

RH850/E1L

ユーザーズマニユアル ハードウェア編

ルネサスマイクロコントローラ
RH850 ファミリ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、その他の不適切に使用しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等

当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することはできません。たとえ、意図しない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を、(1)核兵器、化学兵器、生物兵器等の大量破壊兵器およびこれらを運搬することができるミサイル（無人航空機を含みます。）の開発、設計、製造、使用もしくは貯蔵等の目的、(2)通常兵器の開発、設計、製造または使用の目的、または(3)その他の国際的な平和および安全の維持の妨げとなる目的で、自ら使用せず、かつ、第三者に使用、販売、譲渡、輸出、賃貸もしくは使用許諾しないでください。
当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様の転売、貸与等により、本書（本ご注意書きを含みます。）記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は一切その責任を負わず、お客様にかかる使用に基づく当社への請求につき当社を免責いただきます。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載された情報または当社製品に関し、ご不明点がある場合には、当社営業にお問い合わせください。

- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

- (1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOSデバイスの入力がノイズなどに起因して、VIL (MAX.) からVIH (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、VIL (MAX.) からVIH (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理：CMOSデバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して電源またはGNDに接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策：MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態：電源投入時、MOSデバイスの初期状態は不定です。電源投入時の端子の出力状態や出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序：内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源OFF時における入力信号：当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

RH850/E1x グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスホームページに掲載されています。

| ドキュメントの種類 | 記載内容 | 資料名 | 資料番号 |
|-----------------------------|---|-------------------------------------|-----------------|
| データシート | ハードウェアの概要と電気的特性 | | |
| ユーザーズマニュアル ハードウェア編 | ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 注：周辺機能の使用方法はアプリケーションノートを参照してください。 | RH850/E1L ユーザーズマニュアル ハードウェア編 | 本ユーザーズ マニュアル |
| ユーザーズマニュアル ソフトウェア編 | CPU命令セットの説明 | RH850G3M ユーザーズ マニュアル ソフトウェ ア編 | R01US0123JJ0100 |
| | | RH850G3K ユーザーズ マニュアル ソフトウェ ア編 | R01US0125JJ0100 |
| アプリケーションノート | 周辺機能の使用手法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法 | | |
| RENESAS TECHNICAL UPDATE | 製品の仕様、ドキュメント等に関する速報 | | |

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の例を以下に説明します。

(1) レジスタ名、ビット名、端子名

本文中では、シンボルで表記します。シンボルの後ろにレジスタ、ビット、端子を付けて区別します。

(例) ABCレジスタのCDFビット

PA01端子、VCC端子

(2) 数字の表記

2進数はnnnnB（明らかに2進数と判断できる場合はBを省略）、16進数はnnnnH、10進数はnnnnで表します。

(例) 2進数：11Bまたは11

16進数：EFA0H

10進数：1234

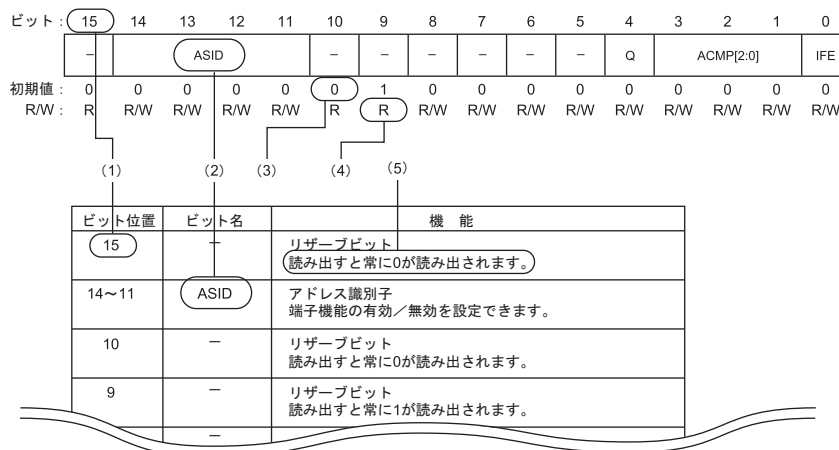
(3) ローアクティブの表記

ローアクティブの信号にはオーバーバーを付けています。

(例) ABCDEF

3. レジスタの表記

各レジスタの説明には、ビットの並びを示す図とビットに設定する内容を説明する表があります。下記にその例を示します。



【注】 上記した図中のビット名や文章は例であり、本マニュアルの内容とは関係がありません。

(1) ビット位置

ビット番号を示します。

32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に、8ビットレジスタの場合は7から0の順に示します。

(2) ビット名

レジスタのビット名またはフィールド名を示します。

フィールドでビット桁数を明示する必要があるときは、ABCD[3:0]のように桁数の表記を追加します。また、リザーブビットの場合は「—」と表記します。

ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) リセット後の値

各ビットのリセット後の値を示します。

- 0: リセット後の値は0であることを示します。
- 1: リセット後の値は1であることを示します。
- : リセット後の値は不定であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。

- R/W: 読み出しおよび書き込みが可能なビットまたはフィールドです。
- R: 読み出しが可能なビットまたはフィールドです。
ただし、リザーブビットはすべて「R」と表記します。書き込む必要がある場合は、ビット表で指定された値またはリセット後の値を書き込んでください。
リザーブビットではないR属性ビットが混在するライト可能なレジスタにライトする場合、指定が無い限りR属性ビットへの書き込みは無視されます。
- W: 書き込みが可能なビットまたはフィールドです。
ただし、読み出すときの値は、ビット表に記載してある場合以外は保証されません。

(5) 機能

ビットの機能について説明しています。

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

| | | |
|---------|-----------------------------------|-----|
| 第1章 | 概要 | 46 |
| 1.1 | 概説 | 46 |
| 1.2 | 特長 | 47 |
| 1.3 | 応用分野 | 51 |
| 1.4 | オーダ情報 | 51 |
| 1.5 | 端子接続図 (Top View) | 52 |
| 1.6 | 機能ブロック構成 | 71 |
| 1.6.1 | 内部ブロック図 | 71 |
| 第2章 | 端子 | 72 |
| 2.1 | ポート機能 | 72 |
| 2.1.1 | 特長 | 72 |
| 2.1.2 | 概説 | 73 |
| 2.1.2.1 | 用語 | 73 |
| 2.1.2.2 | 端子機能概要 | 73 |
| 2.1.2.3 | 端子データ入力/出力 | 74 |
| 2.1.3 | ポートタイプ | 76 |
| 2.1.4 | ポートグループコンフィグレーションレジスタ | 78 |
| 2.1.4.1 | 概要 | 78 |
| 2.1.4.2 | 端子機能の設定 | 79 |
| 2.1.4.3 | 端子データ入力/出力 | 86 |
| 2.1.4.4 | 電気的特性の設定 | 90 |
| 2.1.4.5 | ポートレジスタ保護 | 93 |
| 2.1.4.6 | 端子単位のレジスタ | 95 |
| 2.1.4.7 | ポート設定のフロー例 | 97 |
| 2.1.5 | 機能選択 | 101 |
| 2.1.5.1 | 兼用機能使用時のレジスタ設定 | 101 |
| 2.1.5.2 | 直接 I/O 制御兼用モードで使用する兼用機能 | 101 |
| 2.1.5.3 | ERROROUT_C 端子の設定 | 102 |
| 2.1.5.4 | アナログ入力端子使用時のレジスタ設定 | 102 |
| 2.1.5.5 | LVDS バッファ使用時のレジスタ設定 | 102 |
| 2.1.5.6 | JTAG ポートの機能選択 | 102 |
| 2.2 | ポートグループ構成 | 103 |
| 2.2.1 | E1L ポート機能 | 103 |
| 2.2.1.1 | E1L ポートレジスタ一覧 | 103 |
| 2.2.1.2 | E1L-BGA252、QFP176 端子兼用機能一覧 | 113 |
| 2.2.1.3 | E1L-QFP144 端子兼用機能一覧 | 119 |
| 2.3 | DNF | 124 |
| 2.3.1 | ノイズ除去例 | 124 |
| 2.3.2 | 周辺機能 DNF | 125 |
| 2.3.2.1 | 機能概要 | 125 |
| 2.3.2.2 | 制御レジスタ詳細 | 125 |
| 2.3.2.3 | DNFP01nCTLm — デジタルノイズ除去コントロールレジスタ | 126 |
| 2.3.2.4 | 周辺機能 DNF の設定手順 | 126 |
| 2.3.2.5 | DNF 挿入対象の周辺機能端子 | 127 |
| 2.3.3 | エッジ検出 DNF | 128 |
| 2.3.3.1 | 機能概要 | 128 |
| 2.3.3.2 | 制御レジスタ詳細 | 128 |
| 2.3.3.3 | DNFP02nCTL — デジタルノイズ除去コントロールレジスタ | 129 |
| 2.3.3.4 | DNFP02nEDCm — エッジ検出制御レジスタ | 130 |

| | | |
|--------------|--|------------|
| 2.3.3.5 | DNFP02nEDFm — エッジ検出フラグレジスタ | 131 |
| 2.3.3.6 | エッジ検出 DNF の設定手順 | 131 |
| 2.3.3.7 | DNF 挿入対象の Pn_m 端子 | 132 |
| 2.4 | POD 制御 | 134 |
| 2.4.1 | 機能概要 | 134 |
| 2.5 | 端子説明 | 136 |
| 2.5.1 | 概要 | 136 |
| 2.5.2 | 端子機能一覧 | 136 |
| 2.5.3 | 端子状態 | 147 |
| 2.5.4 | 未使用端子の処理 | 149 |
| 第 3 章 | CPU システム | 152 |
| 3.1 | 概要 | 152 |
| 3.1.1 | ブロック構成 | 152 |
| 3.2 | CPU | 154 |
| 3.2.1 | コア機能 | 154 |
| 3.2.1.1 | 特長 | 154 |
| 3.2.1.2 | レジスタセット | 155 |
| 3.2.2 | 命令キャッシュ、データバッファ | 194 |
| 3.2.2.1 | 特長 | 194 |
| 3.2.2.2 | 命令キャッシュ機能 | 195 |
| 3.2.2.3 | データバッファ機能 | 196 |
| 3.2.3 | プロセッサ間割り込み | 197 |
| 3.2.3.1 | プロセッサ間割り込み制御レジスタ | 197 |
| 3.2.4 | 信頼性機能 | 198 |
| 3.2.4.1 | PE ガード機能 (PEG) | 198 |
| 3.2.4.2 | PE 内部周辺装置保護機能 (IPG) | 202 |
| 3.2.4.3 | システムエラー通知制御機能 (SEG) | 210 |
| 3.2.4.4 | Checker Core | 217 |
| 3.3 | PCU | 218 |
| 3.3.1 | コア機能 | 218 |
| 3.3.1.1 | 特長 | 218 |
| 3.3.1.2 | レジスタセット | 219 |
| 3.3.2 | プロセッサ間割り込み | 248 |
| 3.3.3 | 信頼性機能 | 249 |
| 3.3.3.1 | システムエラー通知制御機能 (SEG) | 249 |
| 3.4 | CPU 間機能 | 252 |
| 3.4.1 | プロセッサエレメント識別子 | 252 |
| 3.4.2 | プロセッサ間割り込み機能 | 252 |
| 3.4.3 | 排他制御 | 252 |
| 3.4.3.1 | 排他制御用レジスタ (MEV) | 253 |
| 3.4.3.2 | LDL.W/STC.W 命令の動作 | 254 |
| 3.5 | 使用上の注意 | 256 |
| 3.5.1 | ストア命令の完了と後続命令の同期化 | 256 |
| 3.5.1.1 | 制御レジスタの更新結果を、後続命令の実行に反映させる場合 | 256 |
| 3.5.1.2 | 制御レジスタやメモリの更新結果を、後続命令の命令フェッチに 反映させる場合 | 257 |
| 3.5.1.3 | Code Flash の領域を切り替える場合 | 257 |
| 3.5.1.4 | ストア命令による更新完了を SYNCM 命令で待ち合わせる場合 | 257 |

| | | |
|--------------|---|------------|
| 3.5.2 | ビット操作命令でのレジスタ・アクセス..... | 258 |
| 3.5.3 | CodeFlash 書き換え後のコヒーレンシ確保..... | 258 |
| 3.5.4 | 多重例外受け付け時のコンテキストの上書き..... | 258 |
| 3.5.5 | プリフェッチに関する注意事項..... | 259 |
| 第 4 章 | アドレス空間..... | 260 |
| 4.1 | アドレス空間..... | 260 |
| 4.2 | 各バスマスタから見たアドレス空間..... | 261 |
| 4.2.1 | 命令フェッチ可能空間..... | 261 |
| 4.2.2 | PE1 によるデータアクセス可能空間..... | 261 |
| 4.2.3 | PCU によるデータアクセス可能空間..... | 261 |
| 4.2.4 | DMA (DMAC、DTS) によるデータアクセス可能空間..... | 261 |
| 4.3 | Global RAM と Retention RAM..... | 263 |
| 第 5 章 | 動作モード..... | 264 |
| 5.1 | 特長..... | 264 |
| 5.2 | 動作モード..... | 264 |
| 5.2.1 | ユーザブートモード..... | 264 |
| 5.2.2 | シリアルプログラミングモード..... | 264 |
| 5.2.3 | バウンダリスキャンモード..... | 264 |
| 第 6 章 | 割り込み..... | 265 |
| 6.1 | 概要..... | 265 |
| 6.2 | レジスタ仕様..... | 267 |
| 6.2.1 | レジスタ構成..... | 267 |
| 6.2.2 | EIC0 ~ EIC511 — EI レベル割り込み制御レジスタ 0 ~ 511..... | 269 |
| 6.2.3 | IMR0 ~ IMR15 — EI レベル割り込みマスクレジスタ 0 ~ 15..... | 271 |
| 6.2.4 | EIBD0 ~ EIBD511 — EI レベル割り込みバインドレジスタ 0 ~ 511..... | 272 |
| 6.2.5 | NMICTL — NMI 割り込みコントロールレジスタ..... | 273 |
| 6.2.6 | EXINTCTL — 外部割り込みコントロールレジスタ..... | 274 |
| 6.2.7 | EXINTSTR — 外部割り込みステータスレジスタ..... | 275 |
| 6.2.8 | EXINTSTC — 外部割り込みステータスクリアレジスタ..... | 276 |
| 6.2.9 | SINTR0 ~ SINTR3 — ソフトウェア割り込みレジスタ..... | 277 |
| 6.2.10 | PINT0 ~ PINT7、PINTCLR0 ~ PINTCLR7 — 周辺割り込みステータスレジスタ、 周辺割り込みステータスクリアレジスタ..... | 278 |
| 6.2.11 | TIMER — タイマインタラプトマスクイネーブルレジスタ..... | 282 |
| 6.3 | 割り込み要因..... | 284 |
| 6.3.1 | NMI 割り込み..... | 284 |
| 6.3.2 | IRQ 割り込み..... | 284 |
| 6.3.3 | ECM 割り込み..... | 284 |
| 6.3.4 | プロセッサ間割り込み..... | 284 |
| 6.3.5 | ソフトウェア割り込み..... | 285 |
| 6.3.6 | 内蔵周辺モジュール割り込み..... | 285 |
| 6.4 | 割り込み例外ハンドラと優先順位動作説明..... | 286 |
| 6.5 | 動作説明..... | 303 |

| | | |
|--------------|------------------------------|------------|
| 6.5.1 | 外部割り込み (NMI/IRQ) | 303 |
| 6.5.2 | プロセッサ間割り込み | 303 |
| 6.5.3 | ソフトウェア割り込み | 303 |
| 6.5.4 | DTS 割り込みのマージ機能 | 303 |
| 6.5.5 | ATU-IV/TSG2 マージ機能 | 304 |
| 6.5.6 | 割り込み処理フロー | 305 |
| 6.5.6.1 | NMI 処理フロー | 305 |
| 6.5.6.2 | 外部割り込み処理フロー | 306 |
| 6.5.6.3 | プロセッサ間割り込みフロー | 307 |
| 6.5.6.4 | ソフトウェア割り込み処理フロー | 308 |
| 6.5.6.5 | DTS 割り込み処理フロー | 309 |
| 6.6 | 割り込み応答時間 | 311 |
| 6.7 | 割り込み要求信号によるデータ転送 | 312 |
| 第 7 章 | DMA | 313 |
| 7.1 | 概要 | 313 |
| 7.1.1 | 概要 | 313 |
| 7.1.2 | 語句の定義 | 314 |
| 7.2 | DMA 機能 | 315 |
| 7.2.1 | DMA 転送基本動作 | 315 |
| 7.2.1.1 | 転送モード | 315 |
| 7.2.1.2 | DMA サイクルの実行 | 315 |
| 7.2.1.3 | 転送情報の更新 | 315 |
| 7.2.1.4 | 最終転送とアドレスリロード転送 | 316 |
| 7.2.1.5 | 転送完了割り込み、転送回数一致割り込み出力 | 316 |
| 7.2.1.6 | 連続転送 | 317 |
| 7.2.2 | チャンネルの優先順位 | 319 |
| 7.2.2.1 | DMAC チャンネルアービトレーション | 319 |
| 7.2.2.2 | DTS チャンネルアービトレーション | 320 |
| 7.2.2.3 | インタフェースアービトレーション | 321 |
| 7.2.3 | リロード機能 | 322 |
| 7.2.3.1 | リロード機能の概要 | 322 |
| 7.2.3.2 | リロード機能 1 の動作 | 322 |
| 7.2.3.3 | リロード機能 2 | 323 |
| 7.2.3.4 | DMAC のリロードレジスタ設定タイミング | 325 |
| 7.2.3.5 | DTS のリロード情報設定タイミング | 325 |
| 7.2.4 | チェイン機能 | 326 |
| 7.2.4.1 | 概要 | 326 |
| 7.2.4.2 | チェイン動作の設定方法 | 327 |
| 7.2.4.3 | チェイン機能使用時の注意 | 327 |
| 7.2.5 | DMAC 動作 | 328 |
| 7.2.5.1 | DMA 転送要求の種類と割り当て | 328 |
| 7.2.5.2 | ソフトウェア DMA 転送要求の発生と受け付け | 328 |
| 7.2.6 | DTS 動作 | 329 |
| 7.2.6.1 | DMA 転送要求の種類と割り当て | 329 |
| 7.2.6.2 | DMA 転送要求の発生と受け付け | 329 |
| 7.2.6.3 | DMA 転送の実行 | 329 |
| 7.2.6.4 | DTSRAM アクセス | 330 |
| 7.3 | 一時中断・再開、転送中止および DMA 転送要求のクリア | 331 |
| 7.3.1 | ソフトウェア制御による DMA 一時中断・再開 | 331 |
| 7.3.2 | DMAC チャンネルの一時中断・再開および転送中止 | 331 |

| | | |
|----------|---|-----|
| 7.3.3 | DTS の一時中断・再開および転送中止 | 332 |
| 7.3.4 | DTFR のハードウェア DMA 転送要求マスクおよびクリア | 334 |
| 7.3.5 | DTSFSL の DMA 転送要求マスクおよびクリア | 334 |
| 7.3.6 | 一時中断・再開・転送中止機能一覧 | 335 |
| 7.4 | エラー制御 | 336 |
| 7.4.1 | エラーの種類 | 336 |
| 7.4.2 | DMA 転送エラー | 336 |
| 7.4.2.1 | DMAC の DMA 転送エラー発生時の動作 | 336 |
| 7.4.2.2 | DTS の DMA 転送エラー発生時の動作 | 337 |
| 7.4.3 | DTSRAM エラー | 337 |
| 7.5 | 信頼性機能 | 338 |
| 7.5.1 | 概要 | 338 |
| 7.5.2 | レジスタアクセス保護機能 | 338 |
| 7.5.2.1 | アクセス元マスタの識別 | 338 |
| 7.5.2.2 | マスタアクセス | 338 |
| 7.5.2.3 | チャンネル割り当て | 339 |
| 7.5.2.4 | 違反アクセス | 339 |
| 7.5.3 | マスタ情報継承機能 | 340 |
| 7.5.4 | その他の信頼性機能 | 340 |
| 7.5.4.1 | チェーン先の制限 | 340 |
| 7.6 | DMA 転送の設定手順 | 341 |
| 7.6.1 | DMA 設定手順概要 | 341 |
| 7.6.2 | DMA 全体動作設定手順 | 342 |
| 7.6.3 | DMA チャンネル設定手順 | 343 |
| 7.6.3.1 | DMAC チャンネル設定手順 | 343 |
| 7.6.3.2 | DTS チャンネル設定手順 | 344 |
| 7.7 | DMA トリガ要因 | 345 |
| 7.7.1 | DMA トリガ要因一覧 | 345 |
| 7.8 | DTS トリガ要因 | 349 |
| 7.8.1 | DTS トリガ要因一覧 | 349 |
| 7.9 | グローバルレジスタ | 353 |
| 7.9.1 | グローバルレジスタアドレス一覧 | 353 |
| 7.9.2 | グローバルレジスタ詳細 | 354 |
| 7.9.2.1 | DMACTL — DMA 制御レジスタ | 354 |
| 7.9.2.2 | DTSC1 — DTS 制御レジスタ 1 | 355 |
| 7.9.2.3 | DTSC2 — DTS 制御レジスタ 2 | 356 |
| 7.9.2.4 | DTSSTS — DTS 状態レジスタ | 357 |
| 7.9.2.5 | DMACER — DMAC エラーレジスタ | 358 |
| 7.9.2.6 | DTSER1 — DTS エラーレジスタ 1 | 359 |
| 7.9.2.7 | DTSER2 — DTS エラーレジスタ 2 | 360 |
| 7.9.2.8 | DTSERC — DTS エラークリアレジスタ | 361 |
| 7.9.2.9 | DM0CMV — DMAC0 レジスタアクセス保護違反レジスタ | 362 |
| 7.9.2.10 | DTSCMV — DTS レジスタアクセス保護違反レジスタ | 363 |
| 7.9.2.11 | CMVC — レジスタアクセス保護違反クリアレジスタ | 364 |
| 7.9.2.12 | DTSPRn — DTS チャンネル優先度設定レジスタ (n = 0 ~ 7) | 365 |
| 7.9.2.13 | DTRECCCTL — DTSRAM ECC コントロールレジスタ | 369 |
| 7.9.2.14 | DTRERINT — DTSRAM エラー通知コントロールレジスタ | 370 |
| 7.9.2.15 | DTRTSC1 — DTSRAM テストコントロールレジスタ | 371 |
| 7.9.2.16 | DTRTWDAT — DTSRAM テスト書き込みデータレジスタ | 372 |
| 7.9.2.17 | DTRTRDAT — DTSRAM テスト読み出しデータレジスタ | 373 |

| | | |
|-----------|--|-----|
| 7.9.2.18 | DMnnCM — DMAC チャンnelマスタ設定レジスタ (nn = 00 ~ 07) | 374 |
| 7.9.2.19 | DTSnnnCM — DTS チャンnelマスタ設定レジスタ (nnn = 000 ~ 127) | 375 |
| 7.10 | DMAC チャンnelレジスタ | 377 |
| 7.10.1 | DMAC チャンnelレジスタアドレス | 377 |
| 7.10.2 | DMAC チャンnelレジスタ詳細 | 378 |
| 7.10.2.1 | DSAn — DMAC ソースアドレスレジスタ | 378 |
| 7.10.2.2 | DDAn — DMAC ディスティネーションアドレスレジスタ | 379 |
| 7.10.2.3 | DTCn — DMAC 転送回数レジスタ | 380 |
| 7.10.2.4 | DTCTn — DMAC 転送制御レジスタ | 381 |
| 7.10.2.5 | DRSAn — DMAC リロードソースアドレスレジスタ | 384 |
| 7.10.2.6 | DRDAn — DMAC リロードディスティネーションアドレスレジスタ | 385 |
| 7.10.2.7 | DRTCn — DMAC リロード転送回数レジスタ | 386 |
| 7.10.2.8 | DTCCn — DMAC 転送回数コンペアレジスタ | 387 |
| 7.10.2.9 | DCENn — DMAC チャンnel動作有効設定レジスタ | 388 |
| 7.10.2.10 | DCSTn — DMAC 転送ステータスレジスタ | 389 |
| 7.10.2.11 | DCSTSn — DMAC 転送ステータスセットレジスタ | 391 |
| 7.10.2.12 | DCSTCn — DMAC 転送ステータスクリアレジスタ | 392 |
| 7.10.2.13 | DTFRn — DTFR 設定レジスタ | 393 |
| 7.10.2.14 | DTFRQn — DTFR 転送要求ステータスレジスタ | 394 |
| 7.10.2.15 | DTFRQCn — DTFR 転送要求クリアレジスタ | 395 |
| 7.11 | DTS チャンnelレジスタ | 396 |
| 7.11.1 | DTS の転送情報 (TI) | 396 |
| 7.11.1.1 | TI 構成 | 396 |
| 7.11.1.2 | DTSRAM 内の TI 配置 | 397 |
| 7.11.1.3 | TI へのアクセス方法 | 398 |
| 7.11.1.4 | TI アクセスの際の注意点 | 398 |
| 7.11.2 | DTS チャンnelレジスタアドレス | 399 |
| 7.11.3 | DTS チャンnelレジスタ詳細 | 400 |
| 7.11.3.1 | DTSAnnn — DTS ソースアドレスレジスタ | 400 |
| 7.11.3.2 | DTDAnnn — DTS ディスティネーションアドレスレジスタ | 401 |
| 7.11.3.3 | DTTCnnn — DTS 転送回数レジスタ | 402 |
| 7.11.3.4 | DTTCTnnn — DTS 転送制御レジスタ | 403 |
| 7.11.3.5 | DTRSAnnn — DTS リロードソースアドレスレジスタ | 406 |
| 7.11.3.6 | DTRDAnnn — DTS リロードディスティネーションアドレスレジスタ | 407 |
| 7.11.3.7 | DTRTCnnn — DTS リロード転送回数レジスタ | 408 |
| 7.11.3.8 | DTTCnnn — DTS 転送回数コンペアレジスタ | 409 |
| 7.11.3.9 | DTFSLnnn — DTFSL 動作設定レジスタ | 410 |
| 7.11.3.10 | DTFSTnnn — DTFSL 転送要求ステータスレジスタ | 411 |
| 7.11.3.11 | DTFSSnnn — DTFSL 転送要求セットレジスタ | 412 |
| 7.11.3.12 | DTFSCnnn — DTFSL 転送要求クリアレジスタ | 413 |
| 第 8 章 | リセット | 414 |
| 8.1 | 特長 | 414 |
| 8.2 | リセット状態 | 415 |
| 8.2.1 | 外部リセット状態 | 415 |
| 8.2.2 | 内部リセット状態 | 415 |
| 8.3 | リセット要因 | 415 |
| 8.4 | レジスタ仕様 | 416 |
| 8.4.1 | レジスタ一覧 | 416 |
| 8.4.2 | RESF — リセット要因判定レジスタ | 417 |
| 8.4.3 | RESFC — リセット要因クリアレジスタ | 418 |
| 8.4.4 | POF — パワーオンクリアフラグレジスタ | 419 |

| | | |
|---------------|--------------------------------------|------------|
| 8.4.5 | POFC — パワーオンクリアフラグクリアレジスタ | 420 |
| 8.4.6 | SWRESA — ソフトウェアリセット要求レジスタ | 421 |
| 8.5 | ソフトウェアリセット | 423 |
| 8.6 | RAM 保持 | 423 |
| 8.7 | 使用上の注意 | 423 |
| 第 9 章 | 電源回路 | 424 |
| 9.1 | 特長 | 424 |
| 9.2 | 電源 IC の接続例 | 425 |
| 9.3 | 電源投入シーケンス | 426 |
| 9.4 | 使用上の注意 | 426 |
| 9.5 | EPT 基板実装ガイド | 427 |
| 9.5.1 | QFP の場合 | 427 |
| 9.5.2 | BGA の場合 | 428 |
| 9.5.3 | 参考情報 | 430 |
| 第 10 章 | 電源電圧モニタ | 431 |
| 10.1 | 特長 | 431 |
| 10.2 | 構成 | 431 |
| 10.3 | レジスタ仕様 | 432 |
| 10.3.1 | DETFLG — CVM 検出フラグレジスタ | 433 |
| 10.3.2 | DETFLGC — CVM 検出フラグクリアレジスタ | 434 |
| 10.3.3 | VSCTL — CVM 制御レジスタ | 435 |
| 10.3.4 | HDETCTL — 上限電圧設定レジスタ | 436 |
| 10.3.5 | LDETCTL — 下限電圧設定レジスタ | 437 |
| 10.3.6 | VSDETCTL — 検出信号フィルタ制御レジスタ | 438 |
| 10.4 | 使用方法 | 439 |
| 10.5 | 使用上の注意 | 441 |
| 第 11 章 | クロックコントローラ | 442 |
| 11.1 | 特長 | 442 |
| 11.2 | クロック種類 | 443 |
| 11.3 | 入出力端子 | 445 |
| 11.3.1 | 水晶発振子の接続方法 | 445 |
| 11.4 | レジスタ仕様 | 446 |
| 11.4.1 | レジスタ一覧 | 446 |
| 11.4.2 | PLL0CLKS — PLL0 ステータスレジスタ | 447 |
| 11.4.3 | PLL0CLKC1 — PLL0 制御レジスタ 1 | 448 |
| 11.4.4 | CKSC0CTL — クロック 0 選択制御レジスタ | 450 |
| 11.4.5 | CKSC0ACT — クロック 0 選択アクティブレジスタ | 451 |
| 11.4.6 | CLKD0DIV — クロック 0 分周レジスタ | 452 |
| 11.4.7 | CLKD0STAT — クロック 0 分周ステータスレジスタ | 453 |
| 11.4.8 | CKSC1CTL — クロック 1 選択制御レジスタ | 454 |
| 11.4.9 | CKSC1ACT — クロック 1 選択アクティブレジスタ | 455 |

| | | |
|---------------|-----------------------------------|------------|
| 11.4.10 | PROT1PHCMD — プロテクト1コマンドレジスタ | 456 |
| 11.4.11 | PROT1PS — プロテクト1ステータスレジスタ | 458 |
| 11.5 | 動作説明 | 459 |
| 11.5.1 | 分周機能使用時の動作説明 | 459 |
| 11.6 | 注意事項 | 462 |
| 11.6.1 | ボード設計上の注意 | 462 |
| 11.7 | ASIC クロック | 463 |
| 11.7.1 | 特長 | 463 |
| 11.7.2 | 構成 | 463 |
| 11.7.3 | レジスタ仕様 | 464 |
| 11.7.3.1 | ACK0CKC — クロックコントロールレジスタ | 465 |
| 11.7.3.2 | ACK0CKCFLG — CKC フラグレジスタ | 466 |
| 11.7.3.3 | ACK0CKCTL — クロック選択レジスタ | 467 |
| 11.7.3.4 | ACK0BRGA0CMP — BRGA0 コンペアレジスタ | 468 |
| 11.7.3.5 | ACK0CKCPCMD — CKC プロテクトコマンドレジスタ | 469 |
| 11.7.3.6 | ACK0CKCPS — CKC プロテクトステータスレジスタ | 471 |
| 11.7.4 | 使用方法 | 472 |
| 11.7.4.1 | CK 端子出力機能 | 472 |
| 11.7.4.2 | CK 出力用ポーレートジェネレータ回路 (BRGA) | 472 |
| 11.7.4.3 | 制御レジスタ書き換えプロテクト | 473 |
| 11.7.4.4 | CK 出力切り替え手順 | 474 |
| 第 12 章 | スタンバイコントローラ | 476 |
| 12.1 | 特長 | 476 |
| 12.1.1 | 低消費電力モードの種類 | 476 |
| 12.2 | 動作説明 | 477 |
| 12.2.1 | 電源遮断スタンバイモード | 477 |
| 12.2.2 | モジュールスタンバイ機能 | 477 |
| 12.3 | レジスタ仕様 | 478 |
| 12.3.1 | レジスタ一覧 | 478 |
| 12.3.2 | EPTCNT — EPT 制御レジスタ | 479 |
| 12.3.3 | PROT0PHCMD — 保護コマンドレジスタ | 480 |
| 12.3.4 | PROT0PS — 保護コマンドステータスレジスタ | 482 |
| 12.3.5 | モジュールスタンバイレジスタ | 483 |
| 12.3.5.1 | MSRTSG — モジュールスタンバイレジスタ - TSG2 | 483 |
| 12.3.5.2 | MSRTAPA — モジュールスタンバイレジスタ - TAPA | 484 |
| 12.3.5.3 | MSROSTM — モジュールスタンバイレジスタ - OSTM | 485 |
| 12.3.5.4 | MSRWDTA — モジュールスタンバイレジスタ - WDTA | 486 |
| 12.3.5.5 | MSRPIC — モジュールスタンバイレジスタ - PIC | 486 |
| 12.3.5.6 | MSRRCAN — モジュールスタンバイレジスタ - RS-CAN | 487 |
| 12.3.5.7 | MSRRLIN — モジュールスタンバイレジスタ - RLIN2 | 488 |
| 12.3.5.8 | MSRSCI — モジュールスタンバイレジスタ - SCI3 | 489 |
| 12.3.5.9 | MSRCSIH — モジュールスタンバイレジスタ - CSIH | 490 |
| 12.3.5.10 | MSRSAD — モジュールスタンバイレジスタ - SAR AD | 491 |
| 12.3.5.11 | MSRDAD — モジュールスタンバイレジスタ - ΔΣAD | 492 |
| 12.3.5.12 | MSRATU — モジュールスタンバイレジスタ - ATU-IV | 492 |
| 12.3.5.13 | MSRAPA — モジュールスタンバイレジスタ - APA | 493 |
| 12.3.5.14 | MSRDFE — モジュールスタンバイレジスタ - DFE | 493 |
| 12.3.5.15 | MSRRHSB — モジュールスタンバイレジスタ - RHSB | 494 |
| 12.3.6 | MSRPCMD — MSR プロテクトコマンドレジスタ | 495 |

| | | |
|---------------|--|------------|
| 12.3.7 | MSRPS — MSR プロテクトステータスレジスタ | 497 |
| 第 13 章 | クロック同期シリアルインタフェース H (CSIH) | 498 |
| 13.1 | CSIH の特長 | 498 |
| 13.2 | 端子の組み合わせの注意事項 | 500 |
| 13.3 | 機能の概要 | 501 |
| 13.4 | 注意事項の一覧 | 503 |
| 13.5 | 機能の説明 | 505 |
| 13.5.1 | 動作モード (マスタ/スレーブ) | 506 |
| 13.5.2 | マスタ/スレーブの接続 | 508 |
| 13.5.3 | チップセレクト (CS) 機能 | 510 |
| 13.5.4 | チップセレクトのタイミングの詳細 | 514 |
| 13.5.5 | 送信クロックの選択 | 517 |
| 13.5.6 | データ転送モード | 519 |
| 13.5.7 | データ長の選択 | 520 |
| 13.5.8 | シリアルデータ方向の選択 | 524 |
| 13.5.9 | スレーブモードでの通信 | 525 |
| 13.5.10 | CSIH の割り込み要求 | 528 |
| 13.5.11 | ハンドシェイク機能 | 535 |
| 13.5.12 | エラー検出 | 537 |
| 13.5.13 | ループバックモード | 541 |
| 13.5.14 | 強制 CS アイドル設定 | 542 |
| 13.6 | CSIH 制御レジスタ | 543 |
| 13.6.1 | CSIHnCTL0 — CSIH 制御レジスタ 0 | 544 |
| 13.6.2 | CSIHnCTL1 — CSIH 制御レジスタ 1 | 545 |
| 13.6.3 | CSIHnCTL2 — CSIH 制御レジスタ 2 | 548 |
| 13.6.4 | CSIHnSTR0 — CSIH ステータスレジスタ 0 | 550 |
| 13.6.5 | CSIHnSTCR0 — CSIH ステータスクリアレジスタ 0 | 552 |
| 13.6.6 | CSIHnCFGx — CSIH コンフィグレーションレジスタ x | 553 |
| 13.6.7 | CSIHnTX0W — CSIH ワードアクセス用送信データレジスタ 0 | 558 |
| 13.6.8 | CSIHnTX0H — CSIH ハーフワードアクセス用送信データレジスタ 0 | 560 |
| 13.6.9 | CSIHnRX0W — CSIH ワードアクセス用受信データレジスタ 0 | 561 |
| 13.6.10 | CSIHnRX0H — CSIH ハーフワードアクセス用受信データレジスタ 0 | 562 |
| 13.6.11 | CSIHnBR <i>Si</i> — CSIHn ボーレート設定レジスタ <i>i</i> | 563 |
| 13.7 | 操作手順 | 564 |
| 13.7.1 | ダイレクトアクセスモードでの手順 | 564 |
| 第 14 章 | シリアルコミュニケーションインタフェース 3 (SCI3) | 568 |
| 14.1 | 概要 | 568 |
| 14.1.1 | SCI3 の特長 | 568 |
| 14.1.2 | 機能の概要 | 568 |
| 14.1.3 | シリアル通信方式 | 569 |
| 14.1.4 | ブロック図 | 569 |
| 14.2 | 入出力端子 | 570 |

| | | |
|---------------|------------------------------------|------------|
| 14.3 | レジスタの説明..... | 571 |
| 14.3.1 | SCI3nRSR — レシーブシフトレジスタ..... | 572 |
| 14.3.2 | SCI3nRDR — レシーブデータレジスタ..... | 572 |
| 14.3.3 | SCI3nTDR — トランスミットデータレジスタ..... | 572 |
| 14.3.4 | SCI3nTSR — トランスミットシフトレジスタ..... | 572 |
| 14.3.5 | SCI3nSMR — シリアルモードレジスタ..... | 573 |
| 14.3.6 | SCI3nSCR — シリアルコントロールレジスタ..... | 574 |
| 14.3.7 | SCI3nSSR — シリアルステータスレジスタ..... | 576 |
| 14.3.8 | SCI3nSCMR — シリアル通信フォーマットレジスタ..... | 578 |
| 14.3.9 | SCI3nSEMR — シリアル拡張モードレジスタ..... | 579 |
| 14.3.10 | SCI3nBRR — ビットレートレジスタ..... | 580 |
| 14.3.11 | SCI3nMDDR — モジュレーションデュエティレジスタ..... | 583 |
| 14.4 | 調歩同期式モードの動作..... | 584 |
| 14.4.1 | 送受信フォーマット..... | 585 |
| 14.4.2 | 受信データサンプリングタイミングと受信マージン..... | 586 |
| 14.4.3 | クロック..... | 587 |
| 14.4.4 | 倍速動作..... | 587 |
| 14.4.5 | SCI3 の初期化（調歩同期式）..... | 588 |
| 14.4.6 | シリアルデータ送信（調歩同期式）..... | 589 |
| 14.4.7 | シリアルデータ受信（調歩同期式）..... | 592 |
| 14.5 | マルチプロセッサ通信機能..... | 596 |
| 14.5.1 | 概要と接続例..... | 596 |
| 14.5.2 | マルチプロセッサシリアルデータ送信..... | 597 |
| 14.5.3 | マルチプロセッサシリアルデータ受信..... | 598 |
| 14.6 | クロック同期式モードの動作..... | 602 |
| 14.6.1 | クロック..... | 602 |
| 14.6.2 | SCI3 の初期化（クロック同期式）..... | 603 |
| 14.6.3 | シリアルデータ送信（クロック同期式）..... | 604 |
| 14.6.4 | シリアルデータ受信（クロック同期式）..... | 607 |
| 14.6.5 | シリアルデータ送受信同時動作（クロック同期式）..... | 609 |
| 14.7 | ビットレートモジュレーション機能..... | 611 |
| 14.8 | 割り込み要因..... | 612 |
| 14.9 | 使用上の注意事項..... | 613 |
| 14.9.1 | ブレークの検出と処理..... | 613 |
| 14.9.2 | マーク状態とブレーク送出..... | 613 |
| 14.9.3 | クロック同期式モードの受信エラーフラグと送信動作..... | 613 |
| 14.9.4 | SCI3nTDR へのライトと TDRE フラグの関係..... | 613 |
| 14.9.5 | クロック同期式モード送信での外部クロック使用の制約事項..... | 614 |
| 14.9.6 | クロック同期式モードの外部クロック入力..... | 614 |
| 第 15 章 | LIN マスタインタフェース（RLIN2）..... | 615 |
| 15.1 | RH850/E1L RLIN2 の特長..... | 615 |
| 15.1.1 | ユニット数とチャネル数..... | 615 |
| 15.1.2 | レジスタベースアドレス..... | 615 |
| 15.1.3 | クロック供給..... | 616 |

| | | |
|-----------|--|-----|
| 15.1.4 | 割り込み要求 | 616 |
| 15.1.5 | リセット要因 | 616 |
| 15.1.6 | 外部入出力信号 | 616 |
| 15.2 | 機能 | 617 |
| 15.2.1 | 機能概要 | 617 |
| 15.2.2 | ブロック図 | 618 |
| 15.3 | レジスタ | 619 |
| 15.3.1 | レジスタ一覧 | 619 |
| 15.3.2 | グローバルレジスタ | 620 |
| 15.3.2.1 | RLN21nGLWBR — LIN ウェイクアップボーレート選択レジスタ | 620 |
| 15.3.2.2 | RLN21nGLBRP0 — LIN ボーレートプリスケラ 0 レジスタ | 621 |
| 15.3.2.3 | RLN21nGLBRP1 — LIN ボーレートプリスケラ 1 レジスタ | 622 |
| 15.3.2.4 | RLN21nGLSTC — LIN セルフテスト制御レジスタ | 623 |
| 15.3.3 | チャンネルレジスタ | 624 |
| 15.3.3.1 | RLN21nmLiMD — LIN モードレジスタ | 624 |
| 15.3.3.2 | RLN21nmLiBFC — LIN ブレークフィールド設定レジスタ | 625 |
| 15.3.3.3 | RLN21nmLiSC — LIN スペース設定レジスタ | 626 |
| 15.3.3.4 | RLN21nmLiWUP — LIN ウェイクアップ設定レジスタ | 627 |
| 15.3.3.5 | RLN21nmLiIE — LIN 割り込み許可レジスタ | 628 |
| 15.3.3.6 | RLN21nmLiEDE — LIN エラー検出許可レジスタ | 629 |
| 15.3.3.7 | RLN21nmLiCUC — LIN 制御レジスタ | 631 |
| 15.3.3.8 | RLN21nmLiTRC — LIN 送信制御レジスタ | 632 |
| 15.3.3.9 | RLN21nmLiMST — LIN モードステータスレジスタ | 633 |
| 15.3.3.10 | RLN21nmLiST — LIN ステータスレジスタ | 634 |
| 15.3.3.11 | RLN21nmLiEST — LIN エラーステータスレジスタ | 636 |
| 15.3.3.12 | RLN21nmLiDFC — LIN データフィールド設定レジスタ | 638 |
| 15.3.3.13 | RLN21nmLiIDB — LIN ID バッファレジスタ | 640 |
| 15.3.3.14 | RLN21nmLiCBR — LIN チェックサムバッファレジスタ | 641 |
| 15.3.3.15 | RLN21nmLiDBRb — LIN データバッファ b レジスタ | 642 |
| 15.4 | 割り込み 要因 | 643 |
| 15.5 | モード | 644 |
| 15.6 | LIN リセットモード | 646 |
| 15.7 | LIN 動作モード | 647 |
| 15.8 | LIN ウェイクアップモード | 647 |
| 15.9 | ヘッダ送信／レスポンス送信／レスポンス受信 | 648 |
| 15.9.1 | ヘッダ送信 | 648 |
| 15.9.2 | レスポンス送信 | 649 |
| 15.9.3 | レスポンス受信 | 650 |
| 15.10 | データ送信／受信 | 651 |
| 15.10.1 | データ送信 | 651 |
| 15.10.2 | データ受信 | 652 |
| 15.11 | 送信／受信データのバッファ処理 | 653 |
| 15.11.1 | LIN フレームの送信 | 653 |
| 15.11.2 | LIN フレームの受信 | 654 |
| 15.12 | ウェイクアップ送信／受信 | 655 |
| 15.12.1 | ウェイクアップ送信動作 | 655 |
| 15.12.2 | ウェイクアップ受信動作 | 656 |
| 15.12.3 | ウェイクアップ衝突 | 656 |

| | | |
|--|--|------------|
| 15.13 | ステータス..... | 657 |
| 15.14 | エラーステータス..... | 658 |
| 15.14.1 | エラーステータスの種類..... | 658 |
| 15.14.2 | エラー検出の対象時間領域..... | 659 |
| 15.15 | LINセルフテストモード..... | 660 |
| 15.15.1 | LINセルフテストモードへの移行..... | 661 |
| 15.15.2 | LINセルフテストモードにおける送信..... | 662 |
| 15.15.3 | LINセルフテストモードにおける受信..... | 663 |
| 15.15.4 | LINセルフテストモード終了..... | 664 |
| 15.16 | ポーレートジェネレータ..... | 665 |
| 第 16 章 CAN インタフェース (RS-CAN) | | 667 |
| 16.1 | RS-CAN の概要..... | 667 |
| 16.1.1 | ユニット数..... | 667 |
| 16.1.2 | レジスタベースアドレス..... | 668 |
| 16.1.3 | クロック供給..... | 668 |
| 16.1.4 | 割り込みと DMA/DTS..... | 668 |
| 16.1.5 | リセット要因..... | 669 |
| 16.1.6 | 外部入出力信号..... | 669 |
| 16.2 | 概要..... | 670 |
| 16.2.1 | 機能概要..... | 670 |
| 16.2.2 | ブロック図..... | 672 |
| 16.3 | レジスタ..... | 673 |
| 16.3.1 | レジスタ一覧..... | 673 |
| 16.3.2 | レジスタ詳細..... | 695 |
| 16.3.2.1 | RSCAN0CmCFG — チャネルコンフィグレーションレジスタ (m = 0 ~ 3) | 695 |
| 16.3.2.2 | RSCAN0CmCTR — チャネル制御レジスタ (m = 0 ~ 3) | 697 |
| 16.3.2.3 | RSCAN0CmSTS — チャネルステータスレジスタ (m = 0 ~ 3) | 701 |
| 16.3.2.4 | RSCAN0CmERFL — チャネルエラーフラグレジスタ (m = 0 ~ 3) | 703 |
| 16.3.2.5 | RSCAN0GCFG — グローバルコンフィグレーションレジスタ | 707 |
| 16.3.2.6 | RSCAN0GCTR — グローバル制御レジスタ | 710 |
| 16.3.2.7 | RSCAN0GSTS — グローバルステータスレジスタ | 712 |
| 16.3.2.8 | RSCAN0GERFL — グローバルエラーフラグレジスタ | 713 |
| 16.3.2.9 | RSCAN0GTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0 | 714 |
| 16.3.2.10 | RSCAN0GTSC — グローバルタイムスタンプカウンタレジスタ | 717 |
| 16.3.2.11 | RSCAN0GAFLECTR — 受信ルールエントリ制御レジスタ | 718 |
| 16.3.2.12 | RSCAN0GAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0 | 719 |
| 16.3.2.13 | RSCAN0GAFLIDj — 受信ルール ID レジスタ (j = 0 ~ 15) | 721 |
| 16.3.2.14 | RSCAN0GAFLMj — 受信ルールマスクレジスタ (j = 0 ~ 15) | 723 |
| 16.3.2.15 | RSCAN0GAFLP0j — 受信ルールポインタ 0 レジスタ (j = 0 ~ 15) | 724 |
| 16.3.2.16 | RSCAN0GAFLP1j — 受信ルールポインタ 1 レジスタ (j = 0 ~ 15) | 726 |
| 16.3.2.17 | RSCAN0ORMNB — 受信バッファナンバレジスタ..... | 727 |
| 16.3.2.18 | RSCAN0ORMNDy — 受信バッファ新データレジスタ (y = 0, 1)..... | 728 |
| 16.3.2.19 | RSCAN0ORMIDq — 受信バッファ ID レジスタ (q = 0 ~ 63)..... | 729 |
| 16.3.2.20 | RSCAN0ORMPTRq — 受信バッファポインタレジスタ (q = 0 ~ 63)..... | 730 |
| 16.3.2.21 | RSCAN0RMDf0q — 受信バッファデータフィールド 0 レジスタ (q = 0 ~ 63) .. | 731 |
| 16.3.2.22 | RSCAN0RMDf1q — 受信バッファデータフィールド 1 レジスタ (q = 0 ~ 63) .. | 732 |
| 16.3.2.23 | RSCAN0RFCCx — 受信 FIFO バッファコンフィグレーション/制御レジスタ (x = 0 ~ 7) | 733 |
| 16.3.2.24 | RSCAN0RFSTSx — 受信 FIFO バッファステータスレジスタ (x = 0 ~ 7) | 735 |

| | | |
|-----------|---|-----|
| 16.3.2.25 | RSCAN0RFPCTR _x — 受信 FIFO バッファポインタ制御レジスタ (x = 0 ~ 7) ... | 737 |
| 16.3.2.26 | RSCAN0RFID _x — 受信 FIFO バッファアクセス ID レジスタ (x = 0 ~ 7) | 738 |
| 16.3.2.27 | RSCAN0RFPTR _x — 受信 FIFO バッファアクセスポインタレジスタ (x = 0 ~ 7) | 739 |
| 16.3.2.28 | RSCAN0RDFD0 _x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ (x = 0 ~ 7) | 740 |
| 16.3.2.29 | RSCAN0RDFD1 _x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ (x = 0 ~ 7) | 741 |
| 16.3.2.30 | RSCAN0FCCK — 送受信 FIFO バッファコンフィグレーション/ 制御レジスタ (k = 0 ~ 11) | 742 |
| 16.3.2.31 | RSCAN0CFSTSk — 送受信 FIFO バッファステータスレジスタ (k = 0 ~ 11) .. | 746 |
| 16.3.2.32 | RSCAN0CFPCTR _k — 送受信 FIFO バッファポインタ制御レジスタ (k = 0 ~ 11) | 749 |
| 16.3.2.33 | RSCAN0CFID _k — 送受信 FIFO バッファアクセス ID レジスタ (k = 0 ~ 11) ... | 751 |
| 16.3.2.34 | RSCAN0CFPTR _k — 送受信 FIFO バッファアクセスポインタレジスタ (k = 0 ~ 11) | 753 |
| 16.3.2.35 | RSCAN0CFDF0 _k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ (k = 0 ~ 11) | 755 |
| 16.3.2.36 | RSCAN0CFDF1 _k — 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ (k = 0 ~ 11) | 756 |
| 16.3.2.37 | RSCAN0FESTS — FIFO エンプティステータスレジスタ | 757 |
| 16.3.2.38 | RSCAN0FFSTS — FIFO フルスステータスレジスタ | 759 |
| 16.3.2.39 | RSCAN0FMSTS — FIFO メッセージロストステータスレジスタ | 761 |
| 16.3.2.40 | RSCAN0RFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ ... | 763 |
| 16.3.2.41 | RSCAN0CFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータス レジスタ | 764 |
| 16.3.2.42 | RSCAN0CFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータス レジスタ | 765 |
| 16.3.2.43 | RSCAN0TMCp — 送信バッファ制御レジスタ (p = 0 ~ 63) | 766 |
| 16.3.2.44 | RSCAN0TMSTSp — 送信バッファステータスレジスタ (p = 0 ~ 63) | 768 |
| 16.3.2.45 | RSCAN0TMTRSTSy — 送信バッファ送信要求ステータスレジスタ (y = 0, 1) ... | 770 |
| 16.3.2.46 | RSCAN0TMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ (y = 0, 1) | 772 |
| 16.3.2.47 | RSCAN0TMTCASTSy — 送信バッファ送信完了ステータスレジスタ (y = 0, 1) ... | 774 |
| 16.3.2.48 | RSCAN0TMTASTSy — 送信バッファ送信アボートステータスレジスタ (y = 0, 1) | 776 |
| 16.3.2.49 | RSCAN0TMIECy — 送信バッファ割り込みイネーブルコンフィグレーション レジスタ (y = 0, 1) | 778 |
| 16.3.2.50 | RSCAN0TMIDp — 送信バッファ ID レジスタ (p = 0 ~ 63) | 780 |
| 16.3.2.51 | RSCAN0TMPTRp — 送信バッファポインタレジスタ (p = 0 ~ 63) | 781 |
| 16.3.2.52 | RSCAN0TMDF0p — 送信バッファデータフィールド 0 レジスタ (p = 0 ~ 63) | 782 |
| 16.3.2.53 | RSCAN0TMDF1p — 送信バッファデータフィールド 1 レジスタ (p = 0 ~ 63) | 783 |
| 16.3.2.54 | RSCAN0TXQCCm — 送信キューコンフィグレーション/制御レジスタ (m = 0 ~ 3) | 784 |
| 16.3.2.55 | RSCAN0TXQSTSm — 送信キューステータスレジスタ (m = 0 ~ 3) | 786 |
| 16.3.2.56 | RSCAN0TXQPCTRM — 送信キューポインタ制御レジスタ (m = 0 ~ 3) | 788 |
| 16.3.2.57 | RSCAN0THLCCm — 送信履歴コンフィグレーション/制御レジスタ (m = 0 ~ 3) | 789 |
| 16.3.2.58 | RSCAN0THLSTSm — 送信履歴ステータスレジスタ (m = 0 ~ 3) | 791 |
| 16.3.2.59 | RSCAN0THLACCm — 送信履歴アクセスレジスタ (m = 0 ~ 3) | 793 |
| 16.3.2.60 | RSCAN0THLPCTRM — 送信履歴ポインタ制御レジスタ (m = 0 ~ 3) | 794 |
| 16.3.2.61 | RSCAN0GTSTCFG — グローバルテストコンフィグレーションレジスタ | 795 |
| 16.3.2.62 | RSCAN0GTSTCTR — グローバルテスト制御レジスタ | 797 |
| 16.3.2.63 | RSCAN0GLOCKK — グローバルロックキーレジスタ | 798 |
| 16.3.2.64 | RSCAN0RPGACCr — RAM テストページアクセスレジスタ (r = 0 ~ 63) | 799 |
| 16.4 | 機能 | 800 |
| 16.4.1 | 割り込み要因 | 800 |

| | | |
|-----------|--------------------------|-----|
| 16.4.2 | CAN モード | 803 |
| 16.4.2.1 | グローバルモード | 803 |
| 16.4.2.2 | グローバルストップモード | 804 |
| 16.4.2.3 | グローバルリセットモード | 804 |
| 16.4.2.4 | グローバルテストモード | 805 |
| 16.4.2.5 | グローバル動作モード | 805 |
| 16.4.2.6 | チャンネルモード | 805 |
| 16.4.2.7 | チャンネルストップモード | 807 |
| 16.4.2.8 | チャンネルリセットモード | 807 |
| 16.4.2.9 | チャンネル待機モード | 807 |
| 16.4.2.10 | チャンネル通信モード | 808 |
| 16.4.2.11 | バスオフ状態 | 808 |
| 16.4.3 | 受信機能 | 810 |
| 16.4.3.1 | 受信ルールテーブルを用いたデータ処理 | 810 |
| 16.4.3.2 | アクセプタンスフィルタ処理 | 811 |
| 16.4.3.3 | DLC フィルタ処理 | 812 |
| 16.4.3.4 | ルーティング処理 | 812 |
| 16.4.3.5 | ラベル付加処理 | 812 |
| 16.4.3.6 | ミラー機能の処理 | 812 |
| 16.4.3.7 | タイムスタンプ | 813 |
| 16.4.4 | 送信機能 | 813 |
| 16.4.4.1 | 送信の優先順位判定 | 814 |
| 16.4.4.2 | 送信バッファを用いた送信 | 815 |
| 16.4.4.3 | 送信アボート機能 | 815 |
| 16.4.4.4 | ワンショット送信機能（再送信禁止機能） | 815 |
| 16.4.4.5 | FIFO バッファによる送信 | 815 |
| 16.4.4.6 | インターバル送信機能 | 816 |
| 16.4.4.7 | 送信キューによる送信 | 818 |
| 16.4.4.8 | 送信履歴機能 | 818 |
| 16.4.5 | ゲートウェイ機能 | 820 |
| 16.4.6 | テスト機能 | 821 |
| 16.4.6.1 | 標準テストモード | 821 |
| 16.4.6.2 | リッスンオンリモード | 821 |
| 16.4.6.3 | セルフテストモード（ループバックモード） | 821 |
| 16.4.6.4 | セルフテストモード 0（外部ループバックモード） | 822 |
| 16.4.6.5 | セルフテストモード 1（内部ループバックモード） | 822 |
| 16.4.6.6 | RAM テスト | 822 |
| 16.4.6.7 | チャンネル間通信テスト | 823 |
| 16.5 | 手順 | 824 |
| 16.5.1 | 初期設定 | 824 |
| 16.5.1.1 | クロックの設定 | 825 |
| 16.5.1.2 | ビットタイミングの設定 | 825 |
| 16.5.1.3 | 通信速度の設定 | 826 |
| 16.5.1.4 | 受信ルールの設定 | 827 |
| 16.5.1.5 | バッファの設定 | 828 |
| 16.5.2 | 受信手順 | 830 |
| 16.5.2.1 | 受信バッファの読み出し手順 | 830 |
| 16.5.2.2 | FIFO バッファの読み出し手順 | 832 |
| 16.5.3 | 送信手順 | 835 |
| 16.5.3.1 | 送信バッファからの送信手順 | 835 |
| 16.5.3.2 | 送受信 FIFO バッファからの送信手順 | 839 |
| 16.5.3.3 | 送信キューからの送信手順 | 842 |
| 16.5.3.4 | 送信履歴バッファの読み出し手順 | 843 |
| 16.5.4 | テスト設定 | 844 |
| 16.5.4.1 | セルフテストモードの設定手順 | 844 |

| | | |
|---------------------------------|--|-----|
| 16.5.4.2 | プロテクト解除手順..... | 845 |
| 16.5.4.3 | RAM テストの設定手順..... | 846 |
| 16.5.4.4 | チャンネル間通信テストの設定手順..... | 847 |
| 16.6 | 注意事項..... | 848 |
| 第 17 章 FlexRay..... | | 849 |
| 第 18 章 ルネサスハイスピードバス (RHSB)..... | | 850 |
| 18.1 | 概要..... | 850 |
| 18.1.1 | RHSB の特長..... | 850 |
| 18.1.2 | モジュールの概要..... | 851 |
| 18.1.2.1 | ダウンストリームチャンネル通信機能..... | 851 |
| 18.1.2.2 | アップストリームチャンネル通信機能..... | 852 |
| 18.1.2.3 | 割り込み..... | 852 |
| 18.1.2.4 | DMA のサポート..... | 852 |
| 18.1.2.5 | その他の機能..... | 852 |
| 18.1.2.6 | 注意事項..... | 853 |
| 18.1.3 | ブロック図..... | 853 |
| 18.2 | レジスタの説明..... | 854 |
| 18.2.1 | I/O レジスタの概要..... | 854 |
| 18.2.2 | 記号説明..... | 855 |
| 18.2.3 | 共通制御部のレジスタ説明..... | 856 |
| 18.2.3.1 | RHSBjGC — グローバル設定レジスタ..... | 856 |
| 18.2.3.2 | RHSBjMSR — モジュールステータスレジスタ..... | 858 |
| 18.2.4 | ダウンストリーム (Tx) のレジスタ説明..... | 860 |
| 18.2.4.1 | RHSBjDCR — ダウンストリーム設定レジスタ..... | 860 |
| 18.2.4.2 | RHSBjDCR1 — 周期 1 用ダウンストリーム設定レジスタ..... | 864 |
| 18.2.4.3 | RHSBjDEC — データエレメント設定レジスタ..... | 865 |
| 18.2.4.4 | RHSBjSDCi — スレーブデバイス設定レジスタ i ($i = 0$)..... | 867 |
| 18.2.4.5 | RHSBjDEBAm — データエレメントビット割り当てレジスタ m ($m = 0 \sim 3$)..... | 869 |
| 18.2.4.6 | RHSBjEBEi — 緊急ビットイネーブルレジスタ i ($i = 0, 1$)..... | 871 |
| 18.2.4.7 | RHSBjDTC — ダウンストリーム送信制御レジスタ..... | 872 |
| 18.2.4.8 | RHSBjDCD — ダウンストリームコマンドデータレジスタ..... | 874 |
| 18.2.4.9 | RHSBjDDRi — ダウンストリームデータレジスタ i ($i = 0, 1$)..... | 875 |
| 18.2.4.10 | RHSBjDEDi — ダウンストリーム緊急データレジスタ i ($i = 0, 1$)..... | 876 |
| 18.2.5 | アップストリーム (Rx) のレジスタ説明..... | 877 |
| 18.2.5.1 | RHSBjUCR — アップストリーム設定レジスタ..... | 877 |
| 18.2.5.2 | RHSBjUCC — アップストリームチャンネル設定レジスタ..... | 879 |
| 18.2.5.3 | RHSBjUCS — アップストリームチャンネル選択レジスタ..... | 882 |
| 18.2.5.4 | RHSBjUDR — アップストリームデータ読み出しレジスタ..... | 884 |
| 18.2.5.5 | RHSBjUDi — アップストリームデータレジスタ i ($i = 0, 1$)..... | 887 |
| 18.2.5.6 | RHSBjUSS — アップストリームステータスサマリレジスタ..... | 890 |
| 18.2.6 | 割り込みレジスタ..... | 892 |
| 18.2.6.1 | RHSBjIC — 割り込み制御レジスタ..... | 892 |
| 18.2.6.2 | RHSBjIS — 割り込みステータスレジスタ..... | 894 |
| 18.3 | 動作説明..... | 899 |
| 18.3.1 | 動作状態の説明..... | 899 |
| 18.3.1.1 | RESET 状態..... | 899 |
| 18.3.1.2 | CONFIG 状態..... | 899 |
| 18.3.1.3 | ACTIVE 状態..... | 899 |
| 18.3.1.4 | TEST 状態..... | 900 |
| 18.3.2 | RHSB モジュールのアクティブ化 (RESET 状態を抜ける方法)..... | 900 |

| | | |
|-----------|--------------------------------------|-----|
| 18.3.3 | RHSB モジュールの非アクティブ化 (RESET 状態に入る方法) | 901 |
| 18.3.4 | 動作状態間の変更 (ACTIVE、CONFIG、TEST) | 901 |
| 18.3.5 | 実行中の送信を中断させずに ACTIVE 状態を抜ける方法 | 902 |
| 18.4 | RHSB の動作 | 903 |
| 18.4.1 | ダウンストリーム通信 | 903 |
| 18.4.1.1 | ダウンストリーム通信の位相 | 904 |
| 18.4.1.2 | フレーム依存のフラグ付け | 906 |
| 18.4.1.3 | ダウンストリームモード | 907 |
| 18.4.1.4 | マルチ周期繰り返しモードでのコマンドフレーム挿入法 | 913 |
| 18.4.1.5 | 物理的フレーム形式 | 915 |
| 18.4.1.6 | データフレームのアセンブル | 917 |
| 18.4.1.7 | コマンドフレームのアセンブル | 919 |
| 18.4.1.8 | 緊急時機能 | 920 |
| 18.4.1.9 | ダウンストリームビットレート | 922 |
| 18.4.1.10 | データ更新およびデータフレーム送信要求 | 923 |
| 18.4.1.11 | コマンドフレーム送信要求 | 924 |
| 18.4.2 | アップストリーム通信 | 924 |
| 18.4.2.1 | アップストリームモード | 926 |
| 18.4.2.2 | 個々のスレーブ設定 | 926 |
| 18.4.2.3 | フレーム形式の種類 | 927 |
| 18.4.2.4 | フレームの格納 | 928 |
| 18.4.2.5 | アップストリームビットレート | 928 |
| 18.4.2.6 | デコードステータスの更新 | 929 |
| 18.4.3 | タイムアウト検出 | 930 |
| 18.4.3.1 | リモートデータ要求によるコマンド送信 | 931 |
| 18.4.3.2 | タイムアウト検出の詳細 | 932 |
| 18.4.4 | テストモード動作 | 932 |
| 18.4.4.1 | テストモードデータの生成 | 934 |
| 18.5 | 割り込み | 935 |
| 18.5.1 | ダウンストリーム関連の割り込み (送信) | 935 |
| 18.5.2 | アップストリーム関連の割り込み (受信) | 935 |
| 18.5.3 | 割り込み要求の詳細 | 936 |
| 18.6 | DMA の機能 | 937 |
| 18.6.1 | ダウンストリームデータ送信での DMA の使用 | 937 |
| 18.6.1.1 | ダウンストリームデータ DMA を使用するための設定とイネーブルの流れ | 937 |
| 18.6.1.2 | ダウンストリームデータ DMA 向けのメモリ内のデータ配置 | 938 |
| 18.6.2 | ダウンストリームコマンド送信での DMA の使用 | 938 |
| 18.6.2.1 | ダウンストリームコマンド DMA を使用するための設定とイネーブルの流れ | 938 |
| 18.6.2.2 | ダウンストリームコマンド DMA 向けのメモリ内のコマンドデータ配置 | 939 |
| 18.6.3 | アップストリームデータ受信での DMA の使用 | 939 |
| 18.6.3.1 | アップストリーム DMA を使用するための設定とイネーブルの流れ | 939 |
| 18.6.3.2 | アップストリーム DMA 向けのメモリ内のデータ配置 | 940 |
| 18.7 | クロスバー (XBAR) | 941 |
| 18.7.1 | 概要 | 941 |
| 18.7.2 | モジュール構成 | 941 |
| 18.7.2.1 | RHSB XBAR の構成 | 941 |
| 18.7.3 | レジスタ仕様 | 942 |
| 18.7.3.1 | レジスタ一覧 | 942 |
| 18.7.3.2 | RHSBGiCRjH — マイクロセカンドバスコントロールレジスタ H | 943 |
| 18.7.3.3 | RHSBGiCRjL — マイクロセカンドバスコントロールレジスタ L | 947 |
| 18.7.4 | 動作概要 | 951 |

| | | |
|----------|--|-----|
| 第 19 章 | ウィンドウウォッチドッグタイマ (WDTA) | 952 |
| 19.1 | 特長 | 952 |
| 19.2 | 概要 | 954 |
| 19.2.1 | 機能概要 | 954 |
| 19.2.2 | ブロック図 | 955 |
| 19.3 | レジスタ | 956 |
| 19.3.1 | レジスタの概要 | 956 |
| 19.3.1.1 | WDTAnWDTE — WDTA イネーブルレジスタ | 957 |
| 19.3.1.2 | WDTAnMD — WDTA モードレジスタ | 958 |
| 19.4 | 割り込み要因 | 960 |
| 19.5 | 機能説明 | 961 |
| 19.5.1 | リセット解除後の WDTA | 961 |
| 19.5.1.1 | スタートモード | 961 |
| 19.5.1.2 | スタートモードの選択 (WDTA0 のみ) | 961 |
| 19.5.1.3 | リセット解除後の WDTA 設定 | 961 |
| 19.5.1.4 | デフォルトスタートモードのタイミング (WDTA0 のみ) | 962 |
| 19.5.1.5 | ソフトウェアトリガスタートモードのタイミング (WDTA0, WDTA1 共通) | 963 |
| 19.5.2 | WDTA トリガ | 964 |
| 19.5.3 | エラー検出 | 964 |
| 19.5.4 | WDTA エラーモード | 965 |
| 19.5.5 | 75%割り込み要求信号 | 966 |
| 19.5.6 | ウィンドウ機能 | 967 |
| 第 20 章 | OS タイマ (OSTM) | 968 |
| 20.1 | 機能概要 | 968 |
| 20.1.1 | 特長 | 968 |
| 20.2 | レジスタ | 970 |
| 20.2.1 | レジスタの概要 | 970 |
| 20.2.2 | レジスタの詳細 | 971 |
| 20.2.2.1 | OSTMnCMP — OSTM コンペアレジスタ | 971 |
| 20.2.2.2 | OSTMnCNT — OSTM カウンタレジスタ | 972 |
| 20.2.2.3 | OSTMnTO — OSTM 出力レジスタ | 973 |
| 20.2.2.4 | OSTMnTOE — OSTM 出カインーブルレジスタ | 973 |
| 20.2.2.5 | OSTMnTE — OSTM カウントイネーブルステータスレジスタ | 974 |
| 20.2.2.6 | OSTMnTS — OSTM カウント開始トリガレジスタ | 975 |
| 20.2.2.7 | OSTMnTT — OSTM カウント停止トリガレジスタ | 975 |
| 20.2.2.8 | OSTMnCTL — OSTM 制御レジスタ | 976 |
| 20.3 | 機能説明 | 977 |
| 20.3.1 | ブロック図 | 977 |
| 20.3.2 | カウントクロック | 977 |
| 20.3.3 | 出力モード (OSTM0 のみ) | 978 |
| 20.3.4 | 割り込み要求の生成 | 979 |
| 20.3.5 | タイマの起動と停止 | 980 |
| 20.3.6 | インターバルタイマモード | 982 |
| 20.3.6.1 | インターバルタイマモードの基本動作 | 982 |
| 20.3.6.2 | OSTMnCMP = 0000 0000 _H の場合の動作 | 985 |
| 20.3.7 | フリーランニングコンペアモード | 986 |
| 20.3.7.1 | フリーランニングコンペアモードの基本動作 | 986 |

| | | |
|---------------|--|------------|
| 20.3.7.2 | OSTMnCMP = 0000 0000 _H の場合の動作 | 988 |
| 第 21 章 | アドバンストタイマユニット IV (ATU-IV) | 989 |
| 21.1 | 概要 | 989 |
| 21.1.1 | ATU-IV の構成 | 994 |
| 21.1.2 | ATU-IV 関連レジスタ | 996 |
| 21.1.3 | ATU-IV 入出力信号一覧 | 1027 |
| 21.1.4 | クロック供給 | 1028 |
| 21.2 | 共通制御部 | 1029 |
| 21.2.1 | 動作概要 | 1029 |
| 21.2.2 | 共通制御部関連レジスタ | 1030 |
| 21.2.2.1 | ATUENR — ATU-IV マスタイネーブルレジスタ | 1030 |
| 21.2.2.2 | CBCNT — クロックバスコントロールレジスタ | 1033 |
| 21.2.2.3 | NCMR — ノイズキャンセルモードレジスタ | 1034 |
| 21.3 | プリスケアラ | 1040 |
| 21.3.1 | 動作概要 | 1040 |
| 21.3.2 | プリスケアラ関連レジスタ | 1041 |
| 21.3.2.1 | PSCRx — プリスケアラレジスタ x (x = 0 ~ 3) | 1041 |
| 21.3.3 | 詳細動作説明 | 1042 |
| 21.3.3.1 | 動作の開始 | 1042 |
| 21.3.3.2 | 動作の停止と再開 | 1042 |
| 21.4 | タイマ A | 1043 |
| 21.4.1 | 動作概要 | 1043 |
| 21.4.2 | タイマ A 制御レジスタ | 1045 |
| 21.4.2.1 | TCR1A — タイマコントロールレジスタ 1A | 1045 |
| 21.4.2.2 | TCR2A — タイマコントロールレジスタ 2A | 1047 |
| 21.4.2.3 | TCR3A — タイマコントロールレジスタ 3A | 1049 |
| 21.4.2.4 | TCR4A — タイマコントロールレジスタ 4A | 1051 |
| 21.4.2.5 | NCMCR1A — ノイズキャンセルモードチャンネルレジスタ 1A | 1053 |
| 21.4.2.6 | NCMCR2A — ノイズキャンセルモードチャンネルレジスタ 2A | 1056 |
| 21.4.2.7 | TIOR1A — タイマ I/O コントロールレジスタ 1A | 1059 |
| 21.4.2.8 | TIOR2A — タイマ I/O コントロールレジスタ 2A | 1061 |
| 21.4.2.9 | TSRA — タイマステータスレジスタ A | 1064 |
| 21.4.2.10 | TSCRA — タイマステータスクリアレジスタ A | 1066 |
| 21.4.2.11 | ICRAX — インพุットキャプチャレジスタ Ax (x = 0 ~ 5) | 1068 |
| 21.4.2.12 | TCNTA — フリーランニングカウンタ A | 1069 |
| 21.4.2.13 | TILRA — タイマ入力信号レベルレジスタ A | 1070 |
| 21.4.2.14 | TILCRA — タイマ入力信号レベルキャプチャレジスタ A | 1071 |
| 21.4.2.15 | NCNTAx — ノイズキャンセルカウンタ Ax (x = 0 ~ 5) | 1072 |
| 21.4.2.16 | NCRAx — ノイズキャンセルレジスタ Ax (x = 0 ~ 5) | 1074 |
| 21.4.3 | 詳細動作説明 | 1076 |
| 21.4.3.1 | ノイズキャンセル動作 | 1076 |
| 21.4.3.2 | フリーランニング動作 | 1079 |
| 21.4.3.3 | インพุットキャプチャ動作 | 1080 |
| 21.4.3.4 | 端子レベルキャプチャ動作 | 1082 |
| 21.4.3.5 | DMA 転送 | 1082 |
| 21.5 | タイマ B | 1083 |
| 21.5.1 | 動作概要 | 1083 |
| 21.5.2 | タイマ B 制御レジスタ | 1086 |
| 21.5.2.1 | TCRB — タイマコントロールレジスタ B | 1086 |
| 21.5.2.2 | TIORB — タイマ I/O コントロールレジスタ B | 1088 |

| | | |
|-----------|--|------|
| 21.5.2.3 | TSRB — タイマステータスレジスタ B | 1090 |
| 21.5.2.4 | TSCRb — タイマステータスクリアレジスタ B | 1094 |
| 21.5.2.5 | TICRB — タイマインタラプトコントロールレジスタ B | 1096 |
| 21.5.2.6 | TCNTB0 — 入力エッジ間計測カウンタ B0 | 1098 |
| 21.5.2.7 | ICRB0 — インพุットキャプチャレジスタ B0 | 1099 |
| 21.5.2.8 | RECRBx — レコードレジスタ Bx (x = 1 ~ 6) | 1100 |
| 21.5.2.9 | RBURBx — レコードバックアップレジスタ Bx (x = 0 ~ 6) | 1101 |
| 21.5.2.10 | ICRB3x — インพุットキャプチャレジスタ B3x (x = 0 ~ 6) | 1102 |
| 21.5.2.11 | OCRB0 — アウトพุットコンペアレジスタ B0 | 1103 |
| 21.5.2.12 | TCNTB1 — イベントカウンタ B1 | 1104 |
| 21.5.2.13 | OCRB1 — アウトพุットコンペアレジスタ B1 | 1105 |
| 21.5.2.14 | OCRB10 — アウトพุットコンペアレジスタ B10 | 1106 |
| 21.5.2.15 | OCRB11 — アウトพุットコンペアレジスタ B11 | 1107 |
| 21.5.2.16 | OCRB12 — アウトพุットコンペアレジスタ B12 | 1108 |
| 21.5.2.17 | ICRB1 — インพุットキャプチャレジスタ B1 | 1109 |
| 21.5.2.18 | ICRB2 — インพุットキャプチャレジスタ B2 | 1110 |
| 21.5.2.19 | LDB — ロードレジスタ B | 1111 |
| 21.5.2.20 | RLDB — リロードレジスタ B | 1112 |
| 21.5.2.21 | TCNTB2 — リロードカウンタ B2 | 1113 |
| 21.5.2.22 | PIMR1 — パルスインターバルマルチプライヤレジスタ 1 | 1114 |
| 21.5.2.23 | PIMR2 — パルスインターバルマルチプライヤレジスタ 2 | 1115 |
| 21.5.2.24 | TCNTB6 — 倍周クロックカウンタ B6 | 1116 |
| 21.5.2.25 | ICRB6 — インพุットキャプチャレジスタ B6 | 1117 |
| 21.5.2.26 | RARB6 — 倍率設定レジスタ B6 | 1118 |
| 21.5.2.27 | TCNTB6M — 倍周クロックカウンタ B6M | 1119 |
| 21.5.2.28 | OCRB6 — アウトพุットコンペアレジスタ B6 | 1120 |
| 21.5.2.29 | OCRB7 — アウトพุットコンペアレジスタ B7 | 1121 |
| 21.5.2.30 | TCNTB3 — 補正イベントカウンタ B3 | 1122 |
| 21.5.2.31 | OCRB8 — アウトพุットコンペアレジスタ B8 | 1123 |
| 21.5.2.32 | TCNTB4 — 補正倍周クロックカウンタ B4 | 1124 |
| 21.5.2.33 | TCNTB5 — 倍周補正クロック生成カウンタ B5 | 1125 |
| 21.5.2.34 | TCCLFRB — 補正カウンタクリアフラグレジスタ B | 1127 |
| 21.5.2.35 | TCCLFSRB — 補正カウンタクリアフラグセットレジスタ B | 1128 |
| 21.5.2.36 | TCCLFCRB — 補正カウンタクリアフラグクリアレジスタ B | 1129 |
| 21.5.2.37 | TCCLRB — 補正カウンタクリアレジスタ B | 1130 |
| 21.5.2.38 | ACRTRGB — AGCKM2 補正許可設定レジスタ | 1131 |
| 21.5.2.39 | ACRCLRB — AGCKM2 補正クリア設定レジスタ | 1132 |
| 21.5.2.40 | ACRSTRB — AGCKM2 補正ステータスレジスタ | 1133 |
| 21.5.2.41 | ACRVALRB — AGCKM2 補正クロック数設定レジスタ | 1134 |
| 21.5.3 | 詳細動作説明 | 1135 |
| 21.5.3.1 | エッジ間計測機能およびエッジ入力停止検出機能 | 1135 |
| 21.5.3.2 | 倍周クロック生成機能 | 1138 |
| 21.5.3.3 | 倍周クロック補正機能 | 1142 |
| 21.6 | タイマ C | 1149 |
| 21.6.1 | 動作概要 | 1149 |
| 21.6.2 | タイマ C 関連レジスタ | 1151 |
| 21.6.2.1 | TSTRC — タイマスタートレジスタ C | 1151 |
| 21.6.2.2 | NCCRCx — ノイズキャンセラコントロールレジスタ Cx (x = 0 ~ 5) | 1153 |
| 21.6.2.3 | TCRCx — タイマコントロールレジスタ Cx (x = 0 ~ 5) | 1155 |
| 21.6.2.4 | TSRCx — タイマステータスレジスタ Cx (x = 0 ~ 5) | 1159 |
| 21.6.2.5 | TSCRCx — タイマステータスクリアレジスタ Cx (x = 0 ~ 5) | 1162 |
| 21.6.2.6 | TIORCx — タイマ I/O コントロールレジスタ Cx (x = 0 ~ 5) | 1164 |
| 21.6.2.7 | TCNTCx — タイマカウンタ Cx (x = 0 ~ 5) | 1167 |
| 21.6.2.8 | GRCxy — タイマ汎用レジスタ Cxy | 1168 |
| 21.6.2.9 | NCNTCxy — ノイズキャンセルカウンタ Cxy | 1170 |
| 21.6.2.10 | NCRCxy — ノイズキャンセルレジスタ Cxy | 1172 |

| | | |
|-----------|---------------------------------------|------|
| 21.6.2.11 | OCRCxy — アウトプットコンペアレジスタ Cxy | 1173 |
| 21.6.2.12 | TIERCx — タイマインタラプトイネーブルレジスタ Cx | 1174 |
| 21.6.2.13 | CUCRCx — カウンタ上限値設定コンペアレジスタ Cx | 1175 |
| 21.6.2.14 | NCMCR1C — ノイズキャンセルモードチャネルレジスタ 1C | 1176 |
| 21.6.2.15 | NCMCR2C — ノイズキャンセルモードチャネルレジスタ 2C | 1179 |
| 21.6.3 | 動作説明 | 1182 |
| 21.6.3.1 | インプットキャプチャ機能 (インプットキャプチャモード) | 1182 |
| 21.6.3.2 | コンペアマッチ機能 (コンペアマッチモード) | 1184 |
| 21.6.3.3 | PWM 機能 | 1186 |
| 21.6.3.4 | ワンショットパルス機能 (ワンショットパルスモード) | 1187 |
| 21.6.3.5 | カウンタ上限値設定機能 | 1194 |
| 21.7 | タイマ D | 1197 |
| 21.7.1 | 動作概要 | 1197 |
| 21.7.2 | タイマ D 関連レジスタ | 1199 |
| 21.7.2.1 | TSTRD — タイマスタートレジスタ D | 1199 |
| 21.7.2.2 | TCRDx — タイマコントロールレジスタ Dx | 1201 |
| 21.7.2.3 | TIOR1Dx — タイマ I/O コントロールレジスタ 1Dx | 1205 |
| 21.7.2.4 | TIOR2Dx — タイマ I/O コントロールレジスタ 2Dx | 1207 |
| 21.7.2.5 | OSELRDx — 出力選択レジスタ Dx | 1209 |
| 21.7.2.6 | ODRDx — 出力値レジスタ Dx | 1210 |
| 21.7.2.7 | DSTRDx — ダウンカウントスタートレジスタ Dx | 1211 |
| 21.7.2.8 | DSR1Dx — ダウンカウントステータスレジスタ 1Dx | 1212 |
| 21.7.2.9 | DSR2Dx — ダウンカウントステータスレジスタ 2Dx | 1214 |
| 21.7.2.10 | DSCRDx — ダウンカウントステータスクリアレジスタ Dx | 1215 |
| 21.7.2.11 | DCRDx — ダウンカウンタコントロールレジスタ Dx | 1216 |
| 21.7.2.12 | TSRDx — タイマステータスレジスタ Dx | 1218 |
| 21.7.2.13 | TSCRDx — タイマステータスクリアレジスタ Dx | 1222 |
| 21.7.2.14 | TOCRDx — タイマアウトプットコントロールレジスタ Dx | 1225 |
| 21.7.2.15 | OSBRDx — タイマオフセットベースレジスタ Dx | 1226 |
| 21.7.2.16 | TICTSELdx — タイマインプットキャプチャトリガ選択レジスタ Dx | 1227 |
| 21.7.2.17 | TCNT1Dx — タイマカウンタ 1Dx | 1228 |
| 21.7.2.18 | TCNT2Dx — タイマカウンタ 2Dx | 1229 |
| 21.7.2.19 | CUCR1Dx — カウンタ上限値設定コンペアレジスタ 1Dx | 1230 |
| 21.7.2.20 | CUCR2Dx — カウンタ上限値設定コンペアレジスタ 2Dx | 1231 |
| 21.7.2.21 | OCR1Dxy — アウトプットコンペアレジスタ 1Dxy | 1232 |
| 21.7.2.22 | RCR1Dx — 範囲コンペア値設定レジスタ 1Dx | 1233 |
| 21.7.2.23 | OCR2Dxy — アウトプットコンペアレジスタ 2Dxy | 1235 |
| 21.7.2.24 | RCR2Dx — 範囲コンペア値設定レジスタ 2Dx | 1236 |
| 21.7.2.25 | ICR1Dxy — インプットキャプチャレジスタ 1Dxy | 1238 |
| 21.7.2.26 | ICR2Dxy — インプットキャプチャレジスタ 2Dxy | 1239 |
| 21.7.2.27 | DCNTDxy — タイマダウンカウンタ Dxy | 1240 |
| 21.7.3 | 動作説明 | 1242 |
| 21.7.3.1 | 範囲コンペア機能 | 1248 |
| 21.7.3.2 | カウンタ上限値設定機能 | 1249 |
| 21.7.3.3 | キャプチャ機能 | 1250 |
| 21.8 | タイマ E | 1252 |
| 21.8.1 | 動作概要 | 1252 |
| 21.8.2 | タイマ E 関連レジスタ | 1254 |
| 21.8.2.1 | TSTRE — タイマスタートレジスタ E | 1254 |
| 21.8.2.2 | SSTREx — サブブロックスタートレジスタ Ex | 1255 |
| 21.8.2.3 | PSCREx — プリスケーラレジスタ Ex | 1257 |
| 21.8.2.4 | PSCCRExy — プリスケーラチャネルレジスタ Exy | 1258 |
| 21.8.2.5 | TCREx — タイマコントロールレジスタ Ex | 1259 |
| 21.8.2.6 | RLDCREx — リロードコントロールレジスタ Ex | 1260 |
| 21.8.2.7 | POECREx — 出力遮断コントロールレジスタ Ex | 1261 |

| | | |
|-----------|------------------------------------|------|
| 21.8.2.8 | SOLVLEx — 出力遮断レベル設定レジスタ Ex | 1262 |
| 21.8.2.9 | TSREx — タイマステータスレジスタ Ex | 1263 |
| 21.8.2.10 | TSCREx — タイマステータスクリアレジスタ Ex | 1266 |
| 21.8.2.11 | TIEREx — タイマインタラプトイネーブルレジスタ Ex | 1268 |
| 21.8.2.12 | TOCREx — タイマアウトプットコントロールレジスタ Ex | 1270 |
| 21.8.2.13 | TCNTExy — タイマカウンタ Exy | 1271 |
| 21.8.2.14 | CYLRExy — サイクルレジスタ Exy | 1273 |
| 21.8.2.15 | DTRExy — デューティレジスタ Exy | 1274 |
| 21.8.2.16 | CRLDExy — サイクルリロードレジスタ Exy | 1275 |
| 21.8.2.17 | DRLDExy — デューティリロードレジスタ Exy | 1276 |
| 21.8.3 | 動作説明 | 1277 |
| 21.9 | タイマ F | 1282 |
| 21.9.1 | 動作概要 | 1282 |
| 21.9.2 | タイマ F 関連レジスタ | 1285 |
| 21.9.2.1 | TSTRF — タイマスタートレジスタ F | 1285 |
| 21.9.2.2 | NCMCR1F — ノイズキャンセルモードチャンネルレジスタ 1F | 1286 |
| 21.9.2.3 | NCMCR2F — ノイズキャンセルモードチャンネルレジスタ 2F | 1288 |
| 21.9.2.4 | NCCRF — ノイズキャンセラコントロールレジスタ F | 1290 |
| 21.9.2.5 | PVFCRF — プライベートファンクションコントロールレジスタ F | 1292 |
| 21.9.2.6 | TCR1Fx — タイマコントロールレジスタ 1Fx | 1293 |
| 21.9.2.7 | TCR2Fx — タイマコントロールレジスタ 2Fx | 1295 |
| 21.9.2.8 | TIERFx — タイマインタラプトイネーブルレジスタ Fx | 1296 |
| 21.9.2.9 | BKCRFx — バックアップコントロールレジスタ Fx | 1298 |
| 21.9.2.10 | TSRFx — タイマステータスレジスタ Fx | 1300 |
| 21.9.2.11 | TSCRFx — タイマステータスクリアレジスタ Fx | 1303 |
| 21.9.2.12 | ECNTAFx — 時間計測カウンタ AFx | 1305 |
| 21.9.2.13 | ECNTBFx — イベントカウンタ Fx | 1306 |
| 21.9.2.14 | ECNTCFx — 時間計測カウンタ CFx | 1307 |
| 21.9.2.15 | GRAFx — 汎用レジスタ AFx | 1308 |
| 21.9.2.16 | BGRAFx — バックアップレジスタ AFx | 1309 |
| 21.9.2.17 | GRBFx — 汎用レジスタ BFx | 1310 |
| 21.9.2.18 | GRCFx — 汎用レジスタ CFx | 1311 |
| 21.9.2.19 | BGRCFx — バックアップレジスタ CFx | 1312 |
| 21.9.2.20 | GRDFx — 汎用レジスタ DFx | 1313 |
| 21.9.2.21 | BGRDFx — バックアップレジスタ DFx | 1314 |
| 21.9.2.22 | CDRFx — キャプチャ出力レジスタ Fx | 1315 |
| 21.9.2.23 | NCNTFAx — ノイズキャンセルカウンタ FAX | 1317 |
| 21.9.2.24 | NCNTFBx — ノイズキャンセルカウンタ FBx | 1319 |
| 21.9.2.25 | NCRFAx — ノイズキャンセルレジスタ FAX | 1321 |
| 21.9.2.26 | NCRFBx — ノイズキャンセルレジスタ FBx | 1322 |
| 21.9.3 | 詳細動作説明 | 1323 |
| 21.9.3.1 | 一定時間内エッジカウント | 1323 |
| 21.9.3.2 | 有効エッジ入力間隔計測 | 1325 |
| 21.9.3.3 | 入力 High/Low 期間計測 | 1327 |
| 21.9.3.4 | PWM 入力波形計測 | 1329 |
| 21.9.3.5 | 回転速度／パルス計測 | 1333 |
| 21.9.3.6 | アップ／ダウンカウント | 1336 |
| 21.9.3.7 | 4 通倍イベントカウント | 1338 |
| 21.9.3.8 | オーバフロー／アンダフロー | 1339 |
| 21.9.3.9 | 複数レジスタの同時アクセス | 1340 |
| 21.10 | タイマ G | 1341 |
| 21.10.1 | 動作概要 | 1341 |
| 21.10.2 | タイマ G 関連レジスタ | 1342 |
| 21.10.2.1 | TSTRG — タイマスタートレジスタ G | 1342 |
| 21.10.2.2 | TCRGx — タイマコントロールレジスタ Gx | 1343 |

| | | |
|------------|--|------|
| 21.10.2.3 | TSRGx — タイマステータスレジスタ Gx | 1344 |
| 21.10.2.4 | TSCRGx — タイマステータスクリアレジスタ Gx | 1346 |
| 21.10.2.5 | TCNTGx — タイマカウンタ Gx | 1347 |
| 21.10.2.6 | OCRGx — コンペアマッチレジスタ Gx | 1348 |
| 21.10.3 | 詳細動作説明 | 1349 |
| 21.11 | タイマ H | 1350 |
| 21.11.1 | 動作概要 | 1350 |
| 21.11.2 | タイマ H 関連レジスタ | 1351 |
| 21.11.2.1 | TCRH — タイマコントロールレジスタ H | 1351 |
| 21.11.2.2 | TSRH — タイマステータスレジスタ H | 1352 |
| 21.11.2.3 | TSCRH — タイマステータスクリアレジスタ H | 1354 |
| 21.11.2.4 | TCNT1H — タイマカウンタ 1H | 1355 |
| 21.11.2.5 | OCR1H — コンペアマッチレジスタ 1H | 1356 |
| 21.11.2.6 | TCNT2H — タイマカウンタ 2H | 1357 |
| 21.11.3 | 動作説明 | 1358 |
| 21.12 | タイマ J | 1359 |
| 21.12.1 | 動作概要 | 1359 |
| 21.12.2 | タイマ J 関連レジスタ | 1360 |
| 21.12.2.1 | TSTRJ — タイマスタートレジスタ J | 1360 |
| 21.12.2.2 | TCRJx — タイマコントロールレジスタ Jx | 1361 |
| 21.12.2.3 | FCRJx — FIFO コントロールレジスタ Jx | 1363 |
| 21.12.2.4 | TSRJx — タイマステータスレジスタ Jx | 1365 |
| 21.12.2.5 | TSCRJx — タイマステータスクリアレジスタ Jx | 1368 |
| 21.12.2.6 | TCNTJx — タイマカウンタ Jx | 1370 |
| 21.12.2.7 | OCRJx — コンペアマッチレジスタ Jx | 1371 |
| 21.12.2.8 | FIFOJx — FIFO レジスタ Jx | 1372 |
| 21.12.2.9 | FDNRJx — FIFO データ数レジスタ Jx | 1373 |
| 21.12.2.10 | NCNTJx — ノイズキャンセルカウンタ Jx | 1374 |
| 21.12.2.11 | NCRJx — ノイズキャンセルレジスタ Jx | 1376 |
| 21.12.3 | 動作説明 | 1377 |
| 21.13 | DMA/AD 要求自動切り替え | 1380 |
| 21.13.1 | 動作概要 | 1380 |
| 21.13.2 | DMA/AD 要求自動切り替え関連レジスタ | 1381 |
| 21.13.2.1 | TRGSRDMA0 — トリガステータスレジスタ DMA0 | 1381 |
| 21.13.2.2 | TRGSELDMA00 — トリガ選択レジスタ DMA00 | 1382 |
| 21.13.2.3 | TRGSELDMA01 — トリガ選択レジスタ DMA01 | 1383 |
| 21.13.2.4 | TRGSELAD — トリガ選択レジスタ AD | 1384 |
| 21.13.2.5 | TRGSRDMA1 — トリガステータスレジスタ DMA1 | 1385 |
| 21.13.2.6 | TRGSELDMA10 — トリガ選択レジスタ DMA10 | 1386 |
| 21.13.2.7 | TRGSELDMA11 — トリガ選択レジスタ DMA11 | 1387 |
| 21.13.3 | 詳細動作説明 | 1388 |
| 21.13.3.1 | データ用 DMA トリガ | 1388 |
| 21.13.3.2 | 回数用 DMA トリガ | 1389 |
| 21.13.3.3 | SAR-AD トリガ | 1390 |
| 21.14 | 使用上の注意 | 1391 |
| 21.14.1 | インプットキャプチャ競合動作 | 1391 |
| 21.14.1.1 | 汎用レジスタへの書き込みとインプットキャプチャの競合 | 1391 |
| 21.14.1.2 | カウンタへの書き込みとインプットキャプチャの競合 | 1392 |
| 21.14.1.3 | インプットキャプチャステータスのセットとクリアの競合 | 1393 |
| 21.14.2 | コンペアマッチ競合動作 | 1394 |
| 21.14.2.1 | コンペアマッチ/汎用レジスタへの書き込みとコンペアマッチの競合 | 1394 |
| 21.14.2.2 | CYLRExy への書き込みと TCNTExy とのサイクルマッチの競合 | 1395 |

| | | |
|------------|---|------|
| 21.14.2.3 | DTRExy への書き込みと TCNTExy とのサイクルマッチの競合 | 1395 |
| 21.14.2.4 | カウンタへの書き込みとコンペアマッチの競合 | 1396 |
| 21.14.2.5 | カウンタへの書き込みとコンペアマッチカウンタクリアの競合 | 1397 |
| 21.14.2.6 | TCNTExy への書き込みとサイクルマッチによるカウンタクリアの競合 | 1398 |
| 21.14.2.7 | コンペアマッチステータスのセットとクリアの競合 | 1399 |
| 21.14.2.8 | サイクルマッチステータスのセットとステータスクリアレジスタへの 1書き込みの競合 | 1400 |
| 21.14.2.9 | コンペアマッチ 1H 検出と ATUENR オフ切り替えの競合 | 1401 |
| 21.14.2.10 | TCNTExy へのゼロ書き込みとサイクルマッチの競合 | 1402 |
| 21.14.3 | ロード／リロード競合動作 | 1403 |
| 21.14.3.1 | データ転送と転送先レジスタへの書き込みとの競合 | 1403 |
| 21.14.3.2 | データ転送と転送元レジスタへの書き込みの競合 | 1404 |
| 21.14.4 | カウンタ競合動作 | 1405 |
| 21.14.4.1 | カウンタの書き込みとカウントアップ／カウントダウンの競合 | 1405 |
| 21.14.4.2 | カウントアップとカウンタクリアの競合 | 1405 |
| 21.14.4.3 | カウンタへの書き込みとオーバフローの競合 | 1406 |
| 21.14.4.4 | オーバフローステータスのセットとクリアの競合 | 1407 |
| 21.14.4.5 | オーバフローとコンペアマッチカウンタクリアの競合 | 1408 |
| 21.14.5 | ノイズキャンセラ競合動作 | 1410 |
| 21.14.5.1 | ノイズキャンセラカウンタへの書き込みとノイズキャンセラレジスタとの コンペアマッチの競合 | 1410 |
| 21.14.5.2 | ノイズキャンセラレジスタへの書き込みとノイズキャンセラカウンタとの コンペアマッチの競合 | 1411 |
| 21.14.6 | タイマダウンカウンタ Dxy 競合動作 | 1412 |
| 21.14.6.1 | DCNTDxy カウンタへの書き込みとカウントダウンの競合 | 1412 |
| 21.14.6.2 | DCNTDxy カウンタへの書き込みとアンダフローの競合 | 1412 |
| 21.14.6.3 | DCNTDxy カウンタへの書き込みと コンペアマッチ B (カウント停止トリガ) の競合 | 1413 |
| 21.14.6.4 | アンダフローステータスのセットとステータスクリアレジスタへの 1書き込みクリアの競合 | 1414 |
| 21.14.6.5 | ダウンカウンタ値 0000 0000 _H 時の ダウンカウンタスタートトリガ発生による TODxyB 出力 | 1414 |
| 21.14.6.6 | ダウンカウンタスタートトリガ、ストップトリガが同時に発生した場合の TODxyB 出力 | 1414 |
| 21.14.6.7 | ダウンカウンタスタートトリガとアンダフローの競合 | 1414 |
| 21.14.7 | タイマ A、B とタイマ D 連携動作 | 1416 |
| 21.14.7.1 | TCNT1Dx、2Dx カウンタクリアとコンペアマッチの競合 | 1416 |
| 21.14.7.2 | TCNT1Dx、TCNT2Dx カウンタへの書き込みとタイマ B からの カウンタクリアの競合 | 1417 |
| 21.14.7.3 | TCNT1Dx、TCNT2Dx カウンタオーバフローとタイマ B からの カウンタクリアの競合 | 1418 |
| 21.14.7.4 | タイマ B からのクリア信号による TCNT1Dx クリアと OSBRDx への インプットキャプチャの競合 | 1419 |
| 21.14.7.5 | タイマ B からの 0 クリアとカウンタ上限値設定機能によるクリアの競合 | 1419 |
| 21.14.8 | コンペアマッチ動作仕様の混在 | 1420 |

第 22 章 オートノマスパルスアダプタ (APA) 1422

| | | |
|----------|--|------|
| 22.1 | 概要 | 1422 |
| 22.2 | 用語 | 1426 |
| 22.3 | 構成 | 1428 |
| 22.4 | 制御レジスタ | 1430 |
| 22.4.1 | 制御レジスタ一覧 | 1430 |
| 22.4.2 | 制御レジスタ詳細 (全体動作) | 1447 |
| 22.4.2.1 | APAA0EN — APAA0 動作イネーブルレジスタ | 1448 |
| 22.4.2.2 | APAA0CHEN — APAA0 チャンネル動作イネーブルレジスタ | 1449 |

| | | |
|----------|---|------|
| 22.4.2.3 | APAA0CHST — APAA0 チャンnel出力ステータスレジスタ | 1451 |
| 22.4.3 | 制御レジスタ詳細 (リファレンスバス) | 1452 |
| 22.4.3.1 | APAA0RFDn — APAA0 リファレンスデータレジスタ (n = 0 ~ 9) | 1453 |
| 22.4.3.2 | APAA0RFSW — APAA0 ソフトウェアリファレンスデータレジスタ | 1454 |
| 22.4.3.3 | APAA0RFMXn — APAA0 リファレンス最大値設定レジスタ (n = 0, 1, sw) | 1455 |
| 22.4.4 | 制御レジスタ詳細 (イベントバス) | 1457 |
| 22.4.4.1 | APAA0EVSLn — APAA0 イベント選択レジスタ (n = 00 ~ 15) | 1458 |
| 22.4.4.2 | APAA0EVSW — APAA0 ソフトウェアイベントレジスタ | 1460 |
| 22.4.4.3 | APAA0EVSC — APAA0 ソフトウェアイベント設定レジスタ | 1461 |
| 22.4.4.4 | APAA0ESTA — APAA0 イベントステータスレジスタ A | 1463 |
| 22.4.5 | 制御レジスタ詳細 (パルス生成チャンネル 0 ~ 15) | 1464 |
| 22.4.5.1 | APAA0CCGAn — APAA0 チャンnel設定レジスタ An (n = 00 ~ 15) | 1465 |
| 22.4.5.2 | APAA0CCGBn — APAA0 チャンnel設定レジスタ Bn (n = 00 ~ 15) | 1467 |
| 22.4.5.3 | APAA0CSTAn — APAA0 チャンnelステータスレジスタ An (n = 00 ~ 15) | 1470 |
| 22.4.5.4 | APAA0CSTBn — APAA0 チャンnelステータスレジスタ Bn (n = 00 ~ 15) | 1472 |
| 22.4.5.5 | APAA0CSTCn — APAA0 チャンnelステータスレジスタ Cn (n = 00 ~ 15) | 1475 |
| 22.4.5.6 | APAA0CSTDn — APAA0 チャンnelステータスレジスタ Dn (n = 00 ~ 15) | 1477 |
| 22.4.6 | エレメント詳細 | 1479 |
| 22.4.6.1 | APAA0ELMA n — APAA0 エレメント設定レジスタ An (n = 000 ~ 127) | 1480 |
| 22.4.6.2 | APAA0ELMBn — APAA0 エレメント設定レジスタ Bn (n = 000 ~ 127) | 1481 |
| 22.4.6.3 | APAA0ELMCn — APAA0 エレメント設定レジスタ Cn (n = 000 ~ 127) | 1482 |
| 22.5 | 機能 | 1484 |
| 22.5.1 | 概念 | 1484 |
| 22.5.1.1 | APA におけるパルス生成 | 1484 |
| 22.5.1.2 | エレメント | 1485 |
| 22.5.1.3 | 例外について | 1485 |
| 22.5.2 | リファレンス制御 | 1486 |
| 22.5.2.1 | 特長・機能概要 | 1486 |
| 22.5.2.2 | 動作 | 1487 |
| 22.5.3 | イベント制御 | 1488 |
| 22.5.3.1 | 特長・機能概要 | 1488 |
| 22.5.3.2 | 動作：イベント入力の選択 | 1489 |
| 22.5.3.3 | 動作：時分割制御信号の生成 | 1489 |
| 22.5.4 | パルス生成 | 1491 |
| 22.5.4.1 | 特長・機能概要 | 1491 |
| 22.5.4.2 | 動作：マッチ比較器 | 1492 |
| 22.5.4.3 | 動作：イベントデコーダ | 1508 |
| 22.5.4.4 | 動作：マッチ比較器とイベントデコーダの競合 | 1522 |
| 22.5.5 | エレメント制御 | 1523 |
| 22.5.5.1 | 特長・機能概要 | 1523 |
| 22.5.5.2 | 動作 | 1525 |
| 22.5.5.3 | 動作中の開始エレメント番号の変更に関して | 1526 |
| 22.5.5.4 | 動作：エレメントデコーダ | 1528 |
| 22.5.6 | P-Bus-I/F | 1530 |
| 22.5.6.1 | 特長・機能概要 | 1530 |
| 22.5.6.2 | エレメント RAM への Write | 1530 |
| 22.5.6.3 | エレメント RAM からの Read | 1530 |
| 22.5.7 | 使用上の注意事項 | 1531 |
| 22.5.7.1 | マッチ条件の設定 1 | 1531 |
| 22.5.7.2 | マッチ条件の設定 2 (ADC 入力) | 1531 |
| 22.5.7.3 | イベント入力の間隔 | 1531 |
| 22.5.7.4 | 動作手順 | 1532 |
| 22.5.7.5 | 例外未使用時の処置 | 1533 |
| 22.5.7.6 | 割り込み出力に対する制限 | 1534 |

| | | |
|---------------|--|-------------|
| 22.5.8 | APA 入力セクタ | 1535 |
| 22.5.8.1 | ブロック構成図 | 1535 |
| 22.5.8.2 | レジスタ一覧 | 1536 |
| 22.5.8.3 | 機能詳細 | 1537 |
| 22.5.8.4 | 動作概要 | 1543 |
| 第 23 章 | モータコントロールタイマ (TSG2) | 1547 |
| 23.1 | TSG2n の機能 | 1547 |
| 23.2 | 機能の概要 | 1549 |
| 23.3 | 構成 | 1550 |
| 23.4 | レジスタ | 1551 |
| 23.4.1 | レジスタ一覧 | 1551 |
| 23.4.2 | TSG2n レジスタの詳細 | 1553 |
| 23.4.2.1 | TSG2nCTL0 — TSG2n 制御レジスタ 0 | 1553 |
| 23.4.2.2 | TSG2nCTL1 — TSG2n 制御レジスタ 1 | 1554 |
| 23.4.2.3 | TSG2nCTL3 — TSG2n 制御レジスタ 3 | 1555 |
| 23.4.2.4 | TSG2nCTL4 — TSG2n 制御レジスタ 4 | 1556 |
| 23.4.2.5 | TSG2nCTL5 — TSG2n 制御レジスタ 5 | 1557 |
| 23.4.2.6 | TSG2nCTL6 — TSG2n 制御レジスタ 6 | 1559 |
| 23.4.2.7 | TSG2nIOC0 — TSG2n I/O 制御レジスタ 0 | 1561 |
| 23.4.2.8 | TSG2nIOC1 — TSG2n I/O 制御レジスタ 1 | 1562 |
| 23.4.2.9 | TSG2nIOC2 — TSG2n I/O 制御レジスタ 2 | 1563 |
| 23.4.2.10 | TSG2nIOC3 — TSG2n I/O 制御レジスタ 3 | 1564 |
| 23.4.2.11 | TSG2nSTR0 — TSG2n ステータスレジスタ 0 | 1565 |
| 23.4.2.12 | TSG2nSTR1 — TSG2n ステータスレジスタ 1 | 1566 |
| 23.4.2.13 | TSG2nSTR2 — TSG2n ステータスレジスタ 2 | 1567 |
| 23.4.2.14 | TSG2nSTC — TSG2n ステータスクリアトリガレジスタ | 1569 |
| 23.4.2.15 | TSG2nOPT0 — TSG2n オプションレジスタ 0 | 1570 |
| 23.4.2.16 | TSG2nOPT1 — TSG2n オプションレジスタ 1 | 1571 |
| 23.4.2.17 | TSG2nTRG0 — TSG2n トリガレジスタ 0 | 1572 |
| 23.4.2.18 | TSG2nTRG1 — TSG2n トリガレジスタ 1 | 1573 |
| 23.4.2.19 | TSG2nCNT — TSG2n カウンタレジスタ | 1574 |
| 23.4.2.20 | TSG2nSBC — TSG2n サブカウンタレジスタ | 1575 |
| 23.4.2.21 | TSG2nCMP0 — TSG2n コンペアレジスタ 0 | 1576 |
| 23.4.2.22 | TSG2nCMP1W — TSG2n コンペアレジスタ 1、2 | 1577 |
| 23.4.2.23 | TSG2nCMP5W — TSG2n コンペアレジスタ 5、6 | 1578 |
| 23.4.2.24 | TSG2nCMP9W — TSG2n コンペアレジスタ 9、10 | 1579 |
| 23.4.2.25 | TSG2nCMP3W — TSG2n コンペアレジスタ 3、4 | 1580 |
| 23.4.2.26 | TSG2nCMP7W — TSG2n コンペアレジスタ 7、8 | 1581 |
| 23.4.2.27 | TSG2nCMP11W — TSG2n コンペアレジスタ 11、12 | 1582 |
| 23.4.2.28 | TSG2nCMP1-12 — TSG2n コンペアレジスタ 1 ~ 12 | 1583 |
| 23.4.2.29 | TSG2nDCMP0W — TSG2n 診断コンペアレジスタ 0、1 | 1584 |
| 23.4.2.30 | TSG2nDCMP2 — TSG2n 診断コンペアレジスタ 2 | 1585 |
| 23.4.2.31 | TSG2nPAT0W — TSG2n パタンレジスタ 0 | 1586 |
| 23.4.2.32 | TSG2nPAT1W — TSG2n パタンレジスタ 1 | 1587 |
| 23.4.2.33 | TSG2nDTC0W — TSG2n デッドタイムコンペアレジスタ 0 | 1588 |
| 23.4.2.34 | TSG2nDTC1W — TSG2n デッドタイムコンペアレジスタ 1 | 1589 |
| 23.4.2.35 | TSG2nCMPU — TSG2n U 相用コンペアレジスタ | 1590 |
| 23.4.2.36 | TSG2nCMPV — TSG2n V 相用コンペアレジスタ | 1591 |
| 23.4.2.37 | TSG2nCMPW — TSG2n W 相用コンペアレジスタ | 1592 |
| 23.4.2.38 | TSG2nUPW — TSG2n U 相期間レジスタ | 1593 |
| 23.4.2.39 | TSG2nVPW — TSG2n V 相期間レジスタ | 1594 |
| 23.4.2.40 | TSG2nWPW — TSG2n W 相期間レジスタ | 1595 |
| 23.4.2.41 | TSG2nDTPR — TSG2n デッドタイム保護レジスタ | 1596 |
| 23.5 | 基本動作 | 1597 |

| | | |
|-----------|--|------|
| 23.5.1 | 16 ビットカウンタ基本動作 | 1597 |
| 23.5.2 | コンペアレジスタの機能 | 1599 |
| 23.5.3 | コンペアレジスタの書き換え操作 | 1601 |
| 23.5.3.1 | 随時書き換えモードの動作例 | 1603 |
| 23.5.3.2 | リロードモード（一斉書き換え機能）の動作例 | 1605 |
| 23.5.4 | 各モード時における出力一覧 | 1608 |
| 23.5.4.1 | モード別のタイマ出力 | 1608 |
| 23.5.4.2 | モード別の割り込み | 1611 |
| 23.6 | 一致割り込み | 1613 |
| 23.7 | フラグ | 1616 |
| 23.7.1 | アップカウントフラグ（TSG2nCUF、TSG2nSUF） | 1617 |
| 23.7.2 | 正相／逆相同時アクティブ検出フラグ（TSG2nTBF0 ～ TSG2nTBF2） | 1619 |
| 23.7.3 | リロード要求フラグ（TSG2nRSF） | 1620 |
| 23.7.4 | ノイズ検出フラグ（TSG2nNDF） | 1621 |
| 23.7.5 | パタン順序検出フラグ（TSG2nTSF） | 1622 |
| 23.7.5.1 | TAPTSn2 ～ TAPTSn0 端子に正常な入力が発生している場合 | 1622 |
| 23.7.5.2 | 入力パタン変化の順序検出 | 1623 |
| 23.7.5.3 | TAPTSn2 ～ TAPTSn0 端子に異常な入力が発生した場合 | 1623 |
| 23.7.6 | パタンエラー検出フラグ（TSG2nPEF） | 1624 |
| 23.7.7 | パタン反転検出フラグ（TSG2nPRF） | 1625 |
| 23.7.8 | パタン位相差異検出フラグ（TSG2nPPF） | 1627 |
| 23.7.9 | タイマ出力パタンフラグ（TSG2nOPF2 ～ TSG2nOPF0） | 1628 |
| 23.7.10 | パタン切り替え検出信号（TSG2nPTE） | 1628 |
| 23.8 | 割り込み間引き機能 | 1630 |
| 23.8.1 | 割り込み間引き機能の動作 | 1631 |
| 23.8.1.1 | TSG2nCTL4 レジスタの TSG2nPIE = 1、TSG2nVIE = 1 での 割り込み間引き動作（HT-PWM モード時の山／谷割り込み発生） | 1631 |
| 23.8.1.2 | TSG2nCTL4 レジスタの TSG2nPIE = 1、TSG2nVIE = 0 での 割り込み間引き動作（HT-PWM モード時の山割り込みのみ発生） | 1632 |
| 23.8.1.3 | TSG2nCTL4 レジスタの TSG2nPIE = 0、TSG2nVIE = 1 での 割り込み間引き動作（HT-PWM モード時の谷割り込みのみ発生） | 1633 |
| 23.8.2 | 山割り込みを発生する場合の動作例（PWM モード時） | 1636 |
| 23.8.2.1 | 動作例 | 1636 |
| 23.9 | A/D 変換トリガ機能 | 1637 |
| 23.9.1 | A/D 変換トリガの動作 | 1637 |
| 23.9.1.1 | TSTADT0/TSTADT1 信号の出力制御 （TSG2nCTL5、TSG2nCTL6 レジスタ） | 1637 |
| 23.9.1.2 | A/D 変換トリガ間引き機能 | 1641 |
| 23.9.1.3 | A/D 変換トリガに関する注意事項 | 1642 |
| 23.10 | エラー／ワーニング割り込み | 1643 |
| 23.10.1 | エラー割り込み機能 | 1643 |
| 23.10.1.1 | PWM モード、120-DC モードの場合 | 1644 |
| 23.10.1.2 | HT-PWM モード、SP-PWM モードの場合 | 1645 |
| 23.10.2 | ワーニング割り込み機能 | 1646 |
| 23.11 | 各モードの動作 | 1647 |
| 23.11.1 | PWM モード | 1647 |
| 23.11.1.1 | PWM モード動作一覧 | 1650 |
| 23.11.1.2 | PWM モード時のリロード／割り込み間引き機能 | 1654 |
| 23.11.1.3 | PWM モード時のデッド・タイム制御 | 1654 |
| 23.11.1.4 | PWM モード動作時のデッド・タイム書き換え | 1657 |

| | | |
|------------|--|------|
| 23.11.2 | HT-PWM モード (High accuracy Triangular - Pulse Width Modulation モード) | 1658 |
| 23.11.2.1 | ブロック図と基本タイミング図 | 1659 |
| 23.11.2.2 | HT-PWM モード動作一覧 | 1662 |
| 23.11.2.3 | HT-PWM モードの各種設定 | 1665 |
| 23.11.2.4 | HT-PWM モードの 16 ビット・カウンタ動作 | 1668 |
| 23.11.2.5 | HT-PWM モードの基本動作 | 1670 |
| 23.11.2.6 | HT-PWM モード時の付加パルス制御 | 1672 |
| 23.11.2.7 | HT-PWM モード時のデッド・タイム制御 | 1674 |
| 23.11.2.8 | HT-PWM モード時のデッド・タイム制御に関する注意事項 | 1675 |
| 23.11.2.9 | HT-PWM モード時のソフトウェア出力制御機能 | 1676 |
| 23.11.2.10 | HT-PWM モードの非対称三角波制御 | 1679 |
| 23.11.3 | SP-PWM モード (Shifted-pulse - Pulse Width Modulation モード) | 1681 |
| 23.11.3.1 | 基本タイミング図 | 1682 |
| 23.11.3.2 | SP-PWM モード動作一覧 | 1684 |
| 23.11.3.3 | SP-PWM モードの各種設定 | 1687 |
| 23.11.3.4 | SP-PWM モード時のデッド・タイム制御 | 1689 |
| 23.11.3.5 | SP-PWM モード時のソフトウェア出力制御機能 | 1690 |
| 23.11.4 | 120-DC モード | 1693 |
| 23.11.4.1 | 120-DC モード動作一覧 | 1696 |
| 23.11.4.2 | 120-DC モードの各種設定 | 1698 |
| 23.11.4.3 | 120-DC モードの制御方式 | 1700 |
| 23.11.4.4 | 120-DC モードのタイマ出力 | 1702 |
| 23.11.4.5 | 120-DC モードの動作 | 1704 |
| 23.11.4.6 | 120-DC モードの出力パターン一覧 | 1708 |
| 23.11.4.7 | 120-DC モードの動作開始タイミング | 1710 |
| 23.11.4.8 | 120-DC モードの出力切り替えタイミング | 1713 |
| 23.11.4.9 | 120-DC モードのコンペア・レジスタ書き換えタイミング | 1715 |
| 23.11.4.10 | 120-DC モードのデッド・タイム制御 | 1716 |
| 23.11.4.11 | 120-DC モード時、TAPTSn2-TAPTSn0 端子にノイズが発生した場合の動作 | 1717 |
| 23.11.4.12 | 120-DC モード時の基本制御フロー | 1721 |
| 23.11.4.13 | 120-DC モード時のソフトウェア出力制御機能 | 1722 |
| 23.11.5 | ソフトウェア出力制御機能 | 1725 |

| | | |
|----------|-------------------------------------|------|
| 第 24 章 | タイマオプション (TAPA) | 1726 |
| 24.1 | 概要 | 1726 |
| 24.1.1 | 基本機能 | 1726 |
| 24.2 | レジスタ | 1727 |
| 24.2.1 | レジスタの概要 | 1727 |
| 24.2.2 | TAPAnCTL0 — TAPAn 制御レジスタ 0 | 1728 |
| 24.2.3 | TAPAnFLG — TAPAn フラグレジスタ | 1729 |
| 24.2.4 | TAPAnACWE — TAPAn 非同期制御ライトイネーブルレジスタ | 1730 |
| 24.2.5 | TAPAnACTS — TAPAn 非同期制御スタートトリガレジスタ | 1730 |
| 24.2.6 | TAPAnACTT — TAPAn 非同期制御ストップトリガレジスタ | 1731 |
| 24.2.7 | TAPAnOPHS — TAPAn Hi-Z スタートトリガレジスタ | 1731 |
| 24.2.8 | TAPAnOPHT — TAPAn Hi-Z ストップトリガレジスタ | 1732 |
| 24.3 | 基本動作説明 | 1733 |
| 24.3.1 | Hi-Z 制御機能 | 1733 |
| 24.3.1.1 | Hi-Z 制御機能の目的 | 1733 |
| 24.3.1.2 | Hi-Z 制御機能の概要 | 1733 |
| 24.3.1.3 | Hi-Z 制御の機能と動作 | 1733 |
| 24.3.2 | 端子入力に対応した非同期 Hi-Z 制御 | 1734 |
| 24.3.2.1 | 非同期入力 Hi-Z 制御の基本動作 | 1734 |

| | | |
|---------------|--|-------------|
| 24.3.2.2 | 非同期入力 Hi-Z 制御のためのソフトウェア操作 | 1734 |
| 24.3.2.3 | 非同期入力 Hi-Z 制御の操作例 | 1735 |
| 第 25 章 | ペリフェラルインターコネクション (PIC) | 1736 |
| 25.1 | タイマ同調機能、ポート Hi-Z 機能 | 1736 |
| 25.1.1 | 概要 | 1736 |
| 25.1.2 | レジスタ | 1736 |
| 25.1.2.1 | PIC1EN — 制御レジスタ EN | 1737 |
| 25.1.2.2 | PIC1SST — 同時スタートトリガ制御レジスタ 0 | 1737 |
| 25.1.2.3 | PIC1SSER2 — 同時スタート制御レジスタ 2 | 1738 |
| 25.1.2.4 | PIC1SSER3 — 同時スタート制御レジスタ 3 | 1739 |
| 25.1.2.5 | PIC1HIZCEN2 — Hi-Z 出力制御レジスタ 2 | 1740 |
| 25.1.3 | 動作説明 | 1741 |
| 25.1.3.1 | タイマ同調機能 | 1741 |
| 25.2 | トリガ選択機能 (PIC2) | 1742 |
| 25.2.1 | 概要 | 1742 |
| 25.2.2 | ブロック図 | 1743 |
| 25.2.3 | レジスタ | 1744 |
| 25.2.3.1 | PIC2ADCBnTSELj — AD コンバータ n トリガ選択制御レジスタ j | 1746 |
| 25.2.3.2 | PIC2ADCBnEDGSEL — AD コンバータ n トリガエッジ選択制御レジスタ | 1747 |
| 25.2.3.3 | PIC2ADTEN5nj — AD コンバータトリガ出力制御レジスタ 5nj | 1748 |
| 25.2.3.4 | PIC2ADTEN6nj — AD コンバータトリガ出力制御レジスタ 6nj | 1750 |
| 25.2.3.5 | PIC2ADTEN7nj — AD コンバータトリガ出力制御レジスタ 7nj | 1752 |
| 25.2.3.6 | PIC2DSADTEN0n0 — DSADC スタートトリガ出力制御レジスタ n0 (n = 0、1) | 1754 |
| 25.2.3.7 | PIC2DSADTEN0n1 — DSADC スタートトリガ出力制御レジスタ n1 (n = 0、1) | 1755 |
| 25.2.3.8 | PIC2DSADTEN0n2 — DSADC スタートトリガ出力制御レジスタ n2 (n = 0、1) | 1757 |
| 25.2.3.9 | PIC2DSADTEN1n0 — DSADC ストップトリガ出力制御レジスタ n0 (n = 0、1) | 1759 |
| 25.2.3.10 | PIC2DSADTEN1n1 — DSADC ストップトリガ出力制御レジスタ n1 (n = 0、1) | 1760 |
| 25.2.3.11 | PIC2DSADTEN1n2 — DSADC ストップトリガ出力制御レジスタ n2 (n = 0、1) | 1762 |
| 25.2.3.12 | PIC2DSADCATSEL0 — DSADC トリガ選択制御レジスタ 0 | 1764 |
| 25.2.3.13 | PIC2DSADCATSEL1 — DSADC トリガ選択制御レジスタ 1 | 1765 |
| 25.2.4 | AD トリガ選択機能 | 1766 |
| 25.2.4.1 | ADC トリガ選択機能 | 1766 |
| 25.2.4.2 | $\Delta\Sigma$ ADC トリガ選択機能 | 1766 |
| 第 26 章 | AD コンバータ (ADCB) | 1767 |
| 26.1 | 特長 | 1767 |
| 26.2 | 構成 | 1770 |
| 26.3 | レジスタアドレス | 1776 |
| 26.4 | ADC 共有レジスタ | 1778 |
| 26.4.1 | ADCB0ADSYNSTCR — AD 同期開始制御レジスタ | 1778 |
| 26.4.2 | ADCB0ADTSYNSTCR — AD タイマ同期開始制御レジスタ | 1778 |
| 26.5 | ADC 固有レジスタ (仮想チャネル) | 1779 |
| 26.5.1 | ADCBmVCRn — 仮想チャネルレジスタ n | 1779 |
| 26.5.2 | ADCBmDRn — データレジスタ n | 1781 |

| | | |
|----------|---|------|
| 26.5.3 | ADCBmDIRn — データ付帯情報レジスタ n | 1783 |
| 26.5.4 | ADCBmADHALTR — AD 終了レジスタ | 1784 |
| 26.5.5 | ADCBmADCR1 — AD 制御レジスタ 1 | 1785 |
| 26.5.6 | ADCBmMPXCURCR — MPX カレント制御レジスタ | 1786 |
| 26.5.7 | ADCBmMPXCURR — MPX カレントレジスタ | 1787 |
| 26.5.8 | ADCBmMPXOWR — MPX 任意ウェイトレジスタ | 1788 |
| 26.5.9 | ADCBmMPXCMDR — MPX コマンド情報レジスタ | 1789 |
| 26.5.10 | ADCBmADCR2 — AD 制御レジスタ 2 | 1789 |
| 26.5.11 | ADCBmDFASENTSGER — DFE/ASF エントリスキャングループ レジスタ | 1790 |
| 26.5.12 | ADCBmADENDP — AD 変換モニタ仮想チャネルポインタ | 1791 |
| 26.5.13 | ADCBmSFTCR — セーフティ制御レジスタ | 1792 |
| 26.5.14 | ADCBmTDCR — 端子レベル自己診断制御レジスタ | 1793 |
| 26.5.15 | ADCBmODCR — 断線検出制御レジスタ | 1794 |
| 26.5.16 | ADCBmULLMTBR0 ~ 2 — 上限/下限テーブルレジスタ 0 ~ 2 | 1795 |
| 26.5.17 | ADCBmECR — エラークリアレジスタ | 1796 |
| 26.5.18 | ADCBmULER — 上限/下限エラーレジスタ | 1797 |
| 26.5.19 | ADCBmOWER — オーバライトエラーレジスタ | 1798 |
| 26.5.20 | ADCBmPER — パリティエラーレジスタ | 1799 |
| 26.5.21 | ADCBmIDER — ID エラーレジスタ | 1800 |
| 26.6 | スキャングループ固有レジスタ | 1801 |
| 26.6.1 | ADCBmSGSTCRx — スキャングループ x 開始制御レジスタ | 1801 |
| 26.6.2 | ADCBmADTSTCRy — AD タイマ y 開始制御レジスタ | 1801 |
| 26.6.3 | ADCBmADTENDCRy — AD タイマ y 終了制御レジスタ | 1802 |
| 26.6.4 | ADCBmSGCRx — スキャングループ x 制御レジスタ | 1803 |
| 26.6.5 | ADCBmSGVCSPx — スキャングループ x 開始仮想チャネルポインタ | 1805 |
| 26.6.6 | ADCBmSGVCEPx — スキャングループ x 終了仮想チャネルポインタ | 1806 |
| 26.6.7 | ADCBmSGMCYCRx — スキャングループ x マルチサイクルレジスタ | 1807 |
| 26.6.8 | ADCBmSGSRx — スキャングループ x ステータスレジスタ | 1808 |
| 26.6.9 | ADCBmADTIPRy — AD タイマ初期位相レジスタ y | 1809 |
| 26.6.10 | ADCBmADTPRRy — AD タイマ周期レジスタ y | 1810 |
| 26.6.11 | ADCBmULLMSRx — スキャングループ x 上限値/下限値テーブル選択レジスタ | 1811 |
| 26.7 | 動作説明 | 1812 |
| 26.7.1 | 設定手順 | 1812 |
| 26.7.1.1 | 初期設定 | 1812 |
| 26.7.1.2 | トリガ入力フロー | 1813 |
| 26.7.1.3 | 終了手順 | 1815 |
| 26.7.2 | 通常 A/D 変換動作例 | 1816 |
| 26.7.2.1 | マルチサイクルスキャンモード | 1816 |
| 26.7.2.2 | 連続スキャンモード | 1817 |
| 26.7.3 | 同時トラック & ホールド動作例 | 1818 |
| 26.7.3.1 | 同時トラック & ホールド動作 (物理チャネルグループ選択) | 1818 |
| 26.7.4 | 加算モードの通常 A/D 変換動作例 | 1819 |
| 26.7.5 | 外付けアナログマルチプレクサ動作例 | 1820 |
| 26.7.5.1 | 外付けアナログマルチプレクサ使用例 (ポート出力) | 1820 |
| 26.7.5.2 | 外付けアナログマルチプレクサ使用例 (SPI 出力) | 1821 |
| 26.7.6 | 同期サスペンド & レジューム動作例 | 1822 |
| 26.7.7 | 非同期サスペンド & レジューム動作例 | 1823 |

| | | |
|---------------|---|-------------|
| 26.7.8 | AD タイマ動作例 | 1824 |
| 26.7.9 | 自己診断機能 | 1825 |
| 26.7.9.1 | 端子レベル自己診断機能 | 1825 |
| 26.7.9.2 | A/D 変換回路自己診断機能 | 1826 |
| 26.7.9.3 | 断線検出自己診断機能 | 1828 |
| 26.7.10 | アナログ入力のサンプリングとスキャングループ処理時間 | 1829 |
| 26.7.10.1 | 選択 T&H 実行/ホールド値 A/D 変換動作時の処理時間 | 1830 |
| 26.7.11 | スキャングループのトリガ入力選択 | 1831 |
| 26.7.12 | ハードウェアトリガによるスキャングループの起動 | 1832 |
| 26.7.13 | AD タイマトリガによるスキャングループの起動 | 1832 |
| 26.7.14 | ハードウェアトリガによる AD タイマの起動 | 1832 |
| 26.7.15 | A/D 変換モニタ端子によるモニタ機能 | 1833 |
| 26.7.16 | スキャン終了割り込み要求 | 1834 |
| 26.7.17 | MPX 割り込み要求 | 1835 |
| 26.7.18 | AD エラー割り込み要求と AD パリティエラー通知 | 1836 |
| 26.7.19 | DFE/ASF へのエントリ機能 | 1837 |
| 26.8 | A/D 変換精度の定義 | 1838 |
| 26.9 | 使用上の注意事項 | 1839 |
| 26.9.1 | 外付けアナログマルチプレクサの使用上の注意点 | 1839 |
| 26.9.2 | アナログ入力端子の使用上の注意 | 1840 |
| 26.9.3 | 注入電流印加時の注意事項 | 1841 |
| 26.10 | IFC (Integer/Floating-point 変換モジュール) | 1842 |
| 26.10.1 | 特長 | 1842 |
| 26.10.2 | 構成 | 1842 |
| 26.10.3 | レジスタアドレス | 1842 |
| 26.10.4 | レジスタ | 1843 |
| 26.10.4.1 | FDRmn — 浮動小数点データレジスタ mn | 1843 |
| 26.11 | ASF (ADC 積算機能) | 1844 |
| 26.11.1 | 特長 | 1844 |
| 26.11.2 | 構成 | 1845 |
| 26.11.3 | レジスタアドレス | 1845 |
| 26.11.4 | レジスタ | 1847 |
| 26.11.4.1 | ASF1nDRi — 積算データリードレジスタ i | 1847 |
| 26.11.4.2 | ASF1nCMPi — 積算コンペアマッチレジスタ i | 1849 |
| 26.11.4.3 | ASF1nCTL0 — 積算カウンタ制御レジスタ 0 | 1850 |
| 26.11.4.4 | ASF1nCTL1 — 積算カウンタ制御レジスタ 1 | 1850 |
| 26.11.4.5 | ASF1nCNT — 積算カウントリーードレジスタ | 1851 |
| 26.11.5 | 動作説明 | 1852 |
| 26.11.5.1 | 積算処理動作例 | 1853 |
| 第 27 章 | $\Delta\Sigma$AD コンバータ (DS-ADC) | 1859 |
| 27.1 | 特長 | 1859 |
| 27.2 | 構成 | 1861 |
| 27.3 | レジスタアドレス | 1863 |
| 27.4 | $\Delta\Sigma$ ADC 共有レジスタ | 1864 |
| 27.4.1 | DSADCCADSYNSTCR — AD 同期開始制御レジスタ | 1864 |
| 27.4.2 | DSADCCOSMPRCR — オーバサンプリングレート制御レジスタ | 1865 |

| | | |
|------------------------------------|---|-------------|
| 27.4.3 | DSADCCTDCR — 端子レベル自己診断制御レジスタ | 1866 |
| 27.4.4 | DSADCCTDLVR — 端子レベル自己診断レベル指定レジスタ | 1867 |
| 27.5 | $\Delta\Sigma$ ADC 固有レジスタ | 1868 |
| 27.5.1 | DSADCmCCR — チャネル制御レジスタ (m = 0、1) | 1868 |
| 27.5.2 | DSADCmDIR — データ付帯情報レジスタ (m = 0、1) | 1870 |
| 27.5.3 | DSADCmADSTCR — AD 開始制御レジスタ (m = 0、1) | 1873 |
| 27.5.4 | DSADCmADENDCR — AD 停止制御レジスタ (m = 0、1) | 1873 |
| 27.5.5 | DSADCmADCR — AD 制御レジスタ (m = 0、1) | 1874 |
| 27.5.6 | DSADCmADSR — AD ステータスレジスタ (m = 0、1) | 1875 |
| 27.5.7 | DSADCmSFTCR — セーフティ制御レジスタ (m = 0、1) | 1876 |
| 27.5.8 | DSADCmULLMTBR — 上限/下限テーブルレジスタ (m = 0、1) | 1877 |
| 27.5.9 | DSADCmECR — エラークリアレジスタ (m = 0、1) | 1878 |
| 27.5.10 | DSADCmER — エラーレジスタ (m = 0、1) | 1879 |
| 27.5.11 | DSADCmFCR — デジタルフィルタ FIR 制御レジスタ (m = 0、1) | 1880 |
| 27.6 | 動作説明 | 1882 |
| 27.6.1 | 初期設定フロー | 1882 |
| 27.6.2 | フィルタタイプの設定 | 1883 |
| 27.6.3 | A/D 変換時間 | 1883 |
| 27.6.4 | 外部トリガによる A/D 変換の起動 | 1885 |
| 27.6.5 | 外部トリガによる A/D 変換の終了 | 1885 |
| 27.6.6 | タイマトリガによる A/D 変換の起動 | 1885 |
| 27.6.7 | タイマトリガによる A/D 変換の終了 | 1886 |
| 27.6.8 | A/D 変換モニタ端子によるモニタ機能 | 1886 |
| 27.6.9 | DMA 要求要因 | 1887 |
| 27.6.10 | AD エラー割り込み要求と AD パリティエラー通知 | 1888 |
| 27.7 | 使用上の注意事項 | 1889 |
| 27.7.1 | アナログ入力端子の使用上の注意 | 1889 |
| 27.7.2 | モジュールスタンバイ機能 | 1889 |
| 第 28 章 デジタルフィルタ (DFE) | | 1890 |
| 28.1 | 概要 | 1890 |
| 28.1.1 | 特長 | 1890 |
| 28.1.2 | 全体構成 | 1890 |
| 28.1.3 | データフォーマット | 1891 |
| 28.1.4 | フィルタ回路 | 1892 |
| 28.1.4.1 | FIR フィルタ | 1892 |
| 28.1.4.2 | IIR フィルタ | 1892 |
| 28.1.5 | ディスパッチ回路 | 1892 |
| 28.1.6 | 積算回路 | 1893 |
| 28.1.7 | PH 回路 | 1893 |
| 28.1.8 | 出力回路 | 1893 |
| 28.1.9 | 用語 | 1894 |
| 28.2 | 制御レジスタ | 1896 |
| 28.2.1 | レジスタ一覧 | 1896 |
| 28.2.2 | CTLACHn — 制御レジスタ A (n = 0 ~ 15) | 1900 |

| | | |
|-----------|---|------|
| 28.2.3 | CTLBCHn — 制御レジスタ B (n = 0 ~ 15) | 1902 |
| 28.2.4 | DOCHn — 出力データレジスタ (n = 0 ~ 15) | 1905 |
| 28.2.5 | PHCHn — PH 結果レジスタ (n = 0 ~ 9) | 1906 |
| 28.2.6 | STCHn — ステータスレジスタ (n = 0 ~ 15) | 1907 |
| 28.2.7 | CLRSTCHn — クリアステータスレジスタ (n = 0 ~ 15) | 1909 |
| 28.2.8 | ERMCHn — エラーマスクレジスタ (n = 0 ~ 15) | 1910 |
| 28.2.9 | TRGCHn — トリガ設定レジスタ (n = 0 ~ 15) | 1911 |
| 28.2.10 | TRHCHn — トリガ履歴レジスタ (n = 0 ~ 15) | 1913 |
| 28.2.11 | CPA ~ CPD — 比較値設定レジスタ | 1914 |
| 28.2.12 | PHIA ~ PHID — PH 初期値設定レジスタ | 1915 |
| 28.2.13 | ACA ~ ACD — 積算/デシメーション回数設定レジスタ | 1916 |
| 28.2.14 | DI — ソフトウェア入力データレジスタ | 1917 |
| 28.2.15 | TRG — ソフトウェアトリガレジスタ | 1918 |
| 28.2.16 | ST — DFE ステータスレジスタ | 1918 |
| 28.2.17 | PITRG — PH 初期化/終了用タイマトリガ選択レジスタ | 1919 |
| 28.2.18 | MITRG — 積算/デシメーション初期化/禁止用タイマトリガ選択レジスタ | 1921 |
| 28.2.19 | FITRG — フィルタ初期化用タイマトリガ選択レジスタ | 1923 |
| 28.2.20 | PHUPDCn — PH 更新通知設定レジスタ n (n = 0、1) | 1925 |
| 28.3 | 動作説明 | 1926 |
| 28.3.1 | 動作概要 | 1926 |
| 28.3.2 | 動作手順 | 1927 |
| 28.3.3 | エラー処理手順 | 1928 |
| 28.4 | 詳細 | 1929 |
| 28.4.1 | データフロー | 1929 |
| 28.4.2 | メモリマップ | 1930 |
| 28.4.3 | メモリ | 1931 |
| 28.4.4 | 係数メモリのデータフォーマット | 1931 |
| 28.4.5 | データメモリのデータフォーマット | 1932 |
| 28.4.6 | 制御レジスタの設定 | 1933 |
| 28.4.6.1 | FIR (固定小数点) | 1933 |
| 28.4.6.2 | FIR (整数) | 1934 |
| 28.4.6.3 | IIR (固定小数点) | 1935 |
| 28.4.7 | トリガ制御 | 1936 |
| 28.4.7.1 | タイマトリガ入力 | 1936 |
| 28.4.7.2 | トリガフラグ機能 | 1937 |
| 28.4.7.3 | トリガフラグ機能と処理 | 1939 |
| 28.4.8 | 入力データ制御 | 1940 |
| 28.4.8.1 | AD 入力 | 1940 |
| 28.4.8.2 | カスケード入力 | 1940 |
| 28.4.8.3 | ソフトウェア入力 | 1941 |
| 28.4.8.4 | ディスパッチ | 1942 |
| 28.4.9 | フィルタ回路 | 1943 |
| 28.4.9.1 | FIR | 1943 |
| 28.4.9.2 | IIR (1 段) | 1944 |
| 28.4.9.3 | IIR (2 段) | 1945 |
| 28.4.9.4 | IIR (3 段) | 1946 |
| 28.4.9.5 | フィルタ回路のエラー | 1947 |
| 28.4.10 | 積算回路 | 1948 |
| 28.4.10.1 | 絶対値演算 | 1948 |

| | | |
|-----------|---------------------------------|------|
| 28.4.10.2 | 積算処理の概要 | 1948 |
| 28.4.10.3 | 積算処理の動作 | 1948 |
| 28.4.10.4 | 積算処理の動作（トリガフラグあり） | 1950 |
| 28.4.10.5 | デシメーション処理の概要 | 1951 |
| 28.4.10.6 | デシメーション処理の動作 | 1952 |
| 28.4.10.7 | デシメーション処理の動作（トリガフラグあり） | 1954 |
| 28.4.11 | PH 回路 | 1956 |
| 28.4.11.1 | PH 処理の概要 | 1956 |
| 28.4.11.2 | PH 処理の動作 | 1956 |
| 28.4.11.3 | 比較 | 1957 |
| 28.4.12 | 出力回路 | 1958 |
| 28.4.12.1 | 浮動小数点変換回路 | 1958 |
| 28.4.12.2 | 出力レジスタ回路 | 1958 |
| 28.4.13 | ステータスレジスタ | 1959 |
| 28.4.14 | エラーマスクレジスタ | 1959 |
| 28.4.15 | 割り込み要求 | 1960 |
| 28.4.15.1 | 出力データ割り込み要求 | 1960 |
| 28.4.15.2 | 条件一致割り込み要求 | 1961 |
| 28.4.15.3 | エラー割り込み要求 | 1962 |
| 28.5 | 注意と制限事項 | 1963 |
| 28.5.1 | 処理時間 | 1963 |
| 28.5.1.1 | 1 チャンネルの処理時間 | 1963 |
| 28.5.1.2 | 停止処理時間 | 1963 |
| 28.5.2 | DFE 起動入力間隔 | 1963 |
| 28.5.3 | DFE 処理時間 | 1964 |
| 28.5.4 | トリガ入力 | 1965 |
| 28.5.5 | チャンネルタグと AD タグ | 1966 |
| 28.5.6 | 入力データフォーマットと演算の制限 | 1966 |
| 28.5.7 | カスケード処理の制限 | 1966 |
| 28.5.8 | チャンネル無効時の動作 | 1967 |
| 28.5.9 | メモリアクセスの制限 | 1968 |
| 28.5.10 | トリガ設定レジスタの制限 | 1968 |
| 28.5.11 | PH 処理禁止ビットと積算／デシメーション処理禁止ビットの設定 | 1968 |

第 29 章 セーフティ 1969

| | | |
|----------|------------------------------------|------|
| 29.1 | 概要 | 1969 |
| 29.2 | ECC および EDC | 1970 |
| 29.2.1 | 概要 | 1970 |
| 29.2.1.1 | ECC | 1970 |
| 29.2.1.2 | アドレスパリティ | 1971 |
| 29.2.1.3 | データパリティ | 1971 |
| 29.2.2 | Code Flash の ECC およびアドレスパリティ | 1972 |
| 29.2.2.1 | 概要 | 1972 |
| 29.2.2.2 | レジスタ一覧 | 1974 |
| 29.2.2.3 | レジスタ詳細 | 1975 |
| 29.2.2.4 | テスト機能 | 1983 |
| 29.2.3 | Data Flash の ECC | 1985 |
| 29.2.3.1 | 概要 | 1985 |
| 29.2.3.2 | レジスタ一覧 | 1986 |
| 29.2.3.3 | テスト機能 | 1991 |
| 29.2.4 | Local RAM (CPU1) の ECC およびアドレスパリティ | 1993 |

| | | |
|-----------|------------------------------|------|
| 29.2.4.1 | 概要 | 1993 |
| 29.2.4.2 | レジスタ一覧 | 1995 |
| 29.2.4.3 | レジスタ詳細 | 1996 |
| 29.2.4.4 | テスト機能 | 2005 |
| 29.2.5 | Local RAM (PCU) の ECC | 2007 |
| 29.2.5.1 | 概要 | 2007 |
| 29.2.5.2 | レジスタ一覧 | 2008 |
| 29.2.5.3 | レジスタ詳細 | 2009 |
| 29.2.5.4 | テスト機能 | 2017 |
| 29.2.6 | Global RAM の ECC およびアドレスパリティ | 2018 |
| 29.2.6.1 | 概要 | 2018 |
| 29.2.6.2 | レジスタ一覧 | 2020 |
| 29.2.6.3 | レジスタ詳細 | 2021 |
| 29.2.6.4 | テスト機能 | 2034 |
| 29.2.7 | 命令キャッシュの ECC および EDC | 2037 |
| 29.2.7.1 | 概要 | 2037 |
| 29.2.7.2 | レジスタ一覧 | 2038 |
| 29.2.7.3 | レジスタ詳細 | 2039 |
| 29.2.7.4 | テスト機能 | 2050 |
| 29.2.8 | DTS 用 RAM の ECC | 2051 |
| 29.2.9 | 周辺 RAM (32 ビット) の ECC | 2051 |
| 29.2.9.1 | 概要 | 2051 |
| 29.2.9.2 | レジスタ一覧 | 2053 |
| 29.2.9.3 | レジスタ詳細 | 2055 |
| 29.2.9.4 | ECM への通知 | 2063 |
| 29.2.9.5 | テスト機能 | 2063 |
| 29.2.10 | 周辺 RAM (16 ビット) の ECC | 2065 |
| 29.2.10.1 | 概要 | 2065 |
| 29.2.10.2 | レジスタ一覧 | 2066 |
| 29.2.10.3 | レジスタ詳細 | 2067 |
| 29.2.10.4 | ECM への通知 | 2075 |
| 29.2.10.5 | テスト機能 | 2076 |
| 29.2.11 | データ転送経路のデータパリティ | 2077 |
| 29.2.11.1 | レジスタ一覧 | 2077 |
| 29.2.11.2 | レジスタ詳細 | 2079 |
| 29.3 | ロックステップ | 2083 |
| 29.3.1 | レジスタ一覧 | 2083 |
| 29.3.2 | レジスタ詳細 | 2084 |
| 29.3.2.1 | TESTCOMPREG0 — 比較器テストレジスタ 0 | 2084 |
| 29.3.2.2 | TESTCOMPREG1 — 比較器テストレジスタ 1 | 2085 |
| 29.4 | メモリ保護 | 2086 |
| 29.4.1 | 概要 | 2086 |
| 29.4.1.1 | スレーブガードの識別子 | 2087 |
| 29.4.2 | GRG (Global RAM Guard) | 2088 |
| 29.4.2.1 | レジスタ一覧 | 2088 |
| 29.4.2.2 | レジスタ詳細 | 2089 |
| 29.4.3 | PBG | 2095 |
| 29.4.3.1 | レジスタ一覧 | 2096 |
| 29.4.3.2 | レジスタ詳細 | 2097 |
| 29.5 | マルチインプットシグネチャジェネレータ (MISG) | 2101 |
| 29.5.1 | 概要 | 2101 |
| 29.5.2 | ブロック図 | 2102 |
| 29.5.2.1 | MISG | 2102 |

| | | |
|---------------|---|-------------|
| 29.5.2.2 | シングネチャ生成 | 2103 |
| 29.5.3 | 機能仕様 | 2105 |
| 29.5.3.1 | シングネチャ生成条件 | 2105 |
| 29.5.3.2 | シングネチャ自動比較機能 | 2106 |
| 29.5.3.3 | データカウンタ | 2107 |
| 29.5.3.4 | エラー通知 | 2107 |
| 29.5.4 | レジスタ仕様 | 2108 |
| 29.5.4.1 | レジスタマップ | 2108 |
| 29.5.4.2 | MISRCDRL_PE1/PCU — MISR カルキュレーションデータレジスタ | 2110 |
| 29.5.4.3 | MISR1L_PE1/PCU — マルチインプットシングネチャレジスタ 1L | 2111 |
| 29.5.4.4 | MISR1H_PE1/PCU — マルチインプットシングネチャレジスタ 1H | 2112 |
| 29.5.4.5 | MISR2L_PE1/PCU — マルチインプットシングネチャレジスタ 2L | 2113 |
| 29.5.4.6 | MISR2H_PE1/PCU — マルチインプットシングネチャレジスタ 2H | 2114 |
| 29.5.4.7 | MISRCR_PE1/PCU — MISR コントロールレジスタ | 2115 |
| 29.5.4.8 | MISRBASEADR_PE1/PCU — MISR 監視領域ベースアドレスレジスタ | 2116 |
| 29.5.4.9 | MISRADRMSK_PE1/PCU — MISR 監視領域アドレスマスクレジスタ | 2117 |
| 29.5.4.10 | MISRD CNTCTL_PE1/PCU — MISR データカウンタコントロールレジスタ | 2118 |
| 29.5.4.11 | MISRD CNT_PE1/PCU — MISR データカウンタレジスタ | 2119 |
| 29.5.4.12 | MISRCMPCTL — MISR コンパレータコントロールレジスタ | 2120 |
| 29.5.4.13 | MISRCMPERSTR — MISR コンペアエラーステータスレジスタ | 2121 |
| 29.5.4.14 | MISRCMPERRSTC — MISR コンペアエラーステータスクリアレジスタ | 2122 |
| 29.5.4.15 | MISRERRCTL — MISR エラー通知コントロールレジスタ | 2123 |
| 29.5.5 | 使用例 | 2124 |
| 29.5.5.1 | 使用例 1 | 2124 |
| 29.5.5.2 | 使用例 2 | 2124 |
| 29.6 | クロックモニタ | 2126 |
| 29.6.1 | 概要 | 2126 |
| 29.6.2 | レジスタ一覧 | 2127 |
| 29.6.2.1 | クロックモニタ チャンネルレジスタ | 2127 |
| 29.6.2.2 | 共通レジスタ | 2127 |
| 29.6.3 | レジスタ詳細 | 2128 |
| 29.6.3.1 | CLMAnCTL0 — CLMAn 制御レジスタ 0 | 2128 |
| 29.6.3.2 | CLMAnCMPL — CLMAn 比較レジスタ L | 2128 |
| 29.6.3.3 | CLMAnCMPH — CLMAn 比較レジスタ H | 2129 |
| 29.6.3.4 | CLMAnPCMD — CLMAn 保護命令レジスタ | 2129 |
| 29.6.3.5 | CLMAnPS — CLMAn 保護命令ステータスレジスタ | 2130 |
| 29.6.3.6 | CLMATEST — CLMA セルフテストレジスタ | 2131 |
| 29.6.3.7 | CLMATESTS — CLMA セルフテストステータスレジスタ | 2132 |
| 29.6.4 | 異常クロック周波数の検出 | 2133 |
| 29.6.5 | 自己診断 | 2135 |
| 29.6.6 | レジスタ設定時の注意事項 | 2136 |
| 29.6.6.1 | 保護レジスタへの書き込み | 2136 |
| 29.6.6.2 | CLMAnCMPL/CLMAnCMPH レジスタの設定 | 2137 |
| 29.7 | BIST | 2138 |
| 29.8 | ECM | 2138 |
| 第 30 章 | エラーコントロールモジュール (ECM) | 2139 |
| 30.1 | 概要 | 2139 |
| 30.1.1 | 仕様概要 | 2139 |
| 30.1.2 | エラー要因とセーフティ処理 | 2140 |
| 30.1.3 | ERROROUT 出力動作 | 2143 |
| 30.1.3.1 | ダイナミックモードを有効にする | 2143 |

| | | |
|----------|---|------|
| 30.1.3.2 | ダイナミックモードを無効にする | 2143 |
| 30.1.4 | ループバック機能..... | 2144 |
| 30.1.5 | 疑似エラー発生 | 2144 |
| 30.1.6 | エラー状態..... | 2144 |
| 30.1.7 | 書き込み保護レジスタ..... | 2145 |
| 30.1.7.1 | 書き込み保護されたレジスタへの書き込みシーケンス..... | 2145 |
| 30.1.8 | 割り込み処理のタイムアウト機能..... | 2146 |
| 30.2 | ブロック図..... | 2147 |
| 30.3 | レジスタ仕様 | 2148 |
| 30.3.1 | レジスタ一覧..... | 2148 |
| 30.3.2 | ECMmESET, m = M/C — ECM マスタ/チェッカエラーセットトリガレジスタ | 2150 |
| 30.3.3 | ECMmECLR, m = M/C — ECM マスタ/チェッカエラークリアトリガレジスタ | 2151 |
| 30.3.4 | ECMmESSTR0, m = M/C — ECM マスタ/チェッカエラーソースステータス レジスタ 0 | 2152 |
| 30.3.5 | ECMmESSTR1, m = M/C — ECM マスタ/チェッカエラーソースステータス レジスタ 1 | 2153 |
| 30.3.6 | ECMmPCMD0, m = M/C — ECM マスタ/チェッカ保護コマンドレジスタ | 2154 |
| 30.3.7 | ECMEPCFG — ECM エラーパルスコンフィグレーションレジスタ | 2155 |
| 30.3.8 | ECMMICFG0 — ECM マスカブル割り込みコンフィグレーションレジスタ 0..... | 2156 |
| 30.3.9 | ECMMICFG1 — ECM マスカブル割り込みコンフィグレーションレジスタ 1..... | 2157 |
| 30.3.10 | ECMNMICFG0 — ECM FE レベル割り込みコンフィグレーションレジスタ 0..... | 2158 |
| 30.3.11 | ECMNMICFG1 — ECM FE レベル割り込みコンフィグレーションレジスタ 1..... | 2159 |
| 30.3.12 | ECMIRCFG0 — ECM 内部リセットコンフィグレーションレジスタ 0..... | 2160 |
| 30.3.13 | ECMIRCFG1 — ECM 内部リセットコンフィグレーションレジスタ 1..... | 2161 |
| 30.3.14 | ECMEMK0 — ECM エラーマスクレジスタ 0 | 2162 |
| 30.3.15 | ECMEMK1 — ECM エラーマスクレジスタ 1 | 2163 |
| 30.3.16 | ECMESSTC0 — ECM エラーソースステータスクリアトリガレジスタ 0..... | 2164 |
| 30.3.17 | ECMESSTC1 — ECM エラーソースステータスクリアトリガレジスタ 1..... | 2165 |
| 30.3.18 | ECMPCMD1 — ECM 保護コマンドレジスタ | 2166 |
| 30.3.19 | ECMPS — ECM 保護ステータスレジスタ..... | 2167 |
| 30.3.20 | ECMPE0 — ECM 疑似エラートリガレジスタ 0 | 2168 |
| 30.3.21 | ECMPE1 — ECM 疑似エラートリガレジスタ 1 | 2169 |
| 30.3.22 | ECMDTMCTL — ECM ディレイタイマコントロールレジスタ | 2170 |
| 30.3.23 | ECMDTMR — ECM ディレイタイマレジスタ | 2170 |
| 30.3.24 | ECMDTMCMP — ECM ディレイタイマコンペアレジスタ | 2171 |
| 30.3.25 | ECMDTMCFG0 — ECM ディレイタイマコンフィグレーションレジスタ 0..... | 2172 |
| 30.3.26 | ECMDTMCFG1 — ECM ディレイタイマコンフィグレーションレジスタ 1..... | 2173 |
| 30.3.27 | ECMDTMCFG2 — ECM ディレイタイマコンフィグレーションレジスタ 2..... | 2174 |
| 30.3.28 | ECMDTMCFG3 — ECM ディレイタイマコンフィグレーションレジスタ 3..... | 2175 |
| 第 31 章 | データ CRC (DCRA) | 2176 |
| 31.1 | 概要..... | 2176 |
| 31.1.1 | 機能概要 | 2176 |
| 31.1.2 | ブロック図..... | 2177 |
| 31.1.3 | 演算回路 | 2178 |
| 31.2 | レジスタ仕様..... | 2179 |

| | | |
|---------------|--|-------------|
| 31.2.1 | レジスタ一覧 | 2179 |
| 31.2.2 | DCRA0CIN — CRC インพุットレジスタ | 2180 |
| 31.2.3 | DCRA0COUT — CRC データレジスタ | 2181 |
| 31.2.4 | DCRA0CTL — CRC 制御レジスタ | 2182 |
| 31.3 | 機能 | 2183 |
| 第 32 章 | オンチップデバッグユニット (OCD) | 2184 |
| 32.1 | デバッグ機能 | 2184 |
| 32.2 | キャリブレーション機能 | 2186 |
| 32.3 | トレースコントロール機能 | 2186 |
| 32.4 | ペリフェラルブレークの制御 | 2186 |
| 32.5 | オンチップデバッグ使用上の注意 | 2187 |
| 第 33 章 | フラッシュメモリ | 2188 |
| 33.1 | 特長 | 2188 |
| 33.2 | メモリ構成 | 2189 |
| 33.3 | フラッシュメモリ関連の動作モード | 2192 |
| 33.4 | 機能概要 | 2193 |
| 33.5 | シリアル・プログラミング | 2197 |
| 33.5.1 | プログラミング環境 | 2197 |
| 33.6 | 通信方式の選択 | 2198 |
| 33.7 | セルフ・プログラミング | 2199 |
| 33.7.1 | 概要 | 2199 |
| 33.7.2 | BGO 機能 | 2199 |
| 33.8 | フラッシュ・メモリの読み出し | 2200 |
| 33.8.1 | Code Flash メモリの読み出し | 2200 |
| 33.8.2 | Data Flash メモリの読み出し | 2200 |
| 33.9 | レジスタの説明 | 2201 |
| 33.9.1 | Data Flash メモリ関連のレジスタ | 2201 |
| 33.9.1.1 | FRDCYCLD — Data Flash メモリ読み出しサイクル設定レジスタ | 2201 |
| 33.9.2 | フラッシュ・メモリ書き込み・消去プロテクト関連レジスタ | 2202 |
| 33.9.2.1 | FHVE15 — FHVE15 コントロールレジスタ | 2202 |
| 33.9.2.2 | FHVE3 — FHVE3 コントロールレジスタ | 2203 |
| 33.9.3 | 製品情報関連レジスタ | 2204 |
| 33.9.3.1 | PRDNAME _n , n = 1 ~ 4 — 製品名格納レジスタ | 2205 |
| 33.10 | オプションバイト | 2206 |
| 33.10.1 | OPBT0 — オプション・バイト 4 ~ 1 ビット配置 | 2207 |
| 33.10.2 | OPBT2 — オプションバイト 12 ~ 9 ビット配置 | 2208 |
| 33.11 | 使用上の注意事項 | 2209 |
| 第 34 章 | フラッシュセキュリティ | 2211 |
| 34.1 | 特長 | 2211 |
| 34.1.1 | コードフラッシュおよびデータフラッシュ、ID コード保護 | 2211 |
| 34.1.1.1 | ユーザブートモード固有機能 | 2211 |

| | | |
|---------------|---|-------------|
| 34.1.1.2 | シリアルプログラミングモード固有機能 | 2211 |
| 34.1.1.3 | ユーザブートモードおよびシリアルプログラミングモード共通機能 | 2212 |
| 34.1.2 | デバッグインターフェースの接続制限機能 | 2212 |
| 34.2 | ユーザブートモード時のセキュリティ機能 | 2213 |
| 34.2.1 | SELF ID 認証 | 2213 |
| 34.2.2 | SELF ID 認証とセキュリティ状態 | 2213 |
| 34.3 | シリアルプログラミングモード時のセキュリティ機能 | 2215 |
| 34.4 | デバッグインターフェースの接続制限機能 | 2215 |
| 34.4.1 | セキュリティレベルとデバッグインターフェースの接続制限状態 | 2215 |
| 第 35 章 | RAM | 2218 |
| 35.1 | 搭載 RAM 一覧 | 2218 |
| 35.2 | 特長 | 2218 |
| 35.3 | RAM のデータ保持 | 2218 |
| 35.4 | Emulation RAM | 2219 |
| 35.4.1 | Emulation RAM について | 2219 |
| 35.4.2 | Emulation RAM を使った Code Flash エミュレーション機能について | 2219 |
| 35.4.3 | EmulationRAM のメモリ・マップ | 2220 |
| 35.4.4 | CFU レジスタ一覧 | 2220 |
| 35.4.5 | TM_CC — キャッシュ・クリア操作レジスタ | 2221 |
| 35.4.6 | TM_ME— チューニング・メモリ・マッピング許可レジスタ | 2222 |
| 35.4.7 | TM_MS — チューニング・メモリ・マッピング・ステータス・レジスタ | 2223 |
| 35.4.8 | TM_BMC0— チューニング・メモリ・バンク・マッピング・サイズ・ コンフィグレーション・レジスタ 0 | 2224 |
| 35.4.9 | TM_MA0— チューニング・メモリ・マッピング・アドレス・レジスタ 0 | 2225 |
| 35.4.10 | チューニング処理フロー | 2226 |
| 35.4.11 | ERAM アクセス時の注意事項 | 2226 |
| 35.5 | 使用上の注意事項 | 2227 |
| 第 36 章 | バウンダリスキャン | 2228 |
| 36.1 | 特長 | 2228 |
| 36.2 | 入出力端子 | 2230 |
| 36.3 | レジスタの説明 | 2231 |
| 36.3.1 | SDIR — インストラクションレジスタ | 2232 |
| 36.3.2 | SDID — ID レジスタ | 2232 |
| 36.3.3 | SDBPR — バイパスレジスタ | 2232 |
| 36.3.4 | SDBSR — バウンダリスキャンレジスタ | 2232 |
| 36.4 | 動作説明 | 2233 |
| 36.4.1 | TAP コントローラ | 2233 |
| 36.4.2 | サポートするコマンド | 2234 |
| 36.4.2.1 | BYPASS | 2234 |
| 36.4.2.2 | SAMPLE/PRELOAD | 2234 |
| 36.4.2.3 | EXTTEST | 2234 |
| 36.4.2.4 | CLAMP | 2234 |
| 36.4.2.5 | HIGHZ | 2234 |
| 36.4.2.6 | IDCODE | 2235 |

| | | |
|---------------|----------------------|-------------|
| 36.4.3 | 注意事項 | 2235 |
| 36.5 | 使用上の注意 | 2236 |
| 第 37 章 | 電気的特性 | 2237 |
| 37.1 | 絶対最大定格 | 2237 |
| 37.2 | DC 特性 | 2238 |
| 37.2.1 | 電源名と端子の関係 | 2238 |
| 37.2.2 | 動作条件 | 2243 |
| 37.2.3 | 入力電圧特性 | 2244 |
| 37.2.4 | 入力リーク電流特性 | 2244 |
| 37.2.5 | プルアップ／プルダウン MOS 電流特性 | 2245 |
| 37.2.6 | 出力電圧特性 | 2246 |
| 37.2.7 | 許容出力電流 | 2247 |
| 37.2.8 | 注入電流 | 2247 |
| 37.2.9 | LVDS ドライバ | 2248 |
| 37.2.10 | 入力容量 | 2249 |
| 37.2.11 | 消費電流特性 | 2250 |
| 37.2.12 | スタンバイ電流 | 2251 |
| 37.2.13 | 電源電圧モニタ特性 | 2251 |
| 37.3 | AC 特性 | 2252 |
| 37.3.1 | 電源投入・切断タイミング | 2253 |
| 37.3.2 | スタンバイ移行・復帰タイミング | 2255 |
| 37.3.3 | クロックタイミング | 2256 |
| 37.3.3.1 | 外部クロックと出力クロック | 2256 |
| 37.3.3.2 | スペクトラム拡散クロックジェネレータ | 2257 |
| 37.3.3.3 | オンチップオシレータ発振周波数精度 | 2257 |
| 37.3.4 | 出力スルーレート | 2258 |
| 37.3.5 | 制御信号タイミング | 2259 |
| 37.3.6 | CSIH タイミング | 2260 |
| 37.3.7 | SCI3/FLSCI3 タイミング | 2269 |
| 37.3.8 | RS-CAN タイミング | 2271 |
| 37.3.9 | TSG2 タイミング | 2272 |
| 37.3.10 | RHSB タイミング | 2273 |
| 37.3.11 | JTAG、NEXUS タイミング | 2274 |
| 37.3.12 | LDU4 線式タイミング | 2275 |
| 37.4 | A/D 変換器特性 | 2276 |
| 37.5 | Code Flash 特性 | 2280 |
| 37.6 | Data Flash 特性 | 2281 |
| 37.7 | 熱特性 | 2282 |
| 37.7.1 | パラメータ | 2282 |
| 37.7.2 | 想定基板 | 2283 |
| 付録 | レジスタ一覧 | 2284 |
| 付録 | 外形寸法図 | 2460 |

第1章 概要

RH850/E1L は、ルネサス エレクトロニクス のシングルチップマイクロコンピュータ「RH850 シリーズ」の1製品です。この章では、RH850/E1L の概要を説明します。

1.1 概説

この製品は、RH850 シリーズの CPU を複数搭載し、Code Flash、RAM、DMA コントローラ、CAN、RHSB（マイクロセカンドバス）を含めた各種高速通信インタフェース、逐次変換型と $\Delta\Sigma$ 型の2種類の A/D コンバータ、デジタルフィルタ処理などの周辺機能を内蔵し、かつ高速、高精度なパワートレイン制御に最適なアドバンスドタイムユニット（ATU-IV）を搭載した32ビットシングルチップマイクロコンピュータです。また、近年自動車分野に於いて要求の高い機能安全（ASIL）にも対応した製品です。

(1) RH850 のマルチコア搭載

この製品はメイン CPU（以下 CPU1 と称す）に「RH850G3M」を1ユニット搭載しており、周辺制御用 CPU（以下 PCU：Peripheral Control Unit と称す）に「RH850G3K」を1ユニット搭載しております。CPU1 と PCU は、RISC 型命令セットをサポートしており、1命令を1クロックで実行する基本命令と、それぞれ7段と5段に最適化されたパイプライン構成により、命令実行速度を飛躍的に向上させています。さらに自動車パワートレイン制御の応用をはじめとしたあらゆる分野に最適な命令として、32ビットのハードウェア乗算器による乗算命令、飽和積和演算命令、ビット操作命令などもサポートしています。

また、2バイト長の基本命令、高級言語対応命令などにより、C コンパイラでのオブジェクトコード効率を高めており、プログラムサイズのコンパクト化を実現します。さらに、内蔵割り込みコントローラでの処理を含む割り込み応答時間も高速なため、高度なリアルタイム制御分野に適しています。

(2) Code Flash、Data Flash 内蔵

この製品は、高速アクセス可能な Code Flash を2Mバイト内蔵しており、各 CPU からアクセスすることが可能です。アプリケーションシステム上に実装したままプログラムの書き換えが可能で、そのためシステム開発期間の短縮が実現できるとともに、システム出荷後のメンテナンス性を飛躍的に向上させることができます。

また、Data Flash を64Kバイト搭載しており、EEPROM のデータ格納用メモリとして使用することが可能です。

(3) 豊富な周辺機能

RH850/E1L は自動車パワートレイン制御（エンジン、トランスミッション等）でのハードウェア・ソフトウェア共に制御負荷を削減するために最適化したタイマ（ATU-IV、APA）、デジタルフィルタエンジン（DFE）、2種類の AD コンバータ（ADCB、DS-ADC）等を内蔵しています。また、自動車分野では標準の周辺機能（UART、CAN、RHSB）などを内蔵しています。デバッグインタフェースとしても世界標準のオンチップデバッグインタフェース（NEXUS JTAG）を搭載しております。これにより、これら機能を外付けすることなくシステム構築できるため、コスト低減、部品点数や実装面積の削減を図ることができます。

(4) 機能安全対応

CPU の高信頼性動作を保証するために、メモリ保護機能、周辺装置保護機能、システムレジスタ保護機能、タイミング監視機能があります。これらを搭載することで自動車分野の機能安全要求（ASIL）に対応しております。

1.2 特長

| | |
|---------------|---|
| CPU1 コア | RH850G3M : 1 ユニット (高速演算・制御用 CPU コア) |
| CPU1 キャッシュメモリ | 8K バイト |
| CPU1 最小命令実行時間 | 4.166ns (内部 240MHz 動作時) |
| CPU1 汎用レジスタ | 32 ビット × 32 本 |
| CPU1 命令セット | 符号付き乗算 (32 ビット × 32 ビット → 64 ビット) : 1-2 CPU クロック 飽和演算命令 (オーバフロー/アンダフロー検出機能付き) 32 ビット算術/論理シフト命令 : 1 CPU クロック ビット操作命令 ロング/ショート形式を持つロード/ストア命令 符号付きロード命令 |
| PCU コア | RH850G3K : 1 ユニット (中速演算・周辺制御用) |
| PCU 最小命令実行時間 | 12.5ns (内部 80MHz 動作時) |
| PCU 汎用レジスタ | 32 ビット × 32 本 |
| PCU 命令セット | 符号付き乗算 (32 ビット × 32 ビット → 64 ビット) : 1-2 CPU クロック 飽和演算命令 (オーバフロー/アンダフロー検出機能付き) 32 ビット算術/論理シフト命令 : 1 CPU クロック ビット操作命令 ロング/ショート形式を持つロード/ストア命令 符号付きロード命令 |
| メモリ空間 | 4G バイトアドレス空間 (プログラム/データ共有) (PCU は 128M バイトのみアクセス可能) |
| Code Flash | 2 種類のメモリ領域 <ul style="list-style-type: none"> • ユーザ領域 : 2M バイト (CPU1、PCU 共通) • ユーザブート領域 : 32K バイト キャッシュ経由で高速読み出し可能 (CPU1 のみ) |
| Data Flash | 64K バイト (CPU1、PCU 共通) |
| RAM | RAM (Local RAM) : 48K バイト (CPU1)、32K バイト (PCU) (Global RAM) : 112K バイト (CPU1、PCU 共通) 内 32K バイトスタンバイ RAM Emulation RAM : 8K バイト (CPU1、PCU 共通) |
| 割り込み / 例外 | 1 本のノンマスクابل割り込み (端子 NMI) 1 本の FE レベル割り込み (ECM) 353 本のマスクابل割り込み (高速 : 21 本、低速 332 本) 割り込み要因の複数コアへの同時配分対応 (CPU1、PCU) <ul style="list-style-type: none"> • 対応要因 : ノンマスクابل割り込み (端子 NMI)、FE レベル割り込み、21 本の高速マスクابل割り込み 外部割り込み入力機能 (端子 IRQ) ソフトウェア割り込み機能 (SINT) プロセッサ間割り込み機能 (IPIR) マスクابل割り込みの 16 レベルの優先順位指定可能 |
| DMA コントローラ | RH850 G3M、G3K 例外については「RH850G3M ユーザーズマニュアル ソフトウェア編」、 「RH850G3K ユーザーズマニュアル ソフトウェア編」を参照してください。 8 チャンネル内蔵 (8 チャンネル × 1 モジュール) 転送単位 : 8 ビット / 16 ビット / 32 ビット / 64 ビット / 128 ビット デュアルアドレス転送モード アドレスリロード機能 チェーン転送機能 3 種類の転送モード設定可能 : シングル転送、ブロック転送 1 (転送回数で指定した転送)、 ブロック転送 2 (アドレスカウントで指定した回数転送) 転送対象 : 内蔵メモリ、内蔵周辺モジュール (DMAC/DTS 除く) 転送要求は割り込み要因およびソフトウェアで設定可能 |

| | |
|--|---|
| DTS コントローラ | <p>128 チャンネル内蔵 転送単位：8 ビット／16 ビット／32 ビット／64 ビット／128 ビット デュアルアドレス転送モード アドレスリロード機能 チェーン転送機能 3 種類の転送モード設定可能：シングル転送、ブロック転送 1（転送回数で指定した転送）、 ブロック転送 2（アドレスカウントで指定した回数転送） 転送対象：内蔵メモリ、内蔵周辺モジュール（DMAC/DTS 除く） 転送要求は割り込み要因およびソフトウェアで設定可能</p> |
| I/O | <p>特定の入出力端子の出力ドライブ能力を選択可能 特定の入出力端子の出力値の反転有無を選択可能 特定の入力端子のプルダウン／プルダウンオフを選択可能</p> |
| セーフティ | <p>フラッシュメモリ ECC エラー検出機能 RAM ECC エラー検出機能 周辺モジュール RAM ECC エラー検出機能（DTS、APA、RS-CAN、DFE） 発振停止検出機能、バックアップクロックでの発振機能 エラーコントロールモジュール ECM モジュールの二重化（CPU1、ECM、エラー出力端子他）</p> |
| エラーコントロール モジュール (ECM) | <p>各エラーチェック機構およびセーフティ機能の情報を集約しエラーステータス表示 エラー検出時はエラー端子から外部へエラー信号を出力可能 エラー検出により割り込みや内部リセット信号を発生可能 デバッグ、自己診断用擬似エラーを発生する機能</p> |
| データ CRC | <p>データ CRC（データ巡回冗長検査）は、さまざまな長さで異なるビット幅の CRC で保護されたデータストリームを検証または生成可能</p> |
| マルチインプット シグネチャジェネレータ (MISG) | <p>CPU による特定のアドレスへのライトアクセスを監視し、そのライトデータを用いて 64 ビットのシグネチャを生成</p> |
| ウィンドウ ウォッチドックタイマ (WDTA) | <p>2 チャンネル内蔵 エラー発生時に ECM への信号発生可能 エラー発生要因（カウンタオーバフロー、ウィンドウクローズ期間のレジスタライト） ウィンドウの 75% で割り込み発生可能</p> |
| アドバンスト タイマユニット IV (ATU-IV) | <p>タイマ A：32 ビットインプットキャプチャ × 6 チャンネル タイマ B：アングルクロック生成タイマ × 1 チャンネル タイマ C：32 ビットインプットキャプチャ／アウトプットコンペア × 24 チャンネル タイマ D：32 ビットワンショットパルス × 20 チャンネル 32 ビットインプットキャプチャ × 20 チャンネル 32 ビットアウトプットコンペア × 20 チャンネル タイマ E：24 ビット PWM × 28 チャンネル タイマ F：32 ビットイベントカウンタ × 12 チャンネル タイマ G：32 ビットインターバルタイマ × 8 チャンネル タイマ H：32 ビットインターバルタイマ × 1 チャンネル タイマ J：9 段の FIFO 付き 32 ビットインプットキャプチャ × 4 チャンネル</p> |
| オートノマス パルスアダプタ (APA) | <p>16 チャンネル内蔵 周辺モジュール（ATU-IV、ADCB、DS-ADC）の値をリファレンスとして CPU 負荷なしにイベント（コンペアマッチ）で出力を変化 イベントを複数組み合わせで出力パターンの自動生成が可能</p> |
| モータコントロール タイマ (TSG2) タイマオプション (TAPA) | <p>TSG2、TAPA：各 1 ユニット内蔵</p> <ul style="list-style-type: none"> • 3 相モータ制御（U、V、W）を最大 2 つまで制御可能なタイマユニット搭載 • 異常検出時に TSG2 タイマの出力を強制的に Hi-Z 設定可能 |
| OS タイマ (OSTM) | <p>3 ユニット内蔵</p> <ul style="list-style-type: none"> • OS 使用を想定した 32bit のタイマ • インターバルタイマモード、フリーランニングタイマモード設定可能 • ユニット間の同期スタート設定可能 |
| ペリフェラルインター コネクション (PIC) | <p>1 ユニット内蔵</p> <ul style="list-style-type: none"> • TSG2 タイマを使用した同期動作やタイマ入出力の内部をタイマ間で接続可能 |

| | |
|--|--|
| シリアル コミュニケーション インタフェース 3 (SCI3) | 4 チャンネル内蔵 <ul style="list-style-type: none"> クロック同期／調歩同期式の設定可能 全二重通信が可能 内蔵ボーレートジェネレータで任意のビットレート設定可能 LSB ファースト／MSB ファースト選択可能 |
| シリアル インタフェース H (CSIH) | 3 チャンネル内蔵 <ul style="list-style-type: none"> 3 線式シリアル同期データ転送 マスタモード、スレーブモードの選択可能 設定可能な 6 個／4 個のチップセレクト出力信号 内蔵ボーレートジェネレータで任意のビットレート設定可能 |
| CAN インタフェース (RS-CAN) | 4 チャンネル内蔵 <ul style="list-style-type: none"> ISO-11898 に準拠 転送速度最大 1Mbps 4 チャンネル合計で 320 個のメッセージバッファを搭載 受信フィルタリング機能内蔵 |
| LIN マスタ インタフェース (RLIN2) | 1 チャンネル内蔵 <ul style="list-style-type: none"> 多種のフレーム幅に対応できるように設定可能 チェックサムタイプを設定可能 ウェークアップ送受信可能 内蔵ボーレートジェネレータで任意のビットレート設定可能 (2400、9600、10417、19200bps) |
| ルネサス ハイスピードバス (RHSB) | 1 チャンネル内蔵 マイクロセカンドバスチャンネルに対応する通信モジュール <ul style="list-style-type: none"> ダウストリーム通信 最大 2 つのスレーブを個別設定可能 緊急時対応の機能内蔵 |
| AD コンバータ (ADCB) | 36 チャンネル内蔵 <ul style="list-style-type: none"> 12 ビット分解能、逐次変換方式 変換速度：1.0us 12 ビット分解能 × 20 チャンネル (ADC0)、12 ビット分解能 × 16 チャンネル (ADC1) 独立動作 トラック&ホールド回路 (ADC0 × 2 チャンネル、ADC1 × 0 チャンネル) 5 系統のスキャングループ設定可能 2 種類のスキャンモード (マルチスキャンモード、連続スキャンモード) ADC0: 最大 36 チャンネルの仮想チャンネル設定可能 ADC1: 最大 32 チャンネルの仮想チャンネル設定可能 2 種類の A/D 変換加算機能内蔵 変換結果を浮動小数点フォーマットに変換 デジタルフィルタエンジンへ直接データへエン트리可能 セーフティ機能 (自己診断機能、データレジスタ上限/下限チェック、データレジスタパリティ他) |
| $\Delta\Sigma$ AD コンバータ (DS-ADC) | 4 チャンネル内蔵 (2 チャンネル × 2 入力) <ul style="list-style-type: none"> 高性能な A/D 変換 A/D 変換方式は $\Delta\Sigma$ 変調方式 シングルエンド入力と作動入力をサポート プログラマブルゲインアンプ内蔵 (x1、x2、x4、x8) デジタルフィルタエンジンへ直接データへエン트리可能 セーフティ機能 (自己診断機能、データレジスタ上限/下限チェック、データレジスタパリティ他) |
| 電源電圧モニタ | LSI 内部で VDD 電圧をモニタ VDD が所定電圧以上や所定電圧以下になると LSI 外部にエラーを通知 エラー検出に時間フィルタを設定可能 |

| | |
|----------------------------|--|
| デジタルフィルタ | <p>16 チャンネルのデジタルフィルタ (FIR/IIR) 機能内蔵</p> <ul style="list-style-type: none"> • 最大 32 タップの FIR を選択可能設定可能 • 最大 6 次の IIR を選択可能 • フィルタ係数、データは接続する RAM に格納 • フィルタ処理後のデータに対して <ul style="list-style-type: none"> 積算処理もしくはデシメーション処理が可能 ピークホールド処理もしくは比較処理が可能 • AD 変換器や $\Delta\Sigma$AD 変換器からの変換データを直接入力し、自動フィルタ処理を実行 |
| オンチップデバッグ ユニット (OCD) | <p>NEXUS JTAG : 1ch 内蔵 LDU : 1ch 内蔵</p> |
| バウンダリスキャン クロックコントローラ | <p>IEEE1149.1 規格に準拠したバウンダリスキャン機能をサポート</p> <p>発振回路を内蔵 外付け容量なしで 20MHz 発振可能 EXTAL 端子から Max 20MHz のクロック入力可能 内蔵 PLL によりクロック逡倍が可能 リングオシレータ回路を内蔵 輻射ノイズ低減のため SSCG を内蔵。ただし、タイマや通信モジュールには SSCG なしのクロックを供給</p> |
| 動作モード | <p>動作モード</p> <ul style="list-style-type: none"> • ユーザブートモード • シリアルプログラミングモード <p>低消費電力モード</p> <ul style="list-style-type: none"> • 電源遮断スタンバイ |
| パッケージ | <p>252 ピン・プラスチック FBGA (0.8 mm ボールピッチ) (17 × 17) 176 ピン・プラスチック LQFP (0.5 mm ピンピッチ) (24 × 24) 144 ピン・プラスチック LQFP (0.5 mm ピンピッチ) (20 × 20)</p> |

1.3 応用分野

- 自動車分野（エンジン制御システム、トランスミッション制御システムなど）

1.4 オーダ情報

| 品名 | パッケージ | 内蔵ROM | 動作温度 (T _j) | 外付け発振子 | 最大動作周波数 |
|---------------|--|-------|------------------------|--------|---------|
| R7F701201EABG | プラスチック FBGA-252 0.8mm ボールピッチ 17mm × 17mm | 2MB | max.150 °C | 20MHz | 240MHz |
| R7F701201EAFP | プラスチック LQFP-176 0.5mm ピッチ 24mm × 24mm | 2MB | max.150 °C | 20MHz | 240MHz |
| R7F701201EAFA | プラスチック LQFP-144 0.5mm ピッチ 20mm × 20mm | 2MB | max.150 °C | 20MHz | 240MHz |
| R7F701205EABG | プラスチック FBGA-252 0.8mm ボールピッチ 17mm × 17mm | 2MB | max.150 °C | 20MHz | 160MHz |
| R7F701205EAFP | プラスチック LQFP-176 0.5mm ピッチ 24mm × 24mm | 2MB | max.150 °C | 20MHz | 160MHz |
| R7F701205EAFA | プラスチック LQFP-144 0.5mm ピッチ 20mm × 20mm | 2MB | max.150 °C | 20MHz | 160MHz |

これ以降、特段の必要性が無い限り、LQFPはQFP、FBGAはBGAと表記します。

1.5 端子接続図 (Top View)

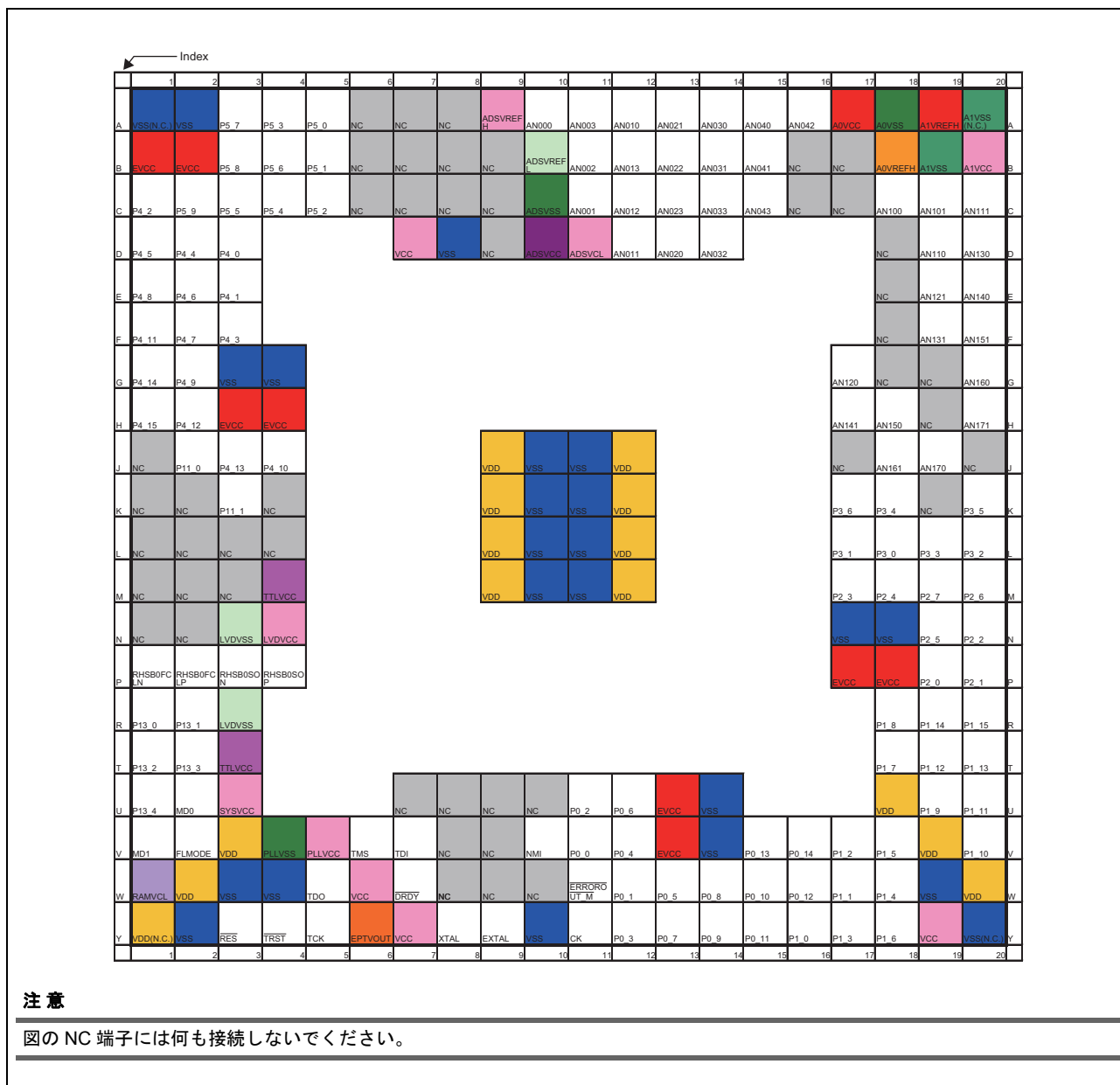


図 1.1 端子接続図 (E1L-BGA252)

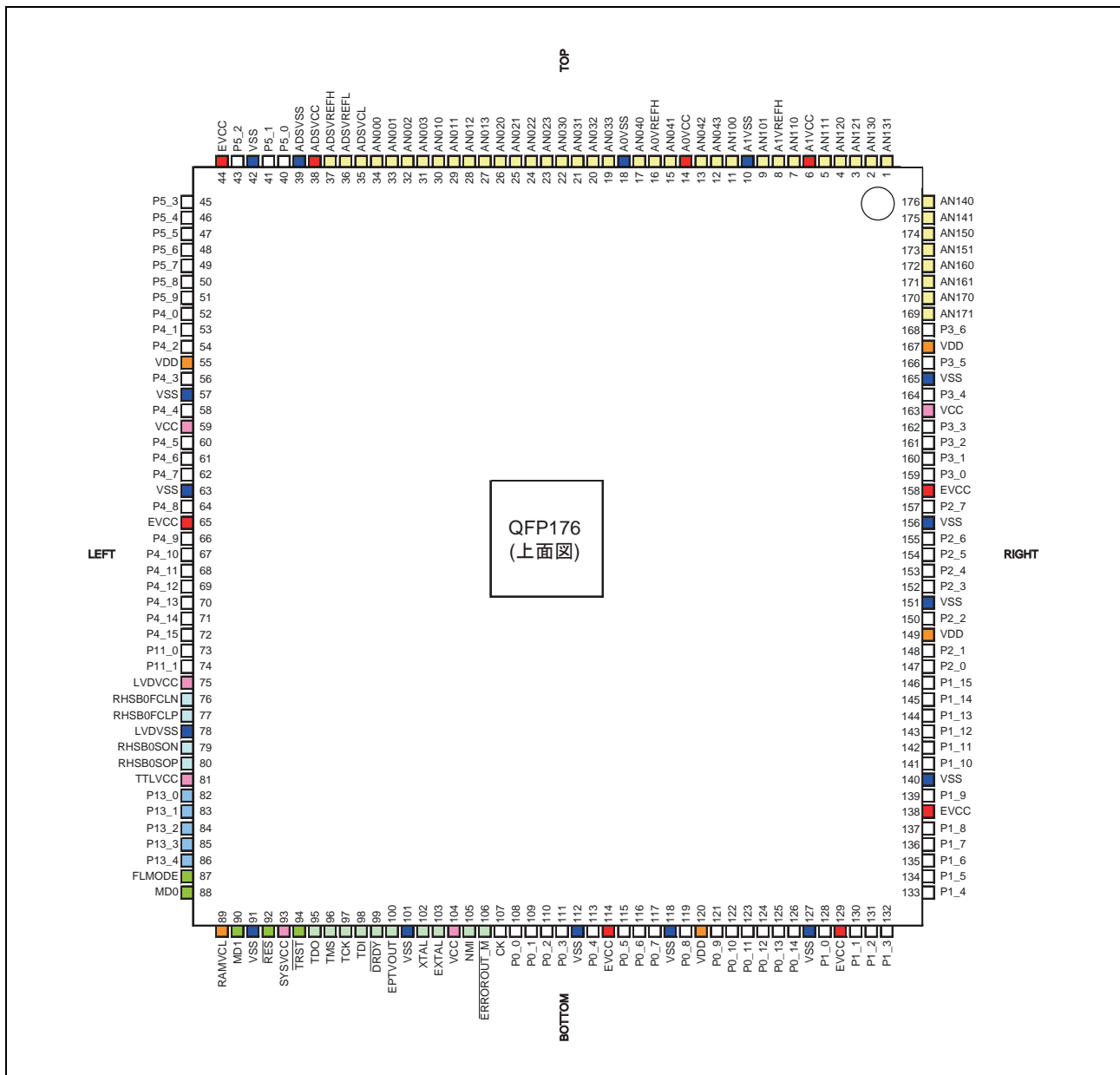


图 1.2 端子接続図 (E1L-QFP176)

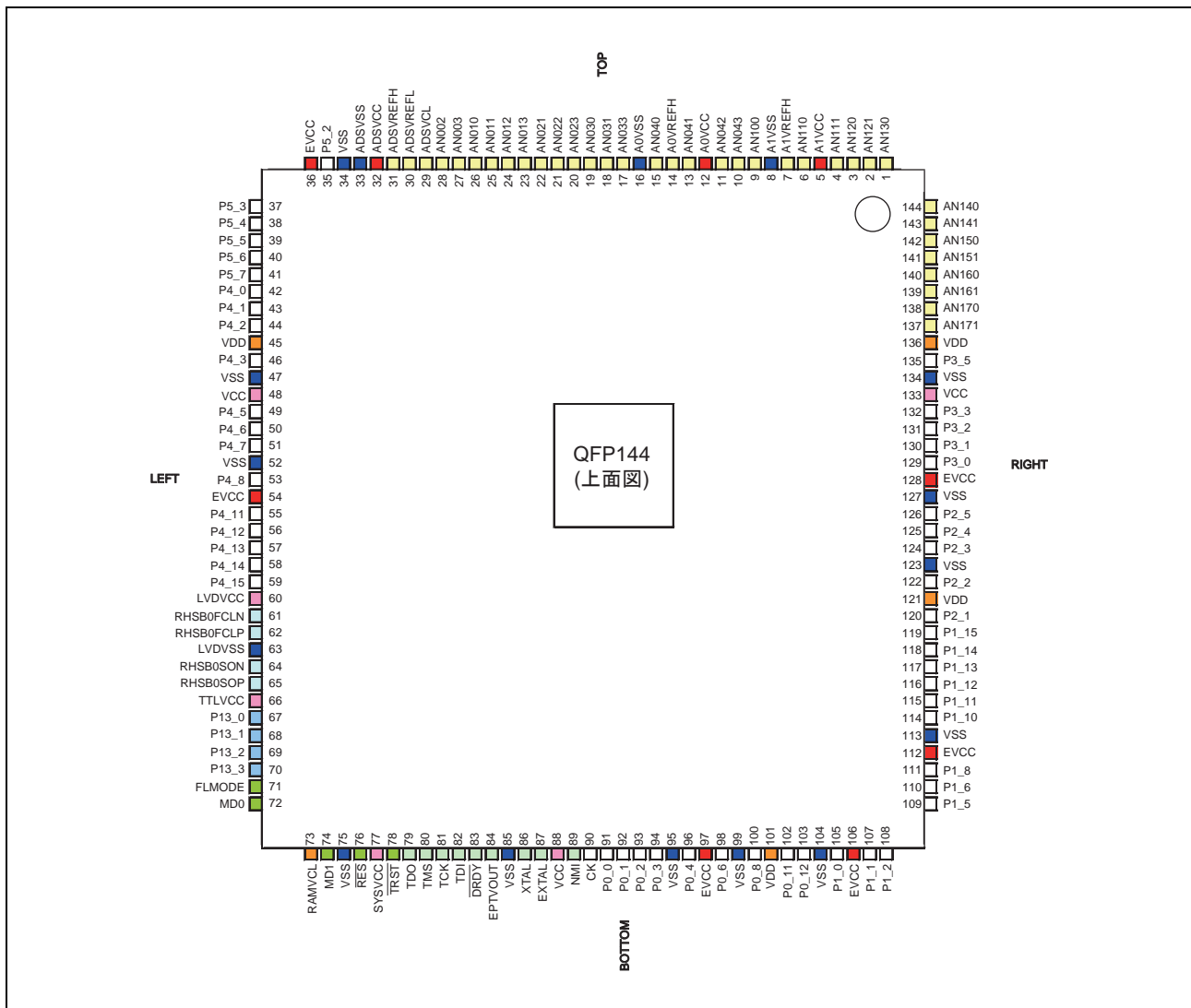


图 1.3 端子接続図 (E1L-QFP144)

表 1.1 端子番号と端子名の対応表 (E1L-BGA252) (1/7)

| 端子番号 | 端子名 |
|------|---|
| A1 | VSS(N.C.) |
| A2 | VSS |
| A3 | P5_7/TIF10/TOE22/TOD33B/TIOC13/LTX0/CTX2/SCI3SCK/DSADEND0 |
| A4 | P5_3/TIF6/TIJ0/TOD23B/TIOC03/CRX1/SCI2RxD |
| A5 | P5_0/TIF0B/TOE41/TOD20B/TIOC00/CRX0/SCI1RxD |
| A6 | NC |
| A7 | NC |
| A8 | NC |
| A9 | ADSVREFH |
| A10 | AN000/DSAN0P |
| A11 | AN003/DSAN1N |
| A12 | AN010/P14_12/TIF9 |
| A13 | AN021/P14_1/TIF1A |
| A14 | AN030/P14_4/TIF1B/TIA01 |
| A15 | AN040/P14_8/TIF5/TIA04 |
| A16 | AN042/P14_10/TIF7/TIJ2 |
| A17 | A0VCC |
| A18 | A0VSS |
| A19 | A1VREFH |
| A20 | A1VSS(N.C.) |
| B1 | EVCC |
| B2 | EVCC |
| B3 | P5_8/TIF11/TOE23/TIJ2/TIOC40/SCI3RxD |
| B4 | P5_6/TIF9/TOE21/TOD32B/TIOC12/LRX0/CRX2/DSADTRG0 |
| B5 | P5_1/TIF1B/TOE42/TOD21B/TIOC01/CTX0/SCI1TxD |
| B6 | NC |
| B7 | NC |
| B8 | NC |
| B9 | NC |
| B10 | ADSVREFL |
| B11 | AN002/DSAN1P |
| B12 | AN013/P14_15/TIJ1 |
| B13 | AN022/P14_2/TIF2A |
| B14 | AN031/P14_5/TIF2B/TIA02 |
| B15 | AN041/P14_9/TIF6/TIA05 |
| B16 | NC |
| B17 | NC |
| B18 | A0VREFH |
| B19 | A1VSS |
| B20 | A1VCC |

表 1.1 端子番号と端子名の対応表 (E1L-BGA252) (2/7)

| 端子番号 | 端子名 |
|------|---|
| C1 | P4_2/TOD02A/TAPTS02/TOD02B/TIOC22/TIF2A/APA2 |
| C2 | P5_9/TOE33/TIJ3/TIOC41/SCI3TxD |
| C3 | P5_5/TIF8/TOE20/TOD31B/TIOC11/SCI0TxD/SCI2SCK/DSADEND1 |
| C4 | P5_4/TIF7/TIJ1/TOD30B/TIOC10/CTX1/SCI2TxD/DSADTRG1 |
| C5 | P5_2/TIF2B/TOE43/TOD22B/TIOC02/ESO2/SCI0RxD/SCI1SCK/POD |
| C6 | NC |
| C7 | NC |
| C8 | NC |
| C9 | NC |
| C10 | ADSVSS |
| C11 | AN001/DSAN0N |
| C12 | AN012/P14_14/TIF11 |
| C13 | AN023/P14_3/TIF0B/TIA00 |
| C14 | AN033/P14_7/TIF4/TIA03 |
| C15 | AN043/P14_11/TIF8/TIJ3 |
| C16 | NC |
| C17 | NC |
| C18 | AN100 |
| C19 | AN101 |
| C20 | AN111 |
| D1 | P4_5/TOD11A/TOD11B/TOE31/TIF5/APA5/CRX0 |
| D2 | P4_4/TOD10A/TOD10B/TOE30/TIF4/APA4/CSIH2TRY |
| D3 | P4_0/TOD00A/TAPTS00/TOD00B/TIOC20/TIF0A/APA0/ERROROUT_C |
| D7 | VCC |
| D8 | VSS |
| D9 | NC |
| D10 | ADSVCC |
| D11 | ADSVCL |
| D12 | AN011/P14_13/TIF10/TIJ0 |
| D13 | AN020/P14_0/TIF0A |
| D14 | AN032/P14_6/TIF3 |
| D18 | NC |
| D19 | AN110 |
| D20 | AN130 |
| E1 | P4_8/TOD40A/TOD40B/TOE01/TIF8/APA8/CSIH2TSO |
| E2 | P4_6/TOD12A/TOD12B/TOE32/TIF6/APA6/CTX0 |
| E3 | P4_1/TOD01A/TAPTS01/TOD01B/TIOC21/TIF1A/APA1 |
| E18 | NC |
| E19 | AN121 |
| E20 | AN140 |
| F1 | P4_11/TOD43A/TOD43B/TOE10/TIF11/APA11/CSIH2TCSS1 |

表 1.1 端子番号と端子名の対応表 (E1L-BGA252) (3/7)

| 端子番号 | 端子名 |
|------|---|
| F2 | P4_7/TOD13A/TOD13B/TOE00/TIF7/APA7/CSIH2TSI |
| F3 | P4_3/TOD03A/TOD03B/TIOC23/TIF3/APA3/CSIH2TSSI |
| F18 | NC |
| F19 | AN131 |
| F20 | AN151/P16_1 |
| G1 | P4_14/TOD20B/TOE13/APA14/CRX1 |
| G2 | P4_9/TOD41A/TOD41B/TOE02/TIF9/APA9/CRX3/CSIH2TSCK |
| G3 | VSS |
| G4 | VSS |
| G17 | AN120 |
| G18 | NC |
| G19 | NC |
| G20 | AN160/P16_2 |
| H1 | P4_15/TOD21B/TOE40/APA15/CTX1/ERROROUT_C |
| H2 | P4_12/TIOC42/TOE11/APA12/SCI1RxD/CSIH2TCSS2 |
| H3 | EVCC |
| H4 | EVCC |
| H17 | AN141 |
| H18 | AN150/P16_0 |
| H19 | NC |
| H20 | AN171/P16_5 |
| J1 | NC |
| J2 | P11_0 |
| J3 | P4_13/TIOC43/TOE12/APA13/SCI1TxD/CSIH2TCSS3 |
| J4 | P4_10/TOD42A/TOD42B/TOE03/TIF10/APA10/CTX3/CSIH2TCSS0 |
| J9 | VDD |
| J10 | VSS |
| J11 | VSS |
| J12 | VDD |
| J17 | NC |
| J18 | AN161/P16_3 |
| J19 | AN170/P16_4 |
| J20 | NC |
| K1 | NC |
| K2 | NC |
| K3 | P11_1/TOD22B/TOE33 |
| K4 | NC |
| K9 | VDD |
| K10 | VSS |
| K11 | VSS |
| K12 | VDD |

表 1.1 端子番号と端子名の対応表 (E1L-BGA252) (4/7)

| 端子番号 | 端子名 |
|------|--|
| K17 | P3_6/TIOC00 |
| K18 | P3_4/TIF4/TIJ2/TIOC42/ADTRG0 |
| K19 | NC |
| K20 | P3_5/TIF5/TIJ3/TIOC43/ADEND0 |
| L1 | NC |
| L2 | NC |
| L3 | NC |
| L4 | NC |
| L9 | VDD |
| L10 | VSS |
| L11 | VSS |
| L12 | VDD |
| L17 | P3_1/TIF1A/TOE61/TOD31B/TIOC33/CTX1/SCI1TxD |
| L18 | P3_0/TIF0A/TOE60/TOD30B/TIOC32/CRX1/SCI1RxD |
| L19 | P3_3/TIF3/TOE63/TOD33B/TIOC41/ADEND1/CTX2/ESO2/SCI2TxD |
| L20 | P3_2/TIF2A/TOE62/TOD32B/TIOC40/ADTRG1/CRX2/SCI2RxD |
| M1 | NC |
| M2 | NC |
| M3 | NC |
| M4 | TTLVCC |
| M9 | VDD |
| M10 | VSS |
| M11 | VSS |
| M12 | VDD |
| M17 | P2_3/TIA03/TOE53/TOD03B/TIOC21/IRQ3 |
| M18 | P2_4/TIA04/TOE10/TOD10B/TIOC22/CRX3/IRQ4 |
| M19 | P2_7/TCLKB/TOE13/TOD13B/TIOC31/CTX0/IRQ7 |
| M20 | P2_6/TCLKA/TOE12/TOD12B/TIOC30/CRX0/IRQ6 |
| N1 | NC |
| N2 | NC |
| N3 | LVDVSS |
| N4 | LVDVCC |
| N17 | VSS |
| N18 | VSS |
| N19 | P2_5/TIA05/TOE11/TOD11B/TIOC23/CTX3/IRQ5 |
| N20 | P2_2/TIA02/TOE52/TOD02B/TIOC20/IRQ2 |
| P1 | RHSB0FCLN |
| P2 | RHSB0FCLP |
| P3 | RHSB0SON |
| P4 | RHSB0SOP |
| P17 | EVCC |

表 1.1 端子番号と端子名の対応表 (E1L-BGA252) (5/7)

| 端子番号 | 端子名 |
|------|---------------------------------------|
| P18 | EVCC |
| P19 | P2_0/TIA00/TOE50/TOD00B/TIOC12/IRQ0 |
| P20 | P2_1/TIA01/TOE51/TOD01B/TIOC13/IRQ1 |
| R1 | P13_0/RHSB0CSD0/CSIH1TSI |
| R2 | P13_1/RHSB0CSD1/CSIH1TSO |
| R3 | LVDVSS |
| R18 | P1_8/TOE20/APA8/TSO07/LRX0 |
| R19 | P1_14/TIOC52/TOE32/APA14 |
| R20 | P1_15/TIOC53/TOE33/APA15 |
| T1 | P13_2/RHSB0SI0/CSIH1TSCK |
| T2 | P13_3/RHSB0SI1/CSIH1TCSS0 |
| T3 | TTLVCC |
| T18 | P1_7/TOD33A/TOD33B/TOE43/APA7/TSO06 |
| T19 | P1_12/TIOC50/TOE30/APA12 |
| T20 | P1_13/TIOC51/TOE31/APA13 |
| U1 | P13_4/RHSB0EMRG/CSIH1TCSS1/ERROROUT_C |
| U2 | MD0 |
| U3 | SYSVCC |
| U7 | NC |
| U8 | NC |
| U9 | NC |
| U10 | NC |
| U11 | P0_2/CSIH0TSCK/SCI0SCK |
| U12 | P0_6/CSIH1TSI/IRQ3 |
| U13 | EVCC |
| U14 | VSS |
| U18 | VDD |
| U19 | P1_9/TOE21/APA9/LTX0 |
| U20 | P1_11/TOE23/APA11 |
| V1 | MD1 |
| V2 | FLMODE |
| V3 | VDD |
| V4 | PLLVSS |
| V5 | PLLVCC |
| V6 | TMS/EVTO |
| V7 | TDI/LPDI/FLSCI3RX |
| V8 | NC |
| V9 | NC |
| V10 | NMI |
| V11 | P0_0/CSIH0TSI/SCI0RxD |
| V12 | P0_4/CSIH0TCSS1/CTX2/IRQ1 |

表 1.1 端子番号と端子名の対応表 (E1L-BGA252) (6/7)

| 端子番号 | 端子名 |
|------|--|
| V13 | EVCC |
| V14 | VSS |
| V15 | P0_13/TIA05/TOD02B/CSIH0TCSS5/CSIH1TSSI/CSIH2TSCK |
| V16 | P0_14/TOD03B/CSIH1TRY/CSIH2TCSS0 |
| V17 | P1_2/TOD22A/TOD22B/TOE02/APA2/TSO01/CSIH2TCSS3 |
| V18 | P1_5/TOD31A/TOD31B/TOE41/APA5/TSO04 |
| V19 | VDD |
| V20 | P1_10/TOE22/APA10 |
| W1 | RAMVCL |
| W2 | VDD |
| W3 | VSS |
| W4 | VSS |
| W5 | TDO/LPDO/FLSCI3TX |
| W6 | VCC |
| W7 | DRDY/LPDCLKO |
| W8 | NC |
| W9 | NC |
| W10 | NC |
| W11 | ERROROUT_M |
| W12 | P0_1/CSIH0TSO/SCI0TxD |
| W13 | P0_5/CSIH0TCSS2/IRQ2 |
| W14 | P0_8/TIA00/CSIH1TSCK/IRQ5 |
| W15 | P0_10/TIA02/CSIH0TRY/CSIH1TCSS1/IRQ7 |
| W16 | P0_12/TIA04/TOD01B/CSIH0TCSS4/CSIH1TCSS3/CSIH2TSO |
| W17 | P1_1/TOD21A/TOD21B/TOE01/APA1/TSO00/SCI0TxD/CSIH2TCSS2 |
| W18 | P1_4/TOD30A/TOD30B/TOE40/APA4/TSO03/CSIH2TRY |
| W19 | VSS |
| W20 | VDD |
| Y1 | VDD(N.C.) |
| Y2 | VSS |
| Y3 | RES |
| Y4 | TRST/LPDRST |
| Y5 | TCK/LPDCLKI/FLSCI3SCK |
| Y6 | EPTVOUT |
| Y7 | VCC |
| Y8 | XTAL |
| Y9 | EXTAL |
| Y10 | VSS |
| Y11 | CK |
| Y12 | P0_3/CSIH0TCSS0/CRX2/IRQ0 |
| Y13 | P0_7/CSIH1TSO/IRQ4 |

表 1.1 端子番号と端子名の対応表 (E1L-BGA252) (7/7)

| 端子番号 | 端子名 |
|------|---|
| Y14 | P0_9/TIA01/CSIH0TSSI/CSIH1TCSS0/IRQ6 |
| Y15 | P0_11/TIA03/TOD00B/CSIH0TCSS3/CSIH1TCSS2/CSIH2TSI |
| Y16 | P1_0/TOD20A/TOD20B/TOE00/APA0/SCI0RxD/CSIH2TCSS1 |
| Y17 | P1_3/TOD23A/TOD23B/TOE03/APA3/TSO02/CSIH2TSSI |
| Y18 | P1_6/TOD32A/TOD32B/TOE42/APA6/TSO05 |
| Y19 | VCC |
| Y20 | VSS(N.C.) |

表 1.2 端子番号と端子名の対応表 (E1L-QFP176) (1/5)

| 端子番号 | 端子名 |
|------|---|
| 1 | AN131 |
| 2 | AN130 |
| 3 | AN121 |
| 4 | AN120 |
| 5 | AN111 |
| 6 | A1VCC |
| 7 | AN110 |
| 8 | A1VREFH |
| 9 | AN101 |
| 10 | A1VSS |
| 11 | AN100 |
| 12 | AN043/P14_11/TIF8/TIJ3 |
| 13 | AN042/P14_10/TIF7/TIJ2 |
| 14 | A0VCC |
| 15 | AN041/P14_9/TIF6/TIA05 |
| 16 | A0VREFH |
| 17 | AN040/P14_8/TIF5/TIA04 |
| 18 | A0VSS |
| 19 | AN033/P14_7/TIF4/TIA03 |
| 20 | AN032/P14_6/TIF3 |
| 21 | AN031/P14_5/TIF2B/TIA02 |
| 22 | AN030/P14_4/TIF1B/TIA01 |
| 23 | AN023/P14_3/TIF0B/TIA00 |
| 24 | AN022/P14_2/TIF2A |
| 25 | AN021/P14_1/TIF1A |
| 26 | AN020/P14_0/TIF0A |
| 27 | AN013/P14_15/TIJ1 |
| 28 | AN012/P14_14/TIF11 |
| 29 | AN011/P14_13/TIF10/TIJ0 |
| 30 | AN010/P14_12/TIF9 |
| 31 | AN003/DSAN1N |
| 32 | AN002/DSAN1P |
| 33 | AN001/DSAN0N |
| 34 | AN000/DSAN0P |
| 35 | ADSVCL |
| 36 | ADSVREFL |
| 37 | ADSVREFH |
| 38 | ADSVCC |
| 39 | ADSVSS |
| 40 | P5_0/TIF0B/TOE41/TOD20B/TIOC00/CRX0/SCI1RxD |

表 1.2 端子番号と端子名の対応表 (E1L-QFP176) (2/5)

| 端子番号 | 端子名 |
|------|---|
| 41 | P5_1/TIF1B/TOE42/TOD21B/TIOC01/CTX0/SCI1TxD |
| 42 | VSS |
| 43 | P5_2/TIF2B/TOE43/TOD22B/TIOC02/ESO2/SCI0RxD/SCI1SCK/POD |
| 44 | EVCC |
| 45 | P5_3/TIF6/TIJ0/TOD23B/TIOC03/CRX1/SCI2RxD |
| 46 | P5_4/TIF7/TIJ1/TOD30B/TIOC10/CTX1/SCI2TxD/DSADTRG1 |
| 47 | P5_5/TIF8/TOE20/TOD31B/TIOC11/SCI0TxD/SCI2SCK/DSADEND1 |
| 48 | P5_6/TIF9/TOE21/TOD32B/TIOC12/LRX0/CRX2/DSADTRG0 |
| 49 | P5_7/TIF10/TOE22/TOD33B/TIOC13/LTX0/CTX2/SCI3SCK/DSADEND0 |
| 50 | P5_8/TIF11/TOE23/TIJ2/TIOC40/SCI3RxD |
| 51 | P5_9/TOE33/TIJ3/TIOC41/SCI3TxD |
| 52 | P4_0/TOD00A/TAPTS00/TOD00B/TIOC20/TIF0A/APA0/ERROROUT_C |
| 53 | P4_1/TOD01A/TAPTS01/TOD01B/TIOC21/TIF1A/APA1 |
| 54 | P4_2/TOD02A/TAPTS02/TOD02B/TIOC22/TIF2A/APA2 |
| 55 | VDD |
| 56 | P4_3/TOD03A/TOD03B/TIOC23/TIF3/APA3/CSIH2TSSI |
| 57 | VSS |
| 58 | P4_4/TOD10A/TOD10B/TOE30/TIF4/APA4/CSIH2TRY |
| 59 | VCC |
| 60 | P4_5/TOD11A/TOD11B/TOE31/TIF5/APA5/CRX0 |
| 61 | P4_6/TOD12A/TOD12B/TOE32/TIF6/APA6/CTX0 |
| 62 | P4_7/TOD13A/TOD13B/TOE00/TIF7/APA7/CSIH2TSI |
| 63 | VSS |
| 64 | P4_8/TOD40A/TOD40B/TOE01/TIF8/APA8/CSIH2TSO |
| 65 | EVCC |
| 66 | P4_9/TOD41A/TOD41B/TOE02/TIF9/APA9/CRX3/CSIH2TSCK |
| 67 | P4_10/TOD42A/TOD42B/TOE03/TIF10/APA10/CTX3/CSIH2TCSS0 |
| 68 | P4_11/TOD43A/TOD43B/TOE10/TIF11/APA11/CSIH2TCSS1 |
| 69 | P4_12/TIOC42/TOE11/APA12/SCI1RxD/CSIH2TCSS2 |
| 70 | P4_13/TIOC43/TOE12/APA13/SCI1TxD/CSIH2TCSS3 |
| 71 | P4_14/TOD20B/TOE13/APA14/CRX1 |
| 72 | P4_15/TOD21B/TOE40/APA15/CTX1/ERROROUT_C |
| 73 | P11_0 |
| 74 | P11_1/TOD22B/TOE33 |
| 75 | LVDVCC |
| 76 | RHSB0FCLN |
| 77 | RHSB0FCLP |
| 78 | LVDVSS |
| 79 | RHSB0SON |
| 80 | RHSB0SOP |
| 81 | TTLVCC |

表 1.2 端子番号と端子名の対応表 (E1L-QFP176) (3/5)

| 端子番号 | 端子名 |
|------|---------------------------------------|
| 82 | P13_0/RHSB0CSD0/CSIH1TSI |
| 83 | P13_1/RHSB0CSD1/CSIH1TSO |
| 84 | P13_2/RHSB0SI0/CSIH1TSCK |
| 85 | P13_3/RHSB0SI1/CSIH1TCSS0 |
| 86 | P13_4/RHSB0EMRG/CSIH1TCSS1/ERROROUT_C |
| 87 | FLMODE |
| 88 | MD0 |
| 89 | RAMVCL |
| 90 | MD1 |
| 91 | VSS |
| 92 | RES |
| 93 | SYSVCC |
| 94 | TRST/LPDRST |
| 95 | TDO/LPDO/FLSCI3TX |
| 96 | TMS/EVTO |
| 97 | TCK/LPDCLKI/FLSCI3SCK |
| 98 | TDI/LPDI/FLSCI3RX |
| 99 | DRDY/LPDCLKO |
| 100 | EPTVOUT |
| 101 | VSS |
| 102 | XTAL |
| 103 | EXTAL |
| 104 | VCC |
| 105 | NMI |
| 106 | ERROROUT_M |
| 107 | CK |
| 108 | P0_0/CSIH0TSI/SCI0RxD |
| 109 | P0_1/CSIH0TSO/SCI0TxD |
| 110 | P0_2/CSIH0TSCK/SCI0SCK |
| 111 | P0_3/CSIH0TCSS0/CRX2/IRQ0 |
| 112 | VSS |
| 113 | P0_4/CSIH0TCSS1/CTX2/IRQ1 |
| 114 | EVCC |
| 115 | P0_5/CSIH0TCSS2/IRQ2 |
| 116 | P0_6/CSIH1TSI/IRQ3 |
| 117 | P0_7/CSIH1TSO/IRQ4 |
| 118 | VSS |
| 119 | P0_8/TIA00/CSIH1TSCK/IRQ5 |
| 120 | VDD |
| 121 | P0_9/TIA01/CSIH0TSSI/CSIH1TCSS0/IRQ6 |
| 122 | P0_10/TIA02/CSIH0TRY/CSIH1TCSS1/IRQ7 |

表 1.2 端子番号と端子名の対応表 (E1L-QFP176) (4/5)

| 端子番号 | 端子名 |
|------|--|
| 123 | P0_11/TIA03/TOD00B/CSIH0TCSS3/CSIH1TCSS2/CSIH2TSI |
| 124 | P0_12/TIA04/TOD01B/CSIH0TCSS4/CSIH1TCSS3/CSIH2TSO |
| 125 | P0_13/TIA05/TOD02B/CSIH0TCSS5/CSIH1TSSI/CSIH2TSCK |
| 126 | P0_14/TOD03B/CSIH1TRY/CSIH2TCSS0 |
| 127 | VSS |
| 128 | P1_0/TOD20A/TOD20B/TOE00/APA0/SCI0RxD/CSIH2TCSS1 |
| 129 | EVCC |
| 130 | P1_1/TOD21A/TOD21B/TOE01/APA1/TSO00/SCI0TxD/CSIH2TCSS2 |
| 131 | P1_2/TOD22A/TOD22B/TOE02/APA2/TSO01/CSIH2TCSS3 |
| 132 | P1_3/TOD23A/TOD23B/TOE03/APA3/TSO02/CSIH2TSSI |
| 133 | P1_4/TOD30A/TOD30B/TOE40/APA4/TSO03/CSIH2TRY |
| 134 | P1_5/TOD31A/TOD31B/TOE41/APA5/TSO04 |
| 135 | P1_6/TOD32A/TOD32B/TOE42/APA6/TSO05 |
| 136 | P1_7/TOD33A/TOD33B/TOE43/APA7/TSO06 |
| 137 | P1_8/TOE20/APA8/TSO07/LRX0 |
| 138 | EVCC |
| 139 | P1_9/TOE21/APA9/LTX0 |
| 140 | VSS |
| 141 | P1_10/TOE22/APA10 |
| 142 | P1_11/TOE23/APA11 |
| 143 | P1_12/TIOC50/TOE30/APA12 |
| 144 | P1_13/TIOC51/TOE31/APA13 |
| 145 | P1_14/TIOC52/TOE32/APA14 |
| 146 | P1_15/TIOC53/TOE33/APA15 |
| 147 | P2_0/TIA00/TOE50/TOD00B/TIOC12/IRQ0 |
| 148 | P2_1/TIA01/TOE51/TOD01B/TIOC13/IRQ1 |
| 149 | VDD |
| 150 | P2_2/TIA02/TOE52/TOD02B/TIOC20/IRQ2 |
| 151 | VSS |
| 152 | P2_3/TIA03/TOE53/TOD03B/TIOC21/IRQ3 |
| 153 | P2_4/TIA04/TOE10/TOD10B/TIOC22/CRX3/IRQ4 |
| 154 | P2_5/TIA05/TOE11/TOD11B/TIOC23/CTX3/IRQ5 |
| 155 | P2_6/TCLKA/TOE12/TOD12B/TIOC30/CRX0/IRQ6 |
| 156 | VSS |
| 157 | P2_7/TCLKB/TOE13/TOD13B/TIOC31/CTX0/IRQ7 |
| 158 | EVCC |
| 159 | P3_0/TIF0A/TOE60/TOD30B/TIOC32/CRX1/SCI1RxD |
| 160 | P3_1/TIF1A/TOE61/TOD31B/TIOC33/CTX1/SCI1TxD |
| 161 | P3_2/TIF2A/TOE62/TOD32B/TIOC40/ADTRG1/CRX2/SCI2RxD |
| 162 | P3_3/TIF3/TOE63/TOD33B/TIOC41/ADEND1/CTX2/ESO2/SCI2TxD |
| 163 | VCC |

表 1.2 端子番号と端子名の対応表 (E1L-QFP176) (5/5)

| 端子番号 | 端子名 |
|------|------------------------------|
| 164 | P3_4/TIF4/TIJ2/TIOC42/ADTRG0 |
| 165 | VSS |
| 166 | P3_5/TIF5/TIJ3/TIOC43/ADEND0 |
| 167 | VDD |
| 168 | P3_6/TIOC00 |
| 169 | AN171/P16_5 |
| 170 | AN170/P16_4 |
| 171 | AN161/P16_3 |
| 172 | AN160/P16_2 |
| 173 | AN151/P16_1 |
| 174 | AN150/P16_0 |
| 175 | AN141 |
| 176 | AN140 |

表 1.3 端子番号と端子名の対応表 (E1L-QFP144) (1/4)

| 端子番号 | 端子名 |
|------|--|
| 1 | AN130 |
| 2 | AN121 |
| 3 | AN120 |
| 4 | AN111 |
| 5 | A1VCC |
| 6 | AN110 |
| 7 | A1VREFH |
| 8 | A1VSS |
| 9 | AN100 |
| 10 | AN043/P14_11 |
| 11 | AN042/P14_10/TIF7 |
| 12 | A0VCC |
| 13 | AN041/P14_9/TIF6/TIA05 |
| 14 | A0VREFH |
| 15 | AN040/P14_8/TIF5/TIA04 |
| 16 | A0VSS |
| 17 | AN033/P14_7/TIF4/TIA03 |
| 18 | AN031/P14_5/TIF2B/TIA02 |
| 19 | AN030/P14_4/TIF1B/TIA01 |
| 20 | AN023/P14_3/TIF0B/TIA00 |
| 21 | AN022/P14_2/TIF2A |
| 22 | AN021/P14_1/TIF1A |
| 23 | AN013/P14_15/TIJ1 |
| 24 | AN012/P14_14 |
| 25 | AN011/P14_13/TIJ0 |
| 26 | AN010/P14_12 |
| 27 | AN003/DSAN1N |
| 28 | AN002/DSAN1P |
| 29 | ADSVCL |
| 30 | ADSVREFL |
| 31 | ADSVREFH |
| 32 | ADSVCC |
| 33 | ADSVSS |
| 34 | VSS |
| 35 | P5_2/TIF2B/TOE43/TOD22B/TIOC02/SCI0RxD/POD |
| 36 | EVCC |
| 37 | P5_3/TIF6/TIJ0/TOD23B/TIOC03/CRX1/SCI2RxD |
| 38 | P5_4/TIF7/TIJ1/TOD30B/TIOC10/CTX1/SCI2TxD/DSADTRG1 |
| 39 | P5_5/TOE20/TOD31B/TIOC11/SCI0TxD/SCI2SCK/DSADEND1 |
| 40 | P5_6/TOE21/TOD32B/TIOC12/LRX0/CRX2 |

表 1.3 端子番号と端子名の対応表 (E1L-QFP144) (2/4)

| 端子番号 | 端子名 |
|------|---|
| 41 | P5_7/TOE22/TOD33B/TIOC13/LTX0/CTX2 |
| 42 | P4_0/TOD00A/TOD00B/TIOC20/TIF0A/APA0/ <u>ERROROUT_C</u> |
| 43 | P4_1/TOD01A/TOD01B/TIOC21/TIF1A/APA1 |
| 44 | P4_2/TOD02A/TOD02B/TIOC22/TIF2A/APA2 |
| 45 | VDD |
| 46 | P4_3/TOD03A/TOD03B/TIOC23/TIF3/APA3 |
| 47 | VSS |
| 48 | VCC |
| 49 | P4_5/TOD11A/TOD11B/TOE31/TIF5/APA5/CRX0 |
| 50 | P4_6/TOD12A/TOD12B/TOE32/TIF6/APA6/CTX0 |
| 51 | P4_7/TOD13A/TOD13B/TOE00/TIF7/APA7 |
| 52 | VSS |
| 53 | P4_8/TOD40A/TOD40B/TOE01/APA8 |
| 54 | EVCC |
| 55 | P4_11/TOD43A/TOD43B/TOE10/APA11 |
| 56 | P4_12/TIOC42/TOE11/APA12/SCI1RxD |
| 57 | P4_13/TIOC43/TOE12/APA13/SCI1TxD |
| 58 | P4_14/TOD20B/TOE13/APA14/CRX1 |
| 59 | P4_15/TOD21B/TOE40/APA15/CTX1/ <u>ERROROUT_C</u> |
| 60 | LVDVCC |
| 61 | RHSB0FCLN |
| 62 | RHSB0FCLP |
| 63 | LVDVSS |
| 64 | RHSB0SON |
| 65 | RHSB0SOP |
| 66 | TTLVCC |
| 67 | P13_0/RHSB0CSD0/CSIH1TSI |
| 68 | P13_1/RHSB0CSD1/CSIH1TSO |
| 69 | P13_2/RHSB0SI0/CSIH1TSCK |
| 70 | P13_3/RHSB0SI1/CSIH1TCSS0 |
| 71 | FLMODE |
| 72 | MD0 |
| 73 | RAMVCL |
| 74 | MD1 |
| 75 | VSS |
| 76 | RES |
| 77 | SYSVCC |
| 78 | <u>TRST/LPDRST</u> |
| 79 | TDO/LPDO/FLSCI3TX |
| 80 | <u>TMS/EVTO</u> |
| 81 | TCK/LPDCLKI/FLSCI3SCK |

表 1.3 端子番号と端子名の対応表 (E1L-QFP144) (3/4)

| 端子番号 | 端子名 |
|------|---|
| 82 | TDI/LPDI/FLSCI3RX |
| 83 | DRDY/LPDCLKO |
| 84 | EPTVOUT |
| 85 | VSS |
| 86 | XTAL |
| 87 | EXTAL |
| 88 | VCC |
| 89 | NMI |
| 90 | CK |
| 91 | P0_0/CSIH0TSI/SCI0RxD |
| 92 | P0_1/CSIH0TSO/SCI0TxD |
| 93 | P0_2/CSIH0TSCK/SCI0SCK |
| 94 | P0_3/CSIH0TCSS0/CRX2/IRQ0 |
| 95 | VSS |
| 96 | P0_4/CSIH0TCSS1/CTX2/IRQ1 |
| 97 | EVCC |
| 98 | P0_6/IRQ3 |
| 99 | VSS |
| 100 | P0_8/TIA00/IRQ5 |
| 101 | VDD |
| 102 | P0_11/TIA03/TOD00B/CSIH0TCSS3 |
| 103 | P0_12/TIA04/TOD01B/CSIH0TCSS4 |
| 104 | VSS |
| 105 | P1_0/TOD20A/TOD20B/TOE00/APA0/SCI0RxD |
| 106 | EVCC |
| 107 | P1_1/TOD21A/TOD21B/TOE01/APA1/TSO00/SCI0TxD |
| 108 | P1_2/TOD22A/TOD22B/TOE02/APA2/TSO01 |
| 109 | P1_5/TOD31A/TOD31B/TOE41/APA5/TSO04 |
| 110 | P1_6/TOD32A/TOD32B/TOE42/APA6/TSO05 |
| 111 | P1_8/TOE20/APA8/TSO07 |
| 112 | EVCC |
| 113 | VSS |
| 114 | P1_10/TOE22/APA10 |
| 115 | P1_11/TOE23/APA11 |
| 116 | P1_12/TOE30/APA12 |
| 117 | P1_13/TOE31/APA13 |
| 118 | P1_14/TOE32/APA14 |
| 119 | P1_15/TOE33/APA15 |
| 120 | P2_1/TIA01/TOD01B/TIOC13/IRQ1 |
| 121 | VDD |
| 122 | P2_2/TIA02/TOD02B/TIOC20/IRQ2 |

表 1.3 端子番号と端子名の対応表 (E1L-QFP144) (4/4)

| 端子番号 | 端子名 |
|------|--|
| 123 | VSS |
| 124 | P2_3/TIA03/TOD03B/TIOC21/IRQ3 |
| 125 | P2_4/TIA04/TOE10/TOD10B/TIOC22/CRX3/IRQ4 |
| 126 | P2_5/TIA05/TOE11/TOD11B/TIOC23/CTX3/IRQ5 |
| 127 | VSS |
| 128 | EVCC |
| 129 | P3_0/TIF0A/TOD30B/TIOC32/CRX1/SCI1RxD |
| 130 | P3_1/TIF1A/TOD31B/TIOC33/CTX1/SCI1TxD |
| 131 | P3_2/TIF2A/TOD32B/TIOC40/ADTRG1/CRX2/SCI2RxD |
| 132 | P3_3/TIF3/TOD33B/TIOC41/ADEND1/CTX2/SCI2TxD |
| 133 | VCC |
| 134 | VSS |
| 135 | P3_5/TIF5/TIOC43/ADEND0 |
| 136 | VDD |
| 137 | AN171/P16_5 |
| 138 | AN170/P16_4 |
| 139 | AN161/P16_3 |
| 140 | AN160/P16_2 |
| 141 | AN151/P16_1 |
| 142 | AN150/P16_0 |
| 143 | AN141 |
| 144 | AN140 |

1.6 機能ブロック構成

1.6.1 内部ブロック図

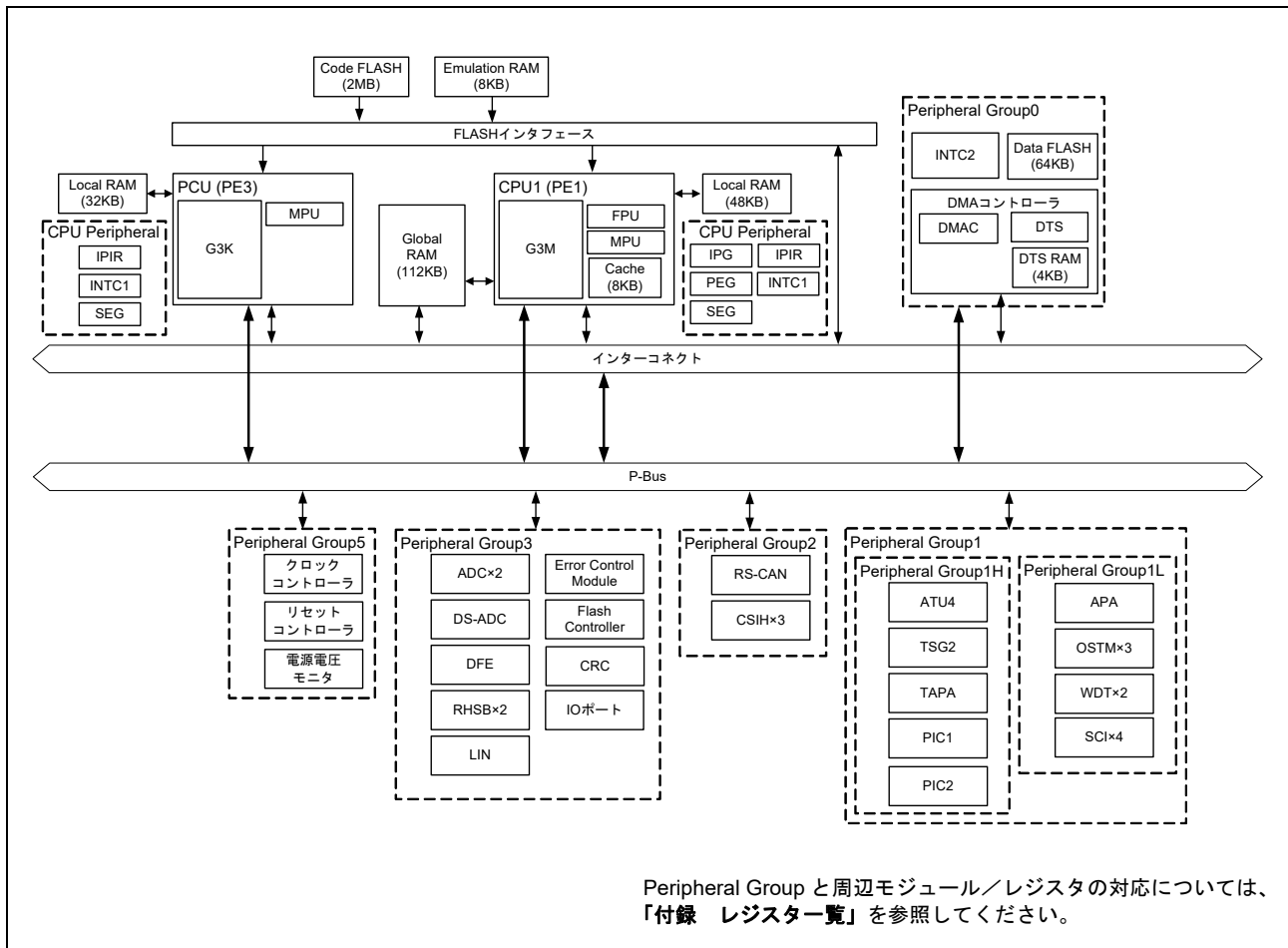


図 1.4 内部ブロック図

CPU1 や PCU 内には、CPU Peripheral を内蔵しています。CPU Peripheral は、これが内蔵されている CPU1 や PCU からしかアクセスすることはできません。CPU1 と PCU の固有周辺には同じアドレスが割り当てられていますが、CPU1 からアクセスした場合は CPU1 の固有周辺が、PCU からアクセスした場合は PCU の固有周辺が、それぞれアクセスされます。

第2章 端子

2.1 ポート機能

2.1.1 特長

ポートグループ

この製品には下記番号のポートグループがあります。

表 2.1 本製品のポートグループ

| 製品 | グループ数 | グループ名 |
|-----|--------|---------------------------|
| E1L | BGA252 | P0-P5、P11、P13、P14、P16、P17 |
| | QFP176 | P0-P5、P11、P13、P14、P16、P17 |
| | QFP144 | P0-P5、P13、P14、P16、P17 |

ポートグループインデクス n

この章を通して、個々のポートグループはインデクス“n”（n=0～17）により識別されます。たとえば、Pn 端子のポートモードコントロールレジスタは PMcn です。

レジスタアドレス

すべてのポートアドレスは、ベースアドレス <PORT_Base2> および <PORT_Base1> からのオフセットアドレスとして与えられます。

ベースアドレスの <PORT_Base2> および <PORT_Base1> は表 2.2 に示します。

表 2.2 ポートベースアドレス

| ベースアドレス | アドレス |
|--------------|------------------------|
| <PORT_Base1> | FF61 0000 _H |
| <PORT_Base2> | FFC1 0000 _H |

2.1.2 概説

この製品は、さまざまな入出力ポートの端子を備えています。ポートはポートグループに編成されています。

この製品は、汎用入出力以外の機能を端子に割り当てる制御レジスタも備えています。

端子、ポート、またはポートグループの用語の説明は、「**2.1.2.1 用語**」を参照してください。

2.1.2.1 用語

この章で使用されている用語について説明します。

- ポートグループ**
 1つのポートグループは最大で16本の端子から成り、ポートグループにより端子数が異なります。同じポートグループ内の複数の端子で、制御レジスタを共有しています。
- ポートモード/ポート**
 ポートモードでは、端子は汎用入出力として機能します。汎用入出力機能を「ポート」と呼び、 Pn_m の名称で示します。たとえば、 $P0_7$ はポートグループ0のポート7を示します。
- 兼用モード**
 兼用モードでは、端子は周辺機能の入出力として機能します。1つの端子に複数の周辺機能を兼用しており、使用する周辺機能を制御レジスタで選択できます。

2.1.2.2 端子機能概要

端子は、3つのモードで動作することができます。

- ポートモード ($PMCn.PMCn_m = 0$)**
 ポートモードでは、端子は汎用入出力ポートとして動作します。 $PMn.PMn_m$ で入力/出力を選択します。
- S/W I/O 制御兼用モード ($PMCn.PMCn_m = 1$ 、 $PIPCn.PIPCn_m = 0$)**
 S/W I/O 制御兼用モードでは、端子は兼用機能によって動作します。入力/出力の選択は、S/W による $PMn.PMn_m$ コントロールビットの設定によって行われます。
- 直接 I/O 制御兼用モード ($PMCn.PMCn_m = 1$ 、 $PIPCn.PIPCn_m = 1$)**
 直接 I/O 制御兼用モードでは、端子は兼用機能によって動作します。S/W I/O 制御兼用モードと違い、兼用機能によって入力/出力が直接制御されます。

レジスタ設定の概要は**表 2.3** に示します。

表 2.3 端子機能の設定 (概要)

| モード | ビット | | | I/O |
|-----------------|-----------|----------|------------|-------------------------|
| | $PMCn_m$ | PMn_m | $PIPCn_m$ | |
| ポートモード | 0 | 0 | 0/1 | 出力モード |
| | | 1 | 0/1 | 入力モード ^{注1} |
| S/W I/O 制御兼用モード | 1 | 0 | 0 | 出力モード |
| | | 1 | 0 | 入力モード ^{注2} |
| 直接 I/O 制御兼用モード | | 0/1 | 1 | 兼用機能による制御 ^{注2} |

注1. 入力バッファを必ず許可 ($PIPCn_m = 1$) してください。

注2. 兼用モードの入力端子として使用する場合、必ず $PIPCn_m = 0$ に設定してください。

端子が兼用モード (PM_{Cn}.PM_{Cn_m} = 1) の場合、最大7つの異なる兼用機能の1つを PFC_n、PFCE_n、PFCAE_n レジスタによって選択します。

- S/W I/O 制御兼用モード (PIP_{Cn}.PIP_{Cn_m} = 0) :
 - 出力 (PM_{n_m} = 0) : ALT-OUT1 ~ ALT-OUT7
 - 入力 (PM_{n_m} = 1) : ALT-IN1 ~ ALT-IN7
- 直接 I/O 制御兼用モード (PIP_{Cn}.PIP_{Cn_m} = 1) :
 - ALT-OUT1 ~ ALT-OUT7、ALT-IN1 ~ ALT-IN7 の入出力は、兼用機能によって直接選択されます。

表 2.4 兼用モード選択の概要 (PM_{Cn}.PM_{Cn_m} = 1)

| 機能 | レジスタ | | | | I/O |
|---------------------|-------|------|-----|------------------|-----|
| | PFCAE | PFCE | PFC | PM ^{注1} | |
| 兼用出力モード1 (ALT-OUT1) | 0 | 0 | 0 | 0 | O |
| 兼用入力モード1 (ALT-IN1) | 0 | 0 | 0 | 1 | I |
| 兼用出力モード2 (ALT-OUT2) | 0 | 0 | 1 | 0 | O |
| 兼用入力モード2 (ALT-IN2) | 0 | 0 | 1 | 1 | I |
| 兼用出力モード3 (ALT-OUT3) | 0 | 1 | 0 | 0 | O |
| 兼用入力モード3 (ALT-IN3) | 0 | 1 | 0 | 1 | I |
| 兼用出力モード4 (ALT-OUT4) | 0 | 1 | 1 | 0 | O |
| 兼用入力モード4 (ALT-IN4) | 0 | 1 | 1 | 1 | I |
| 兼用出力モード5 (ALT-OUT5) | 1 | 0 | 0 | 0 | O |
| 兼用入力モード5 (ALT-IN5) | 1 | 0 | 0 | 1 | I |
| 兼用出力モード6 (ALT-OUT6) | 1 | 0 | 1 | 0 | O |
| 兼用入力モード6 (ALT-IN6) | 1 | 0 | 1 | 1 | I |
| 兼用出力モード7 (ALT-OUT7) | 1 | 1 | 0 | 0 | O |
| 兼用入力モード7 (ALT-IN7) | 1 | 1 | 0 | 1 | I |

注 1. PIP_{Cn}.PIP_{Cn_m} = 1 の場合は、入出力方向は周辺 (兼用) 機能によって直接制御され、PM は無視されません。

端子が兼用モード (PM_{Cn}.PM_{Cn_m} = 1) の場合、複数の兼用機能の1つを PFC_n、PFCE_n、PFCAE_n レジスタによって選択します。

2.1.2.3 端子データ入力/出力

データの入力/出力に使用するレジスタについて説明します。

端子モードによって PPR_n レジスタを介してリードされる場所が異なります。

出力データ

ポートモード (PM_{Cn}.PM_{Cn_m} = 0) では P_n.P_{n_m} の値が P_{n_m} 端子から出力されます。

入力データ

PPR_n レジスタのリード動作では、P_{n_m} 端子の値、ポートレジスタの関連ビット P_n.P_{n_m} の値、または兼用機能による出力値のいずれかを読み出します。

PPR_n のリード元は、端子モードといくつかの制御ビットの設定に依存します。

PPRn リードモードの違いを表 2.5 に示します。

表 2.5 PPRn_m リード値

| PMC n_m | PM n_m | PIBC n_m | PIPC n_m | モード | PPRn_m リード値 |
|------------|-----------|-------------|----------------|--|--------------------------|
| 0 | 1 | 0 | X | ポート入力、入力バッファ禁止 | Pn.Pn_m ビット |
| | | 1 | | ポート入力、入力バッファ許可 | Pn_m 端子 |
| | 0 | X | ポートプッシュプル出力 | Pn.Pn_m ビット注 ¹ | |
| 1 | 1 | X | 0 | S/W I/O 制御兼用入力 | Pn_m 端子 |
| | 0 | | | S/W I/O 制御兼用出力 | 兼用機能内部出力信号注 ¹ |
| | X | 1 | 直接 I/O 制御兼用モード | 兼用モードでの入出力ポート： <ul style="list-style-type: none"> • 入力：Pn_m 端子 • 出力：兼用機能内部出力信号注¹ | |

注 1. PBDcn_m = 1 の場合、Pn_m 端子レベルが、PPRn_m ビットでリードされます。

表 2.5 に示す各制御レジスタの効果：

- **PMCn.PMCn_m**
このビットは、ポートモード (PMCn_m = 0) または兼用モード (PMCn_m = 1) を選択します。
- **PMn.PMn_m**
このビットは、ポートモード (PMCn_m = 0) と S/W I/O 制御兼用モード (PMCn_m = 1、PIPCn_m = 0) 時に入力 (PMn_m = 1) または出力 (PMn_m = 0) を選択します。
- **PIBCn.PIBCn_m**
このビットは、入力ポートモード (PMCn_m = 0 と PMn_m = 1) 時に入力バッファを使用不可 (PIBCn_m = 0) または使用許可 (PIBCn_m = 1) を選択します。入力バッファが使用不可の場合、PPRn_m は Pn.Pn_m ビットをリードし、使用許可の場合は Pn_m 端子のレベルがリードされます。
- **PIPCn.PIPCn_m**
このビットは、S/W I/O 制御兼用モードまたは直接 I/O 制御兼用モードを選択します。
- **PBDcn.PBDcn_m**
出力モード時、このビットを 1 に設定すると、ポートは双方向モードになります。双方向モード時、PPRn.PPRn_m から Pn_m 端子のレベルを読み出すことができます。

Pn レジスタへのライト

ポートモード (PMCn.PMCn_m = 0) 時に Pn_m ポートから出力されるデータは Pn レジスタに保持されます。

Pn データは 2 つの方法で書き換えることができます。

- **Pn レジスタへの直接ライト**
新しいデータは Pn レジスタに直接ライトすることができます。
- **間接的な Pn レジスタへのビット操作 (set/reset/not)**
Pn レジスタへのビット操作 (set/reset/not) は 2 つのレジスタを使って間接的に可能です。
 - ポートセット/リセットレジスタ PSRn
PSRn.PSRn_ (m + 16) = 1 の場合、PSRn.PSRn_m ビットの値が Pn.Pn_m ビットの値

を決めます。

つまり、Pn レジスタへ直接ライトせずに Pn_m ビットを set/reset することが可能です。

– ポートノットレジスタ PNOTn

PNOTn.PNOTn_m = 1 に設定すると Pn レジスタへ直接ライトせずに Pn.Pn_m ビットを反転することが可能です。

間接的な Pn レジスタへのビット操作 (set/reset/not) は、Pn レジスタ内の更新が不要なビットには影響を与えずに、更新が必要なビット (1 ビットとは限りません) を書き換えることができます。

2.1.3 ポートタイプ

端子機能の全体構成を図 2.1 に示します。ポートブロックの詳細は、図 2.2 を参照してください。

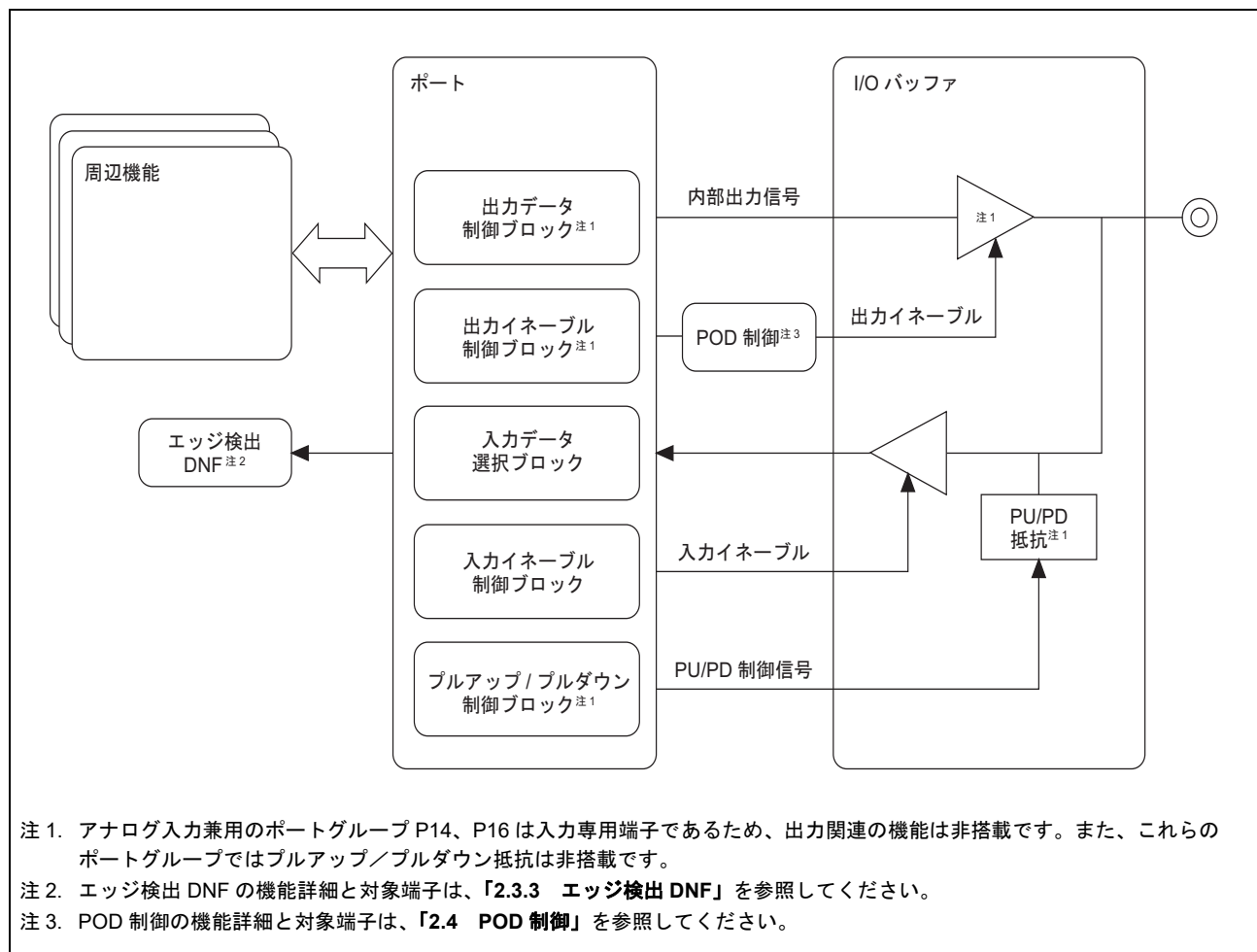


図 2.1 端子全体構成ブロック図

ポートの制御論理を図 2.2 に示します。実際の回路を表現するものではありません。

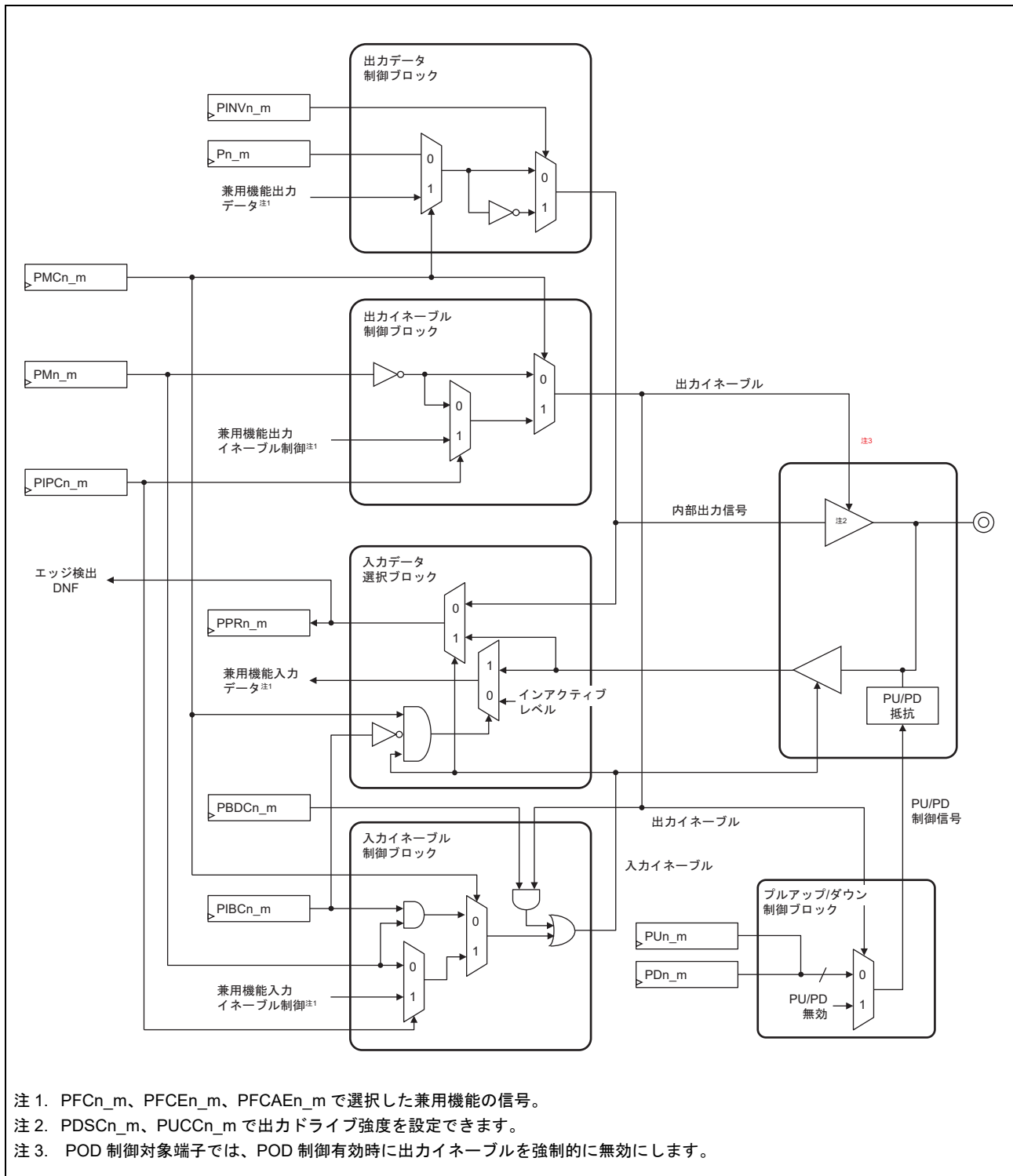


図 2.2 ポート制御論理

2.1.4 ポートグループコンフィグレーションレジスタ

この節では、はじめにすべてのコンフィグレーションレジスタの概要を示し、次に各レジスタの詳細を示します。コンフィグレーションレジスタは次のように分類されます。

- 2.1.4.2 端子機能の設定
- 2.1.4.3 端子データ入力/出力
- 2.1.4.4 電気的特性の設定
- 2.1.4.5 ポートレジスタ保護
- 2.1.4.6 端子単位のレジスタ

2.1.4.1 概要

次のレジスタは、ポートグループの各端子の設定に使用されます。

表 2.6 ポートグループコンフィグレーションレジスタ

| レジスタ名 | 記号 | レジスタ設定単位 | アドレス |
|--------------------------|---------------------|-----------|---|
| ポートレジスタ | Pn | ポートグループ単位 | <PORT_Base1> + 0000 _H + n × 40 _H |
| ポートセット/リセットレジスタ | PSRn | ポートグループ単位 | <PORT_Base1> + 0004 _H + n × 40 _H |
| ポートノットレジスタ | PNOTn | ポートグループ単位 | <PORT_Base1> + 0008 _H + n × 40 _H |
| ポート端子リードレジスタ | PPRn | ポートグループ単位 | <PORT_Base1> + 000C _H + n × 40 _H |
| ポートモードレジスタ | PMn | ポートグループ単位 | <PORT_Base1> + 0010 _H + n × 40 _H |
| ポートモードコントロールレジスタ | PMCn | ポートグループ単位 | <PORT_Base1> + 0014 _H + n × 40 _H |
| ポート機能コントロールレジスタ | PFCn | ポートグループ単位 | <PORT_Base1> + 0018 _H + n × 40 _H |
| ポート機能コントロール拡張レジスタ | PFCEn | ポートグループ単位 | <PORT_Base1> + 001C _H + n × 40 _H |
| ポートモードセット/リセットレジスタ | PMSRn | ポートグループ単位 | <PORT_Base1> + 0020 _H + n × 40 _H |
| ポートモードコントロールセット/リセットレジスタ | PMCSRn | ポートグループ単位 | <PORT_Base1> + 0024 _H + n × 40 _H |
| ポート機能コントロール追加拡張レジスタ | PFCAEn | ポートグループ単位 | <PORT_Base1> + 0028 _H + n × 40 _H |
| ポート出力レベル反転レジスタ | PINVn | ポートグループ単位 | <PORT_Base1> + 0030 _H + n × 40 _H |
| ポート入力バッファコントロールレジスタ | PIBCn | ポートグループ単位 | <PORT_Base2> + 4000 _H + n × 40 _H |
| ポート双方向コントロールレジスタ | PBDCn | ポートグループ単位 | <PORT_Base2> + 4004 _H + n × 40 _H |
| ポートIPコントロールレジスタ | PIPCn | ポートグループ単位 | <PORT_Base2> + 4008 _H + n × 40 _H |
| プルアップオプションレジスタ | PU _n | ポートグループ単位 | <PORT_Base2> + 400C _H + n × 40 _H |
| プルダウンオプションレジスタ | PD _n | ポートグループ単位 | <PORT_Base2> + 4010 _H + n × 40 _H |
| ポートドライブ強度コントロールレジスタ | PDSCn | ポートグループ単位 | <PORT_Base2> + 4018 _H + n × 40 _H |
| ポートユニバーサルコントロールレジスタ | PUC _{Cn} | ポートグループ単位 | <PORT_Base2> + 4028 _H + n × 40 _H |
| ポートレジスタ保護コマンドレジスタ | PPCMD _n | ポートグループ単位 | <PORT_Base2> + 402C _H + n × 40 _H |
| ポート保護ステータスレジスタ | PPROTS _n | ポートグループ単位 | <PORT_Base2> + 4034 _H + n × 40 _H |
| ポートコントロールレジスタ | PCR _{n_m} | 端子単位 | <PORT_Base1> + 2000 _H + n × 40 _H + m × 4 _H |

備考 n: ポートグループ番号
m: ポートグループ内のビット番号

ベースアドレス

PORT_n のベースアドレス <PORT_Base2>、<PORT_Base1> は、「2.1.1 特長」のレジスタアドレスで定義しています。

レジスタのリセット後の値

リセット後の値はポートに依存します。リセット後の値については、以降のレジスタ説明ではなく、「2.2.1.1 E1L ポートレジスタ一覧」に記載します。

2.1.4.2 端子機能の設定

(1) PMCn — ポートモードコントロールレジスタ

このレジスタは、ポートグループ n の各端子がポートモードか兼用モードかを指定します。

アクセス 16ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 E1L ポートレジスタ一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|---------|---------|---------|---------|---------|---------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PMCn_15 | PMCn_14 | PMCn_13 | PMCn_12 | PMCn_11 | PMCn_10 | PMCn_9 | PMCn_8 | PMCn_7 | PMCn_6 | PMCn_5 | PMCn_4 | PMCn_3 | PMCn_2 | PMCn_1 | PMCn_0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 2.7 PMCn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|--|
| 15 ~ 0 | PMCn_[15:0] | 対応する端子の動作モードを指定します。 0: ポートモード 1: 兼用モード |

(2) PMCSRn — ポートモードコントロールセット/リセットレジスタ

このレジスタは PMCn レジスタの任意のビットにデータをライトするもう 1 つの方法を提供します。PMCSRn の上位 16 ビットは、対応する PMCSRn の下位 16 ビットのデータを PMCn.PMCn_m にライトするかどうかを指定します。

複数のプログラムが使用する端子が同じポートグループに属している場合でも、使用しないビットの書き換えをマスクすることで、プログラムごとに独立したビット設定が可能です。

アクセス 32 ビット単位でリード/ライト可能です。
ビット 31 ~ 16 は常に 0000_H がリードされます。ビット 15 ~ 0 は PMCn レジスタの値がリードされます。

リセット後の値 「2.2.1.1 E1L ポートレジスタ一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | PMCSR n_31 | PMCSR n_30 | PMCSR n_29 | PMCSR n_28 | PMCSR n_27 | PMCSR n_26 | PMCSR n_25 | PMCSR n_24 | PMCSR n_23 | PMCSR n_22 | PMCSR n_21 | PMCSR n_20 | PMCSR n_19 | PMCSR n_18 | PMCSR n_17 | PMCSR n_16 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PMCSR n_15 | PMCSR n_14 | PMCSR n_13 | PMCSR n_12 | PMCSR n_11 | PMCSR n_10 | PMCSR n_9 | PMCSR n_8 | PMCSR n_7 | PMCSR n_6 | PMCSR n_5 | PMCSR n_4 | PMCSR n_3 | PMCSR n_2 | PMCSR n_1 | PMCSR n_0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 2.8 PMCSRn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|--------------------|--|
| 31 ~ 16 | PMCSRn_ [31:16] | 対応する PMCSRn_m の下位ビットの値を PMCn_m にライトするかどうかを指定するイネーブルビットです。 0 : PMCn_m は PMCSRn_m に依存しません。 1 : PMCn_m は PMCSRn_m の値になります。 例： PMCSRn.PMCSRn_31 = 1 の場合、PMCSRn.PMCSRn_15 ビットの値を PMCn.PMCn_15 ビットにライトします。 |
| 15 ~ 0 | PMCSRn_ [15:0] | 対応する上位ビットの PMCSRn_ (m+16) が 1 の場合、PMCn_m の値を指定するデータビットです。 0 : PMCn_m = 0 1 : PMCn_m = 1 |

(3) PIPc_n — ポート IP コントロールレジスタ

このレジスタは、P_n_m 端子の入出力方向がポートモードレジスタ PM_n.PM_n_m と兼用機能のどちらによって制御されるかを指定します。

P_n_m 端子が兼用モード (PMc_n.PMc_n_m = 1) となり、兼用機能が直接 P_n_m の入出力方向を制御する場合、PIPC_n.PIPC_n_m は 1 に設定する必要があります。

これにより兼用機能が入出力制御を行い、PM_n.PM_n_m の設定が無効となります。

アクセス 16ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 E1L ポートレジスタ一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|---------------------------------|---------------------------------|---------------------------------|---------------------------------|---------------------------------|---------------------------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PIPC _n ₁₅ | PIPC _n ₁₄ | PIPC _n ₁₃ | PIPC _n ₁₂ | PIPC _n ₁₁ | PIPC _n ₁₀ | PIPC _n ₉ | PIPC _n ₈ | PIPC _n ₇ | PIPC _n ₆ | PIPC _n ₅ | PIPC _n ₄ | PIPC _n ₃ | PIPC _n ₂ | PIPC _n ₁ | PIPC _n ₀ |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 2.9 PIPc_n レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------------------|---|
| 15 ~ 0 | PIPC _n [15:0] | 入出力制御モードを指定します。 0: 入出力モードは PM _n .PM _n _m (S/W 入出力制御) によって制御します。 1: 入出力モードは周辺機能 (直接入出力制御) によって制御します。 |

(4) PM_n — ポートモードレジスタ

このレジスタは、ポートグループ n の各端子が入力モードか出力モードかを指定します。

アクセス 16ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 E1L ポートレジスタ一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|------------------------------|------------------------------|------------------------------|------------------------------|------------------------------|------------------------------|------------------------------|------------------------------|------------------------------|------------------------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PM _n ₁₅ | PM _n ₁₄ | PM _n ₁₃ | PM _n ₁₂ | PM _n ₁₁ | PM _n ₁₀ | PM _n ₉ | PM _n ₈ | PM _n ₇ | PM _n ₆ | PM _n ₅ | PM _n ₄ | PM _n ₃ | PM _n ₂ | PM _n ₁ | PM _n ₀ |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 2.10 PM_n レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------------------|--|
| 15 ~ 0 | PM _n [15:0] | 対応する端子の入力/出力モードを指定します。 0: 出力モード (出力許可) 1: 入力モード (出力禁止) |

備考

1. 端子を入力ポートモード (PMc_n.PMc_n_m = 0 かつ PM_n.PM_n_m = 1) で使用する場合は、入力バッファを許可する必要があります (PIBC_n.PIBC_n_m = 1)。
2. リセット後は PIPc_n.PIPC_n_m = 0 なので、PM_n_m はポートモード (PMc_n.PMc_n_m = 0) と兼用モード (PMc_n.PMc_n_m = 1) の入出力方向を指定します。

(5) PMSRn — ポートモードセット/リセットレジスタ

このレジスタは PMn レジスタの任意のビットを設定するもう 1 つの方法を提供します。

PMSRn の上位 16 ビットは、対応する PMSRn の下位 16 ビットのデータを PMn.PMn_m にライトするかどうかを指定します。

複数のプログラムが使用する端子が同じポートグループに属している場合でも、使用しないビットの書き換えをマスクすることで、プログラムごとに独立したビット設定が可能です。

アクセス 32 ビット単位でリード/ライト可能です。

ビット 31 ~ 16 は常に 0000_H がリードされます。ビット 15 ~ 0 は PMn レジスタの値がリードされます。

リセット後の値 「2.2.1.1 E1L ポートレジスタ一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | PMSRn _31 | PMSRn _30 | PMSRn _29 | PMSRn _28 | PMSRn _27 | PMSRn _26 | PMSRn _25 | PMSRn _24 | PMSRn _23 | PMSRn _22 | PMSRn _21 | PMSRn _20 | PMSRn _19 | PMSRn _18 | PMSRn _17 | PMSRn _16 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PMSRn _15 | PMSRn _14 | PMSRn _13 | PMSRn _12 | PMSRn _11 | PMSRn _10 | PMSRn _9 | PMSRn _8 | PMSRn _7 | PMSRn _6 | PMSRn _5 | PMSRn _4 | PMSRn _3 | PMSRn _2 | PMSRn _1 | PMSRn _0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 2.11 PMSRn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------|--|
| 31 ~ 16 | PMSRn_[31:16] | 対応する PMSRn_m の下位ビットの値を PMn_m にライトするかどうかを指定するイネーブルビットです。 0 : PMn_m は PMSRn_m に依存しません。 1 : PMn_m は PMSRn_m の値になります。 例： PMSRn.PMSRn_31 = 1 の場合、PMSRn.PMSRn_15 ビットの値を PMn.PMn_15 ビットにライトします。 |
| 15 ~ 0 | PMSRn_[15:0] | 対応する上位ビットの PMSRn_ (m+16) が 1 の場合、PMn_m 値を指定するデータビットです。 0 : PMn_m = 0 1 : PMn_m = 1 |

(6) PIBCn — ポート入力バッファコントロールレジスタ

このレジスタは、端子を入力ポートモード（PMnC.PMCn_m=0 かつ PMn.PMn_m=1）で使用する場合、入力バッファの許可/禁止を設定します。ただし、S/W I/O 制御兼用モード（PMnC.PMCn_m=1 かつ PIPnC.PIPCn_m=0）や直接 I/O 制御兼用モード（PMnC.PMCn_m=1 かつ PIPnC.PIPCn_m=1）の入力端子として使用する場合は、PIBCn.PIBCn_m=0 に設定してください。

また、端子が双方向モード（PBDCn.PBDCn_m=1）のとき、PIBCn.PIBCn_m の設定で兼用出力レベルループバック機能と端子出力レベルリード機能を選択できます。詳細は、**2.1.4.3**

端子データ入力/出力 (1) PBDCn — ポート双方向コントロールレジスタ を参照してください。

アクセス 16ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 E1L ポートレジスタ一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|----------|----------|----------|----------|----------|----------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PIBCn_15 | PIBCn_14 | PIBCn_13 | PIBCn_12 | PIBCn_11 | PIBCn_10 | PIBCn_9 | PIBCn_8 | PIBCn_7 | PIBCn_6 | PIBCn_5 | PIBCn_4 | PIBCn_3 | PIBCn_2 | PIBCn_1 | PIBCn_0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 2.12 PIBCn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------------|---|
| 15～0 | PIBCn_[15:0] | 入力ポートモード時、入力バッファの許可/禁止を設定します。 0：入力バッファ禁止 1：入力バッファ許可 |

備考

入力バッファを禁止すると、端子レベルが Hi-Z 状態でも貫通電流が流れません。したがって、外部から端子をハイまたはロウレベルに固定する必要はありません。

(7) PFCn — ポート機能コントロールレジスタ

このレジスタは、PFCEn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があります。

他の兼用機能では、入出力は PMn.PMn_m によって指定されます。

アクセス 16 ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 E1L ポートレジスタ一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|---------|---------|---------|---------|---------|---------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PFCn_15 | PFCn_14 | PFCn_13 | PFCn_12 | PFCn_11 | PFCn_10 | PFCn_9 | PFCn_8 | PFCn_7 | PFCn_6 | PFCn_5 | PFCn_4 | PFCn_3 | PFCn_2 | PFCn_1 | PFCn_0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 2.13 PFCn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|--|
| 15 ~ 0 | PFCn_[15:0] | 端子の兼用機能を指定します。 詳細は「表 2.4 兼用モード選択の概要 (PMc.PMcn_m = 1)」を参照してください。 |

(8) PFCEn — ポート機能コントロール拡張レジスタ

このレジスタは、PFCn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があります。

他の兼用機能では、入出力は PMn.PMn_m によって指定されます。

アクセス 16 ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 E1L ポートレジスタ一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|----------|----------|----------|----------|----------|----------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PFCEn_15 | PFCEn_14 | PFCEn_13 | PFCEn_12 | PFCEn_11 | PFCEn_10 | PFCEn_9 | PFCEn_8 | PFCEn_7 | PFCEn_6 | PFCEn_5 | PFCEn_4 | PFCEn_3 | PFCEn_2 | PFCEn_1 | PFCEn_0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 2.14 PFCEn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------|--|
| 15 ~ 0 | PFCEn_[15:0] | 端子の兼用機能を指定します。 詳細は「表 2.4 兼用モード選択の概要 (PMc.PMcn_m = 1)」を参照してください。 |

(9) PFCAEn — ポート機能コントロール追加拡張レジスタ

このレジスタは、PFCn、PFCEn レジスタとともに、端子の兼用機能を指定します。いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があります。他の兼用機能では、入出力は PMn.PMn_m によって指定されます。

アクセス 16 ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 E1L ポートレジスタ一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|---------------|---------------|---------------|---------------|---------------|---------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PFCAE n_15 | PFCAE n_14 | PFCAE n_13 | PFCAE n_12 | PFCAE n_11 | PFCAE n_10 | PFCAE n_9 | PFCAE n_8 | PFCAE n_7 | PFCAE n_6 | PFCAE n_5 | PFCAE n_4 | PFCAE n_3 | PFCAE n_2 | PFCAE n_1 | PFCAE n_0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 2.15 PFCAEn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------------|---|
| 15 ~ 0 | PFCAEn_[15:0] | 端子の兼用機能を指定します。 詳細は「表 2.4 兼用モード選択の概要 (PMc.PMc_m = 1)」を参照してください。 |

2.1.4.3 端子データ入力/出力

(1) PBDCn — ポート双方向コントロールレジスタ

このレジスタは、端子を出力モードで使用時に入力バッファも許可し、ポートを双方向モードにします。双方向モード時、PPRn.PPRn_m は Pn_m 端子のレベルを読み出すことができます。

- 兼用出力レベルループバック機能
Pn_m 端子を兼用出力機能として使用する場合、PBDCn.PBDCn_m = 1、PIBCn.PIBCn_m = 0 に設定すると、兼用出力機能による実際の端子出力レベルを、兼用入力側にループバックすることができます。たとえば、第1兼用機能による端子出力レベルを、同じ第1兼用の入力側にループバックすることができます。また、PPRn.PPRn_m で端子出力レベルをリードすることもできます。
- 端子出力レベルリード機能
Pn_m 端子を汎用出力ポート機能もしくは兼用出力機能として使用する場合、PBDCn.PBDCn_m = 1、PIBCn.PIBCn_m = 1 に設定すると、PPRn.PPRn_m で実際の端子出力レベルをリードすることができます。兼用出力モードであっても、端子出力レベルが兼用入力側にループバックすることはありません。

アクセス 16ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 E1L ポートレジスタ一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|--------------|--------------|--------------|--------------|--------------|--------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PBDCn _15 | PBDCn _14 | PBDCn _13 | PBDCn _12 | PBDCn _11 | PBDCn _10 | PBDCn _9 | PBDCn _8 | PBDCn _7 | PBDCn _6 | PBDCn _5 | PBDCn _4 | PBDCn _3 | PBDCn _2 | PBDCn _1 | PBDCn _0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 2.16 PBDCn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------|--|
| 15 ~ 0 | PBDCn_[15:0] | 対応する端子の双方向モードの許可/禁止を指定します。 0: 双方向モードを禁止 1: 双方向モードを許可 |

(2) PPRn — ポート端子リードレジスタ

このレジスタは、実際の Pn_m 端子レベル、Pn.Pn_m ビットの値、または兼用機能の出力レベルを表します。リードする値は、「表 2.5 PPRn_m リード値」に示すように、制御設定によって異なります。

アクセス 16 ビット単位でリードのみ可能です。

リセット後の値 「2.2.1.1 E1L ポートレジスタ一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|---------|---------|---------|---------|---------|---------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PPRn_15 | PPRn_14 | PPRn_13 | PPRn_12 | PPRn_11 | PPRn_10 | PPRn_9 | PPRn_8 | PPRn_7 | PPRn_6 | PPRn_5 | PPRn_4 | PPRn_3 | PPRn_2 | PPRn_1 | PPRn_0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 2.17 PPRn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|-------------------------------|
| 15 ~ 0 | PPRn_[15:0] | Pn_m 端子、Pn.Pn_m の値、または兼用機能の出力 |

(3) Pn — ポートレジスタ

このレジスタは、出力ポートモード時 (PMcn.PMCn_m = 0、PMn.PMn_m = 0) に、ポート Pn_m から出力される Pn.Pn_m データを設定/保持します。

アクセス 16 ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 E1L ポートレジスタ一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|-------|-------|-------|-------|-------|-------|------|------|------|------|------|------|------|------|------|------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | Pn_15 | Pn_14 | Pn_13 | Pn_12 | Pn_11 | Pn_10 | Pn_9 | Pn_8 | Pn_7 | Pn_6 | Pn_5 | Pn_4 | Pn_3 | Pn_2 | Pn_1 | Pn_0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 2.18 Pn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------|---|
| 15 ~ 0 | Pn_[15:0] | m 端子 (m = 0 ~ 15) の出力レベルを設定します。 0: ローレベル出力 1: ハイレベル出力 |

備考

このレジスタのビットは、さまざまな手段で操作できます。「2.1.2.3 端子データ入力/出力」の「Pn レジスタへのライト」を参照してください。

(4) PNOTn — ポートノットレジスタ

このレジスタは、ポートレジスタ Pn に直接ライトせず Pn の Pn_m ビットを反転できます。

アクセス 16 ビット単位でライト可能です。常に 0000_H としてリードされます。

リセット後の値 「2.2.1.1 E1L ポートレジスタ一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|----------|----------|----------|----------|----------|----------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PNOTn_15 | PNOTn_14 | PNOTn_13 | PNOTn_12 | PNOTn_11 | PNOTn_10 | PNOTn_9 | PNOTn_8 | PNOTn_7 | PNOTn_6 | PNOTn_5 | PNOTn_4 | PNOTn_3 | PNOTn_2 | PNOTn_1 | PNOTn_0 |
| R/W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W |

表 2.19 PNOTn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------|---|
| 15 ~ 0 | PNOTn_[15:0] | Pn.Pn_m を反転するかどうかを指定します。 0 : Pn.Pn_m を反転しない (Pn_m → Pn_m) 1 : Pn.Pn_m を反転する (Pn_m → Pn_m) |

(5) PSRn — ポートセット/リセットレジスタ

このレジスタは Pn レジスタの任意のビットを設定するもう 1 つの方法を提供します。PSRn の上位 16 ビットは、対応する PSRn の下位 16 ビットのデータを Pn.Pn_m にライトするかどうかを指定します。

複数のプログラムが使用する端子が同じポートグループに属している場合でも、使用しないビットの書き換えをマスクすることで、プログラムごとに独立したビット設定が可能です。

アクセス 32 ビット単位でリード/ライト可能です。

ビット 31 ~ 16 は常に 0000_H がリードされます。ビット 15 ~ 0 は Pn レジスタの値がリードされます。

リセット後の値 「2.2.1.1 E1L ポートレジスタ一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | PSRn_31 | PSRn_30 | PSRn_29 | PSRn_28 | PSRn_27 | PSRn_26 | PSRn_25 | PSRn_24 | PSRn_23 | PSRn_22 | PSRn_21 | PSRn_20 | PSRn_19 | PSRn_18 | PSRn_17 | PSRn_16 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| | | | | | | | | | | | | | | | | |
|-----|---------|---------|---------|---------|---------|---------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PSRn_15 | PSRn_14 | PSRn_13 | PSRn_12 | PSRn_11 | PSRn_10 | PSRn_9 | PSRn_8 | PSRn_7 | PSRn_6 | PSRn_5 | PSRn_4 | PSRn_3 | PSRn_2 | PSRn_1 | PSRn_0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 2.20 PSRn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|--------------|--|
| 31 ~ 16 | PSRn_[31:16] | 対応する PSRn_m の下位ビットの値を Pn_m にライトするかどうかを指定するイネーブルビットです。 0 : Pn_m は PSRn_m に依存しません。 1 : Pn_m は PSRn_m の値になります。 例： PSRn.PSRn_31 = 1 の場合、PSRn.PSRn_15 ビットの値を Pn.Pn_15 ビットにライトします。 |
| 15 ~ 0 | PSRn_[15:0] | 対応する上位ビットの PSRn_(m+16) が 1 の場合、Pn_m 値を指定するデータビットです。 0 : Pn_m = 0 1 : Pn_m = 1 |

(6) PINVn — ポート出力レベル反転レジスタ

このレジスタは、端子からの出力レベルを反転させることができます。ポート出力モードや兼用出力モードを問わず、端子が出力モードのときに有効です。

アクセス 32ビット単位でリード/ライト可能です。
このレジスタを更新するには、PPCMDn レジスタを使った正しい書き込みシーケンスが必要です。

リセット後の値 「2.2.1.1 E1L ポートレジスタ一覧」を参照してください。

注 意

上位 16 ビットも保護対象のポートレジスタの書き込みシーケンスの反転値の対象となります。詳細は「2.1.4.5 ポートレジスタ保護」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|----------|----------|----------|----------|----------|----------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PINVn_15 | PINVn_14 | PINVn_13 | PINVn_12 | PINVn_11 | PINVn_10 | PINVn_9 | PINVn_8 | PINVn_7 | PINVn_6 | PINVn_5 | PINVn_4 | PINVn_3 | PINVn_2 | PINVn_1 | PINVn_0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 2.21 PINVn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------|--|
| 15 ~ 0 | PINVn_[15:0] | 端子からの出力値を反転させるかどうかを指定します。 0: 端子出力レベルを反転しない 1: 端子出力レベルを反転する |

2.1.4.4 電気的特性の設定

(1) PUn — プルアップオプションレジスタ

このレジスタは、内蔵プルアップ抵抗を入力端子に接続するかどうかを指定します。

アクセス 16ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 E1Lポートレジスタ一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|--------|--------|--------|--------|--------|--------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PUn_15 | PUn_14 | PUn_13 | PUn_12 | PUn_11 | PUn_10 | PUn_9 | PUn_8 | PUn_7 | PUn_6 | PUn_5 | PUn_4 | PUn_3 | PUn_2 | PUn_1 | PUn_0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 2.22 PUn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------|---|
| 15 ~ 0 | PUn_[15:0] | 内蔵プルアップ抵抗を対応する端子に接続するかどうかを指定します。 0: 内蔵プルアップ抵抗を接続しない 1: 内蔵プルアップ抵抗を接続する |

備考

- 1 端子に対して、PUn.PUn_m = 1 かつ PDn.PDn_m = 1 に設定しないでください。
- 端子が出力モードで動作している場合、内蔵プルアップ抵抗は影響しません。

(2) PDn — プルダウンオプションレジスタ

このレジスタは、内蔵プルダウン抵抗を入力端子に接続するかどうかを指定します。

アクセス 16ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 E1Lポートレジスタ一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|--------|--------|--------|--------|--------|--------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PDn_15 | PDn_14 | PDn_13 | PDn_12 | PDn_11 | PDn_10 | PDn_9 | PDn_8 | PDn_7 | PDn_6 | PDn_5 | PDn_4 | PDn_3 | PDn_2 | PDn_1 | PDn_0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 2.23 PDn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------|---|
| 15 ~ 0 | PDn_[15:0] | 内蔵プルダウン抵抗を対応する端子に接続するかどうかを指定します。 0: 内蔵プルダウン抵抗を接続しない 1: 内蔵プルダウン抵抗を接続する |

備考

- 1 端子に対して、PUn.PUn_m = 1 かつ PDn.PDn_m = 1 に設定しないでください。
- 端子が出力モードで動作している場合、内蔵プルダウン抵抗は影響しません。

(3) PDSCn — ポートドライブ強度コントロールレジスタ

このレジスタは PUCcN レジスタとの組み合わせで、出力ポートや兼用出力端子の出力ドライブバビリティ（ドライブ強度）を設定することができます。なお、使用する端子機能によってドライブバビリティ設定に指定がある場合があります。詳細は「**第 37 章 電気的特性**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。
このレジスタを更新するには、PPCMDn レジスタを使った正しい書き込みシーケンスが必要です。

リセット後の値 「2.2.1.1 E1L ポートレジスタ一覧」を参照してください。

注 意

上位 16 ビットも保護対象のポートレジスタの書き込みシーケンスの反転値の対象となります。詳細は「2.1.4.5 ポートレジスタ保護」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|--------------|--------------|--------------|--------------|--------------|--------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PDSCn _15 | PDSCn _14 | PDSCn _13 | PDSCn _12 | PDSCn _11 | PDSCn _10 | PDSCn _9 | PDSCn _8 | PDSCn _7 | PDSCn _6 | PDSCn _5 | PDSCn _4 | PDSCn _3 | PDSCn _2 | PDSCn _1 | PDSCn _0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 2.24 PDSCn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------|---|
| 15 ~ 0 | PDSCn_[15:0] | PUCcN レジスタとの組み合わせで、出力ポートや兼用出力端子の出力ドライブバビリティを設定します。レジスタ設定と出力ドライブバビリティの対応は「 表 2.25 PUCcN レジスタの内容 」を参照してください。 |

(4) PUCcN — ポートユニバーサルコントロールレジスタ

このレジスタは PDSCn レジスタとの組み合わせで、出力ポートや兼用出力端子の出力ドライバビリティ（ドライブ強度）を設定することができます。なお、使用する端子機能によってドライブビリティ設定に指定がある場合があります。詳細は「第 37 章 電気的特性」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。
このレジスタを更新するには、PPCMDn レジスタを使った正しい書き込みシーケンスが必要です。

リセット後の値 「2.2.1.1 E1L ポートレジスタ一覧」を参照してください。

注 意

上位 16 ビットも保護対象のポートレジスタの書き込みシーケンスの反転値の対象となります。詳細は「2.1.4.5 ポートレジスタ保護」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|--------------|--------------|--------------|--------------|--------------|--------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PUCcN _15 | PUCcN _14 | PUCcN _13 | PUCcN _12 | PUCcN _11 | PUCcN _10 | PUCcN _9 | PUCcN _8 | PUCcN _7 | PUCcN _6 | PUCcN _5 | PUCcN _4 | PUCcN _3 | PUCcN _2 | PUCcN _1 | PUCcN _0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 2.25 PUCcN レジスタの内容

| ビット位置 | ビット名 | 機能 | | | | | | | | | | | | | | | |
|---------|--------------|---|---------|---------|------------|---|---|-----|---|---|------|---|---|-----|---|---|------|
| 15 ~ 0 | PUCcN_[15:0] | <p>PDSCn レジスタとの組み合わせで、出力ポートや兼用出力端子の出力ドライバビリティを設定します。各設定での電気的特性は「37.3.4 出力スルーレート」を参照してください。</p> <table border="1"> <thead> <tr> <th>PUCcN_m</th> <th>PDSCn_m</th> <th>出力ドライバビリティ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Low</td> </tr> <tr> <td>0</td> <td>1</td> <td>High</td> </tr> <tr> <td>1</td> <td>0</td> <td>Mid</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table> | PUCcN_m | PDSCn_m | 出力ドライバビリティ | 0 | 0 | Low | 0 | 1 | High | 1 | 0 | Mid | 1 | 1 | 設定禁止 |
| PUCcN_m | PDSCn_m | 出力ドライバビリティ | | | | | | | | | | | | | | | |
| 0 | 0 | Low | | | | | | | | | | | | | | | |
| 0 | 1 | High | | | | | | | | | | | | | | | |
| 1 | 0 | Mid | | | | | | | | | | | | | | | |
| 1 | 1 | 設定禁止 | | | | | | | | | | | | | | | |

2.1.4.5 ポートレジスタ保護

(1) PPCMDn — ポートレジスタ保護コマンドレジスタ

このレジスタは、保護対象のポートレジスタのためのコマンドレジスタです。

アクセス 8ビット単位でライト可能です。
ビット7～0は、常に0がリードされます。

リセット後の値 「2.2.1.1 E1Lポートレジスタ一覧」を参照してください。

| | | | | | | | | |
|-----|---|---|---|---|---|---|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — |
| R/W | W | W | W | W | W | W | W | W |

表 2.26 PPCMDn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 7～0 | — | 固定値 A5 _H を書き込むことで保護解除シーケンスに入ります。 |

(2) PPROTSn — ポート保護ステータスレジスタ

このレジスタは、保護対象のポートレジスタの書き込みシーケンスのステータスを示します。

アクセス 8ビット単位でリード可能です。
ライトした場合、無視されます。

リセット後の値 「2.2.1.1 E1Lポートレジスタ一覧」を参照してください。

| | | | | | | | | |
|-----|---|---|---|---|---|---|---|-----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | PPROTSn_0 |
| R/W | R | R | R | R | R | R | R | R |

表 2.27 PPROTSn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 0 | PPROTSn_0 | 保護対象のポートレジスタの書き込みシーケンスエラーを確認します。 0: 保護エラー未発生 1: 保護エラー発生 |

(3) 保護対象のポートレジスタ

- ポートドライブ強度コントロールレジスタ (PDSCn)
- ポートユニバーサルコントロールレジスタ (PUCcN)
- ポート出力レベル反転レジスタ (PINVn)

(4) 保護対象のポートレジスタの書き込みシーケンス

書き込み保護されたレジスタへの書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

手順 1. ポートレジスタ保護コマンドレジスタ PPCMDn に固定値 A5_H を書き込みます。

手順 2. 保護されているレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

手順 3. 手順 2 と同じレジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値のビット反転値を書き込みます。

手順 4. 手順 2 と同じレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、保護されているレジスタに設定値を書き込むことができます。

上記手順通りに行わなかった場合、保護解除シーケンスは失敗し、保護されているレジスタに設定値は書き込まれず、ポート保護ステータスレジスタ PPROTSn の PPROTSn_0 ビットが 1 にセットされます。(必須ではありませんが、手順 4 の後、PPROTSn_0 ビットの値が 0 であることを確認することでも、保護レジスタに設定値が正しく書き込まれたことを確認できます。)

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ^{注1}へのライトアクセスの場合、保護されているレジスタへの書き込みは失敗し、PPROTSn_0 ビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護されているレジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注 1. ポートグループコンフィグレーションレジスタは以下の 2 つのモジュールに分かれています。それぞれのモジュールには、保護関連のレジスタを含む、すべてのポートコンフィグレーションレジスタが含まれます。

- ポートグループ 0
- ポートグループ 0 以外のポートグループ

2.1.4.6 端子単位のレジスタ

(1) PCRn_m — ポートコントロールレジスタ

このレジスタ経由でポートグループ単位の各レジスタにアクセスすることができ、1端子の全機能を1つのPCRn_mレジスタで設定可能です。たとえば、PCRn_mレジスタのビット6に1をセットすると、PMcnレジスタのビットmも1になります。また、PDSCn、PUCCn、PINVnレジスタは書き込み保護レジスタですが、PCRn_mレジスタ経由でアクセスする場合は保護解除シーケンスは不要です。

注 意

- 「2.1.4.7 ポート設定のフロー例 (2) 個別設定」に記載がある設定範囲内で、PCRn_mレジスタの複数ビットを一括設定できます。
- PCRn_m設定範囲をまたいで一括設定を行った場合、意図しないレベルが、端子から出力される場合があります。

アクセス 32ビット単位でリード/ライト可能です。

リセット後の値 「2.2.1.1 E1Lポートレジスタ一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|-----|----|------|----|-----|----|----|------|------|----|-----|------|-----|-----|-------|------|------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | PINV | — | — | — | — | PUCC | PDSC | — | — | — | — | PU | PD | PBDC | PIBC |
| R/W | R | R/W | R | R | R | R | R/W | R/W | R | R | R | R | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | P | — | — | — | PPR | — | PMC | PIPC | PM | — | PFCAE | PFCE | PFC |
| R/W | R | R | R | R/W | R | R | R | R | R | R/W | R/W | R/W | R | R/W | R/W | R/W |

表 2.28 PCRn_m レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------|---|
| 31 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 30 | PINV | PINVnレジスタのビットmと同じ機能 |
| 29 ~ 26 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 25 | PUCC | PUCCnレジスタのビットmと同じ機能 |
| 24 | PDSC | PDSCnレジスタのビットmと同じ機能 |
| 23 ~ 20 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 19 | PU | PUUnレジスタのビットmと同じ機能 |
| 18 | PD | PDnレジスタのビットmと同じ機能 |
| 17 | PBDC | PBDCnレジスタのビットmと同じ機能 |
| 16 | PIBC | PIBCnレジスタのビットmと同じ機能 |
| 15 ~ 13 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 12 | P | Pnレジスタのビットmと同じ機能 |
| 11 ~ 9 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 8 | PPR | PPRnレジスタのビットmと同じ機能 |

表 2.28 PCRn_m レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|---|
| 7 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 6 | PMC | PMcN レジスタのビット m と同じ機能 |
| 5 | PIPC | PIPCn レジスタのビット m と同じ機能 |
| 4 | PM | PMn レジスタのビット m と同じ機能 |
| 3 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 2 | PFCAE | PFCAEn レジスタのビット m と同じ機能 |
| 1 | PFCE | PFCEn レジスタのビット m と同じ機能 |
| 0 | PFC | PFCn レジスタのビット m と同じ機能 |

2.1.4.7 ポート設定のフロー例

ポート設定のフローチャート例を次に示します。各フローチャートの「ポートフィルタの設定」については、「2.3.2.4 周辺機能 DNF の設定手順」もしくは「2.3.3.6 エッジ検出 DNF の設定手順」を参照してください。

注 意

ポートを S/W I/O 制御兼用モードで使用するとき、本紙のポート設定フロー例では一時的に兼用入力モードになる場合があるので注意してください。下図の例では、PMcn_m = 1 に設定してから、PMn_m = 0 に設定するまでの期間が該当します。

(1) 一括設定

一括でポートグループを設定する場合のフローチャート例を次に示します。

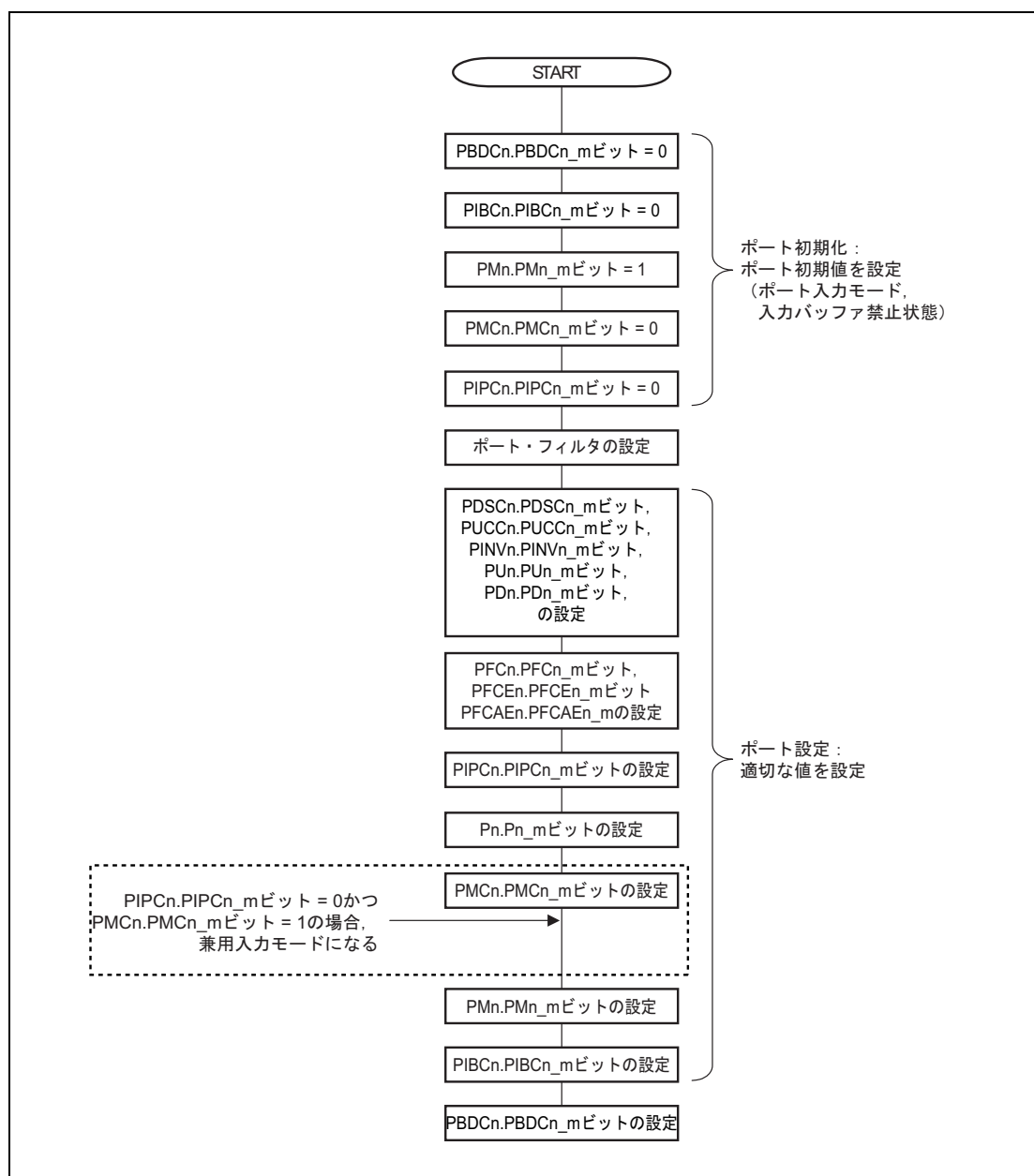


図 2.3 ポート設定のフローチャート例（一括設定の場合）

(2) 個別設定

個別でポートを設定する場合のフローチャート例を次に示します。

また、PCRn_m レジスタを使用すれば、下図の設定範囲内の複数ビットを一括設定できます。

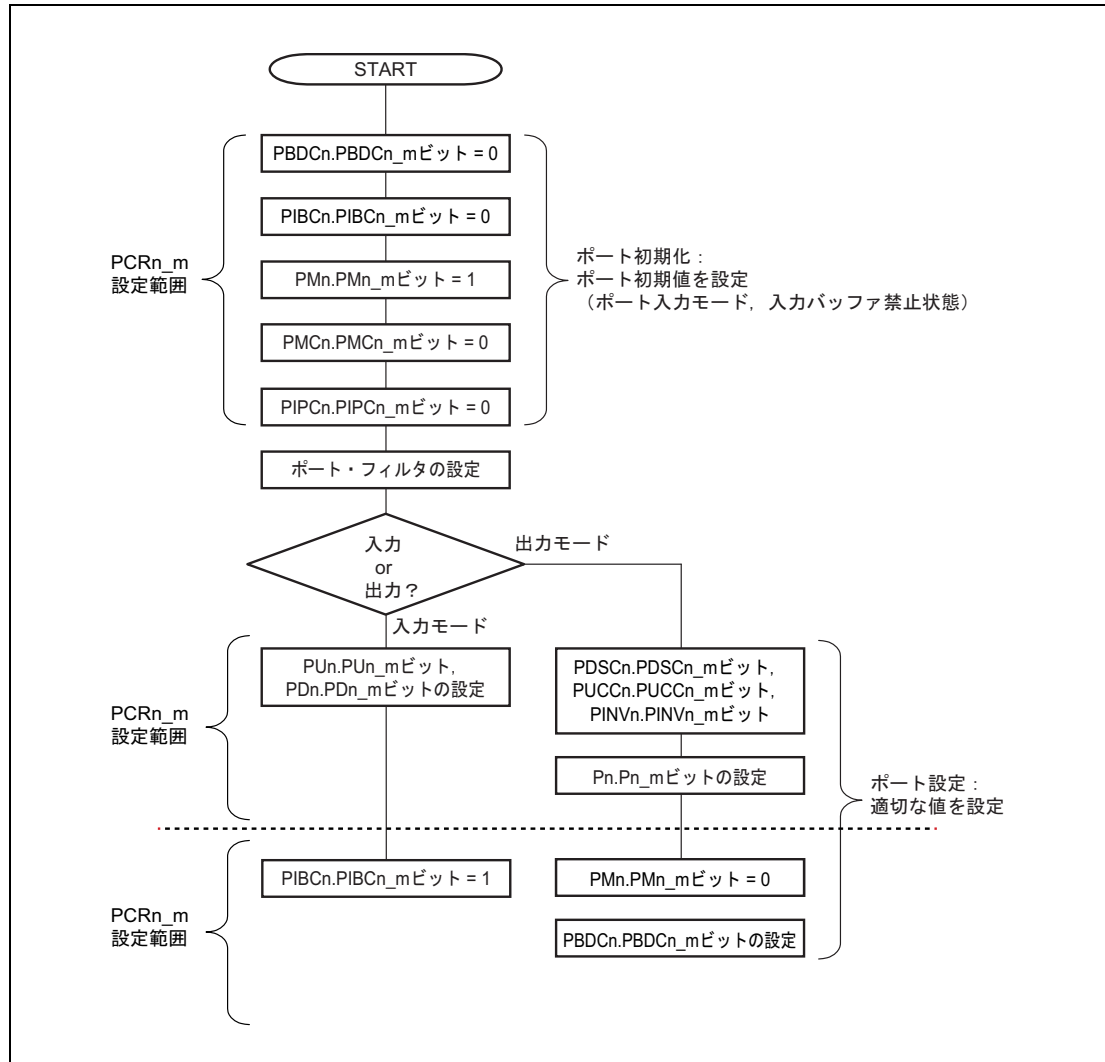


図 2.4 ポート設定のフローチャート例 (ポートモードの場合)

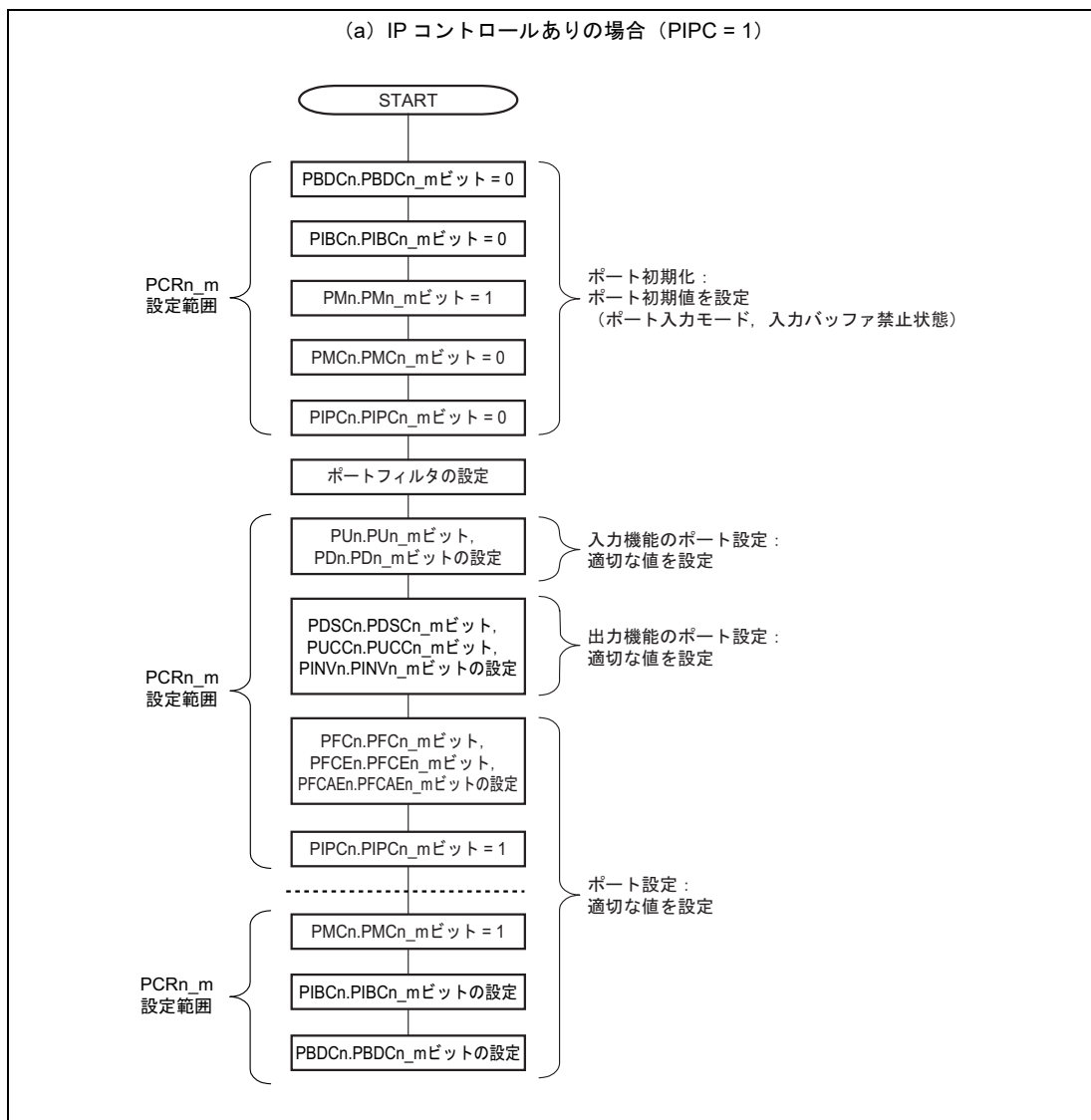


図 2.5 ポート設定のフローチャート例 (兼用モードの場合) (1/2)

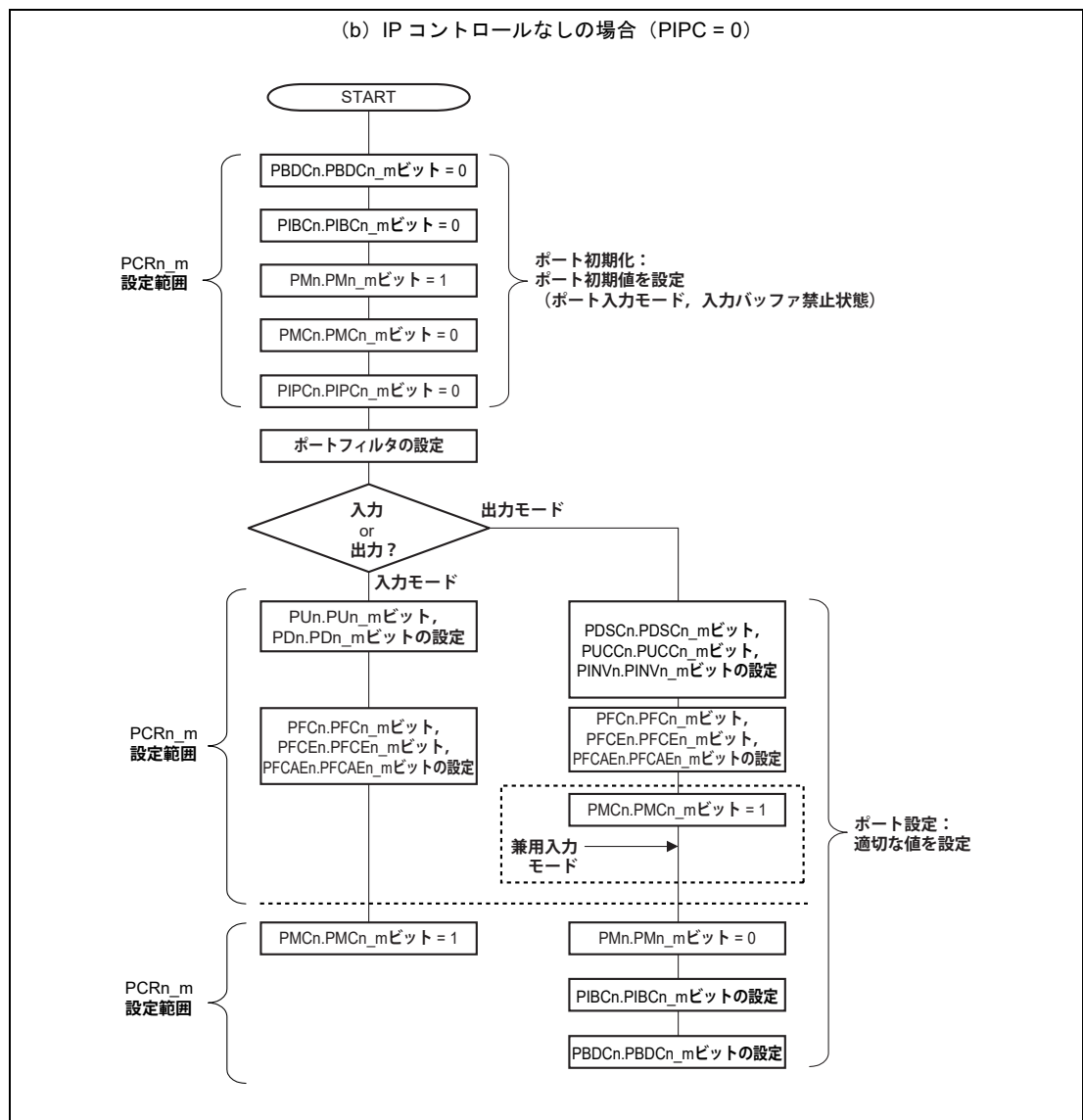


図 2.6 ポート設定のフローチャート例 (兼用モードの場合) (2/2)

2.1.5 機能選択

2.1.5.1 兼用機能使用時のレジスタ設定

端子の兼用機能を使用するとき、 $PMc_n_m = 1$ に設定し、 $PFCn_m$ 、 $PFCEn_m$ 、 $PFCAEn_m$ で兼用番号を選択してください。また、いくつかの周辺機能では、1つの兼用入出力機能を複数の端子に割り当てています。しかし、これらの兼用機能を、複数の端子で有効にすることは禁止です。たとえば、外部割り込み入力の $IRQ0$ は $P0_3$ や $P2_0$ に割り当てられていますが、この兼用機能を選択してよいのは1端子のみです。

2.1.5.2 直接 I/O 制御兼用モードで使用する兼用機能

表 2.29 の兼用機能を使用するときは、直接 I/O 制御兼用モードに設定してください。 $PIPCn_m = 1$ に設定すると、周辺機能がバッファの入力、出力許可を制御するため、 PMn_m の設定値は無視されます。なお、**表 2.29** 以外の兼用機能を使用するときは、 $PIPCn_m = 0$ に設定してください。

表 2.29 PIPC レジスタの設定が必要な端子一覧

| 分類 | 端子名 | I/O | 端子機能 | 周辺機能による入出力制御 |
|-------|-----------|-----|---------------------|---|
| SCIn | SCInRxD | I | 受信データ入力 | SCI3nSCR.RE ビットで SCI3 の受信動作を許可に設定すると、端子が入力許可状態になります。 |
| | SCInTxD | O | 送信データ出力 | SCI3nSCR.TE ビットで SCI3 の送信動作を許可に設定すると、端子が出力許可状態になります。 |
| | SCInSCK | I/O | シリアルクロック入出力 | SCI3nSCR.CKE[1:0] ビットの設定により、端子の入出力モードが決まります。 <ul style="list-style-type: none"> 調歩同期式の場合 CKE[1:0] = 00 : 端子の入出力は禁止状態です。 CKE[1:0] = 01 : 端子が出力モードになります。 CKE[1:0] = 1x : (設定禁止です。) クロック同期式の場合 CKE[1:0] = 0x : 端子が出力モードになります。 CKE[1:0] = 1x : 端子が入力モードになります。 |
| CSIHn | CSIHnTSO | O | 送信データ出力（データ整合性チェック） | <ul style="list-style-type: none"> 出力制御 「13.5.9 スレーブモードでの通信 (3)CSIHnTSSO オペレーション」を参照してください。 入力制御 CSIHnCTL1.DCS ビットで CSIH のデータ整合性チェック機能を有効に設定すると、端子の入力バッファ側も許可状態になり、実際の端子出力レベルを製品内部にループバックできません。 |
| | CSIHnTSCK | I/O | シリアルクロック入出力 | CSIHnCTL2 レジスタで CSIH をスレーブモードに設定すると、端子が入力モードになります。マスターモードに設定すると、端子が出力モードになります。 |
| | CSIHnTRY | I/O | ハンドシェイク信号入出力 | CSIHnCTL2 レジスタで CSIH をスレーブモードに設定すると、端子が出力モードになります。マスターモードに設定すると、端子が入力モードになります。 |

表 2.29 PIPC レジスタの設定が必要な端子一覧

| 分類 | 端子名 | I/O | 端子機能 | 周辺機能による入出力制御 |
|-----------------|--------------------|-----|----------------------------------|--|
| TSG2n | TSON1 ~ TSON6 | O | タイマ PWM 出力 (Hi-Z 制御) | TAPA からの制御により、異常発生時に端子出力を強制的に Hi-Z 状態にします。正常動作時は、端子出力は許可状態です。 |
| ATU-IV タイマ C | TIOcn0 ~ TIOcn3 | I/O | インプットキャプチャトリガ入力、 アウトプットコンペア出力 | TIORCx レジスタで ATU-IV タイマ C をコンペアマッチに設定すると、端子が出力モードになります。インプットキャプチャに設定すると、端子が入力モードになります。 |

備考 n は各周辺機能のモジュール番号を示します。

2.1.5.3 ERROROUT_C 端子の設定

ERROROUT_C 端子のエラー出力機能を使用するときは、故障診断のために兼用出力レベルループバック機能を有効にしてください。

2.1.5.4 アナログ入力端子使用時のレジスタ設定

アナログ入力の ANxxx (SAR-A/D) と DSANxP、DSANxN (DS-A/D) は常時 A/D コンバータと接続されているので、端子機能を選択するためのポートレジスタ設定は必要ありません。ただし、汎用入力ポートと兼用しているアナログ入力端子を使用する場合、PMcn_m = 0^{注1}、PIBCn_m = 0 (リセット後の値) に設定してください。アナログ電圧入力時に、デジタル側の入力バッファの貫通電流を防止できます。本製品では、ポートグループ P14、P16 が該当端子です。

注1. 端子によっては PMcn_m が非搭載の場合もあります。搭載有無は、「2.2 ポートグループ構成」のレジスタ一覧を参照してください。

2.1.5.5 LVDS バッファ使用時のレジスタ設定

RHSB の LVDS バッファを使用する場合、PM17_m = 0 に設定してください。PM17_m = 0 に設定してから LVDS バッファが出力可能な状態になるまで、10usec 以上の待機時間が必要です。

| ポートレジスタ | LVDS バッファ | BGA252 | QFP176 | QFP144 |
|---------|-----------|--------|--------|--------|
| PM17_0 | RHSB0SOP | ○ | ○ | ○ |
| | RHSB0SON | | | |
| PM17_1 | RHSB0FCLP | ○ | ○ | ○ |
| | RHSB0FCLN | | | |

2.1.5.6 JTAG ポートの機能選択

JTAG ポートには複数のツール接続用の I/F を兼用しており、モード端子設定とオプションバイト設定の組み合わせにより I/F が決定します。動作モードがユーザーブートモードの場合、オプションバイトの OPBT2 の設定で I/F を選択できます。それ以外の動作モードの場合 OPBT2 の設定は無効となり、各動作モードに対応した I/F が選択されます。詳細は「5.2 動作モード」を参照してください。

2.2 ポートグループ構成

2.2.1 E1L ポート機能

2.2.1.1 E1L ポートレジスタ一覧

各ポートの制御レジスタ詳細ビット配置について、表 2.30 ~ 表 2.40 に示します。ビットマップにおいて“○”は有効ビット、“—”は予約ビットを表します。予約ビットをリードするとリセット後の値を読み出します。ライトするときもリセット後の値を書き込んでください。また、QFP144 パッケージでは非搭載の端子もあります。ポートレジスタの非搭載端子に関連するビットは、リセット後の値から設定を変更しないでください。

表 2.30 E1L ポートグループ 0 レジスタ一覧

| ポートグループ名 | レジスタ名 | R/W | リセット後の値 | アクセスサイズ | ビットマップ | | | | | | | | | | | | | | | | 備考 | |
|----------|---------|-----|------------------------|---------|--------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|----|-----------|
| | | | | | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| 0 | P0 | R/W | 0000 _H | 16 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PSR0 | R/W | 0000 0000 _H | 32 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PPR0 | R | 0000 _H | 16 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PM0 | R/W | FFFF _H | 16 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PMC0 | R/W | 0000 _H | 16 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PFC0 | R/W | 0000 _H | 16 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PFCE0 | R/W | 0000 _H | 16 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PFCAE0 | R/W | 0000 _H | 16 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PNOT0 | W | 0000 _H | 16 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PMSR0 | R/W | 0000 FFFF _H | 32 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PMCSR0 | R/W | 0000 0000 _H | 32 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PIBC0 | R/W | 0000 _H | 16 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PBDC0 | R/W | 0000 _H | 16 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PIPC0 | R/W | 0000 _H | 16 | — | ○ | ○ | ○ | — | ○ | — | ○ | ○ | — | — | — | — | ○ | ○ | ○ | | |
| | PU0 | R/W | 0000 _H | 16 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PD0 | R/W | 0000 _H | 16 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PDSC0 | R/W | 0000 0000 _H | 32 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PUCC0 | R/W | 0000 0000 _H | 32 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PPROTS0 | R | 00 _H | 8 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | | |
| | PPCMD0 | W | 00 _H | 8 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PINV0 | R/W | 0000 0000 _H | 32 | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| — | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | 上位 16 ビット |

| ポート グループ名 | レジスタ名 | R/W | リセット後 の値 | アクセス サイズ | ビットマップ | | | | | | | | | | | | | | | |
|--------------|---------|-----|------------------------|-------------|--------|------|------|----|----|------|------|----|-----|-----|------|----|------|------|-----|--|
| | | | | | 30 | 25 | 24 | 19 | 18 | 17 | 16 | 12 | 8 | 6 | 5 | 4 | 2 | 1 | 0 | |
| | | | | | PINV | PUCC | PDSC | PU | PD | PBDC | PIBC | P | PPR | PMC | PIPC | PM | PFAE | PFCE | PFC | |
| 0 | PCR0_0 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR0_1 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR0_2 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR0_3 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR0_4 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR0_5 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR0_6 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR0_7 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR0_8 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR0_9 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR0_10 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR0_11 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR0_12 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR0_13 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR0_14 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |

表 2.31 E1L ポートグループ1 レジスタ一覧

| ポート グループ名 | レジスタ名 | R/W | リセット後 の値 | アクセス サイズ | ビットマップ | | | | | | | | | | | | | | | | 備考 |
|--------------|---------|-----|------------------------|-------------|--------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|-----------|
| | | | | | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| 1 | P1 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PSR1 | R/W | 0000 0000 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 上位 16 ビット |
| | PPR1 | R | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PM1 | R/W | FFFF _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PMC1 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PFC1 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PFCE1 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PFAE1 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PNOT1 | W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PMSR1 | R/W | 0000 FFFF _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PMCSR1 | R/W | 0000 0000 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PIBC1 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PBDC1 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PIPC1 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PU1 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PD1 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PDSC1 | R/W | 0000 0000 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | 上位 16 ビット |
| | PUCC1 | R/W | 0000 0000 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PPROTS1 | R | 00 _H | 8 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | |
| | PPCMD1 | W | 00 _H | 8 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PINV1 | R/W | 0000 0000 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |

| ポートグループ名 | レジスタ名 | R/W | リセット後の値 | アクセスサイズ | ビットマップ | | | | | | | | | | | | | | | | |
|----------|---------|------------------------|------------------------|---------|--------|-----|------|----|----|------|------|----|-----|-----|------|----|------|------|-----|---|---|
| | | | | | 30 | 25 | 24 | 19 | 18 | 17 | 16 | 12 | 8 | 6 | 5 | 4 | 2 | 1 | 0 | | |
| | | | | | PINV | PUC | PDSC | PU | PD | PBDC | PIBC | P | PPR | PMC | PIPC | PM | PFAE | PFCE | PFC | | |
| 1 | PCR1_0 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR1_1 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR1_2 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR1_3 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR1_4 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR1_5 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR1_6 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR1_7 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR1_8 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR1_9 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR1_10 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR1_11 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR1_12 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR1_13 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR1_14 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| PCR1_15 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |

表 2.32 E1L ポートグループ2 レジスタ一覧

| ポートグループ名 | レジスタ名 | R/W | リセット後の値 | アクセスサイズ | ビットマップ | | | | | | | | | | | | | | | | 備考 | | |
|----------|---------|------------------------|------------------------|---------|--------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|----|-----------|-----------|
| | | | | | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | |
| | | | | | | | | | | | | | | | | | | | | | | | |
| 2 | P2 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | | |
| | PSR2 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット | |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | 上位 16 ビット |
| | PPR2 | R | 0000 _H | 16 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | | |
| | PM2 | R/W | FFFF _H | 16 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PMC2 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PFC2 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PFCE2 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PFAE2 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PNOT2 | W | 0000 _H | 16 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PMSR2 | R/W | 0000 FFFF _H | 32 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PMCSR2 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PIBC2 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PBDC2 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PIPC2 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PU2 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PD2 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PDSC2 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PUC2 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PPROTS2 | R | 00 _H | 8 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | | | |
| PPCMD2 | W | 00 _H | 8 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | | |
| PINV2 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット | |
| | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | 上位 16 ビット |

| ポート グループ名 | レジスタ名 | R/W | リセット後 の値 | アクセス サイズ | ビットマップ | | | | | | | | | | | | | | | |
|--------------|--------|-----|------------------------|-------------|--------|------|------|----|----|------|------|----|-----|-----|------|----|-------|------|-----|---|
| | | | | | 30 | 25 | 24 | 19 | 18 | 17 | 16 | 12 | 8 | 6 | 5 | 4 | 2 | 1 | 0 | |
| | | | | | PINV | PUC3 | PDSC | PU | PD | PBDC | PIBC | P | PPR | PMC | PIPC | PM | PFCAE | PFCE | PFC | |
| 2 | PCR2_0 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR2_1 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR2_2 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR2_3 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR2_4 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR2_5 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR2_6 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR2_7 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |

表 2.33 E1L ポートグループ3 レジスタ一覧

| ポート グループ名 | レジスタ名 | R/W | リセット後 の値 | アクセス サイズ | ビットマップ | | | | | | | | | | | | | | | | 備考 | | | |
|--------------|--------|------------------------|------------------------|-------------|--------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|----|---|-----------|-----------|
| | | | | | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | |
| 3 | P3 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PSR3 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット | |
| | | | | | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 上位 16 ビット |
| | PPR3 | R | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PM3 | R/W | FFFF _H | 16 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PMC3 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PFC3 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PFCE3 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PFCAE3 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PNOT3 | W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PMSR3 | R/W | 0000 FFFF _H | 32 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PMCSR3 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PIBC3 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PBDC3 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PIPC3 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PU3 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PD3 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PDSC3 | R/W | 00000000 _H | 32 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PUC3 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| PPROTS3 | R | 00 _H | 8 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | | | |
| PPCMD3 | W | 00 _H | 8 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | | |
| PINV3 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット | |
| | | | | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 上位 16 ビット |

| ポート グループ名 | レジスタ名 | R/W | リセット後 の値 | アクセス サイズ | ビットマップ | | | | | | | | | | | | | | | |
|--------------|--------|-----|------------------------|-------------|--------|-----|------|----|----|------|------|----|-----|-----|------|----|------|------|-----|---|
| | | | | | 30 | 25 | 24 | 19 | 18 | 17 | 16 | 12 | 8 | 6 | 5 | 4 | 2 | 1 | 0 | |
| | | | | | PINV | PUC | PDSC | PU | PD | PBDC | PIBC | P | PPR | PMC | PIPC | PM | PFAE | PFCE | PFC | |
| 3 | PCR3_0 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR3_1 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR3_2 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR3_3 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR3_4 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR3_5 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR3_6 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |

表 2.34 E1L ポートグループ4 レジスタ一覧

| ポート グループ名 | レジスタ名 | R/W | リセット後 の値 | アクセス サイズ | ビットマップ | | | | | | | | | | | | | | | | 備考 |
|--------------|--------|------------------------|------------------------|-------------|--------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|-----------|-----------|
| | | | | | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| 4 | P4 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PSR4 | R/W | 0000 0000 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PPR4 | R | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PM4 | R/W | FFFF _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PMC4 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PFC4 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PFCE4 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PFAE4 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PNOT4 | W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PMSR4 | R/W | 0000 FFFF _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PMCSR4 | R/W | 0000 0000 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PIBC4 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PBDC4 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PIPC4 | R/W | 0000 _H | 16 | — | — | ○ | ○ | — | — | ○ | ○ | — | — | — | ○ | ○ | ○ | ○ | ○ | |
| | PU4 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PD4 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PDSC4 | R/W | 0000 0000 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PUC4 | R/W | 0000 0000 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| PPROTS4 | R | 00 _H | 8 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | | |
| PPCMD4 | W | 00 _H | 8 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| PINV4 | R/W | 0000 0000 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット | |
| | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | 上位 16 ビット |

| ポート グループ名 | レジスタ名 | R/W | リセット後 の値 | アクセス サイズ | ビットマップ | | | | | | | | | | | | | | | | | | | | | |
|--------------|---------|------------------------|------------------------|-------------|--------|------|------|----|----|------|------|----|-----|-----|------|----|------|------|-----|---|---|---|---|---|---|---|
| | | | | | 30 | 25 | 24 | 19 | 18 | 17 | 16 | 12 | 8 | 6 | 5 | 4 | 2 | 1 | 0 | | | | | | | |
| | | | | | PINV | PUC5 | PDSC | PU | PD | PBDC | PIBC | P | PPR | PMC | PIPC | PM | PFAE | PFCE | PFC | | | | | | | |
| 4 | PCR4_0 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR4_1 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR4_2 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR4_3 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR4_4 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR4_5 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR4_6 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR4_7 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR4_8 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR4_9 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR4_10 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR4_11 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR4_12 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR4_13 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PCR4_14 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| PCR4_15 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |

表 2.35 E1L ポートグループ 5 レジスタ一覧

| ポート グループ名 | レジスタ名 | R/W | リセット後 の値 | アクセス サイズ | ビットマップ | | | | | | | | | | | | | | | | 備考 | | | | | |
|--------------|--------|------------------------|------------------------|-------------|--------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|----|---|---|---|---|---|
| | | | | | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | | | |
| 5 | P5 | R/W | 0000 _H | 16 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PSR5 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | | | | | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PPR5 | R | 0000 _H | 16 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PM5 | R/W | FFFF _H | 16 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PMC5 | R/W | 0000 _H | 16 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PFC5 | R/W | 0000 _H | 16 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PFCE5 | R/W | 0000 _H | 16 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PFAE5 | R/W | 0000 _H | 16 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PNOT5 | W | 0000 _H | 16 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PMSR5 | R/W | 0000 FFFF _H | 32 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | | | | | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PMCSR5 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | | | | | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PIBC5 | R/W | 0000 _H | 16 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PBDC5 | R/W | 0000 _H | 16 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PIPC5 | R/W | 0000 _H | 16 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PU5 | R/W | 0000 _H | 16 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PD5 | R/W | 0000 _H | 16 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PDSC5 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | | | | | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| PUC5 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | | | | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| PPROTS5 | R | 00 _H | 8 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | |
| PPCMD5 | W | 00 _H | 8 | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| PINV5 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | | | | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |

| ポート グループ名 | レジスタ名 | R/W | リセット後 の値 | アクセス サイズ | ビットマップ | | | | | | | | | | | | | | | |
|--------------|--------|-----|------------------------|-------------|--------|-----|------|----|----|------|------|----|-----|-----|------|----|------|------|-----|--|
| | | | | | 30 | 25 | 24 | 19 | 18 | 17 | 16 | 12 | 8 | 6 | 5 | 4 | 2 | 1 | 0 | |
| | | | | | PINV | PUC | PDSC | PU | PD | PBDC | PIBC | P | PPR | PMC | PIPC | PM | PFAE | PFCE | PFC | |
| 5 | PCR5_0 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR5_1 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR5_2 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR5_3 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR5_4 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR5_5 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR5_6 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR5_7 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR5_8 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR5_9 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |

表 2.36 E1L ポートグループ 11 レジスタ一覧

| ポート グループ名 | レジスタ名 | R/W | リセット後 の値 | アクセス サイズ | ビットマップ | | | | | | | | | | | | | | | | 備考 |
|--------------|---------|------------------------|------------------------|-------------|--------|----|----|----|----|----|---|---|---|---|---|---|---|---|-----------|-----------|----|
| | | | | | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| 11 | P11 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | | |
| | PSR11 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | 下位 16 ビット | |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | 上位 16 ビット | |
| | PPR11 | R | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | | | |
| | PM11 | R/W | FFFF _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | | |
| | PMC11 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | — | | |
| | PFC11 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | — | | |
| | PFCE11 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | — | | |
| | PNOT11 | W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | | |
| | PMSR11 | R/W | 0000 FFFF _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | 下位 16 ビット | |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | 上位 16 ビット | |
| | PMCSR11 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | — | 下位 16 ビット | |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | — | 上位 16 ビット | |
| | PIBC11 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | | |
| | PBDC11 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | | |
| | PU11 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | | |
| | PD11 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | | |
| | PDSC11 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | 下位 16 ビット | |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | 上位 16 ビット | |
| | PUC11 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | 下位 16 ビット | |
| — | | | | | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | 上位 16 ビット | | |
| PPROTS11 | R | 00 _H | 8 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | — | | | |
| PPCMD11 | W | 00 _H | 8 | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | | |
| PINV11 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | 下位 16 ビット | | |
| | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | 上位 16 ビット | | |

| ポート グループ名 | レジスタ名 | R/W | リセット後 の値 | アクセス サイズ | ビットマップ | | | | | | | | | | | | | | | |
|--------------|---------|-----|------------------------|-------------|--------|-----|------|----|----|------|------|----|-----|-----|------|----|------|------|-----|--|
| | | | | | 30 | 25 | 24 | 19 | 18 | 17 | 16 | 12 | 8 | 6 | 5 | 4 | 2 | 1 | 0 | |
| | | | | | PINV | PUC | PDSC | PU | PD | PBDC | PIBC | P | PPR | PMC | PIPC | PM | PFAE | PFCE | PFC | |
| 11 | PCR11_0 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |
| | PCR11_1 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | |

表 2.37 E1L ポートグループ 13 レジスタ一覧

| ポートグループ名 | レジスタ名 | R/W | リセット後の値 | アクセスサイズ | ビットマップ | | | | | | | | | | | | | | | | 備考 | | |
|----------|---------|------------------------|------------------------|---------|--------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|----|-----------|-----------|
| | | | | | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | |
| 13 | P13 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | | |
| | PSR13 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PPR13 | R | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | | |
| | PM13 | R/W | FFFF _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | | |
| | PMC13 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | | |
| | PFC13 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | | |
| | PFCE13 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | ○ | — | — | — | — | | |
| | PFCAE13 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | | |
| | PNOT13 | W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | | |
| | PMSR13 | R/W | 0000 FFFF _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PMCSR13 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| | PIBC13 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | | |
| | PBDC13 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | | |
| | PIPC13 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | — | | |
| | PU13 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | | |
| | PD13 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | | |
| | PDSC13 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| — | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| PUCC13 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット | |
| | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| PPROTS13 | R | 00 _H | 8 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | | |
| PPCMD13 | W | 00 _H | 8 | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | | |
| PINV13 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット | |
| | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |

| ポートグループ名 | レジスタ名 | R/W | リセット後の値 | アクセスサイズ | ビットマップ | | | | | | | | | | | | | | | | | |
|----------|---------|-----|------------------------|---------|--------|------|------|----|----|------|------|----|-----|-----|------|----|-------|------|-----|---|---|---|
| | | | | | 30 | 25 | 24 | 19 | 18 | 17 | 16 | 12 | 8 | 6 | 5 | 4 | 2 | 1 | 0 | | | |
| | | | | | PINV | PUCC | PDSC | PU | PD | PBDC | PIBC | P | PPR | PMC | PIPC | PM | PFCAE | PFCE | PFC | | | |
| 13 | PCR13_0 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | — | ○ | ○ | — | ○ | |
| | PCR13_1 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | — | ○ | |
| | PCR13_2 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | — | ○ | |
| | PCR13_3 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | — | ○ | ○ | — | ○ |
| | PCR13_4 | R/W | 0000 0010 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | — | ○ | ○ | ○ | ○ |

表 2.38 E1L ポートグループ 14 レジスタ一覧

| ポートグループ名 | レジスタ名 | R/W | リセット後の値 | アクセスサイズ | ビットマップ | | | | | | | | | | | | | | | | 備考 | | |
|----------|---------|-------------------|------------------------|---------|--------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|----|---|-----------|
| | | | | | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | |
| 14 | PPR14 | R | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PMC14 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | |
| | PFC14 | R/W | 0000 _H | 16 | ○ | — | ○ | — | ○ | ○ | ○ | ○ | ○ | — | ○ | ○ | ○ | — | — | — | — | | |
| | PMCSR14 | R/W | 0000 0000 _H | 32 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 下位 16 ビット |
| | | | | | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ |
| PIBC14 | R/W | 0000 _H | 16 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | | |

| ポートグループ名 | レジスタ名 | R/W | リセット後の値 | アクセスサイズ | ビットマップ | | | | | | | | | | | | | | | | | | | | | | | | |
|----------|----------|-----|------------------------|---------|--------|-----|------|----|----|------|------|----|-----|-----|------|----|------|------|-----|---|---|---|---|---|---|---|---|---|---|
| | | | | | 30 | 25 | 24 | 19 | 18 | 17 | 16 | 12 | 8 | 6 | 5 | 4 | 2 | 1 | 0 | | | | | | | | | | |
| | | | | | PINV | PUC | PDSC | PU | PD | PBDC | PIBC | P | PPR | PMC | PIPC | PM | PFAE | PFCE | PFC | | | | | | | | | | |
| 14 | PCR14_0 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | |
| | PCR14_1 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR14_2 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR14_3 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR14_4 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR14_5 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR14_6 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR14_7 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR14_8 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR14_9 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR14_10 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR14_11 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR14_12 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR14_13 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR14_14 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR14_15 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |

表 2.39 E1L ポートグループ 16 レジスタ一覧

| ポートグループ名 | レジスタ名 | R/W | リセット後の値 | アクセスサイズ | ビットマップ | | | | | | | | | | | | | | | | 備考 | | | | | | | | |
|----------|--------|-----|-------------------|---------|--------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|----|---|---|---|---|---|---|---|---|
| | | | | | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | | | | | | |
| 16 | PPR16 | R | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PIBC16 | R/W | 0000 _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |

| ポートグループ名 | レジスタ名 | R/W | リセット後の値 | アクセスサイズ | ビットマップ | | | | | | | | | | | | | | | | | | | | | | | | |
|----------|---------|-----|------------------------|---------|--------|-----|------|----|----|------|------|----|-----|-----|------|----|------|------|-----|---|---|---|---|---|---|---|---|---|---|
| | | | | | 30 | 25 | 24 | 19 | 18 | 17 | 16 | 12 | 8 | 6 | 5 | 4 | 2 | 1 | 0 | | | | | | | | | | |
| | | | | | PINV | PUC | PDSC | PU | PD | PBDC | PIBC | P | PPR | PMC | PIPC | PM | PFAE | PFCE | PFC | | | | | | | | | | |
| 16 | PCR16_0 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR16_1 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR16_2 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR16_3 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR16_4 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PCR16_5 | R/W | 0000 0000 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |

表 2.40 E1L ポートグループ 17 レジスタ一覧

| ポートグループ名 | レジスタ名 | R/W | リセット後の値 | アクセスサイズ | ビットマップ | | | | | | | | | | | | | | | | 備考 | | | | | | | | |
|----------|--------|-----|------------------------|---------|--------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|----|---|---|---|---|---|---|---|---|
| | | | | | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | | | | | | |
| 17 | PM17 | R/W | FFFF _H | 16 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | PMSR17 | R/W | 0000 FFFF _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | | | | | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |

| ポート グループ名 | レジスタ名 | R/W | リセット後 の値 | アクセス サイズ | ビットマップ | | | | | | | | | | | | | | | |
|--------------|---------|-----|------------------------|-------------|--------|------|------|----|----|------|------|----|-----|-----|------|----|-------|------|-----|---|
| | | | | | 30 | 25 | 24 | 19 | 18 | 17 | 16 | 12 | 8 | 6 | 5 | 4 | 2 | 1 | 0 | |
| | | | | | PINV | PUCC | PDSC | PU | PD | PBDC | PIBC | P | PPR | PMC | PIPC | PM | PFCAE | PFCE | PFC | |
| 17 | PCR17_0 | R/W | 0000 0010 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | ○ | — | — | — |
| | PCR17_1 | R/W | 0000 0010 _H | 32 | — | — | — | — | — | — | — | — | — | — | — | — | ○ | — | — | — |

2.2.1.2 E1L-BGA252、QFP176 端子兼用機能一覧

各ポートの端子兼用機能一覧を、表 2.41 ～表 2.51 に示します。表の“—”の記載はリザーブですので、選択しないでください。

表 2.41 E1L-BGA252、QFP176 ポートグループ0 端子兼用機能一覧

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|-------|---------|---------|----------|---------|----------|---------|----------|---------|----------|-------------|-------------|-----------|-------------|------------|-------------|
| | 汎入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | |
| P0_0 | IO | — | — | — | — | — | — | — | — | CSIH0TSI | — | SCIORxD | — | — | — |
| P0_1 | IO | — | — | — | — | — | — | — | — | CSIH0TSD | — | — | SCIO1TXD | — | — |
| P0_2 | IO | — | — | — | — | — | — | — | — | CSIH0TSC K | — | SCIO0SCK | — | — | — |
| P0_3 | IO | — | — | — | — | — | — | — | — | — | CSIH0TCS S0 | CRX2 | — | IRQ0 | — |
| P0_4 | IO | — | — | — | — | — | — | — | — | CSIH0TCS S1 | — | — | CTX2 | IRQ1 | — |
| P0_5 | IO | — | — | — | — | — | — | — | — | CSIH0TCS S2 | — | — | — | IRQ2 | — |
| P0_6 | IO | — | — | — | — | — | — | — | — | — | CSIH1TSI | — | — | IRQ3 | — |
| P0_7 | IO | — | — | — | — | — | — | — | — | — | — | CSIH1TSD | — | IRQ4 | — |
| P0_8 | IO | TIA00 | — | — | — | — | — | — | — | — | CSIH1TSC K | — | CSIH1TSC K | IRQ5 | — |
| P0_9 | IO | TIA01 | — | — | — | — | — | — | — | CSIH0TSSI | — | — | CSIH1TCS S0 | IRQ6 | — |
| P0_10 | IO | TIA02 | — | — | — | — | — | — | — | CSIH0TRY | — | — | CSIH1TCS S1 | IRQ7 | — |
| P0_11 | IO | TIA03 | — | — | — | — | — | — | — | — | CSIH0TCS S3 | — | CSIH1TCS S2 | CSIH2TSI | — |
| P0_12 | IO | TIA04 | — | — | — | — | — | — | — | — | CSIH0TCS S4 | — | CSIH1TCS S3 | — | CSIH2TSD |
| P0_13 | IO | TIA05 | — | — | — | — | — | — | — | — | CSIH0TCS S5 | CSIH1TSSI | — | CSIH2TSC K | — |
| P0_14 | IO | — | — | — | — | — | — | — | — | — | CSIH1TRY | — | CSIH1TRY | — | CSIH2TCS S0 |

表 2.42 E1L-BGA252、QFP176 ポートグループ1 端子兼用機能一覧 (1/2)

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|------|---------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|----------|----------|-----------|-------------|
| | 汎入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | |
| P1_0 | IO | — | TOD20A | — | TOD20B | — | TOE00 | — | APA0 | — | — | SCIO0RxD | — | — | CSIH2TCS S1 |
| P1_1 | IO | — | TOD21A | — | TOD21B | — | TOE01 | — | APA1 | — | TSO00 | — | SCIO1TXD | — | CSIH2TCS S2 |
| P1_2 | IO | — | TOD22A | — | TOD22B | — | TOE02 | — | APA2 | — | TSO01 | — | — | — | CSIH2TCS S3 |
| P1_3 | IO | — | TOD23A | — | TOD23B | — | TOE03 | — | APA3 | — | TSO02 | — | — | CSIH2TSSI | — |
| P1_4 | IO | — | TOD30A | — | TOD30B | — | TOE40 | — | APA4 | — | TSO03 | — | — | CSIH2TRY | — |
| P1_5 | IO | — | TOD31A | — | TOD31B | — | TOE41 | — | APA5 | — | TSO04 | — | — | — | — |

表 2.42 E1L-BGA252、QFP176 ポートグループ1 端子兼用機能一覧 (2/2)

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|-------|---------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|------|
| | 汎入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | |
| P1_6 | IO | — | TOD32A | — | TOD32B | — | TOE42 | — | APA6 | — | TSO05 | — | — | — | — |
| P1_7 | IO | — | TOD33A | — | TOD33B | — | TOE43 | — | APA7 | — | TSO06 | — | — | — | — |
| P1_8 | IO | — | — | — | — | — | TOE20 | — | APA8 | — | TSO07 | — | — | LRX0 | — |
| P1_9 | IO | — | — | — | — | — | TOE21 | — | APA9 | — | — | — | — | — | LTX0 |
| P1_10 | IO | — | — | — | — | — | TOE22 | — | APA10 | — | — | — | — | — | — |
| P1_11 | IO | — | — | — | — | — | TOE23 | — | APA11 | — | — | — | — | — | — |
| P1_12 | IO | — | TIOC50 | — | — | — | TOE30 | — | APA12 | — | — | — | — | — | — |
| P1_13 | IO | — | TIOC51 | — | — | — | TOE31 | — | APA13 | — | — | — | — | — | — |
| P1_14 | IO | — | TIOC52 | — | — | — | TOE32 | — | APA14 | — | — | — | — | — | — |
| P1_15 | IO | — | TIOC53 | — | — | — | TOE33 | — | APA15 | — | — | — | — | — | — |

表 2.43 E1L-BGA252、QFP176 ポートグループ2 端子兼用機能一覧

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|------|---------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|------|
| | 汎入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | |
| P2_0 | IO | TIA00 | TOE50 | — | TOD00B | TIOC12 | TIOC12 | — | — | — | — | — | — | IRQ0 | — |
| P2_1 | IO | TIA01 | TOE51 | — | TOD01B | TIOC13 | TIOC13 | — | — | — | — | — | — | IRQ1 | — |
| P2_2 | IO | TIA02 | TOE52 | — | TOD02B | TIOC20 | TIOC20 | — | — | — | — | — | — | IRQ2 | — |
| P2_3 | IO | TIA03 | TOE53 | — | TOD03B | TIOC21 | TIOC21 | — | — | — | — | — | — | IRQ3 | — |
| P2_4 | IO | TIA04 | TOE10 | — | TOD10B | TIOC22 | TIOC22 | — | — | CRX3 | — | — | — | IRQ4 | — |
| P2_5 | IO | TIA05 | TOE11 | — | TOD11B | TIOC23 | TIOC23 | — | — | — | CTX3 | — | — | IRQ5 | — |
| P2_6 | IO | TCLKA | TOE12 | — | TOD12B | TIOC30 | TIOC30 | — | — | CRX0 | — | — | — | IRQ6 | — |
| P2_7 | IO | TCLKB | TOE13 | — | TOD13B | TIOC31 | TIOC31 | — | — | — | CTX0 | — | — | IRQ7 | — |

表 2.44 E1L-BGA252、QFP176 ポートグループ3 端子兼用機能一覧

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|------|---------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|------|
| | 汎入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | |
| P3_0 | IO | TIF0A | TOE60 | — | TOD30B | TIOC32 | TIOC32 | — | — | CRX1 | — | SCI1RxD | — | — | — |
| P3_1 | IO | TIF1A | TOE61 | — | TOD31B | TIOC33 | TIOC33 | — | — | — | CTX1 | — | SCI1TXD | — | — |
| P3_2 | IO | TIF2A | TOE62 | — | TOD32B | TIOC40 | TIOC40 | ADTRG1 | — | CRX2 | — | SCI2RxD | — | — | — |
| P3_3 | IO | TIF3 | TOE63 | — | TOD33B | TIOC41 | TIOC41 | — | ADEND1 | — | CTX2 | ES02 | SCI2TXD | — | — |
| P3_4 | IO | TIF4 | — | — | — | TIOC42 | TIOC42 | ADTRG0 | — | — | — | — | — | — | — |
| P3_5 | IO | TIF5 | — | — | — | TIOC43 | TIOC43 | — | ADEND0 | — | — | — | — | — | — |
| P3_6 | IO | — | — | — | — | TIOC00 | TIOC00 | — | — | — | — | — | — | — | — |

表 2.45 E1L-BGA252、QFP176 ポートグループ4 端子兼用機能一覧

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|-------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|---------------|---------------|----------------|---------|---------------|
| | 汎用入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | |
| P4_0 | IO | — | TOD00A | TAPTS00 | TOD00B | TIOC20 | TIOC20 | TIF0A | APA0 | — | ERRORO T_C | — | — | — | — |
| P4_1 | IO | — | TOD01A | TAPTS01 | TOD01B | TIOC21 | TIOC21 | TIF1A | APA1 | — | — | — | — | — | — |
| P4_2 | IO | — | TOD02A | TAPTS02 | TOD02B | TIOC22 | TIOC22 | TIF2A | APA2 | — | — | — | — | — | — |
| P4_3 | IO | — | TOD03A | — | TOD03B | TIOC23 | TIOC23 | TIF3 | APA3 | — | CSIH2TSS | — | — | — | — |
| P4_4 | IO | — | TOD10A | — | TOD10B | — | TOE30 | TIF4 | APA4 | — | CSIH2TRY | CSIH2TRY | — | — | — |
| P4_5 | IO | — | TOD11A | — | TOD11B | — | TOE31 | TIF5 | APA5 | CRX0 | — | — | — | — | — |
| P4_6 | IO | — | TOD12A | — | TOD12B | — | TOE32 | TIF6 | APA6 | — | CTX0 | — | — | — | — |
| P4_7 | IO | — | TOD13A | — | TOD13B | — | TOE00 | TIF7 | APA7 | — | CSIH2TS | — | — | — | — |
| P4_8 | IO | — | TOD40A | — | TOD40B | — | TOE01 | TIF8 | APA8 | — | — | CSIH2TSO | — | — | — |
| P4_9 | IO | — | TOD41A | — | TOD41B | — | TOE02 | TIF9 | APA9 | CRX3 | — | CSIH2TSC K | CSIH2TSC K | — | — |
| P4_10 | IO | — | TOD42A | — | TOD42B | — | TOE03 | TIF10 | APA10 | — | CTX3 | — | CSIH2TCS S0 | — | — |
| P4_11 | IO | — | TOD43A | — | TOD43B | — | TOE10 | TIF11 | APA11 | — | — | — | CSIH2TCS S1 | — | — |
| P4_12 | IO | TIOC42 | TIOC42 | — | — | — | TOE11 | — | APA12 | SCI0RXD | — | — | CSIH2TCS S2 | — | — |
| P4_13 | IO | TIOC43 | TIOC43 | — | — | — | TOE12 | — | APA13 | — | SCI1TXD | — | CSIH2TCS S3 | — | — |
| P4_14 | IO | — | TOD20B | — | — | — | TOE13 | — | APA14 | CRX1 | — | — | — | — | — |
| P4_15 | IO | — | TOD21B | — | — | — | TOE40 | — | APA15 | — | CTX1 | — | — | — | ERRORO T_C |

表 2.46 E1L-BGA252、QFP176 ポートグループ5 端子兼用機能一覧 (1/2)

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|--------------|--------------|
| | 汎用入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | |
| P5_0 | IO | TIF0B | TOE41 | — | TOD20B | TIOC00 | TIOC00 | — | — | CRX0 | — | SCI1RXD | — | — | — |
| P5_1 | IO | TIF1B | TOE42 | — | TOD21B | TIOC01 | TIOC01 | — | — | — | CTX0 | — | SCI1TXD | — | — |
| P5_2 | IO | TIF2B | TOE43 | — | TOD22B | TIOC02 | TIOC02 | ESO2 | — | SCI0RXD | — | SCI1SCK | SCI1SCK | — | — |
| P5_3 | IO | TIF6 | — | — | TOD23B | TIOC03 | TIOC03 | — | — | CRX1 | — | SCI2RXD | — | — | — |
| P5_4 | IO | TIF7 | — | — | TOD30B | TIOC10 | TIOC10 | — | — | — | CTX1 | — | SCI2TXD | DSADTRG 1 | — |
| P5_5 | IO | TIF8 | TOE20 | — | TOD31B | TIOC11 | TIOC11 | — | — | — | SCI0TXD | SCI2SCK | SCI2SCK | — | DSADEND 1 |
| P5_6 | IO | TIF9 | TOE21 | — | TOD32B | TIOC12 | TIOC12 | LRX0 | — | CRX2 | — | — | — | DSADTRG 0 | — |

表 2.46 E1L-BGA252、QFP176 ポートグループ 5 端子兼用機能一覧 (2/2)

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|------|---------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|
| | 汎入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | |
| P5_7 | IO | TIF10 | TOE22 | — | TOD33B | TIOC13 | TIOC13 | — | LTX0 | — | CTX2 | SCI9SCK | SCI3SCK | — | DSADEND0 |
| P5_8 | IO | TIF11 | TOE23 | TU2 | — | TIOC40 | TIOC40 | — | — | — | — | SCI9RxD | — | — | — |
| P5_9 | IO | — | TOE33 | TU3 | — | TIOC41 | TIOC41 | — | — | — | — | SCI3TXD | — | — | — |

表 2.47 E1L-BGA252、QFP176 ポートグループ 11 端子兼用機能一覧

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|-------|---------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|------|
| | 汎入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | |
| P11_0 | IO | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| P11_1 | IO | — | — | — | TOD22B | — | — | — | TOE33 | — | — | — | — | — | — |

表 2.48 E1L-BGA252、QFP176 ポートグループ 13 端子兼用機能一覧

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|-------|---------|---------|----------|---------|----------|---------|----------|---------|------------|---------|----------|---------|----------|---------|------------|
| | 汎入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | |
| P13_0 | IO | — | — | — | — | — | — | — | RHSB0CS D0 | — | — | — | — | — | — |
| P13_1 | IO | — | — | — | — | — | — | — | RHSB0CS D1 | — | — | — | — | — | — |
| P13_2 | IO | — | — | — | — | — | — | — | RHSB0S10 | — | — | — | — | — | — |
| P13_3 | IO | — | — | — | — | — | — | — | RHSB0S11 | — | — | — | — | — | — |
| P13_4 | IO | — | — | — | — | — | — | — | RHSB0EM RG | — | — | — | — | — | ERROROUT_C |

表 2.49 E1L-BGA252、QFP176 ポートグループ 14 端子兼用機能一覧 (1/2)

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|-------|---------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|-------|
| | 汎入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | |
| P14_0 | I | TIF0A | — | — | — | — | — | — | — | — | — | — | — | — | AN020 |
| P14_1 | I | TIF1A | — | — | — | — | — | — | — | — | — | — | — | — | AN021 |
| P14_2 | I | TIF2A | — | — | — | — | — | — | — | — | — | — | — | — | AN022 |
| P14_3 | I | TIF0B | — | TIA00 | — | — | — | — | — | — | — | — | — | — | AN023 |
| P14_4 | I | TIF1B | — | TIA01 | — | — | — | — | — | — | — | — | — | — | AN030 |
| P14_5 | I | TIF2B | — | TIA02 | — | — | — | — | — | — | — | — | — | — | AN031 |
| P14_6 | I | TIF3 | — | — | — | — | — | — | — | — | — | — | — | — | AN032 |
| P14_7 | I | TIF4 | — | TIA03 | — | — | — | — | — | — | — | — | — | — | AN033 |

表 2.49 E1L-BGA252、QFP176 ポートグループ 14 端子兼用機能一覧 (2/2)

| ポート | 汎入出力 ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|--------|-------------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|-------|
| | | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | ALT_OUT7 | |
| P14_8 | I | TIF5 | — | TIA04 | — | — | — | — | — | — | — | — | — | — | — | AN040 |
| P14_9 | I | TIF6 | — | TIA05 | — | — | — | — | — | — | — | — | — | — | — | AN041 |
| P14_10 | I | TIF7 | — | TIJ2 | — | — | — | — | — | — | — | — | — | — | — | AN042 |
| P14_11 | I | TIF8 | — | TIJ3 | — | — | — | — | — | — | — | — | — | — | — | AN043 |
| P14_12 | I | TIF9 | — | — | — | — | — | — | — | — | — | — | — | — | — | AN010 |
| P14_13 | I | TIF10 | — | TIJ0 | — | — | — | — | — | — | — | — | — | — | — | AN011 |
| P14_14 | I | TIF11 | — | — | — | — | — | — | — | — | — | — | — | — | — | AN012 |
| P14_15 | I | — | — | TIJ1 | — | — | — | — | — | — | — | — | — | — | — | AN013 |

表 2.50 E1L-BGA252、QFP176 ポートグループ 16 端子兼用機能一覧

| ポート | 汎入出力 ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|-------|-------------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|-------|
| | | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | ALT_OUT7 | |
| P16_0 | I | — | — | — | — | — | — | — | — | — | — | — | — | — | — | AN150 |
| P16_1 | I | — | — | — | — | — | — | — | — | — | — | — | — | — | — | AN151 |
| P16_2 | I | — | — | — | — | — | — | — | — | — | — | — | — | — | — | AN160 |
| P16_3 | I | — | — | — | — | — | — | — | — | — | — | — | — | — | — | AN161 |
| P16_4 | I | — | — | — | — | — | — | — | — | — | — | — | — | — | — | AN170 |
| P16_5 | I | — | — | — | — | — | — | — | — | — | — | — | — | — | — | AN171 |

表 2.51 E1L-BGA252、QFP176 ポートグループ 17 端子兼用機能一覧

| ポート | 汎入出力 ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|-------|-------------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|------------------------|
| | | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | ALT_OUT7 | |
| P17_0 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | RHSB0SOP, RHSB0SON |
| P17_1 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | RHSB0FLP, RHSB0FCLN |

2.2.1.3 E1L-QFP144 端子兼用機能一覧

各ポートの端子兼用機能一覧を、**表 2.52**～**表 2.59**に示します。表の“—”の記載はリザーブですので、選択しないでください。

表 2.52 E1L-QFP144 ポートグループ0 端子兼用機能一覧

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|-------|---------|---------|----------|---------|----------|---------|----------|---------|---------------|----------------|----------|---------|----------|---------|------|
| | 汎入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | |
| P0_0 | IO | — | — | — | — | — | — | — | — | CSIH0TSI | — | SCI0RXD | — | — | — |
| P0_1 | IO | — | — | — | — | — | — | — | — | CSH0TSO | — | — | SCI0TxD | — | — |
| P0_2 | IO | — | — | — | — | — | — | — | CSIH0TSC K | CSIH0TSC K | — | SCI0SCK | — | — | — |
| P0_3 | IO | — | — | — | — | — | — | — | — | CSIH0TCS S0 | — | CRX2 | — | IRQ0 | — |
| P0_4 | IO | — | — | — | — | — | — | — | — | CSIH0TCS S1 | — | — | CTX2 | IRQ1 | — |
| P0_6 | IO | — | — | — | — | — | — | — | — | — | — | — | — | IRQ3 | — |
| P0_8 | IO | TIA00 | — | — | — | — | — | — | — | — | — | — | — | IRQ5 | — |
| P0_11 | IO | TIA03 | — | — | TOD00B | — | — | — | — | — | — | — | — | — | — |
| P0_12 | IO | TIA04 | — | — | TOD01B | — | — | — | — | — | — | — | — | — | — |

表 2.53 E1L-QFP144 ポートグループ1 端子兼用機能一覧

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|-------|---------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|------|
| | 汎入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | |
| P1_0 | IO | — | TOD20A | — | TOD20B | — | TOE00 | — | APA0 | — | — | SCI0RXD | — | — | — |
| P1_1 | IO | — | TOD21A | — | TOD21B | — | TOE01 | — | APA1 | — | TSO00 | — | SCI0TxD | — | — |
| P1_2 | IO | — | TOD22A | — | TOD22B | — | TOE02 | — | APA2 | — | TSO01 | — | — | — | — |
| P1_5 | IO | — | TOD31A | — | TOD31B | — | TOE41 | — | APA5 | — | TSO04 | — | — | — | — |
| P1_6 | IO | — | TOD32A | — | TOD32B | — | TOE42 | — | APA6 | — | TSO05 | — | — | — | — |
| P1_8 | IO | — | — | — | — | — | TOE20 | — | APA8 | — | TSO07 | — | — | — | — |
| P1_10 | IO | — | — | — | — | — | TOE22 | — | APA10 | — | — | — | — | — | — |
| P1_11 | IO | — | — | — | — | — | TOE23 | — | APA11 | — | — | — | — | — | — |
| P1_12 | IO | — | — | — | — | — | TOE30 | — | APA12 | — | — | — | — | — | — |
| P1_13 | IO | — | — | — | — | — | TOE31 | — | APA13 | — | — | — | — | — | — |
| P1_14 | IO | — | — | — | — | — | TOE32 | — | APA14 | — | — | — | — | — | — |
| P1_15 | IO | — | — | — | — | — | TOE33 | — | APA15 | — | — | — | — | — | — |

表 2.54 E1L-QFP144 ポートグループ 2 端子兼用機能一覧

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 | |
|------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|------|----------|
| | 汎用入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | | ALT_OUT7 |
| P2_1 | IO | TIA01 | — | — | TOD01B | TIOC13 | TIOC13 | — | — | — | — | — | — | IRQ1 | — | — |
| P2_2 | IO | TIA02 | — | — | TOD02B | TIOC20 | TIOC20 | — | — | — | — | — | — | IRQ2 | — | — |
| P2_3 | IO | TIA03 | — | — | TOD03B | TIOC21 | TIOC21 | — | — | — | — | — | — | IRQ3 | — | — |
| P2_4 | IO | TIA04 | TOE10 | — | TOD10B | TIOC22 | TIOC22 | — | — | CRX3 | — | — | — | IRQ4 | — | — |
| P2_5 | IO | TIA05 | TOE11 | — | TOD11B | TIOC23 | TIOC23 | — | — | — | CTX3 | — | — | IRQ5 | — | — |

表 2.55 E1L-QFP144 ポートグループ 3 端子兼用機能一覧

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 | |
|------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|------|----------|
| | 汎用入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | | ALT_OUT7 |
| P3_0 | IO | TIFOA | — | — | TOD30B | TIOC32 | TIOC32 | — | — | CRX1 | — | SCI1RXD | — | — | — | — |
| P3_1 | IO | TIF1A | — | — | TOD31B | TIOC33 | TIOC33 | — | — | — | CTX1 | — | SCI1TXD | — | — | — |
| P3_2 | IO | TIF2A | — | — | TOD32B | TIOC40 | TIOC40 | ADTRG1 | — | CRX2 | — | SCI2RXD | — | — | — | — |
| P3_3 | IO | TIF3 | — | — | TOD33B | TIOC41 | TIOC41 | — | ADEND1 | — | CTX2 | — | SCI2TXD | — | — | — |
| P3_5 | IO | TIF5 | — | — | — | TIOC43 | TIOC43 | — | ADEND0 | — | — | — | — | — | — | — |

表 2.56 E1L-QFP144 ポートグループ 4 端子兼用機能一覧

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 | |
|-------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------------|---------|----------|---------|------|----------------|
| | 汎用入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | | ALT_OUT7 |
| P4_0 | IO | — | TOD00A | — | TOD00B | TIOC20 | TIOC20 | TIFOA | APA0 | — | ERROROU T_C | — | — | — | — | — |
| P4_1 | IO | — | TOD01A | — | TOD01B | TIOC21 | TIOC21 | TIF1A | APA1 | — | — | — | — | — | — | — |
| P4_2 | IO | — | TOD02A | — | TOD02B | TIOC22 | TIOC22 | TIF2A | APA2 | — | — | — | — | — | — | — |
| P4_3 | IO | — | TOD03A | — | TOD03B | TIOC23 | TIOC23 | TIF3 | APA3 | — | — | — | — | — | — | — |
| P4_5 | IO | — | TOD11A | — | TOD11B | — | TOE31 | TIF5 | APA5 | CRX0 | — | — | — | — | — | — |
| P4_6 | IO | — | TOD12A | — | TOD12B | — | TOE32 | TIF6 | APA6 | — | CTX0 | — | — | — | — | — |
| P4_7 | IO | — | TOD13A | — | TOD13B | — | TOE00 | TIF7 | APA7 | — | — | — | — | — | — | — |
| P4_8 | IO | — | TOD40A | — | TOD40B | — | TOE01 | — | APA8 | — | — | — | — | — | — | — |
| P4_11 | IO | — | TOD43A | — | TOD43B | — | TOE10 | — | APA11 | — | — | — | — | — | — | — |
| P4_12 | IO | TIOC42 | TIOC42 | — | — | — | TOE11 | — | APA12 | SCI1RXD | — | — | — | — | — | — |
| P4_13 | IO | TIOC43 | TIOC43 | — | — | — | TOE12 | — | APA13 | — | SCI1TXD | — | — | — | — | — |
| P4_14 | IO | — | TOD20B | — | — | — | TOE13 | — | APA14 | CRX1 | — | — | — | — | — | — |
| P4_15 | IO | — | TOD21B | — | — | — | TOE40 | — | APA15 | — | CTX1 | — | — | — | — | ERROROU T_C |

表 2.57 E1L-QFP144 ポートグループ5 端子兼用機能一覧

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|----------------------|----------------------|
| | 汎用入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | |
| P5_2 | IO | TIF2B | TOE43 | — | TOD22B | TIOC02 | TIOC02 | — | — | SCI0RXD | — | — | — | POD | — |
| P5_3 | IO | TIF6 | — | TIJ0 | TOD23B | TIOC03 | TIOC03 | — | — | CRX1 | — | SCI2RXD | — | — | — |
| P5_4 | IO | TIF7 | — | TIJ1 | TOD30B | TIOC10 | TIOC10 | — | — | — | CTX1 | — | SCI2TXD | DSADTRG ₁ | — |
| P5_5 | IO | — | TOE20 | — | TOD31B | TIOC11 | TIOC11 | — | — | — | SCI0TXD | SCI2SCK | SCI2SCK | — | DSADEND ₁ |
| P5_6 | IO | — | TOE21 | — | TOD32B | TIOC12 | TIOC12 | LRX0 | — | CRX2 | — | — | — | — | — |
| P5_7 | IO | — | TOE22 | — | TOD33B | TIOC13 | TIOC13 | — | LTX0 | — | CTX2 | — | — | — | — |

表 2.58 E1L-QFP144 ポートグループ13 端子兼用機能一覧

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|-------|----------|---------|----------|---------|----------|---------|----------|---------|----------|----------|---------------|---------------|----------------|---------|------|
| | 汎用入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | |
| P13_0 | IO | — | — | — | — | — | — | — | — | — | RHSB0CS D0 | CSIH1TSI | — | — | — |
| P13_1 | IO | — | — | — | — | — | — | — | — | — | RHSB0CS D1 | — | CSIH1TSO | — | — |
| P13_2 | IO | — | — | — | — | — | — | — | — | RHSB0S10 | — | CSIH1TSC K | CSIH1TSC K | — | — |
| P13_3 | IO | — | — | — | — | — | — | — | — | RHSB0S11 | — | — | CSIH1TCS S0 | — | — |

表 2.59 E1L-QFP144 ポートグループ14 端子兼用機能一覧 (1/2)

| ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|--------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|-------|
| | 汎用入出力ポート | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | |
| P14_1 | I | TIF1A | — | — | — | — | — | — | — | — | — | — | — | — | AN021 |
| P14_2 | I | TIF2A | — | — | — | — | — | — | — | — | — | — | — | — | AN022 |
| P14_3 | I | TIF0B | — | TIA00 | — | — | — | — | — | — | — | — | — | — | AN023 |
| P14_4 | I | TIF1B | — | TIA01 | — | — | — | — | — | — | — | — | — | — | AN030 |
| P14_5 | I | TIF2B | — | TIA02 | — | — | — | — | — | — | — | — | — | — | AN031 |
| P14_7 | I | TIF4 | — | TIA03 | — | — | — | — | — | — | — | — | — | — | AN033 |
| P14_8 | I | TIF5 | — | TIA04 | — | — | — | — | — | — | — | — | — | — | AN040 |
| P14_9 | I | TIF6 | — | TIA05 | — | — | — | — | — | — | — | — | — | — | AN041 |
| P14_10 | I | TIF7 | — | — | — | — | — | — | — | — | — | — | — | — | AN042 |
| P14_11 | I | — | — | — | — | — | — | — | — | — | — | — | — | — | AN043 |
| P14_12 | I | — | — | — | — | — | — | — | — | — | — | — | — | — | AN010 |
| P14_13 | I | — | — | TIJ0 | — | — | — | — | — | — | — | — | — | — | AN011 |

表 2.59 E1L-QFP144 ポートグループ14 端子兼用機能一覧 (2/2)

| ポート | 汎入出力 ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|--------|-------------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|-------|
| | | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | ALT_OUT7 | |
| P14_14 | I | - | - | - | - | - | - | - | - | - | - | - | - | - | - | AN012 |
| P14_15 | I | - | - | TU1 | - | - | - | - | - | - | - | - | - | - | - | AN013 |

表 2.60 E1L-QFP144 ポートグループ16 端子兼用機能一覧

| ポート | 汎入出力 ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|-------|-------------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|-------|
| | | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | ALT_OUT7 | |
| P16_0 | I | - | - | - | - | - | - | - | - | - | - | - | - | - | - | AN150 |
| P16_1 | I | - | - | - | - | - | - | - | - | - | - | - | - | - | - | AN151 |
| P16_2 | I | - | - | - | - | - | - | - | - | - | - | - | - | - | - | AN160 |
| P16_3 | I | - | - | - | - | - | - | - | - | - | - | - | - | - | - | AN161 |
| P16_4 | I | - | - | - | - | - | - | - | - | - | - | - | - | - | - | AN170 |
| P16_5 | I | - | - | - | - | - | - | - | - | - | - | - | - | - | - | AN171 |

表 2.61 E1L-QFP144 ポートグループ17 端子兼用機能一覧

| ポート | 汎入出力 ポート | 第1兼用 | | 第2兼用 | | 第3兼用 | | 第4兼用 | | 第5兼用 | | 第6兼用 | | 第7兼用 | | 専用機能 |
|-------|-------------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|-------------------------|
| | | ALT_IN1 | ALT_OUT1 | ALT_IN2 | ALT_OUT2 | ALT_IN3 | ALT_OUT3 | ALT_IN4 | ALT_OUT4 | ALT_IN5 | ALT_OUT5 | ALT_IN6 | ALT_OUT6 | ALT_IN7 | ALT_OUT7 | |
| P17_0 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | RHSB0SOP, RHSB0SON |
| P17_1 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | RHSB0FCLP, RHSB0FCLN |

2.3 DNF

Digital Noise Filter（以下 DNF）は、製品外部からの入力信号に対してデジタルノイズ除去を実現します。本製品には周辺機能 DNF と、エッジ検出 DNF の 2 種類を搭載しています。

2.3.1 ノイズ除去例

周辺機能 DNF とエッジ検出 DNF のノイズ除去例を、**図 2.7** に示します。この例では、サンプリングクロックを DNF 入力クロックの 1/2、サンプリング回数を 2 回に設定し、現状の出力レベルをロウレベルにしています。また、図の○は、ハイレベルを検出したことを意味しています。

入力例 1、2、3 では 2 回連続で同一レベルが検出されたことにより、出力がロウレベル→ハイレベルに変化します。入力例 4、5、6 では 2 回連続で同一レベルが検出されず、結果としてノイズとみなされたことにより、入力信号の状態が除去されていることを示します。

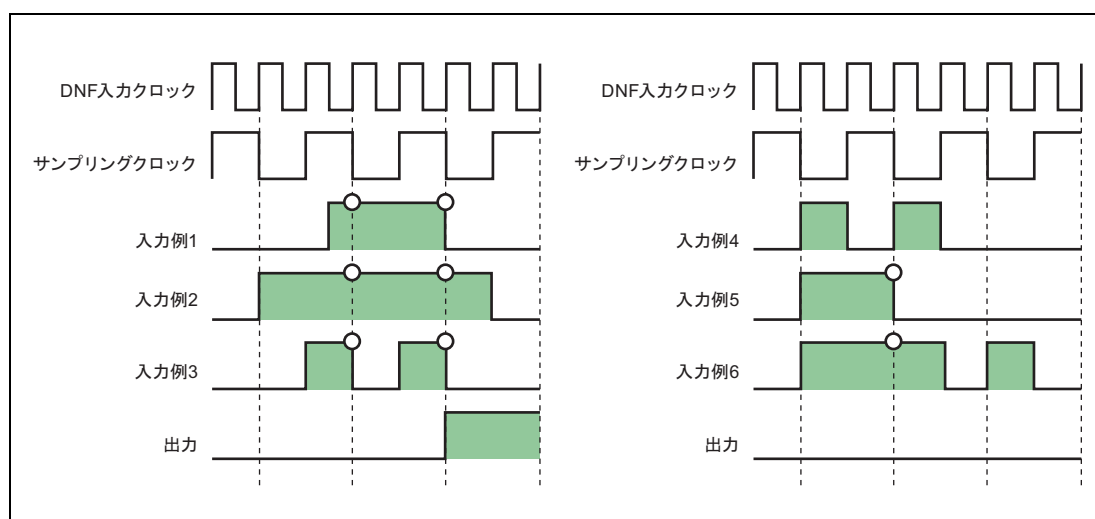


図 2.7 デジタルノイズ除去タイミングチャート

2.3.2 周辺機能 DNF

2.3.2.1 機能概要

周辺機能の入力機能端子に対してノイズ除去を実現します。

周辺機能 DNF は以下の機能を持っています。

- デジタルノイズを入力信号から取り除き、ノイズが取り除かれた信号を出力します。
- デジタルノイズ除去信号またはデジタルノイズ非除去信号のどちらを出力するか選択する機能を持ちます。
- デジタルノイズ除去幅は、サンプリングクロックの 2、3、4、5 回分の中から選択することができます。
- 5 タイプのサンプリング周波数を選択することができます。サンプリング周波数は以下のとおりです。
DNF 入力クロックの 1/1、1/2、1/4、1/8、1/16 分周
- ノイズ除去条件を 1 チャンネル毎にレジスタ設定できます。
- DNF グループ番号 0 の DNF 入力クロックは低速周辺クロックです。
- DNF グループ番号 1 の DNF 入力クロックは非変調高速周辺クロックです。

2.3.2.2 制御レジスタ詳細

周辺機能 DNF のベースアドレスを表 2.62 に示します。n は DNF グループ番号を意味します。

表 2.62 周辺機能検出 DNF のベースアドレス

| DNFn | <DNFn_base> アドレス |
|------|------------------|
| DNF0 | FFC3 0000 |
| DNF1 | FFC3 0100 |

2.3.2.3 DNFP01nCTLm — デジタルノイズ除去コントロールレジスタ

DNF グループ番号 n 、チャンネル番号 m のノイズ除去条件を設定するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス $\langle \text{DNFn_base} \rangle + 4_{\text{H}} \times m$ (m : チャンネル番号)

リセット後の値 00_{H}

| | | | | | | | | |
|---------|------|-----------|-----|---|---|----------|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | NFEN | SLST[1:0] | | — | — | PRS[2:0] | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R | R | R/W | R/W | R/W |

表 2.63 DNFP01nCTLm レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|--|
| 7 | NFEN | デジタルノイズ除去許可/禁止設定 0: デジタルノイズ除去しない 1: デジタルノイズ除去する |
| 6、5 | SLST[1:0] | デジタルノイズ除去サンプリング回数設定 00: 2回 01: 3回 10: 4回 11: 5回 |
| 4、3 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 2～0 | PRS[2:0] | デジタルノイズ除去サンプリングクロック分周比設定 000: DNF 入力クロック / 1 001: DNF 入力クロック / 2 010: DNF 入力クロック / 4 011: DNF 入力クロック / 8 100: DNF 入力クロック / 16 上記以外: 設定禁止 |

2.3.2.4 周辺機能 DNF の設定手順

周辺機能 DNF の設定手順を示します。(4) と (5) の期間に製品端子への入力レベルが変化すると、予期しない信号が周辺機能に入力される可能性があるため、(6) で周辺機能側のフラグクリア等を実施してください。

- (1) DNFP01nCTLm レジスタの [2:0]PRS2-0 と [6:5]SLST1-0 を設定する。
- (2) DNFP01nCTLm レジスタの [7]NFEN をセットする。上記 (1) と同時設定可。
- (3) ポートレジスタを設定して兼用機能を選択する。
- (4) サンプリングクロック × サンプリング回数 + DNF 入力クロック × 2 の時間待機する。
- (5) DNF 接続先の周辺機能の動作を許可する。
- (6) 周辺機能のフラグクリア等。

また、DNF が動作している状態から設定を変更する場合、DNFP01nCTLm レジスタの [7]NFEN をクリアしてから、上記 (1) ～ (6) の手順で再設定してください。

2.3.2.5 DNF 挿入対象の周辺機能端子

DNF 挿入対象は以下の信号です。

表 2.64 DNF 挿入対象

| DNF グループ番号 n | DNF チャンネル番号 m | DNF 挿入対象端子 | | | BGA252 | QFP176 | QFP144 |
|--------------------|---------------------|------------|-------------------------------|-------------------|--------|--------|--------|
| | | 端子名 | 端子機能 | 周辺機能 | | | |
| 0 | 0 | IRQ0 | 外部割り込み入力 | INTC | ○ | ○ | ○ |
| | 1 | IRQ1 | 外部割り込み入力 | INTC | ○ | ○ | ○ |
| | 2 | IRQ2 | 外部割り込み入力 | INTC | ○ | ○ | ○ |
| | 3 | IRQ3 | 外部割り込み入力 | INTC | ○ | ○ | ○ |
| | 4 | IRQ4 | 外部割り込み入力 | INTC | ○ | ○ | ○ |
| | 5 | IRQ5 | 外部割り込み入力 | INTC | ○ | ○ | ○ |
| | 6 | IRQ6 | 外部割り込み入力 | INTC | ○ | ○ | — |
| | 7 | IRQ7 | 外部割り込み入力 | INTC | ○ | ○ | — |
| | 10 | ESO2 | 緊急時 Hiz 要求入力 (TSG20 PWM 用) | TAPA2 (PIC 経由) | ○ | ○ | — |
| 1 | 0 | ADTRG0 | SAR-AD 変換起動トリガ 入力 | SAR-AD0 | ○ | ○ | — |
| | 1 | ADTRG1 | SAR-AD 変換起動トリガ 入力 | SAR-AD1 | ○ | ○ | ○ |
| | 2 | TAPTS00 | ホールセンサー入力 | TSG20 | ○ | ○ | — |
| | 3 | TAPTS01 | ホールセンサー入力 | TSG20 | ○ | ○ | — |
| | 4 | TAPTS02 | ホールセンサー入力 | TSG20 | ○ | ○ | — |
| | 8 | RHSB0EMRG | 緊急信号入力 | RHSB0 | ○ | ○ | — |

2.3.3 エッジ検出 DNF

2.3.3.1 機能概要

端子入力信号の有効エッジを検出します。エッジ検出のための信号は、ノイズ除去前、ノイズ除去後のいずれかを選択できます。

エッジ検出 DNF は以下の機能を持っています。

- デジタルノイズを入力信号から取り除き、ノイズが取り除かれた信号のエッジを検出します。
- デジタルノイズ除去信号またはデジタルノイズ非除去信号の、どちらをエッジ検出するか選択する機能を持ちます。
- デジタルノイズ除去幅は、サンプリングクロックの2、3、4、5回分の中から選択することができます。
- 5タイプのサンプリング周波数を選択することができます。サンプリング周波数は以下のとおりです。
DNF 入力クロックの 1/1、1/2、1/4、1/8、1/16 分周
- デジタルノイズ除去条件は、DNF グループ単位で全チャンネル一括設定できます。
- DNF 入力クロックは低速周辺クロックです。

2.3.3.2 制御レジスタ詳細

エッジ検出 DNF のベースアドレスを表 2.65 に示します。n は DNF グループ番号を意味します。

表 2.65 エッジ検出 DNF のベースアドレス

| DNFn | <DNFn_base> アドレス | BGA252 | QFP176 | QFP144 |
|------|------------------|--------|--------|--------|
| DNF2 | FFC3 0200 | ○ | ○ | ○ |
| DNF3 | FFC3 0300 | ○ | ○ | ○ |
| DNF4 | FFC3 0400 | ○ | ○ | ○ |
| DNF6 | FFC3 0600 | ○ | ○ | ○ |
| DNF7 | FFC3 0700 | ○ | ○ | ○ |

2.3.3.3 DNFP02nCTL — デジタルノイズ除去コントロールレジスタ

DNF グループ番号 n の全チャンネル共通のノイズ除去条件を設定するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <DNFn_base> + 00_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|-----------|-----|---|---|----------|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | SLST[1:0] | | — | — | PRS[2:0] | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R | R | R/W | R/W | R/W |

表 2.66 DNFP02nCTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|--|
| 7 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 6、5 | SLST[1:0] | デジタルノイズ除去サンプリング回数設定 00 : 2回 01 : 3回 10 : 4回 11 : 5回 |
| 4、3 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 2～0 | PRS[2:0] | デジタルノイズ除去サンプリングクロック分周比設定 000 : DNF 入力クロック / 1 001 : DNF 入力クロック / 2 010 : DNF 入力クロック / 4 011 : DNF 入力クロック / 8 100 : DNF 入力クロック / 16 上記以外 : 設定禁止 |

2.3.3.4 DNFP02nEDCm — エッジ検出制御レジスタ

DNF グループ番号 n 、チャンネル番号 m のエッジ検出制御を設定するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス $\langle \text{DNFn_base} \rangle + 4_{\text{H}} + 8_{\text{H}} \times m$ (m : チャンネル番号)

リセット後の値 00_{H}

| | | | | | | | | |
|---------|------|---|---|----------|-----|---|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | NFEN | — | — | DMD[1:0] | | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R | R | R/W | R/W | R | R | R |

表 2.67 DNFP02nEDCm レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 | NFEN | デジタルノイズ除去許可/禁止設定 0: デジタルノイズ除去していない信号でエッジ検出する 1: デジタルノイズ除去した信号でエッジ検出する |
| 6、5 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 4、3 | DMD[1:0] | エッジ検出許可/検出エッジ設定ビット 00: エッジ検出禁止 01: 立ち上がりエッジ検出 10: 立ち下がりエッジ検出 11: 両エッジ検出 |
| 2~0 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |

2.3.3.5 DNFP02nEDFm — エッジ検出フラグレジスタ

DNF グループ番号 n 、チャンネル番号 m のエッジ検出フラグとフラグクリアビットを有するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス $\langle \text{DNFn_base} \rangle + 8_{\text{H}} + 8_{\text{H}} \times m$ (m : チャンネル番号)

リセット後の値 00_{H}

| | | | | | | | | |
|---------|-----|---|---|---|---|---|---|------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | EDF | — | — | — | — | — | — | CLED |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 2.68 DNFP02nEDFm レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 7 | EDF | 本ビットにチャンネル番号 m の検出エッジ設定によるエッジ検出結果を保持します。本ビットは、CLED ビットに 1 を書き込むことでクリアされ、クリアされない限り 1 を保持します。1 を保持している状態でエッジが検出されても状態は変化しません。 0: 有効エッジを検出していない 1: 有効エッジを検出した |
| 6 ~ 1 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 0 | CLED | 1 を書き込むと、ビット 7: EDF のステータス・フラグをクリアします。1 書き込みとビット 7 のセット要因が競合した際には、EDF のクリアが優先されます。0 書き込みを行っても状態は変化しません。また、読み出し値は常に 0 です。 |

2.3.3.6 エッジ検出 DNF の設定手順

エッジ検出 DNF の設定手順を示します。デジタルノイズ除去しない信号でエッジ検出する場合、(*) は不要です。(4) と (5) の期間に製品端子への入力レベルが変化すると、予期しないエッジを検出する可能性があるため、(6) でエッジ検出フラグをクリアしてください。

- (1) DNFP02nCTL レジスタの [2:0]PRS2-0 と [6:5]SLST1-0 を設定する。(*)
- (2) DNFP02nEDCm レジスタの [7]NFEN を設定する。
- (3) ポートレジスタを汎用入力ポートモードに設定する。
- (4) サンプリングクロック × サンプリング回数 + DNF 入力クロック × 2 の時間待機する。
(*)
- (5) DNFP02nEDCm レジスタの [4:3]DMD1-0 でエッジ検出を有効にする。
- (6) DNFP02nEDFm レジスタの [0]CLED でエッジ検出フラグをクリアする。

また、エッジ検出 DNF が動作している状態から設定を変更する場合、DNFP02nEDCm レジスタの [4:3]DMD1-0 を 00B に設定してから、上記 (1) ~ (6) の手順で再設定してください。

2.3.3.7 DNF 挿入対象の Pn_m 端子

エッジ検出 DNF の対象は以下の端子です。表の“○”はサポート機能、“—”は非サポート機能を意味します。非サポートのレジスタは、リセット後の値から設定を変更しないでください。

表 2.69 DNF 挿入対象 (1/2)

| DNF グループ番号 n | DNF チャンネル番号 m | 端子名 | BGA252 | QFP176 | QFP144 |
|-----------------|------------------|-------|--------|--------|--------|
| 2 | 0 | P2_0 | ○ | ○ | — |
| | 1 | P2_1 | ○ | ○ | ○ |
| | 2 | P2_2 | ○ | ○ | ○ |
| | 3 | P2_3 | ○ | ○ | ○ |
| | 4 | P2_4 | ○ | ○ | ○ |
| | 5 | P2_5 | ○ | ○ | ○ |
| | 6 | P2_6 | ○ | ○ | — |
| 3 | 7 | P2_7 | ○ | ○ | — |
| | 0 | P3_0 | ○ | ○ | ○ |
| | 1 | P3_1 | ○ | ○ | ○ |
| | 2 | P3_2 | ○ | ○ | ○ |
| | 3 | P3_3 | ○ | ○ | ○ |
| | 4 | P3_4 | ○ | ○ | — |
| | 5 | P3_5 | ○ | ○ | ○ |
| 4 | 6 | P3_6 | ○ | ○ | — |
| | 0 | P4_0 | ○ | ○ | ○ |
| | 1 | P4_1 | ○ | ○ | ○ |
| | 2 | P4_2 | ○ | ○ | ○ |
| | 3 | P4_3 | ○ | ○ | ○ |
| | 4 | P4_4 | ○ | ○ | — |
| | 5 | P4_5 | ○ | ○ | ○ |
| | 6 | P4_6 | ○ | ○ | ○ |
| | 7 | P4_7 | ○ | ○ | ○ |
| | 8 | P4_8 | ○ | ○ | ○ |
| | 9 | P4_9 | ○ | ○ | — |
| | 10 | P4_10 | ○ | ○ | — |
| | 11 | P4_11 | ○ | ○ | ○ |
| | 12 | P4_12 | ○ | ○ | ○ |
| | 13 | P4_13 | ○ | ○ | ○ |
| 14 | P4_14 | ○ | ○ | ○ | |
| 15 | P4_15 | ○ | ○ | ○ | |

表 2.69 DNF 挿入対象 (2/2)

| DNF グループ番号 n | DNF チャンネル番号 m | 端子名 | BGA252 | QFP176 | QFP144 |
|-----------------|------------------|--------|--------|--------|--------|
| 6 | 0 | P14_0 | ○ | ○ | — |
| | 1 | P14_1 | ○ | ○ | ○ |
| | 2 | P14_2 | ○ | ○ | ○ |
| | 3 | P14_3 | ○ | ○ | ○ |
| | 4 | P14_4 | ○ | ○ | ○ |
| | 5 | P14_5 | ○ | ○ | ○ |
| | 6 | P14_6 | ○ | ○ | — |
| | 7 | P14_7 | ○ | ○ | ○ |
| | 8 | P14_8 | ○ | ○ | ○ |
| | 9 | P14_9 | ○ | ○ | ○ |
| | 10 | P14_10 | ○ | ○ | ○ |
| | 11 | P14_11 | ○ | ○ | ○ |
| | 12 | P14_12 | ○ | ○ | ○ |
| | 13 | P14_13 | ○ | ○ | ○ |
| | 14 | P14_14 | ○ | ○ | ○ |
| | 15 | P14_15 | ○ | ○ | ○ |
| 7 | 0 | P16_0 | ○ | ○ | ○ |
| | 1 | P16_1 | ○ | ○ | ○ |
| | 2 | P16_2 | ○ | ○ | ○ |
| | 3 | P16_3 | ○ | ○ | ○ |
| | 4 | P16_4 | ○ | ○ | ○ |
| | 5 | P16_5 | ○ | ○ | ○ |

2.4 POD 制御

2.4.1 機能概要

$\overline{\text{POD}}$ (ポートアウトプットディスエーブル) 端子の入力レベルにより、表 2.71 に示す関連端子の出力バッファを制御できます。この機能は、対象となる端子が出力に設定されているとき、選択されている機能に関係なく常に有効となります。 $\overline{\text{POD}}$ 端子による出力バッファの制御は、バスサイクルとは非同期に行います。 $\overline{\text{POD}}$ 制御は、ポートレジスタの出力設定や、各 IP の出力指定に優先されます。リセットよりは優先度は低いです。

表 2.70 $\overline{\text{POD}}$ 端子の状態

| POD 端子状態 | 説明 |
|----------|--------------------|
| 0 | 端子出力無効 (ハイインピーダンス) |
| 1 | 端子出力有効 (各設定機能) |

表 2.71 $\overline{\text{POD}}$ 制御対象端子一覧 (1/2)

| ポートグループ | 端子名 | BGA252 | QFP176 | QFP144 |
|---------|-------|--------|--------|--------|
| P0 | P0_11 | ○ | ○ | ○ |
| | P0_12 | ○ | ○ | ○ |
| | P0_13 | ○ | ○ | — |
| | P0_14 | ○ | ○ | — |
| P1 | P1_0 | ○ | ○ | ○ |
| | P1_1 | ○ | ○ | ○ |
| | P1_2 | ○ | ○ | ○ |
| | P1_3 | ○ | ○ | — |
| | P1_4 | ○ | ○ | — |
| | P1_5 | ○ | ○ | ○ |
| | P1_6 | ○ | ○ | ○ |
| | P1_7 | ○ | ○ | — |
| | P1_8 | ○ | ○ | ○ |
| | P1_9 | ○ | ○ | — |
| | P1_10 | ○ | ○ | ○ |
| | P1_11 | ○ | ○ | ○ |
| | P1_12 | ○ | ○ | ○ |
| | P1_13 | ○ | ○ | ○ |
| | P1_14 | ○ | ○ | ○ |
| P1_15 | ○ | ○ | ○ | |
| P2 | P2_0 | ○ | ○ | — |
| | P2_1 | ○ | ○ | ○ |
| | P2_2 | ○ | ○ | ○ |
| | P2_3 | ○ | ○ | ○ |
| | P2_4 | ○ | ○ | ○ |
| | P2_5 | ○ | ○ | ○ |
| | P2_6 | ○ | ○ | — |
| | P2_7 | ○ | ○ | — |

表 2.71 POD 制御対象端子一覧 (2/2)

| ポートグループ | 端子名 | BGA252 | QFP176 | QFP144 |
|---------|-------|--------|--------|--------|
| P3 | P3_0 | ○ | ○ | ○ |
| | P3_1 | ○ | ○ | ○ |
| | P3_2 | ○ | ○ | ○ |
| | P3_3 | ○ | ○ | ○ |
| | P3_4 | ○ | ○ | — |
| | P3_5 | ○ | ○ | ○ |
| | P3_6 | ○ | ○ | — |
| P4 | P4_0 | ○ | ○ | ○ |
| | P4_1 | ○ | ○ | ○ |
| | P4_2 | ○ | ○ | ○ |
| | P4_3 | ○ | ○ | ○ |
| | P4_4 | ○ | ○ | — |
| | P4_5 | ○ | ○ | ○ |
| | P4_6 | ○ | ○ | ○ |
| | P4_7 | ○ | ○ | ○ |
| | P4_8 | ○ | ○ | ○ |
| | P4_9 | ○ | ○ | — |
| | P4_10 | ○ | ○ | — |
| | P4_11 | ○ | ○ | ○ |
| | P4_12 | ○ | ○ | ○ |
| | P4_13 | ○ | ○ | ○ |
| | P4_14 | ○ | ○ | ○ |
| P4_15 | ○ | ○ | ○ | |
| P5 | P5_0 | ○ | ○ | — |
| | P5_1 | ○ | ○ | — |
| | P5_3 | ○ | ○ | ○ |
| | P5_4 | ○ | ○ | ○ |
| | P5_5 | ○ | ○ | ○ |
| | P5_6 | ○ | ○ | ○ |
| | P5_7 | ○ | ○ | ○ |
| | P5_8 | ○ | ○ | — |
| | P5_9 | ○ | ○ | — |
| P11 | P11_1 | ○ | ○ | — |

2.5 端子説明

2.5.1 概要

本節では、端子機能および外部端子の一覧と、リセット時および各状態での外部端子の端子状態を示します。

2.5.2 端子機能一覧

各端子の機能を表 2.72 に示します。

表 2.72 端子機能 (1/11)

| 分類 | 端子名 | IO | 機能 | BGA252 QFP176 | QFP144 |
|---------------------|--------|----|---------------------------------------|------------------|--------|
| ATU-IV (共通部) | TCLKA | I | 外部クロック入力 | ○ | — |
| | TCLKB | I | 外部クロック入力 | ○ | — |
| ATU-IV (Timer A) | TIA00 | I | タイマ A の各チャンネルへのインプットキャプチャトリガ | ○ | ○ |
| | TIA01 | I | | ○ | ○ |
| | TIA02 | I | | ○ | ○ |
| | TIA03 | I | | ○ | ○ |
| | TIA04 | I | | ○ | ○ |
| | TIA05 | I | | ○ | ○ |
| ATU-IV (Timer C) | TIOC00 | IO | タイマ C へのインプットキャプチャトリガ、およびアウトプットコンペア出力 | ○ | — |
| | TIOC01 | IO | | ○ | — |
| | TIOC02 | IO | | ○ | ○ |
| | TIOC03 | IO | | ○ | ○ |
| | TIOC10 | IO | | ○ | ○ |
| | TIOC11 | IO | | ○ | ○ |
| | TIOC12 | IO | | ○ | ○ |
| | TIOC13 | IO | | ○ | ○ |
| | TIOC20 | IO | | ○ | ○ |
| | TIOC21 | IO | | ○ | ○ |
| | TIOC22 | IO | | ○ | ○ |
| | TIOC23 | IO | | ○ | ○ |
| | TIOC30 | IO | | ○ | — |
| | TIOC31 | IO | | ○ | — |
| | TIOC32 | IO | | ○ | ○ |
| | TIOC33 | IO | | ○ | ○ |
| | TIOC40 | IO | | ○ | ○ |
| | TIOC41 | IO | | ○ | ○ |
| | TIOC42 | IO | | ○ | ○ |
| | TIOC43 | IO | | ○ | ○ |
| TIOC50 | IO | ○ | — | | |
| TIOC51 | IO | ○ | — | | |
| TIOC52 | IO | ○ | — | | |
| TIOC53 | IO | ○ | — | | |

表 2.72 端子機能 (2/11)

| 分類 | 端子名 | IO | 機能 | BGA252 QFP176 | QFP144 | |
|---------------------|--------|----|--------------------|------------------|--------|---|
| ATU-IV (Timer D) | TOD00A | ○ | タイマ D のワンショットパルス出力 | ○ | ○ | |
| | TOD01A | ○ | | ○ | ○ | |
| | TOD02A | ○ | | ○ | ○ | |
| | TOD03A | ○ | | ○ | ○ | |
| | TOD10A | ○ | | ○ | — | |
| | TOD11A | ○ | | ○ | ○ | |
| | TOD12A | ○ | | ○ | ○ | |
| | TOD13A | ○ | | ○ | ○ | |
| | TOD20A | ○ | | ○ | ○ | |
| | TOD21A | ○ | | ○ | ○ | |
| | TOD22A | ○ | | ○ | ○ | |
| | TOD23A | ○ | | ○ | ○ | — |
| | TOD30A | ○ | | ○ | ○ | — |
| | TOD31A | ○ | | ○ | ○ | ○ |
| | TOD32A | ○ | | ○ | ○ | ○ |
| | TOD33A | ○ | | ○ | ○ | — |
| | TOD40A | ○ | | ○ | ○ | ○ |
| | TOD41A | ○ | | ○ | ○ | — |
| | TOD42A | ○ | | ○ | ○ | — |
| | TOD43A | ○ | | ○ | ○ | ○ |
| | TOD00B | ○ | | ○ | ○ | ○ |
| | TOD01B | ○ | | ○ | ○ | ○ |
| | TOD02B | ○ | | ○ | ○ | ○ |
| | TOD03B | ○ | | ○ | ○ | ○ |
| | TOD10B | ○ | | ○ | ○ | ○ |
| | TOD11B | ○ | | ○ | ○ | ○ |
| | TOD12B | ○ | | ○ | ○ | ○ |
| | TOD13B | ○ | | ○ | ○ | ○ |
| | TOD20B | ○ | | ○ | ○ | ○ |
| | TOD21B | ○ | | ○ | ○ | ○ |
| | TOD22B | ○ | | ○ | ○ | ○ |
| | TOD23B | ○ | | ○ | ○ | ○ |
| | TOD30B | ○ | | ○ | ○ | ○ |
| | TOD31B | ○ | | ○ | ○ | ○ |
| | TOD32B | ○ | | ○ | ○ | ○ |
| | TOD33B | ○ | | ○ | ○ | ○ |
| | TOD40B | ○ | | ○ | ○ | ○ |
| | TOD41B | ○ | | ○ | ○ | — |
| | TOD42B | ○ | | ○ | ○ | — |
| | TOD43B | ○ | | ○ | ○ | ○ |

表 2.72 端子機能 (3/11)

| 分類 | 端子名 | IO | 機能 | BGA252 QFP176 | QFP144 | |
|---------------------|-------|----|------------------|------------------|--------|---|
| ATU-IV (Timer E) | TOE00 | O | タイマ E の PWM 出力 | ○ | ○ | |
| | TOE01 | O | | ○ | ○ | |
| | TOE02 | O | | ○ | ○ | |
| | TOE03 | O | | ○ | — | |
| | TOE10 | O | | ○ | ○ | |
| | TOE11 | O | | ○ | ○ | |
| | TOE12 | O | | ○ | ○ | |
| | TOE13 | O | | ○ | ○ | |
| | TOE20 | O | | ○ | ○ | |
| | TOE21 | O | | ○ | ○ | |
| | TOE22 | O | | ○ | ○ | |
| | TOE23 | O | | ○ | ○ | |
| | TOE30 | O | | ○ | ○ | |
| | TOE31 | O | | ○ | ○ | |
| | TOE32 | O | | ○ | ○ | |
| | TOE33 | O | | ○ | ○ | |
| | TOE40 | O | | ○ | ○ | |
| | TOE41 | O | | ○ | ○ | |
| | TOE42 | O | | ○ | ○ | |
| | TOE43 | O | | ○ | ○ | |
| | TOE50 | O | | ○ | ○ | — |
| | TOE51 | O | | ○ | ○ | — |
| | TOE52 | O | | ○ | ○ | — |
| | TOE53 | O | | ○ | ○ | — |
| TOE60 | O | ○ | ○ | — | | |
| TOE61 | O | ○ | ○ | — | | |
| TOE62 | O | ○ | ○ | — | | |
| TOE63 | O | ○ | ○ | — | | |
| ATU-IV (Timer F) | TIF0A | I | タイマ F へのイベント入力信号 | ○ | ○ | |
| | TIF1A | I | | ○ | ○ | |
| | TIF2A | I | | ○ | ○ | |
| | TIF0B | I | | ○ | ○ | |
| | TIF1B | I | | ○ | ○ | |
| | TIF2B | I | | ○ | ○ | |
| | TIF3 | I | | ○ | ○ | |
| | TIF4 | I | | ○ | ○ | |
| | TIF5 | I | | ○ | ○ | |
| | TIF6 | I | | ○ | ○ | |
| | TIF7 | I | | ○ | ○ | |
| | TIF8 | I | | ○ | — | |
| | TIF9 | I | | ○ | — | |
| | TIF10 | I | | ○ | — | |
| TIF11 | I | ○ | — | | | |

表 2.72 端子機能 (4/11)

| 分類 | 端子名 | IO | 機能 | BGA252 QFP176 | QFP144 |
|---------------------|---------|----|----------------------------|------------------|--------|
| ATU-IV (Timer J) | TIJ0 | I | タイマ J のインプットキャプチャトリガ | ○ | ○ |
| | TIJ1 | I | | ○ | ○ |
| | TIJ2 | I | | ○ | — |
| | TIJ3 | I | | ○ | — |
| APA | APA0 | O | APA 出力 | ○ | ○ |
| | APA1 | O | | ○ | ○ |
| | APA2 | O | | ○ | ○ |
| | APA3 | O | | ○ | ○ |
| | APA4 | O | | ○ | — |
| | APA5 | O | | ○ | ○ |
| | APA6 | O | | ○ | ○ |
| | APA7 | O | | ○ | ○ |
| | APA8 | O | | ○ | ○ |
| | APA9 | O | | ○ | — |
| | APA10 | O | | ○ | ○ |
| | APA11 | O | | ○ | ○ |
| | APA12 | O | | ○ | ○ |
| | APA13 | O | | ○ | ○ |
| | APA14 | O | | ○ | ○ |
| APA15 | O | ○ | ○ | | |
| TSG20 | TSO00 | O | タイマ アップダウンステータス出力 | ○ | ○ |
| | TSO01 | O | タイマ PWM 出力 | ○ | ○ |
| | TSO02 | O | 注意 | ○ | — |
| | TSO03 | O | 出力は PIC からのものを使用します。 | ○ | — |
| | TSO04 | O | | ○ | ○ |
| | TSO05 | O | | ○ | ○ |
| | TSO06 | O | | ○ | — |
| | TSO07 | O | A/D トリガ診断出力 | ○ | ○ |
| | TAPTS00 | I | ホールセンサー入力 | ○ | — |
| | TAPTS01 | I | | ○ | — |
| TAPTS02 | I | ○ | | — | |
| TAPA (PIC 経由) | ESO2 | I | 緊急時 Hiz 要求入力 (TSG20 PWM 用) | ○ | — |
| LIN0 | LRX0 | I | LIN0 受信データ入力 | ○ | ○ |
| | LTX0 | O | LIN0 送信データ出力 | ○ | ○ |
| SCI0 | SCI0TxD | O | SCI0 送信データ出力 | ○ | ○ |
| | SCI0RxD | I | SCI0 受信データ入力 | ○ | ○ |
| | SCI0SCK | IO | SCI0 シリアルクロック入出力 | ○ | ○ |
| SCI1 | SCI1TxD | O | SCI1 送信データ出力 | ○ | ○ |
| | SCI1RxD | I | SCI1 受信データ入力 | ○ | ○ |
| | SCI1SCK | IO | SCI1 シリアルクロック入出力 | ○ | — |
| SCI2 | SCI2TxD | O | SCI2 送信データ出力 | ○ | ○ |
| | SCI2RxD | I | SCI2 受信データ入力 | ○ | ○ |
| | SCI2SCK | IO | SCI2 シリアルクロック入出力 | ○ | ○ |

表 2.72 端子機能 (5/11)

| 分類 | 端子名 | IO | 機能 | BGA252 QFP176 | QFP144 |
|------------|------------|----|----------------------------------|------------------|--------|
| SCI3 | SCI3TxD | O | SCI3 送信データ出力 | ○ | — |
| | SCI3RxD | I | SCI3 受信データ入力 | ○ | — |
| | SCI3SCK | IO | SCI3 シリアルクロック入出力 | ○ | — |
| CSIH0 | CSIH0TSI | I | CSIH0 受信データ入力 | ○ | ○ |
| | CSIH0TSO | O | CSIH0 送信データ出力 | ○ | ○ |
| | CSIH0TSCK | IO | CSIH0 シリアルクロック入出力 | ○ | ○ |
| | CSIH0TSSI | I | CSIH0 スレーブセレクト信号入力 | ○ | — |
| | CSIH0TRY | IO | CSIH0 マスタ/スレーブ間のハンドシェイク 信号入出力 | ○ | — |
| | CSIH0TCSS0 | O | CSIH0 スレーブセレクト信号出力 | ○ | ○ |
| | CSIH0TCSS1 | O | | ○ | ○ |
| | CSIH0TCSS2 | O | | ○ | — |
| | CSIH0TCSS3 | O | | ○ | ○ |
| | CSIH0TCSS4 | O | | ○ | ○ |
| | CSIH0TCSS5 | O | | ○ | — |
| CSIH1 | CSIH1TSI | I | CSIH1 受信データ入力 | ○ | ○ |
| | CSIH1TSO | O | CSIH1 送信データ出力 | ○ | ○ |
| | CSIH1TSCK | IO | CSIH1 シリアルクロック入出力 | ○ | ○ |
| | CSIH1TSSI | I | CSIH1 スレーブセレクト信号入力 | ○ | — |
| | CSIH1TRY | IO | CSIH1 マスタ/スレーブ間のハンドシェイク 信号入出力 | ○ | — |
| | CSIH1TCSS0 | O | CSIH1 スレーブセレクト信号出力 | ○ | ○ |
| | CSIH1TCSS1 | O | | ○ | — |
| | CSIH1TCSS2 | O | | ○ | — |
| CSIH1TCSS3 | O | ○ | | — | |
| CSIH2 | CSIH2TSI | I | CSIH2 受信データ入力 | ○ | — |
| | CSIH2TSO | O | CSIH2 送信データ出力 | ○ | — |
| | CSIH2TSCK | IO | CSIH2 シリアルクロック入出力 | ○ | — |
| | CSIH2TSSI | I | CSIH2 スレーブセレクト信号入力 | ○ | — |
| | CSIH2TRY | IO | CSIH2 マスタ/スレーブ間のハンドシェイク 信号入出力 | ○ | — |
| | CSIH2TCSS0 | O | CSIH2 スレーブセレクト信号出力 | ○ | — |
| | CSIH2TCSS1 | O | | ○ | — |
| | CSIH2TCSS2 | O | | ○ | — |
| CSIH2TCSS3 | O | ○ | | — | |
| RSCAN0 | CTX0 | O | CAN0 送信データ出力 | ○ | ○ |
| | CRX0 | I | CAN0 受信データ入力 | ○ | ○ |
| RSCAN1 | CTX1 | O | CAN1 送信データ出力 | ○ | ○ |
| | CRX1 | I | CAN1 受信データ入力 | ○ | ○ |
| RSCAN2 | CTX2 | O | CAN2 送信データ出力 | ○ | ○ |
| | CRX2 | I | CAN2 受信データ入力 | ○ | ○ |
| RSCAN3 | CTX3 | O | CAN3 送信データ出力 | ○ | ○ |
| | CRX3 | I | CAN3 受信データ入力 | ○ | ○ |

表 2.72 端子機能 (6/11)

| 分類 | 端子名 | IO | 機能 | BGA252 QFP176 | QFP144 |
|--------|-----------|-------------------|-----------------|------------------|--------|
| RHSB0 | RHSB0FCLP | O | RHSB0 差動クロック出力 | O | O |
| | RHSB0FCLN | O | | O | O |
| | RHSB0SOP | O | RHSB0 差動データ出力 | O | O |
| | RHSB0SON | O | | O | O |
| | RHSB0CSD0 | O | RHSB0 チップセレクト出力 | O | O |
| | RHSB0CSD1 | O | | O | O |
| | RHSB0SI0 | I | RHSB0 シリアル入力 | O | O |
| | RHSB0SI1 | I | | O | O |
| | RHSB0EMRG | I | RHSB0 緊急信号入力 | O | — |
| ADC0 | AN000 | I | ADC0 アナログ入力 | O | — |
| | AN001 | I | | O | — |
| | AN002 | I | | O | O |
| | AN003 | I | | O | O |
| | AN010 | I | | O | O |
| | AN011 | I | | O | O |
| | AN012 | I | | O | O |
| | AN013 | I | | O | O |
| | AN020 | I | | O | — |
| | AN021 | I | | O | O |
| | AN022 | I | | O | O |
| | AN023 | I | | O | O |
| | AN030 | I | | O | O |
| | AN031 | I | | O | O |
| | AN032 | I | | O | — |
| | AN033 | I | | O | O |
| | AN040 | I | | O | O |
| | AN041 | I | | O | O |
| | AN042 | I | | O | O |
| | AN043 | I | | O | O |
| | ADTRG0 | I | ADC0 変換起動トリガ入力 | O | — |
| ADEND0 | O | ADC0 変換タイミングモニタ出力 | O | O | |

表 2.72 端子機能 (7/11)

| 分類 | 端子名 | IO | 機能 | BGA252 QFP176 | QFP144 |
|--------|------------|--------|---------------------|------------------|--------|
| ADC1 | AN100 | I | ADC1 アナログ入力 | ○ | ○ |
| | AN101 | I | | ○ | — |
| | AN110 | I | | ○ | ○ |
| | AN111 | I | | ○ | ○ |
| | AN120 | I | | ○ | ○ |
| | AN121 | I | | ○ | ○ |
| | AN130 | I | | ○ | ○ |
| | AN131 | I | | ○ | — |
| | AN140 | I | | ○ | ○ |
| | AN141 | I | | ○ | ○ |
| | AN150 | I | | ○ | ○ |
| | AN151 | I | | ○ | ○ |
| | AN160 | I | | ○ | ○ |
| | AN161 | I | | ○ | ○ |
| | AN170 | I | | ○ | ○ |
| | AN171 | I | | ○ | ○ |
| | | ADTRG1 | I | ADC1 変換起動トリガ入力 | ○ |
| | ADEND1 | O | ADC1 変換タイミングモニタ出力 | ○ | ○ |
| DSADC0 | DSAN0P | I | DSADC0 アナログ入力 | ○ | — |
| | DSAN0N | I | | ○ | — |
| | DSADTRG0 | I | DSADC0 変換起動トリガ入力 | ○ | — |
| | DSADEND0 | O | DSADC0 変換タイミングモニタ出力 | ○ | — |
| DSADC1 | DSAN1P | I | DSADC1 アナログ入力 | ○ | ○ |
| | DSAN1N | I | | ○ | ○ |
| | DSADTRG1 | I | DSADC1 変換起動トリガ入力 | ○ | ○ |
| | DSADEND1 | O | DSADC1 変換タイミングモニタ出力 | ○ | ○ |
| ポート | POD | I | ポートアウトプットディセーブル | ○ | ○ |
| ECM | ERROROUT_M | O | エラー出力 (Master) | ○ | — |
| | ERROROUT_C | O | エラー出力 (Checker) | ○ | ○ |
| 割り込み | NMI | I | ノンマスカブル割り込み入力 | ○ | ○ |
| | IRQ0 | I | 外部割り込み入力 | ○ | ○ |
| | IRQ1 | I | | ○ | ○ |
| | IRQ2 | I | | ○ | ○ |
| | IRQ3 | I | | ○ | ○ |
| | IRQ4 | I | | ○ | ○ |
| | IRQ5 | I | | ○ | ○ |
| | IRQ6 | I | | ○ | — |
| | IRQ7 | I | | ○ | — |
| クロック | EXTAL | I | 外部クロック | ○ | ○ |
| | XTAL | O | クリスタル | ○ | ○ |
| | CK | O | 周辺クロック | ○ | ○ |
| リセット | RES | I | 外部リセット入力 | ○ | ○ |

表 2.72 端子機能 (8/11)

| 分類 | 端子名 | IO | 機能 | BGA252 QFP176 | QFP144 |
|-------------------|---------------------|----|----------------------|------------------|--------|
| モード設定 | MD0 | I | モード設定 | ○ | ○ |
| | MD1 | I | | ○ | ○ |
| | FLMODE | I | | ○ | ○ |
| Nexus/ JTAG | TRST | I | リセット入力 | ○ | ○ |
| | TDO | O | シリアルデータ出力 | ○ | ○ |
| | TMS | I | モードセレクト入力 | ○ | ○ |
| | TDI | I | シリアルデータ入力 | ○ | ○ |
| | TCK | I | クロック入力 | ○ | ○ |
| | DRDY | O | レディ出力 | ○ | ○ |
| LPD | LPDRST | I | LPD リセット入力 | ○ | ○ |
| | LPDO | O | LPD4pin データ出力 | ○ | ○ |
| | LPDI | I | LPD4pin データ入力 | ○ | ○ |
| | LPDCLKO | O | LPD4pin クロック出力 | ○ | ○ |
| | LPDCLKI | I | LPD4pin クロック入力 | ○ | ○ |
| | EVTO | O | イベントトリガ出力 (TMS 兼用端子) | ○ | ○ |
| FLSCI (ライター/F) | FLSCI3TX (FPDT) | O | 送信データ出力 | ○ | ○ |
| | FLSCI3RX (FPDR) | I | 受信データ入力 | ○ | ○ |
| | FLSCI3SCK (FPCK) | I | シリアルクロック入力 | ○ | ○ |
| ポート グループ 0 | P0_0 | IO | 汎用入出力ポート | ○ | ○ |
| | P0_1 | IO | | ○ | ○ |
| | P0_2 | IO | | ○ | ○ |
| | P0_3 | IO | | ○ | ○ |
| | P0_4 | IO | | ○ | ○ |
| | P0_5 | IO | | ○ | — |
| | P0_6 | IO | | ○ | ○ |
| | P0_7 | IO | | ○ | — |
| | P0_8 | IO | | ○ | ○ |
| | P0_9 | IO | | ○ | — |
| | P0_10 | IO | | ○ | — |
| | P0_11 | IO | | ○ | ○ |
| | P0_12 | IO | | ○ | ○ |
| | P0_13 | IO | | ○ | — |
| | P0_14 | IO | | ○ | — |

表 2.72 端子機能 (9/11)

| 分類 | 端子名 | IO | 機能 | BGA252 QFP176 | QFP144 |
|---------------|-------|----|--------------------|------------------|--------|
| ポート グループ 1 | P1_0 | IO | 汎用入出力ポート | ○ | ○ |
| | P1_1 | IO | | ○ | ○ |
| | P1_2 | IO | | ○ | ○ |
| | P1_3 | IO | | ○ | — |
| | P1_4 | IO | | ○ | — |
| | P1_5 | IO | | ○ | ○ |
| | P1_6 | IO | | ○ | ○ |
| | P1_7 | IO | | ○ | — |
| | P1_8 | IO | | ○ | ○ |
| | P1_9 | IO | | ○ | — |
| | P1_10 | IO | | ○ | ○ |
| | P1_11 | IO | | ○ | ○ |
| | P1_12 | IO | | ○ | ○ |
| | P1_13 | IO | | ○ | ○ |
| | P1_14 | IO | | ○ | ○ |
| P1_15 | IO | ○ | ○ | | |
| ポート グループ 2 | P2_0 | IO | 汎用入出力ポート、エッジ検出機能あり | ○ | — |
| | P2_1 | IO | | ○ | ○ |
| | P2_2 | IO | | ○ | ○ |
| | P2_3 | IO | | ○ | ○ |
| | P2_4 | IO | | ○ | ○ |
| | P2_5 | IO | | ○ | ○ |
| | P2_6 | IO | | ○ | — |
| P2_7 | IO | ○ | — | | |
| ポート グループ 3 | P3_0 | IO | 汎用入出力ポート、エッジ検出機能あり | ○ | ○ |
| | P3_1 | IO | | ○ | ○ |
| | P3_2 | IO | | ○ | ○ |
| | P3_3 | IO | | ○ | ○ |
| | P3_4 | IO | | ○ | — |
| | P3_5 | IO | | ○ | ○ |
| P3_6 | IO | ○ | — | | |

表 2.72 端子機能 (10/11)

| 分類 | 端子名 | IO | 機能 | BGA252 QFP176 | QFP144 |
|-------------------|-------|----|--------------------|------------------|--------|
| ポート グループ 4 | P4_0 | IO | 汎用入出力ポート、エッジ検出機能あり | ○ | ○ |
| | P4_1 | IO | | ○ | ○ |
| | P4_2 | IO | | ○ | ○ |
| | P4_3 | IO | | ○ | ○ |
| | P4_4 | IO | | ○ | — |
| | P4_5 | IO | | ○ | ○ |
| | P4_6 | IO | | ○ | ○ |
| | P4_7 | IO | | ○ | ○ |
| | P4_8 | IO | | ○ | ○ |
| | P4_9 | IO | | ○ | — |
| | P4_10 | IO | | ○ | — |
| | P4_11 | IO | | ○ | ○ |
| | P4_12 | IO | | ○ | ○ |
| | P4_13 | IO | | ○ | ○ |
| | P4_14 | IO | | ○ | ○ |
| P4_15 | IO | ○ | ○ | | |
| ポート グループ 5 | P5_0 | IO | 汎用入出力ポート | ○ | — |
| | P5_1 | IO | | ○ | — |
| | P5_2 | IO | | ○ | ○ |
| | P5_3 | IO | | ○ | ○ |
| | P5_4 | IO | | ○ | ○ |
| | P5_5 | IO | | ○ | ○ |
| | P5_6 | IO | | ○ | ○ |
| | P5_7 | IO | | ○ | ○ |
| | P5_8 | IO | | ○ | — |
| P5_9 | IO | ○ | — | | |
| ポート グループ 11 | P11_0 | IO | 汎用入出力ポート | ○ | — |
| | P11_1 | IO | | ○ | — |
| ポート グループ 13 | P13_0 | IO | 汎用入出力ポート | ○ | ○ |
| | P13_1 | IO | | ○ | ○ |
| | P13_2 | IO | | ○ | ○ |
| | P13_3 | IO | | ○ | ○ |
| | P13_4 | IO | | ○ | — |

表 2.72 端子機能 (11/11)

| 分類 | 端子名 | IO | 機能 | BGA252 QFP176 | QFP144 |
|-------------------|--------|----|-------------------|------------------|--------|
| ポート グループ 14 | P14_0 | I | 汎用入力ポート、エッジ検出機能あり | ○ | — |
| | P14_1 | I | | ○ | ○ |
| | P14_2 | I | | ○ | ○ |
| | P14_3 | I | | ○ | ○ |
| | P14_4 | I | | ○ | ○ |
| | P14_5 | I | | ○ | ○ |
| | P14_6 | I | | ○ | — |
| | P14_7 | I | | ○ | ○ |
| | P14_8 | I | | ○ | ○ |
| | P14_9 | I | | ○ | ○ |
| | P14_10 | I | | ○ | ○ |
| | P14_11 | I | | ○ | ○ |
| | P14_12 | I | | ○ | ○ |
| | P14_13 | I | | ○ | ○ |
| | P14_14 | I | | ○ | ○ |
| P14_15 | I | ○ | ○ | | |
| ポート グループ 16 | P16_0 | I | 汎用入力ポート、エッジ検出機能あり | ○ | ○ |
| | P16_1 | I | | ○ | ○ |
| | P16_2 | I | | ○ | ○ |
| | P16_3 | I | | ○ | ○ |
| | P16_4 | I | | ○ | ○ |
| | P16_5 | I | | ○ | ○ |

2.5.3 端子状態

リセット状態の定義

端子状態の記載において、各リセット状態を表 2.73 のように定義しています。

表 2.73 リセット状態の定義

| リセット状態 | 定義 |
|-----------|-------------------------|
| 外部リセット | 外部端子からのリセット状態 (RES = L) |
| 内部リセット | 外部リセット解除から内部リセット解除までの間 |
| 内部リセット解除後 | 内部リセットが解除された状態 |

各状態の端子状態を表 2.74 に示します。製品グレードやパッケージの種別によっては、非搭載の端子もあります。端子搭載の有無は、「1.5 端子接続図 (Top View)」の「表 1.1 端子番号と端子名の対応表 (E1L-BGA252)」、「表 1.2 端子番号と端子名の対応表 (E1L-QFP176)」、「表 1.3 端子番号と端子名の対応表 (E1L-QFP144)」を参照してください。

表 2.74 端子状態 (1/2)

| 分類 | 端子機能 端子名 | 端子状態 | | | 電源遮断スタンバイモード |
|-------------------|---------------|---------------|---------------|---------------|---------------|
| | | RES = L | RES = H | | |
| | | 外部リセット状態 | 内部リセット解除前 | 内部リセット解除後 | |
| クロック | CK | O | O | O | Z |
| | XTAL | O | O | O | Z |
| | EXTAL | I | I | I | Z |
| システム制御 | RES | I (Pull-down) | I (Pull-down) | I (Pull-down) | I (Pull-down) |
| | MD0 | I (Pull-down) | I (Pull-down) | I (Pull-down) | I (Pull-down) |
| | MD1 | I (Pull-down) | I (Pull-down) | I (Pull-down) | I (Pull-down) |
| | FLMODE | I (Pull-down) | I (Pull-down) | I (Pull-down) | I (Pull-down) |
| 割り込み | NMI | I (Pull-down) | I (Pull-down) | I (Pull-down) | Z |
| ECM | ERROROUT_M | O | O | O | Z |
| 汎用入出力ポート | P0_0 ~ P0_14 | Z | Z | Z | Z |
| | P1_0 ~ P1_15 | Z | Z | Z | Z |
| | P2_0 ~ P2_7 | Z | Z | Z | Z |
| | P3_0 ~ P3_6 | Z | Z | Z | Z |
| | P4_0 ~ P4_15 | Z | Z | Z | Z |
| | P5_0 ~ P5_9 | Z | Z | Z | Z |
| | P11_0 ~ P11_1 | Z | Z | Z | Z |
| | P13_0 ~ P13_4 | Z | Z | Z | Z |
| SAR、ΔΣA/D | AN0xx/DSANxP | Z | Z | Z | Z |
| | AN0xx/DSANxN | Z | Z | Z | Z |
| | AN0xx | Z | Z | Z | Z |
| | AN1xx | Z | Z | Z | Z |
| RHSB LVDS バッファ | RHSB0FCLP | Z | Z | Z | Z |
| | RHSB0FCLN | Z | Z | Z | Z |
| | RHSB0SOP | Z | Z | Z | Z |
| | RHSB0SON | Z | Z | Z | Z |

表 2.74 端子状態 (2/2)

| 端子機能 | | | 端子状態 | | | |
|--------------|---------------------------|--------------------|---------------|---------------|---------------|---------------|
| 分類 | 端子名 | | RES = L | RES = H | | 電源遮断スタンバイモード |
| | | | 外部リセット状態 | 内部リセット解除前 | 内部リセット解除後 | |
| デバッグ系 | TDI/LPDI/ FLSCI3RX | Nexus: TDI | Z | I (Pull-up) | I (Pull-up) | Z |
| | | LPD-4pin: LPDI | Z | I (Pull-up) | I (Pull-up) | Z |
| | | ライタ I/F: FLSCI3RX | Z | Z | Z | Z |
| | | BSCAN: TDI | I (Pull-up) | I (Pull-up) | I (Pull-up) | Z |
| | TDO/LPDO/ FLSCI3TX | Nexus: TDO | Z | Z | Z | Z |
| | | LPD-4pin: LPDO | Z | O | O | Z |
| | | ライタ I/F: FLSCI3TX | Z | Z | Z | Z |
| | | BSCAN: TDO | Z | Z | Z | Z |
| | TCK/LPDCLKI/ FLSCI3SCK | Nexus: TCK | Z | I (Pull-up) | I (Pull-up) | Z |
| | | LPD-4pin: LPDCLKI | Z | I (Pull-up) | I (Pull-up) | Z |
| | | ライタ I/F: FLSCI3SCK | Z | Z | Z | Z |
| | | BSCAN: TCK | I (Pull-up) | I (Pull-up) | I (Pull-up) | Z |
| | TMS/EVTO | Nexus: TMS | Z | I (Pull-up) | I (Pull-up) | Z |
| | | LPD-4pin: EVTO | Z | O | O | Z |
| | | ライタ I/F: (機能なし) | Z | Z | Z | Z |
| | | BSCAN: TMS | I (Pull-up) | I (Pull-up) | I (Pull-up) | Z |
| | TRST/LPDRST | Nexus: TRST | I (Pull-down) | I (Pull-down) | I (Pull-down) | I (Pull-down) |
| | | LPD-4pin: LPDRST | | | | |
| | | ライタ I/F: (機能なし) | | | | |
| | | BSCAN: TRST | | | | |
| DRDY/LPDCLKO | Nexus: DRDY | Z | O | O | Z | |
| | LPD-4pin: LPDCLKO | Z | O | O | Z | |
| | ライタ I/F: (機能なし) | Z | Z | Z | Z | |
| | BSCAN: (機能なし) | Z | Z | Z | Z | |

備考 I: 入力
O: 出力
Z: ハイインピーダンス
Pull-up: 内蔵プルアップ抵抗
Pull-down: 内蔵プルダウン抵抗

2.5.4 未使用端子の処理

表 2.75 に未使用端子の処理例を示します。

表 2.75 未使用端子の処理例 (1/3)

| 分類 | 端子 | IO | 未使用端子の処理例 | 内蔵プルアップ/ダウン抵抗 |
|----------------|---|----|---|----------------------------------|
| クロック | CK | O | • 端子オープン処理。 | なし |
| | XTAL | O | • 端子オープン処理。 | なし |
| | EXTAL | I | (必ず使用する。) | なし |
| システム制御 | RES | I | (必ず使用する。) | 内蔵プルダウン抵抗を搭載しています。 |
| | MD0, FLMODE | I | (必ず使用する。ユーザブートモードで使用する場合は、個別に抵抗を介してVSSに接続する。) | 内蔵プルダウン抵抗を搭載しています。 |
| | MD1 | I | • 個別に抵抗を介してVSSに接続する。 | 内蔵プルダウン抵抗を搭載しています。 |
| 割り込み | NMI | I | • 個別に抵抗を介してVSSに接続する。 | 内蔵プルダウン抵抗を搭載しています。 |
| ECM | ERROROUT_M | O | • 端子オープン処理。 | なし |
| 汎用入出力ポート | P0_m, P1_m, P2_m, P3_m, P4_m, P5_m, P11_m, P13_m | IO | <p>[入力モード]</p> <ul style="list-style-type: none"> • 端子オープン処理で、入力キャパシタを禁止に設定 (PMcN_m = 0, PMn_m = 1, PIBcN_m = 0 リセット後の値) する。 • 端子オープン処理で、内蔵プルアップ/ダウン抵抗を有効に設定 (PUn_m, PDn_m を使用) する。 • 個別に抵抗を介して各端子の電源/GNDに接続する。 <p>[出力モード]</p> <ul style="list-style-type: none"> • 端子オープン処理。 | レジスタで設定可能な内蔵プルアップ/ダウン抵抗を搭載しています。 |
| ADCB, DS-ADC | AN000/DSAN0P, AN001/DSAN0N, AN002/DSAN1P, AN003/DSAN1N, AN10x, AN11x, AN12x, AN13x, AN14x (アナログ入力専用) | I | • 端子オープン処理。 | なし |
| | AN010/ AN011/ AN012/ AN013/ AN020/ AN021/ AN022/ AN023/ AN030/ AN031/ AN032/ AN033/ AN04x, AN15x, AN16x, AN17x (アナログ入力/デジタル入力 兼用) | I | • 端子オープン処理で、入力キャパシタを禁止に設定 (PMcN_m = 0, PIBcN_m = 0 リセット後の値) する。 | なし |
| RHSB LVDS バッファ | RHSBxSOP, RHSBxSON, RHSBxFCLP, RHSBxFCLN | O | • 端子オープン処理で、出力キャパシタを禁止に設定 (PM17_m = 1 リセット後の値) する。 | なし |

表 2.75 未使用端子の処理例 (2/3)

| 分類 | 端子 | | IO | 未使用端子の処理例 | 内蔵プルアップ/ダウン抵抗 |
|---------|-------------------------------|-----------|---|---|------------------------------------|
| デバッグ系 | TDI/LPDI/ FLSCI3RX | TDI | I | <ul style="list-style-type: none"> 端子オープン処理。 個別に抵抗を介してVCCに接続する。 | 内蔵プルアップ抵抗を搭載しています。 |
| | | LPDI | I | <ul style="list-style-type: none"> 端子オープン処理。 個別に抵抗を介してVCCに接続する。 | 内蔵プルアップ抵抗を搭載しています。 |
| | | FLSCI3RX | I | <ul style="list-style-type: none"> 端子未使用時は、FLSCI3RXを選択しないでください。 | ブートファームが起動した場合は、内蔵プルアップ抵抗が有効になります。 |
| | TDO/LPDO/ FLSCI3TX | TDO | O | <ul style="list-style-type: none"> 端子オープン処理。 | なし |
| | | LPDO | O | <ul style="list-style-type: none"> 端子オープン処理。 | なし |
| | | FLSCI3TX | O | <ul style="list-style-type: none"> 端子未使用時は、FLSCI3TXを選択しないでください。 | なし |
| | TCK/ LPDCLKI/ FLSCI3SCK | TCK | I | <ul style="list-style-type: none"> 端子オープン処理。 個別に抵抗を介してVCCに接続する。 | 内蔵プルアップ抵抗を搭載しています。 |
| | | LPDCLKI | I | <ul style="list-style-type: none"> 端子オープン処理。 個別に抵抗を介してVCCに接続する。 | 内蔵プルアップ抵抗を搭載しています。 |
| | | FLSCI3SCK | I | <ul style="list-style-type: none"> 端子未使用時は、FLSCI3SCKを選択しないでください。 | なし |
| | TMS/EVTO | TMS | I | <ul style="list-style-type: none"> 端子オープン処理。 個別に抵抗を介してVCCに接続する。 | 内蔵プルアップ抵抗を搭載しています。 |
| | | EVTO | O | <ul style="list-style-type: none"> 端子オープン処理。 | なし |
| | TRST/LPDRST | | I | <ul style="list-style-type: none"> 個別に抵抗を介してVSSに接続する。 | 内蔵プルダウン抵抗を搭載しています。 |
| | DRDY/ LPDCLKO | DRDY | O | <ul style="list-style-type: none"> 端子オープン処理。 | なし |
| LPDCLKO | | O | <ul style="list-style-type: none"> 端子オープン処理。 | なし | |
| NC | NC | | - | <ul style="list-style-type: none"> 端子オープン処理。 | なし |
| 電源系 | EVCC | | | (必ず使用する。) | — |
| | SYSVCC | | | (必ず使用する。) | — |
| | VCC | | | (必ず使用する。) | — |
| | PLLVCC | | | (必ず使用する。) | — |
| | PLLVSS | | | (必ず使用する。) | — |
| | VDD | | | (必ず使用する。) | — |
| | RAMVCL | | | (必ず使用する。) | — |

表 2.75 未使用端子の処理例 (3/3)

| 分類 | 端子 | IO | 未使用端子の処理例 | 内蔵プルアップ/ダウン抵抗 |
|-----|---|----|--|---------------|
| 電源系 | VSS | | (必ず使用する。) | — |
| | LVDVCC | | • VCC に接続する。 | — |
| | LVDVSS | | • VSS に接続する。 | — |
| | TTLVCC | | • VCC に接続する。 | — |
| | EPTVOUT | | • 端子オープン処理。 | — |
| | ADSVCC, ADSVSS, ADSVREFH, ADSVREFL, ADSVCL | | <ul style="list-style-type: none"> • DS-ADC は使用しないが、ADCB を使用する場合。 ADSVCC : A0VCC に接続する。 ADSVSS : A0VSS に接続する。 ADSVREFH : A0VCC に接続する。 ADSVREFL : A0VSS に接続する。 ADSVCL : 端子オープン処理。 • DS-ADC と ADCB の両方を使用しない場合。 ADSVCC : EVCC に接続する。 ADSVSS : VSS に接続する。 ADSVREFH : EVCC に接続する。 ADSVREFL : VSS に接続する。 ADSVCL : 端子オープン処理。 | — |
| | A0VCC, A0VSS, A0VREFH, A1VCC, A1VSS, A1VREFH | | <ul style="list-style-type: none"> • ADCB は使用しないが、DS-ADC を使用する場合。 A0VCC : ADSVCC に接続する。 A0VSS : ADSVSS に接続する。 A0VREFH : ADSVCC に接続する。 A1VCC : ADSVCC に接続する。 A1VSS : ADSVSS に接続する。 A1VREFH : ADSVCC に接続する。 • ADCB と DS-ADC の両方を使用しない場合。 A0VCC : EVCC に接続する。 A0VSS : VSS に接続する。 A0VREFH : EVCC に接続する。 A1VCC : EVCC に接続する。 A1VSS : VSS に接続する。 A1VREFH : EVCC に接続する。 | — |

注 1. 各端子と電源/GND の対応は、「第 37 章 電気的特性」を参照してください。

注 2. 製品外部で抵抗を介してプルアップ/ダウンする場合は、抵抗値を 1kΩ 以上にしてください。

注 3. 内蔵プルアップ/ダウン抵抗を搭載している端子を、製品外部でも抵抗を介してプルアップ/ダウンする場合は、抵抗分圧にご注意ください。

第3章 CPUシステム

3.1 概要

3.1.1 ブロック構成

ブロック構成を図 3.1 に示します。

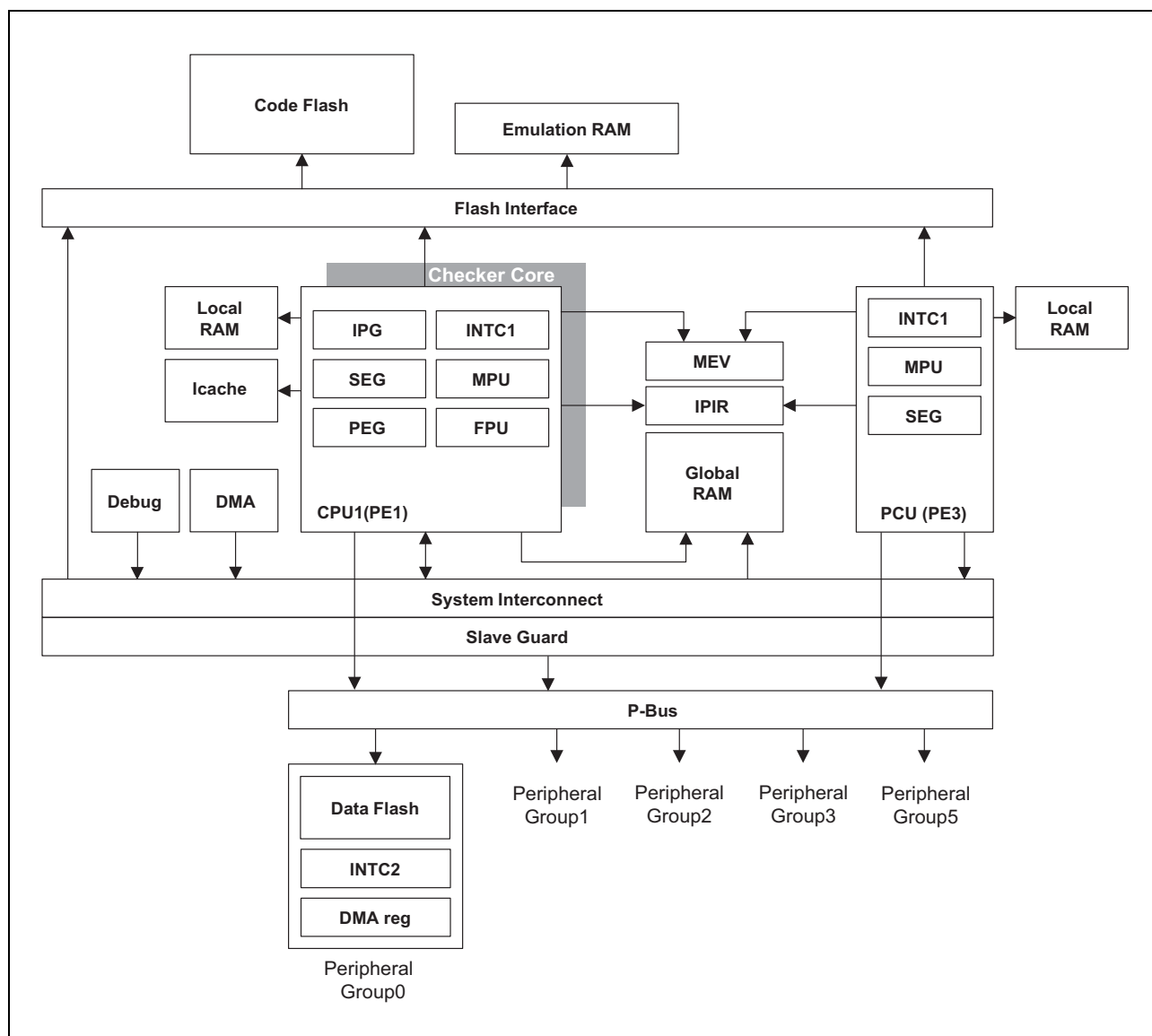


図 3.1 ブロック構成図

CPU1 (PE1)

メイン CPU として、RH850 G3M コアを搭載します。また、CPU1 はセーフティ対応として、Checker Core を備えます。

PCU (PE3)

周辺 IP 制御用コントローラ PCU (Peripheral Control Unit) として、RH850 G3K コアを搭載します。

Local RAM

PE ごとに、高速アクセス可能な Local RAM を持ちます。

Global RAM

各 PE が共有する大容量の RAM です。Global RAM の一部の領域は、Retention RAM として機能します。

Code Flash

プログラム格納用に、大容量の Code Flash を搭載しています。CPU1 と PCU で Code Flash を共用しており、Flash Interface を介して接続します。

Emulation RAM

Code Flash をエミュレーションする RAM です。外部ツールからの制御により、Code Flash を書き換えることなくプログラムの置き換えが可能です。

Data Flash

CPU から書き換え可能な Flash メモリです。

P-Bus

周辺 IP を接続するバスです。P-Bus は、Peripheral Group 0 ~ 3, 5 に分かれています。

Peripheral Group と周辺モジュール/レジスタの対応については、「付録 レジスタ一覧」を参照してください。

INTC1、INTC2

INTC1 は PE ごとに固有の割り込みコントローラです。INTC2 は PE 共有の割り込みコントローラで、割り込み要求のバインド先 PE をレジスタで設定できます。

DMA

DMAC と DTS の 2 種類の DMA 転送モジュールを搭載します。

Slave Guard

特定のバスマスタからの不正アクセスを防止する機構です。次の Guard 機構で構成されます。

- (1) PE ガード (PEG)
外部マスタから PE 内資源への不正なアクセスを防止する機構です。リセット解除後は自 PE 以外からのアクセスは禁止状態になっています。
- (2) Global RAM ガード (GRG)
外部マスタから Global RAM への不正なアクセスを防止する機構です。リセット解除後はガードされていない状態 (すべてのバスマスタがアクセス可能) になっています。
- (3) 周辺ガード (PBG)
外部マスタから周辺機能への不正なアクセスを防止する機構です。リセット解除後は、ガードされていない状態 (すべてのバスマスタがアクセス可能) になっています。

3.2 CPU

3.2.1 コア機能

3.2.1.1 特長

RH850G3M コアの特長を表 3.1 に示します。

表 3.1 RH850G3M コアの特長

| 項目 | 特長 |
|---------|--|
| CPU | <ul style="list-style-type: none"> ● 組み込み制御用高性能 32 ビットアーキテクチャ ● 32 ビット内部データバス ● 32 本の 32 ビット汎用レジスタ ● RISC タイプ命令セット <ul style="list-style-type: none"> – ロング/ショート形式を持つロード/ストア命令 – 3 オペランド命令 – C 言語に基づく命令セット ● CPU 動作モード <ul style="list-style-type: none"> – ユーザモード、スーパバイザモード ● アドレス空間：データ/命令ともに 4G バイトリニア ● 命令：SNOOZE 命令による一時停止期間は CPU クロック (CLK_CPU) で 32 クロック |
| コプロセッサ | <ul style="list-style-type: none"> ● 浮動小数点演算コプロセッサ (FPU) 搭載 <ul style="list-style-type: none"> – 単精度 (32 ビット) および倍精度 (64 ビット) をサポート – IEEE754 に準拠したデータタイプおよび例外をサポート – 丸めモード：近傍、0 方向、+∞方向、-∞方向 – 非正規化数の扱い：0 への切り捨て、または IEEE754 準拠のための例外通知 |
| 例外/割り込み | <ul style="list-style-type: none"> ● チャンネルごとに設定可能な 16 レベルの割り込み優先度 ● 性能要求/メモリ消費量によって選択可能なベクタ選択方式 <ul style="list-style-type: none"> – 直接分岐方式の例外ベクタ – アドレステーブル参照の間接分岐方式の例外ベクタ ● 専用命令 (PUSHSP, POPSP) による割り込み時のコンテキスト高速退避/復帰処理の支援 |
| メモリ管理 | <ul style="list-style-type: none"> ● メモリ保護機能搭載 (MPU)：12 領域設定可能 |
| キャッシュ | <ul style="list-style-type: none"> ● 命令キャッシュ搭載 |

3.2.1.2 レジスタセット

本章では本 CPU に搭載しているプログラムレジスタとシステムレジスタについて説明します。

(1) プログラムレジスタ

プログラムレジスタには、汎用レジスタ (r0-r31) とプログラムカウンタ (PC) があります。汎用レジスタの r0 は常に 0 を保持していますが、r1-r31 のリセット後の値は不定です。

表 3.2 プログラムレジスタ一覧

| プログラムレジスタ | 名称 | 機能 | 説明 |
|-----------|--------|--|--|
| 汎用レジスタ | r0 | ゼロレジスタ | 常に 0 を保持 |
| | r1 | アセンブラ予約レジスタ | アドレス生成用のワーキングレジスタとして使用 |
| | r2 | アドレス/データ変数用レジスタ (使用するリアルタイム OS がこのレジスタを使用していない場合) | |
| | r3 | スタックポインタ (SP) | 関数コール時のスタックフレーム生成時に使用 |
| | r4 | グローバルポインタ (GP) | データ領域のグローバル変数をアクセスするときに使用 |
| | r5 | テキストポインタ (TP) | テキスト領域 (プログラムコードを配置する領域) の先頭を示すレジスタとして使用 |
| | r6-r29 | アドレス/データ変数用レジスタ | |
| | r30 | エレメントポインタ (EP) | メモリをアクセスするときのアドレス生成用ベースポインタとして使用 |
| | r31 | リンクポインタ (LP) | コンパイラが関数コールをするときに使用 |
| プログラムカウンタ | PC | プログラム実行中の命令アドレスを保持 | |

備考 アセンブラや C コンパイラで使用される r1、r3-r5、r31 の詳細な説明は、それぞれのソフトウェア開発環境のマニュアルを参照してください。

(a) 汎用レジスタ

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、すべてデータ変数用またはアドレス変数用として利用できます。

汎用レジスタのうち、r0-r5、r30、r31は、ソフトウェア開発環境において特殊な用途に用いられることを想定しているため、使用する際には次のような注意が必要です。

1. r0、r3、r30

命令により暗黙的に使用されます。

r0は常に0を保持しているレジスタであり、0を使用する演算やベースアドレスが0のアドレッシングで使用されます。

r3はPREPARE命令、DISPOSE命令、PUSHSP命令、POPSP命令により、暗黙的に使用されます。

r30はSLD命令とSST命令により、メモリをアクセスするときのベースポイントとして使用されます。

2. r1、r4、r5、r31

アセンブラとCコンパイラにより暗黙的に使用されます。

これらのレジスタを使用する際には、レジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

3. r2

リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、アドレス変数用またはデータ変数用レジスタとして利用できます。

(b) PC — プログラムカウンタ

プログラム実行中の命令アドレスを保持しています。

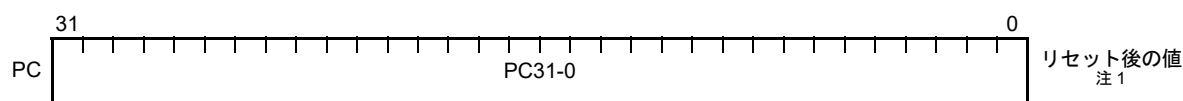


表 3.3 PC レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|--------|--------------------------|-----|---------|
| 31 ~ 1 | PC31-1 | 実行中の命令アドレスです。 | R/W | 注1 |
| 0 | PC0 | 常に0を示します。奇数番地への分岐はできません。 | R/W | 0 |

注1. 本製品では起動領域によりリセット後の値が異なります。詳細は「第4章 アドレス空間」を参照してください。

(2) 基本システムレジスタ

基本システムレジスタは、CPUの状態制御、例外情報保持などを行います。

基本システムレジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.4 基本システムレジスタ一覧

| レジスタ番号 (regID, selID) | 名称 | 機能 | アクセス 権限 |
|--------------------------|--------|----------------------------|------------|
| SR0, 0 | EIPC | EI レベル例外受け付け時の状態退避レジスタ | SV |
| SR1, 0 | EIPSW | EI レベル例外受け付け時の状態退避レジスタ | SV |
| SR2, 0 | FEPC | FE レベル例外受け付け時の状態退避レジスタ | SV |
| SR3, 0 | FEPSW | FE レベル例外受け付け時の状態退避レジスタ | SV |
| SR5, 0 | PSW | プログラムステータスワード | 注 1 |
| SR6, 0 | FPSR | ((4) FPU 機能レジスタ参照) | CU0 かつ SV |
| SR7, 0 | FPEPC | ((4) FPU 機能レジスタ参照) | CU0 かつ SV |
| SR8, 0 | FPST | ((4) FPU 機能レジスタ参照) | CU0 |
| SR9, 0 | FPCC | ((4) FPU 機能レジスタ参照) | CU0 |
| SR10, 0 | FPCFG | ((4) FPU 機能レジスタ参照) | CU0 |
| SR11, 0 | FPEC | ((4) FPU 機能レジスタ参照) | CU0 かつ SV |
| SR13, 0 | EIIC | EI レベル例外要因 | SV |
| SR14, 0 | FEIC | FE レベル例外要因 | SV |
| SR16, 0 | CTPC | CALLT 実行時の状態退避レジスタ | UM |
| SR17, 0 | CTPSW | CALLT 実行時の状態退避レジスタ | UM |
| SR20, 0 | CTBP | CALLT ベースポインタ | UM |
| SR28, 0 | EIWR | EI レベル例外用作業レジスタ | SV |
| SR29, 0 | FEWR | FE レベル例外用作業レジスタ | SV |
| SR31, 0 | (BSEL) | (V850E2 シリーズ後方互換のため予約) 注 2 | SV |
| SR0, 1 | MCFG0 | マシンコンフィグレーション | SV |
| SR2, 1 | RBASE | リセットベクタベースアドレス | SV |
| SR3, 1 | EBASE | 例外ハンドラベクタアドレス | SV |
| SR4, 1 | INTBP | 割り込みハンドラアドレステーブルのベースアドレス | SV |
| SR5, 1 | MCTL | CPU の制御 | SV |
| SR6, 1 | PID | プロセッサ識別子 | SV |
| SR11, 1 | SCCFG | SYSCALL の動作設定 | SV |
| SR12, 1 | SCBP | SYSCALL ベースポインタ | SV |
| SR0, 2 | HTCFG0 | スレッドコンフィグレーション | SV |
| SR6, 2 | MEA | メモリエラーアドレス | SV |
| SR7, 2 | ASID | アドレス空間識別子 | SV |
| SR8, 2 | MEI | メモリエラー情報 | SV |

注 1. ビットによってアクセス権限が異なります。詳細は、(2) 基本システムレジスタの PSW レジスタの説明を参照してください。

注 2. V850E2 シリーズの後方互換のため予約しています。読み込みは常に 0 を読み出し、書き込みは無視します。

(a) EIPC — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、EI レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（『RH850G3M ユーザーズマニュアル ソフトウェア編』の「4.1.3 例外の実行形態」を参照してください）。

EI レベル例外時状態退避レジスタは、1組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

EIPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

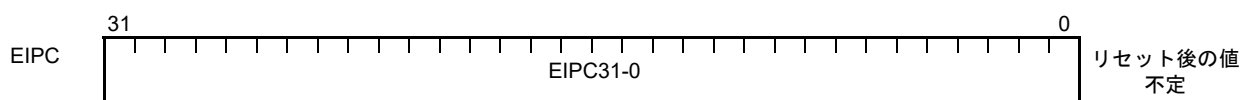


表 3.5 EIPC レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|--|-----|---------|
| 31 ~ 1 | EIPC31-1 | EI レベル例外受け付け時の復帰 PC を示します。 | R/W | 不定 |
| 0 | EIPC0 | EI レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、EIRET 命令の実行により PC に転送される値は、0 となります。 | R/W | 不定 |

(b) EIPSW — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

EI レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

注 意

ビット 11～9 はデバッグ機能に関わるため、通常は変更できません。

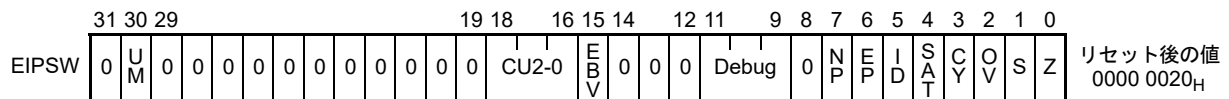


表 3.6 EIPSW レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|-------|-------|--|-----|---------|
| 31 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 30 | UM | EI レベル例外受け付け時の PSW.UM ビットを退避します。 | R/W | 0 |
| 29～19 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 18～16 | CU2-0 | EI レベル例外受け付け時の PSW.CU2-0 フィールドを退避します。 (CU2-1 ビットは将来のための予約です。必ず 0 を設定してください) | R/W | 0 |
| 15 | EBV | EI レベル例外受け付け時の PSW.EBV ビットを退避します。 | R/W | 0 |
| 14～12 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 11～9 | Debug | EI レベル例外受け付け時の PSW.Debug フィールドを退避します。 | R/W | 0 |
| 8 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 7 | NP | EI レベル例外受け付け時の PSW.NP ビットを退避します。 | R/W | 0 |
| 6 | EP | EI レベル例外受け付け時の PSW.EP ビットを退避します。 | R/W | 0 |
| 5 | ID | EI レベル例外受け付け時の PSW.ID ビットを退避します。 | R/W | 1 |
| 4 | SAT | EI レベル例外受け付け時の PSW.SAT ビットを退避します。 | R/W | 0 |
| 3 | CY | EI レベル例外受け付け時の PSW.CY ビットを退避します。 | R/W | 0 |
| 2 | OV | EI レベル例外受け付け時の PSW.OV ビットを退避します。 | R/W | 0 |
| 1 | S | EI レベル例外受け付け時の PSW.S ビットを退避します。 | R/W | 0 |
| 0 | Z | EI レベル例外受け付け時の PSW.Z ビットを退避します。 | R/W | 0 |

(c) FEPC — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、FE レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（『RH850G3M ユーザーズマニュアル ソフトウェア編』の「4.1.3 例外の実行形態」を参照してください）。

FE レベル例外時状態退避レジスタは、1組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

FEPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

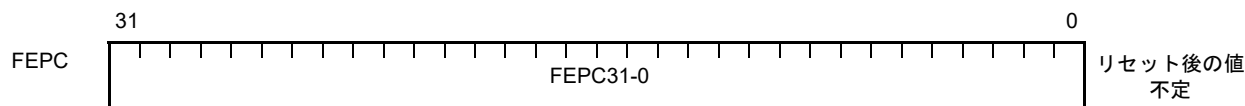


表 3.7 FEPC レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|--|-----|---------|
| 31 ~ 1 | FEPC31-1 | FE レベル例外受け付け時の復帰 PC を示します。 | R/W | 不定 |
| 0 | FEPC0 | FE レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、FERET 命令の実行により PC に転送される値は、0 となります。 | R/W | 不定 |

(d) FEPSW — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

FE レベル例外時状態退避レジスタは、1組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

注意

ビット 11～9 はデバッグ機能にかかわるため、通常は変更できません。

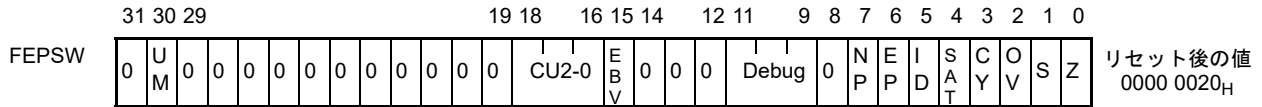


表 3.8 FEPSW レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|-------|-------|--|-----|---------|
| 31 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 30 | UM | FE レベル例外受け付け時の PSW.UM ビットを退避します。 | R/W | 0 |
| 29～19 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 18～16 | CU2-0 | FE レベル例外受け付け時の PSW.CU2-0 フィールドを退避します。 (CU2-1 ビットは将来のための予約です。必ず 0 を設定してください) | R/W | 0 |
| 15 | EBV | FE レベル例外受け付け時の PSW.EBV ビットを退避します。 | R/W | 0 |
| 14～12 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 11～9 | Debug | FE レベル例外受け付け時の PSW.Debug フィールドを退避します。 | R/W | 0 |
| 8 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 7 | NP | FE レベル例外受け付け時の PSW.NP ビットを退避します。 | R/W | 0 |
| 6 | EP | FE レベル例外受け付け時の PSW.EP ビットを退避します。 | R/W | 0 |
| 5 | ID | FE レベル例外受け付け時の PSW.ID ビットを退避します。 | R/W | 1 |
| 4 | SAT | FE レベル例外受け付け時の PSW.SAT ビットを退避します。 | R/W | 0 |
| 3 | CY | FE レベル例外受け付け時の PSW.CY ビットを退避します。 | R/W | 0 |
| 2 | OV | FE レベル例外受け付け時の PSW.OV ビットを退避します。 | R/W | 0 |
| 1 | S | FE レベル例外受け付け時の PSW.S ビットを退避します。 | R/W | 0 |
| 0 | Z | FE レベル例外受け付け時の PSW.Z ビットを退避します。 | R/W | 0 |

(e) PSW — プログラムステータスワード

PSW（プログラムステータスワード）は、プログラムの状態（命令実行の結果）を示すフラグやCPUの動作状態を示すビットの集合です（フラグとは条件命令（BcondやCMOVなど）によって参照されるPSW上のビットを示します）。

注 意

1. LDSR 命令を使用して、このレジスタのビット7～0の内容を変更した場合は、LDSR 命令の直後の命令から変更内容が有効となります。
2. PSW レジスタは、ビットごとにアクセス権限が違います。すべてのビットは読み出しは常に行えますが、書き込みは特定の条件でのみ書き込み可能なものが存在します。各ビットのアクセス権限は、「表 3.9 PSW レジスタビットのアクセス権限」を参照してください。

表 3.9 PSW レジスタビットのアクセス権限

| ビット | | 読み出し時 アクセス権限 | 書き込み時 アクセス権限 |
|-------|-------|-----------------|------------------|
| 30 | UM | UM | SV ^{注1} |
| 18～16 | CU2-0 | | SV ^{注1} |
| 15 | EBV | | SV ^{注1} |
| 11～9 | Debug | | 特殊 ^{注1} |
| 7 | NP | | SV ^{注1} |
| 6 | EP | | SV ^{注1} |
| 5 | ID | | SV ^{注1} |
| 4 | SAT | | UM |
| 3 | CY | | UM |
| 2 | OV | | UM |
| 1 | S | | UM |
| 0 | Z | | UM |

注 1. PSW レジスタ全体はアクセス権限がUMであるため、PSW.UM = 1のときLDSRで書き込みを行ってもPIE例外は起きません。書き込みが無視されます。

| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-----|----|----|----|----|----|----|----|----|----|----|---|---|---|-------|---|---|---|---|---|---|-----------------------------------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|--|
| PSW | 31 | 30 | 29 | 19 | 18 | 16 | 15 | 14 | 12 | 11 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | リセット後の値 0000 0020 _H | | | | | | | | | | | | | | | | | |
| | 0 | U | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | CU2-0 | E | B | V | 0 | 0 | 0 | Debug | 0 | N | P | E | P | I | D | S | A | T | C | Y | O | V | S | Z | |

表 3.10 PSW レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|-------|---------|--|-----|---------|
| 31 | — | (将来のための予約です。必ず0を設定してください) | R | 0 |
| 30 | UM | CPUがユーザモード（UMモード）にあることを示します。 0：スーパーバイザモード 1：ユーザモード | R/W | 0 |
| 29～19 | — | (将来のための予約です。必ず0を設定してください) | R | 0 |
| 18～16 | CU2-CU0 | コプロセッサ使用権を示します。コプロセッサに対応するビットが0のとき、そのコプロセッサ命令の実行、コプロセッサリソース（システムレジスタ）へのアクセスで、コプロセッサ使用不可例外が発生します。 CU2ビット18：(将来のための予約です。必ず0を設定してください) CU1ビット17：(将来のための予約です。必ず0を設定してください) CU0ビット16：FPU | R/W | 000 |

表 3.10 PSW レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|---------|---|-----|---------|
| 15 | EBV | リセットベクタ、例外ベクタの動作を示します。詳細は、本節の RBASE レジスタ、EBASE レジスタを参照してください。 | R/W | 0 |
| 14 ~ 12 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 11 ~ 9 | Debug | 開発ツール向けのデバッグ機能で使用します。通常は、0 を設定してください。 | — | 0 |
| 8 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 7 | NP | FE レベル例外の受け付けを禁止します。FE レベル例外が受け付けられるとセット (1) され、EI レベル例外、FE レベル例外の受け付けを禁止します。NP ビットによって、受け付けが禁止される例外は、 「RH850G3M ユーザーズマニュアル ソフトウェア編」の「表 4-1 例外要因一覧」 を参照してください。 0: FE レベル例外の受け付けを許可する 1: FE レベル例外の受け付けを禁止する | R/W | 0 |
| 6 | EP | 割り込みコントローラで制御される割り込み以外の例外処理中であることを示します。該当する例外の発生でセット (1) されます。なお、このビットはセット (1) されても例外要求の受け付けには影響しません。 0: 割り込み以外の例外処理中ではない 1: 割り込み以外の例外処理中である | R/W | 0 |
| 5 | ID | EI レベル例外の受け付けを禁止します。EI レベル例外、FE レベル例外が受け付けられるとセット (1) され、EI レベル例外の受け付けを禁止します。ID ビットによって、受け付けが禁止される例外は、 「RH850G3M ユーザーズマニュアル ソフトウェア編」の「表 4-1 例外要因一覧」 を参照してください。また、通常のプログラムや、割り込み処理中にクリティカル・セクションとして、EI レベル例外の受け付けを禁止する場合にも使用されます。DI 命令の実行によってセット (1) し、EI 命令の実行によってクリア (0) します。EI 命令、DI 命令による ID ビットの変更は、次の命令から有効となります。 0: EI レベル例外の受け付けを許可する 1: EI レベル例外の受け付けを禁止する | R/W | 1 |
| 4 | SAT 注 1 | 飽和演算命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット (1) され、以降の命令の演算結果が飽和しなくてもクリア (0) されません。クリア (0) する場合は、LDSR 命令により行います。なお、算術演算命令の実行では、セット (1) もクリア (0) も行いません。 0: 飽和していない 1: 飽和している | R/W | 0 |
| 3 | CY | 演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、およびボローが発生していない 1: キャリー、またはボローが発生した | R/W | 0 |
| 2 | OV 注 1 | 演算中にオーバフローが発生したかどうかを示します。 0: オーバフローが発生していない 1: オーバフローが発生した | R/W | 0 |
| 1 | S 注 1 | 演算の結果が負かどうかを示します。 0: 演算の結果は、正または 0 であった 1: 演算の結果は負であった | R/W | 0 |
| 0 | Z | 演算の結果が 0 かどうかを示します。 0: 演算の結果は 0 でなかった 1: 演算の結果は 0 であった | R/W | 0 |

注 1. 飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また、飽和演算時に OV フラグがセット (1) された場合だけ、SAT フラグはセット (1) されます。

| 演算結果の状態 | フラグの状態 | | | 飽和処理をした演算結果 |
|-------------|--------------|----|---|------------------------|
| | SAT | OV | S | |
| 正の最大値を越えた | 1 | 1 | 0 | 7FFF FFFF _H |
| 負の最大値を越えた | 1 | 1 | 1 | 8000 0000 _H |
| 正（最大値を越えない） | 演算前の値 を保持 | 0 | 0 | 演算結果そのもの |
| 負（最大値を越えない） | | | 1 | |

(f) EIIC — EI レベル例外要因

EIIC レジスタは、EI レベルの例外が発生した場合に、その要因を保持するレジスタです。EIIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

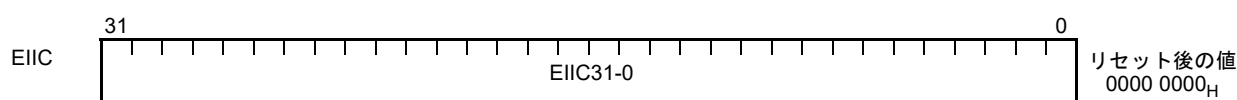


表 3.11 EIIC レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|---|-----|---------|
| 31 ~ 0 | EIIC31-0 | EI レベル例外受け付け時に、例外要因コードが格納されます。格納される例外要因コードは「表 6.14 割り込み例外ハンドラと優先順位」および「RH850G3M ユーザーズマニュアル ソフトウェア編」の「表 4-1 例外要因一覧」を参照してください。EIIC31-16 は、例外ごとに定義された詳細な例外要因コードが格納されます。例外にかかわる機能で特に定義がない場合は、0 が設定されます。 | R/W | 0 |

(g) FEIC — FE レベル例外要因

FEIC レジスタは、FE レベルの例外が発生した場合に、その要因を保持するレジスタです。FEIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

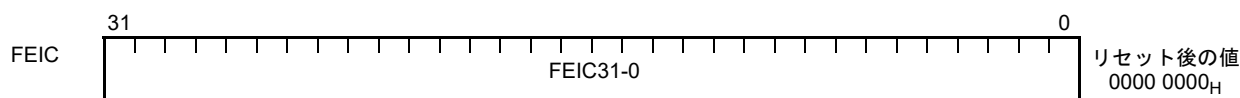


表 3.12 FEIC レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|---|-----|---------|
| 31 ~ 0 | FEIC31-0 | FE レベル例外受け付け時に、例外要因コードが格納されます。格納される例外要因コードは「表 6.14 割り込み例外ハンドラと優先順位」および「RH850G3M ユーザーズマニュアル ソフトウェア編」の「表 4-1 例外要因一覧」を参照してください。FEIC31-16 は、例外ごとに定義された詳細な例外要因コードが格納されます。例外にかかわる機能で特に定義がない場合は、0 が設定されます。 | R/W | 0 |

(h) CTPC — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、CALLT 命令の次の命令のアドレスが CTPC に退避されます。

CTPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

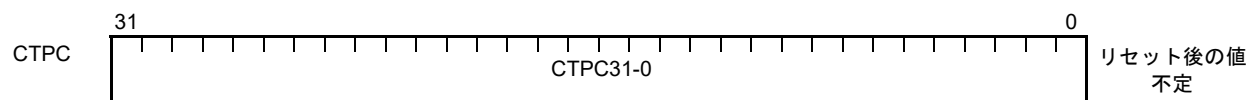


表 3.13 CTPC レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|--|-----|---------|
| 31 ~ 1 | CTPC31-1 | CALLT 命令の次の命令の PC を示します。 | R/W | 不定 |
| 0 | CTPC0 | CALLT 命令の次の命令の PC を示します。 常に 0 を設定してください。1 を設定した場合でも、CTRET 命令の実行により PC に転送される値は、0 となります。 | R/W | 不定 |

(i) CTPSW — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、PSW（プログラムステータスワード）の一部が CTPSW に退避されます。

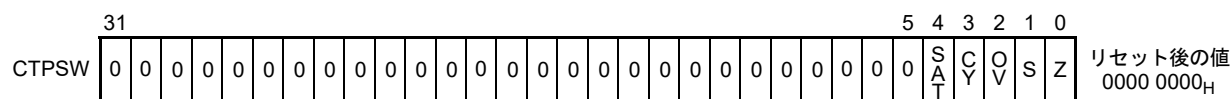


表 3.14 CTPSW レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|------|--------------------------------|-----|---------|
| 31 ~ 5 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 4 | SAT | CALLT 命令実行時の PSW.SAT ビットを退避します | R/W | 0 |
| 3 | CY | CALLT 命令実行時の PSW.CY ビットを退避します。 | R/W | 0 |
| 2 | OV | CALLT 命令実行時の PSW.OV ビットを退避します。 | R/W | 0 |
| 1 | S | CALLT 命令実行時の PSW.S ビットを退避します。 | R/W | 0 |
| 0 | Z | CALLT 命令実行時の PSW.Z ビットを退避します。 | R/W | 0 |

(j) CTBP — CALLT ベースポインタ

CTBP レジスタは、CALLT 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。

CTBP レジスタには必ずハーフワードアドレスを設定してください。

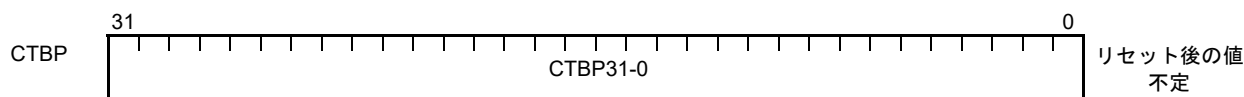


表 3.15 CTBP レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|--|-----|---------|
| 31 ~ 1 | CTBP31-1 | CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。 | R/W | 不定 |
| 0 | CTBP0 | CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。 常に 0 を設定してください。 | R | 0 |

(k) ASID — アドレス空間識別子

アドレス空間識別子です。メモリ管理機能で提供されるアドレス空間の識別のために使用します。

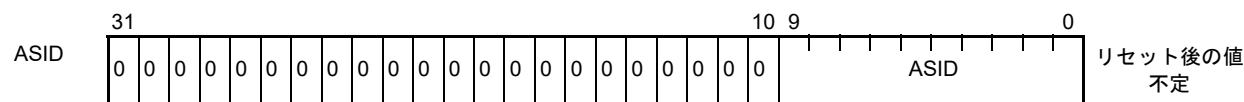


表 3.16 ASID レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|------|-----------------------------|-----|---------|
| 31 ~ 10 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 9 ~ 0 | ASID | アドレス空間識別子です。 | R/W | 不定 |

(l) EIWR — EI レベル例外用作業レジスタ

EIWR レジスタは、EI レベルの例外が発生したときの作業用レジスタです。

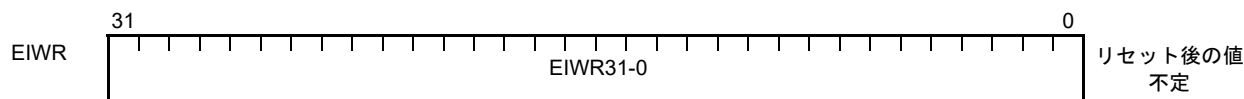


表 3.17 EIWR レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|---|-----|---------|
| 31 ~ 0 | EIWR31-0 | EI レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの一時退避などに利用してください。 | R/W | 不定 |

(m) FEWR — FE レベル例外用作業レジスタ

FEWR レジスタは、FE レベルの例外が発生したときの作業用レジスタです。

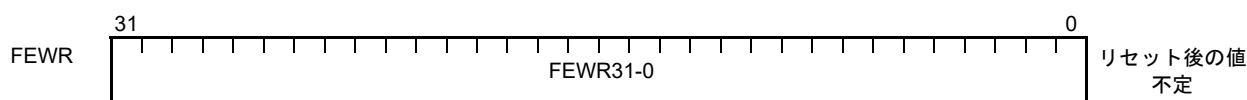


表 3.18 FEWR レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|---|-----|---------|
| 31 ~ 0 | FEWR31-0 | FE レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの一時退避などに利用してください。 | R/W | 不定 |

(n) HTCFG0 — スレッドコンフィグレーション

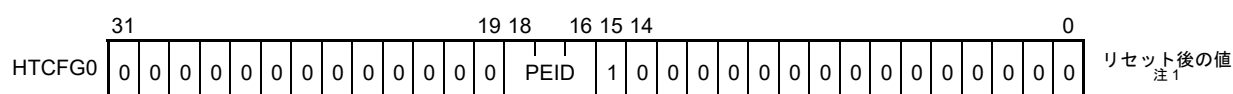


表 3.19 HTCFG0 レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|------|------------------------------|-----|---------|
| 31 ~ 19 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 18 ~ 16 | PEID | プロセッサエレメント番号を示します。 | R | 注2 |
| 15 | — | (将来のための予約です。必ず 1 を設定してください。) | R | 1 |
| 14 ~ 0 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |

注 1. 本製品の CPU1 (PE1) では 00018000_H です。

注 2. 本製品の CPU1 (PE1) では 001_B です。

(o) MEA — メモリエラーアドレス

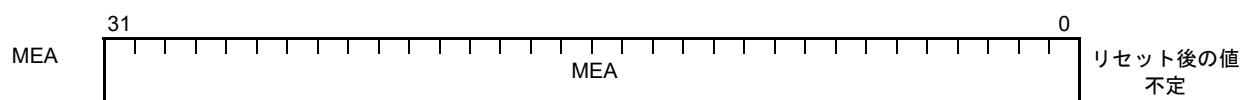


表 3.20 MEA レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|------|------------------------------------|-----|---------|
| 31 ~ 0 | MEA | MAE (ミスアライン) / MPU 違反時のアドレスを保存します。 | R/W | 不定 |

(p) MEI — メモリエラー情報

ミスライン例外 (MAE)、メモリ保護例外 (MDP) 発生時に、例外を引き起こした命令の情報を格納します。

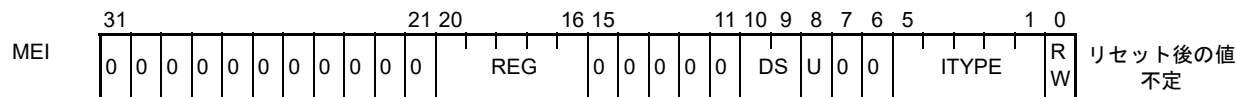


表 3.21 MEI レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|----------|--|-----|---------|
| 31 ~ 21 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 |
| 20 ~ 16 | REG4-0 | 例外を引き起こした命令のソースレジスタ番号、またはディスティネーションレジスタ番号を示します。 詳細は、「表 3.22 例外を引き起こした命令と MEI レジスタの値」を参照してください。 | R/W | 不定 |
| 15 ~ 11 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 |
| 10, 9 | DS | 例外を引き起こした命令のデータタイプを示します注 ¹ 。 0: バイト (8 ビット) 1: ハーフワード (16 ビット) 2: ワード (32 ビット) 3: ダブルワード (64 ビット) 詳細は、「表 3.22 例外を引き起こした命令と MEI レジスタの値」を参照してください。 | R/W | 不定 |
| 8 | U | 例外を引き起こした命令の符号拡張方式を示します。 0: Signed 1: Unsigned 詳細は、「表 3.22 例外を引き起こした命令と MEI レジスタの値」を参照してください。 | R/W | 不定 |
| 7, 6 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 |
| 5 ~ 1 | ITYPE4-0 | 例外を引き起こした命令を示します。 詳細は、「表 3.22 例外を引き起こした命令と MEI レジスタの値」を参照してください。 | R/W | 不定 |
| 0 | RW | 例外を引き起こした命令のオペレーションが、リード (Load-memory) だったのか、ライト (Store-memory) だったのかを示します。 0: リード (Load-memory) 1: ライト (Store-memory) 詳細は、「表 3.22 例外を引き起こした命令と MEI レジスタの値」を参照してください。 | R/W | 不定 |

注 1. ハードウェアによってアクセスが分割されるような場合においても、命令の示すデータタイプが格納されません。

表 3.22 例外を引き起こした命令と MEI レジスタの値 (1/2)

| 命令 | REG | DS | U | RW | ITYPE |
|----------------|-----|---------------|--------------|-----------|--------|
| SLD.B | dst | 0 (Byte) | 0 (Signed) | 0 (Read) | 00000b |
| SLD.BU | dst | 0 (Byte) | 1 (Unsigned) | 0 (Read) | 00000b |
| SLD.H | dst | 1 (Half-word) | 0 (Signed) | 0 (Read) | 00000b |
| SLD.HU | dst | 1 (Half-word) | 1 (Unsigned) | 0 (Read) | 00000b |
| SLD.W | dst | 2 (Word) | 0 (Signed) | 0 (Read) | 00000b |
| SST.B | src | 0 (Byte) | 0 (Signed) | 1 (Write) | 00000b |
| SST.H | src | 1 (Half-word) | 0 (Signed) | 1 (Write) | 00000b |
| SST.W | src | 2 (Word) | 0 (Signed) | 1 (Write) | 00000b |
| LD.B (disp16) | dst | 0 (Byte) | 0 (Signed) | 0 (Read) | 00001b |
| LD.BU (disp16) | dst | 0 (Byte) | 1 (Unsigned) | 0 (Read) | 00001b |
| LD.H (disp16) | dst | 1 (Half-word) | 0 (Signed) | 0 (Read) | 00001b |

表 3.22 例外を引き起こした命令と MEI レジスタの値 (2/2)

| 命令 | REG | DS | U | RW | ITYPE |
|------------------|-----|-----------------|--------------|-------------|--------|
| LD.HU (disp16) | dst | 1 (Half-word) | 1 (Unsigned) | 0 (Read) | 00001b |
| LD.W (disp16) | dst | 2 (Word) | 0 (Signed) | 0 (Read) | 00001b |
| ST.B (disp16) | src | 0 (Byte) | 0 (Signed) | 1 (Write) | 00001b |
| ST.H (disp16) | src | 1 (Half-word) | 0 (Signed) | 1 (Write) | 00001b |
| ST.W (disp16) | src | 2 (Word) | 0 (Signed) | 1 (Write) | 00001b |
| LD.B (disp23) | dst | 0 (Byte) | 0 (Signed) | 0 (Read) | 00010b |
| LD.BU (disp23) | dst | 0 (Byte) | 1 (Unsigned) | 0 (Read) | 00010b |
| LD.H (disp23) | dst | 1 (Half-word) | 0 (Signed) | 0 (Read) | 00010b |
| LD.HU (disp23) | dst | 1 (Half-word) | 1 (Unsigned) | 0 (Read) | 00010b |
| LD.W (disp23) | dst | 2 (Word) | 0 (Signed) | 0 (Read) | 00010b |
| ST.B (disp23) | src | 0 (Byte) | 0 (Signed) | 1 (Write) | 00010b |
| ST.H (disp23) | src | 1 (Half-word) | 0 (Signed) | 1 (Write) | 00010b |
| ST.W (disp23) | src | 2 (Word) | 0 (Signed) | 1 (Write) | 00010b |
| LD.DW (disp23) | dst | 3 (Double-word) | 0 (Signed) | 0 (Read) | 00010b |
| ST.DW (disp23) | src | 3 (Double-word) | 0 (Signed) | 1 (Write) | 00010b |
| LDL.W | dst | 2 (Word) | 0 (Signed) | 0 (Read) | 00111b |
| STC.W | src | 2 (Word) | 0 (Signed) | 1 (Write) | 00111b |
| CAXI | dst | 2 (Word) | 1 (Unsigned) | 0 (Read) 注1 | 01000b |
| SET1 | — | 0 (Byte) | 1 (Unsigned) | 0 (Read) 注1 | 01001b |
| CLR1 | — | 0 (Byte) | 1 (Unsigned) | 0 (Read) 注1 | 01001b |
| NOT1 | — | 0 (Byte) | 1 (Unsigned) | 0 (Read) 注1 | 01001b |
| TST1 | — | 0 (Byte) | 1 (Unsigned) | 0 (Read) | 01001b |
| PREPARE | — | 2 (Word) | 1 (Unsigned) | 1 (Write) | 01100b |
| DISPOSE | — | 2 (Word) | 1 (Unsigned) | 0 (Read) | 01100b |
| PUSHSP | — | 2 (Word) | 1 (Unsigned) | 1 (Write) | 01101b |
| POPSP | — | 2 (Word) | 1 (Unsigned) | 0 (Read) | 01101b |
| SWITCH | — | 1 (Half-word) | 0 (Signed) | 0 (Read) | 10000b |
| CALLT | — | 1 (Half-word) | 1 (Unsigned) | 0 (Read) | 10001b |
| SYSCALL | — | 2 (Word) | 1 (Unsigned) | 0 (Read) | 10010b |
| CACHE | — | — | — | 0/1 注2 | 10100b |
| 割り込み (テーブル参照) 注3 | — | 2 (Word) | 1 (Unsigned) | 0 (Read) | 10101b |

注 1. リード時点で例外が発生します。

注 2. オペレーションに依存します。

注 3. テーブル参照方式の割り込みベクタ読み込み時

備考 dst: ディスティネーションレジスタ番号、src: ソースレジスタ番号

(q) RBASE — リセットベクタベースアドレス

リセット時のリセットベクタアドレスを示すレジスタです。PSW.EBV ビットがクリア (0) されている場合、このベクタアドレスは例外ベクタアドレスとしても使用されます。

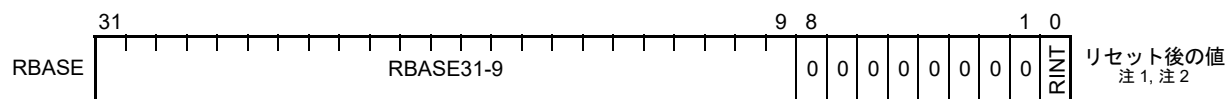


表 3.23 RBASE レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|-----------|---|-----|---------|
| 31 ~ 9 | RBASE31-9 | リセット時のリセットベクタを示します。このアドレスは PSW.EBV = 0 のとき、例外ベクタとしても使用されます。RBASE8-0 は、暗黙的に 0 が利用されます。 | R | 注 1 |
| 8 ~ 1 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 0 | RINT | RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスの縮小を行います。詳細は、「RH850G3M ユーザーズマニュアル ソフトウェア編」の「4.5.1 (1) 直接ベクタ方式」を参照してください。このビットは PSW.EBV = 0 のときに有効です。 | R | 注 2 |

注 1. 本製品では起動領域によりリセット後の値が異なります。詳細は「第 4 章 アドレス空間」を参照してください。

注 2. 本製品では 0_B です。

(r) EBASE — 例外ハンドラベクタアドレス

例外ハンドラのベクタアドレスを示すレジスタです。PSW.EBV ビットがセット (1) されている場合に有効です。

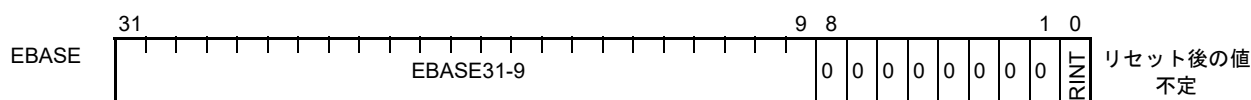


表 3.24 EBASE レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|-----------|---|-----|---------|
| 31 ~ 9 | EBASE31-9 | 例外ハンドラルーチンのアドレスがこのレジスタで指定されたベースアドレスに、各例外のオフセットアドレスを加えたアドレスに変更されます。EBASE8-0 は、暗黙的に 0 が利用されます。 | R/W | 不定 |
| 8 ~ 1 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 0 | RINT | RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスの縮小を行います。詳細は、「RH850G3M ユーザーズマニュアル ソフトウェア編」の「4.5.1 (1) 直接ベクタ方式」を参照してください。 | R/W | 不定 |

(s) INTBP — 割り込みハンドラテーブルのベースアドレス

割り込みハンドラアドレスの選択方式として、テーブル参照方式を選択した場合の、テーブルのベースアドレスを示すレジスタです。

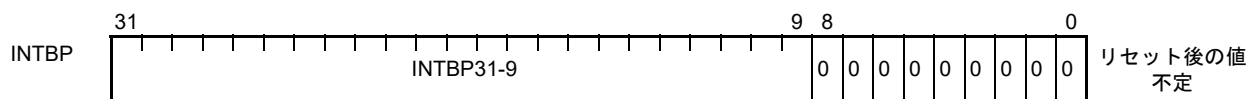


表 3.25 INTBP レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|-----------|--|-----|---------|
| 31 ~ 9 | INTBP31-9 | 割り込みのテーブル参照方式のベースポインタアドレスです。テーブル参照方式を指定した割り込み (EIINT0-511) 受け付け時の例外ハンドラ決定に利用するテーブルの先頭アドレスを示します。INTBP8-0は、暗黙的に0が利用されます。 | R/W | 不定 |
| 8 ~ 0 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 |

(t) PID — プロセッサ識別子

PID レジスタは、CPU 固有のプロセッサ識別子を保持します。PID レジスタはリードのみ可能です。

注 意

PID レジスタは、搭載された CPU コア、および CPU コアのコンフィギュレーションを識別するための情報です。ソフトウェアの挙動を、PID レジスタの情報によって、動的に変化させるような利用方法を想定していません。

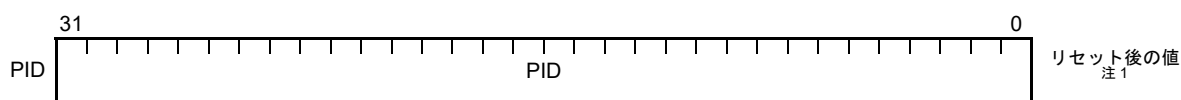


表 3.26 PID レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|------|---|-----|-------------------|
| 31 ~ 24 | PID | アーキテクチャ識別子 プロセッサの属するアーキテクチャを示す識別子です。 | R | 05 _H |
| 23 ~ 8 | | 機能識別子 プロセッサの持つ機能を示す識別子です。 ビットごとに定義された機能の搭載/非搭載を示します (1: 搭載、0: 非搭載)。 ビット 23-11: 予約 ビット 10: 倍精度浮動小数点演算機能 ビット 9: 単精度浮動小数点演算機能 ビット 8: メモリ保護機能 (MPU) | R | 8007 _H |
| 7 ~ 0 | | バージョン識別子 プロセッサのバージョンを示す識別子です。 | R | 01 _H |

注 1. 本製品では 0580 0701_H です。

(u) SCCFG — SYSCALL の動作設定

SYSCALL 命令に関する動作設定を行います。SYSCALL 命令の使用前に必ず適切な値を設定してください。

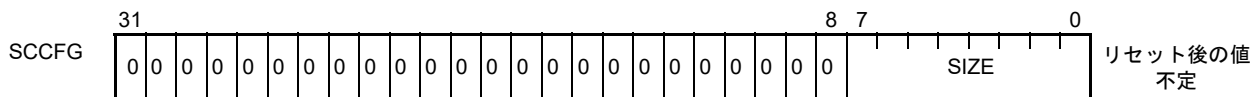


表 3.27 SCCFG レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|------|--|-----|---------|
| 31 ~ 8 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 7 ~ 0 | SIZE | SYSCALL 命令が参照するテーブルの最大エントリ数を指定します。SYSCALL が参照する最大エントリ数は、SIZE が 0 の場合は 1 エントリ、255 の場合は 256 エントリです。SYSCALL 命令で分岐する関数の数に合わせて、最大エントリ数を適切に設定することで、メモリ領域を有効に活用できます。 最大エントリ数を越えるベクタが SYSCALL 命令で指定された場合には、先頭のエントリが選択されます。先頭のエントリには、エラー処理ルーチンを配置してください。 | R/W | 不定 |

(v) SCBP — SYSCALL ベースポインタ

SCBP レジスタは、SYSCALL 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。SYSCALL 命令の使用前に、必ず適切な値を設定してください。

SCBP レジスタには必ずワードアドレスを設定してください。

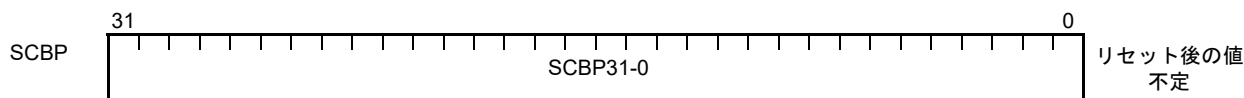


表 3.28 SCBP レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|--|-----|---------|
| 31 ~ 2 | SCBP31-2 | SYSCALL 命令のベースポインタアドレスです。SYSCALL 命令で利用するテーブルの先頭アドレスを示します。 | R/W | 不定 |
| 1, 0 | SCBP1-0 | SYSCALL 命令のベースポインタアドレスです。SYSCALL 命令で利用するテーブルの先頭アドレスを示します。常に 0 を設定してください。 | R | 0 |

(w) MCFG0 — マシンコンフィグレーション

CPU のコンフィギュレーションを表すレジスタです。

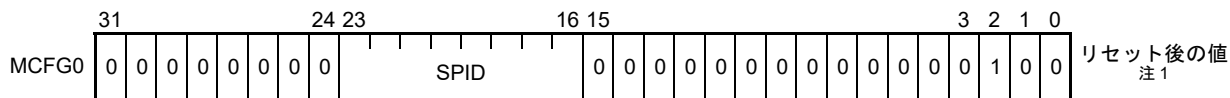


表 3.29 MCFG0 レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|------|--|-----|---------|
| 31 ~ 24 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 23 ~ 16 | SPID | ビット 23 ~ 18 : 本製品では対応していません。(将来のための予約です。必ず 0 を設定してください) ビット 17、16 : システムプロテクション番号を示します。 | R/W | 注 2 |
| 15 ~ 3 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 2 | — | (将来のための予約です。必ず 1 を設定してください。) | R | 1 |
| 1、0 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |

注 1. 本製品の CPU1 (PE1) では 00010004_H です。

注 2. 本製品の CPU1 (PE1) では 01_H です。

(x) MCTL — マシンの制御

CPU の制御を行うレジスタです。

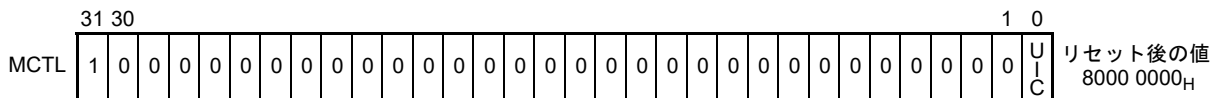


表 3.30 MCTL レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|------|---|-----|---------|
| 31 | — | (将来のための予約です。必ず 1 を設定してください。) | R | 1 |
| 30 ~ 1 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 0 | UIC | ユーザモードでの割り込み許可禁止操作を制御するビットです。このビットをセット (1) するとユーザモードでの EI/DI 命令の実行が可能になります。 | R/W | 0 |

(2) ISPR — 受け付け中割り込み優先度

CPU で処理中の EIINTn の割り込み優先度を、優先度ごとに保持し、多重割り込み時の優先度によるプライオリティシーリングを行います。

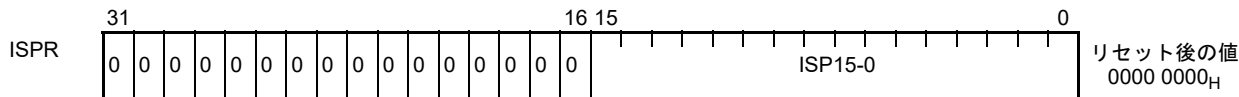


表 3.33 ISPR レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 | | | | | | | | | | | | |
|---------|---------------|---|-----|---------|---|---------------|---|-------|---|---|----|--------|----|--------|-----------------|---|
| 31 ~ 16 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 | | | | | | | | | | | | |
| 15 ~ 0 | ISP15-0 | <p>ビット位置に対応した優先度^{注1}の割り込み (EIINTn) の受け付け状況を示します。</p> <p>0: ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない</p> <p>1: ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中</p> <p>各ビット位置が、次のように各優先度に対応しています。</p> <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>ビット</th> <th>優先度</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>優先度 0 (最高優先度)</td> </tr> <tr> <td>1</td> <td>優先度 1</td> </tr> <tr> <td style="text-align: center;">:</td> <td style="text-align: center;">:</td> </tr> <tr> <td>14</td> <td>優先度 14</td> </tr> <tr> <td>15</td> <td>優先度 15</td> </tr> </tbody> </table> <p>割り込み (EIINTn) 要求を受け付けた場合、受け付けた割り込み (EIINTn) 要求に対応するビットが自動的にセット (1) されます。また、EIRET 命令実行時に PSW.EP = 0 の場合、ISP15-0 でセット (1) されているビットのうち、最も高優先度 (0 が高優先度側) のビットがクリア (0) されます^{注2}。</p> <p>このビットがセット (1) されている間、その優先度以下の割り込み (EIINTn) と FPI 例外^{注3} がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることはありません。詳細は、「RH850G3M ユーザーズマニュアル ソフトウェア編」の「4. 1. 5 割り込みの例外優先度と優先度マスク」を参照してください。</p> <p>PMR レジスタを利用してソフトウェアによる優先度管理を行う場合は、INTCFG.ISPC ビットの機能によってクリアしてください。</p> | ビット | 優先度 | 0 | 優先度 0 (最高優先度) | 1 | 優先度 1 | : | : | 14 | 優先度 14 | 15 | 優先度 15 | R ^{注4} | 0 |
| ビット | 優先度 | | | | | | | | | | | | | | | |
| 0 | 優先度 0 (最高優先度) | | | | | | | | | | | | | | | |
| 1 | 優先度 1 | | | | | | | | | | | | | | | |
| : | : | | | | | | | | | | | | | | | |
| 14 | 優先度 14 | | | | | | | | | | | | | | | |
| 15 | 優先度 15 | | | | | | | | | | | | | | | |

注 1. 詳細は、「RH850G3M ユーザーズマニュアル ソフトウェア編」の「4. 1. 5 割り込みの例外優先度と優先度マスク」を参照してください。

注 2. INTCFG.ISPC の設定によって、割り込み受け付け、また EIRET 命令による自動更新が行われなくなります。通常は、自動更新を行う方法での利用を推奨します。

注 3. FPI 例外は、割り込み (EIINTn) と同一の優先レベルであるため、割り込みと同様に ISPR の影響を受けません。FPI 例外の優先度は、FPIPR レジスタによって設定されます。

注 4. INTCFG.ISPC の設定によって、R または R/W となります。通常は R として利用する方法を推奨します。

(3) PMR — 割り込み優先度マスク

指定した割り込み優先度のマスクを行うレジスタです。

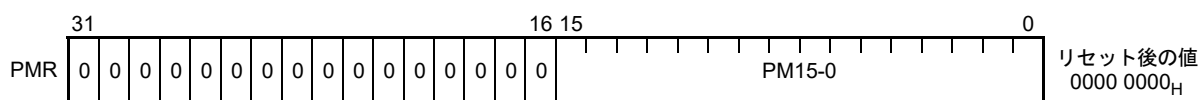


表 3.34 PMR レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 | | | | | | | | | | | | |
|---------|----------------|--|-----|---------|---|---------------|---|-------|---|--|----|--------|----|----------------|-----|---|
| 31 ~ 16 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 | | | | | | | | | | | | |
| 15 ~ 0 | PM15-0 | <p>ビット位置に対応した割り込み要求をマスクします。 0: ビット位置に対応する優先度の割り込み処理を許可 1: ビット位置に対応する優先度の割り込み処理を禁止</p> <p>各ビット位置が、次のように各優先度に対応しています。</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>優先度</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>優先度 0 (最高優先度)</td> </tr> <tr> <td>1</td> <td>優先度 1</td> </tr> <tr> <td colspan="2" style="text-align: center;">:</td> </tr> <tr> <td>14</td> <td>優先度 14</td> </tr> <tr> <td>15</td> <td>優先度 15 (最低優先度)</td> </tr> </tbody> </table> <p>このビットがセット (1) されている間、その優先度の割り込み (EIINTn) と FPI 例外^{注1} がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることはありません^{注2}。</p> | ビット | 優先度 | 0 | 優先度 0 (最高優先度) | 1 | 優先度 1 | : | | 14 | 優先度 14 | 15 | 優先度 15 (最低優先度) | R/W | 0 |
| ビット | 優先度 | | | | | | | | | | | | | | | |
| 0 | 優先度 0 (最高優先度) | | | | | | | | | | | | | | | |
| 1 | 優先度 1 | | | | | | | | | | | | | | | |
| : | | | | | | | | | | | | | | | | |
| 14 | 優先度 14 | | | | | | | | | | | | | | | |
| 15 | 優先度 15 (最低優先度) | | | | | | | | | | | | | | | |

注 1. FPI 例外は、割り込み (EIINTn) と同一の優先レベルであるため、割り込みと同様に PMR の影響を受けません。FPI 例外の優先度は、FPIPR レジスタによって設定されます。

注 2. マスクは低優先側から、連続して 1 を設定してください。例えば FF00_H のような設定は可能ですが、F0F0_H や 00FF_H のような設定は禁止します。

(4) ICSR — 割り込み制御ステータス

CPU 内部の割り込み制御の状況を示すレジスタです。



表 3.35 ICSR レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|------|---|-----|---------|
| 31 ~ 2 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 |
| 1 | PMFP | PMR の設定でマスクされている優先度の FPI 例外が存在することを示します。 | R | 0 |
| 0 | PMEI | PMR の設定でマスクされている優先度の割り込み (EIINTn) が存在することを示します。 | R | 0 |

(5) INTCFG — 割り込み機能の設定

CPU 内部の割り込み機能に関する設定を行うレジスタです。

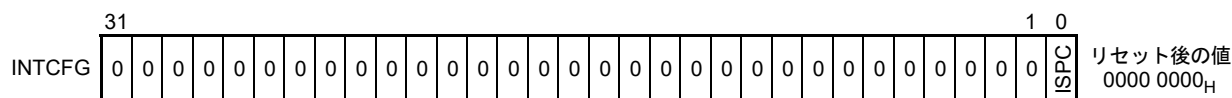


表 3.36 INTCFG レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|------|---|-----|---------|
| 31 ~ 1 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 0 | ISPC | <p>ISPR レジスタの書き込み変更方法を設定するビットです。</p> <p>0 : ISPR を自動的に更新します。プログラムによる更新 (LDSR) を無視します。</p> <p>1 : ISPR を自動的に更新しません。プログラムによる更新 (LDSR) が行えます。</p> <p>このビットがクリア (0) されている場合、ISPR レジスタの各ビットは割り込み (EIINTn) の受け付けにより自動的にセット (1)、EIRET 命令の実行によって自動的にクリア (0) が行われます。この状態ではプログラムによる LDSR を使った更新を無視します。</p> <p>このビットがセット (1) されている場合、ISPR レジスタの各ビットは割り込み (EIINTn) の受け付けや、EIRET 命令の実行によっては、更新を行いません。この状態ではプログラムによる LDSR を使った更新が可能となります。</p> <p>通常 ISPC ビットはクリア (0) した状態で利用してください。ソフトウェアによる割り込み優先度を管理する場合に、このビットをセット (1) し、PMR レジスタによる優先度管理を行ってください。</p> | R/W | 0 |

(4) FPU 機能レジスタ

(a) 浮動小数点レジスタ

FPU は CPU の汎用レジスタ (r0-r31) を使用します。浮動小数点演算専用のレジスタファイルはありません。

- 単精度浮動小数点演算命令：
32 個の 32 ビットレジスタを指定できます。これは汎用レジスタの r0-r31 に相当します。
- 倍精度浮動小数点演算命令：
16 個の 64 ビットレジスタを指定できます。これは汎用レジスタを 1 対ずつ使用するレジスタペア ({r1, r0}, {r3, r2} ... {r31, r30}) に相当します。レジスタペアは命令形式上、偶数レジスタで指定します。r0 がゼロレジスタ (常に 0 を保持) であるので、原則として {r1, r0} は倍精度浮動小数点演算命令では使用するべきではありません。

(b) 浮動小数点機能システムレジスタ

FPU では浮動小数点演算制御のために以下のシステムレジスタが使用できます。浮動小数点機能システムレジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。レジスタの詳細は「RH850G3M ユーザーズマニュアル ソフトウェア編」の「3.4.2 浮動小数点機能システム・レジスタ」を参照してください。

表 3.37 FPU 機能システムレジスタ一覧

| レジスタ番号 (regID, selID) | 名称 | 機能 | アクセス 権限 |
|--------------------------|-------|--------------------|------------|
| SR6, 0 | FPSR | 浮動小数点演算の設定/ステータス | CU0 かつ SV |
| SR7, 0 | FPEPC | 浮動小数点演算例外プログラムカウンタ | CU0 かつ SV |
| SR8, 0 | FPST | 浮動小数点のステータス | CU0 |
| SR9, 0 | FPCC | 浮動小数点演算の比較結果 | CU0 |
| SR10, 0 | FPCFG | 浮動小数点機能の設定 | CU0 |
| SR11, 0 | FPEC | 浮動小数点演算例外の制御 | CU0 かつ SV |

(5) MPU 機能レジスタ

(a) MPU 機能システムレジスタ

MPU 機能システムレジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.38 MPU 機能システムレジスタ一覧 (1/2)

| レジスタ番号 (regID, selID) | 名称 | 機能 | アクセス 権限 |
|--------------------------|--------|-----------------|------------|
| SR0, 5 | MPM | メモリ保護動作モードの設定 | SV |
| SR1, 5 | MPRC | MPU リージョン制御 | SV |
| SR4, 5 | MPBRGN | MPU ベースリージョン番号 | SV |
| SR5, 5 | MPTRGN | MPU 終端リージョン番号 | SV |
| SR8, 5 | MCA | メモリ保護設定チェックアドレス | SV |
| SR9, 5 | MCS | メモリ保護設定チェックサイズ | SV |
| SR10, 5 | MCC | メモリ保護設定チェックコマンド | SV |
| SR11, 5 | MCR | メモリ保護設定チェック結果 | SV |
| SR0, 6 | MPLA0 | 保護領域の下限アドレス | SV |
| SR1, 6 | MPUA0 | 保護領域の上限アドレス | SV |
| SR2, 6 | MPAT0 | 保護領域の属性 | SV |
| SR4, 6 | MPLA1 | 保護領域の下限アドレス | SV |
| SR5, 6 | MPUA1 | 保護領域の上限アドレス | SV |
| SR6, 6 | MPAT1 | 保護領域の属性 | SV |
| SR8, 6 | MPLA2 | 保護領域の下限アドレス | SV |
| SR9, 6 | MPUA2 | 保護領域の上限アドレス | SV |
| SR10, 6 | MPAT2 | 保護領域の属性 | SV |
| SR12, 6 | MPLA3 | 保護領域の下限アドレス | SV |
| SR13, 6 | MPUA3 | 保護領域の上限アドレス | SV |
| SR14, 6 | MPAT3 | 保護領域の属性 | SV |
| SR16, 6 | MPLA4 | 保護領域の下限アドレス | SV |
| SR17, 6 | MPUA4 | 保護領域の上限アドレス | SV |
| SR18, 6 | MPAT4 | 保護領域の属性 | SV |
| SR20, 6 | MPLA5 | 保護領域の下限アドレス | SV |
| SR21, 6 | MPUA5 | 保護領域の上限アドレス | SV |
| SR22, 6 | MPAT5 | 保護領域の属性 | SV |
| SR24, 6 | MPLA6 | 保護領域の下限アドレス | SV |
| SR25, 6 | MPUA6 | 保護領域の上限アドレス | SV |
| SR26, 6 | MPAT6 | 保護領域の属性 | SV |
| SR28, 6 | MPLA7 | 保護領域の下限アドレス | SV |
| SR29, 6 | MPUA7 | 保護領域の上限アドレス | SV |
| SR30, 6 | MPAT7 | 保護領域の属性 | SV |
| SR0, 7 | MPLA8 | 保護領域の下限アドレス | SV |
| SR1, 7 | MPUA8 | 保護領域の上限アドレス | SV |
| SR2, 7 | MPAT8 | 保護領域の属性 | SV |
| SR4, 7 | MPLA9 | 保護領域の下限アドレス | SV |
| SR5, 7 | MPUA9 | 保護領域の上限アドレス | SV |
| SR6, 7 | MPAT9 | 保護領域の属性 | SV |

表 3.38 MPU 機能システムレジスタ一覧 (2/2)

| レジスタ番号 (regID, selID) | 名称 | 機能 | アクセス 権限 |
|--------------------------|--------|------------------------------------|------------|
| SR8, 7 | MPLA10 | 保護領域の下限アドレス | SV |
| SR9, 7 | MPUA10 | 保護領域の上限アドレス | SV |
| SR10, 7 | MPAT10 | 保護領域の属性 | SV |
| SR12, 7 | MPLA11 | 保護領域の下限アドレス | SV |
| SR13, 7 | MPUA11 | 保護領域の上限アドレス | SV |
| SR14, 7 | MPAT11 | 保護領域の属性 | SV |
| SR16, 7 | MPLA12 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR17, 7 | MPUA12 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR18, 7 | MPAT12 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR20, 7 | MPLA13 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR21, 7 | MPUA13 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR22, 7 | MPAT13 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR24, 7 | MPLA14 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR25, 7 | MPUA14 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR26, 7 | MPAT14 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR28, 7 | MPLA15 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR29, 7 | MPUA15 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR30, 7 | MPAT15 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |

注 1. 搭載されている MPLAn、MPUA_n、MPAT_n レジスタの数は、製品によって異なります。本製品の保護領域数は 12 (n = 0 ~ 11) です。

(1) MPM — メモリ保護動作モード

メモリ保護モードレジスタはメモリ保護機能の基本的な動作状態を決定します。

| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-----|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|-------------|---|---|---|---|---|---|---|---|---|---|---|-------|---|---|-----------------------------------|
| 31 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 11 10 9 8 7 | D | D | D | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 2 1 0 | S | M | リセット後の値 0000 0000 _H |
| MPM | | | | | | | | | | | | | | | | | | | | | | | | | X | W | R | P | P | E | | | | |

表 3.39 MPM レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|------|---|-----|---------|
| 31 ~ 11 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 10 | DX | 本製品では対応していません。 (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 9 | DW | 本製品では対応していません。 (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 8 | DR | 本製品では対応していません。 (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 7 ~ 2 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 1 | SVP | SV モード (PSW.UM = 0) 時に、各保護領域ごとに MPAT レジスタの SX、SW、SR にしたがってアクセス制限を行うかどうかを指定します。注 ¹ 0: 従来どおり、SV モードでは、暗黙的にすべてのアクセスは許可とします。 1: SV モードであっても、SX、SW、SR ビットにしたがってアクセス制限を行います。注 ² | R/W | 0 |
| 0 | MPE | MPU 機能の有効/無効を指定します。 0: 無効 1: 有効 | R/W | 0 |

- 注 1. SVP ビットをセット (1) すると、SV モードであっても各保護領域ごとの設定にしたがってアクセス制限が課されるようになります。このため、SVP ビットをセットするプログラム自身がアクセス制限されることがないように、あらかじめ保護領域の設定を行ってください。
- 注 2. SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

(5) MCA — メモリ保護設定チェックアドレス

メモリ保護設定のチェックを行う領域のベースアドレスを指定します。

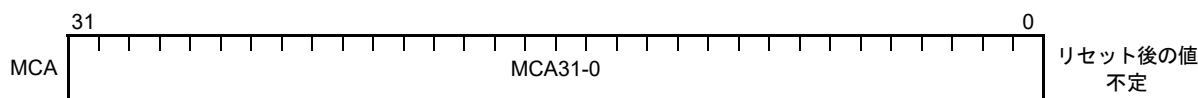


表 3.43 MCA レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|------------|---|-----|---------|
| 31 ~ 0 | MCA31-MCA0 | メモリ保護設定のチェックを行う対象のメモリ領域の先頭アドレスをバイト単位で指定します。 | R/W | 不定 |

(6) MCS — メモリ保護設定チェックサイズ

メモリ保護設定のチェックを行う領域のサイズを指定します。

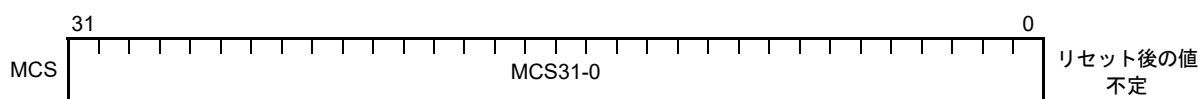


表 3.44 MCS レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|------------|--|-----|---------|
| 31 ~ 0 | MCS31-MCS0 | メモリ保護設定のチェックを行う対象のメモリ領域のサイズを指定する、対象領域のサイズをバイト単位で指定します。指定されたサイズは符号なしの整数として扱うため、MCA レジスタの値からアドレス値が減少する方向へ領域のチェックを行うことができません。MCS レジスタには 0000 0000 _H を設定しないでください。 | R/W | 不定 |

(7) MCC — メモリ保護設定チェックコマンド

メモリ保護設定のチェックを開始するためのコマンド・レジスタです。

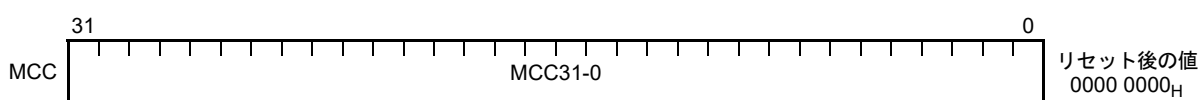


表 3.45 MCC レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|------------|--|-----|---------|
| 31 ~ 0 | MCC31-MCC0 | MCC レジスタへの任意の値を書き込むと、メモリ保護設定のチェックが開始されます。事前に MCA/MCS レジスタを設定し、このレジスタへの書き込み操作を行うことで、MCR に結果が格納されます。任意の書き込み値で、チェックを開始するため、r0 をソース・レジスタとして、余分なレジスタを使用することなく、チェックを開始できます。また、チェックは、PSW.UM ビットの状態にかかわらず、各領域設定にしたがった結果を反映します。MCC レジスタからの読み出し値は、常に 0000 0000 _H となります。 | R/W | 0 |

(8) MCR — メモリ保護設定チェック結果

メモリ保護設定のチェックの結果を格納するレジスタです。

ビット 31 ～ 9、7、6 には、必ず 0 を設定してください。

注 意

1. チェック対象の領域の指定が 0000 0000_H をまたぐ場合、領域指定が誤っていると判断し、MCR.OV ビットがセット (1) されます。このため、チェック結果を参照する場合には、必ず MCR.OV ビットを確認し、結果が不正でないことを確認 (OV = 0 であることを確認) してから、その他のチェック結果を利用してください。
2. デフォルト設定 (MPM.DX, DW, DR) をセット (1) している場合、正しい結果が得られない場合があります。デフォルトを許可にする場合、メモリ保護設定チェック機能は利用しないで下さい。

| | | | | | | | | | | | | | | | | | | | | | | |
|-----|----|---|---|---|---|---|---|---|---|---|---|---|----|---|---|---------|-----|-----|-----|-----|-----|---------------|
| | 31 | | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | | | | | | | |
| MCR | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | OV | 0 | 0 | SX E | SWE | SRE | UXE | UWE | URE | リセット後の値 不定 |

表 3.46 MCR レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|------|---|-----|---------|
| 31 ～ 9 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 8 | OV | 指定された領域が 0000 0000 _H または、7FFF FFFF _H をまたがる場合に、1 が格納されます。それ以外の場合は、0 が格納されます。 | R/W | 不定 |
| 7、6 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 5 | SXE | 指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパーバイザ実行許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。 | R/W | 不定 |
| 4 | SWE | 指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパーバイザライト許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。 | R/W | 不定 |
| 3 | SRE | 指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパーバイザリード許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。 | R/W | 不定 |
| 2 | UXE | 指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザーモード実行許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。 | R/W | 不定 |
| 1 | UWE | 指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザーモードライト許可であった場合に、1 が格納されます。それ以外の場合は 0 が格納されます。 | R/W | 不定 |
| 0 | URE | 指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザーモードリード許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。 | R/W | 不定 |

(9) MPLAn — 保護領域の下限アドレス

領域 n の下限アドレスを示すレジスタです ($n = 0 \sim 11$)。本製品の保護領域数は 12 です。

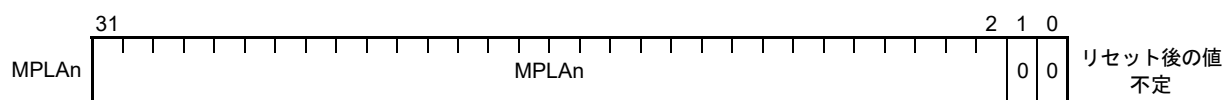


表 3.47 MPLAn レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|---|-----|---------|
| 31 ~ 2 | MPLA31-2 | 領域 n の下限アドレスを示します。 MPLAn.MPLA1-0 は暗黙的に 0 を使用します。 | R/W | 不定 |
| 1, 0 | — | 将来のための予約です。必ず 0 に設定してください。 | R | 0 |

(10) MPUAn — 保護領域の上限アドレス

領域 n の上限アドレスを示すレジスタです ($n = 0 \sim 11$)。本製品の保護領域数は 12 です。

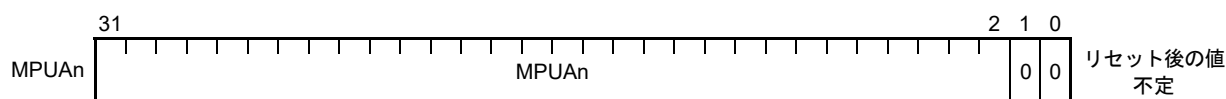


表 3.48 MPUAn レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|---|-----|---------|
| 31 ~ 2 | MPUA31-2 | 領域 n の上限アドレスを示します。 MPUAn.MPUA1-0 は暗黙的に 1 を使用します。 | R/W | 不定 |
| 1, 0 | — | 将来のための予約です。必ず 0 に設定してください。 | R | 0 |

(11) MPATn — 保護領域の属性

領域 n の属性を示すレジスタです (n = 0 ~ 11)。本製品の保護領域数は 12 です。

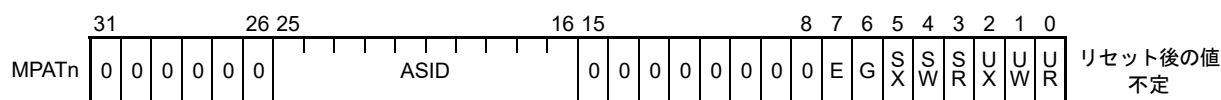


表 3.49 MPATn レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|------|--|-----|---------|
| 31 ~ 26 | — | (将来のための予約です。必ず 0 に設定してください。) | R | 0 |
| 25 ~ 16 | ASID | 領域一致の条件として利用する ASID の値を示します。 | R/W | 不定 |
| 15 ~ 8 | — | (将来のための予約です。必ず 0 に設定してください。) | R | 0 |
| 7 | E | 領域 n の有効/無効を示します。 0: 領域 n を無効とする 1: 領域 n を有効とする | R/W | 0 |
| 6 | G | 0: ASID 一致を条件とする 1: ASID 一致を条件としない このビットが 0 の場合は、MPATn.ASID = ASID.ASID であることが領域一致の条件となります。このビットが 1 の場合は、MPATn.ASID と ASID.ASID の値を領域一致の条件としません。 | R/W | 不定 |
| 5 | SX | スーパーバイザモードでの実行権を示します 注1。 0: 実行禁止 1: 実行許可 | R/W | 不定 |
| 4 | SW | スーパーバイザモードでの書き込み許可を示します 注1。 0: 書き込み禁止 1: 書き込み許可 | R/W | 不定 |
| 3 | SR | スーパーバイザモードでの読み出し許可を示します 注1。 0: 読み出し禁止 1: 読み出し許可 | R/W | 不定 |
| 2 | UX | ユーザモードでの実行権を示します。 0: 実行禁止 1: 実行許可 | R/W | 不定 |
| 1 | UW | ユーザモードでの書き込み許可を示します。 0: 書き込み禁止 1: 書き込み許可 | R/W | 不定 |
| 0 | UR | ユーザモードでの読み出し許可を示します。 0: 読み出し禁止 1: 読み出し許可 | R/W | 不定 |

注 1. SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

(6) キャッシュ操作機能レジスタ**(a) キャッシュ制御機能システムレジスタ**

キャッシュ制御機能システムレジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.50 キャッシュ制御システムレジスタ一覧

| レジスタ番号 (regID, selID) | 名称 | 機能 | アクセス 権限 |
|--------------------------|--------|--------------------|------------|
| SR16, 4 | ICTAGL | 命令キャッシュタグ Lo アクセス | SV |
| SR17, 4 | ICTAGH | 命令キャッシュタグ Hi アクセス | SV |
| SR18, 4 | ICDATL | 命令キャッシュデータ Lo アクセス | SV |
| SR19, 4 | ICDATH | 命令キャッシュデータ Hi アクセス | SV |
| SR24, 4 | ICCTRL | 命令キャッシュ制御 | SV |
| SR26, 4 | ICCFG | 命令キャッシュコンフィグ | SV |
| SR28, 4 | ICERR | 命令キャッシュエラー | SV |

(1) ICTAGL — 命令キャッシュタグ Lo アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのタグ RAM に格納する値を、CILD 実行時には命令キャッシュのタグ RAM から読み出した値をそれぞれ格納します。



表 3.51 ICTAGL レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|------|--|-----|---------|
| 31 ~ 10 | LPN | 物理ページ番号のビット 24 ~ 11 を保持します。ビット 31 ~ 25、10 には必ず 0 を設定してください。 | R/W | 不定 |
| 9 ~ 6 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 5、4 | LRU | 指定したキャッシュラインの LRU 情報を示します。LRU 情報は CIST 命令で任意の値に変更することはできません。 | R/W | 不定 |
| 3 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 2 | L | ロック情報を保持します。 | R/W | 不定 |
| 1 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 0 | V | 指定したキャッシュラインの有効/無効情報を保持します。 | R/W | 不定 |

(2) ICTAGH — 命令キャッシュタグ Hi アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのタグ RAM に格納する値を、CILD 実行時には命令キャッシュのタグ RAM から読み出した値をそれぞれ格納します。

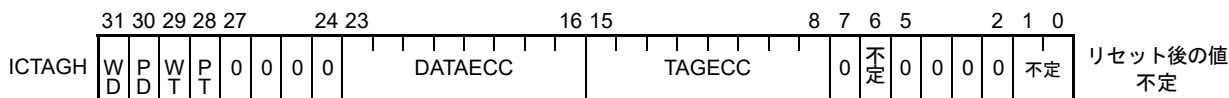


表 3.52 ICTAGH レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|---------|--|-----|---------|
| 31 | WD | CIST の実行時にセット (1) しておくでキャッシュのデータ RAM を更新します。 | R/W | 不定 |
| 30 | PD | CIST の実行時にセット (1) しておくで DATAECC フィールドの値をデータ RAM 用の ECC に書き込みます。0 の場合は、ECC はライトデータから自動生成されます。 | R/W | 不定 |
| 29 | WT | CIST の実行時にセット (1) しておくでキャッシュのタグ RAM を更新します。 | R/W | 不定 |
| 28 | PT | CIST の実行時にをセット (1) しておくで TAGECC フィールドの値をタグ RAM 用の ECC に書き込みます。0 の場合は、ECC はライトデータから自動生成されます。 | R/W | 不定 |
| 27 ~ 24 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 23 ~ 16 | DATAECC | データ RAM の ECC を保持します。 | R/W | 不定 |
| 15 ~ 8 | TAGECC | タグ RAM の ECC を保持します。ビット 15 には 0 を書き込んでください。 | R/W | 不定 |
| 7 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |

表 3.52 ICTAGH レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|-------|------|-----------------------------|-----|---------|
| 6 | — | (将来のための予約です。必ず 0 を設定してください) | R | 不定 |
| 5 ~ 2 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 1、0 | — | (将来のための予約です。必ず 0 を設定してください) | R | 不定 |

(3) ICDATL — 命令キャッシュデータ Lo アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのデータ RAM に格納する値を、CILD 実行時には命令キャッシュのデータ RAM から読み出した値をそれぞれ格納します。

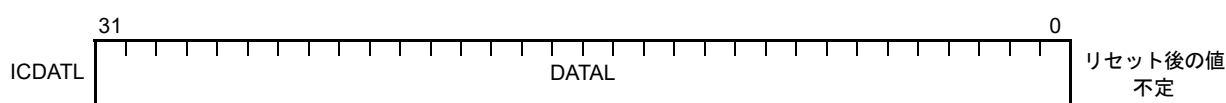


表 3.53 ICDATL レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|-------|--|-----|---------|
| 31 ~ 0 | DATAL | 指定したキャッシュライン内ブロックの命令データのうちビット 31 ~ 0、または ビット 95 ~ 64 を保持します。保持するビットは、インデックスの Offset で指定します。 インデックスの Offset = 0000 : ビット 31 ~ 0 インデックスの Offset = 1000 : ビット 95 ~ 64 | R/W | 不定 |

(4) ICDATH — 命令キャッシュデータ Hi アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのデータ RAM に格納する値を、CILD 実行時には命令キャッシュのデータ RAM から読み出した値をそれぞれ格納します。

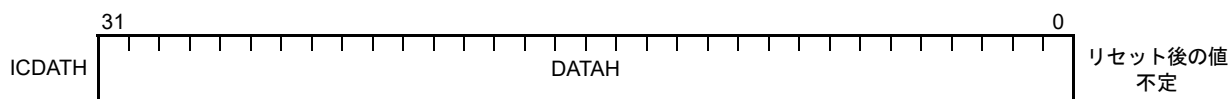


表 3.54 ICDATH レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|-------|--|-----|---------|
| 31 ~ 0 | DATAH | 指定したキャッシュライン内ブロックの命令データのうちビット 63 ~ 32、または ビット 127 ~ 96 を保持します。保持するビットは、インデックスの Offset で指定します。 インデックスの Offset = 0000 : ビット 63 ~ 32 インデックスの Offset = 1000 : ビット 127 ~ 96 | R/W | 不定 |

(5) ICCTRL — 命令キャッシュ制御

命令キャッシュの制御を行うレジスタです。

| | | | | | | | | | | | | | | | | | |
|--------|----|---|----|----|----|-------|---|--------|---|---|---|---|---|--------|--------|-------|---|
| | 31 | | 18 | 17 | 16 | 15 | | 9 | 8 | 7 | | 3 | 2 | 1 | 0 | | |
| ICCTRL | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | | | | | | D1EIV | 1 | | | | | | | | | | |
| | | | | | | | | ICHCLR | 0 | 0 | 0 | | | ICHEIV | ICHEMK | ICHEN | |

リセット後の値
0001 0003_H

表 3.55 ICCTRL レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|--------|---|-----|---------|
| 31 ~ 18 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 17 | D1EIV | データ RAM 1 ビットエラー発生時の動作を選択します。 0 : エラー訂正後、処理を続行します。 ただし、当該エントリはエラーを含んだまま保持となります。 1 : エラー訂正はせず、当該エントリをクリアし再フェッチします。 このビットを設定してから実際に命令キャッシュに反映されるまで、このビットのリード値は設定前の値となります。 | R/W | 0 |
| 16 | — | (将来のための予約です。必ず 1 を設定してください) | R | 1 |
| 15 ~ 9 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 8 | ICHCLR | セット (1) すると命令キャッシュを一括でクリアします。本ビットに 1 を設定後、クリアを完了するまではこのビットのリード値は 1 になります。クリア完了後、このビットのリード値は 0 になります。 | R/W | 0 |
| 7 ~ 3 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 2 | ICHEIV | セット (1) するとキャッシュエラーの発生時に自動的に命令キャッシュを無効 (ICHEN ビットを 0 にします) にします。 | R/W | 0 |
| 1 | ICHEMK | セット (1) するとキャッシュエラーの発生時に CPU に対するキャッシュエラー例外の通知をマスクします。 | R/W | 1 |
| 0 | ICHEN | 命令キャッシュの有効/無効を示します。 0 : 命令キャッシュは無効 1 : 命令キャッシュは有効 このビットを設定してから実際に命令キャッシュに反映されるまで、このビットのリード値は設定前の値となります。 | R/W | 1 |

(6) ICCFG — 命令キャッシュコンフィグ

命令キャッシュの構成を示すレジスタです。

| | | | | | | | | | | | | | | | | | | | | |
|-------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|---------|---------|--------|-----------------------------------|
| | 31 | 17 | 16 | 15 | 14 | 8 | 7 | 4 | 3 | 0 | | | | | | | | | | |
| ICCFG | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | ICHSIZE | ICHLINE | ICHWAY | リセット後の値 0001 0844 _H |

表 3.56 ICCFG レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|---------|--|-----|-----------------|
| 31 ~ 17 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 16 | — | (将来のための予約です。必ず 1 を設定してください) | R | 1 |
| 15 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 14 ~ 8 | ICHSIZE | 命令キャッシュの容量 (K バイト) を示します。本製品では 8K バイトです。 000 1000 : 8 K バイト | R | 08 _H |
| 7 ~ 4 | ICHLINE | 命令キャッシュの 1way あたりのライン数を示します。本製品では 128 ラインです。 0100 : 128 ライン | R | 4 _H |
| 3 ~ 0 | ICHWAY | 命令キャッシュの way 数を示します。本製品では 4way です。 0100 : 4way | R | 4 _H |

(7) ICERR — 命令キャッシュエラー

命令キャッシュのキャッシュエラー情報を格納するレジスタです。

ICHERR ビットがセット (1) されたあとは、それが明示的にクリア (0) されるまで後続で発生するキャッシュエラー情報は格納されません。

| | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-------|-------|----|------|--------|-------|-------|------|------|----|----|-------|---------|--------|--------|-------|-------|----|--------|--------|--------|--------|--------|---|--------|---------------|---|--|
| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 5 | 4 | 3 | 2 | 1 | 0 | |
| ICERR | CISTW | 0 | ESMH | ESPBSE | ESTE1 | ESTE2 | ESDC | ESDE | 0 | 0 | ERMMH | ERMPBSE | ERMTE1 | ERMTE2 | ERMDC | ERMDE | 0 | ICHEWY | ICHEIX | ICHERG | ICHERD | ICHERT | 0 | ICHERR | リセット後の値 不定 | | |

表 3.57 ICERR レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|-------|---------|---|-----|---------|
| 31 | CISTW | CISTI 実行後、書き込み先 WAY 指定に不正があったことを示します。書き込みは完了するためエントリ情報は上書きされますが、当該キャッシュラインのリード時に V ビットがクリアされます。(ミス判定扱い)。本ビットから CPU への例外通知は行われません。 | R/W | 0 |
| 30 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 29 | ESMH | エラーステータス : マルチヒット | R/W | 不定 |
| 28 | ESPBSE | エラーステータス : WAY エラー | R/W | 不定 |
| 27 | ESTE1 | エラーステータス : タグ RAM 1bit エラー | R/W | 不定 |
| 26 | ESTE2 | エラーステータス : タグ RAM 2bits エラー | R/W | 不定 |
| 25 | ESDC | エラーステータス : データ RAM 1bit 訂正 | R/W | 不定 |
| 24 | ESDE | エラーステータス : データ RAM 2bits エラー | R/W | 不定 |
| 23、22 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 21 | ERMMH | エラー例外通知マスク : マルチヒット | R/W | 0 |
| 20 | ERMPBSE | エラー例外通知マスク : WAY エラー | R/W | 0 |
| 19 | ERMTE1 | エラー例外通知マスク : タグ RAM 1bit エラー | R/W | 0 |
| 18 | ERMTE2 | エラー例外通知マスク : タグ RAM 2bits エラー | R/W | 0 |

表 3.57 ICERR レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|-------|--------|--|-----|---------|
| 17 | ERMDC | エラー例外通知マスク：データ RAM 1bit 訂正 | R/W | 0 |
| 16 | ERMDE | エラー例外通知マスク：データ RAM 2bits エラー | R/W | 0 |
| 15 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 14、13 | ICHEWY | キャッシュエラーが発生した way 番号を保持します。 | R/W | 不定 |
| 12～5 | ICHEIX | キャッシュエラーが発生したキャッシュインデックスを保持します。 | R/W | 不定 |
| 4 | ICHERQ | 1 の場合はキャッシュエラー例外を通知中であることを示します。ただしキャッシュエラー例外の通知がマスクされている場合はセット (1) されていても CPU への通知は行われません。 | R/W | 0 |
| 3 | ICHED | データ RAM でエラーが発生したことを示します。 | R/W | 0 |
| 2 | ICHET | タグ RAM でエラーが発生したことを示します。 | R/W | 0 |
| 1 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 0 | ICHERR | キャッシュエラーが発生するとセット (1) されます。 | R/W | 0 |

(7) データバッファ操作機能レジスタ

(a) データバッファ制御機能システムレジスタ

データバッファ制御機能システムレジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.58 データバッファ操作機能レジスタ一覧

| レジスタ番号 (regID, selID) | 名称 | 機能 | アクセス 権限 |
|--------------------------|-------|---------------|------------|
| SR24, 13 | CDBCR | データバッファ制御レジスタ | SV |

(1) CDBCR — データバッファ制御レジスタ

データバッファを制御するためのレジスタです。

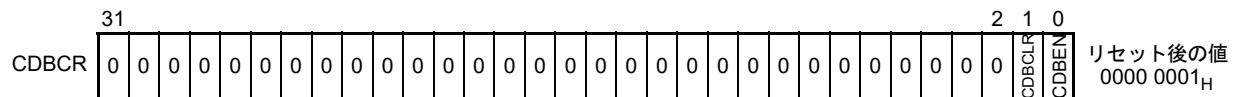


表 3.59 CDBCR レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|--------|--|-----|---------|
| 31 ~ 2 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 1 | CDBCLR | セット (1) するとデータバッファを一括クリアします。このビットは常に 0 が読み出されます。 | W | 0 |
| 0 | CDBEN | データバッファの有効/無効を指定します。 0 : データバッファは無効 1 : データバッファは有効 | R/W | 1 |

3.2.2 命令キャッシュ、データバッファ

3.2.2.1 特長

CPU1 と Code Flash 間に、8K バイト 4Way セットアソシアティブの命令キャッシュを搭載しています。命令キャッシュと Code Flash 間は 128 ビットの専用バスで接続されており、キャッシュミスヒット時のペナルティを最小にします。また、CPU1 と Code Flash 間にデータバッファを搭載しており、高速なデータアクセスが可能です。アドレス空間上、0000 0000_H ~ 01FF FFFF_H の 32MB 領域が、命令キャッシュおよびデータバッファ対象です。

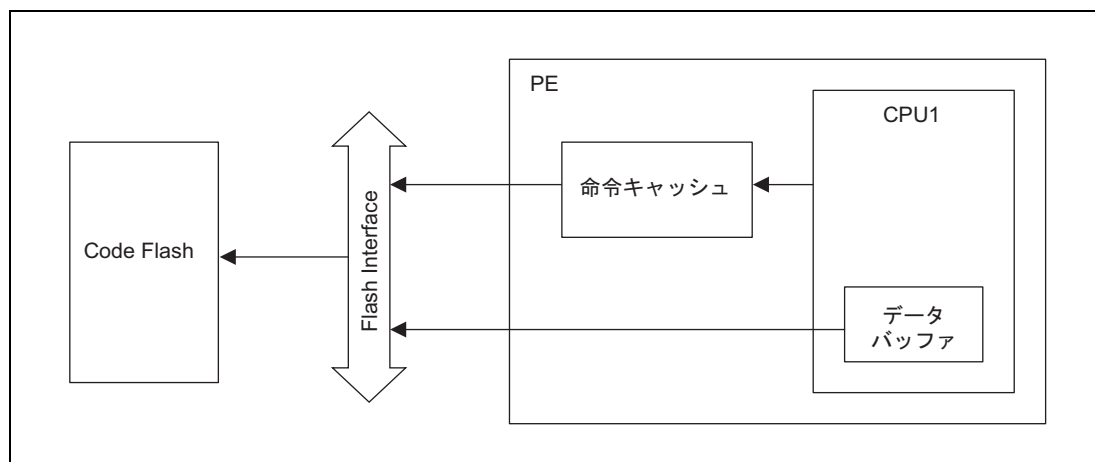


図 3.2 命令キャッシュ、データバッファ

3.2.2.2 命令キャッシュ機能

8K バイト 4Way セットアソシアティブキャッシュは、1 ラインが 4 ワードの 128 エントリのブロックで構成された Way が 4 枚で、合計 8K バイトの容量です。Way は 2 つのグループに分かれており、Way0、Way1 が Way グループ 0、Way2、Way3 が Way グループ 1 です。アクセス対象のアドレス情報をデコードし、使用する Way グループを選択します。キャッシュミスが発生した場合は、LRU による入れ替えアルゴリズムにより 1 ライン単位のリフィルを行います。Code Flash 領域への命令フェッチアクセスがキャッシュ対象です。

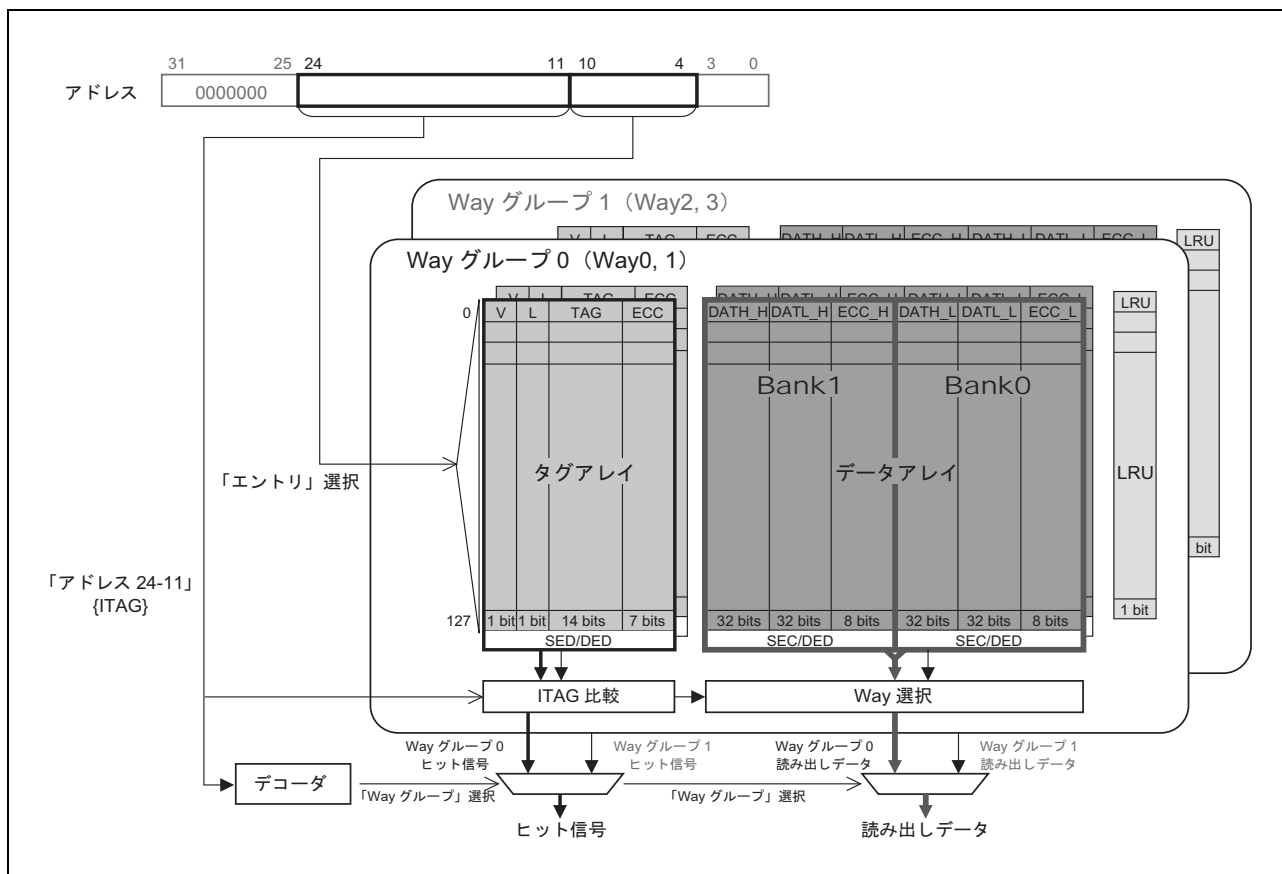


図 3.3 命令キャッシュの構成

タグアレイ

- | | |
|-------|--|
| V ビット | キャッシュラインに有効なデータが格納されているか否かを示します。このビットが 1 のとき、そのキャッシュラインのデータは有効となります。V ビットはリセットで 0 に初期化されます。 |
| L ビット | キャッシュラインがロック状態か否かを示します。このビットが 1 のとき、そのキャッシュラインはロック状態であり、新たなデータで置換されることはありません。L ビットは V ビットが 1 のときのみ有効であり、リセットで初期化されません。 |
| TAG | キャッシュされるデータラインの操作アドレス 32 ビットのうち、ビット 24 ~ 11 を格納します。TAG はリセットで初期化されません。 |
| ECC | タグアレイの ECC を格納します。ECC はリセットで初期化されません。 |

データアレイ

| | |
|---------------------------------|--|
| DATH_H、DATL_H、 DATH_L、DATL_L | キャッシュラインのデータ 128 ビットを 32 ビットごとに格納します。DATH_H に ビット 127 ~ 96、DATL_H に ビット 95 ~ 64、DATH_L に ビット 63 ~ 32、DATL_L に ビット 31 ~ 0 を格納します。CACHE 命令の CIST/CILD 操作において、DATH_H、DATH_L については「ICDATH レジスタ」を、DATL_H、DATL_L については「ICDATL レジスタ」を経由します。 |
| ECC_H、ECC_L | データの [127:64] の ECC を ECC_H に、[63:0] の ECC を ECC_L に格納します。 |

LRU

| | |
|-----|---|
| LRU | Way グループ内での LRU 情報を格納します。LRU はリセットで初期化されます。 |
|-----|---|

注意

CIST 命令で命令キャッシュのタグアレイにテストデータをライトしてから該当ラインを命令フェッチする場合、タグ情報は WAY グループ単位でライトしてください。例えば、WAY グループ 0 の WAY0 側のあるラインにタグ情報をライトする場合、WAY1 側の同一ラインのタグ情報もライトしてから、命令フェッチしてください。

- WAY グループ 0 (WAY0,1) にライトする場合、ICTAGL.LPN ビットの排他的論理和が 0 になる値をライトしてください。
- WAY グループ 1 (WAY2,3) にライトする場合、ICTAGL.LPN ビットの排他的論理和が 1 になる値をライトしてください。

なお、タグアレイに上記以外の値をライトして命令フェッチすると、WAY エラーが発生し ICERR.ESPBSE ビットに 1 がセットされます。また、WAY グループ内の 2 つの WAY の同一ラインに同じタグ情報をライトして命令フェッチすると、マルチヒットエラーが発生し ICERR.ESMH ビットに 1 がセットされます。

3.2.2.3 データバッファ機能

データバッファとして、1 ラインあたり 128 ビットのバッファを、4 ライン搭載しています。Code Flash からリードされる 128 ビット単位のデータを、データバッファに格納します。次回以降、同一アドレスにアクセスした場合、データバッファから読み出すため、Code Flash へのアクセスは発生しません。

3.2.3 プロセッサ間割り込み

PE間で割り込み通信を行うためのレジスタ (IPIR_CHn) を4CH分持っています。

IPIR_CH0-3はユーザ割り込み (EIINT) のCH0-3にアサインされます。各PEに対応したビットを操作することで特定のPE (自身を含む) に対して割り込みを要求することが可能です。

3.2.3.1 プロセッサ間割り込み制御レジスタ

本レジスタは、各PEのCPU Peripheralに配置されています。各PEは各々IPIR_CH0-3レジスタを持っており、他PEのレジスタにアクセスすることはできません。

表 3.60 レジスタ一覧

| レジスタシンボル | レジスタ名 | R/W | リセット後の値 | アクセスサイズ | | | | アドレス |
|----------|--------------|-----|------------------------|---------|---|----|----|------------------------|
| | | | | 1 | 8 | 16 | 32 | |
| IPIR_CH0 | PE間割り込みレジスタ0 | R/W | 0000 0000 _H | ○ | ○ | ○ | ○ | FFFE EC80 _H |
| IPIR_CH1 | PE間割り込みレジスタ1 | R/W | 0000 0000 _H | ○ | ○ | ○ | ○ | FFFE EC84 _H |
| IPIR_CH2 | PE間割り込みレジスタ2 | R/W | 0000 0000 _H | ○ | ○ | ○ | ○ | FFFE EC88 _H |
| IPIR_CH3 | PE間割り込みレジスタ3 | R/W | 0000 0000 _H | ○ | ○ | ○ | ○ | FFFE EC8C _H |

(1) IPIR_CHn — PE間割り込みレジスタ n (n = 0 ~ 3)

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|-----|----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | PE3 | — | PE1 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R | R/W |

表 3.61 IPIR_CHn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 2 | PE3 | PE3宛てPE間割り込み要求 本ビットに1を書き込むことで、PE3に割り込みを要求することができます。割り込み要求の通知を完了したら自動的に0にクリアされます。 0: PE間割り込み要求出力を指示しない、または割り込み要求出力中でない 1: 割り込み要求出力を指示する、または割り込み要求出力中 |
| 0 | PE1 | PE1宛てPE間割り込み要求 本ビットに1を書き込むことで、PE1に割り込みを要求することができます。割り込み要求の通知を完了したら自動的に0にクリアされます。 0: PE間割り込み要求出力を指示しない、または割り込み要求出力中でない 1: 割り込み要求出力を指示する、または割り込み要求出力中 |

3.2.4 信頼性機能

3.2.4.1 PE ガード機能 (PEG)

(1) PEG 機能概要

PEG は Slave Guard の構成要素であり、外部マスタから PE 内資源への不正なアクセスを防止します。PE 内部の Local RAM へのアクセスが対象です。リセット初期状態では、自 PE 以外のマスタからのアクセスをすべてガードします。「(3) PEG 保護設定レジスタ一覧」のレジスタを設定することで、自 PE 以外のマスタからのアクセスを許可します。

(1) PE ガード違反の検出

PE ガードを設定した PE 内の資源領域に対して、PE 外部のマスタが不正なアクセスを行うと「PE ガード違反」として検出します。

(2) 不正アクセスの阻止

PE ガード違反を検出した場合、PE 資源の内容が不正に書き換えられてしまうことを防ぐために、PE 内部への不正アクセスを阻止します。

(3) 違反発生の通知

PE ガード違反を検出した場合、ECM に通知します。また、DMAC や DTS が不正アクセスを実行した場合は、DMA 転送エラーが検出されます。

(2) SPID による保護

- PEG 保護設定
 - 自 PE の LocalRAM アドレスによって 4 領域まで設定できます。
 - 領域の範囲指定は「ベースアドレス」と「マスクビット」により行います（最小 4kB~ 最大 4GB）。
 - 各領域に対して「リード許可」、「ライト許可」をそれぞれ設定できます。
 - 各領域に対して「システム保護識別子 (SPID)」ごとに許可/禁止を選択できます。
- 「システム保護識別子 (SPID)」によるアクセス許可 (図 3.4 を参照)
 1. アクセス対象が「LocalRAM 領域」なら 2 へ。
さもなければ「エラー応答」を返します。
 2. アクセス対象が「有効な 領域 0 ~ 3」のどれかの範囲内であれば 3 へ。
さもなければ「エラー応答」を返します。
 3. 該当領域に対して以下の条件すべてを満たすか
 - 「システム保護識別子 (SPID)」が許可
 - 「要求されている操作 (リード、ライト)」が許可さもなければ「エラー応答」を返します。

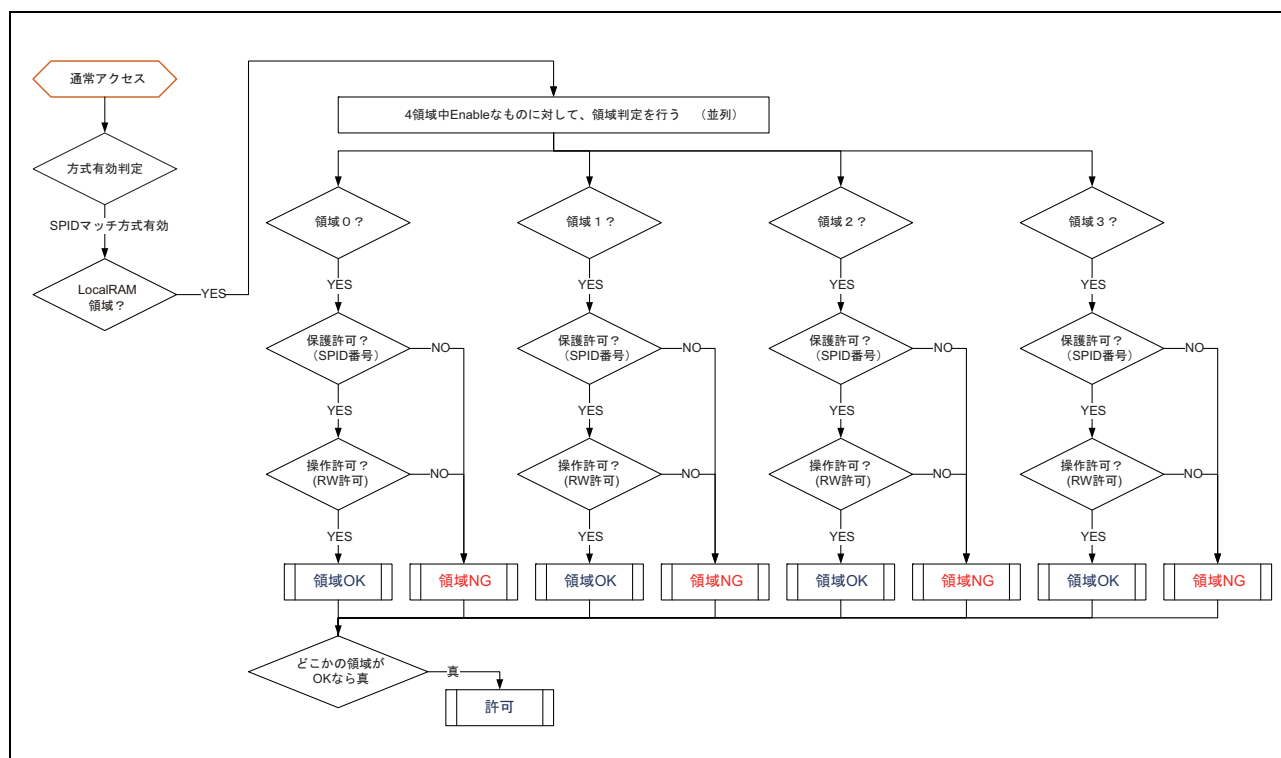


図 3.4 システム保護識別子 (SPID) によるアクセス許可

(3) PEG 保護設定レジスタ一覧

外部マスタによる不正アクセスから PE 内資源を保護するには、以下のレジスタに必要な設定を行います。

- PE 内部の Local RAM へのアクセスを検出対象として許可を与えます。
- レジスタ・セットへのアクセスに対しては、PEG 機能独自にアクセス制限を実施していません。必要に応じて IPG などによるアクセス保護設定を行なってください。
- PEG 保護設定は以下の手順によって可能となります。
 1. PEGnMK — PE ガード保護領域 n マスク設定レジスタを設定する。
 2. PEGnBA — PE ガード保護領域 n ベース設定レジスタ (n=0~3) を設定する。

表 3.62 PEG レジスタのベースアドレス : FFFE E600_H

| アドレス オフセット | サイズ (byte) | レジスタ名称 | 略称 | 権限 | R/W | 操作可能ビット | | | | リセット後 の値 |
|-------------------|---------------|-------------------------|---------|----|-----|---------|---|----|----|------------------------|
| | | | | | | 1 | 8 | 16 | 32 | |
| +00C _H | 2 | PE ガード SPID マスタ判定制御レジスタ | PEGSP | — | R/W | — | ○ | ○ | — | 0000 _H |
| +080 _H | 4 | PE ガード領域 0 マスク設定レジスタ | PEGG0MK | — | R/W | — | ○ | ○ | ○ | 0000 0000 _H |
| +084 _H | 4 | PE ガード領域 0 ベース設定レジスタ | PEGG0BA | — | R/W | — | ○ | ○ | ○ | 0000 0000 _H |
| +090 _H | 4 | PE ガード領域 1 マスク設定レジスタ | PEGG1MK | — | R/W | — | ○ | ○ | ○ | 0000 0000 _H |
| +094 _H | 4 | PE ガード領域 1 ベース設定レジスタ | PEGG1BA | — | R/W | — | ○ | ○ | ○ | 0000 0000 _H |
| +0A0 _H | 4 | PE ガード領域 2 マスク設定レジスタ | PEGG2MK | — | R/W | — | ○ | ○ | ○ | 0000 0000 _H |
| +0A4 _H | 4 | PE ガード領域 2 ベース設定レジスタ | PEGG2BA | — | R/W | — | ○ | ○ | ○ | 0000 0000 _H |
| +0B0 _H | 4 | PE ガード領域 3 マスク設定レジスタ | PEGG3MK | — | R/W | — | ○ | ○ | ○ | 0000 0000 _H |
| +0B4 _H | 4 | PE ガード領域 3 ベース設定レジスタ | PEGG3BA | — | R/W | — | ○ | ○ | ○ | 0000 0000 _H |

(4) レジスタセット

(a) PEGSP — PE ガード SPID マスタ判定制御レジスタ

外部マスタから PE 内資源へのアクセス許可設定を有効にするレジスタです。SPEN ビットの初期状態は 0 であり、外部マスタから PE 内資源へのアクセスはできません。SPEN ビットに 1 をセットすると、PEGGnMK と PEGGnBA で設定した条件で、外部マスタからのアクセスを許可します。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | SPEN |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 3.63 PEGSP レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|---|
| 15 ~ 1 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 0 | SPEN | SPID を持つ外部マスタによるアクセスの検出を有効にします。 0: SPID を持つ外部マスタによるアクセスの検出は無効です。 1: SPID を持つ外部マスタによるアクセスの検出は有効です。 |

(b) PEGGnMK — PE ガード領域 n マスク設定レジスタ

PE ガード保護領域 n の範囲を、PEGGnBA レジスタとの組み合わせで指定するレジスタです。GnMASK ビットに 1 をセットすると、PEGGnBA レジスタの対応するアドレスビットがマスクされ、PE ガード保護領域 n の範囲内に指定できます。なお、PE ガード保護領域 n の最小設定単位は 4KB です。

例：PEGGnBA[31:12] = FEBF6_H, PEGGnMK[31:12] = 00008_H に設定した場合、PE ガード保護領域 n は FEBF6000_H ~ FEBF6FFF_H と FEBFE000_H ~ FEBFEFFF_H になります。

| | | | | | | | | | | | | | | | | |
|---------|--------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | GnMASK | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | GnMASK | | | | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R |

表 3.64 PEGGnMK レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|--------|---|
| 31 ~ 12 | GnMASK | PE ガード保護領域 n の範囲を指定するベースアドレス PEGGnBA[31:12] に対するマスク有無を設定します。 0: 対象となるアドレスビットは、PE ガード領域判定時の比較対象 1: 対象となるアドレスビットは、PE ガード領域判定時の比較対象外 |
| 11 ~ 0 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください |

(c) PEGGnBA — PE ガード領域 n ベース設定レジスタ

PE ガード保護領域 n の範囲を PEGGnMK レジスタとの組み合わせで指定し、その領域内に対するアクセス許可条件を設定するレジスタです。GnEN ビットに 1 をセットすると、本レジスタと PEGGnMK レジスタで設定したアクセス許可条件が有効になります。

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|--------|-----|-----|-----|-----|-----|-----|-----|-------|-------|-------|-------|-----|------|------|------|
| | GnBASE | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | GnBASE | | | | — | — | — | — | GnSP3 | GnSP2 | GnSP1 | GnSP0 | — | GnWR | GnRD | GnEN |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R | R | R | R | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W |

表 3.65 PEGGnBA レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|--------|--|
| 31 ~ 12 | GnBASE | PE ガード保護領域 n の範囲を指定するベースアドレスを設定します。 |
| 11 ~ 8 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください |
| 7 | GnSP3 | PE ガード保護領域 n に対する SPID = 3 の外部マスタによるアクセス許可を設定します。 0: SPID = 3 の外部マスタからのアクセスをガード 1: SPID = 3 の外部マスタからのアクセスを許可 |
| 6 | GnSP2 | PE ガード保護領域 n に対する SPID = 2 の外部マスタによるアクセス許可を設定します。 0: SPID = 2 の外部マスタからのアクセスをガード 1: SPID = 2 の外部マスタからのアクセスを許可 |
| 5 | GnSP1 | PE ガード保護領域 n に対する SPID = 1 の外部マスタによるアクセス許可を設定します。 0: SPID = 1 の外部マスタからのアクセスをガード 1: SPID = 1 の外部マスタからのアクセスを許可 |
| 4 | GnSP0 | PE ガード保護領域 n に対する SPID = 0 の外部マスタによるアクセス許可を設定します。 0: SPID = 0 の外部マスタからのアクセスをガード 1: SPID = 0 の外部マスタからのアクセスを許可 |
| 3 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください |

表 3.65 PEGnBA レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 2 | GnWR | PE ガード保護領域 n に対するライト許可を設定します。 0: ライトアクセスをガード 1: ライトアクセスを許可 |
| 1 | GnRD | PE ガード保護領域 n に対するリード許可を設定します。 0: リードアクセスをガード 1: リードアクセスを許可 |
| 0 | GnEN | PE ガード保護領域 n に対するアクセス許可条件の設定を有効にします。 0: アクセス許可条件の設定無効 1: アクセス許可条件の設定有効 |

注 意

PEGnBA.GnEN は、PEGnMK のレジスタライトによってクリアされます。

3.2.4.2 PE 内部周辺装置保護機能 (IPG)**(1) IPG 機能概要**

IPG は、IPG を備える CPU コアから周辺装置への不正なアクセスを防止する機構であり、以下の機能を実現します。Code Flash、Local RAM を除く資源へのアクセスが対象です。

(1) 周辺装置保護違反の検出

周辺装置保護を設定した領域 (周辺装置) に対して、CPU が不正なアクセスを行うと「周辺装置保護違反」として検出します。

(2) 不正アクセス情報の保存

周辺装置保護違反を検出した場合、不正アクセス情報を IPG 内部のレジスタに保存します。

(3) 不正アクセスの阻止

周辺装置保護違反を検出した場合、周辺装置の内容が不正に書き換えられてしまうことを防ぐために、周辺装置への不正アクセスを阻止します。

(4) 違反発生の通知

周辺装置保護違反を検出した場合、CPU に対して処理中断を促すべくシステムエラー例外 (SYSERR 例外) の発生を要求します。

システムエラー例外 (SYSERR 例外) は、「**3.2.4.3 システムエラー通知制御機能 (SEG)**」を参照して下さい。

(5) 後続アクセスの無効化

周辺装置保護違反を検出した場合、CPU からの指示があるまで (不正に限らず) 後続アクセスを阻止します。

備 考

上記 (4) で直ちに「CPU に対して例外発生を要求」しても、CPU が違反発生を知らず (IPG からの要求を受け付ける前) に発行してしまった後発アクセスが周辺装置の内容を不正に書き換えてしまう場合があります (違反発生後のアクセスは結果的に不正になります)。

(2) IPG 機能

- (1) アクセスの属性（アドレス／転送種別／アクセス権限）に基づいてアクセスを無効化します。
- (2) アクセス権限違反を検出したのち、エラーフラグ（後述）が、ソフトウェアの書き込みによってクリアされるまで、後続アクセスを無効化します。ただし、無効化動作は、CPU のアクセスに対してのみ作用します。CPU コア外部からのアクセスに対しては行われません。また、無効化動作は、アドレスとは無関係に行われます。
- (3) ミスアラインダブルワード等のアクセスにより、同時に異なる周辺装置に対してアクセスを行うリクエストに対しては、当該アクセス対象すべてのアクセスが許可されている場合にアクセスが実行されます。

(3) 対不正ユーザ IPG 保護設定レジスタ一覧

ユーザモードのプログラムによる不正アクセスから周辺装置を保護するには、以下のレジスタに必要な設定を行います。

- ユーザモードによるアクセスを検出対象とします。
- 本レジスタセットはユーザモードに関連した IPG 設定やその読み出しを目的としています。

表 3.66 IPG レジスタのベースアドレス : FFFE E000_H

| アドレス オフセット | サイズ (byte) | レジスタ名称 | 略称 | 権限 注1 | R/W | 操作可能ビット | | | | リセット 後の値 |
|-------------------|---------------|------------------------|-----------|----------|-----|---------|---|----|----|-----------------|
| | | | | | | 1 | 8 | 16 | 32 | |
| +002 _H | 2 | 周辺装置保護違反アクセス情報保存レジスタ | IPGECRUM | SV | R/W | — | — | ○ | — | 不定 (保持) |
| +008 _H | 4 | 周辺装置保護違反アクセスアドレス保存レジスタ | IPGADRUM | SV | R/W | — | — | — | ○ | 不定 (保持) |
| +00D _H | 1 | 周辺装置保護イネーブルレジスタ | IPGENUM | SV | R/W | ○ | ○ | — | — | 00 _H |
| +020 _H | 1 | 周辺装置保護設定レジスタ 0 | IPGPMTUM0 | SV | R/W | ○ | ○ | — | — | 00 _H |
| +021 _H | 1 | 周辺装置保護設定レジスタ 1 | IPGPMTUM1 | SV | R/W | ○ | ○ | — | — | 00 _H |
| +022 _H | 1 | 周辺装置保護設定レジスタ 2 | IPGPMTUM2 | SV | R/W | ○ | ○ | — | — | 00 _H |
| +023 _H | 1 | 周辺装置保護設定レジスタ 3 | IPGPMTUM3 | SV | R/W | ○ | ○ | — | — | 00 _H |
| +024 _H | 1 | 周辺装置保護設定レジスタ 4 | IPGPMTUM4 | SV | R/W | ○ | ○ | — | — | 00 _H |

注 1. 「SV」と記載されたレジスタは、SV 特権 (UM = 0) でのみアクセス可能です。

(4) レジスタセット

(a) IPGECRUM — 周辺装置保護違反アクセス情報保存レジスタ

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|---|---|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | DS | | | EX | WR | RD | VD | |
| リセット後の値 | 0 | 0 | x | x | x | x | x | x | x | x | x | x | x | x | x | x |
| R/W | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

備考 x : 不定 (保持)

表 3.67 IPGECRUM レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|--|
| 15, 14 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 13 ~ 8 | — | 予約です。読み出すと不定値が読み出されます。書き込む値は常に0にしてください。 |
| 7 ~ 4 | DS | 違反を起こしたアクセスのデータサイズが格納されます。 1000 : ダブルワード (8byte) 0100 : ワード (4byte) 0010 : ハーフワード (2byte) 0001 : バイト 上記以外は、RFU |
| 3 | EX | 違反を起こしたアクセスが命令フェッチリードアクセスであった場合にセット (1) されます。それ以外の場合はクリア "0" されます。 |
| 2 | WR | 違反を起こしたアクセスがライトアクセスあるいはビットオペレーションあるいは CAXI であった場合にセット (1) されます。それ以外の場合はクリア "0" されます。 |
| 1 | RD | 違反を起こしたアクセスがリードアクセスあるいはビットオペレーションあるいは CAXI であった場合にセット (1) されます。それ以外の場合はクリア "0" されます。 |
| 0 | VD | 該当する権限によるプログラムによる周辺装置保護違反を検出するとセット (1) されます。セットされている場合、新たに周辺装置保護違反を検出しても、本レジスタ IPGECR、および IPGADR レジスタ を更新せず保持します。 |

備考

後述する IPGENUM レジスタの IRE ビットの値が0であり、ユーザモードで動作するプログラムによる周辺装置保護違反が命令フェッチリードアクセスである場合には、本レジスタのすべてのビットが更新されません。

(b) IPGADRUM — 周辺装置保護違反アクセスアドレス保存レジスタ

| | | | | | | | | | | | | | | | | |
|---------|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | EADR | | | | | | | | | | | | | | | |
| リセット後の値 | x | x | x | x | x | x | x | x | x | x | x | x | x | x | x | x |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | EADR | | | | | | | | | | | | | | | |
| リセット後の値 | x | x | x | x | x | x | x | x | x | x | x | x | x | x | x | x |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

備考 x: 不定 (保持)

表 3.68 IPGADRUM レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|-----------------------|
| 31 ~ 0 | EADR | 違反を起こしたアクセスアドレスを格納します |

備考

後述する IPGENUM レジスタの IRE ビットの値が 0 であり、ユーザモードで動作するプログラムによる周辺装置保護違反が命令フェッチリードアクセスである場合には、本レジスタのすべてのビットが更新されません。

(c) IPGENUM — 周辺装置保護イネーブルレジスタ

| | | | | | | | | |
|---------|-----|---|---|---|---|---|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | IRE | E |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R | R | R | R | R | R/W | R/W |

表 3.69 IPGENUM レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 7 ~ 2 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください |
| 1 | IRE | 周辺装置保護違反を起こしたアクセスが命令フェッチアクセスである場合、そのアクセスの情報を周辺装置保護違反アクセスアドレス保存レジスタと周辺装置保護違反アクセス情報保存レジスタに保存するか否かを設定します 0: 命令フェッチアクセスのアクセス情報を保存しません 1: 命令フェッチアクセスのアクセス情報を保存します 注意 投機的な命令フェッチ (命令を実行しない場合がある) に対する検出を望まない場合に本ビットを 0 にクリアしてください。 |
| 0 | E | 該当する権限によるアクセスに対して、周辺装置周辺装置保護機能の有効/無効を設定します。 0: 周辺装置保護機能は無効です 1: 周辺装置保護機能は有効です |

(d) IPGPMTUM0 — 周辺装置保護設定レジスタ 0

| | | | | | | | | |
|---------|---|-----|-----|-----|---|---|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | X1 | W1 | R1 | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R | R | R | R |

表 3.70 IPGPMTUM0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 7 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください |
| 6 | X1 | Peripheral Group 0 ~ 3、5 への命令フェッチリードアクセスを許可するかどうかを設定します。 0 : Peripheral Group 0 ~ 3、5 への命令フェッチリードアクセスを違反とします。 1 : Peripheral Group 0 ~ 3、5 への命令フェッチリードアクセスを制限しません。 |
| 5 | W1 | Peripheral Group 0 ~ 3、5 へのライトアクセスを許可するかどうかを設定します。 0 : Peripheral Group 0 ~ 3、5 へのライトアクセスを違反とします。 1 : Peripheral Group 0 ~ 3、5 へのライトアクセスを制限しません。 |
| 4 | R1 | Peripheral Group 0 ~ 3、5 へのリードアクセスを許可するかどうかを設定します。 0 : Peripheral Group 0 ~ 3、5 へのリードアクセスを違反とします。 1 : Peripheral Group 0 ~ 3、5 へのリードアクセスを制限しません。 |
| 3 ~ 0 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |

(e) IPGPMTUM1 — 周辺装置保護設定レジスタ 1

| | | | | | | | | |
|---------|---|-----|---|---|---|-----|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | X1 | — | — | — | X0 | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R | R | R | R/W | R | R |

表 3.71 IPGPMTUM1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 7 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 6 | X1 | GRAM Bank#1 への命令フェッチリードアクセスを許可するかどうかを設定します。 0 : GRAM Bank#1 への命令フェッチリードアクセスを違反とします。 1 : GRAM Bank#1 への命令フェッチリードアクセスを制限しません。 |
| 5 ~ 3 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 2 | X0 | GRAM Bank#0 への命令フェッチリードアクセスを許可するかどうかを設定します。 0 : GRAM Bank#0 への命令フェッチリードアクセスを違反とします。 1 : GRAM Bank#0 への命令フェッチリードアクセスを制限しません。 |
| 1, 0 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |

(f) IPGPMTUM2 — 周辺装置保護設定レジスタ 2

| | | | | | | | | |
|---------|---|---|-----|-----|---|---|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | W1 | R1 | — | — | W0 | R0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R | R | R/W | R/W |

表 3.72 IPGPMTUM2 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 7、6 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 5 | W1 | IPIR、MEV、COMPTEST 周辺装置へのライトアクセスを許可するかどうかを設定します。 0：IPIR、MEV、COMPTEST へのライトアクセスを違反とします。 1：IPIR、MEV、COMPTEST へのライトアクセスを制限しません。 |
| 4 | R1 | IPIR へのリードアクセスを許可するかどうかを設定します。 0：IPIR、MEV、COMPTEST へのリードアクセスを違反とします。 1：IPIR、MEV、COMPTEST へのリードアクセスを制限しません。 |
| 3、2 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 1 | W0 | INTC1 へのライトアクセスを許可するかどうかを設定します。 0：INTC1 へのライトアクセスを違反とします。 1：INTC1 へのライトアクセスを制限しません。 |
| 0 | R0 | INTC1 へのリードアクセスを許可するかどうかを設定します。 0：INTC1 へのリードアクセスを違反とします。 1：INTC1 へのリードアクセスを制限しません。 |

(g) IPGPMTUM3 — 周辺装置保護設定レジスタ 3

| | | | | | | | | |
|---------|---|---|-----|-----|---|---|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | W1 | R1 | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R | R | R | R |

表 3.73 IPGPMTUM3 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 7、6 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 5 | W1 | SysErrGen へのライトアクセスを許可するかどうかを設定します。 0: SysErrGen へのライトアクセスを違反とします。 1: SysErrGen へのライトアクセスを制限しません。 |
| 4 | R1 | SysErrGen へのリードアクセスを許可するかどうかを設定します。 0: SysErrGen へのリードアクセスを違反とします。 1: SysErrGen へのリードアクセスを制限しません。 |
| 3～0 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |

(h) IPGPMTUM4 — 周辺装置保護設定レジスタ 4

| | | | | | | | | |
|---------|---|---|---|---|---|---|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | W0 | R0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 3.74 IPGPMTUM4 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 7～2 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 1 | W0 | PEG へのライトアクセスを許可するかどうかを設定します。 0: PEG へのライトアクセスを違反とします。 1: PEG へのライトアクセスを制限しません。 |
| 0 | R0 | PEG へのリードアクセスを許可するかどうかを設定します。 0: PEG へのリードアクセスを違反とします。 1: PEG へのリードアクセスを制限しません。 |

3.2.4.3 システムエラー通知制御機能 (SEG)

命令フェッチまたはデータアクセスによるエラーは、システムエラー例外の要因となります。システムエラー例外は、復帰/回復が不可能な FE レベル例外です。

システムエラー例外の要因コード (FEIC) とエラー内容の対応は、「表 3.77 G3M コアのシステムエラー例外の要因コードとエラー内容の対応」を参照して下さい。

データアクセスによるエラーは、SEG(SysErrGen) で通知記録を制御します。

命令フェッチアクセスによるエラーは SEG を経由しませんが、命令キャッシュの RAM 上で発生したエラーは SEG に通知されます。詳細は「(2) レジスタセット (a) SEGCONT — エラー通知制御レジスタ」と「(3) SEG 機能 (c) SYSERR 例外に関する補足事項」を参照してください。

複数のエラー発生入力エラー要因ごとに区別され、優先すべきエラー要因から順に処理し、FE レベルの非同期例外 (SYSERR) を発生させます。

SEGFLAG レジスタでのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。

エラー情報はエラー発生回数によらず、一度だけ記録されます。

エラーが同時に発生した場合はエラー要因の優先順位が最高位のものが有効です。記録されたエラー情報はその後のエラーによって上書きされることはありません。

(1) SEG 機能制御レジスタ一覧

表 3.75 SEG レジスタのベースアドレス : FFFE E980_H

| アドレス オフセット | サイズ (byte) | レジスタ名称 | 略称 | 権限 | R/W | 操作可能ビット | | | | リセット 後の値 |
|------------------|---------------|--------------------|---------|----|--------|---------|---|----|----|-------------------|
| | | | | | | 1 | 8 | 16 | 32 | |
| +00 _H | 2 | エラー通知制御レジスタ | SEGCONT | — | R/W 注1 | — | — | ○ | — | C774 _H |
| +02 _H | 2 | エラー発生保持レジスタ | SEGFLAG | — | R/W 注1 | — | — | ○ | — | 0000 _H |
| +08 _H | 4 | エラー要因保持レジスタ (アドレス) | SEGADDR | — | R/W 注1 | — | — | ○ | ○ | 不定 (保持) |

注 1. ユーザモードからのライトアクセスは無視します。

備 考

- 上記以外の「アドレスオフセット」「操作可能ビット」でアクセスすると「エラー応答」を返します。
- ライトアクセスについては、スーパーバイザモード (UM = 0) のみ有効です。その他のアクセス権限によるライトアクセスはエラー応答になります。
- リードアクセスは、アクセス制限を設けていません。
- ほかの保護機構が許可する範囲内であればいつでも読み出し可能です。

(2) レジスタセット

(a) SEGCONT — エラー通知制御レジスタ

- エラーの発生状態を要因ごとに保存するエラー発生フラグに対して、SYSERR 要求の通知許可 (= 1) / 不許可 (= 0) を設定します。

| | | | | | | | | | | | | | | | | |
|---------|------|-----|----|----|----|----|------|------|---|------|------|------|---|------|---|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | SS1E | — | — | — | — | — | VPGE | VCRE | — | TCME | ROME | VCIE | — | ICCE | — | — |
| リセット後の値 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| | R/W | R/W | R | R | R | R | R/W | R/W | R | R/W | R/W | R/W | R | R/W | R | R |

表 3.76 SEGCONT レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|------|--|
| 15 | SS1E | 自 Local RAM へのデータアクセスにおける、アドレスパリティエラーの通知。 |
| 14 | — | 予約です。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 |
| 13 ~ 11 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 10 | — | 予約です。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 |
| 9 | VPGE | P-Bus エラー応答通知 <ul style="list-style-type: none"> ライトアクセスでの P-Bus ガードエラー (INTC2, PDMA, GRAM ガードの、各レジスタに対する P-Bus ガード) |
| 8 | VCRE | IPG 違反アクセス検出および後続アクセス阻止通知 ^{注2} |
| 7 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 6 | TCME | 自 Local RAM へのデータアクセスで下記エラーが生じた場合。 <ul style="list-style-type: none"> 訂正できない ECC エラーの発生 Local RAM 空間のうち、RAM 未実装領域へのアクセスを検出 |
| 5 | ROME | テーブル参照割り込みのテーブル参照時に、Code Flash へのアクセスで下記エラーが生じた場合。 <ul style="list-style-type: none"> 訂正できない ECC エラーの発生 アドレスパリティエラーの発生 |

表 3.76 SEGCONT レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 4 | VCIE | <ul style="list-style-type: none"> • P-Bus エラー応答通知 (P-Bus ライトエラーを除く) <ul style="list-style-type: none"> - 未実装領域 (FFFF 7900_H-FFFF 7EFF_H) アクセス時 - P-Bus ガードエラー (INTC2, PDMA, GRAM ガードの、各レジスタに対する P-Bus ガード) - P-Bus データパリティエラー (データパリティ対象の周辺機能) - DTSRAM リード時のエラー • Code Flash エラー応答 <ul style="list-style-type: none"> - 訂正できない ECC エラーの発生 - アドレスパリティエラー • GRAM エラー応答 <ul style="list-style-type: none"> - アドレスパリティエラー発生 - 保護違反アクセス発生 - 訂正できない ECC エラーの発生 • Data Flash エラー応答 <ul style="list-style-type: none"> - 訂正できない ECC エラーの発生^{注1} • Interconnect 予約領域アクセス検出通知 <ul style="list-style-type: none"> - FFFF 0000_H-FFFF 4FFF_H - FFFE 0000_H-FFFE BFFF_H - FB00 0000_H-FE9F FFFF_H - F300 0000_H-F8FF FFFF_H • IPG 違反アクセス検出および後続アクセス阻止通知^{注2} • アクセス権限違反 <ul style="list-style-type: none"> - ユーザモード (PSW.UM = 1) で IPG 保護設定レジスタへリード/ライトアクセス - ユーザモード (PSW.UM = 1) で SEG 機能制御レジスタへライトアクセス |
| 3 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 2 | ICCE | 命令キャッシュエラー通知イネーブル 命令キャッシュのシステムレジスタ ICCTRL.ICHEMK = 0 (リセット後の値 = 1) に設定した場合に、命令キャッシュで発生したエラーを扱います。命令キャッシュのエラーについては「3.2.1.2 レジスタセット (7) ICERR — 命令キャッシュエラー」を参照してください。 |
| 1、0 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |

注 1. ECC のエラー通知設定が有効な状態で、訂正できない ECC エラーが発生した場合です。

注 2. エラー要因アドレスは「3.2.4.2 PE 内部周辺装置保護機能 (IPG)」の IPGADRUM レジスタを参照してください。

表 3.77 G3M コアのシステムエラー例外の要因コードとエラー内容の対応

| 要因コード | エラー内容 |
|-------|------------------------------|
| 10 | 予約 |
| 11 | 命令フェッチのエラー (CodeFlash) |
| 12 | SEGCONT 2bit 目により通知許可されるエラー |
| 13 | 命令フェッチのエラー (CodeFlash 以外) |
| 14 | SEGCONT 4bit 目により通知許可されるエラー |
| 15 | SEGCONT 5bit 目により通知許可されるエラー |
| 16 | SEGCONT 6bit 目により通知許可されるエラー |
| 17 | 予約 |
| 18 | SEGCONT 8bit 目により通知許可されるエラー |
| 19 | SEGCONT 9bit 目により通知許可されるエラー |
| 1A | 予約 |
| 1B | 予約 |
| 1C | 予約 |
| 1D | 予約 |
| 1E | 予約 |
| 1F | SEGCONT 15bit 目により通知許可されるエラー |

(b) SEGFLAG — エラー発生保持レジスタ

- エラーの発生状態を要因ごとに保存するエラー発生フラグです。エラー発生入力でセット (=1) されます。自動クリア (=0) はありません。
- レジスタへの書き込みであれば、セット/クリアの両方が可能です。

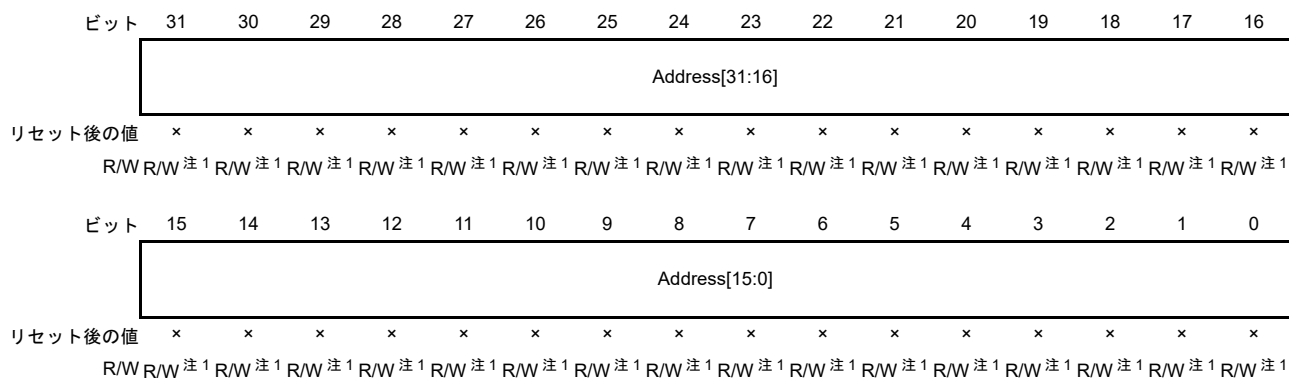
| | | | | | | | | | | | | | | | | |
|---------|------|-----|----|----|----|----|------|------|---|------|------|------|---|------|---|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | SS1F | — | — | — | — | — | VPGF | VCRF | — | TCMF | ROMF | VCIF | — | ICCF | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R | R | R | R | R/W | R/W | R | R/W | R/W | R/W | R | R/W | R | R |

表 3.78 SEGFLAG レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------|---|
| 15 | SS1F | SEGCONT レジスタのビット 15 に対応したフラグ。 |
| 14 ~ 10 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 9 | VPGF | SEGCONT レジスタのビット 9 に対応したフラグ。 |
| 8 | VCRF | SEGCONT レジスタのビット 8 に対応したフラグ。 |
| 7 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 6 | TCMF | SEGCONT レジスタのビット 6 に対応したフラグ。 |
| 5 | ROMF | SEGCONT レジスタのビット 5 に対応したフラグ。 |
| 4 | VCIF | SEGCONT レジスタのビット 4 に対応したフラグ。 |
| 3 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 2 | ICCF | SEGCONT レジスタのビット 2 に対応したフラグ。 |
| 1、0 | — | 予約です。読み出すと常に 0 が読み出されず。書き込む値も常に 0 にしてください。 |

(c) SEGADDR — エラー要因保持レジスタ（アドレス）

SYSERR 要求の通知を行ったエラー要因の情報（1履歴）が記録されます。SEGFLAG レジスタのうち、VCIF ビット、ROMF ビット及びTCMF ビットのエラー要因がエラーアドレスの記録対象です。記録対象以外のエラー要因は 0000 0000_H が格納されます。通知許可のエラー発生フラグがセットされた状態では変更されません。



備考 x：不定（保持）

注1. 通知許可のエラー発生フラグがセットされた状態では変更されません。

表 3.79 SEGADDR アドレスの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------------|---|
| 31 ~ 0 | Address[31:0] | SYSERR 要因が発生したアドレスを保持します。 (LocalRAM 領域へのアクセスでエラーが発生した場合、アドレスの下位 17bit のみ保持し、上位 15bit は 0 になります。) |

(3) SEG 機能**(a) SEG 機能：エラー発生フラグによる SYSERR 要求の通知**

- 各エラー発生フラグはセット優先
 - － 同時のクリア操作は無視します。
- エラー要因の優先順位
 - － 通知許可のエラ SEGFLAG レジスタでのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。エラー要因のうち優先順位の高いものから通知します。
 - － エラー要因のビット位置を「SYSERR 要因コード」として通知します。
- SYSERR 要求の通知開始条件
 - － 通知不許可のフラグをセットしても通知しません。
 - － 通知許可のフラグをセットした直後に通知します。
 - － クリア操作後はフラグ状態次第で通知します（再調停）。
- SYSERR 要求応答で通知を終了
 - － 通知を終了しても、フラグを自動クリアしません。
 - － 新たなセットもしくは、クリア操作による再調停があるまで通知しません。
 - － 要求応答までにエラー要因よりも優先するエラー発生フラグがセットされると通知内容がより上位の SYSERR 要因コードに挿し替わることがあります。

(b) SEG 機能：エラー要因の情報記録

- 通知許可のエラー発生入力時にそのエラーアドレスを上記レジスタに保持します。
 - － 「**(a) SEG 機能：エラー発生フラグによる SYSERR 要求の通知**」の「エラー発生フラグのセット/クリア操作」では情報の保持は行われません。
 - － 同時に複数のエラー発生入力があるとき、優先するエラー要因以外の情報は保持されません。
- 「**(a) SEG 機能：エラー発生フラグによる SYSERR 要求の通知**」の「通知許可のエラー発生フラグがセットされている状態」では上記レジスタに対する上書きを抑制します。
 - － エラー発生入力が連続した場合には、後発のエラー要因の情報は保持されません。
 - － レジスタ上書き抑制を解除するには、SEGCONT レジスタ/SEGFLAG レジスタのいずれか（または両方）をクリアしてください。

(c) SYSERR 例外に関する補足事項

- SYSERR 例外が発生しても PSW.EBV ビットの値は保持され、例外ハンドラのベースアドレスは切り替わりません。
- 命令キャッシュでのエラー検出
命令キャッシュの RAM 上でエラーが発生しても、命令フェッチ要因の再実行型 SYSERR 例外は発生しません。命令キャッシュはエラーが発生した対象エントリを自動的にインバリデートし、Code Flash から再フェッチすることで、CPU の命令実行を継続します。システムレジスタの ICCTRL.ICHEMK ビットを 0 に設定すると、命令キャッシュで発生したエラーを SEG に通知することができます。命令キャッシュのエラーについては「**3.2.1.2 レジスタセット (7) ICERR — 命令キャッシュエラー**」を参照してください。

3.2.4.4 Checker Core

CPU1 はセーフティ対応として Checker Core を備えており、高信頼性のシステムを実現します。CPU1 と Checker Core からの出力を常時比較器で監視することで、CPU1 の異常動作を直ちに検出できます。Checker Core による 2 重化の範囲は、CPU コアと FPU、MPU、PEG、IPG、SEG、INTC1 です。また、COMPTEST モジュールで擬似エラーを発生させ、比較器自体の故障診断テストをすることができます。COMPTEST モジュールの詳細は、「**第 29 章 セーフティ**」を参照してください。

注 意

PE 内のリセット値が不定のレジスタを初期化せずに読み出し、PE 外のメモリやレジスタに書き込むと、ロックステップコンペアエラーが発生する場合があります。プログラム・レジスタやシステム・レジスタの一部はリセット値が不定なので、RAM へのスタック退避時などご注意ください。

3.3 PCU

3.3.1 コア機能

3.3.1.1 特長

RH850G3K コアの特長を表 3.80 に示します。

表 3.80 RH850G3K コアの特長

| 項目 | 特長 |
|---------|---|
| CPU | <ul style="list-style-type: none"> ● 組み込み制御用高性能 32 ビットアーキテクチャ ● 32 ビット内部データバス ● 32 本の 32 ビット汎用レジスタ ● RISC タイプ命令セット <ul style="list-style-type: none"> – ロング/ショート形式を持つロード/ストア命令 – 3オペランド命令 – C 言語に基づく命令セット ● CPU 動作モード <ul style="list-style-type: none"> – ユーザモード、スーパーバイザモード ● アドレス空間：データ/命令ともに 128M バイトリニア ● 命令：SNOOZE 命令による一時停止期間は高速周辺クロック (CLK_HSB) で 32 クロック |
| コプロセッサ | <ul style="list-style-type: none"> ● コプロセッサ非搭載 |
| 例外/割り込み | <ul style="list-style-type: none"> ● チャンネルごとに設定可能な 8 レベルの割り込み優先度 ● 性能要求/メモリ消費量によって選択可能なベクタ選択方式 <ul style="list-style-type: none"> – 直接分岐方式の例外ベクタ – アドレステーブル参照の間接分岐方式の例外ベクタ ● 専用命令 (PUSHSP, POPSP) による割り込み時のコンテキスト高速退避/復帰処理の支援 |
| メモリ管理 | <ul style="list-style-type: none"> ● メモリ保護機能搭載 (MPU) : 4 領域設定可能 |
| キャッシュ | <ul style="list-style-type: none"> ● キャッシュ非搭載 |

3.3.1.2 レジスタセット

(1) プログラムレジスタ

プログラムレジスタには、汎用レジスタ（r0-r31）とプログラムカウンタ（PC）があります。汎用レジスタのr0は常に0を保持していますが、r1-r31のリセット後の値は不定です。

表 3.81 プログラムレジスタ一覧

| プログラムレジスタ | 名称 | 機能 | 説明 |
|-----------|--------|--|--|
| 汎用レジスタ | r0 | ゼロレジスタ | 常に0を保持 |
| | r1 | アセンブラ予約レジスタ | アドレス生成用のワーキングレジスタとして使用 |
| | r2 | アドレス/データ変数用レジスタ（使用するリアルタイムOSがこのレジスタを使用していない場合） | |
| | r3 | スタックポインタ（SP） | 関数コール時のスタックフレーム生成時に使用 |
| | r4 | グローバルポインタ（GP） | データ領域のグローバル変数をアクセスするときに使用 |
| | r5 | テキストポインタ（TP） | テキスト領域（プログラムコードを配置する領域）の先頭を示すレジスタとして使用 |
| | r6-r29 | アドレス/データ変数用レジスタ | |
| | r30 | エレメントポインタ（EP） | メモリをアクセスするときのアドレス生成用ベースポインタとして使用 |
| | r31 | リンクポインタ（LP） | コンパイラが関数コールをするときに使用 |
| プログラムカウンタ | PC | プログラム実行中の命令アドレスを保持 | |

備考

アセンブラやCコンパイラで使用されるr1、r3-r5、r31の詳細な説明は、それぞれのソフトウェア開発環境のドキュメントを参照してください。

(a) 汎用レジスタ

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、すべてデータ変数用またはアドレス変数用として利用できます。汎用レジスタのうち、r0-r5、r30、r31は、ソフトウェア開発環境において特殊な用途に用いられることを想定しているため、使用する際には次のような注意が必要です。

1. r0、r3、r30

命令により暗黙的に使用されます。

r0は常に0を保持しているレジスタであり、0を使用する演算やベースアドレスが0のアドレッシングで使用されます。

r3はPREPARE命令、DISPOSE命令、PUSHSP命令、POPSP命令により、暗黙的に使用されます。

r30はSLD命令とSST命令により、メモリをアクセスするときのベースポイントとして使用されます。

2. r1、r4、r5、r31

アセンブラとCコンパイラにより暗黙的に使用されます。

これらのレジスタを使用する際には、レジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

3. r2

リアルタイムOSが使用場合があります。使用するリアルタイムOSがr2を使用していない場合は、アドレス変数用またはデータ変数用レジスタとして利用できます。

(b) PC — プログラムカウンタ

プログラム実行中の命令アドレスを保持しています。

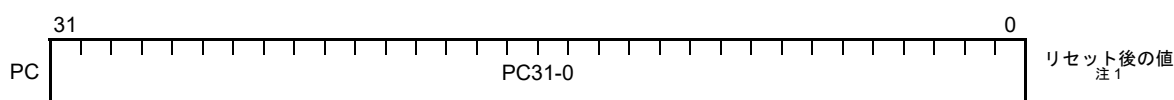


表 3.82 PC レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|--------|--------------------------|-----|---------|
| 31 ~ 1 | PC31-1 | 実行中の命令アドレスです。 | R/W | 注1 |
| 0 | PC0 | 常に0を示します。奇数番地への分岐はできません。 | R/W | 0 |

注1. 本製品では起動領域によりリセット後の値が異なります。詳細は「第4章 アドレス空間」を参照してください。

注 意

命令アドレッシング範囲は128 Mバイトです。ビット31～27はビット26を符号拡張した値が自動的に設定されます。

(2) 基本システムレジスタ

基本システムレジスタは、CPUの状態制御、例外情報保持などを行います。

システムレジスタへのリード/ライトは、LDSR命令、STSR命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.83 基本システムレジスタ一覧

| レジスタ番号 (regID, selID) | 名称 | 機能 | アクセス 権限 |
|--------------------------|---------------------|--------------------------------------|------------|
| SR0, 0 | EIPC ^{注1} | EI レベル例外受け付け時の状態退避レジスタ | SV |
| SR1, 0 | EIPSW | EI レベル例外受け付け時の状態退避レジスタ | SV |
| SR2, 0 | FEPC ^{注1} | FE レベル例外受け付け時の状態退避レジスタ | SV |
| SR3, 0 | FEPSW | FE レベル例外受け付け時の状態退避レジスタ | SV |
| SR5, 0 | PSW | プログラムステータスワード | 注2 |
| SR13, 0 | EIIC | EI レベル例外要因 | SV |
| SR14, 0 | FEIC | FE レベル例外要因 | SV |
| SR16, 0 | CTPC ^{注1} | CALLT 実行時の状態退避レジスタ | UM |
| SR17, 0 | CTPSW | CALLT 実行時の状態退避レジスタ | UM |
| SR20, 0 | CTBP ^{注1} | CALLT ベースポイント | UM |
| SR28, 0 | EIWR | EI レベル例外用作業レジスタ | SV |
| SR29, 0 | FEWR | FE レベル例外用作業レジスタ | SV |
| SR31, 0 | (BSEL) | (V850E2 シリーズ後方互換のため予約) ^{注3} | SV |
| SR0, 1 | MCFG0 | マシンコンフィグレーション | SV |
| SR2, 1 | RBASE | リセットベクタベースアドレス | SV |
| SR3, 1 | EBASE ^{注1} | 例外ハンドラベクタアドレス | SV |
| SR4, 1 | INTBP ^{注1} | 割り込みハンドラアドレステーブルのベースアドレス | SV |
| SR5, 1 | MCTL | CPUの制御 | SV |
| SR6, 1 | PID | プロセッサ識別子 | SV |
| SR11, 1 | SCCFG | SYSCALLの動作設定 | SV |
| SR12, 1 | SCBP ^{注1} | SYSCALL ベースポイント | SV |
| SR0, 2 | HTCFG0 | プロセッサ番号 | SV |
| SR6, 2 | MEA ^{注1} | メモリエラーアドレス | SV |
| SR7, 2 | ASID | アドレス空間識別子 | SV |
| SR8, 2 | MEI | メモリエラー情報 | SV |

注1. 命令アドレッシング範囲は 128 M バイトです。ビット 31 ~ 27 はビット 26 を符号拡張した値が自動的に設定されます。

注2. ビットによってアクセス権限が異なります。詳細は、「表 3.88 PSW レジスタビットのアクセス権限」の PSW レジスタの説明を参照してください。

注3. V850E2 シリーズの後方互換のため予約しています。読み込みは常に 0 を読み出し、書き込みは無視します。

(a) EIPC — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、EI レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（『RH850G3K ユーザーズマニュアル ソフトウェア編』の「4.1.3 例外の実行形態」を参照してください）。

EI レベル例外時状態退避レジスタは、1組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

EIPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

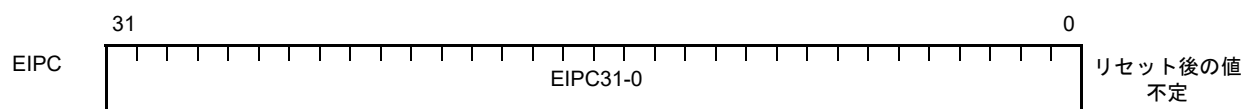


表 3.84 EIPC レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|--|-----|---------|
| 31 ~ 1 | EIPC31-1 | EI レベル例外受け付け時の復帰 PC を示します。 | R/W | 不定 |
| 0 | EIPC0 | EI レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、EIRET 命令の実行により PC に転送される値は、0 となります。 | R/W | 不定 |

注 意

命令アドレッシング範囲は 128 M バイトです。EIPC のビット 31 ~ 27 はビット 26 を符号拡張した値が自動的に設定されます。

(b) EIPSW — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

EI レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

注 意

ビット 11 ~ 9 はデバッグ機能にかかわるため、通常は変更できません。

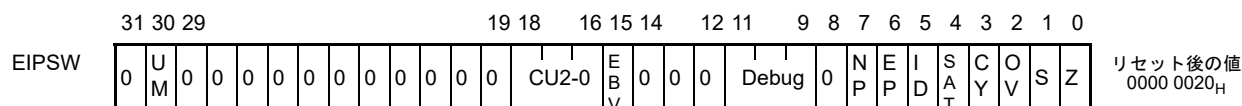


表 3.85 EIPSW レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|-------|--|-----|---------|
| 31 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 30 | UM | レベル例外受け付け時の PSW.UM ビットを退避します。 | R/W | 0 |
| 29 ~ 19 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 18 ~ 16 | CU2-0 | EI レベル例外受け付け時の PSW.CU2-0 フィールドを退避します。 (将来のための予約です。必ず 0 を設定してください) | R/W | 0 |
| 15 | EBV | EI レベル例外受け付け時の PSW.EBV ビットを退避します。 | R/W | 0 |
| 14 ~ 12 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 11 ~ 9 | Debug | EI レベル例外受け付け時の PSW.Debug フィールドを退避します。 | R/W | 0 |
| 8 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 7 | NP | EI レベル例外受け付け時の PSW.NP ビットを退避します。 | R/W | 0 |
| 6 | EP | EI レベル例外受け付け時の PSW.EP ビットを退避します。 | R/W | 0 |
| 5 | ID | EI レベル例外受け付け時の PSW.ID ビットを退避します。 | R/W | 1 |
| 4 | SAT | EI レベル例外受け付け時の PSW.SAT ビットを退避します。 | R/W | 0 |
| 3 | CY | EI レベル例外受け付け時の PSW.CY ビットを退避します。 | R/W | 0 |
| 2 | OV | EI レベル例外受け付け時の PSW.OV ビットを退避します。 | R/W | 0 |
| 1 | S | EI レベル例外受け付け時の PSW.S ビットを退避します。 | R/W | 0 |
| 0 | Z | EI レベル例外受け付け時の PSW.Z ビットを退避します。 | R/W | 0 |

(c) FEPC — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、FE レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（『RH850G3K ユーザーズマニュアル ソフトウェア編』の「4.1.3 例外の実行形態」を参照してください）。

FE レベル例外時状態退避レジスタは、1組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

FEPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

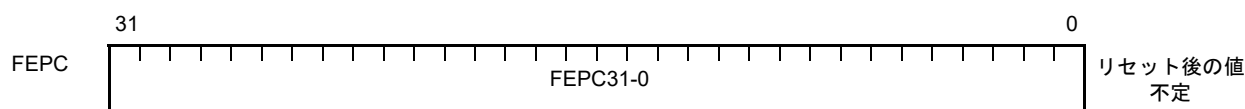


表 3.86 FEPC レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|--|-----|---------|
| 31 ~ 1 | FEPC31-1 | FE レベル例外受け付け時の復帰 PC を示します。 | R/W | 不定 |
| 0 | FEPC0 | FE レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、FERET 命令の実行により PC に転送される値は、0 となります。 | R/W | 不定 |

注 意

命令アドレッシング範囲は 128 M バイトです。FEPC のビット 31 ~ 27 はビット 26 を符号拡張した値が自動的に設定されます。

(d) FEPSW — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

FE レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

注 意

ビット 11 ~ 9 はデバッグ機能にかかわるため、通常は処理できません。

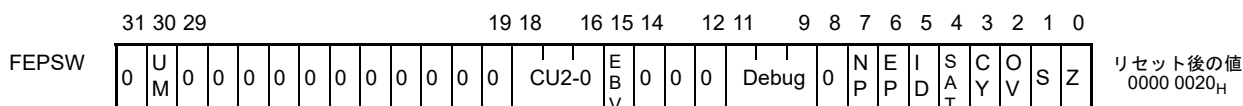


表 3.87 FEPSW レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|-------|--|-----|---------|
| 31 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 30 | UM | FE レベル例外受け付け時の PSW.UM ビットを退避します。 | R/W | 0 |
| 29 ~ 19 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 18 ~ 16 | CU2-0 | FE レベル例外受け付け時の PSW.CU2-0 フィールドを退避します。 (将来のための予約です。必ず 0 を設定してください) | R/W | 0 |
| 15 | EBV | FE レベル例外受け付け時の PSW.EBV ビットを退避します。 | R/W | 0 |
| 14 ~ 12 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 11 ~ 9 | Debug | FE レベル例外受け付け時の PSW.Debug フィールドを退避します。 | R/W | 0 |
| 8 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 7 | NP | FE レベル例外受け付け時の PSW.NP ビットを退避します。 | R/W | 0 |
| 6 | EP | FE レベル例外受け付け時の PSW.EP ビットを退避します。 | R/W | 0 |
| 5 | ID | FE レベル例外受け付け時の PSW.ID ビットを退避します。 | R/W | 1 |
| 4 | SAT | FE レベル例外受け付け時の PSW.SAT ビットを退避します。 | R/W | 0 |
| 3 | CY | FE レベル例外受け付け時の PSW.CY ビットを退避します。 | R/W | 0 |
| 2 | OV | FE レベル例外受け付け時の PSW.OV ビットを退避します。 | R/W | 0 |
| 1 | S | FE レベル例外受け付け時の PSW.S ビットを退避します。 | R/W | 0 |
| 0 | Z | FE レベル例外受け付け時の PSW.Z ビットを退避します。 | R/W | 0 |

(e) PSW — プログラムステータスワード

PSW（プログラムステータスワード）は、プログラムの状態（命令実行の結果）を示すフラグや CPU の動作状態を示すビットの集合です（フラグとは条件命令（Bcond や CMOV など）によって参照される PSW 上のビットを示します）。

LDSR 命令を使用して、このレジスタの各ビットの内容を変更した場合は、LDSR 命令実行終了直後から変更内容が有効となります。

PSW レジスタは、ビットごとにアクセス権限が違います。すべてのビットは読み出しは常に行えますが、書き込みは特定の条件でのみ書き込み可能なものが存在します。各ビットのアクセス権限は、「表 3.88 PSW レジスタビットのアクセス権限」を参照してください。

表 3.88 PSW レジスタビットのアクセス権限

| ビット | | 読み出し時アクセス権限 | 書き込み時アクセス権限 |
|-------|-------|-------------|-------------|
| 30 | UM | UM | SV注1 |
| 18～16 | CU2-0 | UM | SV注1 |
| 15 | EBV | UM | SV注1 |
| 11～9 | Debug | UM | 特殊注1 |
| 7 | NP | UM | SV注1 |
| 6 | EP | UM | SV注1 |
| 5 | ID | UM | SV注1 |
| 4 | SAT | UM | UM |
| 3 | CY | UM | UM |
| 2 | OV | UM | UM |
| 1 | S | UM | UM |
| 0 | Z | UM | UM |

注 1. PSW レジスタ全体はアクセス権限が UM であるため、PSW.UM = 1 のとき LDSR で書き込みを行っても PIE 例外は起きません。書き込みが無視されます。

| PSW | 31 | 30 | 29 | 19 | 18 | 16 | 15 | 14 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | リセット後の値 | |
|-----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---------|------------------------|
| | 0 | UM | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0000 0020 _H |

表 3.89 PSW レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|-------|---------|--|-----|---------|
| 31 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 30 | UM | CPU がユーザーモード (UM モード) にあることを示します。 0 : スーパーバイザモード 1 : ユーザーモード | R/W | 0 |
| 29～19 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 18～16 | CU2-CU0 | (将来のための予約です。必ず 0 に設定してください。) | R | 000 |
| 15 | EBV | リセットベクタ、例外ベクタの動作を示します。詳細は、本節の RBASE レジスタ、EBASE レジスタを参照してください。 | R/W | 0 |
| 14～12 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 11～9 | Debug | 開発ツール向けのデバッグ機能で使用します。通常は、0 を設定してください。 | — | 0 |
| 8 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |

表 3.89 PSW レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|-------|-------------------|--|-----|---------|
| 7 | NP | FE レベル例外の受け付けを禁止します。FE レベル例外が受け付けられるとセット (1) され、EI レベル例外、FE レベル例外の受け付けを禁止します。NP ビットによって、受け付けが禁止される例外は、「RH850G3K ユーザーズマニュアル ソフトウェア編」の「表 4-1 例外要因一覧」を参照してください。 0: FE レベル例外の受け付けを許可する 1: FE レベル例外の受け付けを禁止する | R/W | 0 |
| 6 | EP | 割り込みコントローラで制御される割り込み以外の例外処理中であることを示します。該当する例外の発生でセット (1) されます。なお、このビットはセット (1) されても例外要求の受け付けには影響しません。 0: 割り込み以外の例外処理中ではない 1: 割り込み以外の例外処理中である | R/W | 0 |
| 5 | ID | EI レベル例外の受け付けを禁止します。EI レベル例外、FE レベル例外が受け付けられるとセット (1) され、EI レベル例外の受け付けを禁止します。ID ビットによって、受け付けが禁止される例外は、「RH850G3K ユーザーズマニュアル ソフトウェア編」の「表 4-1 例外要因一覧」を参照してください。また、通常のプログラムや、割り込み処理中にクリティカル・セクションとして、EI レベル例外の受け付けを禁止する場合にも使用されます。DI 命令の実行によってセット (1) し、EI 命令の実行によってクリア (0) します。EI 命令、DI 命令による ID ビットの変更は、次の命令から有効となります。 0: EI レベル例外の受け付けを許可する 1: EI レベル例外の受け付けを禁止する | R/W | 1 |
| 4 | SAT ^{注1} | 飽和演算命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット (1) され、以降の命令の演算結果が飽和しなくてもクリア "0" されません。クリア "0" する場合は、LDSR 命令により行います。なお、算術演算命令の実行では、セット (1) もクリア "0" も行いません。 0: 飽和していない 1: 飽和している | R/W | 0 |
| 3 | CY | 演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、およびボローが発生していない 1: キャリー、またはボローが発生した | R/W | 0 |
| 2 | OV ^{注1} | 演算中にオーバフローが発生したかどうかを示します。 0: オーバフローが発生していない 1: オーバフローが発生した | R/W | 0 |
| 1 | S ^{注1} | 演算の結果が負かどうかを示します。 0: 演算の結果は、正または 0 であった 1: 演算の結果は負であった | R/W | 0 |
| 0 | Z | 演算の結果が 0 かどうかを示します。 0: 演算の結果は 0 でなかった 1: 演算の結果は 0 であった | R/W | 0 |

注 1. 飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また、飽和演算時に OV フラグがセット (1) された場合だけ、SAT フラグはセット (1) されます。

| 演算結果の状態 | フラグの状態 | | | 飽和処理をした演算結果 |
|--------------|--------------|----|---|------------------------|
| | SAT | OV | S | |
| 正の最大値を越えた | 1 | 1 | 0 | 7FFF FFFF _H |
| 負の最大値を越えた | 1 | 1 | 1 | 8000 0000 _H |
| 正 (最大値を越えない) | 演算前の値 を保持 | 0 | 0 | 演算結果そのもの |
| 負 (最大値を越えない) | | | 1 | |

(f) EIIC — EI レベル例外要因

EIIC レジスタは、EI レベルの例外が発生した場合に、その要因を保持するレジスタです。

EIIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

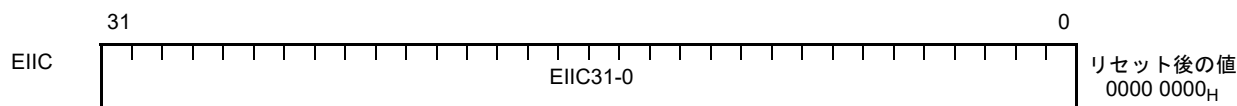


表 3.90 EIIC レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|---|-----|---------|
| 31 ~ 0 | EIIC31-0 | EI レベル例外受け付け時に、例外要因コードが格納されます。格納される例外要因コードは「表 6.14 割り込み例外ハンドラと優先順位」および「RH850G3K ユーザーズマニュアル ソフトウェア編」の「表 4-1 例外要因一覧」を参照してください。 EIIC31-16 は、例外ごとに定義された詳細な例外要因コードが格納されます。例外にかかわる機能で特に定義がない場合は、0 が設定されます。 | R/W | 0 |

(g) FEIC — FE レベル例外要因

FEIC レジスタは、FE レベルの例外が発生した場合に、その要因を保持するレジスタです。

FEIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

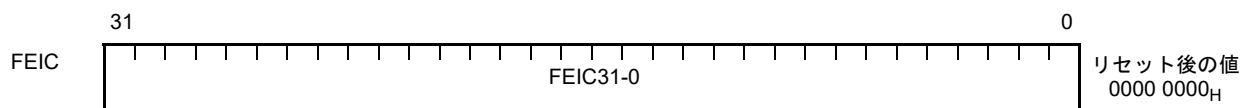


表 3.91 FEIC レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|---|-----|---------|
| 31 ~ 0 | FEIC31-0 | FE レベル例外受け付け時に、例外要因コードが格納されます。格納される例外要因コードは「表 6.14 割り込み例外ハンドラと優先順位」および「RH850G3K ユーザーズマニュアル ソフトウェア編」の「表 4-1 例外要因一覧」を参照してください。FEIC31-16 は、例外ごとに定義された詳細な例外要因コードが格納されます。例外にかかわる機能で特に定義がない場合は、0 が設定されます。 | R/W | 0 |

(h) CTPC — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、CALLT 命令の次の命令のアドレスが CTPC に退避されます。

CTPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

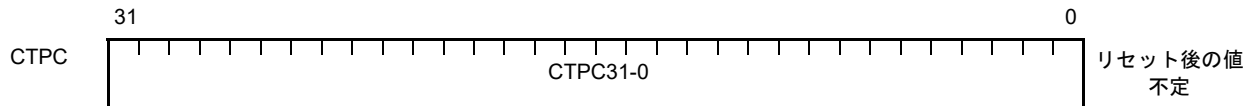


表 3.92 CTPC レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|--|-----|---------|
| 31 ~ 1 | CTPC31-1 | CALLT 命令の次の命令の PC を示します。 | R/W | 不定 |
| 0 | CTPC0 | CALLT 命令の次の命令の PC を示します。 常に 0 を設定してください。1 を設定した場合でも、CTRET 命令の実行により PC に転送される値は、0 となります。 | R/W | 不定 |

注 意

命令アドレッシング範囲は 128 M バイトです。CTPC のビット 31 ~ 27 はビット 26 を符号拡張した値が自動的に設定されます。

(i) CTPSW — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、PSW（プログラムステータスワード）の一部が CTPSW に退避されます。

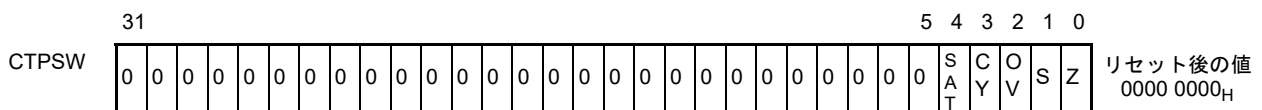


表 3.93 CTPSW レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|------|--------------------------------|-----|---------|
| 31 ~ 5 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 4 | SAT | CALLT 命令実行時の PSW.SAT ビットを退避します | R/W | 0 |
| 3 | CY | CALLT 命令実行時の PSW.CY ビットを退避します。 | R/W | 0 |
| 2 | OV | CALLT 命令実行時の PSW.OV ビットを退避します。 | R/W | 0 |
| 1 | S | CALLT 命令実行時の PSW.S ビットを退避します。 | R/W | 0 |
| 0 | Z | CALLT 命令実行時の PSW.Z ビットを退避します。 | R/W | 0 |

(j) CTBP — CALLT ベースポインタ

CTBP レジスタは、CALLT 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。

CTBP レジスタには必ずハーフワードアドレスを設定してください。

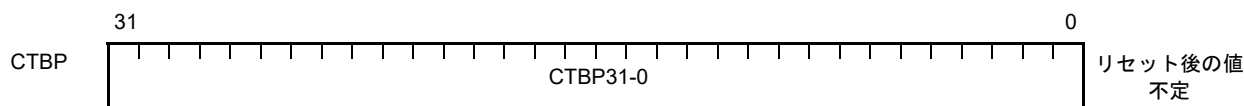


表 3.94 CTBP レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|--|-----|---------|
| 31 ~ 1 | CTBP31-1 | CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。 | R/W | 不定 |
| 0 | CTBP0 | CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。 常に 0 を設定してください。 | R | 0 |

注 意

命令アドレッシング範囲は 128 M バイトです。CTBP のビット 31 ~ 27 はビット 26 を符号拡張した値が自動的に設定されます。

(k) ASID — アドレス空間識別子

アドレス空間識別子です。メモリ管理機能で提供されるアドレス空間の識別のために使用します。

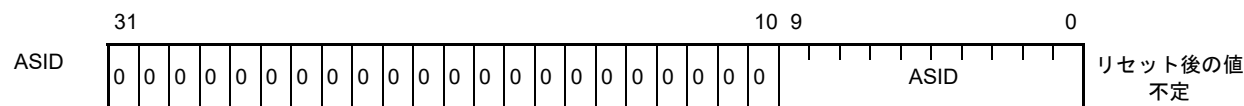


表 3.95 ASID レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|------|-----------------------------|-----|---------|
| 31 ~ 10 | — | (将来のための予約です。必ず 0 を設定してください) | R | 0 |
| 9 ~ 0 | ASID | アドレス空間識別子です。 | R/W | 不定 |

(l) EIWR — EI レベル例外作業レジスタ

EIWR レジスタは、EI レベルの例外が発生したときの作業用レジスタです。

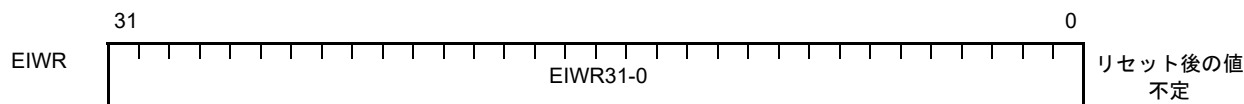


表 3.96 EIWR レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|---|-----|---------|
| 31 ~ 0 | EIWR31-0 | EI レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの一時退避などに利用してください。 | R/W | 不定 |

(m) FEWR — FE レベル例外用作業レジスタ

FEWR レジスタは、FE レベルの例外が発生したときの作業用レジスタです。

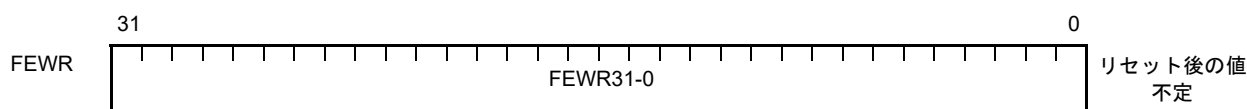


表 3.97 FEWR レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|---|-----|---------|
| 31 ~ 0 | FEWR31-0 | FE レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの一時退避などに利用してください。 | R/W | 不定 |

(n) HTCFG0 — スレッドコンフィグレーション

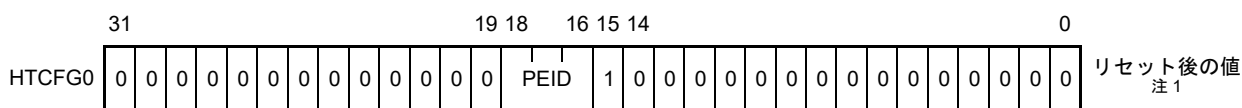


表 3.98 HTCFG0 レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|------|------------------------------|-----|---------|
| 31 ~ 19 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 18 ~ 16 | PEID | プロセッサエレメント番号を示します。 | R | 注2 |
| 15 | — | (将来のための予約です。必ず 1 を設定してください。) | R | 1 |
| 14 ~ 0 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |

注 1. 本製品の PCU (PE3) では 00038000_H です。

注 2. 本製品の PCU (PE3) では 011_B です。

(o) MEA — メモリエラーアドレス

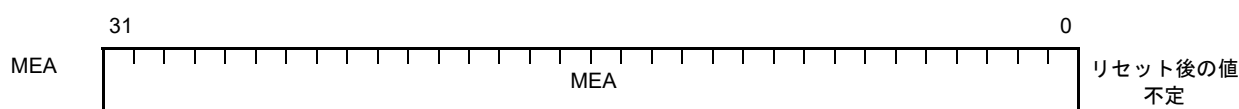


表 3.99 MEA レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|------|------------------------------------|-----|---------|
| 31 ~ 0 | MEA | MAE (ミスアライン) / MPU 違反時のアドレスを保存します。 | R/W | 不定 |

(p) MEI — メモリエラー情報

ミスライン例外 (MAE)、メモリ保護例外 (MDP) 発生時に、エミュレーションを行う場合のヒント情報として、例外を引き起こした命令の情報を格納します。

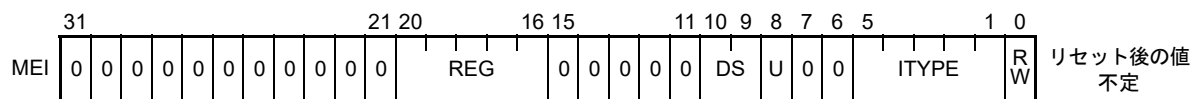


表 3.100 MEI レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|----------|--|-----|---------|
| 31 ~ 21 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 |
| 20 ~ 16 | REG4-0 | 例外を引き起こした命令のソースレジスタ番号、またはディスティネーションレジスタ番号を示します。 詳細は、「表 3.101 例外を引き起こした命令と MEI レジスタの値」を参照してください。 | R/W | 不定 |
| 15 ~ 11 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 |
| 10, 9 | DS | 例外を引き起こした命令のデータタイプを示します ^{注1} 。 0: バイト (8 ビット) 1: ハーフワード (16 ビット) 2: ワード (32 ビット) 3: ダブルワード (64 ビット) 詳細は、「表 3.101 例外を引き起こした命令と MEI レジスタの値」を参照してください。 | R/W | 不定 |
| 8 | U | 例外を引き起こした命令の符号拡張方式を示します。 0: Signed 1: Unsigned 詳細は、「表 3.101 例外を引き起こした命令と MEI レジスタの値」を参照してください。 | R/W | 不定 |
| 7, 6 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 |
| 5 ~ 1 | ITYPE4-0 | 例外を引き起こした命令を示します。 詳細は、「表 3.101 例外を引き起こした命令と MEI レジスタの値」を参照してください。 | R/W | 不定 |
| 0 | RW | 例外を引き起こした命令のオペレーションが、リード (Loadmemory) だったのか、ライト (Store-memory) だったのかを示します。 0: リード (Load-memory) 1: ライト (Store-memory) 詳細は、「表 3.101 例外を引き起こした命令と MEI レジスタの値」を参照してください。 | R/W | 不定 |

注 1. ハードウェアによってアクセスが分割されるような場合においても、命令の示すデータタイプが格納されます。

表 3.101 例外を引き起こした命令と MEI レジスタの値 (1/2)

| 命令 | REG | DS | U | RW | ITYPE |
|----------------|-----|---------------|--------------|-----------|--------------------|
| SLD.B | dst | 0 (Byte) | 0 (Signed) | 0 (Read) | 00000 _B |
| SLD.BU | dst | 0 (Byte) | 1 (Unsigned) | 0 (Read) | 00000 _B |
| SLD.H | dst | 1 (Half-word) | 0 (Signed) | 0 (Read) | 00000 _B |
| SLD.HU | dst | 1 (Half-word) | 1 (Unsigned) | 0 (Read) | 00000 _B |
| SLD.W | dst | 2 (Word) | 0 (Signed) | 0 (Read) | 00000 _B |
| SST.B | src | 0 (Byte) | 0 (Signed) | 1 (Write) | 00000 _B |
| SST.H | src | 1 (Half-word) | 0 (Signed) | 1 (Write) | 00000 _B |
| SST.W | src | 2 (Word) | 0 (Signed) | 1 (Write) | 00000 _B |
| LD.B (disp16) | dst | 0 (Byte) | 0 (Signed) | 0 (Read) | 00001 _B |
| LD.BU (disp16) | dst | 0 (Byte) | 1 (Unsigned) | 0 (Read) | 00001 _B |

表 3.101 例外を引き起こした命令と MEI レジスタの値 (2/2)

| 命令 | REG | DS | U | RW | ITYPE |
|------------------|-----|-----------------|--------------|-------------|--------------------|
| LD.H (disp16) | dst | 1 (Half-word) | 0 (Signed) | 0 (Read) | 00001 _B |
| LD.HU (disp16) | dst | 1 (Half-word) | 1 (Unsigned) | 0 (Read) | 00001 _B |
| LD.W (disp16) | dst | 2 (Word) | 0 (Signed) | 0 (Read) | 00001 _B |
| ST.B (disp16) | src | 0 (Byte) | 0 (Signed) | 1 (Write) | 00001 _B |
| ST.H (disp16) | src | 1 (Half-word) | 0 (Signed) | 1 (Write) | 00001 _B |
| ST.W (disp16) | src | 2 (Word) | 0 (Signed) | 1 (Write) | 00001 _B |
| LD.B (disp23) | dst | 0 (Byte) | 0 (Signed) | 0 (Read) | 00010 _B |
| LD.BU (disp23) | dst | 0 (Byte) | 1 (Unsigned) | 0 (Read) | 00010 _B |
| LD.H (disp23) | dst | 1 (Half-word) | 0 (Signed) | 0 (Read) | 00010 _B |
| LD.HU (disp23) | dst | 1 (Half-word) | 1 (Unsigned) | 0 (Read) | 00010 _B |
| LD.W (disp23) | dst | 2 (Word) | 0 (Signed) | 0 (Read) | 00010 _B |
| ST.B (disp23) | src | 0 (Byte) | 0 (Signed) | 1 (Write) | 00010 _B |
| ST.H (disp23) | src | 1 (Half-word) | 0 (Signed) | 1 (Write) | 00010 _B |
| ST.W (disp23) | src | 2 (Word) | 0 (Signed) | 1 (Write) | 00010 _B |
| LD.DW (disp23) | dst | 3 (Double-word) | 0 (Signed) | 0 (Read) | 00010 _B |
| ST.DW (disp23) | src | 3 (Double-word) | 0 (Signed) | 1 (Write) | 00010 _B |
| LDL.W | dst | 2 (Word) | 0 (Signed) | 0 (Read) | 00111 _B |
| STC.W | src | 2 (Word) | 0 (Signed) | 1 (Write) | 00111 _B |
| CAXI | dst | 2 (Word) | 1 (Unsigned) | 0 (Read) 注1 | 01000 _B |
| SET1 | — | 0 (Byte) | 1 (Unsigned) | 0 (Read) 注1 | 01001 _B |
| CLR1 | — | 0 (Byte) | 1 (Unsigned) | 0 (Read) 注1 | 01001 _B |
| NOT1 | — | 0 (Byte) | 1 (Unsigned) | 0 (Read) 注1 | 01001 _B |
| TST1 | — | 0 (Byte) | 1 (Unsigned) | 0 (Read) | 01001 _B |
| PREPARE | — | 2 (Word) | 1 (Unsigned) | 1 (Write) | 01100 _B |
| DISPOSE | — | 2 (Word) | 1 (Unsigned) | 0 (Read) | 01100 _B |
| PUSHSP | — | 2 (Word) | 1 (Unsigned) | 1 (Write) | 01101 _B |
| POPSP | — | 2 (Word) | 1 (Unsigned) | 0 (Read) | 01101 _B |
| SWITCH | — | 1 (Half-word) | 0 (Signed) | 0 (Read) | 10000 _B |
| CALLT | — | 1 (Half-word) | 1 (Unsigned) | 0 (Read) | 10001 _B |
| SYSCALL | — | 2 (Word) | 1 (Unsigned) | 0 (Read) | 10010 _B |
| 割り込み (テーブル参照) 注2 | — | 2 (Word) | 1 (Unsigned) | 0 (Read) | 10101 _B |

注 1. リード時点で例外が発生します。

注 2. テーブル参照方式の割り込みベクタ読み込み時

備 考

dst : ディスティネーションレジスタ番号、src : ソースレジスタ番号

(q) RBASE — リセットベクタベースアドレス

リセット時のリセットベクタアドレスを示すレジスタです。PSW.EBV ビットがクリア “0” されている場合、このベクタアドレスは例外ベクタアドレスとしても使用されます。

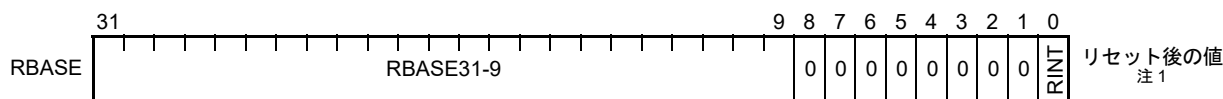


表 3.102 RBASE レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|-----------|---|-----|---------|
| 31 ~ 9 | RBASE31-9 | リセット時のリセットベクタを示します。このアドレスは PSW.EBV = 0 のとき、例外ベクタとしても使用されます。RBASE8-0 は、暗黙的に 0 が利用されます。 | R | 注 1 |
| 8 ~ 1 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 0 | RINT | RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスの縮小を行います。このビットは PSW.EBV = 0 のときに有効です。 | R | 0 |

注 1. リセットベクタは起動領域により異なります。詳細は「第 4 章 アドレス空間」を参照してください。

(r) EBASE — 例外ハンドラベクタアドレス

例外ハンドラのベクタアドレスを示すレジスタです。PSW.EBV ビットがセット (1) されている場合に有効です。

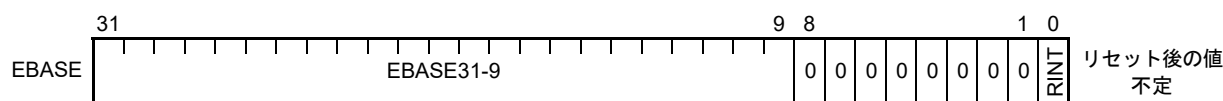


表 3.103 EBASE レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|-----------|--|-----|---------|
| 31 ~ 9 | EBASE31-9 | 例外ハンドラルーチンのアドレスがこのレジスタで指定されたベースアドレスに、各例外のオフセットアドレスを加えたアドレスに変更されます。EBASE8-0 は、暗黙的に 0 が利用されます。 | R/W | 不定 |
| 8 ~ 1 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 0 | RINT | RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスが縮小を行います。 | R/W | 不定 |

注 意

命令アドレッシング範囲は 128 M バイトです。EBASE のビット 31 ~ 27 はビット 26 を符号拡張した値が自動的に設定されます。

(s) INTBP — 例外ハンドラアドレステーブルのベースアドレス

割り込みハンドラアドレスの選択方式として、アドレステーブル参照方式を選択したときの、アドレステーブルのベースアドレスを示すレジスタです。

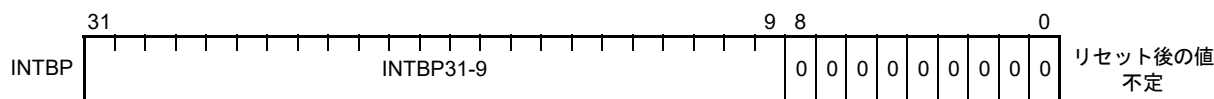


表 3.104 INTBP レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|-----------|---|-----|---------|
| 31 ~ 9 | INTBP31-9 | 拡張仕様の割り込みのベースポインタアドレスです。拡張仕様に指定された割り込み（EIINT0-511）受け付け時の例外ハンドラ決定時のテーブルアドレスの先頭を示します。INTBP8-0 は、暗黙的に 0 が利用されます。 | R/W | 不定 |
| 8 ~ 0 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |

注 意

命令アドレッシング範囲は 128 M バイトです。INTBP のビット 31 ~ 27 はビット 26 を符号拡張した値が自動的に設定されます。

(t) PID — プロセッサ識別子

PID レジスタは、CPU 固有のプロセッサ識別子を保持します。PID レジスタはリードのみ可能です。

注 意

PID レジスタは、搭載された CPU コア、および CPU コアのコンフィギュレーションを識別するための情報です。ソフトウェアの挙動を、PID レジスタの情報によって、動的に変化させるような利用方法を想定していません。

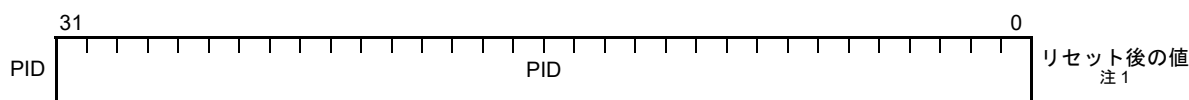


表 3.105 PID レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|------|---|-----|-------------------|
| 31 ~ 24 | PID | アーキテクチャ識別子 プロセッサの属するアーキテクチャを示す識別子です。 | R | F5 _H |
| 23 ~ 8 | | 機能識別子 プロセッサの持つ機能を示す識別子です。 ビットごとに定義された機能の搭載 / 非搭載を示します（1：搭載、0：非搭載）。 ビット 23 ~ 11：予約 ビット 10：倍精度浮動小数点演算機能 ビット 9：単精度浮動小数点演算機能 ビット 8：メモリ保護機能（MPU） | R | 0001 _H |
| 7 ~ 0 | | バージョン識別子 プロセッサのバージョンを示す識別子です。 | R | 30 _H |

注 1. 本製品では F500 0130_H です。

(u) SCCFG — SYSCALL の動作設定

SYSCALL 命令に関する動作設定を行います。SYSCALL 命令の使用前に必ず適切な値を設定してください。

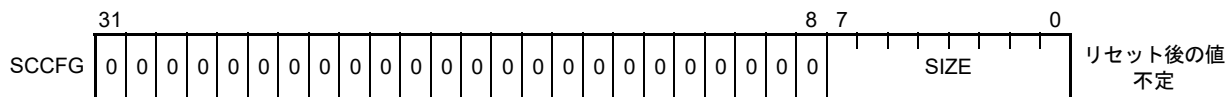


表 3.106 SCCFG レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|------|---|-----|---------|
| 31 ~ 8 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 |
| 7 ~ 0 | SIZE | SYSCALL 命令が参照するテーブルの最大エントリ数を指定します。SYSCALL が参照する最大エントリ数は、SIZE が0の場合は1エントリ、255の場合は256エントリです。SYSCALL 命令で分岐する関数の数に合わせて、最大エントリ数を適切に設定することで、メモリ領域を有効に活用できます。最大エントリ数を越えるベクタがSYSCALL 命令で指定された場合には、先頭のエントリが選択されず、先頭のエントリには、エラー処理ルーチンを配置してください。 | R/W | 不定 |

(v) SCBP — SYSCALL ベースポインタ

SCBP レジスタは、SYSCALL 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。SYSCALL 命令の使用前に、必ず適切な値を設定してください。

SCBP レジスタには必ずワードアドレスを設定してください。

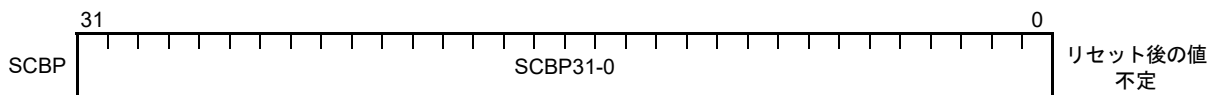


表 3.107 SCBP レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|--|-----|---------|
| 31 ~ 2 | SCBP31-2 | SYSCALL 命令のベースポインタアドレスです。SYSCALL 命令で利用するテーブルの先頭アドレスを示します。 | R/W | 不定 |
| 1, 0 | SCBP1-0 | SYSCALL 命令のベースポインタアドレスです。SYSCALL 命令で利用するテーブルの先頭アドレスを示します。常に0を設定してください。 | R | 0 |

注 意

命令アドレッシング範囲は128 Mバイトです。SCBPのビット31～27はビット26を符号拡張した値が自動的に設定されます。

(w) MCFG0 — マシンコンフィグレーション

CPU のコンフィグレーションを表すレジスタです。

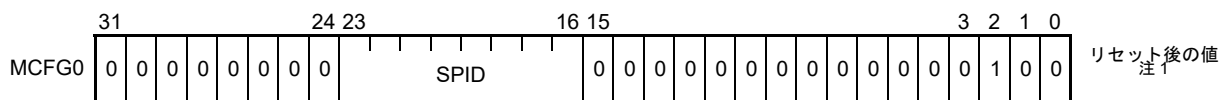


表 3.108 MCFG0 レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|------|--|-----|---------|
| 31 ~ 24 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 |
| 23 ~ 16 | SPID | ビット 23 ~ 18 : 本製品では対応していません。(将来のための予約です。必ず0を設定してください。 ビット 17、16 : システムプロテクション番号を示します。 | R/W | 注2 |
| 15 ~ 3 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 |
| 2 | — | (将来のための予約です。必ず1を設定してください。) | R | 1 |
| 1、0 | — | (将来のための予約です。必ず0を設定してください) | R | 0 |

注 1. 本製品の PCU (PE3) では 00030004_H です。

注 2. 本製品の PCU (PE3) では 03_H です。

(x) MCTL — マシンの制御

CPU の制御を行うレジスタです。

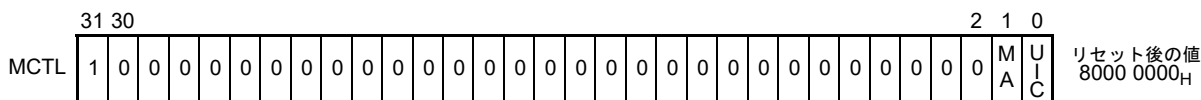


表 3.109 MCTL レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|------|--|-----|---------|
| 31 | — | (将来のための予約です。必ず1を設定してください) | R | 1 |
| 30 ~ 2 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 |
| 1 | MA | ミスアラインアクセスを制御するビットです。 0 : ミスアラインアクセス時、例外が発生します。注1 1 : ミスアライン例外が発生せず、アクセスを行います。注1 | R/W | 0 |
| 0 | UIC | ユーザーモードでの割り込み許可禁止操作を制御するビットです。このビットをセット (1) するとユーザーモードでの EI/DI 命令の実行が可能になります。 | R/W | 0 |

注 1. ダブルワード形式の命令のミスアライン例外の発生は制御 (抑制) できません。

(3) 割り込み機能レジスタ

表 3.110 割り込み機能システムレジスタ一覧

| レジスタ番号 (regID, selID) | 名称 | 機能 | アクセス 権限 |
|--------------------------|--------|--------------|------------|
| SR10, 2 | ISPR | 受け付け中割り込み優先度 | SV |
| SR11, 2 | PMR | 割り込み優先度マスク | SV |
| SR12, 2 | ICSR | 割り込み制御ステータス | SV |
| SR13, 2 | INTCFG | 割り込み機能の設定 | SV |

(a) ISPR — 受け付け中割り込み優先度

CPU で処理中の EIINT_n の割り込み優先度を、優先度ごとに保持し、多重割り込み時の優先度によるプライオリティシーリングを行います。

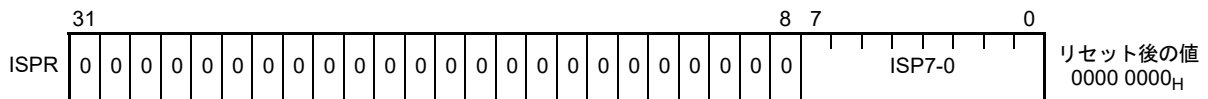


表 3.111 ISPR レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 | | | | | | | | | | | | |
|--------|---------------|--|-----|---------|---|---------------|---|-------|---|--|---|-------|---|-------|-----------------|---|
| 31 ~ 8 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 | | | | | | | | | | | | |
| 7 ~ 0 | ISP7-0 | ビット位置に対応した優先度 ^{注1} の割り込み (EIINT _n) の受け付け状況を示します。 0 : ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない 1 : ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中 各ビット位置が、次のように各優先度に対応しています。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>ビット</th> <th>優先度</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>優先度 0 (最高優先度)</td> </tr> <tr> <td>1</td> <td>優先度 1</td> </tr> <tr> <td colspan="2" style="text-align: center;">:</td> </tr> <tr> <td>6</td> <td>優先度 6</td> </tr> <tr> <td>7</td> <td>優先度 7</td> </tr> </tbody> </table> 割り込み (EIINT _n) 要求を受け付けた場合、受け付けた割り込み (EIINT _n) 要求に対応するビットが自動的にセット (1) されます。また、EIRET 命令実行時に PSW.EP = 0 の場合、ISP7 ~ 0 でセット (1) されているビットのうち、最も高優先度 (0 が高優先度側) のビットがクリア (0) されます ^{注2} 。 このビットがセット (1) されている間、その優先度以下の割り込み (EIINT _n) がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることはありません。詳細は、「RH850G3K ユーザーズマニュアル ソフトウェア編」の「4.1.5 割り込みの例外優先度と優先度マスク」を参照してください。 PMR レジスタを利用してソフトウェアによる優先度管理を行う場合は、INTCFG.ISPC ビットの機能によってクリアしてください。 | ビット | 優先度 | 0 | 優先度 0 (最高優先度) | 1 | 優先度 1 | : | | 6 | 優先度 6 | 7 | 優先度 7 | R ^{注3} | 0 |
| ビット | 優先度 | | | | | | | | | | | | | | | |
| 0 | 優先度 0 (最高優先度) | | | | | | | | | | | | | | | |
| 1 | 優先度 1 | | | | | | | | | | | | | | | |
| : | | | | | | | | | | | | | | | | |
| 6 | 優先度 6 | | | | | | | | | | | | | | | |
| 7 | 優先度 7 | | | | | | | | | | | | | | | |

注 1. 詳細は「RH850G3K ユーザーズマニュアル ソフトウェア編」の「4.1.5 割り込みの例外優先度と優先度マスク」を参照してください。

注 2. INTCFG.ISPC の設定によって、割り込み受け付け、また EIRET 命令による自動更新が行われなくなります。通常は、自動更新を行う方法での利用を推奨します。

注 3. INTCFG.ISPC の設定によって、R または R/W となります。通常は R として利用する方法を推奨します。

(b) PMR — 割り込み優先度マスク

指定した割り込み優先度のマスクを行うレジスタです。

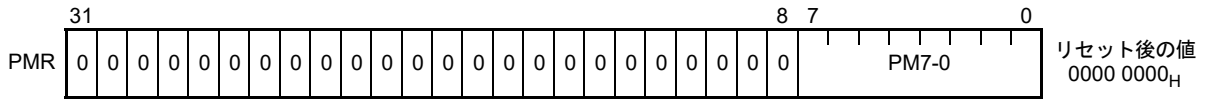


表 3.112 PMR レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 | | | | | | | | | | | | |
|--------|---------------|--|-----|---------|---|---------------|---|-------|--|---|---|-------|---|---------------|-----|---|
| 31 ~ 8 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 | | | | | | | | | | | | |
| 7 ~ 0 | PM7-0 | ビット位置に対応した割り込み要求をマスクします。 0: ビット位置に対応する優先度の割り込み処理を許可 1: ビット位置に対応する優先度の割り込み処理を禁止 各ビット位置が、次のように各優先度に対応しています。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>ビット</th> <th>優先度</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>優先度 0 (最高優先度)</td> </tr> <tr> <td>1</td> <td>優先度 1</td> </tr> <tr> <td></td> <td style="text-align: center;">:</td> </tr> <tr> <td>6</td> <td>優先度 6</td> </tr> <tr> <td>7</td> <td>優先度 7 (最低優先度)</td> </tr> </tbody> </table> このビットがセット (1) されている間、その優先度の割り込み (EIINT _n) がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることはありません ^{注1} 。 | ビット | 優先度 | 0 | 優先度 0 (最高優先度) | 1 | 優先度 1 | | : | 6 | 優先度 6 | 7 | 優先度 7 (最低優先度) | R/W | 0 |
| ビット | 優先度 | | | | | | | | | | | | | | | |
| 0 | 優先度 0 (最高優先度) | | | | | | | | | | | | | | | |
| 1 | 優先度 1 | | | | | | | | | | | | | | | |
| | : | | | | | | | | | | | | | | | |
| 6 | 優先度 6 | | | | | | | | | | | | | | | |
| 7 | 優先度 7 (最低優先度) | | | | | | | | | | | | | | | |

注1. マスクは低優先側から、連続して1を設定してください。例えば F0_H のような設定は可能ですが、CC_H や 0F_H のような設定は禁止します。

(c) ICSR — 割り込み制御ステータス

CPU 内部の割り込み制御の状況を示すレジスタです。

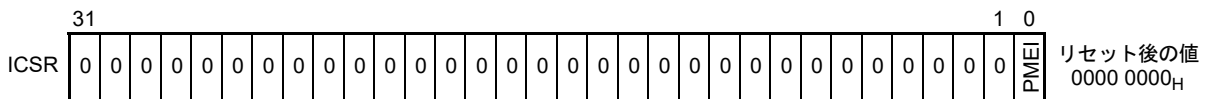


表 3.113 ICSR レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|------|--|-----|---------|
| 31 ~ 1 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 |
| 0 | PMEI | PMR の設定でマスクされている優先度の割り込み (EIINT _n) が存在することを示します。 | R | 0 |

(d) INTCFG — 割り込み機能の設定

CPU 内部の割り込み機能に関する設定を行うレジスタです。

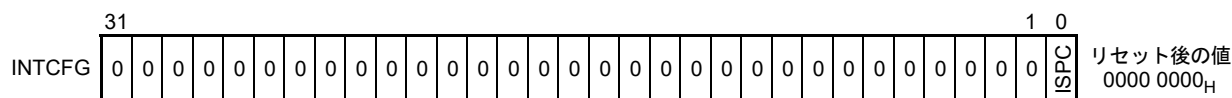


表 3.114 INTCFG レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|------|---|-----|---------|
| 31 ~ 1 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 0 | ISPC | <p>ISPR レジスタの書き込み変更方法を設定するビットです。</p> <p>0 : ISPR を自動的に更新します。プログラムによる更新 (LDSR) を無視します。</p> <p>1 : ISPR を自動的に更新しません。プログラムによる更新 (LDSR) が行えます。</p> <p>このビットがクリア "0" されている場合、ISPR レジスタの各ビットは割り込み (EIINTn) の受け付けにより自動的にセット (1)、EIRET 命令の実行によって自動的にクリア "0" が行われます。この状態ではプログラムによる LDSR を使った更新を無視します。このビットがセット (1) されている場合、ISPR レジスタの各ビットは割り込み (EIINTn) の受け付けや、EIRET 命令の実行によっては、更新を行いません。この状態ではプログラムによる LDSR を使った更新が可能となります。</p> <p>通常 ISPC ビットはクリア "0" した状態で利用してください。ソフトウェアによる割り込み優先度を管理する場合に、このビットをセット (1) し、PMR レジスタによる優先度管理を行ってください。</p> | R/W | 0 |

(4) FPU 機能レジスタ

FPU 機能は非搭載です。

(5) MPU 機能レジスタ

(a) MPU 機能システムレジスタ

MPU 機能システムレジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.115 MPU 機能システムレジスタ一覧 (1/2)

| レジスタ番号 (regID, selID) | 名称 | 機能 | アクセス 権限 |
|--------------------------|--------|------------------------------------|------------|
| SR0, 5 | MPM | メモリ保護動作モードの設定 | SV |
| SR1, 5 | MPRC | MPU リージョン制御 | SV |
| SR4, 5 | MPBRGN | MPU ベースリージョン番号 | SV |
| SR5, 5 | MPTRGN | MPU 終端リージョン番号 | SV |
| SR11, 5 | MCR | メモリ保護設定チェック結果 | SV |
| SR0, 6 | MPLA0 | 保護領域の下限アドレス | SV |
| SR1, 6 | MPUA0 | 保護領域の上限アドレス | SV |
| SR2, 6 | MPAT0 | 保護領域の属性 | SV |
| SR4, 6 | MPLA1 | 保護領域の下限アドレス | SV |
| SR5, 6 | MPUA1 | 保護領域の上限アドレス | SV |
| SR6, 6 | MPAT1 | 保護領域の属性 | SV |
| SR8, 6 | MPLA2 | 保護領域の下限アドレス | SV |
| SR9, 6 | MPUA2 | 保護領域の上限アドレス | SV |
| SR10, 6 | MPAT2 | 保護領域の属性 | SV |
| SR12, 6 | MPLA3 | 保護領域の下限アドレス | SV |
| SR13, 6 | MPUA3 | 保護領域の上限アドレス | SV |
| SR14, 6 | MPAT3 | 保護領域の属性 | SV |
| SR16, 6 | MPLA4 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR17, 6 | MPUA4 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR18, 6 | MPAT4 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR20, 6 | MPLA5 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR21, 6 | MPUA5 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR22, 6 | MPAT5 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR24, 6 | MPLA6 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR25, 6 | MPUA6 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR26, 6 | MPAT6 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR28, 6 | MPLA7 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR29, 6 | MPUA7 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR30, 6 | MPAT7 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR0, 7 | MPLA8 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR1, 7 | MPUA8 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR2, 7 | MPAT8 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR4, 7 | MPLA9 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR5, 7 | MPUA9 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR6, 7 | MPAT9 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR8, 7 | MPLA10 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR9, 7 | MPUA10 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |
| SR10, 7 | MPAT10 | (搭載していません。常に 0 を読み出し、書き込みは無視されます。) | SV |

表 3.115 MPU 機能システムレジスタ一覧 (2/2)

| レジスタ番号 (regID, selID) | 名称 | 機能 | アクセス 権限 |
|--------------------------|--------|----------------------------------|------------|
| SR12, 7 | MPLA11 | (搭載していません。常に0を読み出し、書き込みは無視されます。) | SV |
| SR13, 7 | MPUA11 | (搭載していません。常に0を読み出し、書き込みは無視されます。) | SV |
| SR14, 7 | MPAT11 | (搭載していません。常に0を読み出し、書き込みは無視されます。) | SV |
| SR16, 7 | MPLA12 | (搭載していません。常に0を読み出し、書き込みは無視されます。) | SV |
| SR17, 7 | MPUA12 | (搭載していません。常に0を読み出し、書き込みは無視されます。) | SV |
| SR18, 7 | MPAT12 | (搭載していません。常に0を読み出し、書き込みは無視されます。) | SV |
| SR20, 7 | MPLA13 | (搭載していません。常に0を読み出し、書き込みは無視されます。) | SV |
| SR21, 7 | MPUA13 | (搭載していません。常に0を読み出し、書き込みは無視されます。) | SV |
| SR22, 7 | MPAT13 | (搭載していません。常に0を読み出し、書き込みは無視されます。) | SV |
| SR24, 7 | MPLA14 | (搭載していません。常に0を読み出し、書き込みは無視されます。) | SV |
| SR25, 7 | MPUA14 | (搭載していません。常に0を読み出し、書き込みは無視されます。) | SV |
| SR26, 7 | MPAT14 | (搭載していません。常に0を読み出し、書き込みは無視されます。) | SV |
| SR28, 7 | MPLA15 | (搭載していません。常に0を読み出し、書き込みは無視されます。) | SV |
| SR29, 7 | MPUA15 | (搭載していません。常に0を読み出し、書き込みは無視されます。) | SV |
| SR30, 7 | MPAT15 | (搭載していません。常に0を読み出し、書き込みは無視されます。) | SV |

(1) MPM — メモリ保護動作モード

メモリ保護モードレジスタはメモリ保護機能の基本的な動作状態を決定します。

| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-----|----|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|-------------|---|---|---|-------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|-----------------------------------|---|--|
| | 31 | | | | | | | | | | | | | | | | | | 11 10 9 8 7 | | | | 2 1 0 | | | | | | | | | | | | | | | | | | |
| MPM | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | D | D | D | 0 | 0 | 0 | 0 | 0 | 0 | S | M | リセット後の値 0000 0000 _H | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | X | W | R | | | | | | | V | P | E | |

表 3.116 MPM レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|----------------------|---|-------------------|---------|
| 31 ~ 11 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 10 | DX | 保護領域が指定されていないアドレスに対する命令実行時のデフォルトの動作を設定します。 0: 保護領域が指定されていないアドレスに対する命令実行の禁止 1: 保護領域が指定されていないアドレスに対する命令実行の許可 | R/W | 0 |
| 9 | DW | 保護領域が指定されていないアドレスに対する書き込み操作時のデフォルトの動作を設定します。 0: 保護領域が指定されていないアドレスに対する書き込みの禁止 1: 保護領域が指定されていないアドレスに対する書き込みの許可 | R/W | 0 |
| 8 | DR | 保護領域が指定されていないアドレスに対する読み出し操作時のデフォルトの動作を設定します。 0: 保護領域が指定されていないアドレスに対する読み出しの禁止 1: 保護領域が指定されていないアドレスに対する読み出しの許可 | R/W | 0 |
| 7 ~ 2 | — | (将来のための予約です。必ず 0 を設定してください。) | R | 0 |
| 1 | SVP ^{注3,注4} | SV モード (PSW.UM = 0) 時に、各保護領域ごとに MPAT レジスタの SX、SW、SR にしたがってアクセス制限を行うかどうかを指定します。 ^{注1} 0: 従来どおり、SV モードでは、暗黙的にすべてのアクセスは許可とします。 1: SV モードであっても、SX、SW、SR ビットにしたがってアクセス制限を行います。 ^{注2} | R/W ^{注4} | 0 |
| 0 | MPE | MPU 機能の有効/無効を指定します。 0: 無効 1: 有効 | R/W | 0 |

- 注 1. SVP ビットをセットすると、SV モードであっても各保護領域ごとの設定にしたがってアクセス制限が課されるようになります。
このため、SVP ビットをセットするプログラム自身がアクセス制限されることがないように、あらかじめ保護領域の設定を行ってください。
- 注 2. SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。
- 注 3. SVP = 1 における SYSCALL 命令とテーブル参照方式 EIINT でのテーブル参照時の処理において、本 CPU ではスーパーバイザモードでアクセス制限を行いません。
- 注 4. SVP ビットをセット (1) してデバグを使用する場合、FE60 0000_H ~ FE7F FFFF_H 領域での SV モードによる命令実行を許可に設定してください。また、サードパーティ製デバグが Global RAM 領域や PE1 の Local RAM 領域にコードをダウンロードして命令実行する場合は、該当領域での SV モードによる命令実行も許可に設定してください。

(2) MPRC — MPU リージョン制御

メモリ保護機能の特殊操作を行うビットが配置されたレジスタです。

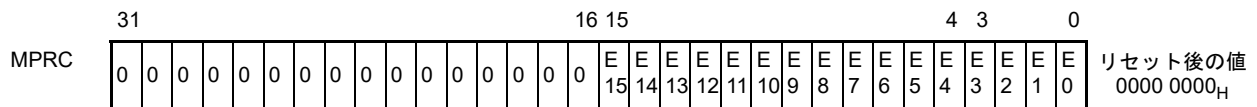


表 3.117 MPRC レジスタの内容

| ビット | 名称 | 意味 | R/W | リセット後の値 |
|---------|--------|---|-----|---------|
| 31 ~ 16 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 |
| 15 ~ 4 | E15-E4 | 本製品では対応していません。(将来のための予約です。必ず0を設定してください) | R | 0 |
| 3 ~ 0 | E3-E0 | 各保護領域の Enable ビットです。En ビットが MPATn.E ビットの写像です (n = 3 ~ 0)。本製品の保護領域数は 4 です。 | R/W | 0 |

(3) MPBRGN — MPU ベースリージョン

利用可能な MPU 領域の最小番号を示します。

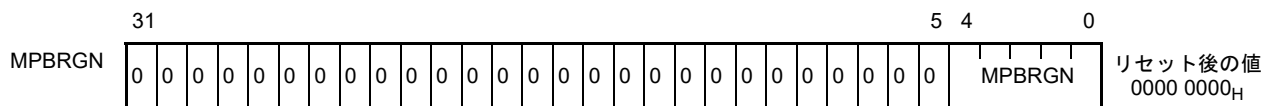


表 3.118 MPBRGN レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|--------|----------------------------|-----|---------|
| 31 ~ 5 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 |
| 4 ~ 0 | MPBRGN | MPU 領域の一番小さい番号を示します。 | R | 0000 |

(4) MPTRGN — MPU 終端リージョン

利用可能な MPU 領域の最大番号を示します。

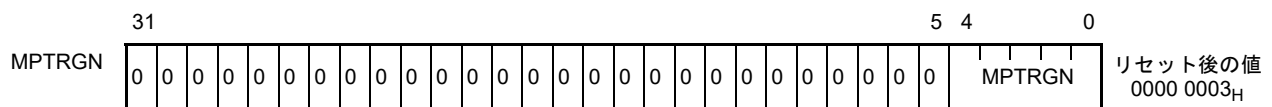


表 3.119 MPTRGN レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|--------|----------------------------|-----|---------|
| 31 ~ 5 | — | (将来のための予約です。必ず0を設定してください。) | R | 0 |
| 4 ~ 0 | MPTRGN | MPU 領域の一番大きい番号を示します。 | R | 0011 |

(5) MCR — メモリ保護設定チェック結果

本CPUでは、メモリ保護設定チェック機能は非搭載です。本レジスタは将来のための予約レジスタです。

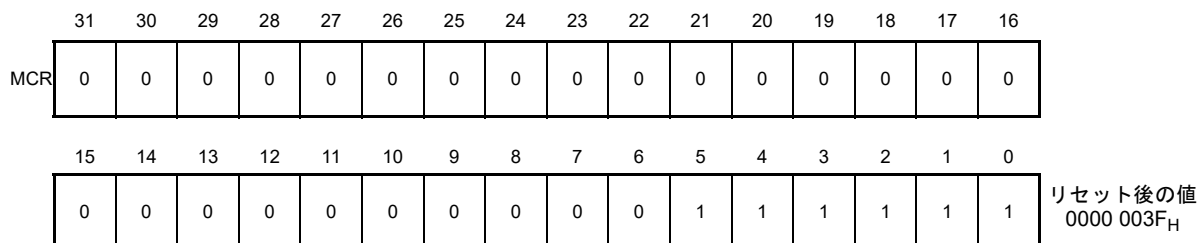


表 3.120 MCR レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|-------|------|---------------|-----|------------------------|
| 31～0 | — | (将来のための予約です。) | R | 0000 003F _H |

(6) MPLAn — 保護領域の下限アドレス

領域 n の下限アドレスを示すレジスタです (n = 0 ~ 3)。



表 3.121 MPLAn レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|-------|----------|---|-----|---------|
| 31～2 | MPLA31-2 | 領域 n の下限アドレスを示します。 MPLA1-0 は暗黙的に 0 を使用します。 | R/W | 不定 |
| 1、0 | — | 将来のための予約です。必ず 0 に設定してください。 | R | 0 |

注 意

命令アドレッシング範囲は 128 M バイトです。MPLAn のビット 31～27 はビット 26 を符号拡張した値が自動的に設定されます。

(7) MPUAn — 保護領域の上限アドレス

領域 n の上限アドレスを示すレジスタです (n = 0 ~ 3)。

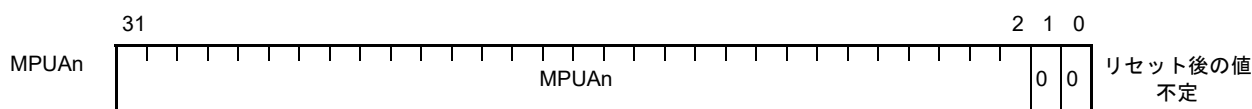


表 3.122 MPUAn レジスタの内容

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|--------|----------|---|-----|---------|
| 31 ~ 2 | MPUA31-2 | 領域 n の上限アドレスを示します。 MPUA1-0 は暗黙的に 1 を使用します。 | R/W | 不定 |
| 1, 0 | — | 将来のための予約です。必ず 0 に設定してください。 | R | 0 |

注 意

命令アドレッシング範囲は 128 M バイトです。MPUAn のビット 31 ~ 27 はビット 26 を符号拡張した値が自動的に設定されます。

(8) MPATn — 保護領域の属性

領域 n の属性を示すレジスタです (n = 0 ~ 3)。

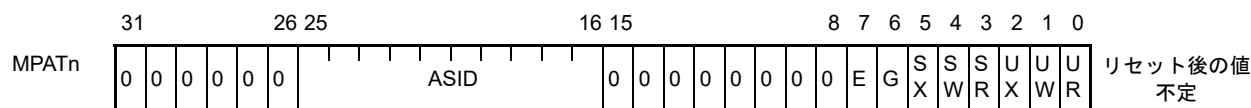


表 3.123 MPATn レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|---------|------|--|-----|---------|
| 31 ~ 26 | — | (将来のための予約です。必ず 0 に設定してください。) | R | 0 |
| 25 ~ 16 | ASID | 領域一致の条件として利用する ASID の値を示します。 | R/W | 不定 |
| 15 ~ 8 | — | (将来のための予約です。必ず 0 に設定してください。) | R | 0 |
| 7 | E | 領域 n の有効/無効を示します。 0: 領域 n を無効とする 1: 領域 n を有効とする | R/W | 0 |
| 6 | G | 0: ASID 一致を条件とする 1: ASID 一致を条件としない このビットが 0 の場合は、MPATn.ASID = ASID.ASID であることが領域一致の条件となります。このビットが 1 の場合は、MPATn.ASID と ASID.ASID の値を領域一致の条件としません。 | R/W | 不定 |
| 5 | SX | スーパーバイザモードでの実行権を示します ^{注1} 。 0: 実行禁止 1: 実行許可 | R/W | 不定 |
| 4 | SW | スーパーバイザモードでの書き込み許可を示します ^{注1} 。 0: 書き込み禁止 1: 書き込み許可 | R/W | 不定 |
| 3 | SR | スーパーバイザモードでの読み出し許可を示します ^{注1} 。 0: 読み出し禁止 1: 読み出し許可 | R/W | 不定 |
| 2 | UX | ユーザモードでの実行権を示します。 0: 実行禁止 1: 実行許可 | R/W | 不定 |
| 1 | UW | ユーザモードでの書き込み許可を示します。 0: 書き込み禁止 1: 書き込み許可 | R/W | 不定 |

表 3.123 MPATn レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 | R/W | リセット後の値 |
|-------|------|--|-----|---------|
| 0 | UR | ユーザモードでの読み出し許可を示します。 0: 読み出し禁止 1: 読み出し許可 | R/W | 不定 |

注 1. SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

(6) キャッシュ操作機能レジスタ

キャッシュ操作機能レジスタは非搭載です。

(7) データバッファ操作機能レジスタ

データバッファ操作機能レジスタは非搭載です。

3.3.2 プロセッサ間割り込み

PCU はプロセッサ間割り込み制御レジスタ IPIR_CH0-3 を搭載しています。CPU Peripheral であり、機能やアドレスは CPU1 と同じです。各 PE は各々 IPIR_CH0-3 レジスタを持っており、他 PE のレジスタにアクセスすることはできません。詳細は、「**3.2.3 プロセッサ間割り込み**」を参照してください。

3.3.3 信頼性機能

3.3.3.1 システムエラー通知制御機能 (SEG)

命令フェッチまたはデータアクセスによるエラーは、システムエラー例外の要因となります。システムエラー例外は、復帰/回復が不可能な FE レベル例外です。

システムエラー例外の要因コード (FEIC) とエラー内容の対応は、「表 3.125 G3K コアのシステムエラー例外の要因コードとエラー内容の対応」を参照してください。

なお、システムエラー例外受け付け時は PSW レジスタの EBV ビットが 0 にクリアされ、例外ハンドラは常に RBASE を参照します。

データアクセスによるエラーは、SEG (SysErrGen) で通知記録を制御します。

(1) レジスタセット

(a) SEG_CONT — システムエラーコントロールレジスタ

各 SYSERR 要因のエラー通知の許可/不許可を設定するイネーブルレジスタです。ビットがセット (1) されているときは、エラー発生時の SYSERR 通知を許可します。ビットがクリア "0" されているときは、発生したエラー要因に対応するエラーフラグはセットされますが、SYSERR 通知は行われません。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|---|---|---|------|---|------|---|------|------|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | RMWE | — | RAME | — | EXTE | FCHE | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R/W | R | R/W | R | R/W | R/W | R |

表 3.124 SEG_CONT レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|--------|------|--|
| 15 ~ 7 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 6 | RMWE | Local RAM リード・モディファイライトエラー通知イネーブル Local RAM に対してバイトライトおよびハーフワードライトを行ったときのリードモディファイライト動作時のリードアクセスした際の ECC エラー発生に対して SYSERR 通知許可を設定します。 |
| 5 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 4 | RAME | Local-RAM ECC エラー通知イネーブル CPU が Local-RAM 領域へデータアクセスした際の ECC エラー発生に対して SYSERR 通知許可を設定します。 |
| 3 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |

表 3.124 SEG_CONT レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 2 | EXTE | P-Bus/GRAM 領域エラー通知イネーブル P-Bus/GRAM 領域にアクセスしたときのエラー発生に対して SYSERR 通知許可を設定します。 エラー発生は、 <ul style="list-style-type: none"> • P-Bus: Data Parity Error、Guard エラー • GRAM: Data ECC エラー、Address Prity エラー、Guard エラー |
| 1 | FCHE | Code Flash エラー通知イネーブル CPU が Code Flash 領域へデータアクセスしたときのエラー発生に対して SYSERR 通知許可を設定します。 エラー発生は、 <ul style="list-style-type: none"> • Data ECC エラー • Address Parity エラー |
| 0 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |

表 3.125 G3K コアのシステムエラー例外の要因コードとエラー内容の対応

| 要因コード | エラー内容 |
|-------|---|
| 10 | 予約 |
| 11 | 命令フェッチのエラー |
| 12 | 予約 |
| 13 | 予約 |
| 14 | SEG_CONT レジスタにより通知許可されるエラー。発生したエラーは SEG_FLAG レジスタにより判別可能。 |
| 15 | 予約 |
| 16 | 予約 |
| 17 | 予約 |
| 18 | 予約 |
| 19 | 予約 |
| 1A | 予約 |
| 1B | 予約 |
| 1C | 予約 |
| 1D | 予約 |
| 1E | 予約 |
| 1F | 予約 |

(b) SEG_FLAG — システムエラーフラグレジスタ

各 SYSERR 要因の発生状態を保存するフラグレジスタです。SYSERR 要因が発生すると、対応するエラー要因のフラグがセット (1) されます。レジスタ書き込みにより直接フラグをセット (1) し、SYSERR を発生させることも可能です。各フラグは、(1) の状態をリード後、(0) をライトすることでクリア可能です。

リード時に (0) だったフラグに対し、その後のライト動作で (0) をライトしても、リード-ライト間で発生したエラーに対しては、フラグはセットされます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|---|---|---|------|---|------|---|------|------|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | RMWF | — | RAMF | — | EXTF | FCHF | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R/W | R | R/W | R | R/W | R/W | R |

表 3.126 SEG_FLAG レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 15～7 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 6 | RMWF | SEG_CONT レジスタのビット6に対応したフラグ。 |
| 5 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 4 | RAMF | SEG_CONT レジスタのビット4に対応したフラグ。 |
| 3 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 2 | EXTF | SEG_CONT レジスタのビット2に対応したフラグ。 |
| 1 | FCHF | SEG_CONT レジスタのビット1に対応したフラグ。 |
| 0 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |

3.4 CPU間機能

3.4.1 プロセッサエレメント識別子

各プロセッサのプロセッサエレメント番号 PEID は、HTCFG0 レジスタの PEID フィールドより読み出せます。PEID を参照することで、プログラム自身がいずれの CPU コアで実行されているのかを知ることができます。本製品の PEID は以下のとおりです。

| CPU コア | PEID |
|------------|------------------|
| CPU1 (PE1) | 001 _B |
| PCU (PE3) | 011 _B |

3.4.2 プロセッサ間割り込み機能

CPU1 と PCU は各々 CPU Peripheral 機能として、IPIR レジスタを持っています。IPIR レジスタを設定することで、ある PE からほかの PE に EI レベル割り込みを要求することができます。詳細は、「3.2.3 プロセッサ間割り込み」を参照してください。

3.4.3 排他制御

Local RAM、Global RAM、排他制御用レジスタ (MEV) を、排他制御用のリソースとして利用可能です。アトミック操作命令として、Local RAM、Global RAM に対しては、LDL/STC、CAXI、SET1、CLR1、NOT1 命令を、排他制御用レジスタ (MEV) に対しては CAXI、SET1、CLR1、NOT1 命令を実行可能です。なお、LD、ST 命令でもアクセス可能ですが、アトミック操作にはなりません。

注 意

PCU からの CAXI、SET1、CLR1、NOT1 命令による Local RAM (PCU) や MEV へのアクセスはアトミック操作ですが、Local RAM (CPU1) や Global RAM へのアクセスはアトミック操作になりません。PCU と CPU1 間での排他制御が必要な場合は、MEV を使用してください。

3.4.3.1 排他制御用レジスタ (MEV)

PE間で共有される変数（共有リソース）に対しての排他制御を支援するためのレジスタです。（MEV：Mutual Exclusion Variable Register）

- 32本のMEV（32bitレジスタ）を搭載しています。
- 各MEVは32/16/8/1ビットアクセスが可能です。
- CPU1（PE1）およびPCU（PE3）からアクセス可能です。
- アトミック操作命令は、CAXI、SET1、CLR1、NOT1を実行可能です。

MEVに対し、CPU1とPCUはそれぞれ独立したアクセス経路を持ちます。このことから、CPU1とPCUが異なるMEVレジスタにアクセスする場合、待ち合わせすることなくアクセス可能です。同じMEVレジスタにアクセスする場合は、待ち合わせが発生します。

表 3.127 レジスタ一覧（ベースアドレス：FFFE EC00_H）

| レジスタ シンボル | レジスタ名 | R/W | リセット後の 値 | アクセスサイズ | | | | オフセット アドレス |
|--------------|---------------|-----|------------------------|---------|---|----|----|------------------|
| | | | | 1 | 8 | 16 | 32 | |
| G0MEV0 | 排他制御専用レジスタ 0 | R/W | 0000 0000 _H | ○ | ○ | ○ | ○ | +00 _H |
| G0MEV1 | 排他制御専用レジスタ 1 | R/W | 0000 0000 _H | ○ | ○ | ○ | ○ | +04 _H |
| G0MEV2 | 排他制御専用レジスタ 2 | R/W | 0000 0000 _H | ○ | ○ | ○ | ○ | +08 _H |
| G0MEV3 | 排他制御専用レジスタ 3 | R/W | 0000 0000 _H | ○ | ○ | ○ | ○ | +0C _H |
| : | : | : | : | : | : | : | : | : |
| G0MEV31 | 排他制御専用レジスタ 31 | R/W | 0000 0000 _H | ○ | ○ | ○ | ○ | +7C _H |

3.4.3.2 LDL.W/STC.W 命令の動作

LDL.W 命令と STC.W 命令を使い、アトミックな Read-Modify-Write を実現し、これによってマルチコア・システムでのメモリ更新を正確に処理できます。LDL.W 命令と STC.W 命令の動作は以下のとおりです。LDL.W/STC.W 命令は CPU (G3M) のみ対応しており、PCU (G3K) では非対応です。LDL.W/STC.W 命令の動作については、『**RH850G3M ユーザーズマニュアルソフトウェア編**』を参照してください。

- リンクの生成: CPU では、Local RAM と Global RAM のそれぞれに対してリンクを生成できます。操作対象に、LDL.W 命令を実行してリードすると、リンクアドレスを登録しリンクフラグをセットしてリンクを生成します。リンクフラグは、以下の 2 系統が用意されています。
 - (1) 自 Local RAM 用 : 1 個
 - (2) Global RAM 用 : 1 個

このリンクフラグは互いに独立に生成されるため、CPU から一方の系統 (例 . 自 Local RAM) へリンク生成後、異なる系統 (例 . Global RAM) への LDL.W 命令実行によって、先に生成した (例 . 自 Local RAM への) リンクが消失することはありません。
- ストアの成功: リンクが生成された状態で、生成されたリンクに対応した STC.W 命令を実行した場合にだけストア処理を実行します。
- ストアの失敗: リンクが消失した状態では、STC.W 命令を実行してもストア処理は実行されません。また、リンクに対応していない STC.W 命令の実行でもストア処理は実行されません。
- ストア成功の条件: 以下の条件を満たす場合に、その STC.W 命令はリンクに対応していると判断されます。
 - リンクを生成した LDL.W 命令とアドレスが一致する
- リンクの消失: 以下のいずれかが起こるとリンクフラグはクリアされ、リンクが消失します。
 - リンクを生成した CPU に以下の事象が発生した場合:
 - STC.W 命令の実行。ストアの成功/失敗にかかわらず対応するリンク (上記 (1) または (2)) は消失します。
 - 各種例外の発生や、例外からの復帰命令 (FERET、EIRET) の実行。2 系統とリンクフラグはすべてクリアされます。
 - 同系統のリンクフラグに対して複数の LDL.W 命令を連続して実行。先行する LDL.W 命令で生成したリンクが消失します。このような処理は実行しないでください。
 - リンクを生成しているアドレス^注に対して、STC.W 以外のストア動作を実行。このような処理は実行しないでください。

- ほかのバスマスタによって以下のアクセスが実行された場合：
 - リンクを生成しているアドレス^注に対して、STC.W 命令実行を含むストア動作を実行。
対応するリンクは消失します。

注 . リンクアドレス上位 27 ビットと一致するアドレスを指します。

STC.W 命令が成功した場合は、LDL.W 命令と STC.W 命令によってアトミックな Read-Modify-Write が実現されたことになります。

3.5 使用上の注意

3.5.1 ストア命令の完了と後続命令の同期化

ストア命令によって各制御レジスタを更新する場合、CPUによるストア命令の実行から実際に制御レジスタが更新されるまでには時間差があります。このため、ストア命令に続く命令に対して、ストア命令による制御レジスタの更新内容を反映したい場合は、適切な同期化処理が必要となります。以下に同期化処理の実行方法を示します。

LDSR 命令によるシステムレジスタの更新と後続命令の同期化に関する手続きについては、「RH850G3M ユーザーズマニュアル ソフトウェア編」、「RH850G3K ユーザーズマニュアル ソフトウェア編」の「付録 A システム・レジスタのハザード解消手続き」をご参照ください。

3.5.1.1 制御レジスタの更新結果を、後続命令の実行に反映させる場合

例 1. INTC2 や周辺回路の制御レジスタアクセスによって割り込み要求をクリアしてから、EI 命令を実行して割り込みを許可する場合などが考えられます。この場合は以下の処理を実行してください。

- (1) 制御レジスタを更新するストア命令 (ST.W など)
- (2) 上記制御レジスタのダミーリード (LD.W など) 注1
- (3) SYNCNCP
- (4) 後続の命令 (EI など)

例 2. ある制御レジスタ A の確実な更新を待ってから、ほかの制御レジスタ B にアクセスする必要がある場合も、同様の処理を実行してください。異なる周辺機能を連携動作させる場合や、周辺機能を設定してから INTC の割り込みマスクを解除する場合などが考えられます。ただし、制御レジスタ A と B が同じ Peripheral Group であれば、この処理は不要です。

Peripheral Group と周辺モジュール/レジスタの対応については、「付録 レジスタ一覧」を参照してください。

- (1) 制御レジスタ A を更新するストア命令 (ST.W など)
- (2) 上記制御レジスタのダミーリード (LD.W など) 注1
- (3) SYNCNCP
- (4) 制御レジスタ B にアクセスする命令 (ST.W, LD.W など)

なお、各種メモリ保護や ECC などのセーフティ機能の設定完了を待ってから、保護対象の制御レジスタやメモリへのアクセスを開始する場合も、同様の処理が必要です。

注 1. 同じ Peripheral Group のレジスタのダミーリードでも代替できます。

3.5.1.2 制御レジスタやメモリの更新結果を、後続命令の命令フェッチに反映させる場合

- (a) RAMに命令を書き込んでから、そのRAMに分岐して書き込んだ命令を実行したい場合は、以下の処理を実行してください。
- (1) メモリを更新するストア命令 (ST.W など)
 - (2) 上記メモリのダミーリード (LD.W など)
 - (3) SYNC P
 - (4) SYNC I
 - (5) 後続の命令 (分岐命令など)
- (b) メモリ保護機能およびECCの制御レジスタの更新完了を待ってから対象のメモリに分岐する場合は、以下の処理を実行してください。
- (1) 制御レジスタを更新するストア命令 (ST.W など)
 - (2) 制御レジスタのダミーリード (LD.W など)
 - (3) SYNC P
 - (4) SYNC I
 - (5) 後続の命令 (分岐命令など)

3.5.1.3 Code Flashの領域を切り替える場合

この場合は、「RH850/E1x フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」の「第9章 使用上の注意点 (7) FCUFAREA レジスタの更新」をご参照ください。

3.5.1.4 ストア命令による更新完了を SYNC M 命令で待ち合わせる場合

SYNC M 命令を実行し、先行するストア命令のアクセス先の更新完了を待ち合わせる場合、ストア命令を実行するCPUとそのアクセス先が以下の場合のみ、SYNC M 命令により待ち合わせることが可能です。

| ストア命令を実行する CPU | ストア命令のアクセス対象 |
|----------------|---|
| CPU1 | Local RAM (self), Local RAM (PE1), Global RAM |

3.5.2 ビット操作命令でのレジスタ・アクセス

ビット操作命令によるライトは、8ビット単位のアトミックなリード・モディファイ・ライト処理です。このため、8ビット単位のリードアクセスとライトアクセスを許可しているレジスタであれば、基本的にビット操作命令でのアクセスが可能です。しかし、複数のフラグ・ビットを共有しているレジスタには、リード・モディファイ・ライトによりクリア対象外のフラグもクリアしてしまうものもあるのでご注意ください。

3.5.3 CodeFlash 書き換え後のコヒーレンシ確保

CPU は CodeFlash 領域に対して有効な命令キャッシュとデータバッファを搭載しています。このため、セルフプログラミングで CodeFlash を書き換えた後は、コヒーレンシ確保のために命令キャッシュとデータバッファをクリアしてください。命令キャッシュは ICCTRL レジスタで、データバッファは CDBCR レジスタでクリアできます。また、TM_CC レジスタを使用して、命令キャッシュとデータバッファを一括クリアすることもできます。TM_CC レジスタの詳細は「**35.4.5 TM_CC — キャッシュ・クリア操作レジスタ**」を参照してください。

また、PCU を使用している場合も同様に、CodeFlash 書き換え後は TM_CC レジスタを使用してクリア処理を実施してください。

3.5.4 多重例外受け付け時のコンテキストの上書き

例外要因の種類によっては、PSW レジスタの ID、NP ビットの状態にかかわらず例外が受け付けられます。多重例外が発生した場合はコンテキスト情報を格納しているシステムレジスタの内容は上書きされます。例外要因ごとの受け付け条件と復帰/回復の可否については「*RH850G3M ユーザーズマニュアル ソフトウェア編*」、「*RH850G3K ユーザーズマニュアル ソフトウェア編*」の例外要因一覧を参照してください。

3.5.5 プリフェッチに関する注意事項

CPUは命令フェッチのスループットを維持するために、実行中のプログラムより後方の領域に対して投機的な命令フェッチを実施します。このプリフェッチにより、命令コードを配置していない領域（**図 3.5 の注 1**）からもメモリの読み出しが発生するため、以下の点にご注意ください。なお、該当領域（**図 3.5 の注 1**）からメモリの読み出しが発生しても、読み出した値を命令実行することはありません。

本注意事項は命令フェッチが可能な全メモリが対象です。

- メモリ値不定状態による ECC エラーの発生
 このプリフェッチにより、消去状態の CodeFlash や初期化前の LocalRAM、GlobalRAM で ECC エラーが発生する可能性があります。命令コードをメモリに配置する際は、該当領域（**図 3.5 の注 1**）を任意のデータで初期化してください。
- GRG、IPG 機能による違反アクセスの検出
 このプリフェッチを、GRG、IPG 機能が違反アクセスとして検出する可能性があります。違反アクセスとして検出させたくない場合、該当領域（**図 3.5 の注 1**）と GRG、IPG によるアクセス禁止領域が重ならないようにしてください。なお、MPU で保護している領域に対してこのメモリ読み出しが発生しても、メモリ保護例外が発生することはありません。
- アクセス禁止領域へのアクセス
 該当領域（**図 3.5 の注 1**）とアクセス禁止領域が重ならないよう、命令コードをメモリに配置してください。

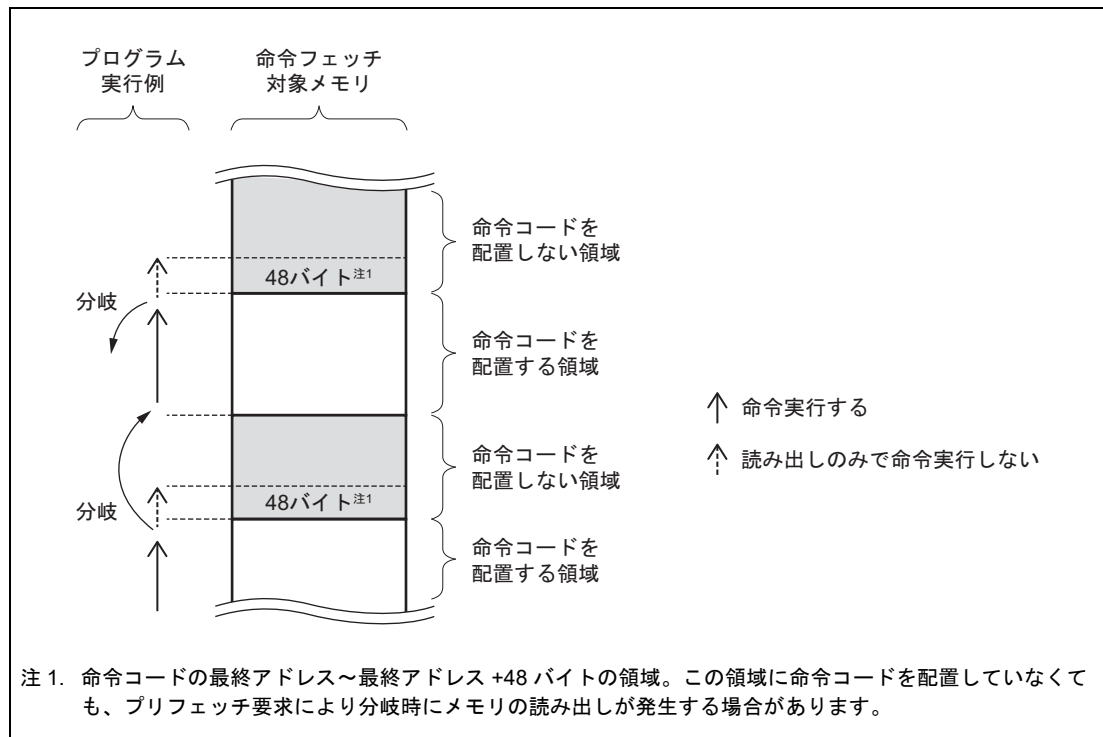


図 3.5 プリフェッチに対する注意が必要な領域

第4章 アドレス空間

表 4.1 に RH850/E1L のアドレス空間を示します。

内蔵 I/O レジスタ空間へのアクセスは、「付録 レジスタ一覧」に示すアドレスにアクセスしてください。表 4.1 に記載のないアドレスおよびアクセス禁止領域 (Access prohibited) にはアクセスしないでください。アクセスした場合は、動作の保証はできません。

4.1 アドレス空間

表 4.1 アドレス空間

| アドレス | アドレス空間の種類 | サイズ |
|---|---|-------------------------------|
| 0000 0000 _H ~ 001F FFFF _H (0001 7000 _H ~ 0001 7FFF _H) | Code Flash (ユーザ領域 リード) (FCU ファーム領域 (FCUFAREA レジスタで Map を切り替え)) 注 ³ | 2MB (4KB) |
| 0020 0000 _H ~ 00FF FFFF _H | Access prohibited | |
| 0100 0000 _H ~ 0100 7FFF _H | Code Flash (ユーザブート領域 リード) | 32KB |
| 0100 8000 _H ~ 0FFF FFFF _H | Access prohibited | |
| 1000 0000 _H ~ 1FFF FFFF _H | 内蔵 I/O レジスタ | 256MB |
| 2000 0000 _H ~ FEBF 3FFF _H | Access prohibited | |
| FEBF 4000 _H ~ FEBF FFFF _H | LocalRAM(PE1) | 48KB |
| FEC0 0000 _H ~ FEDF 3FFF _H | Access prohibited | |
| FEDF 4000 _H ~ FEDF FFFF _H | Local RAM (self 注 ¹) | 48KB |
| FEE0 0000 _H ~ FEEE FFFF _H | Access prohibited | |
| FEEF 0000 _H ~ FEF0 BFFF _H | Global RAM | 112KB |
| FEF0 C000 _H ~ FEFF FFFF _H | Access prohibited | |
| FF00 0000 _H ~ FFFD FFFF _H (FF20 0000 _H ~ FF20 FFFF _H) (FFA1 2000 _H ~ FFA1 2FFF _H) | 内蔵 I/O レジスタ (Data Flash (リード/ライト)) (FCU RAM) | 16MB-128KB (64KB) (4KB) |
| FFFE 0000 _H ~ FFFE DFFF _H | Access prohibited | |
| FFFE E000 _H ~ FFFE FFFF _H | 内蔵 I/O レジスタ (self 注 ²) | 8KB |
| FFFF 0000 _H ~ FFFF 4FFF _H | Access prohibited | |
| FFFF 5000 _H ~ FFFF FFFF _H | 内蔵 I/O レジスタ | 44KB |

注 1. PE1 および PE1 以外からも LocalRAM へアクセスしたい場合、Local RAM(PE1) へアクセスすると、PE1 が持つ Local RAM にアクセスできます。Local RAM (self) へアクセスすると、各 PE (PE1/PCU) が持つ Local RAM にアクセスできます。PE1 と PCU では搭載 Local RAM (self) 容量が違うため、Local RAM (self) は以下の違いがあります。

- ・ PE1 の Local RAM (self) : FEDF_4000_H ~ FEDF_FFFF_H (48KB)
- ・ PCU の Local RAM (self) : FEDF_8000_H ~ FEDF_FFFF_H (32KB)

なお、ツールによっては Local RAM (self) 領域を経由した PE1 の Local RAM へのアクセスに対応していない場合があります。ツールが対応していない場合、PE1 の Local RAM へは Local RAM (PE1) 領域を経由したアクセスを、PCU の Local RAM へは Local RAM (self) 領域を経由したアクセスを想定しています。

注 2. 内蔵 I/O レジスタ (self) は CPU Peripheral 機能を配置している領域です。CPU Peripheral は基本的に各 PE 固有の機能であり、他 PE の CPU Peripheral にアクセスすることはできません。ただし、排他制御用レジスタ (MEV) は例外で、PE 間で実体を共有しています。

注 3. 詳細は、『RH850/E1x フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編』をご参照ください。

4.2 各バスマスタから見たアドレス空間

各バスマスタから見たアドレス空間を図 4.1 に示します。

4.2.1 命令フェッチ可能空間

1. PE1 および PCU は、Code Flash、Local RAM、Global RAM から命令フェッチ可能です。
2. PE1 および PCU のリセットベクタ (RBASE 初期値) について、
 - ユーザブート領域から起動する場合、先頭アドレスは「0100_0000_H」です。
 - ユーザ領域から起動する場合、先頭アドレスは「0000_0000_H」です。

4.2.2 PE1 によるデータアクセス可能空間

すべての空間をアクセス可能です。

4.2.3 PCU によるデータアクセス可能空間

すべての空間をアクセス可能です。

ただし、PE1 から見た内蔵 I/O レジスタ (1000_0000_H ~ 1FFF_FFFF_H) へのアクセスは不可です。アクセスする場合、(FC00_0000_H ~ FE5F_FFFF_H) を使用してください。

4.2.4 DMA (DMAC、DTS) によるデータアクセス可能空間

DMA からアクセス可能な空間について、図 4.1 を参照してください。

| | PE1からのアクセス | PCUからのアクセス | DMAからのアクセス |
|--------------------------|---------------------------|--|------------------------|
| FFFF_FFFFH | 内蔵I/Oレジスタ | 内蔵I/Oレジスタ | 内蔵I/Oレジスタ |
| FFFF_5000H FFFF_4FFFH | Access prohibited | Access prohibited | Access prohibited |
| FFFF_0000H FFFE_FFFFH | 内蔵I/Oレジスタ (self領域) | 内蔵I/Oレジスタ (self領域) | |
| FFFE_E000H FFFE_DFFFH | Access prohibited | Access prohibited | |
| FFFE_0000H FFFD_FFFFH | 内蔵I/Oレジスタ | 内蔵I/Oレジスタ | 内蔵I/Oレジスタ |
| FF00_0000H FEFF_FFFFH | Access prohibited | Access prohibited | Access prohibited |
| FEF0_C000H FEF0_BFFFH | Global RAM | Global RAM | Global RAM |
| FEFF_0000H FEEE_FFFFH | Access prohibited | Access prohibited | Access prohibited |
| FEE0_0000H FEDF_FFFFH | Local RAM (self) | Local RAM (self) | Access prohibited |
| FEDF_8000H FEDF_7FFFH | | | |
| FEDF_4000H FEDF_3FFFH | Access prohibited | Access prohibited | |
| FEC0_0000H FEBF_FFFFH | Local RAM (PE1) | Local RAM (PE1) | Local RAM (PE1) |
| FEBF_4000H FEBF_3FFFH | Access prohibited | Access prohibited | Access prohibited |
| FE60_0000H FE5F_FFFFH | | PCUから内蔵I/Oレジスタ領域「1000_0000H~1FFF_FFFFH」へアクセスする場合、「FC00_0000H~FE5F_FFFFH」を使用してください。 | Access prohibited |
| FC00_0000H FBFF_FFFFH | | | |
| 2000_0000H 1FFF_FFFFH | 内蔵I/Oレジスタ | アクセス不可能 | 内蔵I/Oレジスタ |
| 1000_0000H 0FFF_FFFFH | Access prohibited | Access prohibited | Access prohibited |
| 0400_0000H 03FF_FFFFH | | | |
| 0100_8000H 0100_7FFFH | Code Flash (ユーザブートマット) | Code Flash (ユーザブートマット) | |
| 0100_0000H 00FF_FFFFH | Access prohibited | Access prohibited | |
| 0020_0000H 001F_FFFFH | Code Flash (ユーザマット) | Code Flash (ユーザマット) | Code Flash (ユーザマット) |
| 0000_0000H | | | |

注：上記マップ中の色は以下の区別を行っています。

| |
|-----------|
| フェッチ可能 |
| データアクセス可能 |
| データアクセス可能 |
| アクセス禁止 |
| アクセス不可能 |

図 4.1 各バスマスタから見たアドレス空間

4.3 Global RAM と Retention RAM

Global RAM は BankA と BankB の 2 つに分かれており、異なるバンクに対しては並列にアクセス可能です。また、BankA の上位 32KB は Retention RAM となっており、電源遮断スタンバイ中でも内容が失われません。

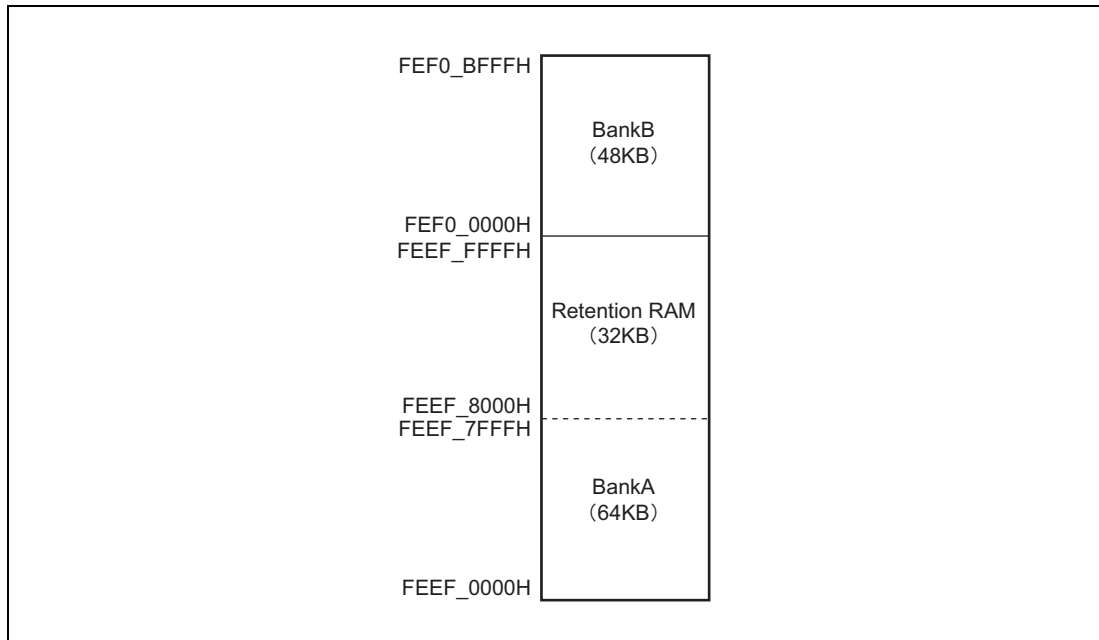


図 4.2 Global RAM

第5章 動作モード

5.1 特長

- 動作モードを決定するモード端子を3本搭載。(MD0、MD1、FLMODE)

5.2 動作モード

本 LSI は複数の動作モードを持ち、MD1、MD0、FLMODE、の3つの端子、およびオプションバイト0のSTMSEL1/STMSEL0の設定で選択できます。STMSEL1/STMSEL0の設定方法に関しては、「第33章 フラッシュメモリ」を参照してください。表5.1に動作モードの一覧を示します。

表 5.1 動作モードの選択

| 端子設定値 | | | オプション バイト0 設定値 | | 動作モード | 起動領域 | I/Fの種類 ^{注1} | 備考 |
|-------|-----|--------|-------------------|-------------|----------------|----------|--|---------------|
| | | | OPBT0 | | | | | |
| MD1 | MD0 | FLMODE | STM SEL1 | STM SEL0 | | | | |
| 0 | 0 | 0 | 0 | 0 | ユーザブートモード | ユーザ領域 | オプションバイトのOPBT2でI/Fを選択可能。詳細は「33.10.2 OPBT2—オプションバイト12～9ビット配置」を参照。 | オンチップデバッグ可能 |
| | | | 0 | 1 | ユーザブートモード | ユーザブート領域 | | |
| | | | 1 | X | シリアルプログラミングモード | ブート領域 | | |
| 0 | 0 | 1 | X | X | バウンダリスキャンモード | — | JTAG | バウンダリスキャン可能 |
| 0 | 1 | 0 | X | X | シリアルプログラミングモード | ブート領域 | ライタ I/F (2線 UART) | シリアルプログラミング可能 |
| 0 | 1 | 1 | X | X | シリアルプログラミングモード | ブート領域 | ライタ I/F (3線クロック同期) | シリアルプログラミング可能 |

備考 X = Don't care

注1. 各 I/F での端子機能や端子状態との対応は「2.5.3 端子状態」を参照してください。

5.2.1 ユーザブートモード

リセット解除後、ユーザブート領域もしくはユーザ領域から命令フェッチを行います。

5.2.2 シリアルプログラミングモード

リセット解除後、内蔵のブートプログラムから起動し、設定した通信方式で接続を開始します。詳細は「第33章 フラッシュメモリ」を参照してください。

5.2.3 バウンダリスキャンモード

IEEE1149.1規格に準拠した、バウンダリスキャン機能を使用できるモードです。詳細は「第36章 バウンダリスキャン」を参照してください。

第6章 割り込み

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位にしたがって、割り込み要求が処理されます。

6.1 概要

- 割り込み要因の複数コアへの同時分配対応
 - 1つの割り込み要因を複数の CPU コアに分配可能
(分配するコア : CPU1/PCU)
 - 対象割り込み要因 : ノンマスカブル割り込み 1 要因、FE レベル割り込み 1 要因、EI レベル割り込み 21 要因
- 割り込み要因
 - ノンマスカブル割り込み
外部端子 NMI 割り込み (FENMI) 1 要因
 - FE レベル割り込み
ECM 割り込み (FEINT) 1 要因
 - EI レベル割り込み (マスカブル) (EIINT)
高速割り込み (EIINT0-31) 21 要因
 - プロセッサ間割り込み
 - ECM 割り込み
 - 外部端子 IRQ 割り込み
 - ソフトウェア割り込み
 - 定周期タイマ (OSTM)
 - DMA エラー通知割り込み
 - 低速割り込み (EIINT32-511) 332 要因
 - タイマ系
 - 通信系
 - AD 変換器
 - DMAC/DTS など
- 割り込み優先順位を設定可能
512本の割り込み制御レジスタにより、IRQ (外部割り込み) および、マスカブル割り込みの優先順位を要求別に CPU1 では 16 レベル、PCU は 8 レベルで設定することができます。
- 外部割り込み (NMI/IRQ) のセンス方法
NMI 要因については、Fall エッジ、Rise エッジの 2 種類から選択可能です。
IRQ 要因については、ロウレベル、ハイレベル、Fall エッジ、Rise エッジの 4 種類から選択可能です。
- 2種類の割り込みハンドラアドレス指定
レジスタ設定により、直接分岐方式とテーブル参照方式から選択可能です。
- プロセッサ間割り込み
高速なプロセッサ間割り込みが可能です。
- ソフトウェア割り込み (SINT)
ソフトウェア割り込みレジスタにより、任意の優先順位の割り込みをプログラムから発

生させることができます。

- 割り込み要因の共有化
複数の割り込み要因をマージして、例外ハンドラアドレスを削減します。

割り込みは以下の割り込みコントローラで制御されます。

- INTC1
CPU1、PCU で独立して持つ割り込みコントローラです。
各 PE で INTC1 レジスタにアクセスした場合、各 PE に対応した INTC1 のレジスタにアクセスされます。
高速割り込みを制御します。
以下の機能を提供します。
 - 優先度設定
 - 割り込みマスク設定
- INTC2
CPU1、PCU で共有する割り込みコントローラです。
低速割り込みを制御します。
以下の機能を提供します。
 - 優先度設定
 - 割り込みマスク設定
 - バインド設定

6.2 レジスタ仕様

INTCには以下のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

6.2.1 レジスタ構成

表 6.1 割り込み制御

| アドレス | レジスタシンボル | レジスタ名 | R/W | リセット後の値 |
|--|----------------------|------------------------|-----|--|
| FFFE EA00 _H -FFFE EA3E _H (EIC0-31) FFFF B040 _H -FFFF B3FE _H (EIC32-511) | EIC _n 注1 | EI レベル割り込み 制御レジスタ | R/W | 008F _H 注5 808F _H 注6 |
| FFFE EAF0 _H (IMR0) FFFF B404 _H -FFFF B43C _H (IMR1-IMR15) | IMR _n 注2 | EI レベル割り込み マスクレジスタ | R/W | FFFF FFFF _H |
| FFFE EB00 _H -FFFE EB7C _H (EIBD0-31) FFFF B880 _H -FFFF BFFC _H (EIBD32-511) | EIBD _n 注3 | EI レベル割り込み バインドレジスタ | R/W | 注4 |

注 1. n = 0 ~ 511

注 2. n = 0 ~ 15

注 3. n = 0 ~ 511

注 4. n = 0 ~ 31 : PEID ビットと同じ値
n = 32 ~ 511 : 0000 0001_H

注 5. エッジ検出時 (EIC_n (n = 0 ~ 31) の PCU 配置レジスタは、0087_H)

注 6. レベル検出時 (EIC_n (n = 0 ~ 31) の PCU 配置レジスタは、8087_H)

表 6.1 に示すレジスタのうち、EIC0 ~ 31、IMR0、EIBD0 ~ 31 は、各 CPU が内蔵する CPU Peripheral 領域内の INTC1 に配置されています。これらのレジスタは、これらのレジスタを内蔵している CPU1 や PCU からしかアクセスすることはできません。また、書き込みは、スーパーバイザモード (PSW.UM = 0) のみが実行可能です。

表 6.1 に示すレジスタのうち、EIC32 ~ 511、IMR1 ~ 15、EIBD32 ~ 511 は、Peripheral Group0 内の INTC2 に配置されています。これらのレジスタへの書き込みは、EIBD_n (n = 32 ~ 511) によってバインドされた PE、または CPU1 のスーパーバイザモード (UM = 0) のみが実行可能です。IMR1 ~ 15 への書き込みでは、上記条件に一致するビットのみが書き換えられ、条件に一致しなかったビットは更新されません。

表 6.1 に示すレジスタのうち、「表 6.14 割り込み例外ハンドラと優先順位」で Reserved となっているチャンネル番号に対応するレジスタの設定値はリセット後の値から変更しないでください。

表 6.2 外部割り込み/ソフトウェア割り込み/NMI

| アドレス | レジスタシンボル | レジスタ名 | R/W | リセット後の値 |
|------------------------|----------|--------------------|-----|-------------------|
| FFC0 0000 _H | NMICTL | NMI 割り込みコントロールレジスタ | R/W | 00 _H |
| FFC0 0010 _H | EXINTCTL | 外部割り込みコントロールレジスタ | R/W | 0000 _H |
| FFC0 0014 _H | EXINTSTR | 外部割り込みステータスレジスタ | R | 00 _H |
| FFC0 0018 _H | EXINTSTC | 外部割り込みステータスクリアレジスタ | W | 00 _H |
| FFC0 0020 _H | SINTR0 | ソフトウェア割り込みレジスタ 0 | R/W | 00 _H |
| FFC0 0024 _H | SINTR1 | ソフトウェア割り込みレジスタ 1 | R/W | 00 _H |
| FFC0 0028 _H | SINTR2 | ソフトウェア割り込みレジスタ 2 | R/W | 00 _H |
| FFC0 002C _H | SINTR3 | ソフトウェア割り込みレジスタ 3 | R/W | 00 _H |

表 6.3 割り込みマージ機能

| アドレス | レジスタシンボル | レジスタ名 | R/W | リセット後の値 |
|------------------------|----------|----------------------|-----|------------------------|
| FFF9 8000 _H | PINT0 | 周辺割り込みステータスレジスタ 0 | R | 0000 0000 _H |
| FFF9 8004 _H | PINT1 | 周辺割り込みステータスレジスタ 1 | R | 0000 0000 _H |
| FFF9 8008 _H | PINT2 | 周辺割り込みステータスレジスタ 2 | R | 0000 0000 _H |
| FFF9 800C _H | PINT3 | 周辺割り込みステータスレジスタ 3 | R | 0000 0000 _H |
| FFF9 8010 _H | PINT4 | 周辺割り込みステータスレジスタ 4 | R | 0000 0000 _H |
| FFF9 8014 _H | PINT5 | 周辺割り込みステータスレジスタ 5 | R | 0000 0000 _H |
| FFF9 8018 _H | PINT6 | 周辺割り込みステータスレジスタ 6 | R | 0000 0000 _H |
| FFF9 801C _H | PINT7 | 周辺割り込みステータスレジスタ 7 | R | 0000 0000 _H |
| FFF9 8020 _H | PINTCLR0 | 周辺割り込みステータスクリアレジスタ 0 | W | 0000 0000 _H |
| FFF9 8024 _H | PINTCLR1 | 周辺割り込みステータスクリアレジスタ 1 | W | 0000 0000 _H |
| FFF9 8028 _H | PINTCLR2 | 周辺割り込みステータスクリアレジスタ 2 | W | 0000 0000 _H |
| FFF9 802C _H | PINTCLR3 | 周辺割り込みステータスクリアレジスタ 3 | W | 0000 0000 _H |
| FFF9 8030 _H | PINTCLR4 | 周辺割り込みステータスクリアレジスタ 4 | W | 0000 0000 _H |
| FFF9 8034 _H | PINTCLR5 | 周辺割り込みステータスクリアレジスタ 5 | W | 0000 0000 _H |
| FFF9 8038 _H | PINTCLR6 | 周辺割り込みステータスクリアレジスタ 6 | W | 0000 0000 _H |
| FFF9 803C _H | PINTCLR7 | 周辺割り込みステータスクリアレジスタ 7 | W | 0000 0000 _H |

表 6.4 ATU-IV 割り込み制御

| アドレス | レジスタシンボル | レジスタ名 | R/W | リセット後の値 |
|------------------------|----------|-----------------------|-----|-----------------|
| FFF9 8040 _H | TIMER | タイマインタラプトマスクイネーブルレジスタ | R/W | 00 _H |

6.2.2 EIC0 ~ EIC511 — EI レベル割り込み制御レジスタ 0 ~ 511

EI レベル INT の要因ごとに用意され、各要因の割り込み制御条件を設定します。それぞれの要因は「表 6.14 割り込み例外ハンドラと優先順位」を参照してください。

注 意

エッジ検出で、周辺モジュールからの割り込み要求の直後（CPU によって割り込みが受け付けられる前）に、EIRFn ビットに“0”を書き込んだ場合は、要求が失われる場合があります。

また、CPU によって割り込みが受け付けられた直後に、EIRFn ビットに“1”を書き込んだ場合は要求が再セットされる場合があります。

レジスタへの書き込みにはビット操作命令（set1、clr1、not1）を含みます。

ビット操作命令については、「3.5.2 ビット操作命令でのレジスタ・アクセス」もご参照ください。

EIMKn ビットを含む下位バイトへのビット操作命令実行時には、EIRFn ビットは影響を受けません。

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-------|----|----|-------|----|----|---|---|-------|-------|---|---|------|-----|-----|-----|
| | EICTn | — | — | EIRFn | — | — | — | — | EIMKn | EITBn | — | — | EIPn | | | |
| リセット後の値 | 注1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R/W | R | R | R | R | R/W | R/W | R | R | R/W | R/W | R/W | R/W |

注 1. エッジ検出時 0、レベル検出時 1

表 6.5 EIC0-EIC511 レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|--------|-------|--|
| 15 | EICTn | 割り込みチャンネルタイプビットです。割り込み入カインタフェースにより以下の値がリードされます。リードのみ可能です。 0: エッジ検出 1: レベル検出 ライトする場合はリセット後の値を書いてください。 |
| 14, 13 | — | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 12 | EIRFn | 割り込み要求フラグです。割り込み入カインタフェースにより動作が異なります。 0: 割り込み要求なし（初期値） 1: 割り込み要求あり • エッジ検出 CPU コアに自チャンネルの割り込み要求が受け付けられると自動的にクリアされます。 ソフトウェアによるビットのセット・クリアが可能です。EIRFn ビットをセット（1）すると、割り込み要求を受け付けた場合と同じように、EI レベルマスク割込み n (EIINTn) を発生します。 • レベル検出 ソフトウェアによるビットのセット・クリアはできません。リードのみ可能です。 |
| 11 ~ 8 | — | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |

表 6.5 EIC0-EIC511 レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|--------------------|---|
| 7 | EIMKn | 割り込みマスクビットです。本ビットがセットされている場合は割り込み要求フラグ (EIRFn) へセットされた割り込み要求をマスクし、そのチャンネルから CPU コアへ割り込み要求が行われなくないようにします。また、本ビットがセットされているチャンネルからは未処理割り込みの存在通知と ICSR レジスタの PMEI ビットのセットは行われません。本ビットで割り込み処理を禁止に設定した場合も、割り込み信号の入力そのもののマスクは行われず、割り込み要求フラグはセットされます。割り込みマスクレジスタ (IMR) の対応するビットの設定も反映されません。 0: 割り込み処理を許可 1: 割り込み処理を禁止 (初期値) |
| 6 | EITBn | 割り込みベクタ方式選択ビットです。 0: 優先度に基づいた直接分岐方式 1: テーブル参照方式 |
| 5、4 | — | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 3 ~ 0 | EIPn ^{注1} | 16 レベルの割り込み優先度を指定します。0 が最高優先度、15 が最低優先度になります。 複数の EI レベル割り込み要求が同時に発生した場合、本ビットで指定される優先度の高い要因が選択されて CPU コアへ通知されます。本ビットで指定される優先度が同じ場合は、固定の優先度としてチャンネル番号が小さい要因が選択されます。 |

備考 n = 0 ~ 511

「表 6.14 割り込み例外ハンドラと優先順位」で Reserved となっているチャンネル番号に対応するレジスタの設定値はリセット後の値から変更しないでください。

- 注 1. PCU に内蔵される EIC0-31 では、EIPn のビット 2 ~ 0 の 8 レベルで割り込み優先度を指定します。(EIPn のビット 3 には、“0” を設定してください。)
また、EIC32-511 で、PCU にバインドした割り込みの優先度は、EIPn のビット 3 ~ 1 の 3 ビットが、PCU 内では EIPn のビット 2 ~ 0 の 3 ビットとして優先順位判定されます。(PCU へのバインド時、EIPn のビット 0 の設定は無視されます。)

6.2.3 IMR0 ~ IMR15 — EI レベル割り込みマスクレジスタ 0 ~ 15

EIC レジスタの EIMK ビットの集合レジスタです。IMRn レジスタの各ビットは対応する EIMK ビットの設定が反映されます。また IMRn レジスタへの設定は対応する EIMK ビットへ反映されます。

| IMR0 | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-----|
| ビット | | | | | | | | | | | | | | | | | |
| IMR0H | EIMK31 | EIMK30 | EIMK29 | EIMK28 | EIMK27 | EIMK26 | EIMK25 | EIMK24 | EIMK23 | EIMK22 | EIMK21 | EIMK20 | EIMK19 | EIMK18 | EIMK17 | EIMK16 | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| IMR0L | EIMK15 | EIMK14 | EIMK13 | EIMK12 | EIMK11 | EIMK10 | EIMK9 | EIMK8 | EIMK7 | EIMK6 | EIMK5 | EIMK4 | EIMK3 | EIMK2 | EIMK1 | EIMK0 | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| IMR1 | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| ビット | | | | | | | | | | | | | | | | | |
| IMR1H | EIMK63 | EIMK62 | EIMK61 | EIMK60 | EIMK59 | EIMK58 | EIMK57 | EIMK56 | EIMK55 | EIMK54 | EIMK53 | EIMK52 | EIMK51 | EIMK50 | EIMK49 | EIMK48 | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| IMR1L | EIMK47 | EIMK46 | EIMK45 | EIMK44 | EIMK43 | EIMK42 | EIMK41 | EIMK40 | EIMK39 | EIMK38 | EIMK37 | EIMK36 | EIMK35 | EIMK34 | EIMK33 | EIMK32 | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | |
| IMR15 | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| ビット | | | | | | | | | | | | | | | | | |
| IMR15H | EIMK51 | EIMK51 | EIMK50 | EIMK50 | EIMK50 | EIMK50 | EIMK50 | EIMK50 | EIMK50 | EIMK50 | EIMK50 | EIMK50 | EIMK49 | EIMK49 | EIMK49 | EIMK49 | |
| リセット後の値 | 1 | 0 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 9 | 8 | 7 | 6 | |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| IMR15L | EIMK49 | EIMK49 | EIMK49 | EIMK49 | EIMK49 | EIMK49 | EIMK48 | EIMK48 | EIMK48 | EIMK48 | EIMK48 | EIMK48 | EIMK48 | EIMK48 | EIMK48 | EIMK48 | |
| リセット後の値 | 5 | 4 | 3 | 2 | 1 | 0 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

備考 「表 6.14 割り込み例外ハンドラと優先順位」で Reserved となっているチャンネル番号に対応する EIMK ビットには、必ず“1”を設定してください。

6.2.4 EIBD0 ~ EIBD511 — EI レベル割り込みバインドレジスタ 0 ~ 511

EI レベル INT の要因ごとに用意され、各要因と PE の対応付けを行います。それぞれの要因は「表 6.14 割り込み例外ハンドラと優先順位」を参照してください。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|------|------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| EIBDnH | — | — | — | — | — | — | — | — | — | — | — | — | — | — | GPID | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| EIBDnL | — | — | — | — | — | — | — | — | — | — | — | — | — | PEID | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 注1 | | |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W |

表 6.6 EIBD0-EIBD511 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------|---|
| 31 ~ 18 | — | 予約です。必ず“0”を書いてください。 |
| 17、16 | GPID | 本ビットは、EIBD32-511 にのみ実装されています。本ビットには、PEID の設定に応じて以下のいずれかを設定してください。 00 : PEID でバインド先に CPU1 を選択した場合 01 : PEID でバインド先に PCU を選択した場合 EIBD0-31 では予約ビットであり、書き込む値は“0”を設定してください。読み出した場合は必ず“0”が読み出されます。 |
| 15 ~ 3 | — | 予約です。必ず“0”を書いてください。 |
| 2 ~ 0 | PEID | 割り込みをバインド（要求）する先を指定します。 ただし、EIBD0 — EIBD31 の PEID ビットは固定されており、変更することはできません。 001 : CPU1 に割り込みをバインドします 011 : PCU に割り込みをバインドします 対応する要因の割り込みを実行する場合は、必ず上記のいずれかを設定してください。 |

備考 「表 6.14 割り込み例外ハンドラと優先順位」で Reserved となっているチャンネル番号に対応するレジスタの設定値はリセット後の値から変更しないでください。

注 1. EIBD32-511 : 001

注意

EIINT の要求を処理中に対応する EIBDn レジスタの値を変更する事は禁止です。

6.2.5 NMICTL — NMI 割り込みコントロールレジスタ

本レジスタはNMI割り込み入力に対して、Fall エッジ、Rise エッジの検出モードを設定する8ビットレジスタです。

| | | | | | | | | |
|---------|---|---|---|---|---|---|------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | NMIS | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 6.7 NMICTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 7～2 | — | 予約ビット |
| 1、0 | NMIS | NMI 割り込みセンス選択ビット NMI 割り込み信号のセンス方法を Fall エッジ、Rise エッジから選択します。 00：割り込み要求を NMI 入力の Fall エッジで検出する 01：割り込み要求を NMI 入力の Rise エッジで検出する 10：設定禁止 11：設定禁止 |

6.2.6 EXINTCTL — 外部割り込みコントロールレジスタ

本レジスタは外部割り込み入力端子 IRQ7 ~ IRQ0 に対してロウレベル、ハイレベル、Fall エッジ、Rise エッジの検出モードを個別に指定する 16 ビットレジスタです。

| | | | | | | | | | | | | | | | | |
|---------|-------|-----|-------|-----|-------|-----|-------|-----|-------|-----|-------|-----|-------|-----|-------|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | IRQ7S | | IRQ6S | | IRQ5S | | IRQ4S | | IRQ3S | | IRQ2S | | IRQ1S | | IRQ0S | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 6.8 EXINTCTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 15、14 | IRQ7S | 外部割り込みセンス選択ビット IRQ7 ~ IRQ0 端子に対する割り込み信号のセンス方法をロウレベル、ハイレベル、Fall エッジ、Rise エッジから選択します。 00 : 割り込み要求を IRQn 入力のロウレベルで検出する ^{注1} 01 : 割り込み要求を IRQn 入力のハイレベルで検出する ^{注1} 10 : 割り込み要求を IRQn 入力の Fall エッジで検出する 11 : 割り込み要求を IRQn 入力の Rise エッジで検出する |
| 13、12 | IRQ6S | |
| 11、10 | IRQ5S | |
| 9、8 | IRQ4S | |
| 7、6 | IRQ3S | |
| 5、4 | IRQ2S | |
| 3、2 | IRQ1S | |
| 1、0 | IRQ0S | |

注 1. レベルセンス選択時は、割り込みが受け付けられるまでアクティブレベルを保持してください。

6.2.7 EXINTSTR — 外部割り込みステータスレジスタ

EXINTSTR は 8 ビットレジスタで、外部割り込み入力端子 IRQ7 ~ IRQ0 の割り込み要求を示します。IRQ7 ~ IRQ0 割り込みをエッジ検出に設定している場合は、EXINTSTC レジスタで保持されている割り込み要求を取り下げることができます。

| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-------|-------|-------|-------|-------|-------|-------|-------|
| | IRQ7F | IRQ6F | IRQ5F | IRQ4F | IRQ3F | IRQ2F | IRQ1F | IRQ0F |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 6.9 EXINTSTR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 7 | IRQ7F | 外部割り込み要求ビット IRQ7 ~ IRQ0 割り込み要求ステータスを表示します。 <ul style="list-style-type: none"> レベル検出選択時 <ul style="list-style-type: none"> 0 : IRQn 割り込み要求が存在しません 1 : IRQn 割り込み要求が存在します [クリア条件] IRQn 入力 が EXINTCTL の IRQn1S,IRQn0S に対応するレベルでないとき [セット条件] IRQn 入力 が EXINTCTL の IRQn1S,IRQn0S に対応するレベルのとき <ul style="list-style-type: none"> エッジ検出選択時 <ul style="list-style-type: none"> 0 : IRQn 割り込み要求が検出されていません 1 : IRQn 割り込み要求が検出されています [クリア条件] EXINTSTC の IRQnC ビットへ 1 書き込み [セット条件] EXINTCTL の IRQn1S,IRQn0S に対応するエッジが発生したとき |
| 6 | IRQ6F | |
| 5 | IRQ5F | |
| 4 | IRQ4F | |
| 3 | IRQ3F | |
| 2 | IRQ2F | |
| 1 | IRQ1F | |
| 0 | IRQ0F | |

備考 n = 0 ~ 7

6.2.8 EXINTSTC — 外部割り込みステータスクリアレジスタ

EXINTSTC レジスタは 8 ビットレジスタで、IRQ_n のセンス方法にエッジ検出を選択したときの EXINTSTR の IRQ_nF をクリアするためのレジスタです。IRQ_nC に 1 を書き込むと対応する EXINTSTR の IRQ_nF がクリアされます。

| | | | | | | | | |
|---------|-------|-------|-------|-------|-------|-------|-------|-------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | IRQ7C | IRQ6C | IRQ5C | IRQ4C | IRQ3C | IRQ2C | IRQ1C | IRQ0C |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | W | W | W | W | W | W |

表 6.10 EXINTSTC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|---|
| 7 | IRQ7C | 外部割り込み要求クリアビット IRQ7 ~ IRQ0 割り込みのセンス方法にエッジ検出を選択したときの割り込み要求ステータスをクリアします。 <ul style="list-style-type: none"> レベル検出選択時 本ビットに機能はありません。 エッジ検出選択時 1 書き込みで対応する EXINTSTR レジスタの IRQ_nF ビットをクリアします。 |
| 6 | IRQ6C | |
| 5 | IRQ5C | |
| 4 | IRQ4C | |
| 3 | IRQ3C | |
| 2 | IRQ2C | |
| 1 | IRQ1C | |
| 0 | IRQ0C | |

備考 n = 0 ~ 7

6.2.9 SINTR0 ~ SINTR3 — ソフトウェア割り込みレジスタ

本レジスタは、ソフトウェア割り込み 0 ~ 3 (SINT0 ~ SINT3) を制御する 8 ビットのレジスタです。

本レジスタに、01_H をライトすることでカウンタ値をインクリメントします。また、00_H をライトすることでカウンタ値をデクリメントします。本レジスタのカウンタ値が 1 以上のとき、ソフトウェア割り込み 0 ~ 3 (SINT0 ~ SINT3) が発生します。

リードした場合、現在のカウンタ値が読み出されます。

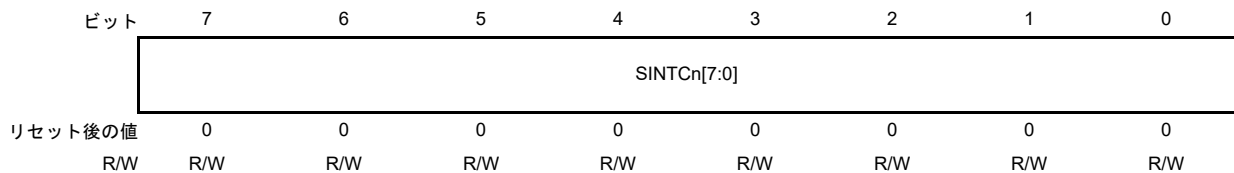


表 6.11 SINTR0 ~ SINTR3 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------------|---|
| 7 ~ 0 | SINTCn[7:0] | ソフトウェア割り込み要求 ソフトウェア割り込みを発生します。 [リード動作] SINTn の割り込み要求回数カウンタ値が読み出されます。 [ライト動作] 01 _H をライト : カウンタをインクリメントします。 ^{注1} 00 _H をライト : カウンタをデクリメントします。 ^{注2} |

注 1. カウンタが FF_H のときに 01_H をライトした場合、インクリメントされず、FF_H のままとなります。

注 2. カウンタが 00_H のときに 00_H をライトした場合、デクリメントされず、00_H のままとなります。

6.2.10 PINT0 ~ PINT7、PINTCLR0 ~ PINTCLR7 — 周辺割り込みステータスレジスタ、周辺割り込みステータスクリアレジスタ

PINT0 ~ PINT7は、32チャンネル単位でマージされているDTSの転送完了割り込みおよび転送回数一致割り込みについて、チャンネルごとの割り込みステータスを確認することができます。PINT0 ~ PINT7の同一レジスタ内で複数の割り込み要因が発生した場合、下位ビット側の1ビットのみセットされます。

割り込みハンドラ内で、周辺割り込みステータスレジスタ (PINT0 ~ PINT7) のリード値を、同チャンネルの割り込みクリアレジスタ (PINTCLR0 ~ PINTCLR7) にライトすることにより、割り込みをクリアします。

PINT n + x (n = 0 ~ 3, x = 0)

| | | | | | | | | |
|---------|---------------------|---------------------|---------------------|---------------------|---------------------|---------------------|---------------------|---------------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| | INTDTS [31+32*n] | INTDTS [30+32*n] | INTDTS [29+32*n] | INTDTS [28+32*n] | INTDTS [27+32*n] | INTDTS [26+32*n] | INTDTS [25+32*n] | INTDTS [24+32*n] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |
| ビット | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | INTDTS [23+32*n] | INTDTS [22+32*n] | INTDTS [21+32*n] | INTDTS [20+32*n] | INTDTS [19+32*n] | INTDTS [18+32*n] | INTDTS [17+32*n] | INTDTS [16+32*n] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| | INTDTS [15+32*n] | INTDTS [14+32*n] | INTDTS [13+32*n] | INTDTS [12+32*n] | INTDTS [11+32*n] | INTDTS [10+32*n] | INTDTS [9+32*n] | INTDTS [8+32*n] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | INTDTS [7+32*n] | INTDTS [6+32*n] | INTDTS [5+32*n] | INTDTS [4+32*n] | INTDTS [3+32*n] | INTDTS [2+32*n] | INTDTS [1+32*n] | INTDTS [0+32*n] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

PINT n + x (n = 0 ~ 3, x = 4)

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
|---------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|
| | INTCTDTS [31+32*n] | INTCTDTS [30+32*n] | INTCTDTS [29+32*n] | INTCTDTS [28+32*n] | INTCTDTS [27+32*n] | INTCTDTS [26+32*n] | INTCTDTS [25+32*n] | INTCTDTS [24+32*n] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |
| ビット | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | INTCTDTS [23+32*n] | INTCTDTS [22+32*n] | INTCTDTS [21+32*n] | INTCTDTS [20+32*n] | INTCTDTS [19+32*n] | INTCTDTS [18+32*n] | INTCTDTS [17+32*n] | INTCTDTS [16+32*n] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| | INTCTDTS [15+32*n] | INTCTDTS [14+32*n] | INTCTDTS [13+32*n] | INTCTDTS [12+32*n] | INTCTDTS [11+32*n] | INTCTDTS [10+32*n] | INTCTDTS [9+32*n] | INTCTDTS [8+32*n] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | INTCTDTS [7+32*n] | INTCTDTS [6+32*n] | INTCTDTS [5+32*n] | INTCTDTS [4+32*n] | INTCTDTS [3+32*n] | INTCTDTS [2+32*n] | INTCTDTS [1+32*n] | INTCTDTS [0+32*n] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

PINTCLR n + x (n = 0 ~ 3, x = 0)

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
|---------|---------------------|---------------------|---------------------|---------------------|---------------------|---------------------|---------------------|---------------------|
| | INTCLR [31+32*n] | INTCLR [30+32*n] | INTCLR [29+32*n] | INTCLR [28+32*n] | INTCLR [27+32*n] | INTCLR [26+32*n] | INTCLR [25+32*n] | INTCLR [24+32*n] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | W | W | W | W | W | W |
| ビット | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | INTCLR [23+32*n] | INTCLR [22+32*n] | INTCLR [21+32*n] | INTCLR [20+32*n] | INTCLR [19+32*n] | INTCLR [18+32*n] | INTCLR [17+32*n] | INTCLR [16+32*n] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | W | W | W | W | W | W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| | INTCLR [15+32*n] | INTCLR [14+32*n] | INTCLR [13+32*n] | INTCLR [12+32*n] | INTCLR [11+32*n] | INTCLR [10+32*n] | INTCLR [9+32*n] | INTCLR [8+32*n] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | W | W | W | W | W | W |
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | INTCLR [7+32*n] | INTCLR [6+32*n] | INTCLR [5+32*n] | INTCLR [4+32*n] | INTCLR [3+32*n] | INTCLR [2+32*n] | INTCLR [1+32*n] | INTCLR [0+32*n] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | W | W | W | W | W | W |

PINTCLR n + x (n = 0 ~ 3, x = 4)

| | | | | | | | | |
|---------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| | INTCTCLR [31+32*n] | INTCTCLR [30+32*n] | INTCTCLR [29+32*n] | INTCTCLR [28+32*n] | INTCTCLR [27+32*n] | INTCTCLR [26+32*n] | INTCTCLR [25+32*n] | INTCTCLR [24+32*n] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | W | W | W | W | W | W |
| ビット | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | INTCTCLR [23+32*n] | INTCTCLR [22+32*n] | INTCTCLR [21+32*n] | INTCTCLR [20+32*n] | INTCTCLR [19+32*n] | INTCTCLR [18+32*n] | INTCTCLR [17+32*n] | INTCTCLR [16+32*n] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | W | W | W | W | W | W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| | INTCTCLR [15+32*n] | INTCTCLR [14+32*n] | INTCTCLR [13+32*n] | INTCTCLR [12+32*n] | INTCTCLR [11+32*n] | INTCTCLR [10+32*n] | INTCTCLR [9+32*n] | INTCTCLR [8+32*n] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | W | W | W | W | W | W |
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | INTCTCLR [7+32*n] | INTCTCLR [6+32*n] | INTCTCLR [5+32*n] | INTCTCLR [4+32*n] | INTCTCLR [3+32*n] | INTCTCLR [2+32*n] | INTCTCLR [1+32*n] | INTCTCLR [0+32*n] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | W | W | W | W | W | W |

PINT0

| ビット位置 | ビット名 | 機能 |
|--------|--------------|----------------------------|
| 31 ~ 0 | INTDTS[31:0] | DTS ch31 ~ 0 転送完了割り込みステータス |

PINT1

| ビット位置 | ビット名 | 機能 |
|--------|---------------|-----------------------------|
| 31 ~ 0 | INTDTS[63:32] | DTS ch63 ~ 32 転送完了割り込みステータス |

PINT2

| ビット位置 | ビット名 | 機能 |
|--------|---------------|-----------------------------|
| 31 ~ 0 | INTDTS[95:64] | DTS ch95 ~ 64 転送完了割り込みステータス |

PINT3

| ビット位置 | ビット名 | 機能 |
|--------|--------------------|------------------------------|
| 31 ~ 0 | INTDTS [127:96] | DTS ch127 ~ 96 転送完了割り込みステータス |

PINT4

| ビット位置 | ビット名 | 機能 |
|--------|--------------------|------------------------------|
| 31 ~ 0 | INTCTDTS [31:0] | DTS ch31 ~ 0 転送回数一致割り込みステータス |

PINT5

| ビット位置 | ビット名 | 機能 |
|--------|---------------------|-------------------------------|
| 31 ~ 0 | INTCTDTS [63:32] | DTS ch63 ~ 32 転送回数一致割り込みステータス |

PINT6

| ビット位置 | ビット名 | 機能 |
|--------|---------------------|-------------------------------|
| 31 ~ 0 | INTCTDTS [95:64] | DTS ch95 ~ 64 転送回数一致割り込みステータス |

PINT7

| ビット位置 | ビット名 | 機能 |
|--------|----------------------|--------------------------------|
| 31 ~ 0 | INTCTDTS [127:96] | DTS ch127 ~ 96 転送回数一致割り込みステータス |

PINTCLR0

| ビット位置 | ビット名 | 機能 |
|--------|--------------|---|
| 31 ~ 0 | INTCLR[31:0] | DTS ch31 ~ 0 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT0 の読み出し値を書き込みます。 |

PINTCLR1

| ビット位置 | ビット名 | 機能 |
|--------|---------------|--|
| 31 ~ 0 | INTCLR[63:32] | DTS ch63 ~ 32 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT1 の読み出し値を書き込みます。 |

PINTCLR2

| ビット位置 | ビット名 | 機能 |
|--------|---------------|--|
| 31 ~ 0 | INTCLR[95:64] | DTS ch95 ~ 64 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT2 の読み出し値を書き込みます。 |

PINTCLR3

| ビット位置 | ビット名 | 機能 |
|--------|----------------|---|
| 31 ~ 0 | INTCLR[127:96] | DTS ch127 ~ 96 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT3 の読み出し値を書き込みます。 |

PINTCLR4

| ビット位置 | ビット名 | 機能 |
|--------|----------------|---|
| 31 ~ 0 | INTCTCLR[31:0] | DTS ch31 ~ 0 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT4 の読み出し値を書き込みます。 |

PINTCLR5

| ビット位置 | ビット名 | 機能 |
|--------|---------------------|--|
| 31 ~ 0 | INTCTCLR [63:32] | DTS ch63 ~ 32 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT5 の読み出し値を書き込みます。 |

PINTCLR6

| ビット位置 | ビット名 | 機能 |
|--------|---------------------|--|
| 31 ~ 0 | INTCTCLR [95:64] | DTS ch95 ~ 64 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT6 の読み出し値を書き込みます。 |

PINTCLR7

| ビット位置 | ビット名 | 機能 |
|--------|----------------------|---|
| 31 ~ 0 | INTCTCLR [127:96] | DTS ch127 ~ 96 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT7 の読み出し値を書き込みます。 |

6.2.11 TIMER — タイマインタラプトマスクイネーブルレジスタ

TIMER は 8 ビットの読み出し／書き込み可能なレジスタで、ATU-IV タイマ D サブブロック 4 の割り込み要求の有効／無効を設定します。対応する割り込みを、「表 6.13 TIMER レジスタ対象割り込み」に示します。これらの割り込みは、TSG2 の割り込みとマージされて INTC に入力されるため、TSG2 を使用する場合は該当する IME2 ビットを“1”に設定してください。なお、ATU-IV タイマ D のサブブロック 4 の動作中に本ビットの設定を変更しないでください。

TIMER は、バイト単位で読み出し／書き込み可能です。

TIMER は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|------|------|------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | IME2 | IME1 | IME0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R/W | R/W | R/W |

表 6.12 TIMER レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 7～3 | — | 何も配置されていません。“0”に固定してください。 |
| 2 | IME2 | ATU-IV タイマ D のサブブロック 4 の割り込み要求の有効／無効を設定します。 0：割り込み要求は有効 1：割り込み要求は無効 |
| 1 | IME1 | リザーブビットです。 書き込みは常に“0”にしてください。 |
| 0 | IME0 | リザーブビットです。 書き込みは常に“0”にしてください。 |

対象となる割り込みを以下に示します。

表 6.13 TIMER レジスタ対象割り込み

| TIMER レジスタ 対象ビット | ATU-IVタイマ D サブブロック | 割り込み チャンネル | 割り込み名称 |
|---------------------|-----------------------|---------------|---------------------------|
| IME2 | 4 | 180 | DCNTD40 ダウンカウンタアンダフロー割り込み |
| | | 181 | DCNTD41 ダウンカウンタアンダフロー割り込み |
| | | 182 | DCNTD42 ダウンカウンタアンダフロー割り込み |
| | | 183 | DCNTD43 ダウンカウンタアンダフロー割り込み |

6.3 割り込み要因

割り込み要因は、外部割り込み (NMI/IRQ)、ECM 割り込み、プロセッサ間割り込み、ソフトウェア割り込み、周辺モジュール割り込みの 5 つに分類されます。

6.3.1 NMI 割り込み

NMI 割り込みは、NMI 端子からの入力による外部割り込みです。NMI 割り込みコントロールレジスタ (NMICNTL) の NMI 割り込みセンス選択ビット (NMIS) の設定によって Fall エッジ、Rise エッジを選択できます。

NMI 割り込みは、ほかの FE レベル割り込みが発生していても最優先で受け付けられます。CPU システムレジスタ PSW.NP の状態にかかわらず、マスクすることはできません。

復帰/回復が不可能なノンマスクابل割り込みです。

6.3.2 IRQ 割り込み

IRQ 割り込みは IRQ7 ~ IRQ0 端子からの入力による割り込みです。IRQ 割り込みは、外部割り込みコントロール (EXINTCTL) の外部割り込みセンス選択ビット (IRQ7S ~ IRQ0S) の設定によって、端子ごとにロウレベル、ハイレベル、Fall エッジ、Rise エッジを選択できます。また、割り込み制御レジスタによって、優先レベルを要因ごとに CPU1 は 16 レベル、PCU は 8 レベルで設定できます。

IRQ 割り込みをロウレベル検出に設定している場合、IRQ7 ~ IRQ0 端子がロウレベルの期間、INTC に割り込み要求信号が送られます。IRQ7 ~ IRQ0 端子がハイレベルになると、割り込み要求信号は INTC に送られません。割り込みが受け付けられるまでアクティブレベルを保持してください。外部割り込みステータスレジスタ (EXINTSTR) の IRQ 割り込み要求ビット (IRQ7F ~ IRQ0F) をリードすることにより割り込み要求を確認できます。

IRQ 割り込みをエッジ検出に設定している場合、IRQ7 ~ IRQ0 端子の変化により割り込み要求が検出され、INTC に割り込み要求信号が送られます。EXINTSTR の IRQ7F ~ IRQ0F ビットをリードすることにより IRQ 割り込み要求が検出されているかどうかを確認できます。また、エッジ検出時は EXINTSTC の対応するビットへ 1 をライトすることにより IRQ 割り込み要求をクリアできます。

IRQ 割り込み例外ハンドラから復帰する際は、誤って再度受け付けないように、外部割り込みステータスレジスタ (EXINTSTR) をクリアしてから、割り込み復帰命令を実行してください。

6.3.3 ECM 割り込み

ECM (Error Control Module) で複数の割り込み要求をマージして生成される要因です。詳細は「**第 30 章 エラーコントロールモジュール (ECM)**」を参照ください

6.3.4 プロセッサ間割り込み

PE 間で割り込み通信を行うためのレジスタ (IPIR_CHn) を 4CH 分持っています。IPIR_CH0 ~ 3 はユーザ割り込み (EIINT) の CH0 ~ 3 にアサインされます。各 PE に対応したビットを操作することで特定の PE (自身を含む) に対して割り込みを要求することが可能です。

割り込み制御レジスタによって、優先レベルを要因ごとに CPU1 は 16 レベル、PCU は 8 レベルで設定できます。

6.3.5 ソフトウェア割り込み

ソフトウェア割り込み (SINT) は、SINTR0 ~ SINTR3 レジスタを設定することで発生する割り込みです。複数回の割り込み要求をキューイングすることができます。

割り込み制御レジスタによって、優先レベルを要因ごとに CPU1 は 16 レベル、PCU は 8 レベルで設定できます。

6.3.6 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- Code Flash/Data Flash
- シリアルコミュニケーションインタフェース 3 (SCI3)
- OS タイマ (OSTM)
- ウィンドウウォッチドッグタイマ (WDTA)
- アドバンスドタイマユニット IV (ATU-IV)
- モータコントロールタイマ (TSG2)
- オートノマスパルスコントロールアダプタ (APA)
- AD コンバータ (ADCB)
- AD 加算機能 (ASF)
- $\Delta\Sigma$ AD コンバータ (DS-ADC)
- シリアルコミュニケーションインタフェース H (CSIH)
- CAN インタフェース (RS-CAN)
- LIN マスタインタフェース (RLIN2)
- ルネサスハイスピードバス (RHSB)
- ダイレクトメモリアクセスコントローラ (DMAC、DTS)
- デジタルフィルタ (DFE)

要因ごとに異なる割り込みベクタが割り当てられているため、割り込み例外ハンドラで要因を判定する必要はありません。優先順位は、割り込み要因ごとに優先レベルを CPU1 は 16 レベル、PCU は 8 レベルで設定できます。

6.4 割り込み例外ハンドラと優先順位動作説明

表 6.14 に、割り込み要因と要因コード、例外ハンドラアドレスオフセット、割り込み優先順位を示します。

例外ハンドラアドレスは、CPU コア内の PSW.EBV ビットと、RBASE レジスタ、EBASE レジスタによって決定する標準仕様に加えて、割り込みに関しては、チャンネルごとに例外ハンドラアドレスを個別に指定する拡張仕様があります。

標準仕様は、CPU コア内にあるベースアドレス (RBASE レジスタ / EBASE レジスタ) に、オフセットアドレスを加算して例外ハンドラアドレスとします。割り込みのオフセットアドレスの与え方には、以下の 2 通りの方式があります。なお、割り込みチャンネル以外は指定のオフセットアドレスとなります。

- 割り込みチャンネルに関係なく、チャンネルごとに設定する優先度 (0 ~ 15) によって +100_H ~ +1F0_H の範囲で決定する。(表 6.14 の注 1)
- 優先度に関係なく、一律 +100_H となる。これは、例外ハンドラのメモリ占有サイズを小さくするための機能です。(表 6.14 の注 2)

拡張仕様は、割り込みチャンネルごとに例外ハンドラアドレスを読み出すテーブルを持ち、そのテーブルを参照してハンドラアドレスを抽出します。テーブル参照位置の計算は、下記の計算式で求められます。(表 6.14 の注 3) INTBP レジスタは、CPU コア内のレジスタです。

$$\text{例外ハンドラアドレス読み出し位置} = \text{INTBP レジスタ} + \text{チャンネル番号} * 4 \text{ バイト}$$

RH850G3M、G3K 例外については「**RH850G3M ユーザーズマニュアル ソフトウェア編**」、**RH850G3K ユーザーズマニュアル ソフトウェア編**」を参照してください。

システムエラー例外については「**第 3 章 CPU システム**」を参照してください。

優先順位は、チャンネルごとに設定できます。指定した優先レベルが同じ場合は、固定の優先度としてチャンネル番号が小さい要因が選択されます。

注 意

FENMI、FEINT、EIINT (直接ベクタ方式)、SYSERR、FPI の例外ハンドラの先頭には、必ず SYNCPC 命令を配置して下さい。

詳細については、「**RH850G3M ユーザーズマニュアルソフトウェア編**」を参照して下さい。

表 6.14 割り込み例外ハンドラと優先順位 (1/16)

| 機能・ モジュール | 割り込み要因名 | レベル 割り込み注 | EIINT 割り込み チャンネル 番号 | 要因 コード | オフセットアドレス | | | 割り込み 優先順位 (初期値) | デフォルト 優先順位 |
|--------------------------|------------------------------------|--------------|------------------------------|-----------------|--|--|--------------------|-----------------------|---------------|
| | | | | | 直接分岐方式 | | テーブル 参照方式 注3 | | |
| | | | | | RINT = 0 注1 | RINT = 1 注2 | | | |
| ノンマスクابل割り込み | NMI 割り込み | | (FENMI) | E0 _H | +0E0 _H | +0E0 _H | — | | ↑ 優先高 |
| FE レベル割り込み | エラーコントロールモジュール (ECM) FE レベル割り込み | | (FEINT) | F0 _H | +0F0 _H | +0F0 _H | — | | |
| プロセッサ間割り 込み | IPIR_CH0 | | 0 | 1000 | 割り込み チャンネルに 関係なく、 オフセット アドレスは、 優先度によ って +100 _H ~ +1F0 _H の範 囲で決定さ れます | 優先度に関 係なく、オ フセットア ドレスは、 一律 +100 _H | +000 _H | 0 ~ 15(15) | |
| | IPIR_CH1 | | 1 | 1001 | | | +004 _H | 0 ~ 15(15) | |
| | IPIR_CH2 | | 2 | 1002 | | | +008 _H | 0 ~ 15(15) | |
| | IPIR_CH3 | | 3 | 1003 | | | +00C _H | 0 ~ 15(15) | |
| | Reserved | | 4 | 1004 | | | | | |
| | Reserved | | 5 | 1005 | | | | | |
| | Reserved | | 6 | 1006 | | | | | |
| エラーコントロー ルモジュール | エラーコントロールモジュール (ECM) マスクابل割り込み | | 8 | 1008 | | | +020 _H | 0 ~ 15(15) | |
| IRQ (外部割り込み) | IRQ0 割り込み | ○ | 9 | 1009 | | | +024 _H | 0 ~ 15(15) | |
| | IRQ1 割り込み | ○ | 10 | 100A | | | +028 _H | 0 ~ 15(15) | |
| | IRQ2 割り込み | ○ | 11 | 100B | | | +02C _H | 0 ~ 15(15) | |
| | IRQ3 割り込み | ○ | 12 | 100C | | | +030 _H | 0 ~ 15(15) | |
| | IRQ4 割り込み | ○ | 13 | 100D | | | +034 _H | 0 ~ 15(15) | |
| | IRQ5 割り込み | ○ | 14 | 100E | | | +038 _H | 0 ~ 15(15) | |
| | IRQ6 割り込み | ○ | 15 | 100F | | | +03C _H | 0 ~ 15(15) | |
| | IRQ7 割り込み | ○ | 16 | 1010 | | | +040 _H | 0 ~ 15(15) | |
| SINT (ソフト ウェア割り込み) | SINT0 割り込み | ○ | 17 | 1011 | | | +044 _H | 0 ~ 15(15) | |
| | SINT1 割り込み | ○ | 18 | 1012 | | | +048 _H | 0 ~ 15(15) | |
| | SINT2 割り込み | ○ | 19 | 1013 | | | +04C _H | 0 ~ 15(15) | |
| | SINT3 割り込み | ○ | 20 | 1014 | | | +050 _H | 0 ~ 15(15) | |
| | Reserved | | 21 | 1015 | | | | | |
| | Reserved | | 22 | 1016 | | | | | |
| | Reserved | | 23 | 1017 | | | | | |
| | Reserved | | 24 | 1018 | | | | | |
| OSTM | OSTM0 割り込み (OSTM0TINT) | | 25 | 1019 | | | +064 _H | 0 ~ 15(15) | |
| | OSTM1 割り込み (OSTM1TINT) | | 26 | 101A | | | +068 _H | 0 ~ 15(15) | |
| | OSTM2 割り込み (OSTM2TINT) | | 27 | 101B | | | +06C _H | 0 ~ 15(15) | |
| | Reserved | | 28 | 101C | | | | | |
| DMA | DMA 転送エラー (DMAERR) | | 29 | 101D | | | +074 _H | 0 ~ 15(15) | |
| | Reserved | | 30 | 101E | | | | | |
| | Reserved | | 31 | 101F | | | | | |
| | Reserved | | 32 | 1020 | | | | | |
| Code Flash/Data Flash | フラッシュシーケンサ処理完了割り 込み備考1 | | 33 | 1021 | | | +084 _H | 0 ~ 15(15) | |
| | Reserved | | 34 | 1022 | | | | | |
| | Reserved | | 35 | 1023 | | | | | |
| | Reserved | | 36 | 1024 | | | | | |
| | Reserved | | 37 | 1025 | | | | | |
| DMAC | ch0 転送完了割り込み / ch0 転送回数一 致割り込み | | 38 | 1026 | | | +098 _H | 0 ~ 15(15) | |
| | ch1 転送完了割り込み / ch1 転送回数一 致割り込み | | 39 | 1027 | | | +09C _H | 0 ~ 15(15) | |
| | ch2 転送完了割り込み / ch2 転送回数一 致割り込み | | 40 | 1028 | | | +0A0 _H | 0 ~ 15(15) | |

表 6.14 割り込み例外ハンドラと優先順位 (2/16)

| 機能・ モジュール | 割り込み要因名 | レベル 割り込み注 | EIINT 割り込み チャンネル 番号 | 要因 コード | オフセットアドレス | | 割り込み 優先順位 (初期値) | デフォルト 優先順位 | |
|---------------|---|--------------|------------------------------|-----------|--|--|-----------------------|---------------|--------------------|
| | | | | | 直接分岐方式 | | | | テーブル 参照方式 注3 |
| | | | | | RINT = 0 注1 | RINT = 1 注2 | | | |
| DMAC | ch3 転送完了割り込み / ch3 転送回数一致割り込み | | 41 | 1029 | 割り込み チャンネルに 関係なく、 オフセット アドレスは、 優先度によ って +100 _H ~ +1F0 _H の範 囲で決定さ れます | 優先度に関 係なく、オ フセットア ドレスは、 一律 +100 _H | +0A4 _H | 0 ~ 15(15) | 優先高 ↑ |
| | ch4 転送完了割り込み / ch4 転送回数一致割り込み | | 42 | 102A | | | +0A8 _H | 0 ~ 15(15) | |
| | ch5 転送完了割り込み / ch5 転送回数一致割り込み | | 43 | 102B | | | +0AC _H | 0 ~ 15(15) | |
| | ch6 転送完了割り込み / ch6 転送回数一致割り込み | | 44 | 102C | | | +0B0 _H | 0 ~ 15(15) | |
| | ch7 転送完了割り込み / ch7 転送回数一致割り込み | | 45 | 102D | | | +0B4 _H | 0 ~ 15(15) | |
| | Reserved | | 46 | 102E | | | | | |
| | Reserved | | 47 | 102F | | | | | |
| | Reserved | | 48 | 1030 | | | | | |
| | Reserved | | 49 | 1031 | | | | | |
| | Reserved | | 50 | 1032 | | | | | |
| | Reserved | | 51 | 1033 | | | | | |
| | Reserved | | 52 | 1034 | | | | | |
| | Reserved | | 53 | 1035 | | | | | |
| WDTA | WDTA0TIT インターバルタイマ割り込み (75% 割り込み) | | 54 | 1036 | | +0D8 _H | 0 ~ 15(15) | | |
| | WDTA1TIT インターバルタイマ割り込み (75% 割り込み) | | 55 | 1037 | | +0DC _H | 0 ~ 15(15) | | |
| | Reserved | | 56 | 1038 | | | | | |
| ATU-IV TimerA | ICRA0 インพุットキャプチャ割り込み | | 57 | 1039 | | +0E4 _H | 0 ~ 15(15) | | |
| | ICRA1 インพุットキャプチャ割り込み | | 58 | 103A | | +0E8 _H | 0 ~ 15(15) | | |
| | ICRA2 インพุットキャプチャ割り込み | | 59 | 103B | | +0EC _H | 0 ~ 15(15) | | |
| | ICRA3 インพุットキャプチャ割り込み | | 60 | 103C | | +0F0 _H | 0 ~ 15(15) | | |
| | ICRA4 インพุットキャプチャ割り込み | | 61 | 103D | | +0F4 _H | 0 ~ 15(15) | | |
| | ICRA5 インพุットキャプチャ割り込み | | 62 | 103E | | +0F8 _H | 0 ~ 15(15) | | |
| | Reserved | | 63 | 103F | | | | | |
| ATU-IV TimerA | TCNTA オーバフロー割り込み | | 64 | 1040 | | +100 _H | 0 ~ 15(15) | | |
| ATU-IV TimerB | OCRB0 コンペアマッチ割り込み | | 65 | 1041 | | +104 _H | 0 ~ 15(15) | | |
| | OCRB1 コンペアマッチ割り込み | | 66 | 1042 | | +108 _H | 0 ~ 15(15) | | |
| | OCRB6 コンペアマッチ割り込み | | 67 | 1043 | | +10C _H | 0 ~ 15(15) | | |
| | OCRB10 コンペアマッチ割り込み | | 68 | 1044 | | +110 _H | 0 ~ 15(15) | | |
| | OCRB11 コンペアマッチ割り込み | | 69 | 1045 | | +114 _H | 0 ~ 15(15) | | |
| | OCRB12 コンペアマッチ割り込み | | 70 | 1046 | | +118 _H | 0 ~ 15(15) | | |
| | TCNTB6M と ICRB6 の比較 条件マッチ割り込み | | 71 | 1047 | | +11C _H | 0 ~ 15(15) | | |
| | CMFB6 と CMFB6M の AND/OR 条件 条件マッチ割り込み | | 72 | 1048 | | +120 _H | 0 ~ 15(15) | | |

表 6.14 割り込み例外ハンドラと優先順位 (3/16)

| 機能・ モジュール | 割り込み要因名 | レベル 割り込み注 | EIINT 割り込み チャンネル 番号 | 要因 コード | オフセットアドレス | | 割り込み 優先順位 (初期値) | デフォルト 優先順位 | |
|--|--|--------------|------------------------------|-------------------|--|--|-----------------------|---------------|--------------------|
| | | | | | 直接分岐方式 | | | | テーブル 参照方式 注3 |
| | | | | | RINT = 0 注1 | RINT = 1 注2 | | | |
| ATU-IV TimerB | ICRB0 インพุットキャプチャ割り込み | | 73 | 1049 | 割り込み チャンネルに 関係なく、 オフセット アドレスは、 一律 +100 _H | 優先度に関 係なく、オ フセットア ドレスは、 一律 +100 _H | +124 _H | 0 ~ 15(15) | ↑ 優先高 |
| ATU-IV TimerC | GRC00 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC00 コンペアマッチ割り込み | | 74 | 104A | 優先度に関 係なく、オ フセットア ドレスは、 一律 +100 _H | 優先度に関 係なく、オ フセットア ドレスは、 一律 +100 _H | +128 _H | 0 ~ 15(15) | |
| | GRC01 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC01 コンペアマッチ割り込み | | 75 | 104B | | | +12C _H | 0 ~ 15(15) | |
| | GRC02 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC02 コンペアマッチ割り込み | | 76 | 104C | | | +130 _H | 0 ~ 15(15) | |
| | GRC03 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC03 コンペアマッチ割り込み | | 77 | 104D | | | +134 _H | 0 ~ 15(15) | |
| | TCNTC0 オーバフロー割り込み | | 78 | 104E | | | +138 _H | 0 ~ 15(15) | |
| | GRC10 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC10 コンペアマッチ割り込み | | 79 | 104F | | | +13C _H | 0 ~ 15(15) | |
| | GRC11 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC11 コンペアマッチ割り込み | | 80 | 1050 | | | +140 _H | 0 ~ 15(15) | |
| | GRC12 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC12 コンペアマッチ割り込み | | 81 | 1051 | | | +144 _H | 0 ~ 15(15) | |
| | GRC13 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC13 コンペアマッチ割り込み | | 82 | 1052 | | | +148 _H | 0 ~ 15(15) | |
| | TCNTC1 オーバフロー割り込み | | 83 | 1053 | | | +14C _H | 0 ~ 15(15) | |
| | GRC20 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC20 コンペアマッチ割り込み | | 84 | 1054 | | | +150 _H | 0 ~ 15(15) | |
| | GRC21 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC21 コンペアマッチ割り込み | | 85 | 1055 | | | +154 _H | 0 ~ 15(15) | |
| | GRC22 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC22 コンペアマッチ割り込み | | 86 | 1056 | | | +158 _H | 0 ~ 15(15) | |
| GRC23 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC23 コンペアマッチ割り込み | | 87 | 1057 | +15C _H | 0 ~ 15(15) | | | | |
| TCNTC2 オーバフロー割り込み | | 88 | 1058 | +160 _H | 0 ~ 15(15) | | | | |
| GRC30 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC30 コンペアマッチ割り込み | | 89 | 1059 | +164 _H | 0 ~ 15(15) | | | | |
| GRC31 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC31 コンペアマッチ割り込み | | 90 | 105A | +168 _H | 0 ~ 15(15) | | | | |
| GRC32 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC32 コンペアマッチ割り込み | | 91 | 105B | +16C _H | 0 ~ 15(15) | | | | |
| GRC33 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC33 コンペアマッチ割り込み | | 92 | 105C | +170 _H | 0 ~ 15(15) | | | | |

表 6.14 割り込み例外ハンドラと優先順位 (4/16)

| 機能・ モジュール | 割り込み要因名 | レベル 割り込み注 | EIINT 割り込み チャンネル 番号 | 要因 コード | オフセットアドレス | | 割り込み 優先順位 (初期値) | デフォルト 優先順位 | | | |
|---------------|--|--------------|------------------------------|-----------|--|--|-----------------------|---------------|--------------------|--|--|
| | | | | | 直接分岐方式 | | | | テーブル 参照方式 注3 | | |
| | | | | | RINT = 0 注1 | RINT = 1 注2 | | | | | |
| ATU-IV TimerC | TCNTC3 オーバフロー割り込み | | 93 | 105D | 割り込み チャンネルに 関係なく、 オフセット アドレスは、 優先度によ って +100 _H ~ +1F0 _H の範 囲で決定さ れます | 優先度に関 係なく、オ フセットア ドレスは、 一律 +100 _H | +174 _H | 0 ~ 15(15) | 優先高 ↑ | | |
| | GRC40 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC40 コンペアマッチ割り込み | | 94 | 105E | | | +178 _H | 0 ~ 15(15) | | | |
| | GRC41 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC41 コンペアマッチ割り込み | | 95 | 105F | | | +17C _H | 0 ~ 15(15) | | | |
| | GRC42 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC42 コンペアマッチ割り込み | | 96 | 1060 | | | +180 _H | 0 ~ 15(15) | | | |
| | GRC43 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC43 コンペアマッチ割り込み | | 97 | 1061 | | | +184 _H | 0 ~ 15(15) | | | |
| | TCNTC4 オーバフロー割り込み | | 98 | 1062 | | | +188 _H | 0 ~ 15(15) | | | |
| | GRC50 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC50 コンペアマッチ割り込み | | 99 | 1063 | | | +18C _H | 0 ~ 15(15) | | | |
| | GRC51 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC51 コンペアマッチ割り込み | | 100 | 1064 | | | +190 _H | 0 ~ 15(15) | | | |
| | GRC52 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC52 コンペアマッチ割り込み | | 101 | 1065 | | | +194 _H | 0 ~ 15(15) | | | |
| | GRC53 インพุットキャプチャ/ コンペアマッチ割り込み/ OCRC53 コンペアマッチ割り込み | | 102 | 1066 | | | +198 _H | 0 ~ 15(15) | | | |
| | TCNTC5 オーバフロー割り込み | | 103 | 1067 | | | +19C _H | 0 ~ 15(15) | | | |
| | Reserved | | 104 | 1068 | | | | | | | |
| | Reserved | | 105 | 1069 | | | | | | | |
| | Reserved | | 106 | 106A | | | | | | | |
| Reserved | | 107 | 106B | | | | | | | | |
| Reserved | | 108 | 106C | | | | | | | | |
| Reserved | | 109 | 106D | | | | | | | | |
| Reserved | | 110 | 106E | | | | | | | | |
| Reserved | | 111 | 106F | | | | | | | | |
| Reserved | | 112 | 1070 | | | | | | | | |
| Reserved | | 113 | 1071 | | | | | | | | |

表 6.14 割り込み例外ハンドラと優先順位 (5/16)

| 機能・ モジュール | 割り込み要因名 | レベル 割り込み注 | EIINT 割り込み チャンネル 番号 | 要因 コード | オフセットアドレス | | 割り込み 優先順位 (初期値) | デフォルト 優先順位 | |
|---------------|-------------------------------|--------------|------------------------------|-----------|--|--|-----------------------|---------------|--------------------|
| | | | | | 直接分岐方式 | | | | テーブル 参照方式 注3 |
| | | | | | RINT = 0 注1 | RINT = 1 注2 | | | |
| ATU-IV TimerD | OCR1D00 コンペアマッチ割り込み | | 114 | 1072 | 割り込み チャンネルに 関係なく、 オフセット アドレスは、 優先度によ って +100 _H ~ +1F0 _H の範 囲で決定さ れます | 優先度に無 関係に、オ フセットア ドレスは、 一律 +100 _H | +1C8 _H | 0 ~ 15(15) | 優先高 ↑ |
| | OCR2D00 コンペアマッチ割り込み | | 115 | 1073 | | | +1CC _H | 0 ~ 15(15) | |
| | OCR1D01 コンペアマッチ割り込み | | 116 | 1074 | | | +1D0 _H | 0 ~ 15(15) | |
| | OCR2D01 コンペアマッチ割り込み | | 117 | 1075 | | | +1D4 _H | 0 ~ 15(15) | |
| | OCR1D02 コンペアマッチ割り込み | | 118 | 1076 | | | +1D8 _H | 0 ~ 15(15) | |
| | OCR2D02 コンペアマッチ割り込み | | 119 | 1077 | | | +1DC _H | 0 ~ 15(15) | |
| | OCR1D03 コンペアマッチ割り込み | | 120 | 1078 | | | +1E0 _H | 0 ~ 15(15) | |
| | OCR2D03 コンペアマッチ割り込み | | 121 | 1079 | | | +1E4 _H | 0 ~ 15(15) | |
| | TCNT1D0 オーバフロー割り込み | | 122 | 107A | | | +1E8 _H | 0 ~ 15(15) | |
| | TCNT2D0 オーバフロー割り込み | | 123 | 107B | | | +1EC _H | 0 ~ 15(15) | |
| | DCNTD00 ダウンカウンタアンダフロー 割り込み | | 124 | 107C | | | +1F0 _H | 0 ~ 15(15) | |
| | DCNTD01 ダウンカウンタアンダフロー 割り込み | | 125 | 107D | | | +1F4 _H | 0 ~ 15(15) | |
| | DCNTD02 ダウンカウンタアンダフロー 割り込み | | 126 | 107E | | | +1F8 _H | 0 ~ 15(15) | |
| | DCNTD03 ダウンカウンタアンダフロー 割り込み | | 127 | 107F | | | +1FC _H | 0 ~ 15(15) | |
| | OCR1D10 コンペアマッチ割り込み | | 128 | 1080 | | | +200 _H | 0 ~ 15(15) | |
| | OCR2D10 コンペアマッチ割り込み | | 129 | 1081 | | | +204 _H | 0 ~ 15(15) | |
| | OCR1D11 コンペアマッチ割り込み | | 130 | 1082 | | | +208 _H | 0 ~ 15(15) | |
| | OCR2D11 コンペアマッチ割り込み | | 131 | 1083 | | | +20C _H | 0 ~ 15(15) | |
| | OCR1D12 コンペアマッチ割り込み | | 132 | 1084 | | | +210 _H | 0 ~ 15(15) | |
| | OCR2D12 コンペアマッチ割り込み | | 133 | 1085 | | | +214 _H | 0 ~ 15(15) | |
| | OCR1D13 コンペアマッチ割り込み | | 134 | 1086 | | | +218 _H | 0 ~ 15(15) | |
| | OCR2D13 コンペアマッチ割り込み | | 135 | 1087 | | | +21C _H | 0 ~ 15(15) | |
| | TCNT1D1 オーバフロー割り込み | | 136 | 1088 | | | +220 _H | 0 ~ 15(15) | |
| | TCNT2D1 オーバフロー割り込み | | 137 | 1089 | | | +224 _H | 0 ~ 15(15) | |
| | DCNTD10 ダウンカウンタアンダフロー 割り込み | | 138 | 108A | | | +228 _H | 0 ~ 15(15) | |
| | DCNTD11 ダウンカウンタアンダフロー 割り込み | | 139 | 108B | | | +22C _H | 0 ~ 15(15) | |
| | DCNTD12 ダウンカウンタアンダフロー 割り込み | | 140 | 108C | | | +230 _H | 0 ~ 15(15) | |
| | DCNTD13 ダウンカウンタアンダフロー 割り込み | | 141 | 108D | | | +234 _H | 0 ~ 15(15) | |
| | OCR1D20 コンペアマッチ割り込み | | 142 | 108E | | | +238 _H | 0 ~ 15(15) | |
| | OCR2D20 コンペアマッチ割り込み | | 143 | 108F | | | +23C _H | 0 ~ 15(15) | |

表 6.14 割り込み例外ハンドラと優先順位 (6/16)

| 機能・ モジュール | 割り込み要因名 | レベル 割り込み注 | EIINT 割り込み チャンネル 番号 | 要因 コード | オフセットアドレス | | 割り込み 優先順位 (初期値) | デフォルト 優先順位 | |
|---------------------|-------------------------------|--------------|------------------------------|-------------------|--|--|-----------------------|---------------|--------------------|
| | | | | | 直接分岐方式 | | | | テーブル 参照方式 注3 |
| | | | | | RINT = 0 注1 | RINT = 1 注2 | | | |
| ATU-IV TimerD | OCR1D21 コンペアマッチ割り込み | | 144 | 1090 | 割り込み チャンネルに 関係なく、 オフセット アドレスは、 優先度によ って +100 _H ~ +1F0 _H の範 囲で決定さ れます | 優先度に関 係なく、オ フセットア ドレスは、 一律 +100 _H | +240 _H | 0 ~ 15(15) | 優先高 ↑ |
| | OCR2D21 コンペアマッチ割り込み | | 145 | 1091 | | | +244 _H | 0 ~ 15(15) | |
| | OCR1D22 コンペアマッチ割り込み | | 146 | 1092 | | | +248 _H | 0 ~ 15(15) | |
| | OCR2D22 コンペアマッチ割り込み | | 147 | 1093 | | | +24C _H | 0 ~ 15(15) | |
| | OCR1D23 コンペアマッチ割り込み | | 148 | 1094 | | | +250 _H | 0 ~ 15(15) | |
| | OCR2D23 コンペアマッチ割り込み | | 149 | 1095 | | | +254 _H | 0 ~ 15(15) | |
| | TCNT1D2 オーバフロー割り込み | | 150 | 1096 | | | +258 _H | 0 ~ 15(15) | |
| | TCNT2D2 オーバフロー割り込み | | 151 | 1097 | | | +25C _H | 0 ~ 15(15) | |
| | DCNTD20 ダウンカウンタアンダフロー 割り込み | | 152 | 1098 | | | +260 _H | 0 ~ 15(15) | |
| | DCNTD21 ダウンカウンタアンダフロー 割り込み | | 153 | 1099 | | | +264 _H | 0 ~ 15(15) | |
| | DCNTD22 ダウンカウンタアンダフロー 割り込み | | 154 | 109A | | | +268 _H | 0 ~ 15(15) | |
| | DCNTD23 ダウンカウンタアンダフロー 割り込み | | 155 | 109B | | | +26C _H | 0 ~ 15(15) | |
| | OCR1D30 コンペアマッチ割り込み | | 156 | 109C | | | +270 _H | 0 ~ 15(15) | |
| | OCR2D30 コンペアマッチ割り込み | | 157 | 109D | | | +274 _H | 0 ~ 15(15) | |
| | OCR1D31 コンペアマッチ割り込み | | 158 | 109E | | | +278 _H | 0 ~ 15(15) | |
| | OCR2D31 コンペアマッチ割り込み | | 159 | 109F | | | +27C _H | 0 ~ 15(15) | |
| | OCR1D32 コンペアマッチ割り込み | | 160 | 10A0 | | | +280 _H | 0 ~ 15(15) | |
| | OCR2D32 コンペアマッチ割り込み | | 161 | 10A1 | | | +284 _H | 0 ~ 15(15) | |
| | OCR1D33 コンペアマッチ割り込み | | 162 | 10A2 | | | +288 _H | 0 ~ 15(15) | |
| | OCR2D33 コンペアマッチ割り込み | | 163 | 10A3 | | | +28C _H | 0 ~ 15(15) | |
| | TCNT1D3 オーバフロー割り込み | | 164 | 10A4 | | | +290 _H | 0 ~ 15(15) | |
| | TCNT2D3 オーバフロー割り込み | | 165 | 10A5 | | | +294 _H | 0 ~ 15(15) | |
| | DCNTD30 ダウンカウンタアンダフロー 割り込み | | 166 | 10A6 | | | +298 _H | 0 ~ 15(15) | |
| | DCNTD31 ダウンカウンタアンダフロー 割り込み | | 167 | 10A7 | | | +29C _H | 0 ~ 15(15) | |
| | DCNTD32 ダウンカウンタアンダフロー 割り込み | | 168 | 10A8 | | | +2A0 _H | 0 ~ 15(15) | |
| | DCNTD33 ダウンカウンタアンダフロー 割り込み | | 169 | 10A9 | | | +2A4 _H | 0 ~ 15(15) | |
| | OCR1D40 コンペアマッチ割り込み | | 170 | 10AA | | | +2A8 _H | 0 ~ 15(15) | |
| | OCR2D40 コンペアマッチ割り込み | | 171 | 10AB | | | +2AC _H | 0 ~ 15(15) | |
| | OCR1D41 コンペアマッチ割り込み | | 172 | 10AC | | | +2B0 _H | 0 ~ 15(15) | |
| | OCR2D41 コンペアマッチ割り込み | | 173 | 10AD | | | +2B4 _H | 0 ~ 15(15) | |
| OCR1D42 コンペアマッチ割り込み | | 174 | 10AE | +2B8 _H | 0 ~ 15(15) | | | | |

表 6.14 割り込み例外ハンドラと優先順位 (7/16)

| 機能・ モジュール | 割り込み要因名 | レベル 割り込み ^注 | EIINT 割り込み チャンネル 番号 | 要因 コード | オフセットアドレス | | 割り込み 優先順位 (初期値) | デフォルト 優先順位 | | | |
|---------------|---------------------------------------|--------------------------|------------------------------|-----------|--|--|-----------------------|---------------|----------------------------|--|--|
| | | | | | 直接分岐方式 | | | | テーブル 参照方式 ^{注3} | | |
| | | | | | RINT = 0 ^{注1} | RINT = 1 ^{注2} | | | | | |
| ATU-IV TimerD | OCR2D42 コンペアマッチ割り込み | | 175 | 10AF | 割り込み チャンネルに 関係なく、 オフセット アドレスは、 優先度によ って +100 _H ~ +1F0 _H の範 囲で決定さ れます | 優先度に関 係なく、オ フセットア ドレスは、 一律 +100 _H | +2BC _H | 0 ~ 15(15) | 優先高 ↑ | | |
| | OCR1D43 コンペアマッチ割り込み | | 176 | 10B0 | | | +2C0 _H | 0 ~ 15(15) | | | |
| | OCR2D43 コンペアマッチ割り込み | | 177 | 10B1 | | | +2C4 _H | 0 ~ 15(15) | | | |
| | TCNT1D4 オーバフロー割り込み | | 178 | 10B2 | | | +2C8 _H | 0 ~ 15(15) | | | |
| | TCNT2D4 オーバフロー割り込み | | 179 | 10B3 | | | +2CC _H | 0 ~ 15(15) | | | |
| ATU-IV TimerD | DCNTD40 ダウンカウンタアンダフロー 割り込み | | 180 | 10B4 | | | +2D0 _H | 0 ~ 15(15) | | | |
| TSG2_0 | TSG20 コンペアー一致割り込み 1 (INTTSG20I1) | | | | | | | | | | |
| ATU-IV TimerD | DCNTD41 ダウンカウンタアンダフロー 割り込み | | 181 | 10B5 | | | +2D4 _H | 0 ~ 15(15) | | | |
| TSG2_0 | TSG20 コンペアー一致割り込み 2 (INTTSG20I2) | | | | | | | | | | |
| ATU-IV TimerD | DCNTD42 ダウンカウンタアンダフロー 割り込み | | 182 | 10B6 | | | +2D8 _H | 0 ~ 15(15) | | | |
| TSG2_0 | TSG20 コンペアー一致割り込み 3 (INTTSG20I3) | | | | | | | | | | |
| ATU-IV TimerD | DCNTD43 ダウンカウンタアンダフロー 割り込み | | 183 | 10B7 | | | +2DC _H | 0 ~ 15(15) | | | |
| TSG2_0 | TSG20 コンペアー一致割り込み 4 (INTTSG20I4) | | | | | | | | | | |
| ATU-IV TimerD | Reserved | | 184 | 10B8 | | | +2E0 _H | 0 ~ 15(15) | | | |
| TSG2_0 | TSG20 コンペアー一致割り込み 5 (INTTSG20I5) | | | | | | | | | | |
| ATU-IV TimerD | Reserved | | 185 | 10B9 | | | +2E4 _H | 0 ~ 15(15) | | | |
| TSG2_0 | TSG20 コンペアー一致割り込み 6 (INTTSG20I6) | | | | | | | | | | |
| ATU-IV TimerD | Reserved | | 186 | 10BA | | | +2E8 _H | 0 ~ 15(15) | | | |
| TSG2_0 | TSG20 コンペアー一致割り込み 7 (INTTSG20I7) | | | | | | | | | | |
| ATU-IV TimerD | Reserved | | 187 | 10BB | +2EC _H | 0 ~ 15(15) | | | | | |
| TSG2_0 | TSG20 コンペアー一致割り込み 8 (INTTSG20I8) | | | | | | | | | | |
| ATU-IV TimerD | Reserved | | 188 | 10BC | +2F0 _H | 0 ~ 15(15) | | | | | |
| TSG2_0 | TSG20 コンペアー一致割り込み 9 (INTTSG20I9) | | | | | | | | | | |
| ATU-IV TimerD | Reserved | | 189 | 10BD | +2F4 _H | 0 ~ 15(15) | | | | | |
| TSG2_0 | TSG20 コンペアー一致割り込み 10 (INTTSG20I10) | | | | | | | | | | |
| ATU-IV TimerD | Reserved | | 190 | 10BE | +2F8 _H | 0 ~ 15(15) | | | | | |
| TSG2_0 | TSG20 コンペアー一致割り込み 11 (INTTSG20I11) | | | | | | | | | | |
| ATU-IV TimerD | Reserved | | 191 | 10BF | +2FC _H | 0 ~ 15(15) | | | | | |
| TSG2_0 | TSG20 コンペアー一致割り込み 12 (INTTSG20I12) | | | | | | | | | | |
| ATU-IV TimerD | Reserved | | 192 | 10C0 | +300 _H | 0 ~ 15(15) | | | | | |
| TSG2_0 | TSG20 エラー割り込み (INTTSG20IER) | | | | | | | | | | |
| ATU-IV TimerD | Reserved | | 193 | 10C1 | +304 _H | 0 ~ 15(15) | | | | | |
| TSG2_0 | TSG20 ワーニング割り込み (INTTSG20IWN) | | | | | | | | | | |
| | Reserved | | 194 | 10C2 | | | | | | | |
| | Reserved | | 195 | 10C3 | | | | | | | |
| | Reserved | | 196 | 10C4 | | | | | | | |
| | Reserved | | 197 | 10C5 | | | | | | | |
| | Reserved | | 198 | 10C6 | | | | | | | |
| | Reserved | | 199 | 10C7 | | | | | | | |

表 6.14 割り込み例外ハンドラと優先順位 (8/16)

| 機能・ モジュール | 割り込み要因名 | レベル 割り込み注 | EIINT 割り込み チャンネル 番号 | 要因 コード | オフセットアドレス | | | 割り込み 優先順位 (初期値) | デフォルト 優先順位 |
|--------------|----------|--------------|------------------------------|-----------|--|--|--------------------|-----------------------|---------------|
| | | | | | 直接分岐方式 | | テーブル 参照方式 注3 | | |
| | | | | | RINT = 0 注1 | RINT = 1 注2 | | | |
| | Reserved | | 200 | 10C8 | 割り込み チャンネルに 関係なく、 オフセット アドレスは、 優先度によ って +100 _H ~ +1F0 _H の範 囲で決定さ れます | 優先度に関 係なく、オ フセットア ドレスは、 一律 +100 _H | | 優先高 ↑ | |
| | Reserved | | 201 | 10C9 | | | | | |
| | Reserved | | 202 | 10CA | | | | | |
| | Reserved | | 203 | 10CB | | | | | |
| | Reserved | | 204 | 10CC | | | | | |
| | Reserved | | 205 | 10CD | | | | | |
| | Reserved | | 206 | 10CE | | | | | |
| | Reserved | | 207 | 10CF | | | | | |
| | Reserved | | 208 | 10D0 | | | | | |
| | Reserved | | 209 | 10D1 | | | | | |
| | Reserved | | 210 | 10D2 | | | | | |
| | Reserved | | 211 | 10D3 | | | | | |
| | Reserved | | 212 | 10D4 | | | | | |
| | Reserved | | 213 | 10D5 | | | | | |
| | Reserved | | 214 | 10D6 | | | | | |
| | Reserved | | 215 | 10D7 | | | | | |
| | Reserved | | 216 | 10D8 | | | | | |
| | Reserved | | 217 | 10D9 | | | | | |
| | Reserved | | 218 | 10DA | | | | | |
| | Reserved | | 219 | 10DB | | | | | |
| | Reserved | | 220 | 10DC | | | | | |
| | Reserved | | 221 | 10DD | | | | | |
| | Reserved | | 222 | 10DE | | | | | |
| | Reserved | | 223 | 10DF | | | | | |
| | Reserved | | 224 | 10E0 | | | | | |
| | Reserved | | 225 | 10E1 | | | | | |
| | Reserved | | 226 | 10E2 | | | | | |
| | Reserved | | 227 | 10E3 | | | | | |
| | Reserved | | 228 | 10E4 | | | | | |
| | Reserved | | 229 | 10E5 | | | | | |
| | Reserved | | 230 | 10E6 | | | | | |
| | Reserved | | 231 | 10E7 | | | | | |
| | Reserved | | 232 | 10E8 | | | | | |
| | Reserved | | 233 | 10E9 | | | | | |
| | Reserved | | 234 | 10EA | | | | | |
| | Reserved | | 235 | 10EB | | | | | |
| | Reserved | | 236 | 10EC | | | | | |
| | Reserved | | 237 | 10ED | | | | | |
| | Reserved | | 238 | 10EE | | | | | |
| | Reserved | | 239 | 10EF | | | | | |
| | Reserved | | 240 | 10F0 | | | | | |
| | Reserved | | 241 | 10F1 | | | | | |

表 6.14 割り込み例外ハンドラと優先順位 (9/16)

| 機能・ モジュール | 割り込み要因名 | レベル 割り込み注 | EIINT 割り込み チャンネル 番号 | 要因 コード | オフセットアドレス | | | 割り込み 優先順位 (初期値) | デフォルト 優先順位 |
|---|---|--------------|------------------------------|-------------------|--|--|--------------------|-----------------------|---------------|
| | | | | | 直接分岐方式 | | テーブル 参照方式 注3 | | |
| | | | | | RINT = 0 注1 | RINT = 1 注2 | | | |
| ATU-IV TimerE | CYLRE00 サイクルコンペアマッチ/ DTRE00 デューティコンペアマッチ割 り込み | ○ | 242 | 10F2 | 割り込み チャンネルに 関係なく、 オフセット アドレスは、 優先度によ って +100 _H ~ +1F0 _H の範 囲で決定さ れます | 優先度に関 係なく、オ フセットア ドレスは、 一律 +100 _H | +3C8 _H | 0 ~ 15(15) | 優先高 ↑ |
| | CYLRE01 サイクルコンペアマッチ/ DTRE01 デューティコンペアマッチ割 り込み | ○ | 243 | 10F3 | | | +3CC _H | 0 ~ 15(15) | |
| | CYLRE02 サイクルコンペアマッチ/ DTRE02 デューティコンペアマッチ割 り込み | ○ | 244 | 10F4 | | | +3D0 _H | 0 ~ 15(15) | |
| | CYLRE03 サイクルコンペアマッチ/ DTRE03 デューティコンペアマッチ割 り込み | ○ | 245 | 10F5 | | | +3D4 _H | 0 ~ 15(15) | |
| | CYLRE10 サイクルコンペアマッチ/ DTRE10 デューティコンペアマッチ割 り込み | ○ | 246 | 10F6 | | | +3D8 _H | 0 ~ 15(15) | |
| | CYLRE11 サイクルコンペアマッチ/ DTRE11 デューティコンペアマッチ割 り込み | ○ | 247 | 10F7 | | | +3DC _H | 0 ~ 15(15) | |
| | CYLRE12 サイクルコンペアマッチ/ DTRE12 デューティコンペアマッチ割 り込み | ○ | 248 | 10F8 | | | +3E0 _H | 0 ~ 15(15) | |
| | CYLRE13 サイクルコンペアマッチ/ DTRE13 デューティコンペアマッチ割 り込み | ○ | 249 | 10F9 | | | +3E4 _H | 0 ~ 15(15) | |
| | CYLRE20 サイクルコンペアマッチ/ DTRE20 デューティコンペアマッチ割 り込み | ○ | 250 | 10FA | | | +3E8 _H | 0 ~ 15(15) | |
| | CYLRE21 サイクルコンペアマッチ/ DTRE21 デューティコンペアマッチ割 り込み | ○ | 251 | 10FB | | | +3EC _H | 0 ~ 15(15) | |
| | CYLRE22 サイクルコンペアマッチ/ DTRE22 デューティコンペアマッチ割 り込み | ○ | 252 | 10FC | | | +3F0 _H | 0 ~ 15(15) | |
| | CYLRE23 サイクルコンペアマッチ/ DTRE23 デューティコンペアマッチ割 り込み | ○ | 253 | 10FD | | | +3F4 _H | 0 ~ 15(15) | |
| | CYLRE30 サイクルコンペアマッチ/ DTRE30 デューティコンペアマッチ割 り込み | ○ | 254 | 10FE | | | +3F8 _H | 0 ~ 15(15) | |
| | CYLRE31 サイクルコンペアマッチ/ DTRE31 デューティコンペアマッチ割 り込み | ○ | 255 | 10FF | | | +3FC _H | 0 ~ 15(15) | |
| | CYLRE32 サイクルコンペアマッチ/ DTRE32 デューティコンペアマッチ割 り込み | ○ | 256 | 1100 | | | +400 _H | 0 ~ 15(15) | |
| | CYLRE33 サイクルコンペアマッチ/ DTRE33 デューティコンペアマッチ割 り込み | ○ | 257 | 1101 | | | +404 _H | 0 ~ 15(15) | |
| | CYLRE40 サイクルコンペアマッチ/ DTRE40 デューティコンペアマッチ割 り込み | ○ | 258 | 1102 | | | +408 _H | 0 ~ 15(15) | |
| | CYLRE41 サイクルコンペアマッチ/ DTRE41 デューティコンペアマッチ割 り込み | ○ | 259 | 1103 | | | +40C _H | 0 ~ 15(15) | |
| | CYLRE42 サイクルコンペアマッチ/ DTRE42 デューティコンペアマッチ割 り込み | ○ | 260 | 1104 | | | +410 _H | 0 ~ 15(15) | |
| | CYLRE43 サイクルコンペアマッチ/ DTRE43 デューティコンペアマッチ割 り込み | ○ | 261 | 1105 | | | +414 _H | 0 ~ 15(15) | |
| CYLRE50 サイクルコンペアマッチ/ DTRE50 デューティコンペアマッチ割 り込み | ○ | 262 | 1106 | +418 _H | 0 ~ 15(15) | | | | |
| CYLRE51 サイクルコンペアマッチ/ DTRE51 デューティコンペアマッチ割 り込み | ○ | 263 | 1107 | +41C _H | 0 ~ 15(15) | | | | |
| CYLRE52 サイクルコンペアマッチ/ DTRE52 デューティコンペアマッチ割 り込み | ○ | 264 | 1108 | +420 _H | 0 ~ 15(15) | | | | |

表 6.14 割り込み例外ハンドラと優先順位 (10/16)

| 機能・ モジュール | 割り込み要因名 | レベル 割り込み ^注 | EIINT 割り込み チャンネル 番号 | 要因 コード | オフセットアドレス | | | 割り込み 優先順位 (初期値) | デフォルト 優先順位 |
|-----------------------------|---|--------------------------|------------------------------|-------------------|--|--|----------------------------|-----------------------|---------------|
| | | | | | 直接分岐方式 | | テーブル 参照方式 ^{注3} | | |
| | | | | | RINT = 0 ^{注1} | RINT = 1 ^{注2} | | | |
| ATU-IV TimerE | CYLRE53 サイクルコンペアマッチ/ DTRE53 デューティコンペアマッチ割 り込み | ○ | 265 | 1109 | 割り込み チャンネルに 関係なく、 オフセット アドレスは、 優先度によ って +100 _H ~ +1F0 _H の範 囲で決定さ れます | 優先度に関 係なく、オ フセットア ドレスは、 一律 +100 _H | +424 _H | 0 ~ 15(15) | 優先高 ↑ |
| | CYLRE60 サイクルコンペアマッチ/ DTRE60 デューティコンペアマッチ割 り込み | ○ | 266 | 110A | | | +428 _H | 0 ~ 15(15) | |
| | CYLRE61 サイクルコンペアマッチ/ DTRE61 デューティコンペアマッチ割 り込み | ○ | 267 | 110B | | | +42C _H | 0 ~ 15(15) | |
| | CYLRE62 サイクルコンペアマッチ/ DTRE62 デューティコンペアマッチ割 り込み | ○ | 268 | 110C | | | +430 _H | 0 ~ 15(15) | |
| | CYLRE63 サイクルコンペアマッチ/ DTRE63 デューティコンペアマッチ割 り込み | ○ | 269 | 110D | | | +434 _H | 0 ~ 15(15) | |
| ATU-IV TimerF | タイマ F0 オーバフロー割り込み | ○ | 270 | 110E | +438 _H | 0 ~ 15(15) | | | |
| | タイマ F1 オーバフロー割り込み | ○ | 271 | 110F | +43C _H | 0 ~ 15(15) | | | |
| | タイマ F2 オーバフロー割り込み | ○ | 272 | 1110 | +440 _H | 0 ~ 15(15) | | | |
| | タイマ F3 オーバフロー割り込み | ○ | 273 | 1111 | +444 _H | 0 ~ 15(15) | | | |
| | タイマ F4 オーバフロー割り込み | ○ | 274 | 1112 | +448 _H | 0 ~ 15(15) | | | |
| | タイマ F5 オーバフロー割り込み | ○ | 275 | 1113 | +44C _H | 0 ~ 15(15) | | | |
| | タイマ F6 オーバフロー割り込み | ○ | 276 | 1114 | +450 _H | 0 ~ 15(15) | | | |
| | タイマ F7 オーバフロー割り込み | ○ | 277 | 1115 | +454 _H | 0 ~ 15(15) | | | |
| | タイマ F8 オーバフロー割り込み | ○ | 278 | 1116 | +458 _H | 0 ~ 15(15) | | | |
| | タイマ F9 オーバフロー割り込み | ○ | 279 | 1117 | +45C _H | 0 ~ 15(15) | | | |
| | タイマ F10 オーバフロー割り込み | ○ | 280 | 1118 | +460 _H | 0 ~ 15(15) | | | |
| タイマ F11 オーバフロー割り込み | ○ | 281 | 1119 | +464 _H | 0 ~ 15(15) | | | | |
| | Reserved | | 282 | 111A | | | | | |
| | Reserved | | 283 | 111B | | | | | |
| | Reserved | | 284 | 111C | | | | | |
| | Reserved | | 285 | 111D | | | | | |
| ATU-IV TimerF | タイマ F0 インพุットキャプチャ割り込 み | | 286 | 111E | +478 _H | 0 ~ 15(15) | | | |
| | タイマ F1 インพุットキャプチャ割り込 み | | 287 | 111F | +47C _H | 0 ~ 15(15) | | | |
| | タイマ F2 インพุットキャプチャ割り込 み | | 288 | 1120 | +480 _H | 0 ~ 15(15) | | | |
| | タイマ F3 インพุットキャプチャ割り込 み | | 289 | 1121 | +484 _H | 0 ~ 15(15) | | | |
| | タイマ F4 インพุットキャプチャ割り込 み | | 290 | 1122 | +488 _H | 0 ~ 15(15) | | | |
| | タイマ F5 インพุットキャプチャ割り込 み | | 291 | 1123 | +48C _H | 0 ~ 15(15) | | | |
| | タイマ F6 インพุットキャプチャ割り込 み | | 292 | 1124 | +490 _H | 0 ~ 15(15) | | | |
| | タイマ F7 インพุットキャプチャ割り込 み | | 293 | 1125 | +494 _H | 0 ~ 15(15) | | | |
| | タイマ F8 インพุットキャプチャ割り込 み | | 294 | 1126 | +498 _H | 0 ~ 15(15) | | | |
| | タイマ F9 インพุットキャプチャ割り込 み | | 295 | 1127 | +49C _H | 0 ~ 15(15) | | | |
| | タイマ F10 インพุットキャプチャ割 り込み | | 296 | 1128 | +4A0 _H | 0 ~ 15(15) | | | |
| タイマ F11 インพุットキャプチャ割 り込み | | 297 | 1129 | +4A4 _H | 0 ~ 15(15) | | | | |
| | Reserved | | 298 | 112A | | | | | |
| | Reserved | | 299 | 112B | | | | | |
| | Reserved | | 300 | 112C | | | | | |
| | Reserved | | 301 | 112D | | | | | |

表 6.14 割り込み例外ハンドラと優先順位 (11/16)

| 機能・ モジュール | 割り込み要因名 | レベル 割り込み注 | EIINT 割り込み チャンネル 番号 | 要因 コード | オフセットアドレス | | 割り込み 優先順位 (初期値) | デフォルト 優先順位 | |
|---------------|-------------------------------|--------------|------------------------------|-----------|--|--|-----------------------|---------------|----------|
| | | | | | 直接分岐方式 | | | | |
| | | | | | RINT = 0 注1 | RINT = 1 注2 | | | |
| ATU-IV TimerG | OCRG0 コンペアマッチ割り込み | | 302 | 112E | 割り込み チャンネルに 関係なく、 オフセット アドレスは、 優先度によ って +100 _H ~ +1F0 _H の範 囲で決定さ れます | 優先度に関 係なく、オ フセットア ドレスは、 一律 +100 _H | +4B8 _H | 0 ~ 15(15) | ↑ 優先高 |
| | OCRG1 コンペアマッチ割り込み | | 303 | 112F | | | +4BC _H | 0 ~ 15(15) | |
| | OCRG2 コンペアマッチ割り込み | | 304 | 1130 | | | +4C0 _H | 0 ~ 15(15) | |
| | OCRG3 コンペアマッチ割り込み | | 305 | 1131 | | | +4C4 _H | 0 ~ 15(15) | |
| | OCRG4 コンペアマッチ割り込み | | 306 | 1132 | | | +4C8 _H | 0 ~ 15(15) | |
| | OCRG5 コンペアマッチ割り込み | | 307 | 1133 | | | +4CC _H | 0 ~ 15(15) | |
| | OCRG6 コンペアマッチ割り込み | | 308 | 1134 | | | +4D0 _H | 0 ~ 15(15) | |
| | OCRG7 コンペアマッチ割り込み | | 309 | 1135 | | | +4D4 _H | 0 ~ 15(15) | |
| | Reserved | | 310 | 1136 | | | | | |
| | Reserved | | 311 | 1137 | | | | | |
| ATU-IV TimerH | OCR1H コンペアマッチ割り込み | | 312 | 1138 | | | +4E0 _H | 0 ~ 15(15) | |
| ATU-IV TimerJ | FIFOJ0 FIFO データ フル割り込み | | 313 | 1139 | | | +4E4 _H | 0 ~ 15(15) | |
| | FIFOJ1 FIFO データ フル割り込み | | 314 | 113A | | | +4E8 _H | 0 ~ 15(15) | |
| | FIFOJ2 FIFO データ フル割り込み | | 315 | 113B | | | +4EC _H | 0 ~ 15(15) | |
| | FIFOJ3 FIFO データ フル割り込み | | 316 | 113C | | | +4F0 _H | 0 ~ 15(15) | |
| | Reserved | | 317 | 113D | | | | | |
| | Reserved | | 318 | 113E | | | | | |
| | Reserved | | 319 | 113F | | | | | |
| | Reserved | | 320 | 1140 | | | | | |
| ATU-IV TimerJ | TCNTJ0 オーバフロー割り込み | | 321 | 1141 | | | +504 _H | 0 ~ 15(15) | |
| | TCNTJ1 オーバフロー割り込み | | 322 | 1142 | | | +508 _H | 0 ~ 15(15) | |
| | TCNTJ2 オーバフロー割り込み | | 323 | 1143 | | | +50C _H | 0 ~ 15(15) | |
| | TCNTJ3 オーバフロー割り込み | | 324 | 1144 | | | +510 _H | 0 ~ 15(15) | |
| | Reserved | | 325 | 1145 | | | | | |
| | Reserved | | 326 | 1146 | | | | | |
| | Reserved | | 327 | 1147 | | | | | |
| | Reserved | | 328 | 1148 | | | | | |
| ATU-IV TimerJ | FIFOJ0 FIFO データオーバフロー割 り込み | | 329 | 1149 | | | +524 _H | 0 ~ 15(15) | |
| | FIFOJ1 FIFO データオーバフロー割 り込み | | 330 | 114A | | | +528 _H | 0 ~ 15(15) | |
| | FIFOJ2 FIFO データオーバフロー割 り込み | | 331 | 114B | | | +52C _H | 0 ~ 15(15) | |
| | FIFOJ3 FIFO データオーバフロー割 り込み | | 332 | 114C | | | +530 _H | 0 ~ 15(15) | |
| | Reserved | | 333 | 114D | | | | | |
| | Reserved | | 334 | 114E | | | | | |
| | Reserved | | 335 | 114F | | | | | |
| | Reserved | | 336 | 1150 | | | | | |

表 6.14 割り込み例外ハンドラと優先順位 (12/16)

| 機能・ モジュール | 割り込み要因名 | レベル 割り込み注 | EIINT 割り込み チャンネル 番号 | 要因 コード | オフセットアドレス | | 割り込み 優先順位 (初期値) | デフォルト 優先順位 | |
|------------------------------|-------------------------------------|--------------|------------------------------|-----------|--|--|-----------------------|---------------|----------|
| | | | | | 直接分岐方式 | | | | |
| | | | | | RINT = 0 注1 | RINT = 1 注2 | | | |
| TSG2_0 | TSG20 コンペアー一致割り込み 0 (INTTSG20I0) | | 337 | 1151 | 割り込み チャンネルに 関係なく、 オフセット アドレスは、 優先度によ って +100 _H ~ +1F0 _H の範 囲で決定さ れます | 優先度に関 係なく、オ フセットア ドレスは、 一律 +100 _H | +544 _H | 0 ~ 15(15) | 優先高 ↑ |
| | TSG20 山割り込み (INTTSG20IPEK) | | 338 | 1152 | | | +548 _H | 0 ~ 15(15) | |
| | TSG20 谷割り込み (INTTSG20IVLY) | | 339 | 1153 | | | +54C _H | 0 ~ 15(15) | |
| | Reserved | | 340 | 1154 | | | | | |
| | Reserved | | 341 | 1155 | | | | | |
| | Reserved | | 342 | 1156 | | | | | |
| APA | PWM 出力 ch.0 ステータス変化割り込 み | | 343 | 1157 | | +55C _H | 0 ~ 15(15) | | |
| | PWM 出力 ch.1 ステータス変化割り込 み | | 344 | 1158 | | +560 _H | 0 ~ 15(15) | | |
| | PWM 出力 ch.2 ステータス変化割り込 み | | 345 | 1159 | | +564 _H | 0 ~ 15(15) | | |
| | PWM 出力 ch.3 ステータス変化割り込 み | | 346 | 115A | | +568 _H | 0 ~ 15(15) | | |
| | PWM 出力 ch.4 ステータス変化割り込 み | | 347 | 115B | | +56C _H | 0 ~ 15(15) | | |
| | PWM 出力 ch.5 ステータス変化割り込 み | | 348 | 115C | | +570 _H | 0 ~ 15(15) | | |
| | PWM 出力 ch.6 ステータス変化割り込 み | | 349 | 115D | | +574 _H | 0 ~ 15(15) | | |
| | PWM 出力 ch.7 ステータス変化割り込 み | | 350 | 115E | | +578 _H | 0 ~ 15(15) | | |
| | PWM 出力 ch.8 ステータス変化割り込 み | | 351 | 115F | | +57C _H | 0 ~ 15(15) | | |
| | PWM 出力 ch.9 ステータス変化割り込 み | | 352 | 1160 | | +580 _H | 0 ~ 15(15) | | |
| | PWM 出力 ch.10 ステータス変化割り込 み | | 353 | 1161 | | +584 _H | 0 ~ 15(15) | | |
| | PWM 出力 ch.11 ステータス変化割り込 み | | 354 | 1162 | | +588 _H | 0 ~ 15(15) | | |
| | PWM 出力 ch.12 ステータス変化割り込 み | | 355 | 1163 | | +58C _H | 0 ~ 15(15) | | |
| | PWM 出力 ch.13 ステータス変化割り込 み | | 356 | 1164 | | +590 _H | 0 ~ 15(15) | | |
| | PWM 出力 ch.14 ステータス変化割り込 み | | 357 | 1165 | | +594 _H | 0 ~ 15(15) | | |
| PWM 出力 ch.15 ステータス変化割り込 み | | 358 | 1166 | | +598 _H | 0 ~ 15(15) | | | |
| DFE | CH0 出力データ割り込み/ CH0 条件一致割り込み | | 359 | 1167 | | +59C _H | 0 ~ 15(15) | | |
| | CH1 出力データ割り込み/ CH1 条件一致割り込み | | 360 | 1168 | | +5A0 _H | 0 ~ 15(15) | | |
| | CH2 出力データ割り込み/ CH2 条件一致割り込み | | 361 | 1169 | | +5A4 _H | 0 ~ 15(15) | | |
| | CH3 出力データ割り込み/ CH3 条件一致割り込み | | 362 | 116A | | +5A8 _H | 0 ~ 15(15) | | |
| | CH4 出力データ割り込み/ CH4 条件一致割り込み | | 363 | 116B | | +5AC _H | 0 ~ 15(15) | | |
| | CH5 出力データ割り込み/ CH5 条件一致割り込み | | 364 | 116C | | +5B0 _H | 0 ~ 15(15) | | |
| | CH6 出力データ割り込み/ CH6 条件一致割り込み | | 365 | 116D | | +5B4 _H | 0 ~ 15(15) | | |
| | CH7 出力データ割り込み/ CH7 条件一致割り込み | | 366 | 116E | | +5B8 _H | 0 ~ 15(15) | | |
| | CH8 出力データ割り込み/ CH8 条件一致割り込み | | 367 | 116F | | +5BC _H | 0 ~ 15(15) | | |
| | CH9 出力データ割り込み/ CH9 条件一致割り込み | | 368 | 1170 | | +5C0 _H | 0 ~ 15(15) | | |
| | CH10 出力データ割り込み | | 369 | 1171 | | +5C4 _H | 0 ~ 15(15) | | |
| CH11 出力データ割り込み | | 370 | 1172 | | +5C8 _H | 0 ~ 15(15) | | | |

表 6.14 割り込み例外ハンドラと優先順位 (13/16)

| 機能・モジュール | 割り込み要因名 | レベル割り込み注 | EIINT割り込みチャンネル番号 | 要因コード | オフセットアドレス | | 割り込み優先順位(初期値) | デフォルト優先順位 | |
|-------------------|-------------------------------------|-------------------|------------------|-------|---|--|-------------------|------------|----------|
| | | | | | 直接分岐方式 | | | | |
| | | | | | RINT = 0 注1 | RINT = 1 注2 | | | |
| DFE | CH12 出力データ割り込み | | 371 | 1173 | 割り込みチャンネルに関係なく、オフセットアドレスは、優先度によって+100 _H ~ +1F0 _H の範囲で決定されます | 優先度に関係なく、オフセットアドレスは、一律 +100 _H | +5CC _H | 0 ~ 15(15) | 優先高 ↑ |
| | CH13 出力データ割り込み | | 372 | 1174 | | | +5D0 _H | 0 ~ 15(15) | |
| | CH14 出力データ割り込み | | 373 | 1175 | | | +5D4 _H | 0 ~ 15(15) | |
| | CH15 出力データ割り込み | | 374 | 1176 | | | +5D8 _H | 0 ~ 15(15) | |
| ADCB | ADI00 ADC0 スキャングループ 0 終了割り込み | | 375 | 1177 | | | +5DC _H | 0 ~ 15(15) | |
| | ADI01 ADC0 スキャングループ 1 終了割り込み | | 376 | 1178 | | | +5E0 _H | 0 ~ 15(15) | |
| | ADI02 ADC0 スキャングループ 2 終了割り込み | | 377 | 1179 | | | +5E4 _H | 0 ~ 15(15) | |
| | ADI03 ADC0 スキャングループ 3 終了割り込み | | 378 | 117A | | | +5E8 _H | 0 ~ 15(15) | |
| | ADI04 ADC0 スキャングループ 4 終了割り込み | | 379 | 117B | | | +5EC _H | 0 ~ 15(15) | |
| | ADI10 ADC1 スキャングループ 0 終了割り込み | | 380 | 117C | | | +5F0 _H | 0 ~ 15(15) | |
| | ADI11 ADC1 スキャングループ 1 終了割り込み | | 381 | 117D | | | +5F4 _H | 0 ~ 15(15) | |
| | ADI12 ADC1 スキャングループ 2 終了割り込み | | 382 | 117E | | | +5F8 _H | 0 ~ 15(15) | |
| | ADI13 ADC1 スキャングループ 3 終了割り込み | | 383 | 117F | | | +5FC _H | 0 ~ 15(15) | |
| | ADI14 ADC1 スキャングループ 4 終了割り込み | | 384 | 1180 | | | +600 _H | 0 ~ 15(15) | |
| | ADC0 MPX 割り込み (ADMPXI0) | | 385 | 1181 | | | +604 _H | 0 ~ 15(15) | |
| | ADC1 MPX 割り込み (ADMPXI1) | | 386 | 1182 | | | +608 _H | 0 ~ 15(15) | |
| | ADE0 ADC0AD エラー割り込み | | 387 | 1183 | +60C _H | 0 ~ 15(15) | | | |
| | ADE1 ADC1AD エラー割り込み | | 388 | 1184 | +610 _H | 0 ~ 15(15) | | | |
| | ASF (AD 加算機能) | ASI0 ch0 積算終了割り込み | | 389 | 1185 | +614 _H | 0 ~ 15(15) | | |
| | | ASI1 ch1 積算終了割り込み | | 390 | 1186 | +618 _H | 0 ~ 15(15) | | |
| ASI2 ch2 積算終了割り込み | | | 391 | 1187 | +61C _H | 0 ~ 15(15) | | | |
| ASI3 ch3 積算終了割り込み | | | 392 | 1188 | +620 _H | 0 ~ 15(15) | | | |
| ASI4 ch4 積算終了割り込み | | | 393 | 1189 | +624 _H | 0 ~ 15(15) | | | |
| ASI5 ch5 積算終了割り込み | | | 394 | 118A | +628 _H | 0 ~ 15(15) | | | |
| ASI6 ch6 積算終了割り込み | | | 395 | 118B | +62C _H | 0 ~ 15(15) | | | |
| ASI7 ch7 積算終了割り込み | | | 396 | 118C | +630 _H | 0 ~ 15(15) | | | |
| ASI8 ch8 積算終了割り込み | | | 397 | 118D | +634 _H | 0 ~ 15(15) | | | |
| ASI9 ch9 積算終了割り込み | | | 398 | 118E | +638 _H | 0 ~ 15(15) | | | |
| DS-ADC | DSADEn DSADcnAD エラー割り込み (n = 0 ~ 7) | | 400 | 1190 | +640 _H | 0 ~ 15(15) | | | |
| | Reserved | | 401 | 1191 | | | | | |
| | Reserved | | 402 | 1192 | | | | | |
| | Reserved | | 403 | 1193 | | | | | |
| | Reserved | | 404 | 1194 | | | | | |
| | Reserved | | 405 | 1195 | | | | | |
| | Reserved | | 406 | 1196 | | | | | |
| | Reserved | | 407 | 1197 | | | | | |
| | Reserved | | 408 | 1198 | | | | | |
| | Reserved | | 409 | 1199 | | | | | |
| | Reserved | | 410 | 119A | | | | | |
| Reserved | | 411 | 119B | | | | | | |

表 6.14 割り込み例外ハンドラと優先順位 (14/16)

| 機能・ モジュール | 割り込み要因名 | レベル 割り込み注 | EIINT 割り込み チャンネル 番号 | 要因 コード | オフセットアドレス | | 割り込み 優先順位 (初期値) | デフォルト 優先順位 | | | |
|---------------|--|--------------|------------------------------|-----------|--|--|-----------------------|---------------|----------|--|--|
| | | | | | 直接分岐方式 | | | | | | |
| | | | | | RINT = 0 注1 | RINT = 1 注2 | | | | | |
| RS-CAN | 受信 FIFO 割り込み | ○ | 412 | 119C | 割り込み チャンネルに 関係なく、 オフセット アドレスは、 優先度によ って +100 _H ~ +1F0 _H の範 囲で決定さ れます | 優先度に関 係なく、オ フセットア ドレスは、 一律 +100 _H | +670 _H | 0 ~ 15(15) | 優先高 ↑ | | |
| | グローバルエラー割り込み | ○ | 413 | 119D | | | +674 _H | 0 ~ 15(15) | | | |
| RS-CAN-Ch0 | 送受信 FIFO 受信完了割り込み | ○ | 414 | 119E | | | +678 _H | 0 ~ 15(15) | | | |
| | エラー割り込み | ○ | 415 | 119F | | | +67C _H | 0 ~ 15(15) | | | |
| | 送信割り込み | ○ | 416 | 11A0 | | | +680 _H | 0 ~ 15(15) | | | |
| RS-CAN-Ch1 | 送受信 FIFO 受信完了割り込み | ○ | 417 | 11A1 | | | +684 _H | 0 ~ 15(15) | | | |
| | エラー割り込み | ○ | 418 | 11A2 | | | +688 _H | 0 ~ 15(15) | | | |
| | 送信割り込み | ○ | 419 | 11A3 | | | +68C _H | 0 ~ 15(15) | | | |
| RS-CAN-Ch2 | 送受信 FIFO 受信完了割り込み | ○ | 420 | 11A4 | | | +690 _H | 0 ~ 15(15) | | | |
| | エラー割り込み | ○ | 421 | 11A5 | | | +694 _H | 0 ~ 15(15) | | | |
| | 送信割り込み | ○ | 422 | 11A6 | | | +698 _H | 0 ~ 15(15) | | | |
| RS-CAN-Ch3 | 送受信 FIFO 受信完了割り込み | ○ | 423 | 11A7 | | | +69C _H | 0 ~ 15(15) | | | |
| | エラー割り込み | ○ | 424 | 11A8 | | | +6A0 _H | 0 ~ 15(15) | | | |
| | 送信割り込み | ○ | 425 | 11A9 | | | +6A4 _H | 0 ~ 15(15) | | | |
| | Reserved | | 426 | 11AA | | | | | | | |
| | Reserved | | 427 | 11AB | | | | | | | |
| | Reserved | | 428 | 11AC | | | | | | | |
| LIN (RLIN2_0) | 送信完了割り込み/受信完了割り込み /エラー検出割り込み | ○ | 429 | 11AD | | | +6B4 _H | 0 ~ 15(15) | | | |
| | Reserved | | 430 | 11AE | | | | | | | |
| | Reserved | | 431 | 11AF | | | | | | | |
| | Reserved | | 432 | 11B0 | | | | | | | |
| | Reserved | | 433 | 11B1 | | | | | | | |
| RHSB_0 | データフレーム送信開始割り込み/ データフレーム送信実行割り込み | ○ | 434 | 11B2 | | | +6C8 _H | 0 ~ 15(15) | | | |
| | 送信開始割り込み/ コマンドフレーム送信実行割り込み | ○ | 435 | 11B3 | | | +6CC _H | 0 ~ 15(15) | | | |
| | 緊急フレーム送信実行割り込み | ○ | 436 | 11B4 | | | +6D0 _H | 0 ~ 15(15) | | | |
| | データ受信割り込み | ○ | 437 | 11B5 | | | +6D4 _H | 0 ~ 15(15) | | | |
| | アップストリームエラー割り込み/ タイムアウト検出割り込み/ データ消失割り込み | ○ | 438 | 11B6 | | | +6D8 _H | 0 ~ 15(15) | | | |
| | Reserved | | 439 | 11B7 | | | | | | | |
| | Reserved | | 440 | 11B8 | | | | | | | |
| | Reserved | | 441 | 11B9 | | | | | | | |
| | Reserved | | 442 | 11BA | | | | | | | |
| | Reserved | | 443 | 11BB | | | | | | | |
| SCI_0 | ERI (受信エラー) | ○ | 444 | 11BC | +6F0 _H | 0 ~ 15(15) | | | | | |
| | RXI (受信データフル) | | 445 | 11BD | +6F4 _H | 0 ~ 15(15) | | | | | |
| | TXI (送信データエンpty) | | 446 | 11BE | +6F8 _H | 0 ~ 15(15) | | | | | |
| | TEI (送信終了) | ○ | 447 | 11BF | +6FC _H | 0 ~ 15(15) | | | | | |
| SCI_1 | ERI (受信エラー) | ○ | 448 | 11C0 | +700 _H | 0 ~ 15(15) | | | | | |
| | RXI (受信データフル) | | 449 | 11C1 | +704 _H | 0 ~ 15(15) | | | | | |
| | TXI (送信データエンpty) | | 450 | 11C2 | +708 _H | 0 ~ 15(15) | | | | | |
| | TEI (送信終了) | ○ | 451 | 11C3 | +70C _H | 0 ~ 15(15) | | | | | |
| SCI_2 | ERI (受信エラー) | ○ | 452 | 11C4 | +710 _H | 0 ~ 15(15) | | | | | |
| | RXI (受信データフル) | | 453 | 11C5 | +714 _H | 0 ~ 15(15) | | | | | |
| | TXI (送信データエンpty) | | 454 | 11C6 | +718 _H | 0 ~ 15(15) | | | | | |
| | TEI (送信終了) | ○ | 455 | 11C7 | +71C _H | 0 ~ 15(15) | | | | | |

表 6.14 割り込み例外ハンドラと優先順位 (15/16)

| 機能・モジュール | 割り込み要因名 | レベル 割り込み注 | EIINT 割り込み チャンネル 番号 | 要因 コード | オフセットアドレス | | 割り込み 優先順位 (初期値) | デフォルト 優先順位 | |
|----------|---------------------------|--------------|------------------------------|-----------|--|--|-----------------------|---------------|----------|
| | | | | | 直接分岐方式 | | | | |
| | | | | | RINT = 0 注1 | RINT = 1 注2 | | | |
| SCI_3 | ERI (受信エラー) | ○ | 456 | 11C8 | 割り込み チャンネルに 関係なく、 オフセット アドレスは、 優先度によ って +100 _H ~ +1F0 _H の範 囲で決定さ れます | 優先度に関 係なく、オ フセットア ドレスは、 一律 +100 _H | +720 _H | 0 ~ 15(15) | 優先高 ↑ |
| | RXI (受信データフル) | | 457 | 11C9 | | | +724 _H | 0 ~ 15(15) | |
| | TXI (送信データエンプティ) | | 458 | 11CA | | | +728 _H | 0 ~ 15(15) | |
| | TEI (送信終了) | ○ | 459 | 11CB | | | +72C _H | 0 ~ 15(15) | |
| CSIH_0 | 通信ステータス割り込み (INT_CSIHTIC) | | 460 | 11CC | | | +730 _H | 0 ~ 15(15) | |
| | 受信ステータス割り込み (INT_CSIHTIR) | | 461 | 11CD | | | +734 _H | 0 ~ 15(15) | |
| | 通信エラー割り込み (INT_CSIHTIRE) | | 462 | 11CE | | | +738 _H | 0 ~ 15(15) | |
| | ジョブ完了割り込み (INT_CSIHTIJC) | | 463 | 11CF | | | +73C _H | 0 ~ 15(15) | |
| CSIH_1 | 通信ステータス割り込み (INT_CSIHTIC) | | 464 | 11D0 | | | +740 _H | 0 ~ 15(15) | |
| | 受信ステータス割り込み (INT_CSIHTIR) | | 465 | 11D1 | | | +744 _H | 0 ~ 15(15) | |
| | 通信エラー割り込み (INT_CSIHTIRE) | | 466 | 11D2 | | | +748 _H | 0 ~ 15(15) | |
| | ジョブ完了割り込み (INT_CSIHTIJC) | | 467 | 11D3 | | | +74C _H | 0 ~ 15(15) | |
| CSIH_2 | 通信ステータス割り込み (INT_CSIHTIC) | | 468 | 11D4 | | | +750 _H | 0 ~ 15(15) | |
| | 受信ステータス割り込み (INT_CSIHTIR) | | 469 | 11D5 | | | +754 _H | 0 ~ 15(15) | |
| | 通信エラー割り込み (INT_CSIHTIRE) | | 470 | 11D6 | | | +758 _H | 0 ~ 15(15) | |
| | ジョブ完了割り込み (INT_CSIHTIJC) | | 471 | 11D7 | | | +75C _H | 0 ~ 15(15) | |
| | Reserved | | 472 | 11D8 | | | | | |
| | Reserved | | 473 | 11D9 | | | | | |
| | Reserved | | 474 | 11DA | | | | | |
| | Reserved | | 475 | 11DB | | | | | |
| | Reserved | | 476 | 11DC | | | | | |
| | Reserved | | 477 | 11DD | | | | | |
| | Reserved | | 478 | 11DE | | | | | |
| | Reserved | | 479 | 11DF | | | | | |
| DTS | ch31-0 転送完了割り込み | ○ | 480 | 11E0 | +780 _H | 0 ~ 15(15) | | | |
| | ch63-32 転送完了割り込み | ○ | 481 | 11E1 | +784 _H | 0 ~ 15(15) | | | |
| | ch95-64 転送完了割り込み | ○ | 482 | 11E2 | +788 _H | 0 ~ 15(15) | | | |
| | ch127-96 転送完了割り込み | ○ | 483 | 11E3 | +78C _H | 0 ~ 15(15) | | | |
| | ch31-0 転送回数一致割り込み | ○ | 484 | 11E4 | +790 _H | 0 ~ 15(15) | | | |
| | ch63-32 転送回数一致割り込み | ○ | 485 | 11E5 | +794 _H | 0 ~ 15(15) | | | |
| | ch95-64 転送回数一致割り込み | ○ | 486 | 11E6 | +798 _H | 0 ~ 15(15) | | | |
| | ch127-96 転送回数一致割り込み | ○ | 487 | 11E7 | +79C _H | 0 ~ 15(15) | | | |
| | Reserved | | 488 | 11E8 | | | | | |
| DFE | エラー割り込み | | 489 | 11E9 | +7A4 _H | 0 ~ 15(15) | | | |
| | Reserved | | 490 | 11EA | | | | | |
| | Reserved | | 491 | 11EB | | | | | |
| | Reserved | | 492 | 11EC | | | | | |
| | Reserved | | 493 | 11ED | | | | | |

表 6.14 割り込み例外ハンドラと優先順位 (16/16)

| 機能・ モジュール | 割り込み要因名 | レベル 割り込み注 | EIINT 割り込み チャンネル 番号 | 要因 コード | オフセットアドレス | | 割り込み 優先順位 (初期値) | デフォルト 優先順位 |
|--------------|----------|--------------|------------------------------|-----------|--|--|-----------------------|---------------|
| | | | | | 直接分岐方式 | | | |
| | | | | | RINT = 0 注1 | RINT = 1 注2 | | |
| | Reserved | | 494 | 11EE | 割り込み チャンネルに 関係なく、 オフセット アドレスは、 優先度によ って +100 _H ~ +1F0 _H の範 囲で決定さ れます | 優先度に関 係なく、オ フセットア ドレスは、 一律 +100 _H | | ↑ 優先高 |
| | Reserved | | 495 | 11EF | | | | |
| | Reserved | | 496 | 11F0 | | | | |
| | Reserved | | 497 | 11F1 | | | | |
| | Reserved | | 498 | 11F2 | | | | |
| | Reserved | | 499 | 11F3 | | | | |
| | Reserved | | 500 | 11F4 | | | | |
| | Reserved | | 501 | 11F5 | | | | |
| | Reserved | | 502 | 11F6 | | | | |
| | Reserved | | 503 | 11F7 | | | | |
| | Reserved | | 504 | 11F8 | | | | |
| | Reserved | | 505 | 11F9 | | | | |
| | Reserved | | 506 | 11FA | | | | |
| | Reserved | | 507 | 11FB | | | | |
| | Reserved | | 508 | 11FC | | | | |
| | Reserved | | 509 | 11FD | | | | |
| | Reserved | | 510 | 11FE | | | | |
| | Reserved | | 511 | 11FF | | | | |

注 レベル割り込みは割り込み要求を取り下げるには、割り込み処理内でソフトで各モジュールにあるステータスレジスタをクリアする必要があります。ステータスレジスタのクリアについては、「3.5.1 ストア命令の完了と後続命令の同期化」もご参照ください。

また、EICn.EICn ビットは 1 になります。EICn.EIRFn ビットはソフトでクリアできません。

注 1, 2, 3.「6.4 割り込み例外ハンドラと優先順位動作説明」をご参照ください。

備考 1. 『RH850/E1x フラッシュメモリ ユーザーズマニュアルハードウェア インタフェース編』をご参照ください。

6.5 動作説明

6.5.1 外部割り込み (NMI/IRQ)

外部から入力される割り込みは NMI と IRQ があります。NMI は 2 種類、IRQ は 4 種類のセンス方法から選択可能です。割り込みフローについては「**6.5.6 割り込み処理フロー**」を参照してください。

6.5.2 プロセッサ間割り込み

動作説明は「**3.2.3.1 プロセッサ間割り込み制御レジスタ**」、および「**6.5.6 割り込み処理フロー**」を参照してください。

6.5.3 ソフトウェア割り込み

動作説明は、「**6.2.9 SINTR0 ~ SINTR3 — ソフトウェア割り込みレジスタ**」、および「**6.5.6 割り込み処理フロー**」を参照してください。

6.5.4 DTS 割り込みのマージ機能

転送完了割り込み (128 本) と転送回数一致割り込み (128 本) は、32 本単位で 1 本にまとめられています。

複数の割り込み要因が発生した場合、どの割り込みを受け付けたかを判断できるよう、ステータスレジスタ (PINT0 ~ 7) は、受け付けた割り込み要因のうち、下位ビット側の 1 ビットのみセットされます。DTS 割り込みのマージによる割り込みフローについては、「**6.5.6 割り込み処理フロー**」を参照してください。

表 6.15 DTS 割り込み関連レジスタ

| 割り込み要因 | CH | ステータスレジスタ | クリアレジスタ |
|----------------|--------|-----------|----------|
| DTS 転送完了割り込み | 0-31 | PINT0 | PINTCLR0 |
| | 32-63 | PINT1 | PINTCLR1 |
| | 64-95 | PINT2 | PINTCLR2 |
| | 96-127 | PINT3 | PINTCLR3 |
| DTS 転送回数一致割り込み | 0-31 | PINT4 | PINTCLR4 |
| | 32-63 | PINT5 | PINTCLR5 |
| | 64-95 | PINT6 | PINTCLR6 |
| | 96-127 | PINT7 | PINTCLR7 |

6.5.5 ATU-IV/TSG2 マージ機能

ATU-IV タイマ割り込みと TSG2 の割り込みをシェアしており、表 6.16 に示す機能的な制限があります。

シェアの組み合わせを表 6.17 に示します。

表 6.16 ATU-IV タイマ D/TSG2 使用時の割り込み機能制限

| ATU-IV タイマ D (ch4) | TSG2 ^{注1} | 機能制限 |
|--------------------|--------------------|---|
| ① | ② | |
| ch4 | TSG2_0 | |
| ○ | × | ATU-IV タイマ D4 ダウンカウンタアンダーフロー割り込み使用時は、TSG2 (ch0) の compare matching 割り込み 1 ~ 4 (TSTINT1 ~ 4) を使用できない |
| × | ○ | TSG2 (ch0) の compare matching 割り込み 1 ~ 4 (TSTINT1 ~ 4) 使用時は、ATU-IV タイマ D4 ダウンカウンタアンダーフロー割り込みを使用できない |

注 1. TSG2 の周期割り込み/山割り込み/谷割り込みは、マージされておらず単独で使用可能です。

表 6.17 ATU-IV/TSG2 シェア対応表

| ATU-IV | TSG2 ^{注1} | シェア方法 |
|--------|--------------------|-------|
| ① | ② | OR |

注 1. TSG2 の周期割り込み/山割り込み/谷割り込みは、マージされておらず単独で使用可能です。

6.5.6 割り込み処理フロー

6.5.6.1 NMI 処理フロー

NMI 処理フロー例を図 6.1 に示します。

- NMI は、NMICTL レジスタの設定により、検出方法 (Fall エッジ、Rise エッジ) を選択します。
- NMI 検出後、INTC へ割り込み要求を出します。
- NMI 割り込みは、ほかの FE レベル割り込みが発生していても最優先で受け付けられます。CPU システムレジスタ PSW.NP の状態にかかわらず、マスクすることはできません。
復帰/回復が不可能なノンマスクابل割り込みです。

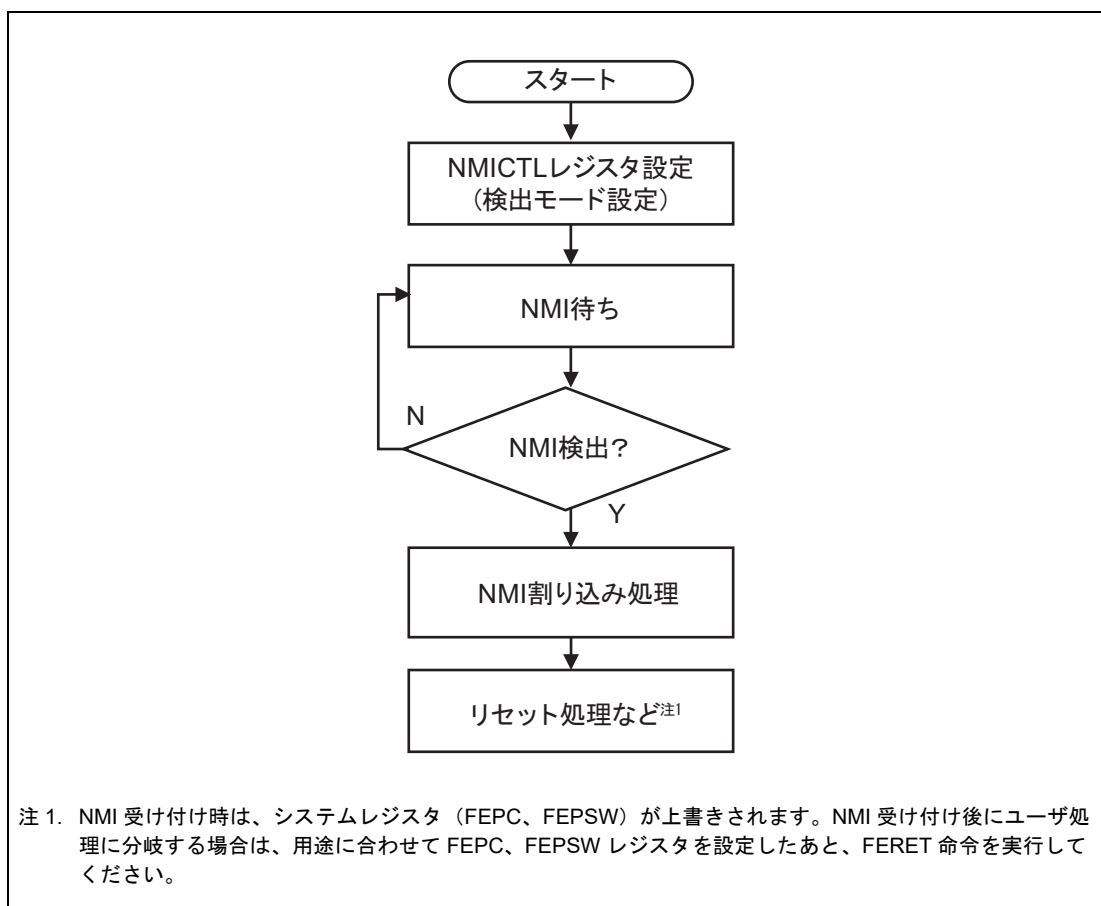


図 6.1 NMI 処理フロー例

6.5.6.2 外部割り込み処理フロー

IRQ（外部割り込み）処理フロー例を図 6.2 に示します。

- IRQ は、EXINTCTL レジスタの設定により、検出方法（エッジ検出／レベル検出）を選択します。
- IRQ 検出後、INTC へ割り込み要求を出します。
- レベル検出時、INTC 内での割り込み処理が終了し復帰する際は、IRQn 端子のネゲートを確認してから、割り込み復帰命令を実行してください。
- エッジ検出時、INTC 内での割り込み処理が終了し復帰する際は、EXINTSTR レジスタの割り込み要求をクリアしてから、割り込み復帰命令を実行してください。

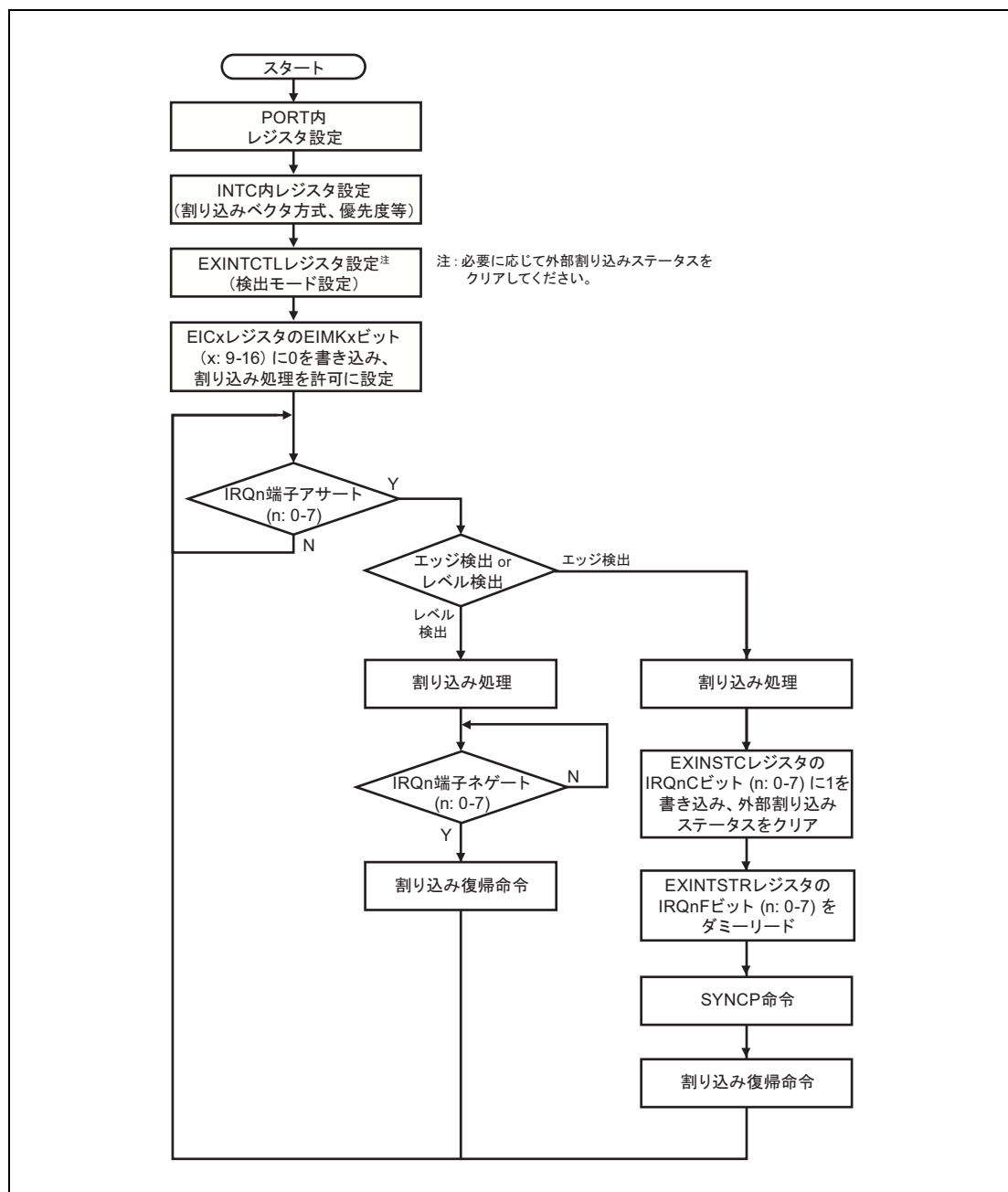


図 6.2 外部割り込み処理フロー例

6.5.6.3 プロセッサ間割り込みフロー

プロセッサ間割り込み処理フロー例を図 6.3 に示します。

- プロセッサ間割り込みは PE 間割り込みレジスタ (IPIR0 ~ 3) の割り込み要求先 PE の該当ビットに 1 を書き込むことで割り込み要求を発生します。
- PE 間割り込みレジスタ (IPIR0 ~ 3) の割り込み要求設定は、割り込み要求の通知を完了したら自動的に 0 にクリアされます。

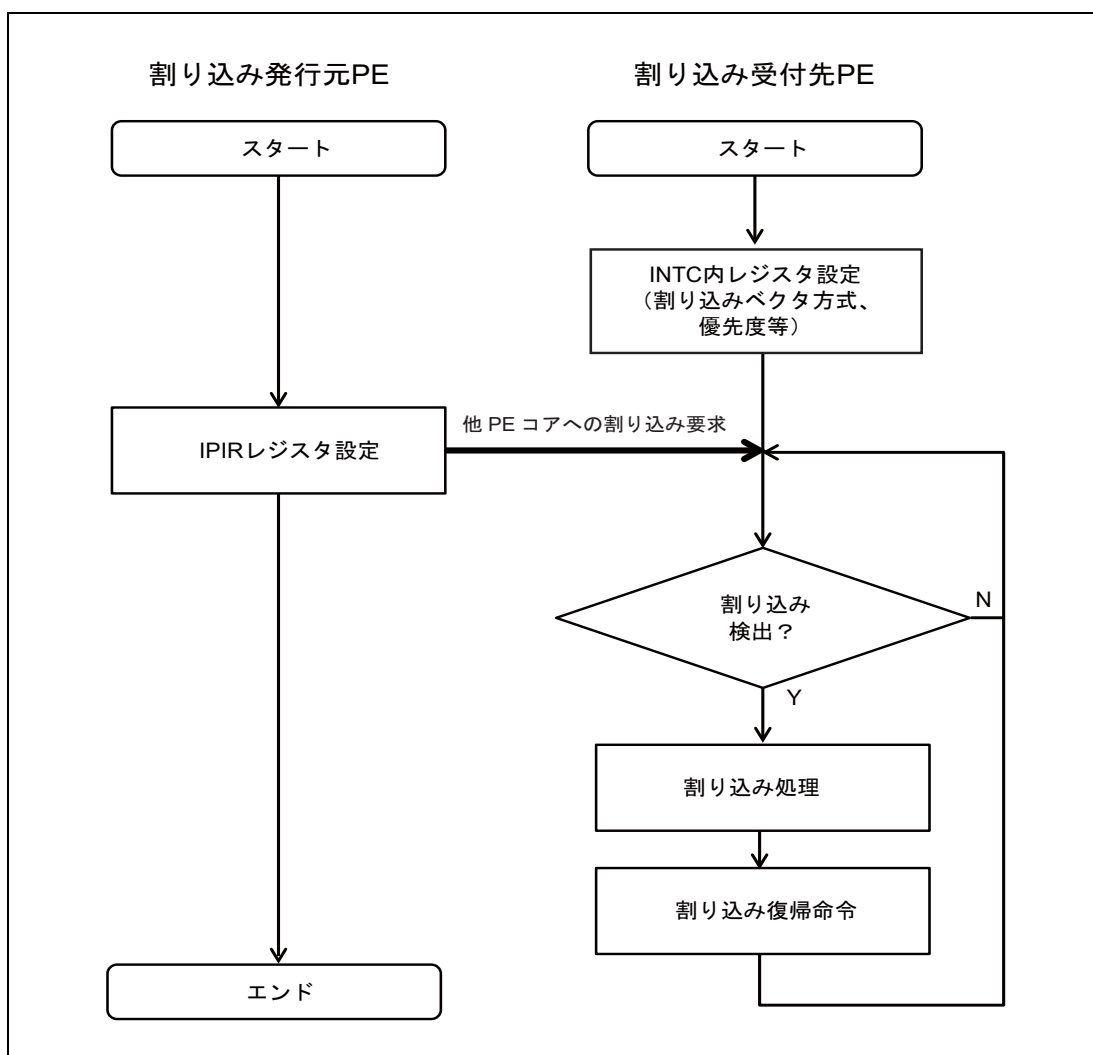


図 6.3 プロセッサ間割り込み処理フロー例

6.5.6.4 ソフトウェア割り込み処理フロー

ソフトウェア割り込みの割り込み処理フロー例を図 6.4 に示します。

- ソフトウェア割り込みは、カウンタレジスタ (SINTR0 ~ SINTR3) に、00_H または、01_H を書き込む事で、割り込み要求を制御します。
- 00_H を書き込んだ場合、カウンタ値は、1 デクリメントされます。
- 01_H を書き込んだ場合、カウンタ値は、1 インクリメントされます。
- インクリメントされたカウンタ値が、1 以上の場合、INTC へ割り込み要求を出します。
- INTC 内での割り込み処理にて、1 デクリメントを行い、割り込み復帰命令を実行したあと、SINTRn が 00_H であれば、SINTRn への 01_H 書き込みを待ちます。

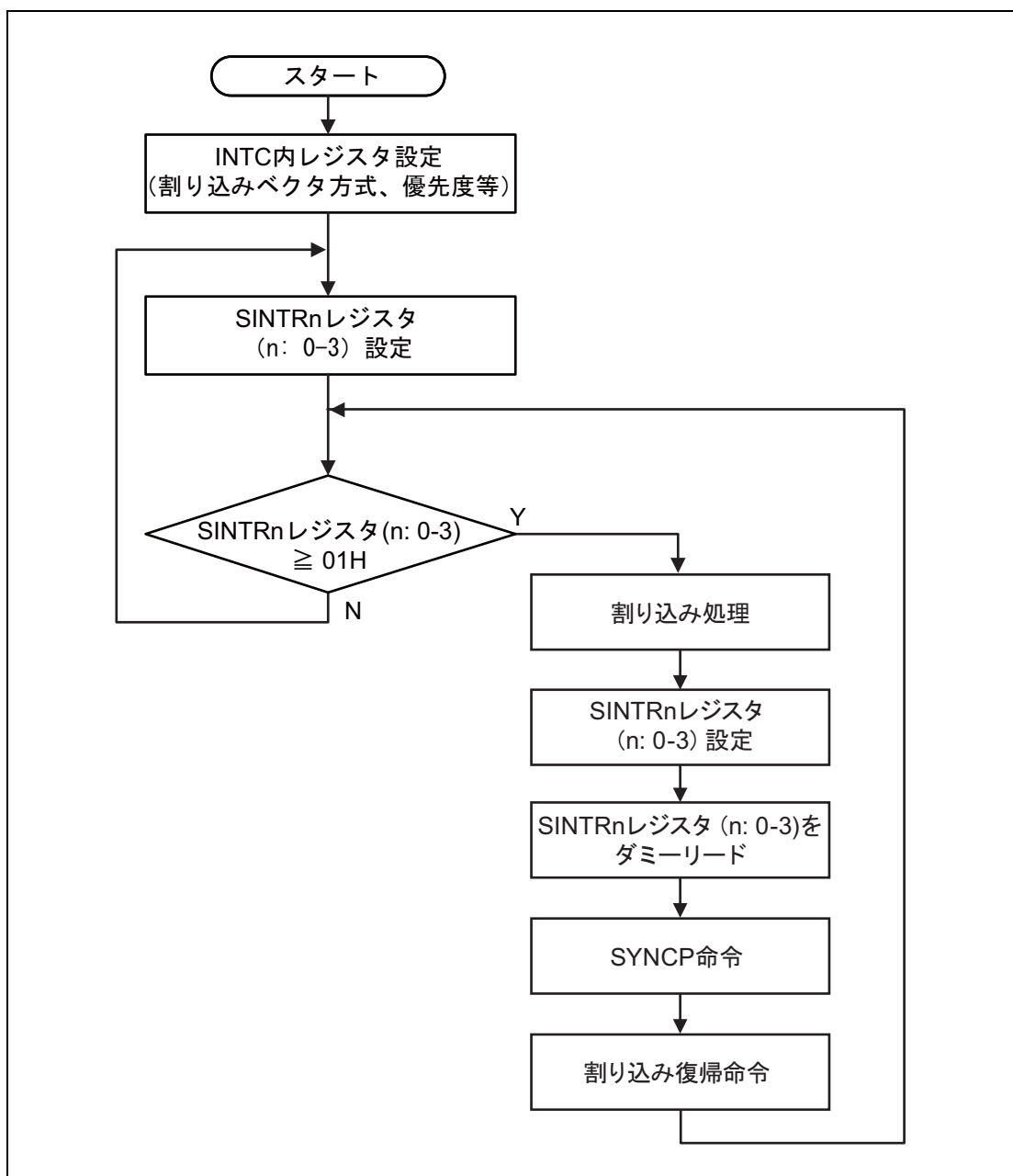


図 6.4 ソフトウェア割り込み処理フロー例

6.5.6.5 DTS 割り込み処理フロー

DTS 割り込み処理フロー例を図 6.5 に示します。

- 32 本に束ねた割り込み要因に対して、1 本のみ割り込み要求が発生した場合
 - PINTn レジスタの割り込み要求のあったビットに 1 を立てて、割り込み要求を出します。
 - 割り込み処理が終了し復帰する際は、クリアレジスタ (PINTCLRn) に 1 を書き込むことで、割り込み要求をクリアしてから、割り込み復帰命令を実行し、次の割り込み要求を待ちます。
- 32 本に束ねた割り込み要因に対して、複数の割り込み要因が発生した場合
 - 割り込み要求のある複数ビットの内、下位側ビットを抽出し、PINTn レジスタのその抽出したビットのみに 1 を立てて、割り込み要求を出します。
 - 割り込み処理が終了し復帰する際は、クリアレジスタ (PINTCLRn) の対象ビットに 1 を書き込むことで、割り込み要求をクリアしてから、割り込み復帰命令を実行します。
 - 割り込み処理を行った割り込み要求をクリアすることで、前回同様に割り込み要求に対応する PINTn レジスタの下位側ビットを抽出し、割り込み要求を出します。
 - 以後、32 ビットに束ねた割り込み要因がなくなるまで、繰り返されます。

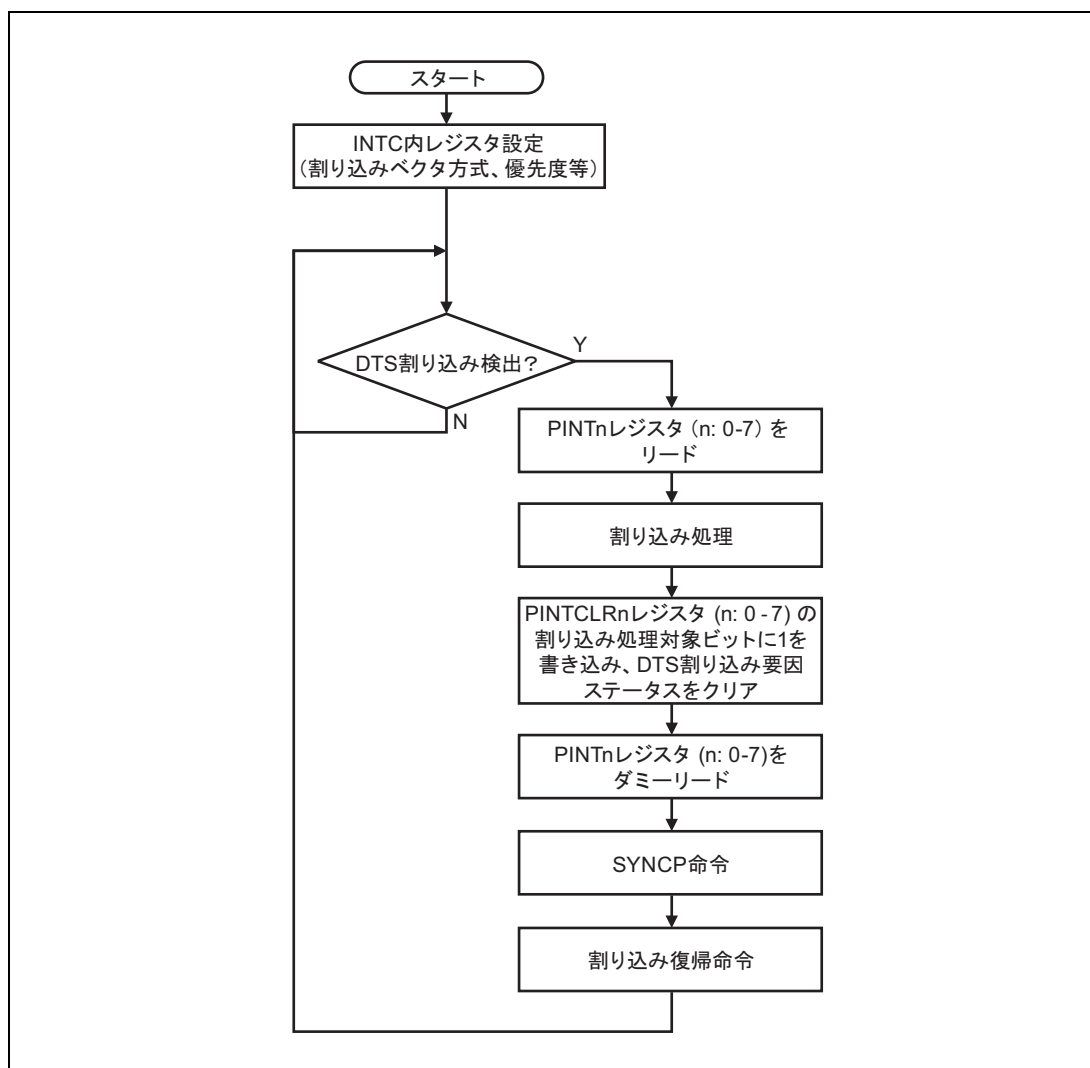


図 6.5 DTS 割り込み処理フロー例

6.6 割り込み応答時間

表 6.18 割り込み応答時間 (min.)

| 対象 | 割り込み要求元 | | | 処理サイクル | | | |
|------|------------------|-----------------|--|--|--|----------------------|-----------------------------------|
| | INTC 接続 | 動作クロック | 同期化 | INTC2 | INTC1 | CPU1 内/ PCU 内 | 合計注1 |
| CPU1 | INTC1 に 直接入力 | 高速/低速 周辺クロック | 0 | — | $2 \times I\phi$ $<1 \times I\phi>$ | 下記の CPU1 内を 参照 | $7 \times I\phi$ |
| | | 非変調高速 周辺クロック | — | | | | — |
| | | 非変調低速 周辺クロック | $5 \times P\phi$ $<2 \times P\phi>$ | | | | $5 \times P\phi + 7 \times I\phi$ |
| | INTC2 に 経由で入力 | 高速/低速 周辺クロック | 0 | $3 \times P\phi + 1 \times I\phi$ $<2 \times P\phi + 1 \times I\phi>$ | — | | $3 \times P\phi + 6 \times I\phi$ |
| | | 非変調高速 周辺クロック | $4 \times P\phi$ $<2 \times P\phi>$ | $7 \times P\phi + 6 \times I\phi$ | | | |
| | | 非変調低速 周辺クロック | $5 \times P\phi$ $<2 \times P\phi>$ | $8 \times P\phi + 6 \times I\phi$ | | | |
| PCU | INTC1 に 直接入力 | 高速/低速 周辺クロック | 0 | — | $2 \times P\phi$ $<1 \times P\phi>$ | 下記の PCU 内を 参照 | $9 \times P\phi$ |
| | | 非変調高速 周辺クロック | — | | | | — |
| | | 非変調低速 周辺クロック | $5 \times P\phi$ $<2 \times P\phi>$ | | | | $14 \times P\phi$ |
| | INTC2 に 経由で入力 | 高速/低速 周辺クロック | 0 | $4 \times P\phi$ $<3 \times P\phi>$ | — | | $11 \times P\phi$ |
| | | 非変調高速 周辺クロック | $4 \times P\phi$ $<2 \times P\phi>$ | $15 \times P\phi$ | | | |
| | | 非変調低速 周辺クロック | $5 \times P\phi$ $<2 \times P\phi>$ | $16 \times P\phi$ | | | |

備考 1. $<>$ 内は、レベル検出時のサイクル数を示します。

備考 2. $I\phi = \text{CLK_CPU}$

$P\phi = 3I\phi@240\text{MHz}$ 、
 $= 2I\phi@160\text{MHz}$

注 1. エッジ検出で固定ベクタ方式 a) の場合

| ベクタ方式 | Cache HIT/MISS | CPU1 内 (240MHz 時) | CPU1 内 (160MHz 時) | ベクタ方式 | PCU 内 (240MHz 時) | PCU 内 (160MHz 時) |
|---------------------|--|----------------------|----------------------|-------------------------------------|---------------------|---------------------|
| 固定ベクタ 方式 | a) ISR エントリ I\$ HIT | $5 \times I\phi$ | $5 \times I\phi$ | a) 固定ベクタ方式 | $8 \times P\phi$ | $7 \times P\phi$ |
| | b) ISR エントリ I\$ MISS | $10 \times I\phi$ | $8 \times I\phi$ | | | |
| ベクタ テーブル 参照方式 | c) ベクタ Code Flash 配置、ISR エントリ I\$ HIT | $14 \times I\phi$ | $12 \times I\phi$ | b) ベクタテーブル 参照方式 Code Flash 配置 | $15 \times P\phi$ | $14 \times P\phi$ |
| | d) ベクタ Code Flash 配置、ISR エントリ I\$ MISS | $19 \times I\phi$ | $15 \times I\phi$ | | | |

備考 1. $I\phi = \text{CLK_CPU}$

$P\phi = 3I\phi@240\text{MHz}$ 、
 $= 2I\phi@160\text{MHz}$

6.7 割り込み要求信号によるデータ転送

割り込み要求信号により、DMAC・DTS を起動し、データ転送を行うことができます。
詳細は、「**第7章 DMA**」を参照してください。

第7章 DMA

7.1 概要

7.1.1 概要

DMA (Direct Memory Access) とは、CPU を介さずにデータをアクセスする機能です。

DMA は、DMAC と DTS という 2 種類の方式の DMA 転送モジュールを含んでいます。DMAC は転送情報をレジスタに持ち、DTS は転送情報を専用の RAM (DTSRAM) に格納します。DMA は 8 チャンネルの DMAC モジュールを 1 つ、128 チャンネルの DTS モジュールを 1 つ搭載しています。

また本マニュアルでは、DMAC のハードウェア DMA 転送要因を選択して DMA 転送要求を保持する機能を DTFR、DTS の各チャンネルの DMA 転送要求を保持する機能を DTSFSL と称しています。DTFR は 128 種類のハードウェア DMA 転送要因を、DTSFSL は 128 種類のハードウェア DMA 転送要因を扱うことができます。

DMA が DMA 転送の対象として指定可能なアドレス空間は、32 ビットアドレスで表現される 4GB のアドレス空間です。4GB のアドレス空間のどの領域にどのようなリソースが割り当てられるかや、DMA に対してどの領域へのアクセスを許可するかは、「**第4章 アドレス空間**」を参照してください。

7.1.2 語句の定義

本章で使用する語句を表 7.1 に示します。

表 7.1 語句の定義

| 語句 | 意味 |
|-----------------|---|
| DMA 転送 | DMA が行うデータ転送の総称 |
| DMA サイクル | 転送サイズで指定した量 (8/16/32/64/128 ビット) のデータを、ソースアドレスで指定したアドレスからリードして、ディスティネーションアドレスで指定したアドレスへライトする動作。なお、DMA サイクルの前半のリード動作をリードサイクル、後半のライト動作をライトサイクルと呼ぶ |
| ハードウェア DMA 転送要因 | 内蔵周辺回路から与えられる DMA 転送要求のトリガ |
| ハードウェア DMA 転送要求 | ハードウェア DMA 転送要因により発生する DMA 転送要求 |
| ソフトウェア DMA 転送要求 | ソフトウェアがレジスタを操作することで発生する DMA 転送要求 |
| DMA 転送要求 | DMAC および DTS で DMA 転送を開始するトリガ |
| 転送情報 (TI) | ソースアドレス、ディスティネーションアドレス、転送データサイズ、転送回数といった DMA 転送に必要な情報。DTS の転送情報を特に TI (Transfer Information) と呼ぶ |
| DTSRAM | DTS が転送情報を格納するための RAM |
| シングル転送 | 一回の DMA 転送要求で、一回の DMA サイクルを実行する DMA 転送動作 |
| ブロック転送 1 | 一回の DMA 転送要求で、転送情報の転送回数で指定した回数の DMA サイクルを実行する DMA 転送動作 |
| ブロック転送 2 | 一回の DMA 転送要求で、転送情報のアドレスリロードカウントで指定した回数の DMA サイクルを実行する DMA 転送動作 |
| ブロック転送 | ブロック転送 1 とブロック転送 2 の総称 |
| 最終転送 | 転送情報の転送回数が残り 1 回の状態で実行する DMA サイクル |
| アドレスリロード転送 | リロード機能 2 を使用中に、転送情報のアドレスリロードカウントが残り 1 回の状態で実行する DMA サイクル |
| 一時中断 | ブロック転送の途中で DMA 転送を中断する動作、再開が可能 |
| 再開 | 一時中断を解除して、DMA 転送を継続する動作 |
| 転送中止 | DMA 転送を途中で中止する動作、再開は不可能 |

7.2 DMA 機能

7.2.1 DMA 転送基本動作

7.2.1.1 転送モード

DMA には 3 種類の転送モードがあります。

シングル転送

DMA 転送要求を受け付けると、DMA サイクルを 1 回実行します。

ブロック転送 1

DMA 転送要求を受け付けると、転送回数レジスタで指定した回数の DMA サイクルを実行します。

ブロック転送 2

DMA 転送要求を受け付けると、アドレスリロードカウントで指定した回数の DMA サイクルを実行します。アドレスリロードカウントで指定した回数が転送回数レジスタで指定した回数よりも大きい場合には、転送回数レジスタで指定した回数の DMA サイクルを実行します。

7.2.1.2 DMA サイクルの実行

DMA サイクルはデュアルアドレス転送（2 サイクル転送）を行います。

DMA は必ずリードサイクルが完了したあとで、ライトサイクルを実行します。

たとえば、転送データサイズが 128 ビットの場合は、128 ビット分のデータのリードサイクルが完了したあとで、ライトサイクルを実行します。リードサイクルの途中でライトサイクルの実行を開始することはありません。

7.2.1.3 転送情報の更新

DMA サイクルを実行すると、DMA は次の転送情報を更新します。

ソースアドレス/ディスティネーションアドレス

転送制御レジスタのソースアドレスカウント方向、ディスティネーションアドレスカウント方向および転送データサイズの設定にしたがって、**表 7.2** のように更新します。

表 7.2 ソースアドレス/ディスティネーションアドレスの更新 (1/2)

| カウント方向 | 転送データサイズ | 更新後のアドレス |
|---------|----------|-----------------------------------|
| インクリメント | 8 ビット | 更新前のアドレス + 0000 0001 _H |
| | 16 ビット | 更新前のアドレス + 0000 0002 _H |
| | 32 ビット | 更新前のアドレス + 0000 0004 _H |
| | 64 ビット | 更新前のアドレス + 0000 0008 _H |
| | 128 ビット | 更新前のアドレス + 0000 0010 _H |

表 7.2 ソースアドレス/ディスティネーションアドレスの更新 (2/2)

| カウント方向 | 転送データサイズ | 更新後のアドレス |
|--------|----------|-----------------------------------|
| デクリメント | 8 ビット | 更新前のアドレス - 0000 0001 _H |
| | 16 ビット | 更新前のアドレス - 0000 0002 _H |
| | 32 ビット | 更新前のアドレス - 0000 0004 _H |
| | 64 ビット | 更新前のアドレス - 0000 0008 _H |
| | 128 ビット | 更新前のアドレス - 0000 0010 _H |
| 固定 | — | 更新前のアドレスと同じ |

リロード機能を使用する場合は、表 7.2 とは別に最終転送およびアドレスリロード転送の際に特殊な更新を行います。詳細は、「7.2.3 リロード機能」を参照してください。

転送回数/アドレスリロードカウント

転送回数は、DMA サイクルを実行するごとに常に 1 ずつ減算して更新されます。

アドレスリロードカウントは、リロード機能 2 またはブロック転送 2 を使用する場合は DMA サイクルを実行するごとに常に 1 ずつ減算して更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合には更新されません。

リロード機能を使用する場合は、最終転送およびアドレスリロード転送の際に特殊な更新を行います。詳細は、「7.2.3 リロード機能」を参照してください。

その他の転送情報

DMA サイクルの実行では、更新されません。

7.2.1.4 最終転送とアドレスリロード転送

最終転送とは、転送回数レジスタが示す残り転送回数が 1 回の状態で実行される DMA サイクルを指します。最終転送では、最終転送でない DMA サイクルの実行時と比較して次の動作が異なります。

- 最終転送が完了すると転送完了フラグ (DCSTn.TC) がセットされます。(DMAC のみ)
- 最終転送が完了するとチャンネル動作有効 (DCENn.DTE) ビットがクリアされます。(DMAC のみ、連続転送機能が無効の場合)
- 転送完了割り込み出力イネーブルがセットされている場合、最終転送が完了すると転送完了割り込みが出力されます。
- リロード機能 1 が有効の場合は、最終転送でリロード機能 1 の動作が実行されます。詳細は、「7.2.3 リロード機能」を参照してください。

アドレスリロード転送とは、リロード機能 2 が有効で、かつアドレスリロードカウントが 1 回の状態で実行される DMA サイクルを指します。アドレスリロード転送では、リロード機能 2 の動作が実行されます。詳細は、「7.2.3 リロード機能」を参照してください。

7.2.1.5 転送完了割り込み、転送回数一致割り込み出力

DMA は、転送完了割り込みまたは転送回数一致割り込みを出力する機能を持ちます。

転送完了割り込み出力

DMAC は、転送制御レジスタで転送完了割り込みイネーブル (DTCTn.TCE) がセットされている場合、最終転送が完了すると転送完了割り込みを要求します。

DTS は、転送制御レジスタで転送完了割り込みイネーブル (DTTCTn.TCE) がセットされている場合、最終転送が完了すると DTS 転送完了割り込みを要求します。

転送回数一致割り込み出力

DMAC は、転送制御レジスタで転送回数一致割り込みイネーブル (DTCTn.CCE) がセットされている場合、転送カウントコンペアレジスタと転送回数が一致する DMA サイクルが完了すると DMAC 転送回数一致割り込みを要求します。

DTS は、転送制御レジスタで転送回数一致割り込みイネーブル (DTTCTn.CCE) がセットされている場合、転送カウントコンペアレジスタと転送回数が一致する DMA サイクルが完了すると DTS 転送回数一致割り込みを要求します。

図 7.1 に転送完了割り込み・転送回数一致割り込みの動作を示します。

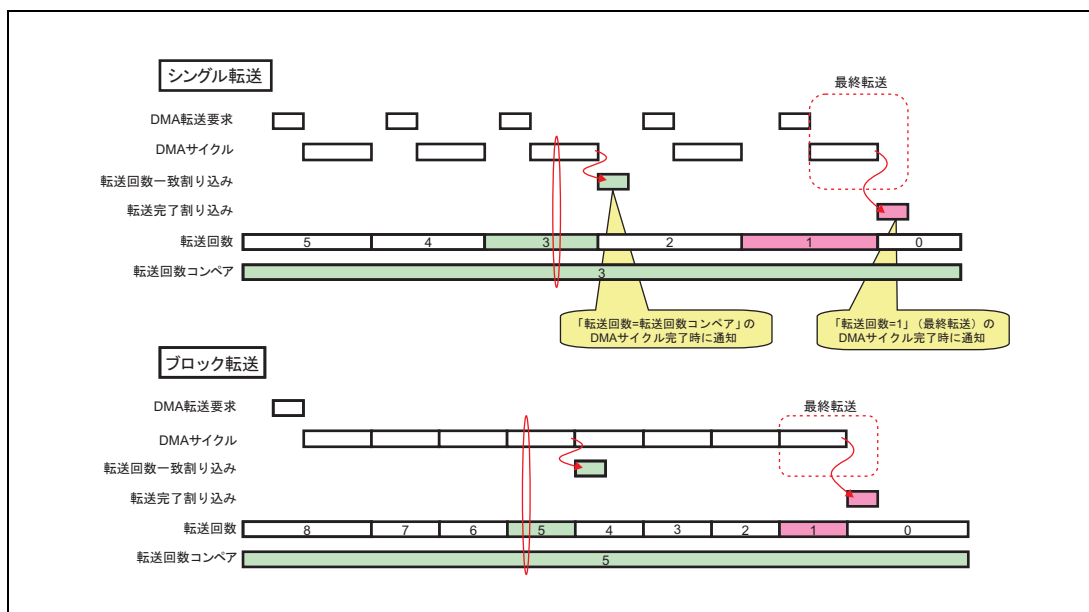


図 7.1 転送完了割り込み・転送回数一致割り込み

7.2.1.6 連続転送

DMAC では、連続転送機能を利用しない場合は、最終転送が完了すると転送完了フラグ (DCSTn.TC) がセットされ、チャンネル動作有効 (DCENn.DTE) ビットがクリアされます。このため、最終転送の完了後に DMA 転送要求が発生しても DMA 転送要求を受け付けません。

連続転送機能を利用すると、最終転送が完了してもチャンネル動作有効 (DCENn.DTE) ビットがクリアされず、また転送完了フラグがセットされた状態でも DMA 転送要求を受け付けることができます。指定した回数の DMA 転送を繰り返し実行するような用途では、連続転送機能を利用することで、最終転送完了後の転送完了フラグのクリアやチャンネル動作有効ビットのセットのためのソフトウェア処理のオーバーヘッドを減らすことができます。

連続転送機能は、DMAC 転送制御レジスタの連続転送イネーブル (DTCTn.MLE) をセットすることで有効になります。

連続転送機能はリロード機能 1 と一緒に利用することを想定しています。連続転送機能には、ソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタの値を変更する機能はありません。最終転送の完了後にソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタを DMA 転送開始前の状態に戻す動作は、リロードソースアドレスレジスタ、リロードディスティネーションアドレスレジ

スタおよびリロード転送回数レジスタに DMA 転送開始前のソースアドレスレジスタ、ディステーションアドレスレジスタおよび転送回数レジスタの値を設定しておき、リロード機能 1 を利用することで実現できます。

DTS では、DMAC の連続転送イネーブル (DTCTn.MLE) に該当する設定はありません。DTS には DMAC の転送完了フラグ (DCSTn.TC) やチャンネル動作有効 (DCENn.DTE) の各ビットが存在しないためです。

DTS では、転送回数が 0 回の状態で DMA 転送要求が発生すると DMA 転送は行われません (DMAC で連続転送機能を利用しない場合の動作に相当します)。

DTS でリロード機能 1 を利用して、最終転送の完了時に転送回数を 0 回以外の値でリロードしておけば、次の DMA 転送要求を受け付けた際に DMA 転送を実行することができます (DMAC で連続転送機能を利用する場合の動作に相当します)。

図 7.2 に DMAC の連続転送の動作イメージを示します。

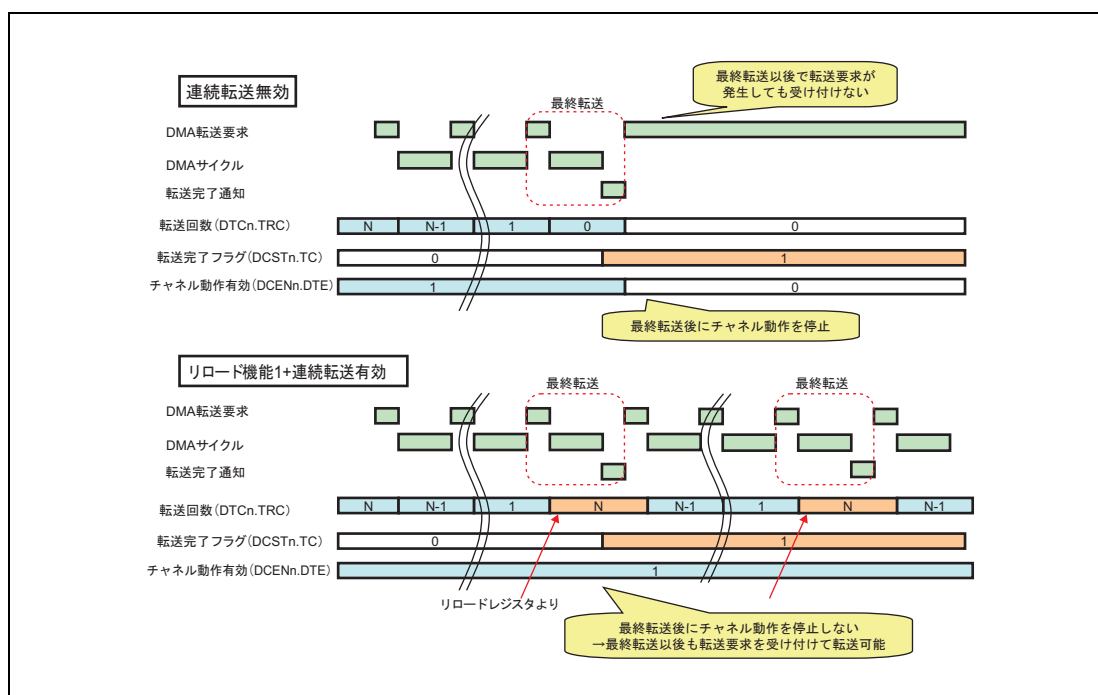


図 7.2 DMAC の連続転送の動作イメージ

7.2.2 チャンネルの優先順位

DMA の複数のチャンネル間のアービトレーションについて説明します。

7.2.2.1 DMAC チャンネルアービトレーション

DMAC では 8 チャンネルから 1 チャンネルを選択するアービトレーションを行います。

アービトレーションは固定優先順位で、DMAC0 では「チャンネル 0 >チャンネル 1 >チャンネル 2 >チャンネル 3 >チャンネル 4 >チャンネル 5 >チャンネル 6 >チャンネル 7」です。

アービトレーションは DMA サイクルごとに行われます。DMA サイクルのリードとライトの間ではアービトレーションは発生しません。

あるチャンネルのブロック転送の途中の DMA サイクルが終了した時点で、優先順位の高いチャンネルの DMA 転送要求があった場合には、アービトレーションの結果優先順位の高いチャンネルの DMA サイクルが実行されます。

DMAC がブロック転送 1 またはブロック転送 2 を実行する場合は、1 回の DMA サイクルごとに DMAC チャンネルアービトレーションを行うため、ほかの優先順位の高い DMAC チャンネルの DMA サイクルが割り込むことがあります。

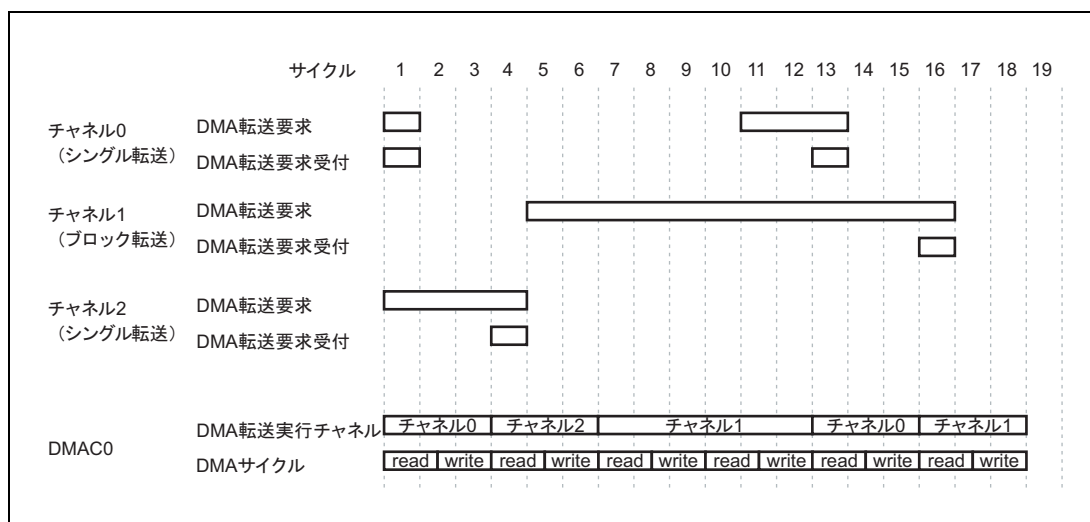


図 7.3 DMAC チャンネルアービトレーション

図 7.3 のサイクル番号は説明のためのもので、実際の DMA 転送実行にかかるサイクル数を示すものではありません。

図 7.3 において、サイクル 1 でチャンネル 0 とチャンネル 2 の DMA 転送要求があり、アービトレーションの結果、優先度の高いチャンネル 0 の DMA サイクルの実行を開始します。サイクル 4 ではチャンネル 2 の DMA サイクルの実行を開始します。サイクル 5 でチャンネル 1 の DMA 転送要求が発生しますが、チャンネル 2 の DMA サイクルを実行中であるためアービトレーションは行われません。サイクル 7 でチャンネル 1 の DMA サイクルを実行します。チャンネル 1 はブロック転送なので、ほかのチャンネルの DMA 転送要求のないサイクル 10 では DMA サイクルを継続して実行します。サイクル 11 でチャンネル 0 の DMA 転送要求が発生しますが、チャンネル 1 の DMA サイクルを実行中であるためアービトレーションは行われません。サイクル 12 でチャンネル 1 の DMA サイクルが完了し、サイクル 13 では DMA チャンネル 0 とチャンネル 1 のアービトレーションの結果チャンネル 0 の DMA サイクルの実行を開始します。サイクル 13 では既にブロック転送を実行中のチャンネル 1 よりも優先度の高いチャンネル 0 の DMA サイクルを実行していることに注意してください。サイクル 15 でチャンネル 0 の

DMA サイクルが完了し、サイクル 16 で再びチャンネル 1 の DMA サイクルの実行を開始します。サイクル 18 でチャンネル 1 のブロック転送の最後の DMA サイクルが完了しています。

7.2.2.2 DTS チャンネルアービトレーション

複数の DTS チャンネルで DMA 転送要求がある場合、DTSFSL で DTS チャンネルアービトレーションを行います。DTS の各チャンネルは、DTS チャンネル優先度設定レジスタで 4 段階の優先度が設定可能です。

複数の DTS チャンネルで DMA 転送要求がある場合のアービトレーションは、

1. DTS チャンネル優先度設定レジスタで設定した優先度の高いチャンネルを優先
2. DTS チャンネル優先度設定レジスタで設定した優先度が同一の場合は、チャンネル番号が小さいチャンネルを優先

します。

DTSFSL は、アービトレーションにより選択したチャンネルの DMA 転送要求を DTS に伝えます。DTS は、DMA 転送要求を受け付けると DMA 転送を実行します。

DMAC での DMA 転送と異なり、DTS での DMA 転送ではブロック転送の途中で DTS チャンネル間のアービトレーションは行われません。つまり、あるチャンネルのブロック転送を実行中に、優先順位の高いチャンネルの DMA 転送要求があった場合でも、優先順位の低いチャンネルのブロック転送が終了する注¹までは、優先順位の高いチャンネルの DMA 転送は実行されません。

注 1. ブロック転送が終了するのは、ブロック転送 1 の最終転送か、ブロック転送 2 の最終転送またはアドレスリロード転送が発生した時点

DTS がブロック転送 1 またはブロック転送 2 を実行する場合は、最終転送までは他の優先順位の高い DTS チャンネルの DMA サイクルが割り込むことはありません。

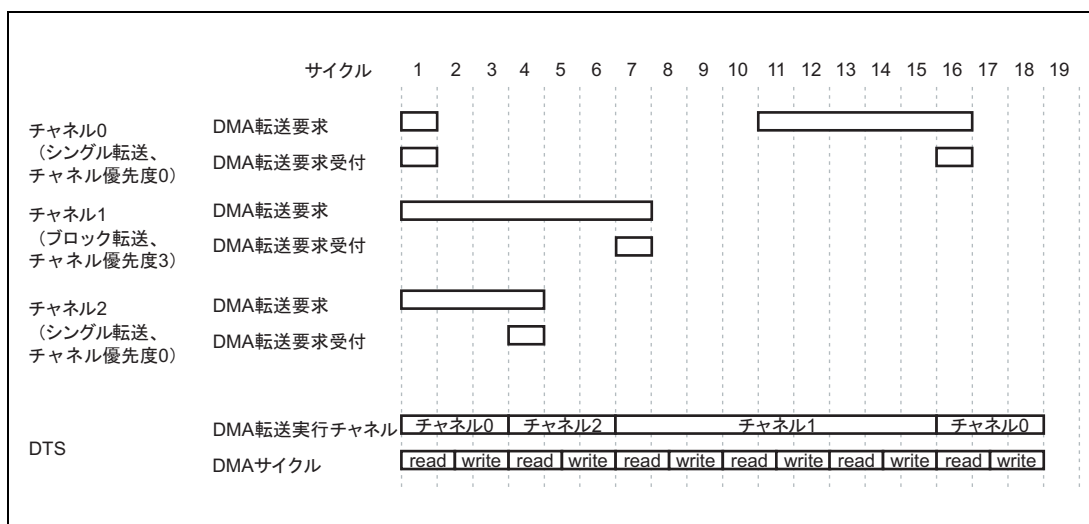


図 7.4 DTS チャンネルアービトレーション

図 7.4 のサイクル番号は説明のためのもので、実際の DMA 転送実行にかかるサイクル数を示すものではありません。

図 7.4 において、サイクル 1 でチャンネル 0 とチャンネル 1 とチャンネル 2 の DMA 転送要求があります。チャンネル 0 およびチャンネル 2 のチャンネル優先度は 0 でチャンネル 1 のチャンネル優先度

3 よりも高く、またチャンネル優先度が同一の場合はチャンネル番号の小さいチャンネルが優先度が高くなるため、アービトレーションの優先度は「チャンネル 0 >チャンネル 2 >チャンネル 1」となり、優先度の高いチャンネル 0 の DMA サイクルの実行を開始します。サイクル 4 ではチャンネル 1 とチャンネル 2 のアービトレーションの結果チャンネル 2 の DMA サイクルの実行を開始します。サイクル 7 でチャンネル 1 の DMA サイクルの実行を開始します。チャンネル 1 はブロック転送なので、ほかのチャンネルの DMA 転送要求のないサイクル 10 では DMA サイクルを継続して実行します。サイクル 11 でチャンネル 0 の DMA 転送要求が発生しますが、チャンネル 1 の DMA サイクルを実行中であるため、チャンネル 1 のブロック転送が終了するまでアービトレーションは行われません。サイクル 15 でチャンネル 1 のブロック転送が終了し、サイクル 16 でチャンネル 0 の DMA サイクルの実行を開始します。

7.2.2.3 インタフェースアービトレーション

DMAC0、DTS はそれぞれ独立して動作し、DMA 転送を実行します。

DMAC0、DTS の要求が競合した場合は、ラウンドロビンによるアービトレーションを行います。

7.2.3 リロード機能

7.2.3.1 リロード機能の概要

リロード機能は、DMA 転送中に、転送情報のうちソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロード回数をあらかじめ指定した値で更新する機能です。

リロード機能はリロード機能 1 とリロード機能 2 の 2 つの機能があります。

7.2.3.2 リロード機能 1 の動作

リロード機能 1 が有効の場合、最終転送の実行時にリロード機能 1 設定にしたがって表 7.3 の動作を行います。

表 7.3 リロード機能 1 動作

| リロード機能 1 設定 (DTCTn.RLD1M[1:0]) | レジスタ | 最終転送時の動作 |
|--|----------------|---|
| 00 (リロード機能 1 無効) | ソースアドレス | リロードしない |
| | ディスティネーションアドレス | リロードしない |
| | 転送回数 | リロードしない |
| | アドレスリロードカウント | リロードしない |
| 01 (リロード機能 1 有効、ソースアドレスと転送回数をリロード) | ソースアドレス | リロードソースアドレスの値をコピー |
| | ディスティネーションアドレス | リロードしない |
| | 転送回数 | リロード転送回数の値をコピー |
| | アドレスリロードカウント | <ul style="list-style-type: none"> リロード機能 2 が無効の場合、リロードしない リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー |
| 10 (リロード機能 1 有効、ディスティネーションアドレスと転送回数をリロード) | ソースアドレス | リロードしない |
| | ディスティネーションアドレス | リロードディスティネーションアドレスの値をコピー |
| | 転送回数 | リロード転送回数の値をコピー |
| | アドレスリロードカウント | <ul style="list-style-type: none"> リロード機能 2 が無効の場合、リロードしない リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー |
| 11 (リロード機能 1 有効、ソースアドレスとディスティネーションアドレスと転送回数をリロード) | ソースアドレス | リロードソースアドレスの値をコピー |
| | ディスティネーションアドレス | リロードディスティネーションアドレスの値をコピー |
| | 転送回数 | リロード転送回数の値をコピー |
| | アドレスリロードカウント | <ul style="list-style-type: none"> リロード機能 2 が無効の場合、リロードしない リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー |

図 7.5 にリロード機能 1 の動作イメージを示します。

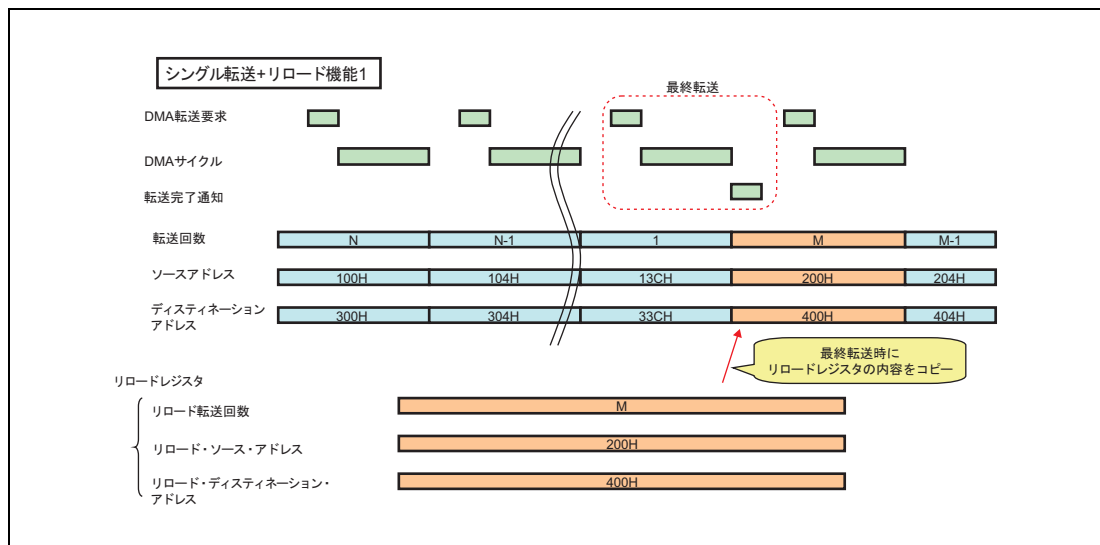


図 7.5 リロード機能 1 動作イメージ

7.2.3.3 リロード機能 2

リロード機能 2 が有効の場合、アドレスリロード転送の実行時にリロード機能 2 の設定にしたがって表 7.4 の動作を行います。

表 7.4 リロード機能 2 動作

| リロード機能 2 設定 (DTCTn.RLD2M[1:0]) | レジスタ | アドレスリロード転送時の動作 |
|---|----------------|--------------------------|
| 00 (リロード機能 2 無効) | ソースアドレス | リロードしない |
| | ディスティネーションアドレス | リロードしない |
| | アドレスリロードカウント | リロードしない |
| 01 (リロード機能 2 有効、ソースアドレスをリロード) | ソースアドレス | リロードソースアドレスの値をコピー |
| | ディスティネーションアドレス | リロードしない |
| | アドレスリロードカウント | リロードアドレスリロードカウントの値をコピー |
| 10 (リロード機能 2 有効、ディスティネーションアドレスをリロード) | ソースアドレス | リロードしない |
| | ディスティネーションアドレス | リロードディスティネーションアドレスの値をコピー |
| | アドレスリロードカウント | リロードアドレスリロードカウントの値をコピー |
| 11 (リロード機能 2 有効、ソースアドレスとディスティネーションアドレスをリロード) | ソースアドレス | リロードソースアドレスの値をコピー |
| | ディスティネーションアドレス | リロードディスティネーションアドレスの値をコピー |
| | アドレスリロードカウント | リロードアドレスリロードカウントの値をコピー |

図 7.6 にリロード機能 2 の動作イメージを示します。

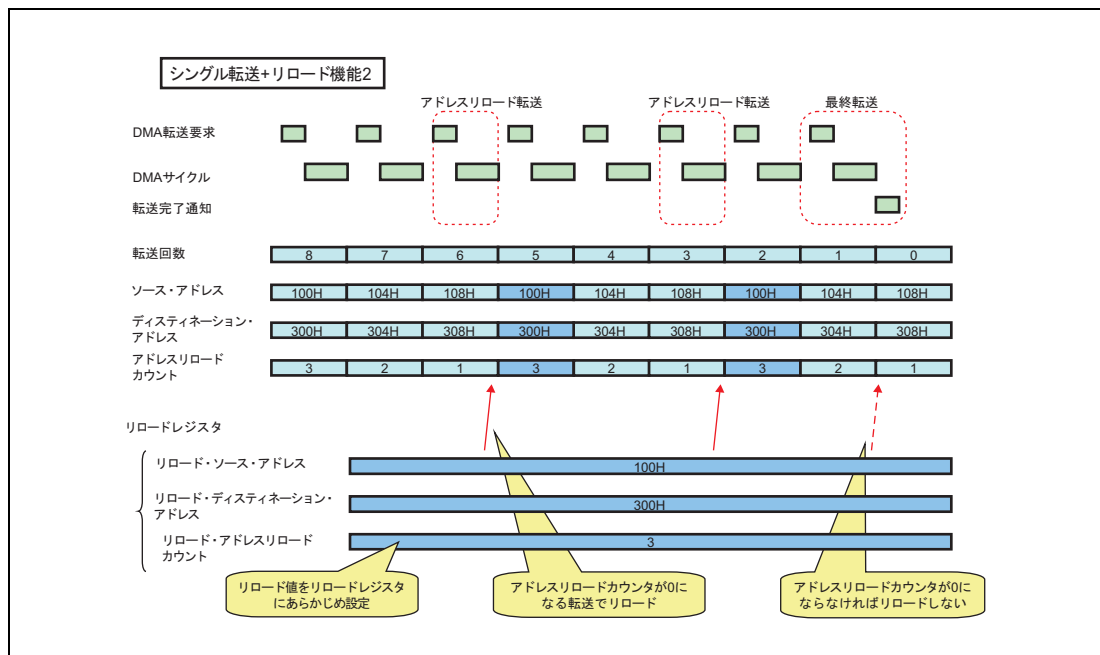


図 7.6 リロード機能 2 動作イメージ

図 7.7 にリロード機能 1 とリロード機能 2 を同時に使用する場合の動作イメージを示します。

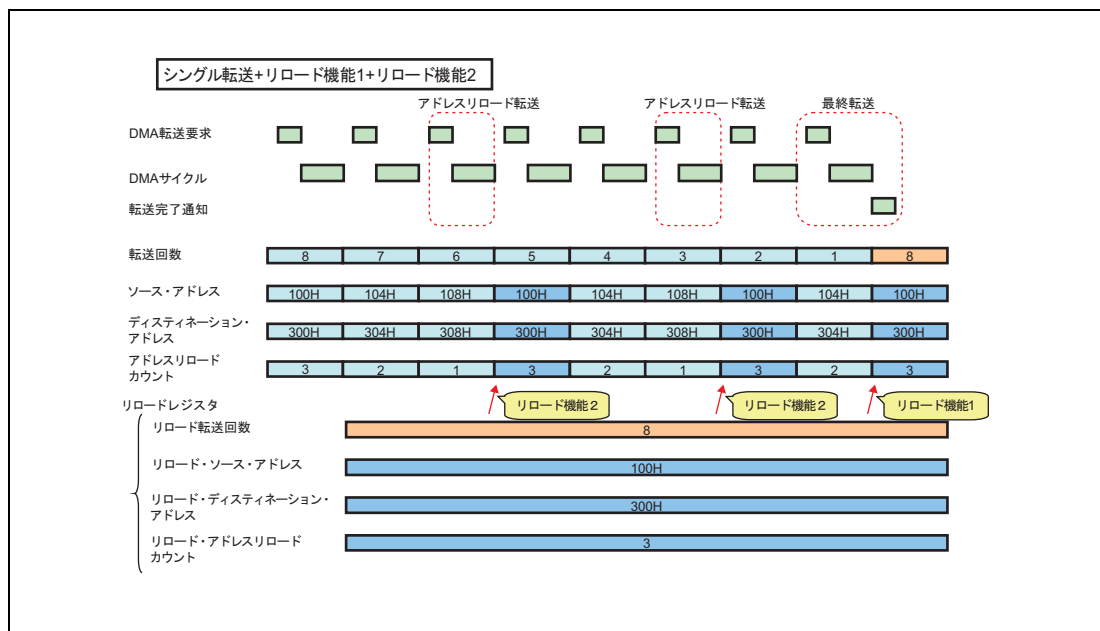


図 7.7 リロード機能 1 + リロード機能 2 動作イメージ

7.2.3.4 DMAC のリロードレジスタ設定タイミング

リロードソースアドレスレジスタ・リロードディスティネーションアドレスレジスタ・リロード転送回数レジスタはいつでも（DMA 転送中でも）設定が可能です。ただし、DMA 転送中にリロードソースアドレスレジスタ・リロードディスティネーションアドレスレジスタ・リロード転送回数レジスタの内容を書き換えた場合には、最終転送またはアドレスリロード転送時のリロード動作とユーザによるリロードレジスタの書き換えが競合する可能性があります。この競合を避けるため、リロードレジスタの設定は最終転送またはアドレスリロード転送が始まる前に完了するようにしてください。

DMA 転送中にリロードソースアドレスレジスタ・リロードディスティネーションアドレスレジスタ・リロード転送回数レジスタの内容を書き換える必要がある場合、書き換えのタイミングを知る方法として、DMA 転送回数一致割り込みを使用する方法があります。その場合、リロードレジスタの内容を書き換えるのに必要な時間を十分確保できるように DMA 転送回数コンペアレジスタ（DTCCn）を設定してください。

7.2.3.5 DTS のリロード情報設定タイミング

DTS のリロードソースアドレス情報・リロードディスティネーションアドレス情報・リロード転送回数情報の設定のタイミングは、転送モードによって異なるため注意が必要です。

シングル転送の場合には、最終転送またはアドレスリロード転送の開始時に TI フェッチした内容をもとに、DMA サイクル完了時にリロード動作を行います。このため、シングル転送でリロード機能を使用する場合には、最終転送またはアドレスリロード転送の開始前に、TI のリロードソースアドレス情報・リロードディスティネーションアドレス情報・リロード転送回数情報を設定しておく必要があります。

ブロック転送の場合は、TI フェッチが行われるのは DMA 転送の開始時のみです。最終転送またはアドレスリロード転送時には、DMA 転送の開始時に TI フェッチした情報にしたがってリロード動作を行います。このため、ブロック転送でリロード機能を使用する場合には、DMA 転送の開始前に TI のリロードソースアドレス情報・リロードディスティネーションアドレス情報・リロード転送回数情報を設定しておく必要があります。ブロック転送の実行の途中で TI のリロードソースアドレス情報・リロードディスティネーションアドレス情報・リロード転送回数情報を書き換えた場合には、そのブロック転送の完了時のリロード動作には反映されません。

7.2.4 チェイン機能

7.2.4.1 概要

DMA は、あるチャンネルの DMA サイクルの完了または最終転送の完了をトリガにして、別のチャンネルの DMA 転送要求を行うチェイン機能を提供します。

チェイン機能による別のチャンネルへの DMA 転送要求をチェイン要求と呼びます。

チェイン要求の条件として選択できるのは次の2つです。

- 常にチェイン：DMA サイクルの完了ごとにチェイン要求を行います。
- 最終転送でチェイン：最終転送の完了の際にチェイン要求を行います。

図 7.8 に常にチェインの動作イメージを示します。

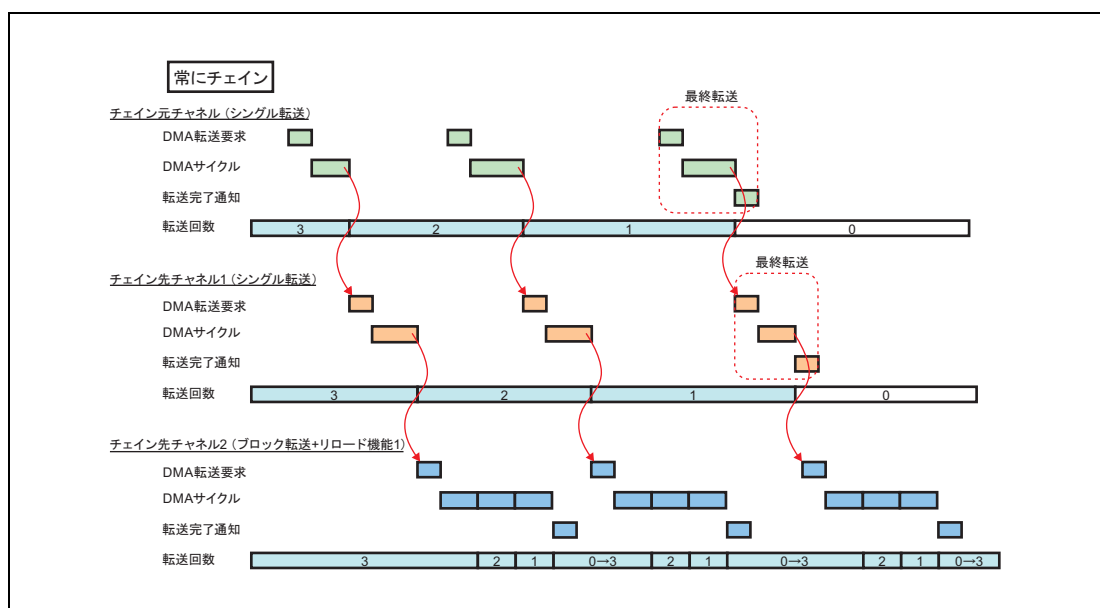


図 7.8 常にチェインの動作イメージ

図 7.9 に最終転送でチェーンの動作イメージを示します。

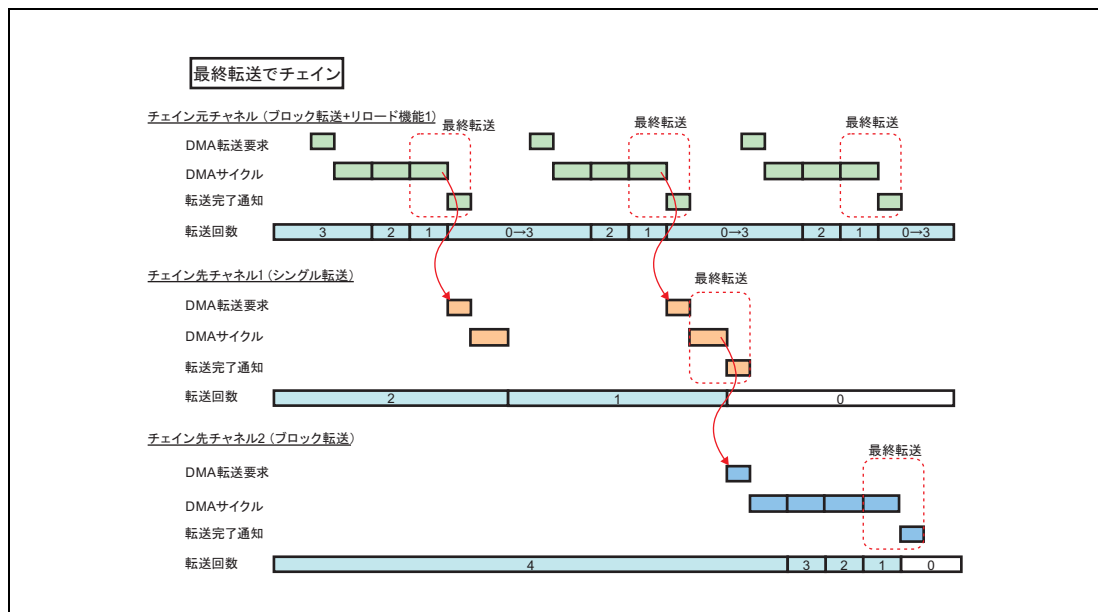


図 7.9 最終転送でチェーンの動作イメージ

7.2.4.2 チェイン動作の設定方法

DMAC の場合は、DMAC 転送制御レジスタのチェインイネーブル (DTCTn.CHNE) およびチェイン先選択 (DTCTn.CHNSEL) に、チェイン動作の種類およびチェイン先のチャンネル番号を設定します。

DTS の場合は、DTS 転送制御レジスタのチェインイネーブル (DTTCTn.CHNE) およびチェイン先選択 (DTTCTn.CHNSEL) に、チェイン動作の種類およびチェイン先のチャンネル番号を設定します。

7.2.4.3 チェイン機能使用時の注意

チェイン動作は、チェイン先のチャンネルのソフトウェア DMA 転送要求フラグをセットすることで実現しています。したがって、チェイン先となるチャンネルでは、ソフトウェア DMA 転送要求を使用する場合と同様のチャンネル設定を実施してください。ハードウェア DMA 転送要求を使用する設定を行ったチャンネルをチェイン先に指定した場合には、チェイン動作を行うことができません。

チェイン先のチャンネルは、チェイン元のチャンネルと同一のモジュール内 (DMAC0、DTS) のチャンネルに限られます。異なるモジュールのチャンネルをチェイン先として指定することはできません。

7.2.5 DMAC 動作

7.2.5.1 DMA 転送要求の種類と割り当て

DMAC はハードウェア DMA 転送要求またはソフトウェア DMA 転送要求を受け付けることで DMA 転送を実行します。ハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかは、DMAC 転送制御レジスタ (DTCTn) の DMA 転送要求選択割り付け (DRS) ビットで指定します。

DMAC のハードウェア DMA 転送要求は、DTFR で 128 種類のハードウェア DMA 転送要因から DMAC の各チャンネルにそれぞれ 1 つずつ選択して割り当てます。この割り当ては DTFR 設定レジスタで行います。

7.2.5.2 ソフトウェア DMA 転送要求の発生と受け付け

DMAC 転送ステータスセットレジスタ (DCSTSn) を使用して DMAC 転送ステータスレジスタ (DCSTn) のソフトウェア DMA 転送要求フラグ (SR) をセットすると、ソフトウェア DMA 転送要求を発生させることができます。

ソフトウェア DMA 転送要求フラグは、DMAC が DMA 転送要求を実行すると自動的にクリアされます。ソフトウェア DMA 転送要求フラグが自動的にクリアされるタイミングは、実行する DMA 転送の転送モードによって異なります。

- シングル転送の場合は、ソフトウェア DMA 転送要求を受け付けるたびに、ソフトウェア DMA 転送要求フラグをクリアします。
- ブロック転送 1 の場合は、最終転送を実行する際に、ソフトウェア DMA 転送要求フラグをクリアします。
- ブロック転送 2 の場合は、最終転送またはアドレスリロード転送を実行する際に、ソフトウェア DMA 転送要求フラグをクリアします。

ソフトウェア DMA 転送要求フラグは DMAC 転送ステータスクリアレジスタ (DCSTCn) を利用してソフトウェアでクリアすることも可能です。DMAC チャンネルの DMA 転送中止の操作を行う際は、ソフトウェア DMA 転送要求フラグをクリアしてください。

7.2.6 DTS 動作

7.2.6.1 DMA 転送要求の種類と割り当て

DTS はハードウェア DMA 転送要求またはソフトウェア DMA 転送要求を受け付けることで DMA 転送を実行します。

DTS の転送要求は、DTSFSL の転送要求保持状態ビットにチャンネルごとに保持されます。DTSFSL ではハードウェア DMA 転送要求とソフトウェア DMA 転送要求はどちらも同じ転送要求保持状態ビットに保持されます。DTS は DMA 転送を実行する際に、DMA 転送要求がハードウェア DMA 転送要求であるかソフトウェア DMA 転送要求であるかの区別はしません。

DTS のハードウェア DMA 転送要求は、DTSFSL で 128 種類のハードウェア DMA 転送要因が DTS の 128 チャンネルに固定的に割り当てられています。この割り当てはレジスタなどで変更することはできません。

7.2.6.2 DMA 転送要求の発生と受け付け

DTSFSL はハードウェア DMA 転送要因入力を検出すると転送要求保持状態ビットをセットして DMA 転送要求として保持します。転送要求保持状態ビットがセットされており、DTSFSL 動作設定レジスタの転送要求有効ビット (DTFSL $_{nnn}$.REQEN) がセットされている場合、DTSFSL は DTS に対して DMA 転送要求があることを通知します。

ソフトウェアで DTSFSL 転送要求セットレジスタ (DTFSS $_{nnn}$) を使用して、DTSFSL 転送要求ステータスレジスタの転送要求保持状態ビット (DTFST $_{nnn}$.DRQ) をセットすることでも、DMA 転送要求を発生させることができます。

DTSFSL が保持可能な DMA 転送要求はチャンネルごとに 1 つです。あるチャンネルの転送要求保持状態ビットがセットされている状態で、同じチャンネルに対して後続のハードウェア DMA 転送要因入力が入力されても、後続のハードウェア DMA 転送要因入力は無視します。

DTS では、DMA 転送要求を受け付けると、DMA 転送要求受け付けを通知します。

転送要求保持状態ビットは、DTS が DMA 転送要求を受け付けると自動的にクリアされます。DTSFSL の転送要求保持状態ビットは、DTS で実行する DMA 転送の種類によらず、DTS が DMA 転送要求を受け付けた際に自動的にクリアされます。

転送要求保持状態ビットは、DTSFSL 転送要求クリアレジスタ (DTFSC $_{nnn}$) を利用してクリアすることも可能です。DTS が DMA 転送要求を受け付ける前に転送要求保持状態ビットをクリアした場合は、そのチャンネルの DMA 転送が実行されることはありません。

7.2.6.3 DMA 転送の実行

DTS は DMA 転送要求を受け付けたチャンネルの DMA 転送を実行します。

複数のチャンネルからの DMA 転送要求が存在する場合には、DTSFSL が DTS チャンネルアービトラージョンを行って DMA 転送要求を行うチャンネルを決定します。

DTS で DMA 転送を実行中の場合は、DTS 状態レジスタの DTS 転送状態 (DTSSTS.DTSACT) ビットがセットされます。また、DMA 転送を実行中のチャンネル番号が同じレジスタの DTS 転送チャンネル (DTSSTS.DTSACH) にセットされます。DMA 転送が完了したり、DMA 転送エラーやレジスタ操作により DMA 転送が中止されたりして、DMA 転送を実行中のチャンネルがなくなった場合には、DTS 転送状態 (DTSSTS.DTSACT) ビットはクリアされます。

7.2.6.4 DTSRAM アクセス

DTS では、DMA 転送の開始時および DMA 転送の終了時に DTSRAM アクセスを行います。

DTS が DMA 転送の開始時に DTSRAM から転送情報を読み出す動作を TI フェッチと呼びます。

DTS が DMA 転送の終了時に DTSRAM 上の転送情報を更新する動作を TI ライトバックと呼びます。

シングル転送では DMA サイクルの開始時に TI フェッチを行い、DMA サイクルの完了時に TI ライトバックを行います。

ブロック転送では、最初の DMA サイクルの開始時に TI フェッチし、ブロック転送完了の条件（最終転送またはアドレスリロード転送）の DMA サイクルの完了後に TI ライトバックを行います。

したがって、シングル転送では DMA サイクルごとに DTSRAM 上の転送情報が更新されます。ブロック転送ではブロック転送の完了後に DTSRAM 上の転送情報が更新されます。ブロック転送の実行中に、ソフトウェアで DTSRAM 上の転送情報を読み出した場合は、ブロック転送の開始時の転送情報が読み出されます。

7.3 一時中断・再開、転送中止および DMA 転送要求のクリア

7.3.1 ソフトウェア制御による DMA 一時中断・再開

DMA 制御レジスタ (DMACTL) により、全チャンネルの DMA 転送一時中断機能を提供します。

DMA 制御レジスタの DMA 一時中断ビット (DMACTL.DMASPD) がセットされると、DMA は全チャンネル一時中断状態に移行します。全チャンネル一時中断状態で、DMA 制御レジスタの DMA 一時中断ビットがクリアされると、DMA は全チャンネル一時中断状態から通常状態に復帰し、一時中断状態だったチャンネルの DMA 転送は再開されます。

全チャンネル一時中断状態では、DMAC の各チャンネルの DCENn.DTE ビットおよび DTS の DTSCn.DTSUST ビットの状態は変わりませんが、すべてのチャンネルの DMA 転送は一時中断された状態になります。

注 意

DTS で実行中の DMA 転送を一時中断／再開する場合は、DMA 転送要求有効ビット (DTFSLnnn.REQEN) の有効／無効の操作を行う必要があります。詳細は、「7.3.3 DTS の一時中断・再開および転送中止」の注意事項をご参照ください。

7.3.2 DMAC チャンネルの一時中断・再開および転送中止

DMAC チャンネル動作有効設定レジスタのチャンネル動作有効ビット (DCENn.DTE) をクリアまたは DMA 制御レジスタの DMA 一時中断ビット (DMACTL.DMASPD) をセットすることで、DMAC チャンネルの DMA 転送を一時中断することができます。DMA サイクルを実行中の場合、実行中の DMA サイクルの終了後に DMA 転送を一時中断します。一時中断の状態では DCENn.DTE ビットを再びセットまたは DMACTL.DMASPD ビットをクリアすると、一時中断した DMAC チャンネルの DMA 転送を再開します。

DMAC チャンネルで実行中の DMA 転送を中止したい場合、DMAC チャンネル動作有効設定レジスタのチャンネル動作有効ビット (DCENn.DTE) をクリアしたあとで、ハードウェア DMA 転送要求であれば DTFR のハードウェア DMA 転送要求をクリアし、ソフトウェア DMA 転送要求であれば DMAC 転送ステータスクリアレジスタのソフトウェア DMA 転送要求フラグクリアビット (DCSTn.SRC) を利用してソフトウェア DMA 転送要求フラグ (DCSTn.SR) をクリアしてください。

連続転送イネーブルビット (DTCTn.MLE) がセットされた状態では、チャンネル動作有効ビット (DCENn.DTE) がセットされた状態が維持されます。最終転送の DMA サイクル中にソフトウェアでチャンネル動作有効ビット (DCENn.DTE) をクリアしても、連続転送イネーブルビット (DTCTn.MLE) の機能が優先され最終転送完了後にチャンネル動作有効ビット (DCENn.DTE) が再びセットされます。

連続転送機能を使用中に DMAC チャンネルを一時中断させたい場合は、DMAC 転送制御レジスタの連続転送イネーブルビット (DTCTn.MLE) をクリアした後で、DMAC チャンネル動作有効設定レジスタのチャンネル動作有効ビット (DCENn.DTE) をクリアして DMAC チャンネルの DMA 転送を中断してください。この操作を行う場合に限り、DMAC 転送制御レジスタ (DTCTn) をチャンネル動作有効状態 (DCENn.DTE = 1) で書き込むことが許可されます。

図 7.10 に DMAC チャンネルの一時中断・再開・転送中止の動作例を示します。

図 7.10 では、チャンネル 0 とチャンネル 1 はいずれもブロック転送を実行します。時間 1 でチャンネル 1 が DMA 転送を開始します。時間 2 でチャンネル 0 の DMA 転送要求が受け付けられ、DMAC チャンネルアービトレーションにより、チャンネル 1 よりも優先度の高いチャンネル 0 の DMA 転送を開始します。時間 3 でチャンネル 0 の最終転送が完了し、チャンネル 1 のブロック転送の残りの DMA 転送を開始します。時間 4 でチャンネル 1 の最終転送が完了します。時間 5 以降は同様にチャンネル 0 とチャンネル 1 の DMA 転送を実行しますが、時間 7 でチャンネル 0 の DMA 転送が一時中断され、DMAC チャンネルアービトレーションによりチャンネル 1 の DMA 転送を開始します。時間 8 でチャンネル 1 の最終転送が完了した後、時間 9 でチャンネル 0 の DMA 転送を再開しています。時間 10 で再びチャンネル 0 の DMA 転送を一時中断し、時間 11 でチャンネル 0 の DMA 転送を中止しています。時間 12 でチャンネル 0 の一時中断状態を解除していますが、時間 11 で DMA 転送が中止されているためチャンネル 0 の DMA 転送は実行されません。

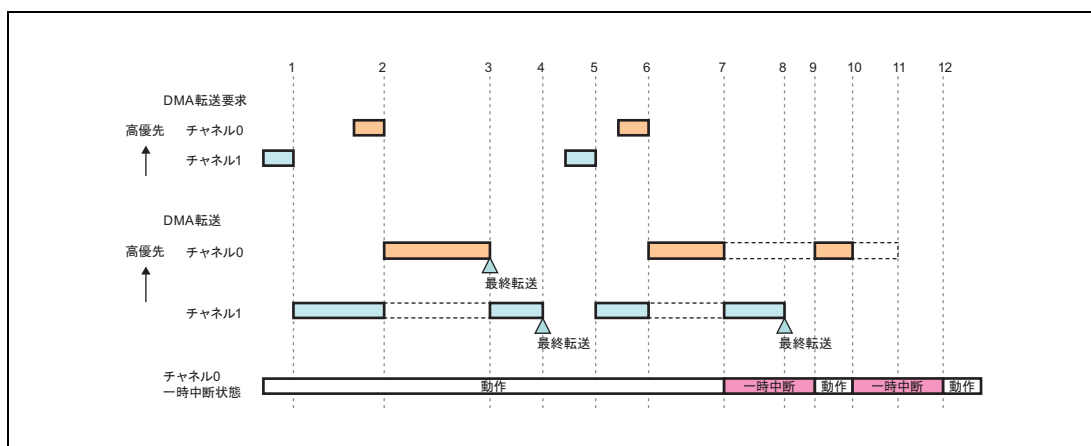


図 7.10 DMAC チャンネルの一時中断・再開・転送中止の動作例

7.3.3 DTS の一時中断・再開および転送中止

DTS 制御レジスタ 1 の DTS 一時中断ビット (DTSCTL1.DTSUST) または DMA 制御レジスタの DMA 一時中断ビット (DMACTL.DMASPD) をセットすることで、DTS で実行中の DMA 転送を一時中断することができます^{注 1}。DMA サイクルを実行中の場合、DMA サイクルが完了した時点で一時中断状態になります。実行中の DMA サイクルがシングル転送、またはブロック転送を完了する転送（最終転送またはアドレスリロード転送）の場合は、DMA サイクルの完了後、TI ライトバックを行った後に一時中断状態になります。それ以外の DMA サイクルを実行中の場合は、DMA サイクルの完了後、TI ライトバックは行わずに一時中断状態になります。一時中断状態から DMA 転送を再開するには DTS 制御レジスタ 1 の DTS 一時中断ビットまたは DMA 制御レジスタの DMA 一時中断ビットをクリアします^{注 1}。

注 1. DTS で実行中の DMA 転送を一時中断／再開する前に DMA 転送要求有効ビット (DTFSLnnn.REQEN) の有効／無効の操作を行う必要があります。一時中断／再開する際には、以下の処置を行ってください。

(a) DTS を一時中断する際の手順

1. DMA 転送要求有効ビット (DTFSLnnn.REQEN) がセットされている全ての DTS チャンネルの DMA 転送要求有効ビット (DTFSLnnn.REQEN) をクリアする。
2. DTSCTL1.DTSUST ビットまたは DMACTL.DMASPD ビットをセットする。

(b) DTS を再開する際の手順

1. (a) の 1. でクリアした DTS チャンルの DMA 転送要求有効ビット (DTFSLnnn.REQEN) をセットする。
2. (a) の 2. でセットした DTSCCTL1.DTSUST ビットまたは DMACTL.DMASPD ビットをクリアする。

DTS で実行中の DMA 転送を中止したい場合は、まず上記の操作のうち、DTS 制御レジスタ 1 の DTS 一時中断ビット (DTSCCTL1.DTSUST) を使用して DTS を一時中断状態にした後、DTS 制御レジスタ 2 の DTS 転送中止要求ビット (DTSCCTL2.DTSTIT) をセットすることで、一時中断中の DMA 転送を中止することができます。転送中止の際に TI ライトバックは行われません。また、転送中止の操作を行った場合も DTS 一時中断ビット (DTSCCTL1.DTSUST) の状態は変わりませんので、転送中止後に DTS で別の DMA 転送要求を受け付けたい場合は、DTS チャンルの DMA 転送要求有効ビット (DTFSLnnn.REQEN) をセットした後、DTS 一時中断ビットをクリアしてください。

図 7.11 に DTS の一時中断・再開・転送中止の動作例を示します。

図 7.11 では、チャンネル 0、チャンネル 1 およびチャンネル 2 はいずれもブロック転送を実行します。時間 1 でチャンネル 1 の DMA 転送要求が受け付けられ、DMA 転送を開始します。時間 2 でチャンネル 0 とチャンネル 2 の DMA 転送要求が発生しています。時間 3 でチャンネル 1 の最終転送が完了し、DTS チャンネルアービトラージョンにより優先度の高いチャンネル 0 の DMA 転送要求が受け付けられチャンネル 0 の DMA 転送を開始します。時間 4 でチャンネル 0 の最終転送が完了し、チャンネル 2 の DMA 転送を開始します。時間 5 で DTS が一時中断状態にセットされ、チャンネル 2 の DMA 転送は一時中断されます。時間 6 でチャンネル 0 とチャンネル 1 の DMA 転送要求が発生しています。時間 7 で DTS の一時中断状態がクリアされ、ブロック転送の途中で一時中断となったチャンネル 2 の DMA 転送が再開されます。ブロック転送の途中で一時中断となった場合、再開時に DTS チャンネルアービトラージョンは行われません。時間 8 でチャンネル 2 の最終転送が完了し、DTS チャンネルアービトラージョンにより優先度の高いチャンネル 0 の DMA 転送要求が受け付けられ、DMA 転送を開始します。時間 9 で DTS が一時中断状態にセットされ、時間 10 で一時中断中のチャンネル 0 の DMA 転送が中止されています。時間 11 で DTS の一時中断状態がクリアされると、現在 DMA 転送中のチャンネルは存在しないため、DMA 転送要求のあるチャンネル 1 の DMA 転送が開始されます。

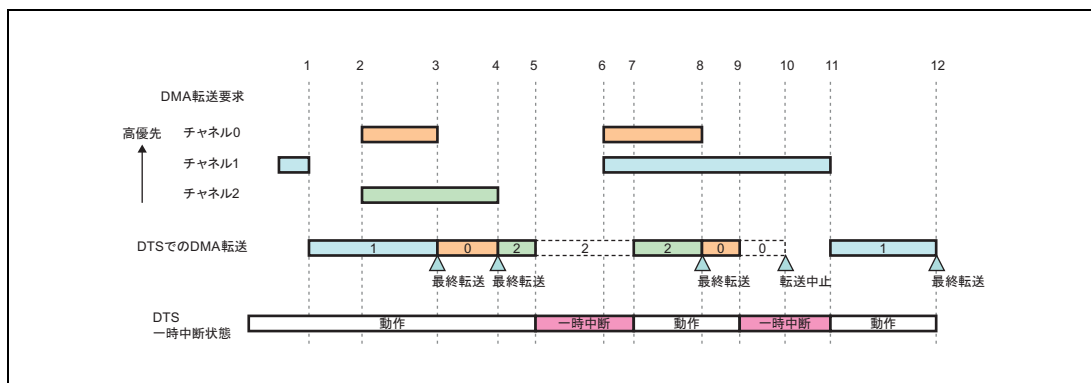


図 7.11 DTS の一時中断・再開・転送中止の動作例

7.3.4 DTFR のハードウェア DMA 転送要求マスクおよびクリア

DMAC でハードウェア DMA 転送要求を使用している場合、DTFR 設定レジスタのハードウェア DMA 転送要因選択有効ビット (DTFRn.REQEN) をクリアすることで、一時的に DTFR から DMAC に対するハードウェア DMA 転送要求出力を無効化 (マスク) することができます。

また、ハードウェア DMA 転送要因を利用する場合には、DTFR 転送要求クリアレジスタのハードウェア DMA 転送要求クリア (DTFRn.DRQC) ビットを使用して、DTFR で保持しているハードウェア DMA 転送要求をクリアすることができます。

DMAC チャンネルに対して DMA 転送の一時中断や転送中止の操作を行った場合でも、DTFR のハードウェア DMA 転送要求選択・保持回路は動作したままですので、DMAC チャンネルの一時中断の期間または転送中止の期間中に DTFR に入力されたハードウェア DMA 転送要求を DTFR は保持している場合があります。DMAC チャンネルで DMA 転送を再開または開始する場合には、必要に応じて、DTFR で保持しているハードウェア DMA 転送要求をクリアする操作を行ってください。

DMAC をハードウェア転送要求かつブロック転送 (1 または 2) の設定で使用する場合、DMAC がブロック転送を実行中に、ソフトウェアで DTFR のハードウェア転送要因選択ビットを無効 (DTFRn.REQEN = 0) に設定した場合、実行中のブロック転送が中断します。

7.3.5 DTSFSL の DMA 転送要求マスクおよびクリア

DTS では、DTSFSL 動作設定レジスタの転送要求有効ビット (DTSFSLnnn.REQEN) をクリアすることで、一時的に DTS に対するそのチャンネルからの DMA 転送要求を無効化 (マスク) することができます。(実際の動作としては、DTSFSL 内で DTS チャンネルアービトレーションの際に、そのチャンネルをアービトレーション対象から除外します。)

また、DTSFSL 転送要求クリアレジスタの転送要求クリア (DTSFSLn.DRQC) ビットを使用して、DTSFSL で保持している DMA 転送要求をクリアすることができます。

DTS の状態や DTSFSL の転送要求有効ビット (DTSFSLnnn.REQEN) の状態にかかわらず、DTSFSL は常にハードウェア転送要因入力を監視しており、DTSFSL にハードウェア転送要因が入力されるとそのチャンネルに対応する DMA 転送要求がセットされます。DTS 転送を再開または開始する場合には、必要に応じて、DTSFSL で保持している DMA 転送要求をクリアする操作を行ってください。

7.3.6 一時中断・再開・転送中止機能一覧

表 7.5 一時中断・再開・転送中止機能一覧

| 機能 | 操作方法 | 動作 | DMA 転送中止の可否 | 操作可能なマスタ（「7.5 信頼性機能」参照） |
|-------------------|--|--------------------|--------------------------------------|--------------------------|
| DMA 一時中断・再開 | DMACTL.DMASPD をセット・クリア ^{注2} | 全チャンネルが一時中断状態 | 不可 ^{注1} | 特殊マスタ |
| DMAC チャンネル一時中断・再開 | 各チャンネルレジスタの DCENn.DTE をクリア・セット ^{注3} | チャンネルの DMA 転送を一時中断 | 可能 （一時中断状態で DMA 転送要求フラグをクリア） | 特殊マスタ、チャンネルに割り当てられた一般マスタ |
| DTS 一時中断・再開 | DTSCCTL1.DTSUST をセット・クリア ^{注2} | DTS の DMA 転送を一時中断 | 可能 （一時中断状態で DTSCCTL2.DTSTIT をセット） | 特殊マスタ |

- 注 1. DMA 転送を中止するためには、DMAC チャンネルの転送中止または DTS の転送中止の操作を行う必要があります。
- 注 2. DTS で実行中の DMA 転送を一時中断／再開する場合は、DMA 転送要求有効ビット（DTFSLn.DREQEN）の有効／無効の操作を行う必要があります。詳細は、「7.3.3 DTS の一時中断・再開および転送中止」の注意事項をご参照ください。
- 注 3. 連続転送機能使用中は、連続転送イネーブルビット（DTCTn.MLE）を先に操作（セット・クリア）してください。

7.4 エラー制御

7.4.1 エラーの種類

DMA で発生するエラーは次の2つの種類があります。

- DMA 転送エラー
DMA サイクルのリードサイクルまたはライトサイクルで、エラーが検出された場合に発生します。DMAC および DTS のすべてのチャンネルで、DMA 転送の実行時に発生する可能性があります。
- DTSRAM エラー
DTS による DTSRAM リードアクセスで ECC エラーを検出した場合に発生します。DTS の DMA 転送実行時の TI フェッチ、またはソフトウェアから DTS チャンネルレジスタアクセスの際に発生する可能性があります。

7.4.2 DMA 転送エラー

DMA 転送エラーが発生すると DMA 転送エラー割り込み (DMAERR) が発生します。

DMA 転送エラーの検出は、DMAC の各チャンネルと DTS とで独立していますが、DMA 転送エラー割り込み (DMAERR) は DMAC と DTS で共通です。

7.4.2.1 DMAC の DMA 転送エラー発生時の動作

DMAC で DMA 転送エラーが発生すると、DMA 転送エラーが発生したチャンネルの DMAC 転送ステータスレジスタの転送エラーフラグ (DCSTn.ER) がセットされます。DMAC エラーレジスタ (DMACER) で DMAC の 8 チャンネルすべての転送エラーフラグの状態を確認することができます。

転送エラーフラグがセットされたチャンネルでは、転送エラー時 DMA 転送禁止設定 (DTCTn.ESE) ビットがセットされている場合は、新たな DMA サイクルは実行されませんが、転送エラー時 DMA 転送禁止設定 (DTCTn.ESE) ビットがクリアされている場合は、転送エラーフラグの状態に関係なく DMA サイクルが実行されます。

DMA 転送エラーが発生したチャンネルの DMA 転送を中止する場合は、DMAC チャンネルの DMA 転送中止の操作を実行してください。

DMA サイクルのリードサイクルで DMA 転送エラーが発生した場合は、ライトサイクルは実行されません。DMA サイクルのライトサイクルで DMA 転送エラーが発生した場合は、ライト動作の結果の正常性は保証しません。

DMA 転送エラーの発生が DMA サイクルのリードサイクルおよびライトサイクルのいずれの場合でも、ソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロードカウンタの各レジスタは更新されます。

7.4.2.2 DTS の DMA 転送エラー発生時の動作

DTS で DMA 転送エラーが発生すると、DTS エラーレジスタの DTS エラー発生フラグ (DTSER1.DTSER) がセットされ、同レジスタの DTS エラーチャンネル (DTSER1.DTSERCH) に DMA 転送エラーが発生した DTS チャンネル番号が格納されます。

シングル転送で DMA 転送エラーが発生すると、TI ライトバックを行って DMA サイクルを終了します。

ブロック転送の途中で DMA 転送エラーが発生し、転送エラー時 DMA 転送中止設定 (DTTCTnnn.ESE) がセットされている場合は、ブロック転送の残りの DMA サイクルを実行せずに、TI ライトバックを行って DMA 転送を終了します。その際 DTS 状態レジスタの DTS 転送状態 (DTSSTS.DTSACT) ビットはクリアされます。ブロック転送の途中で DMA 転送エラーが発生し、転送エラー時 DMA 転送中止設定 (DTTCTnnn.ESE) がクリアされている場合は、DMA 転送エラーの発生に関係なくブロック転送を継続します。

DMA サイクルのリードサイクルで DMA 転送エラーが発生した場合は、ライトサイクルは実行されません。DMA サイクルのライトサイクルで DMA 転送エラーが発生した場合は、ライト動作の結果の正常性は保証しません。

DMA 転送エラーの発生が DMA サイクルのリードサイクルおよびライトサイクルのいずれの場合でも、ソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロードカウンタは更新され、TI ライトバックの際に TI が更新されます。

DTS エラーレジスタの DTS エラー発生フラグがセットされた状態で、DTS エラーチャンネルに格納されたチャンネル番号と同じチャンネルの DMA 転送要求を DTS が受け付けると、TI フェッチを実行します。TI フェッチの結果転送エラー時 DMA 転送中止設定 (DTTCTnnn.ESE) がセットされていた場合は DMA サイクルおよび TI ライトバックを実行しません。転送エラー時 DMA 転送中止設定 (DTTCTnnn.ESE) がクリアされている場合は DMA 転送が実行されます。

DTS エラーレジスタの DTS エラー発生フラグがセットされた状態で、DTS エラーチャンネルに格納されたチャンネル番号と異なるチャンネルの DMA 転送要求を DTS が受け付けた場合には、DMA 転送が実行されます。

7.4.3 DTSRAM エラー

DTSRAM リードアクセスで検出する DTSRAM エラーには、ECC 1 ビットエラーと ECC 2 ビットエラーの 2 種類があります。

TI フェッチの際に ECC 1 ビットエラーを検出した場合は、訂正後のデータを用いて DMA 転送を継続します。ソフトウェアからの DTS チャンネルレジスタアクセスの際に ECC 1 ビットエラーを検出した場合は、訂正後のデータをリードデータとして応答します。またいずれの場合にも、DTS エラーレジスタ 2 の DTSRAM 1 ビットエラー発生フラグ (DTSER2.RAMSED) がセットされ、DTSRAM 1 ビットエラーアドレス (DTSER2.RAMSEDAD) にエラーが発生した DTSRAM のアドレスが保持されます。また、ECM にエラー通知を行います。

TI フェッチの際に ECC 2 ビットエラーを検出した場合は、DMA サイクルおよび TI ライトバックを実行せずに、その DMA 転送要求に対する処理を終了します。ソフトウェアからの DTS チャンネルレジスタアクセスの際に ECC 2 ビットエラーを検出した場合は、周辺バスエラーの通知を行います。またいずれの場合にも、DTS エラーレジスタ 2 の DTSRAM 2 ビットエラー発生フラグ (DTSER2.RAMDED) がセットされ、DTSRAM 2 ビットエラーアドレス (DTSER2.RAMDEDAD) にエラーが発生したアドレスが保持されます。また、ECM にエラー通知を行います。

7.5 信頼性機能

7.5.1 概要

本製品では、DMA は複数のマスタ（CPU1 や PCU）から利用される資源であり、DMA でマルチコア構成に対応するための以下の信頼性機能を提供します。

- レジスタアクセス保護機能
- マスタ情報継承機能

7.5.2 レジスタアクセス保護機能

本製品では、DMA の各チャンネルは CPU1 や PCU に割り当てて利用することを想定しています。

レジスタアクセス保護機能は、DMA の各チャンネルの転送情報に対して、チャンネルに割り当てたマスタ（CPU1 や PCU）からのみアクセスを許可し、ほかのマスタからのアクセスを禁止する機能です。

レジスタアクセス保護機能により、たとえば、チャンネルに割り当てたマスタ以外の無関係のマスタによってチャンネルの設定内容が読み出されたり変更されたりすることを防ぐことができます。

7.5.2.1 アクセス元マスタの識別

DMA は、アクセス元の CPU 番号（PEID）、CPU がスーパーバイザモード（PSW.UM = 0）かユーザモード（PSW.UM = 1）かによってマスタを識別します。

7.5.2.2 マスタアクセス

マスタアクセスには、以下の 2 種類があります。

- 特殊マスタアクセス（CPU1 のスーパーバイザモード（UM = 0））
- 一般マスタアクセス（特殊マスタアクセス以外のアクセス）

特殊マスタアクセスでは、すべてのレジスタに対してアクセスが許可されます。

一般マスタアクセスでは、次のレジスタに対してアクセスが許可されます。

- グローバルレジスタのうち次のレジスタ
DMACER、DTSER1、DTSER2、DTSSTS
- チャンネル割り当て（「7.5.2.3 チャンネル割り当て」参照）によって割り当てられたチャンネルのチャンネルレジスタ

上記以外のレジスタに対しては、一般マスタアクセスは許可されません。

7.5.2.3 チャネル割り当て

DMA では、各チャネル単位で、そのチャネルを利用するマスタ（CPU1 や PCU）を割り当てることができます。チャネル割り当ては CPU1 のスーパーバイザモード（UM = 0）がチャネルマスタ設定レジスタ（DMAC の場合は DMnnCM、DTS の場合は DTSnnnCM）を設定することで行います。

一般マスタアクセスでは、チャネル割り当てによって割り当てられたマスタは、そのチャネルのチャネルレジスタにアクセスすることが許可されます。チャネル割り当てによって割り当てられたマスタ以外がチャネルレジスタにアクセスした場合は、違反アクセスとなります。違反アクセスについては「7.5.2.4 違反アクセス」で説明します。

7.5.2.4 違反アクセス

DMA は次のアクセスを違反アクセスとして扱います。

- a) グローバルレジスタに対する一般マスタアクセス
ただし、次のレジスタを除く：DMACER, DTSER1, DTSER2, DTSSTS
- b) チャネル割り当てによって割り当てられたマスタ以外からのチャネルレジスタに対する一般マスタアクセス

DMA は違反アクセスに対して次の動作を行います。

- a) , b) の場合ともに
 - ライトアクセスは無視します。
 - リードアクセスはリードデータとして 0 を返します。

また、b) の場合にのみ、

- レジスタアクセス保護違反レジスタに、違反アクセスの際の情報を保存します。レジスタアクセス保護違反レジスタは DMAC0 および DTS で分かれています（DM0CMV, DTSCMV）。
- ECM に DMAVIOL（DMA 違反アクセス）を通知します。

レジスタアクセス保護違反レジスタにアクセス可能なのは特殊マスタのみです。特殊マスタはレジスタアクセス保護違反レジスタを定期的に確認することで、違反アクセスの発生状態を確認することができます。

また、DMA を利用するマスタは、チャネルレジスタに転送情報を設定する際に、違反アクセスが発生せずに設定が正しく行われていることをリードバックなどにより確認することを推奨します。

7.5.3 マスタ情報継承機能

本製品では、DMA アクセスの際にはDMA チャンネルを設定したCPU 1 やPCU と同等のマスタ情報を継承します。

DMA が出力するマスタ情報は**表 7.6** のとおりです。

表 7.6 DMA が出力するマスタ情報

| 意味 | DMA から出力する値 |
|----------|---------------------------|
| UM | チャンネルマスタ設定レジスタのUM ビットの値 |
| SPID | チャンネルマスタ設定レジスタのSPID ビットの値 |
| PEID | チャンネルマスタ設定レジスタのPEID ビットの値 |
| DMA アクセス | 1 |

7.5.4 その他の信頼性機能

7.5.4.1 チェイン先の制限

信頼性機能により、チェイン先として指定可能なチャンネルが制限されます。

チェイン機能を使用する際は、チェイン元チャンネルのチャンネルマスタ設定とチェイン先チャンネルのチャンネルマスタ設定は同じ内容を設定してください。

チェイン機能の使用時は、チェイン元のチャンネルとチェイン先のチャンネルは同一のマスタの管理下でを使用することを想定しています。

DMA は、異なるマスタを割り当てたチャンネルへのチェインは意図外の動作であると判断し、チェイン動作を制限します。具体的には、DMA はチェイン実行時にチェイン元チャンネルのチャンネルマスタ設定とチェイン先チャンネルのチャンネルマスタ設定の内容をチェックして、チャンネルマスタ設定のPEID、UM がすべて同一の場合はチェインを許可し、チェイン先チャンネルにチェイン要求を行います。チャンネルマスタ設定のPEID、UM のいずれかが異なる場合は、チェイン要求を行いません。

7.6 DMA 転送の設定手順

7.6.1 DMA 設定手順概要

表 7.7 チャンネル割り当て (1/2)

| No. | 設定元マスタ | 内容 | レジスタ | | 操作の必要条件 | |
|-----|--|-------------|----------------------|-------------------------------------|--------------------------|----|
| 1 | 特殊マスタ (CPU1の スーパーバイザ モード (UM = 0)) | DMA 全体動作の設定 | DTSPR0 ~ DTSPR7 | DTS チャンネル優先度設定 レジスタ | 必須 (DTS を使用する場合) | |
| 2 | | | DM00CM ~ DM07CM | DMAC チャンネルマスタ設 定レジスタ | 必須 (DMAC を使用する場合) | |
| 3 | | | DTS0CM ~ DTS127CM | DTS チャンネルマスタ設定 レジスタ | 必須 (DTS を使用する場合) | |
| 4 | | ステータスのクリア | DTSERC | DTS エラークリアレジス タ | 推奨 | |
| 5 | | | CMVC | チャンネル保護違反クリアレ ジスタ | 推奨 | |
| 6 | DMAC チャンネル に割り当てられ たマスタ | チャンネルの設定 | DSAn | DMAC ソースアドレスレ ジスタ | 必須 | |
| 7 | | | DDAn | DMAC ディスティネー ションアドレスレジスタ | 必須 | |
| 8 | | | DTCn | DMAC 転送回数レジスタ | 必須 | |
| 9 | | | DTCTn | DMAC 転送制御レジスタ | 必須 | |
| 10 | | | DRSAn | DMAC リロードソースア ドレスレジスタ | リロード機能を使用する場合必須 | |
| 11 | | | DRDAn | DMAC リロードディス ティネーションアドレスレ ジスタ | リロード機能を使用する場合必須 | |
| 12 | | | DRTCn | DMAC リロード転送回数 レジスタ | リロード機能を使用する場合必須 | |
| 13 | | | DTCCn | DMAC 転送回数コンペア レジスタ | 転送回数一致割り込みを使用する場合 必須 | |
| 14 | | | DTFRn | DTFR 設定レジスタ | 必須 | |
| 15 | | | ステータスのクリア | DCSTCn | DMAC 転送ステータスク リアレジスタ | 必須 |
| 16 | | | | DTFRRQCn | DTFR 転送要求クリアレジ スタ | 推奨 |
| 17 | | | チャンネル動作有効 | DCENn | DMAC チャンネル動作有効 設定レジスタ | 必須 |

表 7.7 チャンネル割り当て (2/2)

| No. | 設定元マスタ | 内容 | レジスタ | | 操作の必要条件 | |
|-----|----------------------|----------|-----------|----------------------------|---------------------|----|
| 18 | DTS チャンネルに割り当てられたマスタ | チャンネルの設定 | DTSAnnn | DTS ソースアドレスレジスタ | 必須 | |
| 19 | | | DTDAnnn | DTS ディスティネーションアドレスレジスタ | 必須 | |
| 20 | | | DTTCnnn | DTS 転送回数レジスタ | 必須 | |
| 21 | | | DTTCTnnn | DTS 転送制御レジスタ | 必須 | |
| 22 | | | DTRSAnnn | DTS リロードソースアドレスレジスタ | リロード機能を使用する場合必須 | |
| 23 | | | DTRDAnnn | DTS リロードディスティネーションアドレスレジスタ | リロード機能を使用する場合必須 | |
| 24 | | | DTRTCnnn | DTS リロード転送回数レジスタ | リロード機能を使用する場合必須 | |
| 25 | | | DTTCnnn | DTS 転送回数コンペアレジスタ | 転送回数一致割り込みを使用する場合必須 | |
| 26 | | | ステータスのクリア | DTFSCnnn | DTSFSL 転送要求クリアレジスタ | 推奨 |
| 27 | | | 転送要求有効 | DTFSLnnn | DTSFSL 動作設定レジスタ | 必須 |

7.6.2 DMA 全体動作設定手順

DMA の利用を開始する前に、DMA 全体動作設定を行う必要があります。

DMA 全体動作設定は、特殊マスタである CPU1 のスーパーバイザモード (UM=0) がグローバルレジスタを設定することで実施します。グローバルレジスタの設定は特殊マスタアクセスのみ許可されます。詳細は「7.5 信頼性機能」を参照してください。

DMA 全体動作設定で設定が必要なレジスタは以下のとおりです。

- DTS チャンネル優先度設定レジスタ (DTSPRn, n=0~7)
DTS チャンネルアービトラージュの際の DTS の各チャンネルの優先度を設定します。
- DMAC チャンネルマスタ設定レジスタ (DMnnCM)
- DTS チャンネルマスタ設定レジスタ (DTSnnnCM)
チャンネル割り当てを行います。(詳細は「7.5 信頼性機能」を参照)
DMAC チャンネルマスタ設定レジスタと DTS チャンネルマスタ設定レジスタの設定を正しく行わない場合、DMA チャンネル設定および DMA 転送が正しく実行できません。

また、DMA 全体動作設定の際に次のレジスタでエラーを検出している場合には、エラーをクリアすることを推奨します。

- DTS エラーレジスタ 1 (DTSER1)
- DTS エラーレジスタ 2 (DTSER2)
- DMAC0 レジスタアクセス保護違反レジスタ (DM0CMV)
- DTS レジスタアクセス保護違反レジスタ (DTSCMV)

7.6.3 DMA チャンネル設定手順

DMA チャンネル設定では、DMAC および DTS の各チャンネルの転送情報や転送要因の選択を行います。

DMA チャンネル設定は、チャンネル割り当てによって割り当てられた各チャンネルのマスタがチャンネルレジスタを設定することで実施します。

7.6.3.1 DMAC チャンネル設定手順

DMAC を利用する場合の DMAC チャンネル設定は以下の手順で行います。

(1) チャンネル動作無効設定

DMAC チャンネル動作有効設定レジスタ (DCENn) でチャンネル動作有効 (DTE) がセットされている場合は、DTE ビットをクリアしてチャンネル動作を無効の状態に変更します。

(2) 転送情報の設定

DMAC の転送情報の設定では、次のレジスタを設定します。

- DMAC ソースアドレスレジスタ (DSAn)
- DMAC ディスティネーションアドレスレジスタ (DDAn)
- DMAC 転送回数レジスタ (DTCn)
- DMAC 転送制御レジスタ (DTCTn)
- DMAC リロードソースアドレスレジスタ (DRSAn)
- DMAC リロードディスティネーションアドレスレジスタ (DRDAn)
- DMAC リロード転送回数レジスタ (DRTCn)
- DMAC 転送回数コンペアレジスタ (DTCCn)

(3) DMA 転送要求の設定

転送情報の設定で、DMAC 転送制御レジスタ (DTCTn) の DMA 転送要求選択割り付け (DTCTn.DRS) ビットにハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかを設定します。

1 つのチャンネルでハードウェア DMA 転送要求とソフトウェア DMA 転送要求の両方を同時に使用することはできません。

ハードウェア DMA 転送要求を使用する場合は、DTFR 設定レジスタのハードウェア DMA 転送要因選択 (DTFRn.REQSEL) で 128 種類のハードウェア DMA 転送要因からハードウェア DMA 転送要求として使用する要因を選択して設定します。また同じレジスタのハードウェア DMA 転送要因選択 (DTFRn.REQEN) を有効に設定します。

DTFR には、ハードウェア DMA 転送要因を選択する前の状態でハードウェア DMA 転送要求が保持されている場合があるので、必要に応じて、DTFR 転送要求クリアレジスタ (DTFRn.DRQ) を利用して DTFR で保持しているハードウェア DMA 転送要求 (DTFRn.DRQ) をクリアしてください。

ソフトウェア DMA 転送要求を使用する場合は、DTFR 設定レジスタのハードウェア DMA 転送要因選択 (DTFRn.REQEN) を無効に設定します。

(4) 転送ステータスのクリア

DMAC 転送ステータスレジスタ (DCSTn) に、以前の DMA 転送結果が保持されている場合があるので、DMAC 転送ステータスクリアレジスタ (DCSTCn) を利用して DMAC 転送ステータスレジスタの各フラグをクリアします。

(5) チャンネル動作有効設定

DMAC チャンネル動作有効設定レジスタのチャンネル動作有効 (DCENn.DTE) ビットをセットして、チャンネル動作を有効にします。

チャンネル動作有効設定を行ったあとは、DMAC は DMA 転送要求を受け付けて DMA 転送を実行可能な状態になります。

7.6.3.2 DTS チャンネル設定手順

DTS を利用する場合の DTS チャンネル設定は以下の手順で行います。

(1) DTSFSL の転送要求無効設定

チャンネル設定を実行する DTS チャンネルに対応する DTSFSL 動作設定レジスタの転送要求有効 (DTFSLnnn.REQEN) ビットをクリアします。本手順は必須ではありませんが、チャンネル設定を実行する DTS チャンネルに誤って DMA 転送要求が入力されてしまうことを防ぐために実施することを推奨します。

また、チャンネル設定を実行する DTS チャンネルが DMA 転送を実行中でないことを、DTS 状態レジスタ (DTSSTS) で確認することを推奨します。

(2) 転送情報の設定

DTS の転送情報の設定では、次のレジスタから転送情報を設定します。

- DTS ソースアドレスレジスタ (DTSA_{nnn})
- DTS ディスティネーションアドレスレジスタ (DTDA_{nnn})
- DTS 転送回数レジスタ (DTTC_{nnn})
- DTS 転送制御レジスタ (DTTCT_{nnn})
- DTS リロードソースアドレスレジスタ (DTRSA_{nnn})
- DTS リロードディスティネーションアドレスレジスタ (DTRDA_{nnn})
- DTS リロード転送回数レジスタ (DTRTC_{nnn})
- DTS 転送回数コンペアレジスタ (DTTCC_{nnn})

(3) DMA 転送要求の設定

DMAC と異なり、DTS は DMA 転送要求がハードウェア DMA 転送要求であるかソフトウェア DMA 転送要求であるかの区別はしません。DTS ではチャンネルごとの転送要求保持状態ビットを DTSFSL に持っており、ハードウェア DMA 転送要求とソフトウェア DMA 転送要求はどちらも同じ転送要求保持状態ビット (DTFST_{nnn}.DRQ) に保持されます。このため、DTS ではハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかを設定する機能はありません。

DTSFSL には、転送情報を設定する前の状態で DMA 転送要求が保持されている場合があります。必要に応じて、DTSFSL 転送要求クリアレジスタ (DTFSC_{nnn}) を利用して DTSFSL で保持されている DMA 転送要求 (DTFST_{nnn}.DRQ) をクリアしてください。

(4) DTSFSL の転送要求有効設定

DTSFSL 動作設定レジスタの転送要求有効 (DTFSL_{nnn}.REQEN) ビットをセットして、DTS チャンネルに対応する DMA 転送要求を有効にします。

DTSFSL の転送要求有効設定を行ったあとは、DTS は DMA 転送要求を受け付けて DMA 転送を実行可能な状態になります。

7.7 DMA トリガ要因

7.7.1 DMA トリガ要因一覧

DMA チャンネル n への DMA トリガソースの割り当ては DTFR 設定レジスタ (DTFRn) で設定します。

表 7.8 DMA トリガ要因一覧 (1/4)

| | DTSTRG 共通 | 機能・モジュール | DMA トリガ要因名 |
|-------------|-----------|---------------------|---------------------------|
| DMACTRG[0] | — | ATU-IV TimerD | OCR2D00 コンペアマッチ割り込み |
| DMACTRG[1] | — | | OCR2D01 コンペアマッチ割り込み |
| DMACTRG[2] | — | | OCR2D02 コンペアマッチ割り込み |
| DMACTRG[3] | — | | OCR2D03 コンペアマッチ割り込み |
| DMACTRG[4] | — | | DCNTD00 ダウンカウンタアンドフロー割り込み |
| DMACTRG[5] | — | | DCNTD01 ダウンカウンタアンドフロー割り込み |
| DMACTRG[6] | — | | DCNTD02 ダウンカウンタアンドフロー割り込み |
| DMACTRG[7] | — | | DCNTD03 ダウンカウンタアンドフロー割り込み |
| DMACTRG[8] | — | | OCR2D10 コンペアマッチ割り込み |
| DMACTRG[9] | — | | OCR2D11 コンペアマッチ割り込み |
| DMACTRG[10] | — | | OCR2D12 コンペアマッチ割り込み |
| DMACTRG[11] | — | | OCR2D13 コンペアマッチ割り込み |
| DMACTRG[12] | — | | DCNTD10 ダウンカウンタアンドフロー割り込み |
| DMACTRG[13] | — | | DCNTD11 ダウンカウンタアンドフロー割り込み |
| DMACTRG[14] | — | | DCNTD12 ダウンカウンタアンドフロー割り込み |
| DMACTRG[15] | — | | DCNTD13 ダウンカウンタアンドフロー割り込み |
| DMACTRG[16] | — | | OCR2D20 コンペアマッチ割り込み |
| DMACTRG[17] | — | | OCR2D21 コンペアマッチ割り込み |
| DMACTRG[18] | — | | OCR2D22 コンペアマッチ割り込み |
| DMACTRG[19] | — | | OCR2D23 コンペアマッチ割り込み |
| DMACTRG[20] | — | | DCNTD20 ダウンカウンタアンドフロー割り込み |
| DMACTRG[21] | — | | DCNTD21 ダウンカウンタアンドフロー割り込み |
| DMACTRG[22] | — | | DCNTD22 ダウンカウンタアンドフロー割り込み |
| DMACTRG[23] | — | | DCNTD23 ダウンカウンタアンドフロー割り込み |
| DMACTRG[24] | — | | DCNTD30 ダウンカウンタアンドフロー割り込み |
| DMACTRG[25] | — | | DCNTD31 ダウンカウンタアンドフロー割り込み |
| DMACTRG[26] | — | | DCNTD32 ダウンカウンタアンドフロー割り込み |
| DMACTRG[27] | — | | DCNTD33 ダウンカウンタアンドフロー割り込み |
| DMACTRG[28] | — | | DCNTD40 ダウンカウンタアンドフロー割り込み |
| DMACTRG[29] | — | | DCNTD41 ダウンカウンタアンドフロー割り込み |
| DMACTRG[30] | — | | DCNTD42 ダウンカウンタアンドフロー割り込み |
| DMACTRG[31] | — | | DCNTD43 ダウンカウンタアンドフロー割り込み |
| DMACTRG[32] | — | | OCR2D40 コンペアマッチ割り込み |
| DMACTRG[33] | — | | OCR2D41 コンペアマッチ割り込み |
| DMACTRG[34] | — | | OCR2D42 コンペアマッチ割り込み |
| DMACTRG[35] | — | OCR2D43 コンペアマッチ割り込み | |
| DMACTRG[36] | — | 予約 | — |
| DMACTRG[37] | — | 予約 | — |

表 7.8 DMA トリガ要因一覧 (2/4)

| | DTSTRG 共通 | 機能・モジュール | DMA トリガ要因名 |
|-------------|------------|-------------------------|------------------------------|
| DMACTRG[38] | — | 予約 | — |
| DMACTRG[39] | — | 予約 | — |
| DMACTRG[40] | — | 予約 | — |
| DMACTRG[41] | — | 予約 | — |
| DMACTRG[42] | — | 予約 | — |
| DMACTRG[43] | — | 予約 | — |
| DMACTRG[44] | — | ATU-IV TimerE | CYLRE00 サイクルコンペアマッチ DMA 起動要求 |
| DMACTRG[45] | — | | CYLRE10 サイクルコンペアマッチ DMA 起動要求 |
| DMACTRG[46] | — | | CYLRE20 サイクルコンペアマッチ DMA 起動要求 |
| DMACTRG[47] | — | | CYLRE30 サイクルコンペアマッチ DMA 起動要求 |
| DMACTRG[48] | — | | CYLRE40 サイクルコンペアマッチ DMA 起動要求 |
| DMACTRG[49] | — | | CYLRE50 サイクルコンペアマッチ DMA 起動要求 |
| DMACTRG[50] | — | | CYLRE60 サイクルコンペアマッチ DMA 起動要求 |
| DMACTRG[51] | DTSTRG[70] | | ATU-IV TimerF |
| DMACTRG[52] | DTSTRG[71] | タイマ F1 インพุットキャプチャ割り込み | |
| DMACTRG[53] | DTSTRG[72] | タイマ F2 インพุットキャプチャ割り込み | |
| DMACTRG[54] | DTSTRG[73] | タイマ F3 インพุットキャプチャ割り込み | |
| DMACTRG[55] | DTSTRG[74] | タイマ F4 インพุットキャプチャ割り込み | |
| DMACTRG[56] | DTSTRG[75] | タイマ F5 インพุットキャプチャ割り込み | |
| DMACTRG[57] | DTSTRG[76] | タイマ F6 インพุットキャプチャ割り込み | |
| DMACTRG[58] | DTSTRG[77] | タイマ F7 インพุットキャプチャ割り込み | |
| DMACTRG[59] | — | タイマ F8 インพุットキャプチャ割り込み | |
| DMACTRG[60] | — | タイマ F9 インพุットキャプチャ割り込み | |
| DMACTRG[61] | — | タイマ F10 インพุットキャプチャ割り込み | |
| DMACTRG[62] | — | タイマ F11 インพุットキャプチャ割り込み | |
| DMACTRG[63] | — | 予約 | — |
| DMACTRG[64] | — | 予約 | — |
| DMACTRG[65] | — | 予約 | — |
| DMACTRG[66] | — | 予約 | — |
| DMACTRG[67] | — | ATU-IV TimerG | OCRG0 コンペアマッチ割り込み |
| DMACTRG[68] | — | | OCRG1 コンペアマッチ割り込み |
| DMACTRG[69] | — | | OCRG2 コンペアマッチ割り込み |
| DMACTRG[70] | — | | OCRG3 コンペアマッチ割り込み |
| DMACTRG[71] | — | | OCRG4 コンペアマッチ割り込み |
| DMACTRG[72] | — | | OCRG5 コンペアマッチ割り込み |
| DMACTRG[73] | — | | OCRG6 コンペアマッチ割り込み |
| DMACTRG[74] | — | | OCRG7 コンペアマッチ割り込み |
| DMACTRG[75] | — | 予約 | — |
| DMACTRG[76] | — | 予約 | — |
| DMACTRG[77] | — | 予約 | — |
| DMACTRG[78] | — | 予約 | — |

表 7.8 DMA トリガ要因一覧 (3/4)

| | DTSTRG 共通 | 機能・モジュール | DMA トリガ要因名 |
|--------------|------------|--------------------------|-------------------------------------|
| DMACTRG[79] | — | APA | PWM 出力 ch.0 ステータス変化割り込み |
| DMACTRG[80] | — | | PWM 出力 ch.1 ステータス変化割り込み |
| DMACTRG[81] | — | | PWM 出力 ch.2 ステータス変化割り込み |
| DMACTRG[82] | — | | PWM 出力 ch.3 ステータス変化割り込み |
| DMACTRG[83] | — | | PWM 出力 ch.4 ステータス変化割り込み |
| DMACTRG[84] | — | | PWM 出力 ch.5 ステータス変化割り込み |
| DMACTRG[85] | — | | PWM 出力 ch.6 ステータス変化割り込み |
| DMACTRG[86] | — | | PWM 出力 ch.7 ステータス変化割り込み |
| DMACTRG[87] | — | | PWM 出力 ch.8 ステータス変化割り込み |
| DMACTRG[88] | — | | PWM 出力 ch.9 ステータス変化割り込み |
| DMACTRG[89] | — | | PWM 出力 ch.10 ステータス変化割り込み |
| DMACTRG[90] | — | | PWM 出力 ch.11 ステータス変化割り込み |
| DMACTRG[91] | — | | PWM 出力 ch.12 ステータス変化割り込み |
| DMACTRG[92] | — | | PWM 出力 ch.13 ステータス変化割り込み |
| DMACTRG[93] | — | | PWM 出力 ch.14 ステータス変化割り込み |
| DMACTRG[94] | — | PWM 出力 ch.15 ステータス変化割り込み | |
| DMACTRG[95] | — | DS-ADC | DSADI0 DSADC0 A/D 変換終了割り込み (DMA 要求) |
| DMACTRG[96] | — | | DSADI1 DSADC1 A/D 変換終了割り込み (DMA 要求) |
| DMACTRG[97] | — | 予約 | — |
| DMACTRG[98] | — | 予約 | — |
| DMACTRG[99] | — | 予約 | — |
| DMACTRG[100] | — | 予約 | — |
| DMACTRG[101] | — | 予約 | — |
| DMACTRG[102] | — | 予約 | — |
| DMACTRG[103] | DTSTRG[90] | RHSB_0 | ダウンストリームデータ DMA 要求 |
| DMACTRG[104] | DTSTRG[91] | | アップストリーム DMA 要求 |
| DMACTRG[105] | — | 予約 | — |
| DMACTRG[106] | — | 予約 | — |
| DMACTRG[107] | — | SCI_0 | RXI (受信データフル) |
| DMACTRG[108] | — | | TXI (送信データエンプティ) |
| DMACTRG[109] | — | SCI_1 | RXI (受信データフル) |
| DMACTRG[110] | — | | TXI (送信データエンプティ) |
| DMACTRG[111] | — | SCI_2 | RXI (受信データフル) |
| DMACTRG[112] | — | | TXI (送信データエンプティ) |
| DMACTRG[113] | — | SCI_3 | RXI (受信データフル) |
| DMACTRG[114] | — | | TXI (送信データエンプティ) |
| DMACTRG[115] | — | 予約 | — |
| DMACTRG[116] | — | 予約 | — |
| DMACTRG[117] | — | 外部割り込み | IRQ0 割り込み ^{注2} |
| DMACTRG[118] | — | | IRQ1 割り込み ^{注2} |
| DMACTRG[119] | — | | IRQ2 割り込み ^{注2} |
| DMACTRG[120] | — | | IRQ3 割り込み ^{注2} |
| DMACTRG[121] | — | 予約 | — |
| DMACTRG[122] | — | 予約 | — |

表 7.8 DMA トリガ要因一覧 (4/4)

| | DTSTRG 共通 | 機能・モジュール | DMA トリガ要因名 |
|--------------|-----------|------------|--------------------------------|
| DMACTRG[123] | — | 予約 | — |
| DMACTRG[124] | — | 予約 | — |
| DMACTRG[125] | — | Data Flash | DMA プログラムコマンド用信号 ^{注3} |
| DMACTRG[126] | — | 予約 | — |
| DMACTRG[127] | — | 予約 | — |

注 1. DMA トリガ要因名は、各モジュールの出力信号名称と異なる場合があります。

注 2. IRQ 割り込みを DMA 要因として使用する場合は外部割り込みコントロールレジスタ (EXINTCTL) の外部割り込みセンス選択ビットをハイレベル指定 (01_H) にしてください。

注 3. 『RH850/E1x フラッシュメモリ ユーザーズマニュアルハードウェアインタフェース編』をご参照ください。

7.8 DTS トリガ要因

7.8.1 DTS トリガ要因一覧

DTS チャンネル n への DTS トリガソースの割り当ては表 7.9 のとおりとなります。

表 7.9 DTS トリガ要因一覧 (1/4)

| | DMACTRG 共通 | 機能・モジュール | DTS トリガ要因名 | |
|------------|------------|-------------------|------------------------------|-------------------|
| DTSTRG[0] | — | OSTM | OSTM0 割り込み (OSTM0TINT) | |
| DTSTRG[1] | — | | OSTM1 割り込み (OSTM1TINT) | |
| DTSTRG[2] | — | | OSTM2 割り込み (OSTM2TINT) | |
| DTSTRG[3] | — | 予約 | — | |
| DTSTRG[4] | — | ADC | ADI00 ADC0 スキャングループ 0 終了割り込み | |
| DTSTRG[5] | — | | ADI01 ADC0 スキャングループ 1 終了割り込み | |
| DTSTRG[6] | — | | ADI02 ADC0 スキャングループ 2 終了割り込み | |
| DTSTRG[7] | — | | ADI03 ADC0 スキャングループ 3 終了割り込み | |
| DTSTRG[8] | — | | ADI04 ADC0 スキャングループ 4 終了割り込み | |
| DTSTRG[9] | — | | ADI10 ADC1 スキャングループ 0 終了割り込み | |
| DTSTRG[10] | — | | ADI11 ADC1 スキャングループ 1 終了割り込み | |
| DTSTRG[11] | — | | ADI12 ADC1 スキャングループ 2 終了割り込み | |
| DTSTRG[12] | — | | ADI13 ADC1 スキャングループ 3 終了割り込み | |
| DTSTRG[13] | — | | ADI14 ADC1 スキャングループ 4 終了割り込み | |
| DTSTRG[14] | — | | ADC0 MPX 割り込み (ADMPXI0) | |
| DTSTRG[15] | — | | ADC1 MPX 割り込み (ADMPXI1) | |
| DTSTRG[16] | — | | ASF (AD 加算機能) | ASI0 ch0 積算終了割り込み |
| DTSTRG[17] | — | | | ASI1 ch1 積算終了割り込み |
| DTSTRG[18] | — | | | ASI2 ch2 積算終了割り込み |
| DTSTRG[19] | — | ASI3 ch3 積算終了割り込み | | |
| DTSTRG[20] | — | ASI4 ch4 積算終了割り込み | | |
| DTSTRG[21] | — | ASI5 ch5 積算終了割り込み | | |
| DTSTRG[22] | — | DFE | CH0 出力データ割り込み / CH0 条件一致割り込み | |
| DTSTRG[23] | — | | CH1 出力データ割り込み / CH1 条件一致割り込み | |
| DTSTRG[24] | — | | CH2 出力データ割り込み / CH2 条件一致割り込み | |
| DTSTRG[25] | — | | CH3 出力データ割り込み / CH3 条件一致割り込み | |
| DTSTRG[26] | — | | CH4 出力データ割り込み / CH4 条件一致割り込み | |
| DTSTRG[27] | — | | CH5 出力データ割り込み / CH5 条件一致割り込み | |
| DTSTRG[28] | — | | CH6 出力データ割り込み / CH6 条件一致割り込み | |
| DTSTRG[29] | — | | CH7 出力データ割り込み / CH7 条件一致割り込み | |
| DTSTRG[30] | — | | CH8 出力データ割り込み / CH8 条件一致割り込み | |
| DTSTRG[31] | — | | CH9 出力データ割り込み / CH9 条件一致割り込み | |
| DTSTRG[32] | — | | CH10 出力データ割り込み | |
| DTSTRG[33] | — | | CH11 出力データ割り込み | |
| DTSTRG[34] | — | | CH12 出力データ割り込み | |
| DTSTRG[35] | — | | CH13 出力データ割り込み | |
| DTSTRG[36] | — | | CH14 出力データ割り込み | |
| DTSTRG[37] | — | CH15 出力データ割り込み | | |

表 7.9 DTS トリガ要因一覧 (2/4)

| | DMACTRG 共通 | 機能・モジュール | DTS トリガ要因名 | |
|------------|-------------|---------------|-------------------------------|---|
| DTSTRG[38] | — | ATU-IV TimerA | ICRA0 インพุットキャプチャ割り込み | |
| DTSTRG[39] | — | | ICRA1 インพุットキャプチャ割り込み | |
| DTSTRG[40] | — | | ICRA2 インพุットキャプチャ割り込み | |
| DTSTRG[41] | — | | ICRA3 インพุットキャプチャ割り込み | |
| DTSTRG[42] | — | | ICRA4 インพุットキャプチャ割り込み | |
| DTSTRG[43] | — | | ICRA5 インพุットキャプチャ割り込み | |
| DTSTRG[44] | — | 予約 | — | |
| DTSTRG[45] | — | ATU-IV TimerB | OCRB12 コンペアマッチ割り込み | |
| DTSTRG[46] | — | | ICRB0 インพุットキャプチャ割り込み | |
| DTSTRG[47] | — | ATU-IV TimerC | GRC00 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[48] | — | | GRC01 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[49] | — | | GRC02 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[50] | — | | GRC03 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[51] | — | | GRC10 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[52] | — | | GRC11 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[53] | — | | GRC12 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[54] | — | | GRC13 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[55] | — | | GRC20 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[56] | — | | GRC21 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[57] | — | | GRC22 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[58] | — | | GRC23 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[59] | — | | GRC30 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[60] | — | | GRC31 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[61] | — | | GRC32 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[62] | — | | GRC33 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[63] | — | | GRC40 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[64] | — | | GRC41 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[65] | — | | GRC42 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[66] | — | | GRC43 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[67] | — | | GRC50 インพุットキャプチャ/コンペアマッチ割り込み | |
| DTSTRG[68] | — | | 予約 | — |
| DTSTRG[69] | — | | 予約 | — |
| DTSTRG[70] | DMACTRG[51] | ATU-IV TimerF | タイマ F0 インพุットキャプチャ割り込み | |
| DTSTRG[71] | DMACTRG[52] | | タイマ F1 インพุットキャプチャ割り込み | |
| DTSTRG[72] | DMACTRG[53] | | タイマ F2 インพุットキャプチャ割り込み | |
| DTSTRG[73] | DMACTRG[54] | | タイマ F3 インพุットキャプチャ割り込み | |
| DTSTRG[74] | DMACTRG[55] | | タイマ F4 インพุットキャプチャ割り込み | |
| DTSTRG[75] | DMACTRG[56] | | タイマ F5 インพุットキャプチャ割り込み | |
| DTSTRG[76] | DMACTRG[57] | | タイマ F6 インพุットキャプチャ割り込み | |
| DTSTRG[77] | DMACTRG[58] | | タイマ F7 インพุットキャプチャ割り込み | |

表 7.9 DTS トリガ要因一覧 (3/4)

| | DMACTRG 共通 | 機能・モジュール | DTS トリガ要因名 |
|-------------|--------------|---------------|-----------------------------------|
| DTSTRG[78] | — | ATU-IV TimerJ | FIFOJ0 FIFO データ フル割り込み |
| DTSTRG[79] | — | | FIFOJ1 FIFO データ フル割り込み |
| DTSTRG[80] | — | | FIFOJ2 FIFO データ フル割り込み |
| DTSTRG[81] | — | | FIFOJ3 FIFO データ フル割り込み |
| DTSTRG[82] | — | 予約 | — |
| DTSTRG[83] | — | 予約 | — |
| DTSTRG[84] | — | 予約 | — |
| DTSTRG[85] | — | 予約 | — |
| DTSTRG[86] | — | 予約 | — |
| DTSTRG[87] | — | 予約 | — |
| DTSTRG[88] | — | 予約 | — |
| DTSTRG[89] | — | 予約 | — |
| DTSTRG[90] | DMACTRG[103] | RHSB_0 | ダウンストリームデータ DMA 要求 |
| DTSTRG[91] | DMACTRG[104] | | アップストリーム DMA 要求 |
| DTSTRG[92] | — | | ダウンストリームコマンド DMA 要求 |
| DTSTRG[93] | — | 予約 | — |
| DTSTRG[94] | — | 予約 | — |
| DTSTRG[95] | — | 予約 | — |
| DTSTRG[96] | — | TSG2_0 | TSG20 コンペア一致割り込み 11 (INTTSG20I11) |
| DTSTRG[97] | — | | TSG20 コンペア一致割り込み 12 (INTTSG20I12) |
| DTSTRG[98] | — | | TSG20 山割り込み (INTTSG20IPEK) |
| DTSTRG[99] | — | | TSG20 谷割り込み (INTTSG20IVLY) |
| DTSTRG[100] | — | 予約 | — |
| DTSTRG[101] | — | 予約 | — |
| DTSTRG[102] | — | 予約 | — |
| DTSTRG[103] | — | 予約 | — |
| DTSTRG[104] | — | CSIH_0 | 通信ステータス割り込み (INT_CSIHTIC) |
| DTSTRG[105] | — | | 受信ステータス割り込み (INT_CSIHTIR) |
| DTSTRG[106] | — | | ジョブ完了割り込み (INT_CSIHTIJC) |
| DTSTRG[107] | — | CSIH_1 | 通信ステータス割り込み (INT_CSIHTIC) |
| DTSTRG[108] | — | | 受信ステータス割り込み (INT_CSIHTIR) |
| DTSTRG[109] | — | | ジョブ完了割り込み (INT_CSIHTIJC) |
| DTSTRG[110] | — | CSIH_2 | 通信ステータス割り込み (INT_CSIHTIC) |
| DTSTRG[111] | — | | 受信ステータス割り込み (INT_CSIHTIR) |
| DTSTRG[112] | — | | ジョブ完了割り込み (INT_CSIHTIJC) |
| DTSTRG[113] | — | 予約 | — |
| DTSTRG[114] | — | 予約 | — |
| DTSTRG[115] | — | 予約 | — |
| DTSTRG[116] | — | 予約 | — |
| DTSTRG[117] | — | 予約 | — |
| DTSTRG[118] | — | 予約 | — |
| DTSTRG[119] | — | 予約 | — |
| DTSTRG[120] | — | 予約 | — |
| DTSTRG[121] | — | 予約 | — |

表 7.9 DTS トリガ要因一覧 (4/4)

| | DMACTRG 共通 | 機能・モジュール | DTS トリガ要因名 |
|-------------|------------|----------|------------|
| DTSTRG[122] | — | 予約 | — |
| DTSTRG[123] | — | 予約 | — |
| DTSTRG[124] | — | 予約 | — |
| DTSTRG[125] | — | 予約 | — |
| DTSTRG[126] | — | 予約 | — |
| DTSTRG[127] | — | 予約 | — |

7.9 グローバルレジスタ

7.9.1 グローバルレジスタアドレス一覧

アドレス = ベースアドレス “FFFF 8000_H” + オフセットアドレス

表 7.10 グローバルレジスタアドレス一覧

| オフセットアドレス | レジスタ略称 | 意味 | アクセス許可 | |
|---|------------------------|------------------------------------|--------|-------|
| | | | 特殊マスタ | 一般マスタ |
| 0000 _H | DMACTL | DMA 制御レジスタ | ○ | × |
| 0010 _H | DTSCCTL1 | DTS 制御レジスタ 1 | ○ | × |
| 0014 _H | DTSCCTL2 | DTS 制御レジスタ 2 | ○ | × |
| 0018 _H | DTSSSTS | DTS 状態レジスタ | ○ | ○ |
| 0020 _H | DMACER | DMAC エラーレジスタ | ○ | ○ |
| 0024 _H | DTSER1 | DTS エラーレジスタ 1 | ○ | ○ |
| 0028 _H | DTSER2 | DTS エラーレジスタ 2 | ○ | ○ |
| 002C _H | DTSERC | DTS エラークリアレジスタ | ○ | × |
| 0030 _H | DM0CMV | DMAC0 レジスタアクセス保護違反レジスタ | ○ | × |
| 0038 _H | DTSCMV | DTS レジスタアクセス保護違反レジスタ | ○ | × |
| 003C _H | CMVC | レジスタアクセス保護違反クリアレジスタ | ○ | × |
| 0060 _H | DTSPR0 | DTS チャンネル優先度設定レジスタ 0 | ○ | × |
| 0064 _H | DTSPR1 | DTS チャンネル優先度設定レジスタ 1 | ○ | × |
| 0068 _H | DTSPR2 | DTS チャンネル優先度設定レジスタ 2 | ○ | × |
| 006C _H | DTSPR3 | DTS チャンネル優先度設定レジスタ 3 | ○ | × |
| 0070 _H | DTSPR4 | DTS チャンネル優先度設定レジスタ 4 | ○ | × |
| 0074 _H | DTSPR5 | DTS チャンネル優先度設定レジスタ 5 | ○ | × |
| 0078 _H | DTSPR6 | DTS チャンネル優先度設定レジスタ 6 | ○ | × |
| 007C _H | DTSPR7 | DTS チャンネル優先度設定レジスタ 7 | ○ | × |
| 0080 _H | DTRECCCTL | DTSRAM ECC コントロールレジスタ | ○ | × |
| 0084 _H | DTRERINT | DTSRAM エラー通知コントロールレジスタ | ○ | × |
| 0094 _H | DTRTSCCTL | DTSRAM テストコントロールレジスタ | ○ | × |
| 0098 _H | DTRTWDAT | DTSRAM テスト書き込みデータレジスタ | ○ | × |
| 009C _H | DTRTRDAT | DTSRAM テスト読み出しデータレジスタ | ○ | × |
| 0100 _H | DM00CM | DMAC0 チャンネル 0 チャンネルマスタ設定レジスタ | ○ | × |
| 0104 _H | DM01CM | DMAC0 チャンネル 1 チャンネルマスタ設定レジスタ | ○ | × |
| 0108 _H | DM02CM | DMAC0 チャンネル 2 チャンネルマスタ設定レジスタ | ○ | × |
| 010C _H | DM03CM | DMAC0 チャンネル 3 チャンネルマスタ設定レジスタ | ○ | × |
| 0110 _H | DM04CM | DMAC0 チャンネル 4 チャンネルマスタ設定レジスタ | ○ | × |
| 0114 _H | DM05CM | DMAC0 チャンネル 5 チャンネルマスタ設定レジスタ | ○ | × |
| 0118 _H | DM06CM | DMAC0 チャンネル 6 チャンネルマスタ設定レジスタ | ○ | × |
| 011C _H | DM07CM | DMAC0 チャンネル 7 チャンネルマスタ設定レジスタ | ○ | × |
| 0200 _H + 4 * [DTS チャンネル番号] 注1 (0200 _H ~ 03FC _H) | DTSnnnCM ^{注1} | DTS チャンネル nnn チャンネルマスタ設定レジスタ 注1 | ○ | × |

注 1. [DTS チャンネル番号]、レジスタ略称および意味の nnn は、000 ~ 127

7.9.2 グローバルレジスタ詳細

7.9.2.1 DMACTL — DMA 制御レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8000_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | DMASPD |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 7.11 DMACTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------|--|
| 31 ~ 1 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 0 | DMASPD | <p>DMA 一時中断</p> <p>すべてのチャンネルの DMA 転送を一時中断していることを示します。ユーザが 1 を書き込むことで、すべてのチャンネルの DMA 転送を一時中断状態することができます。また、ユーザが 0 を書き込むことで、すべてのチャンネルの DMA 転送の一時中断状態を解除することができます。</p> <p>本ビットで制御する一時中断は、DMAC の各チャンネルの転送有効ビット (DTE) および DTS の一時中断設定ビット (DTSUST) で制御する一時中断とは無関係に行われます。つまり、DMAC の各チャンネルの DTE ビットおよび DTS の DTSUST ビットがいかなる状態でも、本ビットを 1 にセットした場合はすべての DMA 転送が一時中断されます。</p> <p>本ビットを操作しても、DMAC の各チャンネルの DTE ビットおよび DTS の DTSUST ビットの状態は変わりません。</p> <p>0 : DMA 一時中断状態解除 1 : DMA 一時中断要求・DMA 一時中断状態</p> |

注 意

DTS で実行中の DMA 転送を一時中断/再開する場合は、DMA 転送要求有効ビット (DTFSL_{nnn}.REQEN) の有効/無効の操作を行う必要があります。詳細は、「7.3.3 DTS の一時中断・再開および転送中止」の注意事項をご参照ください。

7.9.2.2 DTSCCTL1 — DTS 制御レジスタ 1

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8010_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | DTSUS T |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 7.12 DTSCCTL1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------|---|
| 31 ~ 1 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 0 | DTSUST | DTS 一時中断 DTS の DMA 転送を一時中断していることを示します。ユーザが 1 を書き込むことで、DTS の DMA 転送を一時中断することができます。 0 : DTS 一時中断解除 1 : DTS 一時中断要求・一時中断状態 |

注 意

DTS で実行中の DMA 転送を一時中断/再開する場合は、DMA 転送要求有効ビット (DTFSL_{nnn}.REQEN) の有効/無効の操作を行う必要があります。詳細は、「7.3.3 DTS の一時中断・再開および転送中止」の注意事項をご参照ください。

7.9.2.3 DTSCCTL2 — DTS 制御レジスタ 2

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8014_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | DTSTIT |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 7.13 DTSCCTL2 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------|--|
| 31 ~ 1 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 0 | DTSTIT | DTS 転送中止要求 DTS が一時中断状態の場合に、ユーザが 1 を書き込むことで一時中断中の DMA 転送を中止します。 DTS で一時中断中の DMA 転送を中止した場合、DTSSTS.DTSACT ビットが 0 になります。 本ビットのリード値は常に 0 です。 |

7.9.2.4 DTSSTS — DTS 状態レジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8018_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|------------|-------------|----|----|----|----|----|------------|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | DTSCY C | DTSACH[6:0] | | | | | | DTSAC T | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 7.14 DTSSTS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|---|
| 31 ~ 9 | — | リザーブビット |
| 8 | DTSCYC | DMA サイクル実行状態 DTS で DMA サイクルを実行中かどうかを示します。 0 : DMA サイクルを実行中でない 1 : DMA サイクルを実行中 |
| 7 ~ 1 | DTSACH[6:0] | DTS 転送チャンネル DTS で DMA 転送中のチャンネルがある場合、そのチャンネル番号を示します。 DTS で DMA 転送中のチャンネルがない場合、最後に DMA 転送を行ったチャンネル番号を示します。 |
| 0 | DTSACT | DTS 転送状態 DTS で DMA 転送中のチャンネルがあるかどうかを表します。 0 : DMA 転送中のチャンネルがない 1 : DMA 転送中のチャンネルがある DMA 転送中のチャンネルがある状態で DTS 一時中断状態になると本ビットは 1 のままです。DTSCTL2.DTSTIT ビットで DTS 転送中止要求を行うと、一時中断状態の DTS 転送を中止するとともに本ビットは 0 になります。 DMA 転送エラーが発生して DMA 転送が中止されると本ビットはクリアされま す。 |

7.9.2.5 DMACER — DMAC エラーレジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8020_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|------------|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | DM0ER[7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 7.15 DMACER レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------|--|
| 31 ~ 8 | — | リザーブビット |
| 7 ~ 0 | DM0ER[7:0] | DMAC0 DMA 転送エラー状態 DMAC0 のチャンネル 0 ~ 7 の DMA 転送エラー状態を示します。 それぞれのビットは DMAC0 の各チャンネルの DCSTn.ER ビットの写像で、リードオンリーです。 0 : DMA 転送エラー非発生 1 : DMA 転送エラー発生 |

7.9.2.6 DTSER1 — DTS エラーレジスタ 1

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8024_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|--------------|----|----|----|----|----|----|----|----|----|----|----|---------|-------|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | DTSERCH[6:0] | | | | | | — | — | — | — | — | — | DTSERWR | DTSER | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 7.16 DTSER1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|--------------|--|
| 31 ~ 15 | — | リザーブビット |
| 14 ~ 8 | DTSERCH[6:0] | DTS エラーチャネル DTSER ビットが 0 の状態で最初に DMA 転送エラーが発生した DTS チャネル番号を示します。 本ビットはリードオンリーで、クリアできません。 |
| 7 ~ 2 | — | リザーブビット |
| 1 | DTSERWR | DTS DMA 転送エラー発生サイクル DTS DMA 転送エラー発生フラグ (DTSER) がセットされると同時に更新され、DMA 転送エラーがリードサイクルかライトサイクルのどちらで発生したかを示します。すでに DTSER ビットがセットされている状態で新たに DMA 転送エラーが発生した場合には本ビットは更新されません。 DTSER ビットがクリアされると本ビットもクリアされます。 0 : DMA 転送エラーがリードサイクルで発生した 1 : DMA 転送エラーがライトサイクルで発生した |
| 0 | DTSER | DTS DMA 転送エラー発生フラグ DTS で DMA 転送エラーが発生したかどうかを示します。 0 : DMA 転送エラー非発生 1 : DMA 転送エラー発生 本ビットが 0 の状態で DTS で DMA 転送エラーが発生すると、本ビットがセットされるとともに DTSERCH6 ~ 0 に DMA 転送エラーが発生した DTS チャネル番号が保持されます。 本ビットが 1 の状態で DTS で DMA 転送エラーが発生すると、本ビットはセットされたままで、DTSERCH6 ~ 0 の内容は変化しません。 本ビットは DTSERC レジスタの操作でクリアが可能です。 |

7.9.2.7 DTSER2 — DTS エラーレジスタ 2

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8028_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------------|--------------|----|----|----------------|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RAMDE D | RAMDE DOV | — | — | RAMDEDAD[11:0] | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RAMSE D | RAMSE DOV | — | — | RAMSEDAD[11:0] | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 7.17 DTSER2 レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|-----------------|--|
| 31 | RAMDED | DTSRAM 2 ビットエラー発生フラグ DTSRAM のリードアクセスで 2 ビットエラーが発生したことを示します。 0 : DTSRAM で 2 ビットエラーが発生していない 1 : DTSRAM で 2 ビットエラーが発生した 本ビットが 0 の状態で DTSRAM にリードアクセスして 2 ビットエラーが発生すると、本ビットがセットされるとともに RAMDEDAD11 ~ 0 にエラーが発生した DTSRAM アドレスが保持されます。 本ビットが 1 の状態で DTSRAM にリードアクセスして 2 ビットエラーが発生すると、本ビットはセットされたままで、RAMDEDAD11 ~ 0 の内容は変化しません。 本ビットは DTSERC レジスタの操作でクリアが可能です。 |
| 30 | RAMDED OV | DTSRAM 2 ビットエラーオーバフロー発生フラグ RAMDED ビットが 1 のときに、RAMDEDAD11 ~ 0 ビットが示すアドレスと異なるアドレスの DTSRAM のリードアクセスで 2 ビットエラーが発生するとセットされます。 本ビットは DTSERC レジスタの操作でクリアが可能です。 |
| 29、28 | — | リザーブビット |
| 27 ~ 16 | RAMDEDAD [11:0] | DTSRAM 2 ビットエラーアドレス RAMDED ビットが 0 の状態で最初に DTSRAM にリードアクセスして 2 ビットエラーが発生した DTSRAM アドレスを示します。 本ビットはリードオンリーで、クリアできません。 |
| 15 | RAMSED | DTSRAM 1 ビットエラー発生フラグ DTSRAM のリードアクセスで 1 ビットエラーが発生したことを示します。 0 : DTSRAM で 1 ビットエラーが発生していない 1 : DTSRAM で 1 ビットエラーが発生した 本ビットが 0 の状態で DTSRAM にリードアクセスして 1 ビットエラーが発生すると、本ビットがセットされるとともに RAMSEDAD11 ~ 0 にエラーが発生した DTSRAM アドレスが保持されます。 本ビットが 1 の状態で DTSRAM にリードアクセスして 1 ビットエラーが発生すると、本ビットはセットされたままで、RAMSEDAD11 ~ 0 の内容は変化しません。 本ビットは DTSERC レジスタの操作でクリアが可能です。 |
| 14 | RAMSED OV | DTSRAM 1 ビットエラーオーバフロー発生フラグ RAMSED ビットが 1 のときに、RAMSEDAD11 ~ 0 ビットが示すアドレスと異なるアドレスの DTSRAM のリードアクセスで 1 ビットエラーが発生するとセットされます。 本ビットは DTSERC レジスタの操作でクリアが可能です。 |
| 13、12 | — | リザーブビット |

表 7.17 DTSER2 レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|--------|-----------------|---|
| 11 ~ 0 | RAMSEDAD [11:0] | DTSRAM 1 ビットエラーアドレス RAMSED ビットが 0 の状態で最初に DTSRAM にリードアクセスして 1 ビットエラーが発生した DTSRAM アドレスを示します。 本ビットはリードオンリーで、クリアできません。 |

7.9.2.8 DTSERC — DTS エラークリアレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 802C_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|---------|-----------|-----|----|----|----|----|----|----|----|----|----|----|----|----|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RAMDEDC | RAMDEDOVC | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RAMSEDC | RAMSEDOVC | — | — | — | — | — | — | — | — | — | — | — | — | — | DTSERC |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 7.18 DTSERC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|--|
| 31 | RAMDEDC | DTSRAM 2 ビットエラー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 2 ビットエラー発生フラグ (DTSER2.RAMDED) をクリアします。 本ビットのリード値は常に 0 です。 |
| 30 | RAMDEDOVC | DTSRAM 2 ビットエラーオーバーフロー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 2 ビットエラーオーバーフロー発生フラグ (DTSER2.RAMDEDOV) をクリアします。 本ビットのリード値は常に 0 です。 |
| 29 ~ 16 | — | リザーブビット 読み出すと "0" が読み出されます。書き込む値も "0" に設定してください。 |
| 15 | RAMSEDC | DTSRAM 1 ビットエラー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 1 ビットエラー発生フラグ (DTSER2.RAMSED) をクリアします。 本ビットのリード値は常に 0 です。 |
| 14 | RAMSEDOVC | DTSRAM 1 ビットエラーオーバーフロー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 1 ビットエラーオーバーフロー発生フラグ (DTSER2.RAMSEDOV) をクリアします。 本ビットのリード値は常に 0 です。 |
| 13 ~ 1 | — | リザーブビット 読み出すと "0" が読み出されます。書き込む値も "0" に設定してください。 |
| 0 | DTSERC | DTS エラー発生フラグクリア ユーザが 1 を書き込むと、DTS DMA 転送エラー発生フラグ (DTSER1.DTSER) をクリアします。 本ビットのリード値は常に 0 です。 |

7.9.2.9 DM0CMV — DMAC0 レジスタアクセス保護違反レジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8030_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|-----------|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | MINF[6:1] | | | | | | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | VCH[2:0] | | | — | — | — | VF |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 7.19 DM0CMV レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|---|
| 31 ~ 23 | — | リザーブビット |
| 22 ~ 17 | MINF[6:1] | 違反アクセスマスタ情報 VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。本ビットはリードオンリーで、クリアできません。 MINF6 ~ 1 には、以下のアクセス元マスタ情報が保持されます。 MINF6 ~ 4 : アクセス元の PEID MINF3, 2 : アクセス元の SPID MINF1 : アクセス元の UM |
| 16 ~ 7 | — | リザーブビット |
| 6 ~ 4 | VCH[2:0] | 違反アクセス発生チャンネル VF ビットが 0 の状態で最初に違反アクセスが発生したチャンネル番号 (0 ~ 7) を保持します。 VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。 |
| 3 ~ 1 | — | リザーブビット |
| 0 | VF | 違反アクセス発生フラグ DMAC0 で違反アクセスが発生したかどうかを示します。 0 : DMAC0 で違反アクセスが発生していない 1 : DMAC0 で違反アクセスが発生している 本ビットが 0 の状態で DMAC0 で違反アクセスが発生すると、本ビットがセットされるとともに MINF6 ~ 1、VCH2 ~ 0 ビットに情報が保存されます。 本ビットが 1 の状態で DMAC0 で違反アクセスが発生すると、本ビットはセットされたままで、MINF6 ~ 1、VCH2 ~ 0 ビットの内容は変化しません。 本ビットは CMVC レジスタの操作でクリアが可能です。 |

7.9.2.10 DTSCMV — DTS レジスタアクセス保護違反レジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8038_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----------|----|----|----|-----------|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | MINF[6:1] | | | | | | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | VCH[6:0] | | | | | | — | — | — | VF | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 7.20 DTSCMV レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|---|
| 31 ~ 23 | — | リザーブビット |
| 22 ~ 17 | MINF[6:1] | 違反アクセスマスタ情報 VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。本ビットはリードオンリーで、クリアできません。 MINF6 ~ 1 には、以下のアクセス元マスタ情報が保持されます。 MINF6 ~ 4 : アクセス元の PEID MINF3、2 : アクセス元の SPID MINF1 : アクセス元の UM |
| 16 ~ 11 | — | リザーブビット |
| 10 ~ 4 | VCH[6:0] | 違反アクセス発生チャンネル VF ビットが 0 の状態で最初に違反アクセスが発生したチャンネル番号 (0 ~ 127) を保持します。 VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。 |
| 3 ~ 1 | — | リザーブビット |
| 0 | VF | 違反アクセス発生フラグ DTS で違反アクセスが発生したかどうかを示します。 0 : DTS で違反アクセスが発生していない 1 : DTS で違反アクセスが発生している 本ビットが 0 の状態で DTS で違反アクセスが発生すると、本ビットがセットされるとともに MINF6 ~ 1、VCH2 ~ 0 ビットに情報が保存されます。 本ビットが 1 の状態で DTS で違反アクセスが発生すると、本ビットはセットされたままで、MINF6 ~ 1、VCH2 ~ 0 ビットの内容は変化しません。 本ビットは CMVC レジスタの操作でクリアが可能です。 |

7.9.2.11 CMVC — レジスタアクセス保護違反クリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 803C_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|-------|----|-------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | DTSVC | — | DM0VC |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R | R/W |

表 7.21 CMVC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|--|
| 31 ~ 3 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 2 | DTSVC | DTS 違反アクセス発生フラグクリア 本ビットに1を書き込むことでDTSの違反アクセス発生フラグ(DTSCMV.VF)をクリアすることができます。本ビットのリード値は常に0です。 |
| 1 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 0 | DM0VC | DMAC0 違反アクセス発生フラグクリア 本ビットに1を書き込むことでDMAC0の違反アクセス発生フラグ(DM0CMV.VF)をクリアすることができます。本ビットのリード値は常に0です。 |

7.9.2.12 DTSPRn — DTS チャンネル優先度設定レジスタ (n = 0 ~ 7)

• DTSPR0

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8060_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|-------------|-----|-------------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | DTS15PR[1:0] | | DTS14PR[1:0] | | DTS13PR[1:0] | | DTS12PR[1:0] | | DTS11PR[1:0] | | DTS10PR[1:0] | | DTS9PR[1:0] | | DTS8PR[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DTS7PR[1:0] | | DTS6PR[1:0] | | DTS5PR[1:0] | | DTS4PR[1:0] | | DTS3PR[1:0] | | DTS2PR[1:0] | | DTS1PR[1:0] | | DTS0PR[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.22 DTSPR0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|----------------------|---|
| 31 ~ 0 | DTS[15:0] PR[1:0] | DTS チャンネル [15:0] 優先順位設定 DTS チャンネルアービトラージョン時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。 |

• DTSPR1

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8064_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | DTS31PR[1:0] | | DTS30PR[1:0] | | DTS29PR[1:0] | | DTS28PR[1:0] | | DTS27PR[1:0] | | DTS26PR[1:0] | | DTS25PR[1:0] | | DTS24PR[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DTS23PR[1:0] | | DTS22PR[1:0] | | DTS21PR[1:0] | | DTS20PR[1:0] | | DTS19PR[1:0] | | DTS18PR[1:0] | | DTS17PR[1:0] | | DTS16PR[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.23 DTSPR1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------------------|--|
| 31 ~ 0 | DTS[31:16] PR[1:0] | DTS チャンネル [31:16] 優先順位設定 DTS チャンネルアービトラージョン時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。 |

- DTSPR2

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8068_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | DTS47PR[1:0] | | DTS46PR[1:0] | | DTS45PR[1:0] | | DTS44PR[1:0] | | DTS43PR[1:0] | | DTS42PR[1:0] | | DTS41PR[1:0] | | DTS40PR[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DTS39PR[1:0] | | DTS38PR[1:0] | | DTS37PR[1:0] | | DTS36PR[1:0] | | DTS35PR[1:0] | | DTS34PR[1:0] | | DTS33PR[1:0] | | DTS32PR[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.24 DTSPR2 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------------------|---|
| 31 ~ 0 | DTS[47:32] PR[1:0] | DTS チャンネル [47:32] 優先順位設定 DTS チャンネルアービトラージン時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。 |

- DTSPR3

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 806C_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | DTS63PR[1:0] | | DTS62PR[1:0] | | DTS61PR[1:0] | | DTS60PR[1:0] | | DTS59PR[1:0] | | DTS58PR[1:0] | | DTS57PR[1:0] | | DTS56PR[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DTS55PR[1:0] | | DTS54PR[1:0] | | DTS53PR[1:0] | | DTS52PR[1:0] | | DTS51PR[1:0] | | DTS50PR[1:0] | | DTS49PR[1:0] | | DTS48PR[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.25 DTSPR3 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------------------|---|
| 31 ~ 0 | DTS[63:48] PR[1:0] | DTS チャンネル [63:48] 優先順位設定 DTS チャンネルアービトラージン時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。 |

- DTSR4

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8070_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | DTS79PR[1:0] | | DTS78PR[1:0] | | DTS77PR[1:0] | | DTS76PR[1:0] | | DTS75PR[1:0] | | DTS74PR[1:0] | | DTS73PR[1:0] | | DTS72PR[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DTS71PR[1:0] | | DTS70PR[1:0] | | DTS69PR[1:0] | | DTS68PR[1:0] | | DTS67PR[1:0] | | DTS66PR[1:0] | | DTS65PR[1:0] | | DTS64PR[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.26 DTSR4 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------------------|---|
| 31 ~ 0 | DTS[79:64] PR[1:0] | DTS チャンネル [79:64] 優先順位設定 DTS チャンネルアービトラージン時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。 |

- DTSR5

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8074_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|--------------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | DTS95PR[1:0] | | DTS94PR[1:0] | | DTS93PR[1:0] | | DTS92PR[1:0] | | DTS91PR[1:0] | | DTS90PR[1:0] | | DTS89PR[1:0] | | DTS88PR[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DTS87PR[1:0] | | DTS86PR[1:0] | | DTS85PR[1:0] | | DTS84PR[1:0] | | DTS83PR[1:0] | | DTS82PR[1:0] | | DTS81PR[1:0] | | DTS80PR[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.27 DTSR5 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------------------|---|
| 31 ~ 0 | DTS[95:80] PR[1:0] | DTS チャンネル [95:80] 優先順位設定 DTS チャンネルアービトラージン時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。 |

- DTSPR6

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8078_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|---------------|-----|---------------|-----|---------------|-----|---------------|-----|---------------|-----|---------------|-----|---------------|-----|---------------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | DTS111PR[1:0] | | DTS110PR[1:0] | | DTS109PR[1:0] | | DTS108PR[1:0] | | DTS107PR[1:0] | | DTS106PR[1:0] | | DTS105PR[1:0] | | DTS104PR[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DTS103PR[1:0] | | DTS102PR[1:0] | | DTS101PR[1:0] | | DTS100PR[1:0] | | DTS99PR[1:0] | | DTS98PR[1:0] | | DTS97PR[1:0] | | DTS96PR[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.28 DTSPR6 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------------------|--|
| 31 ~ 0 | DTS[111:96] PR[1:0] | DTS チャネル [111:96] 優先順位設定 DTS チャネルアービトラージョン時の DTS チャネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。 |

- DTSPR7

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 807C_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|---------------|-----|---------------|-----|---------------|-----|---------------|-----|---------------|-----|---------------|-----|---------------|-----|---------------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | DTS127PR[1:0] | | DTS126PR[1:0] | | DTS125PR[1:0] | | DTS124PR[1:0] | | DTS123PR[1:0] | | DTS122PR[1:0] | | DTS121PR[1:0] | | DTS120PR[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DTS119PR[1:0] | | DTS118PR[1:0] | | DTS117PR[1:0] | | DTS116PR[1:0] | | DTS115PR[1:0] | | DTS114PR[1:0] | | DTS113PR[1:0] | | DTS112PR[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.29 DTSPR7 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------------------|---|
| 31 ~ 0 | DTS[127:112] PR[1:0] | DTS チャネル [127:112] 優先順位設定 DTS チャネルアービトラージョン時の DTS チャネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。 |

7.9.2.13 DTRECCTL — DTSRAM ECC コントロールレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8080_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|----|----|----|----|----|----|----|----|----|----|----|----|--------|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | PROT[1:0] | | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | SECDIS | ECCDIS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 7.30 DTRECCTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------|---|
| 31、30 | PROT[1:0] | ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に0が読み出されます。本レジスタへの書き込みは (PROT1, PROT0) = (0, 1)で行ってください。 |
| 29 ~ 2 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 1 | SECDIS | DTSRAM SEC エラー訂正ディスエーブル ECCDIS ビットが0のときに、SEC エラー訂正の許可/禁止を設定するためのビットです。 本ビットの状態に関係なく、ECC1 ビットエラー検出動作は ECCDIS ビットが0であれば、常に行われます。 このビットの書き込み時は (PROT1, PROT0) = (0, 1)を同時に書き込む必要があります。 0: SEC エラー検出時にエラー訂正する 1: SEC エラー検出時にエラー訂正しない |
| 0 | ECCDIS | DTSRAM ECC ディスエーブル DTSRAM の ECC エラー検出・訂正機能の有効/無効を設定します。 このビットの書き込み時は (PROT1, PROT0) = (0, 1)を同時に書き込む必要があります。 0: DTSRAM ECC エラー検出・訂正機能が有効 1: DTSRAM ECC エラー検出・訂正機能が無効 備考 エラー検出・訂正機能が無効の場合でもエンコード機能は有効です。 |

7.9.2.14 DTRERINT — DTSRAM エラー通知コントロールレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8084_H

リセット後の値 0000 0002_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-------|-------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | DEDIE | SEDIE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 7.31 DTRERINT レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|--|
| 31 ~ 2 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 1 | DEDIE | DTSRAM 2 ビットエラー通知許可ビット DTRECCTL.ECCDIS = 0 の場合に、2 ビットエラー検出時の ECM への通知の有無を制御するビットです。 0 : 2 ビットエラーの ECM への通知禁止 1 : 2 ビットエラーの ECM への通知許可 |
| 0 | SEDIE | DTSRAM 1 ビットエラー通知許可ビット DTRECCTL.ECCDIS = 0 の場合に、1 ビットエラー検出時の ECM への通知の有無を制御するビットです。 0 : 1 ビットエラーの ECM への通知禁止 1 : 1 ビットエラーの ECM への通知許可 |

7.9.2.15 DTRTSCTL — DTSRAM テストコントロールレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモードの設定、DTSRAM へ書き込む ECC データの選択が可能です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8094_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|----|----|----|----|----|----|----|----|----|----|----|----|------------|------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | PROT[1:0] | | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ECCTS T | DATSE L |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 7.32 DTRTSCTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------|--|
| 31, 30 | PROT[1:0] | ECCTST ビット、DATSEL ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本レジスタへの書き込みは (PROT1, PROT0) = (0, 1) で行ってください。 |
| 29 ~ 2 | — | リザーブビット 読み出すと "0" が読み出されます。書き込む値も "0" に設定してください。 |
| 1 | ECCTST | DTSRAM ECC テストモード DTSRAM の ECC テストモードを設定します。 このビットの書き込み時は (PROT1, PROT0) = (0, 1) を同時に書き込む必要があります。 0 : ECC テストモード無効 1 : ECC テストモード有効 |
| 0 | DATSEL | ECC テストデータ選択 ECCTST = 1 の時に有効で、DTSRAM に書き込む ECC データを選択します。このビットの書き込み時は (PROT1, PROT0) = (0, 1) を同時に書き込む必要があります。 0 : 書き込みデータからエンコードした ECC を使用 1 : DTSRAM テスト書き込みデータレジスタ (DTRTWDAT) で指定した値を使用 |

7.9.2.16 DTRTWDAT — DTSRAM テスト書き込みデータレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST = 1）セット後、DTSRAM に書き込む ECC データを指定します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8098_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|------------|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | TWDAT[6:0] | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.33 DTRTWDAT レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------|--|
| 31 ~ 7 | — | リザーブビット 読み出すと "0" が読み出されます。書き込む値も "0" に設定してください。 |
| 6 ~ 0 | TWDAT[6:0] | ECC テスト書き込みデータ DTRTSCTL.ECCTST = 1 かつ DTRTSCTL.DATSEL = 1 のときに、DTSRAM に書き込む ECC データの値を指定します。 本ビットへの書き込みは DTRTSCTL.ECCTST = 1 のときに可能です。 DTRTSCTL.ECCTST = 0 のときは書き込みできず、リードすると 0 が読み出されます。 |

7.9.2.17 DTRTRDAT — DTSRAM テスト読み出しデータレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST = 1）セット後、DTSRAM の ECC データをリードすることが可能です。

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 809C_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|------------|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | TRDAT[6:0] | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 7.34 DTRTRDAT レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------|--|
| 31 ~ 7 | — | リザーブビット |
| 6 ~ 0 | TRDAT[6:0] | ECC テスト読み出しデータ DTRTSCTL.ECCTST = 1 のときに、DTSRAM から最後に読み出した ECC データを保持します。 DTRTSCTL.ECCTST = 0 のときにリードすると 0 が読み出せます。 |

7.9.2.18 DMnnCM — DMAC チャンルマスタ設定 レジスタ (nn = 00 ~ 07)

アクセス 32ビット単位でリード/ライト可能です

アドレス FFFF 8100_H + 4_H × チャンネル番号 n (n = 0 ~ 7)

リセット後の値 0000 0010_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|-----------|-----|-----------|-----|-----|-----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | PEID[2:0] | | SPID[1:0] | | UM | — | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R |

表 7.35 DMnnCM レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------|--|
| 31 ~ 7 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 6 ~ 4 | PEID[2:0] | チャンネルマスタ PEID 設定。 チャンネルに割り当てるマスタの PEID 情報を設定します。 |
| 3、2 | SPID[1:0] | チャンネルマスタ SPID 設定 チャンネルに割り当てるマスタが利用する SPID 情報を設定します。 |
| 1 | UM | チャンネルマスタ UM 設定 チャンネルに割り当てるマスタの UM 情報を設定します。 |
| 0 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |

注 意

DM00CM ~ DM07CM は DMAC0 チャンネル 0 ~ 7 のチャンネルマスタ情報を設定

本レジスタにより提供される機能の説明は「7.5 信頼性機能」を参照してください。

7.9.2.19 DTSnnnCM — DTS チャンルマスタ設定レジスタ (nnn = 000 ~ 127)

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8200_H + 4_H × チャンネル番号 n (n = 0 ~ 127)

リセット後の値 不定

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----------|-----|-----------|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | PEID[2:0] | | SPID[1:0] | | UM | — | |
| リセット後の値 | 不定 | | | | | | | | | | | | | | | |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CMC[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 不定 | | | | | | | | | | | | | | | |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.36 DTSnnnCM レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|---|
| 31 ~ 23 | — | リザーブビット 読み出すと不定値が読み出されます。書き込む値は“0”に設定してください。 |
| 22 ~ 20 | PEID[2:0] | チャンネルマスタ PEID 設定。 チャンネルに割り当てるマスタの PEID 情報を設定します。 |
| 19、18 | SPID[1:0] | チャンネルマスタ SPID 設定 チャンネルに割り当てるマスタが利用する SPID 情報を設定します。 |
| 17 | UM | チャンネルマスタ UM 設定 チャンネルに割り当てるマスタの UM 情報を設定します。 |
| 16 | — | リザーブビット 読み出すと不定値が読み出されます。書き込む値は“0”に設定してください。 |
| 15 ~ 0 | CMC[15:0] | 転送回数コンペア このフィールドは「7.11.3.8 DTTCCnnn — DTS 転送回数コンペアレジスタ」のビット [15:0] の内容と同じです。 |

注 意

DTS000CM ~ DTS127CM は DTS チャンネル 0 ~ 127 のチャンネルマスタ情報を設定

本レジスタにより提供される機能の説明は「7.5 信頼性機能」を参照してください。

注 意

このレジスタの下位 16 ビットは、DTS チャンネルレジスタの DTS 転送回数コンペアレジスタと共通です。

このレジスタに対するライトの結果は、DTS 転送回数コンペアレジスタにも反映されます。

DTS チャンネルマスタ設定レジスタの推奨設定手順

特殊マスタによる DMA 全体動作設定時に、このレジスタのビット 22～17 にチャンネルマスタ設定を行うとともに、ビット 15～0、およびリザーブビット（ビット 31～23、ビット 16）は 0 で初期化してください。

チャンネルに割り当てられたマスタが転送回数コンペア値を書き換える場合には、DTS 転送回数コンペアレジスタを利用してください。

本レジスタのリザーブビットは、値の読み書きが可能です。ライト時は 0 を書き、リード時はソフトウェアにて値を無視することを推奨します。

7.10 DMAC チャンネルレジスタ

7.10.1 DMAC チャンネルレジスタアドレス

アドレス = ベースアドレス “FFFF 8000_H” + オフセットアドレス

表 7.37 DMAC チャンネルレジスタアドレス

| オフセットアドレス | レジスタ略称 | 意味 | アクセス許可 | |
|---|----------|-------------------------|--------|-------|
| | | | 特殊マスタ | 一般マスタ |
| 0400 _H + 40 _H * [チャンネル番号] | DSAn | DMAC ソースアドレス | ○ | ○ |
| 0404 _H + 40 _H * [チャンネル番号] | DDAn | DMAC ディスティネーションアドレス | ○ | ○ |
| 0408 _H + 40 _H * [チャンネル番号] | DTCn | DMAC 転送回数 | ○ | ○ |
| 040C _H + 40 _H * [チャンネル番号] | DTCTn | DMAC 転送制御 | ○ | ○ |
| 0410 _H + 40 _H * [チャンネル番号] | DRSAn | DMAC リロードソースアドレス | ○ | ○ |
| 0414 _H + 40 _H * [チャンネル番号] | DRDAn | DMAC リロードディスティネーションアドレス | ○ | ○ |
| 0418 _H + 40 _H * [チャンネル番号] | DRTCn | DMAC リロード転送回数 | ○ | ○ |
| 041C _H + 40 _H * [チャンネル番号] | DTCCn | DMAC 転送回数コンペア | ○ | ○ |
| 0420 _H + 40 _H * [チャンネル番号] | DCENn | DMAC チャンネル動作有効設定 | ○ | ○ |
| 0424 _H + 40 _H * [チャンネル番号] | DCSTn | DMAC 転送ステータス | ○ | ○ |
| 0428 _H + 40 _H * [チャンネル番号] | DCSTSn | DMAC 転送ステータスセット | ○ | ○ |
| 042C _H + 40 _H * [チャンネル番号] | DCSTCn | DMAC 転送ステータスクリア | ○ | ○ |
| 0430 _H + 40 _H * [チャンネル番号] | DTFRn | DTFR 設定 | ○ | ○ |
| 0434 _H + 40 _H * [チャンネル番号] | DTFRRQn | DTFR 転送要求ステータス | ○ | ○ |
| 0438 _H + 40 _H * [チャンネル番号] | DTFRRQCn | DTFR 転送要求クリア | ○ | ○ |

注 1. オフセットアドレスの [チャンネル番号] およびレジスタ略称の n は 0 ~ 7 で、対応は以下のとおりです。

| チャンネル番号 n | チャンネル |
|-----------|-----------------|
| 0 | DMAC0 channel 0 |
| 1 | DMAC0 channel 1 |
| 2 | DMAC0 channel 2 |
| 3 | DMAC0 channel 3 |
| 4 | DMAC0 channel 4 |
| 5 | DMAC0 channel 5 |
| 6 | DMAC0 channel 6 |
| 7 | DMAC0 channel 7 |

7.10.2 DMAC チャンネルレジスタ詳細

レジスタ名称の n は、DMAC チャンネル番号 (n = 0 ~ 7) を示します。

7.10.2.1 DSA_n — DMAC ソースアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF8400_H + 40_H × チャンネル番号 n (n = 0 ~ 7)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | SA[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | SA[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.38 DSA_n レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|----------|---|
| 31 ~ 0 | SA[31:0] | ソースアドレス DMA 転送元アドレスを設定します。DMA サイクルを実行するごとに更新され、リードすると次の DMA サイクルを実行する際の転送元アドレスが読み出せます。 |

注 意

1. チャンネル動作有効状態 (DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. アドレスは、DTE ビットが "0" の状態で設定してください。
3. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

| データサイズ | SA3 | SA2 | SA1 | SA0 |
|---------|-----|-----|-----|-----|
| 8 ビット | x | x | x | x |
| 16 ビット | x | x | x | 0 |
| 32 ビット | x | x | 0 | 0 |
| 64 ビット | x | 0 | 0 | 0 |
| 128 ビット | 0 | 0 | 0 | 0 |

7.10.2.2 DDA_n — DMAC ディスティネーションアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8404_H + 40_H × チャネル番号 n (n = 0 ~ 7)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | DA[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DA[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.39 DDA_n レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|----------|--|
| 31 ~ 0 | DA[31:0] | ディスティネーションアドレス DMA 転送先アドレスを設定します。DMA サイクルを実行するごとに更新され、リードすると次の DMA サイクルを実行する際の転送先アドレスが読み出せます。 |

注 意

1. チャネル動作有効状態 (DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. アドレスは、DTE ビットが“0”の状態を設定してください。
3. DMA 転送のリードサイクルで転送エラーが発生すると、ライトサイクルは実行しませんが、ディスティネーションアドレスは更新します。
4. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

| データサイズ | DA3 | DA2 | DA1 | DA0 |
|---------|-----|-----|-----|-----|
| 8 ビット | x | x | x | x |
| 16 ビット | x | x | x | 0 |
| 32 ビット | x | x | 0 | 0 |
| 64 ビット | x | 0 | 0 | 0 |
| 128 ビット | 0 | 0 | 0 | 0 |

7.10.2.3 DTCn — DMAC 転送回数レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8408_H + 40_H × チャネル番号 n (n = 0 ~ 7)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | ARC[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TRC[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.40 DTCn レジスタの内容

| ビット位置 | ビット名 | 機能 | | | | | | | | | | |
|-------------------|-----------------------------|--|-----------|----|-------------------|-------------------|-------------------|---------------------|---|---|-------------------|-----------------------------|
| 31 ~ 16 | ARC[15:0] | <p>アドレスリロードカウンタ リロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数を設定します。DMA 転送中に参照すると、次の DMA サイクルを実行する際のアドレスリロードカウンタが読み出せます。リロード機能 2 またはブロック転送 2 を使用する場合、本ビットは DMA サイクルごとに 1 ずつ減算されて更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合、本ビットは更新されません。 0000_H はリロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数が 65536 回であることを示します。</p> | | | | | | | | | | |
| 15 ~ 0 | TRC[15:0] | <p>転送回数 転送回数を設定します。DMA サイクルを実行するごとに 1 ずつ減算されて更新され、リードすると次の DMA サイクルを実行する際の残り転送回数が読み出せます。リロード機能を使用しない場合、最終転送が完了すると、完了時の値 (0000_H) を保持します。</p> <table border="1" style="width: 100%;"> <thead> <tr> <th>TRC[15:0]</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0000_H</td> <td>65536 回転送、または転送完了</td> </tr> <tr> <td>0001_H</td> <td>1 回転送、または残り転送回数 1 回</td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>FFFF_H</td> <td>65535 回転送、または残り転送回数 65535 回</td> </tr> </tbody> </table> | TRC[15:0] | 動作 | 0000 _H | 65536 回転送、または転送完了 | 0001 _H | 1 回転送、または残り転送回数 1 回 | : | : | FFFF _H | 65535 回転送、または残り転送回数 65535 回 |
| TRC[15:0] | 動作 | | | | | | | | | | | |
| 0000 _H | 65536 回転送、または転送完了 | | | | | | | | | | | |
| 0001 _H | 1 回転送、または残り転送回数 1 回 | | | | | | | | | | | |
| : | : | | | | | | | | | | | |
| FFFF _H | 65535 回転送、または残り転送回数 65535 回 | | | | | | | | | | | |

注 意

1. チャネル動作有効状態 (DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DMA 転送のリードサイクルで転送対象にエラーが発生すると、ライトサイクルは実行しませんが、転送回数、アドレスリロードカウンタは更新します。

7.10.2.4 DTCTn — DMAC 転送制御レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 840C_H + 40_H × チャンネル番号 n (n = 0 ~ 7)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-----|-----|-----|------------|------------|-----------|-----------|---------|-----|-----|----------|-------------|-----|-----|-----------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | ESE | DRS | — | — | — | — | — | CHNSEL[2:0] | | | CHNE[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CCE | TCE | MLE | RLD2M[1:0] | RLD1M[1:0] | DACM[1:0] | SACM[1:0] | DS[2:0] | | | TRM[1:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.41 DTCTn レジスタの内容 (1/3)

| ビット位置 | ビット名 | 機能 |
|---------|-------------|--|
| 31 ~ 28 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 27 | ESE | 転送エラー時 DMA 転送禁止設定 DMA 転送エラーが発生して DCSTn.ER ビットがセットされた状態で、DMA サイクルを実行するかどうかを設定します。 本ビットが0にセットされている場合は、DMA 転送エラーが発生して DCSTn.ER ビットがセットされた状態でも、後続の DMA サイクルを実行することができます。本ビットが1にセットされている場合は、DMA 転送エラーが発生して DCSTn.ER ビットがセットされた状態で、後続の DMA サイクルを実行しません。 0 : DCSTn.ER ビットがセットされた状態で、DMA サイクルを実行する 1 : DCSTn.ER ビットがセットされた状態で、DMA サイクルを実行しない |
| 26 | DRS | DMA 転送要求選択割り付け 受け付ける DMA 転送要求の種類を選択します。 0 : ソフトウェア DMA 転送要求 1 : ハードウェア DMA 転送要求 |
| 25 ~ 21 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 20 ~ 18 | CHNSEL[2:0] | チェイン先選択 チェイン先のチャンネルを指定します。 チェイン先は同一 DMAC 内の別のチャンネルをしてください。異なる DMAC および DTS のチャンネルへのチェインは指定できません。チェイン先のチャンネルをチェイン元のチャンネルと同一に指定することは禁止です（設定した場合の動作を保証しません）。 |
| 17, 16 | CHNE[1:0] | チェインイネーブル チェイン機能を設定します。 00 : 無効 01 : 最終転送でチェイン 残り転送回数が1回の DMA サイクルが完了した際にチェインします 10 : (設定禁止、設定した場合の動作を保証しません) 11 : 常にチェイン DMA サイクルが完了するたびにチェインします |
| 15 | CCE | 転送回数一致割り込みイネーブル このビットをセットすると、残り転送回数が転送回数コンペアレジスタに設定した転送回数に一致する DMA サイクルが完了した際に転送回数一致割り込みを発生します。 |
| 14 | TCE | 転送完了割り込みイネーブル このビットをセットすると、最終転送が完了した際に転送完了割り込みを発生します。 |

表 7.41 DTCTn レジスタの内容 (2/3)

| ビット位置 | ビット名 | 機能 | | | | | | | | | | | | | | | |
|--------|------------|--|-------|-------|--------|---|---|---------|---|---|--------|---|---|----|---|---|-------------------------|
| 13 | MLE | <p>連続転送イネーブル このビットをセットすると、DMA 転送完了時に DTE ビットをクリアしません。また、TC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います。</p> <p>0 : DMA 転送完了時に DTE ビットをクリアします。また、TC ビットをクリアしてからでないと、次の DMA 転送を開始しません 1 : DMA 転送完了時に DTE ビットをクリアしません。また、TC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います</p> | | | | | | | | | | | | | | | |
| 12, 11 | RLD2M[1:0] | <p>リロード機能 2 設定 リロード機能 2 の設定をします。</p> <p>00 : リロード機能 2 無効 01 : リロード機能 2 有効 アドレスリロードカウンタが 1 の DMA サイクル完了時に、ソースアドレスとアドレスリロードカウンタをリロード</p> <p>10 : リロード機能 2 有効 アドレスリロードカウンタが 1 の DMA サイクル完了時に、ディスティネーションアドレスとアドレスリロードカウンタをリロード</p> <p>11 : リロード機能 2 有効 アドレスリロードカウンタが 1 の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスとアドレスリロードカウンタをリロード</p> | | | | | | | | | | | | | | | |
| 10, 9 | RLD1M[1:0] | <p>リロード機能 1 設定 リロード機能 1 の設定をします</p> <p>00 : リロード機能 1 無効 01 : リロード機能 1 有効 転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスと転送回数をリロード (リロード機能 2 が有効の場合、アドレスリロードカウンタもリロード)</p> <p>10 : リロード機能 1 有効 転送回数が残り 1 回の DMA サイクル完了時に、ディスティネーションアドレスと転送回数をリロード (リロード機能 2 が有効の場合、アドレスリロードカウンタもリロード)</p> <p>11 : リロード機能 1 有効 転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスと転送回数をリロード (リロード機能 2 が有効の場合、アドレスリロードカウンタもリロード)</p> | | | | | | | | | | | | | | | |
| 8, 7 | DACM[1:0] | <p>ディスティネーションアドレスカウンタ方向 ディスティネーションアドレスのカウント方向を設定します。</p> <table border="1"> <thead> <tr> <th>DACM1</th> <th>DACM0</th> <th>カウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table> | DACM1 | DACM0 | カウント方向 | 0 | 0 | インクリメント | 0 | 1 | デクリメント | 1 | 0 | 固定 | 1 | 1 | 設定禁止 (設定した場合の動作を保証しません) |
| DACM1 | DACM0 | カウント方向 | | | | | | | | | | | | | | | |
| 0 | 0 | インクリメント | | | | | | | | | | | | | | | |
| 0 | 1 | デクリメント | | | | | | | | | | | | | | | |
| 1 | 0 | 固定 | | | | | | | | | | | | | | | |
| 1 | 1 | 設定禁止 (設定した場合の動作を保証しません) | | | | | | | | | | | | | | | |
| 6, 5 | SACM[1:0] | <p>ソースアドレスカウンタ方向 ソースアドレスのカウント方向を設定します。</p> <table border="1"> <thead> <tr> <th>SACM1</th> <th>SACM0</th> <th>カウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table> | SACM1 | SACM0 | カウント方向 | 0 | 0 | インクリメント | 0 | 1 | デクリメント | 1 | 0 | 固定 | 1 | 1 | 設定禁止 (設定した場合の動作を保証しません) |
| SACM1 | SACM0 | カウント方向 | | | | | | | | | | | | | | | |
| 0 | 0 | インクリメント | | | | | | | | | | | | | | | |
| 0 | 1 | デクリメント | | | | | | | | | | | | | | | |
| 1 | 0 | 固定 | | | | | | | | | | | | | | | |
| 1 | 1 | 設定禁止 (設定した場合の動作を保証しません) | | | | | | | | | | | | | | | |

表 7.41 DTCTn レジスタの内容 (3/3)

| ビット位置 | ビット名 | 機能 | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-------|----------|---|-------------------------|-----|-----|----------|---|---|---|------|---|---|---|-------|---|---|---|-------|---|---|---|-------|---|---|---|--------|------|--|--|-------------------------|
| 4 ~ 2 | DS[2:0] | 転送データサイズ 転送データサイズを設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>DS2</th> <th>DS1</th> <th>DS0</th> <th>転送データサイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>8ビット</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>16ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>32ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>64ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>128ビット</td> </tr> <tr> <td colspan="3" style="text-align: center;">上記以外</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table> | DS2 | DS1 | DS0 | 転送データサイズ | 0 | 0 | 0 | 8ビット | 0 | 0 | 1 | 16ビット | 0 | 1 | 0 | 32ビット | 0 | 1 | 1 | 64ビット | 1 | 0 | 0 | 128ビット | 上記以外 | | | 設定禁止 (設定した場合の動作を保証しません) |
| DS2 | DS1 | DS0 | 転送データサイズ | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | 8ビット | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | 16ビット | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | 32ビット | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | 64ビット | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | 128ビット | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 上記以外 | | | 設定禁止 (設定した場合の動作を保証しません) | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1, 0 | TRM[1:0] | 転送モード DMA 転送モードを設定します 00: シングル転送 01: ブロック転送 1 (転送回数で指定した回数分を転送) 10: ブロック転送 2 (アドレスリロードカウントで指定した回数分を転送) 11: 設定禁止 (設定した場合の動作を保証しません) | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

注 意

1. チャンネル動作有効状態 (DTE ビット = 1) では、MLE ビットを "1" から "0" へ設定する事のみ可能です。(MLE ビット以外の値を変更した場合の動作は保証しません)
2. 各ビットを設定禁止の状態に設定した場合の動作は保証しません。

7.10.2.5 DRSA_n — DMAC リロードソースアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8410_H + 40_H × チャネル番号 n (n = 0 ~ 7)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RSA[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RSA[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.42 DRSA_n レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------|---|
| 31 ~ 0 | RSA[31:0] | リロードソースアドレス リロード機能 1 およびリロード機能 2 使用時に DMA ソースアドレスレジスタにリロードするソースアドレスを設定します。 |

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

| データサイズ | RSA3 | RSA2 | RSA1 | RSA0 |
|---------|------|------|------|------|
| 8 ビット | x | x | x | x |
| 16 ビット | x | x | x | 0 |
| 32 ビット | x | x | 0 | 0 |
| 64 ビット | x | 0 | 0 | 0 |
| 128 ビット | 0 | 0 | 0 | 0 |

7.10.2.6 DRDAn — DMAC リロードディスティネーションアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8414_H + 40_H × チャネル番号 n (n = 0 ~ 7)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RDA[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RDA[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.43 DRDAn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------|--|
| 31 ~ 0 | RDA[31:0] | リロードディスティネーションアドレス リロード機能 1 およびリロード機能 2 使用時に DMA ディスティネーションアドレスレジスタにリロードするディスティネーションアドレスを設定します。 |

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

| データサイズ | RDA3 | RDA2 | RDA1 | RDA0 |
|---------|------|------|------|------|
| 8 ビット | x | x | x | x |
| 16 ビット | x | x | x | 0 |
| 32 ビット | x | x | 0 | 0 |
| 64 ビット | x | 0 | 0 | 0 |
| 128 ビット | 0 | 0 | 0 | 0 |

7.10.2.7 DRTCn — DMAC リロード転送回数レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8418_H + 40_H × チャネル番号 n (n = 0 ~ 7)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RARC[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RTRC[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.44 DRTCn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------------|--|
| 31 ~ 16 | RARC[15:0] | リロードアドレスリロードカウンタ リロード機能 2 を使用する場合に、リロード動作時に転送回数レジスタのアドレスリロードカウンタにリロードする値を設定します。 |
| 15 ~ 0 | RTRC[15:0] | リロード転送回数 リロード機能 1 を使用する場合に、リロード動作時に転送回数レジスタの転送回数にリロードする値を設定します。 |

7.10.2.8 DTCCn — DMAC 転送回数コンペアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 841C_H + 40_H × チャネル番号 n (n = 0 ~ 7)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CMC[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.45 DTCCn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|--|
| 31 ~ 16 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 15 ~ 0 | CMC[15:0] | 転送回数コンペア 転送回数レジスタとコンペアする転送回数を設定します。 残り転送回数がこのレジスタの設定値と一致するDMAサイクルが完了すると、DMAC 転送ステータスレジスタの転送完了一致フラグ (DCSTn.CC) がセットされます。さらに DMAC 転送制御レジスタの転送回数一致割り込みイネーブル (DTCTn.CCE) ビットが1の場合は、転送回数一致割り込みを発生します。 0000 _H を設定した場合には、転送回数とのコンペアを行いません。その場合、DMAC 転送ステータスレジスタの転送完了一致フラグはセットされず、転送回数一致割り込みも発生しません。 |

注 意

チャンネル動作有効状態 (DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。

7.10.2.9 DCENn — DMAC チャンネル動作有効設定レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8420_H + 40_H × チャンネル番号 n (n = 0 ~ 7)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | DTE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 7.46 DCENn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|---|
| 31 ~ 1 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 0 | DTE | チャンネル動作有効 チャンネルの転送動作の有効、無効を設定します。DTE ビットが1の状態、DMA 転送要求があった場合に DMA 転送を行います。DMA 転送完了時に MLE ビットが0の場合、自動的にクリアします。また、DMA 転送中に DTE ビットに0を書き込むと、DMA 転送を一時中断します。一時中断した状態で DTE ビットに1を書き込むと、一時中断を解除して DMA 転送を再開します 0 : チャンネル動作無効・チャンネル一時中断 1 : チャンネル動作有効・チャンネル一時中断解除 |

7.10.2.10 DCSTn — DMAC 転送ステータスレジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8424_H + 40_H × チャネル番号 n (n = 0 ~ 7)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|------|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | ERWR | — | — | CY | ER | — | CC | TC | — | — | DR | SR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 7.47 DCSTn レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|------|--|
| 31 ~ 12 | — | リザーブビット |
| 11 | ERWR | DMA 転送エラー発生サイクル DMA 転送エラーフラグ (ER) がセットされると同時に更新され、DMA 転送エラーがリードサイクルかライトサイクルのどちらで発生したかを示します。既に ER ビットがセットされている状態で新たに DMA 転送エラーが発生した場合に本ビットは更新されません。 ER ビットがクリアされると本ビットも 0 にクリアされます。 0 : DMA 転送エラーがリードサイクルで発生した 1 : DMA 転送エラーがライトサイクルで発生した |
| 10、9 | — | リザーブビット |
| 8 | CY | DMA サイクル実行状態 このチャンネルで DMA サイクルを実行中かどうかを示します。 0 : DMA サイクルを実行中でない 1 : DMA サイクルを実行中 |
| 7 | ER | 転送エラーフラグ DMA 転送エラーが発生した際にセットされます。本ビットが 1 かつ DTCTn.ESE ビットがセットされている場合は、DMA 転送要求が発生しても DMA サイクルを実行しません。 0 : DMA 転送エラーなし 1 : DMA 転送エラーあり |
| 6 | — | リザーブビット |
| 5 | CC | 転送回数一致フラグ 残り転送回数が転送回数コンペアレジスタの設定値と一致する DMA サイクルが完了した際にセットされます。 0 : 転送回数コンペアレジスタと転送回数の一致が発生していない 1 : 転送回数コンペアレジスタと転送回数の一致が発生した |
| 4 | TC | 転送完了フラグ 最終転送が完了した際にセットされ、DMA 転送が完了したことを示します。MLE ビットが 0 で本ビットが 1 の場合は、DMA 転送要求が発生しても DMA サイクルを実行しません。 0 : DMA 転送未完了 1 : DMA 転送完了 |
| 3、2 | — | リザーブビット |

表 7.47 DCSTn レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 1 | DR | <p>ハードウェア DMA 転送要求状態</p> <p>DTFR からのハードウェア DMA 転送要求 (DMARQ) があることを示します。本ビットは DTFR からのハードウェア DMA 転送要求があると、DTE ビットの状態にかかわらず変化します。DMAC 転送制御レジスタの転送要求選択ビット (DRS) でソフトウェア DMA 転送要求を選択している場合は、DTFR からハードウェア DMA 転送要求が入力されても本ビットはセットされません。</p> <p>0: ハードウェア DMA 転送要求なし 1: ハードウェア DMA 転送要求あり</p> |
| 0 | SR | <p>ソフトウェア DMA 転送要求フラグ</p> <p>ソフトウェア DMA 転送要求があることを示します。DMA 転送を実行すると自動的にクリアされます。ユーザは DMAC 転送ステータスセットレジスタ (DCSTSn) の SRS ビットに 1 を書き込むことで本ビットをセットすることができます。また DMAC 転送ステータスクリアレジスタ (DCSTCn) の SRC ビットに 1 を書き込むことで本ビットをクリアすることができますが、その際に実行中の DMA 転送は中止され、再開することはできません。</p> <p>0: ソフトウェア DMA 転送要求なし 1: ソフトウェア DMA 転送要求あり</p> |

7.10.2.11 DCSTSn — DMAC 転送ステータスセットレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8428_H + 40_H × チャネル番号 n (n = 0 ~ 7)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | SRS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 7.48 DCSTSn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|--|
| 31 ~ 1 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 0 | SRS | ソフトウェア DMA 転送要求セット ユーザは本ビットに1を書き込むことでソフトウェア DMA 転送要求フラグ (SR) をセットすることができます。本ビットのリード値は常に0です。 |

7.10.2.12 DCSTCn — DMAC 転送ステータスクリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 842C_H + 40_H × チャネル番号 n (n = 0 ~ 7)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|-----|----|-----|-----|----|----|----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | ERC | — | CCC | TCC | — | — | — | SRC |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R/W | R | R/W | R/W | R | R | R | R/W |

表 7.49 DCSTCn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|---|
| 31 ~ 8 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 7 | ERC | 転送エラーフラグクリア 本ビットに1を書き込むことでDMA転送エラーフラグ(ER)をクリアすることができます。本ビットのリード値は常に0です。 |
| 6 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 5 | CCC | 転送回数一致フラグクリア 本ビットに1を書き込むことで転送回数一致フラグ(CC)をクリアすることができます。本ビットのリード値は常に0です。 |
| 4 | TCC | 転送完了フラグクリア 本ビットに1を書き込むことで転送完了フラグ(TC)をクリアすることができます。本ビットのリード値は常に0です。 |
| 3 ~ 1 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 0 | SRC | ソフトウェアDMA転送要求フラグクリア 本ビットに1を書き込むことでソフトウェアDMA転送要求フラグ(SR)をクリアすることができます。本ビットのリード値は常に0です。 |

7.10.2.13 DTFRn — DTFR 設定レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8430_H + 40_H × チャネル番号 n (n = 0 ~ 7)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|-------------|-----|-----|-----|-----|-----|-------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | REQSEL[6:0] | | | | | | REQEN | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.50 DTFRn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|---|
| 31 ~ 8 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 7 ~ 1 | REQSEL[6:0] | ハードウェア DMA 転送要因選択 128 種類のハードウェア DMA 転送要因の中から 1 つをハードウェア DMA 転送要求として選択します。 000_0000 : DMACTRG[0] 入力を選択 ~ 111_1111 : DMACTRG[127] 入力を選択 |
| 0 | REQEN | ハードウェア DMA 転送要因選択有効 ハードウェア DMA 転送要因選択を有効にします。 0 : ハードウェア DMA 転送要因選択無効 1 : ハードウェア DMA 転送要因選択有効 本ビットが 0 の場合、REQSEL6 ~ 0 ビットで選択したハードウェア DMA 転送要因がアクティブになってもハードウェア DMA 転送要求として認識せずハードウェア DMA 転送要求は発生しません。 |

7.10.2.14 DTFRRQn — DTFR 転送要求ステータスレジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8434_H + 40_H × チャネル番号 n (n = 0 ~ 7)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | DRQ |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 7.51 DTFRRQn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|---|
| 31 ~ 1 | — | リザーブビット |
| 0 | DRQ | <p>ハードウェア DMA 転送要求状態 ハードウェア DMA 転送要求がある、または保持していることを示します。</p> <ul style="list-style-type: none"> エッジ検出のハードウェア DMA 転送要求の場合^{注1} エッジ検出したハードウェア DMA 転送要求を保持しているかどうかを示します。DMAC から DMA 転送要求受け付け信号 (DMAAKn) がアサートされると自動的にクリアされます。ユーザは DTFRRQCn.DRQC ビットに 1 を書き込むことで本ビットをクリアすることができます。 レベル入力のハードウェア DMA 転送要求の場合^{注1} ハードウェア DMA 転送要求入力の有無を示します。DMAC から DMA 転送要求受け付け信号 (DMAAKn) がアサートされても自動的にクリアされません。またユーザは DTFRRQCn.DRQC ビットを操作してもクリアすることはできません。 <p>本ビットはハードウェア DMA 転送要求があると、DTFRn.REQEN ビットの状態にかかわらず変化します。 0 : ハードウェア DMA 転送要求なし 1 : ハードウェア DMA 転送要求あり</p> |

注 1. ハードウェア DMA 転送要求がエッジ検出かレベル入力かは、DTFRn.REQSEL で選択するハードウェア DMA 転送要因ごとに異なります。本製品のハードウェア DMA 転送要求は、エッジ検出のみです。

7.10.2.15 DTFRRQCn — DTFR 転送要求クリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8438_H + 40_H × チャネル番号 n (n = 0 ~ 7)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | DRQC |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 7.52 DTFRRQCn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|---|
| 31 ~ 1 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 0 | DRQC | ハードウェア DMA 転送要求クリア エッジ検出のハードウェア DMA 転送要求の場合 ^{注1} 、ユーザは本ビットに1を書き込むことで DTFRRQn.DRQ ビットをクリアすることができます。 レベル入力のハードウェア DMA 転送要求の場合 ^{注1} 、本ビットを操作しても DTFRRQn.DRQ ビットをクリアすることはできません。 本ビットのリード値は常に0です。 |

注 1. ハードウェア DMA 転送要求がエッジ検出かレベル入力かは、DTFRn.REQSEL で選択するハードウェア DMA 転送要因ごとに異なります。本製品のハードウェア DMA 転送要求は、エッジ検出のみです。

7.11 DTS チャネルレジスタ

7.11.1 DTS の転送情報 (TI)

7.11.1.1 TI 構成

DTS 転送情報を TI (Transfer Information) と呼び、32 ビットを 1 つの TI として、1 チャネルあたり 8 つの TI が割り当てられます。8 つの TI をそれぞれ TI-A、TI-B、TI-C、TI-D、TI-E、TI-F、TI-G、TI-H と呼びます。

図 7.12 に TI の構成を示します。

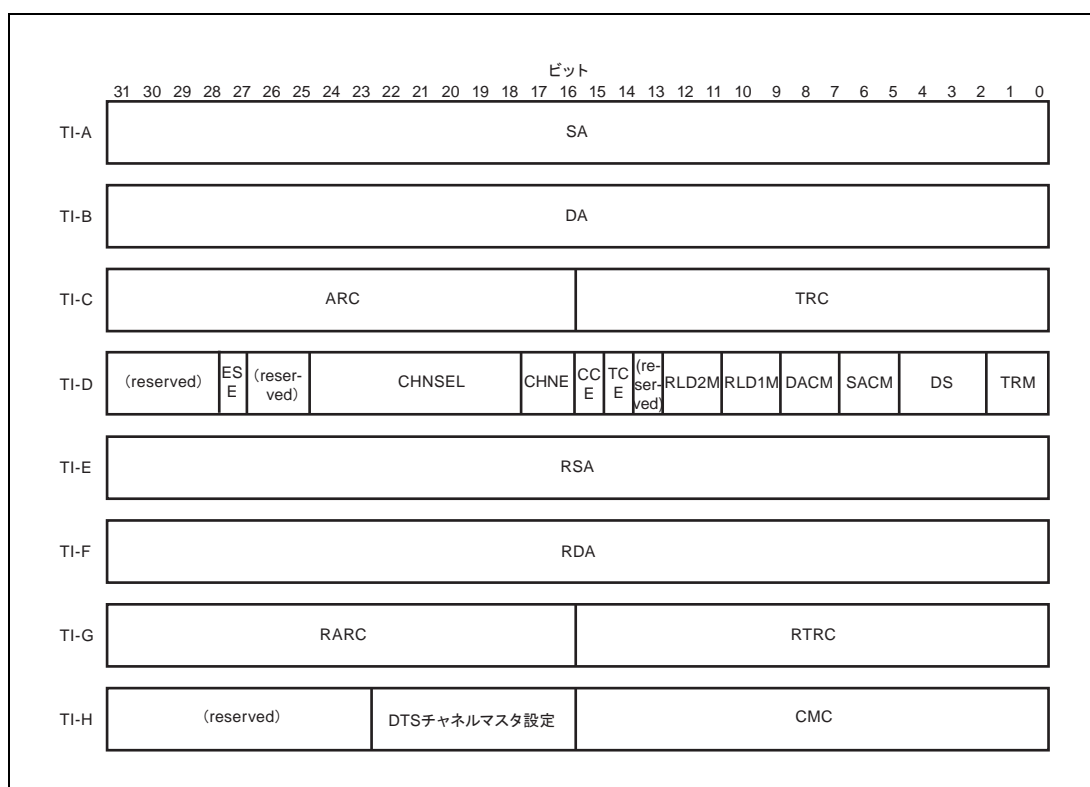


図 7.12 TI の構成

7.11.1.2 DTSRAM 内の TI 配置

ユーザは各チャンネルの DTS チャンネルレジスタおよび DTS チャンネルマスタ設定レジスタにアクセスすることで、間接的に DTSRAM にアクセスを行います。

したがって、ユーザは通常 DTSRAM 内の TI 配置アドレスを意識する必要はありません。

ただし、DTSRAM リード時に ECC エラーが発生した場合、グローバルレジスタの DTSRAM エラーレジスタ 2 (DTSER2) に ECC エラーが発生した DTSRAM 上のアドレスが保存されます。DTSRAM の ECC エラー発生時にどのチャンネルのどの TI でエラーが発生したのかを DTSRAM エラーレジスタの内容から知るためには、DTSRAM 内の TI 配置アドレスを理解する必要があります。

図 7.13 に DTSRAM 内の TI 配置アドレスを示します。

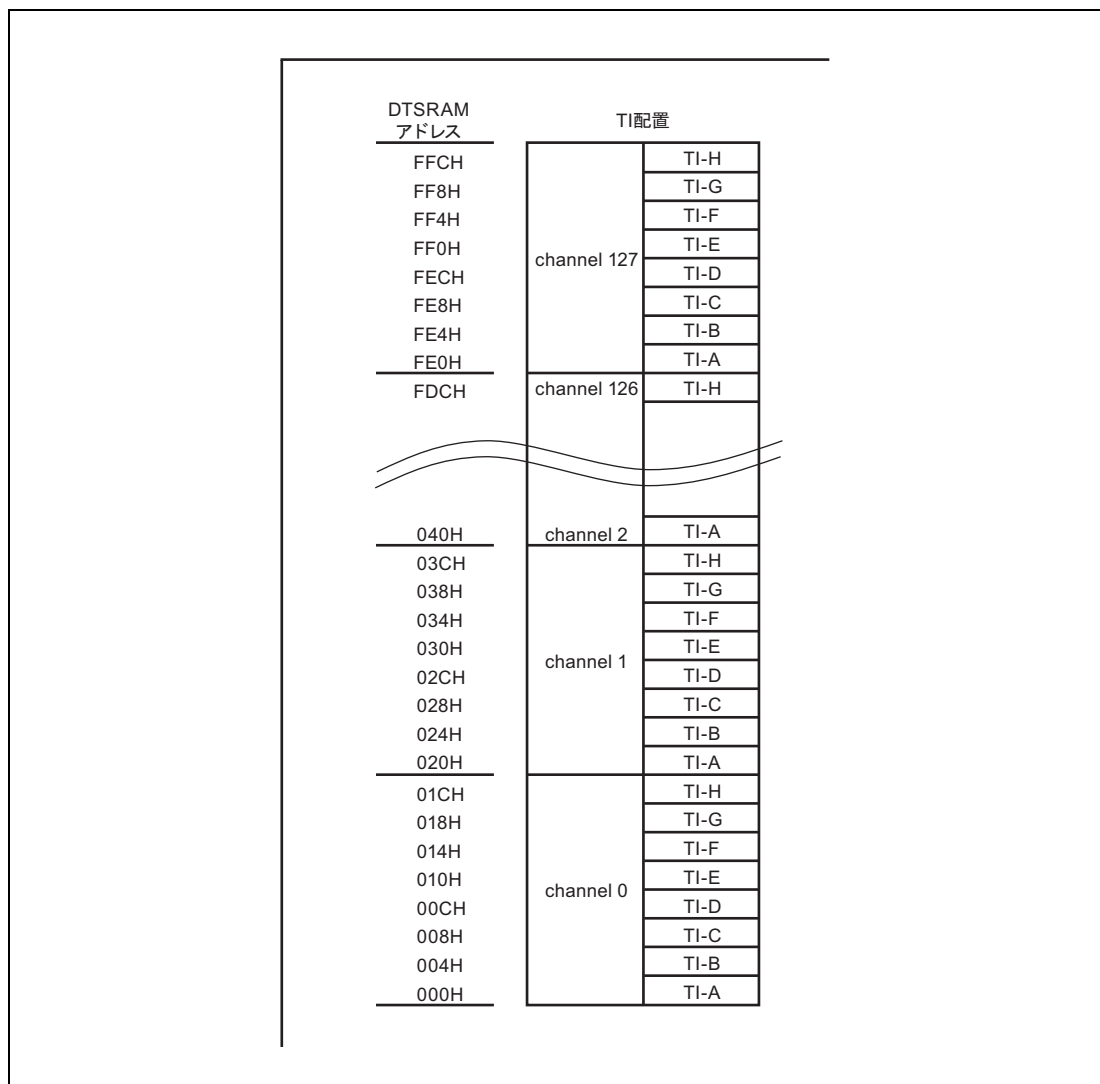


図 7.13 DTSRAM 内の TI 配置

7.11.1.3 TI へのアクセス方法

TI-A は、各チャネルの DTS ソースアドレスレジスタ (DTSAnnn) からアクセスが可能です。

TI-B は、各チャネルの DTS ディスティネーションアドレスレジスタ (DTDAnnn) からアクセスが可能です。

TI-C は、各チャネルの DTS 転送回数レジスタ (DTTCnnn) からアクセスが可能です。

TI-D は、各チャネルの DTS 転送制御レジスタ (DTTCTnnn) からアクセスが可能です。

TI-E は、各チャネルの DTS リロードソースアドレスレジスタ (DTRSAnnn) からアクセスが可能です。

TI-F は、各チャネルの DTS リロードディスティネーションアドレスレジスタ (DTRDAnnn) からアクセスが可能です。

TI-G は、各チャネルの DTS リロード転送回数レジスタ (DTRTCnnn) からアクセスが可能です。

TI-H はグローバルレジスタのチャンネルマスタ設定レジスタ (DTSnnnCM)、および各チャネルの転送回数コンペアレジスタ (DTTCnnn) からアクセスが可能です。

7.11.1.4 TI アクセスの際の注意点

DTS チャンネルマスタ設定レジスタの内容と DTS 転送回数コンペアレジスタの内容は同一の TI-H に格納されます。

DTS チャンネルマスタ設定レジスタ (DTSnnnCM) へのアクセスは、32 ビットの TI-H 全体に対するアクセスとなります。したがって、DTS チャンネルマスタ設定レジスタへのライトアクセスでは、下位 16 ビットの DTS 転送回数コンペア (CMC) の値も同時に書き換えられます。DTS チャンネルマスタ設定レジスタへのリードアクセスでは、下位 16 ビットに DTS 転送回数コンペア (CMC) の値が読み出されます。

DTS 転送回数コンペアレジスタ (DTTCnnn) へのリードアクセスでは、32 ビットの TI-H をリードした結果の下位 16 ビットのみがレジスタリード結果に反映されます。DTS 転送回数コンペアレジスタ (DTTCnnn) へのライトアクセスでは、32 ビットの TI-H に対する下位 16 ビットのリードモディファイライトアクセスを行います。リセット直後の TI の内容は不定であり、DTS チャンネルマスタ設定レジスタへの設定を行わないまま DTS 転送回数コンペアレジスタ (DTTCnnn) へのライトアクセスを行うと、リードモディファイライトアクセスのリード時に ECC エラーを検出する可能性がありますので注意してください。

TI-H のビット 31 ~ 23 は未使用ですが、DTS チャンネルマスタ設定レジスタにアクセスすることでリードライトが可能です。ライト時は 0 を書き、リード時はソフトウェアにて値を無視することを推奨します。

TI を格納する DTSRAM のリセット後の内容は不定です。リセット後、値をライトする前の TI に対してリードを行うと ECC エラーが発生します。

したがって、リセット後の次のレジスタへの最初のアクセスは、必ずライトアクセスを行ってください。リセット後の最初のアクセスでリードアクセスを行わないでください。

- DTS ソースアドレスレジスタ (DTSAnnn)
- DTS ディスティネーションアドレスレジスタ (DTDAnnn)
- DTS 転送回数レジスタ (DTTCnnn)
- DTS 転送制御レジスタ (DTTCTnnn)
- DTS リロードソースアドレスレジスタ (DTRSAnnn)

- DTS リロードディスティネーションアドレスレジスタ (DTRDAnnn)
- DTS リロード転送回数レジスタ (DTRTCnnn)
- チャンnelマスタ設定レジスタ (DTSnnnCM)

また、リセット後の DTS 転送回数コンペアレジスタ (DTTCnnn) への最初のアクセスは、必ずチャンネルマスタ設定レジスタ (DTSnnnCM) へのライトアクセスを行ったあとに行ってください。

DTS で DMA 転送を実行中でも CPU からの TI アクセスが可能です。その際、次の点に注意してください。

- DMA 転送を実行中のチャンネルの TI を CPU からの TI アクセスで書き換える操作は行わないようにしてください。DMA 転送の結果と TI の内容に不整合が生じる可能性があります。
- TI フェッチまたは TI ライトバックの実行中に CPU からの TI アクセス要求があると、TI フェッチまたは TI ライトバックの完了を待ってから TI アクセスを実行します。また、CPU からの TI アクセス要求の処理中に TI フェッチまたは TI ライトバックが発生すると、TI アクセス処理の完了を待ってから TI フェッチまたは TI ライトバックを実行します。

7.11.2 DTS チャンnelレジスタアドレス

アドレス = ベースアドレス “FFFF 9000_H” + オフセットアドレス

| オフセットアドレス | レジスタ略称 | 意味 | アクセス許可 | |
|---|----------|------------------------|--------|-------|
| | | | 特殊マスタ | 一般マスタ |
| 0000 _H + 40 _H * [チャンネル番号] | DTSAnnn | DTS ソースアドレス | ○ | ○ |
| 0004 _H + 40 _H * [チャンネル番号] | DTDAnnn | DTS ディスティネーションアドレス | ○ | ○ |
| 0008 _H + 40 _H * [チャンネル番号] | DTTCnnn | DTS 転送回数 | ○ | ○ |
| 000C _H + 40 _H * [チャンネル番号] | DTTCTnnn | DTS 転送制御 | ○ | ○ |
| 0010 _H + 40 _H * [チャンネル番号] | DTRSAnnn | DTS リロードソースアドレス | ○ | ○ |
| 0014 _H + 40 _H * [チャンネル番号] | DTRDAnnn | DTS リロードディスティネーションアドレス | ○ | ○ |
| 0018 _H + 40 _H * [チャンネル番号] | DTRTCnnn | DTS リロード転送回数 | ○ | ○ |
| 001C _H + 40 _H * [チャンネル番号] | DTTCnnn | DTS 転送回数コンペア | ○ | ○ |
| 0020 _H + 40 _H * [チャンネル番号] | DTFSLnnn | DTSFSL 動作設定 | ○ | ○ |
| 0024 _H + 40 _H * [チャンネル番号] | DTFSTnnn | DTSFSL 転送要求ステータス | ○ | ○ |
| 0028 _H + 40 _H * [チャンネル番号] | DTFSSnnn | DTSFSL 転送要求セット | ○ | ○ |
| 002C _H + 40 _H * [チャンネル番号] | DTFSCnnn | DTSFSL 転送要求クリア | ○ | ○ |

注 1. オフセットアドレスの [チャンネル番号] は 0 ~ 127
レジスタ名称の nnn は 3 桁のチャンネル番号 000 ~ 127

7.11.3 DTS チャネルレジスタ詳細

レジスタ名称の nnn の部分は DTS チャネル番号 (nnn = 000 ~ 127) を示します。

7.11.3.1 DTSA_{nnn} — DTS ソースアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9000_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 不定

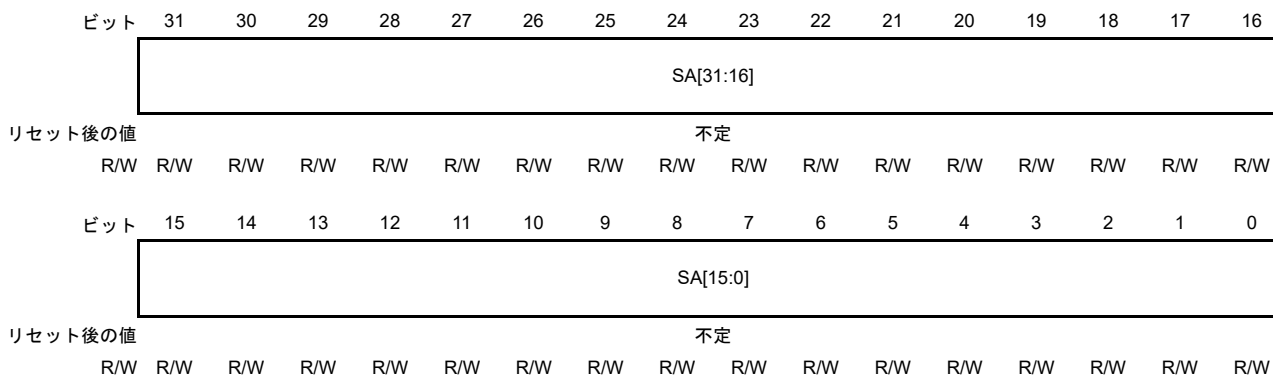


表 7.53 DTSA_{nnn} レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|----------|---|
| 31 ~ 0 | SA[31:0] | ソースアドレス DMA 転送元アドレスを設定します。 TI ライトバック時に更新され、次に DMA 転送を開始する DMA 転送元アドレスが保持されます。 |

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

| データサイズ | SA3 | SA2 | SA1 | SA0 |
|---------|-----|-----|-----|-----|
| 8 ビット | x | x | x | x |
| 16 ビット | x | x | x | 0 |
| 32 ビット | x | x | 0 | 0 |
| 64 ビット | x | 0 | 0 | 0 |
| 128 ビット | 0 | 0 | 0 | 0 |

7.11.3.2 DTDAnnn — DTS ディスティネーションアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9004_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 不定

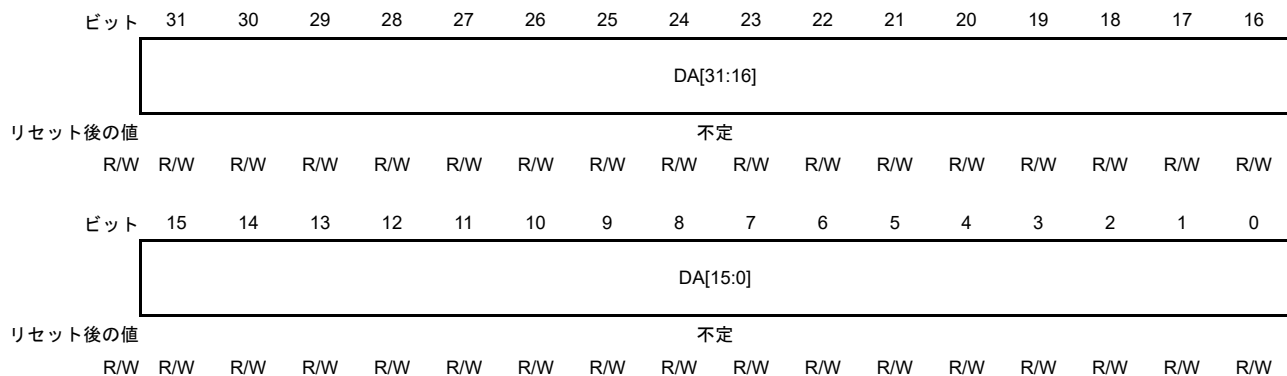


表 7.54 DTDAnnn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|----------|--|
| 31 ~ 0 | DA[31:0] | ディスティネーションアドレス DMA 転送先アドレスを設定します。TI ライトバック時に更新され、次に DMA 転送を開始する DMA 転送先アドレスが保持されます。 |

注 意

- DMA 転送のリードサイクルで DMA 転送エラーが発生すると、ライトサイクルは実行しませんが、ディスティネーションアドレスは更新します
- ミスラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

| データサイズ | DA3 | DA2 | DA1 | DA0 |
|---------|-----|-----|-----|-----|
| 8 ビット | x | x | x | x |
| 16 ビット | x | x | x | 0 |
| 32 ビット | x | x | 0 | 0 |
| 64 ビット | x | 0 | 0 | 0 |
| 128 ビット | 0 | 0 | 0 | 0 |

7.11.3.3 DTTcnmn — DTS 転送回数レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9008_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 不定

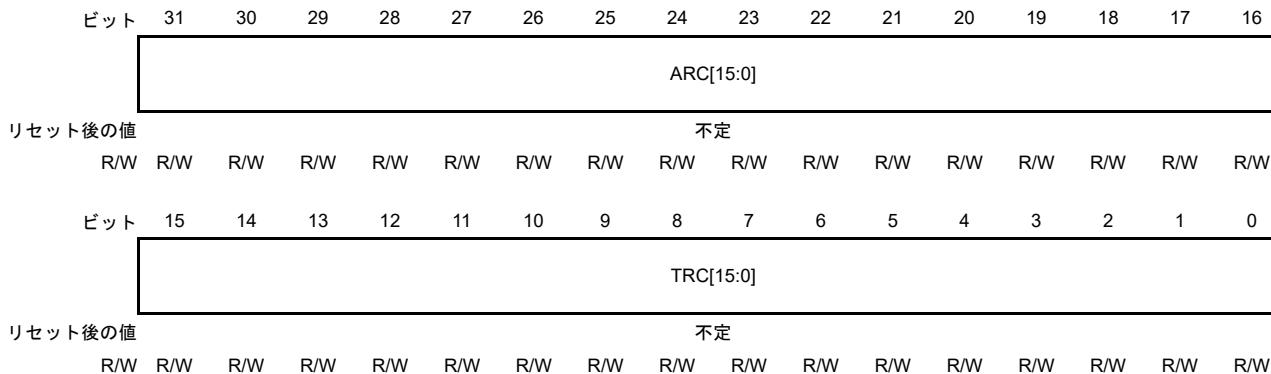


表 7.55 DTTcnmn レジスタの内容

| ビット位置 | ビット名 | 機能 | | | | | | | | | | |
|-------------------|-----------------------------|---|-----------|----|-------------------|--------------|-------------------|---------------------|---|---|-------------------|-----------------------------|
| 31 ~ 16 | ARC[15:0] | <p>アドレスリロードカウンタ</p> <p>リロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数を設定します。リロード機能 2 またはブロック転送 2 を使用する場合、本ビットは DMA サイクルごとに 1 ずつ減算され、TI ライトバック時に更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合、本ビットは更新されません。</p> <p>0000_H を設定した場合にはアドレスリロードは発生しません。</p> <p>DMA サイクル開始時の値が 0000_H の場合、DMA サイクルが発生してもアドレスリロードカウンタは減算されません。</p> | | | | | | | | | | |
| 15 ~ 0 | TRC[15:0] | <p>転送回数</p> <p>転送回数を設定します。DMA サイクルを実行するごとに 1 ずつ減算され、TI ライトバック時に更新されます。リロード機能を使用しない場合、最終転送が完了すると、完了時の値 (0000_H) を保持します。</p> <p>0000_H を設定した場合、DMA 転送要求を受け付けても DMA 転送を行いません。</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TRC[15:0]</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0000_H</td> <td>転送無効、または転送完了</td> </tr> <tr> <td>0001_H</td> <td>1 回転送、または残り転送回数 1 回</td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>FFFF_H</td> <td>65535 回転送、または残り転送回数 65535 回</td> </tr> </tbody> </table> | TRC[15:0] | 動作 | 0000 _H | 転送無効、または転送完了 | 0001 _H | 1 回転送、または残り転送回数 1 回 | : | : | FFFF _H | 65535 回転送、または残り転送回数 65535 回 |
| TRC[15:0] | 動作 | | | | | | | | | | | |
| 0000 _H | 転送無効、または転送完了 | | | | | | | | | | | |
| 0001 _H | 1 回転送、または残り転送回数 1 回 | | | | | | | | | | | |
| : | : | | | | | | | | | | | |
| FFFF _H | 65535 回転送、または残り転送回数 65535 回 | | | | | | | | | | | |

注 意

- DMA 転送のリードサイクルで転送対象にエラーが発生すると、ライトサイクルは実行しませんが、転送回数、アドレスリロードカウンタは更新します
- DMAC と異なり、DTS の転送回数の“0000_H”は 65536 回転送ではなく、転送無効または転送完了を示します。

7.11.3.4 DTTCTnnn — DTS 転送制御レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 900C_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 不定

| | | | | | | | | | | | | | | | | |
|---------|-----|-----|-----|------------|------------|-----------|-----------|-------------|-----|----------|-----|-----|-----|-----------|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | ESE | — | — | CHNSEL[6:0] | | | | | | CHNE[1:0] | | |
| リセット後の値 | 不定 | | | | | | | | | | | | | | | |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CCE | TCE | — | RLD2M[1:0] | RLD1M[1:0] | DACM[1:0] | SACM[1:0] | DS[2:0] | | TRM[1:0] | | | | | | |
| リセット後の値 | 不定 | | | | | | | | | | | | | | | |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.56 DTTCTnnn レジスタの内容 (1/3)

| ビット位置 | ビット名 | 機能 |
|---------|-------------|--|
| 31 ~ 28 | — | リザーブビット 読み出すと不定値が読み出されます。書き込む値は "0" に設定してください。 |
| 27 | ESE | 転送エラー時 DMA 転送中止設定 DMA 転送エラーが発生した場合に DMA 転送を中止するかどうかを設定します。 本ビットが 0 にセットされている場合は、DMA 転送エラーが発生しても DMA 転送を継続します。 本ビットが 1 にセットされている場合は、DMA 転送エラーが発生した場合、残りの DMA 転送を中止します。 0 : DMA 転送エラーが発生した場合に DMA 転送を継続する 1 : DMA 転送エラーが発生した場合に DMA 転送を中止する |
| 26, 25 | — | リザーブビット 読み出すと不定値が読み出されます。書き込む値は "0" に設定してください。 |
| 24 ~ 18 | CHNSEL[6:0] | チェーン先選択 チェーン先のチャンネルを指定します。 チェーン先は DTS 内の別のチャンネルを指定してください。DMAC のチャンネルへのチェーンは指定できません。 チェーン先のチャンネルをチェーン元のチャンネルと同一に指定することは禁止です。(設定した場合の動作を保証しません。) |
| 17 ~ 16 | CHNE[1:0] | チェーンイネーブル チェーン機能を設定します 00 : 無効 01 : 最終転送でチェーン 残り転送回数が 1 回の DMA サイクルが完了した際にチェーンします 10 : (設定禁止、設定した場合の動作を保証しません) 11 : 常にチェーン DMA サイクルが完了するたびにチェーンします |
| 15 | CCE | 転送回数一致割り込みイネーブル このビットをセットすると、残り転送回数が転送回数コンペアレジスタに設定した転送回数に一致する DMA サイクルが完了した際に転送回数一致割り込みを発生します。 |
| 14 | TCE | 転送完了割り込みイネーブル このビットをセットすると、最終転送が完了した際に転送完了割り込みを発生します。 |
| 13 | — | リザーブビット 読み出すと不定値が読み出されます。書き込む値は "0" に設定してください。 |

表 7.56 DTTCTnnn レジスタの内容 (2/3)

| ビット位置 | ビット名 | 機能 | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-------|------------|---|-------------------------|-------|--------|----------|---|---------|---|-------|--------|---|---|--------|---|---|-------------------------|--------|---|---|---|--------|---|---|---|---------|------|--|--|-------------------------|
| 12、11 | RLD2M[1:0] | <p>リロード機能 2 設定 リロード機能 2 の設定をします</p> <p>00: リロード機能 2 無効 01: リロード機能 2 有効 アドレスリロードカウン트가 1 の DMA サイクル完了時に、ソースアドレスとアドレスリロードカウン트를リロード</p> <p>10: リロード機能 2 有効 アドレスリロードカウン트가 1 の DMA サイクル完了時に、ディスティネーションアドレスとアドレスリロードカウン트를リロード</p> <p>11: リロード機能 2 有効 アドレスリロードカウン트가 1 の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスとアドレスリロードカウン트를リロード</p> | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 10、9 | RLD1M[1:0] | <p>リロード機能 1 設定 リロード機能 1 の設定をします</p> <p>00: リロード機能 1 無効 01: リロード機能 1 有効 転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスと転送回数をリロード (リロード機能 2 が有効の場合、アドレスリロードカウンともリロード)</p> <p>10: リロード機能 1 有効 転送回数が残り 1 回の DMA サイクル完了時に、ディスティネーションアドレスと転送回数をリロード (リロード機能 2 が有効の場合、アドレスリロードカウンともリロード)</p> <p>11: リロード機能 1 有効 転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスと転送回数をリロード (リロード機能 2 が有効の場合、アドレスリロードカウンともリロード)</p> | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 8、7 | DACM[1:0] | <p>ディスティネーションアドレスカウンタ方向 ディスティネーションアドレスのカウンタ方向を設定します。</p> <table border="1"> <thead> <tr> <th>DACM1</th> <th>DACM0</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table> | DACM1 | DACM0 | カウンタ方向 | 0 | 0 | インクリメント | 0 | 1 | デクリメント | 1 | 0 | 固定 | 1 | 1 | 設定禁止 (設定した場合の動作を保証しません) | | | | | | | | | | | | | |
| DACM1 | DACM0 | カウンタ方向 | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | インクリメント | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | デクリメント | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 固定 | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 設定禁止 (設定した場合の動作を保証しません) | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 6、5 | SACM[1:0] | <p>ソースアドレスカウンタ方向 ソースアドレスのカウンタ方向を設定します。</p> <table border="1"> <thead> <tr> <th>SACM1</th> <th>SACM0</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table> | SACM1 | SACM0 | カウンタ方向 | 0 | 0 | インクリメント | 0 | 1 | デクリメント | 1 | 0 | 固定 | 1 | 1 | 設定禁止 (設定した場合の動作を保証しません) | | | | | | | | | | | | | |
| SACM1 | SACM0 | カウンタ方向 | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | インクリメント | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | デクリメント | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 固定 | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 設定禁止 (設定した場合の動作を保証しません) | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 4 ~ 2 | DS[2:0] | <p>転送データサイズ 転送データサイズを設定します。</p> <table border="1"> <thead> <tr> <th>DS2</th> <th>DS1</th> <th>DS0</th> <th>転送データサイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>8 ビット</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>16 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>32 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>64 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>128 ビット</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table> | DS2 | DS1 | DS0 | 転送データサイズ | 0 | 0 | 0 | 8 ビット | 0 | 0 | 1 | 16 ビット | 0 | 1 | 0 | 32 ビット | 0 | 1 | 1 | 64 ビット | 1 | 0 | 0 | 128 ビット | 上記以外 | | | 設定禁止 (設定した場合の動作を保証しません) |
| DS2 | DS1 | DS0 | 転送データサイズ | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | 8 ビット | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | 16 ビット | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | 32 ビット | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | 64 ビット | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | 128 ビット | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 上記以外 | | | 設定禁止 (設定した場合の動作を保証しません) | | | | | | | | | | | | | | | | | | | | | | | | | | | |

表 7.56 DTTCTnnn レジスタの内容 (3/3)

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 1, 0 | TRM[1:0] | 転送モード DMA 転送モードを設定します 00 : シングル転送 01 : ブロック転送 1 (転送回数で指定した回数分を転送) 10 : ブロック転送 2 (アドレスリロードカウントで指定した回数分を転送) 11 : 設定禁止 (設定した場合の動作を保証しません) |

注 意

1. 各ビットを設定禁止の状態に設定した場合の動作は保証しません。
2. ビット 31 ~ 28、ビット 26、25、ビット 13 は未使用ですがリード・ライトが可能です。ライト時は 0 とし、リード時はこれらのビットの値を無視することを推奨します。

7.11.3.5 DTRSAnn — DTS リロードソースアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9010_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 不定

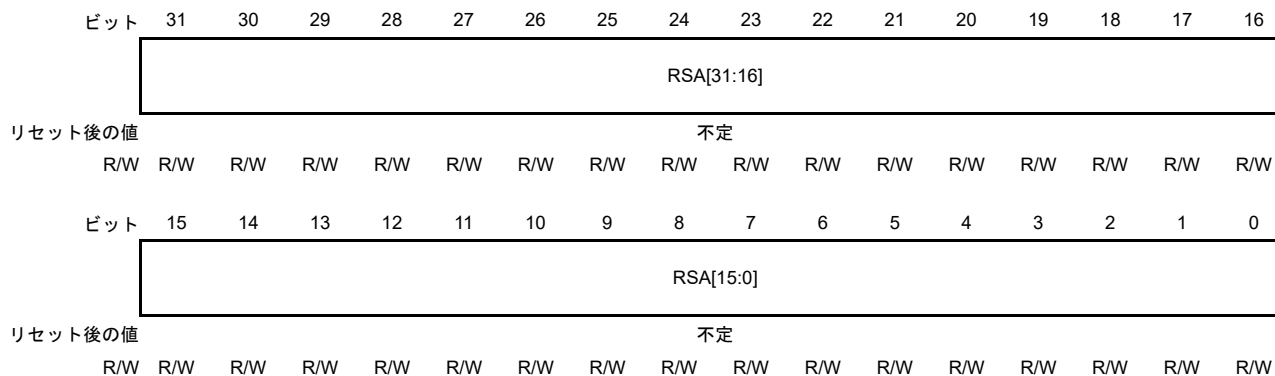


表 7.57 DTRSAnn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------|--|
| 31 ~ 0 | RSA[31:0] | リロードソースアドレス リロード機能 1 およびリロード機能 2 使用時にリロードするソースアドレスを設定します。 |

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

| データサイズ | RSA3 | RSA2 | RSA1 | RSA0 |
|---------|------|------|------|------|
| 8 ビット | x | x | x | x |
| 16 ビット | x | x | x | 0 |
| 32 ビット | x | x | 0 | 0 |
| 64 ビット | x | 0 | 0 | 0 |
| 128 ビット | 0 | 0 | 0 | 0 |

7.11.3.6 DTRDAnnn — DTS リロードディスティネーションアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9014_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 不定

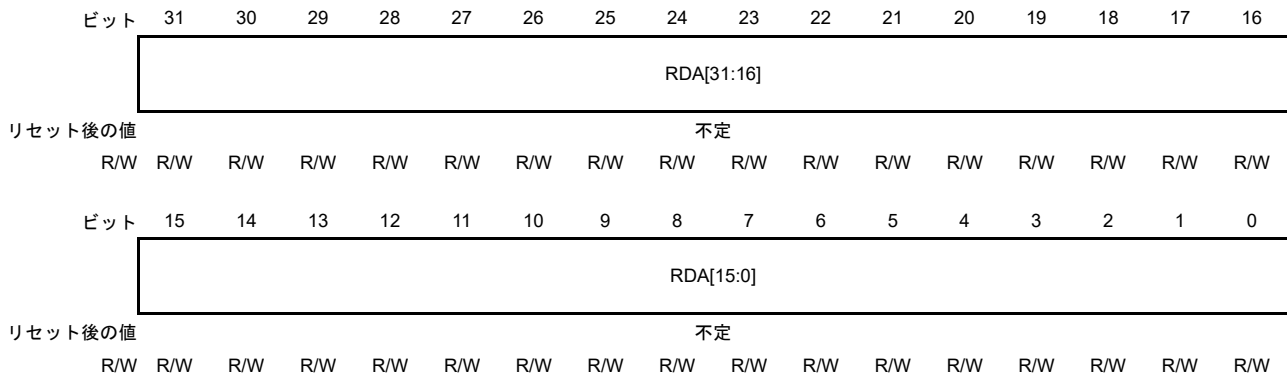


表 7.58 DTRDAnnn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------|--|
| 31 ~ 0 | RDA[31:0] | リロードディスティネーションアドレス リロード機能 1 およびリロード機能 2 使用時にリロードするディスティネーションアドレスを設定します。 |

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

| データサイズ | RDA3 | RDA2 | RDA1 | RDA0 |
|---------|------|------|------|------|
| 8 ビット | x | x | x | x |
| 16 ビット | x | x | x | 0 |
| 32 ビット | x | x | 0 | 0 |
| 64 ビット | x | 0 | 0 | 0 |
| 128 ビット | 0 | 0 | 0 | 0 |

7.11.3.7 DTRTCnnn — DTS リロード転送回数レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9018_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 不定

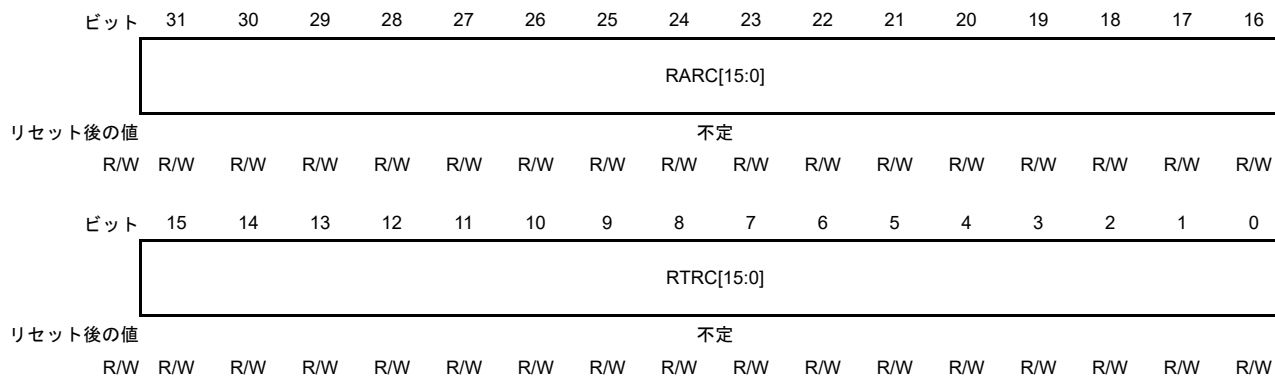


表 7.59 DTRTCnnn レジスタの内容

| ビット位置 | ビット名 | 機能 | | | | | | | | | | |
|-------------------|------------|---|------------|----|-------------------|-----------|-------------------|-------|---|---|-------------------|-----------|
| 31 ~ 16 | RARC[15:0] | リロードアドレスリロードカウンタ リロード機能 2 を使用時に、アドレスリロードカウンタにリロードする値を設定します。 | | | | | | | | | | |
| 15 ~ 0 | RTRC[15:0] | リロード転送回数 リロード機能 1 を使用時に、転送回数にリロードする値を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>RTRC[15:0]</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0000_H</td> <td>DMA 転送しない</td> </tr> <tr> <td>0001_H</td> <td>1 回転送</td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>FFFF_H</td> <td>65535 回転送</td> </tr> </tbody> </table> | RTRC[15:0] | 動作 | 0000 _H | DMA 転送しない | 0001 _H | 1 回転送 | : | : | FFFF _H | 65535 回転送 |
| RTRC[15:0] | 動作 | | | | | | | | | | | |
| 0000 _H | DMA 転送しない | | | | | | | | | | | |
| 0001 _H | 1 回転送 | | | | | | | | | | | |
| : | : | | | | | | | | | | | |
| FFFF _H | 65535 回転送 | | | | | | | | | | | |

7.11.3.8 DTTCCnnn — DTS 転送回数コンペアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 901C_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 不定

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CMC[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 不定 | | | | | | | | | | | | | | | |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 7.60 DTTCCnnn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|--|
| 31 ~ 16 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 15 ~ 0 | CMC[15:0] | 転送回数コンペア 転送回数レジスタとコンペアする転送回数を設定します。 DTS 転送制御レジスタの転送回数一致割り込みイネーブル (DTTCTnnn.CCE) ビットが 1 の場合、残り転送回数がこのレジスタの設定値と一致する DMA サイクルが完了すると、転送回数一致割り込みを発生します。 0000 _H を設定した場合には、転送回数とのコンペアを行いません。その場合、転送回数一致割り込みは発生しません。 |

注 意

本レジスタは、必ず DTS チャネルマスタ設定レジスタの設定を行ったあとでアクセスを行ってください。

リセット後に DTS チャネルマスタ設定を行わないまま本レジスタにアクセスを行うと、アクセスの際に ECC エラーが発生する可能性があります。

7.11.3.9 DTFSLnnn — DTSFSL 動作設定レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9020_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | REQEN |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 7.61 DTFSLnnn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|--|
| 31 ~ 1 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 0 | REQEN | DMA 転送要求有効 DTSFSL で保持しているこのチャンネルの DMA 転送要求を DTS チャンネルアービトレーションの候補とするかどうかを選択します。 0 : このチャンネルの DMA 転送要求を DTS チャンネルアービトレーションの候補としない 1 : このチャンネルの DMA 転送要求を DTS チャンネルアービトレーションの候補とする 本ビットが 0 の場合は、DTSFSL で DMA 転送要求を保持していても、このチャンネルは DTSFSL 内での DTS チャンネルアービトレーションの候補とならず、結果としてこのチャンネルの DMA 転送要求は発生しません。 |

7.11.3.10 DTFSTnnn — DTSFSL 転送要求ステータスレジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 9024_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | DRQ |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 7.62 DTFSTnnn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|--|
| 31 ~ 1 | — | リザーブビット |
| 0 | DRQ | DMA 転送要求保持状態 このチャンネルで DMA 転送要求を保持していることを示します。 ハードウェア転送要因入力の検出、またはソフトウェアでの DTFSSnnn.DRQS ビットへの "1" 書き込みによりリセットされます。 DTSFSL からこのチャンネルの DMA 転送要求を行っている際に DTS が DMA 転送 要求を受け付けると自動的にクリア されます。またはソフトウェアで DTFSCnnn.DRQC ビットに "1" を書き込むことで本ビットをクリアすることがで きます。 0 : DMA 転送要求を保持していない 1 : DMA 転送要求を保持している |

7.11.3.11 DTFSSnnn — DTSFSL 転送要求セットレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9028_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | DRQS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 7.63 DTFSSnnn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|--|
| 31 ~ 1 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 0 | DRQS | DMA 転送要求セット ユーザは本ビットに1を書き込むことで DTFSTnnn.DRQ ビットをセットすることができます。 本ビットのリード値は常に0です。 |

7.11.3.12 DTFSCnnn — DTSFSL 転送要求クリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 902C_H + 40_H × チャネル番号 n (n = 0 ~ 127)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | DRQC |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 7.64 DTFSCnnn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|--|
| 31 ~ 1 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 0 | DRQC | DMA 転送要求クリア ユーザは本ビットに1を書き込むことで DTFSTnnn.DRQ ビットをクリアすることができます。 本ビットのリード値は常に0です。 |

第8章 リセット

8.1 特長

- $\overline{\text{RES}}$ 端子にノイズキャンセラを搭載
- リセット要因判別レジスタを参照することにより、どの要因でリセットが掛かったかを判断することができます。
- CPU からレジスタを設定することによりリセットを発行することができます。

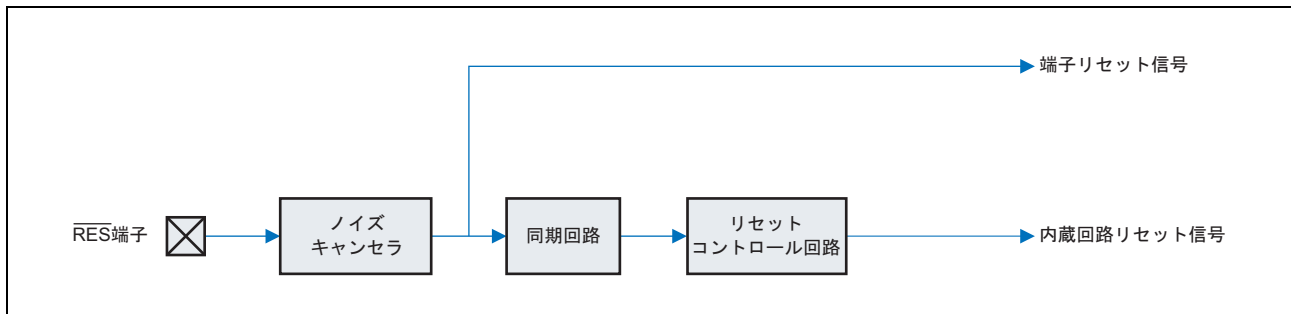


図 8.1 リセット回路

8.2 リセット状態

8.2.1 外部リセット状態

$\overline{\text{RES}}$ 端子にノイズキャンセル幅 (t_{RESNCW}) 以上のロウレベルパルスが入力されると、外部リセットが受け付けられ、本製品は外部リセット状態に遷移します。外部リセットが受け付けられると各端子は外部リセット状態に遷移します。各端子の外部リセット中の状態は、「第2章 端子」の「表 2.74 端子状態」をご参照ください。

$\overline{\text{RES}}$ 端子にはノイズキャンセル回路が内蔵されているため、入力するロウレベルパルス幅は、 t_{RESW6} 以上の期間入力する必要があります。その後、 $\overline{\text{RES}}$ 端子にハイレベルを入力すると、本製品は内部リセット状態へ遷移します。

注 意

t_{RESNCW} 、 t_{RESW6} は、「第37章 電気的特性」を参照してください。

8.2.2 内部リセット状態

外部リセット状態から $\overline{\text{RES}}$ 端子にノイズキャンセル幅 (t_{RESNCW}) 以上のハイレベルが入力されると、本製品は内部リセット状態へ遷移します。各端子の状態は、「第2章 端子」の「表 2.74 端子状態」をご参照ください。

外部リセット解除後、200 μs (max.) 後に内部リセット状態が解除され、CPU はリセット例外処理を開始いたします。

注 意

t_{RESNCW} は、「第37章 電気的特性」を参照してください。

8.3 リセット要因

本製品のリセット要因を次に示します。

いくつかのレジスタは外部リセット状態でのみ初期化されます。つまり、 $\overline{\text{RES}}$ 端子へのロウレベル入力によってのみ初期化されます。

大半のレジスタは、外部リセット状態と内部リセット状態のいずれでも初期化されます。つまり、すべてのリセット要因によって初期化されます。

各レジスタの初期化要因については、各章の説明を参照してください。リセット要因や初期化要因を明記していないレジスタは、外部リセット状態と内部リセット状態のいずれでも初期化されます。つまり、すべてのリセット要因によって初期化されます。ただし、レジスタによってはリセット後の値が不定の場合もあります。これらのレジスタは、リセットによって値が確定しませんので注意してください。

| 要因 | 動作説明 |
|--------------------------------|-----------------|
| RES 端子にロウレベルが入力された場合 | 外部リセット状態へ遷移します。 |
| ECM からリセット要求が発行された場合 | 内部リセット状態へ遷移します。 |
| デバッグからリセットが発行された場合 (強制リセット発行時) | 外部リセット状態へ遷移します。 |
| CPU からソフトウェアリセット要求レジスタを設定 | 内部リセット状態へ遷移します。 |

8.4 レジスタ仕様

8.4.1 レジスタ一覧

表 8.1 レジスタ一覧

リセット要因判定

| アドレス | レジスタ名 | 説明 | アクセス幅 | リセット後の値 | アクセス保護 |
|-----------|-------|---------------|-------|------------------------|--------|
| FFF8 2800 | RESF | リセット要因判定レジスタ | 32 | 0000 0000 _H | |
| FFF8 2808 | RESFC | リセット要因クリアレジスタ | 32 | 0000 0000 _H | |

パワーオン検知

| アドレス | レジスタ名 | 説明 | アクセス幅 | リセット後の値 | アクセス保護 |
|-----------|-------|--------------------|-------|------------------------|--------|
| FFF8 AC10 | POF | パワーオンクリアフラグレジスタ | 32 | 0000 000X _H | |
| FFF8 AC14 | POFC | パワーオンクリアフラグクリアレジスタ | 32 | 0000 0000 _H | |

ソフトウェアリセット制御

| アドレス | レジスタ名 | 説明 | アクセス幅 | リセット後の値 | アクセス保護 |
|-----------|--------|------------------|-------|------------------------|------------|
| FFF8 AC18 | SWRESA | ソフトウェアリセット要求レジスタ | 32 | 0000 0000 _H | PROT1PHCMD |

8.4.2 RESF — リセット要因判定レジスタ

本レジスタは、リセット要因を判別するレジスタです。

このレジスタのフラグは RESFC レジスタでクリアできます。

また、外部リセットでのみリセットされます。内部リセットではリセットされません。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-------|-------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | RESF1 | RESF0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 8.2 RESF レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 1 | RESF1 | ECM リセット リセットイベントが起きたことを示します。 0: イベントなし 1: イベントあり |
| 0 | RESF0 | ソフトウェアリセット リセットイベントが起きたことを示します。 0: イベントなし 1: イベントあり |

8.4.3 RESFC — リセット要因クリアレジスタ

本レジスタは、RESF レジスタで示されたリセット要因をクリアするレジスタです。

リードすると常に 00_H が読み出されます。

本レジスタは、外部リセットでのみリセットされます。内部リセットではリセットされません。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------------|------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | RESFC 1 | RESFC 0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 8.3 RESFC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 1 | RESFC1 | ECM リセット ステータスビットをクリアします。 0: クリアしない 1: クリアする |
| 0 | RESFC0 | ソフトウェアリセット ステータスビットをクリアします。 0: クリアしない 1: クリアする |

8.4.4 POF — パワーオンクリアフラグレジスタ

本レジスタは、SYSVCC が電源 OFF から電源 ON を検知したことを判別するレジスタです。

POF フラグは、SYSVCC が電源 OFF から電源 ON を検知した場合に“1”（コールドスタート）になります。

また、本レジスタに“0”または“1”を書いても変化しません。

POFC レジスタの POFC ビットに“0”または“1”をライトすると、“0”になります。

POF フラグを“0”に設定した状態で、その他のリセットが発生しても POF フラグは変化しません。（ウォームスタートを判断可能）

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | POF |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 8.4 POF レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 0 | POF | コールドスタートイベント検出 コールドスタートイベントが発生したことを示します。 0: 発生しない 1: 発生 |

8.4.5 POFC — パワーオンクリアフラグクリアレジスタ

本レジスタは、POF レジスタをクリアするレジスタです。

このレジスタは内部リセット、外部リセットのどちらでもリセットされます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | POFC |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 8.5 POFC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 0 | POFC | ライトすると（値は 0/1 いずれでも）パワーオンクリアフラグレジスタのコールドスタートイベント検出ビットをクリアします。 |

8.4.6 SWRESA — ソフトウェアリセット要求レジスタ

本レジスタは、レジスタをアクセスすることで内部リセットを発生させるレジスタです。

SWRESA に 1 を書き込むと、ソフトウェアリセットが発行されます。

本レジスタは、PROT1PHCMD レジスタによって保護することができます。

このレジスタは内部リセット、外部リセットのどちらでもリセットされます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | SWRESA |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 8.6 SWRESA レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 0 | SWRESA | 0: — (デフォルト) 1: 内部リセットが有効 (内部リセットのトリガ) |

例) SWRESA レジスタへの書き込みシーケンス

SWRESA レジスタへの書き込みは、「第 11 章 クロックコントローラ」に記載された保護解除シーケンスを用いることによって可能となります。

手順 1. PROT1PHCMD レジスタに固定値 0000 00A5_H を書き込みます。

手順 2. SWRESA レジスタに設定値 0000 0001_H を書き込みます。

手順 3. SWRESA レジスタに反転値 FFFF FFFE_H を書き込みます。

手順 4. SWRESA レジスタに設定値 0000 0001_H を書き込みます。

以上の手順で、SWRESA レジスタに設定値 0000 0001_H を書き込むことができます。

上記手順とおりに行わなかった場合、保護解除シーケンスは失敗し、SWRESA レジスタに設定値 0000 0001_H は書き込まれず、PROT1PS レジスタの PROTERR ビットが 1 にセットされます。

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。

上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ^{注1}へのライトアクセスの場合、保護レジスタへの書き込みは失敗し、PROTIPS レジスタの PROTERR ビットが1になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護レジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注1. 対象のレジスタは、「11.4.10 PROT1PHCMD — プロテクト1コマンドレジスタ」を参照してください。

8.5 ソフトウェアリセット

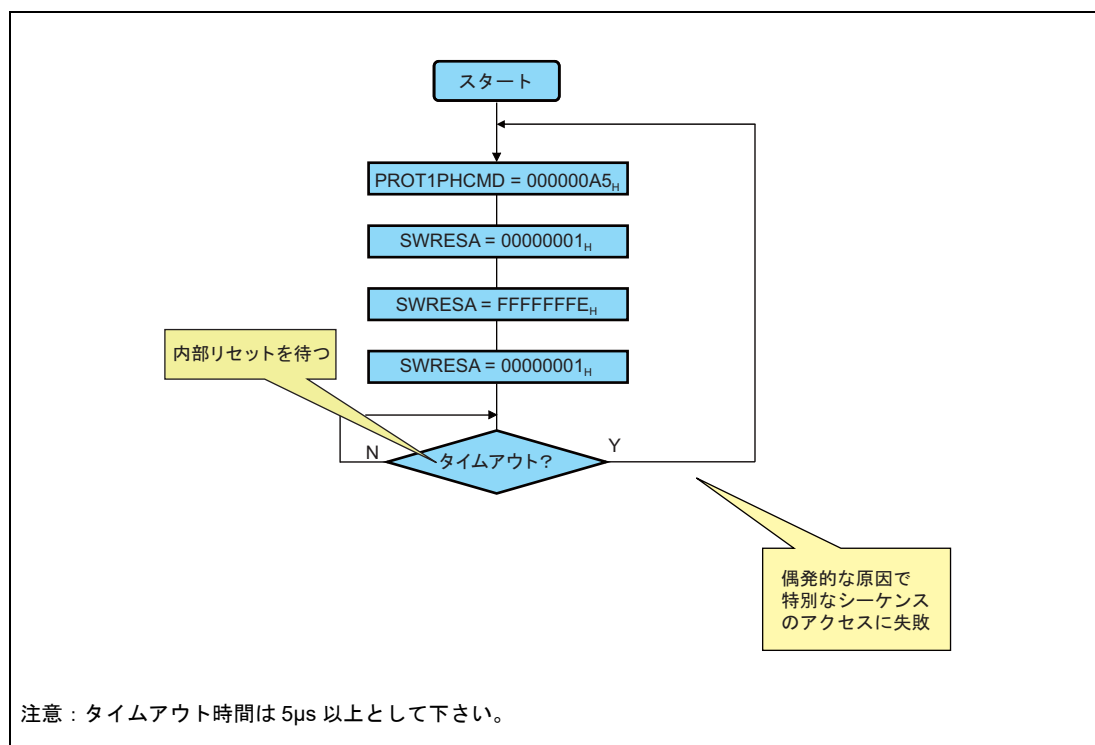


図 8.2 ソフトウェアリセットのフロー

8.6 RAM 保持

保持領域の RAM についてはリセットで値が破壊されることはありません。

8.7 使用上の注意

デバッグ機能において、リセットをマスクする機能があります。本機能の誤動作を防ぐため、デバッグ機能を使用しない場合は TRST 端子を Low 固定して使用してください。

第9章 電源回路

9.1 特長

- 外部パストランジスタ (External Pass Transistor) 方式の採用。略称：EPT

| EPT あり | EPT なし |
|----------------------------|----------------------------------|
| 2 電源 IC で動作可能 (5V、3.3V) | 3 電源 IC で動作可能 (5V、3.3V、1.25V) |

- システム用電源端子 (SYSVCC)
SYSVCC からスタンバイ時にシステム論理、Retention RAM に電源を供給します。

| 電源端子電源名 | 端子名 | オペレーション状態の電源電圧値 | 電源用途 |
|-------------|---------------------|---------------------------|------------------------------|
| SYSVCC | | 3.0V ~ 3.6V | システム論理、RAM 保持 |
| VCC | | 3.0V ~ 3.6V | 発振器、EPT、Flash 書き換え |
| PLLVCC | | 3.0V ~ 3.6V | PLL |
| VDD | | 1.15V ~ 1.35V | コア電源 (ダイレクト給電)、コア電源用安定化容量 |
| EVCC | | 4.5V ~ 5.5V | Port (5V) |
| LVDVCC | | 3.0V ~ 3.6V | MSC (VccLVDS) |
| TTLVCC | | 3.0V ~ 3.6V / 4.5V ~ 5.5V | MSC (VccTTL)、Port (5V, 3.3V) |
| A0VCC/A1VCC | | 4.5V ~ 5.5V | SAR AD 用電源 |
| | A0VREFH/ A1VREFH | 4.5V ~ 5.5V | SAR AD 用基準電圧 |
| ADSVCC | | 4.5V ~ 5.5V | $\Delta\Sigma$ AD 用電源 |
| | ADSVREFH | 4.5V ~ 5.5V | $\Delta\Sigma$ AD 電源用基準電圧 |
| | EPTVOUT | — | VDD 用 EPT 制御 注：外部印加ではない |
| | RAMVCL | — | RAM 保持用安定化容量 |
| | ADSVCL | — | $\Delta\Sigma$ AD 電源用安定化容量 |

電源名と端子の関係については、「**37.2.1 電源名と端子の関係**」をご覧ください。

9.2 電源 IC の接続例

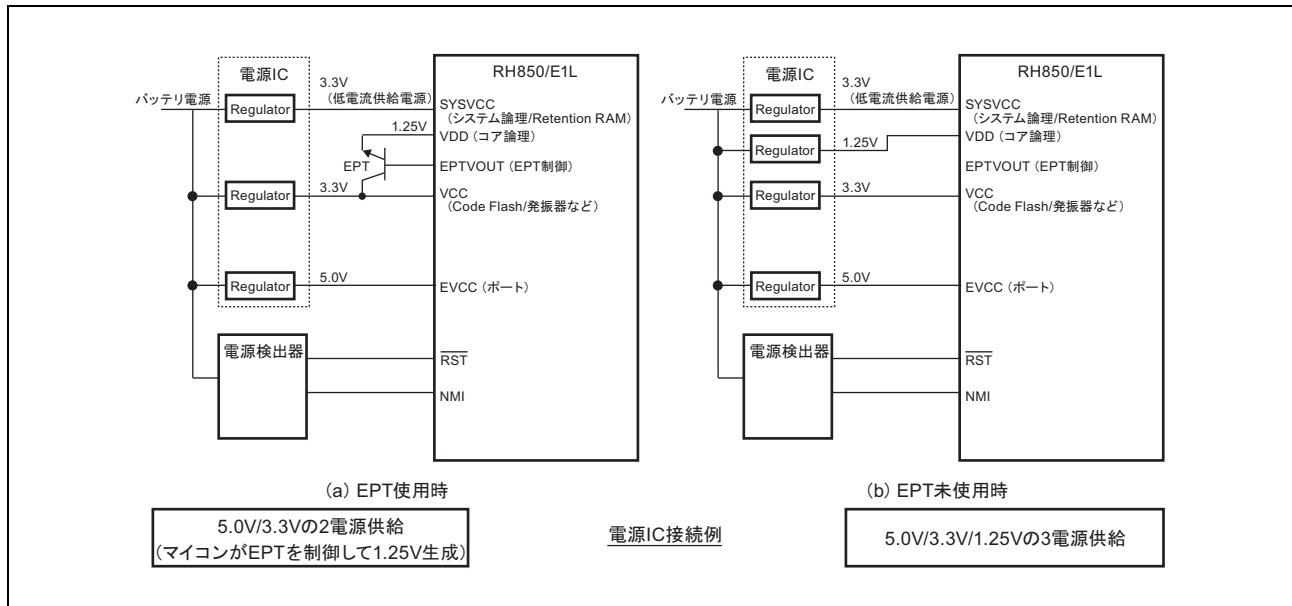


図 9.1 電源 - 電源 IC の接続例

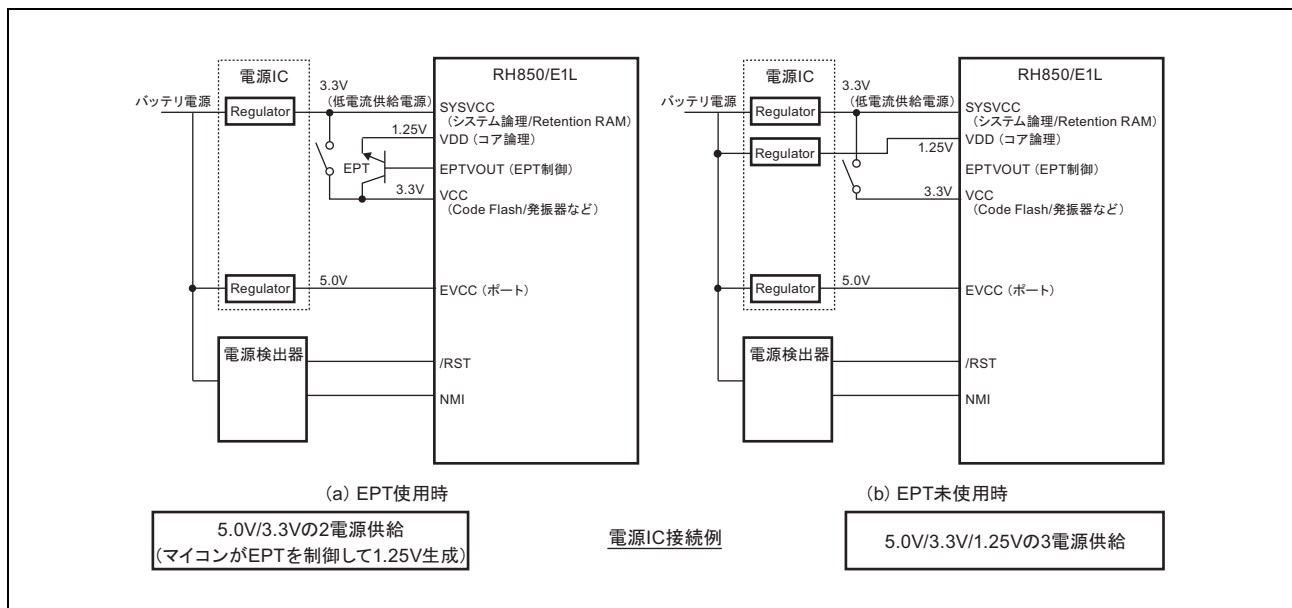


図 9.2 電源 - 電源 IC の接続例 SW 遮断

9.3 電源投入シーケンス

詳細値は「第 37 章 電気的特性」を参照してください。

9.4 使用上の注意

ご使用になる電源端子の処置について記します。不使用時の端子処置は、「2.5.4 未使用端子の処理」をご参照ください。

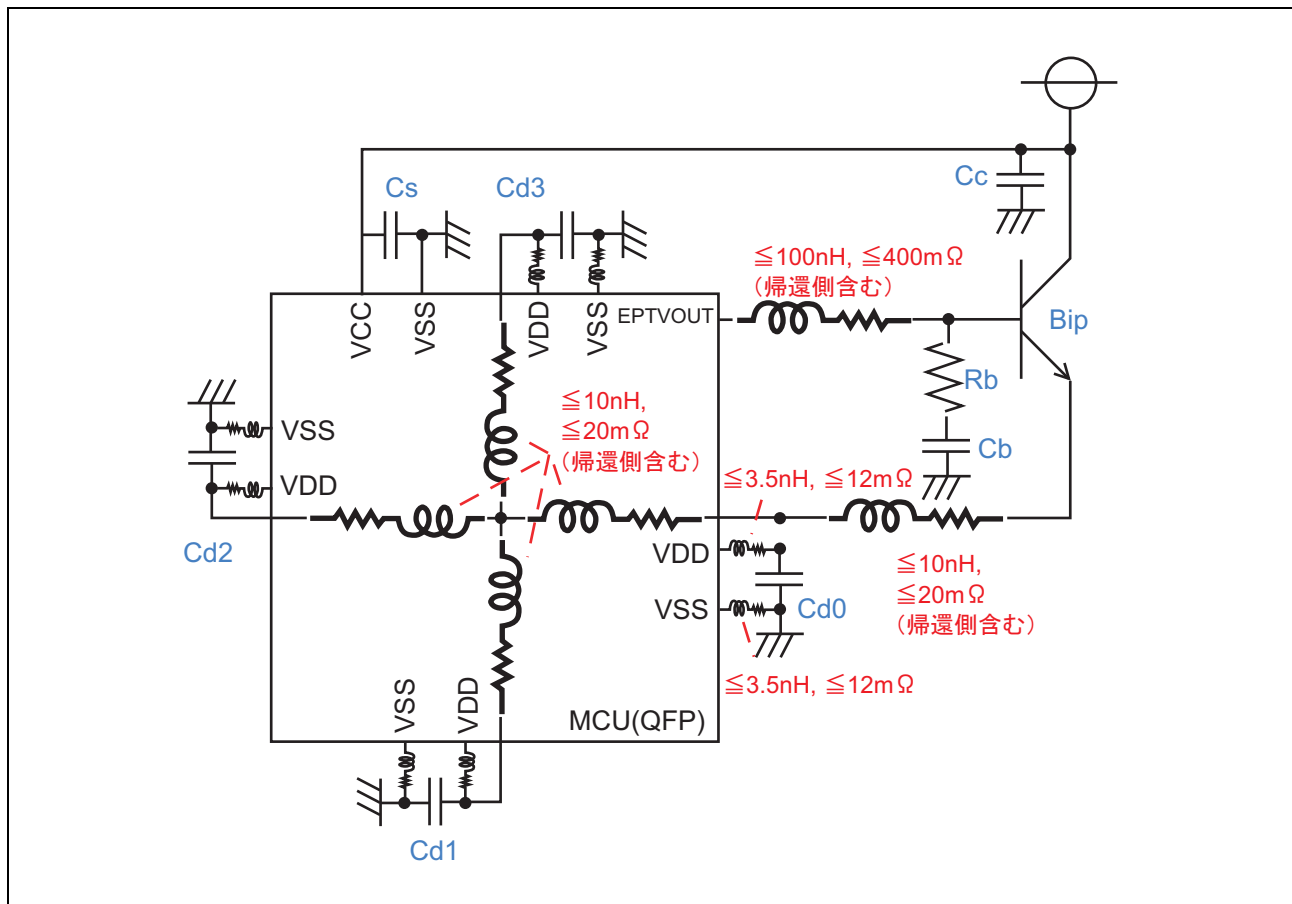
| 電源端子電源名 | 端子名 | 必須処置 | 推奨処置 |
|--------------|------------------|---|-------------------------------|
| SYSVCC | | デカップリング容量として、 トータル 0.1 μ F \pm 30% 以上。 | |
| VCC | | 電源安定化容量として、 10 μ F \pm 30% 以上。 | 各端子にデカップリングコンデンサ。 |
| PLLVCC | | | VCC と共通。 各端子にデカップリングコンデンサ。 |
| VDD | | | 次節掲載の EPT 基板実装ガイドに同じ。 |
| EVCC | | | 使用状況に応じて容量を外付け。 |
| LVDVCC | | | 使用状況に応じて容量を外付け。 |
| TTLVCC | | | 使用状況に応じて容量を外付け。 |
| A0VCC/ A1VCC | | | 別途発行のアプリケーション ノートを参照。 |
| | A0VREFH /A1VREFH | | 別途発行のアプリケーション ノートを参照。 |
| ADSVCC | | | 別途発行のアプリケーション ノートを参照。 |
| | ADSVREFH | | 別途発行のアプリケーション ノートを参照。 |
| | EPTVOUT | 「EPT 不使用時は「2.5.4 未使用端子の処理」を参照。 EPT 使用時は「9.5 EPT 基板実装ガイド」を参照。 | |
| | RAMVCL | 電源安定化容量として、 0.1 μ F \pm 30%。 | |
| | ADSVCL | | 別途発行のアプリケーション ノートを参照。 |

9.5 EPT 基板実装ガイド

EPT による VDD 電源供給を行う場合、VDD が規定の電圧範囲内に収まるようにするためには、以下の実装ガイドを守ってください。

ただし、これはルネサス製 NPN バイポーラトランジスタ 2SD1899 を EPT として使用する場合のガイドです。その他のトランジスタを使用する場合は、別途詳細検討が必要です。

9.5.1 QFP の場合



| 記号 | Spec | Notes |
|-----|---------------------|--|
| Bip | — | NPN Bip. DC Gain 100-400 2SD1899 Renesas |
| Cc | $\geq 5\mu\text{F}$ | — |
| Rb | $10\Omega \pm 5\%$ | 抵抗誤差：1%、 温特：300ppm/°C、 定格電力： $\geq 0.05\text{W}$ |

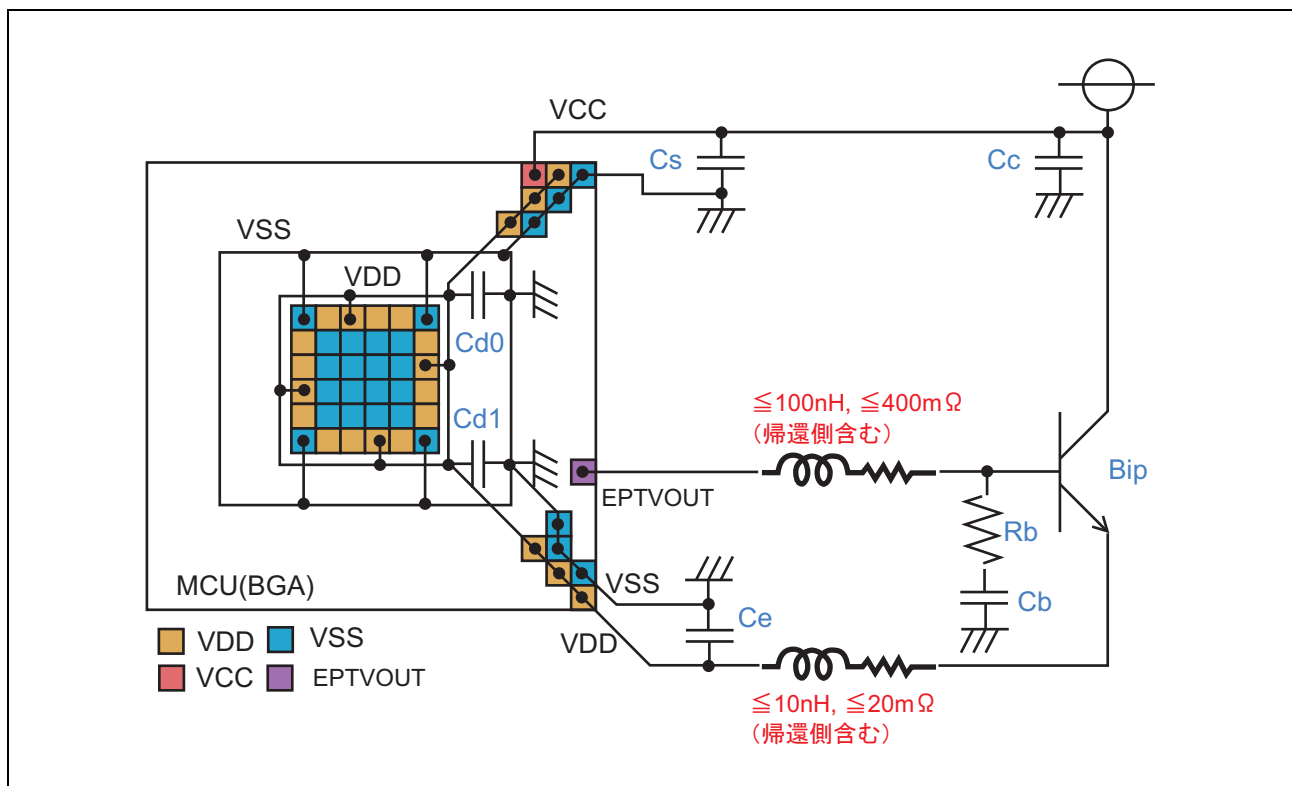
| 記号 | Spec | Notes |
|----------------|-----------------------|--|
| Cb | 1 μ F \pm 30% | 容量誤差 : \pm 10%、 温特 : X7R, X8R、 ESR : <50m Ω |
| Cdn (n: 0 ~ 3) | 2.2 μ F \pm 30% | 容量誤差 : \pm 10%、 温特 : X7R, X8R、 ESR : <50m Ω * 各 VDD/VSS ピン間直近に 1 個ずつ計 4 個接続 |
| Cs | \geq 0.6 μ F | ESR : <50m Ω * VCC/VSS ピン間直近に接続。VCC ピン が複数ある場合は各ピンの容量の合計 を左記とすること。 |

注 意

1. 基板接続の寄生 LR は VSS がプレーンで設けられていることを想定した数値です (銅箔厚 : VSS/VDD と同 35 μ m、層間厚 : 1mm 以下)。
2. VDD もプレーン状のパターンで形成することを推奨します。それが無理な場合でも可能な限り配線幅を太くしてください。
3. 上図の各端子位置は、パッケージ上の正しい端子位置を示すものではありません。

9.5.2 BGA の場合

パコン配置 : PKG/ チップ直下に 2.2 μ F (1608) \times 2、PKG 外引き出し先に 4.7 μ F (2012)



| 記号 | Spec | Notes |
|-------------|---------------------------------|--|
| Bip | — | NPN Bip. 、DC Gain 100-400 2SD1899 Renesas |
| Cc | $\geq 5\mu\text{F}$ | — |
| Rb | $10\Omega \pm 5\%$ | 抵抗誤差 : $\pm 1\%$ 、 温特 : $200\text{ppm}/^\circ\text{C}$ 、 定格電力 : $\geq 0.05\text{W}$ |
| Cb | $1\mu\text{F} \pm 30\%$ | 容量誤差 : $\pm 10\%$ 、 温特 : X7R,X8R、 ESR : $< 50\text{m}\Omega$ |
| Ce | $4.7\mu\text{F} \pm 30\%$ | 容量誤差 : $\pm 10\%$ 、 温特 : X7R,X8R、 ESR : $< 50\text{m}\Omega$ 外形 : 2012 * PKG 近傍に配置 |
| Cdn(n:0, 1) | $2.2\mu\text{F} \pm 30\%$ x2 | 容量誤差 : $\pm 10\%$ 、 温特 : X7R,X8R、 ESR : $< 50\text{m}\Omega$ 外形 : 1608 * PKG/ チップ直下に 2 個配置 |
| Cs | $\geq 0.6\mu\text{F}$ | ESR : $< 50\text{m}\Omega$ * VCC/VSS ピン間直近に接続。VCC ピンが複数ある場合は各ピンの容量の合計を左記とすること。 |

注 意

1. 基板接続の寄生 LR は VSS がプレーンで設けられていることを想定した数値です (銅箔厚 : VSS/VDD とともに $35\mu\text{m}$ 、層間厚 : 1mm 以下)。
2. VDD もプレーン状のパターンで形成することを推奨します。それが無理な場合でも可能な限り配線幅を太くしてください。

9.5.3 参考情報

プリント基板配線の寄生 LR の目安を以下に示します。

| 配線幅 [mm] | インダクタンス [nH/m] | 抵抗 [mΩ/m] |
|----------|----------------|-----------|
| 0.7 | 621 | 1210 |
| 1 | 555 | 913 |
| 2 | 432 | 571 |
| 4 | 263 | 257 |
| 6 | 200 | 183 |

注 意

VSS がプレーンで設けられていることを想定した数値です。
(銅箔厚 : VSS/VDD とともに 35μm、層間厚 : 1mm 以下を想定)

第10章 電源電圧モニタ

10.1 特長

- 電源電圧モニタ（CVM：Core Voltage Monitor）は、コア論理に給電される VDD 電位をモニタします。
- 電源電圧モニタには、H 側電圧検出と L 側電圧検出があり、VDD が設定電圧以上 / 以下であることを検知します。
- 電源電圧モニタの機能停止・動作を選択する際のレジスタ書き換えは、プログラムの暴走などで容易に書き換わらないように特定シーケンスで実施する必要があります。
- 電源電圧モニタでエラーを検出した場合は、LSI 外部へエラーを通知することができます。

10.2 構成

電源電圧モニタブロック図を **図 10.1** に示します。

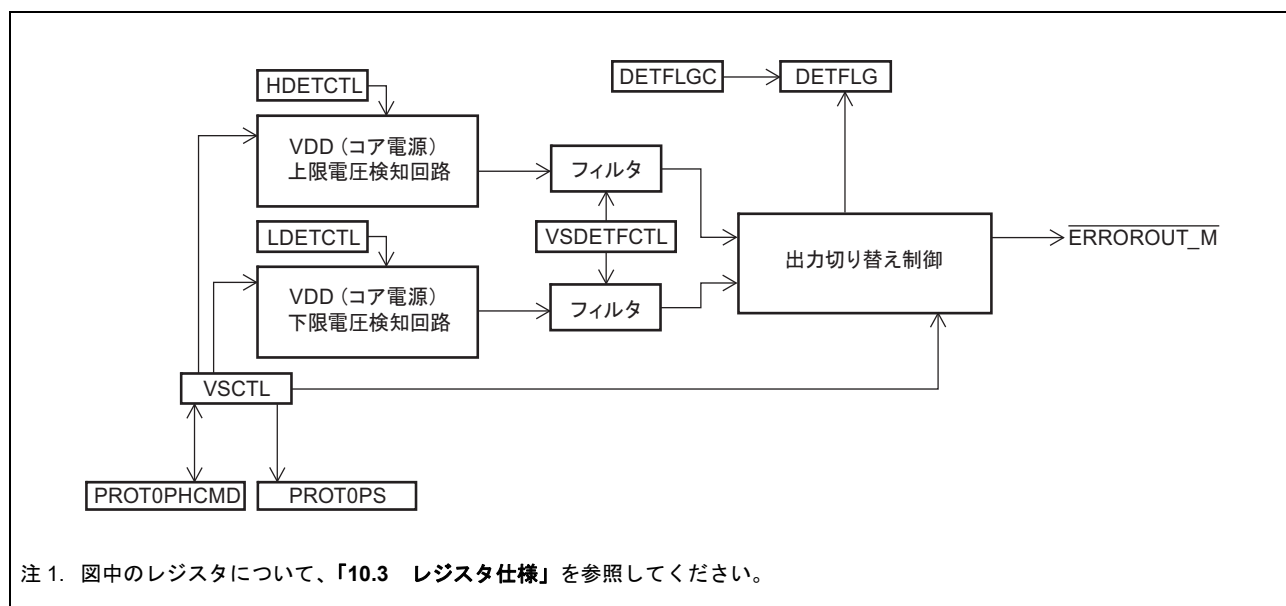


図 10.1 電源電圧モニタブロック図

10.3 レジスタ仕様

レジスタ仕様を表 10.1 に示します。

表 10.1 レジスタ仕様

| レジスタ名 | 略号 | R/W | リセット後の値 | アドレス | アクセスサイズ |
|------------------|-----------|-----|------------------------|------------------------|---------|
| CVM 検出フラグレジスタ | DETFLG | R | 0000 0000 _H | FFF8 2820 _H | 32 |
| CVM 検出フラグクリアレジスタ | DETFLGC | R/W | 0000 0000 _H | FFF8 2828 _H | 32 |
| CVM 制御レジスタ | VSCTL | R/W | 0000 0000 _H | FFF8 2C10 _H | 32 |
| 上限電圧設定レジスタ | HDETCTL | R/W | 0000 0003 _H | FFF8 2C14 _H | 32 |
| 下限電圧設定レジスタ | LDETCTL | R/W | 0000 0003 _H | FFF8 2C18 _H | 32 |
| 検出信号フィルタ制御レジスタ | VSDETFCTL | R/W | 0000 0000 _H | FFF8 2C1C _H | 32 |

10.3.1 DETFLG — CVM 検出フラグレジスタ

このレジスタは、上限電圧/下限電圧の検出状態を示します。

このレジスタは、外部リセットでのみリセットされます。

また、このレジスタは DETFLGC レジスタによってリセットできます。

アクセス 32ビット単位でリードできます。

アドレス FFF8 2820_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-------------|-------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | LDET FLG | HDET FLG |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 10.2 DETFLG レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 1 | LDETFLG | 下限電圧検出フラグ 0: 下限電圧は未検出 1: 下限電圧を検出 |
| 0 | HDETFLG | 上限電圧検出フラグ 0: 上限電圧は未検出 1: 上限電圧を検出 |

10.3.2 DETFLGC — CVM 検出フラグクリアレジスタ

このレジスタは、DETFLG レジスタをクリアするレジスタです。

アクセス 32ビット単位でリード/ライトできます。
読み出すと、常に値 0000 0000_H が返されます。

アドレス FFF8 2828_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|--------------|--------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | LDET FLGC | HDET FLGC |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 10.3 DETFLGC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---------------------------------------|
| 1 | LDETFLGC | 下限電圧検出フラグクリア 0: クリアしない 1: クリアする |
| 0 | HDETFLGC | 上限電圧検出フラグクリア 0: クリアしない 1: クリアする |

10.3.3 VSCTL — CVM 制御レジスタ

このレジスタは、CVMの有効/無効を制御します。

このレジスタは、PROT0PHCMDレジスタによって保護されています。詳細は、PROT0PHCMDレジスタの説明をご参照ください。

このレジスタは、外部リセットでのみリセットされます。

アクセス 32ビット単位でリード/ライトできます。

アドレス FFF8 2C10_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|--------|-------|-------|
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | EOUTEN | VSHEN | VSLEN |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W |

表 10.4 VSCTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|-----------------------------------|
| 2 | EOUTEN | 0: エラー出力をマスクする 1: エラー出力をマスクしない |
| 1 | VSHEN | 0: 上限電圧検出は無効 1: 上限電圧検出は有効 |
| 0 | VSLEN | 0: 下限電圧検出は無効 1: 下限電圧検出は有効 |

VSHEN/VSLENの有効後、CVM機能の動作開始には200usかかります。

10.3.4 HDETCTL — 上限電圧設定レジスタ

このレジスタは、上限電圧検出レベルを制御するレジスタです。

このレジスタは、外部リセットでのみリセットされます。

アクセス 32ビット単位でリード/ライトできます。

アドレス FFF8 2C14_H

リセット後の値 0000 0003_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|--------------|--------------|
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | VDDRE FH1 | VDDRE FH0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 10.5 HDETCTL レジスタの内容

| ビット位置 | ビット名 | 機能 | | | | | | |
|---------------|----------|---|----------|----------|-----------|---|---|-------|
| 1 | VDDREFH1 | 上限電圧検出レベル設定ビット 使用時は必ず0に設定してください。 | | | | | | |
| 0 | VDDREFH0 | | | | | | | |
| | | <table border="1"> <thead> <tr> <th>VDDREFH1</th> <th>VDDREFH0</th> <th>上限電圧検出レベル</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1.50V</td> </tr> </tbody> </table> | VDDREFH1 | VDDREFH0 | 上限電圧検出レベル | 0 | 0 | 1.50V |
| VDDREFH1 | VDDREFH0 | 上限電圧検出レベル | | | | | | |
| 0 | 0 | 1.50V | | | | | | |
| 上記以外の設定は禁止です。 | | | | | | | | |

10.3.5 LDETCTL — 下限電圧設定レジスタ

このレジスタは、下限電圧検出レベルを制御するレジスタです。

このレジスタは、外部リセットでのみリセットされます。

アクセス 32ビット単位でリード/ライトできます。

アドレス FFF8 2C18_H

リセット後の値 0000 0003_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|--------------|--------------|
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | VDDRE FL1 | VDDRE FL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 10.6 LDETCTL レジスタの内容

| ビット位置 | ビット名 | 機能 | | | | | | |
|---------------|----------|---|----------|----------|-----------|---|---|-------|
| 1 | VDDREFL1 | 下限電圧検出レベル設定ビット 使用時は必ず0に設定してください。 | | | | | | |
| 0 | VDDREFL0 | | | | | | | |
| | | <table border="1"> <thead> <tr> <th>VDDREFL1</th> <th>VDDREFL0</th> <th>下限電圧検出レベル</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0.95V</td> </tr> </tbody> </table> | VDDREFL1 | VDDREFL0 | 下限電圧検出レベル | 0 | 0 | 0.95V |
| VDDREFL1 | VDDREFL0 | 下限電圧検出レベル | | | | | | |
| 0 | 0 | 0.95V | | | | | | |
| 上記以外の設定は禁止です。 | | | | | | | | |

10.3.6 VSDEFCTL — 検出信号フィルタ制御レジスタ

このレジスタは、デジタルノイズフィルタの幅を制御するレジスタです。

このレジスタは、外部リセットでのみリセットされます。

アクセス 32ビット単位でリード/ライトできます。

アドレス FFF8 2C1C_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-------|-------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | DETF1 | DETF0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 10.7 VSDEFCTL レジスタの内容

| ビット位置 | ビット名 | 機能 | | | | | | | | | | | | | | | | |
|-------|-------|--|--|-------|-------|---------------|---|---|-----------|---|---|----------------|---|---|----------------|---|---|----------------|
| 1 | DETF1 | デジタルノイズフィルタ幅設定ビット | | | | | | | | | | | | | | | | |
| 0 | DETF0 | | | | | | | | | | | | | | | | | |
| | | | <table border="1"> <thead> <tr> <th>DETF1</th> <th>DETF0</th> <th>デジタルノイズフィルタの幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>フィルタをバイパス</td> </tr> <tr> <td>0</td> <td>1</td> <td>フィルタ期間 : 16clk</td> </tr> <tr> <td>1</td> <td>0</td> <td>フィルタ期間 : 32clk</td> </tr> <tr> <td>1</td> <td>1</td> <td>フィルタ期間 : 64clk</td> </tr> </tbody> </table> | DETF1 | DETF0 | デジタルノイズフィルタの幅 | 0 | 0 | フィルタをバイパス | 0 | 1 | フィルタ期間 : 16clk | 1 | 0 | フィルタ期間 : 32clk | 1 | 1 | フィルタ期間 : 64clk |
| DETF1 | DETF0 | | デジタルノイズフィルタの幅 | | | | | | | | | | | | | | | |
| 0 | 0 | | フィルタをバイパス | | | | | | | | | | | | | | | |
| 0 | 1 | フィルタ期間 : 16clk | | | | | | | | | | | | | | | | |
| 1 | 0 | フィルタ期間 : 32clk | | | | | | | | | | | | | | | | |
| 1 | 1 | フィルタ期間 : 64clk | | | | | | | | | | | | | | | | |
| | | デジタルノイズフィルタのサンプリングクロック clk は、ROSC (240KHz) | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | |

10.4 使用方法

電源電圧モニタの検出条件設定から電圧検出動作への流れは次のようになります。

1. 電源電圧モニタの H 側電圧検出の電圧条件を上限電圧設定レジスタ (HDETCTL) に、L 側電圧検出の電圧条件を下限電圧設定レジスタ (LDETCTL) に設定します。また、電圧検出のノイズフィルタの幅を検出信号フィルタ制御レジスタに設定し、すべての電源電圧モニタ関連のレジスタ設定後に、電源電圧モニタコントロールレジスタ (VSCTL) の電源電圧モニタ H 側イネーブルビット (VSHEN)、L 側イネーブルビット (VSLEN)、LSI 外部へのエラー通知可否 (EOUTEN) を操作し、動作を開始します。
2. VDD が上限電圧設定を超えた場合は、VSCTL レジスタの EOUTEN ビットの設定に応じ、LSI 外部へエラーを通知するとともに、上限電圧検出フラグ (DETFLG レジスタ、HDETFLG ビット) がセットされます。VDD が下限電圧設定を下回った場合は、VSCTL レジスタの EOUTEN ビットの設定に応じ、LSI 外部へエラーを通知すると共に、下限電圧検出フラグ (DETFLG レジスタ、LDETFLG ビット) がセットされます。
3. H 側電圧および L 側電圧検出後に上限電圧検出フラグおよび下限電圧検出フラグを確認することで、該当する検出内容を確認できます。

なお、電源電圧モニタエラー出力端子は、エラーコントロールモジュール (ECM) の ERROROUT_M 端子 (マスタ) と共通です。

電源電圧モニタで ERROROUT_M 端子出力を使用する場合は、以下のフローで設定してください。

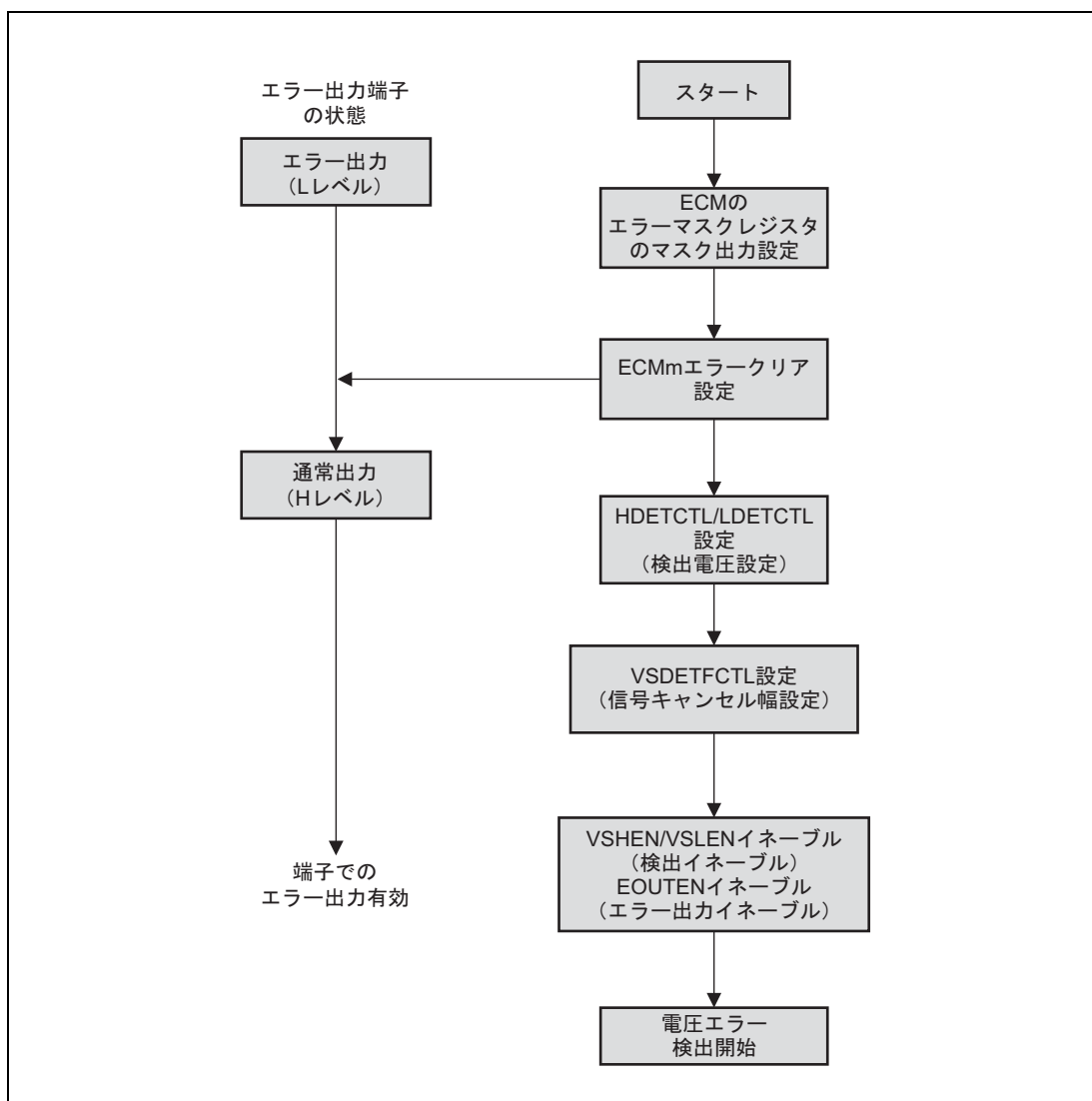


図 10.2 フローチャート

10.5 使用上の注意

- 電源電圧モニタは、外部リセット解除後のみ動作します。外部リセット中は電源電圧モニタの動作が停止しており、各種レジスタも初期化されます。
- 電源電圧モニタの各種設定レジスタやフラグレジスタは、外部リセットでのみ初期化されます。CPU や ECM からのリセット要求による内部リセットでは初期化されません。

第11章 クロックコントローラ

11.1 特長

- 発振回路を内蔵（メイン OSC）
- 外付け容量なしで 20MHz 発振可能（振動子限定）
- EXTAL 端子から 20MHz のクロックを入力可能
メイン OSC とは別に、EXTAL 端子よりダイレクトに 20MHz の外部クロックを入力可能。

注 意

ダイレクトに外部クロック入力時は、XTAL をオープンにする必要があります。

- 内蔵 PLL によりクロックの通倍が可能
- 輻射ノイズを低減するため SSCG（Spread Spectrum Clock Generator）の PLL0 を内蔵
タイマや通信モジュール用に周波数変調のない非変調クロック（clean clock）の PLL1 も搭載
- リングオシレータ回路（ROSC）を内蔵
- メイン OSC がクロックモニタで設定した周波数範囲を外れた場合に割り込みを発生可能
- リセット解除後の突入電流抑制のためソフトウェアによる段階的なクロックアップが可能。
レジスタ設定にて CPU クロックおよび周辺クロックの分周比を選択（1/4, 1/2, 1/1）。
- CK 端子から、1MHz クロック、ポーレートジェネレータ（BRG）で設定した分周クロックを出力可能

11.2 クロック種類

表 11.1 にクロック一覧、表 11.2 に各機能モジュールの動作クロック、図 11.1 にクロックのブロック図を示します。

表 11.1 クロック一覧

入力周波数（メイン OSC）20MHz 動作時

| クロック名 | シンボル | クロック周波数 | | | 備考 |
|----------------------|-----------|---------------------|-----------|----------|------------------|
| | | 分周器 0A/ 分周器 1A の分周比 | | | |
| | | 1/1 | 1/2 | 1/4 | |
| CPU クロック | CLK_CPU | 240MHz 注1 | 120MHz 注1 | 60MHz 注1 | PLL0 (SSCG 選択可) |
| | | 160MHz 注2 | 80MHz 注2 | 40MHz 注2 | |
| 高速周辺クロック | CLK_HSB | 80MHz | 40MHz | 20MHz | PLL1 (SSCG 選択不可) |
| 低速周辺クロック（周辺クロック） | CLK_LSB | 40MHz | 20MHz | 10MHz | |
| 非変調高速周辺クロック | CLKC_HSB | 80MHz | 40MHz | 20MHz | PLL1 (SSCG 選択不可) |
| 非変調低速周辺クロック | CLKC_LSB | 40MHz | 20MHz | 10MHz | |
| 低速 ROSC クロック | CLK_ROSCL | 240KHz | | | |
| ASIC クロック（1MHz クロック） | CLKA_ASIC | 1MHz | | | MainOSC の 1/20 |
| WDTA カウンタクロック | WDTACKI | 250KHz | | | MainOSC の 1/80 |

注 1. 最大動作周波数 240MHz の製品の場合

注 2. 最大動作周波数 160MHz の製品の場合

表 11.2 クロックと機能モジュール

| クロック名 | 機能モジュール名 |
|------------------|--|
| CPU クロック | CPU |
| 高速周辺クロック | PCU、INTC、DMAC、DTS、CSIH、DFE |
| 低速周辺クロック（周辺クロック） | ECM、CRC |
| 非変調高速周辺クロック | RHSB、 $\Delta\Sigma$ AD、TSG2、TAPA、PIC |
| 非変調低速周辺クロック | CAN、LIN、ATU-IV、APA、WDTA 注1、OSTM、SCI、AD |
| 低速 ROSC クロック | CLM |
| WDTA カウンタクロック | WDTA 注1 |

注 1. WDTA の PCLK（P-Bus のクロック）は非変調低速周辺クロック、WDTA の動作クロックは WDTA カウンタクロック。

各機能モジュールの章において PCLK と記載がある場合は、表 11.2 のそれぞれのクロック名に対応した上記表 11.1 の分周比 1/1 に記載の周波数を表します。

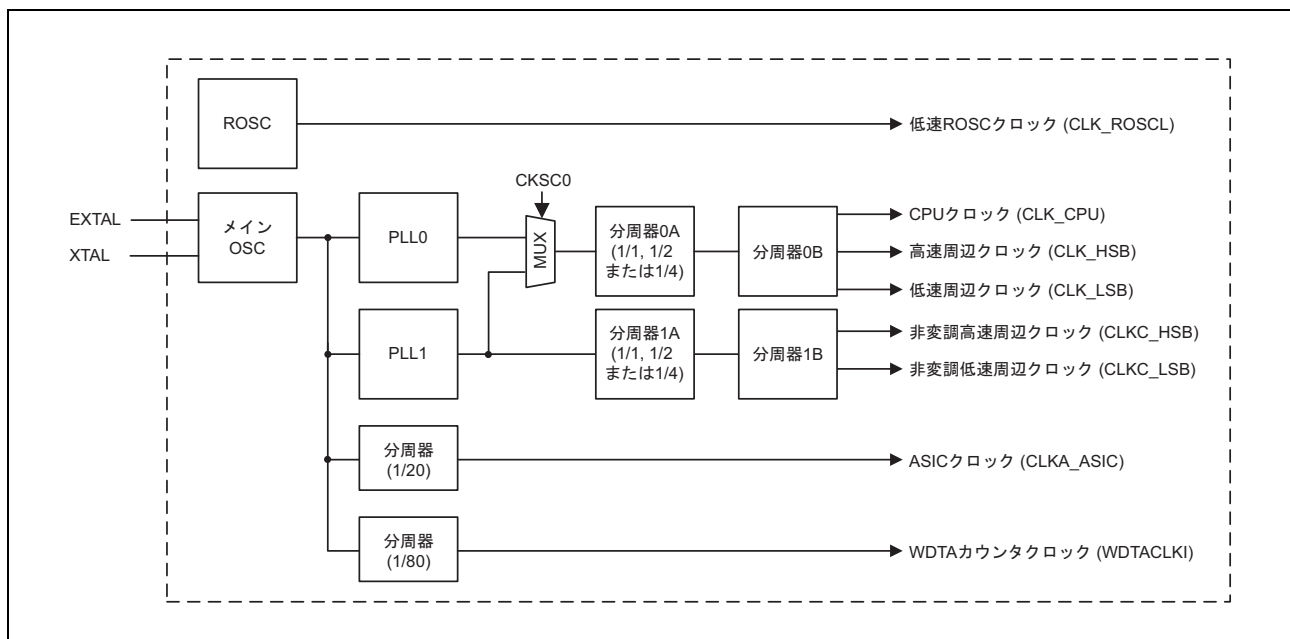


図 11.1 クロックコントローラのブロック図

11.3 入出力端子

クロックコントローラに関連する端子を表 11.3 に示します。

表 11.3 クロック発振関連端子

| 名称 | 端子名 | 入出力 | 機能 |
|----------|--------|-----|--------------------|
| 外部クロック | EXTAL | 入力 | 水晶発振子または外部クロック入力 |
| クリスタル | XTAL | 出力 | 水晶発振子を接続 |
| クロック出力 | CK | 出力 | 1MHz クロック / BRG 出力 |
| PLL 電源 | PLLVCC | 入力 | PLL 逓倍回路用電源 |
| PLL グランド | PLLVSS | 入力 | PLL 逓倍回路用電源 |

注 意

E1L の QFP176、QFP144 では PLLVCC は内部で VCC に、PLLVSS は内部で VSS に接続されていますので製品の端子としてはありません。

11.3.1 水晶発振子の接続方法

図 11.2 に水晶発振子の接続方法を示します。弊社推奨の水晶発振子（別途お問い合わせください）を使用した場合、基本的に負荷容量やダンピング抵抗などの外付け部品なしで発振が可能ですが、ご使用の環境で評価の上でお使いください。

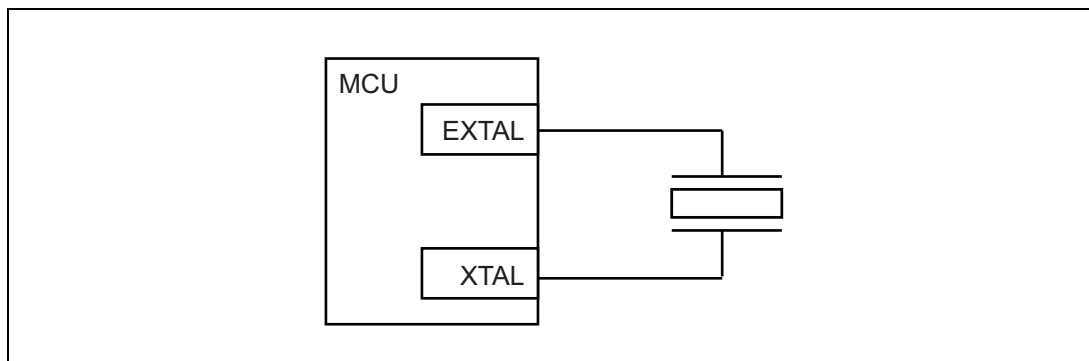


図 11.2 水晶発振子の接続例 1

11.4 レジスタ仕様

11.4.1 レジスタ一覧

レジスタ一覧を表 11.4 に示します。

表 11.4 クロック発振関連レジスタ一覧

| レジスタ名 (略称) | R/W | リセット後の値 | アドレス | アクセスサイズ | アクセス保護 |
|--------------------------------|-----|------------------------|------------------------|---------|------------|
| PLL0 ステータスレジスタ (PLL0CLKS) | R | 0000 0001 _H | FFF8 8004 _H | 32 | |
| PLL0 制御レジスタ 1 (PLL0CLKC1) | R/W | 0000 0000 _H | FFF8 8200 _H | 32 | PROT1PHCMD |
| クロック 0 選択制御レジスタ (CKSC0CTL) | R/W | 0000 0020 _H | FFF8 9000 _H | 32 | PROT1PHCMD |
| クロック 0 選択アクティブレジスタ (CKSC0ACT) | R | 0000 0020 _H | FFF8 9008 _H | 32 | |
| クロック 0 分周レジスタ (CLKD0DIV) | R/W | 0000 0004 _H | FFF8 8800 _H | 32 | PROT1PHCMD |
| クロック 0 分周ステータスレジスタ (CLKD0STAT) | R | 0000 0001 _H | FFF8 8804 _H | 32 | |
| クロック 1 選択制御レジスタ (CKSC1CTL) | R/W | 0000 0021 _H | FFF8 9040 _H | 32 | PROT1PHCMD |
| クロック 1 選択アクティブレジスタ (CKSC1ACT) | R | 0000 0021 _H | FFF8 9048 _H | 32 | |
| プロテクト 1 コマンドレジスタ (PROT1PHCMD) | R/W | 0000 0000 _H | FFF8 B000 _H | 32 | |
| プロテクト 1 ステータスレジスタ (PROT1PS) | R | 0000 0000 _H | FFF8 B004 _H | 32 | |

11.4.2 PLL0CLKS — PLL0 ステータスレジスタ

このレジスタは、PLL0 クロックの有効/アクティブ状態および安定状態を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード可能です

アドレス FFF8 8004_H

リセット後の値 0000 0001_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|-----------------|-----------------|-------|
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | CLKACT | CLKSTAB | CLKEN |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 ^{注1} | 0 ^{注1} | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

注1. CPU の動作スタート後にリードされたタイミングに依存します。

表 11.5 PLL0CLKS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------|--|
| 31 ~ 3 | — | リザーブビット 読み出すと "0" が読み出されます。 |
| 2 | CLKACT | PLL0 クロックソース状態 0: PLL0 クロックソースインアクティブ 1: PLL0 クロックソースアクティブ |
| 1 | CLKSTAB | PLL0 クロック安定状態 0: PLL0 クロック不安定 1: PLL0 クロック安定 |
| 0 | CLKEN | PLL0 動作状態 0: 停止 1: 動作 |

11.4.3 PLL0CLKC1 — PLL0 制御レジスタ 1

このレジスタは、PLL0 の SSCG (Spread Spectrum Clock Generator) の動作を制御します。

PLL0 が作動しているとき、このレジスタはセットすることができます。

このレジスタは PROT1PHCMD レジスタによって保護されています。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード/ライト可能です

アドレス FFF8 8200_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----|----|----|----|----|----|---------|----|---------------|-----|-----|-----|------------------|-----|-----|-----|
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | SSMODE1 | — | SELMFREQ[4:0] | | | | SELMPERCENT[2:0] | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 11.6 PLL0CLKC1 レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|---------|---|
| 31 ~ 10 | — | リザーブビット 読み出すと“0”が読み出されます。 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 9 | SSMODE1 | SSCG 制御 0: 変調なし 1: 変調あり |

表 11.6 PLL0CLKC1 レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|-----------------------|---|
| 8 | — | リザーブビット 読み出すと“0”が読み出されます。 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 7 ~ 3 | SELMFREQ [4:0] | SSCG 周期設定 本ビットを設定することで、SSCG の変調周期を選択することができます。 選択可能な設定は以下です。 1 0 0 0 0 B : 80.65kHz 1 0 0 0 1 B : 75.76kHz 1 0 0 1 0 B : 69.44kHz 1 0 0 1 1 B : 65.79kHz 1 0 1 0 0 B : 62.50kHz 1 0 1 0 1 B : 59.52kHz 1 0 1 1 0 B : 58.14kHz 1 0 1 1 1 B : 50.00kHz 1 1 0 0 0 B : 41.67kHz 1 1 0 0 1 B : 39.68kHz 1 1 0 1 0 B : 37.31kHz 1 1 0 1 1 B : 33.33kHz 1 1 1 0 0 B : 30.12kHz 1 1 1 0 1 B : 25.00kHz 1 1 1 1 0 B : 20.00kHz SSMODE1 を 1 に設定した場合は、上記以外の値を設定しないでください。 |
| 2 ~ 0 | SELMPERCENT T[2:0] | SSCG 変調範囲設定 本ビットを設定することで、SSCG 変調範囲を選択することができます。 選択可能な設定は本製品では以下のみです。 100 _B : -5.0% SSMODE1 を 1 に設定した場合は、上記以外の値を設定しないでください。 |

PLL0 の変調度切り替えの際は、いったん SSCG を OFF にして、かつ min1.6ms 待つ必要があります。

11.4.4 CKSC0CTL — クロック 0 選択制御レジスタ

このレジスタは分周器 0A のクロックソース選択に使用されます。

このレジスタは PROT1PHCMD レジスタによって保護されています。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード/ライト可能です

アドレス FFF8 9000_H

リセット後の値 0000 0020_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|-----------|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | CKSC[5:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 11.7 CKSC0CTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------|--|
| 31 ~ 6 | — | リザーブビット 読み出すと“0”が読み出されます。 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 5 ~ 0 | CKSC[5:0] | 分周器 0A のクロックソースを選択します。 100000 _B : PLL1 クロックを選択します。 100011 _B : PLL0 クロックを選択します。 上記以外を設定しないでください。 |

11.4.5 CKSC0ACT — クロック 0 選択アクティブレジスタ

このレジスタは分周器 0A のクロックソース状態を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード可能です

アドレス FFF8 9008_H

リセット後の値 0000 0020_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|-------------|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | CLKACT[5:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 11.8 CKSC0ACT レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|---|
| 31 ~ 6 | — | リザーブビット 読み出すと“0”が読み出されます。 |
| 5 ~ 0 | CLKACT[5:0] | CKSC0CTL レジスタの CKSC[5:0] に設定した値と同じ値になっていれば、分周器 0A のクロックソース切り替えが完了していることを示します。 |

11.4.6 CLKD0DIV — クロック 0 分周レジスタ

このレジスタは分周器 0A の分周比を設定します。

このレジスタは PROT1PHCMD レジスタによって保護されています。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード/ライト可能です

アドレス FFF8 8800_H

リセット後の値 0000 0004_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|---------------|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | CLKD0DIV[2:0] | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W |

表 11.9 CLKD0DIV レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------------|---|
| 31 ~ 3 | — | リザーブビット 読み出すと“0”が読み出されます。 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 2 ~ 0 | CLKD0DIV[2:0] | 分周器 0A の分周比を設定します。 001 _B : 分周なし 010 _B : 2 分周 100 _B : 4 分周 上記以外を設定しないでください。 |

11.4.7 CLKD0STAT — クロック 0 分周ステータスレジスタ

このレジスタは、分周器 0A のクロック状態を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード可能です

アドレス FFF8 8804_H

リセット後の値 0000 0001_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---------------|
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | CLKD0 SYNC |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 11.10 CLKD0STAT レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------|--|
| 31 ~ 1 | — | リザーブビット 読み出すと“0”が読み出されます。 |
| 0 | CLKD0SYNC | 分周器同期ステータス 0: 分周器 0A は CLKD0DIV で設定した分周比への切り替え途中です。 1: 分周器 0A は CLKD0DIV で設定した分周比で動作しています。 |

11.4.8 CKSC1CTL — クロック 1 選択制御レジスタ

このレジスタは分周器 1A の出力クロック選択に使用されます。

このレジスタは PROT1PHCMD レジスタによって保護されています。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード/ライト可能です

アドレス FFF8 9040_H

リセット後の値 0000 0021_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|-----------|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | CKSC[5:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 11.11 CKSC1CTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------|--|
| 31 ~ 6 | — | リザーブビット 読み出すと“0”が読み出されます。 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 5 ~ 0 | CKSC[5:0] | 分周器 1A の出力クロックを選択します。 10000 _B : PLL1 の 1/4 のクロックを選択します。 10001 _B : PLL1 の 1/2 のクロックを選択します。 10010 _B : PLL1 クロックを選択します。 上記以外を設定しないでください。 |

11.4.9 CKSC1ACT — クロック 1 選択アクティブレジスタ

このレジスタは分周器 1A のクロック状態を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード可能です

アドレス FFF8 9048_H

リセット後の値 0000 0021_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|----|----|----|----|---|---|---|---|-------------|---|---|---|---|---|
| | — | — | — | — | — | — | — | — | — | — | CLKACT[5:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 11.12 CKSC1ACT レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|--|
| 31 ~ 6 | — | リザーブビット 読み出すと“0”が読み出されます。 |
| 5 ~ 0 | CLKACT[5:0] | CKSC1CTL レジスタの CKSC[5:0] に設定した値と同じ値になっていれば、分周器 1A の出力クロック切り替えが完了していることを示します。 10000 _{1B} : 1/4 × PLL1 100010 _B : 1/2 × PLL1 100100 _B : 1/1 × PLL1 |

11.4.10 PROT1PHCMD — プロテクト1コマンドレジスタ

このレジスタは保護レジスタへのライトアクセスのために必要なプロテクト解除シーケンスを開始するための保護コマンドレジスタです。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード/ライト可能です

アドレス FFF8 B000_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|-----------|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | PCMD[7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 11.13 PROT1PHCMD レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|------------------------------|
| 31～8 | — | リザーブビット 読み出すと“0”が読み出されます。 |
| 7～0 | PCMD[7:0] | 書き込みプロテクションコマンドレジスタ |

このレジスタは、プログラムの暴走などにより応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタ（保護レジスタ）への書き込み動作に対してプロテクションを施すために使用するものです。

保護レジスタへの書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

手順 1. PROT1PHCMD レジスタに固定値 0000 00A5_H を書き込みます。

手順 2. 保護レジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

手順 3. 手順 2 と同じレジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値のビット反転値を書き込みます。

手順 4. 手順 2 と同じレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、保護レジスタに設定値を書き込むことができます。

上記手順とおりに行わなかった場合、保護解除シーケンスは失敗し、保護レジスタに設定値は書き込まれず、PROT1PS レジスタの PROTERR ビットが 1 にセットされます。（必須ではありませんが、手順 4 のあと、PROT1PS レジスタの PROTERR ビットの値が 0 であることを確認することでも、保護レジスタに設定値が正しく書き込まれたことを確認できます。）

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。

上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ^{注1}へのライトアクセスの場合、保護レジスタへの書き込みは失敗し、PROTIPS レジスタの PROTERR ビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護レジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注 1. PROT1PHCMD では、アドレス FFF8 8004_H ~ FFF8 B004_H に配置されたレジスタが該当します。

レジスタ名、レジスタシンボルおよびモジュール名については、「付録 レジスタ一覧」を参照してください。

11.4.11 PROT1PS — プロテクト1ステータスレジスタ

このレジスタはプロテクト解除シーケンスの状態レジスタです。保護レジスタへのライトアクセスのエラー情報を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32ビット単位でリード可能です

アドレス FFF8 B004_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | PROTE RR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 11.14 PROT1PS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------|--|
| 31 ~ 1 | — | リザーブビット 読み出すと“0”が読み出されます。 |
| 0 | PROTERR | プロテクションエラーフラグ 0 : プロテクションエラーが発生していない 1 : プロテクションエラーが発生した |

PROTERR ビットの動作条件

セット条件 : PROT1PHCMD でプロテクションの対象となっているレジスタ（保護レジスタ）に対して、プロテクト解除シーケンスを守らずにアクセスした場合。

クリア条件 : PROT1PHCMD レジスタに 0000 00A5_H を書き込んだ場合（プロテクト解除シーケンスのステップ 1）。

11.5 動作説明

11.5.1 分周機能使用時の動作説明

起動時の電流変動を抑えるため、下記手順にてクロック切り替えを行ってください（「**図 11.3 クロックギアアップシーケンスの例**」を参照）。

1. リセット解除後のユーザプログラム動作時、PLL0/PLL1 は発振状態にあり、内部は PLL1 にて動作しています。また分周器 0A は 1/4 設定となっています。PLL0CLKS レジスタをリードし、値が 07_H で PLL0 が安定して動作していることを確認します。
2. CKSC0CTL.CKSC[5:0] に 23_H を書き込み、クロックソースを PLL0 選択とします。
3. クロックソース切り替えウェイト処理として、CPU 最大動作周波数が 240MHz の製品では CPU クロック 105 サイクル以上、160MHz の製品では CPU クロック 70 サイクル以上経過したのち、CKSC0ACT をリードし、CKSC0ACT.CLKACT[5:0] の値が 23_H になっていることを確認します。
4. CLKD0DIV.CLKD0DIV[2:0] に 010_B を設定し、分周器を 1/2 設定にします。
5. 分周比切り替えウェイト処理として、CPU 最大動作周波数が 240MHz の製品では CPU クロック 105 サイクル以上、160MHz の製品では CPU クロック 70 サイクル以上経過したのち、CLKD0STAT をリードし、CLKD0SYNC が 1 になっていることを確認します。
6. CLKD0DIV.CLKD0DIV[2:0] に 001_B を設定し、分周器を 1/1 設定にします。
7. 分周比切り替えウェイト処理として、CPU 最大動作周波数が 240MHz の製品では CPU クロック 105 サイクル以上、160MHz の製品では CPU クロック 70 サイクル以上経過したのち、CLKD0STAT をリードし、CLKD0SYNC が 1 になっていることを確認します。

PLL1 側の分周器 1A の分周比切り替えも、上記 4～7 と同様の手順を踏んでください。

上記クロック切り替えの手順（クロックギアアップシーケンス）の例を、**図 11.3** に示します。なお**表 11.15**に、それぞれの処理におけるクロックの周波数を示します。

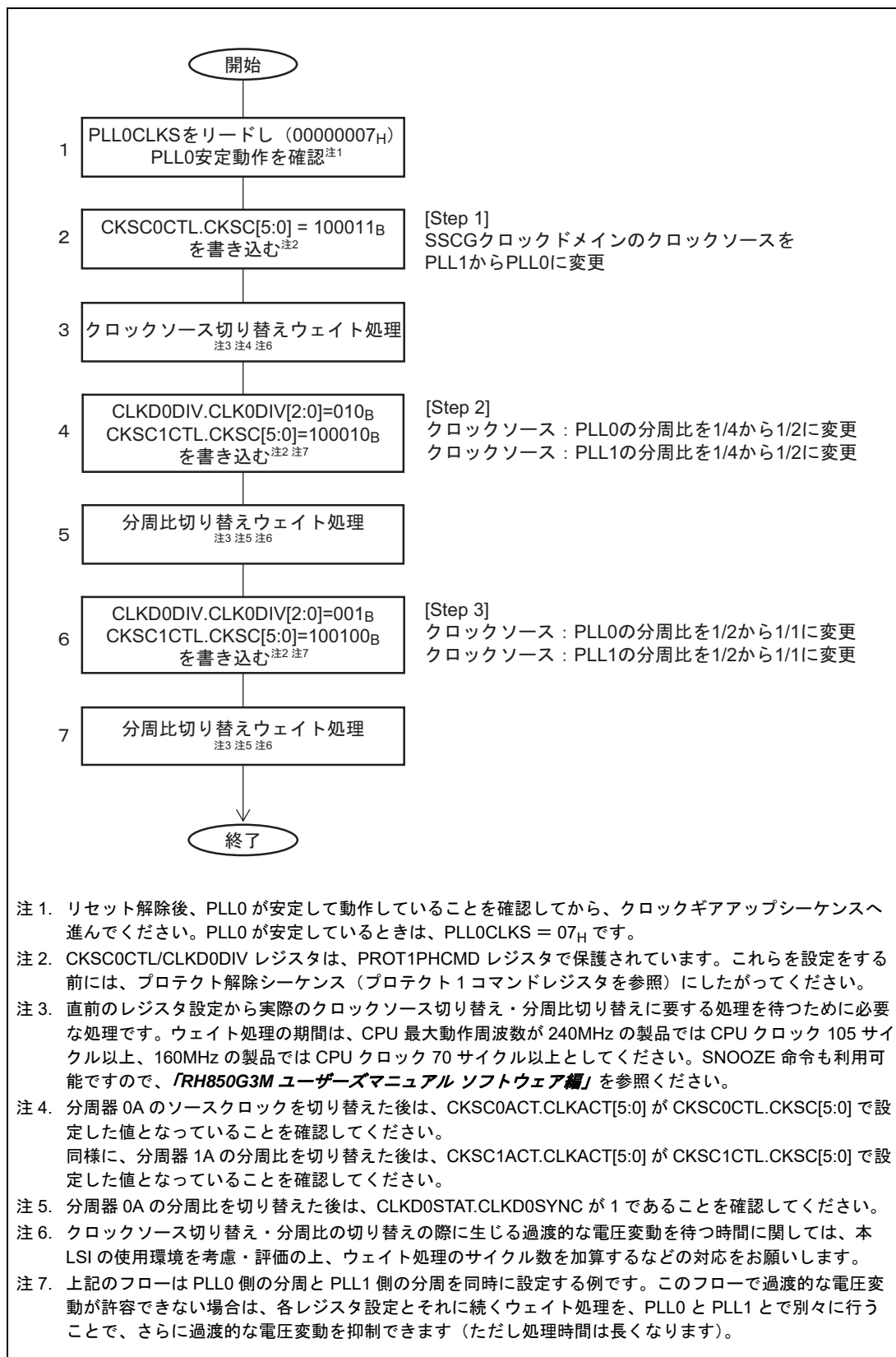


図 11.3 クロックギアアップシーケンスの例

表 11.15 クロックギアアップシーケンスにおける周波数

| | CLK_CPU | | CLK_HSB | CLK_LSB | CLKC_HSB | CLKC_LSB |
|---------------|---------------------|---------------------|---------|---------|----------|----------|
| | CPU 240MHz 製品 | CPU 160MHz 製品 | | | | |
| Step 1 前 | 60 | 40 | 20 | 10 | 20 | 10 |
| Step 1-Step 2 | 60 | 40 | 20 | 10 | 20 | 10 |
| Step 2-Step 3 | 120 | 80 | 40 | 20 | 40 | 20 |
| Step 3 後 | 240 | 160 | 80 | 40 | 80 | 40 |

11.6 注意事項

分周比変更時は FPU 演算等演算器を使用する命令は避けるようにしてください。分周比変更時の電流変動が大きくなり、動作が不安定になる恐れがあります。

11.6.1 ボード設計上の注意

図 11.4 に示すように、EXTAL、XTAL 端子の信号線にほかの信号線を交差させないでください。誘導のために正しい発振ができなくなることがあります。

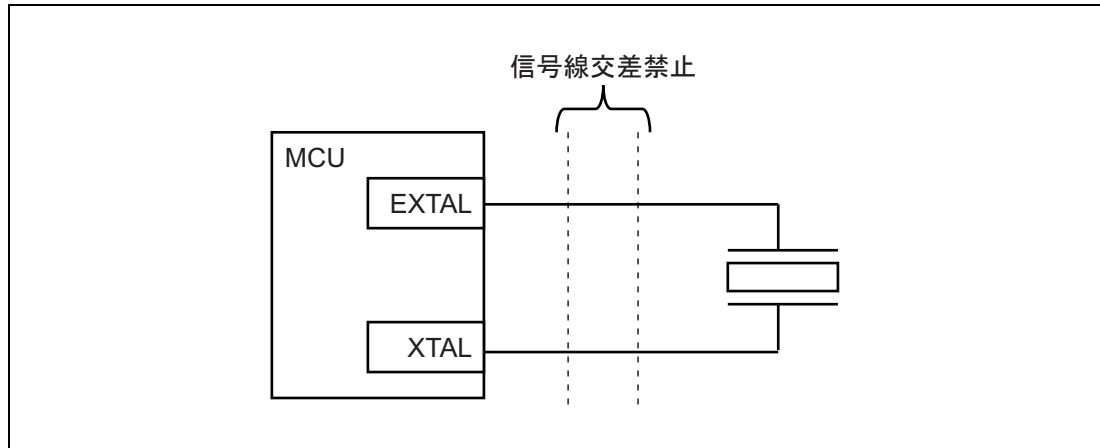


図 11.4 ボード設計上の注意

11.7 ASIC クロック

11.7.1 特長

- CK 端子より出力するクロックを選択する機能を提供します。
- レジスタ設定によって、1MHz クロック^{注1}、ポーレートジェネレータ (BRG) で設定した分周クロック^{注2}を選択することができます。
- 電源遮断スタンバイ解除後、1MHz クロックが CK 端子から出力されます。
- クロックの停止・動作を選択する際のレジスタ書き換えは、プログラムの暴走などで容易に書き換わらないように特定シーケンスで実施する必要があります。

注 意

1. 1MHz クロック : メイン OSC 20MHz の 20 分周クロック
2. BGR (Baud Rate Generator) : 非変調低速周辺クロック (CLKC_LSB) の 1/N 分周クロック

11.7.2 構成

図 11.5 に、ASIC クロック出力構成図を記載します。

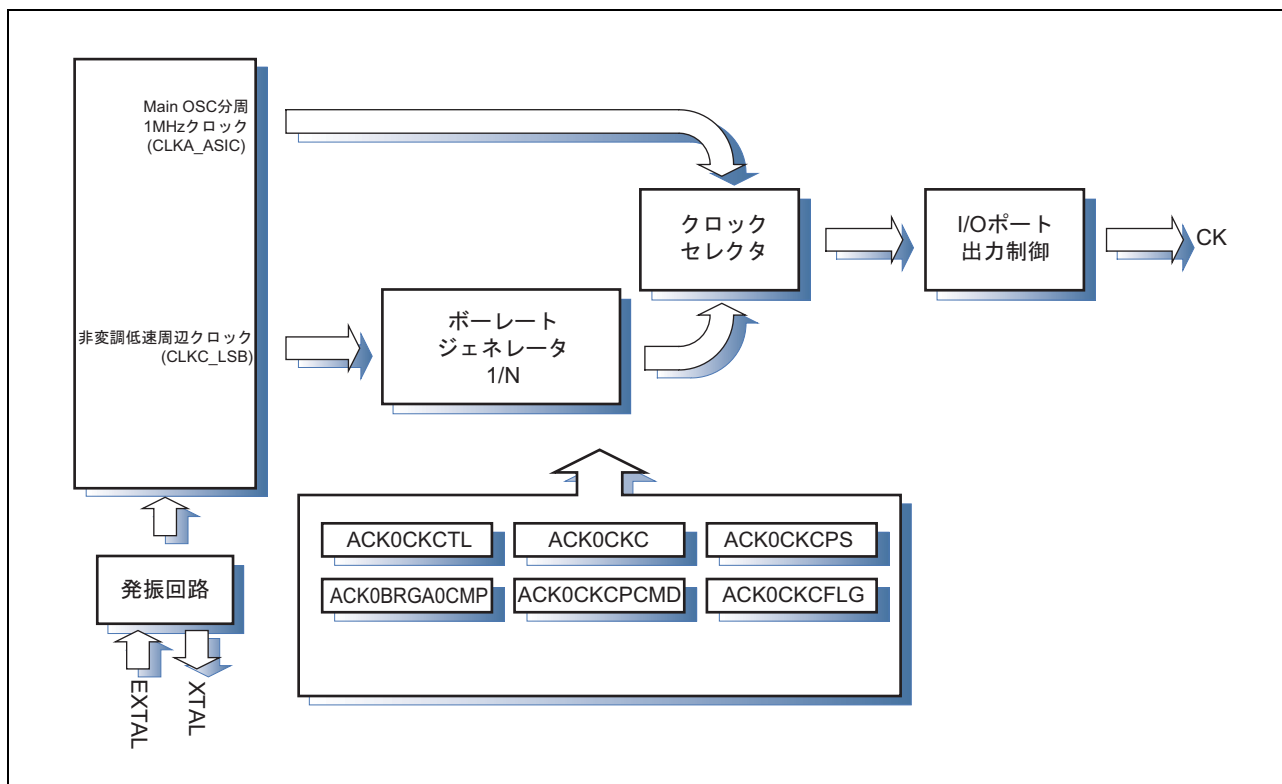


図 11.5 ASIC クロックブロック図

11.7.3 レジスタ仕様

表 11.16 に、レジスタ仕様を記載します。

表 11.16 レジスタ仕様

| レジスタ名 | 略称 | R/W | リセット後の値 | アドレス | アクセスサイズ |
|--------------------|--------------|-----|-----------------|------------------------|---------|
| クロックコントロールレジスタ | ACK0CKC | R/W | 01 _H | FFC0 4000 _H | 8 |
| CKC フラグレジスタ | ACK0CKCFLG | R | 01 _H | FFC0 4004 _H | 8 |
| クロック選択レジスタ | ACK0CKCTL | R/W | 00 _H | FFC0 4008 _H | 8 |
| BRGA0 コンペアレジスタ | ACK0BRGA0CMP | R/W | 00 _H | FFC0 400C _H | 8 |
| CKC プロテクトコマンドレジスタ | ACK0CKCPCMD | W | — | FFC0 4100 _H | 8 |
| CKC プロテクトステータスレジスタ | ACK0CKCPS | R | 00 _H | FFC0 4104 _H | 8 |

11.7.3.1 ACK0CKC — クロックコントロールレジスタ

システムクロック周波数を制御する 8 ビットのレジスタで、プログラムの暴走などにより誤って容易に書き換えられないように、特定の命令シーケンスの組み合わせによってのみ書き込みが可能です。

本レジスタは、コマンドレジスタ (ACK0CKPCMD) への書き込みにより、プロテクションが解除されます。

なお、特定レジスタの読み出し時は、特定の命令シーケンスは不要です。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC0 4000_H

リセット後の値 01_H

| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|---|---|---|---|----|---|---|-------|
| | — | — | — | — | — | — | — | DCLK0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R/ | R | R | R/W |

表 11.17 ACK0CKC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 7 ~ 1 | — | リザーブビット 読み出すと常に 0 が読み出されます。 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | DCLK0 | クロック出力制御 0: クロック出力インビット・モード CK 端子からのクロックを出力を禁止します。(Low レベル固定) CK の動作が完全に停止するため、いっそうの低消費電力化および CK 端子からの輻射ノイズ抑止が可能です。 1: クロック出力 ACK0CKCTL で選択したクロックが CK 端子より出力されます。 |

注 1. DCLK0 への "0" 書き込み後、CK 端子への出力クロックが停止するまでには、CK 端子から出力しているクロック (ACK0CKCTL で選択したクロック) の最大 3 サイクルを要します。クロック出力停止状態であることは、ACK0CKCFG レジスタの DCLKF0 ビットにより確認できます。

11.7.3.2 ACK0CKCFLG — CKC フラグレジスタ

ACK0CKCFLG レジスタは、クロック出力制御のステータスを示すレジスタです。

アクセス 8ビット単位でリード可能です。

アドレス FFC0 4004_H

リセット後の値 01_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | DCLKF0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R |

表 11.18 ACK0CKCFLG レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|--|
| 7 ~ 1 | — | リザーブビット 読み出すと常に 0 が読み出されます。 |
| 0 | DCLKF0 | クロック出力制御のステータスを示すビットです。 0 : CK 端子出力停止中 1 : ACK0CKCTL で選択したクロックが CK 端子より出力中 |

11.7.3.3 ACK0CKCTL — クロック選択レジスタ

ACK0CKCTL レジスタは、CK 端子より出力するクロックを選択する 8 ビットのレジスタです。

CKC フラグレジスタの DCLKF0 ビット = “0” のとき、8 ビット単位でライト可能です。リードは常に可能です。

DCLKF0 ビットは CKC フラグレジスタを参照してください。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス FFC0 4008_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|-----------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | CKSL[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 11.19 ACK0CKCTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|--|
| 7 ~ 2 | — | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 1、0 | CKSL[1:0] | CK 端子より出力するクロックを選択するレジスタです。 00 : 1MHz クロック (Main OSC クロック 20 分周) 01 : BRG (Baud Rate Generator) 上記以外 : 設定禁止 |

注 1. ACK0CKCTL への書き込み (CK 端子への出力クロックの選択) は、CK 端子へのクロック出力停止した状態 (ACK0CKCFG レジスタの DCLKF0 ビット = 0) のみライト可能です。

11.7.3.4 ACK0BRGA0CMP — BRGA0 コンペアレジスタ

ACK0BRGA0CMP レジスタは、ポーレートカウンタとのコンペア値を格納するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC0 400C_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---------------|-----|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | BRGA0CMP[4:0] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R/W |

表 11.20 ACK0BRGA0CMP レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------------------|--|
| 7 ~ 5 | — | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 4 ~ 0 | BRGA0CMP [4:0] | コンペア値を設定します。 設定値は「表 11.22 非変調低速周辺クロックの周波数 (ACK0BRGA0CMP レジスタの設定値と出力される周波数)」を参照。 |

注 1. ACK0BRGA0CMP への書き込み（ポーレートカウンタとのコンペア値選択）は、CK 端子へのクロック出力停止した状態（ACK0CKCFG レジスタの DCLKF0 ビット = 0）のみライト可能です。

11.7.3.5 ACK0CKPCMD — CKC プロテクトコマンドレジスタ

ACK0CKPCMD レジスタは、プログラムの暴走などにより応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用するものです。

ACK0CKC レジスタは、あらかじめ定められたシーケンスによってのみレジスタ値が書き換えられ、不正な書き込み動作は排除されます。

アクセス 8ビット単位でライト可能です。リード時は不定データの読み出しとなります。

アドレス FFC0 4100_H

リセット後の値 不定

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — |
| リセット後の値 | — | — | — | — | — | — | — | — |
| R/W | W | W | W | W | W | W | W | W |

ACK0CKC レジスタへの書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

手順 1. ACK0CKPCMD レジスタに固定値 A5_H を書き込みます。

手順 2. ACK0CKC レジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

手順 3. ACK0CKC レジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値のビット反転値を書き込みます。

手順 4. ACK0CKC レジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、ACK0CKC レジスタに設定値を書き込むことができます。

上記手順通りに行わなかった場合、保護解除シーケンスは失敗し、ACK0CKC レジスタに設定値は書き込まれず、ACK0CKCPS レジスタの CKCPRERR ビットが 1 にセットされます。(必須ではありませんが、手順 4 のあと、ACK0CKCPS レジスタの CKCPRERR ビットの値が 0 であることを確認することでも、ACK0CKC レジスタに設定値が正しく書き込まれたことを確認できます。)

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。

上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ^{注1}へのライトアクセスの場合、保護されているレジスタへの書き込みは失敗し、ACK0CKCPS レジスタの CKCPRERR ビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護されているレジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

- 注 1.** “同一モジュール内の別のレジスタ”とは、保護されているレジスタのモジュール名と同じモジュール名のレジスタのことを指します。レジスタのモジュール名については、「付録 レジスタ一覧」を参照してください。

11.7.3.6 ACK0CKCPS — CKC プロテクトステータスレジスタ

ACK0CKCPS レジスタは、プロテクションエラーの発生を示す CKCPRERR フラグが割り付けられたレジスタです。

ACK0CKC レジスタに対して、コマンドレジスタ設定を含む正しいシーケンスで書き込み動作をしなかった場合、対象レジスタへの書き込みは行われず、プロテクションエラーが発生し、ステータスフラグが (CKCPRERR) セット (1) されます。

ACK0CKCPS レジスタは、特定シーケンス開始時に毎回クリアされます。

アクセス 8ビット単位でリード可能です。

アドレス FFC0 4104_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | CKCPRERR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 11.21 ACK0CKCPS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|--|
| 7 ~ 1 | — | リザーブビット 読み出すと常に0が読み出されます。 |
| 0 | CKCPRERR | プロテクションエラーの検出 0: プロテクションエラーが発生していない 1: プロテクションエラーが発生した |

11.7.4 使用方法

11.7.4.1 CK 端子出力機能

CK 端子から出力するクロックソースを選択し、CK 端子から出力し供給します。

電源遮断スタンバイ解除直後、リセット期間から 1MHz クロックを CK 端子から出力します。CK 端子から出力するクロックソースは、ACK0CKCTL レジスタを切り替えることにより 1MHz クロック、ボーレートジェネレータ (BRG) で設定した分周クロックから選択できます。

- 選択可能なクロックソース
 - 1MHz クロック (Main OSC クロック 20 分周) (初期値)
 - BRG (Baud Rate Generator)

11.7.4.2 CK 出力用ボーレートジェネレータ回路 (BRGA)

ボーレートジェネレータ回路は、非変調低速周辺クロック (CLKC_LSB) を分周し CK 端子から出力し供給します。

BRGA0 はボーレートカウンタ値と ACK0BRGA0CMP レジスタの BRGA0CMP[4:0] ビット設定値との比較一致により CK 出力を反転します。

また、CK 出力は、ACK0CKC レジスタの DCLK0 ビット = “0” にした際は Low 固定となります。

なお、非変調低速周辺クロックの周波数は表 11.22 に示す値のみ設定可能です。

表 11.22 非変調低速周辺クロックの周波数 (ACK0BRGA0CMP レジスタの設定値と出力される周波数)

| BRGA0CMP4 | BRGA0CMP3 | BRGA0CMP2 | BRGA0CMP1 | BRGA0CMP0 | 出力周波数 [MHz] |
|-----------|-----------|-----------|-----------|-----------|-------------|
| 0 | 0 | 0 | 0 | 0 | 1.25 |
| 1 | 0 | 1 | 0 | 0 | 2.00 |
| 1 | 0 | 1 | 0 | 1 | 1.90 |
| 1 | 0 | 1 | 1 | 0 | 1.82 |
| 1 | 0 | 1 | 1 | 1 | 1.74 |
| 1 | 1 | 0 | 0 | 0 | 1.67 |
| 1 | 1 | 0 | 0 | 1 | 1.60 |
| 1 | 1 | 0 | 1 | 0 | 1.54 |
| 1 | 1 | 0 | 1 | 1 | 1.48 |
| 1 | 1 | 1 | 0 | 0 | 1.43 |
| 1 | 1 | 1 | 0 | 1 | 1.38 |
| 1 | 1 | 1 | 1 | 0 | 1.33 |
| 1 | 1 | 1 | 1 | 1 | 1.29 |

注 1. 上記以外は設定禁止

11.7.4.3 制御レジスタ書き換えプロテクト

図 11.6 に示すように、CK 端子からの出力クロックを制御する ACK0CKC レジスタは、プロテクトにより特定シーケンスでのみ書き換えが可能です。また、クロックが動作しているときにクロックソースの切り替えは禁止です。CKC フラグレジスタの DCLKF0 ビット = “0” であるときのみ ACK0CKCTL レジスタの書き換えが可能です。

ボーレートカウンタが動作中も、カウントコンペア値の書き換えが禁止です。ACK0CKC フラグレジスタの DCLKF0 ビット = “0” であるときのみ ACK0BRGA0CMP レジスタの書き換えが可能です。

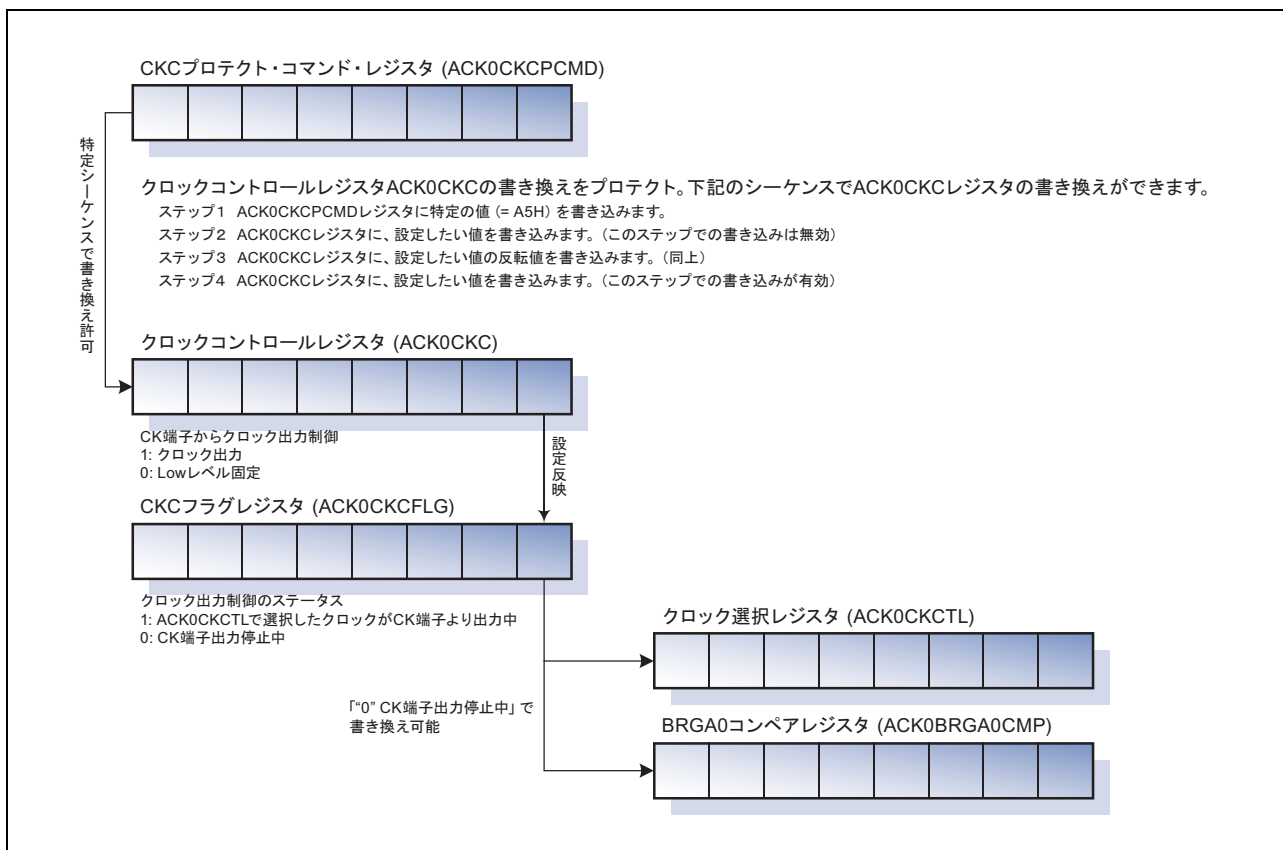


図 11.6 書き換えプロテクト

11.7.4.4 CK 出力切り替え手順

CK 端子からの出力クロックは、下記の手順で切り替えます。

1. CK 端子からの出力を停止

クロックコントロールレジスタ (ACK0CKC) の、DCLK0 ビットを書き換え、CK 端子からの出力を停止します。

- ACK0CKCPCMD レジスタに A5_H を書き込みます。
- ACK0CKC レジスタに、00_H を書き込みます。
- ACK0CKC レジスタに、FF_H を書き込みます。
- ACK0CKC レジスタに、00_H を書き込みます。

CKC フラグレジスタ (ACK0CKCFLG) の DCLKF0 ビットをリードし、CK 端子からの出力が停止状態であることを確認します。

2. クロックソースを選択

クロック選択レジスタ (ACK0CKCTL) の、CKSL[1:0] ビットを書き換え、クロックソースを選択します。

また、BRGA0 コンペアレジスタ (ACK0BRGA0CMP) の、BRGA0CMP[4:0] ビットを書き換え、ポーレートジェネレータのクロック周期を選択します。

3. CK 端子からの出力を再開

クロックコントロールレジスタ (ACK0CKC) の、DCLK0 ビットを書き換え、CK 端子からの出力を再開します。

- ACK0CKCPCMD レジスタに A5_H を書き込みます。
- ACK0CKC レジスタに、01_H を書き込みます。
- ACK0CKC レジスタに、FE_H を書き込みます。
- ACK0CKC レジスタに、01_H を書き込みます。

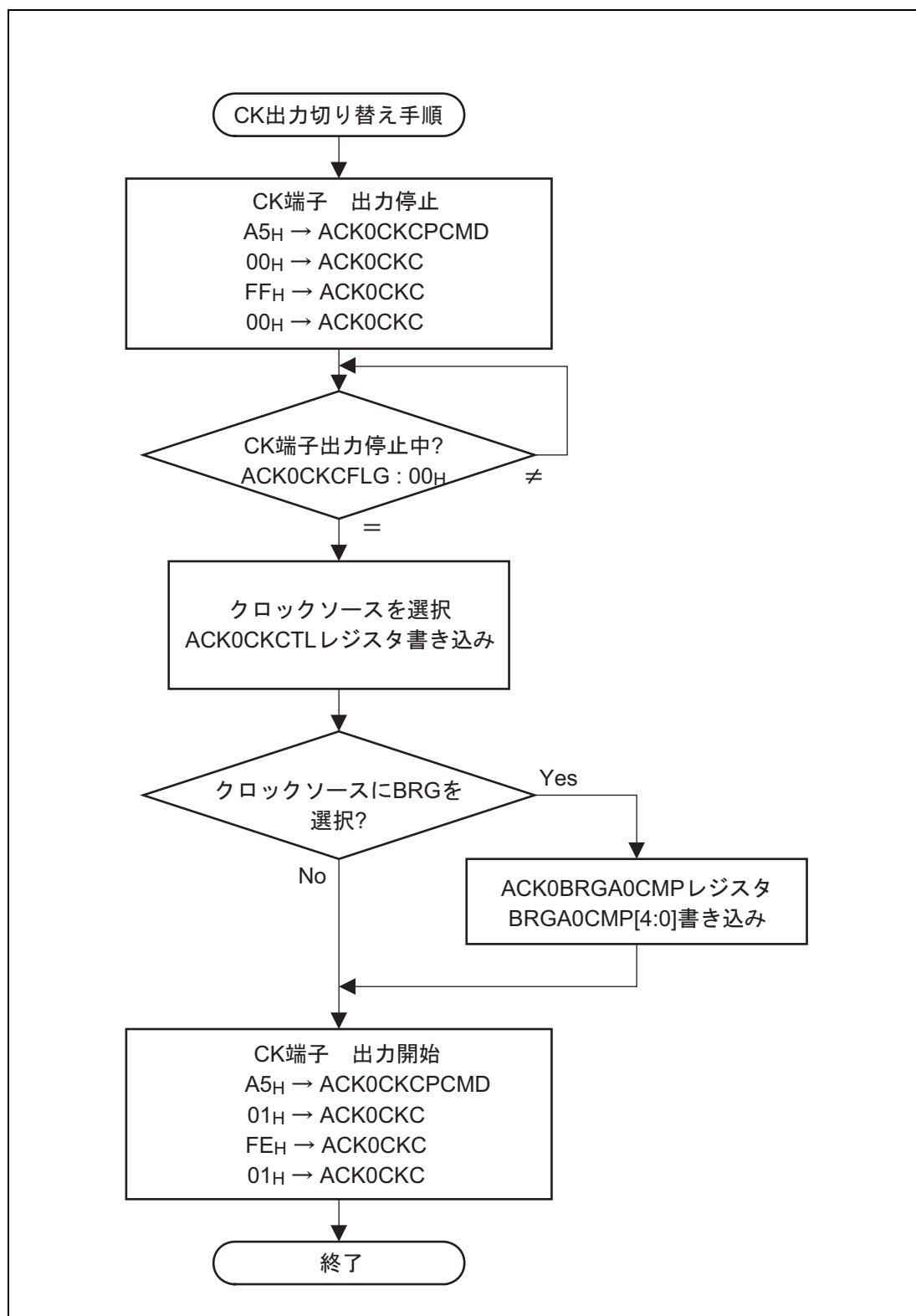


図 11.7 CK 出力切り替え手順

第12章 スタンバイコントローラ

低消費電力モードとして、電源遮断スタンバイモード、HALTモードの2種類のモード、および周辺モジュールの動作を停止させることができるモジュールスタンバイ機能があります。アプリケーションに応じて適切なモードを選択することで、LSIの消費電力を低減させることができます。

12.1 特長

12.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

- 電源遮断スタンバイモード
RAM保持のみ可能なモードです。LSI外部で電源を遮断することによって低リークを実現します。発振も停止します。
 $\overline{\text{RES}}$ 端子のアサートと電源(EVCC)を遮断することにより遷移します。
この状態からは遮断電源の立ち上がり時、発振安定時間を確保することで外部リセット状態へ遷移します。
- HALTモード
HALT命令を実行することにより、CPUはHALTモードに移行し、命令実行を停止します。
CPUごとに制御が可能です。
リセット入力、割り込み、および、例外の発生によって復帰します。
- モジュールスタンバイ機能
レジスタ設定により、周辺マクロのクロックを停止させ、消費電力を低減する機能です。周辺モジュールは、リセット解除後は動作状態です。
そのため、使用しないモジュールは、クロックのギアアップ前にモジュールストップ状態に設定することを推奨します。
モジュールストップ状態に設定したモジュールは、再度動作状態にしないでください。
設定した場合の動作は保証しません。

12.2 動作説明

12.2.1 電源遮断スタンバイモード

$\overline{\text{RES}}$ 端子をロウレベルにしたあとにEVCC電源を0Vにすると電源遮断スタンバイモードに移ります。電源遮断スタンバイモードでは発振器が停止し、コア電源が遮断されるため、リーク電流を抑えることができます。Mid-range/Low-end 製品の EPT ありの場合、EPT 制御により VDD が遮断されます。

電源遮断スタンバイモードでは SYSVCC が規定値に保たれている限り、RAM の保持が可能です。

対象の RAM は、「第 35 章 RAM」をご参照ください。

電源遮断スタンバイモードからの復帰は EVCC、VCC を規定電圧に戻すことで外部リセット状態へ復帰します。発振安定時間を確保した後に $\overline{\text{RES}}$ 端子をネゲートすることで通常状態へ復帰します。

電源遮断シーケンスについては「第 37 章 電气的特性」を参照してください。

12.2.2 モジュールスタンバイ機能

(1) モジュールスタンバイ機能への遷移

モジュールスタンバイレジスタの各ビットに 1 をセットすることで、それぞれに対応した内蔵周辺モジュールへのクロック供給を停止させることができます。

消費電力低減のため、クロックのギアアップ前（モジュールがディスエーブル状態）にモジュールスタンバイ状態に設定することを推奨します。

モジュールスタンバイレジスタは、誤ったプログラム動作などによる不正な書き込みから保護されています。

詳細は、「12.3.6 MSRPCMD — MSR プロテクトコマンドレジスタ」をご参照ください。

(2) モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、LSI を内部リセット状態にすることで行います。

モジュールスタンバイ状態に設定したあと、モジュールスタンバイレジスタへ、0 書き込みによる解除をした場合の動作は保証しません。

12.3 レジスタ仕様

12.3.1 レジスタ一覧

すべてのレジスタはCPUからアクセス可能です。

表 12.1 レジスタ構成

| アドレス | レジスタ名 | 説明 | アクセス幅 | リセット後の値 | アクセス保護 |
|----------|------------|-------------------------|-------|------------------------|------------|
| FFF82C0C | EPTCNT | EPT 制御レジスタ | 32 | 0000 0000 _H | PROT0PHCMD |
| FFF83000 | PROT0PHCMD | 保護コマンドレジスタ | 32 | 0000 0000 _H | |
| FFF83004 | PROT0PS | 保護コマンドステータスレジスタ | 32 | 0000 0000 _H | |
| FFC05000 | MSRTSG | モジュールスタンバイレジスタ - TSG2 | 8 | 00 _H | MSRPCMD |
| FFC05004 | MSRTAPA | モジュールスタンバイレジスタ - TAPA | 8 | 00 _H | MSRPCMD |
| FFC05008 | MSROSTM | モジュールスタンバイレジスタ - OSTM | 8 | 00 _H | MSRPCMD |
| FFC0500C | MSRWDTA | モジュールスタンバイレジスタ - WDTA | 8 | 00 _H | MSRPCMD |
| FFC05010 | MSRPIC | モジュールスタンバイレジスタ - PIC | 8 | 00 _H | MSRPCMD |
| FFC05014 | MSRRCAN | モジュールスタンバイレジスタ - RS-CAN | 8 | 00 _H | MSRPCMD |
| FFC0501C | MSRRLIN | モジュールスタンバイレジスタ - RLIN2 | 8 | 00 _H | MSRPCMD |
| FFC05020 | MSRSCI | モジュールスタンバイレジスタ - SCI3 | 8 | 00 _H | MSRPCMD |
| FFC05024 | MSRCSIH | モジュールスタンバイレジスタ - CSHI | 8 | 00 _H | MSRPCMD |
| FFC05028 | MSRSAD | モジュールスタンバイレジスタ - SAR AD | 8 | 00 _H | MSRPCMD |
| FFC0502C | MSRDAD | モジュールスタンバイレジスタ - ΔΣAD | 8 | 00 _H | MSRPCMD |
| FFC05030 | MSRATU | モジュールスタンバイレジスタ - ATU-IV | 8 | 00 _H | MSRPCMD |
| FFC05034 | MSRAPA | モジュールスタンバイレジスタ - APA | 8 | 00 _H | MSRPCMD |
| FFC05038 | MSRDFE | モジュールスタンバイレジスタ - DFE | 8 | 00 _H | MSRPCMD |
| FFC0503C | MSRRHSB | モジュールスタンバイレジスタ - RHSB | 8 | 00 _H | MSRPCMD |
| FFC05070 | MSRPCMD | MSR プロテクトコマンドレジスタ | 8 | — | |
| FFC05074 | MSRPS | MSR プロテクトステータスレジスタ | 8 | 00 _H | |

12.3.2 EPTCNT — EPT 制御レジスタ

このレジスタは、EPTの有効/無効を制御するレジスタです。

このレジスタは、PROT0PHCMD レジスタによって保護されます。

このレジスタは、外部リセットでのみリセットされます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 2C0C

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|--------|
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | EPTCNT |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 12.2 EPTCNT レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------|---|
| 31 ~ 1 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | EPTCNT | 0: EPTは有効 1: EPTは無効 |

EPT未使用時は、上記レジスタに1を設定することにより、EPT制御をパワーダウンさせることができ、消費電力削減が可能です。

12.3.3 PROT0PHCMD — 保護コマンドレジスタ

このレジスタは特別シーケンスレジスタとして使用されます。

このレジスタは内部・外部リセットの両方で、リセットすることができます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 3000

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|-----------|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | PCMD[7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 12.3 PROT0PHCMD レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 31～8 | — | リザーブビット 読み出すと“0”が読み出されます。書き込む値も“0”に設定してください。 |
| 7～0 | PCMD[7:0] | 書き込みプロテクションコマンドレジスタ |

書き込み保護されたレジスタへの書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

手順 1. PROT0PHCMD レジスタに固定値 0000 00A5_H を書き込みます。

手順 2. 保護レジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

手順 3. 手順 2 と同じレジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値のビット反転値を書き込みます。

手順 4. 手順 2 と同じレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、保護されているレジスタに設定値を書き込むことができます。

上記手順通りに行わなかった場合、保護解除シーケンスは失敗し、保護されているレジスタに設定値は書き込まれず、PROT0PS レジスタの PROTERR ビットが 1 にセットされます。(必須ではありませんが、手順 4 のあと、PROT0PS レジスタの PROTERR ビットの値が 0 であることを確認することでも、保護されているレジスタに設定値が正しく書き込まれたことを確認できます。)

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。

上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ^{注1}へのライトアクセスの場合、保護されているレジスタへの書き込みは失敗し、PROTOPS レジスタの PROTERR ビットが1になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護されているレジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注1. PROTOPHCMD では、アドレス FFF8 2410_H ~ FFF8 3004_H に配置されたレジスタが該当します。

レジスタ名、レジスタシンボルおよびモジュール名については、「付録 レジスタ一覧」を参照してください。

12.3.4 PROT0PS — 保護コマンドステータスレジスタ

このレジスタは、特別シーケンスレジスタの状態レジスタとして使用されます。

このレジスタは内部・外部リセットの両方で、リセットすることができます。

アクセス 32ビット単位でリード可能です。

アドレス FFF8 3004

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-------------|
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | PROTE RR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 12.4 PROT0PS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------|------------------------------|
| 31 ~ 1 | — | リザーブビット 読み出すと“0”が読み出されます。 |
| 0 | PROTERR | プロテクションエラーフラグ |

12.3.5 モジュールスタンバイレジスタ

モジュールスタンバイレジスタは、読み出し／書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。

12.3.5.1 MSRTSG — モジュールスタンバイレジスタ – TSG2

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFC0 5000

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | MS_TSG20 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 12.5 MSRTSG レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 ~ 1 | — | リザーブビット 読み出すと 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | MS_TSG20 | 本ビットを 1 にすると TSG20 へのクロック供給を停止します。 0 : TSG20 は動作 1 : TSG20 へのクロック供給を停止 |

12.3.5.2 MSRTAPA — モジュールスタンバイレジスタ – TAPA

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC0 5004

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|----------|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | MS_TAPA2 | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R/W | R | R |

表 12.6 MSRTAPA レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 ~ 3 | — | リザーブビット 読み出すと 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 2 | MS_TAPA2 | 本ビットを 1 にすると TAPA2 へのクロック供給を停止します。 0 : TAPA2 は動作 1 : TAPA2 へのクロック供給を停止 |
| 1、0 | — | リザーブビット 読み出すと "0" が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |

12.3.5.3 MSROSTM — モジュールスタンバイレジスタ – OSTM

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC0 5008

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|----------|----------|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | MS_OSTM2 | MS_OSTM1 | MS_OSTM0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R/W | R/W | R/W |

表 12.7 MSROSTM レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 ~ 3 | — | リザーブビット 読み出すと 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 2 | MS_OSTM2 | 本ビットを 1 にすると OSTM2 へのクロック供給を停止します。 0: OSTM2 は動作 1: OSTM2 へのクロック供給を停止 |
| 1 | MS_OSTM1 | 本ビットを 1 にすると OSTM1 へのクロック供給を停止します。 0: OSTM1 は動作 1: OSTM1 へのクロック供給を停止 |
| 0 | MS_OSTM0 | 本ビットを 1 にすると OSTM0 へのクロック供給を停止します。 0: OSTM0 は動作 1: OSTM0 へのクロック供給を停止 |

12.3.5.4 MSRWDTA — モジュールスタンバイレジスタ - WDТА

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC0 500C

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|----------|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | MS_WDTA1 | MS_WDTA0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 12.8 MSRWDТА レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 ~ 2 | — | リザーブビット 読み出すと 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 1 | MS_WDTA1 | 本ビットを 1 にすると WDТА1 へのクロック供給を停止します。 0 : WDТА1 は動作 1 : WDТА1 へのクロック供給を停止 |
| 0 | MS_WDTA0 | 本ビットを 1 にすると WDТА0 へのクロック供給を停止します。 0 : WDТА0 は動作 1 : WDТА0 へのクロック供給を停止 |

12.3.5.5 MSRPIC — モジュールスタンバイレジスタ - PIC

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC0 5010

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---------|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | MS_PIC2 | MS_PIC1 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 12.9 MSRPIC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|---|
| 7 ~ 2 | — | リザーブビット 読み出すと 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 1 | MS_PIC2 | 本ビットを 1 にすると PIC2 へのクロック供給を停止します。 0 : PIC2 は動作 1 : PIC2 へのクロック供給を停止 |
| 0 | MS_PIC1 | 本ビットを 1 にすると PIC1 へのクロック供給を停止します。 0 : PIC1 は動作 1 : PIC1 へのクロック供給を停止 |

12.3.5.6 MSRRCAN — モジュールスタンバイレジスタ – RS-CAN

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC0 5014

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | MS_RCAN |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 12.10 MSRRCAN レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|---|
| 7 ~ 1 | — | リザーブビット 読み出すと 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | MS_RCAN | 本ビットを 1 にすると RS-CAN へのクロック供給を停止します。 0 : RS-CAN は動作 1 : RS-CAN へのクロック供給を停止 |

12.3.5.7 MSRRLIN — モジュールスタンバイレジスタ – RLIN2

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC0 501C

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | MS_RLIN0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 12.11 MSRRLIN レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 ~ 1 | — | リザーブビット 読み出すと 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | MS_RLIN0 | 本ビットを 1 にすると RLIN0 へのクロック供給を停止します。 0 : RLIN0 は動作 1 : RLIN0 へのクロック供給を停止 |

12.3.5.8 MSRSCI — モジュールスタンバイレジスタ – SCI3

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC0 5020

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---------|---------|---------|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | MS_SCI3 | MS_SCI2 | MS_SCI1 | MS_SCI0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 12.12 MSRSCI レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|---|
| 7 ~ 4 | — | リザーブビット 読み出すと 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 3 | MS_SCI3 | 本ビットを 1 にすると SCI3 へのクロック供給を停止します。 0: SCI3 は動作 1: SCI3 へのクロック供給を停止 |
| 2 | MS_SCI2 | 本ビットを 1 にすると SCI2 へのクロック供給を停止します。 0: SCI2 は動作 1: SCI2 へのクロック供給を停止 |
| 1 | MS_SCI1 | 本ビットを 1 にすると SCI1 へのクロック供給を停止します。 0: SCI1 は動作 1: SCI1 へのクロック供給を停止 |
| 0 | MS_SCI0 | 本ビットを 1 にすると SCI0 へのクロック供給を停止します。 0: SCI0 は動作 1: SCI0 へのクロック供給を停止 |

12.3.5.9 MSRCSIH — モジュールスタンバイレジスタ – CSIH

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC0 5024

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|----------|----------|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | MS_CSIH2 | MS_CSIH1 | MS_CSIH0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R/W | R/W | R/W |

表 12.13 MSRCSIH レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 ~ 3 | — | リザーブビット 読み出すと 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 2 | MS_CSIH2 | 本ビットを 1 にすると CSIH2 へのクロック供給を停止します。 0: CSIH2 は動作 1: CSIH2 へのクロック供給を停止 |
| 1 | MS_CSIH1 | 本ビットを 1 にすると CSIH1 へのクロック供給を停止します。 0: CSIH1 は動作 1: CSIH1 へのクロック供給を停止 |
| 0 | MS_CSIH0 | 本ビットを 1 にすると CSIH0 へのクロック供給を停止します。 0: CSIH0 は動作 1: CSIH0 へのクロック供給を停止 |

12.3.5.10 MSRSAD — モジュールスタンバイレジスタ – SAR AD

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC0 5028

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|-----------|-----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | MS_SARAD1 | MS_SARAD0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 12.14 MSRSAD レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 7 ~ 2 | — | リザーブビット 読み出すと 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 1 | MS_SARAD1 | 本ビットを 1 にすると SAR-AD1 へのクロック供給を停止します。 0: SAR-AD1 は動作 1: SAR-AD1 へのクロック供給を停止 |
| 0 | MS_SARAD0 | 本ビットを 1 にすると SAR-AD0 へのクロック供給を停止します。 0: SAR-AD0 は動作 1: SAR-AD0 へのクロック供給を停止 |

12.3.5.11 MSRDAD — モジュールスタンバイレジスタ – ΔΣAD

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC0 502C

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | MS_DSAD |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 12.15 MSRDAD レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|---|
| 7 ~ 1 | — | リザーブビット 読み出すと 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | MS_DSAD | 本ビットを 1 にすると ΔΣAD へのクロック供給を停止します。 0: ΔΣAD は動作 1: ΔΣAD へのクロック供給を停止 |

12.3.5.12 MSRATU — モジュールスタンバイレジスタ – ATU-IV

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC0 5030

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | MS_ATU |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 12.16 MSRATU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 7 ~ 1 | — | リザーブビット 読み出すと 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | MS_ATU | 本ビットを 1 にすると ATU へのクロック供給を停止します。 0: ATU は動作 1: ATU へのクロック供給を停止 |

12.3.5.13 MSRAPA — モジュールスタンバイレジスタ - APA

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC0 5034

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | MS_APA |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 12.17 MSRAPA レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 7 ~ 1 | — | リザーブビット 読み出すと 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | MS_APA | 本ビットを 1 にすると APA へのクロック供給を停止します。 0 : APA は動作 1 : APA へのクロック供給を停止 |

12.3.5.14 MSRDFE — モジュールスタンバイレジスタ - DFE

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC0 5038

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | MS_DFE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 12.18 MSRDFE レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 7 ~ 1 | — | リザーブビット 読み出すと 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | MS_DFE | 本ビットを 1 にすると DFE へのクロック供給を停止します。 0 : DFE は動作 1 : DFE へのクロック供給を停止 |

12.3.5.15 MSRRHSB — モジュールスタンバイレジスタ – RHSB

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC0 503C

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | MS_RHSB0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 12.19 MSRRHSB レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 ~ 1 | — | リザーブビット 読み出すと 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | MS_RHSB0 | 本ビットを 1 にすると RHSB0 へのクロック供給を停止します。 0 : RHSB0 は動作 1 : RHSB0 へのクロック供給を停止 |

12.3.6 MSRPCMD — MSR プロテクトコマンドレジスタ

MSRPCMD レジスタは、プログラムの暴走などにより応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用するものです。

モジュールスタンバイレジスタは、あらかじめ定められたシーケンスによってのみレジスタ値が書き換えられ、不正な書き込み動作は排除されます。

アクセス 8ビット単位でライト可能です。リード時は不定データの読み出しとなります。

アドレス FFC0 5070

リセット後の値 不定

| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|---|---|---|---|---|---|---|---|
| リセット後の値 | — | — | — | — | — | — | — | — |
| R/W | W | W | W | W | W | W | W | W |

書き込み保護されたレジスタへの書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

手順1. MSRPCMD レジスタに固定値 A5_H を書き込みます。

手順2. 保護されているレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

手順3. 手順2と同じレジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値のビット反転値を書き込みます。

手順4. 手順2と同じレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、保護されているレジスタに設定値を書き込むことができます。

上記手順通りに行わなかった場合、保護解除シーケンスは失敗し、保護されているレジスタに設定値は書き込まれず、MSRPS レジスタの MSRPRERR ビットが1にセットされます。(必須ではありませんが、手順4のあと、MSRPS レジスタの MSRPRERR ビットの値が0であることを確認することでも、保護されているレジスタに設定値が正しく書き込まれたことを確認できます。)

保護解除シーケンスに失敗した場合は、手順1から保護解除シーケンスを再実行してください。

また、上記手順1から手順4までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。

上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ^{注1}へのライトアクセスの場合、保護されているレジスタへの書き込みは失敗し、MSRPS レジスタの MSRPRERR ビットが1になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護されているレジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

- 注 1.** “同一モジュール内の別のレジスタ”とは、保護されているレジスタのモジュール名と同じモジュール名のレジスタのことを指します。レジスタのモジュール名については、「**付録 レジスタ一覧**」を参照してください。

12.3.7 MSRPS — MSR プロテクトステータスレジスタ

MSRPS レジスタは、プロテクションエラーの発生を示す MSRPRERR フラグが割り付けられたレジスタです。

モジュールスタンバイレジスタに対して、コマンドレジスタ設定を含む正しいシーケンスで書き込み動作をしなかった場合、対象レジスタへの書き込みは行われず、プロテクションエラーが発生し、ステータスフラグが (MSRPRERR) セット (1) されます。

アクセス 8ビット単位でリード可能です。

アドレス FFC0 5074

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | MSRPRERR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 12.20 MSRPS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|--|
| 7 ~ 1 | — | リザーブビット 読み出すと常に 0 が読み出されます。 |
| 0 | MSRPRERR | プロテクションエラーの検出 0 : プロテクションエラーが発生していない 1 : プロテクションエラーが発生した |

第13章 クロック同期シリアルインタフェース H (CSIH)

本章ではクロック同期シリアルインタフェース H (CSIH) 全般について説明します。

13.1 CSIH の特長

チャンネル数

本マイクロコントローラは以下のチャンネル数のクロック同期シリアルインタフェース H を搭載しています。

表 13.1 CSIH のチャンネル数

| クロック同期シリアルインタフェース H | RH850/E1L |
|---------------------|-------------------|
| チャンネル数 | 3 |
| 名称 | CSIH0、CSIH1、CSIH2 |

n の意味

本章では、クロック同期シリアルインタフェース H の各チャンネルを「n」(n = 0 ~ 3) で識別します。たとえば、CSIHn 制御レジスタ 0 は CSIHnCTL0 と記述します。

x の意味

クロック同期シリアルインタフェース H は最大 6 個のチップセレクト信号を備えています。本章では、各チップセレクト信号を「x」で識別します。たとえば、特定のチップセレクト信号は CSIHnTCSSx と記述します。

CSIH の各チャンネルのチップセレクト信号の数を以下の表に示します。

表 13.2 CSIH のチップセレクト数

| CSIHn チャンネル | RH850/E1L チップセレクト数 |
|-------------|------------------------|
| CSIH0 | CSIH0TCSSx (x = 0 ~ 5) |
| CSIH1 | CSIH1TCSSx (x = 0 ~ 3) |
| CSIH2 | CSIH2TCSSx (x = 0 ~ 3) |

レジスタアドレス

CSIHn のレジスタアドレスは、ベースアドレス <CSIHn_base> からのオフセットで表されます。

各 CSIHn のベースアドレス <CSIHn_base> を以下の表に示します。

表 13.3 レジスタベースアドレス <CSIHn_base>

| CSIHn のチャネル | <CSIHn_base> アドレス |
|-------------|------------------------|
| CSIH0 | FFD8 0000 _H |
| CSIH1 | FFD8 2000 _H |
| CSIH2 | FFD8 4000 _H |

データ整合性チェック

CSIHnTSO の兼用ポートのデータ整合性チェック対応を以下の表に示します。データ整合性チェックの詳細は、「13.5.12 エラー検出」を参照してください。

表 13.4 CSIHn のデータ整合性チェックの対応

| CSIHn の I/O ポート | ポート機能 | 兼用機能 | データ整合性チェック |
|-----------------|-------|----------|------------|
| CSIH0 | | | |
| CSIH0TSO | P0_1 | ALT_OUT5 | 対応 |
| CSIH1 | | | |
| CSIH1TSO | P13_1 | ALT_OUT6 | 対応 |
| CSIH1TSO | P0_7 | ALT_OUT6 | 対応 |
| CSIH2 | | | |
| CSIH2TSO | P4_8 | ALT_OUT6 | 対応 |
| CSIH2TSO | P0_12 | ALT_OUT7 | 対応 |

13.2 端子の組み合わせの注意事項

CSIHは1つのチャンネルを複数の端子に出しているものがありますが、以下に示すグループごとにお使いください。

| グループ | | CSIHn TSCK | CSIHn TSI | CSIHn TSO | CSIHn TCSS0 | CSIHn TCSS1 | CSIHn TCSS2 | CSIHn TCSS3 | CSIHn TSSI | CSIHn TRY |
|-------|---|---------------|--------------|--------------|----------------|----------------|----------------|----------------|---------------|--------------|
| CSIH1 | A | P0_8 | P0_6 | P0_7 | P0_9 | P0_10 | P0_11 | P0_12 | P0_13 | P0_14 |
| | B | P13_2 | P13_0 | P13_1 | P13_3 | P13_4 | — | — | — | — |
| CSIH2 | C | P4_9 | P4_7 | P4_8 | P4_10 | P4_11 | P4_12 | P4_13 | P4_3 | P4_4 |
| | D | P0_13 | P0_11 | P0_12 | P0_14 | P1_0 | P1_1 | P1_2 | P1_3 | P1_4 |

13.3 機能の概要

機能の概要

- 3ワイヤシリアル同期データ転送
- マスタモードまたはスレーブモードを選択可能
- 設定可能な最大6個のチップセレクト出力信号を備えているため、複数スレーブ構成とRCB (Recessive Configuration for Broadcasting) が可能
- スレーブ選択機能を内蔵 (スレーブ選択入力信号 ($\overline{\text{CSIHnTSSI}}$))
- ボーレートジェネレータを内蔵
- ボーレートが調整可能。スレーブモードでは入力クロックによってボーレートを決定
- 最大転送速度：
 - マスタモード : PCLK/8: 10Mbps
 - スレーブモード : PCLK/20: 4Mbps
- クロックとデータの位相を選択可能
- MSB ファーストまたはLSB ファーストでのデータ転送を選択可能
- 2ビットから16ビットまでの転送データ長を1ビット単位で選択可能
- 16ビットを上回るデータを転送するためのEDL (Extended Data Length : 拡張データ長) 機能
- 以下の3つの転送モードを選択可能：
 - 送信専用モード
 - 受信専用モード
 - 送受信モード
- ハンドシェイク機能を内蔵
- エラー検出 (データ整合性チェック、パリティ、オーバラン)
- ジョブ概念のサポート
- AUTOSARのためのJOBイネーブル制御ビットを内蔵
- 自己テスト用のLBM (ループバックモード) 機能
- 強制CSアイドル設定

以下のブロック図はCSIHの主要なコンポーネントを示しています。

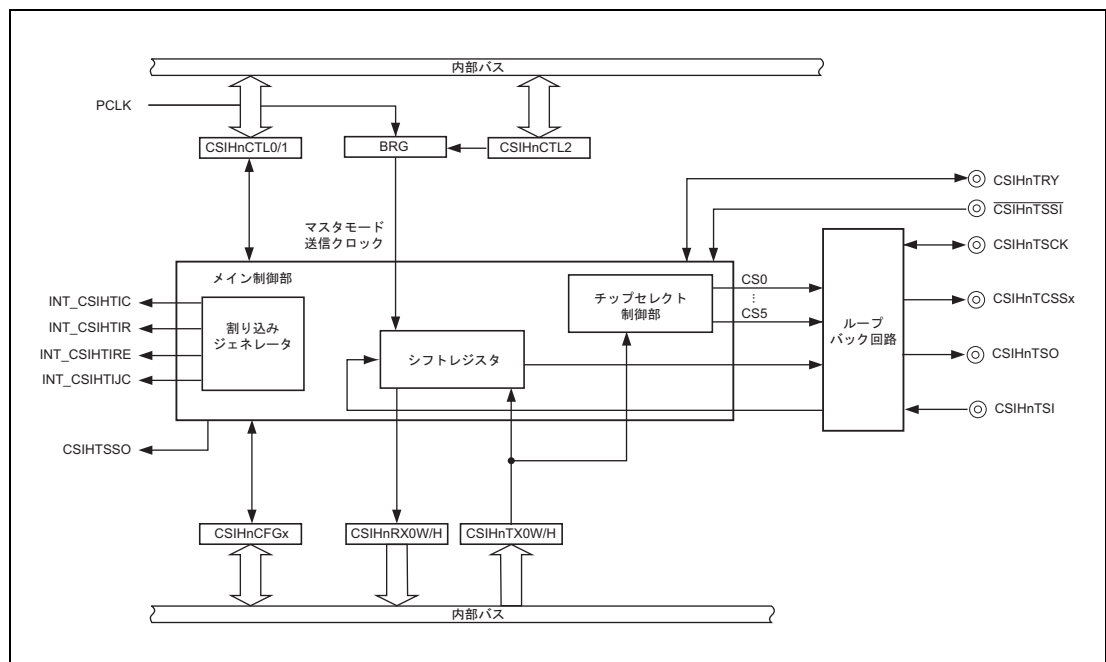


図 13.1 CSIH のブロック図

マスタモードでは、送信クロック $CSIHnTSCK$ が内蔵のポーレートジェネレータ (BRG) によって生成されます。スレーブモードでは、外部ソースから送信クロックが供給されます。ループバック回路は CSIH をポートから完全に切り離し、内部の自己テストに対応します。

備考

本章では、以下のモードについて説明します。

- 「動作モード」はマスタモードとスレーブモードに分かれています。マスタのみが複数のスレーブを制御し、複数のスレーブと通信することができます (詳細については、「13.5.1 動作モード (マスタ/スレーブ)」を参照してください)。
- 「ジョブモード」は AUTOSAR ジョブ概念に関連しています (詳細については、「13.5.3 チップセレクト (CS) 機能」の「(3) ジョブ概念」を参照してください)。
- 「データ転送モード」では、通信のモードを指定します。送信専用モード、受信専用モード、送受信モードがあります (詳細については、「13.5.6 データ転送モード」を参照してください)。

13.4 注意事項の一覧

表 13.5 レジスタとビット動作の重要ポイント (1/2)

| レジスタ名 | ビット名 | 内容 |
|-----------|---|---|
| CSIHnCTL0 | CSIHnPWR | 通信中に本ビットを0に設定すると、実行中の通信は中断されます。 |
| CSIHnCTL0 | CSIHnTXE CSIHnRXE | CSIHnCTL0.CSIHnPWR = 0の間、これらのビットのどちらも変更しないでください。(このビットは、CSIHnCTL0.CSIHnPWR ビットと同時に変更することができます。) 実行中の通信が中断され保証されないので、CSIHnSTR0.CSIHnTSF = 1の間、これらのビットを変更しないでください。 |
| CSIHnCTL0 | CSIHnJOBE | CSIHnCTL0.CSIHnPWR = 0である間に、このビットを変更しないでください。 CSIHnCTL1.CSIHnJE = 1のときのみ、このビットは有効です。 このビットの設定は、スレーブモードでは禁止されます。 |
| CSIHnCTL0 | CSIHnMBS | CSIHnCTL0.CSIHnPWR = 0である間に、このビットを変更しないでください。(このビットはCSIHnCTL0.CSIHnPWR ビットと同時に変更することができます。) このビットの変更はCSIHnSTR0.CSIHnTSF = 0のときのみ許可されません。 |
| CSIHnCTL1 | CSIHnCKR | これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0のときのみ許可されます。 CSを使用しない場合、CSIHnCFG0-5.CSIHnCKPxの代わりにこのビットを使用し、CSIHnCFG0-5.CSIHnCKP ビットを0に設定してください。 このビットはスレーブモードの場合は必ず使用してください。 |
| CSIHnCTL1 | CSIHnSLIT CSIHnCSL7-0 CSIHnDCS CSIHnCSRI CSIHnEDLE CSIHnHSE | これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0のときのみ許可されます。 |
| CSIHnCTL1 | CSIHnJE CSIHnLBM | これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0のときのみ許可されます。 このビットの設定は、スレーブモードでは禁止されます。 |
| CSIHnCTL1 | CSIHnSSE | これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0のときのみ許可されます。 マスタモードの場合、このビットを“1”に設定することは禁止されます。 |
| CSIHnCTL1 | CSIHnSIT | これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0のときのみ許可されます。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。 |
| CSIHnCTL2 | CSIHnPRS2-0 | これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0のときのみ許可されます。 最大ポーレートの設定は、以下のとおりです。 <ul style="list-style-type: none"> マスタモード: PCLK/8 スレーブモード: PCLK/20 |
| CSIHnSTR0 | CSIHnTSF | 書き込みは禁止します。読み出しのみ有効です。 |
| CSIHnSTR0 | CSIHnDCE CSIHnPE CSIHnOVE | これらのビットは、CSIHnCTL0.CSIHnPWR = 0 → 1またはCSIHnCTL0.CSIHnPWR = 1 → 0のときに初期化されます。 |
| CSIHnCFGx | CSIHnBRSSx1-0 CSIHnRCBx CSIHnIDLx CSIHnIDx2-0 CSIHnHDx3-0 CSIHnINx3-0 CSIHnSPx3-0 | これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0のときのみ許可されます。 スレーブモードでは、これらのビットを“0”に設定してください。 |

表 13.5 レジスタとビット動作の重要ポイント (2/2)

| レジスタ名 | ビット名 | 内容 |
|------------------------|---|--|
| CSIHnCFGx | CSIHnPSx1-0 CSIHnDLSx3-0 CSIHnDIRx CSIHnDAPx | これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 スレーブモードのときは、CSIHnCFG0 の設定が使用されます。したがって、CSIHnCFG1 ~ 5 のすべてのビットを "0" に設定する必要があります。 |
| CSIHnCFGx | CSIHnCKPx | これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 スレーブモードでは、CSIHnCTL1.CSIHnCKR を使用する必要があるため、本ビットには "0" を設定してください。 CS が使用されていない場合、このビットの代わりに、CSIHnCTL1.CSIHnCKR ビットを使用し、このビットを "0" に設定してください。 |
| CSIHnTX0W | CSIHnEOJ | このビットは、CSIHnCTL1.CSIHnJE = 1 のときのみ有効です。 CSIHnCTL1.CSIHnJE = 0 のとき、リード値が "1" でも、この値は無視されます。 スレーブモードでは、このビットを "0" に設定してください。 |
| CSIHnTX0W | CSIHnEDL | このビットは、CSIHnCTL1.CSIHnEDLE = 1 のときのみ有効です。 CSIHnCTL1.CSIHnEDLE = 0 のとき、リード値が "1" でも、この値は無視されます。 |
| CSIHnTX0W | CSIHnCS7-0 | マスターモード時は、これらのビットを "FF _H " に設定することは禁止されています。 スレーブモード時は、これらのビットを "FE _H " に設定してください。 |
| CSIHnTX0W CSIHnTX0H | | CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE = 0 のとき、これらのビットの書き込みは禁止されます。 |
| CSIHnRX0W CSIHnRX0H | | CSIHnCTL0.CSIHnPWR = 0 → 1 または CSIHnCTL0.CSIHnPWR = 1 → 0 のとき、これらのビットは初期化されます。 |
| CSIHnBRSi | | これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 最大ボーレートの設定は、CSIHnCTL2.PRS2 ~ 0 設定と合わせて、以下のとおりです。 <ul style="list-style-type: none"> • マスターモード : PCLK/8 • スレーブモード : PCLK/20 |

13.5 機能の説明

クロック同期シリアルインタフェースでは以下の3つの信号を通信に使用します。

- 送信クロック CSIHnTSCK (マスタモードでは出力、スレーブモードでは入力)
- データ出力信号 CSIHnTSO
- データ入力信号 CSIHnTSI

そのほかに、外部制御とモニタ用に利用できる信号があります。

- $\overline{\text{CSIHnTSSI}}$: スレーブ選択入力信号
- CSIHnTRY : ハンドシェイク信号
- CSIHnTCSSx : チップセレクト信号

データ送信は、1ビットずつシリアルに行われ、送信クロックに同期します。

CSIH の設定で重要な役割を果たすレジスタを以下の表に示します。

表 13.6 CSIH の主なレジスタ

| レジスタ | 機能 |
|-----------|---|
| CSIHnCTL0 | シリアルクロックを有効または無効にし、データ送信とデータ受信を許可または禁止します。ジョブ終了時の動作を定義し、バッファリングを有効または無効 (バッファのバイパス) にします。 |
| CSIHnCTL1 | 割り込みのタイミング、拡張データ長、ジョブの機能、データ整合性チェック、ループバックモード、ハンドシェイクなどのオプション機能を制御します。 |
| CSIHnCTL2 | マスタモードまたはスレーブモードを選択し、マスタモードでは内蔵ポーレートジェネレータ (BRG) でポーレートを選択します。 |
| CSIHnBRSi | チップセレクト信号ごとにポーレートを設定するためのレジスタです。 |
| CSIHnCFGx | 各チップセレクト信号の通信プロトコルを設定するレジスタです。 |

13.5.1 動作モード (マスタ/スレーブ)

CSIH がマスタモードまたはスレーブモードのどちらで動作するかでシリアルクロックのソースが異なります。

(1) マスタモード

マスタモードでは、シリアル送信クロックが内蔵のボーレートジェネレータ (BRG) によって生成され、CSIHnTSCCK 信号を介してスレーブに供給されます。

マスタモードは、CSIHnCTL2.CSIHnPRS[2:0] を 111_B 以外の任意の値に設定することによって有効になります。マスタモードでは、CSIHnCTL2.CSIHnPRS[2:0] ビットと CSIHnBRSi.CSIHnBRSi[11:0] ビットを組み合わせることで BRG の周波数を設定できます。

チップセレクト信号

マスタモードでは、1 つ以上のチップセレクト信号を使用できます。複数のスレーブがマスタに接続されている場合は、チップセレクト信号を利用して 1 つ以上のスレーブを通信相手として選択できます。選択されたスレーブのみが通信可能になります。

通信プロトコルとさまざまなパラメータはチップセレクト信号ごとに個別に保存されます。そのため、データ転送の設定を個々のスレーブの要件に応じて変更することができます。詳細については、「**13.5.3 チップセレクト (CS) 機能**」を参照してください。

クロックのデフォルト設定

CSIHnTSCCK のデフォルトレベルは、CSIHnTSCCK のクロック反転機能ビット CSIHnCTL1.CSIHnCKR の状態によって異なります。CSIHnTSCCK のデフォルトレベルは、CSIHnCTL1.CSIHnCKR = 0 であればハイレベルであり、CSIHnCTL1.CSIHnCKR = 1 であればロウレベルです。

以下の例は、データ長 8 ビット、CSIHnCTL1.CSIHnCKR = 0、CSIHnCFGx.CSIHnCKPx = 0、CSIHnCFGx.CSHBAnDAPx = 0、MSB ファーストのときのマスタモードの通信を示しています。

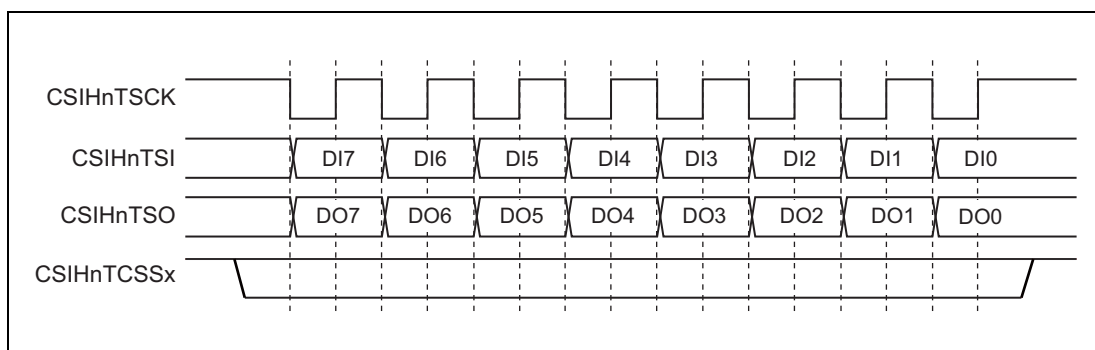


図 13.2 マスタモードでの送受信

(2) スレーブモード

スレーブモードでは、ほかのデバイスが通信マスタになり、送信クロックが供給されます。クロック信号を検出すると、ただちに通常どおりの送信動作または受信動作が開始されます。

スレーブモードは、CSIHnCTL2.CSIHnPRS[2:0] ビットを 111_B に設定することによって選択されます。

スレーブモードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります (CSIHnCFG1-CSIHnCFGx レジスタの設定は無効となります)。

- CSIHnPS0[1:0] : パリティの使用法
- CSIHnDLS0[3:0] : データ長の選択
- CSIHnDIR0 : データ方向
- CSIHnCKP0、CSIHnDAP0 : クロック位相とデータ位相

備 考

スレーブモードを使用するときは、CSIHnBRSi.CSIHnBRSi[11:0] ビットを 000_H にすることによってボーレートジェネレータ (BRG) を無効にします。

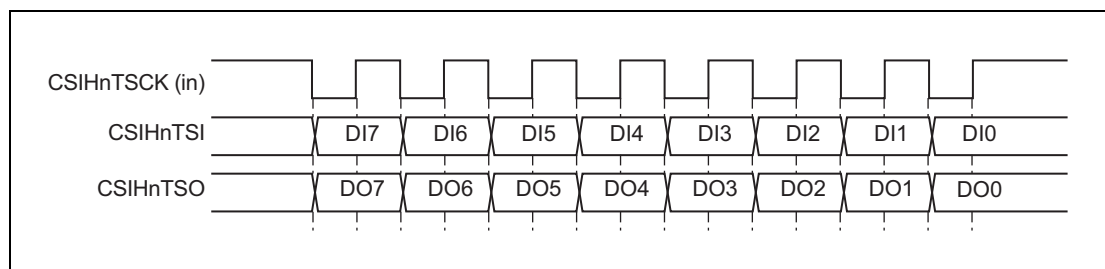


図 13.3 スレーブモードでの送受信

13.5.2 マスタ/スレーブの接続

(1) マスタ1、スレーブ1の場合

以下の図は、1つのマスタと1つのスレーブの間の接続を示しています。

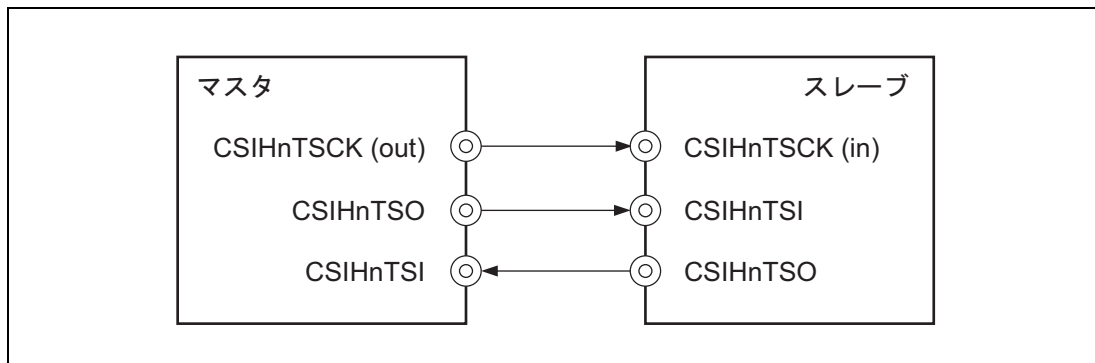


図 13.4 マスタ/スレーブ間の直接の接続

(2) マスタ1、スレーブ複数の場合

以下の図は、1つのマスタと複数のスレーブの間の接続を示しています。この例では、マスタが各スレーブに1つずつチップセレクト (CS) 信号を供給します。この信号は、スレーブのスレーブ選択入力 CSIHnTSSI に接続されます。

CSIHnTSSI 信号は、CSIHnCTL1.CSIHnSSE ビットを使用して有効または無効にすることができます。

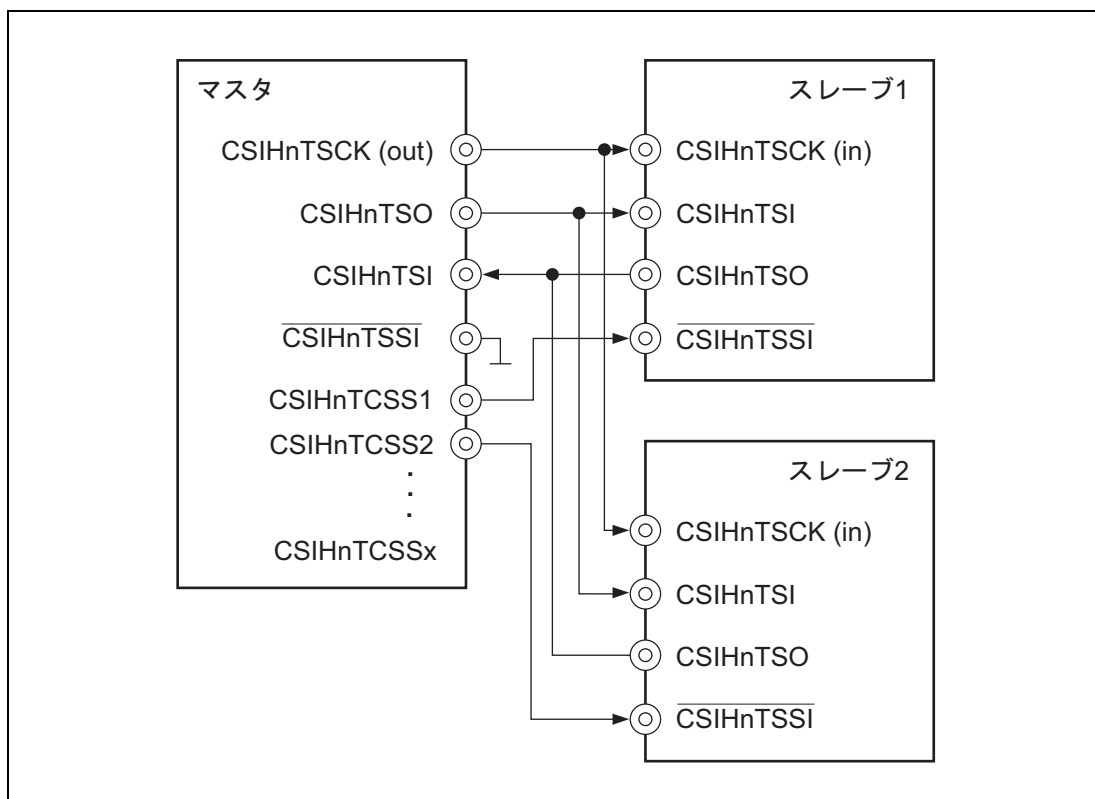


図 13.5 1つのマスタと複数のスレーブの間の接続

デフォルトのチップセレクトレベルはアクティブロウです。つまり、スレーブの $\overline{\text{CSIHnTSSI}}$ 信号がロウレベルになっていると、そのスレーブが CSIH スレーブとして選択されます (有効になります)。ただし、CS をほかのデバイスに適合させるために、チップセレクト信号の出力レベルがアクティブハイになるようにプログラミングすることもできます。

選択されていないスレーブは、データの受信も送信も行いません。また、送信専用モードまたは送受信モードに設定されている ($\text{CSIHnCTL0.CSIHnTXE} = 1$) とき、選択されていないスレーブの出力 CSIHnTSO は、選択されているスレーブの出力と干渉しないように、入力モードに設定されます。

13.5.3 チップセレクト (CS) 機能

マスタはチップセレクト信号 CSIHnTCSSx を使用して1つ以上のスレーブを通信相手として選択することができます。

(1) コンフィグレーションレジスタ

各チップセレクト信号 CSIHnTCSSx のパラメータは、対応するコンフィグレーションレジスタ CSIHnCFGx で定義されます。パラメータには、通信プロトコルと付加的な CS パラメータが含まれます。

通信プロトコルでは以下の項目を指定します。

- データ長：送信または受信されるビットの数。
- 転送方向：MSB ファーストまたはLSB ファースト。
- パリティの使用法：奇数、偶数、0 パリティまたは、なし。
- クロック位相とデータ位相。

マスタモードでのみ利用可能な各チップセレクト信号の付加的なパラメータを以下に示します。

- 各チップセレクト信号個別のポーレートジェネレータのプリスケアラ選択。
- チップセレクト優先度：チップセレクト信号を「ドミナント」と「リセッシブ」に分けます。設定の異なる複数のチップセレクト信号がメッセージブロードキャストイング用として同時にアクティブになった場合は、優先度が考慮されます。その場合は、ドミナントに指定された設定が使用されます。

この原則は、「RCB (Recessive Configuration for Broadcasting)」とも呼ばれます。

注 意

すべてのドミナントチップセレクト信号の設定が同じである場合を除き、複数のチップセレクト信号をドミナントに指定し、それぞれの信号を別の設定にすることは禁止されています。

- チップセレクトのタイミング
 - セットアップ時間 T_{setup} : CS 信号をアクティブに設定してからデータの出力が開始されるまでの時間。
 - データ間時間 T_{inter} : 同じ CS 信号がアクティブになっている間の1つのデータと次のデータの間の時間。
 - ホールド時間 T_{hold} : CS が切り替わるまでに CS のアクティブレベルが保持される時間。
 - アイドル時間 T_{idle} : CS 信号が終了したあと、または同じ CSx への1回ごとのデータ転送が完了したあとの非アクティブ時間。

以下の図に CS のセットアップ時間、データ間時間、ホールド時間、アイドル時間のタイミングを示します。CSIHnCFGx.CSIHnIDLx ビットに 1 を設定した場合、CS 信号に関係なく 1 転送ごとにアイドル時間を挿入します。

CSIHnTCSS1 信号と CSIHnTCSS2 信号がデフォルトのアクティブロウ (CSIHnCTL1.CSIHnCSL1 ビット = 0, CSIHnCTL1.CSIHnCSL2 ビット = 0) に設定した場合の例を **図 13.6** に示します。アクティブレベルは CS ごとに個別に指定することができます。

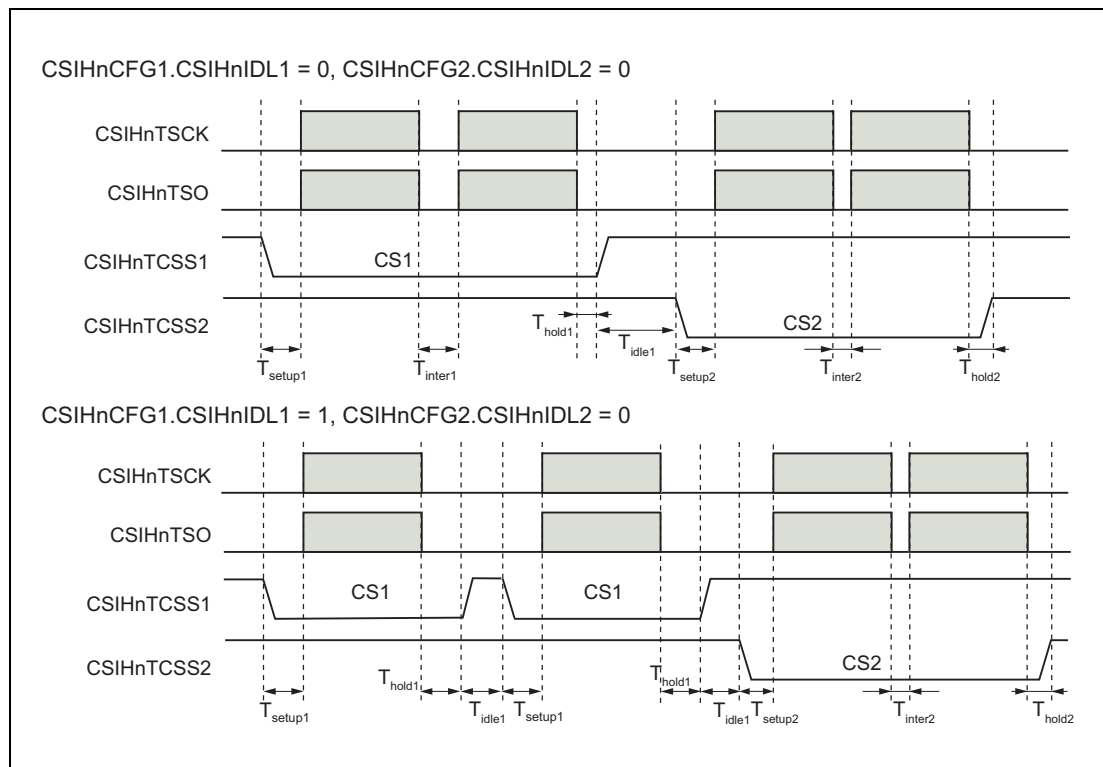


図 13.6 チップセレクトのタイミング

セットアップ時間、データ間時間、ホールド時間、アイドル時間を CS 信号ごとに個別に設定できる点に注意してください。

特定のチップセレクト信号をアクティブにするには、送信レジスタ CSIHnTX0W.CSIHnCS[7:0] の対応するビットをセットします。

受信レジスタの CSIHnRX0W.CSIHnCS[7:0] は、受信データに関連付けられたチップセレクト信号を示します。

(2) CS の例

以下の図は2回続けてデータを送信する例を示しています。

最初の通信ではCS0を使用して1つのスレーブと通信しています。2番目の通信ではCS0とCS1を有効にして2つのスレーブにメッセージをブロードキャストしています。CS0の優先度は「リセッシブ：低優先度」に設定されており、CS1の優先度は「ドミナント：高優先度」に設定されています。よって、2番目の通信はドミナントに設定されているCS1の設定を用いて行われます。

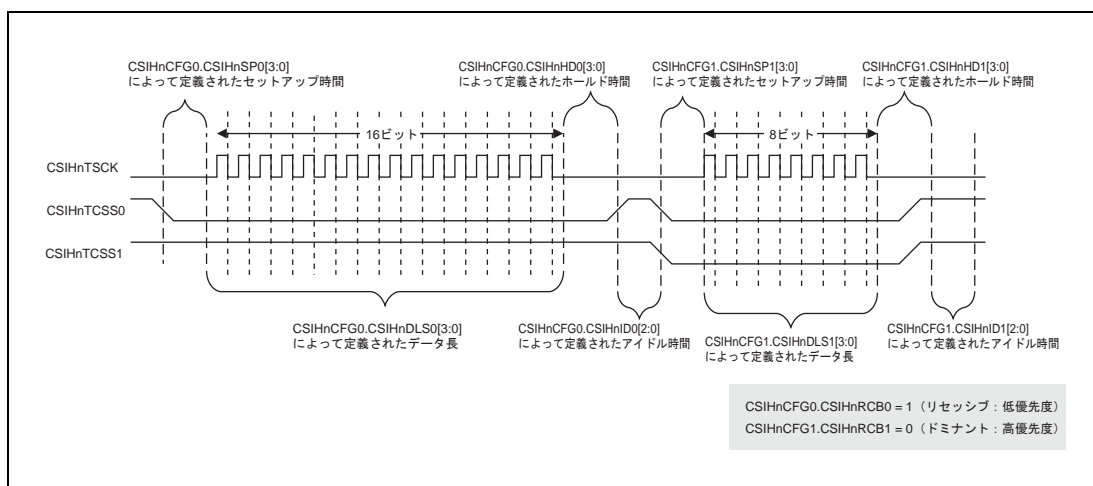


図 13.7 チップセレクトとRCBの例

(3) ジョブ概念

CSIH でのジョブは、転送の対象となる複数のデータから構成されます。

ジョブモードの有効化

ジョブモードはマスタモードでのみ有効になります。CSIHnCTL0.CSIHnPWR = 0 の設定によって CSIH が無効になっている間に、CSIHnCTL1.CSIHnJE によってジョブモードを有効または無効にします。

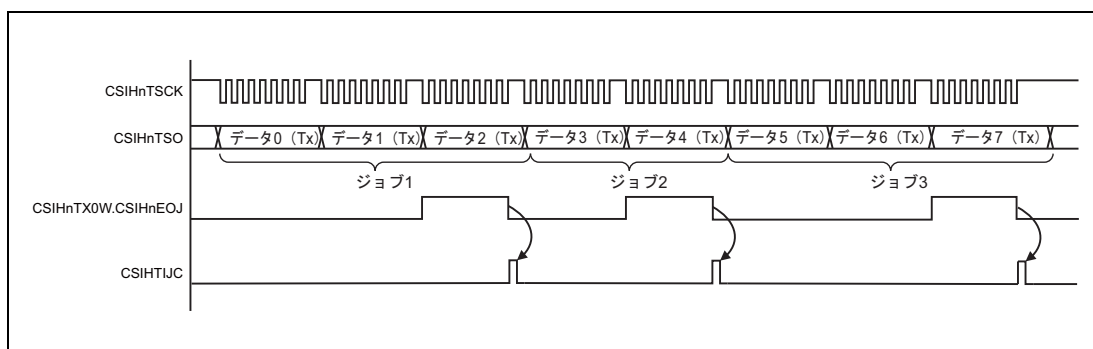


図 13.8 ジョブの例

エンドオブジョブビットがセットされたデータ、つまり CSIHnTX0W.CSIHnEOJ = 1 に設定されているデータを送信することによってジョブは終了します。

ジョブが終了したときに通信が停止するように指定することができます。そうするには、CSIHnCTL0.CSIHnJOB E をセットします。CSIHnJOB E がセットされていると、CSIHnEOJ ビットがセットされたデータが送信されるまで通信が継続します。そのデータの送信後、通信が停止し、ジョブ完了割り込み INT_CSIHTIJC が生成されます。

13.5.4 チップセレクトのタイミングの詳細

(1) クロック位相の変更

CSIHnCFGx.CSIHnCKPx によって指定されたシリアルクロックレベルを通信停止中に変更することができます。アイドル時間の最小値は、クロック位相が同じ場合は送信クロック (CSIHnTSCK) の 0.5 周期、位相が異なる場合は 1 周期です。

CSIHnCFGx.CSIHnIDx[2:0] でアイドル時間が 0.5 送信クロック周期に設定されており、異なる CSIHnCFGx.CSIHnCKPx の設定を持つ 2 つのデータが連続して送信されると、アイドル時間が自動的に CSIHnTSCK の 1 周期に延長されます。

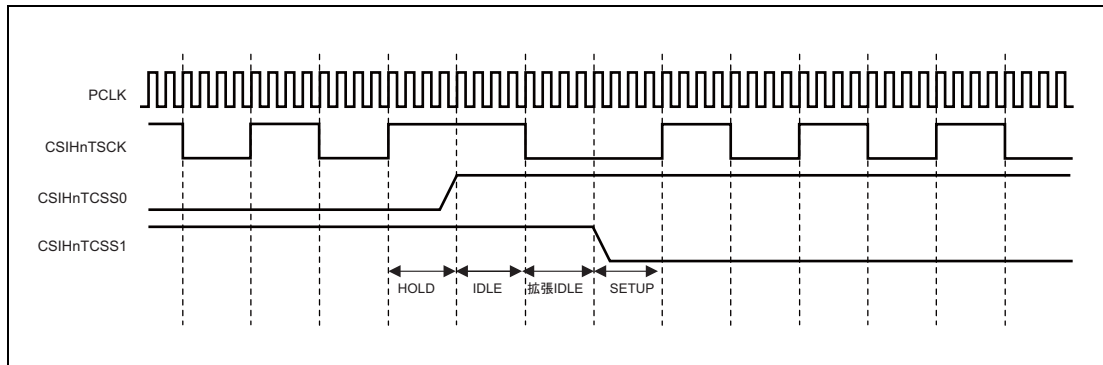


図 13.9 クロック位相のタイミング (PCLK/8、Thold0 = Tsetup1 = 0 (0.5CSIHnTSCK)、Tidle0 = 0 (0.5CSIHnTSCK)、CSIHnCFG0.CSIHnCKP0 = 0 (CSIHnTCSS0) → CSIHnCFG1.CSIHnCKP1 = 1 (CSIHnTCSS1) の場合)

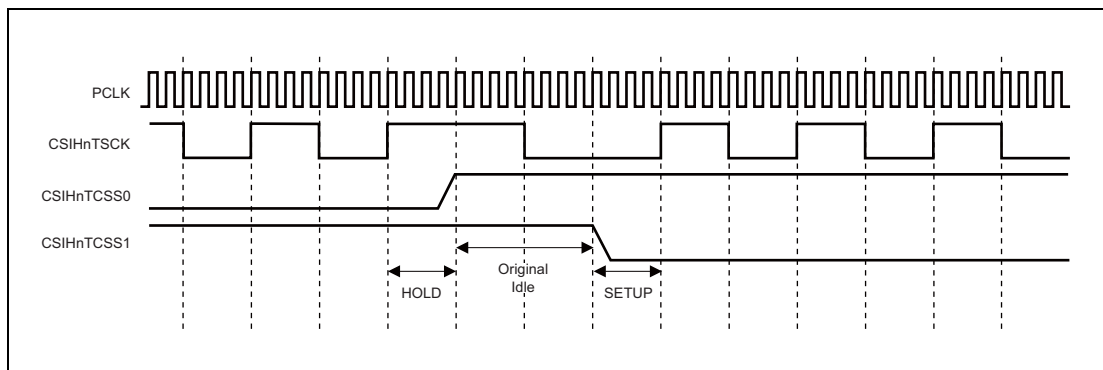


図 13.10 クロック位相のタイミング (PCLK/8、Thold0 = Tsetup1 = 0 (0.5CSIHnTSCK)、Tidle0 = 1 (1CSIHnTSCK)、CSIHnCFG0.CSIHnCKP0 = 0 (CSIHnTCSS0) → CSIHnCFG1.CSIHnCKP1 = 1 (CSIHnTCSS1) の場合)

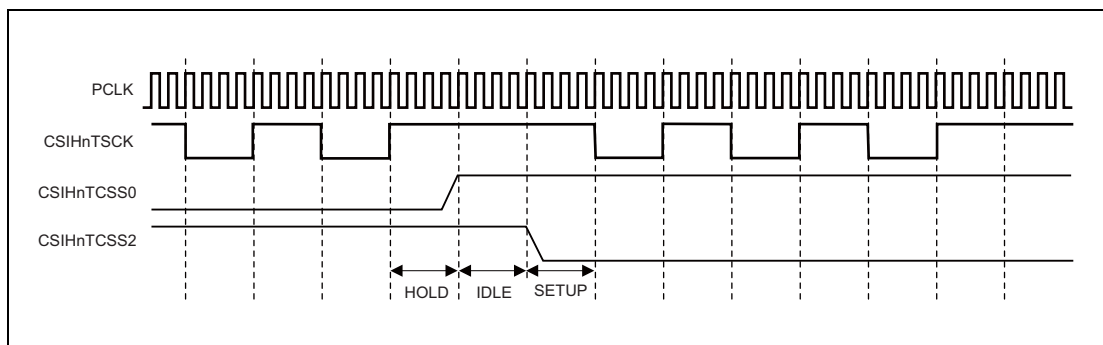


図 13.11 クロック位相のタイミング (PCLK/8、 $T_{hold0} = T_{setup1} = 0$
 (0.5CSIHnTSCK)、 $T_{idle0} = 0$ (0.5CSIHnTSCK)、
 $\text{CSIHnCFG0.CSIHnCKP0} = 0$ (CSIHnTCSS0) → $\text{CSIHnCFG2.CSIHnCKP2} = 0$
 (CSIHnTCSS2) の場合)

(2) データ位相の変更

CSIHnCFGx.CSIHnDAPx ビットでは、クロックを基準とするデータビットの位相を定義します。

CSIHnCFGx.CSIHnDAPx ビットとホールド/セットアップ期間の関係は次のとおりになります。

ホールド期間は、CSIHnCFGx.CSIHnDAPx の設定に関係なく、シリアルクロック (CSIHnTSCK) の最後のエッジから CSIHnTCSSx がインアクティブレベルになるまでの期間です。

セットアップ期間は、CSIHnTCSSx がアクティブレベルになるときから送信データ (CSIHnTSO) が出力されるまでの期間です。

したがって、CSIHnCFGx.CSIHnDAPx の設定によりシリアルクロック (CSIHnTSCK) のエッジが出力されるまで 0.5 CSIHnTSCK 分のずれがあります。

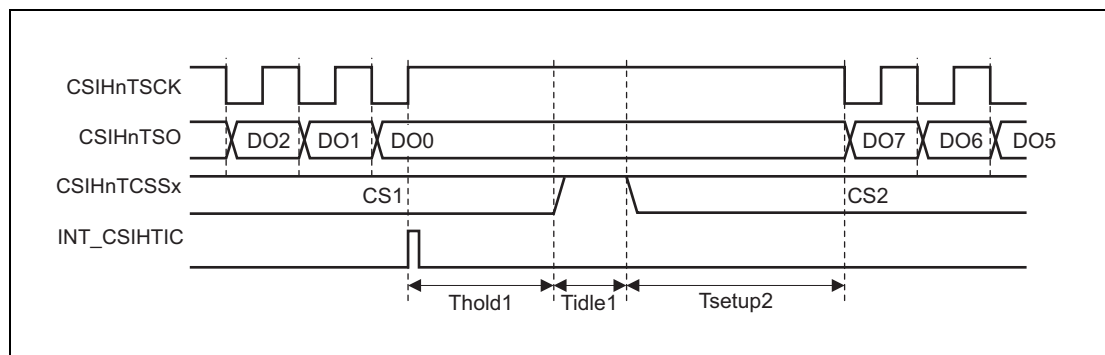


図 13.12 データ位相のタイミング
(CSIHnCFG1.CSIHnCKP1 = 0、CSIHnCFG1.CSIHnDAP1 = 0 かつ
CSIHnCFG2.CSIHnCKP2 = 0、CSIHnCFG2.CSIHnDAP2 = 0 の場合)

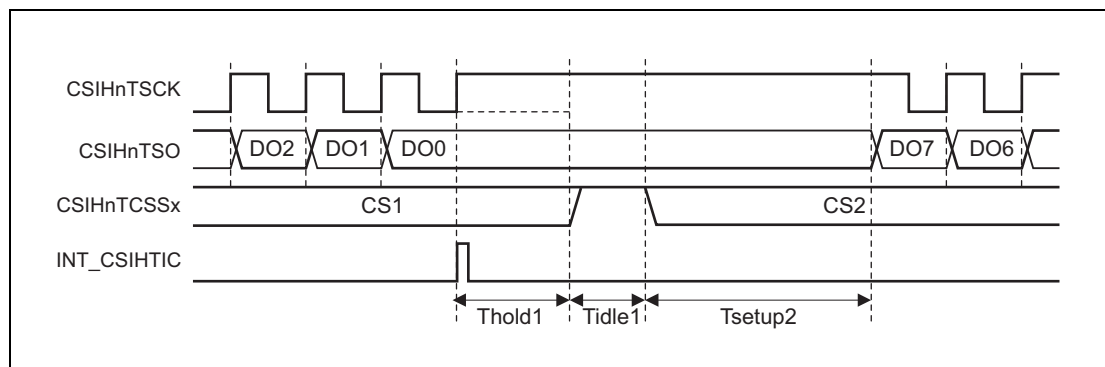


図 13.13 データ位相のタイミング
(CSIHnCFG1.CSIHnCKP1 = 1、CSIHnCFG1.CSIHnDAP1 = 0 かつ
CSIHnCFG2.CSIHnCKP2 = 0、CSIHnCFG2.CSIHnDAP2 = 1 の場合)

13.5.5 送信クロックの選択

マスタモードでは、以下のビットを使って送信ボーレートを選択できます。

- CSIHnCTL2.CSIHnPRS[2:0]
- CSIHnBRSi.CSIHnBRS[11:0]
- CSIHnCFGx.CSIHnBRSSx[1:0]

送信クロック CSIHnTSCK のボーレートは、CSIHnCTL2.CSIHnPRS[2:0] の設定と、CSIHnBRSi.CSIHnBRS[11:0] の設定によって決まりますが、CSIHnCFGx.CSIHnBRSSx[1:0] によってチップセレクト信号ごとに CSIHnBRS3 ~ CSIHnBRS0 の4種類のうちいずれか1つの設定を選択することができます。

ボーレートジェネレータのブロック図を以下に示します。

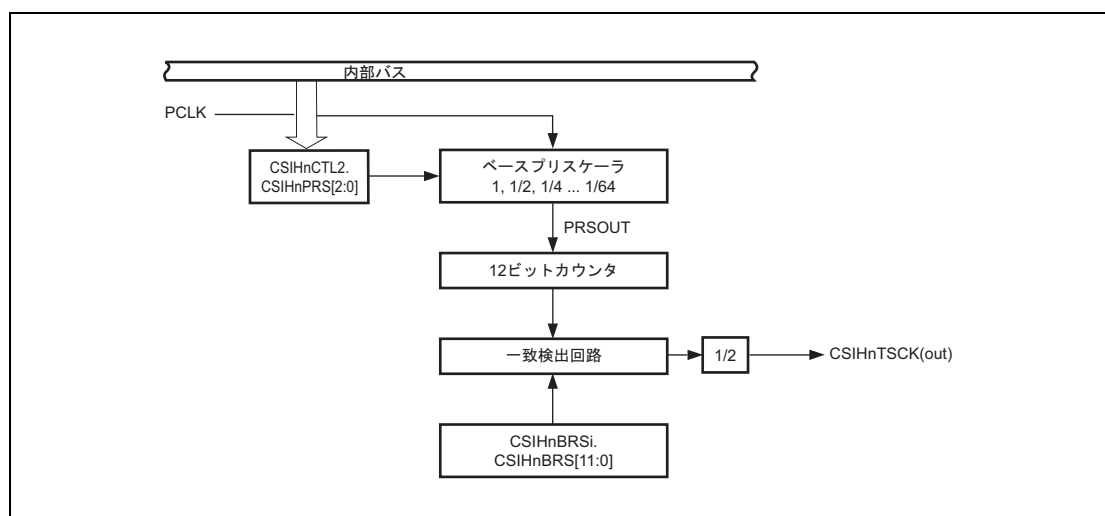


図 13.14 ボーレートジェネレータのブロック図

CSIH0BRS[3:0].CSIH0BRS[11:0] に 000_H を設定すると、ボーレートジェネレータが無効になり、すべての CSIHnTSCK が停止します。

ボーレートの計算

ボーレートは以下の式で計算します。

$$\text{CSIHnTSCk} = \text{PCLK} / (2^m \times k \times 2)$$

ただし、

$$m = \text{CSIHnCTL2.CSIHnPRS}[2:0] = 0 \sim 6$$

$$k = \text{CSIH0BRs}_x (x = 0 \sim 3). \text{CSIH0BRS0 11-0} = 1 \text{ to } 4095$$

(CSIH0BRSS1-0 = 0 時)

$$\text{CSIH0BRs}_x (x = 0 \sim 3). \text{CSIH0BRS1 11-0} = 1 \text{ to } 4095$$

(CSIH0BRSS1-0 = 1 時)

$$\text{CSIH0BRs}_x (x = 0 \sim 3). \text{CSIH0BRS2 11-0} = 1 \text{ to } 4095$$

(CSIH0BRSS1-0 = 2 時)

$$\text{CSIH0BRs}_x (x = 0 \sim 3). \text{CSIH0BRS3 11-0} = 1 \text{ to } 4095$$

(CSIH0BRSS1-0 = 3 時)

ボーレートの上限と下限

ボーレートを設定するときは、以下のことに注意してください。

- マスタモードで使用できる最大ボーレートは $\text{PCLK} / 8$ です。
- スレーブモードで使用できる最大ボーレートは $\text{PCLK} / 20$ です (外部マスタのボーレートがこの範囲に収まっていることを確認する必要があります)。
- いずれのモードでも最小ボーレートは $\text{PCLK} / 524160$ です。

例

$\text{PCLK} = 80 \text{ MHz}$ の場合、最大ボーレートは以下のとおりです。

- マスタモードでは 10 Mbps ($\text{PCLK} / 8$)
- スレーブモードでは 4 Mbps ($\text{PCLK} / 20$)

最小ボーレートは 152.625 bps ($\text{PCLK} / 524160$) です。

13.5.6 データ転送モード

(1) 送信専用モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 0 に設定すると、CSIH は送信専用モードになります。

- CSIHnTX0W レジスタまたはCSIHnTX0H レジスタに送信データが書き込まれると送信が開始されます。

(2) 受信専用モード

CSIHnCTL0.CSIHnTXE = 0 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は受信専用モードになります。

- CSIHnTX0W レジスタまたはCSIHnTX0H レジスタにダミーデータが書き込まれると受信が開始されます。

スレーブモードでは、マスタから送信クロック CSIHnTSCK を受信すると、ただちに受信が開始されます。この場合、スレーブの CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにデータを書き込む必要はありません。

(3) 送受信モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は送受信モードになります。

- CSIHnTX0W レジスタまたはCSIHnTX0H レジスタに送信データが書き込まれると通信が開始されます。

(4) まとめ

以下の表にこのセクションのまとめを記載します。この表は、動作モード、転送モードでデータ転送を開始する条件を示しています。

表 13.7 データ転送の開始

| 動作モード | | 転送モード | |
|------------------|------|---------------------------------------|---------------------------------------|
| | | 送信専用モード 送受信モード | 受信専用モード |
| ダイレクトアクセス モード | マスタ | CSIHnTX0W または CSIHnTX0H レジスタへの書き込み | CSIHnTX0W または CSIHnTX0H レジスタへの書き込み |
| | スレーブ | マスタからのクロックの受信 | マスタからのクロックの受信 |

13.5.7 データ長の選択

(1) 2～16ビットのデータ長

CSIHnCFGx.CSIHnDLSx[3:0] を使用して、チップセレクト信号ごとに2ビットから16ビットの間のデータパケット長を選択できます。以下の例は、MSBファースト (CSIHnCFGx.CSIHnDIRx = 0) での通信を示しています。

データ長 = 16ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 0000_B)

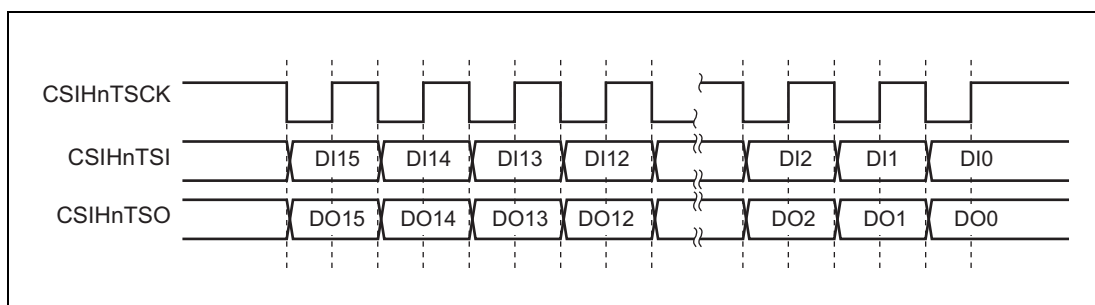


図 13.15 データ長 16 ビット、MSB ファースト

データ長 = 14ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1110_B)

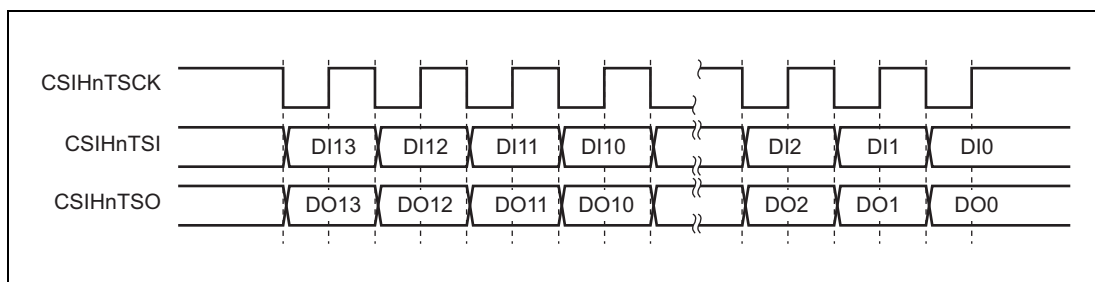


図 13.16 データ長 14 ビット、MSB ファースト

(2) 16 ビットを上回るデータ長

16 ビットを上回るデータを送受信する場合は、拡張データ長 (EDL) 機能を使用できます。

EDL 機能は CSIHnCTL1.CSIHnEDLE ビットに 1 をセットすることで有効になります。

EDL 機能は以下の仕組みで機能します。

- データを 16 ビットのブロックと剰余部分に分割する必要があります。たとえば、42 ビットのデータは 2 つの 16 ビットブロックと 10 ビットに分割します。
- 剰余部分のビット長は、CSIHnCFGx.CSIHnDLSx[3:0] ビットに、「データ長」として設定します。
- 16 ビットブロックを送信するには、CSIHnTX0W.CSIHnEDL を 1 にセットする必要があります。その場合、CSIHnTX0W に書き込まれるデータは、CSIHnCFGx.CSIHnDLSx[3:0] ビットの設定に関係なく、データ長 16 ビットのデータとして送信されます。
- 指定されたデータ長 (CSIHnTX0W.CSIHnEDL = 0 に設定して指定された剰余部分) のブロックが送信されると転送が完了します。

例

123456789A_H という 40 ビットのデータを CS0 に送信する例

40 ビットを 2 つの 16 ビットと 8 ビットに分割します。

- CSIHnCFG0.CSIHnDLS0[3:0] = 8 に初期化します。
- 123456789A_H を MSB ファーストで送信するには、以下のシーケンスを CSIHnTX0W に書き込みます。
 - 20FE 1234_H (CSIHnTX0W.CSIHnEDL = 1)
 - 20FE 5678_H (CSIHnTX0W.CSIHnEDL = 1)
 - 00FE 009A_H (CSIHnTX0W.CSIHnEDL = 0)

以下にタイミング図を示します。

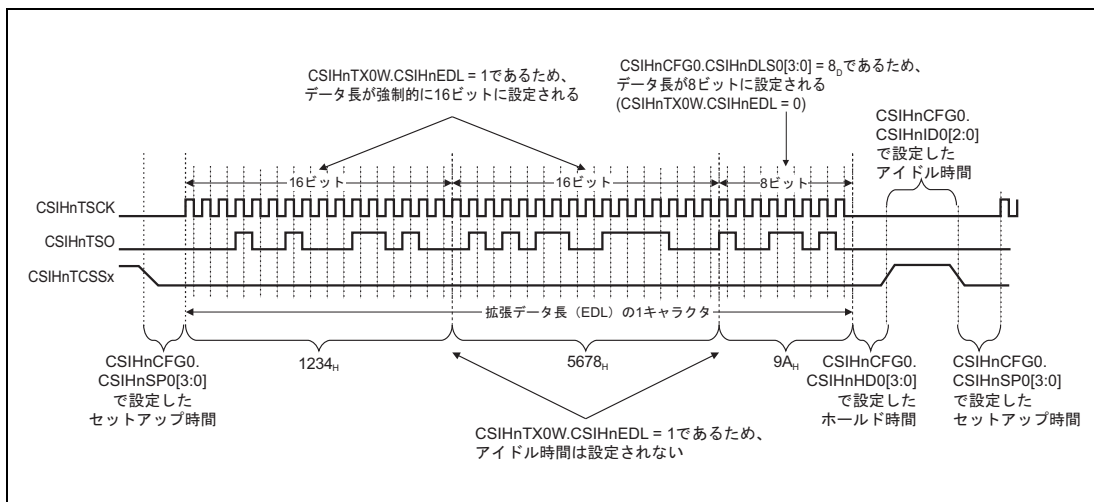


図 13.17 EDL のタイミング図

備考

1. パリティが有効になっていると、最後のビットの後ろにパリティビットが追加されます。
2. 拡張データ長 (EDL) 機能を使用して送信しているときは、同一のチップセレクト信号を使用してください。
3. 以下の例でデータ方向について説明します。

送信されるデータ : 123456_H

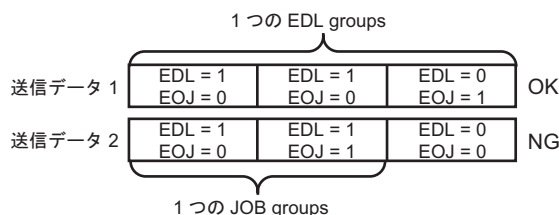
MSB ファースト :

CSIHnCFGx.CSIHnDIRx = 0 に設定
 CSIHnTX0W = 2000 1234_H を書き込み (EDL ビット = 1)
 CSIHnTX0W = 0000 0056_H を書き込み (EDL ビット = 0)

LSB ファースト :

CSIHnCFGx.CSIHnDIRx = 1 に設定
 CSIHnTX0W = 2000 3456_H を書き込み (EDL ビット = 1)
 CSIHnTX0W = 0000 0012_H を書き込み (EDL ビット = 0)

4. ジョブモード時で EDL 機能が有効 (CSIHnCTL1.CSIHnJE = 1、CSIHnCTL1.CSIHnEDLE = 1) の場合、CSIHnTX0W.CSIHnEDL = 1 のまま CSIHnTX0W.CSIHnEOJ を 1 にセットすると、動作を保証できません。



5. EDL モードは、スレーブモードの受信専用モードでは使えません。
(CSIHnCTL2.CSIHnPRS[2:0] = 111_B, CSIHnCTL0.CSIHnTXE = 0,
CSIHnCTL0.CSIHnRXE = 1)
-

13.5.8 シリアルデータ方向の選択

CSIHnCFGx レジスタの CSIHnDIRx ビットを使用して、チップセレクト信号ごとにシリアルデータ方向を選択することができます。

以下の例はデータ長 8 ビットの通信 (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B) を示しています。

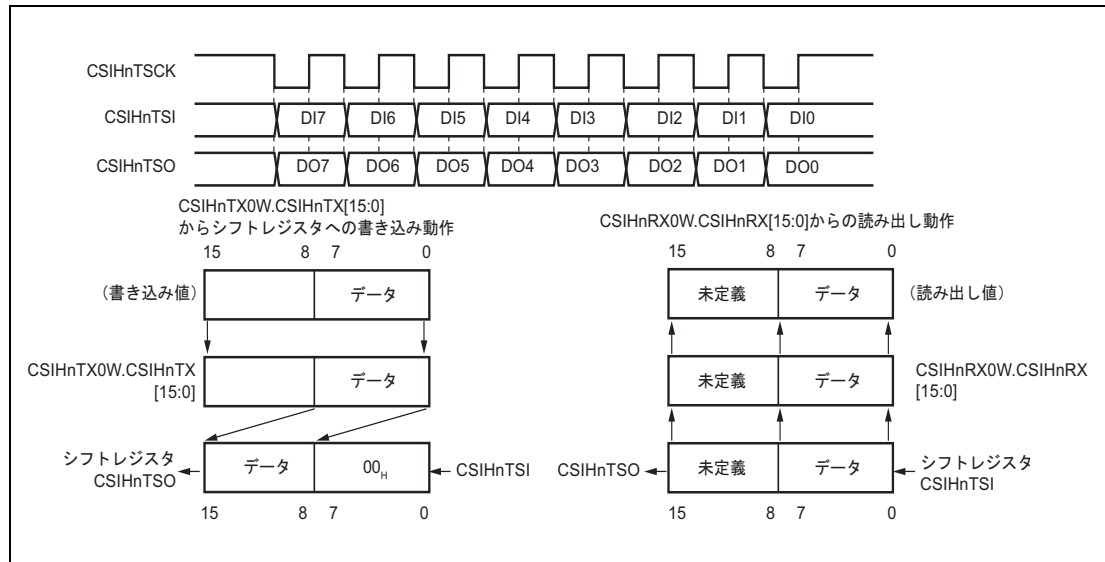


図 13.18 シリアルデータ方向選択機能 - MSB ファースト (CSIHnDIRx = 0)

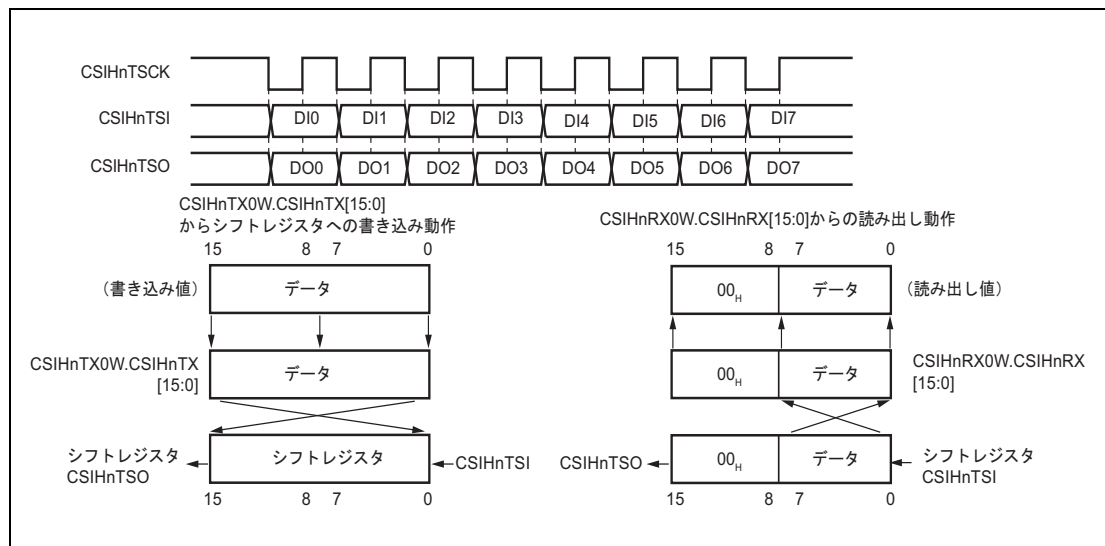
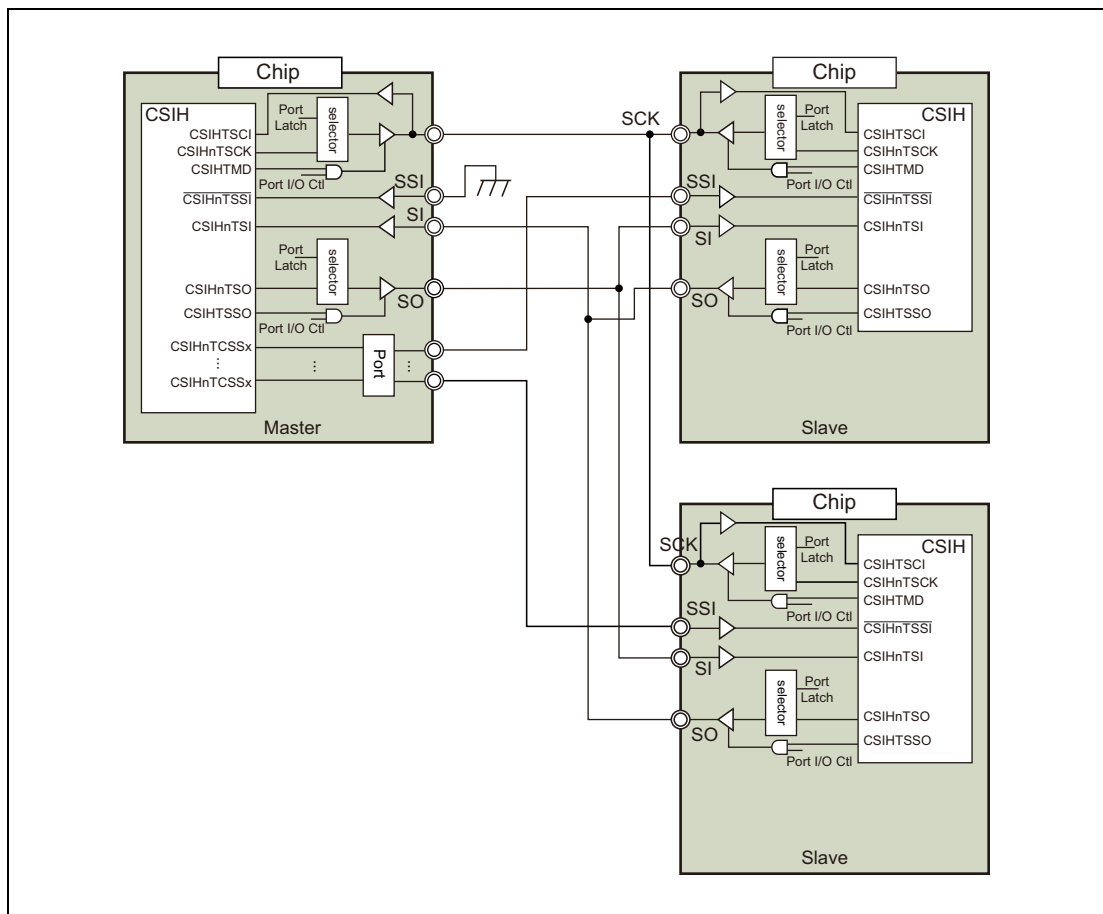


図 13.19 シリアルデータ方向選択機能 - LSB ファースト (CSIHnDIRx = 1)

13.5.9 スレーブモードでの通信

(1) システムの概要



本 CSIH は、スレーブ選択機能を使用することによって1つのマスタと複数のスレーブ間の通信を実現します。マスタチップは、スレーブチップの1つにスレーブ選択信号 (CSIHnTCSSx) を出力します。各スレーブチップは、自身の CSIH が選択されている対象スレーブか否かを判断します。選択されている場合、スレーブチップは、SO 端子の I/O 機能が出力端子となるよう制御する必要があります。その後、スレーブチップは送信データをマスタチップに送ることができます。スレーブチップとして選択されていない場合、SO 端子は選択されているほかのスレーブチップからの SO 出力と競合しないよう、入力機能として設定されていなければなりません。また、選択されていないスレーブチップは、マスタチップからシリアルクロックを受け取っても、データは受信しません。マスタチップの SI 端子とボード上のすべてのスレーブチップの複数の SO 端子を接続することで、1つのマスタと複数のスレーブ間の通信が可能になります。本シリアルデータラインにレベル保持回路を配置することを推奨します。

(2) 通信のタイミング

以下の図は、スレーブモードでの通信の信号とタイミングを示しています。

スレーブモードでは、CSIHnCFG0 レジスタによってデータ転送の設定が決まります。

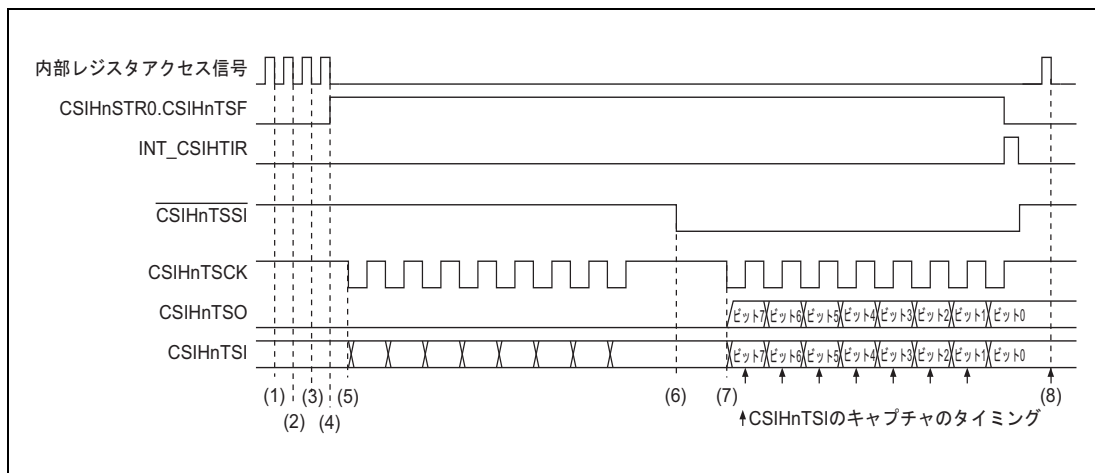


図 13.20 スレーブモードでの送受信のタイミング

- (1) CSIHnCTL2.CSIHnPRS[2:0] = 111_B を設定することによって、CSIH はスレーブモードに入ります。CSIHnCFG0.CSIHnCKP0 と CSIHnCFG0.CSIHnDAP0 は 0 です。
- (2) データ長は 8 ビットです (CSIHnCFG0.CSIHnDLS0[3:0] = 1000_B)。データ方向は MSB ファースト (CSIHnCFG0.CSIHnDIR0 = 0) です。
- (3) 送受信モードに設定されます (CSIHnCTL0.CSIHnCSIHnPWR = 1, CSIHnCTL0.CSIHnTXE = 1, CSIHnCTL0.CSIHnRXE = 1)。通信の開始が許可されます。
- (4) 転送データが送信レジスタ CSIHnTX0W または CSIHnTX0H に書き込まれると、転送ステータスフラグ CSIHnSTR0.CSIHnTSF が自動的にセットされます。
- (5) $\overline{\text{CSIHnTSSI}}$ 信号がハイである間は、外部送信クロック CSIHnTSCK が入力されても、送受信は開始されません。CSIHnTSI への入力は無視されます。
- (6) $\overline{\text{CSIHnTSSI}}$ がロウレベルになると、CSIHnTSO が有効になったことを示し、送信が可能になります。
- (7) 外部クロック信号 CSIHnTSCK が検出されると、スレーブはだたちにデータを CSIHnTSO に送信し、同時に CSIHnTSI からデータをキャプチャします。
- (8) 割り込み INT_CSIHTIR が受信の完了を示します。CSIHnRX0W/H レジスタが読み出し可能になります。

(3) CSIHTSSO の動作

| CHIHN PWR | CHIHN TXE | CSIHN RXE | CSIHN SSE | CSIHTSSO |
|-----------|-----------|-----------|-----------|------------------|
| 0 | — | — | — | H |
| 1 | — | — | 0 | H |
| | 0 | | 1 | H |
| | 1 | | 1 | CSIHTSSI レベルの反転値 |

CSIHTSSO 信号は、スレーブ選択機能を使用する場合に CSIHN TSO 端子の I/O 機能を制御する信号です。

CSIHN TSO 端子は CSIHTSSO 信号が“ハイレベル”のときに有効になります (CSIHN TSO 端子は駆動されている)。

CSIHN TSO 端子は CSIHTSSO 信号が“ロウレベル”のときに無効になります (CSIHN TSO 端子は駆動されていない)。

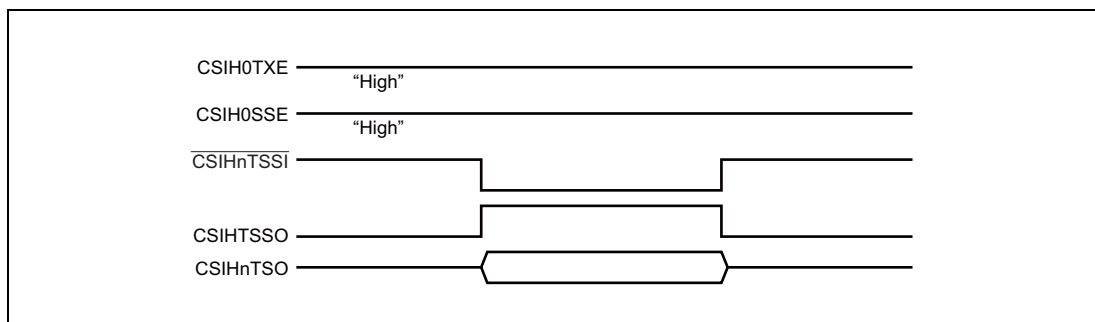


図 13.21 CSIHTSSO の動作

注 意

通信中に CSIHTSSO 端子が変化した場合 (CSIHN STR0.CSIHN TSF = 1) の通信は保証されません。

13.5.10 CSIHの割り込み要求

CSIHは以下の割り込み要求を生成することができます。

- INT_CSIHTIC (通信ステータス割り込み)
- INT_CSIHTIR (受信ステータス割り込み)
- INT_CSIHTIRE (通信エラー割り込み)
- INT_CSIHTIJC (ジョブ完了割り込み)

(1) 概要

エラーが検出されると、エラー割り込み INT_CSIHTIRE が生成されます。ほかの割り込みが生成される条件は、ジョブモードによって異なり、ジョブ完了割り込み INT_CSIHTIJC の場合は動作モードによっても異なります。

ジョブ完了割り込み INT_CSIHTIJC は、ジョブモードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ生成されます。スレーブモードでこの割り込みを利用することはできません。

割り込みの概要を以下の表に示します。

表 13.8 割り込みの生成

| モード | 割り込み | 割り込み要因 | |
|---------------|---|-----------------------------------|--------------------------------------|
| | | ジョブモード無効 CSIHnCTL1.CSIHnJE = 0 | ジョブモード有効 CSIHnCTL1.CSIHnJE = 1 |
| ダイレクト アクセス | INT_CSIHTIC (通信ステータス割り込み) | 1 データ転送 | 1 データ転送 (ジョブ中断 ^{注2} の状態を除く) |
| | INT_CSIHTIR (受信ステータス割り込み) | データ受信かつ CSIHnCTL0.CSIHnRXE = 1 | データ受信かつ CSIHnCTL0.CSIHnRXE = 1 |
| | INT_CSIHTIRE (通信エラー割り込み) | エラー検出 | エラー検出 |
| | INT_CSIHTIJC ^{注1} (ジョブ完了割り込み) | 適用不可 | ジョブ中断 ^{注2} |

注 1. スレーブモードでは INT_CSIHTIJC は利用できません。

注 2. ジョブ中断の条件 : CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1

(2) 割り込み遅延

マスタモードでは、マスタが生成するすべての割り込みを送信クロック CSIHnTSCK の半周期だけ遅延させることができます。スレーブモードでこの機能を利用することはできません。

遅延を指定するには、CSIHnCTL1.CSIHnSIT = 1 に設定します。

CSIHnCTL1.CSIHnSIT = 1 (割り込み遅延有効)、

CSIHnCFGx.CSIHnCKPx = 0、

CSIHnCFGx.CSIHnDAPx = 0 (クロック位相とデータ位相)、CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B (データ長 8 ビット) の設定で割り込み遅延機能を使用する例を以下の図に示します。

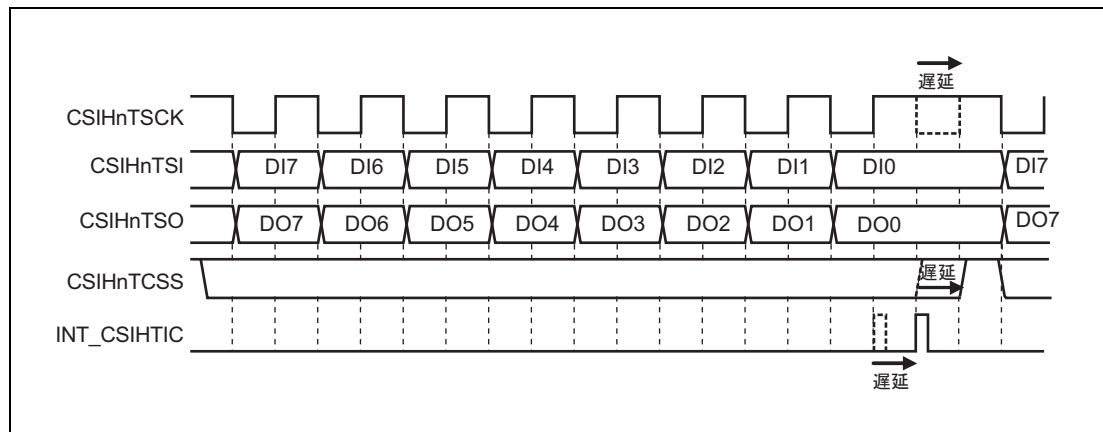


図 13.22 割り込み遅延機能 (CSIHnCTL1.CSIHnSIT = 1)

CSIHnCTL1.CSIHnSIT = 1 に設定すると、送信クロックに半周期の遅延が追加されます。これによって現在のチップセレクト信号 (CSIHnTCSSx) の終了も遅延します。

(3) INT_CSIHTIC (通信ステータス割り込み)

この割り込みが生成される条件は、以下に示すように、ジョブモードによって異なります。

表 13.9 INT_CSIHTIC 割り込みの生成

| モード | 割り込み要因 | |
|-----------|-----------------------------------|--------------------------------------|
| | ジョブモード無効 CSIHnCTL1.CSIHnJE = 0 | ジョブモード有効 CSIHnCTL1.CSIHnJE = 1 |
| ダイレクトアクセス | データ転送が1回行われるたびに生成されます。 | 通信が中断された場合を除き、データ転送が1回行われるたびに生成されます。 |

ダイレクトアクセスモードでの INT_CSIHTIC

以下の例はダイレクトアクセスモードでの INT_CSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ダイレクトアクセスモード
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 通常の INT_CSIHTIC 割り込みのタイミング (CSIHnCTL1.CSIHnSLIT = 0)

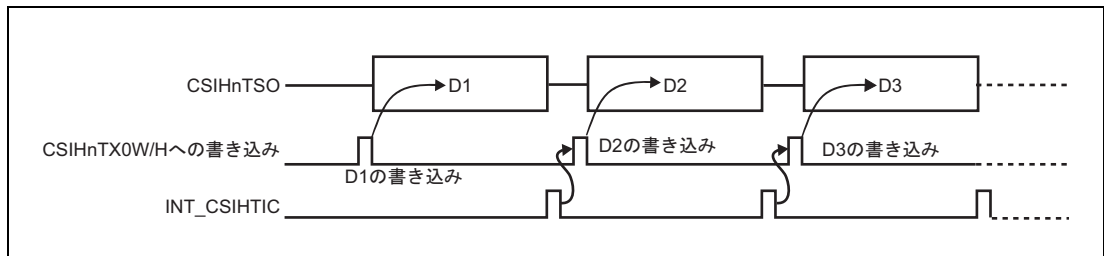


図 13.23 転送後の INT_CSIHTIC の生成 (CSIHnCTL1.CSIHnSLIT = 0)

ジョブモードが有効になっており (CSIHnCTL1.CSIHnJE = 1)、CSIHnTX0W.CSIHnEOJ = 1 の設定でデータが送信され、通信停止の要求が発行されている (CSIHnCTL0.CSIHnJOBE = 1) 状態でジョブが終了した場合、INT_CSIHTIC はジョブ完了割り込み INT_CSIHTIJC に置き換えられます。

CSIHnTX0W/H レジスタが空になり、次のデータの受け入れが可能になったときに INT_CSIHTIC が生成されるように設定することもできます。そうするには、CSIHnCTL1.CSIHnSLIT = 1 に設定します。

以下の図にその効果を示します。

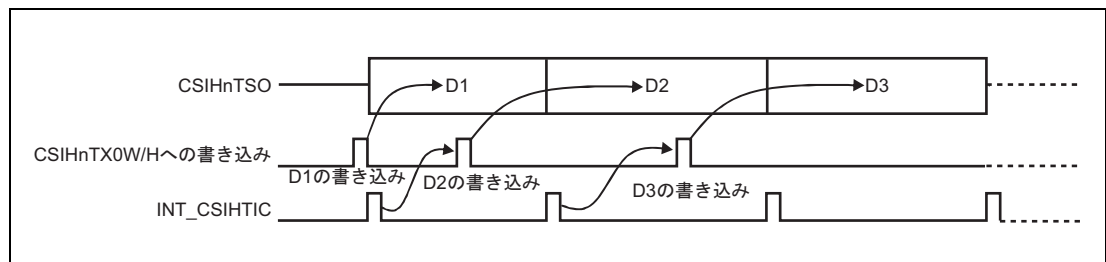


図 13.24 INT_CSIHTIC の即時の生成 (CSIHnCTL1.CSIHnSLIT = 1)

このように、新しいデータを先行して書き込むことができます。

備考

上記の設定を行うとデータ転送が高速になります。ただし、ダイレクトアクセスモードでのみ設定することができます。

ジョブモードでの INT_CSIHTIC

以下の例はジョブモードでの INT_CSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 通常の INT_CSIHTIC 割り込みのタイミング (CSIHnCTL1.CSIHnSLIT = 0)

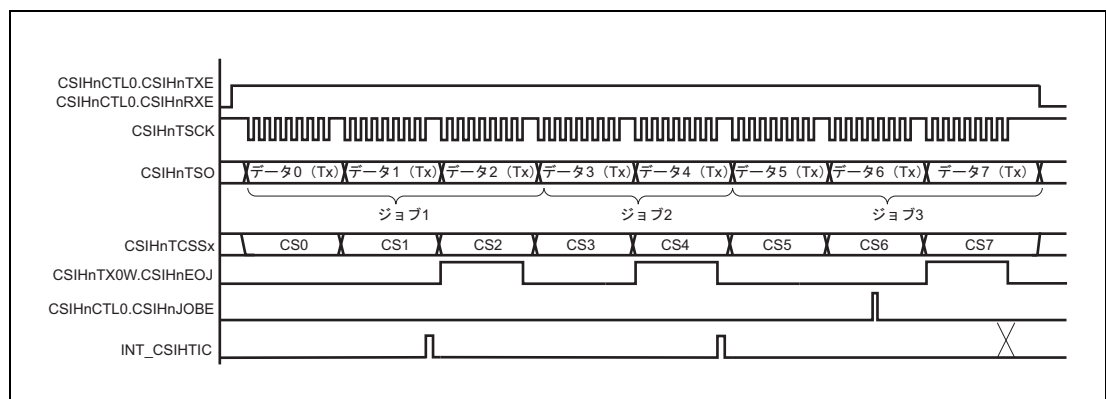


図 13.25 ジョブモードでの INT_CSIHTIC の生成

ジョブモードでの INT_CSIHTIC の生成に適用される規則を以下の表に示します。

表 13.10 ジョブモードでの INT_CSIHTIC の生成

| CSIHnTX0W. CSIHnEOJ | INT_CSIHTIC |
|------------------------|--|
| 0 | 生成されません。 |
| 0 | 生成されます。 |
| 1 | 生成されません。 |
| 1 | CSIHnCTL0.CSIHnJOBE = 0 : 生成されます。 |
| 1 | CSIHnCTL0.CSIHnJOBE = 1 : 生成されず、割り込み INT_CSIHTIJC に置き換えられます。 |

(4) INT_CSIHTIR (受信ステータス割り込み)

この割り込みが生成される条件は、以下に示すようになります。

表 13.11 IINT_CSIHTIR 割り込みの生成

| モード | 割り込み要因 | |
|------------------|-----------------------------------|-----------------------------------|
| | ジョブモード無効 CSIHnCTL1.CSIHnJE = 0 | ジョブモード有効 CSIHnCTL1.CSIHnJE = 1 |
| ダイレクト アクセスモード | データ転送が 1 回行われるたびに生成されます。 | |

ダイレクトアクセスモードでの INT_CSIHTIR

以下の例はダイレクトアクセスモードでの INT_CSIHTIR の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ダイレクトアクセスモード
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHsnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)

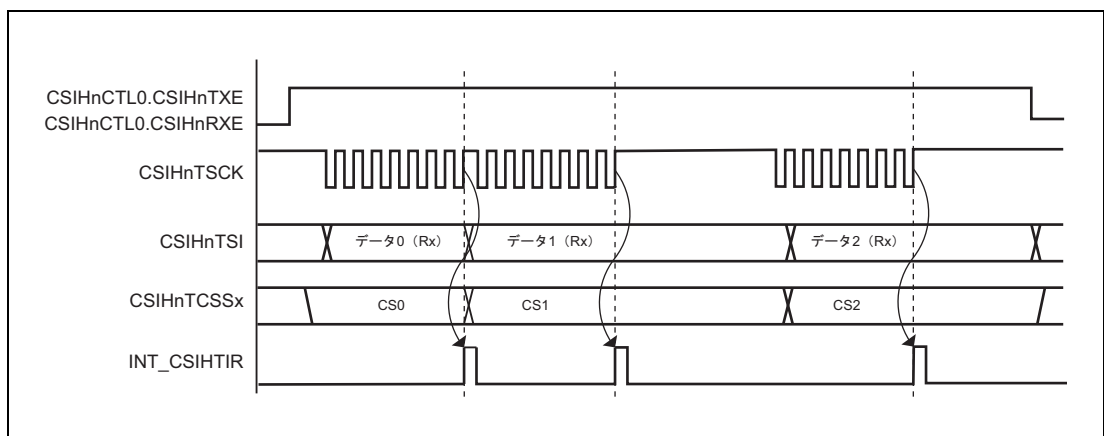


図 13.26 ダイレクトアクセスモードでの INT_CSIHTIR の生成

(5) INT_CSIHTIRE (通信エラー割り込み)

この割り込みはエラーが検出されるたびに生成されます。

割り込み生成タイミングは、「13.5.12 エラー検出」を参照ください。

表 13.12 データエラーのタイプ

| エラーのタイプ | エラー割り込み後の通信ステータス | 備考 |
|-----------|----------------------|--|
| パリティエラー | 割り込みが生成されても通信は継続します。 | — |
| データ整合性エラー | 割り込みが生成されても通信は継続します。 | — |
| オーバランエラー | 割り込みが生成されても通信は継続します。 | スレーブモードで、CSIHnCTL1.CSIHnHSE = 0 (ハンドシェイクなし) の場合のみ割り込みが発生します。 |

INT_CSIHTIRE が生成される原因となったエラーのタイプは、CSIHnSTR0 レジスタのフラグによって識別されます。

さらに、CSIHnRX0W 内の受信データにパリティエラーフラグとデータ整合性エラーフラグが添付されます。

さまざまなエラータイプの詳細については、「13.5.12 エラー検出」を参照してください。

(6) INT_CSIHTIJC (ジョブ完了割り込み)

この割り込みはジョブの処理に対応しています。「(3) ジョブ概念」を参照してください。
この割り込みはマスタモードでのみ利用できます。

ジョブモードは CSIHnCTL1.CSIHnJE = 1 に設定することによって有効になります。
CSIHnCTL1.CSIHnJE = 0 の場合、INT_CSIHTIJC は生成されません。

この割り込みが生成される条件は、以下に示すようになります。

表 13.13 INT_CSIHTIJC 割り込みの生成

| モード | 割り込み要因 | |
|-----------|-----------------------------------|---|
| | ジョブモード無効 CSIHnCTL1.CSIHnJE = 0 | ジョブモード有効 CSIHnCTL1.CSIHnJE = 1 |
| ダイレクトアクセス | 適用不可 | ジョブ中断 ^{注1} がトリガされたあと、 ジョブの終了時に通信が停止したことを 示します。 |

注1. ジョブ中断の条件 : CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1

13.5.11 ハンドシェイク機能

CSIHはマスタデバイスとスレーブデバイスを同期させるハンドシェイク機能を備えています。この機能はCSIHnCTL1.CSIHnHSEビットで有効または無効にすることができます。ハンドシェイクでは、CSIHnTRY信号を使用します。

ビジーとなるタイミングはデータ位相選択CSIHnCFGx.CSIHnDAPxビットの設定によって異なります。

(1) スレーブモード

CSIHnCTL1.CSIHnHSE = 1 のとき、スレーブはビジー状態になるとCSIHnTRY信号がロウレベル0を出力します。この状態になるのは以下の2つの場合です。

ケース 1. 転送準備ができていない場合

(次の送信データが存在しない)

ケース 2. 受信レジスタがフルになっている場合

スレーブが受信専用モードまたは送受信モードに設定されている状態で、前に受信したデータがまだCSIHnRX0W/Hレジスタにあるため、新しいデータをシフトレジスタからCSIHnRX0W/Hへコピーできない(CSIHnRX0W/Hフル状態)。

以下の例では、8ビットのデータ長を想定しています。

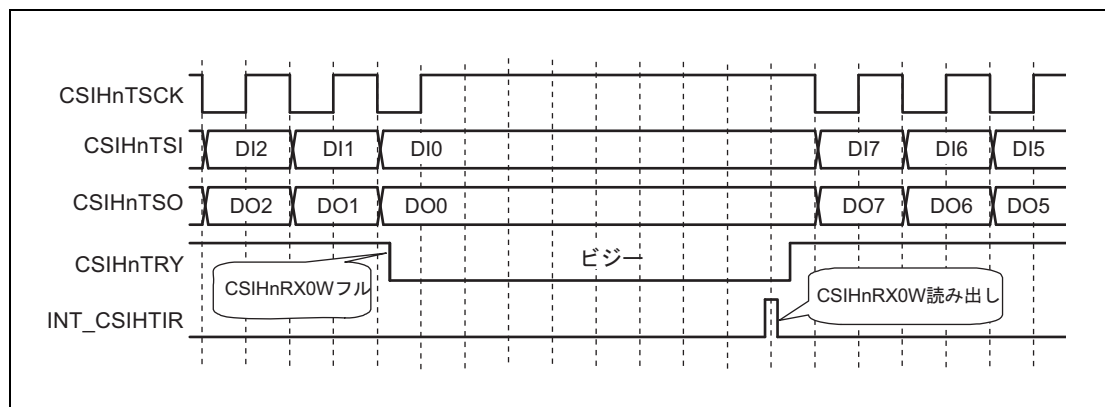


図 13.27 スレーブからのビジー信号 (ダイレクトアクセスモード、CSIHnCFGx.CSIHnDAPx = 0)

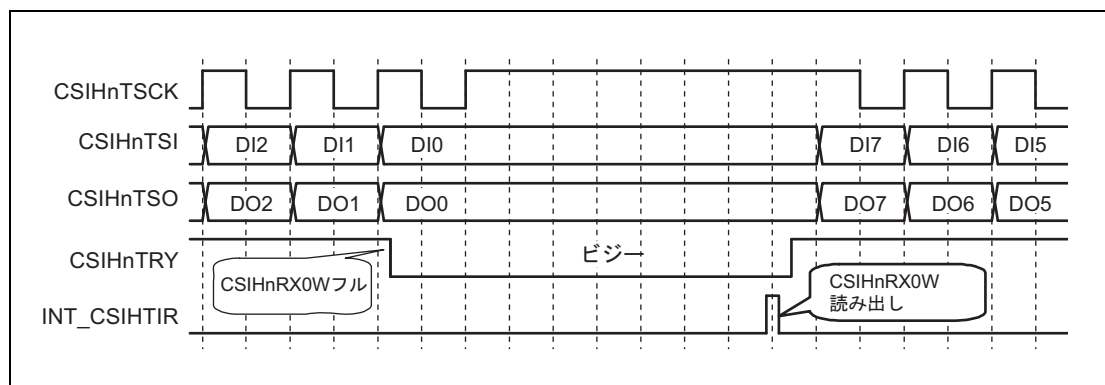


図 13.28 スレーブからのビジー信号 (ダイレクトアクセスモード、CSIHnCFGx.CSIHnDAPx = 1)

(2) マスタモード

CSIHnCTL1.CSIHnHSE = 1 のとき、マスタが CSIHnTRY = 0 を検出すると、それ以降の転送が保留され、マスタは待機状態に入ります。マスタはクロック CSIHnTSCK を停止させます。CSIHnTRY のレベルは、CSIHnTSCK の半クロック周期ごとにチェックされます。また、待機状態中、チップセレクト信号は出力されます。

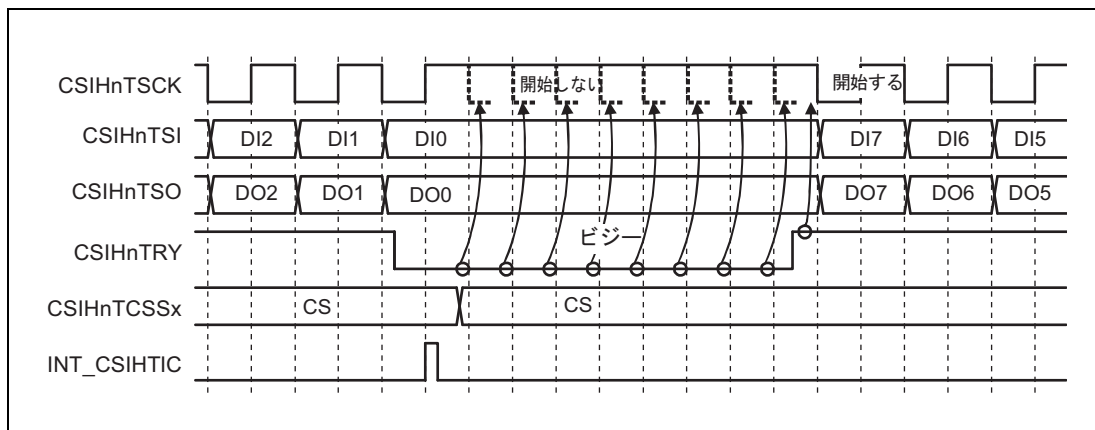


図 13.29 CSIHnTRY に対するマスタの反応 (CSIHnCFGx.CSIHnDAPx = 0)

次の転送が始まる前にスレーブは CSIHnTRY をロウレベルに下げする必要があります。データ転送中にスレーブ側で CSIHnTRY 信号をロウレベルに下げると、転送が完了した後、マスタからのシリアルクロックが停止します。

マスタは CSIHnTRY がハイレベルになる (スレーブが「レディ」になる) と、ただちに通信を再開します。

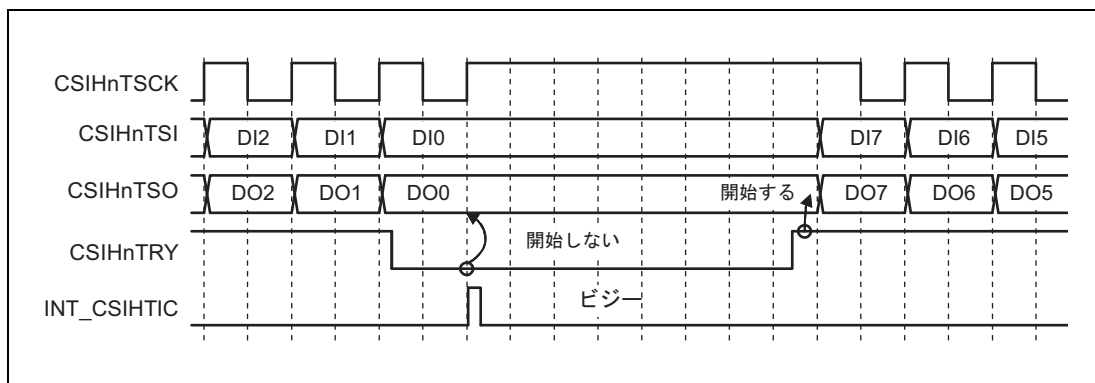


図 13.30 CSIHnTRY に対するマスタの反応 (CSIHnCFGx.CSIHnDAPx = 1)

注 意

1. 複数のスレーブが接続されている場合、マスタは、通信相手として選択したスレーブからの CSIHnTRY 信号だけを検出する必要があります。
2. 転送中にスレーブが CSIHnTRY 信号をロウレベルにしても、転送は完了するまで継続します。

13.5.12 エラー検出

CSIHは3種類のエラーを検出することができます。

- データ整合性エラー (送信データ)
- パリティエラー (受信データ)
- オーバランエラー (受信データ)

パリティエラー、データ整合性エラーのチェック機能は個別に有効または無効にすることができます。

これらのエラーのいずれかが検出されると、割り込み要求 INT_CSIHTIRE が生成され、検出されたエラーに対応するフラグがセットされます。

(1) データ整合性チェック

データ整合性チェックの目的は、出力信号として物理的に送信されたデータがシフトレジスタへコピーされた元のデータと同じかどうかを確認することです。

データ整合性チェックは CSIHnCTL1.CSIHnDCS ビット で有効または無効にすることができます。データ送信が禁止されていると (CSIHnCTL0.CSIHnTXE = 0)、データ整合性チェックはアクティブになりません。

データ整合性チェックがアクティブになっていると、CSIHnTX0W または CSIHnTX0H からシフトレジスタへ転送されたデータが別のレジスタへコピーされます。さらに、CSIHTDCS 信号を介して CSIHnTSO の物理レベルが独自のシフトレジスタに読み込まれます。

送信が完了すると、送信されたデータと元の送信データとの比較が行われます。

データの不一致はデータ整合性エラーと見なされます。

- 割り込み INT_CSIHTIRE が生成されます。
- CSIHnSTR0.CSIHnDCE ビットがセットされます。

さらに、エラーが発生したデータの CSIHnRX0W.CSIHnTDCE がセットされます。

データ整合性チェックの機能を以下のブロック図に示します。

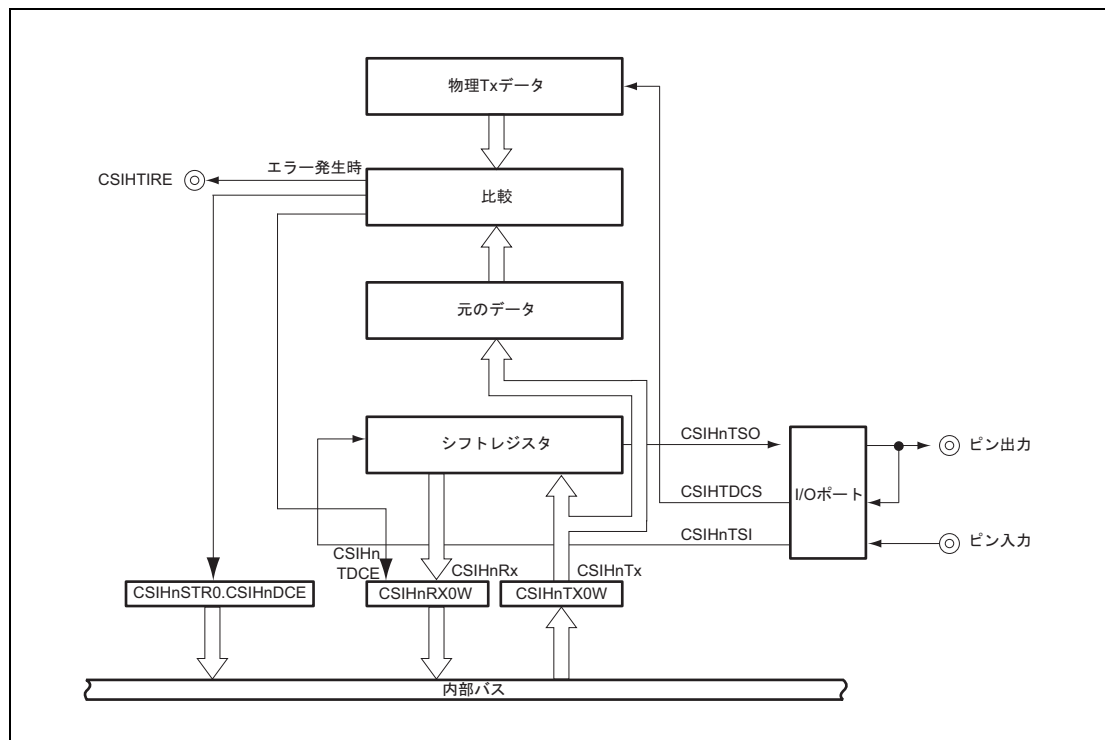


図 13.31 データ整合性チェック機能のブロック図

(2) パリティチェック

CSIH では、最後のデータビットの後ろにパリティビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプは `CSIHnCFGx.CSIHnPSx[1:0]` で指定されます。

`CSIHnCFGx.CSIHnPSx[1] = 1` であれば、パリティチェックが有効になります。

パリティビットは受信完了後にチェックされます。パリティエラーが発生すると、以下のことが行われます。

- 割り込み `INT_CSIHTIRE` が生成されます。
- `CSIHnSTR0.CSIHnPE` ビットがセットされます。

さらに、エラーが発生したデータの `CSIHnRX0W.CSIHnRPE` がセットされます。

以下の図に例を示します。

- データ長は 8 ビットです。
- 送信されるデータは `05H` と `35H` です。
- データ方向は LSB ファーストです。
- パリティタイプは奇数です。

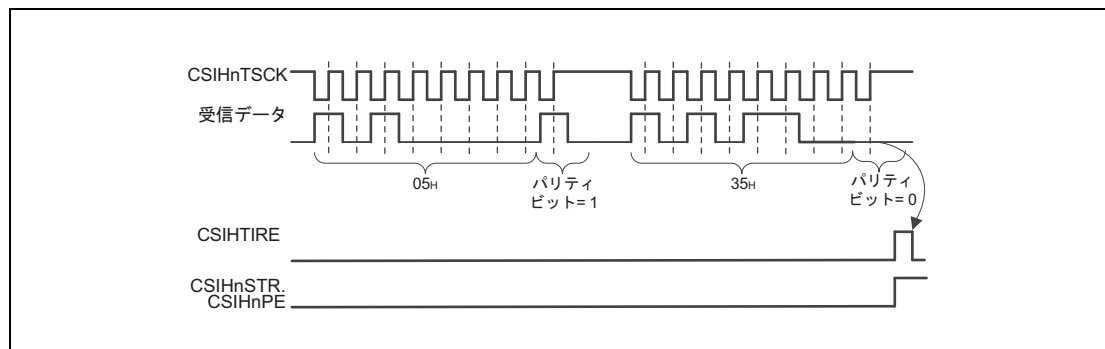


図 13.32 パリティチェックの例

1 つめのデータのパリティビットは 1 です。1 の総数（パリティビットを含む）が奇数であるため、パリティエラーは発生しません。

2 つめのデータのパリティビットは 0 です。1 の総数（パリティビットを含む）が偶数であるため、これはパリティエラーとして検出されます。

拡張データ長（EDL）機能を使用した場合、パリティビットは、データの最後のビットの後ろに追加されます。

(3) オーバランエラー

オーバランエラーは、ダイレクトアクセスモードで発生する可能性があります。データ受信が禁止されていると (CSIHnCTL0.CSIHnRXE = 0)、オーバランエラーは発生しません。

ダイレクトアクセス

ダイレクトアクセスモードでは、新たに受信したデータをシフトレジスタから受信レジスタ CSIHnRX0W/H へ転送できなくなると、このエラーが発生します。CSIHnRX0W/H が読み出されていないため、前に受信したデータが CSIHnRX0W/H に残っていると、その状態になります。

以下の図にオーバランエラー検出機能の仕組みを示します。

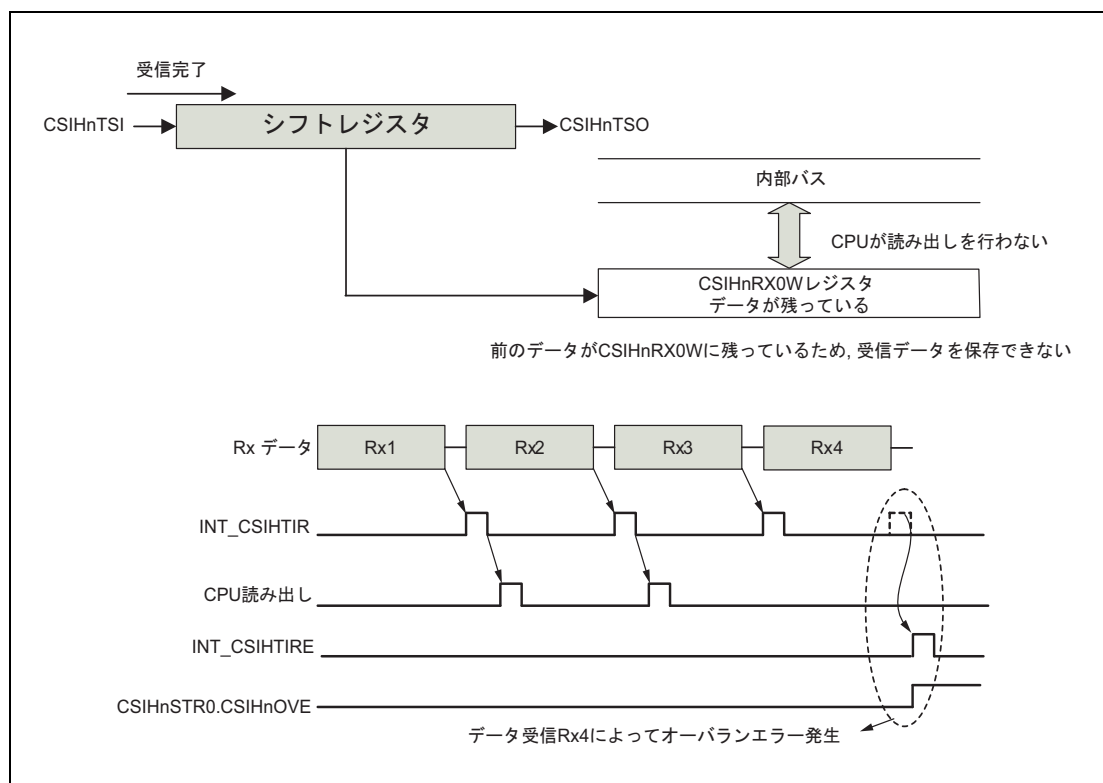


図 13.33 ダイレクトアクセスモードでのオーバランエラーの検出

オーバラン・エラーが発生すると、以下のことが行われます。

- INT_CSIHTIR の代わりに、INT_CSIHTIRE 割り込みが発生します。
- CSIHnSTR0.CSIHnOVE ビットがセットされます。
- CSIHnRX0W レジスタは、受信データによって上書きされます。

備考

スレーブモードでは、ハンドシェイク機能を利用してオーバランエラーを回避することができます。

スレーブモードでハンドシェイクを使用すると、受信側 (スレーブ) は送信側 (マスタ) に自分がビジーであることを伝えます。送信側は受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

詳細については「13.5.11 ハンドシェイク機能」を参照してください。

13.5.13 ループバックモード

ループバックモードは自己テスト用の特殊なモードです。この機能はマスタモードでのみ利用できます。

このモードがアクティブ (CSIHnCTL1.CSIHnLBM = 1) になっていると、CSIHnTCSSx はインアクティブレベルに固定されます (アクティブレベルは CSIHnCTL1.CSIHnCSLx の値で定義されます)。そして、以下の図に示すように、送信信号と受信信号が内部で接続されます。CSIHnTSCK 信号、CSIHnTSO 信号、CSIHnTSI 信号、CSIHnTCSSx 信号はポートから切り離されます。さらに、CSIHnTSO の出力レベルがロウレベルに固定され、CSIHnCFGx.CSIHnCKPx レジスタの値に関係なく、CSIHnTSCK はリセットレベル (High) に設定されます。CSIH のそれ以外の部分は通常どおりに動作します。

CSIH をテストするには、ループバックモードに設定し、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。

ループバックテストは接続先のデバイスに影響を与えません。

表 13.14 ループバックモード使用時の端子の出力レベル

| 端子名 | 出力レベル |
|----------------|----------------------|
| CSIHnTSCK(out) | ハイレベル |
| CSIHnTCSSx | インアクティブレベル |
| CSIHnTSO | ロウレベル (それまでの値に依存しない) |
| 割り込み | 通常の機能 |
| CSIHnTRY | 通常の機能 (ロウレベル) |

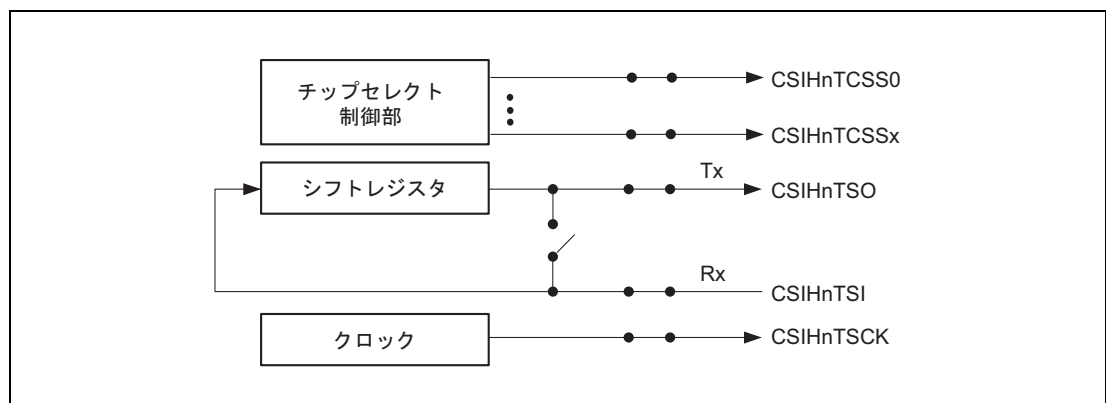


図 13.34 通常の動作

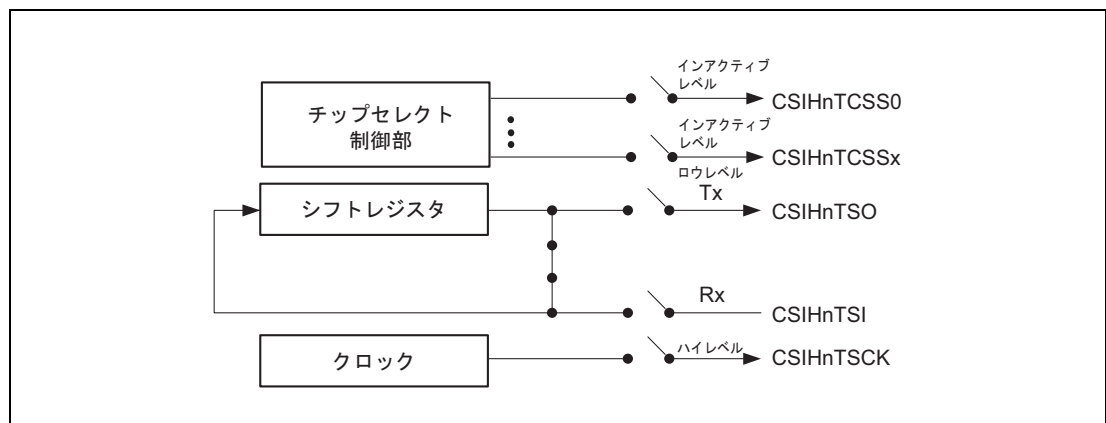


図 13.35 ループバックモードでの動作

13.5.14 強制 CS アイドル設定

本 CSIH は $CSIHnCFGx.CSIHnIDLx$ (x : チップセレクト信号 x) を設定することで、連続する 2 つの転送データ間にアイドル状態を挿入することができます。

1. $CSIHnCFGx.CSIHnIDLx$ が 0 のとき
次の $CSIHnTCSSx$ が前と同じ場合、アイドル状態が挿入されず、データ間時間が挿入されます。
次の $CSIHnTCSSx$ が前と違う場合、アイドル状態が挿入されます。
2. $CSIHnCFGx.CSIHnIDLx$ が 1 のとき
次の $CSIHnTCSSx$ が前と同じ場合でも、アイドル状態が常に挿入されます。

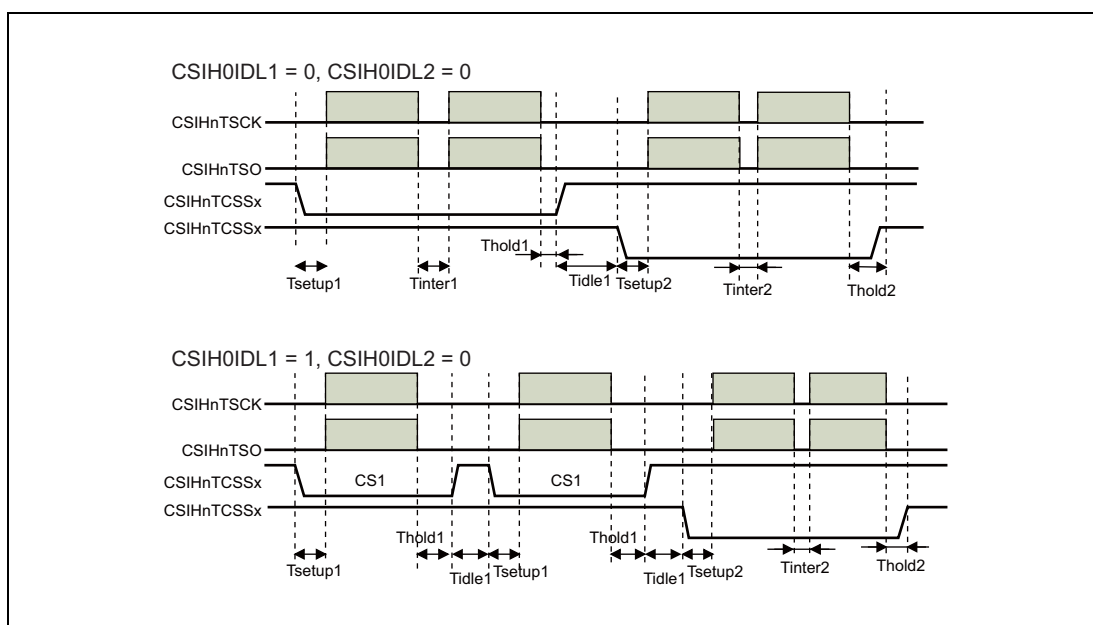


図 13.36 強制 CS アイドル設定の例

13.6 CSIH 制御レジスタ

CSIHn は、以下のレジスタによって制御され、操作されます。

表 13.15 CSIH レジスタの概要

| レジスタ名 | 略号 | アドレス |
|-----------------------------|------------|----------------------------------|
| CSIH 制御レジスタ 0 | CSIHnCTL0 | <CSIHn_base> + 0000 _H |
| CSIH 制御レジスタ 1 | CSIHnCTL1 | <CSIHn_base> + 0010 _H |
| CSIH 制御レジスタ 2 | CSIHnCTL2 | <CSIHn_base> + 0014 _H |
| CSIH ステータスレジスタ 0 | CSIHnSTR0 | <CSIHn_base> + 0004 _H |
| CSIH ステータスクリアレジスタ 0 | CSIHnSTCR0 | <CSIHn_base> + 0008 _H |
| CSIH コンフィグレーションレジスタ 0 | CSIHnCFG0 | <CSIHn_base> + 1044 _H |
| CSIH コンフィグレーションレジスタ 1 | CSIHnCFG1 | <CSIHn_base> + 1048 _H |
| CSIH コンフィグレーションレジスタ 2 | CSIHnCFG2 | <CSIHn_base> + 104C _H |
| CSIH コンフィグレーションレジスタ 3 | CSIHnCFG3 | <CSIHn_base> + 1050 _H |
| CSIH コンフィグレーションレジスタ 4 | CSIHnCFG4 | <CSIHn_base> + 1054 _H |
| CSIH コンフィグレーションレジスタ 5 | CSIHnCFG5 | <CSIHn_base> + 1058 _H |
| CSIH ワードアクセス用送信データレジスタ 0 | CSIHnTX0W | <CSIHn_base> + 1008 _H |
| CSIH ハーフワードアクセス用送信データレジスタ 0 | CSIHnTX0H | <CSIHn_base> + 100C _H |
| CSIH ワードアクセス用受信データレジスタ 0 | CSIHnRX0W | <CSIHn_base> + 1010 _H |
| CSIH ハーフワードアクセス用受信データレジスタ 0 | CSIHnRX0H | <CSIHn_base> + 1014 _H |
| CSIHn ポーレート設定レジスタ 0 | CSIHnBRS0 | <CSIHn_base> + 1068 _H |
| CSIHn ポーレート設定レジスタ 1 | CSIHnBRS1 | <CSIHn_base> + 106C _H |
| CSIHn ポーレート設定レジスタ 2 | CSIHnBRS2 | <CSIHn_base> + 1070 _H |
| CSIHn ポーレート設定レジスタ 3 | CSIHnBRS3 | <CSIHn_base> + 1074 _H |

<CSIHn_base>

CSIHn のベースアドレス <CSIHn_base> は、本章第 1 節のキーワード「レジスタアドレス」で定義されています。

13.6.1 CSIHnCTL0 — CSIH 制御レジスタ 0

本レジスタでは、動作クロックを制御し、送受信を許可/禁止し、送信または受信、あるいはその両方に割り当てられるメモリを有効または無効にします。また、現在のジョブの終了時に通信を強制的に停止します。

アクセス 8ビット単位または1ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 0000_H

リセット後の値 00_H 本レジスタは各種リセットにより初期化されます。

| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----------|----------|----------|---|---|---|-----------|----------|
| | CSIHnPWR | CSIHnTXE | CSIHnRXE | — | — | — | CSIHnJOBE | CSIHnMBS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R | R | R | R/W | R/W |

表 13.16 CSIHnCTL0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 7 | CSIHnPWR | 動作クロックを制御します。 0: 動作クロックを停止させます。 1: 動作クロックを供給します。 CSIHnPWR をクリア "0" すると、内部回路がリセットされ、動作が停止し、CSIH がスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中に CSIHnPWR をクリア (0) した場合、実行中の通信はただちに中止されます。その場合は、通信設定を最初からやり直す必要があります。 |
| 6 | CSIHnTXE | 送信を許可または禁止します。 0: 送信を禁止します。 1: 送信を許可します。 |
| 5 | CSIHnRXE | 受信を許可または禁止します。 0: 受信を禁止します。 1: 受信を許可します。 |
| 4 ~ 2 | — | 予約ビットです。書く場合は初期値を書き込んでください。 |
| 1 | CSIHnJOBE | 現在のジョブの終了時に通信を停止します (CSIHnTX0W.CSIHnEOJ = 1 (ジョブ終了) 時に送信バッファにデータを書き込まれると通信が終了になります)。 0: 通信停止を要求しません。 1: 通信を停止します。 このビットを使って実行中のジョブを中止することができます。このビットは自動的にクリア "0" されます。このビットをセット (1) しても、リード値は常に 0 です。 |
| 0 | CSIHnMBS | ダイレクトアクセスモードを設定します。 0: CSIH 送受信動作禁止 1: ダイレクトアクセスモード CSIH で送受信をする場合は、CSIHnMBS ビットには必ず 1 を書くようにしてください。 |

注 意

- CSIHnPWR = 0 のときは、CSIHnTXE, CSIHnRXE, CSIHnJOBE, CSIHnMBS ビットのいずれも変更しないでください。
CSIHnPWR = 1 のときに CSIHnMBS ビットを変更しないでください。
CSIHnPWR ビットを 0 から 1 に変更すると同時に、CSIHnTXE, CSIHnRXE, CSIHnMBS ビットを変更することはできません。
CSIHnMBS ビットを変更するときは、CSIHnPWR ビットを 0 から 1 に変更すると同時に変更してください。
- データ送信が保留中または進行中、つまり CSIHnSTR0.CSIHnTSF = 1 のときに、CSIHnTXE または CSIHnRXE または CSIHnMBS を変更しないでください。

13.6.2 CSIHnCTL1 — CSIH 制御レジスタ 1

本レジスタでは、割り込みのタイミングと割り込み遅延モードを指定します。本レジスタは、拡張データ長制御、データ整合性チェック、ループバックモード、ハンドシェイク機能、ジョブモードを有効または無効する機能も持っています。また、各チップセレクト信号のアクティブ出力レベルと、最後のデータを転送したあとのチップセレクト信号の動作の選択も行います。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 0010_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|-------------|--------------|---------------|--------------|--------------|--------------|---------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | CSIHn CKR | CSIHn SLIT |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CSIHn CSL7 | CSIHn CSL6 | CSIHn CSL5 | CSIHn CSL4 | CSIHn CSL3 | CSIHn CSL2 | CSIHn CSL1 | CSIHn CSL0 | CSIHn EDLE | CSIHn JE | CSIHn DCS | CSIHn CSRI | CSIHn LBM | CSIHn SIT | CSIHn HSE | CSIHn SSE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

注 意

本レジスタの内容は、CSIHnCTL0.CSIHnPWR = 0 のときにのみ変更することができます。

表 13.17 CSIHnCTL1 レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|---------------|--|
| 31 ~ 18 | — | 予約ビットです。書く場合は初期値を書き込んでください。 |
| 17 | CSIHnCKR | CSIHnTSCK のクロック反転機能 0 : CSIHnTSCK のデフォルトレベルはハイレベル 1 : CSIHnTSCK のデフォルトレベルはロウレベル 詳細については、「13.6.6 CSIHnCFGx — CSIH コンフィグレーションレジスタ x」を参照してください。 注意 チップセレクト機能を使用せずこのビットを使用する場合は、CSIHnCFGx.CSIHnCKPx = 0 に設定してください。 |
| 16 | CSIHnSLIT | 割り込み INT_CSIHTIC のタイミングを選択します。 0 : 通常の割り込みのタイミング (転送後に割り込みを生成します)。 1 : CSIHnTX0W/H レジスタの内容がシフトレジスタに転送されると、ただちに割り込みが生成されます。 詳細については、「13.5.10 CSIH の割り込み要求」の「(3) INT_CSIHTIC (通信ステータス割り込み)」を参照してください。 |
| 15 ~ 8 | CSIHnCSL[7:0] | チップセレクト信号 x (CSIHnTCSSx) のアクティブ出力レベルを選択します (n = 0 ~ 7)。 0 : チップセレクト信号をアクティブロウにします。 1 : チップセレクト信号をアクティブハイにします。 詳細については、「13.5.3 チップセレクト (CS) 機能」を参照してください。 |
| 7 | CSIHnEDLE | 拡張データ長 (EDL) モードを有効または無効にします。 0 : 拡張データ長モードを無効にします。 1 : 拡張データ長モードを有効にします。 詳細については、「13.5.7 データ長の選択」の「(2) 16 ビットを上回るデータ長」を参照してください。 |

表 13.17 CSIHnCTL1 レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|-----------|--|
| 6 | CSIHnJE | <p>ジョブモードを有効または無効にします。</p> <p>0: ジョブモードを無効にします。</p> <p>1: ジョブモードを有効にします。</p> <p>詳細については、「13.5.3 チップセレクト (CS) 機能」の「(3) ジョブ概念」を参照してください。</p> <p>CSIHnCTL0.CSIHnJOBE, CSIHnTX0W.CSIHnEOJ ビットは CSIHnJE = 1 のときにのみ有効です。</p> <p>このビットはスレーブモードでは設定禁止です。</p> <p>備考 CSIHnJE = 0 のときは、1 データ通信完了で INTC_CSIHnTIC 割り込みが発生します。</p> <p>CSIHnJE = 1 のときも、1 データ通信完了で INTC_CSIHnTIC 割り込みが発生しますが、CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1 ならば、1 データ通信完了で INTC_CSIHnTIC の代わりに、INTC_CSIHnTIJC 割り込みが発生します。</p> |
| 5 | CSIHnDCS | <p>データ整合性チェックを有効または無効にします。</p> <p>0: データ整合性チェックを無効にします。</p> <p>1: データ整合性チェックを有効にします。</p> <p>詳細については、「13.5.12 エラー検出」の「(1) データ整合性チェック」を参照してください。</p> |
| 4 | CSIHnCSRI | <p>最後のデータが転送されたあとのチップセレクト信号の動作を定義します。</p> <p>0: チップセレクト信号がアクティブレベルを保持します。</p> <p>1: チップセレクト信号がインアクティブレベルに戻ります。</p> <p>最後のデータの判定は、CSIHnCTL1.CSIHnSLIT = 1 のときの割り込みタイミングで行います。</p> |
| 3 | CSIHnLBM | <p>ループバックモード (LBM) を制御します。</p> <p>0: ループバックモードを非アクティブにします。</p> <p>1: ループバックモードをアクティブにします。</p> <p>詳細については、「13.5.13 ループバックモード」を参照してください。</p> <p>このビットはスレーブモードでは設定禁止です。</p> |
| 2 | CSIHnSIT | <p>割り込み遅延モードを選択します。</p> <p>0: 遅延を生成しません。</p> <p>1: すべての割り込みについて半クロック周期の遅延を生成します。</p> <p>このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。</p> <p>詳細については、「13.5.10 CSIH の割り込み要求」の「(2) 割り込み遅延」を参照してください。</p> |
| 1 | CSIHnHSE | <p>ハンドシェイク機能を有効または無効にします。</p> <p>0: ハンドシェイク機能を無効にします。</p> <p>1: ハンドシェイク機能を有効にします。</p> <p>詳細については、「13.5.11 ハンドシェイク機能」を参照してください。</p> |
| 0 | CSIHnSSE | <p>スレーブ選択機能を有効または無効にします。</p> <p>0: 入力信号 CSIHnTSSI を無効にします。</p> <p>1: 入力信号 CSIHnTSSI を認識します。</p> <p>スレーブ選択機能を使用しない場合は、このビットを 0 に設定する必要があります (「13.5.2 マスタ/スレーブの接続」も参照してください)。</p> |

CSIHnCTL1.CSIHnSSE の詳細を次に示します。

表 13.18 受信中のスレーブ選択機能の動作

| CSIHnCTL0. CSIHnRXE | CSIHnCTL1. CSIHnSSE | CSIHnTSSI | 受信動作 |
|------------------------|------------------------|-----------|-----------|
| 0 | — | — | 受信を禁止します。 |
| 1 | 0 | — | 可能 |
| 1 | 1 | 0 | 可能 |
| 1 | 1 | 1 | 無効 |

表 13.19 送信中のスレーブ選択機能の動作

| CSIHnCTL0. CSIHnTXE | CSIHnCTL1. CSIHnSSE | $\overline{\text{CSIHnTSSI}}$ | 送信動作 |
|------------------------|------------------------|-------------------------------|-----------|
| 0 | — | — | 送信を禁止します。 |
| 1 | 0 | — | 可能 |
| 1 | 1 | 0 | 可能 |
| 1 | 1 | 1 | 無効 |

13.6.3 CSIHnCTL2 — CSIH 制御レジスタ 2

本レジスタでは動作モードと基本クロックの値を選択し、ボーレートを指定します。

詳細については、「13.5.5 送信クロックの選択」を参照してください。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 0014_H

リセット後の値 E000_H 本レジスタは各種リセットにより初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|---------------|-----|-----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CSIHnPRS[2:0] | | | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R |

注 意

本レジスタの内容は、CSIHnCTL0.CSIHnPWR = 0 のときにのみ変更することができます。

表 13.20 CSIHnCTL2 レジスタの内容

| ビット位置 | ビット名 | 機能 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|--------------------------|---------------|--|------------------------------------|-----------|------------------|-------------|---|---|---|---------------|---|---|---|-----------------|---|---|---|-----------------|---|---|---|-----------------|---|---|---|------------------|---|---|---|------------------|---|---|---|------------------|---|---|---|------------------------------------|
| 15 ~ 13 | CSIHnPRS[2:0] | 基本クロック (PRSOUT) の選択 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | <table border="1"> <thead> <tr> <th>CSIHnPRS2</th> <th>CSIHnPRS1</th> <th>CSIHnPRS0</th> <th>プリスケアラ選択ビット</th> </tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>PCLK (マスタモード)</td> </tr> <tr> <td>0</td><td>0</td><td>1</td><td>PCLK/2 (マスタモード)</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>PCLK/4 (マスタモード)</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>PCLK/8 (マスタモード)</td> </tr> <tr> <td>1</td><td>0</td><td>0</td><td>PCLK/16 (マスタモード)</td> </tr> <tr> <td>1</td><td>0</td><td>1</td><td>PCLK/32 (マスタモード)</td> </tr> <tr> <td>1</td><td>1</td><td>0</td><td>PCLK/64 (マスタモード)</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>CSIHnTSCK (in) 経由の外部クロック (スレーブモード)</td> </tr> </tbody> </table> | CSIHnPRS2 | CSIHnPRS1 | CSIHnPRS0 | プリスケアラ選択ビット | 0 | 0 | 0 | PCLK (マスタモード) | 0 | 0 | 1 | PCLK/2 (マスタモード) | 0 | 1 | 0 | PCLK/4 (マスタモード) | 0 | 1 | 1 | PCLK/8 (マスタモード) | 1 | 0 | 0 | PCLK/16 (マスタモード) | 1 | 0 | 1 | PCLK/32 (マスタモード) | 1 | 1 | 0 | PCLK/64 (マスタモード) | 1 | 1 | 1 | CSIHnTSCK (in) 経由の外部クロック (スレーブモード) |
| | | CSIHnPRS2 | CSIHnPRS1 | CSIHnPRS0 | プリスケアラ選択ビット | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | 0 | 0 | 0 | PCLK (マスタモード) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | 0 | 0 | 1 | PCLK/2 (マスタモード) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | 0 | 1 | 0 | PCLK/4 (マスタモード) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | 0 | 1 | 1 | PCLK/8 (マスタモード) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | 1 | 0 | 0 | PCLK/16 (マスタモード) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | 1 | 0 | 1 | PCLK/32 (マスタモード) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | 1 | 1 | 0 | PCLK/64 (マスタモード) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | CSIHnTSCK (in) 経由の外部クロック (スレーブモード) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 注 意 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 最大ボーレートの設定は以下のとおりです。 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| - マスタモード : PCLK の 8 分周 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| - スレーブモード : PCLK の 20 分周 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 12 ~ 0 | — | 予約ビットです。書く場合は初期値を書き込んでください。 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

マスタモードでは、以下のビットを使って送信ボーレートを設定します。

CSIHnCTL2.CSIHnPRS2-0,

CSIHnCFGx.CSIHnBRSSx1-0,

CSIHnBRSi.CSIHnBRSi11-0

また、CSIHnBRSi (i = 0 ~ 3).CSIHnBRSi11-0 (i = 0 ~ 3) ビットで設定される 4 種類のボーレート設定は、チップセレクト信号ごとに、その何れかの設定が選択されます。チップセレクト信号ごとのボーレート設定の選択は、CSIHnCFGx.CSIHnBRSSx1-0 ビットにて行います。

CSIHnCFGx.CSIHnBRSSx1-0 と CSIHnBRSi (i = 0 ~ 3).CSIHnBRSi11-0 (i = 0 ~ 3) の関係は以下のとおりです。

| CSIHnCFGx CSIHnBRSSx1-0 | 選択されるボーレート設定ビット |
|----------------------------|--------------------------|
| 00 | CSIHnBRS0.CSIHnBRS0 11-0 |
| 01 | CSIHnBRS1.CSIHnBRS1 11-0 |
| 10 | CSIHnBRS2.CSIHnBRS2 11-0 |
| 11 | CSIHnBRS3.CSIHnBRS3 11-0 |

CSIHnPRS[2:0] ビットの値を m とした場合、CSIHnBRSSx[1:0] にて選択されたボーレート設定 (CSIHnBRSi[11:0]) とボーレートの関係は、以下のとおりです。

| CSIHnBRSx11-0(k) | Baud rate Selection Bits |
|------------------|-------------------------------------|
| 0 | BRG stopped |
| 1 | $PLCK / (2^m \times 1 \times 2)$ |
| 2 | $PLCK / (2^m \times 2 \times 2)$ |
| 3 | $PLCK / (2^m \times 3 \times 2)$ |
| 4 | $PLCK / (2^m \times 4 \times 2)$ |
| : | : |
| k | $PLCK / (2^m \times k \times 2)$ |
| : | : |
| 4095 | $PLCK / (2^m \times 4095 \times 2)$ |

13.6.4 CSIHnSTR0 — CSIH ステータスレジスタ 0

本レジスタはCSIHの状態を示します。

アクセス 32ビット単位でリード可能です。

アドレス <CSIHn_base> + 0004_H

リセット後の値 0000 0010_H 本レジスタは各種リセットにより初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|--------------|----|----|----|--------------|----|-------------|--------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | CSIHn TSF | — | — | — | CSIHn DCE | — | CSIHn PE | CSIHn OVE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 13.21 CSIHnSTR0 レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 | | | | | | | | | | | | | | | | | | |
|---------|-------------------|---|--------|-------------|-------------|---------|--------------|-------------------------|--------|---------|---------|-------------|-------------|---------|--------------|-------------------------|--------|---------|-------------------|--|
| 31 ~ 8 | — | 予約ビットです。 | | | | | | | | | | | | | | | | | | |
| 7 | CSIHnTSF | 転送ステータスフラグ 0: アイドル状態 1: 通信中または通信の準備中 このビットがセットまたはクリアされるタイミングを以下に示します。 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>マスタモード</th> <th>セットされるタイミング</th> <th>クリアされるタイミング</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="3">送信レジスタへの書き込み</td> <td rowspan="3">最後のシリアルクロックエッジから半クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> </tr> </tbody> </table> <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>スレーブモード</th> <th>セットされるタイミング</th> <th>クリアされるタイミング</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="2">送信レジスタへの書き込み</td> <td rowspan="2">最後のシリアルクロックエッジから半クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> <td>CSIHnTSCK 入カタイミング</td> <td></td> </tr> </tbody> </table> | マスタモード | セットされるタイミング | クリアされるタイミング | 送信専用モード | 送信レジスタへの書き込み | 最後のシリアルクロックエッジから半クロック以内 | 送受信モード | 受信専用モード | スレーブモード | セットされるタイミング | クリアされるタイミング | 送信専用モード | 送信レジスタへの書き込み | 最後のシリアルクロックエッジから半クロック以内 | 送受信モード | 受信専用モード | CSIHnTSCK 入カタイミング | |
| マスタモード | セットされるタイミング | クリアされるタイミング | | | | | | | | | | | | | | | | | | |
| 送信専用モード | 送信レジスタへの書き込み | 最後のシリアルクロックエッジから半クロック以内 | | | | | | | | | | | | | | | | | | |
| 送受信モード | | | | | | | | | | | | | | | | | | | | |
| 受信専用モード | | | | | | | | | | | | | | | | | | | | |
| スレーブモード | セットされるタイミング | クリアされるタイミング | | | | | | | | | | | | | | | | | | |
| 送信専用モード | 送信レジスタへの書き込み | 最後のシリアルクロックエッジから半クロック以内 | | | | | | | | | | | | | | | | | | |
| 送受信モード | | | | | | | | | | | | | | | | | | | | |
| 受信専用モード | CSIHnTSCK 入カタイミング | | | | | | | | | | | | | | | | | | | |
| 6 ~ 4 | — | 予約ビットです。 | | | | | | | | | | | | | | | | | | |
| 3 | CSIHnDCE | データ整合性チェックエラーフラグ 0: データ整合性エラーが検出されていません。 1: データ整合性エラーが検出されています。 このビットは CSIHnSTCR0.CSIHnDCEC に "1" を書き込むことによってクリア "0" されます。このビットにセット "1" とクリア "0" を同時に行った場合、セット "1" が優先されます。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。 | | | | | | | | | | | | | | | | | | |

表 13.21 CSIHnSTR0 レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|----------|--|
| 2 | — | 予約ビットです。 |
| 1 | CSIHnPE | <p>パリティエラーフラグ</p> <p>0: パリティエラーが検出されていません。</p> <p>1: パリティエラーが検出されています。</p> <p>詳細は「13.5.12 エラー検出」の「(2) パリティチェック」を参照してください。</p> <p>このビットは、CSIHnSTCR0.CSIHnPEC ビットによってクリアされます。</p> <p>このビットにセット (1) とクリア "0" が同時に行われた場合、セットがクリアより優先されます。</p> |
| 0 | CSIHnOVE | <p>オーバランエラーフラグ</p> <p>0: オーバランエラーが検出されていません。</p> <p>1: オーバランエラーが検出されています。</p> <p>このビットは CSIHnSTCR0.CSIHnOVEC に "1" を書き込むことによってクリア "0" されます。このビットにセット "1" とクリア "0" を同時に行った場合、セット "1" が優先されます。</p> <p>このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。</p> |

13.6.5 CSIHnSTCR0 — CSIH ステータスクリアレジスタ 0

本レジスタは CSIHnSTR0 ステータスレジスタのステータスフラグをクリアします。

アクセス 16 ビット単位でリード/ライト可能です。
読み出すと、常に値 0000_H が返されます。

アドレス <CSIHn_base> + 0008_H

リセット後の値 0000_H 本レジスタは各種リセットにより初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|---|---|---|---|---|---|---------------|---|--------------|---------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | CSIHn DCEC | — | CSIHn PEC | CSIHn OVEC |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R | R/W | R/W |

表 13.22 CSIHnSTCR0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------|--|
| 15 ~ 4 | — | 予約ビットです。書く場合は初期値を書き込んでください。 |
| 3 | CSIHnDCEC | データ整合性エラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に0になります。 1: データ整合性エラーフラグ (CSIHnSTR0.CSIHnDCE) をクリアします。 |
| 2 | — | 予約ビットです。書く場合は初期値を書き込んでください。 |
| 1 | CSIHnPEC | パリティエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に0になります。 1: パリティエラーフラグ (CSIHnSTR0.CSIHnPE) をクリアします。 |
| 0 | CSIHnOVEC | オーバランエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に0になります。 1: オーバランエラーフラグ (CSIHnSTR0.CSIHnOVE) をクリアします。 |

13.6.6 CSIHnCFGx — CSIH コンフィグレーションレジスタ x

これらのレジスタでは、各チップセレクト信号 CSIHnTCSSx のプリスケアラ、パリティ、データ長、ブロードキャスティング用のリセッシブの設定、シリアルデータ方向、クロック位相とデータ位相、強制アイドル状態の設定、アイドル時間、ホールド時間、データ間時間、セットアップ時間を指定します。

スレーブモード

スレーブモードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります。

- CSIHnPS0[1:0] : パリティの使用法
- CSIHnDLS0[3:0] : データ長の選択
- CSIHnDIR0 : データ方向
- CSIHnCKP0, CSIHnDAP0 : クロック位相とデータ位相

スレーブモードでは CSIHnCFG0 レジスタ以外のレジスタ設定は無視されます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス CSIHnCFG0 : <CSIHn_base> + 1044_H
 CSIHnCFG1 : <CSIHn_base> + 1048_H
 CSIHnCFG2 : <CSIHn_base> + 104C_H
 CSIHnCFG3 : <CSIHn_base> + 1050_H
 CSIHnCFG4 : <CSIHn_base> + 1054_H
 CSIHnCFG5 : <CSIHn_base> + 1058_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|------------------|---------------|----------------|-----|----------------|-----|-----|-----|---------------|-----|-----|-----|---------------|------------|------------|------------|
| | CSIHn BRSSx[1:0] | | CSIHn PSx[1:0] | | CSIHnDLSx[3:0] | | | | — | — | — | — | CSIHn RCBx | CSIHn DIRx | CSIHn CKPx | CSIHn DAPx |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CSIHn IDLx | CSIHnIDx[2:0] | | | CSIHnHDx[3:0] | | | | CSIHnINx[3:0] | | | | CSIHnSPx[3:0] | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

注意

CSIHnCTL0.CSIHnPWR = 0 のときのみ書き換えが可能です (同値書き込みなら CSIHnCTL0.CSIHnPWR = 1 でも可能です)。

表 13.23 CSIHnCFGx レジスタの内容 (1/4)

| ビット位置 | ビット名 | 機能 | | | |
|---|---------------------|---|-------------------------|--------------------------------|----------------------------------|
| 31、30 | CSIHnBRSSx [1:0] | ボーレートを設定するレジスタです。 | | | |
| | | CSIHn BRSSx1 | CSIHn BRSSx0 | ボーレート設定レジスタの選択 | |
| | | 0 | 0 | CSIH0BRS0 の設定にしたがいボーレートを設定します。 | |
| | | 0 | 1 | CSIH0BRS1 の設定にしたがいボーレートを設定します。 | |
| | | 1 | 0 | CSIH0BRS2 の設定にしたがいボーレートを設定します。 | |
| 1 | 1 | CSIH0BRS3 の設定にしたがいボーレートを設定します。 | | | |
| ボーレート設定の最大値は、CSIH0CTL2.PRS2-0 設定と合わせて、以下のとおりとしてください。 マスタモード：PLCK/8、スレーブモード：PLCK/20 | | | | | |
| 29、28 | CSIHnPSx[1:0] | チップセレクト信号 x の送信用と受信用のパリティを選択します。 | | | |
| | | CSIHn PSx1 | CSIHn PSx0 | 送信 | 受信 |
| | | 0 | 0 | パリティを送信しません。 | パリティの受信を待機しません。 |
| | | 0 | 1 | 0 に固定されたパリティビットを追加します。 | パリティビットの受信を待機しますが、パリティの判定は行いません。 |
| | | 1 | 0 | 奇数パリティを追加します。 | 奇数パリティビットの受信を待機します。 |
| 1 | 1 | 偶数パリティを追加します。 | 偶数パリティビットの受信を待機します。 | | |
| 27 ~ 24 | CSIHnDLSx [3:0] | チップセレクト信号 x のデータ長を選択します。 | | | |
| | | CSIHn DLSx[3:0] | データ長 | | |
| | | 0000 _B | 16 ビット | | |
| | | 0001 _B | 1 ビット | | |
| | | 0010 _B | 2 ビット | | |
| | | ... | ... | | |
| | | 1111 _B | 15 ビット | | |
| 注意 | | | | | |
| CSIH0TX0W.CSIH0EDL = 1 のとき、このビットの設定は意味を持ちません (データ長は 16 ビット)。 CSIH0TX0W.CSIH0EDL = 0 のとき、このビットの設定が有効になります。1 つ前の送信データが CSIH0EDL = 1 設定の 16 ビットであるときだけ、1 ビットを設定することが可能です。 | | | | | |
| 23 ~ 20 | — | 予約ビットです。書く場合は初期値を書き込んでください。 | | | |
| 19 | CSIHnRCBx | チップセレクト信号 x のブロードキャストのリセツシブ設定を選択します。 0：ドミナント (高優先度) 1：リセツシブ (低優先度) 詳細については、「13.5.3 チップセレクト (CS) 機能」の「(1) コンフィグレーションレジスタ」を参照してください。 | | | |
| 18 | CSIHnDIRx | シリアルデータ方向の選択 0：MSB ファーストでデータを送受信します。 1：LSB ファーストでデータを送受信します。 詳細については、「13.5.8 シリアルデータ方向の選択」を参照してください。 | | | |

表 13.23 CSIHnCFGx レジスタの内容 (2/4)

| ビット位置 | ビット名 | 機能 | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-----------|-----------|--|-----------|-----------|-----------------|---|---|--|---|---|--|---|---|--|---|---|--|-----------|-----------|-----------------|---|---|--|---|---|--|---|---|------|
| 17 | CSIHnCKPx | CSIHnCKPx : クロック位相選択ビット | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 16 | CSIHnDAPx | CSIHnDAPx : データ位相選択ビット <ul style="list-style-type: none"> CSIHnCTL1.CSIHnCKR = 0 <table border="1"> <thead> <tr> <th>CSIHnCKPx</th> <th>CSIHnDAPx</th> <th>クロック位相とデータ位相の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>0</td> <td> </td> </tr> <tr> <td>1</td> <td>1</td> <td> </td> </tr> </tbody> </table> <ul style="list-style-type: none"> CSIHnCTL1.CSIHnCKR = 1 <table border="1"> <thead> <tr> <th>CSIHnCKPx</th> <th>CSIHnDAPx</th> <th>クロック位相とデータ位相の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>X</td> <td>設定禁止</td> </tr> </tbody> </table> | CSIHnCKPx | CSIHnDAPx | クロック位相とデータ位相の選択 | 0 | 0 | | 0 | 1 | | 1 | 0 | | 1 | 1 | | CSIHnCKPx | CSIHnDAPx | クロック位相とデータ位相の選択 | 0 | 0 | | 0 | 1 | | 1 | X | 設定禁止 |
| CSIHnCKPx | CSIHnDAPx | クロック位相とデータ位相の選択 | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CSIHnCKPx | CSIHnDAPx | クロック位相とデータ位相の選択 | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | X | 設定禁止 | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 15 | CSIHnIDLx | <p>チップセレクト信号 x の強制アイドル状態の設定を選択します。</p> <p>0 : 連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定が違えば、2 つの転送の間に必ずアイドル状態が入ります。連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定が同じならば、2 つの転送の間にアイドル状態はありません。</p> <p>1 : 連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定に関係なく、2 つの転送の間にアイドル状態が入ります。</p> <p>このビットはマスタモードでのみ利用できます。 強制アイドル状態については「13.5.14 強制 CS アイドル設定」を参照してください</p> | | | | | | | | | | | | | | | | | | | | | | | | | | | |

表 13.23 CSIHnCFGx レジスタの内容 (3/4)

| ビット位置 | ビット名 | 機能 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-------------------|-----------------------------------|---|---------------|-----------------------------------|-----------------------------------|-------------------|------------------|--------------|-------------------|--------------|------------------|-------------------|------------------|--------------|-------------------|--------------|------------------|-------------------|------------------|--------------|-------------------|--------------|--------------|-------------------|--------------|--------------|-------------------|--------------|--------------|-------------------|--------------|---------------|-------------------|---------------|---------------|-------------------|---------------|---------------|-------------------|---------------|---------------|-------------------|---------------|---------------|-------------------|---------------|---------------|-------------------|---------------|---------------|-------------------|---------------|---------------|
| 14 ~ 12 | CSIHnIDx[2:0] | <p>チップセレクト信号 x のアイドル時間を選択します。</p> <table border="1"> <thead> <tr> <th>CSIHnIDx[2:0]</th> <th>アイドル時間</th> </tr> </thead> <tbody> <tr><td>000_B</td><td>0.5 送信クロック周期</td></tr> <tr><td>001_B</td><td>1.0 送信クロック周期</td></tr> <tr><td>010_B</td><td>1.5 送信クロック周期</td></tr> <tr><td>011_B</td><td>2.5 送信クロック周期</td></tr> <tr><td>100_B</td><td>3.5 送信クロック周期</td></tr> <tr><td>101_B</td><td>4.5 送信クロック周期</td></tr> <tr><td>110_B</td><td>6.5 送信クロック周期</td></tr> <tr><td>111_B</td><td>8.5 送信クロック周期</td></tr> </tbody> </table> <p>これらのビットはマスタモードでのみ利用可能です。</p> | CSIHnIDx[2:0] | アイドル時間 | 000 _B | 0.5 送信クロック周期 | 001 _B | 1.0 送信クロック周期 | 010 _B | 1.5 送信クロック周期 | 011 _B | 2.5 送信クロック周期 | 100 _B | 3.5 送信クロック周期 | 101 _B | 4.5 送信クロック周期 | 110 _B | 6.5 送信クロック周期 | 111 _B | 8.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CSIHnIDx[2:0] | アイドル時間 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 000 _B | 0.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 001 _B | 1.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 010 _B | 1.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 011 _B | 2.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 100 _B | 3.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 101 _B | 4.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 110 _B | 6.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 111 _B | 8.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 11 ~ 8 | CSIHnHDx [3:0] | <p>チップセレクト信号 x のホールド時間を送信クロック周期単位で指定します。</p> <table border="1"> <thead> <tr> <th>CSIHnHDx[3:0]</th> <th>CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間</th> <th>CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>0.5 送信クロック周期</td><td>1.0 送信クロック周期</td></tr> <tr><td>0001_B</td><td>1.0 送信クロック周期</td><td>1.5 送信クロック周期</td></tr> <tr><td>0010_B</td><td>1.5 送信クロック周期</td><td>2.0 送信クロック周期</td></tr> <tr><td>0011_B</td><td>2.5 送信クロック周期</td><td>3.0 送信クロック周期</td></tr> <tr><td>0100_B</td><td>3.5 送信クロック周期</td><td>4.0 送信クロック周期</td></tr> <tr><td>0101_B</td><td>4.5 送信クロック周期</td><td>5.0 送信クロック周期</td></tr> <tr><td>0110_B</td><td>6.5 送信クロック周期</td><td>7.0 送信クロック周期</td></tr> <tr><td>0111_B</td><td>8.5 送信クロック周期</td><td>9.0 送信クロック周期</td></tr> <tr><td>1000_B</td><td>9.5 送信クロック周期</td><td>10.0 送信クロック周期</td></tr> <tr><td>1001_B</td><td>10.5 送信クロック周期</td><td>11.0 送信クロック周期</td></tr> <tr><td>1010_B</td><td>11.5 送信クロック周期</td><td>12.0 送信クロック周期</td></tr> <tr><td>1011_B</td><td>12.5 送信クロック周期</td><td>13.0 送信クロック周期</td></tr> <tr><td>1100_B</td><td>14.5 送信クロック周期</td><td>15.0 送信クロック周期</td></tr> <tr><td>1101_B</td><td>16.5 送信クロック周期</td><td>17.0 送信クロック周期</td></tr> <tr><td>1110_B</td><td>18.5 送信クロック周期</td><td>19.0 送信クロック周期</td></tr> <tr><td>1111_B</td><td>20.5 送信クロック周期</td><td>21.0 送信クロック周期</td></tr> </tbody> </table> <p>これらのビットはマスタモードでのみ利用可能です。</p> | CSIHnHDx[3:0] | CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間 | CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間 | 0000 _B | 0.5 送信クロック周期 | 1.0 送信クロック周期 | 0001 _B | 1.0 送信クロック周期 | 1.5 送信クロック周期 | 0010 _B | 1.5 送信クロック周期 | 2.0 送信クロック周期 | 0011 _B | 2.5 送信クロック周期 | 3.0 送信クロック周期 | 0100 _B | 3.5 送信クロック周期 | 4.0 送信クロック周期 | 0101 _B | 4.5 送信クロック周期 | 5.0 送信クロック周期 | 0110 _B | 6.5 送信クロック周期 | 7.0 送信クロック周期 | 0111 _B | 8.5 送信クロック周期 | 9.0 送信クロック周期 | 1000 _B | 9.5 送信クロック周期 | 10.0 送信クロック周期 | 1001 _B | 10.5 送信クロック周期 | 11.0 送信クロック周期 | 1010 _B | 11.5 送信クロック周期 | 12.0 送信クロック周期 | 1011 _B | 12.5 送信クロック周期 | 13.0 送信クロック周期 | 1100 _B | 14.5 送信クロック周期 | 15.0 送信クロック周期 | 1101 _B | 16.5 送信クロック周期 | 17.0 送信クロック周期 | 1110 _B | 18.5 送信クロック周期 | 19.0 送信クロック周期 | 1111 _B | 20.5 送信クロック周期 | 21.0 送信クロック周期 |
| CSIHnHDx[3:0] | CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間 | CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0000 _B | 0.5 送信クロック周期 | 1.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0001 _B | 1.0 送信クロック周期 | 1.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0010 _B | 1.5 送信クロック周期 | 2.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0011 _B | 2.5 送信クロック周期 | 3.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0100 _B | 3.5 送信クロック周期 | 4.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0101 _B | 4.5 送信クロック周期 | 5.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0110 _B | 6.5 送信クロック周期 | 7.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0111 _B | 8.5 送信クロック周期 | 9.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1000 _B | 9.5 送信クロック周期 | 10.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1001 _B | 10.5 送信クロック周期 | 11.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1010 _B | 11.5 送信クロック周期 | 12.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1011 _B | 12.5 送信クロック周期 | 13.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1100 _B | 14.5 送信クロック周期 | 15.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1101 _B | 16.5 送信クロック周期 | 17.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1110 _B | 18.5 送信クロック周期 | 19.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1111 _B | 20.5 送信クロック周期 | 21.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

表 13.23 CSIHnCFGx レジスタの内容 (4/4)

| ビット位置 | ビット名 | 機能 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-------------------|-----------------------------------|--|---------------|-----------------------------------|-----------------------------------|-------------------|-------------------|--------------|-------------------|--------------|-------------------|-------------------|-------------------|--------------|-------------------|--------------|-------------------|-------------------|-------------------|--------------|-------------------|--------------|-------------------|-------------------|-------------------|---------------|-------------------|---------------|-------------------|-------------------|-------------------|---------------|-------------------|---------------|-------------------|-------------------|---------------|---------------|-------------------|---------------|---------------|-------------------|---------------|---------------|-------------------|---------------|---------------|-------------------|---------------|---------------|-------------------|---------------|---------------|
| 7 ~ 4 | CSIHnINx[3:0] | チップセレクト信号 x のデータ間時間を送信クロック周期単位で指定します。 <table border="1"> <thead> <tr> <th>CSIHnINx[3:0]</th> <th>CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間</th> <th>CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>0.0 送信クロック周期</td><td>0.5 送信クロック周期</td></tr> <tr><td>0001_B</td><td>0.5 送信クロック周期</td><td>1.0 送信クロック周期</td></tr> <tr><td>0010_B</td><td>1.0 送信クロック周期</td><td>1.5 送信クロック周期</td></tr> <tr><td>0011_B</td><td>2.0 送信クロック周期</td><td>2.5 送信クロック周期</td></tr> <tr><td>0100_B</td><td>3.0 送信クロック周期</td><td>3.5 送信クロック周期</td></tr> <tr><td>0101_B</td><td>4.0 送信クロック周期</td><td>4.5 送信クロック周期</td></tr> <tr><td>0110_B</td><td>6.0 送信クロック周期</td><td>6.5 送信クロック周期</td></tr> <tr><td>0111_B</td><td>8.0 送信クロック周期</td><td>8.5 送信クロック周期</td></tr> <tr><td>1000_B</td><td>9.0 送信クロック周期</td><td>9.5 送信クロック周期</td></tr> <tr><td>1001_B</td><td>10.0 送信クロック周期</td><td>10.5 送信クロック周期</td></tr> <tr><td>1010_B</td><td>11.0 送信クロック周期</td><td>11.5 送信クロック周期</td></tr> <tr><td>1011_B</td><td>12.0 送信クロック周期</td><td>12.5 送信クロック周期</td></tr> <tr><td>1100_B</td><td>14.0 送信クロック周期</td><td>14.5 送信クロック周期</td></tr> <tr><td>1101_B</td><td>16.0 送信クロック周期</td><td>16.5 送信クロック周期</td></tr> <tr><td>1110_B</td><td>18.0 送信クロック周期</td><td>18.5 送信クロック周期</td></tr> <tr><td>1111_B</td><td>20.0 送信クロック周期</td><td>20.5 送信クロック周期</td></tr> </tbody> </table> <p>これらのビットはマスタモードでのみ利用可能です。</p> | CSIHnINx[3:0] | CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間 | CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間 | 0000 _B | 0.0 送信クロック周期 | 0.5 送信クロック周期 | 0001 _B | 0.5 送信クロック周期 | 1.0 送信クロック周期 | 0010 _B | 1.0 送信クロック周期 | 1.5 送信クロック周期 | 0011 _B | 2.0 送信クロック周期 | 2.5 送信クロック周期 | 0100 _B | 3.0 送信クロック周期 | 3.5 送信クロック周期 | 0101 _B | 4.0 送信クロック周期 | 4.5 送信クロック周期 | 0110 _B | 6.0 送信クロック周期 | 6.5 送信クロック周期 | 0111 _B | 8.0 送信クロック周期 | 8.5 送信クロック周期 | 1000 _B | 9.0 送信クロック周期 | 9.5 送信クロック周期 | 1001 _B | 10.0 送信クロック周期 | 10.5 送信クロック周期 | 1010 _B | 11.0 送信クロック周期 | 11.5 送信クロック周期 | 1011 _B | 12.0 送信クロック周期 | 12.5 送信クロック周期 | 1100 _B | 14.0 送信クロック周期 | 14.5 送信クロック周期 | 1101 _B | 16.0 送信クロック周期 | 16.5 送信クロック周期 | 1110 _B | 18.0 送信クロック周期 | 18.5 送信クロック周期 | 1111 _B | 20.0 送信クロック周期 | 20.5 送信クロック周期 |
| CSIHnINx[3:0] | CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間 | CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0000 _B | 0.0 送信クロック周期 | 0.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0001 _B | 0.5 送信クロック周期 | 1.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0010 _B | 1.0 送信クロック周期 | 1.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0011 _B | 2.0 送信クロック周期 | 2.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0100 _B | 3.0 送信クロック周期 | 3.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0101 _B | 4.0 送信クロック周期 | 4.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0110 _B | 6.0 送信クロック周期 | 6.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0111 _B | 8.0 送信クロック周期 | 8.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1000 _B | 9.0 送信クロック周期 | 9.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1001 _B | 10.0 送信クロック周期 | 10.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1010 _B | 11.0 送信クロック周期 | 11.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1011 _B | 12.0 送信クロック周期 | 12.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1100 _B | 14.0 送信クロック周期 | 14.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1101 _B | 16.0 送信クロック周期 | 16.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1110 _B | 18.0 送信クロック周期 | 18.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1111 _B | 20.0 送信クロック周期 | 20.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 3 ~ 0 | CSIHnSPx[3:0] | チップセレクト信号 x のセットアップ時間を送信クロック周期単位で指定します。 <table border="1"> <thead> <tr> <th>CSIHnSPx[3:0]</th> <th>セットアップ時間</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>0.5 送信クロック周期</td></tr> <tr><td>0001_B</td><td>1.0 送信クロック周期</td></tr> <tr><td>0010_B</td><td>1.5 送信クロック周期</td></tr> <tr><td>0011_B</td><td>2.5 送信クロック周期</td></tr> <tr><td>0100_B</td><td>3.5 送信クロック周期</td></tr> <tr><td>0101_B</td><td>4.5 送信クロック周期</td></tr> <tr><td>0110_B</td><td>6.5 送信クロック周期</td></tr> <tr><td>0111_B</td><td>8.5 送信クロック周期</td></tr> <tr><td>1000_B</td><td>9.5 送信クロック周期</td></tr> <tr><td>1001_B</td><td>10.5 送信クロック周期</td></tr> <tr><td>1010_B</td><td>11.5 送信クロック周期</td></tr> <tr><td>1011_B</td><td>12.5 送信クロック周期</td></tr> <tr><td>1100_B</td><td>14.5 送信クロック周期</td></tr> <tr><td>1101_B</td><td>16.5 送信クロック周期</td></tr> <tr><td>1110_B</td><td>18.5 送信クロック周期</td></tr> <tr><td>1111_B</td><td>20.5 送信クロック周期</td></tr> </tbody> </table> <p>これらのビットはマスタモードでのみ利用可能です。</p> | CSIHnSPx[3:0] | セットアップ時間 | 0000 _B | 0.5 送信クロック周期 | 0001 _B | 1.0 送信クロック周期 | 0010 _B | 1.5 送信クロック周期 | 0011 _B | 2.5 送信クロック周期 | 0100 _B | 3.5 送信クロック周期 | 0101 _B | 4.5 送信クロック周期 | 0110 _B | 6.5 送信クロック周期 | 0111 _B | 8.5 送信クロック周期 | 1000 _B | 9.5 送信クロック周期 | 1001 _B | 10.5 送信クロック周期 | 1010 _B | 11.5 送信クロック周期 | 1011 _B | 12.5 送信クロック周期 | 1100 _B | 14.5 送信クロック周期 | 1101 _B | 16.5 送信クロック周期 | 1110 _B | 18.5 送信クロック周期 | 1111 _B | 20.5 送信クロック周期 | | | | | | | | | | | | | | | | | |
| CSIHnSPx[3:0] | セットアップ時間 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0000 _B | 0.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0001 _B | 1.0 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0010 _B | 1.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0011 _B | 2.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0100 _B | 3.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0101 _B | 4.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0110 _B | 6.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0111 _B | 8.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1000 _B | 9.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1001 _B | 10.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1010 _B | 11.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1011 _B | 12.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1100 _B | 14.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1101 _B | 16.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1110 _B | 18.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1111 _B | 20.5 送信クロック周期 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

13.6.7 CSIHnTX0W — CSIH ワードアクセス用送信データレジスタ 0

本レジスタは送信データを保存します。さらに、通信割り込み要求、エンドオブジョブ、拡張データ長、チップセレクトアクティブ化を指定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1008_H

リセット後の値 不定

注 意

ダイレクトアクセスモードで CSIH0CTL0.CSIH0TXE = CSIH0CTL0.CSIH0RXE = 0 のとき、このレジスタへのライトアクセスは禁止です。

| | | | | | | | | | | | | | | | | |
|---------|---------------|--------------|--------------|-----|-----|-----|-----|-----|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | CSIHn EOJ | CSIHn EDL | — | — | — | — | — | CSIHnC S7 | CSIHnC S6 | CSIHnC S5 | CSIHnC S4 | CSIHnC S3 | CSIHnC S2 | CSIHnC S1 | CSIHnC S0 |
| リセット後の値 | 0 | | | 0 | 0 | 0 | 0 | 0 | | | | | | | | |
| R/W | R | R/W | R/W | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CSIHnTX[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | | | | | | | | | | | | | | | | |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 13.24 CSIHnTX0W レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 31 | — | 予約ビットです。書く場合は初期値を書き込んでください。 |
| 30 | CSIHnEOJ | <p>ジョブの終了を指定します。</p> <p>0：エンドオブジョブデータではないことを示します。ジョブを続行します。</p> <p>1：エンドオブジョブデータであることを示します。</p> <p>注意</p> <p>このビットはジョブモードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ有効です。</p> <p>スレーブモードで使用するときこのビットは必ず0に設定してください。</p> |
| 29 | CSIHnEDL | <p>関連付けられたデータが拡張データ長 (EDL) オプションを必要とするかどうかを指定します。</p> <p>0：通常の動作。</p> <p>1：拡張データ長を有効にします。</p> <p>関連付けられたデータは16ビットの packets として送信されます。データ送信後にデータ間時間またはアイドル時間は挿入されません。</p> <p>CSIHnCTL1.CSIHnEDLE = 1 かつ CSIHnTX0W.CSIHnEDL = 1 の場合は、次のデータに対しても同じ CS を選択しなければなりません。次のデータに対して CS を変更した場合、正しい動作は保証されません。</p> <p>注意</p> <p>このビットは CSIHnCTL1.CSIHnEDLE = 1 のときにのみ利用できます。</p> |

表 13.24 CSIHnTX0W レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|---------|---------------|--|
| 28 ~ 24 | — | 予約ビットです。書く場合は初期値を書き込んでください。 |
| 23 ~ 16 | CSIHnCSx | <p>1つ以上のチップセレクト信号をアクティブにします。</p> <p>0: 関連付けられた送信に対してチップセレクト信号xをアクティブにします。</p> <p>1: 関連付けられた送信に対してチップセレクト信号xを非アクティブにします。</p> <p>CSIHnTX0W.CSIHnCS[7:0] = FF_H は設定禁止です。</p> <p>注意</p> <p>複数のチップセレクト信号がブロードキャストに対して有効になっている場合は、CSIHnCFGx.CSIHnRCBx = 0 (ドミナント) に設定されている信号の設定が使用されます。その場合は、すべてのドミナントなチップセレクト信号をまったく同じ値に設定にする必要があります。</p> <p>スレープモードで使用する場合には CSIHnCSx ビット = FE_H に設定してください。</p> |
| 15 ~ 0 | CSIHnTX[15:0] | 送信データを保存します。 |

13.6.8 CSIHnTX0H — CSIH ハーフワードアクセス用送信データレジスタ 0

本レジスタは送信データを保存します。本レジスタは CSIHnTX0W レジスタのビット 15～0 と同じです。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 100C_H

リセット後の値 不定

注 意

ダイレクトアクセスモードで CSIH0CTL0.CSIH0TXE = CSIH0CTL0.CSIH0RXE = 0 のとき、このレジスタへのライトアクセスは禁止です。

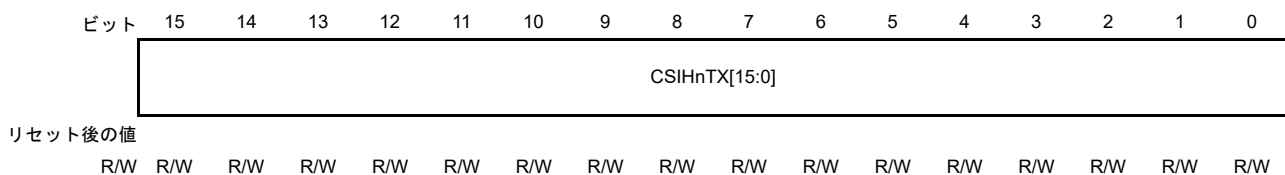


表 13.25 CSIHnTX0H レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------------|--------------|
| 15～0 | CSIHnTX[15:0] | 送信データを保存します。 |

13.6.9 CSIHnRX0W — CSIH ワードアクセス用受信データレジスタ 0

本レジスタは受信データを保存します。

アクセス 32ビット単位でリード可能です。

アドレス <CSIHn_base> + 1010_H

リセット後の値 不定

| | | | | | | | | | | | | | | | | |
|---------|---------------|----|----|----|----|----|----------|-----------|----------|----------|----------|----------|----------|----------|----------|----------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | CSIHnRPE | CSIHnTDCE | CSIHnCS7 | CSIHnCS6 | CSIHnCS5 | CSIHnCS4 | CSIHnCS3 | CSIHnCS2 | CSIHnCS1 | CSIHnCS0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | — | — | — | — | — | — | — | — | — | — |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CSIHnRX[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

注 意

本レジスタは、CSIHnCTL0.CSIHnPWR = 1 である間、読み出すことができます。
本レジスタは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。

表 13.26 CSIHnRX0W レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|----------------|---|
| 31 ~ 26 | — | 予約ビットです。 |
| 25 | CSIHnRPE | 受信データパリティエラーが検出されたかどうかを示します。 0: 関連付けられた受信データでパリティエラーが検出されていません。 1: 関連付けられた受信データでパリティエラーが検出されています。 |
| 24 | CSIHnTDCE | 送信データ整合性エラーが検出されたかどうかを示します。 0: 関連付けられた送信で整合性エラーが検出されていません。 1: 関連付けられた送信で整合性エラーが検出されています。 |
| 23 ~ 16 | CSIHnCSx | どのチップセレクト信号がアクティブになっているかを示します。 0: 関連付けられた受信に対してチップセレクト信号 x がアクティブになっています。 1: 関連付けられた受信に対してチップセレクト信号 x が非アクティブになっています。 |
| 15 ~ 0 | CSIHnRX [15:0] | 受信データを保存します。 |

13.6.10 CSIHnRX0H — CSIH ハーフワードアクセス用受信データレジスタ 0

本レジスタは受信データを保存します。本レジスタは CSIHnRX0W レジスタのビット 15～0 と同じです。

アクセス 16ビット単位でリードのみ可能です。

アドレス <CSIHn_base> + 1014_H

リセット後の値 不定

注 意

本レジスタは、CSIHnCTL0.CSIHnPWR = 1 である間、読み出すことができます。
本レジスタは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。

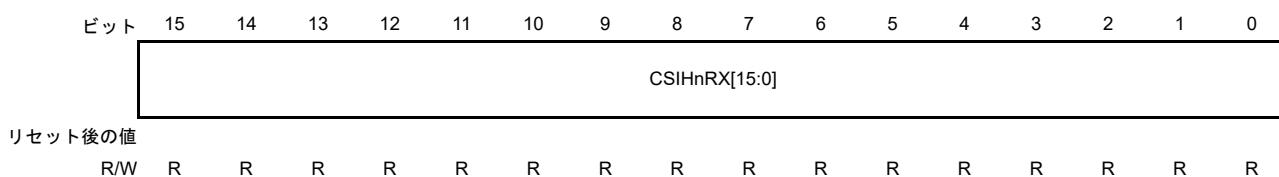


表 13.27 CSIHnRX0H レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------------------|--------------|
| 15～0 | CSIHnRX [15:0] | 受信データを保存します。 |

13.6.11 CSIHnBRSi — CSIHn ボーレート設定レジスタ i

チップセレクト信号ごとにボーレートを設定するためのレジスタです。

CSIHnCFGx.CSIHnBRSSx1-0 ビットにより、チップセレクト信号ごとに、4種類のボーレート設定から1つの設定を選択することができます。

アクセス 16ビット単位でリード/ライト可能です。

アドレス CSIHnBRS0: <CSIHn_base> + 1068_H
 CSIHnBRS1: <CSIHn_base> + 106C_H
 CSIHnBRS2: <CSIHn_base> + 1070_H
 CSIHnBRS3: <CSIHn_base> + 1074_H

リセット後の値 0000H 本レジスタは各種リセットにより初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|-----------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | CSIHnBRSi[11:0] | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 13.28 CSIHnBRSi レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------------|--|
| 15 ~ 12 | — | 予約ビットです。書く場合は初期値を書き込んでください。 |
| 11 ~ 0 | CSIHnBRSi [11:0] | 0 : BRG stopped 1 : PCLK / (2 ^m × 1 × 2) 2 : PCLK / (2 ^m × 2 × 2) 3 : PCLK / (2 ^m × 3 × 2) 4 : PCLK / (2 ^m × 4 × 2) ⋮ k : PCLK / (2 ^m × k × 2) ⋮ 4095 : PCLK / (2 ^m × 4095 × 2) m は CSIHnCTL2.CSIHnPRS[2:0] の値です。 |

13.7 操作手順

13.7.1 ダイレクトアクセスモードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

(1) マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- 通常の INT_CSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- ダイレクトアクセスモード (CSIHnCTL0.CSIHnMBS = 1)

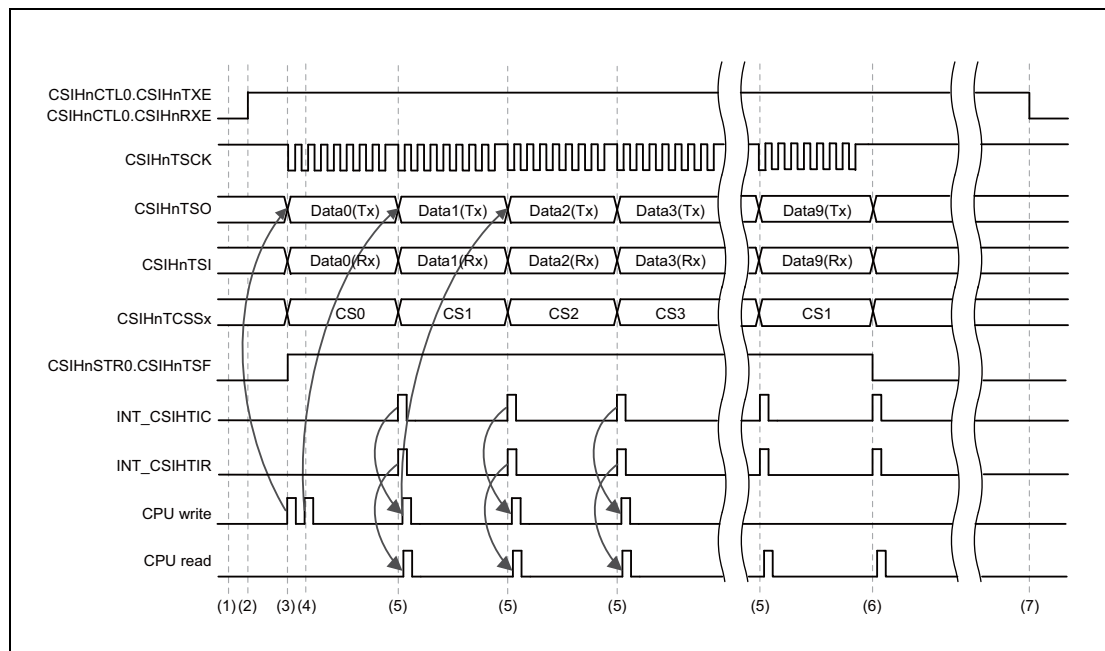


図 13.37 ダイレクトアクセスモードのマスタ、CSIHnCTL1.CSIHnJE = 0

手順：

- (1) CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CS0 ~ CS3 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。
- (2) CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可)、CSIHnMBS = 1 (ダイレクトアクセスモード) に設定します。
- (3) 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。同じ書き込み操作で CS0 をアクティブにします。最初のデータが利用可能になると送信が自動的に開始されます。
- (4) 2 番目のデータを CSIHnTX0W に書き込みます。必要に応じて、CS を変更し、別のデバイスを通信相手にすることができます。最初のデータを書き込んだ直後に 2 番目のデータを書き込むことで、データ間の不要な遅延を回避できます。
- (5) データが送受信されるたびに割り込み INT_CSIHTIC と INT_CSIHTIR が生成されます。
 - INT_CSIHTIC は、次のデータを CSIHnTX0W に書き込めることを示します。
 - INT_CSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
- (6) データ 8 の書き込みが完了すれば、それ以降の書き込みアクションは必要ありません。データ 9 (最後のデータ) は、その前に書き込まれています。
ただし、データ 8 とデータ 9 の書き込みが完了したあと、受信レジスタ CSIHnRX0W を読み出す必要があります。
- (7) 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また通信を行わない場合、CSIHn の消費電力を最小限にするため CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(2) マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- 通常の INT_CSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- ダイレクトアクセスモード (CSIHnCTL0.CSIHnMBS = 1)
- それぞれ 3 個のデータを送信する 2 つのジョブ

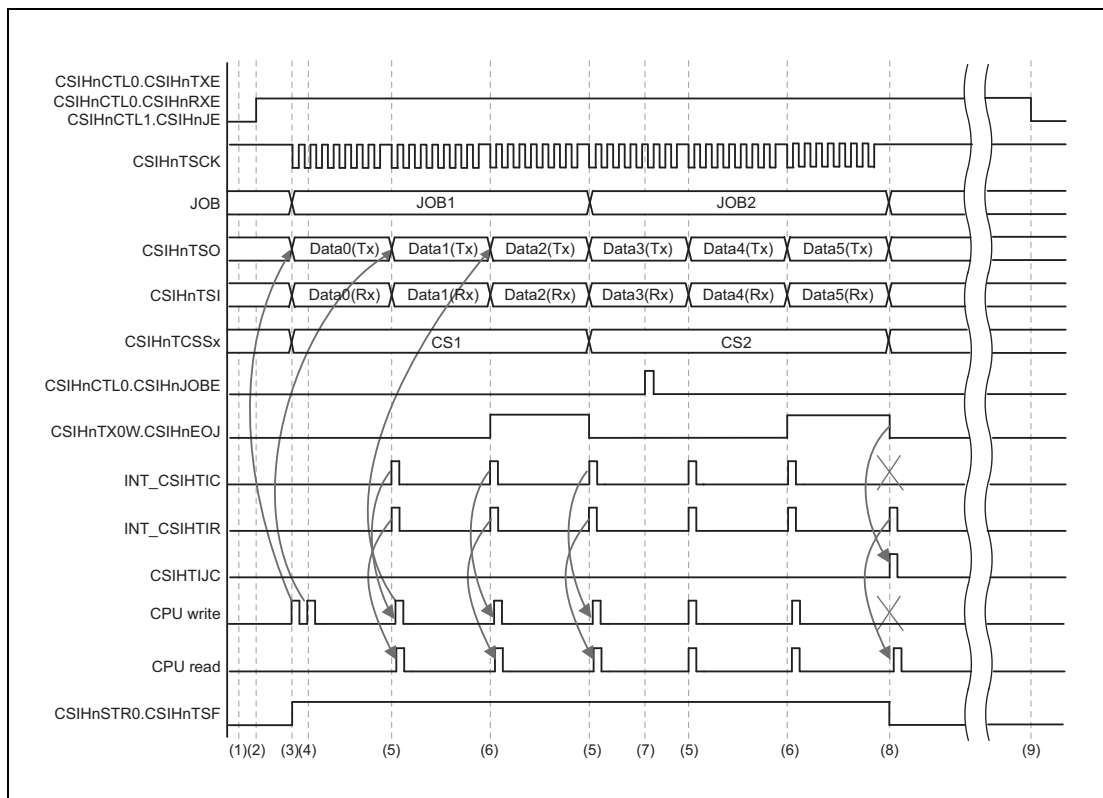


図 13.38 ダイレクトアクセスモードのマスタ、CSIHnCTL1.CSIHnJE = 1

手順：

- (1) CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CS1, CS2 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。
- (2) CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可)、CSIHnMBS = 1 (ダイレクトアクセスモード選択) を設定します。
- (3) 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。
通信が進行中であることを CSIHnSTR0.CSIHnTSF フラグが示します。
- (4) 2 番目のデータを CSIHnTX0W に書き込みます。最初のデータを書き込んだ直後に 2 番目のデータを書き込むことで、データ間の不要な遅延を回避できます。
- (5) データが送受信されるたびに割り込み要求 INT_CSIHTIC と INT_CSIHTIR が生成されます。
 - INT_CSIHTIC は、次のデータを CSIHnTX0W に書き込めることを示します。
 - INT_CSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
- (6) CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。そのあと、次のジョブを開始できます。
- (7) CSIHnCTL0.CSIHnJOBE = 1 に設定することで、現在のジョブ (ジョブ 2) の終了時に通信を強制的に停止します。
- (8) 通信の強制停止後、割り込み要求 INT_CSIHTIC が INT_CSIHTIJC に置き換えられます。INT_CSIHTIR は通常どおりに生成されます。
割り込み要求 INT_CSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
割り込み要求 INT_CSIHTIC は生成されません。また、CSIHnTX0W レジスタ内の利用可能な送信データは送信されません。
- (9) 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また通信を行わない場合、CSIHn の消費電力を最小限にするため CSIHnCTL0.CSIHnPWR = 0 に設定してください。
通信を停止せず新しい送信を開始する場合は、手順 3 以降の手順で実施ください。

第14章 シリアルコミュニケーションインタフェース3 (SCI3)

14.1 概要

シリアルコミュニケーションインタフェース3 (SCI3 : Serial Communication Interface 3) は、調歩同期式とクロック同期式の2方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

14.1.1 SCI3 の特長

チャンネル数

この製品は、以下のチャンネル数のシリアルコミュニケーションインタフェース3を搭載しています。

表 14.1 SCI3 のチャンネル

| シリアルコミュニケーションインタフェース3 | RH850/E1L |
|-----------------------|-------------------|
| チャンネル数 | 4 |
| 名称 | SCI3n (n = 0 ~ 3) |

n の意味

本章では、シリアルコミュニケーションインタフェース3の各チャンネルを「n」(n = 0 ~ 3) で識別します。たとえば、シリアルモードレジスタは SCI3nSMR と記述します。

14.1.2 機能の概要

- シリアルデータ通信モードを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。
- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
送受信クロックソースとして外部クロックの選択も可能です。
- LSB ファースト / MSB ファースト選択可能 (調歩同期式7ビットデータを除く)
- 割り込み要因 : 4種類
送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因により DMAC を起動することができます。
- モジュールストップモードの設定可能
- ビットレートモジュレーション機能
内蔵ボーレートジェネレータの出力を補正することにより、高いビットレートでも誤差を平均的に低減することができます (クロック同期式モード最高速を除く)。
- シリアル入力データの端子レベルを確認可能
- 6ビット分周器 (PSC) を内蔵

14.1.3 シリアル通信方式

調歩同期式モード

- データ長：7ビット／8ビット選択可能
- ストップビット長：1ビット／2ビット選択可能
- パリティ：偶数パリティ／奇数パリティ／パリティなしから選択可能
- 受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出：フレーミングエラー発生時レジスタをリードすることでブレークを検出可能

クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバランエラー

14.1.4 ブロック図

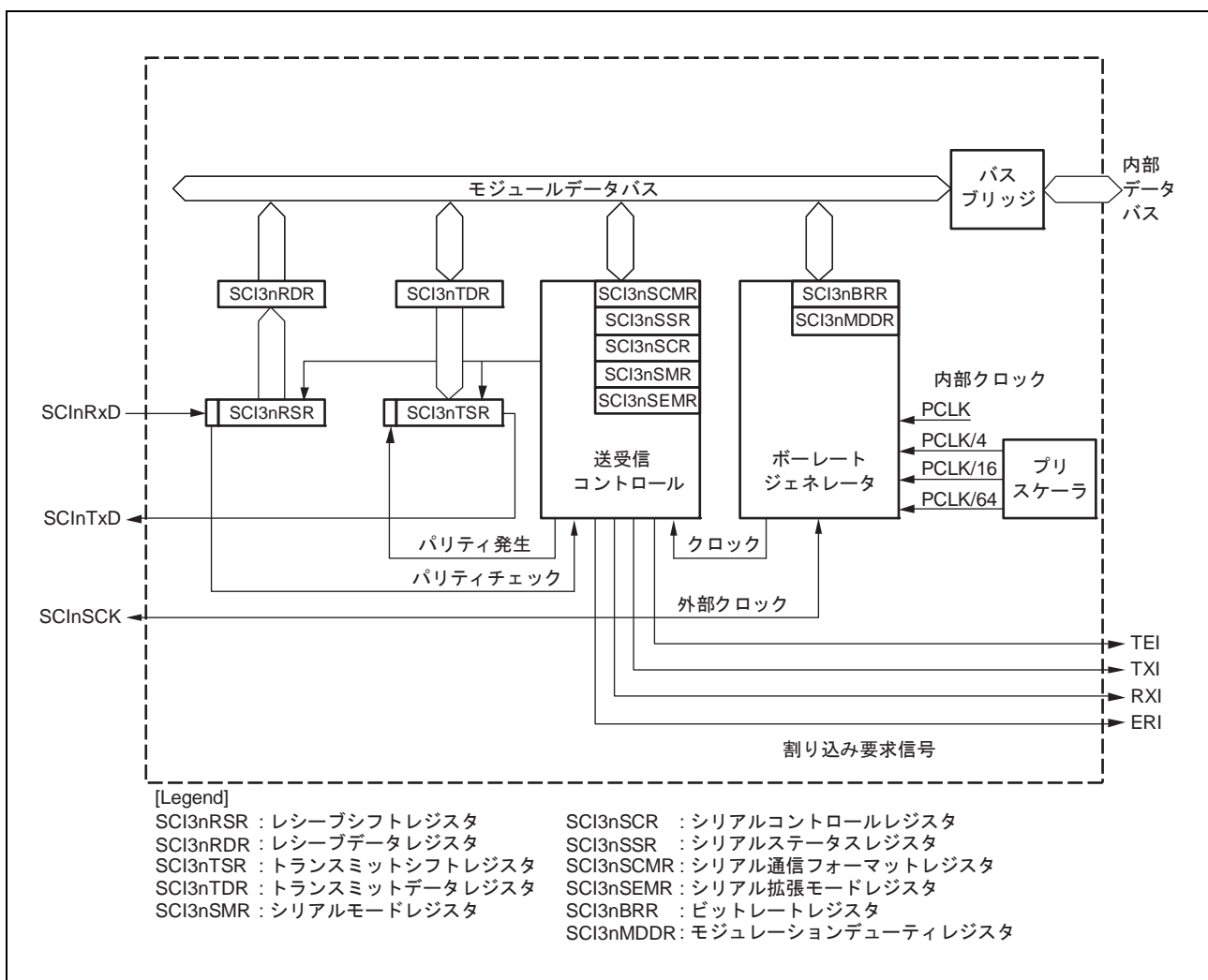


図 14.1 SCI3 のブロック図

14.2 入出力端子

SCI3 には、表 14.2 の入出力端子があります。

表 14.2 端子構成

| 名 称 | 記号 | 入出力 | 機 能 |
|-----------|---------|-----|------------|
| クロック入出力端子 | SCInSCK | 入力 | シリアルクロック入力 |
| | | 出力 | シリアルクロック出力 |
| 受信データ入力端子 | SCInRxD | 入力 | 受信データ入力 |
| 送信データ出力端子 | SCInTxD | 出力 | 送信データ出力 |

14.3 レジスタの説明

SCI3n のレジスタアドレスは、ベースアドレス <SCI3n_base> からのオフセットで表されます。

各 SCI3 のベースアドレス <SCI3n_base> を表 14.3 に示します。

表 14.3 レジスタベースアドレス <SCI3n_base>

| SCI3n のチャンネル | SCI3n_base アドレス |
|--------------|------------------------|
| SCI30 | FFD9 0000 _H |
| SCI31 | FFD9 1000 _H |
| SCI32 | FFD9 2000 _H |
| SCI33 | FFD9 3000 _H |

SCI3 には以下のレジスタがあります。一部のレジスタには、CPU によるリード/ライトに制限があります。

注 意

SCI3nBRR と SCI3nMDDR は同一のアドレス（相対アドレス 4）に配置されています。これらのレジスタの切り替えは SCI3nSEMR の SCI3nMDDRS ビットで行います。

表 14.4 レジスタ構成

| レジスタ名 | シンボル ^{備考} | リセット後の値 | アドレス | アクセスサイズ |
|----------------------------------|------------------------|-----------------|----------------------------------|---------|
| レシーブシフトレジスタ | SCI3nRSR | — | — | — |
| シリアルモードレジスタ | SCI3nSMR | 00 _H | <SCI3n_base> + 0000 _H | 8 |
| ビットレートレジスタ/ モジュレーションデューティレジスタ | SCI3nBRR/ SCI3nMDDR | FF _H | <SCI3n_base> + 0004 _H | 8 |
| シリアルコントロールレジスタ | SCI3nSCR | 00 _H | <SCI3n_base> + 0008 _H | 8 |
| トランスミットデータレジスタ | SCI3nTDR | FF _H | <SCI3n_base> + 000C _H | 8 |
| トランスミットシフトレジスタ | SCI3nTSR | — | — | — |
| シリアルステータスレジスタ | SCI3nSSR | 84 _H | <SCI3n_base> + 0010 _H | 8 |
| レシーブデータレジスタ | SCI3nRDR | 00 _H | <SCI3n_base> + 0014 _H | 8 |
| シリアル通信フォーマットレジスタ | SCI3nSCMR | F2 _H | <SCI3n_base> + 0018 _H | 8 |
| シリアル拡張モードレジスタ | SCI3nSEMR | 04 _H | <SCI3n_base> + 001C _H | 8 |

備考 n = 0 ~ 3

相対アドレス 4n + 1、4n + 2、4n + 3 (n = 0 ~ 7) はリザーブエリアです。リードした場合常に 0 がリードされます。ライトは無効です。

14.3.1 SCI3nRSR — レシーブシフトレジスタ

SCI3nRSR は SCInRxD 端子から入力されたシリアルデータをパラレル変換するための受信シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に SCI3nRDR へ転送されます。CPU から直接アクセスすることはできません。

14.3.2 SCI3nRDR — レシーブデータレジスタ

SCI3nRDR は受信データを格納するための 8 ビットのレジスタです。SCI3nRDR の初期値は 00_H です。1 フレーム分のデータを受信すると SCI3nRSR から受信データがこのレジスタへ転送され、SCI3nRSR は次のデータを受信可能となります。SCI3nRSR と SCI3nRDR はダブルバッファ構造になっているため連続受信動作が可能です。SCI3nRDR のリードは SCI3nSSR の RDRF フラグが 1 にセットされていることを確認して行ってください。SCI3nRDR は CPU からライトできません。

データ長が 7 ビットの場合、受信データはビット 0 ~ 6 に格納されます。ビット 7 は 0 に固定されます。これは SCI3nSCMR の SINV ビットによりません。

14.3.3 SCI3nTDR — トランスミットデータレジスタ

SCI3nTDR は送信データを格納するための 8 ビットのレジスタです。SCI3nTDR の初期値は FF_H です。SCI3nTSR に空きを検出すると SCI3nTDR にライトされた送信データは SCI3nTSR に転送されて送信を開始します。SCI3nTDR と SCI3nTSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき SCI3nTDR につぎの送信データがライトされていれば SCI3nTSR へ転送して送信を続けます。SCI3nTDR は CPU から常にリード/ライト可能です。SCI3nTDR への送信データのライトは必ず SCI3nSSR の TDRE フラグが 1 にセットされていることを確認して行ってください。

14.3.4 SCI3nTSR — トランスミットシフトレジスタ

SCI3nTSR はシリアルデータを送信するためのシフトレジスタです。SCI3nTDR にライトされた送信データは自動的に SCI3nTSR に転送され、SCInTxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

14.3.5 SCI3nSMR — シリアルモードレジスタ

SCI3nSMR は通信フォーマットと内蔵ポーレートジェネレータのクロックソースを選択するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 0000_H

リセット後の値 00_H

| | | | | | | | | |
|---------|-------|-------|-------|-------|-------|-------|----------|-------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CM | CHR | PE | PM | STOP | MP | CKS[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W注1 | R/W注1 | R/W注1 | R/W注1 | R/W注1 | R/W注1 | R/W注1 | R/W注1 |

注1. TE = RE = 0 の場合のみライト可能です。

表 14.5 SCI3nSMR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|--|
| 7 | CM | コミュニケーションモードビット 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。 |
| 6 | CHR | キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では SCI3nTDR の MSB (ビット 7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。 |
| 5 | PE | パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。 マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。 |
| 4 | PM | パリティモードビット (調歩同期式モードで PE = 1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。 偶数パリティでは、パリティビットと送受信キャラクタをあわせて、その中の 1 の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタをあわせて、その中の 1 の数の合計が奇数個になるようにパリティビットを決定します。 |
| 3 | STOP | ストップビットレングス (調歩同期式モードのみ有効) 0: 送信時 1 ストップビット 1: 送信時 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なしません。 |
| 2 | MP | マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のとき、マルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、PM ビットの設定は無効です。 |
| 1、0 | CKS[1:0] | クロックセレクト 1、0 内蔵ポーレートジェネレータのクロックソースを選択します。 00: PCLK クロック (n = 0) 01: PCLK/4 クロック (n = 1) 10: PCLK/16 クロック (n = 2) 11: PCLK/64 クロック (n = 3) このビットの設定値とポーレートの関係については「14.3.10 SCI3nBRR — ビットレートレジスタ」を参照してください。n は設定値の 10 進表示で、「14.3.10 SCI3nBRR — ビットレートレジスタ」中の n の値を表します。 |

14.3.6 SCI3nSCR — シリアルコントロールレジスタ

SCI3nSCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「14.8 割り込み要因」を参照してください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 0008_H

リセット後の値 00_H

| | | | | | | | | |
|---------|-----|-----|-------------------|-------------------|------|------|-------------------|-------------------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TIE | RIE | TE | RE | MPIE | TEIE | CKE[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W ^{注1} | R/W ^{注1} | R/W | R/W | R/W ^{注2} | R/W ^{注2} |

注1. SCI3nSMR の CM ビットが 1 のときは TE = RE = 0 の場合のみ、1 をライト可能です。いったん、TE、RE ビットのいずれかを 1 にセットしたあとは、TE = RE = 0 のライトのみ可能になります。SCI3nSMR の CM ビットが 0 のときは任意のタイミングでライト可能です。

注2. TE = RE = 0 の場合のみライト可能です。また、TE = RE = 0 のライトと同時にライト可能です。

表 14.6 SCI3nSCR レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 7 | TIE | トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。TXI 割り込み要求の解除は、TDRE フラグから 1 をリードしたあと、0 にクリアするか、TIE ビットを 0 にクリアすることで行うことができます。 |
| 6 | RIE | レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。 |
| 5 | TE | トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、SCI3nTDR に送信データをライトして、SCI3nSSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCI3nSMR の設定を行い、送信フォーマットを決定してください。このビットを 0 にして、送信動作を禁止すると、SCI3nSSR の TDRE フラグは 1 に固定されます。 |
| 4 | RE | レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SCI3nSMR の設定を行い、受信フォーマットを決定してください。このビットを 0 にして、受信動作を禁止しても RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。 |

表 14.6 SCI3nSCR レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 3 | MPIE | <p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SCI3nSMR の MP = 1 のとき有効)</p> <p>このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SCI3nSSR の RDRF、FER、ORER の各フラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的に 0 にクリアされ通常の実動作に戻ります。詳細は「14.5 マルチプロセッサ通信機能」を参照してください。</p> <p>SCI3nSSR の MPB = 0 を含む受信データを受信しているときは、SCI3nRSR から SCI3nRDR への受信データの転送、および受信エラーの検出と SCI3nSSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SCI3nSSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求 (SCI3nSCR の RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。</p> |
| 2 | TEIE | <p>トランスミットエンドインタラプトイネーブル</p> <p>このビットを 1 セットすると TEI 割り込み要求がイネーブルになります。TEI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。</p> |
| 1、0 | CKE[1:0] | <p>クロックイネーブル 1、0</p> <p>クロックソースおよび SCInSCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <ul style="list-style-type: none"> 00 : 内蔵ポーレートジェネレータ (SCInSCK 端子は入出力ポートとして使用できません) 01 : 内蔵ポーレートジェネレータ (SCInSCK 端子からビットレートと同じ周波数のクロックを出力します) 1X : 設定禁止 <p>クロック同期式の場合</p> <ul style="list-style-type: none"> 0X : 内部クロック (SCInSCK 端子はクロック出力端子となります。) 1X : 外部クロック (SCInSCK 端子はクロック入力端子となります。) |

備考 X : Don't care

備考

本レジスタの MPIE ビット以外のビットを書き変える場合には、MPIE ビットへの書き込み値が "0" となるようにストア命令を使用して書いてください。

本レジスタにビット操作命令でライトすると、リードモディファイライト動作により意図せず MPIE ビットに 1 を設定してしまう可能性があるのでご注意ください。

14.3.7 SCI3nSSR — シリアルステータスレジスタ

SCI3nSSR は SCI3 のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER フラグはクリアのみ可能です。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 0010_H

リセット後の値 84_H

| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-------------------|-------------------|-------------------|-------------------|-------------------|------|-----|------|
| | TDRE | RDRF | ORER | FER | PER | TEND | MPB | MPBT |
| リセット後の値 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| R/W | R/W ^{注1} | R/W ^{注1} | R/W ^{注1} | R/W ^{注1} | R/W ^{注1} | R | R | R/W |

注1. フラグをクリアするための0ライトのみ可能です。

表 14.7 SCI3nSSR レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 7 | TDRE | トランスミットデータレジスタエンプティ SCI3nTDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> SCI3nSCR の TE ビットが0のとき SCI3nTDR から SCI3nTSR にデータが転送され、SCI3nTDR にデータライトが可能になったとき [クリア条件] <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき TE = 1の状態 で SCI3nTDR へ送信データをライトしたとき |
| 6 | RDRF | レシーブデータレジスタフル SCI3nRDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> 受信が正常終了し、SCI3nRSR から SCI3nRDR へ受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき SCI3nRDR からデータをリードしたとき SCI3nSCR の RE ビットをクリアしても RDRF フラグは影響を受けず状態を保持します。 RDRF フラグが1にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。 |
| 5 | ORER | オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。 [セット条件] <ul style="list-style-type: none"> RDRF = 1の状態 で次のデータを受信したとき SCI3nRDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに1がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。 [クリア条件] <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき SCI3nSCR の RE ビットをクリアしても、ORER フラグは影響を受けず以前の状態を保持します。 |

表 14.7 SCI3nSSR レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 4 | FER | <p>フレーミングエラー 調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。 [セット条件]</p> <ul style="list-style-type: none"> ストップビットが0のとき 2ストップモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは SCI3nRDR に転送されませんが、RDRF フラグはセットされません。さらに、FER フラグが1にセットされた状態では、以降の受信データは SCI3nRDR に転送されません。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき SCI3nSCR の RE ビットをクリアしても、FER フラグは影響を受けず以前の状態を保持します。 |
| 3 | PER | <p>パリティエラー 調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。 [セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき パリティエラーが発生したときの受信データは SCI3nRDR に転送されませんが、RDRF フラグはセットされません。なお、PER フラグが1にセットされた状態では、以降の受信データは SCI3nRDR に転送されません。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき SCI3nSCR の RE ビットをクリアしても、PER フラグは影響を受けず以前の状態を保持します。 |
| 2 | TEND | <p>トランスミットエンド [セット条件]</p> <ul style="list-style-type: none"> SCI3nSCR の TE ビットが0のとき 送信キャラクタの最後尾ビットの送信時、TDRE フラグが1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE = 1の状態をリードした後、TDRE フラグに0をライトしたとき TE = 1の状態では SCI3nTDR へ送信データをライトしたとき |
| 1 | MPB | <p>マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。</p> |
| 0 | MPBT | <p>マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。</p> |

14.3.8 SCI3nSCMR — シリアル通信フォーマットレジスタ

SCI3nSCMR は、調歩同期式モード、クロック同期式モードで共通に設定可能な通信フォーマットを選択するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 0018_H

リセット後の値 F2_H

| | | | | | | | | |
|---------|---|---|---|---|-------------------|-------------------|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | SDIR | SINV | — | — |
| リセット後の値 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| R/W | R | R | R | R | R/W ^{注1} | R/W ^{注1} | R | R |

注1. TE = RE = 0 の場合のみライト可能です。

表 14.8 SCI3nSCMR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 7 ~ 4 | — | リザーブビット リードすると常に 1 が読み出されます。書き込む際は、必ず初期値を書き込んでください。 |
| 3 | SDIR | シリアルデータトランスフェクション (調歩同期式モードおよびクロック同期式モードで有効) シリアル/パラレル変換の方向を選択します。 0: LSB ファーストで送受信 1: MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。 |
| 2 | SINV | シリアルデータインバート (調歩同期式モードおよびクロック同期式モードで有効) 送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SCI3nSMR の PM ビットを反転してください。 0: SCI3nTDR の内容をそのまま送信、受信データをそのまま SCI3nRDR に格納 1: SCI3nTDR の内容を反転して送信、受信データを反転して SCI3nRDR に格納 |
| 1 | — | リザーブビット リードすると常に 1 が読み出されます。書き込む際は、必ず初期値を書き込んでください。 |
| 0 | — | リザーブビット リードすると常に 0 が読み出されます。書き込む際は、必ず初期値を書き込んでください。 |

14.3.9 SCI3nSEMR — シリアル拡張モードレジスタ

SCI3nSEMR は、1 ビット期間の選択をするためのレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 001C_H

リセット後の値 04_H

| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-------------------|-------------------|---|---|-------------------|--------|---|---|
| | BRME | MDDRS | — | — | ABCS | RXDMON | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| R/W | R/W ^{注1} | R/W ^{注1} | R | R | R/W ^{注1} | R | R | R |

注 1. TE = RE = 0 の場合のみライト可能です。

表 14.9 SCI3nSEMR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 7 | BRME | ビットレートモジュレーションイネーブル このビットを 1 にセットするとビットレートモジュレーション機能が有効になります。 |
| 6 | MDDRS | モジュレーションデューティレジスタセレクト このビットはアクセス可能にするレジスタを選択します。 0 : SCI3nBRR がアクセス可能 1 : SCI3nMDDR がアクセス可能 |
| 5、4 | — | リザーブビット リードすると常に 0 が読み出されます。書き込む際は必ずリセット後の値を書き込んでください。 |
| 3 | ABCS | 調歩同期基本クロックセレクト (調歩同期式モードのみ有効) 1 ビット期間の基本クロックを選択します。 0 : 転送レートの 16 倍の周波数の基本クロックで動作 1 : 転送レートの 8 倍の周波数の基本クロックで動作 (倍速動作) |
| 2 | RXDMON | シリアル入力データモニタビット SCI _n RxD 端子の状態を表示します。 0 : SCI _n RxD 端子状態は Low レベル 1 : SCI _n RxD 端子状態は High レベル |
| 1、0 | — | リザーブビット リードすると常に 0 が読み出されます。書き込む際は必ずリセット後の値を書き込んでください。 |

14.3.10 SCI3nBRR — ビットレートレジスタ

SCI3nBRR はビットレートを調整するための 8 ビットのレジスタです。SCI3 はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モードにおける SCI3nBRR の設定値 N とビットレート B の関係を表 14.11 に示します。SCI3nBRR の初期値は FF_H です。SCI3nBRR は SCI3nMDDR と同一のアドレスに配置されており、SCI3nSEMR の MDDRS = 0 の場合に選択されます。TE = RE = 0 の場合のみライト可能です。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 0004_H

リセット後の値 FF_H

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | BRR | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 14.10 SCI3nBRR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|-------------------------------|
| 7 ~ 0 | BRR | ボーレートジェネレータの設定値 (0 ≤ N ≤ 255) |

表 14.11 SCI3nBRR の設定値 N とビットレート B の関係

| モード | ABCSの設定 | ビットレート | 平均誤差 |
|---------|---------|--|--|
| 調歩同期式 | 0 | $B = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times (N+1)}$ | 誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$ |
| | 1 | $B = \frac{\phi \times 10^6}{32 \times 2^{2n-1} \times (N+1)}$ | 誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$ |
| クロック同期式 | — | $B = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times (N+1)}$ | |

備考 B: ビットレート (bit/s)

N: ボーレートジェネレータの SCI3nBRR の設定値 (0 ≤ N ≤ 255)

φ: 動作周波数 PCLK (MHz)

n: 下表のとおり SCI3nSMR の設定値によって決まります。

| SCI3nSMR の設定値 | | n |
|---------------|------|---|
| CKS1 | CKS0 | |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 2 |
| 1 | 1 | 3 |

調歩同期式モードにおける SCI3nBRR レジスタの値 N の設定例を表 14.12 に、設定可能な最大ビットレートを表 14.13 に示します。

表 14.12 ビットレートに対する BRR の設定例 (調歩同期式モード)

| ビットレート (bit/s) | 動作周波数 $\phi = 40$ (MHz) | | | | | | | |
|-------------------|-------------------------|-----|--------------------------|-----------|------------------|-----|--------------------------|-----------|
| | SCI3nSEMR.ABCS=0 | | | | SCI3nSEMR.ABCS=1 | | | |
| | n | N | 実際の ビットレート (bit/s) | 誤差 (%) | n | N | 実際の ビットレート (bit/s) | 誤差 (%) |
| 110 | 3 | 177 | 109.73 | -0.25 | — | — | — | — |
| 150 | 3 | 129 | 150.24 | 0.16 | 3 | 255 | 152.59 | 1.73 |
| 300 | 3 | 64 | 300.48 | 0.16 | 3 | 129 | 300.48 | 0.16 |
| 600 | 2 | 129 | 600.96 | 0.16 | 3 | 64 | 600.96 | 0.16 |
| 1200 | 2 | 64 | 1201.92 | 0.16 | 2 | 129 | 1201.92 | 0.16 |
| 2400 | 1 | 129 | 2403.85 | 0.16 | 2 | 64 | 2403.85 | 0.16 |
| 4800 | 0 | 255 | 4882.81 | 1.73 | 1 | 129 | 4807.69 | 0.16 |
| 9600 | 0 | 129 | 9615.38 | 0.16 | 1 | 64 | 9615.38 | 0.16 |
| 19200 | 0 | 64 | 19230.77 | 0.16 | 0 | 129 | 19230.77 | 0.16 |
| 31250 | 0 | 39 | 31250.00 | 0.00 | 0 | 79 | 31250.00 | 0.00 |
| 38400 | 0 | 32 | 37878.79 | -1.36 | 0 | 64 | 38461.54 | 0.16 |

表 14.13 最大ビットレート (調歩同期式モード)

| ϕ (MHz) | 設定値 | | | 最大ビットレート (bit/s) |
|--------------|----------|---|---|---------------------|
| | ABCs の設定 | n | N | |
| 40 | 0 | 0 | 0 | 1250000 |
| | 1 | 0 | 0 | 2500000 |

クロック同期式モードにおける SCI3nBRR レジスタの値 N の設定例を表 14.14 に示します。
設定可能な最大ビットレートを表 14.15 に示します。

表 14.14 クロック同期式モードのビットレート設定例

| ビットレート (bit/s) | 動作周波数 $\phi = 40$ (MHz) | | |
|-------------------|-------------------------|-----|-------------------|
| | n | N | 実際のビットレート (bit/s) |
| 1k | 3 | 155 | 1001.60 |
| 2.5k | 3 | 62 | 2480.16 |
| 5k | 2 | 124 | 5000.00 |
| 10k | 2 | 62 | 9920.63 |
| 25k | 1 | 99 | 25000.00 |
| 50k | 1 | 49 | 50000.00 |
| 100k | 0 | 99 | 100000.00 |
| 250k | 0 | 39 | 250000.00 |
| 500k | 0 | 19 | 500000.00 |
| 1M | 0 | 9 | 1000000.00 |
| 2M | 0 | 4 | 2000000.00 |
| 2.5M | 0 | 3 | 2500000.00 |
| 5M | 0 | 1 | 5000000.00 |

表 14.15 内部クロック出力時の最大ビットレート (クロック同期式モード)

| ϕ (MHz) | n | N | 最大ビットレート (bit/s) |
|--------------|---|---|------------------|
| 40 | 0 | 1 | 5000000.00 |

14.3.11 SCI3nMDDR — モジュレーションデューティレジスタ

SCI3nMDDR は SCI3nBRR により調整されたビットレートを補正するためのレジスタです。SCI3nMDDR の初期値は FF_H です。SCI3nSEMR の BRME ビットが 1 にセットされているとき、内蔵ポーレートジェネレータにより生成されるビットレートを平均的に SCI3nMDDR/256 に補正します。SCI3nMDDR の設定値とビットレート B の関係を表 14.17 に示します。SCI3nMDDR は SCI3nBRR と同一のアドレスに配置されており、SCI3nSEMR の MDDRS = 1 の場合に選択されます。TE = RE = 0 の場合のみライト可能です。ビット 7 は 1 に固定されています。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 0004_H

リセット後の値 FF_H

| | | | | | | | | |
|---------|------|-----|-----|-----|-----|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | MDDR | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 14.16 SCI3nMDDR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|------------------------------------|
| 7 ~ 0 | MDDR | ポーレートジェネレータの設定値 (128 ≤ MDDR ≤ 255) |

表 14.17 ビットレートモジュレーション機能使用時の SCI3nMDDR 設定値とビットレート B の関係

| モード | ABCSの設定 | ビットレート | 平均誤差 |
|---------|---------|---|---|
| 調歩同期式 | 0 | $B = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times (256/\text{MDDR}) \times (N+1)}$ | 誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (256/\text{MDDR}) \times (N+1)} - 1 \right\} \times 100$ |
| | 1 | $B = \frac{\phi \times 10^6}{32 \times 2^{2n-1} \times (256/\text{MDDR}) \times (N+1)}$ | 誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/\text{MDDR}) \times (N+1)} - 1 \right\} \times 100$ |
| クロック同期式 | — | $B = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times (256/\text{MDDR}) \times (N+1)}$ | |

備考 B: ビットレート (bit/s)

N: ポーレートジェネレータの SCI3nBRR の設定値 (0 ≤ N ≤ 255)

φ: 動作周波数 PCLK (MHz)

n: 「表 14.11 SCI3nBRR の設定値 N とビットレート B の関係」を参照してください。

SCI3nMDDR: SCI3nMDDR の設定値 (128 ≤ SCI3nMDDR ≤ 255)

14.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 14.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI3 は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI3 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

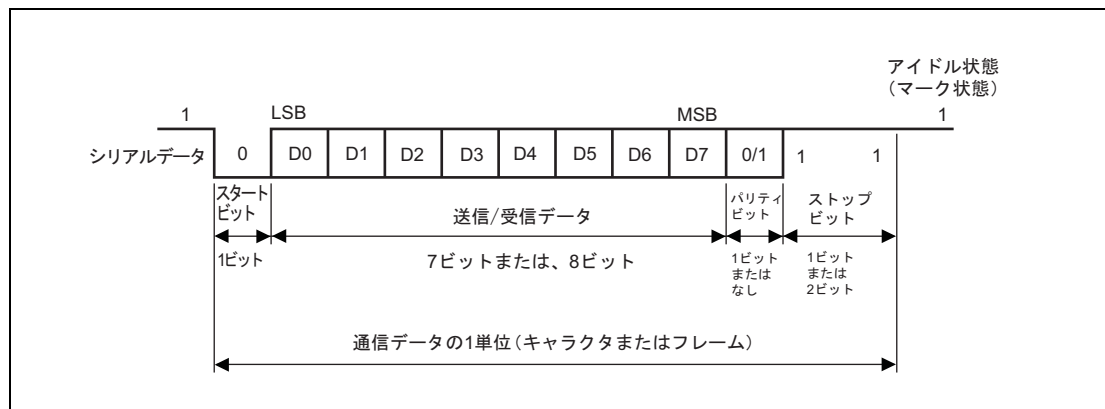


図 14.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

14.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 14.18 に示します。フォーマットは 12 種類あり、SCI3nSMR の選定により選択できます。マルチプロセッサビットについては「14.5 マルチプロセッサ通信機能」を参照してください。

表 14.18 シリアル送信/受信フォーマット (調歩同期式モード)

| SMRの設定 | | | | シリアル送信/受信フォーマットとフレーム長 | | | | | | | | | | | | |
|--------|----|----|------|-----------------------|---------|---|---|---|---|---|---|------|------|------|------|--|
| CHR | PE | MP | STOP | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | |
| 0 | 0 | 0 | 0 | S | 8ビットデータ | | | | | | | | STOP | | | |
| 0 | 0 | 0 | 1 | S | 8ビットデータ | | | | | | | | STOP | STOP | | |
| 0 | 1 | 0 | 0 | S | 8ビットデータ | | | | | | | | P | STOP | | |
| 0 | 1 | 0 | 1 | S | 8ビットデータ | | | | | | | | P | STOP | STOP | |
| 1 | 0 | 0 | 0 | S | 7ビットデータ | | | | | | | STOP | | | | |
| 1 | 0 | 0 | 1 | S | 7ビットデータ | | | | | | | STOP | STOP | | | |
| 1 | 1 | 0 | 0 | S | 7ビットデータ | | | | | | | P | STOP | | | |
| 1 | 1 | 0 | 1 | S | 7ビットデータ | | | | | | | P | STOP | STOP | | |
| 0 | — | 1 | 0 | S | 8ビットデータ | | | | | | | | MPB | STOP | | |
| 0 | — | 1 | 1 | S | 8ビットデータ | | | | | | | | MPB | STOP | STOP | |
| 1 | — | 1 | 0 | S | 7ビットデータ | | | | | | | MPB | STOP | | | |
| 1 | — | 1 | 1 | S | 7ビットデータ | | | | | | | MPB | STOP | STOP | | |

備考 S: スタートビット
 STOP: ストップビット
 P: パリティビット
 MPB: マルチプロセッサビット

14.4.2 受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3 はビットレートの 16 倍（倍速動作時は 8 倍）の周波数の基本クロックで動作します。受信時はスタートビットの始まり（Low レベル）を基本クロックでサンプリングして内部を同期化します。また、**図 14.3** に示すように受信データを基本クロックの 8 ケ目（倍速動作時は 4 ケ目）の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。

したがって、調歩同期式モードでの受信マージンは式 (1) のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5) F - \frac{|D-0.5|}{N} (1+F) \right| \times 100 [\%] \quad \cdots \text{式 (1)}$$

M: 受信マージン

N: クロックに対するビットレートの比（SCI3nSEMR の ABCS = 0 のとき N = 16、
ABCS = 1 のとき N = 8）

D: クロックのデューティ（D = 0.5 ~ 1.0）

L: フレーム長（L = 9 ~ 12）

F: クロック周波数の偏差の絶対値

式 (1) で、F（クロック周波数の偏差の絶対値）= 0、D（クロックのデューティ）= 0.5、
N = 16 とすると、

$$M = \left\{ 0.5 - \frac{1}{(2 \times 16)} \right\} \times 100 [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

ビットレートモジュレーション機能使用時は基本クロックの周波数を平均的に補正します。

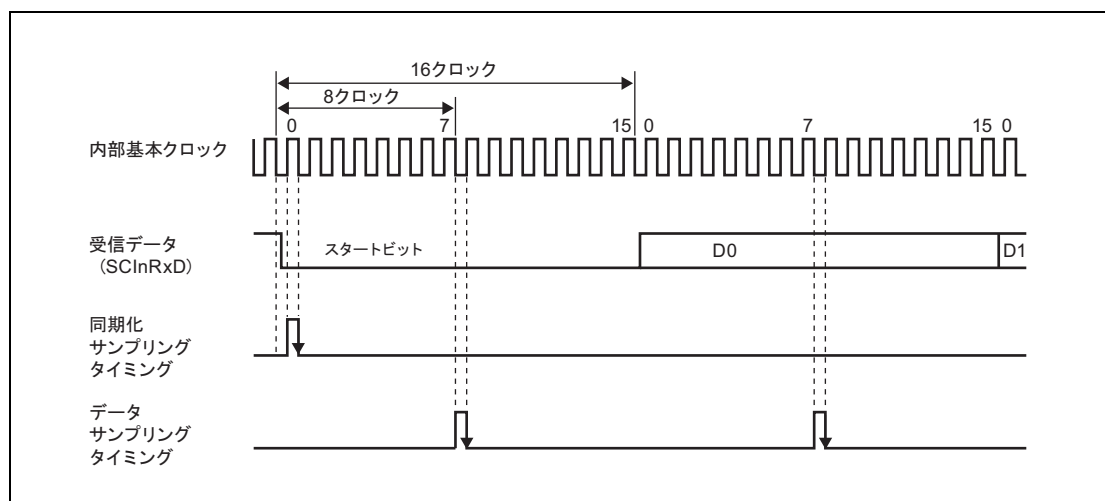


図 14.3 調歩同期式モードの受信データサンプリングタイミング

14.4.3 クロック

SCI3 の送受信クロックは、SCI3nSMR の CM ビットと SCI3nSCR の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックを設定できます。内部クロックで動作させるときは SCIInSCK 端子からクロックを出力することができます。

クロック同期式モードについては「14.6 クロック同期式モードの動作」を参照してください。

調歩同期式モードの場合、図 14.4 に示すように出力されるクロックの周波数はビットレートと等しく送信データの中央で立ち上がる位相となります。

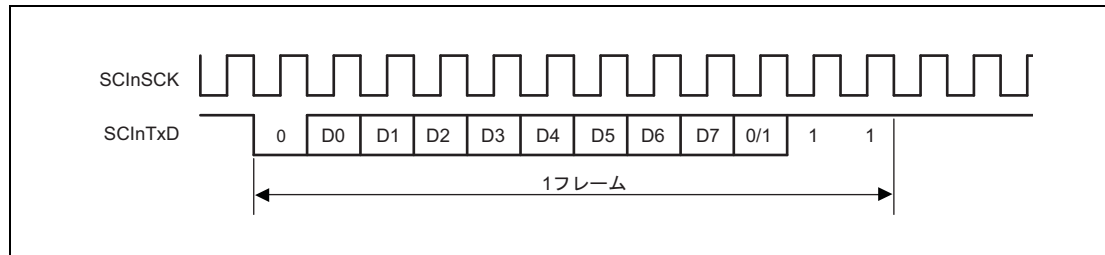


図 14.4 出カクロックと送信データの位相関係 (調歩同期式モード)

14.4.4 倍速動作

「14.4.3 クロック」の動作に加えて、SCI3nSEMR の ABCS ビットの設定により倍速動作が可能です。

通常のビットレートの 16 倍の周波数のクロックの動作を倍速動作では、8 倍の周波数のクロックで動作させることができます。同一の基本クロックで 2 倍の転送レートで動作することができます。

倍速動作は、内部ボーレートジェネレータの生成する内部クロックを設定できます。

14.4.5 SCI3の初期化（調歩同期式）

データの送受信前に、SCI3nSCRのTE、REビットをクリアした後、**図14.5**のフローチャートの例にしたがって初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットをいずれも0にクリアしてから変更を行ってください。TEビットを0にクリアすると、TDREフラグは1にセットされますが、REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびSCI3nRDRは初期化されませんので注意してください。

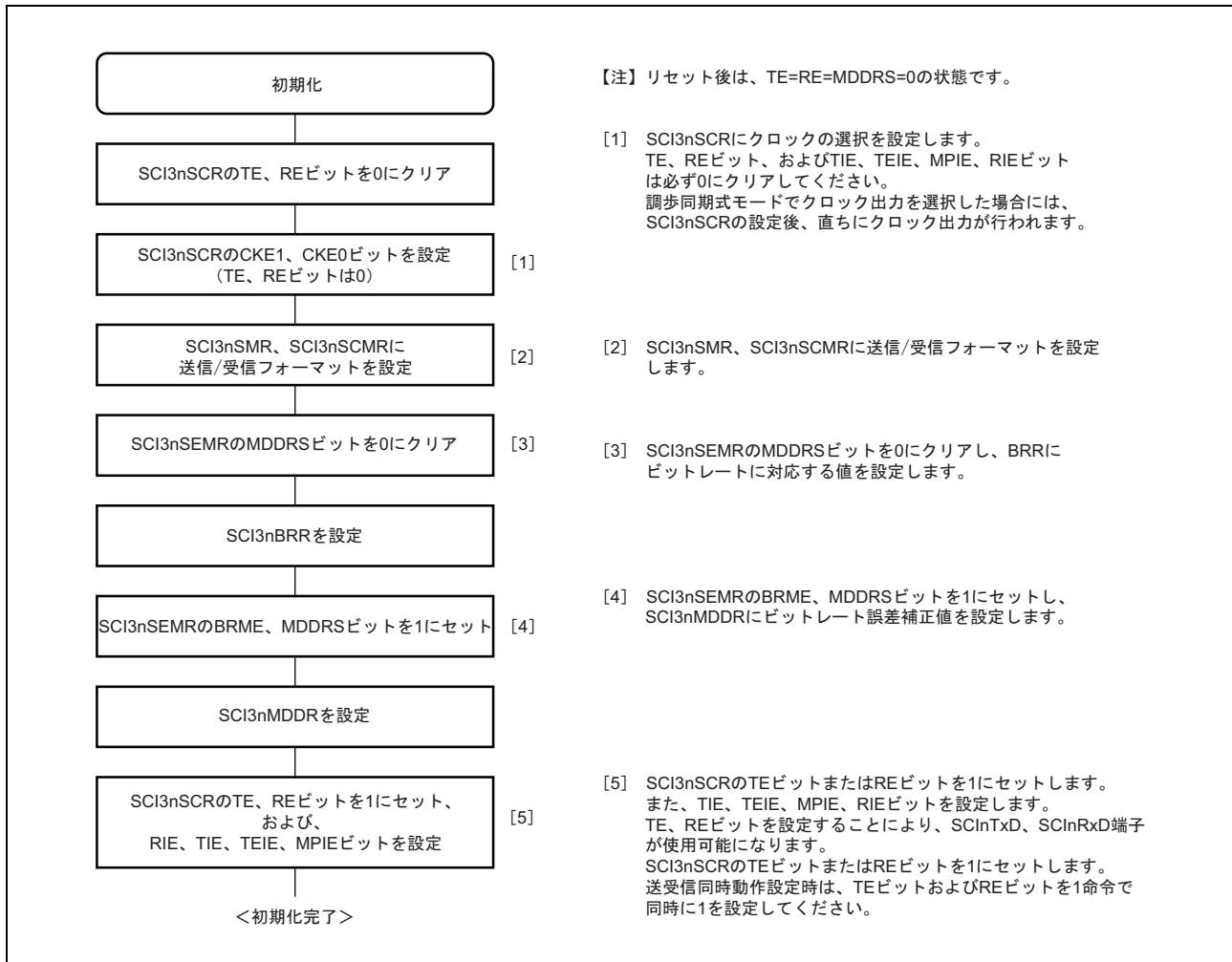


図 14.5 SCI3の初期化フローチャートの例

14.4.6 シリアルデータ送信 (調歩同期式)

図 14.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI3 は以下のよう
に動作します。

1. SCI3nTDR に送信データをライトすると TDRE フラグは自動的に 0 にクリアされます。SCI3 は SCI3nSSR の TDRE フラグを監視し、クリアされると SCI3nTDR にデータが書き込まれたと認識して SCI3nTDR から SCI3nTSR にデータを転送します。なお、SCI3nTDR への送信データライトを TXI 割り込み要求にて行う場合、TIE ビットを 1 にセットした後に TE ビットを 1 にセットするか、TIE ビットと TE ビットを 1 命令で同時に 1 にセットすることで転送開始時の TXI 割り込み要求を発生させることができます。
2. SCI3nTDR から SCI3nTSR にデータを転送すると、TDRE フラグを 1 にセットして送信を開始します。このとき、SCI3nSCR の TIE ビットが 1 にセットされていると TXI 割り込み要求を発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに SCI3nTDR に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、最終送信データを SCI3nTDR レジスタに書き込んだ後、TIE ビットを 0 にクリアし、TEIE ビットを 1 にセットします。
3. SCI3nTxD 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDRE フラグをチェックします。
5. TDRE フラグが 0 であると次の送信データを SCI3nTDR から SCI3nTSR にデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDRE フラグが 1 であると SCI3nSSR の TEND フラグを 1 をセットし、ストップビット送出後、1 を出力してマーク状態になります。このとき SCI3nSCR の TEIE ビットが 1 にセットされていると TEI 割り込み要求を発生します。

図 14.7 にデータ送信のフローチャートの例を示します。また、図 14.8 に、データ送信後に SCI3 を停止するフローチャートの例を示します。

※ 調歩同期式モードの送信許可時の動作に関する補足

TE ビットを 0 から 1 にセットすると 1 フレーム分の High レベル (プリアンブル) を出力します。プリアンブル出力中に SCI3nTDR に送信データをライトすると、プリアンブル出力終了後にその送信データが SCI3nTDR から SCI3nTSR にデータが転送されます。

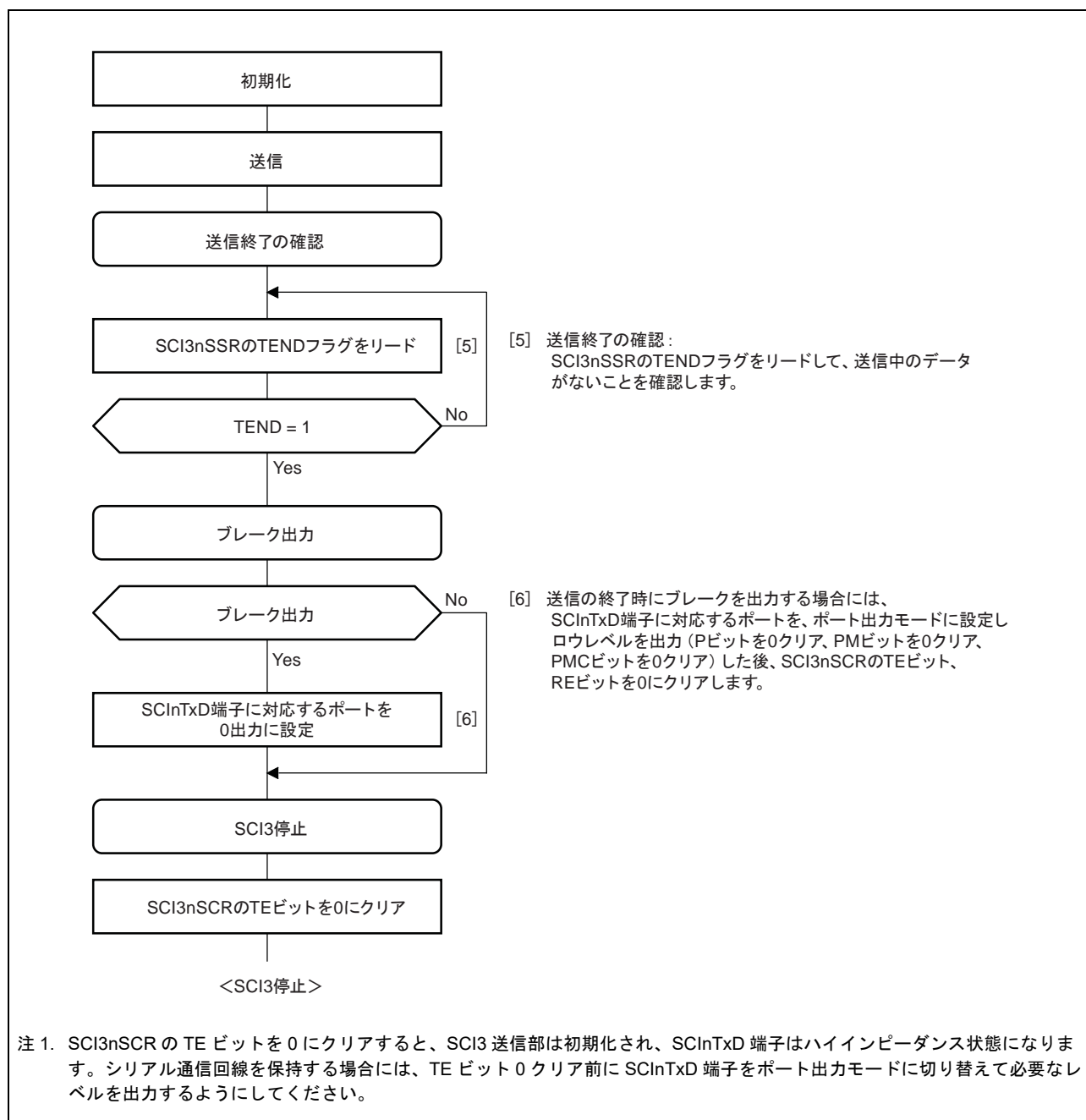


図 14.8 シリアル送信後に SCI3 を停止するフローチャートの例

14.4.7 シリアルデータ受信（調歩同期式）

図 14.9 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI3 は以下のよう
に動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データを SCI3nRSR に取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき（SCI3nSSR の RDRF フラグが 1 にセットされたまま次のデータを受信完了したとき）は SCI3nSSR の ORER フラグをセットします。このとき SCI3nSCR の RIE ビットが 1 にセットされていると ERI 割り込み要求が発生します。受信データは SCI3nRDR に転送しません。RDRF フラグは 1 にセットされた状態を保持します。
3. パリティエラーを検出した場合は SCI3nSSR の PER フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると ERI 割り込み要求が発生します。
4. フレーミングエラー（ストップビットが 0 のとき）を検出した場合は SCI3nSSR の FER フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると ERI 割り込み要求が発生します。
5. 正常に受信したときは SCI3nSSR の RDRF フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで SCI3nRDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。SCI3nRDR をリードすると、RDRF フラグは自動的に 0 にクリアされます。

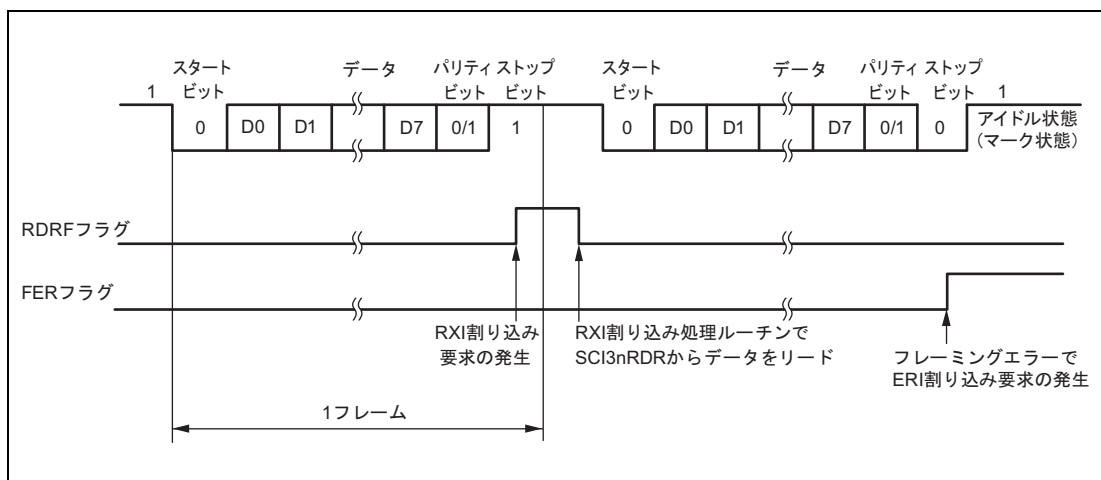


図 14.9 SCI3 の受信時の動作例（8 ビットデータ／パリティあり／1 ストップビットの例）

受信エラーを検出した場合の SCI3nSSR の各ステータスフラグの状態と受信データの処理を **表 14.19** に示します。受信エラーを検出すると、RDRF フラグはデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF の各フラグを 0 にクリアしてください。**図 14.10** にデータ受信のためのフローチャートの例を示します。

表 14.19 SCI3nSSR のステータスフラグの状態と受信データの処理

| SCI3nSSR のステータスフラグ | | | | 受信データ | 受信状態 |
|--------------------|------|-----|-----|--------------|--------------------------------|
| RDRF 注1 | ORER | FER | PER | | |
| 1 | 0 | 0 | 0 | SCI3nRDR へ転送 | 正常受信 |
| 0 | 0 | 1 | 0 | SCI3nRDR へ転送 | フレーミングエラー |
| 0 | 0 | 0 | 1 | SCI3nRDR へ転送 | パリティエラー |
| 0 | 0 | 1 | 1 | SCI3nRDR へ転送 | フレーミングエラー + パリティエラー |
| 1* | 1 | 0 | 0 | 消失 | オーバランエラー |
| 1* | 1 | 1 | 0 | 消失 | オーバランエラー + フレーミングエラー |
| 1* | 1 | 0 | 1 | 消失 | オーバランエラー + パリティエラー |
| 1* | 1 | 1 | 1 | 消失 | オーバランエラー + フレーミングエラー + パリティエラー |

注 1. オーバランエラーの場合、RDRF フラグは、データ受信前の状態を保持します。

備考 + は、1つの受信動作において、同時に発生することを示します。

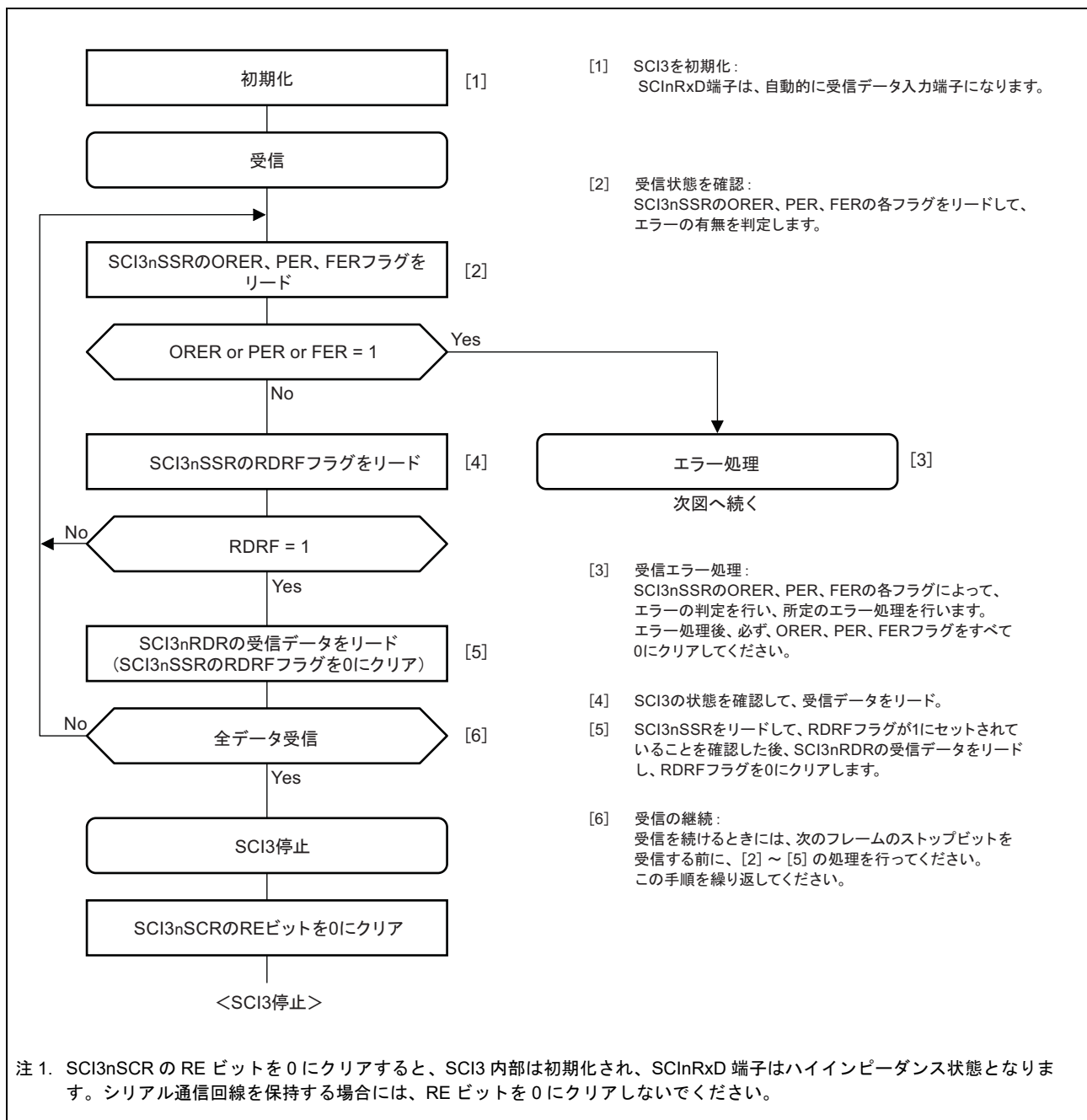


図 14.10 シリアル受信のフローチャートの例 (1)

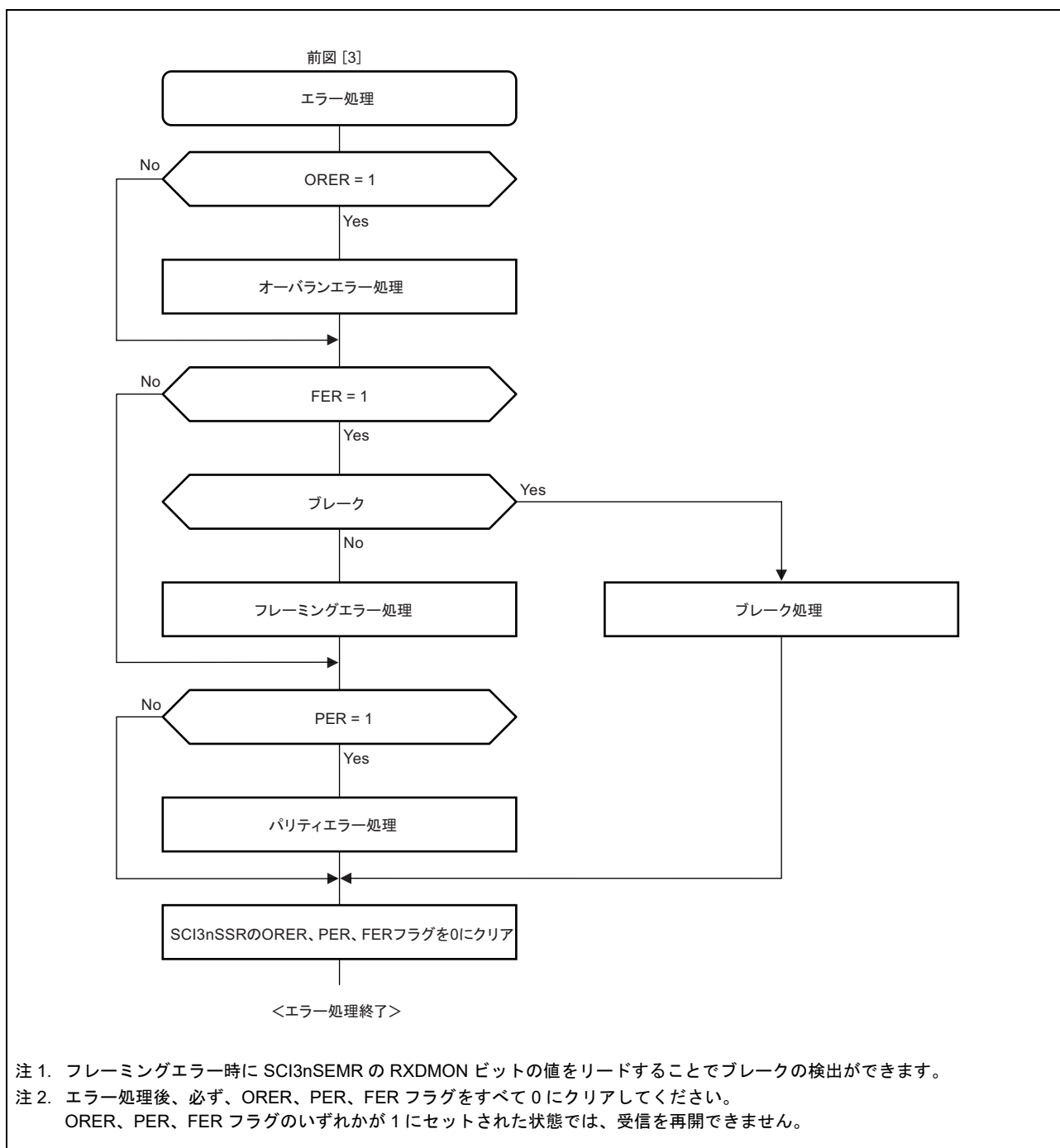


図 14.11 シリアル受信のフローチャートの例 (2)

14.5 マルチプロセッサ通信機能

14.5.1 概要と接続例

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 14.12 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI3 はこの機能をサポートするため、SCI3nSCR に MPIE ビットが設けてあります。MPIE ビットを 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで SCI3nRSR から SCI3nRDR への受信データの転送、および受信エラーの検出と SCI3nSSR の RDRF、FER、ORER の各フラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SCI3nSSR の MPB ビットが 1 にセットされるとともに MPIE ビットが自動的に 0 にクリアされて通常の実動作に戻ります。このとき SCI3nSCR の RIE ビットがセットされていると RXI 割り込み要求を発生します。MPIE ビットが 0 にクリアされた状態では、マルチプロセッサビットの値に関係なく受信動作を行います。マルチプロセッサビットは、SCI3nSSR の MPB ビットに格納されます。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の実動作モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の実動作モードと同一です。

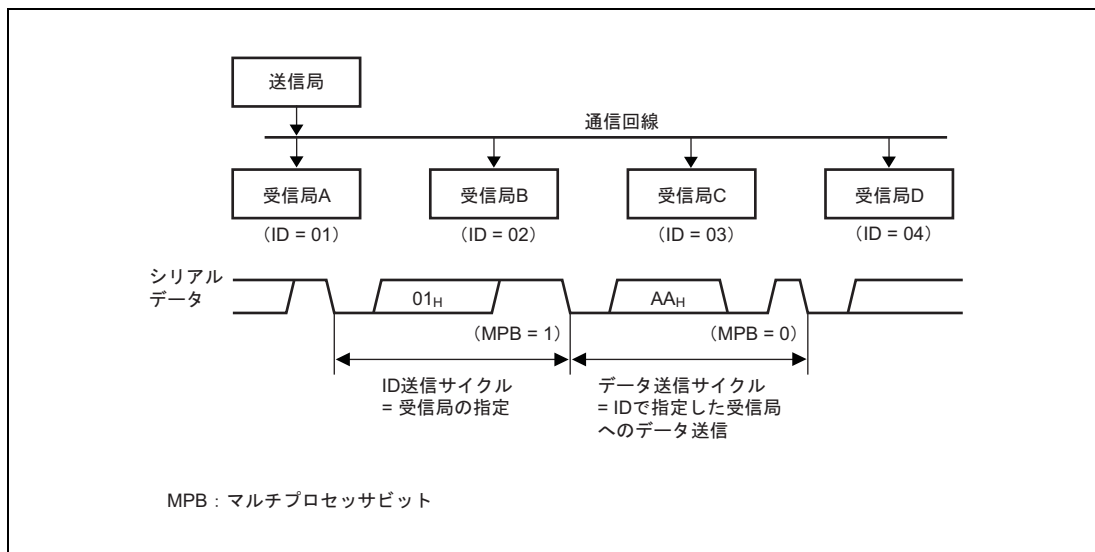


図 14.12 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ AAH の送信の例）

14.5.2 マルチプロセッサシリアルデータ送信

図 14.13 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SCI3nSSR の MPBT ビットを 1 にセットして送信してください。データ送信サイクルでは SCI3nSSR の MPBT ビットを 0 にクリアして送信してください。その他の動作は調歩同期モードの動作と同じです。

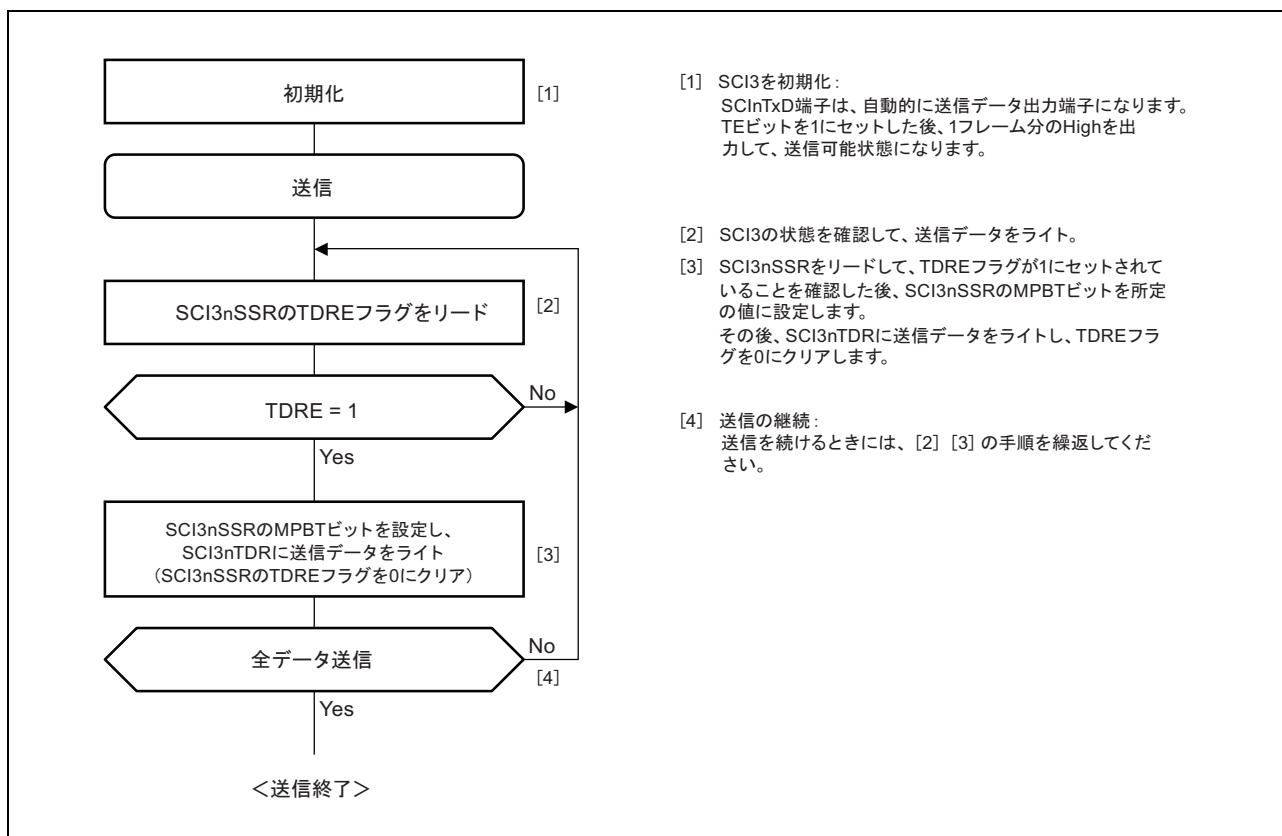


図 14.13 マルチプロセッサシリアル送信のフローチャートの例

14.5.3 マルチプロセッサシリアルデータ受信

図 14.15 にマルチプロセッサデータ受信のフローチャートの例を示します。SCI3nSCR の MPIE ビットを 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとびます。マルチプロセッサビットが 1 の通信データを受信すると受信データを SCI3nRDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 14.14 に受信時の動作例を示します。

注 意

マルチプロセッサビットが 1 の通信データを受信するタイミングで、SCI3nSCR へのライトを行わないでください。MPIE ビットが所望の状態にならない場合があります。

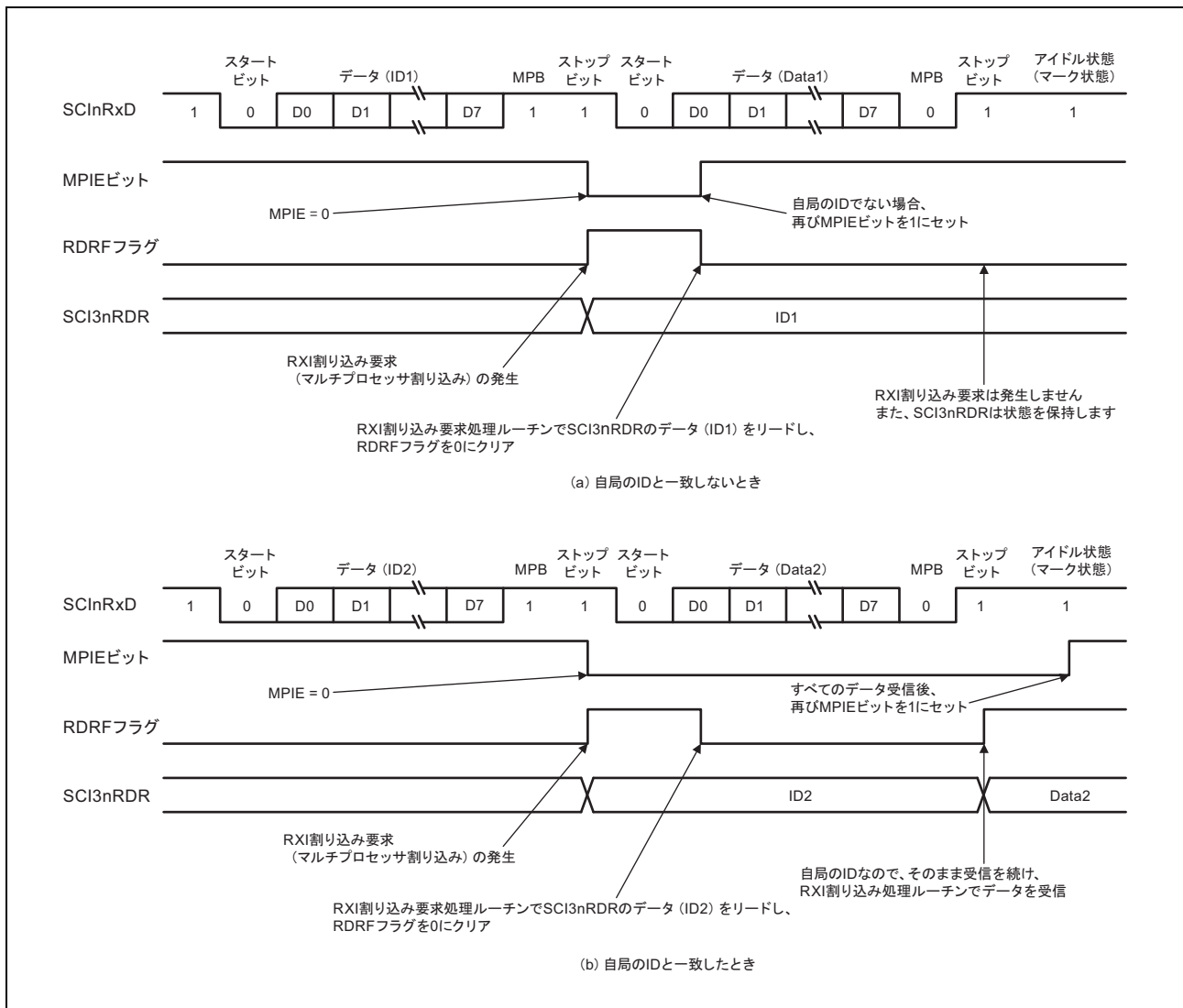


図 14.14 SCI3 の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)

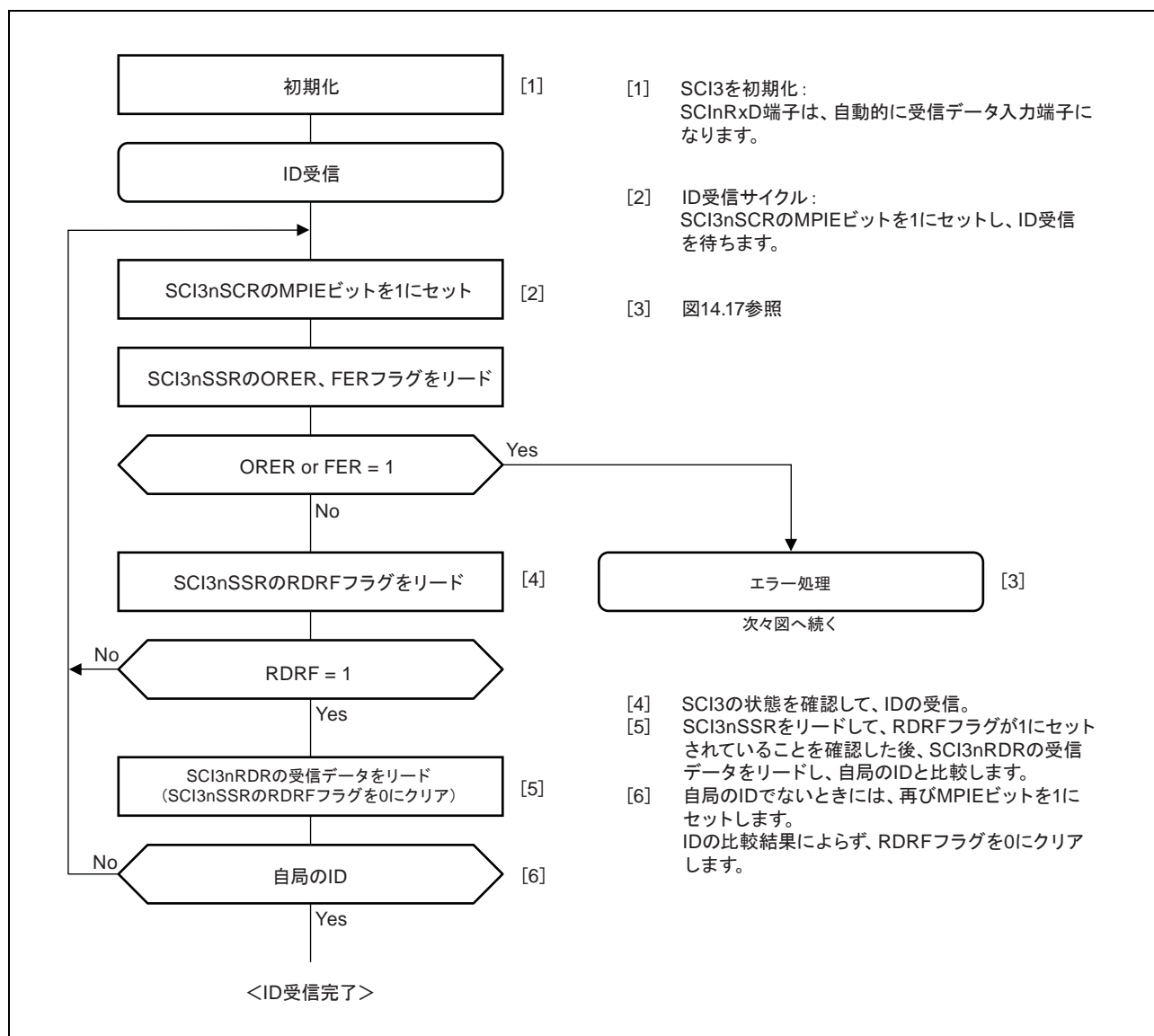
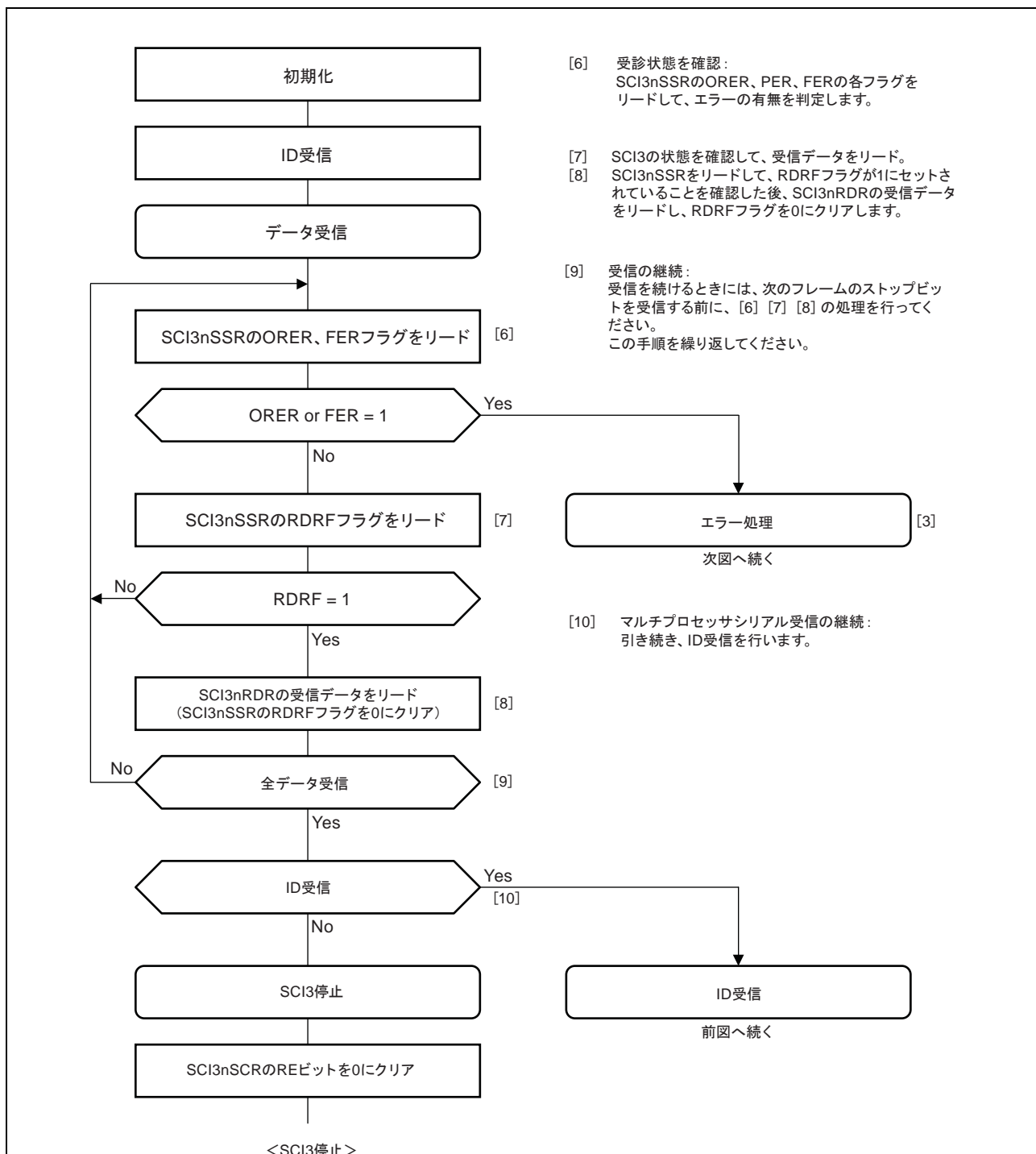


図 14.15 マルチプロセッサシリアル受信のフローチャートの例 (1)



注 1. SCI3nSCR の RE ビットを 0 にクリアすると、SCI3 内部は初期化され、SCI3nRxD 端子はハイインピーダンス状態となります。シリアル通信回線を保持する場合には、RE ビットを 0 にクリアしないでください。

図 14.16 マルチプロセッサシリアル受信のフローチャートの例 (2)

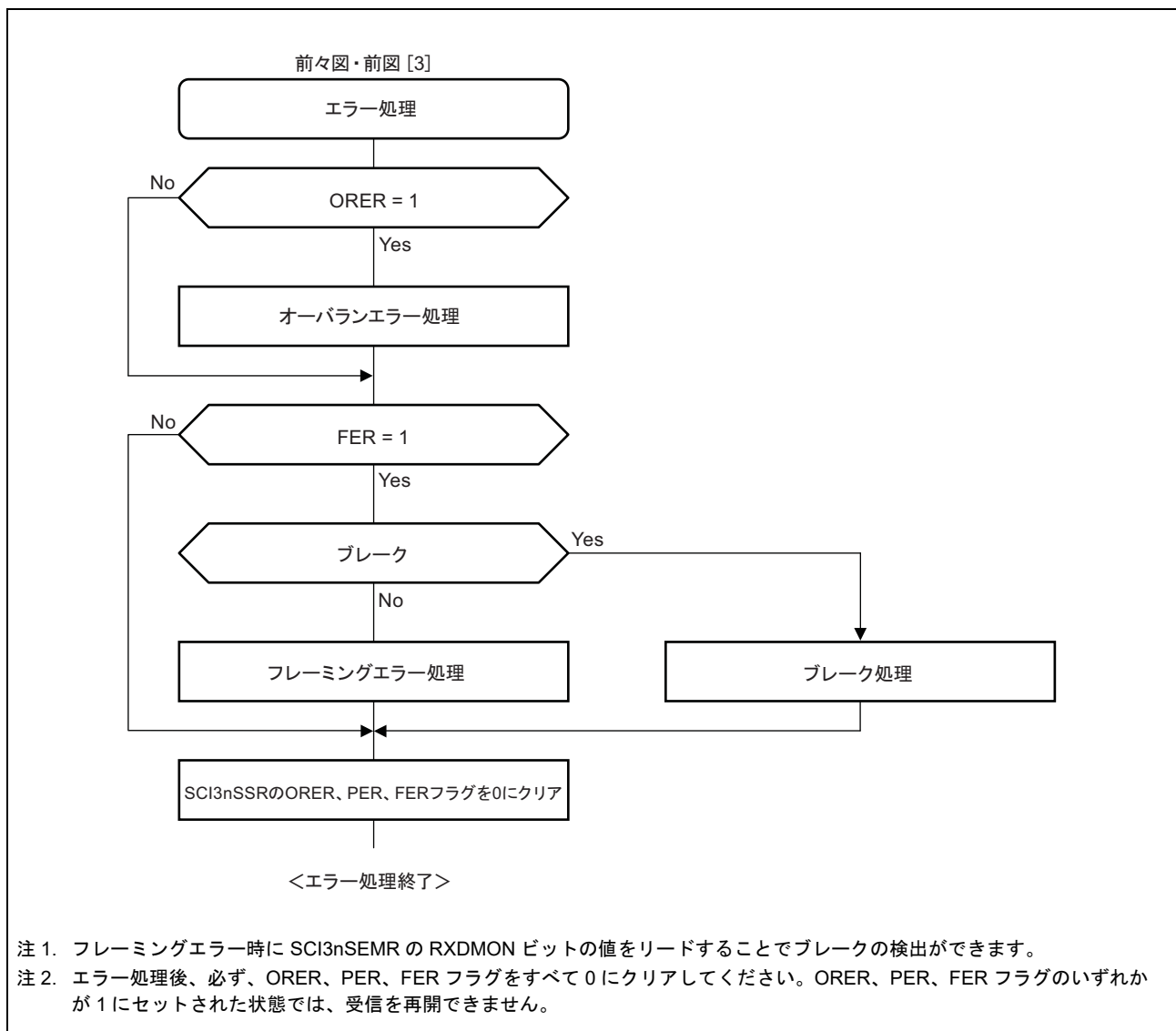


図 14.17 マルチプロセッサシリアル受信のフローチャートの例 (3)

14.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 14.18 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。SCI3は、同期クロック出力時のデータ送信においては、同期クロックの立ち下がりから次の立ち上がりまでデータを出力します。同期クロック入力時のデータ送信においては、転送開始最初のデータ（ビット0）を SCI3nSSR.TDRE ビットを0にクリアした直後から出力し、その後は同期クロックの立ち上がりから ϕ クロックで2～3クロック後に次のビットのデータを出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI3内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

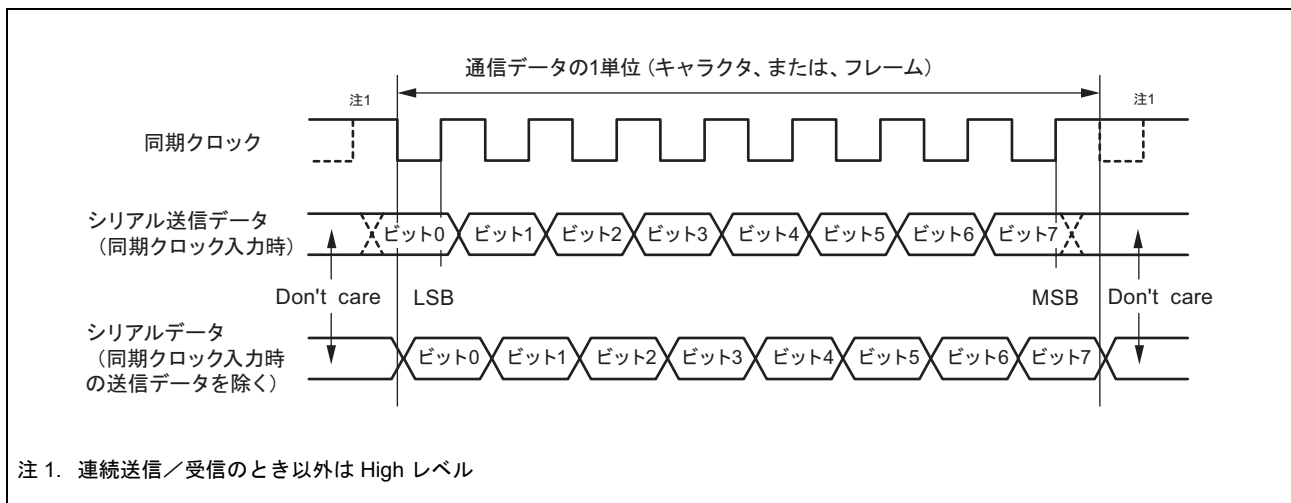


図 14.18 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

14.6.1 クロック

SCI3nSCR の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCInSCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCInSCK 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High レベルに固定されます。

14.6.2 SCI3の初期化（クロック同期式）

データの送受信前に、SCI3nSCRのTE、REビットをいずれも0にクリアしたあと、**図14.19**のフローチャートの例にしたがって初期化してください。送信動作、受信動作、送受信動作を切り替えるときには、いったん、TEビットとREビットを0にクリアしてから、TEビット、REビットを所望の値に設定してください。通信フォーマットの変更の場合も必ず、TEビットおよびREビットをいずれも0にクリアしてから変更を行ってください。TEビットを0にクリアすると、TDREフラグは1にセットされますが、REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびSCI3nRDRは初期化されませんので注意してください。

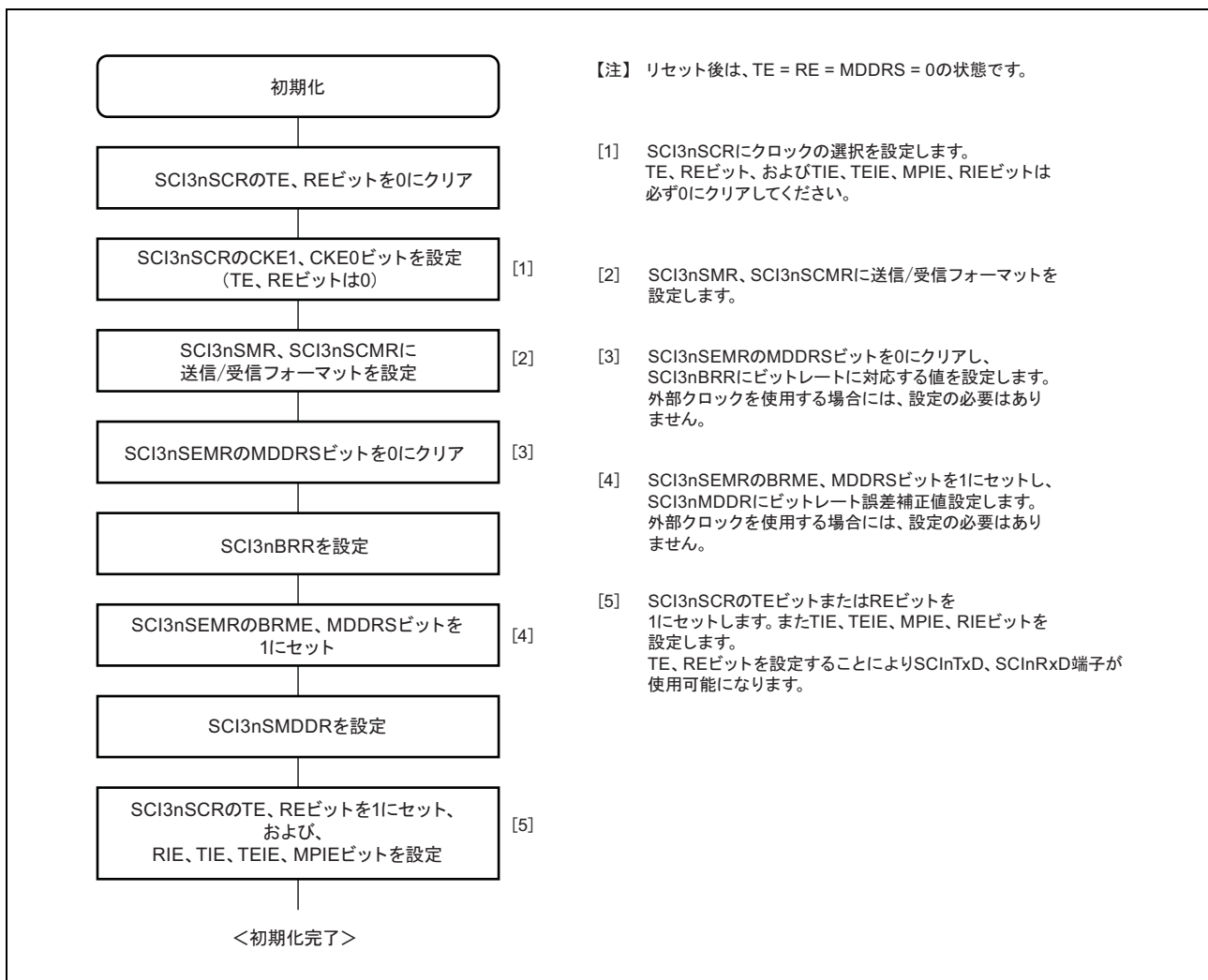


図 14.19 SCI3の初期化フローチャートの例

14.6.3 シリアルデータ送信 (クロック同期式)

図 14.20 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI3 は以下のように動作します。

1. SCI3nTDR に送信データをライトすると、TDRE フラグは自動的に 0 にクリアされます。SCI3 は SCI3nSSR の TDRE フラグを監視し、クリアされると SCI3nTDR にデータが書き込まれたと認識して SCI3nTDR から SCI3nTSR にデータを転送し、同期クロック入力時には最初のビットの出力を開始します。なお、SCI3nTDR への送信データライトを TXI 割り込み要求にて行う場合、TIE ビットを 1 にセットしたあとに TE ビットを 1 にセットするか、TIE ビットと TE ビットを 1 命令で同時に 1 にセットすることで転送開始時の TXI 割り込み要求を発生させることができます。
2. SCI3nTDR から SCI3nTSR にデータを転送すると、TDRE フラグを 1 にセットして送信を開始します。このとき、SCI3nSCR の TIE ビットが 1 にセットされていると TXI 割り込み要求を発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに SCI3nTDR に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、最終送信データを SCI3nTDR レジスタに書き込んだあと、TIE ビットを 0 にクリアし、TEIE ビットを 1 にセットします。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、SCI3nTxD 端子から 8 ビットのデータを出力します。
4. 最終ビットを送り出すタイミングで TDRE フラグをチェックします。
5. TDRE フラグが 0 であると次の送信データを SCI3nTDR から SCI3nTSR に転送し、次のフレームの送信を開始します。
6. TDRE フラグが 1 であると SCI3nSSR の TEND フラグに 1 をセットし、最終ビット出力状態を保持します。このとき SCI3nSCR の TEIE ビットが 1 にセットされていると TEI 割り込み要求を発生します。SCI3nSCK 端子は High レベルに固定されます。

図 14.21 にデータ送信のフローチャートの例を示します。また、図 14.22 に、データ送信後に SCI3 を停止するフローチャートの例を示します。受信エラーフラグ (ORER) が 1 にセットされた状態では TDRE フラグをクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、受信エラーフラグは RE ビットをクリアしただけではクリアされませんので注意してください。

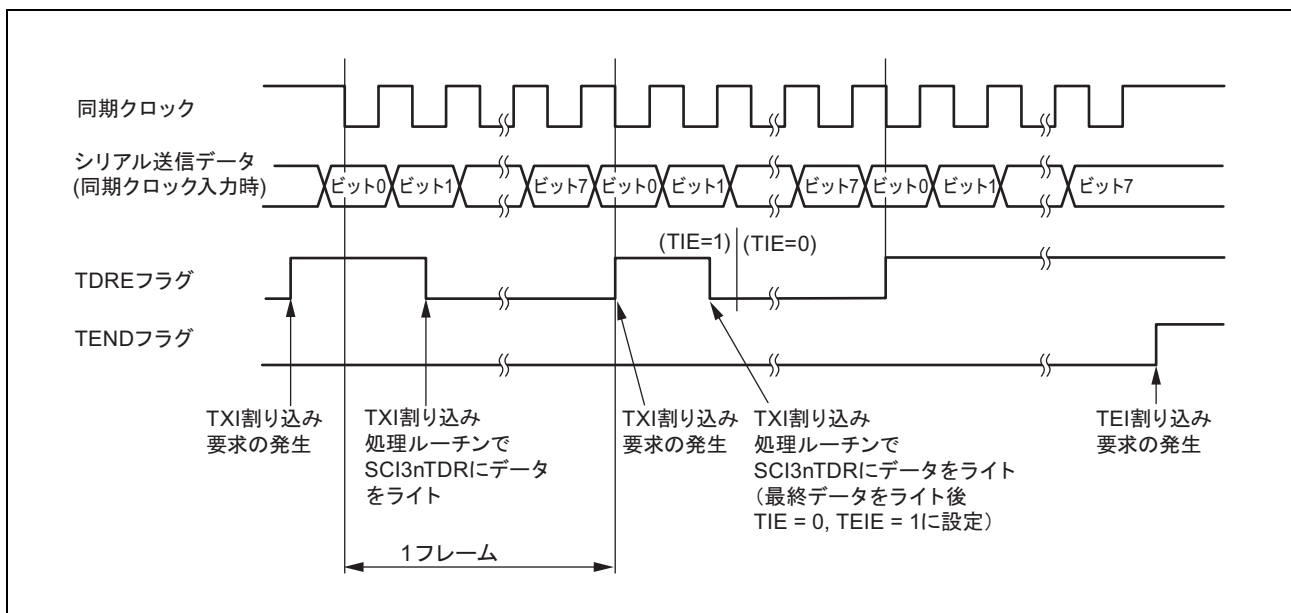


図 14.20 クロック同期式モードの送信時の動作例

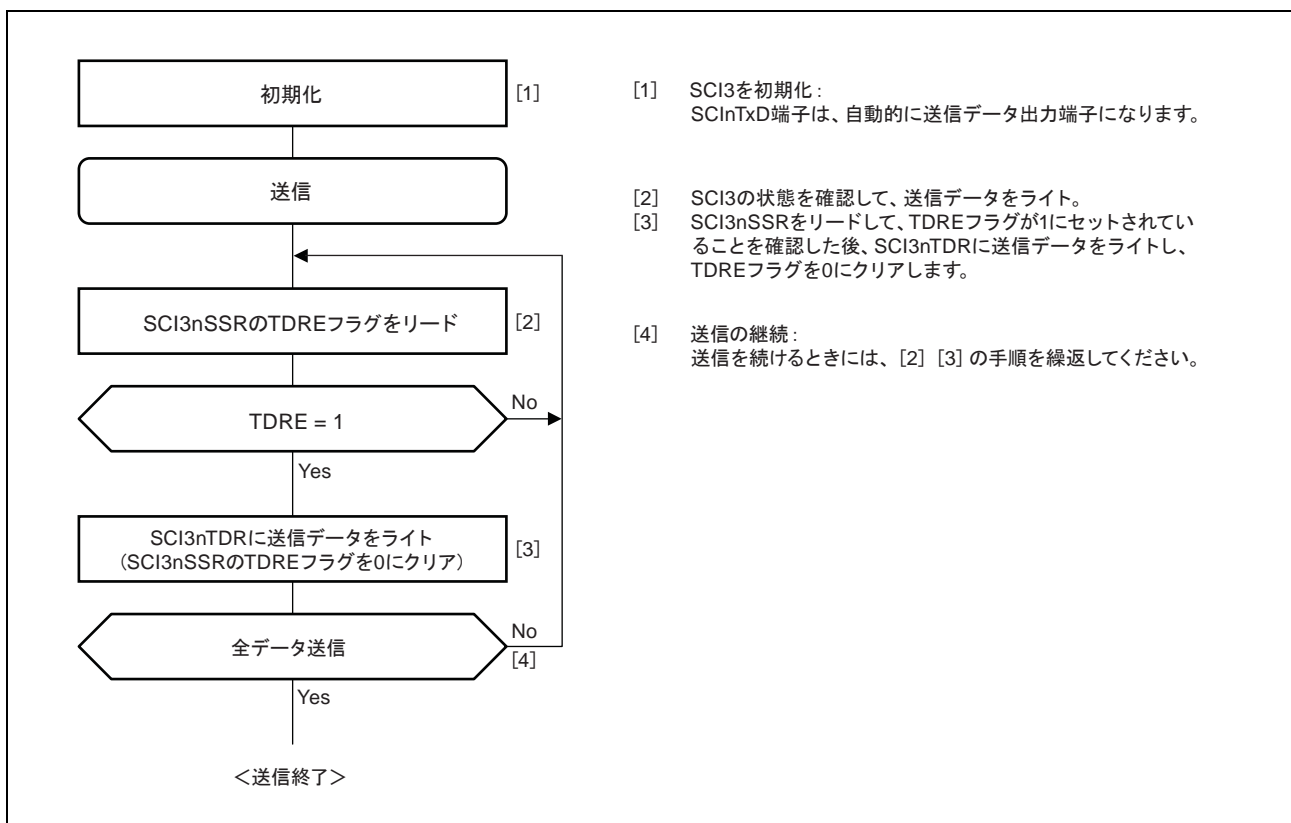


図 14.21 シリアル送信のフローチャートの例

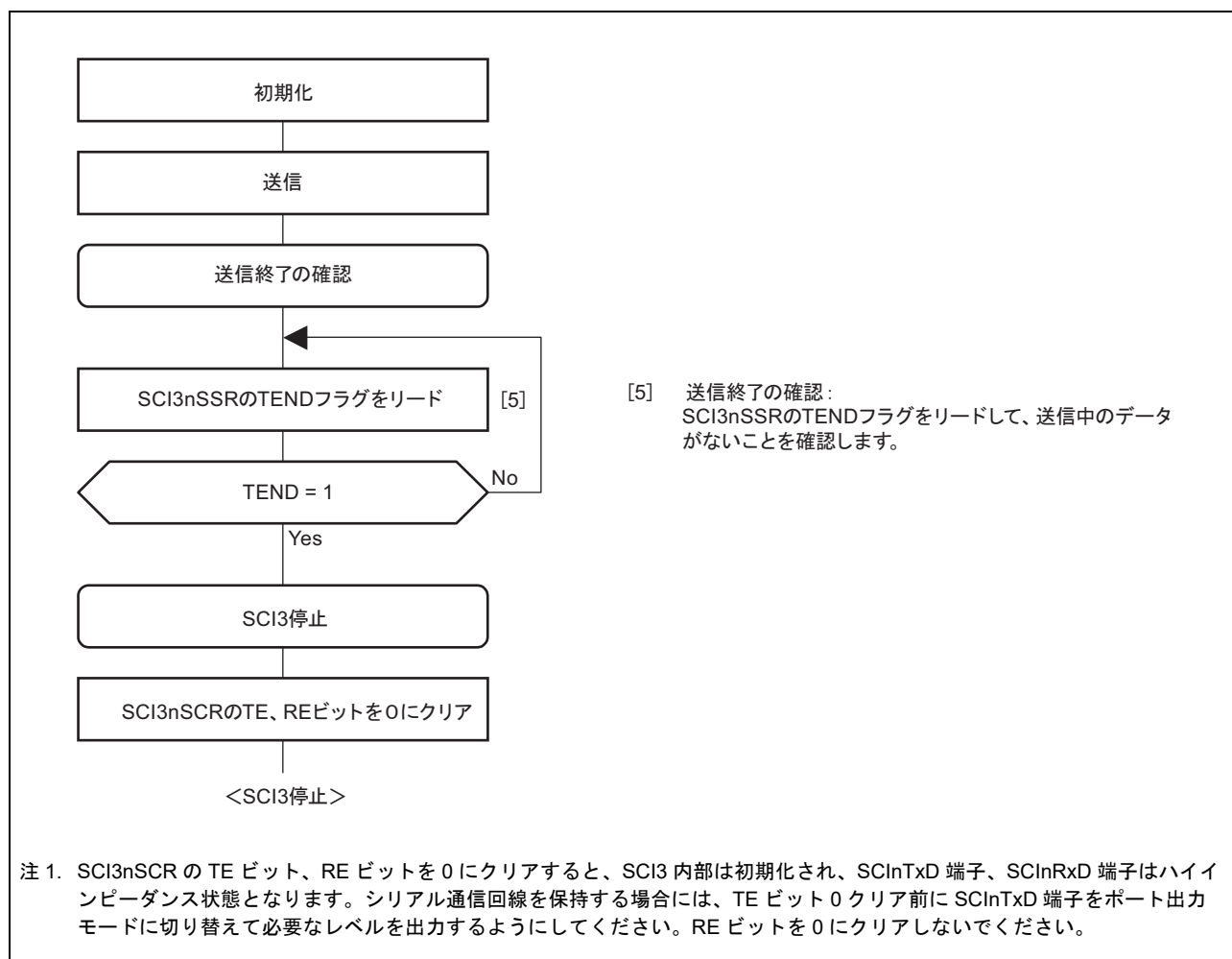


図 14.22 シリアル送信後に SCI3 を停止するフローチャートの例

14.6.4 シリアルデータ受信（クロック同期式）

図 14.23 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI3 は以下のように動作します。

1. SCI3 は同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データを SCI3nRSR に取り込みます。
2. オーバランエラーが発生したとき（SCI3nSSR の RDRF フラグが 1 にセットされたまま次のデータを受信完了したとき）は SCI3nSSR の ORER フラグをセットします。このとき SCI3nSCR の RIE ビットが 1 にセットされていると ERI 割り込み要求が発生します。受信データは SCI3nRDR に転送しません。RDRF フラグは 1 にセットされた状態を保持します。
3. 正常に受信したときは SCI3nSSR の RDRF フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで SCI3nRDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。SCI3nRDR をリードすると、RDRF フラグは自動的に 0 にクリアされます。

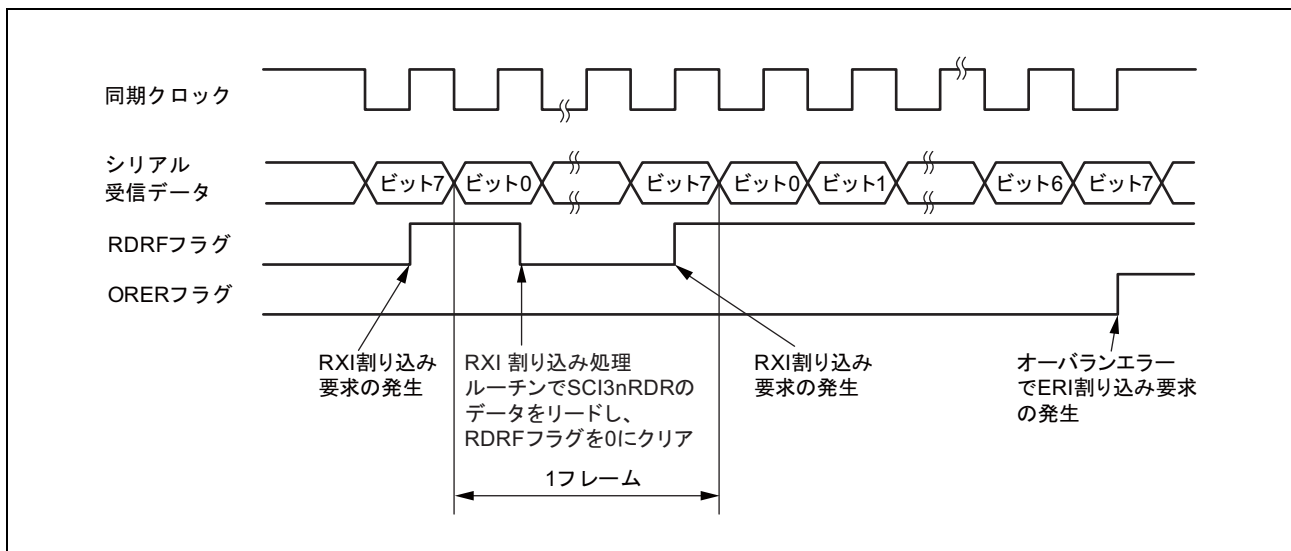


図 14.23 SCI3 の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF の各フラグを 0 にクリアしてください。図 14.24 にデータ受信のためのフローチャートの例を示します。

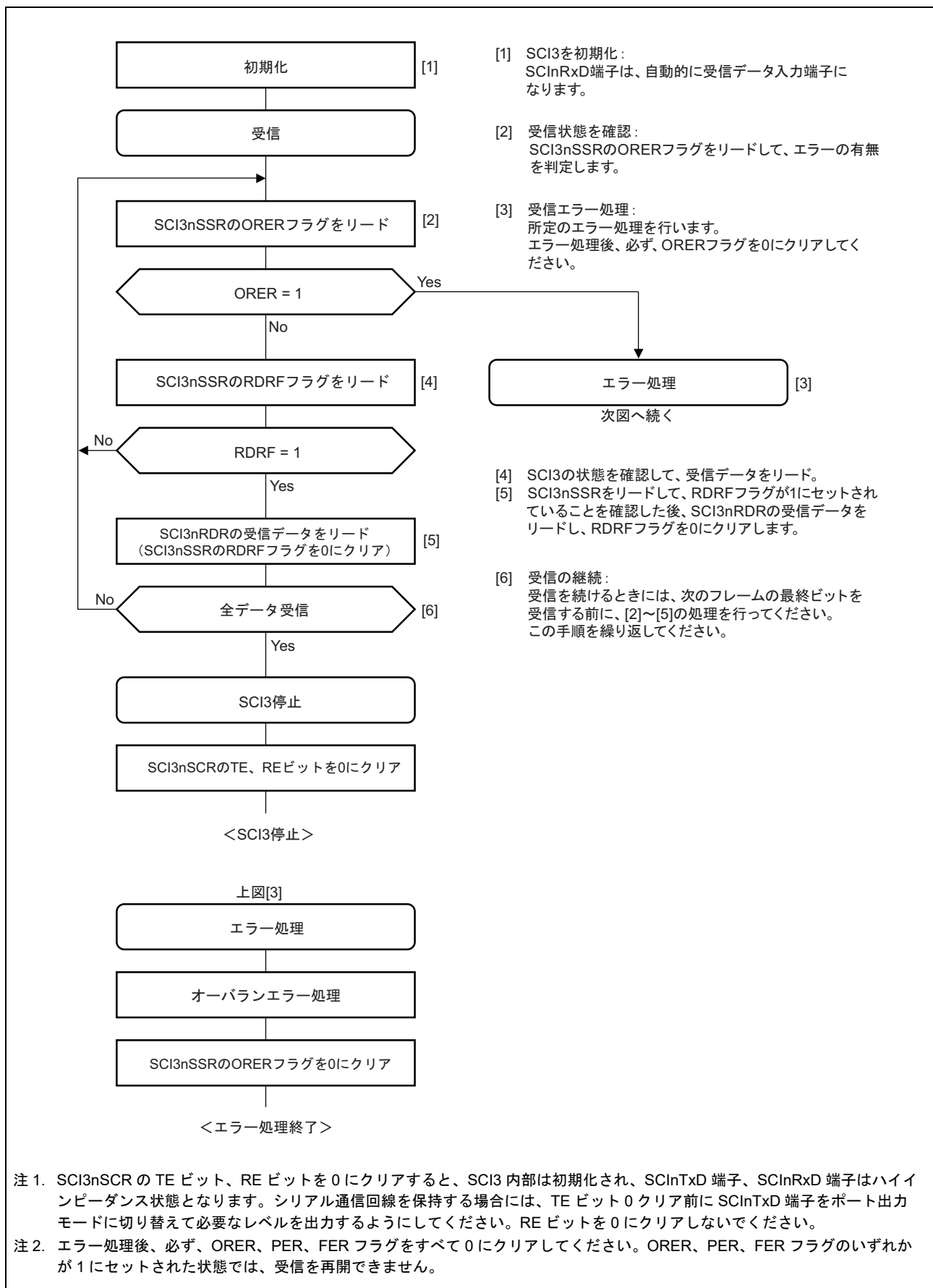


図 14.24 シリアル受信のフローチャートの例

注 1. SCI3nSCR の TE ビット、RE ビットを 0 にクリアすると、SCI3 内部は初期化され、SCI3nTxD 端子、SCI3nRxD 端子はハイインピーダンス状態となります。シリアル通信回線を保持する場合には、TE ビット 0 クリア前に SCI3nTxD 端子をポート出力モードに切り替えて必要なレベルを出力するようにしてください。RE ビットを 0 にクリアしないでください。

注 2. エラー処理後、必ず、ORER、PER、FER フラグをすべて 0 にクリアしてください。ORER、PER、FER フラグのいずれかが 1 にセットされた状態では、受信を再開できません。

14.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 14.25 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI3 の初期化後、以下の手順にしたがって行ってください。

1. 送信から同時送受信へ切り替えるときには、SCI3 が送信終了状態であること、TDRE フラグおよび TEND フラグが 1 にセットされていることを確認した後、TE ビットを 0 にクリアしてから TE ビットおよび RE ビットを 1 命令で同時に 1 にセットしてください。
2. 受信から同時送受信へ切り替えるときには、SCI3 が受信完了状態であることを確認し、RE ビットを 0 にクリアしてから RDRF フラグおよびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE ビットおよび RE ビットを 1 命令で同時に 1 にセットしてください。

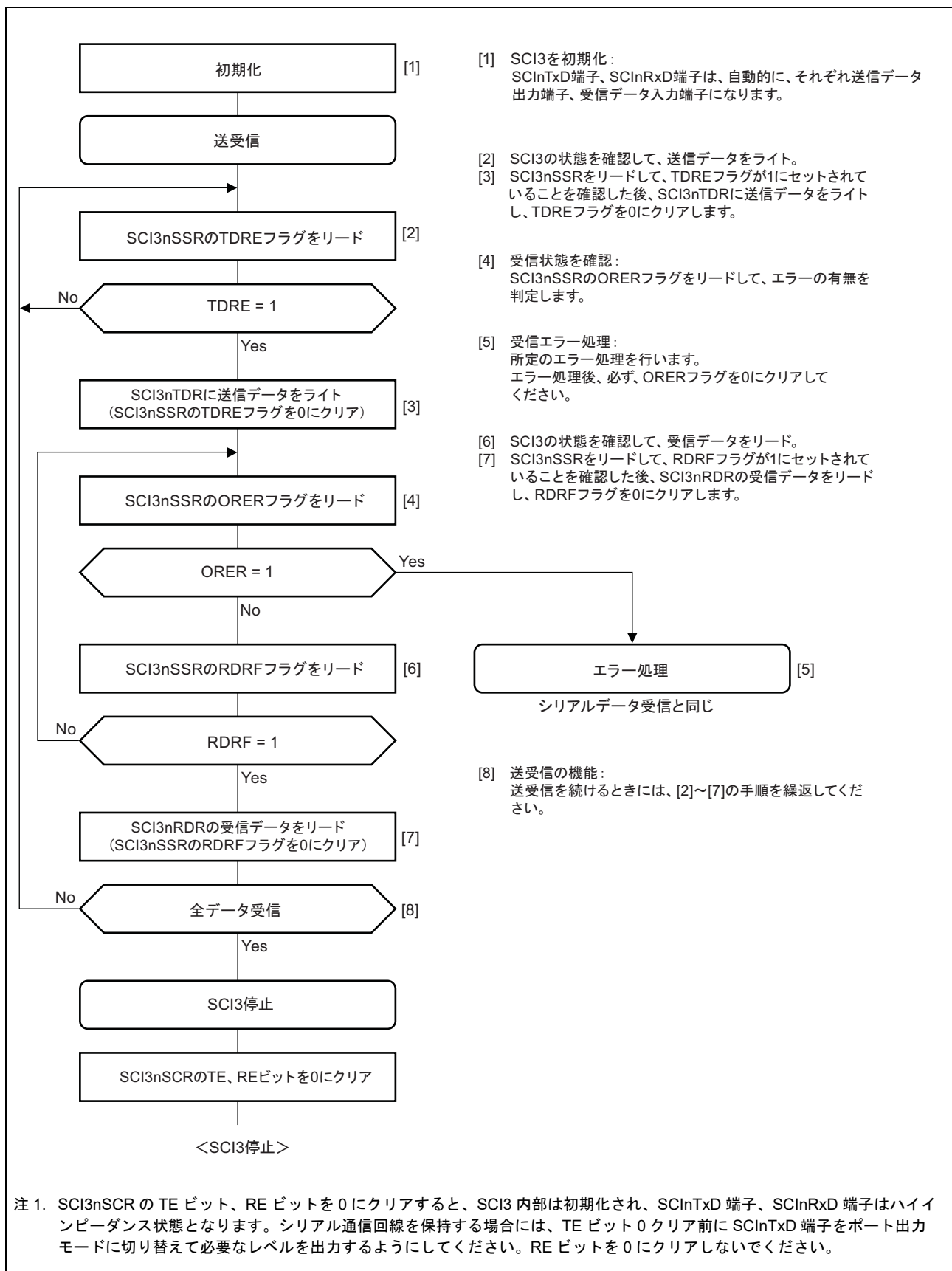


図 14.25 シリアル送受信同時動作のフローチャートの例

14.7 ビットレートモジュレーション機能

ビットレートモジュレーション機能は、SCI3nSMR の CKS1、CKS0 ビットで指定された内部クロックを、その 256 クロック中で SCI3nMDDR で指定した個数のクロックを平均的にイネーブルにすることによってビットレートを補正します。

調歩同期式モードで CKS1、CKS0 ビットで ϕ クロックを選択し、SCI3nBRR = 0、SCI3nMDDR = 160 に設定した例を、**図 14.26** に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されます。内部クロックのイネーブルには偏りがあり、内部基本クロックのパルス幅は、選択した内部クロック分の伸縮が生じますので注意してください。

クロック同期式モードの最高速設定 (SCI3nSMR の CKS1 ビット = CKS0 ビット = 0、かつ SCI3nSCR の CKE1 ビット = 0、かつ SCI3nBRR = 0) では、本機能を使用しないでください。

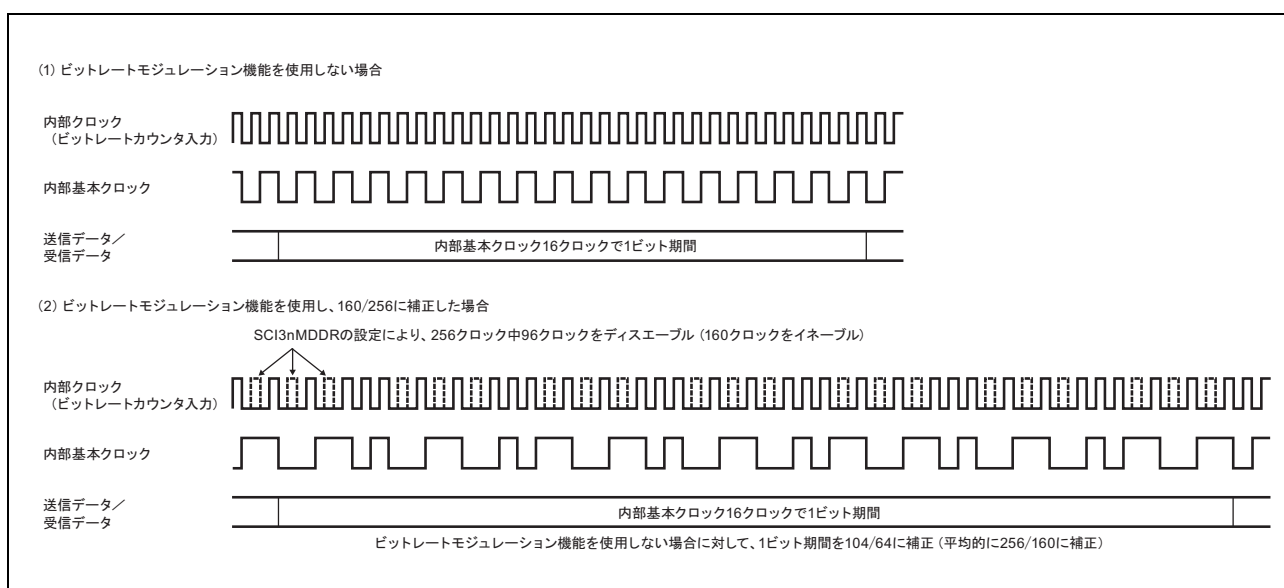


図 14.26 ビットレートモジュレーション機能使用時の内部基本クロックの例

14.8 割り込み要因

表 14.20 に割り込み要因を示します。各割り込み要因は独立した割り込み要求信号を出力しています。これらの割り込み要因は、SCI3nSCR のイネーブルビットにより独立にイネーブルにすることができます。

SCI3nSSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SCI3nSSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DMAC を起動してデータ転送を行うことができます。TDRE フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。

注 意

SCI3nSCR の TE ビットが 0 のときには、TDRE フラグと TEND フラグを 0 にクリアすることはできません。TEND フラグは TEI 割り込みのレベル割り込み要求フラグのため、TE ビットが 0 のときには、SCI3nSCR の TEIE ビットを 1 にセットしないでください。

SCI3nSSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SCI3nSSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DMAC を起動してデータ転送を行うことができます。RDRF フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込み要求は TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。

注 意

TEI 割り込み要求と TXI 割り込み要求が同時に発生している状態では TXI 割り込み要求が先に受け付けられます。このとき、TXI 割り込み処理ルーチンで TDRE フラグを 0 にクリアすると、自動的に TEND フラグも 0 にクリアされ、TEI 割り込み処理ルーチンへ分岐できなくなりますので注意してください。

表 14.20 SCI3 割り込み要因

| 名称 | 割り込み要因 | 割り込みフラグ | DMAC の起動 | DTS の起動 |
|-----|------------|--------------|----------|---------|
| ERI | 受信エラー | ORER、FER、PER | 不可 | 不可 |
| RXI | 受信データフル | RDRF | 可 | 不可 |
| TXI | 送信データエンプティ | TDRE | 可 | 不可 |
| TEI | 送信終了 | TEND | 不可 | 不可 |

14.9 使用上の注意事項

14.9.1 ブレークの検出と処理

フレーミングエラー検出時に、SCI3nSEMR の RXDMON ビットの値をリードすることでブレークを検出できます。ブレークでは SCInRxD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、また PER フラグもセットされる可能性があります。SCI3 は、ブレークを受信したあとも受信動作を続けます。したがって、FER フラグを 0 にクリアしてもふたたび FER フラグが 1 にセットされますので注意してください。

14.9.2 マーク状態とブレーク送出

TE ビットが 0 のとき (通信動作禁止時)、SCInTxD 端子を汎用出力ポートに切り替えることで、SCInTxD 端子から任意のレベルが出力可能です。これを利用して SCInTxD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。

14.9.3 クロック同期式モードの受信エラーフラグと送信動作

クロック同期式送受信同時動作時、受信エラーフラグ (ORER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

14.9.4 SCI3nTDR へのライトと TDRE フラグの関係

SCI3nSSR の TDRE フラグは SCI3nTDR から SCI3nTSR に送信データの転送が行われたことを示すステータスフラグです。SCI3 が SCI3nTDR から SCI3nTSR にデータを転送すると、TDRE フラグが 1 にセットされます。

SCI3nTDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを SCI3nTDR にライトすると、SCI3nTDR に格納されていたデータは SCI3nTSR に転送されていないため失われてしまいます。したがって SCI3nTDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

14.9.5 クロック同期式モード送信での外部クロック使用の制約事項

同期クロックに外部クロックを使用する場合、TDRE フラグを 0 にクリアしたあとに送信クロックを入力してください (図 14.27 参照)。連続送信時においても、TDRE フラグを 0 にクリアしたあとに次のフレームの送信クロックを入力してください。

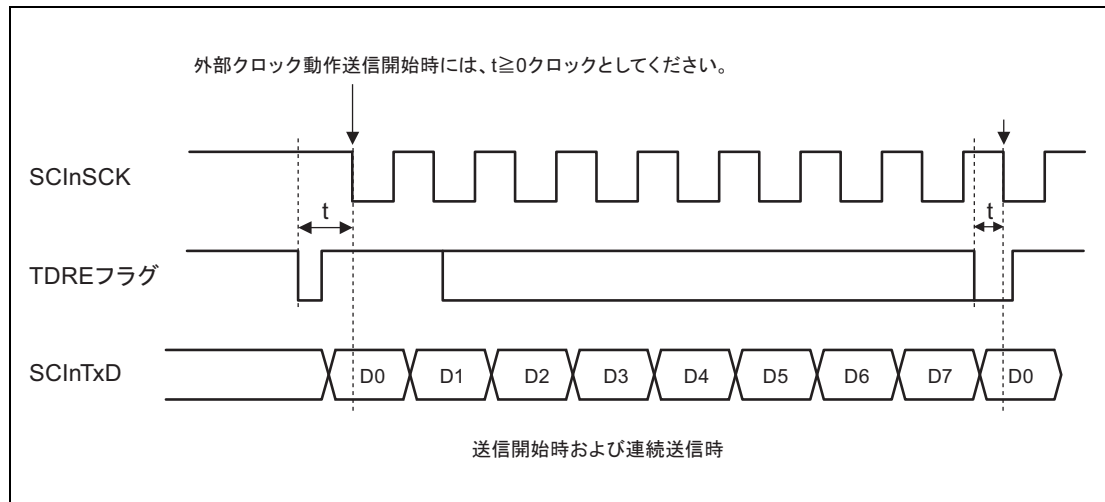


図 14.27 クロック同期式モード送信での外部クロック使用の制約事項

14.9.6 クロック同期式モードの外部クロック入力

クロック同期式モード時、外部クロック SCInSCK 入力は、「37.3.7 SCI3/FLSCI3 タイミング」を参照してください。

第15章 LIN マスタインタフェース (RLIN2)

本章では、LIN マスタインタフェース (RLIN2) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/E1L に固有の特長について説明します。それ以降の節では、RLIN2 の機能、レジスタについて説明します。

15.1 RH850/E1L RLIN2 の特長

15.1.1 ユニット数とチャンネル数

本製品は、以下に示すユニット数とチャンネル数の RLIN2 を搭載しています。

表 15.1 ユニット数

| 製品 | RH850/E1x |
|-------|-----------------|
| ユニット数 | 1 |
| 名称 | RLIN21n (n = 0) |

表 15.2 RLIN2 のユニット構成とチャンネルおよびユニットチャンネル番号の対応

| ユニット名 RLIN21n | ユニットチャンネル数 | ユニットチャンネル番号 | チャンネル名 RLIN2m |
|---------------|------------|-------------|---------------|
| RLIN210 | 1 | 0 | RLIN20 |

表 15.3 添字

| 添字 | 意味 |
|----|---|
| n | 本章では、RLIN2 の各ユニットを「n」(n = 0) で識別します。 |
| m | 本章では、各チャンネルを「m」(m = 0) で識別します。 |
| i | 本章では、RLIN2 を構成するユニットの各チャンネルを「i」(i = 0) で識別します。 |
| b | 本章では、RLIN2 が搭載する各データバッファを「b」(b = 1 ~ 8) で識別します。 |

たとえば、RLIN2 のグローバルレジスタである LIN ウェイクアップボーレート選択レジスタは、RLN21nGLWBR、チャンネルレジスタである LIN モードレジスタは RLN21nmLiMD と記述しています。

15.1.2 レジスタベースアドレス

RLIN2 のベースアドレスを以下の表に示します。

RLIN2 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 15.4 レジスタベースアドレス

| ベースアドレス名 | ベースアドレス |
|----------------|------------------------|
| <RLIN210_base> | FFCE 0000 _H |

15.1.3 クロック供給

RLIN2 のクロック供給を以下の表に示します。

表 15.5 クロック供給

| ユニット名 | ユニットクロック名 | 供給クロック名 |
|---------|--------------------|------------------------|
| RLIN21n | pclk (P-Bus クロック) | CLK_LSB (低速周辺クロック) |
| | clkc (LIN 通信クロック源) | CLKC_LSB (非変調低速周辺クロック) |

15.1.4 割り込み要求

RLIN2 の割り込み要求を以下の表に示します。

表 15.6 割り込み要求

| ユニット割り込み信号 | 概要 | 割り込み番号 |
|------------|--|--------|
| INTRLIN0 | 送信完了割り込み/受信完了割り込み/エラー検出割り込み (RLIN210 割り込み) | 429 |

15.1.5 リセット要因

RLIN2 のリセット要因を以下に示します。RLIN2 は以下のリセット要因で初期化されます。

表 15.7 リセット要因

| ユニット名 | リセット要因 |
|---------|------------|
| RLIN21n | すべてのリセット要因 |

15.1.6 外部入出力信号

RLIN2 の外部入出力信号を以下の表に示します。

表 15.8 外部入出力信号

| ユニット信号名 | 概要 | ポート端子兼用信号名 |
|----------------|-----------------|------------|
| RLIN210 | | |
| RLIN20RX | RLIN210 受信データ入力 | LRX0 |
| RLIN20TX | RLIN210 送信データ出力 | LTX0 |

15.2 機能

15.2.1 機能概要

LIN マスタインタフェースは LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAEJ2602 (SEP 2005) に準拠したハードウェア LIN 通信コントローラで、フレーム通信とエラー判定を自動で行います。

表 15.9 に LIN マスタインタフェースの仕様、**図 15.1** に LIN マスタインタフェースのブロック図を示します。

表 15.9 LIN マスタインタフェースの仕様

| 項目 | 仕様 | |
|----------|--|---|
| チャンネル数 | 1チャンネル | |
| LIN 通信機能 | プロトコル | LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAEJ2602 (SEP 2005) |
| | フレーム構成可変 | <ul style="list-style-type: none"> 送信ブレーク幅：13～28 Tbit 送信ブレークデリミタ幅：1～4 Tbit インタバイトスペース（ヘッダ）：0～7 Tbit（Sync フィールドと ID フィールド間のスペース）^{注1} レスポンススペース：0～7 Tbit^{注1} インタバイトスペース：0～3 Tbit（レスポンス領域内のデータバイト間のスペース） 送信ウェイクアップ：1～16 Tbit |
| | チェックサム | <ul style="list-style-type: none"> 送受信ともに自動演算 クラシックまたはエンハンス選択可能（フレームごとに変更可能） |
| | レスポンスフィールドデータバイト数 | 0～8 バイト可変 |
| | フレーム通信方法 | <ul style="list-style-type: none"> ヘッダ送信とレスポンス送信/受信を1つの送信開始要求により通信するモード ヘッダとレスポンスを別々の送信開始要求により送信するモード（フレームセパレートモード） |
| | ウェイクアップ送受信 | LIN ウェイクアップモードで使用可能 <ul style="list-style-type: none"> ウェイクアップ送信機能（1～16 Tbit） ウェイクアップ受信 入力信号ロウレベル幅カウント機能 |
| | ステータス | <ul style="list-style-type: none"> フレーム/ウェイクアップ送信完了 ヘッダ送信完了 フレーム/ウェイクアップ受信完了^{注2} データ1受信完了 エラー検出 動作モード（LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード、LIN セルフテストモード） |
| | エラーステータス | <ul style="list-style-type: none"> ビットエラー チェックサムエラー フレームタイムアウトエラー フィジカルバスエラー フレーミングエラー |
| | ポーレート選択 | ポーレートジェネレータで LIN 仕様のポーレートを生成可能 |
| | テストモード | ユーザ評価用セルフテストモード |
| 割り込み機能 | <ul style="list-style-type: none"> フレーム/ウェイクアップ送信完了 フレーム/ウェイクアップ受信完了^{注2} エラー検出 これら3つの論理和が各チャンネルの割り込み要因（INTRLINm）となります。 | |

注1. 同一レジスタで設定するため、インタバイトスペース（ヘッダ）＝レスポンススペースとなります。

注2. ウェイクアップ受信は、入力信号ロウレベル幅カウントを示します。

15.2.2 ブロック図

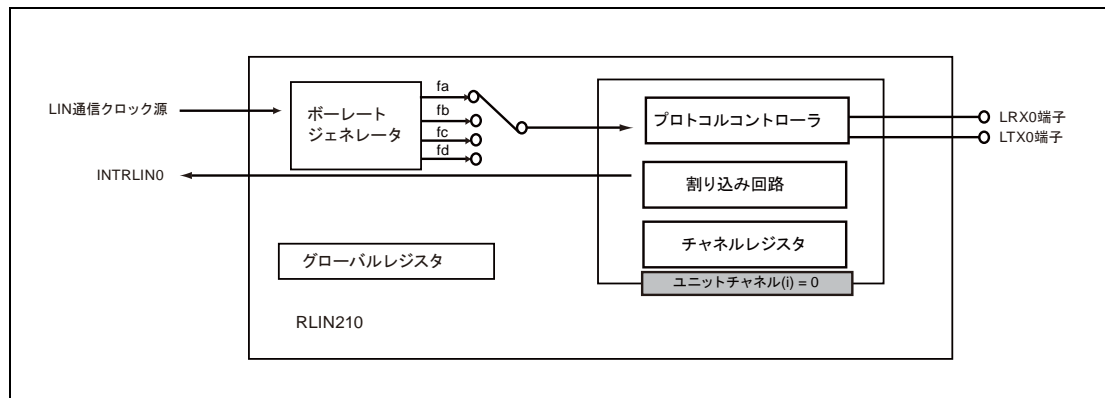


図 15.1 LIN マスタインタフェースブロック図

15.3 レジスタ

LIN マスタインタフェースのレジスタは、グローバルレジスタとチャンネルレジスタで構成されています。グローバルレジスタは、ユニットごとに配置されているため、ユニット単位で個々の設定が可能です。チャンネルレジスタは、チャンネルごとに存在し各チャンネルの制御が可能です。

15.3.1 レジスタ一覧

RLIN2 のレジスタ一覧を以下の表に示します。

<RLIN21n_base> は「15.1.2 レジスタベースアドレス」を参照してください。

表 15.10 レジスタ一覧

| モジュール名 | レジスタ名 | 略号 | アドレス |
|------------------|------------------------|---------------|----------------------------------|
| グローバルレジスタ | | | |
| RLN21nG | LIN ウェイクアップポーレート選択レジスタ | RLN21nGLWBR | <RLIN21n_base> + 01 _H |
| RLN21nG | LIN ポーレートプリスケアラ 0 レジスタ | RLN21nGLBRP0 | <RLIN21n_base> + 02 _H |
| RLN21nG | LIN ポーレートプリスケアラ 1 レジスタ | RLN21nGLBRP1 | <RLIN21n_base> + 03 _H |
| RLN21nG | LIN セルフテスト制御レジスタ | RLN21nGLSTC | <RLIN21n_base> + 04 _H |
| チャンネルレジスタ | | | |
| RLN21nm | LIN モードレジスタ | RLN21nmLiMD | <RLIN21n_base> + 08 _H |
| RLN21nm | LIN ブレークフィールド設定レジスタ | RLN21nmLiBFC | <RLIN21n_base> + 09 _H |
| RLN21nm | LIN スペース設定レジスタ | RLN21nmLiSC | <RLIN21n_base> + 0A _H |
| RLN21nm | LIN ウェイクアップ設定レジスタ | RLN21nmLiWUP | <RLIN21n_base> + 0B _H |
| RLN21nm | LIN 割り込み許可レジスタ | RLN21nmLiIE | <RLIN21n_base> + 0C _H |
| RLN21nm | LIN エラー検出許可レジスタ | RLN21nmLiEDE | <RLIN21n_base> + 0D _H |
| RLN21nm | LIN 制御レジスタ | RLN21nmLiCUC | <RLIN21n_base> + 0E _H |
| RLN21nm | LIN 送信制御レジスタ | RLN21nmLiTRC | <RLIN21n_base> + 10 _H |
| RLN21nm | LIN モードステータスレジスタ | RLN21nmLiMST | <RLIN21n_base> + 11 _H |
| RLN21nm | LIN ステータスレジスタ | RLN21nmLiST | <RLIN21n_base> + 12 _H |
| RLN21nm | LIN エラーステータスレジスタ | RLN21nmLiEST | <RLIN21n_base> + 13 _H |
| RLN21nm | LIN データフィールド設定レジスタ | RLN21nmLiDFC | <RLIN21n_base> + 14 _H |
| RLN21nm | LIN ID バッファレジスタ | RLN21nmLiIDB | <RLIN21n_base> + 15 _H |
| RLN21nm | LIN チェックサムバッファレジスタ | RLN21nmLiCBR | <RLIN21n_base> + 16 _H |
| RLN21nm | LIN データバッファ 1 レジスタ | RLN21nmLiDBR1 | <RLIN21n_base> + 18 _H |
| RLN21nm | LIN データバッファ 2 レジスタ | RLN21nmLiDBR2 | <RLIN21n_base> + 19 _H |
| RLN21nm | LIN データバッファ 3 レジスタ | RLN21nmLiDBR3 | <RLIN21n_base> + 1A _H |
| RLN21nm | LIN データバッファ 4 レジスタ | RLN21nmLiDBR4 | <RLIN21n_base> + 1B _H |
| RLN21nm | LIN データバッファ 5 レジスタ | RLN21nmLiDBR5 | <RLIN21n_base> + 1C _H |
| RLN21nm | LIN データバッファ 6 レジスタ | RLN21nmLiDBR6 | <RLIN21n_base> + 1D _H |
| RLN21nm | LIN データバッファ 7 レジスタ | RLN21nmLiDBR7 | <RLIN21n_base> + 1E _H |
| RLN21nm | LIN データバッファ 8 レジスタ | RLN21nmLiDBR8 | <RLIN21n_base> + 1F _H |

15.3.2 グローバルレジスタ

15.3.2.1 RLIN21nGLWBR — LIN ウェイクアップポーレート選択レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス <RLIN21n_base> + 01_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|-------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | LWBR0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 15.11 RLIN21nGLWBR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 7 ~ 1 | 予約ビット | ライトする場合はリセット後の値を書いてください。 |
| 0 | LWBR0 | ウェイクアップポーレート選択ビット 0: LIN ウェイクアップモードにおいて、RLN21nmLiMD レジスタの LCKS ビットの設定通りのクロックが使用される (LIN1.3 使用時) 1: LIN ウェイクアップモードにおいて、RLN21nmLiMD レジスタの LCKS ビットの設定によらずクロック fa が使用される (LIN2.x 使用時) |

RLN21nGLWBR レジスタは同一ユニット内のすべてのチャンネルの RLN21nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

LWBR0 ビット (ウェイクアップポーレート選択ビット)

LIN Specification Package Revision 1.3 使用時は、RLN21nGLWBR レジスタの LWBR0 ビットを“0”にしてください。これにより入力信号ロウレベル幅をビットタイムで 2.5 Tbit 以上で計測することができます。

LIN Specification Package Revision 2.x 使用時は“1”にしてください。“1”にすることで LIN ウェイクアップモード中は RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック (fLIN) は fa が選択されます (LCKS ビットは変化しません)。入力信号ロウレベル幅を 2.5Tbit 以上で計測することができます。

fa 選択時のポーレートを 19200bps に設定することにより、RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN ウェイクアップモード時に 130 μ s 以上の入力信号ロウレベル幅を検出することができます。

15.3.2.2 RLN21nGLBRP0 — LIN ボーレートプリスケアラ 0 レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス <RLIN21n_base> + 02_H

リセット後の値 00_H

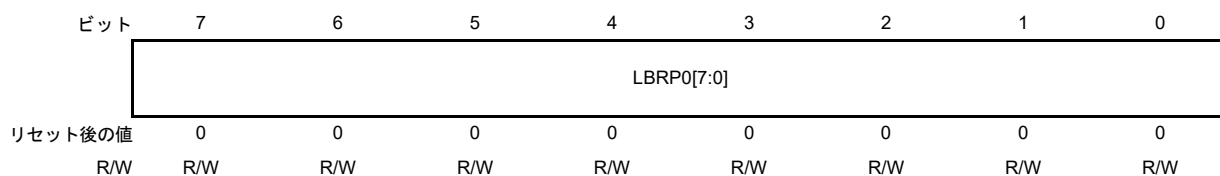


表 15.12 RLN21nGLBRP0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|--|
| 7 ~ 0 | LBRP0[7:0] | 設定値を N (0 ~ 255) とすると、ボーレートプリスケアラは LIN 通信クロック源を N+1 分周する 設定範囲 : 00 _H ~ FF _H |

RLN21nGLBRP0 レジスタは同一ユニット内のすべてのチャンネルの RLN21nmLiMST レジスタの OMM0 ビットが “0” (LIN リセットモード) のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース “fa”、“fb”、“fc” の周波数制御に使用されます。

このレジスタの設定値を N とすると、ボーレートプリスケアラ 0 は LIN 通信クロック源を N+1 分周します。

15.3.2.3 RLN21nGLBRP1 — LIN ボーレートプリスケアラ 1 レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス <RLIN21n_base> + 03_H

リセット後の値 00_H

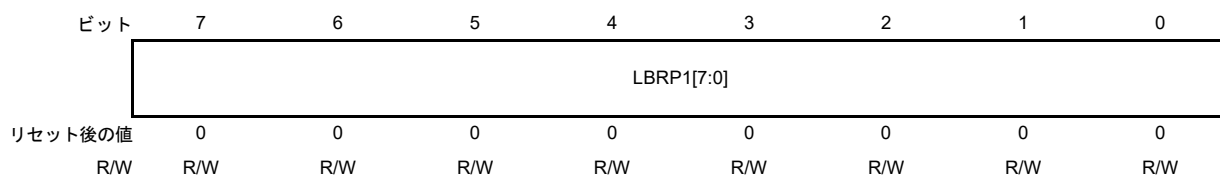


表 15.13 RLN21nGLBRP1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|--|
| 7 ~ 0 | LBRP1[7:0] | 設定値を M (0 ~ 255) とすると、ボーレートプリスケアラは LIN 通信クロック源を M+1 分周する 設定範囲 : 00 _H ~ FF _H |

RLN21nGLBRP1 レジスタは同一ユニット内のすべてのチャンネルの RLN21nmLiMST レジスタの OMM0 ビットが “0” (LIN リセットモード) のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース “fd” の周波数制御に使用されます。

このレジスタの設定値を M とすると、ボーレートプリスケアラ 1 は LIN 通信クロック源を M+1 分周します。

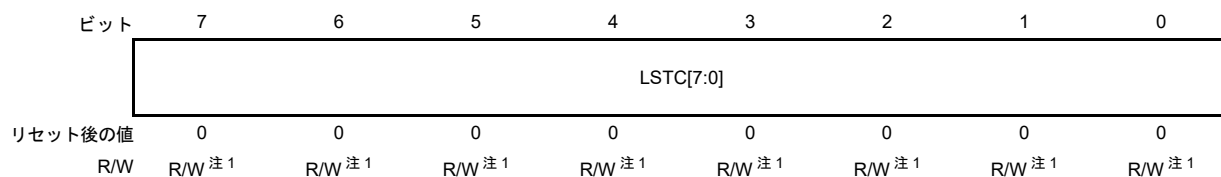
15.3.2.4 RLN21nGLSTC — LIN セルフテスト制御レジスタ

RLN21nGLSTC レジスタは、LIN セルフテストモードのプロテクトを解除するために使用するレジスタです。RLN21nGLSTC レジスタは、同一ユニット内のすべてのチャンネルのRLN21nmLiMST レジスタの OMM0 ビットが“0”（LIN リセットモード）のときに設定してください。

アクセス 8ビット単位でリード/ライトが可能です。

アドレス <RLIN21n_base> + 04_H

リセット後の値 00_H



注1. LIN リセットモード以外では書き込みは無視されます。

表 15.14 RLN21nGLSTC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 7 ~ 0 | LSTC | LIN セルフテストモード設定ビット 00 _H : LIN セルフテストモードではない ^{注1} 01 _H : LIN セルフテストモード ^{注2} “A7 _H ” → “58 _H ” → “01 _H ” の連続書き込みにより、LIN セルフテストモードにエントリします。それ以外の設定は禁止です。設定した場合の読み出し値は不定です。 |

注1. LIN セルフテストモードを終了する場合の移行方法は、「15.15.4 LIN セルフテストモード終了」を参照してください。LIN セルフテストモードを終了した場合、“00_H”が読み出せます。

注2. LIN セルフテストモードへの移行方法は、「15.15.1 LIN セルフテストモードへの移行」を参照してください。LIN セルフテストモードへ移行した場合、“01_H”が読み出せます。

15.3.3 チャネルレジスタ

15.3.3.1 RLN21nmLiMD — LIN モードレジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiMD: <RLIN21n_base> + 08_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|-----------|-----|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | LCKS[1:0] | | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R | R |

表 15.15 RLN21nmLiMD レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 7 ~ 4 | 予約ビット | ライトする場合はリセット後の値を書いてください。 |
| 3, 2 | LCKS[1:0] | LIN システムクロック選択ビット b3 b2 0 0 : fa (ボーレートプリスケラ 0 生成クロック) 0 1 : fb (ボーレートプリスケラ 0 生成クロック /2) 1 0 : fc (ボーレートプリスケラ 0 生成クロック /8) 1 1 : fd (ボーレートプリスケラ 1 生成クロック /2) |
| 1, 0 | 予約ビット | 読むと“0”が読めます。書く場合、“0”としてください |

RLN21nmLiMD レジスタは RLN21nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

LCKS[1:0] ビット (LIN システムクロック選択ビット)

プロトコルコントローラに入力するクロックを選択するビットです。

“00_B”の場合、プロトコルコントローラには fa (ボーレートプリスケラ 0 生成クロック) が入力されます。

“01_B”の場合、プロトコルコントローラには fb (ボーレートプリスケラ 0 生成クロック / 2) が入力されます。

“10_B”の場合、プロトコルコントローラには fc (ボーレートプリスケラ 0 生成クロック / 8) が入力されます。

“11_B”の場合、プロトコルコントローラには fd (ボーレートプリスケラ 1 生成クロック / 2) が入力されます。

RLN21nGLWBR レジスタの LWBR0 ビットが“1” (LIN 2.x 使用時) かつ RLN21nmLiMST レジスタが“01_H” (LIN ウェイクアップモード) の場合、このビットの設定にかかわらず、プロトコルコントローラには fa が入力されます (LCKS ビットは変化しません)。

15.3.3.2 RLN21nmLiBFC — LIN ブレークフィールド設定レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiBFC: <RLIN21n_base> + 09_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|----------|-----|----------|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | BDT[1:0] | | BLT[3:0] | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 15.16 RLN21nmLiBFC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7, 6 | 予約ビット | ライトする場合はリセット後の値を書いてください。 |
| 5, 4 | BDT[1:0] | 送信ブレークデリミタ (ハイレベル) 幅設定ビット b_5 b_4 0 0 : 1 Tbit 0 1 : 2 Tbits 1 0 : 3 Tbits 1 1 : 4 Tbits |
| 3 ~ 0 | BLT[3:0] | 送信ブレーク (ロウレベル) 幅設定ビット b_3 b_0 0 0 0 0 : 13 Tbits 0 0 0 1 : 14 Tbits 0 0 1 0 : 15 Tbits : 1 1 1 0 : 27 Tbits 1 1 1 1 : 28 Tbits |

RLN21nmLiBFC レジスタは RLN21nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

設定値の組み合わせによっては、1フレームの長さがフレームタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

BDT[1:0] ビット (送信ブレークデリミタ (ハイレベル) 幅設定ビット)

送信フレームヘッダ部のブレークデリミタ (ハイレベル) 幅の設定をします。
1 Tbit ~ 4 Tbits を設定できます。

BLT[3:0] ビット (送信ブレーク (ロウレベル) 幅設定ビット)

送信フレームヘッダ部のブレーク (ロウレベル) 幅の設定をします。
13 Tbits ~ 28 Tbits を設定できます。

15.3.3.3 RLN21nmLiSC — LIN スペース設定レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiSC: <RLIN21n_base> + 0A_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|----------|-----|---|-----------|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | IBS[1:0] | | — | IBHS[2:0] | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R | R/W | R/W | R/W |

表 15.17 RLN21nmLiSC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|--|
| 7, 6 | 予約ビット | ライトする場合はリセット後の値を書いてください。 |
| 5, 4 | IBS[1:0] | インタバイトスペース設定ビット b5 b4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits |
| 3 | 予約ビット | ライトする場合はリセット後の値を書いてください。 |
| 2 ~ 0 | IBHS[2:0] | インタバイトスペース (ヘッダ) / レスポンススペース設定ビット b2 b0 0 0 0 : 0 Tbit 0 0 1 : 1 Tbit 0 1 0 : 2 Tbits 0 1 1 : 3 Tbits 1 0 0 : 4 Tbits 1 0 1 : 5 Tbits 1 1 0 : 6 Tbits 1 1 1 : 7 Tbits |

RLIN21nmLiSC レジスタは RLN21nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

設定値の組み合わせによっては、1フレームまたはレスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

IBS[1:0] ビット (インタバイトスペース設定ビット)

送信フレームレスポンス部のインタバイトスペースの幅の設定をします。

0 Tbit ~ 3 Tbits を設定できます。

レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

IBHS[2:0] ビット (インタバイトスペース (ヘッダ) / レスポンススペース設定ビット)

送信フレームヘッダ部のインタバイトスペース (ヘッダ) とレスポンススペースの幅の設定をします。

0 Tbit ~ 7 Tbits を設定できます。

レスポンススペースの設定は、レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

インタバイトスペース (ヘッダ) とレスポンススペースの値は、同じになります。

15.3.3.4 RLN21nmLiWUP — LIN ウェイクアップ設定レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiWUP: <RLIN21n_base> + 0B_H

リセット後の値 00_H

| | | | | | | | | |
|---------|-----------|-----|-----|-----|---|---|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | WUTL[3:0] | | | | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R | R | R | R |

表 15.18 RLN21nmLiWUP レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|--|
| 7 ~ 4 | WUTL[3:0] | ウェイクアップ送信ロウレベル幅設定ビット b7 b4 0 0 0 0 : 1 Tbit 0 0 0 1 : 2 Tbits 0 0 1 0 : 3 Tbits 0 0 1 1 : 4 Tbits ⋮ 1 1 0 0 : 13 Tbits 1 1 0 1 : 14 Tbits 1 1 1 0 : 15 Tbits 1 1 1 1 : 16 Tbits |
| 3 ~ 0 | 予約ビット | ライトする場合はリセット後の値を書いてください。 |

RLN21nmLiWUP レジスタは RLN21nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

WUTL[3:0] ビット (ウェイクアップ送信ロウレベル幅設定ビット)

ウェイクアップシグナル送信時のロウレベル幅を設定します。

1 Tbit ~ 16 Tbits を設定できます。

RLN21nGLWBR レジスタの LWBR0 ビットが“1” (LIN 2.x 使用時) の場合、RLN21nmLiMD レジスタの LCKS ビットにかかわらず、LIN システムクロック (fLIN) は fa が選択されま
す (LCKS ビットは変化しません)。

15.3.3.5 RLN21nmLiE — LIN 割り込み許可レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiE: <RLIN21n_base> + 0C_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|-------|-------|-------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | ERRIE | FRCIE | FTCIE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R/W | R/W | R/W |

表 15.19 RLN21nmLiE レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|---|
| 7～3 | 予約ビット | ライトする場合はリセット後の値を書いてください。 |
| 2 | ERRIE | エラー検出割り込み要求許可ビット 0: エラー検出割り込み要求禁止 1: エラー検出割り込み要求許可 |
| 1 | FRCIE | フレーム/ウェイクアップ受信完了割り込み要求許可ビット 0: フレーム/ウェイクアップ受信完了割り込み要求禁止 1: フレーム/ウェイクアップ受信完了割り込み要求許可 |
| 0 | FTCIE | フレーム/ウェイクアップ送信完了割り込み要求許可ビット 0: フレーム/ウェイクアップ送信完了割り込み要求禁止 1: フレーム/ウェイクアップ送信完了割り込み要求許可 |

RLN21nmLiE レジスタは RLN21nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) のときに設定してください。

ERRIE ビット (エラー検出割り込み要求許可ビット)

エラーを検出したときの割り込み要求許可/禁止を設定します。

“0”の場合、RLN21nmLiST レジスタの ERR フラグが“1”になった際に割り込み要求が発生しません。

“1”の場合、RLN21nmLiST レジスタの ERR フラグが“1”になった際に割り込み要求が発生します。

発生要因となるエラーは、ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラー、チェックサムエラーです。

ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラーは、RLN21nmLiEDE レジスタで検出許可/禁止の設定ができます。

FRCIE ビット (フレーム/ウェイクアップ受信完了割り込み要求許可ビット)

フレーム受信完了、またはウェイクアップシグナル受信 (入力信号ロウレベル幅カウント) 完了時の割り込み要求許可/禁止を設定します。

“0”の場合、RLN21nmLiST レジスタの FRC フラグが“1”になった際に割り込み要求が発生しません。

“1”の場合、RLN21nmLiST レジスタの FRC フラグが“1”になった際に割り込み要求が発生します。

FTCIE ビット (フレーム/ウェイクアップ送信完了割り込み要求許可ビット)

フレーム送信完了、またはウェイクアップシグナル送信完了時の割り込み要求許可/禁止を設定します。

“0”の場合、RLN21nmLiST レジスタの FTC フラグが“1”になった際に割り込み要求が発生しません。

“1”の場合、RLN21nmLiST レジスタの FTC フラグが“1”になった際に割り込み要求が発生します。

15.3.3.6 RLN21nmLiEDE — LIN エラー検出許可レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiEDE: <RLIN21n_base> + 0D_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|------|-------|-------|------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | FERE | FTERE | PBERE | BERE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 15.20 RLN21nmLiEDE レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 7～4 | 予約ビット | ライトする場合はリセット後の値を書いてください。 |
| 3 | FERE | フレーミングエラー検出許可ビット 0: フレーミングエラー検出禁止 1: フレーミングエラー検出許可 |
| 2 | FTERE | フレームタイムアウトエラー検出許可ビット 0: フレームタイムアウトエラー検出禁止 1: フレームタイムアウトエラー検出許可 |
| 1 | PBERE | フィジカルバスエラー検出許可ビット 0: フィジカルバスエラー検出禁止 1: フィジカルバスエラー検出許可 |
| 0 | BERE | ビットエラー検出許可ビット 0: ビットエラー検出禁止 1: ビットエラー検出許可 |

RLN21nmLiEDE レジスタは RLN21nmLiMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

FERE ビット (フレーミングエラー検出許可ビット)

フレーミングエラー検出の許可/禁止を設定します。

“0”の場合、フレーミングエラーを検出しません。

“1”の場合、フレーミングエラーを検出します。

このビットが“1”の場合の検出結果は、RLN21nmLiEST レジスタの FER フラグに反映されます。

フレーミングエラーの詳細は、「15.14 エラーステータス」を参照ください。

FTERE ビット (フレームタイムアウトエラー検出許可ビット)

フレームタイムアウトエラー 検出の許可/禁止を設定します。

“0” の場合、フレームタイムアウトエラーを検出しません。

“1” の場合、フレームタイムアウトエラー を検出します。

このビットが“1” の場合の検出結果は、RLN21nmLiEST レジスタの FTER フラグに反映されます。

フレームタイムアウトエラーの詳細は、「**15.14 エラーステータス**」を参照ください。

PBERE ビット (フィジカルバスエラー検出許可ビット)

フィジカルバスエラー検出の許可/禁止を設定します。

“0” の場合、フィジカルバスエラーを検出しません。

“1” の場合、フィジカルバスエラーを検出します。

このビットが“1” の場合の検出結果は、RLN21nmLiEST レジスタの PBER フラグに反映されます。

フィジカルバスエラーの詳細は、「**15.14 エラーステータス**」を参照ください。

BERE ビット (ビットエラー検出許可ビット)

ビットエラー検出の許可/禁止を設定します。

“0” の場合、ビットエラーを検出しません。

“1” の場合、ビットエラーを検出します。

このビットが“1” の場合の検出結果は、RLN21nmLiEST レジスタの BER フラグに反映されます。

ビットエラーの詳細は、「**15.14 エラーステータス**」を参照ください。

15.3.3.7 RLN21nmLiCUC — LIN 制御レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiCUC: <RLIN21n_base> + 0E_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | OM1 | OM0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 15.21 RLN21nmLiCUC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|---|
| 7～2 | 予約ビット | ライトする場合はリセット後の値を書いてください。 |
| 1 | OM1 | LIN モード選択ビット 0: LIN ウェイクアップモード 1: LIN 動作モード |
| 0 | OM0 | LIN リセットビット 0: LIN リセットモード 1: LIN リセットモード解除 |

LIN リセットモードを解除するときに、LIN ウェイクアップモードに移行させる場合は RLN21nmLiCUC レジスタに“01_H”を、LIN 動作モードに移行させる場合は RLN21nmLiCUC レジスタに“03_H”を設定してください。

LIN セルフテストモードでは、LIN セルフテストモード移行後に RLN21nmLiCUC レジスタを“03_H”にしてください。

このレジスタに書き込みをしたあとは、書き込んだ値が RLN21nmLiMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM1 ビット (LIN モード選択ビット)

LIN リセットモード解除時の LIN 動作モード (LIN ウェイクアップモード、LIN 動作モード) 選択をするビットです。

“0”にすると、LIN ウェイクアップモードになります。

“1”にすると、LIN 動作モードになります。

このビットは、RLN21nmLiMST レジスタの OMM0 ビットが“1”のときのみ有効です。

このビットは、RLN21nmLiTRC レジスタの FTS ビットが“1”の間は書けません。

OM0 ビット (LIN リセットビット)

LIN リセットモードへの移行/LIN リセットモードの解除を選択するビットです。

“0”にすると、LIN リセットモードになります。

“1”にすると、LIN リセットモードは解除されます。

15.3.3.8 RLN21nmLiTRC — LIN 送信制御レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiTRC: <RLIN21n_base> + 10_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | RTS | FTS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 15.22 RLN21nmLiTRC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 7～2 | 予約ビット | ライトする場合はリセット後の値を書き込んでください。 |
| 1 | RTS | レスポンス送信開始ビット 0: フレームセパレートモードにおいてレスポンス送信停止 1: フレームセパレートモードにおいてレスポンス送信開始 |
| 0 | FTS | フレーム送信/ウェイクアップ送受信開始ビット 0: フレーム送信/ウェイクアップ送受信停止 1: フレーム送信/ウェイクアップ送受信開始 |

RTS ビット (レスポンス送信開始ビット)

フレームセパレートモードで、ヘッダを送信開始 (FTS ビットを“1”) し、レスポンス送信データの準備が完了したあとに、“1”にしてください。設定後、このビットはフレーム送信終了および LIN リセットモード移行時に自動的に“0”になります。

このビットは“1”のみ書けます。“0”は書けません。

このビットに“1”を書く場合は、ストア命令で“02_H”を書き込んでください。

このビットは、OMM0 ビットが“0” (LIN リセットモード) の時は書けません。

OMM1 ビットが“0” (LIN ウェイクアップモード) のときは、“1”を書かないでください。

このビットは、FTS ビットが“0” (フレーム送信/ウェイクアップ送受信停止) のときは書けません。

FTS ビット (フレーム送信/ウェイクアップ送受信開始ビット)

フレーム/ウェイクアップ送信開始時、“1”にしてください。

また、ウェイクアップ受信 (入力信号ロウレベル幅カウント) を行う場合にも、このビットを“1”にしてください。

このビットは“1”のみ書けます。“0”は書けません。

このビットは、OMM0 ビットが“0” (LIN リセットモード) の時は書けません。

このビットは、フレーム および ウェイクアップの通信終了時に“0”になります。

LIN リセットモード移行時に“0”になります。

15.3.3.9 RLN21nmLiMST — LIN モードステータスレジスタ

アクセス 8ビット単位でリードのみ可能です。

アドレス RLN21nmLiMST: <RLIN21n_base> + 11_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|------|------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | OMM1 | OMM0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 15.23 RLN21nmLiMST レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|---|
| 7～2 | 予約ビット | リードした場合は、リセット後の値が読めます。 |
| 1 | OMM1 | LIN モードステータスマニタ 0: LIN ウェイクアップモード 1: LIN 動作モード |
| 0 | OMM0 | LIN リセットステータスマニタ 0: LIN リセットモード 1: LIN リセットモードでない |

OMM1 ビット (LIN モードステータスマニタ)

現在の動作モードが確認できます。OMM0 ビットが“0_B” (LIN リセットモード) の間、このビットの値は無効です。

OMM0 ビット (LIN リセットステータスマニタ)

現在の動作モードが確認できます。

15.3.3.10 RLIN21nmLiST — LIN ステータスレジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLIN21nmLiST: <RLIN21n_base> + 12_H

リセット後の値 00_H

| | | | | | | | | |
|---------|------|------|---|---|-----|---|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | HTRC | D1RC | — | — | ERR | — | FRC | FTC |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R | R | R/W | R/W |

表 15.24 RLIN21nmLiST レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 7 | HTRC | ヘッダ送信完了フラグ 0: 送信未完了 1: ヘッダ送信完了 |
| 6 | D1RC | データ 1 受信完了フラグ 0: 受信未完了 1: データ 1 受信完了 |
| 5、4 | 予約ビット | ライトする場合はリセット後の値を書いてください。 |
| 3 | ERR | エラー検出フラグ 0: エラー未検出 1: エラー検出 |
| 2 | 予約ビット | ライトする場合はリセット後の値を書いてください。 |
| 1 | FRC | フレーム/ウェイクアップ受信完了フラグ 0: 受信未完了 1: フレームまたはウェイクアップ受信完了 |
| 0 | FTC | フレーム/ウェイクアップ送信完了フラグ 0: 送信未完了 1: フレームまたはウェイクアップ送信完了 |

RLIN21nmLiST レジスタは LIN リセットモード移行時 および 次の通信開始 (RLIN21nmLiTRC レジスタの FTS ビットが“1”) 時、自動的に“00_H”になります。LIN リセットモード中は、このレジスタへは書くことができません。

LIN リセットモード中は“00_H”を保持します。

RLIN21nmLiTRC レジスタの FTS ビットが“1” (フレーム送信/ウェイクアップ送受信開始) の間は、このレジスタに書き込まないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

HTRC フラグ (ヘッダ送信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

ヘッダ送信完了時、“1”となりますが、割り込み要求は発生しません。次の通信が始まる (RLIN21nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

D1RC フラグ (データ 1 受信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
データ 1 受信完了時、“1”となりますが割り込み要求は発生しません。次の通信が始まる (RLN21nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

ERR フラグ (エラー検出フラグ)

エラー検出 (RLN21nmLiEST レジスタのフラグのうち1つでも“1”) 時、“1”となります。このとき RLN21nmLiE レジスタの ERRIE ビットが“1” (割り込み要求許可) の場合、割り込み要求が発生します。次の通信が始まる (RLN21nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で RLN21nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに“0”を書いてください。ERR フラグが“0”となります。

FRC フラグ (フレーム/ウェイクアップ受信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
フレーム受信完了またはウェイクアップ受信完了時、“1”となります。このとき RLN21nmLiE レジスタの FRCIE ビットが“1” (割り込み要求許可) の場合、割り込み要求が発生します。次の通信が始まる (RLN21nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

FTC フラグ (フレーム/ウェイクアップ送信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
フレーム送信完了またはウェイクアップ送信完了時、“1”となります。このとき RLN21nmLiE レジスタの FTCIE ビットが“1” (割り込み要求許可) の場合、割り込み要求が発生します。次の通信が始まる (RLN21nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

15.3.3.11 RLN21nmLiEST — LIN エラーステータスレジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiEST: <RLIN21n_base> + 13_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|------|---|-----|------|------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | CSER | — | FER | FTER | PBER | BER |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R | R/W | R/W | R/W | R/W |

表 15.25 RLN21nmLiEST レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|---|
| 7、6 | 予約ビット | ライトする場合はリセット後の値を書いてください。 |
| 5 | CSER | チェックサムエラーフラグ 0: チェックサムエラー未検出 1: チェックサムエラー検出 |
| 4 | 予約ビット | ライトする場合はリセット後の値を書いてください。 |
| 3 | FER | フレーミングエラーフラグ 0: フレーミングエラー未検出 1: フレーミングエラー検出 |
| 2 | FTER | フレームタイムアウトエラーフラグ 0: フレームタイムアウトエラー未検出 1: フレームタイムアウトエラー検出 |
| 1 | PBER | フィジカルバスエラーフラグ 0: フィジカルバスエラー未検出 1: フィジカルバスエラー検出 |
| 0 | BER | ビットエラーフラグ 0: ビットエラー未検出 1: ビットエラー検出 |

RLN21nmLiEST レジスタは LIN リセットモード移行時、および次の通信開始 (RLN21nmLiTRC レジスタの FTS ビットが“1”) 時、自動的に“00_H”になります。LIN リセットモード中は、このレジスタへは書くことができません。

LIN リセットモード中は“00_H”を保持します。

RLN21nmLiTRC レジスタの FTS ビットが“1” (フレーム送信/ウェイクアップ送受信開始) の間は、このレジスタに書かないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

CSER フラグ (チェックサムエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

チェックサムエラー検出時、“1”となります。次の通信が始まる (RLN21nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FER フラグ (フレーミングエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN21nmLiEST レジスタの FERF ビットが“1” (フレーミングエラー検出許可) で、
フレーミングエラー検出時、“1”となります。次の通信が始まる (RLN21nmLiTRC レジスタ
の FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FTER フラグ (フレームタイムアウトエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN21nmLiEDE レジスタの FTERE ビットが“1” (フレームタイムアウトエラー検出許可)
で、フレームタイムアウトエラー検出時、“1”となります。次の通信が始まる
(RLN21nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード
内で“0”を書いてください。

PBER フラグ (フィジカルバスエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN21nmLiEDE レジスタの PBERE ビットが“1” (フィジカルバスエラー検出許可) で、
フィジカルバスエラー検出時、“1”となります。次の通信が始まる (RLN21nmLiTRC レジス
タの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアッ
プモード内で“0”を書いてください。

BER フラグ (ビットエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。RLN21nmLiEDE レジスタ
の BERE ビットが“1” (ビットエラー検出許可) で、ビットエラー検出時、“1”となります。
次の通信が始まる (RLN21nmLiTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合
は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

15.3.3.12 RLN21nmLiDFC — LIN データフィールド設定レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiDFC: <RLIN21n_base> + 14_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|-----|-----|-----|-----------|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | FSM | CSM | RFT | RFDL[3:0] | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 15.26 RLN21nmLiDFC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 7 | 予約ビット | ライトする場合はリセット後の値を書いてください。 |
| 6 | FSM | フレームセパレートモード選択ビット 0: フレームセパレートモードではない 1: フレームセパレートモード |
| 5 | CSM | チェックサム選択ビット 0: クラシック 1: エンハンス |
| 4 | RFT | レスポンスフィールド通信方向選択ビット 0: 受信 1: 送信 |
| 3~0 | RFDL[3:0] | レスポンスフィールド長設定ビット b3 b0 0000: 0バイト+チェックサム 0001: 1バイト+チェックサム 0010: 2バイト+チェックサム : 0111: 7バイト+チェックサム 1000: 8バイト+チェックサム 上記以外は設定しないでください。 |

RLN21nmLiDFC レジスタは、RLN21nmLiTRC レジスタの FTS ビットが“0”（フレーム送信 / ウェイクアップ送受信停止）のときに設定してください。

FSM ビット（フレームセパレートモード選択ビット）

レスポンス送信の方式を設定します。

“0”の場合、フレームセパレートモードになりません。ヘッダ送信開始（RLN21nmLiTRC レジスタの FTS ビットが“1”）後、RLN21nmLiTRC レジスタの RTS ビットのセットなしに、レスポンスの送受信を行います。

“1”の場合、フレームセパレートモードになります。ヘッダ送信中に RLN21nmLiTRC レジスタの RTS ビットを“1”にした場合、ヘッダ送信完了を待ってからレスポンス送信を行います。

レスポンス受信（RFT ビットが“0”）時は、このビットを“0”に設定してください。

LIN セルフテストモードに移行する場合は、移行前にこのビットを“0”に設定してください。

フレームセパレートモードの詳細は「15.11.1 LIN フレームの送信」を参照してください。

CSM ビット (チェックサム選択ビット)

チェックサムの方式の設定をします。

“0” の場合、チェックサムの方式はクラシックとなります。

“1” の場合、チェックサムの方式はエンハンスとなります。

フレームタイムアウトエラーを使用する (RLN21nmLiEDE レジスタの FTERE ビットが “1”) 場合は、このビット設定によりタイムアウト時間が異なります。詳細は「**15.14 エラーステータス**」を参照してください。

RFT ビット (レスポンスフィールド通信方向選択ビット)

レスポンスフィールド/ウェイクアップシグナルの通信方向を設定します。

“0” の場合、レスポンスフィールドで受信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ受信 (入力信号ロウレベル幅カウント) を行います。

“1” の場合、レスポンスフィールドで送信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ送信を行います。

RFDL[3:0] ビット (レスポンスフィールド長設定ビット)

レスポンスフィールドのデータ長を設定します。

データ長は 0 ~ 8 バイトまで設定でき、データ長にはチェックサムのサイズを含みません。

15.3.3.13 RLN21nmLiIDB — LIN ID バッファレジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiIDB: <RLIN21n_base> + 15_H

リセット後の値 不定

| | | | | | | | | |
|---------|------|------|---------|-----|-----|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | IDP1 | IDP0 | ID[5:0] | | | | | |
| リセット後の値 | — | — | — | — | — | — | — | — |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 15.27 RLN21nmLiIDB レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|---|
| 7 | IDP1 | パリティ設定ビット (P1) ID フィールドで送信するパリティ (P1) ビットを設定 |
| 6 | IDP0 | パリティ設定ビット (P0) ID フィールドで送信するパリティ (P0) ビットを設定 |
| 5 ~ 0 | ID[5:0] | ID 設定ビット ID フィールドで送信する 6 ビットの ID 値を設定 |

このレジスタは、RLN21nmLiTRC レジスタの FTS ビットが“0”（フレーム送信/ウェイクアップ送受信停止）のときに設定してください。

LIN セルフテストモード時は、以下のとおりとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**15.15 LIN セルフテストモード**」を参照してください。

IDP ビット (パリティ設定ビット)

LIN フレームの ID フィールドで送信するパリティ (P0、P1) ビットを設定します。IDP0 が P0、IDP1 が P1 です。

パリティは自動演算されないため、演算値を設定してください。誤った演算結果を設定した場合もそのまま送信します。

ID ビット (ID 設定ビット)

LIN フレームの ID フィールドで送信する 6 ビットの ID を設定します。

15.3.3.14 RLN21nmLiCBR — LIN チェックサムバッファレジスタ

アクセス 8ビット単位でリードのみ可能です。
ただし、LINセルフテストモード時は、8ビット単位でリード/ライト可能です。

アドレス RLN21nmLiCBR: <RLIN21n_base> + 16_H

リセット後の値 不定

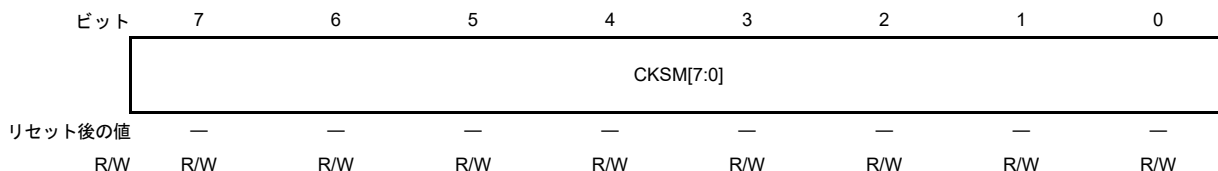


表 15.28 RLN21nmLiCBR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---------------------|
| 7～0 | CKSM[7:0] | チェックサムの送受信データを格納します |

LIN 動作モード時は、以下のとおりとなります。

- RLN21nmLiDFC レジスタの RFT ビットが“1”（送信）の場合：
送信した値を読むことができます。読み出す場合は、送信完了後に行ってください。
書き込みは無効になります。
- RLN21nmLiDFC レジスタの RFT ビットが“0”（受信）の場合：
受信した値を読むことができます。読み出す場合は、受信完了後に行ってください。
書き込みは無効になります。

LINセルフテストモード時は、以下のとおりとなります。

- RLN21nmLiDFC レジスタの RFT ビットが“1”（送信）の場合：
フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。
書き込みは無効になります。
- RLN21nmLiDFC レジスタの RFT ビットが“0”（受信）の場合：
通信前に受信する値を書き込んでください。フレーム送受信完了後（ループバック後）、
受信した値の反転値を読むことができます。

LINセルフテストモードの詳細は、「**15.15 LINセルフテストモード**」を参照してください。

このレジスタは RLN21nmLiTRC レジスタの FTS ビットが“0”（フレーム送信/ウェイクアップ送受信停止）のときに設定してください。

15.3.3.15 RLN21nmLiDBRb — LIN データバッファ b レジスタ

アクセス 8ビット単位でリード/ライトが可能です。

アドレス RLN21nmLiDBR1: <RLIN21n_base> + 18_H、RLN21nmLiDBR2: <RLIN21n_base> + 19_H、
RLN21nmLiDBR3: <RLIN21n_base> + 1A_H、RLN21nmLiDBR4: <RLIN21n_base> + 1B_H、
RLN21nmLiDBR5: <RLIN21n_base> + 1C_H、RLN21nmLiDBR6: <RLIN21n_base> + 1D_H、
RLN21nmLiDBR7: <RLIN21n_base> + 1E_H、RLN21nmLiDBR8: <RLIN21n_base> + 1F_H

リセット後の値 不定

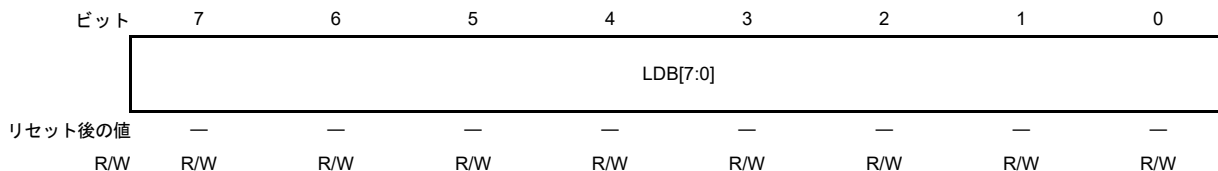


表 15.29 RLN21nmLiDBRb レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|--|
| 7 ~ 0 | LDB[7:0] | 送信データを設定、または受信データを読み出し 設定範囲：00 _H ~ FF _H |

- レスポンス送信の場合：

レスポンスフィールドで送信するデータを設定します。

これらのレジスタは以下の状態で設定してください

- RLN21nmLiDFC レジスタの RFT ビットが“1” (送信)
- RLN21nmLiDFC レジスタの FSM ビットが“0” (フレームセパレートモードではない)
- RLN21nmLiTRC レジスタの FTS ビットが“0” (フレーム送信/ウェイクアップ送受信停止)

または

- RLN21nmLiDFC レジスタの RFT ビットが“1” (送信)
- RLN21nmLiDFC レジスタの FSM ビットが“1” (フレームセパレートモード)
- RLN21nmLiTRC レジスタの RTS ビットが“0” (レスポンス送信停止)

- レスポンス受信の場合：

レスポンスフィールドで受信したデータが格納されます。

受信データは上書きされます。また、エラー検出時、受信が中断される前までのデータは格納されます。

これらのレジスタは、FTS ビットが“1” (フレーム送信/ウェイクアップ送受信開始) のときに読み出さないでください。

LIN セルフテストモード時は、以下のとおりとなります。

通信前に送信する値を書いてください。フレーム送受信完了後 (ループバック後)、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**15.15 LIN セルフテストモード**」を参照してください。

15.4 割り込み要因

LIN マスタインタフェースは LIN 割り込み要求を生成します。

割り込み要因はチャンネルごとに、フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出の3つがあります。

フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出の3つのステータスによる割り込み要求は、論理和をとって1つの割り込み要求「LIN 割り込み」にまとめられます。

それぞれの割り込み要求は、RLN21nmLiIE レジスタの対応するビットが“1”（割り込み許可）のとき、RLN21nmLiST レジスタの対応するフラグが“1”になると出力されます。ただし、RLN21nmLiST レジスタの対応するフラグが“1”の状態での割り込み要求は無視されますので、再度割り込みを可能にするには、該当するフラグを“0”にしてください。

図 15.2 に LIN 割り込みブロック図を示します。

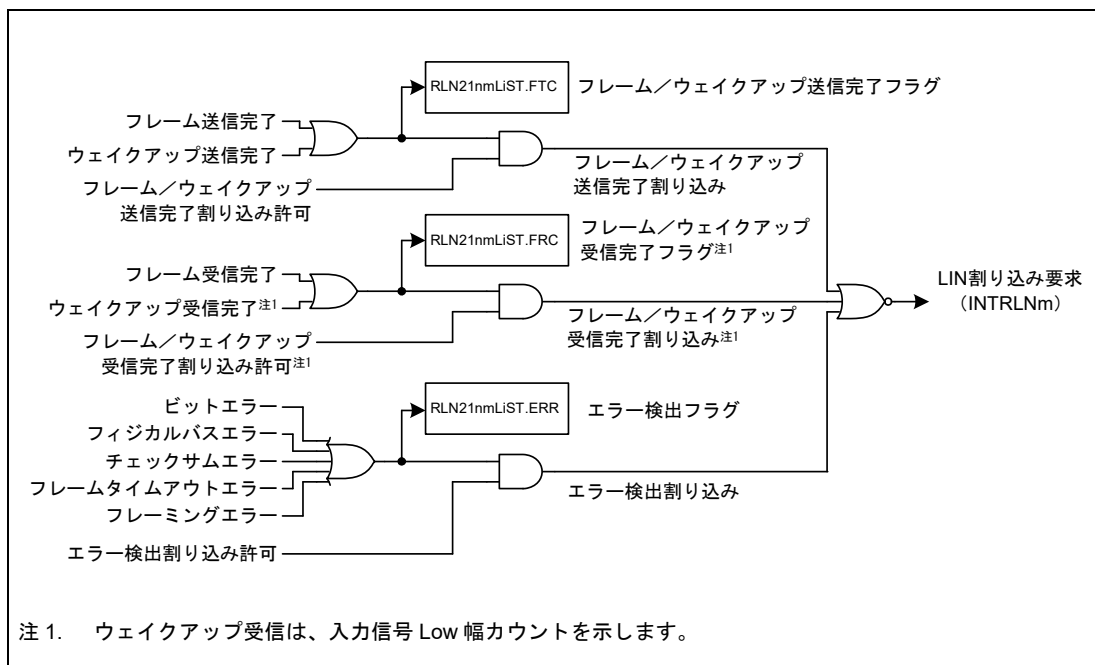


図 15.2 LIN 割り込みブロック図

15.5 モード

LIN マスタインタフェースには、次の4つのモードがあります。

- LIN リセットモード
- LIN 動作モード
- LIN ウェイクアップモード
- LIN セルフテストモード

LIN セルフテストモードを除くモードの移行は、チャンネルごとに独立して制御します。

図 15.3 に動作モードの移行、表 15.30 にモード移行条件、表 15.31 に各モードで可能な動作を示します。

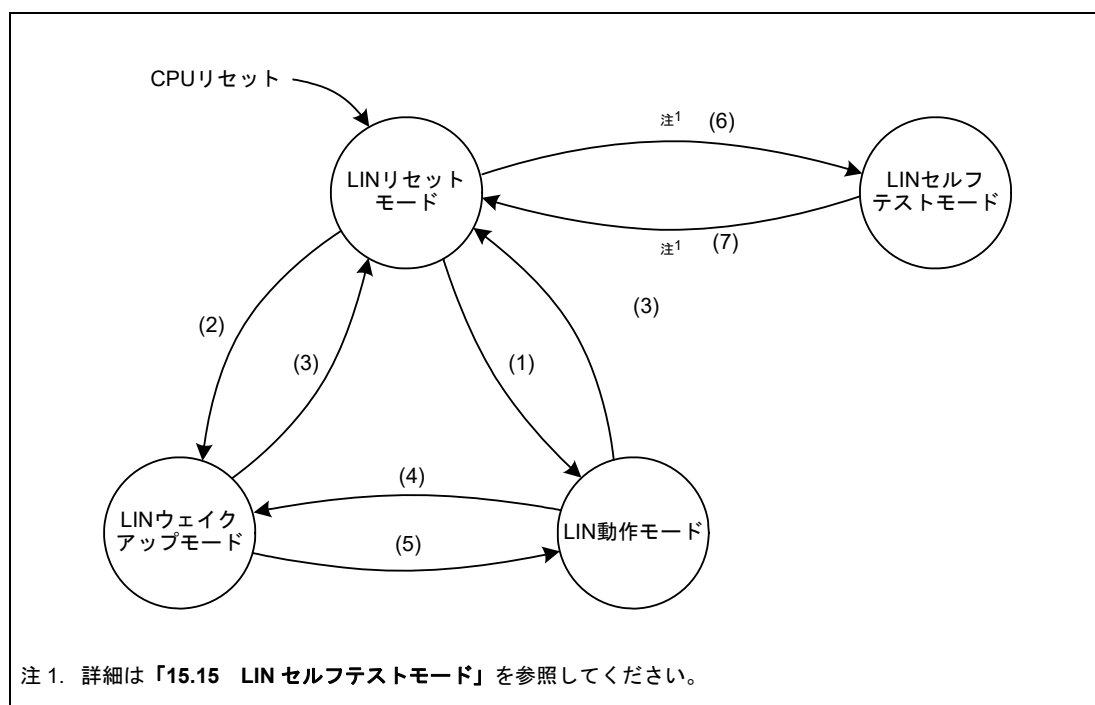


図 15.3 動作モードの移行

表 15.30 各モードの移行条件

| | 移行モード | 移行条件 |
|-----|---|--|
| (1) | LIN リセットモード → LIN 動作モード | RLN21nmLiCUC.OM1, OM0 = "11 _B " |
| (2) | LIN リセットモード → LIN ウェイクアップモード | RLN21nmLiCUC.OM1, OM0 = "01 _B " |
| (3) | LIN ウェイクアップモード LIN 動作モード → LIN リセットモード | RLN21nmLiCUC.OM0 = "0 _B " |
| (4) | LIN 動作モード → LIN ウェイクアップモード | RLN21nmLiCUC.OM1, OM0 = "01 _B " |
| (5) | LIN ウェイクアップモード → LIN 動作モード | RLN21nmLiCUC.OM1, OM0 = "11 _B " |
| (6) | LIN リセットモード → LIN セルフテストモード | 「15.15 LIN セルフテストモード」参照 |
| (7) | LIN セルフテストモード → LIN リセットモード | 「15.15 LIN セルフテストモード」参照 |

表 15.31 各モードで可能な動作

| LIN 動作モード | LIN ウェイクアップモード | LIN セルフテストモード |
|--------------------------------------|---------------------------------|---------------|
| ヘッダ送信 レスポンス送信 レスポンス受信 エラー検出 | ウェイクアップ送信 ウェイクアップ受信 エラー検出 | セルフテスト |

RLN21nmLiMST レジスタの OMM1、OMM0 ビットを読むことで、LIN リセットモード、LIN 動作モード、LIN ウェイクアップモードへ移行したことを確認できます。

LIN セルフテストモードについては、「15.15 LIN セルフテストモード」を参照してください。

15.6 LIN リセットモード

RLN21nmLiCUC レジスタの OM0 ビットを“0” (LIN リセットモード) にすると、LIN リセットモードに移行します。RLN21nmLiMST レジスタの OMM0 ビットが“0” (LIN リセットモード) になることで、LIN リセットモードに移行したことが確認できます。このモードのとき、LIN 通信機能は停止しています。

LIN リセットモードからは、LIN 動作モード、LIN ウェイクアップモード、LIN セルフテストモードに移行できます。

以下のレジスタは、LIN リセットモードに移行したあと、それぞれのリセット後の値に初期化され、LIN リセットモード中はリセット後の値を保持します。

- RLN21nmLiTRC レジスタ
- RLN21nmLiST レジスタ
- RLN21nmLiEST レジスタ

以下のレジスタは、LIN リセットモードに移行したあとも、以前の値を保持します。

- RLN21nGLWBR レジスタ
- RLN21nGLBRP0 レジスタ
- RLN21nGLBRP1 レジスタ
- RLN21nmLiMD レジスタ
- RLN21nmLiBFC レジスタ
- RLN21nmLiSC レジスタ
- RLN21nmLiWUP レジスタ
- RLN21nmLiIE レジスタ
- RLN21nmLiEDE レジスタ
- RLN21nmLiDFC レジスタ
- RLN21nmLiIDB レジスタ
- RLN21nmLiCBR レジスタ
- RLN21nmLiDBRb レジスタ

15.7 LIN 動作モード

LIN 動作モードでは、フレーム処理（ヘッダ送信、レスポンス送信、レスポンス受信、エラー検出）をします。

LIN リセットモードから LIN モードに移行する際に、RLN21nmLiCUC レジスタの OM1 ビット、OM0 ビットを“11_B”にすると LIN 動作モードになり、RLN21nmLiMST レジスタの OMM1 ビット、OMM0 ビットが“11_B”になります。RLN21nmLiMST レジスタが“11_B”になるのを待ってから、通信設定を行ってください。

15.8 LIN ウェイクアップモード

LIN ウェイクアップモードでは、ウェイクアップシグナル処理（ウェイクアップ送信、ウェイクアップ受信、エラー検出）をします。

LIN リセットモードから LIN モードに移行する際に、RLN21nmLiCUC レジスタの OM1 ビット、OM0 ビットを“01_B”にすると LIN ウェイクアップモードになり、RLN21nmLiMST レジスタの OMM1 ビット、OMM0 ビットが“01_B”になります。RLN21nmLiMST レジスタが“01_B”になるのを待ってから、通信設定を行ってください。

15.9 ヘッダ送信／レスポンス送信／レスポンス受信

15.9.1 ヘッダ送信

図 15.4 にヘッダ送信時の動作、表 15.32 にヘッダ送信時の処理を示します。

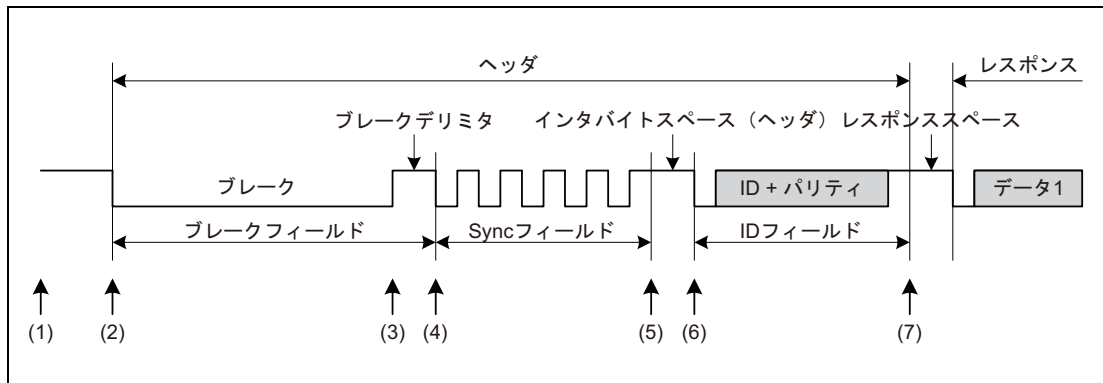


図 15.4 ヘッダ送信時の動作

表 15.32 ヘッダ送信時の処理

| | ソフトウェア処理 | LIN マスタインタフェース処理 |
|-----|---|---|
| (1) | <ul style="list-style-type: none"> • ボーレートを設定 • 割り込み許可を設定 • エラー検出許可を設定 • フレーム構成パラメータを設定 • LIN 動作モードに移行 • 送信するフレーム情報 (ID、パリティ、データ長、レスポンス方向、チェックサム方式、送信データ) を設定 | ソフトウェアによる RLN21nmLiTRC レジスタの FTS ビット設定待ち (アイドル) |
| (2) | RLN21nmLiTRC レジスタの FTS ビットを "1" (フレーム送信 / ウェイクアップ送受信開始) にする | ブレーク送信 |
| (3) | 割り込み要求待ち | ブレークデリミタ送信 |
| (4) | | Sync フィールド (55h) 送信 |
| (5) | | インタバイトスペース (ヘッダ) 送信 |
| (6) | | ID フィールド送信 |
| (7) | | ヘッダ送信完了フラグ設定 |

備考

エラー検出に関しては、「15.14 エラーステータス」を参照してください。

15.9.2 レスポンス送信

図 15.5 にレスポンス送信時の動作、表 15.33 にレスポンス送信時の処理を示します。

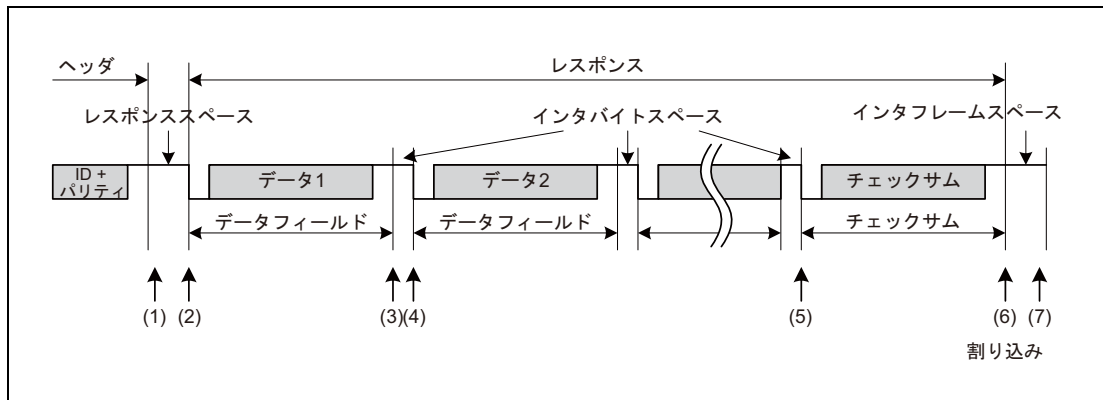


図 15.5 レスポンス送信時の動作

表 15.33 レスポンス送信時の処理

| | ソフトウェア処理 | LIN マスタインタフェース処理 |
|-----|--|---|
| (1) | (フレームセパレートモード時) <ul style="list-style-type: none"> RLN21nmLiTRC レジスタの RTS ビットに "1" を設定 (レスポンス送信開始) (フレームセパレートモードでないとき) <ul style="list-style-type: none"> 割り込み要求発生待ち | (フレームセパレートモード時) <ul style="list-style-type: none"> ソフトウェア処理による RLN21nmLiTRC レジスタの RTS ビットの "1" 設定待ち (この間、"1" を出力) "1" に設定されたあと、レスポンススペースを送信 (フレームセパレートモードでないとき) レスポンススペースを送信 |
| (2) | 割り込み要求発生待ち | データ 1 送信 |
| (3) | | インタバイトスペース送信 |
| (4) | | <ul style="list-style-type: none"> データ 2 送信 インタバイトスペース送信 データ 3 送信 インタバイトスペース送信 (RLN21nmLiDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返し。) : : |
| (5) | | チェックサム送信 |
| (6) | | <ul style="list-style-type: none"> フレーム/ウェイクアップ送信完了フラグ設定 RLN21nmLiTRC レジスタの FTS ビットを "0" (フレーム送信/ウェイクアップ送受信停止) にする (フレームセパレートモード時) RLN21nmLiTRC レジスタの RTS ビットを "0" (レスポンス送信停止) にする |
| (7) | <ul style="list-style-type: none"> 通信後の処理 RLN21nmLiST レジスタのチェック、フラグのクリア | アイドル |

備考

エラー検出に関しては、「15.14 エラーステータス」を参照してください。

15.9.3 レスポンス受信

図 15.6 にレスポンス受信時の動作、表 15.34 にレスポンス受信時の処理を示します。

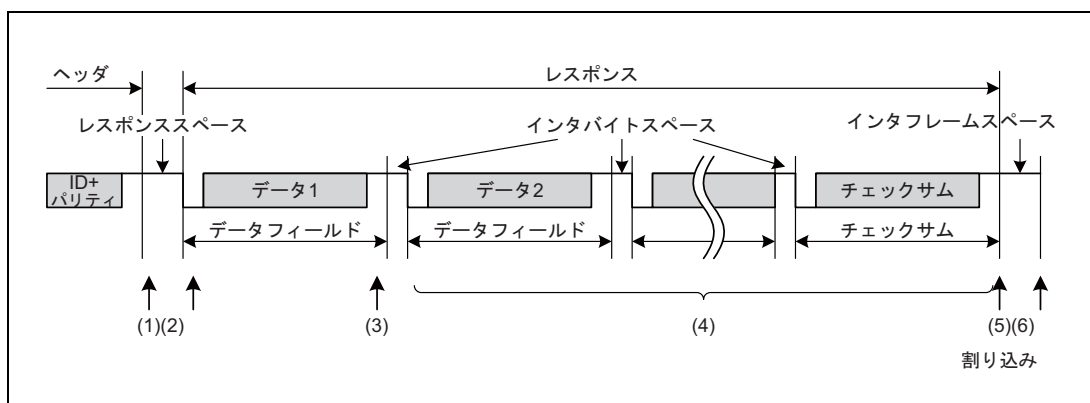


図 15.6 レスポンス受信時の動作

表 15.34 レスポンス受信時の処理

| | ソフトウェア処理 | LIN マスタインタフェース処理 |
|-----|---|--|
| (1) | 割り込み要求発生待ち (処理はなし) | スタートビット検出待ち |
| (2) | 割り込み要求発生待ち | スタートビット検出によりデータ 1 受信 |
| (3) | | データ 1 受信完了フラグ設定 |
| (4) | | <ul style="list-style-type: none"> スタートビット検出によりデータ 2 受信 スタートビット検出によりデータ 3 受信 (RLN21nmLiDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返し。) スタートビット検出によりチェックサム受信 |
| (5) | | <ul style="list-style-type: none"> チェックサム判定 フレーム/ウェイクアップ受信完了フラグ設定 RLN21nmLiTRC レジスタの FTS ビットを "0" (フレーム送信/ウェイクアップ送受信停止) にする |
| (6) | <ul style="list-style-type: none"> 通信後の処理 受信データの読み出し RLN21nmLiST レジスタのチェック、フラグのクリア | アイドル |

備考

エラー検出に関しては、「15.14 エラーステータス」を参照してください。

15.10 データ送信／受信

15.10.1 データ送信

データ送信は、1 Tbit に 1 ビットずつ行われます。

送信したデータは、LIN トランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較がビットごとに行われ、結果は RLN21nmLiEST レジスタの BER フラグに格納されます（「15.14 エラーステータス」参照）。

LIN マスタインタフェースでは、1 Tbit = 16fLIN で生成され、受信データのサンプリングポイントは 13 クロック目（81.25% 位置）になります。

図 15.7 にデータ送信タイミングの例を示します。

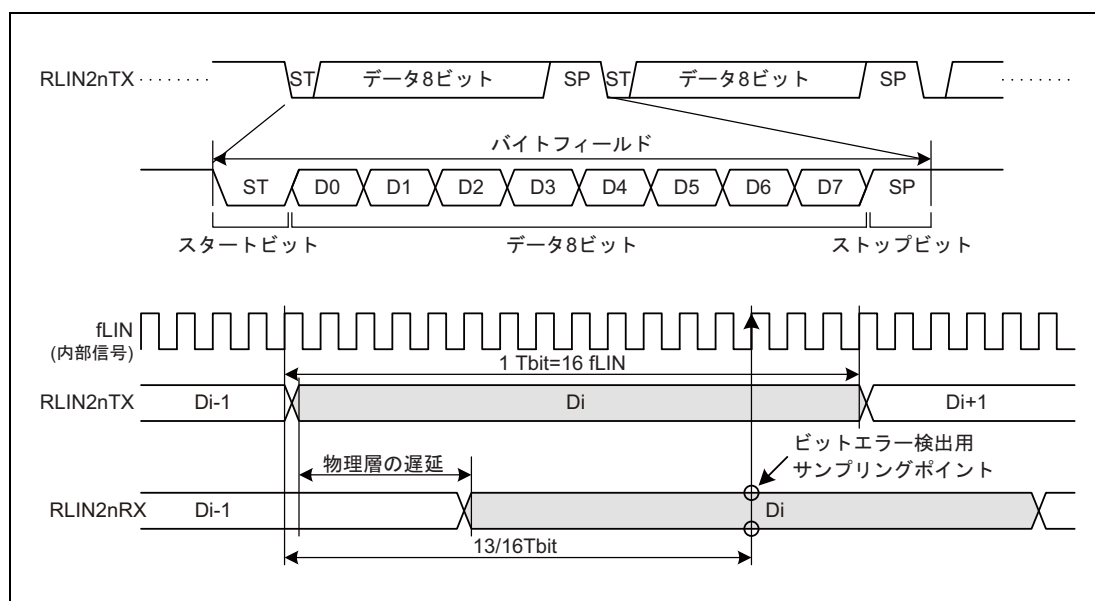


図 15.7 データ送信タイミング例

15.10.2 データ受信

データ受信は、LRX0 端子からの入力を LIN システムクロック (fLIN) に同期させた同期化 RLIN2nRX (内部信号) を使用して行います。

この同期化 RLIN2nRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、0.5 Tbit 後に再度サンプリングを行い、同期化 RLIN2nRX 信号がロウレベルであった場合にスタートビットと認識します。リセット解除後から RLIN2nRX 信号がロウレベル固定の場合や、再サンプリング時にハイレベルを検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbit ごとにビットのサンプリングを行います。

図 15.8 にデータ受信タイミングの例を示します。

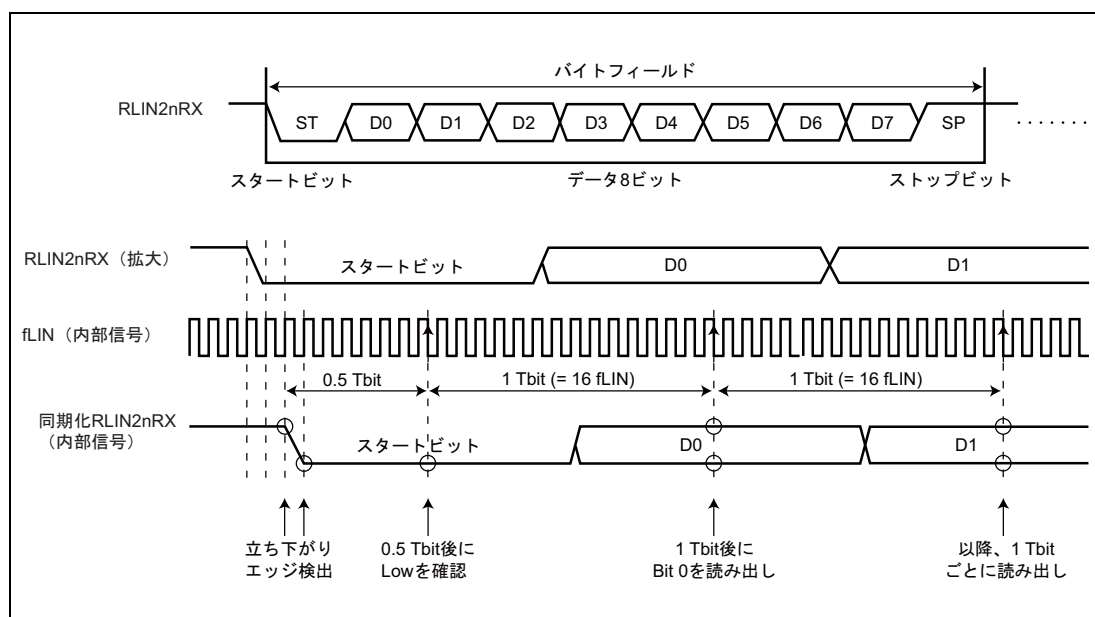


図 15.8 データ受信タイミング例

15.11 送信／受信データのバッファ処理

LIN マスタインタフェースの連続データ送受信時のバッファ処理について説明します。

15.11.1 LIN フレームの送信

8 バイト送信の場合、RLN21nmLiDBR1 レジスタ～RLN21nmLiDBR8 レジスタに格納されている内容が、順番に LIN フレームのデータ 1～8 領域に送信されます。4 バイト送信の場合は、RLN21nmLiDBR1 レジスタ～RLN21nmLiDBR4 レジスタに格納されている内容が LIN フレームのデータ 1～4 領域に送信され、RLN21nmLiDBR5 レジスタ～RLN21nmLiDBR8 レジスタの内容は送信されません。また、RLN21nmLiCBR レジスタには送信したチェックサムデータが格納されます。

図 15.9 に LIN 送信処理とバッファを示します。

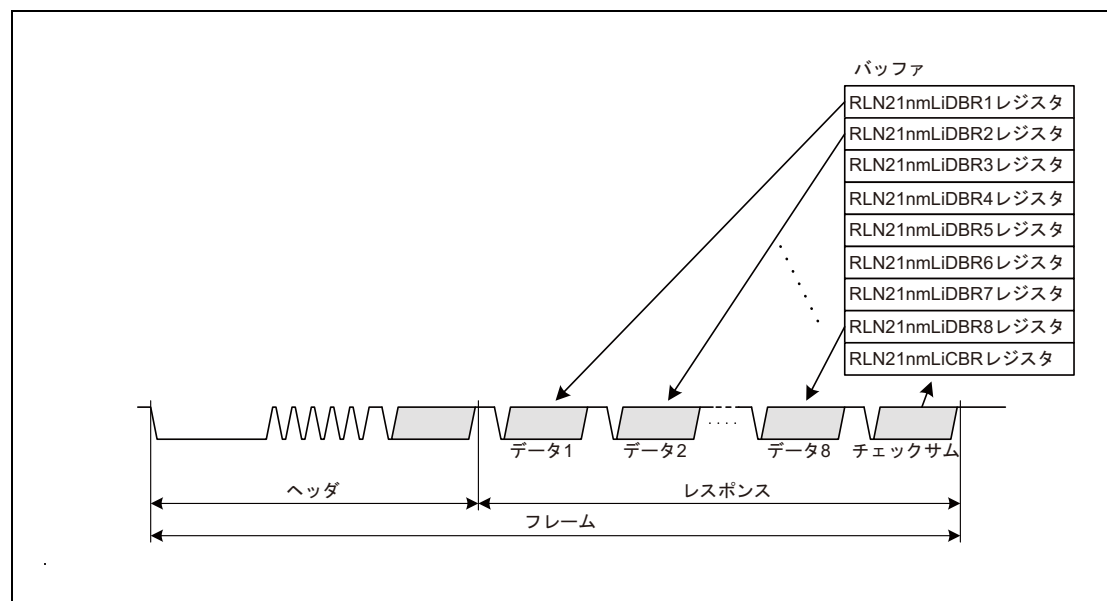


図 15.9 LIN 送信処理とバッファ

(1) フレームセパレートモード

RLN21nmLiDFC レジスタの FSM ビットを“1”にすることにより、フレームセパレートモードになります。

ヘッダとレスポンスを別々の送信開始要求により送信するモードです。

ヘッダ送信が完了すると RLN21nmLiST レジスタの HTRC フラグが“1”（ヘッダ送信完了）になります。

15.11.2 LIN フレームの受信

8 バイト受信の場合、LIN フレームのデータ 1～8 領域の内容が、ストップビットを受信するごとにそれぞれの RLN21nmLiDBR1 レジスタ～RLN21nmLiDBR8 レジスタに格納されます。4 バイト受信の場合は、LIN フレームのデータ 1～4 領域の内容が、それぞれ RLN21nmLiDBR1 レジスタ～RLN21nmLiDBR4 レジスタに格納され、RLN21nmLiDBR5 レジスタ～RLN21nmLiDBR8 レジスタには何も格納されません。また、RLN21nmLiCBR レジスタには受信したチェックサムデータが格納されます。

図 15.10 に LIN 受信処理とバッファを示します。

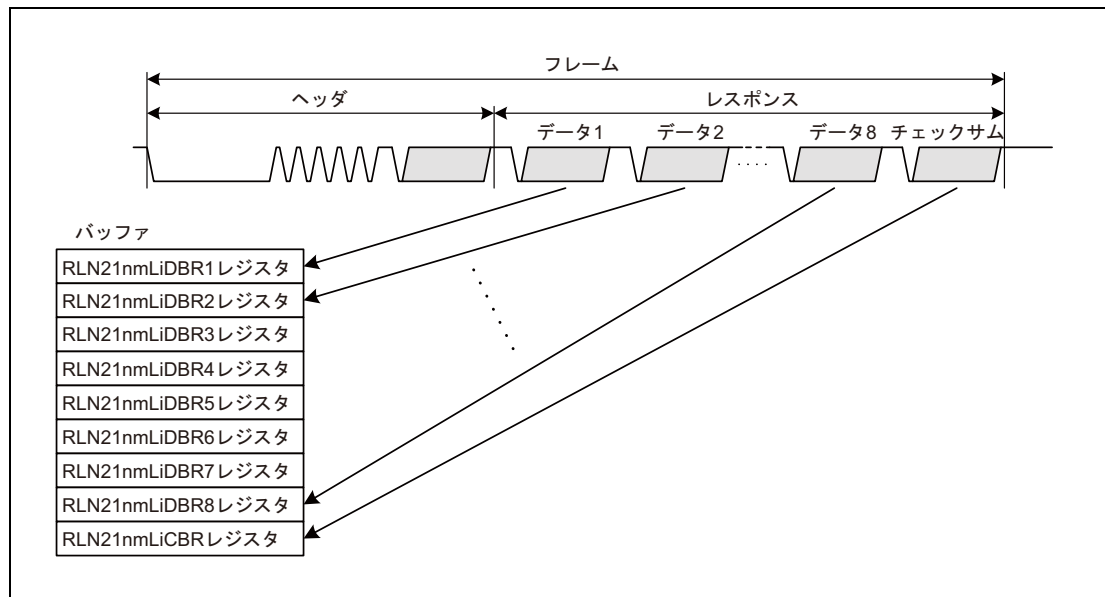


図 15.10 LIN 受信処理とバッファ

(1) データ 1 受信

1 バイト目のデータ受信が完了すると、RLN21nmLiST レジスタの DIRC フラグが“1”（データ 1 受信完了）になります。

15.12 ウェイクアップ送信／受信

ウェイクアップの送受信はLIN ウェイクアップモードで使用できます。

15.12.1 ウェイクアップ送信動作

LIN ウェイクアップモード時、RLN21nmLiDFC レジスタの RFT ビットを“1”（送信）、RLN21nmLiTRC レジスタの FTS ビットを“1”（フレーム送信／ウェイクアップ送受信開始）にすると、出力端子からウェイクアップ信号が出力されます。ウェイクアップ信号のロウレベル幅はRLN21nmLiWUP レジスタの WUTL[3:0] ビットで設定します。

ただし、RLN21nGLWBR レジスタの LWBR0 ビットが“1”（LIN2.x 使用時）の場合は、RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN システムクロック（fLIN）が fa でのロウ幅になります。fa 選択時のボーレートを 19200 bps に、RLN21nmLiWUP レジスタの WUTL[3:0] ビットを“0100_B”（5Tbits）に設定することにより、RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN ウェイクアップモード時に 260 μs のロウ幅を出力することができます。

エラーなくウェイクアップのロウレベルが出力された場合、RLN21nmLiST レジスタの FTC フラグが“1”（フレームまたはウェイクアップ送信完了）になり、RLN21nmLiIE レジスタの FTCIE ビットが“1”（フレーム／ウェイクアップ送信完了割り込み許可）のとき割り込み要求が発生します。

エラーを検出した場合は、ウェイクアップ送信を中断し、検出したエラーに対するエラーフラグ（RLN21nmLiEST レジスタの PBER フラグまたは BER フラグ）を“1”（フィジカルバスエラー検出／ビットエラー検出）にします。

図 15.11 にウェイクアップ送信タイミングを示します。

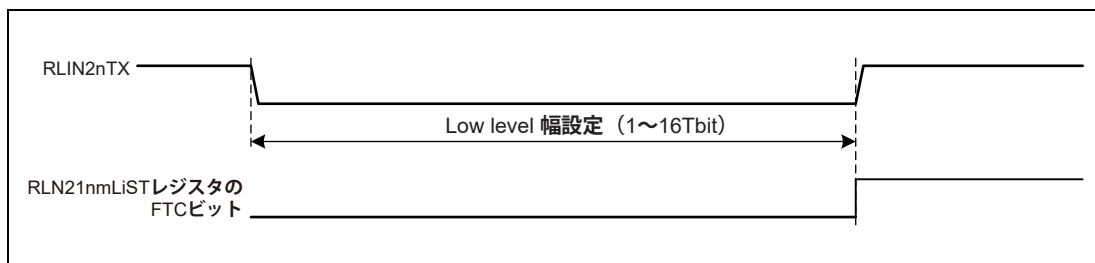


図 15.11 ウェイクアップ送信タイミング

15.12.2 ウェイクアップ受信動作

ウェイクアップシグナルを検出するには、入力信号ロウレベル幅カウント機能を使用します。入力信号ロウレベル幅カウント機能は、データ受信と同じサンプリングポイントで LRX0 端子への入力信号のロウレベル幅を計測する機能です。入力信号のロウレベル幅を fLIN の 2.5Tbit 以上で計測することができます。

LIN Specification Package Revision 1.3 使用時は、RLN21nGLWBR レジスタの LWBR0 ビットを“0”に、LIN Specification Package Revision 2.x 使用時は“1”に設定してください。LWBR0 ビットを“1”にすると RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック (fLIN) が fa になります (LCKS ビットは変化しません)。fa 選択時のボーレートが 19200bps に設定することにより、RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN ウェイクアップモード時に 130us 以上の入力信号ロウレベル幅を検出することができます。

この機能を使用する場合、LIN ウェイクアップモードにて、RLN21nmLiDFC レジスタの RFT ビットを“0” (受信)、RLN21nmLiTRC レジスタの FTS ビットを“1” (フレーム送信/ウェイクアップ送受信開始) にしてください。

計測するロウレベル幅に達すると RLN21nmLiST レジスタの FRC フラグが“1” (フレームまたはウェイクアップ受信完了) になり、RLN21nmLiIE レジスタの FRCIE ビットが“1” (フレーム/ウェイクアップ受信完了割り込み許可) の場合、割り込み要求が発生します。

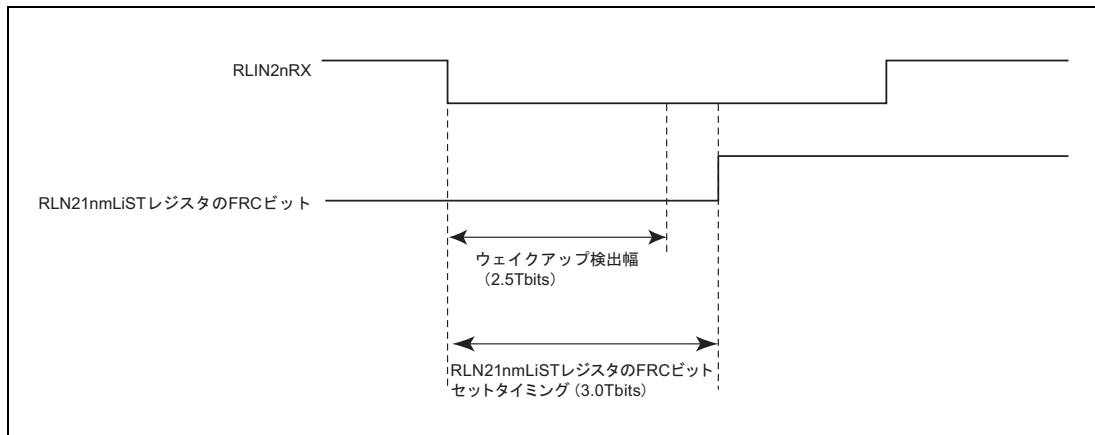


図 15.12 入力信号ロウレベルカウント機能

15.12.3 ウェイクアップ衝突

マスタノードとスレーブノードが同時にウェイクアップ信号を送信した場合、LIN バス上で衝突が発生しますが、LIN マスタインタフェースではウェイクアップ信号の衝突は検知しません。

15.13 ステータス

LIN マスタインタフェースは7種類のステータスを検出します。

フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出の3つのステータスは割り込み要求を発生することができます。

表 15.35 にステータスの種類を示します。

表 15.35 ステータスの種類

| ステータス | ステータスセット条件 | ステータスクリア条件 | ステータスを検出できる動作モード | 対応ビット | 割り込み |
|------------------|--|---|---|-----------------------------|------|
| リセット | RLN21nmLiCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN マスタインタフェースが LIN リセットモード解除になったとき | RLN21nmLiCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN マスタインタフェースが LIN リセットモードになったとき | すべてのモード | RLN21nmLiMST レジスタの OMM0 ビット | — |
| 動作モード | RLN21nmLiCUC レジスタの OM1 ビットを LIN 動作モードに設定後、実際に LIN マスタインタフェースが LIN 動作モードになったとき | RLN21nmLiCUC レジスタの OM1 ビットを LIN ウェイクアップモードに設定後、実際に LIN マスタインタフェースが LIN ウェイクアップモードになったとき | <ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード | RLN21nmLiMST レジスタの OMM1 ビット | — |
| フレーム/ウェイクアップ送信完了 | フレーム（ヘッダ送信 + レスポンス送信）、またはウェイクアップ信号を正常に送信完了したとき | <ul style="list-style-type: none"> 次の通信開始時 ソフトウェアによるクリア LIN リセットモード移行時 | <ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード | RLN21nmLiST レジスタの FTC フラグ | ○ |
| フレーム/ウェイクアップ受信完了 | フレーム（ヘッダ送信 + レスポンス受信）、またはウェイクアップ信号を正常に受信完了したとき | <ul style="list-style-type: none"> 次の通信開始時 ソフトウェアによるクリア LIN リセットモード移行時 | <ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード | RLN21nmLiST レジスタの FRC フラグ | ○ |
| エラー検出 | RLN21nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグのいずれかが“1”（エラー検出）になったとき | <ul style="list-style-type: none"> 次の通信開始時 ソフトウェアによるクリア注1 LIN リセットモード移行時 | <ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード | RLN21nmLiST レジスタの ERR フラグ | ○ |
| データ 1 受信完了 | RLN21nmLiDFC レジスタの RFT ビットが“0”（受信）で、レスポンスフィールドの最初の 1 バイトを受信完了したとき注2 | <ul style="list-style-type: none"> 次の通信開始時 ソフトウェアによるクリア LIN リセットモード移行時 | LIN 動作モード | RLN21nmLiST レジスタの D1RC フラグ | — |
| ヘッダ送信完了 | ヘッダフィールドを正常に送信完了した場合 | <ul style="list-style-type: none"> 次の通信開始時 ソフトウェアによるクリア LIN リセットモード移行時 | LIN 動作モード | RLN21nmLiST レジスタの HTRC フラグ | — |

注 1. LIN 動作モード内で RLN21nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに“0”を書くことにより、RLN21nmLiST レジスタの ERR フラグは“0”になります。

注 2. RLN21nmLiDFC レジスタの RFDL[3:0] ビットが“0000_b”（0 バイト + チェックサム）のときは検出されません。

15.14 エラーステータス

15.14.1 エラーステータスの種類

LIN マスタインタフェースでは LIN マスタモードで 5 種類のエラーステータスを検出します。これらのエラーの状態は RLN21nmLiEST レジスタの各ビットで確認できます。

すべてのエラーステータスは、割り込み要因となります。

表 15.36 にエラーステータスの種類を示します。

表 15.36 エラーステータスの種類

| ステータス | エラー検出条件 | エラーを検出できる動作モード | 通信処理 | 検出許可/禁止選択 | 対応ビット |
|---------------|---|---|------|-----------|-----------------------------|
| ビットエラー | 送信したデータと、受信端子でモニタしている LIN バス上のデータが一致しなかったとき ^{注1} | <ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード | 中断 | ○ | RLN21nmLiEST レジスタの BER フラグ |
| フィジカルバスエラー | <ul style="list-style-type: none"> ブレーク送信時に LIN バスがハイレベルを検出した場合 ブレークデリミタ送信時に LIN バスがロウレベルを検出した場合 ウェイクアップ送信時に LIN バスがハイレベルを検出した場合 | <ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード | 中断 | ○ | RLN21nmLiEST レジスタの PBER フラグ |
| フレームタイムアウトエラー | フレームの送受信がある一定の時間内に終了しなかったとき ^{注2} | LIN 動作モード | 中断 | ○ | RLN21nmLiEST レジスタの FTER フラグ |
| フレーミングエラー | レスポンスフィールド受信処理において、各データバイトのストップビットがロウレベルであったとき | LIN 動作モード | 中断 | ○ | RLN21nmLiEST レジスタの FER フラグ |
| チェックサムエラー | レスポンスフィールド受信処理において、チェックサム判定の結果がエラーのとき | LIN 動作モード | — | × | RLN21nmLiEST レジスタの CSER フラグ |

注 1. ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。ウェイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウェイクアップ送信を中断します。

注 2. タイムアウト時間は、レスポンスフィールドデータ長 (RLN21nmLiDFC レジスタの RFDL[3:0] ビット)、およびチェックサム選択 (RLN21nmLiDFC レジスタの CSM ビット) に依存し、下記の式により計算できます。

クラシック選択時 (RLN21nmLiDFC レジスタの CSM ビットが“0”の場合) :

$$\text{タイムアウト時間} = 49 + (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

エンハンス選択時 (RLN21nmLiDFC レジスタの CSM ビットが“1”の場合) :

$$\text{タイムアウト時間} = 48 + (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

上記タイムアウト時間は、クラシック選択時に LIN Specification Package Revision 1.3 の TFRAME_MAX を、エンハンス選択時に LIN Specification Package Revision 2.x の TFRAME_MAX を超える時間となります。

エラーステータスのクリア条件は、次の通信開始時、ソフトウェアによるクリア、LIN リセットモード移行時です。

15.14.2 エラー検出の対象時間領域

図 15.13 にエラーを検出するために LIN マスタインタフェースが監視する時間領域を示します。

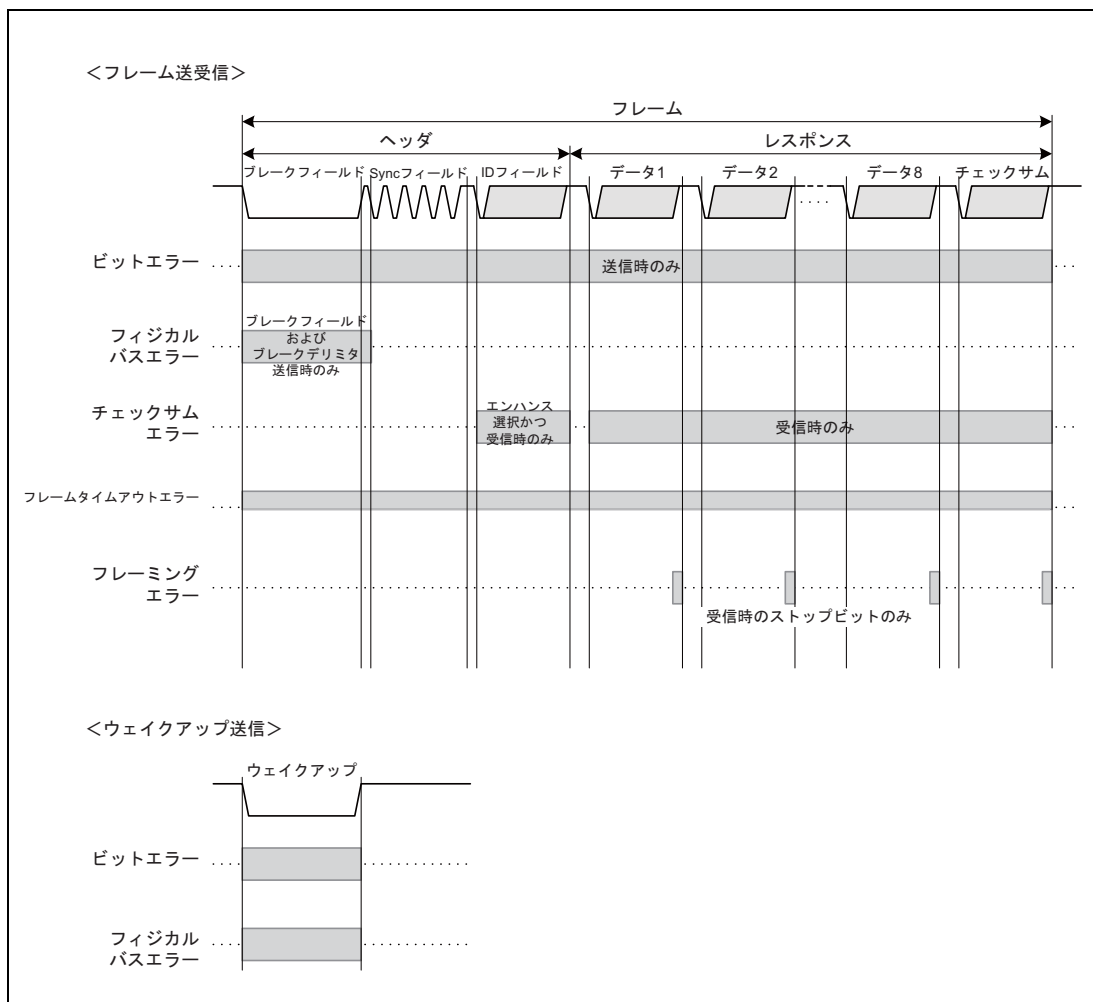


図 15.13 エラー検出の対象時間領域

15.15 LIN セルフテストモード

LIN マスタインタフェースは、LIN セルフテストモードを持ちます。一度 LIN マスタインタフェースが LIN セルフテストモードになると、RLIN2nTX と RLIN2nRX は外部端子から切断され、LIN マスタインタフェース内部で RLIN2nTX と RLIN2nRX が接続されます。よって、RLIN2nTX から送信するフレームは RLIN2nRX にループバックします。

セルフテストは、以下の2種類行うことができます。

- LIN セルフテストモード（送信）：ヘッダ送信およびレスポンス送信
- LIN セルフテストモード（受信）：ヘッダ送信およびレスポンス受信

LIN セルフテストモードでは、ボーレートジェネレータの設定にかかわらず、最速ボーレートで動作します。

ボーレートは、ボーレート関連レジスタの設定にかかわらず、LIN 通信クロック源/16[bps] で動作します。

また、LIN セルフテストモードでは、以下の機能はサポートしません。

- LIN ウェイクアップモード
- フレームセパレートモード

これらの機能は使用しないでください。

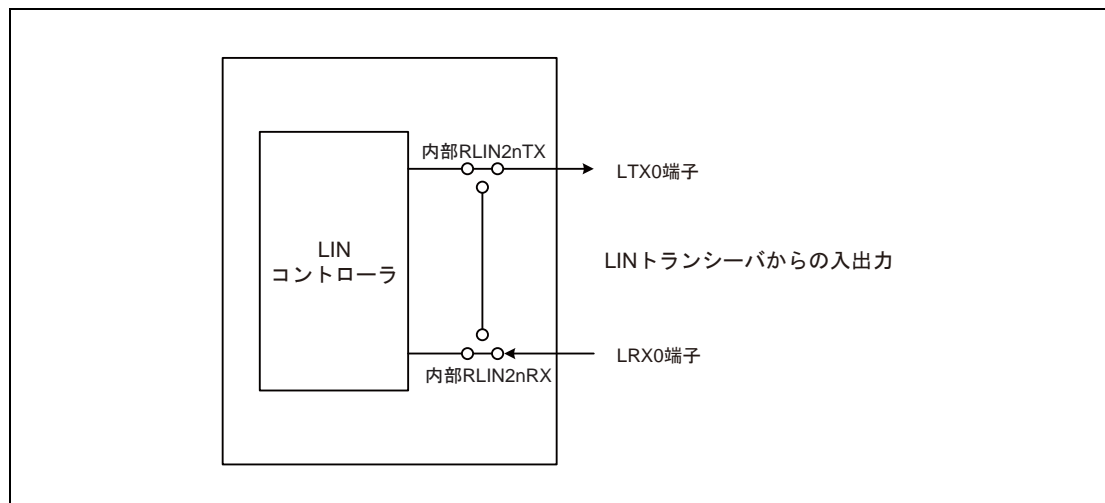


図 15.14 LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード 接続

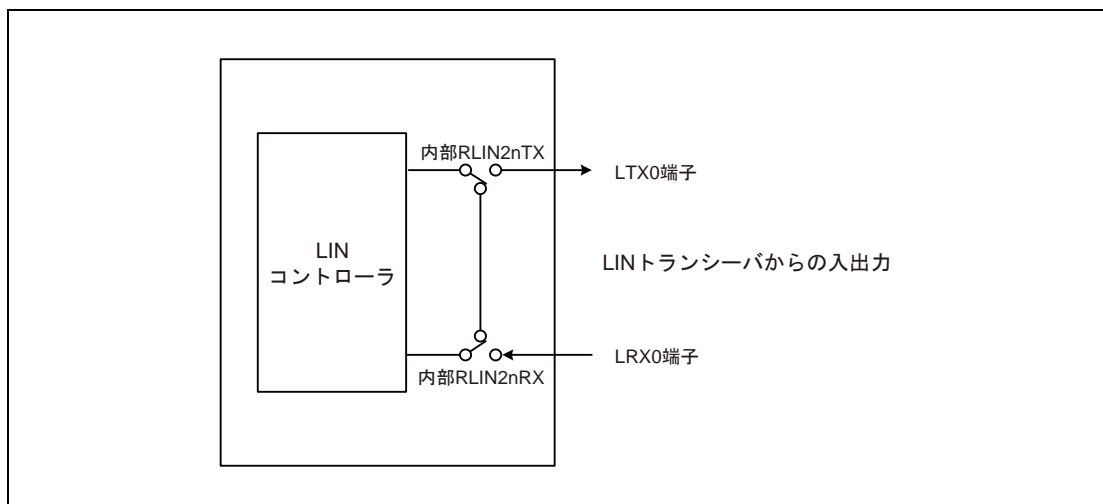


図 15.15 LIN セルフテストモード接続

15.15.1 LIN セルフテストモードへの移行

RLN21nGLSTC レジスタへの書き込みにより、LIN セルフテストモードになります。

RLN21nGLSTC レジスタが“01_H”になると、LIN セルフテストモードに移行したことが確認できます。

LIN セルフテストモードに移行するには、特定のシーケンスを必ず実行してください。このシーケンスでは、次のとおり LIN セルフテスト制御レジスタに3回連続書き込みを行う必要があります。

- ユニット内の全チャネルを LIN リセットモードへ移行
RLN21nmLiCUC レジスタの OM0 ビットを“0” (LIN リセットモード) にする。
RLN21nmLiMST レジスタの OMM0 ビットを読み出し、“0” (LIN リセットモード) であることを確認する
- 1 回目書き込み : RLN21nGLSTC レジスタ = “1010 0111_B” (A7_H)
- 2 回目書き込み : RLN21nGLSTC レジスタ = “0101 1000_B” (58_H)
- 3 回目書き込み : RLN21nGLSTC レジスタ = “0000 0001_B” (01_H)
- LIN セルフテストモードへの移行を確認する
RLN21nGLSTC レジスタを読み出し、“01_H” (LIN セルフテストモード) であることを確認する。

1 回目のキー (A7_H) を誤って2回書き込みした場合、LIN セルフテストモードへの移行は中断します。再度1回目の書き込みから実施してください。また、LIN セルフテストモードへの移行 (RLN21nGLSTC レジスタへの3回連続書き込み) 中に同一ユニット内のほかの LIN 関連レジスタに書き込みを行った場合も移行は中断します。

15.15.2 LIN セルフテストモードにおける送信

送信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート関連レジスタを設定する
 RLN21nGLBRP0 レジスタ = xxxx xxxxB^{注1}
 RLN21nGLBRP1 レジスタ = xxxx xxxxB^{注1}
 RLN21nmLiMD レジスタ = 0000 xx00B^{注1}
- 割り込み許可、エラー許可関連レジスタを設定する
 RLN21nmLiIE レジスタ = 0000 0xxxB^{注2}
 RLN21nmLiEDE レジスタ = 0000 xxxxB
- ブレークフィールド、スペース関連レジスタを設定する
 RLN21nmLiBFC レジスタ = 00xx xxxxB
 RLN21nmLiSC レジスタ = 00xx 0xxxB
- LIN リセットモード解除
 RLN21nmLiCUC レジスタの OM1、OM0 ビットに“1_B”を書き込み、RLN21nmLiMST
 レジスタの OMM1、OMM0 ビットが“1_B”になることを確認する
- 送信フレーム関連レジスタを設定する
 RLN21nmLiDFC レジスタ = 00x1 xxxxB
 RLN21nmLiIDB レジスタ = xxxx xxxxB
 RLN21nmLiDBR1 ~ RLN21nmLiDBR8 レジスタ = xxxx xxxxB
- ヘッダ送信→レスポンス送信開始
 RLN21nmLiTRC レジスタの FTS ビットを“1”（フレーム送信／ウェイクアップ送受信
 開始）にする
 LIN セルフテストモード（送信）が実行され、割り込み発生、ステータス、エラー
 ステータス更新も合わせて実行される。チェックサムは LIN マスタインタフェースが自
 動演算する
 LIN セルフテストモード（送信）実行中に中断したい場合は、RLN21nmLiCUC レジ
 スタの OM0 ビットに“0”（LIN リセットモード）を書き込み、LIN リセットモードへ移
 行する
- 送信完了の場合、ループバックしたフレームデータの反転値が RLN21nmLiIDB レジ
 スタ、RLN21nmLiDBRb レジスタ、RLN21nmLiCBR レジスタに格納され（送信した値と
 ループバックした値を比較するため、反転値として格納されます。）、RLN21nmLiTRC
 レジスタの FTS ビットがクリアされる
- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、
 RLN21nmLiTRC レジスタの FTS ビットがクリアされる

備 考

x : 任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
 RLN21nGLBRP0 レジスタ、RLN21nGLBRP1 レジスタ、RLN21nmLiMD レジスタの LCKS
 ビット
 そのため、設定は必須ではありません。

注 2. 必要に応じて、「第 6 章 割り込み」の関連レジスタを設定してください。

15.15.3 LIN セルフテストモードにおける受信

受信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート関連レジスタを設定する
 RLN21nGLBRP0 レジスタ = xxxx xxxxB^{注1}
 RLN21nGLBRP1 レジスタ = xxxx xxxxB^{注1}
 RLN21nmLiMD レジスタ = 0000 xx00B^{注1}
- 割り込み許可、エラー許可関連レジスタを設定する
 RLN21nmLiIE レジスタ = 0000 0xxxB^{注2}
 RLN21nmLiEDE レジスタ = 0000 xxxxB
- ブレークフィールド、スペース関連レジスタを設定する
 RLN21nmLiBFC レジスタ = 00xx xxxxB
 RLN21nmLiSC レジスタ = 00xx 0xxxB^{注1}
- LIN リセットモード解除
 RLN21nmLiCUC レジスタの OM1、OM0 ビットに“1_B”を書き込み、RLN21nmLiMST レジスタの OMM1、OMM0 ビットが“1_B”になることを確認する
- 受信フレーム関連レジスタを設定する
 RLN21nmLiDFC レジスタ = 00x0 xxxxB
 RLN21nmLiIDB レジスタ = xxxx xxxxB
 RLN21nmLiDBR1 ~ RLN21nmLiDBR8 レジスタ = xxxx xxxxB
 RLN21nmLiCBR レジスタ = xxxx xxxxB
 送信するチェックサム値は自動演算されないため、ユーザで演算し、RLN21nmLiCBR レジスタに設定する。このとき 誤ったチェックサム値を設定することによって、チェックサムエラーをテストすることが可能です
- ヘッダ送信→レスポンス受信開始
 RLN21nmLiTRC レジスタの FTS ビットを“1”（フレーム送信／ウェイクアップ送受信開始）にする
 LIN セルフテストモード（受信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される
 LIN セルフテストモード（受信）実行中に中断したい場合は、RLN21nmLiCUC レジスタの OM0 ビットに“0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する
- 受信完了の場合、ループバックしたフレームデータの反転値が RLN21nmLiIDB レジスタ、RLN21nmLiDBRb レジスタ、RLN21nmLiCBR レジスタに格納され（設定した値とループバックした値を比較するため、反転値として格納されます。）、RLN21nmLiTRC レジスタの FTS ビットがクリアされる
- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、RLN21nmLiTRC レジスタの FTS ビットがクリアされる

備 考

x : 任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
 RLN21nGLBRP0 レジスタ、RLN21nGLBRP1 レジスタ、RLN21nmLiMD レジスタの LCKS ビット、RLN21nmLiSC レジスタの IBS ビット、IBHS ビット（レスポンススペースのみ）
 そのため、設定は必須ではありません。

注 2. 必要に応じて、「第 6 章 割り込み」の関連レジスタを設定してください。

15.15.4 LIN セルフテストモード終了

LIN セルフテストモードを終了するには、次の手順を行ってください。

- ユニット内の全チャンネルを LIN リセットモードへ移行。
RLN21nmLiCUC レジスタの OM0 ビットに“0”を書き込み、LIN リセットモードに移行します。ただし、LIN セルフテストモード移行後、ユニット内で1チャンネルも RLN21nmLiMST レジスタの OMM1、OMM0 ビットが“11_B”でない場合は、任意の1チャンネルに対して RLN21nmLiCUC レジスタの OM1、OM0 ビットに“11_B”を書き、RLN21nmLiMST レジスタの OMM1、OMM0 ビットが“11_B”になることを確認したあとに、LIN リセットモードに移行してください。
- LIN セルフテストモードの解除を確認する。
RLN21nGLSTC レジスタを読み、“00_H” (LIN セルフテストモードではない) を確認。
- LIN リセットモードへの移行を確認する。
RLN21nmLiMST レジスタの OMM0 ビットを読み、“0” (LIN リセットモード) を確認。

15.16 ボーレートジェネレータ

LIN 通信クロック源をボーレートジェネレータで分周したクロックが LIN システムクロック (fLIN) となり、これを 16 分周したクロックがボーレートになります。このボーレートの逆数をビットタイム (Tbit) といいます。

図 15.16 にボーレート生成ブロック図を示します。

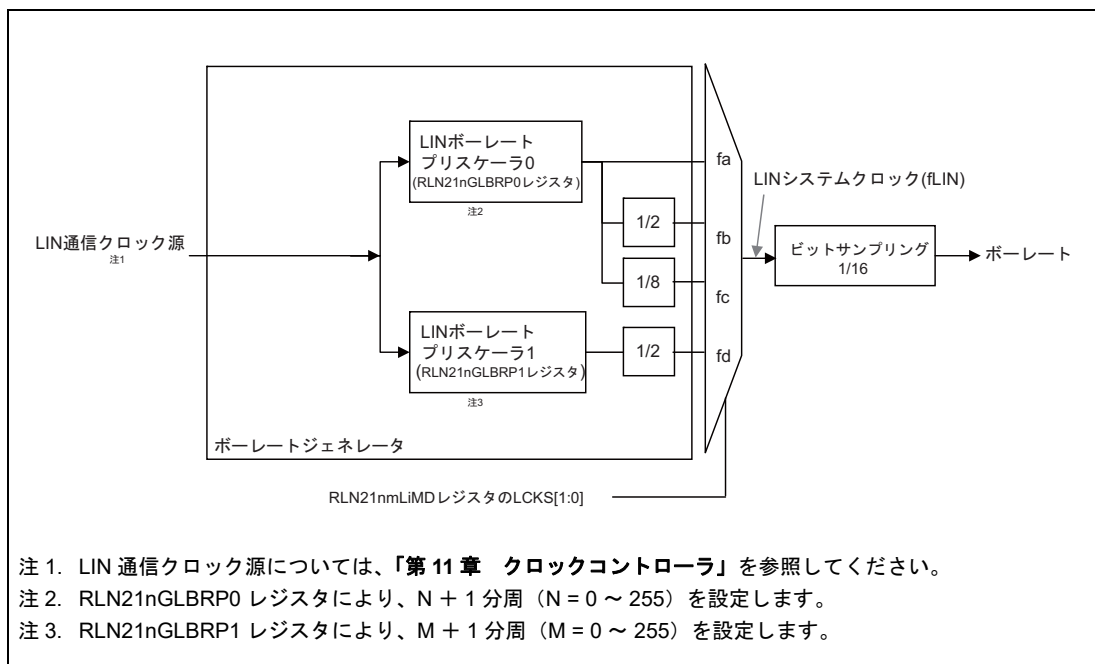


図 15.16 ボーレート生成ブロック図

LIN 通信クロック源は、40MHz に設定してください。

fa が 307200Hz (= 19200 × 16) となるように RLN21nGLBRP0 レジスタを設定すれば、fa = 19200 × 16、fb = 9600 × 16、fc = 2400 × 16 となり、ビットタイミング生成部で 16 分周するため、19200bps、9600bps、2400bps が生成できます。また、fd が 166672Hz (= 10417 × 16) となるように RLN21nGLBRP1 レジスタを設定すれば、fd = 10417 × 16 となり、ビットタイミング生成部で 16 分周するため、10417bps が生成できます。

ボーレートの計算式は、以下のとおりです。

ボーレート

$$= \{\text{LIN 通信クロック源の周波数}\} \div ((\text{RLN21nGLBRP0}) + 1) \div 16 [\text{bps}] \text{ (fa 選択時)}$$

$$= \{\text{LIN 通信クロック源の周波数}\} \div ((\text{RLN21nGLBRP0}) + 1) \div 2 \div 16 [\text{bps}] \text{ (fb 選択時)}$$

$$= \{\text{LIN 通信クロック源の周波数}\} \div ((\text{RLN21nGLBRP0}) + 1) \div 8 \div 16 [\text{bps}] \text{ (fc 選択時)}$$

$$= \{\text{LIN 通信クロック源の周波数}\} \div ((\text{RLN21nGLBRP1}) + 1) \div 2 \div 16 [\text{bps}] \text{ (fd 選択時)}$$

表 15.37 にボーレート (19200、9600、2400、10417bps) 生成例とその誤差を示します。

表 15.37 ボーレート生成例 (19200bps、10417bps、9600bps、2400bps)

| LIN 通信 クロック源 | ボーレートジェ ネレータ 0 (N + 1) 分周 | ボーレートジェ ネレータ 1 (M + 1) 分周 | システム クロック | ボーレート | 誤差 |
|-----------------|---------------------------------|---------------------------------|--------------|----------|---------|
| 40MHz | 130 | — | fa | 19230.77 | +0.16% |
| | — | 120 | fd | 10416.67 | -0.003% |
| | 130 | — | fb | 9615.38 | +0.16% |
| | 130 | — | fc | 2403.85 | +0.16% |

第16章 CANインタフェース (RS-CAN)

16.1 RS-CANの概要

16.1.1 ユニット数

本マイクロコントローラは、以下のユニット数のCANインタフェース (RS-CAN) を搭載しています。

表 16.1 ユニット数

| RS-CAN | |
|--------|-----------------|
| ユニット数 | 1 |
| 名称 | RS-CANn (n = 0) |

表 16.2 添字

| 添字 | 意味 |
|----|---|
| n | 本章では、RS-CANのユニットを「n」(n = 0)で識別します。たとえば、RS-CAN0のグローバル制御レジスタはRSCAN0GCTRと記述します。 |
| m | 本章では、RS-CANのチャンネル数を「m」(m = 0 ~ 3)で識別します。たとえば、チャンネルmステータスレジスタはRSCAN0CmSTS (m = 0 ~ 3)と記述します。 |
| j | 受信ルールテーブルを関係するレジスタを「j」(j = 0 ~ 15)で識別します。たとえば、受信ルールIDレジスタはRSCAN0GAFLIDj (j = 0 ~ 15)と記述します。 |
| k | 送受信FIFOバッファ番号を「k」(k = 0 ~ 11)で識別します。たとえば、送受信FIFOバッファコンフィグレーション/制御レジスタはRSCAN0CFCKk (k = 0 ~ 14)と記述します。 |
| x | 受信FIFOの番号を「x」(x = 0 ~ 7)で識別します。たとえば、受信FIFOバッファステータスレジスタはRSCAN0RFSTSx (x = 0 ~ 7)と記述します。 |
| q | 受信バッファの番号を「q」(q = 0 ~ 63)で識別します。たとえば、受信バッファIDレジスタはRSCAN0RMIDq (q = 0 ~ 63)と記述します。 |
| p | 送信バッファの番号を「p」(p = 0 ~ 63)で識別します。たとえば、送信バッファ制御レジスタはRSCAN0TMCp (p = 0 ~ 63)と記述します。 |
| r | CAN用RAMテスト番号を「r」(r = 0 ~ 63)で識別します。たとえば、RAMテストページアクセスレジスタはRSCAN0RPGACCr (r = 0 ~ 63)と記述します。 |
| y | 上記以外のレジスタをまとめて説明する場合、「y」で識別します。たとえば、受信バッファ新データレジスタはRSCAN0RMNDy (y = 0, 1)と記述します。 |

RS-CANには、4本のチャンネルがあります。

表 16.3 RS-CANのチャンネル数

| ユニット名 | チャンネル数 | チャンネル名称 |
|---------|--------|------------------|
| RS-CAN0 | 4 | CANm (m = 0 ~ 3) |

16.1.2 レジスタベースアドレス

RS-CAN のレジスタのベースアドレスを以下の表に示します。

RS-CAN のレジスタのアドレスは、ベースアドレスからのオフセットで表されます。

表 16.4 レジスタベースアドレス

| ベースアドレス名 | ベースアドレス |
|----------------|------------------------|
| <RS-CAN0_base> | FFD0 0000 _H |

16.1.3 クロック供給

RS-CAN に以下のクロックが供給されます。

表 16.5 RS-CAN のクロック供給

| ユニット名 | ユニットクロック名 | 供給クロック名 |
|---------|------------|------------------------|
| RS-CAN0 | pclk | CLK_HSB (高速周辺クロック) |
| | clkc | CLKC_LSB (非変調低速周辺クロック) |
| | clk_xincan | メイン OSC |

16.1.4 割り込みと DMA/DTS

RS-CAN は以下の割り込み要求を発生することができます。

表 16.6 割り込み要求 (1/2)

| 割り込み名 | 概要 | 割り込み番号 |
|---------------|---|--------|
| グローバル割り込み | | |
| — | 受信 FIFOm 割り込み | 412 |
| — | グローバルエラー割り込み | 413 |
| チャンネルCAN0割り込み | | |
| — | CAN0 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時) | 414 |
| — | CAN0 エラー割り込み | 415 |
| — | CAN0 送信割り込み | 416 |
| チャンネルCAN1割り込み | | |
| — | CAN1 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時) | 417 |
| — | CAN1 エラー割り込み | 418 |
| — | CAN1 送信割り込み | 419 |
| チャンネルCAN2割り込み | | |
| — | CAN2 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時) | 420 |
| — | CAN2 エラー割り込み | 421 |
| — | CAN2 送信割り込み | 422 |
| チャンネルCAN3割り込み | | |
| — | CAN3 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時) | 423 |

表 16.6 割り込み要求 (2/2)

| 割り込み名 | 概要 | 割り込み番号 |
|-------|--------------|--------|
| — | CAN3 エラー割り込み | 424 |
| — | CAN3 送信割り込み | 425 |

16.1.5 リセット要因

RS-CAN は以下の表に示すリセット要因で初期化されます。

表 16.7 リセット要因

| ユニット名 | リセット要因 |
|---------|------------|
| RS-CAN0 | すべてのリセット要因 |

16.1.6 外部入出力信号

RS-CAN の外部入出力信号を以下の表に示します。

表 16.8 外部入出力信号

| ユニット信号名 | 概要 | ポート端子兼用信号名 |
|-----------------|--------------------|------------------------|
| Rxm (m = 0 ~ 3) | CAN 通信機能の受信データ入力端子 | CRX0, CRX1, CRX2, CRX3 |
| Txm (m = 0 ~ 3) | CAN 通信機能の送信データ出力端子 | CTX0, CTX1, CTX2, CTX3 |

16.2 概要

16.2.1 機能概要

RH850/E1L は、ISO11898-1 仕様に準拠した CAN コントローラを 4 チャンネル (CAN0 ~ CAN3) 搭載した CAN インタフェース (RS-CAN) を 1 ユニット内蔵しています。表 16.9 に RS-CAN モジュールの仕様、図 16.1 に RS-CAN モジュールブロック図を示します。

表 16.9 RS-CAN モジュールの仕様 (1/2)

| 項目 | 仕様 |
|-------------|--|
| チャンネル数 | 4 |
| プロトコル | ISO11898-1 仕様準拠 |
| 通信速度 | <ul style="list-style-type: none"> 最大 1Mbps $\text{通信速度 (CANm ビットタイムクロック)} = \frac{1}{\text{CANm ビットタイム}}$ $\text{CANm ビットタイム} = \text{CANmTq} \times 1 \text{ ビット分の Tq 数}$ $\text{CANmTq} = \frac{(\text{RSCAN0CmCFG レジスタの BRP[9:0] ビット} + 1)}{\text{fCAN}}$ <p>m = 0 ~ 3 Tq : Time quantum fCAN : CAN クロック (RSCAN0GCFG レジスタの DCS ビットで選択したクロック) の周波数</p> |
| バッファ | 合計 320 バッファ <ul style="list-style-type: none"> 各チャンネル専用 : 64 バッファ (16 バッファ × 4 チャンネル) 送信バッファ : 16 バッファ / 1 チャンネル 送信キュー : 1 本 / 1 チャンネル (送信バッファと共用、最大 16 バッファ割り当て可能) チャンネル間共用 : 256 バッファ 受信バッファ : 0 ~ 64 バッファ 受信 FIFO バッファ : 8 本 (1 本あたり最大 128 バッファ割り当て可能) 送受信 FIFO バッファ : 3 本 / 1 チャンネル (1 本あたり最大 128 バッファ割り当て可能) |
| 受信機能 | <ul style="list-style-type: none"> データフレームとリモートフレームを受信可能 受信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 FIFO ごとの割り込み許可 / 禁止設定可能 ミラー機能 (自送信メッセージの受信機能) タイムスタンプ機能 (メッセージの受信時間を 16 ビットタイム値で記録) |
| 受信フィルタ機能 | <ul style="list-style-type: none"> 合計 256 個の受信ルールで受信メッセージを選別可能 チャンネルごとに 0 ~ 128 個の範囲で受信ルール数を設定可能 アクセプタンスフィルタ処理 : 各受信ルールごとに ID、マスク設定可能 DLC フィルタ処理 : 各受信ルールごとに DLC フィルタチェック可能 |
| 受信メッセージ転送機能 | <ul style="list-style-type: none"> ルーティング機能 受信メッセージを任意のバッファへ転送する機能 (転送可能バッファ数 : 8) 転送先 : 受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ ラベル付加機能 受信バッファおよび FIFO バッファのメッセージと一緒に、ラベル情報も同時に格納可能 |
| 送信機能 | <ul style="list-style-type: none"> データフレームとリモートフレームを送信可能 送信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 送信バッファ、送受信 FIFO バッファごとに割り込み許可 / 禁止設定可能 ID 優先送信または送信バッファ番号優先送信を選択可能 送信アボート機能 (フラグでアボート完了を確認可能) ワンショット送信機能 |
| インターバル送信機能 | メッセージの送信間隔を設定可能 (送受信 FIFO バッファの送信モードまたはゲートウェイモード) |
| 送信キュー機能 | 格納された全メッセージが ID 優先で送信される機能 |

表 16.9 RS-CAN モジュールの仕様 (2/2)

| 項目 | 仕様 |
|-------------|--|
| 送信履歴機能 | 送信完了したメッセージの履歴情報を格納する機能 |
| ゲートウェイ機能 | 受信したメッセージを自動送信する機能 |
| バスオフ復帰モード選択 | <p>バスオフ状態からの復帰方法を選択可能</p> <ul style="list-style-type: none"> ISO11898-1 仕様準拠 バスオフ開始でチャンネル待機モードへ自動遷移 バスオフ終了でチャンネル待機モードへ自動遷移 プログラムリクエストによるチャンネル待機モードへの遷移 プログラムリクエストによるエラーアクティブ状態への遷移 (バスオフ強制復帰機能) |
| エラー状態の監視 | <ul style="list-style-type: none"> CAN プロトコルエラー (スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー、バスドミナントロック) を監視 エラー状態の遷移を検出 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) エラーカウンタの読み出し DLC エラーを監視 |
| 割り込み要因 | <p>14 本</p> <ul style="list-style-type: none"> グローバル割り込み (2 本) : <ul style="list-style-type: none"> 受信 FIFO 割り込み グローバルエラー割り込み チャンネル割り込み (各チャンネルごとに 3 本ずつ) : <ul style="list-style-type: none"> CANm 送信割り込み (m = 0 ~ 3) <ul style="list-style-type: none"> CANm 送信完了割り込み CANm 送信アボート割り込み CANm 送受信 FIFO 送信完了割り込み (送信モード、ゲートウェイモード時) CANm 送信履歴割り込み CANm 送信キュー割り込み CANm 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時) CANm エラー割り込み |
| CAN ストップモード | RS-CAN モジュールに供給されるクロックを停止することで消費電流を低減可能 |
| CAN クロックソース | clk _c か clk_xincan を選択可能 |
| テスト機能 | <p>ユーザ評価用テスト機能</p> <ul style="list-style-type: none"> リッスンオンリモード セルフテストモード 0 (外部ループバック) セルフテストモード 1 (内部ループバック) RAM テスト (読み書きテスト) チャンネル間通信テスト |

16.2.2 ブロック図

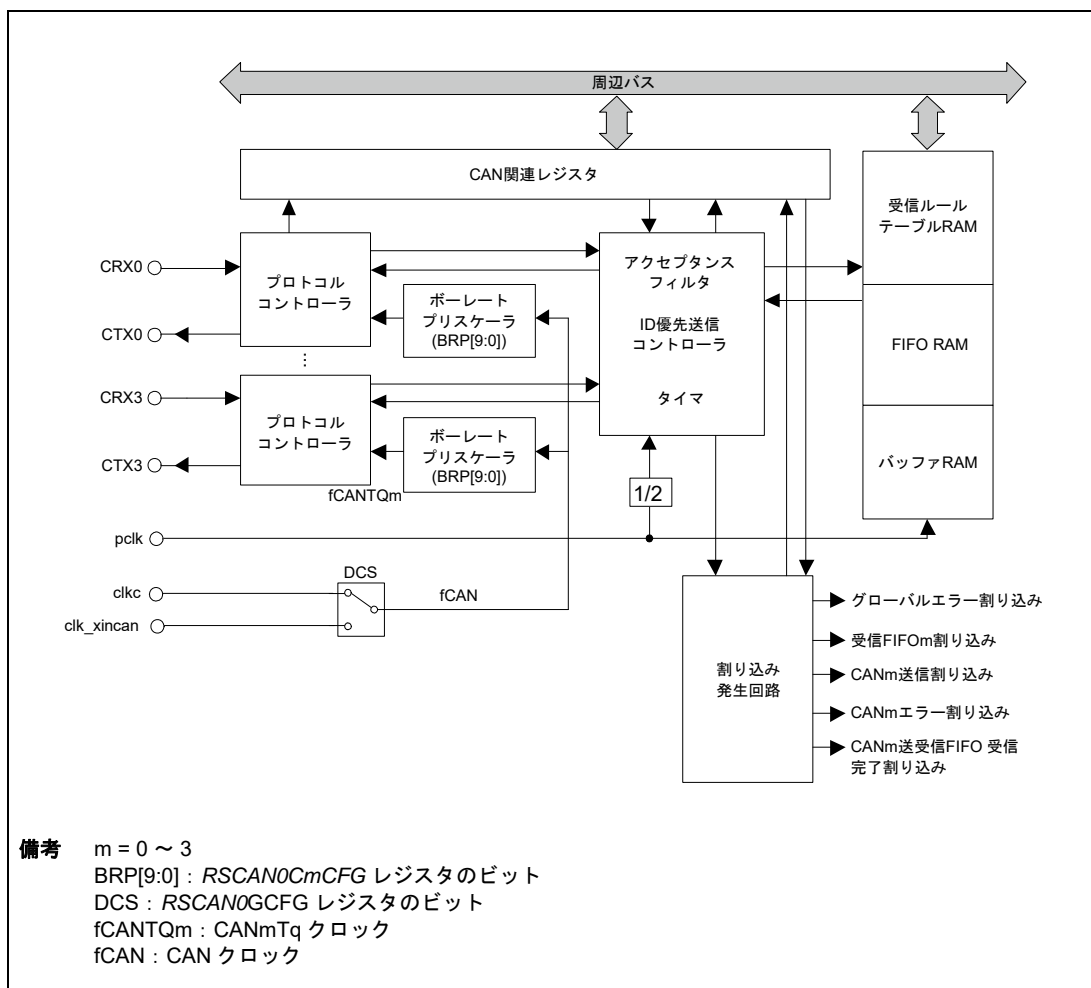


図 16.1 RS-CAN モジュールのブロック図

16.3 レジスタ

16.3.1 レジスタ一覧

RS-CAN は、以下のレジスタによって制御され、操作されます。

表 16.10 RS-CAN モジュールのレジスタ一覧 (1/20)

| レジスタ名 | シンボル | リセット後の値 | アドレス | アクセスサイズ |
|---------------------------------|----------------|------------------------|------------------------------------|---------|
| チャンネル0 コンフィグレーションレジスタ | RSCAN0C0CFG | 0000 0000 _H | <RS-CAN0_base> + 0000 _H | 8、16、32 |
| チャンネル0 制御レジスタ | RSCAN0C0CTR | 0000 0005 _H | <RS-CAN0_base> + 0004 _H | 8、16、32 |
| チャンネル0 ステータスレジスタ | RSCAN0C0STS | 0000 0005 _H | <RS-CAN0_base> + 0008 _H | 8、16、32 |
| チャンネル0 エラーフラグレジスタ | RSCAN0C0ERFL | 0000 0000 _H | <RS-CAN0_base> + 000C _H | 8、16、32 |
| チャンネル1 コンフィグレーションレジスタ | RSCAN0C1CFG | 0000 0000 _H | <RS-CAN0_base> + 0010 _H | 8、16、32 |
| チャンネル1 制御レジスタ | RSCAN0C1CTR | 0000 0005 _H | <RS-CAN0_base> + 0014 _H | 8、16、32 |
| チャンネル1 ステータスレジスタ | RSCAN0C1STS | 0000 0005 _H | <RS-CAN0_base> + 0018 _H | 8、16、32 |
| チャンネル1 エラーフラグレジスタ | RSCAN0C1ERFL | 0000 0000 _H | <RS-CAN0_base> + 001C _H | 8、16、32 |
| チャンネル2 コンフィグレーションレジスタ | RSCAN0C2CFG | 0000 0000 _H | <RS-CAN0_base> + 0020 _H | 8、16、32 |
| チャンネル2 制御レジスタ | RSCAN0C2CTR | 0000 0005 _H | <RS-CAN0_base> + 0024 _H | 8、16、32 |
| チャンネル2 ステータスレジスタ | RSCAN0C2STS | 0000 0005 _H | <RS-CAN0_base> + 0028 _H | 8、16、32 |
| チャンネル2 エラーフラグレジスタ | RSCAN0C2ERFL | 0000 0000 _H | <RS-CAN0_base> + 002C _H | 8、16、32 |
| チャンネル3 コンフィグレーションレジスタ | RSCAN0C3CFG | 0000 0000 _H | <RS-CAN0_base> + 0030 _H | 8、16、32 |
| チャンネル3 制御レジスタ | RSCAN0C3CTR | 0000 0005 _H | <RS-CAN0_base> + 0034 _H | 8、16、32 |
| チャンネル3 ステータスレジスタ | RSCAN0C3STS | 0000 0005 _H | <RS-CAN0_base> + 0038 _H | 8、16、32 |
| チャンネル3 エラーフラグレジスタ | RSCAN0C3ERFL | 0000 0000 _H | <RS-CAN0_base> + 003C _H | 8、16、32 |
| グローバルコンフィグレーションレジスタ | RSCAN0GCFG | 0000 0000 _H | <RS-CAN0_base> + 0084 _H | 8、16、32 |
| グローバル制御レジスタ | RSCAN0GCTR | 0000 0005 _H | <RS-CAN0_base> + 0088 _H | 8、16、32 |
| グローバルステータスレジスタ | RSCAN0GSTS | 0000 000D _H | <RS-CAN0_base> + 008C _H | 8、16、32 |
| グローバルエラーフラグレジスタ | RSCAN0GERFL | 0000 0000 _H | <RS-CAN0_base> + 0090 _H | 8、16、32 |
| グローバルタイムスタンプカウンタレジスタ | RSCAN0GTSC | 0000 0000 _H | <RS-CAN0_base> + 0094 _H | 16、32 |
| 受信ルールエントリ制御レジスタ | RSCAN0GAFLECTR | 0000 0000 _H | <RS-CAN0_base> + 0098 _H | 8、16、32 |
| 受信ルールコンフィグレーションレジスタ 0 | RSCAN0GAFLCFG0 | 0000 0000 _H | <RS-CAN0_base> + 009C _H | 8、16、32 |
| 受信バッファナンバレジスタ | RSCAN0RMNB | 0000 0000 _H | <RS-CAN0_base> + 00A4 _H | 8、16、32 |
| 受信バッファ新データレジスタ 0 | RSCAN0RMND0 | 0000 0000 _H | <RS-CAN0_base> + 00A8 _H | 8、16、32 |
| 受信バッファ新データレジスタ 1 | RSCAN0RMND1 | 0000 0000 _H | <RS-CAN0_base> + 00AC _H | 8、16、32 |
| 受信 FIFO バッファコンフィグレーション/制御レジスタ 0 | RSCAN0RFCC0 | 0000 0000 _H | <RS-CAN0_base> + 00B8 _H | 8、16、32 |
| 受信 FIFO バッファコンフィグレーション/制御レジスタ 1 | RSCAN0RFCC1 | 0000 0000 _H | <RS-CAN0_base> + 00BC _H | 8、16、32 |
| 受信 FIFO バッファコンフィグレーション/制御レジスタ 2 | RSCAN0RFCC2 | 0000 0000 _H | <RS-CAN0_base> + 00C0 _H | 8、16、32 |
| 受信 FIFO バッファコンフィグレーション/制御レジスタ 3 | RSCAN0RFCC3 | 0000 0000 _H | <RS-CAN0_base> + 00C4 _H | 8、16、32 |
| 受信 FIFO バッファコンフィグレーション/制御レジスタ 4 | RSCAN0RFCC4 | 0000 0000 _H | <RS-CAN0_base> + 00C8 _H | 8、16、32 |
| 受信 FIFO バッファコンフィグレーション/制御レジスタ 5 | RSCAN0RFCC5 | 0000 0000 _H | <RS-CAN0_base> + 00CC _H | 8、16、32 |
| 受信 FIFO バッファコンフィグレーション/制御レジスタ 6 | RSCAN0RFCC6 | 0000 0000 _H | <RS-CAN0_base> + 00D0 _H | 8、16、32 |
| 受信 FIFO バッファコンフィグレーション/制御レジスタ 7 | RSCAN0RFCC7 | 0000 0000 _H | <RS-CAN0_base> + 00D4 _H | 8、16、32 |
| 受信 FIFO バッファステータスレジスタ 0 | RSCAN0RFSTS0 | 0000 0001 _H | <RS-CAN0_base> + 00D8 _H | 8、16、32 |
| 受信 FIFO バッファステータスレジスタ 1 | RSCAN0RFSTS1 | 0000 0001 _H | <RS-CAN0_base> + 00DC _H | 8、16、32 |
| 受信 FIFO バッファステータスレジスタ 2 | RSCAN0RFSTS2 | 0000 0001 _H | <RS-CAN0_base> + 00E0 _H | 8、16、32 |
| 受信 FIFO バッファステータスレジスタ 3 | RSCAN0RFSTS3 | 0000 0001 _H | <RS-CAN0_base> + 00E4 _H | 8、16、32 |
| 受信 FIFO バッファステータスレジスタ 4 | RSCAN0RFSTS4 | 0000 0001 _H | <RS-CAN0_base> + 00E8 _H | 8、16、32 |
| 受信 FIFO バッファステータスレジスタ 5 | RSCAN0RFSTS5 | 0000 0001 _H | <RS-CAN0_base> + 00EC _H | 8、16、32 |
| 受信 FIFO バッファステータスレジスタ 6 | RSCAN0RFSTS6 | 0000 0001 _H | <RS-CAN0_base> + 00F0 _H | 8、16、32 |
| 受信 FIFO バッファステータスレジスタ 7 | RSCAN0RFSTS7 | 0000 0001 _H | <RS-CAN0_base> + 00F4 _H | 8、16、32 |
| 受信 FIFO バッファポイント制御レジスタ 0 | RSCAN0RFPCTR0 | 0000 0000 _H | <RS-CAN0_base> + 00F8 _H | 8、16、32 |
| 受信 FIFO バッファポイント制御レジスタ 1 | RSCAN0RFPCTR1 | 0000 0000 _H | <RS-CAN0_base> + 00FC _H | 8、16、32 |

表 16.10 RS-CAN モジュールのレジスタ一覧 (2/20)

| レジスタ名 | シンボル | リセット後の値 | アドレス | アクセスサイズ |
|-----------------------------------|----------------|------------------------|------------------------------------|---------|
| 受信 FIFO バッファポインタ制御レジスタ 2 | RSCANORFPCTR2 | 0000 0000 _H | <RS-CAN0_base> + 0100 _H | 8、16、32 |
| 受信 FIFO バッファポインタ制御レジスタ 3 | RSCANORFPCTR3 | 0000 0000 _H | <RS-CAN0_base> + 0104 _H | 8、16、32 |
| 受信 FIFO バッファポインタ制御レジスタ 4 | RSCANORFPCTR4 | 0000 0000 _H | <RS-CAN0_base> + 0108 _H | 8、16、32 |
| 受信 FIFO バッファポインタ制御レジスタ 5 | RSCANORFPCTR5 | 0000 0000 _H | <RS-CAN0_base> + 010C _H | 8、16、32 |
| 受信 FIFO バッファポインタ制御レジスタ 6 | RSCANORFPCTR6 | 0000 0000 _H | <RS-CAN0_base> + 0110 _H | 8、16、32 |
| 受信 FIFO バッファポインタ制御レジスタ 7 | RSCANORFPCTR7 | 0000 0000 _H | <RS-CAN0_base> + 0114 _H | 8、16、32 |
| 送受信 FIFO バッファコンフィグレーション/制御レジスタ 0 | RSCANOCFCC0 | 0000 0000 _H | <RS-CAN0_base> + 0118 _H | 8、16、32 |
| 送受信 FIFO バッファコンフィグレーション/制御レジスタ 1 | RSCANOCFCC1 | 0000 0000 _H | <RS-CAN0_base> + 011C _H | 8、16、32 |
| 送受信 FIFO バッファコンフィグレーション/制御レジスタ 2 | RSCANOCFCC2 | 0000 0000 _H | <RS-CAN0_base> + 0120 _H | 8、16、32 |
| 送受信 FIFO バッファコンフィグレーション/制御レジスタ 3 | RSCANOCFCC3 | 0000 0000 _H | <RS-CAN0_base> + 0124 _H | 8、16、32 |
| 送受信 FIFO バッファコンフィグレーション/制御レジスタ 4 | RSCANOCFCC4 | 0000 0000 _H | <RS-CAN0_base> + 0128 _H | 8、16、32 |
| 送受信 FIFO バッファコンフィグレーション/制御レジスタ 5 | RSCANOCFCC5 | 0000 0000 _H | <RS-CAN0_base> + 012C _H | 8、16、32 |
| 送受信 FIFO バッファコンフィグレーション/制御レジスタ 6 | RSCANOCFCC6 | 0000 0000 _H | <RS-CAN0_base> + 0130 _H | 8、16、32 |
| 送受信 FIFO バッファコンフィグレーション/制御レジスタ 7 | RSCANOCFCC7 | 0000 0000 _H | <RS-CAN0_base> + 0134 _H | 8、16、32 |
| 送受信 FIFO バッファコンフィグレーション/制御レジスタ 8 | RSCANOCFCC8 | 0000 0000 _H | <RS-CAN0_base> + 0138 _H | 8、16、32 |
| 送受信 FIFO バッファコンフィグレーション/制御レジスタ 9 | RSCANOCFCC9 | 0000 0000 _H | <RS-CAN0_base> + 013C _H | 8、16、32 |
| 送受信 FIFO バッファコンフィグレーション/制御レジスタ 10 | RSCANOCFCC10 | 0000 0000 _H | <RS-CAN0_base> + 0140 _H | 8、16、32 |
| 送受信 FIFO バッファコンフィグレーション/制御レジスタ 11 | RSCANOCFCC11 | 0000 0000 _H | <RS-CAN0_base> + 0144 _H | 8、16、32 |
| 送受信 FIFO バッファステータスレジスタ 0 | RSCANOCFSTS0 | 0000 0001 _H | <RS-CAN0_base> + 0178 _H | 8、16、32 |
| 送受信 FIFO バッファステータスレジスタ 1 | RSCANOCFSTS1 | 0000 0001 _H | <RS-CAN0_base> + 017C _H | 8、16、32 |
| 送受信 FIFO バッファステータスレジスタ 2 | RSCANOCFSTS2 | 0000 0001 _H | <RS-CAN0_base> + 0180 _H | 8、16、32 |
| 送受信 FIFO バッファステータスレジスタ 3 | RSCANOCFSTS3 | 0000 0001 _H | <RS-CAN0_base> + 0184 _H | 8、16、32 |
| 送受信 FIFO バッファステータスレジスタ 4 | RSCANOCFSTS4 | 0000 0001 _H | <RS-CAN0_base> + 0188 _H | 8、16、32 |
| 送受信 FIFO バッファステータスレジスタ 5 | RSCANOCFSTS5 | 0000 0001 _H | <RS-CAN0_base> + 018C _H | 8、16、32 |
| 送受信 FIFO バッファステータスレジスタ 6 | RSCANOCFSTS6 | 0000 0001 _H | <RS-CAN0_base> + 0190 _H | 8、16、32 |
| 送受信 FIFO バッファステータスレジスタ 7 | RSCANOCFSTS7 | 0000 0001 _H | <RS-CAN0_base> + 0194 _H | 8、16、32 |
| 送受信 FIFO バッファステータスレジスタ 8 | RSCANOCFSTS8 | 0000 0001 _H | <RS-CAN0_base> + 0198 _H | 8、16、32 |
| 送受信 FIFO バッファステータスレジスタ 9 | RSCANOCFSTS9 | 0000 0001 _H | <RS-CAN0_base> + 019C _H | 8、16、32 |
| 送受信 FIFO バッファステータスレジスタ 10 | RSCANOCFSTS10 | 0000 0001 _H | <RS-CAN0_base> + 01A0 _H | 8、16、32 |
| 送受信 FIFO バッファステータスレジスタ 11 | RSCANOCFSTS11 | 0000 0001 _H | <RS-CAN0_base> + 01A4 _H | 8、16、32 |
| 送受信 FIFO バッファポインタ制御レジスタ 0 | RSCANOCFPCTR0 | 0000 0000 _H | <RS-CAN0_base> + 01D8 _H | 8、16、32 |
| 送受信 FIFO バッファポインタ制御レジスタ 1 | RSCANOCFPCTR1 | 0000 0000 _H | <RS-CAN0_base> + 01DC _H | 8、16、32 |
| 送受信 FIFO バッファポインタ制御レジスタ 2 | RSCANOCFPCTR2 | 0000 0000 _H | <RS-CAN0_base> + 01E0 _H | 8、16、32 |
| 送受信 FIFO バッファポインタ制御レジスタ 3 | RSCANOCFPCTR3 | 0000 0000 _H | <RS-CAN0_base> + 01E4 _H | 8、16、32 |
| 送受信 FIFO バッファポインタ制御レジスタ 4 | RSCANOCFPCTR4 | 0000 0000 _H | <RS-CAN0_base> + 01E8 _H | 8、16、32 |
| 送受信 FIFO バッファポインタ制御レジスタ 5 | RSCANOCFPCTR5 | 0000 0000 _H | <RS-CAN0_base> + 01EC _H | 8、16、32 |
| 送受信 FIFO バッファポインタ制御レジスタ 6 | RSCANOCFPCTR6 | 0000 0000 _H | <RS-CAN0_base> + 01F0 _H | 8、16、32 |
| 送受信 FIFO バッファポインタ制御レジスタ 7 | RSCANOCFPCTR7 | 0000 0000 _H | <RS-CAN0_base> + 01F4 _H | 8、16、32 |
| 送受信 FIFO バッファポインタ制御レジスタ 8 | RSCANOCFPCTR8 | 0000 0000 _H | <RS-CAN0_base> + 01F8 _H | 8、16、32 |
| 送受信 FIFO バッファポインタ制御レジスタ 9 | RSCANOCFPCTR9 | 0000 0000 _H | <RS-CAN0_base> + 01FC _H | 8、16、32 |
| 送受信 FIFO バッファポインタ制御レジスタ 10 | RSCANOCFPCTR10 | 0000 0000 _H | <RS-CAN0_base> + 0200 _H | 8、16、32 |
| 送受信 FIFO バッファポインタ制御レジスタ 11 | RSCANOCFPCTR11 | 0000 0000 _H | <RS-CAN0_base> + 0204 _H | 8、16、32 |
| FIFO エンプティステータスレジスタ | RSCANOFESTS | 007F FFFF _H | <RS-CAN0_base> + 0238 _H | 8、16、32 |
| FIFO フルステータスレジスタ | RSCANOFFSTS | 0000 0000 _H | <RS-CAN0_base> + 023C _H | 8、16、32 |
| FIFO メッセージロスステータスレジスタ | RSCANOFMSTS | 0000 0000 _H | <RS-CAN0_base> + 0240 _H | 8、16、32 |
| 受信 FIFO バッファ割り込みフラグステータスレジスタ | RSCANORFISTS | 0000 0000 _H | <RS-CAN0_base> + 0244 _H | 8、16、32 |
| 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ | RSCANOCFRISTS | 0000 0000 _H | <RS-CAN0_base> + 0248 _H | 8、16、32 |
| 送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ | RSCANOCFTISTS | 0000 0000 _H | <RS-CAN0_base> + 024C _H | 8、16、32 |
| 送信バッファ制御レジスタ 0 | RSCANOTMCO | 00 _H | <RS-CAN0_base> + 0250 _H | 8 |
| 送信バッファ制御レジスタ 1 | RSCANOTMC1 | 00 _H | <RS-CAN0_base> + 0254 _H | 8 |

表 16.10 RS-CAN モジュールのレジスタ一覧 (3/20)

| レジスタ名 | シンボル | リセット後の値 | アドレス | アクセスサイズ |
|-----------------|-------------|-----------------|------------------------------------|---------|
| 送信バッファ制御レジスタ 2 | RSCAN0TMC2 | 00 _H | <RS-CAN0_base> + 0252 _H | 8 |
| 送信バッファ制御レジスタ 3 | RSCAN0TMC3 | 00 _H | <RS-CAN0_base> + 0253 _H | 8 |
| 送信バッファ制御レジスタ 4 | RSCAN0TMC4 | 00 _H | <RS-CAN0_base> + 0254 _H | 8 |
| 送信バッファ制御レジスタ 5 | RSCAN0TMC5 | 00 _H | <RS-CAN0_base> + 0255 _H | 8 |
| 送信バッファ制御レジスタ 6 | RSCAN0TMC6 | 00 _H | <RS-CAN0_base> + 0256 _H | 8 |
| 送信バッファ制御レジスタ 7 | RSCAN0TMC7 | 00 _H | <RS-CAN0_base> + 0257 _H | 8 |
| 送信バッファ制御レジスタ 8 | RSCAN0TMC8 | 00 _H | <RS-CAN0_base> + 0258 _H | 8 |
| 送信バッファ制御レジスタ 9 | RSCAN0TMC9 | 00 _H | <RS-CAN0_base> + 0259 _H | 8 |
| 送信バッファ制御レジスタ 10 | RSCAN0TMC10 | 00 _H | <RS-CAN0_base> + 025A _H | 8 |
| 送信バッファ制御レジスタ 11 | RSCAN0TMC11 | 00 _H | <RS-CAN0_base> + 025B _H | 8 |
| 送信バッファ制御レジスタ 12 | RSCAN0TMC12 | 00 _H | <RS-CAN0_base> + 025C _H | 8 |
| 送信バッファ制御レジスタ 13 | RSCAN0TMC13 | 00 _H | <RS-CAN0_base> + 025D _H | 8 |
| 送信バッファ制御レジスタ 14 | RSCAN0TMC14 | 00 _H | <RS-CAN0_base> + 025E _H | 8 |
| 送信バッファ制御レジスタ 15 | RSCAN0TMC15 | 00 _H | <RS-CAN0_base> + 025F _H | 8 |
| 送信バッファ制御レジスタ 16 | RSCAN0TMC16 | 00 _H | <RS-CAN0_base> + 0260 _H | 8 |
| 送信バッファ制御レジスタ 17 | RSCAN0TMC17 | 00 _H | <RS-CAN0_base> + 0261 _H | 8 |
| 送信バッファ制御レジスタ 18 | RSCAN0TMC18 | 00 _H | <RS-CAN0_base> + 0262 _H | 8 |
| 送信バッファ制御レジスタ 19 | RSCAN0TMC19 | 00 _H | <RS-CAN0_base> + 0263 _H | 8 |
| 送信バッファ制御レジスタ 20 | RSCAN0TMC20 | 00 _H | <RS-CAN0_base> + 0264 _H | 8 |
| 送信バッファ制御レジスタ 21 | RSCAN0TMC21 | 00 _H | <RS-CAN0_base> + 0265 _H | 8 |
| 送信バッファ制御レジスタ 22 | RSCAN0TMC22 | 00 _H | <RS-CAN0_base> + 0266 _H | 8 |
| 送信バッファ制御レジスタ 23 | RSCAN0TMC23 | 00 _H | <RS-CAN0_base> + 0267 _H | 8 |
| 送信バッファ制御レジスタ 24 | RSCAN0TMC24 | 00 _H | <RS-CAN0_base> + 0268 _H | 8 |
| 送信バッファ制御レジスタ 25 | RSCAN0TMC25 | 00 _H | <RS-CAN0_base> + 0269 _H | 8 |
| 送信バッファ制御レジスタ 26 | RSCAN0TMC26 | 00 _H | <RS-CAN0_base> + 026A _H | 8 |
| 送信バッファ制御レジスタ 27 | RSCAN0TMC27 | 00 _H | <RS-CAN0_base> + 026B _H | 8 |
| 送信バッファ制御レジスタ 28 | RSCAN0TMC28 | 00 _H | <RS-CAN0_base> + 026C _H | 8 |
| 送信バッファ制御レジスタ 29 | RSCAN0TMC29 | 00 _H | <RS-CAN0_base> + 026D _H | 8 |
| 送信バッファ制御レジスタ 30 | RSCAN0TMC30 | 00 _H | <RS-CAN0_base> + 026E _H | 8 |
| 送信バッファ制御レジスタ 31 | RSCAN0TMC31 | 00 _H | <RS-CAN0_base> + 026F _H | 8 |
| 送信バッファ制御レジスタ 32 | RSCAN0TMC32 | 00 _H | <RS-CAN0_base> + 0270 _H | 8 |
| 送信バッファ制御レジスタ 33 | RSCAN0TMC33 | 00 _H | <RS-CAN0_base> + 0271 _H | 8 |
| 送信バッファ制御レジスタ 34 | RSCAN0TMC34 | 00 _H | <RS-CAN0_base> + 0272 _H | 8 |
| 送信バッファ制御レジスタ 35 | RSCAN0TMC35 | 00 _H | <RS-CAN0_base> + 0273 _H | 8 |
| 送信バッファ制御レジスタ 36 | RSCAN0TMC36 | 00 _H | <RS-CAN0_base> + 0274 _H | 8 |
| 送信バッファ制御レジスタ 37 | RSCAN0TMC37 | 00 _H | <RS-CAN0_base> + 0275 _H | 8 |
| 送信バッファ制御レジスタ 38 | RSCAN0TMC38 | 00 _H | <RS-CAN0_base> + 0276 _H | 8 |
| 送信バッファ制御レジスタ 39 | RSCAN0TMC39 | 00 _H | <RS-CAN0_base> + 0277 _H | 8 |
| 送信バッファ制御レジスタ 40 | RSCAN0TMC40 | 00 _H | <RS-CAN0_base> + 0278 _H | 8 |
| 送信バッファ制御レジスタ 41 | RSCAN0TMC41 | 00 _H | <RS-CAN0_base> + 0279 _H | 8 |
| 送信バッファ制御レジスタ 42 | RSCAN0TMC42 | 00 _H | <RS-CAN0_base> + 027A _H | 8 |
| 送信バッファ制御レジスタ 43 | RSCAN0TMC43 | 00 _H | <RS-CAN0_base> + 027B _H | 8 |
| 送信バッファ制御レジスタ 44 | RSCAN0TMC44 | 00 _H | <RS-CAN0_base> + 027C _H | 8 |
| 送信バッファ制御レジスタ 45 | RSCAN0TMC45 | 00 _H | <RS-CAN0_base> + 027D _H | 8 |
| 送信バッファ制御レジスタ 46 | RSCAN0TMC46 | 00 _H | <RS-CAN0_base> + 027E _H | 8 |
| 送信バッファ制御レジスタ 47 | RSCAN0TMC47 | 00 _H | <RS-CAN0_base> + 027F _H | 8 |
| 送信バッファ制御レジスタ 48 | RSCAN0TMC48 | 00 _H | <RS-CAN0_base> + 0280 _H | 8 |
| 送信バッファ制御レジスタ 49 | RSCAN0TMC49 | 00 _H | <RS-CAN0_base> + 0281 _H | 8 |
| 送信バッファ制御レジスタ 50 | RSCAN0TMC50 | 00 _H | <RS-CAN0_base> + 0282 _H | 8 |
| 送信バッファ制御レジスタ 51 | RSCAN0TMC51 | 00 _H | <RS-CAN0_base> + 0283 _H | 8 |

表 16.10 RS-CAN モジュールのレジスタ一覧 (4/20)

| レジスタ名 | シンボル | リセット後の値 | アドレス | アクセスサイズ |
|--------------------|---------------|-----------------|------------------------------------|---------|
| 送信バッファ制御レジスタ 52 | RSCAN0TMC52 | 00 _H | <RS-CAN0_base> + 0284 _H | 8 |
| 送信バッファ制御レジスタ 53 | RSCAN0TMC53 | 00 _H | <RS-CAN0_base> + 0285 _H | 8 |
| 送信バッファ制御レジスタ 54 | RSCAN0TMC54 | 00 _H | <RS-CAN0_base> + 0286 _H | 8 |
| 送信バッファ制御レジスタ 55 | RSCAN0TMC55 | 00 _H | <RS-CAN0_base> + 0287 _H | 8 |
| 送信バッファ制御レジスタ 56 | RSCAN0TMC56 | 00 _H | <RS-CAN0_base> + 0288 _H | 8 |
| 送信バッファ制御レジスタ 57 | RSCAN0TMC57 | 00 _H | <RS-CAN0_base> + 0289 _H | 8 |
| 送信バッファ制御レジスタ 58 | RSCAN0TMC58 | 00 _H | <RS-CAN0_base> + 028A _H | 8 |
| 送信バッファ制御レジスタ 59 | RSCAN0TMC59 | 00 _H | <RS-CAN0_base> + 028B _H | 8 |
| 送信バッファ制御レジスタ 60 | RSCAN0TMC60 | 00 _H | <RS-CAN0_base> + 028C _H | 8 |
| 送信バッファ制御レジスタ 61 | RSCAN0TMC61 | 00 _H | <RS-CAN0_base> + 028D _H | 8 |
| 送信バッファ制御レジスタ 62 | RSCAN0TMC62 | 00 _H | <RS-CAN0_base> + 028E _H | 8 |
| 送信バッファ制御レジスタ 63 | RSCAN0TMC63 | 00 _H | <RS-CAN0_base> + 028F _H | 8 |
| 送信バッファステータスレジスタ 0 | RSCAN0TMSTS0 | 00 _H | <RS-CAN0_base> + 02D0 _H | 8 |
| 送信バッファステータスレジスタ 1 | RSCAN0TMSTS1 | 00 _H | <RS-CAN0_base> + 02D1 _H | 8 |
| 送信バッファステータスレジスタ 2 | RSCAN0TMSTS2 | 00 _H | <RS-CAN0_base> + 02D2 _H | 8 |
| 送信バッファステータスレジスタ 3 | RSCAN0TMSTS3 | 00 _H | <RS-CAN0_base> + 02D3 _H | 8 |
| 送信バッファステータスレジスタ 4 | RSCAN0TMSTS4 | 00 _H | <RS-CAN0_base> + 02D4 _H | 8 |
| 送信バッファステータスレジスタ 5 | RSCAN0TMSTS5 | 00 _H | <RS-CAN0_base> + 02D5 _H | 8 |
| 送信バッファステータスレジスタ 6 | RSCAN0TMSTS6 | 00 _H | <RS-CAN0_base> + 02D6 _H | 8 |
| 送信バッファステータスレジスタ 7 | RSCAN0TMSTS7 | 00 _H | <RS-CAN0_base> + 02D7 _H | 8 |
| 送信バッファステータスレジスタ 8 | RSCAN0TMSTS8 | 00 _H | <RS-CAN0_base> + 02D8 _H | 8 |
| 送信バッファステータスレジスタ 9 | RSCAN0TMSTS9 | 00 _H | <RS-CAN0_base> + 02D9 _H | 8 |
| 送信バッファステータスレジスタ 10 | RSCAN0TMSTS10 | 00 _H | <RS-CAN0_base> + 02DA _H | 8 |
| 送信バッファステータスレジスタ 11 | RSCAN0TMSTS11 | 00 _H | <RS-CAN0_base> + 02DB _H | 8 |
| 送信バッファステータスレジスタ 12 | RSCAN0TMSTS12 | 00 _H | <RS-CAN0_base> + 02DC _H | 8 |
| 送信バッファステータスレジスタ 13 | RSCAN0TMSTS13 | 00 _H | <RS-CAN0_base> + 02DD _H | 8 |
| 送信バッファステータスレジスタ 14 | RSCAN0TMSTS14 | 00 _H | <RS-CAN0_base> + 02DE _H | 8 |
| 送信バッファステータスレジスタ 15 | RSCAN0TMSTS15 | 00 _H | <RS-CAN0_base> + 02DF _H | 8 |
| 送信バッファステータスレジスタ 16 | RSCAN0TMSTS16 | 00 _H | <RS-CAN0_base> + 02E0 _H | 8 |
| 送信バッファステータスレジスタ 17 | RSCAN0TMSTS17 | 00 _H | <RS-CAN0_base> + 02E1 _H | 8 |
| 送信バッファステータスレジスタ 18 | RSCAN0TMSTS18 | 00 _H | <RS-CAN0_base> + 02E2 _H | 8 |
| 送信バッファステータスレジスタ 19 | RSCAN0TMSTS19 | 00 _H | <RS-CAN0_base> + 02E3 _H | 8 |
| 送信バッファステータスレジスタ 20 | RSCAN0TMSTS20 | 00 _H | <RS-CAN0_base> + 02E4 _H | 8 |
| 送信バッファステータスレジスタ 21 | RSCAN0TMSTS21 | 00 _H | <RS-CAN0_base> + 02E5 _H | 8 |
| 送信バッファステータスレジスタ 22 | RSCAN0TMSTS22 | 00 _H | <RS-CAN0_base> + 02E6 _H | 8 |
| 送信バッファステータスレジスタ 23 | RSCAN0TMSTS23 | 00 _H | <RS-CAN0_base> + 02E7 _H | 8 |
| 送信バッファステータスレジスタ 24 | RSCAN0TMSTS24 | 00 _H | <RS-CAN0_base> + 02E8 _H | 8 |
| 送信バッファステータスレジスタ 25 | RSCAN0TMSTS25 | 00 _H | <RS-CAN0_base> + 02E9 _H | 8 |
| 送信バッファステータスレジスタ 26 | RSCAN0TMSTS26 | 00 _H | <RS-CAN0_base> + 02EA _H | 8 |
| 送信バッファステータスレジスタ 27 | RSCAN0TMSTS27 | 00 _H | <RS-CAN0_base> + 02EB _H | 8 |
| 送信バッファステータスレジスタ 28 | RSCAN0TMSTS28 | 00 _H | <RS-CAN0_base> + 02EC _H | 8 |
| 送信バッファステータスレジスタ 29 | RSCAN0TMSTS29 | 00 _H | <RS-CAN0_base> + 02ED _H | 8 |
| 送信バッファステータスレジスタ 30 | RSCAN0TMSTS30 | 00 _H | <RS-CAN0_base> + 02EE _H | 8 |
| 送信バッファステータスレジスタ 31 | RSCAN0TMSTS31 | 00 _H | <RS-CAN0_base> + 02EF _H | 8 |
| 送信バッファステータスレジスタ 32 | RSCAN0TMSTS32 | 00 _H | <RS-CAN0_base> + 02F0 _H | 8 |
| 送信バッファステータスレジスタ 33 | RSCAN0TMSTS33 | 00 _H | <RS-CAN0_base> + 02F1 _H | 8 |
| 送信バッファステータスレジスタ 34 | RSCAN0TMSTS34 | 00 _H | <RS-CAN0_base> + 02F2 _H | 8 |
| 送信バッファステータスレジスタ 35 | RSCAN0TMSTS35 | 00 _H | <RS-CAN0_base> + 02F3 _H | 8 |
| 送信バッファステータスレジスタ 36 | RSCAN0TMSTS36 | 00 _H | <RS-CAN0_base> + 02F4 _H | 8 |
| 送信バッファステータスレジスタ 37 | RSCAN0TMSTS37 | 00 _H | <RS-CAN0_base> + 02F5 _H | 8 |

表 16.10 RS-CAN モジュールのレジスタ一覧 (5/20)

| レジスタ名 | シンボル | リセット後の値 | アドレス | アクセスサイズ |
|---------------------------------|------------------|------------------------|------------------------------------|---------|
| 送信バッファステータスレジスタ 38 | RSCAN0TMSTS38 | 00 _H | <RS-CAN0_base> + 02F6 _H | 8 |
| 送信バッファステータスレジスタ 39 | RSCAN0TMSTS39 | 00 _H | <RS-CAN0_base> + 02F7 _H | 8 |
| 送信バッファステータスレジスタ 40 | RSCAN0TMSTS40 | 00 _H | <RS-CAN0_base> + 02F8 _H | 8 |
| 送信バッファステータスレジスタ 41 | RSCAN0TMSTS41 | 00 _H | <RS-CAN0_base> + 02F9 _H | 8 |
| 送信バッファステータスレジスタ 42 | RSCAN0TMSTS42 | 00 _H | <RS-CAN0_base> + 02FA _H | 8 |
| 送信バッファステータスレジスタ 43 | RSCAN0TMSTS43 | 00 _H | <RS-CAN0_base> + 02FB _H | 8 |
| 送信バッファステータスレジスタ 44 | RSCAN0TMSTS44 | 00 _H | <RS-CAN0_base> + 02FC _H | 8 |
| 送信バッファステータスレジスタ 45 | RSCAN0TMSTS45 | 00 _H | <RS-CAN0_base> + 02FD _H | 8 |
| 送信バッファステータスレジスタ 46 | RSCAN0TMSTS46 | 00 _H | <RS-CAN0_base> + 02FE _H | 8 |
| 送信バッファステータスレジスタ 47 | RSCAN0TMSTS47 | 00 _H | <RS-CAN0_base> + 02FF _H | 8 |
| 送信バッファステータスレジスタ 48 | RSCAN0TMSTS48 | 00 _H | <RS-CAN0_base> + 0300 _H | 8 |
| 送信バッファステータスレジスタ 49 | RSCAN0TMSTS49 | 00 _H | <RS-CAN0_base> + 0301 _H | 8 |
| 送信バッファステータスレジスタ 50 | RSCAN0TMSTS50 | 00 _H | <RS-CAN0_base> + 0302 _H | 8 |
| 送信バッファステータスレジスタ 51 | RSCAN0TMSTS51 | 00 _H | <RS-CAN0_base> + 0303 _H | 8 |
| 送信バッファステータスレジスタ 52 | RSCAN0TMSTS52 | 00 _H | <RS-CAN0_base> + 0304 _H | 8 |
| 送信バッファステータスレジスタ 53 | RSCAN0TMSTS53 | 00 _H | <RS-CAN0_base> + 0305 _H | 8 |
| 送信バッファステータスレジスタ 54 | RSCAN0TMSTS54 | 00 _H | <RS-CAN0_base> + 0306 _H | 8 |
| 送信バッファステータスレジスタ 55 | RSCAN0TMSTS55 | 00 _H | <RS-CAN0_base> + 0307 _H | 8 |
| 送信バッファステータスレジスタ 56 | RSCAN0TMSTS56 | 00 _H | <RS-CAN0_base> + 0308 _H | 8 |
| 送信バッファステータスレジスタ 57 | RSCAN0TMSTS57 | 00 _H | <RS-CAN0_base> + 0309 _H | 8 |
| 送信バッファステータスレジスタ 58 | RSCAN0TMSTS58 | 00 _H | <RS-CAN0_base> + 030A _H | 8 |
| 送信バッファステータスレジスタ 59 | RSCAN0TMSTS59 | 00 _H | <RS-CAN0_base> + 030B _H | 8 |
| 送信バッファステータスレジスタ 60 | RSCAN0TMSTS60 | 00 _H | <RS-CAN0_base> + 030C _H | 8 |
| 送信バッファステータスレジスタ 61 | RSCAN0TMSTS61 | 00 _H | <RS-CAN0_base> + 030D _H | 8 |
| 送信バッファステータスレジスタ 62 | RSCAN0TMSTS62 | 00 _H | <RS-CAN0_base> + 030E _H | 8 |
| 送信バッファステータスレジスタ 63 | RSCAN0TMSTS63 | 00 _H | <RS-CAN0_base> + 030F _H | 8 |
| 送信バッファ送信要求ステータスレジスタ 0 | RSCAN0TMTRSTS0 | 0000 0000 _H | <RS-CAN0_base> + 0350 _H | 8、16、32 |
| 送信バッファ送信要求ステータスレジスタ 1 | RSCAN0TMTRSTS1 | 0000 0000 _H | <RS-CAN0_base> + 0354 _H | 8、16、32 |
| 送信バッファ送信アボート要求ステータスレジスタ 0 | RSCAN0TMTRARSTS0 | 0000 0000 _H | <RS-CAN0_base> + 0360 _H | 8、16、32 |
| 送信バッファ送信アボート要求ステータスレジスタ 1 | RSCAN0TMTRARSTS1 | 0000 0000 _H | <RS-CAN0_base> + 0364 _H | 8、16、32 |
| 送信バッファ送信完了ステータスレジスタ 0 | RSCAN0TMTCSSTS0 | 0000 0000 _H | <RS-CAN0_base> + 0370 _H | 8、16、32 |
| 送信バッファ送信完了ステータスレジスタ 1 | RSCAN0TMTCSSTS1 | 0000 0000 _H | <RS-CAN0_base> + 0374 _H | 8、16、32 |
| 送信バッファ送信アボートステータスレジスタ 0 | RSCAN0TMTASTS0 | 0000 0000 _H | <RS-CAN0_base> + 0380 _H | 8、16、32 |
| 送信バッファ送信アボートステータスレジスタ 1 | RSCAN0TMTASTS1 | 0000 0000 _H | <RS-CAN0_base> + 0384 _H | 8、16、32 |
| 送信バッファ割り込みイネーブルコンフィグレーションレジスタ 0 | RSCAN0TMIEC0 | 0000 0000 _H | <RS-CAN0_base> + 0390 _H | 8、16、32 |
| 送信バッファ割り込みイネーブルコンフィグレーションレジスタ 1 | RSCAN0TMIEC1 | 0000 0000 _H | <RS-CAN0_base> + 0394 _H | 8、16、32 |
| 送信キューコンフィグレーション/制御レジスタ 0 | RSCAN0TXQCC0 | 0000 0000 _H | <RS-CAN0_base> + 03A0 _H | 8、16、32 |
| 送信キューコンフィグレーション/制御レジスタ 1 | RSCAN0TXQCC1 | 0000 0000 _H | <RS-CAN0_base> + 03A4 _H | 8、16、32 |
| 送信キューコンフィグレーション/制御レジスタ 2 | RSCAN0TXQCC2 | 0000 0000 _H | <RS-CAN0_base> + 03A8 _H | 8、16、32 |
| 送信キューコンフィグレーション/制御レジスタ 3 | RSCAN0TXQCC3 | 0000 0000 _H | <RS-CAN0_base> + 03AC _H | 8、16、32 |
| 送信キューステータスレジスタ 0 | RSCAN0TXQSTS0 | 0000 0001 _H | <RS-CAN0_base> + 03C0 _H | 8、16、32 |
| 送信キューステータスレジスタ 1 | RSCAN0TXQSTS1 | 0000 0001 _H | <RS-CAN0_base> + 03C4 _H | 8、16、32 |
| 送信キューステータスレジスタ 2 | RSCAN0TXQSTS2 | 0000 0001 _H | <RS-CAN0_base> + 03C8 _H | 8、16、32 |
| 送信キューステータスレジスタ 3 | RSCAN0TXQSTS3 | 0000 0001 _H | <RS-CAN0_base> + 03CC _H | 8、16、32 |
| 送信キューポイント制御レジスタ 0 | RSCAN0TXQPCTR0 | 0000 0000 _H | <RS-CAN0_base> + 03E0 _H | 8、16、32 |
| 送信キューポイント制御レジスタ 1 | RSCAN0TXQPCTR1 | 0000 0000 _H | <RS-CAN0_base> + 03E4 _H | 8、16、32 |
| 送信キューポイント制御レジスタ 2 | RSCAN0TXQPCTR2 | 0000 0000 _H | <RS-CAN0_base> + 03E8 _H | 8、16、32 |
| 送信キューポイント制御レジスタ 3 | RSCAN0TXQPCTR3 | 0000 0000 _H | <RS-CAN0_base> + 03EC _H | 8、16、32 |
| 送信履歴コンフィグレーション/制御レジスタ 0 | RSCAN0THLCC0 | 0000 0000 _H | <RS-CAN0_base> + 0400 _H | 8、16、32 |
| 送信履歴コンフィグレーション/制御レジスタ 1 | RSCAN0THLCC1 | 0000 0000 _H | <RS-CAN0_base> + 0404 _H | 8、16、32 |

表 16.10 RS-CAN モジュールのレジスタ一覧 (6/20)

| レジスタ名 | シンボル | リセット後の値 | アドレス | アクセスサイズ |
|--------------------------|-----------------|---------------------------|------------------------------------|---------|
| 送信履歴コンフィグレーション/制御レジスタ 2 | RSCAN0THLCC2 | 0000 0000 _H | <RS-CAN0_base> + 0408 _H | 8、16、32 |
| 送信履歴コンフィグレーション/制御レジスタ 3 | RSCAN0THLCC3 | 0000 0000 _H | <RS-CAN0_base> + 040C _H | 8、16、32 |
| 送信履歴ステータスレジスタ 0 | RSCAN0THLSTS0 | 0000 0001 _H | <RS-CAN0_base> + 0420 _H | 8、16、32 |
| 送信履歴ステータスレジスタ 1 | RSCAN0THLSTS1 | 0000 0001 _H | <RS-CAN0_base> + 0424 _H | 8、16、32 |
| 送信履歴ステータスレジスタ 2 | RSCAN0THLSTS2 | 0000 0001 _H | <RS-CAN0_base> + 0428 _H | 8、16、32 |
| 送信履歴ステータスレジスタ 3 | RSCAN0THLSTS3 | 0000 0001 _H | <RS-CAN0_base> + 042C _H | 8、16、32 |
| 送信履歴ポインタ制御レジスタ 0 | RSCAN0THLPCTR0 | 0000 0000 _H | <RS-CAN0_base> + 0440 _H | 8、16、32 |
| 送信履歴ポインタ制御レジスタ 1 | RSCAN0THLPCTR1 | 0000 0000 _H | <RS-CAN0_base> + 0444 _H | 8、16、32 |
| 送信履歴ポインタ制御レジスタ 2 | RSCAN0THLPCTR2 | 0000 0000 _H | <RS-CAN0_base> + 0448 _H | 8、16、32 |
| 送信履歴ポインタ制御レジスタ 3 | RSCAN0THLPCTR3 | 0000 0000 _H | <RS-CAN0_base> + 044C _H | 8、16、32 |
| グローバル TX 割り込みステータスレジスタ 0 | RSCAN0GTINTSTS0 | 0000 0000 _H | <RS-CAN0_base> + 0460 _H | 8、16、32 |
| グローバルテストコンフィグレーションレジスタ | RSCAN0GTSTCFG | 0000 0000 _H | <RS-CAN0_base> + 0468 _H | 8、16、32 |
| グローバルテスト制御レジスタ | RSCAN0GTSTCTR | 0000 0000 _H | <RS-CAN0_base> + 046C _H | 8、16、32 |
| グローバルロックキーレジスタ | RSCAN0GLOCKK | 0000 0000 _H | <RS-CAN0_base> + 047C _H | 16、32 |
| 受信ルール ID レジスタ 0 | RSCAN0GAFLID0 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0500 _H | 8、16、32 |
| 受信ルールマスクレジスタ 0 | RSCAN0GAFLM0 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0504 _H | 8、16、32 |
| 受信ルールポインタ 0 レジスタ 0 | RSCAN0GAFLP00 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0508 _H | 8、16、32 |
| 受信ルールポインタ 1 レジスタ 0 | RSCAN0GAFLP10 | 0000 0000 _H 注1 | <RS-CAN0_base> + 050C _H | 8、16、32 |
| 受信ルール ID レジスタ 1 | RSCAN0GAFLID1 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0510 _H | 8、16、32 |
| 受信ルールマスクレジスタ 1 | RSCAN0GAFLM1 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0514 _H | 8、16、32 |
| 受信ルールポインタ 0 レジスタ 1 | RSCAN0GAFLP01 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0518 _H | 8、16、32 |
| 受信ルールポインタ 1 レジスタ 1 | RSCAN0GAFLP11 | 0000 0000 _H 注1 | <RS-CAN0_base> + 051C _H | 8、16、32 |
| 受信ルール ID レジスタ 2 | RSCAN0GAFLID2 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0520 _H | 8、16、32 |
| 受信ルールマスクレジスタ 2 | RSCAN0GAFLM2 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0524 _H | 8、16、32 |
| 受信ルールポインタ 0 レジスタ 2 | RSCAN0GAFLP02 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0528 _H | 8、16、32 |
| 受信ルールポインタ 1 レジスタ 2 | RSCAN0GAFLP12 | 0000 0000 _H 注1 | <RS-CAN0_base> + 052C _H | 8、16、32 |
| 受信ルール ID レジスタ 3 | RSCAN0GAFLID3 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0530 _H | 8、16、32 |
| 受信ルールマスクレジスタ 3 | RSCAN0GAFLM3 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0534 _H | 8、16、32 |
| 受信ルールポインタ 0 レジスタ 3 | RSCAN0GAFLP03 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0538 _H | 8、16、32 |
| 受信ルールポインタ 1 レジスタ 3 | RSCAN0GAFLP13 | 0000 0000 _H 注1 | <RS-CAN0_base> + 053C _H | 8、16、32 |
| 受信ルール ID レジスタ 4 | RSCAN0GAFLID4 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0540 _H | 8、16、32 |
| 受信ルールマスクレジスタ 4 | RSCAN0GAFLM4 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0544 _H | 8、16、32 |
| 受信ルールポインタ 0 レジスタ 4 | RSCAN0GAFLP04 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0548 _H | 8、16、32 |
| 受信ルールポインタ 1 レジスタ 4 | RSCAN0GAFLP14 | 0000 0000 _H 注1 | <RS-CAN0_base> + 054C _H | 8、16、32 |
| 受信ルール ID レジスタ 5 | RSCAN0GAFLID5 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0550 _H | 8、16、32 |
| 受信ルールマスクレジスタ 5 | RSCAN0GAFLM5 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0554 _H | 8、16、32 |
| 受信ルールポインタ 0 レジスタ 5 | RSCAN0GAFLP05 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0558 _H | 8、16、32 |
| 受信ルールポインタ 1 レジスタ 5 | RSCAN0GAFLP15 | 0000 0000 _H 注1 | <RS-CAN0_base> + 055C _H | 8、16、32 |
| 受信ルール ID レジスタ 6 | RSCAN0GAFLID6 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0560 _H | 8、16、32 |
| 受信ルールマスクレジスタ 6 | RSCAN0GAFLM6 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0564 _H | 8、16、32 |
| 受信ルールポインタ 0 レジスタ 6 | RSCAN0GAFLP06 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0568 _H | 8、16、32 |
| 受信ルールポインタ 1 レジスタ 6 | RSCAN0GAFLP16 | 0000 0000 _H 注1 | <RS-CAN0_base> + 056C _H | 8、16、32 |
| 受信ルール ID レジスタ 7 | RSCAN0GAFLID7 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0570 _H | 8、16、32 |
| 受信ルールマスクレジスタ 7 | RSCAN0GAFLM7 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0574 _H | 8、16、32 |
| 受信ルールポインタ 0 レジスタ 7 | RSCAN0GAFLP07 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0578 _H | 8、16、32 |
| 受信ルールポインタ 1 レジスタ 7 | RSCAN0GAFLP17 | 0000 0000 _H 注1 | <RS-CAN0_base> + 057C _H | 8、16、32 |
| 受信ルール ID レジスタ 8 | RSCAN0GAFLID8 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0580 _H | 8、16、32 |
| 受信ルールマスクレジスタ 8 | RSCAN0GAFLM8 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0584 _H | 8、16、32 |
| 受信ルールポインタ 0 レジスタ 8 | RSCAN0GAFLP08 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0588 _H | 8、16、32 |
| 受信ルールポインタ 1 レジスタ 8 | RSCAN0GAFLP18 | 0000 0000 _H 注1 | <RS-CAN0_base> + 058C _H | 8、16、32 |

表 16.10 RS-CAN モジュールのレジスタ一覧 (7/20)

| レジスタ名 | シンボル | リセット後の値 | アドレス | アクセスサイズ |
|-------------------------|----------------|---------------------------|------------------------------------|---------|
| 受信ルール ID レジスタ 9 | RSCAN0GAFLID9 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0590 _H | 8、16、32 |
| 受信ルールマスクレジスタ 9 | RSCAN0GAFLM9 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0594 _H | 8、16、32 |
| 受信ルールポインタ 0 レジスタ 9 | RSCAN0GAFLP09 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0598 _H | 8、16、32 |
| 受信ルールポインタ 1 レジスタ 9 | RSCAN0GAFLP19 | 0000 0000 _H 注1 | <RS-CAN0_base> + 059C _H | 8、16、32 |
| 受信ルール ID レジスタ 10 | RSCAN0GAFLID10 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05A0 _H | 8、16、32 |
| 受信ルールマスクレジスタ 10 | RSCAN0GAFLM10 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05A4 _H | 8、16、32 |
| 受信ルールポインタ 0 レジスタ 10 | RSCAN0GAFLP010 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05A8 _H | 8、16、32 |
| 受信ルールポインタ 1 レジスタ 10 | RSCAN0GAFLP110 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05AC _H | 8、16、32 |
| 受信ルール ID レジスタ 11 | RSCAN0GAFLID11 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05B0 _H | 8、16、32 |
| 受信ルールマスクレジスタ 11 | RSCAN0GAFLM11 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05B4 _H | 8、16、32 |
| 受信ルールポインタ 0 レジスタ 11 | RSCAN0GAFLP011 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05B8 _H | 8、16、32 |
| 受信ルールポインタ 1 レジスタ 11 | RSCAN0GAFLP111 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05BC _H | 8、16、32 |
| 受信ルール ID レジスタ 12 | RSCAN0GAFLID12 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05C0 _H | 8、16、32 |
| 受信ルールマスクレジスタ 12 | RSCAN0GAFLM12 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05C4 _H | 8、16、32 |
| 受信ルールポインタ 0 レジスタ 12 | RSCAN0GAFLP012 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05C8 _H | 8、16、32 |
| 受信ルールポインタ 1 レジスタ 12 | RSCAN0GAFLP112 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05CC _H | 8、16、32 |
| 受信ルール ID レジスタ 13 | RSCAN0GAFLID13 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05D0 _H | 8、16、32 |
| 受信ルールマスクレジスタ 13 | RSCAN0GAFLM13 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05D4 _H | 8、16、32 |
| 受信ルールポインタ 0 レジスタ 13 | RSCAN0GAFLP013 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05D8 _H | 8、16、32 |
| 受信ルールポインタ 1 レジスタ 13 | RSCAN0GAFLP113 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05DC _H | 8、16、32 |
| 受信ルール ID レジスタ 14 | RSCAN0GAFLID14 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05E0 _H | 8、16、32 |
| 受信ルールマスクレジスタ 14 | RSCAN0GAFLM14 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05E4 _H | 8、16、32 |
| 受信ルールポインタ 0 レジスタ 14 | RSCAN0GAFLP014 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05E8 _H | 8、16、32 |
| 受信ルールポインタ 1 レジスタ 14 | RSCAN0GAFLP114 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05EC _H | 8、16、32 |
| 受信ルール ID レジスタ 15 | RSCAN0GAFLID15 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05F0 _H | 8、16、32 |
| 受信ルールマスクレジスタ 15 | RSCAN0GAFLM15 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05F4 _H | 8、16、32 |
| 受信ルールポインタ 0 レジスタ 15 | RSCAN0GAFLP015 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05F8 _H | 8、16、32 |
| 受信ルールポインタ 1 レジスタ 15 | RSCAN0GAFLP115 | 0000 0000 _H 注1 | <RS-CAN0_base> + 05FC _H | 8、16、32 |
| 受信バッファ ID レジスタ 0 | RSCAN0RMID0 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0600 _H | 8、16、32 |
| 受信バッファポインタレジスタ 0 | RSCAN0RMPTR0 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0604 _H | 8、16、32 |
| 受信バッファデータフィールド 0 レジスタ 0 | RSCAN0RMD0 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0608 _H | 8、16、32 |
| 受信バッファデータフィールド 1 レジスタ 0 | RSCAN0RMD10 | 0000 0000 _H 注1 | <RS-CAN0_base> + 060C _H | 8、16、32 |
| 受信バッファ ID レジスタ 1 | RSCAN0RMID1 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0610 _H | 8、16、32 |
| 受信バッファポインタレジスタ 1 | RSCAN0RMPTR1 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0614 _H | 8、16、32 |
| 受信バッファデータフィールド 0 レジスタ 1 | RSCAN0RMD01 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0618 _H | 8、16、32 |
| 受信バッファデータフィールド 1 レジスタ 1 | RSCAN0RMD11 | 0000 0000 _H 注1 | <RS-CAN0_base> + 061C _H | 8、16、32 |
| 受信バッファ ID レジスタ 2 | RSCAN0RMID2 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0620 _H | 8、16、32 |
| 受信バッファポインタレジスタ 2 | RSCAN0RMPTR2 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0624 _H | 8、16、32 |
| 受信バッファデータフィールド 0 レジスタ 2 | RSCAN0RMD02 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0628 _H | 8、16、32 |
| 受信バッファデータフィールド 1 レジスタ 2 | RSCAN0RMD12 | 0000 0000 _H 注1 | <RS-CAN0_base> + 062C _H | 8、16、32 |
| 受信バッファ ID レジスタ 3 | RSCAN0RMID3 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0630 _H | 8、16、32 |
| 受信バッファポインタレジスタ 3 | RSCAN0RMPTR3 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0634 _H | 8、16、32 |
| 受信バッファデータフィールド 0 レジスタ 3 | RSCAN0RMD03 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0638 _H | 8、16、32 |
| 受信バッファデータフィールド 1 レジスタ 3 | RSCAN0RMD13 | 0000 0000 _H 注1 | <RS-CAN0_base> + 063C _H | 8、16、32 |
| 受信バッファ ID レジスタ 4 | RSCAN0RMID4 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0640 _H | 8、16、32 |
| 受信バッファポインタレジスタ 4 | RSCAN0RMPTR4 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0644 _H | 8、16、32 |
| 受信バッファデータフィールド 0 レジスタ 4 | RSCAN0RMD04 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0648 _H | 8、16、32 |
| 受信バッファデータフィールド 1 レジスタ 4 | RSCAN0RMD14 | 0000 0000 _H 注1 | <RS-CAN0_base> + 064C _H | 8、16、32 |
| 受信バッファ ID レジスタ 5 | RSCAN0RMID5 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0650 _H | 8、16、32 |
| 受信バッファポインタレジスタ 5 | RSCAN0RMPTR5 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0654 _H | 8、16、32 |

表 16.10 RS-CAN モジュールのレジスタ一覧 (14/20)

| レジスタ名 | シンボル | リセット後の値 | アドレス | アクセスサイズ |
|-------------------------------------|---------------|---------------------------|------------------------------------|---------|
| 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 8 | RSCAN0CFDF08 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0F08 _H | 8、16、32 |
| 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 8 | RSCAN0CFDF18 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0F0C _H | 8、16、32 |
| 送受信 FIFO バッファアクセス ID レジスタ 9 | RSCAN0CFID9 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0F10 _H | 8、16、32 |
| 送受信 FIFO バッファアクセスポインタレジスタ 9 | RSCAN0CFPTR9 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0F14 _H | 8、16、32 |
| 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 9 | RSCAN0CFDF09 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0F18 _H | 8、16、32 |
| 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 9 | RSCAN0CFDF19 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0F1C _H | 8、16、32 |
| 送受信 FIFO バッファアクセス ID レジスタ 10 | RSCAN0CFID10 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0F20 _H | 8、16、32 |
| 送受信 FIFO バッファアクセスポインタレジスタ 10 | RSCAN0CFPTR10 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0F24 _H | 8、16、32 |
| 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 10 | RSCAN0CFDF010 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0F28 _H | 8、16、32 |
| 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 10 | RSCAN0CFDF110 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0F2C _H | 8、16、32 |
| 送受信 FIFO バッファアクセス ID レジスタ 11 | RSCAN0CFID11 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0F30 _H | 8、16、32 |
| 送受信 FIFO バッファアクセスポインタレジスタ 11 | RSCAN0CFPTR11 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0F34 _H | 8、16、32 |
| 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 11 | RSCAN0CFDF011 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0F38 _H | 8、16、32 |
| 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 11 | RSCAN0CFDF111 | 0000 0000 _H 注1 | <RS-CAN0_base> + 0F3C _H | 8、16、32 |
| 送信バッファ ID レジスタ 0 | RSCAN0TMID0 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1000 _H | 8、16、32 |
| 送信バッファポインタレジスタ 0 | RSCAN0TMPTR0 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1004 _H | 8、16、32 |
| 送信バッファデータフィールド 0 レジスタ 0 | RSCAN0TMDF00 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1008 _H | 8、16、32 |
| 送信バッファデータフィールド 1 レジスタ 0 | RSCAN0TMDF10 | 0000 0000 _H 注1 | <RS-CAN0_base> + 100C _H | 8、16、32 |
| 送信バッファ ID レジスタ 1 | RSCAN0TMID1 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1010 _H | 8、16、32 |
| 送信バッファポインタレジスタ 1 | RSCAN0TMPTR1 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1014 _H | 8、16、32 |
| 送信バッファデータフィールド 0 レジスタ 1 | RSCAN0TMDF01 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1018 _H | 8、16、32 |
| 送信バッファデータフィールド 1 レジスタ 1 | RSCAN0TMDF11 | 0000 0000 _H 注1 | <RS-CAN0_base> + 101C _H | 8、16、32 |
| 送信バッファ ID レジスタ 2 | RSCAN0TMID2 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1020 _H | 8、16、32 |
| 送信バッファポインタレジスタ 2 | RSCAN0TMPTR2 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1024 _H | 8、16、32 |
| 送信バッファデータフィールド 0 レジスタ 2 | RSCAN0TMDF02 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1028 _H | 8、16、32 |
| 送信バッファデータフィールド 1 レジスタ 2 | RSCAN0TMDF12 | 0000 0000 _H 注1 | <RS-CAN0_base> + 102C _H | 8、16、32 |
| 送信バッファ ID レジスタ 3 | RSCAN0TMID3 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1030 _H | 8、16、32 |
| 送信バッファポインタレジスタ 3 | RSCAN0TMPTR3 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1034 _H | 8、16、32 |
| 送信バッファデータフィールド 0 レジスタ 3 | RSCAN0TMDF03 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1038 _H | 8、16、32 |
| 送信バッファデータフィールド 1 レジスタ 3 | RSCAN0TMDF13 | 0000 0000 _H 注1 | <RS-CAN0_base> + 103C _H | 8、16、32 |
| 送信バッファ ID レジスタ 4 | RSCAN0TMID4 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1040 _H | 8、16、32 |
| 送信バッファポインタレジスタ 4 | RSCAN0TMPTR4 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1044 _H | 8、16、32 |
| 送信バッファデータフィールド 0 レジスタ 4 | RSCAN0TMDF04 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1048 _H | 8、16、32 |
| 送信バッファデータフィールド 1 レジスタ 4 | RSCAN0TMDF14 | 0000 0000 _H 注1 | <RS-CAN0_base> + 104C _H | 8、16、32 |
| 送信バッファ ID レジスタ 5 | RSCAN0TMID5 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1050 _H | 8、16、32 |
| 送信バッファポインタレジスタ 5 | RSCAN0TMPTR5 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1054 _H | 8、16、32 |
| 送信バッファデータフィールド 0 レジスタ 5 | RSCAN0TMDF05 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1058 _H | 8、16、32 |
| 送信バッファデータフィールド 1 レジスタ 5 | RSCAN0TMDF15 | 0000 0000 _H 注1 | <RS-CAN0_base> + 105C _H | 8、16、32 |
| 送信バッファ ID レジスタ 6 | RSCAN0TMID6 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1060 _H | 8、16、32 |
| 送信バッファポインタレジスタ 6 | RSCAN0TMPTR6 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1064 _H | 8、16、32 |
| 送信バッファデータフィールド 0 レジスタ 6 | RSCAN0TMDF06 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1068 _H | 8、16、32 |
| 送信バッファデータフィールド 1 レジスタ 6 | RSCAN0TMDF16 | 0000 0000 _H 注1 | <RS-CAN0_base> + 106C _H | 8、16、32 |
| 送信バッファ ID レジスタ 7 | RSCAN0TMID7 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1070 _H | 8、16、32 |
| 送信バッファポインタレジスタ 7 | RSCAN0TMPTR7 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1074 _H | 8、16、32 |
| 送信バッファデータフィールド 0 レジスタ 7 | RSCAN0TMDF07 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1078 _H | 8、16、32 |
| 送信バッファデータフィールド 1 レジスタ 7 | RSCAN0TMDF17 | 0000 0000 _H 注1 | <RS-CAN0_base> + 107C _H | 8、16、32 |
| 送信バッファ ID レジスタ 8 | RSCAN0TMID8 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1080 _H | 8、16、32 |
| 送信バッファポインタレジスタ 8 | RSCAN0TMPTR8 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1084 _H | 8、16、32 |
| 送信バッファデータフィールド 0 レジスタ 8 | RSCAN0TMDF08 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1088 _H | 8、16、32 |
| 送信バッファデータフィールド 1 レジスタ 8 | RSCAN0TMDF18 | 0000 0000 _H 注1 | <RS-CAN0_base> + 108C _H | 8、16、32 |

表 16.10 RS-CAN モジュールのレジスタ一覧 (19/20)

| レジスタ名 | シンボル | リセット後の値 | アドレス | アクセスサイズ |
|-------------------------|----------------|---------------------------|------------------------------------|---------|
| 送信バッファ ID レジスタ 59 | RSCAN0TMID59 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13B0 _H | 8、16、32 |
| 送信バッファポインタレジスタ 59 | RSCAN0TMPTR59 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13B4 _H | 8、16、32 |
| 送信バッファデータフィールド0 レジスタ 59 | RSCAN0TMDF059 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13B8 _H | 8、16、32 |
| 送信バッファデータフィールド1 レジスタ 59 | RSCAN0TMDF159 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13BC _H | 8、16、32 |
| 送信バッファ ID レジスタ 60 | RSCAN0TMID60 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13C0 _H | 8、16、32 |
| 送信バッファポインタレジスタ 60 | RSCAN0TMPTR60 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13C4 _H | 8、16、32 |
| 送信バッファデータフィールド0 レジスタ 60 | RSCAN0TMDF060 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13C8 _H | 8、16、32 |
| 送信バッファデータフィールド1 レジスタ 60 | RSCAN0TMDF160 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13CC _H | 8、16、32 |
| 送信バッファ ID レジスタ 61 | RSCAN0TMID61 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13D0 _H | 8、16、32 |
| 送信バッファポインタレジスタ 61 | RSCAN0TMPTR61 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13D4 _H | 8、16、32 |
| 送信バッファデータフィールド0 レジスタ 61 | RSCAN0TMDF061 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13D8 _H | 8、16、32 |
| 送信バッファデータフィールド1 レジスタ 61 | RSCAN0TMDF161 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13DC _H | 8、16、32 |
| 送信バッファ ID レジスタ 62 | RSCAN0TMID62 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13E0 _H | 8、16、32 |
| 送信バッファポインタレジスタ 62 | RSCAN0TMPTR62 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13E4 _H | 8、16、32 |
| 送信バッファデータフィールド0 レジスタ 62 | RSCAN0TMDF062 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13E8 _H | 8、16、32 |
| 送信バッファデータフィールド1 レジスタ 62 | RSCAN0TMDF162 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13EC _H | 8、16、32 |
| 送信バッファ ID レジスタ 63 | RSCAN0TMID63 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13F0 _H | 8、16、32 |
| 送信バッファポインタレジスタ 63 | RSCAN0TMPTR63 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13F4 _H | 8、16、32 |
| 送信バッファデータフィールド0 レジスタ 63 | RSCAN0TMDF063 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13F8 _H | 8、16、32 |
| 送信バッファデータフィールド1 レジスタ 63 | RSCAN0TMDF163 | 0000 0000 _H 注1 | <RS-CAN0_base> + 13FC _H | 8、16、32 |
| 送信履歴アクセスレジスタ 0 | RSCAN0THLACC0 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1800 _H | 8、16、32 |
| 送信履歴アクセスレジスタ 1 | RSCAN0THLACC1 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1804 _H | 8、16、32 |
| 送信履歴アクセスレジスタ 2 | RSCAN0THLACC2 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1808 _H | 8、16、32 |
| 送信履歴アクセスレジスタ 3 | RSCAN0THLACC3 | 0000 0000 _H 注1 | <RS-CAN0_base> + 180C _H | 8、16、32 |
| RAM テストページアクセスレジスタ 0 | RSCAN0RPGACC0 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1900 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 1 | RSCAN0RPGACC1 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1904 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 2 | RSCAN0RPGACC2 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1908 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 3 | RSCAN0RPGACC3 | 0000 0000 _H 注1 | <RS-CAN0_base> + 190C _H | 8、16、32 |
| RAM テストページアクセスレジスタ 4 | RSCAN0RPGACC4 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1910 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 5 | RSCAN0RPGACC5 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1914 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 6 | RSCAN0RPGACC6 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1918 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 7 | RSCAN0RPGACC7 | 0000 0000 _H 注1 | <RS-CAN0_base> + 191C _H | 8、16、32 |
| RAM テストページアクセスレジスタ 8 | RSCAN0RPGACC8 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1920 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 9 | RSCAN0RPGACC9 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1924 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 10 | RSCAN0RPGACC10 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1928 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 11 | RSCAN0RPGACC11 | 0000 0000 _H 注1 | <RS-CAN0_base> + 192C _H | 8、16、32 |
| RAM テストページアクセスレジスタ 12 | RSCAN0RPGACC12 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1930 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 13 | RSCAN0RPGACC13 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1934 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 14 | RSCAN0RPGACC14 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1938 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 15 | RSCAN0RPGACC15 | 0000 0000 _H 注1 | <RS-CAN0_base> + 193C _H | 8、16、32 |
| RAM テストページアクセスレジスタ 16 | RSCAN0RPGACC16 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1940 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 17 | RSCAN0RPGACC17 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1944 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 18 | RSCAN0RPGACC18 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1948 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 19 | RSCAN0RPGACC19 | 0000 0000 _H 注1 | <RS-CAN0_base> + 194C _H | 8、16、32 |
| RAM テストページアクセスレジスタ 20 | RSCAN0RPGACC20 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1950 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 21 | RSCAN0RPGACC21 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1954 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 22 | RSCAN0RPGACC22 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1958 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 23 | RSCAN0RPGACC23 | 0000 0000 _H 注1 | <RS-CAN0_base> + 195C _H | 8、16、32 |
| RAM テストページアクセスレジスタ 24 | RSCAN0RPGACC24 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1960 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 25 | RSCAN0RPGACC25 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1964 _H | 8、16、32 |

表 16.10 RS-CAN モジュールのレジスタ一覧 (20/20)

| レジスタ名 | シンボル | リセット後の値 | アドレス | アクセスサイズ |
|-----------------------|----------------|---------------------------|------------------------------------|---------|
| RAM テストページアクセスレジスタ 26 | RSCAN0RPGACC26 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1968 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 27 | RSCAN0RPGACC27 | 0000 0000 _H 注1 | <RS-CAN0_base> + 196C _H | 8、16、32 |
| RAM テストページアクセスレジスタ 28 | RSCAN0RPGACC28 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1970 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 29 | RSCAN0RPGACC29 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1974 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 30 | RSCAN0RPGACC30 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1978 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 31 | RSCAN0RPGACC31 | 0000 0000 _H 注1 | <RS-CAN0_base> + 197C _H | 8、16、32 |
| RAM テストページアクセスレジスタ 32 | RSCAN0RPGACC32 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1980 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 33 | RSCAN0RPGACC33 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1984 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 34 | RSCAN0RPGACC34 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1988 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 35 | RSCAN0RPGACC35 | 0000 0000 _H 注1 | <RS-CAN0_base> + 198C _H | 8、16、32 |
| RAM テストページアクセスレジスタ 36 | RSCAN0RPGACC36 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1990 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 37 | RSCAN0RPGACC37 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1994 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 38 | RSCAN0RPGACC38 | 0000 0000 _H 注1 | <RS-CAN0_base> + 1998 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 39 | RSCAN0RPGACC39 | 0000 0000 _H 注1 | <RS-CAN0_base> + 199C _H | 8、16、32 |
| RAM テストページアクセスレジスタ 40 | RSCAN0RPGACC40 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19A0 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 41 | RSCAN0RPGACC41 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19A4 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 42 | RSCAN0RPGACC42 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19A8 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 43 | RSCAN0RPGACC43 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19AC _H | 8、16、32 |
| RAM テストページアクセスレジスタ 44 | RSCAN0RPGACC44 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19B0 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 45 | RSCAN0RPGACC45 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19B4 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 46 | RSCAN0RPGACC46 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19B8 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 47 | RSCAN0RPGACC47 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19BC _H | 8、16、32 |
| RAM テストページアクセスレジスタ 48 | RSCAN0RPGACC48 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19C0 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 49 | RSCAN0RPGACC49 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19C4 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 50 | RSCAN0RPGACC50 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19C8 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 51 | RSCAN0RPGACC51 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19CC _H | 8、16、32 |
| RAM テストページアクセスレジスタ 52 | RSCAN0RPGACC52 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19D0 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 53 | RSCAN0RPGACC53 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19D4 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 54 | RSCAN0RPGACC54 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19D8 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 55 | RSCAN0RPGACC55 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19DC _H | 8、16、32 |
| RAM テストページアクセスレジスタ 56 | RSCAN0RPGACC56 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19E0 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 57 | RSCAN0RPGACC57 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19E4 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 58 | RSCAN0RPGACC58 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19E8 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 59 | RSCAN0RPGACC59 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19EC _H | 8、16、32 |
| RAM テストページアクセスレジスタ 60 | RSCAN0RPGACC60 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19F0 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 61 | RSCAN0RPGACC61 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19F4 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 62 | RSCAN0RPGACC62 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19F8 _H | 8、16、32 |
| RAM テストページアクセスレジスタ 63 | RSCAN0RPGACC63 | 0000 0000 _H 注1 | <RS-CAN0_base> + 19FC _H | 8、16、32 |

注1. これらのレジスタの実体はRAMであり、RAM初期化後の値です。

表 16.11 各チャンネルに割り当てられる送信バッファ p

| | CANm |
|--------------------|--------------------|
| 送信バッファ p | 送信バッファ 16 × m + 0 |
| | 送信バッファ 16 × m + 1 |
| | 送信バッファ 16 × m + 2 |
| | 送信バッファ 16 × m + 3 |
| | 送信バッファ 16 × m + 4 |
| | 送信バッファ 16 × m + 5 |
| | 送信バッファ 16 × m + 6 |
| | 送信バッファ 16 × m + 7 |
| | 送信バッファ 16 × m + 8 |
| | 送信バッファ 16 × m + 9 |
| | 送信バッファ 16 × m + 10 |
| | 送信バッファ 16 × m + 11 |
| | 送信バッファ 16 × m + 12 |
| | 送信バッファ 16 × m + 13 |
| | 送信バッファ 16 × m + 14 |
| 送信バッファ 16 × m + 15 | |

表 16.12 各チャンネルに割り当てられる送受信 FIFO バッファ k

| | CANm |
|--------------------|-------------------------|
| 送受信 FIFO バッファ k | 送受信 FIFO バッファ 3 × m + 0 |
| | 送受信 FIFO バッファ 3 × m + 1 |
| | 送受信 FIFO バッファ 3 × m + 2 |

表 16.13 CFTML[3:0] ビットの設定値によって送受信 FIFO バッファにリンクされる送信バッファ p

| CFTML[3:0] ビットの設定値 | 送受信 FIFO バッファにリンクされる送信バッファ p |
|--------------------|------------------------------|
| 0000 _B | 送信バッファ 16 × m + 0 |
| 0001 _B | 送信バッファ 16 × m + 1 |
| 0010 _B | 送信バッファ 16 × m + 2 |
| 0011 _B | 送信バッファ 16 × m + 3 |
| 0100 _B | 送信バッファ 16 × m + 4 |
| 0101 _B | 送信バッファ 16 × m + 5 |
| 0110 _B | 送信バッファ 16 × m + 6 |
| 0111 _B | 送信バッファ 16 × m + 7 |
| 1000 _B | 送信バッファ 16 × m + 8 |
| 1001 _B | 送信バッファ 16 × m + 9 |
| 1010 _B | 送信バッファ 16 × m + 10 |
| 1011 _B | 送信バッファ 16 × m + 11 |
| 1100 _B | 送信バッファ 16 × m + 12 |
| 1101 _B | 送信バッファ 16 × m + 13 |
| 1110 _B | 送信バッファ 16 × m + 14 |
| 1111 _B | 送信バッファ 16 × m + 15 |

表 16.14 各チャネルの送信キューに割り当てられる送信バッファ p

| TXQDC [3:0] ビットの設定値 | 送信キューに割り当てられる送信バッファ p |
|---------------------|---|
| 0000 _B | 設定しないでください。 |
| 0001 _B | 設定しないでください。 |
| 0010 _B | 送信バッファ $16 \times m + 15 \sim 16 \times m + 13$ |
| 0011 _B | 送信バッファ $16 \times m + 15 \sim 16 \times m + 12$ |
| 0100 _B | 送信バッファ $16 \times m + 15 \sim 16 \times m + 11$ |
| 0101 _B | 送信バッファ $16 \times m + 15 \sim 16 \times m + 10$ |
| 0110 _B | 送信バッファ $16 \times m + 15 \sim 16 \times m + 9$ |
| 0111 _B | 送信バッファ $16 \times m + 15 \sim 16 \times m + 8$ |
| 1000 _B | 送信バッファ $16 \times m + 15 \sim 16 \times m + 7$ |
| 1001 _B | 送信バッファ $16 \times m + 15 \sim 16 \times m + 6$ |
| 1010 _B | 送信バッファ $16 \times m + 15 \sim 16 \times m + 5$ |
| 1011 _B | 送信バッファ $16 \times m + 15 \sim 16 \times m + 4$ |
| 1100 _B | 送信バッファ $16 \times m + 15 \sim 16 \times m + 3$ |
| 1101 _B | 送信バッファ $16 \times m + 15 \sim 16 \times m + 2$ |
| 1110 _B | 送信バッファ $16 \times m + 15 \sim 16 \times m + 1$ |
| 1111 _B | 送信バッファ $16 \times m + 15 \sim 16 \times m + 0$ |

16.3.2 レジスタ詳細

16.3.2.1 RSCAN0CmCFG — チャネルコンフィグレーションレジスタ (m = 0 ~ 3)

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0000_H + (m × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|-----------|-----|-----|-------------|-----|-----|-------------|-----|-----|-----|---|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | |
| | — | — | — | — | — | — | SJW [1:0] | | — | TSEG2 [2:0] | | | TSEG1 [3:0] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| R/W | R | R | R | R | R | R | R/W | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | — | — | — | — | — | — | BRP [9:0] | | | | | | | | | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| R/W | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | |

表 16.15 RSCAN0CmCFG レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|-------------|---|
| 31 ~ 26 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 25、24 | SJW [1:0] | 再同期ジャンプ幅制御ビット b25 b24 0 0 : 1 Tq 0 1 : 2 Tq 1 0 : 3 Tq 1 1 : 4 Tq |
| 23 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 22 ~ 20 | TSEG2 [2:0] | タイムセグメント2制御ビット b22 b21 b20 0 0 0 : 設定しないでください 0 0 1 : 2 Tq 0 1 0 : 3 Tq 0 1 1 : 4 Tq 1 0 0 : 5 Tq 1 0 1 : 6 Tq 1 1 0 : 7 Tq 1 1 1 : 8 Tq |

表 16.15 RSCAN0CmCFG レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|---------|-------------|--|
| 19 ~ 16 | TSEG1 [3:0] | タイムセグメント 1 制御ビット b19 b18 b17 b16 0 0 0 0 : 設定しないでください 0 0 0 1 : 設定しないでください 0 0 1 0 : 設定しないでください 0 0 1 1 : 4 Tq 0 1 0 0 : 5 Tq 0 1 0 1 : 6 Tq 0 1 1 0 : 7 Tq 0 1 1 1 : 8 Tq 1 0 0 0 : 9 Tq 1 0 0 1 : 10 Tq 1 0 1 0 : 11 Tq 1 0 1 1 : 12 Tq 1 1 0 0 : 13 Tq 1 1 0 1 : 14 Tq 1 1 1 0 : 15 Tq 1 1 1 1 : 16 Tq |
| 15 ~ 10 | — | 予約ビット 読むと "0" が読み出されます。書き込みは "0" としてください。 |
| 9 ~ 0 | BRP [9:0] | プリスケーラ分周比設定ビット 設定値を P (0 ~ 1023) とすると、ボーレートプリスケーラは fCAN を P+1 で分周します。 |

RSCAN0CmCFG レジスタは、チャンネルリセットモードまたはチャンネル待機モードで書き換えてください。また、チャンネル通信モードまたはチャンネル待機モードに遷移要求する前に設定してください。ビットタイミングパラメータの説明と設定については、「**16.5.1 初期設定**」を参照してください。

SJW[1:0] ビット

再同期ジャンプ幅 (Resynchronization jump width) を Tq 値で指定します。1 ~ 4Tq の値が設定可能です。TSEG2 ビット以下の値を設定してください。

TSEG2[2:0] ビット

フェーズバッファセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。

2 ~ 8Tq の値が設定可能です。

TSEG1 ビットより小さい値を設定してください。

TSEG1[3:0] ビット

プロバゲーションタイムセグメント (PROP_SEG) とフェーズバッファセグメント 1 (PHASE_SEG1) の合計長を Tq 値で指定します。

4 ~ 16Tq の値が設定可能です。

BRP[9:0] ビット

CAN クロック (fCAN) をボーレートプリスケーラ ((BRP[9:0]) + 1) で分周したクロックが CANmTq クロック (fCANTQm) になり、CANmTq クロックの 1 クロックが 1 Time Quantum (Tq) になります。

16.3.2.2 RSCAN0mCTR — チャネル制御レジスタ (m = 0 ~ 3)

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0004_H + (m × 0010_H)

リセット後の値 0000 0005_H

| | | | | | | | | | | | | | | | | |
|---------|------|------|------|-------|-------|-----------|------|------|----------|-----|-----|----|------|-------|------------|------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | CTMS[1:0] | CTME | ERRD | BOM[1:0] | — | — | — | — | — | — | TAIE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ALIE | BLIE | OLIE | BORIE | BOEIE | EPIE | EWIE | BEIE | — | — | — | — | RTBO | CSLPR | CHMDC[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 16.16 RSCAN0mCTR レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|-----------|---|
| 31 ~ 27 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 26、25 | CTMS[1:0] | 通信テストモード選択ビット b26 b25 0 0: 標準テストモード 0 1: リッスンオンリモード 1 0: セルフテストモード0 (外部ループバックモード) 1 1: セルフテストモード1 (内部ループバックモード) |
| 24 | CTME | 通信テストモード許可ビット 0: 通信テストモード禁止 1: 通信テストモード許可 |
| 23 | ERRD | エラー表示モード選択ビット 0: RSCAN0mERFL レジスタのビット14~8がすべてクリアされた後、最初に発生したエラー情報のみのエラーフラグ表示 1: 発生したすべてのエラー情報のエラーフラグを表示 |
| 22、21 | BOM[1:0] | バスオフ復帰モード選択ビット b22 b21 0 0: ISO11898-1 仕様準拠 0 1: バスオフ開始でチャネル待機モードへ遷移 1 0: バスオフ終了でチャネル待機モードへ遷移 1 1: バスオフ中にプログラムによる要求でチャネル待機モードへ遷移 |
| 20 ~ 17 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 16 | TAIE | 送信アボート割り込み許可ビット 0: 送信アボート割り込み禁止 1: 送信アボート割り込み許可 |
| 15 | ALIE | アービトレーションロスト割り込み許可ビット 0: アービトレーションロスト割り込み禁止 1: アービトレーションロスト割り込み許可 |
| 14 | BLIE | バスロック割り込み許可ビット 0: バスロック割り込み禁止 1: バスロック割り込み許可 |
| 13 | OLIE | オーバーロードフレーム送信割り込み許可ビット 0: オーバーロードフレーム送信割り込み禁止 1: オーバーロードフレーム送信割り込み許可 |
| 12 | BORIE | バスオフ復帰割り込み許可ビット 0: バスオフ復帰割り込み禁止 1: バスオフ復帰割り込み許可 |

表 16.16 RSCAN0CmCTR レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|------------|---|
| 11 | BOEIE | バスオフ開始割り込み許可ビット 0: バスオフ開始割り込み禁止 1: バスオフ開始割り込み許可 |
| 10 | EPIE | エラーパッシブ割り込み許可ビット 0: エラーパッシブ割り込み禁止 1: エラーパッシブ割り込み許可 |
| 9 | EWIE | エラーワーニング割り込み許可ビット 0: エラーワーニング割り込み禁止 1: エラーワーニング割り込み許可 |
| 8 | BEIE | バスエラー割り込み許可ビット 0: バスエラー割り込み禁止 1: バスエラー割り込み許可 |
| 7 ~ 4 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 3 | RTBO | バスオフ強制復帰ビット RTBO ビットを“1”にすると、バスオフから強制的に復帰します。常に“0”が読めます。 |
| 2 | CSLPR | チャンネルストップモードビット 0: チャンネルストップモードではない 1: チャンネルストップモード |
| 1、0 | CHMDC[1:0] | モード選択ビット b1 b0 0 0: チャンネル通信モード 0 1: チャンネルリセットモード 1 0: チャンネル待機モード 1 1: 設定しないでください |

CTMS[1:0] ビット

通信テストモードを選択するビットです。このビットはチャンネル待機モードのみで書き換えてください。チャンネルリセットモード時は、“0”になります。

CTME ビット

“1”にすると通信テストモードは許可になります。このビットはチャンネル待機モードで書き換えてください。チャンネルリセットモード時は、“0”になります。

ERRD ビット

RSCAN0CmERFL レジスタのビット 14 ~ 8 の表示モードを制御します。

“0”にすると最初に発生したエラー情報のフラグのみが“1”になります。最初のエラー情報で複数のエラーが発生した場合、検出された複数のエラーのフラグはすべて“1”になります。

“1”にすると発生順に関係なく、起こったエラーのフラグはすべて“1”になります。

このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

BOM[1:0] ビット

RS-CAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが“00_B”の場合、バスオフ状態からエラーアクティブ状態への復帰は CAN 仕様に準拠します。すなわち、RS-CAN モジュールは、11 ビットの連続するリセシブを 128 回検出後、再び CAN 通信 (エラーアクティブ状態) に入ります。バスオフ状態からの復帰

時にバスオフ復帰割り込み要求が発生します。128回検出する前に CHMDC[1:0] ビットを “10_B” (チャンネル待機モード) にしても128回検出するまでチャンネル待機モードには遷移しません。

BOM[1:0] ビットが “01_B” の場合、RS-CAN モジュールがバスオフ状態に達すると、RSCAN0CmCTR レジスタ (m = 0 ~ 3) の CHMDC[1:0] ビットが “10_B” になり、チャンネル待機モードへ遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、RSCAN0CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが “00_H” になります。

BOM[1:0] ビットが “10_B” の場合、RS-CAN モジュールがバスオフ状態に達すると CHMDC[1:0] ビットが “10_B” になり、バスオフ状態から復帰した (11 ビットの連続するレセンプを128回検出) 後に、チャンネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0] ビットと REC[7:0] ビットが “00_H” になります。

BOM[1:0] ビットが “11_B” の場合、RS-CAN モジュールがバスオフ状態のときに CHMDC[1:0] ビットを “10_B” にすると、チャンネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0] ビットと REC[7:0] ビットは “00_H” になります。しかし、CHMDC[1:0] ビットを “10_B” にする前に、11 ビットの連続するレセンプを128回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

RS-CAN モジュールがチャンネル待機モードに遷移するのと同じ (BOM[1:0] ビットが “01_B” のとき: バスオフ開始時、または BOM[1:0] ビットが “10_B” のとき: バスオフ終了時) に、プログラムによる CHMDC[1:0] ビットへの書き込みが発生した場合は、プログラムの書き込みが優先されます。BOM[1:0] ビットはチャンネルリセットモードでのみ書き換えてください。

TAIE ビット

TAIE ビットを “1” に設定し、送信バッファの送信アボートが完了した場合、割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

ALIE ビット

ALIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの ALF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BLIE ビット

BLIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの BLF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

OLIE ビット

OLIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの OVLF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BORIE ビット

BORIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの BORF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BOEIE ビット

BOEIE ビットを“1”に設定し、*RSCAN0CmERFL* レジスタの BOEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EPIE ビット

EPIE ビットを“1”に設定し、*RSCAN0CmERFL* レジスタの EPF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EWIE ビット

EWIE ビットを“1”に設定し、*RSCAN0CmERFL* レジスタの EWF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BEIE ビット

BEIE ビットを“1”に設定し、*RSCAN0CmERFL* レジスタの BEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

RTBO ビット

バスオフ状態時“1”にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に“0”になります。“1”にすると、*RSCAN0CmSTS* レジスタの TEC[7:0] ビットと REC[7:0] ビットが“00_H”になり、*RSCAN0CmSTS* レジスタの BOSTS フラグは“0”（バスオフ状態ではない）になります。ほかのレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。*RSCAN0CmCTR* レジスタの BOM[1:0] ビットが“00_B”（ISO11898-1 仕様準拠）のときにのみ使用してください。

RTBO ビットを“1”にしてからエラーアクティブ状態に遷移するまでに、最大 1 CAN ビットタイムの遅延が発生します。このビットはチャンネル通信モードで“1”を書いてください。

CSLPR ビット

“1”にすると、チャンネルストップモードになります。

“0”にすると、チャンネルストップモードは解除されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードでは書き換えしないでください。

CHMDC[1:0] ビット

チャンネルのモード（チャンネル通信モード、チャンネルリセットモード、チャンネル待機モード）を選択するビットです。詳細は、「16.4.2.6 チャンネルモード」を参照してください。チャンネルストップモードへは、チャンネルリセットモード時に CSLPR ビットを“1”にすることで遷移します。CHMDC[1:0] ビットを“11_B”には設定しないでください。BOM[1:0] ビットの設定によってチャンネル待機モードへ遷移した場合は、CHMDC[1:0] ビットは自動的に“10_B”になります。

16.3.2.3 RSCAN0CmSTS — チャネルステータスレジスタ (m = 0 ~ 3)

アクセス 8、16、32ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0008_H + (m × 0010_H)

リセット後の値 0000 0005_H

| | | | | | | | | | | | | | | | | |
|---------|-----------|----|----|----|----|----|----|----|------------|------------|------------|-------|-------|-------------|-------------|-------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TEC [7:0] | | | | | | | | REC [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | COMST S | RECST S | TRMST S | BOSTS | EPSTS | CSLPST S | CHLTST S | CRSTST S |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.17 RSCAN0CmSTS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|---|
| 31 ~ 24 | TEC [7:0] | 送信エラーカウンタ (TEC) の値が読めます。 |
| 23 ~ 16 | REC [7:0] | 受信エラーカウンタ (REC) の値が読めます。 |
| 15 ~ 8 | — | 予約ビット 読むと“0”が読み出されます。 |
| 7 | COMSTS | 通信ステータスフラグ 0: 通信可能な状態ではない 1: 通信可能な状態 |
| 6 | RECSTS | 受信ステータスフラグ 0: バスアイドルまたは送信中またはバスオフ状態 1: 受信中 |
| 5 | TRMSTS | 送信ステータスフラグ 0: バスアイドルまたは受信中 1: 送信中またはバスオフ状態 |
| 4 | BOSTS | バスオフステータスフラグ 0: バスオフ状態ではない 1: バスオフ状態 |
| 3 | EPSTS | エラーパッシブステータスフラグ 0: エラーパッシブ状態ではない 1: エラーパッシブ状態 |
| 2 | CSLPSTS | チャンネルストップステータスフラグ 0: チャンネルストップモードではない 1: チャンネルストップモード |
| 1 | CHLTSTS | チャンネル待機ステータスフラグ 0: チャンネル待機モードではない 1: チャンネル待機モード |
| 0 | CRSTSTS | チャンネルリセットステータスフラグ 0: チャンネルリセットモードではない 1: チャンネルリセットモード |

TEC[7:0] ビット

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

チャンネルリセットモード時は、“0”になります。

REC[7:0] ビット

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

チャンネルリセットモード時は、“0”になります。

COMSTS フラグ

通信準備が整ったことを示すビットです。

チャンネルリセットモードまたはチャンネル待機モードからチャンネル通信モードに移行し、11ビットの連続するレセシブを検出した後に、“1”になります。チャンネルリセットモードまたはチャンネル待機モード時は、“0”になります。

RECSTS フラグ

受信を開始すると“1”になります。バスアイドル状態になるか、または送信を開始すると“0”になります。

TRMSTS フラグ

送信を開始すると“1”になります。バスオフ状態では“1”のままです。バスアイドル状態になるか、または受信を開始すると“0”になります。

BOSTS フラグ

バスオフ状態 (TEC[7:0] ビット > 255) になると“1”になります。バスオフ状態以外になると“0”になります。

EPSTS フラグ

エラーパッシブ状態 ((128 ≤ TEC[7:0] ビット ≤ 255) または (128 ≤ REC[7:0] ビット)) になると、“1”になります。エラーパッシブ状態以外になるか、またはチャンネルリセットモードになると、“0”になります。

CSLPSTS フラグ

チャンネルストップモードに遷移すると、“1”になります。チャンネルストップモードから復帰すると“0”になります。

CHLTSTS フラグ

チャンネル待機モードに遷移すると“1”になります。チャンネル待機モード以外のモードに遷移すると“0”になります。

CRSTSTS フラグ

チャンネルリセットモードに遷移すると“1”になります。チャンネル通信モードまたはチャンネル待機モードに遷移すると“0”になります。チャンネルリセットモードからチャンネルストップモードに遷移しても、“1”のままです。

16.3.2.4 RSCAN0CmERFL — チャネルエラーフラグレジスタ (m = 0 ~ 3)

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 000C_H + (m × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | | | | | | | | | | | | | | | |
| | CRCREG[14:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | | | | | | | | | | | | | | | |
| | ADERR | B0ERR | B1ERR | CERR | AERR | FERR | SERR | ALF | BLF | OVLF | BORF | BOEF | EPF | EWf | BEF | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W 注1 | R/W 注1 | R/W 注1 | R/W 注1 | R/W 注1 | R/W 注1 | R/W 注1 | R/W 注1 | R/W 注1 | R/W 注1 | R/W 注1 | R/W 注1 | R/W 注1 | R/W 注1 | R/W 注1 |

注1. このフラグビットへの書き込みは、ステータスクリアする("0"にする)動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.18 RSCAN0CmERFL レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|--------------|--|
| 31 | — | 予約ビット 読むと"0"が読み出されます。書き込みは"0"としてください。 |
| 30 ~ 16 | CRCREG[14:0] | CRC 演算データ 送信メッセージまたは受信メッセージを基に計算したCRC値を表示します。 |
| 15 | — | 予約ビット 読むと"0"が読み出されます。書き込みは"0"としてください。 |
| 14 | ADERR | ACK デリミタエラーフラグ 0: ACK デリミタエラー未検出 1: ACK デリミタエラー検出 |
| 13 | B0ERR | ドミナントビットエラーフラグ 0: ドミナントビットエラー未検出 1: ドミナントビットエラー検出 |
| 12 | B1ERR | レセプティブビットエラーフラグ 0: レセプティブビットエラー未検出 1: レセプティブビットエラー検出 |
| 11 | CERR | CRC エラーフラグ 0: CRC エラー未検出 1: CRC エラー検出 |
| 10 | AERR | ACK エラーフラグ 0: ACK エラー未検出 1: ACK エラー検出 |
| 9 | FERR | フォームエラーフラグ 0: フォームエラー未検出 1: フォームエラー検出 |
| 8 | SERR | スタッフエラーフラグ 0: スタッフエラー未検出 1: スタッフエラー検出 |
| 7 | ALF | アービトレーションロストフラグ 0: アービトレーションロスト未検出 1: アービトレーションロスト検出 |
| 6 | BLF | バスロックフラグ 0: チャンネルバスロック未検出 1: チャンネルバスロック検出 |

表 16.18 RSCAN0CmERFL レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 5 | OVLFF | オーバロードフラグ 0: オーバロード未検出 1: オーバロード検出 |
| 4 | BORFF | バスオフ復帰フラグ 0: バスオフ復帰未検出 1: バスオフ復帰検出 |
| 3 | BOEFF | バスオフ開始フラグ 0: バスオフ開始未検出 1: バスオフ開始検出 |
| 2 | EPFF | エラーパッシブフラグ 0: エラーパッシブ未検出 1: エラーパッシブ検出 |
| 1 | EWFF | エラーワーニングフラグ 0: エラーワーニング未検出 1: エラーワーニング検出 |
| 0 | BEFF | バスエラーフラグ 0: チャンネルバスエラーは未検出 1: チャンネルバスエラー検出 |

各エラーの発生条件を確認するには、CAN仕様 (ISO11898-1) を参照してください。各フラグを“0”にする場合は、プログラムで“0”を書いてください。プログラムで“1”にできません。フラグが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのフラグは“1”になります。チャンネルリセットモード時、“0”になります。

RSCAN0CmERFL レジスタのビット 14～8 に関して、RSCAN0CmCTR レジスタの ERRD ビットを“0” (最初に発生したエラー情報のみ表示) に設定したとき、ビット 14～8 のすべてのフラグが“0”の状態ではエラーが検出された場合に、対応するフラグは“1”になります。

CRCREG[14:0] フラグ

RSCAN0CmCTR レジスタの CTME ビットが“1” (通信テストモード許可) の場合、送信または受信メッセージを基に計算した CRC 値が読めます。CTME ビットが“0” (通信テストモード禁止) の場合、常に“0”が読めます。

ADERR フラグ

送信中の ACK デリミタでフォームエラーを検出すると、“1”になります。

B0ERR フラグ

ドミナントを送信したにもかかわらずレセシブを検出すると“1”になります。

B1ERR フラグ

レセシブを送信したにもかかわらずドミナントを検出すると“1”になります。

CERR フラグ

CRC エラーを検出すると“1”になります。

AERR フラグ

ACK エラーを検出すると“1”になります。

FERR フラグ

フォームエラーを検出すると“1”になります。

SERR フラグ

スタッフエラーを検出すると“1”になります。

ALF フラグ

アービトレーションロストを検出すると“1”になります。

BLF フラグ

チャンネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると、“1”になります。“1”になったあと、次のどちらかで検出処理を再スタートします。

- BLF ビットを“1”から“0”にしたあと、レセシブビットを検出
- BLF ビットを“1”から“0”にしたあと、チャンネルリセットモードに遷移し、再度チャンネル通信モードに遷移

OVLV フラグ

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると“1”になります。

BORF フラグ

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると“1”になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は“1”になりません。

- *RSCAN0CmCTR* レジスタの *CHMDC[1:0]* ビットを“01_B”(チャンネルリセットモード)に設定した場合
- *RSCAN0CmCTR* レジスタの *RTBO* ビットを“1”(バスオフからの強制復帰)に設定した場合
- *RSCAN0CmCTR* レジスタの *BOM[1:0]* ビットを“01_B”(バスオフ開始でチャンネル待機モードへ遷移)に設定した場合
- *BOM[1:0]* ビットが“11_B”(バスオフ中にプログラムによる要求でチャンネル待機モードへ遷移)で、11 ビットの連続するレセシブを 128 回検出する前に、*CHMDC[1:0]* ビットを“10_B”(チャンネル待機モード)に設定した場合

BOEF フラグ

バスオフ状態 (*TEC[7:0]* ビット > 255) になると、“1”になります。*RSCAN0CmCTR* レジスタ (*m* = 0 ~ 3) の *BOM[1:0]* ビットが“01_B”(バスオフ開始でチャンネル待機モードへ遷移)で、バスオフ状態になった場合も、“1”になります。

EPF フラグ

エラーパッシブ状態 (*REC[7:0]* または *TEC[7:0]* ビット > 127) になると、“1”になります。*REC[7:0]* または *TEC[7:0]* ビットが最初に 127 を超えたときのみ“1”になります。したがって、*REC[7:0]* または *TEC[7:0]* ビットが 127 を超えたままで、プログラムで“0”を書いた場

合、一度 REC [7:0] と TEC[7:0] ビットの両方が 127 以下になり、再び REC[7:0] または TEC[7:0] ビットが 127 を超えるまでは“1”にはなりません。

EWf フラグ

REC[7:0] または TEC[7:0] ビットの値が 95 を超えると、“1”になります。REC[7:0] または TEC[7:0] ビットが最初に 95 を超えたときのみ“1”になります。したがって、REC[7:0] または TEC [7:0] ビットが 95 を超えたままで、プログラムで“0”を書いた場合、一度 REC [7:0] と TEC[7:0] ビットの両方が 95 以下になり、再び REC[7:0] または TEC[7:0] ビットが 95 を超えるまでは“1”にはなりません。

BEF フラグ

RSCAN0CmERFL レジスタの ADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERR フラグのいずれか1つでも“1”になると、BEF フラグは“1”になります。

備 考

本レジスタのフラグを“0”にする場合は、対象フラグには“0”を、それ以外のフラグには“1”を、ストア命令を使用して書いてください。本レジスタにビット操作命令でライトすると、リードモディファイライト動作により意図せずフラグをクリアしてしまう可能性があるのでご注意ください。

16.3.2.5 RSCAN0GCFG — グローバルコンフィグレーションレジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0084_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------------|-----|------|----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|------|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | ITRCP [15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TSBTCS[2:0] | | TSSS | TSP[3:0] | | | — | — | — | DCS | MME | DRE | DCE | TPRI | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R/W | R/W | R/W | R/W | R/W |

表 16.19 RSCAN0GCFG レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|--------------|---|
| 31 ~ 16 | ITRCP [15:0] | インターバルタイムプリスケール設定ビット 設定値を q とすると pclk を q 分周します。 インターバルタイムを使用する場合、“0000 _H ” を設定しないでください。 |
| 15 ~ 13 | TSBTCS[2:0] | タイムスタンプクロック源選択ビット b15 b14 b13 0 0 0 : チャネル 0 ビットタイムクロック 0 0 1 : チャネル 1 ビットタイムクロック 0 1 0 : チャネル 2 ビットタイムクロック 0 1 1 : チャネル 3 ビットタイムクロック 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください |
| 12 | TSSS | タイムスタンプソース選択 0 : pclk/2 ^{注1} 1 : ビットタイムクロック |
| 11 ~ 8 | TSP[3:0] | タイムスタンプクロック源分周ビット b11 b10 b9 b8 0 0 0 0 : 分周なし 0 0 0 1 : 2 分周 0 0 1 0 : 4 分周 0 0 1 1 : 8 分周 0 1 0 0 : 16 分周 0 1 0 1 : 32 分周 0 1 1 0 : 64 分周 0 1 1 1 : 128 分周 1 0 0 0 : 256 分周 1 0 0 1 : 512 分周 1 0 1 0 : 1024 分周 1 0 1 1 : 2048 分周 1 1 0 0 : 4096 分周 1 1 0 1 : 8192 分周 1 1 1 0 : 16384 分周 1 1 1 1 : 32768 分周 |
| 7 ~ 5 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 4 | DCS | CAN クロック源選択ビット 0 : clkc 1 : clk_xincan ^{注2} |

表 16.19 RSCAN0GCFG レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 3 | MME | ミラー機能許可ビット 0: ミラー機能禁止 1: ミラー機能許可 |
| 2 | DRE | DLC 置換許可ビット 0: DLC 置換禁止 1: DLC 置換許可 |
| 1 | DCE | DLC チェック許可ビット 0: DLC チェック禁止 1: DLC チェック許可 |
| 0 | TPRI | 送信優先順位選択ビット 0: ID 優先 1: 送信バッファ番号優先 |

注 1. タイムスタンプのカウントソースに $pclk/2$ を設定するときは、TSBTCS[2:0] を “000_B” にしてください。

注 2. CAN クロックの周波数は $pclk$ の 1/2 以下にしてください。

RSCAN0GCFG レジスタはグローバルリセットモードのみで書き換えてください。

ITRCP[15:0] ビット

FIFO 用インターバルタイマのクロック源の分周値を設定します。詳細は「**16.4.4.6 インターバル送信機能**」を参照してください。

TSBTCS[2:0] ビット

TSSS ビットが “1” のとき、タイムスタンプカウンタのクロック源となるビットタイムクロックのチャンネルの選択ができます。

TSSS ビット

タイムスタンプカウンタのクロック源を選択します。

TSP[3:0] ビット

TSBTCS[2:0] ビット、TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウントソースになります。

DCS ビット

“0” のとき、 clk_c が CAN クロック (f_{CAN}) のクロック源になります。

“1” のとき、 clk_xincan が CAN クロック (f_{CAN}) のクロック源になります。

CAN クロック (f_{CAN}) の周波数は、 $pclk$ の 1/2 以下にしてください。

MME ビット

“1” にすると、ミラー機能が使用できます。

DRE ビット

DRE ビットを “1” にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには “00_H” が格納されます。

DCE ビットが “1” (DLC チェック許可) のときに、DLC 置換機能を使用できます。

DCE ビット

“1”にすると、DLC チェック機能が使用できます。*RSCAN0GAFLP0j* レジスタの *GAFDLDC[3:0]* ビットを “0000_B” にしてから、*RSCAN0GCFG* レジスタの DCE ビットを “0” にしてください。

TPRI ビット

TPRI ビットにより、送信優先順位を設定します。

“0” の場合、ID 優先となり送信優先順位は CAN バス アービトレーションルール (ISO11898-1 仕様) に準拠します。“1” の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

送信キューを使用している場合は、“0” に設定してください。

16.3.2.6 RSCAN0GCTR — グローバル制御レジスタ

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0088_H

リセット後の値 0000 0005_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|--------|------|------|----|----|----|----|----|-------|-----------|-------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | TSRST |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | THLEIE | MEIE | DEIE | — | — | — | — | — | GSLPR | GMDC[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| R/W | R | R | R | R | R | R/W | R/W | R/W | R | R | R | R | R | R/W | R/W | R/W |

表 16.20 RSCAN0GCTR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|---|
| 31 ~ 17 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 16 | TSRST | タイムスタンプカウンタリセットビット TSRST ビットを“1”にすると、タイムスタンプカウンタをリセットします。読むと“0”が読み出されます。 |
| 15 ~ 11 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 10 | THLEIE | 送信履歴バッファオーバフロー割り込み許可ビット 0: 送信履歴バッファオーバフロー割り込み禁止 1: 送信履歴バッファオーバフロー割り込み許可 |
| 9 | MEIE | FIFO メッセージロス割り込み許可ビット 0: FIFO メッセージロス割り込み禁止 1: FIFO メッセージロス割り込み許可 |
| 8 | DEIE | DLC エラー割り込み許可ビット 0: DLC エラー割り込み禁止 1: DLC エラー割り込み許可 |
| 7 ~ 3 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 2 | GSLPR | グローバルストップモードビット 0: グローバルストップモードではない 1: グローバルストップモード |
| 1, 0 | GMDC[1:0] | グローバルモード選択ビット b1 b0 0 0: グローバル動作モード 0 1: グローバルリセットモード 1 0: グローバルテストモード 1 1: 設定しないでください |

TSRST ビット

タイムスタンプカウンタをリセットするために使用します。“1”にすると RSCAN0GTSC レジスタが“0000_H”になります。

THLEIE ビット

THLEIE ビットを“1”に設定し、*RSCAN0GERFL* レジスタの THLES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット

MEIE ビットを“1”に設定し、*RSCAN0GERFL* レジスタの MES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

DEIE ビット

DEIE ビットを“1”に設定し、*RSCAN0GERFL* レジスタの DEF フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

GSLPR ビット

“1”にすると、グローバルストップモードになります。

“0”にすると、グローバルストップモードは解除されます。

このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えしないでください。

GMDC[1:0] ビット

RS-CAN モジュール全体のモード（グローバル動作モード、グローバルリセットモード、グローバルテストモード）を選択するビットです。詳細は、「**16.4.2.1 グローバルモード**」を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを“1”にすることで遷移します。

16.3.2.7 RSCAN0GSTS — グローバルステータスレジスタ

アクセス 8、16、32ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 008C_H

リセット後の値 0000 000D_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|-------------|-------------|-------------|-------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | GRAM NIT | GSLPS TS | GHLTS TS | GRSTS TS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.21 RSCAN0GSTS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 31～4 | — | 予約ビット 読むと“0”が読み出されます。 |
| 3 | GRAMINIT | CAN用RAMクリアステータスフラグ 0: CAN用RAMクリア完了 1: CAN用RAMクリア中 |
| 2 | GSLPSTS | グローバルストップステータスフラグ 0: グローバルストップモードではない 1: グローバルストップモード |
| 1 | GHLTSTS | グローバルテストステータスフラグ 0: グローバルテストモードではない 1: グローバルテストモード |
| 0 | GRSTSTS | グローバルリセットステータスフラグ 0: グローバルリセットモードではない 1: グローバルリセットモード |

GRAMINIT フラグ

CAN用RAMのクリア状態を示します。

MCUのリセット後、“1”になります。CAN用RAMクリアが完了すると“0”になります。

GSLPSTS フラグ

グローバルストップモードに遷移すると、“1”になります。グローバルストップモードから復帰すると“0”になります。

GHLTSTS フラグ

グローバルテストモードに遷移すると、“1”になります。グローバルテストモード以外のモードに遷移すると“0”になります。

GRSTSTS フラグ

グローバルリセットモードに遷移すると“1”になります。

グローバルリセットモード以外のモードに遷移すると“0”になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1”のままです。

16.3.2.8 RSCAN0GERFL — グローバルエラーフラグレジスタ

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0090_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|-------|-----|-----------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | THLES | MES | DEF |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W 注1 |

注1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.22 RSCAN0GERFL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|---|
| 31～3 | — | 予約ビット 読むと不定値が読み出されます。書き込みは“0”としてください。 |
| 2 | THLES | 送信履歴バッファオーバーフローステータスフラグ 0: 送信履歴バッファオーバーフローなし 1: 送信履歴バッファオーバーフロー |
| 1 | MES | FIFO メッセージロストステータスフラグ 0: FIFO メッセージロストエラーなし 1: FIFO メッセージロストエラー |
| 0 | DEF | DLC エラーフラグ 0: DLC エラーなし 1: DLC エラー |

RSCAN0GERFL レジスタのフラグは、グローバルリセットモード時、“0”になります。

THLES フラグ

RSCAN0THLSTSm レジスタ (m=0～3) の THLELT フラグのいずれか1つでも“1”になると、THLES フラグは“1”になります。

全チャンネルの THLELT フラグを“0”にすると、THLES フラグは“0”になります。

MES フラグ

RSCAN0RFSTSk レジスタ (x=0～7) の RFMLT フラグまたは RSCAN0CFSTSk レジスタ (k=0～11) の CFMLT フラグのいずれか1つでも“1”になると、MES フラグは“1”になります。

すべての RFMLT フラグおよび CFMLT フラグを“0”にすると、MES フラグは“0”になります。

DEF フラグ

DLC チェックでエラーが検出されると、“1”になります。プログラムで“0”を書くことで、“0”にできます。

16.3.2.9 RSCAN0GTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0

アクセス 8、16、32ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0460_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----|----|----|-------|--------|-------|-------|-------|----|----|----|-------|--------|-------|-------|-------|
| | — | — | — | THIF3 | CFTIF3 | TQIF3 | TAIF3 | TSIF3 | — | — | — | THIF2 | CFTIF2 | TQIF2 | TAIF2 | TSIF2 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R注1 | R注1 | R注1 | R注1 | R注1 | R | R | R | R注1 | R注1 | R注1 | R注1 | R注1 |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | THIF1 | CFTIF1 | TQIF1 | TAIF1 | TSIF1 | — | — | — | THIF0 | CFTIF0 | TQIF0 | TAIF0 | TSIF0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R注1 | R注1 | R注1 | R注1 | R注1 | R | R | R | R注1 | R注1 | R注1 | R注1 | R注1 |

表 16.23 RSCAN0GTINTSTS0 レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|--------|--|
| 31 ~ 29 | — | 予約ビット 読むと0が読み出されます。書き込みは0としてください。 |
| 28 | THIF3 | チャンネル3 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり |
| 27 | CFTIF3 | チャンネル3 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり |
| 26 | TQIF3 | チャンネル3 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり |
| 25 | TAIF3 | チャンネル3 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり |
| 24 | TSIF3 | チャンネル3 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり |
| 23 ~ 21 | — | 予約ビット 読むと0が読み出されます。書き込みは0としてください。 |
| 20 | THIF2 | チャンネル2 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり |
| 19 | CFTIF2 | チャンネル2 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり |
| 18 | TQIF2 | チャンネル2 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり |
| 17 | TAIF2 | チャンネル2 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり |
| 16 | TSIF2 | チャンネル2 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり |
| 15 ~ 13 | — | 予約ビット 読むと0が読み出されます。書き込みは0としてください。 |

表 16.23 RSCAN0GTINTSTS0 レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 12 | THIF1 | チャンネル 1 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり |
| 11 | CFTIF1 | チャンネル 1 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり |
| 10 | TQIF1 | チャンネル 1 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり |
| 9 | TAIF1 | チャンネル 1 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり |
| 8 | TSIF1 | チャンネル 1 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり |
| 7 ~ 5 | — | 予約ビット 読むと 0 が読み出されます。書き込みは 0 としてください。 |
| 4 | THIF0 | チャンネル 0 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり |
| 3 | CFTIF0 | チャンネル 0 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり |
| 2 | TQIF0 | チャンネル 0 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり |
| 1 | TAIF0 | チャンネル 0 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり |
| 0 | TSIF0 | チャンネル 0 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり |

注 1. 本ビットはグローバルリセットモードまたはチャンネルリセットモードで自動的にクリアされます。

TSIFm ビット

RSCAN0TMIECy レジスタの TMIE ビットが“1”（送信バッファ割り込みが許可）、かつ対応する RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが“10_B”（送信完了、アポート要求なし）、または“11_B”（送信完了、アポート要求あり）になると、TSIFm ビットは“1”になります。

TSIFm が“1”になる条件が成立している TMTRF[1:0] フラグをすべて“00_B”にすると、このフラグは“0”になります。また TMIE ビットを“0”にすることでも、このフラグは“0”になります。

TAIFm ビット

RSCAN0CmCTR レジスタの TAIE ビットが“1”（送信アポート割り込み許可）、かつ RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが“01_B”（送信アポート完了）になると、TAIFm ビットは“1”になります。

送信アポートを完了した TMTRF[1:0] フラグをすべて“00_B”にすると、このフラグは“0”になります。

TQIFm ビット

RSCAN0TXQCCm レジスタの TXQIE ビットが“1” (送信キュー割り込み許可)、かつ *RSCAN0TXQSTSm* レジスタの TXQIF が“1” (送信キュー割り込み要求あり) になると TQIFm ビットは“1”になります。

RSCAN0TXQSTSm レジスタの TXQIF ビット (送信キュー割り込み要求) を“0”にすると、このビットは“0”になります。TXQIE ビットを“0”にすることも、このフラグは“0”になります。

CFTIFm ビット

RSCAN0CFCCk レジスタの CFTXIE ビットが“1” (送受信 FIFO 送信割り込み許可)、かつ *RSCAN0CFSTSk* レジスタの CFTXIF ビットが“1” (送受信 FIFO 送信割り込み要求あり) になると CFTIFm ビットは“1”になります。

RSCAN0CFSTSk レジスタのすべての CFTXIF ビットを“0”にすると、このビットは“0”になります。CFTXIE ビットを“0”にすることも、このフラグは“0”になります。

THIFm ビット

RSCAN0THLCCm レジスタの THLIE ビットが“1” (送信履歴割り込み許可)、かつ *RSCAN0THLSTSm* レジスタの THLIF ビットが“1” (送信履歴割り込み要求あり) になると、THIFm ビットは“1”になります。

RSCAN0THLSTSm レジスタの THLIF ビットを“0”にすると、このビットは“0”になります。THLIE ビットを“0”にすることも、このフラグは“0”になります。

16.3.2.10 RSCAN0GTSC — グローバルタイムスタンプカウンタレジスタ

アクセス 16、32ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0094_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TS[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.24 RSCAN0GTSC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|----------|---|
| 31 ~ 16 | — | 予約ビット 読むと“0”が読み出されます。 |
| 15 ~ 0 | TS[15:0] | タイムスタンプ値 タイムスタンプ用カウンタの値が読めます。 カウンタ値：0000 _H ~ FFFF _H |

TS[15:0] ビット

TS[15:0] ビットを読むと、その時点のタイムスタンプカウンタ（16ビットフリーランカウンタ）の値が読めます。SOFを検出したとき、TS[15:0] ビットの値がキャプチャされ、その後、受信バッファまたはFIFOバッファに格納されます。タイムスタンプカウンタは、グローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- RSCAN0GCFG レジスタの TSSS ビットが“0” (pclk) の場合：
グローバル動作モードへ遷移したときに、カウント開始。
グローバルストップモードまたはグローバルテストモードで、カウント停止。
- TSSS ビットが“1” (CANm ビットタイムクロック) の場合：
対応するチャンネルがチャンネル通信モードへ遷移したときに、カウント開始。
対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードで、カウント停止。

16.3.2.11 RSCAN0GAFLECTR — 受信ルールエントリ制御レジスタ

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0098_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|------------|----|----|----|-------------|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | AFLDA E | — | — | — | AFLPN [4:0] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W | R | R | R | R/W | R/W | R/W | R/W | R/W |

表 16.25 RSCAN0GAFLECTR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------------|--|
| 31～9 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 8 | AFLDAE | 受信ルールテーブル書き込み許可ビット 0: 受信ルールテーブル書き込み禁止 1: 受信ルールテーブル書き込み許可 |
| 7～5 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 4～0 | AFLPN [4:0] | 受信ルールテーブルページ番号設定ビット ページ0 (00000 _B) からページ15 (01111 _B) の範囲で選択 |

AFLDAE ビット

“0”にすると、受信ルールテーブルへの書き込みを禁止します。受信ルールテーブルへの書き込みが完了したあと、“0”にして、受信ルールテーブルへの書き込みを禁止してください。“0”にしても、受信ルールテーブルの読み出しは可能です。

AFLDAE ビットはグローバルリセットモードでのみ“1”にしてください。

AFLPN[4:0] ビット

受信ルールテーブルのページ番号を設定します。1ページにつき、16個の受信ルールを設定できます。

“00000_B”～“01111_B”以外の値を設定しないでください。

16.3.2.12 RSCAN0GAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 009C_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|-----|-----|-----|-----|-----|-----|-----------|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RNC0[7:0] | | | | | | | | RNC1[7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RNC2[7:0] | | | | | | | | RNC3[7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 16.26 RSCAN0GAFLCFG0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|--|
| 31 ~ 24 | RNC0[7:0] | チャンネル 0 用ルール数 チャンネル 0 の受信ルール数を設定してください。 |
| 23 ~ 16 | RNC1[7:0] | チャンネル 1 用ルール数 チャンネル 1 の受信ルール数を設定してください。 |
| 15 ~ 8 | RNC2[7:0] | チャンネル 2 用ルール数 チャンネル 2 の受信ルール数を設定してください。 |
| 7 ~ 0 | RNC3[7:0] | チャンネル 3 用ルール数 チャンネル 3 の受信ルール数を設定してください。 |

RSCAN0GAFLCFG0 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 × (チャンネル数) です。各チャンネルの受信ルール数は、次の条件を満たしてください。

- 1チャンネルのルール数は 128 以下である。
- 各チャンネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC0[7:0] ビット

チャンネル 0 の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

RNC1[7:0] ビット

チャンネル 1 の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

RNC2[7:0] ビット

チャンネル 2 の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

RNC3[7:0] ビット

チャンネル3の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H以外の値を設定しないでください。

16.3.2.13 RSCAN0GAFLIDj — 受信ルール ID レジスタ (j = 0 ~ 15)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0500_H + (j × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------------|-------------|------------|---------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | GAFLID E | GAFLR TR | GAFL LB | GAFLID[28:16] | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | GAFLID[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 16.27 RSCAN0GAFLIDj レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------|--|
| 31 | GAFLIDE | IDE 選択ビット 0: 標準 ID 1: 拡張 ID |
| 30 | GAFLRTR | RTR 選択ビット 0: データフレーム 1: リモートフレーム |
| 29 | GAFLLB | 受信ルール対象メッセージ選択ビット 0: ほかの CAN ノードが送信したメッセージを受信時 1: みずからが送信したメッセージを受信時 |
| 28 ~ 0 | GAFLID[28:0] | ID 設定ビット 受信ルールの ID を設定してください。 標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は "0" にしてください。 |

RSCAN0GAFLIDj レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが“1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLIDE ビット

受信ルールの ID フォーマット（標準 ID または拡張 ID）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

GAFLRTR ビット

受信ルールのフレームフォーマット（データフレームまたはリモートフレーム）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLLB ビット

“0”にすると、ほかの CAN ノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

ミラー機能使用時に“1”にすると、みずからが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

GAFLID[28:0] ビット

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

16.3.2.14 RSCAN0GAFLMj — 受信ルールマスクレジスタ (j = 0 ~ 15)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0504_H + (j × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----------------|----------|-----|-----------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | GAFLIDEM | GAFLRTRM | — | GAFLIDM [28:16] | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | GAFLIDM [15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 16.28 RSCAN0GAFLMj レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|----------------|--|
| 31 | GAFLIDEM | IDE マスクビット 0: IDE ビットを比較しない 1: IDE ビットを比較する |
| 30 | GAFLRTRM | RTR マスクビット 0: RTR ビットを比較しない 1: RTR ビットを比較する |
| 29 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 28 ~ 0 | GAFLIDM [28:0] | ID マスクビット 0: 対応する ID ビットを比較しない 1: 対応する ID ビットを比較する |

RSCAN0GAFLMj レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが“1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLIDEM ビット

“1”にすると、RSCAN0GAFLIDj レジスタの GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

“0”にすると、すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを“0”にする場合は、GAFLIDM[28:0] ビットをすべて“0”にしてください。

GAFLRTRM ビット

受信ルールの RTR ビットをマスクするビットです。

GAFLIDM[28:0] ビット

受信ルールの対応する ID ビットをマスクするビットです。

16.3.2.15 RSCAN0GAFLP0j — 受信ルールポインタ 0 レジスタ (j = 0 ~ 15)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0508_H + (j × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|---------------|----------------|-----|-----|----------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | GAFLDLC [3:0] | | | | GAFLPTR [11:0] | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | GAFLR MV | GAFLRMDP [6:0] | | | | | | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R |

表 16.29 RSCAN0GAFLP0j レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|----------------|---|
| 31 ~ 28 | GAFLDLC [3:0] | 受信ルール DLC 設定ビット b31 b30 b29 b28 0 0 0 0 : DLC チェックしない 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト |
| 27 ~ 16 | GAFLPTR [11:0] | 受信ルールラベル設定ビット 12 ビットのラベル情報を設定 |
| 15 | GAFLRMV | 受信バッファ許可ビット 0 : 受信バッファを使用しない 1 : 受信バッファを使用する |
| 14 ~ 8 | GAFLRMDP [6:0] | 受信バッファ番号選択ビット 受信メッセージを格納する受信バッファの番号を設定 |
| 7 ~ 0 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |

RSCAN0GAFLP0j レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが“1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLDLC[3:0] ビット

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0] ビットで設定した値以上の場合、DLC チェックを通過します。“0000_B”を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

GAFLPTR[11:0] ビット

フィルタを通過したメッセージに添付する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に添付されます。

GAFLRMV ビット

“1”にすると、GAFLRMDP[6:0] ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

GAFLRMDP[6:0] ビット

GAFLRMV ビットを“1”にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。*RSCANORMNB* レジスタの *NRXMB*[7:0] ビットで設定した値より小さい番号を設定してください。

16.3.2.16 RSCAN0GAFLP1j — 受信ルールポインタ 1 レジスタ (j = 0 ~ 15)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 050C_H + (j × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|----------------|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | GAFLFDP[19:16] | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | GAFLFDP [15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 16.30 RSCAN0GAFLP1j レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|----------------|---|
| 31 ~ 20 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 19 ~ 0 | GAFLFDP [19:0] | FIFO バッファ y 選択ビット (y = 0 ~ 19) y = 0 ~ 7 0: 受信 FIFO バッファ y を選択しない 1: 受信 FIFO バッファ y を選択する y = 8 ~ 19 0: 送受信 FIFO バッファ y-8 を選択しない 1: 送受信 FIFO バッファ y-8 を選択する |

RSCAN0GAFLP1j レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが“1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLFDP [19:0] ビット

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 8 つの FIFO バッファが選択できます。ただし、RSCAN0GAFLP0j レジスタの GAFLRMV ビットを“1”（受信バッファにメッセージを格納する）にした場合は、最大 7 つの FIFO バッファが選択できます。受信 FIFO バッファと、RSCAN0CFCK レジスタの CFM[1:0] ビットを“00_B”（受信モード）または“10_B”（ゲートウェイモード）に設定した送受信 FIFO バッファのみ選択できます。

16.3.2.17 RSCAN0RMNB — 受信バッファナンバレジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 00A4_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|-------------|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | NRXMB [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 16.31 RSCAN0RMNB レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|---|
| 31 ~ 8 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 7 ~ 0 | NRXMB [7:0] | 受信バッファ数設定ビット 受信バッファ数を設定する。 0 ~ 64 の範囲で設定してください。 |

RSCAN0RMNB レジスタはグローバルリセットモードでのみ書き換えてください。

NRXMB[7:0] ビット

RS-CAN モジュール全体の受信バッファ数を設定します。最大値は、16 × (チャンネル数) です。

“0”を設定すると、受信バッファは使用できません。

16.3.2.18 RSCAN0RMNDy — 受信バッファ新データレジスタ (y = 0, 1)

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 00A8_H + (y × 0004_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RMNSq (q = y × 32 + 31) | RMNSq (q = y × 32 + 30) | RMNSq (q = y × 32 + 29) | RMNSq (q = y × 32 + 28) | RMNSq (q = y × 32 + 27) | RMNSq (q = y × 32 + 26) | RMNSq (q = y × 32 + 25) | RMNSq (q = y × 32 + 24) | RMNSq (q = y × 32 + 23) | RMNSq (q = y × 32 + 22) | RMNSq (q = y × 32 + 21) | RMNSq (q = y × 32 + 20) | RMNSq (q = y × 32 + 19) | RMNSq (q = y × 32 + 18) | RMNSq (q = y × 32 + 17) | RMNSq (q = y × 32 + 16) |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RMNSq (q = y × 32 + 15) | RMNSq (q = y × 32 + 14) | RMNSq (q = y × 32 + 13) | RMNSq (q = y × 32 + 12) | RMNSq (q = y × 32 + 11) | RMNSq (q = y × 32 + 10) | RMNSq (q = y × 32 + 9) | RMNSq (q = y × 32 + 8) | RMNSq (q = y × 32 + 7) | RMNSq (q = y × 32 + 6) | RMNSq (q = y × 32 + 5) | RMNSq (q = y × 32 + 4) | RMNSq (q = y × 32 + 3) | RMNSq (q = y × 32 + 2) | RMNSq (q = y × 32 + 1) | RMNSq (q = y × 32 + 0) |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 16.32 RSCAN0RMNDy レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------|---|
| 31 ~ 16 | RMNSq | 受信バッファ受信完了フラグ q (q = y × 32 + 31 ~ y × 32 + 16) 0: 受信バッファ q に新しいメッセージなし 1: 受信バッファ q に新しいメッセージあり |
| 15 ~ 0 | RMNSq | 受信バッファ受信完了フラグ q (q = y × 32 + 15 ~ y × 32 + 0) 0: 受信バッファ q に新しいメッセージなし 1: 受信バッファ q に新しいメッセージあり |

RSCAN0RMNDy レジスタは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

RMNSq フラグ (q = 0 ~ 63)

対応する受信バッファにメッセージを格納する処理が始まると“1”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。本レジスタにビット操作命令でライトすると、リードモディファイライト動作により意図せずフラグをクリアしてしまう可能性があるためご注意ください。メッセージ格納中は“0”にできません。メッセージを格納する時間は pclk の 10 クロック分です。

グローバルリセットモード時、“0”になります。

16.3.2.19 RSCAN0RMIDq — 受信バッファ ID レジスタ (q = 0 ~ 63)

アクセス 8、16、32 ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0600_H + (q × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|-------|----|--------------|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RMIDE | RMRTR | — | RMID [28:16] | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RMID [15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.33 RSCAN0RMIDq レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|--|
| 31 | RMIDE | 受信バッファ IDE ビット 0: 標準 ID 1: 拡張 ID |
| 30 | RMRTR | 受信バッファ RTR ビット 0: データフレーム 1: リモートフレーム |
| 29 | — | 予約ビット 読むと "0" が読み出されます。 |
| 28 ~ 0 | RMID [28:0] | 受信バッファ ID データ 受信メッセージの標準 ID / 拡張 ID が読めます。 標準 ID の場合は、b10 ~ b0 を読んでください。b28 ~ b11 は "0" が読めます。 |

RMIDE ビット

受信バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

RMRTR ビット

受信バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

RMID[28:0] ビット

受信バッファに格納されたメッセージの ID を示します。

16.3.2.20 RSCAN0RMPTRq — 受信バッファポインタレジスタ (q = 0 ~ 63)

アクセス 8、16、32 ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0604_H + (q × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|----|----|----|--------------|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RMDLC [3:0] | | | | RMPTR [11:0] | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RMTS [15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.34 RSCAN0RMPTRq レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|--------------|---|
| 31 ~ 28 | RMDLC [3:0] | 受信バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : データバイトなし 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト |
| 27 ~ 16 | RMPTR [11:0] | 受信バッファラベルデータ 受信メッセージのラベル情報が読めます。 |
| 15 ~ 0 | RMTS [15:0] | 受信バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。 |

RMDLC[3:0] ビット

受信バッファに格納されたメッセージのデータ長を示します。

RMPTR[11:0] ビット

受信バッファに格納されたメッセージのラベル情報を示します。

RMTS[15:0] ビット

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

16.3.2.21 RSCAN0RMDF0q — 受信バッファデータフィールド0レジスタ (q = 0 ~ 63)

アクセス 8、16、32ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0608_H + (q × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|----|----|----|----|----|----|----|-------------|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RMDB3 [7:0] | | | | | | | | RMDB2 [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RMDB1 [7:0] | | | | | | | | RMDB0 [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.35 RSCAN0RMDF0q レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|-----------------------------|
| 31 ~ 24 | RMDB3 [7:0] | 受信バッファデータバイト3 |
| 23 ~ 16 | RMDB2 [7:0] | 受信バッファデータバイト2 |
| 15 ~ 8 | RMDB1 [7:0] | 受信バッファデータバイト1 |
| 7 ~ 0 | RMDB0 [7:0] | 受信バッファデータバイト0 |
| | | 受信バッファに格納されたメッセージのデータが読めます。 |

RSCAN0RMPTR_q レジスタの RMDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

16.3.2.22 RSCAN0RMDF1q — 受信バッファデータフィールド1レジスタ (q = 0 ~ 63)

アクセス 8、16、32ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 060C_H + (q × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|----|----|----|----|----|----|----|-------------|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RMDB7 [7:0] | | | | | | | | RMDB6 [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RMDB5 [7:0] | | | | | | | | RMDB4 [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.36 RSCAN0RMDF1q レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|-----------------------------|
| 31 ~ 24 | RMDB7 [7:0] | 受信バッファデータバイト7 |
| 23 ~ 16 | RMDB6 [7:0] | 受信バッファデータバイト6 |
| 15 ~ 8 | RMDB5 [7:0] | 受信バッファデータバイト5 |
| 7 ~ 0 | RMDB4 [7:0] | 受信バッファデータバイト4 |
| | | 受信バッファに格納されたメッセージのデータが読めます。 |

RSCAN0RMPTR_q レジスタの RMDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

16.3.2.23 RSCAN0RFCCx — 受信 FIFO バッファコンフィグレーション/制御レジスタ (x = 0 ~ 7)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 00B8_H + (x × 0004_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------------|-----|-----|------|----|------------|-----|-----|----|----|----|----|----|----|------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RFIGCV [2:0] | | | RFIM | — | RFDC [2:0] | | | — | — | — | — | — | — | RFIE | RFE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W | R | R | R | R | R | R | R/W | R/W |

表 16.37 RSCAN0RFCCx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|--------------|---|
| 31 ~ 16 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 15 ~ 13 | RFIGCV [2:0] | 受信 FIFO 割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0: FIFO バッファに 1/8 までメッセージ格納時 0 0 1: FIFO バッファに 2/8 までメッセージ格納時 0 1 0: FIFO バッファに 3/8 までメッセージ格納時 0 1 1: FIFO バッファに 4/8 までメッセージ格納時 1 0 0: FIFO バッファに 5/8 までメッセージ格納時 1 0 1: FIFO バッファに 6/8 までメッセージ格納時 1 1 0: FIFO バッファに 7/8 までメッセージ格納時 1 1 1: FIFO バッファがフルのとき |
| 12 | RFIM | 受信 FIFO 割り込み要因選択ビット 0: RFIGCV[2:0] ビットで設定した条件に達したときに発生 1: 1メッセージ受信完了ごとに発生 |
| 11 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 10 ~ 8 | RFDC [2:0] | 受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0: 0メッセージ 0 0 1: 4メッセージ 0 1 0: 8メッセージ 0 1 1: 16メッセージ 1 0 0: 32メッセージ 1 0 1: 48メッセージ 1 1 0: 64メッセージ 1 1 1: 128メッセージ |
| 7 ~ 2 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 1 | RFIE | 受信 FIFO 割り込み許可ビット 0: 受信 FIFO 割り込み禁止 1: 受信 FIFO 割り込み許可 |
| 0 | RFE | 受信 FIFO バッファ許可ビット 0: 受信 FIFO バッファを使用しない 1: 受信 FIFO バッファを使用する |

RFIGCV[2:0] ビット

RFIM ビットを“0”にした場合の受信 FIFO 割り込み要求発生タイミングを選択します。RFDC[2:0] ビットで設定した格納可能なメッセージ数に対して、分数で指定した割合のメッセージが格納されると割り込み要求が発生します。

RFDC[2:0] ビットを“001_B” (4 メッセージ) に設定した場合は、RFIGCV[2:0] ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFDC[2:0] ビット

1 つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000_B” に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIE ビット

“1”にすると、受信 FIFO 割り込みが使用できます。RFE ビットが“0” (受信 FIFO バッファを使用しない) のときに、RFIE ビットを書き換えてください。

RFE ビット

“1”にすると、受信 FIFO バッファが使用できます。“0”にすると、*RSCANORFSTSx* レジスタの RFEMP フラグが“1” (バッファ空) になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

16.3.2.24 RSCAN0RFSTSx — 受信 FIFO バッファステータスレジスタ (x = 0 ~ 7)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 00D8_H + (x × 0004_H)

リセット後の値 0000 0001_H

| | | | | | | | | | | | | | | | | |
|---------|-----------|----|----|----|----|----|----|----|----|----|----|------|-----------|-----------|-------|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RFMC[7:0] | | | | | | | — | — | — | — | RFIF | RFMLT | RFFLL | RFEMP | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W 注1 | R/W 注1 | R | R |

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.38 RSCAN0RFSTSx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|---|
| 31 ~ 16 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 15 ~ 8 | RFMC[7:0] | 受信 FIFO 未読メッセージ数表示カウンタ 受信 FIFO バッファに格納された未読メッセージ数を示します。 |
| 7 ~ 4 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 3 | RFIF | 受信 FIFO 割り込み要求フラグ 0: 受信 FIFO 割り込み要求なし 1: 受信 FIFO 割り込み要求あり |
| 2 | RFMLT | 受信 FIFO メッセージロストフラグ 0: 受信 FIFO メッセージロストなし 1: 受信 FIFO メッセージロスト |
| 1 | RFFLL | 受信 FIFO バッファフルステータスフラグ 0: 受信 FIFO バッファフルではない 1: 受信 FIFO バッファフル |
| 0 | RFEMP | 受信 FIFO バッファ空ステータスフラグ 0: 受信 FIFO バッファに未読メッセージあり 1: 受信 FIFO バッファに未読メッセージなし (バッファ空) |

RFMC[7:0] フラグ

受信 FIFO バッファ内の未読メッセージ数を示します。RSCAN0RFCCx レジスタの RFE ビットを“0”にすると、“00_H”になります。

RFIF フラグ

RSCAN0RFCCx レジスタの RFIGCV[2:0] ビットと RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに“1”になります。RFIF フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

RFMLT フラグ

受信 FIFO バッファがフルの場合に、新しいメッセージを格納しようとしたとき“1”になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。

このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

RFFLL フラグ

受信 FIFO バッファに格納されたメッセージ数が、*RSCAN0RFCCx* レジスタの RFDC[2:0] ビットで設定した段数と一致すると“1”になります。

受信 FIFO バッファに格納されたメッセージ数が、RFDC[2:0] ビットで設定した段数より小さくなると“0”になります。また、*RSCAN0RFCCx* レジスタの RFE ビットが“0”（受信 FIFO バッファを使用しない）のとき、またはグローバルリセットモード時に“0”になります。

RFEMP フラグ

受信 FIFO バッファのすべてのメッセージを読むと“1”になります。また、*RSCAN0RFCCx* レジスタの RFE ビットが“0”のとき、またはグローバルリセットモード時に“1”になります。

受信メッセージが1つでも受信 FIFO バッファに格納されると“0”になります。

備 考

RFMLT もしくは RFIF フラグを“0”にする場合は、対象フラグには“0”を、それ以外のフラグには“1”を、ストア命令を使用して書いてください。本レジスタにビット操作命令でライトすると、リードモディファイライト動作により意図せずフラグをクリアしてしまう可能性があるのでご注意ください。

16.3.2.25 RSCAN0RFPCTR_x — 受信 FIFO バッファポインタ制御レジスタ (x = 0 ~ 7)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 00F8_H + (x × 0004_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|------------|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | RFPC [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | W | W | W | W | W | W | W | W |

表 16.39 RSCAN0RFPCTR_x レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------|--|
| 31 ~ 8 | — | 予約ビット 書き込みは“0”としてください。 |
| 7 ~ 0 | RFPC [7:0] | 受信 FIFO ポインタ制御 “FF _H ”を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。 |

RFPC[7:0] ビット

RFPC[7:0] ビットに“FF_H”を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCAN0RFSTS_x レジスタの RFMC[7:0] ビット (受信 FIFO 未読メッセージ数表示カウンタ) の値が 1 減算されます。RSCAN0RFID、RSCAN0RFPTR、RSCAN0RFDF0、RSCAN0RFDF1 レジスタを読んで受信 FIFO バッファのメッセージを読み出したあと、RFPC[7:0] ビットに“FF_H”を書いてください。

RSCAN0RFCC_x レジスタの RFE ビットが“1” (受信 FIFO バッファを使用する) で、RSCAN0RFSTS_x レジスタの RFEMP フラグが“0” (未読メッセージあり) のときに、“FF_H”を書いてください。

16.3.2.26 RSCAN0RFIDx — 受信 FIFO バッファアクセス ID レジスタ (x = 0 ~ 7)

アクセス 8、16、32 ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0E00_H + (x × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|-------|----|--------------|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RFIDE | RFRTR | — | RFID [28:16] | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RFID [15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.40 RSCAN0RFIDx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|--|
| 31 | RFIDE | 受信 FIFO バッファ IDE ビット 0: 標準 ID 1: 拡張 ID |
| 30 | RFRTR | 受信 FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム |
| 29 | — | 予約ビット 読むと“0”が読み出されます。 |
| 28 ~ 0 | RFID [28:0] | 受信 FIFO バッファ ID データ 受信メッセージの標準 ID / 拡張 ID が読めます。 標準 ID の場合は、b10 ~ b0 を読んでください。b28 ~ b11 は“0”が読めます。 |

RFIDE ビット

受信 FIFO バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

RFRTR ビット

受信 FIFO バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。

RFID[28:0] ビット

受信 FIFO バッファに格納されたメッセージの ID を示します。

16.3.2.27 RSCAN0RFPTRx — 受信 FIFO バッファアクセスポインタレジスタ (x = 0 ~ 7)

アクセス 8、16、32 ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0E04_H + (x × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|----|----|----|--------------|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RFDLC [3:0] | | | | RFPTR [11:0] | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RFTS [15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.41 RSCAN0RFPTRx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|--------------|---|
| 31 ~ 28 | RFDLC [3:0] | 受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト |
| 27 ~ 16 | RFPTR [11:0] | 受信 FIFO バッファラベルデータ 受信メッセージのラベル情報が読めます。 |
| 15 ~ 0 | RFTS [15:0] | 受信 FIFO バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。 |

RFDLC[3:0] ビット

受信 FIFO バッファに格納されたメッセージのデータ長を含んでいます。

RFPTR[11:0] ビット

受信 FIFO バッファに格納されたメッセージのラベル情報を含んでいます。

RFTS[15:0] ビット

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を含んでいます。

16.3.2.28 RSCAN0RFDF0x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ (x = 0 ~ 7)

アクセス 8、16、32 ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0E08_H + (x × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|----|----|----|----|----|----|----|-------------|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RFDB3 [7:0] | | | | | | | | RFDB2 [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RFDB1 [7:0] | | | | | | | | RFDB0 [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.42 RSCAN0RFDF0x レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|-----------------------------------|
| 31 ~ 24 | RFDB3 [7:0] | 受信 FIFO バッファデータバイト 3 |
| 23 ~ 16 | RFDB2 [7:0] | 受信 FIFO バッファデータバイト 2 |
| 15 ~ 8 | RFDB1 [7:0] | 受信 FIFO バッファデータバイト 1 |
| 7 ~ 0 | RFDB0 [7:0] | 受信 FIFO バッファデータバイト 0 |
| | | 受信 FIFO バッファに格納されたメッセージのデータが読めます。 |

RSCAN0RFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

16.3.2.29 RSCAN0RFDF1x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ (x = 0 ~ 7)

アクセス 8、16、32 ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0E0C_H + (x × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|----|----|----|----|----|----|----|-------------|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RFDB7 [7:0] | | | | | | | | RFDB6 [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RFDB5 [7:0] | | | | | | | | RFDB4 [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.43 RSCAN0RFDF1x レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|-----------------------------------|
| 31 ~ 24 | RFDB7 [7:0] | 受信 FIFO バッファデータバイト 7 |
| 23 ~ 16 | RFDB6 [7:0] | 受信 FIFO バッファデータバイト 6 |
| 15 ~ 8 | RFDB5 [7:0] | 受信 FIFO バッファデータバイト 5 |
| 7 ~ 0 | RFDB4 [7:0] | 受信 FIFO バッファデータバイト 4 |
| | | 受信 FIFO バッファに格納されたメッセージのデータが読めます。 |

RSCAN0RFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

16.3.2.30 RSCAN0CFCK — 送受信 FIFO バッファコンフィグレーション/制御レジスタ (k = 0 ~ 11)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0118_H + (k × 0004_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------------|-----|------|-----|------------|-----|-----|------------|-----|-----|-------|--------|----------|--------|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CFITT[7:0] | | | | | | | CFTML[3:0] | | | CFITR | CFITSS | CFM[1:0] | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CFIGCV [2:0] | | CFIM | — | CFDC [2:0] | | — | — | — | — | — | — | CFIXIE | CFRXIE | CFE | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W | R | R | R | R | R | R/W | R/W | R/W |

表 16.44 RSCAN0CFCK レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|--------------|--|
| 31 ~ 24 | CFITT[7:0] | メッセージの送信間隔を設定してください。 設定値 : 00 _H ~ FF _H |
| 23 ~ 20 | CFTML[3:0] | 送信バッファリンク設定ビット 送受信 FIFO バッファにリンクさせる送信バッファ番号を設定してください。 |
| 19 | CFITR | 送受信 FIFO インターバルタイム分解能 0 : pclk/2 を ITRCP [15:0] ビットで分周したクロック 1 : pclk/2 を ITRCP [15:0] ビットの値 × 10 で分周したクロック |
| 18 | CFITSS | 送受信 FIFO インターバルタイムクロックソース選択 0 : CFITR ビットで選択したクロックソース 1 : 関連チャンネルのビットタイムクロック |
| 17 ~ 16 | CFM[1:0] | 送受信 FIFO モード選択ビット b17 b16 0 0 : 受信モード 0 1 : 送信モード 1 0 : ゲートウェイモード 1 1 : 設定しないでください |
| 15 ~ 13 | CFIGCV [2:0] | 送受信 FIFO 受信割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0 : FIFO バッファに 1/8 までメッセージ格納時 0 0 1 : FIFO バッファに 2/8 までメッセージ格納時 0 1 0 : FIFO バッファに 3/8 までメッセージ格納時 0 1 1 : FIFO バッファに 4/8 までメッセージ格納時 1 0 0 : FIFO バッファに 5/8 までメッセージ格納時 1 0 1 : FIFO バッファに 6/8 までメッセージ格納時 1 1 0 : FIFO バッファに 7/8 までメッセージ格納時 1 1 1 : FIFO バッファがフルのとき |

表 16.44 RSCAN0CFCK レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|--------|------------|---|
| 12 | CFIM | 送受信 FIFO 割り込み要因選択ビット 0 : <ul style="list-style-type: none"> 受信モード、ゲートウェイモード時 受信メッセージ数が CFIGCV[2:0] ビットで設定した条件に達したとき、FIFO 受信割り込み要求発生 送信モード、ゲートウェイモード時 メッセージ送信完了によってバッファが空になったとき、FIFO 送信割り込み要求発生 1 : <ul style="list-style-type: none"> 受信モード、ゲートウェイモード時 1 メッセージ受信ごとに FIFO 受信割り込み要求発生 送信モード、ゲートウェイモード時 1 メッセージ送信が完了するごとに FIFO 送信割り込み要求発生 |
| 11 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 10 ~ 8 | CFDC [2:0] | 送受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0 : 0 メッセージ 0 0 1 : 4 メッセージ 0 1 0 : 8 メッセージ 0 1 1 : 16 メッセージ 1 0 0 : 32 メッセージ 1 0 1 : 48 メッセージ 1 1 0 : 64 メッセージ 1 1 1 : 128 メッセージ |
| 7 ~ 3 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 2 | CFTXIE | 送受信 FIFO 送信割り込み許可ビット 0 : 送受信 FIFO 送信割り込み禁止 1 : 送受信 FIFO 送信割り込み許可 |
| 1 | CFRXIE | 送受信 FIFO 受信割り込み許可ビット 0 : 送受信 FIFO 受信割り込み禁止 1 : 送受信 FIFO 受信割り込み許可 |
| 0 | CFE | 送受信 FIFO バッファ許可ビット 0 : 送受信 FIFO バッファを使用しない 1 : 送受信 FIFO バッファを使用する |

CFITT[7:0] ビット

CFM[1:0] ビットを“01_B” (送信モード) または“10_B” (ゲートウェイモード) に設定した送受信 FIFO バッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFE ビットを“0” (送受信 FIFO バッファを使用しない) にしてから、CFITT[7:0] ビットを書き換えてください。

CFTML[3:0] ビット

CFM[1:0] ビットを“01_B” (送信モード) または“10_B” (ゲートウェイモード) に設定した場合、送受信 FIFO バッファ k にリンクさせる送信バッファ番号を設定します。チャンネル当たり 3 つの送受信 FIFO バッファがあり、FIFO バッファ k が割り当てられているチャンネル番号 m は、k/3 の整商となります。FIFO バッファ k にリンクされる実際の送信バッファ番号 p は、(16 × m) + CFTML[3:0] となります。

送受信 FIFO バッファ k と送信バッファ p の関係は、表 16.11 および表 16.12 を参照してください。

CFDC[2:0] ビットを“001_B”以上にすると、CFTML[3:0] ビットの設定が有効になります。

同一チャネルの送信キュー、またはその他の送受信 FIFO バッファに既に割り当てられている送信バッファにはリンクしないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFITR ビット

CFITSS ビットが“0”のとき、有効です。

“0”のとき、インターバルタイマクロックソースは、 $pclk/2$ を *RSCAN0GCFG* レジスタの ITRCP [15:0] ビットで分周したクロックとなります。

“1”のとき、インターバルタイマクロックソースは、 $pclk/2$ を *RSCAN0GCFG* レジスタの ITRCP [15:0] ビットの値×10 で分周したクロックとなります。

CFE ビットが“0”（送受信 FIFO バッファを使用しない）の状態、CFITR ビットを書き換えてください。

CFITSS ビット

“0”のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。

“1”のとき、FIFO にリンクしているチャネルのビットタイムクロックがインターバルタイマのカウントソースになります。

CFE ビットが“0”（送受信 FIFO バッファを使用しない）の状態、CFITSS ビットを書き換えてください。

CFM[1:0] ビット

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0] ビット

CFM[1:0] ビットが“00_B”（受信モード）または“10_B”（ゲートウェイモード）のとき、CFIM ビットを“0”にした場合の送受信 FIFO 受信割り込み要求発生タイミングを選択します。CFDC[2:0] ビットで設定した格納可能なメッセージ数に対して、分数で指定した割合のメッセージが格納されると割り込み要求が発生します。

CFDC[2:0] ビットを“001_B”（4 メッセージ）に設定した場合は、CFIGCV[2:0] ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFDC[2:0] ビット

1 つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000_B”に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFTXIE ビット

このビットを“1”に設定し、*RSCAN0CFSTSk* レジスタの CFTXIF フラグが“1”になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが“0”（送受信 FIFO バッファを使用しない）の状態で、CFTXIE ビットを書き換えてください。

CFRXIE ビット

このビットを“1”に設定し、*RSCAN0CFSTSk* レジスタの CFRXIF フラグが“1”になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが“0”の状態で、CFRXIE ビットを書き換えてください。

CFE ビット

“1”にすると、送受信 FIFO バッファを使用できます。

“0”にすると、送信モードまたはゲートウェイモードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトラジョンロストのあとに、空になります。それ以外の場合、または受信モードでは直ちに空になります。

このビットは、次に示す条件で“0”になります。

- 受信モード時: グローバルリセットモード
- 送信モードまたはゲートウェイモード時: チャンネルリセットモード

このビットは、次に示すモードで書き換えてください。

- 受信モード: グローバル動作モードまたはグローバルテストモード
- 送信モードまたはゲートウェイモード: チャンネル通信モードまたはチャンネル待機モード

16.3.2.31 RSCAN0CFSTSk — 送受信 FIFO バッファステータスレジスタ (k = 0 ~ 11)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0178_H + (k × 0004_H)

リセット後の値 0000 0001_H

| | | | | | | | | | | | | | | | | |
|---------|------------|----|----|----|----|----|----|----|----|----|--------|-----------|-----------|-----------|-------|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CFMC [7:0] | | | | | | | — | — | — | CFTXIF | CFRXIF | CFMLT | CFLL | CFEMP | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R/W 注1 | R/W 注1 | R/W 注1 | R | R |

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.45 RSCAN0CFSTSk レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------------|---|
| 31 ~ 16 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 15 ~ 8 | CFMC [7:0] | 送受信 FIFO メッセージ数表示カウンタ 送受信 FIFO バッファに格納されたメッセージ数を示します。 |
| 7 ~ 5 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 4 | CFTXIF | 送受信 FIFO 送信割り込み要求フラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり |
| 3 | CFRXIF | 送受信 FIFO 受信割り込み要求フラグ 0: 送受信 FIFO 受信割り込み要求なし 1: 送受信 FIFO 受信割り込み要求あり |
| 2 | CFMLT | 送受信 FIFO メッセージロストフラグ 0: 送受信 FIFO メッセージロストなし 1: 送受信 FIFO メッセージロスト |
| 1 | CFLL | 送受信 FIFO バッファフルステータスフラグ 0: 送受信 FIFO バッファフルではない 1: 送受信 FIFO バッファフル |
| 0 | CFEMP | 送受信 FIFO バッファ空ステータスフラグ 0: 送受信 FIFO バッファにメッセージあり 1: 送受信 FIFO バッファにメッセージなし（バッファ空） |

CFMC[7:0] ビット

CFMC[7:0] ビットが示す値は、RSCAN0CFCCk レジスタの CFM[1:0] ビットの設定により次のようになります。

- CFM[1:0] ビットが“01_B”（送信モード）の場合：バッファに格納した未送信メッセージ数
- CFM[1:0] ビットが“00_B”（受信モード）の場合：バッファに格納された未読の受信メッセージ数
- CFM[1:0] ビットが“10_B”（ゲートウェイモード）の場合：バッファに格納された受信メッセージの内、未送信のメッセージ数

このビットは、次に示す条件で“0”になります。

- CFM[1:0] ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：チャンネルリセットモード

CFTXIF フラグ

次の条件で、CFTXIF フラグは“1”になります。

- CFM[1:0] ビットが“01_B”または“10_B”で、RSCAN0CFCCk レジスタのCFIM ビットで選択した要因が発生したとき

次の条件で、CFTXIF フラグは“0”になります。

- CFTXIF フラグへの“0”書き込み
- CFM[1:0] ビットが“00_B”の場合：グローバル・リセット・モード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：チャンネル・リセット・モード

このフラグは、グローバル動作モードまたはグローバル・テスト・モードで“0”を書いてください。

CFRXIF フラグ

次の条件で、CFRXIF フラグは“1”になります。

- CFM[1:0] ビットが“00_B”または“10_B”で、RSCAN0CFCCk レジスタのCFIM ビットで選択した要因が発生したとき

次の条件で、CFRXIF フラグは“0”になります。

- CFRXIF フラグへの“0”書き込み
- CFM[1:0] ビットが“00_B”の場合：グローバル・リセット・モード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：チャンネル・リセット・モード

このフラグは、グローバル動作モードまたはグローバル・テスト・モードで“0”を書いてください。

CFMLT フラグ

次の条件で、CFMLT フラグは“1”になります。

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLT フラグは“0”になります。

- CFMLT フラグへの“0”書き込み
- CFM[1:0] ビットが“00_B”の場合：グローバル・リセット・モード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：チャンネル・リセット・モード

このフラグは、グローバル動作モードまたはグローバル・テスト・モードで“0”を書いてください。

CFLL フラグ

次の条件で、CFLL フラグは“1”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、*RSCAN0CFCCk* レジスタの CFDC[2:0] ビットで設定した段数と一致したとき

次の条件で、CFLL フラグは“0”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、CFDC[2:0] ビットで設定した段数より小さくなったとき
- *RSCAN0CFCCk* レジスタの CFE ビットが“0” (送受信 FIFO バッファを使用しない) の場合：送信アポート中でないとき
- CFM[1:0] ビットが“00_B”の場合：グローバル・リセット・モード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：チャンネル・リセット・モード

CFEMP フラグ

次の条件で、CFEMP フラグは“1”になります。

- CFM[1:0] ビットが“00_B”の場合：
全メッセージを読み出したとき、またはグローバル・リセット・モード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：
すべてのメッセージを送信したとき、またはチャンネル・リセット・モード
- CFE ビットが“0” (送受信 FIFO バッファを使用しない) の場合：
送信アポート中でないとき

次の条件で、CFEMP フラグは“0”になります。

- CFM[1:0] ビットが“00_B”または“10_B”の場合：
受信メッセージが1つでも送受信 FIFO バッファに格納されたとき
- CFM[1:0] ビットが“01_B”の場合：
RSCAN0CFIDk、*RSCAN0CFPTRk*、*RSCAN0CFDF0k*、*RSCAN0CFDF1k* レジスタに書いてから、*RSCAN0CFPCTRk* レジスタに“FF_H”を書いたとき

備 考

CFTXIF, CFRXIF, CFMLT フラグを“0”にする場合は、プログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、それ以外のフラグには“1”を書いてください。本レジスタにビット操作命令でライトすると、リードモディファイライト動作により意図せずフラグをクリアしてしまう可能性があるご注意ください。

16.3.2.32 RSCAN0CFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ (k = 0 ~ 11)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 01D8_H + (k × 0004_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|------------|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | CFPC [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | W | W | W | W | W | W | W | W |

表 16.46 RSCAN0CFPCTRk レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------|--|
| 31 ~ 8 | — | 予約ビット 書き込みは“0”としてください。 |
| 7 ~ 0 | CFPC [7:0] | 送受信 FIFO ポインタ制御 <ul style="list-style-type: none"> 受信モード時 “FF_H”を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。 送信モード時 “FF_H”を書くと、送受信 FIFO バッファの次の段にライトポインタが移動します。 ゲートウェイモード時 設定しないでください。 |

CFPC[7:0] ビット

- 受信モード (RSCAN0FCCK レジスタの CFM[1:0] ビットが “00_B”) のとき：
CFPC[7:0] ビットに “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCAN0CFSTSk レジスタの CFMC[7:0] ビット (送受信 FIFO メッセージ数表示カウンタ) の値が 1 減算されます。RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタを読んで送受信 FIFO バッファからメッセージを読み出したあと、CFPC[7:0] ビットに “FF_H” を書いてください。
RSCAN0FCCK レジスタの CFE ビットが “1” (送受信 FIFO バッファを使用する) で、RSCAN0CFSTSk レジスタの CFEMP フラグが “0” (メッセージあり) のとき、“FF_H” を書いてください。
- 送信モード (RSCAN0FCCK レジスタの CFM[1:0] ビットが “01_B”) のとき：
CFPC[7:0] ビットに “FF_H” を書くと、RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFMC[7:0] ビットの値が 1 加算されます。RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに送信メッセージを書いた後に、CFPC[7:0] ビットに “FF_H” を書いてください。
RSCAN0FCCK レジスタの CFE ビットが “1” で、RSCAN0CFSTSk レジスタの CFFLL フラグが “0” (フルではない) のとき、“FF_H” を書いてください。

- ゲートウェイモード (*RSCAN0CFCK* レジスタの *CFM[1:0]* ビットが “10_B”) のとき :
設定しないでください。

16.3.2.33 RSCAN0CFIDk — 送受信 FIFO バッファアクセス ID レジスタ (k = 0 ~ 11)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0E80_H + (k × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|-------|-------|--------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CFIDE | CFRTR | THLEN | CFID [28:16] | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CFID [15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 16.47 RSCAN0CFIDk レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|--|
| 31 | CFIDE | 送受信 FIFO バッファ IDE ビット 0: 標準 ID 1: 拡張 ID |
| 30 | CFRTR | 送受信 FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム |
| 29 | THLEN | 送信履歴データ格納許可ビット CFM[1:0] ビットが“01 _B ” (送信モード) 時のみ有効 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する |
| 28 ~ 0 | CFID [28:0] | 送受信 FIFO バッファ ID データ <ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 標準 ID または拡張 ID を設定してください。標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は“0”にしてください。 CFM[1:0] ビットが“00_B” (受信モード) 時 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10 ~ b0 を読んでください。b28 ~ b11 は“0”が読めます。 |

RSCAN0CFCCk レジスタの CFM[1:0] ビットが“01_B” (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0] ビットが“00_B” (受信モード) の場合のみ、このレジスタを読めます。CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

CFIDE ビット

CFM[1:0] ビットが“00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット (標準 ID または拡張 ID) を示します。CFM[1:0] ビットが“01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

CFRTR ビット

CFM[1:0] ビットが“00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット (データフレームまたはリモートフレーム) を示します。CFM[1:0] ビットが“01_B” のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1”にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ）が送信履歴バッファに格納されます。

CFM[1:0] ビットが“01_B”（送信モード）のときに、有効になります。

CFID[28:0] ビット

CFM[1:0] ビットが“00_B”のとき、送受信 FIFO バッファに格納された受信メッセージの ID を含んでいます。

CFM[1:0] ビットが“01_B”のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

16.3.2.34 RSCAN0CFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ (k = 0 ~ 11)

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0E84_H + (k × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|-----|-----|-----|--------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CFDLC [3:0] | | | | CFPTR [11:0] | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CFTS [15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 16.48 RSCAN0CFPTRk レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|--------------|---|
| 31 ~ 28 | CFDLC [3:0] | 送受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト |
| 27 ~ 16 | CFPTR [11:0] | 送受信 FIFO バッファラベルデータ <ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 送信履歴バッファに格納するラベル情報を設定してください。 CFPTR[7:0] のみ有効です。 CFM[1:0] ビットが“00_B” (受信モード) 時 受信メッセージのラベル情報が読めます。 |
| 15 ~ 0 | CFTS [15:0] | 送受信 FIFO バッファタイムスタンプデータ CFM[1:0] ビットが“00 _B ” (受信モード) 時のみ有効 受信メッセージのタイムスタンプ値が読めます。 |

RSCAN0CFCCk レジスタの CFM[1:0] ビットが“01_B” (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0] ビットが“00_B” (受信モード) の場合のみ、このレジスタを読めます。CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

CFDLC[3:0] ビット

CFM[1:0] ビットが“00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFM[1:0] ビットが“01_B” のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、実際に送られるデータは 8 バイトになります。

CFPTR[11:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0] ビットが “01_B” のとき、メッセージ送信が完了した場合、CFPTR[7:0] ビットの値が送信履歴に格納されます。

CFTS[15:0] ビット

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

CFM[1:0] ビットが “00_B” のときに、有効になります。

16.3.2.35 RSCAN0CFDF0k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ (k = 0 ~ 11)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0E88_H + (k × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|-----|-----|-----|-----|-----|-----|-----|-------------|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CFDB3 [7:0] | | | | | | | | CFDB2 [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CFDB1 [7:0] | | | | | | | | CFDB0 [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 16.49 RSCAN0CFDF0k レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|-----------------------|
| 31 ~ 24 | CFDB3 [7:0] | 送受信 FIFO バッファデータバイト 3 |
| 23 ~ 16 | CFDB2 [7:0] | 送受信 FIFO バッファデータバイト 2 |
| 15 ~ 8 | CFDB1 [7:0] | 送受信 FIFO バッファデータバイト 1 |
| 7 ~ 0 | CFDB0 [7:0] | 送受信 FIFO バッファデータバイト 0 |

- CFM[1:0] ビットが“01_B” (送信モード) 時
送受信 FIFO バッファのデータを設定してください。
- CFM[1:0] ビットが“00_B” (受信モード) 時
送受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCAN0CFCCk レジスタの CFM[1:0] ビットが“01_B”の場合のみ、このレジスタに書けます。

CFM[1:0] ビットが“00_B”の場合のみ、このレジスタを読めます。RSCAN0CFPTRk レジスタの CFDLC[3:0] ビットの値が“1000_B”未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

16.3.2.36 RSCAN0CFDF1k — 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ (k = 0 ~ 11)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0E8C_H + (k × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|-----|-----|-----|-----|-----|-----|-----|-------------|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CFDB7 [7:0] | | | | | | | | CFDB6 [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CFDB5 [7:0] | | | | | | | | CFDB4 [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 16.50 RSCAN0CFDF1k レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|---|
| 31 ~ 24 | CFDB7 [7:0] | 送受信 FIFO バッファデータバイト 7 |
| 23 ~ 16 | CFDB6 [7:0] | 送受信 FIFO バッファデータバイト 6 |
| 15 ~ 8 | CFDB5 [7:0] | 送受信 FIFO バッファデータバイト 5 |
| 7 ~ 0 | CFDB4 [7:0] | 送受信 FIFO バッファデータバイト 4 |
| | | <ul style="list-style-type: none"> CFM[1:0] ビットが “01_B” (送信モード) 時 送受信 FIFO バッファのデータを設定してください。 CFM[1:0] ビットが “00_B” (受信モード) 時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。 |

RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01_B” の場合のみ、このレジスタに書けます。

CFM[1:0] ビットが “00_B” の場合のみ、このレジスタを読めます。RSCAN0CFPTRk レジスタの CFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

CFM[1:0] ビットが “10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

16.3.2.37 RSCAN0FESTS — FIFO エンプティステータスレジスタ

アクセス 8、16、32ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0238_H

リセット後の値 007F FFFF_H

| | | | | | | | | | | | | | | | | |
|---------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|---------|---------|--------|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | CF11EMP | CF10EMP | CF9EMP | CF8EMP |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CF7EMP | CF6EMP | CF5EMP | CF4EMP | CF3EMP | CF2EMP | CF1EMP | CF0EMP | RF7EMP | RF6EMP | RF5EMP | RF4EMP | RF3EMP | RF2EMP | RF1EMP | RF0EMP |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.51 RSCAN0FESTS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------|--|
| 31 ~ 23 | — | 予約ビット。読むと“0”が読み出されます。 |
| 22 ~ 20 | — | 予約ビット。読むと“1”が読み出されます。 |
| 19 | CF11EMP | 送受信 FIFO バッファエンプティステータスフラグ 0: 送受信 FIFO バッファ k にメッセージあり 1: 送受信 FIFO バッファ k にメッセージなし (k = 0 ~ 11) |
| 18 | CF10EMP | |
| 17 | CF9EMP | |
| 16 | CF8EMP | |
| 15 | CF7EMP | |
| 14 | CF6EMP | |
| 13 | CF5EMP | |
| 12 | CF4EMP | |
| 11 | CF3EMP | |
| 10 | CF2EMP | |
| 9 | CF1EMP | |
| 8 | CF0EMP | |
| 7 | RF7EMP | 受信 FIFO バッファエンプティステータスフラグ 0: 受信 FIFO バッファ x に未読メッセージあり 1: 受信 FIFO バッファ x に未読メッセージなし (x = 0 ~ 7) |
| 6 | RF6EMP | |
| 5 | RF5EMP | |
| 4 | RF4EMP | |
| 3 | RF3EMP | |
| 2 | RF2EMP | |
| 1 | RF1EMP | |
| 0 | RF0EMP | |

RSCAN0FESTS レジスタは、グローバルリセットモード時、“007F FFFF_H”になります。

CFkEMP フラグ (k = 0 ~ 11)

RSCAN0CFSTSk レジスタの CFEMP フラグが“1”（メッセージなし）になると、CFkEMP フラグは“1”になります。CFEMP フラグが“0”（メッセージあり）になると、CFkEMP フラグは“0”になります。

RFxEMP フラグ (x = 0 ~ 7)

RSCAN0RFSTSx レジスタの *RFEMP* フラグが“1” (未読メッセージなし) になると、*RFxEMP* フラグは“1”になります。*RFEMP* フラグが“0” (未読メッセージあり) になると、*RFxEMP* フラグは“0”になります。

16.3.2.38 RSCAN0FFSTS — FIFO フルステータスレジスタ

アクセス 8、16、32 ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 023C_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|---------|---------|--------|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | CF11FLL | CF10FLL | CF9FLL | CF8FLL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CF7FLL | CF6FLL | CF5FLL | CF4FLL | CF3FLL | CF2FLL | CF1FLL | CF0FLL | RF7FLL | RF6FLL | RF5FLL | RF4FLL | RF3FLL | RF2FLL | RF1FLL | RF0FLL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.52 RSCAN0FFSTS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------|---|
| 31 ~ 20 | — | 予約ビット。読むと“0”が読み出されます。 |
| 19 | CF11FLL | 送受信 FIFO バッファフルステータスフラグ 0: 送受信 FIFO バッファ k はフルではない 1: 送受信 FIFO バッファ k はフル (k = 0 ~ 11) |
| 18 | CF10FLL | |
| 17 | CF9FLL | |
| 16 | CF8FLL | |
| 15 | CF7FLL | |
| 14 | CF6FLL | |
| 13 | CF5FLL | |
| 12 | CF4FLL | |
| 11 | CF3FLL | |
| 10 | CF2FLL | |
| 9 | CF1FLL | |
| 8 | CF0FLL | |
| 7 | RF7FLL | 受信 FIFO バッファフルステータスフラグ 0: 受信 FIFO バッファ x はフルではない 1: 受信 FIFO バッファ x はフル (x = 0 ~ 7) |
| 6 | RF6FLL | |
| 5 | RF5FLL | |
| 4 | RF4FLL | |
| 3 | RF3FLL | |
| 2 | RF2FLL | |
| 1 | RF1FLL | |
| 0 | RF0FLL | |

RSCAN0FFSTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkFLL フラグ (k = 0 ~ 11)

RSCAN0CFSTS_k レジスタの CFLL フラグが“1” (バッファフル) になると、CFkFLL フラグは“1”になります。

CFLL フラグが“0” (送受信 FIFO がバッファフルでない) になると、CFkFLL フラグは“0”になります。

RFxFLl フラグ (x = 0 ~ 7)

RSCAN0RFSTSx レジスタの RFFLL フラグが“1” (バッファフル) になると、RFxFLl フラグは“1”になります。RFFLL フラグが“0” (バッファフルでない) になると、RFxFLl フラグは“0”になります。

16.3.2.39 RSCAN0FMSTS — FIFO メッセージロストステータスレジスタ

アクセス 8、16、32ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0240_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|---------|---------|--------|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | CF11MLT | CF10MLT | CF9MLT | CF8MLT |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CF7MLT | CF6MLT | CF5MLT | CF4MLT | CF3MLT | CF2MLT | CF1MLT | CF0MLT | RF7MLT | RF6MLT | RF5MLT | RF4MLT | RF3MLT | RF2MLT | RF1MLT | RF0MLT |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.53 RSCAN0FMSTS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------|---|
| 31 ~ 20 | — | 予約ビット。読むと“0”が読み出されます。 |
| 19 | CF11MLT | 送受信 FIFO バッファメッセージロストステータスフラグ 0: 送受信 FIFO バッファ k メッセージロストなし 1: 送受信 FIFO バッファ k メッセージロスト (k = 0 ~ 11) |
| 18 | CF10MLT | |
| 17 | CF9MLT | |
| 16 | CF8MLT | |
| 15 | CF7MLT | |
| 14 | CF6MLT | |
| 13 | CF5MLT | |
| 12 | CF4MLT | |
| 11 | CF3MLT | |
| 10 | CF2MLT | |
| 9 | CF1MLT | |
| 8 | CF0MLT | |
| 7 | RF7MLT | 受信 FIFO バッファメッセージロストステータスフラグ 0: 受信 FIFO バッファ x メッセージロストなし 1: 受信 FIFO バッファ x メッセージロスト (x = 0 ~ 7) |
| 6 | RF6MLT | |
| 5 | RF5MLT | |
| 4 | RF4MLT | |
| 3 | RF3MLT | |
| 2 | RF2MLT | |
| 1 | RF1MLT | |
| 0 | RF0MLT | |

RSCAN0FMSTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkMLT フラグ (k = 0 ~ 11)

RSCAN0CFSTSk レジスタの CFMLT フラグが“1” (メッセージロスト) になると、CFkMLT フラグは“1”になります。

CFMLT フラグを“0”にすると、CFkMLT フラグは“0”になります。

RFxMLT フラグ (x = 0 ~ 7)

RSCAN0RFSTSx レジスタの RFMLT フラグが“1” (メッセージロスト) になると、RFxMLT フラグは“1”になります。RFMLT フラグを“0”にすると、RFxMLT フラグは“0”になります。

16.3.2.40 RSCAN0RFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ

アクセス 8、16、32 ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0244_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|-------|-------|-------|-------|-------|-------|-------|-------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | RF7IF | RF6IF | RF5IF | RF4IF | RF3IF | RF2IF | RF1IF | RF0IF |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.54 RSCAN0RFISTS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|---|
| 31 ~ 8 | — | 予約ビット 読むと“0”が読み出されます。 |
| 7 | RF7IF | 受信 FIFO バッファ割り込み要求ステータスフラグ 0: 受信 FIFO バッファ x 割り込み要求なし 1: 受信 FIFO バッファ x 割り込み要求あり (x = 0 ~ 7) |
| 6 | RF6IF | |
| 5 | RF5IF | |
| 4 | RF4IF | |
| 3 | RF3IF | |
| 2 | RF2IF | |
| 1 | RF1IF | |
| 0 | RF0IF | |

RSCAN0RFISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

RFxIF フラグ (x = 0 ~ 7)

RSCAN0RFISTS_x レジスタの RFIF フラグが“1”（割り込み要求あり）になると、RFxIF フラグは“1”になります。RFIF フラグを“0”にすると、RFxIF フラグは“0”になります。

16.3.2.41 RSCAN0CFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ

アクセス 8、16、32 ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0248_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----------|----------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | CF11RXIF | CF10RXIF | CF9RXIF | CF8RXIF | CF7RXIF | CF6RXIF | CF5RXIF | CF4RXIF | CF3RXIF | CF2RXIF | CF1RXIF | CF0RXIF |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.55 RSCAN0CFRISTS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|----------|---|
| 31 ~ 12 | — | 予約ビット 読むと“0”が読み出されます。 |
| 11 | CF11RXIF | 送受信 FIFO バッファ受信割り込み要求ステータスフラグ 0: 送受信 FIFO バッファ k 受信割り込み要求なし 1: 送受信 FIFO バッファ k 受信割り込み要求あり (k = 0 ~ 11) |
| 10 | CF10RXIF | |
| 9 | CF9RXIF | |
| 8 | CF8RXIF | |
| 7 | CF7RXIF | |
| 6 | CF6RXIF | |
| 5 | CF5RXIF | |
| 4 | CF4RXIF | |
| 3 | CF3RXIF | |
| 2 | CF2RXIF | |
| 1 | CF1RXIF | |
| 0 | CF0RXIF | |

RSCAN0CFRISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkRXIF フラグ (k = 0 ~ 11)

RSCAN0CFRISTS レジスタの CFRXIF フラグが“1”（割り込み要求あり）になると、CFkRXIF フラグは“1”になります。CFRXIF フラグを“0”にすると、CFkRXIF フラグは“0”になります。

16.3.2.42 RSCAN0CFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ

アクセス 8、16、32 ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 024C_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----------|----------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | CF11TXIF | CF10TXIF | CF9TXIF | CF8TXIF | CF7TXIF | CF6TXIF | CF5TXIF | CF4TXIF | CF3TXIF | CF2TXIF | CF1TXIF | CF0TXIF |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.56 RSCAN0CFTISTS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|----------|--|
| 31 ~ 12 | — | 予約ビット。読むと“0”が読み出されます。 |
| 11 | CF11TXIF | 送受信 FIFO バッファ 送信割り込み要求ステータスフラグ 0: 送受信 FIFO バッファ k 送信割り込み要求なし 1: 送受信 FIFO バッファ k 送信割り込み要求あり (k = 0 ~ 11) |
| 10 | CF10TXIF | |
| 9 | CF9TXIF | |
| 8 | CF8TXIF | |
| 7 | CF7TXIF | |
| 6 | CF6TXIF | |
| 5 | CF5TXIF | |
| 4 | CF4TXIF | |
| 3 | CF3TXIF | |
| 2 | CF2TXIF | |
| 1 | CF1TXIF | |
| 0 | CF0TXIF | |

RSCAN0CFTISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkTXIF フラグ (k = 0 ~ 11)

RSCAN0CFSTSk レジスタの CFTXIF フラグが“1”（割り込み要求あり）になると、CFkTXIF フラグは“1”になります。CFTXIF フラグを“0”にすると、CFkTXIF フラグは“0”になります。

16.3.2.43 RSCAN0TMCp — 送信バッファ制御レジスタ (p = 0 ~ 63)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0250_H + (p × 0001_H)

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|------|-------------------|-------------------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | TMOM | TMTAR | TMTR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R/W | R/W ^{注1} | R/W ^{注1} |

注1. このビットへの書き込みは、ビットセットする(“1”にする)動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.57 RSCAN0TMCp レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 7 ~ 3 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 2 | TMOM | ワンショット送信許可ビット 0: ワンショット送信禁止 1: ワンショット送信許可 |
| 1 | TMTAR | 送信アポート要求ビット 0: 送信アポートを要求しない 1: 送信アポートを要求する |
| 0 | TMTR | 送信要求ビット 0: 送信を要求しない 1: 送信を要求する |

RSCAN0TMCp レジスタが次の条件を満たす場合は、“00_H”にしてください。

- RSCAN0CFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファ番号に対応する RSCAN0TMCp レジスタ (p = m × 16 + CFTML[3:0] ビットの値)
- RSCAN0TXQCCm レジスタ (m = 0 ~ 3) の TXQDC[3:0] ビットで送信キューに割り当てた送信バッファに対応する RSCAN0TMCp レジスタ (p = (m × 16 + 15) ~ (m × 16 + 15 - TXQDC[3:0] ビットの値))

RSCAN0TMCp レジスタのビットは、チャンネルリセットモード時に“0”になります。

RSCAN0TMCp レジスタは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。

TMOM ビット

“1”にすると、ワンショット送信が許可されます。送信に失敗しても、CAN プロトコルに規定された再送信を行いません。

TMOM ビットは、RSCAN0TMSTSp レジスタの TMTRM フラグが“0”のときに書き換えてください。TMOM ビットに“1”を書く場合は、TMTR ビットと同時に“1”を書いてください。

TMTAR ビット

“1”にすると、送信バッファに格納されたメッセージの送信アポート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアポートできません。

TMTR ビットが“1”のとき、TMTAR ビットを“1”にできます。

TMTAR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき

“0”になるタイミングと“1”を書くタイミングが同じ場合、“0”になります。

TMTR ビット

“1”にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”にできません。

- 送信が完了したとき
- TMTAR ビットを“1”にし、送信アボートが完了したとき
- TMOM ビットが“1”の状態、エラーまたはアービトレーションロストを検出したとき

RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが“00_B”のときに、TMTR ビットを“1”に設定してください。

16.3.2.44 RSCAN0TMSTSp — 送信バッファステータスレジスタ (p = 0 ~ 63)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 02D0_H + (p × 0001_H)

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|--------|-------|------------|-----|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | TMTARM | TMTRM | TMTRF[1:0] | | TMTSTS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R/W | R/W | R |

表 16.58 RSCAN0TMSTSp レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|---|
| 7 ~ 5 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 4 | TMTARM | 送信バッファ送信アポート要求ステータスフラグ 0: 送信アポート要求なし 1: 送信アポート要求あり |
| 3 | TMTRM | 送信バッファ送信要求ステータスフラグ 0: 送信要求なし 1: 送信要求あり |
| 2, 1 | TMTRF[1:0] | 送信バッファ送信結果フラグ b2 b1 0 0: 送信中、または送信要求なし 0 1: 送信アポート完了 1 0: 送信完了 (送信アポート要求なし) 1 1: 送信完了 (送信アポート要求あり) |
| 0 | TMTSTS | 送信バッファ送信ステータスフラグ 0: 送信中ではない 1: 送信中 |

RSCAN0TMSTSp レジスタのビットは、チャンネルリセットモード時に“0”になります。

TMTARM フラグ

RSCAN0TMCp レジスタの TMTAR ビットを“1”にすると、TMTARM フラグは“1”になります。

RSCAN0TMCp レジスタの TMTAR ビットが“0”になると、TMTARM フラグは“0”になります。

TMTRM フラグ

RSCAN0TMCp レジスタの TMTR ビットを“1”にすると、TMTRM フラグは“1”になります。

RSCAN0TMCp レジスタの TMTR ビットが“0”になると、TMTRM フラグは“0”になります。

TMTRF[1:0] フラグ

送信バッファからの送信結果を示します。

00_B: 送信中または送信要求なし。

01_B: 送信バッファからの送信がアポートされた。

10_B: RSCAN0TMCp レジスタの TMTAR ビットが“0” (送信アポートを要求しない) で、送信が完了した。

11_B : *RSCAN0TMCp* レジスタの TMTAR ビットが “1” (送信アボートを要求する) で、送信が完了した。

TMTRF[1:0] フラグは、チャンネル通信モードまたはチャンネル待機モードで “00_B” を書いてください。“00_B” 以外の値は書かないでください。

TMTSTS フラグ

送信バッファからの送信が開始すると、“1” になります。送信バッファからの送信が完了、またはバスエラーやアービトラージロストにより中断されると、“0” になります。

16.3.2.45 RSCAN0TMTRSTSy — 送信バッファ送信要求ステータスレジスタ ($y = 0, 1$)

アクセス 8、16、32ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0350_H + ($y \times 0004$ _H)

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|
| | TMTRST Sp ($p = y$ $\times 32 + 31$) | TMTRST Sp ($p = y$ $\times 32 + 30$) | TMTRST Sp ($p = y$ $\times 32 + 29$) | TMTRST Sp ($p = y$ $\times 32 + 28$) | TMTRST Sp ($p = y$ $\times 32 + 27$) | TMTRST Sp ($p = y$ $\times 32 + 26$) | TMTRST Sp ($p = y$ $\times 32 + 25$) | TMTRST Sp ($p = y$ $\times 32 + 24$) | TMTRST Sp ($p = y$ $\times 32 + 23$) | TMTRST Sp ($p = y$ $\times 32 + 22$) | TMTRST Sp ($p = y$ $\times 32 + 21$) | TMTRST Sp ($p = y$ $\times 32 + 20$) | TMTRST Sp ($p = y$ $\times 32 + 19$) | TMTRST Sp ($p = y$ $\times 32 + 18$) | TMTRST Sp ($p = y$ $\times 32 + 17$) | TMTRST Sp ($p = y$ $\times 32 + 16$) |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TMTRST Sp ($p = y$ $\times 32 +$) | TMTRST Sp ($p = y$ $\times 32 +$) | TMTRST Sp ($p = y$ $\times 32 +$) | TMTRST Sp ($p = y$ $\times 32 +$) | TMTRST Sp ($p = y$ $\times 32 +$) | TMTRST Sp ($p = y$ $\times 32 +$) | TMTRST Sp ($p = y$ $\times 32 + 9$) | TMTRST Sp ($p = y$ $\times 32 + 8$) | TMTRST Sp ($p = y$ $\times 32 + 7$) | TMTRST Sp ($p = y$ $\times 32 + 6$) | TMTRST Sp ($p = y$ $\times 32 + 5$) | TMTRST Sp ($p = y$ $\times 32 + 4$) | TMTRST Sp ($p = y$ $\times 32 + 3$) | TMTRST Sp ($p = y$ $\times 32 + 2$) | TMTRST Sp ($p = y$ $\times 32 + 1$) | TMTRST Sp ($p = y$ $\times 32 + 0$) |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.59 RSCAN0TMTRSTSy レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|----------|---|
| 31 ~ 16 | TMTRSTSp | 送信バッファ送信要求ステータスフラグ p ($p = y \times 32 + 31 \sim y \times 32 + 16$) 0: 送信要求なし 1: 送信要求あり |
| 15 ~ 0 | TMTRSTSp | 送信バッファ送信要求ステータスフラグ p ($p = y \times 32 + 15 \sim y \times 32 + 0$) 0: 送信要求なし 1: 送信要求あり |

TMTRSTSp フラグ ($p = 0 \sim 63$)

RSCAN0TMCp レジスタの TMTR ビットの状態を示します。

TMTR ビットを“1” (送信を要求する) にすると、対応する TMTRSTSp フラグは“1”になります。

TMTR ビットが“0” (送信を要求しない) になると、対応する TMTRSTSp フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

表 16.60 にビット配置を示します。

表 16.60 TMTRSTSp ビット配置 (1/2)

| ビット位置 | チャンネル | 送信バッファ番号 |
|-------|-------|----------|
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| . | . | . |
| 15 | 0 | 15 |
| 16 | 1 | 0 |
| . | . | . |
| 30 | 1 | 14 |
| 31 | 1 | 15 |
| 32 | 2 | 0 |
| 33 | 2 | 1 |

表 16.60 TMTRSTSp ビット配置 (2/2)

| ビット位置 | チャンネル | 送信バッファ番号 |
|-------|-------|----------|
| . | . | . |
| . | . | . |
| 47 | 2 | 15 |
| 48 | 3 | 0 |
| . | . | . |
| . | . | . |
| 62 | 3 | 14 |
| 63 | 3 | 15 |

16.3.2.46 RSCAN0TMTARSTSy — 送信バッファ送信アポート要求ステータスレジスタ (y = 0, 1)

アクセス 8、16、32ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0360_H + (y × 0004_H)

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|---------------------------|---------------------------|---------------------------|---------------------------|---------------------------|---------------------------|---------------------------|---------------------------|---------------------------|---------------------------|---------------------------|---------------------------|---------------------------|---------------------------|---------------------------|---------------------------|
| | TMTARSTSp (p=y × 32 + 31) | TMTARSTSp (p=y × 32 + 30) | TMTARSTSp (p=y × 32 + 29) | TMTARSTSp (p=y × 32 + 28) | TMTARSTSp (p=y × 32 + 27) | TMTARSTSp (p=y × 32 + 26) | TMTARSTSp (p=y × 32 + 25) | TMTARSTSp (p=y × 32 + 24) | TMTARSTSp (p=y × 32 + 23) | TMTARSTSp (p=y × 32 + 22) | TMTARSTSp (p=y × 32 + 21) | TMTARSTSp (p=y × 32 + 20) | TMTARSTSp (p=y × 32 + 19) | TMTARSTSp (p=y × 32 + 18) | TMTARSTSp (p=y × 32 + 17) | TMTARSTSp (p=y × 32 + 16) |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|---------------------------|---------------------------|---------------------------|---------------------------|---------------------------|---------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|
| | TMTARSTSp (p=y × 32 + 15) | TMTARSTSp (p=y × 32 + 14) | TMTARSTSp (p=y × 32 + 13) | TMTARSTSp (p=y × 32 + 12) | TMTARSTSp (p=y × 32 + 11) | TMTARSTSp (p=y × 32 + 10) | TMTARSTSp (p=y × 32 + 9) | TMTARSTSp (p=y × 32 + 8) | TMTARSTSp (p=y × 32 + 7) | TMTARSTSp (p=y × 32 + 6) | TMTARSTSp (p=y × 32 + 5) | TMTARSTSp (p=y × 32 + 4) | TMTARSTSp (p=y × 32 + 3) | TMTARSTSp (p=y × 32 + 2) | TMTARSTSp (p=y × 32 + 1) | TMTARSTSp (p=y × 32 + 0) |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.61 RSCAN0TMTARSTSy レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|--|
| 31 ~ 16 | TMTARSTSp | 送信バッファ送信アポート要求ステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信アポート要求なし 1: 送信アポート要求あり |
| 15 ~ 0 | TMTARSTSp | 送信バッファ送信アポート要求ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信アポート要求なし 1: 送信アポート要求あり |

TMTARSTSp フラグ (p = 0 ~ 63)

RSCAN0TMCp レジスタの TMTAR ビットの状態を示します。

TMTAR ビットを“1” (送信アポートを要求する) にすると、対応する TMTARSTSp フラグは“1”になります。

TMTAR ビットが“0” (送信アポートを要求しない) になると、対応する TMTARSTSp フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

表 16.62 にビット配置を示します。

表 16.62 TMTARSTSp ビット配置 (1/2)

| ビット位置 | チャンネル | 送信バッファ番号 |
|-------|-------|----------|
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| . | . | . |
| 15 | 0 | 15 |
| 16 | 1 | 0 |
| . | . | . |
| 30 | 1 | 14 |
| 31 | 1 | 15 |
| 32 | 2 | 0 |
| 33 | 2 | 1 |

表 16.62 TMTARSTSp ビット配置 (2/2)

| ビット位置 | チャンネル | 送信バッファ番号 |
|-------|-------|----------|
| . | . | . |
| . | . | . |
| 47 | 2 | 15 |
| 48 | 3 | 0 |
| . | . | . |
| . | . | . |
| 62 | 3 | 14 |
| 63 | 3 | 15 |

16.3.2.47 RSCAN0TMCSTSy — 送信バッファ送信完了ステータスレジスタ ($y = 0, 1$)

アクセス 8、16、32ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0370_H + ($y \times 0004$ _H)

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|
| | TMCSTSp ($p = y \times 32 + 31$) | TMCSTSp ($p = y \times 32 + 30$) | TMCSTSp ($p = y \times 32 + 29$) | TMCSTSp ($p = y \times 32 + 28$) | TMCSTSp ($p = y \times 32 + 27$) | TMCSTSp ($p = y \times 32 + 26$) | TMCSTSp ($p = y \times 32 + 25$) | TMCSTSp ($p = y \times 32 + 24$) | TMCSTSp ($p = y \times 32 + 23$) | TMCSTSp ($p = y \times 32 + 22$) | TMCSTSp ($p = y \times 32 + 21$) | TMCSTSp ($p = y \times 32 + 20$) | TMCSTSp ($p = y \times 32 + 19$) | TMCSTSp ($p = y \times 32 + 18$) | TMCSTSp ($p = y \times 32 + 17$) | TMCSTSp ($p = y \times 32 + 16$) |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|
| | TMCSTSp ($p = y \times 32 + 15$) | TMCSTSp ($p = y \times 32 + 14$) | TMCSTSp ($p = y \times 32 + 13$) | TMCSTSp ($p = y \times 32 + 12$) | TMCSTSp ($p = y \times 32 + 11$) | TMCSTSp ($p = y \times 32 + 10$) | TMCSTSp ($p = y \times 32 + 9$) | TMCSTSp ($p = y \times 32 + 8$) | TMCSTSp ($p = y \times 32 + 7$) | TMCSTSp ($p = y \times 32 + 6$) | TMCSTSp ($p = y \times 32 + 5$) | TMCSTSp ($p = y \times 32 + 4$) | TMCSTSp ($p = y \times 32 + 3$) | TMCSTSp ($p = y \times 32 + 2$) | TMCSTSp ($p = y \times 32 + 1$) | TMCSTSp ($p = y \times 32 + 0$) |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.63 RSCAN0TMCSTSy レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------|--|
| 31 ~ 16 | TMCSTSp | 送信バッファ送信完了ステータスフラグ p ($p = y \times 32 + 31 \sim y \times 32 + 16$) 0: 送信未完了 1: 送信完了 |
| 15 ~ 0 | TMCSTSp | 送信バッファ送信完了ステータスフラグ p ($p = y \times 32 + 15 \sim y \times 32 + 0$) 0: 送信未完了 1: 送信完了 |

TMCSTSp フラグ ($p = 0 \sim 63$)

RSCAN0TMCSTSp レジスタの TMTRF[1:0] フラグが “10_B” (送信完了、送信アポート要求なし) または “11_B” (送信完了、送信アポート要求あり) になると、対応する TMCSTSp フラグは “1” になります。

TMCSTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャンネルリセットモード時、“0” になります。

表 16.64 にビット配置を示します。

表 16.64 TMCSTSp ビット配置 (1/2)

| ビット位置 | チャンネル | 送信バッファ番号 |
|-------|-------|----------|
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| ⋮ | ⋮ | ⋮ |
| 15 | 0 | 15 |
| 16 | 1 | 0 |
| ⋮ | ⋮ | ⋮ |
| 30 | 1 | 14 |
| 31 | 1 | 15 |
| 32 | 2 | 0 |
| 33 | 2 | 1 |
| ⋮ | ⋮ | ⋮ |
| ⋮ | ⋮ | ⋮ |

表 16.64 TMTCSTSp ビット配置 (2/2)

| ビット位置 | チャンネル | 送信バッファ番号 |
|-------|-------|----------|
| 47 | 2 | 15 |
| 48 | 3 | 0 |
| . | . | . |
| 62 | 3 | 14 |
| 63 | 3 | 15 |

16.3.2.48 RSCAN0TMTASTSy—送信バッファ送信アボートステータスレジスタ (y = 0, 1)

アクセス 8、16、32ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 0380_H + (y × 0004_H)

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|
| | TMTAST Sp (p = y × 32 + 31) | TMTAST Sp (p = y × 32 + 30) | TMTAST Sp (p = y × 32 + 29) | TMTAST Sp (p = y × 32 + 28) | TMTAST Sp (p = y × 32 + 27) | TMTAST Sp (p = y × 32 + 26) | TMTAST Sp (p = y × 32 + 25) | TMTAST Sp (p = y × 32 + 24) | TMTAST Sp (p = y × 32 + 23) | TMTAST Sp (p = y × 32 + 22) | TMTAST Sp (p = y × 32 + 21) | TMTAST Sp (p = y × 32 + 20) | TMTAST Sp (p = y × 32 + 19) | TMTAST Sp (p = y × 32 + 18) | TMTAST Sp (p = y × 32 + 17) | TMTAST Sp (p = y × 32 + 16) |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TMTAST Sp (p = y × 32 + 15) | TMTAST Sp (p = y × 32 + 14) | TMTAST Sp (p = y × 32 + 13) | TMTAST Sp (p = y × 32 + 12) | TMTAST Sp (p = y × 32 + 11) | TMTAST Sp (p = y × 32 + 10) | TMTAST Sp (p = y × 32 + 9) | TMTAST Sp (p = y × 32 + 8) | TMTAST Sp (p = y × 32 + 7) | TMTAST Sp (p = y × 32 + 6) | TMTAST Sp (p = y × 32 + 5) | TMTAST Sp (p = y × 32 + 4) | TMTAST Sp (p = y × 32 + 3) | TMTAST Sp (p = y × 32 + 2) | TMTAST Sp (p = y × 32 + 1) | TMTAST Sp (p = y × 32 + 0) |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.65 RSCAN0TMTASTSy レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|----------|--|
| 31 ~ 16 | TMTASTSp | 送信バッファ送信アボートステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信アボートなし 1: 送信アボートあり |
| 15 ~ 0 | TMTASTSp | 送信バッファ送信アボートステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信アボートなし 1: 送信アボートあり |

TMTASTSp フラグ (p = 0 ~ 63)

RSCAN0TMTASTSp レジスタの TMTRF[1:0] フラグが “01_B” (送信アボート完了) になると、対応する TMTASTSp フラグは “1” になります。

TMTASTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャンネルリセットモード時、“0” になります。

表 16.66 にビット配置を示します。

表 16.66 TMTASTSp ビット配置 (1/2)

| ビット位置 | チャンネル | 送信バッファ番号 |
|-------|-------|----------|
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| . | . | . |
| 15 | 0 | 15 |
| 16 | 1 | 0 |
| . | . | . |
| 30 | 1 | 14 |
| 31 | 1 | 15 |
| 32 | 2 | 0 |
| 33 | 2 | 1 |
| . | . | . |
| . | . | . |
| 47 | 2 | 15 |

表 16.66 TMTASTSp ビット配置 (2/2)

| ビット位置 | チャンネル | 送信バッファ番号 |
|-------|-------|----------|
| 48 | 3 | 0 |
| . | . | . |
| 62 | 3 | 14 |
| 63 | 3 | 15 |

16.3.2.49 RSCAN0TMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ (y = 0, 1)

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0390_H + (y × 0004_H)

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|
| | TMIEp (p = y × 32 + 31) | TMIEp (p = y × 32 + 30) | TMIEp (p = y × 32 + 29) | TMIEp (p = y × 32 + 28) | TMIEp (p = y × 32 + 27) | TMIEp (p = y × 32 + 26) | TMIEp (p = y × 32 + 25) | TMIEp (p = y × 32 + 24) | TMIEp (p = y × 32 + 23) | TMIEp (p = y × 32 + 22) | TMIEp (p = y × 32 + 21) | TMIEp (p = y × 32 + 20) | TMIEp (p = y × 32 + 19) | TMIEp (p = y × 32 + 18) | TMIEp (p = y × 32 + 17) | TMIEp (p = y × 32 + 16) |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TMIEp (p = y × 32 + 15) | TMIEp (p = y × 32 + 14) | TMIEp (p = y × 32 + 13) | TMIEp (p = y × 32 + 12) | TMIEp (p = y × 32 + 11) | TMIEp (p = y × 32 + 10) | TMIEp (p = y × 32 + 9) | TMIEp (p = y × 32 + 8) | TMIEp (p = y × 32 + 7) | TMIEp (p = y × 32 + 6) | TMIEp (p = y × 32 + 5) | TMIEp (p = y × 32 + 4) | TMIEp (p = y × 32 + 3) | TMIEp (p = y × 32 + 2) | TMIEp (p = y × 32 + 1) | TMIEp (p = y × 32 + 0) |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 16.67 RSCAN0TMIECy レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------|---|
| 31 ~ 16 | TMIEp | 送信バッファ割り込み許可ビット p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信バッファ割り込み禁止 1: 送信バッファ割り込み許可 |
| 15 ~ 0 | TMIEp | 送信バッファ割り込み許可ビット p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信バッファ割り込み禁止 1: 送信バッファ割り込み許可 |

TMIEp ビット (p = 0 ~ 63)

このビットを“1”に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。

このビットは対応する RSCAN0TMSTSp レジスタの TMTRM フラグが“0” (送信要求なし) のときに書き換えてください。

送受信 FIFO バッファにリンクした送信バッファ、または送信キューに割り当てられた送信バッファに対応するビットは“0”にしてください。

表 16.68 にビット配置を示します。

表 16.68 TMIEp ビットの配置 (1/2)

| ビット位置 | チャンネル | 送信バッファ番号 |
|-------|-------|----------|
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| . | . | . |
| . | . | . |
| 15 | 0 | 15 |
| 16 | 1 | 0 |
| . | . | . |
| . | . | . |
| 30 | 1 | 14 |
| 31 | 1 | 15 |
| 32 | 2 | 0 |

表 16.68 TMIEp ビットの配置 (2/2)

| ビット位置 | チャンネル | 送信バッファ番号 |
|-------|-------|----------|
| 33 | 2 | 1 |
| . | . | . |
| 47 | 2 | 15 |
| 48 | 3 | 0 |
| . | . | . |
| 62 | 3 | 14 |
| 63 | 3 | 15 |

16.3.2.50 RSCAN0TMIDp — 送信バッファ ID レジスタ (p = 0 ~ 63)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 1000_H + (p × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|-------|-------|--------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TMIDE | TMRTR | THLEN | TMID [28:16] | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TMID [15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 16.69 RSCAN0TMIDp レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|--|
| 31 | TMIDE | 送信バッファ IDE ビット 0: 標準 ID 1: 拡張 ID |
| 30 | TMRTR | 送信バッファ RTR ビット 0: データフレーム 1: リモートフレーム |
| 29 | THLEN | 送信履歴データ格納許可ビット 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する |
| 28 ~ 0 | TMID [28:0] | 送信バッファ ID データ 標準 ID または拡張 ID を設定してください。 標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は "0" にしてください。 |

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが "0" (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャンネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMIDE ビット

送信バッファから送信するメッセージの ID フォーマットを設定します。

TMRTR ビット

送信バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

"1" にすると、送信が完了したあと、送信バッファラベルデータと送信元バッファ番号、タイプが送信履歴バッファに格納されます。

TMID[28:0] ビット

送信バッファから送信するメッセージの ID を設定します。

16.3.2.51 RSCAN0TMPTRp — 送信バッファポインタレジスタ (p = 0 ~ 63)

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 1004_H + (p × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|-----|-----|-----|----|----|----|----|-------------|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TMDLC [3:0] | | | | — | — | — | — | TMPTR [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.70 RSCAN0TMPTRp レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|--|
| 31 ~ 28 | TMDLC [3:0] | 送信バッファ DLC データ b31b30b29b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 x x x : 8 データバイト |
| 27 ~ 24 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 23 ~ 16 | TMPTR [7:0] | 送信バッファラベルデータ 送信履歴バッファに格納するラベル情報を設定してください。 |
| 15 ~ 0 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のとき書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMDLC[3:0] ビット

RSCAN0TMIDp レジスタの TMRTR ビットが“0”（データフレーム）のとき、送信バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、送信されるデータは、8 バイトになります。

TMRTR ビットが“1”（リモートフレーム）のとき、要求するメッセージのデータ長を設定します。

TMPTR[7:0] ビット

メッセージ送信が完了した場合、TMPTR[7:0] ビットの値が送信履歴バッファに格納されません。

16.3.2.52 RSCAN0TMDF0p — 送信バッファデータフィールド0レジスタ (p = 0 ~ 63)

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 1008_H + (p × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|-----|-----|-----|-----|-----|-----|-------------|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TMDB3 [7:0] | | | | | | | TMDB2 [7:0] | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TMDB1 [7:0] | | | | | | | TMDB0 [7:0] | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 16.71 RSCAN0TMDF0p レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|----------------------|
| 31 ~ 24 | TMDB3 [7:0] | 送信バッファデータバイト3 |
| 23 ~ 16 | TMDB2 [7:0] | 送信バッファデータバイト2 |
| 15 ~ 8 | TMDB1 [7:0] | 送信バッファデータバイト1 |
| 7 ~ 0 | TMDB0 [7:0] | 送信バッファデータバイト0 |
| | | 送信バッファのデータを設定してください。 |

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

16.3.2.53 RSCAN0TMDF1p — 送信バッファデータフィールド1レジスタ (p = 0 ~ 63)

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 100C_H + (p × 0010_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|-----|-----|-----|-----|-----|-----|-----|-------------|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TMDB7 [7:0] | | | | | | | | TMDB6 [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TMDB5 [7:0] | | | | | | | | TMDB4 [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 16.72 RSCAN0TMDF1p レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|----------------------|
| 31 ~ 24 | TMDB7 [7:0] | 送信バッファデータバイト7 |
| 23 ~ 16 | TMDB6 [7:0] | 送信バッファデータバイト6 |
| 15 ~ 8 | TMDB5 [7:0] | 送信バッファデータバイト5 |
| 7 ~ 0 | TMDB4 [7:0] | 送信バッファデータバイト4 |
| | | 送信バッファのデータを設定してください。 |

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

16.3.2.54 RSCAN0TXQCCm — 送信キューコンフィグレーション/制御レジスタ (m = 0 ~ 3)

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 03A0_H + (m × 0004_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|-------|-------|-------------|-----|-----|-----|----|----|----|----|----|----|----|------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | TXQIM | TXQIE | TXQDC [3:0] | | | — | — | — | — | — | — | — | — | TXQE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R/W |

表 16.73 RSCAN0TXQCCm レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|--|
| 31 ~ 14 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 13 | TXQIM | 送信キュー割り込み要因選択ビット 0: 送信完了によって送信キューが空になったときに発生 1: 1メッセージ送信完了ごとに発生 |
| 12 | TXQIE | 送信キュー割り込み許可ビット 0: 送信キュー割り込み禁止 1: 送信キュー割り込み許可 |
| 11 ~ 8 | TXQDC [3:0] | 送信キュー段数設定ビット 設定値を g (g = 2 ~ 15) とすると、g + 1 の送信キューを使用できます。 “0”を設定すると、送信キューは使用できません。 “1”は設定しないでください。 |
| 7 ~ 1 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 0 | TXQE | 送信キュー許可ビット 0: 送信キューを使用しない 1: 送信キューを使用する |

TXQIM ビット

送信キュー割り込み要因を選択します。このビットはチャンネルリセットモードで書き換えてください。

TXQIE ビット

TXQIE ビットを“1”に設定し、TXQIM ビットで選択した要因が発生すると、割り込み要求が発生します。

TXQIE ビットを書き換える場合は、TXQE ビットを“0”にしてください。

TXQDC[3:0] ビット

送信キューに割り付ける送信バッファの数を設定します。送信キューは、送信バッファ番号の大きい方から順に (m × 16 + 15) から (m × 16 + 0) まで順番に割り付けられます。バッファの割り当て例については、[図 16.9](#)を参照してください。このビットはチャンネルリセットモード時にのみ書き換えてください。

TXQE ビット

“1” にすると送信キューを使用できます。このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。チャンネルリセットモード時、“0” になります。

TXQDC[3:0] ビットの値を “0010_B” 以上に設定してから TXQE ビットを “1” にしてください。

16.3.2.55 RSCAN0TXQSTSm — 送信キューステータスレジスタ (m = 0 ~ 3)

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 03C0_H + (m × 0004_H)

リセット後の値 0000 0001_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|-----------|------------|------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | TXQIF | TXQFL L | TXQEM P |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W 注1 | R | R |

注1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.74 RSCAN0TXQSTSm レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|--------|--|
| 31 ~ 13 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 12 ~ 8 | — | 読むと不定値が読み出されます。書き込みは“0”としてください。 |
| 7 ~ 3 | — | 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 2 | TXQIF | 送信キュー割り込み要求フラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり |
| 1 | TXQFLL | 送信キューフルステータスフラグ 0: 送信キューフルではない 1: 送信キューフル |
| 0 | TXQEMP | 送信キュー空ステータスフラグ 0: 送信キューにメッセージあり 1: 送信キューにメッセージなし（送信キュー空） |

TXQIF フラグ

RSCAN0TXQCCm レジスタの TXQIM ビットで設定した要因が発生すると、“1”になります。

TXQIF フラグへの“0”書き込み、またはチャンネルリセットモード時、“0”になります。

TXQIF フラグは、RSCAN0TXQCCm レジスタの TXQE ビットを“0”（送信キューを使用しない）にしても“0”になりません。

TXQFLL フラグ

送信キューに設定したメッセージ数と、RSCAN0TXQCCm レジスタの TXQDC[3:0] ビットで設定した段数が一致すると、“1”になります。

次の条件で“0”になります。

- 送信キューに設定したメッセージが、TXQDC[3:0] ビットで設定した数より少ない
- チャンネルリセットモード時

TXQEMP フラグ

メッセージを1つでも送信キューに設定すると、TXQEMP フラグは“0”になります。

次の条件で、“1”になります。

- TXQE ビットを“0” (送信キューを使用しない) にしたとき
- 送信キューが空になったとき
- チャンネルリセットモード時

16.3.2.56 RSCAN0TXQPCTRM — 送信キューポインタ制御レジスタ (m = 0 ~ 3)

アクセス 8、16、32ビット単位でライト可能です。

アドレス <RS-CAN0_base> + 03E0_H + (m × 0004_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|-------------|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | TXQPC [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | W | W | W | W | W | W | W | W |

表 16.75 RSCAN0TXQPCTRM レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|--|
| 31 ~ 8 | — | 予約ビット 書き込みは“0”としてください。 |
| 7 ~ 0 | TXQPC [7:0] | 送信キューポインタ制御 “FF _H ”を書くと、送信キューのライトポインタを次のキューバッファに移動します。 |

TXQPC[7:0] ビット

TXQPC[7:0] ビットに“FF_H”を書くと、次の送信キューバッファへライトポインタが移動し、そのメッセージの送信要求が発生します。RSCAN0TMID_p、RSCAN0TMPTR_p、RSCAN0TMDF0_p、RSCAN0TMDF1_p レジスタ (p = m × 16 + 15) に送信メッセージを書いたあとに、TXQPC[7:0] ビットに“FF_H”を書いてください。

RSCAN0TXQCC_m レジスタの TXQE ビットが“1” (送信キューを使用する) で、RSCAN0TXQSTS_m レジスタの TXQFLL フラグが“0” (フルではない) の場合にのみ、“FF_H”を書いてください。

16.3.2.57 RSCAN0THLCCm — 送信履歴コンフィグレーション/制御レジスタ (m = 0 ~ 3)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0400_H + (m × 0004_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|------------|-------|-------|----|----|----|----|----|----|----|------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | THLDT E | THLIM | THLIE | — | — | — | — | — | — | — | THLE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R/W | R/W | R/W | R | R | R | R | R | R | R | R/W |

表 16.76 RSCAN0THLCCm レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|--------|--|
| 31 ~ 11 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 10 | THLDTE | 送信履歴対象バッファ選択ビット 0: 送受信 FIFO、送信キューからのエントリ 1: 送信バッファ、送受信 FIFO、送信キューからのエントリ |
| 9 | THLIM | 送信履歴割り込み要因選択ビット 0: 送信履歴バッファに 12 データ格納されたとき 1: 1 送信履歴データの格納完了時 |
| 8 | THLIE | 送信履歴割り込み許可ビット 0: 送信履歴割り込み禁止 1: 送信履歴割り込み許可 |
| 7 ~ 1 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 0 | THLE | 送信履歴バッファ許可ビット 0: 送信履歴バッファを使用しない 1: 送信履歴バッファを使用する |

THLDTE ビット

“0”にすると、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1”にすると、送信バッファ、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLIM ビット

送信履歴割り込み要因を選択します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLIE ビット

THLIE ビットを“1”に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。THLE ビットが“0”の状態でのみ、THLIE ビットを書き換えてください。

THLE ビット

“1”にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。

16.3.2.58 RSCAN0THLSTSm — 送信履歴ステータスレジスタ (m = 0 ~ 3)

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0420_H + (m × 0004_H)

リセット後の値 0000 0001_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|-------------|----|----|----|----|----|----|----|-------|-----------|-----------|--------|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | THLMC [4:0] | | | | — | — | — | — | THLIF | THLELT | THLFLL | THLEMP | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W 注1 | R/W 注1 | R | R |

注1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.77 RSCAN0THLSTSm レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|---|
| 31 ~ 13 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 12 ~ 8 | THLMC [4:0] | 送信履歴バッファ未読数カウンタ 送信履歴バッファに格納された未読データ数を示します。 |
| 7 ~ 4 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 3 | THLIF | 送信履歴割り込み要求フラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり |
| 2 | THLELT | 送信履歴バッファオーバーフローフラグ 0: 送信履歴バッファオーバーフローではない 1: 送信履歴バッファオーバーフロー |
| 1 | THLFLL | 送信履歴バッファフルステータスフラグ 0: 送信履歴バッファフルではない 1: 送信履歴バッファフル |
| 0 | THLEMP | 送信履歴バッファ空ステータスフラグ 0: 送信履歴バッファに未読データあり 1: 送信履歴バッファに未読データなし (バッファ空) |

THLMC[4:0] ビット

送信履歴バッファ内の未読データ数を示します。

THLIF フラグ

RSCAN0THLCCm レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1”になります。

プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

THLELT フラグ

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき“1”になります。この場合、新しいデータは破棄されます。プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

THLFLI フラグ

送信履歴バッファに 16 個のデータが格納されると、“1”になります。格納数が 16 個より少なくなると“0”になります。*RSCAN0THLCCm* レジスタの THLE ビットが“0”（送信履歴バッファを使用しない）のとき、またはチャンネルリセットモード時、“0”になります。

THLEMP フラグ

送信履歴データが 1 つでも送信履歴バッファへ格納されると“0”になります。

送信履歴バッファのすべてのデータを読むと“1”になります。*RSCAN0THLCCm* レジスタの THLE ビットを“0”（送信履歴バッファを使用しない）にしたとき、またはチャンネルリセットモード時、“1”になります。

備 考

THLIF、THLELT フラグを“0”にする場合は、プログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、それ以外のフラグには“1”を書いてください。本レジスタにビット操作命令でライトすると、リードモディファイライト動作により意図せずフラグをクリアしてしまう可能性があるのでご注意ください。

16.3.2.59 RSCAN0THLACCm — 送信履歴アクセスレジスタ (m = 0 ~ 3)

アクセス 8、16、32ビット単位でリード可能です。

アドレス <RS-CAN0_base> + 1800_H + (m × 0004_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----------|----|----|----|----|----|----|----|---------|----|----|---------|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TID[7:0] | | | | | | | — | BN[3:0] | | | BT[2:0] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 16.78 RSCAN0THLACCm レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|----------|---|
| 31 ~ 16 | — | 予約ビット 読むと“0”が読み出されます。 |
| 15 ~ 8 | TID[7:0] | ラベルデータ 格納されたデータのラベル情報が読めます。 |
| 7 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 6 ~ 3 | BN[3:0] | バッファ番号データ 送信元の送信バッファ/送受信 FIFO/送信キュー番号が読めます。 |
| 2 ~ 0 | BT[2:0] | バッファタイプデータ b2 b1 b0 0 0 1: 送信バッファ 0 1 0: 送受信 FIFO バッファ 1 0 0: 送信キュー |

TID[7:0] ビット

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

BN[3:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

BT[2:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

16.3.2.60 RSCAN0THLPCTRm — 送信履歴ポインタ制御レジスタ (m = 0 ~ 3)

アクセス 8、16、32ビット単位でライト可能です。

アドレス <RS-CAN0_base> + 0440_H + (m × 0004_H)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|-------------|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | THLPC [7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | W | W | W | W | W | W | W | W |

表 16.79 RSCAN0THLPCTRm レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|---|
| 31 ~ 8 | — | 予約ビット 書き込みは“0”としてください。 |
| 7 ~ 0 | THLPC [7:0] | 送信履歴リストポインタ制御 “FF _H ”を書くと、送信履歴バッファの次の未読データにリードポインタが移動します。 |

THLPC[7:0] ビット

THLPC[7:0] ビットに“FF_H”を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき RSCAN0THLSTSm レジスタの THLMC[4:0] ビット（送信履歴バッファ未読数カウンタ）の値が1減算されます。RSCAN0THLACCm レジスタを読んだあと、THLPC[7:0] ビットに“FF_H”を書いてください。

RSCAN0THLCCm レジスタの THLE ビットが“1”（送信履歴バッファを使用する）で、RSCAN0THLSTSm レジスタの THLEMP フラグが“0”のときのみ、THLPC[7:0] ビットに“FF_H”を書いてください。

16.3.2.61 RSCAN0GTSTCFG — グローバルテストコンフィグレーションレジスタ

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 0468_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|-------------|-----|-----|---------|---------|---------|---------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | RTMPS [6:0] | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | C3ICBCE | C2ICBCE | C1ICBCE | C0ICBCE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W |

表 16.80 RSCAN0GTSTCFG レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|--|
| 31 ~ 23 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 22 ~ 16 | RTMPS [6:0] | RAM テストページ設定ビット ページ0 (00 _H) ~ 47 (2F _H) ページの範囲で設定 |
| 15 ~ 4 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 3 | C3ICBCE | CAN3 チャンル間通信テスト許可ビット 0: CAN3 チャンル間通信テスト禁止 1: CAN3 チャンル間通信テスト許可 |
| 2 | C2ICBCE | CAN2 チャンル間通信テスト許可ビット 0: CAN2 チャンル間通信テスト禁止 1: CAN2 チャンル間通信テスト許可 |
| 1 | C1ICBCE | CAN1 チャンル間通信テスト許可ビット 0: CAN1 チャンル間通信テスト禁止 1: CAN1 チャンル間通信テスト許可 |
| 0 | C0ICBCE | CAN0 チャンル間通信テスト許可ビット 0: CAN0 チャンル間通信テスト禁止 1: CAN0 チャンル間通信テスト許可 |

RSCAN0GTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

RTMPS[6:0] ビット

RAM テスト時、RAM テスト対象となるページ番号を設定します。00_H ~ 2F_H 以外の値を設定しないでください。

C3ICBCE ビット

“1”にすると、チャンネル3のチャンネル間通信テストが許可になります。

C2ICBCE ビット

“1”にすると、チャンネル2のチャンネル間通信テストが許可になります。

C1ICBCE ビット

“1”にすると、チャンネル1のチャンネル間通信テストが許可になります。

C0ICBCE ビット

“1”にすると、チャンネル0のチャンネル間通信テストが許可になります。

16.3.2.62 RSCAN0GTSTCTR — グローバルテスト制御レジスタ

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RS-CAN0_base> + 046C_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|------|----|---------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | RTME | — | ICBCTME |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R | R/W |

表 16.81 RSCAN0GTSTCTR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 31～3 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 2 | RTME | RAM テスト許可ビット 0: RAM テスト禁止 1: RAM テスト許可 |
| 1 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 0 | ICBCTME | チャンネル間通信テスト許可ビット 0: チャンネル間通信テスト禁止 1: チャンネル間通信テスト許可 |

RTME ビット

“1”にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。

1. RSCAN0GCTR レジスタの GMDC[1:0] ビットを“10_B”（グローバルテストモード）にする。
2. RTME ビットを“1”にする。
3. RTME ビットが“1”になったことを確認する。

ICBCTME ビット

“1”にすると、RSCAN0GTSTCFG レジスタの CmICBCE ビット (m=0～3) を“1”に設定したチャンネルのチャンネル間通信テストが許可になります。ICBCTME ビットはグローバルテストモードで書き換えてください。

16.3.2.63 RSCAN0GLOCKK — グローバルロックキーレジスタ

アクセス 16、32ビット単位でライト可能です。

アドレス <RS-CAN0_base> + 047C_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | LOCK[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W注1 | W注1 | W注1 | W注1 | W注1 | W注1 | W注1 | W注1 | W注1 | W注1 | W注1 | W注1 | W注1 | W注1 | W注1 | W注1 |

注1. RS-CAN モジュールがグローバルテストモード時のみこのビットへの書き込みは可能です。

表 16.82 RSCAN0GLOCKK レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------------|--|
| 31 ~ 16 | — | 予約ビット 読むと“0”が読み出されます。書き込みは“0”としてください。 |
| 15 ~ 0 | LOCK[15:0] | ロックキービット テストモードの保護を解除するためのキービット |

RSCAN0GLOCKK レジスタは、特殊テストビットの保護を解除するための書き込み専用レジスタです。

プロテクト解除データについては、「16.5.4.2 プロテクト解除手順」を参照してください。

LOCK[15:0] ビット

プロテクト解除データを連続して LOCK[15:0] ビットに書くと、RSCAN0GTSTCTR レジスタの RTME ビットへの“1”書き込みが可能になります。

プロテクトが解除された後、RAM を除く CAN の I/O レジスタ領域 (<RS-CAN0_base> + 0000_H ~ <RS-CAN0_base> + 04FF_H) に書き込みを実行すると、再度プロテクトが有効になります。

CAN の I/O レジスタ領域の読み出し、またはほかの領域への読み書きを実行しても、プロテクトは有効になりません。

16.3.2.64 *RSCAN0RPGACCr* — RAM テストページアクセスレジスタ ($r = 0 \sim 63$)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス $\langle \text{RS-CAN0_base} \rangle + 1900_{\text{H}} + (r \times 0004_{\text{H}})$

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RDTA [31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RDTA [15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 16.83 *RSCAN0RPGACCr* レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|--|
| 31 ~ 0 | RDTA [31:0] | RAM データテストアクセス CAN 用 RAM データの読み書きができます。 |

RSCAN0RPGACCr レジスタは、グローバルテストモードでかつ *RSCAN0GTSTCTR* レジスタの RTME ビットが“1” (RAM テスト許可) の状態で書き換えてください。

RTME ビットが“1”のときに、*RSCAN0RPGACCr* レジスタへの読み書きができます。

16.4 機能

16.4.1 割り込み要因

RS-CAN モジュールには 14 本の割り込みがあり、グローバル割り込みとチャンネル割り込みに分類されます。

- グローバル割り込み (2 本)
 - 受信 FIFO 割り込み
 - グローバルエラー割り込み
- チャンネル割り込み (各チャンネルごとに 3 本ずつ)
 - CANm 送信割り込み (m = 0 ~ 3)
 - CANm 送信完了割り込み
 - CANm 送信アボート割り込み
 - CANm 送受信 FIFO 送信完了割り込み (送信モード、ゲートウェイモード時)
 - CANm 送信履歴割り込み
 - CANm 送信キュー割り込み
 - CANm 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時)
 - CANm エラー割り込み

割り込み要求が発生すると、対応する割り込み要求フラグが“1” (割り込み要求あり) になります。その場合、割り込み許可ビットを“1” (割り込み許可) にしていると、RS-CAN モジュールから割り込み要求が出力されます。(割り込みの発生は、割り込みコントローラの割り込み制御レジスタの設定にも依存します。)

割り込み要求フラグを“0” (割り込み要求なし) にするか、割り込み許可ビットを“0” (割り込み禁止) にすると、割り込み要求がクリアされます。割り込み要求フラグをクリアするまで、割り込み要求は出力されたままです。

表 16.84 に CAN 割り込み要因一覧を示します。**図 16.2** に CAN グローバル割り込みブロック図を、**図 16.3** に CAN チャンネル割り込みブロック図を示します。

表 16.84 CAN 割り込み要因一覧 (1/2)

| | 割り込み要因 | 対応する割り込み要求フラグ | 対応する割り込み許可ビット | |
|---------------|------------|---|---|----------------------------|
| グローバル 割り込み | 受信 FIFO | 受信 FIFO 0 | RSCAN0RFSTS0 レジスタの RFIF フラグ | RSCAN0RFCC0 レジスタの RFIE ビット |
| | | 受信 FIFO 1 | RSCAN0RFSTS1 レジスタの RFIF フラグ | RSCAN0RFCC1 レジスタの RFIE ビット |
| | | 受信 FIFO 2 | RSCAN0RFSTS2 レジスタの RFIF フラグ | RSCAN0RFCC2 レジスタの RFIE ビット |
| | | 受信 FIFO 3 | RSCAN0RFSTS3 レジスタの RFIF フラグ | RSCAN0RFCC3 レジスタの RFIE ビット |
| | | 受信 FIFO 4 | RSCAN0RFSTS4 レジスタの RFIF フラグ | RSCAN0RFCC4 レジスタの RFIE ビット |
| | | 受信 FIFO 5 | RSCAN0RFSTS5 レジスタの RFIF フラグ | RSCAN0RFCC5 レジスタの RFIE ビット |
| | | 受信 FIFO 6 | RSCAN0RFSTS6 レジスタの RFIF フラグ | RSCAN0RFCC6 レジスタの RFIE ビット |
| | 受信 FIFO 7 | RSCAN0RFSTS7 レジスタの RFIF フラグ | RSCAN0RFCC7 レジスタの RFIE ビット | |
| | グローバルエラー | RSCAN0GERFL レジスタの DEF フラグ RSCAN0GERFL レジスタの MES フラグ RSCAN0GERFL レジスタの THLES フラグ | RSCAN0GCTR レジスタの DEIE ビット RSCAN0GCTR レジスタの MEIE ビット RSCAN0GCTR レジスタの THLEIE ビット | |

表 16.84 CAN 割り込み要因一覧 (2/2)

| | 割り込み要因 | 対応する割り込み要求フラグ | 対応する割り込み許可ビット |
|------------------------------|----------------------------|---|--|
| チャンネル 割り込み (m = 0 ~ 3) | CANm 送信 CANm 送信完了 | RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグ | RSCAN0TMIECy レジスタの TMIE ビット |
| | CANm 送信 アポート | RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグ | RSCAN0CmCTR レジスタの TAIE ビット |
| | CANm 送受 信 FIFO 送信 完了 | RSCAN0CFSTSk レジスタの CFTXIF フラグ | RSCAN0CFCCk レジスタの CFTXIE ビット |
| | CANm 送信 キュー | RSCAN0TXQSTSm レジスタの TXQIF フラグ | RSCAN0TXQCCm レジスタの TXQIE ビット |
| | CANm 送信 履歴 | RSCAN0THLSTSm レジスタの THLIF フラグ | RSCAN0THLCCm レジスタの THLIE ビット |
| | CANm 送受信 FIFO 受信完了 | RSCAN0CFSTSk レジスタの CFRXIF フラグ | RSCAN0CFCCk レジスタの CFRXIE ビット |
| | CANm エラー | <ul style="list-style-type: none"> RSCAN0CmERFL レジスタの BEF フラグ RSCAN0CmERFL レジスタの ALF フラグ RSCAN0CmERFL レジスタの BLF フラグ RSCAN0CmERFL レジスタの OVLF フラグ RSCAN0CmERFL レジスタの BORF フラグ RSCAN0CmERFL レジスタの BOEF フラグ RSCAN0CmERFL レジスタの EPF フラグ RSCAN0CmERFL レジスタの EWF フラグ | <ul style="list-style-type: none"> RSCAN0CmCTR レジスタの BEIE ビット RSCAN0CmCTR レジスタの ALIE ビット RSCAN0CmCTR レジスタの BLIE ビット RSCAN0CmCTR レジスタの OLIE ビット RSCAN0CmCTR レジスタの BORIE ビット RSCAN0CmCTR レジスタの BOEIE ビット RSCAN0CmCTR レジスタの EPIE ビット RSCAN0CmCTR レジスタの EWIE ビット |

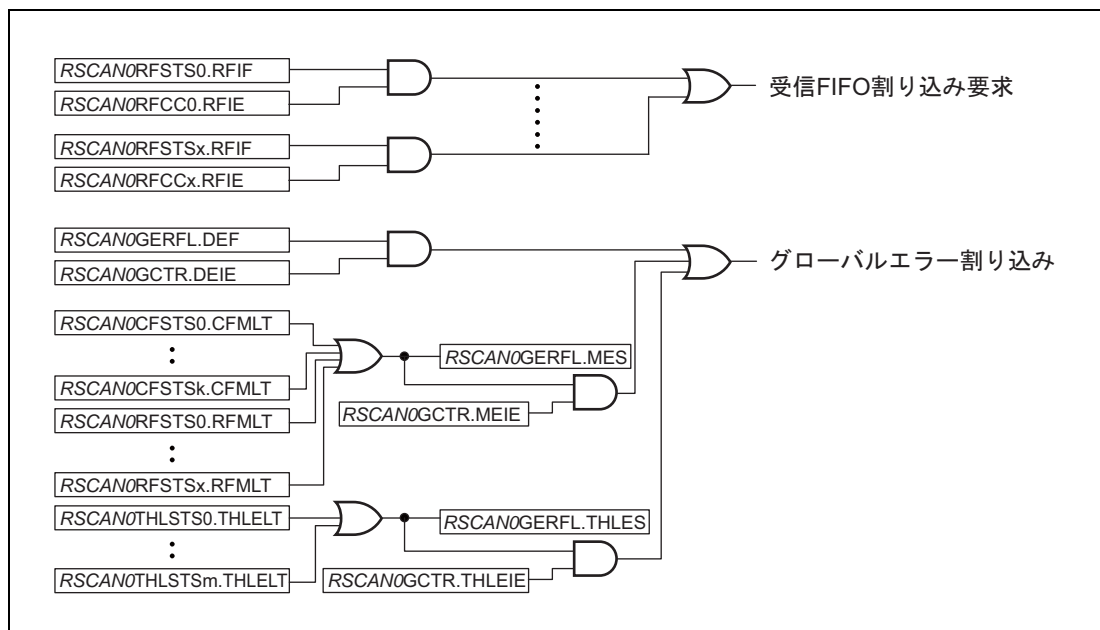


図 16.2 CAN グローバル割り込みブロック図

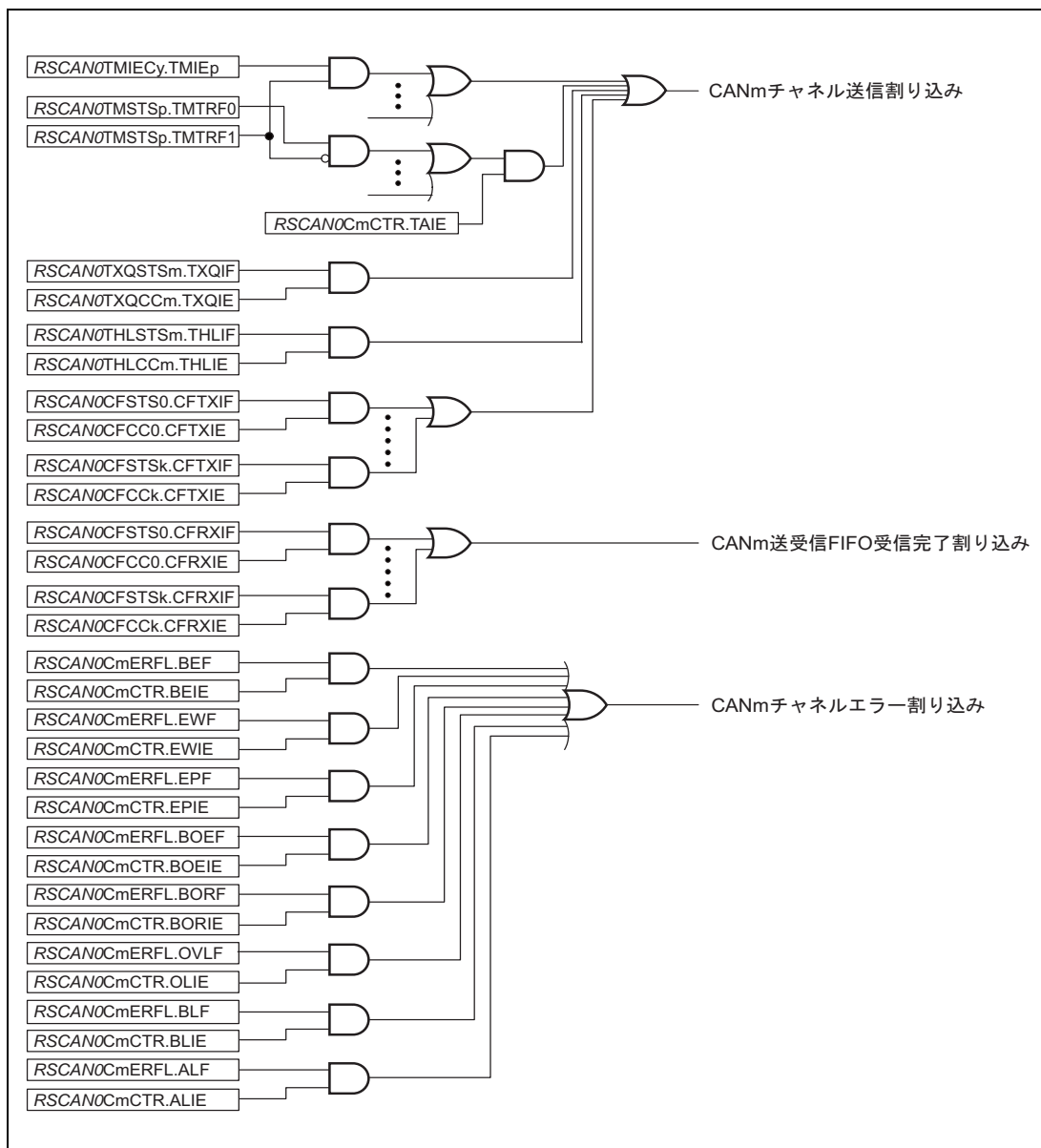


図 16.3 CAN チャンネル割り込みブロック図

16.4.2 CAN モード

RS-CAN モジュールには、RS-CAN モジュール全体の状態を制御するグローバルモードが4種類と、個々のチャンネル状態を制御するチャンネルモードが4種類あります。「16.4.2.1 グローバルモード」にグローバルモード、「16.4.2.6 チャンネルモード」にチャンネルモードの詳細を示します。

- グローバルストップモード：モジュール全体のクロックを停止させ、低消費電力を実現する。
- グローバルリセットモード：モジュール全体の初期設定を行う。
- グローバルテストモード：テスト設定を行う。また、RAM テストを実施する。
- グローバル動作モード：モジュール全体を動作可能にする。
- チャンネルストップモード：チャンネルのクロックが停止する。
- チャンネルリセットモード：チャンネルの初期設定を行う。
- チャンネル待機モード：CAN 通信を停止させたり、チャンネルのテストを許可する。
- チャンネル通信モード：CAN 通信を行う。

16.4.2.1 グローバルモード

図 16.4 にグローバルモードの遷移図を示します。

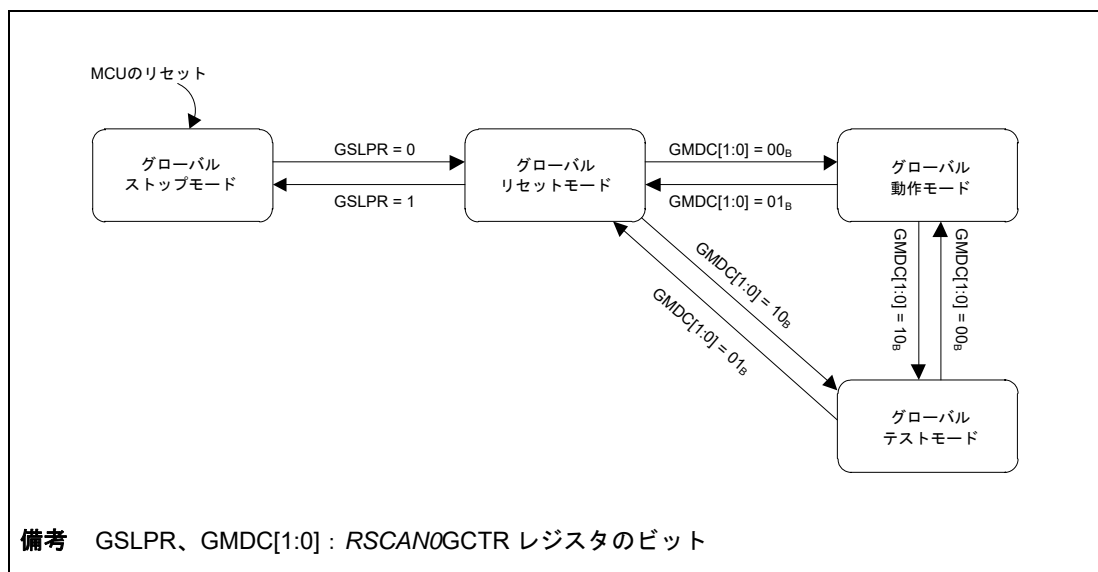


図 16.4 グローバルモードの遷移図

グローバルモードの遷移により、チャンネルのモードが変化することがあります。表 16.85 にグローバルモード設定 (GMDC[1:0]、GSLPR ビット) によるチャンネルモードの変化を示します。

表 16.85 グローバルモード設定 (GMDC[1:0]、GSLPR ビット) によるチャンネルモードの変化

| 設定前のチャンネルモード | 設定後のチャンネルモード | | | |
|--------------|---|--|---|---|
| | GMDC[1:0] = 00 _B GSLPR = 0 (グローバル動作) | GMDC[1:0] = 10 _B GSLPR = 0 (グローバルテスト) | GMDC[1:0] = 01 _B GSLPR = 0 (グローバルリセット) | GMDC[1:0] = 01 _B GSLPR = 1 (グローバルストップ) |
| チャンネル通信 | チャンネル通信 | チャンネル待機 | チャンネルリセット | 遷移禁止 |
| チャンネル待機 | チャンネル待機 | チャンネル待機 | チャンネルリセット | 遷移禁止 |
| チャンネルリセット | チャンネルリセット | チャンネルリセット | チャンネルリセット | チャンネルストップ |
| チャンネルストップ | チャンネルストップ | チャンネルストップ | チャンネルストップ | チャンネルストップ |

注1. GMDC[1:0] ビットと GSLPR ビットは、RSCAN0GCTR レジスタのビット。

表 16.86 にグローバルモードの遷移時間を示します。

表 16.86 グローバルモードの遷移時間

| 遷移前のモード | 遷移後のモード | 最大遷移時間 |
|-----------|-----------|------------------------------|
| グローバルストップ | グローバルリセット | pclk の 3 クロック |
| グローバルリセット | グローバルストップ | pclk の 3 クロック |
| グローバルリセット | グローバルテスト | pclk の 10 クロック |
| グローバルリセット | グローバル動作 | pclk の 10 クロック |
| グローバルテスト | グローバルリセット | pclk の 3 クロック |
| グローバルテスト | グローバル動作 | pclk の 3 クロック |
| グローバル動作 | グローバルリセット | pclk の 3 クロック |
| グローバル動作 | グローバルテスト | CAN フレームの 2 つ分 ^{注1} |

注1. 使用チャンネルの内、最も遅い通信速度の CAN フレーム時間になります。

16.4.2.2 グローバルストップモード

グローバルストップモードでは CAN のクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。グローバルストップモード時、GSLPR ビットへの CPU 書き込み用クロックのみが動作します。

MCU のリセット後、グローバルストップモードになります。また、グローバルリセットモード時に RSCAN0GCTR レジスタの GSLPR ビットを“1” (グローバルストップモード) にすると、各 RSCAN0CmCTR レジスタの CSLPR ビットが“1” (チャンネルストップモード) になります。すべてのチャンネルが強制的にチャンネルストップモードへ遷移すると、グローバルストップモードになります。GSLPR ビットは、グローバル動作モードまたはグローバルテストモードでは書き換えしないでください。

16.4.2.3 グローバルリセットモード

グローバルリセットモードで RS-CAN モジュールの設定を行います。グローバルリセットモードに遷移すると、一部のレジスタが初期化されます。表 16.89 と表 16.90 に初期化されるレジスタ一覧を示します。

RSCAN0GCTR レジスタの GMDC[1:0] ビットを“01_B”に設定すると、各 RSCAN0CmCTR レジスタ (m=0~3) の CHMDC[1:0] ビットが“01_B” (チャンネルリセットモード) になります。すべてのチャンネルが強制的にチャンネルリセットモードへ遷移すると、グローバルリセットモードになります。すでにチャンネルリセットモードまたはチャンネルストップモードである

チャンネルはモード遷移しません (CHMDC[1:0] ビットがすでに“01_B”に設定されているため)。

16.4.2.4 グローバルテストモード

グローバルテストモードでテスト関連レジスタの設定を行います。グローバルテストモードに遷移すると、すべてのCAN通信は停止します。

RSCAN0GCTR レジスタの *GMDC*[1:0] ビットを“10_B”に設定すると、各 *RSCAN0CmCTR* レジスタの *CHMDC*[1:0] ビットが“10_B” (チャンネル待機モード) になります。すべてのチャンネルが強制的にチャンネル待機モードへ遷移すると、グローバルテストモードになります。チャンネルストップモード、チャンネルリセットモード、またはチャンネル待機モードであるチャンネルは、モード遷移しません。

16.4.2.5 グローバル動作モード

グローバル動作モードではRS-CANモジュールが動作します。

RSCAN0GCTR レジスタの *GMDC*[1:0] ビットを“00_B”にすると、グローバル動作モードに遷移します。

16.4.2.6 チャンネルモード

図 16.5 にチャンネルモードの状態遷移図を示します。表 16.87 にチャンネルモードの遷移時間を示します。

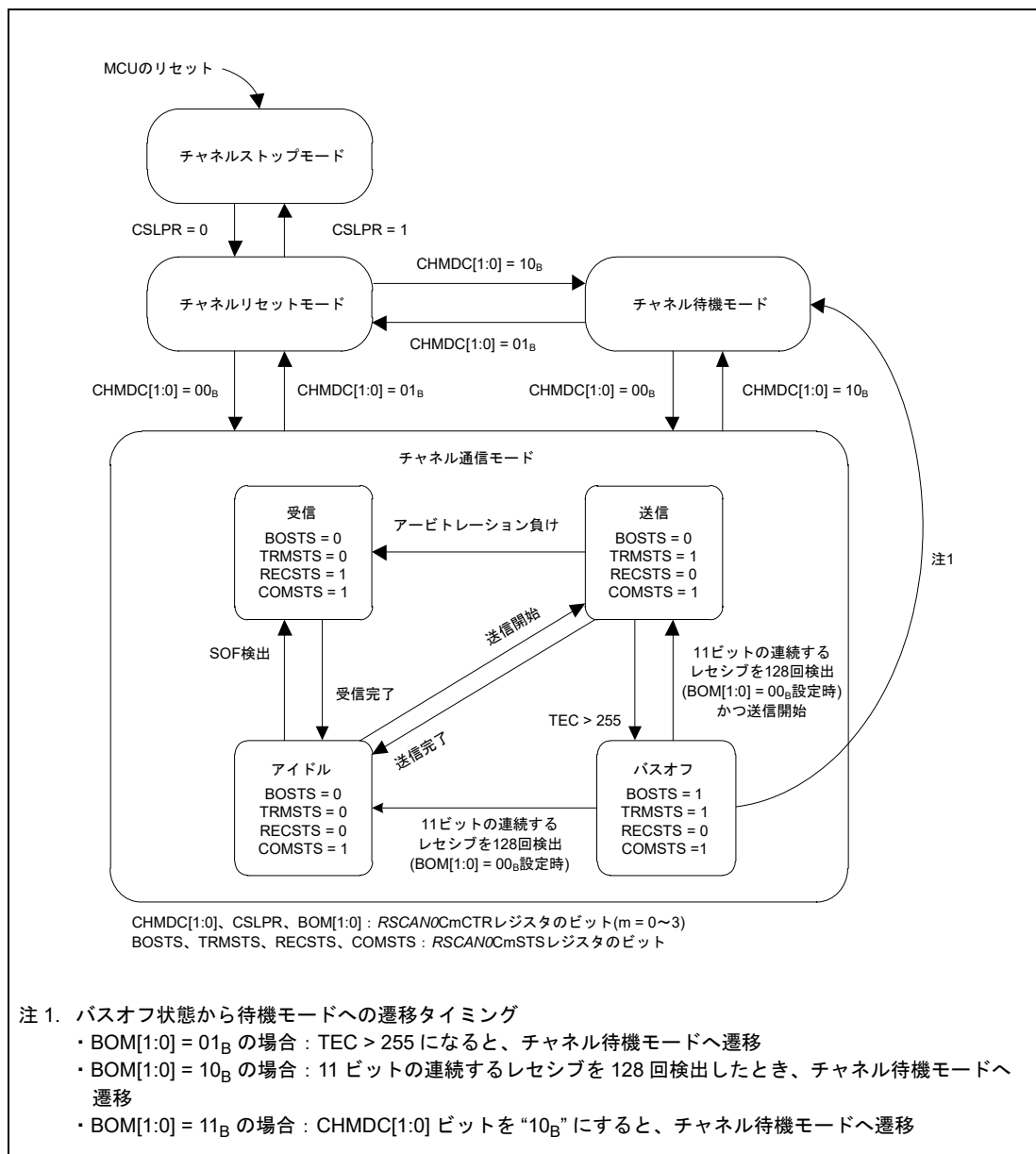


図 16.5 チャンネルモードの状態遷移図

表 16.87 チャンネルモードの遷移時間 (m = 0 ~ 3)

| 遷移前のモード | 遷移後のモード | 最大遷移時間 |
|-----------|-----------|-----------------|
| チャンネルストップ | チャンネルリセット | pclk の 3 クロック |
| チャンネルリセット | チャンネルストップ | pclk の 3 クロック |
| チャンネルリセット | チャンネル待機 | 3CANm ビットタイム |
| チャンネルリセット | チャンネル通信 | 2 CANm ビットタイム |
| チャンネル待機 | チャンネルリセット | pclk の 3 クロック |
| チャンネル待機 | チャンネル通信 | 3 CANm ビットタイム |
| チャンネル通信 | チャンネルリセット | pclk の 3 クロック |
| チャンネル通信 | チャンネル待機 | CANm フレームの 2 つ分 |

16.4.2.7 チャネルストップモード

チャネルストップモードでは、チャネルへ供給するクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。

各チャネルは、MCU のリセット後、チャネルストップモードになります。また、チャネルリセットモード時に、*RSCAN0CmCTR* レジスタ ($m=0\sim 3$) の *CSLPR* ビットを“1” (チャネルストップモード) にすると、チャネルストップモードに遷移します。CSLPR ビットはチャネル通信モードおよびチャネル待機モードでは書き換えしないでください。

16.4.2.8 チャネルリセットモード

チャネルリセットモードでチャネルの設定を行います。チャネルリセットモードに遷移すると、一部のチャネル関連レジスタが初期化されます。表 16.89 に初期化されるレジスタ一覧を示します。

CAN 通信中に *RSCAN0CmCTR* レジスタの *CHMDC[1:0]* ビットを“01_B” (チャネルリセットモード) にすると、送受信の完了を待たずに通信が中断され、チャネルリセットモードへ遷移します。表 16.88 に CAN 通信中に *CHMDC[1:0]* ビットを“01_B” (チャネルリセットモード) に設定したときの動作を示します。

16.4.2.9 チャネル待機モード

チャネル待機モードでチャネルのテスト関連レジスタの設定を行います。チャネル待機モードに遷移すると、チャネルの CAN 通信は停止します。

表 16.88 に CAN 通信中に *CHMDC[1:0]* ビットを“10_B” (チャネル待機モード) に設定したときの動作を示します。

表 16.88 チャネルリセット/チャネル待機モード遷移時の動作

| モード | 受信中 | 送信中 | バスオフ状態 |
|---|--|--|--|
| チャネルリセット (<i>CHMDC[1:0]</i> = “01 _B ”) | 受信の終了を待たずにチャネルリセットモードに遷移 ^{注1} | 送信の終了を待たずにチャネルリセットモードに遷移 ^{注1} | バスオフ復帰の終了を待たずにチャネルリセットモードに遷移 |
| チャネル待機 ^{注3} (<i>CHMDC[1:0]</i> = “10 _B ”) | 受信の終了を待ってチャネル待機モードに遷移 ^{注2} | 送信の終了を待ってチャネル待機モードに遷移 | <p>【<i>BOM[1:0]</i> ビットが“00_B”の場合】 バスオフ復帰後のみ、チャネル待機モード遷移 (<i>CHMDC[1:0]</i> = “10_B”) が実行される</p> <p>【<i>BOM[1:0]</i> ビットが“01_B”の場合】 バスオフ状態への遷移条件が成立したときに自動的にチャネル待機モードに遷移</p> <p>【<i>BOM[1:0]</i> ビットが“10_B”の場合】 バスオフ復帰の終了を待って自動的にチャネル待機モードに遷移</p> <p>【<i>BOM[1:0]</i> ビットが“11_B”の場合】 <i>CHMDC[1:0]</i> ビットに“10_B”が設定されるとすぐにチャネル待機モードに遷移 (バスオフ復帰の終了は待たない)</p> |

- 注 1. 通信が終了した後にチャネルリセットモードへ遷移するには、まず *CHMDC[1:0]* ビットを“10_B”に設定し、通信が終了しチャネル待機モードへ遷移したことを確認してから、*CHMDC[1:0]* ビットを“01_B”に設定してください。
- 注 2. CAN バスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。ドミナントロックを検出すると *RSCAN0CmERFL* レジスタの *BLF* フラグが“1”になるので、CAN バスの状態を確認できます。
- 注 3. チャネルリセットモードからチャネル待機モードへ遷移する場合、チャネルリセットモードで *RSCAN0CmCFG* レジスタを設定してからチャネル待機モードへ遷移してください。

16.4.2.10 チャネル通信モード

チャネル通信モードでCAN通信を行います。CAN通信時、各チャネルは次に示す通信状態をとります。

- アイドル:受信も送信もしていない状態。
- 受信:ほかのノードから送られてきたメッセージを受信している状態。
- 送信:メッセージを送信している状態。
- バスオフ:CAN通信から遮断されている状態。

RSCAN0CmCTR レジスタの *CHMDC[1:0]* ビットを“00_B”にすると、チャネル通信モードに遷移します。遷移後、11ビットの連続するレセシブを検出すると、*RSCAN0CmSTS* レジスタ (*m*=0~3)の *COMSTS* フラグが“1” (通信可能な状態) になり、CANネットワーク上でアクティブノードとして、送受信が許可されます。この時点で、メッセージの送受信が開始できるようになります。

16.4.2.11 バスオフ状態

CAN仕様の送信、受信エラーカウンタの増減ルールにしたがってバスオフ状態に遷移します。

バスオフ状態からの復帰条件は、*RSCAN0CmCTR* レジスタの *BOM[1:0]* ビットで設定します。

- *BOM[1:0]* ビットが“00_B”のとき:
CAN仕様に準拠し、11ビットの連続するレセシブを128回検出後に、バスオフ状態からCAN通信可能な状態 (エラーアクティブ状態) に復帰します。そのとき、*RSCAN0CmSTS* レジスタの *TEC[7:0]* ビットと *REC[7:0]* ビットは“00_H”に初期化され、*RSCAN0CmERFL* レジスタの *BORF* フラグが“1” (バスオフ復帰検出) になり、バスオフ復帰割り込み要求が発生します。バスオフ状態で、*RSCAN0CmCTR* レジスタの *CHMDC[1:0]* ビットを“10_B” (チャネル待機モード) にすると、バスオフ復帰が完了 (11ビットの連続するレセシブを128回検出) してからチャネル待機モードに遷移します。
- *BOM[1:0]* ビットが“01_B”のとき:
バスオフ状態に遷移すると、*CHMDC[1:0]* ビットが“10_B”になり、チャネル待機モードへ遷移します。そのとき、*TEC[7:0]* ビットと *REC[7:0]* ビットは“00_H”に初期化され、*BORF* フラグは“1”になりません。またバスオフ復帰割り込み要求は発生しません。
- *BOM[1:0]* ビットが“10_B”のとき:
バスオフ状態に遷移すると、*CHMDC[1:0]* ビットが“10_B”になり、バスオフ復帰が完了 (11ビットの連続するレセシブを128回検出) してからチャネル待機モードに遷移します。そのとき、*TEC[7:0]* ビットと *REC[7:0]* ビットは“00_H”に初期化され、*BORF* フラグが“1”になり、バスオフ復帰割り込み要求が発生します。
- *BOM[1:0]* ビットが“11_B”のとき:
バスオフ状態時に、*CHMDC[1:0]* ビットを“10_B”にすると、バスオフ復帰を待たずにチャネル待機モードに遷移します。そのとき、*TEC[7:0]* ビットと *REC[7:0]* ビットは“00_H”に初期化されます。*BORF* フラグは“1”になりません。またバスオフ復帰割り込み要求は発生しません。
ただし、*CHMDC[1:0]* ビットを“10_B”にする前に11ビットの連続するレセシブを128回検出し、エラーアクティブ状態に復帰した場合、*BORF* フラグが“1”になり、バスオフ復帰割り込み要求が発生します。

RS-CAN モジュールによるチャンネル待機モードへの遷移と、プログラムによる CHMDC[1:0] ビットへの書き込みが同時に発生した場合、プログラムによる書き込みが優先されます。BOM[1:0] ビットを“01_B”または“10_B”に設定した場合のチャンネル待機モードへの自動的な遷移は、CHMDC[1:0] ビットが“00_B” (チャンネル通信モード) のときのみ発生します。

また、RSCAN0CmCTR レジスタの RTBO ビットを“1”にすることで、バスオフ状態から強制的に復帰することができます。RTBO ビットに“1”を書くと、直ちにエラーアクティブ状態になり、11 ビットの連続するレセンプを検出後、通信可能な状態になります。この場合、BORF フラグは“1”になりません。TEC[7:0] ビットと REC[7:0] ビットは“00_H”に初期化されます。RTBO ビットは、BOM[1:0] ビットが“00_B”のときのみ“1”を書いてください。バスオフ状態以外で、RTBO ビットに“1”を書いても無視され、RTBO ビットは直ちに“0”になります。

表 16.89 グローバルリセットモードおよびチャンネルリセットモードで初期化されるレジスタ一覧

| レジスタ | ビット/フラグ |
|----------------------|--|
| RSCAN0CmCTR レジスタ | CTMS[1:0], CTME, CHMDC[1:0] |
| RSCAN0CmSTS レジスタ | CHLTSTS, EPSTS, BOSTS, TRMSTS, RECSTS, COMSTS, REC[7:0], TEC[7:0] |
| RSCAN0CmERFL レジスタ | CRCREG[14:0], ADERR, B0ERR, B1ERR, CERR, AERR, FERR, SERR, ALF, BLF, OVLF, BORF, BOEF, EPF, EWF, BEF |
| RSCAN0CFCCk レジスタ | 送受信 FIFO バッファが送信モードまたはゲートウェイモード時: CFE |
| RSCAN0CFSTSk レジスタ | 送受信 FIFO バッファが送信モードまたはゲートウェイモード時: CFMC[7:0], CFFLL, CFEMP, CFMLT, CFRXIF, CFTXIF |
| RSCAN0CFTISTS レジスタ | CFkTXIF |
| RSCAN0TMCP レジスタ | TMOM, TMTAR, TMTR |
| RSCAN0TMSTSp レジスタ | TMTARM, TMTRM, TMTRF[1:0], TMTSTS |
| RSCAN0TMTRSTSy レジスタ | TMTRSTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される) |
| RSCAN0TMTARSTSy レジスタ | TMTARSTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される) |
| RSCAN0TMCSTSy レジスタ | TMCSTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される) |
| RSCAN0TMASTSy レジスタ | TMASTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される) |
| RSCAN0TXQCCm レジスタ | TXQE |
| RSCAN0TXQSTSm レジスタ | TXQIF, TXQFLL, TXQEMP |
| RSCAN0THLCCm レジスタ | THLE |
| RSCAN0THLSTSm レジスタ | THLMC[4:0], THLIF, THLELT, THLFLL, THLEMP |
| RSCAN0GTINTSTS0 レジスタ | TSIFm, TAIEm, TQIFm, CFTIFm, THIFm (m = 0 ~ 3) |

表 16.90 グローバルリセットモードでのみ初期化されるレジスタ一覧 (1/2)

| レジスタ | ビット/フラグ |
|-------------------|--|
| RSCAN0GSTS レジスタ | GHLTSTS |
| RSCAN0GERFL レジスタ | THLES, MES, DEF |
| RSCAN0GTSC レジスタ | TS[15:0] |
| RSCAN0RMNDy レジスタ | RMNSq |
| RSCAN0RFCCx レジスタ | RFE |
| RSCAN0RFSTsx レジスタ | RFMC[7:0], RFIF, RFMLT, RFFLL, RFEMP |
| RSCAN0CFCCk レジスタ | 送受信 FIFO が受信モード時: CFE |
| RSCAN0CFSTSk レジスタ | 送受信 FIFO バッファが受信モード時: CFMC[7:0], CFFLL, CFEMP, CFTXIF, CFRXIF, CFMLT |
| RSCAN0FESTS レジスタ | CFkEMP, RFxEMP |

表 16.90 グローバルリセットモードでのみ初期化されるレジスタ一覧 (2/2)

| レジスタ | ビット/フラグ |
|--------------------|--|
| RSCAN0FFSTS レジスタ | CFkFLL, RFxFLL |
| RSCAN0FMSTS レジスタ | CFkMLT, RFxMLT |
| RSCAN0RFISTS レジスタ | RFxIF |
| RSCAN0CFRISTS レジスタ | CFkRXIF |
| RSCAN0GTSTCFG レジスタ | RTMPS[6:0], C0ICBCE, C1ICBCE, C2ICBCE, C3ICBCE |
| RSCAN0GTSTCTR レジスタ | RTME, ICBCTME |

16.4.3 受信機能

受信の種類には次の2つがあります。

- 受信バッファによる受信：
全チャンネルで共有する受信バッファは、0～64 バッファの範囲で使用できます。受信バッファに格納するメッセージは毎回上書きされるので、常に最新の受信データが読み出せます。
- 受信 FIFO バッファ、送受信 FIFO バッファ（受信モード）による受信：
全チャンネルで共有する受信 FIFO バッファが 8 本と、各チャンネル専用の送受信 FIFO バッファが 1 チャンネルにつき 3 本ずつあります。FIFO バッファには RFDC[2:0] ビット、CFDC[2:0] ビットで設定した段数までメッセージを保存することができ、古いメッセージから順次、読み出せます。

16.4.3.1 受信ルールテーブルを用いたデータ処理

受信ルールテーブルを用いたデータ処理により、選別したメッセージを指定のバッファに格納することができます。データ処理には、アクセプタンスフィルタ処理、DLC フィルタ処理、ルーティング処理、ラベル付加処理、ミラー機能の処理があります。

登録できる受信ルール数は 1 チャンネルにつき最大 128 で、モジュール全体では、64 × チャンネル数となります（本モジュールは 4 チャンネル搭載しているため、最大 256 ルール登録できます）。受信ルールは各チャンネルごとに設定してください。ほかのチャンネルと共用できません。受信ルールを設定しない場合は、メッセージを受信できません。図 16.6 に受信ルール登録の説明図を示します。

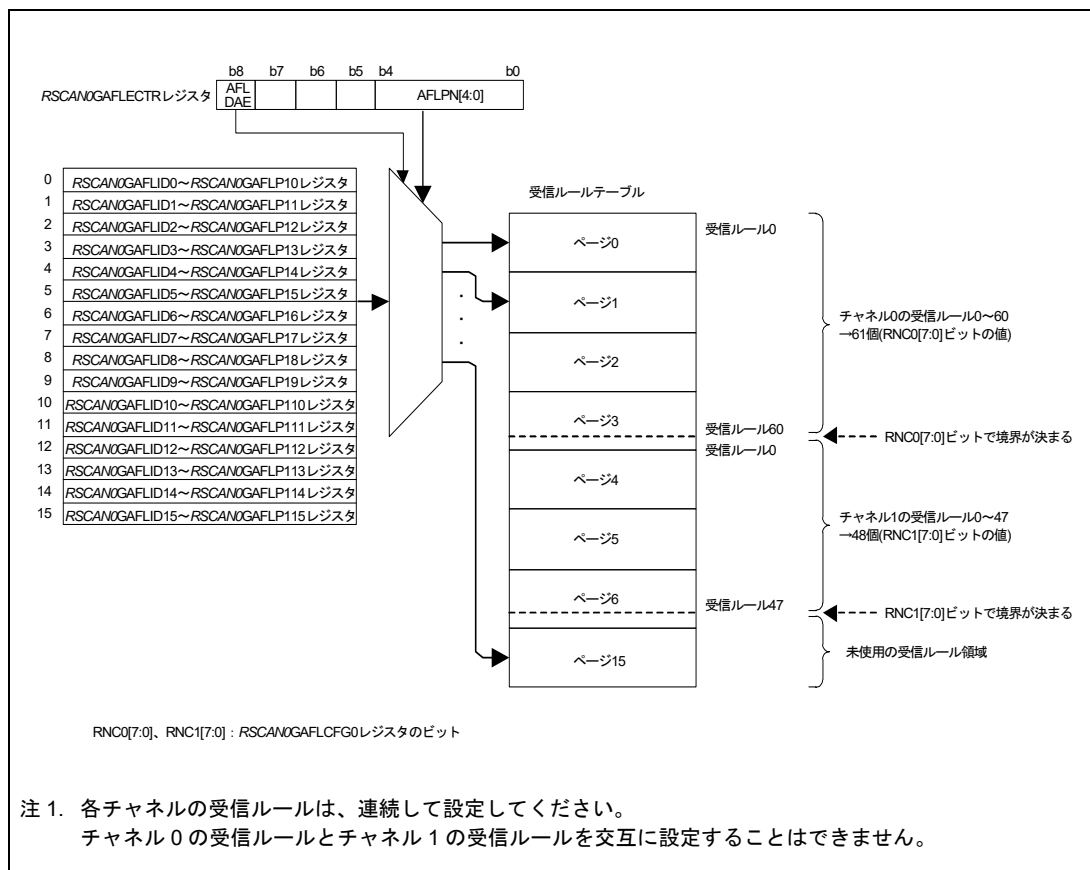


図 16.6 受信ルール登録 (チャンネル 0, 1 を設定する場合)

各受信ルールは $RSCAN0GAFLIDj$ 、 $RSCAN0GAFLMj$ 、 $RSCAN0GAFLP0j$ 、 $RSCAN0GAFLP1j$ レジスタ ($j=0 \sim 15$) の 16 バイトで構成されています。 $RSCAN0GAFLIDj$ レジスタでは GAFLID、GAFLIDE ビット、GAFLRTR ビット、ミラー機能の設定、 $RSCAN0GAFLMj$ レジスタではマスク設定、 $RSCAN0GAFLP0j$ レジスタでは付加するラベル情報、DLC 値、格納先受信バッファの設定、 $RSCAN0GAFLP1j$ レジスタは格納先 FIFO バッファの設定を行います。1 ページあたり 16 個の受信ルールを設定できます。

16.4.3.2 アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、受信メッセージの ID データ、IDE ビット、RTR ビットが、対応するチャンネルの受信ルールに設定した ID データ、IDE ビット、RTR ビットと比較されます。すべてのビットが一致すると、アクセプタンスフィルタ処理を通過します。 $RSCAN0GAFLMj$ レジスタで“0” (ビットを比較しない) にしたビットに対応する受信メッセージの ID データ、IDE ビット、RTR ビットは、比較されずに一致したとみなします。

対応するチャンネルの一番小さい番号の受信ルールからチェックを開始します。受信メッセージの比較対象ビットが受信ルールとすべて一致したとき、または一致する受信ルールがないまますべてのチェックを終了したとき、フィルタ処理は停止します。一致する受信ルールがない場合は、受信バッファや FIFO バッファに格納されません。

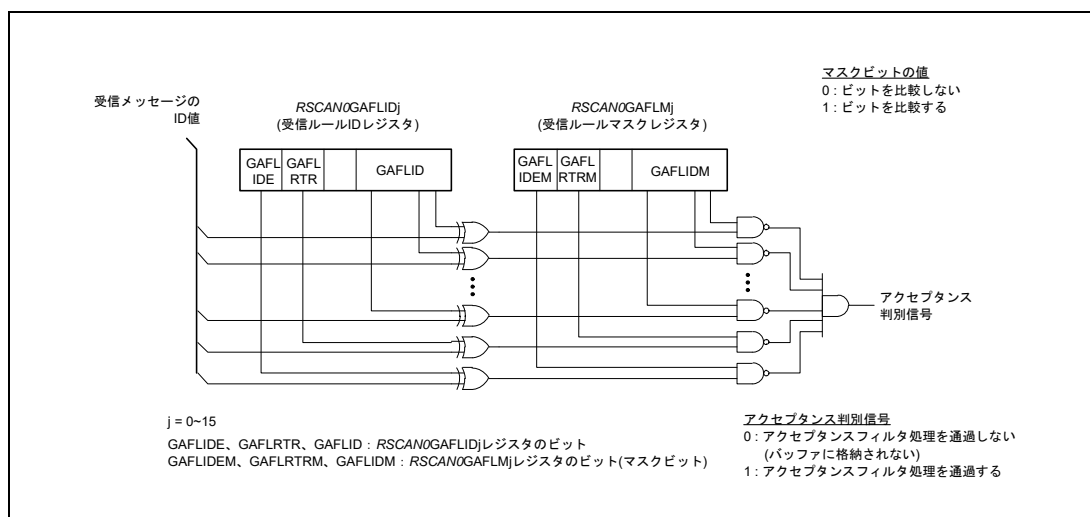


図 16.7 アクセプタンスフィルタ機能

16.4.3.3 DLC フィルタ処理

RSCAN0GCFG レジスタの DCE ビットを“1” (DLC チェック許可) にすると、アクセプタンスフィルタ処理を通過したメッセージに対して DLC フィルタ処理が行われます。メッセージの DLC 値が受信ルールに設定した DLC 値以上の場合、DLC フィルタ処理を通過します。

RSCAN0GCFG レジスタの DRE ビットが“0” (DLC 置換禁止) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値がバッファに格納されます。この場合、受信メッセージのすべてのデータバイトがバッファに格納されます。

RSCAN0GCFG レジスタの DRE ビットが“1” (DLC 置換許可) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00_H”が格納されます。

受信メッセージの DLC 値が受信ルールの DLC 値より小さい場合は、DLC フィルタ処理を通過しません。この場合、メッセージは受信バッファや FIFO バッファに格納されず、RSCAN0GERFL レジスタの DEF フラグが“1” (DLC エラー) となります。

16.4.3.4 ルーティング処理

アクセプタンスフィルタ処理と DLC フィルタ処理を通過したメッセージは、受信バッファ、受信 FIFO バッファ、または受信およびゲートウェイモードに設定した送受信 FIFO バッファに格納されます。メッセージ格納先は、RSCAN0GAFLP0j レジスタ (j = 0 ~ 15) の GAFLRMV ビット、GAFLRMDP[6:0] ビット、RSCAN0GAFLP1j レジスタで設定します。フィルタ処理を通過したメッセージは最大 8 つのバッファに格納することができます。

16.4.3.5 ラベル付加処理

フィルタ処理を通過したメッセージに 12 ビットのラベル情報を添付し、バッファに格納することができます。ラベル情報は、RSCAN0GAFLP0j レジスタの GAFLPTR[11:0] ビットに設定します。

16.4.3.6 ミラー機能の処理

ミラー機能を使用すると、自らが送信したメッセージを受信することができます。ミラー機能は、RSCAN0GCFG レジスタの MME ビットを“1” (ミラー機能許可) にすることで使用可能になります。

ミラー機能使用時、ほかの CAN ノードが送信したメッセージを受信するときは、*RSCAN0GAFLIDj* レジスタの *GAFLLB* ビットを“0”にした受信ルールがデータ処理に使用されます。自らが送信したメッセージを受信するときは、*GAFLLB* ビットを“1”にした受信ルールがデータ処理に使用されます。

16.4.3.7 タイムスタンプ

タイムスタンプカウンタは、メッセージの受信時間を記録するために使用する 16 ビットのフリーランカウンタです。タイムスタンプカウンタ値は、メッセージの SOF (スタートオブフレーム) のタイミングで取り込まれ、メッセージ ID やデータとともに、受信バッファや FIFO バッファに格納されます。タイムスタンプカウンタのクロック源は、*RSCAN0GCFG* レジスタの *TSBTCS[2:0]*、*TSSS* ビットで、*pclk/2* または *CANm* ビットタイムクロック ($m=0\sim 3$) から選択できます。選択したクロック源を *RSCAN0GCFG* レジスタの *TSP[3:0]* ビットで分周したクロックが、タイムスタンプカウンタのカウントソースになります。

CANm ビットタイムクロックをクロック源として使用する場合、対応するチャンネルがチャネルリセットモードまたはチャネル待機モードに遷移すると、タイムスタンプカウンタが停止します。*pclk/2* をクロック源として使用する場合、タイムスタンプ機能はチャネルモードに影響されません。

タイムスタンプカウンタ値は *RSCAN0GCTR* レジスタの *TSRST* ビットを“1”にすると、“0000_H”にリセットされます。

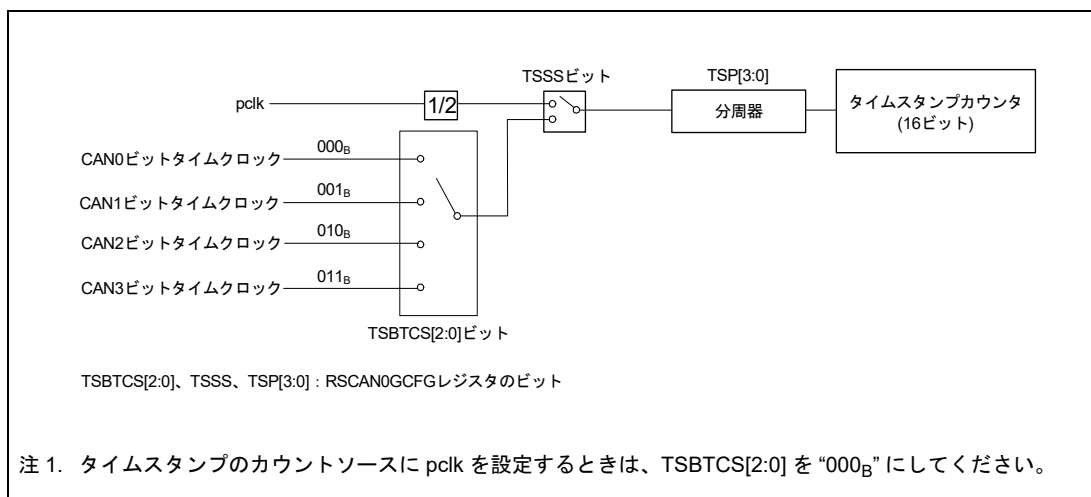


図 16.8 タイムスタンプ機能のブロック図

16.4.4 送信機能

送信の種類には、次の 3 つがあります。

- 送信バッファによる送信：
1 チャンネルにつき 16 バッファあります。
- 送受信 FIFO バッファ (送信モード) による送信：
1 チャンネルにつき 3 本ずつあります。1 本の FIFO バッファに最大 128 メッセージ格納できます。送信バッファにリンクさせて使用します。FIFO バッファ内で、次に送信予定のメッセージのみ送信の優先順位判定の対象となります。メッセージは格納順に送信されます。
- 送信キューによる送信：
1 チャンネルにつき最大 16 の送信バッファを送信キューに割り付けできます。送信バッファ (16 × m) + 15 が対応するチャンネルのアクセスウィンドウとして使用します。パッ

ファ番号の大きい方から順に、送信キューに割り付けられます。すべての送信キュー内のメッセージは優先順位判定の対象となり、ID 順に送信されます。

図 16.9 に送信キューの割り付けと送受信 FIFO バッファのリンクを示します。

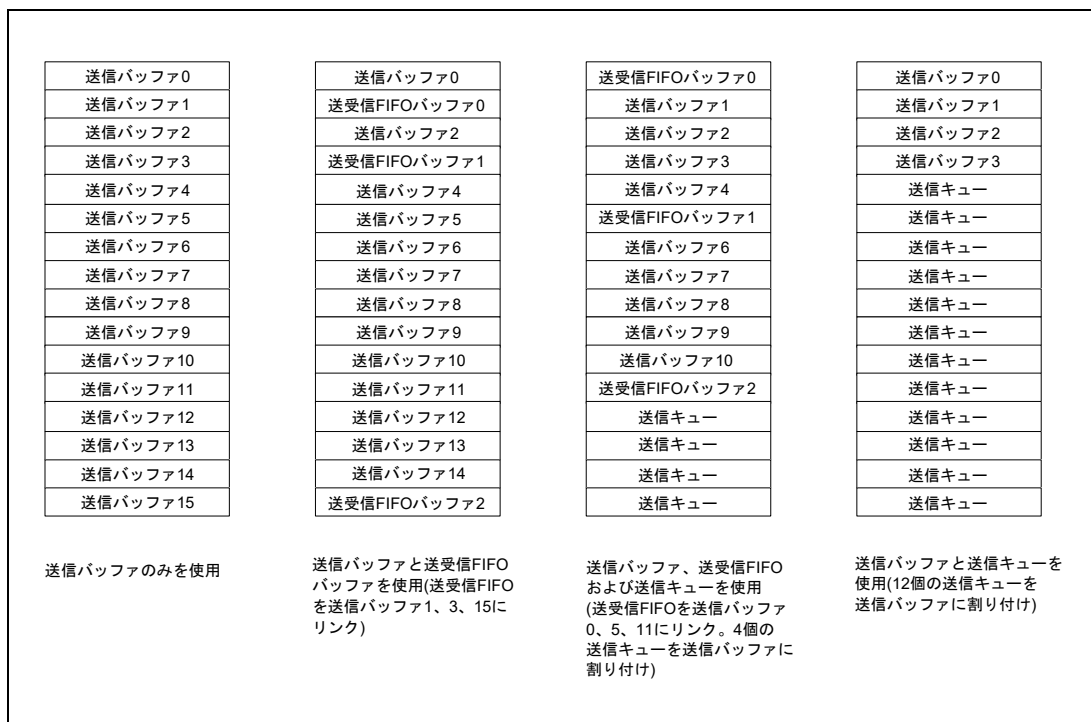


図 16.9 送信キューの割り付けと送受信 FIFO バッファのリンク

16.4.4.1 送信の優先順位判定

同一チャンネル内で複数のバッファやキューから送信要求が出された場合、送信の優先順位を判定します。

判定方法は次の 2 つから選択することができます。

- ID 優先 (TPRI ビットが“0”)
- 送信バッファ番号優先 (TPRI ビットが“1”)

RSCAN0GCFG レジスタの TPRI ビットの設定は、すべての CAN チャンネルで有効です。

TPRI ビットを“0”にした場合、格納したメッセージ ID の優先順位に基づいてメッセージが送信されます。ID の優先順位は CAN 仕様に規定されている CAN バスアービトレーション規定に準拠します。送信バッファ、送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファ、および送信キューに格納したメッセージの ID が判定対象になります。送信キューを使用している場合は、ID 優先を選択してください。送受信 FIFO バッファの場合は、FIFO 内の最も古いメッセージが優先順位判定の対象になります。メッセージが送受信 FIFO バッファから送信中の場合、同じ FIFO バッファにある次のメッセージが優先順位判定の対象になります。送信キューの場合は、送信キュー内のすべてのメッセージが優先順位判定の対象になります。2 つ以上のバッファに同じ ID が設定されている場合は、より小さい番号のバッファが優先されます。

TPRI ビットを“1”にした場合、送信要求があるバッファの中で、最も小さいバッファ番号の送信バッファのメッセージが最初に送信されます。送受信 FIFO バッファが送信バッファにリンクしている場合は、リンク先の送信バッファ番号で判定されます。

TPRI ビットの設定にかかわらず、アービトレーションロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。

16.4.4.2 送信バッファを用いた送信

送信バッファの送信要求ビット (*RSCAN0TMCp* レジスタの *TMTR* ビット) を“1” (送信を要求する) にすると、データフレームまたはリモートフレームを送信することができます。

送信結果は、対応する *RSCAN0TMSTSp* レジスタ ($p=0\sim 63$) の *TMTRF[1:0]* フラグで確認します。送信が成功すると、*TMTRF[1:0]* フラグは“10_B” (送信完了: 送信アボート要求なし) または“11_B” (送信完了: 送信アボート要求あり) になります。

16.4.4.3 送信アボート機能

RSCAN0TMSTSp レジスタの *TMTRM* ビットが“1” (送信要求あり) である送信バッファにおいて、*RSCAN0TMCp* レジスタの *TMTAR* ビットを“1” (送信アボートを要求する) にすると、送信要求が取り消されます。送信アボートが完了すると、*RSCAN0TMSTSp* レジスタの *TMTRF[1:0]* フラグが“01_B” (送信アボート完了) になり、送信要求が取り消されます (*TMTRM* ビットが“0”になる)。

送信中のメッセージまたは送信の優先順位判定で次の送信に決定しているメッセージはアボートできません。ただし、*TMTAR* ビットを“1”にしたメッセージを送信中にアービトレーションロストまたはエラーが発生した場合、再送信は行いません。

16.4.4.4 ワンショット送信機能 (再送信禁止機能)

RSCAN0TMCp レジスタの *TMOM* ビットを“1” (ワンショット送信許可) にすると、1回だけ送信を行います。アービトレーションロストまたはエラーが発生しても、再送信は行いません。

ワンショット送信の結果は、対応する *RSCAN0TMSTSp* レジスタの *TMTRF[1:0]* フラグで確認します。ワンショット送信が成功すると、*TMTRF[1:0]* フラグは“10_B” または“11_B” になります。アービトレーションロストまたはエラーが発生した場合、*TMTRF[1:0]* フラグは“01_B” (送信アボート完了) になります。

16.4.4.5 FIFO バッファによる送信

1本の送受信 FIFO バッファに、*RSCAN0FCCK* レジスタ ($k=0\sim 11$) の *CFDC[2:0]* ビットで設定した段数分のメッセージを格納できます。一番最初に格納したメッセージから順に送信されます。

送受信 FIFO バッファは、*RSCAN0FCCK* レジスタの *CFTML[3:0]* ビットで選択した送信バッファにリンクされます。*RSCAN0FCCK* レジスタの *CFE* ビットを“1” (送受信 FIFO バッファを使用する) にすると、送信の優先順位判定の対象になります。FIFO バッファ内で、次に送信予定のメッセージに対してのみ優先順位判定を実施します。

CFE ビットを“0” (送受信 FIFO バッファを使用しない) にすると、次に示すタイミングで *CFEMP* フラグが“1” (送受信 FIFO バッファ空) になります。

- 送受信 FIFO バッファのメッセージが送信中でなく、次の送信に決定していない場合、ただちに空になります。
- 送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFE ビットを“0”にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを“1”にする前に、CFEMP フラグが“1”になったことを確認してください。

16.4.4.6 インターバル送信機能

送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファを使用時に、同一 FIFO バッファからメッセージを送信する場合、メッセージ送信間のインターバル時間を設定できます。

RSCAN0CFCCk レジスタの CFE ビットを“1”にし、最初のメッセージが FIFO バッファから正常に送信されたあと、インターバルタイマはカウントを開始します (CAN プロトコルの EOF7 の後)。その後インターバル時間が経過すると、次のメッセージが送信されます。インターバルタイマは、CFE ビットを“0”にしたとき、またはチャネルリセットモード時、停止します。

インターバル時間は *RSCAN0CFCCk* レジスタの CFITT[7:0] ビットで設定します。インターバルタイマを使用しない場合は、CFITT[7:0] ビットに“00_H”を設定してください。

RSCAN0CFCCk レジスタの CFITR、CFITSS ビットで、インターバルタイマのカウントソースを選択します。CFITR、CFITSS ビットを“00_B”にすると *pclk*/2 を ITRCP[15:0] ビットの値で分周したクロック、“10_B”にすると *pclk*/2 を ITRCP[15:0] ビットの値×10 で分周したクロック、“x1_B”にすると CANm ビットタイムクロックがカウントソースになります。

ITRCP[15:0] ビットの設定値を *m*、CFITT[7:0] ビットの値を *n* とすると、インターバル時間は次の式で求められます。

- CFITR、CFITSS ビットが“00_B”の場合 (fPBA は *pclk* の周波数) :

$$\frac{1}{f_{PBA}} \times 2 \times m \times n$$

- CFITR、CFITSS ビットが“10_B”の場合 :

$$\frac{1}{f_{PBA}} \times 2 \times m \times 10 \times n$$

- CFITR、CFITSS ビットが“x1_B”の場合 (fCANBIT は CANm ビットタイムクロックの周波数) :

$$\frac{1}{f_{CANBIT}} \times n$$

図 16.10 にインターバルタイマのブロック図を示します。

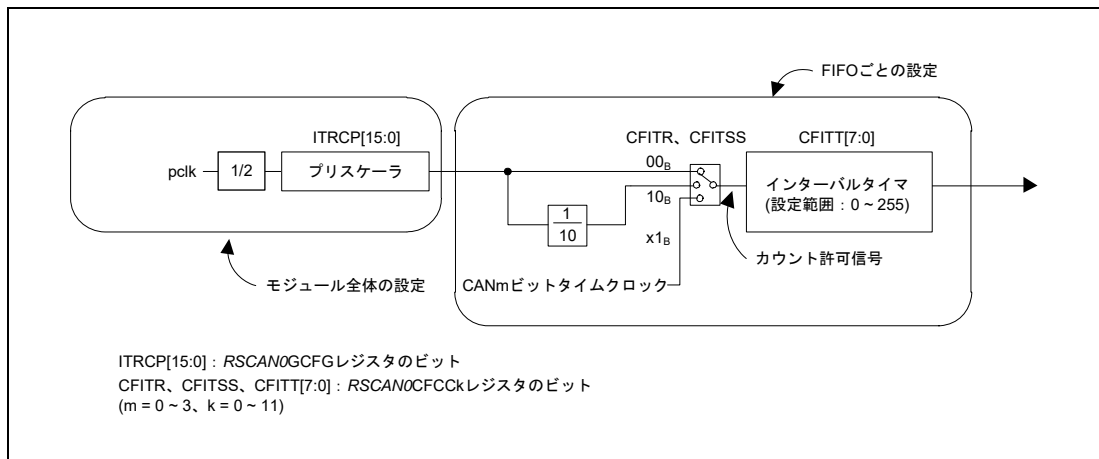


図 16.10 インターバルタイマのブロック図

図 16.11 にインターバルタイマのタイミング図を示します。

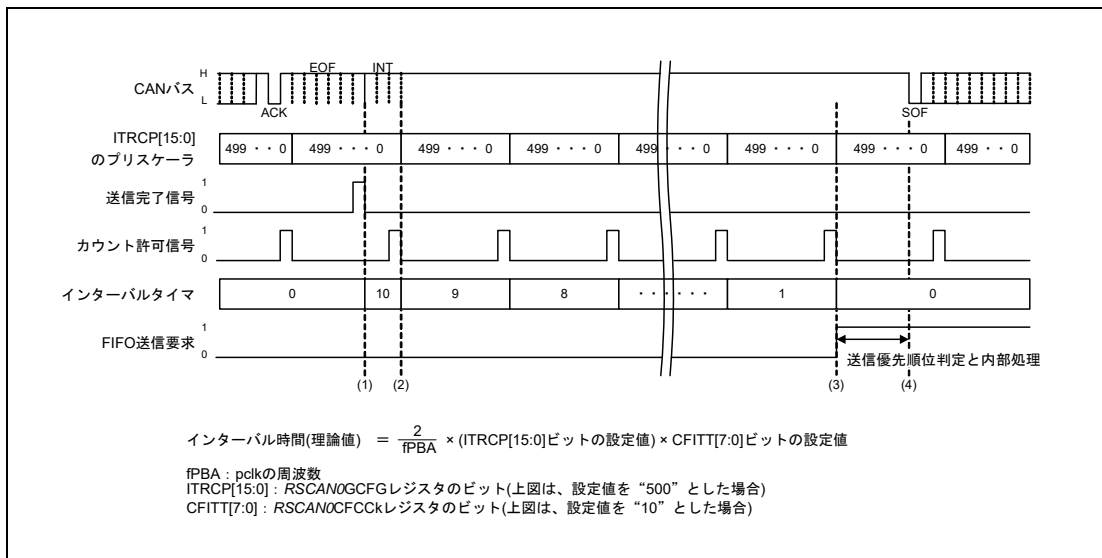


図 16.11 インターバルタイマのタイミング図

1. 送信が完了するとインターバルタイマがカウントを開始します。送信が完了したタイミングでプリスケアラが初期化されないため、最初のインターバル時間は、最大でインターバルタイマの1カウント分の誤差が発生します。
2. 次のカウント許可信号で、インターバルタイマは“1”減算されます。
3. インターバルタイマが“0”になると、送受信 FIFO バッファから送信要求が出されません。
4. 優先順位判定で送受信 FIFO バッファが次の送信に決まると、送信を開始します。送信要求が出されてから送信が開始するまで、通常 CANm ビットタイムクロックの3クロック以下の遅延で、送信を開始します。受信フィルタ処理、メッセージのルーティング、送信優先順位判定など複数の内部処理がすべてのチャンネルで発生すると、最大で pclk の 504 クロック分遅延する場合があります。

16.4.4.7 送信キューによる送信

送信キューは1チャンネルごとに3～16バッファまで割り付けられ、送信バッファ (16 × m) + 15 が対応するチャンネルのアクセスウィンドウになります。

送信キュー内のすべてのメッセージが送信の優先順位判定の対象となり、格納した順番にかかわらず、ID 優先順に送信されます。2つの同じ ID を持つメッセージが送信キューに格納された場合、これらのメッセージが送信される順番は、送信キューに格納した順番と異なる場合があります。

RSCAN0TXQCCm レジスタの TXQE ビットを“0”にすると、送信キューが使用不可になります。TXQE ビットを“0”にするとき、次に示すタイミングで *RSCAN0TXQSTSm* レジスタの TXQEMP フラグは“1” (送信キュー空) になります。

- 送信キューのメッセージが送信中でなく、次の送信にも決定していない場合、ただちに空になります。
- 送信キューのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

TXQE ビットを“0”にすると、送信キューのすべてのメッセージは失われ、送信キューにメッセージを格納できなくなります。再度 TXQE ビットを“1”にする前に、TXQEMP フラグが“1”になったことを確認してください。

16.4.4.8 送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納できます。各チャンネルごとに1つの送信履歴バッファを持ち、送信履歴バッファには16個の送信履歴データを格納できます。

RSCAN0THLCCm レジスタの THLDTE ビットで、メッセージ送信元のバッファの種類が選択できます。*RSCAN0CFIDk* レジスタ (k=0～11) の THLEN ビットで、メッセージごとに送信履歴データを格納するかどうかを設定できます。

送信が成功したあとに、次に示す送信メッセージの情報が送信履歴データとして送信履歴バッファへ格納されます。

送信が成功してから送信履歴データが格納されるまで、最大で pclk の 144 クロック分遅延する場合があります。

- バッファタイプ
 - 001_B : 送信バッファ
 - 010_B : 送受信 FIFO バッファ
 - 100_B : 送信キュー
- バッファ番号

送信元の送信バッファ、送信キュー、または送受信 FIFO バッファの番号。これはバッファタイプに依存します。表 16.91 を参照してください。
- ラベルデータ

送信メッセージのラベル情報

表 16.91 送信履歴データのバッファ番号

| バッファタイプ バッファ番号 | 001 _B | 010 _B | 100 _B |
|-------------------|--------------------|---|----------------------------------|
| 0000 _B | 送信バッファ 16 × m + 0 | RSCAN0CFCK レジスタの CFTML[3:0] ビットで送受信 FIFO バッファにリンクさせた送信バッ ファの番号 (k = 0 ~ 11) | 送信を行った送信キューに割り付け られた送信バッファの番号 |
| 0001 _B | 送信バッファ 16 × m + 1 | | |
| 0010 _B | 送信バッファ 16 × m + 2 | | |
| 0011 _B | 送信バッファ 16 × m + 3 | | |
| 0100 _B | 送信バッファ 16 × m + 4 | | |
| 0101 _B | 送信バッファ 16 × m + 5 | | |
| 0110 _B | 送信バッファ 16 × m + 6 | | |
| 0111 _B | 送信バッファ 16 × m + 7 | | |
| 1000 _B | 送信バッファ 16 × m + 8 | | |
| 1001 _B | 送信バッファ 16 × m + 9 | | |
| 1010 _B | 送信バッファ 16 × m + 10 | | |
| 1011 _B | 送信バッファ 16 × m + 11 | | |
| 1100 _B | 送信バッファ 16 × m + 12 | | |
| 1101 _B | 送信バッファ 16 × m + 13 | | |
| 1110 _B | 送信バッファ 16 × m + 14 | | |
| 1111 _B | 送信バッファ 16 × m + 15 | | |

ラベルデータは、メッセージを特定するために使用します。送信バッファ、送信キュー、送受信 FIFO バッファから送信するメッセージに、固有のラベルデータを付加することができます。

送信履歴データは、RSCAN0THLACC_m レジスタから読み出せます。バッファがフルの場合に、新しい送信履歴データを格納しようとする、バッファがオーバーフローし、新しいデータは破棄されます。

16.4.5 ゲートウェイ機能

送受信 FIFO バッファをゲートウェイモードに設定すると、CPU を介さずに受信したメッセージを任意のチャネルから送信することができます。

RSCAN0CFCCk レジスタの *CFM[1:0]* ビットを “10_B” (ゲートウェイモード) に設定した送受信 FIFO バッファを *RSCAN0GAFLP1j* レジスタで選択すると、受信ルールのフィルタ処理を通過したメッセージが、指定した送受信 FIFO バッファに格納され、自動的にバッファから送信されます。

送受信 FIFO バッファに最初に格納されたメッセージから順に送信されます。次に送信予定のメッセージのみ、送信の優先順位判定の対象になります。

ゲートウェイ モードに設定した送受信 FIFO バッファは、*RSCAN0CFCCk* レジスタの *CFE* ビットを “0” にすると、使用不可になります。*CFE* ビットを “0” にすると、次に示すタイミングで *CFEMP* フラグが “1” になります。

- 送受信 FIFO バッファのメッセージが送信中でもなく、次の送信にも決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFE ビットを “0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 *CFE* ビットを “1” にする前に、*CFEMP* フラグが “1” になったことを確認してください。

16.4.6 テスト機能

テスト機能は、通信テストとグローバルテストの2つに分類できます。

- 通信テスト: チャンネルごとに行うテスト
 - 標準テストモード
 - リッスンオンリモード
 - セルフテストモード0 (外部ループバックモード)
 - セルフテストモード1 (内部ループバックモード)
- グローバルテスト: モジュール全体で行うテスト
 - RAM テスト (読み書きテスト)
 - チャンネル間通信テスト

16.4.6.1 標準テストモード

標準テストモードでは、CRC テストを行うことができます。

16.4.6.2 リッスンオンリモード

リッスンオンリモードでは、データフレームとリモートフレームを受信できます。CAN バス上にはレセプビットのみが送信され、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、通信速度の検出に使用できます。

リッスンオンリモードでは、どのバッファやキューからも送信要求をしないでください。

図 16.12 にリッスンオンリモード選択時の接続を示します。

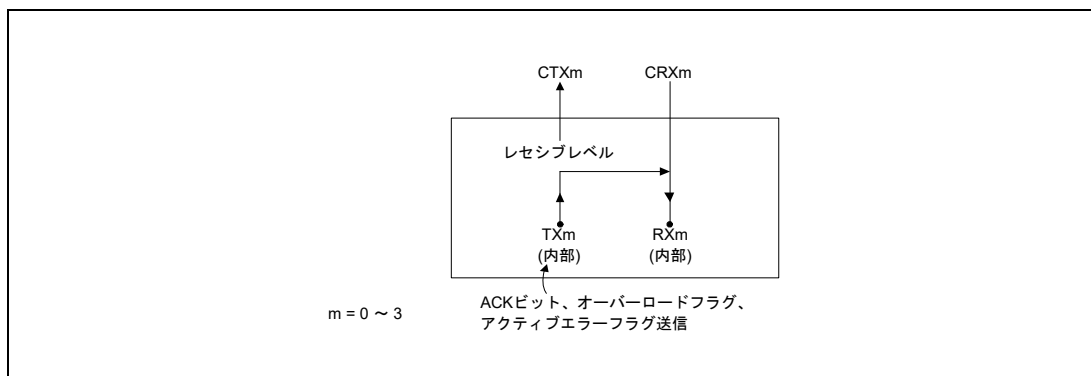


図 16.12 リッスンオンリモード選択時の接続

16.4.6.3 セルフテストモード (ループバックモード)

セルフテストモードでは、送信したメッセージを自チャンネルの受信ルールと比較し、フィルタ処理を通過するとバッファに格納されます。ほかの CAN ノードが送信したメッセージは、*RSCAN0GAFLIDj* レジスタ ($j=0 \sim 15$) の *GAFLLB* ビットを“0” (ほかの CAN ノードが送信したメッセージを受信時) にした受信ルールとのみ比較されます。

ミラー機能とセルフテストモードが同時に許可された場合、セルフテストモードの設定が優先されます。

16.4.6.4 セルフテストモード0 (外部ループバックモード)

セルフテストモード0はCANトランシーバを含めたチャネルのループバックテストを行います。

セルフテストモード0では、送信したメッセージをCANトランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACKビットを生成します。

図16.13にセルフテストモード0選択時の接続を示します。

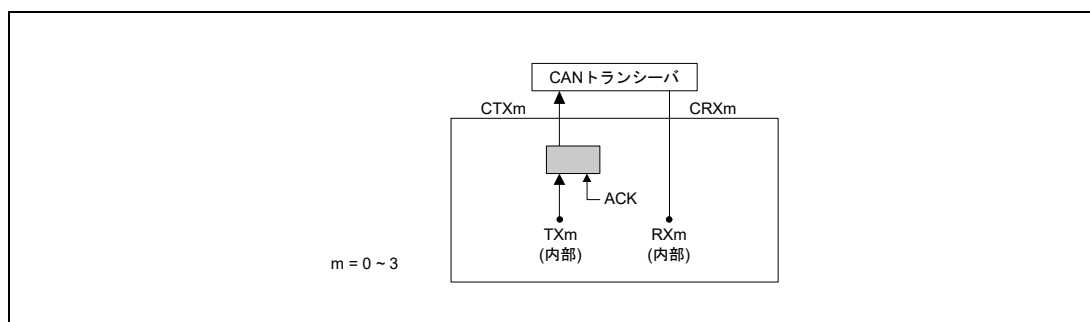


図16.13 セルフテストモード0選択時の接続

16.4.6.5 セルフテストモード1 (内部ループバックモード)

セルフテストモード1では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACKビットを生成します。

セルフテストモード1では内部Txm端子 ($m=0\sim 3$) から内部Rxm端子への内部フィードバックを行います。外部CRXm端子の入力は、切り離されます。外部CTXm端子はレセプビットのみ出力します。

図16.14にセルフテストモード1選択時の接続を示します。

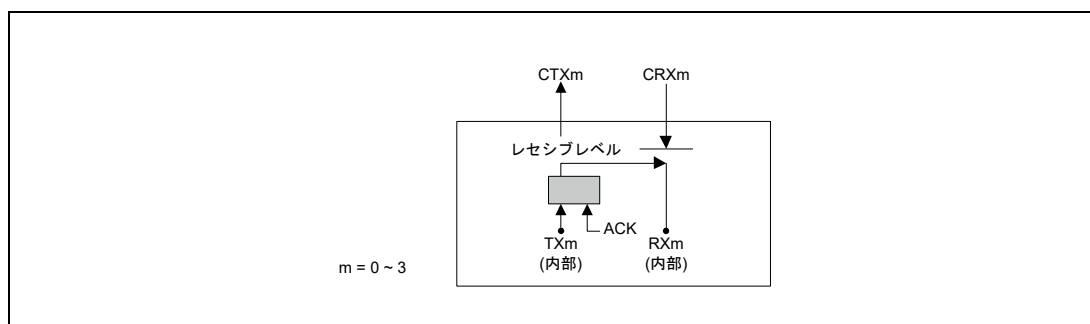


図16.14 セルフテストモード1選択時の接続

16.4.6.6 RAM テスト

RAMテスト機能を使用すると、CAN用RAM全体にアクセスすることができます。

RAMテスト機能使用時、RAMは256バイトごとのページに分けられます。ページはRSCAN0GTSTCFGレジスタのRTMPS[6:0]ビットで設定し、ページ内のデータはRSCAN0RPGACCrレジスタ ($r=0\sim 63$) から読み出し/書き込みができます。有効な総RAMサイズは、12160バイト (2F80_H) です。

16.4.6.7 チャンネル間通信テスト

チャンネル間通信テスト機能を使用すると、CAN チャンネル同士を内部的に接続し、通信テストを行うことができます。このテスト中、チャンネルは外部の CAN バスから切り離されます。

各チャンネルに対して送受信の設定を行ってから、チャンネル通信モードで送受信を開始してください。テストに参加しないチャンネルは、チャンネル待機モードにしてください。

図 16.15 にチャンネル間通信テスト接続図を示します。

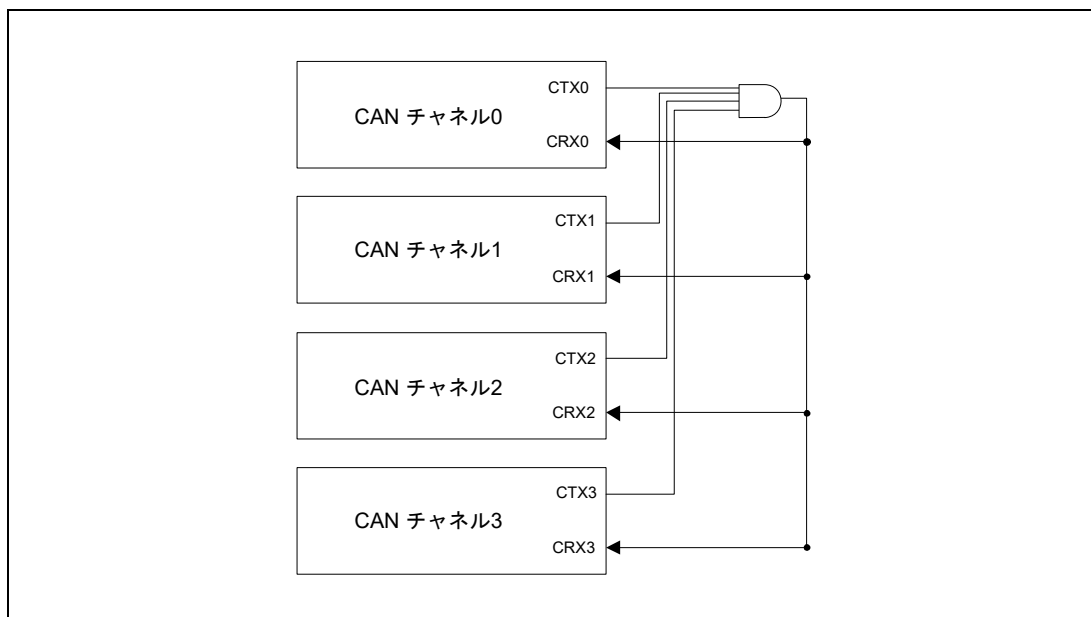


図 16.15 チャンネル間通信テスト接続図

16.5 手順

16.5.1 初期設定

MCUのリセット後にRS-CANモジュールはCAN用RAMの初期化を行います。RAMの初期化時間は、 $pclk$ の6082サイクルです。RAMの初期化中は、`RSCAN0GSTS`レジスタの`GRAMINIT`フラグが“1”（CAN用RAMクリア中）になり、初期化が終了すると“0”（CAN用RAMクリア完了）になります。`GRAMINIT`フラグが“0”になったあとにCANの設定を行ってください。図16.16にMCUのリセット後の設定手順を示します。

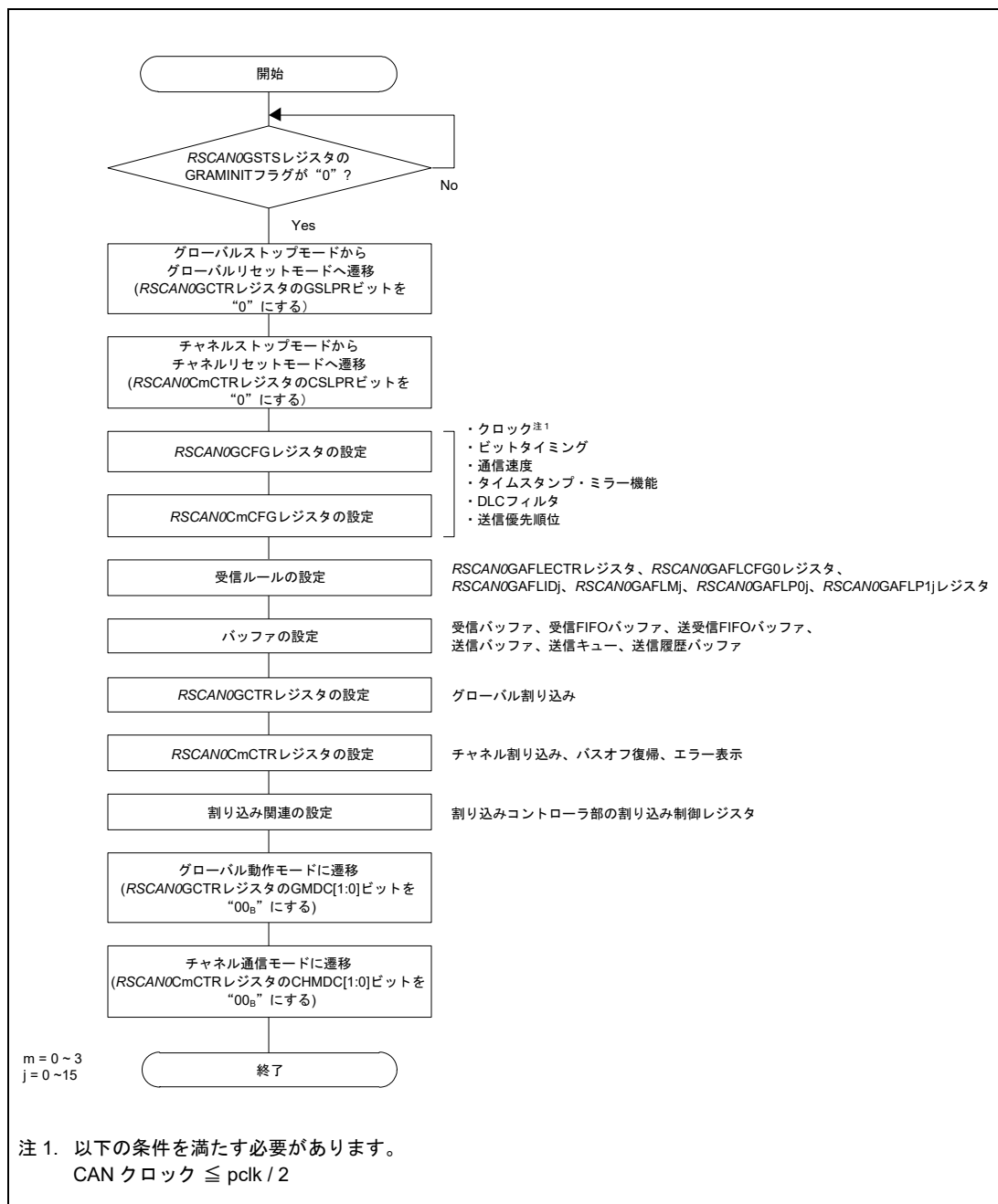


図 16.16 MCU のリセット後の設定手順

16.5.1.1 クロックの設定

RS-CAN モジュールのクロック源である CAN クロック (fCAN) を設定します。
RSCAN0GCFG レジスタの DCS ビットで、clk、または clk_xincan を選択します。

16.5.1.2 ビットタイミングの設定

CAN プロトコルでは、通信フレームの 1 ビットは SS、TSEG1、TSEG2 の 3 つのセグメントで構成されます。このうち、TSEG1 および TSEG2 の 2 つのセグメントをチャンネルごとに RSCAN0CmCFG レジスタで設定できます。2 つのセグメントを設定することで、サンプルポイントのタイミングを決めます。このタイミングは 1 Time Quantum (以下 Tq) 単位で調整できます。1Tq は、RSCAN0GCFG レジスタの DCS ビットで選択したクロックを RSCAN0CmCFG レジスタの BRP[9:0] ビットで分周したクロック (CANmTq クロック) の周期になります。

図 16.17 にビットタイミング図を示します。表 16.92 にビットタイミングの設定例を示します。

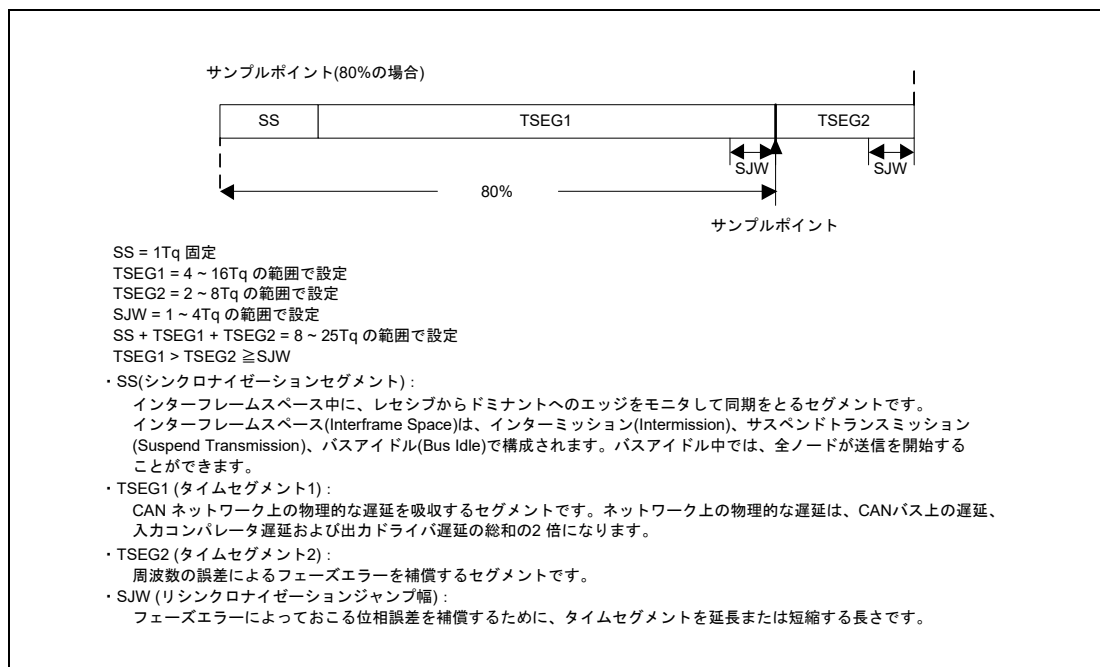


図 16.17 ビットタイミング図

表 16.92 ビットタイミングの設定例

| 1 ビット | 設定値 (Tq) | | | | サンプリングポイント (%) ※ 図 16.17 を参照 |
|-------|----------|-------|-------|-----|---------------------------------|
| | SS | TSEG1 | TSEG2 | SJW | |
| 20Tq | 1 | 12 | 7 | 1 | 65.00 |
| | 1 | 13 | 6 | 1 | 70.00 |

16.5.1.3 通信速度の設定

CANの通信速度は、fCAN、ボーレートプリスケアラ分周値（RSCAN0CmCFGレジスタのBRP[9:0]ビット）、および1ビットタイムのTq数を用いてチャンネルごとに設定します。

図16.18にCANクロック制御ブロック図、表16.93に通信速度の設定例を示します。

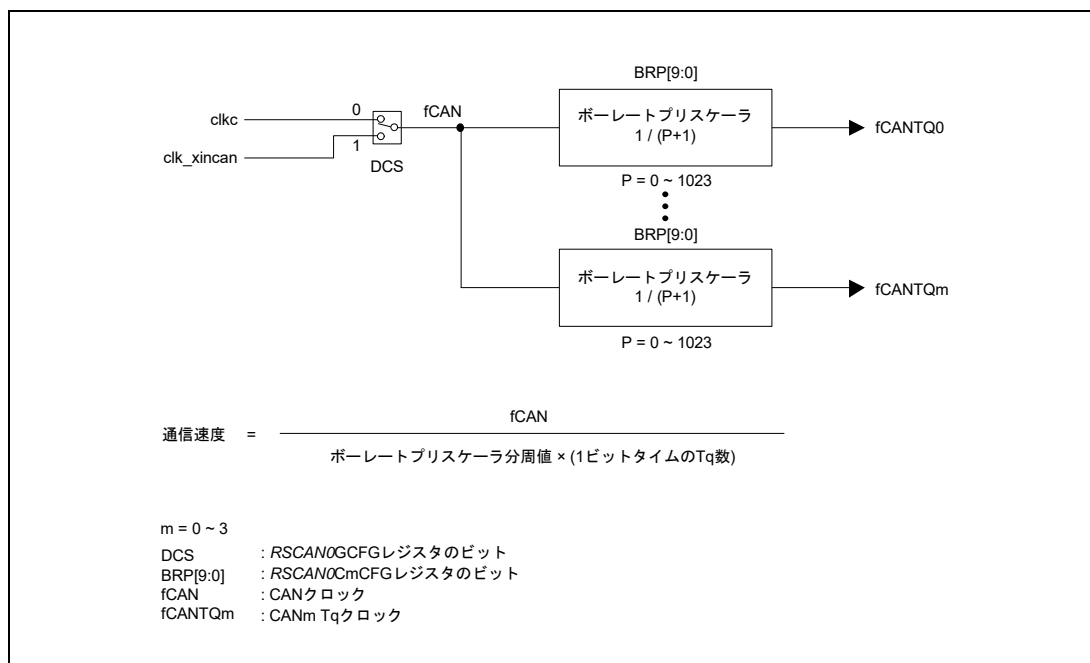


図 16.18 CAN クロック制御ブロック図

表 16.93 通信速度の設定例

| fCAN | 40MHz |
|---------|----------------------|
| 通信速度 | |
| 1Mbps | 8Tq (5) 20Tq (2) |
| 500Kbps | 8Tq (10) 20Tq (4) |
| 250Kbps | 8Tq (20) 20Tq (8) |

注1. () 内の数字はボーレートプリスケアラ分周値

16.5.1.4 受信ルールの設定

受信ルール関連レジスタで受信ルールの設定を行うことができます。

1 ページに 16 の受信ルールを登録できます。*RSCAN0GAFLECTR* レジスタの *AFLPN[4:0]* ビットでページ 0 ~ 15 を指定します。また、*AFLDAE* ビットで受信ルールテーブルへの書き込みの許可/禁止を設定します。

図 16.19 に受信ルール設定手順について示します。

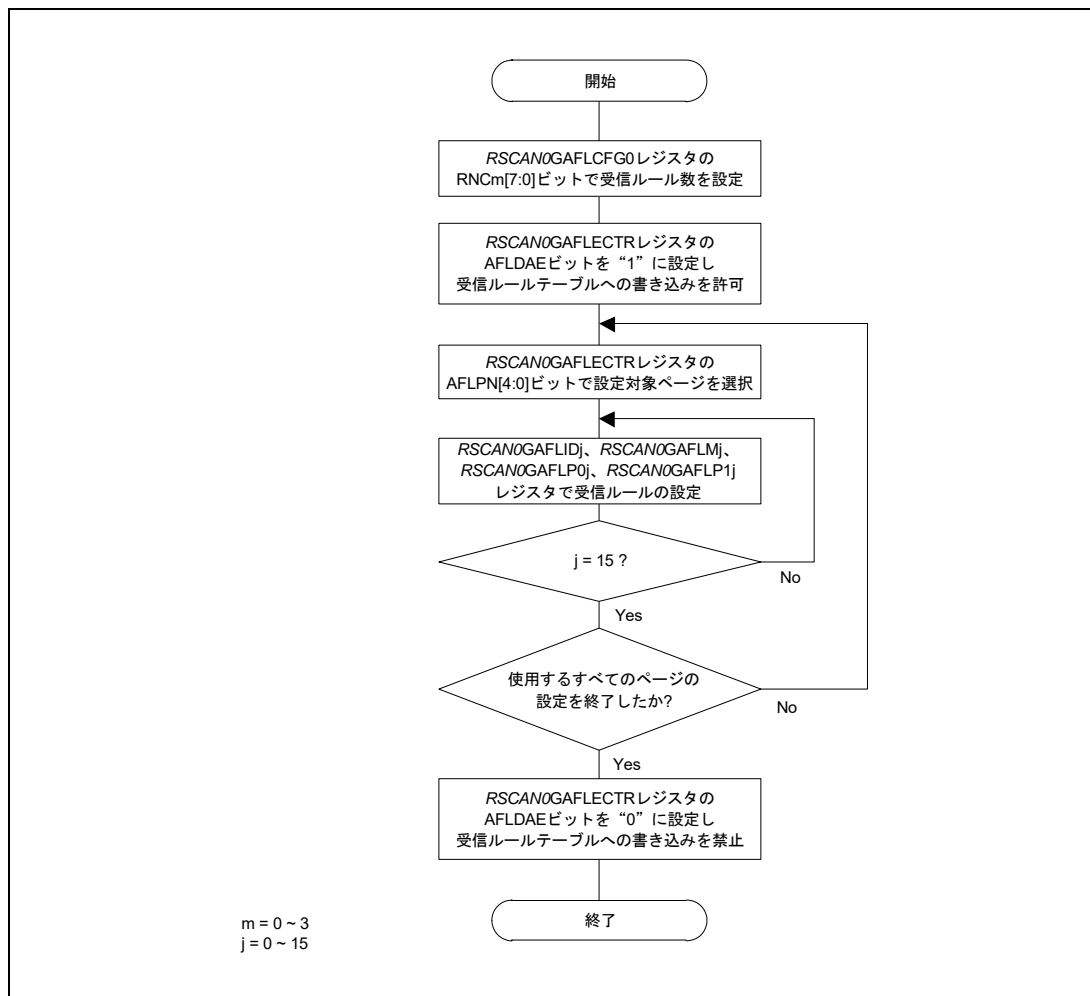


図 16.19 受信ルール設定手順

16.5.1.5 バッファの設定

各種バッファのサイズと割り込み要因を設定します。また、送信モードに設定した送受信FIFO バッファはリンクする送信バッファを設定します。

図 16.20 にバッファの構成を示します。図 16.21 に各種バッファの設定手順を示します。

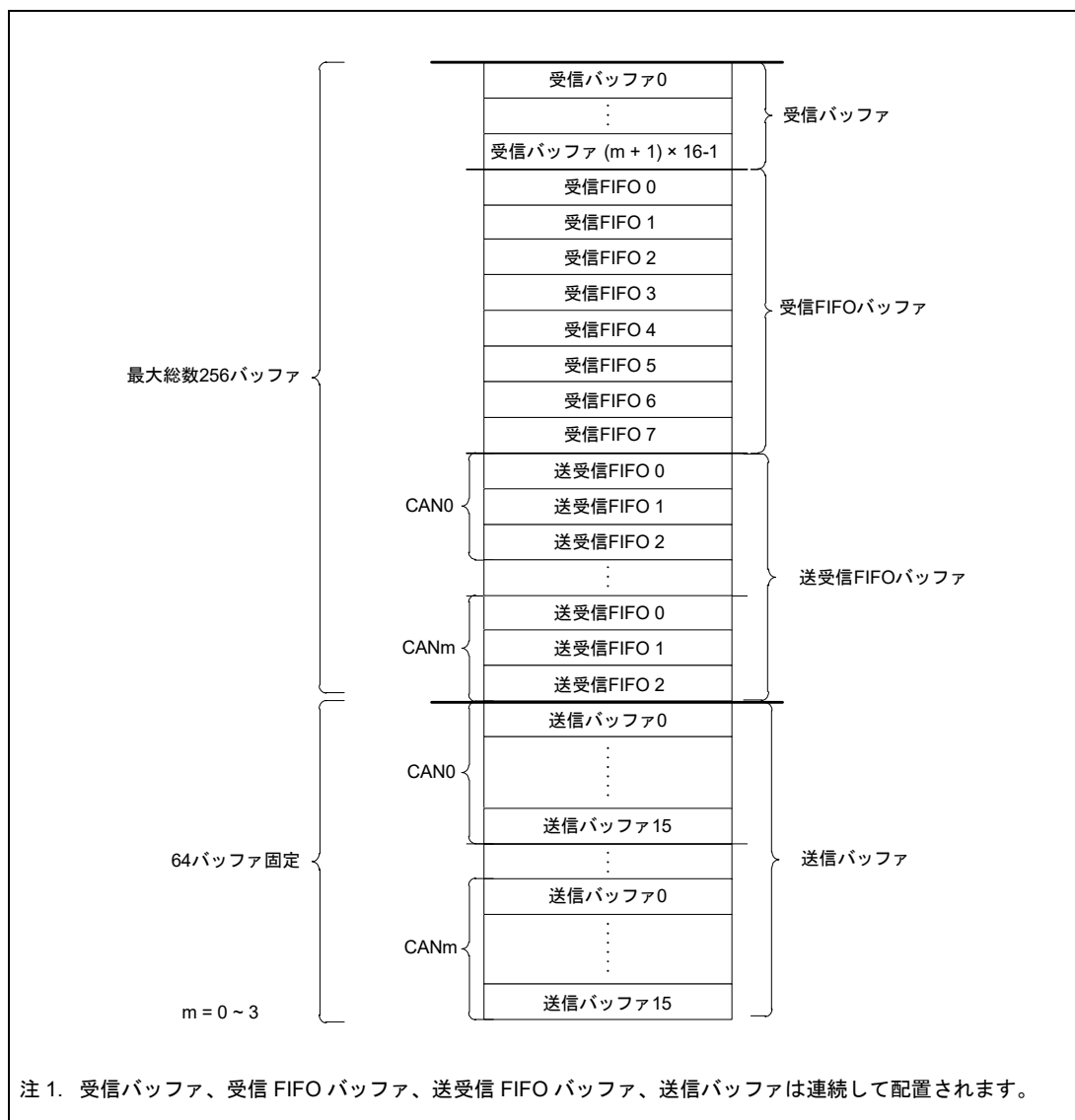


図 16.20 バッファの構成

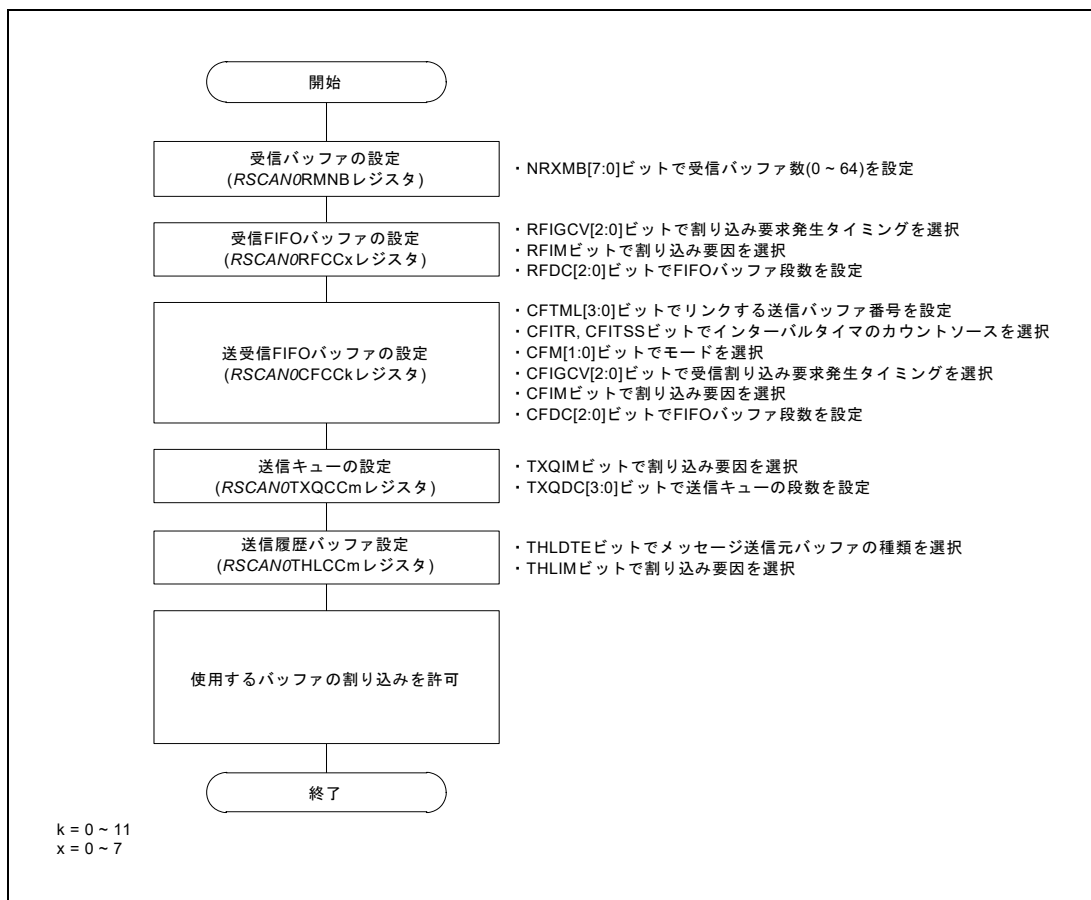


図 16.21 各種バッファの設定手順

16.5.2 受信手順

16.5.2.1 受信バッファの読み出し手順

受信したメッセージを受信バッファに格納する処理が始まると、*RSCAN0RMNDy* レジスタの *RMNSq* フラグ ($y = 0, 1, q = 0 \sim 63$) が“1” (受信バッファ q に新しいメッセージあり) になります。メッセージは *RSCAN0RMIDq*、*RSCAN0RMPTRq*、*RSCAN0RMDf0q*、*RSCAN0RMDf1q* レジスタから読めます。受信バッファからメッセージを読み出す前に次のメッセージを受信した場合、メッセージが上書きされます。図 16.22 に受信バッファの読み出し手順を示します。

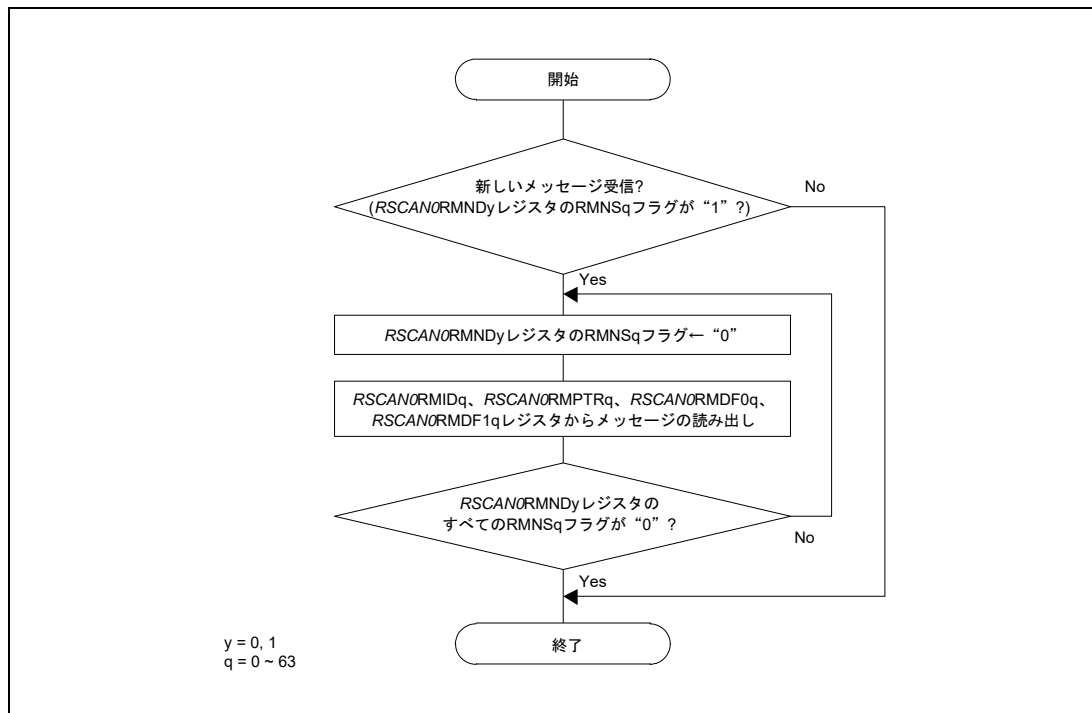


図 16.22 受信バッファの読み出し手順

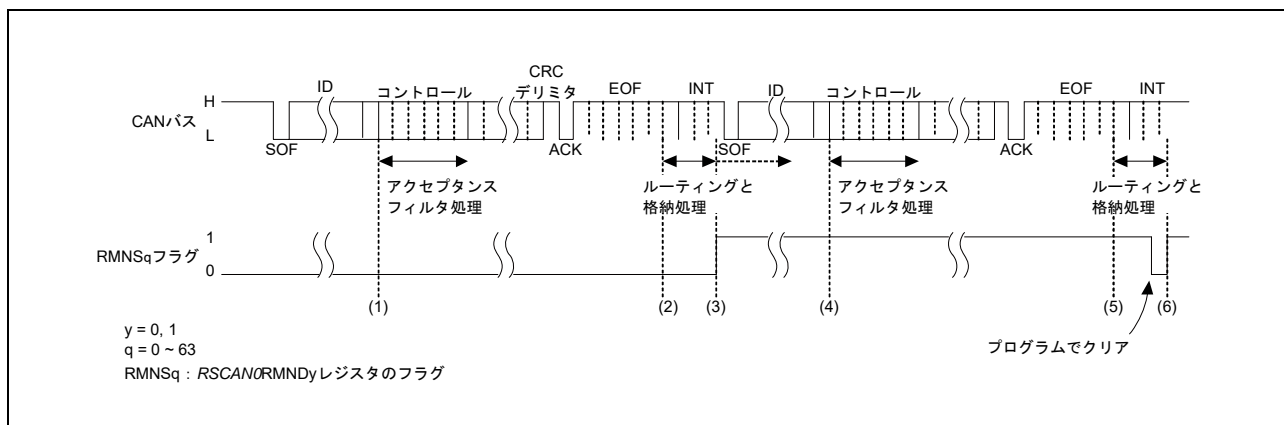


図 16.23 受信バッファの受信タイミング図

- (1) メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (2) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。*RSCAN0GCFG* レジスタの

- DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (3) DLC フィルタ処理を通過すると、指定した受信バッファにメッセージを格納する処理が開始します。
メッセージの格納処理が始まると、対応する *RSCANORMNDy* レジスタの *RMNSq* フラグが“1” (受信バッファに新しいメッセージあり) になります。ほかのチャンネルでフィルタ処理や送信の優先順位判定処理を行っていると、ルーティング処理や格納処理が遅延する場合があります。
 - (4) 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
 - (5) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。*RSCANOGCFG* レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
 - (6) 対応する *RMNSq* フラグを“0” (受信バッファに新しいメッセージなし) にクリアした場合、メッセージの格納処理が始まると、再度“1”になります。*RMNSq* フラグが“1”のままでも、新しいメッセージは受信バッファに上書きされます。メッセージ格納中は *RMNSq* フラグを“0”にできません。

16.5.2.2 FIFOバッファの読み出し手順

受信メッセージが1つ以上の受信FIFOバッファまたは、受信モード/ゲートウェイモードに設定した送受信FIFOバッファへ格納されると、対応するメッセージ数表示カウンタ ($RSCAN0RFSTSx$ レジスタ ($x=0\sim 7$) のRFMC[7:0]ビットまたは $RSCAN0CFSTSx$ レジスタ ($k=0\sim 11$) のCFMC[7:0]ビット) の値が1加算されます。このとき、 $RSCAN0RFCCx$ レジスタのRFIEビット (受信FIFO割り込み許可ビット) や $RSCAN0CFCCk$ レジスタのCFRXIEビット (送受信FIFO受信割り込み許可ビット) を“1”にしていると、割り込み要求が発生します。受信メッセージは、受信FIFOバッファの場合は $RSCAN0RFIDx$ 、 $RSCAN0RFPTRx$ 、 $RSCAN0RFDf0x$ 、 $RSCAN0RFDf1x$ レジスタから、送受信FIFOバッファの場合は $RSCAN0CFIDk$ 、 $RSCAN0CFPTRk$ 、 $RSCAN0CFDF0k$ 、 $RSCAN0CFDF1k$ レジスタから読み出すことができます。FIFOバッファは古いメッセージから読み出せます。

メッセージ数表示カウンタの値がFIFOバッファの段数値 ($RSCAN0RFCCx$ レジスタのRFDC[2:0]ビットまたは $RSCAN0CFCCk$ レジスタのCFDC[2:0]ビットで設定した値) に一致したとき、RFFLLフラグまたはCFLLフラグが“1” (FIFOバッファフル) になります。

FIFOバッファからすべてのメッセージを読み出したとき、 $RSCAN0RFSTSx$ レジスタのRFEMPフラグまたは $RSCAN0CFSTSx$ レジスタのCFEMPフラグが“1” (FIFOバッファ空) になります。

割り込み要求フラグ ($RSCAN0RFSTSx$ レジスタのRFIFフラグまたは $RSCAN0CFSTSx$ レジスタのCFRIFフラグ) が“1” (割り込み要求あり) の状態でRFEビットやCFEビットを“0” (FIFOバッファを使用しない) にすると、割り込み要求フラグは自動的に“0”になります。割り込み要求フラグはプログラムで“0”にしてください。

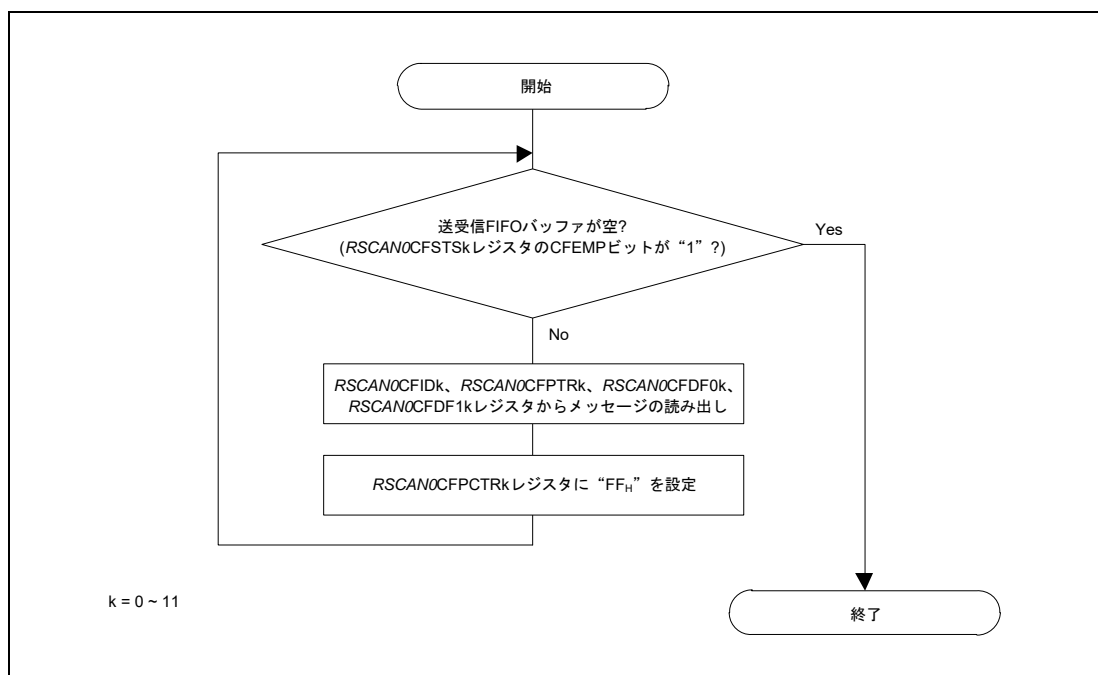


図 16.24 送受信 FIFO バッファの読み出し手順

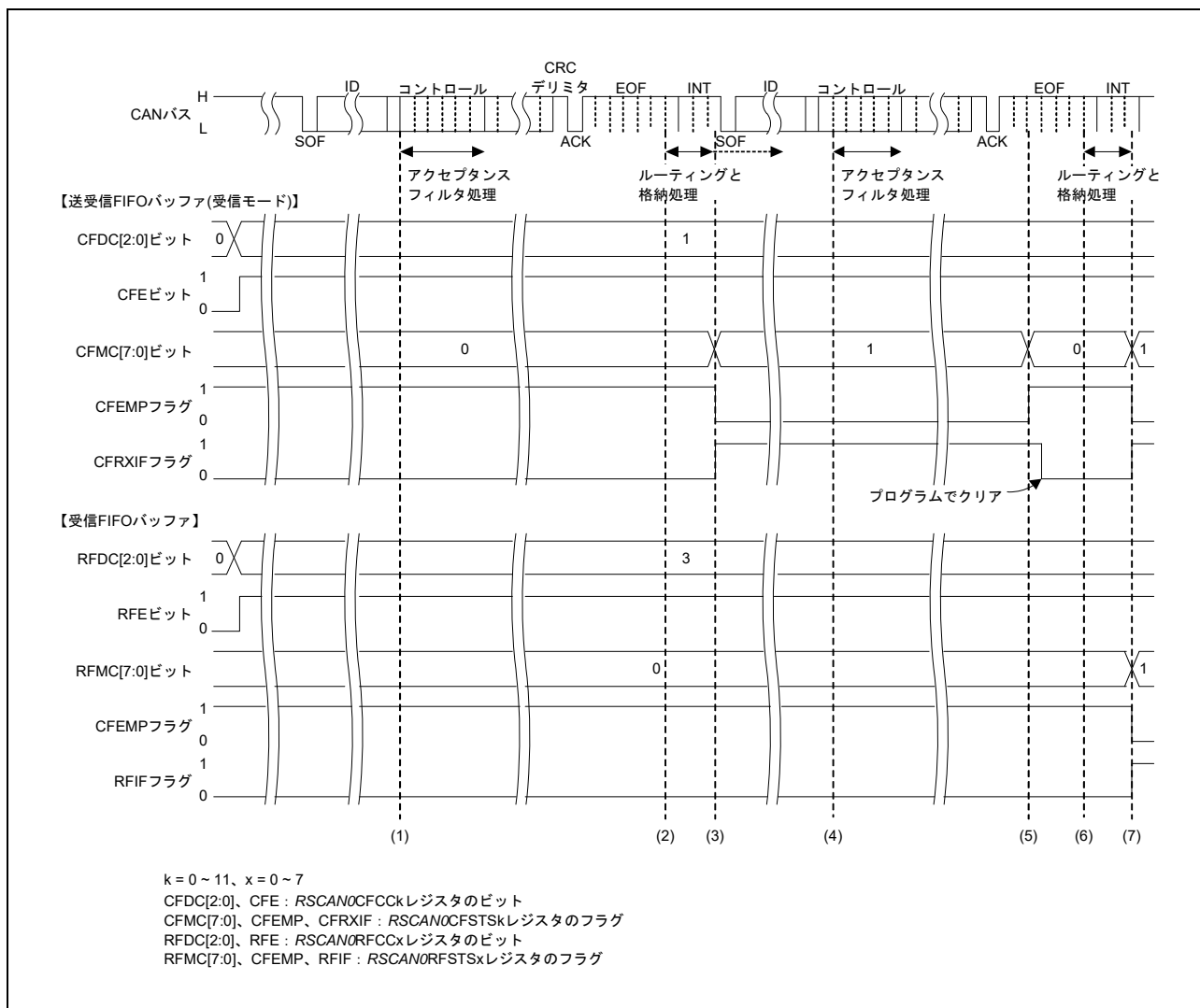


図 16.25 FIFO バッファの受信タイミング図

- (1) メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (2) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。*RSCAN0CFG* レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (3) DLC フィルタ処理を通過し、かつ *RSCAN0CFCCk* レジスタの CFE ビットが“1” (送受信 FIFO バッファを使用する) で、*RSCAN0CFCCk* レジスタの CFDC[2:0] ビットの値が“001_B”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。*RSCAN0CFSTSk* レジスタの CFMC[7:0] ビットが 1 加算されて“01_H”になります。*RSCAN0CFCCk* レジスタの CFIM ビットを“1” (1 メッセージ受信ごとに割り込み要求発生) にしている場合、*RSCAN0CFSTSk* レジスタの CFRXIF フラグが“1” (送受信 FIFO 受信割り込み要求あり) になります。CFRXIF フラグはプログラムで“0”にできます。
- (4) 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。

- (5) *RSCAN0CFIDk*、*RSCAN0CFPTRk*、*RSCAN0CFDF0k*、*RSCAN0CFDF1k* レジスタから受信メッセージを読み出し、*RSCAN0CFPCTRk* レジスタに“FF_H”を書きます。それにより、*RSCAN0CFSTSk* レジスタの CFMC[7:0] ビットが1減算されて“00_H”になり、*RSCAN0CFSTSk* レジスタの CFEMP フラグが“1” (送受信 FIFO バッファ空) になります。
- (6) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。*RSCAN0GCFG* レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (7) DLC フィルタ処理を通過し、かつ CFE ビットが“1” (送受信 FIFO バッファを使用する)、CFDC[2:0] ビットの値が“001_B”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFMC[7:0] ビットが1加算されて“01_H”になります。CFIM ビットを“1” (1メッセージ受信ごとに割り込み要求発生) にしている場合、CFRXIF フラグが“1” (送受信 FIFO 受信割り込み要求あり) になります。また、*RSCAN0RFCCx* レジスタの RFE ビットが“1” (受信 FIFO バッファを使用する)、*RSCAN0RFCCx* レジスタの RFDC[2:0] ビットの値が“001_B”以上の場合、受信 FIFO バッファにメッセージが格納されます。*RSCAN0RFSTSk* レジスタの RFMC[7:0] ビットが1加算されて“01_H”になります。*RSCAN0RFCCx* レジスタの RFIM ビットを“1” (1メッセージ受信ごとに割り込み要求発生) にしている場合、*RSCAN0RFSTSk* レジスタの RFIF フラグが“1” (受信 FIFO 割り込み要求あり) になります。

16.5.3 送信手順

16.5.3.1 送信バッファからの送信手順

図 16.26 に送信バッファからの送信手順を示します。

図 16.27 に、同一チャネルの2つの送信バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 16.28 に、同一チャネルの2つの送信バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

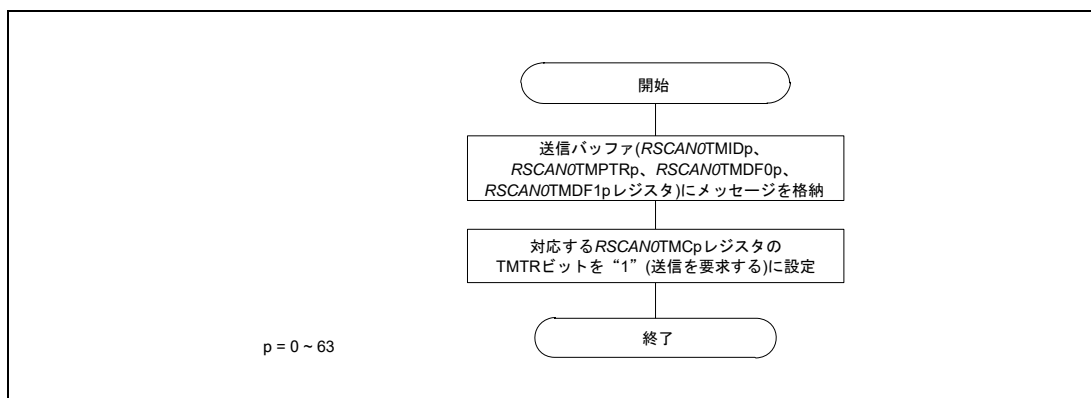


図 16.26 送信バッファからの送信手順

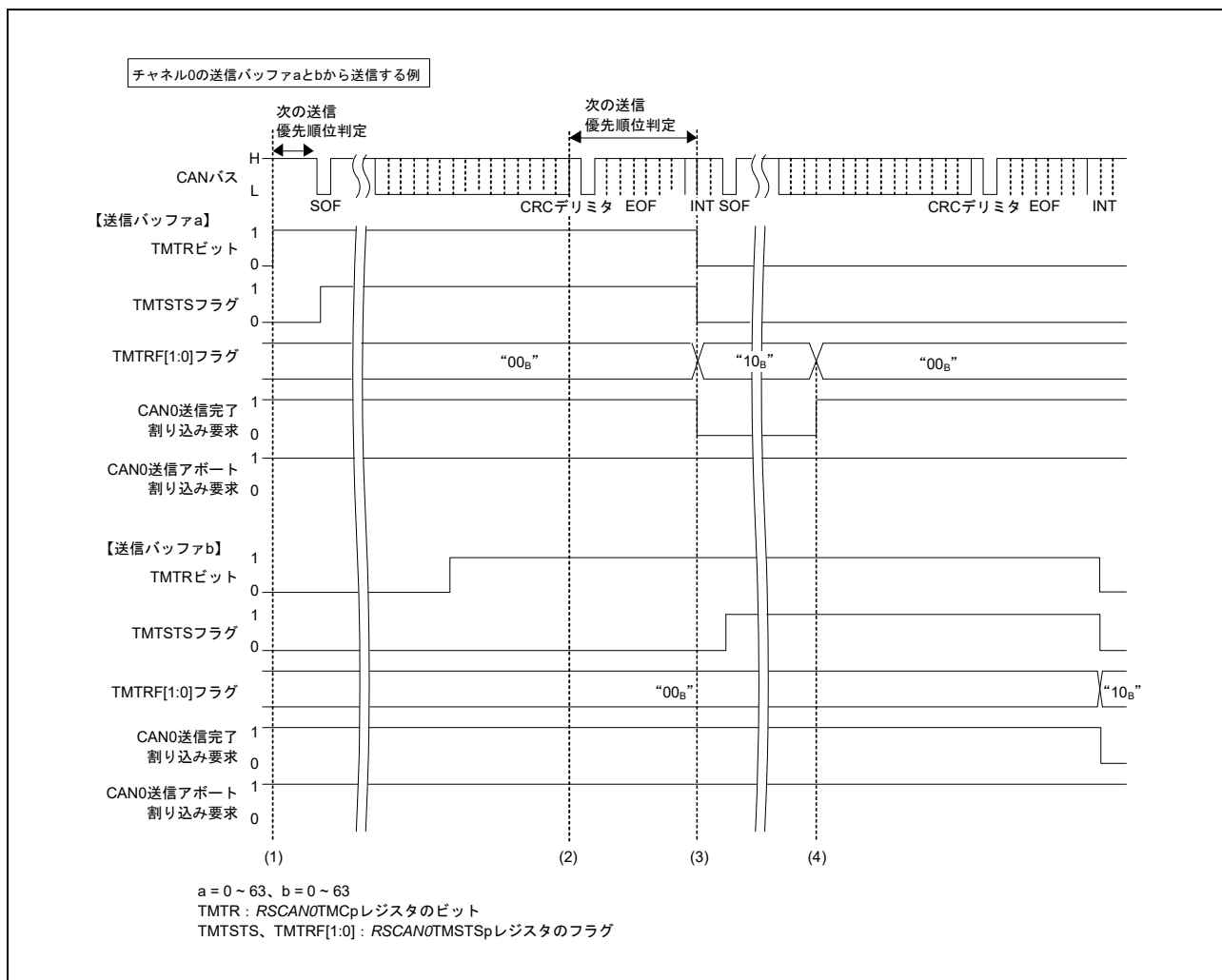


図 16.27 送信バッファの送信タイミング図 (正常に送信完了時)

- (1) CANバスがアイドル状態のとき *RSCAN0TMCa* レジスタの TMTR ビットを“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する *RSCAN0TMSTSa* レジスタの TMTSTS フラグが“1” (送信中) になり、CANチャンネルは送信を開始します。
- (2) CRC デリミタで、バッファからの送信要求があれば、次の優先順位判定を開始します。ほかのチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの3ビット目までには完了するので、送信間に遅延は発生しません。
- (3) 送信が成功すると、*RSCAN0TMSTSa* レジスタの TMTRF[1:0] フラグは“10_B” (送信完了 (送信アボート要求なし)) になり、TMTSTS フラグと *RSCAN0TMCa* レジスタの TMTR ビットは“0”になります。*RSCAN0TMIEC0* レジスタの TMIEa ビットが“1” (割り込み許可) のとき、CAN0送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00_B” (送信中または送信要求なし) にしてください。
- (4) 次の送信を開始する前に、TMTRF[1:0] フラグを“00_B”にしてください。次のメッセージを送信バッファに書いてから、TMTR ビットを“1” (送信を要求する) にしてください。TMTRF[1:0] フラグが“00_B”のときのみ、TMTR ビットを“1”に設定できます。

送信を開始後にアービトレーションロストが発生した場合、TMTSTS フラグは“0”になります。送信の優先順位判定はCRC デリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

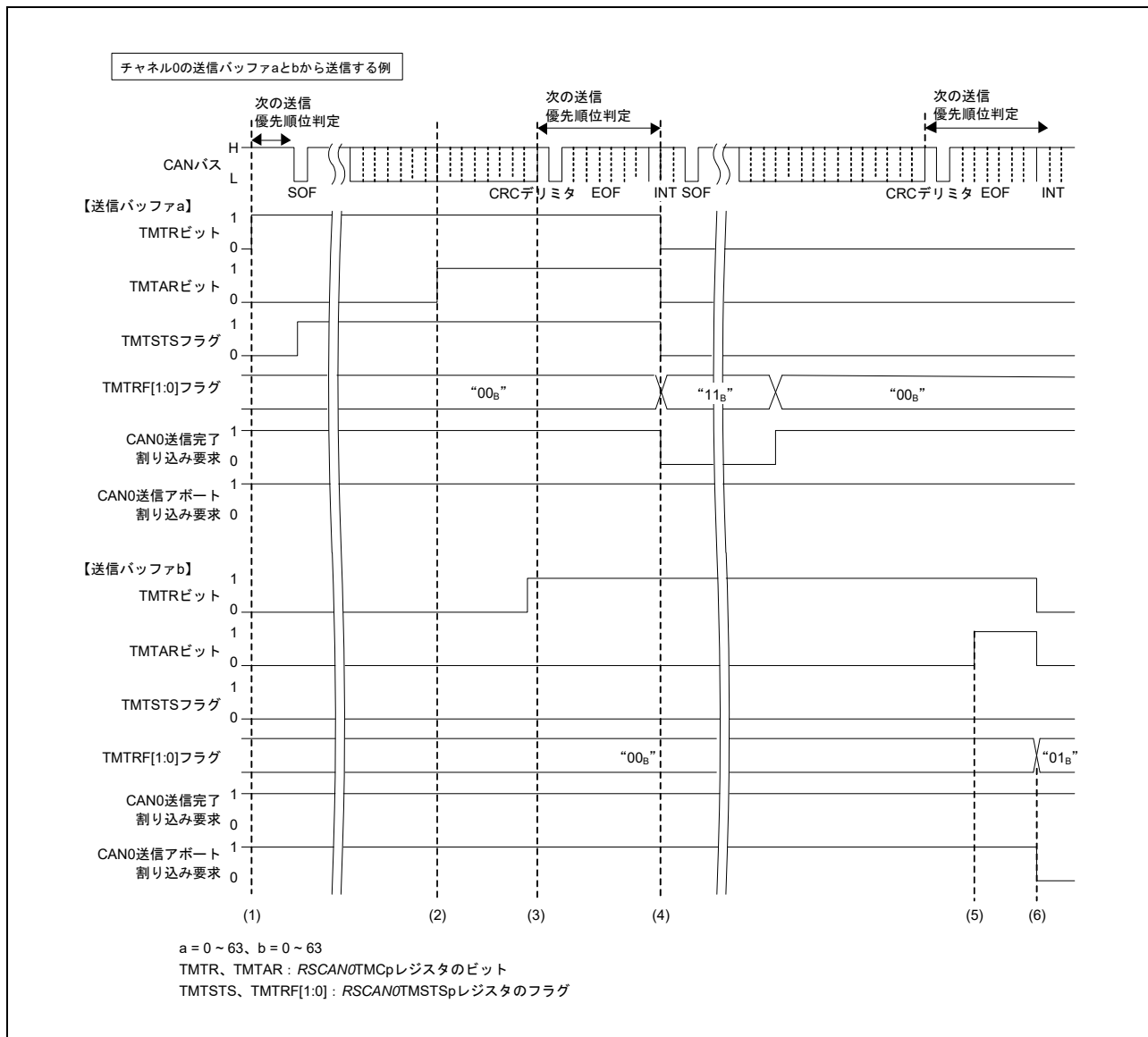


図 16.28 送信バッファの送信タイミング図 (送信アボート完了時)

- (1) CAN バスがアイドル状態のとき RSCAN0TMCa レジスタの TMTR ビットを“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCAN0TMSTSa レジスタの TMTSTS フラグが“1” (送信中) になり、CAN チャンネルは送信を開始します。
- (2) 送信バッファが次の送信に決まっているとき、または現在送信中であるとき、TMTAR ビットを“1” (アボート要求する) にしても、エラーまたはアービトレーションロストが発生しない限り、メッセージ送信はアボートされません。
- (3) CRC デリミタで、次の優先順位判定処理を開始します。このタイミング図では、バッファ b は次の送信バッファとして選択されていません。ほかのチャンネルは優先順位判定

を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの3ビット目までには完了するので、送信間に遅延は発生しません。

- (4) 送信が成功すると、*RSCAN0TMSTS*a レジスタの *TMTRF*[1:0] フラグは “11_B” (送信完了 (送信アボート要求あり)) になり、*TMTSTS* フラグと *RSCAN0TMC*a レジスタの *TMTR* ビットは “0” になります。*RSCAN0TMIE*C0 レジスタの *TMIE*a ビットが “1” (割り込み許可) のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、*TMTRF*[1:0] フラグを “00_B” (送信中または送信要求なし) にしてください。
- (5) CAN バス上にほかの CAN ノードが送信している場合 (*TMTSTS* フラグは “0”)、対応するチャンネルが優先順位判定中に *TMTAR* ビットを “1” にすると、*TMTR* ビットを “0” にできません。
- (6) 内部処理時間経過後、送信は中止され、*TMTRF*[1:0] フラグが “01_B” になります。送信バッファが送信中ではなくて、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、アボート要求はすぐに受け付けられ、*TMTRF*[1:0] フラグは “01_B” になります。このとき、*TMTR* ビットと *TMTAR* ビットは “0” になります。*RSCAN0CmCTR* レジスタの *TAIE* ビットが “1” (送信アボート割り込み許可) のとき、送信アボートが完了すると割り込み要求が発生します。割り込み要求をクリアするには、*TMTRF*[1:0] フラグを “00_B” にしてください。

CAN チャンネルが送信を開始後にアービトレーションロストが発生した場合、*TMTSTS* ビットは “0” になります。優先順位判定は CRC デリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

16.5.3.2 送受信 FIFO バッファからの送信手順

図 16.29 に送受信 FIFO バッファからの送信手順を示します。

図 16.30 に、同一チャネルの2つの送受信 FIFO バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 16.31 に、同一チャネルの2つの送受信 FIFO バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

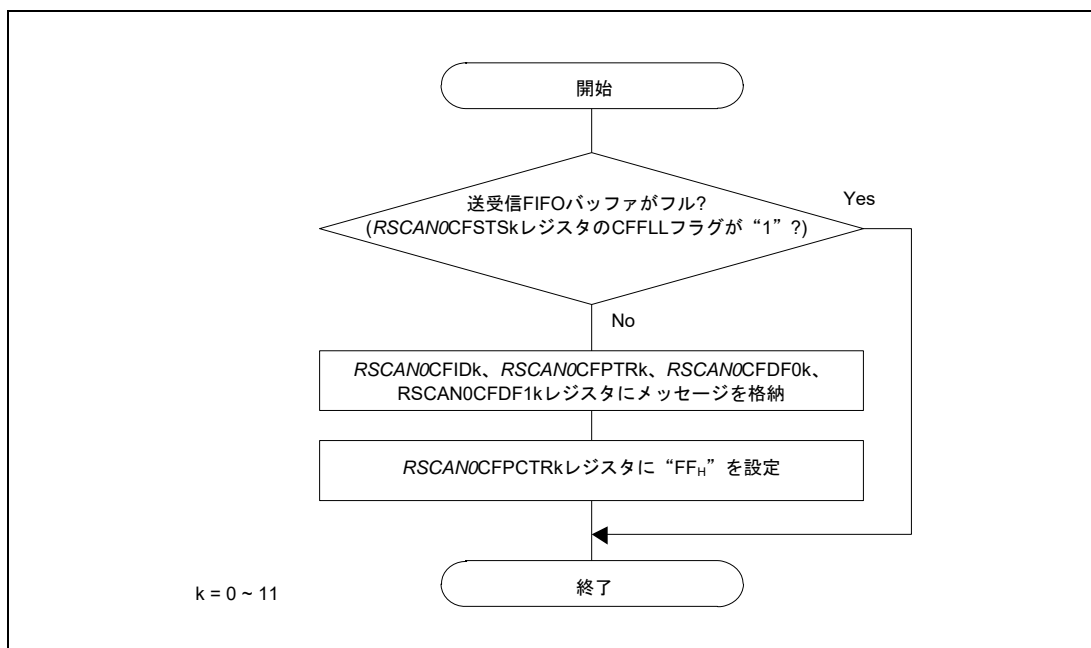


図 16.29 送受信 FIFO バッファからの送信手順

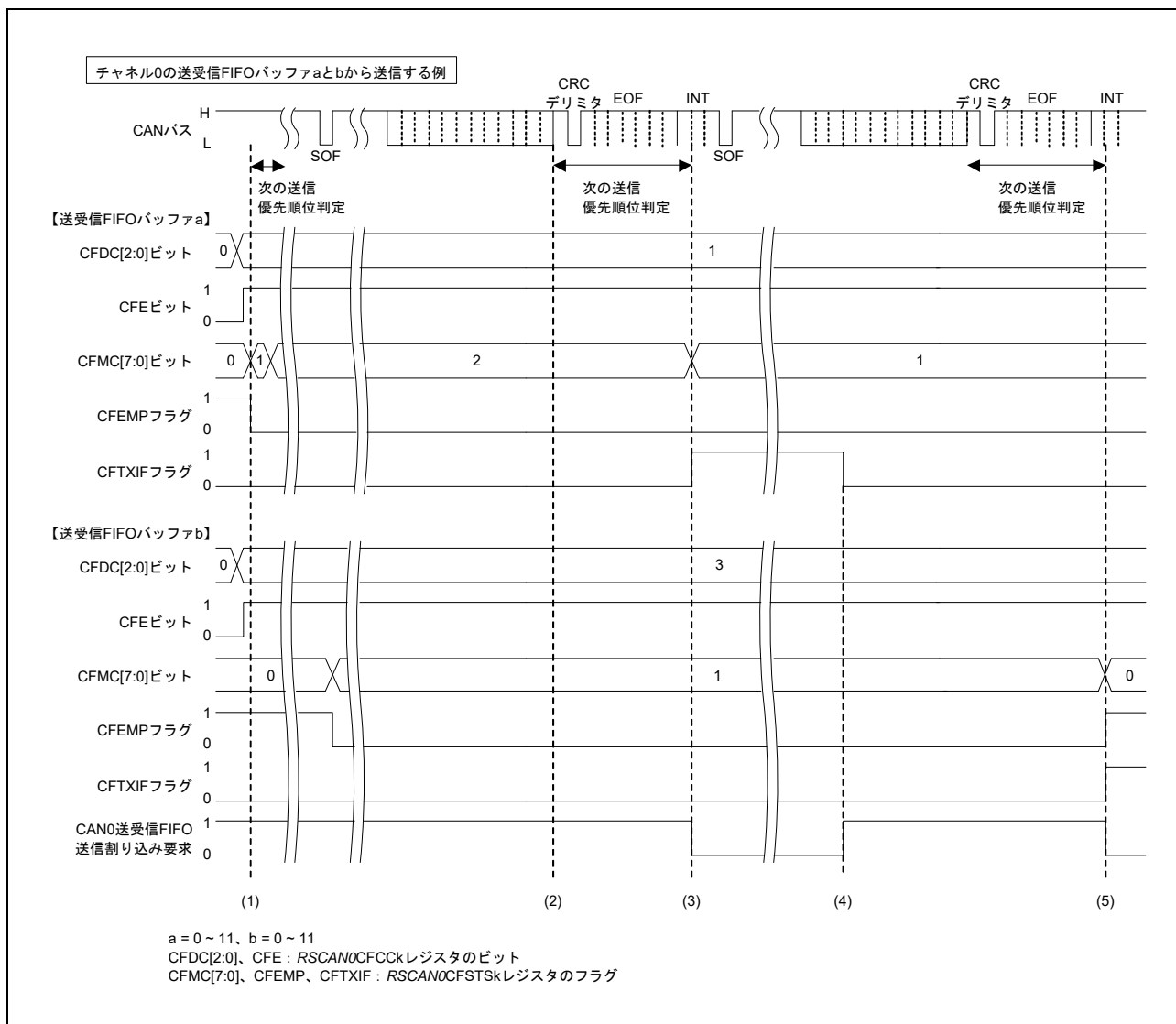


図 16.30 送受信 FIFO バッファの送信タイミング図 (正常に送信完了時)

- (1) CAN バスがアイドル状態のとき、RSCAN0CFCCa レジスタの CFE ビットが“1” (送受信 FIFO バッファを使用する)、RSCAN0CFCCa レジスタの CFDC[2:0] ビットが“001_B” (4 メッセージ) 以上、RSCAN0CFSTSa レジスタの CFMC[7:0] ビットの値が“01_H” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャンネル 0 の送受信 FIFO バッファ a から送信されます。
- (2) バッファからの送信要求があれば、CRC デリミタで次の優先順位判定処理を開始します。ほかのチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。
- (3) 送信が成功すると、RSCAN0CFSTSa レジスタの CFMC[7:0] ビットが 1 減算されます。RSCAN0CFCCa レジスタの CFIM ビットを“1” (1 メッセージ送信ごとに割り込み要求発生) にした場合、RSCAN0CFSTSk レジスタの CFTXIF フラグが“1” (送受信 FIFO 送信割り込み要求あり) になります。
- (4) CFTXIF フラグはプログラムでクリアできます。

(5) チャンネル0の送受信FIFOバッファbからの送信が完了し、RSCAN0CFSTSbレジスタのCFMC[7:0]ビットが1減算されます。CFMC[7:0]ビットが“00_H”になるため、RSCAN0CFSTS_kレジスタのCFEMPフラグが“1”（送受信FIFOバッファ空）になります。

CFEMPフラグが“1”になるまで送信は続けられます。RSCAN0CFSTS_a、RSCAN0CFSTS_bレジスタのCFLLフラグが“1”（送受信FIFOバッファフル）になるまで、送信メッセージをFIFOバッファに格納することができます。

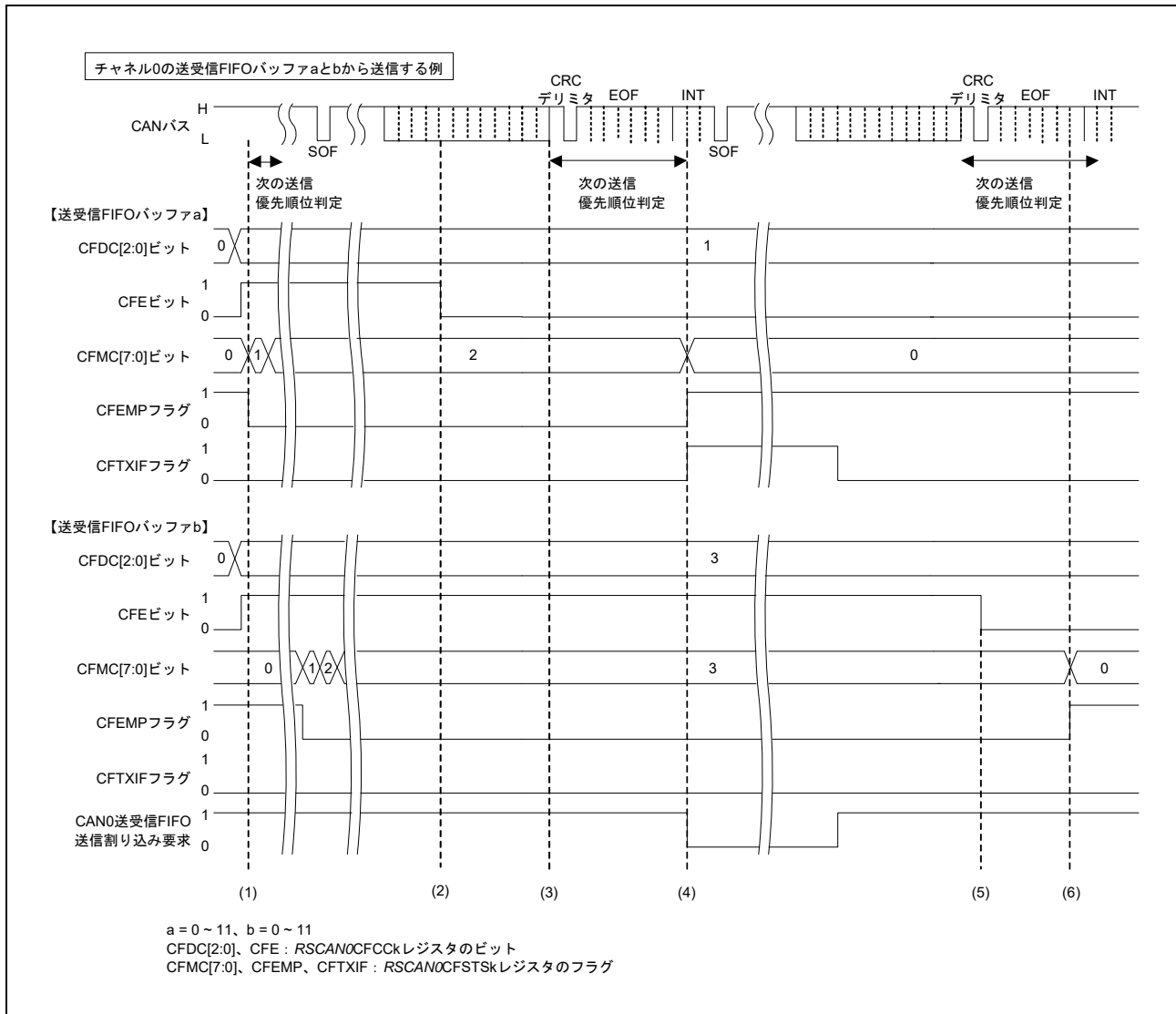


図 16.31 送受信 FIFO バッファの送信タイミング図（送信アポート完了時）

- (1) CANバスがアイドル状態のとき、RSCAN0CFCC_aレジスタ（a=0～11）のCFEビットが“1”（送受信FIFOバッファを使用する）、RSCAN0CFCC_aレジスタのCFDC[2:0]ビットが“001_B”（4メッセージ）以上、RSCAN0CFSTS_aレジスタのCFMC[7:0]ビットの値が“01_H”以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャンネル0の送受信FIFOバッファaから送信されます。
- (2) メッセージが送信中、または次の送信に決まっているとき、アービトレーションロスまたはエラーが発生しない限り、CFEビットを“0”（送受信FIFOバッファを使用しない）にしても送信はアポートされません。

- (3) バッファからの送信要求があれば、CRC デリミタで次の優先順位判定処理を開始します。この図では、送受信 FIFO バッファ **b** は次の送信用バッファとして選択されていません。ほかのチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの3ビット目までには完了するので、送信間に遅延は発生しません。
- (4) 送信が成功すると、CFMC[7:0] ビットの値が“00_H”になります。CFIM ビットを“1” (1メッセージ送信ごとに割り込み要求発生) にした場合、RSCAN0CFSTSa レジスタの CFTXIF フラグが“1” (送受信 FIFO バッファ送信割り込み要求あり) になります。CFTXIF フラグはプログラムでクリアできます。
- (5) CAN バス上のほかの CAN ノードが送信中の場合 (送受信 FIFO バッファ **b** からは送信されていない)、送信の優先順位判定中に RSCAN0CFCCb レジスタの CFE ビットを“0” (送受信 FIFO バッファを使用しない) にしても、送受信 FIFO バッファは直ちに禁止にはできません (RSCAN0CFSTSb レジスタの CFEMP フラグは直ちに“1” (送受信 FIFO バッファ空) にはなりません)。
- (6) 内部処理時間経過後、送受信 FIFO バッファは禁止され、RSCAN0CFSTSb レジスタの CFMC[7:0] ビットは“00_H”になり、CFEMP フラグは“1”になります。送受信 FIFO バッファが送信中でもなく、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、直ちに送受信 FIFO バッファは禁止されます (CFMC[7:0] ビットは“00_H”になり、CFEMP フラグは“1”になります)。

16.5.3.3 送信キューからの送信手順

図 16.32 に送信キューからの送信手順を示します。

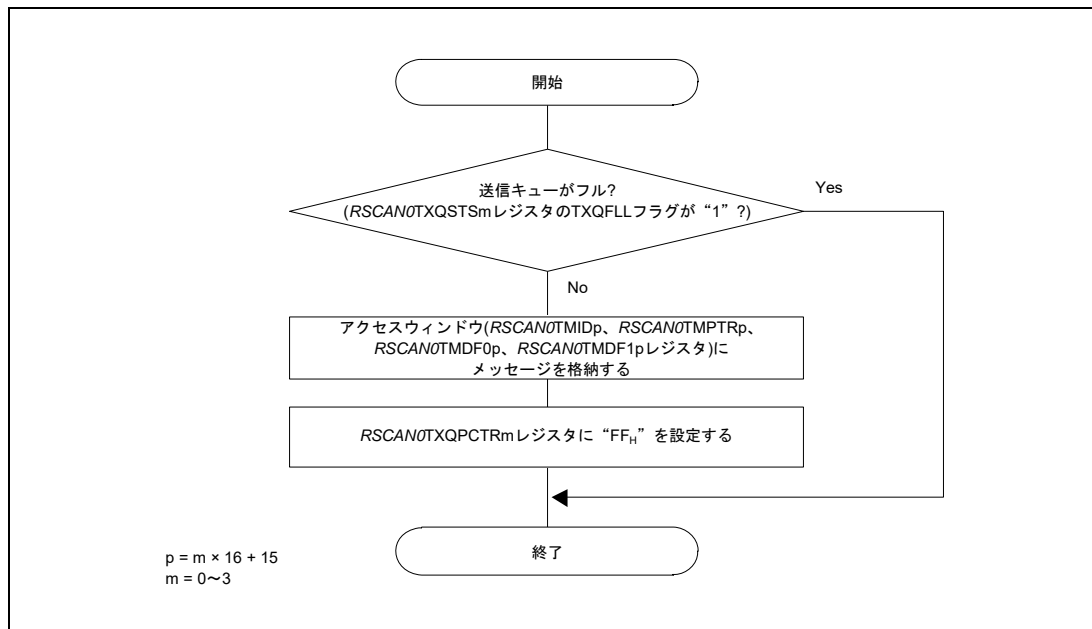


図 16.32 送信キューからの送信手順

16.5.3.4 送信履歴バッファの読み出し手順

送信履歴データは、*RSCAN0THLACCm* レジスタで読めます。1 データを読んだあと、対応する *RSCAN0THLPCTRm* レジスタ ($m = 0 \sim 3$) へ“FF_H”を書くと、次のデータへアクセスできます。図 16.33 に送信履歴バッファの読み出し手順を示します。

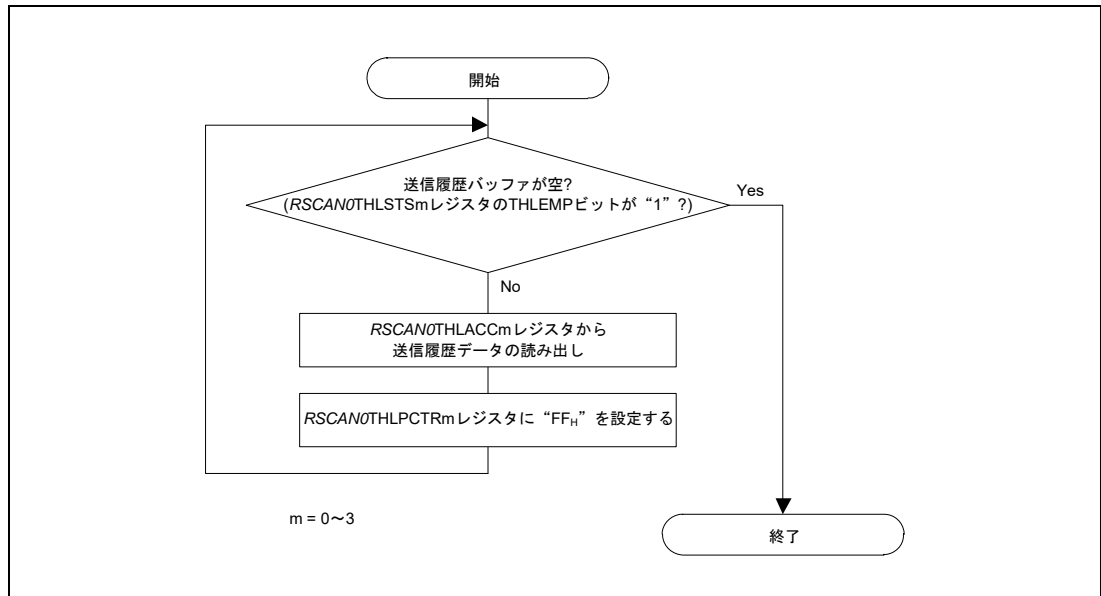


図 16.33 送信履歴バッファの読み出し手順

16.5.4 テスト設定

16.5.4.1 セルフテストモードの設定手順

セルフテストモードでは、自ら送信したメッセージを受信することにより、チャンネル単体で通信テストを行うことができます。

図 16.34 にセルフテストモードの設定手順を示します。

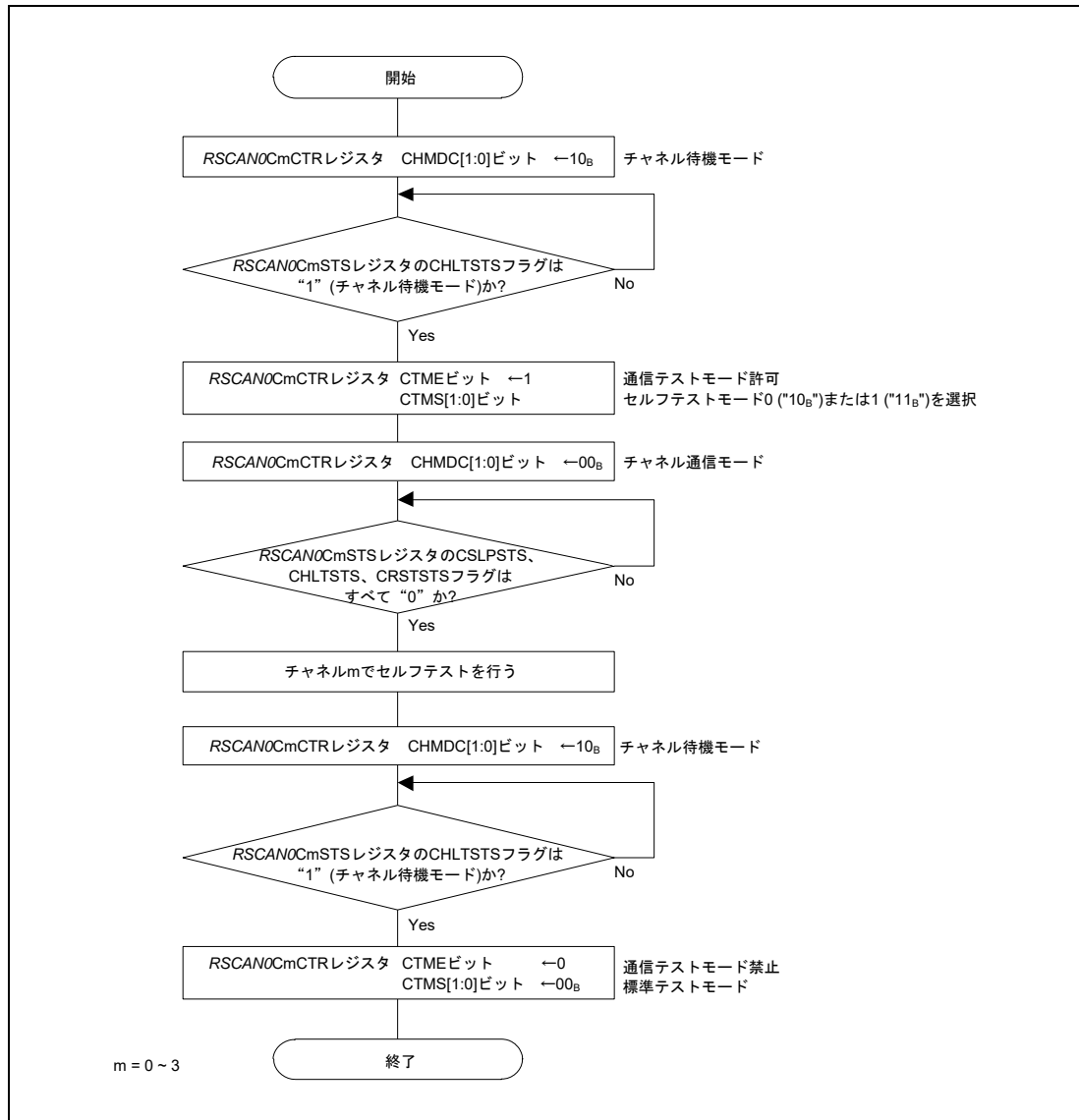


図 16.34 セルフテストモードの設定手順

16.5.4.2 プロテクト解除手順

表 16.94 に示すグローバルテスト機能はプロテクトされているため、解除データ 1 と解除データ 2 を連続して *RSCAN0GLOCKK* レジスタの *LOCK[15:0]* ビットに書いてから、それぞれのテスト機能ビットを“1”にしてください。

表 16.94 テスト機能用プロテクト解除データ

| テスト機能 | プロテクト解除データ 1 | プロテクト解除データ 2 | 対象ビット |
|---------|-------------------|-------------------|------------------------------------|
| RAM テスト | 7575 _H | 8A8A _H | <i>RSCAN0GTSTCTR</i> レジスタ RTME ビット |

間違った値を *LOCK[15:0]* ビットに書いた場合、再度、解除データ 1 の書き込みからやり直してください。図 16.35 にプロテクト解除手順を示します。

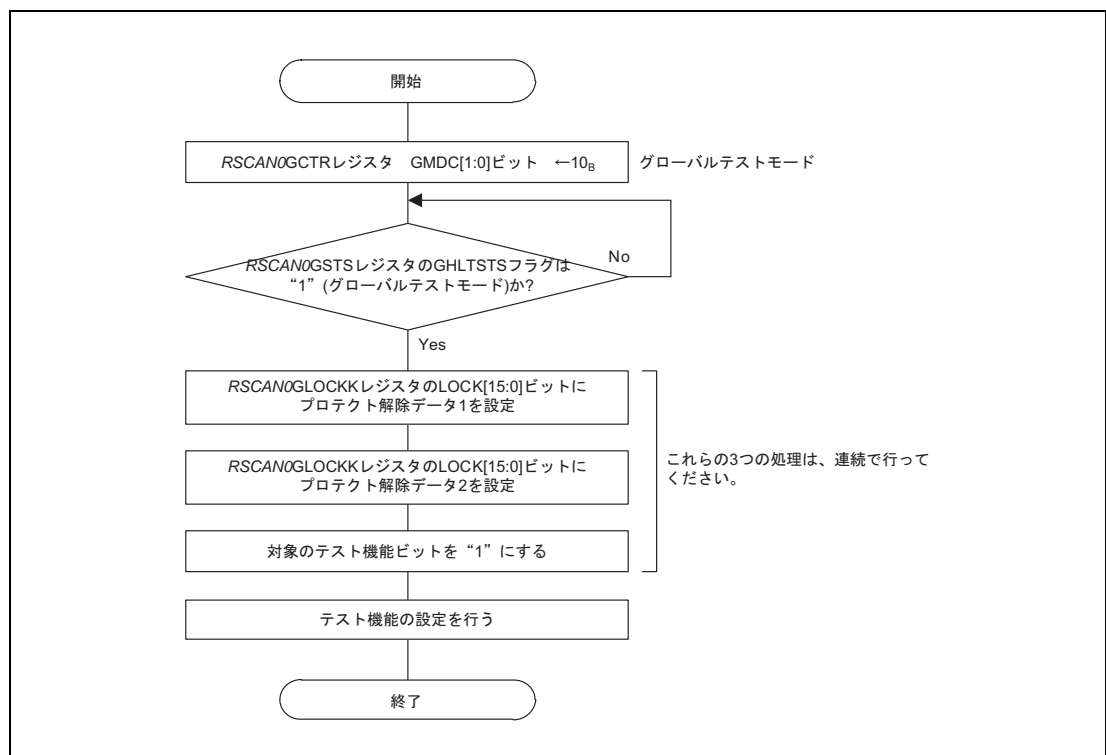


図 16.35 プロテクト解除手順

16.5.4.3 RAM テストの設定手順

RAM テストには、CAN 用 RAM の読み書きテストがあります。読み書きテストでは、RAM に書いた値が正しく読めることを確認できます。RAM テストを終了する前に、CAN 用 RAM の全ページに“0000 0000_H”を書いてください。

図 16.36 に RAM テストの設定手順を示します。

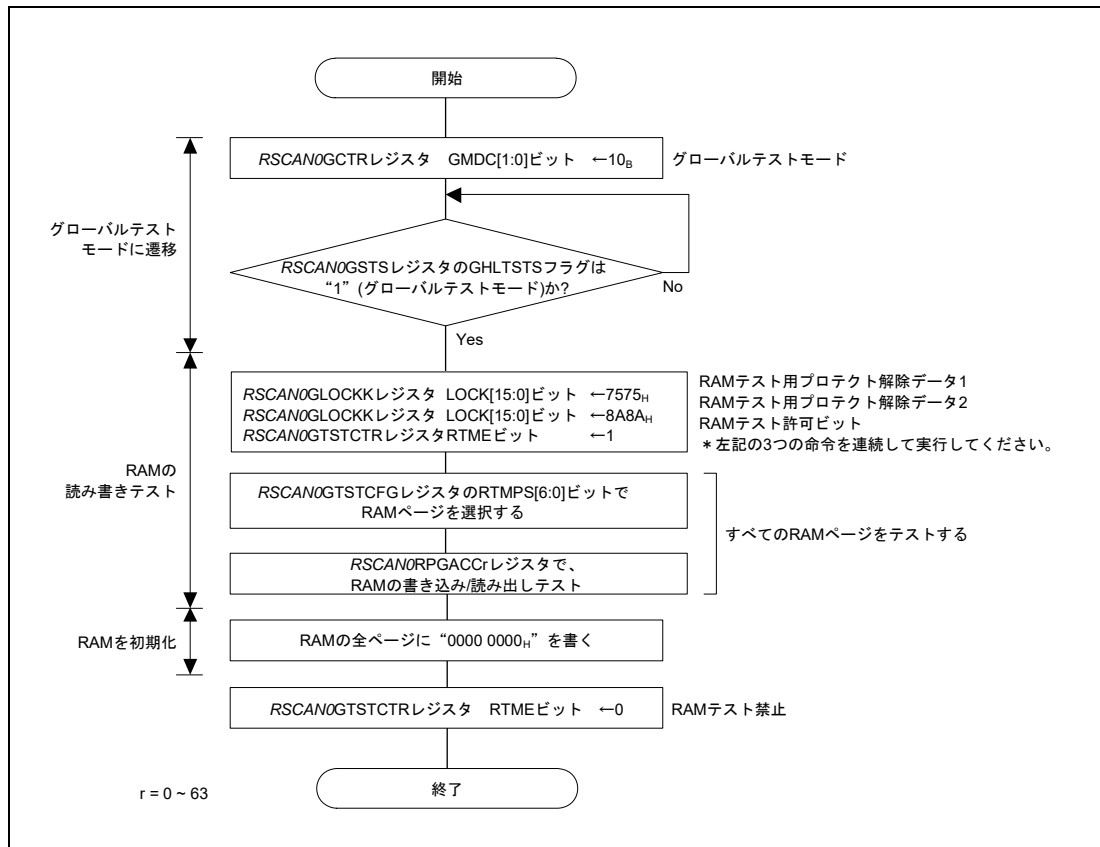


図 16.36 RAM テストの設定手順

16.5.4.4 チャンネル間通信テストの設定手順

異なるチャンネル間で送受信させることにより、通信テストを行うことができます。

図 16.37 にチャンネル間通信テストの設定手順を示します。

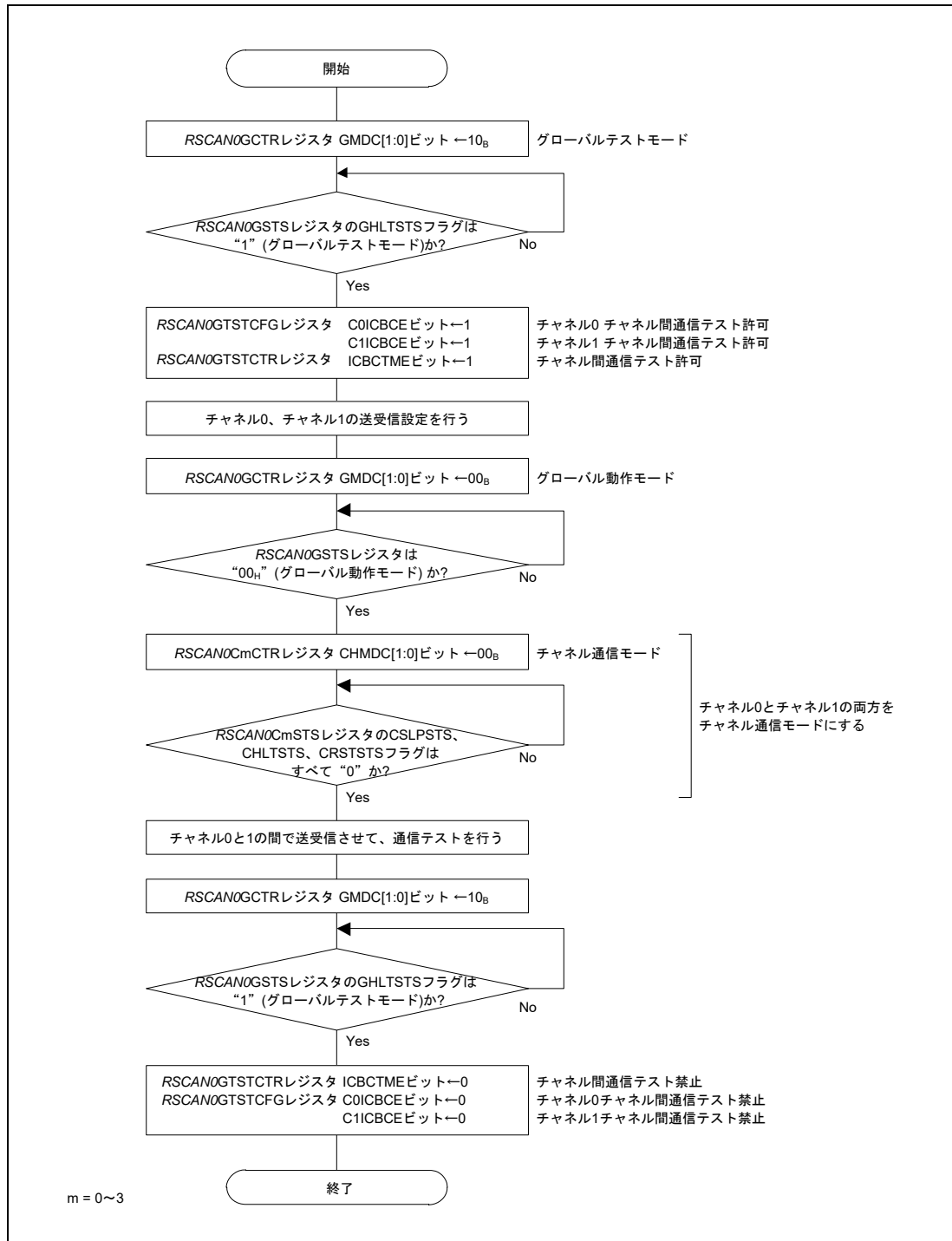


図 16.37 チャンネル間通信テストの設定手順 (チャンネル 0-1 間通信テストの例)

16.6 注意事項

- グローバルモードを変更する場合は、*RSCAN0GSTS* レジスタの *GSLPSTS*、*GHLTSTS*、*GRSTSTS* フラグで遷移を確認してください。チャンネルモードを変更する場合は、*RSCAN0CmSTS* レジスタ ($m=0\sim 3$) の *CSLPSTS*、*CHLTSTS*、*CRSTSTS* フラグで遷移を確認してください。
- アクセプタンスフィルタ処理は、小さい番号の受信ルールから順にチェックを開始します。複数の受信ルールに同じ ID、IDE ビット、RTR ビットの値を設定した場合、小さい番号の受信ルールでアクセプタンスフィルタ処理が通過します。その後の DLC フィルタ処理を通過しなかった場合も、アクセプタンスフィルタ処理には戻らず、データ処理は終了し、メッセージはバッファに格納されません。
- 送信バッファを送受信 FIFO バッファにリンクしたり、送信キューに割り当てた場合、対応する送信バッファの制御レジスタ (*RSCAN0TMCp* レジスタ) は “00_H” にしてください。また、対応する送信バッファのステータスレジスタ (*RSCAN0TMSTSp* レジスタ) は使用しないでください。その他のステータスレジスタ (*RSCAN0TMTRSTS0*、*RSCAN0TMTRSTS1*、*RSCAN0TMTARSTS0*、*RSCAN0TMTARSTS1*、*RSCAN0TMTCASTS0*、*RSCAN0TMTCASTS1*、*RSCAN0TMTASTS0*、*RSCAN0TMTASTS1* レジスタ) は、送受信 FIFO にリンクした、または送信キューに割り当てた送信バッファに対応するフラグは変化しません。対応する割り込み許可レジスタ (*RSCAN0TMIEC0*、*RSCAN0TMIEC1* レジスタ) の許可ビットは “0” (割り込み禁止) にしてください。
- 送受信 FIFO バッファにリンクされた送信バッファを、送信キューに割り当てないでください。
- 1つの送信バッファには、1つの送受信 FIFO バッファしかリンクできません。複数の送受信 FIFO バッファを同一番号の送信バッファにリンクさせないでください。
- タイムスタンプカウンタのクロック源に CANm ビットタイムクロックを選択した場合、対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。
- 受信 FIFO バッファ、送受信 FIFO バッファがフルのときに、新しい受信メッセージを格納しようとした場合、新しいメッセージは破棄されます。送受信 FIFO バッファおよび送信キューに新しい送信メッセージを格納しようとする場合、送受信 FIFO バッファおよび送信キューがフルでないことを確認してください。
- 未使用の受信バッファ (*RSCAN0RMIDq*、*RSCAN0RMPTRq*、*RSCAN0RMDf0q*、*RSCAN0RMDf1q* レジスタ)、受信 FIFO バッファアクセスレジスタ (*RSCAN0RFIDx*、*RSCAN0RFPTRx*、*RSCAN0RFDF0x*、*RSCAN0RFDF1x* レジスタ) と送受信 FIFO バッファアクセスレジスタ (*RSCAN0CFIDk*、*RSCAN0CFPTRk*、*RSCAN0CFDF0k*、*RSCAN0CFDF1k* レジスタ) の値は、一度グローバルリセットモードを抜けグローバル動作モードやグローバルテストモードに遷移すると、不定になります。

第 17 章 FlexRay

RH850/E1L では、FlexRay は搭載しません。

第18章 ルネサスハイスピードバス (RHSB)

18.1 概要

18.1.1 RHSB の特長

チャンネル：本 MCU は次のチャンネル数のルネサスハイスピードバス (RHSB) を搭載しています。

表 18.1 RHSB のチャンネル数

| ルネサスハイスピードバス (RHSB) | RH850/E1L |
|---------------------|-----------|
| チャンネル数 | 1 |
| 名称 | RHSB0 |

チップセレクトインデックス：RHSB は最大 2 つのチップセレクト信号を備えています。ここでは個々のチップセレクト信号をインデックス「x」で識別します。このため、あるチップセレクト信号を RHSBjCSDx と表します (j = 0)。

RHSBj の各チャンネルのチップセレクトの数を次表に示します。

表 18.2 RHSB のチップセレクトインデックス

| RHSB のチャンネル | RH850/E1L |
|-------------|----------------------|
| RHSB0 | RHSB0CSDx (x = 0, 1) |

アップストリームシリアル入力インデックス：RHSB は最大 2 つのアップストリームシリアル入力信号を備えています。ここでは個々のアップストリームシリアル入力信号をインデックス「x」で識別します。このため、あるアップストリームシリアル入力信号を RHSBjSIx と表します (j = 0)。

RHSBj の各チャンネルのアップストリームシリアル入力の数を次表に示します。

表 18.3 RHSB アップストリームシリアル入力インデックス

| RHSB のチャンネル | RH850/E1L |
|-------------|---------------------|
| RHSB0 | RHSB0SIx (x = 0, 1) |

18.1.2 モジュールの概要

ここでは、ルネサスハイスピードバス (RHSB) の機能について説明します。RHSB は、最大4つのマイクロセカンドバスチャネルに対応するマスタノードとして使用するよう設計されています。また、MSC 1.0 (BOSCH/Infineon、2003年7月)仕様およびMSC 1.0.0 (IPextreme、2007年7月27日)仕様に準拠するよう設計されています。

18.1.2.1 ダウンストリームチャネル通信機能

ダウンストリーム通信

- 同期シリアル送信
- クロック位相を選択可能で、パッシブ位相中にクロック動作を設定可能
- 設定可能な繰り返し時間は1～512_Dビット(データビット)で、データフレーム長に依存しない。
- 設定可能なダウンストリームビットレートは、 $x = (2, 4, 5, 8, 16, 32, 64, 128, 256)$ のとき $f_{DW} = f_{PE}/x$ 。本製品の f_{PE} は 80MHz。
- 評価のために、実行中のダウンストリーム送信のステータスを表示

最大2つのスレーブを、以下を個別に設定してサポート

- チップセレクトおよびデータビットのアクティブレベル
- データフレームがある場合とない場合の選択ビット
- アサート時間(0～7_Dビット)とデアサート時間(0～7_Dビット)の長さ

ダウンストリームデータフレーム

- 各データフレーム(1～64ビット)は個別の長さの1～4個のDFTEで構成
- DFTEのビットごとに個別のソース(タイマ入力、データレジスタなど)をユーザが定義可能
- 各データフレームの後ろのフレームパッシブ位相は、1～64_Dビットに構成可能
- 3つの送信モードでデータ送信をスケジューリング

ダウンストリームコマンドフレーム

- リモートデータの要求がある場合とない場合のコマンドフレーム送信
- コマンドフレーム送信を行う1～32_Dビットを定義する専用レジスタを使用可能
- コマンドフレームをデータフレームスケジューリングに挿入する3種類の方法

緊急時機能

- 緊急事態の処理(イネーブル/ディスエーブル)を設定可能
- 緊急事態をMCUの入力ピン(アクティブレベルを設定可能)で識別
- 緊急時入力をレベルセンシティブとエッジセンシティブ間で選択可能
- 緊急フレームデータの送信後、送信の自動停止可能
- 緊急データ送信のDFTEビットは専用レジスタにより個別に設定可能

18.1.2.2 アップストリームチャンネル通信機能

アップストリーム通信

- 非同期シリアル受信
- データ要求に対してコマンドフレームを適用すると、スレーブ構成を自動的に選択
- データ要求によるコマンドフレームに関するスレーブの応答を監視するため、タイムアウト検出機能の有効化が可能
- 評価のために、実行中のアップストリーム受信/送信のステータスを表示機能の有効化が可能

アップストリーム通信では以下を個別に設定した最大2つのスレーブをサポート

- データラインのアクティブレベル
- 8または12データビット、偶数または奇数のパリティビット、2ビットまたは3ビットのストップビットを含むフレーム
- ダウンストリームビットレートから算出したアップストリームビットレート ($f_{UP} = f_{DW}/2^x$ 、 $x = 3 \sim 9$ 、算出結果は/8 ~ /512)

最大2つのスレーブのアップストリームステータス

- 有効なデータを受信
- データ消失 (データレジスタのオーバラン)
- タイムアウトエラー
- エラーを受信 (パリティビットエラーまたはストップビットエラー)

18.1.2.3 割り込み

RHSB モジュールには割り込み要求の要因が9種類あります。割り込みの5つはダウンストリーム関連で、4つはアップストリーム関連です。これらの割り込み要因は5つの割り込み要求として通知されます。

割り込み要因ごとに、個別の割り込みイネーブルビットと割り込みステータスビットがあります。

18.1.2.4 DMA のサポート

RHSB モジュールは、ダウンストリームデータ DMA 転送によるダウンストリームデータレジスタの更新をサポートしています。「データフレーム送信開始」割り込みは、この転送をトリガするのに使用されます。

RHSB モジュールは、ダウンストリームコマンド DMA 転送によるダウンストリームコマンドデータレジスタの更新をサポートしています。「コマンドフレーム送信実行」割り込みは、この転送をトリガするのに使用されます。

RHSB モジュールは、アップストリーム DMA による有効受信データの自動転送をサポートしています。

「データ受信」割り込みはこの転送をトリガするのに使用されます。

18.1.2.5 その他の機能

RHSB モジュールはキーオンテストのテストモードをサポートしています。このテストモードでは、ダウンストリーム送信からアップストリーム受信へのループバックにより、データパスを簡単にチェックすることができます。

18.1.2.6 注意事項

本製品では、RHSB のチップセレクト信号を使用する際は、端子の出力バッファ特性（ドライバビリティ）としてドライバビリティ = High の設定のみサポートしています。

出力バッファ特性の設定については、**表 2.25 PUCcN レジスタの内容**をご参照ください。

18.1.3 ブロック図

図 18.1 に RHSB モジュールのトップレベルのブロック図を示します。

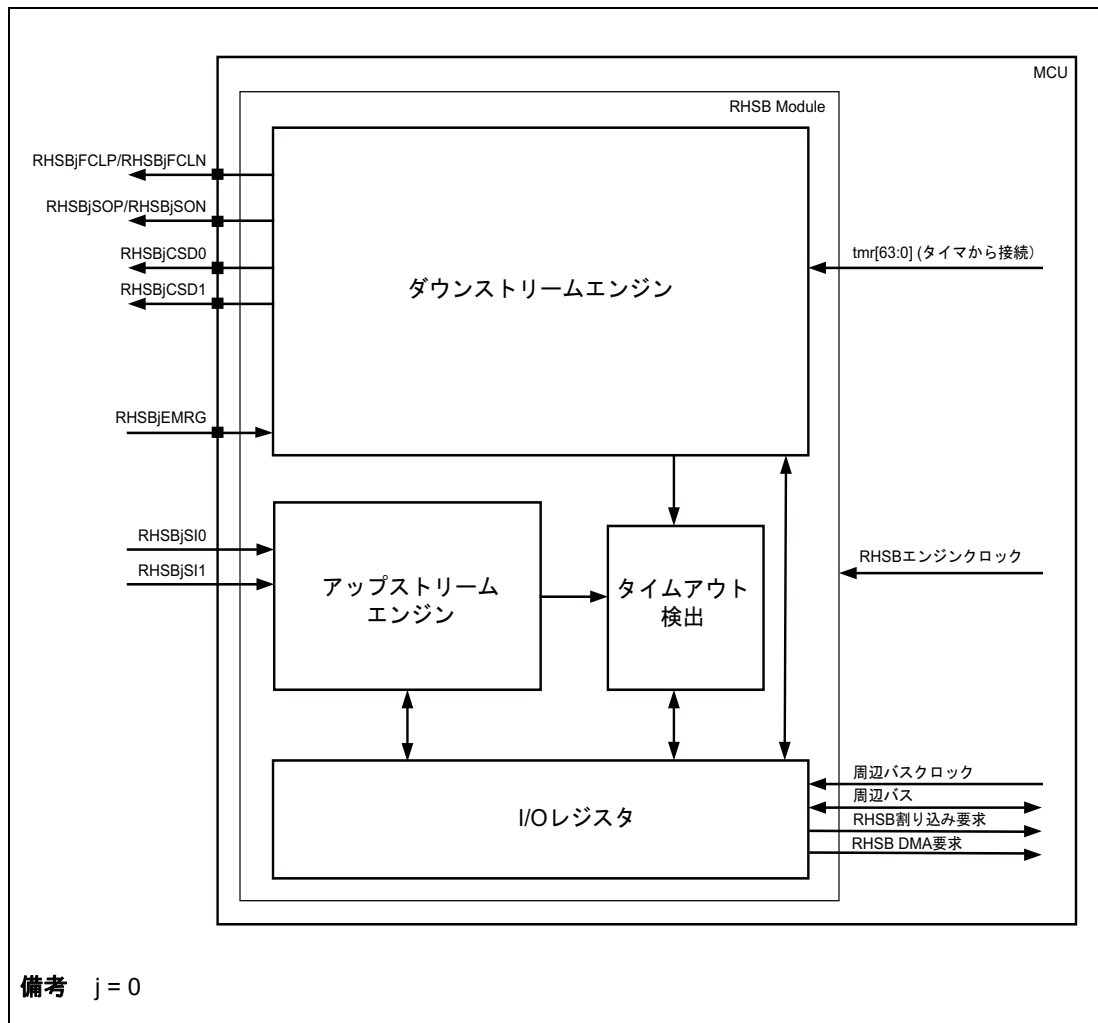


図 18.1 トップレベルのブロック図

タイマ $\text{tmr}[63:0]$ は XBAR によって選択された ATU-IV と APA の該当ビットです。XBAR については、「**18.7 クロスバー (XBAR)**」を参照してください。

18.2 レジスタの説明

ここでは、RHSB モジュールの I/O レジスタについて詳しく説明します。

レジスタビットへの書き込みは、ハードウェアによる書き込みが CPU による書き込み（ソフトウェア書き込み）よりも優先されます。

18.2.1 I/O レジスタの概要

RHSB のアドレス範囲は、 $\langle \text{RHSBj_base} \rangle + 00_{\text{H}}$ から始まり $\langle \text{RHSBj_base} \rangle + 7\text{F}_{\text{H}}$ で終わります。

$\langle \text{RHSBj_base} \rangle$ を表 18.4 に示します。

RHSB モジュールのレジスタマップを表 18.5 に示します。

表 18.4 ベースアドレス $\langle \text{RHSBj_base} \rangle$

| RHSBj | RHSBj_base |
|-------|------------------------|
| RHSB0 | FFEE 0000 _H |

RHSBjGC.RHSBjOPS が RESET の間、RHSB モジュールはリセット状態のままです。

表 18.5 および I/O レジスタの説明に「リセット後の値」で示される値は、このリセット状態に関連しています。

RHSB の動作モードの詳細については、「18.3 動作説明」を参照してください。

RHSB モジュールのモジュール固有のベースアドレスは、指定されたそれぞれのオフセットアドレスに追加する必要があります。

表 18.5 I/O レジスタアドレスマップ (1/2)

| レジスタ名 | シンボル* | リセット後の値 | アドレス | アクセスサイズ |
|--|------------|------------------------|---|-----------|
| グローバル設定レジスタ | RHSBjGC | 0000 0000 _H | $\langle \text{RHSBj_base} \rangle + 00_{\text{H}}$ | 32, 16, 8 |
| モジュールステータスレジスタ | RHSBjMSR | 0001 0000 _H | $\langle \text{RHSBj_base} \rangle + 08_{\text{H}}$ | 32, 16, 8 |
| ダウンストリーム設定レジスタ | RHSBjDCR | 0011 FF00 _H | $\langle \text{RHSBj_base} \rangle + 10_{\text{H}}$ | 32, 16 |
| データエレメント設定レジスタ | RHSBjDEC | 0000 0000 _H | $\langle \text{RHSBj_base} \rangle + 14_{\text{H}}$ | 32, 16, 8 |
| スレーブデバイス設定レジスタ i ($i = 0$) | RHSBjSDCi | 0000 0000 _H | $\langle \text{RHSBj_base} \rangle + 18_{\text{H}} + 4*i$ | 32, 16 |
| データエレメントビット割り当てレジスタ m ($m = 0 \sim 3$) | RHSBjDEBAm | 0000 0000 _H | $\langle \text{RHSBj_base} \rangle + 20_{\text{H}} + 4*m$ | 32, 16 |
| 緊急ビットイネーブルレジスタ i ($i = 0, 1$) | RHSBjEBEi | 0000 0000 _H | $\langle \text{RHSBj_base} \rangle + 30_{\text{H}} + 4*i$ | 32, 16 |
| ダウンストリーム送信制御レジスタ | RHSBjDTC | 0000 0000 _H | $\langle \text{RHSBj_base} \rangle + 38_{\text{H}}$ | 32, 16, 8 |
| ダウンストリームコマンドデータレジスタ | RHSBjDCD | 0000 0000 _H | $\langle \text{RHSBj_base} \rangle + 3\text{C}_{\text{H}}$ | 32, 16 |
| ダウンストリームデータレジスタ i ($i = 0, 1$) | RHSBjDDRi | 0000 0000 _H | $\langle \text{RHSBj_base} \rangle + 40_{\text{H}} + 4*i$ | 32, 16 |
| ダウンストリーム緊急データレジスタ i ($i = 0, 1$) | RHSBjDEDi | 0000 0000 _H | $\langle \text{RHSBj_base} \rangle + 48_{\text{H}} + 4*i$ | 32, 16 |
| アップストリーム設定レジスタ | RHSBjUCR | 0000 1800 _H | $\langle \text{RHSBj_base} \rangle + 50_{\text{H}}$ | 32, 16, 8 |
| アップストリームチャンネル設定レジスタ | RHSBjUCC | 0F0F 0F0F _H | $\langle \text{RHSBj_base} \rangle + 54_{\text{H}}$ | 32, 16, 8 |
| アップストリームチャンネル選択レジスタ | RHSBjUCS | 0000 0000 _H | $\langle \text{RHSBj_base} \rangle + 58_{\text{H}}$ | 32, 16, 8 |
| アップストリームデータ読み出しレジスタ | RHSBjUDR | 0000 0000 _H | $\langle \text{RHSBj_base} \rangle + 5\text{C}_{\text{H}}$ | 32, 16, 8 |
| アップストリームデータレジスタ i ($i = 0, 1$) | RHSBjUDI | 0000 0000 _H | $\langle \text{RHSBj_base} \rangle + 60_{\text{H}} + 4*i$ | 32, 16, 8 |
| アップストリームステータスマリレジスタ | RHSBjUSS | 0000 0000 _H | $\langle \text{RHSBj_base} \rangle + 70_{\text{H}}$ | 32, 16, 8 |
| 割り込み制御レジスタ | RHSBjIC | 0000 0000 _H | $\langle \text{RHSBj_base} \rangle + 74_{\text{H}}$ | 32, 16, 8 |

表 18.5 I/O レジスタアドレスマップ (2/2)

| レジスタ名 | シンボル* | リセット後の値 | アドレス | アクセスサイズ |
|----------------------|-----------|------------------------|--------------------------------|-----------|
| 割り込みステータスレジスタ | RHSBjIS | 0000 0000 _H | <RHSBj_base> + 78 _H | 32, 16, 8 |
| 周期 1 用ダウンストリーム設定レジスタ | RHSBjDCR1 | 0000 0000 _H | <RHSBj_base> + 7C _H | 32, 16, 8 |

j = 0

表 18.5 に記載されたアクセスサイズは、書き込みアクセスに不可欠です。また、レジスタはすべて 8、16 および 32 ビットアクセスにより読み出し可能です。

表 18.5 で「リザーブレジスタ」と表示されたレジスタにはアクセスしないでください。また、ビットを I/O レジスタの説明で「無効」と指定された値に設定しないでください。

18.2.2 記号説明

ここでは、「18.2.3 共通制御部のレジスタ説明」～「18.2.6 割り込みレジスタ」において I/O レジスタの説明で使用される、モジュールの状態に依存する略称について説明します。

条件

- R/W: ビットは読み出し／書き込み可能
- R: このビットは読み出しのみ有効で、書き込みは無効

レジスタ名とレジスタビット名に使用されるインデックス

i: 汎用インデックス

m: DFTE_m 関連のインデックス

n: スレーブ n 関連のインデックス

リザーブビット:

- 常に 0 が読み出される
- これらのビットへの書き込みは無効 (ハードウェア保護)

18.2.3 共通制御部のレジスタ説明

18.2.3.1 RHSBjGC — グローバル設定レジスタ

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RHSBj_base> + 00_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|---------------|-------------------|--------------|
| | — | — | — | — | — | — | — | — | — | — | — | — | — | RHSBj DCDE | RHSBj DDE | RHSBj UDE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | RHSBjOPS [1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 18.6 RHSBjGC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------------|--|
| 31 ~ 19 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 18 | RHSBjDCDE | ダウンストリームコマンド DMA 要求許可ビット 0 _B : ダウンストリームコマンド DMA 要求禁止 1 _B : ダウンストリームコマンド DMA 要求許可 |
| 17 | RHSBjDDE | ダウンストリームデータ DMA 要求許可ビット 0 _B : ダウンストリームデータ DMA 要求禁止 1 _B : ダウンストリームデータ DMA 要求許可 |
| 16 | RHSBjUDE | アップストリーム DMA 要求許可ビット 0 _B : アップストリーム DMA は要求禁止 1 _B : アップストリーム DMA は要求許可 |
| 15 ~ 2 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 1、0 | RHSBjOPS [1:0] | 動作ステータス 00 _B : RESET 状態 01 _B : CONFIG 状態 10 _B : ACTIVE 状態 11 _B : TEST 状態 |

(1) RHSBjGC.RHSBjDCDE — ダウンストリームコマンド DMA 要求許可

RHSBjIS.RHSBjCTF が、割り込み要因として使用されている (RHSBjIC.RHSBjCTIE = 1_B) ときは、このビットを 1_B に設定しないでください。

このビットは、RHSBjIS.RHSBjCTF が 1_B のとき、ダウンストリームコマンドデータレジスタ (RHSBjDCD) とダウンストリーム送信制御レジスタ (RHSBjDTC) がダウンストリーム DMA 転送によって更新され、コマンドデータがスレーブに転送されるかどうかを定義します。

ダウンストリームコマンド DMA の詳細については、「**18.6.2 ダウンストリームコマンド送信での DMA の使用**」を参照してください。

(2) RHSBjGC.RHSBjDDE — ダウンストリームデータ DMA イネーブル

RHSBjIS.RHSBjDTSF が割り込み要因として使用されている (RHSBjIC.RHSBjDTSIE = 1_B) ときは、このビットを 1_B に設定しないでください。

このビットは、RHSBjIS.RHSBjDTSF が 1_B のとき、ダウンストリームデータレジスタ (RHSBjDDRi) をダウンストリーム DMA 転送によって更新するかどうかを定義します。

ダウンストリームデータ DMA の詳細については、「**18.6.1 ダウンストリームデータ送信での DMA の使用**」を参照してください。

(3) RHSBjGC.RHSBjUDE — アップストリーム DMA イネーブル

RHSBjIS.RHSBjDRF が割り込み要因として使用されている (RHSBjIC.RHSBjDRIE = 1_B) ときは、このビットを 1_B に設定しないでください。

このビットは、RHSBjIS.RHSBjDRF が 1_B のとき、アップストリームデータレジスタ (RHSBjUDR) をアップストリーム DMA によって転送するかどうかを定義します。

アップストリーム DMA の詳細については、「**18.6.3 アップストリームデータ受信での DMA の使用**」を参照してください。

(4) RHSBjGC.RHSBjOPS — 動作ステータス

RHSBjGC.RHSBjOPS が 00_B または 10_B のとき、これらのビットに 11_B (TEST) を書き込むことはできません。

また、RHSBjGC.RHSBjOPS が 00_B または 11_B のとき、これらのビットに 10_B (ACTIVE) を書き込むことはできません。

これらのビットは RHSB モジュールの現在の動作状態を定義します。

グローバル動作状態の詳細については、「**18.3 動作説明**」を参照してください。

18.2.3.2 RHSBjMSR — モジュールステータスレジスタ

アクセス 8、16、32ビット単位でリード可能です。

アドレス <RHSBj_base> + 08_H

リセット後の値 0001 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|---------------|----|----|----|----|----|----|----|----|----|----------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | RHSBjDFA[2:0] | | | — | — | — | — | — | — | — | RHSBjTPS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | RHSBjUFA |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 18.7 RHSBjMSR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------|--|
| 31 ~ 27 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 26 ~ 24 | RHSBjDFA[2:0] | ダウンストリームフレーム動作 00 _B : インターフレームパッシブまたはディスエーブル 001 _B : データフレームのパッシブ位相 010 _B : コマンドフレームのアクティブ位相 011 _B : コマンドフレームのパッシブ位相 100 _B : データフレームのアクティブ位相 (DFTE0) 101 _B : データフレームのアクティブ位相 (DFTE1) 110 _B : データフレームのアクティブ位相 (DFTE2) 111 _B : データフレームのアクティブ位相 (DFTE3) |
| 23 ~ 17 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 16 | RHSBjTPS | 送信周期ステータス 0 _B : 周期0 1 _B : 周期1 |
| 15 ~ 1 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 0 | RHSBjUFA | アップストリームフレーム動作 0 _B : アップストリームはアイドル状態 1 _B : アップストリームフレームのデコードを実行中 |

(1) RHSBjMSR. RHSBjDFA — ダウンストリームフレーム動作

これらのビットはダウンストリーム送信の詳細を示します。これらのビットはダウンストリーム通信レートが 5 M ビット/秒以下の場合、有効です。

データフレームのアクティブ位相用に、転送中の DFTE にフラグが付けられます。スレーブ選択ビット（アサート位相、デアサート位相）に、関連する DFTE の部分としてフラグが付けられます。

[変更条件]

これらのビットは、ダウンストリーム通信の位相が変わると更新されます。

これらのビットは、送信に使用される DFTE の数が変わると更新されます。

これらのビットは、CONFIG 状態に入ると 000_B に設定されます。

(2) RHSBjMSR.RHSBjTPS — 送信周期ステータス

このビットはマルチ周期繰り返しモードのみ、有効です。

このビットは送信周期をカウントし、指示しています。

送信開始の際、このビットは 0_B から動作開始します。

[変更条件]

マルチ周期繰り返しモード設定時、このビットはタイムテックのタイミングで、更新されません。

[セット条件]

ユーザは RHSBjDTC.RHSBjDTE に 1_B を書き込んだ際、このビットは 1_B となります。

緊急時機能の許可ビット（RHSBjDCR.RHSBjEE）は 11_B にセットされたとき、このビットは 1_B となります。

CONFIG 状態に入ると、このビットは 1_B となります。

(3) RHSBjMSR. RHSBjUFA — アップストリームフレーム動作

このビットは、アップストリームデコーダが開始ビットを検出し、フレームが現在デコードされていることを表します。

[クリア条件]

このビットは、アップストリームデコーダが受信中の状態を抜けると 0_B に設定されます。

[セット条件]

このビットは、アップストリームデコーダが受信中の状態に入ると 1_B に設定されます。

18.2.4 ダウンストリーム (Tx) のレジスタ説明

18.2.4.1 RHSBjDCR — ダウンストリーム設定レジスタ

アクセス 16、32ビット単位でリード/ライト可能です。

アドレス <RHSBj_base> + 10_H

リセット後の値 0011 FF00_H

| | | | | | | | | | | | | | | | | |
|---------|---------------|-----|---------------|-----|-----|-----|-----|---------------|----------|--------------|---------------|----------|----------|---------------|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RHSBjSLS[1:0] | | RHSBjDFP[5:0] | | | | | RHSBjDBR[3:0] | | | RHSBjCIM[1:0] | | RHSBjCTD | RHSBjREP[8] | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RHSBjREP[7:0] | | | | | | | RHSBjCLP | RHSBjCAC | RHSBjEE[1:0] | | RHSBjEIM | RHSBjEIP | RHSBjDMS[1:0] | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 18.8 RHSBjDCR レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|---------------|---|
| 31、30 | RHSBjSLS[1:0] | シーケンス長設定 00 _B : 1 DFTE (DFTE0) 01 _B : 2 DFTE (DFTE0、DFTE1) 10 _B : 3 DFTE (DFTE0 ~ DFTE2) 11 _B : 4 DFTE (DFTE0 ~ DFTE3) |
| 29 ~ 24 | RHSBjDFP[5:0] | データフレームパッシブ長 データフレームのパッシブ位相の長さ |
| 23 ~ 20 | RHSBjDBR[3:0] | ダウンストリームビットレート 0 _D : 設定禁止 1 _D : $f_{DW} = f_{PE}/2$ 2 _D : 設定禁止 3 _D : $f_{DW} = f_{PE}/4$ 4 _D : $f_{DW} = f_{PE}/5$ 5 _D : 設定禁止 6 _D : 設定禁止 7 _D : $f_{DW} = f_{PE}/8$ 8 _D : $f_{DW} = f_{PE}/16$ 9 _D : $f_{DW} = f_{PE}/32$ 10 _D : $f_{DW} = f_{PE}/64$ 11 _D : $f_{DW} = f_{PE}/128$ その他: $f_{DW} = f_{PE}/256$ |
| 19、18 | RHSBjCIM[1:0] | コマンドフレーム挿入法 00 _B : タイムスロット法 01 _B : 即時法 10 _B : ベストエフォート法 11 _B : 設定禁止 |
| 17 | RHSBjCTD | コマンドフレーム送信遅延 0 _B : 制約なし 1 _B : 連続するコマンドフレームの送信を阻止 |
| 16 ~ 8 | RHSBjREP[8:0] | 繰り返し時間長 データフレームの繰り返し時間の長さ |
| 7 | RHSBjCLP | クロックライン位相 0 _B : 立ち上がりエッジで変化 1 _B : 立ち下がりエッジで変化 |
| 6 | RHSBjCAC | クロックアクティブ制御 0 _B : パッシブ位相時、クロックは非アクティブ 1 _B : クロックは常にアクティブ |

表 18.8 RHSBjDCR レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|-------------------|---|
| 5、4 | RHSBjEE[1:0] | 緊急時機能の許可ビット 00 _B : 緊急時機能の禁止 01 _B : 緊急時機能の許可 (自動停止禁止) 10 _B : 設定禁止 11 _B : 緊急時機能の許可 (自動停止許可) |
| 3 | RHSBjEIM | 緊急信号の検出設定ビット 0 _B : エッジ検出 1 _B : レベル検出 |
| 2 | RHSBjEIP | 緊急信号の入力極性設定ビット 0 _B : ハイレベルまたは立ち上がりエッジ 1 _B : ロウレベルまたは立ち下がりエッジ |
| 1、0 | RHSBjDMS [1:0] | ダウンストリームモード選択 00 _B : シングル周期繰り返しモード 01 _B : トリガモード 10 _B : マルチ周期繰り返しモード 11 _B : 設定禁止 |

(1) RHSBjDCR. RHSBjSLS — シーケンス長設定

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、これらのビットは書き込み可能です。

これらのビットは、1つのダウンストリームデータフレームのアセンブルに使用される DFTE の数を定義します。

(2) RHSBjDCR. RHSBjDFP — データフレームパッシブ長

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、これらのビットは書き込み可能です。

これらのビットは、データフレームのフレームパッシブ位相の長さ (1 ~ 64_D ビット) を定義します。

すなわち、これらのビットが 0_d のとき、フレームパッシブ位相の長さは 1_D ビットになります。

1_D ビットのフレームパッシブ位相は、MSC の仕様によれば有効ではないことに注意してください。

(3) RHSBjDCR. RHSBjDBR — ダウンストリームビットレート

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、これらのビットは書き込み可能です。

これらのビットは、ダウンストリームビットレートを f_{pE} クロックから算出する方法を定義します。

(4) RHSBjDCR. RHSBjCIM — コマンドフレームの挿入法

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、これらのビットは書き込み可能です。

これらのビットは、実行中のダウンストリームのスケジュールにコマンドフレームを挿入する方法を定義します。

これらの方法には次のものがあります。

タイムスロット法 :

定義された繰り返し時間内に処理できるようにコマンドフレームの送信を遅延させます。繰り返し時間はコマンドフレームの送信により影響されません。

即時法 :

コマンドフレームの送信を至急処理します。送信時には、繰り返し時間を再調整できます。

ベストエフォート法

コマンドフレームの送信はデータフレーム送信に対する影響を最小限に抑え、至急処理します。繰り返し時間はコマンドフレーム送信に影響されません。

(5) RHSBjDCR. RHSBjCTD — コマンドフレーム送信遅延

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、このビットは書き込み可能です。

このビットは、2つのコマンドフレームの間に少なくとも1つのデータフレームが入るようにコマンドフレーム送信を制限するかどうかを定義します。

(6) RHSBjDCR. RHSBjREP — 繰り返し時間長

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、これらのビットは書き込み可能です。

これらのビットは、シングル周期繰り返しモードおよびマルチ周期繰り返しモードでダウンストリーム通信に使用される繰り返し時間の長さ (1 ~ 512_D ビット) を定義します。

すなわち、これらのビットが 0_D のとき、繰り返し時間は 1_D ビットになります。

詳細については、「18.4.1.3 ダウンストリームモード (2) 繰り返しモード (シングル周期繰り返し、マルチ周期繰り返し)」を参照してください。

(7) RHSBjDCR. RHSBjCLP — クロックライン位相

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、このビットは書き込み可能です。

このビットは、シリアルデータライン (RHSBjSOP、RHSBjSON (j=0)) とチップセレクトライン (RHSB0CSD0-1) がシリアルクロックライン (RHSBjFCLP、RHSBjFCLN (j=0)) の立ち上がりエッジと立ち下がりエッジのどちらで変化しているかを示します。

(8) RHSBjDCR. RHSBjCAC — クロックアクティブ制御

このビットは、パッシブ位相でのダウンストリームシリアルクロックライン (RHSBjFCLP、RHSBjFCLN (j=0)) の動作を規定します。アクティブ位相時は、クロックは常にアクティブです。

(9) RHSBjDCR. RHSBjEE — 緊急時イネーブル

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、これらのビットは書き込み可能です。

これらのビットは、RHSB モジュールの緊急時機能をイネーブルします。

また、これらのビットは、緊急フレームの送信後にデータ送信を停止させるかどうかを定義します。

(10) RHSBjDCR. RHSBjEIM — 緊急入力モード

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、このビットは書き込み可能です。

このビットは、緊急事態が外部の緊急信号 (RHSBjEMRG (j=0)) によってどのように生じるかを定義します。

(11) RHSBjDCR. RHSBjEIP — 緊急入力極性

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、このビットは書き込み可能です。

このビットは、外部の緊急信号 (RHSBjEMRG (j=0)) のアクティブレベルを定義します。

(12) RHSBjDCR. RHSBjDMS — ダウンストリームモード選択

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、これらのビットは書き込み可能です。

これらのビットは、ダウンストリームチャンネルのタイミングモードを定義します。

18.2.4.2 RHSBjDCR1 — 周期1用ダウンストリーム設定レジスタ

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RHSBj_base> + 7C_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----------------|-----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RHSBjSLS1[1:0] | | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 18.9 RHSBjDCR1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------|--|
| 31、30 | RHSBjSLS1 | 周期1のシーケンス長設定 00 _B : 1 DFTE (DFTE0) 01 _B : 2 DFTE (DFTE0、DFTE1) 10 _B : 3 DFTE (DFTE0 ~ DFTE2) 11 _B : 4 DFTE (DFTE0 ~ DFTE3) |
| 29 ~ 0 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |

(1) RHSBjDCR1.RHSBjSLS1 — 周期1のシーケンス長設定

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、これらのビットは書き込み可能です。

これらのビットは、1つのダウンストリームデータフレームのアセンブルに使用されるDFTEの数を定義します。

マルチ周期繰り返しモードのときにのみ使用可能です。RHSBjDCR1.RHSBjSLS1の値がRHSBjDCR.RHSBjSLSの値以下となるようにしてください。

18.2.4.3 RHSBjDEC — データエレメント設定レジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RHSBj_base> + 14_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|--------------------|----------------|-----|-----|-----|-----|----|--------------------|----------------|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | RHSBjSSD0 [1:0] | RHSBjNDB0[3:0] | | | | — | — | RHSBjSSD1 [1:0] | RHSBjNDB1[3:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | RHSBjSSD2 [1:0] | RHSBjNDB2[3:0] | | | | — | — | RHSBjSSD3 [1:0] | RHSBjNDB3[3:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 18.10 RHSBjDEC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|--------------------|--|
| 31、30 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 29、28 | RHSBjSSD0 [1:0] | DFTE0 用スレーブ選択 DFTE0 の送信時に選択されるスレーブ |
| 27 ~ 24 | RHSBjNDB0 [3:0] | データビット数 0 DFTE0 のうち使用されるデータビット数 |
| 23、22 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 21、20 | RHSBjSSD1 [1:0] | DFTE1 用スレーブ選択 DFTE1 の送信時に選択されるスレーブ |
| 19 ~ 16 | RHSBjNDB1 [3:0] | データビット数 1 DFTE1 のうち使用されるデータビット数 |
| 15、14 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 13、12 | RHSBjSSD2 [1:0] | DFTE2 用スレーブ選択 DFTE2 の送信時に選択されるスレーブ |
| 11 ~ 8 | RHSBjNDB2 [3:0] | データビット数 2 DFTE2 のうち使用されるデータビット数 |
| 7、6 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 5、4 | RHSBjSSD3 [1:0] | DFTE3 用スレーブ選択 DFTE3 の送信時に選択されるスレーブ |
| 3 ~ 0 | RHSBjNDB3 [3:0] | データビット数 3 DFTE3 のうち使用されるデータビット数 |

(1) RHSBjDEC. RHSBjSSDm — DFTEm 用スレーブ選択 (m = 0 ~ 3)

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、これらのビットは書き込み可能です。

これらのビットは、ダウンストリームフレームの送信エレメント m (DFTE_m) によってどのスレーブが指定されるかを定義します。10_B、11_B は設定禁止です。

(2) RHSBjDEC. RHSBjNDBm — データビット数 m ($m = 0 \sim 3$)

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、これらのビットは書き込み可能です。

これらのビットは、データフレーム送信で DFTE m のうち使用されるビット数 (1 ~ 16) を定義します。

すなわち、これらのビットが 0_D のとき、DFTE m のうち 1 ビットが送信されます。

18.2.4.4 RHSBjSDCi — スレーブデバイス設定レジスタ i (i = 0)

アクセス 16、32ビット単位でリード/ライト可能です。

アドレス <RHSBj_base> + 18_H + 4_H × i

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----------------|-----|-----|----|----|------------|------------|-----------|----------------|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | RHSBjAPLn[2:0] | | | — | — | RHSBjCSLPn | RHSBjSOLPn | RHSBjCPSn | RHSBjDPLn[2:0] | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R/W | R/W | R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | RHSBjAPLn[2:0] | | | — | — | RHSBjCSLPn | RHSBjSOLPn | RHSBjCPSn | RHSBjDPLn[2:0] | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R/W | R/W | R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

注1. n = 2 * i (31 ~ 16 ビット)

注2. n = 2 * i + 1 (15 ~ 0 ビット)

表 18.11 RHSBjSDCi レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|--------------------|--|
| 31 ~ 27 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 26 ~ 24 | RHSBjAPLn [2:0] | アサート位相長さ スレーブ0のアサート位相の長さ |
| 23、22 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 21 | RHSBjCSLPn | チップセレクトライン極性 スレーブ0のチップセレクトライン極性 0 _B : アクティブ“H” 1 _B : アクティブ“L” |
| 20 | RHSBjSOLPn | シリアル出カライン極性 0 _B : 反転はディスエーブル 1 _B : 反転はイネーブル |
| 19 | RHSBjCPSn | 内容位相選択ビットイネーブル スレーブ0の内容位相選択ビットイネーブル 0 _B : 選択ビットなし 1 _B : 選択ビットあり |
| 18 ~ 16 | RHSBjDPLn [2:0] | デアサート位相長さ スレーブ0のデアサート位相の長さ |
| 15 ~ 11 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 10 ~ 8 | RHSBjAPLn [2:0] | アサート位相長さ スレーブ1のアサート位相の長さ |
| 7、6 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 5 | RHSBjCSLPn | チップセレクトライン極性 スレーブ1のチップセレクトライン極性 0 _B : アクティブハイ 1 _B : アクティブロウ |

表 18.11 RHSBjSDCi レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|--------------------|--|
| 4 | RHSBjSOLPn | シリアル出ライン極性 スレーブ 1 のシリアル出ライン極性 0 _B : 反転はディスエーブル 1 _B : 反転はイネーブル |
| 3 | RHSBjCPSn | 内容位相選択ビットイネーブル スレーブ 1 の内容位相選択ビットイネーブル 0 _B : 選択ビットなし 1 _B : 選択ビットあり |
| 2 ~ 0 | RHSBjDPLn [2:0] | デアサート位相長さ スレーブ 1 のデアサート位相の長さ |

(1) RHSBjSDCi. RHSBjAPLn — アサート位相長さ (n = 0, 1)

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、これらのビットは書き込み可能です。

これらのビットは、スレーブ n へのフレーム送信に使用されるアサート位相 (0 ~ 7_D ビット) を定義します。これらのビットが 0_D であれば、アサート位相はありません。

(2) RHSBjSDCi. RHSBjCSLPn — チップセレクトライン極性 (n = 0, 1)

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、このビットは書き込み可能です。

このビットは、スレーブ n のチップセレクトライン (RHSBjCSDn (n = 0, 1)) の極性を定義します。

(3) RHSBjSDCi. RHSBjSOLPn — シリアル出ライン極性 (n = 0, 1)

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、このビットは書き込み可能です。

このビットは、スレーブ n が選択されたときのシリアルデータライン (RHSBjSOP、RHSBjSON (j = 0)) の反転を定義します。

(4) RHSBjSDCi. RHSBjCPSn — 内容位相選択ビットイネーブル (n = 0, 1)

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、このビットは書き込み可能です。

このビットは、スレーブ n に送信されるデータフレームに選択ビットがあるかどうかを定義します。

コマンドフレームには、選択ビットが常に存在することに注意してください。

(5) RHSBjSDCi. RHSBjDPLn — デアサート位相長さ (n = 0, 1)

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、これらのビットは書き込み可能です。

これらのビットは、スレーブ n へのフレーム送信に使用されるデアサート位相 (0 ~ 7_D ビット) を定義します。これらのビットが 0_D であれば、デアサート位相はありません。

18.2.4.5 RHSBjDEBAm — データエレメントビット割り当てレジスタ m (m = 0 ~ 3)

アクセス 16、32ビット単位でリード/ライト可能です。

アドレス <RHSBj_base> + 20_H + 4_H × m

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|---------------------|-----|---------------------|-----|---------------------|-----|---------------------|-----|---------------------|-----|---------------------|-----|--------------------|-----|--------------------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RHSBjDSS15 [1:0] | | RHSBjDSS14 [1:0] | | RHSBjDSS13 [1:0] | | RHSBjDSS12 [1:0] | | RHSBjDSS11 [1:0] | | RHSBjDSS10 [1:0] | | RHSBjDSS9 [1:0] | | RHSBjDSS8 [1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RHSBjDSS7 [1:0] | | RHSBjDSS6 [1:0] | | RHSBjDSS5 [1:0] | | RHSBjDSS4 [1:0] | | RHSBjDSS3 [1:0] | | RHSBjDSS2 [1:0] | | RHSBjDSS1 [1:0] | | RHSBjDSS0 [1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 18.12 RHSBjDEBAm レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------------------|-------------------------------------|
| 31、30 | RHSBjDSS15 [1:0] | データソース選択 15 DFTEmのビット15のデータソース選択 |
| 29、28 | RHSBjDSS14 [1:0] | データソース選択 14 DFTEmのビット14のデータソース選択 |
| 27、26 | RHSBjDSS13 [1:0] | データソース選択 13 DFTEmのビット13のデータソース選択 |
| 25、24 | RHSBjDSS12 [1:0] | データソース選択 12 DFTEmのビット12のデータソース選択 |
| 23、22 | RHSBjDSS11 [1:0] | データソース選択 11 DFTEmのビット11のデータソース選択 |
| 21、20 | RHSBjDSS10 [1:0] | データソース選択 10 DFTEmのビット10のデータソース選択 |
| 19、18 | RHSBjDSS9 [1:0] | データソース選択 9 DFTEmのビット9のデータソース選択 |
| 17、16 | RHSBjDSS8 [1:0] | データソース選択 8 DFTEmのビット8のデータソース選択 |
| 15、14 | RHSBjDSS7 [1:0] | データソース選択 7 DFTEmのビット7のデータソース選択 |
| 13、12 | RHSBjDSS6 [1:0] | データソース選択 6 DFTEmのビット6のデータソース選択 |
| 11、10 | RHSBjDSS5 [1:0] | データソース選択 5 DFTEmのビット5のデータソース選択 |
| 9、8 | RHSBjDSS4 [1:0] | データソース選択 4 DFTEmのビット4のデータソース選択 |
| 7、6 | RHSBjDSS3 [1:0] | データソース選択 3 DFTEmのビット3のデータソース選択 |
| 5、4 | RHSBjDSS2 [1:0] | データソース選択 2 DFTEmのビット2のデータソース選択 |
| 3、2 | RHSBjDSS1 [1:0] | データソース選択 1 DFTEmのビット1のデータソース選択 |
| 1、0 | RHSBjDSS0 [1:0] | データソース選択 0 DFTEmのビット0のデータソース選択 |

(1) RHSBjDEBA_m. RHSBjDSS_i — データソース選択 i ($i = 0 \sim 15$)

RHSBjGC.RHSBjOPS が 01_B の場合 (CONFIG) のみ、これらのビットは書き込み可能です。

これらのビットは、RHSBjDFTE_m のビット i のデータソースを定義します。

00_B : タイマ入力によりビットが選択される

01_B : タイマ入力により反転ビットが選択される

10_B : ダウンストリームデータレジスタ RHSBjDDR0 または RHSBjDDR1 によりビットが選択される

11_B : 無効

ビット選択およびビットマッピングの詳細については、「**18.4.1.6 データフレームのアセンブル**」を参照してください。

18.2.4.6 RHSBJEBE_i — 緊急ビットイネーブルレジスタ i ($i = 0, 1$)

アクセス 16、32ビット単位でリード/ライト可能です。

アドレス $\langle \text{RHSBj_base} \rangle + 30_{\text{H}} + 4_{\text{H}} \times i$

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--|-----|-----|-----|-----|-----|-----|-----|--|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RHSBJEBE[15 + 32 ^{*i} : 8 + 32 ^{*i}] | | | | | | | | RHSBJEBE[7 + 32 ^{*i} : 32 ^{*i}] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RHSBJEBE[31 + 32 ^{*i} : 24 + 32 ^{*i}] | | | | | | | | RHSBJEBE[23 + 32 ^{*i} : 16 + 32 ^{*i}] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 18.13 RHSBJEBE_i レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---|---|
| 31 ~ 24 | RHSBJEBE [15+32 ^{*i} :8+32 ^{*i}] | 緊急ビットイネーブル DFTE $i \times 2$ (DFTE0、DFTE2) の緊急時イネーブル 0 _B : このビットの緊急時機能はディスエーブル 1 _B : このビットの緊急時機能はイネーブル |
| 23 ~ 16 | RHSBJEBE [7+32 ^{*i} :32 ^{*i}] | |
| 15 ~ 8 | RHSBJEBE [31+32 ^{*i} :24+32 ^{*i}] | 緊急ビットイネーブル DFTE $1 + i \times 2$ (DFTE1、DFTE3) の緊急時イネーブル 0 _B : このビットの緊急時機能はディスエーブル 1 _B : このビットの緊急時機能はイネーブル |
| 7 ~ 0 | RHSBJEBE [23+32 ^{*i} :16+32 ^{*i}] | |

(1) RHSBJEBE_i. RHSBJEBE — 緊急ビットイネーブル

RHSBjGC.RHSBjOPS が 01_B の場合 (CONFIG) のみ、これらのビットは書き込み可能です。これらのビットは、データフレームビットの緊急時機能がイネーブルかどうかを定義します。

各ビットは RHSBjDFTE の対応するビットの緊急時機能をイネーブルします。RHSBjDFTE0 は RHSBJEBE0[31:16] によって、RHSBjDFTE1 は RHSBJEBE0[15:0] によって、RHSBjDFTE2 は RHSBJEBE1[31:16] によって、RHSBjDFTE3 は RHSBJEBE1[15:0] によって制御されます。

詳細については「18.4.1.6 データフレームのアセンブル」を参照してください。

18.2.4.7 RHSBjDTC — ダウンストリーム送信制御レジスタ

本レジスタを書き換える際は、ビット操作命令を使用しないでください。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RHSBj_base> + 38_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|---------------|-----|-----|-----|-----|----|-----------------|-----|-----|----|----------------|----------|----------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | RHSBjNCB[4:0] | | | | — | — | RHSBjSSCF [1:0] | | — | — | RHSBjCTR [1:0] | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R/W | R | R | R/W | R/W | R | R | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | RHSBjTSR | RHSBjDTE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 18.14 RHSBjDTC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------------|--|
| 31 ~ 29 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 28 ~ 24 | RHSBjNCB[4:0] | コマンドビット数 コマンドフレーム送信に使用されるビットの数 |
| 23, 22 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 21, 20 | RHSBjSSCF [1:0] | コマンドフレーム用スレーブ選択 00 _B : コマンドをスレーブ0に送信 01 _B : コマンドをスレーブ1に送信 10 _B : 設定禁止 11 _B : 設定禁止 |
| 19, 18 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 17, 16 | RHSBjCTR [1:0] | コマンド送信要求 00 _B : 要求しない 01 _B : 受信スレーブからの返事を要求しないコマンド 10 _B : 無効 11 _B : 受信スレーブからの返事を要求するコマンド |
| 15 ~ 2 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 1 | RHSBjTSR | 送信停止要求 0 _B : 要求しない 1 _B : 要求を保留 |
| 0 | RHSBjDTE | データ送信イネーブル 0 _B : ディスエーブル 1 _B : イネーブル |

(1) RHSBjDTC. RHSBjNCB — コマンドビット数

RHSBjDTC.RHSBjCTR = 00_B の場合のみ、これらのビットは書き込み可能です。

ダウンストリームコマンド DMA が許可 (RHSBjGC.RHSBjDCDE = 1_B) の場合、これらのビットには書き込まないでください。

これらのビットは、コマンドフレーム送信に使用される RHSBjDCD レジスタのビット数 (1 ~ 32) を定義します。

すなわち、これらのビットが 0_D のとき、RHSBjDCD レジスタの 1 ビットが送信されます。

(2) RHSBjDTC. RHSBjSSCF — コマンドフレーム用スレーブ選択

RHSBjDTC.RHSBjCTR = 00_B の場合のみ、これらのビットは書き込み可能です。

ダウンストリームコマンド DMA がイネーブル (RHSBjGC.RHSBjDCDE = 1_B) の場合、これらのビットには書き込まないでください。

これらのビットは、コマンドフレーム送信に指定されるスレーブを定義します。

(3) RHSBjDTC. RHSBjCTR — コマンド送信要求

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG)、これらのビットへの書き込みは無効です。

RHSBjUCS.RHSBjBSY = 1_B の場合、これらのビットへの 11_B の書き込みは無効です。

RHSBjDTC.RHSBjCTR = 00_B の場合のみ、これらのビットは書き込み可能です。

ダウンストリームコマンド DMA が許可 (RHSBjGC.RHSBjDCDE = 1_B) の場合、これらのビットには書き込まないでください。

これらのビットは、コマンドフレーム送信を要求するために使用されます。

[変更条件]

コマンドフレームが送信された場合、これらのビットは 00_B に設定されます。

CONFIG 状態に入ると、これらのビットは 00_B に設定されます。

(4) RHSBjDTC. RHSBjTSR — 送信停止要求

このビットは 1_B のみ書き込み可能です。

RHSBjDTC.RHSBjDTE = 0_B の場合、このビットへの 1_B の書き込みは無効です。

このビットは、実行中のデータフレーム送信がないときにデータ送信を停止させるかどうかを定義します。

[クリア条件]

データ送信がディスエーブルのときは (RHSBjDTC.RHSBjDTE = 0_B)、このビットは 0_B に設定されます。

(5) RHSBjDTC. RHSBjDTE — データ送信イネーブル

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG)、このビットの書き込みは無効です。

このビットは 1_B のみ書き込み可能です。

このビットは、データフレーム送信をイネーブルするかどうかを定義します。

[クリア条件]

送信停止要求が出され (RHSBjDTC.RHSBjTSR = 1_B)、その要求が処理された場合、このビットは 0_B に設定されます。

緊急事態の検出と自動停止がイネーブルされ (RHSBjDCR.RHSBjEE = 11_B)、緊急時フレームが送信されると、このビットは 0_B に設定されます。

CONFIG 状態に入ると、このビットは 0_B に設定されます。

18.2.4.8 RHSBjDCD — ダウンストリームコマンドデータレジスタ

アクセス 16、32ビット単位でリード/ライト可能です。

アドレス <RHSBj_base> + 3C_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----------------|-----|-----|-----|-----|-----|-----|-----|----------------|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RHSBjCB[31:24] | | | | | | | | RHSBjCB[23:16] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RHSBjCB[15:8] | | | | | | | | RHSBjCB[7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 18.15 RHSBjDCD レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------------|---|
| 31 ~ 0 | RHSBjCB[31:0] | コマンドビット これらのビットは、コマンドフレーム送信用のデータを定義します |

(1) RHSBjDCD. RHSBjCB — コマンドビット

RHSBjDTC.RHSBjCTR = 00_B の場合のみ、これらのビットは書き込み可能です。

ダウンストリームコマンド DMA が許可 (RHSBjGC.RHSBjDCDE = 1_B) の場合、これらのビットには書き込まないでください。

これらのビットは、コマンドフレームのアセンブルに使用されるデータビットを定義します。

送信は LSB から行われます。

詳細については「18.4.1.7 コマンドフレームのアセンブル」を参照してください。

18.2.4.9 RHSBjDDRi — ダウンストリームデータレジスタ i (i = 0, 1)

アクセス 16、32 ビット単位でリード/ライト可能です。

アドレス $\langle \text{RHSBj_base} \rangle + 40_{\text{H}} + 4_{\text{H}} \times i$

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------------------------------|-----|-----|-----|-----|-----|-----|-----|------------------------------|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RHSBjDB[15 + 32*i:8 + 32*i] | | | | | | | | RHSBjDB[7 + 32*i:32*i] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RHSBjDB[31 + 32*i:24 + 32*i] | | | | | | | | RHSBjDB[23 + 32*i:16 + 32*i] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 18.16 RHSBjDDRi レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------------------------------|--|
| 31 ~ 16 | RHSBjDB [15+32*i:32*i] | データビット これらのビットは DFTE i*2 (DFTE0、DFTE2) のデータを定義します |
| 15 ~ 0 | RHSBjDB [31+32*i:16+32*i] | データビット これらのビットは DFTE 1 + i*2 (DFTE1、DFTE3) のデータを定義します |

(1) RHSBjDDRi.RHSBjDB — データビット

RHSBjIS.RHSBjDTSF = 1_B か、または RHSBjDTC.RHSBjDTE = 0_B の場合のみ、これらのビットは書き込み可能です。

上記以外のときに書き込みを行った場合、書き込み動作は無視され、ライトデータは消失します。

ダウンストリームデータ DMA が許可 (RHSBjGC.RHSBjDDE = 1_B) の場合、これらのビットには書き込まないでください。

これらのビットは、データフレームのアセンブルに使用される RHSBjDFTE のデータビットを定義します。

各 RHSBjDFTE の送信は LSB から行われます。

RHSBjDFTE0 は RHSBjDDR0[31:16] により、RHSBjDFTE1 は RHSBjDDR0[15:0] により、RHSBjDFTE2 は RHSBjDDR1[31:16] により、RHSBjDFTE3 は RHSBjDDR1[15:0] によりアセンブルされます。

詳細については「18.4.1.6 データフレームのアセンブル」を参照してください。

また、RHSBjDDRi のどのビットへの書き込みがダウンストリーム送信のトリガとなるかは、RHSBjDCR.RHSBjSLS (使用される DFTE の数) に依存します。

詳細については「18.4.1.10 データ更新およびデータフレーム送信要求」を参照してください。

18.2.4.10 RHSBjDEDi — ダウンストリーム緊急データレジスタ i (i = 0, 1)

アクセス 16、32ビット単位でリード/ライト可能です。

アドレス <RHSBj_base> + 48_H + 4_H × i

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--|-----|-----|-----|-----|-----|-----|-----|--|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RHSBjEB[15 + 32 ⁱ :8 + 32 ⁱ] | | | | | | | | RHSBjEB[7 + 32 ⁱ :32 ⁱ] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RHSBjEB[31 + 32 ⁱ :24 + 32 ⁱ] | | | | | | | | RHSBjEB[23 + 32 ⁱ :16 + 32 ⁱ] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 18.17 RHSBjDEDi レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|--|---|
| 31 ~ 16 | RHSBjEB [15+32 ⁱ :32 ⁱ] | 緊急データビット これらのビットは、DFTE i*2 (DFTE0、DFTE2) の緊急データを定義します。 |
| 15 ~ 0 | RHSBjEB [31+32 ⁱ :16+32 ⁱ] | 緊急データビット これらのビットは、DFTE 1 + i*2 (DFTE1、DFTE3) の緊急データを定義します。 |

(1) RHSBjDEDi.RHSBjEB — 緊急データビット

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、これらのビットは書き込み可能です。

これらのビットは、緊急状態でのデータフレームのアセンブルに使用される RHSBjDFTE のビットを定義します。

RHSBjDFTE0 は RHSBjDED0[31:16] により、RHSBjDFTE1 は RHSBjDED0[15:0] により、RHSBjDFTE2 は RHSBjDED1[31:16] により、RHSBjDFTE3 は RHSBjDED1[15:0] によりアセンブルされます。

詳細については「18.4.1.6 データフレームのアセンブル」を参照してください。

18.2.5 アップストリーム (Rx) のレジスタ説明

18.2.5.1 RHSBJUCR — アップストリーム設定レジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RHSBj_base> + 50_H

リセット後の値 0000 1800_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|---------------|----|----|----|----|----|----|----|---------|----------|----------|----------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | RHSBJRTO[4:0] | | | | — | — | — | — | RHSBJUE | RHSBJTOE | RHSBJUMS | RHSBJFSM | |
| リセット後の値 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W |

表 18.18 RHSBJUCR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------|---|
| 31 ~ 13 | — | リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 12 ~ 8 | RHSBJRTO[4:0] | 受信タイムアウト時間 U ビットのタイムアウト時間 |
| 7 ~ 4 | — | リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 3 | RHSBJUE | アップストリームイネーブル 0 _B : ディスエーブル 1 _B : イネーブル |
| 2 | RHSBJTOE | タイムアウトイネーブル 0 _B : ディスエーブル 1 _B : イネーブル |
| 1 | RHSBJUMS | アップストリームモード選択 0 _B : DEDICATED モード 1 _B : SHARED モード |
| 0 | RHSBJFSM | フレーム格納方法 0 _B : 通常の格納方法 1 _B : 指定された格納方法 詳細については「18.4.2.4 フレームの格納」を参照してください。 |

(1) RHSBJUCR.RHSBJRTO — 受信タイムアウト時間

これらのビットは、タイムアウトカウンタが終了する前に名目のアップストリームビット時間数を定義します。

すなわち、これらのビットが 24_D (18_H) のとき、タイムアウト時間の長さは 25U ビットとなります。

(2) RHSBJUCR.RHSBJUE — アップストリームイネーブル

RHSBJGC.RHSBJOPS = 01_B の場合 (CONFIG) のみ、このビットは書き込み可能です。

このビットは、アップストリームチャネル受信をイネーブルするかどうかを定義します。

(3) RHSBjUCR.RHSBjTOE — タイムアウトイネーブル

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、このビットは書き込み可能です。

このビットは、タイムアウト機能をイネーブルするかどうかを定義します。

(4) RHSBjUCR.RHSBjUMS — アップストリームモード選択

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、このビットは書き込み可能です。

このビットは、RHSB モジュールのシリアル入力ラインにスレーブを接続する方法を定義します。

(5) RHSBjUCR.RHSBjFSM — フレーム格納方法

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、このビットは書き込み可能です。

このビットは、アップストリームデコードの結果を格納する場所を定義します。

18.2.5.2 RHSBjUCC — アップストリームチャンネル設定レジスタ

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RHSBj_base> + 54_H

リセット後の値 0F0F 0F0F_H

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----------|-----------|----------|----------------|-----|-----|-----|-----------|-----------|-----------|----------|----------------|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RHSBjUFT0 | RHSBjSBN0 | RHSBjJLP0 | RHSBjPC0 | RHSBjUBR0[3:0] | | | | RHSBjUFT1 | RHSBjSBN1 | RHSBjJLP1 | RHSBjPC1 | RHSBjUBR1[3:0] | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 18.19 RHSBjUCC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------------|--|
| 31 | RHSBjUFT0 | アップストリームフレームタイプ チャンネル0のアップストリームフレームが、8ビットと12ビットのどちらのデータ形式を使用するかを定義します |
| 30 | RHSBjSBN0 | ストップビット数 チャンネル0のアップストリームフレームが、2ビットと3ビットのどちらのストップビット形式を使用するかを定義します |
| 29 | RHSBjJLP0 | シリアル入カライン極性 チャンネル0のシリアル入カライン (RHSBjSI0) を反転させるかどうかを定義します |
| 28 | RHSBjPC0 | パリティ制御 チャンネル0のアップストリームフレームが、偶数パリティと奇数パリティのどちらを使用するかを定義します |
| 27 ~ 24 | RHSBjUBR0 [3:0] | アップストリームビットレート チャンネル0に使用するアップストリームビットレートを定義します |
| 23 | RHSBjUFT1 | アップストリームフレームタイプ チャンネル1のアップストリームフレームが、8ビットと12ビットのどちらのデータ形式を使用するかを定義します |
| 22 | RHSBjSBN1 | ストップビット数 チャンネル1のアップストリームフレームが、2ビットと3ビットのどちらのストップビット形式を使用するかを定義します |
| 21 | RHSBjJLP1 | シリアル入カライン極性 チャンネル1のシリアル入カライン (RHSBjSI1) を反転させるかどうかを定義します |
| 20 | RHSBjPC1 | パリティ制御 チャンネル1のアップストリームフレームが、偶数パリティと奇数パリティのどちらを使用するかを定義します |
| 19 ~ 16 | RHSBjUBR1 [3:0] | アップストリームビットレート チャンネル1に使用するアップストリームビットレートを定義します |
| 15 ~ 0 | — | リザーブビット 読み出すと、常に初期値が読み出されます。書き込む値も常に初期値にしてください。 |

(1) RHSBJUCC.RHSBJUFTn — アップストリームフレームタイプ

RHSBJGC.RHSBJOPS = 01_B の場合 (CONFIG) のみ、このビットは書き込み可能です。

このビットは、チャンネル n で受信するアップストリームフレームのデータビット数を定義します。

0_B : 8 ビットのデータフィールド形式

1_B : 12 ビットのデータフィールド形式 (4 ビットアドレスを含む)

(2) RHSBJUCC.RHSBJSBNn — ストップビット数

RHSBJGC.RHSBJOPS = 01_B の場合 (CONFIG) のみ、このビットは書き込み可能です。

このビットは、チャンネル n で受信するアップストリームフレームのストップビット数を定義します。

0_B : 2 ストップビット形式

1_B : 3 ストップビット形式

(3) RHSBJUCC.RHSBJILPn — シリアル入カライン極性

RHSBJGC.RHSBJOPS = 01_B の場合 (CONFIG) のみ、このビットは書き込み可能です。

このビットは、チャンネル n のシリアル入カラインを反転させるかどうかを定義します。

0_B : 反転をディスエーブル

1_B : 反転をイネーブル

RHSBJUCR.RHSBJUMS が SHARED モードの場合、RHSBJILP0 が 2 チャンネルすべてに使用されることに注意してください (RHSBJILP1 は無視される)。

(4) RHSBJUCC.RHSBJPCn — パリティ制御

RHSBJGC.RHSBJOPS = 01_B の場合 (CONFIG) のみ、このビットは書き込み可能です。

このビットは、チャンネル n で受信されるアップストリームフレームのパリティビットの解釈を定義します。

0_B : 偶数パリティ

1_B : 奇数パリティ

(5) RHSBjUCC.RHSBjUBRn — アップストリームビットレート

RHSBjGC.RHSBjOPS = 01_B の場合 (CONFIG) のみ、このビットは書き込み可能です。

これらのビットは、チャンネル **n** のアップストリームとダウンストリームのビットレートの関係を定義します。

0_D : 設定禁止

1_D : 設定禁止

2_D : 設定禁止

3_D : $f_{UP} = f_{DW}/8$

4_D : $f_{UP} = f_{DW}/16$

5_D : $f_{UP} = f_{DW}/32$

6_D : $f_{UP} = f_{DW}/64$

7_D : $f_{UP} = f_{DW}/128$

8_D : $f_{UP} = f_{DW}/256$

その他 : $f_{UP} = f_{DW}/512$

アップストリームとダウンストリームのビットレートの組み合わせがすべて有効なわけではありません。詳細については「**18.4.2.5 アップストリームビットレート**」を参照してください。

18.2.5.3 RHSBjUCS — アップストリームチャンネル選択レジスタ

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RHSBj_base> + 58_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----------|----|----|----|----|----|----------------|-----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RHSBjBSY | — | — | — | — | — | RHSBjACC [1:0] | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 18.20 RHSBjUCS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|----------------|--|
| 31 | RHSBjBSY | ビジー 0 _B : 設定済み 1 _B : 設定変更中 |
| 30 ~ 26 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 25、24 | RHSBjACC [1:0] | アクティブチャンネル設定 00 _B : チャンネル0に対する設定 01 _B : チャンネル1に対する設定 10 _B : 設定禁止 11 _B : 設定禁止 |
| 23 ~ 0 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |

(1) RHSBjUCS.RHSBjBSY — ビジー

このビットは、RHSB モジュールがアクティブチャンネルの設定を変更していることを示します。

[クリア条件]

アクティブチャンネルの設定変更が処理された場合、このビットは0_Bに設定されます。

CONFIG 状態に入ると、このビットは0_Bに設定されます。

[セット条件]

RHSBjUCS.RHSBjACC が変更され、RHSBjGC.RHSBjOPS が01_B (CONFIG) でない場合、このビットは1_Bに設定されます。

CONFIG 状態を抜けると、このビットは1_Bに設定されます。

(2) RHSBjUCS.RHSBjACC — アクティブチャネル設定

RHSBjUCS.RHSBjBSY が 1_B のとき、これらのビットへの書き込みは無効です。

アップストリーム受信が完了するまでにアップストリームデータ要求 (RHSBjDTC.RHSBjCTR を 11_B に設定) によるコマンド送信の開始後は、これらのビットに書き込まないでください。アップストリーム受信が予想される正確な時間は、アプリケーションによって異なります。

これらのビットは、RHSBjUCC レジスタで指定され、アップストリーム受信に使用されるチャネル設定について定義します。DEDICATED モード (RHSBjUCR.RHSBjUMS = 0_B) では、これらのビットはシリアル入力ラインについても定義します。

これらのビットの変更中は、実行中の受信が停止され、タイムアウト検出が無効になることに注意してください。

[変更条件]

RHSBjDTC.RHSBjCTR を 11_B に設定することにより、アップストリームデータ要求によるコマンド送信が要求されると、これらのビットは RHSBjDTC.RHSBjSSCF の値に更新されます。

18.2.5.4 RHSBjUDR — アップストリームデータ読み出しレジスタ

アクセス 8、16、32ビット単位でリード可能です。

アドレス <RHSBj_base> + 5C_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|---------------|---------------|----|----|---------------|----|---------------|----|--------------|----|----|-------------|-------------|---------------|---------------|-------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RHSBj NDS0 | RHSBj NDS1 | — | — | — | — | RHSBjLUD[1:0] | | — | — | — | RHSBj DL | RHSBj TO | RHSBj FERR | RHSBj PERR | RHSBj ND |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | RHSBjEDF[3:0] | | | | RHSBjDF[7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 18.21 RHSBjUDR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------|--|
| 31 | RHSBjNDS0 | 新規データサマリ 0 _B : アップストリームチャンネル0でフォルトのないフレームの新規受信なし 1 _B : アップストリームチャンネル0でフォルトのない新規フレームを受信 |
| 30 | RHSBjNDS1 | 新規データサマリ 0 _B : アップストリームチャンネル1でフォルトのないフレームの新規受信なし 1 _B : アップストリームチャンネル1でフォルトのない新規フレームを受信 |
| 29 ~ 26 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 25、24 | RHSBjLUD[1:0] | 最終更新データ 00 _B : UD0 (チャンネル0) 01 _B : UD1 (チャンネル1) |
| 23 ~ 21 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 20 | RHSBjDL | データ消失 0 _B : データ消失状態は検出されません 1 _B : データ消失状態を検出 |
| 19 | RHSBjTO | タイムアウト検出 0 _B : タイムアウト状態は検出されません 1 _B : タイムアウト状態を検出 |
| 18 | RHSBjFERR | フレームエラー 0 _B : ストップビットエラーは検出されません 1 _B : ストップビットエラーを検出 |
| 17 | RHSBjPERR | パリティエラー 0 _B : パリティエラーは検出されません 1 _B : パリティエラーを検出 |
| 16 | RHSBjND | 新規データ 0 _B : フォルトのないフレームの新規受信なし 1 _B : フォルトのない新規フレームを受信 |
| 15 ~ 12 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 11 ~ 8 | RHSBjEDF[3:0] | 拡張データフィールド 最後に受信したフレームの4ビット拡張データフィールド |
| 7 ~ 0 | RHSBjDF[7:0] | データフィールド 最後に受信したフレームの8ビットデータフィールド |

アップストリーム DMA がイネーブルされている (RHSBjGC.RHSBjUDE = 1_B) ときは、RHSBjUDR レジスタを読み出さないでください。

このレジスタを読み出すと、RHSBjIS.RHSBjDRF が 0_B に設定され、チャンネル i の RHSBjUDi.RHSBjND が 0_B に設定されることに注意してください。チャンネル番号 i は RHSBjUDR.RHSBjLUD によって示されます。

(1) RHSBjUDR.RHSBjNDS — 新規データサマリ

これらのビットは、チャンネル i (i = 0, 1) の RHSBjUDi.RHSBjND の値を示します。

[変更条件]

RHSBjUDi.RHSBjND が変更されると、このビットは更新されます。

(2) RHSBjUDR.RHSBjLUD — 最終更新データ

これらのビットは、最後にデータ更新が発生したアップストリームデータレジスタ (RHSBjUDi) の番号を示します。

[変更条件]

RHSBjUDi.RHSBjND ビットの 1 つのセット条件が満たされると、このビットは更新されます。

(3) RHSBjUDR.RHSBjDL — データ消失

このビットは、チャンネル i の RHSBjUDi.RHSBjDL の値を示します。チャンネル番号 i は RHSBjUDR.RHSBjLUD によって示されます。

[変更条件]

RHSBjUDR.RHSBjLUD または RHSBjUDi.RHSBjDL (i = RHSBjUDR.RHSBjLUD) が変更されると、このビットは更新されます。

(4) RHSBjUDR.RHSBjTO — タイムアウト検出

このビットは、チャンネル i の RHSBjUDi.RHSBjTO の値を示します。チャンネル番号 i は RHSBjUDR.RHSBjLUD によって示されます。

[変更条件]

RHSBjUDR.RHSBjLUD または RHSBjUDi.RHSBjTO (i = RHSBjUDR.RHSBjLUD) が変更されると、このビットは更新されます。

(5) RHSBjUDR.RHSBjFERR — フレームエラー

このビットは、チャンネル i の RHSBjUDi.RHSBjFERR の値を示します。チャンネル番号 i は RHSBjUDR.RHSBjLUD によって示されます。

[変更条件]

RHSBjUDR.RHSBjLUD または RHSBjUDi.RHSBjFERR (i = RHSBjUDR.RHSBjLUD) が変更されると、このビットは更新されます。

(6) RHSBjUDR.RHSBjPERR — パリティエラー

このビットは、チャンネル*i*のRHSBjUDi.RHSBjPERRの値を示します。チャンネル番号*i*はRHSBjUDR.RHSBjLUDによって示されます。

[変更条件]

RHSBjUDR.RHSBjLUD または RHSBjUDi.RHSBjPERR ($i = \text{RHSBjUDR.RHSBjLUD}$) が変更されると、このビットは更新されます。

(7) RHSBjUDR.RHSBjND — 新規データ

このビットは、チャンネル*i*のRHSBjUDi.RHSBjNDの値を示します。チャンネル番号*i*はRHSBjUDR.RHSBjLUDによって示されます。

[変更条件]

RHSBjUDR.RHSBjLUD または RHSBjUDi.RHSBjND ($i = \text{RHSBjUDR.RHSBjLUD}$) が変更されると、このビットは更新されます。

(8) RHSBjUDR.RHSBjEDF — 拡張データフィールド

このビットは、チャンネル*i*のRHSBjUDi.RHSBjEDFの値を示します。チャンネル番号*i*はRHSBjUDR.RHSBjLUDによって示されます。

[変更条件]

RHSBjUDR.RHSBjLUD または RHSBjUDi.RHSBjEDF ($i = \text{RHSBjUDR.RHSBjLUD}$) が変更されると、このビットは更新されます。

(9) RHSBjUDR.RHSBjDF — データフィールド

このビットは、チャンネル*i*のRHSBjUDi.RHSBjDFの値を示します。チャンネル番号*i*はRHSBjUDR.RHSBjLUDによって示されます。

[変更条件]

RHSBjUDR.RHSBjLUD または RHSBjUDi.RHSBjDF ($i = \text{RHSBjUDR.RHSBjLUD}$) が変更されると、このビットは更新されます。

18.2.5.5 RHSBjUDI — アップストリームデータレジスタ i ($i = 0, 1$)

本レジスタの RHSBjDL、RHSBjTO、RHSBjFERR、RHSBjPERR、RHSBjND ビットを 0_B にクリアする際は、ビット操作命令を使用しないでください。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス $\langle \text{RHSBj_base} \rangle + 60_H + 4_H \times i$

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|---------------|----|----|----|--------------|----|----|---------|---------|-----------|-----------|---------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | RHSBjDL | RHSBjTO | RHSBjFERR | RHSBjPERR | RHSBjND |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | RHSBjEDF[3:0] | | | | RHSBjDF[7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 18.22 RHSBjUDI レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------|--|
| 31 ~ 21 | — | リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 20 | RHSBjDL | データ消失 0_B : データ消失状態は検出されません 1_B : データ消失状態を検出 |
| 19 | RHSBjTO | タイムアウト検出 0_B : タイムアウト状態は検出されません 1_B : タイムアウト状態を検出 |
| 18 | RHSBjFERR | フレームエラー 0_B : ストップビットエラーは検出されません 1_B : ストップビットエラーを検出 |
| 17 | RHSBjPERR | パリティエラー 0_B : パリティエラーは検出されません 1_B : パリティエラーを検出 |
| 16 | RHSBjND | 新規データ 0_B : 有効なデータを入手不能 1_B : 有効なデータを入手可能 |
| 15 ~ 12 | — | リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 11 ~ 8 | RHSBjEDF[3:0] | 拡張データフィールド 受信したフレームの 4 ビット拡張データフィールド |
| 7 ~ 0 | RHSBjDF[7:0] | データフィールド 受信したフレームの 8 ビットデータフィールド |

(1) RHSBJUDi.RHSBJDL — データ消失

このビットは 0_B のみ書き込み可能です。

このビットは、このレジスタの RHSBJND ビットが 1_B のとき、チャンネル i でフォルトのないフレームが受信されたことを示します。

[クリア条件]

CONFIG 状態に入ると、このビットは 0_B に設定されます。

[セット条件]

このレジスタの ND ビットが 1_B のとき、ND のセット条件が満たされると、このビットは 1_B に設定されます。

(2) RHSBJUDi.RHSBJTO — タイムアウト検出

このビットは 0_B のみ書き込み可能です。

このビットは、アップストリームデータ要求によるコマンドフレーム送信後、タイムアウト時間内に有効な受信がなかったことを示します。

[クリア条件]

CONFIG 状態に入ると、このビットは 0_B に設定されます。

[セット条件]

タイムアウトカウンタが終了し、RHSBJUCS.RHSBJACC がこのチャンネルを示している場合、このビットは 1_B に設定されます。

(3) RHSBJUDi.RHSBJFERR — フレームエラー

このビットは 0_B のみ書き込み可能です。

このビットは、ストップビットエラーを含むフレームがチャンネル i で受信されたことを示します。

[クリア条件]

CONFIG 状態に入ると、このビットは 0_B に設定されます。

[セット条件]

無効なストップビットを少なくとも1つ含むアップストリーム受信があると、このビットは 1_B に設定されます。

(4) RHSBJUDi.RHSBJPERR — パリティエラー

このビットは 0_B のみ書き込み可能です。

このビットは、パリティエラーを含むフレームがチャンネル i で受信されたことを示します。

[クリア条件]

CONFIG 状態に入ると、このビットは 0_B に設定されます。

[セット条件]

無効なパリティビットを含むアップストリーム受信があると、このビットは 1_B に設定されます。

(5) RHSBjUDi.RHSBjND — 新規データ

このビットは 0_B のみ書き込み可能です。

このビットは、有効なデータを含む RHSBjUDi.RHSBjEDF および RHSBjUDi.RHSBjDF がチャンネル i で受信されたことを示します。

[クリア条件]

RHSBjUDR に読み出しアクセスがあり、RHSBjUDR.RHSBjLUD がこのチャンネルを示している場合、このビットは 0_B に設定されます。

CONFIG 状態に入ると、このビットは 0_B に設定されます。

[セット条件]

パリティエラーおよびストップビットエラーのないアップストリーム受信があると、このビットは 1_B に設定されます。

(6) RHSBjUDi.RHSBjEDF — 拡張データフィールド

これらのビットは、受信メッセージの 4 ビットの拡張データフィールドを示します。

8 ビットのデータ形式を使用している場合、これらのビットは不定です。

[変更条件]

RHSBjND のセット条件が満たされると、これらのビットは更新されます。

(7) RHSBjUDi.RHSBjDF — データフィールド

これらのビットは、受信メッセージの 8 ビットのデータフィールドを示します。

[変更条件]

RHSBjND のセット条件が満たされると、これらのビットは更新されます。

18.2.5.6 RHSBjUSS — アップストリームステータスサマリレジスタ

アクセス 8、16、32ビット単位でリード可能です。

アドレス <RHSBj_base> + 70_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----------|----------|------------|------------|----------|----|----|----|----------|----------|------------|------------|----------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | RHSBjDL0 | RHSBjTO0 | RHSBjFERR0 | RHSBjPERR0 | RHSBjND0 | — | — | — | RHSBjDL1 | RHSBjTO1 | RHSBjFERR1 | RHSBjPERR1 | RHSBjND1 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 18.23 RHSBjUSS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------------|---|
| 31 ~ 29 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 28 | RHSBjDL0 | データ消失 チャンネル0のデータ消失表示 (RHSBjUD0.RHSBjDL)。 |
| 27 | RHSBjTO0 | タイムアウト検出 チャンネル0のタイムアウト表示 (RHSBjUD0.RHSBjTO)。 |
| 26 | RHSBjFERR0 | フレームエラー チャンネル0のフレームエラー表示 (RHSBjUD0.RHSBjFERR)。 |
| 25 | RHSBjPERR0 | パリティエラー チャンネル0のパリティエラー表示 (RHSBjUD0.RHSBjPERR)。 |
| 24 | RHSBjND0 | 新規データ チャンネル0の新規データ表示 (RHSBjUD0.RHSBjND)。 |
| 23 ~ 21 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 20 | RHSBjDL1 | データ消失 チャンネル1のデータ消失表示 (RHSBjUD1.RHSBjDL)。 |
| 19 | RHSBjTO1 | タイムアウト検出 チャンネル1のタイムアウト表示 (RHSBjUD1.RHSBjTO)。 |
| 18 | RHSBjFERR1 | フレームエラー チャンネル1のフレームエラー表示 (RHSBjUD1.RHSBjFERR)。 |
| 17 | RHSBjPERR1 | パリティエラー チャンネル1のパリティエラー表示 (RHSBjUD1.RHSBjPERR)。 |
| 16 | RHSBjND1 | 新規データ チャンネル1の新規データ表示 (RHSBjUD1.RHSBjND)。 |
| 15 ~ 13 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 12 ~ 8 | — | リザーブビット 読み出すと、常に0が読み出されます。 |
| 7 ~ 5 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 4 ~ 0 | — | リザーブビット 読み出すと、常に0が読み出されます。 |

(1) RHSBJUSS.RHSBJDLi — データ消失

このビットは、チャンネル i の RHSBJUDi.RHSBJDL の値を示します。

0_B : データ消失状態は検出されない

1_B : データ消失状態を検出

[変更条件]

RHSBJUDi.RHSBJDL が変更されると、このビットは更新されます。

(2) RHSBJUSS.RHSBJTOi — タイムアウト検出

このビットは、チャンネル i の RHSBJUDi.RHSBJTO の値を示します。

0_B : タイムアウト状態は検出されない

1_B : タイムアウト状態を検出

[変更条件]

RHSBJUDi.RHSBJTO が変更されると、このビットは更新されます。

(3) RHSBJUSS.RHSBJFERRi — フレームエラー

このビットは、チャンネル i の RHSBJUDi.RHSBJFERR の値を示します。

0_B : ストップビットエラーは検出されない

1_B : ストップビットエラーを検出

[変更条件]

RHSBJUDi.RHSBJFERR が変更されると、このビットは更新されます。

(4) RHSBJUSS.RHSBJPERRi — パリティエラー

このビットは、チャンネル i の RHSBJUDi.RHSBJPERR の値を示します。

0_B : パリティエラーは検出されない

1_B : パリティエラーを検出

[変更条件]

RHSBJUDi.RHSBJPERR が変更されると、このビットは更新されます。

(5) RHSBJUSS.RHSBJNDi — 新規データ

このビットは、チャンネル i の RHSBJUDi.RHSBJND の値を示します。

0_B : 有効なデータは入手不能

1_B : 有効なデータを入手可能

[変更条件]

RHSBJUDi.RHSBJND が変更されると、このビットは更新されます。

18.2.6 割り込みレジスタ

18.2.6.1 RHSBjIC — 割り込み制御レジスタ

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <RHSBj_base> + 74_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|-----------|-----------|-----------|-----------|----|----|----|-----------|-----------|-----------|-----------|------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | RHSBjDLIE | RHSBjTOIE | RHSBjUEIE | RHSBjDRIE | — | — | — | RHSBjTSIE | RHSBjETIE | RHSBjCTIE | RHSBjDTIE | RHSBjDTSIE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R | R | R | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 18.24 RHSBjIC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------------|---|
| 31 ~ 28 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 27 | RHSBjDLIE | データ消失割り込みイネーブル 0 _B : デイスエーブル 1 _B : イネーブル |
| 26 | RHSBjTOIE | タイムアウト検出割り込みイネーブル 0 _B : デイスエーブル 1 _B : イネーブル |
| 25 | RHSBjUEIE | アップストリームエラー割り込みイネーブル 0 _B : デイスエーブル 1 _B : イネーブル |
| 24 | RHSBjDRIE | データ受信割り込みイネーブル 0 _B : デイスエーブル 1 _B : イネーブル |
| 23 ~ 21 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 20 | RHSBjTSIE | 送信開始割り込みイネーブル 0 _B : デイスエーブル 1 _B : イネーブル |
| 19 | RHSBjETIE | 緊急フレーム送信実行割り込みイネーブル 0 _B : デイスエーブル 1 _B : イネーブル |
| 18 | RHSBjCTIE | コマンドフレーム送信実行割り込みイネーブル 0 _B : デイスエーブル 1 _B : イネーブル |
| 17 | RHSBjDTIE | データフレーム送信実行割り込みイネーブル 0 _B : デイスエーブル 1 _B : イネーブル |
| 16 | RHSBjDTSIE | データフレーム送信開始割り込みイネーブル 0 _B : デイスエーブル 1 _B : イネーブル |
| 15 ~ 0 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |

(1) RHSBjIC.RHSBjDLIE — データ消失割り込みイネーブル

このビットが 1_B のとき、RHSBjIS.RHSBjDLF が 1_B であれば割り込みが発生します。

(2) RHSBjIC.RHSBjTOIE — タイムアウト検出割り込みイネーブル

このビットが 1_B のとき、RHSBjIS.RHSBjTOF が 1_B であれば割り込みが発生します。

(3) RHSBjIC.RHSBjUEIE — アップストリームエラー割り込みイネーブル

このビットが 1_B のとき、RHSBjIS.RHSBjUEF が 1_B であれば割り込みが発生します。

(4) RHSBjIC.RHSBjDRIE — データ受信割り込みイネーブル

アップストリーム DMA のサポートがイネーブルのとき (RHSBjGC.RHSBjUDE = 1_B)、このビットを 1_B に設定しないでください。

このビットが 1_B のとき、RHSBjIS.RHSBjDRF が 1_B であれば割り込みが発生します。

(5) RHSBjIC.RHSBjTSIE — 送信開始割り込みイネーブル

このビットが 1_B のとき、RHSBjIS.RHSBjTSF が 1_B であれば割り込みが発生します。

(6) RHSBjIC.RHSBjETIE — 緊急フレーム送信実行割り込みイネーブル

このビットが 1_B のとき、RHSBjIS.RHSBjETF が 1_B であれば割り込みが発生します。

(7) RHSBjIC.RHSBjCTIE — コマンドフレーム送信実行割り込みイネーブル

ダウンストリームコマンド DMA 転送が許可 (RHSBjGC.RHSBjDCDE is 1_B) の場合、これらのビットには書き込まないでください。

このビットが 1_B のとき、RHSBjIS.RHSBjCTF が 1_B であれば割り込みが発生します。

(8) RHSBjIC.RHSBjDTIE — データフレーム送信実行割り込みイネーブル

このビットが 1_B のとき、RHSBjIS.RHSBjDTF が 1_B であれば割り込みが発生します。

(9) RHSBjIC.RHSBjDTSIE — データフレーム送信開始割り込みイネーブル

ダウンストリームデータ DMA のサポートがイネーブルのとき (RHSBjGC.RHSBjDDE = 1_B)、このビットを 1_B に設定しないでください。

このビットが 1_B のとき、RHSBjIS.RHSBjDTSF が 1_B であれば割り込みが発生します。

18.2.6.2 RHSBjIS — 割り込みステータスレジスタ

本レジスタの各ビットを 0_B にクリアする際は、ビット操作命令を使用しないでください。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <RHSBj_base> + 78_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|--------------|--------------|--------------|--------------|----|----|----|--------------|--------------|--------------|--------------|---------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | RHSBj DLF | RHSBjT OF | RHSBj UEF | RHSBj DRF | — | — | — | RHSBjT SF | RHSBjE TF | RHSBj CTF | RHSBj DTF | RHSBj DTSF |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R | R | R | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | RHSBjE RF | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W | R | R | R | R | R | R | R | R |

表 18.25 RHSBjIS レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|-----------|--|
| 31 ~ 28 | — | リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 27 | RHSBjDLF | データ消失フラグ 0 _B : データ消失状態は検出されません 1 _B : データ消失状態を検出 |
| 26 | RHSBjTOF | タイムアウト検出フラグ 0 _B : タイムアウト状態は検出されません 1 _B : タイムアウト状態を検出 |
| 25 | RHSBjUEF | アップストリームエラーフラグ 0 _B : 受信エラーは検出されません 1 _B : 受信エラーを検出 |
| 24 | RHSBjDRF | データ受信フラグ 0 _B : 新しい有効データの受信はなし 1 _B : 新しい有効データを受信 |
| 23 ~ 21 | — | リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 20 | RHSBjTSF | 送信開始フラグ 0 _B : 送信を開始していません 1 _B : 送信を開始 |
| 19 | RHSBjETF | 緊急フレーム送信実行フラグ 0 _B : 緊急送信はなし 1 _B : 緊急フレームを送信 |
| 18 | RHSBjCTF | コマンドフレーム送信実行フラグ 0 _B : コマンドフレームは送信されません 1 _B : コマンドフレームを送信 |
| 17 | RHSBjDTF | データフレーム送信実行フラグ 0 _B : データフレームは送信されません 1 _B : データフレームを送信 |
| 16 | RHSBjDTSF | データフレーム送信開始フラグ 0 _B : データ送信は開始していない 1 _B : データ送信を開始 |

表 18.25 RHSBjIS レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|--------|----------|---|
| 15 ~ 9 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |
| 8 | RHSBjERF | 緊急信号立ち上がりフラグ 0 _B : エッジは検出されません 1 _B : エッジを検出 |
| 7 ~ 0 | — | リザーブビット 読み出すと、常に0が読み出されます。書き込む値も常に0にしてください。 |

(1) RHSBjIS.RHSBjDLF — データ消失フラグ

このビットは0_Bのみ書き込み可能です。

このビットは、データの消失が少なくとも1つのチャンネルで検出されたことを示します。

[クリア条件]

すべての RHSBjUDi.RHSBjDL (i = 0, 1) フラグが0_B のとき、このビットは0_B に設定されません。

CONFIG 状態に入ると、このビットは0_B に設定されます。

[セット条件]

これらのフラグ (RHSBjUDi.RHSBjDL (i = 0, 1)) の少なくとも1つのセット条件が満たされると、このビットは1_B に設定されます。

(2) RHSBjIS.RHSBjTOF — タイムアウト検出フラグ

このビットは0_Bのみ書き込み可能です。

このビットは、タイムアウト時間内にコマンドフレームの送信によって要求された有効な受信がなかったことを示します。

[クリア条件]

CONFIG 状態に入ると、このビットは0_B に設定されます。

[セット条件]

タイムアウトカウンタが終了すると、このビットは1_B に設定されます。

(3) RHSBjIS.RHSBjUEF — アップストリームエラーフラグ

このビットは0_Bのみ書き込み可能です。

このビットは、パリティエラーまたはストップビットエラーを含むフレームが受信されたことを示します。

[クリア条件]

すべての RHSBjUDi.RHSBjFERR (i = 0, 1) フラグとすべての RHSBjUDi.RHSBjPERR (i = 0, 1) フラグが0_B のとき、このビットは0_B に設定されます。

CONFIG 状態に入ると、このビットは0_B に設定されます。

[セット条件]

これらのフラグ (RHSBjUDi.RHSBjFERR (i = 0, 1)) の少なくとも 1 つのセット条件が満たされると、このビットは 1_B に設定されます。

これらのフラグ (RHSBjUDi.RHSBjPERR (i = 0, 1)) の少なくとも 1 つのセット条件が満たされると、このビットは 1_B に設定されます。

(4) RHSBjIS.RHSBjDRF — データ受信フラグ

このビットは 0_B のみ書き込み可能です。

アップストリーム DMA がイネーブルのとき (RHSBjGC.RHSBjUDE = 1_B)、このビットを 0_B に設定しないでください。

このビットは、少なくとも 1 つの RHSBjUDi レジスタが新しい有効データによって更新されることを示します。

[クリア条件]

すべての RHSBjUDi.RHSBjND (i = 0, 1) フラグが 0_B のとき、このビットは 0_B に設定されません。

RHSBjUDR への読み出しアクセスがあると、このビットは 0_B に設定されます。

CONFIG 状態に入ると、このビットは 0_B に設定されます。

[セット条件]

これらのフラグ (RHSBjUDi.RHSBjND (i = 0, 1)) の少なくとも 1 つのセット条件が満たされると、このビットは 1_B に設定されます。

(5) RHSBjIS.RHSBjTSF — 送信開始フラグ

このビットは 0_B のみ書き込み可能です。

このビットは、コマンドフレームまたはデータフレームの送信が開始したことを示します。

[クリア条件]

CONFIG 状態に入ると、このビットは 0_B に設定されます。

[セット条件]

新しいフレーム送信が開始すると、このビットは 1_B に設定されます。

(6) RHSBjIS.RHSBjETF — 緊急フレーム送信実行フラグ

このビットは 0_B のみ書き込み可能です。

このビットは、緊急状態でアセンブルされたデータフレームが送信されたことを示します。

[クリア条件]

CONFIG 状態に入ると、このビットは 0_B に設定されます。

[セット条件]

緊急フレームが送信されると、このビットは 1_B に設定されます。

(7) RHSBjIS.RHSBjCTF — コマンドフレーム送信実行フラグ

このビットは 0_B のみ書き込み可能です。

ダウンストリームコマンド DMA 転送が許可 (RHSBjGC.RHSBjDCDE = 1_B) の場合、これらのビットを 0_B に設定しないでください。

このビットは、コマンドフレームが送信されたことを示します。

[クリア条件]

新しいコマンドフレームの送信が要求されると、このビットは 0_B に設定されます。

CONFIG 状態に入ると、このビットは 0_B に設定されます。

[セット条件]

コマンドフレームが送信されると、このビットは 1_B に設定されます。

(8) RHSBjIS.RHSBjDTF — データフレーム送信実行フラグ

このビットは 0_B のみ書き込み可能です。

このビットは、データフレームが送信されたことを示します。

[クリア条件]

ダウンストリームレジスタ (RHSBjDDRi) のアクティブな最終部分に書き込みがあると、このビットは 0_B になります。 (**「18.4.1.10 データ更新およびデータフレーム送信要求」**を参照してください)。

CONFIG 状態に入ると、このビットは 0_B に設定されます。

[セット条件]

データフレームが送信されると、このビットは 1_B に設定されます。

(9) RHSBjIS.RHSBjDTSF — データフレーム送信開始フラグ

このビットは 0_B のみ書き込み可能です。

ダウンストリームデータ DMA がイネーブルのとき (RHSBjGC.RHSBjDDE = 1_B)、このビットを 0_B に設定しないでください。

このビットは、データフレーム送信が開始したことを示します。

このビットが 0_B のとき、データフレーム送信がディスエーブルされるか、ダウンストリームデータレジスタ (RHSBjDDRi) に送信待ちデータが含まれています。

このビットが 1_B のときは、データフレーム送信が開始しています。ダウンストリームデータレジスタを更新して、次のデータフレーム用のデータを指定することができます。

[クリア条件]

ダウンストリームレジスタ (RHSBjDDRi) のアクティブな最終部分に書き込みがあると、このビットは 0_B に設定されます (**「18.4.1.10 データ更新およびデータフレーム送信要求」**を参照してください)。

データフレーム送信がディスエーブルになると (RHSBjDTC.RHSBjDTE が 1_B から 0_B に変更)、このビットは 0_B に設定されます。

CONFIG 状態に入ると、このビットは 0_B に設定されます。

[セット条件]

データフレーム送信が開始すると、このビットは 1_B に設定されます。

データフレーム送信がイネーブルになり (RHSBjDTC.RHSBjDTE が 0_B から 1_B に変更)、RHSBjDCR.RHSBjDMS が 01_B (TRIGGERED) になると、このビットは 1_B に設定されます。

(10) RHSBjIS.RHSBjERF — 緊急信号立ち上がりフラグ

このビットは 0_B のみ書き込み可能です。

外部緊急信号 (RHSBjEMRG ($j=0$)) のアクティブレベルへのエッジが検出されたことを示します。

[クリア条件]

CONFIG 状態に入ると、このビットは 0_B に設定されます。

[セット条件]

RHSBjGC.RHSBjOPS が ACTIVE または TEST のときに外部信号の非アクティブレベルからアクティブレベルへの遷移が検出されると、このビットは 1_B に設定されます。

CONFIG 状態から抜けたとき緊急信号がアクティブレベルであれば、このビットは 1_B に設定されます。

18.3 動作説明

MCU のハードウェアリセットの解除後、RHSB モジュールは RESET 状態にあります。RHSBjGC.RHSBjOPS にターゲット状態を書き込むことにより、動作状態の変更をトリガすることができます。

現在の動作状態は RHSBjGC.RHSBjOPS により示されます。

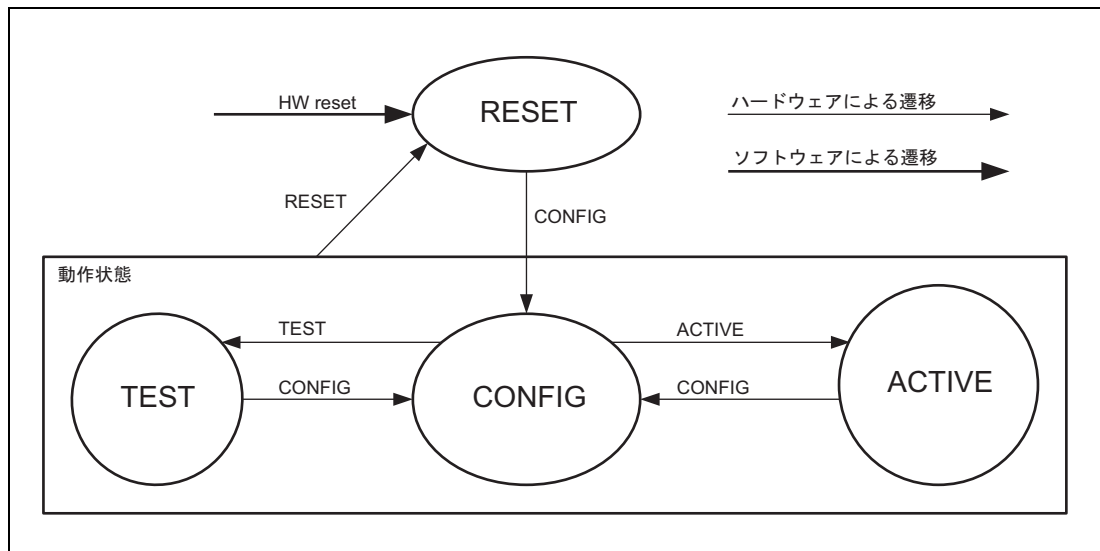


図 18.2 モジュールの状態遷移

実装された動作状態と起こり得る状態遷移を図 18.2 に示します。RESET 状態にはすべての動作状態（TEST、CONFIG、ACTIVE）から入ることができます。

18.3.1 動作状態の説明

18.3.1.1 RESET 状態

RESET 状態は、RHSB モジュールのパワーダウンおよびリセット状態と考えられます。すべての内部クロックが停止して消費電力を低減します。設定、制御、ステータスの各レジスタがすべてリセットされます。

RHSBjGC.RHSBjOPS への書き込みによってのみ RESET 状態を抜けることができます。ほかのレジスタはすべてリセットされるので、これらのレジスタへの書き込みは無効です。

18.3.1.2 CONFIG 状態

CONFIG 状態にあるとき、モジュール構成を定義するには、すべてのレジスタに書き込みアクセスを行います。

18.3.1.3 ACTIVE 状態

ACTIVE 状態では、RHSB モジュールはアップストリームおよびダウンストリーム通信を実行できます。

アップストリーム通信機能を RHSBjUCR.RHSBjUE によってイネーブルすると、この通信は ACTIVE 状態でのみ使用可能です。

ダウンストリーム通信は、ACTIVE および TEST 状態にあるとき、RHSBjDTC レジスタで個々にイネーブルやディスエーブルすることができます。

18.3.1.4 TEST 状態

TEST 状態は、キーオンテストやフォルトローカリゼーションをサポートすることを目的としています。RHSB の内部データ経路は、ダウンストリームデータをアップストリームチャネルにループバックすることによりチェックできます。

詳細およびこのモードの制約事項については、「18.4.4 テストモード動作」を参照してください。

18.3.2 RHSB モジュールのアクティブ化 (RESET 状態を抜ける方法)

RESET 状態を抜けるには、このフローを使用してください。このフローは、周辺バスクロックと RHSB エンジンクロックがすでにイネーブルされていることを想定しています。

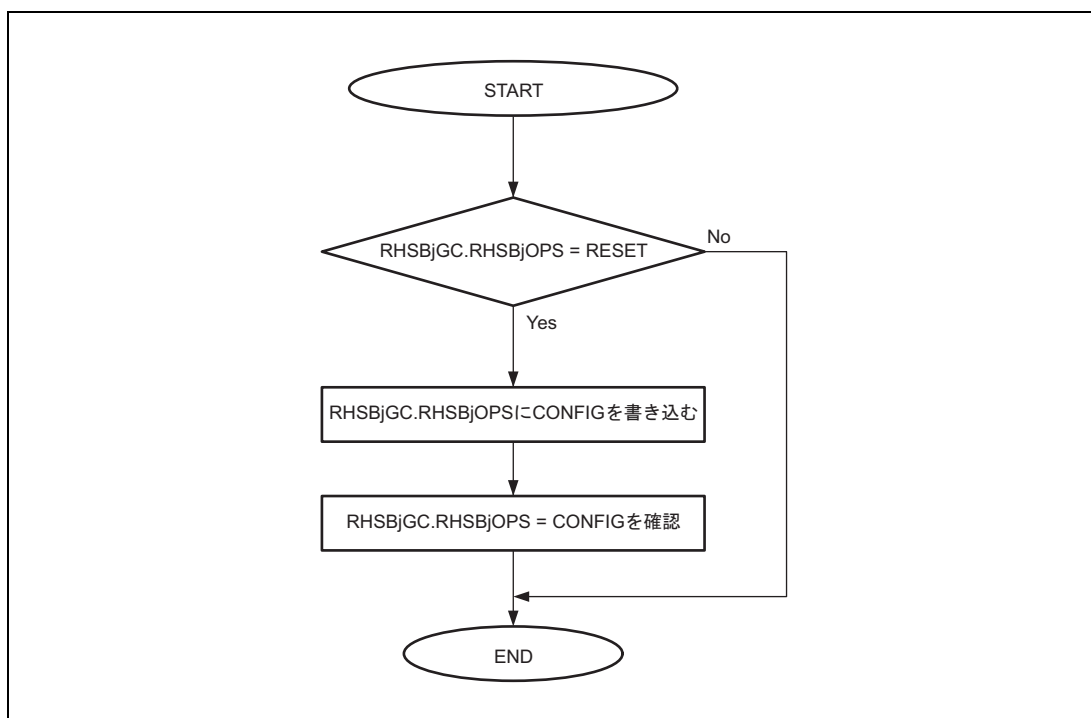


図 18.3 RESET 状態を抜けるためのソフトウェアフロー

MCU のポート機能と方向レジスタは、RHSB モジュールがアクティブ動作を実行する前に設定する必要があることに注意してください。ダウンストリームのチップセレクトラインの無効なレベル指定を避けるため、MCU のピン機能を RHSB に設定する前に、これらのラインのアクティブレベルを正しく定義することを推奨します。

18.3.3 RHSB モジュールの非アクティブ化 (RESET 状態に入る方法)

RESET 状態に入るには、このフローを使用してください。このフローを実行すると、周辺バスクロックと RHSB エンジンクロックがディスエーブル可能になり、MCU ポートの機能を変更できます。

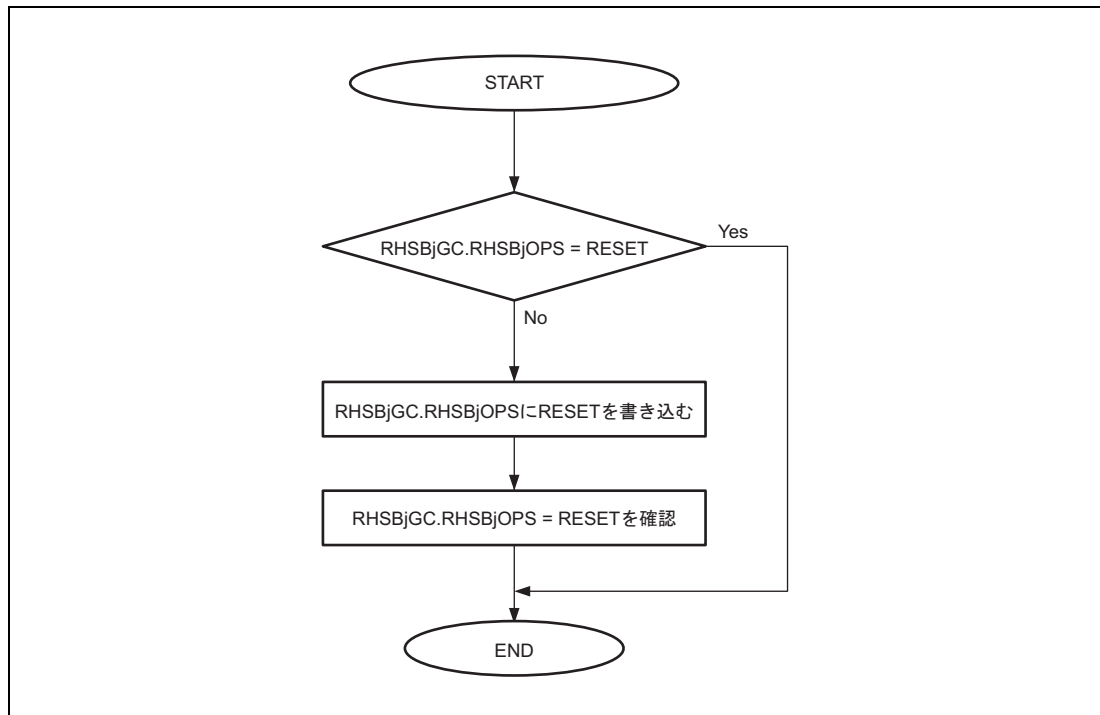


図 18.4 RESET 状態に入るためのソフトウェアフロー

モジュールが RESET 状態に入ると、実行中の送信が停止され、受信状態が消えて、RHSB の出力ラインはリセットレベルに変更されます。

図 18.5 に挙げたフローを使用すると、実行中の送信に影響を与えずに RESET 状態に入ることができることに注意してください。

18.3.4 動作状態間の変更 (ACTIVE、CONFIG、TEST)

RHSB モジュールの動作状態の変更は、ターゲット状態を RHSBjGC.RHSBjOPS に書き込むことによりトリガされます。状態遷移が正しく処理されたことは、RHSBjGC.RHSBjOPS で見ることができます。

18.3.5 実行中の送信を中断させずに ACTIVE 状態を抜ける方法

ACTIVE 状態を抜けると、実行中の送信が停止されます。これにより、ダウンストリームレシーバ側（スレーブ）の受信が無効になることがあります。

このフローを使うと、動作状態を CONFIG または RESET に変更する際生じる実行中の送信の中断を防ぐことができます。

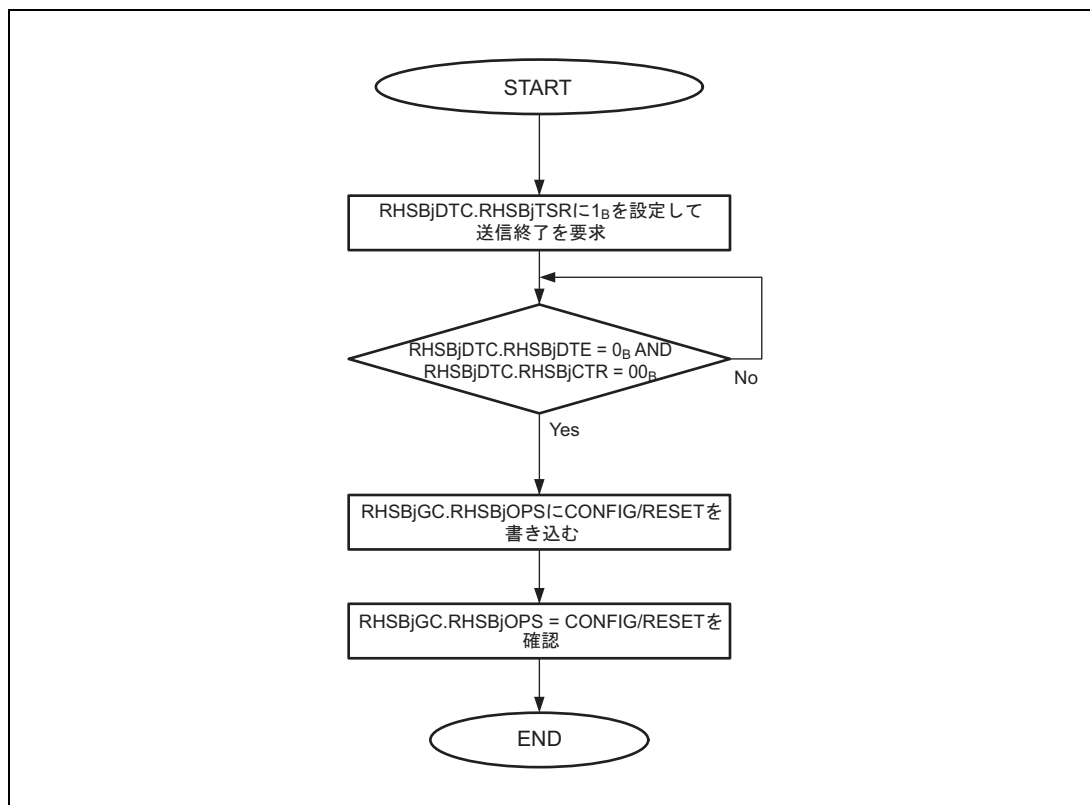


図 18.5 実行中の送信を中断させずに ACTIVE/TEST 状態を抜けるためのソフトウェアフロー

TEST 状態を抜けるのに同じフローを使用できます。

18.4 RHSB の動作

18.4.1 ダウンストリーム通信

RHSB モジュールは、同期シリアル通信をダウンストリーム通信に使用します。

この同期シリアルフレームに加え、このダウンストリーム通信では、1つのフレームで最大2つのスレーブに対応するため、また周期的送信の繰り返し時間を定義するために、一連の通信位相を定義します。

アプリケーション要件に応じたダウンストリーム通信のスケジューリングには、様々なモードや設定パラメータが使用できます。このダウンストリームの設定は、「**18.2.4 ダウンストリーム (Tx) のレジスタ説明**」に記載されたレジスタで定義します。

ダウンストリームエンジンの機能ブロック図を図 18.6 に示します。ここでは、ダウンストリーム通信について詳しく説明します。

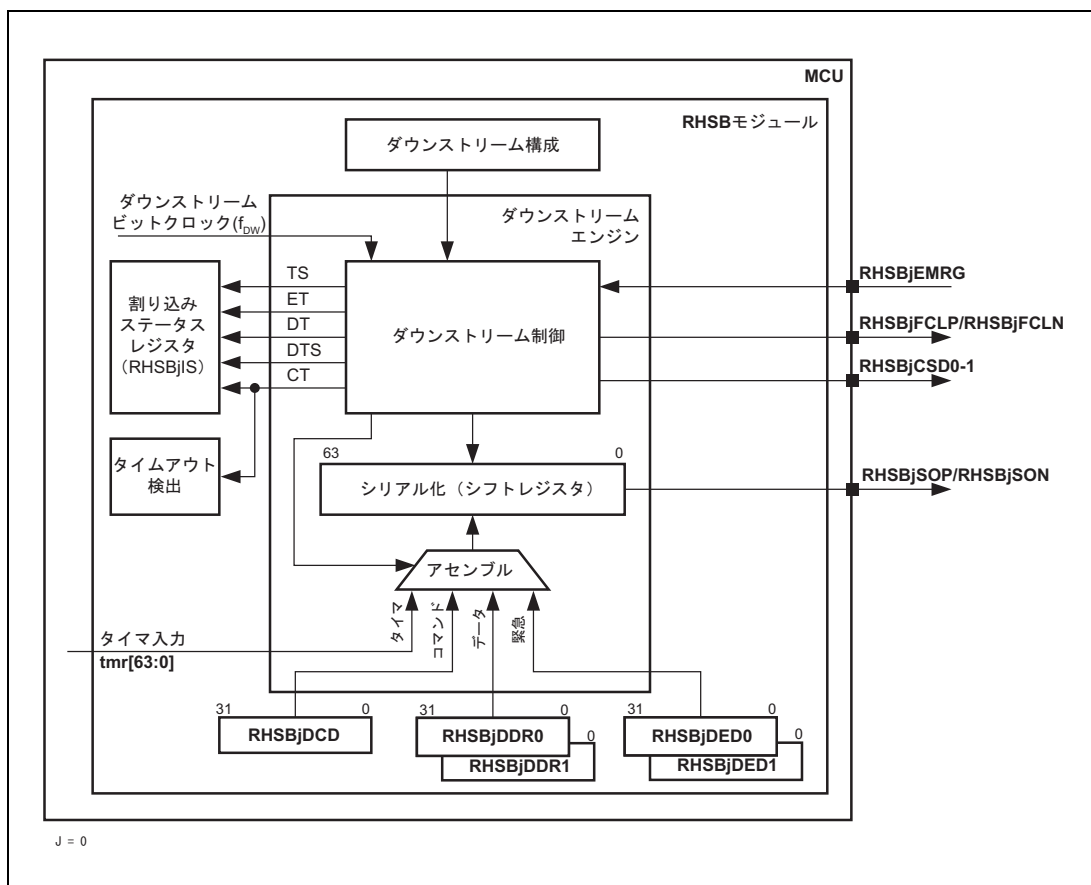


図 18.6 ダウンストリームのブロック図

ダウンストリームの設定

このブロックは、ダウンストリーム関連の設定パラメータおよびアプリケーションソフトウェアが扱うダウンストリーム制御インタフェースを表しています。

ダウンストリーム制御

このブロックは、ダウンストリームエンジンの主要機能を示しています。ここでは、送信のスケジューリング、フレームのアセンブル制御、ダウンストリーム通信信号の生成

(RHSBjFCLP/RHSBjFCLN ($j=0$), RHSBjCSD0-1 ($j=0$)), RHSBjIS レジスタにおけるダウンストリーム関連のステータス信号のトリガが行われます。

シリアル化

シフトレジスタはフレームの先頭でアSEMBルされたデータを捕捉し、ダウンストリームの位相関連の情報をダウンストリームインタフェースのシリアルデータライン (RHSBjSOP/RHSBjSON ($j=0$)) に送ります。

アSEMBル

この多重化ロジックにより、データビットごとのデータソースが選択されます。

18.4.1.1 ダウンストリーム通信の位相

ダウンストリーム通信は様々な位相で構成されます。

これらの位相は、RHSB モジュールによって次のように使用されます。

アクティブ位相：

- アサート位相：シリアルデータラインは無効
このオプション位相により、選択されたスレーブは内容位相への準備をすることができます。
- 内容位相：シリアルデータラインは有効
この位相の間、内容が選択されたスレーブに送信されます。
- デアサート位相：シリアルデータラインは無効
内容が選択されたスレーブに送信された後のオプション位相

パッシブ位相：

- フレームパッシブ位相：
この位相は各フレームの一部で、次のフレームが開始するまでの非アクティブ状態の最小時間を定義します。
- インターフレームパッシブ位相：
この位相はフレームが送信されない (バスがアイドルの) 時間を表します。
インターフレームパッシブ位相は、ダウンストリームモードとダウンストリームの設定に応じて発生します。

フレームはアクティブ位相とフレームパッシブ位相から構成されます。

図 18.7 に、ダウンストリーム通信の位相を示します。この図に示すフレームは1つのスレーブ (スレーブ 0) に対応しています。パッシブ位相中、モードに依存するクロックは点線で示しています。オプションの位相を含め、すべての位相は送信に使用される順序で示されています。

図 18.8 に、2つのスレーブ (スレーブ 0 とスレーブ 1) に対応するフレームのダウンストリーム通信の位相を示します。オプションのアサート位相とデアサート位相は、スレーブごとに個別に設定可能です。

図 18.7 と **図 18.8** では、スレーブの選択信号がアクティブハイに設定され、クロックライン位相は立ち上がりエッジに設定されています。

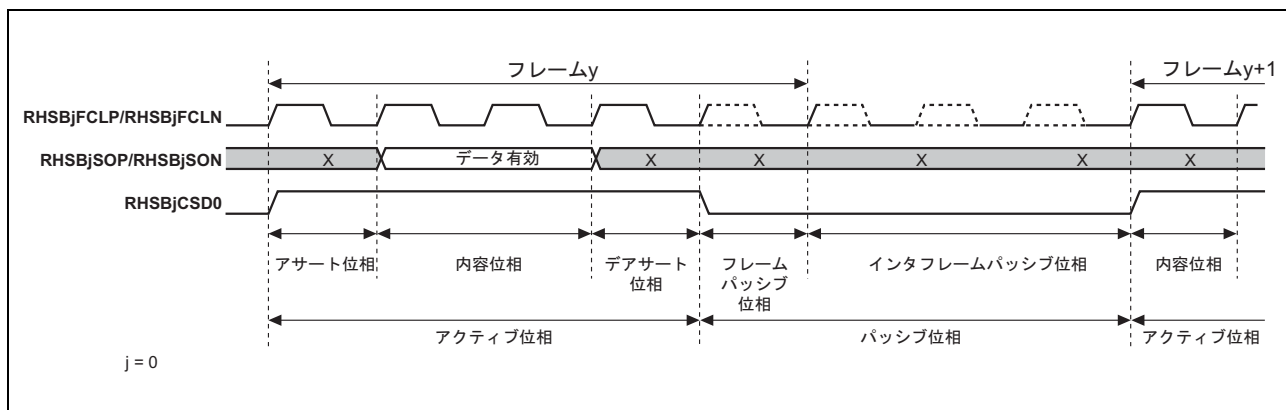


図 18.7 ダウンストリーム通信の位相

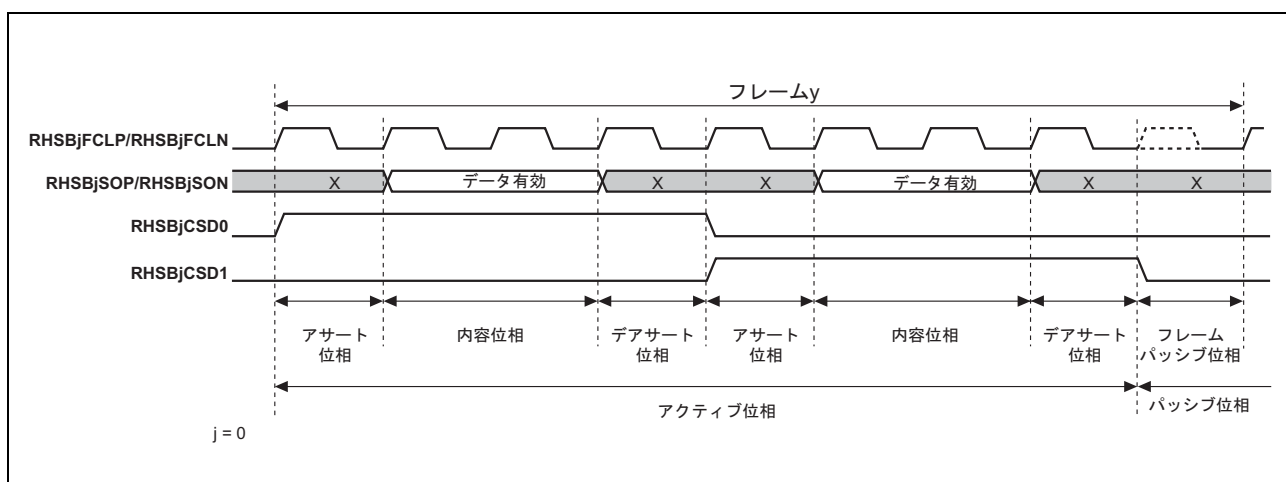


図 18.8 2つのスレーブに対応するフレームのダウンストリーム通信の位相

評価のために、 $RHSBjMSR$ を読み出して通信位相をモニタすることができます。この機能がすべてのダウンストリームビットレートには使用できないことに注意してください。

18.4.1.2 フレーム依存のフラグ付け

図 18.9 に、コマンドフレームおよびデータフレーム送信の RHSB 内部の処理フローを示します。コマンドフレームまたはデータフレームを送信する際のスケジューリングはモードに依存しており、これについては「18.4.1.3 ダウンストリームモード」で説明します。

図 18.8 に示したフローは、「18.4.1.3 ダウンストリームモード」のモード記述においてマクロとして使用されます。

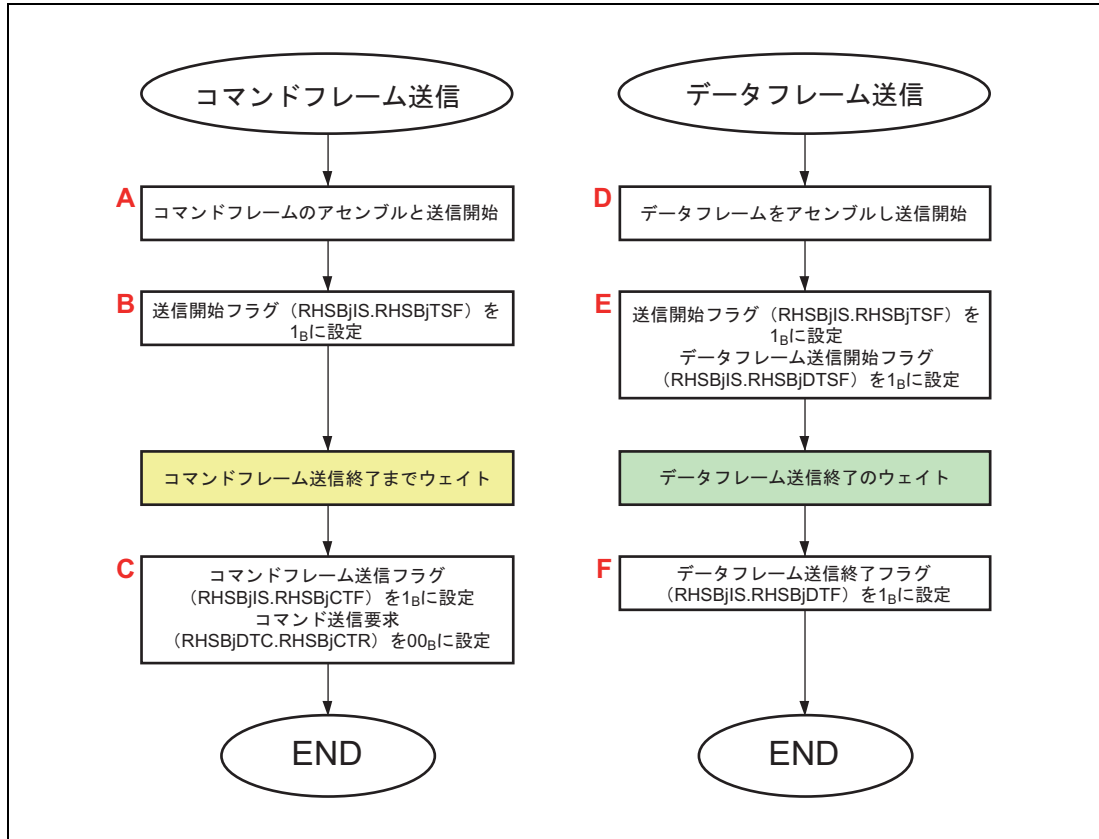


図 18.9 コマンドフレームとデータフレームの内部送信処理

フラグ関連のコマンドフレームおよびデータフレームの送信を図 18.10 に示します。グレーの背景部分は、ユーザの前の入力によるもので送信には影響のない値を示します。

トリガモードでは、データフレーム送信が開始する直前の RHBjIS.RHBjDTSF は常に 0_B です。ほかのモードでは、この値は 0_B の場合と 1_B の場合があります。

A ~ F のタイミングの記号は、図 18.9 中の記号を指します。

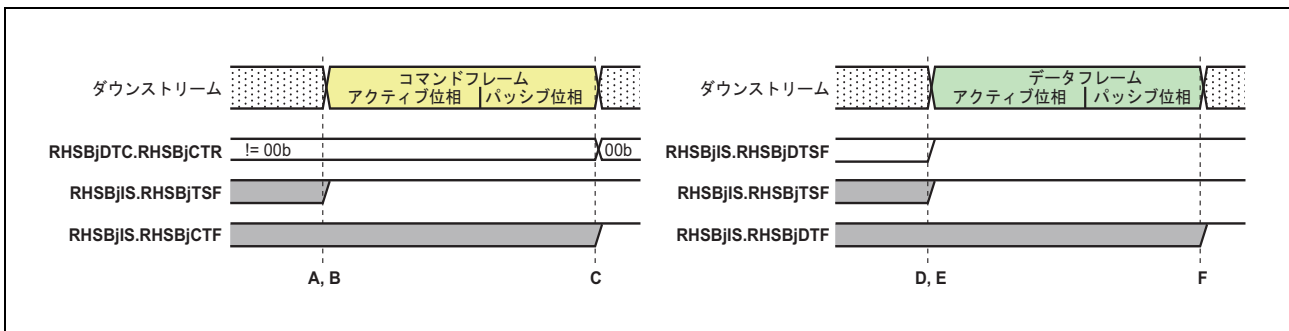


図 18.10 コマンドフレームとデータフレーム関連のフラグ付け

緊急フレームを送信した場合、RHSBjIS.RHSBjETF フラグは RHSBjIS.RHSBjDTF (タイミング F) と同時に立ちます。

18.4.1.3 ダウンストリームモード

RHSB モジュールは、CONFIG 状態のときに選択可能な様々なダウンストリーム送信モードをサポートしています。

次に示すモードが使用可能で、RHSBjDCR.RHSBjDMS で設定することができます。

- トリガモード
RHSB モジュールは、ユーザからの要求があるとすぐにダウンストリーム通信を開始します (ソフトウェアトリガ)。
- シングル周期繰り返しモード
RHSB モジュールは、定義された繰り返し時間でダウンストリーム通信を開始します。周期的送信はユーザとの相互作用には依存しません。
- マルチ周期繰り返しモード
RHSB モジュールは、2つの定義された繰り返し時間でダウンストリーム通信を開始します。周期的送信はユーザとの相互作用には依存しません。

すべてのモードにおいて、RHSBjDTC.RHSBjDTE を 1_B に設定してデータ送信をイネーブ爾した場合のみデータフレーム送信が可能です。

データフレーム送信は RHSBjDTC.RHSBjDTE が 0_B から 1_B に変わると即座に開始されるため、トリガモードの場合を除き、ダウンストリームデータレジスタを有効なデータで初期化してからデータ送信をイネーブ爾することを推奨します。

RHSB モジュールは、ダウンストリームモードにかかわらず、またデータ送信がイネーブ爾かどうかにかかわらず、コマンドフレームを送信することができます。

(1) トリガモード

このモードでは、データフレーム送信をユーザがトリガします。トリガごとに、1つのデータフレームの送信が開始されます。

このモードでは繰り返し時間が定義されず、送信がソフトウェアの実行タイミングによって制御されます。

トリガモードでは、次の設定パラメータは無視されます。

- コマンドフレーム挿入モード (RHSBjDCR.RHSBjCIM)
- コマンドフレーム送信遅延 (RHSBjDCR.RHSBjCTD)
- 繰り返し時間長さ (RHSBjDCR.RHSBjREP)

RHSBjIS.RHSBjDTSF を 0_B にすると、データフレーム送信がトリガされます。このビットは、RHSBjIS.RHSBjDTSF に 0_B を書き込むか (データは変更しないまま)、ダウンストリームデータレジスタ (RHSBjDDRi) を更新することによりクリアできます。データ更新とデータフレーム送信要求の詳細については、「**18.4.1.10 データ更新およびデータフレーム送信要求**」を参照してください。

図 18.11 に示すフローは、RHSB モジュールがトリガモードにあり、データ送信がイネーブ爾されていることを想定しています。

コマンドフレーム送信とデータフレーム送信 (カラーの楕円) の詳細は、**図 18.9** に示されています。

次の設定を適用すると、フローが開始します。

- RHSBjGC.RHSBjOPS が ACTIVE
- RHSBjDCR.RHSBjDMS がトリガモード
- RHSBjDTC.RHSBjDTE = 1_B

RHSB モジュールが ACTIVE 状態を抜けると、このフローはただちに停止します。

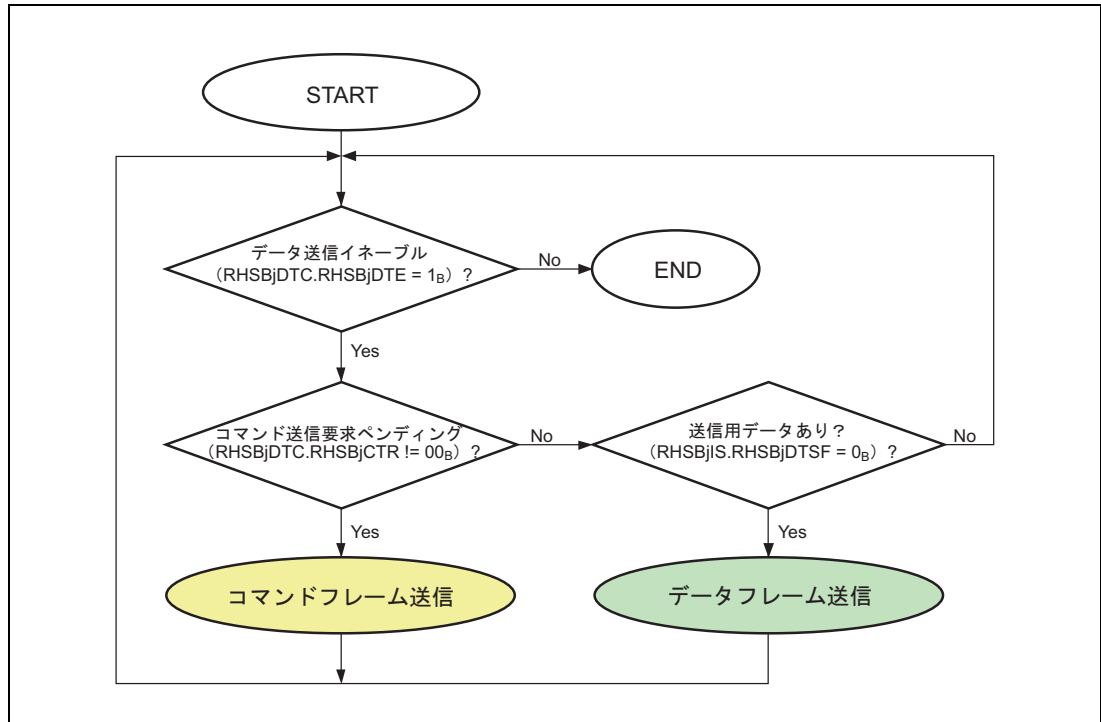


図 18.11 データ送信がイネーブル時のトリガモードにおける内部送信処理

図 18.12 に、コマンドフレームとデータフレームの送信要求が同時に出了た場合のダウンストリーム通信を示します。保留状態の要求がある場合、1つのフレーム送信が終了するとただちに次のフレームが送信されます。

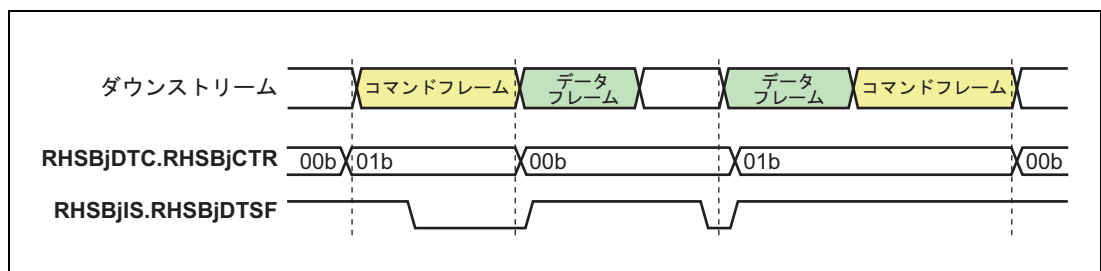


図 18.12 トリガモードにおけるコマンド/データ送信の同時要求の例

(a) トリガモードでのコマンドフレーム送信

送信処理の図に示すように、コマンドフレーム送信はデータフレーム送信よりも優先されます。データフレームおよびコマンドフレーム送信を、アプリケーション要件に合致するようにスケジューリングする必要があります。

データ送信をディスエーブルすると (RHSBjDTC.RHSBjDTE = 0_B)、保留中の要求があればコマンドフレームがただちに送信されます。このコマンドフレーム送信は、図 18.11 に示す内部送信処理には制御されません。

(2) 繰り返しモード (シングル周期繰り返し、マルチ周期繰り返し)

このモードでは、データフレーム送信が定期的に行われます。定期的な時間の刻みにより周期的なデータ送信の繰り返し時間が定義されます。

このモードで使用される一定の繰り返し時間は、RHSB モジュールによって制御されます。

繰り返しモードでは、RHSBjDTC.RHSBjDTE と RHSBjDTC.RHSBjTSR を使って周期的データ送信の開始と停止を実行できます。RHSB モジュールは、データ送信をディスエーブルすることで実行中の送信が中断されないようにします。

繰り返しモードでは、データフレーム送信のトリガは RHSBjIS.RHSBjDTSF に依存しません。ただし、ダウンストリームデータレジスタ (RHSBjDDRi) の値が送信データのアセンブルに使用されます。

(a) 繰り返し時間の定義

繰り返し時間は RHSBjDCR.RHSBjREP によって定義されます。最小繰り返し時間はデータフレーム以上の長さにしてください。

図 18.13 に示すように、繰り返し時間がデータフレームの長さを超える場合は、2つのデータフレームの間にインターフレームパッシブ位相があります。

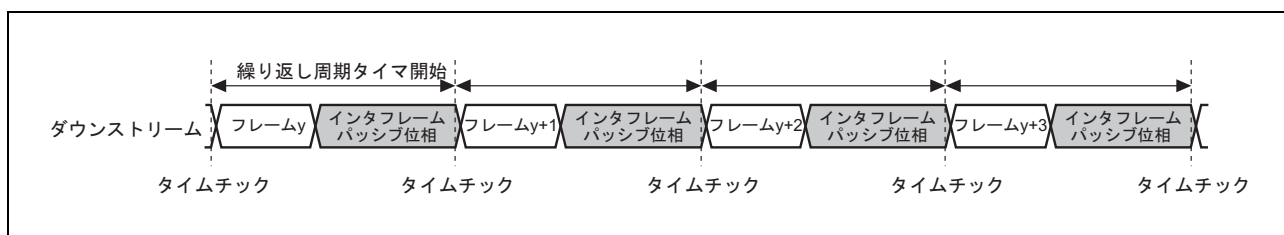


図 18.13 繰り返しモードでの送信タイミング

データフレームの長さは、次の設定パラメータの和として計算できます。

- 対応するすべてのスレーブのアサート位相長さ (RHSBjSDCi.RHSBjAPLn)
- 対応するすべてのスレーブのデータフレーム選択ビット (RHSBjSDCi.RHSBjCPSn)
- 対応するすべてのデアサート位相長さ (RHSBjSDCi.RHSBjDPLn)
- 使用されるすべての DFTE (RHSBjDCR.RHSBjSLS および RHSBjDCR1.RHSBj.SLS1 (マルチ周期繰り返しモード)) のデータビット数 (RHSBjDEC.RHSBjNDBm)
- データフレームのパッシブ位相長さ (RHSBjDCR.RHSBjDFP)

8 周辺バスクロックサイクルより短い繰り返し時間は設定しないでください (RHSBjDCR.RHSBjREP)。たとえば、標準の周辺バスクロック (CLK_LSB) 周波数が 40 MHz のとき、繰り返し時間は最小 0.2 μ s になります。

シングル周期繰り返しモードでの送信周期カウントでは「周期 0」が保持され、マルチ周期繰り返しモードでの送信周期カウントでは、**図 18.13** に示すように、「周期 0」と「周期 1」がトグルします。

シングル周期繰り返しモードでのシーケンス長は、周期 0 の RHSBjDCR.RHSBjSLS によって定義されます。マルチ周期繰り返しモードでのシーケンス長は、周期 0 の RHSBjDCR.RHSBjSLS と周期 1 の RHSBjDCR1.RHSBjSLS1 によって定義されます。

(b) コマンドフレーム送信

コマンドフレーム送信はデータフレーム送信より優先されます。設定パラメータ RHBjDCR.RHBjCTD により、連続するコマンドフレームの送信を防ぐことができます。

コマンドフレームの挿入には様々な方法が使用可能です。コマンドフレームの送信時、またコマンドフレームの挿入によりデータ送信がどのような影響を受けるかなど、状況に応じて方策が異なります。すべての挿入方法は RHBjDCR.RHBjCIM で制御します。「18.4.1.3 (3) シングル周期繰り返しモードでのコマンドフレーム挿入法」で詳しく説明します。

(3) シングル周期繰り返しモードでのコマンドフレーム挿入法

シングル周期繰り返しモードでは、コマンド送信の要求は繰り返し時間と非同期で発生します。RHSB モジュールは、コマンドフレームを繰り返しのスケジュールにどのように挿入するかについて、RHBjDCR.RHBjCIM により制御される様々な方策をサポートしています。

データ送信がディスエーブルの場合 (RHBjDTC.RHBjDTE = 0_B)、送信要求が保留中であればただちにコマンドフレームが送信されます。また、連続するコマンドフレームに関する制約 (RHBjDCR.RHBjCTD = 1_B) は無視されます。

(a) タイムスロット法

この方法を選択すると、RHSB モジュールはコマンドフレームとデータフレームを時間の刻みに合わせて整列させます。コマンドフレームは、繰り返し時間内にデータフレームと置き換わります。

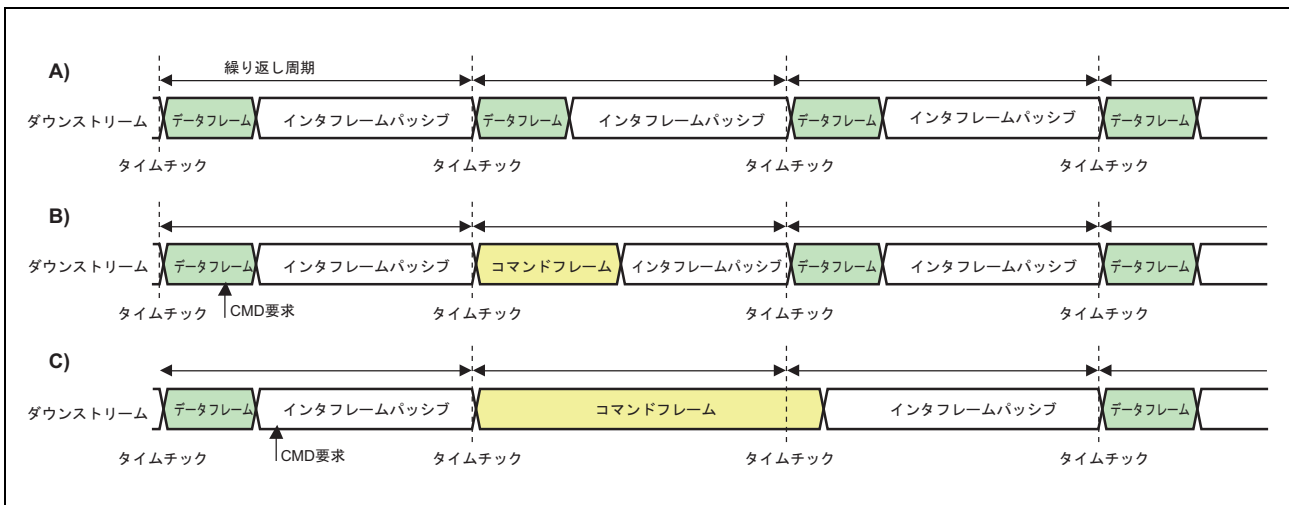


図 18.14 タイムスロット法を使用したコマンド挿入例

シナリオ A) は、コマンド要求のないスケジュールを示します。

シナリオ B) は、コマンドフレームの長さが繰り返し時間以下のコマンドフレーム挿入を示します。1つのデータフレームが置き換えられています。

シナリオ C) は、コマンドフレームの長さが繰り返し時間より長いコマンドフレーム挿入を示します。2つのデータフレームが置き換えられています。

(b) 即時法

この方法を選択すると、RHSB モジュールはコマンドフレームの送信要求をできるだけ早く処理します（インターフレームパッシブ位相の間、またはデータフレームの終了後ただちに）。コマンドフレーム送信が繰り返し時間に合わせて整列されることはありません。

コマンドフレームが繰り返し時間を壊したため、データフレーム送信を本来の時間の刻みで開始できない場合、そのデータ送信をできるだけ早く処理します。繰り返し時間は再調整されます。

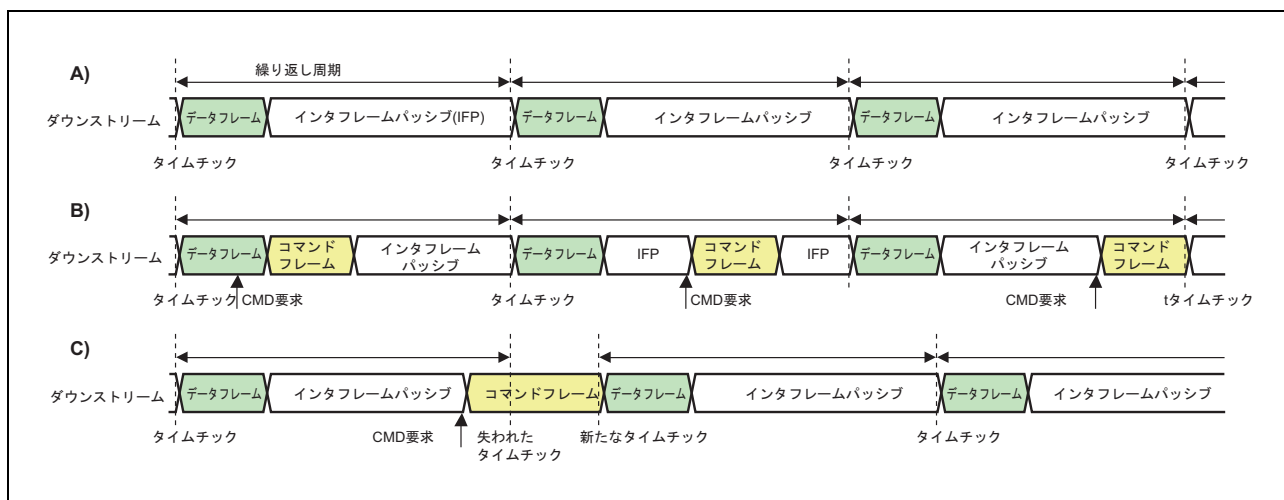


図 18.15 即時法を使用したコマンド挿入例

シナリオ A) は、コマンド要求のないスケジュールを示します。

シナリオ B) は、繰り返し時間を壊していないコマンドフレーム挿入を示します (3 例)。

シナリオ C) は、繰り返し時間を壊しているコマンドフレーム挿入を示します。データフレームの本来の時間の刻みがなくなっています。コマンドフレーム送信が終了したら、タイムベースを再調整し、新しい時間の刻みを生成して、データフレーム送信をただちに開始します。

設定上可能であれば、2つのデータインターフレームに2つ以上のコマンドフレームを挿入することができます。この場合、コマンドフレームが繰り返し時間を壊しても繰り返し時間が再調整されます。

(c) ベストエフォート法

この方法を選択すると、RHSB モジュールは、以下の場合にのみコマンドフレーム送信を開始します。

- データフレーム送信の終了時、または
- コマンドフレーム送信がインターフレームパッシブ位相中に終了する場合

ベストエフォート挿入法を使用するときは、繰り返し時間グリッドは調整されません。

コマンドフレームの長さがインターフレームパッシブ位相以下の場合、コマンドフレーム送信はデータフレーム送信に影響しません (図 18.16 の事例 B を参照)。設定から可能な場合、2つ以上のコマンドフレームを繰り返し時間中に送信することができます。

コマンドフレームの長さがインターフレームパッシブ位相より長い場合、コマンドフレーム送信はデータフレーム送信に影響を及ぼします (図 18.16 の事例 C を参照)。データ送信は至急処理されます。

データフレーム送信が、別のデータフレームによる影響を受けた（コマンドフレーム送信によってシフトされた）場合、データフレームは処理されません（図 18.16 の事例 D を参照）。

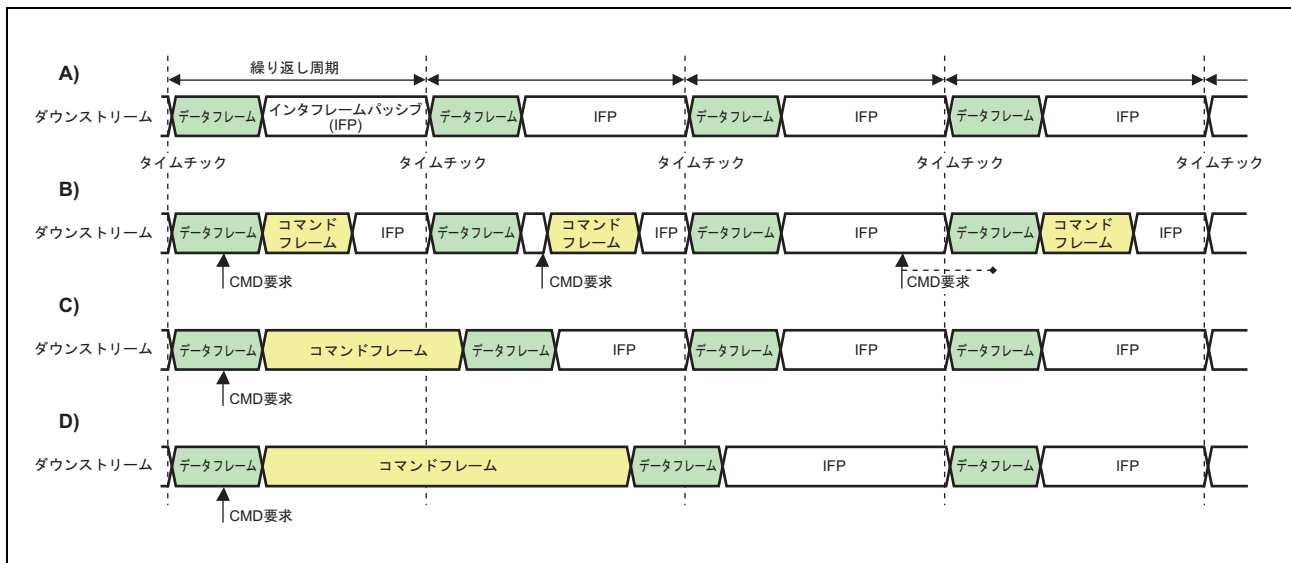


図 18.16 ベストエフォート法を使用したコマンド挿入例

シナリオ A) は、コマンド要求のないスケジュールを示します。

シナリオ B) は、コマンドフレームの長さがインターフレームパッシブ長以下のコマンドフレーム挿入を示します (3 例)。3 つめの例では、コマンドフレームはデータ送信に影響を及ぼすため、次のデータフレームのあとにシフトされています。

シナリオ C) は、コマンドフレームの長さがインターフレームパッシブ長より長いコマンドフレーム挿入を示します。遅延されたデータフレームは次のデータフレームに影響しません。

シナリオ D) は、コマンドフレームの長さがインターフレームパッシブ長より長いコマンドフレーム挿入を示します。遅延されたデータフレームは次のデータフレームに影響を及ぼしません。

18.4.1.4 マルチ周期繰り返しモードでのコマンドフレーム挿入法

マルチ周期繰り返しモードでは、コマンド送信の要求は繰り返し時間と非同期で発生します。

(1) ベストエフォート法

マルチ周期繰り返しモードはベストエフォート法のみをサポートしています。この方法を選択すると、RHSB モジュールは、以下の場合にのみコマンドフレーム送信を開始します。

- 周期 1 でのデータフレーム送信終了時

ベストエフォート挿入法を使用するときは、繰り返し時間グリッドは調整されません。

周期 1 でコマンドフレームの長さがインターフレームパッシブ位相以下の場合、コマンドフレーム送信はデータフレーム送信に影響しません (図 18.17 の事例 B、C、D、E、F および G を参照)。設定から可能な場合、2 つ以上のコマンドフレームを繰り返し時間中に送信することができます。

コマンドフレームの長さがインターフレームパッシブ位相より長い場合、コマンドフレーム送信はデータフレーム送信に影響します (図 18.17 の事例 H を参照)。転送されたコマンドとデータは保証されません。

データフレーム送信が、別のデータフレームによる影響を受けた (コマンドフレーム送信によってシフトされた) 場合、データフレームは処理されません (図 18.17 の事例 I を参照)。転送されたコマンドとデータは保証されません。

ベストエフォート法の処理については、図 18.17 の送信処理フローにも記載しています。

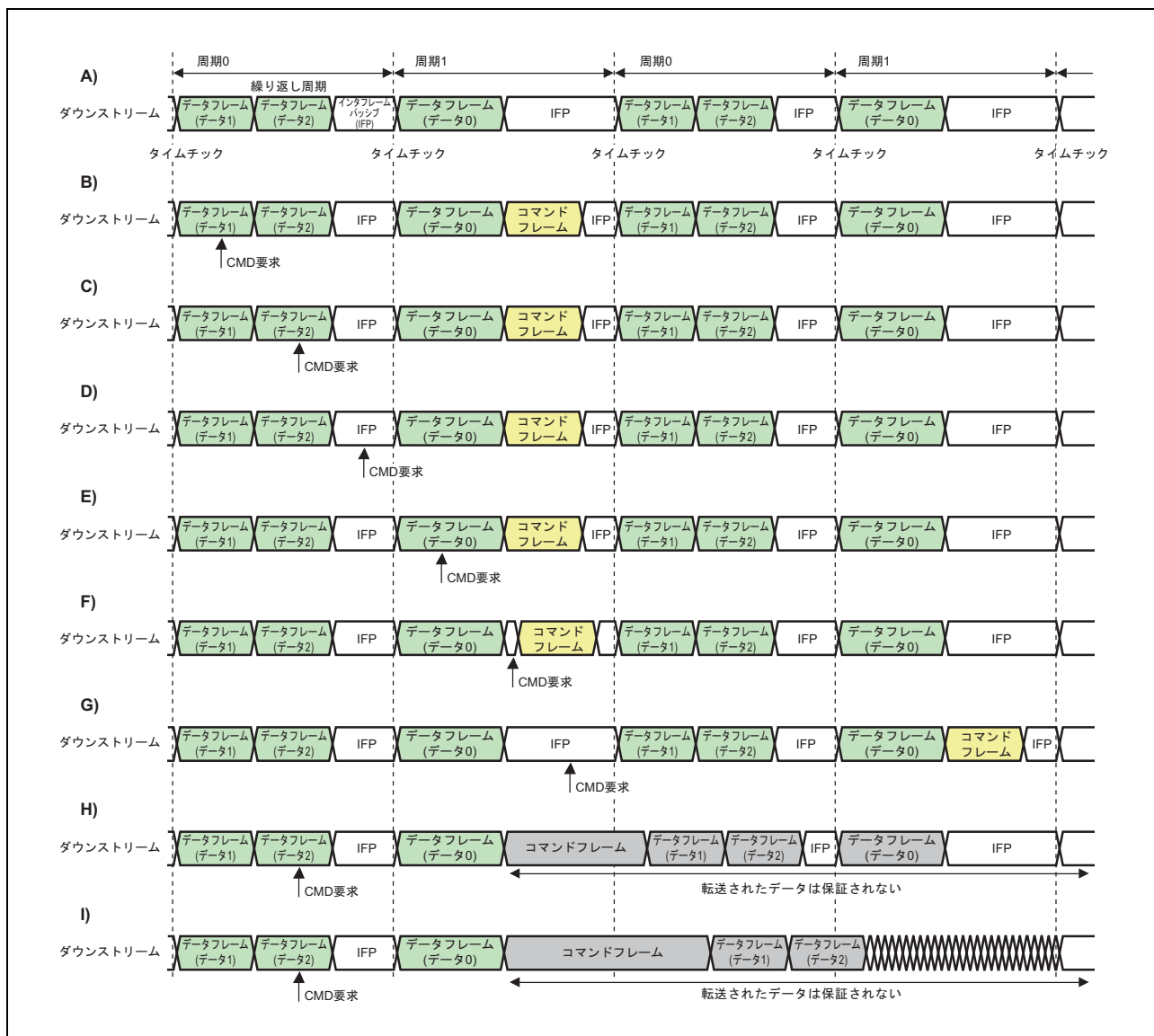


図 18.17 マルチ周期繰り返しモードでのベストエフォート法を使用したコマンド挿入例

シナリオ A) は、コマンド要求のないスケジュールを示します。

シナリオ B)、C)、D) は、周期 0 でコマンド要求が発生した場合のコマンドフレーム挿入を示します。コマンドフレームは周期 1 でデータフレームの終了後にシフトされます。

シナリオ E) は、周期 1 でデータフレームにコマンド要求が発生した場合のコマンドフレーム挿入を示します。コマンドフレームは周期 1 でデータフレームの終了後にシフトされます。

シナリオ F) は、周期 1 でコマンド要求がインターフレームパッシブ位相で発生し、コマンド長が残りのインターフレームパッシブ長より短い場合のコマンドフレーム挿入を示します。

シナリオ G) は、コマンド要求がインターフレームパッシブ位相で発生し、コマンド長が残りのインターフレームパッシブ長より長い場合のコマンドフレーム挿入を示します。

シナリオ H)、I) は、コマンドフレームの長さがインターフレームパッシブ長より長いコマンドフレーム挿入を示します。この設定は禁止されています。コマンドフレームのあとに転送されたデータは 1_B を RHSBjDTC.RHSBjTSR に書き込むまで保証されません。

18.4.1.5 物理的フレーム形式

(1) クロックライン

シリアルクロックライン (RHSBjFCLP/RHSBjFCLN ($j=0$)) は、MSC マスタから MSC スレーブモジュールにタイミング情報を提供します。クロックラインとクロック位相はすべてのスレーブに共通です。

シリアルデータライン (RHSBjSOP/RHSBjSON ($j=0$)) とチップセレクトライン (RHSBjCSD0-1 ($j=0$)) がその値をシリアルクロックラインの立ち上がりエッジと立ち下がりエッジのどちらで変更するかは、RHSBjDCR.RHSBjCLP の設定によって設定することができます。

RHSBjDCR.RHSBjCLP がシリアルクロックライン (RHSBjFCLP/RHSBjFCLN ($j=0$)) のレベルに直接影響を与えることに注意してください。

シリアルクロックの動作は、RHSBjDCR.RHSBjCAC によっていつでも設定することができます。RHSB モジュールは、シリアルクロックライン (RHSBjFCLP/RHSBjFCLN ($j=0$)) のクロック信号にグリッチがないことを保証します。

RHSBjDCR.RHSBjCAC による設定は、アクティブ位相中のクロック動作には影響していません。適切なダウンストリーム通信を行うには、アクティブ位相中にクロックが必要です。RHSBjDCR.RHSBjCAC は、パッシブ位相中のクロック動作にのみ影響を与えています。ダウンストリーム通信では、パッシブ位相中にクロックは不要です。

アプリケーションによっては、接続されたスレーブがアクティブなシリアルクロックラインを必要とする場合があります (たとえば、アップストリーム通信を処理するためにスレーブがダウンストリームクロックを使用する場合)。

(2) 個々のスレーブ設定

各スレーブは、CONFIG 状態において個々に設定することができます。

- チップセレクトラインのアクティブレベル (RHSBjSDCi.RHSBjCSLPn)
- シリアルデータラインのアクティブレベル (RHSBjSDCi.RHSBjSOLPn)
- アサート位相の長さ (RHSBjSDCi.RHSBjAPLn)
- デアサート位相の長さ (RHSBjSDCi.RHSBjDPLn)
- データフレーム内の選択ビットの有無 (RHSBjSDCi.RHSBjCPSn)

チップセレクトラインのアクティブレベル設定は、RHSB モジュールの出力に直接現れることに注意してください。

(3) ダウンストリームフレームのコード化

選択ビットは、データフレームでは 0_B 、コマンドフレームでは 1_B です。

シリアルデータライン (RHSBjSOP/RHSBjSON ($j=0$)) は、アサート位相とデアサート位相では「無効」と指定されます。RHSB モジュールは、これらの位相中に 1_B を送信します。シリアルデータラインのレベルが個々のスレーブ設定によって決まることに注意してください (RHSBjSDCi.RHSBjSOLPn)。

スレーブ n が選択される限り、シリアルデータラインの反転はイネーブルされます。

シリアルデータラインの反転は、アクティブ位相に対してのみ設定可能です。RHSB モジュールは、RHSBjSDCi.RHSBjSOLPn の設定に関係なく、パッシブ位相中にシリアルデータライン (RHSBjSOP/RHSBjSON ($j=0$)) を“H”に設定します。

図 18.18 は、スレーブが 2 つでチップセレクトラインがアクティブハイの場合のデータフレームのコード化を示します。フレームは 3 ビットのデータワード (値は 03_H) をスレーブ

0 とスレーブ 1 に送信します。両方のスレーブの設定は、スレーブ 1 のデータラインが反転していることを除き、同一です。

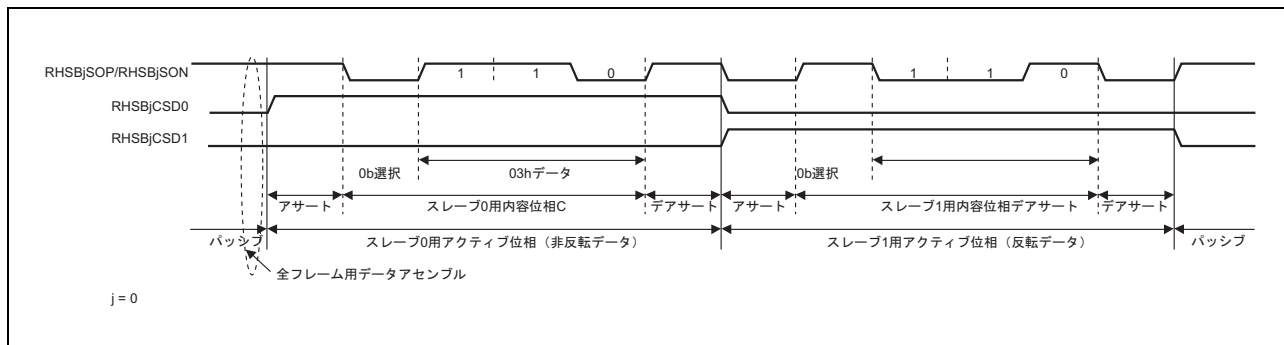


図 18.18 フレームのコード化の例

RHSB モジュールは、ダウンストリームフレームを送信開始前に（図 18.18 に記載のとおり）直接アセンブルします。このアセンブルのタイミングはダウンストリームモード（RHSBjDCR.RHSBjDMS）およびフレームタイプ（コマンドフレーム/データフレーム）とは無関係です。

18.4.1.6 データフレームのアセンブル

データフレームは、最大2つのスレーブに送られる相関関係のないビットのグループです。各スレーブには個別のチップセレクトラインがあり、どの内容がどのスレーブのものかを示します。同時に2つのチップセレクト信号がアクティブになることはありません。

データフレームは最大4つのダウンストリームフレーム送信エレメント (DFTE) で構成されます。

使用される DFTE の数は RHSBjDCR.RHSBjSLS により定義されます。

各 DFTE は以下の設定をすることができます。

- 割り当てられるスレーブ (RHSBjDEC.RHSBjSSDm)
- 各内容位相におけるオプションの選択ビットの有無 (RHSBjSDCi.RHSBjCPSn)
- 使用されるデータビット数 (RHSBjDEC.RHSBjNDBm)

スレーブに2つ以上の DFTE が必要な場合、連続する DFTE を同じスレーブに割り当ててください。これらの DFTE は1つの内容位相に統合されます。

非連続的な DFTE を同じスレーブに割り当て可能なことに注意してください (たとえば、DFTE0 と DFTE2)。このように割り当てた場合、それぞれの DFTE はそれ自体の内容位相を定義します。

DFTE はデータフレーム内部で常に昇順に配置されます。DFTE /スレーブの割り当ては自由に設定できるので、スレーブの選択順は、固定された DFTE の順序による制約は受けません。

(1) データソースの設定

DFTE の各ビットは、RHSBjDEBA_m. RHSBjDSS_n に次の設定をすることにより、データソースを独立に設定することができます。

- タイマ入力 (tmr)
- 反転タイマ入力
- ダウンストリームデータレジスタ

DFTE とデータソースの関係を表 18.26 に示します。図 18.19 は、1つのビットを対象にこの関係を示しており、緊急の場合についても記載しています。

タイマ入力のマッピングの詳細については、「18.7 クロスバー (XBAR)」を参照してください。

表 18.26 DFTE とデータソースの関係

| | タイマ入力 | データ入力 | ビット割り当て | 緊急データ | 緊急イネーブル |
|-------------|------------|-------------|-------------|-------------|-------------|
| DFTE0[15:0] | tmr[15:0] | DDR0[31:16] | DEBA0[31:0] | DED0[31:16] | EBE0[31:16] |
| DFTE1[15:0] | tmr[31:16] | DDR0[15:0] | DEBA1[31:0] | DED0[15:0] | EBE0[15:0] |
| DFTE2[15:0] | tmr[47:32] | DDR1[31:16] | DEBA2[31:0] | DED1[31:16] | EBE1[31:16] |
| DFTE3[15:0] | tmr[63:48] | DDR1[15:0] | DEBA3[31:0] | DED1[15:0] | EBE1[15:0] |

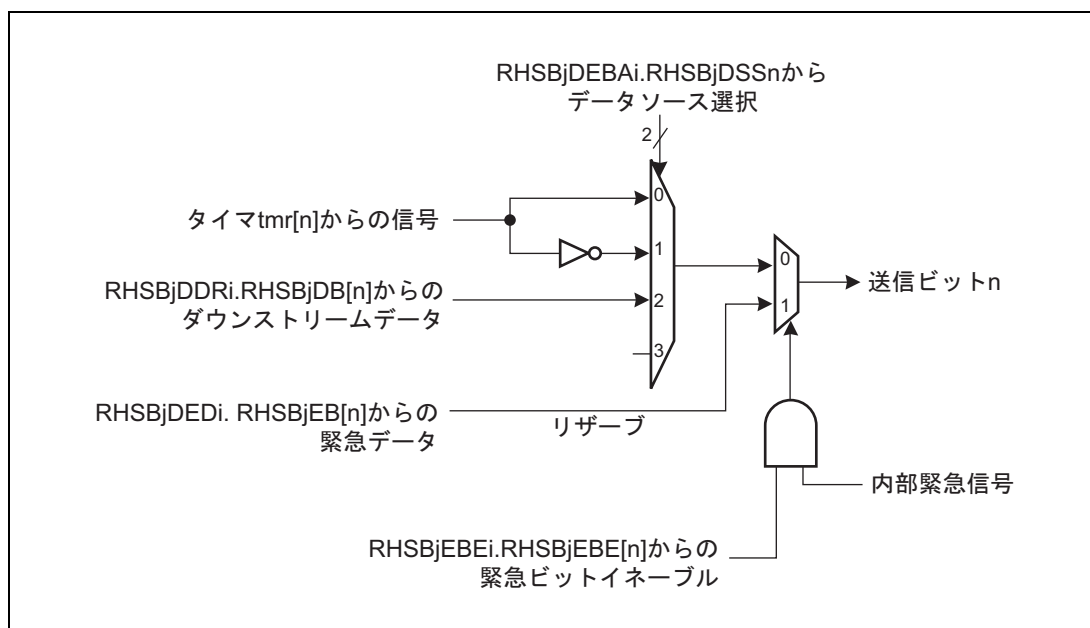


図 18.19 DFTE の 1 つのビットのデータソース選択

図 18.19 の「送信ビット n」はビット n の値を表しています。この信号は、RHSB モジュールによって、データフレーム送信の開始時にデータフレームの内容をアセンブルするのに使用されます。

(2) データフレームの DFTE のマッピング

表 18.27 は、使用するスレーブの数に応じて、各スレーブに使用できるデータビットの可能な構成をすべて示しています。DFTE とスレーブ番号に依存関係がないことを示すために、スレーブには A ~ D と名前を付けます。割り当てる DFTE の範囲が決まっている場合、これらの DFTE は連続していなければなりません。

表 18.27 スレーブへの DFTE とデータビットの割り当ての組み合わせ

| スレーブ数 | スレーブ A のビット | スレーブ B のビット | スレーブ C のビット | スレーブ D のビット | DFTE の割り当て |
|---------------|-------------|-------------|-------------|-------------|--|
| 1 スレーブ (A) | 1 ~ 64 | — | — | — | スレーブ A に 1 ~ 4 の DFTE |
| 2 スレーブ (A, B) | 1 ~ 48 | 1 ~ 16 | — | — | スレーブ A に 1 ~ 3 の DFTE スレーブ B に 1 つの DFTE |
| 2 スレーブ (A, B) | 1 ~ 32 | 1 ~ 32 | — | — | スレーブ A に 1 ~ 2 の DFTE スレーブ B に 1 ~ 2 の DFTE |

図 18.20 に、DFTE1 と DFTE2 からアセンブルされるスレーブ A に送信されるダウンストリームフレームの例を示します。スレーブデバイス A は、RHSBjSDCi レジスタで $RHSBjAPLn = 1$ 、 $RHSBjCSLPn = 0$ 、 $RHSBjSOLPn = 0$ 、 $RHSBjCPSn = 1$ 、 $RHSBjDPLn = 1$ (アクティブハイ、アサートおよびデアサート位相は 1D ビット、選択ビットあり) と設定されます。DFTE1 では、3 データビットが設定され ($RHSBjDEC.RHSBjNDB1 = 2$)、DFTE2 では 13 データビットが設定されます ($RHSBjDEC.RHSBjNDB2 = 12$)。

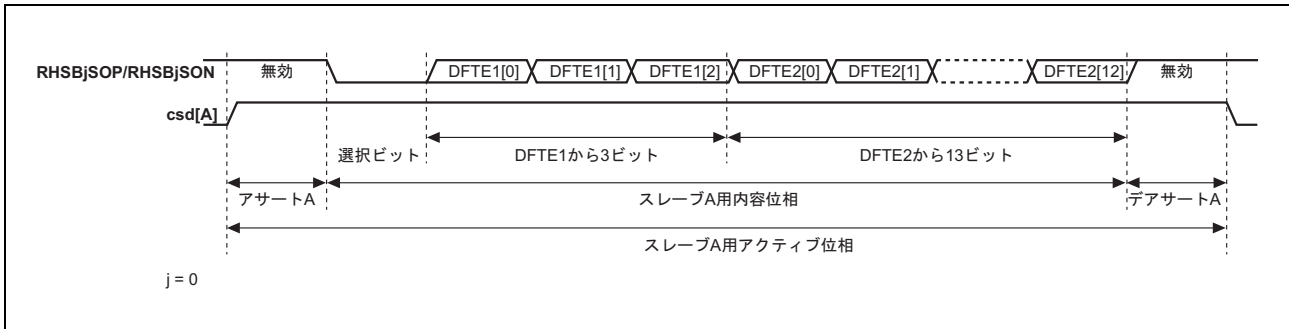


図 18.20 2つのDFTEを結合した場合のビットマッピング例

18.4.1.7 コマンドフレームのアセンブル

コマンドフレームは、1つのスレーブに送られる相関関係のあるビットの流れです。コマンドフレームで使用できる内容位相は1つだけです。

このコマンドフレームの内容位相には、常に選択ビットが含まれています。

RHSBjDCD レジスタにより内容位相時に送られるデータビット数は、1～32ビットの範囲で設定可能です。この数はコマンドフレーム送信ごとに、RHSBjDTC.RHSBjNCB で個別に変更できます。

コマンドフレームのフレームパッシブ位相は2Dビットに固定されます。

アサート位相とデアサート位相の長さは、データフレームの場合と同様、RHSBjSDCi レジスタのスレーブデバイスの設定によって決まります。

図 18.21 に、スレーブ A に送信される 5 ビット ($RHSBjDTC.RHSBjNCB = 4$) を含むコマンドフレームの例を示します。スレーブデバイス A は RHSBjSDCi レジスタで $RHSBjAPLn = 1$ 、 $RHSBjCSLPn = 0$ 、 $RHSBjSOLPn = 0$ 、 $RHSBjDPLn = 1$ (アクティブハイ、アサートおよびデアサート位相は 1D ビット) と設定されます。

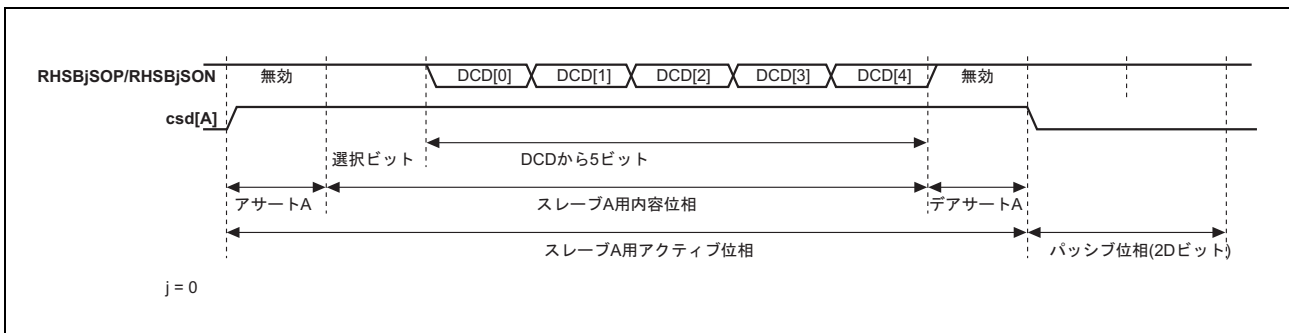


図 18.21 コマンドフレームのビットマッピング

18.4.1.8 緊急時機能

RHSB モジュールの緊急時機能は、緊急の場合予め定義されたデータのスレーブへの自動送信をサポートしています。緊急時機能はデータフレームの内容のみを制御するもので、データ送信のスケジューリングには影響ありません。

MCU のプライマリ入力ピンとして使用可能な外部の緊急信号 RHSBjEMRG ($j=0$) は、緊急事態の情報を得るために評価されます。

この緊急時機能は、RHSBjDCR. RHSBjEE を使ってグローバルにイネーブルまたはディスエーブルすることができます。さらに、緊急の場合に取るべき措置があれば、各 DFTE のビットごとに RHSBjEBEi. RHSBjEBE を介して選択可能です。

RHSB モジュールが緊急事態を検出すると、選択された DFTE ビットのデータソースが強制的に、ダウンストリーム緊急データレジスタ (RHSBjDEDi) に定義済みの対応する値になります。この選択については図 18.19 に図解しています。

緊急時機能を使用するには、以下のことを実行してください。

- 緊急信号のアクティブレベルを設定する (RHSBjDCR. RHSBjEIP)
- 緊急事態であることを緊急信号からどのように得たかを示すモードを設定する (RHSBjDCR. RHSBjEIM)
- 緊急時機能をイネーブルし、自動停止機能の使用方法を定義する (RHSBjDCR. RHSBjEE)
- DFTE のビットごとに、緊急時の措置を選択する (RHSBjEBEi. RHSBjEBE)
- DFTE のビットごとの緊急データを定義する (RHSBjDEDi. RHSBjEB)

図 18.22 は、緊急事態 (内部の緊急信号) が外部の緊急信号 (RHSBjEMRG ($j=0$)) のレベルからどのように得られたかを示しています。RHSB モジュールは、3 周辺バスクロック (CLK_LSB) より長い外部の緊急信号に対して安定したレベルを求めます。

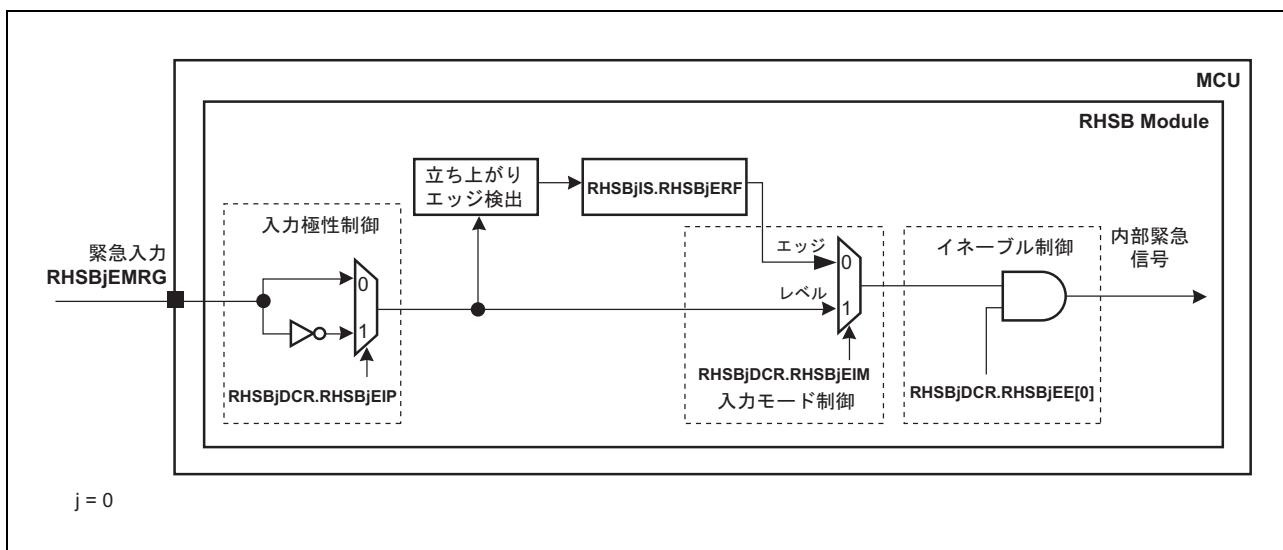


図 18.22 緊急事態の検出

RHSB モジュールは、データフレームをアセンブルする際に内部の緊急信号を使用します。緊急フレームを送信するには、アセンブル時 (データフレームの開始時) に内部の緊急信号がアクティブでなければなりません。

緊急時機能を使用しない場合でも (RHSBjDCR.RHSBjEE = 0_B)、RHSBjIS.RHSBjERF を読み出して緊急事態の検出に関する情報を得ることができます。

(1) エッジセンシティブな入力モード

RHSBjDCR.RHSBjEIM = 0_B のとき、緊急入力モードはエッジセンシティブです。

外部緊急信号がアクティブになるエッジを RHSB モジュールが検出すると、RHSBjIS.RHSBjERF フラグは 1_B に設定されます。

このフラグはユーザがクリアする必要があります。

エッジセンシティブな入力モードを使用するときは、緊急フレームが送信されるまでは RHSBjIS.RHSBjERF フラグを 1_B にする必要があります。RHSBjIS.RHSBjETF フラグは緊急フレームが送信されたことを示します。

外部緊急信号がアクティブレベルのときに ACTIVE 状態に入ると、そのエッジが検出されることに注意してください。

(2) レベルセンシティブな入力モード

RHSBjDCR.RHSBjEIM = 1_B のとき、緊急入力モードはレベルセンシティブです。

レベルセンシティブな入力モードを使用するときは、外部の緊急信号がシングル周期繰り返しモードで 1 つ以上の繰り返し時間、またはマルチ周期繰り返しモードで 2 つ以上の繰り返し時間アクティブレベルになるようにする必要があります。それより短い場合、RHSB モジュールが緊急事態を検出しない場合があります。

(3) 自動停止機能

緊急時機能を RHSBjDCR.RHSBjEE によりイネーブルしたら、最初の緊急フレームの送信後にデータ送信を自動的に停止するかどうかを定義します。

RHSBjDCR.RHSBjEE を 01_B に設定すると (緊急事態の検出がイネーブル、停止なし)、自動停止機能が非アクティブになります。RHSB モジュールは、緊急事態 (図 18.22 参照) が真である限り緊急フレームを送信します。

緊急事態が偽に変わると、RHSB モジュールは通常 of データフレームの送信を継続します。

RHSBjDCR.RHSBjEE が 11_B に設定された場合 (緊急事態の検出と自動停止がイネーブル)、緊急事態が真であれば、RHSB モジュールはシングル周期繰り返しモードで緊急フレームを 1 つだけ送信するか、マルチ周期繰り返しモードで 1 つまたは 2 つの緊急フレームを送信します。

緊急フレームをすべてのスレーブに送信後、図 18.23 に示すように、周期 0 のあと、データ送信は自動的に停止します (RHSBjDTC.RHSBjDTE は 0_B に変更)。ダウンストリームモード (RHSBjDCR.RHSBjDMS) にかかわらず、DTC.DTE を 1_B に設定してデータ送信をイネーブルするまで、データは送信できません。DTC.DTE を 1_B に設定したあと、RHSB モジュールは周期 0 から DFTE0 データの送信を再開します。

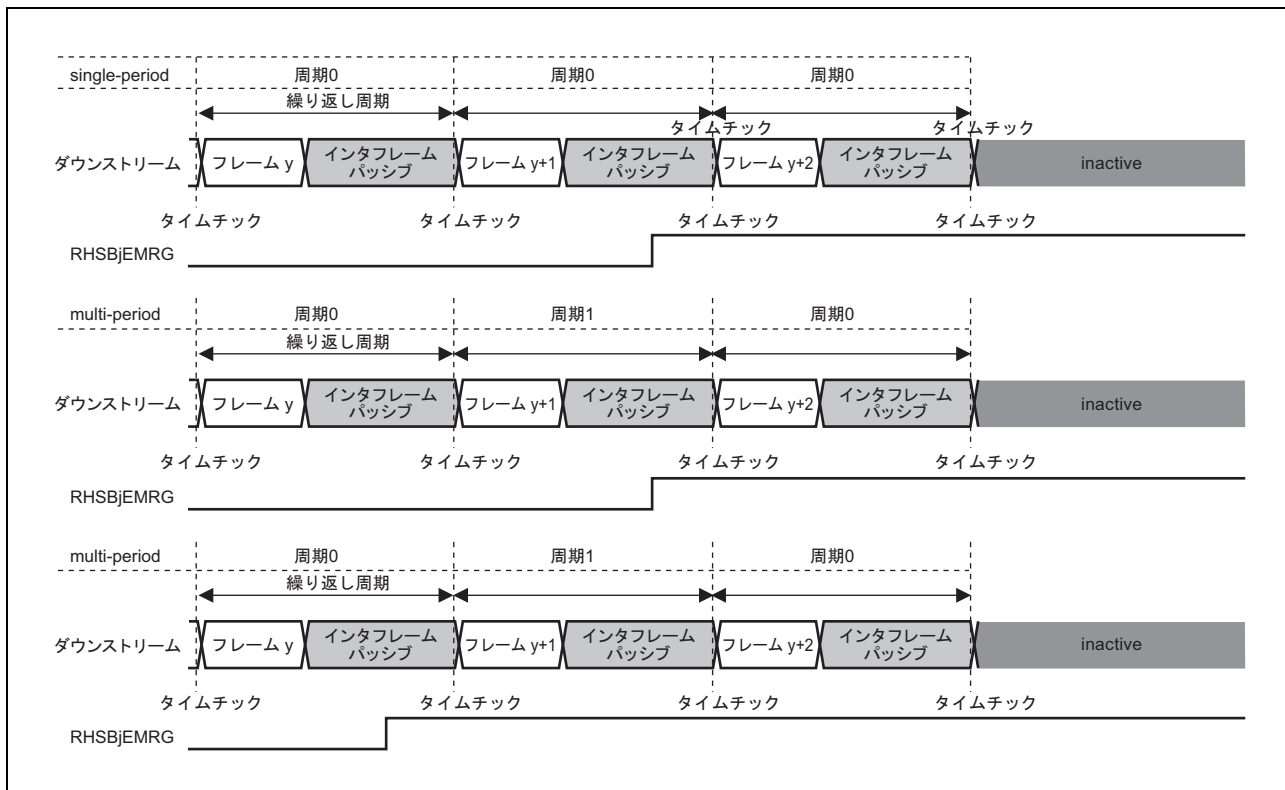


図 18.23 繰り返しモードでの自動停止機能

18.4.1.9 ダウンストリームビットレート

ダウンストリームビットレート (f_{DW}) は、RHSB エンジンのクロックソース周波数 (f_{PE}) から得られます。

RHSBjDCR. RHSBjDBR によって定義される分周器の値 x を使用して、ダウンストリームビットレートは RHSB エンジンのクロックソース周波数の関数として次のように計算できます。

$$f_{DW} = f_{PE} / x$$

本製品の f_{PE} は 80MHz ですので、以下のダウンストリームビットレートを実現できます。

表 18.28 RHSB エンジンのクロックソースが 80 MHz のときに可能なダウンストリームビットレート

| RHSBjDCR. RHSBjDBR | 1 | 3 | 4 | 7 | 8 | 9 | 10 | 11 | 12 |
|-----------------------|-----------|-----------|-----------|-----------|----------|------------|-------------|------------|--------------|
| x | 2 | 4 | 5 | 8 | 16 | 32 | 64 | 128 | 256 |
| ビットレート | 40 MBit/s | 20 MBit/s | 16 MBit/s | 10 MBit/s | 5 MBit/s | 2.5 MBit/s | 1.25 MBit/s | 625 kBit/s | 312.5 kBit/s |

分周器の値 x が奇数の時、シリアルクロックライン (RHSBjFCLP/RHSBjFCLN) のクロック信号のデューティは 50% になりません。この場合、クロック信号の最初の位相が f_{PE} の 1 周期分長くなります。

例： $x = 5$, RHSBjDCR.RHSBjCLP = 0_B の時、クロック信号のハイレベル幅は $3 \times f_{PE}$ 周期、ロウレベル幅は $2 \times f_{PE}$ 周期となります。また、 $x = 5$, RHSBjDCR.RHSBjCLP = 1_B のとき、クロック信号のロウレベル幅は $3 \times f_{PE}$ 周期、ハイレベル幅は $2 \times f_{PE}$ 周期となります。

18.4.1.10 データ更新およびデータフレーム送信要求

RHSBjIS.RHSBjDTSF を 0_B に設定することにより、データ送信開始イベントが認識され、新しいデータを入手可能なことが RHSB モジュールに知らされます。

RHSBjIS.RHSBjDTSF は、次の2つの方法で 0_B に設定することができます。

- RHSBjIS.RHSBjDTSF フラグに直接 0_B を書き込む
 - RHSBjDDRi に設定されたデータが次の送信に使用される
- RHSBjDDRi レジスタに（ユーザが、または DMA により）書き込む
 - RHSBjDDRi に書き込まれる新しいデータが次の送信に使用される

DDRi に書き込む方法は、RHSBjIS.RHSBjDTSF が自動的に 0_B に設定され、それによって送信が開始されるので、送信フローの最適化が可能です。

RHSBjDDRi への書き込みで送信がトリガされる場合、この方法は設定パラメータ RHSBjDCR.RHSBjSLS（使用される DFTE の数）に依存します。

- RHSBjDCR.RHSBjSLS が 00_B （1つの DFTE を使用）：RHSBjDDR0[31:16] に書き込む (DFTE0)
- RHSBjDCR.RHSBjSLS が 01_B （2つの DFTE を使用）：RHSBjDDR0[15:0] に書き込む (DFTE1)
- RHSBjDCR.RHSBjSLS が 10_B （3つの DFTE を使用）：RHSBjDDR1[31:16] に書き込む (DFTE2)
- RHSBjDCR.RHSBjSLS が 11_B （4つの DFTE を使用）：RHSBjDDR1[15:0] に書き込む (DFTE3)

DCR1.SLS1（周期1に使用される DFTE の数）がマルチ周期繰り返しモードで使用できる場合でも、DDRi への書き込みで送信がトリガされる場合、この方法は設定パラメータ DCR.SLS（使用される DFTE の数）に依存します。DCR1.SLS1 が DCR.SLS 未満の場合、データのデータを DCR.SLS で定義された DDRi に書き込む必要があります。

- DCR.SLS が 00_B （1つの DFTE を使用）：DDR0[31:16] に書き込む (DFTE0)
- DCR.SLS が 01_B （2つの DFTE を使用）：DDR0[15:0] に書き込む (DFTE1)
- DCR.SLS が 10_B （3つの DFTE を使用）：DDR1[31:16] に書き込む (DFTE2)
- DCR.SLS が 11_B （4つの DFTE を使用）：DDR1[15:0] に書き込む (DFTE3)

データフレーム送信の開始時にアセンブルが実行された場合、データフレーム送信開始フラグ (RHSBjIS.RHSBjDTSF) は 1_B に設定されます。

RHSBjIS.RHSBjDTSF = 1_B は、データフレーム送信が開始されたため、ダウンストリームデータレジスタに新しい送信データを書き込み可能なことを示します。

さらに、データフレームがソフトウェアによる明示的なトリガなしで送信されるのを防ぐため、データ送信を RHSBjDCR.RHSBjDTE により最初にイネーブルすると、RHSBjIS.RHSBjDTSF は 1_B に設定されます。

データフレームの送信中に RHSBjDDRi を更新すると、実行中の送信には影響ありませんが、追加のデータ送信が要求されます。

ダウンストリームデータレジスタ (RHSBjDDRi) には書き込み保護機能があるので、送信待ち状態にある新しいデータがあっても、書き込まれたダウンストリームデータが少なくとも1回は送信されることが保証されています。

(1) ダウンストリームデータ更新のスケジューリング

ダウンストリームデータの更新は、ユーザが下記をトリガとして行うことができます。

- データフレーム送信開始をトリガとする方法
新しいデータをできるだけ早く供給できます。この場合、RHSBjIS.RHSBjDTSF をトリガとして使用します。
- データフレーム送信完了をトリガとする方法
新しいデータをデータフレームの送信完了後に供給できます。この場合、RHSBjIS.RHSBjDTF をトリガとして使用します。

RHSBjDDRi へ書き込みを行うと、RHSBjIS.RHSBjDTSF と RHSBjIS.RHSBjDTF はクリアされます。いずれか一方のみをダウンストリームデータの更新トリガに使用することを推奨します。

18.4.1.11 コマンドフレーム送信要求

コマンドフレーム送信は、RHSBjDTC.RHSBjCTR への書き込みがあると必ずトリガされます。要求があるたびに、1つのコマンドフレームの送信が開始されます。コマンドフレームをどのような方法でダウンストリーム通信に挿入するかは、選択されるモードと一連の設定パラメータによって決まります。詳細については、詳細なモード記述を参照してください。

RHSBjDTC.RHSBjCTR が 00_B 以外の値に設定されると、コマンドフレーム送信がスケジューリングされます。コマンドフレーム送信の終了後、RHSBjDTC.RHSBjCTR が自動的に 00_B に設定され、新しい要求が設定可能になります。

18.4.2 アップストリーム通信

RHSB モジュールは、アップストリーム通信に非同期シリアル受信を使用します。

RHSB モジュールでは、最大2つのスレーブの接続に使用できるアップストリームチャンネルが2つあります。一度にアクティブチャンネルとして選択できるのは1つだけです。選択されないチャンネルでの動作はすべて無視されます。

同一のシリアル入力ラインで、連続的なアップストリームフレームの送信と受信が可能です。

アップストリーム通信の受信は、CONFIG 状態で RHSBjUCR.RHSBjUE を 1_B に設定してこの機能をイネーブルしたときだけサポートされます。

図 18.24 に、アップストリームエンジンの機能ブロックを示します。ここではアップストリーム通信について詳しく説明します。

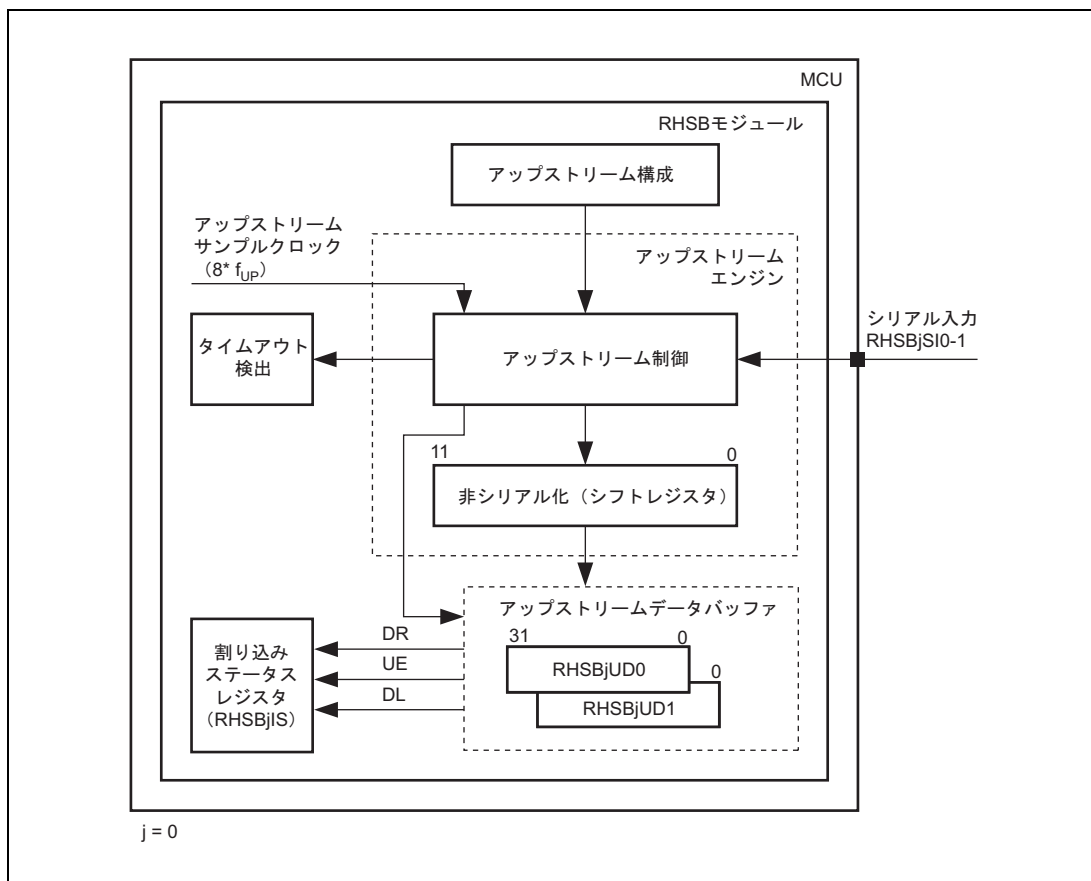


図 18.24 アップストリームのブロック図

アップストリームの設定

このブロックは、アップストリーム関連の設定パラメータと、アプリケーションソフトウェアが処理するアップストリーム制御インタフェースを示しています。

アップストリーム制御

このブロックはアップストリーム制御エンジンの主な機能を表しています。ここでアクティブなシリアルデータ入力ライン (RHSBjSI0-1 ($j=0$)) と対応する設定を選択し、開始ビットを検出し、サンプリングをスケジューリングして、フレームシンタックスを観察します。さらに、このブロックはアップストリームデータレジスタ (RHSBjUDi) で受信した情報の格納を制御し、必要なデコードステータスを提供します。

非シリアル化

シフトレジスタは受信したペイロードを格納し、アップストリームデータレジスタへの格納用にこの情報を提供します。

アップストリームデータバッファ

このブロックには、アップストリームデータレジスタと更新用の RHSBjUDi を 1 つ選択するための制御ロジックが含まれています。また、RHSBjIS レジスタのアップストリーム関連のステータフラグは、このブロックにより制御されます。

18.4.2.1 アップストリームモード

RHSB モジュールは、シリアル入力ラインへのスレーブの接続方法が異なる2つのアップストリームモードを備えています。これらのアップストリームモードは RHSBjUCR、RHSBjUMS で設定することができます。

- DEDICATED 入力モード
 - 各スレーブは個別のシリアル入力ラインに接続されます。
 - アクティブなシリアル入力ラインは RHSBjUCS、RHSBjACC で選択します。
- SHARED 入力モード
 - スレーブはすべてシリアル入力ライン 0 に接続されます。
 - アクティブなシリアル入力ラインは RHSBjUCS、RHSBjACC の値にかかわらず、常にライン 0 です。

SHARED 入力モードを使用するとき、使用しないシリアル入力ラインは、MCU のポート機能レジスタで RHSB の入力として設定する必要はないことに注意してください。

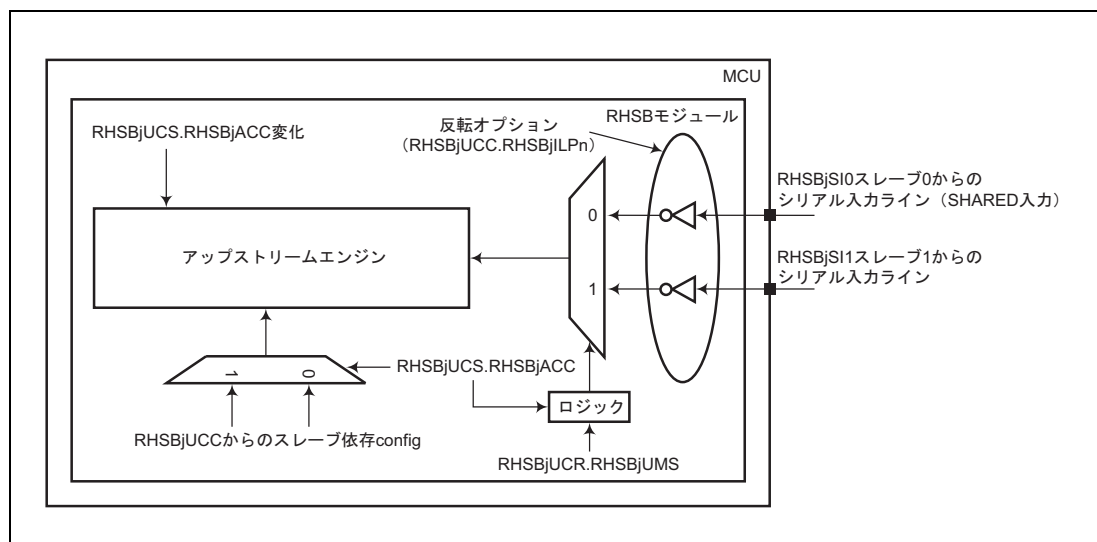


図 18.25 アップストリーム通信のスレーブの接続と選択

図 18.25 に、シリアル入力ラインをアップストリームエンジンに接続する方法を示します。図中の“ロジック”により、SHARED モードでは RHSBjUCS、RHSBjACC の値にかかわらず常に入力ライン 0 が使用されます。図中の“RHSBjUCS、RHSBjACC 変化”の情報は、選択されたチャンネルが変更された場合に実行中の受信を停止するために、アップストリームエンジンにより使用されます。

18.4.2.2 個々のスレーブ設定

RHSB モジュールはスレーブごとにアップストリーム設定をサポートしています。チャンネル設定が異なってもアップストリームモード (RHSBjUCR、RHSBjUMS) と無関係です。RHSBjUCC レジスタを介して、チャンネルごとに以下をプログラムすることができます。

- フレームの種類 (8 または 12 ビット形式)
- ストップビット数 (2 または 3)
- パリティの種類 (偶数または奇数)
- アップストリームビットレート (詳細については「18.4.2.5 アップストリームビット

レート」を参照)

シリアル入力ラインの極性は RHSBjUCS, RHSBjACC に依存しません。RHSBjUCC, RHSBjILPn で設定される反転機能は固定され、シリアル入力ライン n に割り当てられます。このため、SHARED 入力モードでは2つのチャンネルすべてに RHSBjUCC, RHSBjILP0 が使用されます。

アップストリームエンジンがアップストリームフレームのデコードに使用する設定は、RHSBjUCS, RHSBjACC により定義されます。

アクティブなアップストリーム設定を変更するには、次の2つの方法があります。

- 設定の変更要求を RHSBjUCS, RHSBjACC に直接書き込む
- RHSBjDTC, RHSBjCTR を 11_B に設定してアップストリームデータ要求によるコマンド送信を要求する

18.4.2.3 フレーム形式の種類

RHSB モジュールは、アップストリーム通信のフレームの種類として、データビット数のみが異なる (8 または 12 ビット) 2 種類をサポートしています。構成のほかの選択項目には、フレームの種類による影響はありません。

パリティの種類が偶数のとき、パリティの対象領域内部の 1_B ビットの数は偶数 (0、2、4、6、8、10、12) です。

パリティの種類が奇数のときは、パリティの対象領域内部の 1_B ビットの数は奇数 (1、3、5、7、9、11、13) です。

図 18.26 と 図 18.27 は、データラインが非反転のアップストリームフレームを示します。

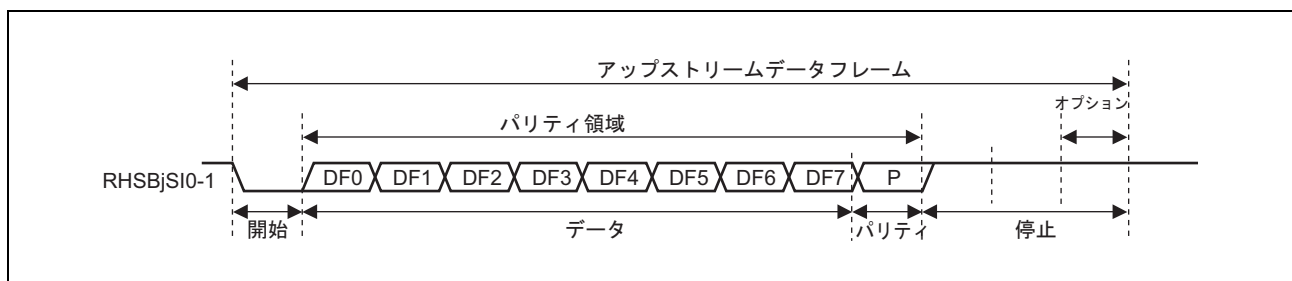


図 18.26 8 データビットのアップストリームフレーム形式 (12 または 13 ビットフレーム)

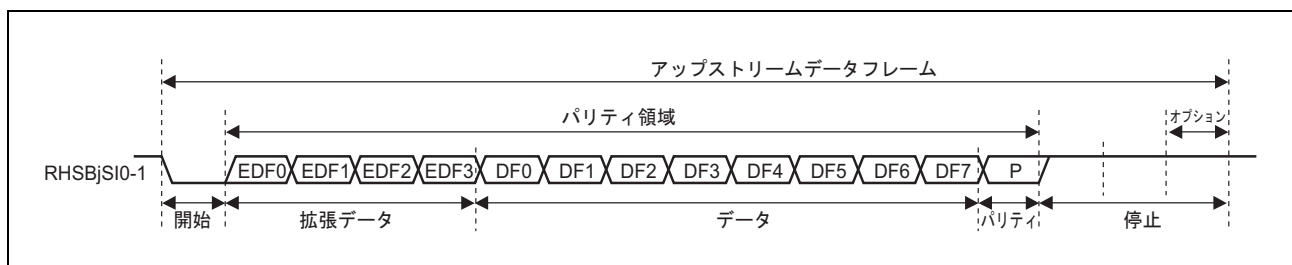


図 18.27 12 データビットのアップストリームフレーム形式 (16 または 17 ビットフレーム)

18.4.2.4 フレームの格納

RHSB モジュールは2つのアップストリームデータレジスタ (RHSBjUDi) を備えており、アップストリームエンジンがこれらのレジスタにデコード結果を格納します。更新する RHSBjUDi をどのように選択するかを定義するには2つの方法があり、RHSBjUCR で選択できます。

RHSBjUCS. RHSBjACC を変更すると、実行中の受信のデコードが停止されることに注意してください。この場合、デコード結果は格納されません。

(1) 通常の格納方法

RHSBjUCR. RHSBjFSM = 0_B のとき、この方法が使用されます。

格納方法はフレームが8ビット形式でも12ビット形式でも同じです。

アクティブチャネルの設定 (RHSBjUCS. RHSBjACC) により、デコード結果を格納するアップストリームデータレジスタが定義されます。以下の関係によってターゲットを識別することができます。

- RHSBjUCS. RHSBjACC = 00_B のとき、RHSBjUD0 が更新される
- RHSBjUCS. RHSBjACC = 01_B のとき、RHSBjUD1 が更新される

(2) アドレス指定の格納方法

RHSBjUCR. RHSBjFSM = 1_B のとき、この方法を使用します。

フレームの種類を8ビット形式に設定すると、ターゲットは常に RHSBjUD0 となります。

フレームお種類を12ビット形式に設定すると、ターゲットは受信された拡張データフィールド (EDF、[図 18.27](#) 参照) に依存します。ターゲットは以下の関係により識別することができます。

- RHSBjEDF[3:2] = 00_B のとき、RHSBjUD0 が更新される
- RHSBjEDF[3:2] = 01_B のとき、RHSBjUD1 が更新される

受信にフォルトがある場合も (パリティエラーまたはストップビットエラーを検出)、受信された拡張データフィールドを使ってターゲットを識別し、エラーフラグを更新することに注意してください。

18.4.2.5 アップストリームビットレート

アップストリームビットレート (f_{UP}) は、ダウンストリームビットレート (f_{DW}) から求められます。

ビットレートは、RHSBjUCC. RHSBjUBRn によりチャンネルごとに設定します。

($x = \text{RHSBjUCC. RHSBjUBRn}$) の場合、チャンネル n が使用するアップストリームビットレートは、ダウンストリームビットレートの関数として次のように計算できます。

$$f_{UP} = f_{DW} / 2^x$$

RHSB モジュールは各アップストリームビットを8回サンプリングするので、論理的な最大アップストリームビットレートは、RHSB エンジンのクロックソース周波数の1/8になります ($f_{PE}/8$)。ただし、本製品においては16分周 (5MHz) 以下に設定してください。

18.4.2.6 デコードステータスの更新

アップストリームフレームのデコードの終了後（最後のストップビットの後）、アップストリームエンジンは RHSBjUDi レジスタの1つを更新します。

デコーダがパリティエラーまたはストップビットエラーを検出すると、対応する RHSBjUDi レジスタで関連するエラーフラグ（RHSBjFERR または RHSBjPERR、あるいは両方）がセットされます。

デコーダがパリティエラーもストップビットエラーも検出しなかった場合、このフレームは有効なフレームと判断され、対応する RHSBjUDi の以下の部分が更新されます。

- 新規データフラグ（RHSBjND）が 1_B に設定される
- データフィールド（RHSBjDF）が更新される
- 12 ビットフレームの場合は拡張データフィールド（RHSBjEDF）が更新される
- 新規データフラグがすでに 1_B であった場合は、データ消失フラグ（RHSBjDL）が 1_B に設定される

18.4.3 タイムアウト検出

RHSB モジュールによって実現されたタイムアウト検出の考え方は、「データ要求によるコマンド送信」の考え方と関連しています。その考え方は、下記のフローを想定しています。

手順1：マスタは、コマンドフレームを送信してスレーブ x のデータを要求する。

手順2：スレーブ x は、要求されたデータをアップストリームチャンネルに送ってマスタに応じる。

アプリケーションの観点では、マスタは一定時間（タイムアウト時間）内にスレーブ x から応答があることを期待しています。この期待を処理するのがタイムアウト検出機能です。

タイムアウト検出機能を使用するには、アップストリーム受信をイネーブルして ($\text{RHSBjUCR.RHSBjUE} = 1_B$)、タイムアウト機能をイネーブルしてください ($\text{RHSBjUCR.RHSBjTOE} = 1_B$)。

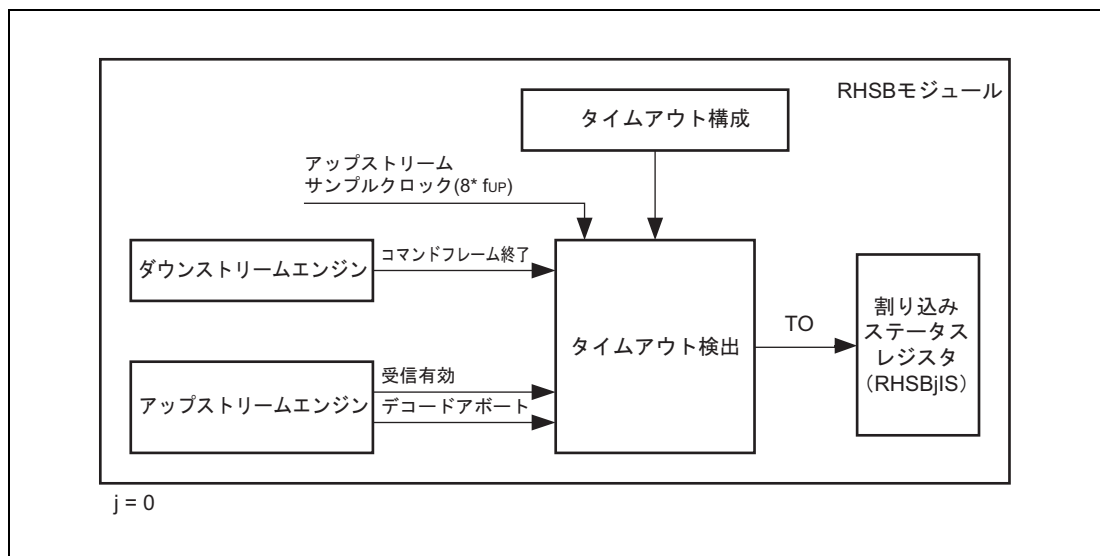


図 18.28 タイムアウトのブロック図

図 18.28 は、タイムアウト検出ブロックの範囲を図解しています。これは、ダウンストリームおよびアップストリームエンジンにより制御されます。タイムアウト検出は RHSBjIS 、 RHSBjTOF を制御します。この検出は実行中の受信に影響を与えません。

タイムアウト検出は要求による受信とそれ以外の受信を区別できないことに注意してください。たとえば、タイムアウト時間中に **SHARED** 入力モードの設定が使用され、2つのスレーブがアップストリームフレームを送信している場合を考えてみます。タイムアウト時間中は、フォルトなしの動作においてアップストリーム受信が1回だけ可能であることを確認する必要があります。

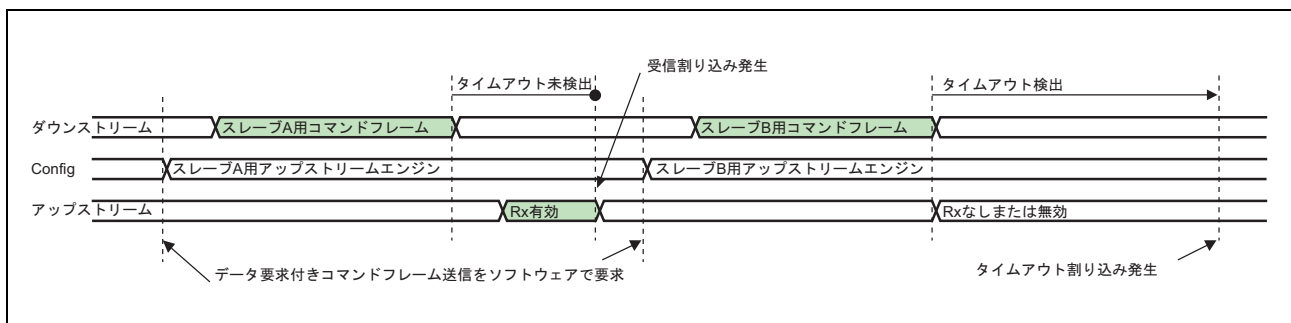


図 18.29 タイムアウト検出例

図 18.29 で示す例は、タイムアウト検出の基本的タイミングを示しています。

最初の事例では、スレーブ A へのデータ要求を受けてコマンドフレーム送信が実行されています。ダウンストリーム設定が更新され、次いでコマンドフレームの送信がスケジューリングされます。送信終了後、タイムアウト時間が開始します。タイムアウト時間が終了する前に、スレーブの有効な応答がデコードされます。

2つめの事例では、スレーブ B へのデータ要求を受けてコマンドフレーム送信が実行されています。この場合、有効な応答がデコードされる前にタイムアウト時間が終了しています。

18.4.3.1 リモートデータ要求によるコマンド送信

データ要求によるコマンド送信を実行するには、次のフローにしたがう必要があります。

- コマンドデータを RHSBjDCD レジスタに書き込む
- ターゲットのスレーブを RHSBjDTC. RHSBjSSCF に書き込んで定義する
- RHSBjDTC. RHSBjCTR に 11_B を書き込んで、データ要求によるコマンド送信を要求する

RHSBjDRC. RHSBjCTR にコマンドを書き込むと、RHSB モジュールでトリガが発生し、以下の動作が実行されます。

- ターゲットスレーブの番号を使って (RHSBjDTC. RHSBjSSCF) アクティブなスレーブの設定 (RHSBjUCS. RHSBjACC) を更新する
- アクティブなスレーブが変更されると実行中の受信が停止する
- コマンドフレームをダウンストリームチャンネルに送信する
- コマンド送信が終了したら、タイムアウトカウンタを始動させる

アップストリームチャンネルに有効な受信が存在するとき、RHSB モジュールはリモートデータ要求を処理すべきと判断して、タイムアウトカウンタが停止されます。

タイムアウトカウンタが終了するまでアップストリームチャンネルに有効な受信が存在しないときは、リモートデータ要求は失敗と判断され、RHSBjUDi. RHSBjTO および RHSBjIS. RHSBjTOF を 1_B に設定してタイムアウトが通知されます。

18.4.3.2 タイムアウト検出の詳細

タイムアウトカウンタは、タイムアウト検出に名目のアップストリームビット時間を使用します。タイムアウトカウンタは、開始ビットのデコード中に起こり得る再同期化の結果による影響は受けません。

タイムアウトカウンタは、コマンドフレーム送信が終了すると（フレームのパッシブ位相の終わり）、 $(RHSBjUCR.RHSBjRTO + 1) * 8$ （Uビット）の値に初期化されます。

タイムアウトカウンタは、アクティブスレーブの設定（ $RHSBjUCC.RHSBjUBRn$ ）にしたがってデコーダが使用するサンプル時間（Uビット/8）ごとに、デクリメントされます。

タイムアウトカウンタは、以下のいずれかの場合に停止します。

- アップストリームチャンネルにデコード済みの有効な受信がある
- タイムアウトカウンタが終了した
- デコードが停止された（たとえば、 $RHSBjUCS.RHSBjACC$ を変更することにより）

ダウンストリームフレームのパッシブ位相の最後とアップストリームのサンプルポイントの間で同期化は行われないこと注意してください。このため、タイムアウトカウンタの最初のデクリメントは 1_D ビットと 1_U ビット/8 間で起こる可能性があります。

18.4.4 テストモード動作

$RHSBjGC.RHSBjOPS$ が TEST モードのとき、RHSB モジュールはキーオンテストをサポートすることができます。

このテストモードの目的は、ダウンストリームチャンネルにデータを送信し、同じデータをアップストリームフレームとして受信することです。アップストリームエンジンは UART に似たフレームしかデコードできないので、そのようなパターンは、SPI に似たダウンストリームフレーム内でエミュレートする必要があります。

RHSB モジュール内のダウンストリーム経路とアップストリーム経路は独立しているため、テストモードは RHSB のすべてのフラグを適正なテスト対象とすることができます。

テストモードが有効な間に、シリアル入力ラインをアップストリームエンジンから切断して出力を以下の固定のレベルでドライブします。

- シリアル出力ライン（ $RHSBjSOP/RHSBjSON$ ）は“H”レベルでドライブする
- シリアルクロックライン（ $RHSBjFCLP/RHSBjFCLN$ ）はクロックライン位相に応じたレベルでドライブする（ $RHSBjDCR.RHSBjCLP = 0_B$ のときは“L”レベル）
- チップセレクトライン（ $RHSBjCSD0-1$ ）はチップセレクトラインの極性に応じたレベルでドライブする（ $RHSBjSDCi.RHSBjCSLPn = 0_B$ のときは“L”レベル）

図 18.30 は、ループバックマルチプレクサの位置について詳しく図解したものです。ダウンストリームデータ（ $RHSBjSDCi.RHSBjSOLPn$ ）の反転のみがテストモードに影響を与えています。ほかの反転はすべて対象外です。

ループバックマルチプレクサは、内部のシリアルデータ（ $RHSBjSOP/RHSBjSON$ ）信号を1つのアップストリームチャンネルに接続します。チャンネルはアクティブな内部チップセレクトにより選択されます。このため、2つすべてのアップストリームチャンネルをチェックすることができます。

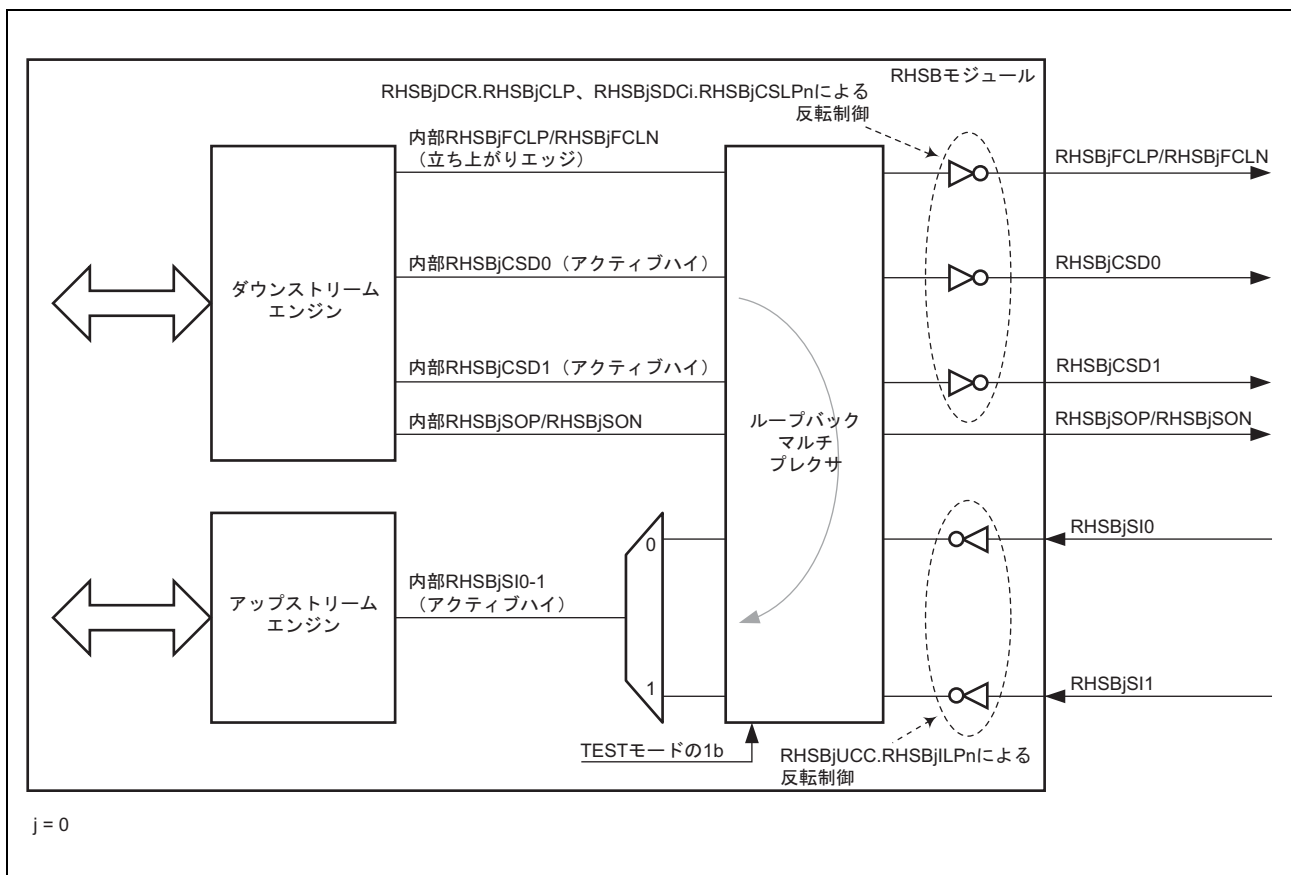


図 18.30 テストモードでのループバック接続

テストモードは以下のような条件で実行してください。

- ダウンストリームのビットレート分配器を $f_{DW} = f_{PE}/8$ とします (これにより、RHSB エンジンのクロックソース周波数に 80 MHz を使用すると、最大ビットレートが 10 MBit/s になります)。RHSBjDCR.RHSBjDBR は 7_D に設定してください。
- アップストリームビットレートをダウンストリームビットレートに等しくします ($f_{UP} = f_{DW}$)。2つのアップストリームチャンネルすべてに対して RHSBjUCC.RHSBjUBRn を 0_D に設定してください。

18.4.4.1 テストモードデータの生成

図 18.31 に、コマンドフレームのビットをアップストリームチャンネルがどのように受信するかについて、一例を示します。この例は、アサート位相とデアサート位相のない非反転のダウンストリームデータを使用しており、12 ビット形式で 2 ストップビットを想定しています。

ダウンストリームデータライン上でスレーブ 1 のコマンドフレームが送信されており、UCS.ACC を 01_B に設定してレシーバを同じスレーブに接続する必要があります。

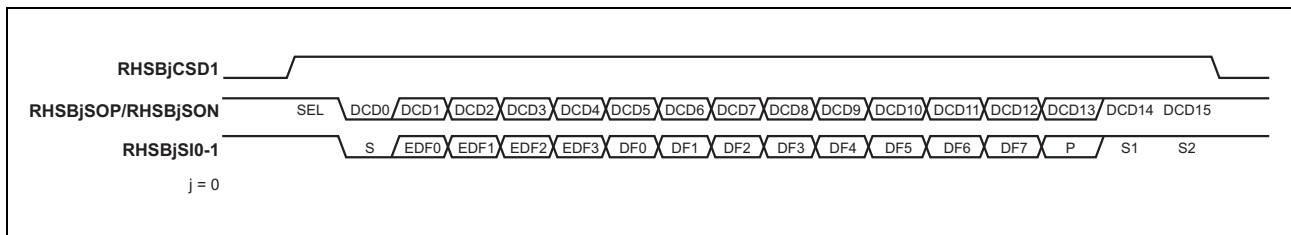


図 18.31 アップストリームエンジンによるコマンドフレームの受信方法の例

パターンを RHSBjDCD レジスタに書き込むことにより、パリティロジックとストップビットのエラー検出をチェックすることができます。さらに、RHSBjDCD レジスタの全 32 ビット、コマンド長さの設定、アサート位相とデアサート位相の長さ、データ反転をチェックすることができます。

データフレームでも同様のチェックが可能です。データフレームで複数のスレーブが対応している場合でも、選択されたスレーブのデータのみが受信されることに注意してください。

18.5 割り込み

RHSB モジュールには、割り込み要求の生成に使用可能な要因が 9 種類あります。

割り込みステータスフラグは、0_B に設定するとクリアされます。1_B を書き込んでも影響はありません。割り込みフラグによっては、SW フローの最適化を可能にするために追加の機能クリア条件を定義することがあります。これらの割り込みフラグには、**18.5.1** と **18.5.2** の割り込み要因一覧で「*」印をつけています。

RHSB モジュールが RESET 状態または CONFIG 状態にあるときは、割り込み要求は生成されません。

18.5.1 ダウンストリーム関連の割り込み (送信)

割り込みライン 0

データフレーム送信を開始 (RHSBjDTSF) *

データフレーム送信を実行 (RHSBjDTF) *

割り込みライン 1

コマンドフレーム送信を実行 (RHSBjCTF) *

送信を開始 (RHSBjTSF)

割り込みライン 2

緊急フレーム送信を実行 (RHSBjETF)

18.5.2 アップストリーム関連の割り込み (受信)

割り込みライン 3

データを受信 (RHSBjDRF) *

割り込みライン 4

アップストリームエラー (RHSBjUEF) *

タイムアウトを検出 (RHSBjTOF)

データ消失 (RHSBjDLF) *

RHSBjUSS レジスタを読み出すことにより、アップストリームの全ステータスの情報が得られます。

18.5.3 割り込み要求の詳細

RHSBjIS レジスタ (RHSBjIS.RHSBjxF) には個別の割り込みステータスフラグがあり、RHSBjIC レジスタ (RHSBjIC.RHSBjxIE) には割り込み要因 (x) ごとに個別の割り込みイネーブルビットがあります。

割り込みステータスの機能は、割り込みイネーブルとは無関係です。割り込みイネーブルは、MCU の割り込みコントローラに対して割り込み要求が出された場合のみ制御を行います。

図 18.32 に、割り込み要求の生成方法と割り込みの分類の実例を示します。

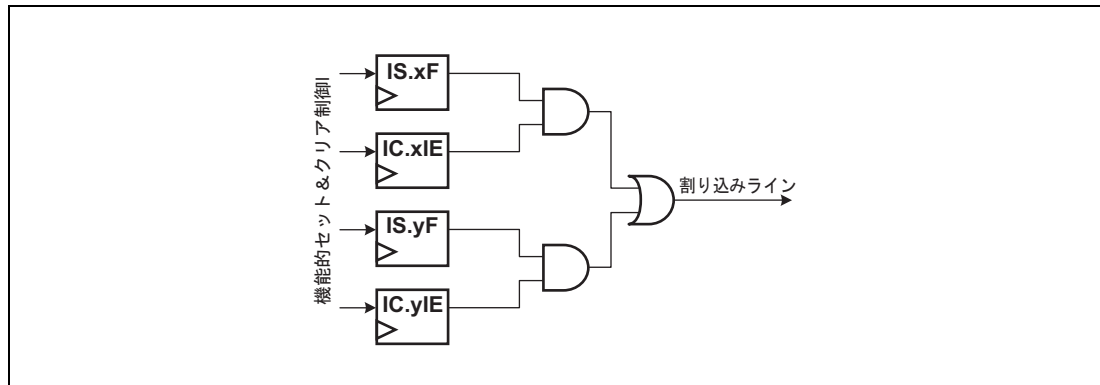


図 18.32 割り込みの分類 (2つの割り込み x と y の例)

18.6 DMA の機能

18.6.1 ダウンストリームデータ送信での DMA の使用

ダウンストリームデータ DMA の機能は、予め算出済みのデータ表がメモリ (RAM または FLASH) に格納されているアプリケーションに役立てるためのもので、RHSB モジュールがスレーブに転送すべきパターンを定義します。

ダウンストリームデータ DMA 転送は、RHSBjIS.RHSBjDTSF が 1_B で、RHSBjGC.RHSBjDDE により DMA がイネーブルされたときに開始されます。

ダウンストリームデータ DMA を使用するときは、RHSBjIS.RHSBjDTSF を割り込み要因として使用しないでください (RHSBjIC.RHSBjDTSIE を 0_B に設定)。また、ダウンストリームデータレジスタ (RHSBjDDRi) への書き込みと RHSBjIS.RHSBjDTSF の 0_B への設定は行わないでください。

図 18.33 のケース 1 は通常のダウンストリームデータ DMA 送信を示しています。図 18.33 のケース 2 のように、DMA が繰り返し周期内にダウンストリームデータを供給できない場合、最後に DMA で書き込まれたデータを再度送信します。繰り返し周期は、DMA がダウンストリームデータを供給する時間より長い時間に定義することを推奨します。

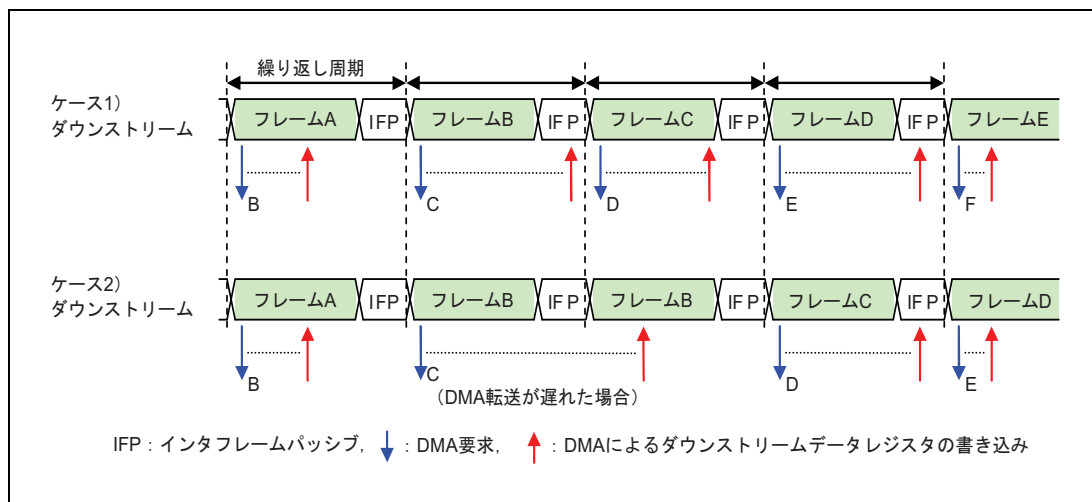


図 18.33 ダウンストリームデータ DMA タイミング

18.6.1.1 ダウンストリームデータ DMA を使用するための設定とイネーブルの流れ

以下の設定を CONFIG 状態で行ってください。

- RHSBjDCR.RHSBjDMS を 01_B に設定 (トリガモード)
- RHSBjIC.RHSBjDTSIE を 0_B に設定
- ほかのすべての設定パラメータをアプリケーション要件にしたがって設定
- RHSB モジュールに必要なデータを供給するために DMA コントローラを設定
 - RHSB モジュール内のターゲットは RHSBjDDR0 レジスタ
 - 転送されるデータのワード数は RHSBjDCR.RHSBjSLS に依存

以下の動作は、アプリケーション要件にしたがって ACTIVE 状態で行うことができます。

- 初期データを RHSBjDDRi レジスタに書き込む

- RHSBjDTC.RHSBjDTE を 1_B に設定した後最初の DMA 転送を、この初期データを含むデータフレームが送信された後に要求する
- RHSBjDTC.RHSBjDTE または RHSBjDTC.RHSBjTSR を 1_B に設定することにより、ダウンストリームデータ送信をイネーブルまたはディスエーブルする
- ダウンストリームデータ DMA の機能をイネーブルまたはディスエーブルする (RHSBjGC.RHSBjDDE)

ダウンストリームデータ DMA がイネーブルのとき、RHSBjIS.RHSBjDTSF = 1_B は DMA 転送が待ち状態にあることを示します。

18.6.1.2 ダウンストリームデータ DMA 向けのメモリ内のデータ配置

メモリから RHSB モジュールの RHSBjDDRi レジスタに転送されるデータの配置は、RHSBjDCR.RHSBjSLS におけるデータフレームの設定に依存します。

DMA 要求 (RHSBjIS.RHSBjDTSF) は、ダウンストリームデータレジスタ (RHSBjDDRi) への書き込みによってクリアされるため、データの転送量が送信に必要なデータに合うようにしなければなりません (要求のマッピングの詳細については「**18.4.1.10 データ更新およびデータフレーム送信要求**」を参照)。RHSB モジュールは、必要以上のデータを RHSBjDDRi レジスタに書き込むことができます。したがって、DMA コントローラが 32 ビット転送しかサポートしていても、機能上の制約はありません。

16 ビット転送を使用するときは、ダウンストリームデータレジスタの上位部分 (ビット [31:16]) が最初に書き込まれるようにする必要があります。ご注意ください。

18.6.2 ダウンストリームコマンド送信での DMA の使用

ダウンストリームコマンド DMA の機能は、コマンドデータ表が RHSB モジュールによってスレーブに転送すべきメモリ (RAM または FLASH) に格納されているアプリケーションに役立てるためのものです。

ダウンストリームコマンド DMA 転送は、RHSBjIS.RHSBjCTF が 1_B で、RHSBjGC.RHSBjDCDE により DMA がイネーブルされたときに開始されます。

ダウンストリームコマンド DMA を使用するときは、RHSBjIS.RHSBjCTF を割り込み要因として使用しないでください (RHSBjIC.RHSBjCTIE を 0_B に設定)。また、ダウンストリームコマンドデータレジスタ (RHSBjDCD) およびダウンストリーム送信制御レジスタ (RHSBjDTC) への書き込みと、RHSBjIS.RHSBjCTF の 0_B への設定は行わないでください。

18.6.2.1 ダウンストリームコマンド DMA を使用するための設定とイネーブルの流れ

以下の設定を CONFIG 状態で行ってください。

- RHSBjIC.RHSBjCTIE を 0_B に設定
- ほかのすべての設定パラメータをアプリケーション要件にしたがって設定
- RHSB モジュールに必要なデータを供給するために DMA コントローラを設定
 - RHSB モジュール内のターゲットは RHSBjDCD レジスタと RHSBjDTC レジスタ
 - 転送されるコマンドビット数は RHSBjDTC.RHSBjNCB に依存

以下の動作は、アプリケーション要件にしたがって ACTIVE 状態で行うことができます。

- コマンドデータを RHSBjDCD レジスタに、設定パラメータを RHSBjDTC レジスタに書き込む
- ダウンストリームコマンド DMA の機能をイネーブルまたはディスエーブルする

(RHSBjGC.RHSBjDCDE)

ダウンストリームコマンド DMA がイネーブルのとき、RHSBjIS.RHSBjCTF = 1_B は DMA 転送が待ち状態にあることを示します。

18.6.2.2 ダウンストリームコマンド DMA 向けのメモリ内のコマンドデータ配置

メモリから RHSB モジュールの RHSBjDCD レジスタに転送されるコマンドデータの配置は、RHSBjDTC.RHSBjNCB におけるコマンドフレームの設定に依存します。

DMA 要求 (RHSBjIS.RHSBjCTF) は、コマンド送信要求 (RHSBjDTC.RHSBjCTR) への書き込みによってクリアされるため、コマンドデータの転送量が送信に必要なコマンドに合うようにしなければなりません。RHSB モジュールは、必要以上のデータを RHSBjDCD レジスタに書き込むことができます。したがって、DMA コントローラが 32 ビット転送しかサポートしていても、機能上の制約はありません。

16 ビット転送を使用するときは、ダウンストリームコマンドデータレジスタの上位部分 (ビット [31:16]) が最初に書き込まれるようにする必要がありますことに注意してください。

18.6.3 アップストリームデータ受信での DMA の使用

アップストリーム DMA の機能は、一連のアップストリームフレームをメモリに格納するためのものです。

アップストリーム DMA 転送は、RHSBjIS.RHSBjDRF が 1_B で、RHSBjGC.RHSBjUDE によって DMA をイネーブルしたときに開始されます。

アップストリーム DMA を使用するときは、RHSBjIS.RHSBjDRF を割り込み要因として使用しないでください (RHSBjIC.RHSBjDRIE を 0_B に設定)。また、アップストリームデータ読み出しレジスタ (RHSBjUDR) の読み出し、RHSBjUDi.RHSBjND の 0_B への設定、RHSBjIS.RHSBjDRF の 0_B への設定は行わないでください。

DMA コントローラが新しく受信したデータをタイムリーに処理できないときは、受信メッセージを RHSBjUDR ではもはや入手できないので (関連する RHSBjUDi でまだ入手可能な場合でも)、そのデータが失われている場合があります。ソフトウェアは、RHSBjUDR.RHSBjNDS ビットによってオーバーランに関する情報を、また RHSBjUDi.RHSBjDL によってデータの消失に関する情報を得ることができます。

18.6.3.1 アップストリーム DMA を使用するための設定とイネーブルの流れ

以下の設定を CONFIG 状態で行ってください。

- RHSBjUCR.RHSBjUE を 1_B に設定
- RHSBjIC.RHSBjDRIE を 0_B に設定
- ほかのすべての設定パラメータをアプリケーション要件にしたがって設定
- RHSB モジュールに必要なデータを供給するために DMA コントローラを設定
 - RHSB モジュール内のソースは RHSBjUDR
 - 転送されるデータのビット数 (8、16、32 ビット) はアプリケーション要件に依存

以下の動作は、アプリケーション要件にしたがって ACTIVE 状態で行うことができます。

- スレーブのデータを要求する (たとえば、コマンドフレームによって)
- アップストリーム DMA 機能のイネーブルまたはディスエーブル (RHSBjGC.RHSBjUDE)

- アップストリームエラー割り込みを評価してアップストリームの問題を処理する

アップストリーム DMA がイネーブルのとき、RHSBjIS.RHSBjDRF = 1_B は DMA 転送が待ち状態であることを示します。

18.6.3.2 アップストリーム DMA 向けのメモリ内のデータ配置

DMA 転送では、RHSBjUDR のみを DMA 転送のソースとして使用してください。RHSBjUDR のすべての 32 ビットがメモリに転送されるか、または一部のみ (8 ビットまたは 16 ビット) が転送されるかは、アプリケーション要件に依存します。

DMA コントローラが RHSBjUDR を読み出すとき、RHSBjUDi レジスタ内の関連する新規データフラグが 0_B に設定されます。また、RHSBjIS.RHSBjDRF は 0_B に設定されます。DMA 転送は RHSBjUDi レジスタ内のエラーフラグには影響しないことに注意してください。

18.7 クロスバー (XBAR)

18.7.1 概要

XBAR は以下の機能で構成されます。

- RHSB XBAR

RHSB XBAR は、ATU-IV、APA からの信号をマルチプレクサで選択し任意の信号を RHSB へ出力します。RHSB のチャンネル数は1つで、XBAR があります。XBAR は16ビットのサブ XBAR を4個持ちます。RHSBGiCRjH、RHSBGiCRjL の各ビットを変更することにより RHSB への出力を選択可能です。(i = 0)

18.7.2 モジュール構成

18.7.2.1 RHSB XBAR の構成

RHSB クロスバーは ATU-IV と RHSB 間を結ぶ選択論理です。

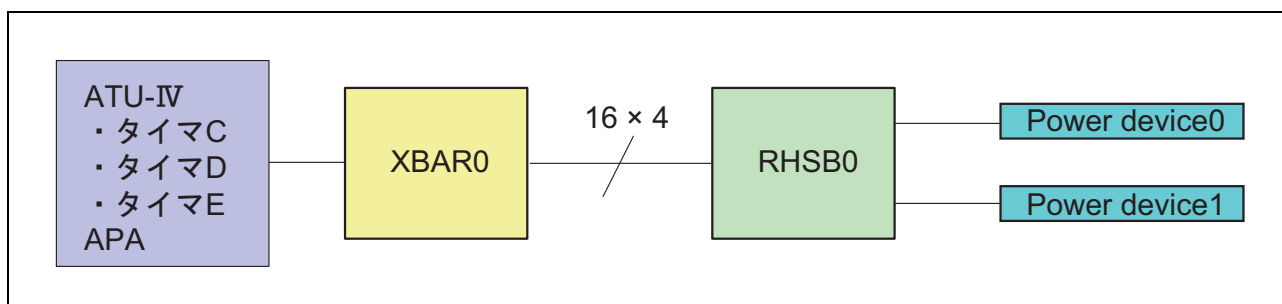


図 18.34 RHSB クロスバー構成

18.7.3 レジスタ仕様

18.7.3.1 レジスタ一覧

RHSB XBAR のレジスタのアドレス配置は以下のとおりです。

表 18.29 RHSB0 XBAR レジスタ一覧

| アドレス | レジスタ配置 |
|------------------------|------------|
| FFED D000 _H | RHSBG0CR0H |
| FFED D004 _H | RHSBG0CR0L |
| FFED D008 _H | RHSBG0CR1H |
| FFED D00C _H | RHSBG0CR1L |
| FFED D010 _H | RHSBG0CR2H |
| FFED D014 _H | RHSBG0CR2L |
| FFED D018 _H | RHSBG0CR3H |
| FFED D01C _H | RHSBG0CR3L |

18.7.3.2 RHSBGiCRjH — マイクロセカンドバスコントロールレジスタ H

RHSBGiCRjH は 32 ビットの読み出し／書き込み可能なレジスタで ATU、APA から入力された信号から RHSB に出力する信号の上位ビットを選択します。対応する信号は、ATU タイマ C、タイマ D、タイマ E、APA になります。

ATU タイマ C、タイマ D、タイマ E、APA の動作中に本ビットの設定を変更しないでください。

RHSBGiCRjH は、バイト単位で読み出し／書き込み可能です。

RHSBGiCRjH は、リセット時に 0000 0000_H に初期化されます。

i = 0 (RHSB のチャンネル数)

j = 0 ~ 3 (サブ XBAR 数)

| | | | | | | | | | | | | | | | | |
|---------|---------|-----|-----|-----|---------|-----|-----|-----|---------|-----|-----|-----|---------|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | MiMDj15 | | | | MiMDj14 | | | | MiMDj13 | | | | MiMDj12 | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | MiMDj11 | | | | MiMDj10 | | | | MiMDj9 | | | | MiMDj8 | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 18.30 RHSBGiCRjH レジスタの内容 (1/4)

| ビット位置 | ビット名 | 機能 |
|---------|---------|--|
| 31 ~ 28 | MiMDj15 | 15 ビット目の信号を選択します。 0000 : TIOC0[3] を選択 0001 : TIOC2[3] を選択 (i = 0) 0010 : TIOC3[3] を選択 (i = 0) 0011 : TIOC4[3] を選択 (i = 0) 0100 : TOD0B[3] を選択 0101 : TOD1B[3] を選択 0110 : TOD2B[3] を選択 (i = 0) 0111 : TOD3B[3] を選択 (i = 0) 1000 : TOE0[3] を選択 1001 : TOE1[3] を選択 (i = 0) 1010 : TOE2[3] を選択 (i = 0) 1011 : TOE3[3] を選択 (i = 0) 1100 : TOD3A[3] を選択 (i = 0) 1101 : TOD0A[3] を選択 1110 : APA[7] を選択 1111 : APA[15] を選択 |

表 18.30 RHSBGiCRjH レジスタの内容 (2/4)

| ビット位置 | ビット名 | 機能 |
|---------|---------|--|
| 27 ~ 24 | MiMDj14 | 14 ビット目の信号を選択します。 0000 : TIOC0[2] を選択 0001 : TIOC2[2] を選択 (i = 0) 0010 : TIOC3[2] を選択 (i = 0) 0011 : TIOC4[2] を選択 (i = 0) 0100 : TOD0B[2] を選択 0101 : TOD1B[2] を選択 0110 : TOD2B[2] を選択 (i = 0) 0111 : TOD3B[2] を選択 (i = 0) 1000 : TOE0[2] を選択 1001 : TOE1[2] を選択 (i = 0) 1010 : TOE2[2] を選択 (i = 0) 1011 : TOE3[2] を選択 (i = 0) 1100 : TOD3A[2] を選択 (i = 0) 1101 : TOD0A[2] を選択 1110 : APA[6] を選択 1111 : APA[14] を選択 |
| 23 ~ 20 | MiMDj13 | 13 ビット目の信号を選択します。 0000 : TIOC0[1] を選択 0001 : TIOC2[1] を選択 (i = 0) 0010 : TIOC3[1] を選択 (i = 0) 0011 : TIOC4[1] を選択 (i = 0) 0100 : TOD0B[1] を選択 0101 : TOD1B[1] を選択 0110 : TOD2B[1] を選択 (i = 0) 0111 : TOD3B[1] を選択 (i = 0) 1000 : TOE0[1] を選択 1001 : TOE1[1] を選択 (i = 0) 1010 : TOE2[1] を選択 (i = 0) 1011 : TOE3[1] を選択 (i = 0) 1100 : TOD3A[1] を選択 (i = 0) 1101 : TOD0A[1] を選択 1110 : APA[5] を選択 1111 : APA[13] を選択 |
| 19 ~ 16 | MiMDj12 | 12 ビット目の信号を選択します。 0000 : TIOC0[0] を選択 0001 : TIOC2[0] を選択 (i = 0) 0010 : TIOC3[0] を選択 (i = 0) 0011 : TIOC4[0] を選択 (i = 0) 0100 : TOD0B[0] を選択 0101 : TOD1B[0] を選択 0110 : TOD2B[0] を選択 (i = 0) 0111 : TOD3B[0] を選択 (i = 0) 1000 : TOE0[0] を選択 1001 : TOE1[0] を選択 (i = 0) 1010 : TOE2[0] を選択 (i = 0) 1011 : TOE3[0] を選択 (i = 0) 1100 : TOD3A[0] を選択 (i = 0) 1101 : TOD0A[0] を選択 1110 : APA[4] を選択 1111 : APA[12] を選択 |

表 18.30 RHSBGiCRjH レジスタの内容 (3/4)

| ビット位置 | ビット名 | 機能 |
|---------|---------|--|
| 15 ~ 12 | MiMDj11 | 11 ビット目の信号を選択します。 0000 : TIOC0[3] を選択 0001 : TIOC1[3] を選択 0010 : TIOC3[3] を選択 (i = 0) 0011 : TIOC4[3] を選択 (i = 0) 0100 : TOD0B[3] を選択 0101 : TOD1B[3] を選択 0110 : TOD2B[3] を選択 (i = 0) 0111 : TOD3B[3] を選択 (i = 0) 1000 : TOE0[3] を選択 1001 : TOE1[3] を選択 (i = 0) 1010 : TOE2[3] を選択 (i = 0) 1011 : TOE3[3] を選択 (i = 0) 1100 : TOD2A[3] を選択 (i = 0) 1101 : TOD3A[3] を選択 (i = 0) 1110 : APA[3] を選択 1111 : APA[11] を選択 |
| 11 ~ 8 | MiMDj10 | 10 ビット目の信号を選択します。 0000 : TIOC0[2] を選択 0001 : TIOC1[2] を選択 0010 : TIOC3[2] を選択 (i = 0) 0011 : TIOC4[2] を選択 (i = 0) 0100 : TOD0B[2] を選択 0101 : TOD1B[2] を選択 0110 : TOD2B[2] を選択 (i = 0) 0111 : TOD3B[2] を選択 (i = 0) 1000 : TOE0[2] を選択 1001 : TOE1[2] を選択 (i = 0) 1010 : TOE2[2] を選択 (i = 0) 1011 : TOE3[2] を選択 (i = 0) 1100 : TOD2A[2] を選択 (i = 0) 1101 : TOD3A[2] を選択 (i = 0) 1110 : APA[2] を選択 1111 : APA[10] を選択 |
| 7 ~ 4 | MiMDj9 | 9 ビット目の信号を選択します。 0000 : TIOC0[1] を選択 0001 : TIOC1[1] を選択 0010 : TIOC3[1] を選択 (i = 0) 0011 : TIOC4[1] を選択 (i = 0) 0100 : TOD0B[1] を選択 0101 : TOD1B[1] を選択 0110 : TOD2B[1] を選択 (i = 0) 0111 : TOD3B[1] を選択 (i = 0) 1000 : TOE0[1] を選択 1001 : TOE1[1] を選択 (i = 0) 1010 : TOE2[1] を選択 (i = 0) 1011 : TOE3[1] を選択 (i = 0) 1100 : TOD2A[1] を選択 (i = 0) 1101 : TOD3A[1] を選択 (i = 0) 1110 : APA[1] を選択 1111 : APA[9] を選択 |

表 18.30 RHSBGiCRjH レジスタの内容 (4/4)

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 3 ~ 0 | MiMDj8 | 8ビット目の信号を選択します。 0000 : TIOC0[0] を選択 0001 : TIOC1[0] を選択 0010 : TIOC3[0] を選択 (i = 0) 0011 : TIOC4[0] を選択 (i = 0) 0100 : TOD0B[0] を選択 0101 : TOD1B[0] を選択 0110 : TOD2B[0] を選択 (i = 0) 0111 : TOD3B[0] を選択 (i = 0) 1000 : TOE0[0] を選択 1001 : TOE1[0] を選択 (i = 0) 1010 : TOE2[0] を選択 (i = 0) 1011 : TOE3[0] を選択 (i = 0) 1100 : TOD2A[0] を選択 (i = 0) 1101 : TOD3A[0] を選択 (i = 0) 1110 : APA[0] を選択 1111 : APA[8] を選択 |

18.7.3.3 RHSBGiCRjL — マイクロセカンドバスコントロールレジスタ L

RHSBGiCRjL は 32 ビットの読み出し/書き込み可能なレジスタで ATU、APA から入力された信号から RHSB に出力する信号の下位ビットを選択します。対応する信号は、ATU タイマ C、タイマ D、タイマ E、APA になります。

ATU タイマ C、タイマ D、タイマ E、APA の動作中に本ビットの設定を変更しないでください。

RHSBGiCRjL は、バイト単位で読み出し/書き込み可能です。

RHSBGiCRjL は、リセット時に 0000 0000_H に初期化されます。

i = 0 (RHSB のチャンネル数)

j = 0 ~ 3 (サブ XBAR 数)

| | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|---------|--------|-----|-----|-----|-----|-----|-----|--------|-----|-----|-----|-----|-----|-----|--------|-----|--|--|--|--|--|--------|--|--|--|--|--|--|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | | | | | | | | | | | | |
| | MiMDj7 | | | | | | | MiMDj6 | | | | | | | MiMDj5 | | | | | | | MiMDj4 | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | | | | | | | | | | | |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | | | | | | | | | | | | |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | | | | | | | | | |
| | MiMDj3 | | | | | | | MiMDj2 | | | | | | | MiMDj1 | | | | | | | MiMDj0 | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | | | | | | | | | | | |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | | | | | | | | | | | | |

表 18.31 RHSBGiCRjL レジスタの内容 (1/4)

| ビット位置 | ビット名 | 機能 |
|---------|--------|---|
| 31 ~ 28 | MiMDj7 | 7 ビット目の信号を選択します。 0000 : TIOC0[3] を選択 0001 : TIOC1[3] を選択 0010 : TIOC2[3] を選択 (i = 0) 0011 : TIOC4[3] を選択 (i = 0) 0100 : TOD0B[3] を選択 0101 : TOD1B[3] を選択 0110 : TOD2B[3] を選択 (i = 0) 0111 : TOD3B[3] を選択 (i = 0) 1000 : TOE0[3] を選択 1001 : TOE1[3] を選択 (i = 0) 1010 : TOE2[3] を選択 (i = 0) 1011 : TOE3[3] を選択 (i = 0) 1100 : TOD1A[3] を選択 1101 : TOD2A[3] を選択 (i = 0) 1110 : APA[7] を選択 1111 : APA[15] を選択 |

表 18.31 RHSBGiCRjL レジスタの内容 (2/4)

| ビット位置 | ビット名 | 機能 |
|---------|--------|---|
| 27 ~ 24 | MiMDj6 | 6 ビット目の信号を選択します。 0000 : TIOC0[2] を選択 0001 : TIOC1[2] を選択 0010 : TIOC2[2] を選択 (i = 0) 0011 : TIOC4[2] を選択 (i = 0) 0100 : TOD0B[2] を選択 0101 : TOD1B[2] を選択 0110 : TOD2B[2] を選択 (i = 0) 0111 : TOD3B[2] を選択 (i = 0) 1000 : TOE0[2] を選択 1001 : TOE1[2] を選択 (i = 0) 1010 : TOE2[2] を選択 (i = 0) 1011 : TOE3[2] を選択 (i = 0) 1100 : TOD1A[2] を選択 1101 : TOD2A[2] を選択 (i = 0) 1110 : APA[6] を選択 1111 : APA[14] を選択 |
| 23 ~ 20 | MiMDj5 | 5 ビット目の信号を選択します。 0000 : TIOC0[1] を選択 0001 : TIOC1[1] を選択 0010 : TIOC2[1] を選択 (i = 0) 0011 : TIOC4[1] を選択 (i = 0) 0100 : TOD0B[1] を選択 0101 : TOD1B[1] を選択 0110 : TOD2B[1] を選択 (i = 0) 0111 : TOD3B[1] を選択 (i = 0) 1000 : TOE0[1] を選択 1001 : TOE1[1] を選択 (i = 0) 1010 : TOE2[1] を選択 (i = 0) 1011 : TOE3[1] を選択 (i = 0) 1100 : TOD1A[1] を選択 1101 : TOD2A[1] を選択 (i = 0) 1110 : APA[5] を選択 1111 : APA[13] を選択 |
| 19 ~ 16 | MiMDj4 | 4 ビット目の信号を選択します。 0000 : TIOC0[0] を選択 0001 : TIOC1[0] を選択 0010 : TIOC2[0] を選択 (i = 0) 0011 : TIOC4[0] を選択 (i = 0) 0100 : TOD0B[0] を選択 0101 : TOD1B[0] を選択 0110 : TOD2B[0] を選択 (i = 0) 0111 : TOD3B[0] を選択 (i = 0) 1000 : TOE0[0] を選択 1001 : TOE1[0] を選択 (i = 0) 1010 : TOE2[0] を選択 (i = 0) 1011 : TOE3[0] を選択 (i = 0) 1100 : TOD1A[0] を選択 1101 : TOD2A[0] を選択 (i = 0) 1110 : APA[4] を選択 1111 : APA[12] を選択 |

表 18.31 RHSBGiCRjL レジスタの内容 (3/4)

| ビット位置 | ビット名 | 機能 |
|---------|--------|---|
| 15 ~ 12 | MiMDj3 | 3 ビット目の信号を選択します。 0000 : TIOC0[3] を選択 0001 : TIOC1[3] を選択 0010 : TIOC2[3] を選択 (i = 0) 0011 : TIOC3[3] を選択 (i = 0) 0100 : TOD0B[3] を選択 0101 : TOD1B[3] を選択 0110 : TOD2B[3] を選択 (i = 0) 0111 : TOD3B[3] を選択 (i = 0) 1000 : TOE0[3] を選択 1001 : TOE1[3] を選択 (i = 0) 1010 : TOE2[3] を選択 (i = 0) 1011 : TOE3[3] を選択 (i = 0) 1100 : TOD0A[3] を選択 1101 : TOD1A[3] を選択 1110 : APA[3] を選択 1111 : APA[11] を選択 |
| 11 ~ 8 | MiMDj2 | 2 ビット目の信号を選択します。 0000 : TIOC0[2] を選択 0001 : TIOC1[2] を選択 0010 : TIOC2[2] を選択 (i = 0) 0011 : TIOC3[2] を選択 (i = 0) 0100 : TOD0B[2] を選択 0101 : TOD1B[2] を選択 0110 : TOD2B[2] を選択 (i = 0) 0111 : TOD3B[2] を選択 (i = 0) 1000 : TOE0[2] を選択 1001 : TOE1[2] を選択 (i = 0) 1010 : TOE2[2] を選択 (i = 0) 1011 : TOE3[2] を選択 (i = 0) 1100 : TOD0A[2] を選択 1101 : TOD1A[2] を選択 1110 : APA[2] を選択 1111 : APA[10] を選択 |
| 7 ~ 4 | MiMDj1 | 1 ビット目の信号を選択します。 0000 : TIOC0[1] を選択 0001 : TIOC1[1] を選択 0010 : TIOC2[1] を選択 (i = 0) 0011 : TIOC3[1] を選択 (i = 0) 0100 : TOD0B[1] を選択 0101 : TOD1B[1] を選択 0110 : TOD2B[1] を選択 (i = 0) 0111 : TOD3B[1] を選択 (i = 0) 1000 : TOE0[1] を選択 1001 : TOE1[1] を選択 (i = 0) 1010 : TOE2[1] を選択 (i = 0) 1011 : TOE3[1] を選択 (i = 0) 1100 : TOD0A[1] を選択 1101 : TOD1A[1] を選択 1110 : APA[1] を選択 1111 : APA[9] を選択 |

表 18.31 RHSBGiCRjL レジスタの内容 (4/4)

| ビット位置 | ビット名 | 機能 |
|-------|--------|--|
| 3 ~ 0 | MiMDj0 | 0 ビット目の信号を選択します。 0000 : TIOC0[0] を選択 0001 : TIOC1[0] を選択 0010 : TIOC2[0] を選択 (i = 0) 0011 : TIOC3[0] を選択 (i = 0) 0100 : TOD0B[0] を選択 0101 : TOD1B[0] を選択 0110 : TOD2B[0] を選択 (i = 0) 0111 : TOD3B[0] を選択 (i = 0) 1000 : TOE0[0] を選択 1001 : TOE1[0] を選択 (i = 0) 1010 : TOE2[0] を選択 (i = 0) 1011 : TOE3[0] を選択 (i = 0) 1100 : TOD0A[0] を選択 1101 : TOD1A[0] を選択 1110 : APA[0] を選択 1111 : APA[8] を選択 |

18.7.4 動作概要

ATU-IV、APA からの信号をマルチプレクサで選択し任意の信号を RHSB に出力します。RHSB のチャンネル数は1つで、XBAR があります。XBAR は16ビットのサブ XBAR を4個持ちます。RHSBGiCRjH、RHSBGiCRjL の各ビットを変更することにより出力を表 18.32 のように RHSB への出力を選択可能です ($i=0$)。

表 18.32 RHSB XBAR の選択可能ビット一覧

| 出力 | RHSB0 に接続される XBAR の選択可能ビット一覧 | | | | | | | | | | | | | | | |
|----|------------------------------|---------|---------|---------|---------|---------|---------|---------|--------|--------|--------|--------|---------|---------|--------|--------|
| | 0000 | 0001 | 0010 | 0011 | 0100 | 0101 | 0110 | 0111 | 1000 | 1001 | 1010 | 1011 | 1100 | 1101 | 1110 | 1111 |
| 0 | TIOC 00 | TIOC 10 | TIOC 20 | TIOC 30 | TOD 00B | TOD 10B | TOD 20B | TOD 30B | TOE 00 | TOE 10 | TOE 20 | TOE 30 | TOD 00A | TOD 10A | APA 00 | APA 08 |
| 1 | TIOC 01 | TIOC 11 | TIOC 21 | TIOC 31 | TOD 01B | TOD 11B | TOD 21B | TOD 31B | TOE 01 | TOE 11 | TOE 21 | TOE 31 | TOD 01A | TOD 11A | APA 01 | APA 09 |
| 2 | TIOC 02 | TIOC 12 | TIOC 22 | TIOC 32 | TOD 02B | TOD 12B | TOD 22B | TOD 32B | TOE 02 | TOE 12 | TOE 22 | TOE 32 | TOD 02A | TOD 12A | APA 02 | APA 10 |
| 3 | TIOC 03 | TIOC 13 | TIOC 23 | TIOC 33 | TOD 03B | TOD 13B | TOD 23B | TOD 33B | TOE 03 | TOE 13 | TOE 23 | TOE 33 | TOD 03A | TOD 13A | APA 03 | APA 11 |
| 4 | TIOC 00 | TIOC 10 | TIOC 20 | TIOC 40 | TOD 00B | TOD 10B | TOD 20B | TOD 30B | TOE 00 | TOE 10 | TOE 20 | TOE 30 | TOD 10A | TOD 20A | APA 04 | APA 12 |
| 5 | TIOC 01 | TIOC 11 | TIOC 21 | TIOC 41 | TOD 01B | TOD 11B | TOD 21B | TOD 31B | TOE 01 | TOE 11 | TOE 21 | TOE 31 | TOD 11A | TOD 21A | APA 05 | APA 13 |
| 6 | TIOC 02 | TIOC 12 | TIOC 22 | TIOC 42 | TOD 02B | TOD 12B | TOD 22B | TOD 32B | TOE 02 | TOE 12 | TOE 22 | TOE 32 | TOD 12A | TOD 22A | APA 06 | APA 14 |
| 7 | TIOC 03 | TIOC 13 | TIOC 23 | TIOC 43 | TOD 03B | TOD 13B | TOD 23B | TOD 33B | TOE 03 | TOE 13 | TOE 23 | TOE 33 | TOD 13A | TOD 23A | APA 07 | APA 15 |
| 8 | TIOC 00 | TIOC 10 | TIOC 30 | TIOC 40 | TOD 00B | TOD 10B | TOD 20B | TOD 30B | TOE 00 | TOE 10 | TOE 20 | TOE 30 | TOD 20A | TOD 30A | APA 00 | APA 08 |
| 9 | TIOC 01 | TIOC 11 | TIOC 31 | TIOC 41 | TOD 01B | TOD 11B | TOD 21B | TOD 31B | TOE 01 | TOE 11 | TOE 21 | TOE 31 | TOD 21A | TOD 31A | APA 01 | APA 09 |
| 10 | TIOC 02 | TIOC 12 | TIOC 32 | TIOC 42 | TOD 02B | TOD 12B | TOD 22B | TOD 32B | TOE 02 | TOE 12 | TOE 22 | TOE 32 | TOD 22A | TOD 32A | APA 02 | APA 10 |
| 11 | TIOC 03 | TIOC 13 | TIOC 33 | TIOC 43 | TOD 03B | TOD 13B | TOD 23B | TOD 33B | TOE 03 | TOE 13 | TOE 23 | TOE 33 | TOD 23A | TOD 33A | APA 03 | APA 11 |
| 12 | TIOC 00 | TIOC 20 | TIOC 30 | TIOC 40 | TOD 00B | TOD 10B | TOD 20B | TOD 30B | TOE 00 | TOE 10 | TOE 20 | TOE 30 | TOD 30A | TOD 00A | APA 04 | APA 12 |
| 13 | TIOC 01 | TIOC 21 | TIOC 31 | TIOC 41 | TOD 01B | TOD 11B | TOD 21B | TOD 31B | TOE 01 | TOE 11 | TOE 21 | TOE 31 | TOD 31A | TOD 01A | APA 05 | APA 13 |
| 14 | TIOC 02 | TIOC 22 | TIOC 32 | TIOC 42 | TOD 02B | TOD 12B | TOD 22B | TOD 32B | TOE 02 | TOE 12 | TOE 22 | TOE 32 | TOD 32A | TOD 02A | APA 06 | APA 14 |
| 15 | TIOC 03 | TIOC 23 | TIOC 33 | TIOC 43 | TOD 03B | TOD 13B | TOD 23B | TOD 33B | TOE 03 | TOE 13 | TOE 23 | TOE 33 | TOD 33A | TOD 03A | APA 07 | APA 15 |

第19章 ウィンドウウォッチドッグタイマ (WDTA)

19.1 特長

チャンネル

この製品は2チャンネルのウィンドウウォッチドッグタイマを搭載しています。

表 19.1 WDTA のチャンネル

| ウィンドウウォッチドッグタイマ | |
|-----------------|-------------|
| チャンネル数 | 2 |
| 名称 | WDTA0、WDTA1 |

n の意味

この章では、ウィンドウウォッチドッグタイマの各チャンネルを「n」で識別します。たとえば、WDTAn イネーブルレジスタ (WDTAnWDTE) (n = 0, 1) のように記述しています。

レジスタアドレス

WDTAn レジスタのアドレスは、それぞれのベースアドレス <WDTAn_base> からのオフセットで表されます。

各 WDTAn のレジスタベースアドレスを表 19.2 に示します。

表 19.2 WDTAn のレジスタベースアドレス

| WDTAn | <WDTAn_base> アドレス |
|-------|------------------------|
| WDTA0 | FFED 0000 _H |
| WDTA1 | FFED 1000 _H |

クロック供給

ウィンドウウォッチドッグタイマは、クロック入力として WDTATCKI と PCLK を使用します。

表 19.3 ウィンドウウォッチドッグタイマのクロック

| WDTAn | ユニットクロック名 | 供給クロック名 |
|-------|-----------|------------------------|
| WDTA0 | WDTATCKI | WDTACLKI |
| | PCLK | CLKC_LSB (非変調低速周辺クロック) |
| WDTA1 | WDTATCKI | WDTACLKI |
| | PCLK | CLKC_LSB (非変調低速周辺クロック) |

割り込みとリセット出力

WDTAn の割り込みとリセット出力を表 19.4 に示します。

表 19.4 WDTA の割り込みとリセット出力

| WDTAn 信号 | 機能 | 接続先 |
|-----------|-----------------|------|
| WDTAnTRES | ウォッチドッグリセット出力信号 | ECM |
| WDTAnTIT | インターバルタイマ割り込み | INTC |

19.2 概要

19.2.1 機能概要

WDTA には次の機能があります。

- オプションバイトによるリセット解除後の動作モード選択

WDTA のリセット後のカウント開始/停止、75% 割り込み要求の有効/無効、ウィンドオープン期間、オーバフロー時間が選択できます。

- WDTA トリガ機能

WDTA は WDTA トリガレジスタへの起動コード書き込みにより、WDTA の起動およびカウンタをリスタートします。

- 75%割り込み要求信号

オーバフローインターバル時間の 75%に達したときに割り込み要求信号を発生することができます (WDTAnMD.WDTAnWIE により有効無効が可能)。

- ウィンドウ機能

WDTA トリガレジスタの書き込み有効期間 (ウィンドウオープン期間) を設定することができます。ウィンドウオープン期間以外で WDTA トリガレジスタに書き込みを行うとエラーが発生します。

- WDTA エラー検出機能

エラー検出時は WDTAnTRES 信号で ECM にエラー通知します。エラー検出要因は「**19.5.3 エラー検出**」を参照してください。

19.2.2 ブロック図

WDTA の主な構成要素を次の「**図 19.1 WDTA のブロック図**」に示します。

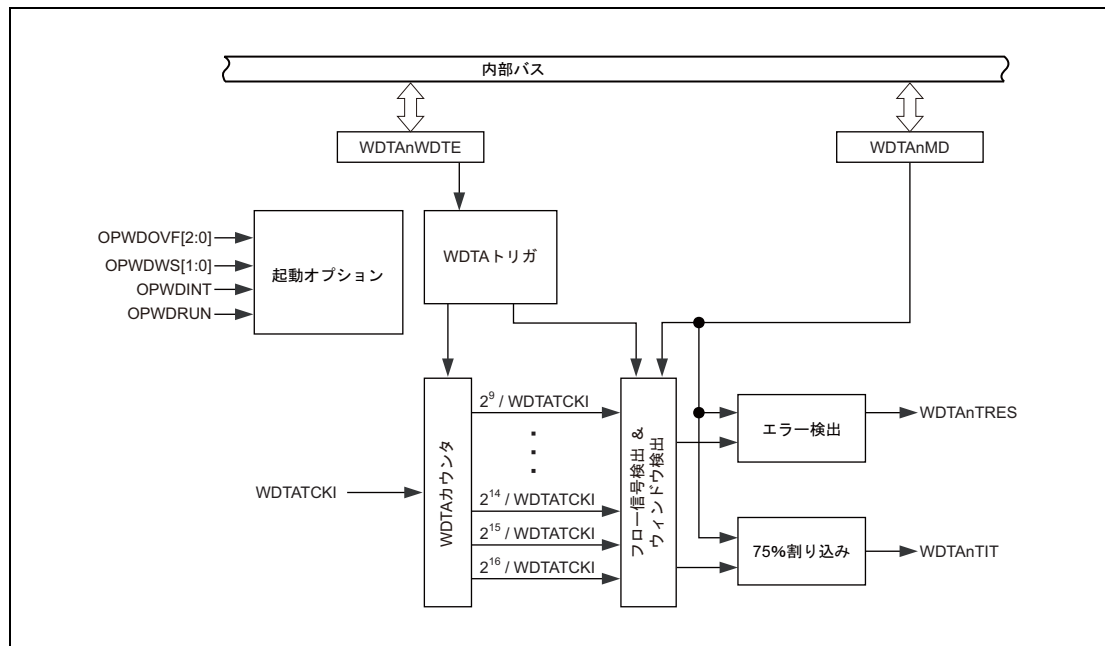


図 19.1 WDTA のブロック図

19.3 レジスタ

WDTA は、次のレジスタで制御、動作します。

19.3.1 レジスタの概要

WDTAn (n=0,1) のレジスタ一覧、メモリアドレスを以下に示します。

ベースアドレスは**表 19.2** を参照してください。

実際のアドレスはこのベースアドレスに表で示したオフセット値を加算します。

| レジスタ名 | 機能 | R/W | リセット後の値 | アクセス幅 | | | アドレス |
|-----------|----------------|-----|---------------------|-------|----|----|----------------------------------|
| | | | | 8 | 16 | 32 | |
| WDTAnWDTE | WDTA イネーブルレジスタ | R/W | 2C _H 備考1 | ○ | × | × | <WDTAn_base> + 0000 _H |
| WDTAnMD | WDTA モードレジスタ | R/W | 7F _H 備考2 | ○ | × | × | <WDTAn_base> + 000C _H |

備考 1. WDTA0WDTE では、オプションバイトの設定値によって変化します。

WDTAnWDTE の詳細は、「19.3.1.1 WDTAnWDTE — WDTA イネーブルレジスタ」を参照してください。

備考 2. WDTA0MD では、オプションバイトの設定値によって変化します。

WDTAnMD の詳細は、「19.3.1.2 WDTAnMD — WDTA モードレジスタ」を参照してください。

19.3.1.1 WDTAnWDTE — WDTA イネーブルレジスタ

このレジスタは、WDTA スタートコントロール/トリガレジスタです。

AC_H を書き込むことにより WDTA トリガを発生し、WDTA カウンタをスタート/リスタートします。詳細は「19.5.2 WDTA トリガ」を参照してください。

このレジスタに書き込める値は、AC_H のみです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <WDTAn_base> + 0000_H

- リセット後の値**
- (1) WDTA0
リセット後の値は OPWDRUN の設定値に依存します。
OPWDRUN の出荷時の初期状態は OPWDRUN = 0_B です。
したがって、WDTA0 の出荷時のリセット後の値は 2C_H です。
 - (2) WDTA1
リセット後の値は 2C_H です。

OPWDRUN 設定の詳細は「33.10 オプションバイト」を参照してください。
どのリセット要因でも初期化されます。

| | | | | | | | | |
|---------|---------------|-----|-----|-----|-----|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | WDTAnRUN[7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 19.5 WDTAnWDTE レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------------|--|
| 7 ~ 0 | WDTAnRUN [7:0] | 固定起動コード (AC _H) を書き込むことにより WDTA トリガを発生し、WDTAn カウンタのスタート/リスタートを制御します。AC _H 以外の値を書き込んだ場合、エラーが発生します。スタート後 WDTAn を停止することはできません。 |

起動オプションによって異なる WDTAnRUN[7] ビットのリセット後の値を次の表に示します。

表 19.6 WDTAnRUN[7] のリセット後の値

| 起動オプション | WDTAnRUN[7] のリセット後の値 |
|---------|----------------------|
| OPWDRUN | |
| 1 | 1 |
| 0 | 0 |

19.3.1.2 WDTAnMD — WDTA モードレジスタ

オーバフローインターバル時間、75% 割り込み有効/無効、およびウインドウオープン期間を指定します。

このレジスタの値は、リセット解除後、最初のトリガが発生する前に一度だけ変更可能です。変更後の値は次の WDTA トリガ発生から有効になります。

最初の WDTA トリガ発生後にこのレジスタの値を変更するとエラーが発生しますが、同じ値を書き込んだ場合はエラーは発生しません。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <WDTAn_base> + 000C_H

- リセット後の値**
- (1) WDTA0
リセット後の値は OPWDOVF2 ~ 0、OPWDINT、OPWDWS1, 0 の設定値に依存します。
オプションバイトによる WDTA0 の出荷時の初期状態は WDTA1 と同じであるため OPWDOVF2 ~ 0、OPWDINT、OPWDWS1, 0 の設定値はそれぞれ 1_B に設定されます。したがって、WDTA0 の出荷時のリセット後の値は 7F_H となります。
- (2) WDTA1
リセット後の値は 7F_H です。

どのリセット要因でも初期化されます。

| | | | | | | | | |
|---------|---|---------------|-----|-----|----------|---|--------------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | WDTAnOVF[2:0] | | | WDTAnWIE | — | WDTAnWS[1:0] | |
| リセット後の値 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R/W | R/W | R/W | R/W | R | R/W | R/W |

表 19.7 WDTAnMD レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-----------|---------------|---|----------------------------|-----------|-----------|----------------|---|---|---|---------------------------|---|---|---|----------------------------|---|---|---|----------------------------|---|---|---|----------------------------|---|---|---|----------------------------|---|---|---|----------------------------|---|---|---|----------------------------|---|---|---|----------------------------|
| 7 | — | 予約ビット 読むと "0" が読み出されます。書き込みは "0" としてください。 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 6 ~ 4 | WDTAnOVF[2:0] | オーバフローインターバル時間を選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>WDTAnOVF2</th> <th>WDTAnOVF1</th> <th>WDTAnOVF0</th> <th>オーバフローインターバル時間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>2⁹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2¹⁰ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2¹¹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>2¹² / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>2¹³ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>2¹⁴ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>2¹⁵ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>2¹⁶ / WDTATCKI</td> </tr> </tbody> </table> | WDTAnOVF2 | WDTAnOVF1 | WDTAnOVF0 | オーバフローインターバル時間 | 0 | 0 | 0 | 2 ⁹ / WDTATCKI | 0 | 0 | 1 | 2 ¹⁰ / WDTATCKI | 0 | 1 | 0 | 2 ¹¹ / WDTATCKI | 0 | 1 | 1 | 2 ¹² / WDTATCKI | 1 | 0 | 0 | 2 ¹³ / WDTATCKI | 1 | 0 | 1 | 2 ¹⁴ / WDTATCKI | 1 | 1 | 0 | 2 ¹⁵ / WDTATCKI | 1 | 1 | 1 | 2 ¹⁶ / WDTATCKI |
| WDTAnOVF2 | WDTAnOVF1 | WDTAnOVF0 | オーバフローインターバル時間 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | 2 ⁹ / WDTATCKI | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | 2 ¹⁰ / WDTATCKI | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | 2 ¹¹ / WDTATCKI | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | 2 ¹² / WDTATCKI | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | 2 ¹³ / WDTATCKI | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | 2 ¹⁴ / WDTATCKI | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | 2 ¹⁵ / WDTATCKI | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | 2 ¹⁶ / WDTATCKI | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 3 | WDTAnWIE | 75% 割り込み要求 WDTAnTIT の有効/無効 0 : WDTAnTIT 無効 1 : WDTAnTIT 有効 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

表 19.7 WDTAnMD レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 | | | | | | | | | | | | | | | |
|--------------|--------------|--|--------------|--------------|-------------|---|---|-----|---|---|-----|---|---|-----|---|---|------|
| 2 | — | 予約ビット 読むと“1”が読み出されます。書き込みは“1”としてください。 | | | | | | | | | | | | | | | |
| 1、0 | WDTAnWS[1:0] | ウィンドウオープン期間を選択します。 <table border="1" data-bbox="655 427 1414 636"> <thead> <tr> <th>WDTAn WS1</th> <th>WDTAn WS0</th> <th>ウィンドウオープン期間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>25%</td> </tr> <tr> <td>0</td> <td>1</td> <td>50%</td> </tr> <tr> <td>1</td> <td>0</td> <td>75%</td> </tr> <tr> <td>1</td> <td>1</td> <td>100%</td> </tr> </tbody> </table> | WDTAn WS1 | WDTAn WS0 | ウィンドウオープン期間 | 0 | 0 | 25% | 0 | 1 | 50% | 1 | 0 | 75% | 1 | 1 | 100% |
| WDTAn WS1 | WDTAn WS0 | ウィンドウオープン期間 | | | | | | | | | | | | | | | |
| 0 | 0 | 25% | | | | | | | | | | | | | | | |
| 0 | 1 | 50% | | | | | | | | | | | | | | | |
| 1 | 0 | 75% | | | | | | | | | | | | | | | |
| 1 | 1 | 100% | | | | | | | | | | | | | | | |

19.4 割り込み要因

WDTA は、WDTA カウンタ値の状態や WDTA 関連レジスタへの不正なアクセスを検出して、割り込み要求を発生します。WDTA の割り込み要求を以下に示します。

(1) WDTAnTIT (WDTA タイマカウンタ 75% 割り込み要求)

WDTA タイマのカウンタオーバーフロー時間の 75% で割り込み要求信号を発生します。

WDTA モードレジスタ WDTAnMD により、割り込み要求信号の有効/無効設定が可能です。

19.5 機能説明

19.5.1 リセット解除後の WDTA

19.5.1.1 スタートモード

WDTA には、リセット解除後にカウンタをスタートさせる 2 つのモードがあります。

- ソフトウェアトリガスタートモード (WDTA0、WDTA1 共通)

リセット解除後、カウンタ値は 0000_H のままです。
カウンタは最初の WDTA トリガの発生でスタートします。

- デフォルトスタートモード (WDTA0 のみ)

リセット解除後、カウンタは自動的にスタートします。ただし、起動オプションを OPWDRUN = 1_B に設定しても、シリアルプログラミングモードではデフォルトスタートモードが無効化されます。

WDTA1 はソフトウェアトリガモードに固定です。WDTA1 はオプションバイトによる設定はできません。

19.5.1.2 スタートモードの選択 (WDTA0 のみ)

スタートモードは、起動オプションで選択することができます。

スタートモードの選択について次の表 19.8 に示します。

表 19.8 スタートモードの選択

| 起動オプション OPWDRUN | リセットの種類 | スタートモード |
|--------------------|---------|-----------|
| 0 | 無視 | ソフトウェアトリガ |
| 1 | | デフォルト |

19.5.1.3 リセット解除後の WDTA 設定

リセット解除と最初のトリガ発生の際の WDTA の設定を次の表に示します。

| 機能 | WDTA0 のリセット後の設定 | WDTA1 のリセット後の設定 |
|--------------------|-----------------|----------------------------|
| スタートモード | 起動オプションで指定 | ソフトウェアトリガモード |
| オーバフローインターバル 時間 | 起動オプションで指定 | 2 ¹⁶ / WDTATCKI |
| 75% 割り込みモード | 起動オプションで指定 | 75% 割り込み有効 |
| ウィンドウオープン期間 | 起動オプションで指定 | 100% |

WDTA 設定の変更

WDTA モードレジスタ WDTAnMD の設定は最初の WDTA トリガ (WDTAnWDTE への起動コード書き込み) で有効になります。WDTAnMD レジスタの設定を変更する場合、WDTA トリガ前に行ってください。また、WDTAnMD による WDTA 設定は 1 度のみです。WDTA トリガ後に WDTAnMD の設定値を変更した場合、エラーが発生します。同じ値を設定した場合はエラーは発生しません。

19.5.1.4 デフォルトスタートモードのタイミング (WDTA0のみ)

デフォルトスタートモードのタイミングと WDTA 設定への変更を次の図 19.2 に示します。

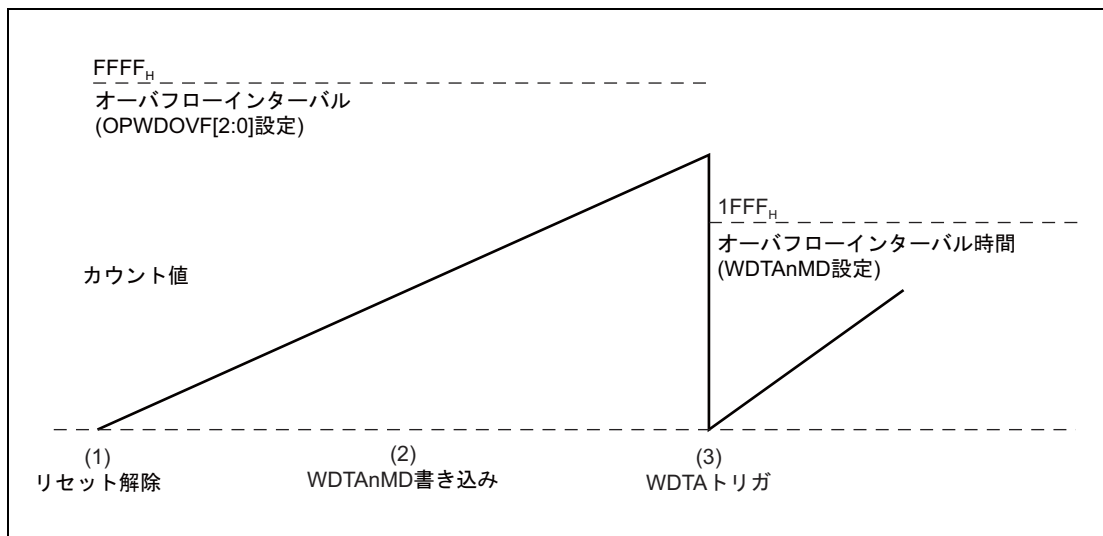


図 19.2 デフォルトスタートモード時の WDTA スタートのタイミング図

図 19.2 のタイミング図は次の動作を示します。

- (1) デフォルトスタートモードではリセット解除直後、WDTA カウントをスタートします。リセット解除後のオーバーフローインターバル時間は起動オプションで設定します。

例) リセット解除後のオーバーフローインターバル時間
 $= 2^{16}/\text{WDTATCKI}$ ($\text{OPWDOVF}[2:0] = 111_{\text{B}}$)

- (2) WDTAnMD は WDTA トリガ前に設定します。ただし設定はすぐには適用されません。
- (3) WDTA カウンタがオーバーフローする前に WDTA トリガレジスタへの書き込みを行ってください。

WDTA トリガにより WDTAnMD の設定が適用されます。

例) WDTA トリガ後のオーバーフローインターバル時間
 $= 2^{13}/\text{WDTATCKI}$

19.5.1.5 ソフトウェアトリガスタートモードのタイミング (WDTA0, WDTA1 共通)

ソフトウェアトリガスタートモードのタイミングと WDTA 設定への変更を次の図 19.3 に示します。

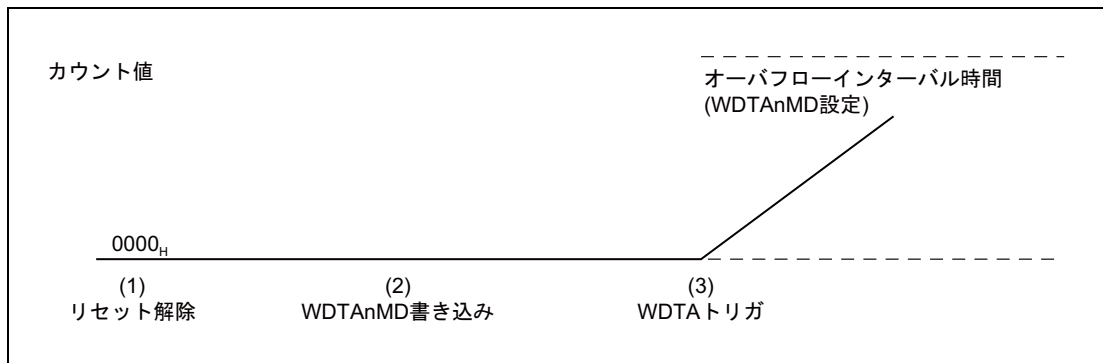


図 19.3 ソフトウェアトリガスタートモード時の WDTA スタートのタイミング図

図 19.3 のタイミング図は次の動作を示します。

- (1) リセット解除後、最初の WDTA トリガまで WDTA カウンタは 0000_H のままです。オーバーフローインターバル時間は起動オプションにより設定されますが、カウント動作が行われないため影響はありません。
- (2) WDTAnMD は WDTA トリガ前に設定します。ただし設定はすぐには適用されません。
- (3) WDTA トリガにより、WDTA カウンタがスタートします。WDTAnMD で指定したオーバーフローインターバル時間とその他の設定が適用されます。

19.5.2 WDTA トリガ

WDTA イネーブルレジスタ WDTAnWDTE に、起動コードと呼ばれる特定の値を書き込むことにより WDTA トリガが発生します。

WDTA トリガには、次の機能があります。

- ソフトウェアトリガスタートモード時の WDTA カウンタの開始
- WDTA カウンタのカウントリスタート
- WDTAnMD レジスタによる WDTA モード設定 (リセット解除後、最初の WDTA トリガのみ)

トリガレジスタに固定起動コードを書き込むことで、WDTA トリガが発生させることができます。

表 19.9 トリガレジスタと起動コード

| 起動コードの種類 | トリガレジスタ | 起動コード |
|----------|-----------|-----------------|
| 固定 | WDTAnWDTE | AC _H |

19.5.3 エラー検出

WDTA は、WDTA のカウントオーバーフローの発生や不正な操作をエラーとして検出します。エラー検出条件を次に示します。

- WDTA カウンタのオーバーフロー
- WDTA トリガレジスタへの誤った起動コードの書き込み
- ウィンドウオープン期間以外でのトリガレジスタへの書き込み
- 初回 WDTA トリガ発生後、WDTA モードレジスタ WDTAnMD の設定値を変更しようとした場合
- 初回 WDTA トリガ発生前に、WDTA モードレジスタ WDTAnMD の設定値を2回更新する場合

19.5.4 WDTA エラーモード

エラー検出時は WDTAnTRES 信号で ECM にエラー通知します。

デフォルトスタートモードが選択されているとき、カウンタがオーバーフローした場合のリセットの発生を次の図 19.4 に示します。

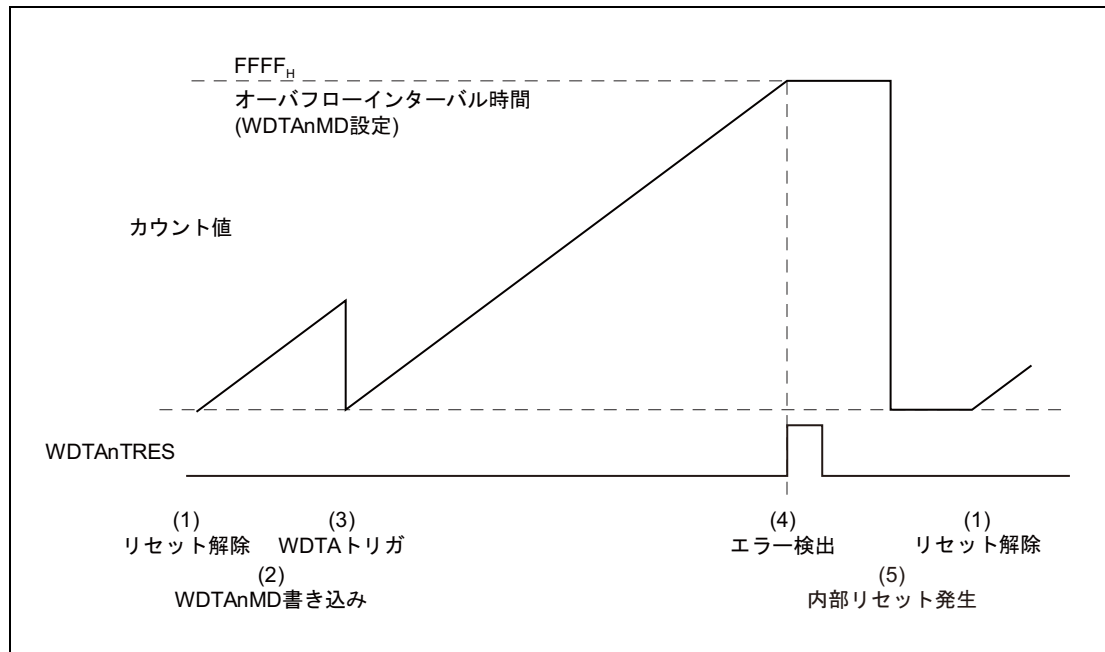


図 19.4 WDTA 内部リセット発生のタイミング図

図 19.4 のタイミング図は次の動作を示します。

- (1) デフォルトスタートモードではリセット解除後、WDTA カウンタをスタートします。リセット解除後のオーバーフローインターバル時間は起動オプションで設定します。
- (2) WDTAnMD は WDTA トリガ前に設定します。
ここでは $2^{16}/\text{WDTATCKI}$ をオーバーフローインターバル時間に設定しています。
- (3) WDTA トリガにより WDTAnMD の設定が適用されます。
- (4) カウンタがオーバーフローすると、エラーが検出され、WDTAnTRES 信号で ECM にエラー通知します。カウンタ値は、内部リセットが発生するまで変わりません。
- (5) ECM などの要因で内部リセットが発生するとカウンタがクリアされ、リセットが解除されるまで停止します。

19.5.5 75%割り込み要求信号

WDTA カウンタがオーバーフローインターバル設定時間の 75%に達すると、割り込み要求 WDTAnTIT が発生します。

WDTAnMD.WDTAnWIE レジスタで、この機能の有効/無効を選択することができます。

次の条件下での 75%割り込み要求の発生を次の図 19.5 に示します。

- デフォルトスタートモードを選択
- 最初の WDTA トリガ後より、75% 割り込み要求が有効
- WDTA オーバーフローインターバル時間： $2^{16}/\text{WDTATCKI}$

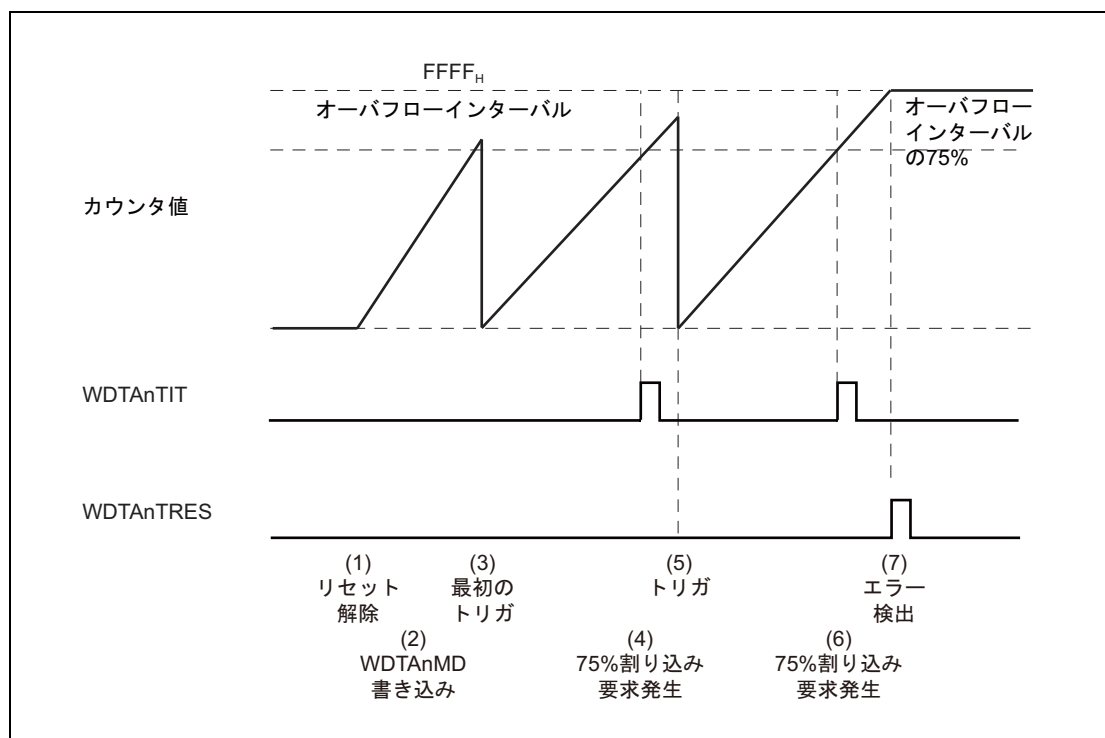


図 19.5 WDTA 75%割り込み要求信号のタイミング図

- (1) デフォルトスタートモードではリセット解除後、WDTA カウンタをスタートします。リセット解除後のオーバーフローインターバル時間は起動オプションによって設定されます。
- (2) WDTAnMD は WDTA トリガ前に設定します。ここでは $2^{16}/\text{WDTATCKI}$ をオーバーフローインターバル時間に設定しています。
- (3) WDTA トリガにより WDTAnMD の設定が適用されます。
- (4) WDTA カウンタがオーバーフローインターバル設定時間の 75%に達すると、割り込み要求 WDTAnTIT が発生します。
- (5) WDTA トリガにより、カウンタがリスタートします。
- (6) WDTA カウンタがオーバーフローインターバル設定時間の 75%に達すると、割り込み要求 WDTAnTIT が発生します。
- (7) カウンタがオーバーフローするとエラーが検出され、WDTAnTRES 信号で ECM にエラー通知します。カウンタ値は内部リセットが発生するまで変わりません。

19.5.6 ウィンドウ機能

WDTA トリガの有効期間（ウィンドウオープン期間）を設定することができます。ウィンドウオープン期間を 100%未滿に設定すると、ウィンドウオープン期間以外の WDTA トリガによりエラーが発生します。リセット解除後、ウィンドウオープン期間は 100%です。最初の WDTA トリガで、WDTAnMD.WDTAnWS[1:0] に設定した値になります。

次の条件下でのウィンドウ機能動作を図 19.6 に示します。

- デフォルトスタートモードを選択
- 最初の WDTA トリガ後より、25% ウィンドウオープン期間が有効 (WDTAnWS[1:0] = 00_B)
- WDTA オーバフローインターバル時間 : $2^{16}/\text{WDTATCKI}$

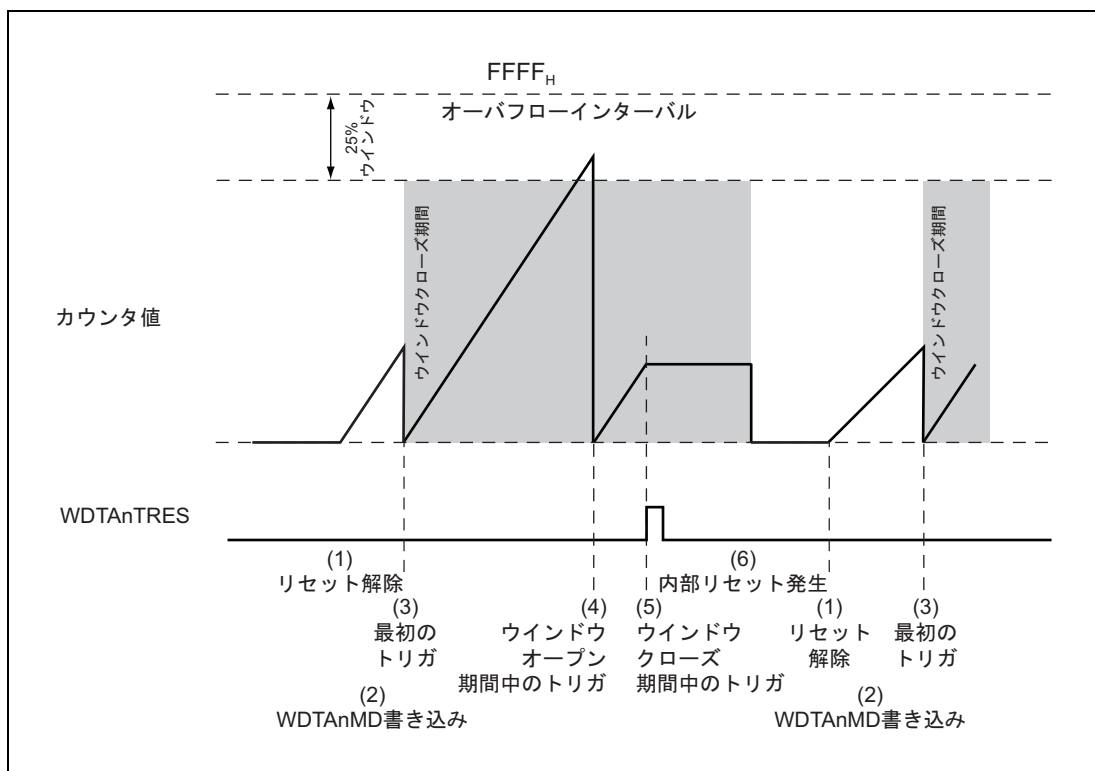


図 19.6 WDTA ウィンドウ機能のタイミング図

- (1) デフォルトスタートモードではリセット解除後、WDTA カウントをスタートします。リセット解除後のオーバーフローインターバル時間は起動オプションで設定します。
- (2) WDTAnMD は WDTA トリガ前に設定します。ここでは $2^{16}/\text{WDTATCKI}$ をオーバーフローインターバル時間に設定しています。
- (3) WDTA トリガにより WDTAnMD の設定が適用されます。
- (4) ウィンドウオープン期間中に、WDTA トリガにより、カウントがリスタートします。
- (5) ウィンドウクローズ期間中に、WDTA トリガにより、エラーが検出され、WDTAnTRES 信号で ECM にエラー通知します。カウンタ値は、内部リセットが発生するまで変わりません。
- (6) ECM などの要因で内部リセットが発生するとカウンタがクリアされ、リセットが解除されるまで停止します。

第20章 OSタイマ (OSTM)

20.1 機能概要

OS タイマには、次の機能があります。

- 2つの動作モード
 - インターバルタイマモード
 - フリーランニングコンペアモード
- OS タイマの複数チャンネル同時スタート (PIC1 のタイマ同調機能)
- カウント開始、再開、終了時の割り込み機能および DTS 通知機能
- OSTM_n (n=1 のみ) の割り込み発生時、ECM にエラーを通知
- ECM がダイナミックモード時の ERROROUT_M、ERROROUT_C 端子からの出力波形を、OSTM0 の OSTM0TOUT 信号で生成。
- チャンネルごとにモジュールスタンバイの設定が可能
(詳細は「第12章 スタンバイコントローラ」を参照ください)

20.1.1 特長

チャンネル

この製品は次のチャンネル数の OS タイマを搭載しています。

表 20.1 OS タイマのチャンネル

| OS タイマ | |
|--------|-------------------|
| チャンネル数 | 3 |
| 名称 | OSTM _n |

n の意味

この章では、OS タイマの各チャンネルを「n」で識別します。たとえば、n 出力レジスタ (OSTM_nTO) (n=0~2) のように記述しています。

レジスタアドレス

OS タイマレジスタのアドレスは、それぞれのベースアドレス <OSTM_n_base> からのオフセットで表されます。

各 OSTM_n のレジスタベースアドレスを次の表に示します。

表 20.2 レジスタベースアドレス

| OSTM _n | <OSTM _n _base> アドレス |
|-------------------|--------------------------------|
| OSTM0 | FFEC 0000 _H |
| OSTM1 | FFEC 1000 _H |
| OSTM2 | FFEC 2000 _H |

割り込み

OS タイマは次の割り込み要求を発生できます。

表 20.3 OSTMn の割り込み要求

| OSTMn の信号 | 機能 | 接続先 |
|-----------|-------------|-----------------------------|
| OSTM0TINT | OSTM0 の割り込み | 割り込みコントローラ INTC |
| OSTM1TINT | OSTM1 の割り込み | 割り込みコントローラ INTC、ECM へのエラー入力 |
| OSTM2TINT | OSTM2 の割り込み | 割り込みコントローラ INTC |

20.2 レジスタ

OS タイマは、次のレジスタで制御、動作します。

20.2.1 レジスタの概要

OSTMn (n=0~2) のレジスタ一覧、メモリアドレスを以下に示します。

ベースアドレスは表 20.2 をご参照ください。

| レジスタ名 | 機能 | R/W | リセット後の値 | アクセス単位 (ビット) | | | アドレス |
|----------|-------------------------|-----|------------------------|--------------|----|----|--------------------------------|
| | | | | 8 | 16 | 32 | |
| OSTMnCMP | OSTM コンペアレジスタ | R/W | 0000 0000 _H | — | — | ○ | <OSTMn_base> + 00 _H |
| OSTMnCNT | OSTM カウンタレジスタ | R | FFFF FFFF _H | — | — | ○ | <OSTMn_base> + 04 _H |
| OSTMnTO | OSTM 出力レジスタ | R/W | 00 _H | ○ | — | — | <OSTMn_base> + 08 _H |
| OSTMnTOE | OSTM 出力イネーブルレジスタ | R/W | 00 _H | ○ | — | — | <OSTMn_base> + 0C _H |
| OSTMnTE | OSTM カウントイネーブルステータスレジスタ | R | 00 _H | ○ | — | — | <OSTMn_base> + 10 _H |
| OSTMnTS | OSTM カウント開始トリガレジスタ | W | 00 _H | ○ | — | — | <OSTMn_base> + 14 _H |
| OSTMnTT | OSTM カウント停止トリガレジスタ | W | 00 _H | ○ | — | — | <OSTMn_base> + 18 _H |
| OSTMnCTL | OSTM 制御レジスタ | R/W | 00 _H | ○ | — | — | <OSTMn_base> + 20 _H |

20.2.2 レジスタの詳細

20.2.2.1 OSTMnCMP — OSTM コンペアレジスタ

このレジスタは、動作モードによってダウンカウンタの開始値または、コンペア値を格納します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <OSTMn_base>

リセット後の値 0000 0000_H
どのリセット要因でも初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | OSTMnCMP[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OSTMnCMP[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 20.4 OSTMnCMP レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------------|---|
| 31 ~ 0 | OSTMnCMP [31:0] | <ul style="list-style-type: none"> インターバルタイマモードの場合：ダウンカウンタの開始値 フリーランニングコンペアモードの場合：コンペア値 |

20.2.2.2 OSTMnCNT — OSTM カウンタレジスタ

このレジスタはタイマのカウンタ値を示します。

アクセス 32ビット単位でリード可能です。

アドレス <OSTMn_base> + 4_H

リセット後の値 FFFF FFFF_H
どのリセット要因でも初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | OSTMnCNT[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OSTMnCNT[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 20.5 OSTMnCNT レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------------|-------------|
| 31 ~ 0 | OSTMnCNT [31:0] | 32ビットカウンタの値 |

OSTM の動作モード、カウント方向、スタート値の関係を表 20.6 に示します。スタート値は動作モードが変更された後にリードされる値です。

表 20.6 動作モード、カウント方向、スタート値の関係

| タイマの動作モード | OSTMnCTL.OSTMnMD1 | カウントのアップダウン方向 | スタート値 |
|-----------------|-------------------|---------------|------------------------|
| インターバルタイマモード | 0 ^{注1} | ダウン | FFFF FFFF _H |
| フリーランニングコンペアモード | 1 | アップ | 0000 0000 _H |

注1. リセット後の値

20.2.2.3 OSTMnTO — OSTM 出力レジスタ

このレジスタは、OSTMnTTOUT 出力のレベルを指定/リードします。OSTM0 (n=0) でのみ、レジスタに設定した値が有効になります。

アクセス 8ビット単位でリード/ライト可能です。ソフトウェア制御モードが有効時 (OSTMnTOE.OSTMnTOE = 0) にもみライト可能です。

アドレス <OSTMn_base> + 8_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | OSTMnTO |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 20.7 OSTMnTO レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 7 ~ 1 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 0 | OSTMnTO | OSTMnTTOUT 出力のレベルを指定/リードします。 0: ローレベル 1: ハイレベル |

20.2.2.4 OSTMnTOE — OSTM 出カイナーブルレジスタ

このレジスタは、OSTMnTTOUT 出力モードを指定します。OSTM0 (n=0) でのみ、レジスタに設定した値が有効になります。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <OSTMn_base> + C_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | OSTMnTOE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 20.8 OSTMnTOE レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|--|
| 7 ~ 1 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 0 | OSTMnTOE | OSTMnTTOUT 出力モードを指定します。 0: ソフトウェア制御モード: OSTMnTO.OSTMnTO ビットに設定されたレベルを OSTMnTTOUT に出力 1: タイマ出カトグルモード: 割り込み要求 OSTMnTINT が発生すると、OSTMnTTOUT 出力がトグル |

20.2.2.5 OSTMnTE — OSTM カウントイネーブルステータスレジスタ

このレジスタは、カウンタの状態を示します。

アクセス 8ビット単位でリード可能です。

アドレス <OSTMn_base> + 10_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | OSTMnTE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 20.9 OSTMnTE レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 7 ~ 1 | 予約ビット | リードした場合はリセット後の値が読めます。 |
| 0 | OSTMnTE | カウンタの状態を示します。 0: カウンタが停止中 1: カウンタが動作中 OSTMnTS.OSTMnTS を 1 に設定するか、OSTMnTSST 信号 (PIC1 のタイマ同調機能を使用時) が 1 になると、このビットが 1 になります。 OSTMnTT.OSTMnTT ビットを 1 に設定すると、このビットが 0 にリセットされます。 |

備考

OSTMnTE = 0 の場合はカウンタ値が保持されます。

カウントを再開した場合は次のようになります。

- インターバルタイマモードでは、カウンタ値は OSTMnCMP レジスタ値からカウントダウンを開始します。
- フリーランニングコンペアモードでは、カウンタ値 0000 0000_H からカウントアップを開始します。

20.2.2.6 OSTMnTS — OSTM カウント開始トリガレジスタ

このレジスタは、カウント動作を開始します。

アクセス 8ビット単位でライト可能です。リードすると常に00_Hを返します。

アドレス <OSTMn_base> + 14_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | OSTMnTS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 20.10 OSTMnTS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 7 ~ 1 | 予約ビット | ライトする場合はリセット後の値を書いてください。 |
| 0 | OSTMnTS | カウントの動作を開始します。 0: 設定は無効です。 1: カウントを開始し、OSTMnTE.OSTMnTE ビットをセットします。 <ul style="list-style-type: none"> インターバルタイマモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされると、強制リスタートが実行されます。 フリーランニングコンペアモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされても無視されます。 |

20.2.2.7 OSTMnTT — OSTM カウント停止トリガレジスタ

このレジスタは、カウント動作を停止します。

アクセス 8ビット単位でライト可能です。リードすると常に00_Hを返します。

アドレス <OSTMn_base> + 18_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | OSTMnTT |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 20.11 OSTMnTT レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 7 ~ 1 | 予約ビット | ライトする場合はリセット後の値を書いてください。 |
| 0 | OSTMnTT | カウンタの動作を停止します。 0: 設定は無効です。 1: カウンタを停止し、OSTMnTE.OSTMnTE ビットをクリアします。 |

20.2.2.8 OSTMnCTL — OSTM 制御レジスタ

このレジスタは、カウンタの動作モードを設定し、カウント開始時の割り込み要求 OSTMnTINT の許可/禁止を設定します。

アクセス 8ビット単位でリード/ライト可能です。カウンタが無効の場合 (OSTMnTE.OSTMnTE = 0) のみライト可能です。

アドレス <OSTMn_base> + 20_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|----------|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | OSTMnMD1 | OSTMnMD0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 20.12 OSTMnCTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 ~ 2 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 1 | OSTMnMD1 | カウンタの動作モードを設定します。 0: インターバルタイマモード 1: フリーランニングコンペアモード |
| 0 | OSTMnMD0 | カウント開始時の OSTMnTINT 割り込み許可/禁止を設定します。 0: カウント開始時の割り込みを禁止 1: カウント開始時の割り込みを許可 |

20.3 機能説明

OS タイマは32ビットのタイマ/カウンタです。

動作モードを選択することによりカウントのアップダウン方向を指定し、割り込み要求の生成を制御します。

20.3.1 ブロック図

OSTM_n の主な構成要素を次のブロック図に示します。

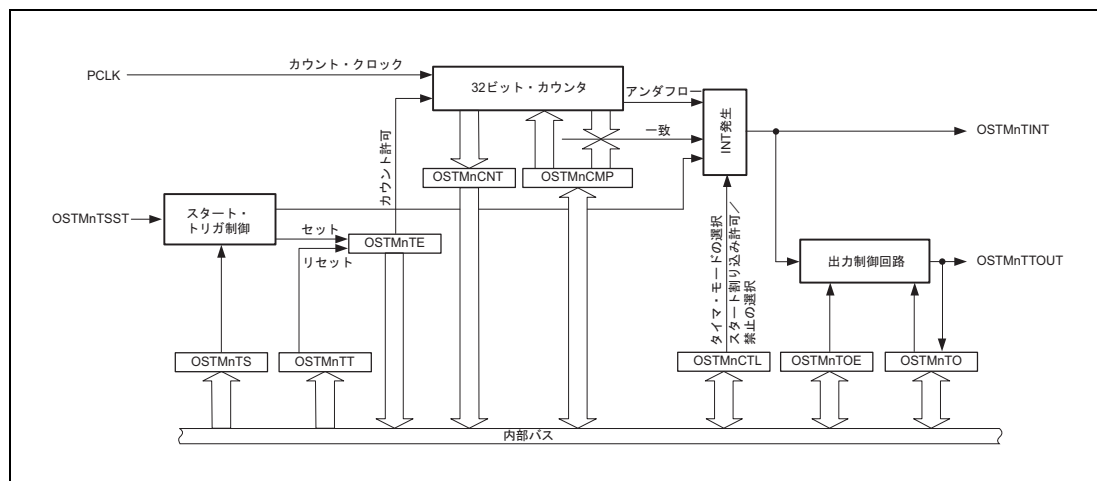


図 20.1 OSTM_n のブロック図

20.3.2 カウントクロック

OSTM_n のカウントクロック PCLK は、CLKC_LSB (非変調低速周辺クロック) です。

20.3.3 出力モード (OSTM0のみ)

OSTM_nには、次の出力モードがあり、OSTM_nTOE.OSTM_nTOE ビットで設定します。

ソフトウェア制御モード (OSTM_nTOE.OSTM_nTOE ビット = 0) :

OSTM_nTO.OSTM_nTO ビットに設定した値が OSTM_nTTOUT に出力されます。

タイマ出力トグル・モード (OSTM_nTOE.OSTM_nTOE ビット = 1) :

OSTM_nTINT 要求が発生すると、OSTM_nTTOUT 出力がトグルします。

2つの出力モードを次の図に示します。

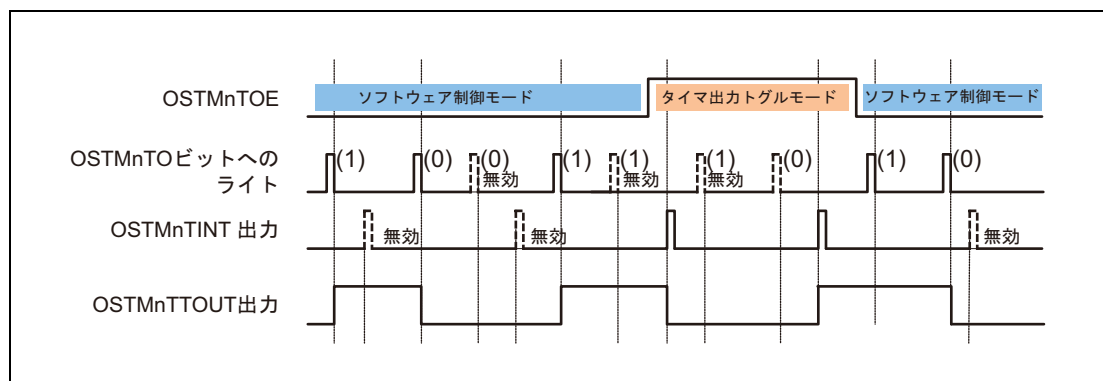


図 20.2 出力モードのタイミング

上記のタイミング図では次の内容を示しています。

- ソフトウェア制御モードでは、OSTM_nTTOUT 出力が OSTM_nTO.OSTM_nTO ビットに設定された値になります。
- タイマ出力トグル・モードでは、OSTM_nTINT 割り込み要求が発生すると OSTM_nTO.OSTM_nTO ビットと OSTM_nTTOUT 出力がトグルします。

20.3.4 割り込み要求の生成

カウンタが $0000\ 0000_H$ に到達したとき（インターバルタイマモードの場合）またはカウンタがコンペア値と一致したとき（フリーランニングコンペアモードの場合）に割り込み要求 $OSTMnTINT$ が発生します。

さらに、割り込み要求はカウント開始時またはカウント再開時にも生成できます。これは $OSTMnCTL.OSTMnMD0$ ビットで制御します。

$OSTMnTINT$ はタイマ出力トグルモード ($OSTMnTOE.OSTMnTOE = 1$) で $OSTMnTTOUT$ 出力のトグルのトリガとなるため、 $OSTMnCTL.OSTMnMD0$ ビットの設定は $OSTMnTTOUT$ 出力にも影響します。

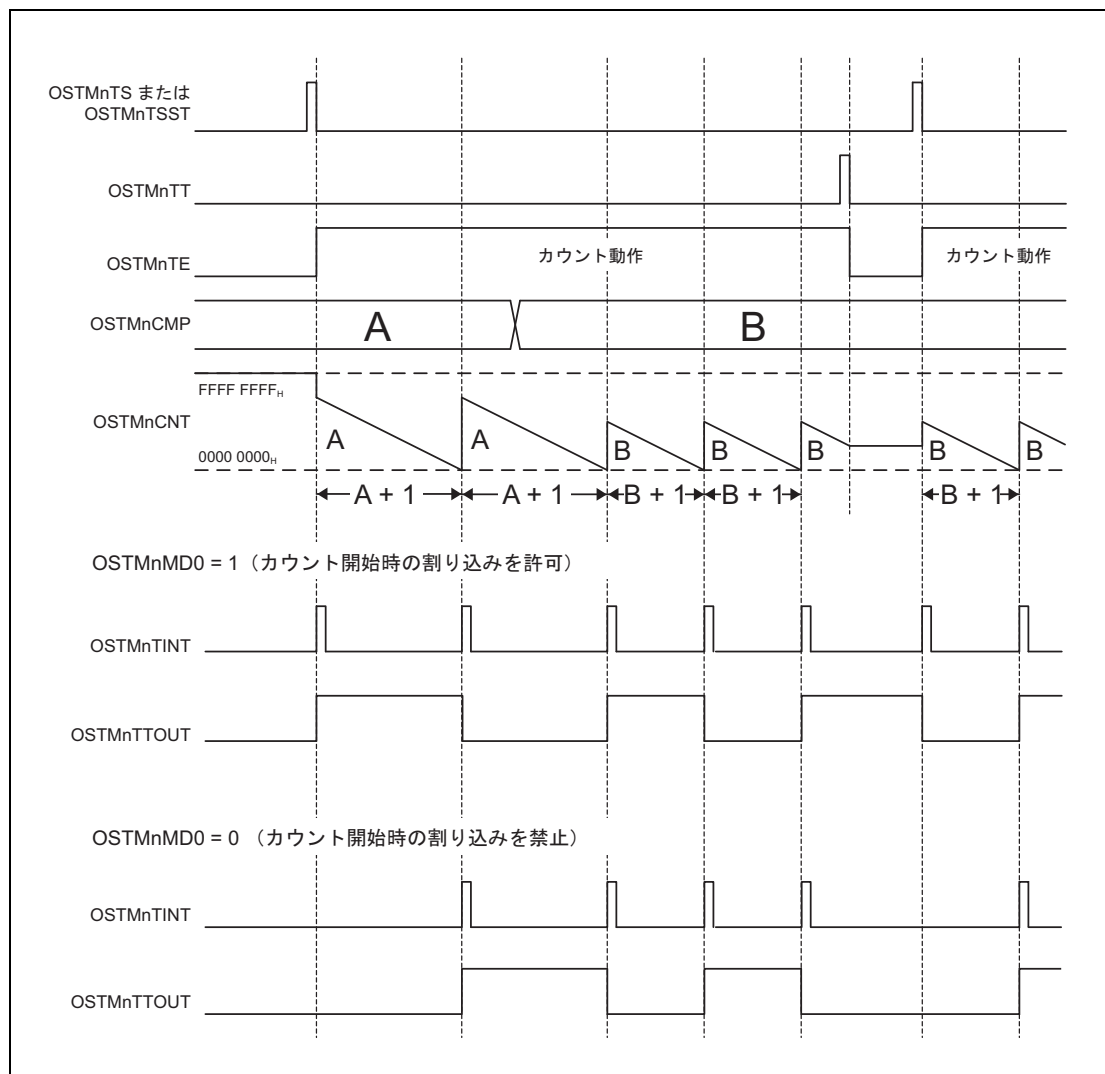


図 20.3 カウント開始時の割り込み生成（インターバルタイマモード）

20.3.5 タイマの起動と停止

OS タイマは次のように起動し、停止します。

起動

OSTMn のカウンタ起動フローを図 20.4 に示します。また、図中のインターバルタイマモード/フリーランニングコンペアの詳細動作については「インターバルタイマモード」「フリーランニングコンペアモード」を参照ください。

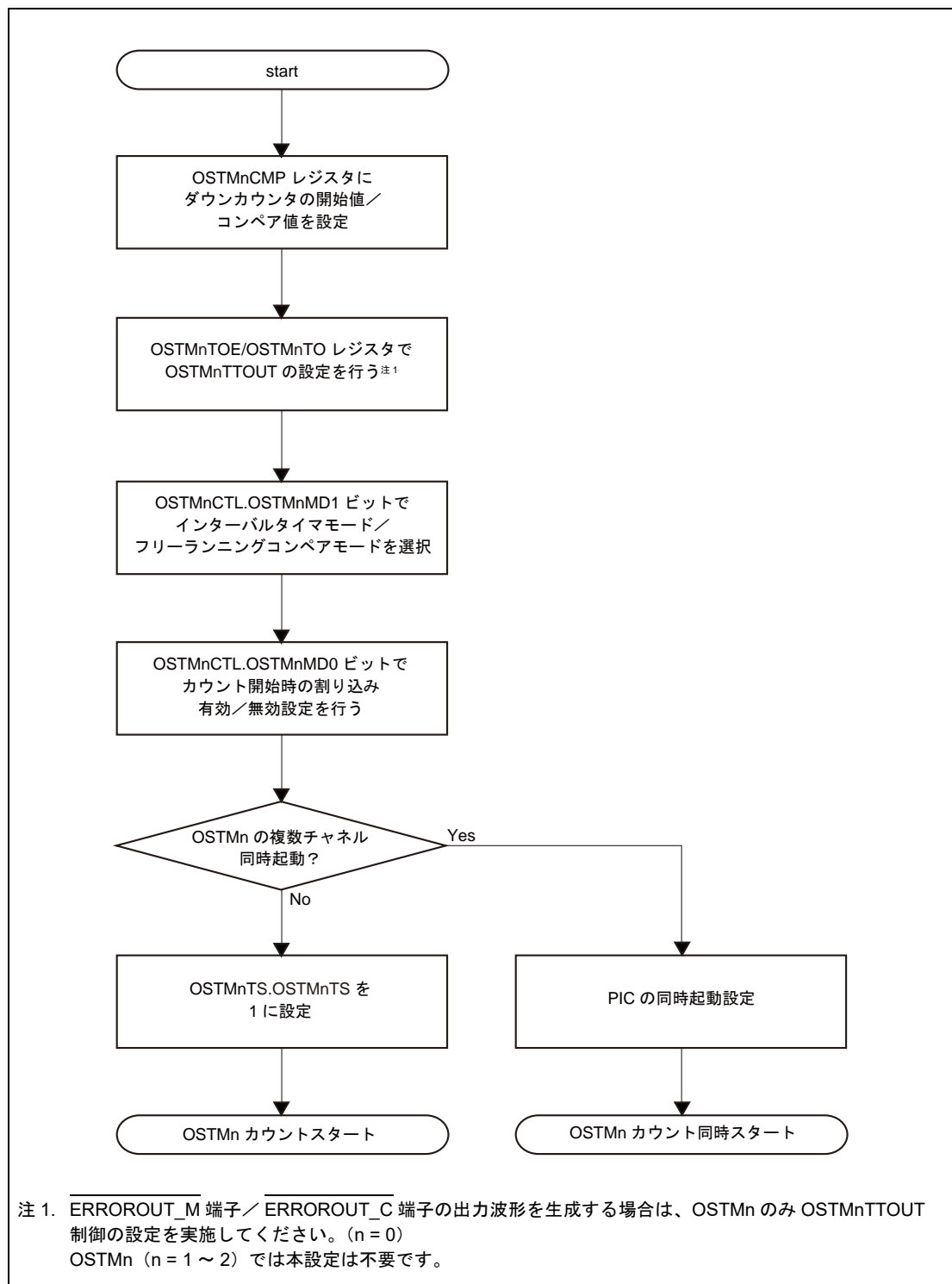


図 20.4 OS タイマ起動設定フロー

停止

タイマは、OSTMnTT.OSTMnTT ビット = 1 に設定することで停止します。

ステータスビット OSTMnTE.OSTMnTE がクリアされます。

タイマ同調機能 (PIC1)

OSTMnTSST 信号を使用して、複数のタイマを同時に起動することができます。設定方法は、「**第 25 章 ペリフェラルインターコネクション (PIC)**」を参照してください。

20.3.6 インターバルタイマモード

インターバルタイマモードでは、OS タイマを一定の間隔で割り込み要求を発生する基準タイマとして使用できます。

20.3.6.1 インターバルタイマモードの基本動作

インターバルタイマモードでは、タイマは OSTMnCMP レジスタで指定された値からカウントダウンします。カウンタ値が 0000 0000_H に到達した場合に、割り込み要求 OSTMnTINT が発生します。

インターバルタイマモードは OSTMnCTL.OSTMnMD1 ビット = 0 で設定されます。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。カウント動作中に書き換えられた場合、カウンタ値が 0000 0000_H に到達後、カウンタは次のカウントクロックで OSTMnCMP レジスタ値から動作を開始します。

OSTMnTINT 期間と OSTMnTTOUT 出力期間

OSTMnTINT と OSTMnTTOUT 出力の期間は次のようになります。

- OSTMnTINT 発生期間 = カウントクロック期間 × (OSTMnCMP + 1)
- OSTMnTTOUT 出力期間 = OSTMnTINT 発生期間 × 2

次の図に、インターバルタイマモードでカウンタスタート割り込みを許可された場合の OSTMn の基本動作を示します。

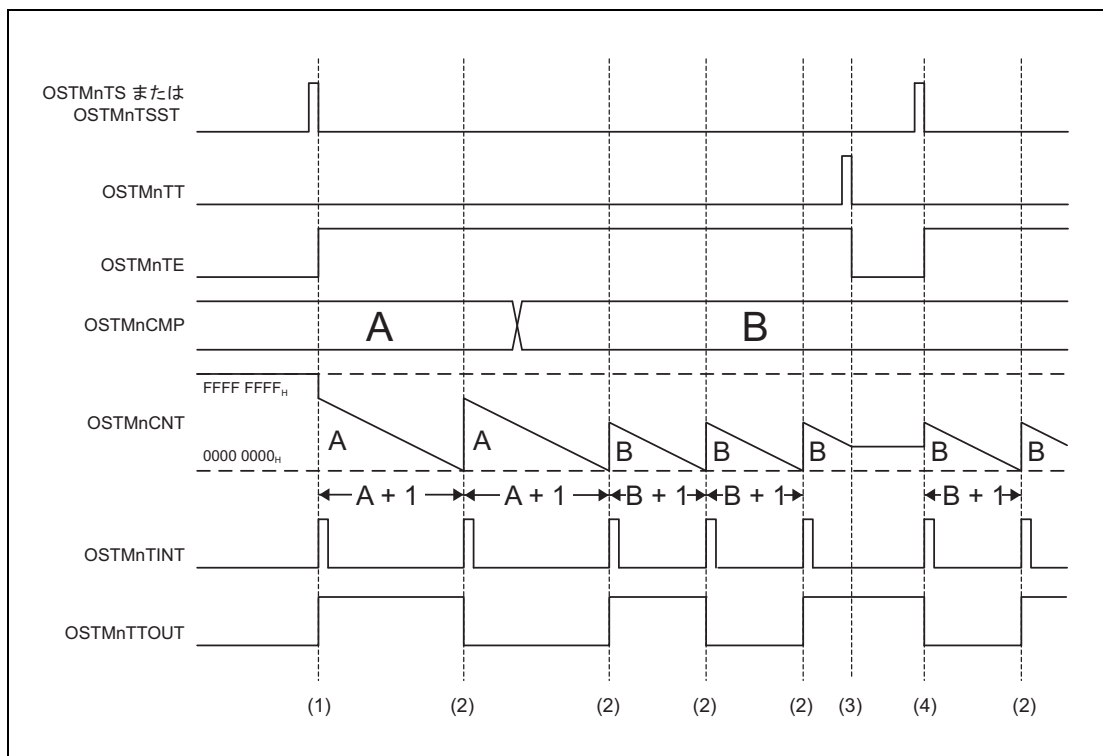


図 20.5 インターパルスタイマモードの OSTMn のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタは、OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを開始します。OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。
カウンタは、OSTMnCMP の値からカウントダウンを開始します。
OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMnTINT が発生し、OSTMnTTOUT がトグル出力します。カウンタ値は OSTMnCNT レジスタで示されます。
- (2) カウンタが 0000 0000_H に達すると、割り込み要求 OSTMnTINT が発生し、OSTMnTTOUT がトグル出力します。カウンタは、OSTMnCMP から新しい開始値をロードしてカウントダウンを続けます。
- (3) OSTMnTT.OSTMnTT = 1 によりカウンタが停止すると、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。
- (4) OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを再開すると、カウンタは OSTMnCMP から新しい開始値をロードしてカウントダウンを開始します。

強制リスタート

カウンタの強制リスタートは、カウント動作中に $OSTMnTS.OSTMnTS = 1$ または $OSTMnTSST$ 信号の 0 から 1 への遷移 (PIC1 のタイマ同調機能使用時) によって実行されます。

注 意

タイマの複数チャンネル同時起動中、任意チャンネルの $OSTMnTS.OSTMnTS = 1$ を設定した場合、個別チャンネルで強制リスタートが実行されるため、各チャンネル間の同期動作は保障されません。

また、タイマの複数チャンネルを個別起動中に、PIC の同時起動を使用すると、同時起動が設定されたタイマは同時に強制リスタートが実行されます。

カウンタは、 $OSTMnCMP$ の値からカウントダウンを開始します。

次の図に、インターバルタイマモードでカウンタスタート割り込みが許可 ($OSTMnCTL.OSTMnMD0 = 1$)、 $OSTMnTTOUT$ 出力がタイマ出力トグルモードの場合 ($OSTMnTOE.OSTMnTOE = 1$) のタイミング図を示します。

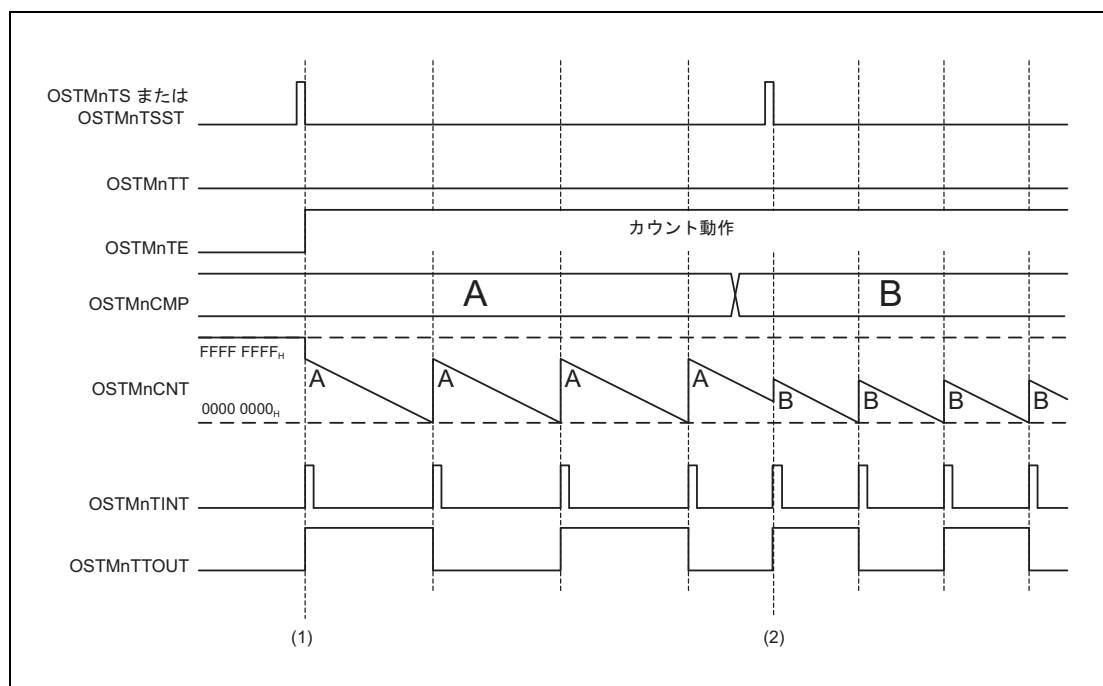


図 20.6 インターバルタイマモードの強制リスタートのタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタは、「図 20.5 インターバルタイマモードの OSTMn のタイミング図」で説明されているように動作を開始します。
- (2) カウンタは、動作している間 ($OSTMnTE.OSTMnTE = 1$) $OSTMnTS.OSTMnTS = 1$ または $OSTMnTSST = 1$ にすると、リスタートします。
カウンタは、ただちに $OSTMnCMP$ の現在値からカウントダウンを再開します。
 $OSTMnCTL.OSTMnMD0 = 1$ の場合は、カウント開始タイミングで割り込み要求 $OSTMnTINT$ が発生し、 $OSTMnTTOUT$ がトグル出力します。

20.3.6.2 OSTMnCMP = 0000 0000_H の場合の動作

OSTMnCMP = 0000 0000_H の場合に、OS タイマは次のように動作します。

- カウンタが有効な場合は、割り込み要求 OSTMnTINT は常に 1 になります。ただし、タイマ (OSTMnTTOUT) 出力は使用できません。タイマ出力トグルモードを使用し、タイマ (OSTMnTTOUT) 出力を行うとカウントクロック毎にトグル出力します。

次の図に、OSTMnCMP = 0000 0000_H であり、カウンタスタート割り込みが許可 (OSTMnCTL.OSTMnMD0 = 1)、OSTMnTTOUT 出力がタイマ出力トグルモードの場合 (OSTMnTOE.OSTMnTOE = 1) の OSTMn の動作を示します。

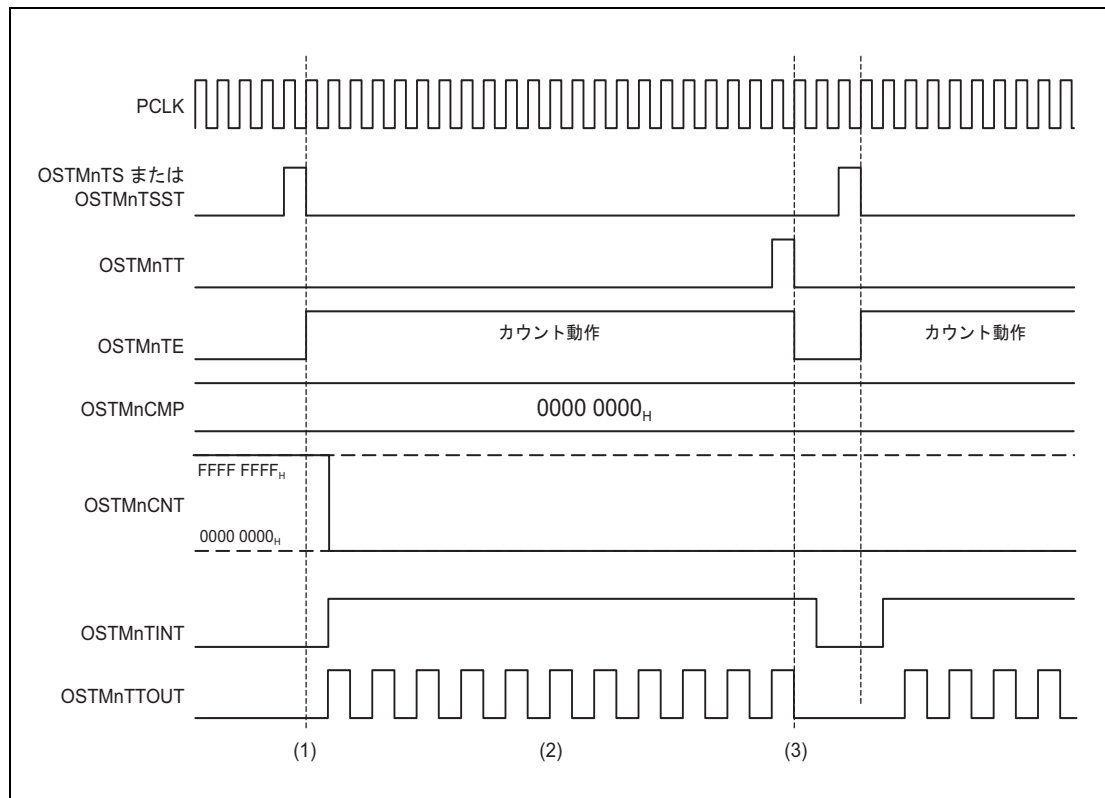


図 20.7 インターバルタイマモードで OSTMnCMP = 0000 0000_H の場合のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタはカウントを開始しますが、OSTMnCMP の値をリロードするため、0000 0000_H のままです。
- (2) 割り込み要求 OSTMnTINT が発生すると、OSTMnTTOUT がトグル出力します。(図 20.7 は、カウントクロック = PCLK のため、OSTMnTINT がハイレベル固定となります。)
- (3) カウンタが停止すると、割り込み要求 OSTMnTINT が停止し、OSTMnTTOUT 出力は、出力レベルを保持します。

カウント開始時の割り込み禁止の場合は、カウント開始時にカウントクロックの 1 クロック分発生しません。

20.3.7 フリーランニングコンペアモード

20.3.7.1 フリーランニングコンペアモードの基本動作

フリーランニングコンペアモードでは、カウンタは $0000\ 0000_H$ から $FFFF\ FFFF_H$ までカウントアップします。OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、割り込み要求 OSTMnTINT が発生します。フリーランニングコンペアモードは、OSTMnCTL.OSTMnMD1 ビット = 1 で設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。

次の図に、フリーランニングコンペアモードでカウント開始が許可 (OSTMnCTL.OSTMnMD0 = 1) OSTMnTTOUT 出力がタイマ出力トグルモードの場合 (OSTMnTOE.OSTMnTOE = 1) の OSTMn の基本動作を示します。

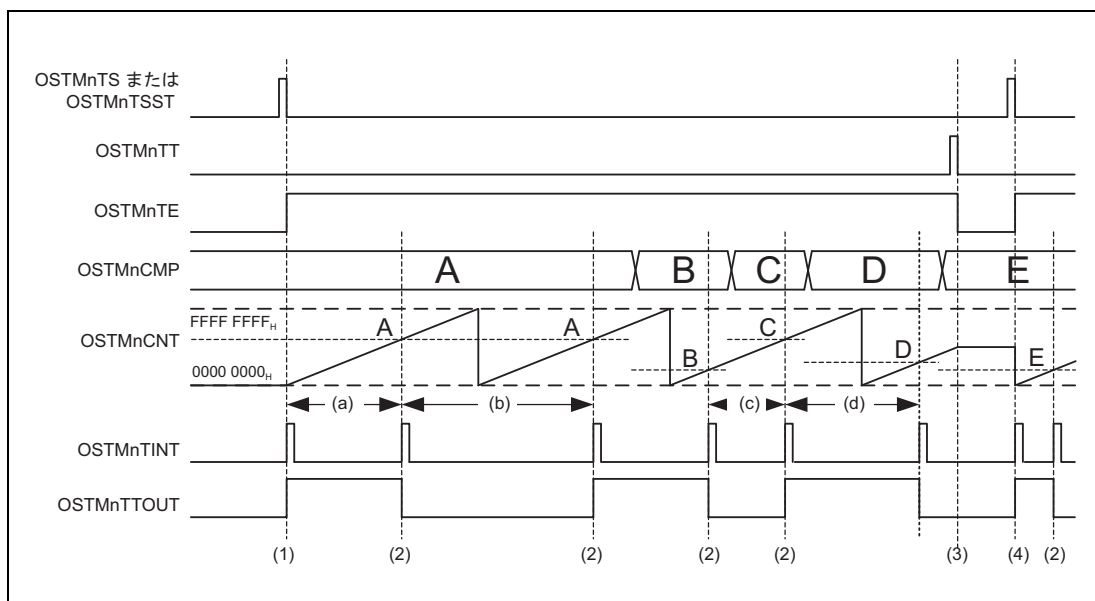


図 20.8 フリーランニングコンペアモードの OSTMn のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタは、OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを開始します。OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。カウンタは $0000\ 0000_H$ から $FFFF\ FFFF_H$ までカウントアップします。カウンタ値はレジスタ OSTMnCNT で示されます。OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMnTINT が発生します。
- (2) OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、OSTMnTINT 割り込み要求が発生し、OSTMnTTOUT がトグル出力します。
- (3) カウンタが停止すると (OSTMnTT.OSTMnTT = 1)、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。カウンタは、カウントを再開するまでその時点での値を保持します。
- (4) OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを再開すると、カウンタは $0000\ 0000_H$ からカウントを開始します。

OSTMnINT 期間

OSTMnTINT 発生期間はカウント開始時によって異なり、動作中に OSTMnCMP が書き換えられた場合は古い比較値と新しい比較値の大小関係によって変化します。

表 20.13 OSTMnTINT 発生のタイミング

| 古い比較値 | 新しい比較値 | 書き換え時のカウンタ値 | OSTMnTINT の発生期間 | タイミング図のラベル |
|--------|---------|------------------------|--|------------|
| カウント開始 | | | $(A + 1) \times$ カウントクロック期間 | (a) |
| A | A | 書き換えなし | $(FFFF\ FFFF_H + 1) \times$ カウントクロック期間 | (b) |
| B | $C > B$ | $B < \text{カウンタ値} < C$ | $(C - B) \times$ カウントクロック期間 | (c) |
| C | $D < C$ | カウンタ値 $> D, C$ | $(FFFF\ FFFF_H - C + D + 1) \times$ カウントクロック期間 | (d) |

強制リスタート

カウント動作中に OSTMnTS.OSTMnTS ビットがセットされた場合や OSTMnTSST = ハイ (同時スタート使用時) の場合でも、カウンタの強制リスタートは実行されません。カウンタは、この設定を無視してカウントを継続します。

20.3.7.2 OSTMnCMP = 0000 0000_H の場合の動作

次の図に、OSTMnCMP = 0000 0000_H であり、カウンタスタート割り込みが許可 (OSTMnCTL.OSTMnMD0 = 1) OSTMnTTOUT 出力がタイマ出力トグルモードの場合 (OSTMnTOE.OSTMnTOE = 1) の OSTMn の動作を示します。

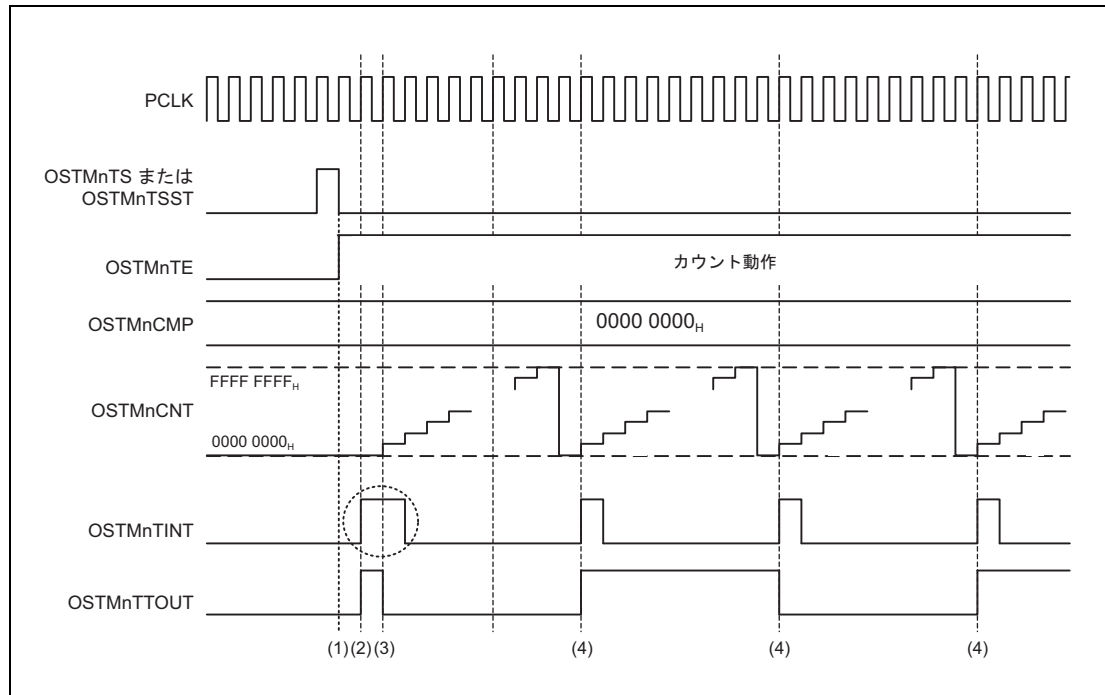


図 20.9 フリーランニングコンペアモードで OSTMnCMP = 0000 0000_H の場合のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタを開始すると、カウンタは 0000 0000_H から FFFF FFFF_H までをカウントします。
- (2) カウンタ開始時に割り込み要求 OSTMnTINT が発生し、OSTMnTTOUT がトグル出力します。
- (3) 現在のカウンタ値が OSTMnCMP と一致する場合は、割り込み要求 OSTMnTINT が発生します。上記のように OSTMnCMP = 0000 0000_H の場合、OSTMnTINT はカウンタクロック 2 クロック分発生し、OSTMnTTOUT がトグル出力します。
- (4) (FFFF FFFF_H + 1) クロックサイクルごとに、割り込み要求 OSTMnTINT が発生し、OSTMnTTOUT がトグル出力します。

カウンタ開始時の割り込み禁止の場合は、カウンタ開始時にカウンタクロックの 1 クロック分発生しません。

第21章 アドバンスドタイマユニットIV (ATU-IV)

21.1 概要

ATU-IVには次のような特長があります。

- 最大119本のパルス入出力処理が可能です。
- 200本の割り込み要因を生成可能です。これによって、汎用ダイレクトメモリアクセスコントローラ (DMAC)、あるいはCPUによる割り込み処理の起動が可能です。
- ADおよびDFEに対し、パルス出力機能を備えています (ADCに40本 (タイマC:8本、タイマD:24本、タイマG:8本)、 $\Delta\Sigma$ ADに32本 (タイマD:24本、タイマG:8本)、DFEに24本 (タイマD:24本))。
- 4チャンネルのプリスケラを内蔵しており、内部周辺クロック (PCLK) を1/1 ~ 1/1024に分周した4種類のクロックを生成可能です。
- タイマの各チャンネルは、カウントソースとして、プリスケラの生成する4つの分周クロック、2本の外部クロック、タイマBの生成するアングルクロックを選択可能です。
- タイマC、D、Eの端子出力値をRHSBクロスバーで選択し、RHSBへのデータとして出力可能です。
- タイマDとGのカウンタ値をAPA入力セクタで選択し、APAへのリファレンスデータとして出力可能です。タイマDのカウンタコンペアマッチ、カウンタアンダフロー、タイマDの端子出力信号、およびタイマGのカウンタコンペアマッチをAPAへのイベント入力として出力可能です。
- タイマAは、32ビットフリーランカウンタと、6本の32ビットインプットキャプチャレジスタを備え、次の動作が可能です。
 - 立ち上がりエッジ、立ち下がりエッジ、および両エッジの検出が可能です。
 - キャプチャタイミングでDMACを起動可能。
 - 各外部入力端子に最大0.21secのノイズキャンセル、またはアングルクロックによるノイズキャンセル機能あり。
 - 各外部入力端子の端子レベルをリードおよびキャプチャ可能。
 - キャプチャ割り込み要求、カウンタオーバフロー割り込み要求が発生可能。
 - サブブロック/チャンネル単位でのノイズキャンセルモード設定が可能。
 - ノイズキャンセル後の信号を、タイマFの外部入力端子へ送ることが可能。
- タイマBは、エッジ間計測ブロック、倍周クロック生成ブロック、倍周クロック補正ブロックの3つのブロックを持ちます。
- エッジ間計測ブロックは、32ビット入力エッジ間計測タイマ、アウトプットコンペア、インプットキャプチャレジスタ (3本)、エッジ間時間計測値記録レジスタ (6本)、エッジ間時間計測値履歴レジスタ (7本)、8ビットイベントカウンタ、アウトプットコンペアレジスタを備え、次の動作が可能です。

- 外部入力イベントのエッジ入力でキャプチャ可能。(エッジは立ち上がり/立ち下がり/両エッジを選択可能)
- 外部入力イベントのイベントコンペアマッチでキャプチャ可能。
- イベントコンペアマッチにより、イベントカウンタの自動クリアが可能。
- キャプチャ割り込み要求、コンペアマッチ割り込み要求(エッジ間計測コンペアマッチ、イベントコンペアマッチ)が発生可能。
- タイマ A からの 6 本の外部イベント入力検出でイベントカウンタ値を個別にキャプチャ可能。
- 倍周クロック生成ブロックは、24 ビットのリロードカウンタ、リロードレジスタ、20 ビット倍周クロックカウンタ、26 ビット倍周クロックカウンタ、キャプチャレジスタ、アウトプットコンペアレジスタを備え、次の動作が可能です。
 - エッジ間計測ブロックでキャプチャされた値を任意値(1 ~ 4095)でリロードカウンタ可能。
 - リロードカウンタの減算値をエッジ間計測ブロックのイベントコンペアマッチにより、変更可能。
 - リロードカウンタのアンダフローで生成した内部クロックを 20 ビット倍周クロックカウンタ、および 26 ビット倍周クロックカウンタの入力として使用可能。
 - 外部入力イベントのエッジ入力で 20 ビット倍周クロックカウンタ値のキャプチャが可能。
 - 20 ビット倍周クロックカウンタとアウトプットコンペアレジスタとのコンペアマッチ割り込み要求、および 26 ビット倍周クロックカウンタとキャプチャレジスタのコンペア割り込み要求が発生可能。
- 倍周クロック補正ブロックでは、20 ビットの補正イベントカウンタ、20 ビットの補正倍周クロックカウンタ、倍周補正クロック生成カウンタに、補正カウンタクリアレジスタを備え、次の動作が可能です。
 - 倍周クロック生成ブロックのリロードカウンタをもとに、ほかのタイマのカウンタソースとなる倍周補正クロックを出力可能。
 - 倍周補正クロック生成カウンタと補正カウンタクリアレジスタのコンペアマッチ(本機能の有効無効を選択可能)で、タイマ D のフリーランカウンタのクリアが可能。
 - エッジ間計測ブロックの外部入力イベントによるイベントコンペアマッチのタイミングで、補正イベントカウンタの自動クリアが可能。
 - 倍周補正クロック (AGCKM) に対して、追加補正を施した倍周補正クロック 2 (AGCKM2) を出力可能。
- タイマ C は、同一の機能を持つ 6 個のサブブロックによって構成されます。各サブブロックは 32 ビットのフリーランニングカウンタ 1 本と 4 本の 32 ビット汎用レジスタ、4 本の 32 ビットコンペアマッチレジスタ、および 1 本の 32 ビット上限値設定レジスタを備え、次の動作が可能です。

- インพุットキャプチャ、アウトプットコンペアの選択が可能。
 - インพุットキャプチャの検出エッジを、立ち上がり、立ち下がり、または両エッジから選択可能。
 - インพุットキャプチャとして使用したとき、タイマ A からのイベント出力 1、2A、2B のタイミングでキャプチャが可能です。
 - 各外部入力端子に最大 0.21sec のノイズキャンセル、またはアングルクロックによるノイズキャンセル機能を搭載。
 - サブブロック/チャンネル単位でのノイズキャンセルモード設定が可能。
 - コンペアマッチによって、1 出力、0 出力、またはトグル出力の波形出力が可能。
 - PWM モードで、各サブブロック 3 本の PWM 波形出力が可能です。
 - インพุットキャプチャ/コンペアマッチ割り込み、およびオーバーフロー割り込みの発生が可能です。インพุットキャプチャ/コンペアマッチ割り込みで DMAC の起動が可能です。
 - ワンショットパルスモード出力が可能です。
 - 32 ビットカウンタに対する上限値設定機能が可能です。
- タイマ D は、同一の機能を持つ 5 個のサブブロックによって構成されます。各サブブロックは、32 ビットフリーランカウンタを 2 本、オフセットベースレジスタ、出力値レジスタ、出力設定レジスタを各 1 本、および 4 本のチャンネルからなり、各チャンネルには、2 本の 32 ビットアウトプットコンペアレジスタ、2 本の範囲コンペア値設定レジスタ、2 本のインพุットキャプチャレジスタ、1 本の 32 ビットワンショットパルス出力用ダウンカウンタ、および 2 本の 32 ビット上限値設定レジスタを備えています。タイマ D は次の動作が可能です。
 - ソフトウェアによるダウンカウンタのカウント開始が可能であり、ワンショットパルスの生成が可能。
 - コンペアマッチレジスタのコンペアマッチをダウンカウンタのスタートトリガとすることができ、オフセット付きワンショットパルス生成が可能。
 - コンペアマッチレジスタでのコンペアマッチによりダウンカウントを停止させることができ、ワンショットパルス出力波形の強制遮断が可能。
 - コンペアマッチレジスタによるコンペアマッチ出力が可能。
 - 範囲コンペア値設定レジスタにより、コンペアマッチする範囲を設定可能です (範囲コンペア機能)。
 - コンペアマッチレジスタのコンペアマッチをトリガとし、インพุットキャプチャレジスタにカウント値をキャプチャすることが可能。
 - タイマ A からのトリガによりフリーランカウンタ値のキャプチャが可能。
 - タイマ B からのカウンタクリア機能を搭載。
 - コンペアマッチ割り込み要求 (40) 本、カウンタオーバーフロー割り込み要求 (10) 本、アンダフロー割り込み (20) 本が発生可能。コンペアマッチ割り込み要求の 16 本とアンダフロー割り込みの 20 本は DMAC の起動に対応。
 - AD 起動用にコンペアマッチ A、コンペアマッチ B 割り込みを示すパルス出力が可能。(A : 12 本、B : 12 本)

- 出力波形の反転切り替えが可能。
- 出力設定レジスタにより、出力値レジスタに設定されている値を各端子から出力可能。
- タイマ D のカウンタコンペアマッチ、カウンタアンダフロー、タイマ D の端子出力信号を APA へのイベント出力として出力可能。(サブブロック 0)
- フリーランカウンタのカウント値を APA へのリファレンスデータとして出力可能。(サブブロック 0)
- 32 ビットカウンタに対する上限値設定機能が可能です。
- タイマ E は、同一の機能を持つ 7 個のサブブロックによって構成され、各サブブロックはさらに 4 つのチャンネルによって構成されます。各チャンネルは、24 ビットフリーランカウンタ、デューティレジスタ、サイクルレジスタ、デューティリロードレジスタ、および、サイクルリロードレジスタを備え、次の動作が可能です。
 - 周期と、デューティ 0 ~ 100% を任意に設定した PWM 出力が可能です。
 - オンデューティとオフデューティを切り替え可能です。
 - デューティリロードレジスタ/サイクルリロードレジスタの値を周期ごとに、デューティレジスタ/サイクルレジスタに転送することができます。
 - カウンタの上位 24 ビットへの 000 000_H 書き込みによって PWM サイクルを強制的に終了し、新たな PWM サイクルを開始できます。
 - シャットオフ入力により、PWM 出力を遮断することが可能です。
 - 周期ごとにサイクルマッチとデューティマッチ兼用で割り込み要求 28 本を出力可能です。(各サブブロックのチャンネル 0 はサイクルマッチによる DMAC 起動対応)
- タイマ F は、12 個のサブブロックによって構成されます。各サブブロックは、2 本の 32 ビットカウンタと、1 本の 16 ビットカウンタ、3 本 (全サブブロック 3 本) の 32 ビット汎用レジスタ、1 本の 16 ビット汎用レジスタを備え、次の動作が可能です。
 - 立ち上がりエッジ、立ち下がりエッジ、および両エッジの検出が可能。
 - タイマ A の TIA00 ~ 05 のノイズキャンセル後の信号を外部入力として使用できます。
 - 外部入力端子に最大 0.21sec のノイズキャンセル、またはアングルクロックによるノイズキャンセル機能あり。
 - サブブロック/チャンネル単位でのノイズキャンセルモード設定が可能。
 - 7 つの動作モードを持ち、一定時間内入力エッジカウント、有効エッジ入力間隔、入力 High/Low 期間の計測、PWM 入力波形計測、回転速度/パルス計測、およびアップ/ダウンカウント、4 通倍イベントカウントが可能。
 - インプットキャプチャ割り込み要求によって DMAC を起動可能。
 - オーバフロー割り込み発生可能。
 - PWM 入力波形計測モード、回転速度/パルス計測モード時はコンペアマッチで割り込み要求を発生可能。
 - チャンネル単位でのノイズキャンセルモード設定が可能。
- タイマ G は、同一の機能を持つ 8 個のサブブロックによって構成されます。各サブブロックは、32 ビットフリーランカウンタ、アウトプットコンペアレジスタを備え、次の動作が可能です。
 - コンペアマッチをトリガにイベント出力可能であり、AD 起動/割り込み要求トリガ、APA へのイベント出力として使用可能。

- コンペアマッチ割り込み要求で DMAC を起動可能。
- フリーランカウンタのカウンタ値を APA へのリファレンスデータとして出力可能。
(サブブロック 0)
- タイマ H は、1 組の 16 ビットカウンタと 16 ビットコンペアマッチレジスタ、および 1 本の 32 ビットカウンタからなるタイマです。次の動作が可能です。
 - 16 ビットカウンタと 16 ビットコンペアマッチレジスタにより、周辺内部クロック (PCLK) の $1 \sim 2^{26}$ 倍の時間計測が可能。またコンペアマッチ割り込みとして出力可能。
 - コンペアマッチ発生回数をカウントする 32 ビットカウンタ搭載。
- タイマ J は、同一の機能を持つ 4 個のサブブロックによって構成されます。各サブブロックは、32 ビットカウンタ、アウトプットコンペアレジスタ、9 段の FIFO レジスタを備え、次の動作が可能です。
 - 立ち上がりエッジ、立ち下がりエッジ、および両エッジの検出が可能。
 - 各外部入力端子に最大 0.21sec のノイズキャンセル、またはアングルクロックによるノイズキャンセル機能あり。
 - サブブロック単位でのノイズキャンセルモード設定が可能。
 - 外部入力端子のエッジ検出時に、FIFO レジスタにカウンタ値 (エッジ入力間隔) をキャプチャ可能。
 - FIFO フルとなったタイミングで DMAC を起動可能。
 - コンペアマッチレジスタを用いて FIFO へのキャプチャ有効期間を制御可能。
 - FIFO フル割り込み要求、カウンタオーバフロー、FIFO オーバフロー割り込み要求発生可能。

21.1.1 ATU-IV の構成

ATU-IV は、タイマ A からタイマ J の 9 種類のタイマブロックと、プリスケータ、および共通制御部から構成されています。これらのタイマブロックは、それぞれが異なる機能を備えており、互いに独立して動作することができます。また、クロックバスを介して複数のタイマを連動して動作させることもできます。タイマブロックは、同一の機能を持った 1 個以上のタイマサブブロックによって構成され、各サブブロックはさらに 1 個以上のチャンネルを備えています（「表 21.1 ATU-IV のブロック構成」、「21.1.2 ATU-IV 関連レジスタ」参照）。

表 21.1 ATU-IV のブロック構成

| モジュール名 | ブロック名 | | 備考 |
|---------------------|---------------------|---|--|
| | サブブロック名 | | |
| ATU-IV | 共通制御部 | | |
| | プリスケータ | チャンネル 0 | 総チャンネル数 : 4 |
| | | ... | |
| | | チャンネル 3 | |
| | タイマ A | チャンネル 0 | 総チャンネル数 : 6 |
| | | ... | |
| | | チャンネル 5 | |
| | タイマ B | | 総チャンネル数 : 1 |
| | タイマ C | タイマ C0 | 総チャンネル数 : 24 サブブロック数 : 6 チャンネル数/サブブロック : 4 |
| | | チャンネル 0 | |
| | | ... | |
| | | チャンネル 3 | |
| | タイマ C1 ~ C5 (詳細は省略) | | |
| | タイマ D | タイマ D0 | 総チャンネル数 : 20 サブブロック数 : 5 チャンネル数/サブブロック : 4 |
| | | チャンネル 0 | |
| | | ... | |
| | | チャンネル 3 | |
| | タイマ D1 ~ D4 (詳細は省略) | | |
| | タイマ E | タイマ E0 | 総チャンネル数 : 28 サブブロック数 : 7 チャンネル数/サブブロック : 4 |
| | | チャンネル 0 | |
| ... | | | |
| チャンネル 3 | | | |
| タイマ E1 ~ E6 (詳細は省略) | | | |
| タイマ F | タイマ F0 | 総チャンネル数 : 12 サブブロック数 : 12 チャンネル数/サブブロック : 1 | |
| | ... | | |
| | タイマ F11 | | |
| タイマ G | タイマ G0 | 総チャンネル数 : 8 サブブロック数 : 8 チャンネル数/サブブロック : 1 | |
| | ... | | |
| | タイマ G7 | | |
| タイマ H | | 総チャンネル数 : 1 | |
| タイマ J | タイマ J0 | 総チャンネル数 : 4 サブブロック数 : 4 チャンネル数/サブブロック : 1 | |
| | ... | | |
| | タイマ J1 ~ J3 | | |

21.1.2 ATU-IV 関連レジスタ

レジスタ アクセスに関して、次の点に注意してください。

1. 予約ビットへの書き込み動作では、必ず“0”をライトしてください。
2. レジスタによりレジスタライト時のアクセスサイズに制限があります。レジスタビット幅より小さいビット幅でのライトアクセス時にはご注意ください。詳細は各レジスタの説明を参照ください。

ATU-IV レジスタのアドレス配置は以下のとおりです。

共通制御部関連レジスタ (FFE6 0000_H ~ FFE6 007F_H)

| 番地 | b31 +3 番地 b24 | b23 +2 番地 b16 | b15 +1 番地 b8 | b7 +0 番地 b0 | 掲載ページ |
|------------------------|---------------|---------------|--------------|-------------|--------|
| FFE6 0000 _H | NCMR | CBCNT | ATUENR | | ATU-IV |
| FFE6 0004 _H | (使用禁止領域) | | | | |
| FFE6 0008 _H | (使用禁止領域) | | | | |
| FFE6 000C _H | (使用禁止領域) | | | | |
| ~ | | | | | |
| FFE6 007C _H | | | | | |

プリスケラ関連レジスタ (FFE6 0080_H ~ FFE6 00BF_H)

| 番地 | b31 +3 番地 b24 | b23 +2 番地 b16 | b15 +1 番地 b8 | b7 +0 番地 b0 | 掲載ページ |
|------------------------|---------------|---------------|--------------|-------------|-------|
| FFE6 0080 _H | (使用禁止領域) | | PSCR0 | | PSC |
| FFE6 0084 _H | (使用禁止領域) | | PSCR1 | | |
| FFE6 0088 _H | (使用禁止領域) | | PSCR2 | | |
| FFE6 008C _H | (使用禁止領域) | | PSCR3 | | |
| FFE6 0090 _H | (使用禁止領域) | | | | |
| FFE6 0094 _H | (使用禁止領域) | | | | |
| FFE6 0098 _H | (使用禁止領域) | | | | PSC |
| ~ | | | | | |
| FFE6 00BC _H | | | | | |

DMA/AD 要求自動切り替え関連レジスタ (FFE6 00C0_H ~ FFE6 00FF_H)

| 番地 | b31 +3 番地 b24 | b23 +2 番地 b16 | b15 +1 番地 b8 | b7 +0 番地 b0 | 掲載ページ |
|------------------------|---------------|---------------|--------------|-------------|-------|
| FFE6 00C0 _H | (使用禁止領域) | | | TRGSRDMA0 | |
| FFE6 00C4 _H | (使用禁止領域) | TRGSELDMA01 | (使用禁止領域) | TRGSELDMA00 | |
| FFE6 00C8 _H | (使用禁止領域) | | | TRGSELAD | |
| FFE6 00CC _H | (使用禁止領域) | | | | |
| FFE6 00D0 _H | (使用禁止領域) | | | TRGSRDMA1 | |
| FFE6 00D4 _H | (使用禁止領域) | TRGSELDMA11 | (使用禁止領域) | TRGSELDMA10 | |
| FFE6 00D8 _H | (使用禁止領域) | | | | |
| ~ | | | | | |
| FFE6 00F8 _H | | | | | |
| FFE6 00FC _H | (使用禁止領域) | | | | |

タイマ A 関連レジスタ (FFE6 0200_H ~ FFE6 03FF_H)

| 番地 | b31 +3 番地 b24 | b23 +2 番地 b16 | b15 +1 番地 b8 | b7 +0 番地 b0 | 掲載 ページ |
|------------------------|---------------|---------------|--------------|-------------|-----------|
| FFE6 0200 _H | (使用禁止領域) | TCR2A | (使用禁止領域) | TCR1A | |
| FFE6 0204 _H | (使用禁止領域) | TCR4A | (使用禁止領域) | TCR3A | |
| FFE6 0208 _H | (使用禁止領域) | TSCRA | (使用禁止領域) | TSRA | |
| FFE6 020C _H | (使用禁止領域) | NCMCR2A | (使用禁止領域) | NCMCR1A | |
| FFE6 0210 _H | (使用禁止領域) | | TIOR1A | | |
| FFE6 0214 _H | TIOR2A | | | | |
| FFE6 0218 _H | (使用禁止領域) | TILCRA | (使用禁止領域) | TILRA | |
| FFE6 021C _H | (使用禁止領域) | | | | |
| FFE6 0220 _H | TCNTA | | | | |
| FFE6 0224 _H | (使用禁止領域) | | | | |
| ~ | | | | | |
| FFE6 023C _H | (使用禁止領域) | | | | |
| FFE6 0240 _H | ICRA0 | | | | |
| FFE6 0244 _H | NCRA0 | | NCNTA0 | | |
| FFE6 0248 _H | (使用禁止領域) | | | | |
| ~ | | | | | |
| FFE6 025C _H | (使用禁止領域) | | | | |
| FFE6 0260 _H | ICRA1 | | | | |
| FFE6 0264 _H | NCRA1 | | NCNTA1 | | |
| FFE6 0268 _H | (使用禁止領域) | | | | |
| ~ | | | | | |
| FFE6 027C _H | (使用禁止領域) | | | | |
| FFE6 0280 _H | ICRA2 | | | | |
| FFE6 0284 _H | NCRA2 | | NCNTA2 | | |
| FFE6 0288 _H | (使用禁止領域) | | | | |
| ~ | | | | | |
| FFE6 029C _H | (使用禁止領域) | | | | |
| FFE6 02A0 _H | ICRA3 | | | | |
| FFE6 02A4 _H | NCRA3 | | NCNTA3 | | |
| FFE6 02A8 _H | (使用禁止領域) | | | | |
| ~ | | | | | |
| FFE6 02BC _H | (使用禁止領域) | | | | |
| FFE6 02C0 _H | ICRA4 | | | | |
| FFE6 02C4 _H | NCRA4 | | NCNTA4 | | |
| FFE6 02C8 _H | (使用禁止領域) | | | | |
| ~ | | | | | |
| FFE6 02DC _H | (使用禁止領域) | | | | |
| FFE6 02E0 _H | ICRA5 | | | | |
| FFE6 02E4 _H | NCRA5 | | NCNTA5 | | |
| FFE6 02E8 _H | (使用禁止領域) | | | | |
| ~ | | | | | |
| FFE6 02FC _H | (使用禁止領域) | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|-----|-------|-----|-----|-------|----|----|-------|----|-----------|
| FFE6 0300 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 03FC _H | | | | | | | | | | | | | |

タイマ B 関連レジスタ (FFE6 0400_H ~ FFE6 05FF_H)

| 番地 | b31 +3 番地 b24 | b23 +2 番地 b16 | b15 +1 番地 b8 | b7 +0 番地 b0 | 掲載ページ |
|------------------------|---------------|---------------|--------------|-------------|-------|
| FFE6 0400 _H | (使用禁止領域) | TIORB | (使用禁止領域) | TCRB | |
| FFE6 0404 _H | TSCRb | | TSRB | | |
| FFE6 0408 _H | (使用禁止領域) | | | TICRB | |
| FFE6 040C _H | (使用禁止領域) | | | | |
| ~ | | | | | |
| FFE6 0478 _H | (使用禁止領域) | | | | |
| FFE6 047C _H | (使用禁止領域) | | | | |
| FFE6 0480 _H | TCNTB0 | | | | |
| FFE6 0484 _H | ICRB0 | | | | |
| FFE6 0488 _H | RECRB1 | | | | |
| FFE6 048C _H | RECRB2 | | | | |
| FFE6 0490 _H | RECRB3 | | | | |
| FFE6 0494 _H | RECRB4 | | | | |
| FFE6 0498 _H | RECRB5 | | | | |
| FFE6 049C _H | RECRB6 | | | | |
| FFE6 04A0 _H | RBURB0 | | | | |
| FFE6 04A4 _H | RBURB1 | | | | |
| FFE6 04A8 _H | RBURB2 | | | | |
| FFE6 04AC _H | RBURB3 | | | | |
| FFE6 04B0 _H | RBURB4 | | | | |
| FFE6 04B4 _H | RBURB5 | | | | |
| FFE6 04B8 _H | RBURB6 | | | | |
| FFE6 04BC _H | OCRB0 | | | | |
| FFE6 04C0 _H | (使用禁止領域) | | | | |
| FFE6 04C4 _H | (使用禁止領域) | OCRB1 | (使用禁止領域) | TCNTB1 | |
| FFE6 04C8 _H | (使用禁止領域) | OCRB11 | (使用禁止領域) | OCRB10 | |
| FFE6 04CC _H | (使用禁止領域) | | | OCRB12 | |
| FFE6 04D0 _H | ICRB1 | | | | |
| FFE6 04D4 _H | ICRB2 | | | | |
| FFE6 04D8 _H | ICRB33 | ICRB32 | ICRB31 | ICRB30 | |
| FFE6 04DC _H | | ICRB36 | ICRB35 | ICRB34 | |
| FFE6 04E0 _H | (使用禁止領域) | | | | |
| ~ | | | | | |
| FFE6 04FC _H | | | | | |
| FFE6 0500 _H | LDB | | | | |
| FFE6 0504 _H | RLDB | | | | |
| FFE6 0508 _H | TCNTB2 | | | | |
| FFE6 050C _H | PIMR2 | | PIMR1 | | |
| FFE6 0510 _H | TCNTB6 | | | | |
| FFE6 0514 _H | ICRB6 | | | | |
| FFE6 0518 _H | (使用禁止領域) | | | RARB6 | |
| FFE6 051C _H | TCNTB6M | | | | |
| FFE6 0520 _H | OCRB6 | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|----------|-----|----------|----------|-----|---------|---------|----|---------|-------|----|-----------|
| FFE6 0524 _H | OCRB7 | | | | | | | | | | | | |
| FFE6 0528 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 053C _H | | | | | | | | | | | | | |
| FFE6 0540 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 057C _H | | | | | | | | | | | | | |
| FFE6 0580 _H | TCNTB3 | | | | | | | | | | | | |
| FFE6 0584 _H | TCNTB4 | | | | | | | | | | | | |
| FFE6 0588 _H | TCNTB5 | | | | | | | | | | | | |
| FFE6 058C _H | (使用禁止領域) | TCCLFCRB | | | TCCLFSRB | | | TCCLFRB | | | | | |
| FFE6 0590 _H | TCCLRБ | | | | | | | | | | | | |
| FFE6 0594 _H | OCRB8 | | | | | | | | | | | | |
| FFE6 0598 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 059C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 05A0 _H | | | | ACRSTRB | | | ACRCLRB | | | ACRTRGB | | | |
| FFE6 05A4 _H | | | | ACRVALRB | | | | | | | | | |
| FFE6 05A8 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 05FC _H | | | | | | | | | | | | | |

タイマ C 関連レジスタ (FFE6 0600_H ~ FFE6 0A1F_H)

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|--------|-------|-----|----------|-------|----|--------|-------|------|-----------|
| FFE6 0600 _H | (使用禁止領域) | | | | | | | | | TSTRC | | C 共通 | |
| FFE6 0604 _H | NCCRC3 | | | NCCRC2 | | | NCCRC1 | | | NCCRC0 | | | |
| FFE6 0608 _H | (使用禁止領域) | | | | | | NCCRC5 | | | NCCRC4 | | | |
| FFE6 060C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 0610 _H | NCMCR2C | | | | | | NCMCR1C | | | | | | |
| FFE6 0614 _H | | | | | | | | | | | | | |
| FFE6 0618 _H | | | | | | | | | | | | | |
| FFE6 061C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 0620 _H | TSCRC0 | | | | | | (使用禁止領域) | | | | | | C0 |
| FFE6 0624 _H | TSRC0 | | | | | | TCRC0 | | | | | | |
| FFE6 0628 _H | (使用禁止領域) | | | | | | TIORC0 | | | | | | |
| FFE6 062C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 0630 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 0634 _H | (使用禁止領域) | | | | | | TIERC0 | | | | | | |
| FFE6 0638 _H | TCNTC0 | | | | | | | | | | | | |
| FFE6 063C _H | CUCRC0 | | | | | | | | | | | | |
| FFE6 0640 _H | GRC00 | | | | | | | | | | | | |
| FFE6 0644 _H | GRC01 | | | | | | | | | | | | |
| FFE6 0648 _H | GRC02 | | | | | | | | | | | | |
| FFE6 064C _H | GRC03 | | | | | | | | | | | | |
| FFE6 0650 _H | OCRC00 | | | | | | | | | | | | |
| FFE6 0654 _H | OCRC01 | | | | | | | | | | | | |
| FFE6 0658 _H | OCRC02 | | | | | | | | | | | | |
| FFE6 065C _H | OCRC03 | | | | | | | | | | | | |
| FFE6 0660 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 066C _H | | | | | | | | | | | | | |
| FFE6 0670 _H | NCRC00 | | | | | | NCNTC00 | | | | | | |
| FFE6 0674 _H | NCRC01 | | | | | | NCNTC01 | | | | | | |
| FFE6 0678 _H | NCRC02 | | | | | | NCNTC02 | | | | | | |
| FFE6 067C _H | NCRC03 | | | | | | NCNTC03 | | | | | | |
| FFE6 0680 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 069C _H | | | | | | | | | | | | | |
| FFE6 06A0 _H | TSCRC1 | | | | | | (使用禁止領域) | | | | | | C1 |
| FFE6 06A4 _H | TSRC1 | | | | | | TCRC1 | | | | | | |
| FFE6 06A8 _H | (使用禁止領域) | | | | | | TIORC1 | | | | | | |
| FFE6 06AC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 06B0 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 06B4 _H | (使用禁止領域) | | | | | | TIERC1 | | | | | | |
| FFE6 06B8 _H | TCNTC1 | | | | | | | | | | | | |
| FFE6 06BC _H | CUCRC1 | | | | | | | | | | | | |
| FFE6 06C0 _H | GRC10 | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|-----|-------|-----|----------|-------|----|----|-------|----|-----------|
| FFE6 06C4 _H | GRC11 | | | | | | | | | | | | |
| FFE6 06C8 _H | GRC12 | | | | | | | | | | | | |
| FFE6 06CC _H | GRC13 | | | | | | | | | | | | |
| FFE6 06D0 _H | OCRC10 | | | | | | | | | | | | |
| FFE6 06D4 _H | OCRC11 | | | | | | | | | | | | |
| FFE6 06D8 _H | OCRC12 | | | | | | | | | | | | |
| FFE6 06DC _H | OCRC13 | | | | | | | | | | | | |
| FFE6 06E0 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 06EC _H | | | | | | | | | | | | | |
| FFE6 06F0 _H | NCRC10 | | | | | | NCNTC10 | | | | | | |
| FFE6 06F4 _H | NCRC11 | | | | | | NCNTC11 | | | | | | |
| FFE6 06F8 _H | NCRC12 | | | | | | NCNTC12 | | | | | | |
| FFE6 06FC _H | NCRC13 | | | | | | NCNTC13 | | | | | | |
| FFE6 0700 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 071C _H | | | | | | | | | | | | | |
| FFE6 0720 _H | TSCRC2 | | | | | | (使用禁止領域) | | | C2 | | | |
| FFE6 0724 _H | TSRC2 | | | | | | TCRC2 | | | | | | |
| FFE6 0728 _H | (使用禁止領域) | | | | | | TIORC2 | | | | | | |
| FFE6 072C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 0730 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 0734 _H | (使用禁止領域) | | | | | | TIERC2 | | | | | | |
| FFE6 0738 _H | TCNTC2 | | | | | | | | | | | | |
| FFE6 073C _H | CUCRC2 | | | | | | | | | | | | |
| FFE6 0740 _H | GRC20 | | | | | | | | | | | | |
| FFE6 0744 _H | GRC21 | | | | | | | | | | | | |
| FFE6 0748 _H | GRC22 | | | | | | | | | | | | |
| FFE6 074C _H | GRC23 | | | | | | | | | | | | |
| FFE6 0750 _H | OCRC20 | | | | | | | | | | | | |
| FFE6 0754 _H | OCRC21 | | | | | | | | | | | | |
| FFE6 0758 _H | OCRC22 | | | | | | | | | | | | |
| FFE6 075C _H | OCRC23 | | | | | | | | | | | | |
| FFE6 0760 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 076C _H | | | | | | | | | | | | | |
| FFE6 0770 _H | NCRC20 | | | | | | NCNTC20 | | | | | | |
| FFE6 0774 _H | NCRC21 | | | | | | NCNTC21 | | | | | | |
| FFE6 0778 _H | NCRC22 | | | | | | NCNTC22 | | | | | | |
| FFE6 077C _H | NCRC23 | | | | | | NCNTC23 | | | | | | |
| FFE6 0780 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 079C _H | | | | | | | | | | | | | |
| FFE6 07A0 _H | TSCRC3 | | | | | | (使用禁止領域) | | | C3 | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|-----|-------|-----|----------|-------|----|----|-------|----|-----------|
| FFE6 07A4 _H | TSRC3 | | | | | | TCRC3 | | | | | | |
| FFE6 07A8 _H | (使用禁止領域) | | | | | | TIORC3 | | | | | | |
| FFE6 07AC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 07B0 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 07B4 _H | (使用禁止領域) | | | | | | TIERC3 | | | | | | |
| FFE6 07B8 _H | TCNTC3 | | | | | | | | | | | | |
| FFE6 07BC _H | CUCRC3 | | | | | | | | | | | | |
| FFE6 07C0 _H | GRC30 | | | | | | | | | | | | |
| FFE6 07C4 _H | GRC31 | | | | | | | | | | | | |
| FFE6 07C8 _H | GRC32 | | | | | | | | | | | | |
| FFE6 07CC _H | GRC33 | | | | | | | | | | | | |
| FFE6 07D0 _H | OCRC30 | | | | | | | | | | | | |
| FFE6 07D4 _H | OCRC31 | | | | | | | | | | | | |
| FFE6 07D8 _H | OCRC32 | | | | | | | | | | | | |
| FFE6 07DC _H | OCRC33 | | | | | | | | | | | | |
| FFE6 07E0 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 07EC _H | | | | | | | | | | | | | |
| FFE6 07F0 _H | NCRC30 | | | | | | NCNTC30 | | | | | | |
| FFE6 07F4 _H | NCRC31 | | | | | | NCNTC31 | | | | | | |
| FFE6 07F8 _H | NCRC32 | | | | | | NCNTC32 | | | | | | |
| FFE6 07FC _H | NCRC33 | | | | | | NCNTC33 | | | | | | |
| FFE6 0800 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 081C _H | | | | | | | | | | | | | |
| FFE6 0820 _H | TSCRC4 | | | | | | (使用禁止領域) | | | | | | C4 |
| FFE6 0824 _H | TSRC4 | | | | | | TCRC4 | | | | | | |
| FFE6 0828 _H | (使用禁止領域) | | | | | | TIORC4 | | | | | | |
| FFE6 082C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 0830 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 0834 _H | (使用禁止領域) | | | | | | TIERC4 | | | | | | |
| FFE6 0838 _H | TCNTC4 | | | | | | | | | | | | |
| FFE6 083C _H | CUCRC4 | | | | | | | | | | | | |
| FFE6 0840 _H | GRC40 | | | | | | | | | | | | |
| FFE6 0844 _H | GRC41 | | | | | | | | | | | | |
| FFE6 0848 _H | GRC42 | | | | | | | | | | | | |
| FFE6 084C _H | GRC43 | | | | | | | | | | | | |
| FFE6 0850 _H | OCRC40 | | | | | | | | | | | | |
| FFE6 0854 _H | OCRC41 | | | | | | | | | | | | |
| FFE6 0858 _H | OCRC42 | | | | | | | | | | | | |
| FFE6 085C _H | OCRC43 | | | | | | | | | | | | |
| FFE6 0860 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 086C _H | | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|----------|-------|-----|----------|-------|----|----|-------|----|-----------|
| FFE6 0870 _H | NCRC40 | | | NCNTC40 | | | NCNTC40 | | | | | | |
| FFE6 0874 _H | NCRC41 | | | NCNTC41 | | | NCNTC41 | | | | | | |
| FFE6 0878 _H | NCRC42 | | | NCNTC42 | | | NCNTC42 | | | | | | |
| FFE6 087C _H | NCRC43 | | | NCNTC43 | | | NCNTC43 | | | | | | |
| FFE6 0880 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 089C _H | | | | | | | | | | | | | |
| FFE6 08A0 _H | TSCRC5 | | | (使用禁止領域) | | | (使用禁止領域) | | | C5 | | | |
| FFE6 08A4 _H | TSRC5 | | | TCRC5 | | | TCRC5 | | | | | | |
| FFE6 08A8 _H | (使用禁止領域) | | | TIORC5 | | | TIORC5 | | | | | | |
| FFE6 08AC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 08B0 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 08B4 _H | (使用禁止領域) | | | TIERC5 | | | TIERC5 | | | | | | |
| FFE6 08B8 _H | TCNTC5 | | | TCNTC5 | | | TCNTC5 | | | | | | |
| FFE6 08BC _H | CUCRC5 | | | CUCRC5 | | | CUCRC5 | | | | | | |
| FFE6 08C0 _H | GRC50 | | | GRC50 | | | GRC50 | | | | | | |
| FFE6 08C4 _H | GRC51 | | | GRC51 | | | GRC51 | | | | | | |
| FFE6 08C8 _H | GRC52 | | | GRC52 | | | GRC52 | | | | | | |
| FFE6 08CC _H | GRC53 | | | GRC53 | | | GRC53 | | | | | | |
| FFE6 08D0 _H | OCRC50 | | | OCRC50 | | | OCRC50 | | | | | | |
| FFE6 08D4 _H | OCRC51 | | | OCRC51 | | | OCRC51 | | | | | | |
| FFE6 08D8 _H | OCRC52 | | | OCRC52 | | | OCRC52 | | | | | | |
| FFE6 08DC _H | OCRC53 | | | OCRC53 | | | OCRC53 | | | | | | |
| FFE6 08E0 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 08EC _H | | | | | | | | | | | | | |
| FFE6 08F0 _H | NCRC50 | | | NCNTC50 | | | NCNTC50 | | | | | | |
| FFE6 08F4 _H | NCRC51 | | | NCNTC51 | | | NCNTC51 | | | | | | |
| FFE6 08F8 _H | NCRC52 | | | NCNTC52 | | | NCNTC52 | | | | | | |
| FFE6 08FC _H | NCRC53 | | | NCNTC53 | | | NCNTC53 | | | | | | |
| FFE6 0900 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 0A1C _H | | | | | | | | | | | | | |

タイマ D 関連レジスタ (FFE6 1000_H ~ FFE6 1FFC_H)

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|--------|-------|-----|-----------|-------|----|--------|-------|----|-----------|
| FFE6 1000 _H | (使用禁止領域) | | | | | | TSTRD | | | | | | D 共通 |
| FFE6 1004 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 10F8 _H | | | | | | | | | | | | | |
| FFE6 10FC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1100 _H | DCRD0 | | | | | | TCRD0 | | | | | | D0 |
| FFE6 1104 _H | TIOR2D0 | | | | | | TIOR1D0 | | | | | | |
| FFE6 1108 _H | DSR2D0 | | | DSR1D0 | | | DSCRD0 | | | DSTRD0 | | | |
| FFE6 110C _H | TSCRD0 | | | | | | TSRD0 | | | | | | |
| FFE6 1110 _H | (使用禁止領域) | | | ODRD0 | | | OSELRD0 | | | TOCRD0 | | | |
| FFE6 1114 _H | (使用禁止領域) | | | | | | TICTSELD0 | | | | | | |
| FFE6 1118 _H | OSBRD0 | | | | | | | | | | | | |
| FFE6 111C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1120 _H | TCNT1D0 | | | | | | | | | | | | |
| FFE6 1124 _H | TCNT2D0 | | | | | | | | | | | | |
| FFE6 1128 _H | CUCR1D0 | | | | | | | | | | | | |
| FFE6 112C _H | CUCR2D0 | | | | | | | | | | | | |
| FFE6 1130 _H | (使用禁止領域) | | | | | | RCR1D0 | | | | | | |
| FFE6 1134 _H | (使用禁止領域) | | | | | | RCR2D0 | | | | | | |
| FFE6 1138 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 113C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1140 _H | OCR1D00 | | | | | | | | | | | | |
| FFE6 1144 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1148 _H | OCR2D00 | | | | | | | | | | | | |
| FFE6 114C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1150 _H | ICR1D00 | | | | | | | | | | | | |
| FFE6 1154 _H | ICR2D00 | | | | | | | | | | | | |
| FFE6 1158 _H | DCNTD00 | | | | | | | | | | | | |
| FFE6 115C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1160 _H | OCR1D01 | | | | | | | | | | | | |
| FFE6 1164 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1168 _H | OCR2D01 | | | | | | | | | | | | |
| FFE6 116C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1170 _H | ICR1D01 | | | | | | | | | | | | |
| FFE6 1174 _H | ICR2D01 | | | | | | | | | | | | |
| FFE6 1178 _H | DCNTD01 | | | | | | | | | | | | |
| FFE6 117C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1180 _H | OCR1D02 | | | | | | | | | | | | |
| FFE6 1184 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1188 _H | OCR2D02 | | | | | | | | | | | | |
| FFE6 118C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1190 _H | ICR1D02 | | | | | | | | | | | | |
| FFE6 1194 _H | ICR2D02 | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|--------|-------|-----|---------|-------|----|-----------|-------|----|-----------|
| FFE6 1198 _H | DCNTD02 | | | | | | | | | | | | |
| FFE6 119C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 11A0 _H | OCR1D03 | | | | | | | | | | | | |
| FFE6 11A4 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 11A8 _H | OCR2D03 | | | | | | | | | | | | |
| FFE6 11AC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 11B0 _H | ICR1D03 | | | | | | | | | | | | |
| FFE6 11B4 _H | ICR2D03 | | | | | | | | | | | | |
| FFE6 11B8 _H | DCNTD03 | | | | | | | | | | | | |
| FFE6 11BC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 11C0 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 11FC _H | | | | | | | | | | | | | |
| FFE6 1200 _H | DCRD1 | | | | | | TCRD1 | | | | | | D1 |
| FFE6 1204 _H | TIOR2D1 | | | | | | TIOR1D1 | | | | | | |
| FFE6 1208 _H | DSR2D1 | | | DSR1D1 | | | DSCRD1 | | | DSTRD1 | | | |
| FFE6 120C _H | TSCRD1 | | | | | | TSRD1 | | | | | | |
| FFE6 1210 _H | (使用禁止領域) | | | ODRD1 | | | OSELRD1 | | | TOCRD1 | | | |
| FFE6 1214 _H | (使用禁止領域) | | | | | | | | | TICTSELD1 | | | |
| FFE6 1218 _H | OSBRD1 | | | | | | | | | | | | |
| FFE6 121C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1220 _H | TCNT1D1 | | | | | | | | | | | | |
| FFE6 1224 _H | TCNT2D1 | | | | | | | | | | | | |
| FFE6 1228 _H | CUCR1D1 | | | | | | | | | | | | |
| FFE6 122C _H | CUCR2D1 | | | | | | | | | | | | |
| FFE6 1230 _H | (使用禁止領域) | | | | | | | | | RCR1D1 | | | |
| FFE6 1234 _H | (使用禁止領域) | | | | | | | | | RCR2D1 | | | |
| FFE6 1238 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 123C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1240 _H | OCR1D10 | | | | | | | | | | | | |
| FFE6 1244 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1248 _H | OCR2D10 | | | | | | | | | | | | |
| FFE6 124C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1250 _H | ICR1D10 | | | | | | | | | | | | |
| FFE6 1254 _H | ICR2D10 | | | | | | | | | | | | |
| FFE6 1258 _H | DCNTD10 | | | | | | | | | | | | |
| FFE6 125C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1260 _H | OCR1D11 | | | | | | | | | | | | |
| FFE6 1264 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1268 _H | OCR2D11 | | | | | | | | | | | | |
| FFE6 126C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1270 _H | ICR1D11 | | | | | | | | | | | | |
| FFE6 1274 _H | ICR2D11 | | | | | | | | | | | | |
| FFE6 1278 _H | DCNTD11 | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|--------|-------|-----|---------|-------|----|-----------|-------|----|-----------|
| FFE6 127C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1280 _H | OCR1D12 | | | | | | | | | | | | |
| FFE6 1284 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1288 _H | OCR2D12 | | | | | | | | | | | | |
| FFE6 128C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1290 _H | ICR1D12 | | | | | | | | | | | | |
| FFE6 1294 _H | ICR2D12 | | | | | | | | | | | | |
| FFE6 1298 _H | DCNTD12 | | | | | | | | | | | | |
| FFE6 129C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 12A0 _H | OCR1D13 | | | | | | | | | | | | |
| FFE6 12A4 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 12A8 _H | OCR2D13 | | | | | | | | | | | | |
| FFE6 12AC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 12B0 _H | ICR1D13 | | | | | | | | | | | | |
| FFE6 12B4 _H | ICR2D13 | | | | | | | | | | | | |
| FFE6 12B8 _H | DCNTD13 | | | | | | | | | | | | |
| FFE6 12BC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 12C0 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 12FC _H | | | | | | | | | | | | | |
| FFE6 1300 _H | DCRD2 | | | | | | TCRD2 | | | | | | D2 |
| FFE6 1304 _H | TIOR2D2 | | | | | | TIOR1D2 | | | | | | |
| FFE6 1308 _H | DSR2D2 | | | DSR1D2 | | | DSCR2D2 | | | DSTRD2 | | | |
| FFE6 130C _H | TSCR2D2 | | | | | | TSRD2 | | | | | | |
| FFE6 1310 _H | (使用禁止領域) | | | ODRD2 | | | OSELRD2 | | | TOCRD2 | | | |
| FFE6 1314 _H | (使用禁止領域) | | | | | | | | | TICTSELD2 | | | |
| FFE6 1318 _H | OSBRD2 | | | | | | | | | | | | |
| FFE6 131C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1320 _H | TCNT1D2 | | | | | | | | | | | | |
| FFE6 1324 _H | TCNT2D2 | | | | | | | | | | | | |
| FFE6 1328 _H | CUCR1D2 | | | | | | | | | | | | |
| FFE6 132C _H | CUCR2D2 | | | | | | | | | | | | |
| FFE6 1330 _H | (使用禁止領域) | | | | | | | | | RCR1D2 | | | |
| FFE6 1334 _H | (使用禁止領域) | | | | | | | | | RCR2D2 | | | |
| FFE6 1338 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 133C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1340 _H | OCR1D20 | | | | | | | | | | | | |
| FFE6 1344 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1348 _H | OCR2D20 | | | | | | | | | | | | |
| FFE6 134C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1350 _H | ICR1D20 | | | | | | | | | | | | |
| FFE6 1354 _H | ICR2D20 | | | | | | | | | | | | |
| FFE6 1358 _H | DCNTD20 | | | | | | | | | | | | |
| FFE6 135C _H | (使用禁止領域) | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|--------|-------|-----|-----------|-------|----|--------|-------|----|-----------|
| FFE6 1360 _H | OCR1D21 | | | | | | | | | | | | |
| FFE6 1364 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1368 _H | OCR2D21 | | | | | | | | | | | | |
| FFE6 136C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1370 _H | ICR1D21 | | | | | | | | | | | | |
| FFE6 1374 _H | ICR2D21 | | | | | | | | | | | | |
| FFE6 1378 _H | DCNTD21 | | | | | | | | | | | | |
| FFE6 137C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1380 _H | OCR1D22 | | | | | | | | | | | | |
| FFE6 1384 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1388 _H | OCR2D22 | | | | | | | | | | | | |
| FFE6 138C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1390 _H | ICR1D22 | | | | | | | | | | | | |
| FFE6 1394 _H | ICR2D22 | | | | | | | | | | | | |
| FFE6 1398 _H | DCNTD22 | | | | | | | | | | | | |
| FFE6 139C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 13A0 _H | OCR1D23 | | | | | | | | | | | | |
| FFE6 13A4 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 13A8 _H | OCR2D23 | | | | | | | | | | | | |
| FFE6 13AC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 13B0 _H | ICR1D23 | | | | | | | | | | | | |
| FFE6 13B4 _H | ICR2D23 | | | | | | | | | | | | |
| FFE6 13B8 _H | DCNTD23 | | | | | | | | | | | | |
| FFE6 13BC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 13C0 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 13FC _H | | | | | | | | | | | | | |
| FFE6 1400 _H | DCRD3 | | | | | | TCRD3 | | | | | | D3 |
| FFE6 1404 _H | TIOR2D3 | | | | | | TIOR1D3 | | | | | | |
| FFE6 1408 _H | DSR2D3 | | | DSR1D3 | | | DSCRD3 | | | DSTRD3 | | | |
| FFE6 140C _H | TSCRD3 | | | | | | TSRD3 | | | | | | |
| FFE6 1410 _H | (使用禁止領域) | | | ODRD3 | | | OSELRD3 | | | TOCRD3 | | | |
| FFE6 1414 _H | (使用禁止領域) | | | | | | TICTSELD3 | | | | | | |
| FFE6 1418 _H | OSBRD3 | | | | | | | | | | | | |
| FFE6 141C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1420 _H | TCNT1D3 | | | | | | | | | | | | |
| FFE6 1424 _H | TCNT2D3 | | | | | | | | | | | | |
| FFE6 1428 _H | CUCR1D3 | | | | | | | | | | | | |
| FFE6 142C _H | CUCR2D3 | | | | | | | | | | | | |
| FFE6 1430 _H | (使用禁止領域) | | | | | | RCR1D3 | | | | | | |
| FFE6 1434 _H | (使用禁止領域) | | | | | | RCR2D3 | | | | | | |
| FFE6 1438 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 143C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1440 _H | OCR1D30 | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|--------|-------|-----|---------|-------|----|-----------|-------|----|-----------|
| FFE6 1444 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1448 _H | OCR2D30 | | | | | | | | | | | | |
| FFE6 144C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1450 _H | ICR1D30 | | | | | | | | | | | | |
| FFE6 1454 _H | ICR2D30 | | | | | | | | | | | | |
| FFE6 1458 _H | DCNTD30 | | | | | | | | | | | | |
| FFE6 145C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1460 _H | OCR1D31 | | | | | | | | | | | | |
| FFE6 1464 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1468 _H | OCR2D31 | | | | | | | | | | | | |
| FFE6 146C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1470 _H | ICR1D31 | | | | | | | | | | | | |
| FFE6 1474 _H | ICR2D31 | | | | | | | | | | | | |
| FFE6 1478 _H | DCNTD31 | | | | | | | | | | | | |
| FFE6 147C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1480 _H | OCR1D32 | | | | | | | | | | | | |
| FFE6 1484 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1488 _H | OCR2D32 | | | | | | | | | | | | |
| FFE6 148C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1490 _H | ICR1D32 | | | | | | | | | | | | |
| FFE6 1494 _H | ICR2D32 | | | | | | | | | | | | |
| FFE6 1498 _H | DCNTD32 | | | | | | | | | | | | |
| FFE6 149C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 14A0 _H | OCR1D33 | | | | | | | | | | | | |
| FFE6 14A4 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 14A8 _H | OCR2D33 | | | | | | | | | | | | |
| FFE6 14AC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 14B0 _H | ICR1D33 | | | | | | | | | | | | |
| FFE6 14B4 _H | ICR2D33 | | | | | | | | | | | | |
| FFE6 14B8 _H | DCNTD33 | | | | | | | | | | | | |
| FFE6 14BC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 14C0 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 14FC _H | | | | | | | | | | | | | |
| FFE6 1500 _H | DCRD4 | | | | | | TCRD4 | | | | | | D4 |
| FFE6 1504 _H | TIOR2D4 | | | | | | TIOR1D4 | | | | | | |
| FFE6 1508 _H | DSR2D4 | | | DSR1D4 | | | DSCR4 | | | DSTRD4 | | | |
| FFE6 150C _H | TSCR4 | | | | | | TSRD4 | | | | | | |
| FFE6 1510 _H | (使用禁止領域) | | | ODRD4 | | | OSELRD4 | | | TOCRD4 | | | |
| FFE6 1514 _H | (使用禁止領域) | | | | | | | | | TICTSELD4 | | | |
| FFE6 1518 _H | OSBRD4 | | | | | | | | | | | | |
| FFE6 151C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1520 _H | TCNT1D4 | | | | | | | | | | | | |
| FFE6 1524 _H | TCNT2D4 | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|-----|-------|-----|-----|-------|----|--------|-------|----|-----------|
| FFE6 1528 _H | CUCR1D4 | | | | | | | | | | | | |
| FFE6 152C _H | CUCR2D4 | | | | | | | | | | | | |
| FFE6 1530 _H | (使用禁止領域) | | | | | | | | | RCR1D4 | | | |
| FFE6 1534 _H | (使用禁止領域) | | | | | | | | | RCR2D4 | | | |
| FFE6 1538 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 153C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1540 _H | OCR1D40 | | | | | | | | | | | | |
| FFE6 1544 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1548 _H | OCR2D40 | | | | | | | | | | | | |
| FFE6 154C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1550 _H | ICR1D40 | | | | | | | | | | | | |
| FFE6 1554 _H | ICR2D40 | | | | | | | | | | | | |
| FFE6 1558 _H | DCNTD40 | | | | | | | | | | | | |
| FFE6 155C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1560 _H | OCR1D41 | | | | | | | | | | | | |
| FFE6 1564 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1568 _H | OCR2D41 | | | | | | | | | | | | |
| FFE6 156C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1570 _H | ICR1D41 | | | | | | | | | | | | |
| FFE6 1574 _H | ICR2D41 | | | | | | | | | | | | |
| FFE6 1578 _H | DCNTD41 | | | | | | | | | | | | |
| FFE6 157C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1580 _H | OCR1D42 | | | | | | | | | | | | |
| FFE6 1584 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1588 _H | OCR2D42 | | | | | | | | | | | | |
| FFE6 158C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 1590 _H | ICR1D42 | | | | | | | | | | | | |
| FFE6 1594 _H | ICR2D42 | | | | | | | | | | | | |
| FFE6 1598 _H | DCNTD42 | | | | | | | | | | | | |
| FFE6 159C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 15A0 _H | OCR1D43 | | | | | | | | | | | | |
| FFE6 15A4 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 15A8 _H | OCR2D43 | | | | | | | | | | | | |
| FFE6 15AC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 15B0 _H | ICR1D43 | | | | | | | | | | | | |
| FFE6 15B4 _H | ICR2D43 | | | | | | | | | | | | |
| FFE6 15B8 _H | DCNTD43 | | | | | | | | | | | | |
| FFE6 15BC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 16C0 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 16FC _H | | | | | | | | | | | | | |
| FFE6 15C0 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 1FFC _H | | | | | | | | | | | | | |

タイマ E 関連レジスタ (FFE6 2000_H ~ FFE6 2FFF_H)

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|----------|---------|----------|-----|----------|-------|----|--------|-------|------|-----------|
| FFE6 2000 _H | (使用禁止領域) | | | | | | | | | TSTRE | | E 共通 | |
| FFE6 2004 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2008 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 20FC _H | | | | | | | | | | | | | |
| FFE6 2100 _H | (使用禁止領域) | | | | | | | | | SSTRE0 | | E0 | |
| FFE6 2104 _H | (使用禁止領域) | | | | | | | | | PSCRE0 | | | |
| FFE6 2108 _H | (使用禁止領域) | | | RLDCRE0 | | | (使用禁止領域) | | | TCRE0 | | | |
| FFE6 210C _H | (使用禁止領域) | | | SOLVLE0 | | | POECRE0 | | | | | | |
| FFE6 2110 _H | TSCRE0 | | | | TSRE0 | | | | | | | | |
| FFE6 2114 _H | TIERE0 | | | | (使用禁止領域) | | TOCRE0 | | | | | | |
| FFE6 2118 _H | PSCCRE03 | | PSCCRE02 | | PSCCRE01 | | PSCCRE00 | | | | | | |
| FFE6 211C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2120 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2124 _H | TCNTE00 | | | | | | | | | | | | |
| FFE6 2128 _H | CYLRE00 | | | | | | | | | | | | |
| FFE6 212C _H | DTRE00 | | | | | | | | | | | | |
| FFE6 2130 _H | CRLDE00 | | | | | | | | | | | | |
| FFE6 2134 _H | DRLDE00 | | | | | | | | | | | | |
| FFE6 2138 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 213C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2140 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2144 _H | TCNTE01 | | | | | | | | | | | | |
| FFE6 2148 _H | CYLRE01 | | | | | | | | | | | | |
| FFE6 214C _H | DTRE01 | | | | | | | | | | | | |
| FFE6 2150 _H | CRLDE01 | | | | | | | | | | | | |
| FFE6 2154 _H | DRLDE01 | | | | | | | | | | | | |
| FFE6 2158 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 215C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2160 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2164 _H | TCNTE02 | | | | | | | | | | | | |
| FFE6 2168 _H | CYLRE02 | | | | | | | | | | | | |
| FFE6 216C _H | DTRE02 | | | | | | | | | | | | |
| FFE6 2170 _H | CRLDE02 | | | | | | | | | | | | |
| FFE6 2174 _H | DRLDE02 | | | | | | | | | | | | |
| FFE6 2178 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 217C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2180 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2184 _H | TCNTE03 | | | | | | | | | | | | |
| FFE6 2188 _H | CYLRE03 | | | | | | | | | | | | |
| FFE6 218C _H | DTRE03 | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|----------|-------|-----|----------|-------|----|----------|-------|----|-----------|
| FFE6 2190 _H | CRLDE03 | | | | | | | | | | | | |
| FFE6 2194 _H | DRLDE03 | | | | | | | | | | | | |
| FFE6 2198 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 219C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 21A0 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 21FC _H | | | | | | | | | | | | | |
| FFE6 2200 _H | (使用禁止領域) | | | | | | | | | SSTRE1 | | E1 | |
| FFE6 2204 _H | (使用禁止領域) | | | | | | | | | PSCRE1 | | | |
| FFE6 2208 _H | (使用禁止領域) | | | RLDCRE1 | | | (使用禁止領域) | | | TCRE1 | | | |
| FFE6 220C _H | (使用禁止領域) | | | SOLVLE1 | | | POECRE1 | | | | | | |
| FFE6 2210 _H | TSCRE1 | | | | | | TSRE1 | | | | | | |
| FFE6 2214 _H | TIERE1 | | | | | | (使用禁止領域) | | | TOCRE1 | | | |
| FFE6 2218 _H | PSCCRE13 | | | PSCCRE12 | | | PSCCRE11 | | | PSCCRE10 | | | |
| FFE6 221C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2220 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2224 _H | TCNTE10 | | | | | | | | | | | | |
| FFE6 2228 _H | CYLRE10 | | | | | | | | | | | | |
| FFE6 222C _H | DTRE10 | | | | | | | | | | | | |
| FFE6 2230 _H | CRLDE10 | | | | | | | | | | | | |
| FFE6 2234 _H | DRLDE10 | | | | | | | | | | | | |
| FFE6 2238 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 223C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2240 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2244 _H | TCNTE11 | | | | | | | | | | | | |
| FFE6 2248 _H | CYLRE11 | | | | | | | | | | | | |
| FFE6 224C _H | DTRE11 | | | | | | | | | | | | |
| FFE6 2250 _H | CRLDE11 | | | | | | | | | | | | |
| FFE6 2254 _H | DRLDE11 | | | | | | | | | | | | |
| FFE6 2258 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 225C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2260 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2264 _H | TCNTE12 | | | | | | | | | | | | |
| FFE6 2268 _H | CYLRE12 | | | | | | | | | | | | |
| FFE6 226C _H | DTRE12 | | | | | | | | | | | | |
| FFE6 2270 _H | CRLDE12 | | | | | | | | | | | | |
| FFE6 2274 _H | DRLDE12 | | | | | | | | | | | | |
| FFE6 2278 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 227C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2280 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2284 _H | TCNTE13 | | | | | | | | | | | | |
| FFE6 2288 _H | CYLRE13 | | | | | | | | | | | | |
| FFE6 228C _H | DTRE13 | | | | | | | | | | | | |
| FFE6 2290 _H | CRLDE13 | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|----------|-----|----------|-----|----------|-------|--------|----|-------|----|-----------|
| FFE6 2294 _H | DRLDE13 | | | | | | | | | | | | |
| FFE6 2298 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 229C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 22A0 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 22FC _H | | | | | | | | | | | | | |
| FFE6 2300 _H | (使用禁止領域) | | | | | | | | SSTRE2 | | E2 | | |
| FFE6 2304 _H | (使用禁止領域) | | | | | | | | PSCRE2 | | | | |
| FFE6 2308 _H | (使用禁止領域) | | RLDCRE2 | | (使用禁止領域) | | TCRE2 | | | | | | |
| FFE6 230C _H | (使用禁止領域) | | SOLVLE2 | | POECRE2 | | | | | | | | |
| FFE6 2310 _H | TSCRE2 | | | | TSRE2 | | | | | | | | |
| FFE6 2314 _H | TIERE2 | | | | (使用禁止領域) | | TOCRE2 | | | | | | |
| FFE6 2318 _H | PSCCRE23 | | PSCCRE22 | | PSCCRE21 | | PSCCRE20 | | | | | | |
| FFE6 231C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2320 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2324 _H | TCNTE20 | | | | | | | | | | | | |
| FFE6 2328 _H | CYLRE20 | | | | | | | | | | | | |
| FFE6 232C _H | DTRE20 | | | | | | | | | | | | |
| FFE6 2330 _H | CRLDE20 | | | | | | | | | | | | |
| FFE6 2334 _H | DRLDE20 | | | | | | | | | | | | |
| FFE6 2338 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 233C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2340 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2344 _H | TCNTE21 | | | | | | | | | | | | |
| FFE6 2348 _H | CYLRE21 | | | | | | | | | | | | |
| FFE6 234C _H | DTRE21 | | | | | | | | | | | | |
| FFE6 2350 _H | CRLDE21 | | | | | | | | | | | | |
| FFE6 2354 _H | DRLDE21 | | | | | | | | | | | | |
| FFE6 2358 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 235C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2360 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2364 _H | TCNTE22 | | | | | | | | | | | | |
| FFE6 2368 _H | CYLRE22 | | | | | | | | | | | | |
| FFE6 236C _H | DTRE22 | | | | | | | | | | | | |
| FFE6 2370 _H | CRLDE22 | | | | | | | | | | | | |
| FFE6 2374 _H | DRLDE22 | | | | | | | | | | | | |
| FFE6 2378 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 237C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2380 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2384 _H | TCNTE23 | | | | | | | | | | | | |
| FFE6 2388 _H | CYLRE23 | | | | | | | | | | | | |
| FFE6 238C _H | DTRE23 | | | | | | | | | | | | |
| FFE6 2390 _H | CRLDE23 | | | | | | | | | | | | |
| FFE6 2394 _H | DRLDE23 | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|----------|-------|-----|----------|-------|----|----------|-------|----|-----------|
| FFE6 2398 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 239C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 23A0 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 23FC _H | | | | | | | | | | | | | |
| FFE6 2400 _H | (使用禁止領域) | | | | | | | | | SSTRE3 | | E3 | |
| FFE6 2404 _H | (使用禁止領域) | | | | | | | | | PSCRE3 | | | |
| FFE6 2408 _H | (使用禁止領域) | | | RLDCRE3 | | | (使用禁止領域) | | | TCRE3 | | | |
| FFE6 240C _H | (使用禁止領域) | | | SOLVLE3 | | | POECRE3 | | | | | | |
| FFE6 2410 _H | TSCRE3 | | | | | | TSRE3 | | | | | | |
| FFE6 2414 _H | TIERE3 | | | | | | (使用禁止領域) | | | TOCRE3 | | | |
| FFE6 2418 _H | PSCCRE33 | | | PSCCRE32 | | | PSCCRE31 | | | PSCCRE30 | | | |
| FFE6 241C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2420 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2424 _H | TCNTE30 | | | | | | | | | | | | |
| FFE6 2428 _H | CYLRE30 | | | | | | | | | | | | |
| FFE6 242C _H | DTRE30 | | | | | | | | | | | | |
| FFE6 2430 _H | CRLDE30 | | | | | | | | | | | | |
| FFE6 2434 _H | DRLDE30 | | | | | | | | | | | | |
| FFE6 2438 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 243C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2440 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2444 _H | TCNTE31 | | | | | | | | | | | | |
| FFE6 2448 _H | CYLRE31 | | | | | | | | | | | | |
| FFE6 244C _H | DTRE31 | | | | | | | | | | | | |
| FFE6 2450 _H | CRLDE31 | | | | | | | | | | | | |
| FFE6 2454 _H | DRLDE31 | | | | | | | | | | | | |
| FFE6 2458 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 245C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2460 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2464 _H | TCNTE32 | | | | | | | | | | | | |
| FFE6 2468 _H | CYLRE32 | | | | | | | | | | | | |
| FFE6 246C _H | DTRE32 | | | | | | | | | | | | |
| FFE6 2470 _H | CRLDE32 | | | | | | | | | | | | |
| FFE6 2474 _H | DRLDE32 | | | | | | | | | | | | |
| FFE6 2478 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 247C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2480 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2484 _H | TCNTE33 | | | | | | | | | | | | |
| FFE6 2488 _H | CYLRE33 | | | | | | | | | | | | |
| FFE6 248C _H | DTRE33 | | | | | | | | | | | | |
| FFE6 2490 _H | CRLDE33 | | | | | | | | | | | | |
| FFE6 2494 _H | DRLDE33 | | | | | | | | | | | | |
| FFE6 2498 _H | (使用禁止領域) | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|----------|-------|-----|----------|-------|----|----------|-------|----|-----------|
| FFE6 249C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 24A0 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 24FC _H | | | | | | | | | | | | | |
| FFE6 2500 _H | (使用禁止領域) | | | | | | | | | SSTRE4 | | E4 | |
| FFE6 2504 _H | (使用禁止領域) | | | | | | | | | PSCRE4 | | | |
| FFE6 2508 _H | (使用禁止領域) | | | RLDCRE4 | | | (使用禁止領域) | | | TCRE4 | | | |
| FFE6 250C _H | (使用禁止領域) | | | SOLVLE4 | | | POECRE4 | | | | | | |
| FFE6 2510 _H | TSCRE4 | | | | | | TSRE4 | | | | | | |
| FFE6 2514 _H | TIERE4 | | | | | | (使用禁止領域) | | | TOCRE4 | | | |
| FFE6 2518 _H | PSCCRE43 | | | PSCCRE42 | | | PSCCRE41 | | | PSCCRE40 | | | |
| FFE6 251C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2520 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2524 _H | TCNTE40 | | | | | | | | | | | | |
| FFE6 2528 _H | CYLRE40 | | | | | | | | | | | | |
| FFE6 252C _H | DTRE40 | | | | | | | | | | | | |
| FFE6 2530 _H | CRLDE40 | | | | | | | | | | | | |
| FFE6 2534 _H | DRLDE40 | | | | | | | | | | | | |
| FFE6 2538 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 253C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2540 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2544 _H | TCNTE41 | | | | | | | | | | | | |
| FFE6 2548 _H | CYLRE41 | | | | | | | | | | | | |
| FFE6 254C _H | DTRE41 | | | | | | | | | | | | |
| FFE6 2550 _H | CRLDE41 | | | | | | | | | | | | |
| FFE6 2554 _H | DRLDE41 | | | | | | | | | | | | |
| FFE6 2558 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 255C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2560 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2564 _H | TCNTE42 | | | | | | | | | | | | |
| FFE6 2568 _H | CYLRE42 | | | | | | | | | | | | |
| FFE6 256C _H | DTRE42 | | | | | | | | | | | | |
| FFE6 2570 _H | CRLDE42 | | | | | | | | | | | | |
| FFE6 2574 _H | DRLDE42 | | | | | | | | | | | | |
| FFE6 2578 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 257C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2580 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2584 _H | TCNTE43 | | | | | | | | | | | | |
| FFE6 2588 _H | CYLRE43 | | | | | | | | | | | | |
| FFE6 258C _H | DTRE43 | | | | | | | | | | | | |
| FFE6 2590 _H | CRLDE43 | | | | | | | | | | | | |
| FFE6 2594 _H | DRLDE43 | | | | | | | | | | | | |
| FFE6 2598 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 259C _H | (使用禁止領域) | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|----------|-------|-----|----------|-------|----|----------|-------|----|-----------|
| FFE6 25A0 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 25FC _H | | | | | | | | | | | | | |
| FFE6 2600 _H | (使用禁止領域) | | | | | | | | | SSTRE5 | | E5 | |
| FFE6 2604 _H | (使用禁止領域) | | | | | | | | | PSCRE5 | | | |
| FFE6 2608 _H | (使用禁止領域) | | | RLDCRE5 | | | (使用禁止領域) | | | TCRE5 | | | |
| FFE6 260C _H | (使用禁止領域) | | | SOLVLE5 | | | POECRE5 | | | | | | |
| FFE6 2610 _H | TSCRE5 | | | | | | TSRE5 | | | | | | |
| FFE6 2614 _H | TIERE5 | | | | | | (使用禁止領域) | | | TOCRE5 | | | |
| FFE6 2618 _H | PSCCRE53 | | | PSCCRE52 | | | PSCCRE51 | | | PSCCRE50 | | | |
| FFE6 261C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2620 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2624 _H | TCNTE50 | | | | | | | | | | | | |
| FFE6 2628 _H | CYLRE50 | | | | | | | | | | | | |
| FFE6 262C _H | DTRE50 | | | | | | | | | | | | |
| FFE6 2630 _H | CRLDE50 | | | | | | | | | | | | |
| FFE6 2634 _H | DRLDE50 | | | | | | | | | | | | |
| FFE6 2638 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 263C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2640 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2644 _H | TCNTE51 | | | | | | | | | | | | |
| FFE6 2648 _H | CYLRE51 | | | | | | | | | | | | |
| FFE6 264C _H | DTRE51 | | | | | | | | | | | | |
| FFE6 2650 _H | CRLDE51 | | | | | | | | | | | | |
| FFE6 2654 _H | DRLDE51 | | | | | | | | | | | | |
| FFE6 2658 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 265C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2660 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2664 _H | TCNTE52 | | | | | | | | | | | | |
| FFE6 2668 _H | CYLRE52 | | | | | | | | | | | | |
| FFE6 266C _H | DTRE52 | | | | | | | | | | | | |
| FFE6 2670 _H | CRLDE52 | | | | | | | | | | | | |
| FFE6 2674 _H | DRLDE52 | | | | | | | | | | | | |
| FFE6 2678 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 267C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2680 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2684 _H | TCNTE53 | | | | | | | | | | | | |
| FFE6 2688 _H | CYLRE53 | | | | | | | | | | | | |
| FFE6 268C _H | DTRE53 | | | | | | | | | | | | |
| FFE6 2690 _H | CRLDE53 | | | | | | | | | | | | |
| FFE6 2694 _H | DRLDE53 | | | | | | | | | | | | |
| FFE6 2698 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 269C _H | (使用禁止領域) | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|----------|-------|-----|----------|-------|----|----------|-------|----|-----------|
| FFE6 26A0 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 26FC _H | | | | | | | | | | | | | |
| FFE6 2700 _H | (使用禁止領域) | | | | | | | | | SSTRE6 | | E6 | |
| FFE6 2704 _H | (使用禁止領域) | | | | | | | | | PSCRE6 | | | |
| FFE6 2708 _H | (使用禁止領域) | | | RLDCRE6 | | | (使用禁止領域) | | | TCRE6 | | | |
| FFE6 270C _H | (使用禁止領域) | | | SOLVLE6 | | | POECRE6 | | | | | | |
| FFE6 2710 _H | TSCRE6 | | | | | | TSRE6 | | | | | | |
| FFE6 2714 _H | TIERE6 | | | | | | (使用禁止領域) | | | TOCRE6 | | | |
| FFE6 2718 _H | PSCCRE63 | | | PSCCRE62 | | | PSCCRE61 | | | PSCCRE60 | | | |
| FFE6 271C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2720 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2724 _H | TCNTE60 | | | | | | | | | | | | |
| FFE6 2728 _H | CYLRE60 | | | | | | | | | | | | |
| FFE6 272C _H | DTRE60 | | | | | | | | | | | | |
| FFE6 2730 _H | CRLDE60 | | | | | | | | | | | | |
| FFE6 2734 _H | DRLDE60 | | | | | | | | | | | | |
| FFE6 2738 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 273C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2740 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2744 _H | TCNTE61 | | | | | | | | | | | | |
| FFE6 2748 _H | CYLRE61 | | | | | | | | | | | | |
| FFE6 274C _H | DTRE61 | | | | | | | | | | | | |
| FFE6 2750 _H | CRLDE61 | | | | | | | | | | | | |
| FFE6 2754 _H | DRLDE61 | | | | | | | | | | | | |
| FFE6 2758 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 275C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2760 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2764 _H | TCNTE62 | | | | | | | | | | | | |
| FFE6 2768 _H | CYLRE62 | | | | | | | | | | | | |
| FFE6 276C _H | DTRE62 | | | | | | | | | | | | |
| FFE6 2770 _H | CRLDE62 | | | | | | | | | | | | |
| FFE6 2774 _H | DRLDE62 | | | | | | | | | | | | |
| FFE6 2778 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 277C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2780 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2784 _H | TCNTE63 | | | | | | | | | | | | |
| FFE6 2788 _H | CYLRE63 | | | | | | | | | | | | |
| FFE6 278C _H | DTRE63 | | | | | | | | | | | | |
| FFE6 2790 _H | CRLDE63 | | | | | | | | | | | | |
| FFE6 2794 _H | DRLDE63 | | | | | | | | | | | | |
| FFE6 2798 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 279C _H | (使用禁止領域) | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------|----------|-------|-----|-----|-------|-----|-----|-------|----|----|-------|----|-----------|
| FFE6 27A0H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 2EFCH | | | | | | | | | | | | | |
| FFE6 2F00H | (使用禁止領域) | | | | | | | | | | | | E7 |
| FFE6 2F04H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2F08H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2F0CH | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2F10H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2F14H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2F18H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2F1CH | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2FE0H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2FE4H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2FE8H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2FECH | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2FF0H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2FF4H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2FF8H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 2FFCH | (使用禁止領域) | | | | | | | | | | | | |

タイマ F 関連レジスタ (FFE6 3000_H ~ FFE6 38FC_H)

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|---|-------|-----|--------|-------|-----|----------|-------|----|--------|-------|----|-----------|
| FFE6 3000 _H | (使用禁止領域) | | | | | | TSTRF | | | | | | F 共通 |
| FFE6 3004 _H | (使用禁止領域) | | | | | | NCMCR1F | | | | | | |
| FFE6 3008 _H | (使用禁止領域) | | | | | | NCMCR2F | | | | | | |
| FFE6 300C _H | (使用禁止領域) | | | | | | NCCRF | | | | | | |
| FFE6 3010 _H | (使用禁止領域) | | | | | | PVFCRF | | | | | | |
| FFE6 3014 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 3038 _H | | | | | | | | | | | | | |
| FFE6 303C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3040 _H | (使用禁止領域) | | | TCR2F0 | | | (使用禁止領域) | | | TCR1F0 | | | F0 |
| FFE6 3044 _H | TIERF0 | | | TSCRf0 | | | TSRF0 | | | BKCRF0 | | | |
| FFE6 3048 _H | NCRFA0 | | | | | | NCNTFA0 | | | | | | |
| FFE6 304C _H | NCRFB0 | | | | | | NCNTFB0 | | | | | | |
| FFE6 3050 _H | ECNTAF0 | | | | | | | | | | | | |
| FFE6 3054 _H | GRAF0 | | | | | | | | | | | | |
| FFE6 3058 _H | (使用禁止領域) | | | | | | ECNTBF0 | | | | | | |
| FFE6 305C _H | (使用禁止領域) | | | | | | GRBF0 | | | | | | |
| FFE6 3060 _H | ECNTCF0 | | | | | | | | | | | | |
| FFE6 3064 _H | GRCF0 (ARSWCF0 = "0" のとき) BGRCF0 (ARSWCF0 = "1" のとき) | | | | | | | | | | | | |
| FFE6 3068 _H | GRDF0 | | | | | | | | | | | | |
| FFE6 306C _H | CDRF0 | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|---|-------|-----|--------|-------|-----|----------|-------|----|--------|-------|----|-----------|
| FFE6 3070 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3074 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3078 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 307C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3080 _H | (使用禁止領域) | | | TCR2F1 | | | (使用禁止領域) | | | TCR1F1 | | | F1 |
| FFE6 3084 _H | TIERF1 | | | TSCRf1 | | | TSRF1 | | | BKCRF1 | | | |
| FFE6 3088 _H | NCRFA1 | | | | | | NCNTFA1 | | | | | | |
| FFE6 308C _H | NCRFB1 | | | | | | NCNTFB1 | | | | | | |
| FFE6 3090 _H | ECNTAF1 | | | | | | | | | | | | |
| FFE6 3094 _H | GRAF1 | | | | | | | | | | | | |
| FFE6 3098 _H | (使用禁止領域) | | | | | | ECNTBF1 | | | | | | |
| FFE6 309C _H | (使用禁止領域) | | | | | | GRBF1 | | | | | | |
| FFE6 30A0 _H | ECNTCF1 | | | | | | | | | | | | |
| FFE6 30A4 _H | GRCF1 (ARSWCF1 = "0" のとき) BGRCF1 (ARSWCF1 = "1" のとき) | | | | | | | | | | | | |
| FFE6 30A8 _H | GRDF1 | | | | | | | | | | | | |
| FFE6 30AC _H | CDRF1 | | | | | | | | | | | | |
| FFE6 30B0 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 30B4 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 30B8 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 30BC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 30C0 _H | (使用禁止領域) | | | TCR2F2 | | | (使用禁止領域) | | | TCR1F2 | | | F2 |
| FFE6 30C4 _H | TIERF2 | | | TSCRf2 | | | TSRF2 | | | BKCRF2 | | | |
| FFE6 30C8 _H | NCRFA2 | | | | | | NCNTFA2 | | | | | | |
| FFE6 30CC _H | NCRFB2 | | | | | | NCNTFB2 | | | | | | |
| FFE6 30D0 _H | ECNTAF2 | | | | | | | | | | | | |
| FFE6 30D4 _H | GRAF2 | | | | | | | | | | | | |
| FFE6 30D8 _H | (使用禁止領域) | | | | | | ECNTBF2 | | | | | | |
| FFE6 30DC _H | (使用禁止領域) | | | | | | GRBF2 | | | | | | |
| FFE6 30E0 _H | ECNTCF2 | | | | | | | | | | | | |
| FFE6 30E4 _H | GRCF2 (ARSWCF2 = "0" のとき) BGRCF2 (ARSWCF2 = "1" のとき) | | | | | | | | | | | | |
| FFE6 30E8 _H | GRDF2 | | | | | | | | | | | | |
| FFE6 30EC _H | CDRF2 | | | | | | | | | | | | |
| FFE6 30F0 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 30F4 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 30F8 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 30FC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3100 _H | (使用禁止領域) | | | TCR2F3 | | | (使用禁止領域) | | | TCR1F3 | | | F3 |
| FFE6 3104 _H | TIERF3 | | | TSCRf3 | | | TSRF3 | | | BKCRF3 | | | |
| FFE6 3108 _H | NCRFA3 | | | | | | NCNTFA3 | | | | | | |
| FFE6 310C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3110 _H | ECNTAF3 | | | | | | | | | | | | |
| FFE6 3114 _H | GRAF3 (ARSWAF3 = "0" のとき) BGRAF3 (ARSWAF3 = "1" のとき) | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|---|-------|-----|--------|-------|-----|----------|-------|----|--------|-------|----|-----------|
| FFE6 3118 _H | (使用禁止領域) | | | | | | ECNTBF3 | | | | | | |
| FFE6 311C _H | (使用禁止領域) | | | | | | GRBF3 | | | | | | |
| FFE6 3120 _H | ECNTCF3 | | | | | | | | | | | | |
| FFE6 3124 _H | GRCF3 (ARSWCF3 = "0" のとき) BGRCF3 (ARSWCF3 = "1" のとき) | | | | | | | | | | | | |
| FFE6 3128 _H | GRDF3 (ARSWDF3 = "0" のとき) BGRDF3 (ARSWDF3 = "1" のとき) | | | | | | | | | | | | |
| FFE6 312C _H | CDRF3 | | | | | | | | | | | | |
| FFE6 3130 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3134 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3138 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 313C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3140 _H | (使用禁止領域) | | | TCR2F4 | | | (使用禁止領域) | | | TCR1F4 | | | F4 |
| FFE6 3144 _H | TIERF4 | | | TSCRF4 | | | TSRF4 | | | BKCRF4 | | | |
| FFE6 3148 _H | NCRFA4 | | | | | | NCNTFA4 | | | | | | |
| FFE6 314C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3150 _H | ECNTAF4 | | | | | | | | | | | | |
| FFE6 3154 _H | GRAF4 (ARSWAF4 = "0" のとき) BGRAF4 (ARSWAF4 = "1" のとき) | | | | | | | | | | | | |
| FFE6 3158 _H | (使用禁止領域) | | | | | | ECNTBF4 | | | | | | |
| FFE6 315C _H | (使用禁止領域) | | | | | | GRBF4 | | | | | | |
| FFE6 3160 _H | ECNTCF4 | | | | | | | | | | | | |
| FFE6 3164 _H | GRCF4 (ARSWCF4 = "0" のとき) BGRCF4 (ARSWCF4 = "1" のとき) | | | | | | | | | | | | |
| FFE6 3168 _H | GRDF4 (ARSWDF4 = "0" のとき) BGRDF4 (ARSWDF4 = "1" のとき) | | | | | | | | | | | | |
| FFE6 316C _H | CDRF4 | | | | | | | | | | | | |
| FFE6 3170 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3174 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3178 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 317C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3180 _H | (使用禁止領域) | | | TCR2F5 | | | (使用禁止領域) | | | TCR1F5 | | | F5 |
| FFE6 3184 _H | TIERF5 | | | TSCRF5 | | | TSRF5 | | | BKCRF5 | | | |
| FFE6 3188 _H | NCRFA5 | | | | | | NCNTFA5 | | | | | | |
| FFE6 318C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3190 _H | ECNTAF5 | | | | | | | | | | | | |
| FFE6 3194 _H | GRAF5 (ARSWAF5 = "0" のとき) BGRAF5 (ARSWAF5 = "1" のとき) | | | | | | | | | | | | |
| FFE6 3198 _H | (使用禁止領域) | | | | | | ECNTBF5 | | | | | | |
| FFE6 319C _H | (使用禁止領域) | | | | | | GRBF5 | | | | | | |
| FFE6 31A0 _H | ECNTCF5 | | | | | | | | | | | | |
| FFE6 31A4 _H | GRCF5 (ARSWCF5 = "0" のとき) BGRCF5 (ARSWCF5 = "1" のとき) | | | | | | | | | | | | |
| FFE6 31A8 _H | GRDF5 (ARSWDF5 = "0" のとき) BGRDF5 (ARSWDF5 = "1" のとき) | | | | | | | | | | | | |
| FFE6 31AC _H | CDRF5 | | | | | | | | | | | | |
| FFE6 31B0 _H | (使用禁止領域) | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|---|-------|-----|--------|-------|-----|----------|-------|----|--------|-------|----|-----------|
| FFE6 31B4 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 31B8 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 31BC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 31C0 _H | (使用禁止領域) | | | TCR2F6 | | | (使用禁止領域) | | | TCR1F6 | | | F6 |
| FFE6 31C4 _H | TIERF6 | | | TSCRF6 | | | TSRF6 | | | BKCRF6 | | | |
| FFE6 31C8 _H | NCRFA6 | | | | | | NCNTFA6 | | | | | | |
| FFE6 31CC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 31D0 _H | ECNTAF6 | | | | | | | | | | | | |
| FFE6 31D4 _H | GRAF6 (ARSWAF6 = "0" のとき) BGRAF6 (ARSWAF6 = "1" のとき) | | | | | | | | | | | | |
| FFE6 31D8 _H | (使用禁止領域) | | | | | | ECNTBF6 | | | | | | |
| FFE6 31DC _H | (使用禁止領域) | | | | | | GRBF6 | | | | | | |
| FFE6 31E0 _H | ECNTCF6 | | | | | | | | | | | | |
| FFE6 31E4 _H | GRCF6 (ARSWCF6 = "0" のとき) BGRCF6 (ARSWCF6 = "1" のとき) | | | | | | | | | | | | |
| FFE6 31E8 _H | GRDF6 (ARSWDF6 = "0" のとき) BGRDF6 (ARSWDF6 = "1" のとき) | | | | | | | | | | | | |
| FFE6 31EC _H | CDRF6 | | | | | | | | | | | | |
| FFE6 31F0 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 31F4 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 31F8 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 31FC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3200 _H | (使用禁止領域) | | | TCR2F7 | | | (使用禁止領域) | | | TCR1F7 | | | F7 |
| FFE6 3204 _H | TIERF7 | | | TSCRF7 | | | TSRF7 | | | BKCRF7 | | | |
| FFE6 3208 _H | NCRFA7 | | | | | | NCNTFA7 | | | | | | |
| FFE6 320C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3210 _H | ECNTAF7 | | | | | | | | | | | | |
| FFE6 3214 _H | GRAF7 (ARSWAF7 = "0" のとき) BGRAF7 (ARSWAF7 = "1" のとき) | | | | | | | | | | | | |
| FFE6 3218 _H | (使用禁止領域) | | | | | | ECNTBF7 | | | | | | |
| FFE6 321C _H | (使用禁止領域) | | | | | | GRBF7 | | | | | | |
| FFE6 3220 _H | ECNTCF7 | | | | | | | | | | | | |
| FFE6 3224 _H | GRCF7 (ARSWCF7 = "0" のとき) BGRCF7 (ARSWCF7 = "1" のとき) | | | | | | | | | | | | |
| FFE6 3228 _H | GRDF7 (ARSWDF7 = "0" のとき) BGRDF7 (ARSWDF7 = "1" のとき) | | | | | | | | | | | | |
| FFE6 322C _H | CDRF7 | | | | | | | | | | | | |
| FFE6 3230 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3234 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3238 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 323C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3240 _H | (使用禁止領域) | | | TCR2F8 | | | (使用禁止領域) | | | TCR1F8 | | | F8 |
| FFE6 3244 _H | TIERF8 | | | TSCRF8 | | | TSRF8 | | | BKCRF8 | | | |
| FFE6 3248 _H | NCRFA8 | | | | | | NCNTFA8 | | | | | | |
| FFE6 324C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3250 _H | ECNTAF8 | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|---|-------|-----|---------|-------|-----|----------|-------|----|---------|-------|----|-----------|
| FFE6 3254 _H | GRAF8 (ARSWAF8 = "0" のとき) BGRAF8 (ARSWAF8 = "1" のとき) | | | | | | | | | | | | |
| FFE6 3258 _H | (使用禁止領域) | | | | | | ECNTBF8 | | | | | | |
| FFE6 325C _H | (使用禁止領域) | | | | | | GRBF8 | | | | | | |
| FFE6 3260 _H | ECNTCF8 | | | | | | | | | | | | |
| FFE6 3264 _H | GRCF8 (ARSWCF8 = "0" のとき) BGRCF8 (ARSWCF8 = "1" のとき) | | | | | | | | | | | | |
| FFE6 3268 _H | GRDF8 (ARSWDF8 = "0" のとき) BGRDF8 (ARSWDF8 = "1" のとき) | | | | | | | | | | | | |
| FFE6 326C _H | CDRF8 | | | | | | | | | | | | |
| FFE6 3270 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3274 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3278 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 327C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3280 _H | (使用禁止領域) | | | TCR2F9 | | | (使用禁止領域) | | | TCR1F9 | | | F9 |
| FFE6 3284 _H | TIERF9 | | | TSCRF9 | | | TSRF9 | | | BKCRF9 | | | |
| FFE6 3288 _H | NCRFA9 | | | | | | NCNTFA9 | | | | | | |
| FFE6 328C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3290 _H | ECNTAF9 | | | | | | | | | | | | |
| FFE6 3294 _H | GRAF9 (ARSWAF9 = "0" のとき) BGRAF9 (ARSWAF9 = "1" のとき) | | | | | | | | | | | | |
| FFE6 3298 _H | (使用禁止領域) | | | | | | ECNTBF9 | | | | | | |
| FFE6 329C _H | (使用禁止領域) | | | | | | GRBF9 | | | | | | |
| FFE6 32A0 _H | ECNTCF9 | | | | | | | | | | | | |
| FFE6 32A4 _H | GRCF9 (ARSWCF9 = "0" のとき) BGRCF9 (ARSWCF9 = "1" のとき) | | | | | | | | | | | | |
| FFE6 32A8 _H | GRDF9 (ARSWDF9 = "0" のとき) BGRDF9 (ARSWDF9 = "1" のとき) | | | | | | | | | | | | |
| FFE6 32AC _H | CDRF9 | | | | | | | | | | | | |
| FFE6 32B0 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 32B4 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 32B8 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 32BC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 32C0 _H | (使用禁止領域) | | | TCR2F10 | | | (使用禁止領域) | | | TCR1F10 | | | F10 |
| FFE6 32C4 _H | TIERF10 | | | TSCRF10 | | | TSRF10 | | | BKCRF10 | | | |
| FFE6 32C8 _H | NCRFA10 | | | | | | NCNTFA10 | | | | | | |
| FFE6 32CC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 32D0 _H | ECNTAF10 | | | | | | | | | | | | |
| FFE6 32D4 _H | GRAF10 (ARSWAF10 = "0" のとき) BGRAF10 (ARSWAF10 = "1" のとき) | | | | | | | | | | | | |
| FFE6 32D8 _H | (使用禁止領域) | | | | | | ECNTBF10 | | | | | | |
| FFE6 32DC _H | (使用禁止領域) | | | | | | GRBF10 | | | | | | |
| FFE6 32E0 _H | ECNTCF10 | | | | | | | | | | | | |
| FFE6 32E4 _H | GRCF10 (ARSWCF10 = "0" のとき) BGRCF10 (ARSWCF10 = "1" のとき) | | | | | | | | | | | | |
| FFE6 32E8 _H | GRDF10 (ARSWDF10 = "0" のとき) BGRDF10 (ARSWDF10 = "1" のとき) | | | | | | | | | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|---|-------|-----|----------|-------|-----|----------|-------|----|---------|-------|----|-----------|
| FFE6 32EC _H | CDRF10 | | | | | | | | | | | | |
| FFE6 32F0 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 32F4 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 32F8 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 32FC _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3300 _H | (使用禁止領域) | | | TCR2F11 | | | (使用禁止領域) | | | TCR1F11 | | | F11 |
| FFE6 3304 _H | TIERF11 | | | TSCR1F11 | | | TSRF11 | | | BKCRF11 | | | |
| FFE6 3308 _H | NCRFA11 | | | | | | NCNTFA11 | | | | | | |
| FFE6 330C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3310 _H | ECNTAF11 | | | | | | | | | | | | |
| FFE6 3314 _H | GRAF11 (ARSWAF11 = "0" のとき) BGRAF11 (ARSWAF11 = "1" のとき) | | | | | | | | | | | | |
| FFE6 3318 _H | (使用禁止領域) | | | | | | ECNTBF11 | | | | | | |
| FFE6 331C _H | (使用禁止領域) | | | | | | GRBF11 | | | | | | |
| FFE6 3320 _H | ECNTCF11 | | | | | | | | | | | | |
| FFE6 3324 _H | GRCF11 (ARSWCF11 = "0" のとき) BGRCF11 (ARSWCF11 = "1" のとき) | | | | | | | | | | | | |
| FFE6 3328 _H | GRDF11 (ARSWDF11 = "0" のとき) BGRDF11 (ARSWDF11 = "1" のとき) | | | | | | | | | | | | |
| FFE6 332C _H | CDRF11 | | | | | | | | | | | | |
| FFE6 3330 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 38FC _H | | | | | | | | | | | | | |

タイマ G 関連レジスタ (FFE6 3900_H ~ FFE6 3BFF_H)

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|------|-------|-----|----------|-------|----|------|-------|----|-----------|
| FFE6 3900 _H | (使用禁止領域) | | | | | | TSTRG | | | | | | G 共通 |
| FFE6 3904 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3908 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 390C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3910 _H | TSCR0 | | | TSR0 | | | (使用禁止領域) | | | TCR0 | | | G0 |
| FFE6 3914 _H | TCNT0 | | | | | | | | | | | | |
| FFE6 3918 _H | OCR0 | | | | | | | | | | | | |
| FFE6 391C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3920 _H | TSCR1 | | | TSR1 | | | (使用禁止領域) | | | TCR1 | | | G1 |
| FFE6 3924 _H | TCNT1 | | | | | | | | | | | | |
| FFE6 3928 _H | OCR1 | | | | | | | | | | | | |
| FFE6 392C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3930 _H | TSCR2 | | | TSR2 | | | (使用禁止領域) | | | TCR2 | | | G2 |
| FFE6 3934 _H | TCNT2 | | | | | | | | | | | | |
| FFE6 3938 _H | OCR2 | | | | | | | | | | | | |
| FFE6 393C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3940 _H | TSCR3 | | | TSR3 | | | (使用禁止領域) | | | TCR3 | | | G3 |
| FFE6 3944 _H | TCNT3 | | | | | | | | | | | | |
| FFE6 3948 _H | OCR3 | | | | | | | | | | | | |
| FFE6 394C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3950 _H | TSCR4 | | | TSR4 | | | (使用禁止領域) | | | TCR4 | | | G4 |
| FFE6 3954 _H | TCNT4 | | | | | | | | | | | | |
| FFE6 3958 _H | OCR4 | | | | | | | | | | | | |
| FFE6 395C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3960 _H | TSCR5 | | | TSR5 | | | (使用禁止領域) | | | TCR5 | | | G5 |
| FFE6 3964 _H | TCNT5 | | | | | | | | | | | | |
| FFE6 3968 _H | OCR5 | | | | | | | | | | | | |
| FFE6 396C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3970 _H | TSCR6 | | | TSR6 | | | (使用禁止領域) | | | TCR6 | | | G6 |
| FFE6 3974 _H | TCNT6 | | | | | | | | | | | | |
| FFE6 3978 _H | OCR6 | | | | | | | | | | | | |
| FFE6 397C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3980 _H | TSCR7 | | | TSR7 | | | (使用禁止領域) | | | TCR7 | | | G7 |
| FFE6 3984 _H | TCNT7 | | | | | | | | | | | | |
| FFE6 3988 _H | OCR7 | | | | | | | | | | | | |
| FFE6 398C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3990 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 3BFC _H | | | | | | | | | | | | | |

タイマ H 関連レジスタ (FFE6 0100_H ~ FFE6 01FF_H)

| 番地 | b31 +3 番地 b24 | b23 +2 番地 b16 | b15 +1 番地 b8 | b7 +0 番地 b0 | 掲載ページ |
|------------------------|---------------|---------------|--------------|-------------|-------|
| FFE6 0100 _H | TSCRH | TSRH | (使用禁止領域) | TCRH | H |
| FFE6 0104 _H | OCR1H | | TCNT1H | | |
| FFE6 0108 _H | TCNT2H | | | | |
| FFE6 010C _H | (使用禁止領域) | | | | |
| FFE6 0110 _H | (使用禁止領域) | | | | |
| ~ | | | | | |
| FFE6 01FC _H | | | | | |

タイマ J 関連レジスタ (FFE6 3C00_H ~ FFE6 3FFF_H)

| 番地 | b31 +3 番地 b24 | b23 +2 番地 b16 | b15 +1 番地 b8 | b7 +0 番地 b0 | 掲載ページ |
|------------------------|---------------|---------------|--------------|-------------|-------|
| FFE6 3C00 _H | (使用禁止領域) | | | TSTRJ | J 共通 |
| FFE6 3C04 _H | (使用禁止領域) | | | | |
| FFE6 3C08 _H | (使用禁止領域) | | | | |
| ~ | | | | | |
| FFE6 3C1C _H | | | | | |
| FFE6 3C20 _H | TSCRJ0 | TSRJ0 | FCRJ0 | TCRJ0 | J0 |
| FFE6 3C24 _H | TCNTJ0 | | | | |
| FFE6 3C28 _H | OCRJ0 | | | | |
| FFE6 3C2C _H | FIFOJ0 | | | | |
| FFE6 3C30 _H | (使用禁止領域) | | | FDNRJ0 | |
| FFE6 3C34 _H | NCRJ0 | | NCNTJ0 | | |
| FFE6 3C38 _H | (使用禁止領域) | | | | |
| FFE6 3C3C _H | (使用禁止領域) | | | | |
| FFE6 3C40 _H | TSCRJ1 | TSRJ1 | FCRJ1 | TCRJ1 | J1 |
| FFE6 3C44 _H | TCNTJ1 | | | | |
| FFE6 3C48 _H | OCRJ1 | | | | |
| FFE6 3C4C _H | FIFOJ1 | | | | |
| FFE6 3C50 _H | (使用禁止領域) | | | FDNRJ1 | |
| FFE6 3C54 _H | NCRJ1 | | NCNTJ1 | | |
| FFE6 3C58 _H | (使用禁止領域) | | | | |
| FFE6 3C5C _H | (使用禁止領域) | | | | |
| FFE6 3C60 _H | TSCRJ2 | TSRJ2 | FCRJ2 | TCRJ2 | J2 |
| FFE6 3C64 _H | TCNTJ2 | | | | |
| FFE6 3C68 _H | OCRJ2 | | | | |
| FFE6 3C6C _H | FIFOJ2 | | | | |
| FFE6 3C70 _H | (使用禁止領域) | | | FDNRJ2 | |
| FFE6 3C74 _H | NCRJ2 | | NCNTJ2 | | |
| FFE6 3C78 _H | (使用禁止領域) | | | | |
| FFE6 3C7C _H | (使用禁止領域) | | | | |
| FFE6 3C80 _H | TSCRJ3 | TSRJ3 | FCRJ3 | TCRJ3 | J3 |
| FFE6 3C84 _H | TCNTJ3 | | | | |
| FFE6 3C88 _H | OCRJ3 | | | | |

| 番地 | b31 | +3 番地 | b24 | b23 | +2 番地 | b16 | b15 | +1 番地 | b8 | b7 | +0 番地 | b0 | 掲載 ページ |
|------------------------|----------|-------|-----|-----|-------|-----|--------|-------|----|--------|-------|----|-----------|
| FFE6 3C8C _H | FIFOJ3 | | | | | | | | | | | | |
| FFE6 3C90 _H | (使用禁止領域) | | | | | | | | | FDNRJ3 | | | |
| FFE6 3C94 _H | NCRJ3 | | | | | | NCNTJ3 | | | | | | |
| FFE6 3C98 _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3C9C _H | (使用禁止領域) | | | | | | | | | | | | |
| FFE6 3CA0 _H | (使用禁止領域) | | | | | | | | | | | | |
| ~ | | | | | | | | | | | | | |
| FFE6 3FFF _H | | | | | | | | | | | | | |

21.1.3 ATU-IV 入出力信号一覧

共通制御部関連

| ピン名 | 入出力 | ビット数 | 機能説明 |
|-------|-----|------|---------------------|
| TCLKA | 入力 | 1 | クロックバス 4 への外部クロック入力 |
| TCLKB | 入力 | 1 | クロックバス 5 への外部クロック入力 |

プリスケアラ関連

なし

タイマ A 関連

| ピン名 | 入出力 | ビット数 | 機能説明 |
|---------------|-----|------|----------------------------|
| TIA00 ~ TIA05 | 入力 | 6 | タイマ A 各チャネルへのインプットキャプチャトリガ |

タイマ B 関連

なし

タイマ C 関連

| ピン名 | 入出力 | ビット数 | 機能説明 |
|---------------------------------|-----|------|---|
| TIOC00 - 03 ~ TIOC50 - 53 | 入出力 | 24 | タイマ C (サブブロック C0 ~ C5 / チャネル 0 ~ 3) へのインプットキャプチャトリガ、およびアウトプットコンペア出力 |

タイマ D 関連

| ピン名 | 入出力 | ビット数 | 機能説明 |
|-----------------------------------|-----|------|--|
| TOD00A - 03A ~ TOD40A - 43A | 出力 | 20 | タイマ D (サブブロック D0 ~ D4 / チャネル 0 ~ 3) のコンペアマッチ出力 |
| TOD00B - 03B ~ TOD40B - 43B | 出力 | 20 | タイマ D (サブブロック D0 ~ D4 / チャネル 0 ~ 3) のワンショットパルス出力 |

タイマ E 関連

| ピン名 | 入出力 | ビット数 | 機能説明 |
|-------------------------------|-----|------|--|
| POE0 ~ POE5 | 入力 | 6 | タイマ E (サブブロック E0 ~ E5) のシャットオフ入力 ※TIF0A ~ TIF2A、TIF0B ~ TIF2B と共用 |
| TOE00 - 03 ~ TOE60 - 63 | 出力 | 28 | タイマ E (サブブロック E0 ~ E6 / チャネル 0 ~ 3) の PWM 出力 |

タイマ F 関連

| ピン名 | 入出力 | ビット数 | 機能説明 |
|-------------------------------|-----|------|---|
| TIF0A ~ TIF2A TIF3 ~ TIF11 | 入力 | 12 | タイマ F (サブブロック F0 ~ F11) へのイベント入力信号 TIF0A ~ TIF2A : サブブロック F0 ~ F2 入力端子 TIF3 ~ TIF11 : サブブロック F3 ~ F11 用入力端子 |
| TIF0B ~ TIF2B | 入力 | 3 | タイマ F (サブブロック F0 ~ F2) へのイベント入力信号 |

タイマ G 関連

なし

タイマ H 関連

なし

タイマ J 関連

| ピン名 | 入出力 | ビット数 | 機能説明 |
|-------------|-----|------|------------------------------|
| TIJ0 ~ TIJ3 | 入力 | 4 | タイマ J 各サブブロックへのインプットキャプチャトリガ |

21.1.4 クロック供給

ATU-IV のクロック供給を以下の表に示します。

| ユニットクロック名 | 供給クロック名 |
|--------------|------------------------|
| Pφ、PCLK、pclk | CLKC_LSB (非変調低速周辺クロック) |

21.2 共通制御部

21.2.1 動作概要

共通制御部は ATU-IV モジュール全体にかかわる動作を制御します。プリスケータやタイマ A～タイマ J 各ブロックのタイマカウンタ動作許可/禁止の制御、クロックバスの制御がこれに該当します。

クロックバス

クロックバスは、タイマの各チャネルのカウンタソースとなるクロック信号（カウンタイネーブル信号）を分配するためのものであり、7本の信号線によって構成されています。各タイマカウンタのカウンタ動作は、内部周辺クロック（Pφ）に同期して行われ、クロックバス上の信号が、これらカウンタに対するカウンタイネーブル信号として作用します。

各クロックバスに入力可能な信号は以下のとおりです。

| クロックバス ビット番号 | 入力可能信号 |
|-----------------|---|
| 6 | タイマ B 出力 (AGCKM2) |
| 5 | タイマ B 出力 (アングルクロック)、または外部クロック入力 B (TCLKB) |
| 4 | 外部クロック入力 A (TCLKA) |
| 3 | プリスケータ 3 出力 |
| 2 | プリスケータ 2 出力 |
| 1 | プリスケータ 1 出力 |
| 0 | プリスケータ 0 出力 |

21.2.2 共通制御部関連レジスタ

21.2.2.1 ATUENR — ATU-IV マスタイネーブルレジスタ

アクセス 8ビット／16ビットアクセス可能

アドレス FFE6 0000_H

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|-----|-----|-----|-----|-----|-----|-----|-----|-----|------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | TJE | THE | TGE | TFE | TEE | TDE | TCE | TBE | TAE | PSCE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.2 ATUENR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 15～10 | — | 何も配置されていません。“0”に固定してください。 |
| 9 | TJE | タイマJイネーブルビット 0: タイマJのカウンタ動作を停止 1: タイマJのカウンタ動作を許可 |
| 8 | THE | タイマHイネーブルビット 0: タイマHのカウンタ動作を停止 1: タイマHのカウンタ動作を許可 |
| 7 | TGE | タイマGイネーブルビット 0: タイマGのカウンタ動作を停止 1: タイマGのカウンタ動作を許可 |
| 6 | TFE | タイマFイネーブルビット 0: タイマFのカウンタ動作を停止 1: タイマFのカウンタ動作を許可 |
| 5 | TEE | タイマEイネーブルビット 0: タイマEのカウンタ動作を停止 1: タイマEのカウンタ動作を許可 |
| 4 | TDE | タイマDイネーブルビット 0: タイマDのカウンタ動作を停止 1: タイマDのカウンタ動作を許可 |
| 3 | TCE | タイマCイネーブルビット 0: タイマCのカウンタ動作を停止 1: タイマCのカウンタ動作を許可 |
| 2 | TBE | タイマBイネーブルビット 0: タイマBのカウンタ動作を停止 1: タイマBのカウンタ動作を許可 |
| 1 | TAE | タイマAイネーブルビット 0: タイマAのカウンタ動作を停止 1: タイマAのカウンタ動作を許可 |
| 0 | PSCE | プリスケアライネーブルビット 0: プリスケアラのクロック生成を停止 1: プリスケアラのクロック生成を許可 |

ATU-IV コントロールレジスタは、16 ビットの読み出し/書き込み可能なレジスタです。本レジスタは、ATU-IV モジュールに含まれる各ブロックの動作を制御します。対応するイネーブルビットがセットされている場合に、各ブロックは所定の動作を行います。対応するイネーブルビットがクリアされている場合、これらのブロックは動作を行いません。ただし、イネーブルビットがクリアされている場合にも、これらのブロックの各レジスタをアクセスすることはできます。

複数のブロックのイネーブルビットを同時にセットすることで、これらのブロックの同期を採ることができます。

(1) TJE — タイマ J イネーブルビット

タイマ J ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを“1”にセットした場合、タイマ J のカウンタは動作します。このビットをクリアした場合、タイマ J のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを“1”にセットした場合には、その値から動作を再開します。

ただし、タイマ J スタートレジスタの対応ビットがセットされていない場合、TJE ビットがセットされても、そのサブブロックのカウンタは動作しません。

(2) THE — タイマ H イネーブルビット

タイマ H ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを“1”にセットした場合、タイマ H のカウンタは動作します。このビットをクリアした場合、タイマ H のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを“1”にセットした場合には、その値から動作を再開します。

(3) TGE — タイマ G イネーブルビット

タイマ G ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを“1”にセットした場合、タイマ G のカウンタは動作します。このビットをクリアした場合、タイマ G のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを“1”にセットした場合には、その値から動作を再開します。

ただし、タイマ G スタートレジスタの対応ビットがセットされていない場合、TGE ビットがセットされても、そのサブブロックのカウンタは動作しません。

(4) TFE — タイマ F イネーブルビット

タイマ F ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを“1”にセットした場合、タイマ F のカウンタは動作します。このビットをクリアした場合、タイマ F のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを“1”にセットした場合には、その値から動作を再開します。

ただし、タイマ F スタートレジスタの対応ビットがセットされていない場合、TFE ビットがセットされても、そのサブブロックのカウンタは動作しません。

(5) TEE — タイマ E イネーブルビット

タイマ E ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを“1”にセットした場合、タイマ E のカウンタは動作します。このビットをクリアした場合、タイマ E のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを“1”にセットした場合には、その値から動作を再開します。

ただし、タイマ E スタートレジスタの対応ビットがセットされていない場合、TEE ビットがセットされても、そのサブブロックのカウンタは動作しません。

(6) TDE — タイマ D イネーブルビット

タイマ D ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを“1”にセットした場合、タイマ D のカウンタは動作します。このビットをクリアした場合、タイマ D のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを“1”にセットした場合には、その値から動作を再開します。

ただし、タイマ D スタートレジスタの対応ビットがセットされていない場合、TDE ビットがセットされても、そのサブブロックのカウンタは動作しません。

(7) TCE — タイマ C イネーブルビット

タイマ C ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを“1”にセットした場合、タイマ C のカウンタは動作します。このビットをクリアした場合、タイマ C のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを“1”にセットした場合には、その値から動作を再開します。

ただし、タイマ C スタートレジスタの対応ビットがセットされていない場合、TCE ビットがセットされても、そのサブブロックのカウンタは動作しません。

(8) TBE — タイマ B イネーブルビット

タイマ B ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを“1”にセットした場合、タイマ B のカウンタは動作します。このビットをクリアした場合、タイマ B のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを“1”にセットした場合には、その値から動作を再開します。

(9) TAE — タイマ A イネーブルビット

タイマ A ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを“1”にセットした場合、タイマ A のカウンタは動作します。このビットをクリアした場合、タイマ A のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを“1”にセットした場合には、その値から動作を再開します。

(10) PSCE — プリスケーライネーブルビット

プリスケーラブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを“1”にセットした場合、プリスケーラのカウンタは動作します。このビットをクリアした場合、プリスケーラのカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを“1”にセットした場合には、その値から動作を再開します。

21.2.2.2 CBCNT — クロックバスコントロールレジスタ

アクセス 8ビットアクセス可能

アドレス FFE6 0002_Hリセット後の値 00_H

| | | | | | | | | |
|---------|---|---|------------|-----|---|--------|------------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | CB4EG[1:0] | | — | CB5SEL | CB5EG[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R | R/W | R/W | R/W |

表 21.3 CBCNT レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|---|
| 7、6 | — | 何も配置されていません。“0”に固定してください。 |
| 5、4 | CB4EG[1:0] | クロックバス 4 エッジセレクトフィールド クロックバス 4 に出力する外部クロック (TCLKA) のエッジを指定します 00: 外部クロックのエッジ検出せず 01: 外部クロックの立ち上がりエッジ 10: 外部クロックの立ち下がりエッジ 11: 外部クロックの立ち上がり/立ち下がり両エッジ |
| 3 | — | 何も配置されていません。“0”に固定してください。 |
| 2 | CB5SEL | クロックバス 5 ソースセレクトビット クロックバス 5 に出力するクロックを指定します。 0: 外部クロック (TCLKB) 1: タイマ B 出力のアングルクロック |
| 1、0 | CB5EG[1:0] | クロックバス 5 エッジセレクトフィールド CB5S を “0” にクリアした場合に、クロックバス 5 に出力する外部クロックのエッジを指定します。 00: 外部クロックのエッジ検出せず 01: 外部クロックの立ち上がりエッジ 10: 外部クロックの立ち下がりエッジ 11: 外部クロックの立ち上がり/立ち下がり両エッジ |

クロックバスコントロールレジスタは、8ビットの読み出し/書き込み可能なレジスタであり、クロックバスに供給するクロックソースの選択と、外部クロックを選択した場合のエッジを選択します。

(1) CB4EG[1:0] — クロックバス 4 エッジセレクトビット

クロックバス 4 に出力する外部クロック (TCLKA) のエッジを選択します。クロックバス 4 をカウントソースクロックとして指定したカウンタは、ここで選択したエッジでのみカウント動作を行います。

(2) CB5SEL — クロックバス 5 ソースセレクトビット

クロックバス 5 に出力するクロックソースを選択します。

(3) CB5EG[1:0] — クロックバス 5 エッジセレクトビット

クロックバス 5 に出力する外部クロック (TCLKB) のエッジを選択します。クロックバス 5 をカウントソースクロックとして指定したカウンタは、ここで選択したエッジでのみカウント動作を行います。

ただし、本ビットはクロックバス 5 ソースクロックに TCLKB を選択した場合にのみ有効です。ソースクロックにタイマ B 出力のアングルクロックを選択した場合、本ビットの設定は無視されます。

21.2.2.3 NCMR — ノイズキャンセルモードレジスタ

アクセス 8ビットアクセス可能

アドレス FFE6 0003_Hリセット後の値 00_H

| | | | | | | | | |
|---------|--------|---|---|--------|------|------|------|------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | NCCSEL | — | — | NCMSEL | NCMJ | NCMF | NCMC | NCMA |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R | R | R/W | R/W | R/W | R/W | R/W |

表 21.4 NCMR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 7 | NCCSEL | ノイズキャンセラカウントクロックセレクトビット ノイズキャンセラ用のカウントクロックを選択します。 0: 内部周辺クロック (PCLK) の 128 分周でカウントアップ 1: 内部周辺クロック (PCLK) でカウントアップ |
| 6, 5 | — | 何も配置されていません。“0”に固定してください。 |
| 4 | NCMSEL | ノイズキャンセルモードセレクトビット 先行エッジキャンセルモードとレベル積算キャンセルモードの選択を行います。 0: 先行エッジキャンセルモード 1: レベル積算キャンセルモード |
| 3 | NCMJ | タイマ J ノイズキャンセルモードビット タイマ J のノイズキャンセラの動作モードを指定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード (NCMSEL = 0 のとき) レベル積算キャンセルモード (NCMSEL = 1 のとき) |
| 2 | NCMF | タイマ F ノイズキャンセルモードビット タイマ F のノイズキャンセラの動作モードを指定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード (NCMSEL = 0 のとき) レベル積算キャンセルモード (NCMSEL = 1 のとき) |
| 1 | NCMC | タイマ C ノイズキャンセルモードビット タイマ C のノイズキャンセラの動作モードを指定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード (NCMSEL = 0 のとき) レベル積算キャンセルモード (NCMSEL = 1 のとき) |
| 0 | NCMA | タイマ A ノイズキャンセルモードビット タイマ A のノイズキャンセラの動作モードを指定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード (NCMSEL = 0 のとき) レベル積算キャンセルモード (NCMSEL = 1 のとき) |

ノイズキャンセルモードレジスタは、8ビットの読み出し/書き込み可能なレジスタであり、タイマ A、C、F、Jにあるノイズキャンセラの動作モード、および、カウントクロックを選択します。

後続エッジキャンセルモードは、入力信号のレベル変化を検出したあと、指定期間内の入力信号のレベル変化を無視します。最初のレベル変化以降、指定期間内の信号レベルの変化をノイズとみなすモードです。

先行エッジキャンセルモードは、入力信号のレベル変化を検出したあと、指定期間内に入力信号のレベルが変化した場合、最初のレベル変化と、それに続くレベル変化を無視します。信号レベルが指定期間以上一定でないものはノイズとみなすモードです。

レベル積算キャンセルモードは、入力信号のレベルを積算し、積算結果が 0 または指定値になってはじめて入力レベルが 0 または 1 に達したとみなすモードです。

それぞれ期間の指定は、各ブロック（タイマ A、C、F、J）のノイズキャンセルレジスタで行い、ノイズキャンセルカウンタが時間を計測します。

図 21.1 に後続エッジキャンセルモード、図 21.2 に先行エッジキャンセルモード、また、図 21.3 にレベル積算キャンセルモードでのノイズキャンセル動作（タイマ A の TIA00 入力の例）の概略図を示します。

各タイマ（A、C、F、J）は、ノイズキャンセラ通過後の信号に対してエッジ検出を行います。図 21.1、図 21.2、図 21.3 は、それぞれノイズキャンセラ通過後の信号に対して、立ち上がりエッジ検出を行う場合の例を示しています。

(1) NCCSEL — ノイズキャンセラカウントクロックセレクトビット

ノイズキャンセラのカウントクロックを設定します。内部周辺クロック（PCLK）の 128 分周と内部周辺クロックのいずれかを選択可能です。初期設定は 128 分周です。タイマごとに異なる動作カウントクロックを設定することはできません。ただし、タイマ A のみクロックバス 5 もカウントソースに選択することが可能です。設定はタイマ A 内の TIOR2A レジスタを参照願います。

(2) NCMSEL — ノイズキャンセルモードセレクトビット

各ノイズキャンセルモードビット（NCMA、NCMC、NCMF、NCMJ）を 1 に設定したときのノイズキャンセルモードを、後続エッジキャンセルモード、あるいはレベル積算キャンセルモードのいずれかに設定できます。

(3) NCMJ — タイマ J ノイズキャンセルモードビット

タイマ J ブロックのノイズキャンセラの動作モードを設定します。タイマ J のチャンネルごとに異なる動作モードを設定することはできません。

(4) NCMF — タイマ F ノイズキャンセルモードビット

タイマ F ブロックのノイズキャンセラの動作モードを設定します。タイマ F のチャンネルごとに異なる動作モードを設定することはできません。

タイマ F をチャンネルごとに異なる動作モードを設定する場合は、本ビットを“0”に設定した上で、タイマ F 部にある、
ノイズキャンセルモードチャンネルレジスタ 1F（NCMCR1F）および
ノイズキャンセルモードチャンネルレジスタ 2F（NCMCR2F）
を設定することにより可能となります。

(5) NCMC — タイマ C ノイズキャンセルモードビット

タイマ C ブロックのノイズキャンセラの動作モードを設定します。タイマ C のチャンネルごとに異なる動作モードを設定することはできません。

(6) NCMA — タイマ A ノイズキャンセルモードビット

タイマ A ブロックのノイズキャンセラの動作モードを設定します。タイマ A のチャンネルごとに異なる動作モードを設定することはできません。

タイマ A をチャンネルごとに異なる動作モードを設定する場合は、本ビットを“0”に設定した上で、タイマ A 部にある、
ノイズキャンセルモードチャンネルレジスタ 1A（NCMCR1A）および
ノイズキャンセルモードチャンネルレジスタ 2A（NCMCR2A）
を設定することにより可能となります。

表 21.5、表 21.7 に、ノイズキャンセルモードを設定する場合の真理値表を示します。

表 21.5 タイマ A に関するノイズキャンセルモード対応表

| チャンネル イネーブル | フィルタモード | | チャンネルレジスタ | | 動作モード | フィルタ単位 |
|----------------|---------------|-----------------|--------------------|--------------------|--------|--------------------|
| | NCMR. NCMA | NCMR. NCMSEL | NCMCR1A. NCM1Ax | NCMCR2A. NCM2Ax | | |
| 0 | — | — | — | — | フィルタ無効 | — |
| 1 | 0 | (—) | 0 | (—) | 後続エッジ | 各サブブロック/ 各チャンネル |
| 1 | 0 | (—) | 1 | 0 | 先行エッジ | 各チャンネル |
| 1 | 0 | (—) | 1 | 1 | レベル積算 | 各チャンネル |
| 1 | 1 | (0) | — | — | 先行エッジ | 各サブブロック |
| 1 | 1 | 1 | — | — | レベル積算 | 各サブブロック |

備考 1. x は、0～5

備考 2. ノイズキャンセライネーブルビット Ax (NCEAx) は、各チャンネル単位で設定可能。

タイマ A のフィルタ単位を各チャンネルとする場合の設定方法 (前提条件：チャンネルイネーブル = “1”)

- 各チャンネル設定：
ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMA) を “0” に設定し、さらに、タイマ A のノイズキャンセルモードチャンネルレジスタ 1A (NCMCR1A) のノイズキャンセルモードチャンネル設定ビット (NCM1Ax) 中に 1 ビットでも “1” が設定された場合。
- 全チャンネル設定：
上記「各チャンネル設定」の説明の中で、ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMA) を “1” の場合。または、上記「各チャンネル設定」の説明の中で、ノイズキャンセルモードチャンネルレジスタ 1A (NCMCR1A) のノイズキャンセルモードチャンネル設定ビット (NCM1Ax) にすべて “0” が設定されている場合。

表 21.6 タイマ C に関するノイズキャンセルモード対応表

| チャンネル イネーブル | フィルタモード | | チャンネルレジスタ | | 動作モード | フィルタ単位 |
|----------------|------------------|---------------|-----------------|--------------------|--------|--------------------|
| | NCCRCx. NCECx | NCMR. NCMC | NCMR. NCMSEL | NCMCR1C. NCM1Cx | | |
| 0 | — | — | — | — | フィルタ無効 | — |
| 1 | 0 | (—) | 0 | (—) | 後続エッジ | 各サブブロック/ 各チャンネル |
| 1 | 0 | (—) | 1 | 0 | 先行エッジ | 各チャンネル |
| 1 | 0 | (—) | 1 | 1 | レベル積算 | 各チャンネル |
| 1 | 1 | (0) | — | — | 先行エッジ | 各サブブロック |
| 1 | 1 | 1 | — | — | レベル積算 | 各サブブロック |

備考 1. xは、0～7

備考 2. ノイズキャンセライネーブルビット Cx (NCECx) は、各チャンネル単位で設定可能。

タイマ C のフィルタ単位を各チャンネルとする場合の設定方法 (前提条件：チャンネルイネーブル = “1”)

- 各チャンネル設定
ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMC) を “0” に設定し、さらに、タイマ C のノイズキャンセルモードチャンネルレジスタ 1C (NCMCR1C) のノイズキャンセルモードチャンネル設定ビット (NCM1Cx) 中に 1 ビットでも “1” が設定された場合。
- 全チャンネル設定
上記「各チャンネル設定」の説明の中で、ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMC) を “1” の場合。または、上記「各チャンネル設定」の説明の中で、ノイズキャンセルモードチャンネルレジスタ 1C (NCMCR1C) のノイズキャンセルモードチャンネル設定ビット (NCM1Cx) にすべて “0” が設定されている場合。

表 21.7 タイマFに関するノイズキャンセルモード対応表

| チャンネル イネーブル | フィルタモード | | チャンネルレジスタ | | 動作モード | フィルタ単位 |
|----------------|-----------------------------|---------------|-----------------|--------------------------------|--------|--------------------|
| | NCCRF. NCEF _x | NCMR. NCMF | NCMR. NCMSEL | NCMCR1F. NCM1F _x | | |
| 0 | — | — | — | — | フィルタ無効 | — |
| 1 | 0 | (—) | 0 | (—) | 後続エッジ | 各サブブロック/ 各チャンネル |
| 1 | 0 | (—) | 1 | 0 | 先行エッジ | 各チャンネル |
| 1 | 0 | (—) | 1 | 1 | レベル積算 | 各チャンネル |
| 1 | 1 | (0) | — | — | 先行エッジ | 各サブブロック |
| 1 | 1 | 1 | — | — | レベル積算 | 各サブブロック |

備考 1. xは、0～11

備考 2. ノイズキャンセライネーブルビット F_x (NCEF_x) は、各チャンネル単位で設定可能。

タイマFのフィルタ単位を各チャンネルとする場合の設定方法 (前提条件：チャンネルイネーブル = “1”)

- 各チャンネル設定：
ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMF) を“0”に設定し、さらに、タイマFのノイズキャンセルモードチャンネルレジスタ 1F (NCMCR1F) のノイズキャンセルモードビット (NCM1F_x) 中に1ビットでも“1”が設定された場合。
- 全チャンネル設定：
上記「各チャンネル設定」の説明の中で、ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMF) を“1”の場合。または、上記「各チャンネル設定」の説明の中で、ノイズキャンセルモードチャンネルレジスタ 1F (NCMCR1F) のノイズキャンセルモードチャンネル設定ビット (NCM1F_x) にすべて“0”が設定されている場合。

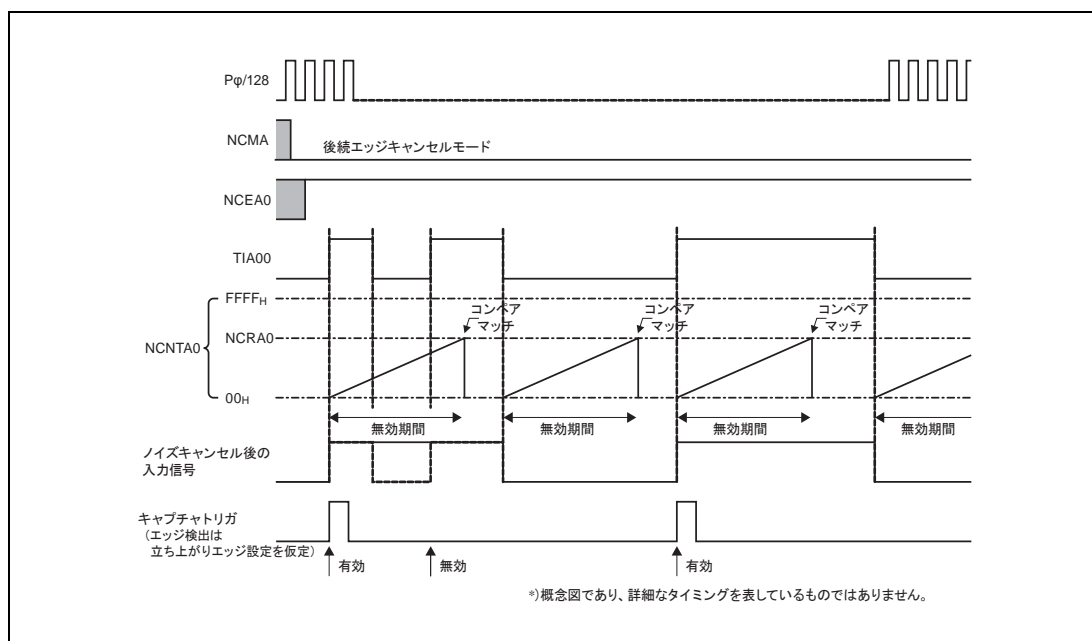


図 21.1 後続エッジキャンセルモードでのノイズキャンセル動作概略図

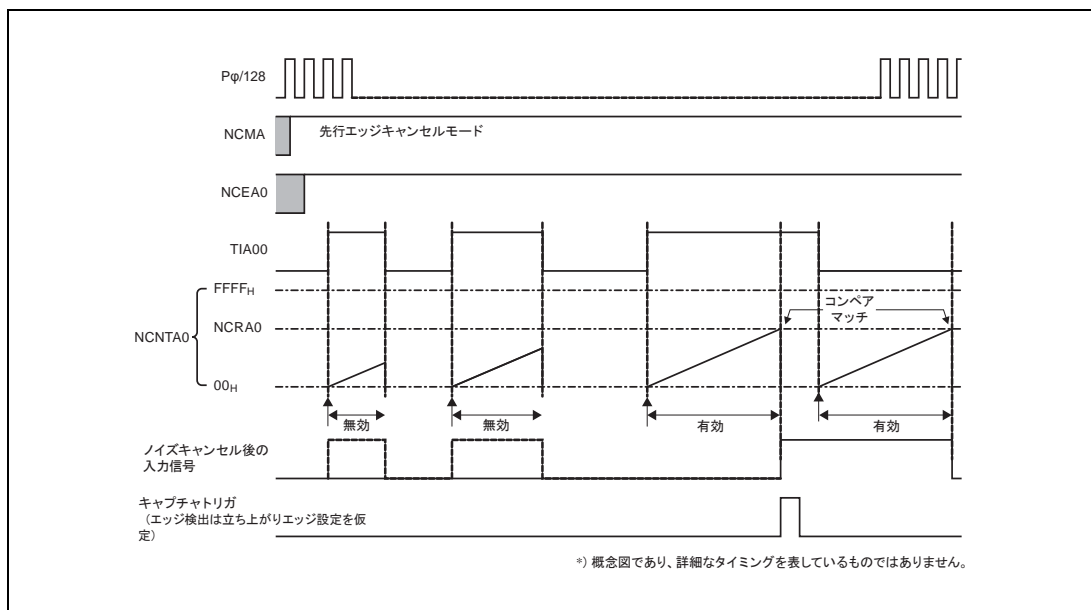


図 21.2 先行エッジキャンセルモードでのノイズキャンセル動作概略図

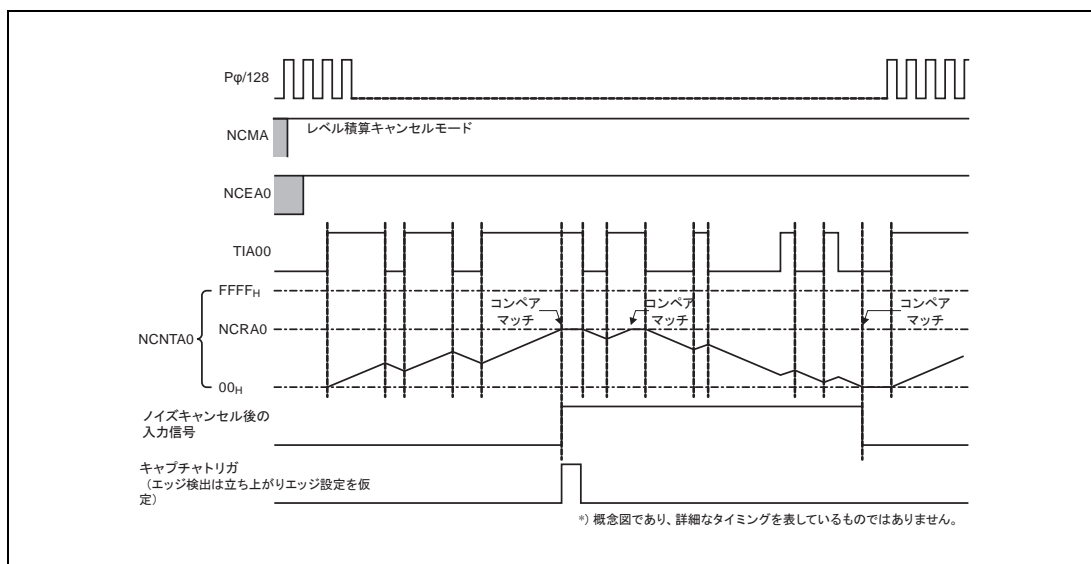


図 21.3 レベル積算キャンセルモードでのノイズキャンセル動作概略図

21.3 プリスケーラ

21.3.1 動作概要

ATU-IV は4チャンネルの汎用プリスケーラとノイズキャンセルクロック用プリスケーラ1本を内蔵しています。

汎用プリスケーラは10ビットのダウンカウンタによって構成されており、内部周辺クロック (PCLK) を $1/N$ ($1 \leq N \leq 1024$) に分周して新しいクロックを生成します。生成されたクロックは、クロックバスを介して各タイマに供給されます。各チャンネルのプリスケーラは互いに独立して動作可能です。

一方、ノイズキャンセルクロック用プリスケーラは7ビットのダウンカウンタによって構成されており、内部周辺クロック (PCLK) を $1/128$ に分周してクロックを生成します。生成されたノイズキャンセルクロックはタイマA、タイマC、タイマF、およびタイマJに供給されます。

(ノイズキャンセル用クロックは共通制御部の NCMR レジスタの NCCSEL ビットにより、内部周辺クロックの $1/1$ 分周、もしくは $1/128$ 分周から選択可能です。分周比設定用レジスタは設けておりません。)

プリスケーラのダウンカウンタはリセット時に 0000_H に初期化されます。

21.3.2 プリスケーラ関連レジスタ

21.3.2.1 PSCRx — プリスケーラレジスタ x (x = 0 ~ 3)

アクセス 16ビットアクセス可能。8ビットアクセス禁止

アドレス FFE6 0080_H (PSCR0)
 FFE6 0084_H (PSCR1)
 FFE6 0088_H (PSCR2)
 FFE6 008C_H (PSCR3)

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | PSCx[9:0] | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.8 PSCR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|-------------------------------|
| 15 ~ 10 | — | 何も配置されていません。“0”に固定してください。 |
| 9 ~ 0 | PSCx[9:0] | 分周比フィールド プリスケーラの分周比を設定します。 |

備考 xは0～3の整数。

プリスケーラレジスタ x は 16 ビットの読み出し／書き込み可能なレジスタです。本レジスタは 4 チャンネルのプリスケーラに 1 個ずつ用意されており、プリスケーラの分周比を設定します。

プリスケーラレジスタ x の設定値を書き換えると、プリスケーラのアンダフローに同期して、その書き換え値による動作を開始します。プリスケーラレジスタ x には、000_H から 3FF_H の値を設定することができます。

プリスケーラの分周比は次の式で与えられます。

$$\text{プリスケーラ分周比} = \frac{1}{\text{PSCx}[9:0] + 1} \quad (\text{分周設定範囲: } 1/1 \sim 1/1024)$$

また、プリスケーラの出力するクロックは 50% のデューティを保証していません。PCLK の 1 サイクル期間のみ“H”であり、残りの期間はすべて“L”となります。

21.3.3 詳細動作説明

21.3.3.1 動作の開始

プリスケアラは、ATU-IV イネーブルレジスタの PSCE ビットがセットされると動作を開始し、PSCx に指定された分周比のクロックを生成します。プリスケアラの動作中、クロックには、カウンタのアンダフローに同期して、PCLK の1周期分の“H”が出力されます。

動作中に PSCx が変更された場合、カウンタのアンダフローに同期して出力クロックの分周比が切り替わります。

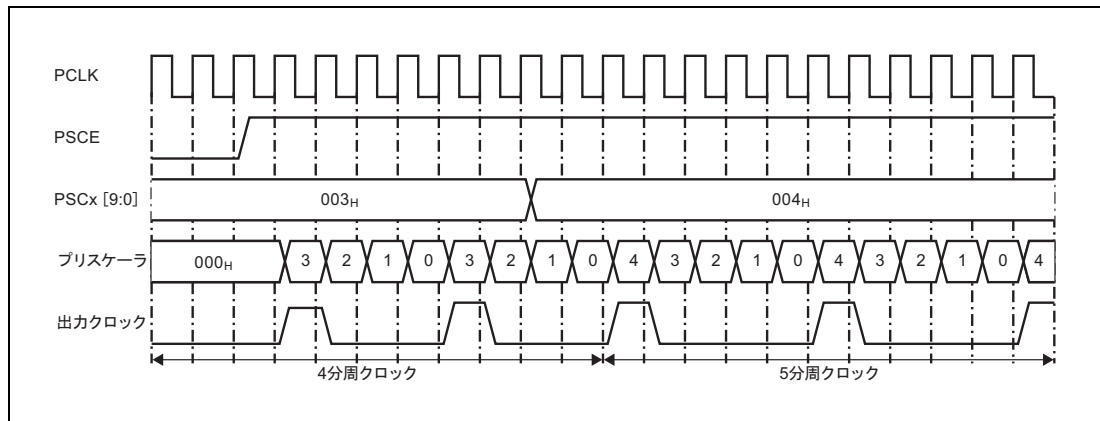


図 21.4 プリスケアラの動作開始

21.3.3.2 動作の停止と再開

プリスケアラは、ATU-IV イネーブルレジスタの PSCE ビットがクリアされると動作を停止します。停止期間中、クロックには“L”が出力されます。

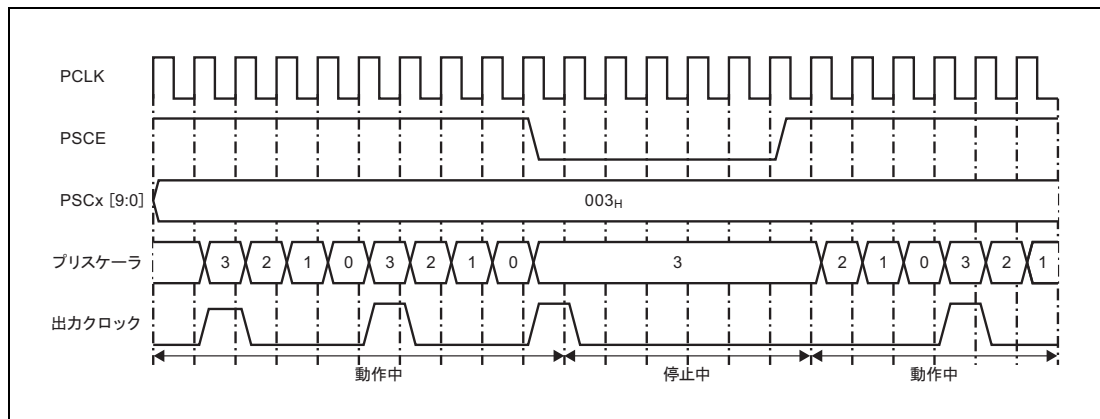


図 21.5 プリスケアラの動作停止

21.4 タイマ A

21.4.1 動作概要

タイマ A は 32 ビットフリーランニングカウンタ A (TCNTA) と 6 本の 32 ビットインプットキャプチャレジスタ Ax (ICRA0 ~ 5) を内蔵しています。TCNTA はアップカウンタで、フリーランニング動作を行います。カウンタのオーバフロー時に割り込み要求が可能です。

7 本のインプットキャプチャレジスタ A0 ~ 5 (ICRA0 ~ 5) は、各々に対応する外部信号入力端子 (TIA00 ~ 05) からの入力によりフリーランニングカウンタ A (TCNTA) の値をキャプチャします。外部信号入力端子からの入力によるキャプチャは、タイマ I/O コントロールレジスタ 1A (TIOR1A) により立ち上がり/立ち下がり/両エッジから選択できます。それぞれ、キャプチャするタイミングで DMAC の起動および割り込み要求が可能です。

外部信号入力端子からの入力は、入力キャンセル機能を使用してノイズをキャンセルすることができます。この外部信号入力端子 (TIA00 ~ 05) については、ノイズキャンセル後の端子レベルをリードおよびキャプチャすることが可能です。端子レベルをキャプチャするタイミングは、タイマ B からの OCRB6 割り込み要求信号のタイミングでキャプチャを行います。また、入力端子 (TIA00 ~ 05) のノイズキャンセル後の信号についてはタイマ F への入力信号として出力することが可能です。さらに、一部入力端子のノイズキャンセル、エッジ処理後の信号についてはタイマ B、タイマ C、タイマ D へイベント信号として出力することが可能です。タイマ B へは TIA00 ~ 05 の 6 本のいずれか、または組み合わせで入力エッジを併せたイベント信号を出力 (イベント出力 1) できます。タイマ B へは TIA00 ~ 05 計 6 本のイベント信号を出力 (イベント出力 1B ~ 1H) し、イベントカウンタ B1 (TCNTB1) のキャプチャトリガとして使用できます。タイマ D へは TIA00 ~ 05 のいずれか、または組み合わせで入力エッジを併せたイベント信号をタイマ D0 ~ D4 用それぞれに出力 (イベント出力 2A、2B) し、タイマオフセットベースレジスタ Dx (OSBRD0 ~ 4) のキャプチャトリガとして使用できます。これらのイベント出力 1、イベント出力 2A、2B の信号は、タイマ C のインプットキャプチャトリガとしても使用できます。

キャプチャタイミングで DMAC を起動することにより、DMAC でキャプチャレジスタの値を転送することができます。

図 21.6 に、タイマ A のブロック図を示します。

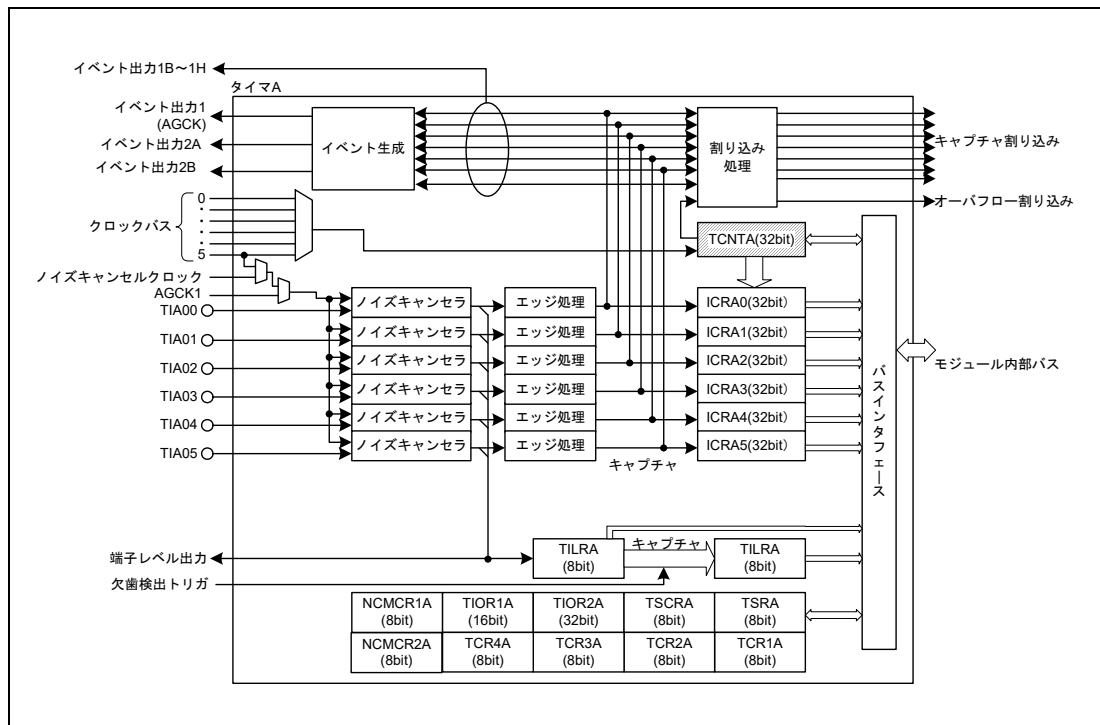


図 21.6 タイマ A ブロック図

21.4.2 タイマ A 制御レジスタ

21.4.2.1 TCR1A — タイマコントロールレジスタ 1A

アクセス 8ビットアクセス可能

アドレス FFE6 0200_H

リセット後の値 00_H

| | | | | | | | | |
|---------|----------|----------|---------|-----|-----|--------|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | EVOSEL2A | EVOSEL2B | EVOSEL1 | | | CKSELA | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.9 TCR1A レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|--|
| 7 | EVOSEL2A | イベント出力 2A セレクト 0 : TIA01 の入力エッジを出力 1 : TIA02 の入力エッジを出力 |
| 6 | EVOSEL2B | イベント出力 2B セレクト 0 : TIA01 の入力エッジを出力 1 : TIA02 の入力エッジを出力 |
| 5 ~ 3 | EVOSEL1 | イベント出力 1 セレクト 000 : イベント出力なし 001 : TIA00 の入力エッジを出力 010 : TIA01 の入力エッジを出力 011 : TIA01 と TIA00 の入力エッジを併せて出力 100 : TIA02 の入力エッジを出力 101 : TIA02 と TIA00 の入力エッジを併せて出力 110 : TIA02 と TIA01 の入力エッジを併せて出力 111 : TIA02 と TIA01 と TIA00 の入力エッジを併せて出力 |
| 2 ~ 0 | CKSELA | クロックセレクト A 000 : クロックバス 0 を選択 (プリスケアラ 0) 001 : クロックバス 1 を選択 (プリスケアラ 1) 010 : クロックバス 2 を選択 (プリスケアラ 2) 011 : クロックバス 3 を選択 (プリスケアラ 3) 100 : クロックバス 4 を選択 (TCLKA) 101 : クロックバス 5 を選択 (TCLKB or 倍周補正クロック) 110 : 設定禁止 111 : 設定禁止 |

タイマコントロールレジスタ 1A (TCR1A) は 8 ビットの読み出し/書き込み可能なレジスタで、外部入力エッジ TIA00 ~ 02 のイベント出力設定、カウントクロックの選択を行います。

TCR1A はリセット時に 00_H に初期化されます。

(1) EVOSEL2A — イベント出力 2A セレクト

このイベント出力 2A セレクトの設定により、外部入力 TIA01、02 (ノイズキャンセル、エッジ検出後の信号) のいずれかをイベント 2A として出力することができます。タイマ D0 ~ D4 は、このイベント 2A 信号をタイマオフセットベースレジスタ Dx (OSBRD0 ~ 4) のキャプチャトリガとして使用できます。タイマ C はこのイベント 2A 信号をキャプチャトリガとして使用できます。

(2) EVOSEL2B — イベント出力 2B セレクト

このイベント出力 2 セレクト B の設定により、外部入力 TIA01、02（ノイズキャンセル、エッジ検出後の信号）のいずれかをイベント 2B として出力することができます。タイマ D0～D4 は、このイベント 2B 信号をタイマオフセットベースレジスタ Dx（OSBRD0～4）のキャプチャトリガとして使用できます。タイマ C はこのイベント 2B 信号をキャプチャトリガとして使用できます。

(3) EVOSEL1 — イベント出力 1 セレクト

このイベント出力 1 セレクトの設定により、外部入力 TIA00～02（ノイズキャンセル、エッジ検出後の信号）のいずれかをイベント 1 としてタイマ B、タイマ C へ出力することができます。さらに、TIA00 と TIA01、TIA00 と TIA02、TIA01 と TIA02、TIA00 と TIA01 と TIA02 の組み合わせで、入力エッジを併せてイベント 1 としてタイマ B、タイマ C へ出力することができます。

(4) CKSELA — クロックセレクト A

これらのビットにより、カウントクロックとしてクロックバス 0～5 のいずれかを選択します。クロックバス 0～3 はプリスケアラ 0～3 の出力する分周クロック、クロックバス 4 は外部クロック入力 A（TCLKA）に対応し、クロックバス 5 には、クロックバスコントロールレジスタの設定によって、外部クロック入力 B（TCLKB）、あるいはタイマ B の出力する倍周補正クロックが出力されます。

カウントクロックの選択は、タイマ A の動作が停止している状態で行ってください。

注 意

外部クロック入力のエッジ検出は、クロックバスへの出力前に行われます。外部クロック入力 A、B を使用する場合には、クロックバスコントロールレジスタのエッジセレクトビットで検出エッジを設定してください。

21.4.2.2 TCR2A — タイマコントロールレジスタ 2A

アクセス 8ビットアクセス可能

アドレス FFE6 0202_Hリセット後の値 00_H

| | | | | | | | | |
|---------|-----------|-----|----------|-----|-----|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | EVOSELE1E | — | EVOSELE1 | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.10 TCR2A レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 7 | EVOSELE1E | イベント出力1拡張イネーブル 0: イベント出力1拡張セレクトを無効にする 1: イベント出力1拡張セレクトを有効にする |
| 6 | — | 何も配置されていません。“0”に固定してください。 |
| 5 ~ 0 | EVOSELE1 | イベント出力1拡張セレクト イベントとして出力する入力 (TIA00 ~ 05) の組み合わせを選択する b5 0: TIA05の入力エッジを出力しない 1: TIA05の入力エッジを出力する b4 0: TIA04の入力エッジを出力しない 1: TIA04の入力エッジを出力する b3 0: TIA03の入力エッジを出力しない 1: TIA03の入力エッジを出力する b2 0: TIA02の入力エッジを出力しない 1: TIA02の入力エッジを出力する b1 0: TIA01の入力エッジを出力しない 1: TIA01の入力エッジを出力する b0 0: TIA00の入力エッジを出力しない 1: TIA00の入力エッジを出力する |

(1) EVOSELE1E — イベント出力1拡張セレクトイネーブル

イベント出力1拡張セレクトイネーブル (EVOSELE1E) は8ビットの読み出し/書き込み可能なレジスタで、イベント出力1拡張セレクトの有効無効の選択を行います。EVOSELE1E はリセット時に 00_H に初期化されます。

(2) EVOSELE1 — イベント出力1拡張セレクトレジスタ

イベント出力1拡張セレクトレジスタ (EVOSELE1) は8ビットの読み出し/書き込み可能なレジスタで、EVOSELE1E が有効のとき、外部入力エッジ TIA00 ~ 05 のイベント出力1の設定を行います。

EVOSELE1 はリセット時に 00_H に初期化されます。

本レジスタの設定により、外部入力 TIA00 ~ 05 (ノイズキャンセル、エッジ検出後の信号) のいずれか、または組み合わせで入力エッジを併せてイベント1としてタイマB、タイマCへ出力することができます。

また、本機能が有効の場合は、TCR1A で設定したイベント出力のセレクトが無効となります。

21.4.2.3 TCR3A — タイマコントロールレジスタ 3A

アクセス 8ビットアクセス可能

アドレス FFE6 0204_Hリセット後の値 00_H

| | | | | | | | | |
|---------|------------|-----|-----------|-----|-----|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | EVOSELE2AE | — | EVOSELE2A | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.11 TCR3A レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|--|
| 7 | EVOSELE2AE | イベント出力 2A 拡張イネーブル 0: イベント出力 2A 拡張セレクトを無効にする 1: イベント出力 2A 拡張セレクトを有効にする |
| 6 | — | 何も配置されていません。“0”に固定してください。 |
| 5 ~ 0 | EVOSELE2A | イベント出力 2A 拡張セレクト イベントとして出力する入力 (TIA00 ~ 05) の組み合わせを選択する b5 0: TIA05 の入力エッジを出力しない 1: TIA05 の入力エッジを出力する b4 0: TIA04 の入力エッジを出力しない 1: TIA04 の入力エッジを出力する b3 0: TIA03 の入力エッジを出力しない 1: TIA03 の入力エッジを出力する b2 0: TIA02 の入力エッジを出力しない 1: TIA02 の入力エッジを出力する b1 0: TIA01 の入力エッジを出力しない 1: TIA01 の入力エッジを出力する b0 0: TIA00 の入力エッジを出力しない 1: TIA00 の入力エッジを出力する |

(1) EVOSELE2AE — イベント出力 2A 拡張セレクトイネーブル

イベント出力 2A 拡張セレクトイネーブル (EVOSELE2AE) は 8 ビットの読み出し/書き込み可能なレジスタで、イベント出力 2A 拡張セレクトの有効無効の選択を行います。

EVOSELE2AE はリセット時に 00_H に初期化されます。

(2) EVOSELE2A — イベント出力 2A 拡張セレクトレジスタ

イベント出力 2A 拡張セレクトレジスタ (EVOSELE2A) は 8 ビットの読み出し/書き込み可能なレジスタで、EVOSELE2AE が有効なとき、外部入力エッジ TIA00 ~ 05 のイベント出力 2A の設定を行います。

EVOSELE2A はリセット時に 00_H に初期化されます。

本レジスタの設定により、外部入力 TIA00 ~ 05 (ノイズキャンセル、エッジ検出後の信号) のいずれか、または組み合わせで入力エッジを併せてイベント 2A として出力することができます。タイマ D0 ~ D4 は、このイベント 2A 信号をタイマオフセットベースレジスタ Dx

(OSBRD0 ~ 4) のキャプチャトリガとして使用できます。タイマ C はこのイベント 2A 信号をキャプチャトリガとして使用できます。

また、本機能が有効の場合は、TCR1A で設定したイベント出力のセレクトが無効となります。

21.4.2.4 TCR4A — タイマコントロールレジスタ 4A

アクセス 8ビットアクセス可能

アドレス FFE6 0206_Hリセット後の値 00_H

| | | | | | | | | |
|---------|------------|-----|-----------|-----|-----|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | EVOSELE2BE | — | EVOSELE2B | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.12 TCR4A レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|--|
| 7 | EVOSELE2BE | イベント出力 2B 拡張イネーブル 0: イベント出力 2B 拡張セレクトを無効にする 1: イベント出力 2B 拡張セレクトを有効にする |
| 6 | — | 何も配置されていません。“0”に固定してください。 |
| 5 ~ 0 | EVOSELE2B | イベント出力 2B 拡張セレクト イベントとして出力する入力 (TIA00 ~ 05) の組み合わせを選択する b5 0: TIA05 の入力エッジを出力しない 1: TIA05 の入力エッジを出力する b4 0: TIA04 の入力エッジを出力しない 1: TIA04 の入力エッジを出力する b3 0: TIA03 の入力エッジを出力しない 1: TIA03 の入力エッジを出力する b2 0: TIA02 の入力エッジを出力しない 1: TIA02 の入力エッジを出力する b1 0: TIA01 の入力エッジを出力しない 1: TIA01 の入力エッジを出力する b0 0: TIA00 の入力エッジを出力しない 1: TIA00 の入力エッジを出力する |

(1) EVOSELE2BE — イベント出力 2B 拡張セレクトイネーブル

イベント出力 2B 拡張セレクトイネーブル (EVOSELE2BE) は 8 ビットの読み出し/書き込み可能なレジスタで、イベント出力 2B 拡張セレクトの有効無効の選択を行います。

EVOSELE2BE はリセット時に 00_H に初期化されます。

(2) EVOSELE2B — イベント出力 2B 拡張セレクトレジスタ

イベント出力 2B 拡張セレクトレジスタ (EVOSELE2B) は 8 ビットの読み出し/書き込み可能なレジスタで、EVOSELE2BE が有効のとき、外部入力エッジ TIA00 ~ 05 のイベント出力 2B の設定を行います。

EVOSELE2B はリセット時に 00_H に初期化されます。

本レジスタの設定により、外部入力 TIA00 ~ 05 (ノイズキャンセル、エッジ検出後の信号) のいずれか、または組み合わせで入力エッジを併せてイベント 2B として出力することができます。タイマ D0 ~ D4 は、このイベント 2B 信号をタイマオフセットベースレジスタ Dx

(OSBRD0 ~ 4) のキャプチャトリガとして使用できます。タイマ C はこのイベント 2B 信号をキャプチャトリガとして使用できます。

また、本機能が有効の場合は、TCR1A で設定したイベント出力のセレクトが無効となります。

21.4.2.5 NCMCR1A — ノイズキャンセルモードチャンネルレジスタ 1A

アクセス 8ビットアクセス可能

アドレス FFE6 020C_Hリセット後の値 00_H

| | | | | | | | | |
|---------|---|---|--------|--------|--------|--------|--------|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | NCM1A5 | NCM1A4 | NCM1A3 | NCM1A2 | NCM1A1 | NCM1A0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.13 NCMCR1A レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|--|
| 7、6 | — | 何も配置されていません。“0”に固定してください。 |
| 5 | NCM1A5 | チャンネル5ノイズキャンセルモードビット チャンネル5のノイズキャンセラの動作モードを設定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード (NCMA = 0 & NCM2A5 = 0 時) 1: レベル積算キャンセルモード (NCMA = 0 & NCM2A5 = 1 時) |
| 4 | NCM1A4 | チャンネル4ノイズキャンセルモードビット チャンネル4のノイズキャンセラの動作モードを設定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード (NCMA = 0 & NCM2A4 = 0 時) 1: レベル積算キャンセルモード (NCMA = 0 & NCM2A4 = 1 時) |
| 3 | NCM1A3 | チャンネル3ノイズキャンセルモードビット チャンネル3のノイズキャンセラの動作モードを設定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード (NCMA = 0 & NCM2A3 = 0 時) 1: レベル積算キャンセルモード (NCMA = 0 & NCM2A3 = 1 時) |
| 2 | NCM1A2 | チャンネル2ノイズキャンセルモードビット チャンネル2のノイズキャンセラの動作モードを設定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード (NCMA = 0 & NCM2A2 = 0 時) 1: レベル積算キャンセルモード (NCMA = 0 & NCM2A2 = 1 時) |
| 1 | NCM1A1 | チャンネル1ノイズキャンセルモードビット チャンネル1のノイズキャンセラの動作モードを設定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード (NCMA = 0 & NCM2A1 = 0 時) 1: レベル積算キャンセルモード (NCMA = 0 & NCM2A1 = 1 時) |
| 0 | NCM1A0 | チャンネル0ノイズキャンセルモードビット チャンネル0のノイズキャンセラの動作モードを設定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード (NCMA = 0 & NCM2A0 = 0 時) 1: レベル積算キャンセルモード (NCMA = 0 & NCM2A0 = 1 時) |

ノイズキャンセルモードチャンネルレジスタ 1A は、8ビットの読み出し/書き込み可能なレジスタであり、各チャンネル単位にあるノイズキャンセラの動作モードを選択します。

後続エッジキャンセルモードは、入力信号のレベル変化を検出したあと、指定期間内の入力信号のレベル変化を無視します。最初のレベル変化以降、指定期間内の信号レベルの変化をノイズとみなすモードです。

レベル積算キャンセルモードは、入力信号のレベルを積算し、積算結果が0または指定値になってはじめて入力レベルが0または1に達したとみなすモードです。

それぞれ期間の指定は、各チャンネルのノイズキャンセルレジスタで行い、ノイズキャンセルカウンタが時間を計測します。

図 21.1 に後続エッジキャンセルモード、図 21.2 に、先行エッジキャンセルモード、また、図 21.3 にレベル積算キャンセルモードでのノイズキャンセル動作（タイマ A の TIA00 入力の例）の概略図を示します。

各チャンネルでは、ノイズキャンセラ通過後の信号に対してエッジ検出を行います。図 21.1、図 21.2、図 21.3 は、それぞれノイズキャンセラ通過後の信号に対して、立ち上がりエッジ検出を行う場合の例を示しています。

(1) NCM1A5 — チャンネル 5 ノイズキャンセルモードビット

チャンネル 5 のノイズキャンセラの動作モードを設定します。

(2) NCM1A4 — チャンネル 4 ノイズキャンセルモードビット

チャンネル 4 のノイズキャンセラの動作モードを設定します。

(3) NCM1A3 — チャンネル 3 ノイズキャンセルモードビット

チャンネル 3 のノイズキャンセラの動作モードを設定します。

(4) NCM1A2 — チャンネル 2 ノイズキャンセルモードビット

チャンネル 2 のノイズキャンセラの動作モードを設定します。

(5) NCM1A1 — チャンネル 1 ノイズキャンセルモードビット

チャンネル 1 のノイズキャンセラの動作モードを設定します。

(6) NCM1A0 — チャンネル 0 ノイズキャンセルモードビット

チャンネル 0 のノイズキャンセラの動作モードを設定します。

注 意

1. 本レジスタは、共通制御部のノイズキャンセルモードレジスタ (NCMR) の NCMA ビットが“0”の場合にのみ設定が有効となります。さらに、本レジスタのチャンネル対応ビット (NCM1Ax) に“1”を設定した場合のモード状態は、ノイズキャンセルモードチャンネルレジスタ 2A (NCMCR2A) の対応する同一チャンネルビットの状態により、後続エッジキャンセルモード/先行エッジキャンセルモード/レベル積算キャンセルモードに設定することが可能です。

2. x は、0 ~ 5

表 21.14 に、ノイズキャンセルモードを設定する場合の真理値表を示します。

表 21.14 タイマ A に関するノイズキャンセルモード対応表

| チャンネル イネーブル | フィルタモード | | チャンネルレジスタ | | 動作モード | フィルタ単位 |
|----------------|------------------|---------------|-----------------|--------------------|--------|--------------------|
| | TIOR2A. NCEAx | NCMR. NCMA | NCMR. NCMSEL | NCMCR1A. NCM1Ax | | |
| 0 | — | — | — | — | フィルタ無効 | — |
| 1 | 0 | (—) | 0 | (—) | 後続エッジ | 各サブブロック ／各チャンネル |
| 1 | 0 | (—) | 1 | 0 | 先行エッジ | 各チャンネル |
| 1 | 0 | (—) | 1 | 1 | レベル積算 | 各チャンネル |
| 1 | 1 | (0) | — | — | 先行エッジ | 各サブブロック |
| 1 | 1 | 1 | — | — | レベル積算 | 各サブブロック |

備考 1. x は、0～5

備考 2. イネーブルビット (NCEAx) は、各チャンネル単位で設定可能。

タイマ A のフィルタ単位を各チャンネルとする場合の設定方法 (前提条件：チャンネルイネーブル = “1”)

- 各チャンネル設定：
ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMA) を “0” に設定し、さらに、タイマ A のノイズキャンセルモードチャンネルレジスタ 1A (NCMCR1A) のノイズキャンセルモードチャンネル設定ビット (NCM1Ax) 中に 1 ビットでも “1” が設定された場合。
- 全チャンネル設定：
上記「各チャンネル設定」の説明の中で、ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMA) を “1” の場合。または、上記「各チャンネル設定」の説明の中で、ノイズキャンセルモードチャンネルレジスタ 1A (NCMCR1A) のノイズキャンセルモードチャンネル設定ビット (NCM1Ax) にすべて “0” が設定されている場合。

21.4.2.6 NCMCR2A — ノイズキャンセルモードチャンネルレジスタ 2A

アクセス 8ビットアクセス可能

アドレス FFE6 020EH

リセット後の値 00H

| | | | | | | | | |
|---------|---|---|--------|--------|--------|--------|--------|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | NCM2A5 | NCM2A4 | NCM2A3 | NCM2A2 | NCM2A1 | NCM2A0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.15 NCMCR2A レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 7、6 | — | 何も配置されていません。“0”に固定してください。 |
| 5 | NCM2A5 | チャンネル5ノイズキャンセルモードビット2 チャンネル5のノイズキャンセラの動作モードを設定します。 0: 先行エッジキャンセルモード (NCMA = 0 & NCM1A5 = 1 時) 1: レベル積算キャンセルモード (NCMA = 0 & NCM1A5 = 1 時) |
| 4 | NCM2A4 | チャンネル4ノイズキャンセルモードビット2 チャンネル4のノイズキャンセラの動作モードを設定します。 0: 先行エッジキャンセルモード (NCMA = 0 & NCM1A4 = 1 時) 1: レベル積算キャンセルモード (NCMA = 0 & NCM1A4 = 1 時) |
| 3 | NCM2A3 | チャンネル3ノイズキャンセルモードビット2 チャンネル3のノイズキャンセラの動作モードを設定します。 0: 先行エッジキャンセルモード (NCMA = 0 & NCM1A3 = 1 時) 1: レベル積算キャンセルモード (NCMA = 0 & NCM1A3 = 1 時) |
| 2 | NCM2A2 | チャンネル2ノイズキャンセルモードビット2 チャンネル2のノイズキャンセラの動作モードを設定します。 0: 先行エッジキャンセルモード (NCMA = 0 & NCM1A2 = 1 時) 1: レベル積算キャンセルモード (NCMA = 0 & NCM1A2 = 1 時) |
| 1 | NCM2A1 | チャンネル1ノイズキャンセルモードビット2 チャンネル1のノイズキャンセラの動作モードを設定します。 0: 先行エッジキャンセルモード (NCMA = 0 & NCM1A1 = 1 時) 1: レベル積算キャンセルモード (NCMA = 0 & NCM1A1 = 1 時) |
| 0 | NCM2A0 | チャンネル0ノイズキャンセルモードビット2 チャンネル0のノイズキャンセラの動作モードを設定します。 0: 先行エッジキャンセルモード (NCMA = 0 & NCM1A0 = 1 時) 1: レベル積算キャンセルモード (NCMA = 0 & NCM1A0 = 1 時) |

ノイズキャンセルモードチャンネルレジスタ 2A は、8ビットの読み出し／書き込み可能なレジスタであり、各チャンネル単位にあるノイズキャンセラの動作モードを選択します。

レベル積算キャンセルモードは、入力信号のレベルを積算し、積算結果が0または指定値になってはじめて入力レベルが0または1に達したとみなすモードです。

それぞれ期間の指定は、各チャンネルのノイズキャンセルレジスタで行い、ノイズキャンセルカウンタが時間を計測します。

図 21.1 に後続エッジキャンセルモード、また、図 21.3 にレベル積算キャンセルモードでのノイズキャンセル動作 (タイマ A の TIA00 入力の例) の概略図を示します。

各チャンネルでは、ノイズキャンセラ通過後の信号に対してエッジ検出を行います。図 21.1、図 21.3 は、それぞれノイズキャンセラ通過後の信号に対して、立ち上がりエッジ検出を行う場合の例を示しています。

(1) NCM2A5 — チャンネル5ノイズキャンセルモードビット2

チャンネル5のノイズキャンセラの動作モードを設定します。

(2) NCM2A4 — チャンネル4ノイズキャンセルモードビット2

チャンネル4のノイズキャンセラの動作モードを設定します。

(3) NCM2A3 — チャンネル3ノイズキャンセルモードビット2

チャンネル3のノイズキャンセラの動作モードを設定します。

(4) NCM2A2 — チャンネル2ノイズキャンセルモードビット2

チャンネル2のノイズキャンセラの動作モードを設定します。

(5) NCM2A1 — チャンネル1ノイズキャンセルモードビット2

チャンネル1のノイズキャンセラの動作モードを設定します。

(6) NCM2A0 — チャンネル0ノイズキャンセルモードビット2

チャンネル0のノイズキャンセラの動作モードを設定します。

注 意

1. 本レジスタは、共通制御部のノイズキャンセルモードレジスタ (NCMR) の NCMA ビットが“0”の場合かつ、タイマAのノイズキャンセルモードチャンネルレジスタ 1A (NCMCR1A) の対応する同一チャンネルビット (NCM1Ax) が“1”の場合のみ有効になります。
2. x は、0 ~ 5

表 21.16 に、ノイズキャンセルモードを設定する場合の真理値表を示します。

表 21.16 タイマAに関するノイズキャンセルモード対応表

| チャンネル イネーブル | フィルタモード | | チャンネルレジスタ | | 動作モード | フィルタ単位 |
|----------------|------------------|---------------|-----------------|--------------------|--------|--------------------|
| | TIOR2A. NCEAx | NCMR. NCMA | NCMR. NCMSEL | NCMCR1A. NCM1Ax | | |
| 0 | — | — | — | — | フィルタ無効 | — |
| 1 | 0 | (—) | 0 | (—) | 後続エッジ | 各サブブロック ／各チャンネル |
| 1 | 0 | (—) | 1 | 0 | 先行エッジ | 各チャンネル |
| 1 | 0 | (—) | 1 | 1 | レベル積算 | 各チャンネル |
| 1 | 1 | (0) | - | - | 先行エッジ | 各サブブロック |
| 1 | 1 | 1 | - | - | レベル積算 | 各サブブロック |

備考 1. x は、0 ~ 5

備考 2. イネーブルビット (NCEAx) は、各チャンネル単位で設定可能。

タイマ A のフィルタ単位を各チャンネルとする場合の設定方法**(前提条件：チャンネルイネーブル = “1”)**

- 各チャンネル設定：
ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMA) を “0” に設定し、さらに、タイマ A のノイズキャンセルモードチャンネルレジスタ 1A (NCMCR1A) のノイズキャンセルモードチャンネル設定ビット (NCM1Ax) 中に 1 ビットでも “1” が設定された場合。
- 全チャンネル設定：
上記「各チャンネル設定」の説明の中で、ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMA) を “1” の場合。または、上記「各チャンネル設定」の説明の中で、ノイズキャンセルモードチャンネルレジスタ 1A (NCMCR1A) のノイズキャンセルモードチャンネル設定ビット (NCM1Ax) にすべて “0” が設定されている場合。

21.4.2.7 TIOR1A — タイマ I/O コントロールレジスタ 1A

アクセス 8ビット/16ビットアクセス可能

アドレス FFE6 0210_Hリセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | IOA5 | IOA4 | IOA3 | IOA2 | IOA1 | IOA0 | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.17 TIOR1A レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------|---|
| 15 ~ 12 | — | 何も配置されていません。“0”に固定してください。 |
| 11、10 | IOA5 | I/O コントロール A5 00 : TIA05 のインプットキャプチャ禁止 01 : TIA05 の立ち上がりで ICRA5 にキャプチャ 10 : TIA05 入力の立ち下がり ICRA5 にキャプチャ 11 : TIA05 の立ち上がり/立ち下がり両エッジで ICRA5 にキャプチャ |
| 9、8 | IOA4 | I/O コントロール A4 00 : TIA04 のインプットキャプチャ禁止 01 : TIA04 の立ち上がりで ICRA4 にキャプチャ 10 : TIA04 入力の立ち下がり ICRA4 にキャプチャ 11 : TIA04 の立ち上がり/立ち下がり両エッジで ICRA4 にキャプチャ |
| 7、6 | IOA3 | I/O コントロール A3 00 : TIA03 のインプットキャプチャ禁止 01 : TIA03 の立ち上がりで ICRA3 にキャプチャ 10 : TIA03 入力の立ち下がり ICRA3 にキャプチャ 11 : TIA03 の立ち上がり/立ち下がり両エッジで ICRA3 にキャプチャ |
| 5、4 | IOA2 | I/O コントロール A2 00 : TIA02 のインプットキャプチャ禁止 01 : TIA02 の立ち上がりで ICRA2 にキャプチャ 10 : TIA02 入力の立ち下がり ICRA2 にキャプチャ 11 : TIA02 の立ち上がり/立ち下がり両エッジで ICRA2 にキャプチャ |
| 3、2 | IOA1 | I/O コントロール A1 00 : TIA01 のインプットキャプチャ禁止 01 : TIA01 の立ち上がりで ICRA1 にキャプチャ 10 : TIA01 入力の立ち下がり ICRA1 にキャプチャ 11 : TIA01 の立ち上がり/立ち下がり両エッジで ICRA1 にキャプチャ |
| 1、0 | IOA0 | I/O コントロール A0 00 : TIA00 のインプットキャプチャ禁止 01 : TIA00 の立ち上がりで ICRA0 にキャプチャ 10 : TIA00 入力の立ち下がり ICRA0 にキャプチャ 11 : TIA00 の立ち上がり/立ち下がり両エッジで ICRA0 にキャプチャ |

タイマ I/O コントロールレジスタ 1A (TIOR1A) は 16 ビットの読み出し/書き込み可能なレジスタで、外部入力 (TIA00 ~ 05) のエッジ検出の設定を行います。

TIOR1A はリセット時に 0000_H に初期化されます。

(1) IOA0 ~ 5 — I/O コントロール A0 ~ 5

インプットキャプチャのトリガとなる外部入力 TIA00 ~ 05 のエッジ検出を選択します。これらのビットを“00”にセットした場合、インプットキャプチャ動作は行われません。“01, 10, 11”にセットしたとき、選択したエッジを検出すると、フリーランニングカウンタ A (TCNTA) の値が、対応するインプットキャプチャレジスタ A0 ~ 5 (ICRA0 ~ 5) に転送されます。

エッジの検出は、PCLK に同期して行われます。また、外部入力信号の周期が、PCLK 周期の 2 倍以上なければ正しくエッジ検出が行われませんのでご注意ください。

エッジ検出は、ノイズキャンセラ通過後の信号に対して行われます。ノイズキャンセル機能が無効であれば外部入力 (TIA00 ~ 05) に対して、ノイズキャンセル機能が有効であればノイズキャンセル後の信号に対してエッジ検出が行われることになります。

TIA00 ~ 05 のエッジ検出信号は、イベント出力 1B ~ 1G に直接出力されます。TIA00 はイベント出力 1B、TIA01 はイベント出力 1C、TIA02 はイベント出力 1D、TIA03 はイベント出力 1E、TIA04 はイベント出力 1F、TIA05 はイベント出力 1G にそれぞれ対応します。

また、TCR1A レジスタのイベント出力 1, 2 セレクトビット (EVOSEL1、EVOSEL2)、TCR2A レジスタのイベント出力 1 拡張セレクトビット、TCR3A レジスタのイベント出力 2A 拡張セレクトビット、TCR4A レジスタのイベント出力 2B 拡張セレクトビットを設定することにより、ここで検出したエッジがほかのタイマモジュールなどに出力されます (出力されるエッジ検出後の信号は、正論理で生成されます)。

21.4.2.8 TIOR2A — タイマ I/O コントロールレジスタ 2A

アクセス 8ビット/16ビット/32ビットアクセス可能

アドレス FFE6 0214_Hリセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|-------|-------|-------|-------|-------|-------|----|----|--------|--------|--------|--------|--------|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | NCKGA5 | NCKGA4 | NCKGA3 | NCKGA2 | NCKGA1 | NCKGA0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | NCKA5 | NCKA4 | NCKA3 | NCKA2 | NCKA1 | NCKA0 | — | — | NCEA5 | NCEA4 | NCEA3 | NCEA2 | NCEA1 | NCEA0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.18 TIOR2A レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|--------|--|
| 31 ~ 22 | — | 何も配置されていません。“0”に固定してください。 |
| 21 | NCKGA5 | ノイズキャンセルクロックセレクト GA5 0: NCNTA5 のカウントソースクロックに NCKA5 で選択したクロックを選択 1: NCNTA5 のカウントソースクロックにノイズキャンセラ用カウントクロック (AGCK1) を選択 |
| 20 | NCKGA4 | ノイズキャンセルクロックセレクト GA4 0: NCNTA4 のカウントソースクロックに NCKA4 で選択したクロックを選択 1: NCNTA4 のカウントソースクロックにノイズキャンセラ用カウントクロック (AGCK1) を選択 |
| 19 | NCKGA3 | ノイズキャンセルクロックセレクト GA3 0: NCNTA3 のカウントソースクロックに NCKA3 で選択したクロックを選択 1: NCNTA3 のカウントソースクロックにノイズキャンセラ用カウントクロック (AGCK1) を選択 |
| 18 | NCKGA2 | ノイズキャンセルクロックセレクト GA2 0: NCNTA2 のカウントソースクロックに NCKA2 で選択したクロックを選択 1: NCNTA2 のカウントソースクロックにノイズキャンセラ用カウントクロック (AGCK1) を選択 |
| 17 | NCKGA1 | ノイズキャンセルクロックセレクト GA1 0: NCNTA1 のカウントソースクロックに NCKA1 で選択したクロックを選択 1: NCNTA1 のカウントソースクロックにノイズキャンセラ用カウントクロック (AGCK1) を選択 |
| 16 | NCKGA0 | ノイズキャンセルクロックセレクト GA0 0: NCNTA0 のカウントソースクロックに NCKA0 で選択したクロックを選択 1: NCNTA0 のカウントソースクロックにノイズキャンセラ用カウントクロック (AGCK1) を選択 |
| 15, 14 | — | 何も配置されていません。“0”に固定してください。 |
| 13 | NCKA5 | ノイズキャンセルクロックセレクト A5 0: NCNTA5 のカウントソースクロックにノイズキャンセラ用カウントクロック (Pφ or Pφ/128) を選択 1: NCNTA5 のカウントソースクロックにクロックバス 5 を選択 |
| 12 | NCKA4 | ノイズキャンセルクロックセレクト A4 0: NCNTA4 のカウントソースクロックにノイズキャンセラ用カウントクロック (Pφ or Pφ/128) を選択 1: NCNTA4 のカウントソースクロックにクロックバス 5 を選択 |
| 11 | NCKA3 | ノイズキャンセルクロックセレクト A3 0: NCNTA3 のカウントソースクロックにノイズキャンセラ用カウントクロック (Pφ or Pφ/128) を選択 1: NCNTA3 のカウントソースクロックにクロックバス 5 を選択 |

表 21.18 TIOR2A レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|-------|---|
| 10 | NCKA2 | ノイズキャンセルクロックセレクト A2 0: NCNTA2 のカウントソースクロックにノイズキャンセラ用カウントクロック (Pφ or Pφ/128) を選択 1: NCNTA2 のカウントソースクロックにクロックバス 5 を選択 |
| 9 | NCKA1 | ノイズキャンセルクロックセレクト A1 0: NCNTA1 のカウントソースクロックにノイズキャンセラ用カウントクロック (Pφ or Pφ/128) を選択 1: NCNTA1 のカウントソースクロックにクロックバス 5 を選択 |
| 8 | NCKA0 | ノイズキャンセルクロックセレクト A0 0: NCNTA0 のカウントソースクロックにノイズキャンセラ用カウントクロック (Pφ or Pφ/128) を選択 1: NCNTA0 のカウントソースクロックにクロックバス 5 を選択 |
| 7, 6 | — | 何も配置されていません。“0”に固定してください。 |
| 5 | NCEA5 | ノイズキャンセライネーブル A5 0: TIA05 入力のノイズキャンセル機能を無効 1: TIA05 入力のノイズキャンセル機能を有効 |
| 4 | NCEA4 | ノイズキャンセライネーブル A4 0: TIA04 入力のノイズキャンセル機能を無効 1: TIA04 入力のノイズキャンセル機能を有効 |
| 3 | NCEA3 | ノイズキャンセライネーブル A3 0: TIA03 入力のノイズキャンセル機能を無効 1: TIA03 入力のノイズキャンセル機能を有効 |
| 2 | NCEA2 | ノイズキャンセライネーブル A2 0: TIA02 入力のノイズキャンセル機能を無効 1: TIA02 入力のノイズキャンセル機能を有効 |
| 1 | NCEA1 | ノイズキャンセライネーブル A1 0: TIA01 入力のノイズキャンセル機能を無効 1: TIA01 入力のノイズキャンセル機能を有効 |
| 0 | NCEA0 | ノイズキャンセライネーブル A0 0: TIA00 入力のノイズキャンセル機能を無効 1: TIA00 入力のノイズキャンセル機能を有効 |

タイマ I/O コントロールレジスタ 2A (TIOR2A) は 32 ビットの読み出し/書き込み可能なレジスタで、外部入力 (TIA00 ~ 05) のノイズキャンセラ機能の設定、およびノイズキャンセルクロックの選択を行います。

TIOR2A はリセット時に 0000 0000_H に初期化されます。

(1) NCKGA0 ~ 5 — ノイズキャンセルクロックセレクト G A0 ~ 5

ノイズキャンセルカウンタ A0 ~ 5 (NCNTGA0 ~ 5) のカウントソースクロックを選択します。

カウントソースクロックには、ノイズキャンセルクロックセレクト (NCKA0 ~ 5) で選択したノイズキャンセラ用カウントクロック、もしくは AGCK1 を選択することが可能です。

(2) NCKA0 ~ 5 — ノイズキャンセルクロックセレクト A0 ~ 5

ノイズキャンセルカウンタ A0 ~ 5 (NCNTA0 ~ 5) のカウントソースクロックを選択します。

カウントソースクロックには、ノイズキャンセラ用カウントクロック、もしくはクロックバス 5 を選択することが可能です。ノイズキャンセラ用カウントクロックは、共通制御部の NCCSEL ビットにより Pφ の 128 分周と Pφ のいずれかを選択可能です。

(3) NCEA0 ~ 5 — ノイズキャンセライネーブル A0 ~ 5

外部入力 TIA00 ~ 05 に対してノイズキャンセル機能の有効/無効を選択します。

これらのビットを“1”にセットしたあと、外部入力 TIA00 ~ 05 のレベル変化を検出すると、共通制御部内のノイズキャンセルモードレジスタ (NCMR)、タイマ A のノイズキャンセルモードチャンネルレジスタ 1A (NCMCRI1A)、タイマ A のノイズキャンセルモードチャンネルレジスタ 2A (NCMCR2A) の設定に合わせて、後続エッジキャンセルモード、あるいは先行エッジキャンセルモード、またはレベル積算キャンセルモードのいずれかの処理を開始します。

後続エッジキャンセルモードでは、外部入力信号のレベル変化を検出すると、ノイズキャンセル後の信号として、その変化を出力します。また同時に、対応するノイズキャンセルカウンタ A0 ~ 5 (NCNTA0 ~ 5) がアップカウントを開始します。このノイズキャンセルカウンタがノイズキャンセルレジスタ A0 ~ 5 (NCRA0 ~ 5) の値とコンペアマッチするまでの間、外部入力信号のレベル変化はマスクされます。コンペアマッチ時には、そのときの外部入力信号のレベルがノイズキャンセル後の信号として出力されます。




NCNTA0 ~ 5 がカウント動作中にこれらのビットをクリアした場合、クリア後もコンペアマッチするまでカウント動作は停止せず、その間も TIA00 ~ 05 のレベル変化はマスクされつづけます。

先行エッジキャンセルモードでは、入力信号のレベル変化を検出すると、対応するノイズキャンセルカウンタ A0 ~ 5 (NCNTA0 ~ 5) がアップカウントを開始し、ノイズキャンセルレジスタ A0 ~ 5 (NCRA0 ~ 5) の値とコンペアマッチするまでの間に外部入力の信号レベルに変化がなければ、コンペアマッチタイミングで初めてレベル変化をノイズキャンセル後の信号として出力します。コンペアマッチまでに入力信号レベルが変化した場合はノイズとみなされ、ノイズキャンセルは外部入力信号のレベル変化がなかったものとしてノイズキャンセル後の信号を変化させません。

NCNTA0 ~ 5 がカウント動作中にこれらのビットをクリアした場合、クリア後もコンペアマッチするか、あるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

レベル積算キャンセルモードでは、入力信号のレベルにしたがい対応するノイズキャンセルカウンタ A0 ~ 5 (NCNTA0 ~ 5) がアップ/ダウンカウントを行います。入力ハイレベルでアップカウント、入力ロウレベルでダウンカウントとなります。アップカウントはノイズキャンセルカウンタがノイズキャンセルレジスタ A0 ~ 5 (NCRA0 ~ 5) の値とコンペアマッチするまでの間、ダウンカウントはノイズキャンセルカウンタが 00_H にコンペアマッチするまで続きます。アップカウントでコンペアマッチ (NCRA0 ~ 5) するとノイズキャンセル出力を 1 に更新します。また、ダウンカウントでコンペアマッチ (00_H) するとノイズキャンセル出力を 0 に更新します。

先行エッジキャンセルモードならびに後続エッジキャンセルモードにおいて、レベル変化の検出は選択したノイズキャンセルクロックにかかわらず常に P_φ によって行われます。レベル積算キャンセルモードにおいて、入力レベルのサンプリングはノイズキャンセルクロックセレクト A0 ~ 5 (NCKA0 ~ 5) で選択されたクロックによって行われます。

各キャンセルモードの動作例は、 21.1 および  21.2、 21.3 を参照してください。

21.4.2.9 TSRA — タイマステータスレジスタ A

アクセス 8ビットアクセス可能

アドレス FFE6 0208_Hリセット後の値 00_H

| | | | | | | | | |
|---------|------|---|-------|-------|-------|-------|-------|-------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OVFA | — | ICFA5 | ICFA4 | ICFA3 | ICFA2 | ICFA1 | ICFA0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 21.19 TSRA レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 7 | OVFA | オーバフローフラグ A 0: オーバフローなし 1: オーバフロー発生 |
| 6 | — | 何も配置されていません。“0”に固定してください。 |
| 5 | ICFA5 | インプットキャプチャフラグ A5 0: インプットキャプチャなし 1: インプットキャプチャ発生 |
| 4 | ICFA4 | インプットキャプチャフラグ A4 0: インプットキャプチャなし 1: インプットキャプチャ発生 |
| 3 | ICFA3 | インプットキャプチャフラグ A3 0: インプットキャプチャなし 1: インプットキャプチャ発生 |
| 2 | ICFA2 | インプットキャプチャフラグ A2 0: インプットキャプチャなし 1: インプットキャプチャ発生 |
| 1 | ICFA1 | インプットキャプチャフラグ A1 0: インプットキャプチャなし 1: インプットキャプチャ発生 |
| 0 | ICFA0 | インプットキャプチャフラグ A0 0: インプットキャプチャなし 1: インプットキャプチャ発生 |

タイマステータスレジスタ A (TSRA) は 8 ビットの読み出し専用のレジスタで、フリーランニングカウンタ A (TCNTA) のオーバフローの発生、インプットキャプチャレジスタ A0 ~ 5 (ICRA0 ~ A5) でのインプットキャプチャの発生を示します。

これらのフラグは割り込み要求発生を示すステータスフラグであり、タイマステータスクリアレジスタ A (TSCRA) の対応するビットを設定することによりフラグをクリアすることができます。本フラグがセットされた状態で割り込み要因が発生した場合、再度割り込み要求が発生します。また、対応するタイマステータスクリアレジスタによるクリアと割り込み要因発生によるセットが競合した場合でも割り込み要求は発生します。

TSRA はリセット時に 00_H に初期化されます。

(1) OVFA — オーバフローフラグ A

フリーランニングカウンタ A (TCNTA) のオーバフローの発生を示すステータスフラグです。このフラグの読み出し値が“1”であるとき、TCNTA でオーバフローが発生したことを示します。

このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1 セット条件
TCNTA の値がオーバフロー (FFFF FFFF_H → 0000 0000_H) したとき。
- 0 クリア条件
タイマステータスクリアレジスタ A (TSCRA) の OVFA に“1”を書き込んだとき。

(2) ICFA0 ~ 5 — インพุットキャプチャフラグ A0 ~ 5

インพุットキャプチャレジスタ A0 ~ 5 (ICRA0 ~ 5) のインพุットキャプチャ発生を示すステータスフラグです。これらのフラグの読み出し値が“1”であるとき、フラグに対応するインพุットキャプチャレジスタでインพุットキャプチャが発生したことを示します。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1 セット条件
インพุットキャプチャ信号 TIA00 (~ 05) により TCNTA の値が ICRA0 (~ 5) に転送されたとき。
- 0 クリア条件
タイマステータスクリアレジスタ A (TSCRA) の ICFA0 ~ ICFA5 に“1”を書き込んだとき。

21.4.2.10 TSCRA — タイマステータスクリアレジスタ A

アクセス 8ビットアクセス可能
 “0”書き込み無効。“1”書き込み時はデータは保持されません。読み出し値は常に“0”になります。

アドレス FFE6 020A_H

リセット後の値 00_H

| | | | | | | | | |
|---------|-------|---|--------|--------|--------|--------|--------|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OVFCA | — | ICFCA5 | ICFCA4 | ICFCA3 | ICFCA2 | ICFCA1 | ICFCA0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.20 TSCRA レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 7 | OVFCA | オーバフローフラグクリア A イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ A (TSRA) の OVFA を 0 にクリア |
| 6 | — | 何も配置されていません。“0”に固定してください。 |
| 5 | ICFCA5 | 入力キャプチャフラグクリア A5 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ A (TSRA) の ICFCA5 を 0 にクリア |
| 4 | ICFCA4 | 入力キャプチャフラグクリア A4 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ A (TSRA) の ICFCA4 を 0 にクリア |
| 3 | ICFCA3 | 入力キャプチャフラグクリア A3 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ A (TSRA) の ICFCA3 を 0 にクリア |
| 2 | ICFCA2 | 入力キャプチャフラグクリア A2 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ A (TSRA) の ICFCA2 を 0 にクリア |
| 1 | ICFCA1 | 入力キャプチャフラグクリア A1 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ A (TSRA) の ICFCA1 を 0 にクリア |
| 0 | ICFCA0 | 入力キャプチャフラグクリア A0 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ A (TSRA) の ICFCA0 を 0 にクリア |

TSCRA は 8 ビットの読み出し/書き込み可能なレジスタで、オーバフロー/入力キャプチャの発生によるフラグのクリア設定をします。

TSCRA は 8 ビット単位でのみ読み出し/書き込みが可能です。ただし読み出した場合は常に“0”が読み出せます。

TSCRA はリセット時に 00_H に初期化されます。

(1) OVFCA — オーバフローフラグクリア A イネーブル

タイマステータスレジスタ A (TSRA) のオーバフローフラグ A (OVFA) が“1”にセットされているとき、本ビットに“1”を書き込むと OVFA を “0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(2) ICFCA5 — 入力キャプチャフラグクリア A5 イネーブル

タイマステータスレジスタ A (TSRA) の入力キャプチャフラグ A5 (ICFCA5) が“1”にセットされているとき、本ビットに“1”を書き込むと ICFCA5 を “0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(3) ICFA4 — インพุットキャプチャフラグクリア A4 イネーブル

タイマステータスレジスタ A (TSRA) のインพุットキャプチャフラグ A4 (ICFA4) が“1”にセットされているとき、本ビットに“1”を書き込むと ICFA4 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(4) ICFA3 — インพุットキャプチャフラグクリア A3 イネーブル

タイマステータスレジスタ A (TSRA) のインพุットキャプチャフラグ A3 (ICFA3) が“1”にセットされているとき、本ビットに“1”を書き込むと ICFA3 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(5) ICFA2 — インพุットキャプチャフラグクリア A2 イネーブル

タイマステータスレジスタ A (TSRA) のインพุットキャプチャフラグ A2 (ICFA2) が“1”にセットされているとき、本ビットに“1”を書き込むと ICFA2 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(6) ICFA1 — インพุットキャプチャフラグクリア A1 イネーブル

タイマステータスレジスタ A (TSRA) のインพุットキャプチャフラグ A1 (ICFA1) が“1”にセットされているとき、本ビットに“1”を書き込むと ICFA1 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(7) ICFA0 — インพุットキャプチャフラグクリア A0 イネーブル

タイマステータスレジスタ A (TSRA) のインพุットキャプチャフラグ A0 (ICFA0) が“1”にセットされているとき、本ビットに“1”を書き込むと ICFA0 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

21.4.2.11 ICRAx — インพุットキャプチャレジスタ Ax (x = 0 ~ 5)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 0240_H (ICRA0)
 FFE6 0260_H (ICRA1)
 FFE6 0280_H (ICRA2)
 FFE6 02A0_H (ICRA3)
 FFE6 02C0_H (ICRA4)
 FFE6 02E0_H (ICRA5)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | ICAx | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ICAx | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.21 ICRA レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|-------------------------------------|
| 31 ~ 0 | ICAx | インพุットキャプチャ Ax 32ビットインพุットキャプチャ値 |

備考 xは0~5の整数。

インพุットキャプチャレジスタ A0 ~ 5 (ICRA0 ~ 5) は、32ビットの読み出し可能なレジスタで、インพุットキャプチャ専用レジスタです。このレジスタに値を書き込むことはできません。

インพุットキャプチャ専用レジスタは、外部からのインพุットキャプチャ信号 (TIA00 ~ 05) を検出して、フリーランニングカウンタ A (TCNTA) の値を格納します。このインพุットキャプチャのタイミングで DMAC の起動ができます。このとき対応するタイマステータスレジスタ A (TSRA) のビットが 1 にセットされます。

インพุットキャプチャ信号の検出エッジはタイマ I/O コントロールレジスタ 1A (TIOR1A) の I/O コントロールビットにより設定します。

ICRA0 ~ 5 は 32 ビットでのみ読み出しが可能です。16 ビット / 8 ビット単位での読み出しは行わないでください。

ICRA0 ~ 5 はリセット時に 0000 0000_H に初期化されます。

21.4.2.12 TCNTA — フリーランニングカウンタ A

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 0220_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CNTA | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CNTA | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.22 TCNTA レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|-------------------------|
| 31 ~ 0 | CNTA | タイマカウンタ A 32ビットカウンタ値 |

フリーランニングカウンタ A (TCNTA) は 32 ビットの読み出し/書き込み可能なレジスタで、クロックバス経由で入力されるプリスケアラ出力、外部入力クロック、タイマ B 出力の倍周補正クロックのいずれかでカウント動作を行います。

ATU-IV マスタイネーブルレジスタ (ATUENR) の TAE ビットを“1”にセットするとアップカウント動作を開始します。入力するクロックはタイマコントロールレジスタ 1A (TCR1A) のクロックセレクトビット (CKSELA) により選択します。

TCNTA がオーバフロー (FFFF FFFF_H → 0000 0000_H) すると、オーバフロー割り込みを発生させることができます。タイマステータスレジスタ A (TSRA) のオーバフローフラグ (OVFA) が“1”にセットされます。

TCNTA は 32 ビットでのみ読み出し、書き込みが可能です。16 ビット/8 ビット単位での読み出し、書き込みは行わないでください。

TCNTA はリセット時に 0000 0000_H に初期化されます。

21.4.2.13 TILRA — タイマ入力信号レベルレジスタ A

アクセス 8ビットアクセス可能

アドレス FFE6 0218_Hリセット後の値 00_H

| | | | | | | | | |
|---------|---|---|--------|--------|--------|--------|--------|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | TIAL05 | TIAL04 | TIAL03 | TIAL02 | TIAL01 | TIAL00 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 21.23 TILRA レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--------------------------------------|
| 7、6 | — | 何も配置されていません。“0”に固定してください。 |
| 5～0 | TIALx | 端子レベルリード TIA0x 端子レベルリード読み出し専用レジスタ |

タイマ入力信号レベルレジスタ A (TILRA) は 8 ビットの読み出し専用のレジスタで、外部入力 (TIA00 ～ 05) について、ノイズキャンセル後の端子レベルの読み出し可能なレジスタです。

タイマ入力信号レベルレジスタ A は 8 ビットでのみ読み出しが可能です。

タイマ入力信号レベルレジスタ A はリセット時に 00_H に初期化されます。

21.4.2.14 TILCRA — タイマ入力信号レベルキャプチャレジスタ A

アクセス 8ビットアクセス可能

アドレス FFE6 021A_Hリセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---------|---------|---------|---------|---------|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | CTIAL05 | CTIAL04 | CTIAL03 | CTIAL02 | CTIAL01 | CTIAL00 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 21.24 TILCRA レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 7, 6 | — | 何も配置されていません。“0”に固定してください。 |
| 5 ~ 0 | CTIAL0x | キャプチャ端子レベル TIA0x 端子レベルキャプチャ読み出し専用レジスタ |

タイマ入力信号レベルキャプチャレジスタ A (TILCRA) は 8 ビットの読み出し専用のレジスタで、外部信号入力端子 (TIA00 ~ 05) について、ノイズキャンセル後の端子レベルをキャプチャし保持することができるレジスタです。

端子レベルのキャプチャは、タイマ B の TCNTB6 と OCRB6 のコンペアマッチのタイミングで行われます。タイマ B の TICRB の IREGB6 ビットの設定には依存しません。

キャプチャレジスタは 8 ビットでのみ読み出し可能です。

キャプチャレジスタはリセット時に 00_H に初期化されます。

21.4.2.15 NCNTAx — ノイズキャンセルカウンタ Ax (x = 0 ~ 5)

| | | |
|---------|---------------------------------|------------|
| アクセス | 16ビットアクセス可能 | 8ビットアクセス禁止 |
| アドレス | FFE6 0244 _H (NCNTA0) | |
| | FFE6 0264 _H (NCNTA1) | |
| | FFE6 0284 _H (NCNTA2) | |
| | FFE6 02A4 _H (NCNTA3) | |
| | FFE6 02C4 _H (NCNTA4) | |
| | FFE6 02E4 _H (NCNTA5) | |
| リセット後の値 | 0000 _H | |

| | | | | | | | | | | | | | | | | |
|---------|--------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | NCNTAx | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.25 NCNTA レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------|-------------------------------|
| 15 ~ 0 | NCNTAx | ノイズキャンセルカウンタ Ax 16ビットカウント値 |

備考 xは0～5の整数。

ノイズキャンセルカウンタ A0～5 (NCNTA0～5) は16ビットの読み出し、書き込み可能なレジスタです。

タイマ I/O コントロールレジスタ 2A (TIOR2A) のノイズキャンセルイネーブルビット (NCEA0～5) でノイズキャンセラ機能を有効にしたとき、後続エッジキャンセルモードおよび先行エッジキャンセルモードでは外部入力端子 (TIA00～05) からの信号をトリガとして、アップカウント動作を行います。レベル積算キャンセルモードでは外部入力のレベルにしたがいアップ/ダウンカウントを行います。カウントソースには、TIOR2A のノイズキャンセルクロックセレクトビット (NCKA0～5) で、ノイズキャンセラ用カウントクロック、あるいはクロックバス 5 を選択可能です。

NCNTA0～5 は16ビット単位でのみ読み出し/書き込みが可能です。

NCNTA0～5 はリセット時に 00_H に初期化されます。

共通制御部にあるノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードセレクトビット (NCMSEL)、タイマ A ノイズキャンセルモードビット (NCMA)、タイマ A にあるノイズキャンセルモードチャンネルレジスタ 1A (NCMCRIA) のノイズキャンセルモードビット (NCM1Ax)、およびノイズキャンセルモードチャンネルレジスタ 2A (NCMCR2A) のノイズキャンセルモードビット (NCM2Ax) の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの3通りの動作を行います。

- 後続エッジキャンセルモード

NCEA0～5ビットが“1”でありNCNTA0～5がカウント停止しているとき、TIA00～05の入力信号レベルが変化すると、NCNTA0～5はアップカウント動作を開始します。カウント値がノイズキャンセルレジスタ A0～5 (NCRA0～5) と一致すると、次のPCLKに同期してカウント値を0000_Hにクリアしてカウント動作を停止します。

NCNTA0～5は、ATU-IV マスタイネーブルレジスタ (ATUENR) のTAEビットの設定にかかわらずカウント動作を行います。

カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力されエッジ検出の対象となりますが、以降カウント値がNCRA0～5と一致するまでの

間、すべての入力レベルの変化がマスクされるためノイズキャンセル後の信号は変化しません。カウント値が NCRA0 ~ 5 と一致したときは、そのときの入力信号レベルをノイズキャンセル後の信号として出力します。

カウント動作中に NCEA ビットがクリアされても、カウント値が NCRA0 ~ 5 と一致するまでの間はカウント動作を継続します。その間も入力信号はマスクされ続けます。

- 先行エッジキャンセルモード

NCEA0 ~ 5 ビットが“1”であり NCNTA0 ~ 5 がカウント停止しているとき、TIA00 ~ 05 の入力信号レベルが変化すると、NCNTA0 ~ 5 はアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、あるいはカウント値がノイズキャンセルレジスタ A0 ~ 5 (NCRA0 ~ 5) と一致した場合には、次の PCLK に同期してカウント値を 0000_H にクリアしカウント動作を停止します。

NCNTA0 ~ 5 は、ATU-IV マスタイネーブルレジスタ (ATUENR) の TAE ビットの設定にかかわらずカウント動作を行います。

ノイズキャンセル後の信号は、カウント値が NCRA0 ~ 5 と一致したときのみ、カウント開始時のレベル変化に合わせて変化します。NCRA0 ~ 5 と一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。

カウント動作中に NCEA ビットがクリアされても、コンペアマッチあるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

- レベル積算キャンセルモード

NCEA0 ~ 5 ビットが“1”であるとき、NCNTA0 ~ 5 は入力信号レベルによってアップカウントまたはダウンカウント動作を行います。入力レベルがハイのときアップカウントを行い、カウント値がノイズキャンセルレジスタ A0 ~ 5 (NCRA0 ~ 5) と一致すると、次の PCLK に同期してアップカウント動作を停止します。入力レベルがローのときダウンカウントを行い、カウント値が 0000_H と一致すると、次の PCLK に同期してダウンカウント動作を停止します。

NCNTA0 ~ 5 は、ATU-IV マスタイネーブルレジスタ (ATUENR) の TAE ビットの設定にかかわらずカウント動作を行います。

アップカウントで NCRA0 ~ 5 の値にコンペアマッチするとノイズキャンセラ出力を 1 に更新します。逆に、ダウンカウントで 0000_H にコンペアマッチするとノイズキャンセラ出力を 0 に更新します。

カウント動作中に NCEA ビットがクリアされるとノイズキャンセルカウンタは動作を停止し、ノイズキャンセラ出力からそのときの入力信号レベルに値が切り替わります。そのためレベル積算キャンセルモードで NCEA ビットをクリアする場合には、この切り替わりでエッジ検出が行われる可能性があることに注意が必要です。

21.4.2.16 NCRAx — ノイズキャンセルレジスタ Ax (x = 0 ~ 5)

| | | | | | | | | | | | | | | | | |
|---------|--------------------------------|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| アクセス | 16ビットアクセス可能 | 8ビットアクセス禁止 | | | | | | | | | | | | | | |
| アドレス | FFE6 0246 _H (NCRA0) | | | | | | | | | | | | | | | |
| | FFE6 0266 _H (NCRA1) | | | | | | | | | | | | | | | |
| | FFE6 0286 _H (NCRA2) | | | | | | | | | | | | | | | |
| | FFE6 02A6 _H (NCRA3) | | | | | | | | | | | | | | | |
| | FFE6 02C6 _H (NCRA4) | | | | | | | | | | | | | | | |
| | FFE6 02E6 _H (NCRA5) | | | | | | | | | | | | | | | |
| リセット後の値 | 0000 _H | | | | | | | | | | | | | | | |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | NCTAx | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.26 NCRAx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|--|
| 15 ~ 0 | NCTAx | ノイズキャンセルタイム Ax TIA0x ノイズキャンセル期間 (16 ビットコンペア値) |

備考 x は 0 ~ 5 の整数

ノイズキャンセルレジスタ Ax (NCRA0 ~ 5) は 16 ビットの読み出し、書き込み可能なレジスタで、ノイズキャンセルカウンタ Ax (NCNTA0 ~ 5) の上限値を設定します。PCLK の 128 分周をノイズキャンセルクロックに選択している場合、FFFF_H 設定で、最大 0.21sec (PCLK = 40MHz 時) のノイズをキャンセルすることができます。

共通制御部にあるノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードセレクトビット (NCMSEL)、タイマ A ノイズキャンセルモードビット (NCMA)、タイマ A にあるノイズキャンセルモードチャンネルレジスタ 1A (NCMCRIA) のノイズキャンセルモードビット (NCM1Ax)、およびノイズキャンセルモードチャンネルレジスタ 2A (NCMCR2A) のノイズキャンセルモードビット (NCM2Ax) の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行います。

- 後続エッジキャンセルモード

NCNTA0 ~ 5 のカウント動作中、後続する入力信号のレベル変化がマスクされます。NCNTA0 ~ 5 と NCRA0 ~ 5 の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTA0 ~ 5 のカウント値をクリアし、カウント動作を停止させて入力信号のマスク解除を行います。

- 先行エッジキャンセルモード

NCNTA0 ~ 5 のカウント動作中は、ノイズキャンセラの処理待ち状態となります。NCNTA0 ~ 5 と NCRA0 ~ 5 の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTA0 ~ 5 のカウント値をクリアし、カウント動作を停止させると同時に、ノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。

- レベル積算キャンセルモード

NCNTA0 ~ 5 がアップカウント動作中は、NCNTA0 ~ 5 と NCRA0 ~ 5 の値の比較が行われており、コンペアマッチが発生すると次の PCLK に同期して NCNTA0 ~ 5 のアップカウント動作を停止させます。NCNTA0 ~ 5 がダウンカウント動作中は、NCNTA0 ~ 5 は 0000_H との比較が行われます。

NCRA0 ~ 5 は 16 ビット単位でのみ読み出し/書き込みが可能です。

NCRA0 ~ 5 はリセット時に 0000_H に初期化されます。

21.4.3 詳細動作説明

21.4.3.1 ノイズキャンセル動作

ノイズキャンセルの動作モードは3種類あり、共通制御部内のノイズキャンセルモードレジスタ (NCMR)、タイマAにあるノイズキャンセルモードチャンネルレジスタ 1A (NCMCR1A)、タイマAにあるノイズキャンセルモードチャンネルレジスタ 2A (NCMCR2A) の設定によって後続エッジキャンセルモード、先行エッジキャンセルモード、あるいはレベル積算キャンセルモードのいずれかを選択可能です。

図 21.7 に後続エッジキャンセルモードでのノイズキャンセル動作例を、図 21.9 に先行エッジキャンセルモードでのノイズキャンセル動作例を示します。いずれも TIA00 入力を例にとり、図 21.7、および図 21.9 ではエッジ検出が立ち上がりエッジ検出設定の場合を図示しています。

後続エッジキャンセルモードでは、ノイズキャンセルカウンタ Ax (NCRAx) は入力信号のレベル変化をトリガとしてカウント動作を開始します。また、カウント開始と同時に、入力信号のレベル変化をノイズキャンセル処理後の信号として出力します。

カウント動作は、カウント値がノイズキャンセルレジスタ Ax (NCRAx) の設定値と一致するまで続き、このカウント期間中の入力信号のレベル変化はすべて無視され、ノイズキャンセル処理後の信号として出力されません。

カウント値がノイズキャンセルレジスタの設定値と一致したときは、ノイズキャンセル処理後の信号として、そのときの入力信号レベルを出力します。そのため、カウント動作開始時(変化後のレベル)と、コンペアマッチ時で入力レベルが異なる場合は、コンペアマッチタイミングでノイズキャンセル処理後の信号が変化することになりますのでご注意ください。

図 21.8 に後続エッジキャンセルモードでの2種の入力波形に対するノイズキャンセル処理例を示します。

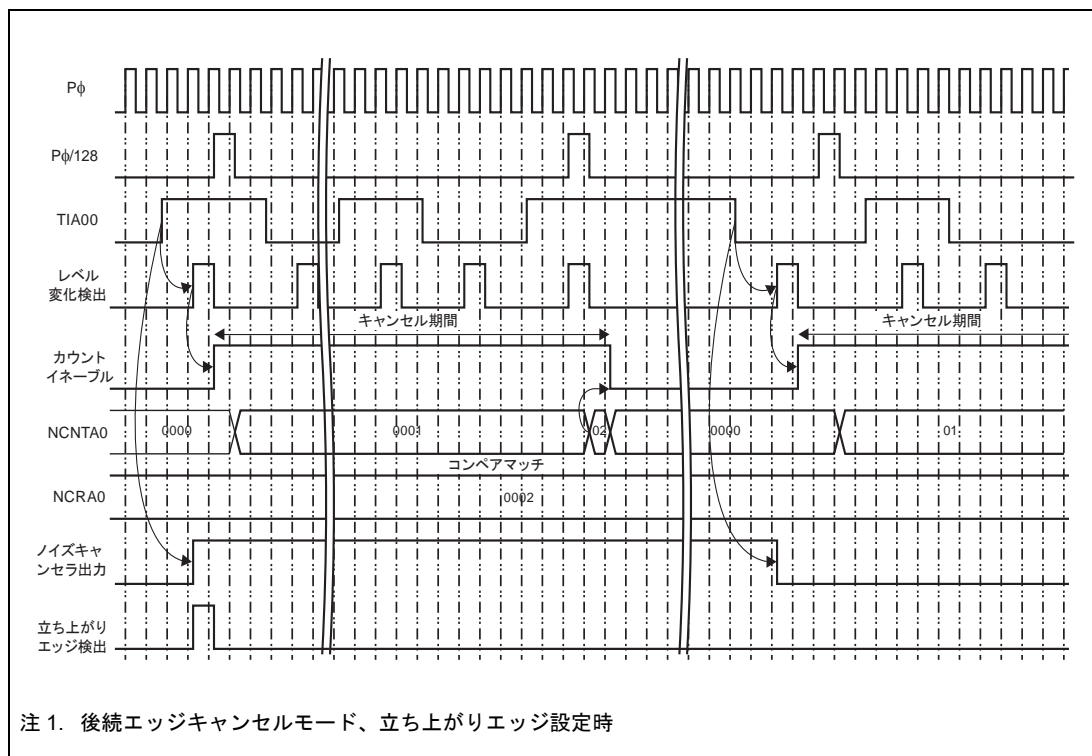


図 21.7 後続エッジキャンセルモードでのノイズキャンセル動作例

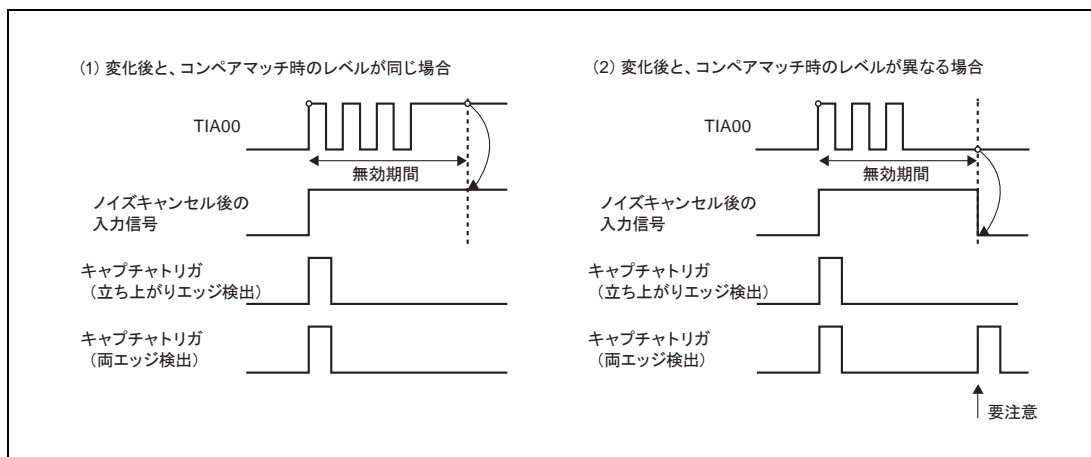


図 21.8 入力波形ごとのノイズキャンセル処理例（後続エッジキャンセルモード）

先行エッジキャンセルモードでは、ノイズキャンセルカウンタ Ax (NCRAx) は入力信号のレベル変化をトリガとしてカウント動作を開始します。カウント動作は、カウント値がノイズキャンセルレジスタ Ax (NCRAx) の設定値と一致するか、あるいはカウント開始後に入力信号のレベルが変化するまで続きます。

カウント値がノイズキャンセルレジスタの設定値と一致したとき、カウント動作開始時の入力信号のレベル変化をノイズキャンセル処理後の信号として出力します。カウント値がノイズキャンセルレジスタの設定と一致する前に入力信号のレベルが変化した場合、そのレベル変化とカウント動作開始時のレベル変化はノイズとみなされ、ノイズキャンセル処理後の信号として出力されません。

図 21.10 にレベル積算キャンセルモードでのノイズキャンセル動作例を示します。TIA00 入力を例にとり、エッジ検出が立ち上がりエッジ検出設定の場合を図示しています。

レベル積算キャンセルモードでは、ノイズキャンセルカウンタ Ax (NCRAx) は入力信号のレベルにしたがいアップカウントあるいはダウンカウント動作を行います。カウント動作は、アップカウントでノイズキャンセルレジスタ Ax (NCRAx) の設定値と一致するか、あるいはダウンカウントで 0000_H に一致するまで続きます。

ノイズキャンセラ出力の更新は、コンペアマッチ時に行います。アップカウントで NCRAx 値とコンペアマッチした場合にはノイズキャンセラ出力値を 1 に、ダウンカウントで 0000_H にコンペアマッチした場合には 0 に更新します。

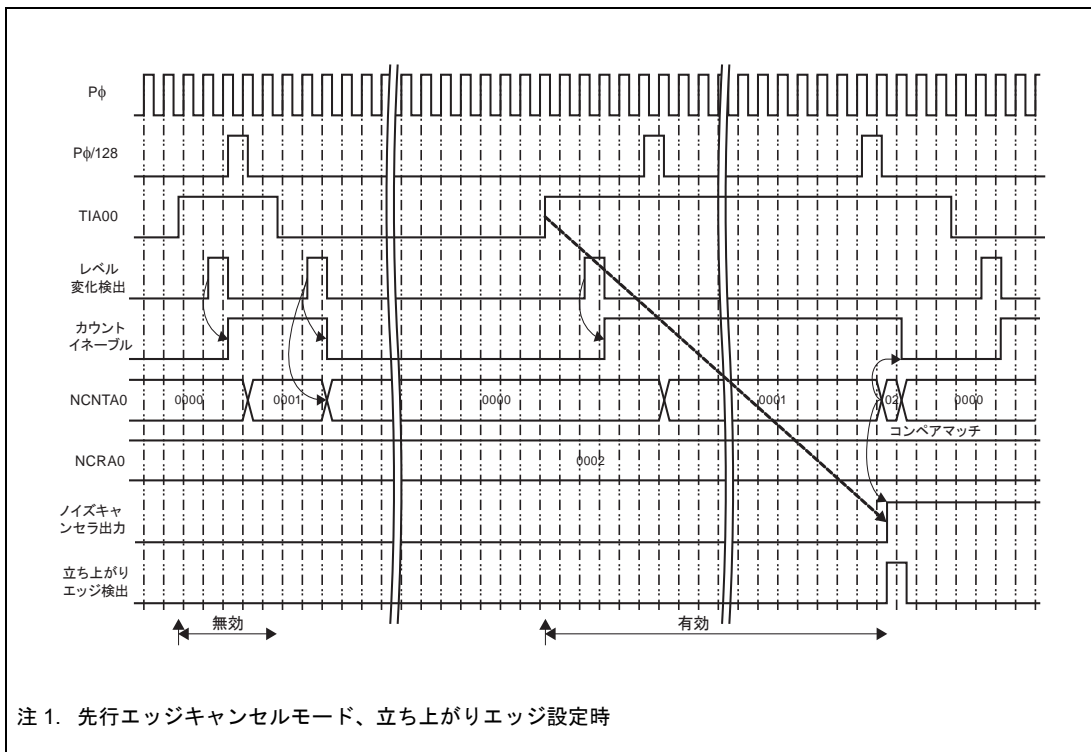


図 21.9 先行エッジキャンセルモードでのノイズキャンセル動作例

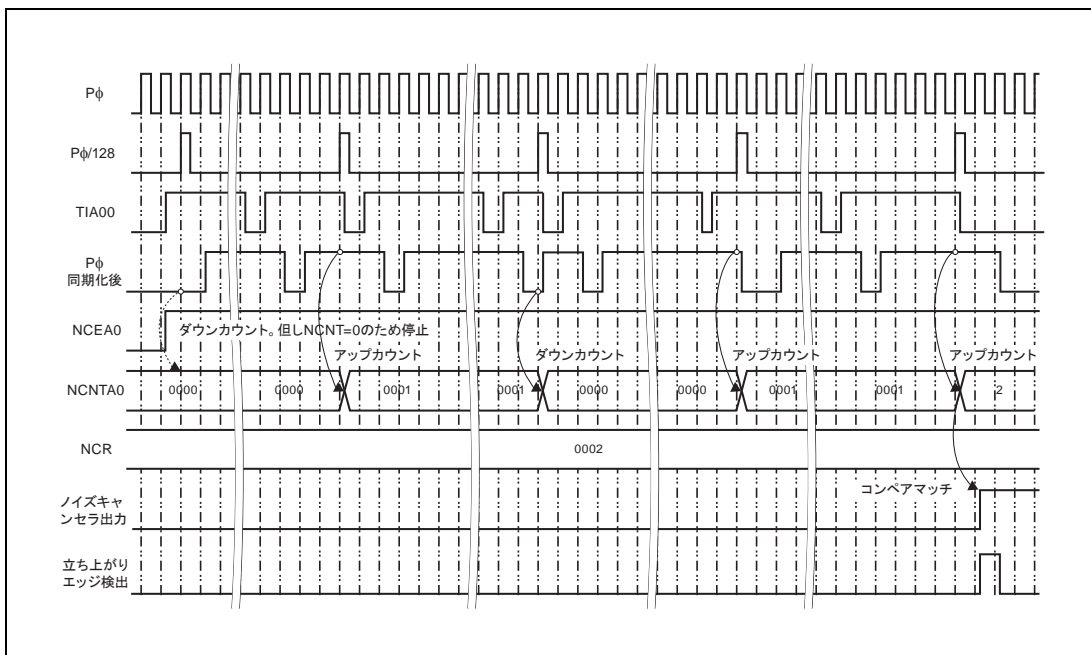


図 21.10 レベル積算キャンセルモードでのノイズキャンセル動作例

21.4.3.2 フリーランニング動作

フリーランニングカウンタ A (TCNTA) は、ATU-IV マスタイネーブルレジスタ (ATUENR) の TAE ビットを“1”にセットするとアップカウント動作を開始します。TCNTA がオーバーフロー (FFFF FFFF_H → 0000 0000_H) するとタイマステータスレジスタ A (TSRA) の OVFA ビットが“1”にセットされます。同時に、CPU に割り込み要求を出力します。TCNTA はオーバーフロー後、0000 0000_H からアップカウントを継続します。

TCNTA の動作中に ATU-IV マスタイネーブルレジスタ (ATUENR) の TAE ビットを“0”にクリアすると、TCNTA は動作を停止します。このとき TCNTA はリセットされません。再び TAE ビットを“1”にセットした場合には、動作停止時のカウント値からカウント動作を再開します。

カウント動作中に TCNTA への書き込みを行った場合、書き込みをカウント動作に優先して行い、以降書き込まれた値でカウント動作を継続します。また、書き込みはカウントソースに関係なく周辺クロック (PCLK) 2 サイクルで完了します。

注 意

プリスケラは、TAE ビットの設定に関係なく動作しており、TCNTA の動作許可時にも初期化は行われません。したがって起動から実際に TCNTA がカウント動作を開始するまでの時間には、選択されたカウントソースの周期 (分解能) 以下のハードウェア的な不確定さが伴います。

図 21.11 にフリーランニングカウンタ A (TCNTA) の動作を示します。

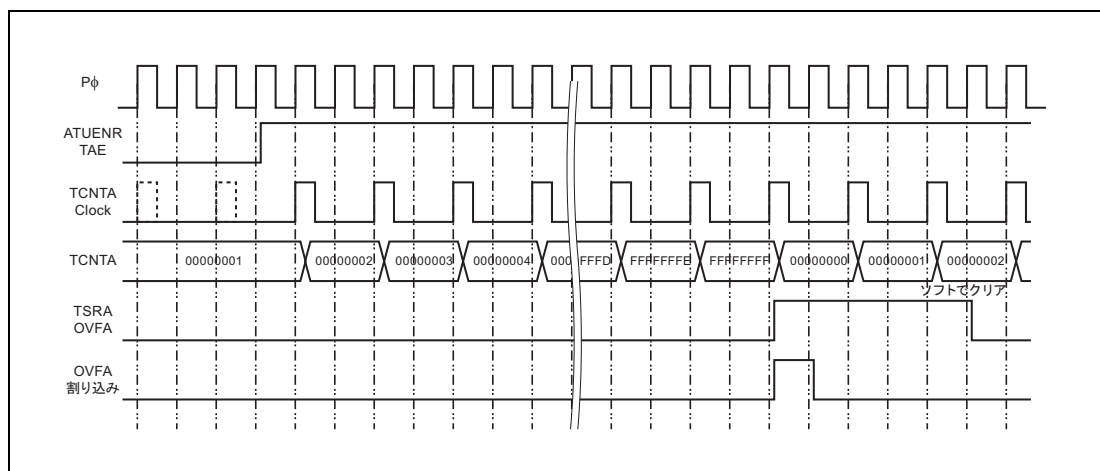


図 21.11 タイマ A フリーランニング動作、オーバーフロータイミング

21.4.3.3 インプットキャプチャ動作

インプットキャプチャレジスタ A0～5 (ICRA0～5) は、タイマ I/O コントロールレジスタ 1A (TIOR1A) の IOA0～5 にインプットキャプチャ動作を指定することにより、対応する外部入力端子 (TIA00～05) からのエッジ入力でインプットキャプチャ動作を行います。

外部信号入力端子からのエッジは、ノイズキャンセル機能を使用してノイズをキャンセルすることができます。ATU-IV マスタイネーブルレジスタ (ATUENR) の TAE ビットの設定によりフリーランニングカウンタ A (TCNTA) がカウントアップを開始します。ICRA の対応する外部信号入力端子のエッジが入力されると、対応するタイムステータスレジスタ A (TSRA) のビットがセットされ、TCNTA の値が ICRA に転送されます。入力されるエッジは、立ち上がり/立ち下がり/両エッジから選択できます。このとき CPU へ割り込み要求を出力することができ、DMA 転送を開始することも可能です。

インプットキャプチャとフリーランニングカウンタ A (TCNTA) への書き込みが同時に発生した場合、キャプチャされる値は書き込み前のカウンタ値となります。

図 21.12 に TIA00 を立ち上がりエッジ、TIA01 を立ち下がりエッジ、TIA02 を両エッジトリガと指定したときのインプットキャプチャ動作を示します。

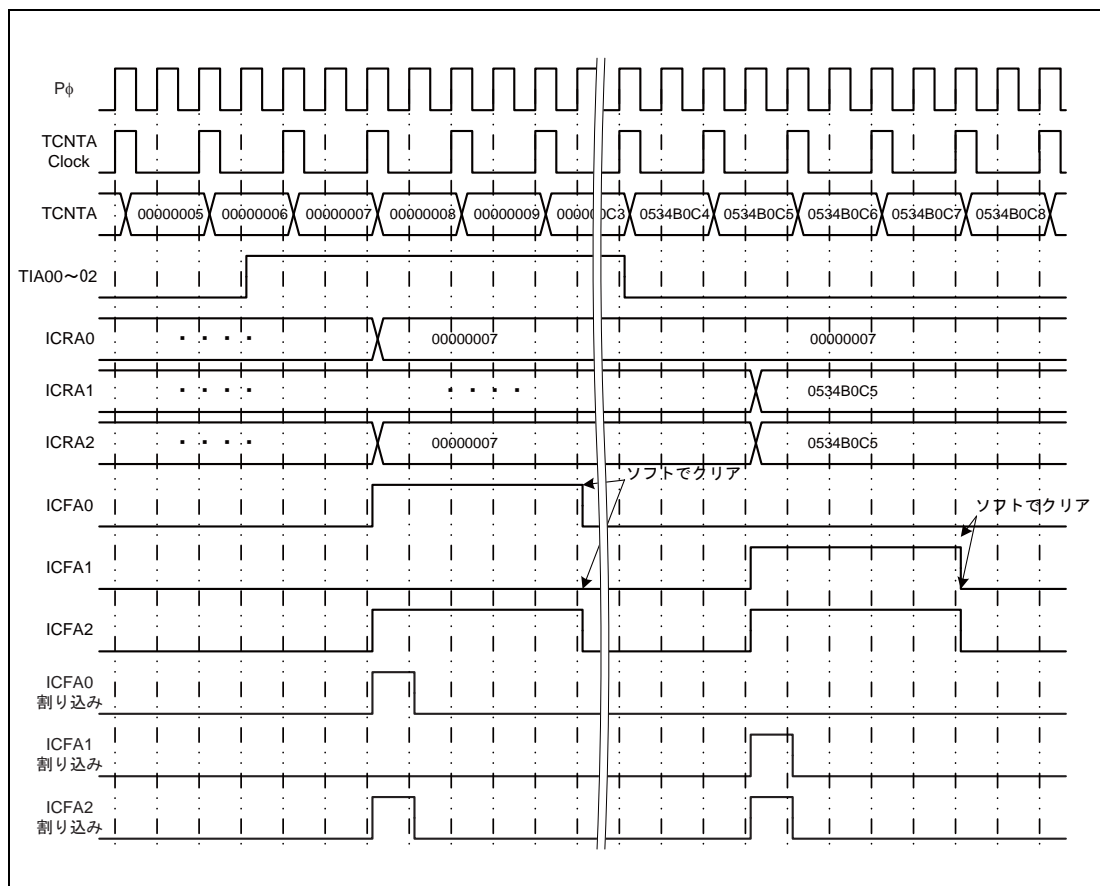


図 21.12 タイマ A のインプットキャプチャ動作

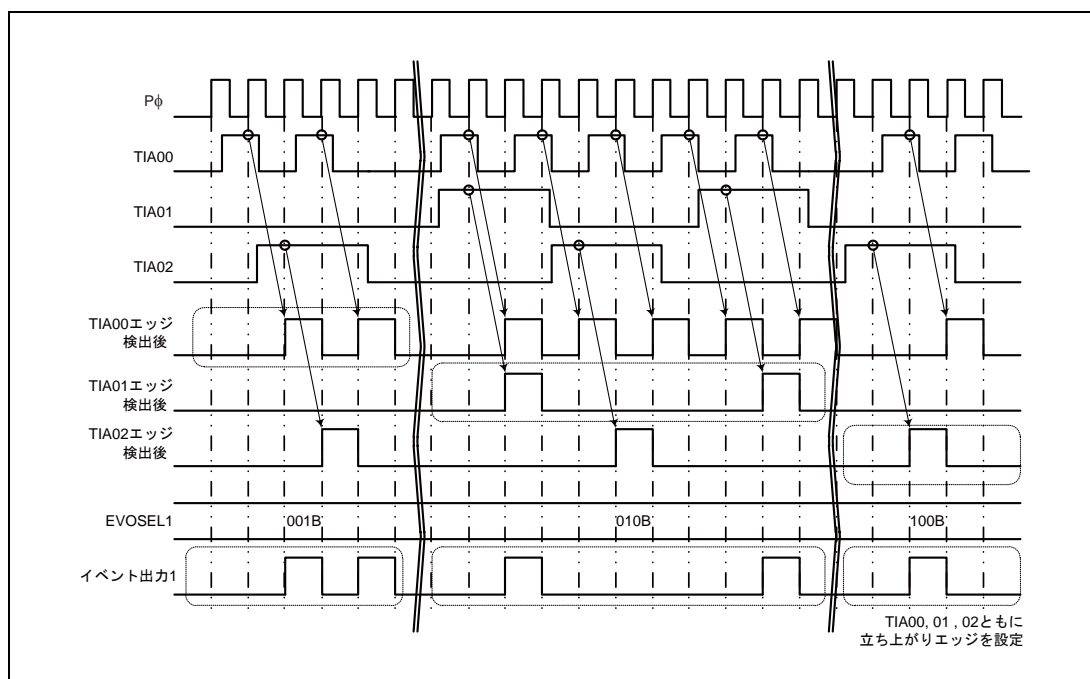


図 21.13 TIA00 ~ 02 イベント出力動作例

タイマコントロールレジスタ 1A (TCR1A) の EVOSEL1 ビットを設定することにより、外部入力端子 TIA00 ~ 02 のいずれかのエッジ検出、ノイズキャンセル後の信号をタイマ B、タイマ C へイベント出力することができます。また、EVOSEL2A、EVOSEL2B ビットを設定することにより、TIA01 ~ 02 のいずれかを（エッジ検出、ノイズキャンセル後の信号）タイマ C、タイマ D へイベント出力することができます。さらに、タイマコントロールレジスタ 2A (TCR2A) の EVOSELE1E、EVOSELE1 ビットの設定により、外部入力端子 TIA00 ~ 05 のいずれか、もしくは組み合わせでエッジ検出、ノイズキャンセル後の信号をタイマ B、および C へイベント出力することができます。タイマコントロールレジスタ 3A (TCR3A) の EVOSELE2AE、EVOSELE2A ビット、タイマコントロールレジスタ 4A (TCR4A) の EVOSELE2BE、EVOSELE2B ビットの設定により、外部入力端子 TIA00 ~ 05 のいずれか、もしくは組み合わせでエッジ検出、ノイズキャンセル後の信号をタイマ C、および D へイベント出力することができます。

図 21.13 では、EVOSEL1 を “001_B” (TIA00 の入力エッジを出力)、“010_B” (TIA01 の入力エッジを出力)、“100_B” (TIA02 の入力エッジを出力) と指定したときのイベント出力動作の例を示します。

21.4.3.4 端子レベルキャプチャ動作

タイマ入力信号レベルレジスタ A (TILRA) により、外部入力端子 (TIA00 ~ 05) のノイズキャンセル後の端子レベルを読み出すことが可能です。さらに、タイマ入力信号レベルレジスタ A (TILRA) の値を、タイマ入力信号レベルキャプチャレジスタ A (TILCRA) にキャプチャすることができます。TILRA から TILCRA へのキャプチャはタイマ B の TCNTB6 と OCRB6 のコンペアマッチのタイミングの欠歯検出トリガによって行われます。図 21.14 は TIA00-05 に信号を入力したときの TILRA レジスタと欠歯検出による TILCRA のキャプチャ動作の例を示します。

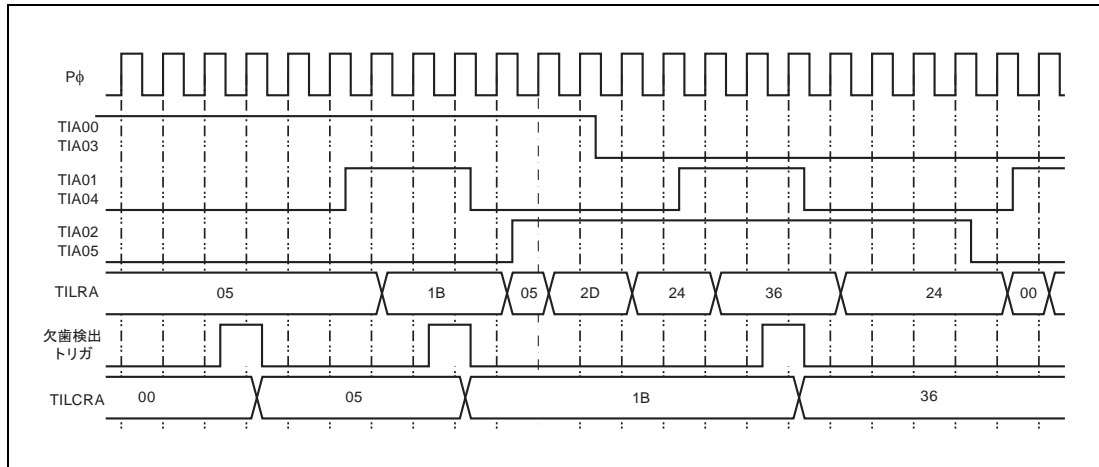


図 21.14 TILCRA キャプチャ動作例

21.4.3.5 DMA 転送

DMAC を設定することで、タイマ A のインプットキャプチャ動作で DMAC の起動が可能です。

21.5 タイマ B

21.5.1 動作概要

タイマ B は、外部イベント入力をベースにした倍周補正クロックを生成し、クロックバス経由でほかのタイマブロックに供給します。タイマ B は、(a) エッジ間計測ブロック、(b) 倍周クロック生成ブロック、(c) 倍周クロック補正ブロックに分かれます。

エッジ間計測ブロック

エッジ間計測ブロックでは、タイマ A 経由で入力される外部イベントの入力エッジ間時間計測を行います (TCNTB0、ICRB0)。TCNTB0 (入力エッジ間計測カウンタ B0) と OCRB0 とのコンペアマッチにより CPU への割り込み要求の出力が可能です。また、外部イベント入力をカウントソースとするイベントカウンタ B1 (TCNTB1) と OCRB1 とのコンペアマッチにより、TCNTB0 の値を ICRB1 経由で ICRB2 へキャプチャすることもでき、複数イベント間の時間計測も可能です (TCNTB0 のカウント値は、外部イベント入力ごとにクリアされるため、ICRB1 が TCNTB0 の値を累積してキャプチャしており、ICRB2 は外部イベントカウンタのコンペアマッチでこの値を取り込みます)。さらに、タイマコントロールレジスタ B (TCRB) の TCNTB1 クリア設定ビット CLR B1 により、外部イベント入力をカウントソースとするイベントカウンタ B1 (TCNTB1) は OCRB10 とのイベントコンペアマッチ発生後の、次の外部イベント入力のタイミングで TCNTB1 の値を 01_H に設定することも可能です。また、キャプチャ値 (ICRB0) は、外部入力イベントのタイミングによりその値をレコードレジスタ B 1 ~ 6 (RECRB1-6) に最大 7 個まで保持することが可能です。ICRB0 および RECRB1 ~ 6 に保持された値は、イベントカウンタ B1 (TCNTB1) と OCRB12 によるイベントコンペアマッチによりレコードバックアップレジスタ B 0 ~ 6 (RBURB0 ~ 6) にバックアップをとることができます。

エッジ間計測ブロックでは、イベントカウンタ B1 (TCNTB1) に対して、タイマ A 経由で入力される 7 種の外部イベント入力 1_B ~ 1_H 発生時に、イベントカウンタ B1 (TCNTB1) の値をキャプチャします (ICRB30 ~ ICRB36)。外部イベント入力 1_B ~ 1_H 発生では、イベントカウンタ B1 (TCNTB1) をクリアしません。

倍周クロック生成ブロック

倍周クロック生成ブロックでは、外部イベント入力を 1/1 ~ 1/4095 分周した倍周クロック (AGCK1) を生成します。エッジ間計測ブロックの入力エッジ間計測カウンタ B0 (TCNTB0) のキャプチャ値 (ICRB0) に対して、リロード付き (RLDB) のダウンカウント (TCNTB2) を行います。ダウンカウントは PIMR 選択レジスタで設定された、分周比設定値で行います。分周比設定値は PIMR1 の他に、エッジ間計測ブロックのイベントカウンタ B1 (TCNTB1) と OCRB11 によるイベントコンペアマッチにより、PIMR2 を選択することができます。倍周クロック (AGCK1) は、このダウンカウンタのアンダフローで生成します。

TCNTB6 は倍周クロックベースの計測カウンタで、OCRB6 とのコンペアマッチで CPU へ割り込み要求出力が可能です。ICRB6 はキャプチャレジスタであり、この TCNTB6 の値を外部イベント入力時にキャプチャを行います。

TCNTB6M は倍周クロックベースの計測カウンタで、カウントアップ値を 0 ~ 4 より小さい値の範囲で 1/64 単位で設定できます。外部イベント入力発生時に ICRB6 の値と比較し、ICRB6 の値より小さい場合に CPU へ割り込み要求が可能です。

倍周クロック補正ブロック

倍周クロック生成ブロックで生成する AGCK1 は、1 つ前の入力エッジ間隔を参考にして生成されるため、連続する 2 つのエッジ間隔に変化が生じた場合は補正が必要になります。その補正を行うのが倍周補正ブロックであり、TCNTB3、TCNTB4、TCNTB5 の 3 つの補正カウンタと、補正カウンタクリアレジスタ B (TCCLRB) を用いて倍周補正クロック (AGCKM) を生成します。倍周補正クロックは、クロックバス制御レジスタ (CBCNT) を設定することでクロックバス 5 へ出力することができ、ほかのタイマモジュールは倍周補正クロックをカウントソースとして使用できます。なお、倍周補正クロック (AGCKM) 生成時に行われる倍周補正クロック生成カウンタ B5 (TCNTB5) と補正カウンタクリアレジスタ B (TCCLRB) がコンペアマッチするまでカウントアップする自動カウントアップ機能については、機能の有効無効を選択できます。また、タイマコントロールレジスタ B (TCRB) の TCNTB3 クリア設定ビット CLR3B3 により、補正イベントカウンタ B3 (TCNTB3) は、エッジ間計測ブロックのイベントカウンタ B1 (TCNTB1) と OCRB10 とのコンペアマッチ、または、補正イベントカウンタ B3 (TCNTB3) と OCRB8 とのコンペアマッチによるイベントコンペアマッチのタイミングで自動クリアすることが可能です。

AGCKM2 補正許可設定レジスタ (ACRTRGB) の ACRTRG に“1”を設定することで、倍周補正クロック (AGCKM) に対する補正を行うことが可能です。AGCKM2 補正クロック数設定レジスタ (ACRVALRB) にしたがって、内部 AGCKM2 カウンタが動作することで、AGCKM に対して補正を施した倍周補正クロック 2 (AGCKM2) を出力します。

内部 AGCKM2 カウンタがについては、カウント動作中にデバッグによるブレークと状態となってもカウント動作を継続します。内部 AGCKM2 のカウント動作を停止する場合には、AGCKM2 補正クリア設定レジスタ (ACRCLRB) の ACRCLR に“1”を設定する必要があります。

図 21.15 に、タイマ B のブロック図を示します。

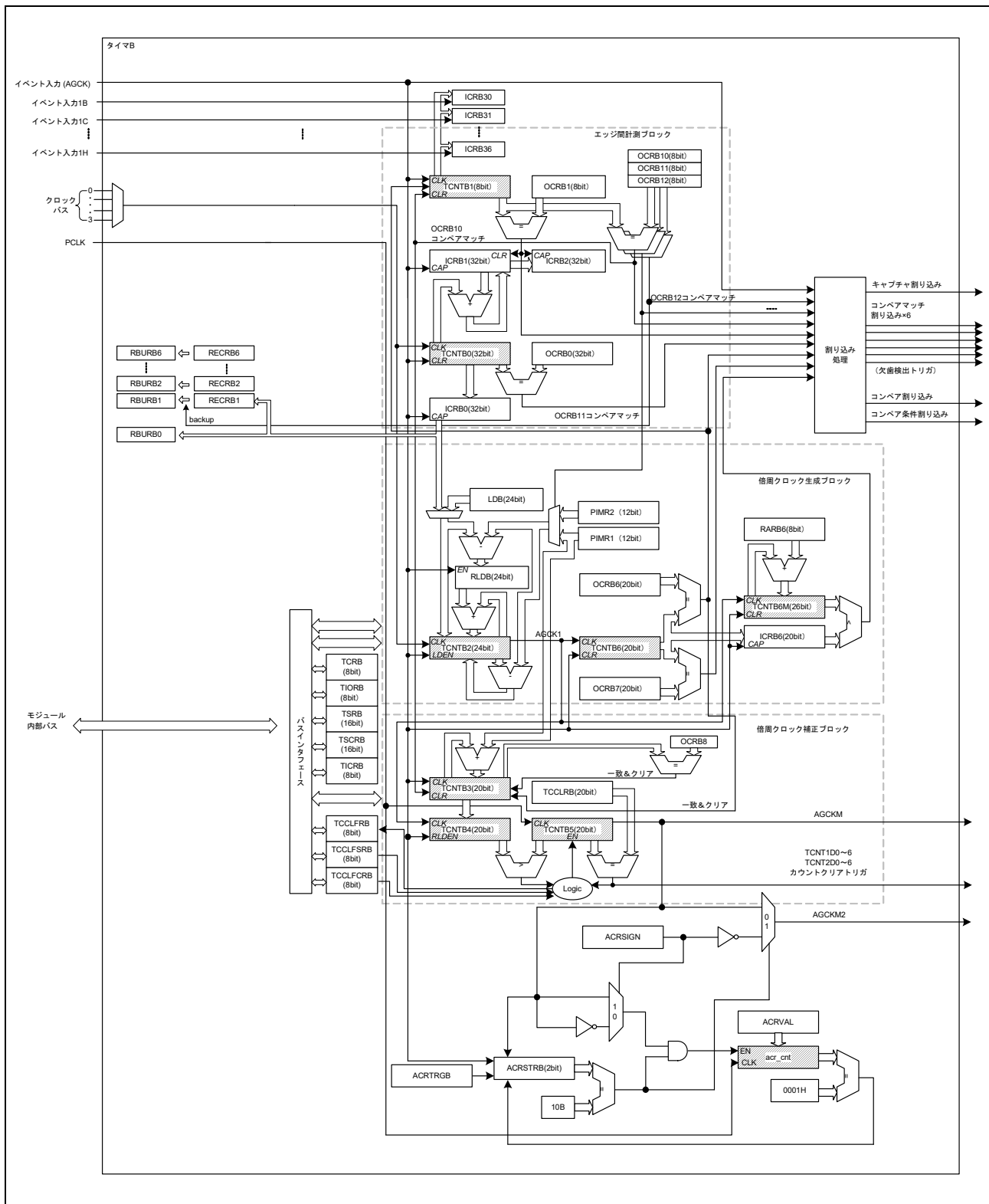


図 21.15 タイマB ブロック図

21.5.2 タイマ B 制御レジスタ

21.5.2.1 TCRB — タイマコントロールレジスタ B

アクセス 8ビットアクセス可能

アドレス FFE6 0400_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---------|-------|-------|----------|-----|----------|--------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PIMRSEL | CLRB3 | CLRB1 | CLRB3SEL | | CLRB1SEL | CKSELB | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.27 TCRB レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 | PIMRSEL | PIMR 選択ビット 0: 常に PIMR1 を選択 1: TCNTB1 と OCRB11 の一致している間、PIMR1 の代わりに PIMR2 を選択する。 |
| 6 | CLRB3 | TCNTB3 クリア設定ビット 0: TCNTB3 をクリアしない 1: TCNTB3 をクリアする |
| 5 | CLRB1 | TCNTB1 クリア設定ビット 0: TCNTB1 をクリアしない 1: TCNTB1 をクリアする |
| 4、3 | CLRB3SEL | TCNTB3 クリア設定選択ビット 00: TCNTB3 のクリアに TCNTB1 と OCRB10 のコンペアマッチを使用する 01: TCNTB3 のクリアに TCNTB6 と OCRB6 のコンペアマッチを使用する 10: TCNTB3 のクリアに TCNTB3 と OCRB8 のコンペアマッチを使用する 11: 設定禁止 |
| 2 | CLRB1SEL | TCNTB1 クリア設定選択ビット 0: TCNTB1 のクリアに TCNTB1 と OCRB10 のコンペアマッチを使用する 1: TCNTB1 のクリアに TCNTB6 と OCRB6 のコンペアマッチを使用する |
| 1、0 | CKSELB | クロックセレクト B 00: カウントソースにクロックバス 0 を選択 01: カウントソースにクロックバス 1 を選択 10: カウントソースにクロックバス 2 を選択 11: カウントソースにクロックバス 3 を選択 |

TCRB は 8 ビットの読み出し/書き込み可能なレジスタで、入力エッジ間計測カウンタ B0 (TCNTB0)、リロードカウンタ B2 (TCNTB2) のカウントソースの選択、TCNTB1 と OCRB10 のコンペアマッチ、または TCNTB6 と OCRB6 とのコンペアマッチにより TCNTB1 の値、および TCNTB3 の値をクリアするかの選択、パルスインターバルマルチプライヤの選択を行います。

TCRB は 8 ビット単位で読み出し/書き込みが可能です。

TCRB はリセット時に 00_H に初期化されます。

(1) CKSELB — クロックセレクト B

これらのビットにより、TCNTB0、TCNTB2 のカウントクロックにクロックバス 0～3 のいずれかを選択します。クロックバス 0～3 はプリスケアラ 0～3 の出力する分周クロックです。カウントクロックのエッジ検出は立ち上がり固定です。

カウントクロックの選択は、タイマ B の動作が停止している状態で行ってください。

(2) PIMRSEL — パルスインターバルマルチプライヤ選択ビット

PIMRSEL ビットを“1”に設定することにより、TCNTB1 と OCB11 が一致している間、リロードレジスタ B (RLDB) へのロード値の減算値、および TCNT2B のダウンカウント値時に PIMR2 を、それ以外の場合は PIMR1 を選択します。ただし、TCNTB3 の加算値には常に PIMR1 を使用します。

PIMRSEL ビットが“0”の場合は、常に PIMR1 を使用します。

(3) CLRB1 — TCNTB1 クリア設定ビット

TCNTB1 クリア設定ビット (CLRB1) を“1”に設定すると、CLRB1SEL の設定条件の TCNTB1 と OCB10 とのコンペアマッチ、または TCNTB6 と OCB6 とのコンペアマッチ発生後の次のイベント入力のタイミングで、TCNTB1 の値はクリアされます。

(4) CLRB3 — TCNTB3 クリア設定ビット

TCNTB3 クリア設定ビット (CLRB3) を“1”に設定すると、CLRB3SEL の設定条件の TCNTB1 と OCB10 とのコンペアマッチ、または TCNTB6 と OCB6 とのコンペアマッチ、または TCNTB3 と OCB8 とのコンペアマッチ発生後、次の PCLK に同期して TCNTB3 の値をクリアします。

(5) CLRB1SEL — TCNTB1 クリア設定選択ビット

TCNTB1 クリア設定選択ビット (CLRB1SEL) の設定により、TCNTB1 のクリア条件を設定できます。CLRB1SEL が“0”のとき、TCNTB1 と OCB10 とのコンペアマッチにより TCNTB1 をクリアできます。CLRB1SEL が“1”のとき、TCNTB6 と OCB6 とのコンペアマッチにより TCNTB1 をクリアできます。

(6) CLRB3SEL — TCNTB3 クリア設定選択ビット

TCNTB3 クリア設定選択ビット (CLRB3SEL) の設定により、TCNTB3 のクリア条件を設定できます。CLRB3SEL が“00”のとき、TCNTB1 と OCB10 とのコンペアマッチにより TCNTB3 をクリアできます。CLRB3SEL が“01”のとき、TCNTB6 と OCB6 とのコンペアマッチにより TCNTB3 をクリアできます。CLRB3SEL が“10”のとき、TCNTB3 と OCB8 とのコンペアマッチにより TCNTB3 をクリアできます。

21.5.2.2 TIORB — タイマ I/O コントロールレジスタ B

アクセス 8ビットアクセス可能

アドレス FFE6 0402_Hリセット後の値 00_H

| | | | | | | | | |
|---------|-------|---------|--------|------|-----|---|---|------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | LDSEL | CTCNTB5 | EVCNTB | LDEN | CCS | — | — | IOB6 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R | R | R/W |

表 21.28 TIORB レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 7 | LDSEL | ロードデータセレクト 0: TCNTB2 のロードデータ、RLDB のロードデータの計算に ICRB0 値を用いる 1: TCNTB2 のロードデータ、RLDB のロードデータの計算に LDB 値を用いる |
| 6 | CTCNTB5 | カウントコントロール B5 0: TCNTB5 のカウント動作を許可 1: TCNTB5 のカウント動作を停止 |
| 5 | EVCNTB | イベントコントロール B 0: 外部イベントの入力を禁止 1: 外部イベントの入力を許可 |
| 4 | LDEN | ロードイネーブル 0: ICRB0 のインプットキャプチャ時に TCNTB2、RLDB の値を更新する 1: ICRB0 のインプットキャプチャ時に TCNTB2、RLDB の値を更新しない |
| 3 | CCS | カウンタコレクションセレクト 0: TCNTB3 = TCNTB4 のとき TCNTB4 のカウント動作を停止しない 1: TCNTB3 = TCNTB4 のとき TCNTB4 のカウント動作を停止する |
| 2, 1 | — | 何も配置されていません。“0”に固定してください。 |
| 0 | IOB6 | I/O コントロール B6 0: TCNTB6 と OCRB6 とのコンペアマッチ禁止 1: TCNTB6 と OCRB6 とのコンペアマッチ許可 |

タイマ I/O コントロールレジスタ B (TIORB) は 8 ビットの読み出し/書き込み可能なレジスタで、倍周クロックの元データの選択、外部入力の有効/無効、データロードの許可/禁止、補正の設定などを行います。また、倍周補正クロック生成カウンタ B5 (TCNTB5) やアウトプットコンペアレジスタ B6 (OCRB6) の制御も行います。

TIORB は 8 ビット単位での読み出し/書き込みが可能です。

TIORB はリセット時に 00_H に初期化されます。

(1) LDSEL — ロードデータセレクト

リロードカウンタ B2 (TCNTB2) にロードする値、およびリロードレジスタ B (RLDB) にロードする値の計算値として ICRB0 値を用いるか、LDB 値を用いるかを選択できます。

(2) CTCNTB5 — カウントコントロール B5

補正倍周クロック生成カウンタ B5 (TCNTB5) のカウント動作を許可、あるいは停止させることができます。

このビットを“1”にすると、TCNTB5 のカウントが停止し、他タイマへ出力する補正倍周クロックも停止します。カウント動作停止によるカウンタのクリアは行われません。動作停止後このビットを“0”に設定した場合、TCNTB5 は補正カウント動作を再開し、補正倍周クロックも発振を再開します。

(3) EVCNTB — イベントコントロール B

外部イベントの入力を許可、あるいは禁止を選択することができます。このビットを“0”にセットした場合、外部イベントは入力されません。“1”にセットしたとき、選択したエッジをもとにインプットキャプチャや、倍周補正クロックの生成が行われます。

(4) LDEN — ロードイネーブル

入力エッジ間計測カウンタ B0 (TCNTB0) のインプットキャプチャ時に、インプットキャプチャレジスタ B0 (ICRB0) の値をリロードカウンタ B2 (TCNTB2) および、リロードレジスタ B (RLDB) の値を更新するかどうかを選択します。

(5) CCS — カウンタコレクションセレクト

補正倍周クロックカウンタ B4 (TCNTB4) の動作を選択します。TCNTB3 = TCNTB4 のとき、TCNTB4 のカウント動作を停止するかどうかを選択することができます。

(6) IOB6 — I/O コントロール B6

アウトプットコンペアレジスタ B6 (OCRB6) の機能を選択します。このビットに“0”を設定したとき、OCRB6 は倍周クロックカウンタ B6 (TCNTB6) とのコンペアマッチを行います。 “1”に設定すると TCNTB6 とのコンペアマッチ動作を行います。このとき、コンペアマッチで CPU へ割り込み要求が出力されます。

21.5.2.3 TSRB — タイマステータスレジスタ B

アクセス 8ビット/16ビットアクセス可能

アドレス FFE6 0404_Hリセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|------------|------------|---|------------|------------|------------|-------|-------|-------|-------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | CMFB6 E | CMFB6 M | — | CMFB1 2 | CMFB1 1 | CMFB1 0 | CMFB6 | CMFB1 | ICFB0 | CMFB0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.29 TSRB レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|--------|---|
| 15 ~ 10 | — | 何も配置されていません。“0”に固定してください。 |
| 9 | CMFB6E | コンペアマッチフラグ B6E 0: 機能非選択、またはコンペアマッチなし 1: TICRB の IREGB6E に設定した条件でのコンペアマッチ発生 |
| 8 | CMFB6M | コンペアマッチフラグ B6M 0: TCNTB6M 値が ICRB6 値以上。 1: TCNTB6M 値が ICRB6 より小さいときに、次のイベント入力発生 |
| 7 | — | 何も配置されていません。“0”に固定してください。 |
| 6 | CMFB12 | コンペアマッチフラグ B12 0: コンペアマッチなし 1: コンペアマッチ発生 |
| 5 | CMFB11 | コンペアマッチフラグ B11 0: インพุットキャプチャなし 1: インพุットキャプチャ発生 |
| 4 | CMFB10 | コンペアマッチフラグ B10 0: コンペアマッチなし 1: コンペアマッチ発生 |
| 3 | CMFB6 | コンペアマッチフラグ B6 0: コンペアマッチなし 1: コンペアマッチ発生 |
| 2 | CMFB1 | コンペアマッチフラグ B1 0: コンペアマッチなし 1: コンペアマッチ発生 |
| 1 | ICFB0 | インพุットキャプチャフラグ B0 0: インพุットキャプチャなし 1: インพุットキャプチャ発生 |
| 0 | CMFB0 | コンペアマッチフラグ B0 0: コンペアマッチなし 1: コンペアマッチ発生 |

タイマステータスレジスタ B (TSRB) は 16 ビットの読み出し専用のレジスタで、インพุットキャプチャ/コンペアマッチの発生を示します。

これらのフラグは割り込み要求発生を示すステータスフラグであり、タイマステータスクリアレジスタ B (TSCRB) の対応するビットを設定することによりフラグをクリアすることができます。本フラグがセットされた状態で割り込み要因が発生した場合、再度割り込み要求が発生します。また、対応するタイマステータスクリアレジスタによるクリアと割り込み要因発生によるセットが競合した場合でも割り込み要求は発生します。

補足：CMFB6 フラグがセットされた状態で、TCNTB6 と OCRB6 のコンペアマッチが発生しても、OCRB6 コンペアマッチ割り込みを発生しません。

TSRB は 8 ビットまたは 16 ビット単位でのみ読み出が可能です。

TSRB はリセット時に 0000_H に初期化されます。

(1) CMFB6E — コンペアマッチフラグ B6E

タイマインタラプトコントロールレジスタ B (TICRB) の IREGB6E の設定により、CMFB6 と CMFB6M のフラグセットが両方とも発生した場合、または片方のみ発生したことを示すステータスフラグです。このフラグの読み出し値が“1”であるとき、CMFB6 と CMFB6M のフラグセットが両方、または片方のみ発生したことを示します。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1セット条件
タイマインタラプトコントロールレジスタ B (TICRB) の IREGB6E の設定により、CMFB6E の割り込み要求の発生時にセットします。詳細は TICRB の IREGB6E の設定をご確認ください。
- 0クリア条件
タイマステータスクリアレジスタ B (TSCRB) の CMFCB6E に“1”を書き込んだとき。

(2) CMFB6M — コンペアマッチフラグ B6M

外部入力イベントタイミングのときに、倍周クロックカウンタ B6M (TCNTB6M) がインプットキャプチャレジスタ B6 (ICRB6) の値より小さかったことを示すステータスフラグです。このフラグの読み出し値が“1”であるとき、TCNTB6M は ICRB6 以上の値にならず、次のイベント入力が発生したことを示します。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1セット条件
TCNTB6M のカウント値が ICRB6 の値以上にならず、次のイベント入力が発生したとき。
- 0クリア条件
タイマステータスクリアレジスタ B (TSCRB) の CMFCB6M に“1”を書き込んだとき。

(3) CMFB12 — コンペアマッチフラグ B12

アウトプットコンペアレジスタ B12 (OCRB12) のコンペアマッチ発生を示すステータスフラグです。このフラグの読み出し値が“1”であるとき、CMFB12 でコンペアマッチが発生したことを示します。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1セット条件
TCNTB1 のカウント値が OCRB12 の値と一致し、次の PCLK が発生したとき。
- 0クリア条件
タイマステータスクリアレジスタ B (TSCRB) の CMFCB12 に“1”を書き込んだとき。

(4) CMFB11 — コンペアマッチフラグ B11

アウトプットコンペアレジスタ B11 (OCRB11) のコンペアマッチ発生を示すステータスフラグです。このフラグの読み出し値が“1”であるとき、CMFB11 でコンペアマッチが発生したことを示します。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1セット条件
TCNTB1 のカウント値が OCRB11 の値と一致し、次の PCLK が発生したとき。
- 0クリア条件
タイマステータスクリアレジスタ B (TSCRB) の CMFCB11 に“1”を書き込んだとき。

(5) CMFB10 — コンペアマッチフラグ B10

アウトプットコンペアレジスタ B10 (OCRB10) のコンペアマッチ発生を示すステータスフラグです。このフラグの読み出し値が“1”であるとき、CMFB10 でコンペアマッチが発生したことを示します。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1セット条件
TCNTB1 のカウント値が OCRB10 の値と一致し、次の PCLK が発生したとき。
- 0クリア条件
タイマステータスクリアレジスタ B (TSCRB) の CMFCB10 に“1”を書き込んだとき。

(6) CMFB6 — コンペアマッチフラグ B6

アウトプットコンペアレジスタ B6 (OCRB6) のコンペアマッチ発生を示すステータスフラグです。このフラグの読み出し値が“1”であるとき、CMFB6 でコンペアマッチが発生したことを示します。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

また、TICRB の IREGB6 を“10”に設定しているときに限り、OCRB7 のコンペアマッチ発生によって自動的にクリアされます。

- 1セット条件
タイマ I/O コントロールレジスタ B (TIORB) の IOB6 ビットをコンペアマッチ許可に設定し、かつ TCNTB6 のカウント値が OCRB6 の値と一致し、次の AGCK1 クロックが発生したとき。
- 0クリア条件
 - タイマステータスクリアレジスタ B (TSCRB) の CMFCB6 に“1”を書き込んだとき。
 - IREGB6 = “10” 設定時、OCRB7 コンペアマッチ発生で自動的にクリアされます。

(7) CMFB1 — コンペアマッチフラグ B1

アウトプットコンペアレジスタ B1 (OCRB1) のコンペアマッチ発生を示すステータスフラグです。このフラグの読み出し値が“1”であるとき、CMFB1 でコンペアマッチが発生したことを示します。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1セット条件
TCNTB1 のカウント値が OCRB1 の値と一致し、次の PCLK が発生したとき。
- 0クリア条件
タイマステータスクリアレジスタ B (TSCRB) の CMFCB1 に“1”を書き込んだとき。

(8) ICFB0 — インพุットキャプチャフラグ B0

インพุットキャプチャレジスタ B0 (ICRB0) のインพุットキャプチャ発生を示すステータスフラグです。このフラグの読み出し値が“1”であるとき、ICRB0 でインพุットキャプチャが発生したことを示します。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1 セット条件
外部イベントによるインพุットキャプチャトリガにより TCNTB0 の値が ICRB0 に転送されたとき。
- 0 クリア条件
タイマステータスクリアレジスタ B (TSCRB) の ICFCB0 に“1”を書き込んだとき。

(9) CMFB0 — コンペアマッチフラグ B0

アウトプットコンペアレジスタ B0 (OCRB0) のコンペアマッチ発生を示すステータスフラグです。このフラグの読み出し値が“1”であるとき、CMFB0 でコンペアマッチが発生したことを示します。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1 セット条件
TCNTB0 のカウント値が OCRB0 の値と一致し、プリスケアラで設定した次のクロックが発生したとき。
- 0 クリア条件
タイマステータスクリアレジスタ B (TSCRB) の CMFCB0 に“1”を書き込んだとき。

21.5.2.4 TSCRB — タイマステータスクリアレジスタ B

アクセス 8ビット／16ビットアクセス可能
 “0”書き込み無効。“1”書き込み時はデータは保持されません。読み出し値は常に“0”になります。

アドレス FFE6 0406_H

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|-------------|-------------|---|-------------|-------------|-------------|------------|------------|--------|------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | CMFCB 6E | CMFCB 6M | — | CMFCB 12 | CMFCB 11 | CMFCB 10 | CMFCB 6 | CMFCB 1 | ICFCB0 | CMFCB 0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.30 TSCRB レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------|--|
| 15 ~ 10 | — | 何も配置されていません。“0”に固定してください。 |
| 9 | CMFCB6E | コンペアマッチフラグクリア B6E イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ B (TSCRB) の CMFB6E を 0 にクリア |
| 8 | CMFCB6M | コンペアマッチフラグクリア B6M イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ B (TSCRB) の CMFB6M を 0 にクリア |
| 7 | — | 何も配置されていません。“0”に固定してください。 |
| 6 | CMFCB12 | コンペアマッチフラグクリア B12 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ B (TSCRB) の CMFB12 を 0 にクリア |
| 5 | CMFCB11 | コンペアマッチフラグクリア B11 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ B (TSCRB) の CMFB11 を 0 にクリア |
| 4 | CMFCB10 | コンペアマッチフラグクリア B10 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ B (TSCRB) の CMFB10 を 0 にクリア |
| 3 | CMFCB6 | コンペアマッチフラグクリア B6 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ B (TSCRB) の CMFB6 を 0 にクリア |
| 2 | CMFCB1 | コンペアマッチフラグクリア B1 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ B (TSCRB) の CMFB1 を 0 にクリア |
| 1 | ICFCB0 | インプットキャプチャフラグクリア B0 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ B (TSCRB) の ICFB0 を 0 にクリア |
| 0 | CMFCB0 | コンペアマッチフラグクリア B0 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ B (TSCRB) の CMFB0 を 0 にクリア |

タイマステータスクリアレジスタ B (TSCRB) は 16 ビットの読み出し／書き込み可能なレジスタで、インプットキャプチャ／コンペアマッチの発生によるフラグのクリア設定をします。

TSCRB は 16 ビット単位でのみ読み出し／書き込みが可能です。ただし読み出した場合は常に“0”が読み出せます。

TSCRB はリセット時に 0000_H に初期化されます。

(1) CMFCB6E — コンペアマッチフラグクリア B6E イネーブル

タイマステータスレジスタ B (TSRB) のコンペアマッチフラグ B6E (CMFB6E) が“1”にセットされているとき、本レジスタに“1”を書き込むと CMFB6E を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(2) CMFCB6M — コンペアマッチフラグクリア B6M イネーブル

タイマステータスレジスタ B (TSRB) のコンペアマッチフラグ B6M (CMFB6M) が“1”にセットされているとき、本レジスタに“1”を書き込むと CMFB6M を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(3) CMFCB12 — コンペアマッチフラグクリア B12 イネーブル

タイマステータスレジスタ B (TSRB) のコンペアマッチフラグ B12 (CMFB12) が“1”にセットされているとき、本レジスタに“1”を書き込むと CMFB12 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(4) CMFCB11 — コンペアマッチフラグクリア B11 イネーブル

タイマステータスレジスタ B (TSRB) のコンペアマッチフラグ B11 (CMFB11) が“1”にセットされているとき、本レジスタに“1”を書き込むと CMFB11 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(5) CMFCB10 — コンペアマッチフラグクリア B10 イネーブル

タイマステータスレジスタ B (TSRB) のコンペアマッチフラグ B10 (CMFB10) が“1”にセットされているとき、本レジスタに“1”を書き込むと CMFB10 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(6) CMFCB6 — コンペアマッチフラグクリア B6 イネーブル

タイマステータスレジスタ B (TSRB) のコンペアマッチフラグ B6 (CMFB6) が“1”にセットされているとき、本レジスタに“1”を書き込むと CMFB6 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(7) CMFCB1 — コンペアマッチフラグクリア B1 イネーブル

タイマステータスレジスタ B (TSRB) のコンペアマッチフラグ B1 (CMFB1) が“1”にセットされているとき、本レジスタに“1”を書き込むと CMFB1 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(8) ICFB0 — インพุットキャプチャフラグクリア B0 イネーブル

タイマステータスレジスタ B (TSRB) のインพุットキャプチャフラグ B0 (ICFB0) が“1”にセットされているとき、本レジスタに“1”を書き込むと ICFB0 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(9) CMFCB0 — コンペアマッチフラグクリア B0 イネーブル

タイマステータスレジスタ B (TSRB) のコンペアマッチフラグ B0 (CMFB0) が“1”にセットされているとき、本レジスタに“1”を書き込むと CMFB0 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

21.5.2.5 TICRB — タイマインタラプトコントロールレジスタ B

アクセス 8ビットアクセス可能

アドレス FFE6 0408_Hリセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---------|-----|--------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | IREGB6E | | IREGB6 | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 21.31 TICRB レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 7～4 | — | 何も配置されていません。“0”に固定してください。 |
| 3、2 | IREGB6E | インタラプトイネーブルエッジ B6E 00：割り込み要求を出力しない。 01：CMFB6 が有効になったあとに CMFB6M が有効になったとき、または CMFB6M が有効になったあとに CMFB6 が有効になったタイミングで割り込み要求出力。(AND 条件) 10：CMFB6 が有効、または CMFB6M が有効になったタイミングで割り込み要求出力。(OR 条件) 11：設定禁止 |
| 1、0 | IREGB6 | インタラプトイネーブルエッジ B6 00：CMFB6 が有効になったタイミングで割り込み要求出力 01：CMFB6 が有効になったあと、次の外部イベント入力タイミングで割り込み要求出力 10：CMFB6 が有効になったあと、2 回目の外部イベント入力タイミングで割り込み要求出力。ただし、2 回の外部イベントが入力されるまでにコンペアマッチ B7 が発生した場合は、割り込み要求を出力しない。 11：設定禁止 |

タイマインタラプトコントロールレジスタ B (TICRB) は 8 ビットの読み出し/書き込み可能なレジスタで、コンペアマッチの割り込み要求のタイミングを制御します。

TICRB は 8 ビット単位でのみ読み出し/書き込みが可能です。

TICRB はリセット時に 00_H に初期化されます。

(1) IREGB6E — インタラプトイネーブルエッジ B6E

TSRB の CMFB6E の割り込み要求出力の条件を選択します。

このビットを“00”に設定したときはこのビットの動作は無効です。

このビットを“01”に設定したとき、IREGB6 の設定による CMFB6 の割り込みが発生した状態のときに、CMFB6M が有効になるときの外部イベント入力タイミングで割り込み要求を出力します。または、CMFB6M が有効な状態で IREGB6 の設定による CMFB6 の割り込み要求が発生したタイミングで割り込み要求を出力します。(AND 条件) CMFB6 による割り込みが発生した後でも、CMFB6 をクリアすると CMFB6M が有効になっても CMFB6E の割り込み要求は出力しません。または、CMFB6M が有効になっても、CMFB6M をクリアすると IREGB6 の設定による CMFB6 割り込み要求が発生しても、CMFB6E の割り込み要求は出力しません。

このビットを“10”に設定したとき、IREGB6 の設定による CMFB6 の割り込みが発生したとき、または CMFB6M が有効になるタイミングで割り込み要求を出力します。(OR 条件) IREGB6 の設定による CMFB6 の割り込み要求タイミングと、CMFB6M の割り込み要求タイミングがそれぞれ異なる場合、それぞれの割り込み要求が発生しますのでご注意ください。

ただし、CMFB6 と CMFB6M の割り込み要求の発生タイミングが同じ場合は一度の割り込み発生となります。

本ビットはカウンタの動作中、および TSRB の CMFB6、CMFB6M のビットがセット中には変更しないでください。変更した場合、正常に動作しません。

(2) IREGB6 — インタラプトイネーブルエッジ B6

TSRB の CMFB6 の割り込み要求出力タイミングを選択します。このビットを“00”に設定したとき、CMFB6 の割り込み要求は、CMFB6 が有効になったタイミングで割り込み要求を出力します。また、このビットを“01”に設定したときは、CMFB6 が有効になったあと、次の外部イベント入力タイミングで割り込み要求を出力します。

このビットを“10”に設定した場合は、CMFB6 が有効になったあと、外部イベントが2回入力されたタイミングで割り込み要求を出力します。ただし、コンペアマッチ B7 が、2回の外部イベント入力待ちの間に発生した場合は、CMFB6 が自動的にクリアされ、その後2回目の外部イベントが入力されても、割り込み要求は出力されません。

本ビットはカウンタの動作中、および TSRB の CMFB6 のビットがセット中には変更しないでください。変更した場合、正常に動作しません。

21.5.2.6 TCNTB0 — 入力エッジ間計測カウンタ B0

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 0480_Hリセット後の値 00000001_H

| | | | | | | | | | | | | | | | | |
|---------|-------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CNTB0 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CNTB0 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.32 TCNTB0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|----------------------------|
| 31 ~ 0 | CNTB0 | 入力エッジ間計測カウンタ 32ビットカウンタ値 |

入力エッジ間計測カウンタ B0 (TCNTB0) は 32 ビットの読み出し/書き込み可能なレジスタで、タイマコントロールレジスタ B (TCRB) のクロックセレクトビット B (CKSELB) で選択した入力クロックによりカウント動作を行います。また、外部イベント入力によるインプットキャプチャタイミングでクリア (0000 0001_H) されます。

ATU-IV マスタイネーブルレジスタ (ATUENR) の TBE が “1” にセットされるとカウント動作を行います。TBE の “0” クリアでカウント動作は停止しますが、カウンタ値はクリアされません。

TCNTB0 は 32 ビット単位でのみ読み出し/書き込みが可能です。8 ビット/16 ビット単位での読み出し/書き込みは行わないでください。

TCNTB0 はリセット時に 0000 0001_H に初期化されます。

21.5.2.7 ICRB0 — インพุットキャプチャレジスタ B0

アクセス 32ビットアクセス可能 8ビット／16ビットアクセス禁止

アドレス FFE6 0484_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | ICB0 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ICB0 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.33 ICRB0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|-------------------------------------|
| 31～0 | ICB0 | インพุットキャプチャ B0 32ビットインพุットキャプチャ値 |

インพุットキャプチャレジスタ B0 (ICRB0) は 32 ビットの読み出し専用レジスタで、外部イベントの入力タイミングで TCNTB0 の値が転送されます。このとき、同時にタイマステータスレジスタ B (TSRB) の ICFB0 が 1 にセットされます。

この ICRB0 のインพุットキャプチャタイミングで、CPU へ割り込み要求を出力することができます。また、TCNTB0 は 0000 0001_H にクリアされます。

ICRB0 は 32 ビット単位でのみ読み出しが可能です。8 ビット／16 ビット単位での読み出しは行わないでください。

ICRB0 はリセット時に 0000 0000_H に初期化されます。

21.5.2.8 RECRBx — レコードレジスタ Bx (x = 1 ~ 6)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 0488_H (RECRB1)
 FFE6 048C_H (RECRB2)
 FFE6 0490_H (RECRB3)
 FFE6 0494_H (RECRB4)
 FFE6 0498_H (RECRB5)
 FFE6 049C_H (RECRB6)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RECRB1-6 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RECRB1-6 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.34 RECRB1-6 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|----------|------------------------------------|
| 31 ~ 0 | RECRB1-6 | レコードレジスタ B1 ~ 6 32ビットイベントキャプチャ値 |

レコードレジスタ B1 ~ 6 (RECRB1 ~ 6) は 32 ビットレジスタで、外部イベントの入力 (イベント 1 入力) タイミングで ICRB0 の値をキャプチャします。外部イベントの入力があるごとに ICRB0 の値を RECRB1 に、RECRB1 の値を RECRB2 に、RECRB2 の値を RECRB3 のように値をシフトしながらキャプチャを行い、ICRB0 と RECRB1 ~ 6 に過去 7 個までの TCNT0B の値を保持することができます。

RECRB1 ~ 6 は 32 ビット単位でのみ読み出し/書き込みが可能です。

書き込みにより初期化する場合は、0000 0000_H を書き込んでください。

RECRB1 ~ 6 はリセット時に 0000 0000_H に初期化されます。

21.5.2.9 RBURBx — レコードバックアップレジスタ Bx (x = 0 ~ 6)

アクセス 32ビットアクセス可能 8ビット／16ビットアクセス禁止

アドレス FFE6 04A0_H (RBURB0)
 FFE6 04A4_H (RBURB1)
 FFE6 04A8_H (RBURB2)
 FFE6 04AC_H (RBURB3)
 FFE6 04B0_H (RBURB4)
 FFE6 04B4_H (RBURB5)
 FFE6 04B8_H (RBURB6)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RBURB[0:6] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RBURB[0:6] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.35 RBURB0-6 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------|--|
| 31 ~ 0 | RBURB[0:6] | レコードバックアップレジスタ B0 ~ 6 32ビットイベントキャプチャバックアップ値 |

レコードバックアップレジスタ B0 ~ 6 (RBURB0 ~ 6) は 32 ビットレジスタです。イベントカウンタ B1 (TCNTB1) と OCRB12 によるイベントコンペアマッチのタイミングで ICRB0、および RECRB1 ~ 6 の値を本レジスタにバックアップします。

RBURB0 には ICRB0 の値を、RBURB1 には RECRB1 の値を、RBURB2 には RECRB2 の値を、RBURB3 には RECRB3 の値を、RBURB4 には RECRB4 の値を、RBURB5 には RECRB5 の値を、RBURB6 には RECRB6 の値が保持されます。

RBURB0 ~ 6 は 32 ビット単位でのみ読み出し／書き込みが可能です。

RBURB0 ~ 6 はリセット時に 0000 0000_H に初期化されます。

21.5.2.10 ICRB3x — インพุットキャプチャレジスタ B3x (x = 0 ~ 6)

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---|
| アクセス | 8ビットアクセス可能 | | | | | | | |
| アドレス | FFE6 04D8 _H (ICRB30) FFE6 04D9 _H (ICRB31) FFE6 04DA _H (ICRB32) FFE6 04DB _H (ICRB33) FFE6 04DC _H (ICRB34) FFE6 04DD _H (ICRB35) FFE6 04DE _H (ICRB36) | | | | | | | |
| リセット後の値 | 00 _H | | | | | | | |
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ICRB[30:36] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 21.36 ICRB30-36 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------------|--|
| 7 ~ 0 | ICRB[30:36] | インพุットキャプチャレジスタ B30 ~ 36 8ビットイベントキャプチャ値 |

インพุットキャプチャレジスタ B30 ~ 36 (ICRB30 ~ 36) は 8 ビットの読み出し専用レジスタです。エッジ間計測ブロックでは、イベントカウンタ B1 (TCNTB1) に対して、タイマ A 経由で入力される 7 種の外部イベント入力 1_B ~ 1_H 発生時に、イベントカウンタ B1 (TCNTB1) の値をキャプチャします (ICRB30 ~ ICRB36)。外部イベント入力 1_B ~ 1_H 発生では、イベントカウンタ B1 (TCNTB1) をクリアしません。

ICRB30 ~ 36 は 8 ビット単位でのみ読み出しが可能です。

ICRB30 ~ 36 はリセット時に 00_H に初期化されます。

21.5.2.11 OCRB0 — アウトプットコンペアレジスタ B0

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 04BC_H

リセット後の値 FFFF FFFF_H

| | | | | | | | | | | | | | | | | |
|---------|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | OCB0 | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OCB0 | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.37 OCRB0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|-----------------------------|
| 31 ~ 0 | OCB0 | アウトプットコンペア B0 32ビットコンペア値 |

アウトプットコンペアレジスタ B0 (OCRB0) は 32 ビットの読み出し/書き込み可能なレジスタで、常に入力エッジ間計測カウンタ B0 (TCNTB0) と比較されています。両者の値が一致すると、コンペアマッチによる CPU への割り込み要求を出力することができます。また、タイマステータスレジスタ B (TSRB) の CMFB0 が 1 にセットされます。

OCRB0 は 32 ビット単位でのみ読み出し/書き込みが可能です。8 ビット/16 ビット単位での読み出し/書き込みは行わないでください。

OCRB0 はリセット時に FFFF FFFF_H に初期化されます。

21.5.2.12 TCNTB1 — イベントカウンタ B1

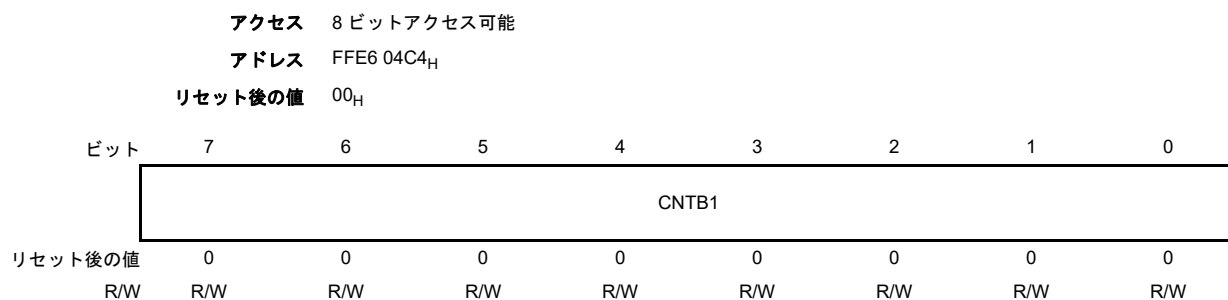


表 21.38 TCNTB1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--------------------------|
| 7 ~ 0 | CNTB1 | イベントカウンタ B1 8ビットカウンタ値 |

イベントカウンタ B1 (TCNTB1) は 8 ビットの読み出し／書き込み可能なレジスタで、外部イベントのカウンタ動作を行います。タイマコントロールレジスタ B (TCRB) の CLR B1、CLR B1SEL ビットの設定により、TCNTB1 と OCRB10 のコンペアマッチ発生、または TCNTB6 と OCRB6 のコンペアマッチの発生により、次のイベント入力のタイミングで TCNTB1 の値を 01_H にクリアすることが可能です。

ATU-IV マスタイネーブルレジスタ (ATUENR) の TBE ビットが“1”にセットされると、外部イベント毎にカウンタ動作を行います。

TCNTB1 は 8 ビット単位でのみ読み出し／書き込みが可能です。

TCNTB1 はリセット時に 00_H に初期化されます。

21.5.2.13 OCRB1 — アウトプットコンペアレジスタ B1

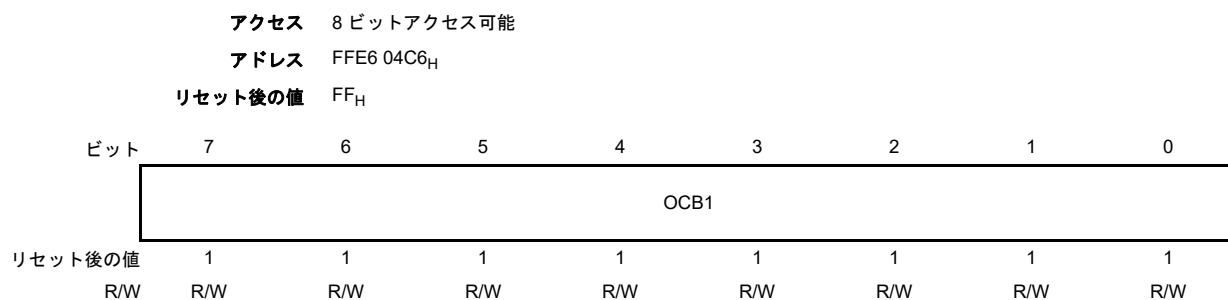


表 21.39 OCRB1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|----------------------------|
| 7 ~ 0 | OCB1 | アウトプットコンペア B1 8ビットコンペア値 |

アウトプットコンペアレジスタ B1 (OCRB1) は 8 ビットの読み出し／書き込み可能なレジスタで、常にイベントカウンタ B1 (TCNTB1) と比較されています。両者の値が一致すると、コンペアマッチで CPU へ割り込み要求を出力することができます。また、次の PCLK に同期して、タイマステータスレジスタ B (TSRB) の CMFB1 が 1 にセットされます。

このコンペアマッチのタイミングでインプットキャプチャレジスタ B1 (ICRB1) の値がインプットキャプチャレジスタ B2 (ICRB2) に転送されるとともに、ICRB1 はクリアされます。

OCRB1 は 8 ビット単位でのみ読み出し／書き込みが可能です。

OCRB1 はリセット時に FF_H に初期化されます。

21.5.2.14 OCRB10 — アウトプットコンペアレジスタ B10

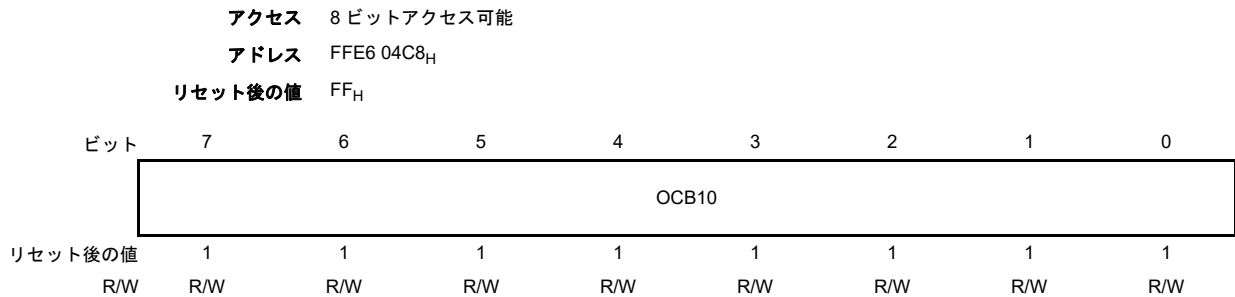


表 21.40 OCRB10 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|-----------------------------|
| 7 ~ 0 | OCB10 | アウトプットコンペア B10 8ビットコンペア値 |

アウトプットコンペアレジスタ B10 (OCRB10) は 8 ビットの読み出し／書き込み可能なレジスタで、常にイベントカウンタ B1 (TCNTB1) と比較されています。両者の値が一致すると、コンペアマッチで CPU へ割り込み要求を出力することができます。また、次の PCLK に同期して、タイムステータスレジスタ B (TSRB) の CMFB10 が 1 にセットされます。

タイマコントロールレジスタ B (TCRB) の CLRB1、CLRB1SEL ビットの設定と、このコンペアマッチ発生により、次のイベント入力のタイミングで TCNTB1 の値を 01_H にクリアすることが可能です。また、タイマコントロールレジスタ B (TCRB) の CLRB3、CLRB3SEL ビットの設定と、このコンペアマッチ発生により、次の PCLK のタイミングで TCNTB3 の値を 0000 0000_H にクリアすることが可能です。

OCRB10 は 8 ビット単位でのみ読み出し／書き込みが可能です。

OCRB10 はリセット時に FF_H に初期化されます。

21.5.2.15 OCRB11 — アウトプットコンペアレジスタ B11

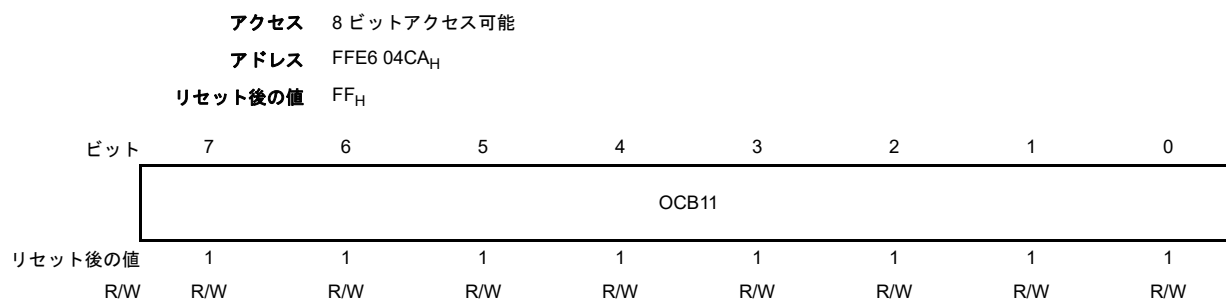


表 21.41 OCRB11 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|-----------------------------|
| 7 ~ 0 | OCB11 | アウトプットコンペア B11 8ビットコンペア値 |

アウトプットコンペアレジスタ B11 (OCRB11) は 8 ビットの読み出し/書き込み可能なレジスタです。本レジスタはタイマコントロールレジスタ B (TCRB) の PIMRSEL ビットの設定により、TCNTB1 と OCRB11 のコンペアマッチ中に、RLDB にロードするときの減算値、および TCNTB2 の減算値に、PIMR2 を使用して動作させることができます。TCNTB3 の加算値には常に PIMR1 を使用します。

TCNTB1 と OCRB11 の値が一致すると、コンペアマッチで CPU へ割り込み要求を出力することができます。また、次の PCLK に同期して、タイマステータスレジスタ B (TSRB) の CMFB11 が 1 にセットされます。

OCRB11 は 8 ビット単位でのみ読み出し/書き込みが可能です。

OCRB11 はリセット時に FF_H に初期化されます。

21.5.2.16 OCRB12 — アウトプットコンペアレジスタ B12

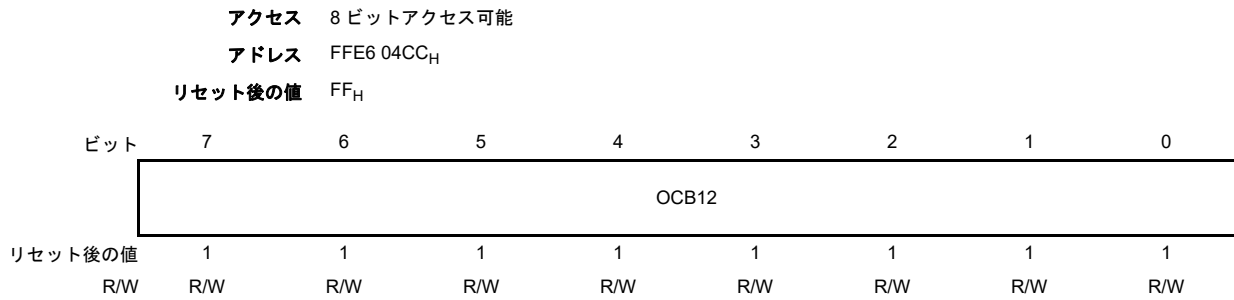


表 21.42 OCRB12 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|-----------------------------|
| 7 ~ 0 | OCB12 | アウトプットコンペア B12 8ビットコンペア値 |

アウトプットコンペアレジスタ B12 (OCRB12) は 8 ビットの読み出し／書き込み可能なレジスタです。イベントカウンタ B1 (TCNTB1) と本レジスタによるイベントコンペアマッチのタイミングで ICRB0、および RECRB1 ~ 6 の値を RBURB0 ~ 6 にバックアップすることが可能です。

TCNTB1 と OCRB12 の値が一致すると、コンペアマッチで CPU へ割り込み要求を出力することができます。また、次の PCLK に同期して、タイマステータスレジスタ B (TSRB) の CMFB12 が 1 にセットされます。

OCRB12 は 8 ビット単位でのみ読み出し／書き込みが可能です。

OCRB12 はリセット時に FF_H に初期化されます。

21.5.2.17 ICRB1 — インพุットキャプチャレジスタ B1

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 04D0_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | ICB1 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ICB1 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.43 ICRB1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|-------------------------------------|
| 31 ~ 0 | ICB1 | インพุットキャプチャ B1 32ビットインพุットキャプチャ値 |

インพุットキャプチャレジスタ B1 (ICRB1) は 32 ビットの読み出し専用レジスタです。外部イベントの入力タイミングで、入力エッジ間計測カウンタ B0 (TCNTB0) の値を ICRB1 に累積して取り込みます。ICRB1 のクリアは、イベントカウンタ B1 (TCNTB1) とアウトプットコンペアレジスタ B1 (OCRB1) でのコンペアマッチ発生時に行われます。

ICRB1 は 32 ビット単位でのみ読み出しが可能です。8 ビット/16 ビット単位での読み出しは行わないでください。

ICRB1 はリセット時に 0000 0000_H に初期化されます。

21.5.2.18 ICRB2 — インพุットキャプチャレジスタ B2

アクセス 32ビットアクセス可能 8ビット／16ビットアクセス禁止

アドレス FFE6 04D4_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | ICB2 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ICB2 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.44 ICRB2 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|-------------------------------------|
| 31 ~ 0 | ICB2 | インพุットキャプチャ B2 32ビットインพุットキャプチャ値 |

インพุットキャプチャレジスタ B2 (ICRB2) は 32 ビットの読み出し専用レジスタで、イベントカウンタ B1 (TCNTB1) とアウトプットコンペアレジスタ B1 (OCRB1) でのコンペアマッチ発生時に、インพุットキャプチャレジスタ B1 (ICRB1) の値を取り込みます。

ICRB2 は 32 ビット単位でのみ読み出しが可能です。16 ビット単位での読み出しは行わないでください。

ICRB2 はリセット時に 0000 0000_H に初期化されます。

21.5.2.19 LDB — ロードレジスタ B

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 0500_Hリセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------|-----|-----|-----|-----|-----|-----|-----|-------|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | LDVAL | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | LDVAL | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.45 LDB レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------|---------------------------|
| 31 ~ 24 | — | 何も配置されていません。“0”に固定してください。 |
| 23 ~ 0 | LDVAL | ロード値 24ビットロード値 |

ロードレジスタ B (LDB) は 32 ビットの読み出し/書き込み可能なレジスタで、32 ビット境界の下位 24 ビットにマッピングされています。

タイマ I/O コントロールレジスタ B (TIORB) の LDSEL が “1” のとき、この値がリロードカウンタ B2 (TCNTB2)、リロードレジスタ B (RLDB) の更新に用いられます。

LDB は 32 ビット単位でのみ読み出し/書き込みが可能です。16 ビット単位での読み出し/書き込みは行わないでください。

LDB はリセット時に 0000 0000_H に初期化されます。

21.5.2.20 RLDB — リロードレジスタ B

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 0504_Hリセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | RLDVAL | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | RLDVAL | | | | | | | | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R |

表 21.46 RLDB レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---------------------------|
| 31～8 | RLDVAL | リロード値 24ビットリロード値 |
| 7～0 | — | 何も配置されていません。“0”に固定してください。 |

リロードレジスタ B (RLDB) は 32 ビットの読み出し/書き込み可能なレジスタで、32 ビット境界の上位 24 ビットにマッピングされています。

タイマ I/O コントロールレジスタ B (TIORB) の LDEN が “0” のとき、外部イベント入力により RLDB の値が更新されます。

更新データは、インプットキャプチャレジスタ B0 (ICRB0) 値、もしくはロードレジスタ B (LDB) の値から、パルスインターバルマルチプライヤレジスタ (PIMR) の値を減算した値になります。PIMR 値はタイマコントロールレジスタ B (TCRB) の PIMRSEL ビットの設定、および TCNTB1 と OCRB11 のコンペアマッチにより PIMR2 を、それ以外の場合は PIMR1 を使用します。ICRB0、あるいは LDB の値のどちらを用いるかは、TIORB の LDSEL ビットで選択できます。ICRB0-PIMR の計算は、ICRB0 の下位 24 ビットのデータと、PIM の値を上位 12 ビット 0 拡張した 24 ビットデータで行われます。

リロードレジスタ B (RLDB) の内容は、リロードカウント B2 (CNTB2) の値がパルスインターバルマルチプライヤ値 (PIM) 以下になると、次のカウントタイミングで TCNTB2 に加算 (TCNTB2+ = RLDB) されます。

RLDB は 32 ビット単位でのみ読み出し/書き込みが可能です。8 ビット/16 ビット単位での読み出し/書き込みは行わないでください。

RLDB はリセット時に 0000 0000_H に初期化されます。

本機能の動作開始前に初期値を設定する必要があります。動作については「**21.5.3.2 倍周クロック生成機能**」をご参照ください。

21.5.2.21 TCNTB2 — リロードカウンタ B2

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 0508_Hリセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CNTB2 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CNTB2 | | | | | | | | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R |

表 21.47 TCNTB2 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|-------------------------------|
| 31～8 | CNTB2 | リロードカウンタ B2 24ビットリロードカウント値 |
| 7～0 | — | 何も配置されていません。“0”に固定してください。 |

リロードカウンタ B2 (TCNTB2) は 32 ビットの読み出し/書き込み可能なレジスタにマッピングされた 24 ビットのダウンカウンタで、タイマコントロールレジスタ B (TCRB) のクロックセレクトビット B (CKSELB0～2) で選択した入力クロックによりカウント動作を行います。ダウンカウントは、パルスインターバルマルチプライヤレジスタ (PIMR) に設定された値で行われます (TCNTB2 - PIMR)。PIMR 値はタイマコントロールレジスタ B (TCRB) の PIMRSEL ビットの設定、および TCNTB1 と OCRB11 のコンペアマッチにより PIMR2 を、それ以外の場合は PIMR1 を使用します。

ATU-IV マスタイネーブルレジスタ (ATUENR) の TBE が “1” にセットされるとカウント動作を行います。また TBE が “0” クリアされてもカウンタ値はクリアされません。

タイマ I/O コントロールレジスタ B (TIORB) の LDEN が “0” のとき、外部イベント入力により TCNTB2 の値が更新されます。

更新データは、インプットキャプチャレジスタ B0 (ICRB0) 値、もしくはロードレジスタ B (LDB) の値になります。ICRB0、あるいは LDB の値のどちらを用いるかは、TIORB の LDSEL ビットで選択できます。

また、TCNTB2 はダウンカウント動作で $CNTB2 \leq PIM$ となったとき、次のカウントタイミングでリロードレジスタ B (RLDB) の値を TCNTB2 に加算します ($TCNTB2+ = RLDB$)。このリロードタイミングに周辺クロック (PCLK) 1 サイクル分のパルスを出力することで、倍周クロック (AGCK1) を生成します。

TCNTB2 は 32 ビット単位でのみ読み出し/書き込みが可能です。8 ビット/16 ビット単位での読み出し/書き込みは行わないでください。

TCNTB2 はリセット時に 0000 0000_H に初期化されます。

本機能の動作開始前に初期値を設定する必要があります。動作については「**21.5.3.2 倍周クロック生成機能**」をご参照ください。

21.5.2.22 PIMR1 — パルスインターバルマルチプライヤレジスタ 1

アクセス 16ビットアクセス可能 8ビットアクセス禁止

アドレス FFE6 050C_Hリセット後の値 0001_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | PIM1 | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.48 PIMR1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------|--|
| 15 ~ 12 | — | 何も配置されていません。“0”に固定してください。 |
| 11 ~ 0 | PIM1 | パルスインターバルマルチプライヤ 1 倍周クロックの通倍比を設定 (1 ~ 4095 通倍の間で設定可能) |

パルスインターバルマルチプライヤレジスタ 1 (PIMR1) は 16 ビットの読み出し/書き込み可能なレジスタで、下位 12 ビットにマッピングされています。外部入力周期に対する倍周クロックの通倍比を設定します。

通倍比には、1 (001_H) ~ 4095 (FFF_H) まで設定可能です。PIM に 000_H を設定しないでください。PIM1 に 000_H を設定した場合、その後の動作は保証されません。

リロードカウンタ B2 (TCNTB2) は、PIMR1 の設定値 (PIM1) でダウンカウントを行います。また PIMR1 の値は、リロードレジスタ B (RLDB) の入力値の計算、および補正イベントカウンタ B3 (TCNTB3) の入力値の計算にも用いられます。ただし、タイマコントロールレジスタ B (TCRB) の PIMRSEL ビットを設定し、TCNTB1 と OCRB11 のコンペアマッチが発生したときは、PIMR2 を TCNTB2 のダウンカウント値、および RLDB の入力値の計算に使用します。TCNTB3 の入力値の計算には常に PIMR1 が使用されます。

PIMR1 は 16 ビット単位で読み出し/書き込みが可能です。8 ビット単位での読み出し/書き込みは行わないでください。

PIMR1 はリセット時に 0001_H に初期化されます。

21.5.2.23 PIMR2 — パルスインターバルマルチプライヤレジスタ 2

アクセス 16ビットアクセス可能 8ビットアクセス禁止

アドレス FFE6 050E_Hリセット後の値 0001_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | PIM2 | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.49 PIMR2 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------|---|
| 15 ~ 12 | — | 何も配置されていません。“0”に固定してください。 |
| 11 ~ 0 | PIM2 | パルスインターバルマルチプライヤ2 倍周クロックの逡倍比を設定 (1 ~ 4095 逡倍の間で設定可能) |

パルスインターバルマルチプライヤレジスタ 2 (PIMR2) は 16 ビットの読み出し/書き込み可能なレジスタで、下位 12 ビットにマッピングされています。欠歯時の倍周クロックの逡倍比を設定します。

逡倍比には、1 (001_H) ~ 4095 (FFF_H) まで設定可能です。PIM2 に 000_H を設定しないでください。PIM2 に 000_H を設定した場合、その後の動作は保証されません。

タイマコントロールレジスタ B (TCRB) の PIMRSEL ビットを設定することにより、TCNTB1 と OCRB11 の値が一致している間、リロードカウンタ B2 (TCNTB2) は、PIMR1 でなく、PIMR2 の設定値 (PIM2) でダウンカウントを行います。また PIMR2 の値は、リロードレジスタ B (RLDB) の入力値の計算にも用いられます。補正イベントカウンタ B3 (TCNTB3) の入力値の計算には用いられません。PIMR1 の値に対して、N (欠け歯の数) + 1 倍の値を設定することにより、欠歯時の倍周クロックの逡倍比を補正します。たとえば、欠け歯の数が 2 個の場合、PIMR1 の 3 倍の値を PIMR2 に設定します。

PIMR2 は 16 ビット単位で読み出し/書き込みが可能です。8 ビット単位での読み出し/書き込みは行わないでください。

PIMR2 はリセット時に 0001_H に初期化されます。

21.5.2.24 TCNTB6 — 倍周クロックカウンタ B6

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 0510_Hリセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CNTB6 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CNTB6 | | | | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.50 TCNTB6 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------|-----------------------------------|
| 31 ~ 12 | CNTB6 | 倍周クロックカウンタ B6 20ビット倍周クロックカウンタ値 |
| 11 ~ 0 | — | 何も配置されていません。“0”に固定してください。 |

倍周クロックカウンタ B6 (TCNTB6) は 32 ビットの読み出し/書き込み可能なレジスタにマッピングされた 20 ビットのアップカウンタで、倍周クロック (AGCK1) でカウントアップ動作を行います。外部イベント入力により 00000_H に初期化されます。

ATU-IV マスタイネーブルレジスタ (ATUENR) の TBE が “1” にセットされるとカウント動作を行います。TBE の “0” クリアでカウント動作は停止しますが、カウンタ値はクリアされません。

TCNTB6 は 32 ビット単位でのみ読み出し/書き込みが可能です。16 ビット単位での読み出し/書き込みは行わないでください。

TCNTB6 はリセット時に 0000 0000_H に初期化されます。

21.5.2.25 ICRB6 — インพุットキャプチャレジスタ B6

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 0514_Hリセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | ICB6 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ICB6 | | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.51 ICRB6 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------|-------------------------------------|
| 31 ~ 12 | ICB6 | インพุットキャプチャ B6 20ビットインพุットキャプチャ値 |
| 11 ~ 0 | — | 何も配置されていません。“0”に固定してください。 |

インพุットキャプチャレジスタ B6 (ICRB6) は 32 ビットの読み出し専用のレジスタで、上位 20 ビットにマッピングされています。このレジスタに値を書きこむことはできません。

ICRB6 は外部イベント入力を検出すると次のクロック (Pφ) のタイミングで TCNTB6 の値を格納します。ICRB6 に格納された値は、次の外部イベント入力のタイミングで TCNTB6M の値と比較を行い、比較結果が ICRB6 > TCNTB6M の場合には、割り込み要求を出力することができます。

ICRB6 は 32 ビット単位でのみ読み出しが可能です。

ICRB6 はリセット時に 0000 0000_H に初期化されます。

21.5.2.26 RARB6 — 倍率設定レジスタ B6

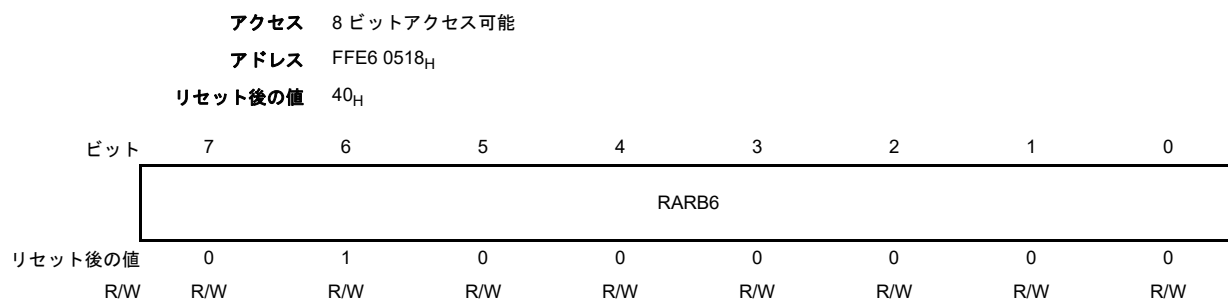


表 21.52 RARB6 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|-------------------------------------|
| 7 ~ 0 | RARB6 | 倍率設定レジスタ B6 TCNTB6M のカウント値を設定します |

倍率設定レジスタ B6 (RARB6) は 8 ビットの読み出し/書き込み可能なレジスタです。倍周クロックカウンタ B6M (TCNTB6M) のカウントアップする値を設定します。RARB6 は下位 6 ビットを固定小数点として扱い、1/64 の分解能で、1 ~ 3.984375 まで設定が可能です。

RARB6 は 8 ビット単位でのみ読み出し/書き込みが可能です。

RARB6 はリセット時に 40_H に初期化されます。

21.5.2.27 TCNTB6M — 倍周クロックカウンタ B6M

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 051C_Hリセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | | |
|---------|--------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|---|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | |
| | CNTB6M | | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | CNTB6M | | | | | | | | | | | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | |

表 21.53 TCNTB6M レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------|------------------------------------|
| 31 ~ 6 | CNTB6M | 倍周クロックカウンタ B6M 26ビット倍周クロックカウンタ値 |
| 5 ~ 0 | — | 何も配置されていません。“0”に固定してください。 |

倍周クロックカウンタ B6M (TCNTB6M) は 32 ビットの読み出し/書き込み可能なレジスタで、上位 26 ビットにマッピングされているアップカウンタです。TCNTB6M は倍周クロック (AGCK1) に対し、倍率設定レジスタ B6 (RAR6) で設定した倍率分のカウント値で、カウントアップ動作を行います。TCNTB6M は下位 6 ビット (b11 ~ 6) を固定小数点として扱い、1/64 の分解能で、1 ~ 1048575.984375 までのカウントアップ動作が可能です。TCNTB6M は外部イベントが入力されるたびに ICR6 の値と比較を行い、比較結果が ICR6 > TCNTB6M の場合には、割り込み要求を出力することができます。TCNTB6M は外部イベント入力が発生した次のクロック (Pφ) により 0000 0000_H に初期化されます。

ATU-IV マスタイネーブルレジスタ (ATUENR) の TBE が “1” にセットされるとカウント動作を行います。TBE の “0” クリアでカウント動作は停止しますが、カウンタ値はクリアされません。

TCNTB6M は 32 ビット単位でのみ読み出し/書き込みが可能です。8 ビット/16 ビット単位での読み出し/書き込みは行わないでください。

TCNTB6M はリセット時に 0000 0000_H に初期化されます。

21.5.2.28 OCB6 — アウトプットコンペアレジスタ B6

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 0520_Hリセット後の値 FFFF F000_H

| | | | | | | | | | | | | | | | | |
|---------|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | OCB6 | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OCB6 | | | | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.54 OCB6 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------|-----------------------------|
| 31 ~ 12 | OCB6 | アウトプットコンペア B6 20ビットコンペア値 |
| 11 ~ 0 | — | 何も配置されていません。“0”に固定してください。 |

OCB6は32ビットの読み出し/書き込み可能なレジスタで、32ビットの上位20ビットにアウトプットコンペアB6 (OCB6) がマッピングされています。タイマ I/O コントロールレジスタ B (TIORB) の IOB6 の設定により、倍周クロックカウンタ B6 と OCB6 のコンペアマッチを行うかどうかを選択できます。

OCB6の値は TCNTB6 の値と比較されており、両者が一致した状態で倍周クロック (AGCK1) が入力されると、コンペアマッチで欠歯検出トリガを生成し、CPUに割り込み要求を出力することができます。また、タイマステータスレジスタ B (TSRB) の CMFB6 が 1 にセットされます。

タイマコントロールレジスタ B (TCRB) の CLRB1、CLRB1SEL ビットの設定と、このコンペアマッチ発生により、次のイベント入力のタイミングで TCNTB1 の値を 01_H にクリアすることが可能です。また、タイマコントロールレジスタ B (TCRB) の CLRB3、CLRB3SEL ビットの設定と、このコンペアマッチ発生により、次の PCLK のタイミングで TCNTB3 の値を 0000 0000_H にクリアすることが可能です。

OCB6は、32ビット単位でのみ読み出し/書き込みが可能です。8ビット/16ビット単位での読み出し/書き込みは行わないでください。

OCB6はリセット時に FFFF F000_H に初期化されます。

21.5.2.29 OCRB7 — アウトプットコンペアレジスタ B7

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 0524_Hリセット後の値 FFFF F000_H

| | | | | | | | | | | | | | | | | |
|---------|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | OCB7 | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OCB7 | | | | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.55 OCRB7 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------|-----------------------------|
| 31 ~ 12 | OCB7 | アウトプットコンペア B7 20ビットコンペア値 |
| 11 ~ 0 | — | 何も配置されていません。“0”に固定してください。 |

OCRB7は32ビットの読み出し/書き込み可能なレジスタで、32ビットの上位20ビットにアウトプットコンペアB7 (OCB7) がマッピングされています。

OCRB7の値はTCNTB6の値と比較されており、OCRB7とTCNTB6の両者が一致した状態で、倍周クロック (AGCK1) が入力されるとコンペアマッチが発生します。タイマインタラプトコントロールレジスタB (TICRB) のIREGB6ビットが“10”に設定されていれば、このコンペアマッチ発生により、タイマステータスレジスタB (TSRB) のCMFB6がクリアされます。

OCRB7のコンペアマッチ発生を示すステータスフラグ、および割り込み要求はありません。

OCRB7は、32ビット単位でのみ読み出し/書き込みが可能です。16ビット単位での読み出し/書き込みは行わないでください。

OCRB7はリセット時にFFFF F000_Hに初期化されます。

21.5.2.30 TCNTB3 — 補正イベントカウンタ B3

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 0580_Hリセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CNTB3 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CNTB3 | | | | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.56 TCNTB3 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------|---------------------------------|
| 31 ~ 12 | CNTB3 | 補正イベントカウンタ B3 20ビットイベントカウント値 |
| 11 ~ 0 | — | 何も配置されていません。“0”に固定してください。 |

補正イベントカウンタ B3 (TCNTB3) は 32 ビットの読み出し/書き込み可能なレジスタにマッピングされた 20 ビットのアップカウンタです。

外部イベント入力のタイミングで、カウンタ値を補正倍周クロックカウンタ B4 (TCNTB4) に転送後、アップカウント動作を行います。アップカウントは、パルスインターバルマルチプライヤレジスタ 1 (PIMR1) の値で行います (CNTB3+ = PIM1)。パルスインターバルマルチプライヤレジスタ 2 (PIMR2) の値は TCNTB3 のアップカウントには用いません。

ATU-IV マスタイネーブルレジスタ (ATUENR) の TBE が “1” にセットされるとカウント動作を行います。また、TBE が “0” クリアされてもカウンタ値はクリアされません。

タイマコントロールレジスタ B (TCRB) の CLRB3、CLRB3SEL ビットの設定により、TCNTB1 と OCRB10 のコンペアマッチ発生、または TCNTB6 と OCRB6 のコンペアマッチの発生、または TCNTB3 と OCRB8 のコンペアマッチにより、次の PCLK のタイミングで TCNTB3 の値を 0000 0000_H にクリアすることが可能です。

TCNTB3 は 32 ビット単位でのみ読み出し/書き込みが可能です。8 ビット/16 ビット単位での読み出し/書き込みは行わないでください。

TCNTB3 はリセット時に 0000 0000_H に初期化されます。

21.5.2.31 OCRB8 — アウトプットコンペアレジスタ B8

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 0594_Hリセット後の値 FFFF F000_H

| | | | | | | | | | | | | | | | | |
|---------|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | OCB8 | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OCB8 | | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.57 OCRB8 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------|-----------------------------|
| 31 ~ 12 | OCB8 | アウトプットコンペア B8 20ビットコンペア値 |
| 11 ~ 0 | — | 何も配置されていません。“0”に固定してください。 |

OCRB8 は 32 ビットの読み出し/書き込み可能なレジスタで、32 ビットの上位 20 ビットにアウトプットコンペア B8 (OCB8) がマッピングされています。

OCRB8 の値は TCNTB3 の値と比較されており、タイマコントロールレジスタ B (TCRB) のビット 4 ~ 3 で OCB8 と TCNTB3 コンペア一致による TCNTB3 クリアが許可されているとき、OCRB8 の値と TCNTB3 の値が一致した次の PCLK で TCNTB3 を 0 にクリアします。OCRB8 のコンペアマッチ発生を示すステータスフラグ、および割り込みはありません。

OCRB8 は、32 ビット単位でのみ読み出し/書き込みが可能です。16 ビット単位での読み出し/書き込みは行わないでください。

OCRB8 はリセット時に FFFF F000_H に初期化されます。

21.5.2.32 TCNTB4 — 補正倍周クロックカウンタ B4

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 0584_Hリセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CNTB4 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CNTB4 | | | | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.58 TCNTB4 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------|-------------------------------------|
| 31 ~ 12 | CNTB4 | 補正倍周クロックカウンタ B4 20ビット倍周クロックカウント値 |
| 11 ~ 0 | — | 何も配置されていません。“0”に固定してください。 |

補正倍周クロックカウンタ B4 (TCNTB4) は 32 ビットの読み出し/書き込み可能なレジスタにマッピングされた 20 ビットのアップカウンタです。

TCNTB4 は外部イベント入力のタイミングで TCNTB3 の値をロードします。

リロードカウンタ B2 (TCNTB2) が出力する倍周クロック (AGCK1) でアップカウント動作を行います。CNTB4 は、CNTB3 = 00000_H のときに外部イベントが入力されると 00000_H に初期化されます。

タイマ I/O コントロールレジスタ B (TIORB) の CCS ビットが “1” の場合、TCNTB4 のカウント値と TCNTB3 の値が一致するとカウント動作を停止します。CCS ビットが “0” の場合は、カウント動作を停止しません。

ATU-IV マスタイネーブルレジスタ (ATUENR) の TBE が “1” にセットされるとカウント動作を行います。また、TBE の “0” クリアでカウント動作は停止しますが、カウンタ値はクリアされません。

TCNTB4 は 32 ビット単位でのみ読み出し/書き込みが可能です。16 ビット単位での読み出し/書き込みは行わないでください。

TCNTB4 はリセット時に 0000 0000_H に初期化されます。

21.5.2.33 TCNTB5 — 倍周補正クロック生成カウンタ B5

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 0588_Hリセット後の値 0000 1000_H

| | | | | | | | | | | | | | | | | |
|---------|-------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CNTB5 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CNTB5 | | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.59 TCNTB5 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------|---|
| 31 ~ 12 | CNTB5 | 倍周補正クロック生成カウンタ B5 20ビット倍周補正クロックカウンタ値 |
| 11 ~ 0 | — | 何も配置されていません。“0”に固定してください。 |

倍周補正クロック生成カウンタ B5 (TCNTB5) は 32 ビットの読み出し/書き込み可能なレジスタにマッピングされた 20 ビットのアップカウンタです。

TCNTB5 は、ATU-IV マスタイネーブルレジスタの TBE がカウンタ動作許可でかつ、タイマ I/O コントロールレジスタ B (TIORB) のカウントコントロール B5 (CTCNTB5) がカウント許可に設定されているとき、カウント値が補正倍周クロックカウンタ B4 (TCNTB4) よりも小さければ PCLK でカウントアップ動作を行い、補正カウンタクリアレジスタ B (TCCLR B) の設定値と一致した時点でカウント動作を停止します。

また、CNTB3 = 0000_H のときに外部イベントが入力されたとき、または補正カウンタクリアフラグセットレジスタ B (TCCLFSRB) の TCCLFSB ビットに“1”をセットすると、TCNTB5 のカウント値の補正およびクリアが行われます。このときの動作は、TCNTB5 のカウント値によって下記のようになります。

- TCNTB5 = TCCLR B のとき
TCNTB5 は 0000 1000_H にクリアされます。補正カウンタクリアフラグレジスタ B (TCCLFRB) は“0”のままです。
- TCNTB5 ≠ TCCLR B のとき
補正カウンタクリアフラグレジスタ B (TCCLFRB) の TCCLFB ビットに“1”をセットし、TCNTB5 は TCCLR B の値まで自動的にカウントアップします。TCNTB5 = TCCLR B となったあと、TCNTB5 は 0000 1000_H にクリアされ、TCCLFB ビットを“0”にクリアします。

なお、本カウンタのカウントアップごとに倍周補正クロック (AGCKM) が生成されます。AGCKM は、クロックバスコントロールレジスタ (CBCNT) の CB5SEL ビットを設定することで、クロックバス 5 に出力することが可能です。また、カウント動作中に、TIORB の CTCNTB5 ビットをカウント動作停止、許可と順に設定することにより、AGCKM の出力を一時的に停止させることが可能です。

TCNTB5 は 32 ビット単位でのみ読み出し／書き込みが可能です。16 ビット単位での読み出し／書き込みは行わないでください。

TCNTB5 はリセット時に 0000 1000_H に初期化されます。

本機能の動作開始前に初期値を設定する必要があります。動作については「**21.5.3.3 倍周クロック補正機能**」をご参照ください。

21.5.2.34 TCCLFRB — 補正カウンタクリアフラグレジスタ B

| | | | | | | | | |
|---------|------------------------|---|---|---|---|---|---|--------|
| アクセス | 8ビットアクセス可能 | | | | | | | |
| アドレス | FFE6 058C _H | | | | | | | |
| リセット後の値 | 00 _H | | | | | | | |
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | TCCLFB |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 21.60 TCCLFRB レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 7～1 | — | 何も配置されていません。“0”に固定してください。 |
| 0 | TCCLFB | 補正カウンタクリアフラグ B 0: TCNTB5 は自動カウントアップをしていない。(初期値) 1: TCNTB5 は TCCLRB に一致するまで自動でカウントアップしている。 |

補正カウンタクリアフラグレジスタ B (TCCLFRB) は 8 ビットの読み出し専用のレジスタで、TCNTB5 に対して補正を行う機能 (TCNTB5 = TCCLRB になるまで自動でカウントアップする機能) の有効無効のステータスを示しています。

TCCLFRB は 8 ビット単位でのみ読み出しが可能です。

TCCLFRB はリセット時に 00_H に初期化されます。

(1) TCCLFB — 補正カウンタクリアフラグ B

TCNTB5 に対して補正を行う機能が有効となり、TCNTB5 = TCCLRB になるまで自動カウントアップ中であることを示すステータスフラグです。このフラグの読み出し値が“1”であるとき、TCNTB5 は TCNTB5 = TCCLRB になるまで自動でカウントアップを行っていることを示します。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1セット条件

- 補正カウンタクリアフラグセットレジスタ B (TCCLFSRB) の TCCLFSB に“1”を書き込む。
- TCNTB3 = 00000_H かつ TCNTB5 ≠ TCCLRB のときに外部イベントが入力されたとき。

- 0クリア条件

- 補正カウンタクリアフラグクリアレジスタ B (TCCLFCRB) の TCCLFCB に“1”を書き込む。
- TCCLFB ビットが“1”で TCNTB5 が TCCLRB の値まで自動的にカウントアップし、TCNTB5 = TCCLRB になり、TCNTB5 が 0000 1000_H にクリアされたとき。

21.5.2.35 TCCLFSRB — 補正カウンタクリアフラグセットレジスタ B

アクセス 8ビットアクセス可能
 “0”書き込み無効。“1”書き込み時はデータは保持されません。読み出し値は常に“0”になります。

アドレス FFE6 058D_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | TCCLFSB |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 21.61 TCCLFSRB レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|---|
| 7～1 | — | 何も配置されていません。“0”に固定してください。 |
| 0 | TCCLFSB | 補正カウンタクリアフラグセット B 0: 無効 1: 補正カウンタクリアフラグレジスタ B (TCCLFRB) の TCCLFB に 1 をセットする |

補正カウンタクリアフラグセットレジスタ B (TCCLFSRB) は 8 ビットの読み出し/書き込み可能なレジスタです。

TCCLFSRB は 8 ビット単位でのみ読み出し/書き込みが可能です。ただし読み出した場合は常に“0”が読み出されます。

TCCLFSRB はリセット時に 00_H に初期化されます。

(1) TCCLFSB — 補正カウンタクリアフラグセット B

TCCLFSB に“1”を書き込むと、補正カウンタクリアフラグレジスタ B (TCCLFRB) の TCCLFB が“1”に設定されます。すなわち TCNTB5 = TCCLRB になるまで自動でカウントアップする状態に設定することができます。TCCLFB が“1”のときにセットした場合は TCCLFB は“1”を保持します。TCNTB5 = TCCLRB のときにセットした場合は TCNTB5 は 0000 1000_H にクリアされ、TCCLFB は“0”を保持します。このフラグに、“0”を書き込んだ場合、その書き込みは無視されます。

21.5.2.36 TCCLFCRB — 補正カウンタクリアフラグクリアレジスタ B

アクセス 8ビットアクセス可能
 “0”書き込み無効。“1”書き込み時はデータは保持されません。読み出し値は常に“0”になります。

アドレス FFE6 058E_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | TCCLFCB |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 21.62 TCCLFCRB レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 7～1 | — | 何も配置されていません。“0”に固定してください。 |
| 0 | TCCLFCB | 補正カウンタクリアフラグクリア B 0: 無効 1: 補正カウンタクリアフラグレジスタ B (TCCLFRB) の TCCLFB を 0 にクリアする。 |

補正カウンタクリアフラグクリアレジスタ B (TCCLFCRB) は 8 ビットの読み出し/書き込み可能なレジスタです。

TCCLFCRB は 8 ビット単位でのみ読み出し/書き込みが可能です。ただし読み出した場合は常に“0”が読み出されます。

TCCLFCRB はリセット時に 00_H に初期化されます。

(1) TCCLFCB — 補正カウンタクリアフラグクリア B

TCCLFCB に“1”を書き込むと、補正カウンタクリアフラグレジスタ B (TCCLFRB) の TCCLFB が“0”に設定されます。すなわち TCNTB5 = TCCLRB になるまで自動でカウントアップしている状態を停止し、TCNTB4 > TCNTB5 時の TCNTB5 のカウントアップ状態になります。TCNTB3 が 0、かつイベント入力が発生したときの TCCLFB ビットをセットする条件と競合したときは、本レジスタライトによるクリアが優先されます。TCCLFB が“0”のときのクリアした場合は TCCLFB は“0”を保持します。このフラグに、“0”を書き込んだ場合、その書き込みは無視されます。

21.5.2.37 TCCLRB — 補正カウンタクリアレジスタ B

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 0590_Hリセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CCLRB | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CCLRB | | | | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.63 TCCLRB レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------|--------------------------------|
| 31 ~ 12 | CCLRB | 補正カウンタクリア B 20ビット補正カウンタクリア値 |
| 11 ~ 0 | — | 何も配置されていません。“0”に固定してください。 |

補正カウンタクリアレジスタ B (TCCLRB) は 32 ビットの読み出し/書き込み可能なレジスタで、32 ビット境界の上位 20 ビットにマッピングされています。

TCCLRB は TCNTB5 と常に比較されており、両者が一致すると TCNTB5 はカウント動作を停止します。このとき、タイマ D に対してカウンタクリアトリガを出力します。タイマ D のタイマコントロールレジスタ Dx (TCRDx) のカウンタクリアビットを設定することにより、タイマ D の TCNT1Dx、TCNT2Dx を個別にクリアすることが可能です。

TCCLRB は 32 ビット単位でのみ読み出し/書き込みが可能です。8 ビット/16 ビット単位での読み出し/書き込みは行わないでください。

TCCLRB はリセット時に 0000 0000_H に初期化されます。

21.5.2.38 ACRTRGB — AGCKM2 補正許可設定レジスタ

アクセス 8ビットアクセス可能
 “0”書き込み無効。“1”書き込み時はデータは保持されません。読み出し値は常に“0”になります。

アドレス FFE6 05A0_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | ACRTRG |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 21.64 ACRTRGB レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|--|
| 7～1 | — | 何も配置されていません。“0”に固定してください。 |
| 0 | ACRTRG | AGCKM2 補正許可設定 0: 無効 1: AGCKM2 の補正を許可する |

AGCKM2 補正許可設定レジスタ (ACRTRGB) は8ビットの読み出し/書き込み可能なレジスタです。

ACRTRG ビットに1が設定されることで ACRVALRB レジスタの指定にしたがい補正クロック数の補正を行います。

次に入力されるタイマ B 外部イベント (AGCK) から AGCKM を元に補正した AGCKM2 出力を生成します。

AGCKM2 補正許可設定レジスタ (ACRTRGB) への書き込みは、ACRST = 00_B の場合のみ有効です。

ACRST = 00_B 以外の状態での書き込みは無効となります。

ACRTRGB は8ビット単位でのみ読み出し/書き込みが可能です。

ACRTRGB はリセット時に 00_H に初期化されます。

21.5.2.39 ACRCLR — AGCKM2 補正クリア設定レジスタ

アクセス 8ビットアクセス可能
 “0”書き込み無効。“1”書き込み時はデータは保持されません。読み出し値は常に“0”になります。

アドレス FFE6 05A1_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | ACRCLR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 21.65 ACRCLR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|--|
| 7～1 | — | 何も配置されていません。“0”に固定してください。 |
| 0 | ACRCLR | AGCKM2 補正クリア設定 0: 無効 1: AGCKM2 の補正を停止する ACRSTRB = 00 _B とする |

AGCKM2 補正クリア設定レジスタ (ACRCLR) は 8 ビットの読み出し/書き込み可能なレジスタです。

ACRCLR ビットに 1 が設定されることで ACRSTRB を 00_B の状態とし AGCKM に対する補正制御を停止します。

ACRCLR は 8 ビット単位でのみ読み出し/書き込みが可能です。

ACRCLR はリセット時に 00_H に初期化されます。

21.5.2.40 ACRSTRB — AGCKM2 補正ステータスレジスタ

アクセス 8ビットアクセス可能

アドレス FFE6 05A2_Hリセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|-------|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | ACRST | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 21.66 ACRSTRB レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|---|
| 7 ~ 2 | — | 何も配置されていません。“0”に固定してください。 |
| 1, 0 | ACRST | AGCKM2 補正ステータス 00 : AGCKM2 の補正なし 01 : 補正待ち ACREN ビットに 1 を設定後、外部イベント入力待ち状態 10 : AGCKM2 補正中 |

AGCKM2 補正ステータスレジスタ (ACRSTRB) は 8 ビットの読み出し可能なレジスタです。

ACRST ビットにより、AGCKM1 に対する補正ステータスを確認することができます。

ACRSTRB は 8 ビット単位でのみ読み出しが可能です。

ACRSTRB はリセット時に 00_H に初期化されます。

21.5.2.41 ACRVALRB — AGCKM2 補正クロック数設定レジスタ

アクセス 16 ビットアクセス可能、8 ビット／32 ビットアクセス禁止

アドレス FFE6 05A4_Hリセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|---------|--------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ACRSIGN | ACRVAL[14:0] | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.67 ACRVALRB レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------|---|
| 15 | ACRSIGN | AGCKM2 補正クロック数符号設定 0: 補正クロック数 (ACRVAL[14:0] 値) を正の値として扱う 1: 補正クロック数 (ACRVAL[14:0] 値) を負の値として扱う |
| 14 ~ 0 | ACRVAL[14:0] | AGCKM2 補正クロック数設定 AGCKM2 の補正クロック数を設定するビットです。ACRSIGN ビットとこのビットの設定値を合わせて示されるクロック数分、AGCKM2 が補正される。(正の値: ハイレベル追加出力、負の値: AGCKM のハイレベルをロウレベルにマスクし AGCKM2 として出力) |

AGCKM2 補正クロック数設定レジスタ (ACRVALRB) は 16 ビットの読み出し／書き込み可能なレジスタです。

AGCKM2 補正クロック数設定レジスタ (ACRVALRB) の設定値にしたがい、AGCKM を元に補正した AGCKM2 出力を生成します。

AGCKM2 補正カウンタは、ACRVALRB 設定値からカウント動作を開始し、0001_Hを検出するまでダウンカウントを継続します。

ACRVALRB に 0000_H を設定した場合、0000_H → 7FFF_H → 7FFE_H → 7FFD_H → … → 0001_H とダウンカウントします。

ACRVALRB は 16 ビット単位でのみ読み出し／書き込みが可能です。

ACRVALRB はリセット時に 0000_H に初期化されます。

21.5.3 詳細動作説明

21.5.3.1 エッジ間計測機能およびエッジ入力停止検出機能

タイマ B の 32 ビットインプットキャプチャレジスタ B0 (ICRB0) および 32 ビットアウトプットコンペアレジスタ B0 (OCRB0) は、無条件でそれぞれインプットキャプチャ/コンペアマッチ動作を行います。これらは 32 ビット入力エッジ間計測カウンタ B0 (TCNTB0) に接続されています。

ATU-IV マスタイネーブルレジスタ (ATUENR) の TBE ビットを“1”に設定すると、タイマ B 全体が動作を開始します。

タイマ A 経由で入力されるイベント (AGCK) 入力により、ICRB0 は TCNTB0 の値をキャプチャします。また、キャプチャと同時に TCNTB0 は 0000 0001_H にクリアされます。このキャプチャタイミングで CPU に割り込み要求を出力することができます。これにより外部イベントエッジ間の時間計測が可能になります。

また、ICRB0 にキャプチャされた値は、倍周クロック生成ブロックに転送され、リロードカウンタ B2 (TCNTB2)、リロードレジスタ B (RLDB) の入力値として使われます。さらに、キャプチャ値 (ICRB0) は、外部入力イベントのタイミングによりその値をレコードレジスタ B1 ~ 6 (RECRB1 ~ 6) に 6 個保持することが可能です。ICRB0、および RECRB1 ~ 6 に保持された値は、TCNTB1 とアウトプットコンペアレジスタ B12 (OCRB12) のイベントコンペアマッチのタイミングでレコードバックアップレジスタ B0 ~ 6 (RBURB0 ~ 6) にバックアップをとることができます。

TCNTB0 が OCRB0 に設定された値に達したとき、コンペアマッチによる割り込み要求の出力が可能です。これにより OCRB0 に設定された時間以上エッジ入力が停止したことを検出することができます。

図 21.16 に、TCNTB0 のインプットキャプチャ動作とコンペアマッチ動作を示します。

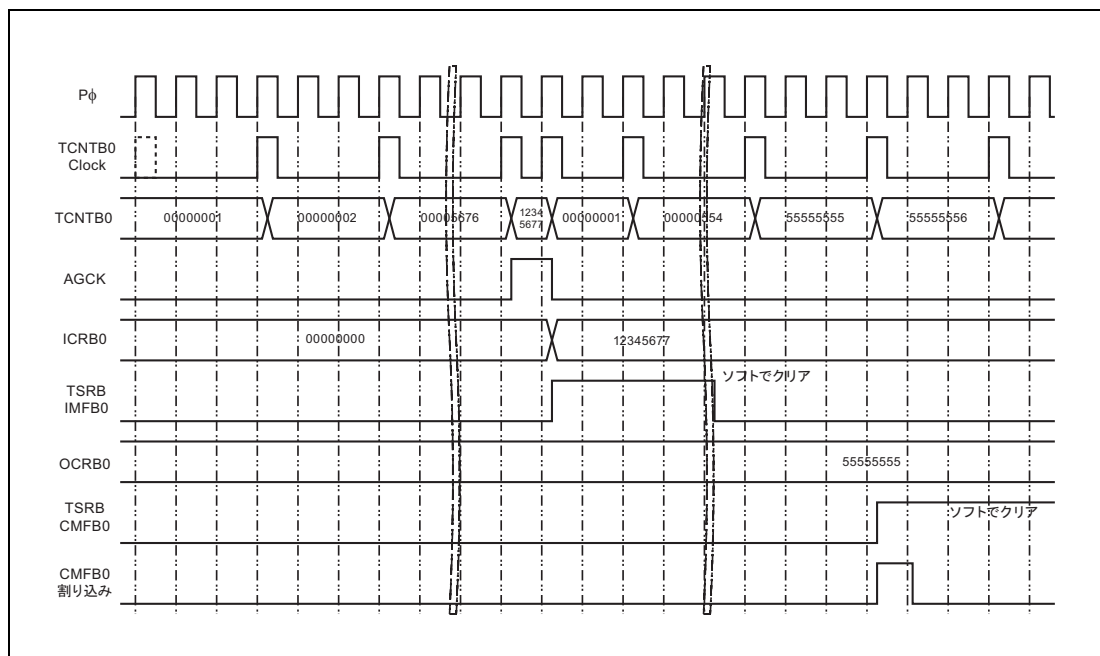


図 21.16 TCNTB0 のインプットキャプチャ動作とコンペアマッチ動作

外部イベント (AGCK) は、イベントカウンタ B1 (TCNTB1) でカウントされます。あらかじめアウトプットコンペアレジスタ B1 (OCRB1) に値を設定しておくことで TCNTB1 が OCRB1 に一致したときにコンペアマッチが発生します。タイマコントロールレジスタ B (TCRB) の TCNTB1 クリア設定ビット (CLRB1) の設定により、アウトプットコンペアレジスタ B10 (OCRB10) に値を設定しておくことで、TCNTB1 と OCRB10 のイベントコンペアマッチ発生後の、次のイベント入力のタイミングで TCNTB1 をクリアすることが可能です。また、タイマコントロールレジスタ B (TCRB) の TCNTB3 クリア設定選択ビット (CLRB3SEL) の設定により、TCNTB1 と OCRB10 のコンペアマッチで TCNTB3 をクリアすることができます。TCNTB1 と OCRB1 のコンペアマッチのタイミングでインプットキャプチャレジスタ B2 (ICRB2) はインプットキャプチャレジスタ B1 (ICRB1) の値をキャプチャすることができます。このコンペアマッチにより CPU へ割り込み要求を出力することが可能です。これにより、外部イベントのエッジ入力停止を検出することができます。さらに、イベントカウンタ B1 (TCNTB1) はアウトプットコンペアレジスタ B11 (OCRB11) とのコンペアマッチ機能も持ち合わせています。パルスインターバルマルチプライヤ選択レジスタ (PIMRSEL) の設定を有効にすると、TCNTB1 と OCRB11 のコンペアマッチが発生により、RLDB にロードするときの減算値、および TCNTB2 の減算値に、PIMR2 を使用して動作させることができます。TCNTB1 と OCRB11 の値が一致すると、コンペアマッチで CPU へ割り込み要求を出力することができます。

ICRB1 は、外部イベント (AGCK) をトリガとして TCNTB0 の値を ICRB1 の値に累積してキャプチャするレジスタです。この ICRB1 の値は、TCNTB1 と OCRB1 のコンペアマッチで ICRB2 に取り込むことができ、これにより複数エッジ間の時間計測が行えます。

ICRB30 ~ 36 は、外部イベント入力 1B ~ 1H をトリガとして TCNTB1 の値をキャプチャするレジスタです。ICRB30 は外部イベント入力 1B に対応し、同様に ICRB31 ~ 36 は、それぞれ外部イベント入力 1C ~ 1H にそれぞれ対応します。

図 21.17 に TCNTB1 のコンペアマッチ動作、および ICRB1、ICRB2 のキャプチャ動作、図 21.18 に TCNTB1 と ICRB3x のキャプチャ動作を示します。

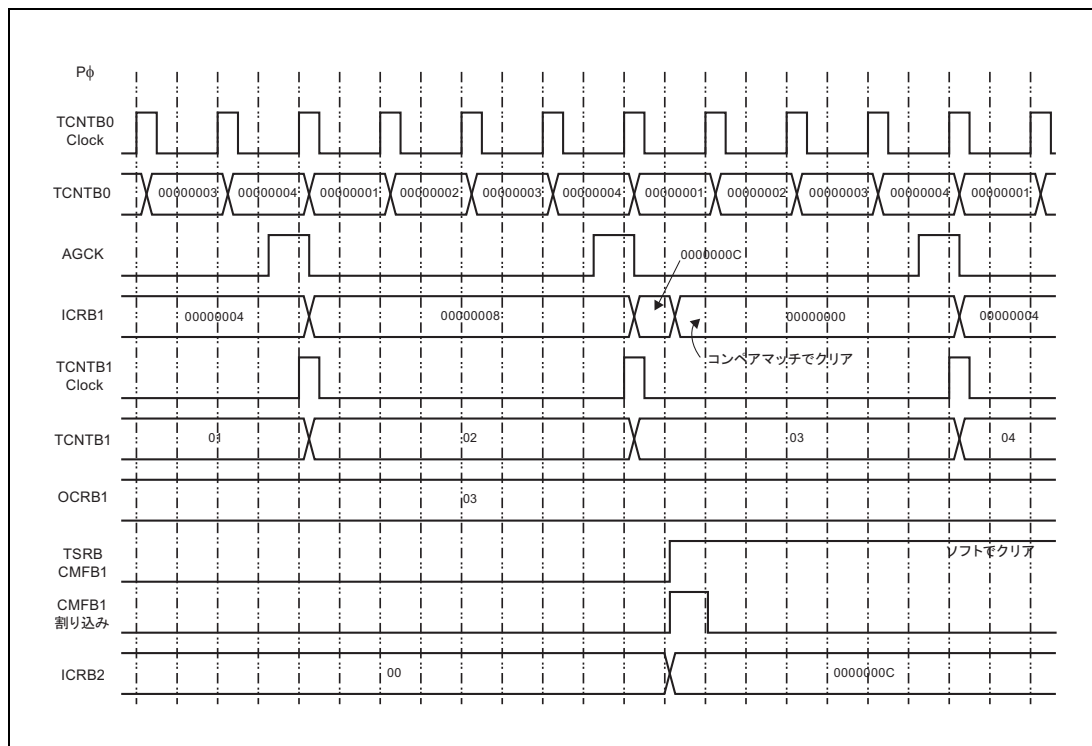


図 21.17 TCNTB1 のコンペアマッチ動作と、ICRB1、ICRB2 のキャプチャ動作

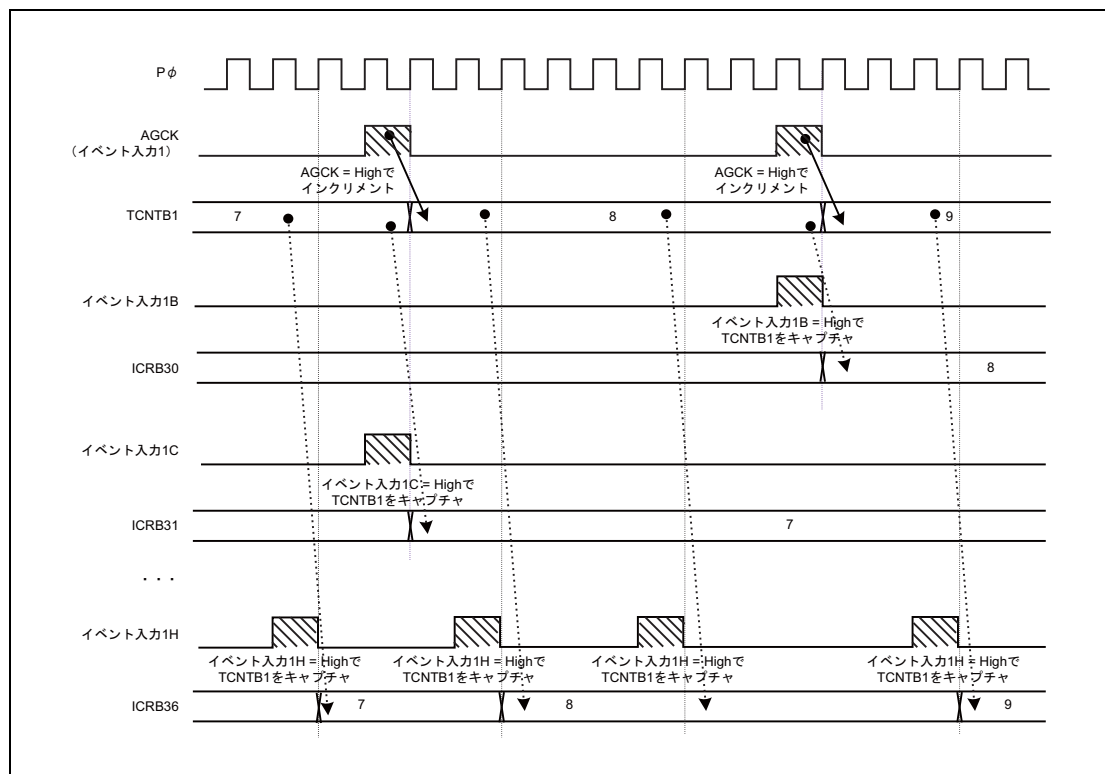


図 21.18 TCNTB1 カウント動作と、ICRB3x キャプチャ動作

21.5.3.2 倍周クロック生成機能

倍周クロック生成ブロックは、外部イベント (AGCK) の入力エッジ間を、パルスインターバルマルチプライヤレジスタ (PIMR1、もしくは PIMR2) で設定した値で逡倍した倍周クロック (AGCK1) を生成します。

TIORB の LDEN ビットが 0 の場合には、外部イベント入力タイミングで、エッジ間計測ブロックの ICRB0 でキャプチャされた値 (下位 24 ビット) が、24 ビットリロードカウンタ B2 (TCNTB2) に転送されます。また、24 ビットリロードレジスタ B (RLDB) にも、ICRB0 でキャプチャされた値 (下位 24 ビット) から PIMR レジスタに設定された値 (PIM1 もしくは、PIM2) を減算した値が取り込まれます。TIORB の LDEN ビットが 1 の場合には、ICRB0 のインプットキャプチャ時に TCNTB2、RLDB の値は更新されません。

タイマ I/O コントロールレジスタ B (TIO RB) の LDSEL ビットを設定することにより、ICRB0 値の代わりにロードレジスタ B (LDB) の値を、TCNTB2、RLDB の入力データとして用いることもできます。パルスインターバルマルチプライヤ選択レジスタ (PIMRSELR) を有効に設定にしたとき、TCNTB1 と OCRB11 が一致している間は、PIMR1 の代わりに PIMR2 の値を使用して上記の動作を行います。

24 ビットリロードカウンタ B2 (TCNTB2) は、タイマコントロールレジスタ B (TCRB) の CKSELB で選択したクロックによりダウンカウントを行います。ダウンカウントは PIM 値で行われます ($TCNTB2 - = PIM$)。このカウンタは、カウント値が PIM の設定値以下に達すると自動的に RLDB から値を読み込みカウント値に加算し ($TCNTB2 + RLDB$ 値)、再度ダウンカウント動作を繰り返します。このリロードタイミングに入力クロック 1 サイクル分のパルスを出力することで、倍周クロック信号 (AGCK1) を生成します。

また、20 ビットのアウトプットコンペアレジスタ B6 (OCRB6) と、20 ビット倍周クロックカウンタ B6 (TCNTB6) を用いて倍周クロック (AGCK1) によるコンペアマッチ動作が可能です。

TCNTB6 は無条件に AGCK1 でカウントアップを行います。TCNTB6 が OCRB6 と一致したときに CPU へ割り込み要求を出力することができます。この割り込み要求タイミングは、TICRB の IREGB6 ビットを設定することにより、コンペアマッチ発生時またはコンペアマッチ発生後の AGCK (外部イベント) 入力時、あるいはコンペアマッチ発生後 2 回目の AGCK (外部イベント) 入力時から選択することができます。

ICRB6 は外部イベント入力 (AGCK) を検出すると次のクロック ($P\phi$) のタイミングで TCNTB6 の値を格納します。また、倍周クロックカウンタ B6M (TCNTB6M) は倍周クロック (AGCK1) に対し、倍率設定レジスタ B6 (RARB6) で設定した倍率分のカウント値で、カウントアップ動作を行います。TCNTB6M は外部イベント (AGCK) が入力される度に ICRB6 と値の比較を行い、比較結果が $ICRB6 > TCNTB6M$ の場合には、割り込み要求を出力することができます。

AGCK1 は、1 つ前の入力エッジ間隔を参考にして生成されているため、連続する 2 つのエッジ間隔に変化が生じた場合は、PIM で設定したとおりに正しく逡倍されません。このため、AGCK1 は次項で説明する倍周クロック補正機能により補正され、倍周補正クロック (AGCKM) に変換されます。

図 21.19、**図 21.20** にリロードカウンタ動作と倍周クロックの出力を、**図 21.21**、**図 21.22** に TCNTB6 のコンペアマッチ動作および、各 IREG 設定による CMB6 割り込み要求を出力を示します。**図 21.23** に PIMR1 と PIMR2 の切り替えタイミングを示します。**図 21.24** に TCNTB6M と ICRB6 の比較動作と割り込み要求出力を示します。

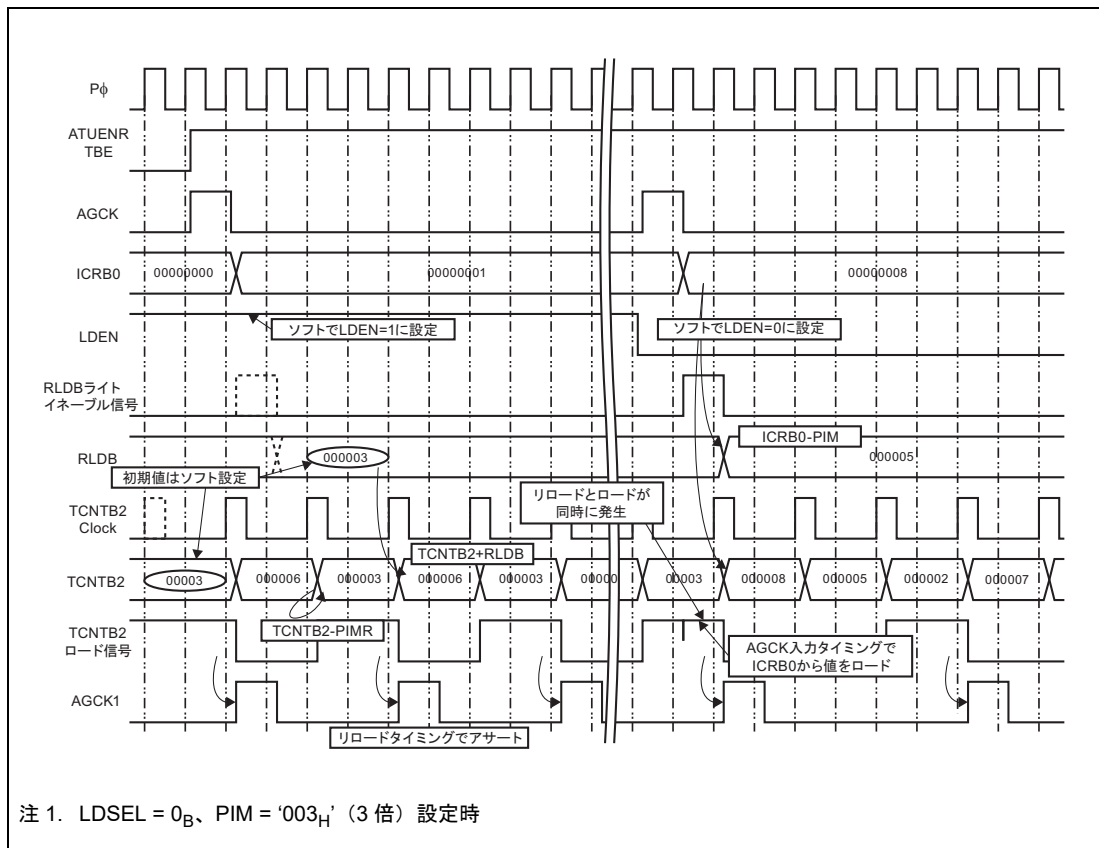


図 21.19 リロードカウンタ動作と、倍周クロック出力 (1)

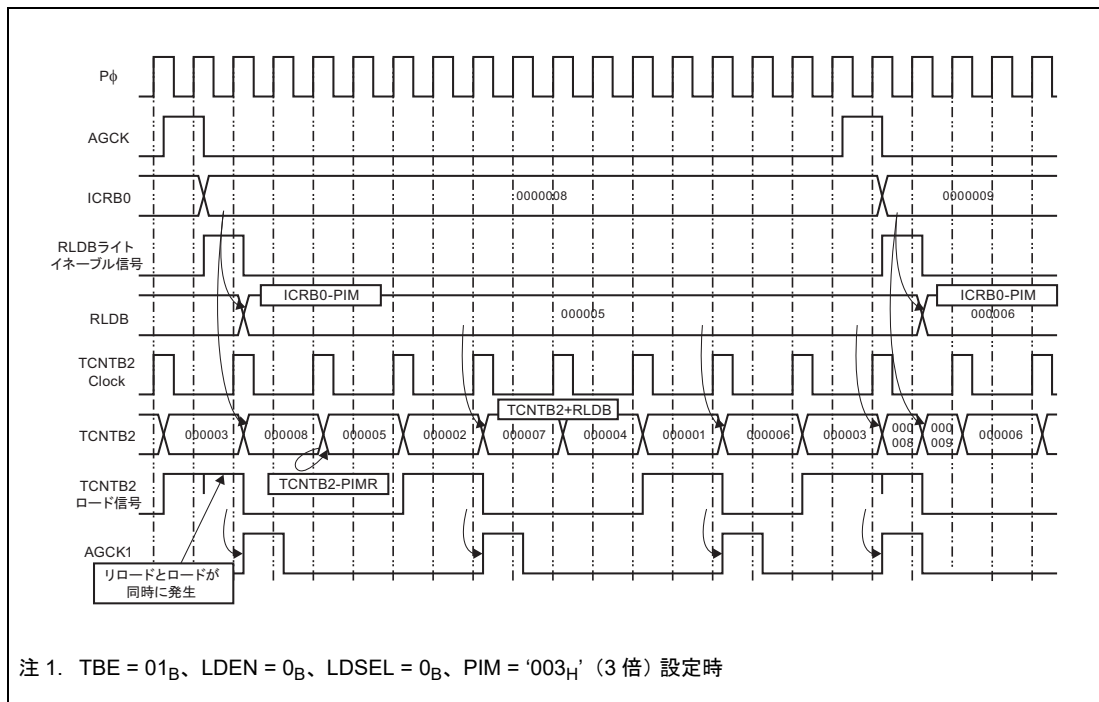


図 21.20 リロードカウンタ動作と、倍周クロック出力 (2)

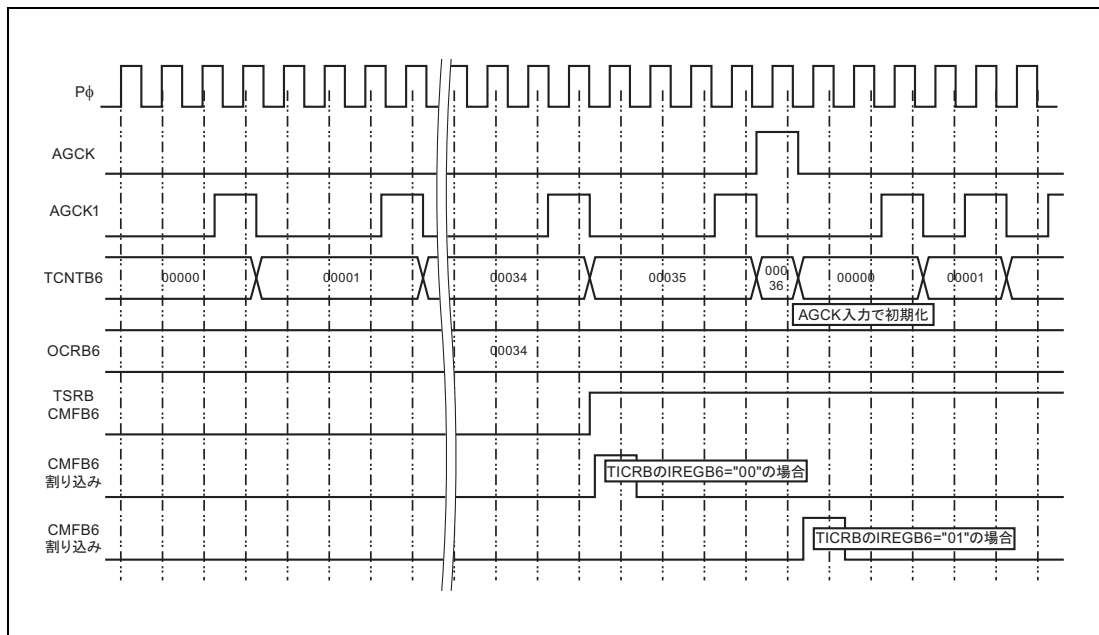
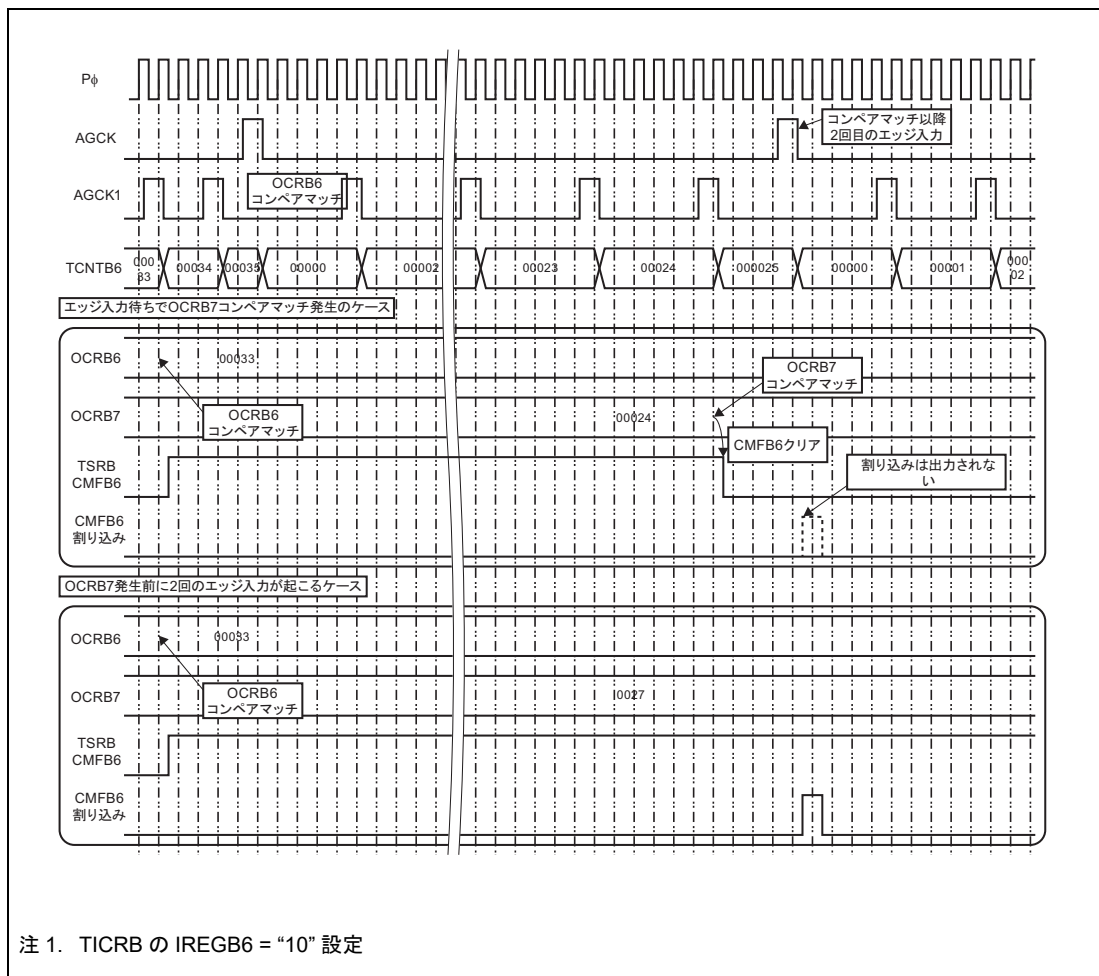


図 21.21 TCNTB6 のコンペアマッチ動作、および CMFB6 割り込み要求出力 (IREGB6 = “00”, “01”)



注 1. TICRB の IREGB6 = “10” 設定

図 21.22 IREGB6 = “10” 設定時の CMFB6 割り込み要求出力

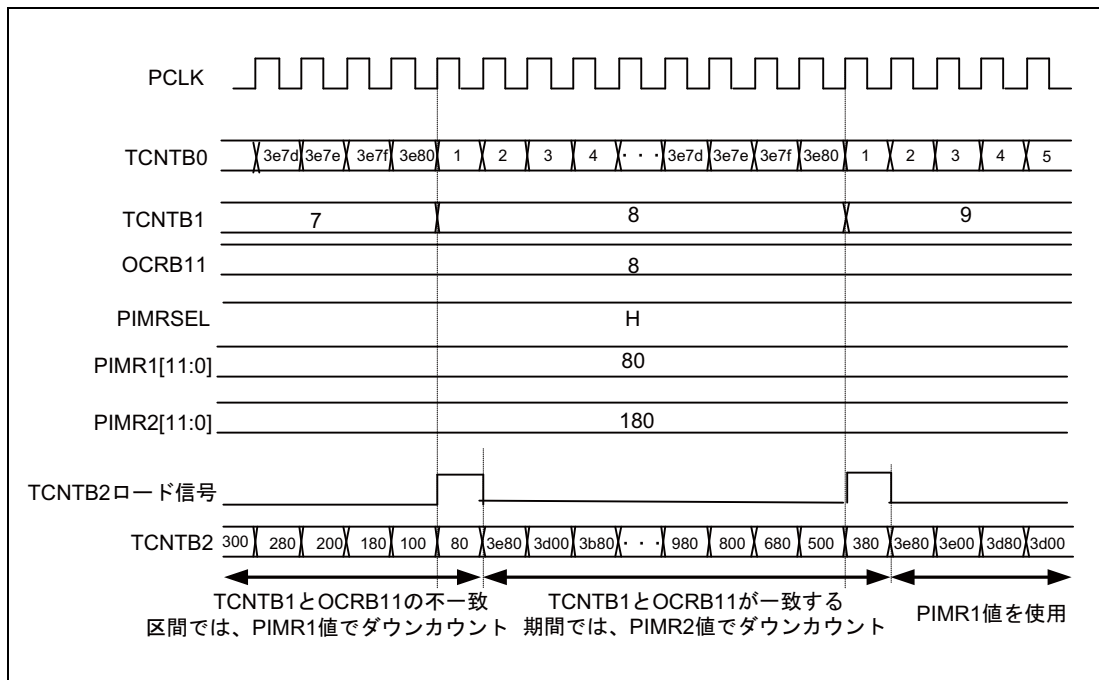


図 21.23 PIMR1 と PIMR2 の切り替えタイミング

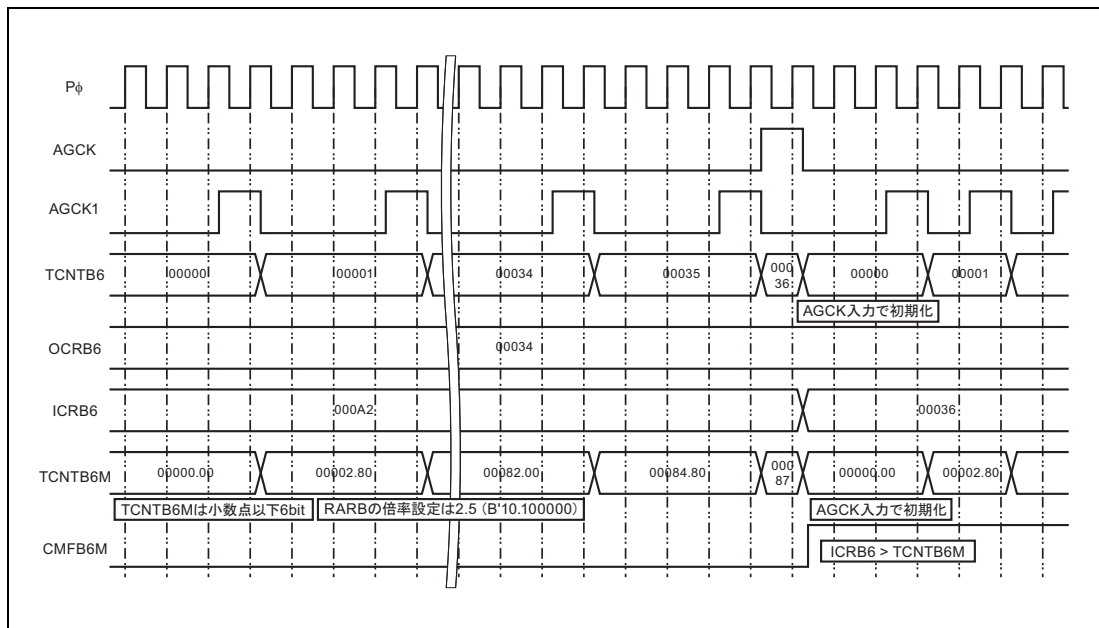


図 21.24 TCNTB6M と ICRB6 の動作例

21.5.3.3 倍周クロック補正機能

20 ビットの補正イベントカウンタ B3 (TCNTB3) と、20 ビットの補正倍周クロックカウンタ B4 (TCNTB4)、20 ビットの倍周補正クロック生成カウンタ B5 (TCNTB5) と、補正カウンタクリアレジスタ B (TCCLR) は、外部イベントの入力エッジ間を PIMR の PIM で設定された倍周値に補正する機能を持っています。

TCNTB3 は、外部イベント (AGCK) をカウントソースとする 20 ビットのアップカウンタです。AGCK が入力されると、TCNTB3 値が TCNTB4 に転送され、その後 TCNTB3 は PIM 値 (PIM1) でアップカウントを行います (TCNTB3+ = PIM)。TCNTB3 はタイマコントロールレジスタ B (TCRB) の TCNTB3 クリア設定選択ビット (CLRB3SEL) の設定により、TCNTB1 と OCRB10 のコンペアマッチ、または、TCNTB6 と OCRB6 とのコンペアマッチ、または、TCNTB3 と OCRB8 とのコンペアマッチでクリアすることができます。

TCNTB4 は、倍周クロック (AGCK1) をカウントソースとする 20 ビットのアップカウンタです。TCNTB4 は、AGCK をトリガとして TCNTB3 をロードし、AGCK1 によりカウントアップします。

タイマ I/O コントロールレジスタ B (TIORB) のカウンタコレクションセレクト (CCS) は、TCNTB4 のアップカウント動作の設定を行うものです。TCNTB3 のカウント値と、TCNTB4 のカウント値が一致した場合に、TCNTB4 のアップカウント動作を停止するかしないかを選択できます。

TCNTB5 は、周辺クロック (PCLK) をカウントソースとする 20 ビットのアップカウンタであり、高速にカウント動作を行います。TCNTB5 の値は常に TCNTB4 と比較されており、TCNTB5 のカウント値が TCNTB4 のものより小さいときのみカウントアップを行います。TCNTB5 は、このカウントアップ時に周辺クロック 1 サイクル分のパルスを出力します。これが倍周補正クロック信号 (AGCKM) であり、クロックバスコントロールレジスタ (CBCNT) の CB5SEL の設定によりクロックバス 5 に出力することが可能です。ほかのタイマモジュールは、クロックバス 5 経由で AGCKM をカウントソースとして使用できます。

TCNTB5 が TCNTB4 の値を上回ったときには (TCNTB4 が TCNTB3 をロードしたときに起こりえる)、カウントアップ動作を行いません。また、タイマ I/O コントロールレジスタ B (TIORB) のカウントコントロール B5 (CTCNTB5) の設定により TCNTB5 のカウント動作を許可または禁止することができ、AGCKM の出力を制御することが可能です。

TCNTB5 のカウント動作は、20 ビットの補正カウンタクリアレジスタ B (TCCLR) の値と一致するまで行われます。本機能は、補正カウンタクリアフラグレジスタ B (TCCLFR) により自動カウントアップの状態を確認することができます。また、補正カウンタクリアフラグセットレジスタ (TCCLFSR)、補正カウンタクリアフラグクリアレジスタ (TCCLFCR) により、自動カウントアップの動作状態の設定が行えます。TCNTB5 が TCCLR と一致すると、TCNTB4 の値にかかわらずカウント動作は行われません。さらに、タイマ D のタイマコントロールレジスタ D (TCRDx) の対応するカウンタクリアイネーブル (C1CEDx、C2CEDx) を "1" に設定することで、この一致をトリガとしてタイマ D のタイマカウンタ 1Dx、同 2Dx (TCNT1Dx、TCNT2Dx) を個別にクリアすることができます。

TCNTB4 の値は、TCNTB3 が 0000 0000_H のときに外部イベント (AGCK) が入力されると無条件で 0000 0000_H にクリアされます。また、TCNTB5 の値は、TCNTB3 が 0000 0000_H のときに外部イベント (AGCK) が入力されると 0000 1000_H にクリアされます。このとき、TCNTB5 のカウント値が、TCCLR の値と一致してなければ、いったん TCNTB5 を TCCLR と一致するまでカウントアップした後でカウンタのクリアを行います。

図 21.25 に TCNTB3、および TCNTB4 の動作、図 21.26 に TCNTB5 の動作 (起動時)、図 21.27 に TCNTB5 の動作 (サイクル終了、補正あり)、図 21.28 に TCNTB5 の動作 (サイクル終了、補正なし) を示します。

倍周補正クロック (AGCKM) に対して、補正許可トリガビット (ACRTRG) に“1”を設定することで、倍周補正クロック 2 (AGCKM2) を生成し出力します。AGCKM2 は、AGCKM に対して正論理 (+) 補正の場合は、AGCKM のアクティブ期間を拡張し、負論理 (-) 補正の場合は、AGCKM のアクティブ期間をマスクします。

AGCKM2 の生成は、ACRSTRB によって制御され、内部ダウンカウンタによって補正期間が制御されます。

AGCKM2 の生成については、補正許可トリガビット (ACRTRG) に“1”を設定 (ACRSTRB = 01_B) 後のタイマ B 外部イベント (AGCK) の検出により動作が開始 (ACRSTRB = 10_B) します。図 21.29 に AGCKM2 の動作 (正論理)、図 21.30 に AGCKM2 の動作 (負論理) を示します。

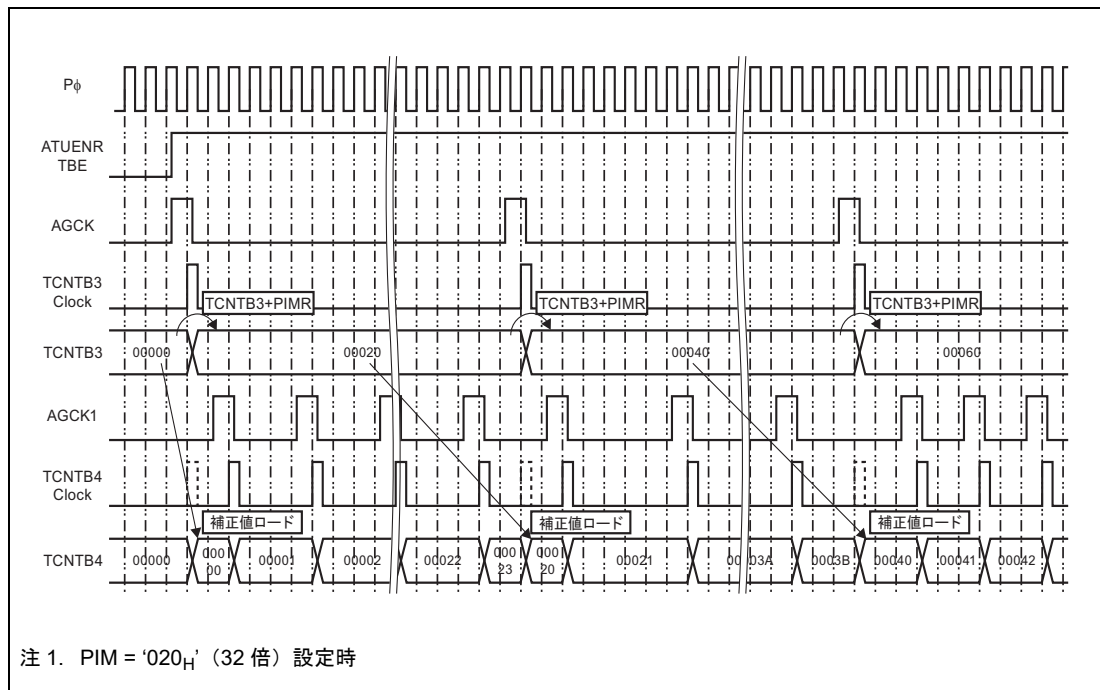


図 21.25 TCNTB3、TCNTB4 の動作

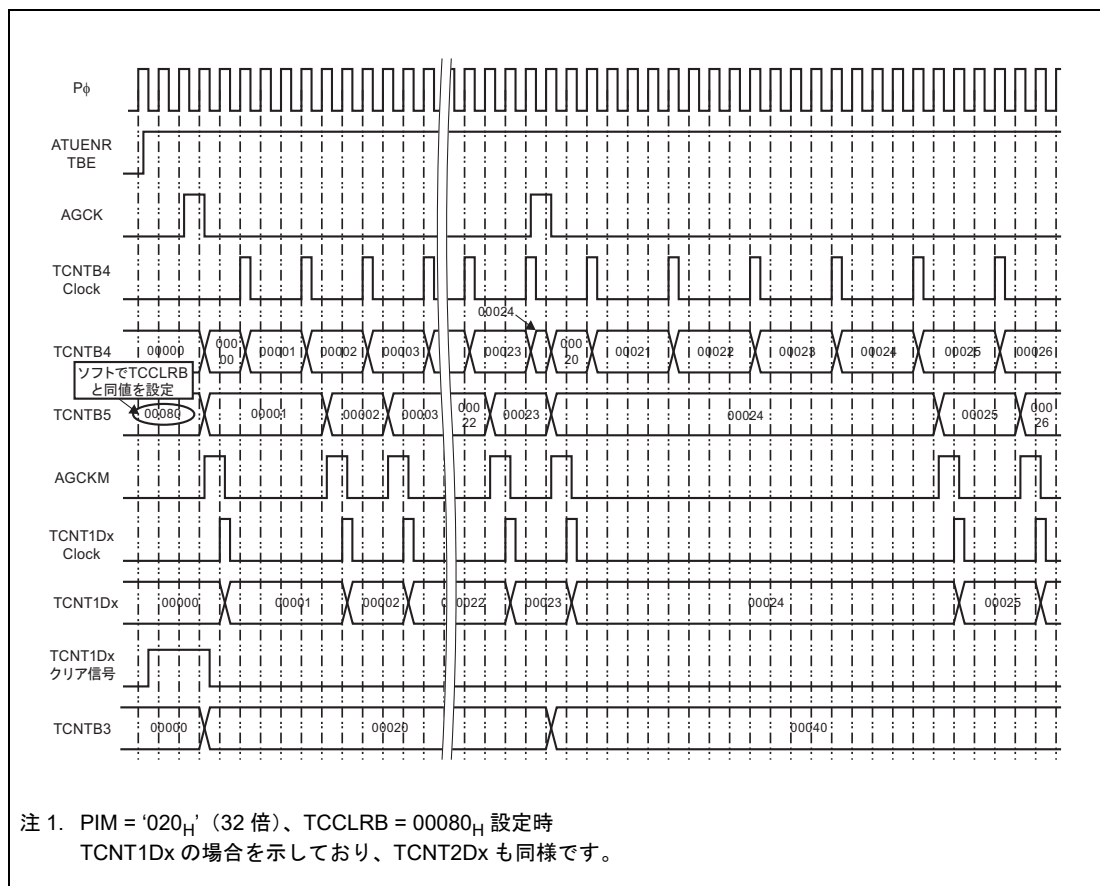


図 21.26 TCNTB5 の動作 (起動時)

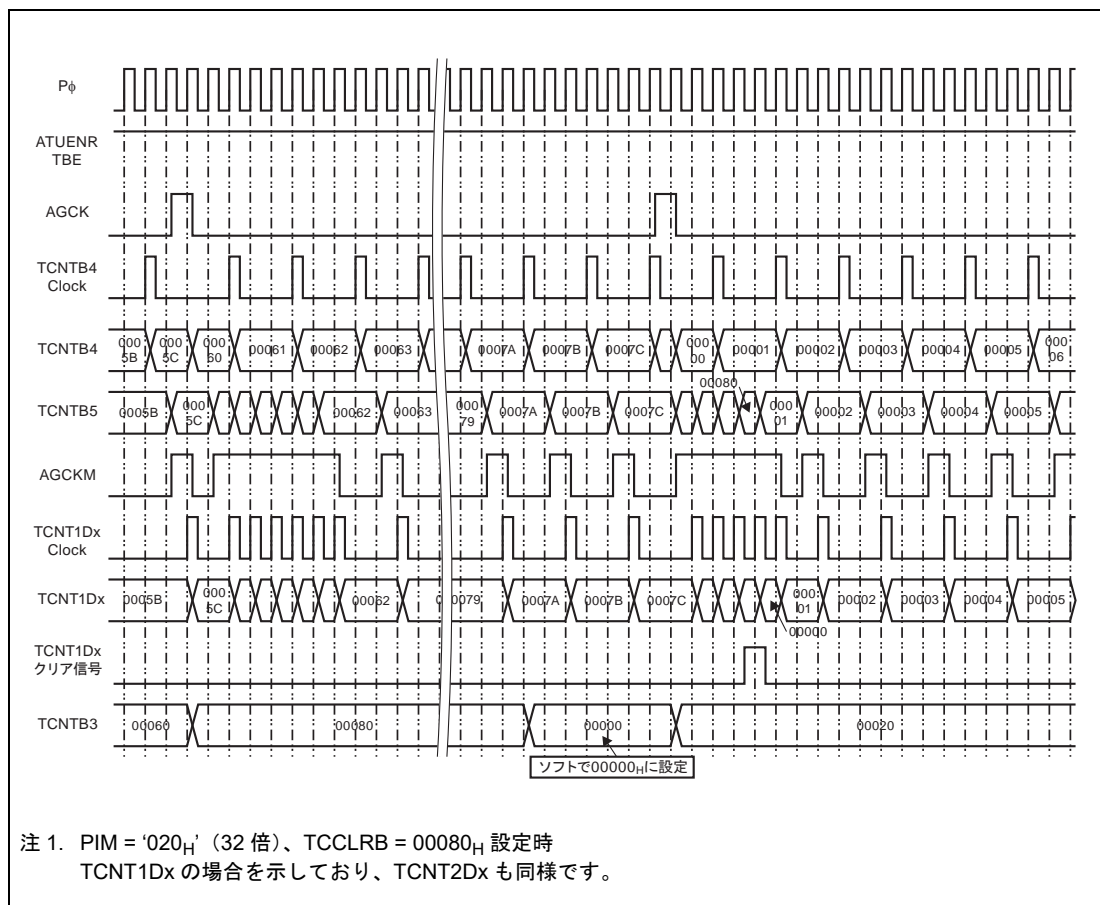


図 21.27 TCNTB5 の動作 (サイクル終了、補正あり)

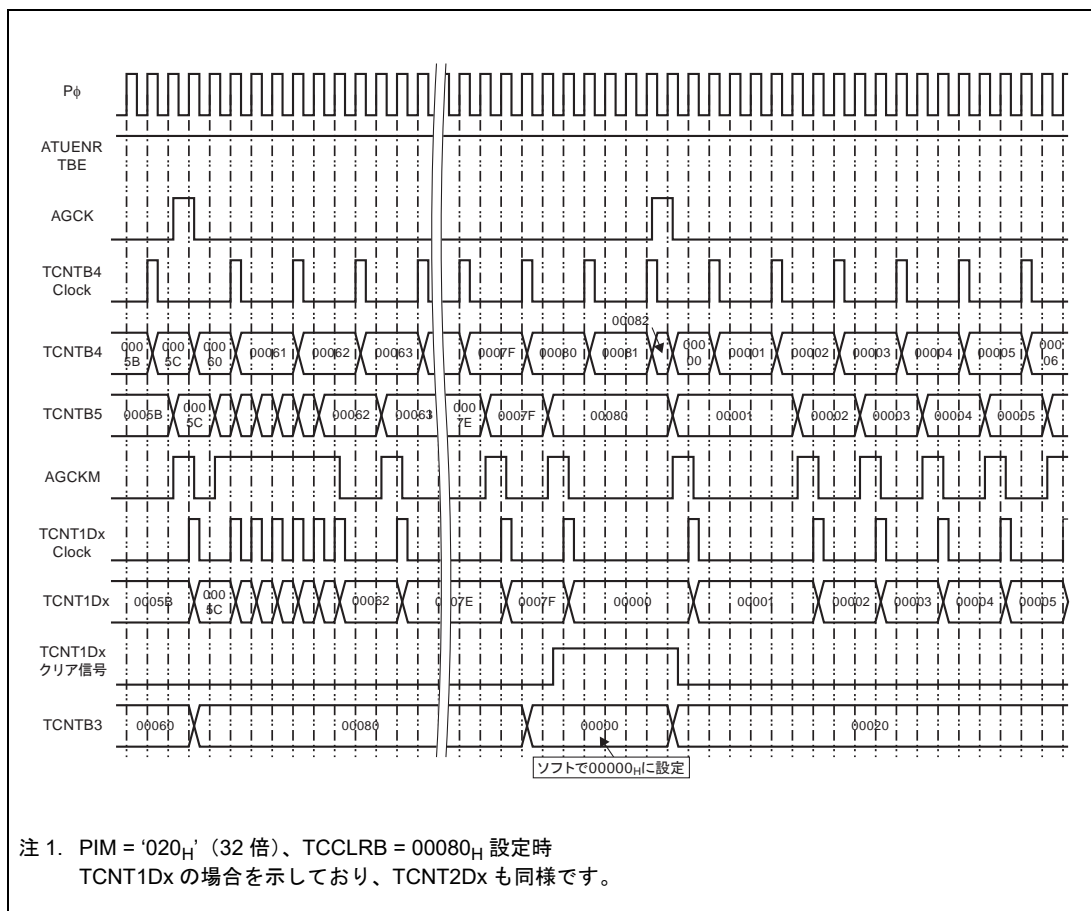


図 21.28 TCNTB5 の動作 (サイクル終了、補正なし)

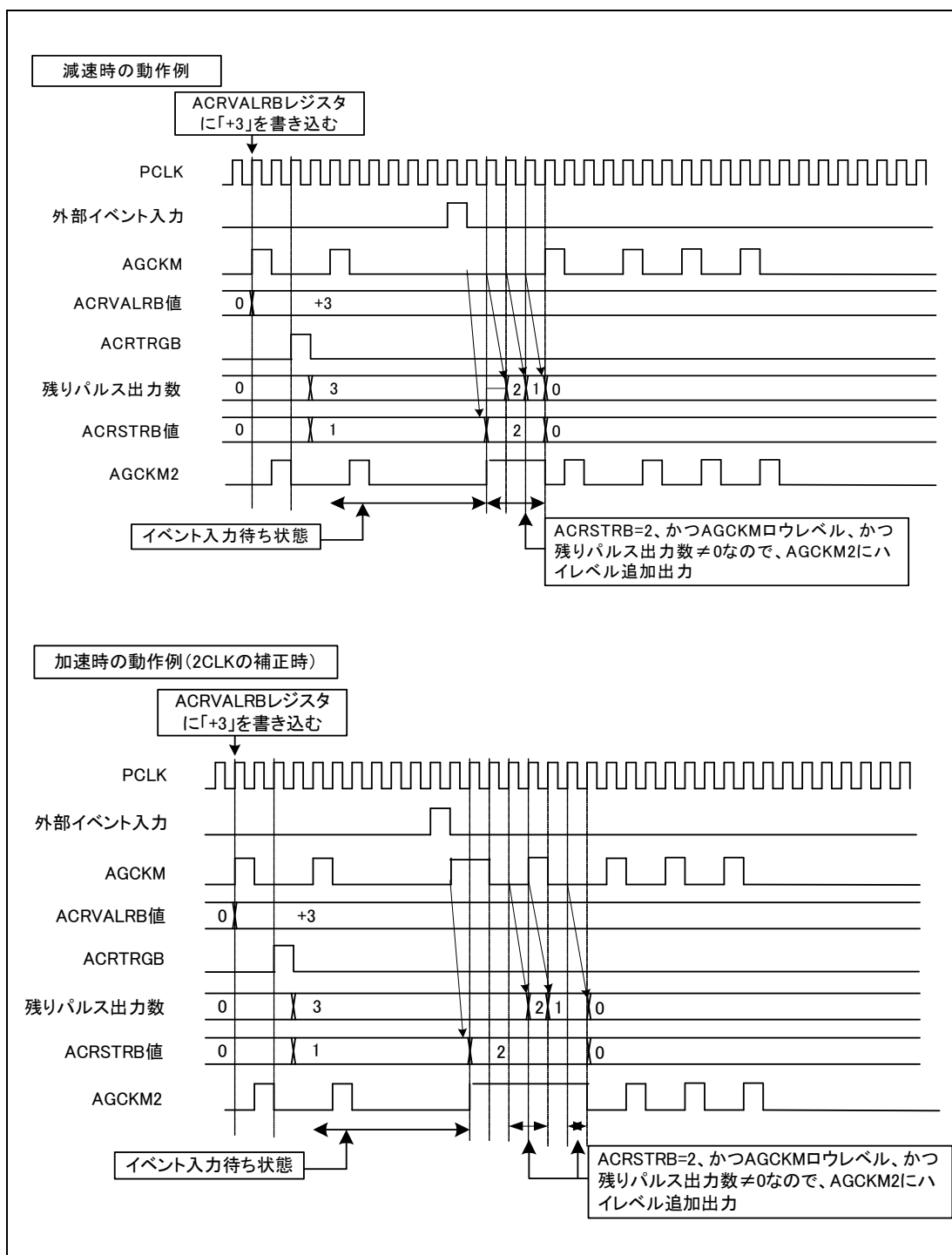


図 21.29 AGCKM2 の動作 (正論理)

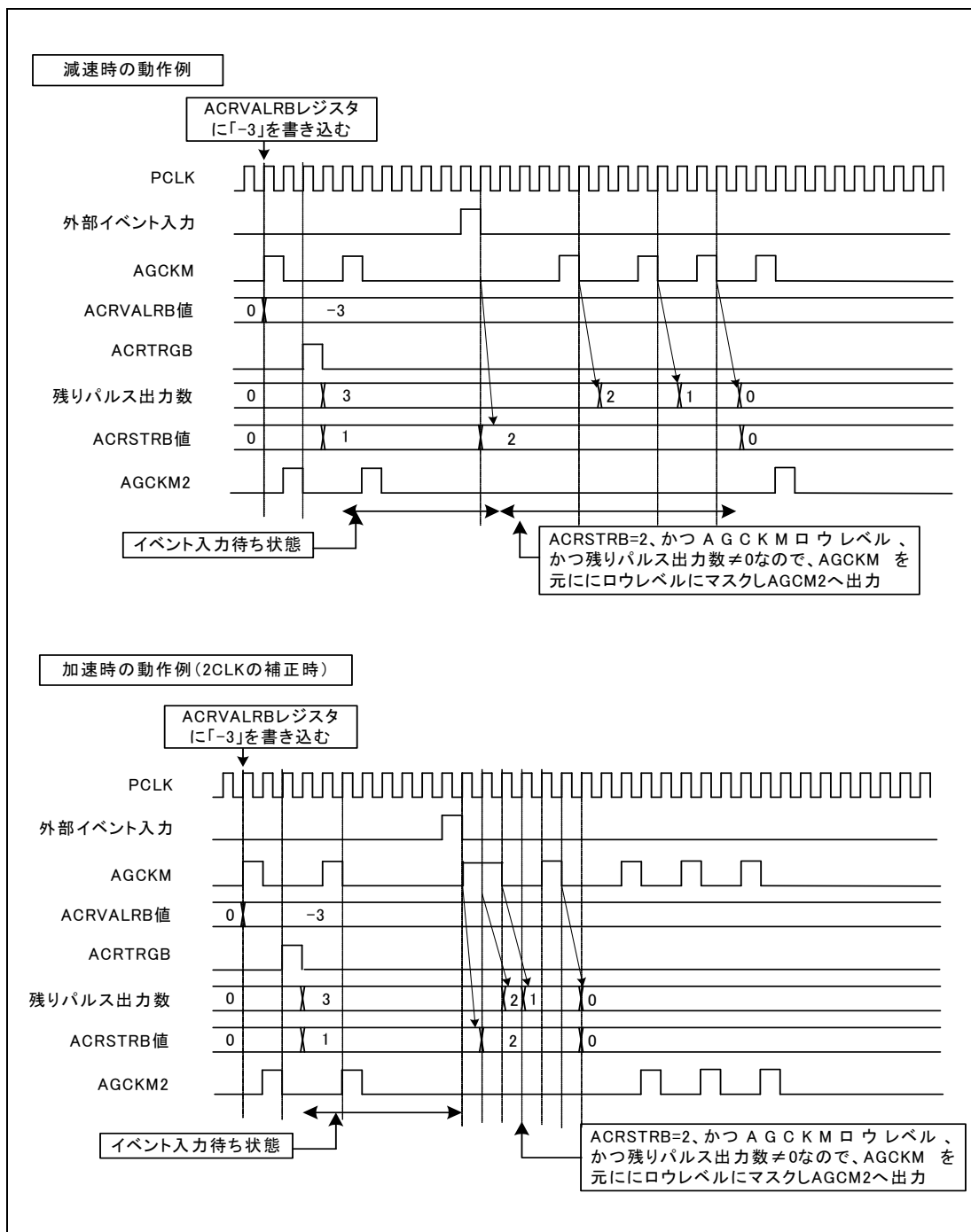


図 21.30 AGCKM2 の動作 (負論理)

21.6 タイマ C

21.6.1 動作概要

タイマ C ブロックは、同一の機能を持つ 6 個のサブブロックによって構成される汎用タイマです。

タイマ C サブブロックは、以下の機能を実現することができます。

- インプットキャプチャ、アウトプットコンペアの選択が可能です。
- インプットキャプチャの検出エッジを、立ち上がり／立ち下がり／両エッジから選択可能です。
- インプットキャプチャとして使用したとき、タイマ A からのイベント出力 1、2A、2B のタイミングでキャプチャすることが可能です。
- コンペアマッチで波形出力が可能です。出力はレジスタ設定により 1 出力／0 出力／トグル出力／ワンショットパルス出力から選択できます。
- キャプチャタイミング／コンペアマッチタイミングで、割り込み要求の出力、および DMA 要求が可能です。
- タイマカウントオーバーフローで割り込み要求の出力ができます。
- コンペアマッチでタイマカウンタ C_x (TCNTC_x) のクリアが可能です (2 種類)。
 - PWM モード時は、GRC_{x0} のコンペアマッチによりカウンタのクリアが可能です (GRC_{x1} ~ 3 は未対応)。
 - PWM モード以外でカウンタの上限値設定機能を使用する場合は、CUCRC_x のコンペアマッチによりカウンタのクリアが可能です。
- 強制コンペアマッチビットを設定することで強制的にコンペアマッチ割り込み要求を発生させることが可能です。
- ノイズキャンセル機能搭載 (ノイズキャンセラ用カウントクロックまたはクロックバス 5 を選択可能)

タイマ C サブブロックは、1 本の 32 ビットタイマカウンタ C_x (TCNTC_x) と、4 本の 32 ビットタイマ汎用レジスタ C_{xy} (GRC_{xy}) と、4 本の 32 ビットのアウトプットコンペアレジスタ C_{xy} (OCRC_{xy}) と、1 本の 32 ビットのカウント上限値設定コンペアレジスタ C_x (CUCRC_x)、および制御部などで構成されています。タイマ汎用レジスタ C_{xy} (GRC_{xy}) はインプットキャプチャ／コンペアマッチとして使用でき、インプットキャプチャトリガ入力／アウトプットコンペア出力としての入出力端子 (TIOC_{xy}) を備えています。

アウトプットコンペアとして使用する場合の TIOC_{xy} 出力の初期値は 0 です。それ以降は直前の動作状態が反映されます。

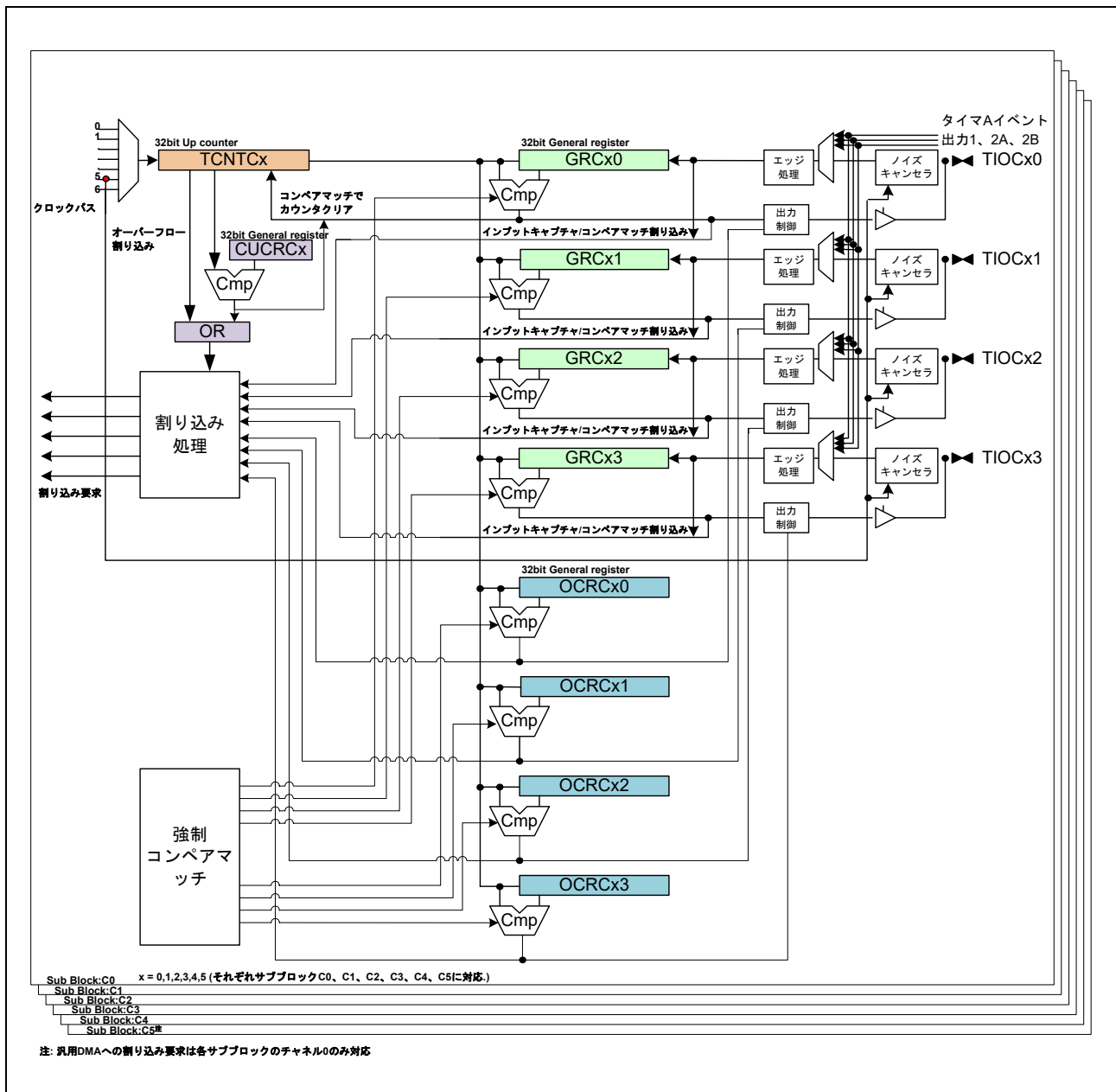


図 21.31 タイマCブロック図

21.6.2 タイマ C 関連レジスタ

21.6.2.1 TSTRC — タイマスタートレジスタ C

| | | | | | | | | |
|---------|------------------------|---|-------|-------|-------|-------|-------|-------|
| アクセス | 8ビットアクセス可能 | | | | | | | |
| アドレス | FFE6 0600 _H | | | | | | | |
| リセット後の値 | 00 _H | | | | | | | |
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | STRC5 | STRC4 | STRC3 | STRC2 | STRC1 | STRC0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.68 TSTRC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 7、6 | — | 何も配置されていません。“0”に固定してください。 |
| 5 | STRC5 | カウンタ C5 スタート 0: TCNTC5 のカウント動作を停止 1: TCNTC5 のカウント動作を許可 |
| 4 | STRC4 | カウンタ C4 スタート 0: TCNTC4 のカウント動作を停止 1: TCNTC4 のカウント動作を許可 |
| 3 | STRC3 | カウンタ C3 スタート 0: TCNTC3 のカウント動作を停止 1: TCNTC3 のカウント動作を許可 |
| 2 | STRC2 | カウンタ C2 スタート 0: TCNTC2 のカウント動作を停止 1: TCNTC2 のカウント動作を許可 |
| 1 | STRC1 | カウンタ C1 スタート 0: TCNTC1 のカウント動作を停止 1: TCNTC1 のカウント動作を許可 |
| 0 | STRC0 | カウンタ C0 スタート 0: TCNTC0 のカウント動作を停止 1: TCNTC0 のカウント動作を許可 |

注 1. サブブロック C0～C5 ごとにスタートビットを用意。

タイマスタートレジスタ C (TSTRC) は 8 ビットの読み出し/書き込み可能なレジスタです。6つのサブブロック C_x (x=0, 1, 2, 3, 4, 5) のタイマカウンタ C_x (TCNTC_x) を動作させるか、停止させるかを設定します。ただし、カウントスタート C_x ビットをカウント動作許可に設定していても、ATU-IV 制御レジスタ (ATUENR) の TCE ビットがイネーブルに設定されていなければカウント動作は行われません。

TSTRC はリセット時に 00_H に初期化されます。

(1) STRC_x — カウンタ C_x スタートビット

タイマカウンタ C_x (TCNTC_x) を動作させるか、停止させるかを設定します。

このビットを“0”にクリアした場合、TCNTC_x は動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを“1”にセットした場合には、その値から動作を再開します。

カウンタ C_x スタートビットを“1”にセットしても、ATU-IV 制御レジスタで、タイマ C_x のマスタイネーブルが“1”にセットされていなければカウント動作は開始されません。

注 意

プリスケアラはカウンタ Cx スタートビットの設定に関係なく動作しており、TCNTCx の動作開始時にも初期化は行われません。したがって起動から実際に TCNTCx がカウント動作を開始するまでの時間には、選択されたカウントソースの周期（分解能）以下のハードウェア的な不確定さがともないます。

21.6.2.2 NCCRCx — ノイズキャンセラコントロールレジスタ Cx (x = 0 ~ 5)

アクセス 8ビットアクセス可能

アドレス FFE6 0604_H (NCCRC0)
 FFE6 0605_H (NCCRC1)
 FFE6 0606_H (NCCRC2)
 FFE6 0607_H (NCCRC3)
 FFE6 0608_H (NCCRC4)
 FFE6 0609_H (NCCRC5)

リセット後の値 00_H

| | | | | | | | | |
|---------|--------|--------|--------|--------|--------|--------|--------|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | NCKCx3 | NCKCx2 | NCKCx1 | NCKCx0 | NCECx3 | NCECx2 | NCECx1 | NCECx0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.69 NCCRCx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------------------|--|
| 7 ~ 4 | NCKCx _y | ノイズキャンセルクロックセレクトビット ノイズキャンセルカウンタ C _{xy} (NCNTC _{xy}) のカウントソースクロックを選択 |
| 3 ~ 0 | NCECx _y | ノイズキャンセライネーブル C _{xy} TIOC _{xy} 入力のノイズキャンセル機能の設定 |

備考 (x = 0, 1, 2, 3, 4, 5) (y = 0, 1, 2, 3)

ノイズキャンセラコントロールレジスタ C_x (NCCRC_x) は 8 ビットの読み出し/書き込み可能なレジスタです。本レジスタの設定によりサブブロック C_x の TIOC_{xy} ピンからのインプットキャプチャトリガ入力信号に対してノイズキャンセル処理が可能となります。ノイズキャンセル処理には 3 つのモードがあり、ノイズキャンセルモードレジスタ (NCMR) の NCMC ビットで切り替え可能です。また、カウントソースには、本レジスタのノイズキャンセルクロックセレクトビット (NCKCx_y) で、ノイズキャンセラ用カウントクロックまたはクロックバス 5 を選択可能です。

NCCRC_x はリセット時に 00_H に初期化されます。(1) ノイズキャンセルクロックセレクトビット (NCKCx_y)ノイズキャンセルカウンタ C_{xy} (NCNTC_{xy}) のカウントソースクロックを選択します。

| NCKCx _y | 機能 |
|--------------------|--|
| 0 | NCNTC _{xy} のカウントソースクロックにノイズキャンセラ カウントクロック (Pφ or Pφ/128) を選択 (初期値) |
| 1 | NCNTC _{xy} のカウントソースクロックにクロックバス 5 を選択 |

備考 (x = 0, 1, 2, 3, 4, 5) (y = 0, 1, 2, 3)

カウントソースクロックには、ノイズキャンセラ用カウントクロック、もしくはクロックバス 5 を選択することが可能です。ノイズキャンセラ用カウントクロックは、共通制御部の NCCSEL ビットにより Pφ の 128 分周と Pφ のいずれかを選択可能です。

(2) NCECxy — ノイズキャンセライネーブル Cxy

サブブロック Cx の入出力ピン TIOCx0 ~ Cx3 に対してノイズキャンセル機能の有効/無効を設定します。

| NCECxy | 機能 |
|--------|----------------------------------|
| 0 | TIOCxy 入力のノイズキャンセル機能を無効に設定 (初期値) |
| 1 | TIOCxy 入力のノイズキャンセル機能を有効に設定 |

備考 (x = 0, 1, 2, 3, 4, 5) (y = 0, 1, 2, 3)

これらのビットを“1”にセットしたあと、TIOCxy からの入力信号のレベル変化を検出すると、共通制御部内のノイズキャンセルモードレジスタ (NCOMR) の設定とノイズキャンセルクロックセレクトビット (NCKC) の設定にあわせて、後続エッジキャンセルモード、あるいは先行エッジキャンセルモード、またはレベル積算キャンセルモードのいずれかの処理を開始します。

後続エッジキャンセルモードでは、入力信号のレベル変化を検出すると、ノイズキャンセル後の信号として、その変化を出力します。また同時に、対応するノイズキャンセルカウンタ Cxy (NCNTCxy) がアップカウントを開始します。このノイズキャンセルカウンタがノイズキャンセルレジスタ Cxy (NCRCxy) の値とコンペアマッチするまでの間、入力信号のレベル変化はマスクされます。コンペアマッチ時には、そのときの入力信号のレベルがノイズキャンセル後の信号として出力されます。

NCNTCxy がカウント動作中にこれらのビットを“0”クリアした場合、クリア後もコンペアマッチするまでカウント動作は停止せず、その間も入力信号のレベル変化はマスクされつづけます。

先行エッジキャンセルモードでは、入力信号のレベル変化を検出すると、対応するノイズキャンセルカウンタ Cxy (NCNTCxy) がアップカウントを開始します。NCNTCxy の値がノイズキャンセルレジスタ Cxy (NCRCxy) の値とコンペアマッチするまでの間に入力信号のレベルに変化がなければ、コンペアマッチタイミングで初めてレベル変化をノイズキャンセル後の信号として出力します。コンペアマッチまでに入力信号レベルが変化した場合はノイズとみなされ、ノイズキャンセラは入力信号のレベル変化がなかったものとしてノイズキャンセル後の信号を変化させません。

NCNTCxy がカウント動作中にこれらのビットを“0”クリアした場合、クリア後もコンペアマッチするか、あるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

レベル積算キャンセルモードでは、入力信号のレベルにしたがい対応するノイズキャンセルカウンタ Cxy (NCNTCxy) がアップ/ダウンカウントを行います。入力ハイレベルでアップカウント、入力ローレベルでダウンカウントとなります。アップカウントはノイズキャンセルカウンタがノイズキャンセルレジスタ Cxy (NCRCxy) の値とコンペアマッチするまでの間、ダウンカウントはノイズキャンセルカウンタが 0000_H にコンペアマッチするまで続きます。アップカウントでコンペアマッチ (NCRCxy) するとノイズキャンセラ出力を 1 に更新します。また、ダウンカウントでコンペアマッチ (0000_H) するとノイズキャンセラ出力を 0 に更新します。

先行エッジキャンセルモードならびに後続エッジキャンセルモードにおいて、レベル変化の検出は選択したノイズキャンセルクロックにかかわらず常に Pφ によって行われます。レベル積算キャンセルモードにおいて、入力レベルのサンプリングはノイズキャンセラクロックセレクト Cxy (NCKCxy) で選択されたクロックによって行われます。

各キャンセルモードの動作例は、**図 21.1** および **図 21.2**、**図 21.3** を参照してください。

21.6.2.3 TCRCx — タイマコントロールレジスタ Cx (x = 0 ~ 5)

アクセス 8ビット/16ビットアクセス可能

アドレス FFE6 0624_H (TCRC0)
 FFE6 06A4_H (TCRC1)
 FFE6 0724_H (TCRC2)
 FFE6 07A4_H (TCRC3)
 FFE6 0824_H (TCRC4)
 FFE6 08A4_H (TCRC5)

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-----------------|-----------------|-----------------|-----------------|----|----|---|-------|-----------------|-----------------|-----------------|-----------------|-------|--------------|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | FOCMC x3 | FOCMC x2 | FOCMC x1 | FOCMC x0 | — | — | — | CLRCx | FCMCx 3 | FCMCx 2 | FCMCx 1 | FCMCx 0 | PWMx0 | CKSELCx[2:0] | | |
| リセット後の値 | 0 ^{注1} | 0 ^{注1} | 0 ^{注1} | 0 ^{注1} | 0 | 0 | 0 | 0 | 0 ^{注1} | 0 ^{注1} | 0 ^{注1} | 0 ^{注1} | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

注1. “0”書き込み無効。“1”書き込み時はデータは保持されません。読み出し値は常に“0”になります。

表 21.70 TCRCx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------------|--|
| 15 ~ 12 | FOCMCx _y | 強制アウトプットコンペアマッチ C _{xy} アウトプットコンペアレジスタ C _{xy} (OCRC _{xy}) で強制コンペアマッチ実施 |
| 11 ~ 9 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。 書き込みの場合は必ず“0”を書き込んでください。 |
| 8 | CLRCx | TCNTCx クリア設定ビット C _x タイマカウンタをクリア許可/禁止を設定 |
| 7 ~ 4 | FCMCx _y | 強制コンペアマッチ C _{xy} タイマ汎用レジスタ C _{xy} (GRC _{xy}) で強制コンペアマッチ実施 |
| 3 | PWMx0 | PWM モードビット サブブロック C _x を PWM モードで動作させるかどうかを選択 |
| 2 ~ 0 | CKSELCx[2:0] | クロック選択ビット クロックバス 0 ~ 6 からカウントクロックを選択 |

備考 x = 0, 1, 2, 3, 4, 5。サブブロック C0 ~ C5 に対応
 y = 0, 1, 2, 3 汎用レジスタ Cx0、Cx1、Cx2、Cx3 に対応

タイマコントロールレジスタ C_x (TCRC_x) は 8ビット/16ビットの読み出し/書き込み可能なレジスタです。本レジスタによりサブブロック C0 ~ C5 のカウントクロックの選択、および動作モードの設定を行います。また、強制コンペアマッチの設定、タイマカウンタのクリアの許可/禁止を設定します。

(1) CKSELCx[2:0] — TCNTCx クロックセレクト

TCNTCx クロックセレクト (CKSELCx) はサブブロック Cx のカウントクロックを選択します。各サブブロック Cx のタイマカウンタ Cx (TCNTCx) はここで選択されたクロックに同期してカウントアップを行います。

| CKSELCx | | | 機能 |
|---------|---|---|----------------------|
| 0 | 0 | 0 | クロックバス 0 でカウント (初期値) |
| 0 | 0 | 1 | クロックバス 1 でカウント |
| 0 | 1 | 0 | クロックバス 2 でカウント |
| 0 | 1 | 1 | クロックバス 3 でカウント |
| 1 | 0 | 0 | クロックバス 4 でカウント |
| 1 | 0 | 1 | クロックバス 5 でカウント |
| 1 | 1 | 0 | クロックバス 6 でカウント |
| 1 | 1 | * | 予約 |

備考 x = 0, 1, 2, 3, 4, 5。サブブロック C0 ~ C5 に対応。

(2) PWMx0 — PWM モードビット

サブブロック Cx を PWM モードで動作させるとき、このビットに“1”を設定します。PWM モードに設定すると、タイマ汎用レジスタ Cx0 (GRCx0) のコンペアマッチ発生によって TCNTCx がクリアされます。GRCx0 がコンペアマッチとして機能しているときのみ有効です。

また、GRCx1、GRCx2、GRCx3 のうちコンペアマッチとして機能しているものについては、TCNTCx のクリアと同時に、その出力端子 (TIOCx1、TIOCx2、TIOCx3 端子) に TIORCx の IOCx0 設定値が出力されます。

GRCx0 に PWM サイクル、GRCx1 ~ GRCx3 にデューティサイクルを設定し、TIOCx1 ~ 3 端子から PWM 出力することが可能です。

注 意

PWM モードビットに“1”をセットするだけでは、PWM として動作させることはできません。タイマ I/O コントロールレジスタ Cx (TIORCx) の IOCxy ビットで、GRCx0、および GRCx1 ~ 3 (PWM 出力を行うもの) をそれぞれコンペアマッチ (IOCxy[3:2] = 00_B) に設定する必要があります。IOCxy[1:0] は、01_B、10_B を設定する必要があります。IOCxy[1:0] により PWM のアクティブ極性を指定することができます。

| PWMx0 | 機能 |
|-------|----------------------|
| 0 | PWM モードで動作させない (初期値) |
| 1 | PWM モードで動作させる |

備考 x = 0, 1, 2, 3, 4, 5。サブブロック C0 ~ C5 に対応。

PWMx0 が“1”の場合、TCNTCx と GRCx0 との一致を検出するとカウンタは 0000 0000_H にクリアされます。ただし、コンペアマッチによるカウンタのクリアとカウントアップのタイミングが一致する場合のみ、TCNTCx は 0000 0001_H にクリアされます (TCNTCx が Pφ の 1 分周クロックでカウントする場合のみ起こります)。

PWMx0 が“1”の場合、GRCx0 ~ GRCx3 には 0000 0000_H を設定しないでください。0000 0000_H を設定した場合、不正な周期でコンペアマッチが発生することになりますのでご注意ください。

(3) FCMCxy — 強制コンペアマッチ Cxy

汎用レジスタ Cxy をコンペアマッチレジスタとして使用している場合、FCMCxy を 1 にセットすることにより強制的にコンペアマッチを発生させます。

| FCMCxy | 機能 |
|--------|---|
| 0 | タイマ汎用レジスタ Cxy (GRCxy) での強制コンペアマッチ禁止 (初期値) |
| 1 | タイマ汎用レジスタ Cxy (GRCxy) で強制的にコンペアマッチ発生 |

備考 x = 0, 1, 2, 3, 4, 5。サブブロック C0 ~ C5 に対応。
y = 0, 1, 2, 3。汎用レジスタ Cx0、Cx1、Cx2、Cx3 に対応。

FCMCxy ビットを 1 にセットすると、TSRCx (タイマステータスレジスタ Cx) の IMFCxy ビット (コンペアマッチフラグ) を“1”にセットし、CPU にコンペアマッチ割り込みを出力します。IMFCxy ビットが“1”の場合でもコンペアマッチ割り込みは出力します。また、TIOCxy からの出力もコンペアマッチ発生時と同様に変化します。この動作はビットを 1 にセットしたときに一度のみ実施します。“0”書き込み無効、“1”書き込み時はデータは保持されません。読み出し値は常に 0 となります。

PWMx0 ビット、FCMCx0 ビットをともに“1”にセットした場合、強制コンペアマッチによりカウンタクリア、および TIOCxy への IOCx0 設定値の出力が行われます。その後、TCNTCx は 0000 0000_H からカウントアップを再開します。(コンペアマッチによるカウンタクリアは各サブブロックのチャンネル 0 のみ対応)

(4) CLRCx — TCNTCx クリア設定ビット Cx

TCNTCx クリア設定ビット Cx を“1”に設定すると、タイマカウンタ Cx (TCNTCx) とカウンタ上限値設定コンペアレジスタ Cx (CUCRCx) とのコンペアマッチ発生後の次のクロックで、TCNTCx の値はクリアされます。

| CLRCx | 機能 |
|-------|---|
| 0 | TCNTCx のクリアに CUCRCx のコンペアマッチを使用しない。 (初期値) |
| 1 | TCNTCx のクリアに CUCRCx のコンペアマッチを使用する。 |

備考 x = 0, 1, 2, 3, 4, 5。サブブロック C0 ~ C5 に対応。タイマカウンタ Cx に対応

上限値設定機能 (CLRCx = 1) は、PWM モード以外 (PWMx0 = 0) のときに設定することができます。

PWM モード (PWMx0 = 1) で、上限値設定機能 (CLRCx = 1) を使用した場合、タイマカウンタ Cx (TCNTCx) が PWM 周期以外の周期でクリアされるため、PWM 出力が不定となります。

(5) FOCMCxy — 強制アウトプットコンペアマッチ Cxy

アウトプットコンペアレジスタ Cxy (OCRCxy) をコンペアマッチレジスタとして使用している場合、FOCMCxy を 1 にセットすることにより強制的にコンペアマッチを発生させます。

| FOCMCxy | 機能 |
|---------|---|
| 0 | アウトプットコンペアレジスタ Cxy (OCRCxy) での強制コンペアマッチ禁止 (初期値) |
| 1 | アウトプットコンペアレジスタ Cxy (OCRCxy) で強制的にコンペアマッチ発生。 |

備考 x = 0, 1, 2, 3, 4, 5。サブブロック C0 ~ C5 に対応。
y = 0, 1, 2, 3 アウトプットコンペアレジスタ Cx0、Cx1、Cx2、Cx3 に対応

FOCMCxy ビットを 1 にセットすると、TSRCx (タイムステータスレジスタ Cx) の OCMFCxy ビット (コンペアマッチフラグ) を “1” にセットし、CPU にコンペアマッチ割り込みを出力します。OCMFCxy ビットが “1” の場合でもコンペアマッチ割り込みは出力しません。また、TIOCxy からの出力もコンペアマッチ発生時と同様に変化します。この動作は本ビットに 1 をライトしたときに一度のみ実施します。“0” 書き込み無効、“1” 書き込み時のデータは保持されません。読み出し値は常に 0 となります。

21.6.2.4 TSRCx — タイマステータスレジスタ Cx (x = 0 ~ 5)

アクセス 8ビット/16ビットアクセス可能
 “0”書き込み無効。“1”書き込み時はデータは保持されません。読み出し値は常に“0”になります。

アドレス FFE6 0626_H (TSRC0)
 FFE6 06A6_H (TSRC1)
 FFE6 0726_H (TSRC2)
 FFE6 07A6_H (TSRC3)
 FFE6 0826_H (TSRC4)
 FFE6 08A6_H (TSRC5)

リセット後の値 0000_H

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|----|----|---------|---------|---------|---------|---|---|---|-------|--------|--------|--------|--------|
| | — | — | — | — | OCMFCx3 | OCMFCx2 | OCMFCx1 | OCMFCx0 | — | — | — | OVFCx | IMFCx3 | IMFCx2 | IMFCx1 | IMFCx0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.71 TSRCx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------|---|
| 15 ~ 12 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 11 ~ 8 | OCMFCxy | アウトプットコンペアマッチフラグ Cxy 1: OCRCxy レジスタによるコンペアマッチ発生 0: OCRCxy レジスタによるコンペアマッチなし (初期値) |
| 7 ~ 5 | — | 何も配置されていません。“0”に固定してください。 |
| 4 | OVFCx | オーバフローフラグ Cx 1: オーバフロー発生 0: オーバフローなし |
| 3 ~ 0 | IMFCxy | インプットキャプチャ・コンペアマッチフラグ Cxy 1: インプットキャプチャ、GRCxy レジスタによるコンペアマッチ発生 0: インプットキャプチャ、GRCxy レジスタによるコンペアマッチなし |

備考 x = 0, 1, 2, 3, 4, 5 : サブブロック C0 ~ C5 に対応
 y = 0, 1, 2, 3 : チャンネル 0 ~ 3 に対応

タイマステータスレジスタ Cx (TSRCx) は 8 ビット / 16 ビットの読み出し専用のレジスタです。サブブロック Cx (x = 0, 1, 2, 3, 4, 5) の持つタイマカウンタ Cx (TCNTCx) のオーバフローの発生、タイマ汎用レジスタ Cxy (GRCxy, y = 0, 1, 2, 3) でのインプットキャプチャ、コンペアマッチの発生、アウトプットコンペアレジスタ Cxy (OCRCxy, y = 0, 1, 2, 3) でのアウトプットコンペアマッチの発生を示します。

これらのフラグは割り込み要求発生を示すステータスフラグであり、タイマステータスクリアレジスタ Cx (TSCRCx) の対応するビットを設定することによりフラグをクリアすることができます。本フラグがセットされた状態で割り込み要因が発生した場合、再度割り込み要求を発生します。また、対応するタイマステータスクリアレジスタ Cx によるクリアと割り込み要因発生によるセットが競合した場合でも割り込み要求は発生します。

TSRCx はリセット時に 0000_H に初期化されます。

(1) OCMFC_{xy} — アウトプットコンペアマッチフラグ C_{xy}

アウトプットコンペアレジスタ C_{xy} (OCRC_{xy}) のアウトプットコンペアマッチの発生を示すステータスフラグです。このフラグをソフトウェアにより、“1”または“0”にセットすることはできません。セット条件、クリア条件は以下のとおりです。

| OCMFC _{xy} | 機能 |
|---------------------|--|
| 0 | [クリア条件：コンペアマッチモード/インプットキャプチャモード/ワンショットパルスモード] タイムステータスクリアレジスタ C _x (TSCRC _x) の OCMFC _{xy} に “1” を書き込んだとき |
| 1 | [セット条件：コンペアマッチモード/インプットキャプチャモード] <ul style="list-style-type: none"> TCNTC_x の値が OCRC_{xy} と等しくなったとき TCRC_x の FOCMC_{xy} (強制アウトプットコンペアマッチビット) に 1 にセットしたとき [セット条件：ワンショットパルスモード] <ul style="list-style-type: none"> ワンショットパルス出力中に TCNTC_x の値が OCRC_{xy} と等しくなったとき ワンショットパルス出力中に TCRC_x の FOCMC_{xy} (強制アウトプットコンペアマッチビット) に 1 をセットしたとき |

備考 x = 0, 1, 2, 3, 4, 5 : サブブロック C0 ~ C5 に対応
y = 0, 1, 2, 3 : チャンネル 0 ~ 3 に対応

アウトプットコンペアマッチフラグ (OCMFC_{xy}) が 1 の状態 (フラグがクリアされていない状態) でも、次のコンペア処理は実施可能です。このとき、OCMFC_{xy} には 1 がオーバーライトされます。

アウトプットコンペアマッチ検出後、TCNTC_x、OCMFC_{xy} の値が一致したままの状態、アウトプットコンペアマッチステータスをクリアしても新たにステータスはセットされません。

OCMFC_{xy} と IMFC_{xy} の割り込みは共通となっており、タイマインタラプトイネーブルレジスタ C_x (TIERC_x) を設定することにより、片方もしくは両方の割り込みを出力することが可能です。

(2) OVFC_x — オーバフローフラグ C_x

このフラグにより、タイマカウンタ C_x (TCNTC_x) のオーバフローの状態を参照することができます。このフラグをソフトウェアにより “1” または “0” にセットすることはできません。

| OVFC _x | 機能 |
|-------------------|--|
| 0 | [クリア条件] タイムステータスクリアレジスタ C _x (TSCRC _x) の OVFC _x に “1” を書き込んだとき (初期値) |
| 1 | [セット条件] <ul style="list-style-type: none"> TCNTC_x の値がオーバフロー (FFFF FFFF_H → 0000 0000_H) したとき 上限値設定機能が有効時でカウンタのクリアが発生したとき |

備考 x = 0, 1, 2, 3, 4, 5 : サブブロック C0 ~ C5 に対応

オーバフローフラグは TCNTC_x が FFFF FFFF_H の状態でカウントアップクロックが入力されたときと、上限値設定機能が有効なときに、カウンタと上限値設定レジスタが一致した次の

PCLK クロックで発生します。TCNTCx への 0000 0000_H 書き込み、TCNTCx 初期値 (0000 0000_H) で起動しても OVFCx はセットされません。

カウンタ値が FFFF FFFF_H の状態で、カウントアップクロックと同時に TCNTCx への書き込みを行った場合、オーバフローフラグは“1”にセットされますが、TCNTCx 値は 0000 0000_H ではなく、書き込まれた値に更新されます。

(3) IMFCxy — インพุットキャプチャ・コンペアマッチフラグ Cxy

タイマ汎用レジスタ Cxy (GRCxy) のインพุットキャプチャ、コンペアマッチの発生を示すステータスフラグです。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。セット条件、クリア条件は以下のとおりです。

| IMFCxy | 機能 |
|--------|--|
| 0 | [クリア条件：コンペアマッチモード/インพุットキャプチャモード/ワンショットパルスモード] タイマステータスクリアレジスタ Cx (TSCRCx) の IMFCxy に“1”を書き込んだとき |
| 1 | [セット条件：インพุットキャプチャモード] <ul style="list-style-type: none"> GRCxy がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号より TCNTCx の値が GRCxy に転送されたとき [セット条件：アウトプットコンペアモード] <ul style="list-style-type: none"> GRCxy がアウトプットコンペアとして機能している場合、TCNTCx の値が GRCxy と等しくなったとき TCRCx の FCMCxy (強制コンペアマッチビット) に 1 にセットした場合 [セット条件：ワンショットパルス出力モード] <ul style="list-style-type: none"> ワンショットパルス出力中に OCRCxy のコンペア一致が発生後 (または同時) に TCNTCx の値が GRCxy と等しくなったとき ワンショットパルス出力中に OCRCxy のコンペア一致が発生後 (または同時) に TCRCx の FCMCxy (強制コンペアマッチビット) に 1 をセットした場合 |

備考 x = 0, 1, 2, 3, 4, 5 : サブブロック C0 ~ C5 に対応
y = 0, 1, 2, 3 : チャンネル 0 ~ 3 に対応

インพุットキャプチャ・コンペアマッチフラグ (IMFCxy) が 1 の状態 (フラグがクリアされていない状態) でも、次のインพุットキャプチャ/アウトプットコンペア処理は実施可能です。このとき、IMFCxy には 1 がオーバライトされます。

コンペアマッチ検出後、TCNTCx、IMFCxy の値が一致したままの状態、コンペアマッチステータスをクリアしても新たにステータスはセットされません。

OCMFCxy と IMFCxy の割り込みは共通となっており、タイマインタラプトイネーブルレジスタ Cx (TIERCx) を設定することにより、片方もしくは両方の割り込みを出力することが可能です。

21.6.2.5 TSCRCx — タイマステータスクリアレジスタ Cx (x = 0 ~ 5)

アクセス 8ビット/16ビットアクセス可能

アドレス FFE6 0622_H (TSCRC0)
 FFE6 06A2_H (TSCRC1)
 FFE6 0722_H (TSCRC2)
 FFE6 07A2_H (TSCRC3)
 FFE6 0822_H (TSCRC4)
 FFE6 08A2_H (TSCRC5)

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|--------------|--------------|--------------|--------------|---|---|---|------------|------------|------------|------------|------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | OCMFC Cx3 | OCMFC Cx2 | OCMFC Cx1 | OCMFC Cx0 | — | — | — | OVFCx x | IMFCx 3 | IMFCx 2 | IMFCx 1 | IMFCx 0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R | R | R | R/W | R/W | R/W | R/W | R/W |

表 21.72 TSCRCx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|----------|--|
| 15 ~ 12 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。 |
| 11 | OCMFCCx3 | アウトプットコンペアマッチフラグクリア Cx3 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ Cx (TSRCx) の OCMFCx3 を 0 にクリアする。 |
| 10 | OCMFCCx2 | アウトプットコンペアマッチフラグクリア Cx2 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ Cx (TSRCx) の OCMFCx2 を 0 にクリアする。 |
| 9 | OCMFCCx1 | アウトプットコンペアマッチフラグクリア Cx1 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ Cx (TSRCx) の OCMFCx1 を 0 にクリアする。 |
| 8 | OCMFCCx0 | アウトプットコンペアマッチフラグクリア Cx0 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ Cx (TSRCx) の OCMFCx0 を 0 にクリアする。 |
| 7 ~ 5 | — | 何も配置されていません。“0”に固定してください。 |
| 4 | OVFCx | オーパフローフラグクリア C イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ Cx (TSRCx) の OVFCx を 0 にクリアする。 |
| 3 | IMFCx3 | インプットキャプチャフラグクリア C3 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ Cx (TSRCx) の IMFCx3 を 0 にクリアする。 |
| 2 | IMFCx2 | インプットキャプチャフラグクリア C2 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ Cx (TSRCx) の IMFCx2 を 0 にクリアする。 |
| 1 | IMFCx1 | インプットキャプチャフラグクリア C1 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ Cx (TSRCx) の IMFCx1 を 0 にクリアする。 |
| 0 | IMFCx0 | インプットキャプチャフラグクリア C0 イネーブル 0: 無効 (初期値) 1: タイマステータスレジスタ Cx (TSRCx) の IMFCx0 を 0 にクリアする。 |

備考 x = 0, 1, 2, 3, 4, 5 : サブブロック C0 ~ C5 に対応

TSCRCx は 8 ビット / 16 ビットの読み出し / 書き込み可能なレジスタで、オーバフロー / インพุットキャプチャ / コンペアマッチの発生によるフラグのクリア設定をします。

ただし読み出した場合は常に“0”が読み出されます。

TSCRCx はリセット時に 0000_H に初期化されます。

(1) OCMFCCx3 — アウトプットコンペアマッチフラグクリア Cx3 イネーブル

タイマステータスレジスタ Cx (TSRCx) のコンペアマッチフラグ (OCMFCCx3) が“1”にセットされているとき、本レジスタに“1”を書き込むと OCMFCCx3 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出されます。

(2) OCMFCCx2 — アウトプットコンペアマッチフラグクリア Cx2 イネーブル

タイマステータスレジスタ Cx (TSRCx) のコンペアマッチフラグ (OCMFCCx2) が“1”にセットされているとき、本レジスタに“1”を書き込むと OCMFCCx2 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出されます。

(3) OCMFCCx1 — アウトプットコンペアマッチフラグクリア Cx1 イネーブル

タイマステータスレジスタ Cx (TSRCx) のコンペアマッチフラグ (OCMFCCx1) が“1”にセットされているとき、本レジスタに“1”を書き込むと OCMFCCx1 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出されます。

(4) OCMFCCx0 — アウトプットコンペアマッチフラグクリア Cx0 イネーブル

タイマステータスレジスタ Cx (TSRCx) のコンペアマッチフラグ (OCMFCCx0) が“1”にセットされているとき、本レジスタに“1”を書き込むと OCMFCCx0 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出されます。

(5) OVFCx — オーバフローフラグクリア Cx イネーブル

タイマステータスレジスタ Cx (TSRCx) のオーバフローフラグ Cx (OVFCx) が“1”にセットされているとき、本レジスタに“1”を書き込むと OVFCx を“0”にクリアすることができます。読み出した場合は常に“0”が読み出されます。

(6) IMFCCx3 — インพุットキャプチャフラグクリア Cx3 イネーブル

タイマステータスレジスタ Cx (TSRCx) のインพุットキャプチャ・コンペアマッチフラグ Cx3 (IMFCCx3) が“1”にセットされているとき、本レジスタに“1”を書き込むと IMFCCx3 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出されます。

(7) IMFCCx2 — インพุットキャプチャフラグクリア Cx2 イネーブル

タイマステータスレジスタ Cx (TSRCx) のインพุットキャプチャ・コンペアマッチフラグ Cx2 (IMFCCx2) が“1”にセットされているとき、本レジスタに“1”を書き込むと IMFCCx2 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出されます。

(8) IMFCCx1 — インพุットキャプチャフラグクリア Cx1 イネーブル

タイマステータスレジスタ Cx (TSRCx) のインพุットキャプチャ・コンペアマッチフラグ Cx1 (IMFCCx1) が“1”にセットされているとき、本レジスタに“1”を書き込むと IMFCCx1 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出されます。

(9) IMFCCx0 — インพุットキャプチャフラグクリア Cx0 イネーブル

タイマステータスレジスタ Cx (TSRCx) のインพุットキャプチャ・コンペアマッチフラグ Cx0 (IMFCCx0) が“1”にセットされているとき、本レジスタに“1”を書き込むと IMFCCx0 を“0”にクリアすることができます。読み出した場合は常に“0”が読み出されます。

21.6.2.6 TIORCx — タイマ I/O コントロールレジスタ Cx (x = 0 ~ 5)

アクセス 8ビット / 16ビットアクセス可能

アドレス FFE6 0628_H (TIORC0)
 FFE6 06A8_H (TIORC1)
 FFE6 0728_H (TIORC2)
 FFE6 07A8_H (TIORC3)
 FFE6 0828_H (TIORC4)
 FFE6 08A8_H (TIORC5)

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------------|-----|-----|-----|------------|-----|-----|-----|------------|-----|-----|-----|------------|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | IOCx3[3:0] | | | | IOCx2[3:0] | | | | IOCx1[3:0] | | | | IOCx0[3:0] | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.73 TIORCx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------|--|
| 15 ~ 0 | IOCxy[3:0] | タイマ汎用レジスタ Cxy (GRCxy) の機能設定 インพุットキャプチャ/コンペアマッチの設定。 インพุットキャプチャ時、取り込みエッジの設定。 コンペアマッチ時、出力値の設定。 |

備考 x = 0, 1, 2, 3, 4, 5 : サブブロック C0 ~ C5 に対応
 y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応

(1) IOCxy[3:0] — I/O コントロールビット

| IOCxy | | | | 機能 |
|-------|-----|-----|-----|---|
| [3] | [2] | [1] | [0] | |
| 0 | 0 | 0 | 0 | コンペアマッチモード GRCxy をアウトプット OCRCxy レジスタによるコンペアマッチ許可 |
| 0 | 0 | 0 | 1 | コンペアレジスタとして 利用 OCRCxy をアウトプッ トコンペアレジスタとし て利用 |
| 0 | 0 | 1 | 0 | GRCxy レジスタによるコンペアマッチで1出力 OCRCxy レジスタによるコンペアマッチ許可 |
| 0 | 0 | 1 | 1 | GRCxy レジスタによるコンペアマッチでトグル出力 OCRCxy レジスタによるコンペアマッチ許可 |
| 0 | 1 | 0 | 0 | インプットキャプチャ モード GRCxy をインプット キャプチャレジスタとし て利用 |
| 0 | 1 | 0 | 1 | OCRCxy をアウトプッ トコンペアレジスタとし て利用 |
| 0 | 1 | 1 | 0 | TIOCxy 立ち上がりエッジでキャプチャ OCRCxy レジスタによるコンペアマッチ許可 |
| 0 | 1 | 1 | 1 | TIOCxy 立ち下がりエッジでキャプチャ OCRCxy レジスタによるコンペアマッチ許可 |
| 1 | 0 | 0 | 0 | ワンショットパルスモー ド OCRCxy レジスタおよび GRCxy レジスタのコンペアマッチ禁止 TIOCxy 出力から 0 出力 (アクティブハイ) |
| 1 | 0 | 0 | 1 | GRCxy と OCRCxy をワ ンショット用のアウト プットコンペアレジスタ として利用 注2 |
| 1 | 0 | 1 | 0 | OCRCxy レジスタでのコンペアマッチ発生までは TIOCxy 出力か ら 0 出力、OCRCxy レジスタでのコンペアマッチ発生から GRCxy レジスタでのコンペアマッチ発生まで TIOCxy 出力から 1 出力、GRCxy レジスタでのコンペアマッチ発生で TIOCxy 出 力から 0 出力 (アクティブハイ) 注1 |
| 1 | 0 | 1 | 1 | OCRCxy レジスタでのコンペアマッチ発生までは TIOCxy 出力か ら 1 出力、OCRCxy レジスタでのコンペアマッチ発生から GRCxy レジスタでのコンペアマッチ発生まで TIOCxy 出力から 0 出力、GRCxy レジスタでのコンペアマッチ発生で TIOCxy 出 力から 1 出力 (アクティブロウ) 注1 |
| 1 | 1 | 0 | 0 | インプットキャプチャ モード GRCxy をインプット キャプチャレジスタとし て利用 |
| 1 | 1 | 0 | 1 | OCRCxy をアウトプッ トコンペアレジスタとし て利用 |
| 1 | 1 | 1 | 0 | タイマ A イベント出力 1 でキャプチャ OCRCxy レジスタによるコンペアマッチ許可 |
| 1 | 1 | 1 | 1 | タイマ A イベント出力 2A でキャプチャ OCRCxy レジスタによるコンペアマッチ許可 |
| 1 | 1 | 1 | 1 | タイマ A イベント出力 2B でキャプチャ OCRCxy レジスタによるコンペアマッチ許可 |

備考 x=0, 1, 2, 3, 4, 5 y=0, 1, 2, 3

注 1. OCRCxy レジスタによるコンペアマッチと GRCxy レジスタによるコンペアマッチが同時に発生した場合は、GRCxy レジスタによるコンペアマッチを優先します。

注 2. ワンショットパルスモード (IOCxy[3:2] = 10_B) に設定する場合は、PWMX0 ビットを "0" に設定してください。
PWMX0 ビットを "1" に設定することは禁止となります。

IOCxy[3:2]により、動作モード（コンペアマッチモード／インプットキャプチャモード／ワンショットパルスモード）を設定します。動作モード（IOCxy[3:2]）の切り替えは、カウント動作停止状態で行ってください。

コンペアマッチモード（IOCxy[3:2] = 00_B）の出力モード切り替え、インプットキャプチャモード（IOCxy[3:2] = 01_B, 11_B）のエッジ検出／トリガ指定切り替えは、いったん、コンペアマッチ／インプットキャプチャ禁止状態（IOCxy[1:0] = 00_B）に設定した上で切り替えてください。

ワンショットパルスモード（IOCxy[3:2] = 10_B）への切り替え、および、ワンショットパルスモード（IOCxy[3:2] = 10_B）時の、アクティブ極性（IOCxy[1:0]）切り替えはカウンタ停止状態で行ってください。

ワンショットパルスモード（IOCxy[3:2] = 10_B）を使用する場合、動作モード設定後、強制コンペアマッチ Cxy（FCMCxy）にて外部端子（TIOCxy）の初期化を行ってからカウント動作を開始してください。

21.6.2.7 TCNTCx — タイマカウンタ Cx (x = 0 ~ 5)

アクセス 32ビットアクセス可能 8ビットアクセス／16ビットアクセス禁止

アドレス FFE6 0638_H (TCNTC0)
 FFE6 06B8_H (TCNTC1)
 FFE6 0738_H (TCNTC2)
 FFE6 07B8_H (TCNTC3)
 FFE6 0838_H (TCNTC4)
 FFE6 08B8_H (TCNTC5)

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | CNTC[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CNTC[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

タイマカウンタ C_x (TCNTC_x) は 32 ビットの読み出し／書き込み可能なレジスタで入力したクロックによりカウント動作を行います。読み出し／書き込みはカウンタ動作中でも可能です。

タイマカウンタ C_x (TCNTC_x) はタイマスタートレジスタ C (TSTRC) の対応するビットを 1 にセットするとカウントを開始します。入力するクロックはタイマコントロールレジスタ C_x (TCRC_x) のクロック選択ビット (CKSEL) によって設定します。タイマがオーバーフローすると、CPU にオーバーフロー割り込み要求を出力します。リセット時に 0000 0000_H に初期化されます。

21.6.2.8 GRCxy — タイマ汎用レジスタ Cxy

(x = 0, 1, 2, 3, 4, 5 : サブブロック C0 ~ C5 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 32ビットアクセス可能 8ビットアクセス/16ビットアクセス禁止

アドレス FFE6 0640_H + (80_H * x) + (4_H * y)

リセット後の値 FFFF FFFF_H

| | | | | | | | | | | | | | | | | |
|---------|--------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | GRCxy[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | GRCxy[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

タイマ汎用レジスタ Cxy (GRCxy) は 32 ビットの読み出し/書き込み可能なレジスタで、インプットキャプチャレジスタとアウトプットコンペアレジスタの両方の機能を持っています。機能の切り替えはタイマ I/O コントロールレジスタ Cx (TIORCx) により行います。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TCNTCx の値を格納、および CPU にインプットキャプチャ割り込み要求、DMA に起動要求を出力します。このとき、対応するタイマステータスレジスタ Cx (TSRCx) の IMFCxy ビットが 1 にセットされます。インプットキャプチャ信号の検出エッジは対応する TIORCx により設定します。

カウンタが停止状態 (ATUENR レジスタの TCE ビットが 0、もしくは TSTRC レジスタの STRCx ビットが 0) でもインプットキャプチャ動作は行われます。停止状態のカウンタ値を GRCxy に取り込みます。

コンペアマッチ用のアウトプットコンペアレジスタとして使用しているときは、GRCxy の値とタイマカウンタ Cx (TCNTCx) の値は常に比較されています。両者の値が一致すると、TIORCx で設定した方式 (0 出力、1 出力、トグル出力) で TIOCxy 出力を変化させ、CPU にコンペアマッチ割り込み要求、および DMA に起動要求を出力します。このとき、タイマステータスレジスタ Cx (TSRCx) の IMFCxy ビットが 1 にセットされます。TIOCxy 出力の初期値 (リセット後、およびアウトプットコンペアモード切り替え後) は 0、それ以降は直前のコンペアマッチ出力値を維持し続けます。

ワンショットパルス出力用のアウトプットコンペアレジスタとして使用しているときは、GRCxy へのライトにより、ワンショットパルスの出力動作が開始します。GRCxy へのライトよりも前に OCRCxy の設定を行ってください。

ワンショットパルスの出力動作中は、OCRCxy のコンペア一致検出後 (もしくは GRCxy = OCRCxy の場合) に GRCxy の値とタイマカウンタ Cx (TCNTCx) の値を比較します。

GRCxy のコンペア一致によりワンショットパルスがインアクティブとなります (OCRCxy のコンペア一致によりワンショットパルスがアクティブとなります)。また、タイマステータスレジスタ Cx (TSRCx) の IMFCxy ビットが 1 にセットされます。

一度ワンショットパルスが出力されると、GRCxy に再度値が設定されるまでワンショットパルスは出力されません。また、タイマステータスレジスタ Cx (TSRCx) の IMFCxy ビットも変化しません。

コンペアマッチ用もしくはワンショットパルス用のアウトプットコンペアレジスタとして使用する際、カウンタ上限値設定機能（「**21.6.3.5 カウンタ上限値設定機能**」参照）を使用し、カウントクロックとしてクロックバス 5 または 6、もしくは分周比が 1/1 のプリスケータを選択する場合、タイマカウンタ値は 1 ~ CUCRCx 値の間でカウントしカウンタ値が 0000 0000_H とならないことがあるため、本レジスタには 0000 0000_H を設定しないでください。

GRCxy はリセット時に FFFF FFFF_H に初期化されます。

21.6.2.9 NCNTCxy — ノイズキャンセルカウンタ Cxy

(x = 0, 1, 2, 3, 4, 5 : サブブロック C0 ~ C5 に対応、y = 0, 1, 2, 3 : チャンネル 0 ~ 3 に対応)

アクセス 16 ビットアクセス可能 8 ビットアクセス禁止

アドレス FFE6 0670_H + (80_H * x) (NCNTCx0)
 FFE6 0674_H + (80_H * x) (NCNTCx1)
 FFE6 0678_H + (80_H * x) (NCNTCx2)
 FFE6 067C_H + (80_H * x) (NCNTCx3)

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|---------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | NCNTCxy | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.74 NCNTCxy レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------|---------------------------------|
| 15 ~ 0 | NCNTCxy | ノイズキャンセルカウンタ Cxy 16 ビットカウント値 |

ノイズキャンセルカウンタ Cxy (NCNTCx0 ~ x3) は 16 ビットの読み出し、書き込み可能なレジスタです。タイマ I/O コントロールレジスタ Cx (TIORCx) のノイズキャンセルイネーブルビット (NCECx0 ~ x3) でノイズキャンセラ機能を有効にしたとき、後続エッジキャンセルモードおよび先行エッジキャンセルモードでは外部入出力端子 (TIOCx0 ~ TIOCx3) からの入力信号をトリガとしてアップカウント動作を開始します。レベル積算キャンセルモードでは外部入力レベルにしたがいアップ/ダウンカウントを行います。動作開始後のカウントアップ、カウントダウンはプリスケアラから供給されるノイズキャンセラ用カウントクロックまたはクロックバス 5 に同期して行われます。

NCNTCxy は ATU-IV マスタイネーブルレジスタ (ATUENR) のタイマ C イネーブルビット (TCE)、TSTRC の設定にかかわらず (TCNTCx の動作状態にかかわらず) カウント動作を行います。

共通制御部にあるノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードセレクトビット (NCMSEL)、タイマ C ノイズキャンセルモードビット (NCMC) の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行います。

- 後続エッジキャンセルモード

NCECxy ビットが “1” であり NCNTCxy がカウント停止しているとき、TIOCxxy の入力信号レベルが変化すると、NCNTCxy はアップカウント動作を開始します。カウント値がノイズキャンセルレジスタ Cxy (NCRCCxy) と一致すると、次の PCLK に同期してカウント値を 0000_H にクリアしてカウント動作を停止します。

NCNTCxy は、ATU-IV マスタイネーブルレジスタ (ATUENR) の TCE ビットの設定にかかわらずカウント動作を行います。

カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力されエッジ検出の対象となりますが、以降カウント値が NCRCCxy と一致するまでの間、すべての入力レベルの変化がマスクされるためノイズキャンセル後の信号は変化しません。カウント値が NCRCCxy と一致した次の PCLK から、そのときの入力信号レベルをノイズキャンセル後の信号として出力します。

カウント動作中に NCECxy ビットがクリアされても、カウント値が NCRCCxy と一致す

るまでの間はカウント動作を継続します。その間も入力信号はマスクされつづけます。

- 先行エッジキャンセルモード

NCECxy ビットが“1”であり NCNTCxy がカウント停止しているとき、TIOCxy の入力信号レベルが変化すると、NCNTCxy はアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、あるいはカウント値がノイズキャンセルレジスタ Cxy (NCRCxy) と一致した場合には、次の PCLK に同期してカウント値を 0000_H にクリアしカウント動作を停止します。

NCNTCxy は、ATU-IV マスタイネーブルレジスタ (ATUENR) の TCE ビットの設定にかかわらずカウント動作を行います。

ノイズキャンセル後の信号は、カウント値が NCRCxy と一致したときのみ、カウント開始時のレベル変化にあわせて変化します。NCRCxy と一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。

カウント動作中に NCECxy ビットがクリアされても、コンペアマッチあるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

- レベル積算キャンセルモード

NCECxy ビットが“1”であるとき、NCNTCxy は入力信号レベルによってアップカウントまたはダウンカウント動作を行います。入力レベルがハイのときアップカウントを行い、カウント値がノイズキャンセルレジスタ Cxy (NCRCxy) と一致すると、次の PCLK に同期してアップカウント動作を停止します。入力レベルがローのときダウンカウントを行い、カウント値が 0000_H と一致すると、次の PCLK に同期してダウンカウント動作を停止します。

NCNTCxy は、ATU-IV マスタイネーブルレジスタ (ATUENR) の TCE ビットの設定にかかわらずカウント動作を行います。

アップカウントで NCRCxy の値にコンペアマッチするとノイズキャンセラ出力を 1 に更新します。逆に、ダウンカウントで 0000_H にコンペアマッチするとノイズキャンセラ出力を 0 に更新します。

カウント動作中に NCECxy ビットがクリアされるとノイズキャンセルカウンタは動作を停止し、ノイズキャンセラ出力からそのときの入力信号レベルに値が切り替わります。そのためレベル積算キャンセルモードで NCECxy ビットをクリアする場合には、この切り替わりでエッジ検出が行われる可能性があることに注意が必要です。

NCNTCxy はリセット時に 0000_H に初期化されます。

21.6.2.10 NCRCxy — ノイズキャンセルレジスタ Cxy

(x = 0, 1, 2, 3, 4, 5 : サブブロック C0 ~ C5 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 16 ビットアクセス可能 8 ビットアクセス禁止

アドレス FFE6 0672_H + (80_H * x) (NCRCx0)
 FFE6 0676_H + (80_H * x) (NCRCx1)
 FFE6 067A_H + (80_H * x) (NCRCx2)
 FFE6 067E_H + (80_H * x) (NCRCx3)

リセット後の値 0000H

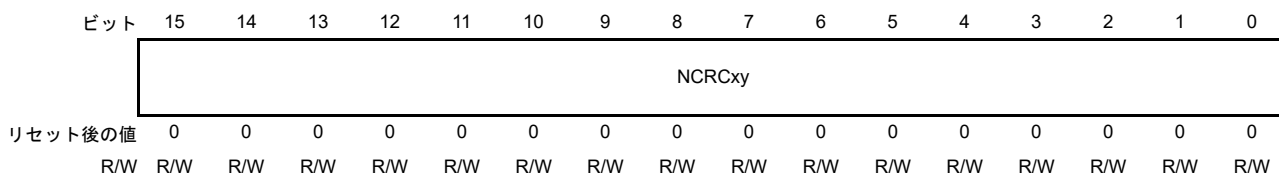


表 21.75 NCRCxy レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------|--|
| 15 ~ 0 | NCRCxy | ノイズキャンセルタイム Cxy TIOCxy ノイズキャンセル期間 (16 ビットコンペア値) |

ノイズキャンセルレジスタ Cxy (NCRCx0 ~ Cx3) は 16 ビットの読み出し、書き込み可能なレジスタです。ノイズキャンセルカウンタ Cxy (NCNTCx0 ~ Cx3) の上限値を設定します。

PCLK の 128 分周をノイズキャンセルクロックに選択している場合、FFFF_H 設定で、最大 0.21sec (PCLK = 40MHz 時) のノイズをキャンセルすることができます。

共通制御部にあるノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードセレクトビット (NCMSEL)、タイマ C ノイズキャンセルモードビット (NCMC) の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行います。

(1) 後続エッジキャンセルモード

NCNTCxxy のカウント動作中、後続する入力信号のレベル変化がマスクされます。NCNTCxxy と NCRCxy の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTCxxy のカウント値をクリアし、カウント動作を停止させて入力信号のマスク解除を行います。

(2) 先行エッジキャンセルモード

NCNTCxxy のカウント動作中は、ノイズキャンセラの処理待ち状態となります。NCNTCxxy と NCRCxy の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTCxxy のカウント値をクリアし、カウント動作を停止させると同時に、ノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。

(3) レベル積算キャンセルモード

NCNTCxxy がアップカウント動作中は、NCNTCxxy と NCRCxy の値の比較が行われており、コンペアマッチが発生すると次の PCLK に同期して NCNTCxxy のアップカウント動作を停止させます。NCNTCxxy がダウンカウント動作中は、NCNTCxxy は 0000_H との比較が行われません。

NCRCx0 ~ Cx3 は 8 ビット単位でのみ読み出し/書き込みが可能です。

NCRCx0 ~ Cx3 はリセット時に 0000_H に初期化されます。

21.6.2.11 OCRCxy — アウトプットコンペアレジスタ Cxy

(x = 0, 1, 2, 3, 4, 5 : サブブロック C0 ~ C5 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 32ビットアクセス可能 8ビットアクセス/16ビットアクセス禁止

アドレス FFE6 0650_H + (80_H * x) + (4_H * y)

リセット後の値 FFFF FFFF_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|---------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | OCRCxy[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OCRCxy[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

アウトプットコンペアレジスタ Cxy (OCRCxy) は 32 ビットの読み出し/書き込み可能なレジスタで、アウトプットコンペアレジスタの機能を持っています。ワンショットパルスモード以外では単独のコンペアレジスタとして動作します。

OCRCxy の値とタイマカウンタ Cx (TCNTCx) の値は常に比較されています。両者の値が一致すると、CPU にコンペアマッチ割込み要求、および DMA に起動要求を出力します。このとき、タイマステータスレジスタ Cx (TSRCx) の OCMFCxy ビットが 1 にセットされます。

ワンショットパルス出力用のアウトプットコンペアレジスタとして使用しているときは、GRCxy へのライトにより、ワンショットパルスの出力動作が開始します。GRCxy へのライトよりも前に OCRCxy の設定を行なってください。

ワンショットパルスの出力動作が開始されると、OCRCxy はタイマカウンタ Cx (TCNTCx) の値と比較します。

OCRCxy のコンペア一致によりワンショットパルスがアクティブとなります (GRCxy のコンペア一致によりワンショットパルスがインアクティブとなります)。また、タイマステータスレジスタ Cx (TSRCx) の OCMFCxy ビットが 1 にセットされます。

一度ワンショットパルスが出力されると、GRCxy に再度値が設定されるまでワンショットパルスは出力されません。また、タイマステータスレジスタ Cx (TSRCx) の OCMFCxy ビットも変化しません。

コンペアマッチ用もしくはワンショットパルス用のアウトプットコンペアレジスタとして使用する際、カウンタ上限値設定機能 (「21.6.3.5 カウンタ上限値設定機能」参照) を使用し、カウントクロックとしてクロックバス 5 または 6、もしくは分周比が 1/1 のプリスケラを選択する場合、タイマカウンタ値は 1 ~ CUCRCx 値の間でカウントしカウンタ値が 0000 0000_H とならないことがあるため、本レジスタには 0000 0000_H を設定しないでください。

OCRCxy はリセット時に FFFF FFFF_H に初期化されます。

21.6.2.12 TIERCx — タイマインタラプトイネーブルレジスタ Cx

(x = 0, 1, 2, 3, 4, 5 : サブブロック C0 ~ C5 に対応)

アクセス 8ビットアクセス/16ビットアクセス対応

アドレス FFE6 0634_H (TIERC0)
 FFE6 06B4_H (TIERC1)
 FFE6 0734_H (TIERC2)
 FFE6 07B4_H (TIERC3)
 FFE6 0834_H (TIERC4)
 FFE6 08B4_H (TIERC5)

リセット後の値 000F_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|-------------|-------------|-------------|-------------|---|---|---|---|------------|------------|------------|------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | OCRCE x3 | OCRCE x2 | OCRCE x1 | OCRCE x0 | — | — | — | — | GRCEX 3 | GRCEX 2 | GRCEX 1 | GRCEX 0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 21.76 TIERCx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|--|
| 15 ~ 12 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。 |
| 11 ~ 8 | OCRCEx[3:0] | OCRC インタラプトイネーブル xy OCRCxy レジスタによるコンペア動作による割り込み要求 0 : OCRCxy レジスタによるコンペア動作による割り込み要求の禁止 1 : OCRCxy レジスタによるコンペア動作による割り込み要求の許可 |
| 7 ~ 4 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。 |
| 3 ~ 0 | GRCEX[3:0] | GRC インタラプトイネーブル xy 0 : GRCxy レジスタによるコンペア、キャプチャ動作による割り込み要求の禁止 1 : GRCxy レジスタによるコンペア、キャプチャ動作による割り込み要求の許可 |

タイマインタラプトイネーブルレジスタ Cx (TIERCx) は 16 ビットの読み出し/書き込み可能なレジスタです。本レジスタによりサブブロック C0 ~ C5 のコンペア動作による割り込み要求の設定を行います。

(1) OCRCExy — コンペア動作による割り込み要求 Cxy

アウトプットコンペアレジスタ Cxy (OCRCxy) レジスタによるコンペアマッチによって割り込みを発生させます。

(2) GRCExy — コンペア、キャプチャ動作による割り込み要求 Cxy

汎用レジスタ GRCxy レジスタによるコンペアマッチ動作、あるいはキャプチャ動作によって割り込みを発生させます。

21.6.2.13 CUCRCx — カウンタ上限値設定コンペアレジスタ Cx

(x = 0, 1, 2, 3, 4, 5 : サブブロック C0 ~ C5 に対応)

アクセス 32ビットアクセス可能 8ビットアクセス/16ビットアクセス禁止

アドレス FFE6 063C_H (CUCRC0)
 FFE6 06BC_H (CUCRC1)
 FFE6 073C_H (CUCRC2)
 FFE6 07BC_H (CUCRC3)
 FFE6 083C_H (CUCRC4)
 FFE6 08BC_H (CUCRC5)

リセット後の値 FFFF FFFF_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|---------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | CUCRCx[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CUCRCx[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

カウンタ上限値設定コンペアレジスタ Cx (CUCRCx) は 32 ビットの読み出し/書き込み可能なレジスタで、タイマカウンタ Cx (TCNTCx) に対するコンペアレジスタの機能を持っています。本レジスタは、タイマコントロールレジスタ Cx (TCRCx) の TCNTCx クリア設定ビット Cx (CLRCx) を“1”に設定することで、タイマカウンタ Cx (TCNTCx) とのコンペアマッチが許可されます。タイマカウンタ Cx (TCNTCx) とカウンタ上限値設定コンペアレジスタ Cx (CUCRCx) のコンペアマッチにより、タイマカウンタ Cx (TCNTCx) を 0000 0000_H にクリアします。このコンペアマッチがタイマカウンタ Cx (TCNTCx) のカウントアップと同時に発生した場合、タイマカウンタ Cx (TCNTCx) を 0000 0001_H にクリアします。

タイマカウンタ Cx (TCNTCx) とカウンタ上限値設定コンペアレジスタ Cx (CUCRCx) のコンペアマッチにより、タイマステータスレジスタ Cx (TSRCx) の OVFCx ビットを 1 にセットし、オーバフロー割り込みを出力します。

CUCRCx には 0000 0000_H を設定しないでください。0000 0000_H を設定した場合、不正な周期でコンペアマッチが発生することになりますのでご注意ください。

備考

上限値設定機能 (CLRCx = 1) は、PWM モード以外 (PWMx0 = 0) のときに設定することができます。

21.6.2.14 NCMCR1C — ノイズキャンセルモードチャンネルレジスタ 1C

アクセス 8ビットアクセス可能

アドレス FFE6 0610_Hリセット後の値 00_H

| | | | | | | | | |
|---------|---|---|--------|--------|--------|--------|--------|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | NCM1C5 | NCM1C4 | NCM1C3 | NCM1C2 | NCM1C1 | NCM1C0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.77 NCMCR1C レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|--|
| 7、6 | — | 何も配置されていません。“0”に固定してください。 |
| 5 | NCM1C5 | サブブロック 5 ノイズキャンセルモードビット サブブロック 5 のノイズキャンセラの動作モードを指定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード (NCMC = 0 & NCM2C5 = 0 時) 1: レベル積算キャンセルモード (NCMC = 0 & NCM2C5 = 1 時) |
| 4 | NCM1C4 | サブブロック 4 ノイズキャンセルモードビット サブブロック 4 のノイズキャンセラの動作モードを指定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード (NCMC = 0 & NCM2C4 = 0 時) 1: レベル積算キャンセルモード (NCMC = 0 & NCM2C4 = 1 時) |
| 3 | NCM1C3 | サブブロック 3 ノイズキャンセルモードビット サブブロック 3 のノイズキャンセラの動作モードを指定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード (NCMC = 0 & NCM2C3 = 0 時) 1: レベル積算キャンセルモード (NCMC = 0 & NCM2C3 = 1 時) |
| 2 | NCM1C2 | サブブロック 2 ノイズキャンセルモードビット サブブロック 2 のノイズキャンセラの動作モードを指定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード (NCMC = 0 & NCM2C2 = 0 時) 1: レベル積算キャンセルモード (NCMC = 0 & NCM2C2 = 1 時) |
| 1 | NCM1C1 | サブブロック 1 ノイズキャンセルモードビット サブブロック 1 のノイズキャンセラの動作モードを指定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード (NCMC = 0 & NCM2C1 = 0 時) 1: レベル積算キャンセルモード (NCMC = 0 & NCM2C1 = 1 時) |
| 0 | NCM1C0 | サブブロック 0 ノイズキャンセルモードビット サブブロック 0 のノイズキャンセラの動作モードを指定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード (NCMC = 0 & NCM2C0 = 0 時) 1: レベル積算キャンセルモード (NCMC = 0 & NCM2C0 = 1 時) |

ノイズキャンセルモードチャンネルレジスタ 1C は、8 ビットの読み出し/書き込み可能なレジスタであり、各チャンネル単位にあるノイズキャンセラの動作モードを選択します。

後続エッジキャンセルモードは、入力信号のレベル変化を検出したあと、指定期間内の入力信号のレベル変化を無視します。最初のレベル変化以降、指定期間内の信号レベルの変化をノイズとみなすモードです。

レベル積算キャンセルモードは、入力信号のレベルを積算し、積算結果が 0 または指定値になってはじめて入力レベルが 0 または 1 に達したとみなすモードです。

それぞれ期間の指定は、各チャンネルのノイズキャンセルレジスタで行い、ノイズキャンセルカウンタが時間を計測します。

図 21.1 に後続エッジキャンセルモード、図 21.2 に、先行エッジキャンセルモード、また、図 21.3 にレベル積算キャンセルモードでのノイズキャンセル動作（タイマ A の TIA00 入力の例）の概略図を示します。

各チャンネルでは、ノイズキャンセラ通過後の信号に対してエッジ検出を行います。図 21.1、図 21.2、図 21.3 は、それぞれノイズキャンセラ通過後の信号に対して、立ち上がりエッジ検出を行う場合の例を示しています。

(1) NCM1C5 — サブブロック 5 ノイズキャンセルモードビット

サブブロック 5 のノイズキャンセラの動作モードを設定します。

(2) NCM1C4 — サブブロック 4 ノイズキャンセルモードビット

サブブロック 4 のノイズキャンセラの動作モードを設定します。

(3) NCM1C3 — サブブロック 3 ノイズキャンセルモードビット

サブブロック 3 のノイズキャンセラの動作モードを設定します。

(4) NCM1C2 — サブブロック 2 ノイズキャンセルモードビット

サブブロック 2 のノイズキャンセラの動作モードを設定します。

(5) NCM1C1 — サブブロック 1 ノイズキャンセルモードビット

サブブロック 1 のノイズキャンセラの動作モードを設定します。

(6) NCM1C0 — サブブロック 0 ノイズキャンセルモードビット

サブブロック 0 のノイズキャンセラの動作モードを設定します。

注 意

1. 本レジスタは、共通制御部のノイズキャンセルモードレジスタ (NCMR) の NCMC ビットが“0”の場合にのみ設定が有効となります。さらに、本レジスタのチャンネル対応ビット (NCM1Cx) に“1”を設定した場合のモード状態は、ノイズキャンセルモードチャンネルレジスタ 2C (NCMCR2C) の対応する同一チャンネルビットの状態により、後続エッジキャンセルモード/先行エッジキャンセルモードに設定することが可能です。
2. x は、0 ~ 5

表 21.78 に、ノイズキャンセルモードを設定する場合の真理値表を示します。

表 21.78 タイマ C に関するノイズキャンセルモード対応表

| チャンネル イネーブル | フィルタモード | | チャンネルレジスタ | | 動作モード | フィルタ単位 |
|----------------|-----------------|---------------|-----------------|--------------------|--------|--------------------|
| | NCCRCx NCECx | NCMR. NCMC | NCMR. NCMSEL | NCMCR1C. NCM1Cx | | |
| 0 | — | — | — | — | フィルタ無効 | — |
| 1 | 0 | (—) | 0 | (—) | 後続エッジ | 各サブブロック ／各チャンネル |
| 1 | 0 | (—) | 1 | 0 | 先行エッジ | 各チャンネル |
| 1 | 0 | (—) | 1 | 1 | レベル積算 | 各チャンネル |
| 1 | 1 | (0) | — | - | 先行エッジ | 各サブブロック |
| 1 | 1 | 1 | — | - | レベル積算 | 各サブブロック |

備考 1. xは、0～5

備考 2. イネーブルビット (NCECx) は、各チャンネル単位で設定可能。

タイマ C のフィルタ単位を各チャンネルとする場合の設定方法 (前提条件：チャンネルイネーブル = “1”)

- 各チャンネル設定
ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMC) を “0” に設定し、さらに、タイマ C のノイズキャンセルモードチャンネルレジスタ 1C (NCMCR1C) のノイズキャンセルモードチャンネル設定ビット (NCM1Cx) 中に 1 ビットでも “1” が設定された場合。
- 全チャンネル設定
上記「各チャンネル設定」の説明の中で、ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMC) を “1” の場合。
または、上記「各チャンネル設定」の説明の中で、ノイズキャンセルモードチャンネルレジスタ 1C (NCMCR1C) のノイズキャンセルモードチャンネル設定ビット (NCM1Cx) にすべて “0” が設定されている場合。

21.6.2.15 NCMCR2C — ノイズキャンセルモードチャンネルレジスタ 2C

アクセス 8ビットアクセス可能

アドレス FFE6 0612_Hリセット後の値 00_H

| | | | | | | | | |
|---------|---|---|--------|--------|--------|--------|--------|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | NCM2C5 | NCM2C4 | NCM2C3 | NCM2C2 | NCM2C1 | NCM2C0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.79 NCMCR2C レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|--|
| 7、6 | — | 何も配置されていません。“0”に固定してください。 |
| 5 | NCM2C5 | サブブロック 5 ノイズキャンセルモードビット サブブロック 5 のノイズキャンセラの動作モードを指定します。 0：先行エッジキャンセルモード (NCMC = 0 & NCM1C5 = 1 時) 1：レベル積算キャンセルモード (NCMC = 0 & NCM1C5 = 1 時) |
| 4 | NCM2C4 | サブブロック 4 ノイズキャンセルモードビット サブブロック 4 のノイズキャンセラの動作モードを指定します。 0：先行エッジキャンセルモード (NCMC = 0 & NCM1C4 = 1 時) 1：レベル積算キャンセルモード (NCMC = 0 & NCM1C4 = 1 時) |
| 3 | NCM2C3 | サブブロック 3 ノイズキャンセルモードビット サブブロック 3 のノイズキャンセラの動作モードを指定します。 0：先行エッジキャンセルモード (NCMC = 0 & NCM1C3 = 1 時) 1：レベル積算キャンセルモード (NCMC = 0 & NCM1C3 = 1 時) |
| 2 | NCM2C2 | サブブロック 2 ノイズキャンセルモードビット サブブロック 2 のノイズキャンセラの動作モードを指定します。 0：先行エッジキャンセルモード (NCMC = 0 & NCM1C2 = 1 時) 1：レベル積算キャンセルモード (NCMC = 0 & NCM1C2 = 1 時) |
| 1 | NCM2C1 | サブブロック 1 ノイズキャンセルモードビット サブブロック 1 のノイズキャンセラの動作モードを指定します。 0：先行エッジキャンセルモード (NCMC = 0 & NCM1C1 = 1 時) 1：レベル積算キャンセルモード (NCMC = 0 & NCM1C1 = 1 時) |
| 0 | NCM2C0 | サブブロック 0 ノイズキャンセルモードビット サブブロック 0 のノイズキャンセラの動作モードを指定します。 0：先行エッジキャンセルモード (NCMC = 0 & NCM1C0 = 1 時) 1：レベル積算キャンセルモード (NCMC = 0 & NCM1C0 = 1 時) |

ノイズキャンセルモードチャンネルレジスタ 2C は、8 ビットの読み出し/書き込み可能なレジスタであり、各チャンネル単位にあるノイズキャンセラの動作モードを選択します。

レベル積算キャンセルモードは、入力信号のレベルを積算し、積算結果が 0 または指定値になってはじめて入力レベルが 0 または 1 に達したとみなすモードです。

それぞれ期間の指定は、各チャンネルのノイズキャンセルレジスタで行い、ノイズキャンセルカウンタが時間を計測します。

図 21.1 に後続エッジキャンセルモード、また、図 21.3 にレベル積算キャンセルモードでのノイズキャンセル動作（タイマ A の TIA00 入力の例）の概略図を示します。

各チャンネルでは、ノイズキャンセラ通過後の信号に対してエッジ検出を行います。図 21.1、図 21.3 は、それぞれノイズキャンセラ通過後の信号に対して、立ち上がりエッジ検出を行う場合の例を示しています。

(1) NCM2C5 — サブブロック 5 ノイズキャンセルモードビット 2

サブブロック 5 のノイズキャンセラの動作モードを設定します。

(2) NCM2C4 — サブブロック 4 ノイズキャンセルモードビット 2

サブブロック 4 のノイズキャンセラの動作モードを設定します。

(3) NCM2C3 — サブブロック 3 ノイズキャンセルモードビット 2

サブブロック 3 のノイズキャンセラの動作モードを設定します。

(4) NCM2C2 — サブブロック 2 ノイズキャンセルモードビット 2

サブブロック 2 のノイズキャンセラの動作モードを設定します。

(5) NCM2C1 — サブブロック 1 ノイズキャンセルモードビット 2

サブブロック 1 のノイズキャンセラの動作モードを設定します。

(6) NCM2C0 — サブブロック 0 ノイズキャンセルモードビット 2

サブブロック 0 のノイズキャンセラの動作モードを設定します。

注 意

1. 本レジスタは、共通制御部のノイズキャンセルモードレジスタ (NCMR) の NCMC ビットが“0”の場合かつ、タイマ C のノイズキャンセルモードチャンネルレジスタ 1C (NCMCR1C) の対応する同一チャンネルビット (NCM1Cx) が“1”の場合のみ有効になります。
2. x は、0 ~ 5

表 21.80 に、ノイズキャンセルモードを設定する場合の真理値表を示します。

表 21.80 タイマ C に関するノイズキャンセルモード対応表

| チャンネル イネーブル | フィルタモード | | チャンネルレジスタ | | 動作モード | フィルタ単位 |
|----------------|------------------|---------------|-----------------|--------------------|--------|--------------------|
| | NCCRCx. NCECx | NCMR. NCMC | NCMR. NCMSEL | NCMCR1C. NCM1Cx | | |
| 0 | — | — | — | — | フィルタ無効 | — |
| 1 | 0 | (—) | 0 | (—) | 後続エッジ | 各サブブロック ／各チャンネル |
| 1 | 0 | (—) | 1 | 0 | 先行エッジ | 各チャンネル |
| 1 | 0 | (—) | 1 | 1 | レベル積算 | 各チャンネル |
| 1 | 1 | (0) | — | — | 先行エッジ | 各サブブロック |
| 1 | 1 | 1 | — | — | レベル積算 | 各サブブロック |

備考 1. xは、0～5

備考 2. イネーブルビット (NCECx) は、各チャンネル単位で設定可能。

タイマ C のフィルタ単位を各チャンネルとする場合の設定方法 (前提条件：チャンネルイネーブル = “1”)

- 各チャンネル設定
ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMC) を “0” に設定し、さらに、タイマ C のノイズキャンセルモードチャンネルレジスタ 1C (NCMCR1C) のノイズキャンセルモードチャンネル設定ビット (NCM1Cx*) 中に 1 ビットでも “1” が設定された場合。
- 全チャンネル設定
上記「各チャンネル設定」の説明の中で、ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMC) を “1” の場合。
または、上記「各チャンネル設定」の説明の中で、ノイズキャンセルモードチャンネルレジスタ 1C (NCMCR1C) のノイズキャンセルモードチャンネル設定ビット (NCM1Cx) にすべて “0” が設定されている場合。

21.6.3 動作説明

21.6.3.1 インพุットキャプチャ機能 (インพุットキャプチャモード)

タイマ C のタイマ汎用レジスタ C_{xy} (GRC $_{xy}$) はタイマ I/O コントロールレジスタ C_x (TIORC $_x$) にインพุットキャプチャ動作を設定することにより、対応する外部端子 (TIOC $_{xy}$) からのエッジ入力、およびタイマ A からのイベント出力 (イベント 1、2A、2B) が入力されるとインพุットキャプチャ動作を行います。

タイマスタートレジスタ C (TSTRC) への設定により、タイマカウンタ C_x (TCNTC $_x$) がカウントアップを開始します。GRC $_{xy}$ の対応する外部端子のエッジが入力されるか、タイマ A からのイベント出力が入力されると、対応するタイマステータスレジスタ C_x (TSRC $_x$) のビット (IMFC $_{xy}$) がセットされ、カウンタ値が GRC $_{xy}$ に転送されます。TIOC $_{xy}$ の変化エッジを取り込んでから内部動作クロック (PCLK) の 2 サイクル後に割り込み出力が変化します。インพุットキャプチャフラグ (TSRC $_x$ レジスタの IMFC $_{xy}$ ビット) のクリア方法は、タイマステータスクリアレジスタ C_x (TSCRC $_x$) の対応するクリアビットに 1 を書き込むことによりクリアされます。

入力されるエッジは、TIORC $_x$ レジスタの IOC ビットにより、立ち上がり／立ち下がり／両エッジから選択できます。

また、インพุットキャプチャのタイミングで、CPU へ割り込み要求の出力が可能です。DMA 転送を起動することも可能です。

アウトプットコンペアレジスタ C_{xy} (OCRC $_{xy}$) はタイマカウンタ C_x (TCNTC $_x$) と比較されます。OCRC $_{xy}$ の値と TCNTC $_x$ とが一致すると OCRC $_{xy}$ に対応するタイマステータスレジスタ C_x (TSRC $_x$) のビット (OCMFC $_{xy}$) をセットします。

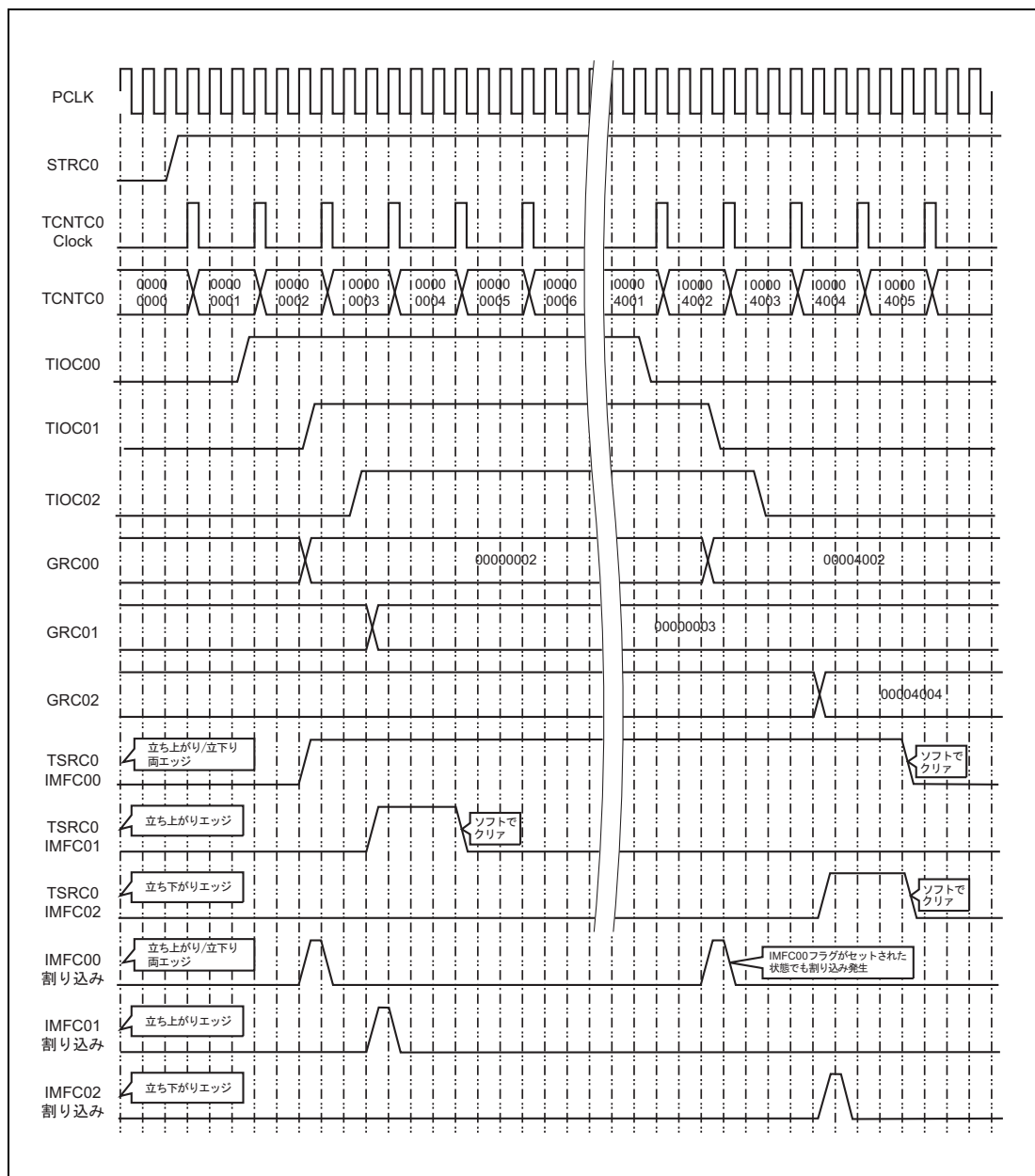


図 21.32 インพุットキャプチャ動作

図 21.32 にブロック C0 でのインพุットキャプチャ動作例を示します。TIOC00 は両エッジ、TIOC01 は立ち上がり、TIOC02 は立ち下がりエッジで波形を取り込んでいます。

インพุットキャプチャ動作は TCNTCx が停止状態 (ATUENR レジスタの TCE ビットが 0、もしくは TSTRC レジスタの STRCx ビットが 0) でも実施され、停止状態のカウンタ値が GRCxy にキャプチャされます。

21.6.3.2 コンペアマッチ機能 (コンペアマッチモード)

タイマCのタイマ汎用レジスタ C_{xy} (GRC $_{xy}$) はタイマ I/O コントロールレジスタ C_x (TIORC $_x$) にコンペアマッチ動作を設定することにより、対応する外部端子 (TIOC $_{xy}$) からコンペアマッチ出力を行います。

タイマスタートレジスタ C (TSTRC) への設定により、タイマカウンタ C_x (TCNTC $_x$) がカウントアップを開始します。あらかじめ GRC $_{xy}$ に値を設定しておきます。GRC $_{xy}$ の値と TCNTC $_x$ とが一致すると GRC $_{xy}$ に対応するタイマステータスレジスタ C_x (TSRC $_x$) のビット (IMC $_{xy}$) をセットし、対応する外部端子 (TIOC $_{xy}$) から波形を出力します。

コンペアマッチフラグのセット、および TIOC $_{xy}$ への出力変化は、GRC $_{xy}$ と TCNTC $_x$ の値が一致した直後の内部動作クロック (PCLK) に同期して行います。コンペアマッチフラグ (TSRC $_x$ レジスタの IMFC $_{xy}$ ビット) のクリア方法は、タイマステータスクリアレジスタ C_x (TSCRC $_x$) の対応するクリアビットに 1 を書き込むことによりクリアされます。

出力 (TIOC $_{xy}$) は TIORC $_x$ の IOC ビットの設定により 1 出力 / 0 出力 / トグル出力から選択できます。

また、コンペアマッチ発生時に CPU へ割り込み要求の出力が可能です。DMA 転送を起動することも可能です。

アウトプットコンペアレジスタ C_{xy} (OCRC $_{xy}$) はタイマカウンタ C_x (TCNTC $_x$) と比較されます。OCRC $_{xy}$ の値と TCNTC $_x$ とが一致すると OCRC $_{xy}$ に対応するタイマステータスレジスタ C_x (TSRC $_x$) のビット (OCMFC $_{xy}$) をセットします。

図 21.33 にブロック C0 でのコンペアマッチ動作例を示します。GRC00 をトグル出力、GRC01 を 1 出力、GRC02 を 0 出力に設定し、外部出力させたときの例です。GRC0 $_y$ には 004004 が設定されており、TCNTC0 と一致したあと、次の PCLK で TIOC0 $_y$ の出力を変化させています。

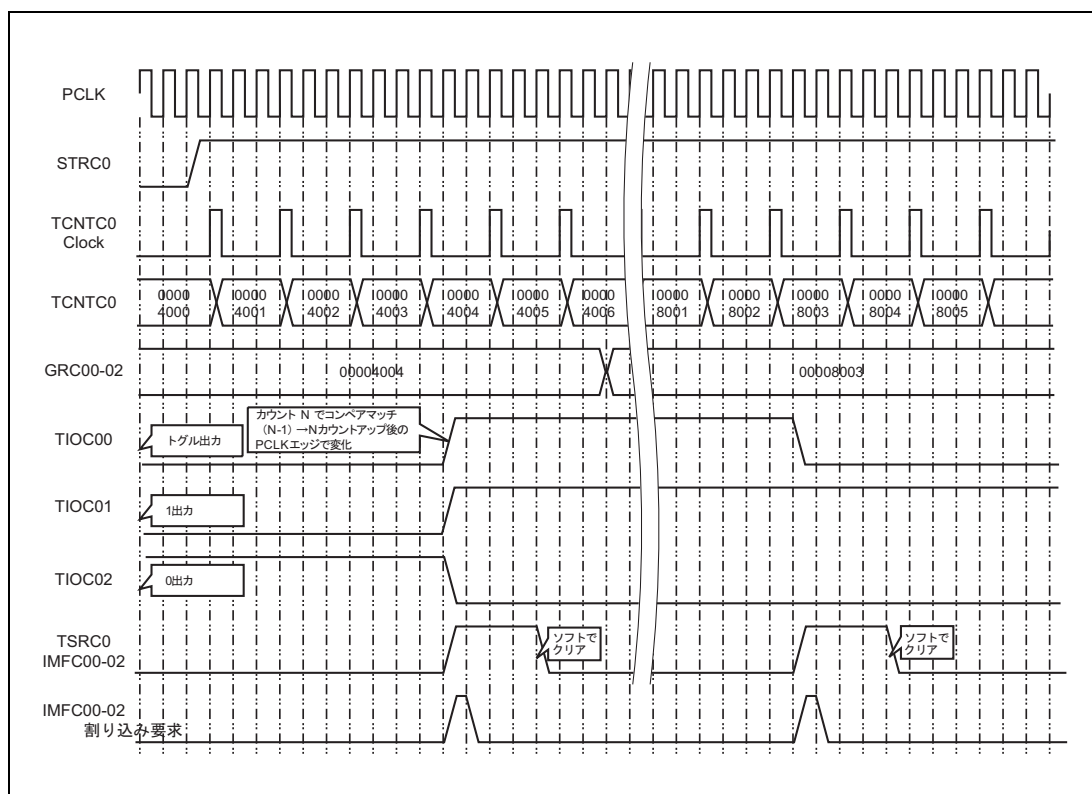


図 21.33 コンペアマッチ動作

タイマコントロールレジスタ Cx (TCRCx) の強制コンペアマッチビット (FCMFxy) を 1 にセットすると GRCxyy と TCNTCx の一致をまたずにコンペアマッチを発生させることができます。FCMFCxy ビットを 1 にセットした次の PCLK サイクルで TIOCxy 出力に反映されます。

コンペアマッチの検出は、

- TCNTCx と GRCxy が不一致から一致になったとき (ただし強制コンペアマッチは OFF 状態)
- 強制コンペアマッチビット (TCRCx レジスタの FCMCxy ビット) に “1” をセットしたとき
- GRCx0 のコンペアマッチによるカウンタクリアにより TCNTCx と GRCxy が一致したとき

のいずれかが起こったときに行われます。これらを検出した次の PCLK サイクルに、コンペアマッチステータスのセット、TIOCxy からのコンペアマッチ出力変化が実施されます。ただし、前もってコンペアマッチ許可設定 (TIORCx レジスタの IOCxy[2:0] ビットで設定) がされていることが条件です。TCNTCx と GRCxy を同一値に設定、もしくは強制コンペアマッチビットを “1” に設定したあとに、コンペアマッチ許可設定を行ってもコンペアマッチは検出されません。

また、コンペアマッチ検出はカウンタの動作/停止に依存しません。カウンタ停止状態であっても、上記の条件が満たされればコンペアマッチを発生します。

コンペアマッチが発生した状態で GRCxy 値、TCNTCx 値が変化していない状態 (カウントアップ前、カウンタ停止状態等) で、ステータスクリアを行った場合には、新たにコンペアマッチを検出しません。

アウトプットコンペアレジスタ Cxy (OCRCxy) はタイマカウンタ Cx (TCNTCx) と比較されます。OCRCxy の値と TCNTCx とが一致すると OCRCxy に対応するタイムステータスレジスタ Cx (TSRCx) のビット (OCMFCxy) をセットします。

21.6.3.3 PWM 機能

タイマコントロールレジスタ Cx (TCRCx) の PWMx0 ビットに 1 を設定することにより、各サブブロックのチャンネル 1 ~ 3 を周期が同じ PWM タイマとして動作させることができます。PWM モードでは、GRCx0 が周期レジスタとして、GRCx1 ~ 3 がデューティレジスタとして使用します。デューティレジスタに使用する GRCx それぞれに対応する外部端子 (TIOCx1 ~ 3) を PWM 出力として使用できます。ただし、PWMx0 ビットの設定だけでなく、TIORCx の IOCxy ビットで GRCx0 ~ 3 をコンペアマッチに設定しておく必要があります。また、TIORCx の IOCxy[0] ビットで PWM 波形のアクティブ極性を設定することができます (IOCxy[0] = 0 : H アクティブ、1 : L アクティブ)。

図 21.34 に PWM 動作の設定手順を示します。

タイマスタートレジスタ C (TSTRC) への設定によりタイマカウンタ Cx (TCNTCx) を動作させ、TCNTCx が周期レジスタ (GRCx0) に達するとコンペアマッチを発生し、タイマステータスレジスタ Cx (TSRCx) の該当するビットをセットします。このとき PWM モードでは TCNTCx をクリアし、同時に外部端子 (TIOCx1 ~ x3) から IOCx0 の設定値を出力します (TIOCx0 端子出力も、IOCx0 ビットの設定にしがいます)。

TCNTCx がデューティレジスタ (GRCx1 ~ 3) に達すると、タイマステータスレジスタ Cx (TSRCx) の該当するビットがセットされ、IOCx1 ~ 3 ビットの設定値をそれぞれの外部端子 (TIOCx1 ~ x3) に出力します。

周期とデューティに同じ値を設定した場合、周期レジスタコンペアマッチによる IOCx0 設定値出力が優先されます。

図 21.35 にブロック C0 の PWM モード動作例を示します。

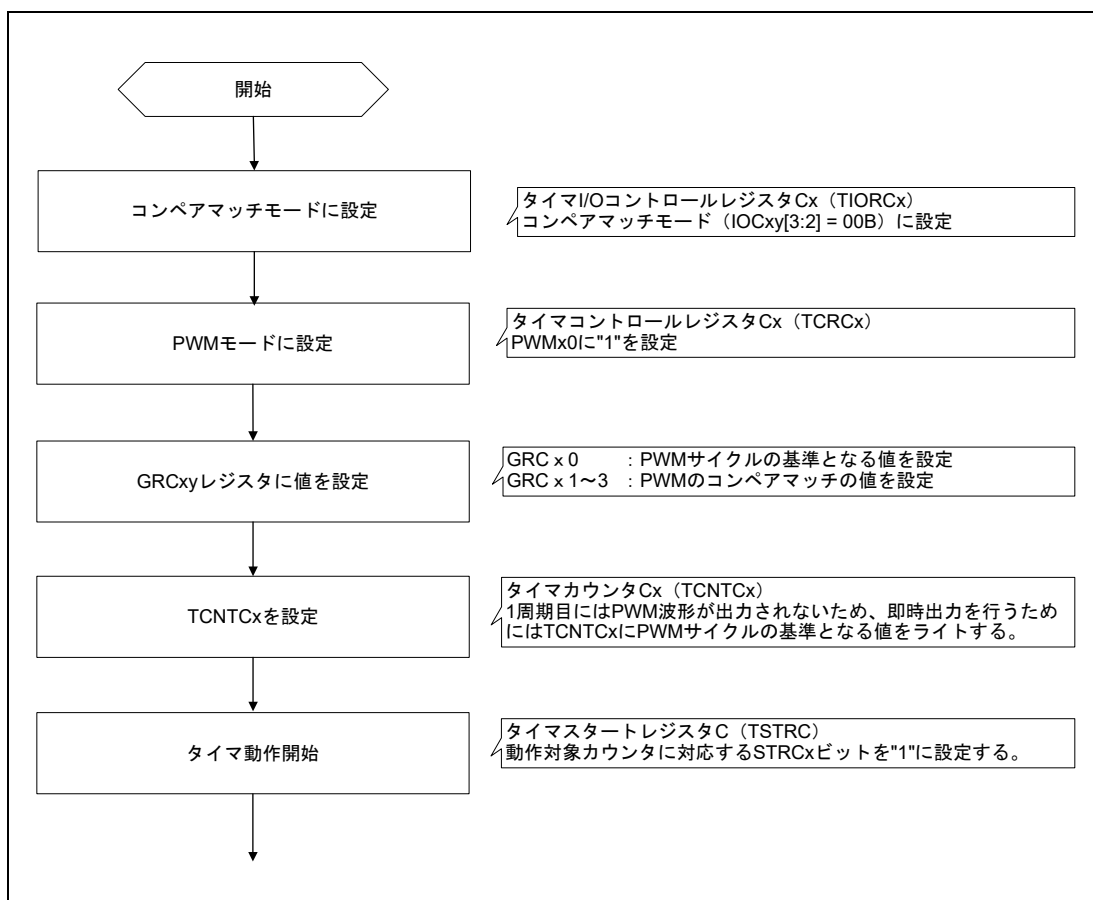


図 21.34 PWM 動作の設定手順

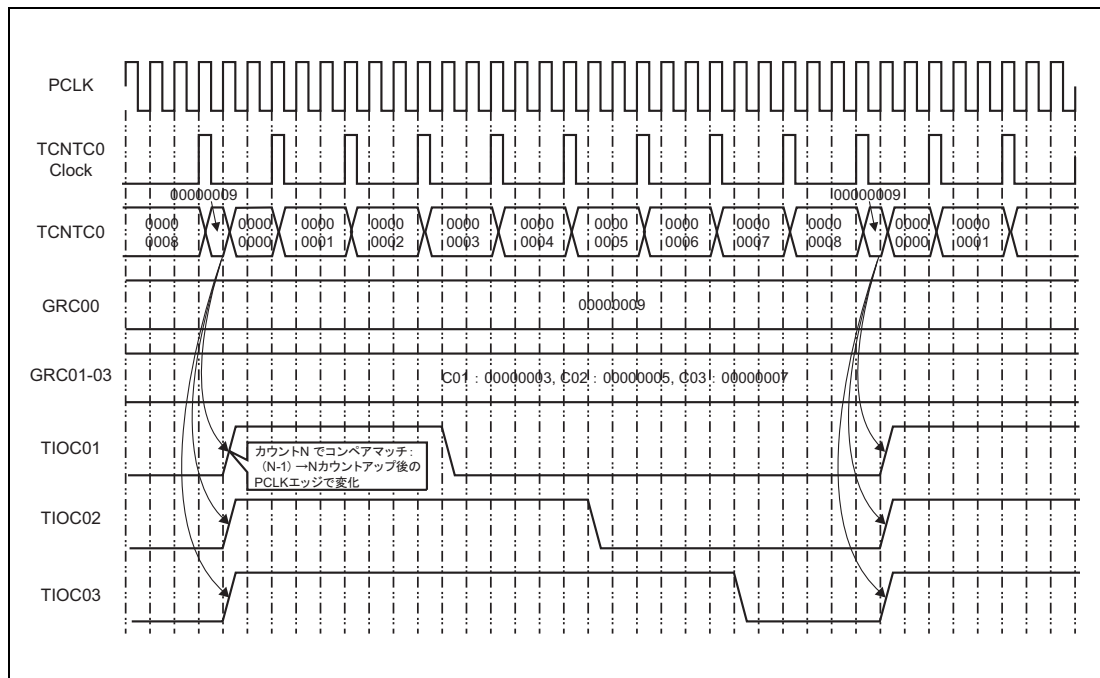


図 21.35 PWM モード動作

21.6.3.4 ワンショットパルス機能 (ワンショットパルスモード)

タイマコントロールレジスタ C_x (TCRC x) の PWM $x0$ ビットを 0_B に設定、かつ、タイマ I/O コントロールレジスタ C_x (TIORXC x) の IOC xy [3:2] ビットを 10_B に設定することにより、対応する外部端子 (TIOC xy) からワンショットパルス出力を行います。

タイマスタートレジスタ C (TSTRC) への設定により、タイマカウンタ C_x (TCNTC x) がカウントアップを開始します。

ワンショットパルスモードでは、GRC xy レジスタへのライトアクセスをトリガとして、ワンショットパルス出力します。

GRC xy レジスタへのライトアクセス後、タイマカウンタ C_x (TCNTC x) と OCRC xy レジスタとのコンペアマッチにより、コンペアマッチ割り込みを出力し、外部端子 (TIOC xy) をセット (アクティブレベル) し、タイマカウンタ C_x (TCNTC x) と GRC xy レジスタとのコンペアマッチにより、コンペアマッチ割り込みを出力し、外部端子 (TIOC xy) をリセット (インアクティブレベル) とします。GRC xy レジスタへのアクセスに対して、1 回のワンショットパルス出力を完了すると、次の GRC xy レジスタへのライトアクセス発生まで割り込みは発生せず、外部端子 (TIOC xy) はインアクティブレベルを保持します。

ワンショットパルスモード (IOC xy [3:2] = 10_B) を使用する場合、動作モード設定後、強制コンペアマッチ C_{xy} (FCMC xy) にて外部端子 (TIOC xy) の初期化を行ってからカウント動作を開始してください。

外部端子 (TIOC xy) を初期化 (インアクティブレベル) しないでワンショットパルスモードを動作させた場合、出力が不定になります。

GRC xy レジスタにライトしたあとにワンショットパルスをキャンセルしたい場合は、強制コンペアマッチ C_{xy} (FCMC xy) と強制アウトプットコンペアマッチ C_{xy} (FOCMC xy) を同時に "1" をライトすることで、ワンショットパルスモードをキャンセルすることができます。

図 21.36 に、ブロック C0 のワンショットパルスモード動作例を示します。

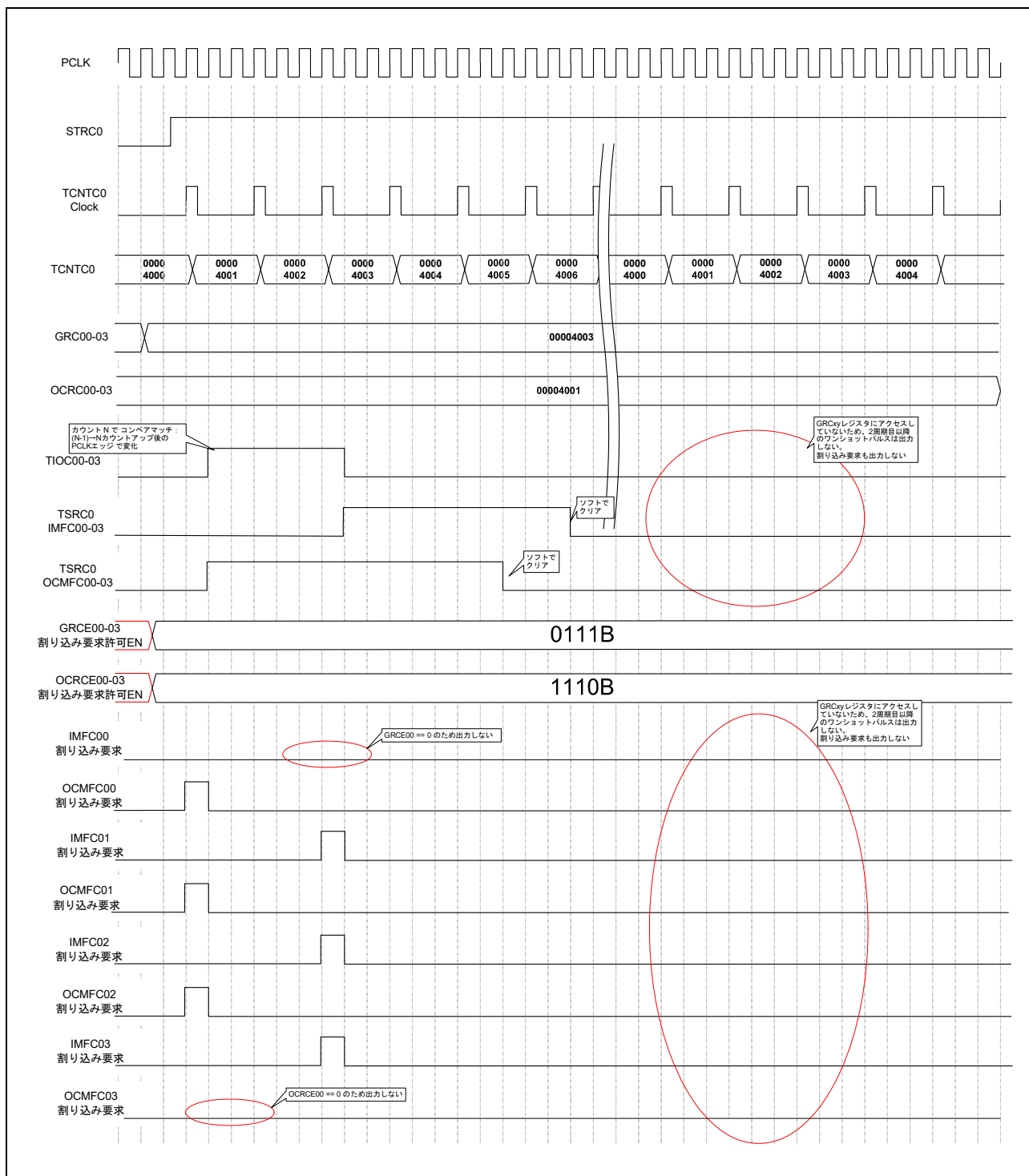


図 21.36 ワンショットパルスモード動作

※ ワンショットパルスのアクティブ幅は、以下の計算式で求められます。

GRCxy = OCR0xy の場合：

ワンショットパルス (アクティブ) 幅 = 0

GRCxy > OCR0xy の場合：

ワンショットパルス (アクティブ) 幅 = GRCxy[31:0] - OCR0xy[31:0]

GRCxy < OCR0xy の場合：

- 上限値設定機能 OFF
ワンショットパルス (アクティブ) 幅 = $(FFFF\ FFFF_H - OCRCxy[31:0]) + (GRCxy[31:0] + 1)$
- 上限値設定機能 ON
ワンショットパルス (アクティブ) 幅 = $(CUCRCx - OCRCxy[31:0]) + GRCxy[31:0]$

※ 図中では、IMFC と OCMFC の割り込み要求を個別に記載していますが、1本の割り込み信号を兼用する構成をとっています。

2回目以降にワンショットパルスを動作させる時は、必ず前回設定したワンショットパルス出力が完了したことを確認してから、2回目以降の GRCxy、OCRCxy の設定を行ってください。ワンショットパルスの出力完了前に、GRCxy、OCRCxy のレジスタ値を変更すると、出力中のワンショットパルスに設定値が反映されます。

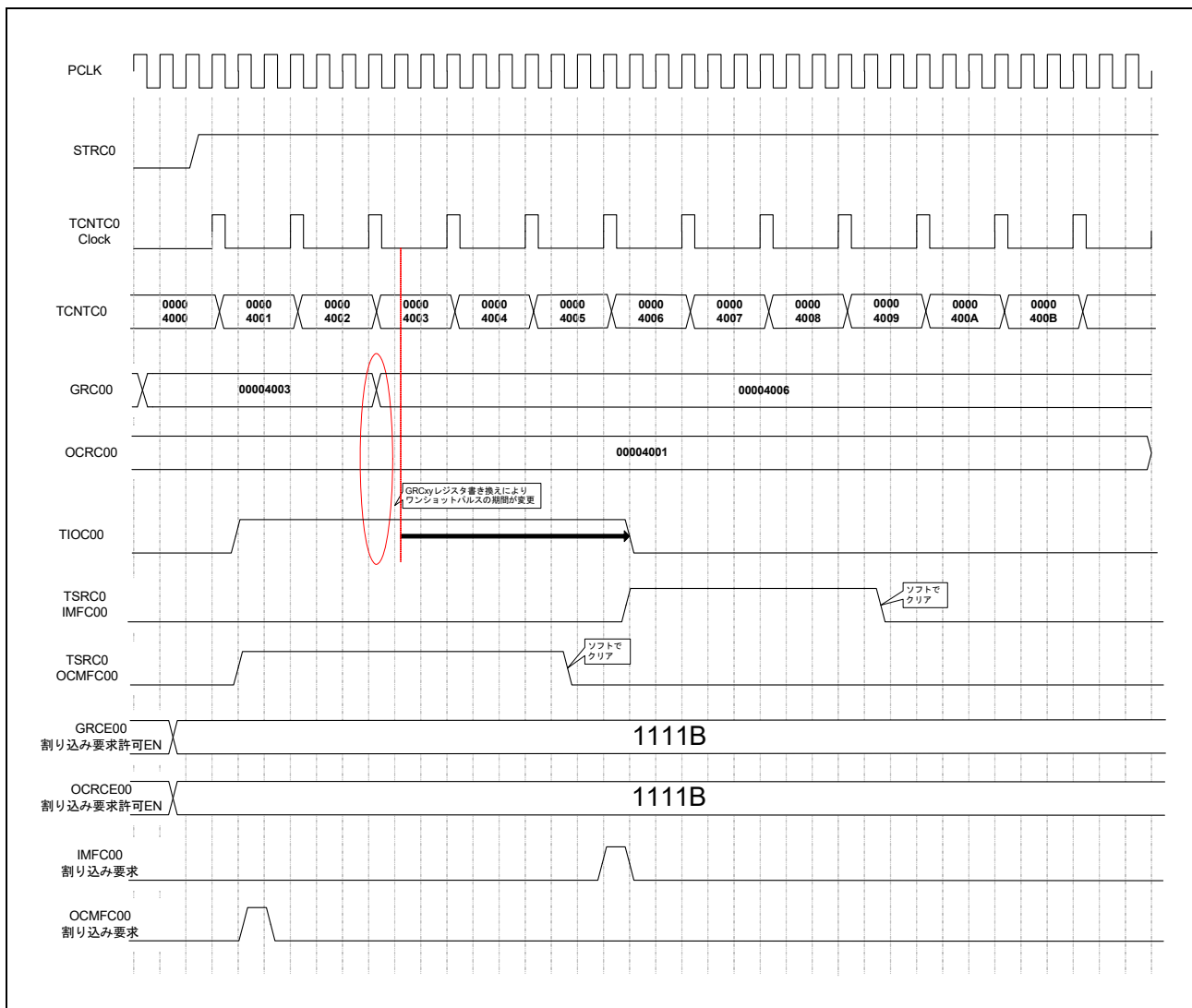


図 21.37 ワンショットパルス出力期間中にコンペアレジスタを変更した場合の動作

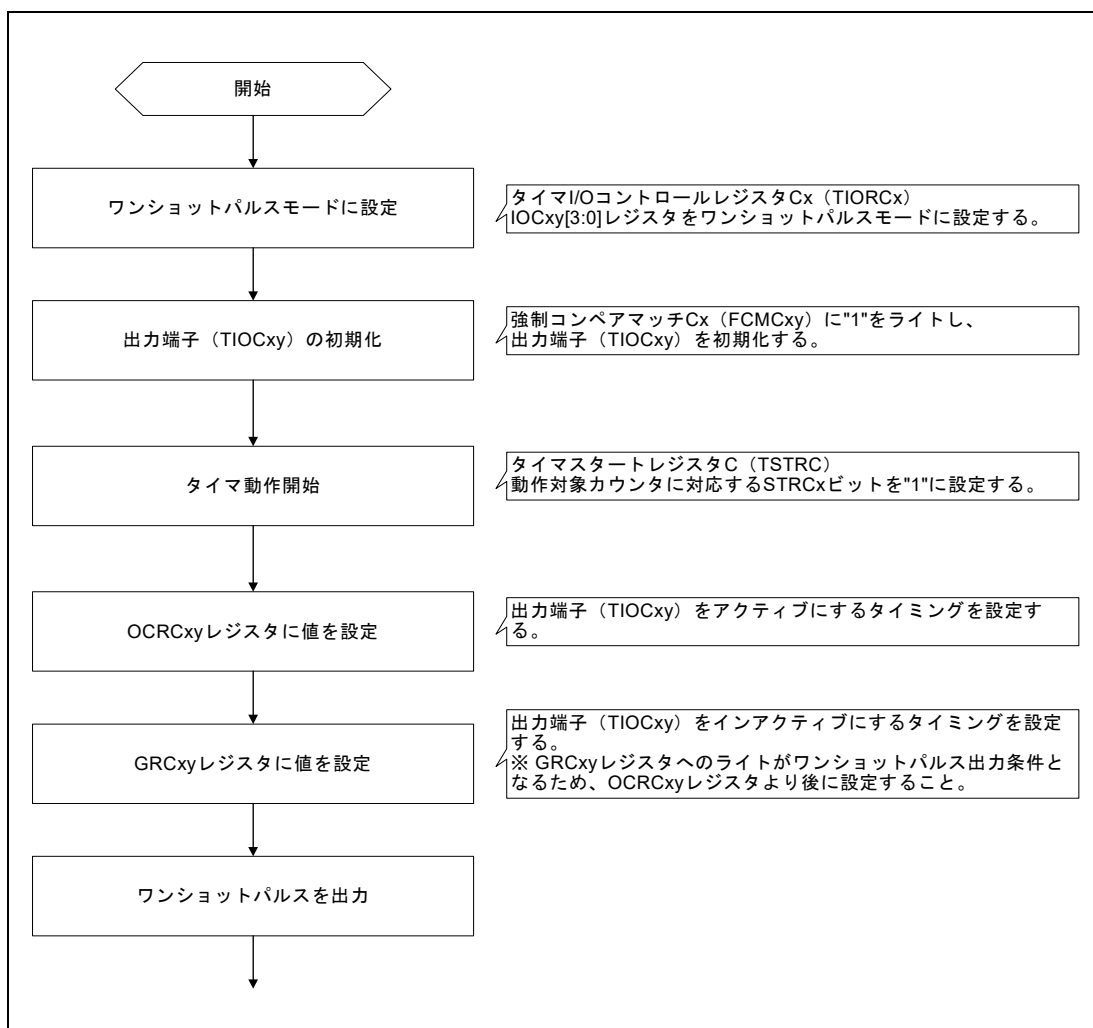


図 21.38 ワンショットパルス動作 (出力端子初期化手順)

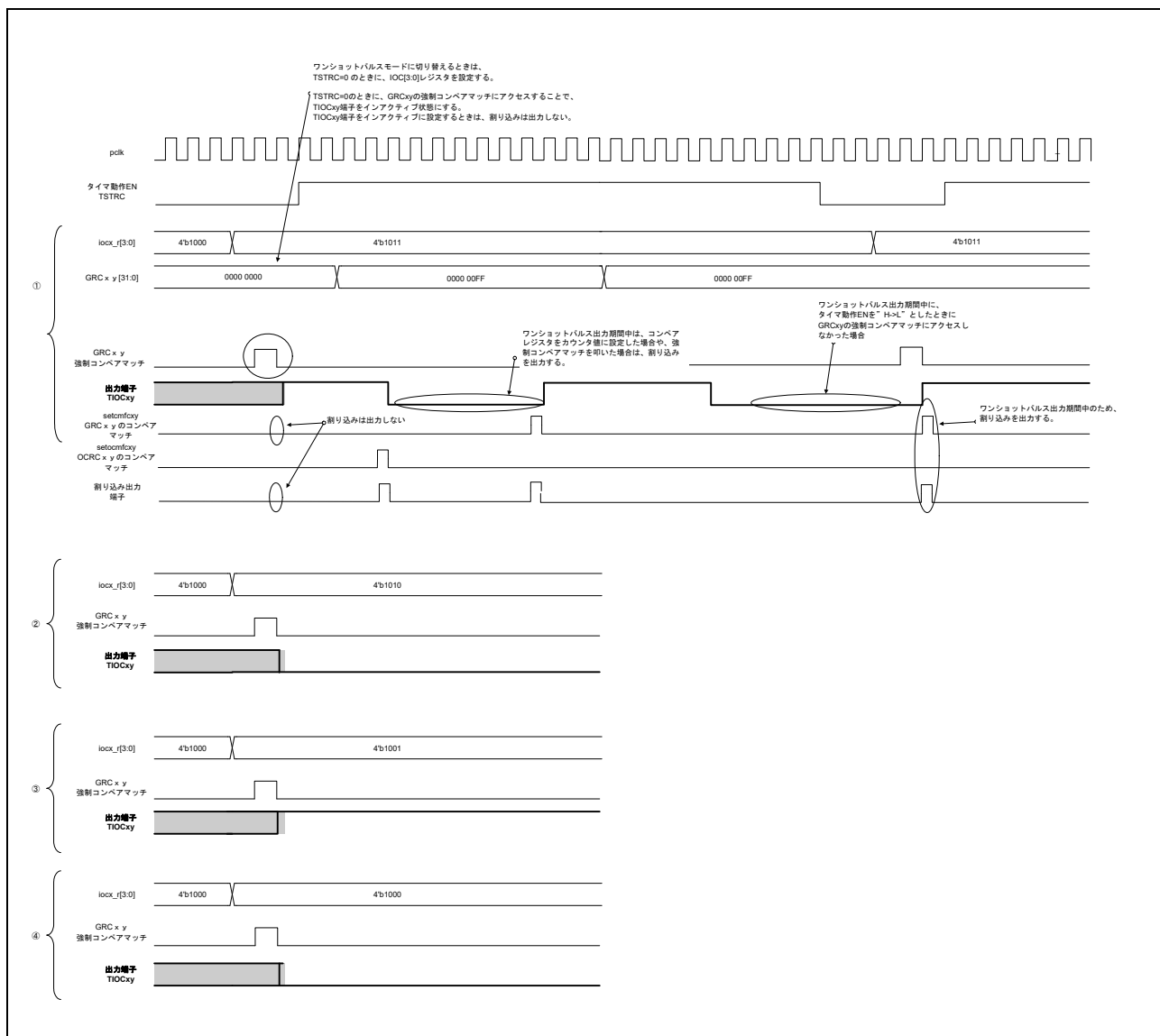


図 21.39 ワンショットパルス動作（出力端子初期化タイミングチャート）

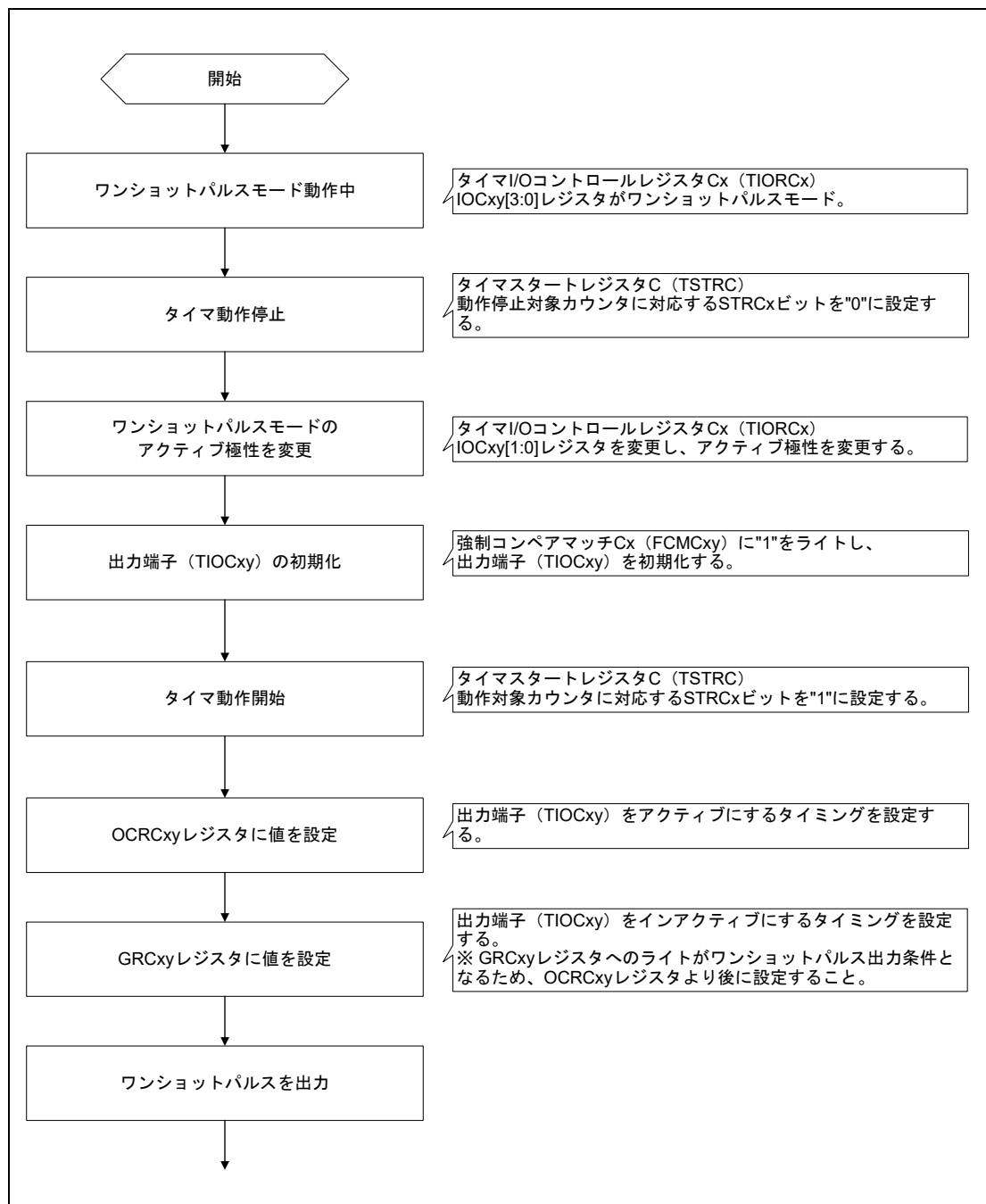


図 21.40 ワンショットパルス動作 (アクティブ極性変更概要)

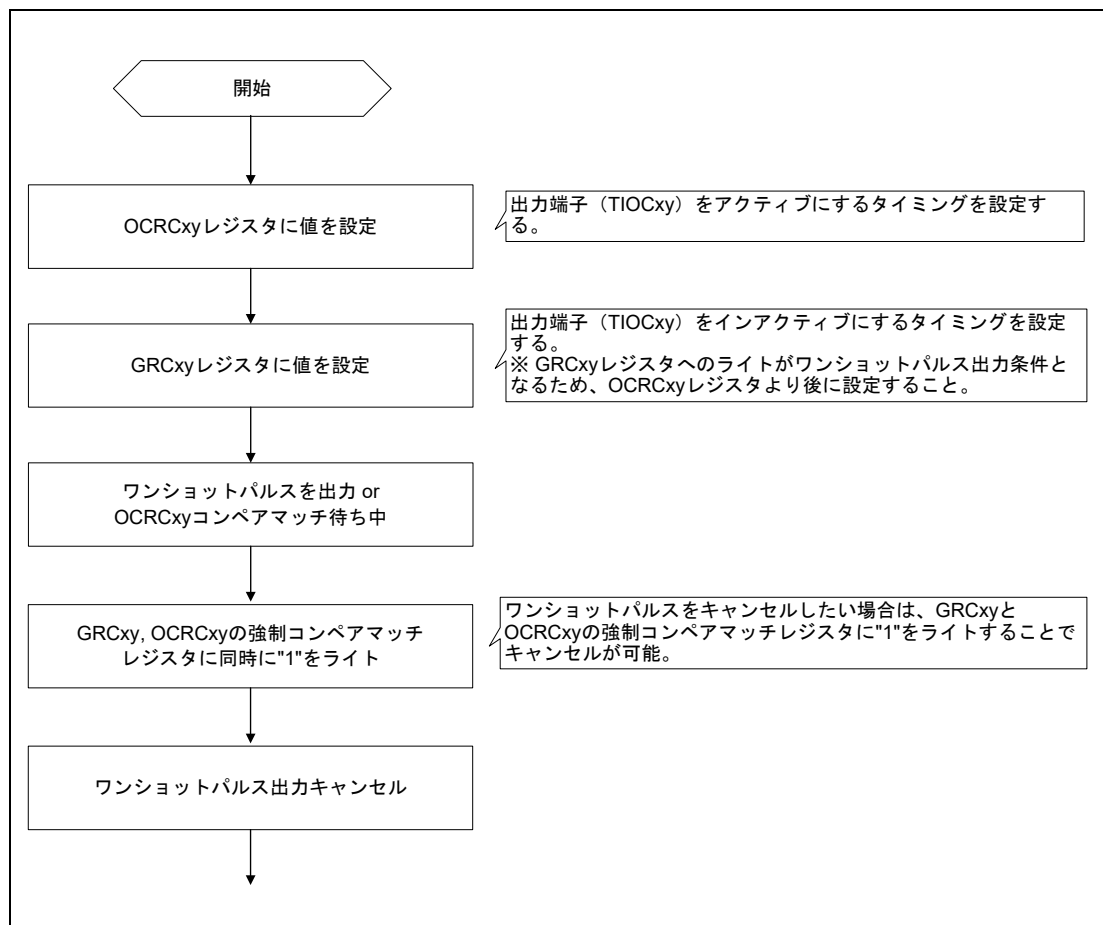


図 21.41 ワンショットパルス出力キャンセル手順

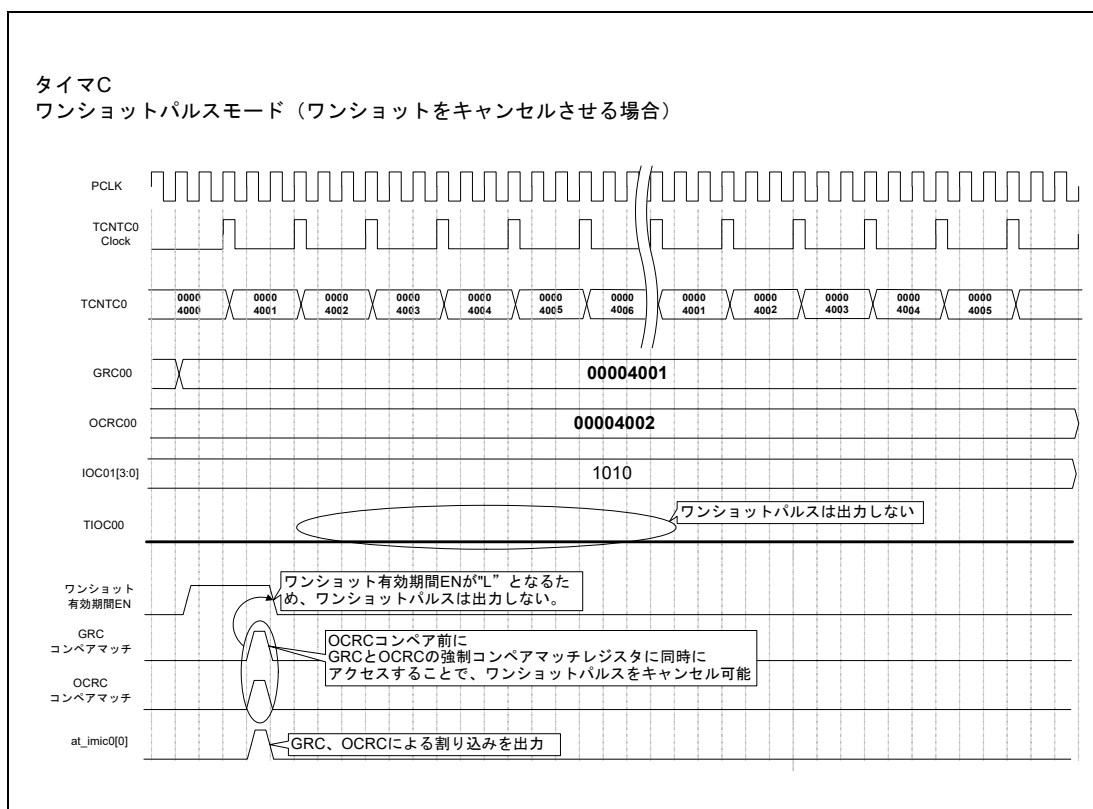


図 21.42 ワンショットパルス出力キャンセルタイミングチャート

21.6.3.5 カウンタ上限値設定機能

カウンタ上限値設定コンペアレジスタ C_x (CUCRC $_x$) により、各サブブロックのタイマカウンタ C_x (TCNTC $_x$) のカウンタ値の上限値を変更し、インターバル動作することができます。カウンタの上限値設定の機能を有効にするには、タイマコントロールレジスタ C_x (TCRC $_x$) の CLRC $_x$ ビットを“1”に設定しておく必要があります。

図 21.43 に、ブロック C0 のカウンタの上限値設定機能を ON した動作例を示します。

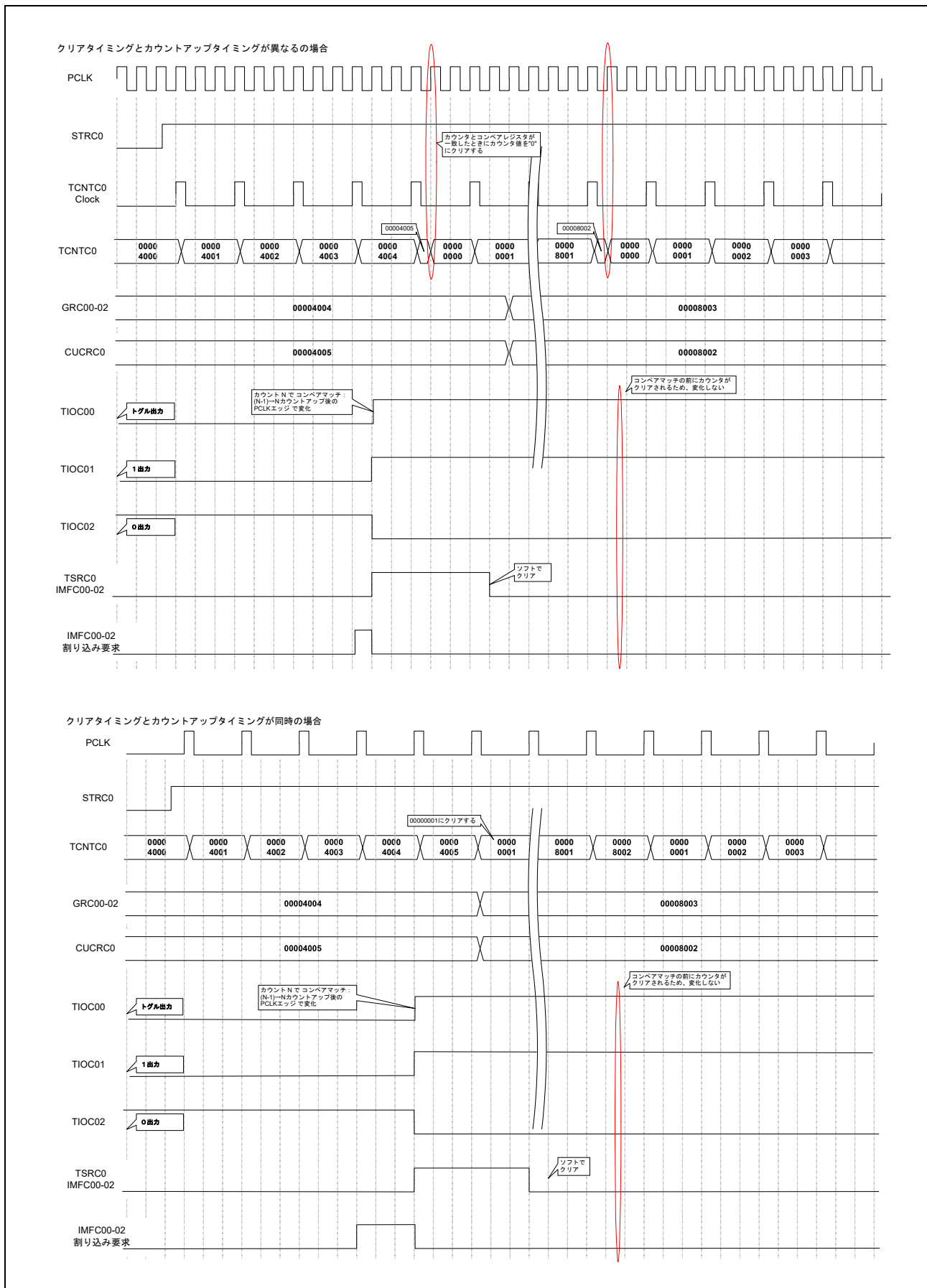


図 21.43 上限値設定機能動作例

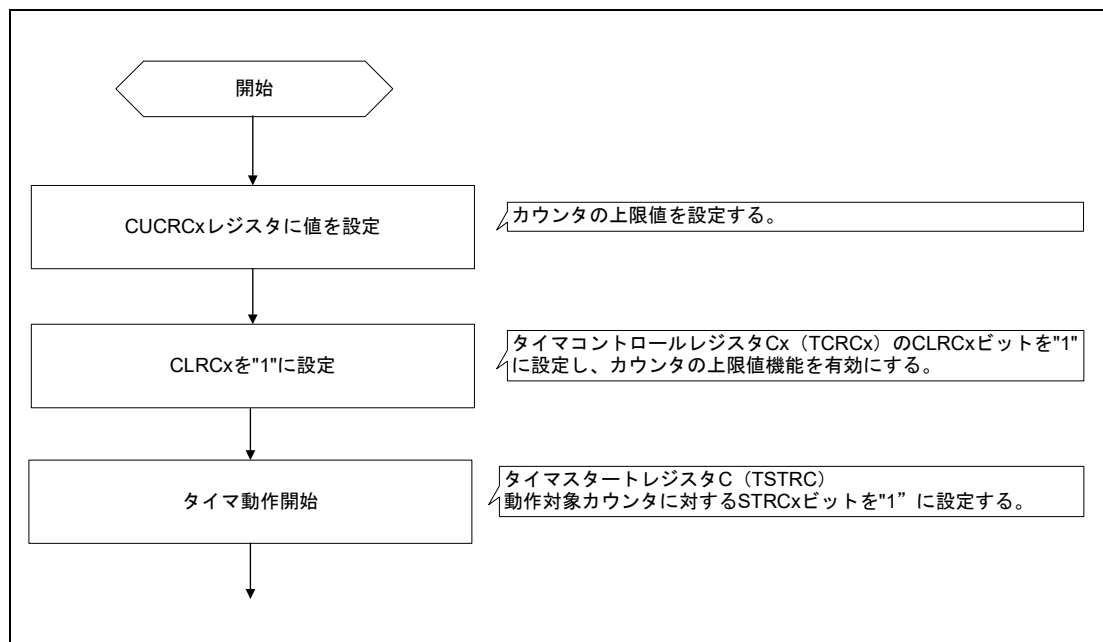


図 21.44 カウンタ上限値機能設定手順

21.7 タイマ D

21.7.1 動作概要

タイマ D ブロックは 5 個のサブブロックからなるワンショットパルス出力タイマです。

タイマ D サブブロックは、以下の機能を実現することができます。

- カウンタとアウトプットコンペアレジスタとのコンペアマッチを生成します。
TCNT1Dx と OCR1Dxy とのコンペアマッチによりコンペアマッチ A を、TCNT2Dx と OCR2Dxy とのコンペアマッチによりコンペアマッチ B を生成します。
- アウトプットコンペアレジスタのコンペアマッチ A、コンペアマッチ B、あるいはダウンカウンタスタートレジスタのカウントスタートビット書き込みによりダウンカウントを開始ことができ、オフセット付きワンショットパルスの出力が可能です。
- コンペアマッチレジスタのコンペアマッチ B により、ダウンカウント値にかかわらず出力波形の強制遮断が可能です。(コンペアマッチ A あるいはカウントスタートビット書き込みと、コンペアマッチ B 同時発生時は出力遮断が優先)
- インプットキャプチャレジスタは、コンペアマッチ A をトリガとして TCNT2Dx 値を、コンペアマッチ B をトリガとして TCNT1Dx 値をキャプチャすることが可能です。
- コンペアマッチ A、B 検出パルス (AD 起動用) が出力可能。(サブブロック D0、D2、D4 の 24 本が対応)
- コンペアマッチ割り込みの発生が可能です。(コンペアマッチ A、B で出力、計 40 本)
- 範囲コンペア値設定レジスタにより、コンペアマッチレジスタによるコンペアマッチ出力は範囲コンペア機能が使用可能です。
- タイマカウンタ 1Dx (TCNT1Dx) の上限値設定が有効時は、CUCR1Dx のコンペアマッチにてカウンタのクリアが可能です。
- タイマカウンタ 2Dx (TCNT2Dx) の上限値設定が有効時は、CUCR2Dx のコンペアマッチにてカウンタのクリアが可能です。
- TCNT1Dx (5 本)、TCNT2Dx (5 本) のそれぞれでカウンタオーバフロー割り込み (計 10 本) の発生が可能です。
- ダウンカウンタアンダフロー割り込み (計 20 本) の発生が可能です。このアンダフロー割り込み要求で DMAC に DMA 転送を要求することもできます。(DMA 転送要求は、サブブロック D0 ~ D4 のダウンカウンタ、計 20 本が対応)。
- タイマ A からのトリガ信号、DFE からの PH 通知トリガにより、オフセットベースレジスタへのカウンタ値キャプチャが可能です。
- タイマ B からのクリア信号により、TCNT1Dx、TCNT2Dx のクリアが可能です。
- 出力設定レジスタにより、出力値レジスタに設定されている値を各端子から出力が可能です。
- APA ヘリファレンスデータとイベント出力が可能です。リファレンスデータとして TCNT1D0、TCNT2D0 のカウント値を出力可能です。出力値の選択については「**22.5.8 APA 入力セレクタ**」をご参照ください。イベント出力としてサブブロック 0 のコンペアマッチ A、コンペアマッチ B、ダウンカウンタアンダフロー、TOD0yA、TOD0yB の出力が可能です。

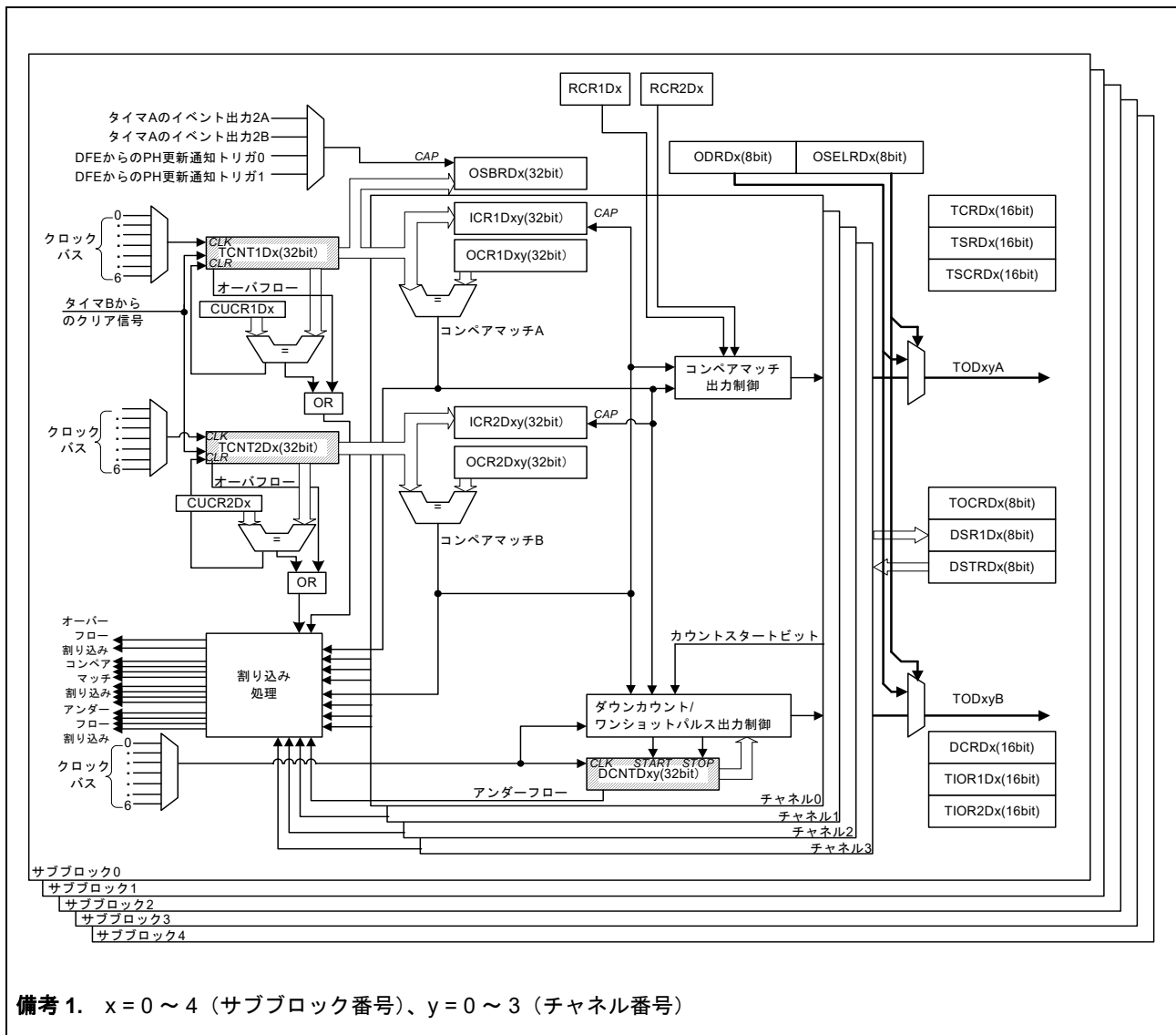


図 21.45 タイマ D ブロック図

図 21.45 にタイマ D のブロック図を示します。タイマ D のサブブロック Dx は、2 本の範囲コンペア値設定レジスタ (RCR1Dx、RCR2Dx)、2 本の 32 ビットタイマカウンタ 1Dx、同 2Dx (TCNT1Dx、TCNT2Dx)、1 本のタイマオフセットベースレジスタ Dx (OSBRDx)、1 本の出力値レジスタ Dx (ODRDx)、1 本の出力選択レジスタ Dx (OSELRDx) と、8 本のアウトプットコンペアレジスタ 1Dxy、同 2Dxy (OCR1Dxy、OCR2Dxy)、4 本のタイマダウンカウンタ Dxy (DCNTDxy)、2 本のカウンタ上限値設定のレジスタ (CUCRDx)、8 本のインプットキャプチャレジスタ 1Dxy、同 2Dxy (ICR1Dxy、ICR2Dxy)、および制御部などで構成されています。また各チャンネルに TODxyA (コンペアマッチ出力) と TODxyB (ワンショットパルス出力) の 2 本の出力端子を備えています (出力端子はサブブロック D0 ~ D8 が対応)。

TODxyA、TODxyB 出力の初期値はともに“0”です。

コンペアマッチ A、コンペアマッチ B 検出時には、割り込み要求、および AD 変換開始トリガとして AD にパルスを出力します。

21.7.2 タイマ D 関連レジスタ

21.7.2.1 TSTRD — タイマスタートレジスタ D

アクセス 8ビット/16ビットアクセス可能

アドレス FFE6 1000_H

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|---|---|---|---|---|-------|-------|-------|-------|-------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | STRD4 | STRD3 | STRD2 | STRD1 | STRD0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W |

表 21.81 TSTRD レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|---|
| 15 ~ 5 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 4 | STRD4 | カウンタ D4 スタートビット 0 : TCNT1D4、TCNT2D4、DCNTD4y のカウント動作を停止 1 : TCNT1D4、TCNT2D4、DCNTD4y のカウント動作を許可 |
| 3 | STRD3 | カウンタ D3 スタートビット 0 : TCNT1D3、TCNT2D3、DCNTD3y のカウント動作を停止 1 : TCNT1D3、TCNT2D3、DCNTD3y のカウント動作を許可 |
| 2 | STRD2 | カウンタ D2 スタートビット 0 : TCNT1D2、TCNT2D2、DCNTD2y のカウント動作を停止 1 : TCNT1D2、TCNT2D2、DCNTD2y のカウント動作を許可 |
| 1 | STRD1 | カウンタ D1 スタートビット 0 : TCNT1D1、TCNT2D1、DCNTD1y のカウント動作を停止 1 : TCNT1D1、TCNT2D1、DCNTD1y のカウント動作を許可 |
| 0 | STRD0 | カウンタ D0 スタートビット 0 : TCNT1D0、TCNT2D0、DCNTD0y のカウント動作を停止 1 : TCNT1D0、TCNT2D0、DCNTD0y のカウント動作を許可 |

備考 サブブロック D0 ~ D4 ごとにスタートビットを用意。(y = 0, 1, 2, 3 : チャネル Dx0 ~ Dx3 に対応)

タイマスタートレジスタ D (TSTRD) は 16 ビットのレジスタで、上位ビットを TSTRDH、下位ビットを TSTRDL として 8 ビットの読み出し/書き込み可能なレジスタです。5 つのサブブロック Dx (x=0, 1, 2, 3, 4) の 2 つのタイマカウンタ 1Dx、同 2Dx (TCNT1Dx、TCNT2Dx)、タイマダウンカウンタ Dxy (DCNTDxy) を動作させるか、停止させるかを設定します。ただし、カウント Dx スタートビットをカウント動作許可に設定していても、ATU-IV 制御レジスタ (ATUENR) の TDE ビットがイネーブルに設定されていなければカウント動作は行われません。

TSTRD はリセット時に 0000_H に初期化されます。

(1) STRDx — カウンタ Dx スタートビット

タイマカウンタ 1Dx、2Dx (TCNT1Dx、TCNT2Dx)、タイマダウンカウンタ Dxy (DCNTDxy) を動作させるか、停止させるかを設定します。

このビットを“0”にクリアした場合、TCNT1Dx、TCNT2Dx、DCNTDxy は動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを“1”にセットした場合には、その値から動作を再開します。

カウンタ Dx スタートビットを“1”にセットしても、ATU-IV 制御レジスタで、タイマ Dx のマスタイネーブルが“1”にセットされていなければカウント動作は開始されません。

注 意

プリスケーラは、カウンタ Dx スタートビットの設定に関係なく動作しており、TCNT1Dx、TCNT2Dx の動作開始時にも初期化は行われません。したがって起動から実際に TCNT1Dx、TCNT2Dx がカウント動作を開始するまでの時間には、選択されたカウントソースの周期 (分解能) 以下のハードウェア的な不確定さがともないます。

21.7.2.2 TCRDx — タイマコントロールレジスタ Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 8ビット / 16ビットアクセス可能

アドレス FFE6 1100_H + (100_H * x)

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|--------------------|--------------------|--------------------|--------------------|---------------|-----|-----|--------------------|---------------|-----|-----|---|--------------|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | OBRED _x | C2CED _x | C1CED _x | CLR2D _x | CKSEL2Dx[2:0] | | | CLR1D _x | CKSEL1Dx[2:0] | | | — | DCSELdx[2:0] | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W |

表 21.82 TCRDx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------------|--|
| 15 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 14 | OBRED _x | オフセットベースレジスタイネーブル オフセットベースレジスタへのインプットキャプチャ動作の許可/禁止を選択 |
| 13 | C2CED _x | カウンタ 2 クリアイネーブル タイマ B からのタイマカウンタ 2 クリア要求受け付け許可/禁止を設定 |
| 12 | C1CED _x | カウンタ 1 クリアイネーブル タイマ B からのタイマカウンタ 1 クリア要求受け付け許可/禁止を設定 |
| 11 | CLR2D _x | TCNT2D _x クリア設定ビット タイマカウンタをクリア許可/禁止を設定 |
| 10 ~ 8 | CKSEL2Dx[2:0] | TCNT2D _x クロックセレクト クロックバス 0 ~ 6 から TCNT2D _x のカウントクロックを選択 |
| 7 | CLR1D _x | TCNT1D _x クリア設定ビット タイマカウンタをクリア許可/禁止を設定 |
| 6 ~ 4 | CKSEL1Dx[2:0] | TCNT1D _x クロックセレクト クロックバス 0 ~ 6 から TCNT1D _x のカウントクロックを選択 |
| 3 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 2 ~ 0 | DCSELdx[2:0] | DCNTD _{xy} クロックセレクト クロックバス 0 ~ 6 から DCNTD _{xy} のカウントクロックを選択 |

タイマコントロールレジスタ Dx (TCRDx) は 16 ビットの読み出し/書き込み可能なレジスタです。TCRDx は、サブブロック Dx の 32 ビットタイマカウンタ 1Dx (TCNT1Dx) のカウントクロック、32 ビットタイマカウンタ 2Dx (TCNT2Dx) のカウントクロック、および 32 ビットタイマダウンカウンタ Dxy (DCNTDxy) のカウントクロックをそれぞれクロックバス 0 ~ 6 から選択します。また、オフセットベースレジスタへのインプットキャプチャ許可/禁止、タイマ B からの TCNT1Dx、TCNT2Dx カウンタ値クリア要求の許可/禁止、タイマカウンタ 1Dx (TCNT1Dx) とタイマカウンタ 2Dx (TCNT2Dx) のクリアの許可/禁止を設定します。

(1) OBREDx — オフセットベースレジスタイネーブル

タイマオフセットベースレジスタ Dx (OSBRDx) のインプットキャプチャ動作の許可/禁止を選択します。許可設定時、TICTSELDx レジスタにより選択された入力信号が“1”である PCLK サイクルの TCNT1Dx 値を、次の PCLK サイクルで OSBRDx にキャプチャします。タイマ A のイベント 2A、2B 信号幅が 1PCLK サイクルを超える場合、その毎サイクルにキャプチャ動作を行います。

| OBREDx | 機能 |
|--------|-------------------------------|
| 0 | OSBRDx のインプットキャプチャ動作を許可 (初期値) |
| 1 | OSBRDx のインプットキャプチャ動作を禁止 |

(2) C2CEDx — カウンタ 2 クリアイネーブル

タイマ B からの TCNT2Dx カウンタ値クリアの許可/禁止を選択します。

C2CEDx ビットが“1”のとき、タイマ B から出力されるカウンタクリア信号の立ち上がりを検出すると、以下のタイミングで TCNT2Dx カウンタのクリア (0000 0000_H) を行います。

クリア信号の立ち上がり変化と同じサイクルに TCNT2Dx カウントアップクロックが入力されている場合は、そのカウントアップのタイミングでカウンタクリアが行われます。クリア信号立ち上がりサイクルにカウントアップクロックが入力されていない場合は、その後に入力される最初のカウントアップクロックによるカウントアップタイミングでクリアを行います。

初期設定ではカウンタクリア要求を受付けません。

| C2CEDx | 機能 |
|--------|---------------------------------------|
| 0 | タイマ B からの TCNT2Dx カウンタ値クリア要求を禁止 (初期値) |
| 1 | タイマ B からの TCNT2Dx カウンタ値クリア要求を許可 |

(3) C1CEDx — カウンタ 1 クリアイネーブル

タイマ B からの TCNT1Dx カウンタ値クリアの許可/禁止を選択します。

C1CEDx ビットが“1”のとき、タイマ B から出力されるカウンタクリア信号の立ち上がりを検出すると、以下のタイミングで TCNT1Dx カウンタのクリア (0000 0000_H) を行います。

クリア信号の立ち上がり変化と同じサイクルに TCNT1Dx カウントアップクロックが入力されている場合は、そのカウントアップのタイミングでカウンタクリアが行われます。クリア信号立ち上がりサイクルにカウントアップクロックが入力されていない場合は、その後に入力される最初のカウントアップクロックによるカウントアップタイミングでクリアを行います。

初期設定ではカウンタクリア要求を受付けません。

| C1CEDx | 機能 |
|--------|---------------------------------------|
| 0 | タイマ B からの TCNT1Dx カウンタ値クリア要求を禁止 (初期値) |
| 1 | タイマ B からの TCNT1Dx カウンタ値クリア要求を許可 |

(4) CLR2Dx — TCNT2Dx クリア設定ビット

TCNT2Dx クリア設定ビットを“1”に設定すると、タイマカウンタ 2Dx (TCNT2D) とカウンタ上限値設定コンペアレジスタ 2Dx (CUCR2Dx) とのコンペアマッチ発生後の次のクロックで、TCNT2Dx の値はクリア (0000 0000_H) されます。ただし、TCNT2Dx カウントアップと競合した場合は、0000 0001_H にクリアされます。

| CLR2Dx | 機能 |
|--------|---|
| 0 | TCNT2Dx のクリアに CUCR2Dx のコンペアマッチを使用しない。 (初期値) |
| 1 | TCNT2Dx のクリアに CUCR2Dx のコンペアマッチを使用する。 |

CLR2Dx ビットを 1 に設定する場合には、範囲コンペア値設定レジスタ 2Dx (RCR2Dx) は、00_H に設定してください。

(5) CKSEL2Dx[2:0] — TCNT2Dx クロックセレクト

クロックセレクト 2Dx (CKSEL2Dx[2:0]) は、TCNT2Dx のカウントアップクロックを選択します。

| CKSEL2Dx | | | 機能 |
|----------|-----|-----|-----------------------------------|
| [2] | [1] | [0] | |
| 0 | 0 | 0 | クロックバス 0 で TCNT2Dx をアップカウント (初期値) |
| 0 | 0 | 1 | クロックバス 1 で TCNT2Dx をアップカウント |
| 0 | 1 | 0 | クロックバス 2 で TCNT2Dx をアップカウント |
| 0 | 1 | 1 | クロックバス 3 で TCNT2Dx をアップカウント |
| 1 | 0 | 0 | クロックバス 4 で TCNT2Dx をアップカウント |
| 1 | 0 | 1 | クロックバス 5 で TCNT2Dx をアップカウント |
| 1 | 1 | 0 | クロックバス 6 で TCNT2Dx をアップカウント |
| 1 | 1 | * | 予約 |

(6) CLR1Dx — TCNT1Dx クリア設定ビット

TCNT1Dx クリア設定ビットを“1”に設定すると、タイマカウンタ 1Dx (TCNT1Dx) とカウンタ上限値設定コンペアレジスタ 1Dx (CUCR1Dx) とのコンペアマッチ発生後の次のクロックで、TCNT1Dx の値はクリア (0000 0000_H) されます。ただし、TCNT1Dx カウントアップと競合した場合は、00000001_H にクリアされます。

| CLR1Dx | 機能 |
|--------|---|
| 0 | TCNT1Dx のクリアに CUCR1Dx のコンペアマッチを使用しない。 (初期値) |
| 1 | TCNT1Dx のクリアに CUCR1Dx のコンペアマッチを使用する。 |

CLR1Dx ビットを 1 に設定する場合には、範囲コンペア値設定レジスタ 1Dx (RCR1Dx) は、00_H に設定してください。

(7) CKSEL1Dx[2:0] — TCNT1Dx クロックセレクト

クロックセレクト 1Dx (CKSEL1Dx[2:0]) は、TCNT1Dx のカウントアップクロックを選択します。

| CKSEL1Dx | | | 機能 |
|----------|-----|-----|-----------------------------------|
| [2] | [1] | [0] | |
| 0 | 0 | 0 | クロックバス 0 で TCNT1Dx をアップカウント (初期値) |
| 0 | 0 | 1 | クロックバス 1 で TCNT1Dx をアップカウント |
| 0 | 1 | 0 | クロックバス 2 で TCNT1Dx をアップカウント |
| 0 | 1 | 1 | クロックバス 3 で TCNT1Dx をアップカウント |
| 1 | 0 | 0 | クロックバス 4 で TCNT1Dx をアップカウント |
| 1 | 0 | 1 | クロックバス 5 で TCNT1Dx をアップカウント |
| 1 | 1 | 0 | クロックバス 6 で TCNT1Dx をアップカウント |
| 1 | 1 | * | 予約 |

(8) DCSELDx[2:0] — DCNTDxy クロックセレクト

DCNTDxy クロックセレクト (DCSELDx[2:0]) は、サブブロック Dx の持つ 32 ビットタイマダウンカウンタ Dxy (DCNTDxy) のカウントダウンクロックを選択します。

| DCSELDx | | | 機能 |
|---------|-----|-----|-----------------------------------|
| [2] | [1] | [0] | |
| 0 | 0 | 0 | クロックバス 0 で DCNTDxy をダウンカウント (初期値) |
| 0 | 0 | 1 | クロックバス 1 で DCNTDxy をダウンカウント |
| 0 | 1 | 0 | クロックバス 2 で DCNTDxy をダウンカウント |
| 0 | 1 | 1 | クロックバス 3 で DCNTDxy をダウンカウント |
| 1 | 0 | 0 | クロックバス 4 で DCNTDxy をダウンカウント |
| 1 | 0 | 1 | クロックバス 5 で DCNTDxy をダウンカウント |
| 1 | 1 | 0 | クロックバス 6 で DCNTDxy をダウンカウント |
| 1 | 1 | * | 予約 |

備考 サブブロック内チャンネル 0 ~ 3 のカウントクロックは共通。

ワンショットパルス出力 (TODxyB) は DCSELDx で選択したクロックに同期して制御されます。

21.7.2.3 TIOR1Dx — タイマ I/O コントロールレジスタ 1Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 8ビット / 16ビットアクセス可能

アドレス FFE6 1104_H + (100_H * x)リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------|-----|--------|-----|--------|-----|--------|-----|--------|-----|--------|-----|--------|-----|--------|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OSSDx3 | | OSSDx2 | | OSSDx1 | | OSSDx0 | | IOADx3 | | IOADx2 | | IOADx1 | | IOADx0 | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.83 TIOR1Dx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------------|--|
| 15 ~ 8 | OSSDx3 ~ OSSDx0 | コンペアマッチ出力要因選択ビット TODxyA の出力要因を選択します。コンペアマッチ A、コンペアマッチ B のいずれか、または両方を設定可能。 |
| 7 ~ 0 | IOADx3 ~ IOADx0 | I/O コントロール A アウトプットコンペアレジスタ 1Dxy (OCR1Dxy) のコンペアマッチ許可 / 禁止。出力値の設定。 |

タイマ I/O コントロールレジスタ 1Dx (TIOR1Dx) は 16 ビットの読み出し / 書き込み可能なレジスタです。

本レジスタは、コンペアマッチ出力端子 (TODxyA) の出力要因を設定するビットと、アウトプットコンペアレジスタ 1Dxy (OCR1Dxy) のコンペアマッチ許可 / 禁止設定ビット、およびコンペアマッチ A 発生時の TODxyA 端子出力値設定ビットで構成されます。

TIOR1Dx はリセット時に 0000_H に初期化されます。

(1) OSSDxy[1:0] — コンペアマッチ出力要因選択ビット

| OSSDxy | | 機能 |
|--------|-----|--|
| [1] | [0] | |
| 0 | 0 | TODxyA 端子出力なし (初期値) |
| 0 | 1 | コンペアマッチ A 発生時、TODxyA 端子に I/O コントロールビット A での設定値を出力 |
| 1 | 0 | コンペアマッチ B 発生時、TODxyA 端子に I/O コントロールビット B での設定値を出力 |
| 1 | 1 | コンペアマッチ A あるいはコンペアマッチ B 発生時、TODxyA 端子に I/O コントロールビット A、I/O コントロールビット B それぞれの設定値を出力 |

コンペアマッチ出力端子 (TODxyA) の出力要因を設定します。コンペアマッチ A、コンペアマッチ B のいずれか、あるいは双方で TODxyA 端子の出力を制御できます。

コンペアマッチの片方をタイマダウンカウンタ Dxy (DCNTDxy) のスタート / ストップトリガとして使用し、他方をコンペアマッチ出力とすることが可能です。またコンペアマッチ A、B の両方で出力を制御し、片方で出力アサート、他方で出力ネゲートとすることで、TODxyA からワンショットパルスを出力することもできます。

コンペアマッチ A と、コンペアマッチ B の両方を出力要因として設定しており、この二つの要因が同時に発生した場合には、コンペアマッチ B が優先され、TIOR2Dx の IOBxy ビットで設定されたコンペアマッチ値が出力されます。

TODxyA の出力初期値は“0”であり、このビットが“00”である間は、コンペアマッチ A, B が発生しても TODxyA の出力値は変化しません。

(2) IOADxy[1:0] — I/O コントロール A

| IOADxy | | 機能 |
|--------|-----|-----------------|
| [1] | [0] | |
| 0 | 0 | コンペアマッチ禁止 (初期値) |
| 0 | 1 | コンペアマッチで 0 出力 |
| 1 | 0 | コンペアマッチで 1 出力 |
| 1 | 1 | コンペアマッチでトグル出力 |

アウトプットコンペアレジスタ 1Dxy (OCR1Dxy) の機能を選択します。このビットに“00”を設定したとき、OCR1Dxy はタイマカウンタ 1Dx (TCNT1Dx) とのコンペアマッチを行いません。“00”以外に設定すると TCNT1Dx とのコンペアマッチ動作を行います。このとき、コンペアマッチで CPU に割り込み要求が出力されます。また、AD 変換起動トリガが出力されます (サブブロック D0、D2、D4 のみ)。

コンペアマッチ発生時、コンペアマッチ出力要因選択ビット (OSSDxy) でコンペアマッチ A が出力要因に選択されていれば、IOADxy で設定したコンペアマッチ出力値が TODxyA 端子に出力されます (サブブロック D0 ~ D4 のみ)。

21.7.2.4 TIOR2Dx — タイマ I/O コントロールレジスタ 2Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャンネル 0 ~ 3 に対応)

アクセス 8ビット/16ビットアクセス可能

アドレス FFE6 1106_H + (100_H * x)リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|--------|-----|-----|----|--------|-----|-----|---|--------|-----|-----|---|--------|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | IOBDx3 | | | — | IOBDx2 | | | — | IOBDx1 | | | — | IOBDx0 | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R | R/W | R/W | R/W | R | R/W | R/W | R/W | R | R/W | R/W | R/W |

表 21.84 TIOR2Dx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------------------------------|---------------|---|
| 15, 11, 7, 3 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 14 ~ 12, 10 ~ 8, 6 ~ 4, 2 ~ 0 | IOBDx3-IOBDx0 | I/O コントロール B アウトプットコンペアレジスタ 2Dxy (OCR2Dxy) の許可/禁止、およびコンペアマッチ出力値の設定 |

タイマ I/O コントロールレジスタ 2Dx (TIOR2Dx) は 16 ビットの読み出し/書き込み可能なレジスタです。

本レジスタは、アウトプットコンペアレジスタ 2Dxy (OCR2Dxy) の機能を設定するビットを持っています。コンペアマッチ許可/禁止、およびコンペアマッチ B 発生時の TODxyA 端子出力値を設定できます。

TIOR2Dx はリセット時に 0000_H に初期化されます。

(1) IOBDxy[2:0] — I/O コントロール B

| IOBDxy | | | 機能 | |
|--------|-----|-----|-------------------------------|-----------------|
| [2] | [1] | [0] | | |
| 0 | 0 | 0 | OCR2Dxy の コンペアマッチ 出力を選択 | コンペアマッチ禁止 (初期値) |
| 0 | 0 | 1 | | コンペアマッチで 0 出力 |
| 0 | 1 | 0 | | コンペアマッチで 1 出力 |
| 0 | 1 | 1 | | コンペアマッチでトグル出力 |
| 1 | 0 | 0 | 予約 | 設定禁止 |
| 1 | 0 | 1 | | 設定禁止 |
| 1 | 1 | 0 | | 設定禁止 |
| 1 | 1 | 1 | | 設定禁止 |

アウトプットコンペアレジスタ 2Dxy (OCR2Dxy) のコンペアマッチ許可/禁止、およびコンペアマッチ B 発生時の TODxyA 端子出力値を設定できます。

コンペアマッチレジスタとして使用する場合 (IOBDxy[2] = 0)、IOBDxy[1:0] が “00” であれば、OCR2Dxy はタイマカウンタ 2Dx (TCNT2Dx) とのコンペアマッチを行いません。“00” 以外に設定すると TCNT2Dx とのコンペアマッチ動作を行います。このとき、コンペアマッチで CPU に割り込み要求が出力されます。また、AD 割り込み変換起動トリガが出力されます (サブブロック D0、D2、D4 のみ)。

コンペアマッチ発生時、コンペアマッチ出力要因選択ビット (OSSDxy) でコンペアマッチ B が出力要因に選択されていれば、IOBDxy で設定したコンペアマッチ出力値が TODxyA 端子に出力されます。

21.7.2.5 OSELRDx — 出力選択レジスタ Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 1111_H + (100_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|----------|----------|----------|----------|----------|----------|----------|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OSELBDx3 | OSELBDx2 | OSELBDx1 | OSELBDx0 | OSELADx3 | OSELADx2 | OSELADx1 | OSELADx0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.85 OSELRDx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 ~ 4 | OSELBDxy | 出力選択 B ビット 0 : TODxyB は通常出力 1 : 出力値レジスタの値を TODxyB に出力する |
| 3 ~ 0 | OSELADxy | 出力選択 A ビット 0 : TODxyA は通常出力 1 : 出力値レジスタの値を TODxyA に出力する |

出力選択レジスタ Dx (OSELRDx) は 8 ビットの読み出し/書き込み可能なレジスタです。

出力値レジスタの値を各端子 (TODxyA、TODxyB) から出力するか選択を行います。

OSELRDx はリセット時に 00_H に初期化されます。

(1) OSELA (B) Dxy — 出力設定ビット A (B) xy

このビットに“1”を書き込むことにより、出力値レジスタの値を対応する TODxyA (TODxyB) 端子に出力することができます。出力値は、タイマ I/O コントロールレジスタ 1Dx、同 2Dx (TIOR1Dx、TIOR2Dx)、タイマアウトプットコントロールレジスタ Dx (TOCRDx) の設定や、タイマダウンカウンタ Dxy によるワンショットパルス出力の影響を受けません。

このビットに“0”を設定した場合は、TODxyA (TODxyB) 端子はタイマ I/O コントロールレジスタ 1Dx、同 2Dx (TIOR1Dx、TIOR2Dx)、タイマアウトプットコントロールレジスタ Dx (TOCRDx) の設定や、タイマダウンカウンタ Dxy によるワンショットパルス出力の設定にしたがい出力します。

21.7.2.6 ODRDx — 出力値レジスタ Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャンネル 0 ~ 3 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 1112_H + (100_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|--------|--------|--------|--------|--------|--------|--------|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ODBDx3 | ODBDx2 | ODBDx1 | ODBDx0 | ODADx3 | ODADx2 | ODADx1 | ODADx0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.86 ODRDx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--|-----------------------------------|
| 7 ~ 4 | ODBDxy (y = 3, 2, 1, 0 : チャンネル 0 ~ 3 に対応) | 出力値 B ビット TODxyB に出力する値を設定します。 |
| 3 ~ 0 | ODADxy (y = 3, 2, 1, 0 : チャンネル 0 ~ 3 に対応) | 出力値 A ビット TODxyA に出力する値を設定します。 |

出力値レジスタ Dx (ODRDx) は 8 ビットの読み出し/書き込み可能なレジスタです。

出力選択レジスタ Dx (OSELRDx) の対応するビットが“1”に設定されているとき、対応する ODRDx の値を各端子 (TODxyA、TODxyB) から出力することができます。

ODRDx はリセット時に 00_H に初期化されます。

21.7.2.7 DSTRDx — ダウンカウントスタートレジスタ Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャンネル 0 ~ 3 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 1108_H + (100_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|-----------------|-----------------|-----------------|-----------------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | DSTDx3 | DSTDx2 | DSTDx1 | DSTDx0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 ^{注1} | 0 ^{注1} | 0 ^{注1} | 0 ^{注1} |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

注1. “0”書き込み無効。“1”を書き込み時はデータは保持されません。読み出し値は常に“0”になります。

表 21.87 DSTRDx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 7 ~ 4 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 3 ~ 0 | DSTDxy | ダウンカウントスタートビット 0 : 何もしない 1 : タイマダウンカウンタ Dxy (DCNTDx3-Dx0) のカウント開始 |

ダウンカウントスタートレジスタ Dx (DSTRDx) は 8 ビットの読み出し／書き込み可能なレジスタです。

ダウンカウンタのスタートビットを持ち、ソフトで値を書き込むことでダウンカウント動作を開始させることができます。

DSTRDx はリセット時に 00_H に初期化されます。

(1) DSTDxy — ダウンカウントスタートビット Dxy

このビットに“1”を書き込むことにより、タイマダウンカウンタ Dxy (DCNTDxy) のカウントを開始することができます。ダウンカウントスタートビットによるダウンカウント開始は、ダウンカウンタコントロールレジスタのスタートトリガの設定に関係なく常に有効です。ただし、コンペアマッチ B もしくはコンペアマッチ A or B によるダウンカウンタの停止が設定されていて、ダウンカウントスタートビットへの“1”書き込みと、コンペアマッチ B (コンペアマッチ A or B) が同時に発生した場合は、コンペアマッチ B (コンペアマッチ A or B) によるカウント停止が優先されるため、ダウンカウントは開始されません。

DCNTDxy 値が 0000 0000_H であるときは、ダウンカウントスタートビットへ“1”書き込みを行ってもダウンカウントは開始されません。

21.7.2.8 DSR1Dx — ダウンカウントステータスレジスタ 1Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャンネル 0 ~ 3 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 110A_H + (100_H * x)

リセット後の値 00_H

| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|--------|--------|--------|--------|--------|--------|--------|--------|
| | DWFDx3 | DWFDx2 | DWFDx1 | DWFDx0 | DSFDx3 | DSFDx2 | DSFDx1 | DSFDx0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 21.88 DSR1Dx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 7 ~ 4 | DWFDxy | ダウンカウントウェイトフラグ Dxy 0 : ダウンカウントコンペアマッチ開始待ち状態が発生していない 1 : ダウンカウントコンペアマッチ開始待ち状態が発生した |
| 3 ~ 0 | DSFDxy | ダウンカウントステータスフラグ Dxy 0 : ダウンカウント停止状態 1 : ダウンカウント動作状態 |

ダウンカウントステータスレジスタ 1Dx (DSR1Dx) は 8 ビットの読み出し専用のレジスタです。このレジスタは、タイマダウンカウンタ Dxy (DCNTDxy) の状態を示すフラグを持っています。

DSR1Dx はリセット時に 00_H に初期化されます。

(1) DWFDxy — ダウンカウントウェイトフラグ Dxy

タイマダウンカウンタ Dxy (DCNTDxy) がカウント開始待ち状態であるかどうかを示すフラグです。ダウンカウンタコントロールレジスタ Dx (DCRDx) の TRGSELDxy ビットで、カウントスタートトリガにコンペアマッチ A&B が設定されている場合にのみ有効なフラグであり、その設定以外でこのフラグに“1”がセットされることはありません。

カウントスタートトリガにコンペアマッチ A&B が設定されていて、DWFDxy が“0”であるとき、コンペアマッチ A、B のいずれか一方が発生すると DWFDxy が“1”にセットされます。この状態で、DWFDxy を“1”セットした要因とは別のコンペアマッチ（コンペアマッチ A で DWFDxy がセットされたのであれば、コンペアマッチ B を指す）が発生するとカウントスタートトリガとして認識され、ダウンカウントが開始されます。このとき、DWFDxy は“0”にクリアされます。

DWFDxy の“1”セットと同じ要因のコンペアマッチが起きても、DWFDxy は“1”のまま、スタートトリガとも認識されません。

コンペアマッチ A および B が同時に発生した場合、すぐにカウントスタートトリガとして認識されますので、ダウンカウント待ち状態となることはなく、DWFDxy が“1”にセットされることはありません。

このフラグは読み出し専用であり、ソフトウェアで“1”をセットしたり、“0”にクリアしたりすることはできません。

- 1セット条件
 - ダウンカウンタコントロールレジスタ Dx (DCRDx) の TRGSELDxy = 110_B のとき、コンペアマッチ A、あるいはコンペアマッチ B のいずれかが発生したとき。
- 0クリア条件
 - コンペアマッチ A で DWFDxy が “1” にセットされ、その状態でコンペアマッチ B が発生したとき。
 - コンペアマッチ B で DWFDxy が “1” にセットされ、その状態でコンペアマッチ A が発生したとき。
 - ダウンカウントステータスクリアレジスタ Dx (DSCRdx) の DWFCdxy に “1” を書き込んだとき。

(2) DSFDxy — ダウンカウントステータスフラグ Dxy

タイマダウンカウンタ Dxy (DCNTDxy) 動作の有効、無効を示すステータスフラグです。このフラグの読み出し値が “1” であるとき、DCNTDxy のダウンカウント動作は有効であり、ATUENR の TDE ビットが 1 で TSTRD の STRDx ビットが 1 であれば、DCNTDxy がダウンカウント動作中であることがわかります。また、読み出し値が 0 であれば、DCNTDxy はダウンカウント動作無効であり、ダウンカウント停止中であることがわかります。

このフラグは読み出し専用であり、ソフトウェアで “1” をセットしたり、“0” にクリアしたりすることはできません。

- 1セット条件
 - ダウンカウントスタートレジスタ Dx (DSTRDx) のダウンカウントスタートビットに “1” を書いたとき。
 - ダウンカウントスタートトリガとして設定された条件（コンペアマッチ A、コンペアマッチ B、コンペアマッチ A or B）が発生したとき
- 0クリア条件
 - ダウンカウンタのアンダフローによってカウント停止したとき。
 - ダウンカウントストップトリガとして設定された条件（コンペアマッチ B、コンペアマッチ A or B）が発生し、ダウンカウンタがカウント停止したとき。

本フラグは、ATUENR の TDE ビットおよび TSTRD の STRDx ビットの設定値にかかわらずセットされます。よって、TDE ビットまたは STRDn ビットがカウント許可に設定されていなければ、ダウンカウント有効状態であってもダウンカウント停止中であることにご注意ください。クリアはダウンカウントクロックに同期して動作します。

21.7.2.9 DSR2Dx — ダウンカウンタステータスレジスタ 2Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 110B_H + (100_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|--------------|---|--------------|---|--------------|---|--------------|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DWRFDx3[1:0] | | DWRFDx2[1:0] | | DWRFDx1[1:0] | | DWRFDx0[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 21.89 DSR2Dx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------------|---|
| 7 ~ 0 | DWRFDxy[1:0] | ダウンカウントウェイトレコードフラグ Dxy 00 : コンペアマッチ発生なし 01 : コンペアマッチ A 発生によるダウンカウント開始 10 : コンペアマッチ B 発生によるダウンカウント開始 11 : コンペアマッチ A とコンペアマッチ B が同時発生によるダウンカウント開始 |

ダウンカウンタステータスレジスタ 2Dx (DSR2Dx) は 8 ビットの読み出し専用のレジスタです。

DWRFDxy レジスタは、タイマダウンカウンタ Dxy (DCNTDxy) のカウント動作開始条件を示すフラグです。

タイマダウンカウンタ Dxy (DCNTDxy) のカウント動作開始タイミングでステータスが更新されます。

ダウンカウント開始条件が“A&B”の場合、ダウンカウントが開始（あとに発生したコンペアマッチ）した条件をステータスレジスタに保持します。また、ダウンカウントスタートレジスタ Dx (DSTRDx) によりダウンカウントを開始させた場合、ステータスレジスタは前の値を保持したままになります。

DSR2Dx はリセット時に 00_H に初期化されます。

- 00_B へのクリア条件

ダウンカウンタステータスクリアレジスタ Dx (DSCRDx) の DWRFCxy に 1 を書き込んだときにクリアされます。

21.7.2.10 DSCRDX — ダウンカウンタステータスクリアレジスタ Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 1109_H + (100_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|---------|---------|---------|---------|----------|----------|----------|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DWFCDX3 | DWFCDX2 | DWFCDX1 | DWFCDX0 | DWRFCDX3 | DWRFCDX2 | DWRFCDX1 | DWRFCDX0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.90 DSCRDX レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 ~ 4 | DWFCDXy | ダウンカウントウェイトフラグクリアイネーブル Dxy 0: 無効 (初期値) 1: ダウンカウンタステータスレジスタ 1Dx (DSR1Dx) の DWFDxy を 0 にクリアする。 |
| 3 ~ 0 | DWRFCDXy | ダウンカウントウェイトレコードフラグクリアイネーブル Dxy 0: 無効 (初期値) 1: ダウンカウンタステータスレジスタ 2Dx (DSR2Dx) の DWRFDxy を 0 にクリアする。 |

ダウンカウンタステータスクリアレジスタ Dx (DSCRDX) は 8 ビットの読み出し/書き込み可能なレジスタです。このレジスタは、ダウンカウンタステータスレジスタ 1Dx、同 2Dx (DSR1Dx、DSR2Dx) のコンペアマッチ A&B の設定時のコンペアマッチ発生によるフラグのクリア設定を行います。

DSCRDX はリセット時に 00_H に初期化されます。

(1) DWFCDXy — ダウンカウントウェイトフラグクリアイネーブル Dxy

ダウンカウンタステータスレジスタ 1Dx (DSR1Dx) のダウンカウントウェイト発生によるフラグのクリア設定をします。

本ビットを 1 に設定することでダウンカウンタステータスレジスタ 1Dx (DSR1Dx) のダウンカウントウェイトフラグ Dxy (DWFDxy) をクリアすることが可能です。読み出した場合は常に“0”が読み出せます。

(2) DWRFCDXy — ダウンカウントウェイトレコードフラグクリアイネーブル Dxy

ダウンカウンタステータスレジスタ 2Dx (DSR2Dx) のダウンカウントウェイト発生によるフラグのクリア設定をします。

本ビットを 1 に設定することでダウンカウンタステータスレジスタ 2Dx (DSR2Dx) のダウンカウントウェイトレコードフラグ Dx (DWRFDxy) をクリアすることが可能です。読み出した場合は常に“0”が読み出せます。

21.7.2.11 DCRDx — ダウンカウンタコントロールレジスタ Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 8ビット/16ビットアクセス可能

アドレス FFE6 1102_H + (100_H * x)

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|-----|-----|-----------|-----|-----|-----|-----------|-----|-----|-----|-----------|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TRGSELDx3 | | | | TRGSELDx2 | | | | TRGSELDx1 | | | | TRGSELDx0 | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.91 DCRDx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------------------|---|
| 15 ~ 0 | TRGSELDx3 ~ TRGSELDx0 | ダウンカウントスタート/ストップトリガ選択ビット コンペアマッチ A、およびコンペアマッチ B をタイマダウンカウンタ Dxy (DCNTDxy) のカウント開始、停止条件として設定可能。 |

ダウンカウンタコントロールレジスタ Dx (DCRDx) は 16 ビットの読み出し/書き込み可能なレジスタです。

このレジスタは、ダウンカウントスタート/ストップトリガ設定ビットを持っており、タイマダウンカウンタ Dxy (DCNTDxy) の開始、停止のトリガとしてコンペアマッチ A、コンペアマッチ B、あるいはコンペアマッチ A or B、コンペアマッチ A & B を設定することができます。

DCRDx はリセット時に 0000_H に初期化されます。

なお、TRGSELDxy ビットの変更はカウンタ停止状態で行ってください。カウンタ動作中にトリガ要因の変更を行った場合の動作は保証できません。

(1) TRGSELDxy — ダウンカウンタスタート/ストップトリガ選択ビット Dxy

| TRGSELDxy | | | | 機能 | |
|-----------|-----|-----|-----|--------------|--------------|
| [3] | [2] | [1] | [0] | カウンタスタートトリガ | カウンタストップトリガ |
| 0 | 0 | 0 | 0 | なし | なし (初期値) |
| 0 | 0 | 0 | 1 | なし | コンペアマッチ B |
| 0 | 0 | 1 | 0 | コンペアマッチ A | なし |
| 0 | 0 | 1 | 1 | コンペアマッチ A | コンペアマッチ B |
| 0 | 1 | 0 | 0 | コンペアマッチ B | なし |
| 0 | 1 | 0 | 1 | 設定禁止 | 設定禁止 |
| 0 | 1 | 1 | 0 | コンペアマッチ A&B | なし |
| 0 | 1 | 1 | 1 | 設定禁止 | 設定禁止 |
| 1 | 0 | 0 | 0 | 設定禁止 | 設定禁止 |
| 1 | 0 | 0 | 1 | なし | コンペアマッチ AorB |
| 1 | 0 | 1 | 0 | コンペアマッチ AorB | なし |
| 1 | 0 | 1 | 1 | コンペアマッチ AorB | コンペアマッチ AorB |
| 1 | 1 | 0 | 0 | 設定禁止 | 設定禁止 |
| 1 | 1 | 0 | 1 | 設定禁止 | 設定禁止 |
| 1 | 1 | 1 | 0 | 設定禁止 | 設定禁止 |
| 1 | 1 | 1 | 1 | 設定禁止 | 設定禁止 |

タイマダウンカウンタ Dxy (DCNTDxy) のカウンタスタート、カウンタストップのトリガとなる要因を設定するビットです。カウンタスタートのトリガには、コンペアマッチ A、コンペアマッチ B、コンペアマッチ A or B、コンペアマッチ A & B を設定できます。

カウンタストップのトリガにはコンペアマッチ B、コンペアマッチ A or B を設定できます。コンペアマッチ A & B はコンペアマッチ A とコンペアマッチ B が両方成立したときダウンカウンタをスタートします (コンペアマッチ A と B は同時発生である必要はありません)。

ダウンカウンタのスタートトリガとしては、ここで設定した要因以外に、ダウンカウンタスタートビットへの“1”書き込みがあります。ダウンカウンタスタートビットでのカウンタスタートは、TRGSELDxy の設定にかかわらず常に有効です。

ダウンカウンタのスタートトリガと、ストップトリガとなる要因が同時に発生した場合には、カウンタストップが優先されます。

注 意

TRGSELDxy = 1010_B 設定時、アンダフローとコンペアマッチ A が同時に発生した場合、アンダフロー割り込みが発生せずアンダフローフラグが 1 にセットされません。また、TRGSELDxy = 1010_B 設定時、タイマダウンカウンタ Dxy (DCNTDxy) が 0000 0000_H で停止時に、カウンタスタートトリガとコンペアマッチ A が同時に発生した場合、アンダフロー割り込みが発生せずアンダフローフラグが 1 にセットされません。

この時アンダフロー発生時のソフトウェア処理を実行するためには、コンペアマッチ A 割り込み処理内で、ダウンカウンタ停止中 (DSR1Dx.DSFDxy = 0) かつ割り込みコントローラのアンダフロー割り込みフラグが 0 (EICz.EIRFz = 0) の時のみアンダフロー割り込みフラグに 1 をライト (EICz.EIRFz = 1) して下さい。

ただし、コンペアマッチ A 割り込みの割り込み優先順位を予めアンダフロー割り込みの優先順位より高く設定して下さい。

21.7.2.12 TSRDx — タイマステータスレジスタ Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャンネル 0 ~ 3 に対応)

アクセス 8ビット/16ビットアクセス可能

アドレス FFE6 110C_H + (100_H * x)リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|------------|------------|------------|------------|------------|------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | OVF2D x | OVF1D x | UDFDx 3 | UDFDx 2 | UDFDx 1 | UDFDx 0 | CMFAD x3 | CMFAD x2 | CMFAD x1 | CMFAD x0 | CMFBD x3 | CMFBD x2 | CMFBD x1 | CMFBD x0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.92 TSRDx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------------------|---|
| 15, 14 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 13 | OVF2Dx | オーバフローフラグ 2Dx 0 : TCNT2Dx でオーバフローなし 1 : TCNT2Dx でオーバフロー発生 |
| 12 | OVF1Dx | オーバフローフラグ 1Dx 0 : TCNT1Dx でオーバフローなし 1 : TCNT1Dx でオーバフロー発生 |
| 11 ~ 8 | UDFDx3- UDFDx0 | アンダフローフラグ Dx3-Dx0 0 : アンダフローなし 1 : アンダフロー発生 |
| 7 ~ 4 | CMFADx3- CMFADx0 | コンペアマッチ A フラグ Dx3-Dx0 0 : コンペアマッチ A なし 1 : コンペアマッチ A 発生 |
| 3 ~ 0 | CMFBDx3- CMFBDx0 | コンペアマッチ B フラグ Dx3-Dx0 0 : コンペアマッチ B なし 1 : コンペアマッチ B 発生 |

タイマステータスレジスタ Dx (TSRDx) は 16 ビットの読み出し専用レジスタです。サブブロック Dx (x = 0, 1, 2, 3, 4) の持つ 2 つのタイマカウンタ 2Dx、同 1Dx (TCNT2Dx、TCNT1Dx) のオーバフローの発生、チャンネル 0 ~ 3 のタイマダウンカウンタ Dxy (DCNTDxy) アンダフロー発生、アウトプットコンペアレジスタ 1Dxy、同 2Dxy (OCR1Dxy、OCR2Dxy) のコンペアマッチ発生を示します。本フラグがセットされた状態で割り込み要因が発生した場合、再度割り込み要求が発生します。また、対応するタイマステータスクリアレジスタによるクリアと割り込み要因発生によるセットが競合した場合でも割り込み要求は発生します。

オーバフローフラグ 2, 1、アンダフローフラグおよびコンペアマッチ A, B フラグは、タイマステータスクリアレジスタ Dx (TSCRDX) の対応するビットを設定することによりフラグをクリアすることができます。また、コンペアマッチ A、コンペアマッチ B は各々 12 本 (サブブロック D0、D2、D4) のパルス出力を、AD の変換起動トリガとして利用可能です。

TSRDx はリセット時に 0000_H に初期化されます。

(1) OVF2Dx — オーバフローフラグ 2Dx

| OVF2Dx | 機能 |
|--------|---|
| 0 | [クリア条件] タイムステータスクリアレジスタ Dx (TSCRDx) の OVFC2Dx ビットに 1 を書き込んだとき。 (初期値) |
| 1 | [セット条件] <ul style="list-style-type: none"> TCNT2Dx の値がオーバーフロー (FFFF FFFF_H → 0000 0000_H) したとき。 上限値設定機能が有効時にカウンタのクリアが発生したとき。 |

このフラグはタイマカウンタ 2Dx (TCNT2Dx) のオーバーフローの発生を示すステータスフラグです。このフラグの読み出し値が“1”であるとき、TCNT2Dx のオーバーフローが発生したことを示します。このフラグをソフトウェアにより“1”にセットすることはできません。

オーバーフローフラグは TCNT2Dx が FFFF FFFF_H の状態でカウントアップクロックが入力されたときと、上限値設定機能が有効なときに、カウンタと上限値設定レジスタが一致した次のクロックでセットします。TCNT2Dx への 0000 0000_H 書き込み、TCNT2Dx 初期値 (0000 0000_H) で起動しても OVF2Dx はセットされません。

カウンタ値が FFFF FFFF_H の状態で、カウントアップクロックと同時に TCNT2Dx への書き込みを行った場合、オーバーフローフラグは“1”にセットされますが、TCNT2Dx 値は 0000 0000_H ではなく、書き込まれた値に更新されます。

タイマ B からのカウンタクリアとカウントアップによるオーバーフローが同時に発生した場合、オーバーフローは検出されません。しかし、タイマ B からのカウンタクリアと上限値設定機能が有効時にカウンタのクリアが同時に発生した場合は、オーバーフローとして検出されません。

(2) OVF1Dx — オーバフローフラグ 1Dx

| OVF1Dx | 機能 |
|--------|---|
| 0 | [クリア条件] タイムステータスクリアレジスタ Dx (TSCRDx) の OVFC1Dx ビットに 1 を書き込んだとき。 (初期値) |
| 1 | [セット条件] <ul style="list-style-type: none"> TCNT1Dx の値がオーバーフロー (FFFF FFFF_H → 0000 0000_H) したとき。 上限値設定機能が有効時にカウンタのクリアが発生したとき。 |

このフラグはタイマカウンタ 1Dx (TCNT1Dx) のオーバーフローの発生を示すステータスフラグです。このフラグの読み出し値が“1”であるとき、TCNT1Dx のオーバーフローが発生したことを示します。このフラグをソフトウェアにより“1”にセットすることはできません。

オーバーフローフラグは TCNT1Dx が FFFF FFFF_H の状態でカウントアップクロックが入力されたときと、上限値設定機能が有効なときに、カウンタと上限値設定レジスタが一致した次のクロックでセットします。TCNT1Dx への 0000 0000_H 書き込み、TCNT1Dx 初期値 (0000 0000_H) で起動しても OVF1Dx はセットされません。

カウンタ値が FFFF FFFF_H の状態で、カウントアップクロックと同時に TCNT1Dx への書き込みを行った場合、オーバーフローフラグは“1”にセットされますが、TCNT1Dx 値は 0000 0000_H ではなく、書き込まれた値に更新されます。

タイマ B からのカウンタクリアとカウントアップによるオーバーフローが同時に発生した場合、オーバーフローは検出されません。しかし、タイマ B からのカウンタクリアと上限値設

定機能有効時でカウンタのクリアが同時に発生した場合は、オーバフローとして検出されません。

(3) UDFDxy — アンダフローフラグ Dxy

| UDFDxy | 機能 |
|--------|---|
| 0 | [クリア条件] タイムステータスクリアレジスタ Dx (TSCRDx) の UDFCDxy ビットに 1 を書き込んだとき。 (初期値) |
| 1 | [セット条件] DCNTDxy の値がアンダフロー (カウンタ値が 0000 0000 _H の状態で次のダウンカウントクロックが入力) したとき。 |

このフラグはサブブロック Dx、チャネル y のダウンカウンタ Dxy のアンダフローの発生を示すステータスフラグです。このフラグの読み出し値が“1”であるとき、DCNTDxy のアンダフローが発生したことを示します。このフラグをソフトウェアにより“1”にセットすることはできません。

アンダフローフラグは DCNTDxy が 0000 0000_H の状態でダウンカウントクロックが入力されたときにセットされます。アンダフロー検出時、DCNTDxy は 0000 0000_H のまま変化しません。また、DCNTDxy に FFFF FFFF_H を書き込んでもアンダフローフラグはセットされません。

リセット直後のアンダフローフラグは 0 です。(DCNTDxy の値は初期値の 0000 0000_H ですが、DCNTDxy が未動作状態のため、アンダフローを検出しません。DCNTDxy 動作制御はタイマダウンカウンタの項を参照願います。)

(4) CMFADxy — コンペアマッチ A フラグ Dxy

| CMFADxy | 機能 |
|---------|---|
| 0 | [クリア条件] タイムステータスクリアレジスタ Dx (TSCRDx) の CMFCADxy ビットに 1 を書き込んだとき。 (初期値) |
| 1 | [セット条件] アウトプットコンペアレジスタ 1Dxy (OCR1Dxy) がコンペアマッチ許可と設定されている場合に、タイマカウンタ 1Dx (TCNT1Dx) の値が OCR1Dxy と等しくなったとき。 |

サブブロック Dx、チャネル y のアウトプットコンペアレジスタ 1Dxy (OCR1Dxy) のコンペアマッチ発生を示すステータスフラグです。このフラグの読み出し値が“1”であるとき、TCNT1Dx と OCR1Dxy のコンペアマッチが発生したことを示します。このフラグをソフトウェアにより“1”にセットすることはできません。

タイマ I/O コントロールレジスタ 1Dx (TIOR1Dx) の設定により、OCR1Dxy がコンペアマッチ許可と設定されていれば、TCNT1Dx の動作状態に関係なく、TCNT1Dx と OCR1Dxy の値が一致したとき、次の PCLK サイクルでコンペアマッチ A フラグがセットされます。コンペアマッチ A 検出後、TCNT1Dx、OCR1Dxy の値が一致したままの状態、コンペアマッチ A ステータスをクリアしても新たにステータスはセットされません。

また、AD 起動用にコンペアマッチ A 検出を示す 1PCLK 幅のパルスを出力します (サブブロック D0、D2、D4 の計 12 チャネルのみ対応)。

本ステータスをクリアせず“1”の状態のままであっても、新たに TCNT1Dx と OCR1Dxy が一致すればコンペアマッチ A を検出します。ステータスは“1”を上書きします。

(5) CMFBDxy — コンペアマッチ B フラグ Dxy

| CMFBDxy | 機能 |
|---------|---|
| 0 | [クリア条件] タイマステータスクリアレジスタ Dx (TSCRDx) の CMFCBDxy ビットに 0 を書き込んだとき。 (初期値) |
| 1 | [セット条件] アウトプットコンペアレジスタ 2Dxy (OCR2Dxy) がコンペアマッチ許可として設定されている場合で、タイマカウンタ 2Dx (TCNT2Dx) の値が OCR2Dxy と等しくなったとき。 |

このフラグはサブブロック Dx、チャンネル y のアウトプットコンペアレジスタ 2Dxy (OCR2Dxy) のコンペアマッチ発生を示すステータスフラグです。このフラグの読み出し値が“1”であるとき、TCNT2Dx と OCR2Dxy のコンペアマッチが発生したことを示します。このフラグをソフトウェアにより“1”にセットすることはできません。

タイマ I/O コントロールレジスタ 2Dx (TIOR2Dx) の設定により、OCR2Dxy がコンペアマッチ許可と設定されていれば、TCNT2Dx の動作状態に関係なく、TCNT2Dx と OCR2Dxy の値が一致したとき、次の PCLK サイクルでコンペアマッチ B フラグがセットされます。コンペアマッチ B 検出後、TCNT2Dx、OCR2Dxy の値が一致したままの状態、コンペアマッチ B ステータスをクリアしても新たにステータスはセットされません。

また、AD 起動用にコンペアマッチ B 検出を示す 1PCLK 幅のパルスを出力します (サブブロック D0、D2、D4 の計 12 チャンネルのみ対応)。

本ステータスをクリアせず“1”の状態のままであっても、新たに TCNT2Dx と OCR2Dxy が一致すればコンペアマッチ B を検出します。ステータスは“1”を上書きします。

21.7.2.13 TSCRDX — タイマステータスクリアレジスタ Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 8ビット/16ビットアクセス可能
 “0”書き込み無効。“1”書き込み時はデータは保持されません。読み出し値は常に“0”になります。

アドレス FFE6 110E_H + (100_H * x)

リセット後の値 0000_H

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|-------------|-------------|-------------|-------------|-------------|-------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|
| | — | — | OVFC2 Dx | OVFC1 Dx | UDFCD x3 | UDFCD x2 | UDFCD x1 | UDFCD x0 | CMFCA Dx3 | CMFCA Dx2 | CMFCA Dx1 | CMFCA Dx0 | CMFCB Dx3 | CMFCB Dx2 | CMFCB Dx1 | CMFCB Dx0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.93 TSCRDX レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------------------|--|
| 15, 14 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 13 | OVFC2Dx | オーバフローフラグクリアイネーブル 2Dx 0: 無効 (初期値) 1: タイマステータスレジスタ Dx (TSRDx) の OVFC2Dx を 0 にクリアする。 |
| 12 | OVFC1Dx | オーバフローフラグクリアイネーブル 1Dx 0: 無効 (初期値) 1: タイマステータスレジスタ Dx (TSRDx) の OVFC1Dx を 0 にクリアする。 |
| 11 ~ 8 | UDFCDx3- UDFCDx0 | アンダフローフラグクリアイネーブル Dx3-Dx0 0: 無効 (初期値) 1: タイマステータスレジスタ Dx (TSRDx) の UDFCDx3-UDFCDx0 を 0 にクリアする。 |
| 7 ~ 4 | CMFCADx3- CMFCADx0 | コンペアマッチ A フラグクリアイネーブル Dx3-Dx0 0: 無効 (初期値) 1: タイマステータスレジスタ Dx (TSRDx) の CMFCADx3-CMFCADx0 を 0 にクリアする。 |
| 3 ~ 0 | CMFCBDx3- CMFCBDx0 | コンペアマッチ B フラグクリアイネーブル Dx3-Dx0 0: 無効 (初期値) 1: タイマステータスレジスタ Dx (TSRDx) の CMFCBDx3-CMFCBDx0 を 0 にクリアする。 |

タイマステータスクリアレジスタ Dx (TSCRDX) は、16 ビットの読み出し/書き込み可能なレジスタです。2つの 32 ビットアップカウンタ (TCNT2Dx、TCNT1Dx) のオーバフロー、TCNT1Dx とアウトプットコンペアレジスタ 1Dxy (OCR1Dxy) とのコンペアマッチ、および TCNT2Dx とアウトプットコンペアレジスタ 2Dxy (OCR2Dxy) とのコンペアマッチ発生によるフラグのクリア設定を行います。

TSCRDX はリセット時に 0000_H に初期化されます。

(1) OVFC2Dx — オーバフローフラグクリアイネーブル 2Dx

タイマカウンタ 2Dx (TCNT2Dx) のオーバフロー発生によるフラグのクリア設定をします。本ビットを設定することでタイマステータスレジスタ Dx (TSRDx) のオーバフローフラグ 2Dx (OVF2Dx) をクリアすることが可能です。読み出した場合は常に“0”が読み出せます。

| OVFC2Dx | 機能 | |
|---------|---------------------|-------|
| 0 | 無効 | (初期値) |
| 1 | OVF2Dx を 0 にクリアします。 | |

(2) OVFC1Dx — オーバフローフラグクリアイネーブル 1Dx

タイマカウンタ 1Dx (TCNT1Dx) のオーバフロー発生によるフラグのクリア設定をします。本ビットを設定することでタイマステータスレジスタ Dx (TSRDx) のオーバフローフラグ 1Dx (OVF1Dx) をクリアすることが可能です。読み出した場合は常に“0”が読み出せます。

| OVFC1Dx | 機能 | |
|---------|---------------------|-------|
| 0 | 無効 | (初期値) |
| 1 | OVF1Dx を 0 にクリアします。 | |

(3) UDFCDxy — アンダフローフラグクリアイネーブル Dxy

タイマダウンカウンタ Dxy (DCNTDxy) のアンダフロー発生によるフラグのクリア設定をします。

本ビットを設定することでタイマステータスレジスタ Dx (TSRDx) のアンダフローフラグ Dxy (UDFDxy) をクリアすることが可能です。読み出した場合は常に“0”が読み出せます。

| UDFCDxy | 機能 | |
|---------|---------------------|-------|
| 0 | 無効 | (初期値) |
| 1 | UDFDxy を 0 にクリアします。 | |

(4) CMFCADxy — コンペアマッチ A フラグクリアイネーブル Dxy

アウトプットコンペアレジスタ 1Dxy (OCR1Dxy) のコンペアマッチ発生によるフラグのクリア設定をします。

本ビットを設定することでタイマステータスレジスタ Dx (TSRDx) のコンペアマッチ A フラグ Dxy (CMFADxy) をクリアすることが可能です。読み出した場合は常に“0”が読み出せます。

| CMFCADxy | 機能 | |
|----------|----------------------|-------|
| 0 | 無効 | (初期値) |
| 1 | CMFADxy を 0 にクリアします。 | |

(5) CMFCBDxy — コンペアマッチ B フラグクリアイネーブル Dxy

アウトプットコンペアレジスタ 2Dxy (OCR2Dxy) のコンペアマッチ発生によるフラグのクリア設定をします。

本ビットを設定することでタイマステータスレジスタ Dx (TSRDx) のコンペアマッチ B フラグ Dxy (CMFBDxy) をクリアすることが可能です。読み出した場合は常に“0”が読み出せます。

| CMFCBDxy | 機能 |
|----------|----------------------|
| 0 | 無効 (初期値) |
| 1 | CMFBDxy を 0 にクリアします。 |

21.7.2.14 TOCRD_x — タイマアウトプットコントロールレジスタ D_x

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 1110_H + (100_H * x)リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---------------------|---------------------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | TONEBD _x | TONEAD _x |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 21.94 TOCRD_x レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------------------|--|
| 7 ~ 2 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 1 | TONEBD _x | 出力反転セレクト TOD _{xy} B 0 : TOD _{xy} B から通常出力 1 : TOD _{xy} B からの出力信号を反転 |
| 0 | TONEAD _x | 出力反転セレクト TOD _{xy} A 0 : TOD _{xy} A から通常出力 1 : TOD _{xy} A からの出力信号を反転 |

タイマアウトプットコントロールレジスタ D_x (TOCRD0 ~ TOCRD4) は、8ビットの読み出し/書き込み可能なレジスタです。各サブブロック D_x の持つ出力ピン TOD_{xy}A、TOD_{xy}B の信号を反転するか否かを設定します。

リセット時には 00_H に初期化されます。

(1) TONEBD_x、TONEAD_x — 出力反転セレクト D_x

TOD_{xy}B、TOD_{xy}A からの出力を反転するか否かを設定します。

| TONEBD _x | 機能 |
|---------------------|---|
| 0 | 出力ピン (TOD _{xy} B) から通常出力 (初期値) |
| 1 | 出力ピン (TOD _{xy} B) から反転信号を出力 |

| TONEAD _x | 機能 |
|---------------------|---|
| 0 | 出力ピン (TOD _{xy} A) から通常出力 (初期値) |
| 1 | 出力ピン (TOD _{xy} A) から反転信号を出力 |

出力反転セレクト D_x ビットを変更すると、次の PCLK クロックサイクルで TOD_{xy}B、TOD_{xy}A の出力が反転します。

タイマカウンタ 1D_x、2D_x (TCNT1D_x、TCNT2D_x) の動作/停止状態は出力反転切り替えに影響を与えません。

TONEBD_x はサブブロック D_x の持つ 4 出力 (TOD_x0B、TOD_x1B、TOD_x2B、TOD_x3B) すべてを制御します。TONEAD_x も同様に 4 出力 (TOD_x0A、TOD_x1A、TOD_x2A、TOD_x3A) すべてを共通に制御します。TOD_{xy}B、TOD_{xy}A 共にチャンネル単位での制御はできません。

初期状態 (TONEAD_x = 0、TONEBD_x = 0) での TOD_{xy}A、TOD_{xy}B 出力は 0 です。

21.7.2.15 OSBRD_x — タイマオフセットベースレジスタ D_x

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応)

アクセス 32ビットリードアクセス対応 8ビットアクセス/16ビットアクセス禁止

アドレス FFE6 1118_H + (100_H * x)

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|--------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| | OSBRD[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OSBRD[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

注1. 本レジスタへの書き込みはできません。

タイマオフセットベースレジスタ D_x (OSBRD_x) は 32 ビット読み出し専用レジスタです。インプットキャプチャ専用レジスタで、タイマ A からのトリガ信号、DFE からの PH 更新通知トリガ 0, 1 によりタイマカウンタ 1D_x (TCNT1D_x) の値をキャプチャし格納します。

タイマ A からのトリガ信号は TIA00 ~ TIA05 から選択可能で、外部入力信号の DFE からの PH 更新通知トリガ 0、DFE からの PH 更新通知トリガ 1 はタイマインプットキャプチャトリガ選択レジスタ D_x (TICTSELD_x) にて選択可能です。詳細は「21.4.2.1 TCR1A — タイマコントロールレジスタ 1A」と「21.7.2.16 TICTSELD_x — タイマインプットキャプチャトリガ選択レジスタ D_x」を参照してください。

リセット時に 0000 0000_H に初期化されます。

21.7.2.16 TICTSELDx — タイマインプットキャプチャトリガ選択レジスタ Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 1114_H + (100_H * x)リセット後の値 0X_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---------------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | TIDSELDx[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 注1 |
| R/W | R | R | R | R | R | R | R/W | R/W |

注1. サブブロックによって変化します。

x = 0 ~ 2 : 0

x = 3 ~ 4 : 1

タイマインプットキャプチャトリガ選択レジスタ Dx (TICTSELDx) は8ビットの読み出し／書き込み可能なレジスタです。

タイマ A からのイベント 2A、2B、外部入力信号の DFE からの PH 更新通知トリガ 0、DFE からの PH 更新通知トリガ 1 を選択可能なレジスタで、TCNTIDx カウンタの値を OSBRDx レジスタにキャプチャします。

表 21.95 TICTSELDx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------------|--|
| 7 ~ 2 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 1、0 | TIDSELDx [1:0] | 00 : イベント 2A 01 : イベント 2B 10 : DFE からの PH 更新通知トリガ 0 11 : DFE からの PH 更新通知トリガ 1 |

21.7.2.17 TCNT1Dx — タイマカウンタ 1Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応)

アクセス 32ビットアクセス可能 8ビットアクセス/16ビットアクセス禁止**アドレス** FFE6 1120_H + (100_H * x)**リセット後の値** 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|---------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TCNT1D[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TCNT1D[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

タイマカウンタ 1Dx (TCNT1Dx) は 32 ビットの読み出し/書き込み可能なレジスタです。

タイマコントロールレジスタ Dx (TCRDx) の CKSEL1Dx[2:0] ビットにより選択されたカウントクロックによりカウント動作を行います。タイマスタートレジスタ D (TSTRD) の対応するビットを 1 にセットするとカウントを開始します。

タイマがオーバーフローすると、オーバーフロー割り込み要求を CPU へ出力することができません。

タイマステータスレジスタ Dx (TSRDx) のオーバーフローフラグ 1Dx (OVF1Dx) に 1 がセットされます。

リセット時に 0000 0000_H に初期化されます。

21.7.2.18 TCNT2Dx — タイマカウンタ 2Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応)

アクセス 32ビットアクセス可能 8ビットアクセス/16ビットアクセス禁止**アドレス** FFE6 1124_H + (100_H * x)**リセット後の値** 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|---------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | TCNT2D[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TCNT2D[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

タイマカウンタ 2Dx (TCNT2Dx) は 32 ビットの読み出し/書き込み可能なレジスタです。

タイマコントロールレジスタ Dx (TCRDx) の CKSEL2Dx[2:0] ビットにより選択されたカウントクロックによりカウント動作を行います。タイマスタートレジスタ D (TSTRD) の対応するビットを 1 にセットするとカウントを開始します。

タイマがオーバーフローすると、オーバーフロー割り込み要求を CPU へ出力することができます。

タイマステータスレジスタ Dx (TSRDx) のオーバーフローフラグ 2Dx (OVF2Dx) に 1 がセットされます。

リセット時に 0000 0000_H に初期化されます。

21.7.2.19 CUCR1Dx — カウンタ上限値設定コンペアレジスタ 1Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応)

アクセス 32ビットアクセス可能 8ビットアクセス/16ビットアクセス禁止**アドレス** FFE6 1128_H + (100_H * x)**リセット後の値** FFFF FFFF_H

| | | | | | | | | | | | | | | | | |
|---------|---------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CUCR1D[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CUCR1D[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

カウンタ上限値設定コンペアレジスタ 1Dx (CUCR1Dx) は 32 ビットの読み出し/書き込み可能なレジスタで、TCNT1Dx タイマカウンタ 1Dx に対するコンペアレジスタの機能を持っています。本レジスタは、タイマコントロールレジスタ Dx (TCRDx) の TCNT1Dx クリア設定ビット (CLR1Dx) を “1” に設定することで、タイマカウンタ 1Dx (TCNT1Dx) とのコンペアマッチが許可されます。タイマカウンタ 1Dx (TCNT1Dx) とカウンタ上限値設定コンペアレジスタ 1Dx (CUCR1Dx) のコンペアマッチにより、タイマカウンタ 1Dx (TCNT1Dx) を 0000 0000_H にクリアします。このコンペアマッチがタイマカウンタ 1Dx (TCNT1Dx) のカウントアップと同時に発生した場合、タイマカウンタ 1Dx (TCNT1Dx) を 0000 0001_H にクリアします。

タイマカウンタ 1Dx (TCNT1Dx) とカウンタ上限値設定コンペアレジスタ 1Dx (CUCR1Dx) のコンペアマッチにより、タイマステータスレジスタ Dx (TSRDx) の OVF1Dx ビットを 1 にセットし、オーバフロー割り込みを出力します。

オーバフロー割り込みの出力幅は、PCLK の 1 クロック幅となります。

カウンタ上限値設定コンペアレジスタ 1Dx (CUCR1Dx) による OCR1Dxy のコンペアマッチの発生条件は、

$$CUCR1Dx \geq OCR1Dxy$$

となります。

CUCR1Dx には 0000 0000_H を設定しないでください。0000 0000_H を設定した場合、不正な周期でコンペアマッチが発生することになりますのでご注意ください。

21.7.2.20 CUCR2Dx — カウンタ上限値設定コンペアレジスタ 2Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応)

アクセス 32ビットアクセス可能 8ビットアクセス/16ビットアクセス禁止**アドレス** FFE6 112C_H + (100_H * x)**リセット後の値** FFFF FFFF_H

| | | | | | | | | | | | | | | | | |
|---------|---------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CUCR2D[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CUCR2D[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

カウンタ上限値設定コンペアレジスタ 2Dx (CUCR2Dx) は 32 ビットの読み出し/書き込み可能なレジスタで、TCNT2Dx タイマカウンタに対するコンペアレジスタの機能を持っています。本レジスタは、タイマコントロールレジスタ Dx (TCRDx) の TCNT2Dx クリア設定ビット (CLR2Dx) を “1” に設定することで、タイマカウンタ 2Dx (TCNT2Dx) とのコンペアマッチが許可されます。タイマカウンタ 2Dx (TCNT2Dx) とカウンタ上限値設定コンペアレジスタ 2Dx (CUCR2Dx) のコンペアマッチにより、タイマカウンタ 2Dx (TCNT2Dx) を 0000 0000_H にクリアします。このコンペアマッチがタイマカウンタ 2Dx (TCNT2Dx) のカウントアップと同時に発生した場合、タイマカウンタ 2Dx (TCNT2Dx) を 0000 0001_H にクリアします。

タイマカウンタ 2Dx (TCNT2Dx) とカウンタ上限値設定コンペアレジスタ 2Dx (CUCR2Dxy) のコンペアマッチにより、タイマステータスレジスタ Dx (TSRDx) の OVF2Dx ビットを 1 にセットし、オーバフロー割り込みを出力します。

オーバフロー割り込みの出力幅は、PCLK の 1 クロック幅となります。

カウンタ上限値設定コンペアレジスタ 2Dx (CUCR2Dx) による OCR2Dxy のコンペアマッチの発生条件は、

$$CUCR2Dx \geq OCR2Dxy$$

となります。

CUCR2Dx には 0000 0000_H を設定しないでください。0000 0000_H を設定した場合、不正な周期でコンペアマッチが発生することになりますのでご注意ください。

21.7.2.21 OCR1Dxy — アウトプットコンペアレジスタ 1Dxy

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャンネル 0 ~ 3 に対応)

アクセス 32ビットアクセス可能 8ビットアクセス/16ビットアクセス禁止

アドレス FFE6 1140_H + (100_H * x) + (20_H * y)

リセット後の値 FFFF FFFF_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | OC1D[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OC1D[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

アウトプットコンペアレジスタ 1Dxy (OCR1Dxy) は 32 ビットの読み出し/書き込み可能なレジスタです。OCR1Dxy はタイマカウンタ 1Dx (TCNT1Dx) と常に比較されており、TIOR1Dx レジスタの IOADxy ビットでコンペアマッチ許可に設定されていれば、TCNT1Dx の値と OCR1Dxy の値との一致を検出し、次の PCLK に同期して TSRDx レジスタの CMFADxy ビット (コンペアマッチ A フラグ) の “1” セットを行います。このとき、OSSDxy ビットでコンペアマッチ A が出力要因に設定されていれば、TODxyA 端子へのコンペアマッチ出力も行います。

また、DCRDx の TRGSELDxy ビットでコンペアマッチ A がダウンカウントスタートトリガに設定されていれば、コンペアマッチ A の検出と同時に DCNTDxy はダウンカウント可能状態となります。

ダウンカウント可能状態になると、DCNTDxy はダウンカウント用クロックに同期してダウンカウントを行います。また、ダウンカウント開始と同時に TODxyB 出力をアサート (ワンショットパルス出力開始) します。ただし、コンペアマッチ A と、ダウンカウントストップトリガに設定されたコンペアマッチ B が同時に発生した場合は、出力遮断が優先されパルスを出力せずに終了します。

TCNT1Dx がカウンタオーバーフローで FFFF FFFF_H から 0000 0000_H に変化したとき、OCR1Dxy に 0000 0000_H が設定されていればコンペアマッチを検出します。

カウンタ上限値設定機能 (「21.7.3.2 カウンタ上限値設定機能」参照) を使用し、カウントクロックとしてクロックバス 5 または 6、もしくは分周比が 1/1 のプリスケラを選択する場合、タイマカウンタ値は 1 ~ CUCR1Dx 値の間でカウントしカウンタ値が 0000 0000_H とならないことがあるため、本レジスタには 0000 0000_H を設定しないでください。

コンペアマッチ A 検出により、CPU への割り込みを発生させることができます。また、サブブロック 0、2、4 は AD 起動トリガも発生させることができます。

範囲コンペア機能有効時 (RCR1Dx = 0 以外)、コンペア一致したタイミングの TCNT1Dx を OCR1Dxy に格納します。

リセット時に FFFF FFFF_H に初期化されます。

21.7.2.22 RCR1Dx — 範囲コンペア値設定レジスタ 1Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 1130_H + (100_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|-----------|-----|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | RC1D[4:0] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R/W |

範囲コンペア値設定レジスタ 1Dx (RCR1Dx) は 8 ビットの読み出し／書き込み可能なレジスタです。本レジスタの設定により、OCR1Dxy への書き込み動作時に TCNT1Dx の値が $OCR1Dxy \leq TCNT1Dx \leq (OCR1Dxy + \text{“RCR1Dx で指定された範囲値”})$ の範囲であれば、OCR1Dxy と TCNT1Dx のコンペアマッチ A が発生します。RCR1Dx はリセット時に 00_H に初期化されます。

本機能は、RCR1Dx を 00_H 以外の設定にした場合に有効になり、OCR1Dxy に書き込みをした時のみ判定を行います。

TCNT1Dx クリア設定ビット 1Dx (CLR1Dx) を 1 に設定する場合には、RCR1Dx は、00_H に設定してください。

範囲コンペアとして設定できる範囲は、以下のとおりです (2 のべき乗の値 (RCR1Dx = 0 のときのみ例外))

| RCR1Dx[4:0] 設定値 | 選択される範囲 | 備考 |
|-----------------|------------|----------------|
| 00000 | 無し | 範囲コンペア無効 (初期値) |
| 00001 | 2^1-1 | — |
| 00010 | 2^2-1 | — |
| 00011 | 2^3-1 | — |
| 00100 | 2^4-1 | — |
| 00101 | 2^5-1 | — |
| 00110 | 2^6-1 | — |
| 00111 | 2^7-1 | — |
| 01000 | 2^8-1 | — |
| 01001 | 2^9-1 | — |
| 01010 | $2^{10}-1$ | — |
| 01011 | $2^{11}-1$ | — |
| 01100 | $2^{12}-1$ | — |
| 01101 | $2^{13}-1$ | — |
| 01110 | $2^{14}-1$ | — |
| 01111 | $2^{15}-1$ | — |
| 10000 | $2^{16}-1$ | — |
| 10001 | $2^{17}-1$ | — |
| 10010 | $2^{18}-1$ | — |
| 10011 | $2^{19}-1$ | — |
| 10100 | $2^{20}-1$ | — |
| 10101 | $2^{21}-1$ | — |
| 10110 | $2^{22}-1$ | — |
| 10111 | $2^{23}-1$ | — |
| 11000 | $2^{24}-1$ | — |
| 11001 | $2^{25}-1$ | — |
| 11010 | $2^{26}-1$ | — |
| 11011 | $2^{27}-1$ | — |
| 11100 | $2^{28}-1$ | — |
| 11101 | $2^{29}-1$ | — |
| 11110 | $2^{30}-1$ | — |
| 11111 | $2^{31}-1$ | — |

21.7.2.23 OCR2Dxy — アウトプットコンペアレジスタ 2Dxy

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 32ビットアクセス可能 8ビットアクセス/16ビットアクセス禁止

アドレス FFE6 1148_H + (100_H * x) + (20_H * y)

リセット後の値 FFFF FFFF_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | OC2D[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OC2D[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

アウトプットコンペアレジスタ 2Dxy (OCR2Dxy) は 32 ビットの読み出し/書き込み可能なレジスタです。OCR2Dxy はタイマカウンタ T2Dx (CNT2Dx) と常に比較されており、TIOR2Dx レジスタの IOBDxy ビットでコンペアマッチ許可に設定されていれば、TCNT2Dx の値と OCR2Dxy の値との一致を検出し、次の PCLK に同期して、OSSDxy ビットでコンペアマッチ B が出力要因に設定されていれば、TODxyA 端子へのコンペアマッチ出力も行います。

また、DCRDx の TRGSELDxy ビットでコンペアマッチ B がダウンカウントスタートトリガに設定されていれば、コンペアマッチ B の検出と同時に DCNTDxy はダウンカウント可能状態となります。

ダウンカウント可能状態になると、DCNTDxy はダウンカウント用クロックに同期してダウンカウントを行います。また、ダウンカウント開始と同時に TODxyB 出力をアサート (ワンショットパルス出力開始) します。

DCRDx の TRGSELDxy ビットでコンペアマッチ B がダウンカウントストップトリガに設定されていれば、コンペアマッチ B 検出によってダウンカウント可能状態でなくなります。その後、次のダウンカウント用クロックに同期してダウンカウンタのゼロクリア、TODxyB 出力ネゲート (ワンショットパルス終了) を行います。

TCNT2Dx がカウンタオーバーフローで FFFF FFFF_H から 0000 0000_H に変化したとき、OCR2Dxy に 0000 0000_H が設定されていればコンペアマッチを検出します。

カウンタ上限値設定機能 (「21.7.3.2 カウンタ上限値設定機能」参照) を使用し、カウントクロックとしてクロックバス 5 または 6、もしくは分周比が 1/1 のプリスケラを選択する場合、タイマカウンタ値は 1 ~ CUCR2Dx 値の間でカウントしカウンタ値が 0000 0000_H とならないことがあるため、本レジスタには 0000 0000_H を設定しないでください。

コンペアマッチ B 検出により、CPU への割り込みを発生させることができます。また、サブブロック 0、2、4 は AD 起動トリガも発生することができます。

範囲コンペア機能有効時 (RCR2Dx = 0 以外)、コンペア一致したタイミングの TCNT2Dx を OCR2Dxy に格納します。

リセット時に FFFF FFFF_H に初期化されます。

21.7.2.24 RCR2Dx — 範囲コンペア値設定レジスタ 2Dx

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 1134_H + (100_H * x)

リセット後の値 00_H

| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|---|---|---|-----------|-----|-----|-----|-----|
| | — | — | — | RC2D[4:0] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R/W |

範囲コンペア値設定レジスタ 2Dx (RCR2Dx) は 8 ビットの読み出し／書き込み可能なレジスタです。本レジスタの設定により、OCR2Dxy への書き込み動作時に TCNT2Dx の値が $OCR2Dxy \leq TCNT2Dx \leq (OCR2Dxy + \text{“RCR2Dx で指定された範囲値”})$ の範囲であれば、OCR2Dxy と TCNT2Dx のコンペアマッチ B が発生します。

RCR2Dx はリセット時に 00_H に初期化されます。

本機能は、RCR2Dx を 00_H 以外の設定にした場合に有効になり、OCR2Dxy に書き込みをした時のみ判定を行います。

TCNT2Dx クリア設定ビット 2Dx (CLR2Dx) を 1 に設定する場合には、RCR2Dx は、00_H に設定してください。

範囲コンペアとして設定できる範囲は、以下のとおりです (2 のべき乗の値 (RCR2Dx = 0 のときのみ例外))

| RCR2Dx[4:0] | 選択される範囲 | 備考 |
|-------------|------------|----------------|
| 00000 | 無し | 範囲コンペア無効 (初期値) |
| 00001 | 2^1-1 | — |
| 00010 | 2^2-1 | — |
| 00011 | 2^3-1 | — |
| 00100 | 2^4-1 | — |
| 00101 | 2^5-1 | — |
| 00110 | 2^6-1 | — |
| 00111 | 2^7-1 | — |
| 01000 | 2^8-1 | — |
| 01001 | 2^9-1 | — |
| 01010 | $2^{10}-1$ | — |
| 01011 | $2^{11}-1$ | — |
| 01100 | $2^{12}-1$ | — |
| 01101 | $2^{13}-1$ | — |
| 01110 | $2^{14}-1$ | — |
| 01111 | $2^{15}-1$ | — |
| 10000 | $2^{16}-1$ | — |
| 10001 | $2^{17}-1$ | — |
| 10010 | $2^{18}-1$ | — |
| 10011 | $2^{19}-1$ | — |
| 10100 | $2^{20}-1$ | — |
| 10101 | $2^{21}-1$ | — |
| 10110 | $2^{22}-1$ | — |
| 10111 | $2^{23}-1$ | — |
| 11000 | $2^{24}-1$ | — |
| 11001 | $2^{25}-1$ | — |
| 11010 | $2^{26}-1$ | — |
| 11011 | $2^{27}-1$ | — |
| 11100 | $2^{28}-1$ | — |
| 11101 | $2^{29}-1$ | — |
| 11110 | $2^{30}-1$ | — |
| 11111 | $2^{31}-1$ | — |

21.7.2.25 ICR1Dxy — インพุットキャプチャレジスタ 1Dxy

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャンネル 0 ~ 3 に対応)

アクセス 32 ビットアクセス可能 8 ビットアクセス / 16 ビットアクセス禁止

アドレス FFE6 1150_H + (100_H * x) + (20_H * y)

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|-------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| | IC1D[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | IC1D[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

インพุットキャプチャレジスタ 1Dxy (ICR1Dxy) は 32 ビットの読み出し専用のレジスタで、初期値は 0000 0000_H に設定されています。コンペアマッチ B の発生をトリガとして TCNT1Dx のカウント値を ICR1Dxy にキャプチャします。

ICR1Dxy はリセット時に 0000 0000_H に初期化されます。

21.7.2.26 ICR2Dxy — インพุットキャプチャレジスタ 2Dxy

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 32 ビットアクセス可能 8 ビットアクセス / 16 ビットアクセス禁止

アドレス FFE6 1154_H + (100_H * x) + (20_H * y)

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|-------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| | IC2D[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | IC2D[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

インพุットキャプチャレジスタ 2Dxy (ICR2Dxy) は 32 ビットの読み出し専用のレジスタで、初期値は 0000 0000_H に設定されています。コンペアマッチ A の発生をトリガとして TCNT2Dx のカウント値を ICR2Dxy にキャプチャします。

ICR2Dxy はリセット時に 0000 0000_H に初期化されます。

21.7.2.27 DCNTDxy — タイマダウンカウンタ Dxy

(x = 0, 1, 2, 3, 4 : サブブロック D0 ~ D4 に対応、y = 0, 1, 2, 3 : チャンネル 0 ~ 3 に対応)

アクセス 32ビットアクセス可能 8ビットアクセス/16ビットアクセス禁止

アドレス FFE6 1158_H + (100_H * x) + (20_H * y)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CNTD[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CNTD[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

タイマダウンカウンタ Dxy (DCNTDxy) は 32 ビットの読み出し/書き込み可能なレジスタです。

タイマコントロールレジスタ Dx (TCRDx) の DCSELDx[2:0] ビットにより選択したクロックによりカウント動作を行います。

DCNTDxy の動作は、ダウンカウンタコントロールレジスタ Dx (DCRDx) によって制御することができます。コンペアマッチ A 検出、コンペアマッチ B 検出、コンペアマッチ A or B 検出、コンペアマッチ A & B 検出、あるいは DSTRDx レジスタの DSTDxy ビットへの“1”書き込みによってダウンカウントを開始します。ダウンカウントが許可されている期間中、ダウンカウントクロックが入力されるたびにダウンカウントを行います。DCNTDxy のアンダフローでカウント停止、コンペアマッチ B 検出もしくはコンペアマッチ A or B 検出によりカウントを停止させることができます。ダウンカウンタのアンダフローによる停止時は、CPU にダウンカウンタアンダフロー割り込み要求、および DMA 転送要求を発生することができます。

ダウンカウント動作は、TCNT1Dx と OCR1Dxy が同じ値となった次の PCLK (コンペアマッチ A 検出と同じタイミング)、TCNT2Dx と OCR2Dxy が同じ値となった次の PCLK (コンペアマッチ B 検出と同じタイミング)、あるいは DSTDxy ビットが“1”になったときから許可されます。そこから DCNTDxy がアンダフローするまでの間、あるいは TCNT1Dx と OCR1Dxy が同じ値となった次の PCLK (コンペアマッチ A 検出と同じタイミング)、TCNT2Dx と OCR2Dxy が同じ値となった次の PCLK (コンペアマッチ B 検出と同じタイミング) までの間がダウンカウント許可状態となります。その間にダウンカウントクロックが入力されればダウンカウントを行います。

いったん許可状態になれば、DCNTDxy のアンダフロー、コンペアマッチ B、あるいはコンペアマッチ A or B の検出 (カウントストップトリガに設定されているとき) までは、ダウンカウント許可状態が継続します。許可状態において、再度カウントスタートトリガ要因が発生したり、DSTDxy ビットへの“1”書き込みが行われたりしても、許可状態に変化はありません。

コンペアマッチ B、もしくはコンペアマッチ A or B を検出 (カウントストップトリガに設定されているとき) すると、次のダウンカウント用クロックに同期してダウンカウントを停止し、カウンタ値は 0000 0000_H にクリアされます。コンペアマッチ A や DSTDxy への“1”書

書き込みによるダウンカウント開始と、コンペアマッチ B によるダウンカウント停止を同時に検出した場合には、カウント停止が優先されます。このとき、ダウンカウント動作は行われずに終了し、TOD_{xy}B は出力されません。また、コンペアマッチ A や DSTD_{xy} への“1”書き込みによるダウンカウント開始と、コンペアマッチ B 発生によるカウント停止の間に、一度もダウンカウントクロックの入力がない場合もダウンカウントを行わずに終了します。

ダウンカウント停止状態では DCNTD_{xy} 値にかかわらずダウンカウント動作を行いません。アンダフローでダウンカウント終了したあと、DCNTD_{xy} に新たに 0000 0000_H 以外の値を設定しても、次のカウント開始要因が発生するまではダウンカウントは行われません。

ダウンカウント開始時に、DCNTD_{xy} 値が 0000 0000_H、かつダウンカウントクロックが入力されていない場合は、ダウンカウント動作を行わずに、ダウンカウントステータスレジスタ 2D_x (DSR2D_x) のフラグのみを更新します。また、次のダウンカウントクロックで、DCNTD_{xy} 値が 0000 0000_H によるカウントダウン停止の割り込みが発生します。割り込みが発生するまでダウンカウントステータスレジスタ 1D_x (DSR1D_x) のダウンカウントステータスフラグ D_{xy} (DSFD_{xy}) が“1”の状態となります。

リセット時に 0000 0000_H に初期化されます。

21.7.3 動作説明

タイマ D は 5 個のサブブロックで構成され、タイマ D として 2 本の範囲コンペア設定レジスタ (RCR1D_x、RCR2D_x) を持ち、各ブロックは 2 本の 32 ビットタイマカウンタ 1D_x、同 2D_x (TCNT1D_x、TCNT2D_x)、1 本のタイマオフセットベースレジスタ D_x (OSBRD_x)、1 本の出力値レジスタ (ODRD_x)、1 本の出力選択レジスタ (OSELRD_x) と次に述べるチャンネル 4 本を持っています。各チャンネルは、TCNT1D_x とのコンペアマッチを行うアウトプットコンペアレジスタ 1D_{xy} (OCR1D_{xy}) と TCNT2D_x とのコンペアマッチを行うアウトプットコンペアレジスタ 2D_{xy} (OCR2D_{xy})、1 本のタイマダウンカウンタ D_{xy} (DCNTD_{xy})、2 本のカウンタの上限値設定レジスタ (CUCR1D_x、CUCR2D_x)、2 本のインプットキャプチャレジスタ (ICR1D_{xy}、ICR2D_{xy}) から構成されます。

タイマ D はワンショットパルスの生成が可能です。コンペアマッチ A、コンペアマッチ B、あるいはコンペアマッチ A or B (、コンペアマッチ A & B) をダウンカウンタのスタートトリガに用いることによってオフセット付きのワンショットパルスの出力も可能です。

ATUENR レジスタの TDE ビット、およびタイマスタートレジスタ D (TSTRD) の STRD_x ビットを 1 にセットするとサブブロック D_x の 2 つのタイマカウンタ 1D_x、同 2D_x (TCNT1D_x、TCNT2D_x) がアップカウント動作を開始します。

ダウンカウンタのカウントスタート要因としては、ダウンカウントスタートレジスタ D_x (DSTRD_x) の DSTD_{xy} ビットへの“1”セット、およびダウンカウンタコントロールレジスタ D_x (DCRD_x) の TRGSEL_{Dxy} ビットで設定したコンペアマッチ A、コンペアマッチ B、コンペアマッチ A or B (、コンペアマッチ A & B) の 4 つ (5 つ) があります。これらのカウントスタート要因が発生すると、DCNTD_{xy} はダウンカウント用クロックに同期してダウンカウント動作を開始します。

ダウンカウンタのカウントストップ要因としては、ダウンカウンタのアンダフロー、および TRGSEL_{Dxy} ビットで設定したコンペアマッチ B、コンペアマッチ A or B の 3 つがあります。アンダフロー時 (カウント値が 0000 0000_H の状態でダウンカウント) は即時、コンペアマッチ B、コンペアマッチ A or B の場合には、次のダウンカウント用クロックに同期してタイマダウンカウンタ D_{xy} (DCNTD_{xy}) の値を 0000 0000_H にクリアしダウンカウント動作を終了させます。

TCNT1D_x と OCR1D_{xy} とのコンペアマッチ A、および TCNT2D_x と OCR2D_{xy} とのコンペアマッチ B は、両レジスタ値が一致した次の内部動作クロック (PCLK) に同期して行われます。これらのコンペアマッチにより、CPU へコンペアマッチ割り込み要求を出力することができます。また、範囲コンペア値設定レジスタ (RCR1D_x、RCR2D_x) の設定により、OCR1D_{xy} への書き込み動作時に TCNT1D_x の値が $OCR1D_{xy} \leq TCNT1D_x \leq (OCR1D_{xy} + \text{“RCR1D}_x \text{で指定された範囲値”})$ の範囲であれば、OCR1D_{xy} と TCNT1D_x のコンペアマッチ A を、OCR2D_{xy} への書き込み動作時に TCNT2D_x の値が $OCR2D_{xy} \leq TCNT2D_x \leq (OCR2D_{xy} + \text{“RCR2D}_x \text{で指定された範囲値”})$ の範囲であれば、OCR2D_{xy} と TCNT2D_x のコンペアマッチ B を発生させることができます。さらに、コンペアマッチ A の発生をトリガとして TCNT2D_x のカウント値を ICR2D_{xy} にキャプチャを、コンペアマッチ B の発生をトリガとして TCNT1D_x のカウント値を ICR1D_{xy} にキャプチャすることができます。コンペアマッチ発生時に PCLK に同期して TSRD_x レジスタの CMFAD_{xy}、CMFBD_{xy} ビットを 1 にセットします。

コンペアマッチ出力 (TOD_{xyA}) は、タイマ I/O コントロールレジスタ 1D_x (TIOR1D_x) の OSSD_{xy} ビットで選択した出力要因 (コンペアマッチ A、あるいはコンペアマッチ B) の発生時に行われます。たとえばコンペアマッチ A が選択されていた場合には、TCNT1D_x と OCR1D_{xy} の値が一致した次の PCLK サイクルで、IOA_{xy} ビットに設定された値が TOD_{xyA} に出力されます。

ワンショットパルス出力 (TODxyB) 出力のタイミングは、ダウンカウンタのカウンタ動作同様、ダウンカウントクロックに同期しています。4つ (5つ) のカウンタスタート要因はすべて PCLK 同期で発生する事象であるため、TODxyB はカウンタスタート要因発生後、最初のダウンカウントクロックを待ってアサートされます。カウンタストップ要因である、ダウンカウンタアンダフローはダウンカウントクロック同期、コンペアマッチ B、コンペアマッチ A or B は PCLK で発生します。ダウンカウンタアンダフロー時は、そのタイミングで TODxyB をネゲートします。コンペアマッチ B、コンペアマッチ A or B の場合は、コンペアマッチ発生後、最初のダウンカウントクロックをまって TODxyB のネゲートを行います。

| 出力ピン | アサートタイミング | ネゲートタイミング | (初期値) |
|--------|------------------------------|--|--------------------------|
| TODxyB | カウンタスタート要因発生後、最初のダウンカウントクロック | コンペアマッチ B 発生後、最初のダウンカウントクロック。もしくは DCNTDxy アンダフロー時。 | 0 (TOCRDx に よって反転) |

注1. アサートとネゲートが同時に発生した場合にはネゲートの処理が優先されます。

TODxyA、TODxyB ともに初期値は 0 です。ただし、タイマアウトプットコントロールレジスタ Dx (TOCRDx) により出力の反転が可能です。TONEADx ビットを 1 にするとサブブロック Dx 内の TODxyA 出力が反転、TONEBDx ビットを 1 にセットすると TODxyB 出力が反転します。さらに、出力選択レジスタ Dx (OSELRDx) の設定により、対応する出力値レジスタ Dx (ODRDx) の値を各端子 (TODxyA、TODxyB) から出力することができます。

TCNT1Dx 用クロック設定、TCNT2Dx 用クロック設定、DCNTDxy 用クロック設定、また DCNTDxy、OCR1Dxy、OCR2Dxy 等の各レジスタ値設定を TCNT1Dx、TCNT2Dx の動作中に行うときは、それぞれの値にご注意願います。コンペアマッチ値設定中にカウンタ値が意図したコンペアマッチ値を超えてしまう等、動作不具合を引き起こす可能性があります。

以下にサブブロック D0、チャンネル 0 を使用した場合のワンショットパルス発生動作を示します。

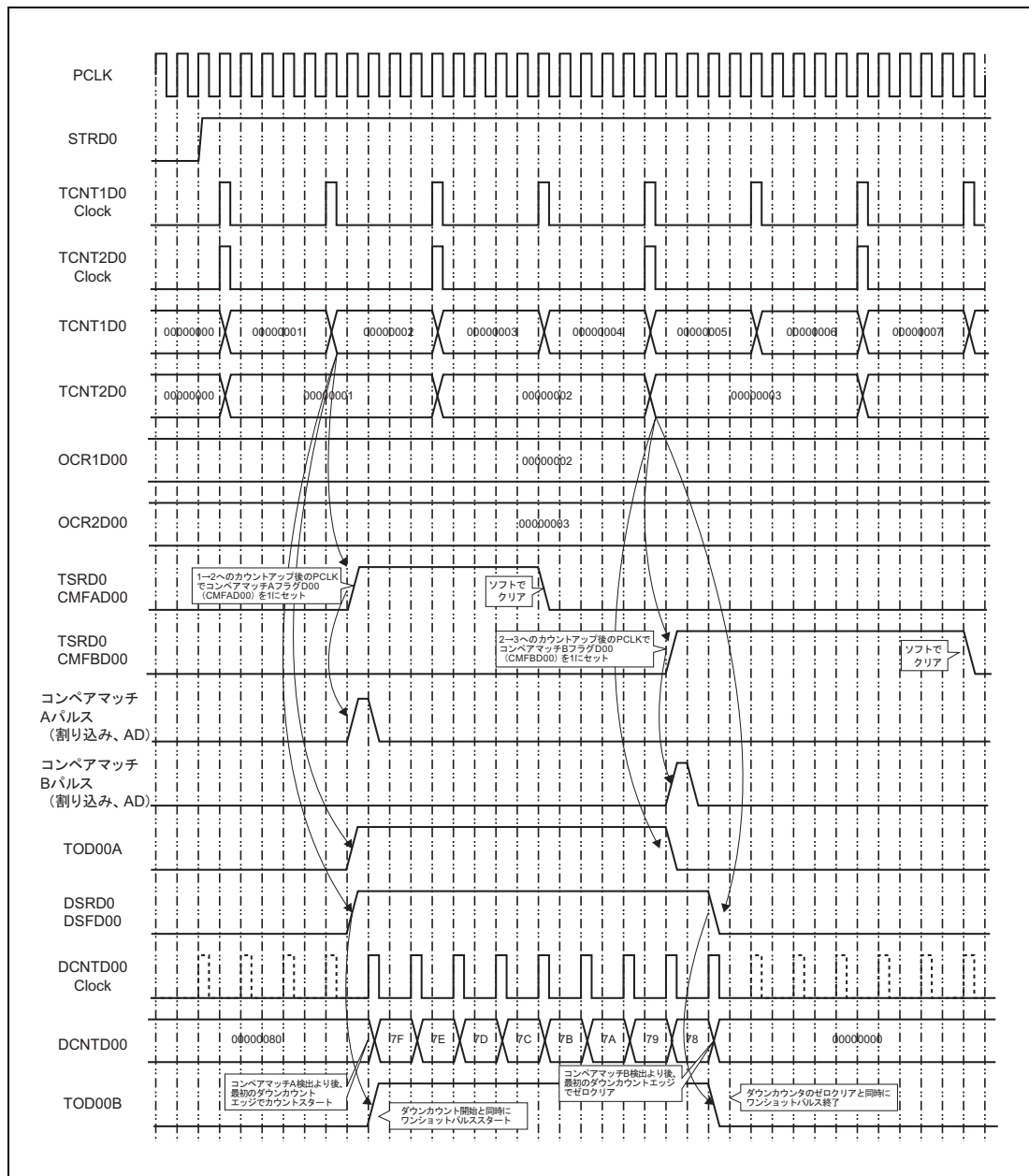


図 21.46 ワンショットパルス動作 (1)
- コンペアマッチ A でカウント開始、コンペアマッチ B でカウント終了 -

図 21.46 は、コンペアマッチ A でカウント開始、コンペアマッチ B でカウント終了するときのダウンカウント動作、およびワンショットパルスの開始/停止状態を表しています。DCRD0 の TRGSELD00 でカウントスタートトリガにコンペアマッチ A、カウントストップトリガにコンペアマッチ B を設定しています。また TIOR1D0 の OSSD00 でコンペアマッチ A、コンペアマッチ B の両方を出力要因に設定し、IOAD00 ビットにコンペアマッチ許可で 1 出力、IOBD00 ビットにコンペアマッチ許可で 0 出力と設定しています。

タイマスタートレジスタ D (TSTRD) を 1 にセットすると、その直後の TCNT1D0、TCNT2D0 用カウントクロックで TCNT1D0、TCNT2D0 のそれぞれがカウントアップを開始します。TCNT1D0 がアウトプットコンペアレジスタ (OCR1D00) と一致すると次の PCLK でコンペアマッチ A が発生します。このとき、TCNT2Dx のカウント値を ICR2Dxy にキャプチャします。さらに、コンペアマッチ A をトリガとして、CPU へコンペアマッチ割り込み要求を出力します。コンペアマッチ A フラグ D00 (CMFAD00) が 1 にセットされます。これらと同時に、TOD00A が “1” を出力し、またダウンカウントステータスフラグ (DSFD00) にも 1 がセットされ、ダウンカウント許可状態に入ります。このダウンカウント許可状態はコンペアマッチ B 検出、もしくは DCNTD00 アンダフローが検出されるまで継続します。この状態でダウンカウントクロックが入力されると DCNTD00 がダウンカウントを行います。最初のダウンカウントクロックと同時に TOD00B から “1” を出力します。

アウトプットコンペアレジスタ (OCR2D00) が TCNT2D0 と一致すると、直後の PCLK に同期してコンペアマッチ B が発生します。このとき、TCNT1Dx のカウント値を ICR1Dxy にキャプチャします。さらに、コンペアマッチ B をトリガとして、CPU へコンペアマッチ割り込み要求を出力します。コンペアマッチ B フラグ D00 (CMFBD00) が 1 にセットされます。これらと同時に、TOD00A 出力が “0” となります。また、直後のダウンカウント用クロックに同期してダウンカウントをゼロクリアし、ワンショットパルス出力 (TOD00B) も終了します。

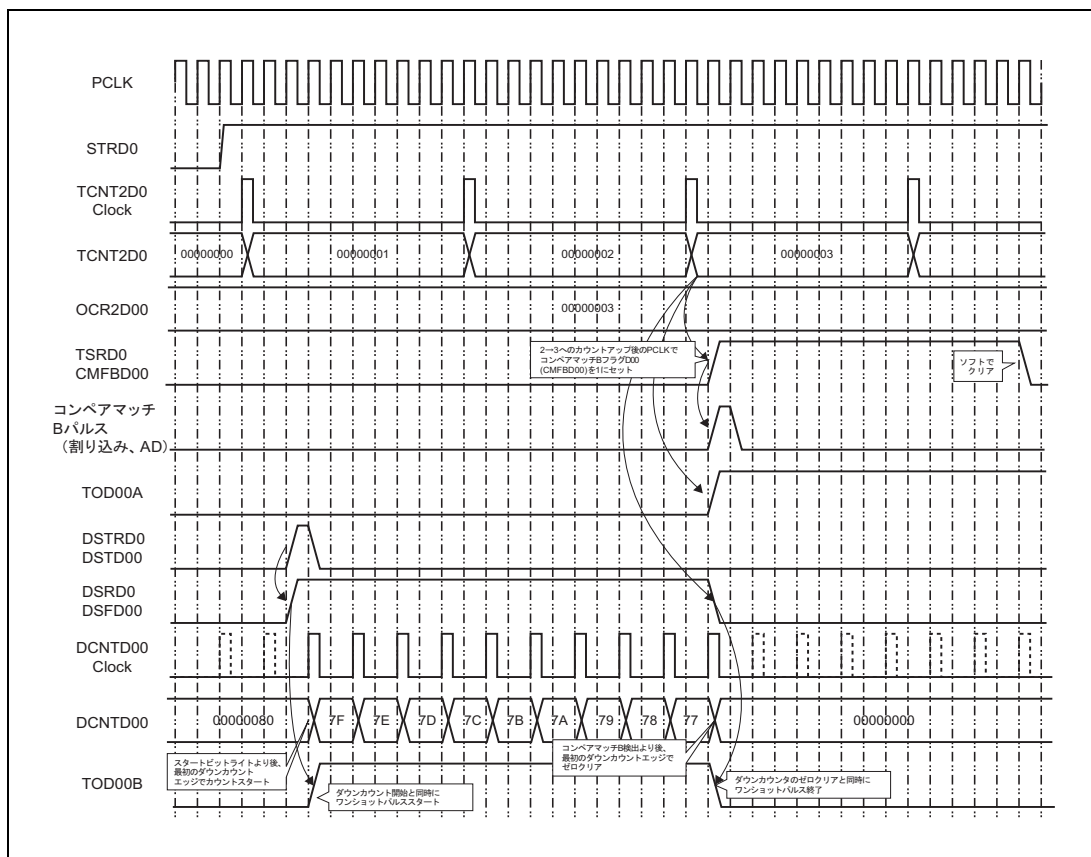


図 21.47 ワンショットパルス動作 (2)

- カウントスタートビット“1”ライトでカウント開始、コンペアマッチ B でカウント終了 -

図 21.47 は、ダウンカウントスタートビットにソフトウェアで書き込みを行ってダウンカウントを開始させる動作を示しています。ここでは、DCRD0 の TRGSEL00 でカウントスタートトリガはなしに、カウントストップトリガにコンペアマッチ B を設定しています。また TIOR1D0 の OSSD00 でコンペアマッチ B のみを出力要因に設定し、IOBD00 ビットにコンペアマッチ許可で 1 出力と設定しています。

以下にサブブロック D0、チャンネル 0 を使用した場合のワンショットパルス発生動作を示します。

ダウンカウントスタートレジスタ D0 (DSTRD0) の DSTD00 ビットに“1”を書き込むと、同時にダウンカウントステートフラグ (DSFD00) にも“1”がセットされ、ダウンカウント許可状態に入ります。DCNTD00 は、DSFD00 が“1”になった後の最初のダウンカウントクロックでダウンカウントを行います。また、最初のダウンカウントクロックと同時に TOD00B から“1”を出力します。

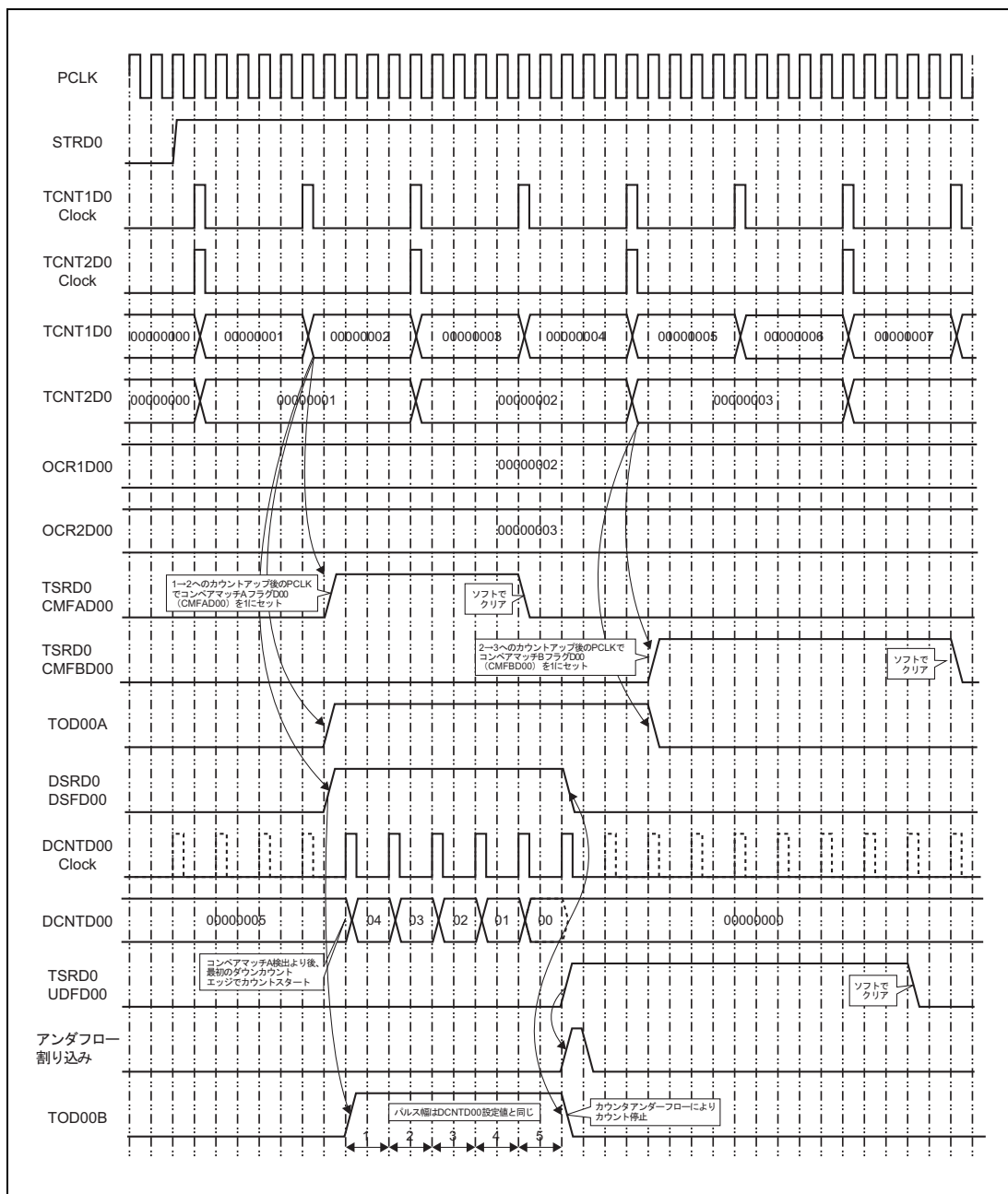


図 21.48 ワンショットパルス動作 (3) - アンダフロー発生の場合 -

図 21.48 はアンダフローでのワンショットパルス終了の動作を示しています。ここでは、DCRD0 の TRGSELD00 でカウントスタートトリガにコンペアマッチ A、カウントストップトリガなしと設定しています。また TIOR1D0 の OSSD00 でコンペアマッチ A、コンペアマッチ B の両方を出力要因に設定し、IOAD00 ビットにコンペアマッチ許可で 1 出力、IOBD00 ビットにコンペアマッチ許可で 0 出力と設定しています。

タイマダウンカウンタ Dxy (DCNTD00) 値が 000000_H になった直後のダウンカウントクロックでアンダフローを検出し、TSRD0 のアンダフローフラグ D00 (UDFD00) がセットされます。同時に TOD00B のワンショット出力も遮断されます。TOD00B に出力されるパルス幅は、ダウンカウント前に DCNTD00 に設定した値と同じです。

21.7.3.1 範囲コンペア機能

図 21.49 は範囲コンペア値設定レジスタ 1Dx (RCR1Dx) の設定により、範囲コンペア機能を使用したコンペアマッチ発生時の動作を示しています。

アウトプットコンペアレジスタ 1Dxy(OCR1Dxy) への書き込み動作時に TCNT1Dx が OCR1Dxy の値よりも大きい時、RCR1Dx の設定により、TCNT1Dx の値が $OCR1Dxy \leq TCNT1Dx \leq (OCR1Dxy + \text{“RCR1Dx で指定された範囲値”})$ の範囲であれば、OCR1Dxy と TCNT1Dx のコンペアマッチ A を発生させることが出来ます。

また、そのときの TCNT1Dx の値を OCR1Dxy へキャプチャします。

範囲コンペア値設定レジスタ 2Dx (RCR2Dx) についても、TCNT2Dx に対して同等の動作となります。

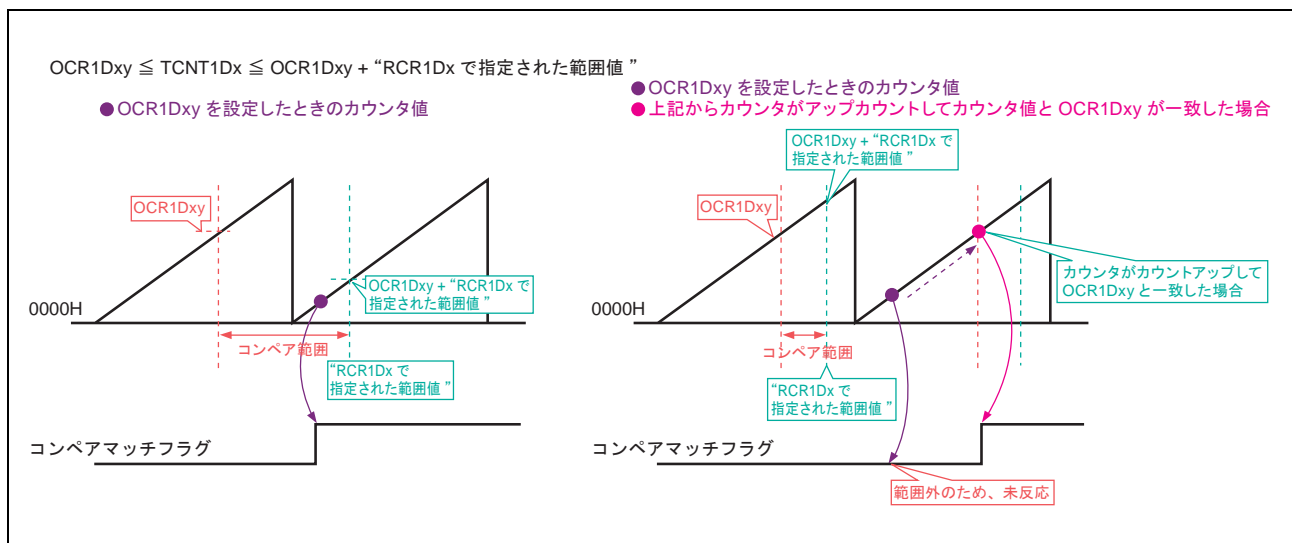


図 21.49 範囲コンペア機能動作

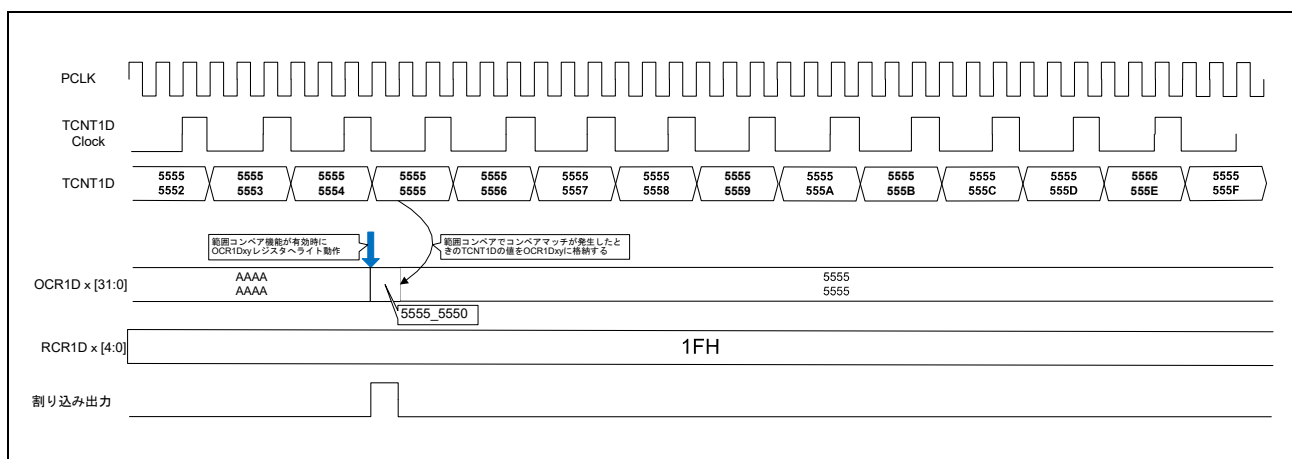


図 21.50 範囲コンペアカウンタ値キャプチャ動作

21.7.3.2 カウンタ上限値設定機能

カウンタ上限値設定コンペアレジスタ 1Dx (CUCR1Dx) により、各サブブロックのタイマカウンタ 1Dx (TCNT1Dx) のカウンタ値の上限値を変更し、ワンショットパルスの周期を変更することができます。カウンタの上限値設定の機能を有効にするには、タイマコントロールレジスタ Dx (TCRDx) の CLR1Dx ビットを 1 に設定しておく必要があります。

カウンタ上限値設定コンペアレジスタ 2Dx (CUCR2Dx) により、各サブブロックのタイマカウンタ 2Dx (TCNT2Dx) のカウンタ値の上限値を変更し、ワンショットパルスの周期を変更することができます。カウンタの上限値設定の機能を有効にするには、タイマコントロールレジスタ Dx (TCRDx) の CLR2Dx ビットを 1 に設定しておく必要があります。

図 21.51 ブロック D1 のカウンタの上限値設定機能を ON した動作例を示します。

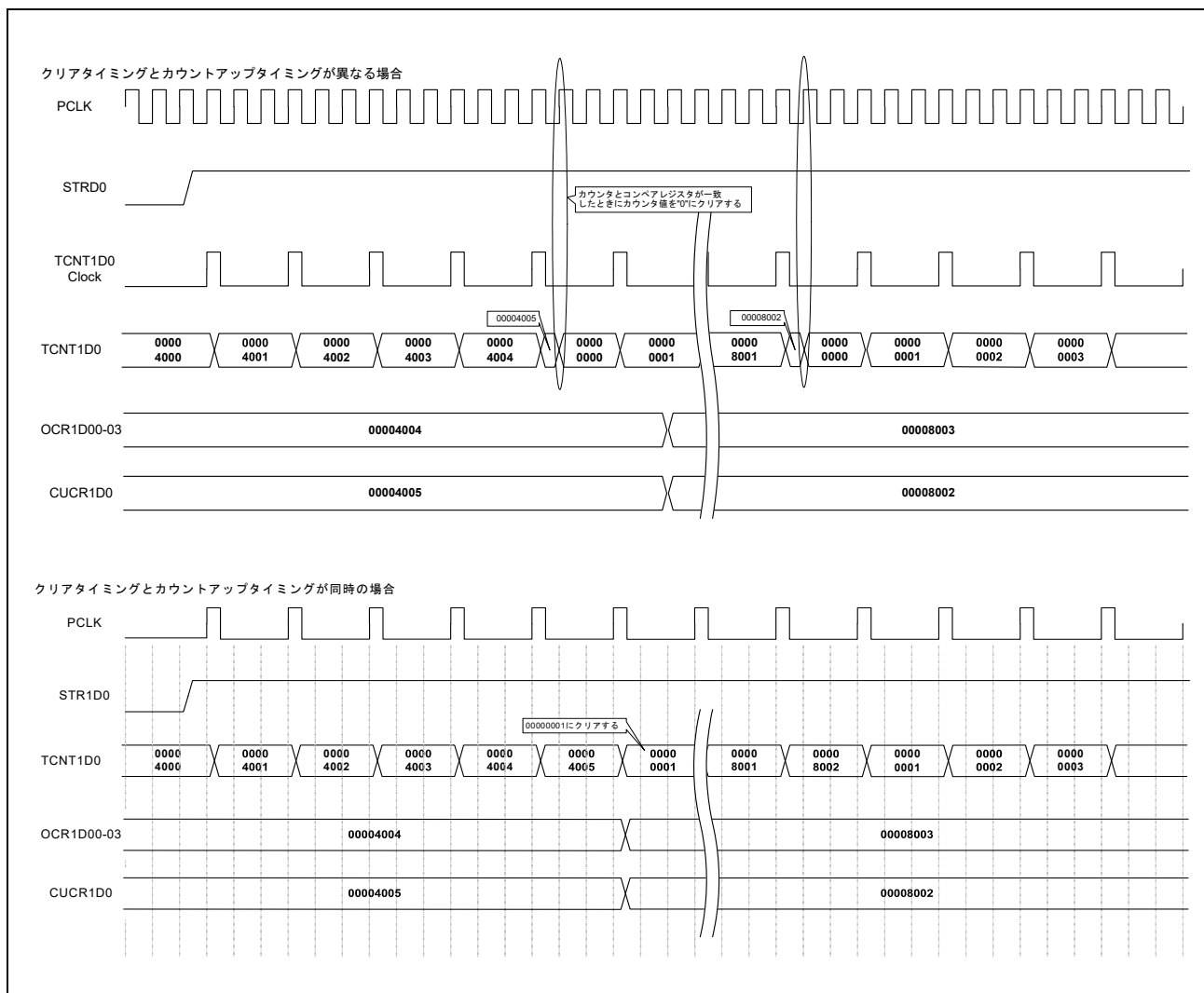


図 21.51 上限値設定機能動作

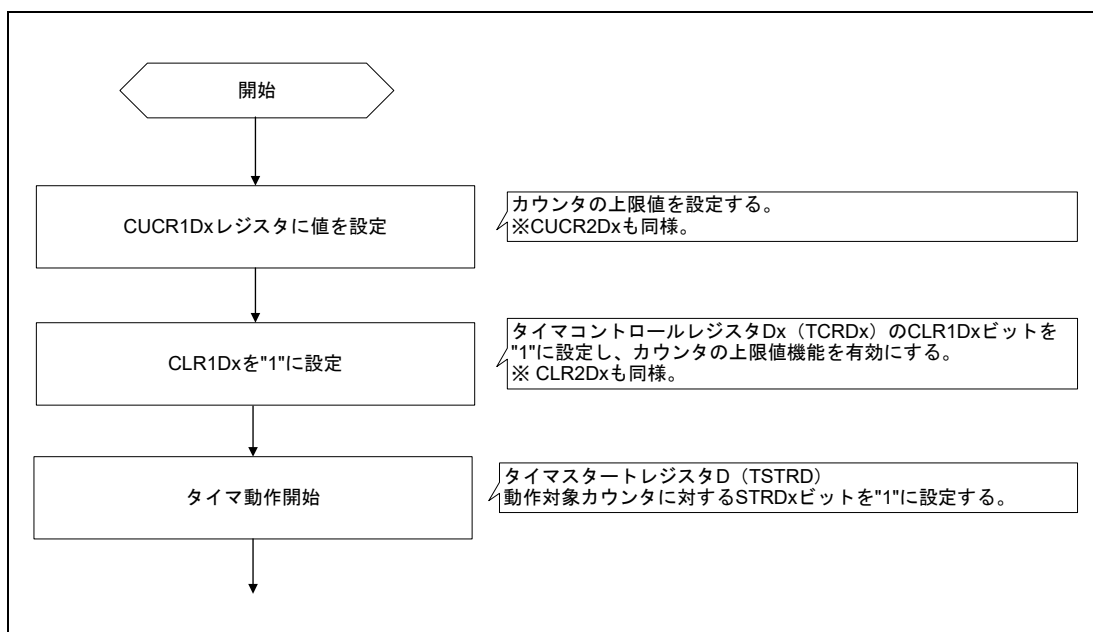


図 21.52 カウンタ上限値機能設定手順

21.7.3.3 キャプチャ機能

インプットキャプチャレジスタ 1Dxy (ICR1Dxy)、2Dxy (ICR2Dxy) は、それぞれコンペアマッチ B、コンペアマッチ A の発生をトリガとしてタイマカウンタ 1Dx (TCNT1Dx)、2Dx (TCNT2Dx) のカウント値をキャプチャします。タイミングはコンペア発生の立ち上がりエッジをコンペアマッチパルスとして、キャプチャを行います。

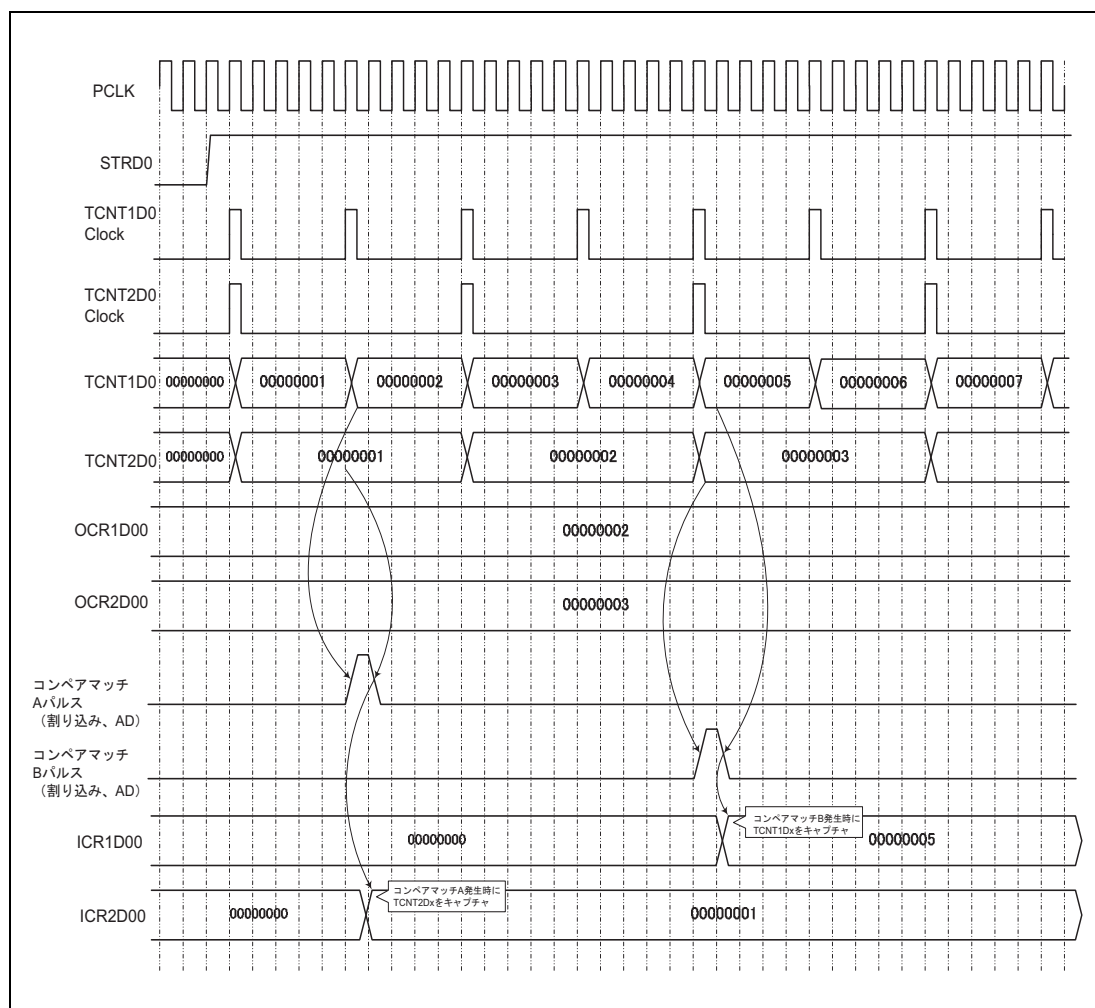


図 21.53 インputキャプチャレジスタ 1Dxy、同 2Dxy (ICR1Dxy、ICR2Dxy) へのキャプチャ動作

21.8 タイマ E

21.8.1 動作概要

タイマ E ブロックは 7 個のタイマ E サブブロックによって構成される PWM 出力タイマです。

タイマ E サブブロックは、以下の機能を実現することができます。

- サイクルレジスタ、デューティレジスタを設定することにより、デューティ 0 ~ 100% の波形が生成できます。
- サイクルレジスタ、デューティレジスタの値は、PWM サイクル終了ごとにサイクルリロードレジスタ、デューティリロードレジスタからリロードさせることができます。リロード機能の有効/無効も制御できます。
- カウンタの上位 24 ビットへの 000000_H 書き込みで PWM サイクルの強制終了ができます。
- シャットオフ入力端子 (POEx) により、PWM 出力を遮断することができます (タイマ F の入力端子と共用)。本機能は、サブブロック E0 ~ 5 が対応しています。サブブロック E6 には、本機能はありません。
- オンデューティ/オフデューティの切り替えが可能です。
- サイクルレジスタのコンペアマッチ (サイクルマッチ) で周期ごとに割り込み要求を生成できます。
- チャネル 0 のサイクルマッチは DMAC 起動割り込みとして使用できます。
- デューティレジスタのコンペアマッチ (デューティマッチ) で周期的に割り込み要求を生成できます。

タイマ E サブブロック Ex は 4 本のチャネルから構成されています。各チャネルは 24 ビットタイマカウンタ (TCNTE_{xy})、24 ビットサイクルレジスタ (CYLRE_{xy})、24 ビットデューティレジスタ (DTRE_{xy})、24 ビットサイクルリロードレジスタ E_{xy} (CRLDE_{xy})、24 ビットデューティリロードレジスタ (DRLDE_{xy})、および制御部などで構成されています。

またサブブロック E0 ~ 5 にシャットオフ入力端子 (POEx) を、各サブブロックの各チャネルには PWM 出力端子 (TOEx_{xy}) を備えています。(TOEx_{xy} の初期値 : 0)

POEx はタイマ F の TIF0A ~ TIF2A、TIF0B ~ TIF2B と共用しています。タイマ E には TIF0A ~ TIF2A、TIF0B ~ TIF2B のノイズキャンセラ通過後の信号を利用していますので、同信号のノイズキャンセル機能が利用できます。PWM 出力遮断機能の使用時において、シャットオフ入力信号にノイズキャンセラを適用する場合は、タイマ E の設定以外にタイマ F のノイズキャンセラの設定を行う必要があります。設定方法の詳細は「**21.9 タイマ F**」を参照してください。

TIF0A/B ~ TIF2A/B と POEx の対応は表 21.96 のとおりです。

表 21.96 タイマ F プライマリ入力とタイマ E シャットオフ入力の対応

| タイマ F プライマリ入力 | タイマ E シャットオフ入力 |
|---------------|----------------|
| TIF0A | POE0 |
| TIF1A | POE1 |
| TIF2A | POE2 |
| TIF0B | POE3 |
| TIF1B | POE4 |
| TIF2B | POE5 |

なお、TIF0A/B ~ TIF2A/B を POEx 入力として使用し、対応する TimerF サブブロックも同時動作させる場合、タイマ F 側の計測対象がシャットオフ入力信号となることにご注意ください。

図 21.54 にタイマ E のブロック図を示します。

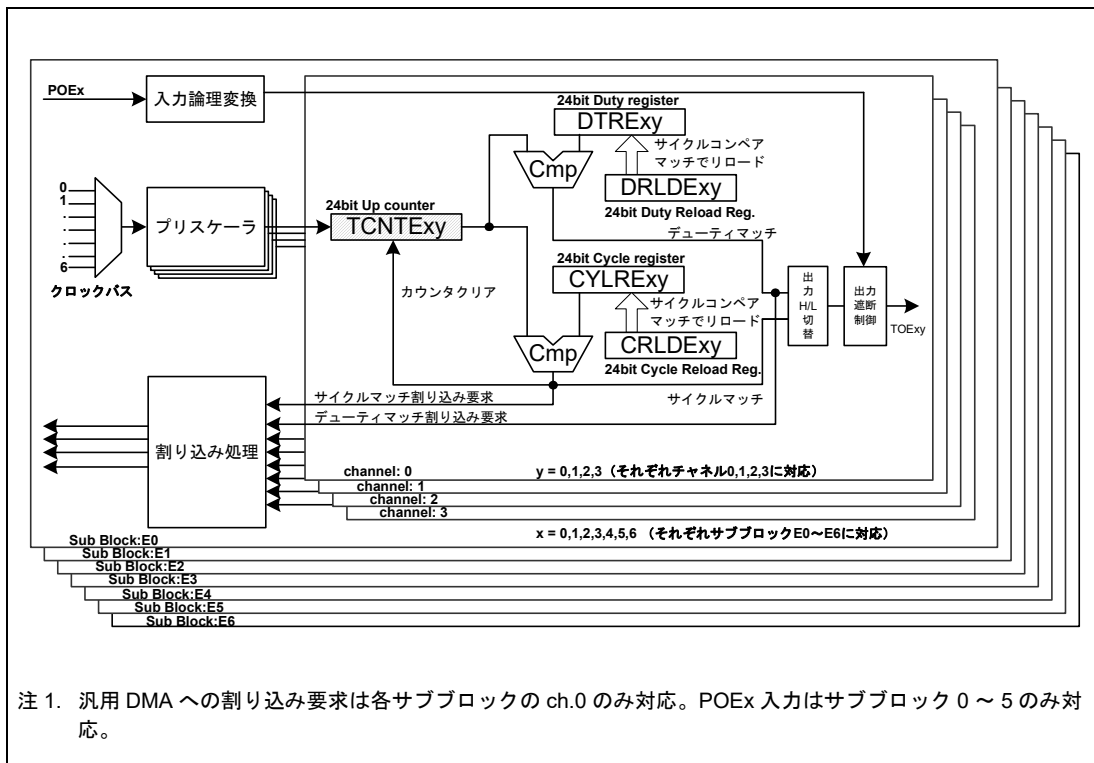


図 21.54 タイマ E ブロック図

21.8.2 タイマ E 関連レジスタ

21.8.2.1 TSTRE — タイマスタートレジスタ E

アクセス 8ビットアクセス可能

アドレス FFE6 2000_H

リセット後の値 00_H

| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|---|-------|-------|-------|-------|-------|-------|-------|
| | — | STRE6 | STRE5 | STRE4 | STRE3 | STRE2 | STRE1 | STRE0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.97 TSTRE レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 7 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 6 | STRE6 | サブブロック E6 スタート 0: サブブロック E6 の動作を禁止 1: サブブロック E6 の動作を許可 |
| 5 | STRE5 | サブブロック E5 スタート 0: サブブロック E5 の動作を禁止 1: サブブロック E5 の動作を許可 |
| 4 | STRE4 | サブブロック E4 スタート 0: サブブロック E4 の動作を禁止 1: サブブロック E4 の動作を許可 |
| 3 | STRE3 | サブブロック E3 スタート 0: サブブロック E3 の動作を禁止 1: サブブロック E3 の動作を許可 |
| 2 | STRE2 | サブブロック E2 スタート 0: サブブロック E2 の動作を禁止 1: サブブロック E2 の動作を許可 |
| 1 | STRE1 | サブブロック E1 スタート 0: サブブロック E1 の動作を禁止 1: サブブロック E1 の動作を許可 |
| 0 | STRE0 | サブブロック E0 スタート 0: サブブロック E0 の動作を禁止 1: サブブロック E0 の動作を許可 |

TSTRE は、サブブロック E0 ～ E6 動作の制御を行います。

タイマ E のカウンタを動作させるには、ATU-IV 制御レジスタのタイマ E マスタイネーブル、タイマスタートレジスタ E、さらに、サブブロックスタートレジスタの設定が必要となります。

リセット時は 00_H に初期化されます。

注 意

サブブロック内の全チャンネルのタイマ動作を同期させる場合は、SSTREx レジスタではなく、TSTRE レジスタでサブブロックごと動作許可／禁止して下さい。

21.8.2.2 SSTREx — サブブロックスタートレジスタ Ex

(x = 0, 1, 2, 3, 4, 5, 6 : サブブロック E0 ~ E6 に対応、y = 0, 1, 2, 3 : チャンネル 0 ~ 3 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 2100_H + (100_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---------|---------|---------|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | SSTREx3 | SSTREx2 | SSTREx1 | SSTREx0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 21.98 SSTREx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|---|
| 7 ~ 4 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 3 | SSTREx3 | チャンネル 3 スタート Ex 0 : サブブロック Ex のチャンネル 3 のカウント動作を禁止 1 : サブブロック Ex のチャンネル 3 のカウント動作を許可 |
| 2 | SSTREx2 | チャンネル 2 スタート Ex 0 : サブブロック Ex のチャンネル 2 のカウント動作を禁止 1 : サブブロック Ex のチャンネル 2 のカウント動作を許可 |
| 1 | SSTREx1 | チャンネル 1 スタート Ex 0 : サブブロック Ex のチャンネル 1 のカウント動作を禁止 1 : サブブロック Ex のチャンネル 1 のカウント動作を許可 |
| 0 | SSTREx0 | チャンネル 0 スタート Ex 0 : サブブロック Ex のチャンネル 0 のカウント動作を禁止 1 : サブブロック Ex のチャンネル 0 のカウント動作を許可 |

サブブロックスタートレジスタ E0 ~ E6 (SSTRE0 ~ SSTRE6) は 8 ビットの読み出し/書き込み可能なレジスタです。本レジスタは、各サブブロックが持つ 4 本のチャンネルごとに、タイマカウンタの動作/停止を指定します。ただし、タイマスタートレジスタ E (TSTRE) で動作指定を行ったサブブロックのみに有効となります。

SSTRE0 ~ SSTRE6 はリセット時は 00_H に初期化されます。

(1) SSTRExy — カウンタ Exy スタートビット

タイマカウンタ Exy (TCNTExy) を動作させるか、停止させるかを設定します。

| SSTRExy | 機能 |
|---------|------------------------------|
| 0 | TCNTExy のカウント動作を停止。 (初期値) |
| 1 | TCNTExy のカウント動作を実行。 |

このビットを“0”にクリアした場合、TCNTExy は動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを“1”にセットした場合には、その値から動作を再開します。

カウンタ Exy スタートビットを“1”にセットしても、ATU-IV 制御レジスタで、タイマ Ex のマスタイネーブルが“1”にセットされていなければカウント動作は開始されません。

注 意

プリスケーラは、カウンタ Exy スタートビットの設定に関係なく動作しており、TCNTExy の動作開始時にも初期化は行われません。したがって起動から実際に TCNTExy がカウント動作を開始するまでの時間には、選択されたカウントソースの周期（分解能）以下のハードウェア的な不確定さが伴います。

21.8.2.3 PSCREx — プリスケーラレジスタ Ex

(x = 0, 1, 2, 3, 4, 5, 6 : サブブロック E0 ~ E6 に対応)

| | | | | | | | | |
|---------|---------|---|---|---|---|------------|-----|-----|
| | アクセス | | 8ビットアクセス可能 | | | | | |
| | アドレス | | FFE6 2104 _H + (100 _H * x) | | | | | |
| | リセット後の値 | | 00 _H | | | | | |
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | PSCEx[2:0] | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R/W | R/W | R/W |

表 21.99 PSCREx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|------------------------------|
| 7 ~ 3 | — | 何も配置されていません。“0”に固定してください。 |
| 2 ~ 0 | PSCEx[2:0] | 分周比フィールド プリスケーラの分周比を設定します |

プリスケーラレジスタ E は 8 ビットの読み出し／書き込み可能なレジスタです。

タイマ E は各サブブロックに 1 つのプリスケーラを内蔵しており、クロックバスから選択したクロックをさらに分周して使用することが可能です。本レジスタは各サブブロックの持つプリスケーラの分周比の設定を行います。

プリスケーラレジスタの設定値を書き換えると、プリスケーラのアンダフローに同期して、その書き換え値による動作を開始します。プリスケーラ Ex の出力により同一サブブロック内のカウンタ TCNTE_{xy} (y = 0, 1, 2, 3) はカウント動作を行います。

プリスケーラレジスタ E には、0_H から 7_H の値を設定することができます。プリスケーラの分周比は次の式で与えられます。

$$\text{プリスケーラ分周比} = \frac{1}{\text{PSCEx}[2:0] + 1} \quad (\text{分周設定範囲: } 1/1 \sim 1/8)$$

また、プリスケーラ E の出力するクロックは 50% のデューティを保証していません。PCLK の 1 サイクル期間のみ “H” であり、残りの期間はすべて “L” となります。

プリスケーラ Ex はタイマイネーブルレジスタ (ATUENR) の TEE ビット、タイマスタートレジスタ E (TSTRE) のサブブロック Ex スタートビット (STREx) が 1 に設定されている場合に動作を行います。

21.8.2.4 PSCCRExy — プリスケーラチャンネルレジスタ Exy

(x = 0, 1, 2, 3, 4, 5, 6 : サブブロック E0 ~ E6 に対応、y = 0, 1, 2, 3 : チャンネル 0 ~ 3 に対応)

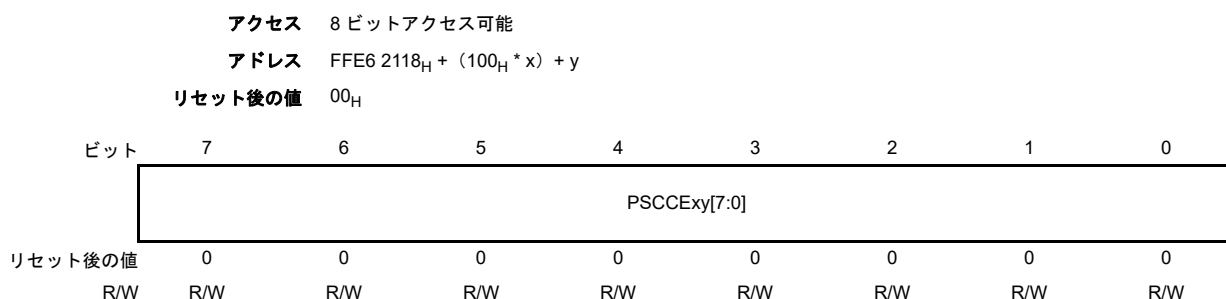


表 21.100 PSCCRExy レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------------|------------------------------|
| 7 ~ 0 | PSCCRExy[7:0] | 分周比フィールド プリスケーラの分周比を設定します |

プリスケーラチャンネルレジスタ Exy は 8 ビットの読み出し/書き込み可能なレジスタです。タイマ E は各チャンネルに 1 つのプリスケーラを内蔵しており、クロックバスから選択したクロックをさらに分周して使用することが可能です。本レジスタは各チャンネルの持つプリスケーラの分周比の設定を行います。

プリスケーラチャンネルレジスタ Exy の設定値を書き換えると、プリスケーラのアンダフローに同期して、その書き換え値による動作を開始します。プリスケーラ Exy の出力により同一サブブロック内のカウンタ TCNTExy (y = 0, 1, 2, 3) はカウント動作を行います。

プリスケーラチャンネルレジスタ Exy には、0_H から FF_H の値を設定することができます。プリスケーラの分周比は次の式で与えられます。

$$\text{プリスケーラ分周比} = \frac{1}{\text{PSCCRExy}[7:0] + 1} \quad (\text{分周設定範囲: } 1/1 \sim 1/256)$$

また、プリスケーラ Exy の出力するクロックは 50% のデューティを保証していません。PCLK の 1 サイクル期間のみ “H” であり、残りの期間はすべて “L” となります。

プリスケーラ Exy はタイマイネーブルレジスタ (ATUENR) の TEE ビット、タイマスタートレジスタ E (TSTRE) のサブブロック Ex スタートビット (STREx) が 1 に設定されている場合に動作を行います。サブブロックスタートレジスタ Ex (SSTREx) のカウンタ Exy スタートビット (SSTRExy) の設定は、プリスケーラ Exy の動作に影響しません。

21.8.2.5 TCREx — タイマコントロールレジスタ Ex

(x = 0, 1, 2, 3, 4, 5, 6 : サブブロック E0 ~ E6 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 2108_H + (100_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|--------|---|---|---|---|--------------|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PSCSEL | — | — | — | — | CKSELEx[2:0] | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R | R | R | R | R/W | R/W | R/W |

表 21.101 TCREx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------------|--|
| 7 | PSCSEL | プリスケラ選択 0 : プリスケラレジスタ Ex (PSCREx : 3bit・サブブロック単位) を選択 1 : プリスケラチャネルレジスタ Exy (PSCRExy : 8bit・チャンネル単位) を選択 |
| 6 ~ 3 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 2 ~ 0 | CKSELEx[2:0] | TCNTExy クロック選択ビット クロックバス 0 ~ 6 からカウントクロックを選択 |

タイマコントロールレジスタ Ex (TCREx) は 8 ビットの読み出し/書き込み可能なレジスタです。TCREx は、プリスケラ Ex のカウントソースをクロックバス 0 ~ 6 から選択します。プリスケラ出力により 16 ビットタイマカウンタ Exy (TCNTExy) はカウント動作を行います。

(1) PSCSEL — プリスケラセレクト

プリスケラをサブブロック単位もしくはチャンネル単位で選択できます。また、設定可能な分周比も異なります。

(2) CKSELEx[2:0] — サブブロック Ex クロックセレクト

サブブロック Ex クロックセレクト (CKSELEx) は、サブブロック Ex の持つプリスケラのカウントソースを選択します。

| CKSELEx | | | 機能 |
|---------|-----|-----|--------------------------------------|
| [2] | [1] | [0] | |
| 0 | 0 | 0 | クロックバス 0 をプリスケラ Ex のカウントソースに選択 (初期値) |
| 0 | 0 | 1 | クロックバス 1 をプリスケラ Ex のカウントソースに選択 |
| 0 | 1 | 0 | クロックバス 2 をプリスケラ Ex のカウントソースに選択 |
| 0 | 1 | 1 | クロックバス 3 をプリスケラ Ex のカウントソースに選択 |
| 1 | 0 | 0 | クロックバス 4 をプリスケラ Ex のカウントソースに選択 |
| 1 | 0 | 1 | クロックバス 5 をプリスケラ Ex のカウントソースに選択 |
| 1 | 1 | 0 | クロックバス 6 をプリスケラ Ex のカウントソースに選択 |
| 1 | 1 | 1 | 予約 |

21.8.2.6 RLDCREx — リロードコントロールレジスタ Ex

(x = 0, 1, 2, 3, 4, 5, 6 : サブブロック E0 ~ E6 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 210A_H + (100_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|----------|----------|----------|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | RLDENEx3 | RLDENEx2 | RLDENEx1 | RLDENEx0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 21.102 RLDCREx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------------------|--|
| 7 ~ 4 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 3 ~ 0 | RLDENEx3- RLDENEx0 | リロードイネーブルビット Ex3 ~ Ex0 0 : サイクルマッチ時のデューティレジスタ、サイクルレジスタのリロード機能無効 1 : サイクルマッチ時のデューティレジスタ、サイクルレジスタのリロード機能有効 |

リロードコントロールレジスタ Ex (RLDCREx) は 8 ビットの読み出し／書き込み可能なレジスタです。RLDENExy は、リロード機能の有効／無効を制御します。

RLDCREx は、リセット時に 00_H に初期化されます。

(1) RLDENExy — リロードイネーブルビット Exy

このビットを“1”にセットしリロード機能を有効とすると、タイマカウンタ Exy (TCNTExy) と、サイクルレジスタ Exy (CYLRExy) のサイクルマッチ時に、サイクルリロードレジスタ Exy (CRLDExy) の値をサイクルレジスタに、デューティリロードレジスタ Exy (DRLDExy) の値をデューティレジスタに転送します。

21.8.2.7 POECREx — 出力遮断コントロールレジスタ Ex

(x = 0, 1, 2, 3, 4, 5, 6 : サブブロック E0 ~ E6 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 16ビットアクセス可能 8ビットアクセス禁止

アドレス FFE6 210C_H + (100_H * x)

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|---------------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|---|---|-------------|-------------|-------------|-------------|-------------|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | POECRKEY[7:0] | | | | | | | — | — | — | POEPO Lx | POEEN x3 | POEEN x2 | POEEN x1 | POEEN x0 | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | (W) 注1 | (W) 注1 | (W) 注1 | (W) 注1 | (W) 注1 | (W) 注1 | (W) 注1 | (W) 注1 | R | R | R | R/W | R/W | R/W | R/W | R/W |

注1. ライトキーコードの書き込み値は保持されません。

表 21.103 POECREx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------------|---|
| 15 ~ 8 | POECRKEY [7:0] | ライトキーコード 9C _H : POEENxy、POEPOLx の書き換え可能 9C _H 以外 : POEENxy、POEPOLx の書き換え不可 |
| 7 ~ 5 | — | 何も配置されていません。読み出した場合は "0" が読み出されます。 書き込みの場合は必ず "0" を書き込んでください。 |
| 4 | POEPOLx | シャットオフ入力アクティブレベル選択ビット 0 : シャットオフ入力はLアクティブ 1 : シャットオフ入力はHアクティブ |
| 3 | POEENx3 | 出力遮断有効/無効選択ビット 0 : 出力遮断は無効 1 : 出力遮断は有効 |
| 2 | POEENx2 | |
| 1 | POEENx1 | |
| 0 | POEENx0 | |

出力遮断コントロールレジスタ Ex (POECREx) は 16 ビットの読み出し/書き込み可能なレジスタです。ただし、本レジスタへのライト時にはライトデータと同時にビット 15 ~ 8 へライトキーコードの設定が必要です。サブブロック 6 については対応する POE6 入力がないため、本機能は使用できません。POECRE6 の出力遮断有効/無効選択ビット (POEEN60 ~ POEEN63) の設定を有効にしないでください。

POECREx はリセット時に 0000_H に初期化されます。

(1) POECRKEY — ライトキーコード

POEENxy (y = 0 ~ 3)、POEPOLx ビットの書き換え可否を制御します。POEENxy (y = 0 ~ 3)、POEPOLx ビットへのライトデータと同時にビット 15 ~ 8 へライトキーコードの設定が必要です。本ビットへの書き込みデータは保持されませんので、読み出し値は常に 00_H になります。

(2) POEPOLx — シャットオフ入力アクティブレベル選択ビット

シャットオフ入力 (POEx) のアクティブレベルを制御します。本ビットの設定は、サブブロック内の全チャンネルに影響します。

(3) POEENxy — 出力遮断有効/無効選択ビット

出力遮断機能の有効/無効切り替えを制御します。本ビットはチャンネル単位での設定が可能です。

21.8.2.8 SOLVLE_x — 出力遮断レベル設定レジスタ Ex

(x = 0, 1, 2, 3, 4, 5, 6 : サブブロック E0 ~ E6 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 210E_H + (100_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|----------|----------|----------|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | PWMSLVx3 | PWMSLVx2 | PWMSLVx1 | PWMSLVx0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 21.104 SOLVLE_x レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 ~ 4 | — | 何も配置されていません。読み出した場合は"0"が読み出されます。書き込みの場合は必ず"0"を書き込んでください。 |
| 3 | PWMSLVx3 | 出力レベル H/L 選択ビット 0 : 出力遮断時、TOEx に L レベルを出力。 1 : 出力遮断時、TOEx に H レベルを出力。 |
| 2 | PWMSLVx2 | |
| 1 | PWMSLVx1 | |
| 0 | PWMSLVx0 | |

出力遮断レベル設定レジスタ Ex (SOLVLE_x) は、8ビットの読み出し/書き込み可能なレジスタです。SOLVLE_x はリセット時に 00_H に初期化されます。

(1) PWMSLV_{xy} — 出力レベル H/L 選択ビット

出力遮断状態における TOEx_y 出力のレベルを設定します。

21.8.2.9 TSREx — タイマステータスレジスタ Ex

(x = 0, 1, 2, 3, 4, 5, 6 : サブブロック E0 ~ E6 に対応、y = 0, 1, 2, 3 : チャンネル 0 ~ 3 に対応)

アクセス 8ビット/16ビットアクセス可能

アドレス FFE6 2110_H + (100_H * x)

リセット後の値 0000_H

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|----|----|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| | — | — | — | — | DMFEx3 | DMFEx2 | DMFEx1 | DMFEx0 | OVFEx3 | OVFEx2 | OVFEx1 | OVFEx0 | CMFEx3 | CMFEx2 | CMFEx1 | CMFEx0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.105 TSREx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------|---|
| 15 ~ 12 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 11 ~ 8 | DMFEx3-DMFEx0 | デューティマッチフラグ Ex3 ~ Ex0 0 : デューティマッチなし 1 : デューティマッチ発生 |
| 7 ~ 4 | OVFEx3-OVFEx0 | オーバフローフラグ Ex3 ~ Ex0 0 : オーバフローなし 1 : オーバフロー発生 |
| 3 ~ 0 | CMFEx3-CMFEx0 | サイクルマッチフラグ Ex3 ~ Ex0 0 : サイクルマッチなし 1 : サイクルマッチ発生 |

タイマステータスレジスタ Ex (TSREx) は 16 ビットの読み出し専用のレジスタです。サブブロック E0 ~ E6 のサイクルレジスタ Exy (CYLRExy) とタイマカウンタ Exy (TCNTExy) とのコンペアマッチ (サイクルマッチ) 発生、デューティレジスタ Exy (DTRExy) とタイマカウンタ Exy (TCNTExy) とのコンペアマッチ (デューティマッチ) 発生、および、TCNTExy でのオーバフロー発生を示します。

オーバフローフラグはタイマのオーバフローの発生を示すステータスフラグです。割り込み要求を発生させることはできません。サイクルマッチフラグ、およびデューティマッチフラグは割り込み要求のステータスフラグです。TIEREx レジスタの対応するビットを設定することにより、割り込み要求を発生することができます。対応するフラグがセットされると割り込み要求を発生します。割り込み要求を取り下げるには、タイマステータスクリアレジスタ Ex (TSCREx) により本フラグをクリアしてください。タイマステータスクリアレジスタ Ex (TSCREx) の対応するビットを設定することによりフラグをクリアすることができます。また、チャンネル 0 のサイクルマッチについては、サイクルマッチによる DMAC への転送要求を発生することができます。DMA 転送要求については本ビットの値とは関係なく、サイクルマッチが発生すると DMA 転送要求を発生します。

TSREx はリセット時に 0000_H に初期化されます。

(1) DMFExy — デューティマッチフラグ Exy

| DMFExy | 機能 |
|--------|---|
| 0 | [クリア条件] タイマステータスクリアレジスタ Ex (TSCREx) の DMFCExy に "1" を書き込んだとき。 (初期値) |
| 1 | [セット条件] タイマカウンタ Exy (TCNTExy) の値がデューティレジスタ Exy (DTRExy) と一致した状態でカウントクロックが入力されたとき。 |

このフラグをソフトウェアにより“1”または“0”にセットすることはできません。DMFExy が 1 の状態（フラグがクリアされていない状態）でも、次のデューティマッチ処理は実施可能です。このとき DMFExy には 1 がオーバライトされます。

(2) CMFExy — サイクルマッチフラグ Exy

| CMFExy | 機能 |
|--------|---|
| 0 | [クリア条件] タイマステータスクリアレジスタ Ex (TSCREx) の CMFCExy に "1" を書き込んだとき。 (初期値) |
| 1 | [セット条件] タイマカウンタ Exy (TCNTExy) の値がサイクルレジスタ Exy (CYLRExy) と一致した状態でカウントクロックが入力されたとき。 |

このフラグをソフトウェアにより“1”または“0”にセットすることはできません。CMFExy が 1 の状態（フラグがクリアされていない状態）でも、次のサイクルマッチ処理、および DMA 転送要求は実施可能です。このとき CMFExy には 1 がオーバライトされます。

(3) OVFEExy — オーバフローフラグ Exy

| OVFEExy | 機能 |
|---------|--|
| 0 | [クリア条件] タイマステータスクリアレジスタ Ex (TSCREx) の OVFEExy に "1" を書き込んだとき。 (初期値) |
| 1 | [セット条件] タイマカウンタ Exy (TCNTExy) の上位 24 ビットの値が FFF FFF _H から 000 000 _H と 変化したとき。 |

このフラグをソフトウェアにより“1”または“0”にセットすることはできません。OVFEExy が 1 の状態（フラグがクリアされていない状態）でも、次のサイクルマッチ処理、および DMA 転送要求は実施可能です。このとき OVFEExy には 1 がオーバライトされます。

タイマカウンタ Exy (TCNTExy) でオーバーフローが発生した場合、このフラグが 1 にセットされます。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

オーバーフローフラグは TCNTExy の上位 24 ビットが FFF FFF_H の状態でカウントアップクロックが入力されたときに発生します。TCNTExy の上位 24 ビットへの 000 000_H 書き込みでは OVFEExy はセットされません。

カウンタ値の上位 24 ビットが FFF FFF_H の状態で、カウントアップクロックと同時に TCNTExy への書き込みを行った場合、オーバーフローフラグは“1”にセットされますが、TCNTExy の上位 24 ビット値は 000 000_H ではなく、書き込まれた値に更新されます。

サイクルマッチ発生でカウンタ値の上位 24 ビットは $000\ 001_{\text{H}}$ にクリアされるため、通常動作ではオーバーフローは発生しません。カウンタ動作中にサイクルレジスタ値を変更した場合にのみ、オーバーフロー発生の可能性があります。

また、オーバーフローとサイクルマッチが同時に起こる場合 (CYLRE_{xy} の上位 24 ビットを $FFF\ FFF_{\text{H}}$ に設定し、TCNTE_{xy} の上位 24 ビットが $FFF\ FFF_{\text{H}}$ の状態でカウントアップクロックが入力された場合)、オーバーフローは検出されません。この場合、サイクルマッチ検出時の処理が実施されます。(カウンタ値の上位 24 ビットが $000\ 001_{\text{H}}$ となり、リロード有効であれば、サイクルリロード、デューティリロードが発生します。) オーバーフローとデューティマッチが同時に起こる場合でも、上記と同様の動作が起きます。

21.8.2.10 TSCREx — タイマステータスクリアレジスタ Ex

(x = 0, 1, 2, 3, 4, 5, 6 : サブブロック E0 ~ E6 に対応、y = 0, 1, 2, 3 : チャンネル 0 ~ 3 に対応)

アクセス 8ビット/16ビットアクセス可能
 “0”書き込み無効。“1”書き込み時はデータは保持されません。読み出し値は常に“0”になります。

アドレス FFE6 2112_H + (100_H * x)

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | DMFCE x3 | DMFCE x2 | DMFCE x1 | DMFCE x0 | OVFCE x3 | OVFCE x2 | OVFCE x1 | OVFCE x0 | CMFCE x3 | CMFCE x2 | CMFCE x1 | CMFCE x0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.106 TSCREx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------------|--|
| 15 ~ 12 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 11 ~ 8 | DMFCE _{xy} | デューティマッチフラグクリアイネーブル Exy 0 : 無効 (初期値) 1 : タイマステータスレジスタ Ex (TSREx) の DMFCE _{xy} を 0 にクリアする。 |
| 7 ~ 4 | OVFCE _{xy} | オーバフローフラグクリアイネーブル Exy 0 : 無効 (初期値) 1 : タイマステータスレジスタ Ex (TSREx) の OVFCE _{xy} を 0 にクリアする。 |
| 3 ~ 0 | CMFCE _{xy} | サイクルマッチフラグクリアイネーブル Exy 0 : 無効 (初期値) 1 : タイマステータスレジスタ Ex (TSREx) の CMFCE _{xy} を 0 にクリアする。 |

タイマステータスクリアレジスタ Ex (TSCREx) は、16 ビットの読み出し/書き込み可能なレジスタです。タイマカウンタ Exy (TCNTE_{xy}) のオーバフロー発生、TCNTE_{xy} とサイクルレジスタ Exy (CYLRE_{xy}) のサイクルマッチ発生、TCNTE_{xy} とデューティレジスタ Exy (DTRE_{xy}) のデューティマッチ発生によるフラグのクリア設定を行います。

TSCREx は 16 ビット単位での読み出し/書き込みが可能です。ただし読み出した場合は常に“0”が読み出せます。

TSCREx はリセット時に 0000_H に初期化されます。

(1) DMFCE_{xy} — デューティマッチフラグクリアイネーブル Exy

TCNTE_{xy} とデューティレジスタ Exy (DTRE_{xy}) のデューティマッチ発生によるフラグのクリア設定をします。

本ビットを設定することでタイマステータスレジスタ Ex (TSREx) のデューティマッチフラグ (DMFCE_{xy}) をクリアすることが可能です。読み出した場合は常に“0”が読み出せません。

| DMFCE _{xy} | 機能 |
|---------------------|---|
| 0 | 無効 (初期値) |
| 1 | タイマステータスレジスタ Ex (TSREx) の DMFCE _{xy} を 0 にクリアする。 |

(2) OVFCExy — オーバフローフラグクリアイネーブル Exy

タイマカウンタ Exy (TCNTExy) のオーバフロー発生によるフラグのクリア設定をします。
本ビットを設定することでタイムステータスレジスタ Ex (TSREx) のオーバフローフラグ Exy (OVFCExy) をクリアすることが可能です。読み出した場合は常に“0”が読み出せます。

| OVFCExy | 機能 |
|---------|---|
| 0 | 無効 (初期値) |
| 1 | タイムステータスレジスタ Ex (TSREx) の OVFCExy を 0 にクリアする。 |

(3) CMFCExy — サイクルマッチフラグクリアイネーブル Exy

TCNTExy とサイクルレジスタ Exy (CYLRExy) のサイクルマッチ発生によるフラグのクリア設定をします。

本ビットを設定することでタイムステータスレジスタ Ex (TSREx) のサイクルマッチフラグ Exy (CMFCExy) をクリアすることが可能です。読み出した場合は常に“0”が読み出せます。

| CMFCExy | 機能 |
|---------|---|
| 0 | 無効 (初期値) |
| 1 | タイムステータスレジスタ Ex (TSREx) の CMFCExy を 0 にクリアする。 |

21.8.2.11 TIEREx — タイマインタラプトイネーブルレジスタ Ex

(x = 0, 1, 2, 3, 4, 5, 6 : サブブロック E0 ~ E6 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 8ビット / 16ビットアクセス可能

アドレス FFE6 2116_H + (100_H * x)

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|--------------------|--------------------|--------------------|--------------------|---|---|---|---|--------------------|--------------------|--------------------|--------------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | DMEE _{x3} | DMEE _{x2} | DMEE _{x1} | DMEE _{x0} | — | — | — | — | CMEE _{x3} | CMEE _{x2} | CMEE _{x1} | CMEE _{x0} |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 21.107 TIEREx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|--|--|
| 15 ~ 12 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 11 ~ 8 | DMEE _{x3} -DMEE _{x0} | デューティマッチインタラプトイネーブル Ex3 ~ Ex0 デューティマッチフラグ DMFE _{xy} による割り込み要求の許可 / 禁止を設定 |
| 7 ~ 4 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 3 ~ 0 | CMEE _{x3} -CMEE _{x0} | サイクルマッチインタラプトイネーブル Ex3 ~ Ex0 サイクルマッチフラグ CMFE _{xy} による割り込み要求の許可 / 禁止を設定 |

タイマインタラプトイネーブルレジスタ Ex (TIEREx) は、16ビットの読み出し / 書き込み可能なレジスタです。サイクルレジスタ Exy (CYLRE_{xy}) と TCNTE_{xy} とのコンペアマッチ (サイクルマッチ)、およびデューティレジスタ Exy (DTREx_{xy}) と TCNTE_{xy} とのコンペアマッチ (デューティマッチ) による割り込み要求の許可 / 禁止を制御します。

TIEREx はリセット時に 0000_H に初期化されます。

(1) DMEE_{xy} — デューティマッチインタラプトイネーブル Exy

DTE_{xy} のデューティマッチ発生による割り込み要求の許可 / 禁止を設定します。

本ビットを設定することでタイマステータスレジスタ Ex (TSRE_{xy}) のデューティマッチフラグ (DMFE_{xy}) を割り込みとして出力することが可能です。

| DMEE _{xy} | 機能 |
|--------------------|--|
| 0 | DMFE _{xy} による割り込み要求を禁止。 (初期値) |
| 1 | DMFE _{xy} による割り込み要求を許可。 |

(2) CMEE_{xy} — サイクルマッチインタラプトイネーブル Exy

CYLE_{xy} のサイクルマッチ発生による割り込み要求の許可 / 禁止を設定します。

| CMEE _{xy} | 機能 |
|--------------------|--|
| 0 | CMFE _{xy} による割り込み要求を禁止。 (初期値) |
| 1 | CMFE _{xy} による割り込み要求を許可。 |

注 意

タイマサブブロック Ex のサイクルマッチ (CMFExy) とデューティマッチ (DMFExy) による割り込み要求は、CMFExy と DMFExy の論理和として要求されます。TSREx を参照することによって、カウンタのサイクルマッチかデューティマッチによる割り込み要求かを判断することができます。割り込み処理時には対応する割り込み要求の TSREx のフラグをクリアしてください。クリアしない場合は割り込み要求が継続されます。

21.8.2.12 TOCREx — タイマアウトプットコントロールレジスタ Ex

(x = 0, 1, 2, 3, 4, 5, 6 : サブブロック E0 ~ E6 に対応、y = 0, 1, 2, 3 : チャンネル 0 ~ 3 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 2114_H + (100_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---------|---------|---------|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | TONEEx3 | TONEEx2 | TONEEx1 | TONEEx0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 21.108 TOCREx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 7 ~ 4 | — | 何も配置されていません。読み出した場合は"0"が読み出されます。書き込みの場合は必ず"0"を書き込んでください。 |
| 3 ~ 0 | TONEExy | TOExy 出力反転セレクト TOExy 出力信号の反転設定 (オンデューティ/オフデューティ選択) |

タイマアウトプットコントロールレジスタ Ex (TOCRE0 ~ TOCRE6) は、8ビットの読み出し/書き込み可能なレジスタです。各サブブロック Ex の持つ出力ピン TOExy からの信号を反転するか否かを設定します。

リセット時に 00_H に初期化されます。

(1) TONEExy — TOExy 出力反転セレクト

TOExy からの PWM 出力を反転するか否かを設定します。

| TONEExy | 機能 |
|---------|---------------------------|
| 0 | 出力ピン (TOExy) から通常出力 (初期値) |
| 1 | 出力ピン (TOExy) から反転信号を出力 |

タイマアウトプットコントロールレジスタのオンデューティ/オフデューティ設定を変更した場合、次の内部動作クロック (PCLK) サイクルで TOExy 出力が反転します。タイマカウンタ Exy (TCNTExy) の動作/停止状態は、オンデューティ/オフデューティ切り替えに影響を与えません。

初期状態 (TONEExy = 0) での PWM 出力は 0 です。

21.8.2.13 TCNTExy — タイマカウンタ Exy

(x = 0, 1, 2, 3, 4, 5, 6 : サブブロック E0 ~ E6 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 2124_H + (100_H * x) + (20_H * y)

リセット後の値 0000 0100_H

| | | | | | | | | | | | | | | | | |
|---------|---------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TCNTExy | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TCNTExy | | | | | | | | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R |

タイマカウンタ Exy (TCNTExy) は、サブブロック Ex、チャネル y に配置された、24 ビットの読み出し/書き込み可能なレジスタです。下位 8 ビットを読み出した場合は“0”が読み出されます。下位 8 ビットに書き込む場合は必ず“0”を書き込んでください。タイマイネーブルレジスタ (ATUENR) の TEE ビット、タイマスタートレジスタ E (TSTRE) のサブブロック Ex スタートビット (STREx)、およびサブブロックスタートレジスタ Ex (SSTREx) のカウンタ Exy スタートビット (SSTRExy) をセットすることにより動作可能となります。カウントクロックはタイマコントロールレジスタ Ex (TCREx) の TCNTEx クロックセレクト (CKSELEx[2:0])、およびタイマ E 内蔵のプリスケアラレジスタ Ex (PSCREx) によって設定します。

TCNTExy の上位 24 ビットはサイクルレジスタ Exy (CYLRExy) とのサイクルマッチにより 000001_H に初期化されます。サイクルレジスタの上位 24 ビットの値が N のとき、カウンタの上位 24 ビットが N から (N+1) にカウントアップするタイミングで (N+1) ではなく 1 にクリアします。すなわち、1 から N までのカウントを行い N 周期の PWM パルス出力に対応します。

TCNTExy の上位 24 ビットは 000001_H から FFFFFFF_H の間でカウント動作が可能です (サイクルレジスタの上位 24 ビットに FFFFFFF_H 設定時)。

TCNTExy の上位 24 ビットに 000000_H を書き込んだときは、PWM サイクルを強制終了し、次のカウントクロックで上位 24 ビットは再び 000001_H から新たな PWM サイクルを開始します。カウント値の上位 24 ビットが 000000_H である期間の PWM 出力は、直前の値を保持しており、新たな PWM サイクル開始と同時に“1”出力が行われます (デューティマッチ以前に PWM サイクルを強制終了した場合、その PWM サイクルは 100%デューティ (PWM サイクル期間中常に“1”) となり、新たな PWM サイクルとの境界に“0”が出力されることはありません)。カウンタの上位 24 ビットへの 000000_H 書き込み時の詳細動作は図 21.56、および図 21.57 を参照してください。

カウンタ動作中に TCNTExy、もしくは CYLRExy レジスタに書き込みを行った場合、カウンタ値の上位 24 ビットが FFFFFFF_H に到達してもサイクルマッチを起さない場合があります。その場合、次のカウントクロックでカウンタ値の上位 24 ビットは FFFFFFF_H から 000000_H に移行します。このときも上位 24 ビットへの 000000_H 書き込みと同様、PWM サイクルは中断されます。次のカウントクロックでカウンタ値の上位 24 ビットは 000001_H とな

り、新たな PWM サイクルを開始します。このとき、リロード有効であればサイクルリロード、デューティリロードも発生します。

TCNTE_{xy} の上位 24 ビット はリセット時に 000001_H に初期化されます。

21.8.2.14 CYLRExy — サイクルレジスタ Exy

(x = 0, 1, 2, 3, 4, 5, 6 : サブブロック E0 ~ E6 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 2128_H + (100_H * x) + (20_H * y)

リセット後の値 FFFF FF00_H

| | | | | | | | | | | | | | | | | |
|---------|---------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CYLRExy | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CYLRExy | | | | | | | | — | — | — | — | — | — | — | — |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R |

CYLRExy は 24 ビットの読み出し/書き込み可能なレジスタで、PWM の周期格納レジスタです。上位 24 ビットに 000001_H ~ FFFFFFF_H の範囲で PWM 周期を設定することが可能です。下位 8 ビットを読み出した場合は“0”が読み出されます。下位 8 ビットに書き込む場合は必ず“0”を書き込んでください。

CYLRExy の値と対応するタイマカウンタ Exy (TCNTExy) の値は常に比較されています。両者の値が一致すると、TCNTExy の上位 24 ビットは 000001_H にクリアされます。このとき、リロードコントロールレジスタ Ex (RLDCREx) の RL DENx_y ビットが“1”にセットされていれば、サイクルリロードレジスタ Exy (CRLDExy)、デューティリロードレジスタ Exy (DRLDExy) の値を、それぞれサイクルレジスタ Exy (CYLRExy)、デューティレジスタ Exy (DTRExy) に転送します。TCNTExy の上位 24 ビットに 000000_H を書き込むと PWM サイクル強制終了となり、次のクロックサイクルで上記と同様のリロードが起きます。また、サイクルレジスタのコンペアマッチ (サイクルマッチ) により、CPU へ割り込み要求、および DMAC への転送要求 (チャネル 0 のみ) の出力を行うことができます。ただし、割り込み要求と DMAC への転送要求は同時に使用しないでください。

TCNTExy 動作中に CYLRExy に書き込みを行う際は書き込み値に注意してください。TCNTExy 動作中に書き込みを行った場合、TCNTExy がサイクルマッチを検出せずに CYLRExy 設定値を超えてカウントアップを続ける可能性があります。その場合、所望の PWM 出力は得られません。

CYLRExy の上位 24 ビットはリセット時に FFFFFFF_H に初期化されます。

21.8.2.15 DTRExy — デューティレジスタ Exy

(x = 0, 1, 2, 3, 4, 5, 6 : サブブロック E0 ~ E6 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 212C_H + (100_H * x) + (20_H * y)

リセット後の値 FFFF FF00_H

| | | | | | | | | | | | | | | | | |
|---------|--------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | DTRExy | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DTRExy | | | | | | | | — | — | — | — | — | — | — | — |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R |

DTRExy は 24 ビットの読み出し/書き込み可能なレジスタで、PWM のデューティ格納レジスタです。上位 24 ビットに 000000_H ~ FFFFFFF_H の範囲でデューティ設定が可能です。下位 8 ビットを読み出した場合は“0”が読み出されます。下位 8 ビットに書き込む場合は必ず“0”を書き込んでください。

DTRExy の値と対応するタイマカウンタ Exy (TCNTExy) の値は常に比較されており、両者の値が一致すると、対応するチャネルの出力端子 (TOExy) は 0 出力になります。また、RLDENxy ビットが“1”に設定されていれば、CYLRExy と TCNTExy が一致すると、対応する DRLDExy の値が DTRExy にリロードされます。TCNTExy の上位 24 ビットに 000000_H を書き込むと PWM サイクル強制終了となり、次のクロックサイクルで上記と同様のリロードが起きます。また、デューティレジスタのコンペアマッチ (デューティマッチ) により、CPU へ割り込み要求の出力を行うことができます。

DTRExy の上位 24 ビットには 0 ~ CYLRExy の範囲の値を設定してください。0 を設定したときはデューティ 0% に、CYLRExy と同じ値を設定したときはデューティ 100% になります。DTRExy には CYLRExy より大きい値は設定しないでください。

TCNTExy 動作中に DTRExy に書き込みを行う際は書き込み値に注意してください。

TCNTExy 動作中に書き込みを行った場合、TCNTExy と DTRExy とのデューティマッチが検出できない可能性があります。その場合、所望の PWM 波形を得られません。

DTRExy の上位 24 ビットはリセット時に FFFFFFF_H に初期化されます。

21.8.2.16 CRLDExy — サイクルリロードレジスタ Exy

(x = 0, 1, 2, 3, 4, 5, 6 : サブブロック E0 ~ E6 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 2130_H + (100_H * x) + (20_H * y)

リセット後の値 FFFF FF00_H

| | | | | | | | | | | | | | | | | |
|---------|---------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CRLDExy | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CRLDExy | | | | | | | | — | — | — | — | — | — | — | — |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R |

サイクルリロードレジスタ Exy (CRLDExy) は 24 ビットの読み出し/書き込み可能なレジスタです。上位 24 ビットに 000001_H ~ FFFFFFF_H の範囲で PWM 周期を設定することが可能です。下位 8 ビットを読み出した場合は“0”が読み出されます。下位 8 ビットに書き込む場合は必ず“0”を書き込んでください。

リロード機能が有効になっていれば、サイクルレジスタ Exy (CYLRExy) のサイクルマッチ時に、本レジスタ値がサイクルレジスタ Exy (CYLRExy) に転送されます。TCNTExy の上位 24 ビットに 000000_H を書き込むと PWM サイクル強制終了となり、次のクロックサイクルで上記と同様のリロードが起きます。

CRLDExy の上位 24 ビットはリセット時に FFFFFFF_H に初期化されます。

21.8.2.17 DRLDExy — デューティリロードレジスタ Exy

(x = 0, 1, 2, 3, 4, 5, 6 : サブブロック E0 ~ E6 に対応、y = 0, 1, 2, 3 : チャネル 0 ~ 3 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 2134_H (100_H * x) + (20_H * y)

リセット後の値 FFFF FF00_H

| | | | | | | | | | | | | | | | | |
|---------|---------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | DRLDExy | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DRLDExy | | | | | | | | — | — | — | — | — | — | — | — |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R |

デューティリロードレジスタ Exy (DRLDExy) は 24 ビットの読み出し/書き込み可能なレジスタです。上位 24 ビットに 000000_H ~ FFFFFFF_H の範囲でデューティ設定が可能です。下位 8 ビットを読み出した場合は“0”が読み出されます。下位 8 ビットに書き込む場合は必ず“0”を書き込んでください。

リロード機能が有効になっていれば、サイクルレジスタ Exy (CYLRExy) のサイクルマッチ時、本レジスタ値がデューティレジスタ Exy (DTRExy) に転送されます。TCNTExy の上位 24 ビットに 000000_H を書き込んだら PWM サイクル強制終了となり、次のクロックサイクルで上記と同様のリロードが起きます。

DRLDExy の上位 24 ビットはリセット時に FFFFFFF_H に初期化されます。

21.8.3 動作説明

タイマ E は 24 ビットタイマカウンタ E_{xy} (TCNTE $_{xy}$)、24 ビットサイクルレジスタ E_{xy} (CYLRE $_{xy}$)、24 ビットデューティレジスタ E_{xy} (DTRE $_{xy}$)、および、24 ビットサイクルリロードレジスタ E_{xy} (CRLDE $_{xy}$)、24 ビットデューティリロードレジスタ E_{xy} (DRLDE $_{xy}$) で構成されており、PWM タイマとして使用できます。

タイマスタートレジスタ E (TSTRE) で動作対象サブブロックを、サブブロックスタートレジスタ Ex (SSTRE $_x$) でチャンネルを選択することで TCNTE $_{xy}$ はカウントアップ動作を開始します。TCNTE $_{xy}$ がデューティレジスタ E_{xy} (DTRE $_{xy}$) と一致すると次の TCNTE $_{xy}$ カウントクロック入力時に TOE $_{xy}$ 出力を 0 に、サイクルレジスタ E_{xy} (CYLRE $_{xy}$) と一致すると次の TCNTE $_{xy}$ カウントクロック入力時に TOE $_{xy}$ 出力を 1 に変化させます。サイクルレジスタと一致すると、次のカウントクロックでカウント値の上位 24 ビットを 000001 $_H$ にクリアし、そこから再びアップカウントを開始します。

以降、デューティマッチ、サイクルマッチを繰り返し TOE $_{xy}$ 端子から PWM 出力を行います。

ただしカウンタを起動してから最初のサイクルマッチまでの 1 周期の間は、外部出力は 0 (初期値) のままです。

PWM 周期は 000001 $_H$ ~ FFFFFFF $_H$ の期間が設定可能です。一方、デューティは 0% ~ 100% までが設定できます。それぞれサイクルレジスタ、デューティレジスタに設定した値がサイクル幅、デューティ幅となります。デューティレジスタの値が 0000 $_H$ の場合は、出力は 0 のまま変化しません (デューティ 0%)。デューティレジスタの値がサイクルレジスタと同じ場合はデューティ 100% となり 1 を出力し続けます。デューティレジスタにはサイクルレジスタを越える値を設定しないでください。

サイクルレジスタのコンペアマッチ (サイクルマッチ) で周期ごとに割込み要求を生成できますが、チャンネル 0 のサイクルマッチは DMA 転送要求として使用できます。図 21.55 のように DMA 転送要求は 1PCLK のパルス出力となります。

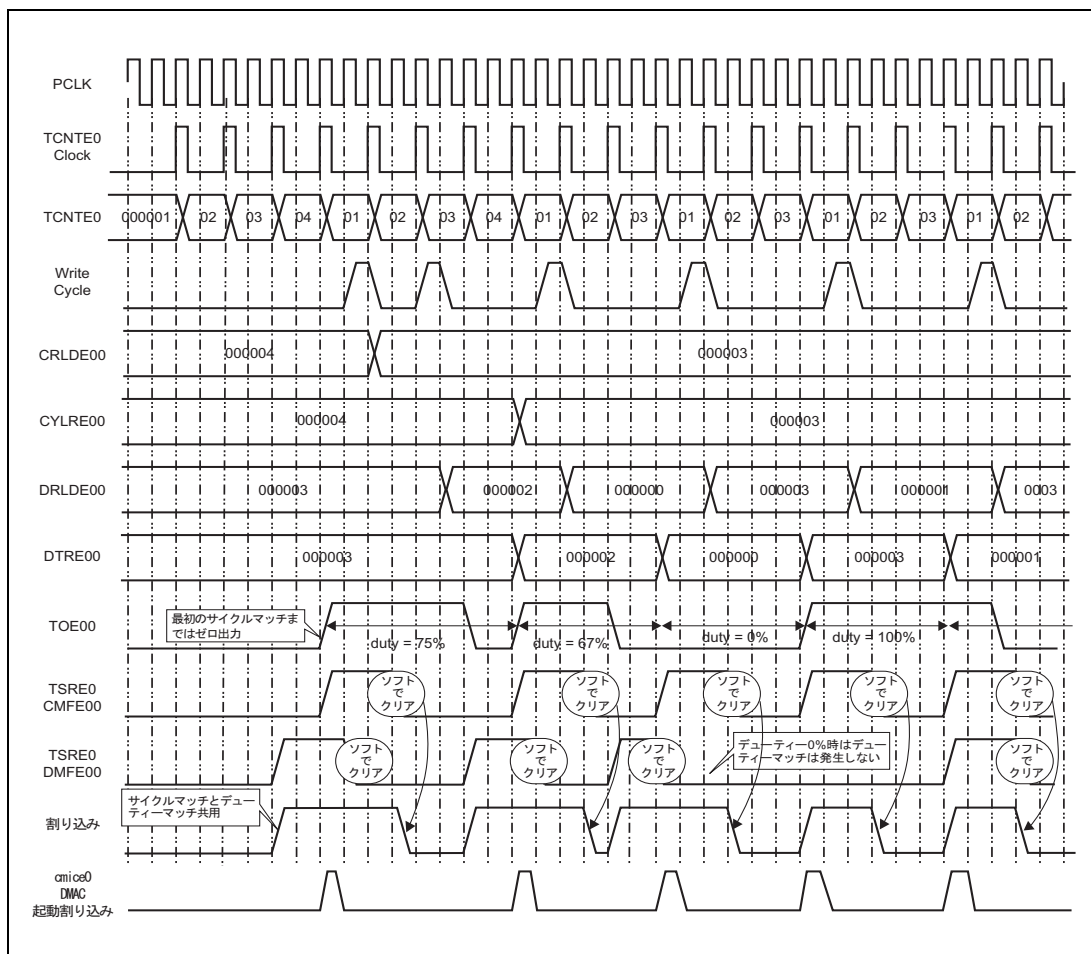


図 21.55 PWM タイマ動作 (1)

デューティレジスタ、サイクルレジスタはそれぞれリロードレジスタを持っており、アップカウンタがサイクルレジスタの値と一致したときにデューティリロードレジスタからデューティレジスタへ、サイクルリロードレジスタからサイクルレジスタへ転送されます。デューティリロードレジスタ/サイクルリロードレジスタに書き込まれた値がデューティ/サイクルに反映されるのは、書き込んだ PWM 周期の次の周期からです。このリロード機能の有効/無効は、リロードコントロールレジスタ Ex (RLDCREx) のリロードイネーブルビット Exy (RLDENExy) によって制御できます。

タイマ E はタイマカウンタ Exy (TCNTExy) の上位 24 ビットに 000000_H を書き込むことで、強制的に PWM 出力サイクルを終了することができます。カウンタ値の上位 24 ビットは次のカウントクロック入力でも 000000_H から 000001_H に遷移しカウントを再開します。カウンタの上位 24 ビットが 000001_H へ遷移するタイミングで、サイクルリロードレジスタからサイクルレジスタ、デューティリロードレジスタからデューティレジスタへ値が転送されます。

図 21.55 にブロック E0、チャンネル 0 での PWM タイマ動作を示します。

デューティを 75%、67%、0%、100% と毎サイクル変更している状態を表しています。

図 21.56 はカウンタの上位 24 ビットに 000000_H を書き込むことで PWM 出力サイクルを強制終了させ、再起動している状態を表しています。

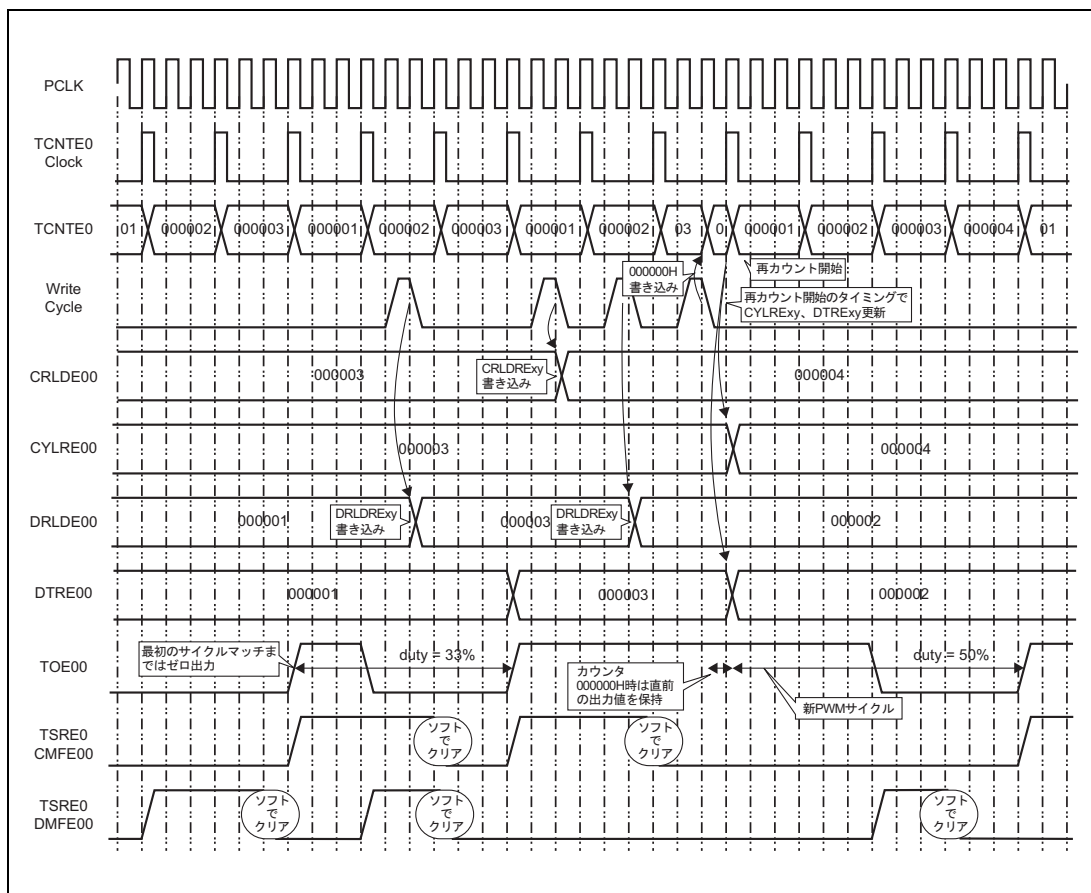


図 21.56 PWM タイマ動作 (2)

カウンタの上位 24 ビットへの 000000_H 書き込みにより、カウンタの上位 24 ビットが 000000_H になります。出力波形 (TOE00) は変化しません。上位 24 ビットへ 000000_H 書き込み後のカウントクロック入力により、リロード機能が有効に設定されていれば、サイクルリロードレジスタ/デューティリロードレジスタから、サイクルレジスタ/デューティレジスタへ値が転送されます。同時にカウンタ動作を再開し、PWM 出力も開始します。

出力波形のオフデューティ設定はタイマアウトプットコントロールレジスタ Ex (TOCREx) の該当ビットをオフデューティに設定をすることで可能です。設定した次の PCLK サイクルから出力端子 (TOExy) からの出力は反転します。

図 21.57 はオンデューティ/オフデューティを切り替えた場合の出力波形を示しています。カウンタ動作前にオフデューティ設定をすることで、出力端子 (TOE00) の初期値は 1 となります。カウント開始から最初のサイクルマッチまでの間、TOE00 は 1 を出力、その後、サイクルマッチ、デューティマッチで 0、1 出力を繰り返します。カウンタの上位 24 ビットへの 000000_H 書き込みによる強制サイクル終了が発生した場合、TOE00 は直前の出力値を保持。カウンタの上位 24 ビットが 000001_H に遷移するタイミングから再び新たな PWM サイクルを開始します。

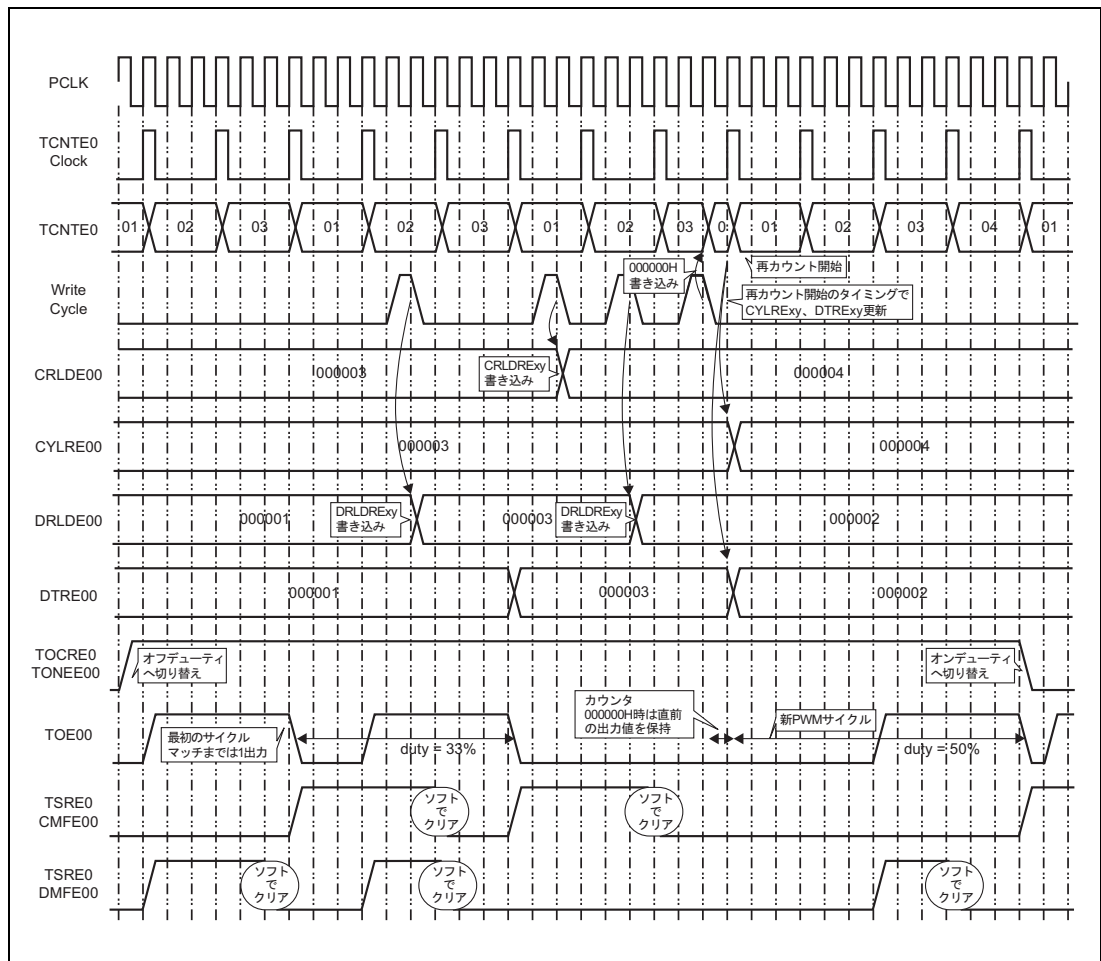


図 21.57 PWM タイマ動作 (3)

図 21.58 は PWM 出力遮断出力遮断時の出力波形を示しています。出力遮断コントロールレジスタ Ex (POECREx) の出力遮断有効/無効選択ビット (POEENxy) を有効に設定した状態でかつ、デューティ期間 (前 PWM サイクルのサイクルマッチからデューティマッチの間) にシャットオフ入力 (POEx) がイネーブルになると PWM 出力を遮断します。非デューティ期間で POEx がイネーブルとなっても遮断動作は実行されません。出力遮断状態においては、出力遮断レベル設定レジスタ Ex (SOLVLEx) の出力レベル H/L 選択ビット (PWMSLVxy) によって指定された信号レベルを、TOExy に出力します。この出力レベルは、タイマアウトプットコントロールレジスタ Ex (TOCREx) の該当ビットによる反転設定 (オンデューティ/オフデューティ設定) の影響を受けません。

出力遮断状態はサイクルマッチ時の POEx がディセーブルであれば解除されます。前述のタイミングで POEx がイネーブル状態のときは、次のサイクルマッチまで PWM 出力遮断状態を継続します。

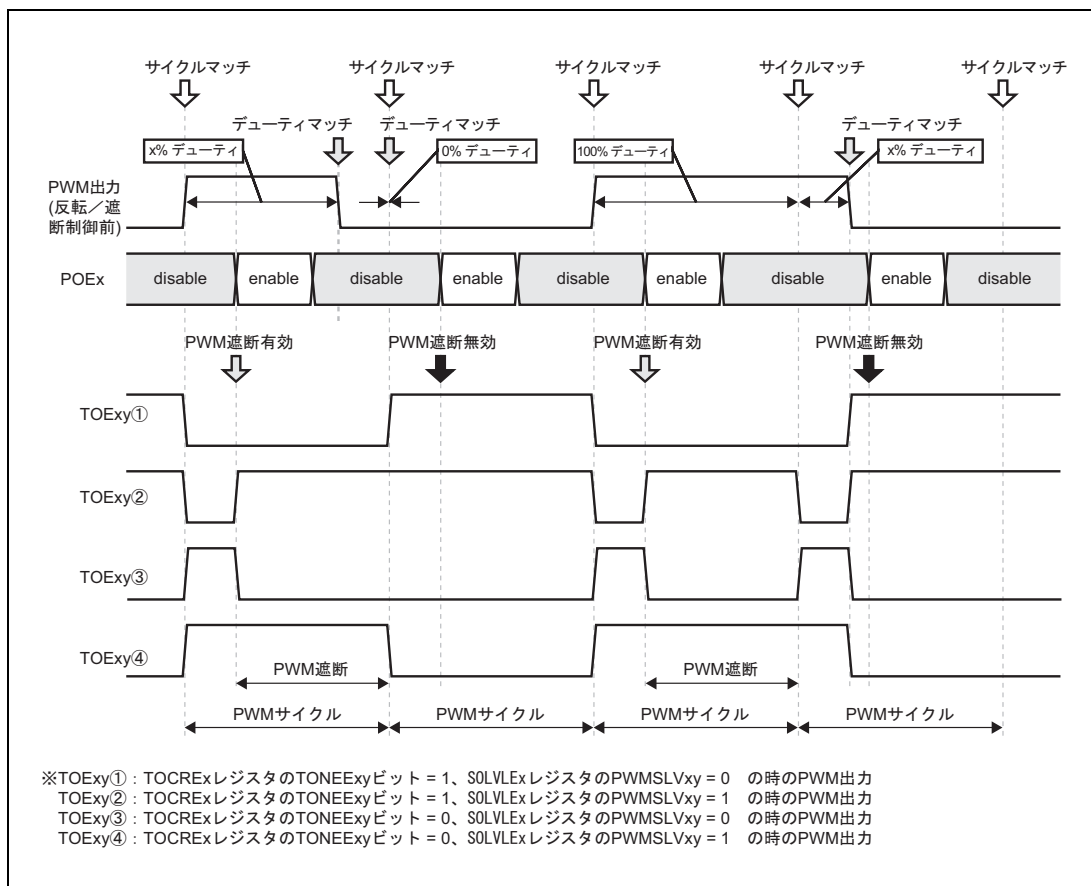


図 21.58 PWM 出力遮断の例

21.9 タイマF

21.9.1 動作概要

タイマFブロックは、12個のタイマFサブブロックによって構成されます。

タイマFサブブロックは、以下の機能を実現することができます。

- 一定時間内エッジカウント：
所定の時間内に外部入力ピン (TIFxA または TIFx) に与えられたエッジをカウントします。
- 有効エッジ入力間隔計測：
外部入力ピン (TIFxA または TIFx) に所定回数のエッジが与えられるまでに経過した時間を計測します。
- 入力 High/Low 期間計測：
外部入力ピン (TIFxA または TIFx) にハイ (ロー) レベルの信号が与えられている時間を計測します。計測する期間は、外部入力ピンに与えられるパルスの個数で指定することができます。
- PWM 入力波形計測：
外部入力ピン (TIFxA または TIFx) に与えられる PWM 波形のオフデューティ、サイクル時間を計測します。計測する期間は、外部入力ピンに与えられる PWM サイクル数で指定することができます。
- 回転速度/パルス計測 (サブブロック 3～11 のみ)：
外部入力ピン (TIFx) にエッジ入力を与えられるたびに、エッジカウント値、エッジ入力時のタイムスタンプ、エッジ入力間隔 (サイクル)、直前のハイ (ロー) レベル入力期間を保持します。
- アップ/ダウンカウント (サブブロック 0～2 のみ)：
2本の外部入力ピン (TIFxA, TIFxB) のうち、TIFxA をカウントソースとしてカウント動作を行います。TIFxB でアップカウント、ダウンカウントを切り替えます。
- 4 通倍イベントカウント (サブブロック 0～2 のみ)：
2本の外部入力ピン (TIFxA, TIFxB) をカウントソースとしてカウント動作を行います。2本の信号の入力状態によって、アップカウント、ダウンカウントを切り替えます。

各外部信号入力端子 TIFxA または TIFx、TIFxB からの入力は、入力キャンセル機能を使用してノイズをキャンセルすることができます。また、外部信号入力端子 TIFxA または TIFx の代わりにタイマ A からの TIA00～05 のノイズキャンセル後の信号を外部入力として使用することができます。

TIF0A～TIF2A、TIF0B～TIF2B の入力は、タイマ E の POE0～POE5 の入力 (シャットオフ入力) としても使用することができます。TIFxA/B と POEx の対応はタイマ E の項にある **表 21.96** のとおりです。

TIF0A～TIF2A、TIF0B～TIF2B をタイマ E のシャットオフ入力として使用する場合、対応するタイマ F サブブロックではシャットオフ入力が計測対象となることにご注意ください。

構成

図 21.59 に、タイマ F のブロック図を示します。タイマ F サブブロックは、サブブロック 0 ~ 2 は 2 本の外部入力 TIFxA、TIFxB、それ以外のサブブロックは 1 本の外部入力 TIFx、2 本の 32 ビットカウンタ (ECNTAFx、ECNTCFx)、3 本の 32 ビット汎用レジスタ (GRAFx、GRCFx、GRDFx)、3 本の 32 ビットバックアップレジスタ (BGRAFx、BGRCFx、BGRDFx)、16 ビットアップ/ダウンカウンタ (ENCTBFx)、16 ビット汎用レジスタ (GRBFx)、入力処理部 (エッジ検出、ノイズキャンセラ)、および制御部などで構成されています。

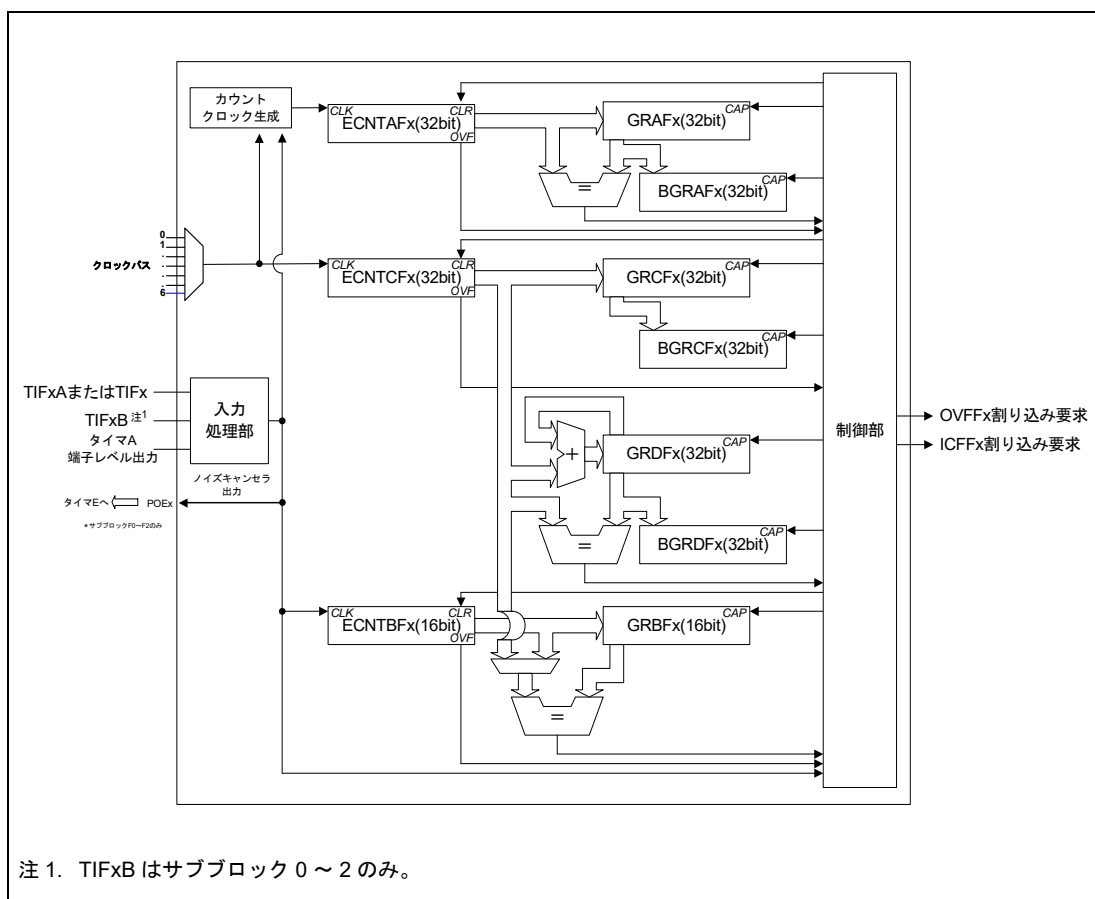


図 21.59 タイマ F サブブロック図

備考

TIFx/A/B と POEx の対応はタイマ E の項にある表 21.96 を参照

割り込み要求

タイマ F は以下に示す 2 種類、計 24 本の割り込み要求を出力することができます。

- OVFFx 割り込み要求 ($0 \leq x \leq 11$, 計 12 本): タイマサブブロック Fx の備える 3 個のカウンタ (ECNTAFx, ECNTBFx, ECNTCFx) のいずれかがオーバーフロー、あるいはアンダフロー (ECNTBFx のみ) した場合に出力されます。PWM 入力波形計測モード、回転速度/パルス計測モードでは、コンペアマッチ割り込みとして出力することも可能です。ステータスレジスタを参照することで、どのカウンタによる割り込み要求が識別することができます。この要求は INTC ブロックによって受け取られ、所定の処理が行われます。
- ICFFx 割り込み要求 ($0 \leq x \leq 11$, 計 12 本): タイマサブブロック Fx でカウント値のキャプチャが生じると出力されます。この要求は DMAC ブロック、あるいは INTC によって受け取られます。DMAC による DMA 転送によって、コンペアマッチをトリガとして得られたキャプチャデータを内蔵 RAM に転送することも、あるいは割り込み要求によって所定の処理を行うことも可能です。DMAC による DMA 転送の詳細は、「**第 7 章 DMA**」を参照してください。

21.9.2 タイマ F 関連レジスタ

21.9.2.1 TSTRF — タイマスタートレジスタ F

アクセス 8ビット/16ビットアクセス可能

アドレス FFE6 3000_H

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|------------|------------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | STRF 11 | STRF 10 | STRF 9 | STRF 8 | STRF 7 | STRF 6 | STRF 5 | STRF 4 | STRF 3 | STRF 2 | STRF 1 | STRF 0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.109 TSTRF レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------------|---|
| 15 ~ 12 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 11 ~ 0 | STRF11 ~ STRF0 | タイマ F スタートビット 0: ECNTAF _x 、ECNTBF _x 、および ECNTCF _x のカウント動作を停止 1: ECNTAF _x 、ECNTBF _x 、および ECNTCF _x のカウント動作を許可 |

備考 xは0～11の整数。

タイマスタートレジスタ F (TSTRF) は 16 ビットの読み出し/書き込み可能なレジスタで、タイマ F に含まれる各サブブロック (タイマ F0 ~ タイマ F11) を動作させるか停止させるかを指定します。ただし、タイマ F のスタートビットをカウント動作許可に設定していても、ATU-IV イネーブルレジスタ (ATUENR) の TFE ビットがイネーブルに設定されていなければカウント動作は行われません。

TSTRF はリセット時に 0000_H に初期化されます。

(1) STRF_x — カウンタ F スタートビット

タイマ F サブブロック F0 ~ F11 の 2 本の時間計測カウンタ (ECNTAF_x、ECNTCF_x) およびイベントカウンタ F_x (ECNTBF_x) を動作させるか、停止させるかを設定します。このビットを“0”にクリアした場合、ECNTAF_x、ECNTBF_x、および ECNTCF_x は動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを“1”にセットした場合には、その値から動作を再開します。カウンタ F スタートビットを“1”にセットしても、ATUENR の TFE ビットがセットされていなければカウント動作は開始されません。

注 意

プリスケラは、カウンタ F スタートビットの設定に関係なく動作しており、上記カウンタの動作開始時にも初期化は行われません。したがって起動から実際に上記カウンタがカウント動作を開始するまでの時間には、選択されたカウントソースの周期 (分解能) 以下のハードウェア的な不確定さがともないます。

21.9.2.2 NCMCR1F — ノイズキャンセルモードチャンネルレジスタ 1F

アクセス 8ビット/16ビットアクセス可能

アドレス FFE6 3004_Hリセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|-------------|-------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | NCM1F 11 | NCM1F 10 | NCM1F 9 | NCM1F 8 | NCM1F 7 | NCM1F 6 | NCM1F 5 | NCM1F 4 | NCM1F 3 | NCM1F 2 | NCM1F 1 | NCM1F 0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.110 NCMCR1F レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------------|---|
| 15 ~ 12 | — | 何も配置されていません。読み出した場合は "0" が読み出されます。書き込みの場合は必ず "0" を書き込んでください。 |
| 11 ~ 0 | NCM1F11 ~ NCM1F0 | ノイズキャンセルモードビット チャンネルxのノイズキャンセラの動作モードを指定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード (NCMF=0 & NCM2Fx=0 時) レベル積算キャンセルモード (NCMF=0 & NCM2Fx=1 時) |

備考 xは0~11のサブブロック No (チャンネル No)。

ノイズキャンセルモードチャンネルレジスタ 1F は、16 ビットの読み出し/書き込み可能なレジスタであり、各チャンネル単位にあるノイズキャンセラの動作モードを選択します。

後続エッジキャンセルモードは、入力信号のレベル変化を検出したあと、指定期間内の入力信号のレベル変化を無視します。最初のレベル変化以降、指定期間内の信号レベルの変化をノイズとみなすモードです。

先行エッジキャンセルモードは、入力信号のレベル変化を検出したあと、指定期間内に入力信号のレベルが変化した場合、最初のレベル変化と、それに続くレベル変化を無視します。信号レベルが指定期間以上一定でないものはノイズとみなすモードです。

レベル積算キャンセルモードは、入力信号のレベルを積算し、積算結果が 0 または指定値になってはじめて入力レベルが 0 または 1 に達したとみなすモードです。

それぞれ期間の指定は、各チャンネルのノイズキャンセルレジスタで行い、ノイズキャンセルカウンタが時間を計測します。

図 21.1 に後続エッジキャンセルモード、図 21.3 にレベル積算キャンセルモードでのノイズキャンセル動作 (タイマ A の TIA00 入力の場合) の概略図を示します。

各チャンネルでは、ノイズキャンセラ通過後の信号に対してエッジ検出を行います。図 21.1、図 21.3 は、それぞれノイズキャンセラ通過後の信号に対して、立ち上がりエッジ検出を行う場合の例を示しています。

(1) NCM1Fx — チャネルxノイズキャンセルモードビット

チャネルxのノイズキャンセラの動作モードを設定します。

注 意

本レジスタは、共通制御部のノイズキャンセルモードレジスタ (NCMR) の NCMF ビットが“0”の場合にのみ設定が有効となります。さらに、本レジスタのチャネル対応ビット (NCM1Fx) に“1”を設定した場合のモード状態は、ノイズキャンセルモードチャネルレジスタ 2F (NCMCR2F) の対応する同一チャネルビットの状態により、先行エッジキャンセルモード/レベル積算キャンセルモードに設定することが可能です。注) xは、0～11

表 21.111 タイマFに関するノイズキャンセルモード対応表

| チャネル イネーブル | フィルタモード | | チャネルレジスタ | | 動作モード | フィルタ単位 |
|---------------|-----------------|---------------|-----------------|--------------------|--------|-------------------|
| | NCCRF. NCEFx | NCMR. NCMF | NCMR. NCMSEL | NCMCR1F. NCM1Fx | | |
| 0 | — | — | — | — | フィルタ無効 | — |
| 1 | 0 | (—) | 0 | (—) | 後続エッジ | 各サブブロック /各チャネル |
| 1 | 0 | (—) | 1 | 0 | 先行エッジ | 各チャネル |
| 1 | 0 | (—) | 1 | 1 | レベル積算 | 各チャネル |
| 1 | 1 | (0) | — | — | 先行エッジ | 各サブブロック |
| 1 | 1 | 1 | — | — | レベル積算 | 各サブブロック |

備考 1. xは、0～11

備考 2. ノイズキャンセライネーブルビット Fx (NCEFx) は、各チャネル単位で設定可能。

**タイマFのフィルタ単位を各チャネルとする場合の設定方法
(前提条件：チャネルイネーブル = “1”)**

- 各チャネル設定：ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMF) を“0”に設定し、さらに、タイマFのノイズキャンセルモードチャネルレジスタ 1F (NCMCR1F) のノイズキャンセルモードビット (NCM1Fx) 中に1ビットでも“1”が設定された場合。
- 全チャネル設定：上記「各チャネル設定」の説明の中で、ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMF) を“1”の場合。または、上記「各チャネル設定」の説明の中で、ノイズキャンセルモードチャネルレジスタ 1F (NCMCR1F) のノイズキャンセルモードチャネル設定ビット (NCM1Fx) にすべて“0”が設定されている場合。

21.9.2.3 NCMCR2F — ノイズキャンセルモードチャンネルレジスタ 2F

アクセス 8ビット/16ビットアクセス可能

アドレス FFE6 3008_Hリセット後の値 0000_H

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|----|----|---------|---------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| | — | — | — | — | NCM2F11 | NCM2F10 | NCM2F9 | NCM2F8 | NCM2F7 | NCM2F6 | NCM2F5 | NCM2F4 | NCM2F3 | NCM2F2 | NCM2F1 | NCM2F0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.112 NCMCR2F レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------------------|--|
| 15 ~ 12 | — | 何も配置されていません。読み出した場合は "0" が読み出されます。書き込みの場合は必ず "0" を書き込んでください。 |
| 11 ~ 0 | NCM2F11 ~ NCM2F0 | ノイズキャンセルモードビット チャンネルxのノイズキャンセラの動作モードを指定します。 0: 先行エッジキャンセルモード (NCMF=0 & NCM1Fx=1 時) 1: レベル積算キャンセルモード (NCMF=0 & NCM1Fx=1 時) |

備考 xは0~11のサブブロックNo (チャンネルNo)。

ノイズキャンセルモードチャンネルレジスタ 2Fは、16ビットの読み出し/書き込み可能なレジスタであり、各チャンネル単位にあるノイズキャンセラの動作モードを選択します。

レベル積算キャンセルモードは、入力信号のレベルを積算し、積算結果が0または指定値になって初めて入力レベルが0または1に達したとみなすモードです。

それぞれ期間の指定は、各チャンネルのノイズキャンセルレジスタで行い、ノイズキャンセルカウンタが時間を計測します。

図 21.1 に後続エッジキャンセルモード、図 21.3 にレベル積算キャンセルモードでのノイズキャンセル動作 (タイマ A の TIA00 入力の例) の概略図を示します。

各チャンネルでは、ノイズキャンセラ通過後の信号に対してエッジ検出を行います。図 21.1、図 21.3 は、それぞれノイズキャンセラ通過後の信号に対して、立ち上がりエッジ検出を行う場合の例を示しています。

(1) NCM2Fx — チャネルxノイズキャンセルモードビット

チャネルxのノイズキャンセラの動作モードを設定します。

注 意

本レジスタは、共通制御部のノイズキャンセルモードレジスタ (NCMR) の NCMF ビットが“0”の場合にのみ設定が有効となります。さらに、本レジスタのチャネル対応ビット (NCM1Fx) に“1”を設定した場合のモード状態は、ノイズキャンセルモードチャネルレジスタ 2F (NCMCR2F) の対応する同一チャネルビットの状態により、先行エッジキャンセルモード/レベル積算キャンセルモードに設定することが可能です。注) xは、0～11

以下に、ノイズキャンセルモードを設定する場合の真理値表を示します。

表 21.113 タイマFに関するノイズキャンセルモード対応表

| チャンネル イネーブル | フィルタモード | | チャンネルレジスタ | | 動作モード | フィルタ単位 |
|----------------|------------------------------|---------------|-----------------|--------------------|--------|--------------------|
| | NCCR.F. NCEF _x | NCMR. NCMF | NCMR. NCMSEL | NCMCR1F. NCM1Fx | | |
| 0 | — | — | — | — | フィルタ無効 | — |
| 1 | 0 | (—) | 0 | (—) | 後続エッジ | 全チャンネル/ チャンネルごと |
| 1 | 0 | (—) | 1 | 0 | 先行エッジ | チャンネルごと |
| 1 | 0 | (—) | 1 | 1 | レベル積算 | チャンネルごと |
| 1 | 1 | (0) | - | — | 先行エッジ | 全チャンネル |
| 1 | 1 | 1 | - | — | レベル積算 | 全チャンネル |

備考 1. xは、0～11

備考 2. ノイズキャンセライネーブルビット F_x (NCEF_x) は、各チャンネル単位で設定可能。

タイマFのフィルタ単位を各チャンネルとする場合の設定方法

(前提条件：チャンネルイネーブル = “1”)

- 各チャンネル設定：ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMF) を“0”に設定し、さらに、タイマFのノイズキャンセルモードチャネルレジスタ 1F (NCMCR1F) のノイズキャンセルモードビット (NCM1Fx) 中に1ビットでも“1”が設定された場合。
- 全チャンネル設定：上記「各チャンネル設定」の説明の中で、ノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードビット (NCMF) を“1”の場合。または、上記「各チャンネル設定」の説明の中で、ノイズキャンセルモードチャネルレジスタ 1F (NCMCR1F) のノイズキャンセルモードチャネル設定ビット (NCM1Fx) にすべて“0”が設定されている場合。

21.9.2.4 NCCRF — ノイズキャンセラコントロールレジスタ F

アクセス 8ビット/16ビットアクセス可能

アドレス FFE6 300C_Hリセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|------------|------------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | NCEF 11 | NCEF 10 | NCEF 9 | NCEF 8 | NCEF 7 | NCEF 6 | NCEF 5 | NCEF 4 | NCEF 3 | NCEF 2 | NCEF 1 | NCEF 0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.114 NCCRF レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------|---|
| 15 ~ 12 | — | 何も配置されていません。読み出した場合は "0" が読み出されます。書き込みの場合は必ず "0" を書き込んでください。 |
| 11 ~ 0 | NCEFx | ノイズキャンセララインールビット Fx (NCEFx) 0 : TIFxA または TIFx、TIFxB のノイズキャンセル機能無効 1 : TIFxA または TIFx、TIFxB のノイズキャンセル機能有効 |

備考 x は 0 ~ 11 の整数。

ノイズキャンセラコントロールレジスタ F (NCCRF) は 16 ビットの読み出し/書き込み可能なレジスタで、タイマ F に含まれる各サブブロック (タイマ F0 ~ タイマ F11) のノイズキャンセラ機能の有効/無効を設定します。

NCCRF はリセット時に 0000_H に初期化されます。

(1) NCEFx — ノイズキャンセララインールビット Fx

各サブブロックのノイズキャンセル機能の有効/無効を選択します。サブブロック 0 ~ 2 に関しては、TIFxA と TIFxB それぞれのノイズキャンセラがありますが、個別に有効/無効を設定することはできません。NCEFx ビットを "1" にすると、TIFxA、TIFxB それぞれのノイズキャンセラが有効になります。

ノイズキャンセル機能を有効にした場合、外部入力 TIFxA または TIFx、TIFxB の入力信号のレベル変化を検出すると、共通制御部内のノイズキャンセルモードレジスタ (NCMR)、タイマ F にあるノイズキャンセルモードチャンネルレジスタ 1F (NCMCR1F)、タイマ F にあるノイズキャンセルモードチャンネルレジスタ 2F (NCMCR2F) の設定に合わせて、後続エッジキャンセルモード、あるいは先行エッジキャンセルモード、またはレベル積算キャンセルモードのいずれかの処理を開始します。

後続エッジキャンセルモードでは、入力信号のレベル変化を検出すると、ノイズキャンセル後の信号として、その変化を出力します。また同時に、対応するノイズキャンセルカウンタ FAx、FBx (NCNTFA0 ~ 11、NCNTFB0 ~ 2) がアップカウントを開始します。このノイズキャンセルカウンタの値が、ノイズキャンセルレジスタ (NCRFA0 ~ 11、NCRFB0 ~ 2) の値とコンペアマッチするまでの間、入力信号のレベル変化はマスクされます。コンペアマッチ時には、そのときの入力信号のレベルがノイズキャンセル後の信号として出力されます。NCNTFAx、NCNTFBx がカウント動作中にこれらのビットを "0" クリアした場合、クリア後もコンペアマッチするまでカウント動作は停止せず、その間も対応する外部入力 TIFxA または TIFx、TIFxB のレベル変化はマスクされつづけます。

先行エッジキャンセルモードでは、入力信号のレベル変化を検出すると、対応するノイズキャンセルカウンタ FAx、FBx (NCNTFA0 ~ 11、NCNTFB0 ~ 2) がアップカウントを開始し、ノイズキャンセルレジスタ (NCRFA0 ~ 11、NCRFB0 ~ 2) の値とコンペアマッチする

までの間に入力信号のレベルに変化がなければ、コンペアマッチタイミングで初めてレベル変化をノイズキャンセル後の信号として出力します。コンペアマッチまでに入力信号レベルが変化した場合、ノイズとみなされ、ノイズキャンセラは入力信号のレベルに変化がなかったものとしてノイズキャンセル後の信号を変化させません。

NCNTFx、NCNTFBx がカウント動作中にこれらのビットを“0”クリアした場合、クリア後もコンペアマッチするか、あるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を続けます。

レベル積算キャンセルモードでは、入力信号のレベルにしたがい対応するノイズキャンセルカウンタ FAx、FBx (NCNTFA0 ~ 15、NCNTFB0 ~ 2) がアップ/ダウンカウントを行います。入力ハイレベルでアップカウント、入力ロウレベルでダウンカウントとなります。アップカウントはノイズキャンセルカウンタがノイズキャンセルレジスタ (NCRFA0 ~ 11、NCRFB0 ~ 2) の値とコンペアマッチするまでの間、ダウンカウントはノイズキャンセルカウンタが 0000_H にコンペアマッチするまで続きます。アップカウントでコンペアマッチ (NCRFA0 ~ 11、NCRFB0 ~ 2) するとノイズキャンセラ出力を 1 に更新します。また、ダウンカウントでコンペアマッチ (0000_H) するとノイズキャンセラ出力を 0 に更新します。

先行エッジキャンセルモードならびに後続エッジキャンセルモードにおいて、レベル変化の検出は選択したノイズキャンセルクロックにかかわらず常に Pφ によって行われます。レベル積算キャンセルモードにおいて、入力レベルのサンプリングはノイズキャンセラ用クロック (Pφ または Pφ/128) によって行われます。

各キャンセルモードの動作例は、**図 21.1**、**図 21.2**、**図 21.3** を参照してください。

21.9.2.5 PVFCRF — プライベートファンクションコントロールレジスタ F

アクセス 16ビットアクセス可能

アドレス FFE6 3010_Hリセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|---|---|---|---|---|---|--------------|-------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PVFCRKEY[7:0] | | | | | | | | — | — | — | — | — | — | GRDFC MEN | BKCRW EN |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W ^{注1} | R/W ^{注1} | R/W ^{注1} | R/W ^{注1} | R/W ^{注1} | R/W ^{注1} | R/W ^{注1} | R/W ^{注1} | R | R | R | R | R | R | R/W | R/W |

注1. ライトキーコードの書き込み値は保持されません。

表 21.115 PVFCRF レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------------|---|
| 15 ~ 8 | PVFCRKEY [7:0] | ライトキーコード C9 _H : GRDFCMEN、BKCRWEN の書き換え可能 C9 _H 以外 : GRDFCMEN、BKCRWEN の書き換え不可 |
| 7 ~ 2 | — | 何も配置されていません。読み出した場合は "0" が読み出されます。書き込みの場合は必ず "0" を書き込んでください。 |
| 1 | GRDFCMEN | GRDFx コンペアマッチイネーブルビット 0 : PWM 入力波形計測モードで GRDFx コンペアマッチ機能が無効。 1 : PWM 入力波形計測モードで GRDFx コンペアマッチ機能が有効。 |
| 0 | BKCRWEN | バックアップコントロールレジスタ Fx ライトイネーブルビット 0 : BKCRFx レジスタはライト不可。 1 : BKCRFx レジスタはライト可能。 |

備考 xは0～11の整数。

プライベートファンクションコントロールレジスタ F (PVFCRF) は、16ビットの読み出し／書き込み可能なレジスタです。ただし、本レジスタへのライト時にはライトデータと同時に bit15～8へライトキーコードの設定が必要です。

PVFCRF はリセット時に 0000_H に初期化されます。

(1) PVFCRKEY — ライトキーコード

GRDFCMEN、BKCRWEN ビットの書き換え可否を制御します。GRDFCMEN、BKCRWEN ビットへのライトデータと同時にビット 15～8へライトキーコードの設定が必要です。本ビットへの書き込みデータは保持されませんので、読み出し値は常に 00_H になります。

(2) GRDFCMEN — GRDFx コンペアマッチイネーブルビット

時間計測カウンタ CFx (ECNTCFx) と汎用レジスタ DFx (GRDFx) とのコンペアマッチ機能の有効／無効を制御します。このビットの設定は PWM 入力波形モードでのみ有効となり、ほかの動作モードでは無視されます (GRDFx コンペアマッチ機能無効)。

このビットの設定はタイマ F の全サブブロックに対し同一で、サブブロック単位で個別に異なる設定はできません。

(3) BKCRWEN — バックアップコントロールレジスタ Fx ライトイネーブルビット

バックアップコントロールレジスタ Fx (BKCRFx) へのライト可否を制御します。

このビットの設定はタイマ F の全サブブロックに対し同一で、サブブロック単位で個別に異なる設定はできません。

21.9.2.6 TCR1Fx — タイマコントロールレジスタ 1Fx

(x = 0 ~ 11 : サブブロック F0 ~ F11 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 3040_H + (40_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|--------------|-----|-----|-----------|-----|-----|--------------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CKSELFx[2:0] | | | MDFx[2:0] | | | EGSELFx[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.116 TCR1Fx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------------|--|
| 7 ~ 5 | CKSELFx[2:0] | クロックセレクト Fx 時間計測カウンタ (ECNTAFx, ECNTCFx) のクロックソースを指定します 000 : クロックバス 0 001 : クロックバス 1 010 : クロックバス 2 011 : クロックバス 3 100 : クロックバス 4 101 : クロックバス 5 110 : クロックバス 6 111 : 予約 |
| 4 ~ 2 | MDFx[2:0] | タイマ動作モード Fx 対応するタイマサブブロック Fx の動作モードを指定します 000 : 一定時間内エッジカウント 001 : 有効エッジ入力間隔計測 010 : 入力 High/Low 期間計測 011 : 予約 100 : PWM 入力波形計測 101 : 回転速度/パルス計測 110 : アップ/ダウンイベントカウント 111 : 4 通倍イベントカウント |
| 1, 0 | EGSELFx[1:0] | エッジセレクト Fx TIFxA または TIFx 入力、または TIA00-05 入力のエッジセンスモードを指定します 00 : エッジ検出無効 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ |

タイマコントロールレジスタ 1Fx (TCR1F0 ~ TCR1F11) は 8 ビットの読み出し/書き込み可能なレジスタで、タイマ F に含まれる各サブブロック (タイマ F0 ~ タイマ F11) の動作モードを指定します。

TCR1F0 ~ TCR1F11 はリセット時に 00_H に初期化されます。

(1) CKSELFx — クロックセレクト Fx

タイマサブブロック F0 ~ F11 の 2 本の時間計測カウンタ (ECNTAFx, ECNTCFx) のクロックソースを指定します。

このビットに“000”から“110”を指定することによって、クロックバス 0 からクロックバス 6 のいずれかをクロックソースとして選択することができます。このビットには“111”を指定しないでください。誤って指定した場合の動作は保証されません。

(2) MDFx — タイマ動作モード Fx

タイマサブブロック F0 ~ F11 の動作モードを指定します。動作モードには、アップ/ダウンイベントカウント、4 通倍イベントカウント、一定時間内エッジカウント、有効エッジ入力間隔計測、入力 High/Low 期間計測、PWM 入力波形計測、回転速度/パルス波形計測の計 7 つのモードがあります。

ただし、サブブロック 3 ~ 11 以外では、回転速度/パルス計測モードを設定しないでください。

(3) EGSELFx — エッジセレクト Fx

タイマサブブロック F0 ~ F11 のイベント入力 (TIFxA または TIFx)、およびタイマ A からの端子入力 (TIA00 ~ 05) のエッジセンスモードを指定します。

エッジ検出は、ノイズキャンセラ通過後の信号に対して行われます。ノイズキャンセル機能が無効であれば外部入力 (TIFxA または TIFx、TIFxB) に対して、ノイズキャンセル機能が有効であればノイズキャンセル後の信号に対してエッジ検出が行われることになります。TIA00 ~ 05 の入力のノイズキャンセルについては、タイマ A でのノイズキャンセルの設定にしたがいます。

入力 High/Low 期間計測に指定した場合、このビットで立ち下がりエッジを選択すると High 期間計測となり、立ち上がりエッジを選択すると Low 期間計測を行います。両エッジは選択しないでください。

PWM 入力波形計測、および回転速度/パルス計測に指定した場合、このビットで立ち上がりエッジを選択すると 2 つの立ち上がりエッジ間を PWM サイクルとみなし、Low 期間をオフデューティサイクルとみなして計測を行います。また、立ち下がりエッジを選択した場合は、2 つの立ち下がりエッジ間を PWM サイクル、High 期間をオフデューティサイクルと計測します。両エッジは選択しないでください。

また、アップ/ダウンカウントモード、および 4 通倍イベントカウントモード指定時には、必ず立ち上がり/立ち下がり両エッジを指定してください。誤ってほかのエッジを選択した場合の動作は保証されません。

注 意

TIFxB は、アップダウンカウント、4 通倍イベントカウントモードにおいてのみ有効な端子です。常に立ち上がり/立ち下がり両エッジを検出して動作します。それ以外のモードでは TIFxB のエッジ検出は行われません。

21.9.2.7 TCR2Fx — タイマコントロールレジスタ 2Fx

(x = 0 ~ 11 : サブブロック F0 ~ F11 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 3042_H + (40_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|----------|---|---|---|---|---------|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | EISELEFx | — | — | — | — | EISELFx | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R | R | R | R | R/W | R/W | R/W |

表 21.117 TCR2Fx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 ~ 5 | EISELEFx | イベント入力選択イネーブル Fx イベント入力を選択します 0 : TIFxA または TIFx を選択 1 : TIA のノイズキャンセル後の信号を選択 |
| 6 ~ 3 | — | 何も配置されていません。“0” 固定にしてください。 |
| 2 ~ 0 | EISELFx | イベント入力選択 Fx EISELEFx で TIA のノイズキャンセル後の信号を選択したときの TIA の信号を選択します 000 : タイマ A の TIA00 のノイズキャンセル後の信号を選択 001 : タイマ A の TIA01 のノイズキャンセル後の信号を選択 010 : タイマ A の TIA02 のノイズキャンセル後の信号を選択 011 : タイマ A の TIA03 のノイズキャンセル後の信号を選択 100 : タイマ A の TIA04 のノイズキャンセル後の信号を選択 101 : タイマ A の TIA05 のノイズキャンセル後の信号を選択 110 : 設定禁止 111 : 設定禁止 |

タイマコントロールレジスタ 2Fx (TCR2Fx) は 8 ビットの読み出し/書き込み可能なレジスタで、タイマ F の各サブブロック (タイマ F0 ~ タイマ F11) のイベント入力を選択します。

TCR2F0 ~ 11 はリセット時に 00_H に初期化されます。

(1) EISELEFx — イベント入力選択イネーブル Fx

タイマ F に含まれる各サブブロック (タイマ F0 ~ タイマ F11) のイベント入力を選択します。

本ビットの設定により、外部入力端子 TIFxA または TIFx の代わりにタイマ A の TIA00 ~ 05 のノイズキャンセル後の信号をイベント入力として選択することができます。

(2) EISELFx — イベント入力選択 Fx

EISELEFx の設定が “1” のとき、タイマ F に含まれる各サブブロック (タイマ F0 ~ タイマ F11) のイベント入力として、タイマ A の TIA00 ~ 05 のノイズキャンセル後の信号を選択することができます。

ビットには “111” を指定しないでください。誤って指定した場合の動作は保証されません。

21.9.2.8 TIERFx — タイマインタラプトイネーブルレジスタ Fx

(x = 0 ~ 11 : サブブロック F0 ~ F11 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 3047_H + (40_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|--------|--------|--------|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | OVECFx | OVEBFx | OVEAFx | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R |

表 21.118 TIERFx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 7 ~ 4 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 3 | OVECFx | オーバフローインタラプトイネーブル CFx 0 : OVFCFxによる割り込み要求を禁止 1 : OVFCFxによる割り込み要求を許可 |
| 2 | OVEBFx | オーバフローインタラプトイネーブル BFx 0 : OVFBFxによる割り込み要求を禁止 1 : OVFBFxによる割り込み要求を許可 |
| 1 | OVEAFx | オーバフローインタラプトイネーブル AFx 0 : OVFAFxによる割り込み要求を禁止 1 : OVFAFxによる割り込み要求を許可 |
| 0 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |

タイマインタラプトイネーブルレジスタ Fx (TIERF0 ~ TIERF11) は8ビットの読み出し/書き込み可能なレジスタで、タイマステータスレジスタ Fx のステータスフラグに対応する割り込み要求を許可するか禁止するか指定します。

TIERF0 ~ TIERF11 はリセット時に 00_H に初期化されます。

(1) オーバフローインタラプトイネーブル AFx

このフラグにより、時間計測カウンタ AFx (ECNTAFx) のオーバフローに対応するステータス (OVFAFx) の割り込み要求を許可するか禁止するか指定します (注)。

(2) オーバフローインタラプトイネーブル BFx

このフラグにより、イベントカウンタ Fx (ECNTBFx) のオーバフロー/アンダフローに対応するステータス (OVFBFx) の割り込み要求を許可するか禁止するか指定します (注)。

(3) オーバフローインタラプトイネーブル CFx

このフラグにより、時間計測カウンタ CFx (ECNTCFx) のオーバフロー (PWM 入力波形計測モード時かつ PVFCRF レジスタの GRDFCMEN ビットが“0”の場合)、ECNTCFx と GRDFx のコンペアマッチ (PWM 入力波形計測モード時かつ PVFCRF レジスタの GRDFCMEN ビットが“1”の場合)、あるいは ECNTCFx と GRBFx のコンペアマッチ (回転速度/パルス計測モード時) に対応するステータス (OVFCFx) の割り込み要求を許可するか禁止するか指定します (注)。

注 意

タイマサブブロック Fx のオーバーフロー割り込み要求は、OVFAFx、OVFBFx、OVFCFx による割り込み要求の論理和として要求されます。TSRFx を参照することによって、どのカウンタのオーバーフロー（またはアンダフロー）による割り込み要求かを判断することができます。割り込み処理時には対応する割り込み要求の TSRFx のフラグをクリアしてください。クリアしない場合は割り込み要求が継続されます。

21.9.2.9 BKCRFx — バックアップコントロールレジスタ Fx

(x = 0 ~ 11 : サブブロック F0 ~ F11 に対応)

アクセス 8ビットアクセス可能
 アドレス FFE6 3044_H + (40_H * x)
 リセット後の値 00_H

【サブブロック F00 ~ F02 の場合】

| | | | | | | | | |
|---------|---|---|--------|---|---|---|---------|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | BKENCx | — | — | — | ARSWCFx | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R | R | R | R/W | R |

【サブブロック F03 ~ F11 の場合】

| | | | | | | | | |
|---------|---|---------|--------|---------|---|---------|---------|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | BKENAFx | BKENCx | BKENDFx | — | ARSWAFx | ARSWCFx | ARSWDFx |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W 注2 | R/W 注2 | R/W 注2 | R | R/W 注2 | R/W 注2 | R/W 注2 |

表 21.119 BKCRFx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|--|
| 7 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 6 | BKENAFx 注1 | バックアップイネーブルビット A CDRFx 読み出し時、GRAFx を BGRAFx に 0 : 退避しない。 1 : 退避する。 |
| 5 | BKENCx | バックアップイネーブルビット C CDRFx 読み出し時、GRCFx を BGRCFx に 0 : 退避しない。 1 : 退避する。 |
| 4 | BKENDFx 注1 | バックアップイネーブルビット D CDRFx 読み出し時、GRDFx を BGRDFx に 0 : 退避しない。 1 : 退避する。 |
| 3 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 2 | ARSWAFx 注1 | アクセスレジスタ切り替えビット A FFE6 3054 _H + (40 _H * x) に 0 : GRAFx がマッピングされる。 1 : BGRAFx がマッピングされる。 |
| 1 | ARSWCFx | アクセスレジスタ切り替えビット C FFE6 3064 _H + (40 _H * x) に 0 : GRCFx がマッピングされる。 1 : BGRCFx がマッピングされる。 |
| 0 | ARSWDFx 注1 | アクセスレジスタ切り替えビット D FFE6 3068 _H + (40 _H * x) に 0 : GRDFx がマッピングされる。 1 : BGRDFx がマッピングされる。 |

注 1. BKENAFx、BKENDFx、ARSWAFx、ARSWDFx は、サブブロック F03 ~ F11 にのみ存在します。F00 ~ F02 では何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。

注2. 本レジスタへの書き込みは、PVFCRF レジスタの BKCRWEN ビットが“1”のときのみ有効です。

バックアップコントロールレジスタ F_x (BKCRF00 ~ BKCRF11) は、8 ビットの読み出し/書き込み可能なレジスタです。

BKCRF00 ~ BKCRF11 への書き込みは、プライベートファンクションコントロールレジスタ F (PVFCRF) の BKCRWEN ビットが“1”のときのみ可能です。

BKCRF00 ~ BKCRF11 はリセット時に 00_H に初期化されます。

(1) BKENAF_x、BKENC_{Fx}、BKEND_{Fx} — バックアップイネーブルビット A/C/D

キャプチャ出力レジスタ F_x (CDRF_x) 読み出し時に、GRAF_x の値を BGRAF_x に退避する/しない、GRCF_x の値を BGRCF_x に退避する/しない、GRDF_x の値を BGRDF_x に退避する/しないをそれぞれ選択します。

(2) ARSWAF_x、ARSWC_{Fx}、ARSWD_{Fx} — アクセスレジスタ切り替えビット A/C/D

アドレス FFE6 3054_H + (40_H * x) に GRAF_x の代わりに BGRAF_x をマッピングする/しない、アドレス FFE6 3064_H + (40_H * x) に GRCF_x の代わりに BGRCF_x をマッピングする/しない、アドレス FFE6 3068_H + (40_H * x) に GRDF_x の代わりに BGRDF_x をマッピングする/しないをそれぞれ選択します。

注 意

このレジスタの設定は動作モードにかかわらず常に有効となります。動作モードによっては機能しないレジスタに対しても、レジスタの設定値にしたがって値の退避やマッピングの切り替えが行われることにご注意ください。

21.9.2.10 TSRFx — タイマステータスレジスタ Fx

(x = 0 ~ 11 : サブブロック F0 ~ F11 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 3045_H + (40_H * x)リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|--------|--------|--------|-------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | OVFCFx | OVFBFx | OVFAFx | ICFFx |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 21.120 TSRFx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|--|
| 7 ~ 4 | — | 何も配置されていません。読み出した場合は "0" が読み出されます。書き込みの場合は必ず "0" を書き込んでください。 |
| 3 | OVFCFx | オーバフローフラグ CFx 0 : ECNTCFx にオーバフローなし 1 : ECNTCFx にオーバフロー発生 |
| 2 | OVFBFx | オーバフローフラグ BFx 0 : ECNTBFx にオーバフロー/アンダフローなし 1 : ECNTBFx にオーバフロー/アンダフロー発生 |
| 1 | OVFAFx | オーバフローフラグ AFx 0 : ECNTAFx にオーバフローなし 1 : ECNTAFx にオーバフロー発生 |
| 0 | ICFFx | インプットキャプチャフラグ Fx 0 : サブブロック Fx にインプットキャプチャの検出なし 1 : サブブロック Fx にインプットキャプチャを検出 |

タイマステータスレジスタ Fx (TSRF0 ~ TSRF11) は 8 ビットの読み出し専用のレジスタです。時間計測カウンタ A、C のオーバフローの発生や、イベントカウンタのオーバフローあるいはアンダフローの発生、およびインプットキャプチャの発生を示します。

これらのフラグは割り込み要求発生を示すステータスフラグです。オーバフローフラグ AFx、BFx、CFx (OVFAx、OVFBx、OVFCx) については TIERFx レジスタを設定することにより、割り込み要求を発生することができます。タイマステータスクリアレジスタ Fx (TSCRFx) の対応するビットを設定することによりフラグをクリアすることができます。

インプットキャプチャフラグ Fx (ICFFx) については、フラグがセットされた状態で割り込み要因が発生した場合、再度割り込み要求を発生します。また、対応するタイマステータスクリアレジスタによるクリアと割り込み要因発生によるセットが競合した場合でも割り込み要求は発生します。

オーバフローフラグについては、タイマインタラプトイネーブルレジスタ Fx (TIERFx) の対応するビットを設定することにより、対応するフラグがセットされると割り込み要求を発生します。割り込み要求を取り下げるには、タイマステータスクリアレジスタ Fx (TSCRFx) により本フラグをクリアしてください。

TSRF00 ~ TSRF11 はリセット時に 00_H に初期化されます。

(1) ICFFx — インพุットキャプチャフラグ Fx

このフラグにより、サブブロック Fx (F0 ~ F11) においてインพุットキャプチャ、コンペアマッチの検出状態を参照することができます。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1セット条件
サブブロック Fx でインพุットキャプチャを検出したとき。
- 0クリア条件
タイマステータスクリアレジスタ Fx (TSCRFx) の ICFCFx に“1”を書き込んだとき。

(2) OVFAFx — オーバフローフラグ AFx

このフラグにより、時間計測カウンタ AFx (ECNTAFx) のオーバフローの状態を参照することができます。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1セット条件
ECNTAFx の値がオーバフロー (FFFF FFFF_H → 0000 0000_H) したとき。
- 0クリア条件
タイマステータスクリアレジスタ Fx (TSCRFx) の OVFAFx に“1”を書き込んだとき。

(3) OVFBFx — オーバフローフラグ BFx

このフラグにより、イベントカウンタ Fx (ECNTBFx) のオーバフローあるいはアンダフローの状態を参照することができます。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1セット条件
ECNTBFx の値がオーバフロー (FFFF_H → 0000_H)、あるいはアンダフロー (0000_H → FFFF_H) したとき。
- 0クリア条件
タイマステータスクリアレジスタ Fx (TSCRFx) の OVFBFx に“1”を書き込んだとき。

(4) OVFCFx — オーバフローフラグ CFx

このフラグは動作モードとプライベートファンクションコントロールレジスタ F (PVFCRF) の GRDFx コンペアマッチイネーブルビット (GRDFCMEN) の設定によって、その値が示す状態が異なります。PWM 入力波形計測モード設定時には、GRDFCMEN ビットが“0”であれば時間計測カウンタ CFx (ECNTCFx) のオーバフローの状態を示し、GRDFCMEN ビットが“1”であれば ENCTCFx と GRDFx とのコンペアマッチ発生を示します。また、回転速度/パルス計測モード時には、GRDFCMEN ビットの設定によらず ECNTCFx と GRBFx とのコンペアマッチ発生を示します。

このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1 セット条件
(PWM 入力波形計測モード)
【GRDFCMEN = “0” の場合】
ECNTCFx の値がオーバフロー (FFFF FFFF_H → 0000 0000_H) したとき。
【GRDFCMEN = “1” の場合】
ECNTCFx と GRDFx の値が一致したとき。
(回転速度/パルス計測モード)
ECNTCFx と GRBFx (下位 16 ビットにゼロ拡張した値) が一致したとき。
- 0 クリア条件
タイマステータスクリアレジスタ Fx (TSCRFx) の OVFCFx に“1”を書き込んだとき。

21.9.2.11 TSCRFx — タイマステータスクリアレジスタ Fx

(x = 0 ~ 11 : サブブロック F0 ~ F11 に対応)

アクセス 8ビットアクセス可能
 “0”書き込み無効。“1”書き込み時はデータは保持されません。読み出し値は常に“0”になります。

アドレス FFE6 3046_H + (40_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---------|---------|--------|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | OVFCCFx | OVFCBFx | OVFAFx | ICFCFx |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 21.121 TSCRFx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|---|
| 7 ~ 4 | — | 何も配置されていません。“0”に固定してください。 |
| 3 | OVFCCFx | オーバフローフラグクリア CFx 0: 無効 (初期値) 1: タイマステータスレジスタ Fx (TSRFx) の OVFCCFx を 0 にクリアする。 |
| 2 | OVFCBFx | オーバフローフラグクリア BFx 0: 無効 (初期値) 1: タイマステータスレジスタ Fx (TSRFx) の OVFCBFx を 0 にクリアする。 |
| 1 | OVFAFx | オーバフローフラグクリア AFx 0: 無効 (初期値) 1: タイマステータスレジスタ Fx (TSRFx) の OVFAFx を 0 にクリアする。 |
| 0 | ICFCFx | インプットキャプチャフラグクリア Fx 0: 無効 (初期値) 1: タイマステータスレジスタ Fx (TSRFx) の ICFCFx を 0 にクリアする。 |

タイマステータスクリアレジスタ Fx (TSCRF00 ~ TSCRF11) は 8 ビットの読み出し/書き込み可能なレジスタです。時間計測カウンタ A、C のオーバフローの発生や、イベントカウンタのオーバフローあるいはアンダフローの発生、およびインプットキャプチャの発生によるフラグのクリア設定をします。

TSCRFx は 8 ビット単位でのみ読み出し/書き込みが可能です。ただし読み出した場合は常に“0”が読み出せます。

TSCRFx はリセット時に 00_H に初期化されます。

(1) OVFCCFx — オーバフローフラグクリア CFx

タイマステータスレジスタ Fx (TSRFx) のオーバフローフラグ CFx (OVFCCFx) が“1”にセットされているとき、本レジスタに“1”を書き込むと OVFCCFx を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(2) OVFCBFx — オーバフローフラグクリア BFx

タイマステータスレジスタ Fx (TSRFx) のオーバフローフラグ BFx (OVFCBFx) が“1”にセットされているとき、本レジスタに“1”を書き込むと OVFCBFx を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(3) OVFAFx — オーバフローフラグクリア AFx

タイマステータスレジスタ Fx (TSRFx) のオーバフローフラグ AFx (OVFAFx) が“1”にセットされているとき、本レジスタに“1”を書き込むと OVFAFx を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(4) ICFFx — インพุットキャプチャフラグクリア Fx

タイマステータスレジスタ Fx (TSRFx) のインพุットキャプチャフラグ Fx (ICFFx) が“1”にセットされているとき、本レジスタに“1”を書き込むと ICFFx を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

21.9.2.12 ECNTAFx — 時間計測カウンタ AFx

(x = 0 ~ 11 : サブブロック F0 ~ F11 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 3050_H + (40_H * x)リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|---------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | ECNTAFx | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ECNTAFx | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.122 ECNTAFx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------|---------------------------|
| 31 ~ 0 | ECNTAFx | 時間計測カウンタ AFx アップカウンタ A |

時間計測カウンタ AFx (ECNTAF00 ~ ECNTAF11) は 32 ビットの読み出し/書き込み可能なレジスタです。32 ビット単位でのみ読み出し/書き込みが可能です。8 ビットおよび 16 ビット単位での読み出し/書き込みは行わないでください。

本レジスタは各サブブロックに 1 個ずつ用意されており、入力クロックによりアップカウント動作を行います。対応するコントロールレジスタの設定に応じて、入力クロックにクロックバス 0 ~ 6 のいずれかを選ぶことができます。ECNTAFx と ECNTCFx の入力クロックは同一です。個別にクロックソースを設定することはできません。

カウンタのクリアがカウントアップのタイミングで行われる場合、ECNTAFx は 0000 0001_H にクリアされ、それ以外の場合では 0000 0000_H にクリアされます。

ECNTAF0 ~ ECNTAF11 はリセット時に 0000 0000_H に初期化されます。

21.9.2.13 ECNTBFx — イベントカウンタ Fx

(x = 0 ~ 11 : サブブロック F0 ~ F11 に対応)

アクセス 16ビットアクセス可能 8ビットアクセス禁止

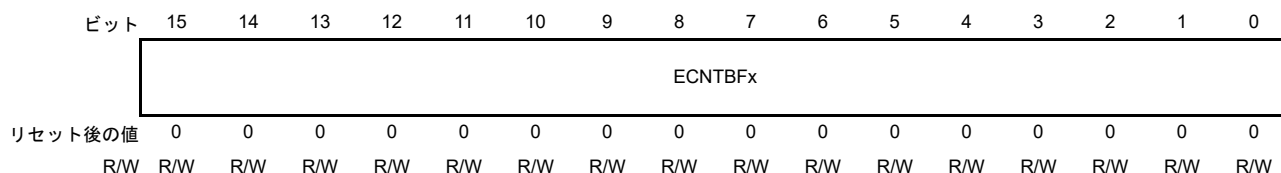
アドレス FFE6 3058_H + (40_H * x)リセット後の値 0000_H

表 21.123 ECNTBFx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------|----------------------------|
| 15 ~ 0 | ECNTBFx | イベントカウンタ Fx アップ/ダウンカウンタ |

イベントカウンタ Fx (ECNTBF0 ~ ECNTBF11) は 16 ビットの読み出し/書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、入力クロックによりアップ/ダウンカウンタ動作を行います。入力クロックには、サブブロック 0 ~ 2 には 2 本の外部入力ピン (TIFxA、TIFxB) が、それ以外のサブブロックは 1 本の外部入力 TIFx が与えられ、対応するコントロールレジスタの設定 (動作モード、およびエッジセレクト) に応じて、カウンタ対象とする外部入力ピン、およびエッジが異なります。各モードにおける入力クロックは、下表表 21.124 のとおりです。

カウンタのクリアがカウンタアップのタイミングで行われる場合、ECNTBFx は 0001_H にクリアされ、それ以外の場合では 0000_H にクリアされます。

ECNTBF0 ~ ECNTBF11 はリセット時に 0000_H に初期化されます。

表 21.124 タイマ F 動作モードごとのイベントカウンタ入力クロック、およびカウンタエッジ

| 動作モード | 入力クロック | カウンタエッジ |
|------------------|------------------------------|-----------------------|
| 一定時間内エッジカウンタ | TIFxA または TIFx | EGSELFx で選択可 |
| 有効エッジ入力間隔計測 | TIFxA または TIFx | EGSELFx で選択可 |
| 入力 High/Low 期間計測 | TIFxA または TIFx | EGSELFx で選択可 (両エッジ以外) |
| PWM 入力波形計測 | TIFxA または TIFx | EGSELFx で選択可 (両エッジ以外) |
| 回転速度/パルス計測 | TIFx | EGSELFx で選択可 (両エッジ以外) |
| アップ/ダウンカウンタ | TIFxA (TIFxB のレベルでカウンタ方向を指定) | 立ち上がり/立ち下がり両エッジ |
| 4 通倍イベントカウンタ | TIFxA、TIFxB | 立ち上がり/立ち下がり両エッジ |

21.9.2.14 ECNTCFx — 時間計測カウンタ CFx

(x = 0 ~ 11 : サブブロック F0 ~ F11 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 3060_H + (40_H * x)リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|---------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | ECNTCFx | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ECNTCFx | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.125 ECNTCFx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------|---------------------------|
| 31 ~ 0 | ECNTCFx | 時間計測カウンタ CFx アップカウンタ C |

時間計測カウンタ CFx (ECNTCF00 ~ ECNTCF11) は、32 ビットの読み出し/書き込み可能なレジスタです。アップカウンタです。32 ビット単位でのみ読み出し/書き込みが可能です。8 ビットおよび 16 ビット単位での読み出し/書き込みは行わないでください。

本レジスタは各サブブロックに 1 個ずつ用意されており、PWM 入力波形計測、および回転速度/パルス計測モード時のみ有効になるレジスタです。その他のモードではカウント動作を行いません。

入力クロックによりアップカウント動作を行います。対応するコントロールレジスタの設定に応じて、入力クロックにクロックバス 0 ~ 6 のいずれかを選ぶことができます。

ECNTAFx と ECNTCFx の入力クロックは同一です。個別にクロックソースを設定することはできません。

外部入力のタイミングや ECNTBFx のコンペアマッチをトリガとするカウント値のクリアは、ECNTCFx のカウントクロックに同期して行われます。このとき ECNTCFx は 0000 0001_H にクリアされます。

ECNTCF0 ~ ECNTCF11 はリセット時に 0000 0000_H に初期化されます。

21.9.2.15 GRAF_x — 汎用レジスタ AF_x

(x = 0 ~ 11 : サブブロック F0 ~ F11 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 3054_H + (40_H * x)リセット後の値 FFFF FFFF_H

| | | | | | | | | | | | | | | | | |
|---------|-------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | GRAF _x | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | GRAF _x | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.126 GRAF_x レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------------|--|
| 31 ~ 0 | GRAF _x | 汎用レジスタ AF _x 時間計測カウンタ A のインプットキャプチャ値、またはアウトプットコンペア値 |

汎用レジスタ AF_x (GRAF00 ~ GRAF11) は 32 ビットの読み出し/書き込み可能なレジスタです。32 ビット単位でのみ読み出し/書き込みが可能です。8 ビットおよび 16 ビット単位での読み出し/書き込みは行わないでください。

本レジスタは各サブブロックに 1 個ずつ用意されており、時間計測カウンタ AF_x (ECNTAF_x) に対するインプットキャプチャレジスタとアウトプットコンペアレジスタの両方の機能を持っています。

コンペアマッチレジスタとして機能させるとき、GRAF_x には 0000 0000_H を設定しないでください。0000 0000_H を設定した場合、計測が正しく行われなくなることがありますのでご注意ください。

GRAF00 ~ GRAF11 はリセット時に FFFF FFFF_H に初期化されます。

GRAF03 ~ GRAF11 は、バックアップコントロールレジスタ F_x (BKCRF_x) の ARSWAF_x ビットが“0” (初期値“0”) のとき当該アドレスにマッピングされ、読み出し/書き込み可能となります。

21.9.2.16 BGRAFx — バックアップレジスタ AFx

(x = 3 ~ 11 : サブブロック F3 ~ F11 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 3054_H + (40_H * x)リセット後の値 FFFF FFFF_H

| | | | | | | | | | | | | | | | | |
|---------|---------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | BGRAFx[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | BGRAFx[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.127 BGRAFx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------|---|
| 31 ~ 0 | BGRAFx[31:0] | BKCRFx の BKENAFx ビットが“1”のとき、キャプチャ出力レジスタ Fx (CDRFx) 読み出し時の汎用レジスタ AFx (GRAFx) の値を保持します。 |

バックアップレジスタ AFx (BGRAF03 ~ BGRAF11) は 32 ビットの読み出し専用のレジスタです。本レジスタはサブブロック 03 ~ 11 に 1 個ずつ用意されており、バックアップコントロールレジスタ Fx (BKCRFx) の BKENAFx ビットが“1”のとき、キャプチャ出力レジスタ Fx (CDRFx) の読み出しタイミングで汎用レジスタ AFx (GRAFx) の値を保持します。

BGRAF03 ~ BGRAF11 はリセット時に FFFF FFFF_H に初期化されます。

BGRAFx はバックアップコントロールレジスタ Fx (BKCRFx) の ARSWAFx ビットが“1” (初期値“0”) のとき当該アドレスにマッピングされ、読み出し可能となります。

21.9.2.17 GRBFx — 汎用レジスタ BFx

(x = 0 ~ 11 : サブブロック F0 ~ F11 に対応)

アクセス 16ビットアクセス可能 8ビットアクセス禁止

アドレス FFE6 305C_H + (40_H * x)

リセット後の値 FFFF_H

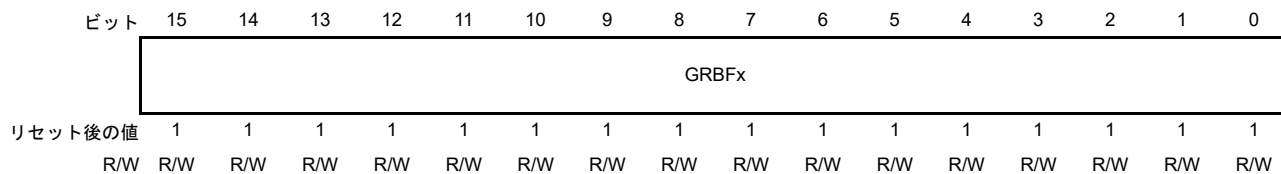


表 21.128 GRBFx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|---|
| 15 ~ 0 | GRBFx | 汎用レジスタ BFx イベントカウンタのインプットキャプチャ値、またはアウトプットコンペア値 |

汎用レジスタ BFx (GRBF00 ~ GRBF11) は 16 ビットの読み出し/書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、イベントカウンタ Fx (ECNTBFx) に対するインプットキャプチャレジスタとアウトプットコンペアレジスタの両方の機能を持っています。

コンペアマッチレジスタとして機能させるとき、GRBFx には 0000_H を設定しないでください。0000_H を設定した場合、計測が正しく行われなくなることがありますのでご注意ください。

GRBF00 ~ GRBF11 はリセット時に FFFF_H に初期化されます。

21.9.2.18 GRCF_x — 汎用レジスタ CF_x

(x = 0 ~ 11 : サブブロック F0 ~ F11 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止**アドレス** FFE6 3064_H + (40_H * x)**リセット後の値** FFFF FFFF_H

| | | | | | | | | | | | | | | | | |
|---------|-------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | GRCF _x | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | GRCF _x | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.129 GRCF_x レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------------|---|
| 31 ~ 0 | GRCF _x | 汎用レジスタ CF _x 時間計測カウンタ C のインプットキャプチャ値 |

汎用レジスタ CF_x (GRCF00 ~ GRCF11) は 32 ビットの読み出し/書き込み可能なレジスタで、32 ビット単位でのみ読み出し/書き込みが可能です。8 ビットおよび 16 ビット単位での読み出し/書き込みは行わないでください。

本レジスタは各サブブロックに 1 個ずつ用意されており、時間計測カウンタ CF_x (ECNTCF_x) に対するインプットキャプチャレジスタの機能を持っています。ECNTBF_n と GRBF_n とのコンペアマッチ (PWM 入力波形計測モード)、あるいは TIF_x 端子のエッジ入力 (回転速度/パルス計測モード) をトリガとして、次の ECNTCF_n カウントアップタイミングで ECNTCF_x のカウント値を取り込みます。

PWM 入力波形計測、および回転速度/パルス計測モード時のみ有効になるレジスタであり、その他のモードではキャプチャ動作を行いません。

GRCF00 ~ GRCF11 はリセット時に FFFF FFFF_H に初期化されます。

GRCF00 ~ GRCF11 は、バックアップコントロールレジスタ F_x (BKCRF_x) の ARSWCF_x ビットが “0” (初期値 “0”) のとき当該アドレスにマッピングされ、読み出し/書き込み可能となります。

21.9.2.19 BGRCF_x — バックアップレジスタ CF_x

(x = 0 ~ 11 : サブブロック F0 ~ F11 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 3064_H + (40_H * x)

リセット後の値 FFFF FFFF_H

| | | | | | | | | | | | | | | | | |
|---------|----------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | BGRCF _x [31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | BGRCF _x [15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.130 BGRCF_x レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------------------------|---|
| 31 ~ 0 | BGRCF _x [31:0] | BKCRF _x の BKENCF _x ビットが“1”のとき、キャプチャ出力レジスタ F _x (CDRF _x) 読み出し時の汎用レジスタ CF _x (GRCF _x) の値を保持します。 |

バックアップレジスタ CF_x (BGRCF00 ~ BGRCF11) は 32 ビットの読み出し専用のレジスタです。

本レジスタは各サブブロックに 1 個ずつ用意されており、バックアップコントロールレジスタ F_x (BKCRF_x) の BKENCF_x ビットが“1”のとき、キャプチャ出力レジスタ F_x (CDRF_x) の読み出しタイミングで汎用レジスタ CF_x (GRCF_x) の値を保持します。

BGRCF00 ~ BGRCF11 はリセット時に FFFF FFFF_H に初期化されます。

BGRCF_x はバックアップコントロールレジスタ F_x (BKCRF_x) の ARSWCF_x ビットが“1” (初期値“0”) のとき、当該アドレスにマッピングされ、読み出し可能となります。

21.9.2.20 GRDFx — 汎用レジスタ DFx

(x = 0 ~ 11 : サブブロック F0 ~ F11 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 3068_H + (40_H * x)リセット後の値 FFFF FFFF_H

| | | | | | | | | | | | | | | | | |
|---------|-------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | GRDFx | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | GRDFx | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.131 GRDFx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|---|
| 31 ~ 0 | GRDFx | 汎用レジスタ DFx PWM 入力波形計測モード時： 時間計測カウンタ C のコンペアマッチ値 回転速度/パルス計測モード時：x = 3 ~ 11 のみ 時間計測カウンタ C の値を累積して取り込んだ値 |

汎用レジスタ DFx (GRDF00 ~ GRDF11) は 32 ビットの読み出し/書き込み可能なレジスタで、32 ビット単位でのみ読み出し/書き込みが可能です。16 ビット/8 ビット単位での読み出し/書き込みは行わないでください。

本レジスタはサブブロック F00 ~ 11 に 1 個ずつ用意されています。サブブロックによって動作が異なり、サブブロック F00 ~ F02 では、PWM 入力波形計測モード時にのみ有効なレジスタとして機能します。その他のモードでは動作しません。

また、サブブロック F03 ~ 11 では、PWM 入力波形計測モード、回転速度/パルス計測モード時に有効なレジスタとして機能します。その他のモードでは動作しません。

PWM 入力波形計測モードではコンペアマッチレジスタとして機能し、常に時間計測カウンタ CFx (ECNTCFx) の値と比較されます。両者の値が一致すると次の Pφ クロックに同期して、タイムステータスレジスタ Fx (TSRFx) の OVFCFx ビットが 1 にセットされます。コンペアマッチレジスタとして機能させるには、PVFCRF の GRDFCMEN ビットの設定が必要です。

回転速度/パルス計測モードではインプットキャプチャレジスタとして機能します。TIFx 端子のエッジ入力をトリガとして、次の ECNTCFx カウントアップタイミングで、時間計測カウンタ Cx (ECNTCFx) の値を累積して取り込みます。

GRDF00 ~ GRDF11 はリセット時に FFFF FFFF_H に初期化されます。

GRDF03 ~ GRDF11 は、バックアップコントロールレジスタ Fx (BKCRFx) の ARSWDFx ビットが "0" (初期値 "0") のとき、当該アドレスにマッピングされ、読み出し/書き込み可能となります。

21.9.2.21 BGRDFx — バックアップレジスタ DFx

(x = 3 ~ 11 : サブブロック F3 ~ F11 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 3068_H + (40_H * x)リセット後の値 FFFF FFFF_H

| | | | | | | | | | | | | | | | | |
|---------|---------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | BGRDFx[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | BGRDFx[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.132 BGRDFx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------|---|
| 31 ~ 0 | BGRDFx[31:0] | BKCRFx の BKENDFx ビットが“1”のとき、キャプチャ出力レジスタ Fx (CDRFx) 読み出し時の汎用レジスタ DFx (GRDFx) の値を保持します。 |

バックアップレジスタ DFx (BGRDF03 ~ BGRD11) は 32 ビットの読み出し専用のレジスタです。32 ビット単位でのみ読み出しが可能です。8 ビットおよび 16 ビット単位での読み出しは行わないでください。

本レジスタはサブブロック F03 ~ F11 に 1 個ずつ用意されており、バックアップコントロールレジスタ Fx (BKCRFx) の BKENDFx ビットが“1”のとき、キャプチャ出力レジスタ Fx (CDRFx) の読み出しタイミングで汎用レジスタ DFx (GRDFx) の値を保持します。

BGRDF03 ~ BGRDF11 はリセット時に FFFF FFFF_H に初期化されます。

BGRDFx はバックアップコントロールレジスタ Fx (BKCRFx) の ARSWDFx ビットが“1” (初期値“0”) のとき、当該アドレスにマッピングされ、読み出し可能となります。

21.9.2.22 CDRFx — キャプチャ出力レジスタ Fx

(x = 0 ~ 11 : サブブロック F0 ~ F11 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 306C_H + (40_H * x)リセット後の値^{注1} 0000 FFFF_H

| | | | | | | | | | | | | | | | | |
|-----------------------|-------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CDRFx | | | | | | | | | | | | | | | |
| リセット後の値 ^{注1} | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CDRFx | | | | | | | | | | | | | | | |
| リセット後の値 ^{注1} | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

注1. リセット後のタイマ動作モードが“一定時間内エッジカウント”になっているため (TCR1Fx レジスタの MDFx ビット = 000_B)、リセット後の値は 0000 FFFF_H になります。

表 21.133 CDRFx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|---|
| 31 ~ 0 | CDRFx | キャプチャ出力レジスタ Fx 動作モードに応じて、GRAFx、GRBFx あるいは ECNTBFx に保持しているデータが読み出されます エッジカウントモード : GRBFx エッジ入力間隔計測モード : GRAFx 入力 High 期間計測モード : GRAFx 入力 Low 期間計測モード : GRAFx PWM 入力波形計測モード : GRAFx 回転速度/パルス計測モード : ECNTBFx アップ/ダウンカウントモード : GRBFx 4 通倍イベントカウントモード : GRBFx |

キャプチャ出力レジスタは、32ビットレジスタの読み出し専用のレジスタです。本レジスタは各サブブロックに1個ずつ用意されています。本レジスタの読み出しを行うと、動作モードに応じて、GRAFx、GRBFx あるいは ECNTBFx の値が読み出されます。16ビットの GRBFx、および ECNTBFx 値は、CDRFx の下位 16ビットから読み出されます。このとき CDRFx の上位 16ビットには“0”が読み出されます。

各動作モードに対応するレジスタは以下のとおりです。また、本レジスタへの書き込みは無視されます。

| | |
|-------------------|---------|
| エッジカウントモード : | GRBFx |
| エッジ入力間隔計測モード : | GRAFx |
| 入力 High 期間計測モード : | GRAFx |
| 入力 Low 期間計測モード : | GRAFx |
| PWM 入力波形計測モード : | GRAFx |
| 回転速度/パルス計測モード : | ECNTBFx |
| アップ/ダウンカウントモード : | GRBFx |
| 4 通倍イベントカウントモード : | GRBFx |

CDRF0 ~ CDRF11 はリセット時に FFFF FFFF_H に初期化されます。

バックアップコントロールレジスタ F_x (BKCRF_x) の BKENAF_x、BKENC_F_x、BKEND_F_x ビットの設定によって、CDRF_x 読み出しタイミングで汎用レジスタ AF_x (GRAF_x) の値をバックアップレジスタ AF_x (BGRAF_x) に、汎用レジスタ CF_x (GRCF_x) の値をバックアップレジスタ CF_x (BGRCF_x) に、汎用レジスタ DF_x (GRDF_x) の値をバックアップレジスタ DF_x (BGRDF_x) にそれぞれ退避します。詳細は各汎用レジスタに対応するバックアップレジスタの項を参照してください。

21.9.2.23 NCNTF_x — ノイズキャンセルカウンタ F_x

(x = 0 ~ 11 : サブブロック F0 ~ F11 に対応)

アクセス 16ビットアクセス可能 8ビットアクセス禁止

アドレス FFE6 3048_H + (40_H * x)

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | NCNTF _x | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.134 NCNTF_x レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------------|---|
| 15 ~ 0 | NCNTF _x | ノイズキャンセルカウンタ F _x 16ビットカウント値 |

ノイズキャンセルカウンタ F_x (NCNTF_x) は 16 ビットの読み出し、書き込み可能なレジスタです。

ノイズキャンセラコントロールレジスタ F (NCCRF) でノイズキャンセラ機能を有効にしたとき、後続エッジキャンセルモードおよび先行エッジキャンセルモードでは外部入力端子 (TIFxA または TIFx) のレベル変化をトリガとして、プリスケラから供給されるノイズキャンセラ用カウントクロックでアップカウント動作を行います。レベル積算キャンセルモードでは外部入力のレベルにしたがいアップ/ダウンカウントを行います。

NCNTF_x は 16 ビット単位でのみ読み出し/書き込みが可能です。

NCNTF_x はリセット時に 0000_H に初期化されます。

共通制御部にあるノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードセレクトビット (NCMSEL)、タイマ F ノイズキャンセルモードビット (NCMF)、タイマ F にあるノイズキャンセルモードチャンネルレジスタ 1F (NCMCR1F) のノイズキャンセルモードビット (NCM1Fx)、およびノイズキャンセルモードチャンネルレジスタ 2F (NCMCR2F) のノイズキャンセルモードビット (NCM2Fx) の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行います。

- 後続エッジキャンセルモード

NCEFx ビットが “1” であり NCNTF_x がカウント停止しているとき、TIFxA または TIFx の入力信号レベルが変化すると、NCNTF_x はアップカウント動作を開始します。カウント値がノイズキャンセルレジスタ F_x (NCRF_x) と一致すると、次の PCLK に同期してカウント値を 0000_H にクリアしてカウント動作を停止します。

NCNTF_x は、ATU-IV マスタイネーブルレジスタ (ATUENR) の TFE ビットの設定にかかわらずカウント動作を行います。

カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力されエッジ検出の対象となりますが、以降カウント値が NCRF_x と一致するまでの間、すべての入力レベルの変化がマスクされるためノイズキャンセル後の信号は変化しません。

カウント動作中に NCEFx ビットがクリアされても、カウント値が NCRF_x と一致するまでの間はカウント動作を継続します。その間も入力信号はマスクされつづけます。

- 先行エッジキャンセルモード

NCEFx ビットが“1”であり NCNTFAx がカウント停止しているとき、TIFxA または TIFx の入力信号レベルが変化すると、NCNTFAx はアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、あるいはカウント値がノイズキャンセルレジスタ FAx (NCRFAx) と一致した場合には、次の PCLK に同期してカウント値を 0000_H にクリアしカウント動作を停止します。

NCNTFAx は、ATU-IV マスタイネーブルレジスタ (ATUENR) の TFE ビットの設定にかかわらずカウント動作を行います。

ノイズキャンセル後の信号は、カウント値が NCRFAx と一致したときのみ、カウント開始時のレベル変化にあわせて変化します。NCRFAx と一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。

カウント動作中に NCEFx ビットがクリアされても、コンペアマッチあるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を続けます。

- レベル積算キャンセルモード

NCEFx ビットが“1”であるとき、NCNTFAx は入力信号レベルによってアップカウントまたはダウンカウント動作を行います。入力レベルがハイのときアップカウントを行い、カウント値が NCRFAx と一致すると、次の PCLK に同期してアップカウント動作を停止します。入力レベルがローのときダウンカウントを行い、カウント値が 0000_H と一致すると、次の PCLK に同期してダウンカウント動作を停止します。

NCNTFAx は、ATU-IV マスタイネーブルレジスタ (ATUENR) の TFE ビットの設定にかかわらずカウント動作を行います。

アップカウントで NCRFAx の値にコンペアマッチするとノイズキャンセラ出力を 1 に更新します。逆に、ダウンカウントで 0000_H にコンペアマッチするとノイズキャンセラ出力を 0 に更新します。

カウント動作中に NCEFx ビットがクリアされるとノイズキャンセラカウンタは動作を停止し、ノイズキャンセラ出力からそのときの入力信号レベルに値が切り替わります。そのためレベル積算キャンセルモードで NCEFx ビットをクリアする場合には、この切り替わりでエッジ検出が行われる可能性があることに注意が必要です。

21.9.2.24 NCNTFBx — ノイズキャンセルカウンタ FBx

(x = 0 ~ 2 : サブブロック F0 ~ F2 に対応)

アクセス 16ビットアクセス可能 8ビットアクセス禁止

アドレス FFE6 304C_H + (40_H * x)リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|---------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | NCNTFBx | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.135 NCNTFBx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------|--------------------------------|
| 15 ~ 0 | NCNTFBx | ノイズキャンセルカウンタ FBx 16ビットカウント値 |

ノイズキャンセルカウンタ FBx (NCNTFBx) は 16 ビットの読み出し、書き込み可能なレジスタです。

アップダウンカウント、4 通倍イベントカウントモード時のみ有効なレジスタです。

ノイズキャンセラコントロールレジスタ F (NCCRF) でノイズキャンセラ機能を有効にしたとき、後続エッジキャンセルモードおよび先行エッジキャンセルモードでは外部入力端子 (TIFxB) のレベル変化をトリガとして、プリスケアラから供給されるノイズキャンセラ用カウントクロックでアップカウント動作を行います。レベル積算キャンセルモードでは外部入力のレベルにしたがいアップ/ダウンカウントを行います。

NCNTFBx は 16 ビット単位でのみ読み出し/書き込みが可能です。

NCNTFBx はリセット時に 0000_H に初期化されます。

共通制御部にあるノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードセレクトビット (NCMSEL)、タイマ F ノイズキャンセルモードビット (NCMF)、タイマ F にあるノイズキャンセルモードチャンネルレジスタ 1F (NCMCR1F) のノイズキャンセルモードビット (NCM1Fx)、およびノイズキャンセルモードチャンネルレジスタ 2F (NCMCR2F) のノイズキャンセルモードビット (NCM2Fx) の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行います。

- 後続エッジキャンセルモード

NCEFx ビットが “1” であり NCNTFBx がカウント停止しているとき、TIFxB の入力信号レベルが変化すると、NCNTFBx はアップカウント動作を開始します。カウント値がノイズキャンセルレジスタ FBx (NCRFBx) と一致すると、次の PCLK に同期してカウント値を 0000_H にクリアしてカウント動作を停止します。

NCNTFBx は、ATU-IV マスタイネーブルレジスタ (ATUENR) の TFE ビットの設定にかかわらずカウント動作を行います。

カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力されエッジ検出の対象となりますが、以降カウント値が NCRFBx と一致するまでの間、すべての入力レベルの変化がマスクされるためノイズキャンセル後の信号は変化しません。

カウント動作中に NCEFx ビットがクリアされても、カウント値が NCRFBx と一致する

までの間はカウント動作を継続します。その間も入力信号はマスクされつづけます。

- 先行エッジキャンセルモード

NCEFx ビットが“1”であり NCNTFBx がカウント停止しているとき、TIFxB の入力信号レベルが変化すると、NCNTFBx はアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、あるいはカウント値がノイズキャンセルレジスタ FBx (NCRFBx) と一致した場合には、次の PCLK に同期してカウント値を 0000_H にクリアしカウント動作を停止します。

NCNTFBx は、ATU-IV マスタイネーブルレジスタ (ATUENR) の TFE ビットの設定にかかわらずカウント動作を行います。

ノイズキャンセル後の信号は、カウント値が NCRFBx と一致したときのみ、カウント開始時のレベル変化にあわせて変化します。NCRFBx と一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。

カウント動作中に NCEFx ビットがクリアされても、コンペアマッチあるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

- レベル積算キャンセルモード

NCEFx ビットが“1”であるとき、NCNTFBx は入力信号レベルによってアップカウントまたはダウンカウント動作を行います。入力レベルがハイのときアップカウントを行い、カウント値が NCRFBx と一致すると、次の PCLK に同期してアップカウント動作を停止します。入力レベルがローのときダウンカウントを行い、カウント値が 0000_H と一致すると、次の PCLK に同期してダウンカウント動作を停止します。

NCNTFBx は、ATU-IV マスタイネーブルレジスタ (ATUENR) の TFE ビットの設定にかかわらずカウント動作を行います。

アップカウントで NCRFBx の値にコンペアマッチするとノイズキャンセラ出力を 1 に更新します。逆に、ダウンカウントで 0000_H にコンペアマッチするとノイズキャンセラ出力を 0 に更新します。

カウント動作中に NCEFx ビットがクリアされるとノイズキャンセラカウンタは動作を停止し、ノイズキャンセラ出力からそのときの入力信号レベルに値が切り替わります。そのためレベル積算キャンセルモードで NCEFx ビットをクリアする場合には、この切り替わりでエッジ検出が行われる可能性があることに注意が必要です。

21.9.2.25 NCRFAx — ノイズキャンセルレジスタ FAx

(x = 0 ~ 11 : サブブロック F0 ~ F11 に対応)

アクセス 16ビットアクセス可能 8ビットアクセス禁止

アドレス FFE6 304A_H + (40_H * x)リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | NCTFAx | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.136 NCRFAx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------|--|
| 15 ~ 0 | NCTFAx | ノイズキャンセルタイム FAx TIFxA または TIFx ノイズキャンセル期間 (16 ビットコンペア値) |

ノイズキャンセルレジスタ FAx (NCRFAx) は 16 ビットの読み出し、書き込み可能なレジスタで、ノイズキャンセルカウンタ FAx (NCNTFAx) の上限値を設定します。PCLK の 128 分周をノイズキャンセルクロックに選択している場合、FFFF_H 設定で、最大 0.21sec (PCLK = 40MHz 時) のノイズをキャンセルすることができます。

共通制御部にあるノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードセレクトビット (NCMSEL)、タイマ F ノイズキャンセルモードビット (NCMF)、タイマ F にあるノイズキャンセルモードチャンネルレジスタ 1F (NCMCR1F) のノイズキャンセルモードビット (NCM1Fx)、およびノイズキャンセルモードチャンネルレジスタ 2F (NCMCR2F) のノイズキャンセルモードビット (NCM2Fx) の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行います。

- 後続エッジキャンセルモード

NCNTFAx のカウント動作中、後続する入力信号のレベル変化がマスクされます。NCNTFAx と NCRFAx の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTFAx のカウント値をクリアし、カウント動作を停止させて入力信号のマスク解除を行います。

- 先行エッジキャンセルモード

NCNTFAx のカウント動作中、ノイズキャンセラの処理待ち状態となります。NCNTFAx と NCRFAx の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTFAx のカウント値をクリアし、カウント動作を停止させると同時に、ノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。

- レベル積算キャンセルモード

NCNTFAx がアップカウント動作中は、NCNTFAx と NCRFAx の値の比較が行われており、コンペアマッチが発生すると次の PCLK に同期して NCNTFAx のアップカウント動作を停止させます。NCNTFAx がダウンカウント動作中は、NCNTFAx は 0000_H との比較が行われます。

NCRFAx は 16 ビット単位でのみ読み出し/書き込みが可能です。

NCRFAx はリセット時に 0000_H に初期化されます。

21.9.2.26 NCRFBx — ノイズキャンセルレジスタ FBx

(x = 0 ~ 2 : サブブロック F0 ~ F2 に対応)

アクセス 16ビットアクセス可能 8ビットアクセス禁止

アドレス FFE6 304E_H + (40_H * x)リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | NCTFBx | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.137 NCRFBx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------|---|
| 15 ~ 0 | NCTFBx | ノイズキャンセルタイム FBx TIFxB ノイズキャンセル期間 (16 ビットコンペア値) |

ノイズキャンセルレジスタ FBx (NCRFBx) は 16 ビットの読み出し、書き込み可能なレジスタで、ノイズキャンセルカウンタ FBx (NCNTFBx) の上限値を設定します。PCLK の 128 分周をノイズキャンセルクロックに選択している場合、FFFF_H 設定で、最大 0.21sec (PCLK = 40MHz 時) のノイズをキャンセルすることができます。アップダウンカウンタ、4 通倍イベントカウンタモード時のみ有効なレジスタです。

共通制御部にあるノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードセレクトビット (NCMSEL)、タイマ F ノイズキャンセルモードビット (NCMF)、タイマ F にあるノイズキャンセルモードチャンネルレジスタ 1F (NCMCR1F) のノイズキャンセルモードビット (NCM1Fx)、およびノイズキャンセルモードチャンネルレジスタ 2F (NCMCR2F) のノイズキャンセルモードビット (NCM2Fx) の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行います。

- 後続エッジキャンセルモード

NCNTFBx のカウント動作中、後続する入力信号のレベル変化がマスクされます。

NCNTFBx と NCRFBx の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTFBx のカウント値をクリアし、カウント動作を停止させて入力信号のマスク解除を行います。

- 先行エッジキャンセルモード

NCNTFBx のカウント動作中、ノイズキャンセラの処理待ち状態となります。

NCNTFBx と NCRFBx の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTFBx のカウント値をクリアし、カウント動作を停止させると同時に、ノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。

- レベル積算キャンセルモード

NCNTFBx がアップカウンタ動作中は、NCNTFBx と NCRFBx の値の比較が行われており、コンペアマッチが発生すると次の PCLK に同期して NCNTFBx のアップカウンタ動作を停止させます。NCNTFBx がダウンカウンタ動作中は、NCNTFBx は 0000_H との比較が行われます。

NCRFBx は 16 ビット単位でのみ読み出し／書き込みが可能です。

NCRFBx はリセット時に 0000_H に初期化されます。

21.9.3 詳細動作説明

21.9.3.1 一定時間内エッジカウント

GRAF_x にエッジをカウントする期間を指定すると、GRBF_x に指定期間内のエッジカウント数が得られます。まったくエッジがカウントされなかった場合は“0”が得られます。カウントする期間は、ECNTAF_x カウントソースクロックの周期 (GRAF_x の値) となります。このときのタイマ F_x の動作は以下のとおりです。また動作例を図 21.60 に示します。これは、カウントソースクロックの 12 周期間に、8 個のエッジが与えられた例です。ここで“ECNTAF_x Clock”と“ECNTBF_x Clock”は、それぞれ時間計測カウンタ ECNTAF_x とイベントカウンタ ECNTBF_x が、カウント動作やクリア動作を行うタイミングを示しています。

- ECNTAF_x: クロックバス 0～6 のいずれかをカウントソースとして時間を計測します。コンペアマッチが検出されると、次の PCLK に同期してカウント値をクリアします。
- ECNTBF_x: TIFxA または TIFx 入力より与えられた信号のエッジをカウントします。カウント対象のエッジは、立ち上がり、立ち下がり、両エッジのいずれかを選択可能です。この例では立ち下がりエッジをカウントします。また、同期化処理のために TIFxA または TIFx には 2 サイクルの遅れが生じます。ECNTAF_x のコンペアマッチの検出後、次の PCLK に同期してカウント値をクリアします。コンペアマッチによるカウントクリアと同時にカウント対象エッジが与えられた場合は、カウンタクリアとエッジカウントを 1 サイクルの間に行ったものと見なし、カウント値は 0001_H となります。この例を図 21.61 に示します。
- GRAF_x: ECNTAF_x に対するコンペアマッチレジスタとして機能し、ECNTAF_x のカウント値が GRAF_x と一致すると、コンペアマッチを検出します。
- GRBF_x: ECNTBF_x に対するキャプチャレジスタとして機能します。ECNTAF_x のコンペアマッチの検出後、次の PCLK に同期して ECNTBF_x のカウント値をキャプチャします。
- コンペアマッチ割り込み要求出力: ECNTAF_x のコンペアマッチの検出後、次の PCLK に同期して CPU にコンペアマッチ割り込み要求を出力します。
- DMA 転送要求出力: ECNTAF_x のコンペアマッチの検出後、次の PCLK に同期して DMAC に DMA 転送要求を出力します。
- ICF_x: ECNTAF_x のコンペアマッチの検出後、次の PCLK に同期して ICF_x をセットします。
- ECNTCF_x、GRCF_x、GRDF_x: 機能しません。

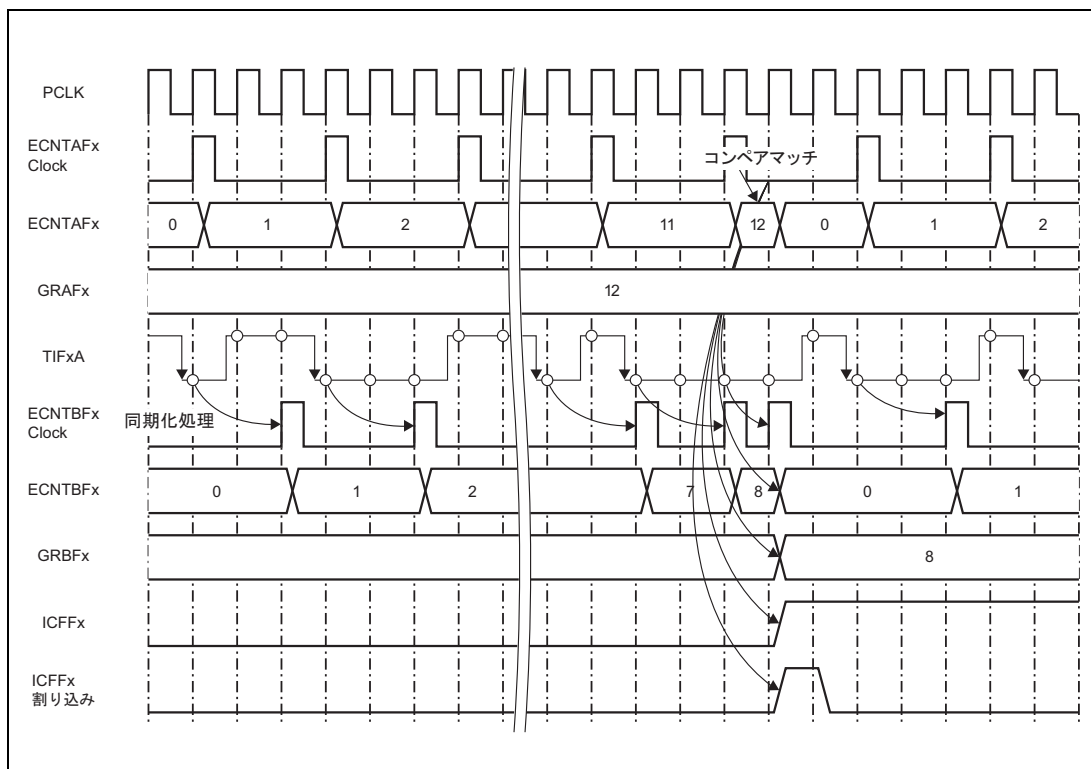


図 21.60 一定時間内エッジカウントの動作例

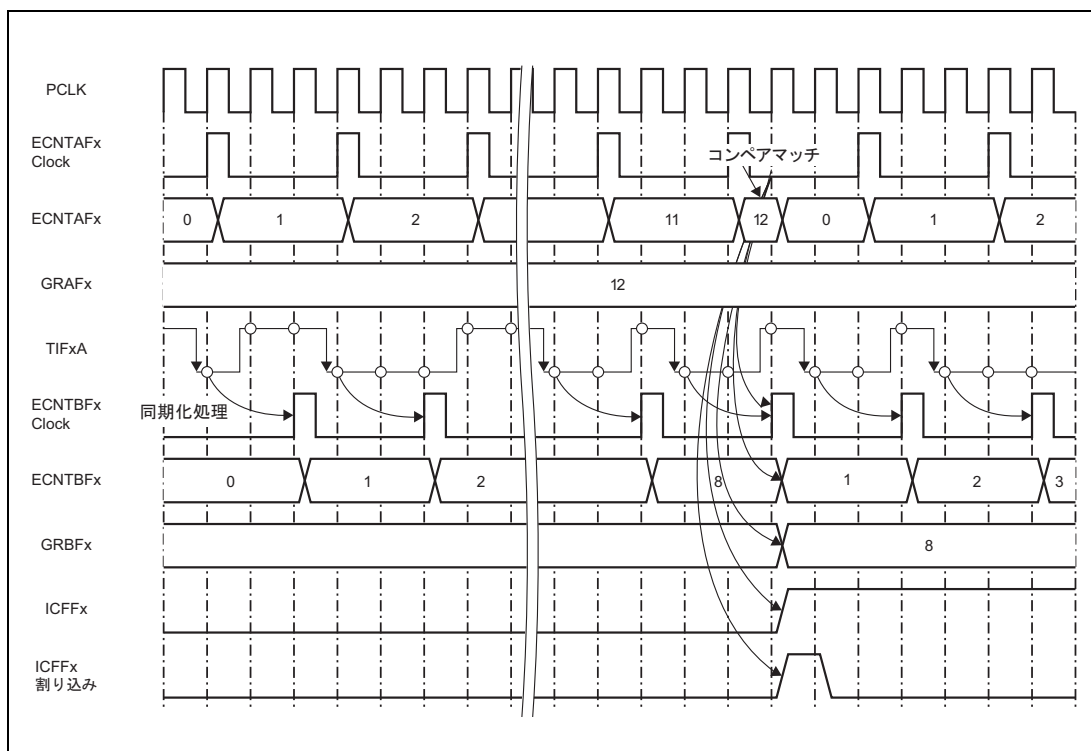


図 21.61 一定時間内エッジカウントの動作例 2 (コンペアマッチとイベントが同時)

21.9.3.2 有効エッジ入力間隔計測

GRBFx に対象とするエッジの数 (GRBFx の値) を指定すると、それだけのエッジをカウントするのに要した時間が GRAFx に得られます。この時間を対象とするエッジの数で割ることによって、エッジ入力間隔の平均値を得ることができます。得られる時間は、ECNTAFx のカウントソースクロックの周期 (GRAFx の値) として示されます。このときのタイマ Fx の動作は次のとおりです。また動作例を **図 21.62** に示します。これは、12 個のエッジを入力するのに、カウントソースクロック 13 周期を要した例です。ここで“ECNTAFx Clock”と“ECNTBFx Clock”は、それぞれ時間計測カウンタ ECNTAFx とイベントカウンタ ECNTBFx が、カウント動作やクリア動作を行うタイミングを示しています。

- ECNTAFx: クロックバス 0 ~ 6 のいずれかをカウントソースとして時間を計測します。ECNTBFx と GRBFx のコンペアマッチを検出すると、次の“ECNTAFx Clock”に同期してカウント値をクリアします。ECNTAFx のカウントクリアはカウントアップと同じタイミングとなるため、クリア値は 0000 0001_H となります。
- ECNTBFx: TIFxA または TIFx より与えられたエッジをカウントします。カウント対象のエッジは、立ち上がり、立ち下がり、両エッジのいずれかを選択可能です。この例では立ち下がりエッジをカウントします。また、同期化処理のために TIFxA または TIFx には 2 サイクルの遅れが生じます。コンペアマッチを検出すると、次の PCLK に同期してカウント値をクリアします。
- GRAFx: ECNTAFx に対するキャプチャレジスタとして機能します。ECNTBFx のコンペアマッチの検出後、次の“ECNTAFx Clock”に同期して ECNTAFx のカウント値をキャプチャします。
- GRBFx: ECNTBFx に対するコンペアマッチレジスタとして機能し、ECNTBFx のカウント値が GRBFx と一致すると、コンペアマッチを検出します。
- コンペアマッチ割り込み要求: ECNTBFx のコンペアマッチの検出後、次の“ECNTAFx Clock”に同期して CPU にコンペアマッチ割り込み要求を出力します。
- DMA 転送要求出力: ECNTBFx のコンペアマッチの検出後、次の“ECNTAFx Clock”に同期して DMAC に DMA 転送要求を出力します。
- ICFFx: ECNTBFx のコンペアマッチの検出後、次の“ECNTAFx Clock”に同期して ICFFx をセットします。
- ECNTCFx、GRCFx、GRDFx: 機能しません。

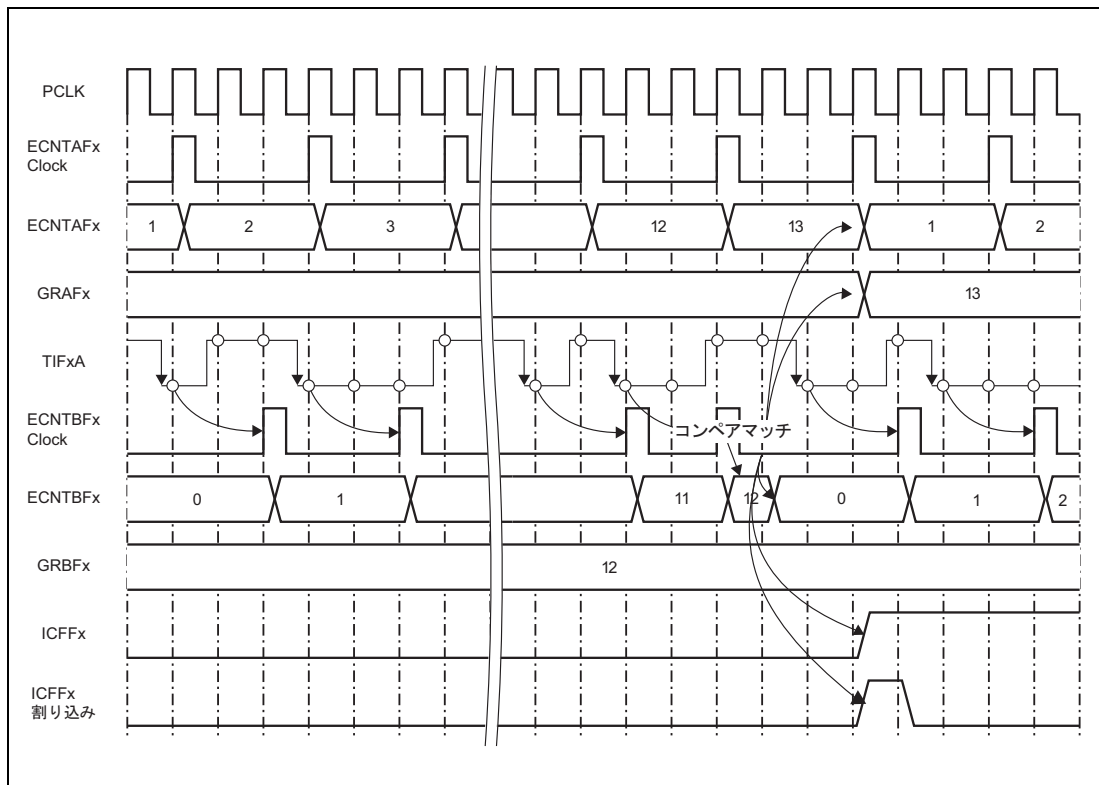


図 21.62 有効エッジ入力間隔計測の動作例

21.9.3.3 入力 High/Low 期間計測

TIFxA または TIFx にハイ（またはロー）レベルが与えられた時間を計測します。得られる時間は、ECNTAFx のクロックソースを基準として示されます。GRBFx には、時間を計測する範囲を、TIFxA または TIFx に与えられるパルスの数（GRBFx の値）として指定します。このときのタイマ F の動作は次のようになります。また動作例を図 21.63 に示します。これは、3 個のパルスのハイ期間が、カウントソースクロック 9 周期と計測された例です。ここで“ECNTAFx Clock”と“ECNTBFx Clock”は、それぞれ時間計測カウンタ ECNTAFx とイベントカウンタ ECNTBFx が、カウント動作やクリア動作を行うタイミングを示しています。

- ECNTAFx: クロックバス 0～6 のいずれかをカウントソースとし、TIFxA または TIFx をイネーブルとしてカウントアップを行います。すなわち、TIFxA または TIFx にハイレベルが与えられている時間（EGSELFx = 2 設定、立ち下がりエッジ選択時）、または TIFxA または TIFx にロウレベルが与えられている時間（EGSELFx = 1 設定、立ち上がりエッジ選択時）を計測します。ECNTBFx のコンペアマッチの検出後、次のカウントソースクロックに同期してカウント値をクリアします。コンペアマッチによるカウントクリアの際に、TIFxA または TIFx にハイレベル（EGSELFx = 2 設定時）またはロウレベル（EGSELFx = 1 設定時）が与えられていた場合は、カウント値は 0000 0001_H となります。ハイレベル時間を計測する動作例を図 21.64 に示します。
- ECNTBFx: TIFxA または TIFx 入力より与えられた信号のエッジをカウントします。カウント対象のエッジは、立ち上がり、立ち下がりのいずれかを選択可能です。動作例では TIFxA または TIFx の立ち下がりエッジをカウントします。また、同期化処理のために TIFxA または TIFx には 2 サイクルの遅れが生じます。コンペアマッチを検出すると、次の PCLK に同期してカウント値をクリアします。
- GRAFx: ECNTAFx に対するキャプチャレジスタとして機能します。ECNTBFx のコンペアマッチの検出後、次の“ECNTAFx Clock”に同期して ECNTAFx のカウント値をキャプチャします。
- GRBFx: ECNTBFx に対するコンペアマッチレジスタとして機能し、ECNTBFx のカウント値が GRBFx と一致すると、コンペアマッチを検出します。
- コンペアマッチ割り込み要求: ECNTBFx のコンペアマッチの検出後、次の“ECNTAFx Clock”に同期して CPU にコンペアマッチ割り込み要求を出力します。
- DMA 転送要求出力: ECNTBFx のコンペアマッチの検出後、次の“ECNTAFx Clock”に同期して DMAC に DMA 転送要求を出力します。
- ICFFx: ECNTBFx のコンペアマッチの検出後、次の“ECNTAFx Clock”に同期して ICFFx をセットします。
- ECNTCFx、GRCFx、GRDFx: 機能しません。

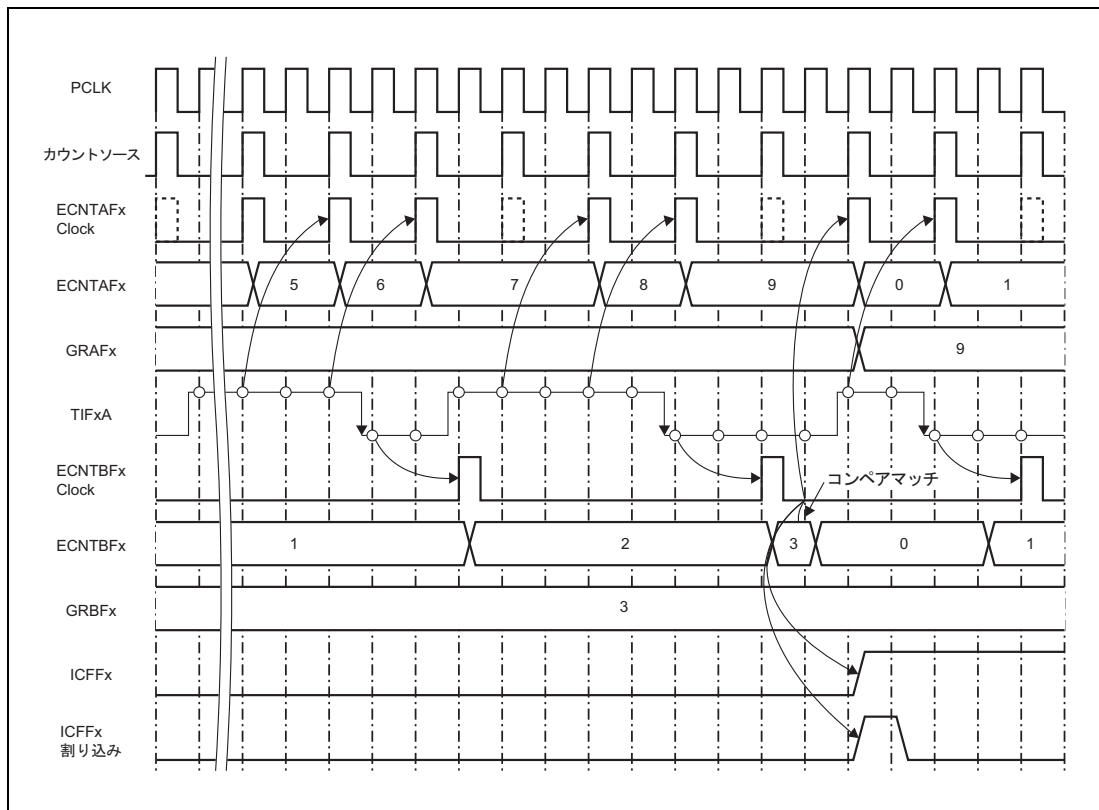


図 21.63 入力 High 期間計測の動作例

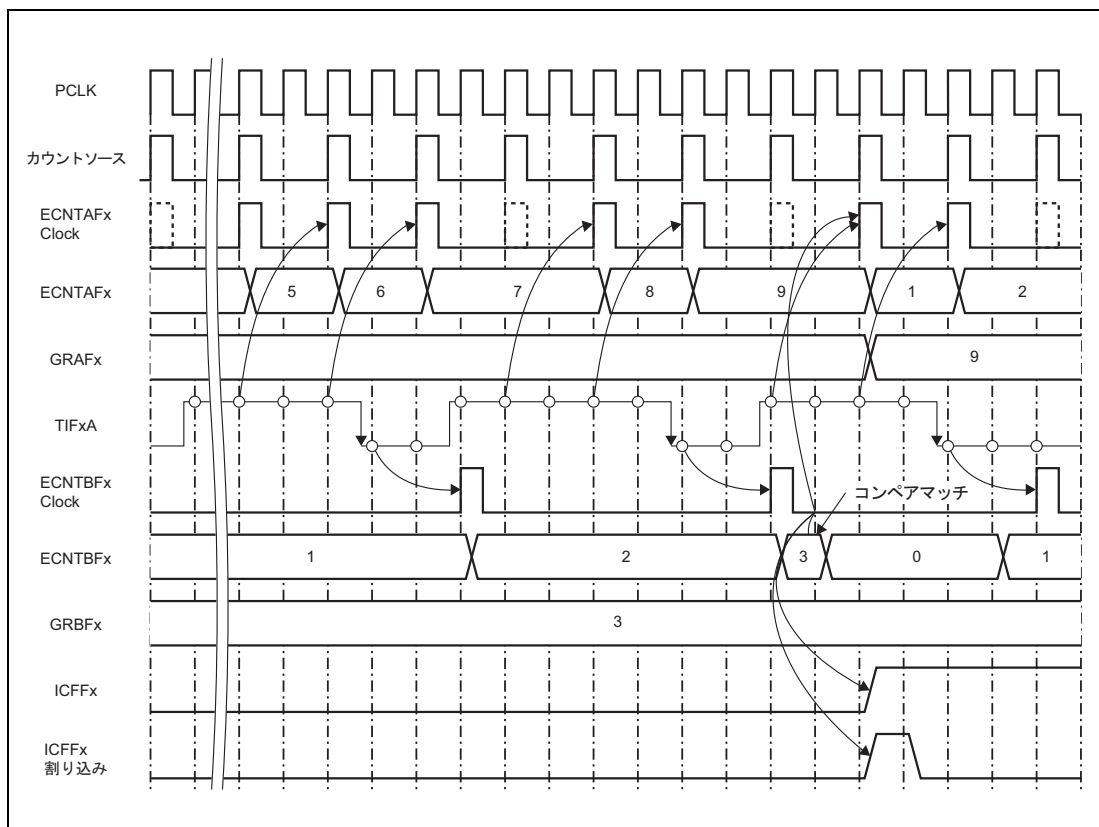


図 21.64 入力 High 期間計測の動作例 (キャプチャ動作時に TIFxA がハイ)

21.9.3.4 PWM 入力波形計測

TIFxA または TIFx に入力された PWM 波形のオフデューティと、PWM サイクルを計測します。TIFxA または TIFx にロー（またはハイ）レベルが与えられた時間をオフデューティとして、エッジ入力の間隔を PWM サイクルとして同時に計測します。得られる時間は、ECNTAFx のクロックソースを基準として示されます。GRBFx には、時間を計測する範囲を、TIFxA または TIFx に与えられる PWM 波形の数（GRBFx の値）として指定します。

また、PWM サイクル数でのコンペアマッチが可能であり、コンペアマッチで CPU へ割り込み要求を要求することができます。

このときのタイマ F の動作は次のようになります。また動作例を図 21.65 に示します。これは、2 個の PWM 波形の PWM サイクルがカウントソースクロック 6 周期、オフデューティ期間（ロー期間）がカウントソースクロック 4 周期と計測された例です。

ここで“ECNTAFx Clock”は、時間計測カウンタ ECNTAFx の、“ECNTBFx Clock”はイベントカウンタ ECNTBFx の、“ECNTCFx Clock”は ECNTCFx がカウント動作やクリア動作を行うタイミングを示しています。

- ECNTAFx: クロックバス 0～6 のいずれかをカウントソースとし、TIFxA または TIFx の入力レベルをイネーブルとしてカウントアップを行います。すなわち、TIFxA または TIFx にハイレベルが与えられている時間（EGSELFx = 2 設定、立ち下がりエッジ選択時）、または TIFxA または TIFx にロウレベルが与えられている時間（EGSELFx = 1 設定、立ち上がりエッジ選択時）を計測します。ECNTBFx のコンペアマッチの検出後、次のカウントソースクロックに同期してカウント値をクリアします。コンペアマッチによるカウントクリアの際に、TIFxA または TIFx にハイレベル（EGSELFx = 2 設定時）またはロウレベル（EGSELFx = 1 設定時）が与えられていた場合は、カウント値は 0000 0001_H となります。動作例ではロウレベル時間を計測します。
- ECNTBFx: TIFxA または TIFx 入力より与えられた信号のエッジをカウントします。カウント対象のエッジは、立ち上がり、立ち下がりのいずれかを選択可能です。動作例では立ち上がりエッジをカウントします。また、同期化処理のために TIFxA または TIFx には 2 サイクルの遅れが生じます。コンペアマッチを検出すると、次の PCLK に同期してカウント値をクリアします。
- GRAFx: ECNTAFx に対するキャプチャレジスタとして機能します。ECNTBFx のコンペアマッチの検出後、次の“ECNTAFx Clock”に同期して ECNTAFx のカウント値をキャプチャします。
- GRBFx: ECNTBFx に対するコンペアマッチレジスタとして機能し、ECNTBFx のカウント値が GRBFx と一致すると、コンペアマッチを検出します。
- ECNTCFx: ECNTAFx と同じカウントソースで時間を計測します。ECNTBFx のコンペアマッチの検出後、次の“ECNTAFx Clock”に同期してカウント値をクリアします。ECNTCFx のカウントクリアはカウントアップと同じタイミングとなるため、クリア値は 0000 0001_H となります。GRDFx とのコンペアマッチでは ECNTCFx はクリアされず、カウントは継続します。
- GRCFx: ECNTCFx に対するキャプチャレジスタとして機能します。ECNTBFx のコンペアマッチの検出後、次の“ECNTAFx Clock”に同期して ECNTCFx のカウント値をキャプチャします。
- インプットキャプチャ割り込み要求: ECNTBFx のコンペアマッチの検出後、次の“ECNTAFx Clock”に同期して CPU にインプットキャプチャ割り込み要求を出力します。
- DMA 転送要求出力: ECNTBFx のコンペアマッチの検出後、次の“ECNTAFx Clock”に同期して DMAC に DMA 転送要求を出力します。

- ICFFx : ECNTBFx のコンペアマッチの検出後、次の“ECNTAFx Clock”に同期して ICFFx をセットします。
- GRDFx : ECNTCFx に対するコンペアマッチレジスタとして機能し、ECNTCFx のカウント値が GRDFx と一致するとコンペアマッチを検出します。(プライベートファンクションコントロールレジスタ F (PVFCRF) の GRDFCMEN ビットが“1”のとき有効です)
- オーバフロー割り込み要求出力 : ECNTCFx のコンペアマッチの検出後、次の PCLK に同期して CPU にオーバフロー割り込み要求を出力します。(プライベートファンクションコントロールレジスタ F (PVFCRF) の GRDFCMEN ビットが“1”のとき有効です)
- OVFCFx : ECNTCFx のコンペアマッチの検出後、次の PCLK に同期して OVFCFx をセットします。(プライベートファンクションコントロールレジスタ F (PVFCRF) の GRDFCMEN ビットが“1”のとき有効です)

すなわち、ECNTBFx (GRBFx) と ECNTAFx (GRAFx) が Low 期間計測モードで動作し、ECNTBFx (GRBFx) と ECNTCFx (GRCFx) が有効エッジ入力間隔計測モードで動作していることとなります。

PWM 入力波形計測モードの計測値は、GRAFx と GRCFx の2つの32ビットレジスタに収められます。この2つのレジスタを順に読み出すとき、一方のレジスタを読み出したあと、もう一方のレジスタを読み出す前に新たなキャプチャが行われ、正しい計測値を取り出せない場合があることにご注意ください (途中で割り込み要求処理が行われた場合など)。

また、このような場合に、バックアップレジスタを用いた読み出しを行うことで、2つの計測値を矛盾なく読み出すことが可能です。詳細は「**21.9.3.9 複数レジスタの同時アクセス**」を参照してください。

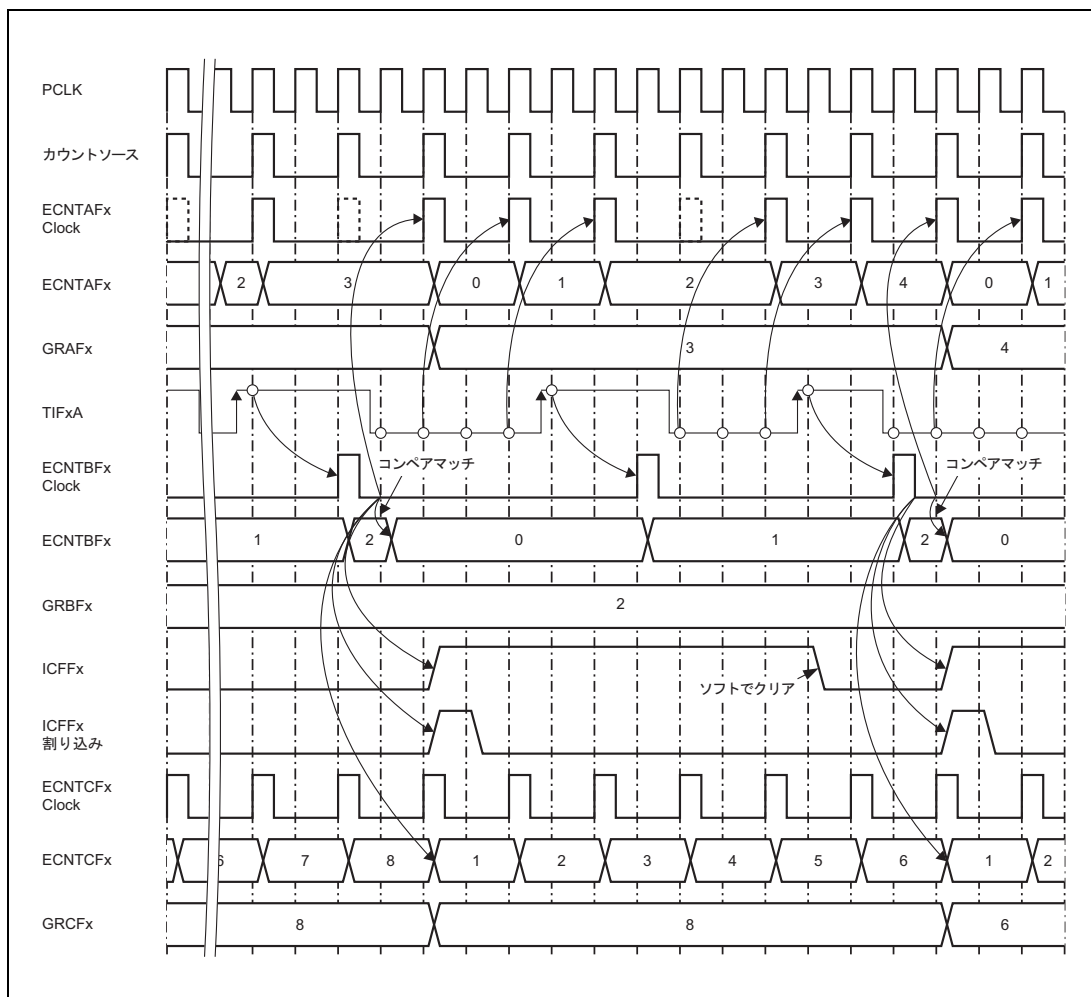


図 21.65 PWM 入力波形期間計測の動作例

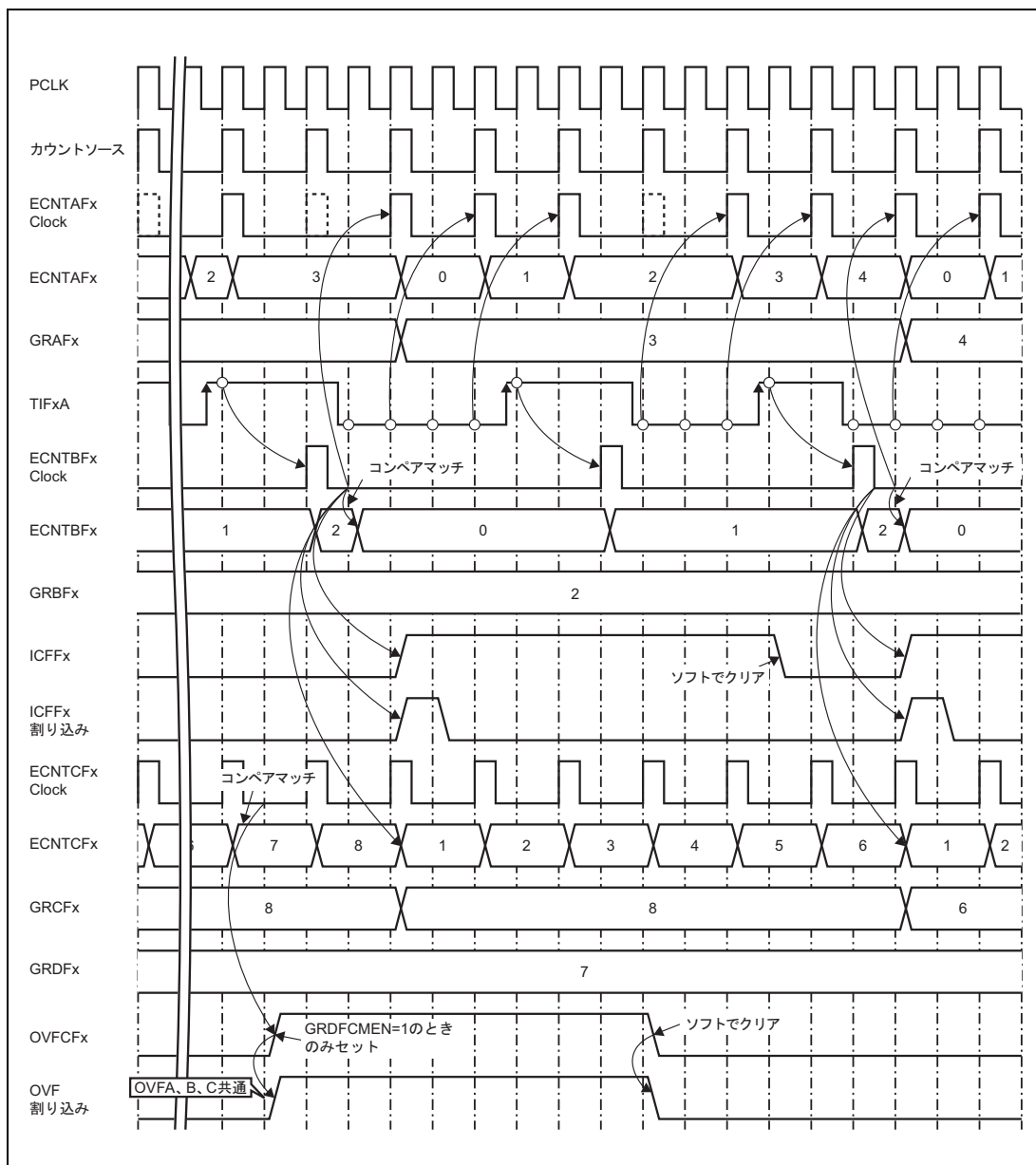


図 21.66 PWM 入力波形期間計測の動作例

21.9.3.5 回転速度／パルス計測

TIFx に入力されたエッジ数、およびエッジ入力時刻（タイムスタンプ）を計測し、また直前の入力エッジとの間に現れる PWM 波形のオフデューティと、PWM サイクルを計測します。

得られる時間は、ECNTAFx のクロックソースを基準として示されます。また、GRBFx には、エッジ入力間隔の最大値を設定でき、エッジ入力間隔が最大値を超えた場合に割り込み要求を出力することができます。

このときのタイマ F の動作は次のようになります。また動作例を図 21.67 に示します。

ここで“ECNTAFx Clock”は、時間計測カウンタ ECNTAFx の、“ECNTBFx Clock”はイベントカウンタ ECNTBFx の、“ECNTCFx Clock”は ECNTCFx がカウント動作やクリア動作を行うタイミングを示しています。

- ECNTAFx: クロックバス 0～6 のいずれかをカウントソースとし、TIFx の入力レベルをイネーブルとしてカウントアップを行います。すなわち、TIFx にハイレベルが与えられている時間 (EGSELFx = 2 設定、立ち下がりエッジ選択時)、または TIFx にロウレベルが与えられている時間 (EGSELFx = 1 設定、立ち上がりエッジ選択時) を計測します。TIFx へのエッジ入力後、次のカウントソースクロックに同期してカウント値をクリアします。カウントクリアの際に、TIFx にハイレベル (EGSELFx = 2 時) またはロウレベル (EGSELFx = 1 時) が与えられていた場合は、カウント値は 0000 0001_H となります。
- ECNTBFx: TIFx 入力より与えられた信号のエッジをカウントします。カウント対象のエッジは、立ち上がり、立ち下がりのいずれかを選択可能です。動作例では立ち下がりエッジをカウントします。また、同期化処理のために TIFx には 2 サイクルの遅れが生じます。
- GRAFx: ECNTAFx に対するキャプチャレジスタとして機能します。TIFx へのエッジ入力後、次の“ECNTAFx Clock”に同期して ECNTAFx のカウント値をキャプチャします。
- GRBFx: ECNTCFx に対するコンペアマッチレジスタとして機能します。ECNTCFx のカウント値と、GRBFx の下位 16 ビットをゼロ拡張した値が一致すると、コンペアマッチを検出し OVFCFx を“1”にセットします。
- ECNTCFx: ECNTAFx と同じカウントソースで時間を計測します。TIFx へのエッジ入力後、次の“ECNTAFx Clock”に同期してカウント値をクリアします。ECNTCFx のカウントクリアはカウントアップと同じタイミングとなるため、クリア値は 0000 0001_H となります。
- GRCFx: ECNTCFx に対するキャプチャレジスタとして機能します。TIFx へのエッジ入力後、次の“ECNTAFx Clock”に同期して ECNTCFx のカウント値をキャプチャします。
- GRDFx: ECNTCFx に対するキャプチャレジスタとして機能します。TIFx へのエッジ入力後、次の“ECNTAFx Clock”に同期して、ECNTCFx のカウント値を GRDFx の値に累算してキャプチャします。加算する値は、クリア前の ECNTCFx の値となります (キャプチャ値: GRDFx+ = ECNTCFx)。
- インプットキャプチャ割り込み要求出力: TIFx へのエッジ入力後、次の“ECNTAFx Clock”に同期して CPU にインプットキャプチャ割り込み要求を出力します。
- DMA 転送要求出力: TIFx へのエッジ入力後、次の“ECNTAFx Clock”に同期して DMAC に DMA 転送要求を出力します。
- ICFx: TIFx へのエッジ入力後、次の“ECNTAFx Clock”に同期して ICFx をセットします。

- オーバフロー割り込み要求出力: ECNTCFx と GRBFx の値 (下位 16 ビットをゼロ拡張した値) が一致した次の PCLK に同期して CPU にオーバフロー割り込み要求の出力をします。
- OVFCFx: ECNTCFx と GRBFx の値 (下位 16 ビットをゼロ拡張した値) が一致した次の PCLK に同期して OVFCFx をセットします。

インプットキャプチャ割り込み要求出力時に、ECNTBFx、GRAFx、GRCFx、GRDFx を読み出すことで、それぞれからエッジ数、オフデューティサイクル、PWM サイクル、およびエッジ入力時刻を得ることができます。

GRAFx、GRCFx、GRDFx のキャプチャタイミングは、ECNTAFx のカウントクロックに同期します。TIFx へのエッジ入力周期が、ECNTAFx のカウントクロック周期よりも短くなると正しく計測できませんので、ご注意ください。

回転速度/パルス計測モードの計測値は、GRAFx と GRCFx と GRDFx の 3 つの 32 ビットレジスタに収められます。この 3 つのレジスタを順に読み出すとき、あるレジスタを読み出したあと、残りのレジスタを読み出す前に新たなキャプチャが行われ、正しい計測値を取り出せない場合があることにご注意ください (途中で割り込み要求処理が行われた場合など)。

また、このような場合に、バックアップレジスタを用いた読み出しを行うことで、3 つの計測値を矛盾なく読み出すことが可能です。詳細は「**21.9.3.9 複数レジスタの同時アクセス**」を参照してください。

注 意

サブブロック 03 ~ 11 以外では、本モードを設定しないでください。

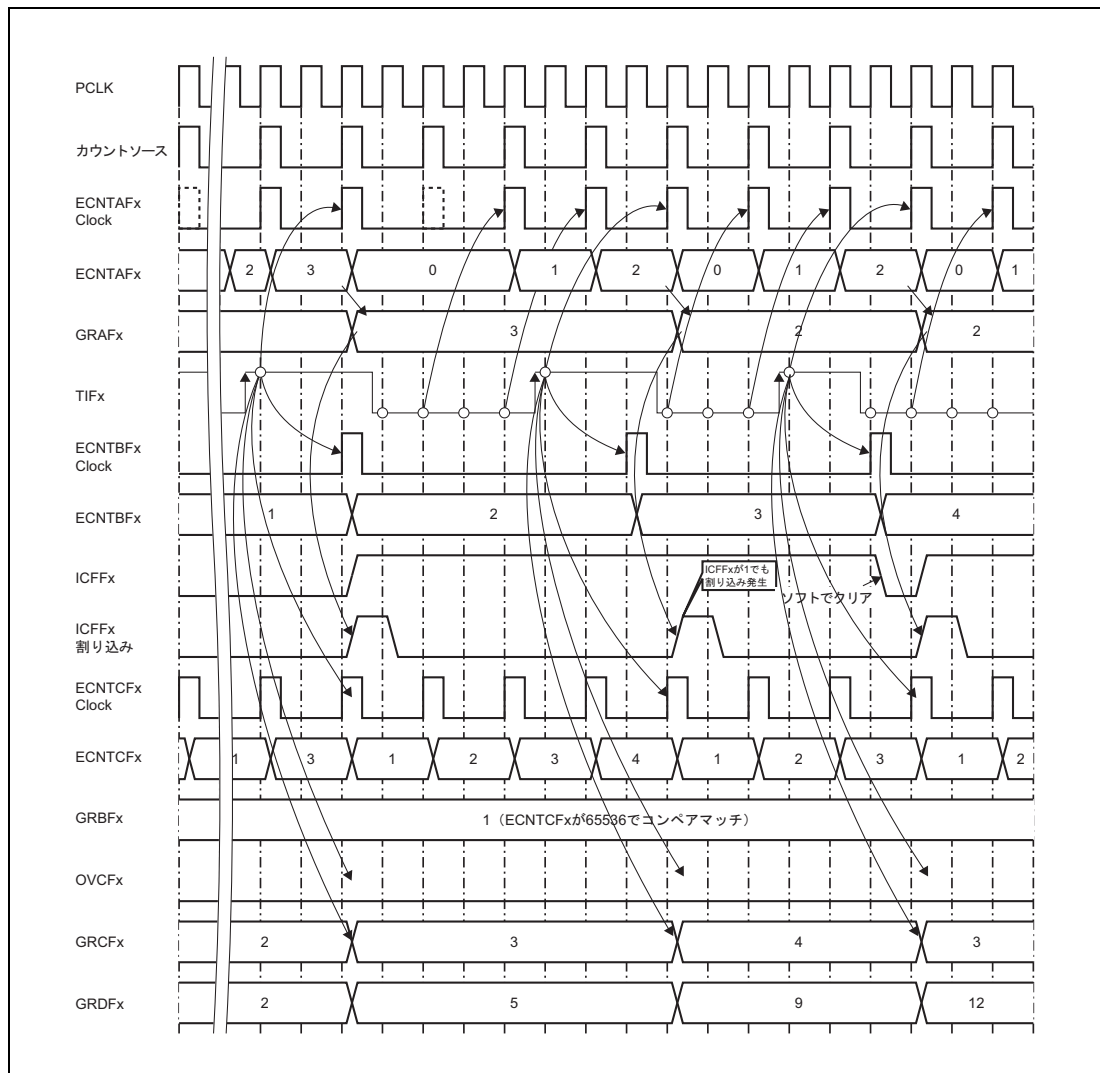



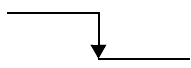
図 21.67 回転速度／パルス計測の動作例

21.9.3.6 アップ/ダウンカウント

2本の外部入力ピン (TIFxA, TIFxB) のうち、TIFxA をカウントソースとしてカウント動作を行い、TIFxB でアップカウント、ダウンカウントを切り替えます。また、GRAFx にカウントする期間を指定すると、GRBFx に指定期間後のカウント値が得られます。カウントする期間は、ECNTAFx カウントソースクロックの周期 (GRAFx の値) となります。このときのタイマ F の動作は次のようになります。また動作例を図 21.68 に示します。ここで“ECNTAFx Clock”と“ECNTBFx Clock”は、それぞれ時間計測カウンタ ECNTAFx とイベントカウンタ ECNTBFx が、カウント動作やクリア動作を行うタイミングを示しています。

- ECNTAFx : クロックバス 0 ~ 6 のいずれかをカウントソースとして時間を計測します。コンペアマッチが検出されると、次の PCLK に同期してカウント値をクリアします。
- ECNTBFx : TIFxA の立ち上がり・立ち下がりエッジの両エッジでアップ/ダウンカウント動作を行います。カウントの方向は、TIFxB の入力レベルにより決定されます (表 21.138 を参照ください)。また、同期化処理のために TIFxA、TIFxB には 2 サイクルの遅れが生じます。
- GRAFx : ECNTAFx に対するコンペアマッチレジスタとして機能し、ECNTAFx のカウント値が GRAFx と一致すると、コンペアマッチを検出します。
- GRBFx : ECNTBFx に対するキャプチャレジスタとして機能します。ECNTAFx のコンペアマッチ検出後、次の PCLK に同期して ECNTBFx のカウント値をキャプチャします。
- インพุットキャプチャ割り込み要求出力 : ECNTAFx のコンペアマッチの検出後、次の PCLK に同期して CPU に割り込み要求を出力します。
- DMA 転送要求出力 : ECNTAFx のコンペアマッチの検出後、次の PCLK に同期して DMAC に DMA 転送要求を出力します。
- ICFx : ECNTAFx のコンペアマッチ検出後、次の PCLK に同期して ICFx をセットします。
- ECNTCFx、GRCFx、GRDFx : 機能しません。

表 21.138 アップ/ダウンイベントカウントモード時のカウント方向

| 入力 | カウント方向 | |
|-------|---|---|
| | アップカウント | ダウンカウント |
| TIFxA |  |  |
| TIFxB | L レベル | H レベル |

注 意

サブブロック 0 ~ 2 以外では、本モードを設定しないでください。

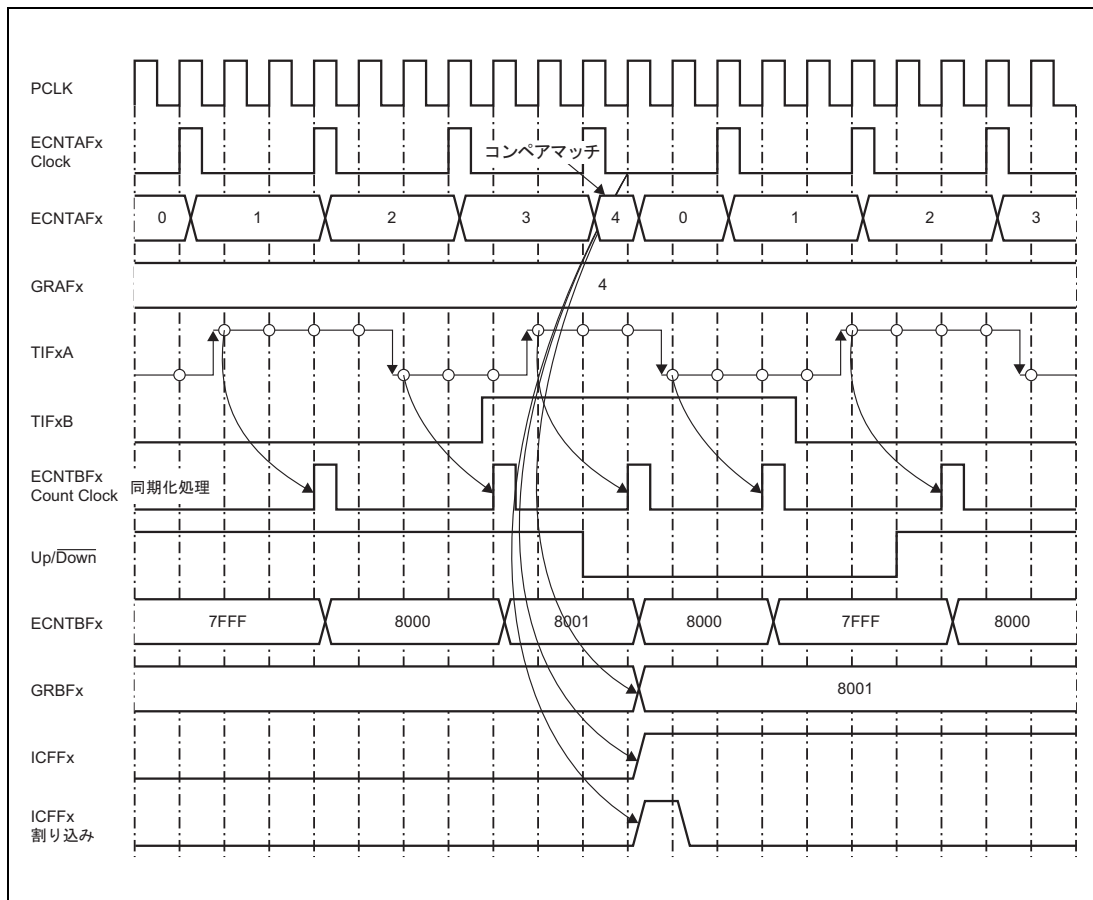


図 21.68 アップ/ダウンカウンタの動作例









21.9.3.7 4 通倍イベントカウント

2本の外部入力ピン (TIFxA, TIFxB) をカウントソースとしてカウント動作を行い、その2本の入力状態によってアップカウント、ダウンカウントを切り替えます。また、GRAFx にカウントする期間を指定すると、GRBFx に指定期間後のカウント値が得られます。カウントする期間は、ECNTAFx カウントソースクロックの周期 (GRAFx の値) となります。

このときのタイマFの動作は次のようになります。また動作例を図 21.69 に示します。ここで“ECNTAFx Clock”と“ECNTBFx Clock”は、それぞれ時間計測カウンタ ECNTAFx とイベントカウンタ ECNTBFx が、カウント動作やクリア動作を行うタイミングを示しています。

- ECNTAFx : クロックバス 0 ~ 6 のいずれかをカウントソースとして時間を計測します。コンペアマッチが検出されると、次の PCLK に同期してカウント値をクリアします。
- ECNTBFx : TIFxA、TIFxB それぞれの立ち上がり・立ち下がりエッジの両エッジでアップ/ダウンカウント動作を行います。カウントの方向は、他方の信号の入力レベルにより決定されます (表 21.139 を参照ください)。また、同期化処理のために TIFxA、TIFxB には 2 サイクルの遅れが生じます。
- GRAFx : ECNTAFx に対するコンペアマッチレジスタとして機能し、ECNTAFx のカウント値が GRAFx と一致すると、コンペアマッチを検出します。
- GRBFx : ECNTBFx に対するキャプチャレジスタとして機能します。ECNTAFx のコンペアマッチ検出後、次の PCLK に同期して ECNTBFx のカウント値をキャプチャします。
- インพุットキャプチャ割り込み要求出力 : ECNTAFx のコンペアマッチの検出後、次の PCLK に同期して CPU にインพุットキャプチャ割り込み要求を出力します。
- DMA 転送要求出力 : ECNTAFx のコンペアマッチの検出後、次の PCLK に同期して DMAC に DMA 転送要求を出力します。
- ICFFx : ECNTAFx のコンペアマッチ検出後、次の PCLK に同期して ICFFx をセットします。
- ECNTCFx、GRCFx、GRDFx : 機能しません。

表 21.139 4 通倍イベントカウントモード時のカウント方向

| 入力 | カウント方向 | | | | | | | |
|-------|---|---|---|---|---|---|---|---|
| | アップカウント | | | | ダウンカウント | | | |
| TIFxA | H レベル |  | L レベル |  | H レベル |  | L レベル |  |
| TIFxB |  | H レベル |  | L レベル |  | L レベル |  | H レベル |

注 意

サブブロック 0 ~ 2 以外では、本モードを設定しないでください。

注 1. TIFxA と TIFxB のエッジ入力を同時に検出した場合の動作は保証されません。TIFxA と TIFxB のエッジ入力間隔は、必ず 1.5 サイクル (PCLK) 以上となるようにしてください。

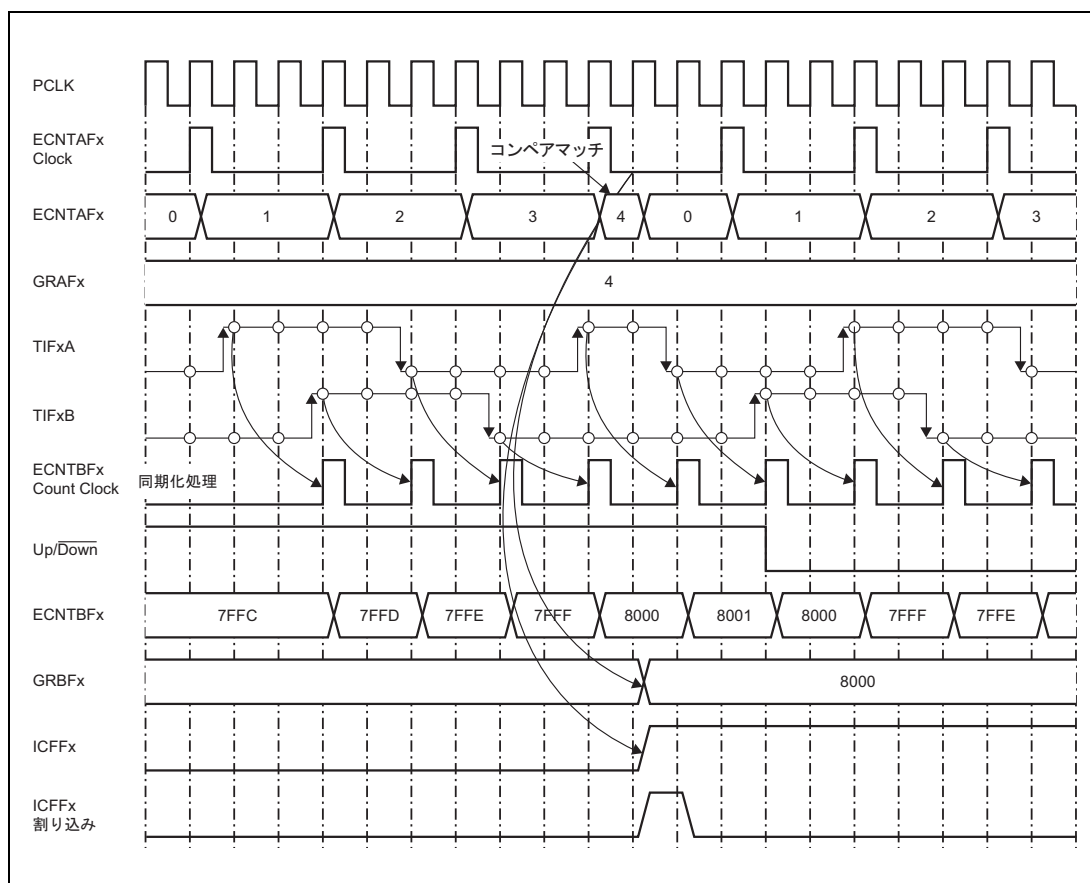


図 21.69 4 通倍イベントカウンタの動作例

21.9.3.8 オーバフロー／アンダフロー

カウンタクリア処理以外でカウント値が FFFF FFFF_H (ECNTAFx、ECNTCFx) → 0000 000_H (ECNTAFx、ECNTCFx)、あるいは FFFF_H (ECNTBFx) → 0000_H (ECNTBFx) となった場合に、オーバフローを検出します。この場合、カウント値が 0000 0000_H (or 0000_H) になると同時にオーバフローフラグのセット、およびオーバフロー割り込み要求を出力します。(図は省略)。ECNTAFx でオーバフローを検出した場合は、OVFAFx のセット、およびオーバフロー A 割り込み要求、ECNTBFx のときは OVFBFx のセット、およびオーバフロー B 割り込み要求、ECNTCFx のときは OVFCFx のセット、およびオーバフロー C 割り込み要求を出力します。

また、カウント値が 0000_H (ECNTBFx) → FFFF_H (ECNTBFx) となった場合に、アンダフローを検出します。この場合、カウント値が FFFF_H になると同時に OVFBFx のセット、およびオーバフロー割り込み要求出力をします (図は省略)。また、OVFBFx をセットします。アンダフローは ECNTBFx でのみ発生し、オーバフロー B 割り込み要求を出力します。

21.9.3.9 複数レジスタの同時アクセス

PWM 入力波形計測モードおよび回転速度／パルス計測モードの計測結果の保持に使用されるレジスタに関しては、バックアップレジスタを用いることで同時刻における複数のレジスタ値を読み出すことが可能です。CDRF_x レジスタの読み出しタイミングで、そのときの GRAF_x の値を BGRAF_x へ、GRCF_x の値を BGRCF_x へ、GRDF_x の値を BGRDF_x へ退避します。

汎用レジスタ値のバックアップレジスタへの退避とバックアップレジスタの読み出しには、バックアップコントロールレジスタ F_x (BKCRF_x) の設定が必要です。詳細は前述のバックアップコントロールレジスタの項を参照してください。

これにより、PWM 入力波形計測モードでは、CDRF_x、BGRCF_x の順 (DMAC 転送でのアクセス順) に読み出せば同時刻の PWM サイクル、デューティタイムを読み出すことが可能となります。回転速度／パルス計測モードでも CDRF_x を読み出したあとで、BGRAF_x、BGRCF_x、BGRDF_x を読み出すことによって同時刻のデータを読み出すことができます。

21.10 タイマ G

21.10.1 動作概要

タイマ G ブロックは、8 個のタイマ G サブブロックによって構成されます。

タイマ G サブブロックは、入力クロックをカウントし、所定の時間が経過すると PCLK で 1 サイクル期間のパルス信号を生成します。生成した信号は、AD 変換器の起動/割り込み要求トリガとして使用することができます。また、DMAC を設定することで割り込み要求により DMA 転送を起動することも可能です。カウンタの入力クロックは、クロックバス上の 7 本のクロックから選択することができます。APA へのリファレンスデータとしてフリーランカウンタ TCNTG0 のカウント値を出力可能です。出力値の選択については「**22.5.8 APA 入力セレクト**」をご参照ください。

構成

タイマ G のサブブロックは、1 本の 32 ビットカウンタ (TCNTGx) と、1 本のコンペアマッチレジスタ (OCRGx)、制御部などで構成されています。

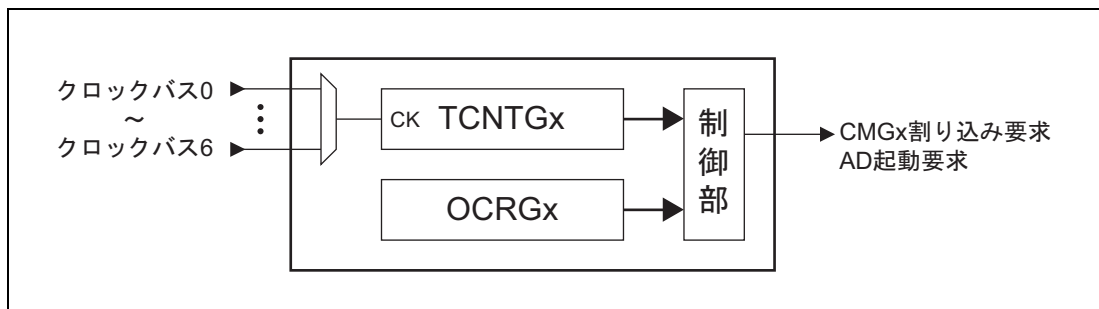


図 21.70 タイマ G の構成

割り込み要求

タイマ G は以下に示す 8 本の割り込み要求を出力することができます。

- タイマサブブロック Gx でコンペアマッチが検出されると出力されます。この要求は AD、DMAC、および割り込み要求コントローラが受け取り、各々の設定にしたがい所定の処理を行います。

21.10.2 タイマ G 関連レジスタ

21.10.2.1 TSTRG — タイマスタートレジスタ G

アクセス 8ビット/16ビットアクセス可能

アドレス FFE6 3900_H

リセット後の値 0000_H

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|----|----|----|----|---|---|-------|-------|-------|-------|-------|-------|-------|-------|
| | — | — | — | — | — | — | — | — | STRG7 | STRG6 | STRG5 | STRG4 | STRG3 | STRG2 | STRG1 | STRG0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.140 TSTRG レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------------|--|
| 15～8 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 7～0 | STRG9～STRG0 | カウンタ G スタートビット 0: TCNTGx のカウント動作を停止 1: TCNTGx のカウント動作を許可 |

備考 xは0～7の整数。

タイマスタートレジスタ G (TSTRG) は 16 ビットのレジスタです。上位ビットを TSTRGH レジスタ、下位ビットを TSTRGL レジスタとして、8 ビットの読み出し/書き込み可能なレジスタで、タイマ G に含まれる各サブブロック (タイマ G0～タイマ G7) を動作させるか停止させるかを指定します。ただし、タイマ G のスタートビットをカウント動作許可に設定していても、ATU-IV 制御レジスタ (ATUENR) の TGE ビットがイネーブルに設定されていなければカウント動作は行われません。

TSTRG はリセット時に 0000_H に初期化されます。

(1) STRGx — カウンタ G スタートビット

タイマサブブロック G0～G7のタイマカウンタ Gx (TCNTGx) を動作させるか、停止させるかを設定します。

このビットを“0”にクリアした場合、TCNTGx は動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを“1”にセットした場合には、その値から動作を再開します。

カウンタ G スタートビットを“1”にセットしても、ATU-IV イネーブルレジスタの TGE ビットがセットされていなければカウント動作は開始されません。

注 意

プリスケアラは、カウンタ G スタートビットの設定に関係なく動作しており、上記カウンタの動作開始時にも初期化は行われません。したがって起動から実際に上記カウンタがカウント動作を開始するまでの時間には、選択されたカウントソースの周期 (分解能) 以下のハードウェア的な不確定さが伴います。

21.10.2.2 TCRGx — タイマコントロールレジスタ Gx

(x = 0, 1, 2, 3, 4, 5, 6, 7 : サブブロック G0 ~ G7 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 3910_H + (10_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|---|--------------|-----|-----|---|---|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | CKSELGx[2:0] | | | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R | R | R | R |

表 21.141 TCRGx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------------|---|
| 7 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 6、5 | CKSELGx[2:0] | クロックセレクト Gx タイマカウンタ Gx (TCNTGx) のクロックソースを指定します 000 : クロックバス 0 001 : クロックバス 1 010 : クロックバス 2 011 : クロックバス 3 100 : クロックバス 4 101 : クロックバス 5 110 : クロックバス 6 111 : 予約 |
| 3 ~ 0 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |

タイマコントロールレジスタ Gx (TCRG0 ~ TCRG7) は 8 ビットの読み出し/書き込み可能なレジスタで、タイマ G に含まれる各サブブロック (タイマ G0 ~ タイマ G7) の動作モードを指定します。

TCRG0 ~ TCRG7 はリセット時に 00_H に初期化されます。

(1) CKSELGx — クロックセレクト Gx

タイマサブブロック G0 ~ G7 のタイマカウンタ Gx (TCNTGx) のクロックソースを指定します。

このビットに“000”から“110”を指定することによって、クロックバス 0 からクロックバス 6 のいずれかをクロックソースとして選択することができます。

このビットには“111”を指定しないでください。誤って指定した場合の動作は保証されません。

21.10.2.3 TSRGx — タイマステータスレジスタ Gx

(x = 0, 1, 2, 3, 4, 5, 6, 7 : サブブロック G0 ~ G7 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 3912_H + (10_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|-------|-------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | OVFGx | CMFGx |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 21.142 TSRGx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|---|
| 7 ~ 2 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 1 | OVFGx | オーバフローフラグ Gx 1: TCNTGx にオーバフロー発生 0: TCNTGx にオーバフローなし |
| 0 | CMFGx | コンペアマッチフラグ Gx 1: サブブロック Gx にコンペアマッチ発生 0: サブブロック Gx にコンペアマッチ発生なし |

タイマステータスレジスタ Gx (TSRG0 ~ TSRG7) は 8 ビットの読み出し専用のレジスタで、時間計測カウンタやイベントカウンタのオーバフローの発生、コンペアマッチの発生を示します。

オーバフローフラグはタイマのオーバフローの発生を示すステータスフラグです。割り込み要求を発生させることはできません。コンペアマッチフラグは割り込み要求発生ステータスフラグです。これらのフラグはタイマステータスクリアレジスタ Gx (TSCRGX) の対応するビットを設定することによりフラグをクリアすることができます。本フラグがセットされた状態で割り込み要因が発生した場合、再度割り込み要求を発生します。また、対応するタイマステータスクリアレジスタによるクリアと割り込み要因発生によるセットが競合した場合でも割り込み要求は発生します。

TSRG0 ~ TSRG7 はリセット時に 00_H に初期化されます。

(1) OVFGx — オーバフローフラグ Gx

このフラグにより、タイマカウンタ Gx (TCNTGx) のオーバフローの状態を参照することができます。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1 セット条件
TCNTGx の値がオーバフロー (FFFF FFFF_H → 0000 0000_H) したとき。
- 0 クリア条件
タイマステータスクリアレジスタ Gx (TSCRGX) の OVFCGx に“1”を書き込んだとき。

(2) CMFGx – コンペアマッチフラグ Gx

このフラグにより、サブブロック Gx (G0 ~ G7) においてコンペアマッチの検出状態を参照することができます。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1 セット条件
サブブロック Gx でコンペアマッチを検出したとき。
- 0 クリア条件
タイマステータスクリアレジスタ Gx (TSCRGx) の CMFCGx に“1”を書き込んだとき。

21.10.2.4 TSCRGx — タイマステータスクリアレジスタ Gx

(x = 0, 1, 2, 3, 4, 5, 6, 7 : サブブロック G0 ~ G7 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 3913_H + (10_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|--------|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | OVFCGx | CMFCGx |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

注 1. “0” 書き込み無効。“1” 書き込み時はデータは保持されません。読み出し値は常に“0”になります。

表 21.143 TSCRGx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 7 ~ 2 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 1 | OVFCGx | オーバフローフラグクリア Gx イネーブル 0 : 無効 (初期値) 1 : OVFCGx に 0 を書き込む。 |
| 0 | CMFCGx | コンペアマッチフラグクリア Gx イネーブル 0 : 無効 (初期値) 1 : CMFCGx に 0 を書き込む。 |

TSCRG は 8 ビットの読み出し／書き込み可能なレジスタで、オーバフロー、コンペアマッチの発生によるフラグのクリア設定をします。

TSCRG は 8 ビット単位でのみ読み出し／書き込みが可能です。ただし読み出した場合は常に“0”が読み出せます。

TSCRG はリセット時に 00_H に初期化されます。

(1) OVFCGx — オーバフローフラグクリア Gx イネーブル

タイマステータスレジスタ Gx (TSRGx) のオーバフローフラグ Gx (OVFCGx) が“1”にセットされているとき、本レジスタに“1”を書き込むと OVFCGx を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(2) CMFCGx — コンペアマッチフラグクリア Gx イネーブル

タイマステータスレジスタ Gx (TSRGx) のコンペアマッチフラグ Gx (CMFCGx) が“1”にセットされているとき、本レジスタに“1”を書き込むと CMFCGx を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

21.10.2.5 TCNTGx — タイマカウンタ Gx

(x = 0, 1, 2, 3, 4, 5, 6, 7 : サブブロック G0 ~ G7 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 3914_H + (10_H * x)リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|---------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TCNTGx[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TCNTGx[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.144 TCNTGx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------|-----------------------|
| 31 ~ 0 | TCNTGx[31:0] | タイマカウンタ Gx アップカウンタ |

タイマカウンタ Gx (TCNTGx) は 32 ビットの読み出し/書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、入力クロックによりアップカウント動作を行います。対応するコントロールレジスタの設定に応じて、入力クロックにクロックバス 0 ~ 6 のいずれかを選ぶことができます。

TCNTGx カウンタ値はコンペアマッチレジスタ Gx (OCRGx) と比較されており、値が一致すると、次の内部クロック (PCLK) でコンペアマッチフラグ Gx (TSRGx レジスタの CMFGx ビット) がセットされ、TCNTGx カウンタ値は 0000 0000_H にクリアされます。ただし、コンペアマッチによるカウンタのクリアとカウントアップのタイミングが一致する場合のみ、TCNTGx は 0000 0001_H にクリアされます (TCNTGx が Pφ の 1 分周クロックでカウントする場合のみ起こります)。このコンペアマッチにより、CPU へ割り込み要求を出力をすることができます。

TCNTGx はリセット時に 0000 0000_H に初期化されます。

21.10.2.6 OCRGx — コンペアマッチレジスタ Gx

(x = 0, 1, 2, 3, 4, 5, 6, 7 : サブブロック G0 ~ G7 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 3918_H + (10_H * x)

リセット後の値 FFFF FFFF_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | OCRGx[31:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OCRGx[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.145 OCRGx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|---------------------------|
| 31 ~ 0 | OCRGx[31:0] | コンペアマッチ Gx コンペアマッチ値を指定 |

コンペアマッチレジスタ Gx (OCRGx) は 32 ビットの読み出し/書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、タイマカウンタ Gx に対するアウトプットコンペアレジスタの機能を持っています。コンペアマッチ発生時に、CPU への割り込み要求、および DMAC への DMA 転送要求を発生することができます。

OCRGx には 0000 0000_H を設定しないでください。0000 0000_H を設定した場合、不正な周期でコンペアマッチが発生することになりますのでご注意ください。

OCRGx はリセットによって FFFF FFFF_H に初期化されます。

21.10.3 詳細動作説明

OCRGx に時間を指定すると、指定した時間経過後に PCLK の 1 サイクル期間の正論理パルスを得ることができます。出力信号の初期値は“0”です。カウントする期間は、TCNTGx のクロックソースを基準として指定します。生成した信号を AD 変換器に出力することができます。AD 起動/割り込み要求トリガとして使用できます。

また、コンペアマッチ時は、タイマステータスレジスタ Gx (TSRGx) のコンペアマッチフラグ Gx (CMFGx) がセットされます。DMAC および CPU に対して、それぞれ DMA 起動、割り込み要求を要求することができます。

図 21.71 に動作例を示します。ここで“TCNTGx Clock”は、カウンタ TCNTGx がカウント動作やクリア動作を行うタイミングを示した仮想的な信号です。

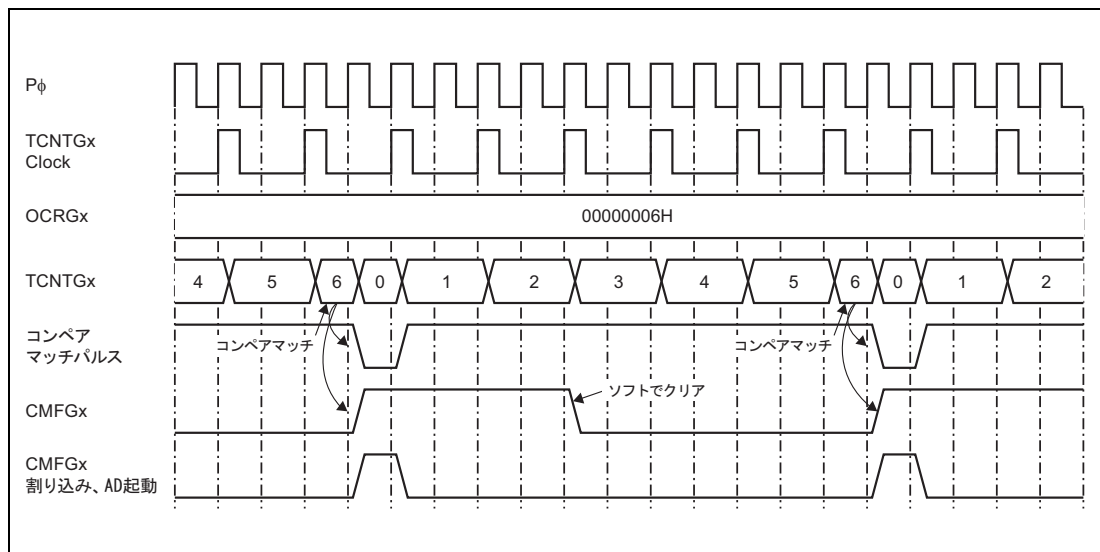


図 21.71 カウント、コンペアマッチ動作

21.11 タイマ H

21.11.1 動作概要

タイマ H は入力クロックをカウントし、所定の時間を繰り返し計測するカウンタです。

16 ビットカウンタ (TCNT1H) はクロックバス上の 7 本から選択したクロックによりカウントアップを行います。TCNT1H はコンペアマッチレジスタ (OCR1H) 値に到達すると、0000_H にクリアされ、再びカウントアップを開始します。

32 ビットカウンタ (TCNT2H) は TCNT1H と OCR1H とのコンペアマッチ発生によってインクリメントを行い、コンペアマッチ発生回数をカウントします。

TCNT2H のカウントアップのタイミングで割り込みを発生することが可能です。

構成

タイマ H ブロックは、1 本の 16 ビットカウンタ (TCNT1H) と、1 本のコンペアマッチレジスタ (OCR1H)、1 本の 32 ビットカウンタ (TCNT2H)、および制御部で構成されています。

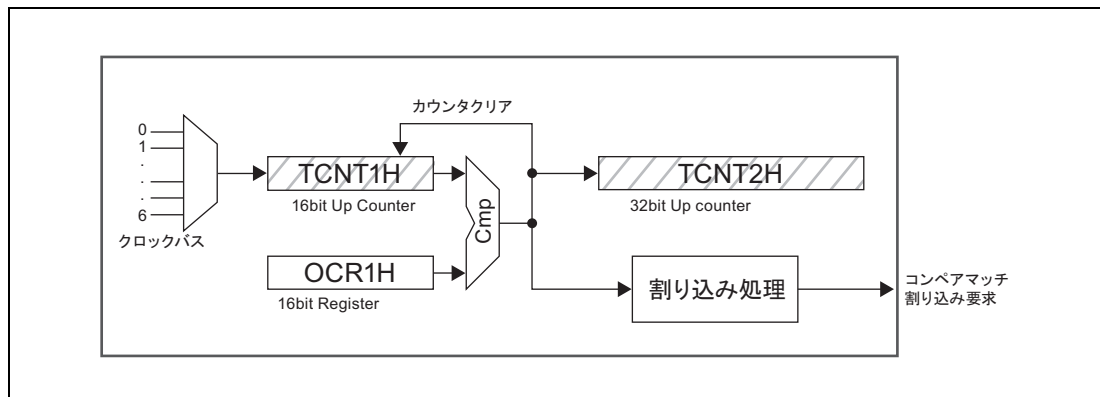


図 21.72 タイマ H の構成

割り込み要求

タイマ H は以下に示す 1 本の割り込み要求を出力することができます。

- コンペアマッチ割り込み要求(1本): TCNT1H と OCR1H とのコンペアマッチ発生により割り込みを出力します。

21.11.2 タイマH 関連レジスタ

21.11.2.1 TCRH — タイマコントロールレジスタ H

アクセス 8ビットアクセス可能

アドレス FFE6 0100_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|-------------|-----|-----|---|---|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | CKSELH[2:0] | | | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R | R | R | R |

表 21.146 TCRH レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------------|--|
| 7、3、2 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 6～4 | CKSELH[2:0] | タイマカウンタ 1H (TCNT1H) のクロックソースを指定します 000: クロックバス 0 001: クロックバス 1 010: クロックバス 2 011: クロックバス 3 100: クロックバス 4 101: クロックバス 5 110: クロックバス 6 111: 予約 |
| 3～0 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |

タイマコントロールレジスタ H (TCRH) は 8 ビットの読み出し/書き込み可能なレジスタです。タイマカウンタ 1H (TCNT1H) のカウントソースの選択を行います。

TCRH はリセット時に 00_H に初期化されます。

(1) CKSELH — クロックセレクト H

タイマカウンタ 1H (TCNT1H) のクロックソースを指定します。

このビットに“000”から“110”を指定することによって、クロックバス 0 からクロックバス 6 のいずれかをクロックソースとして選択することができます。このビットには“111”を指定しないでください。誤って指定した場合の動作は保証されません。

21.11.2.2 TSRH — タイマステータスレジスタ H

アクセス 8ビットアクセス可能

アドレス FFE6 0102_Hリセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|-------|-------|------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | OVF2H | OVF1H | CMFH |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 21.147 TSRH レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 7～3 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 2 | OVF2H | オーバーフローフラグ 2H 1: TCNT2H オーバーフロー発生 0: TCNT2H オーバーフローなし |
| 1 | OVF1H | オーバーフローフラグ 1H 1: TCNT1H オーバーフロー発生 0: TCNT1H オーバーフローなし |
| 0 | CMFH | コンペアマッチフラグ H 1: TCNT1H と OCR1H のコンペアマッチ発生 0: TCNT1H と OCR1H のコンペアマッチ発生なし |

タイマステータスレジスタ H (TSRH) は 8 ビットの読み出し専用のレジスタです。

タイマカウンタ 1H (TCNT1H) とコンペアマッチレジスタ 1H (OCR1H) とのコンペアマッチ発生、TCNT1H のオーバーフロー発生、32 ビットタイマカウンタ (TCNT2H) のオーバーフローの発生を示します。

これらのフラグはオーバーフロー、コンペアマッチ発生を示すステータスフラグであり、タイマステータスクリアレジスタ H (TSCRH) の対応するビットを設定することによりフラグをクリアすることができます。本フラグがセットされた状態で割り込み要因が発生した場合、再度割り込み要求が発生します。また、対応するタイマステータスクリアレジスタによるクリアと割り込み要因発生によるセットが競合した場合でも割り込み要求は発生します。

TSRH はリセット時に 00_H に初期化されます。

(1) OVF2H – オーバフローフラグ 2H

このフラグにより、タイマカウンタ 2H (TCNT2H) のオーバフローの状態を参照することができます。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

| OVF2H | 機能 |
|-------|---|
| 0 | [クリア条件] タイマステータスクリアレジスタ H (TSCRH) の OVFC2H に“1”を書き込んだとき (初期値) |
| 1 | [セット条件] TCNT2H の値がオーバフロー (FFFF FFFF _H → 0000 0000 _H) したとき |

TCNT2H への 0000 0000_H 書き込み、TCNT2H 初期値 (0000 0000_H) で起動しても OVF2H はセットされません。

カウンタ値が FFFF FFFF_H の状態で、カウントアップクロックと同時に TCNT2H への書き込みを行った場合、オーバフローフラグは“1”にセットされますが、TCNT2H 値は 0000 0000_H ではなく、書き込まれた値に更新されます。

(2) OVF1H – オーバフローフラグ 1H

このフラグにより、タイマカウンタ 1H (TCNT1H) のオーバフローの状態を参照することができます。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

| OVF1H | 機能 |
|-------|---|
| 0 | [クリア条件] タイマステータスクリアレジスタ H (TSCRH) の OVFC1H に“1”を書き込んだとき (初期値) |
| 1 | [セット条件] TCNT1H の値がオーバフロー (FFFF _H → 0000 _H) したとき |

TCNT1H への 0000_H 書き込み、TCNT1H 初期値 (0000_H) で起動しても OVF1H はセットされません。

カウンタ値が FFFF_H の状態で、カウントアップクロックと同時に TCNT1H への書き込みを行った場合、オーバフローフラグは“1”にセットされますが、TCNT1H 値は 0000 0000_H ではなく、書き込まれた値に更新されます。

(3) CMFH – コンペアマッチフラグ H

このフラグにより、TCNT1H と OCR1H とのコンペアマッチ検出状態を参照することができます。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

| CMFH | 機能 |
|------|--|
| 0 | [クリア条件] タイマステータスクリアレジスタ H (TSCRH) の CMFCH に“1”を書き込んだとき (初期値) |
| 1 | [セット条件] TCNT1H と OCR1H の値が一致したとき |

CMFH が 1 の状態 (フラグがクリアされていない状態) でも、次のコンペアマッチ処理は実施可能です。このとき CMFH には 1 がオーバライトされます。

21.11.2.3 TSCRH — タイマステータスクリアレジスタ H

アクセス 8ビットアクセス可能
 “0”書き込み無効。“1”書き込み時はデータは保持されません。読み出し値は常に“0”になります。

アドレス FFE6 0103_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|--------|--------|-------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | OVFC2H | OVFC1H | CMFCH |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R/W | R/W | R/W |

表 21.148 TSCRH レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|--|
| 7～3 | — | 何も配置されていません。“0”に固定してください。 |
| 2 | OVFC2H | オーバフローフラグクリア 2H イネーブル 0: 無効 (初期値) 1: OVFC2H に 0 を書き込む。 |
| 1 | OVFC1H | オーバフローフラグクリア 1H イネーブル 0: 無効 (初期値) 1: OVFC1H に 0 を書き込む。 |
| 0 | CMFCH | コンペアマッチフラグクリア H イネーブル 0: 無効 (初期値) 1: CMFCH に 0 を書き込む。 |

TSCRH は 8 ビットの読み出し／書き込み可能なレジスタで、オーバフロー、コンペアマッチの発生によるフラグのクリア設定をします。

TSCRH は 8 ビット単位でのみ読み出し／書き込みが可能です。ただし読み出した場合は常に“0”が読み出せます。

TSCRH はリセット時に 00_H に初期化されます。

(1) OVFC2H — オーバフローフラグクリア 2H イネーブル

タイマステータスレジスタ H (TSRH) のオーバフローフラグ 2H (OVFC2H) が“1”にセットされているとき、本レジスタに“1”を書き込むと OVFC2H を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(2) OVFC1H — オーバフローフラグクリア 1H イネーブル

タイマステータスレジスタ H (TSRH) のオーバフローフラグ 1H (OVFC1H) が“1”にセットされているとき、本レジスタに“1”を書き込むと OVFC1H を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

(3) CMFCH — コンペアマッチフラグクリア H イネーブル

タイマステータスレジスタ H (TSRH) のコンペアマッチフラグ H (CMFCH) が“1”にセットされているとき、本レジスタに“1”を書き込むと CMFCH を“0”にクリアすることができます。読み出した場合は常に“0”が読み出せます。

21.11.2.4 TCNT1H — タイマカウンタ 1H

アクセス 16ビットアクセス可能 8ビットアクセス禁止

アドレス FFE6 0104_Hリセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TCNT1H[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.149 TCNT1H レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------|----------------------------|
| 15 ~ 0 | TCNT1H[15:0] | タイマカウンタ 1H 16ビットアップカウンタ |

タイマカウンタ 1H (TCNT1H) は 16 ビットの読み出し／書き込み可能なレジスタです。8 ビットアクセスは禁止です。

ATU-IV マスタイネーブルレジスタ (ATUENR) の THE ビットが“1”にセットされている場合のみ動作可能です。タイマコントロールレジスタ H (TCRH) によって選択された入力クロックによりアップカウント動作を行います。

オーバフロー (FFFF_H → 0000_H) を発生すると、タイマステータスレジスタ H (TSRH) のオーバフローフラグ 1H (OVFIH) が“1”にセットされます。

TCNT1H カウンタ値はコンペアマッチレジスタ 1H (OCR1H) と比較されており、値が一致すると、次の内部クロック (PCLK) でコンペアマッチステータス (TSRH レジスタの CMFH ビット) がセットされ、TCNT1H カウンタ値は 0000_H にクリアされます。ただし、コンペアマッチによるカウンタのクリアとカウントアップのタイミングが一致する場合のみ、TCNT1H は 0001_H にクリアされます (TCNT1H が P ϕ の 1 分周クロックでカウントする場合のみ起こります)。このコンペアマッチにより、CPU へ割り込み要求を出力をすることができます。

またコンペアマッチと同時にタイマカウンタ 2H (TCNT2H) はカウントアップを行います。

TCNT1H はリセット時に 0000_H に初期化されます。

21.11.2.5 OCR1H — コンペアマッチレジスタ 1H

アクセス 16ビットアクセス可能 8ビットアクセス禁止

アドレス FFE6 0106_H

リセット後の値 FFFF_H

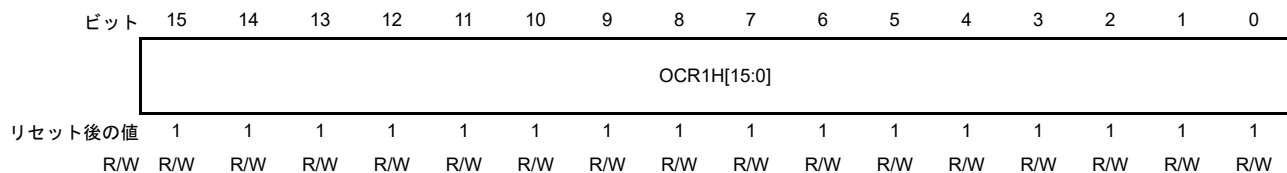


表 21.150 OCR1H レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|---------------------------|
| 15 ~ 0 | OCR1H[15:0] | コンペアマッチ 1H コンペアマッチ値を指定 |

コンペアマッチレジスタ 1H (OCR1H) は 16 ビットの読み出し／書き込み可能なレジスタです。タイマカウンタ 1H (TCNT1H) に対するアウトプットコンペアレジスタの機能を持っています。次の周期でコンペアマッチが発生します。

コンペアマッチ発生周期 = TCNT1H カウントクロック周期 (TCRH レジスタの CKSELH ビットで設定) × OCR1H 値

この周期で TCNT2H はカウントアップを行います。また、CPU へ割り込みを要求を出力します。

OCR1H には 0000_H を設定しないでください。0000_H を設定した場合、不正な周期でコンペアマッチが発生することになりますのでご注意ください。

リセットによって FFFF_H に初期化されます。

21.11.2.6 TCNT2H — タイマカウンタ 2H

アクセス 32ビットアクセス可能 8ビットアクセス／16ビットアクセス禁止

アドレス FFE6 0108_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TCNT2H | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TCNT2H | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.151 TCNT2H レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|--------------------------|
| 31～0 | TCNT2H | タイマカウンタ 2H 32ビットカウンタ値 |

タイマカウンタ 2H (TCNT2H) は 32 ビットの読み出し／書き込み可能なレジスタです。16 ビット単位、8 ビット単位での読み出し、書き込みは禁止です。

タイマカウンタ 1H (TCNT1H) とコンペアマッチレジスタ 1H (OCR1H) とのコンペアマッチ検出信号によってカウントアップ動作を行います。

ATU-IV マスタイネーブルレジスタ (ATUENR) の THE ビットが“1”にセットされている場合のみ動作可能です。

TCNT2H がオーバーフロー (FFFF FFFF_H → 0000 0000_H) を発生すると、タイマステータスレジスタ H (TSRH) のオーバーフローフラグ 2H (OVF2H) が“1”にセットされます。

TCNT2H はリセット時に 0000 0000_H に初期化されます。

21.11.3 動作説明

コンペアマッチレジスタ 1H (OCR1H) に時間を指定すると、指定した時間経過後に TCNT1H とのコンペアマッチによりコンペアマッチステータス (TSRH レジスタの CMFH ビット) がセットされます。同時にタイマカウンタ 2H (TCNT2H) がカウントアップし、タイマカウンタ 1H (TCNT1H) は 0000_H にクリアされます。

TCNT1H のカウントクロックはクロックバスから TCRH レジスタによって選択します。ATUENR レジスタの THE ビットが 1 のとき、TCNT1H、TCNT2H は動作可能となります。カウンタ動作中に THE ビットを 0 にした場合、TCNT1H、TCNT2H はその状態を保持したまま停止します。再び THE ビットを 1 にすると、停止した状態からカウントを再開します。コンペアマッチレジスタ 1H (OCR1H) のコンペアマッチにより、CPU に割り込み要求の出力が可能です。

以下に動作例を示します。ここで“TCNT1H カウントクロック”は、カウンタ TCNT1H がカウント動作やクリア動作を行うタイミングを示した仮想的な信号です。

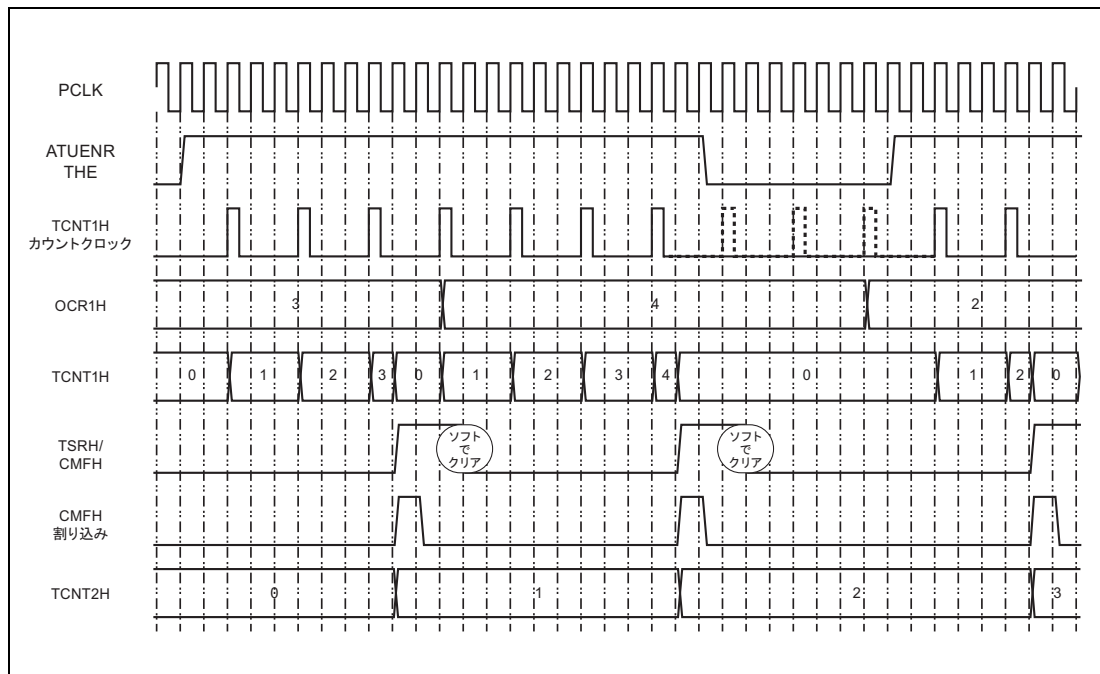


図 21.73 タイマ H 動作

21.12 タイマ J

21.12.1 動作概要

タイマ J ブロックは、4 個のサブブロックによって構成されます。

タイマ J サブブロックは入力クロックをカウントし、所定の時間を繰り返し計測するカウンタです。

32 ビットカウンタ (TCNTJx) はクロックバス上の 7 本から選択したクロックによりカウントアップを行います。TCNTJx は、TIJx 端子のエッジ入力によってクリアされます。また、タイマ J は 9 段 (32bit × 9) の FIFO レジスタを持っており、エッジ入力ごと、FIFO に TCNTJx 値を取り込むことができます。FIFO レジスタがフルになったタイミングで DMAC の起動、および CPU へ割り込み要求が可能です。

そのほか、FIFO レジスタの有効期間をコンペアマッチレジスタ (OCRJx) でのコンペアマッチ後、FIFO レジスタがフルになるまでの間と制御することが可能です。

外部信号入力端子 (TIJx) からの入力は、入力キャンセル機能を使用してノイズをキャンセルすることができます。

構成

タイマ J サブブロックは、1 本の 32 ビットカウンタ (TCNTJx) と、1 本のコンペアマッチレジスタ (OCRJx)、9 段の FIFO レジスタ (32 ビット × 9)、入力処理部 (エッジ検出、ノイズキャンセラ)、および制御部などで構成されています。

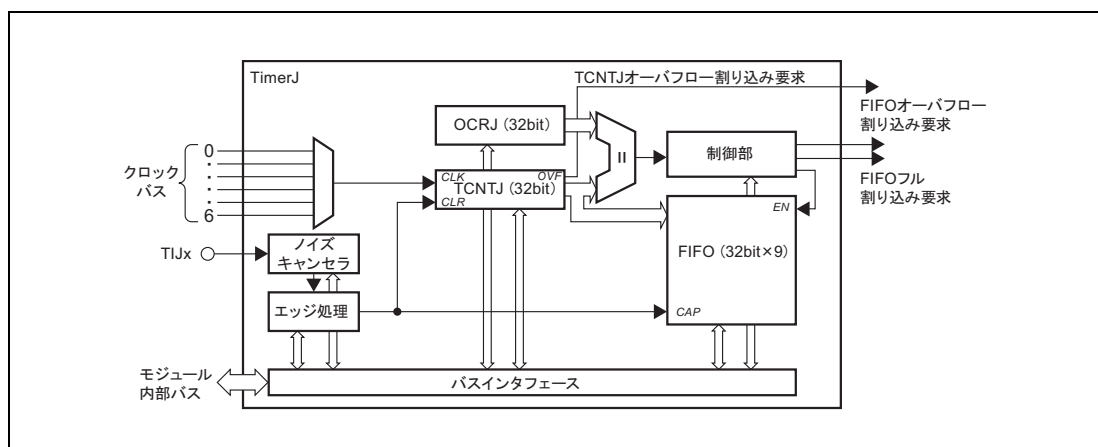


図 21.74 タイマ J サブブロックの構成

21.12.2 タイマ J 関連レジスタ

21.12.2.1 TSTRJ — タイマスタートレジスタ J

| | | | | | | | | |
|---------|------------------------|---|---|---|-------|-------|-------|-------|
| アクセス | 8ビットアクセス可能 | | | | | | | |
| アドレス | FFE6 3C00 _H | | | | | | | |
| リセット後の値 | 00 _H | | | | | | | |
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | STRJ3 | STRJ2 | STRJ1 | STRJ0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 21.152 TSTRJ レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------------|--|
| 7 ~ 4 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 3 ~ 0 | STRJ3 ~ STRJ0 | カウンタ J スタートビット 0 : TCNTJx のカウント動作を停止 1 : TCNTJx のカウント動作を許可 |

備考 xは0～3の整数。

タイマスタートレジスタ J (TSTRJ) は8ビットの読み出し／書き込み可能なレジスタで、タイマ J に含まれる各サブブロック (タイマ J_x) を動作させるか停止させるかを指定します。ただし、タイマ J のスタートビットをカウント動作許可に設定していても、ATU-IV 制御レジスタ (ATUENR) の TJE ビットがイネーブルに設定されていなければカウント動作は行われません。

TSTRJ はリセット時に 00_H に初期化されます。

(1) STRJx — カウンタ J スタートビット

タイマサブブロック J_x のタイマカウンタ J_x (TCNTJ_x) を動作させるか、停止させるかを設定します。

このビットを“0”にクリアした場合、TCNTJ_x は動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを“1”にセットした場合には、その値から動作を再開します。

カウンタ J スタートビットを“1”にセットしても、ATU-IV イネーブルレジスタの TJE ビットがセットされていなければカウント動作は開始されません。

注 意

プリスケアラは、カウンタ J スタートビットの設定に関係なく動作しており、上記カウンタの動作開始時にも初期化は行われません。したがって起動から実際に上記カウンタがカウント動作を開始するまでの時間には、選択されたカウントソースの周期 (分解能) 以下のハードウェア的な不確定さがともないます。

21.12.2.2 TCRJx — タイマコントロールレジスタ Jx

(x = 0, 1, 2, 3 : サブブロック J0 ~ J3 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 3C20_H + (20_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|---|--------------|-----|-----|---|-------|------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | CKSELJx[2:0] | | | — | NCEJx | IOJx | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R | R/W | R/W | R/W |

表 21.153 TCRJx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|---|
| 7、3 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 6 ~ 4 | CKSELJx | クロックセレクト Jx タイマカウンタ Jx (TCNTJx) のクロックソースを指定します 000 : クロックバス 0 001 : クロックバス 1 010 : クロックバス 2 011 : クロックバス 3 100 : クロックバス 4 101 : クロックバス 5 110 : クロックバス 6 111 : 予約 |
| 2 | NCEJx | ノイズキャンセライネーブル Jx 0 : TIJx 入力のノイズキャンセラ機能を無効にする 1 : TIJx 入力のノイズキャンセラ機能を有効にする |
| 1、0 | IOJx | I/O コントロール Jx 00 : TIJx のインプットキャプチャ禁止 01 : TIJx の立ち上がりでインプットキャプチャ 10 : TIJx の立ち下がりでインプットキャプチャ 11 : TIJx の立ち上がり/立ち下がり両エッジでインプットキャプチャ |

タイマコントロールレジスタ Jx (TCRJx) は 8 ビットの読み出し/書き込み可能なレジスタで、タイマ J に含まれる各サブブロック (タイマ Jx) の動作モードを指定します。

TCRJx はリセット時に 00_H に初期化されます。

(1) CKSELJx — クロックセレクト Jx

タイマサブブロック Jx のタイマカウンタ Jx (TCNTJx) のクロックソースを指定します。

このビットに“000”から“110”を指定することによって、クロックバス 0 からクロックバス 6 のいずれかをクロックソースとして選択することができます。

このビットには“111”を指定しないでください。誤って指定した場合の動作は保証されません。

(2) NCEJx — ノイズキャンセライネーブル Jx

外部入力 TIJx に対してノイズキャンセル機能の有効/無効を選択します。

これらのビットを“1”にセットしたあと、外部入力 TIJx のレベル変化を検出すると、共通制御部内のノイズキャンセルモードレジスタ (NCMR) の設定に合わせて、後続エッジキャンセルモード、あるいは先行エッジキャンセルモード、またはレベル積算キャンセルモードのいずれかの処理を開始します。

後続エッジキャンセルモードでは、入力信号のレベル変化を検出すると、ノイズキャンセル

後の信号として、その変化を出力します。また同時に、対応するノイズキャンセルカウンタ J_x (NCNTJ $_x$) がアップカウントを開始します。このノイズキャンセルカウンタがノイズキャンセルレジスタ J_x (NCRJ $_x$) の値とコンペアマッチするまでの間、入力信号のレベル変化はマスクされます。コンペアマッチ時には、そのときの入力信号のレベルがノイズキャンセル後の信号として出力されます。

NCNTJ $_x$ がカウント動作中にこれらのビットを“0”クリアした場合、クリア後もコンペアマッチするまでカウント動作は停止せず、その間も入力信号のレベル変化はマスクされつづけます。

先行エッジキャンセルモードでは、入力信号のレベル変化を検出すると、対応するノイズキャンセルカウンタ J_x (NCNTJ $_x$) がアップカウントを開始します。NCNTJ $_x$ の値がノイズキャンセルレジスタ J_x (NCRJ $_x$) の値とコンペアマッチするまでの間に入力信号のレベルに変化がなければ、コンペアマッチタイミングで初めてレベル変化をノイズキャンセル後の信号として出力します。コンペアマッチまでに入力信号レベルが変化した場合はノイズとみなされ、ノイズキャンセラは入力信号のレベル変化がなかったものとしてノイズキャンセル後の信号を変化させません。

NCNTJ $_x$ がカウント動作中にこれらのビットを“0”クリアした場合、クリア後もコンペアマッチするか、あるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

レベル積算キャンセルモードでは、入力信号のレベルにしたがい対応するノイズキャンセルカウンタ J_x (NCNTJ $_x$) がアップ/ダウンカウントを行います。入力ハイレベルでアップカウント、入力ローレベルでダウンカウントとなります。アップカウントはノイズキャンセルカウンタがノイズキャンセルレジスタ J_x (NCRJ $_x$) の値とコンペアマッチするまでの間、ダウンカウントはノイズキャンセルカウンタが 0000 $_H$ にコンペアマッチするまで続きます。アップカウントでコンペアマッチ (NCRJ $_x$) するとノイズキャンセラ出力を 1 に更新します。また、ダウンカウントでコンペアマッチ (0000 $_H$) するとノイズキャンセラ出力を 0 に更新します。

先行エッジキャンセルモード並びに後続エッジキャンセルモードにおいて、レベル変化の検出は選択したノイズキャンセルクロックにかかわらず常に $P\phi$ によって行われます。レベル積算キャンセルモードにおいて、入力レベルのサンプリングはノイズキャンセラ用クロックによって行われます。

各キャンセルモードの動作例は、[図 21.1](#) および [図 21.2](#)、[図 21.3](#) を参照してください。

(3) IOJ $_x$ — I/O コントロール J_x

インプットキャプチャのトリガとなる外部入力 TIJ $_x$ のエッジ検出を選択します。これらのビットを“00”にセットした場合、インプットキャプチャ動作は行われません。“01, 10, 11”にセットしたとき、選択したエッジを検出すると、タイマカウンタ J_x (TCNTJ $_x$) の値が、対応する FIFO レジスタ J_x (FIFOJ $_x$) に転送されます。

エッジ検出は、ノイズキャンセラ通過後の信号に対して行われます。ノイズキャンセル機能が無効であれば外部入力 (TIJ $_x$) に対して、ノイズキャンセル機能が有効であればノイズキャンセル後の信号に対してエッジ検出が行われることとなります。

エッジの検出は、PCLK に同期して行われます。また、外部入力信号の周期が、PCLK 周期の 2 倍以上なければ正しくエッジ検出が行われませんのでご注意ください。

21.12.2.3 FCRJx — FIFO コントロールレジスタ Jx

(x = 0, 1, 2, 3 : サブブロック J0 ~ J3 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 3C21_H + (20_H * x)リセット後の値 00_H

| | | | | | | | | |
|---------|----------|---|----------|-------------------|---|---|----------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | FIFOENJx | — | FVCRENJx | FRSTJx | — | — | FDFTRGJx | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R | R/W | R/W ^{注1} | R | R | R/W | R/W |

注1. “0”書き込み無効。“1”書き込み時はデータは保持されません。読み出し値は常に“0”になります。

表 21.154 FCRJx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|--|
| 6、3、2 | — | 何も配置されていません。読み出した場合は“0”が読み出されます。書き込みの場合は必ず“0”を書き込んでください。 |
| 7 | FIFOENJx | FIFO レジスタイネーブル Jx FIFO レジスタ Jx (FIFOJx) の有効/無効を制御します 0 : FIFO レジスタ Jx は無効 1 : FIFO レジスタ Jx は有効 |
| 5 | FVCRENJx | FIFO 有効化制御イネーブル Jx FIFO レジスタの有効期間を制御するかどうかを指定します。 0 : OCRJx でのコンペアマッチで FIFO を有効にしない 1 : OCRJx のコンペアマッチ後、FIFO フルまで FIFO レジスタを有効にする |
| 4 | FRSTJx | FIFO レジスタリセット Jx FIFO レジスタ内のデータを無効にし、FIFO を空の状態にリセットします。 0 : 何もしない。 1 : FIFO レジスタをリセットする。 |
| 1、0 | FDFTRGJx | FIFO データフルトリガ Jx タイマ J ステータスレジスタの FDFJx をセットする基準となるデータ数を指定します。 00 : 9 個 01 : 6 個 10 : 4 個 11 : 2 個 |

FIFO コントロールレジスタ Jx (FCRJx) は 8 ビットの読み出し/書き込み可能なレジスタで、タイマ J に含まれる各サブブロック (タイマ Jx) の FIFO レジスタ動作を制御します。

FCRJx はリセット時に 00_H に初期化されます。

(1) FIFOENJx — FIFO レジスタイネーブル Jx

タイマサブブロック Jx の FIFO レジスタ Jx (FIFOJx) の有効/無効を設定します。

このビットが“0”で FIFO レジスタが無効となっていれば、TIJx 端子にエッジ入力があっても、TCNTJx 値は FIFO レジスタに取り込まれません。

ただし、FVCRENJx が“1”に設定されている場合は、このビット (FIFOENJx) が“0”であっても、OCRJx コンペアマッチ後、FIFO がフル (FDFTRGJx ビットによって FIFO フルとするデータ数は設定可能) になるまでの間は、エッジ入力ごとに TCNTJx 値を FIFO レジスタに取り込みます。また、FVCRENJx = 1、かつ FIFOENJx = 1 の場合は、FIFOENJx の設定が優先されます。

(2) FVCRENJx — FIFO 有効化制御イネーブル Jx

FVCRENJx = 1 かつ FIFOENJx = 0 の場合、タイマカウンタ Jx (TCNTJx) とコンペアマッチレジスタ Jx (OCRJx) のコンペアマッチタイミングから、FIFO がフル (FDFTRGJx によってフルとする基準は設定可能) になるまでの間、FIFO レジスタを有効にすることができます。なお、FIFOENJx が “1” であれば、このビット (FVCRENJx) の設定にかかわらず、常に FIFO レジスタは有効になります。

(3) FRSTJx — FIFO レジスタリセット Jx

FRSTJx に 1 を書いた場合、FIFO レジスタ内のキャプチャデータを無効にし、データが空の状態に FIFO レジスタと FDNRJx がリセットされます。ただし、FIFO レジスタはリセットされても、“1” にセットされた FDFJx、FDOVFJx のクリアは行いません。また、TSRJx.FVLDFJx もクリアされません。

(4) FDFTRGJx — FIFO データフルトリガ Jx

タイムステータスレジスタ Jx (TSRJx) の FDFJx をセットする基準となるデータ数を指定します。FIFO レジスタが有効であるとき、FIFO レジスタに格納されたキャプチャデータが設定トリガ数以上になったとき、FDFJx は “1” にセットされます。また、FIFOENJx が “0”、FVCRENJx が “1” であり、TCNTJx と OCRJx のコンペアマッチによって FIFO レジスタが有効になっていれば、キャプチャデータが設定データ数以上になったとき、FIFO レジスタは無効になります。

注 意

FRCRjx = 20_H 設定時は、FIFO フル割り込み処理内で FIFOJx レジスタからキャプチャデータを 9 個分リード後、FIFO レジスタをリセット (本レジスタの FRSTJx ビットに 1 をライト) し FIFO フル割り込み要求フラグを 0 にクリア*して下さい。

*FIFO フル割り込み要求フラグの 0 クリア手順は以下の通りです。

1. 割り込みコントローラの FIFO フル割り込み要求フラグ (EICx レジスタの EIRFx ビット) に 0 をライトする。
2. 上記 1 のレジスタのダミーリードする。
3. SYNCMP 命令を実行する。

21.12.2.4 TSRJx — タイマステータスレジスタ Jx

(x = 0, 1, 2, 3 : サブブロック J0 ~ J3 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 3C22_H + (20_H * x)リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---------|-------|-------|---------|-------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | FVLDFJx | CMFJx | OVFJx | FDOVFJx | FDFJx |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 21.155 TSRJx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 7 ~ 5 | — | 何も配置されていません。“0”に固定してください。 |
| 4 | FVLDFJx | FIFO ステータスフラグ Jx 0 : FIFO レジスタが有効状態でない 1 : FIFO レジスタが有効状態である |
| 3 | CMFJx | コンペアマッチフラグ Jx 0 : OCRJx と TCNTJx のコンペアマッチなし 1 : OCRJx と TCNTJx のコンペアマッチが発生 |
| 2 | OVFJx | オーバフローフラグ Jx 0 : TCNTJx にオーバフローなし 1 : TCNTJx にオーバフロー発生 |
| 1 | FDOVFJx | FIFO データオーバフローフラグ Jx 0 : FIFO 内のデータは正常であることを示す。 1 : FIFO が9個のキャプチャデータで埋まっている状態で、次のキャプチャが起こったことを示す。 |
| 0 | FDFJx | FIFO データフルフラグ Jx 0 : FIFO 内のデータ数が FDFTRGJx の設定値より少ないことを示す。 1 : FIFO 内のデータ数が FDFTRGJx の設定値以上であることを示す。 |

タイマステータスレジスタ Jx (TSRJx) は8ビットの読み出し専用のレジスタで、タイマカウンタ Jx (TCNTJx) のオーバフローの発生、コンペアマッチレジスタ Jx (OCRJx) でのコンペアマッチの発生を示します。また、FIFO レジスタの状態も示しており、FIFO レジスタがオーバフローしたこと、FIFO レジスタ内のデータが設定値以上になったことを示すフラグがあります。

FIFO ステータスフラグ、コンペアマッチフラグは FIFO のステータス、およびタイマのコンペアマッチの発生を示すステータスフラグです。割り込み要求を発生させることはできません。オーバフローフラグ、FIFO データオーバフローフラグ、FIFO データフルフラグは割り込み要求発生ステータスフラグです。これらのフラグはタイマステータスクリアレジスタ Jx (TSCRJx) の対応するビットを設定することによりフラグをクリアすることができます。本フラグがセットされた状態で割り込み要因が発生した場合、再度割り込み要求を発生します。また、対応するタイマステータスクリアレジスタによるクリアと割り込み要因発生によるセットが競合した場合でも割り込み要求は発生します。

TSRJ はリセット時に 00_H に初期化されます。

(1) FVLDFJx — FIFO ステータスフラグ Jx

FIFO レジスタの有効/無効状態を示すフラグです。このフラグは読み出し専用であり、ソフトで“1”または“0”にセットすることはできません。

このフラグの読み出し値が“1”であるとき、フラグに対応する FIFO レジスタ Jx (FIFOJx) が有効状態であることが分かります。このとき、TIJx 端子のエッジ入力によって、TCNTJx 値を FIFO レジスタに取り込みます。

FIFOENJx ビットが“1”であれば、FVLDFJx は常に“1”となります。FIFOENJx ビットが“0”であり、FVCRENJx が“1”であるときは、TCNTJx と OCRJx のコンペアマッチによって FVLDFJx が“1”にセットされ、FIFO レジスタがフルになる (FDFTRGJx で設定したデータ数と一致する) と“0”にクリアされます。FIFOENJx、FVCRENJx の両方が“0”であれば、FVLDFJx は常に“0”となります。

- 1 セット条件
 - ① FIFOENJx を“1”にセットしたとき。
 - ② FIFOENJx が“0”で、FVCRENJx が“1”の場合、OCRJx でコンペアマッチが発生したとき。
- 0 クリア条件
 - ① FIFOENJx を“0”にクリアしたとき。
 - ② FIFOENJx が“0”で、FVCRENJx が“1”の場合、FIFO レジスタに FDFTRGJx の設定値以上のキャプチャデータが格納されたとき。

(2) CMFJx — コンペアマッチフラグ Jx

TCNTJx と OCRJx とのコンペアマッチ検出を示すステータスフラグです。このフラグの読み出し値が“1”であるとき、フラグに対応するコンペアマッチレジスタ Jx (OCRJx) でコンペアマッチが発生したことを示します。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1 セット条件

TCNTJx の値と OCRJx の値が一致したとき。
- 0 クリア条件

タイマステータスクリアレジスタ J (TSCRx) の CMFCJx に“1”を書き込んだとき。

(3) OVJx — オーバフローフラグ Jx

タイマカウンタ Jx (TCNTJx) のオーバフローの発生を示すステータスフラグです。このフラグの読み出し値が“1”であるとき、TCNTJx でオーバフローが発生したことを示します。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1 セット条件

TCNTJx の値がオーバフロー (FFFF FFFF_H → 0000 0000_H) したとき。
- 0 クリア条件

タイマステータスクリアレジスタ Jx (TSCRJx) の OVFCJx に“1”を書き込んだとき。

(4) FDOVFJx — FIFO データオーバフローフラグ Jx

FIFO レジスタにキャプチャデータが9個埋まっている状態で、次のキャプチャが発生したことを示すステータスフラグです。このフラグの読み出し値が“1”であるとき、FIFOJxでデータのオーバフローが発生し、キャプチャデータが失われたことがわかります。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1セット条件
FIFOJxに9個のキャプチャデータが格納された状態で、次のキャプチャ動作が行われたとき。
- 0クリア条件
タイマステータスクリアレジスタ Jx (TSCRJx) の FDOVFCJx に“1”を書き込んだとき。

(5) FDFFJx — FIFO データフルフラグ Jx

FIFO レジスタに FIFO コントロールレジスタ Jx (FCRJx) の FDFTRGJx ビットで指定した数以上のキャプチャデータが格納されたことを示すステータスフラグです。このフラグの読み出し値が“1”であるとき、FIFOJx内に指定値以上のキャプチャデータが格納されており、FIFO レジスタからキャプチャデータを読み出すことが可能であることが分かります。このフラグをソフトウェアにより“1”または“0”にセットすることはできません。

- 1セット条件
FIFOJxにFTRGJxビットの指定値以上のキャプチャデータが格納される時。
- 0クリア条件
タイマステータスクリアレジスタ J (TSCRJx) の FDFFCJx に“1”を書き込んだとき。
ただし、FIFOJx内のキャプチャデータを読み出すことによって、FIFOレジスタ内の格納データをFDFTRGJxビットで指定した数よりも少なくしておく必要があります。

21.12.2.5 TSCRJx — タイマステータスクリアレジスタ Jx

(x = 0, 1, 2, 3 : サブブロック J0 ~ J3 に対応)

アクセス 8ビットアクセス可能
 “0”書き込み無効。“1”書き込み時はデータは保持されません。読み出し値は常に“0”になります。

アドレス FFE6 3C23_H + (20_H * x)

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|--------|--------|----------|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | CMFCJx | OVFCJx | FDOVFCJx | FDFFCJx |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 21.156 TSCRJx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 ~ 4 | — | 何も配置されていません。“0”に固定してください。 |
| 3 | CMFCJx | コンペアマッチフラグクリア Jx イネーブル 0 : 無効 (初期値) 1 : CMFJx に “0” を書き込む |
| 2 | OVFCJx | オーバフローフラグクリア Jx イネーブル 0 : 無効 (初期値) 1 : OVJx に “0” を書き込む |
| 1 | FDOVFCJx | FIFO データオーバフローフラグクリア Jx イネーブル 0 : 無効 (初期値) 1 : FDOVJx に “0” を書き込む |
| 0 | FDFFCJx | FIFO データフルフラグクリア Jx イネーブル 0 : 無効 (初期値) 1 : FDFJx に “0” を書き込む |

タイマステータスクリアレジスタ Jx (TSCRJx) は 8 ビットの読み出し/書き込み可能なレジスタで、コンペアマッチ、オーバフロー、FIFO レジスタのデータオーバフロー、データフルの発生によるフラグのクリア設定をします。

TSCRJx は 8 ビット単位でのみ読み出し/書き込みが可能です。ただし、読み出した場合には常に “0” が読み出せます。

TSCRJx はリセット時に 00_H に初期化されます。

(1) CMFCJx — コンペアマッチフラグクリア Jx イネーブル

タイマステータスレジスタ Jx (TSRJx) のコンペアマッチフラグ Jx (CMFJx) が “1” にセットされているとき、本レジスタに “1” を書き込むと CMFJx を “0” にクリアすることができます。読み出した場合には常に “0” が読み出せます。

(2) OVFCJx — オーバフローフラグクリア Jx イネーブル

タイマステータスレジスタ Jx (TSRJx) のオーバフローフラグ Jx (OVJx) が “1” にセットされているとき、本レジスタに “1” を書き込むと OVJx を “0” にクリアすることができます。読み出した場合には常に “0” が読み出せます。

(3) FDOVFCJx — FIFO データオーバーフローフラグクリア Jx イネーブル

タイムステータスレジスタ Jx (TSRJx) の FIFO データオーバーフローフラグ Jx (FDOVFJx) が “1” にセットされているとき、本レジスタに “1” を書き込むと FDOVFJx を “0” にクリアすることができます。読み出した場合には常に “0” が読み出せます。

(4) FDFFCJx — FIFO データフルフラグクリア Jx イネーブル

タイムステータスレジスタ Jx (TSRJx) の FIFO データフルフラグ Gx (FDFJx) が “1” にセットされているとき、本レジスタに “1” を書き込むと FDFJx を “0” にクリアすることができます。ただし、FIFOJx 内のキャプチャデータを読み出すことによって、FIFO レジスタ内の格納データを FDFTRGJx ビットで指定した数よりも少なくしておく必要があります。

21.12.2.6 TCNTJx — タイマカウンタ Jx

(x = 0, 1, 2, 3 : サブブロック J0 ~ J3 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 3C24_H + (20_H * x)リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|---------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TCNTJx[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TCNTJx[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.157 TCNTJx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------|-----------------------|
| 31 ~ 0 | TCNTJx | タイマカウンタ Jx アップカウンタ |

タイマカウンタ Jx (TCNTJx) は 32 ビットの読み出し/書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、入力クロックにより TSTRJ.STRJx = 1 の時にアップカウント動作を行います。対応するコントロールレジスタの設定に応じて、入力クロックにクロックバス 0 ~ 6 のいずれかを選ぶことができます。また、TIJx 端子のエッジ入力によって、カウント値は 0000 0000_H にクリアされます。ただし、TIJx 端子のエッジ入力によるクリアとカウントアップのタイミングが競合する場合のみ、TCNTJx は 0000 0001_H にクリアされます。タイマカウンタのオーバフローにより、CPU へオーバフロー割り込み要求を出力することができます。

TCNTJx はリセット時に 0000 0000_H に初期化されます。

21.12.2.7 OCRJx — コンペアマッチレジスタ Jx

(x = 0, 1, 2, 3 : サブブロック J0 ~ J3 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 3C28_H + (20_H * x)リセット後の値 FFFF FFFF_H

| | | | | | | | | | | | | | | | | |
|---------|--------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | OCRJx[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OCRJx[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.158 OCRJx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|---------------------------|
| 31 ~ 0 | OCRJx | コンペアマッチ Jx コンペアマッチ値を指定 |

コンペアマッチレジスタ Jx (OCRJx) は 32 ビットの読み出し/書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、タイマカウンタ Jx に対するアウトプットコンペアレジスタの機能を持っています。

OCRJ0 ~ OCRJ3 はリセット時に FFFF FFFF_H に初期化されます。

FIFO コントロールレジスタ Jx (FCRJx) の FIFOENJx が “0”、FVCRENJx が “1”、TSTRJ.STRJx が “1” のとき、TCNTJx と OCRJx のコンペアマッチによって FIFO レジスタは有効状態 (FVLDFJx に “1” セット) となります。

21.12.2.8 FIFOJx — FIFO レジスタ Jx

(x = 0, 1, 2, 3 : サブブロック J0 ~ J3 に対応)

アクセス 32ビットアクセス可能 8ビット/16ビットアクセス禁止

アドレス FFE6 3C2C_H + (20_H * x)リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | FIFODJx[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | FIFODJx[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 21.159 FIFOJx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------|--------------------------------|
| 31 ~ 0 | FIFODJx | FIFO データ Jx FIFO レジスタの格納データ |

FIFO レジスタ Jx (FIFOJx) は 32 ビットの読み出し専用レジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、タイマカウンタ Jx (TCNTJx) 9 個分のキャプチャデータを格納できます。CPU は、FIFOJx から読み出しはできますが、書き込みはできません。FIFOJx にキャプチャデータがない状態でデータを読み出した場合、読み出し値は不定になります。

FIFO レジスタに 9 個のキャプチャデータが格納された状態 (= FDNRJx が 9 の場合) で、それ以降にキャプチャが発生するタイミングで、CPU へ FIFO データオーバフロー割り込み要求を出力することができます。このとき、新たなキャプチャデータは失われます。新たなキャプチャが発生する前に FIFO レジスタの値を読み出して、空き領域を確保するように (= FDNRJx を 9 未満に) してください。

21.12.2.9 FDNRJx — FIFO データ数レジスタ Jx

(x = 0, 1, 2, 3 : サブブロック J0 ~ J3 に対応)

アクセス 8ビットアクセス可能

アドレス FFE6 3C30_H + (20_H * x)リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|-------|---|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | FDNJx | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 21.160 FDNRJx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|---|
| 7 ~ 4 | — | 何も配置されていません。“0”に固定してください。 |
| 3 ~ 0 | FDNJx | FIFO データ数 Jx FIFO レジスタ内に格納されたキャプチャデータ数を示します。 0 _H ~ 9 _H の値をとります。0 _H はキャプチャデータが存在しないことを、9 _H はキャプチャデータで FIFOJx が埋まっていることを示します。 |

注 1. 読み出し専用のレジスタであり、このレジスタへの書き込みはすべて無視されます。

FIFO データ数レジスタ Jx (FDNRJx) は 8 ビットの読み出し専用レジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、FIFOJx に格納されているキャプチャデータの数を示します。このレジスタに値を書きこむことはできません。

FIFO レジスタへのキャプチャが行われると FIFO データ数は“1”インクリメントし、FIFO レジスタからの読み出し (1 データリード) が行われると“1”デクリメントされます。

FIFO コントロールレジスタ Jx (FCRJx) の FRSTJx ビットで FIFO レジスタをリセットすると、FIFO データ数も 0_H にリセットされます。

21.12.2.10 NCNTJx — ノイズキャンセルカウンタ Jx

(x = 0, 1, 2, 3 : サブブロック J0 ~ J3 に対応)

アクセス 16ビットアクセス可能 8ビットアクセス禁止

アドレス FFE6 3C34_H + (20_H * x)

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | NCNTJx | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 21.161 NCNTJx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------|-------------------------------|
| 15 ~ 0 | NCNTJx | ノイズキャンセルカウンタ Jx 16ビットカウント値 |

ノイズキャンセルカウンタ Jx (NCNTJx) は 16 ビットの読み出し、書き込み可能なレジスタです。

タイマコントロールレジスタ Jx (TCRJx) のノイズキャンセライネーブルビット (NCEJx) でノイズキャンセラ機能を有効にしたとき、後続エッジキャンセルモードおよび先行エッジキャンセルモードでは外部入力端子 (TIJx) からの信号をトリガとして、アップカウント動作を行います。プリスケアラから供給されるノイズキャンセラ用カウントクロックをカウントソースとして動作します。レベル積算キャンセルモードでは外部入力のレベルにしたがいアップ/ダウンカウントを行います。

NCNTJx は 16 ビット単位でのみ読み出し/書き込みが可能です。

NCNTJx はリセット時に 0000_H に初期化されます。

共通制御部にあるノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードセレクトビット (NCMSEL)、タイマ J ノイズキャンセルモードビット (NCMJ) の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行います。

- 後続エッジキャンセルモード

NCEJx ビットが“1”であり NCNTJx がカウント停止しているとき、TIJx の入力信号レベルが変化すると、NCNTJx はアップカウント動作を開始します。カウント値がノイズキャンセルレジスタ Jx (NCRJx) と一致すると、次の PCLK に同期してカウント値を 0000_H にクリアしてカウント動作を停止します。

NCNTJx は、ATU-IV マスタイネーブルレジスタ (ATUENR) の TJE ビットの設定にかかわらずカウント動作を行います。

カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力されエッジ検出の対象となりますが、以降カウント値が NCRJx と一致するまでの間、すべての入力レベルの変化がマスクされるためノイズキャンセル後の信号は変化しません。カウント値が NCRJx と一致したときは、そのときの入力信号レベルをノイズキャンセル後の信号として出力します。

カウント動作中に NCEJx ビットがクリアされても、カウント値が NCRJx と一致するまでの間はカウント動作を継続します。その間も入力信号はマスクされ続けます。

- 先行エッジキャンセルモード

NCEJx ビットが“1”であり NCNTJx がカウント停止しているとき、TIJx の入力信号レベルが変化すると、NCNTJx はアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、あるいはカウント値がノイズキャンセルレジスタ Jx (NCRJx) と一致した場合には、次の PCLK に同期してカウント値を 0000_H にクリアしカウント動作を停止します。

NCNTJx は、ATU-IV マスタイネーブルレジスタ (ATUENR) の TJE ビットの設定にかかわらずカウント動作を行います。

ノイズキャンセル後の信号は、カウント値が NCRJx と一致したときのみ、カウント開始時のレベル変化にあわせて変化します。NCRJx と一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。

カウント動作中に NCEJx ビットがクリアされても、コンペアマッチあるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

- レベル積算キャンセルモード

NCEJx ビットが“1”であるとき、NCNTJx は入力信号レベルによってアップカウントまたはダウンカウント動作を行います。入力レベルがハイのときアップカウントを行い、カウント値がノイズキャンセルレジスタ Jx (NCRJx) と一致すると、次の PCLK に同期してアップカウント動作を停止します。入力レベルがローのときダウンカウントを行い、カウント値が 0000_H と一致すると、次の PCLK に同期してダウンカウント動作を停止します。

NCNTJx は、ATU-IV マスタイネーブルレジスタ (ATUENR) の TJE ビットの設定にかかわらずカウント動作を行います。

アップカウントで NCRJx の値にコンペアマッチするとノイズキャンセラ出力を 1 に更新します。逆に、ダウンカウントで 0000_H にコンペアマッチするとノイズキャンセラ出力を 0 に更新します。

カウント動作中に NCEJx ビットがクリアされるとノイズキャンセルカウンタは動作を停止し、ノイズキャンセラ出力からそのときの入力信号レベルに値が切り替わります。そのためレベル積算キャンセルモードで NCEJx ビットをクリアする場合には、この切り替わりでエッジ検出が行われる可能性があることに注意が必要です。

21.12.2.11 NCRJx — ノイズキャンセルレジスタ Jx

(x = 0, 1, 2, 3 : サブブロック J0 ~ J3 に対応)

アクセス 16ビットアクセス可能 8ビットアクセス禁止

アドレス FFE6 3C36_H + (20_H * x)

リセット後の値 0000_H

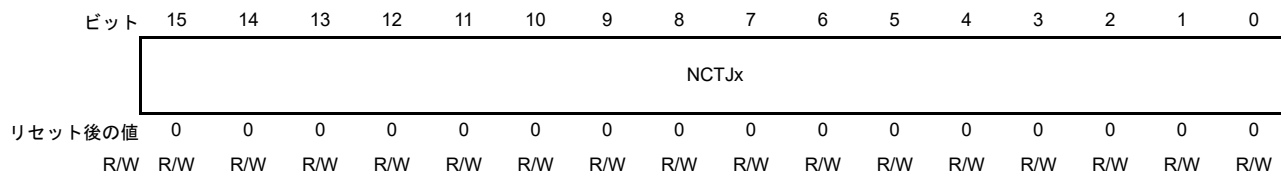


表 21.162 NCRJx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|---|
| 15 ~ 0 | NCTJx | ノイズキャンセルタイム Jx TIJx ノイズキャンセル期間 (16 ビットコンペア値) |

ノイズキャンセルレジスタ Jx (NCRJx) は 16 ビットの読み出し、書き込み可能なレジスタで、ノイズキャンセルカウンタ Jx (NCNTJx) の上限値を設定します。PCLK の 128 分周をノイズキャンセルクロックに選択している場合、FFFF_H 設定で、最大 0.21sec (PCLK = 40MHz 時) のノイズをキャンセルすることができます。

共通制御部にあるノイズキャンセルモードレジスタ (NCMR) のノイズキャンセルモードセレクトビット (NCMSEL)、タイマ J ノイズキャンセルモードビット (NCMJ) の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行います。

- 後続エッジキャンセルモード
NCNTJx のカウント動作中、後続する入力信号のレベル変化がマスクされます。NCNTJx と NCRJx の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTJx のカウント値をクリアし、カウント動作を停止させて入力信号のマスク解除を行います。
- 先行エッジキャンセルモード
NCNTJx のカウント動作中は、ノイズキャンセラの処理待ち状態となります。NCNTJx と NCRJx の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTJx のカウント値をクリアし、カウント動作を停止させると同時に、ノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。
- レベル積算キャンセルモード
NCNTJ1、NCNTJ0 がアップカウント動作中は、NCNTJx と NCRJx の値の比較が行われており、コンペアマッチが発生すると次の PCLK に同期して NCNTJx のアップカウント動作を停止させます。NCNTJx がダウンカウント動作中は、NCNTJx は 0000_H との比較が行われます。

NCRJx は 16 ビット単位でのみ読み出し/書き込みが可能です。

NCRJx はリセット時に 0000_H に初期化されます。

21.12.3 動作説明

TCNTJx のカウントクロックはクロックバスから TCRJx レジスタによって選択します。ATUENR レジスタの TJE ビット、および TSTR の STRJx ビットが 1 のとき、TCNTJx は動作可能となります。また、TCNTJx は、TIJx 端子からのエッジ入力により 0000 0000_H にクリアされます。ただし、TIJx 端子のエッジ入力によるクリアとカウントアップのタイミングが競合する場合のみ、TCNTJx は 0000 0001_H にクリアされます。TIJx 端子のエッジ検出は、TCRJx の IOJx ビットによって、立ち上がり、立ち下がり、立ち上がり／立ち下がり両エッジのいずれかを設定できます。

FCRFJx の FIFOEN ビットを“1”にすると、TIJx 端子からのエッジ入力により、TCNTJx のカウント値を FIFOJx に格納（キャプチャ）します。FIFO 内の格納されているキャプチャデータ数は、FDNR レジスタで参照できます。

FCRJx の FDFTRGJx ビットに設定したデータ数以上のキャプチャデータを FIFOJx が取り込んだとき、CPU へ FIFO データフル割り込み要求、および DMAC へ DMA 転送要求を出力することができます。また、TSRJx の FDFJx が“1”にセットされます。

FCRFJx の FIFOENJx ビットが“0”、FVCRENJx ビットが“1”のとき、TCNTJx と OCRJx とのコンペアマッチにより FIFOJx は有効状態（TSRJx の FVLDFJx が“1”）となります。この状態で、TIJx 端子からのエッジ入力により FIFOJx が FDFTRGJx ビットに設定したデータ数以上のキャプチャデータを取り込むと FIFOJx の有効状態は解除されます。

以下にサブブロック 0 での動作例を示します。ここで“TCNTJ0 カウントクロック”は、カウンタ TCNTJ0 がカウント動作やクリア動作を行うタイミングを示した仮想的な信号です。

図 21.75 は、立ち下がりエッジ検出で、FIFOEN ビットが“1”、FDFTRGJx に“11_B”を設定したとき、エッジ入力により FDFJx がセットされるまでの動作例です。図 21.76 は、立ち下がりエッジ検出で、FIFOEN ビットが“0”、FVCRENJx ビットが“1”、FDFTRGJx が“00_B”設定のとき、エッジ入力により FDFJx がセットされる動作例です。

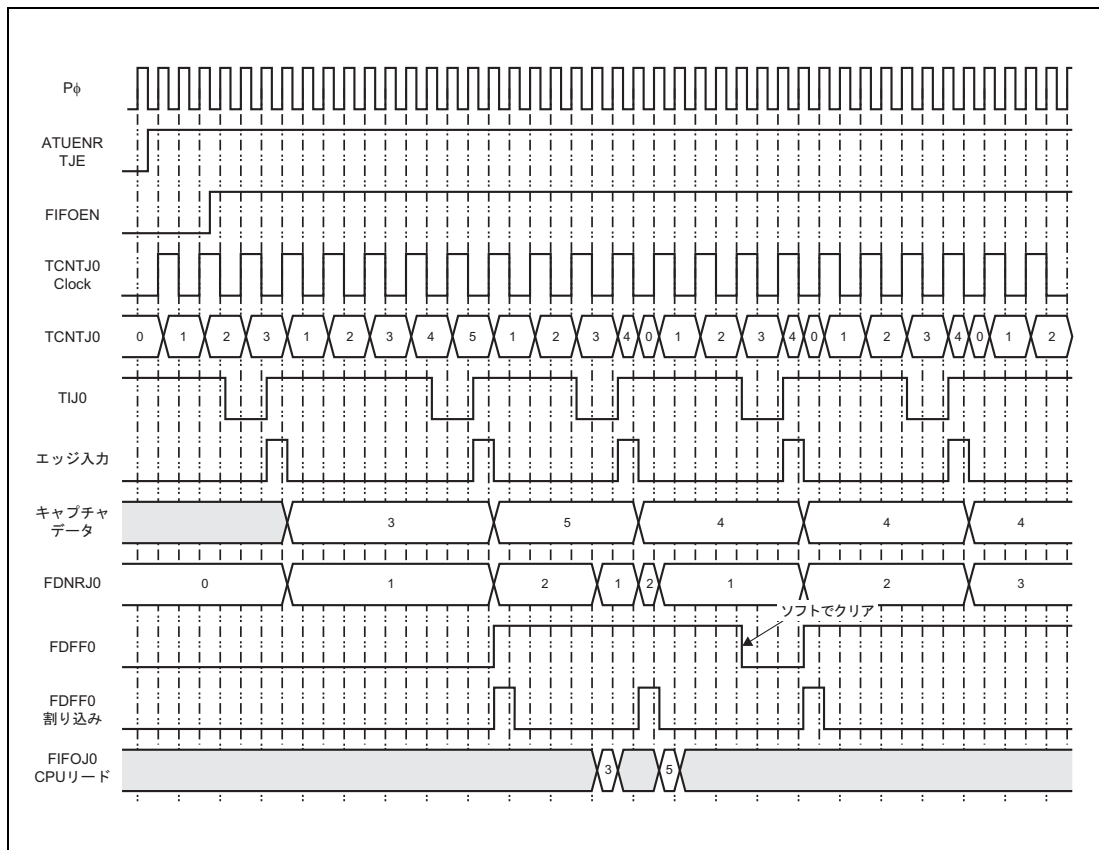


図 21.75 タイマ J 動作例 (1)

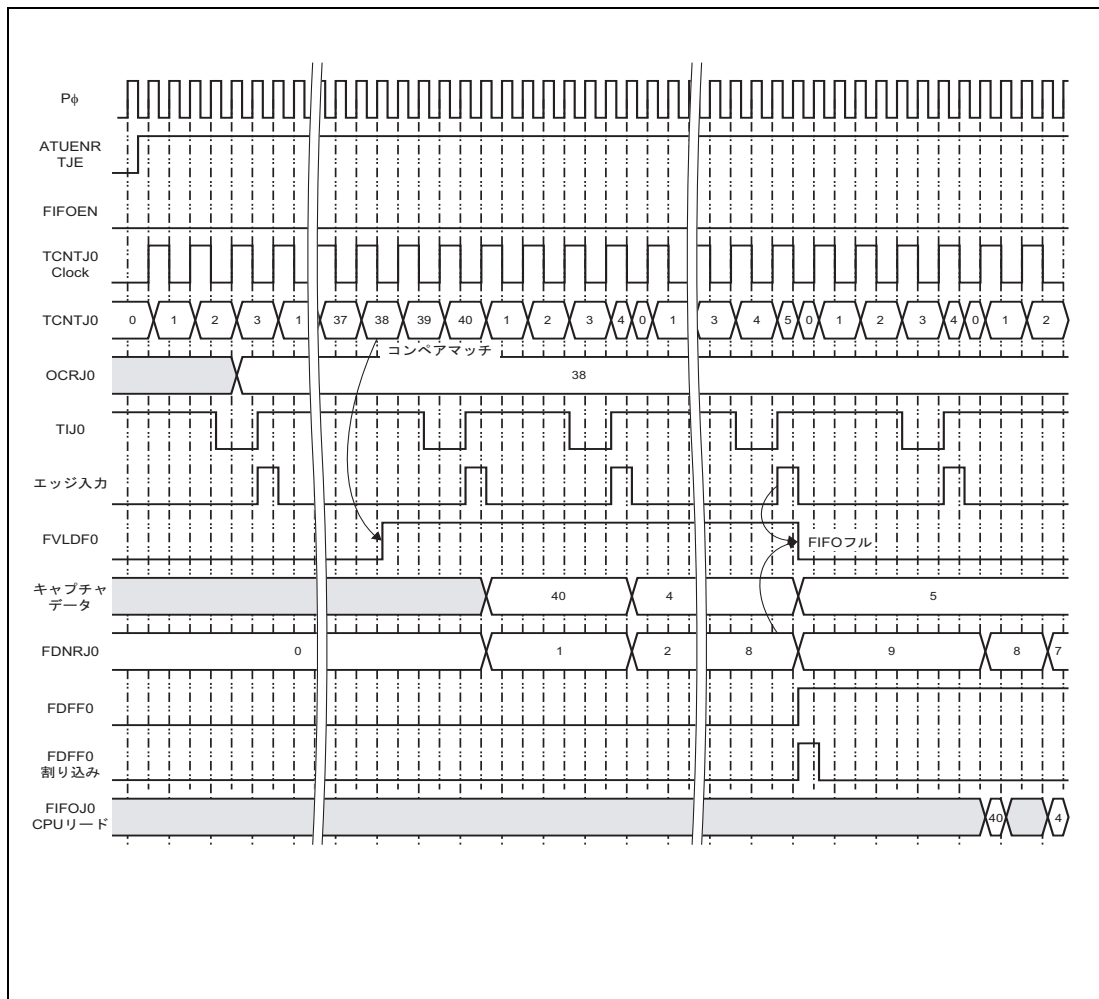


図 21.76 タイマ J 動作例 (2)

21.13 DMA/AD 要求自動切り替え

21.13.1 動作概要

本機能は、DMA、SAR-AD へ出力するトリガ信号を制御する機能です。

トリガ信号は、以下に示すデータ用 DMA トリガ、回数用 DMA トリガ、SAR-AD トリガの 3 種類を持っています。

(1) データ用 DMA トリガ

データ用 DMA トリガ信号として、AD 間引き DMA 転送要求 0、AD 間引き DMA 転送要求 1 を持っています。

データ用 DMA トリガは、タイマ B からの AGCK1、タイマ G サブブロック G1、G2 コンペア割り込み出力 (タイマ G1 コンペア割り込み、タイマ G2 コンペア割り込み)、DFE フィルタ完了信号、ADC0 スキャングループ 0 ~ 4 終了割り込み (ADC0 スキャングループ 0 終了割り込み、ADC0 スキャングループ 1 終了割り込み、ADC0 スキャングループ 2 終了割り込み、ADC0 スキャングループ 3 終了割り込み、ADC0 スキャングループ 4 終了割り込み)、出力停止から選択可能です。

また、データ用 DMA トリガは 2 本の内どちらか 1 本のみを出力し、タイマ D の TCNT1D0 と OCR1D00 のコンペアタイミングにより、トリガを出力する DMA 出力が切り替わります。

(2) 回数用 DMA トリガ

回数用 DMA トリガ信号として、AD 間引き DMA 転送要求 2、AD 間引き DMA 転送要求 3 を持っています。

回数用 DMA トリガは、タイマ A の AGCK とタイマ G サブブロック G3 コンペア割り込み出力 (タイマ G3 コンペア割り込み)、出力停止から選択可能です。

また、DMA 出力は 2 本の内どちらか 1 本のみを出力し、タイマ D の TCNT1D0 と OCR1D00 のコンペアタイミングにより、トリガを出力する DMA 出力が切り替わります。

(3) SAR-AD トリガ

SAR-AD トリガ信号として、SAR-AD トリガを持っています。

SAR-AD トリガは、タイマ B からの AGCK1、タイマ G サブブロック G1、G2 コンペア割り込み出力 (タイマ G1 コンペア割り込み、タイマ G2 コンペア割り込み)、出力停止から選択可能です。

21.13.2 DMA/AD 要求自動切り替え関連レジスタ

21.13.2.1 TRGSRDMA0 — トリガステータスレジスタ DMA0

アクセス 8ビットアクセス可能 16ビット/32ビットアクセス禁止

アドレス FFE6 00C0_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|-----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | OUTSRDMA0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 21.163 TRGSRDMA0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|--|
| 7 ~ 1 | — | 未使用 |
| 0 | OUTSRDMA0 | 0 : AD 間引き DMA 転送要求 0 を選択 1 : AD 間引き DMA 転送要求 1 を選択 |

トリガステータスレジスタ DMA0 は 8 ビットの読み出し専用レジスタです。

データ用 AD 間引き DMA 転送要求 0、AD 間引き DMA 転送要求 1 のどちらを選択しているのかを示します。

21.13.2.2 TRGSELDMA00 — トリガ選択レジスタ DMA00

アクセス 8ビットアクセス可能 16ビット／32ビットアクセス禁止

アドレス FFE6 00C4_Hリセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|------------|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | INSELDMA00 | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 21.164 TRGSELDMA00 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|---|
| 7 ~ 4 | — | 未使用 |
| 3 ~ 0 | INSELDMA00 | 0000 : 出力停止 (出力 "0" 固定) 0001 : AGCK1 を選択 0010 : タイマ G サブブロック G1 コンペア割り込み信号 (CMFG1 割り込み) を選択 0011 : タイマ G サブブロック G2 コンペア割り込み信号 (CMFG2 割り込み) を選択 0100 : DFE フィルタ完了信号を選択 0101 : 設定禁止 0110 : 設定禁止 0111 : 設定禁止 1000 : ADC0 スキャングループ 0 終了割り込みを選択 1001 : ADC0 スキャングループ 1 終了割り込みを選択 1010 : ADC0 スキャングループ 2 終了割り込みを選択 1011 : ADC0 スキャングループ 3 終了割り込みを選択 1100 : ADC0 スキャングループ 4 終了割り込みを選択 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止 |

本レジスタは、8ビットの読み出し／書き込みが可能なレジスタです。データ用 AD 間引き DMA 転送要求 0 に出力する信号を選択します。本レジスタは、動作中書き換え可能です。本レジスタを書き換えた場合、設定は即時有効となります。

21.13.2.3 TRGSELDMA01 — トリガ選択レジスタ DMA01

アクセス 8ビットアクセス可能 16ビット/32ビットアクセス禁止

アドレス FFE6 00C6_Hリセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|------------|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | INSELDMA01 | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 21.165 TRGSELDMA01 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|---|
| 7 ~ 4 | — | 未使用 |
| 3 ~ 0 | INSELDMA01 | 0000 : 出力停止 (出力 "0" 固定) 0001 : AGCK1 を選択 0010 : タイマ G サブブロック G1 コンペア割り込み信号 (CMFG1 割り込み) を選択 0011 : タイマ G サブブロック G2 コンペア割り込み信号 (CMFG2 割り込み) を選択 0100 : DFE フィルタ完了信号を選択 0101 : 設定禁止 0110 : 設定禁止 0111 : 設定禁止 1000 : ADC0 スキャングループ 0 終了割り込みを選択 1001 : ADC0 スキャングループ 1 終了割り込みを選択 1010 : ADC0 スキャングループ 2 終了割り込みを選択 1011 : ADC0 スキャングループ 3 終了割り込みを選択 1100 : ADC0 スキャングループ 4 終了割り込みを選択 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止 |

本レジスタは、8ビットの読み出し/書き込みが可能なレジスタです。データ用 AD 間引き DMA 転送要求 1 に出力する信号を選択します。本レジスタは、動作中書き換え可能です。本レジスタを書き換えた場合、設定は即時有効となります。

21.13.2.4 TRGSELAD — トリガ選択レジスタ AD

アクセス 8ビットアクセス可能 16ビット/32ビットアクセス禁止

アドレス FFE6 00C8_Hリセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | INSELAD | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 21.166 TRGSELAD レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|---|
| 7～2 | — | 未使用 |
| 1、0 | INSELAD | 00：出力停止（出力“0”固定） 01：AGCK1を選択 10：タイマGサブブロックG1コンペア割り込み信号（CMFG1割り込み）を選択 11：タイマGサブブロックG2コンペア割り込み信号（CMFG2割り込み）を選択 |

本レジスタは、8ビットの読み出し/書き込みが可能なレジスタです。SAR-ADトリガへ出力する信号を選択します。本レジスタは、動作中書き換え可能です。本レジスタを書き換えた場合、設定は即時有効となります。

21.13.2.5 TRGSRDMA1 — トリガステータスレジスタ DMA1

アクセス 8ビットアクセス可能 16ビット/32ビットアクセス禁止

アドレス FFE6 00D0_Hリセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|-----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | OUTSRDMA1 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 21.167 TRGSRDMA1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|--|
| 7 ~ 1 | — | 未使用 |
| 0 | OUTSRDMA1 | 0 : AD 間引き DMA 転送要求 2 を選択 1 : AD 間引き DMA 転送要求 3 を選択 |

本レジスタは、8ビットの読み出し専用レジスタです。回数用 AD 間引き DMA 転送要求 2、AD 間引き DMA 転送要求 3 のどちらを選択しているのかを示します。

21.13.2.6 TRGSELDMA10 — トリガ選択レジスタ DMA10

アクセス 8ビットアクセス可能 16ビット/32ビットアクセス禁止

アドレス FFE6 00D4_Hリセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|------------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | INSELDMA10 | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 21.168 TRGSELDMA10 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|--|
| 7 ~ 2 | — | 未使用 |
| 1, 0 | INSELDMA10 | 00 : 出力停止 (出力 "0" 固定) 01 : AGCK を選択 10 : タイマ G サブブロック G3 コンペア割り込み信号 (CMFG3 割り込み) を選択 11 : 設定禁止 |

本レジスタは、8ビットの読み出し/書き込みが可能なレジスタです。回数用 AD 間引き DMA 転送要求 2 に出力する信号を選択します。本レジスタは、動作中書き換え可能です。本レジスタを書き換えた場合、設定は即時有効となります。

21.13.2.7 TRGSELDMA11 — トリガ選択レジスタ DMA11

アクセス 8ビットアクセス可能 16ビット/32ビットアクセス禁止

アドレス FFE6 00D6_Hリセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|------------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | INSELDMA11 | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 21.169 TRGSELDMA11 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|--|
| 7 ~ 2 | — | 未使用 |
| 1, 0 | INSELDMA11 | 00 : 出力停止 (出力 "0" 固定) 01 : AGCK を選択 10 : タイマ G サブブロック G3 コンペア割り込み信号 (CMFG3 割り込み) を選択 11 : 設定禁止 |

本レジスタは、8ビットの読み出し/書き込みが可能なレジスタです。回数用 AD 間引き DMA 転送要求 3 に出力する信号を選択します。本レジスタは、動作中書き換え可能です。本レジスタを書き換えた場合、設定は即時有効となります。

21.13.3 詳細動作説明

以下に各トリガの動作、ブロック図を記載します。

21.13.3.1 データ用 DMA トリガ

図 21.77 にデータ用 DMA トリガ選択回路を示します。

TRGSELDMA00.INSELDMA00[3:0] ビットでデータ用 DMA トリガ出力端子 (AD 間引き DMA 転送要求 0) に出力する信号を選択します。

TRGSELDMA01.INSELDMA01[3:0] ビットでデータ用 DMA トリガ出力端子 (AD 間引き DMA 転送要求 1) に出力する信号を選択します。

データ用 DMA トリガ出力端子は、DMA 選択信号が“L”の場合は、AD 間引き DMA 転送要求 0 のみを、DMA 選択信号が“H”の場合は AD 間引き DMA 転送要求 1 のみを出力します。

ADC0 スキャングループ 0 ~ 4 終了割り込みは、非同期入力であるため、同期化回路を持っています。

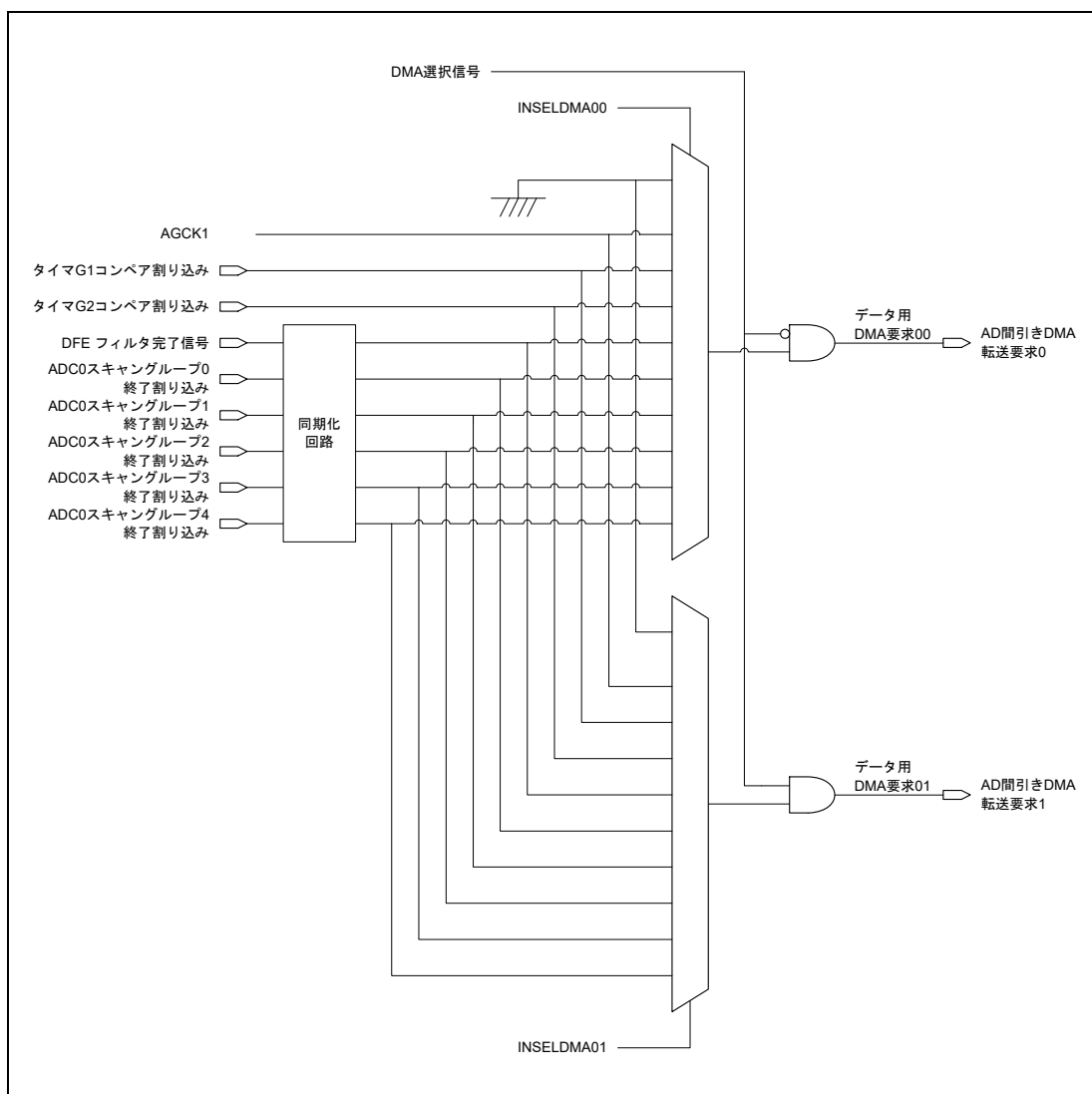


図 21.77 データ用 DMA トリガ選択回路

21.13.3.2 回数用 DMA トリガ

図 21.78 に回数用 DMA トリガ選択回路を示します。

TRGSELDMA10.INSELDMA10[1:0] ビットで回数用 DMA トリガ出力端子 (AD 間引き DMA 転送要求 2) に出力する信号を選択します。

TRGSELDMA11.INSELDMA11[1:0] ビットで回数用 DMA トリガ出力端子 (AD 間引き DMA 転送要求 3) に出力する信号を選択します。

回数用 DMA トリガ出力端子は、DMA 選択信号が “L” の場合は、AD 間引き DMA 転送要求 2 のみを、DMA 選択信号が “H” の場合は AD 間引き DMA 転送要求 3 のみを出力します。

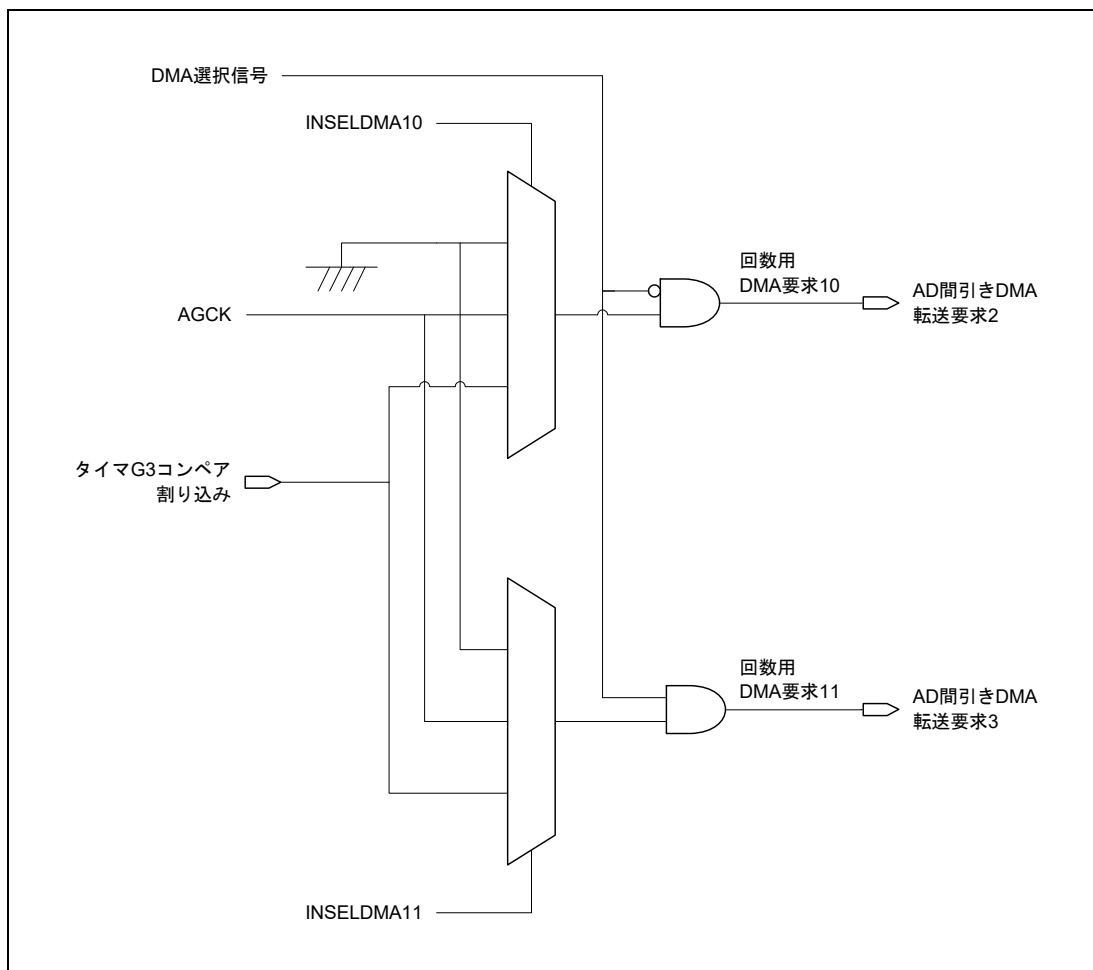


図 21.78 回数用 DMA トリガ選択回路

21.13.3.3 SAR-AD トリガ

図 21.79 に SAR-AD トリガ選択回路を示します。

TRGSELAD.INSELAD[1:0] ビットで SAR-AD トリガに出力信号を選択します。

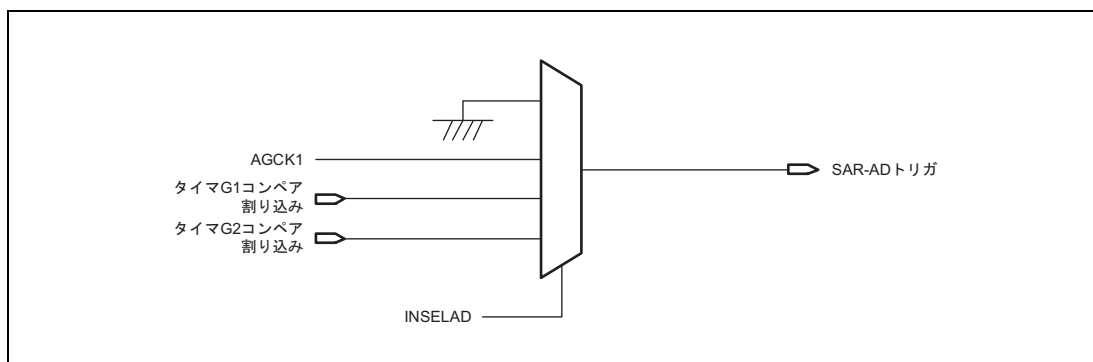


図 21.79 SAR-AD トリガ選択回路

図 21.80 にトリガ出力のタイミングチャートを示します。

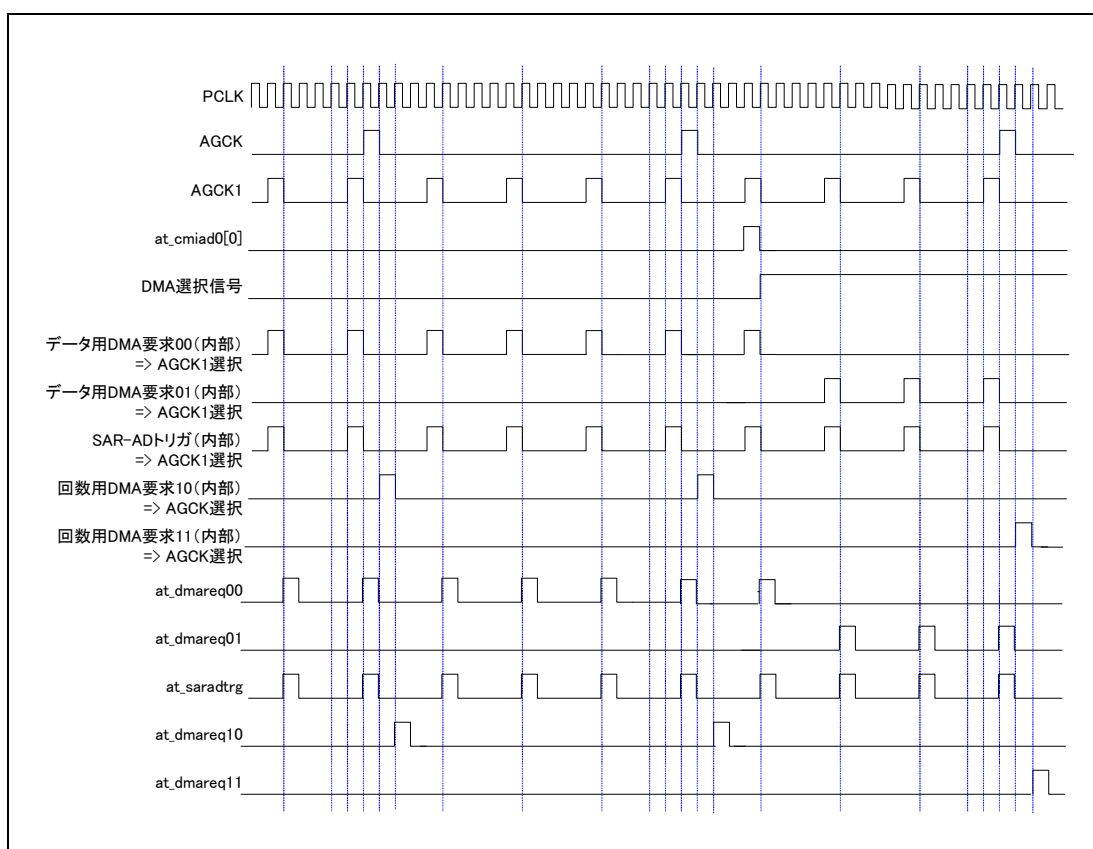


図 21.80 DMA/AD トリガ タイミングチャート

21.14 使用上の注意

ATU-IV では、各タイマに配置されたステータスレジスタ (TSR) のフラグはコンペアマッチ、オーバフロー、アンダフロー、入力キャプチャの発生を示すステータスフラグです。ステータスフラグが“1”の状態、コンペアマッチ、オーバフロー、アンダフロー、入力キャプチャが再度発生した場合、ステータスフラグは“1”のまま保持され、CPU へは割り込み要求を出力します。割り込み要求が正しく行われたかどうかを確認するには「INTC」側の対応するフラグを確認する必要があります。また、PCLK に対して1サイクル以上の間隔がなく割り込み条件が連続で発生した場合、最初に発生した割り込みのみ割り込み要求を発生し、後続で発生した割り込み条件については割り込み要求を発生しませんのでご注意ください。

ATU-IV 動作中、次のような競合や動作が起こりますので、ご注意ください。

21.14.1 インพุットキャプチャ競合動作

21.14.1.1 汎用レジスタへの書き込みとインพุットキャプチャの競合

汎用レジスタへの書き込みとインพุットキャプチャが同時に発生した場合には書き込みが優先されます (図 21.81)。ただし、インพุットキャプチャ割り込み要求は出力され、インพุットキャプチャステータスを備える場合、インพุットキャプチャフラグはセットされます。右図は書き込みが1サイクル先に起こった場合を表しています。

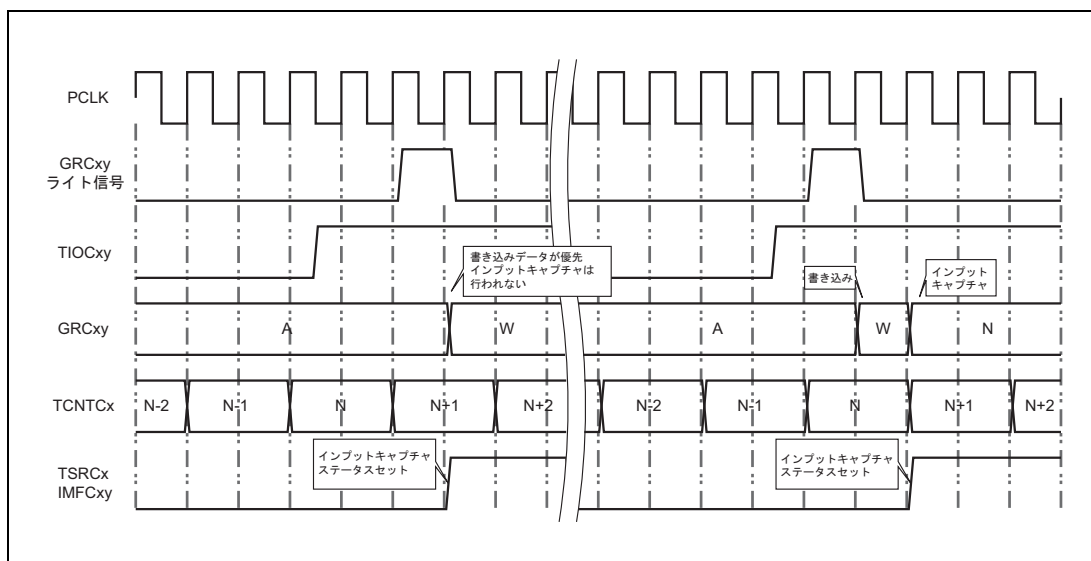


図 21.81 GRCxy 書き込みとインพุットキャプチャの競合

| 対象タイマ | カウンタ (キャプチャ対象) | キャプチャレジスタ | ステータス |
|-------|-----------------|-----------|--------|
| タイマ C | TCNTCx | GRCxy | IMFCxy |
| タイマ F | ECNTAFx | GRAFx | ICFFx |
| | ECNTBFx | GRBFx | |
| | ECNTCFx | GRCFx | |
| | ECNTCFx + GRDFx | GRDFx | |

21.14.1.2 カウンタへの書き込みとインプットキャプチャの競合

カウンタへの書き込みとインプットキャプチャが同時に発生した場合、書き込まれる直前の値がキャプチャされます (図 21.82)。右図は書き込みが 1 サイクル先に起こった場合で、書き込んだ値がキャプチャされる様子を表しています。

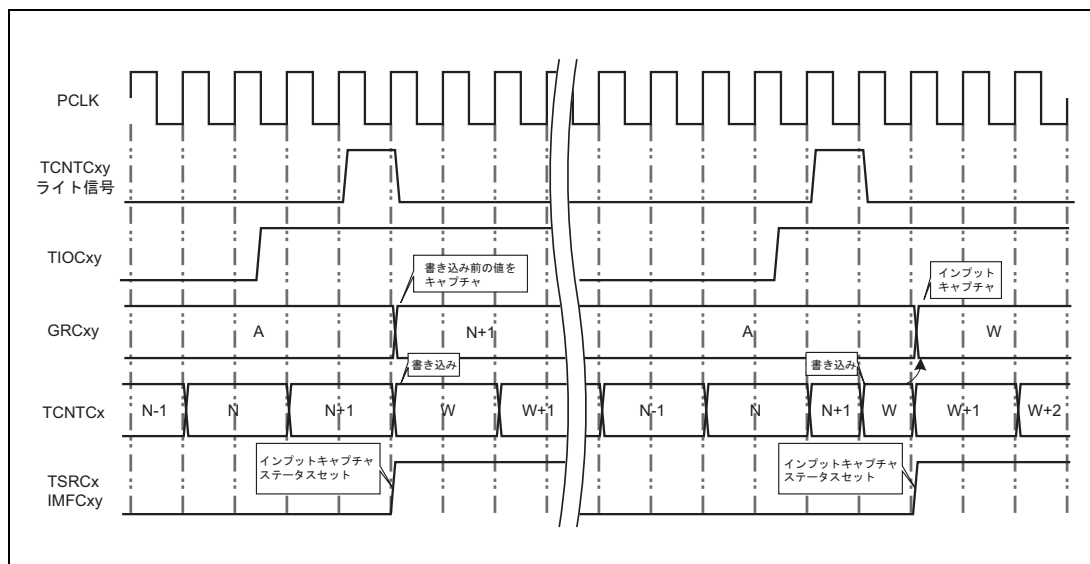


図 21.82 TCNTCx 書き込みとインプットキャプチャの競合

| 対象タイマ | カウンタ (キャプチャ対象) | キャプチャレジスタ | ステータス |
|-------|-----------------|-----------|------------------|
| タイマ A | TCNTAx | ICRAx | ICFAx |
| タイマ B | TCNTB0 | ICRB0 | ICFB0 |
| | TCNTB0 + ICRB1 | ICRB1 | |
| | TCNTB6 | ICRB6 | |
| タイマ C | TCNTCx | GRCxy | IMFCxy |
| タイマ D | TCNT1Dx | OSBRDx | |
| | TCNT1Dx | ICR1Dxy | |
| | TCNT2Dx | ICR2Dxy | |
| タイマ F | ECNTAFx | GRAFx | ICFFx |
| | ECNTBFx | GRBFx | |
| | ECNTCFx | GRCFx | |
| | ECNTCFx + GRDFx | GRDFx | |
| タイマ J | TCNTJx | FIFOJx | (FDOVFJx, FDFJx) |

21.14.1.3 インพุットキャプチャステータスのセットとクリアの競合

タイマステータスクリアレジスタによるフラグのクリアが、インพุットキャプチャによるフラグセットに優先して処理されます。図 21.83 の左はインพุットキャプチャとフラグのクリアが同時に発生し、クリアが行われた例を表しています。一方、右図はクリアされた直後にインพุットキャプチャが起こった例です。

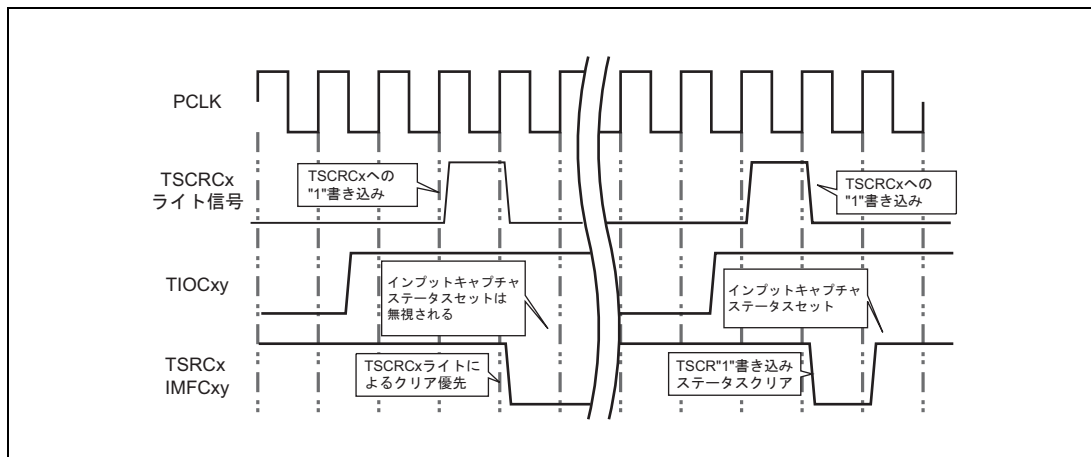


図 21.83 ステータスクリアレジスタへの 1 書き込みによるステータスクリアとインพุットキャプチャの競合

| 対象フラグ | | 対象フラグ | |
|-------|------------------|-------|-------|
| タイマ A | ICFAx | タイマ B | ICFB0 |
| タイマ C | IMFCxy | タイマ F | ICFFx |
| タイマ J | (FDOVFJx, FDFJx) | | |

21.14.2 コンペアマッチ競合動作

21.14.2.1 コンペアマッチ/汎用レジスタへの書き込みとコンペアマッチの競合

コンペアマッチ機能を持つレジスタへの書き込みとコンペアマッチの競合を、タイマCを例に説明します。GRCxy と TCNTCx が一致したあとに書き込みが行われた場合（図 21.84 左）は、コンペアマッチ割り込み要求が出力され、コンペアマッチステータスはセットされます。GRCxy と TCNTCx が 1 サイクルも一致していない場合（図 21.84 右）にはコンペアマッチは検出されません。

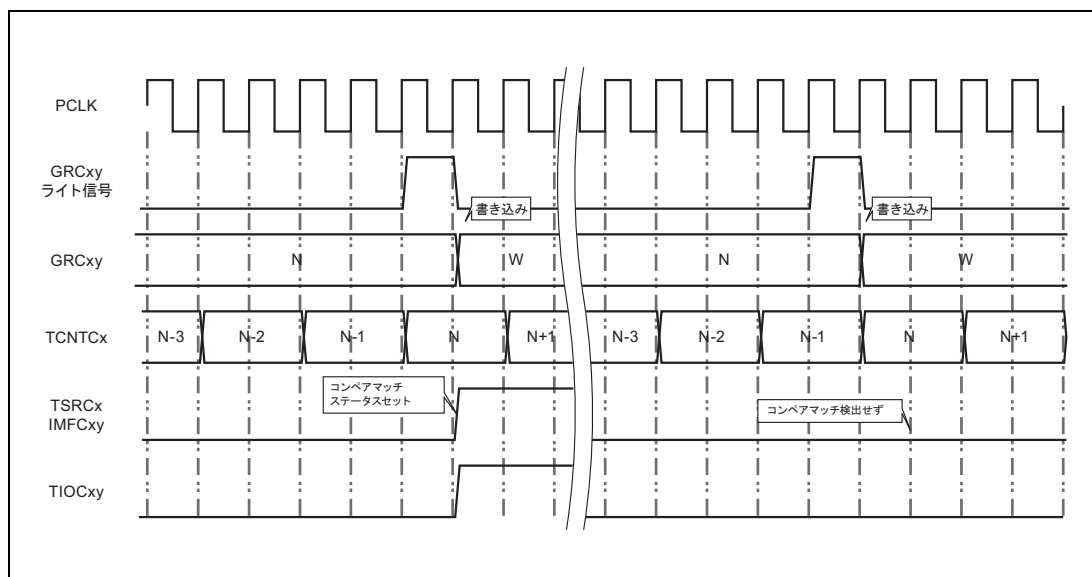


図 21.84 GRCxy 書き込みとコンペアマッチの競合

| 対象タイマ | カウンタ | コンペアマッチレジスタ | ステータス |
|-------|---------|-------------|---------|
| タイマ B | TCNTB1 | OCRB1 | CMFB1 |
| | TCNTB1 | OCRB10 | CMFB10 |
| | TCNTB1 | OCRB11 | CMFB11 |
| | TCNTB1 | OCRB12 | CMFB12 |
| タイマ C | TCNTCx | GRCxy | IMFCxy |
| タイマ D | TCNT1Dx | OCR1Dxy | CMFADxy |
| | TCNT2Dx | OCR2Dxy | CMFBDxy |
| タイマ F | ECNTAFx | GRAFx | — |
| | ECNTBFx | GRBFx | — |
| | ECNTCFx | GRBFx | OVFCFx |
| | | GRDFx | OVFCFx |
| タイマ G | TCNTGx | OCRGx | CMFGx |
| タイマ H | TCNT1H | OCR1H | CMFH |
| タイマ J | TCNTJx | OCRJx | CMFJx |

タイマ B のコンペアマッチ B0、コンペアマッチ B6、および、タイマ E のサイクルマッチタイミングはこれらコンペアマッチと異なります。次の「21.14.2.2 CYLRExy への書き込みと TCNTExy とのサイクルマッチの競合」を参照願います。

21.14.2.2 CYLRExy への書き込みと TCNTExy とのサイクルマッチの競合

CYLRExy への書き込みと TCNTExy とのコンペアマッチ（サイクルマッチ）が同時に発生した場合の動作を以下に示します。図 21.85 左に示すとおり、サイクルマッチカウンタクリアのタイミングで CYLRExy に書き込まれた場合、TCNTExy は通常のサイクルマッチ時と同様にカウンタクリアされ、サイクルマッチ割り込み要求の出力、サイクルマッチステータス、PWM 出力も変化します。右図はカウンタクリアされるタイミングより早く CYLRExy に書き込まれた場合を示しています。このとき、サイクルマッチは検出されず、TCNTExy はカウントアップを続けます。

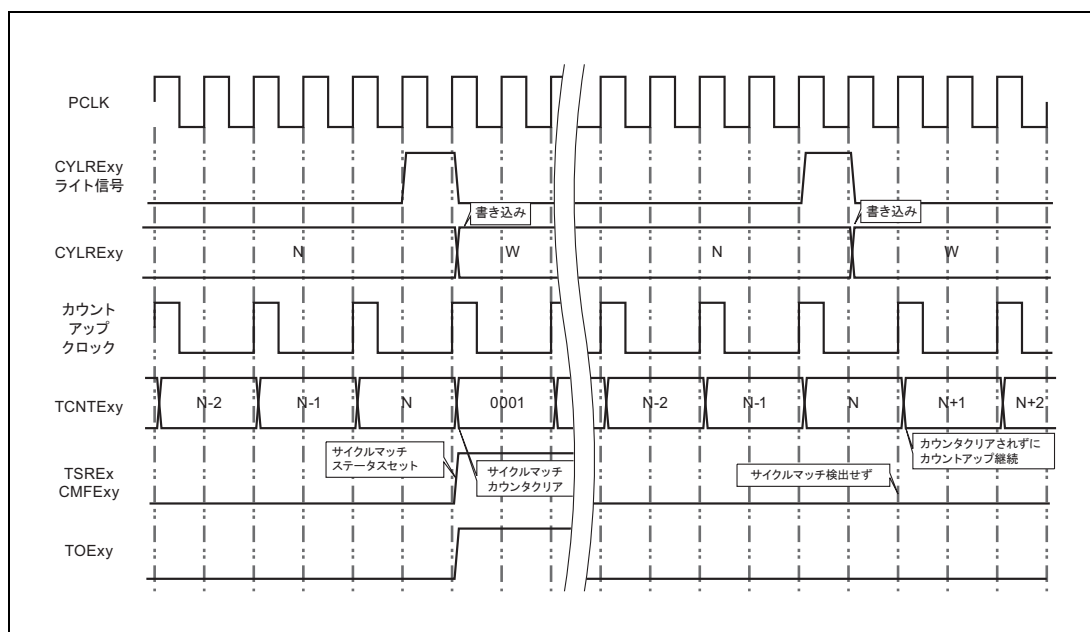


図 21.85 CYLRExy 書き込みとサイクルマッチの競合

| 対象タイマ | カウンタ | コンペア (サイクル) マッチレジスタ | ステータス |
|-------|---------|---------------------|--------|
| タイマ B | TCNTB0 | OCRB0 | CMFB0 |
| | TCNTB6 | OCRB6/OCRB7 | CMFB6 |
| | TCNTB6M | ICRB6 | CMFB6M |
| タイマ E | TCNTExy | CYLRExy | CMFExy |

21.14.2.3 DTRExy への書き込みと TCNTExy とのサイクルマッチの競合

上記、CYLRExy への書き込みと TCNTExy とのサイクルマッチの競合と同じ動作となります。

21.14.2.4 カウンタへの書き込みとコンペアマッチの競合

カウンタへの書き込みとコンペアマッチの競合を以下に示します。コンペアマッチレジスタとカウンタが一致したあとに書き込みが行われた場合（図 21.86 左）は、コンペアマッチ割り込み要求が出力され、コンペアマッチステータスはセットされます。コンペアマッチレジスタとカウンタが1サイクルも一致していない場合（図 21.86 右）にはコンペアマッチ割り込み要求は出力されず、コンペアマッチは検出されません。

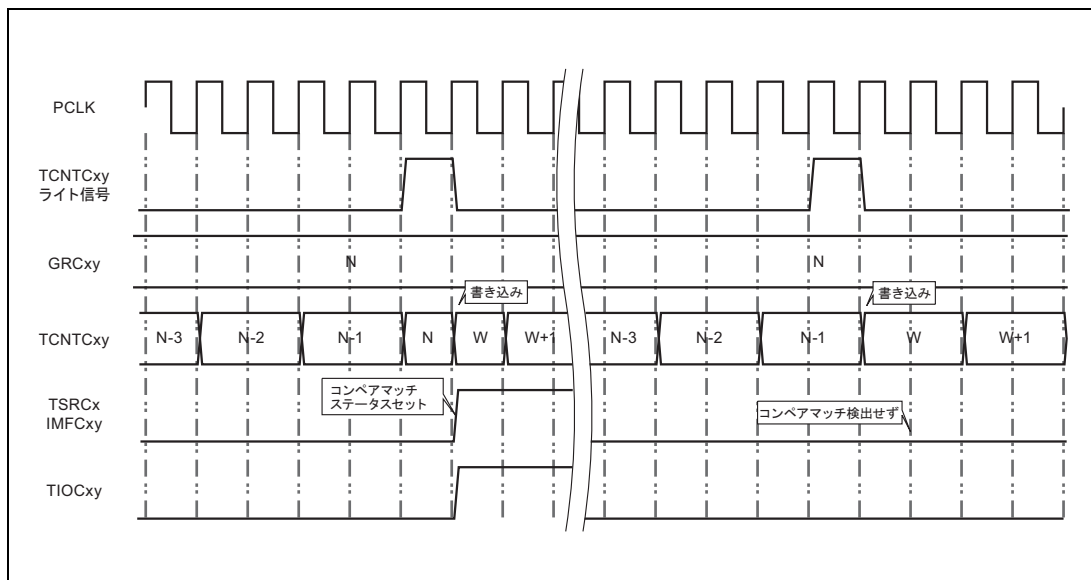


図 21.86 TCNTCx 書き込みとコンペアマッチの競合

| 対象タイマ | カウンタ | コンペアマッチレジスタ | ステータス |
|-------|---------|-------------|---------|
| タイマ B | TCNTB1 | OCRB1 | CMFB1 |
| タイマ C | TCNTCx | GRCxy | IMFCxy |
| タイマ D | TCNT1Dx | OCR1Dxy | CMFADxy |
| | TCNT2Dx | OCR2Dxy | CMFBDxy |
| タイマ F | ECNTAFx | GRAFx | — |
| | ECNTBFx | GRBFx | — |
| | ECNTCFx | GRBFx | OVFCFx |
| GRDFx | | OVFCFx | |
| タイマ G | TCNTGx | OCRGx | CMFGx |
| タイマ H | TCNT1H | OCR1H | CMFH |
| タイマ J | TCNTJx | OCRJx | CMFJx |

タイマ B のコンペアマッチ B0、コンペアマッチ B6、および、タイマ E のサイクルマッチタイミングはこれらコンペアマッチと異なります。次の「21.14.2.6 TCNTExy への書き込みとサイクルマッチによるカウンタクリアの競合」を参照願います。

21.14.2.5 カウンタへの書き込みとコンペアマッチカウンタクリアの競合

コンペアマッチカウンタクリア機能がある場合の波形を以下に示します。カウンタへの書き込みとコンペアマッチによるカウンタクリアが同時に発生した場合、カウンタクリアは行われず書き込みが優先されます（図 21.87 左）。ただし、コンペアマッチ割り込み要求は出力され、コンペアマッチステータスはセットされます。右図は TCNTCx への書き込みが 1PCLK サイクル後ろにずれた場合の動作を示しています。

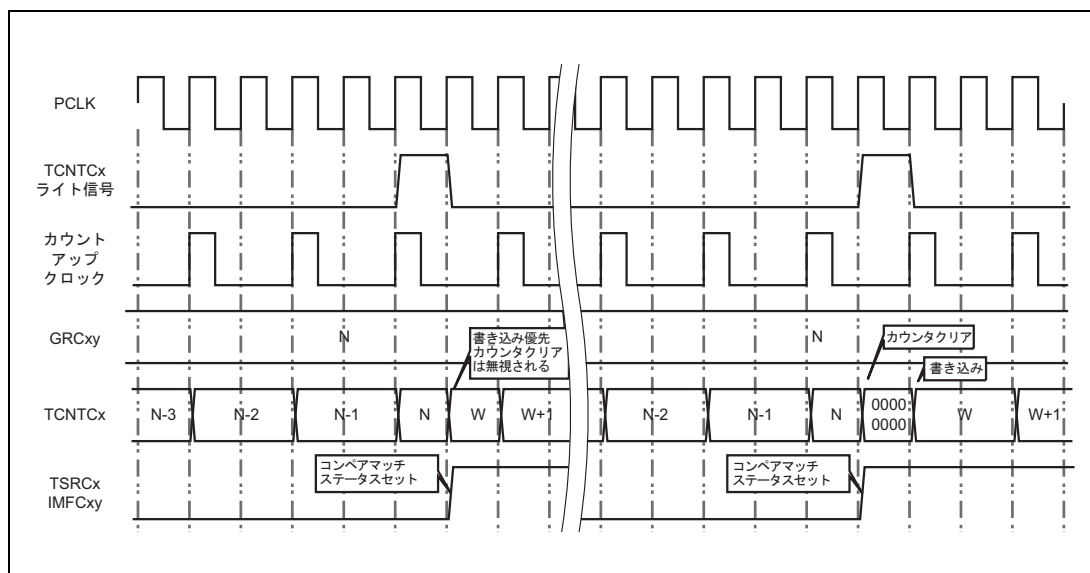


図 21.87 TCNTCx 書き込みとコンペアマッチカウンタクリアの競合

| 対象タイマ | カウンタ | コンペアマッチレジスタ | ステータス |
|-------|---------|-------------|--------|
| タイマ C | TCNTCx | GRCxy | IMFCxy |
| | TCNTCx | CUCRCx | OVFCx |
| タイマ D | TCNT1Dx | CUCR1Dx | OVF1Dx |
| | TCNT2Dx | CUCR2Dx | OVF2Dx |
| タイマ F | ECNTAFx | GRAFx | — |
| | ECNTBFx | GRBFx | — |
| タイマ G | TCNTGx | OCRGx | CMFGx |
| タイマ H | TCNT1H | OCR1H | CMFH |

21.14.2.6 TCNTExy への書き込みとサイクルマッチによるカウンタクリアの競合

TCNTExy カウンタへの書き込みとサイクルマッチによるカウンタクリアが同時に発生した場合、カウンタクリアは行われず TCNTExy には書き込みが行われます。ただしサイクルマッチ割り込み要求の出力、サイクルマッチのステータスセット、サイクルレジスタ、デューティレジスタへのリロードは行われます (図 21.88 右)。PWM 波形出力もサイクルマッチ時の動作を行います。

一方、図 21.88 左はカウントアップクロックより 1pclk サイクル早く書き込みが行われたときの動作を示しています。

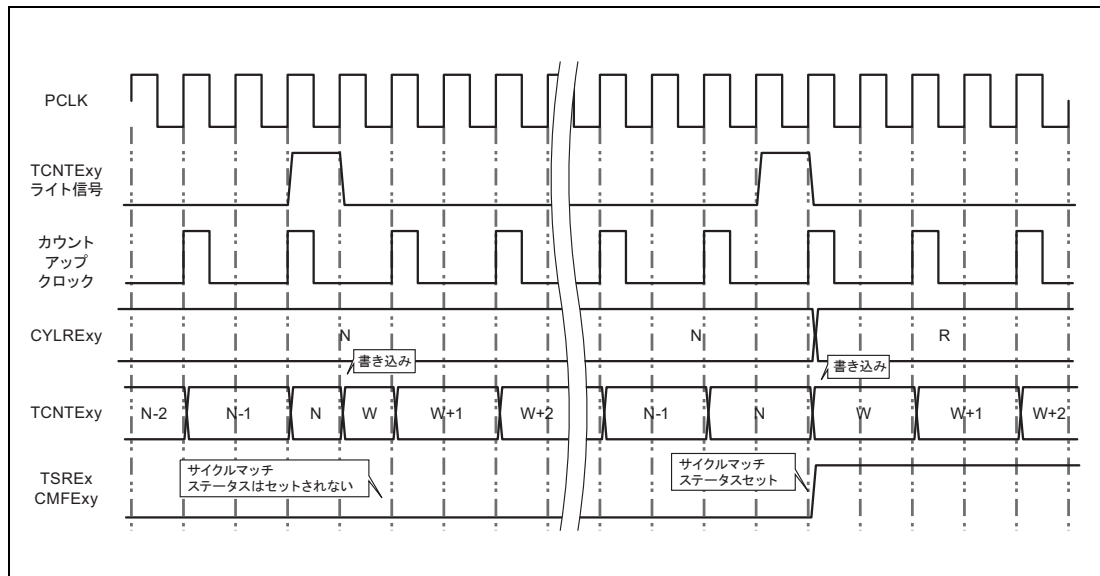


図 21.88 TCNTExy への書き込みとサイクルマッチによるカウンタクリアの競合

| 対象タイマ | カウンタ | コンペア (サイクル) マッチレジスタ | ステータス |
|-------|---------|---------------------|--------|
| タイマ B | TCNTB0 | OCRB0 | CMFB0 |
| | TCNTB6 | OCRB6/OCRB7 | CMFB6 |
| | TCNTB6M | ICRB6 | CMFB6M |
| タイマ E | TCNTExy | CYLRExy | CMFExy |

21.14.2.7 コンペアマッチステータスのセットとクリアの競合

タイマステータスクリアレジスタのフラグクリア動作がコンペアマッチによるフラグセットに優先して処理されます (図 21.89 左)。図 21.89 右はフラグクリアによる直後にコンペアマッチが発生した様子を示しています。

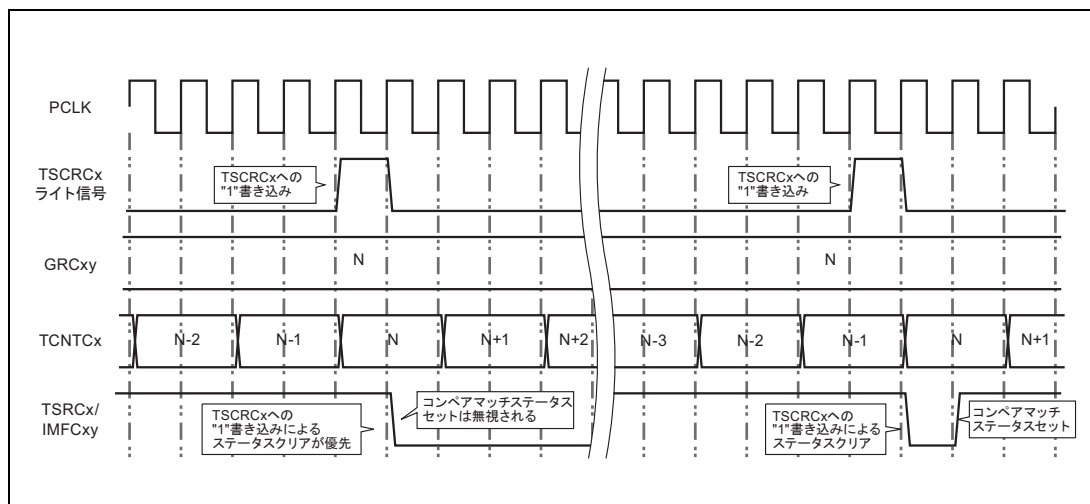


図 21.89 コンペアマッチステータスのセットとクリアの競合

| 対象タイマ | カウンタ | コンペアマッチレジスタ | ステータス |
|-------|---------|-------------|---------|
| タイマ B | TCNTB1 | OCRB1 | CMFB1 |
| | TCNTB1 | OCRB10 | CMFB10 |
| | TCNTB1 | OCRB11 | CMFB11 |
| | TCNTB1 | OCRB12 | CMFB12 |
| タイマ C | TCNTCx | GRCxy | IMFCxy |
| タイマ D | TCNT1Dx | OCR1Dxy | CMFADxy |
| | TCNT2Dx | OCR2Dxy | CMFBDxy |
| タイマ F | TCNTCFx | GRDFx | OVFCFx |
| タイマ G | TCNTGx | OCRGx | CMFGx |
| タイマ H | TCNT1H | OCR1H | CMFH |
| タイマ J | TCNTJx | OCRJx | CMFJx |

タイマ B のコンペアマッチ B0、コンペアマッチ B6、および、タイマ E のサイクルマッチタイミングはこれらコンペアマッチと異なります。「21.14.2.8 サイクルマッチステータスのセットとステータスクリアレジスタへの 1 書き込みの競合」を参照願います。

21.14.2.8 サイクルマッチステータスのセットとステータスクリアレジスタへの1書き込みの競合

サイクルマッチフラグのセット（サイクルマッチ）とタイマステータスクリアレジスタによるフラグのクリアが同時に発生した場合、フラグのクリアが優先して行われます。図 21.90 左はサイクルマッチによるフラグセットとタイマステータスクリアレジスタによるフラグのクリアが同時に発生した例を表しています。右図にはクリアが1サイクル先に発生した例を示しています。

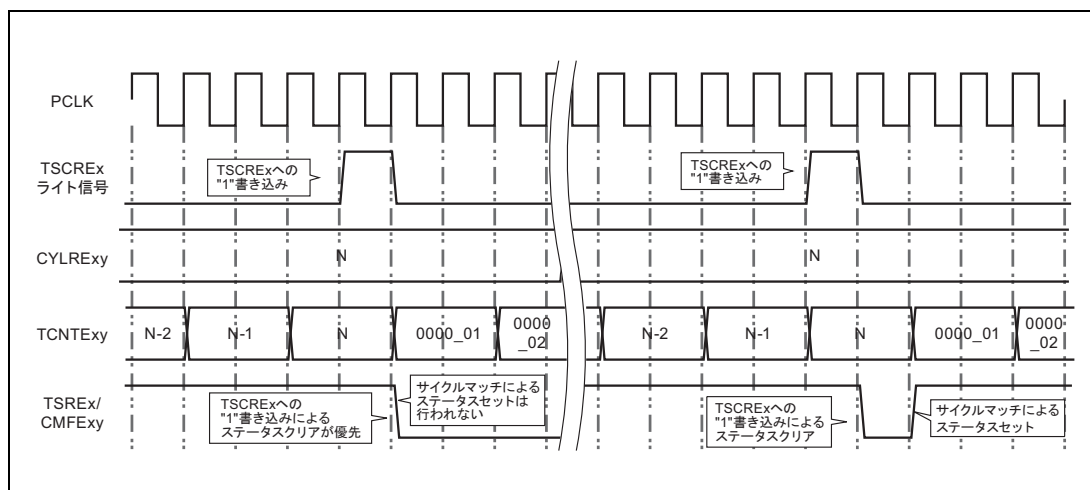


図 21.90 ステータスクリアレジスタへの1書き込みによるサイクルマッチステータスクリアとサイクルマッチの競合

| 対象タイマ | カウンタ | コンペア (サイクル) マッチレジスタ | ステータス |
|-------|---------|---------------------|--------|
| タイマ B | TCNTB0 | OCRB0 | CMFB0 |
| | TCNTB6 | OCRB6 | CMFB6 |
| | TCNTB6M | ICRB6 | CMFB6M |
| タイマ E | TCNTExy | CYLRExy | CMFExy |

21.14.2.9 コンペアマッチ 1H 検出と ATUENR オフ切り替えの競合

TCNT1H と OCR1H とのコンペアマッチ検出と同時にカウンタインネーブル (ATUENR の各ビット) を “0” に切り替えた場合、コンペアマッチは検出されますが、TCNT2H のカウントアップは行われません (左図)。その後、カウンタインネーブルを “1” に設定しても次のコンペアマッチ発生まで TCNT2H のカウントアップは行われません。

右図はコンペアマッチ検出の 1PCLK サイクル後にカウンタインネーブルをオフにした場合を示しています。

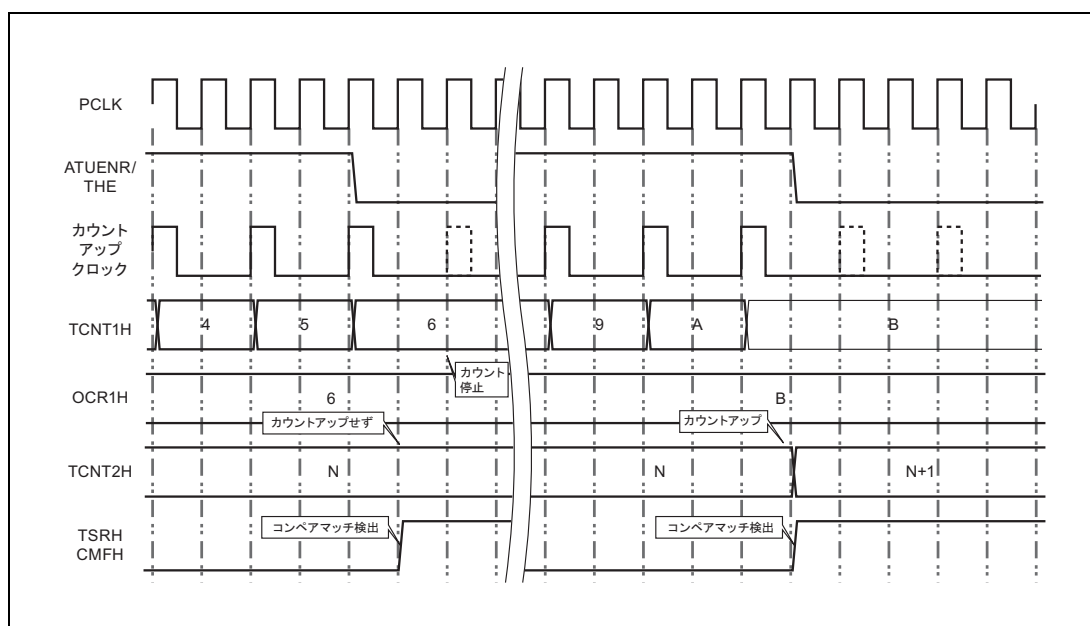


図 21.91 コンペアマッチ検出とカウンタインネーブルオフ切り替えの競合

| 対象タイマ | カウンタ | コンペアマッチレジスタ | ステータス |
|-------|--------|-------------|-------|
| タイマ H | TCNT1H | OCR1H | CMFH |

21.14.2.10 TCNTExy へのゼロ書き込みとサイクルマッチの競合

サイクルマッチのタイミングで TCNTExy の上位 24 ビットにゼロ書き込みを行った場合の動作を以下に示します。図 21.92 左は、サイクルマッチにより TCNTExy の上位 24 ビットが 000001_H にクリアされるタイミングで、TCNTExy の上位 24 ビットに 000000_H を書き込んだ様子を示しています。サイクルマッチ割り込み要求は出力され、サイクルマッチステータスはセットされますが、PWM 出力はゼロ書き込みが優先され開始しません。TCNTExy の上位 24 ビットが 000001_H にカウントアップするときに PWM 出力を再開します。中央図はサイクルマッチカウンタクリアが発生した 1PCLK サイクル後に TCNTExy の上位 24 ビットにゼロ書き込みを行った状態を表しています。TCNTExy カウンタ値の上位 24 ビットが “N” から “1” に変化するタイミングでサイクルマッチ検出、PWM 出力を再開します。一方、右図はサイクルマッチ検出の 1PCLK 前にゼロ書き込みを行った例です。この場合、サイクルマッチは検出されず PWM 出力も再開せず、前状態を保持したままです。

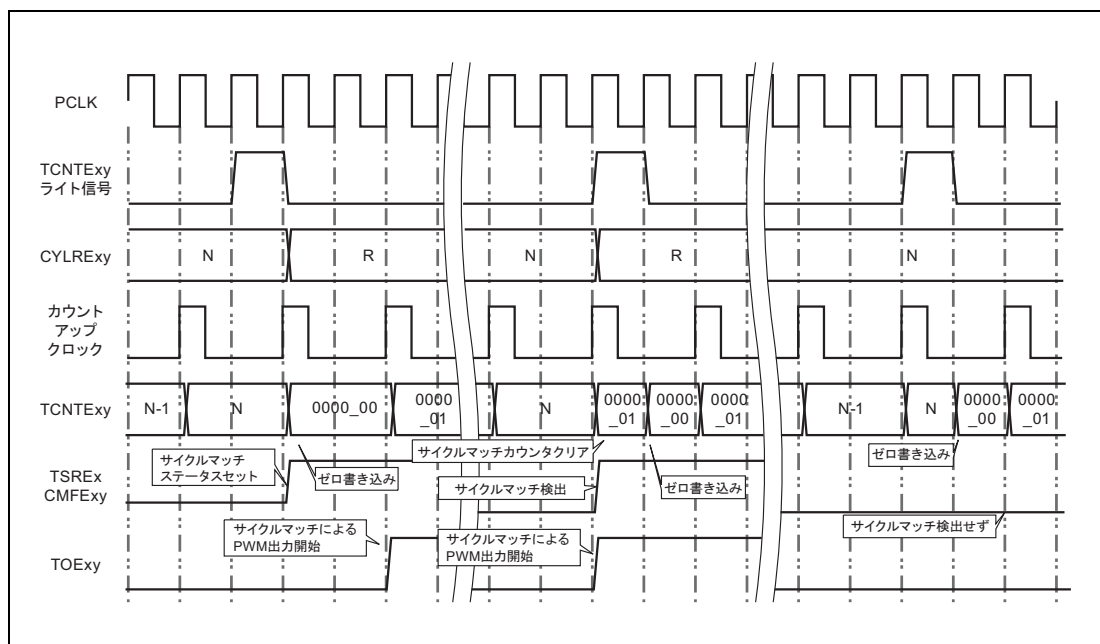


図 21.92 TCNTExy へのゼロ書き込みとサイクルマッチの競合

21.14.3 ロード／リロード競合動作

21.14.3.1 データ転送と転送先レジスタへの書き込みとの競合

レジスタ間のデータ転送と転送先レジスタへの書き込みとの競合を以下に説明します。データ転送と転送先レジスタへの書き込みが同時に発生した場合、書き込みが優先され、データ転送は無視されます。下図はタイマ E の CYLRExy へのリロードと書き込みの競合を示しています。下図左に示すとおり、サイクルリロードのタイミングで CYLRExy への書き込みが発生した場合、書き込みが優先して行われます。右図はサイクルリロード直後に CYLRExy への書き込みが行われた場合を表しています。

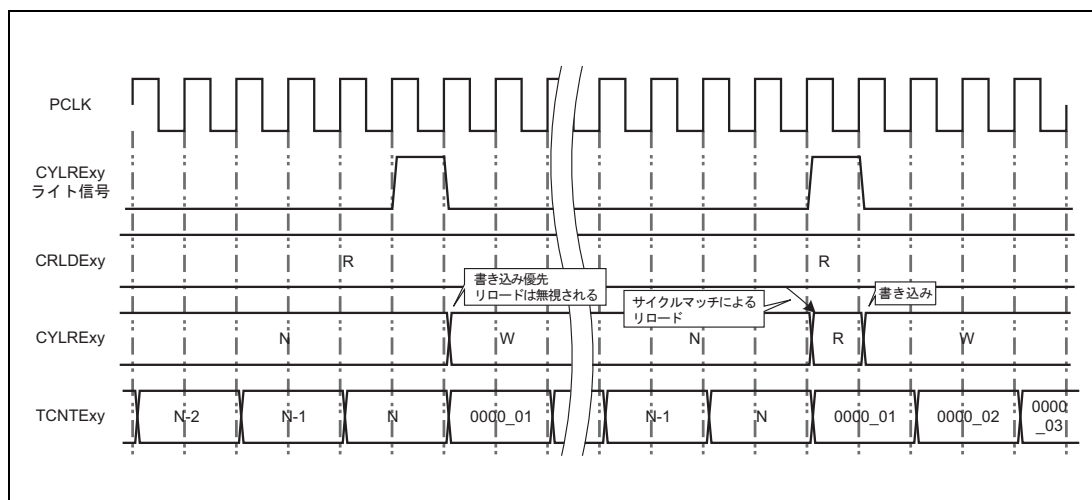


図 21.93 CYLRExy 書き込みとサイクルリロードの競合

| 対象タイマ | 転送データ | 転送先レジスタ | 転送タイミング |
|-------|--|---------|---------|
| タイマ B | ICRB0 LDB TCNTB2 – PIMR TCNTB2 + RLDB | TCNTB2 | 外部イベント |
| | ICRB0 – PIMR LDB – PIMR | RLDB | 外部イベント |
| | TCNTB3 + PIMR | TCNTB3 | 外部イベント |
| | TCNTB3 | TCNTB4 | 外部イベント |
| タイマ E | CRLDExy | CYLRExy | サイクルマッチ |
| | DRLDExy | DTRExy | サイクルマッチ |

21.14.3.2 データ転送と転送元レジスタへの書き込みの競合

レジスタ間のデータ転送と転送元レジスタへの書き込みとの競合を以下に説明します。データ転送と転送元レジスタへの書き込みが同時に発生した場合、書き込み前の値が転送されず。同時に転送元レジスタ値は書き換えられます。サイクルリロードのタイミングで CRLDExy への書き込みが発生した場合の動作を以下に示します。CRLDExy への書き込みとサイクルリロードが同一タイミングで発生した場合（下図左）、書き込み直前の値がリロードされます。一方、右図の例は CRLDExy への書き込みが 1 サイクル早く発生した場合を示しています。

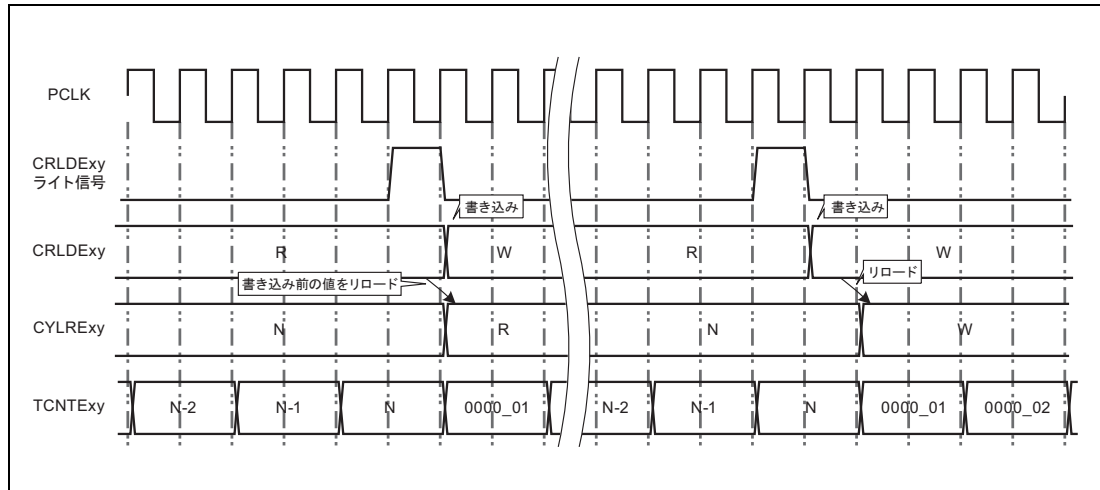


図 21.94 CRLDExy 書き込みとサイクルリロードの競合

| 対象タイマ | 転送元レジスタ | 転送値 | 転送先レジスタ | 転送タイミング |
|--------|---------|----------------------------|---------|---------|
| タイマ B | LDB | LDB – PIMR | RLDB | 外部イベント |
| | | LDB | TCNTB2 | 外部イベント |
| | PIMR | ICRB0 – PIMR LDB – PIMR | RLDB | 外部イベント |
| | | TCNTB2 – PIMR | TCNTB2 | 外部イベント |
| | | TCNTB3 + PIMR | TCNTB3 | 外部イベント |
| | RLDB | TCNTB2 + RLDB | TCNTB2 | 外部イベント |
| TCNTB3 | TCNTB3 | TCNTB4 | 外部イベント | |
| タイマ E | CRLDExy | CRLDExy | CYLRExy | サイクルマッチ |
| | DRLDExy | DRLDExy | DTRExy | サイクルマッチ |

21.14.4 カウンタ競合動作

21.14.4.1 カウンタの書き込みとカウントアップ/カウントダウンの競合

カウンタへの書き込みとカウントアップ/ダウンが同時に発生した場合には書き込みが優先されます。カウントアップは無視され、次のカウントクロックで書き込まれた値から、再びカウントアップ/ダウンを再開します。

21.14.4.2 カウントアップとカウンタクリアの競合

カウンタのカウントアップとカウンタクリアが同時に発生した場合、カウンタは“0”にクリアされず“1”にクリアされます。

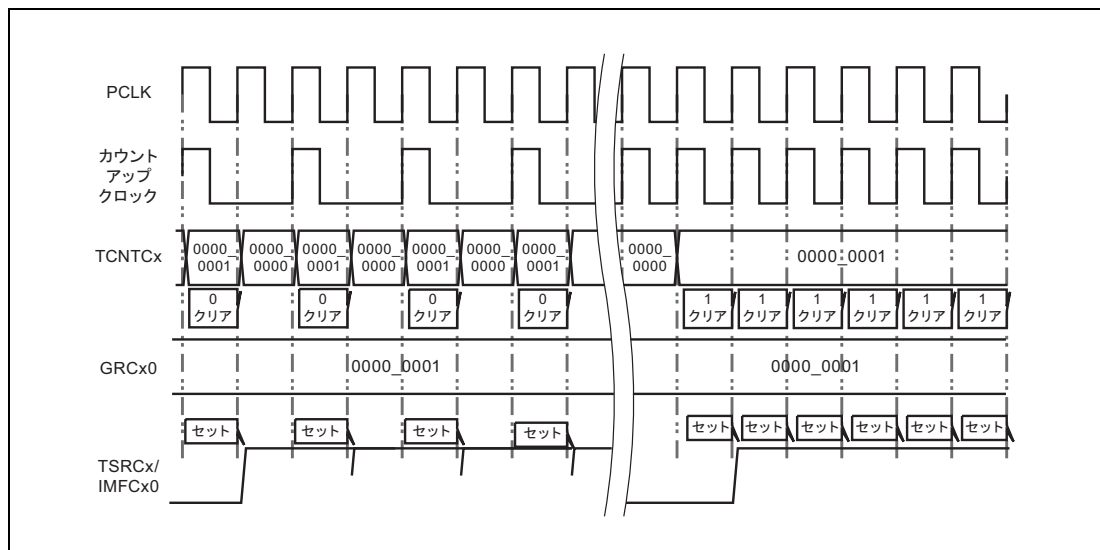


図 21.95 カウントアップとカウンタクリア同時発生

| 対象タイマ | カウンタ | コンペアマッチレジスタ | 備考 |
|-------|---------|-------------|------------------------------------|
| タイマ C | TCNTCx | GRCx0 | (PWMx0 = 1 のときのみ) |
| | TCNTCx | CUCRCx | (PWMx0 = 0, CLRCx = 1 のときのみ) |
| タイマ D | TCNT1Dx | CUCR1Dx | (CLR1Dx = 1 のときのみ) |
| | TCNT2Dx | CUCR2Dx | (CLR2Dx = 1 のときのみ) |
| タイマ F | ECNTAFx | GRAFx | (MDFx = "000", "110", "111" 設定時のみ) |
| | ECNTBFx | GRBFx | (MDFx = "001", "010", "100" 設定時のみ) |
| タイマ G | TCNTGx | OCRGx | |
| タイマ H | TCNT1H | OCR1H | |

21.14.4.3 カウンタへの書き込みとオーバーフローの競合

カウンタオーバーフローと TCNTCx への書き込みが同時に発生した場合、書き込みが優先して行われます。ただしオーバーフロー割り込み要求は出力され、オーバーフローステータスはセットされます (図 21.96 左)。一方、カウンタへの書き込みタイミングがカウントアップより早い場合 (図 21.96 右) にはオーバーフロー割り込み要求は出力されず、オーバーフローステータスはセットされません。

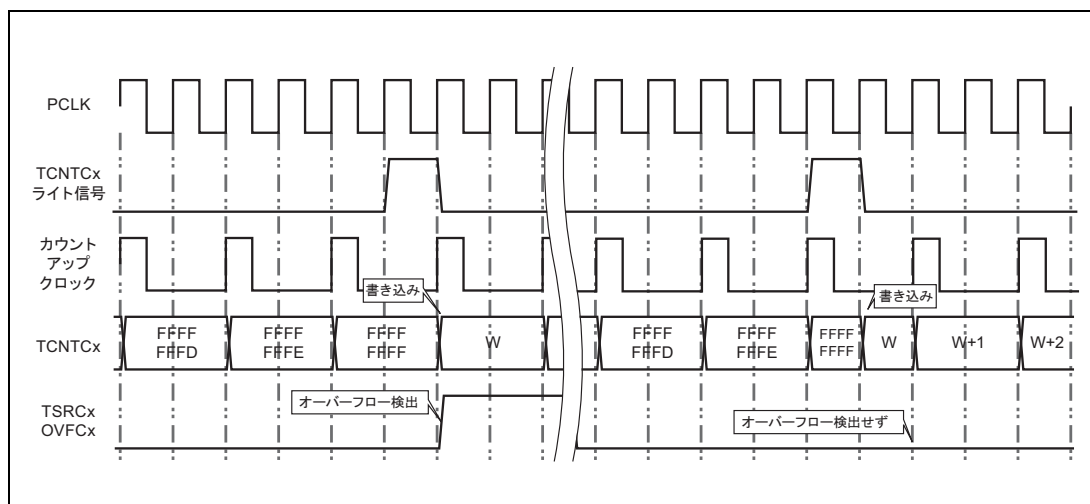


図 21.96 TCNTCx への書き込みとオーバーフローカウンタクリアの競合

| 対象タイマ | カウンタ | ステータス |
|-------|---------|--------|
| タイマ A | TCNTA | OVFA |
| タイマ C | TCNTCx | OVFCx |
| タイマ D | TCNT1Dx | OVF1Dx |
| | TCNT2Dx | OVF2Dx |
| タイマ E | TCNTExy | OVFExy |
| タイマ F | ECNTAFx | OVFAFx |
| | ECNTBFx | OVFBFx |
| | ECNTCFx | OVFCFx |
| タイマ G | TCNTGx | OVFGx |
| タイマ H | TCNT1H | OVF1H |
| | TCNT2H | OVF2H |
| タイマ J | TCNTJx | OVFJx |

21.14.4.4 オーバフローステータスのセットとクリアの競合

オーバフローフラグのクリアとセットが同時に発生した場合、クリアが優先して処理されます。以下はカウンタ値 FFFF FFFF_H から 0000 0000_H へのオーバフローによるステータスフラグのセットと、タイマステータスクリアレジスタによるフラグのクリアが同時に発生した例を示しています (図 21.97 左)。右図はステータスクリア直後に再びオーバフローがセットされる状態を示しています。

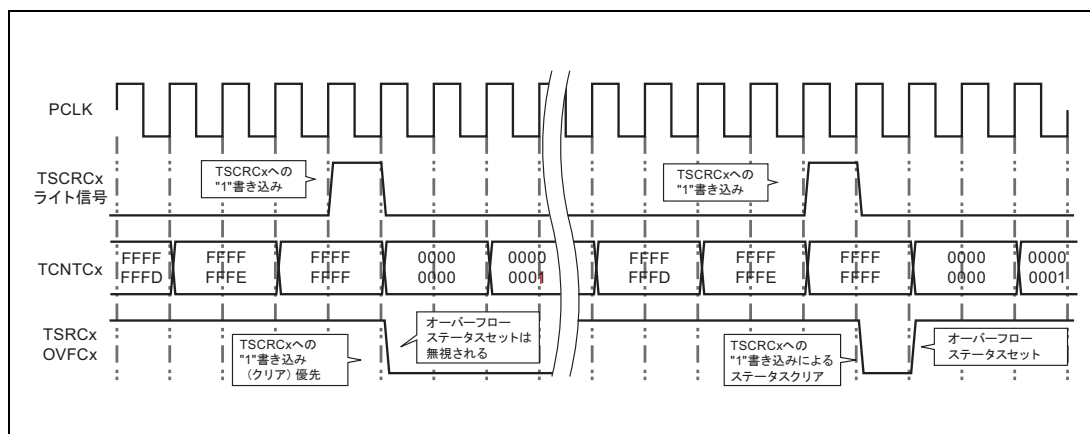


図 21.97 オーバフローステータスのセットとクリアの競合

| 対象タイマ | カウンタ | ステータス | 対象タイマ | カウンタ | ステータス |
|-------|---------|--------|-------|---------|-------|
| タイマ A | TCNTA | OVFA | タイマ G | TCNTGx | OVFGx |
| タイマ C | TCNTCx | OVFCx | タイマ H | TCNT1H | OVF1H |
| タイマ D | TCNT1Dx | OVF1Dx | | TCNT2H | OVF2H |
| | TCNT2Dx | OVF2Dx | タイマ J | TCNTJ x | OVFJx |
| タイマ E | TCNTExy | OVFExy | | | |
| タイマ F | ECNTAFx | OVFAFx | | | |
| | ECNTBFx | OVFBFx | | | |
| | ECNTCFx | OVFCFx | | | |

21.14.4.5 オーバフローとコンペアマッチカウンタクリアの競合

コンペアマッチカウンタクリア機能を持ち、かつその機能が有効な場合に、コンペアマッチレジスタに最大値を設定した場合、カウンタが最大値に達するとカウンタクリアが発生します。そのとき、カウントクロックが 1/1PCLK であったとしてもオーバフロー割り込み要求は出力はされず、オーバフローは検出されません。

タイマ H の TCNT1H と OCR1H での例を以下に示します。OCR1H に FFFF_H を設定し、カウントアップクロックが 1/1PCLK でない場合 (図 21.98 左) と、1/1PCLK の場合 (図 21.98 右) を表しています。

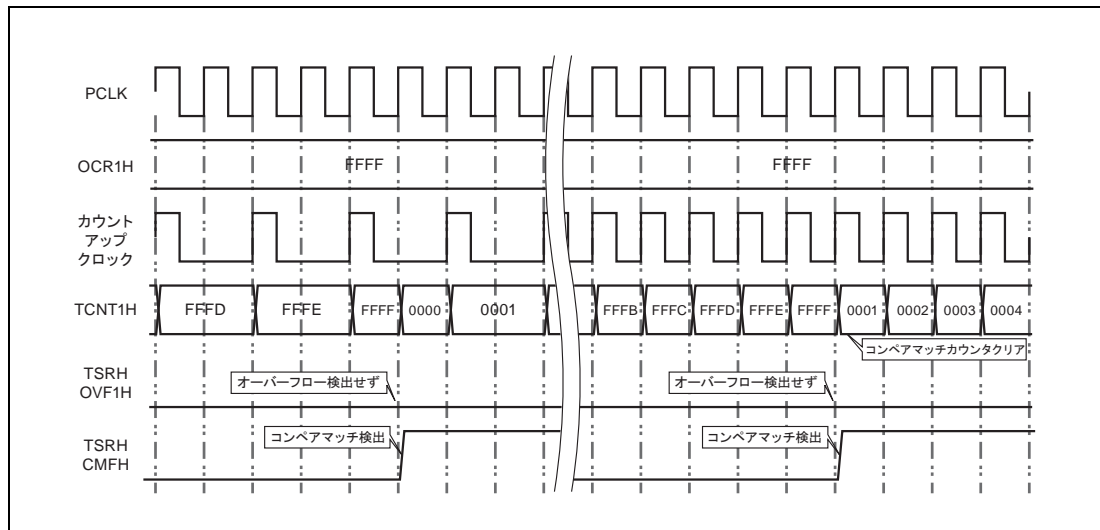


図 21.98 TCNT1H カウンタオーバフローとコンペアマッチの競合

| 対象タイマ | カウンタ | ステータス | 備考 |
|-------|---------|--------|------------------------------------|
| タイマ C | TCNTCx | OVFCx | (PWMx0 = 1 のときのみ) |
| タイマ F | ECNTAFx | OVFAFx | (MDFx = "000", "110", "111" 設定時のみ) |
| | ECNTBFx | OVFBFx | (MDFx = "001" 設定時のみ) |
| タイマ G | TCNTGx | OVFGx | |
| タイマ H | TCNT1H | OVF1H | |

コンペアマッチカウンタクリア機能のないもの、機能を OFF にしている場合にはオーバフロー割り込み要求が出力され、オーバフローステータスがセットされます。タイマ C の PWMx0 ビットが 1 のとき (カウンタクリア有効)、PWMx0 ビットが 0 のとき (カウンタクリア無効) の動作を図 21.99 に示します。

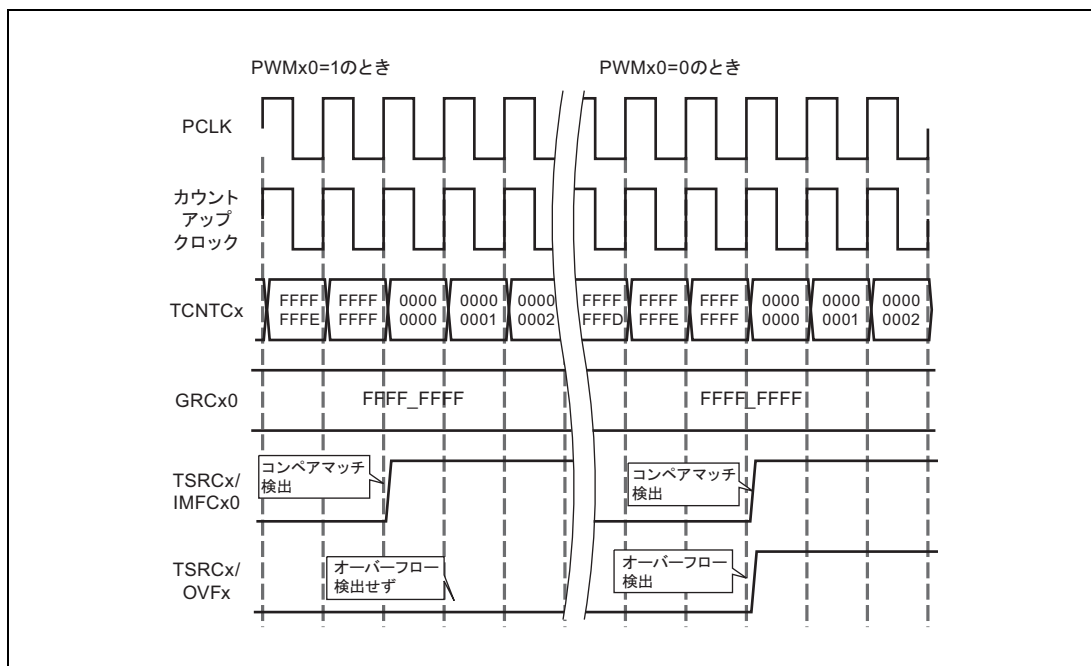


図 21.99 タイマC コンペアマッチカウンタクリアとオーバーフローの競合 (PWMx0 = 1/0)

21.14.5 ノイズキャンセラ競合動作

ノイズキャンセラにおける競合を説明します。

| 対象タイマ | カウンタ | コンペアマッチレジスタ |
|-------|---------|-------------|
| タイマ A | NCNTAx | NCRAx |
| タイマ C | NCNTCxy | NCRCxy |
| タイマ F | NCNTAFx | NCRAFx |
| | NCNTBFx | NCRBFx |
| タイマ J | NCNTJx | NCRJx |

21.14.5.1 ノイズキャンセラカウンタへの書き込みとノイズキャンセラレジスタとのコンペアマッチの競合

NCNT への書き込みと NCR とのコンペアマッチが同時に発生した場合、書き込みが優先して処理されます。先行エッジキャンセルモードでの例を以下に示します。図 21.100 左の例では、書き込みによってコンペアマッチが発生しないため、入力キャプチャも行われません。右図の例は 1 サイクル遅れて書き込みを行った場合を示しています。この場合はコンペアマッチが発生し、入力キャプチャ処理が行われます。

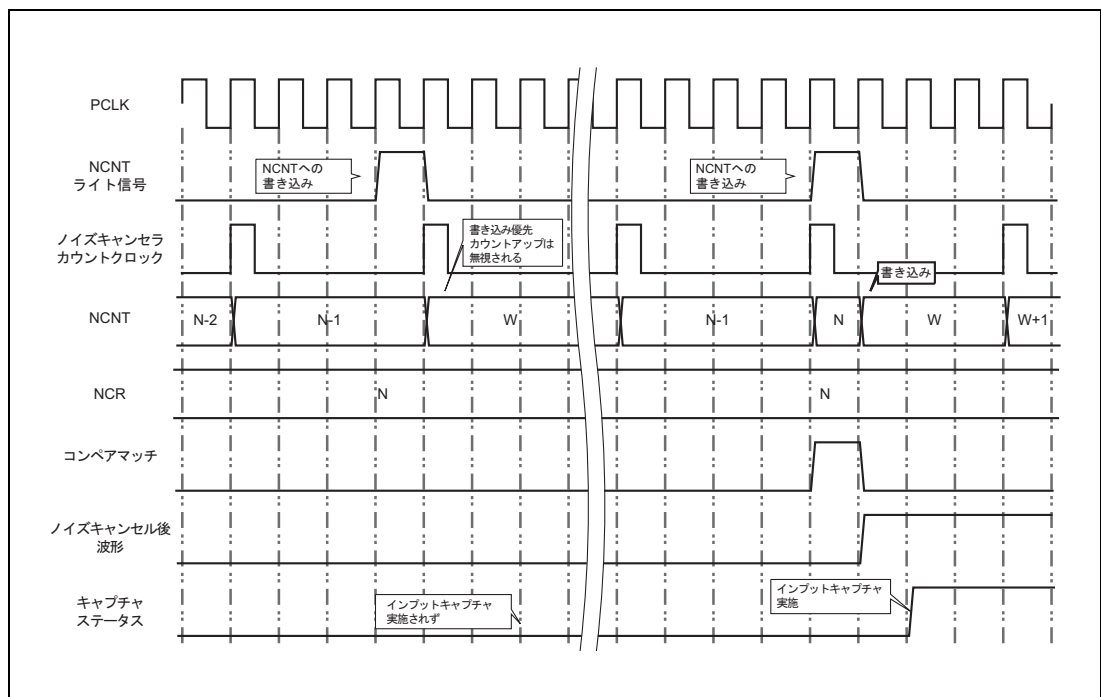


図 21.100 NCNT への書き込みと NCNT-NCR コンペアマッチの競合
(例：先行エッジキャンセルモード)

21.14.5.2 ノイズキャンセラレジスタへの書き込みとノイズキャンセラカウンタとのコンペアマッチの競合

NCR への書き込みと NCNT とのコンペアマッチが同時に発生した場合、書き込みが優先して処理されます。先行エッジキャンセルモードでの例を以下に示します。図 21.101 左の例では、書き込みによりコンペアマッチがは発生しないため、インプットキャプチャも行われません。右図の例は 1 サイクル遅れて書き込みを行った場合を示しています。この場合はコンペアマッチが発生し、インプットキャプチャ処理が行われます。

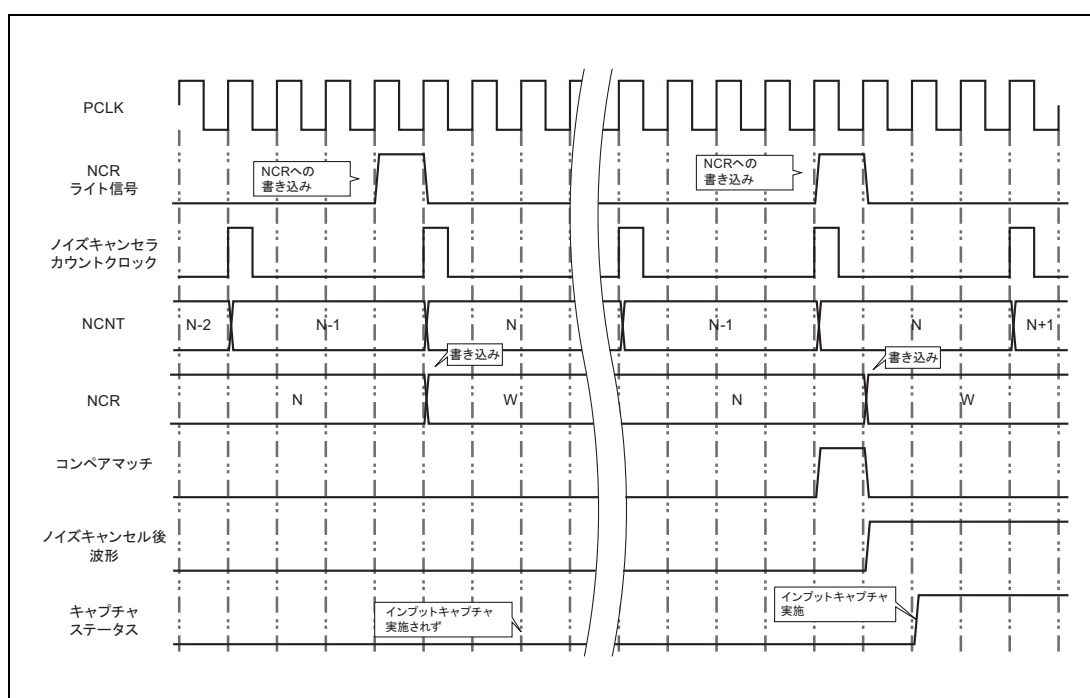


図 21.101 NCR への書き込みと NCNT とのコンペアマッチの競合
(例：先行エッジキャンセルモード)

21.14.6 タイマダウンカウンタ Dxy 競合動作

DCNTDxy における競合を説明します。

21.14.6.1 DCNTDxy カウンタへの書き込みとカウントダウンの競合

DCNTDxy への書き込みとカウントダウンが同時に発生した場合には書き込みが行われず。カウントダウンは無視され、次のカウントダウンクロックで書き込まれた値から、再びカウントダウンを再開します。

21.14.6.2 DCNTDxy カウンタへの書き込みとアンダフローの競合

DCNTDxy への書き込みとアンダフローが同時に発生した場合には書き込みが行われます。下図左の例は DCNTDxy が 0000 0000_H の状態でカウントダウンクロックと書き込みが同時に発生した場合の動作を表しています。DCNTDxy には新たな値が書き込まれますが、アンダフロー検出により、カウントダウン動作は停止します。アンダフロー割り込み要求は出力され、アンダフローフラグはセットされます。右図は 1 サイクル前に DCNTDxy への書き込みを行った場合であり、このときアンダフロー割り込み要求は出力されず、アンダフローは検出されません。

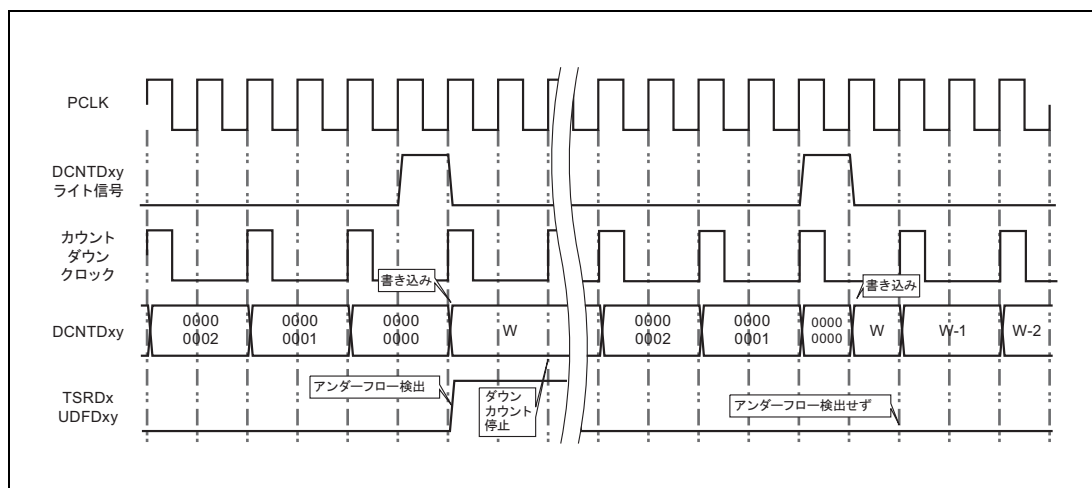


図 21.102 DCNTDxy 書き込みとアンダフローの競合

21.14.6.3 DCNTDxy カウンタへの書き込みとコンペアマッチ B (カウント停止トリガ) の競合

DCNTDxy への書き込みとコンペアマッチ B が同時に発生した場合、DCNTDxy には書き込みが行われます。(ダウンカウント停止要因としてコンペアマッチ B が選択されている場合)

下図中央は DCNTDxy への書き込みとコンペアマッチ B 検出によるカウンタクリアが同時に起こった場合を表しています。コンペアマッチ B による DCNTDxy カウンタクリアは無視され、書き込みが優先されます。しかし、コンペアマッチ B により TODxyB 出力は遮断され、DCNTDxy は書き込まれた値のまま停止します。下図右は書き込みサイクルが 1PCLK サイクル先に発生した場合を表しています。DCNTDxy に書き込みを行った次の PCLK サイクルでコンペアマッチ B によりカウンタはクリアされます。下図左はコンペアマッチ B によるカウンタクリア直後に書き込みを行った例を表しています。

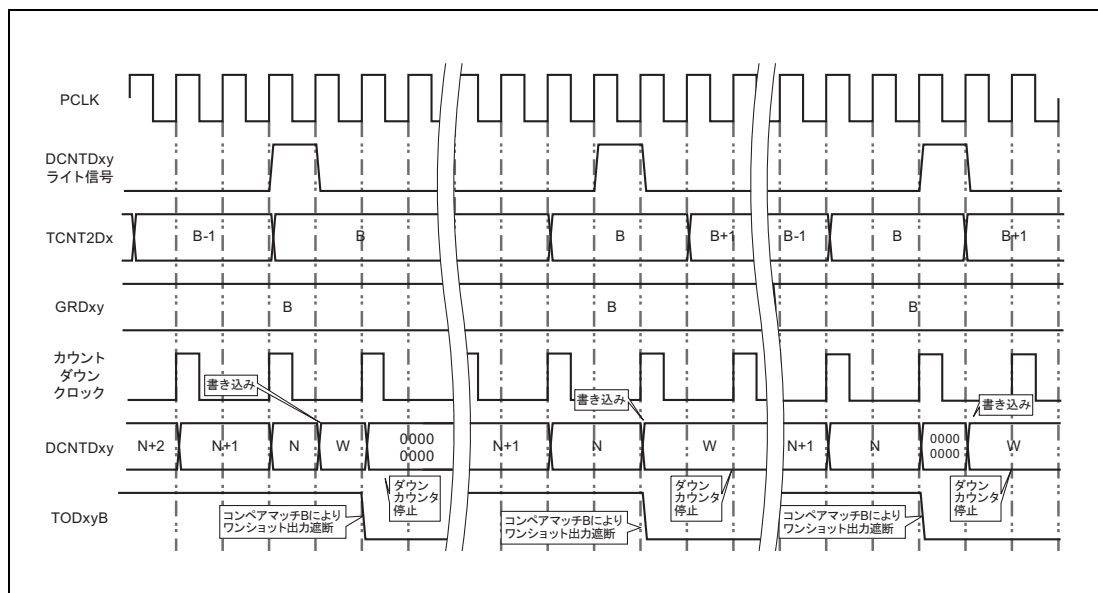


図 21.103 DCNTDxy 書き込みとコンペアマッチ B によるカウンタクリアの競合

21.14.6.4 アンダフローステータスのセットとステータスクリアレジスタへの1書き込みクリアの競合

タイマステータスクリアレジスタによるフラグクリアとアンダフローが同時に発生した場合、クリアが行われます。以下は DCNTDxy カウンタ値のアンダフローによるステータスフラグのセットと、タイマステータスクリアレジスタによるフラグクリアが同時に発生した例を示しています（下図左）。右図はステータスクリア直後に再びアンダフロー発生によりステータスフラグがセットがされる状態を示しています。

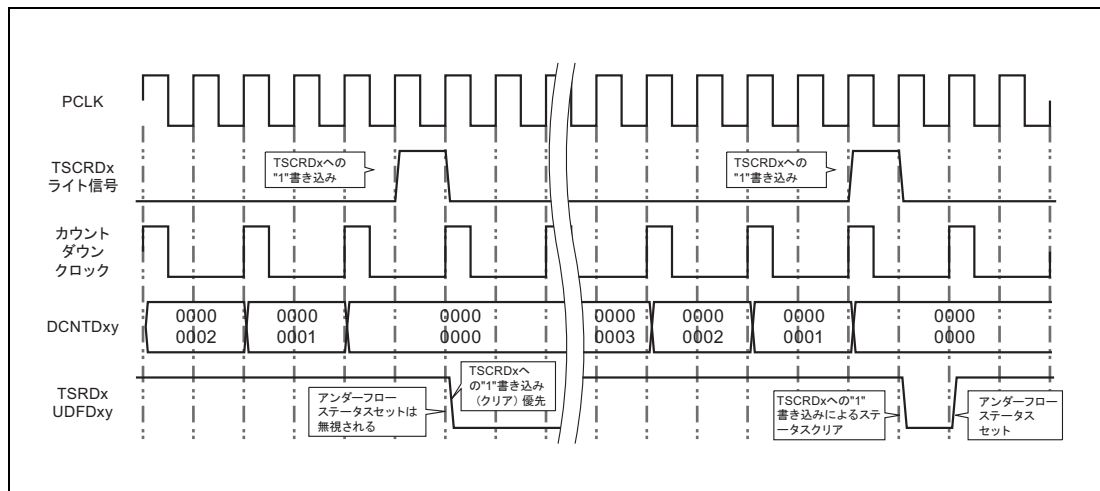


図 21.104 アンダフローステータスのセットとクリアの競合

21.14.6.5 ダウンカウンタ値 0000 0000_H 時のダウンカウンタスタートトリガ発生による TODxyB 出力

TODxyB 出力はダウンカウンタアンダフローにより開始せずに終了します。

21.14.6.6 ダウンカウンタスタートトリガ、ストップトリガが同時に発生した場合の TODxyB 出力

ダウンカウンタスタートトリガ、ダウンカウンタストップトリガが同時に発生した場合、ストップトリガにより、ダウンカウンタはゼロクリアされます。TODxyB 出力も開始せずに終了します。

ダウンカウンタスタートトリガ発生後、最初のダウンカウントクロックが入力される前にダウンカウンタストップトリガが発生した場合も同様に、ダウンカウンタは一度もダウンカウントをすることなくゼロクリアされ、TODxyB 出力も開始せずに終了します。

21.14.6.7 ダウンカウンタスタートトリガとアンダフローの競合

ダウンカウンタスタートトリガとアンダフローが同時に発生した場合、DCNTDxy は 0000 0000_H で停止した状態を保ちます（図 21.105 中央）。その前の状態がダウンカウント中であれば TODxyB 出力はアンダフローにより遮断します（図 21.105 左）。ダウンカウント停止中 (DCNTDxy = 0000 0000_H) にコンペアマッチ A が発生した場合には TODxyB 出力はネゲート状態を維持します（図 21.105 右）。いずれの場合も、アンダフロー割り込み要求、アンダフローフラグの“1”セットはダウンカウンタスタートトリガ検出と同時、もしくは検出後の最初のダウンカウントクロックに同期して出力されます。

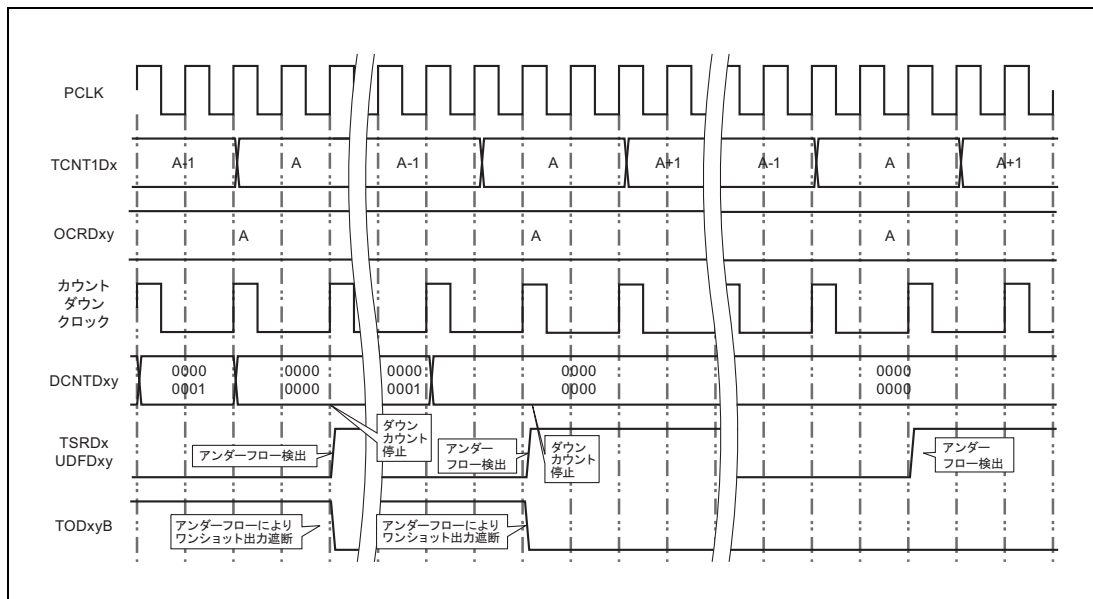


図 21.105 コンペアマッチ A とアンダフローの競合

21.14.7 タイマ A、B とタイマ D 連携動作

タイマ B からのカウンタクリア要求と TCNT1Dx、TCNT2Dx との競合を説明します。

21.14.7.1 TCNT1Dx、2Dx カウンタクリアとコンペアマッチの競合

タイマ B からのカウンタクリア信号による TCNT1Dx、TCNT2Dx カウンタクリアとコンペアマッチが同時に発生した場合の動作を図 21.106 に示します。下図左はコンペアマッチ発生前にカウンタクリアが行われた場合を示しています。一方、右図はコンペアマッチ発生と同時にカウンタクリアが発生した場合を示しています。

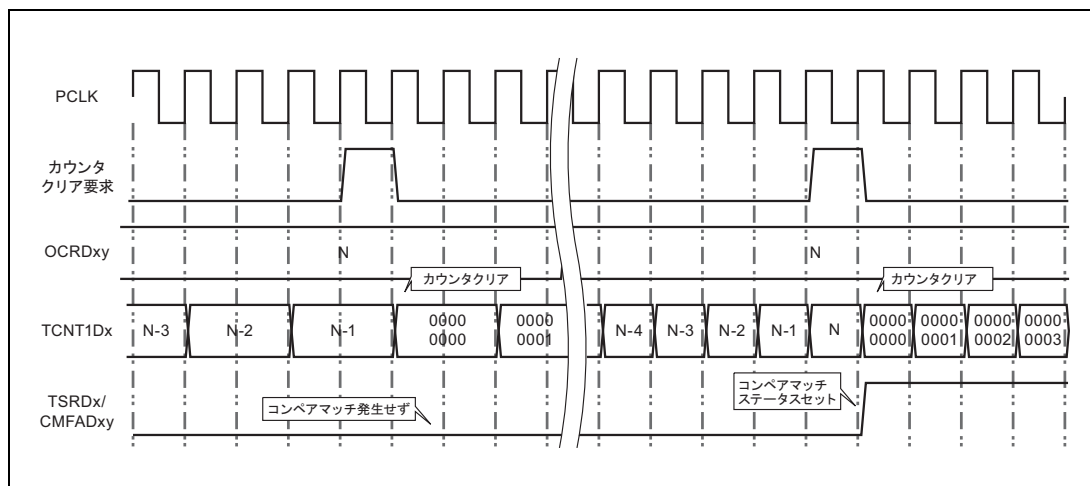


図 21.106 タイマ B からのカウンタクリアとコンペアマッチの競合

| 対象タイマ | カウンタ | カウンタクリア要因 | コンペアマッチレジスタ | ステータス |
|-------|---------|---------------------------------------|-------------|---------|
| タイマ D | TCNT1Dx | タイマ B からの TCNT1Dx、TCNT2Dx クリア要求 | OCR1Dxy | CMFADxy |
| | TCNT2Dx | | OCR2Dxy | CMFBDxy |

21.14.7.2 TCNT1Dx、TCNT2Dx カウンタへの書き込みとタイマ B からのカウンタクリアの競合

TCNT1Dx、TCNT2Dx への書き込みとタイマ B からのカウンタクリア信号が同時に発生した場合、カウンタクリアは行われずカウンタには書き込みが行われます (図 21.107 左)。右図は TCNT1Dx への書き込みが 1PCLK サイクル後にずれた場合を表しています。(TCNT2Dx も同様)

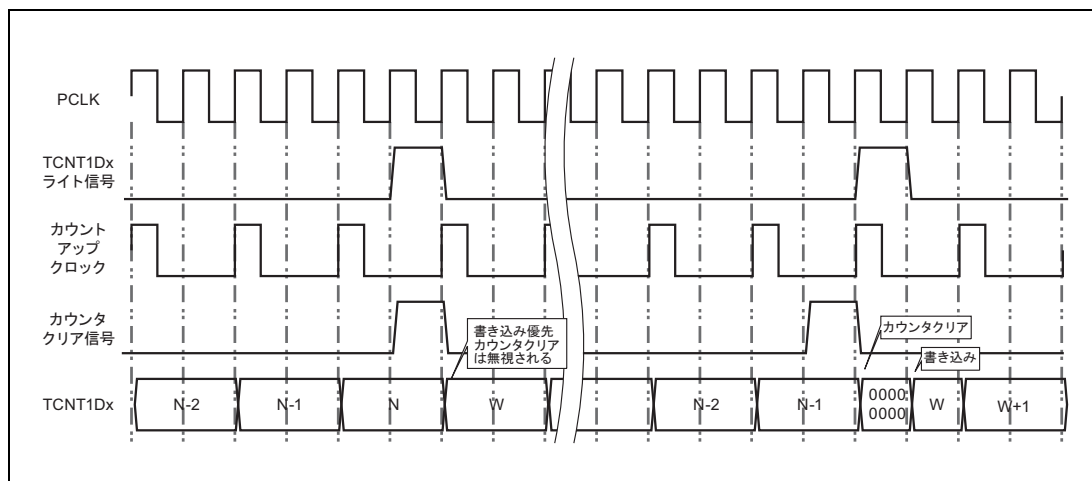


図 21.107 TCNT1Dx 書き込みとカウンタクリアの競合

21.14.7.3 TCNT1Dx、TCNT2Dx カウンタオーバーフローとタイマ B からのカウンタクリアの競合

カウントアップによる TCNT1Dx オーバーフローとタイマ B からの TCNT1Dx カウンタクリアが同時に発生した場合、カウンタ値はクリア信号により 0000 0000_H にクリアされます。このとき、オーバーフロー割り込み要求は出力されません。オーバーフローフラグはセットされません (ただし C1CEDx = 1 のときのみ)。TCNT2Dx オーバーフローも同様です。

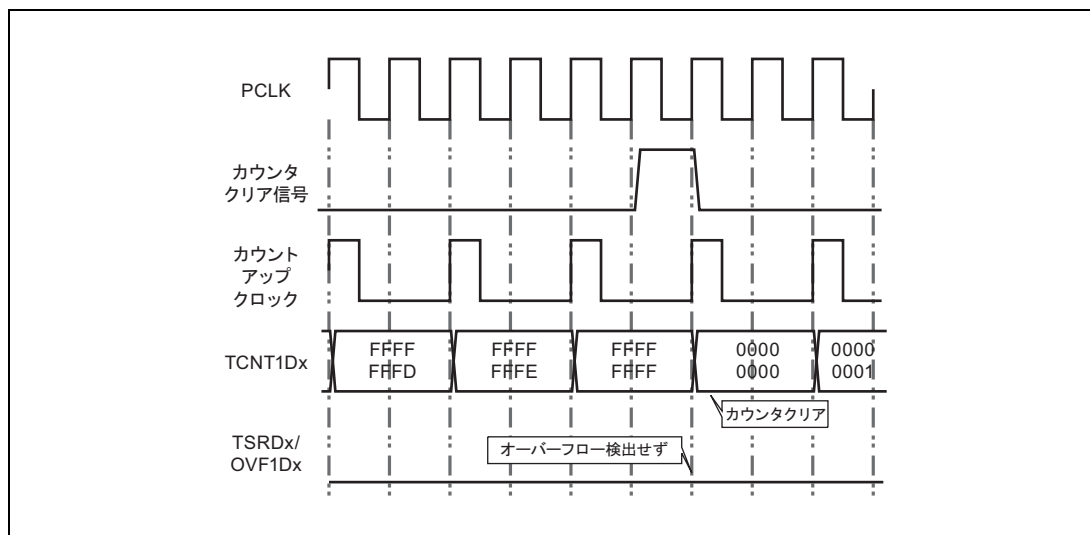


図 21.108 カウンタクリアとオーバーフローの競合

21.14.7.4 タイマ B からのクリア信号による TCNT1Dx クリアと OSBRDx へのインプットキャプチャの競合

タイマ B からの TCNT1Dx カウンタクリアとオフセットベースレジスタへのインプットキャプチャが同時に発生したときの動作を以下に示します。キャプチャとカウンタクリアが同時に発生した場合、クリア前のカウンタ値が OSBRDx に取り込まれます。同時に TCNT1Dx カウンタはクリアされます (図 21.109 左)。図 21.109 右はカウンタクリアされた 1 サイクル後にキャプチャが行われ、OSBRDx にクリア後の値が取り込まれた様子を表しています。

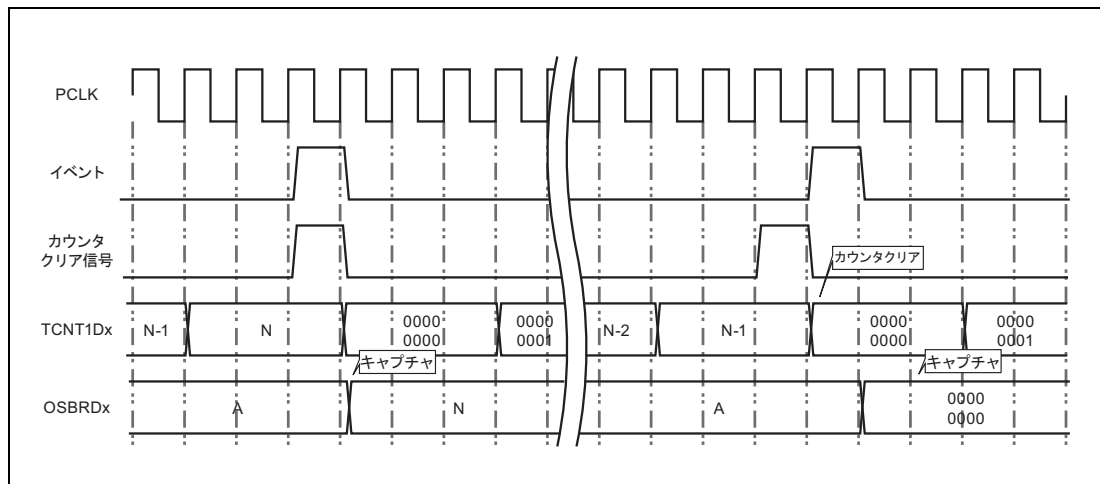


図 21.109 TCNT1Dx カウンタクリアと OSBRDx へのインプットキャプチャの競合

21.14.7.5 タイマ B からの 0 クリアとカウンタ上限値設定機能によるクリアの競合

タイマ B からのカウンタ 0 クリア信号と、タイマ D カウンタ上限値設定機能によるクリアが競合した場合、タイマ B からのカウンタ 0 クリアを優先し、カウンタ値は 0 になります。

| 対象タイマ | カウンタ | カウンタクリア要因 | コンペアマッチレジスタ |
|-------|---------|-------------------------|-------------|
| タイマ D | TCNT1Dx | タイマ B からの TCNT1Dx クリア要求 | CUCR1Dx |
| | TCNT2Dx | タイマ B からの TCNT2Dx クリア要求 | CUCR2Dx |

21.14.8 コンペアマッチ動作仕様の混在

タイマごとにコンペアマッチ動作の仕様が異なります。コンペアマッチ発生タイミングと検出条件の違いによって、以下3種類の動作仕様が存在します。

- Type1
 - タイマカウンタとコンペアマッチレジスタの値が一致した次の PCLK でコンペアマッチを発生する。
 - コンペアマッチの検出は PCLK ごとに実施する。
 - タイマカウンタ、コンペアマッチレジスタへの書き込みタイミングでもコンペアマッチを検出する。
- Type2
 - タイマカウンタとコンペアマッチレジスタの値が一致した次の PCLK でコンペアマッチを発生する。
 - コンペアマッチの検出はタイマカウンタがカウントアップあるいはカウントダウンした PCLK で実施する。
 - タイマカウンタ、コンペアマッチレジスタへの書き込みタイミングではコンペアマッチを検出しない。
- Type3
 - タイマカウンタとコンペアマッチレジスタの値が一致した次のカウントクロックでコンペアマッチ発生する。
 - コンペアマッチの検出はカウントクロックごとに実施する。
 - タイマカウンタ、コンペアマッチレジスタへの書き込みタイミングではコンペアマッチを検出しない。

| 対象タイマ | カウンタ | コンペアマッチレジスタ | コンペアマッチ仕様 |
|--------|---------|-------------|-----------|
| タイマ B | TCNTB0 | OCRB0 | Type3 |
| | TCNTB1 | OCRB1 | Type1 |
| | | OCRB10 | Type1 |
| | | OCRB11 | Type1 |
| | | OCRB12 | Type1 |
| | TCNTB6 | OCRB6 | Type3 |
| | | OCRB7 | Type3 |
| TCNTB3 | OCRB8 | Type1 | |
| タイマ C | TCNTCx | CUCRCx | Type1 |
| | | GRCxy | Type1 |
| | | OCRCxy | Type1 |
| タイマ D | TCNT1Dx | CUCR1Dx | Type1 |
| | | OCR1Dxy | Type2 |
| | TCNT2Dx | CUCR2Dx | Type1 |
| | | OCR2Dxy | Type2 |
| タイマ E | TCNTExy | CYLRExy | Type3 |
| | | DTRExy | Type3 |

| 対象タイマ | カウンタ | コンペアマッチレジスタ | コンペアマッチ仕様 |
|-------|---------|-------------|-----------|
| タイマ F | ECNTAFx | GRAFx | Type1 |
| | ECNTBFx | GRBFx | Type1 |
| | ECNTCFx | GRCFx | Type1 |
| | | GRDFx | Type1 |
| タイマ G | TCNTGx | OCRGx | Type1 |
| タイマ H | TCNT1H | OCR1H | Type1 |
| タイマ J | TCNTJx | OCRJx | Type1 |

第22章 オートノマスパルスアダプタ (APA)

自律型パルス制御アダプタ (APA) は、複雑なパルス波形を CPU の介在なしにリアルタイムに生成することが可能です。APA を使用することにより、CPU や周辺バスの負荷低減、PWM チャネルやリファレンス入力を連携させたパルス生成が可能となります。

22.1 概要

基本機能

- 複雑なパルス波形を CPU の介在なしにリアルタイムに生成できます。
- パルス幅などをリアルタイムに算出する演算器を内蔵しています。
- ワンショットパルスを基本単位として、それを複数定義することにより複雑なパルス列を生成できます。
- ワンショットパルスは複数のリファレンスデータから生成します。時間、角度、AD 変換値などを組み合わせることができます。
- イベント入力によりリアルタイムにパルス列を制御 (状態変化) できます。イベント入力による制御は数種類から選択できます (出力停止、次パルス遷移、出力マスクなど)。
- 複数チャネルに対して同じイベント信号を使用して制御を行うことにより、チャネルを同期させての動作が可能です。

リファレンス入力

- リファレンス入力として、時間分解能の異なる下記 3 種類 (計 11 チャネル) が使用できます。

注 意

本製品では、APA のリファレンスとして SAR-AD を使用することはできません。

表 22.1 リファレンス入力表

| 種別 | 時間分解能 | チャネル数 | ダイナミックレンジ | 備考 |
|------------|-----------|-------------------|-----------|--|
| リファレンス入力 A | pclk * 4 | 2 (チャネル 0、チャネル 1) | 16 ビット | 外部入力 |
| リファレンス入力 C | pclk * 20 | 8 (チャネル 2 ~ 9) | 16 ビット | 外部入力 |
| リファレンス入力 S | pclk * 20 | 1 (チャネル sw) | 16 ビット | リファレンス入力として使用可能なレジスタで、ソフトウェアから R/W できます。 |

注 1. リファレンス入力として使用する信号は、上表の時間分解能より更新周期が低速でなければなりません (高速な場合、APA 内部でデータを受け取ることができず、データ取りこぼしが発生します)。

表 22.2 適用例 (電流フィードバック構成 pclk = 40MHz)

| 種別 | 時間分解能 | 対応チャンネル | ダイナミックレンジ | 使用リファレンス | 接続先 | 備考 |
|--------------|----------------|-----------------|-----------|-------------|---------------------|---|
| タイマ | 10MHz (pclk*4) | チャンネル 0、チャンネル 1 | 16 ビット | リファレンス A *2 | ATU (TimerD、TimerG) | ATU 出力は 32 ビット。使用する 16 ビットを切り出して使用します (APA 入力セレクタにて設定。「22.5.8 APA 入力セレクタ」参照)。 |
| ADC | 2MHz (pclk*20) | チャンネル 2 ~ 9 | 16 ビット | リファレンス C *8 | ΔΣ-ADC/SAR-AD | — |
| ソフトウェアリファレンス | 2MHz (pclk*20) | チャンネル sw | 16 ビット | リファレンス S *1 | — | — |

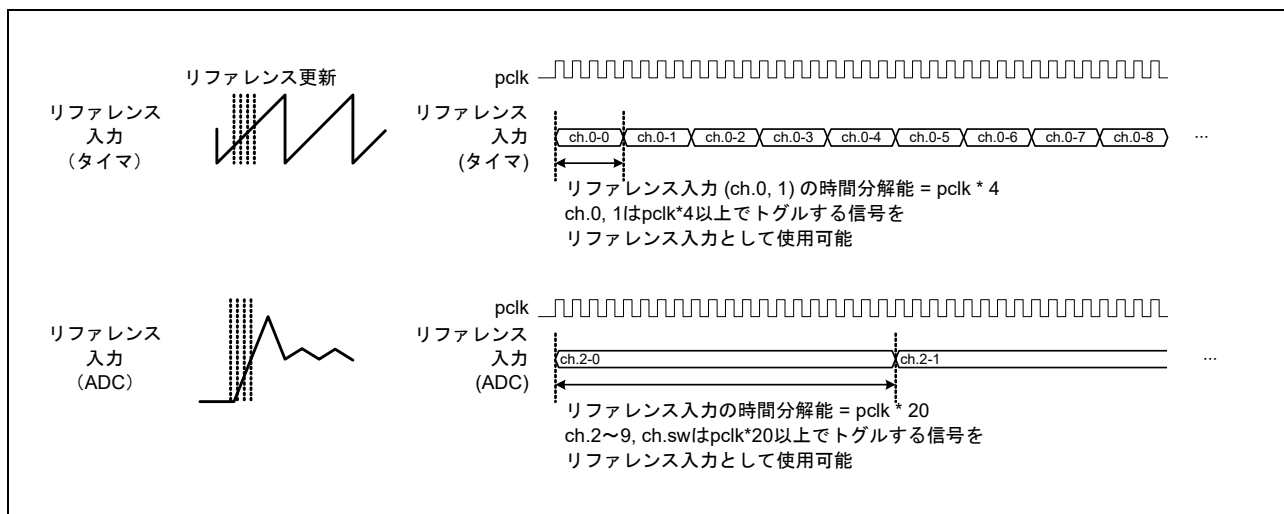


図 22.1 リファレンス入力の使用条件

イベント入力

- 32 チャンネル使用可能
 - うち 16 チャンネルは 64 チャンネルのイベント入力の中から選択できます (ソフトウェアイベント 6 チャンネル分を含む)。
 - 残りの 16 チャンネルは、APA 自身が生成する PWM 出力をイベント入力として使用可能です。
- パルス生成チャンネルに対するイベント入力は、時分割によって行います。

表 22.3 イベント入力

| 種別 | 時間分解能 | チャンネル数 | 検出 edge | 備考 |
|--------------|----------|--------|----------------------------|--|
| イベント入力 | pclk * 1 | 58 | rise/fall/ rise+fall 両方 | — |
| ソフトウェアイベント入力 | pclk * 1 | 6 | rise/fall/ rise+fall 両方 | イベント入力として使用可能なレジスタで、ソフトウェアから R/W できます。 |

パルス生成チャネル

- PWM によるパルス生成出力に 16 チャネルを使用できます。
- 各パルス生成チャネルに対して割り込み 1 チャネルを出力できます (合計 16 チャネル)。
 - 割り込み要因は 5 種類の中から選択：エレメント遷移、チャネル動作完了、On マッチ時、Off マッチ時、On/Off マッチ時
- パルス生成は、任意のリファレンス入力に対して PWM 出力を ON にする条件 (=, <, >)、OFF にする条件 (同)、任意のイベント入力に対する例外処理など、各種のパラメータ類のセット (エレメントと呼ぶ) を設定することで実現します。
- 複数のエレメントを組み合わせることにより、複雑なパルス列を実現できます。

表 22.4 パルス／割り込み出力

| 種別 | 時間分解能 | チャネル数 | 最小パルス幅 | 備考 |
|----------------------|----------|-------|-------------------------------------|--|
| PWM 出力 ^{注1} | pclk * 1 | 16 | pclk * 40 (High) pclk * 40 (Low) | 左記は、エレメントで指定したマッチ条件で ON/OFF が発生した場合の最小パルス幅。 例外処理によってマッチ状態が強制的に変化した場合、マッチとの競合によって左記より短いパルス幅となる場合があります。 |
| 割り込み出力 | pclk * 1 | 16 | pclk * 1 (High) | 1shot-pulse (High) のみ出力できます。 |

注 1. PWM 出力はエレメントにてマッチ条件を指定することで生成されますが、マッチ条件として上表の最小パルス幅を満たすように指定してください (「22.5.7.1 マッチ条件の設定 1」を参照)。pclk*40 以下のパルス幅になるマッチ条件を指定した場合、意図しないパルス幅となる可能性があります。

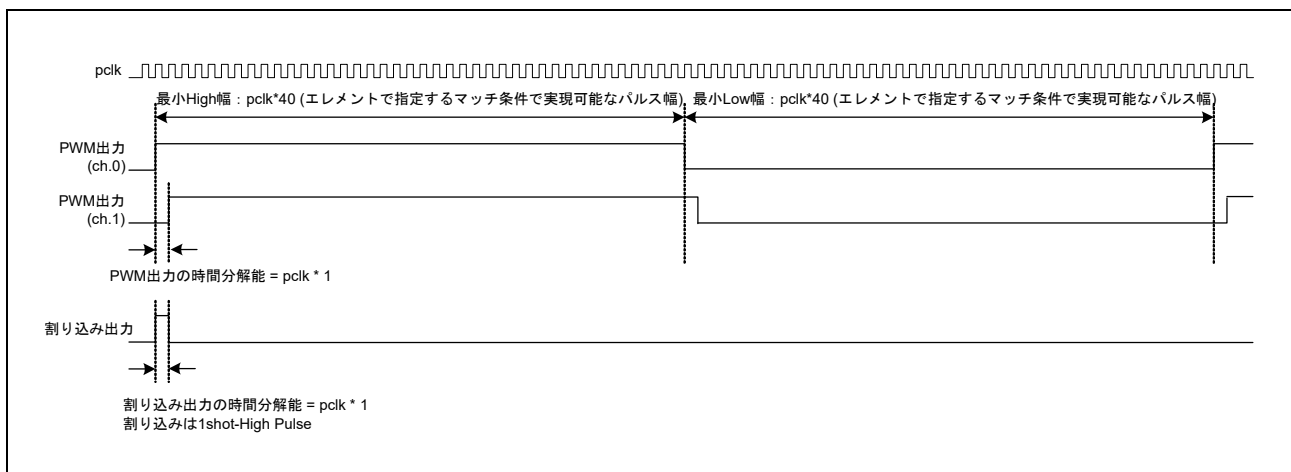


図 22.2 パルス／割り込み出力の使用条件

エレメント RAM I/F

- APA において、エレメント 128 個を定義可能です。
- エレメント情報を全パルス生成チャンネル (16 チャンネル) で共有できます。パルス生成チャンネルからエレメント RAM へのアクセスは時分割で行います (イベント入力部が時分割を制御)。
- パルス生成チャンネルでのパルス生成の前に、エレメントデータの書き込みを行います (P-Bus 経由)。
- エレメントデータは、P-Bus から Read することができます。
- 各エレメントは個別にメモリ上に配置され、P-Bus 経由で R/W 可能です。P-Bus からエレメントへの Write は、3 ワード (32 ビット *3) 分を連続してアクセスする必要があります。
- マッチ条件 (相対/絶対) 算出用の演算機能を内蔵しています。

22.2 用語

本章に記載する用語は、下表のように定義しています。

表 22.5 用語一覧 (1/2)

| 単語 | 本章での定義 |
|------------------|--|
| APA | Autonomous Pulse Adapter. 自律型パルス制御アダプタ |
| 外部リファレンス | パルス生成のために参照される各種タイマ類、ADC 類、センサ類などのデータ出力信号を、ここではリファレンスとします。1 チャンルあたり 16 ビット幅、10 チャンル接続可能な構成を想定しています。分解能 (周波数) の異なるリファレンスの混在が可能です。 |
| ソフトウェアリファレンス | ソフトウェアから書き込むことで、仮想的なリファレンスとして使用できるレジスタ領域 (16 ビット)。1 チャンルが使用可能です。 |
| リファレンスバス | 全リファレンス 11 チャンル (外部 10 チャンル+ソフトウェア 1 チャンル) を時分割で多重化した APA 内部のローカルバス。 |
| イベント | APA 内部の制御のトリガとなる信号を、ここではイベントとします。具体的には周辺モジュールからの割り込み信号、APA 自身の PWM 出力信号などです。1 チャンルあたり 1 ビットとし、最大で 32 チャンルまで使用可能です (うち 16 チャンルは入力 64 チャンルより選択可、残り 16 チャンルは固定的な接続)。 |
| ソフトウェアイベント | ソフトウェアから書き込むことで、仮想的なイベントとして使用できるレジスタ領域。1 ビット * 6 チャンル使用可能です。 |
| イベントバス | イベント 32 チャンルをパラレルに連結した APA 内部のローカルバス (eb_dat_r[31:0])。 |
| エレメント | パルス生成条件となる各種パラメータ類をセットにしたデータ構造。各パルス生成チャンネルは、参照しているエレメントに定義された設定にしたがってパルス生成を行います。 <ul style="list-style-type: none"> エレメントの内容は、具体的にはリファレンス入力番号 (0 ~ 7)、PWM 出力を ON にする条件 (=, <, >)、OFF にする条件 (同)、任意のイベント入力に対する例外処理設定、次のエレメントへのポインタなど。 エレメントの実体は APA 内部のローカルメモリ (エレメント RAM) 内に定義され、パルス生成を開始する前に P-Bus 経由で設定します。 各エレメントには、次のエレメントへのポインタが定義されており、例外処理 (Transfer) によって次のエレメントへ遷移します。複数のエレメントを組み合わせることで、複雑なパルス列を実現することができます。 |
| 例外 | 各パルス生成チャンネルの動作制御を、ここでは「例外」とします。 <ul style="list-style-type: none"> 例外には [Postpone]、[Force]、[Restart]、[Transfer]、[Start]、[Stop] の 6 種類があり、それぞれのトリガに任意のイベントを割り当てることができます。 |
| リファレンス時分割 | 各パルス生成チャンネル (0 ~ 15) へリファレンス入力を分配する際に行われる時分割処理。 |
| リファレンススロット | リファレンス時分割により時分割された時間の一単位 (=pclk*1)。 |
| 固定イベント入力 | PWM 出力からループバックで使用できる分のイベント入力。固定的に使用できます。 |
| 選択イベント入力 | 外部イベント入力 58 チャンル+ソフトウェアイベント入力 6 チャンルの合計 64 チャンルのうち 16 チャンル分だけ選んで使用できるイベント入力。APA で同時に使用できるイベント入力は、固定イベント (16 チャンル) + 選択イベント入力 (16 チャンル) で 32 チャンル。 |
| イベント時分割 | エレメント RAM や演算器のハードウェアリソース共有のため、APA 内の回路 (パルス生成チャンネル、P-Bus) が使用可能な時間を割り振ります。 |
| イベントスロット | イベント時分割により時分割された時間の一単位 (= pclk*1) |
| 共有サイクル | イベント時分割が一周する周期。20 イベントスロット (pclk*20) で一周。 |
| パルス生成チャンネル | PWM 波形を生成する回路。任意のリファレンス入力を監視し、条件にあった PWM 波形を生成する回路。モジュール 1 つ当たり 16 チャンルを持ち、それぞれ独立して動作可能です。 |
| ON マッチ / OFF マッチ | パルス生成チャンネルでの PWM 波の生成において、リファレンス入力がエレメント内で定義されたパルス生成条件を満たすことをマッチと呼びます。ON 条件を満たすのは ON マッチ、OFF 条件なら OFF マッチ。 |

表 22.5 用語一覧 (2/2)

| 単語 | 本章での定義 |
|----------------|--|
| ON 待ち / OFF 待ち | ON マッチを監視する状態 = ON 待ち、OFF マッチ監視状態 = OFF 待ち。ON 待ちと OFF 待ちは排他。 |
| 絶対指定 | ON/OFF マッチ比較動作において、マッチ条件の基準となる値を絶対値で指定することです。リファレンス値と直接比較可能なフォーマットでの指定となっています。対義語：相対指定 |
| 相対指定 | ON/OFF マッチ比較動作において、マッチ比較開始時点でのリファレンス値からの差分によって、マッチ条件を指定することです。差分での指定のためリファレンス値と直接比較できません（絶対指定のフォーマットに変換する処理が入ります）。対義語：絶対指定 |
| 時間分解能 | APA が入力または出力可能な信号の時間的な最小単位をクロックサイクルで表したものです。例として、入力信号に対して $pclk \times 4$ と定義されていた場合（「表 22.1 リファレンス入力表」のリファレンス入力 A）は、 $pclk$ が 4 サイクル以上の周期で変化する入力信号を処理することができることを表します。また、出力信号に対して $pclk \times 1$ と定義されていた場合（「表 22.4 パルス / 割り込み出力」の PWM 出力）は、信号は $pclk$ の 1 サイクルごとにトグルすることができることを表します。 |

22.3 構成

図 22.3 に APA のブロック図を示します。

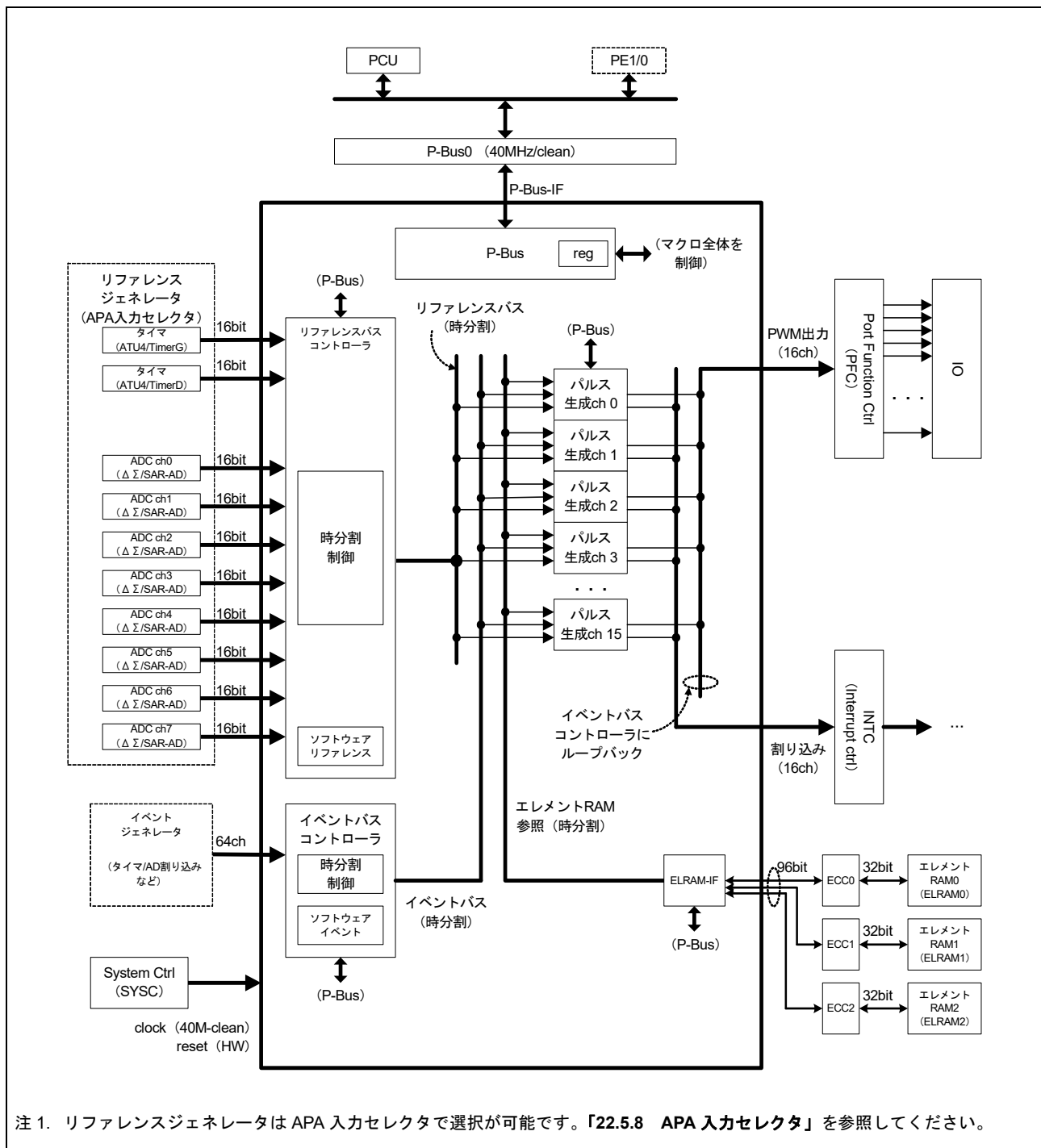


図 22.3 APA のブロック図

イベント入力の要因は表 22.6 のとおりです。

表 22.6 外部イベント要因

| 外部イベント要因 番号 | 機能 | 備考 |
|---------------------|--|--|
| 外部イベント要因 0 ~ 15 | APA 割り込み出力 m (m : 0 ~ 15) | |
| 外部イベント要因 16 ~ 19 | ATU タイマ D0m コンペアマッチ A (m : 0 ~ 3) | |
| 外部イベント要因 20 ~ 23 | ATU タイマ D0m コンペアマッチ B (m : 0 ~ 3) | |
| 外部イベント要因 24 ~ 27 | ATU TOD0mA 端子出力 (m : 0 ~ 3) | |
| 外部イベント要因 28 ~ 31 | ATU TOD0mB 端子出力 (m : 0 ~ 3) | |
| 外部イベント要因 32 ~ 35 | ATU タイマ D0m ダウンカウンタアンダフ ロー (m : 0 ~ 3) | |
| 外部イベント要因 36 ~ 43 | タイマ G コンペアマッチ割り込み (チャネ ル m) (m : 0 ~ 7) | |
| 外部イベント要因 44 | APA 用 ECC の 2 ビット -error 検出割り込 み | apa_ecc_0/1/2 出力 (各 1 ビット) を OR し て 1 ビット化 |
| 外部イベント要因 45 ~ 48 | DFE チャネル 6-9 条件一致割り込み | |
| 外部イベント要因 49 ~ 56 | 未使用 | Low-Clamp |
| 外部イベント要因 57 | 未使用イベント処置用の固定値入力 | Low-Clamp。 「22.5.7.5 例外未使用時の処置」を参照して ください。 |

22.4 制御レジスタ

22.4.1 制御レジスタ一覧

APA のレジスタは、下記のように P-Bus 上に配置されます。

レジスタアドレスは、ベースアドレス FFEB 0000_H からのオフセットで表されます。

表 22.7 レジスタマップ (APA ローカル) (1/17)

| +3 | +2 | +1 | +0 | オフセット アドレス |
|-------------------|------------------------|-------------|---------|---------------|
| | 000000 _H | | APAA0EN | 0000 |
| | 0000 0000 _H | | | 0004 |
| | APAA0CHEN | | | 0008 |
| 0000 _H | | APAA0CHST | | 000C |
| | 0000 0000 _H | | | 0010 ~ 01FF |
| 0000 _H | | APAA0RFDT0 | | 0200 |
| 0000 _H | | APAA0RFDT1 | | 0204 |
| 0000 _H | | APAA0RFDT2 | | 0208 |
| 0000 _H | | APAA0RFDT3 | | 020C |
| 0000 _H | | APAA0RFDT4 | | 0210 |
| 0000 _H | | APAA0RFDT5 | | 0214 |
| 0000 _H | | APAA0RFDT6 | | 0218 |
| 0000 _H | | APAA0RFDT7 | | 021C |
| 0000 _H | | APAA0RFDT8 | | 0220 |
| 0000 _H | | APAA0RFDT9 | | 0224 |
| 0000 _H | | APAA0RFSW | | 0228 |
| | 0000 0000 _H | | | 022C |
| | 0000 0000 _H | | | 0230 |
| | 0000 0000 _H | | | 0234 |
| | 0000 0000 _H | | | 0238 |
| | 0000 0000 _H | | | 023C |
| 0000 _H | | APAA0RFMX0 | | 0240 |
| 0000 _H | | APAA0RFMX1 | | 0244 |
| | 0000 0000 _H | | | 0248 |
| | 0000 0000 _H | | | 024C |
| | 0000 0000 _H | | | 0250 |
| | 0000 0000 _H | | | 0254 |
| | 0000 0000 _H | | | 0258 |
| | 0000 0000 _H | | | 025C |
| | 0000 0000 _H | | | 0260 |
| | 0000 0000 _H | | | 0264 |
| 0000 _H | | APAA0RFMXSW | | 0268 |
| | 0000 0000 _H | | | 026C |
| | 0000 0000 _H | | | 0270 |
| | 0000 0000 _H | | | 0274 |
| | 0000 0000 _H | | | 0278 |
| | 0000 0000 _H | | | 027C |

表 22.7 レジスタマップ (APA ローカル) (2/17)

| +3 | +2 | +1 | +0 | オフセット アドレス |
|------------------------|------------------------|----|-------------|---------------|
| 0000 0000 _H | | | | 0280 |
| | 000000 _H | | APAA0EVSL00 | 0400 |
| | 000000 _H | | APAA0EVSL01 | 0404 |
| | 000000 _H | | APAA0EVSL02 | 0408 |
| | 000000 _H | | APAA0EVSL03 | 040C |
| | 000000 _H | | APAA0EVSL04 | 0410 |
| | 000000 _H | | APAA0EVS0L5 | 0414 |
| | 000000 _H | | APAA0EVSL06 | 0418 |
| | 000000 _H | | APAA0EVSL07 | 041C |
| | 000000 _H | | APAA0EVSL08 | 0420 |
| | 000000 _H | | APAA0EVSL09 | 0424 |
| | 000000 _H | | APAA0EVSL10 | 0428 |
| | 000000 _H | | APAA0EVSL11 | 042C |
| | 000000 _H | | APAA0EVSL12 | 0430 |
| | 000000 _H | | APAA0EVSL13 | 0434 |
| | 000000 _H | | APAA0EVSL14 | 0438 |
| | 000000 _H | | APAA0EVSL15 | 043C |
| APAA0EVS | | | | 0440 |
| | 0000 _H | | APAA0EVSC | 0444 |
| APAA0ESTA | | | | 0448 |
| | 0000 0000 _H | | | 044C |
| | 0000 0000 _H | | | 0450 |
| | 0000 0000 _H | | | 0454 |
| | | | APAA0CCGA00 | 0600 |
| | | | APAA0CCGB00 | 0604 |
| | | | APAA0CSTA00 | 0608 |
| | | | APAA0CSTB00 | 060C |
| | | | APAA0CSTC00 | 0610 |
| | | | APAA0CSTD00 | 0614 |
| | 0000 0000 _H | | | 0618 |
| | 0000 0000 _H | | | 061C |
| | | | APAA0CCGA01 | 0620 |
| | | | APAA0CCGB01 | 0624 |
| | | | APAA0CSTA01 | 0628 |
| | | | APAA0CSTB01 | 062C |
| | | | APAA0CSTC01 | 0630 |
| | | | APAA0CSTD01 | 0634 |
| | 0000 0000 _H | | | 0638 |
| | 0000 0000 _H | | | 063C |
| | | | APAA0CCGA02 | 0640 |
| | | | APAA0CCGB02 | 0644 |
| | | | APAA0CSTA02 | 0648 |
| | | | APAA0CSTB02 | 064C |

表 22.7 レジスタマップ (APA ローカル) (3/17)

| +3 | +2 | +1 | +0 | オフセット アドレス | |
|----|----|----|----|------------------------|------|
| | | | | APAA0CSTC02 | 0650 |
| | | | | APAA0CSTD02 | 0654 |
| | | | | 0000 0000 _H | 0658 |
| | | | | 0000 0000 _H | 065C |
| | | | | APAA0CCGA03 | 0660 |
| | | | | APAA0CCGB03 | 0664 |
| | | | | APAA0CSTA03 | 0668 |
| | | | | APAA0CSTB03 | 066C |
| | | | | APAA0CSTC03 | 0670 |
| | | | | APAA0CSTD03 | 0674 |
| | | | | 0000 0000 _H | 0678 |
| | | | | 0000 0000 _H | 067C |
| | | | | APAA0CCGA04 | 0680 |
| | | | | APAA0CCGB04 | 0684 |
| | | | | APAA0CSTA04 | 0688 |
| | | | | APAA0CSTB04 | 068C |
| | | | | APAA0CSTC04 | 0690 |
| | | | | APAA0CSTD04 | 0694 |
| | | | | 0000 0000 _H | 0698 |
| | | | | 0000 0000 _H | 069C |
| | | | | APAA0CCGA05 | 06A0 |
| | | | | APAA0CCGB05 | 06A4 |
| | | | | APAA0CSTA05 | 06A8 |
| | | | | APAA0CSTB05 | 06AC |
| | | | | APAA0CSTC05 | 06B0 |
| | | | | APAA0CSTD05 | 06B4 |
| | | | | 0000 0000 _H | 06B8 |
| | | | | 0000 0000 _H | 06BC |
| | | | | APAA0CCGA06 | 06C0 |
| | | | | APAA0CCGB06 | 06C4 |
| | | | | APAA0CSTA06 | 06C8 |
| | | | | APAA0CSTB06 | 06CC |
| | | | | APAA0CSTC06 | 06D0 |
| | | | | APAA0CSTD06 | 06D4 |
| | | | | 0000 0000 _H | 06D8 |
| | | | | 0000 0000 _H | 06DC |
| | | | | APAA0CCGA07 | 06E0 |
| | | | | APAA0CCGB07 | 06E4 |
| | | | | APAA0CSTA07 | 06E8 |
| | | | | APAA0CSTB07 | 06EC |
| | | | | APAA0CSTC07 | 06F0 |
| | | | | APAA0CSTD07 | 06F4 |
| | | | | 0000 0000 _H | 06F8 |

表 22.7 レジスタマップ (APA ローカル) (4/17)

| +3 | +2 | +1 | +0 | オフセット アドレス |
|----|----|----|------------------------|---------------|
| | | | 0000 0000 _H | 06FC |
| | | | APAA0CCGA08 | 0700 |
| | | | APAA0CCGB08 | 0704 |
| | | | APAA0CSTA08 | 0708 |
| | | | APAA0CSTB08 | 070C |
| | | | APAA0CSTC08 | 0710 |
| | | | APAA0CSTD08 | 0714 |
| | | | 0000 0000 _H | 0718 |
| | | | 0000 0000 _H | 071C |
| | | | APAA0CCGA09 | 0720 |
| | | | APAA0CCGB09 | 0724 |
| | | | APAA0CSTA09 | 0728 |
| | | | APAA0CSTB09 | 072C |
| | | | APAA0CSTC09 | 0730 |
| | | | APAA0CSTD09 | 0734 |
| | | | 0000 0000 _H | 0738 |
| | | | 0000 0000 _H | 073C |
| | | | APAA0CCGA10 | 0740 |
| | | | APAA0CCGB10 | 0744 |
| | | | APAA0CSTA10 | 0748 |
| | | | APAA0CSTB10 | 074C |
| | | | APAA0CSTC10 | 0750 |
| | | | APAA0CSTD10 | 0754 |
| | | | 0000 0000 _H | 0758 |
| | | | 0000 0000 _H | 075C |
| | | | APAA0CCGA11 | 0760 |
| | | | APAA0CCGB11 | 0764 |
| | | | APAA0CSTA11 | 0768 |
| | | | APAA0CSTB11 | 076C |
| | | | APAA0CSTC11 | 0770 |
| | | | APAA0CSTD11 | 0774 |
| | | | 0000 0000 _H | 0778 |
| | | | 0000 0000 _H | 077C |
| | | | APAA0CCGA12 | 0780 |
| | | | APAA0CCGB12 | 0784 |
| | | | APAA0CSTA12 | 0788 |
| | | | APAA0CSTB12 | 078C |
| | | | APAA0CSTC12 | 0790 |
| | | | APAA0CSTD12 | 0794 |
| | | | 0000 0000 _H | 0798 |
| | | | 0000 0000 _H | 079C |
| | | | APAA0CCGA13 | 07A0 |
| | | | APAA0CCGB13 | 07A4 |

表 22.7 レジスタマップ (APA ローカル) (5/17)

| +3 | +2 | +1 | +0 | オフセット アドレス | |
|----|----|----|----|------------------------|------|
| | | | | APAA0CSTA13 | 07A8 |
| | | | | APAA0CSTB13 | 07AC |
| | | | | APAA0CSTC13 | 07B0 |
| | | | | APAA0CSTD13 | 07B4 |
| | | | | 0000 0000 _H | 07B8 |
| | | | | 0000 0000 _H | 07BC |
| | | | | APAA0CCGA14 | 07C0 |
| | | | | APAA0CCGB14 | 07C4 |
| | | | | APAA0CSTA14 | 07C8 |
| | | | | APAA0CSTB14 | 07CC |
| | | | | APAA0CSTC14 | 07D0 |
| | | | | APAA0CSTD14 | 07D4 |
| | | | | 0000 0000 _H | 07D8 |
| | | | | 0000 0000 _H | 07DC |
| | | | | APAA0CCGA15 | 07E0 |
| | | | | APAA0CCGB15 | 07E4 |
| | | | | APAA0CSTA15 | 07E8 |
| | | | | APAA0CSTB15 | 07EC |
| | | | | APAA0CSTC15 | 07F0 |
| | | | | APAA0CSTD15 | 07F4 |
| | | | | 0000 0000 _H | 07F8 |
| | | | | 0000 0000 _H | 07FC |
| | | | | APAA0ELMA000 | 1000 |
| | | | | APAA0ELMB000 | 1004 |
| | | | | APAA0ELMC000 | 1008 |
| | | | | 0000 0000 _H | 100C |
| | | | | APAA0ELMA001 | 1010 |
| | | | | APAA0ELMB001 | 1014 |
| | | | | APAA0ELMC001 | 1018 |
| | | | | 0000 0000 _H | 101C |
| | | | | APAA0ELMA002 | 1020 |
| | | | | APAA0ELMB002 | 1024 |
| | | | | APAA0ELMC002 | 1028 |
| | | | | 0000 0000 _H | 102C |
| | | | | APAA0ELMA003 | 1030 |
| | | | | APAA0ELMB003 | 1034 |
| | | | | APAA0ELMC003 | 1038 |
| | | | | 0000 0000 _H | 103C |
| | | | | APAA0ELMA004 | 1040 |
| | | | | APAA0ELMB004 | 1044 |
| | | | | APAA0ELMC004 | 1048 |
| | | | | 0000 0000 _H | 104C |
| | | | | APAA0ELMA005 | 1050 |

表 22.7 レジスタマップ (APA ローカル) (6/17)

| +3 | +2 | +1 | +0 | オフセット アドレス | |
|----|----|----|----|------------------------|------|
| | | | | APAA0ELMB005 | 1054 |
| | | | | APAA0ELMC005 | 1058 |
| | | | | 0000 0000 _H | 105C |
| | | | | APAA0ELMA006 | 1060 |
| | | | | APAA0ELMB006 | 1064 |
| | | | | APAA0ELMC006 | 1068 |
| | | | | 0000 0000 _H | 106C |
| | | | | APAA0ELMA007 | 1070 |
| | | | | APAA0ELMB007 | 1074 |
| | | | | APAA0ELMC007 | 1078 |
| | | | | 0000 0000 _H | 107C |
| | | | | APAA0ELMA008 | 1080 |
| | | | | APAA0ELMB008 | 1084 |
| | | | | APAA0ELMC008 | 1088 |
| | | | | 0000 0000 _H | 108C |
| | | | | APAA0ELMA009 | 1090 |
| | | | | APAA0ELMB009 | 1094 |
| | | | | APAA0ELMC009 | 1098 |
| | | | | 0000 0000 _H | 109C |
| | | | | APAA0ELMA010 | 10A0 |
| | | | | APAA0ELMB010 | 10A4 |
| | | | | APAA0ELMC010 | 10A8 |
| | | | | 0000 0000 _H | 10AC |
| | | | | APAA0ELMA011 | 10B0 |
| | | | | APAA0ELMB011 | 10B4 |
| | | | | APAA0ELMC011 | 10B8 |
| | | | | 0000 0000 _H | 10BC |
| | | | | APAA0ELMA012 | 10C0 |
| | | | | APAA0ELMB012 | 10C4 |
| | | | | APAA0ELMC012 | 10C8 |
| | | | | 0000 0000 _H | 10CC |
| | | | | APAA0ELMA013 | 10D0 |
| | | | | APAA0ELMB013 | 10D4 |
| | | | | APAA0ELMC013 | 10D8 |
| | | | | 0000 0000 _H | 10DC |
| | | | | APAA0ELMA014 | 10E0 |
| | | | | APAA0ELMB014 | 10E4 |
| | | | | APAA0ELMC014 | 10E8 |
| | | | | 0000 0000 _H | 10EC |
| | | | | APAA0ELMA015 | 10F0 |
| | | | | APAA0ELMB015 | 10F4 |
| | | | | APAA0ELMC015 | 10F8 |
| | | | | 0000 0000 _H | 10FC |

表 22.7 レジスタマップ (APA ローカル) (7/17)

| +3 | +2 | +1 | +0 | オフセット アドレス | |
|----|----|----|----|------------------------|------|
| | | | | APAA0ELMA016 | 1100 |
| | | | | APAA0ELMB016 | 1104 |
| | | | | APAA0ELMC016 | 1108 |
| | | | | 0000 0000 _H | 110C |
| | | | | APAA0ELMA017 | 1110 |
| | | | | APAA0ELMB017 | 1114 |
| | | | | APAA0ELMC017 | 1118 |
| | | | | 0000 0000 _H | 111C |
| | | | | APAA0ELMA018 | 1120 |
| | | | | APAA0ELMB018 | 1124 |
| | | | | APAA0ELMC018 | 1128 |
| | | | | 0000 0000 _H | 112C |
| | | | | APAA0ELMA019 | 1130 |
| | | | | APAA0ELMB019 | 1134 |
| | | | | APAA0ELMC019 | 1138 |
| | | | | 0000 0000 _H | 113C |
| | | | | APAA0ELMA020 | 1140 |
| | | | | APAA0ELMB020 | 1144 |
| | | | | APAA0ELMC020 | 1148 |
| | | | | 0000 0000 _H | 114C |
| | | | | APAA0ELMA021 | 1150 |
| | | | | APAA0ELMB021 | 1154 |
| | | | | APAA0ELMC021 | 1158 |
| | | | | 0000 0000 _H | 115C |
| | | | | APAA0ELMA022 | 1160 |
| | | | | APAA0ELMB022 | 1164 |
| | | | | APAA0ELMC022 | 1168 |
| | | | | 0000 0000 _H | 116C |
| | | | | APAA0ELMA023 | 1170 |
| | | | | APAA0ELMB023 | 1174 |
| | | | | APAA0ELMC023 | 1178 |
| | | | | 0000 0000 _H | 117C |
| | | | | APAA0ELMA024 | 1180 |
| | | | | APAA0ELMB024 | 1184 |
| | | | | APAA0ELMC024 | 1188 |
| | | | | 0000 0000 _H | 118C |
| | | | | APAA0ELMA025 | 1190 |
| | | | | APAA0ELMB025 | 1194 |
| | | | | APAA0ELMC025 | 1198 |
| | | | | 0000 0000 _H | 119C |
| | | | | APAA0ELMA026 | 11A0 |
| | | | | APAA0ELMB026 | 11A4 |
| | | | | APAA0ELMC026 | 11A8 |

表 22.7 レジスタマップ (APA ローカル) (8/17)

| +3 | +2 | +1 | +0 | オフセット アドレス | |
|----|----|----|----|------------------------|------|
| | | | | 0000 0000 _H | 11AC |
| | | | | APAA0ELMA027 | 11B0 |
| | | | | APAA0ELMB027 | 11B4 |
| | | | | APAA0ELMC027 | 11B8 |
| | | | | 0000 0000 _H | 11BC |
| | | | | APAA0ELMA028 | 11C0 |
| | | | | APAA0ELMB028 | 11C4 |
| | | | | APAA0ELMC028 | 11C8 |
| | | | | 0000 0000 _H | 11CC |
| | | | | APAA0ELMA029 | 11D0 |
| | | | | APAA0ELMB029 | 11D4 |
| | | | | APAA0ELMC029 | 11D8 |
| | | | | 0000 0000 _H | 11DC |
| | | | | APAA0ELMA030 | 11E0 |
| | | | | APAA0ELMB030 | 11E4 |
| | | | | APAA0ELMC030 | 11E8 |
| | | | | 0000 0000 _H | 11EC |
| | | | | APAA0ELMA031 | 11F0 |
| | | | | APAA0ELMB031 | 11F4 |
| | | | | APAA0ELMC031 | 11F8 |
| | | | | 0000 0000 _H | 11FC |
| | | | | APAA0ELMA032 | 1200 |
| | | | | APAA0ELMB032 | 1204 |
| | | | | APAA0ELMC032 | 1208 |
| | | | | 0000 0000 _H | 120C |
| | | | | APAA0ELMA033 | 1210 |
| | | | | APAA0ELMB033 | 1214 |
| | | | | APAA0ELMC033 | 1218 |
| | | | | 0000 0000 _H | 121C |
| | | | | APAA0ELMA034 | 1220 |
| | | | | APAA0ELMB034 | 1224 |
| | | | | APAA0ELMC034 | 1228 |
| | | | | 0000 0000 _H | 122C |
| | | | | APAA0ELMA035 | 1230 |
| | | | | APAA0ELMB035 | 1234 |
| | | | | APAA0ELMC035 | 1238 |
| | | | | 0000 0000 _H | 123C |
| | | | | APAA0ELMA036 | 1240 |
| | | | | APAA0ELMB036 | 1244 |
| | | | | APAA0ELMC036 | 1248 |
| | | | | 0000 0000 _H | 124C |
| | | | | APAA0ELMA037 | 1250 |
| | | | | APAA0ELMB037 | 1254 |

表 22.7 レジスタマップ (APA ローカル) (9/17)

| +3 | +2 | +1 | +0 | オフセット アドレス | |
|----|----|----|----|------------------------|------|
| | | | | APAA0ELMC037 | 1258 |
| | | | | 0000 0000 _H | 125C |
| | | | | APAA0ELMA038 | 1260 |
| | | | | APAA0ELMB038 | 1264 |
| | | | | APAA0ELMC038 | 1268 |
| | | | | 0000 0000 _H | 126C |
| | | | | APAA0ELMA039 | 1270 |
| | | | | APAA0ELMB039 | 1274 |
| | | | | APAA0ELMC039 | 1278 |
| | | | | 0000 0000 _H | 127C |
| | | | | APAA0ELMA040 | 1280 |
| | | | | APAA0ELMB040 | 1284 |
| | | | | APAA0ELMC040 | 1288 |
| | | | | 0000 0000 _H | 128C |
| | | | | APAA0ELMA041 | 1290 |
| | | | | APAA0ELMB041 | 1294 |
| | | | | APAA0ELMC041 | 1298 |
| | | | | 0000 0000 _H | 129C |
| | | | | APAA0ELMA042 | 12A0 |
| | | | | APAA0ELMB042 | 12A4 |
| | | | | APAA0ELMC042 | 12A8 |
| | | | | 0000 0000 _H | 12AC |
| | | | | APAA0ELMA043 | 12B0 |
| | | | | APAA0ELMB043 | 12B4 |
| | | | | APAA0ELMC043 | 12B8 |
| | | | | 0000 0000 _H | 12BC |
| | | | | APAA0ELMA044 | 12C0 |
| | | | | APAA0ELMB044 | 12C4 |
| | | | | APAA0ELMC044 | 12C8 |
| | | | | 0000 0000 _H | 12CC |
| | | | | APAA0ELMA045 | 12D0 |
| | | | | APAA0ELMB045 | 12D4 |
| | | | | APAA0ELMC045 | 12D8 |
| | | | | 0000 0000 _H | 12DC |
| | | | | APAA0ELMA046 | 12E0 |
| | | | | APAA0ELMB046 | 12E4 |
| | | | | APAA0ELMC046 | 12E8 |
| | | | | 0000 0000 _H | 12EC |
| | | | | APAA0ELMA047 | 12F0 |
| | | | | APAA0ELMB047 | 12F4 |
| | | | | APAA0ELMC047 | 12F8 |
| | | | | 0000 0000 _H | 12FC |
| | | | | APAA0ELMA048 | 1300 |

表 22.7 レジスタマップ (APA ローカル) (10/17)

| +3 | +2 | +1 | +0 | オフセット アドレス | |
|----|----|----|----|------------------------|------|
| | | | | APAA0ELMB048 | 1304 |
| | | | | APAA0ELMC048 | 1308 |
| | | | | 0000 0000 _H | 130C |
| | | | | APAA0ELMA049 | 1310 |
| | | | | APAA0ELMB049 | 1314 |
| | | | | APAA0ELMC049 | 1318 |
| | | | | 0000 0000 _H | 131C |
| | | | | APAA0ELMA050 | 1320 |
| | | | | APAA0ELMB050 | 1324 |
| | | | | APAA0ELMC050 | 1328 |
| | | | | 0000 0000 _H | 132C |
| | | | | APAA0ELMA051 | 1330 |
| | | | | APAA0ELMB051 | 1334 |
| | | | | APAA0ELMC051 | 1338 |
| | | | | 0000 0000 _H | 133C |
| | | | | APAA0ELMA052 | 1340 |
| | | | | APAA0ELMB052 | 1344 |
| | | | | APAA0ELMC052 | 1348 |
| | | | | 0000 0000 _H | 134C |
| | | | | APAA0ELMA053 | 1350 |
| | | | | APAA0ELMB053 | 1354 |
| | | | | APAA0ELMC053 | 1358 |
| | | | | 0000 0000 _H | 135C |
| | | | | APAA0ELMA054 | 1360 |
| | | | | APAA0ELMB054 | 1364 |
| | | | | APAA0ELMC054 | 1368 |
| | | | | 0000 0000 _H | 136C |
| | | | | APAA0ELMA055 | 1370 |
| | | | | APAA0ELMB055 | 1374 |
| | | | | APAA0ELMC055 | 1378 |
| | | | | 0000 0000 _H | 137C |
| | | | | APAA0ELMA056 | 1380 |
| | | | | APAA0ELMB056 | 1384 |
| | | | | APAA0ELMC056 | 1388 |
| | | | | 0000 0000 _H | 138C |
| | | | | APAA0ELMA057 | 1390 |
| | | | | APAA0ELMB057 | 1394 |
| | | | | APAA0ELMC057 | 1398 |
| | | | | 0000 0000 _H | 139C |
| | | | | APAA0ELMA058 | 13A0 |
| | | | | APAA0ELMB058 | 13A4 |
| | | | | APAA0ELMC058 | 13A8 |
| | | | | 0000 0000 _H | 13AC |

表 22.7 レジスタマップ (APA ローカル) (11/17)

| +3 | +2 | +1 | +0 | オフセット アドレス | |
|----|----|----|----|------------------------|------|
| | | | | APAA0ELMA059 | 13B0 |
| | | | | APAA0ELMB059 | 13B4 |
| | | | | APAA0ELMC059 | 13B8 |
| | | | | 0000 0000 _H | 13BC |
| | | | | APAA0ELMA060 | 13C0 |
| | | | | APAA0ELMB060 | 13C4 |
| | | | | APAA0ELMC060 | 13C8 |
| | | | | 0000 0000 _H | 13CC |
| | | | | APAA0ELMA061 | 13D0 |
| | | | | APAA0ELMB061 | 13D4 |
| | | | | APAA0ELMC061 | 13D8 |
| | | | | 0000 0000 _H | 13DC |
| | | | | APAA0ELMA062 | 13E0 |
| | | | | APAA0ELMB062 | 13E4 |
| | | | | APAA0ELMC062 | 13E8 |
| | | | | 0000 0000 _H | 13EC |
| | | | | APAA0ELMA063 | 13F0 |
| | | | | APAA0ELMB063 | 13F4 |
| | | | | APAA0ELMC063 | 13F8 |
| | | | | 0000 0000 _H | 13FC |
| | | | | APAA0ELMA064 | 1400 |
| | | | | APAA0ELMB064 | 1404 |
| | | | | APAA0ELMC064 | 1408 |
| | | | | 0000 0000 _H | 140C |
| | | | | APAA0ELMA065 | 1410 |
| | | | | APAA0ELMB065 | 1414 |
| | | | | APAA0ELMC065 | 1418 |
| | | | | 0000 0000 _H | 141C |
| | | | | APAA0ELMA066 | 1420 |
| | | | | APAA0ELMB066 | 1424 |
| | | | | APAA0ELMC066 | 1428 |
| | | | | 0000 0000 _H | 142C |
| | | | | APAA0ELMA067 | 1430 |
| | | | | APAA0ELMB067 | 1434 |
| | | | | APAA0ELMC067 | 1438 |
| | | | | 0000 0000 _H | 143C |
| | | | | APAA0ELMA068 | 1440 |
| | | | | APAA0ELMB068 | 1444 |
| | | | | APAA0ELMC068 | 1448 |
| | | | | 0000 0000 _H | 144C |
| | | | | APAA0ELMA069 | 1450 |
| | | | | APAA0ELMB069 | 1454 |
| | | | | APAA0ELMC069 | 1458 |

表 22.7 レジスタマップ (APA ローカル) (12/17)

| +3 | +2 | +1 | +0 | オフセット アドレス | |
|----|----|----|----|------------------------|------|
| | | | | 0000 0000 _H | 145C |
| | | | | APAA0ELMA070 | 1460 |
| | | | | APAA0ELMB070 | 1464 |
| | | | | APAA0ELMC070 | 1468 |
| | | | | 0000 0000 _H | 146C |
| | | | | APAA0ELMA071 | 1470 |
| | | | | APAA0ELMB071 | 1474 |
| | | | | APAA0ELMC071 | 1478 |
| | | | | 0000 0000 _H | 147C |
| | | | | APAA0ELMA072 | 1480 |
| | | | | APAA0ELMB072 | 1484 |
| | | | | APAA0ELMC072 | 1488 |
| | | | | 0000 0000 _H | 148C |
| | | | | APAA0ELMA073 | 1490 |
| | | | | APAA0ELMB073 | 1494 |
| | | | | APAA0ELMC073 | 1498 |
| | | | | 0000 0000 _H | 149C |
| | | | | APAA0ELMA074 | 14A0 |
| | | | | APAA0ELMB074 | 14A4 |
| | | | | APAA0ELMC074 | 14A8 |
| | | | | 0000 0000 _H | 14AC |
| | | | | APAA0ELMA075 | 14B0 |
| | | | | APAA0ELMB075 | 14B4 |
| | | | | APAA0ELMC075 | 14B8 |
| | | | | 0000 0000 _H | 14BC |
| | | | | APAA0ELMA076 | 14C0 |
| | | | | APAA0ELMB076 | 14C4 |
| | | | | APAA0ELMC076 | 14C8 |
| | | | | 0000 0000 _H | 14CC |
| | | | | APAA0ELMA077 | 14D0 |
| | | | | APAA0ELMB077 | 14D4 |
| | | | | APAA0ELMC077 | 14D8 |
| | | | | 0000 0000 _H | 14DC |
| | | | | APAA0ELMA078 | 14E0 |
| | | | | APAA0ELMB078 | 14E4 |
| | | | | APAA0ELMC078 | 14E8 |
| | | | | 0000 0000 _H | 14EC |
| | | | | APAA0ELMA079 | 14F0 |
| | | | | APAA0ELMB079 | 14F4 |
| | | | | APAA0ELMC079 | 14F8 |
| | | | | 0000 0000 _H | 14FC |
| | | | | APAA0ELMA080 | 1500 |
| | | | | APAA0ELMB080 | 1504 |

表 22.7 レジスタマップ (APA ローカル) (13/17)

| +3 | +2 | +1 | +0 | オフセット アドレス | |
|----|----|----|----|------------------------|------|
| | | | | APAA0ELMC080 | 1508 |
| | | | | 0000 0000 _H | 150C |
| | | | | APAA0ELMA081 | 1510 |
| | | | | APAA0ELMB081 | 1514 |
| | | | | APAA0ELMC081 | 1518 |
| | | | | 0000 0000 _H | 151C |
| | | | | APAA0ELMA082 | 1520 |
| | | | | APAA0ELMB082 | 1524 |
| | | | | APAA0ELMC082 | 1528 |
| | | | | 0000 0000 _H | 152C |
| | | | | APAA0ELMA083 | 1530 |
| | | | | APAA0ELMB083 | 1534 |
| | | | | APAA0ELMC083 | 1538 |
| | | | | 0000 0000 _H | 153C |
| | | | | APAA0ELMA084 | 1540 |
| | | | | APAA0ELMB084 | 1544 |
| | | | | APAA0ELMC084 | 1548 |
| | | | | 0000 0000 _H | 154C |
| | | | | APAA0ELMA085 | 1550 |
| | | | | APAA0ELMB085 | 1554 |
| | | | | APAA0ELMC085 | 1558 |
| | | | | 0000 0000 _H | 155C |
| | | | | APAA0ELMA086 | 1560 |
| | | | | APAA0ELMB086 | 1564 |
| | | | | APAA0ELMC086 | 1568 |
| | | | | 0000 0000 _H | 156C |
| | | | | APAA0ELMA087 | 1570 |
| | | | | APAA0ELMB087 | 1574 |
| | | | | APAA0ELMC087 | 1578 |
| | | | | 0000 0000 _H | 157C |
| | | | | APAA0ELMA088 | 1580 |
| | | | | APAA0ELMB088 | 1584 |
| | | | | APAA0ELMC088 | 1588 |
| | | | | 0000 0000 _H | 158C |
| | | | | APAA0ELMA089 | 1590 |
| | | | | APAA0ELMB089 | 1594 |
| | | | | APAA0ELMC089 | 1598 |
| | | | | 0000 0000 _H | 159C |
| | | | | APAA0ELMA090 | 15A0 |
| | | | | APAA0ELMB090 | 15A4 |
| | | | | APAA0ELMC090 | 15A8 |
| | | | | 0000 0000 _H | 15AC |
| | | | | APAA0ELMA091 | 15B0 |

表 22.7 レジスタマップ (APA ローカル) (14/17)

| +3 | +2 | +1 | +0 | オフセット アドレス | |
|----|----|----|----|------------------------|------|
| | | | | APAA0ELMB091 | 15B4 |
| | | | | APAA0ELMC091 | 15B8 |
| | | | | 0000 0000 _H | 15BC |
| | | | | APAA0ELMA092 | 15C0 |
| | | | | APAA0ELMB092 | 15C4 |
| | | | | APAA0ELMC092 | 15C8 |
| | | | | 0000 0000 _H | 15CC |
| | | | | APAA0ELMA093 | 15D0 |
| | | | | APAA0ELMB093 | 15D4 |
| | | | | APAA0ELMC093 | 15D8 |
| | | | | 0000 0000 _H | 15DC |
| | | | | APAA0ELMA094 | 15E0 |
| | | | | APAA0ELMB094 | 15E4 |
| | | | | APAA0ELMC094 | 15E8 |
| | | | | 0000 0000 _H | 15EC |
| | | | | APAA0ELMA095 | 15F0 |
| | | | | APAA0ELMB095 | 15F4 |
| | | | | APAA0ELMC095 | 15F8 |
| | | | | 0000 0000 _H | 15FC |
| | | | | APAA0ELMA096 | 1600 |
| | | | | APAA0ELMB096 | 1604 |
| | | | | APAA0ELMC096 | 1608 |
| | | | | 0000 0000 _H | 160C |
| | | | | APAA0ELMA097 | 1610 |
| | | | | APAA0ELMB097 | 1614 |
| | | | | APAA0ELMC097 | 1618 |
| | | | | 0000 0000 _H | 161C |
| | | | | APAA0ELMA098 | 1620 |
| | | | | APAA0ELMB098 | 1624 |
| | | | | APAA0ELMC098 | 1628 |
| | | | | 0000 0000 _H | 162C |
| | | | | APAA0ELMA099 | 1630 |
| | | | | APAA0ELMB099 | 1634 |
| | | | | APAA0ELMC099 | 1638 |
| | | | | 0000 0000 _H | 163C |
| | | | | APAA0ELMA100 | 1640 |
| | | | | APAA0ELMB100 | 1644 |
| | | | | APAA0ELMC100 | 1648 |
| | | | | 0000 0000 _H | 164C |
| | | | | APAA0ELMA101 | 1650 |
| | | | | APAA0ELMB101 | 1654 |
| | | | | APAA0ELMC101 | 1658 |
| | | | | 0000 0000 _H | 165C |

表 22.7 レジスタマップ (APA ローカル) (15/17)

| +3 | +2 | +1 | +0 | オフセット アドレス | |
|----|----|----|----|------------------------|------|
| | | | | APAA0ELMA102 | 1660 |
| | | | | APAA0ELMB102 | 1664 |
| | | | | APAA0ELMC102 | 1668 |
| | | | | 0000 0000 _H | 166C |
| | | | | APAA0ELMA103 | 1670 |
| | | | | APAA0ELMB103 | 1674 |
| | | | | APAA0ELMC103 | 1678 |
| | | | | 0000 0000 _H | 167C |
| | | | | APAA0ELMA104 | 1680 |
| | | | | APAA0ELMB104 | 1684 |
| | | | | APAA0ELMC104 | 1688 |
| | | | | 0000 0000 _H | 168C |
| | | | | APAA0ELMA105 | 1690 |
| | | | | APAA0ELMB105 | 1694 |
| | | | | APAA0ELMC105 | 1698 |
| | | | | 0000 0000 _H | 169C |
| | | | | APAA0ELMA106 | 16A0 |
| | | | | APAA0ELMB106 | 16A4 |
| | | | | APAA0ELMC106 | 16A8 |
| | | | | 0000 0000 _H | 16AC |
| | | | | APAA0ELMA107 | 16B0 |
| | | | | APAA0ELMB107 | 16B4 |
| | | | | APAA0ELMC107 | 16B8 |
| | | | | 0000 0000 _H | 16BC |
| | | | | APAA0ELMA108 | 16C0 |
| | | | | APAA0ELMB108 | 16C4 |
| | | | | APAA0ELMC108 | 16C8 |
| | | | | 0000 0000 _H | 16CC |
| | | | | APAA0ELMA109 | 16D0 |
| | | | | APAA0ELMB109 | 16D4 |
| | | | | APAA0ELMC109 | 16D8 |
| | | | | 0000 0000 _H | 16DC |
| | | | | APAA0ELMA110 | 16E0 |
| | | | | APAA0ELMB110 | 16E4 |
| | | | | APAA0ELMC110 | 16E8 |
| | | | | 0000 0000 _H | 16EC |
| | | | | APAA0ELMA111 | 16F0 |
| | | | | APAA0ELMB111 | 16F4 |
| | | | | APAA0ELMC111 | 16F8 |
| | | | | 0000 0000 _H | 16FC |
| | | | | APAA0ELMA112 | 1700 |
| | | | | APAA0ELMB112 | 1704 |
| | | | | APAA0ELMC112 | 1708 |

表 22.7 レジスタマップ (APA ローカル) (16/17)

| +3 | +2 | +1 | +0 | オフセット アドレス | |
|----|----|----|----|------------------------|------|
| | | | | 0000 0000 _H | 170C |
| | | | | APAA0ELMA113 | 1710 |
| | | | | APAA0ELMB113 | 1714 |
| | | | | APAA0ELMC113 | 1718 |
| | | | | 0000 0000 _H | 171C |
| | | | | APAA0ELMA114 | 1720 |
| | | | | APAA0ELMB114 | 1724 |
| | | | | APAA0ELMC114 | 1728 |
| | | | | 0000 0000 _H | 172C |
| | | | | APAA0ELMA115 | 1730 |
| | | | | APAA0ELMB115 | 1734 |
| | | | | APAA0ELMC115 | 1738 |
| | | | | 0000 0000 _H | 173C |
| | | | | APAA0ELMA116 | 1740 |
| | | | | APAA0ELMB116 | 1744 |
| | | | | APAA0ELMC116 | 1748 |
| | | | | 0000 0000 _H | 174C |
| | | | | APAA0ELMA117 | 1750 |
| | | | | APAA0ELMB117 | 1754 |
| | | | | APAA0ELMC117 | 1758 |
| | | | | 0000 0000 _H | 175C |
| | | | | APAA0ELMA118 | 1760 |
| | | | | APAA0ELMB118 | 1764 |
| | | | | APAA0ELMC118 | 1768 |
| | | | | 0000 0000 _H | 176C |
| | | | | APAA0ELMA119 | 1770 |
| | | | | APAA0ELMB119 | 1774 |
| | | | | APAA0ELMC119 | 1778 |
| | | | | 0000 0000 _H | 177C |
| | | | | APAA0ELMA120 | 1780 |
| | | | | APAA0ELMB120 | 1784 |
| | | | | APAA0ELMC120 | 1788 |
| | | | | 0000 0000 _H | 178C |
| | | | | APAA0ELMA121 | 1790 |
| | | | | APAA0ELMB121 | 1794 |
| | | | | APAA0ELMC121 | 1798 |
| | | | | 0000 0000 _H | 179C |
| | | | | APAA0ELMA122 | 17A0 |
| | | | | APAA0ELMB122 | 17A4 |
| | | | | APAA0ELMC122 | 17A8 |
| | | | | 0000 0000 _H | 17AC |
| | | | | APAA0ELMA123 | 17B0 |
| | | | | APAA0ELMB123 | 17B4 |

表 22.7 レジスタマップ (APA ローカル) (17/17)

| +3 | +2 | +1 | +0 | オフセット アドレス | |
|----|----|----|----|------------------------|------|
| | | | | APAA0ELMC123 | 17B8 |
| | | | | 0000 0000 _H | 17BC |
| | | | | APAA0ELMA124 | 17C0 |
| | | | | APAA0ELMB124 | 17C4 |
| | | | | APAA0ELMC124 | 17C8 |
| | | | | 0000 0000 _H | 17CC |
| | | | | APAA0ELMA125 | 17D0 |
| | | | | APAA0ELMB125 | 17D4 |
| | | | | APAA0ELMC125 | 17D8 |
| | | | | 0000 0000 _H | 17DC |
| | | | | APAA0ELMA126 | 17E0 |
| | | | | APAA0ELMB126 | 17E4 |
| | | | | APAA0ELMC126 | 17E8 |
| | | | | 0000 0000 _H | 17EC |
| | | | | APAA0ELMA127 | 17F0 |
| | | | | APAA0ELMB127 | 17F4 |
| | | | | APAA0ELMC127 | 17F8 |

備考 17FC ~ 1FFC は reserve

22.4.2 制御レジスタ詳細 (全体動作)

APA 全体の動作に関する設定を行います。

表 22.8 制御レジスタ (全体動作)

| オフセット アドレス | シンボル | レジスタ名 | リセット後の値 | アクセス サイズ | 機能 |
|--|-----------|------------------------|------------------------|-------------|---|
| 0000 _H | APAA0EN | APAA0 動作イネーブルレジスタ | 00 _H | 8 | APA 全体の動作イネーブル |
| 0008 _H | APAA0CHEN | APAA0 チャンネル動作イネーブルレジスタ | 0000_0000 _H | 32 | 全パルス生成チャンネルの動作イネーブル |
| 000C _H | APAA0CHST | APAA0 チャンネル出カステータスレジスタ | 0000 _H | 16 | 全パルス生成チャンネルの動作ステータス (PWM) |
| 0010 _H ~ 01FF _H | (N/A) | | 0000_0000 _H | — | 未使用領域 (Read-only) 備考 Write 不可、Read は 0 のみ読めます |

22.4.2.1 APAA0EN — APAA0 動作イネーブルレジスタ

APA におけるリファレンスバス、イベントバスの動作および停止を制御します。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|-----------------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | APAACMENAP A |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 22.9 APAA0EN レジスタの内容

| ビット位置 | ビット名 | リセット要因 | 機能 |
|-------|-----------------|---------|--|
| 0 | APAACMENAP A | PRESETZ | APA の動作イネーブル。 0 : disable...APA 停止 1 : enable...APA 動作 |

表 22.10 各機能に対する有効化設定

| 設定箇所 | アクティベート方法 | 機能 | | |
|----------------------|--|--------------|--------|------------------------|
| | | リファレンス 制御 | イベント制御 | パルス生成チャ ネル (0 ~ 15) |
| APAA0EN レジスタ | P-Bus から "1" を Write し ます。 | ○ | ○ | — |
| APAA0CHEN[15:0] レジスタ | P-Bus から "1" を Write し ます。チャンネル 0 ~ 15 ま で個別の設定。 | — | — | ○ |

- 注 1. 本レジスタは、全パルス生成チャンネル (全 16 チャンネル) が動作停止している状態で切り替えてください (APAA0CHEN レジスタ = 0000 0000_H)。
- 注 2. 本レジスタを "0" にしても、パルス生成チャンネルは初期化しないため、パルス生成チャンネル動作停止前に APAACMENAPA = L とした場合、パルス生成チャンネルは値を保持した状態で停止するため、意図しない PWM 波形が出力する可能性があります。
- 注 3. 動作開始、停止時の設定方法に関しては、「22.5.7.4 動作手順」を参照してください。
- 注 4. APA 動作とすることで、リファレンス制御、イベント制御が動作を開始します。

22.4.2.2 APAA0CHEN — APAA0 チャンネル動作イネーブルレジスタ

全パルス生成チャンネルの動作イネーブルを設定します。APAA0CHEN[15:0] レジスタの各ビットでパルス生成チャンネルの ON/OFF 制御を行います。

APAA0CHEN[15:0] レジスタは、マスクレジスタ (APAACMENMSKPGCH[15:0]) に“1”を Write したビットのみ、Write することができます。

| | | | | | | | | | | | | | | | | |
|---------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | APAACMENMSKPGCH[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | APAAC MENPG CH15 | APAAC MENPG CH14 | APAAC MENPG CH13 | APAAC MENPG CH12 | APAAC MENPG CH11 | APAAC MENPG CH10 | APAAC MENPG CH9 | APAAC MENPG CH8 | APAAC MENPG CH7 | APAAC MENPG CH6 | APAAC MENPG CH5 | APAAC MENPG CH4 | APAAC MENPG CH3 | APAAC MENPG CH2 | APAAC MENPG CH1 | APAAC MENPG CH0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 22.11 APAA0CHEN レジスタの内容

| ビット位置 | ビット名 | リセット要因 | 機能 |
|---------|-----------------------|---------|---|
| 31 ~ 16 | APAACMENMSKPGCH[15:0] | — | APAACMENPGCH[15:0] への書き込みマスク 各ビットは PGCH15 ~ 0 の制御にそれぞれ割り当てられています。 0 : APAACMENPGCH[n] に書き込み不可 1 : APAACMENPGCH[n] に書き込み可能 備考 Read すると 0 が読めます。 |
| 15 ~ 0 | APAACMENPGCH[15:0] | PRESETZ | PGCH の ON/OFF を設定します。各ビットは PGCH15 ~ 0 の制御にそれぞれ割り当てられています。 0 : PGCH15 ~ 0 の動作停止 1 : PGCH15 ~ 0 の動作許可 |

パルス生成チャンネル PGCH に対する動作許可/停止設定は、下記の例のように設定します。

- 00FF FFFF_H を書き込み : PGCH7 ~ 0 を動作許可に設定
- 0000 00FF_H を書き込み : 何もしない (レジスタは変化せず、前の値を保持)
- FFFF 0000_H を書き込み : PGCH15 ~ 0 を動作停止に設定
- 0000 0000_H を書き込み : 何もしない (レジスタは変化せず、前の値を保持)

また、APAACMENMSKPGCH[15:0]、APAACMENPGCH[15:0] とも、各ビットは PGCH に表 22.12 のように対応します。

表 22.12 PGCH に対する各ビットの対応

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|----------------|------------|------------|------------|------------|------------|------------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| 対応 チャネ ル | PGC H15 | PGC H14 | PGC H13 | PGC H12 | PGC H11 | PGC H10 | PGC H9 | PGC H8 | PGC H7 | PGC H6 | PGC H5 | PGC H4 | PGC H3 | PGC H2 | PGC H1 | PGC H0 |

- 注 1. パルス生成チャンネル停止中に、本レジスタを“1”とする場合は、イベント時分割が動作した状態（APAA0EN レジスタ = 1 設定時）でのみ設定してください。イベント時分割の停止時（APAA0EN レジスタ = 0 設定時）に“0”→“1”へ切り替えた場合、リファレンスバス/イベントバスが動作しないため、意図どおりのマッチ比較が行われません。
- 注 2. パルス生成チャンネル動作中に APAACMENPGCH[n] を“1”→“0”（チャンネル動作許可⇒不許可）に設定した場合、実際に停止するまでには 1～2 共有サイクル分の遅延があります。
- 注 3. 動作開始、停止時の設定方法に関しては、「22.5.7.4 動作手順」を参照してください。
- 注 4. APAACMENPGCH[n] = L とした場合の端子の状態に関しては、「22.5.4.2 動作：マッチ比較器」の「(5) チャンネル ON/OFF」を参照してください。

22.4.2.3 APAA0CHST — APAA0 チャンネル出カステータスレジスタ

全パルス生成チャンネルの動作ステータス (PWM) をモニタします。各ビットは、各パルス生成チャンネルの現在の PWM 出力端子 (APAAEOPWM[15:0]) を表します。

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|
| | APAAC MSTAT PWM15 | APAAC MSTAT PWM14 | APAAC MSTAT PWM13 | APAAC MSTAT PWM12 | APAAC MSTAT PWM11 | APAAC MSTAT PWM10 | APAAC MSTAT PWM9 | APAAC MSTAT PWM8 | APAAC MSTAT PWM7 | APAAC MSTAT PWM6 | APAAC MSTAT PWM5 | APAAC MSTAT PWM4 | APAAC MSTAT PWM3 | APAAC MSTAT PWM2 | APAAC MSTAT PWM1 | APAAC MSTAT PWM0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 22.13 APAA0CHST レジスタの内容

| ビット位置 | ビット名 | リセット要因 | 機能 |
|--------|-------------------------|---------|---|
| 15 ~ 0 | APAACMSTAT PWM[15:0] | PRESETZ | 各パルス生成チャンネル (0 ~ 15) の PWM 出力レベルを表します。各ビットと PGCH の対応は表 22.12 を参照してください。 |

22.4.3 制御レジスタ詳細 (リファレンスバス)

リファレンスバスの動作に関する設定および参照を行います。

表 22.14 制御レジスタ (リファレンスバス)

| オフセット アドレス | シンボル | レジスタ名 | リセット後の値 | アクセス サイズ | 機能 |
|--|-------------|-----------------------------|------------------------|-------------|--|
| 0200 _H | APAA0RFDT0 | APAA0 リファレンスデータレジスタ 0 | 0000 _H | 16 | リファレンス入力 0 の値を参照します。 |
| 0204 _H | APAA0RFDT1 | APAA0 リファレンスデータレジスタ 1 | 0000 _H | 16 | リファレンス入力 1 の値を参照します。 |
| 0208 _H | APAA0RFDT2 | APAA0 リファレンスデータレジスタ 2 | 0000 _H | 16 | リファレンス入力 2 の値を参照します。 |
| 020C _H | APAA0RFDT3 | APAA0 リファレンスデータレジスタ 3 | 0000 _H | 16 | リファレンス入力 3 の値を参照します。 |
| 0210 _H | APAA0RFDT4 | APAA0 リファレンスデータレジスタ 4 | 0000 _H | 16 | リファレンス入力 4 の値を参照します。 |
| 0214 _H | APAA0RFDT5 | APAA0 リファレンスデータレジスタ 5 | 0000 _H | 16 | リファレンス入力 5 の値を参照します。 |
| 0218 _H | APAA0RFDT6 | APAA0 リファレンスデータレジスタ 6 | 0000 _H | 16 | リファレンス入力 6 の値を参照します。 |
| 021C _H | APAA0RFDT7 | APAA0 リファレンスデータレジスタ 7 | 0000 _H | 16 | リファレンス入力 7 の値を参照します。 |
| 0220 _H | APAA0RFDT8 | APAA0 リファレンスデータレジスタ 8 | 0000 _H | 16 | リファレンス入力 8 の値を参照します。 |
| 0224 _H | APAA0RFDT9 | APAA0 リファレンスデータレジスタ 9 | 0000 _H | 16 | リファレンス入力 9 の値を参照します。 |
| 0228 _H | APAA0RFSW | APAA0 ソフトウェアリファレンスデータレジスタ | 0000 _H | 16 | ソフトウェアリファレンス入力の値を設定します。 |
| 022C _H ~ 023C _H | (N/A) | | 0000_0000 _H | — | 未使用領域 (Read-only) 備考 Write 不可、Read は 0 のみ読めます。 |
| 0240 _H | APAA0RFMX0 | APAA0 リファレンス最大値設定レジスタ 0 | FFFF _H | 16 | リファレンス入力 0 の最大値を設定します。 |
| 0244 _H | APAA0RFMX1 | APAA0 リファレンス最大値設定レジスタ 1 | FFFF _H | 16 | リファレンス入力 1 の最大値を設定します。 |
| 0248 _H ~ 0264 _H | (N/A) | | 0000_0000 _H | — | 未使用領域 (Read-only) 備考 Write 不可、Read は 0 のみ読めます。 |
| 0268 _H | APAA0RFMXSW | APAA0 ソフトウェアリファレンス最大値設定レジスタ | FFFF _H | 16 | ソフトウェアリファレンス入力の最大値を設定します。 |
| 026C _H ~ 03FC _H | (N/A) | | 0000_0000 _H | — | 未使用領域 (Read-only) 備考 Write 不可、Read は 0 のみ読めます。 |

22.4.3.1 APAA0RFDTn — APAA0 リファレンスデータレジスタ (n = 0 ~ 9)

リファレンス入力の値を参照します。

参照できる値は、リファレンスバスに出力した最新の値となります。

| | | | | | | | | | | | | | | | | |
|---------|-------------------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | APAAREFBDAT[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 22.15 APAA0RFDTn レジスタの内容

| ビット位置 | ビット名 | リセット要因 | 機能 |
|--------|-------------------|---------|--|
| 15 ~ 0 | APAAREFBDAT[15:0] | PRESETZ | リファレンス入力 n の最新のデータを参照します。 備考 リファレンスバス有効時 (APAACMENAPA = 1) においてのみ有効です。リファレンスバス無効時 (APAACMENAPA = 0) の場合は値を保持します。 |

以下同様に、レジスタとリファレンス入力は表 22.16 のように対応します。

表 22.16 APAA0RFDTn レジスタとリファレンス入力の対応

| レジスタ | オフセットアドレス | リファレンス入力 |
|------------|-------------------|-----------|
| | | リファレンス ID |
| APAA0RFDT0 | 0200 _H | 0 |
| APAA0RFDT1 | 0204 _H | 1 |
| APAA0RFDT2 | 0208 _H | 2 |
| APAA0RFDT3 | 020C _H | 3 |
| APAA0RFDT4 | 0210 _H | 4 |
| APAA0RFDT5 | 0214 _H | 5 |
| APAA0RFDT6 | 0218 _H | 6 |
| APAA0RFDT7 | 021C _H | 7 |
| APAA0RFDT8 | 0220 _H | 8 |
| APAA0RFDT9 | 0224 _H | 9 |

22.4.3.2 APAA0RFSW — APAA0 ソフトウェアリファレンスデータレジスタ

ソフトウェアリファレンス入力を設定および参照します。

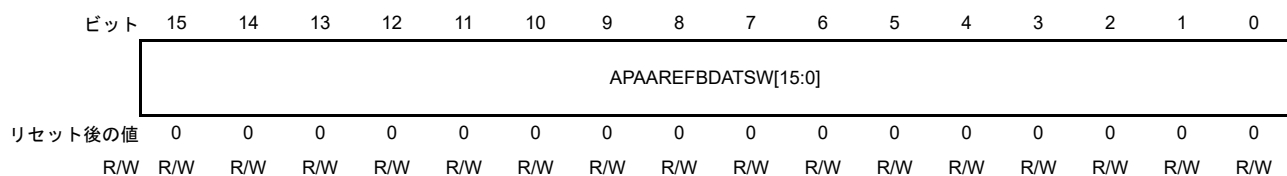


表 22.17 APAA0RFSW レジスタの内容

| ビット位置 | ビット名 | リセット要因 | 意 味 |
|--------|---------------------|---------|--|
| 15 ~ 0 | APAAREFBDATSW[15:0] | PRESETZ | ソフトウェアリファレンス入力。符号なし (unsigned) として指定します。 本レジスタへの設定は、Write 完了後に直ちにリファレンス入力として有効になります。ただし、リファレンスバス出力 (refb_dat_r[15:0]) に対しては、リファレンススロット = 12 _H において反映されます (「22.5.2.2 動作」を参照)。 |

22.4.3.3 APAA0RFMXn — APAA0 リファレンス最大値設定レジスタ (n = 0, 1, sw)

リファレンス入力の最大値を設定します。

本レジスタは、マッチ条件に相対指定を使用する場合に参照する設定です（相対指定⇒絶対指定に変換する際のオーバーフロー処理のために参照します）。相対指定が使用可能なリファレンスは、リファレンス 0、1、sw のみであり、リファレンス 2～9 については絶対指定のみ使用できます。

注 意

本レジスタは、全パルス生成チャネル停止 (APAACMENPGCH = 0000_0000_H) のときのみ設定してください。これ以外の状態で設定した場合、マッチ比較が意図しない動作となる可能性があります。

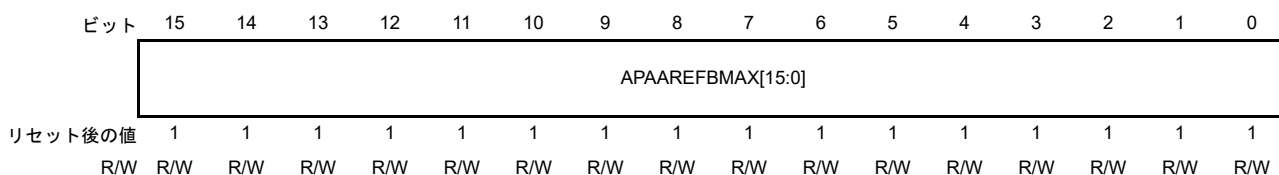


表 22.18 APAA0RFMXn レジスタの内容

| ビット位置 | ビット名 | リセット要因 | 機能 |
|-------|-------------------|---------|--|
| 15～0 | APAAREFBMAX[15:0] | PRESETZ | ソフトウェアリファレンス入力の最大値を設定します。符号なし (unsigned) として指定します。 |

レジスタとリファレンス入力は表 22.19 のように対応します。

表 22.19 APAA0RFMXn レジスタとリファレンス入力の対応

| レジスタ | オフセットアドレス | リファレンス入力 | |
|-------------|-------------------|-----------|---------|
| | | リファレンス ID | 時間分解能 |
| APAA0RFMX0 | 0240 _H | 0 | pclk*4 |
| APAA0RFMX1 | 0244 _H | 1 | pclk*4 |
| APAA0RFMXSW | 0268 _H | f | pclk*20 |

対応するリファレンス入力が APA のダイナミックレンジ (16bit) よりも小さい場合、本レジスタの設定は、対応するリファレンス入力を取りうる値 (ダイナミックレンジ) と同じ値に設定してください。

リファレンス入力のダイナミックレンジと本レジスタが一致しない場合、マッチ比較に相対指定を使用した際に意図どおりにマッチしなくなる可能性があります。

対応するリファレンス入力の元となるカウンタが APA のダイナミックレンジよりも大きい場合、元となるカウンタのオーバーフロー時の APA のリファレンス入力の値との関係性に注意が必要です。

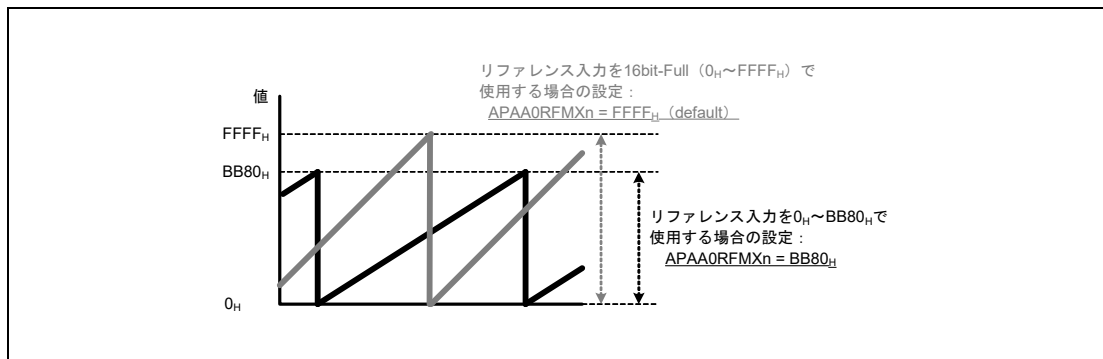


図 22.4 APAA0RFMX_n (n = 0/1/sw) の設定例

22.4.4 制御レジスタ詳細 (イベントバス)

イベントバスの動作に関する設定および参照を行います。

表 22.20 制御レジスタ (イベント)

| オフセット アドレス | シンボル | レジスタ名 | リセット後の値 | アクセス サイズ | 機能 |
|--|-------------|------------------------|------------------------|-------------|--|
| 0400 _H | APAA0EVSL00 | APAA0 イベント選択レジスタ 0 | 00 _H | 8 | 選択イベント入力 0 の設定 |
| 0404 _H | APAA0EVSL01 | APAA0 イベント選択レジスタ 1 | 00 _H | 8 | 選択イベント入力 1 の設定 |
| 0408 _H | APAA0EVSL02 | APAA0 イベント選択レジスタ 2 | 00 _H | 8 | 選択イベント入力 2 の設定 |
| 040C _H | APAA0EVSL03 | APAA0 イベント選択レジスタ 3 | 00 _H | 8 | 選択イベント入力 3 の設定 |
| 0410 _H | APAA0EVSL04 | APAA0 イベント選択レジスタ 4 | 00 _H | 8 | 選択イベント入力 4 の設定 |
| 0414 _H | APAA0EVSL05 | APAA0 イベント選択レジスタ 5 | 00 _H | 8 | 選択イベント入力 5 の設定 |
| 0418 _H | APAA0EVSL06 | APAA0 イベント選択レジスタ 6 | 00 _H | 8 | 選択イベント入力 6 の設定 |
| 041C _H | APAA0EVSL07 | APAA0 イベント選択レジスタ 7 | 00 _H | 8 | 選択イベント入力 7 の設定 |
| 0420 _H | APAA0EVSL08 | APAA0 イベント選択レジスタ 8 | 00 _H | 8 | 選択イベント入力 8 の設定 |
| 0424 _H | APAA0EVSL09 | APAA0 イベント選択レジスタ 9 | 00 _H | 8 | 選択イベント入力 9 の設定 |
| 0428 _H | APAA0EVSL10 | APAA0 イベント選択レジスタ 10 | 00 _H | 8 | 選択イベント入力 10 の設定 |
| 042C _H | APAA0EVSL11 | APAA0 イベント選択レジスタ 11 | 00 _H | 8 | 選択イベント入力 11 の設定 |
| 0430 _H | APAA0EVSL12 | APAA0 イベント選択レジスタ 12 | 00 _H | 8 | 選択イベント入力 12 の設定 |
| 0434 _H | APAA0EVSL13 | APAA0 イベント選択レジスタ 13 | 00 _H | 8 | 選択イベント入力 13 の設定 |
| 0438 _H | APAA0EVSL14 | APAA0 イベント選択レジスタ 14 | 00 _H | 8 | 選択イベント入力 14 の設定 |
| 043C _H | APAA0EVSL15 | APAA0 イベント選択レジスタ 15 | 00 _H | 8 | 選択イベント入力 15 の設定 |
| 0440 _H | APAA0EVSW | APAA0 ソフトウェアイベントレジスタ | 0000 0000 _H | 32 | ソフトウェアイベントの設定 |
| 0444 _H | APAA0EVSC | APAA0 ソフトウェアイベント設定レジスタ | 0000 _H | 16 | ソフトウェアイベントの動作オプションを設定 |
| 0448 _H | APAA0ESTA | APAA0 イベントステータスレジスタ A | 0000 0000 _H | 32 | イベントバスの動作状態 (レベル) |
| 044C _H ~ 05FF _H | (N/A) | | 0000 0000 _H | — | 未使用領域 (Read-only) 備考 Write 不可、Read は 0 のみ読めます。 |

22.4.4.1 APAA0EVSLn — APAA0 イベント選択レジスタ (n = 00 ~ 15)

イベント入力を選択します。

イベントバスにおいて、外部イベント要因とソフトウェアイベント 5 ~ 0 をあわせた 64 本のうち、任意の 16 本を選択イベント入力として使用できます。ここでは選択イベント入力を設定します。

| | | | | | | | | |
|---------|---|---|----------------|-----|-----|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | APAAEVSEL[5:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 22.21 APAA0EVSLn レジスタの内容

| ビット位置 | ビット名 | リセット要因 | 機能 |
|-------|----------------|---------|---------------------------------|
| 5 ~ 0 | APAAEVSEL[5:0] | PRESETZ | イベント入力を選択します。表 22.22 を参照してください。 |

注 意

本レジスタは、全パルス生成チャネル停止 (APAACMENPGCH = 0000 0000_H) のときのみ設定してください。これ以外の状態で設定を行った場合、イベント検出が誤動作する可能性があります。

APAAEVSEL[5:0] 設定とイベント入力選択は、表 22.22 のように対応します。各 APAAEVSEL[5:0] で選択可能なイベントは選択イベント入力と呼び、APAAEVSEL[5:0] の設定と APA 内部のイベントバスとの対応は表 22.23 を参照してください。

表 22.22 APAAEVSEL0[5:0] 設定とイベント入力との対応

| 設定値 | 選択外部イベント要因 | 設定値 | 選択外部イベント要因 | 設定値 | 選択外部イベント要因 | 設定値 | 選択外部イベント要因 |
|-----------------|-------------|-----------------|-------------|-----------------|-------------|-----------------|--------------|
| 00 _H | 外部イベント要因 0 | 10 _H | 外部イベント要因 16 | 20 _H | 外部イベント要因 32 | 30 _H | 外部イベント要因 48 |
| 01 _H | 外部イベント要因 1 | 11 _H | 外部イベント要因 17 | 21 _H | 外部イベント要因 33 | 31 _H | 外部イベント要因 49 |
| 02 _H | 外部イベント要因 2 | 12 _H | 外部イベント要因 18 | 22 _H | 外部イベント要因 34 | 32 _H | 外部イベント要因 50 |
| 03 _H | 外部イベント要因 3 | 13 _H | 外部イベント要因 19 | 23 _H | 外部イベント要因 35 | 33 _H | 外部イベント要因 51 |
| 04 _H | 外部イベント要因 4 | 14 _H | 外部イベント要因 20 | 24 _H | 外部イベント要因 36 | 34 _H | 外部イベント要因 52 |
| 05 _H | 外部イベント要因 5 | 15 _H | 外部イベント要因 21 | 25 _H | 外部イベント要因 37 | 35 _H | 外部イベント要因 53 |
| 06 _H | 外部イベント要因 6 | 16 _H | 外部イベント要因 22 | 26 _H | 外部イベント要因 38 | 36 _H | 外部イベント要因 54 |
| 07 _H | 外部イベント要因 7 | 17 _H | 外部イベント要因 23 | 27 _H | 外部イベント要因 39 | 37 _H | 外部イベント要因 55 |
| 08 _H | 外部イベント要因 8 | 18 _H | 外部イベント要因 24 | 28 _H | 外部イベント要因 40 | 38 _H | 外部イベント要因 56 |
| 09 _H | 外部イベント要因 9 | 19 _H | 外部イベント要因 25 | 29 _H | 外部イベント要因 41 | 39 _H | 外部イベント要因 57 |
| 0A _H | 外部イベント要因 10 | 1A _H | 外部イベント要因 26 | 2A _H | 外部イベント要因 42 | 3A _H | ソフトウェアイベント 0 |
| 0B _H | 外部イベント要因 11 | 1B _H | 外部イベント要因 27 | 2B _H | 外部イベント要因 43 | 3B _H | ソフトウェアイベント 1 |
| 0C _H | 外部イベント要因 12 | 1C _H | 外部イベント要因 28 | 2C _H | 外部イベント要因 44 | 3C _H | ソフトウェアイベント 2 |
| 0D _H | 外部イベント要因 13 | 1D _H | 外部イベント要因 29 | 2D _H | 外部イベント要因 45 | 3D _H | ソフトウェアイベント 3 |
| 0E _H | 外部イベント要因 14 | 1E _H | 外部イベント要因 30 | 2E _H | 外部イベント要因 46 | 3E _H | ソフトウェアイベント 4 |
| 0F _H | 外部イベント要因 15 | 1F _H | 外部イベント要因 31 | 2F _H | 外部イベント要因 47 | 3F _H | ソフトウェアイベント 5 |

内部のイベントバス eb_dat_r[31:0] は、以下の対応となっています。

- eb_dat_r[15:0] ... PWM 出力 n がそのまま対応します (固定イベント入力)。 (n = 0 ~ 15)
- eb_dat_r[31:16] ... レジスタ APAA0EVSL00 ~ 15 の設定に従ったイベント入力を使用可能です (選択イベント入力)。

表 22.23 イベントバス信号の入力元

| 固定イベント入力 | | | 選択イベント入力 | | |
|--------------|--------|-----------|--------------|------------------|-------------------|
| イベントバス | 設定レジスタ | 対応端子 | イベントバス | 設定レジスタ | オフセットアドレス |
| eb_dat_r[0] | なし | PWM 出力 0 | eb_dat_r[16] | APAA0EVSL00[5:0] | 0400 _H |
| eb_dat_r[1] | なし | PWM 出力 1 | eb_dat_r[17] | APAA0EVSL01[5:0] | 0404 _H |
| eb_dat_r[2] | なし | PWM 出力 2 | eb_dat_r[18] | APAA0EVSL02[5:0] | 0408 _H |
| eb_dat_r[3] | なし | PWM 出力 3 | eb_dat_r[19] | APAA0EVSL03[5:0] | 040C _H |
| eb_dat_r[4] | なし | PWM 出力 4 | eb_dat_r[20] | APAA0EVSL04[5:0] | 0410 _H |
| eb_dat_r[5] | なし | PWM 出力 5 | eb_dat_r[21] | APAA0EVSL05[5:0] | 0414 _H |
| eb_dat_r[6] | なし | PWM 出力 6 | eb_dat_r[22] | APAA0EVSL06[5:0] | 0418 _H |
| eb_dat_r[7] | なし | PWM 出力 7 | eb_dat_r[23] | APAA0EVSL07[5:0] | 041C _H |
| eb_dat_r[8] | なし | PWM 出力 8 | eb_dat_r[24] | APAA0EVSL08[5:0] | 0420 _H |
| eb_dat_r[9] | なし | PWM 出力 9 | eb_dat_r[25] | APAA0EVSL09[5:0] | 0424 _H |
| eb_dat_r[10] | なし | PWM 出力 10 | eb_dat_r[26] | APAA0EVSL10[5:0] | 0428 _H |
| eb_dat_r[11] | なし | PWM 出力 11 | eb_dat_r[27] | APAA0EVSL11[5:0] | 042C _H |
| eb_dat_r[12] | なし | PWM 出力 12 | eb_dat_r[28] | APAA0EVSL12[5:0] | 0430 _H |
| eb_dat_r[13] | なし | PWM 出力 13 | eb_dat_r[29] | APAA0EVSL13[5:0] | 0434 _H |
| eb_dat_r[14] | なし | PWM 出力 14 | eb_dat_r[30] | APAA0EVSL14[5:0] | 0438 _H |
| eb_dat_r[15] | なし | PWM 出力 15 | eb_dat_r[31] | APAA0EVSL15[5:0] | 043C _H |

22.4.4.2 APAA0EVSW — APAA0 ソフトウェアイベントレジスタ

ソフトウェアイベントレジスタです。APAA0EVSW5 ~ 0 レジスタの各ビットの値は、そのままイベント入力として使用できます。APAA0EVSW5 ~ 0 レジスタは、マスクレジスタ (APAAEVSWMSK5 ~ 0) に 1 を Write したビットのみ、Write することができます。

動作オプションは、APAA0EVSC_5 ~ 0 によって設定できます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|------------------|---------------|---------------|---------------|---------------|---------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | APAAEVSWMSK[5:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | W | W | W | W | W | W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | APAAE VSW5 | APAAE VSW4 | APAAE VSW3 | APAAE VSW2 | APAAE VSW1 | APAAE VSW0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 22.24 APAA0EVSW レジスタの内容

| ビット位置 | ビット名 | リセット要因 | 機能 |
|---------|------------------|----------------------|--|
| 21 ~ 16 | APAAEVSWMSK[5:0] | — | APAAEVSW[5:0] への書き込みマスク。各ビットは APAAEVSW[5:0] の制御にそれぞれ割り当てられています。 0 : APAAEVSW[n] に書き込み不可 1 : APAAEVSW[n] に書き込み可能 備考 Read すると 0 が読めます。 |
| 5 ~ 0 | APAAEVSW[5:0] | PRESETZ pclk*1 経過 | ソフトウェアイベント。各ビットはソフトウェアイベント ID (5 ~ 0) に対応します。 0 : ソフトウェアイベント (ID = ビット) = Low 設定 1 : ソフトウェアイベント (ID = ビット) = High 設定 備考 本レジスタへの設定は、Write 完了後に直ちにイベント入力として有効になります。ソフトウェアイベントがパルス生成チャンネルにおいて例外処理要求として反映されるのは、エッジ検出の場合は Write 完了後 2 サイクル後 (図 22.33 を参照)、レベル検出の場合は Write 完了と同時にあります (図 22.45 を参照)。 |

ソフトウェアイベントに対する設定は、下記の例のように設定します。

- 003F 003F_H を書き込み : ソフトウェアイベント チャンネル 5 ~ 0 に、同時に 1 を Write
- 0000 003F_H を書き込み : 何もしない (ソフトウェアイベント発生せず)
- 003F 0000_H を書き込み : ソフトウェアイベント チャンネル 5 ~ 0 に、同時に 0 を Write
- 0000 0000_H を書き込み : 何もしない (レジスタは変化せず、前の値を保持)

22.4.4.3 APAA0EVSC — APAA0 ソフトウェアイベント設定レジスタ

ソフトウェアイベント設定レジスタです。

ソフトウェアイベントレジスタ APAA0EVSW[5:0] の動作オプションをそれぞれ設定します。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | APAAEVSWCF G5[1:0] | APAAEVSWCF G4[1:0] | APAAEVSWCF G3[1:0] | APAAEVSWCF G2[1:0] | APAAEVSWCF G1[1:0] | APAAEVSWCF G0[1:0] | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 22.25 APAA0EVSC レジスタの内容

| ビット位置 | ビット名 | リセット要因 | 機能 |
|-------|-----------------------|---------|--|
| 11、10 | APAAEVSWCF G5[1:0] | PRESETZ | ソフトウェアイベントレジスタ APAA0EVSW[5] の動作を設定します。 00：制御なし 01：1shot (APAA0EVSW[5] に High を書き込み後、pclk*1cycle で Low に戻る) 10：1shot (APAA0EVSW[5] に Low を書き込み後、pclk*1cycle で High に戻る) 上記以外：設定禁止 |
| 9、8 | APAAEVSWCF G4[1:0] | PRESETZ | ソフトウェアイベントレジスタ APAA0EVSW[4] の動作を設定します。 00：制御なし 01：1shot (APAA0EVSW[4] に High を書き込み後、pclk*1cycle で Low に戻る) 10：1shot (APAA0EVSW[4] に Low を書き込み後、pclk*1cycle で High に戻る) 上記以外：設定禁止 |
| 7、6 | APAAEVSWCF G3[1:0] | PRESETZ | ソフトウェアイベントレジスタ APAA0EVSW[3] の動作を設定します。 00：制御なし 01：1shot (APAA0EVSW[3] に High を書き込み後、pclk*1cycle で Low に戻る) 10：1shot (APAA0EVSW[3] に Low を書き込み後、pclk*1cycle で High に戻る) 上記以外：設定禁止 |
| 5、4 | APAAEVSWCF G2[1:0] | PRESETZ | ソフトウェアイベントレジスタ APAA0EVSW[2] の動作を設定します。 00：制御なし 01：1shot (APAA0EVSW[2] に High を書き込み後、pclk*1cycle で Low に戻る) 10：1shot (APAA0EVSW[2] に Low を書き込み後、pclk*1cycle で High に戻る) 上記以外：設定禁止 |
| 3、2 | APAAEVSWCF G1[1:0] | PRESETZ | ソフトウェアイベントレジスタ APAA0EVSW[1] の動作を設定します。 00：制御なし 01：1shot (APAA0EVSW[1] に High を書き込み後、pclk*1cycle で Low に戻る) 10：1shot (APAA0EVSW[1] に Low を書き込み後、pclk*1cycle で High に戻る) 上記以外：設定禁止 |
| 1、0 | APAAEVSWCF G0[1:0] | PRESETZ | ソフトウェアイベントレジスタ APAA0EVSW[0] の動作を設定します。 00：制御なし 01：1shot (APAA0EVSW[0] に High を書き込み後、pclk*1cycle で Low に戻る) 10：1shot (APAA0EVSW[0] に Low を書き込み後、pclk*1cycle で High に戻る) 上記以外：設定禁止 |

注 意

本レジスタの設定は全パルス生成チャンネル停止中 (APAA0CHEN = 0000_H) の場合のみ書き換えを許可します。パルス生成チャンネル動作中に本レジスタを書き換えた場合、イベント検出が誤検出をする可能性があります。

備 考

本レジスタを“01_B”、“10_B”に書き換えた場合、ソフトウェアイベント APAA0EVSW は以下のようになります。

1. 本レジスタの設定を“01_B”に変更した場合、ソフトウェアイベント APAA0EVSW は、本レジスタを設定した次の PCLK で“L”となります。
 2. 本レジスタの設定を“10_B”に変更した場合、ソフトウェアイベント APAA0EVSW は、本レジスタを設定した次の PCLK で“H”となります。
-

22.4.4.4 APAA0ESTA — APAA0 イベントステータスレジスタ A

イベントバスの各ビットの現在のレベル (High/Low) をモニターできます。

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|
| | APAAE BSTATL EV31 | APAAE BSTATL EV30 | APAAE BSTATL EV29 | APAAE BSTATL EV28 | APAAE BSTATL EV27 | APAAE BSTATL EV26 | APAAE BSTATL EV25 | APAAE BSTATL EV24 | APAAE BSTATL EV23 | APAAE BSTATL EV22 | APAAE BSTATL EV21 | APAAE BSTATL EV20 | APAAE BSTATL EV19 | APAAE BSTATL EV18 | APAAE BSTATL EV17 | APAAE BSTATL EV16 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | APAAE BSTATL EV15 | APAAE BSTATL EV14 | APAAE BSTATL EV13 | APAAE BSTATL EV12 | APAAE BSTATL EV11 | APAAE BSTATL EV10 | APAAE BSTATL EV9 | APAAE BSTATL EV8 | APAAE BSTATL EV7 | APAAE BSTATL EV6 | APAAE BSTATL EV5 | APAAE BSTATL EV4 | APAAE BSTATL EV3 | APAAE BSTATL EV2 | APAAE BSTATL EV1 | APAAE BSTATL EV0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 22.26 APAA0ESTA レジスタの内容

| ビット位置 | ビット名 | リセット要因 | 機能 |
|--------|-------------------------|---------|-------------------------------------|
| 31 ~ 0 | APAAEBSTATL EV[31:0] | PRESETZ | イベントバス eb_dat_r[31:0] の現在のレベルを表します。 |

22.4.5 制御レジスタ詳細 (パルス生成チャンネル 0 ~ 15)

パルス生成チャンネル 0 ~ 15 の動作に関する設定・参照を行います。

表 22.27 制御レジスタ (パルス生成チャンネル 0 ~ 15)

| オフセット アドレス | シンボル | レジスタ名 | リセット後の値 | アクセス サイズ | 機能 |
|--|-------------|--------------------------|------------------------|-------------|---|
| 0600 _H | APAA0CCGA00 | APAA0 チャンネル設定レジスタ A0 | 0000 0100 _H | 32 | PGCH0 の設定 |
| 0604 _H | APAA0CCGB00 | APAA0 チャンネル設定レジスタ B0 | 0000 0000 _H | 32 | PGCH0 の設定 |
| 0608 _H | APAA0CSTA00 | APAA0 チャンネルステータスレジスタ A0 | 0000 0000 _H | 32 | PGCH0 の現在のステータスデータ |
| 060C _H | APAA0CSTB00 | APAA0 チャンネルステータスレジスタ B0 | 0000 0000 _H | 32 | PGCH0 で現在有効なエレメントの設定データ |
| 0610 _H | APAA0CSTC00 | APAA0 チャンネルステータスレジスタ C0 | 0000 0000 _H | 32 | PGCH0 で現在有効なエレメントの設定データ |
| 0614 _H | APAA0CSTD00 | APAA0 チャンネルステータスレジスタ D0 | 0000 0000 _H | 32 | PGCH0 で現在有効なエレメントの設定データ |
| 0618 _H ~ 061C _H | (N/A) | | 0000 0000 _H | — | 未使用領域 (Read-only) 備考 Write 不可、Read は 0 のみ読めます。 |
| 0620 _H | APAA0CCGA01 | APAA0 チャンネル設定レジスタ A1 | 0000 0100 _H | 32 | PGCH1 の設定 |
| 0624 _H | APAA0CCGB01 | APAA0 チャンネル設定レジスタ B1 | 0000 0000 _H | 32 | PGCH1 の設定 |
| 0628 _H | APAA0CSTA01 | APAA0 チャンネルステータスレジスタ A1 | 0000 0000 _H | 32 | PGCH1 の現在のステータスデータ |
| 062C _H | APAA0CSTB01 | APAA0 チャンネルステータスレジスタ B1 | 0000 0000 _H | 32 | PGCH1 で現在有効なエレメントの設定データ |
| 0630 _H | APAA0CSTC01 | APAA0 チャンネルステータスレジスタ C1 | 0000 0000 _H | 32 | PGCH1 で現在有効なエレメントの設定データ |
| 0634 _H | APAA0CSTD01 | APAA0 チャンネルステータスレジスタ D1 | 0000 0000 _H | 32 | PGCH1 で現在有効なエレメントの設定データ |
| 0638 _H ~ 063C _H | (N/A) | | 0000 0000 _H | — | 未使用領域 (Read-only) 備考 Write 不可、Read は 0 のみ読めます。 |
| (・・・以下、PGCH2 ~ 14 まで同様) | | | | | |
| 07E0 _H | APAA0CCGA15 | APAA0 チャンネル設定レジスタ A15 | 0000 0100 _H | 32 | PGCH15 の設定 |
| 07E4 _H | APAA0CCGB15 | APAA0 チャンネル設定レジスタ B15 | 0000 0000 _H | 32 | PGCH15 の設定 |
| 07E8 _H | APAA0CSTA15 | APAA0 チャンネルステータスレジスタ A15 | 0000 0000 _H | 32 | PGCH15 の現在のステータスデータ |
| 07EC _H | APAA0CSTB15 | APAA0 チャンネルステータスレジスタ B15 | 0000 0000 _H | 32 | PGCH15 で現在有効なエレメントの設定データ |
| 07F0 _H | APAA0CSTC15 | APAA0 チャンネルステータスレジスタ C15 | 0000 0000 _H | 32 | PGCH15 で現在有効なエレメントの設定データ |
| 07F4 _H | APAA0CSTD15 | APAA0 チャンネルステータスレジスタ D15 | 0000 0000 _H | 32 | PGCH15 で現在有効なエレメントの設定データ |
| 07F8 _H ~ 07FC _H | (N/A) | | 0000 0000 _H | — | 未使用領域 (Read-only) 備考 Write 不可、Read は 0 のみ読めます。 |

22.4.5.1 APAA0CCGAn — APAA0 チャネル設定レジスタ An (n = 00 ~ 15)

パルス生成チャネル n (0 ~ 15) に対する設定レジスタです。

注 意

1. 本レジスタ (APAA0CCGAn レジスタ) は、APAACHNFSTEL[6:0] ビットのみ動作中書き換え可能です。パルス生成チャネル動作中に APAACHNFSTEL[6:0] ビットを書き換えを行う場合は、APAACHNFSTEL[6:0] ビット以外のビットは、同値書き込みを行ってください。
2. APAACHNFSTEL[6:0] ビット以外のビットは、パルス生成チャネルが停止している状態 (APAA0CHEN.APAACMENPGCH[n] = 0) で書き換えを行ってください。動作中のパルス生成チャネルに対して APAACHNFSTEL[6:0] ビット以外のビットを書き換えた場合、パルス生成チャネルが意図しない動作となる可能性があります。
3. 動作中に APAACHNFSTEL[6:0] ビットを書き換えた場合の動作に関しては、「22.5.5.3 動作中の開始エレメント番号の変更に関して」を参照してください。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|-----------------|------------|----|-------------------|-----|-----|-----|--------------------|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | APAACHNFSTEL[6:0] | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | APAACHNCON T | APAACHNLEV | — | — | — | — | — | APAACHNINTSEL[2:0] | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W | R | R | R | R | R | R/W | R/W | R/W |

表 22.28 APAA0CCGAn レジスタの内容

| ビット位置 | ビット名 | リセット要因 | 機能 |
|---------|--------------------|---------|---|
| 22 ~ 16 | APAACHNFSTEL[6:0] | PRESETZ | 開始エレメント番号 (00 _H ~ 7F _H)。 |
| 9 | APAACHNCON T | PRESETZ | チャネル継続設定。 0 : シングル動作。最終エレメント終了後に停止します。 1 : 連続動作。最終エレメント後、開始エレメント番号から再開します。 |
| 8 | APAACHNLEV | PRESETZ | 出力パルスのアクティブレベル。 0 : low-active 1 : high-active 備考 本レジスタの設定は、直ちに PWM 出力 n 端子 (n : 該当ビット) に反映されます。 |
| 2 ~ 0 | APAACHNINTSEL[2:0] | PRESETZ | 割り込み設定。下記いずれかに対応した割り込みが発生。割り込みは 1-shot パルス (High-Active)。動作は「22.5.4.2 動作 : マッチ比較器」の「(4) 割り込み」を参照してください。 000 : エレメント遷移後 001 : チャネル動作完了時 010 : ON マッチ発生時 011 : OFF マッチ発生時 100 : ON マッチ / OFF マッチどちらか発生時 上記以外 : 設定禁止 |

レジスタ設定と各パルス生成チャンネルは下表のように対応します。

表 22.29 パルス生成チャンネルとレジスタ設定の対応 (APAA0CCGAn)

| パルス生成チャンネル | 設定レジスタ | オフセットアドレス |
|------------|-------------|-------------------|
| PGCH0 | APAA0CCGA00 | 0600 _H |
| PGCH1 | APAA0CCGA01 | 0620 _H |
| PGCH2 | APAA0CCGA02 | 0640 _H |
| PGCH3 | APAA0CCGA03 | 0660 _H |
| PGCH4 | APAA0CCGA04 | 0680 _H |
| PGCH5 | APAA0CCGA05 | 06A0 _H |
| PGCH6 | APAA0CCGA06 | 06C0 _H |
| PGCH7 | APAA0CCGA07 | 06E0 _H |
| PGCH8 | APAA0CCGA08 | 0700 _H |
| PGCH9 | APAA0CCGA09 | 0720 _H |
| PGCH10 | APAA0CCGA10 | 0740 _H |
| PGCH11 | APAA0CCGA11 | 0760 _H |
| PGCH12 | APAA0CCGA12 | 0780 _H |
| PGCH13 | APAA0CCGA13 | 07A0 _H |
| PGCH14 | APAA0CCGA14 | 07C0 _H |
| PGCH15 | APAA0CCGA15 | 07E0 _H |

22.4.5.2 APAA0CCGBn — APAA0 チャネル設定レジスタ Bn (n = 00 ~ 15)

パルス生成チャネル n (0 ~ 15) に対する設定レジスタです。

注 意

本レジスタは、パルス生成チャネルが停止している状態 (APAA0CHEN.APAACMENPGCH[n] = 0) で書き換えを行ってください。動作中のパルス生成チャネルに対して本レジスタを書き換えた場合、パルス生成チャネルが意図しない動作となる可能性があります。

| | | | | | | | | | | | | | | | | | |
|---------|------------------|-----------------------|-------------------|-----|-----|-----|-----|-----|-----------------------|-----------------------|-------------------|-----|-----|-----|-----|-----|--|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | |
| | — | — | — | — | — | — | — | — | — | APAACHNEGR ES[1:0] | APAACHNIDRES[4:0] | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| R/W | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | APAACHNOPS TR | APAACHNEGST R[1:0] | APAACHNIDSTR[4:0] | | | | | — | APAACHNEGST P[1:0] | APAACHNIDSTP[4:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | |

表 22.30 APAA0CCGBn レジスタの内容

| ビット位置 | ビット名 | リセット要因 | 機能 |
|---------|------------------------|---------|--|
| 22, 21 | APAACHNEGR ES[1:0] | PRESETZ | 例外処理 (Restart) に関連付けられたイベント入力、どちらのエッジを有効とみなすかを示します。 00 : rise-edge 01 : fall-edge 10 : both edge (rise/fall) 上記以外 : 設定禁止 |
| 20 ~ 16 | APAACHNIDRES S[4:0] | PRESETZ | 例外処理 (Restart) に使用するイベントバス信号を指定。値とイベントバス信号の対応は表 22.31 を参照してください。 |
| 15 | APAACHNOPS TR | PRESETZ | 例外処理 (Start) の動作オプション。パルス生成チャネルの動作許可 (APAACMENPGCH[n] = 1) のあとの動作を指定します。 0 : 動作許可後、Start 例外をトリガに動作開始 1 : 動作許可後、直ちに動作開始。Start 例外を待たない。 備考 本オプションを 1 に設定した場合、Stop 例外では停止しなくなります (Stop 例外を入力すると、いったん停止後に再び初期エレメントから動作開始します)。その場合、APAA0CHEN レジスタを動作不許可に設定することで停止します。 |
| 14, 13 | APAACHNEGST R[1:0] | PRESETZ | 例外処理 (Start) に関連付けられたイベント入力、どちらのエッジを有効とみなすかを示します。 00 : rise-edge 01 : fall-edge 10 : both edge (rise/fall) 上記以外 : 設定禁止 |
| 12 ~ 8 | APAACHNIDSTR R[4:0] | PRESETZ | 例外処理 (Start) に使用するイベントバス信号を指定。値とイベントバス信号の対応は表 22.31 を参照してください。 |
| 6, 5 | APAACHNEGST P[1:0] | PRESETZ | 例外処理 (Stop) に関連付けられたイベント入力、どちらのエッジを有効とみなすかを示します。 00 : rise-edge 01 : fall-edge 10 : both edge (rise/fall) 上記以外 : 設定禁止 |
| 4 ~ 0 | APAACHNIDSTP P[4:0] | PRESETZ | 例外処理 (Stop) に使用するイベントバス信号を指定。値とイベントバス信号の対応は表 22.31 を参照してください。 |

例外処理 (Start/Stop/Transfer/Force/Restart/Postpone) は、任意の内部イベントバス信号を使用することができます。設定値の対応は、すべての例外処理に対して共通です。

表 22.31 例外処理と内部イベントバス信号の対応

| レジスタ 設定値 | 選択される イベント | 関連設定 (レジスタ) | レジスタ 設定値 | 選択される イベント | 関連設定 (レジスタ) |
|-----------------|------------------|----------------|-----------------|---------------|---------------------|
| 00 _H | PWM 出力 (pgch_0) | なし | 10 _H | 外部イベント入力 | APAA0EVSL00[5:0] 注1 |
| 01 _H | PWM 出力 (pgch_1) | なし | 11 _H | 外部イベント入力 | APAA0EVSL01[5:0] 注1 |
| 02 _H | PWM 出力 (pgch_2) | なし | 12 _H | 外部イベント入力 | APAA0EVSL02[5:0] 注1 |
| 03 _H | PWM 出力 (pgch_3) | なし | 13 _H | 外部イベント入力 | APAA0EVSL03[5:0] 注1 |
| 04 _H | PWM 出力 (pgch_4) | なし | 14 _H | 外部イベント入力 | APAA0EVSL04[5:0] 注1 |
| 05 _H | PWM 出力 (pgch_5) | なし | 15 _H | 外部イベント入力 | APAA0EVSL05[5:0] 注1 |
| 06 _H | PWM 出力 (pgch_6) | なし | 16 _H | 外部イベント入力 | APAA0EVSL06[5:0] 注1 |
| 07 _H | PWM 出力 (pgch_7) | なし | 17 _H | 外部イベント入力 | APAA0EVSL07[5:0] 注1 |
| 08 _H | PWM 出力 (pgch_8) | なし | 18 _H | 外部イベント入力 | APAA0EVSL08[5:0] 注1 |
| 09 _H | PWM 出力 (pgch_9) | なし | 19 _H | 外部イベント入力 | APAA0EVSL09[5:0] 注1 |
| 0A _H | PWM 出力 (pgch_10) | なし | 1A _H | 外部イベント入力 | APAA0EVSL10[5:0] 注1 |
| 0B _H | PWM 出力 (pgch_11) | なし | 1B _H | 外部イベント入力 | APAA0EVSL11[5:0] 注1 |
| 0C _H | PWM 出力 (pgch_12) | なし | 1C _H | 外部イベント入力 | APAA0EVSL12[5:0] 注1 |
| 0D _H | PWM 出力 (pgch_13) | なし | 1D _H | 外部イベント入力 | APAA0EVSL13[5:0] 注1 |
| 0E _H | PWM 出力 (pgch_14) | なし | 1E _H | 外部イベント入力 | APAA0EVSL14[5:0] 注1 |
| 0F _H | PWM 出力 (pgch_15) | なし | 1F _H | 外部イベント入力 | APAA0EVSL15[5:0] 注1 |

注 1. APAA0EVSL00 ~ 15[5:0] レジスタにおいて指定された外部イベント要因 0 ~ 57 またはソフトウェアイベント 0 ~ 5 が選択されます。

表 22.32 例外処理と設定レジスタの対応

| 例外処理 | 設定レジスタ | 備考 |
|----------|-------------------|---------------|
| Stop | APAACHNIDSTP[4:0] | パルス生成チャンネルに設定 |
| Start | APAACHNIDSTR[4:0] | パルス生成チャンネルに設定 |
| Restart | APAACHNIDRES[4:0] | パルス生成チャンネルに設定 |
| Transfer | APAAELMIDTRN[4:0] | エレメントに設定 |
| Force | APAAELMIDFOR[4:0] | エレメントに設定 |
| Postpone | APAAELMIDPPN[4:0] | エレメントに設定 |

注 1. 例外処理の内容については「22.5.1.3 例外について」を参照してください。

レジスタ設定と各パルス生成チャンネルは表 22.33 のように対応します。

表 22.33 パルス生成チャンネルとレジスタ設定の対応 (APAA0CCGBn)

| パルス生成チャンネル | 設定レジスタ | オフセットアドレス |
|------------|-------------|-------------------|
| PGCH0 | APAA0CCGB00 | 0604 _H |
| PGCH1 | APAA0CCGB01 | 0624 _H |
| PGCH2 | APAA0CCGB02 | 0644 _H |
| PGCH3 | APAA0CCGB03 | 0664 _H |
| PGCH4 | APAA0CCGB04 | 0684 _H |
| PGCH5 | APAA0CCGB05 | 06A4 _H |
| PGCH6 | APAA0CCGB06 | 06C4 _H |
| PGCH7 | APAA0CCGB07 | 06E4 _H |
| PGCH8 | APAA0CCGB08 | 0704 _H |
| PGCH9 | APAA0CCGB09 | 0724 _H |
| PGCH10 | APAA0CCGB10 | 0744 _H |
| PGCH11 | APAA0CCGB11 | 0764 _H |
| PGCH12 | APAA0CCGB12 | 0784 _H |
| PGCH13 | APAA0CCGB13 | 07A4 _H |
| PGCH14 | APAA0CCGB14 | 07C4 _H |
| PGCH15 | APAA0CCGB15 | 07E4 _H |

22.4.5.3 APAA0CSTAn — APAA0 チャンネルステータスレジスタ An (n = 00 ~ 15)

パルス生成チャンネル n (0 ~ 15) に対するチャンネルのステータスデータをモニターします。

注 意

本レジスタ中の APAACHNEN と APAAEOPWM 以外の全有効ビットは、リファレンス・イベントバス有効 (APAACMENAPA = 1) かつ該当チャンネル動作許可 (APAA0EN[n] = 1) に設定された場合のみ有効です (この設定は、以下「チャンネル有効設定」と表記します)。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|------------------|----|----|----|----|----|-------------------|----|-------------|-------------|-----------|-----------|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | APAACHNCUREL[6:0] | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | APAACMPSTAT[4:0] | | | | — | — | APAAMATSTAT [1:0] | | APAATRNSTAT | APAAPPNSTAT | APAACHNEN | APAAEOPWM | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 22.34 APAA0CSTAn レジスタの内容 (1/2)

| ビット位置 | ビット名 | リセット要因 | 機能 |
|---------|-------------------|---------|---|
| 22 ~ 16 | APAACHNCUREL[6:0] | PRESETZ | カレントエレメント番号 (パルス生成チャンネルで現在有効となっているエレメント番号)。 備考 チャンネル有効設定以外では値を保持します。 |
| 12 ~ 8 | APAACMPSTAT[4:0] | PRESETZ | マッチ比較器の現在の動作状態を表す。表 22.52 および図 22.13 を参照してください。 00000 : disable 00001 : dis_wstart 00010 : 未使用 00011 : pre_dis 00100 : pre_on_cur 00101 : pre_on_init 00110 : pre_on_nxt 00111 : pre_off 01000 : waiton 01001 : waiton_tron 01010 : forcedoff_troff 01011 : on_postponed 01100 : waitoff 01101 : waitoff_tron 01110 : matoff_troff 01111 : off_postponed 10000 : terminate 備考 チャンネル有効設定以外では disable (00000) となります。 |
| 5, 4 | APAAMATSTAT [1:0] | PRESETZ | マッチ比較器内のマッチ検出状態を示します。 00 : not match (マッチ未検出) 01 : ON match 検出 10 : OFF match 検出 11 : (発生しない) 備考 チャンネル有効設定以外では not match (00) となります。 |
| 3 | APAATRNSTAT | PRESETZ | 現在有効なエレメントにおいて、Transfer 例外が入力されているか (OFF マッチ後のエレメント遷移が有効か) を示します。 0 : Transfer 例外が入力されていない状態 1 : Transfer 例外が入力された状態 備考 チャンネル有効設定以外では Transfer 例外未入力 (0) となります。 |

表 22.34 APAA0CSTAn レジスタの内容 (2/2)

| ビット位置 | ビット名 | リセット要因 | 機能 |
|-------|-------------|---------|---|
| 2 | APAAPPNSTAT | PRESETZ | 現在有効なエレメントにおいて、Postpone 状態であることを示します。 0 : Postpone OFF 1 : Postpone ON 備考 チャンネル有効設定以外では Postpone-OFF(0) となります。 |
| 1 | APAACHNEN | PRESETZ | 該当パルス生成チャンネルの動作ステータス。 0 : disable...PGCHn (n = 0 ~ 15) 停止中 1 : enable...PGCHn (n = 0 ~ 15) 動作中 備考 レジスタ本体は APAA0CHEN レジスタ内の APAACMENPGCH[n] と同一であり、同一のデータが Read できます。 チャンネル有効設定以外でも上記機能は有効です。 |
| 0 | APAAEOPWM | PRESETZ | 該当パルス生成チャンネルの動作ステータス (PWM)。該当パルス生成チャンネルの PWM 出力 n 端子の出力レベルを示します。 備考 チャンネル有効設定以外でも上記機能は有効です。 |

以下同様に、レジスタ設定と各パルス生成チャンネルは表 22.35 のように対応します。

表 22.35 パルス生成チャンネルとレジスタ設定の対応 (APAA0CSTAn)

| パルス生成チャンネル | 設定レジスタ | オフセットアドレス |
|------------|-------------|-------------------|
| PGCH0 | APAA0CSTA00 | 0608 _H |
| PGCH1 | APAA0CSTA01 | 0628 _H |
| PGCH2 | APAA0CSTA02 | 0648 _H |
| PGCH3 | APAA0CSTA03 | 0668 _H |
| PGCH4 | APAA0CSTA04 | 0688 _H |
| PGCH5 | APAA0CSTA05 | 06A8 _H |
| PGCH6 | APAA0CSTA06 | 06C8 _H |
| PGCH7 | APAA0CSTA07 | 06E8 _H |
| PGCH8 | APAA0CSTA08 | 0708 _H |
| PGCH9 | APAA0CSTA09 | 0728 _H |
| PGCH10 | APAA0CSTA10 | 0748 _H |
| PGCH11 | APAA0CSTA11 | 0768 _H |
| PGCH12 | APAA0CSTA12 | 0788 _H |
| PGCH13 | APAA0CSTA13 | 07A8 _H |
| PGCH14 | APAA0CSTA14 | 07C8 _H |
| PGCH15 | APAA0CSTA15 | 07E8 _H |

22.4.5.4 APAA0CSTBn — APAA0 チャネルステータスレジスタ Bn (n = 00 ~ 15)

パルス生成チャンネル n (0 ~ 15) に対するエレメント設定をモニターします。

本レジスタでモニターできる値は、該当パルス生成チャンネルにおいて現在有効になっているエレメント情報であり、エレメント RAM からロードされた値です。

注 意

本レジスタ中の全有効ビットは、リファレンス・イベントバス有効 (APAACMENAPA = 1) かつ該当チャンネル動作許可 (APAA0EN[n] = 1) に設定された場合のみ有効です (この設定は、以下「チャンネル有効設定」と表記します)。

| | | | | | | | | | | | | | | | | |
|---------|----------------------|----|--------------|-------------|----|----|----|----|----|--------------------|----|----|------------------|---------------|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | APAAELDFINEL | APAAELDCONT | — | — | — | — | — | APAAELDRBIDON[3:0] | | | APAAELDMCON[1:0] | APAAELDABREON | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | APAAELDRBDATON[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 22.36 APAA0CSTBn レジスタの内容 (1/2)

| ビット位置 | ビット名 | リセット要因 | 機能 |
|---------|--------------------|---------|--|
| 29 | APAAELDFINEL | PRESETZ | 最終エレメント設定。本エレメントが最終エレメントであるか否かを示します。 0 : 本エレメントは最終エレメントでない 1 : 本エレメントは最終エレメントである 備考 チャンネル有効設定以外では値を保持します。 |
| 28 | APAAELDCONT | PRESETZ | エレメント継続設定。現在有効なエレメントにおいて、OFF マッチ発生後の動作を示します。 0 : シングル動作 (次のエレメントに遷移するまでマッチ比較を停止) 1 : 連続動作 (OFF マッチ発生後、ON マッチ比較に戻る) 備考 チャンネル有効設定以外では値を保持します。 |
| 22 ~ 19 | APAAELDRBIDON[3:0] | PRESETZ | ON マッチ比較を行うリファレンス番号を示します。値とリファレンス番号の対応は表 22.37 を参照してください。 備考 チャンネル有効設定以外では値を保持します。 |
| 18, 17 | APAAELDMCON[1:0] | PRESETZ | ON マッチ比較を行う条件を示します。 00 : [指定したリファレンスの値] == [比較基準値 APAAELDRBDATON[15:0]] 01 : [指定したリファレンスの値] > [比較基準値 APAAELDRBDATON[15:0]] 10 : [指定したリファレンスの値] < [比較基準値 APAAELDRBDATON[15:0]] 上記以外 : 設定禁止 備考 チャンネル有効設定以外では値を保持します。 リファレンス値にオーバーフローが発生する場合、01, 10 (>, <) の設定は使用ができません。 (オーバーフロー発生前後の比較が正しく行えません。) |

表 22.36 APAA0CSTBn レジスタの内容 (2/2)

| ビット位置 | ビット名 | リセット要因 | 機能 |
|--------|----------------------|---------|--|
| 16 | APAAELDABREON | PRESETZ | ON マッチ比較において、比較基準値 (APAAELDRBDATON) に対し、基準値指定 (APAAELMRBDATON) を絶対値/相対値のどちらで解釈するかを示します。 0: 絶対指定。基準値指定は絶対値で指定していると解釈されます。 1: 相対指定。基準値はマッチ比較開始時点のリファレンス値からの変化で指定していると解釈されます。ただしリファレンス 0, 1, sw のみ相対指定は使用可能です。 備考 チャンネル有効設定以外では値を保持します。 |
| 15 ~ 0 | APAAELDRBDATON[15:0] | PRESETZ | ON マッチ用の比較基準値を示します。 比較基準値は、実際にマッチ比較に使用される値であり、絶対指定の形に変換されている。APAAELDABREON の設定により値が異なります。 <ul style="list-style-type: none"> APAAELDABREON = 0 (絶対指定) APAAELDRBDATON[15:0] = APAAELMRBDATON[15:0] APAAELDABREON = 1 (相対指定) APAAELDRBDATON[15:0] = refb_dat_n[15:0] + APAAELMRBDATON[15:0] 備考 ただし Read した時点で OFF マッチ比較を行っている場合、またはリファレンス 2 ~ 9 に対して相対指定を行った場合、本レジスタの値は相対指定値と同じになります。 APAAELDRBDATON[15:0] = APAAELMRBDATON[15:0] チャンネル有効設定以外では値を保持します。 |

ON マッチ・OFF マッチとも、比較を行うリファレンス番号と設定値は、表 22.37 のように対応します。相対指定が可能なリファレンスは、0, 1, sw のみです。

表 22.37 マッチ比較設定とリファレンス番号との比較

| eln_rbid_on / off 設定値 | リファレンス番号 | リファレンス名 | 時間分解能 | 相対指定 |
|--------------------------|----------|-------------------|---------|---------------------|
| 0 _H | 0 | リファレンス 0 | pclk*4 | 使用可 |
| 1 _H | 1 | リファレンス 1 | pclk*4 | 使用可 |
| 2 _H | 2 | リファレンス 2 | pclk*20 | 使用不可 ^{注 1} |
| 3 _H | 3 | リファレンス 3 | pclk*20 | 使用不可 ^{注 1} |
| 4 _H | 4 | リファレンス 4 | pclk*20 | 使用不可 ^{注 1} |
| 5 _H | 5 | リファレンス 5 | pclk*20 | 使用不可 ^{注 1} |
| 6 _H | 6 | リファレンス 6 | pclk*20 | 使用不可 ^{注 1} |
| 7 _H | 7 | リファレンス 7 | pclk*20 | 使用不可 ^{注 1} |
| 8 _H | 8 | リファレンス 8 | pclk*20 | 使用不可 ^{注 1} |
| 9 _H | 9 | リファレンス 9 | pclk*20 | 使用不可 ^{注 1} |
| F _H | f | ソフトウェアリファレンス | pclk*20 | 使用可 |
| 上記以外 | 0 | (リファレンス 0 と解釈される) | pclk*4 | 使用可 |

注 1. 相対指定非対応のリファレンスに対して相対指定を設定した場合、相対指定設定を無視します (絶対指定と同じ比較基準値となります)。

レジスタ設定と各パルス生成チャンネルは表 22.38 のように対応します。

表 22.38 パルス生成チャンネルとレジスタ設定の対応 (APAA0CSTBn)

| パルス生成チャンネル | 設定レジスタ | オフセットアドレス |
|------------|-------------|-------------------|
| PGCH0 | APAA0CSTA00 | 060C _H |
| PGCH1 | APAA0CSTA01 | 062C _H |
| PGCH2 | APAA0CSTA02 | 064C _H |
| PGCH3 | APAA0CSTA03 | 066C _H |
| PGCH4 | APAA0CSTA04 | 068C _H |
| PGCH5 | APAA0CSTA05 | 06AC _H |
| PGCH6 | APAA0CSTA06 | 06CC _H |
| PGCH7 | APAA0CSTA07 | 06EC _H |
| PGCH8 | APAA0CSTA08 | 070C _H |
| PGCH9 | APAA0CSTA09 | 072C _H |
| PGCH10 | APAA0CSTA10 | 074C _H |
| PGCH11 | APAA0CSTA11 | 076C _H |
| PGCH12 | APAA0CSTA12 | 078C _H |
| PGCH13 | APAA0CSTA13 | 07AC _H |
| PGCH14 | APAA0CSTA14 | 07CC _H |
| PGCH15 | APAA0CSTA15 | 07EC _H |

22.4.5.5 APAA0CSTCn — APAA0 チャネルステータスレジスタ Cn (n = 00 ~ 15)

パルス生成チャンネル n (0 ~ 15) に対するエレメント設定をモニターします。

本レジスタでモニターできる値は、該当パルス生成チャンネルにおいて現在有効になっているエレメント情報であり、エレメント RAM からロードされた値です。

注 意

本レジスタ中の全有効ビットは、リファレンス・イベントバス有効 (APAACMENAPA = 1) かつ該当チャンネル動作許可 (APAA0EN[n] = 1) に設定された場合のみ有効です (この設定は、以下「チャンネル有効設定」と表記します)。

| | | | | | | | | | | | | | | | | |
|---------|-----------------------|----|----|----|----|----|----|----|----|---------------------|----|----|--------------------|----|----------------|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | APAAELDRBIDOFF[3:0] | | | APAAELD_MCOFF[1:0] | | APAAELDABREOFF | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | APAAELDRBDATOFF[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 22.39 APAA0CSTCn レジスタの内容 (1/2)

| ビット位置 | ビット名 | リセット要因 | 機能 |
|---------|---------------------|---------|---|
| 22 ~ 19 | APAAELDRBIDOFF[3:0] | PRESETZ | OFF マッチ比較を行うリファレンス番号を示します。値とリファレンス番号の対応は表 22.37 を参照してください。 備考 チャンネル有効設定以外では値を保持します。 |
| 18, 17 | APAAELD_MCOFF[1:0] | PRESETZ | OFF マッチ比較を行う条件を示します。 00 : [指定したリファレンスの値] == [比較基準値 APAAELDRBDATOFF[15:0]] 01 : [指定したリファレンスの値] > [比較基準値 APAAELDRBDATOFF[15:0]] 10 : [指定したリファレンスの値] < [比較基準値 APAAELDRBDATOFF[15:0]] 上記以外 : 設定禁止 備考 チャンネル有効設定以外では値を保持します。 リファレンス値にオーバーフローが発生する場合、01, 10 (>, <) の設定は使用できません。 (オーバーフロー発生前後の比較が正しく行えません。) |
| 16 | APAAELDABREOFF | PRESETZ | OFF マッチ比較において、比較基準値 (APAAELDRBDATOFF) に対し、基準値指定 (APAAELMRBDATOFF) を絶対値/相対値のどちらで解釈するかを示します。 0 : 絶対指定。基準値指定は絶対値で指定していると解釈されます。 1 : 相対指定。基準値はマッチ比較開始時点のリファレンス値からの変化で指定していると解釈されます。ただしリファレンス 0, 1, sw のみ相対指定は使用可能です。 備考 チャンネル有効設定以外では値を保持します。 |

表 22.39 APAA0CSTCn レジスタの内容 (2/2)

| ビット位置 | ビット名 | リセット要因 | 機能 |
|--------|---------------------------|---------|---|
| 15 ~ 0 | APAAELDRBD ATOFF[15:0] | PRESETZ | <p>OFF マッチ用の比較基準値を示します。 比較基準値は、実際にマッチ比較に使用される値であり、絶対指定の形に変換されている。APAAELDABREOFF の設定により値が異なります。</p> <ul style="list-style-type: none"> APAAELDABREOFF = 0 (絶対指定) APAAELDRBDATOFF[15:0] = APAAELMRBDATOFF[15:0] APAAELDABREOFF = 1 (相対指定) APAAELDRBDATOFF[15:0] = refb_dat_n[15:0] + APAAELMRBDATOFF[15:0] <p>備考 ただし Read した時点で ON マッチ比較を行っている場合、またはリファレンス 2 ~ 9 に対して相対指定を行った場合、本レジスタの値は絶対指定値に変換されず相対指定値となります。 APAAELDRBDATOFF[15:0] = APAAELMRBDATOFF[15:0] チャンネル有効設定以外では値を保持します。</p> |

レジスタ設定と各パルス生成チャンネルは表 22.40 のように対応します。

表 22.40 パルス生成チャンネルとレジスタ設定の対応

| パルス生成チャンネル | 設定レジスタ | オフセットアドレス |
|------------|-------------|-------------------|
| PGCH0 | APAA0CSTC00 | 0610 _H |
| PGCH1 | APAA0CSTC01 | 0630 _H |
| PGCH2 | APAA0CSTC02 | 0650 _H |
| PGCH3 | APAA0CSTC03 | 0670 _H |
| PGCH4 | APAA0CSTC04 | 0690 _H |
| PGCH5 | APAA0CSTC05 | 06B0 _H |
| PGCH6 | APAA0CSTC06 | 06D0 _H |
| PGCH7 | APAA0CSTC07 | 06F0 _H |
| PGCH8 | APAA0CSTC08 | 0710 _H |
| PGCH9 | APAA0CSTC09 | 0730 _H |
| PGCH10 | APAA0CSTC10 | 0750 _H |
| PGCH11 | APAA0CSTC11 | 0770 _H |
| PGCH12 | APAA0CSTC12 | 0790 _H |
| PGCH13 | APAA0CSTC13 | 07B0 _H |
| PGCH14 | APAA0CSTC14 | 07D0 _H |
| PGCH15 | APAA0CSTC15 | 07F0 _H |

22.4.5.6 APAA0CSTDn — APAA0 チャネルステータスレジスタ Dn (n = 00 ~ 15)

パルス生成チャンネル n (0 ~ 15) に対するエレメント設定をモニターします。

本レジスタでモニターできる値は、該当パルス生成チャンネルにおいて現在有効になっているエレメント情報であり、エレメント RAM からロードされた値です。

注 意

本レジスタ中の全有効ビットは、リファレンス・イベントバス有効 (APAACMENAPA = 1) かつ該当チャンネル動作許可 (APAA0EN[n] = 1) に設定された場合のみ有効です (この設定は、以下「チャンネル有効設定」と表記します)。

| | | | | | | | | | | | | | | | | |
|---------|--------------|--------------------|-------------------|----|----|----|----|--------------|--------------|-------------------|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | APAAELDNEXTEL[6:0] | | | | | | APAAELDOPTRN | APAAELDEGTRN | APAAELDIDTRN[4:0] | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | APAAELDOPFOR | APAAELDEGFOR | APAAELDIDFOR[4:0] | | | | — | — | APAAELDLVPPN | APAAELDIDPPN[4:0] | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 22.41 APAA0CSTDn レジスタの内容 (1/2)

| ビット位置 | ビット名 | リセット要因 | 機能 |
|---------|--------------------|---------|---|
| 30 ~ 24 | APAAELDNEXTEL[6:0] | PRESETZ | 次エレメント番号 (00 _H ~ 7F _H)。 備考 チャンネル有効設定以外では値を保持します。 |
| 23 | APAAELDOPTRN | PRESETZ | 例外処理 (Transfer) の動作オプション。特定の条件において、Transfer 例外なしでエレメント遷移を許可するかの設定を示します。 0 : Transfer 例外の入力により、OFF マッチ発生後のエレメント遷移を発生させます。Transfer 例外が一度入力されると、現在有効なエレメントに限り、OFF マッチ後にエレメント遷移が発生します。 エレメントが更新された場合は、再度 Transfer 例外を入力する必要があります。 1 : OFF マッチ発生によって自動的に次のエレメントへ遷移します。Transfer 例外によるエレメント遷移許可が不要です。 エレメント継続設定 (APAAELMCONT) より優先されます。 備考 チャンネル有効設定以外では値を保持します。 |
| 22, 21 | APAAELDEGTRN[1:0] | PRESETZ | 例外処理 (Transfer) に関連付けられたイベント入力、どちらのエッジを有効とみなすかを示します。 00 : rise-edge 01 : fall-edge 10 : both edge (rise/fall) 上記以外 : 設定禁止 備考 チャンネル有効設定以外では値を保持します。 |
| 20 ~ 16 | APAAELDIDTRN[4:0] | PRESETZ | 例外処理 (Transfer) に使用するイベントバス信号を示します。値とイベントバス信号の対応は表 22.31 を参照してください。 備考 チャンネル有効設定以外では値を保持します。 |

表 22.41 APAA0CSTDn レジスタの内容 (2/2)

| ビット位置 | ビット名 | リセット要因 | 機能 |
|--------|-------------------|---------|---|
| 15 | APAAELDOPFOR | PRESETZ | 例外処理 (Force) の動作オプションを示します。 0 : 強制的に次マッチを発生 ON 待ち→ ON マッチ発生 +OFF 待ちへ遷移 OFF 待ち→ OFF マッチを強制的に発生+次のステートへ遷移 1 : 強制的に OFF マッチを発生 ON 待ち→ OFF マッチ発生 OFF 待ち→ OFF マッチ発生 備考 チャンネル有効設定以外では値を保持します。 |
| 14、13 | APAAELDEGFOR[1:0] | PRESETZ | 例外処理 (Force) に関連付けられたイベント入力が、どちらのエッジを有効とみなすかを示します。 00 : rise-edge 01 : fall-edge 10 : both edge (rise/fall) 上記以外 : 設定禁止 備考 チャンネル有効設定以外では値を保持します。 |
| 12 ~ 8 | APAAELDIDFOR[4:0] | PRESETZ | 例外処理 (Force) に使用するイベントバス信号を示します。値とイベントバス信号の対応は表 22.31 を参照してください。 備考 チャンネル有効設定以外では値を保持します。 |
| 5 | APAAELDLVPPN | PRESETZ | 例外処理 (Postpone) に関連付けられたイベント入力が、どちらのレベルを有効とみなすかを示します。 0 : Low-level 1 : High-level 備考 チャンネル有効設定以外では値を保持します。 |
| 4 ~ 0 | APAAELDIDPPN[4:0] | PRESETZ | 例外処理 (Postpone) に使用するイベントバス信号を示します。値とイベントバス信号の対応は表 22.31 を参照してください。 備考 チャンネル有効設定以外では値を保持します。 |

レジスタ設定と各パルス生成チャンネルは表 22.42 のように対応します。

表 22.42 パルス生成チャンネルとレジスタ設定の対応 (APAA0CSTDn)

| パルス生成チャンネル | レジスタ | オフセットアドレス |
|------------|-------------|-------------------|
| PGCH0 | APAA0CSTD00 | 0614 _H |
| PGCH1 | APAA0CSTD01 | 0634 _H |
| PGCH2 | APAA0CSTD02 | 0654 _H |
| PGCH3 | APAA0CSTD03 | 0674 _H |
| PGCH4 | APAA0CSTD04 | 0694 _H |
| PGCH5 | APAA0CSTD05 | 06B4 _H |
| PGCH6 | APAA0CSTD06 | 06D4 _H |
| PGCH7 | APAA0CSTD07 | 06F4 _H |
| PGCH8 | APAA0CSTD08 | 0714 _H |
| PGCH9 | APAA0CSTD09 | 0734 _H |
| PGCH10 | APAA0CSTD10 | 0754 _H |
| PGCH11 | APAA0CSTD11 | 0774 _H |
| PGCH12 | APAA0CSTD12 | 0794 _H |
| PGCH13 | APAA0CSTD13 | 07B4 _H |
| PGCH14 | APAA0CSTD14 | 07D4 _H |
| PGCH15 | APAA0CSTD15 | 07F4 _H |

22.4.6 エレメント詳細

エレメントに対する設定・参照を行います。

エレメントは 128 個 (00_H ~ 7F_H) 使用可能であり、各エレメントは P-Bus から Read/Write 可能です。

エレメントの実体は SRAM 上にあるため、リセットによる初期化はされません。

表 22.43 エレメント設定レジスタ

| オフセット アドレス | シンボル | レジスタ名 | リセット後の値 | アクセス サイズ | 機能 |
|---|--------------|----------------------------|------------------------|-------------|--|
| 1000 _H | APAA0ELMA000 | APAA0 エレメント設定 レジスタ A0 | — | 32 | エレメント 00 の設定データ 0 |
| 1004 _H | APAA0ELMB000 | APAA0 エレメント設定 レジスタ B0 | — | 32 | エレメント 00 の設定データ 1 |
| 1008 _H | APAA0ELMC000 | APAA0 エレメント設定 レジスタ C0 | — | 32 | エレメント 00 の設定データ 2 |
| 100C _H | (N/A) | | 0000 0000 _H | — | 未使用領域 (Read-only) 備考 Write 不可、Read は 0 のみ読 めます。 |
| 1010 _H | APAA0ELMA001 | APAA0 エレメント設定 レジスタ A1 | — | 32 | エレメント 01 の設定データ 0 |
| 1014 _H | APAA0ELMB001 | APAA0 エレメント設定 レジスタ B1 | — | 32 | エレメント 01 の設定データ 1 |
| 1018 _H | APAA0ELMC001 | APAA0 エレメント設定 レジスタ C1 | — | 32 | エレメント 01 の設定データ 2 |
| 101C _H | (N/A) | | 0000 0000 _H | — | 未使用領域 (Read-only) 備考 Write 不可、Read は 0 のみ読 めます。 |
| ... (以下、1020 _H ~ 17DC _H まで同様) | | | | | |
| 17E0 _H | APAA0ELMA126 | APAA0 エレメント設定 レジスタ A126 | — | 32 | エレメント 7E の設定データ 0 |
| 17E4 _H | APAA0ELMB126 | APAA0 エレメント設定 レジスタ B126 | — | 32 | エレメント 7E の設定データ 1 |
| 17E8 _H | APAA0ELMC126 | APAA0 エレメント設定 レジスタ C126 | — | 32 | エレメント 7E の設定データ 2 |
| 17EC _H | (N/A) | | 0000 0000 _H | — | 未使用領域 (Read-only) 備考 Write 不可、Read は 0 のみ読 めます。 |
| 17F0 _H | APAA0ELMA127 | APAA0 エレメント設定 レジスタ A127 | — | 32 | エレメント 7F の設定データ 0 |
| 17F4 _H | APAA0ELMB127 | APAA0 エレメント設定 レジスタ B127 | — | 32 | エレメント 7F の設定データ 1 |
| 17F8 _H | APAA0ELMC127 | APAA0 エレメント設定 レジスタ C127 | — | 32 | エレメント 7F の設定データ 2 |
| 17FC _H | (N/A) | | 0000 0000 _H | — | 未使用領域 (Read-only) 備考 Write 不可、Read は 0 のみ読 めます。 |
| 1800 _H ~ 1FFC _H | (N/A) | | 0000 0000 _H | — | 未使用領域 備考 アクセスした場合、1000 _H ~ 17FC _H の領域を Read/Write し ます。 |

22.4.6.1 APAA0ELMAn — APAA0 エlement設定レジスタ An (n = 000 ~ 127)

各Elementに対する動作を設定します。

注 意

1. 本レジスタの実体はSRAM上にマッピングされているため、ハードウェア上では初期化されません（リセット後の値は不定）。そのため、未使用のElementに対してもAPA動作前にSRAMの初期化を行ってください。
2. 本レジスタへのWrite方法に関しては、「22.5.6.2 Element RAMへのWrite」を、Read方法に関しては、「22.5.6.3 Element RAMからのRead」をそれぞれ参照してください。

| | | | | | | | | | | | | | | | | |
|---------|----------------------|-----|------------------|-----------------|-----|-----|-----|-----|-----|--------------------|-----|-----|-----------------------|-------------------|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | APAAELMFINE L | APAAELMCON T | — | — | — | — | — | APAAELMRBIDON[3:0] | | | APAAELMMCON N[1:0] | APAAELMABR EON | | |
| リセット後の値 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 |
| R/W | R | R | R/W | R/W | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | APAAELMRBDATON[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 22.44 APAA0ELMAn レジスタの内容

| ビット位置 | ビット名 | リセット要因 | 機能 |
|---------|--------------------------|--------|---|
| 29 | APAAELMFINE L | (none) | 最終Element設定。本Elementが最終Elementとするか否かを指定します。 0: 本Elementは最終Elementでない 1: 本Elementは最終Elementである |
| 28 | APAAELMCON T | (none) | Element継続設定。現在有効なElementにおいて、OFFマッチ発生後の動作を指定します。 0: シングル動作（次のElementに遷移するまでマッチ比較を停止） 1: 連続動作（OFFマッチ発生後、ONマッチ比較に戻る） |
| 22 ~ 19 | APAAELMRBID ON[3:0] | (none) | ONマッチ比較を行うリファレンス番号を指定します。値とリファレンス番号の対応は表 22.37 を参照してください。 |
| 18, 17 | APAAELMMCO N[1:0] | (none) | ONマッチ比較を行う条件を指定します。大小比較は、リファレンス値を符号なし (unsigned) として扱います。実際には基準値指定は絶対指定の形に変換されてから比較に用いられます (APAAELDRBDATON[15:0] ビット参照)。 00: [指定したリファレンスの値] == [比較基準値 APAAELDRBDATON[15:0]] 01: [指定したリファレンスの値] > [比較基準値 APAAELDRBDATON[15:0]] 10: [指定したリファレンスの値] < [比較基準値 APAAELDRBDATON[15:0]] 上記以外: 設定禁止 |
| 16 | APAAELMABR EON | (none) | ONマッチ比較において、比較基準値 (APAAELMRBDATON) に対し、基準値指定 (APAAELMRBDATON) を絶対値/相対値のどちらで解釈するかを指定します。 0: 絶対指定。基準値指定は絶対値で指定していると解釈されます。 1: 相対指定。基準値はマッチ比較開始時点のリファレンス値からの変化で指定していると解釈されます。ただしリファレンス 0, 1, sw のみ相対指定は使用可能です。 |
| 15 ~ 0 | APAAELMRBD ATON[15:0] | (none) | ONマッチ用の基準値指定。符号なし (unsigned) として指定します。 |

22.4.6.2 APAA0ELMBn — APAA0 エlement設定レジスタ Bn (n = 000 ~ 127)

各Elementに対する動作を設定します。

注 意

1. 本レジスタの実体はSRAM上にマッピングされているため、ハードウェア上では初期化されません（リセット後の値は不定）。そのため、未使用のElementに対してもAPA動作前にSRAMの初期化を行ってください。
2. 本レジスタへのWrite方法に関しては、「22.5.6.2 Element RAM へのWrite」を、Read方法に関しては、「22.5.6.3 Element RAM からのRead」をそれぞれ参照してください。

| | | | | | | | | | | | | | | | | |
|---------|-----------------------|-----|-----|-----|-----|-----|-----|-----|-----|---------------------|-----|-----|-------------------|-----|----------------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | APAAELMRBIDOFF[3:0] | | | APAAELMMCOFF[1:0] | | APAAELMABREOFF | |
| リセット後の値 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 |
| R/W | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | APAAELMRBDATOFF[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 22.45 APAA0ELMBn レジスタの内容

| ビット位置 | ビット名 | リセット要因 | 機能 |
|---------|-----------------------|--------|--|
| 22 ~ 19 | APAAELMRBIDOFF[3:0] | (none) | OFF マッチ比較を行うリファレンス番号を指定します。値とリファレンス番号の対応は表 22.37 を参照してください。 |
| 18, 17 | APAAELMMCOFF[1:0] | (none) | OFF マッチ比較を行う条件を指定します。大小比較は、リファレンス値を符号なし (unsigned) として扱います。実際には基準値指定は絶対指定の形に変換されてから比較に用いられます (APAAELDRBDATOFF[15:0] ビット参照)。 00 : [指定したリファレンスの値] == [比較基準値 APAAELDRBDATOFF[15:0]] 01 : [指定したリファレンスの値] > [比較基準値 APAAELDRBDATOFF[15:0]] 10 : [指定したリファレンスの値] < [比較基準値 APAAELDRBDATOFF[15:0]] 上記以外 : 設定禁止 |
| 16 | APAAELMABREOFF | (none) | OFF マッチ比較において、比較基準値 (APAAELMRBDATOFF) に対し、基準値指定 (APAAELMRBDATOFF) を絶対値/相対値のどちらで解釈するかを指定します。 0 : 絶対指定。基準値指定は絶対値で指定していると解釈されます。 1 : 相対指定。基準値はマッチ比較開始時点のリファレンス値からの変化で指定していると解釈されます。ただしリファレンス 0, 1, sw のみ相対指定は使用可能です。 |
| 15 ~ 0 | APAAELMRBDATOFF[15:0] | (none) | OFF マッチ用の基準値指定。符号なし (unsigned) として指定します。 |

22.4.6.3 APAA0ELMCn — APAA0 エlement設定レジスタ Cn (n = 000 ~ 127)

各Elementに対する動作を設定します。

注 意

1. 本レジスタの実体はSRAM上にマッピングされているため、ハードウェア上では初期化されません（リセット後の値は不定）。そのため、未使用のElementに対してもAPA動作前にSRAMの初期化を行ってください。
2. 本レジスタへのWrite方法に関しては、「22.5.6.2 Element RAM へのWrite」を、Read方法に関しては、「22.5.6.3 Element RAM からのRead」をそれぞれ参照してください。

| | | | | | | | | | | | | | | | | | |
|---------|--------------|--------------|-----|-----|-----|-----|-------------------|--------------------|-----|-----|-----|--------------|---------------|-------------------|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | |
| | — | | | | | | | APAAELMNEXTEL[6:0] | | | | APAAELMOPTRN | APAAELMEGTREN | APAAELMIDTRN[4:0] | | | |
| リセット後の値 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 |
| R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | APAAELMOPFOR | APAAELMEGFOR | — | | | | APAAELMIDFOR[4:0] | | | | — | — | APAAELMLVPPN | APAAELMIDPPN[4:0] | | | |
| リセット後の値 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 | 不定 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 22.46 APAA0ELMCn レジスタの内容 (1/2)

| ビット位置 | ビット名 | リセット要因 | 機能 |
|---------|--------------------|--------|--|
| 30 ~ 24 | APAAELMNEXTEL[6:0] | (none) | 次Element番号 (00 _H ~ 7F _H) を指定します。 |
| 23 | APAAELMOPTRN | (none) | 例外処理 (Transfer) の動作オプション。特定の条件において、Transfer 例外なしでElement遷移を許可するかの設定を指定します。 0 : Transfer 例外の入力により、OFF マッチ発生後のElement遷移を発生させず。Transfer 例外が一度入力されると、現在有効なElementに限り、OFF マッチ後にElement遷移が発生します。 Elementが更新された場合は、再度 Transfer 例外を入力する必要があります。 1 : Element継続動作が無効なときに限り (APAAELMCONT = 0)、OFF マッチ発生によって自動的に次のElementへ遷移します。Transfer 例外によるElement遷移許可が不要です。 |
| 22, 21 | APAAELMEGTREN[1:0] | (none) | 例外処理 (Transfer) に関連付けられたイベント入力、どちらのエッジを有効とみなすかを指定します。 00 : rise-edge 01 : fall-edge 10 : both edge (rise/fall) 上記以外 : 設定禁止 |
| 20 ~ 16 | APAAELMIDTRN[4:0] | (none) | 例外処理 (Transfer) に使用するイベントバス信号を指定します。値とイベントバス信号の対応は表 22.31 を参照してください。 |
| 15 | APAAELMOPFOR | (none) | 例外処理 (Force) の動作オプションを指定します。 0 : 強制的に次マッチを発生。 ON 待ち → ON マッチ発生 + OFF 待ちへ遷移 OFF 待ち → OFF マッチを強制的に発生 + 次のステートへ遷移 1 : 強制的に OFF マッチを発生 ON 待ち → OFF マッチ発生 OFF 待ち → OFF マッチ発生 |

表 22.46 APAA0ELMCn レジスタの内容 (2/2)

| ビット位置 | ビット名 | リセット要因 | 機能 |
|--------|-----------------------|--------|--|
| 14、13 | APAAELMEGF OR[1:0] | (none) | 例外処理 (Force) に関連付けられたイベント入力が、どちらのエッジを有効とみなすかを指定します。 00 : rise-edge 01 : fall-edge 10 : both edge (rise/fall) 上記以外 : 設定禁止 |
| 12 ~ 8 | APAAELMIDFO R[4:0] | (none) | 例外処理 (Force) に使用するイベントバス信号を指定。値とイベントバス信号の対応は表 22.31 を参照してください。 |
| 5 | APAAELMLVPP N | (none) | 例外処理 (Postpone) に関連付けられたイベント入力が、どちらのレベルを有効とみなすかを指定します。 0 : Low-level 1 : High-level |
| 4 ~ 0 | APAAELMIDPP N[4:0] | (none) | 例外処理 (Postpone) に使用するイベントバス信号を指定。値とイベントバス信号の対応は表 22.31 を参照してください。 |

22.5 機能

22.5.1 概念

22.5.1.1 APAにおけるパルス生成

APAにおけるパルス生成は、下記のように行われます。

- 外部からの入力（リファレンス）に対し、PWM出力=ONとする条件（ONマッチ条件）とPWM出力=OFFとする条件（OFFマッチ条件）をセットで指定し、リファレンスと常時比較することで、パルス波形を生成します。ONマッチを待つ状態とOFFマッチを待つ状態は排他的に動作します。
- ONマッチ/OFFマッチともに、マッチ条件の指定方法には下記の2通りがあります。
 - 絶対指定：リファレンスの値と直接比較可能な値によって、マッチ条件を比較します。
 - 相対指定：マッチ比較開始時点のリファレンス値からの相対的な変化量によって、マッチ条件を指定します。
- マッチ条件の指定により、周期的なパルス/1ショットパルスともに生成することが可能です。
- パルス生成の条件指定は、エレメントと呼ぶデータ構造によって行います。エレメントについては後述します。
- この比較を行う回路（パルス生成チャンネル）は、APAモジュール1つあたり16チャンネルを持ち、それぞれ独立して動作することができます。

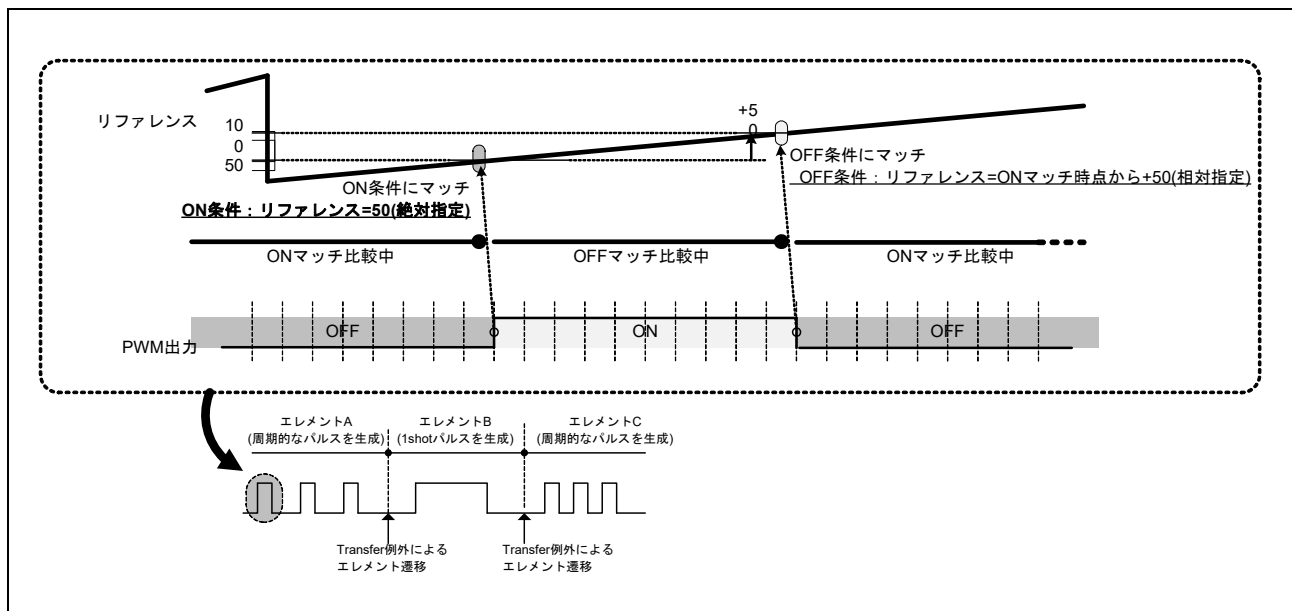


図 22.5 APAにおけるPWM生成の概念図

22.5.1.2 エレメント

- パルス生成の条件となる各種のパラメータをセットにしたデータ構造を、ここではエレメントと呼びます。1つのパルス生成チャンネルが特定のエレメントをロードし、エレメントの内容に従ったPWM波の生成を行います。
- 1つのエレメントへ定義するデータについては、「**22.4.6.1 APAA0ELMAn — APAA0エレメント設定レジスタ An (n = 000 ~ 127)**」、「**22.4.6.2 APAA0ELMBn — APAA0エレメント設定レジスタ Bn (n = 000 ~ 127)**」、「**22.4.6.3 APAA0ELMCn — APAA0エレメント設定レジスタ Cn (n = 000 ~ 127)**」を参照してください。
- エレメントは全部で128個定義することができ、各パルス生成チャンネル (PGCH0 ~ 15) でエレメントを共有することができます。
- 各エレメントには次のエレメントへのポインタが定義されており、条件に応じて次のエレメントへ遷移する制御が可能です（「**22.5.1.3 例外について**」を参照）。これにより、1つのパルス生成チャンネルで複数のエレメントを使用することができ、エレメントの組み合わせによって複雑なパルス列を生成することができます。

22.5.1.3 例外について

- 各パルス生成チャンネルがPWMによるパルス出力を行う際、内部動作はステートマシンによって制御されますが、特定のステート遷移のトリガとなる信号を例外と呼び、またその遷移自体を例外処理と呼びます。
- 例外は任意のイベント入力を割り当てることができ、例外処理の種類ごとにエッジ (Rise/Fall)、またはレベル (High/Low) を割り当てることができます。また、パルス生成チャンネルごとに定義するもの (Stop/Start/Restart) と、エレメントごとに定義するもの (Transfer/ Force/Postpone) があります。
- 例外処理には、下表の6種類があります。

表 22.47 例外処理

| 例外処理 | 動作 | イベント入力への割り当て | 定義箇所 | 備考 |
|----------|-------------------------------|----------------------|------------|---|
| Stop | マッチ比較動作を停止します。 | エッジ (rise/fall/both) | パルス生成チャンネル | |
| Start | マッチ比較動作を開始します。 | エッジ (rise/fall/both) | パルス生成チャンネル | 各パルス生成チャンネルに定義された初期エレメントの設定に基づき、ON マッチ比較を開始します。 |
| Restart | 初期エレメントへの遷移を発生させます。 | エッジ (rise/fall/both) | パルス生成チャンネル | 各パルス生成チャンネルに定義された初期エレメントの設定に基づき、ON マッチ比較を開始します。 |
| Transfer | OFF マッチ発生時にエレメント遷移することを許可します。 | エッジ (rise/fall/both) | エレメント | Transfer 例外が入力されると、OFF マッチ後のエレメント遷移が有効になった状態が保持されます。エレメント遷移が発生するまで有効です。 オプション (APAAELMOPTRN 参照)。 |
| Force | ON マッチ /OFF マッチを強制的に発生させます。 | エッジ (rise/fall/both) | エレメント | デフォルトでは強制的に次のマッチを発生させます (オプション APAAELMOPFOR 参照)。 |
| Postpone | マッチ検出時の動作を一時的に延期させます。 | レベル (High/Low) | エレメント | マッチ発生による PWM 出力端子への反映および待ち ON/OFF 条件切り替え、それとなうエレメント遷移が延期されます。マッチ比較自体は動作しており、Postpone 中にマッチした場合は、解除後に所定の動作が再開されます。 |

22.5.2 リファレンス制御

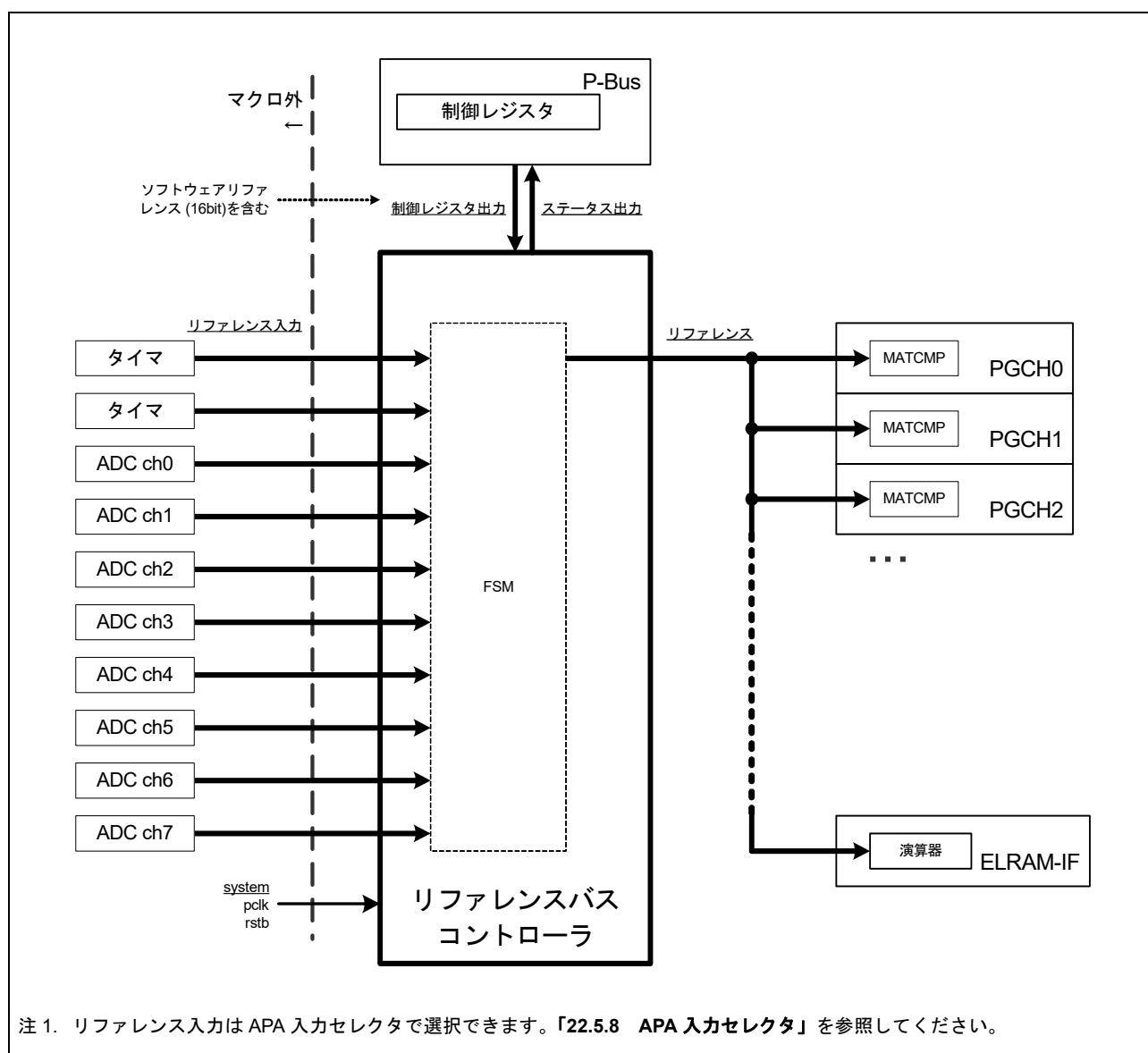
22.5.2.1 特長・機能概要

外部リファレンス入力（およびソフトウェアリファレンス）を APA 内部で時分割多重化します。

内部のパルス生成チャンネル（PGCH0～15）で、任意のリファレンスを参照できるようにします。

リファレンス出力は、リセット入力信号 `presetz` およびモジュール動作イネーブル `APAACMENAPA` で初期化します。

回路構成を **図 22.6** に示します。



注 1. リファレンス入力は APA 入力セクタで選択できます。「22.5.8 APA 入力セクタ」を参照してください。

図 22.6 リファレンス制御回路構成

22.5.2.2 動作

すべてのリファレンス入力は、下記のタイミングで時分割多重化されます。以降では、この時分割処理を「リファレンス時分割」と呼び、時分割の単位時間 (= $pclk \times 1$) を「リファレンススロット」と呼びます。各リファレンススロットにリファレンス入力を周期的に割り当てることで、分解能の異なる複数のリファレンスを多重化することができます。

リファレンスバス時分割の制御は図 22.7 のタイミングで行われます。

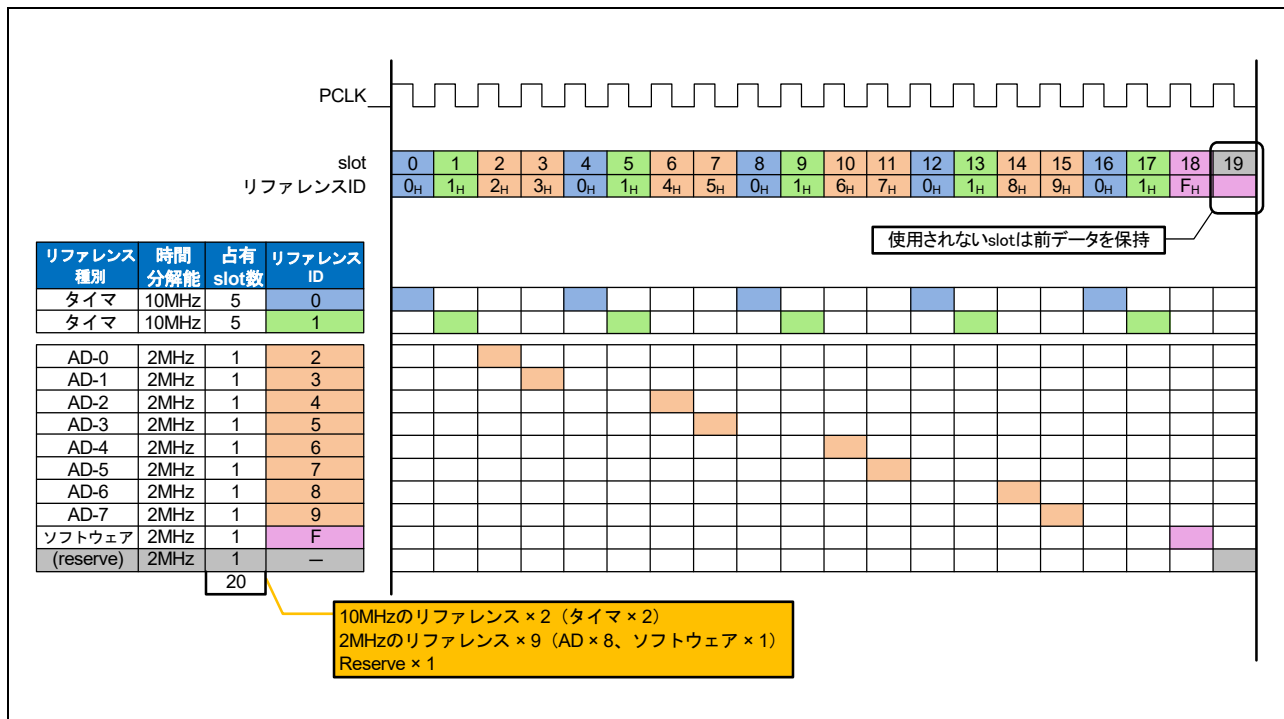


図 22.7 リファレンスバス動作

使用可能なリファレンスと ID の対応は、表 22.48 のとおりです。

表 22.48 リファレンス入力の種類

| リファレンス ID | 名称 | 時間分解能 | 相対指定 | $pclk = 40\text{MHz}$ 時のリファレンス周波数例 |
|----------------|--------------|------------------|------|------------------------------------|
| 0 _H | リファレンス入力 0 | $pclk \times 4$ | 使用可 | 10MHz |
| 1 _H | リファレンス入力 1 | $pclk \times 4$ | 使用可 | 10MHz |
| 2 _H | リファレンス入力 2 | $pclk \times 20$ | 使用不可 | 2MHz |
| 3 _H | リファレンス入力 3 | $pclk \times 20$ | 使用不可 | 2MHz |
| 4 _H | リファレンス入力 4 | $pclk \times 20$ | 使用不可 | 2MHz |
| 5 _H | リファレンス入力 5 | $pclk \times 20$ | 使用不可 | 2MHz |
| 6 _H | リファレンス入力 6 | $pclk \times 20$ | 使用不可 | 2MHz |
| 7 _H | リファレンス入力 7 | $pclk \times 20$ | 使用不可 | 2MHz |
| 8 _H | リファレンス入力 8 | $pclk \times 20$ | 使用不可 | 2MHz |
| 9 _H | リファレンス入力 9 | $pclk \times 20$ | 使用不可 | 2MHz |
| F _H | ソフトウェアリファレンス | $pclk \times 20$ | 使用可 | 2MHz |

注 1. リファレンス入力として接続される信号は、上記の時間分解能より更新周期が低速でなければなりません。高速な場合、リファレンス制御回路においてデータ取りこぼしが発生し、意図しない動作となります。リファレンス入力 0、1 に関しては、更新周期は 22.5.8 APA 入力セレクタのビット選択機能により、調整が可能です。

22.5.3 イベント制御

22.5.3.1 特長・機能概要

外部イベント入力（および内部イベント入力）に対し、下記の処理を行います。

- 内部で使用したいイベント入力を選択します。ただし、外部からのイベント入力 58 チャンネル、ソフトウェアイベント 6 チャンネルのうち 16 チャンネルを選択可能です（以下、選択イベント入力）。内部で生成した PWM 出力 16 チャンネルもイベント入力として使用できます（以下、固定イベント入力）。
- 内部のパルス生成チャンネル (PGCH0 ~ 15) およびエレメント RAM (ELRAM) で、選択イベント入力 16 チャンネルと固定イベント入力 16 チャンネルを参照できるようにバス化して共有します。
- エレメント RAM や演算器などの各種リソースを、各パルス生成チャンネル (PGCH0 ~ 15) にて共有するための時分割制御信号を生成します。
- イベントバス出力は、リセット入力信号 `presetz` およびモジュール動作イネーブル `APAACMENAPA` で初期化します。

回路構成は図 22.8 のとおりです。

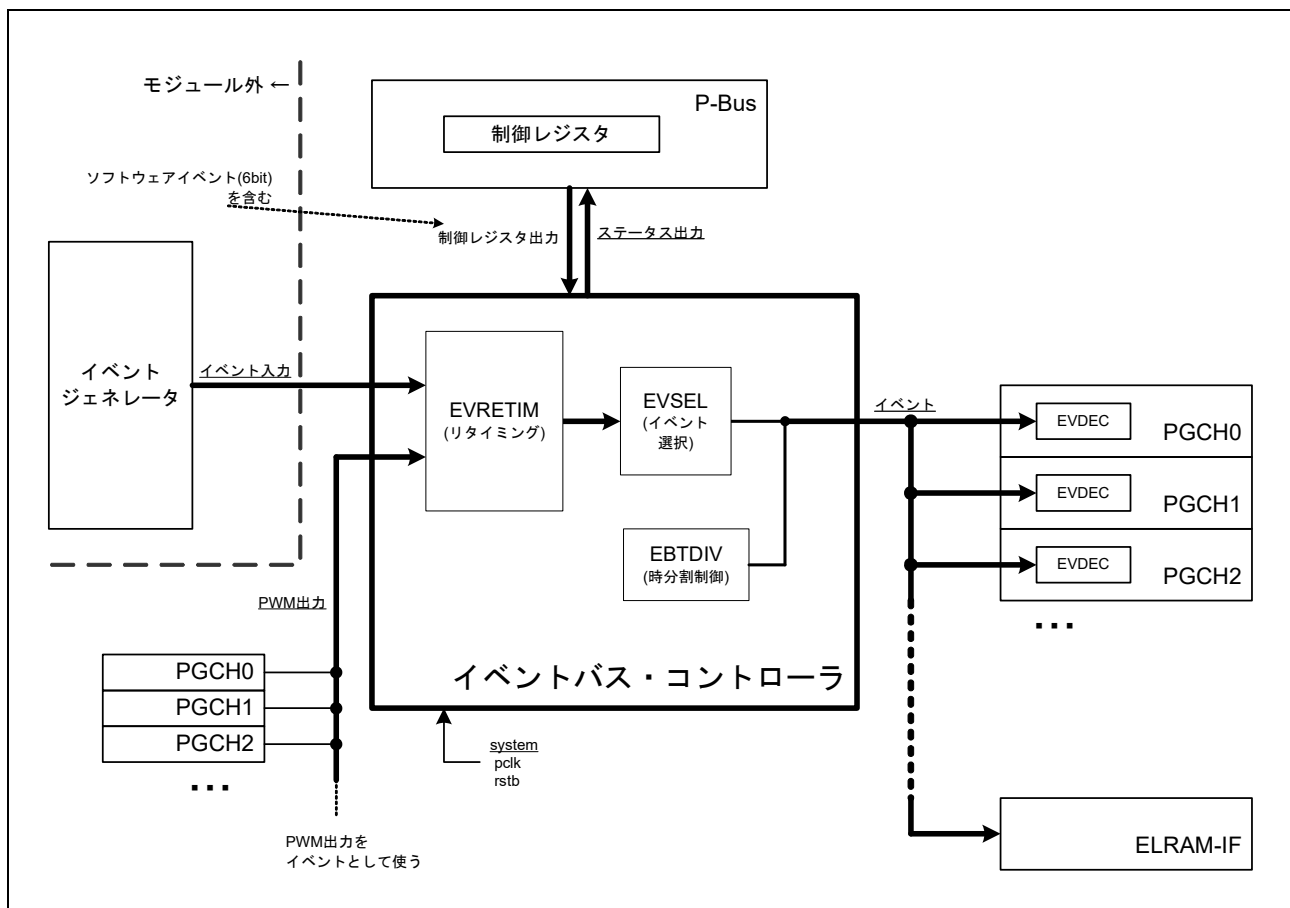


図 22.8 イベント制御回路構成

22.5.3.2 動作：イベント入力の選択

APA 内部で生成した PWM 出力 (16 チャンネル) は、イベントとして各パルス生成チャンネルで使用することができます。

また、外部イベント入力 58 チャンネルとソフトウェアイベント 6 チャンネルを含めた 64 チャンネルのうち、16 チャンネルを各パルス生成チャンネルでイベントとして使用できます。

イベントバスで受けることのできる入力は表 22.49 のとおりです。

表 22.49 イベント入力とイベントバスの対応

| 種別 | 信号源 | 時間分解能 | チャンネル数 | 対応するイベントバスビット |
|----------|---|----------|--------|-----------------|
| 固定イベント入力 | PWM 出力 : PWM 出力 0 ~ 15 (APA 内部で生成) | pclk * 1 | 16 | eb_dat_r[15:0] |
| 選択イベント入力 | 外部イベント入力 : 外部イベント要因 0 ~ 57、またはソフトウェアイベント : 6 チャンネル → 計 64 チャンネルから任意の 16 チャンネルを選択 | pclk * 1 | 16 | eb_dat_r[31:16] |

注 1. イベント入力として使用する信号は、上表の時間分解能より低速でなければなりません (高速な場合、APA 内部でイベント入力として処理することができず、データ取りこぼしが発生します)。

22.5.3.3 動作：時分割制御信号の生成

イベント入力は、各パルス生成チャンネルにて例外処理のトリガとして処理されますが、その際にエレメント RAM や各種の演算を伴います。エレメント RAM や演算器のハードウェアリソース共有のため、APA は時分割による制御を行い、APA 内の回路 (パルス生成チャンネル、P-Bus) が使用可能な時間を割り振ります。以下、この時分割制御を「イベント時分割」と呼び、時分割された時間の 1 単位 (pclk*1) を「イベントスロット」と呼びます。イベント時分割は 20 イベントスロット (pclk*20) で一周し、この周期を「共有サイクル」と定義します。

時分割制御信号の生成は、図 22.9 のタイミングで行います。

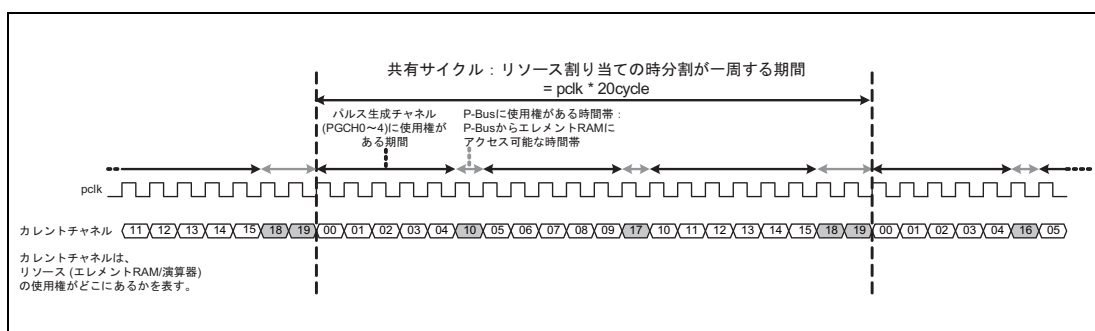


図 22.9 イベント時分割の動作

カレントチャンネルに対応し、APA は表 22.50 のように共有リソース（エレメント RAM・演算器）のアクセス権を割り当てます。

表 22.50 カレントチャンネルと共有リソースの割り当て一覧

| カレントチャンネル値 | 意味 | カレントチャンネル値 | 意味 |
|-----------------|--------------------------|-----------------|--------------------------|
| 00 _H | PGCH0 が共有リソースにアクセス可能 | 09 _H | PGCH9 が共有リソースにアクセス可能 |
| 01 _H | PGCH1 が共有リソースにアクセス可能 | 11 _H | P-Bus がエレメント RAM にアクセス可能 |
| 02 _H | PGCH2 が共有リソースにアクセス可能 | 0A _H | PGCH10 が共有リソースにアクセス可能 |
| 03 _H | PGCH3 が共有リソースにアクセス可能 | 0B _H | PGCH11 が共有リソースにアクセス可能 |
| 04 _H | PGCH4 が共有リソースにアクセス可能 | 0C _H | PGCH12 が共有リソースにアクセス可能 |
| 10 _H | P-Bus がエレメント RAM にアクセス可能 | 0D _H | PGCH13 が共有リソースにアクセス可能 |
| 05 _H | PGCH5 が共有リソースにアクセス可能 | 0E _H | PGCH14 が共有リソースにアクセス可能 |
| 06 _H | PGCH6 が共有リソースにアクセス可能 | 0F _H | PGCH15 が共有リソースにアクセス可能 |
| 07 _H | PGCH7 が共有リソースにアクセス可能 | 12 _H | P-Bus がエレメント RAM にアクセス可能 |
| 08 _H | PGCH8 が共有リソースにアクセス可能 | 13 _H | P-Bus がエレメント RAM にアクセス可能 |

22.5.4 パルス生成

22.5.4.1 特長・機能概要

リファレンスバスおよびイベントバスの出力に対し、下記の処理を行います。

- 任意のリファレンス信号をリファレンスバスから抽出し、パルス生成条件に基づいて PWM 生成を行います。パルス生成条件は、エレメントによって表現されます。
- 任意のイベント信号をイベントバスから抽出し、イベントをトリガとして例外処理を行います。イベントから例外処理を生成する条件も、エレメントによって表現されます。
- 例外処理は、各パルス生成チャンネルに対して時分割によって行われます。
- PWM 出力および INT 出力は、リセット入力信号 `presetz` およびパルス生成チャンネル動作インナーブル `APAACMENPGCH[15:0]` で初期化します。

回路構成は図 22.10 のとおりです。

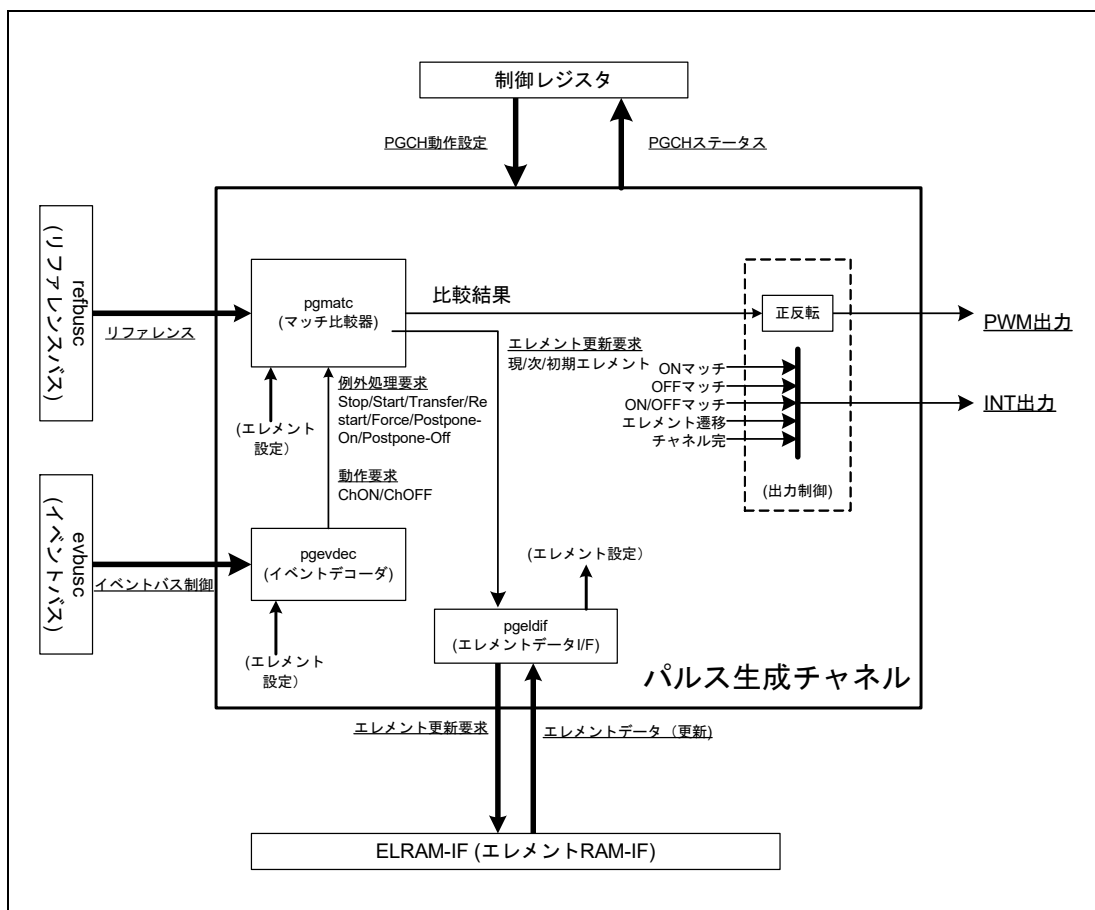


図 22.10 パルス生成回路構成

22.5.4.2 動作：マッチ比較器

(1) 概要

リファレンス入力との値の比較によってパルス生成と割り込み発生を行います。

エレメントもしくはパルス生成チャンネルに定義されたパラメータにしたがってマッチ比較を行います。マッチ検出時、パルス生成チャンネル設定（「22.4.5.1 APAA0CCGAn — APAA0チャンネル設定レジスタ An (n = 00 ~ 15)」参照）およびエレメント設定（「22.4.6.1 APAA0ELMAn — APAA0エレメント設定レジスタ An (n = 000 ~ 127)」～「22.4.6.3 APAA0ELMCn — APAA0エレメント設定レジスタ Cn (n = 000 ~ 127)」参照）にしたがい、エレメント制御モジュール（エレメント RAM-IF）に対するエレメント更新要求を発行します。

表 22.51 PWM 出力と割り込み出力の詳細

| 種別 | 時間分解能 | チャンネル数 | 最小パルス幅 | 備考 |
|--------|----------|--------|-------------------------------------|--|
| PWM 出力 | pclk * 1 | 16 | pclk * 40 (High) pclk * 40 (Low) | 左記は、エレメントで指定したマッチ条件で ON/OFF が発生した場合の最小パルス幅。例外処理によってマッチ状態が強制的に変化した場合、マッチとの競合によって左記より短いパルス幅となる場合があります。 |
| 割り込み出力 | pclk * 1 | 16 | pclk * 1 (High) | 1shot-pulse (rise) のみ出力可能 |

注 1. PWM 出力はエレメントにてマッチ条件を指定することで生成されますが、マッチ条件として上表の最小パルス幅を満たすような指定を行ってください（「22.5.7.1 マッチ条件の設定 1」を参照）。pclk*40 以下のパルス幅になるマッチ条件を指定した場合、意図しないパルス幅となる可能性があります。

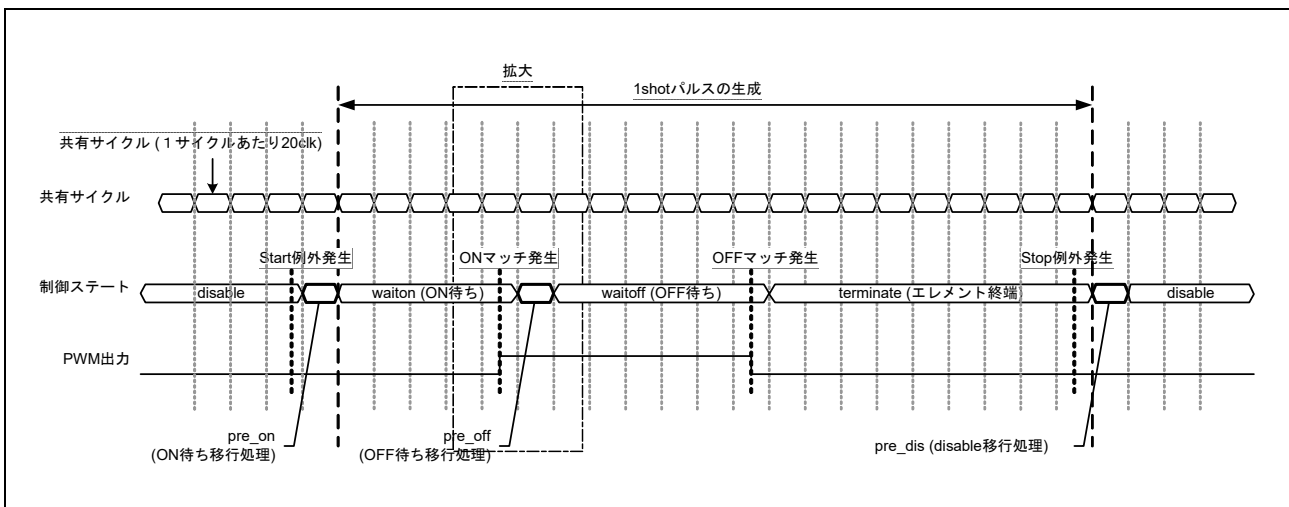


図 22.11 マッチ比較器の動作

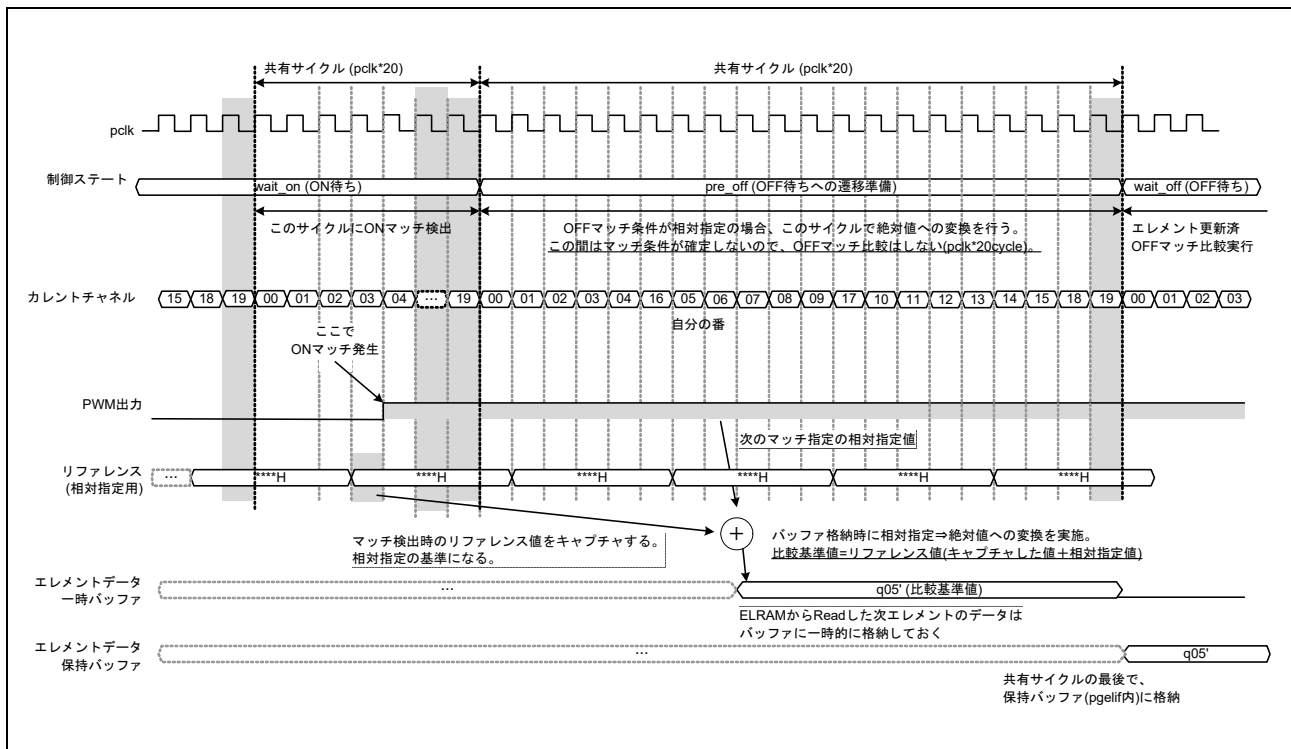


図 22.12 マッチ比較器の動作 (拡大)

(2) ステート制御

マッチ比較器は、以下に示すステートによって動作開始/停止、ON マッチ比較、OFF マッチ比較、エレメントのシーケンス実行を制御します。

- ステート制御は、イベントバスによって生成されるカレントチャンネル信号によって、共有サイクル単位 (pclk*20) で制御されます。
- ステート制御は、「22.5.4.2 動作：マッチ比較器」の「(3) マッチ制御」に示すマッチ制御と連動して動作します。
- マッチ比較器におけるステート制御は、**図 22.13** に示す状態遷移となります。
- **図 22.13** の各ステートにはサブステートがあります。ステートとサブステートの関連は**表 22.52**、**図 22.13** ~ **図 22.21** を参照してください。

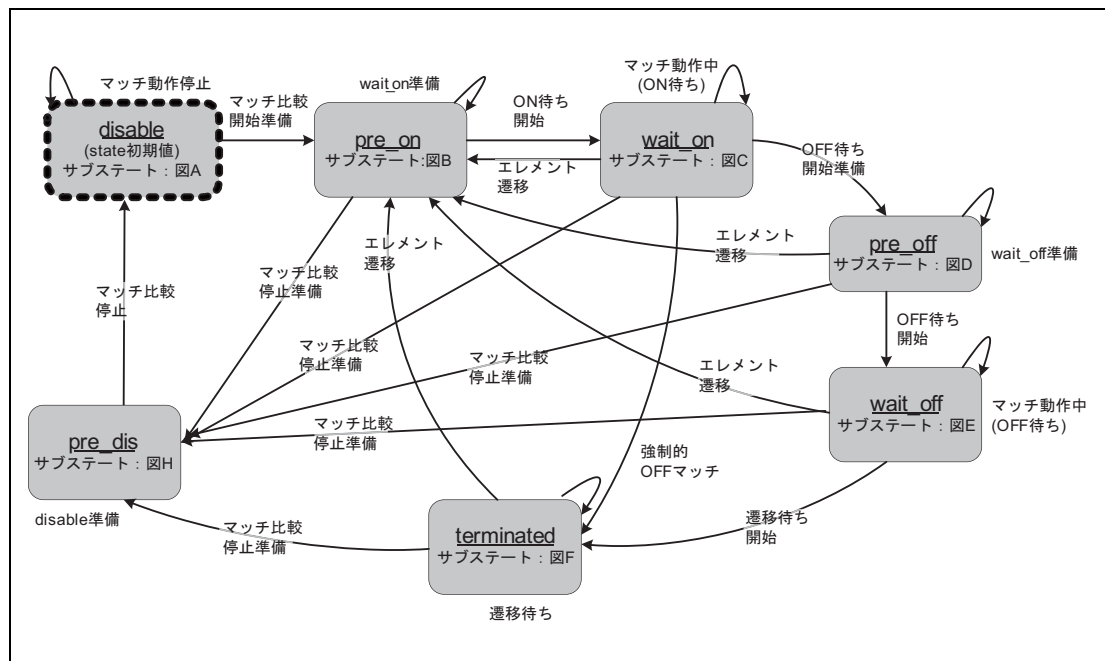


図 22.13 マッチ比較器の状態遷移

マッチ比較の状態 (ステート) は、**表 22.52** に示す動作を行います。

表 22.52 ステート一覧

| ステート | | 動作概要 | 入力条件 (左側が優先度高、右側が優先度低) | | | | | | | |
|-----------|-----------------|--|------------------------|---------|------------|-------------|----------|-------|-------------|----------|
| ステート名 | サブステート名 | | チャンネル ON/OFF | Stop 例外 | Restart 例外 | Transfer 例外 | Force 例外 | マッチ比較 | Postpone 例外 | Start 例外 |
| disable | disable | マッチ比較を行わない完全停止状態。ステートマシン初期状態。 | ○ (ONのみ) | × | × | — | — | — | — | × |
| | dis_wstart | マッチ比較停止状態。動作許可=enableであり、Start/Restart 例外待ち状態。 | ○ (OFFのみ) | × | ○ | — | — | — | — | ○ |
| pre_on | pre_on_cur | ON 待ちへの移行準備。エレメント更新 (現エレメント) を行う。マッチ比較は行わない。エレメント継続でのループ時に使われるステート。 | ○ (OFFのみ) | ○ | ○ | ○ | ○ | — | × | × |
| | pre_on_init | ON 待ちへの移行準備。エレメント更新 (初期エレメント) を行う。マッチ比較は行わない。 | ○ (OFFのみ) | ○ | ○ | — | — | — | — | × |
| | pre_on_nxt | ON 待ちへの移行準備。エレメント更新 (次エレメント) を行う。マッチ比較は行わない。 | ○ (OFFのみ) | ○ | ○ | — | — | — | — | × |
| wait_on | waiton | ON マッチ比較動作において、マッチ発生または Transfer 例外の入力を待つ。 | ○ (OFFのみ) | ○ | ○ | ○ | ○ | ○ | ○ | × |
| | waiton_tron | ON マッチ比較動作において、Transfer 入力済。マッチ発生を待つ。 | ○ (OFFのみ) | ○ | ○ | ○ | ○ | ○ | ○ | × |
| | forcedoff_troff | ON マッチ比較動作において、Force による強制 OFF マッチが発生した状態。Transfer 例外入力を待つ。 | ○ (OFFのみ) | ○ | ○ | ○ | ○ | × | ○ | × |
| | on_postponed | ON マッチ比較動作において、Postpone 例外が入力された状態。マッチ発生 / Postpone 解除を待つ。Postpone 入力中も ON マッチ比較は動作しているが、Postpone 解除まで PWM 端子への反映はされず、ステートの遷移もしない。 | ○ (OFFのみ) | ○ | ○ | ○ | ○ | ○ | ○ | × |
| pre_off | pre_off | OFF 待ちへの移行準備。エレメント更新 (現エレメント) を行う。マッチ比較は行わない。 | ○ (OFFのみ) | ○ | ○ | ○ | ○ | — | × | × |
| wait_off | waitoff | OFF マッチ比較動作において、マッチ発生または Transfer 例外の入力を待つ。 | ○ (OFFのみ) | ○ | ○ | ○ | ○ | ○ | ○ | × |
| | waitoff_tron | OFF マッチ比較動作において、Transfer 入力済。マッチ発生を待つ。 | ○ (OFFのみ) | ○ | ○ | ○ | ○ | ○ | ○ | × |
| | matoff_troff | OFF マッチ比較動作において、Transfer が未入力であつ OFF マッチが発生した状態。Transfer 例外を待つ。 | ○ (OFFのみ) | ○ | ○ | ○ | ○ | × | ○ | × |
| | off_postponed | OFF マッチ比較動作において、Postpone 例外が入力された状態。マッチ発生 / Postpone 解除を待つ。Postpone 入力中も OFF マッチ比較は動作しているが、Postpone 解除まで PWM 端子へ反映されず、ステート遷移もしない。 | ○ (OFFのみ) | ○ | ○ | ○ | ○ | ○ | ○ | × |
| terminate | terminate | 次に実行するエレメントがない (= 最終エレメントが終了した) 状態。マッチ比較は行わず、Stop または Restart 例外を待つ。 | ○ (OFFのみ) | ○ | ○ | — | — | — | — | × |
| pre_dis | pre_dis | disable への移行準備。内部状態レジスタをリセットする (チャンネル・エレメント設定は保持する)。 | × | × | × | — | — | — | — | × |

備考 ○ : 処理可

× : 処理不可 (入力条件の発生は無視される)

— : 処理不可 (該当ステートで定義不能のため、有効な入力条件が発生しない)

入力条件の詳細については、下記を参照してください。

- チャネル ON/OFF : 「22.5.4.2 動作 : マッチ比較器」の「(5) チャネル ON/OFF」
- Stop 例外 : 「22.5.4.3 動作 : イベントデコーダ」の「(1) Stop 例外」
- Restart 例外 : 「22.5.4.3 動作 : イベントデコーダ」の「(3) Restart 例外」
- Transfer 例外 : 「22.5.4.3 動作 : イベントデコーダ」の「(4) Transfer 例外」
- Force 例外 : 「22.5.4.3 動作 : イベントデコーダ」の「(5) Force 例外」
- マッチ比較 : 「22.5.4.2 動作 : マッチ比較器」の「(3) マッチ制御」
- Postpone 例外 : 「22.5.4.3 動作 : イベントデコーダ」の「(6) Postpone 例外」
- Start 例外 : 「22.5.4.3 動作 : イベントデコーダ」の「(2) Start 例外」

表 22.52 の入力条件は、図 22.14 に示すタイミングで有効となります。

同時に複数の入力条件を検出した場合、表 22.52 に示す優先度にしたがって処理します。

入力条件の詳細については、「22.5.4.3 動作 : イベントデコーダ」を参照してください。

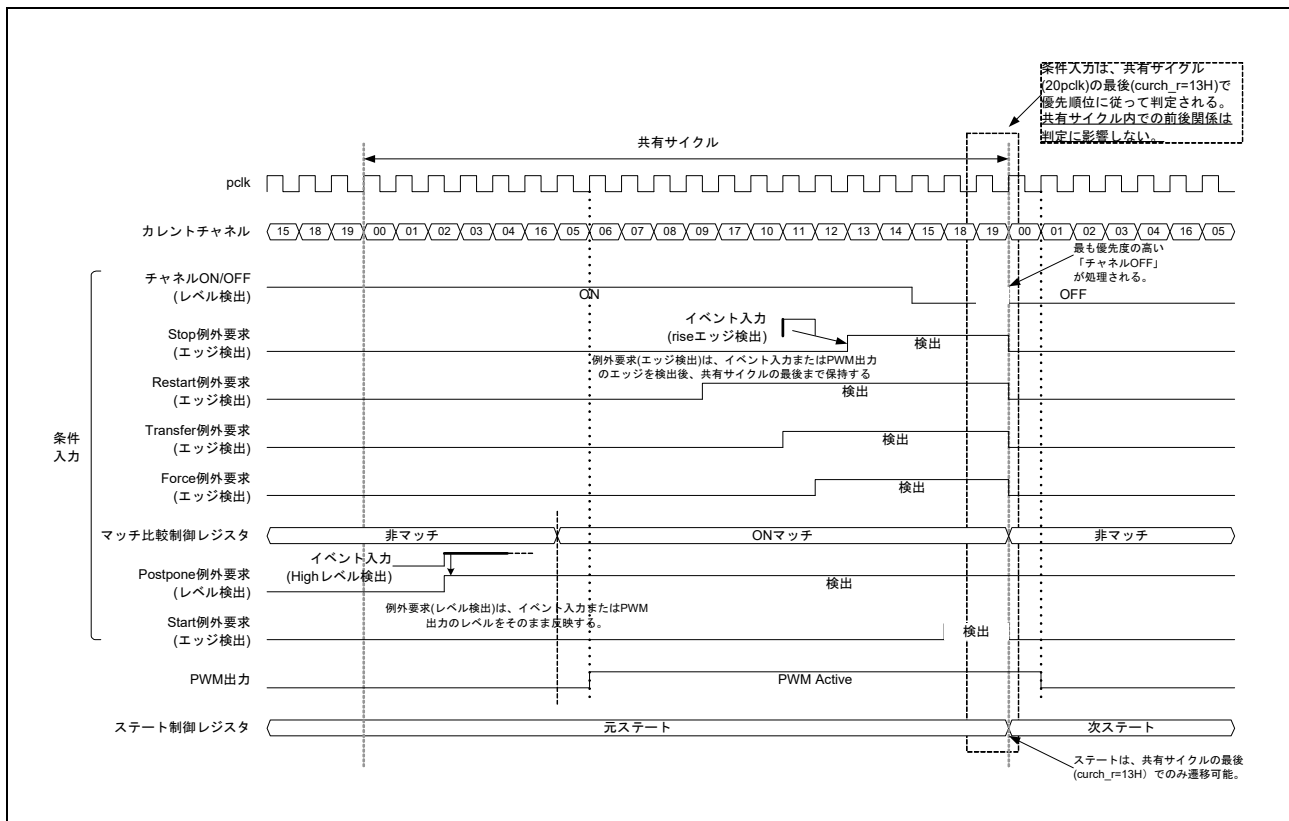


図 22.14 入力条件の判定タイミング

下図は、マッチ比較器の各ステートの詳細です。

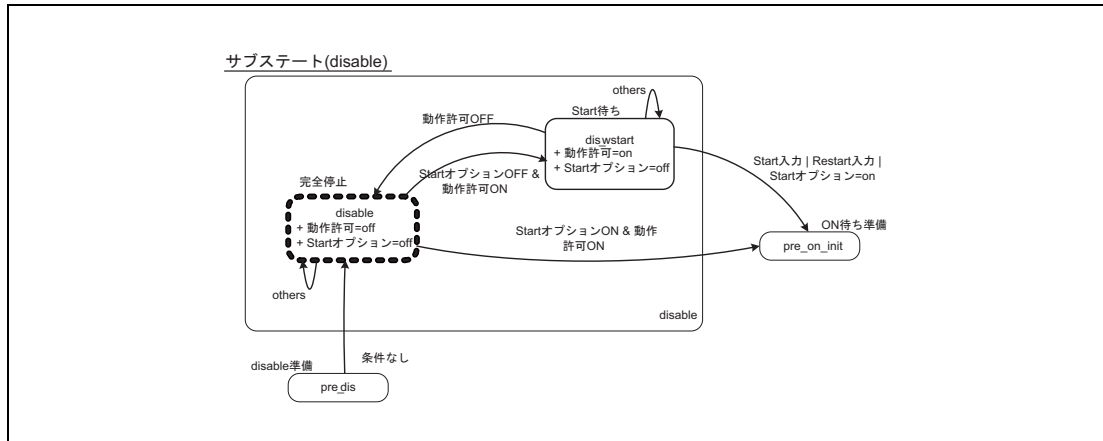


図 22.15 disable ステート内のサブステート遷移図 (図 22.13 マッチ比較器の状態遷移の図 A)

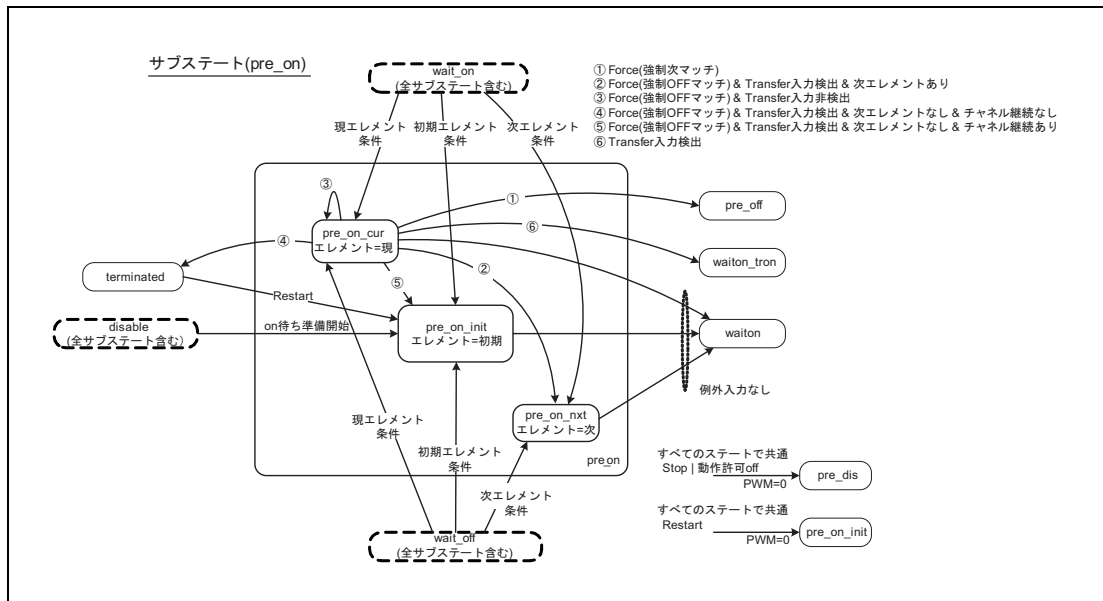


図 22.16 pre_on ステート内のサブステート遷移図 (図 22.13 マッチ比較器の状態遷移の図 B)

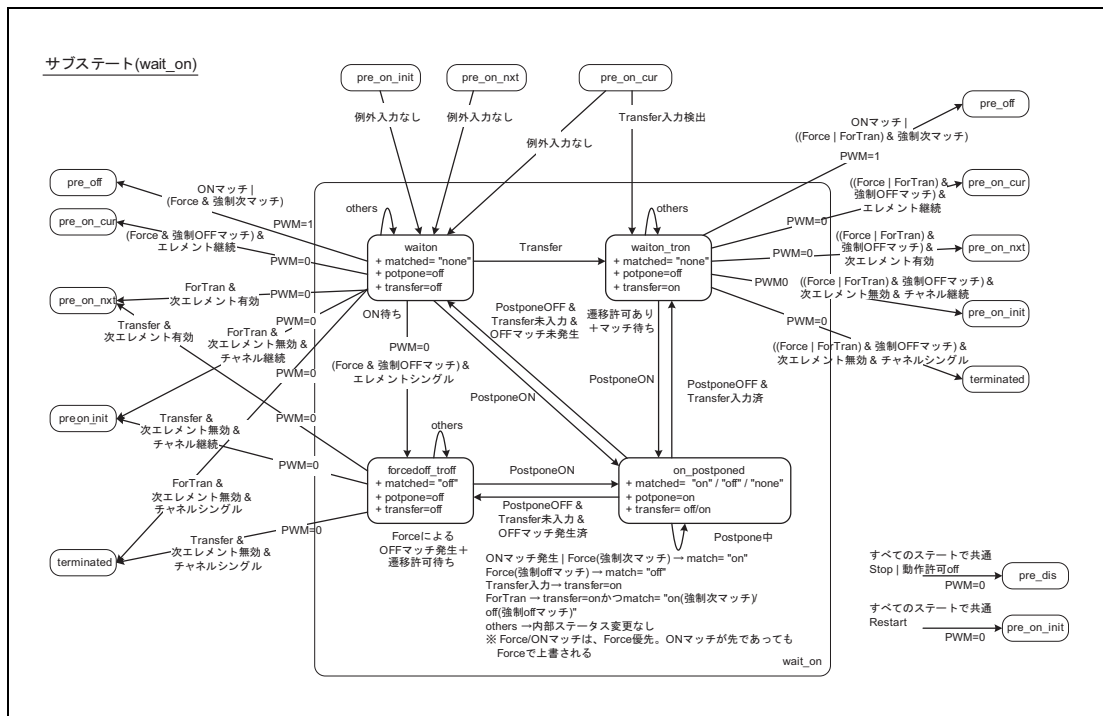


図 22.17 wait_on ステート内のサブステート遷移図 (図 22.13 マッチ比較器の状態遷移の図 C)

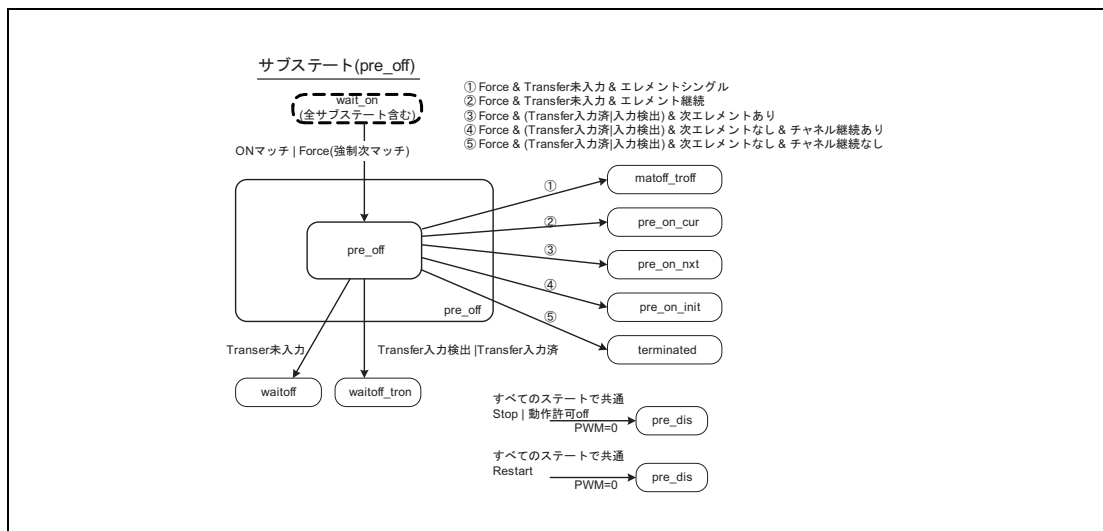


図 22.18 pre_off ステート内のサブステート遷移図 (図 22.13 マッチ比較器の状態遷移の図 D)

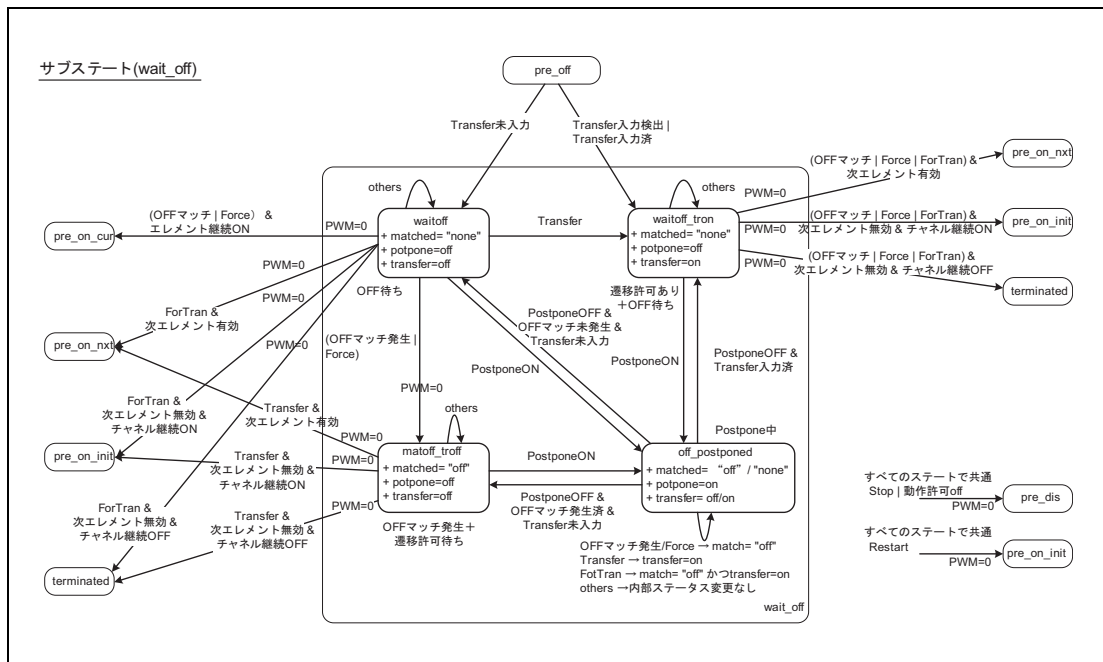


図 22.19 wait_off ステート内のサブステート遷移図 (図 22.13 マッチ比較器の状態遷移の図 E)

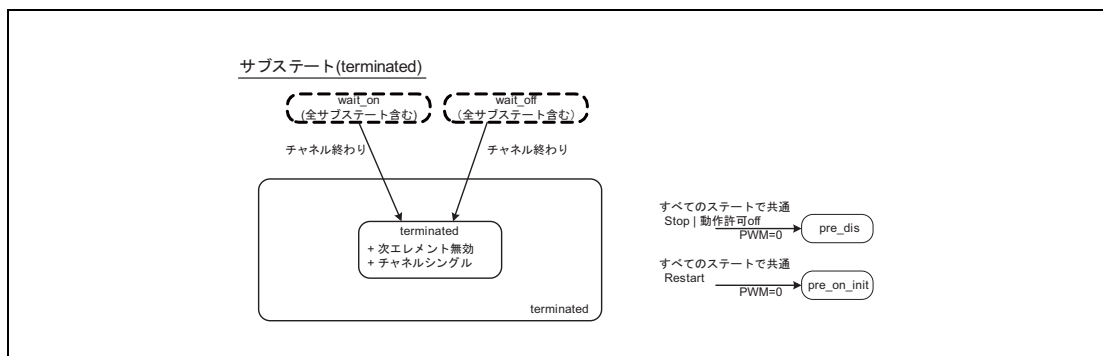


図 22.20 terminated ステート内のサブステート遷移図 (図 22.13 マッチ比較器の状態遷移の図 F)

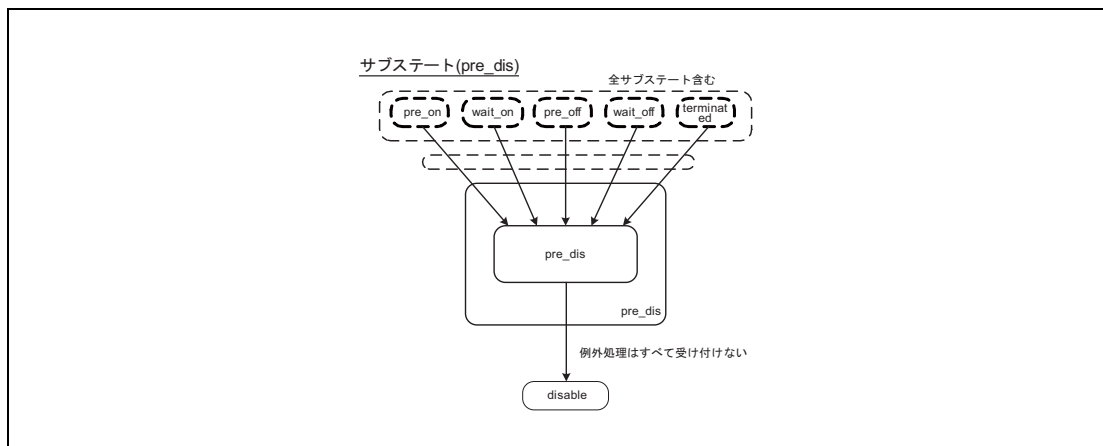


図 22.21 pre_dis ステート内のサブステート遷移図 (図 22.13 マッチ比較器の状態遷移の図 G)

(3) マッチ制御

マッチ比較器におけるマッチ制御は、リファレンス入力とコンペア条件との比較を行う機能です。以下の動作を行います。

- リファレンスバス（リファレンス入力を時分割多重化）の出力に対し、マッチ比較用のレジスタ（表 22.53、表 22.55 参照）で指定した比較条件とコンペアを行い、全条件が合致するとマッチ検出とみなし、マッチ制御レジスタの値を変更します。
- コンペア動作はステート制御と連動して動作し、wait_on 系ステートでは ON マッチ比較のみ、wait_off 系ステートでは OFF マッチ比較のみを行います。ON マッチ比較と OFF マッチ比較は同時には行われません。
- 1つのステートで検出するマッチは1回のみであり、複数回のマッチが発生することはありません。
- マッチ比較の条件はエレメントごとに定義されます。
- Force 例外により、ON マッチ比較 / OFF マッチ比較状態と無関係にマッチ制御状態を変更することができます。Force 例外の詳細な動作は「22.5.4.3 動作：イベントデコーダ」の「(5) Force 例外」を参照してください。

表 22.53 ON マッチ比較

| 項目 | 説明 | |
|----------------------|----------------------|--|
| 対象ステート | wait_on 系の 4 つ | ON マッチ比較を行うステートは以下のとおりです。 waiton, waiton_tron., forcedoff_troff, on_postponed |
| 比較条件 1 (リファレンス番号) | APAAELDRBIDON[3:0] | リファレンス番号を指定します。 値とリファレンス番号の対応は表 22.37 を参照してください。 |
| 比較条件 2 (大小関係) | APAAELDMCON[1:0] | 比較基準値との大小または一致関係を指定します。 大小比較は、リファレンス値を符号なし (unsigned) として扱います。 00 _B : [指定リファレンス番号のリファレンス値] == 比較基準値 01 _B : [指定リファレンス番号のリファレンス値] > [比較基準値] 10 _B : [指定リファレンス番号のリファレンス値] < [比較基準値] |
| 比較条件 3 (比較基準値) | APAAELDRBDATON[15:0] | ON マッチ用の基準値指定。 符号なし (unsigned) として指定します。 |

ON マッチ比較時において表 22.53 の比較条件 1, 2, 3 をすべて満たしたとき、次のクロックエッジで ON マッチを検出します。制御信号は表 22.54 のように変化します。

表 22.54 ON マッチ検出時の信号の変化

| 項目 | 説明 | |
|---|------------------------------|--|
| マッチ制御 | APAAMATSTAT[1:0] | マッチ未検出 (00B) → ON マッチ検出 (01B) |
| PWM 出力 | APAAEOPWM[X] (X はチャンネル番号) | インアクティブレベル→アクティブレベル <ul style="list-style-type: none"> アクティブレベルは各チャンネルごとに chn_lev レジスタで設定 ON マッチ検出時に Postpone 状態であった場合は、レベルは変化しない |
| slotID (マッチ発生時点の タイミング情報保持 レジスタ) | el_slotid_r[4:0] | ON マッチ検出時点での slotID (リファレンスバス出力) を保持。 |

ただし Force 例外の入力によって、上記の比較条件と無関係に ON マッチ検出を発生させることができます。詳細は「22.5.4.3 動作：イベントデコーダ」の「(5) Force 例外」を参照してください。

表 22.55 OFF マッチ比較

| 項目 | 説明 | |
|----------------------|-----------------------|--|
| 対象ステート | wait_off 系の 4 つ | OFF マッチ比較を行うステートは以下のとおりです。 waitoff, waitoff_tron, matoff_troff, off_postponed |
| 比較条件 1 (リファレンス番号) | APAAELDRBIDOFF[3:0] | リファレンス番号を指定します。 値とリファレンス番号の対応は表 22.37 を参照してください。 |
| 比較条件 2 (大小関係) | APAAELD_MCOFF[1:0] | 比較基準値との大小または一致関係を指定します。 大小比較は、リファレンス値を符号なし (unsigned) として扱います。 00 _B : [指定リファレンス番号のリファレンス値] == 比較基準値 01 _B : [指定リファレンス番号のリファレンス値] > [比較基準値] 10 _B : [指定リファレンス番号のリファレンス値] < [比較基準値] |
| 比較条件 3 (比較基準値) | APAAELDRBDATOFF[15:0] | OFF マッチ用の基準値指定。 符号なし (unsigned) として指定します。 |

OFF マッチ比較時において表 22.55 の比較条件 1, 2, 3 をすべて満たしたとき、次のクロックエッジで OFF マッチを検出します。制御信号は表 22.56 のように変化します。

表 22.56 OFF マッチ検出時の信号の変化

| 項目 | 説明 | |
|---|------------------------------|---|
| マッチ制御 | APAAMATSTAT[1:0] | ON マッチ検出 (01 _B) → OFF マッチ検出 (10 _B) |
| PWM 出力 | APAAEOPWM[X] (X はチャンネル番号) | アクティブレベル→インアクティブレベル <ul style="list-style-type: none"> アクティブレベルは各チャンネルごとにchn_levレジスタで設定 OFF マッチ検出時に Postpone 状態であった場合は、レベルは変化しない |
| slotID (マッチ発生時点の タイミング情報保持 レジスタ) | el_slotid_r[4:0] | OFF マッチ検出時点での slotID (リファレンスバス出力) を保持。 |

ただし Force 例外の入力によって、上記の比較条件と無関係に OFF マッチ検出を発生させることができます。詳細は「22.5.4.3 動作：イベントデコーダ」の「(5) Force 例外」を参照してください。

図 22.22 に、ON マッチ制御の動作図を示します。

OFF マッチについては、マッチ比較条件を読み替える (on ⇔ off) ことで同様の動作となります。

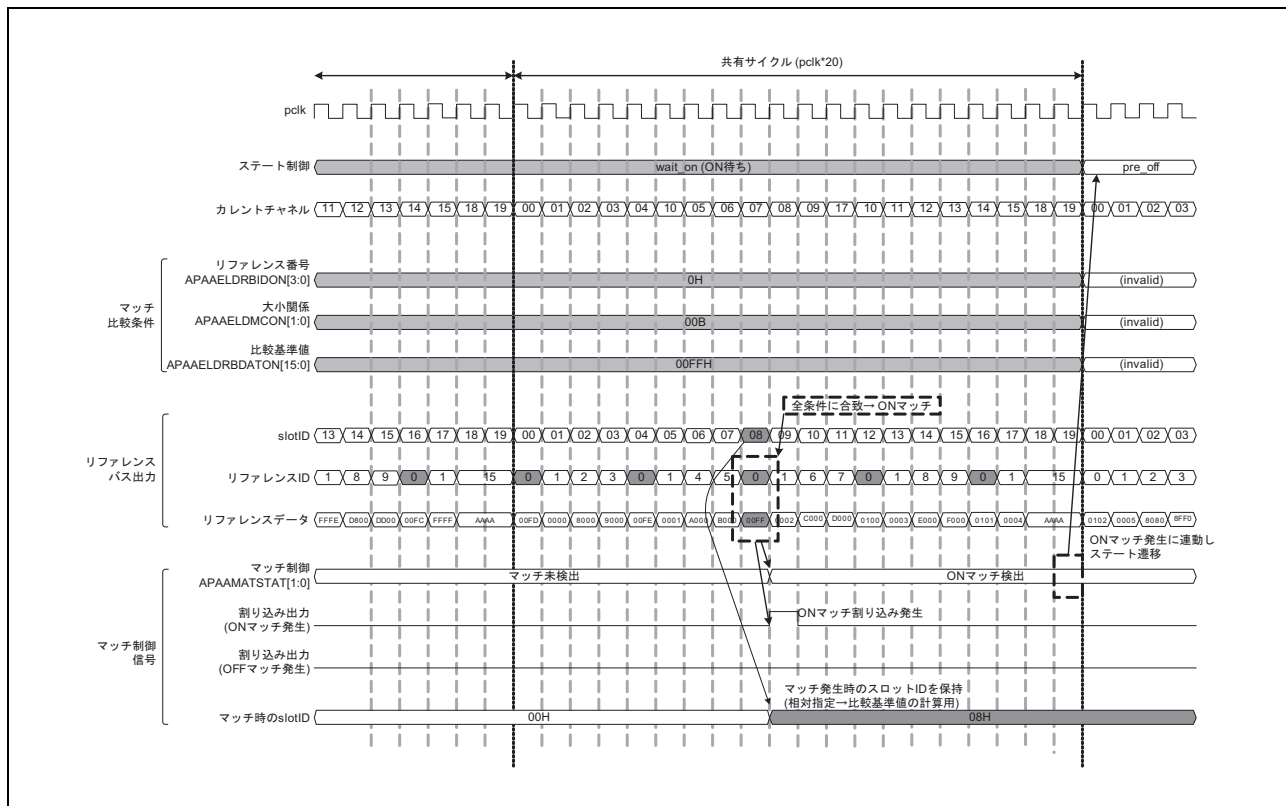


図 22.22 ON マッチ制御の動作図

(4) 割り込み

マッチ比較器の動作中、下記の状態において割り込みを発生させることができます。

割り込みの設定は、APAA0CCGAn.APAACHNINTSEL[2:0] ビット (n=0~15) にて各チャネルに対して独立して設定可能です。

割り込みは、1shot-High で出力します。

表 22.57 割り込み発生条件

| APAACHNINTSEL[2:0] 設定 | 割り込み発生条件 | 割り込み発生タイミング |
|-----------------------|-------------------------|---|
| 000B | エレメント遷移後 | エレメント更新 (ステート : pre_on) が行われたあと、共有サイクル境界で発生。 エレメント継続設定が有効 (APAA0ELMAn.APAELMCONT = 1) の場合でも、pre_on_cur ステート後の共有サイクル境界で発生します。 図 22.23 を参照してください。 |
| 001B | チャネル動作完了時 | 最終エレメントが終了 (マッチ検出または Force 例外による OFF マッチ) が発生した後、共有サイクル境界で発生。図 22.24 を参照してください。 |
| 010B | ON マッチ発生時 | ON 待ち状態 (ステート : wait_on) において ON マッチ (コンペアによるマッチ検出または Force 例外) が発生した際に発生。下記の条件に分けられます。 <ul style="list-style-type: none"> コンペアによる ON マッチ検出 (図 22.25 参照) Force 例外による ON マッチ検出 (図 22.26 参照) コンペアによる ON マッチ検出と Force 例外による ON マッチ検出の競合 (図 22.27 参照) コンペアによる ON マッチ検出と Force 例外による OFF マッチ検出の競合 (図 22.28 参照) また、Postpone 状態においても ON マッチ発生関係なく割り込みは出力します。図 22.46 を参照してください。 |
| 011B | OFF マッチ発生時 | OFF 待ち状態 (ステート : wait_off) において OFF マッチ (コンペアによるマッチ検出または Force 例外) が発生した際、または、ON 待ち状態 (ステート : wait_on) において Force 例外による強制 OFF マッチが発生した際に発生。動作図は「ON マッチ発生時」の図を参照してください。 また、Postpone 状態においても前述「ON マッチ発生時」と同様に割り込みは出力します。 |
| 100B | ON マッチ /OFF マッチ どちらか発生時 | ON マッチまたは OFF マッチ発生の両方で PWM アサート/ネゲートと同時に発生。動作図は「ON マッチ発生時」の図を参照してください。 また、Postpone 状態においても前述「ON マッチ発生時」と同様に割り込みは出力します。 |

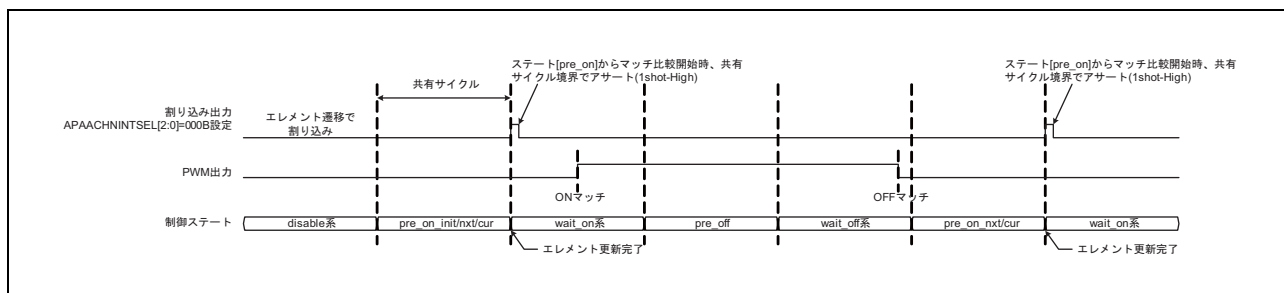


図 22.23 割り込み発生 (エレメント遷移後)

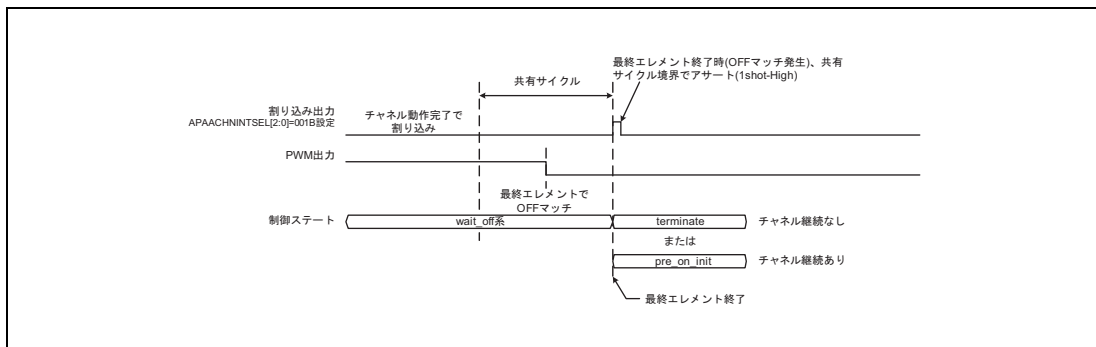


図 22.24 割り込み発生 (チャンネル動作完了)

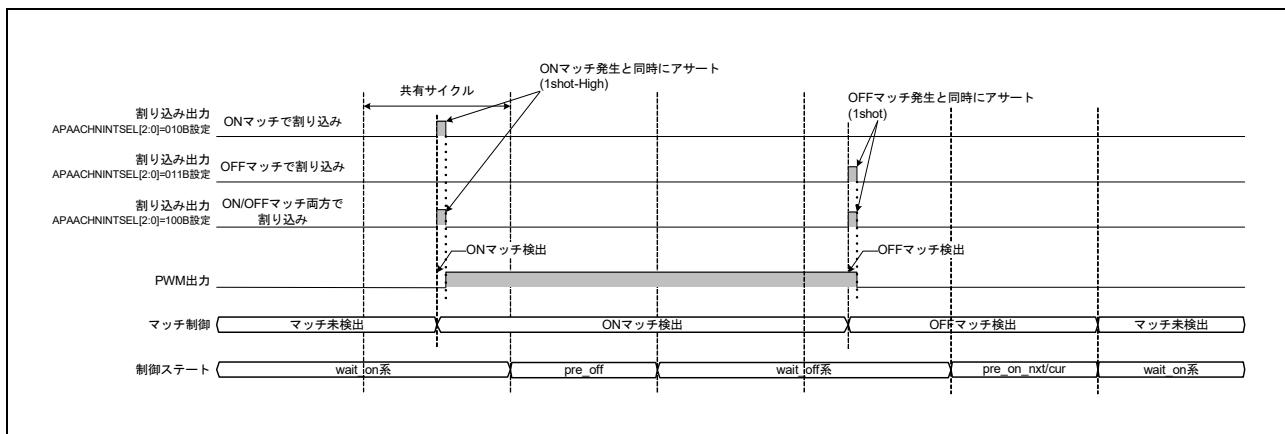


図 22.25 割り込み発生 (マッチ検出による ON/OFF/ON + OFF マッチ発生)

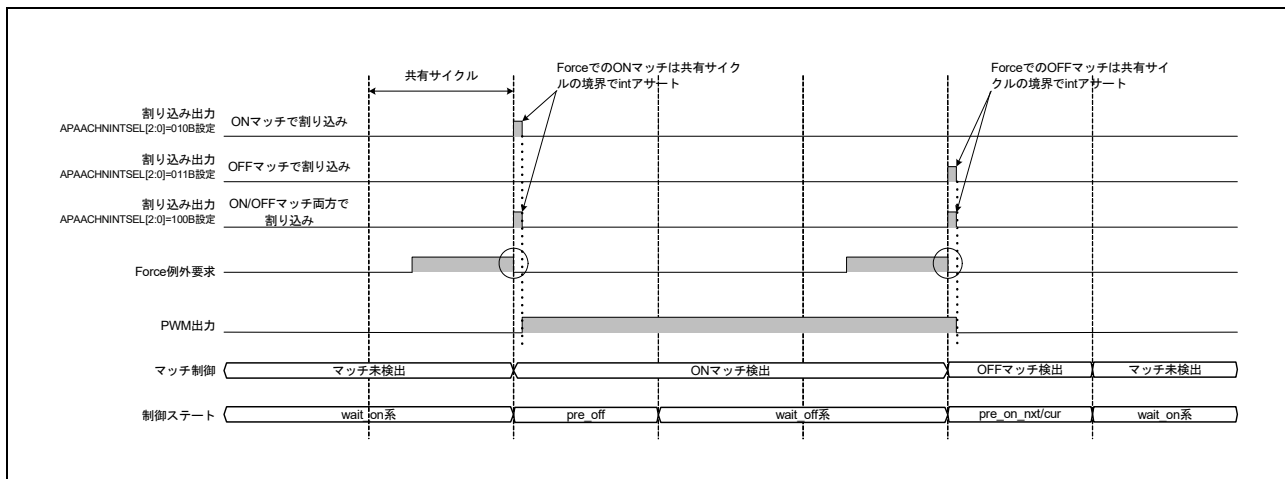


図 22.26 割り込み発生 (Force 例外による ON/OFF/ON + OFF マッチ発生)

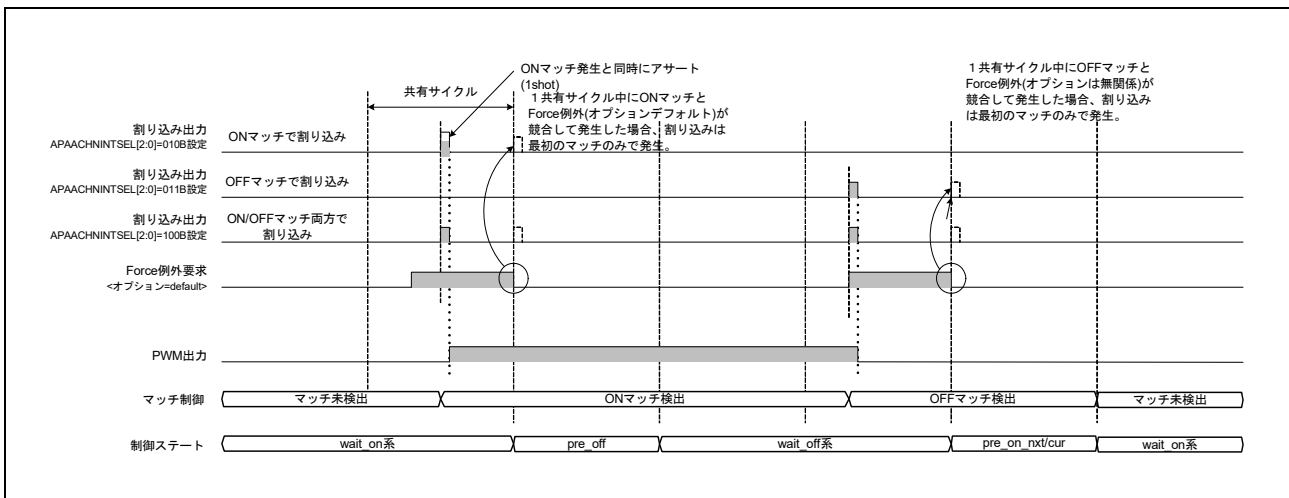


図 22.27 割り込み発生 (マッパ検出と Force 例外の競合 1/2)

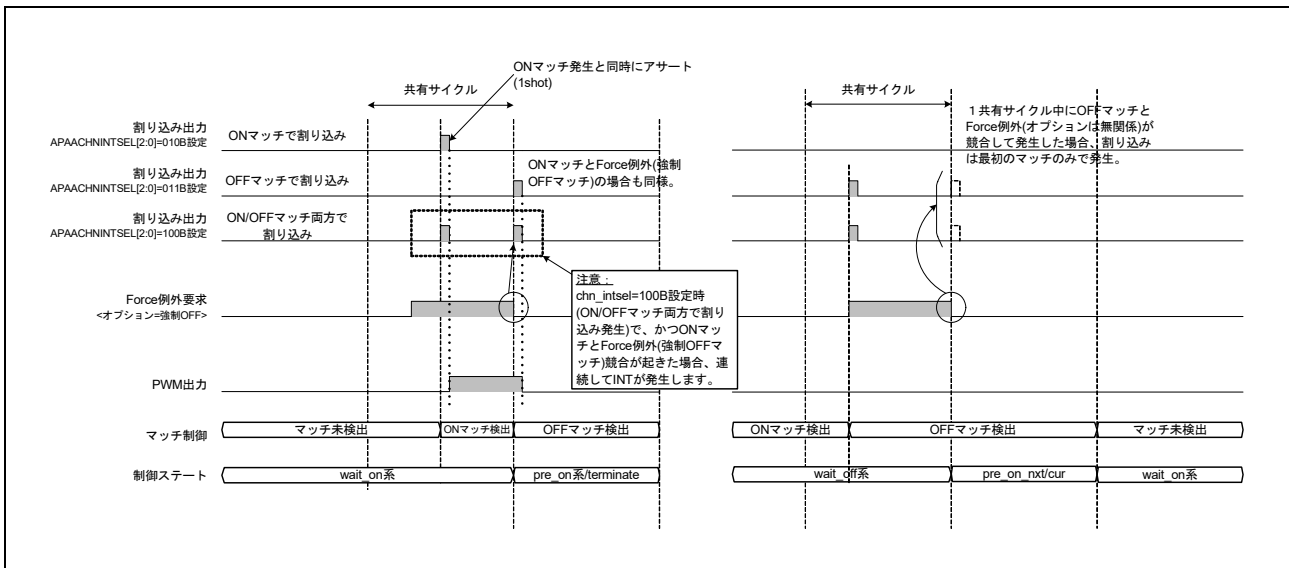


図 22.28 割り込み発生 (マッパ検出と Force 例外の競合 2/2)

(5) チャンネル ON/OFF

チャンネル ON/OFF は、「22.5.4.3 動作：イベントデコーダ」で示すイベントデコーダで生成する例外処理要求に準じた条件入力となります。チャンネル ON/OFF は、下表に示す動作を発生させます。

表 22.58 チャンネル ON/OFF の動作

| 項目 | 説明 |
|-------------------|--|
| 動作 (チャンネル ON) | <ul style="list-style-type: none"> チャンネル ON は、マッチ比較器の停止状態からマッチ比較動作を起動する条件入力となります。 ステートは disable のときのみ有効とみなされ、ほかのステートでは無視されます。 チャンネル ON による PWM 出力、割り込み出力は変化しません。 |
| 動作 (チャンネル OFF) | <ul style="list-style-type: none"> チャンネル OFF は、マッチ比較器の動作状態からマッチ比較動作を停止させる条件入力となります。 チャンネル動作中（ステート disable/pre_dis 以外）で有効とみなされます。 チャンネル OFF によって PWM 出力はステート遷移から 1pclk 後に強制的にインアクティブレベルになります。このとき割り込みは出力されません。 |
| 割り当て | <ul style="list-style-type: none"> 設定レジスタは APAA0CHEN[15:0]。各ビットがチャンネルに対応。 |
| 検出タイプ | <ul style="list-style-type: none"> レベル検出（High アクティブのみ、アクティブレベルの選択は不可） |
| オプション | <ul style="list-style-type: none"> なし |
| 備考 | <ul style="list-style-type: none"> なし |

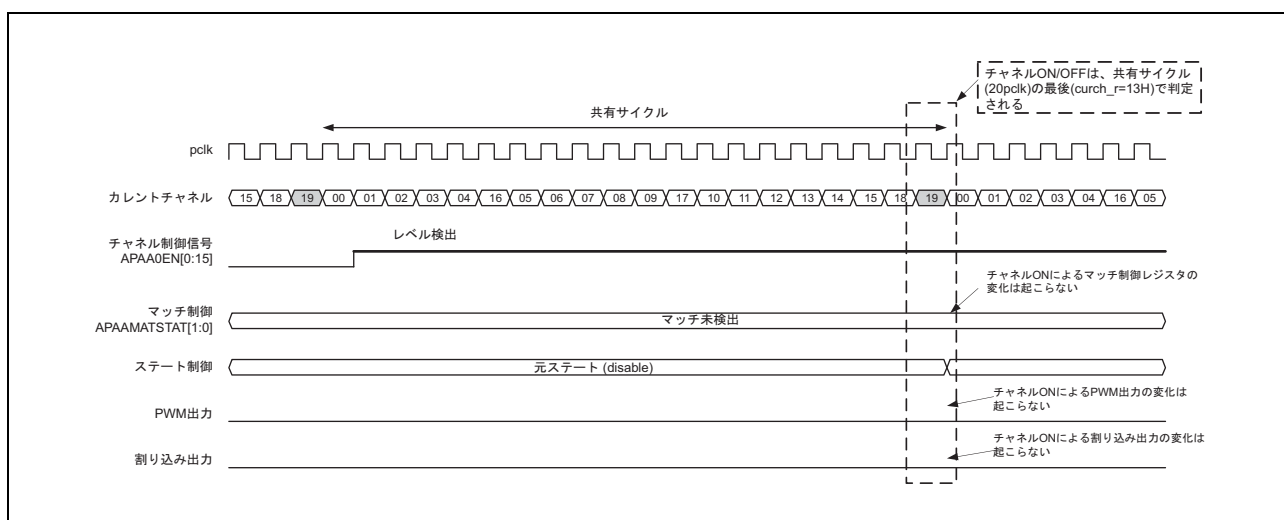


図 22.29 チャンネル ON の受理タイミング

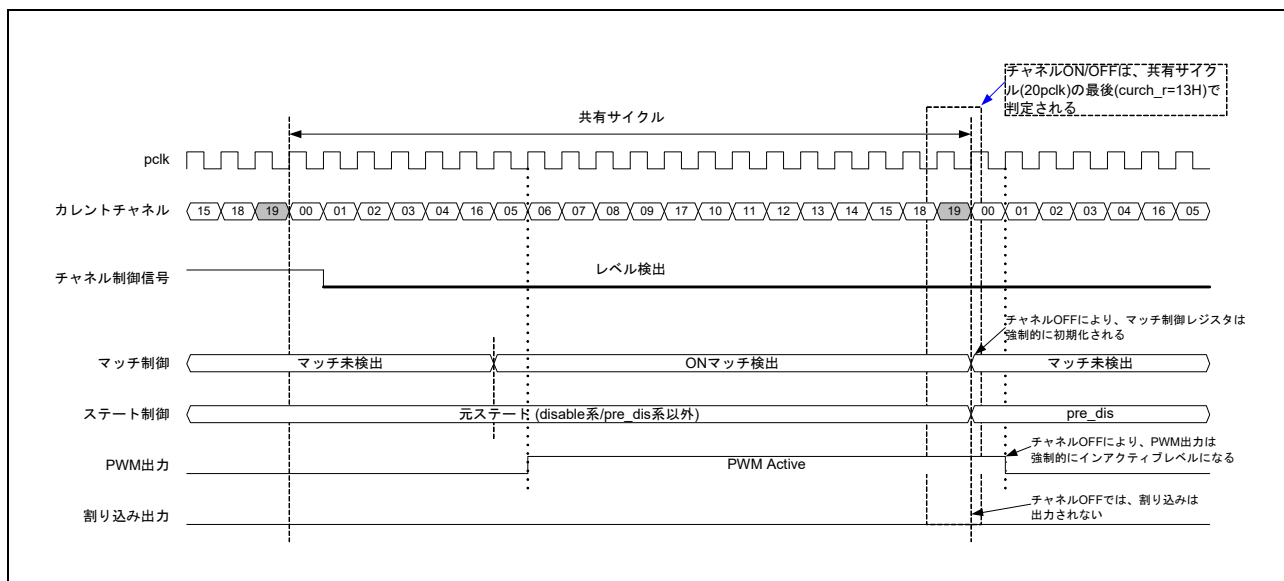


図 22.30 チャンネル OFF の受理タイミング

22.5.4.3 動作：イベントデコーダ

イベントバス、もしくは各パルス生成チャンネルで生成する PWM 出力から、例外処理要求を生成します。

以下に例外信号のタイミングチャートを記載します。

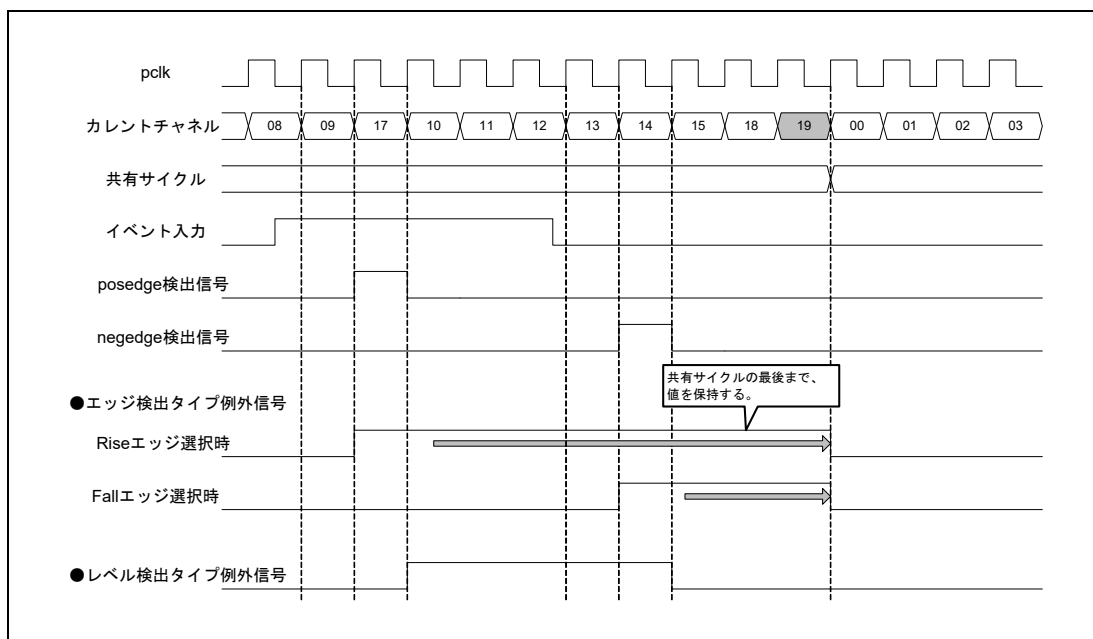


図 22.31 外部イベントを選択した場合の例外信号のタイミングチャート

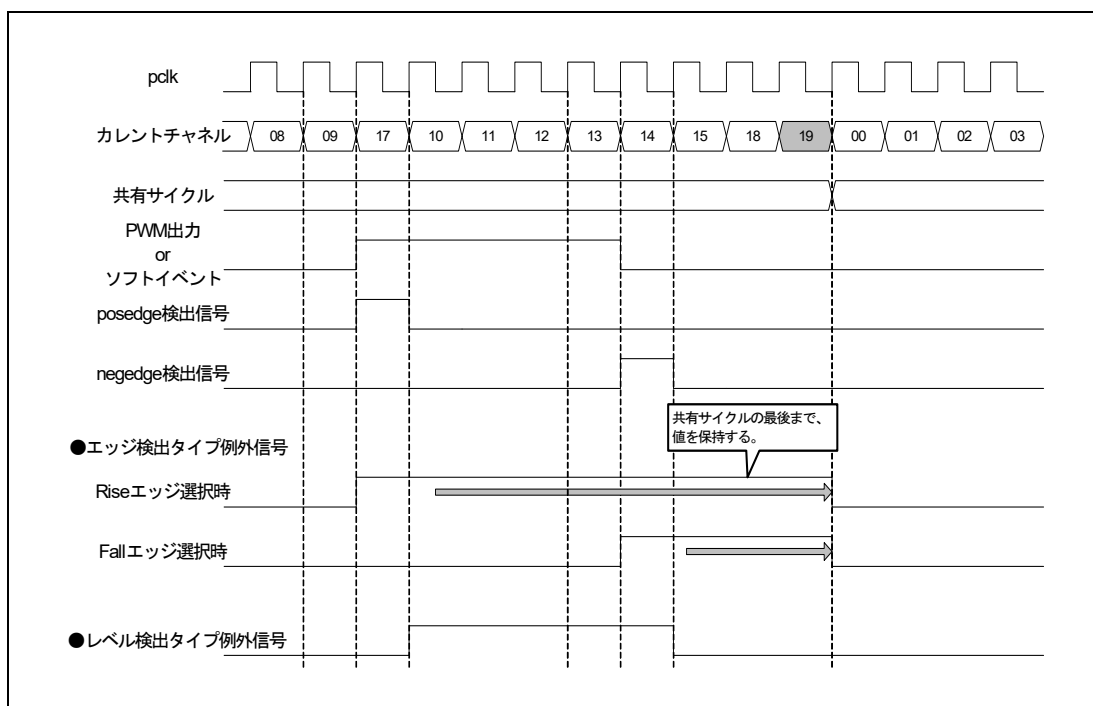


図 22.32 PWM 出力、ソフトイベントを選択した場合の例外信号のタイミングチャート

(1) Stop 例外

Stop 例外は、表 22.59 に示す動作を起こす例外処理です。

表 22.59 Stop 例外の動作

| 項目 | 説明 |
|------------|--|
| 動作 | <ul style="list-style-type: none"> Stop 例外は、マッチ比較動作を停止させる例外です。 マッチ比較動作を行っているとき（ステートが <code>disable</code> / <code>dis_wstart</code> / <code>pre_dis</code> 以外）に有効です。 |
| 例外受理時の信号変化 | <p>以下の信号がステート遷移（共有サイクルの境界）と同時に変化します。</p> <ul style="list-style-type: none"> マッチ制御レジスタ：初期化（00_B：マッチ未検出） PWM 出力：インアクティブレベル PWM 出力は F/F 出力のため、ステート遷移から 1pclk 遅れて変化します。 割り込み出力：変化しない（Low レベル） slotID：初期化（00_H） |
| 割り当て | <ul style="list-style-type: none"> イベントバス（32 ビット）の中から選択。「22.5.3.2 動作：イベント入力の選択」を参照してください。 パルス生成チャンネルごとに個別に定義します。設定レジスタは <code>APAACHNIDSTP[4:0]</code>。 |
| 検出タイプ | <ul style="list-style-type: none"> エッジ検出。rise/fall/both の中から選択。 パルス生成チャンネルごとに定義します。設定レジスタは <code>APAACHNEGSTP[1:0]</code>。 |
| オプション | <ul style="list-style-type: none"> なし |
| 備考 | <ul style="list-style-type: none"> Start 例外オプション（<code>APAACHNOPSTR</code>）が有効の場合、Stop 例外では停止しなくなる（Stop 例外を入力すると、いったん停止後に再び初期エレメントから動作開始します）。その場合、チャンネル OFF（<code>APAAOCHEN</code> レジスタで、該当チャンネルを動作不許可に設定）によって停止します。 |

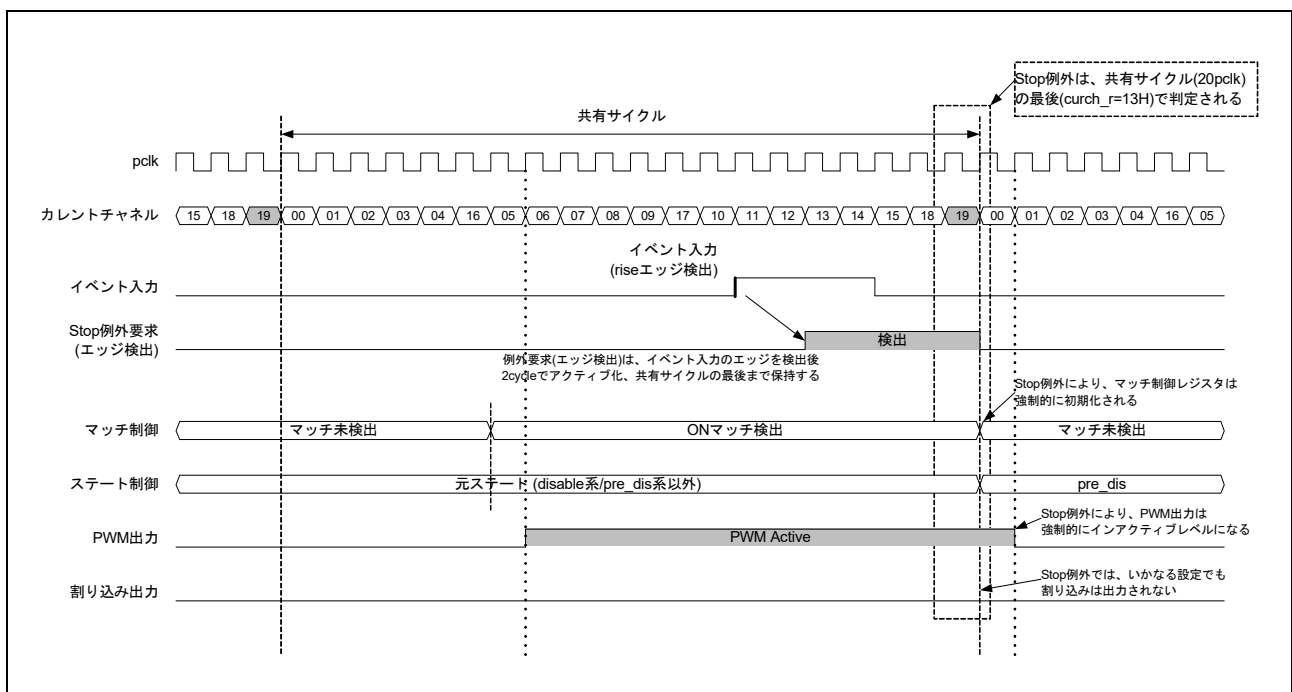


図 22.33 Stop 例外の受理タイミング

(2) Start 例外

Start 例外は、表 22.60 に示す動作を起こす例外処理です。

表 22.60 Start 例外の動作

| 項目 | 説明 |
|------------|--|
| 動作 | <ul style="list-style-type: none"> Start 例外は、マッチ比較動作を開始させる例外です。 マッチ比較停止状態で、かつチャンネル動作許可 = ON (ステートが dis_wstart) のみで有効です。 |
| 例外受理時の信号変化 | <p>いずれも変化しません。</p> <ul style="list-style-type: none"> マッチ制御レジスタ：変化しない PWM 出力：変化しない 割り込み出力：変化しない slotID：変化しない |
| 割り当て | <ul style="list-style-type: none"> イベントバス (32 ビット) の中から選択。「22.5.3.2 動作：イベント入力の選択」を参照してください。 パルス生成チャンネルごとに個別に定義します。設定レジスタは APAACHNIDSTR[4:0]。 |
| 検出タイプ | <ul style="list-style-type: none"> エッジ検出。rise/fall/both の中から選択。 パルス生成チャンネルごとに定義します。設定レジスタは APAACHNEGSTR[1:0]。 |
| オプション | <ul style="list-style-type: none"> Start オプション (APAACHNOPSTR) で設定。 <ul style="list-style-type: none"> 0：動作許可後、Start 例外をトリガに動作開始 (default) 1：動作許可後、直ちに動作開始 (Start 例外不要) |
| 備考 | <ul style="list-style-type: none"> Start 例外オプション (APAACHNOPSTR) が有効の場合、Stop 例外では停止しなくなる (Stop 例外を入力すると、いったん停止後に再び初期エレメントから動作開始します)。その場合、チャンネル OFF (APAA0CHEN レジスタで、該当チャンネルを動作不許可に設定) によって停止します。 |

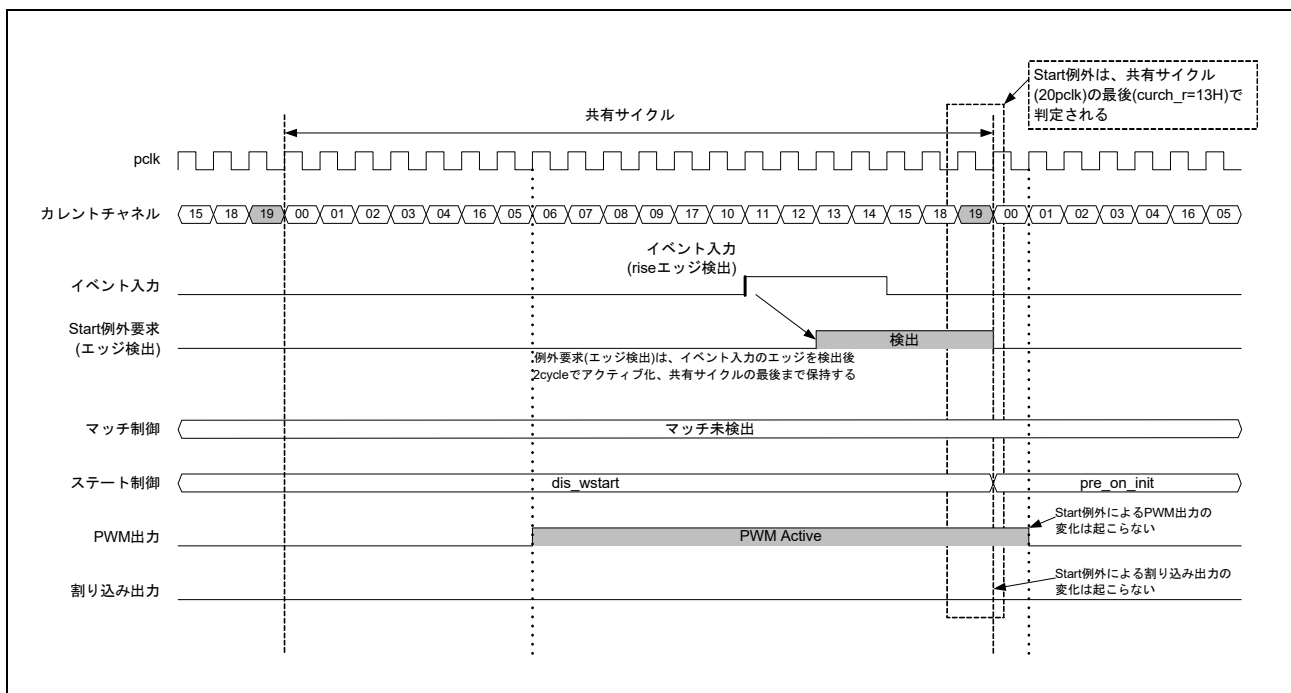


図 22.34 Start 例外の受理タイミング

(3) Restart 例外

Restart 例外は、表 22.61 に示す動作を起こす例外処理です。

表 22.61 Restart 例外の動作

| 項目 | 説明 |
|------------|--|
| 動作 | <ul style="list-style-type: none"> Restart 例外は、マッチ比較動作中において、強制的に初期エレメントへの遷移を発生させる例外です。 マッチ比較停止中 (ステートが disable/pre_dis) 以外で有効です。 Restart 例外が受理された際は、PWM 出力はステート遷移と同時に強制的にインアクティブレベルになります。また、割り込みは出力されません。 |
| 例外受理時の信号変化 | 以下の信号がステート遷移 (共有サイクルの境界) と同時に変化します。 <ul style="list-style-type: none"> マッチ制御レジスタ: 初期化 (00_B: マッチ未検出) PWM 出力: インアクティブレベル PWM 出力は F/F 出力のため、ステート遷移から 1pclk 遅れて変化します。 割り込み出力: 変化しない (Low レベル) slotID: 初期化 (00_H) |
| 割り当て | <ul style="list-style-type: none"> イベントバス (32 ビット) の中から選択。「22.5.3.2 動作: イベント入力の選択」を参照してください。 パルス生成チャンネルごとに個別に定義します。設定レジスタは APAACHNIDRES[4:0]。 |
| 検出タイプ | <ul style="list-style-type: none"> エッジ検出。rise/fall/both の中から選択。 パルス生成チャンネルごとに定義します。設定レジスタは APAACHNEGRES[1:0]。 |
| オプション | <ul style="list-style-type: none"> なし |
| 備考 | <ul style="list-style-type: none"> なし |

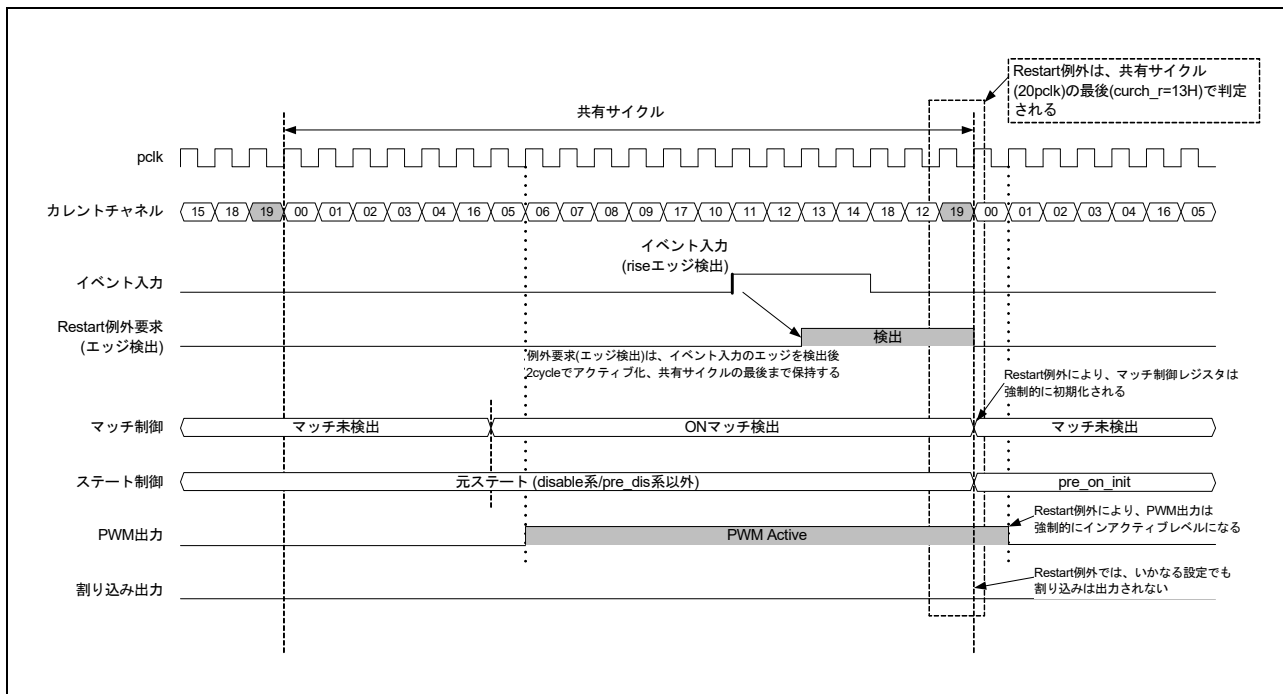


図 22.35 Restart 例外の受理タイミング

(4) Transfer 例外

Transfer 例外は、表 22.62 に示す動作を起こす例外処理です。

表 22.62 Transfer 例外の動作

| 項目 | 説明 |
|------------|---|
| 動作 | <ul style="list-style-type: none"> Transfer 例外は、OFF マッチ発生時にエレメント遷移することを許可する例外です。 ON マッチ比較動作 (wait_on 系ステート)、OFF マッチ比較動作中 (wait_off 系ステート)、および現エレメントへの更新 (ステート pre_on_cur/pre_off) を行っているときに有効です。 OFF マッチ未発生状態で Transfer 例外が受理された際は、Transfer 入力状態フラグ (APAATRNSTAT レジスタ) を 1 にセットします。tran_stat レジスタは次のエレメントへの遷移が起こるまで保持され、次のエレメントへの遷移と同時にクリアされます。 OFF マッチ発生済で Transfer 例外が受理された際は、次エレメントへ遷移します。このときは APAATRNSTAT レジスタはセットされません。 |
| 例外受理時の信号変化 | <p>以下の信号がステート遷移 (共有サイクルの境界) と同時に変化します。</p> <ul style="list-style-type: none"> マッチ制御レジスタ: 変化しない PWM 出力: 変化しない 割り込み出力: 変化しない (Low レベル) slotID: 変化しない Transfer 入力状態フラグ: 0 → 1 にセット (OFF マッチ未発生の場合)、または 0 のまま変化しない (OFF マッチ発生までに Transfer 未入力の場合) |
| 割り当て | <ul style="list-style-type: none"> イベントバス (32 ビット) の中から選択。「22.5.3.2 動作: イベント入力の選択」を参照してください。 エレメントごとに個別に定義します。設定レジスタは APAAELMIDTRN[4:0]。 |
| 検出タイプ | <ul style="list-style-type: none"> エッジ検出。rise/fall/both の中から選択。 エレメントごとに個別に定義します。設定レジスタは APAAELMEGTRN[1:0]。 |
| オプション | <ul style="list-style-type: none"> Transfer オプション (APAAELMOPTRN) で設定。 <ul style="list-style-type: none"> 0: 次のエレメントへの遷移に Transfer 例外の入力が必要 (default)。 1: OFF マッチ発生によって自動的に次のエレメントへ遷移する (Transfer 例外不要)。 |
| 備考 | <ul style="list-style-type: none"> Transfer オプション (APAAELMOPTRN) 設定は、エレメント継続設定 (APAAELMCONT) より優先します。エレメント継続を使用する場合は、Transfer オプション (APAAELMOPTRN) を 0 に設定してください。 |

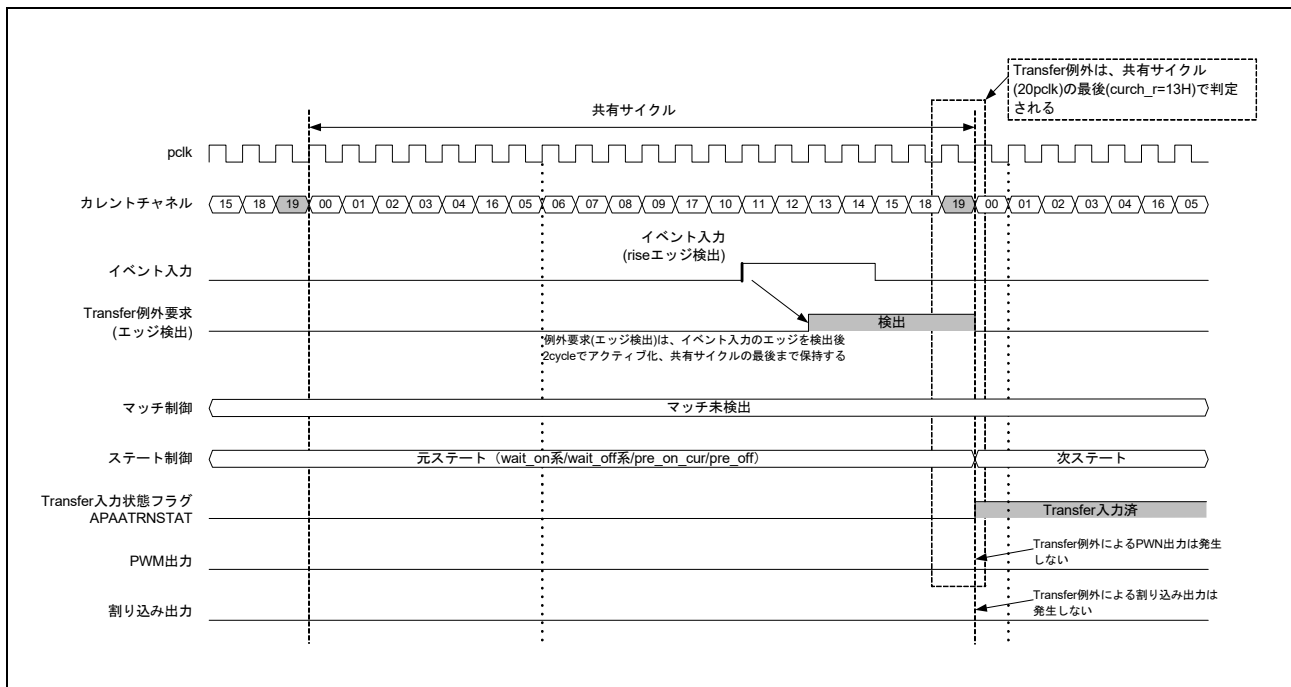


図 22.36 Transfer 例外の受理タイミング

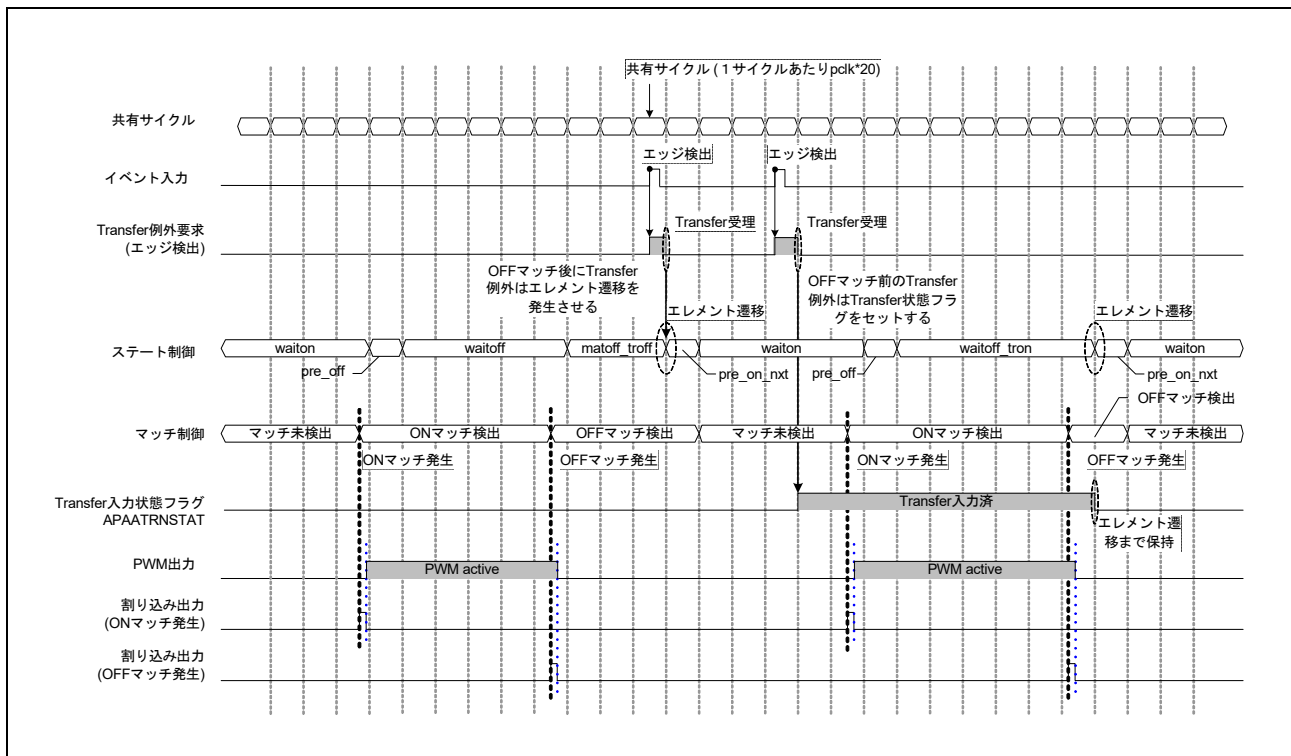


図 22.37 Transfer 例外動作

(5) Force 例外

Force 例外は、表 22.63 に示す動作を起こす例外処理です。

表 22.63 Force 例外の動作 (1/2)

| 項目 | 説明 |
|----------------------------|--|
| 動作 | <ul style="list-style-type: none"> Force 例外は、強制的にマッチを発生させる例外です。 ON マッチ比較動作 (wait_on 系ステート)、OFF マッチ比較動作中 (wait_off 系ステート)、および現エレメントへの更新 (ステート pre_on_cur/pre_off) を行っているときに有効です。 |
| 例外受理時の信号変化 (wait_on 系ステート) | <p>以下の信号がステート遷移 (共有サイクルの境界) と同時に変化します。</p> <ul style="list-style-type: none"> ON マッチ未発生で Force 例外 (オプション default) の場合 (図 22.38 参照) <ul style="list-style-type: none"> マッチ制御レジスタ: ON マッチ検出 (01_B) PWM 出力: インアクティブ→アクティブレベル (ただし Postpone 状態では変化しない) PWM 出力は F/F 出力のため、ステート遷移から 1pclk 遅れて出力します。 割り込み出力: 1shot-High パルスをアサート (ON マッチ発生割り込み / ON マッチ + OFF マッチ発生割り込み設定の場合) slotID: 13_H にセット ON マッチ未発生で Force 例外 (強制 OFF マッチオプション) の場合 (図 22.39 参照) <ul style="list-style-type: none"> マッチ制御レジスタ: OFF マッチ検出 (10_B) PWM 出力: 変化しない 割り込み出力: 1shot-High パルスをアサート (OFF マッチ発生割り込み / ON マッチ + OFF マッチ発生割り込み設定の場合) slotID: 13_H にセット ON マッチ発生済で Force 例外 (オプション default) の場合 (図 22.41 参照) <ul style="list-style-type: none"> マッチ制御レジスタ: 変化しない PWM 出力: 変化しない 割り込み出力: 変化しない (Low レベル) slotID: 13_H にセット ON マッチ発生済で Force 例外 (強制 OFF マッチオプション) の場合 (図 22.44 参照) <ul style="list-style-type: none"> マッチ制御レジスタ: OFF マッチ検出 (10_B) PWM 出力: アクティブ→インアクティブレベル (ただし Postpone 状態では変化しない) PWM 出力は F/F 出力のため、ステート遷移から 1pclk 遅れて出力します。 割り込み出力: 1shot-High パルスをアサート (OFF マッチ発生割り込み / ON マッチ + OFF マッチ発生割り込み設定の場合) slotID: 13_H にセット OFF マッチ発生済 (Force 例外: 強制 OFF マッチオプション) でさらに Force 例外の場合 (図 22.43 参照) <ul style="list-style-type: none"> マッチ制御レジスタ: 変化しない PWM 出力: 変化しない 割り込み出力: 変化しない (Low レベル) slotID: 13_H にセット。 |

表 22.63 Force 例外の動作 (2/2)

| 項目 | 説明 |
|-----------------------------|--|
| 例外受理時の信号変化 (wait_off 系ステート) | <p>以下の信号がステート遷移 (共有サイクルの境界) と同時に変化します。</p> <ul style="list-style-type: none"> OFF マッチ未発生で Force 例外 (オプションは無関係) の場合 (図 22.40 参照) <ul style="list-style-type: none"> マッチ制御レジスタ: OFF マッチ検出 (10_B) PWM 出力: アクティブ→インアクティブレベル (ただし Postpone 状態では変化しない) PWM 出力は F/F 出力のため、ステート遷移から 1pclk 遅れて出力します。 割り込み出力: 1shot-High パルスのアサート (OFF マッチ発生割り込み / ON マッチ + OFF マッチ発生割り込み設定の場合) slotID: 13_H にセット OFF マッチ発生済で Force 例外 (オプションは無関係) の場合 (図 22.42 参照) <ul style="list-style-type: none"> マッチ制御レジスタ: OFF マッチ検出 (10_B) PWM 出力: 変化しない 割り込み出力: 変化しない (Low レベル) slotID: 13_H にセット |
| 割り当て | <ul style="list-style-type: none"> イベントバス (32 ビット) の中から選択。「22.5.3.2 動作: イベント入力の選択」を参照してください。 エレメントごとに個別に定義します。設定レジスタは APAAELMIDFOR[4:0]。 |
| 検出タイプ | <ul style="list-style-type: none"> エッジ検出。rise/fall/both の中から選択。 エレメントごとに個別に定義します。設定レジスタは APAAELMEGFOR[1:0]。 |
| オプション | <ul style="list-style-type: none"> Force オプション (APAAELMOPFOR) で設定。 <ul style="list-style-type: none"> 0: 強制的に次マッチを発生。ON 待ち→強制的に ON マッチ発生、OFF 待ち→強制的に OFF マッチ発生 (default) 1: 強制的に OFF マッチを発生。ON 待ち→強制的に OFF マッチ発生、OFF 待ち→強制的に OFF マッチ発生 |
| 備考 | <ul style="list-style-type: none"> なし |

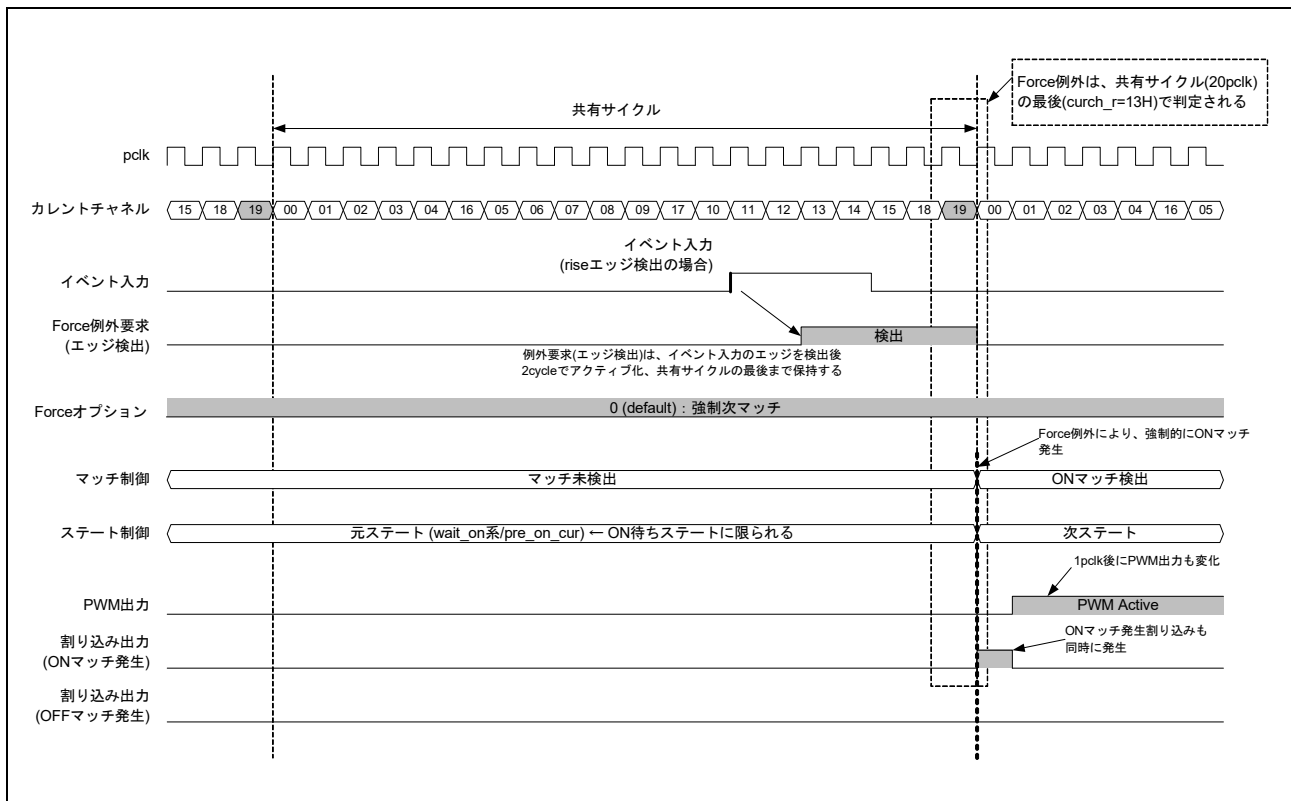


図 22.38 Force 例外 動作 1 (マッチ未検出→ ON マッチ検出)

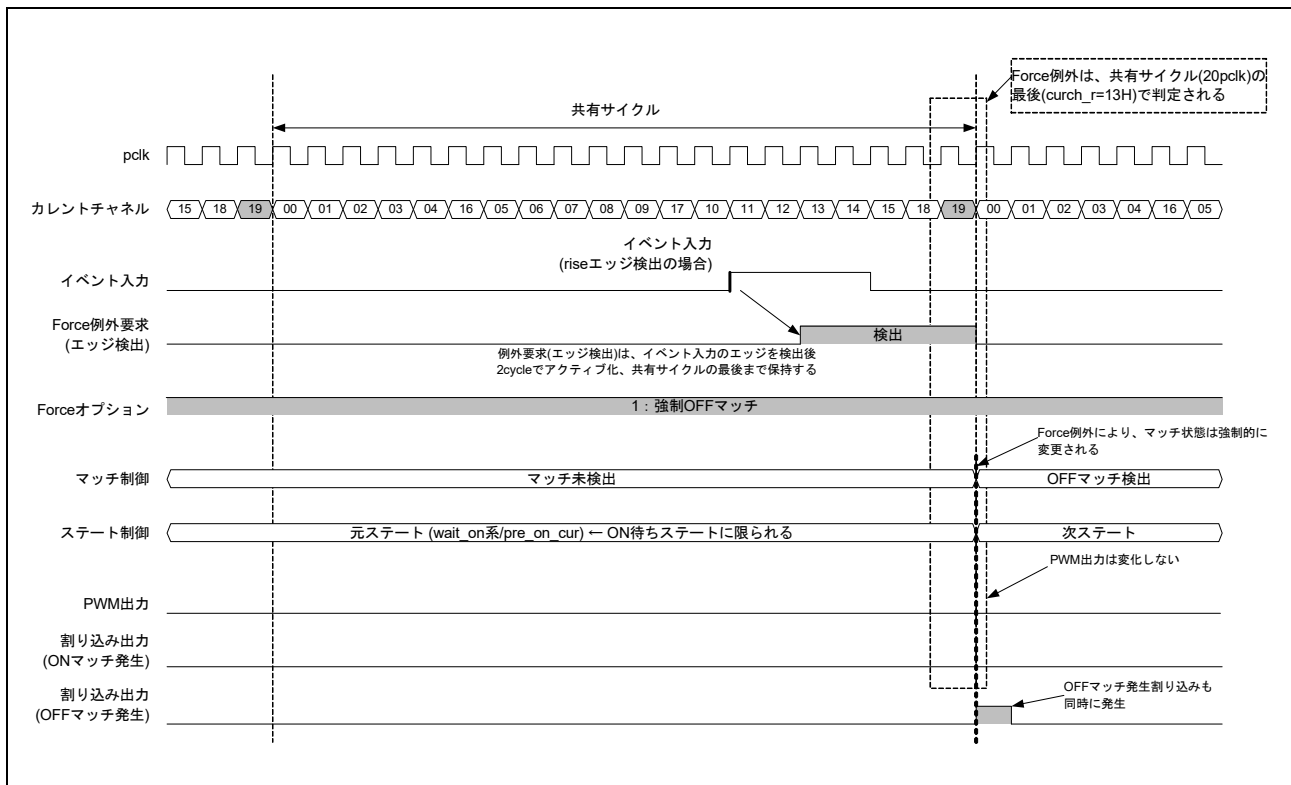


図 22.39 Force 例外 動作 2 (マッチ未検出→ OFF マッチ検出)

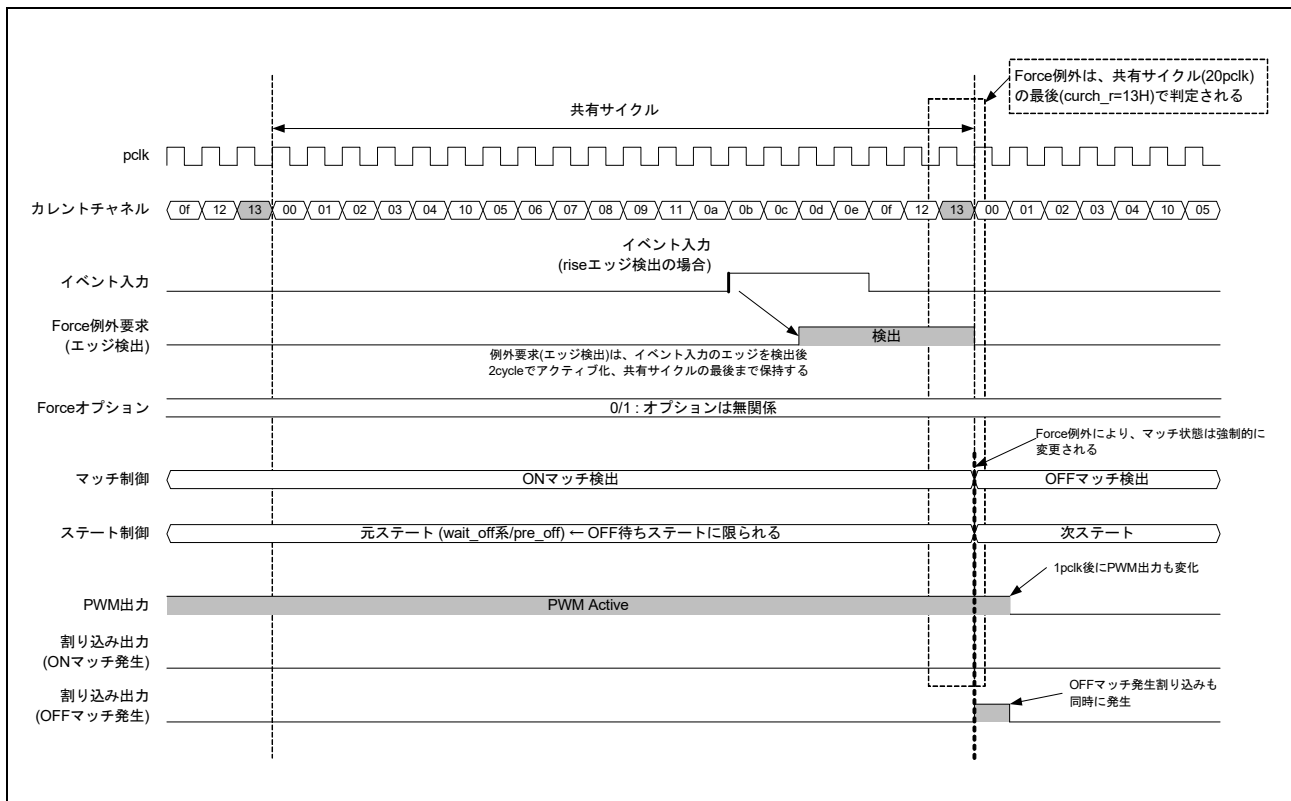


図 22.40 Force 例外 動作 3 (ON マッチ検出→ OFF マッチ検出)

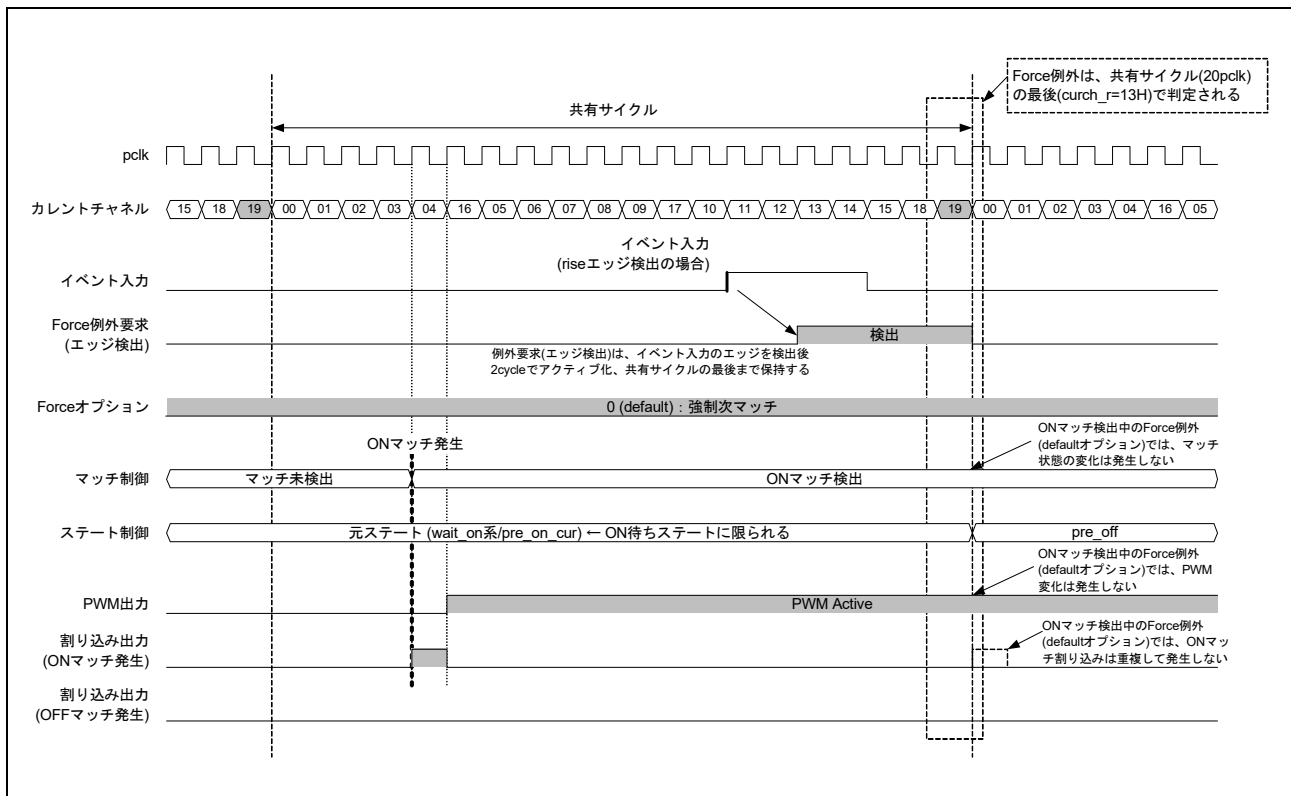


図 22.41 Force 例外 動作 4 (ON マッチ検出の重複)

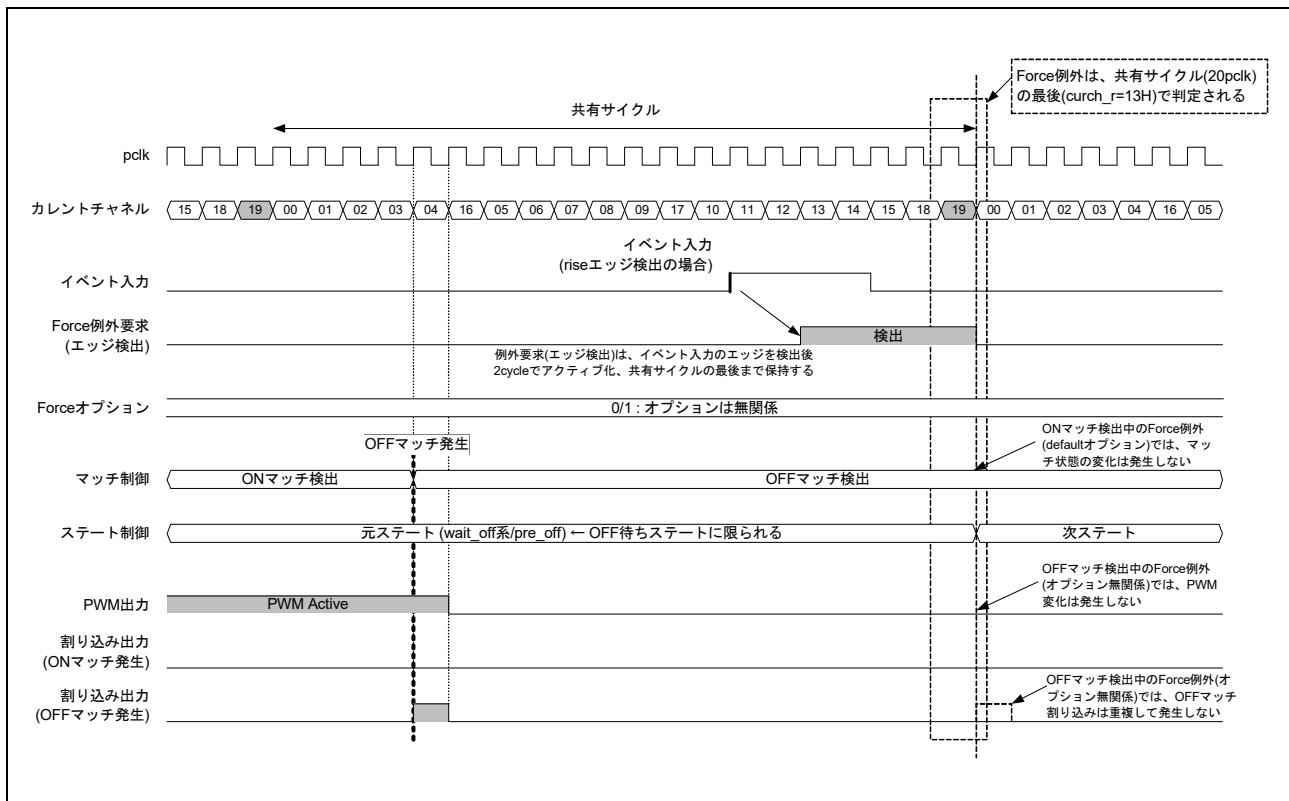


図 22.42 Force 例外 動作 5 (OFF マッチ検出の重複 1)

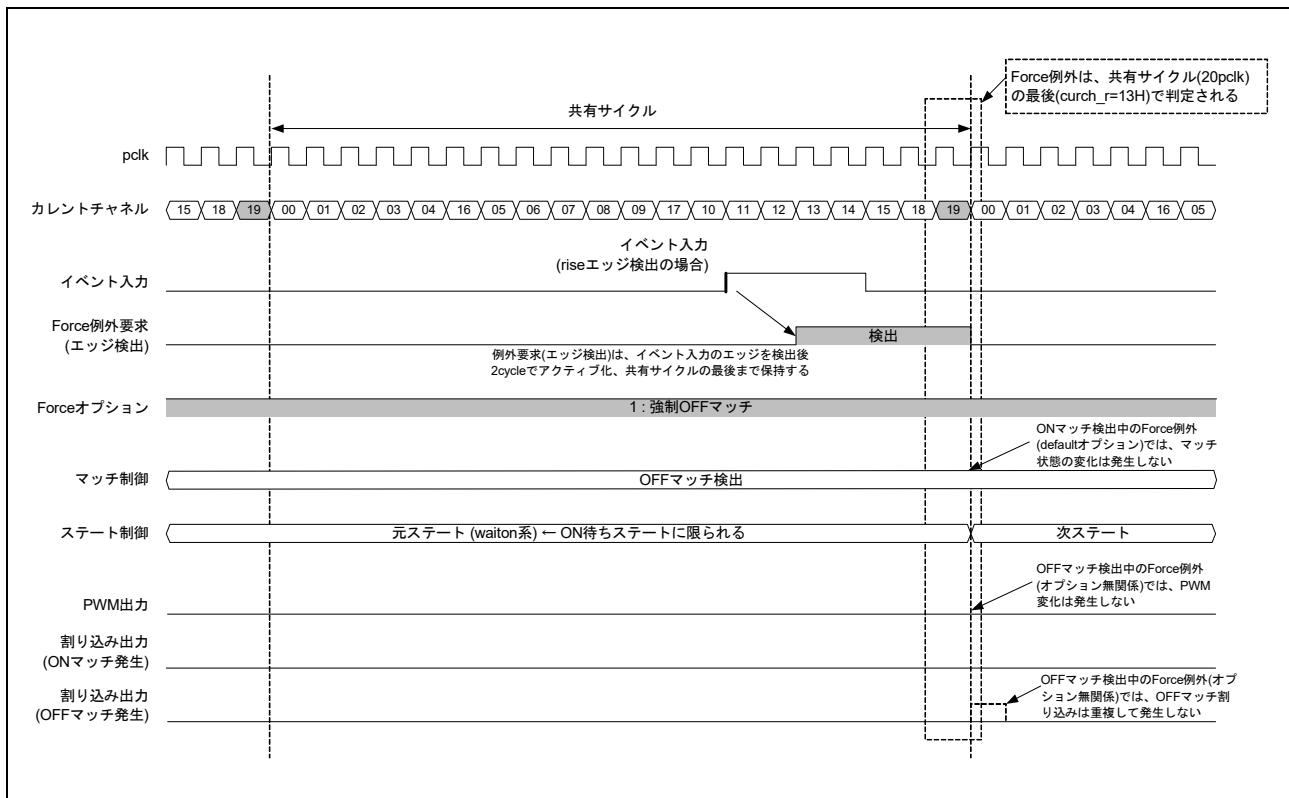


図 22.43 Force 例外 動作 6 (OFF マッチ検出の重複 2)

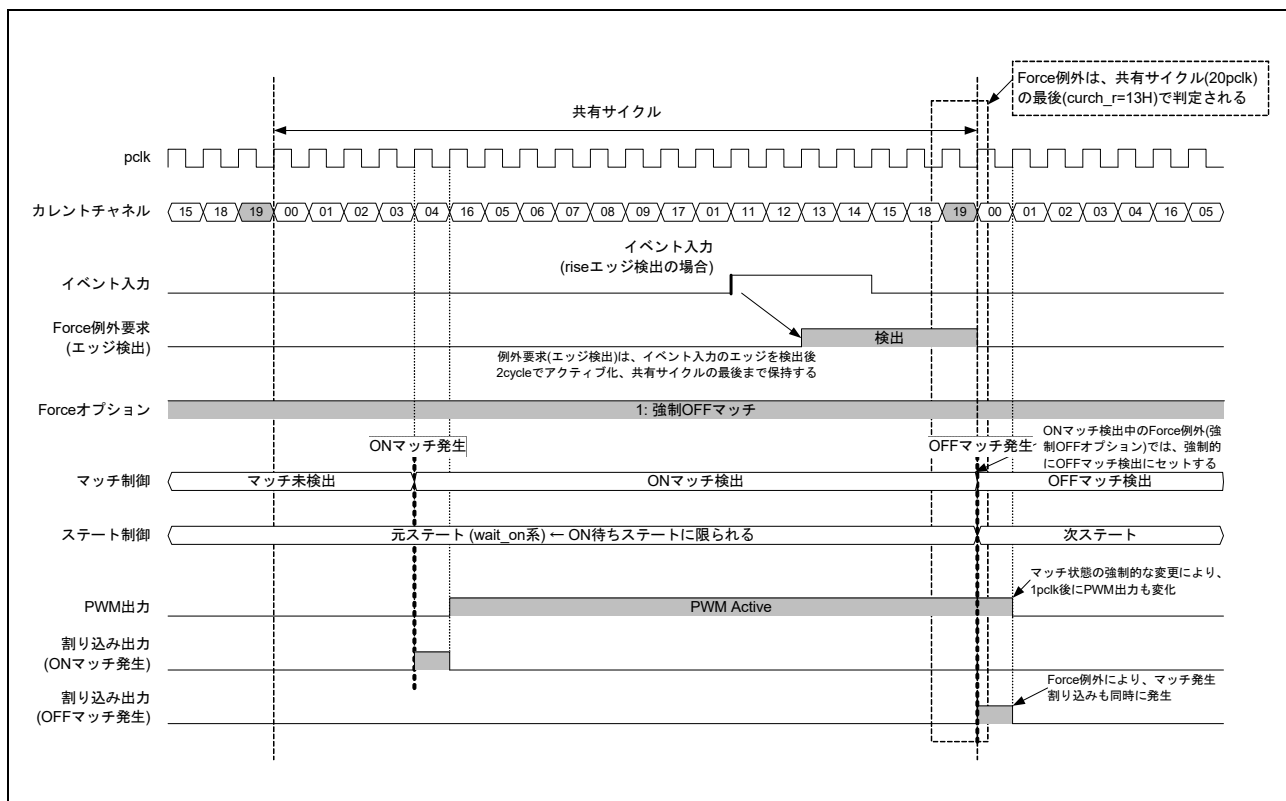


図 22.44 Force 例外 動作 7 (ON マッチ検出と OFF マッチ検出の競合)

(6) Postpone 例外

Postpone 例外は、表 22.64 に示す動作を起こす例外処理です。

表 22.64 Postpone 例外の動作

| 項目 | 説明 |
|-------------------|--|
| 動作 | <ul style="list-style-type: none"> Postpone 例外は、マッチ検出時の動作を一時的に延期させる例外です。 ON マッチ比較動作 (wait_on 系ステート)、OFF マッチ比較動作中 (wait_off 系ステート) を行っているときに有効です。 Postpone 例外がアクティブレベルになり、例外として受理されると、ステート遷移と同時に Postpone 状態フラグ (APAAPPNSTAT レジスタ) を 1 にセットし、マッチ比較器が Postpone 状態である間保持されます。Postpone 例外がインアクティブレベルになると、ステート遷移と同時に Postpone 状態が解除され、APAAPPNSTAT レジスタは 0 にクリアされます。 Postpone 状態にある間は、PWM 出力は変化しません。ただし ON マッチ比較または OFF マッチ比較は行われており、Postpone 状態を解除した次のステートから PWM 出力がマッチ状態に応じて変化します。 Postpone 例外が受理されている間も、ON/OFF マッチ検出または Force 例外入力に応じて ON マッチ割り込みまたは OFF マッチ割り込みが出力されます。 |
| 例外受理時の信号変化 | <p>以下の信号がステート遷移 (共有サイクルの境界) と同時に変化します。</p> <ul style="list-style-type: none"> マッチ制御レジスタ: 変化しない PWM 出力: 変化しない 割り込み出力: 変化しない (Low レベル) slotID: 変化しない Postpone 状態フラグ: 0 → 1 にセット |
| Postpone 状態での信号変化 | <p>以下の信号がステート遷移 (共有サイクルの境界) と同時に変化します。</p> <ul style="list-style-type: none"> マッチ制御レジスタ: マッチ / Force に応じて変化 PWM 出力: 変化しない 割り込み出力: マッチ / Force に応じて変化 slotID: マッチ / Force に応じて変化 Postpone 状態フラグ: 変化しない (1 を保持) |
| Postpone 解除での信号変化 | <p>以下の信号がステート遷移 (共有サイクルの境界) と同時に変化します。</p> <ul style="list-style-type: none"> マッチ制御レジスタ: マッチ / Force に応じて変化 PWM 出力: マッチ状態 / Force に応じて変化 割り込み出力: マッチ / Force に応じて変化 slotID: マッチ / Force に応じて変化 Postpone 状態フラグ: 1 → 0 にクリア |
| 割り当て | <ul style="list-style-type: none"> イベントバス (32 ビット) の中から選択。「22.5.3.2 動作: イベント入力の選択」を参照してください。 エレメントごとに個別に定義します。設定レジスタは APAAELMIDPPN[4:0]。 |
| 検出タイプ | <ul style="list-style-type: none"> レベル検出。High/Low の中から選択。 エレメントごとに定義します。設定レジスタは APAAELMLVPPN。 |
| オプション | <ul style="list-style-type: none"> なし |
| 備考 | <ul style="list-style-type: none"> Postpone 例外はレベル検出であるため、割り当てた信号 (イベント入力または PWM 出力のいずれか 1 つ) は High または Low レベルを 1 共有サイクル (pclk*20) 以上維持する必要があります。入力レベルを 1 共有サイクル以上維持できない場合、Postpone 例外入力として取りこぼす場合があります。 |

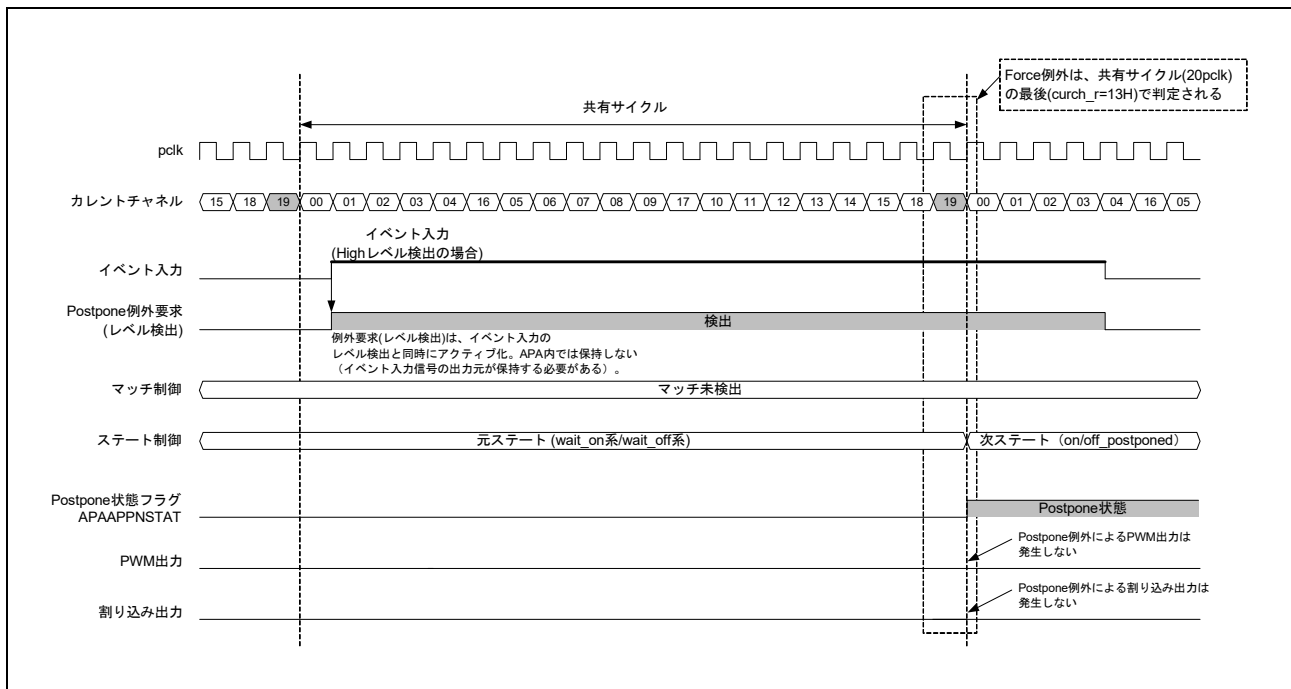


図 22.45 Postpone 例外の受理タイミング

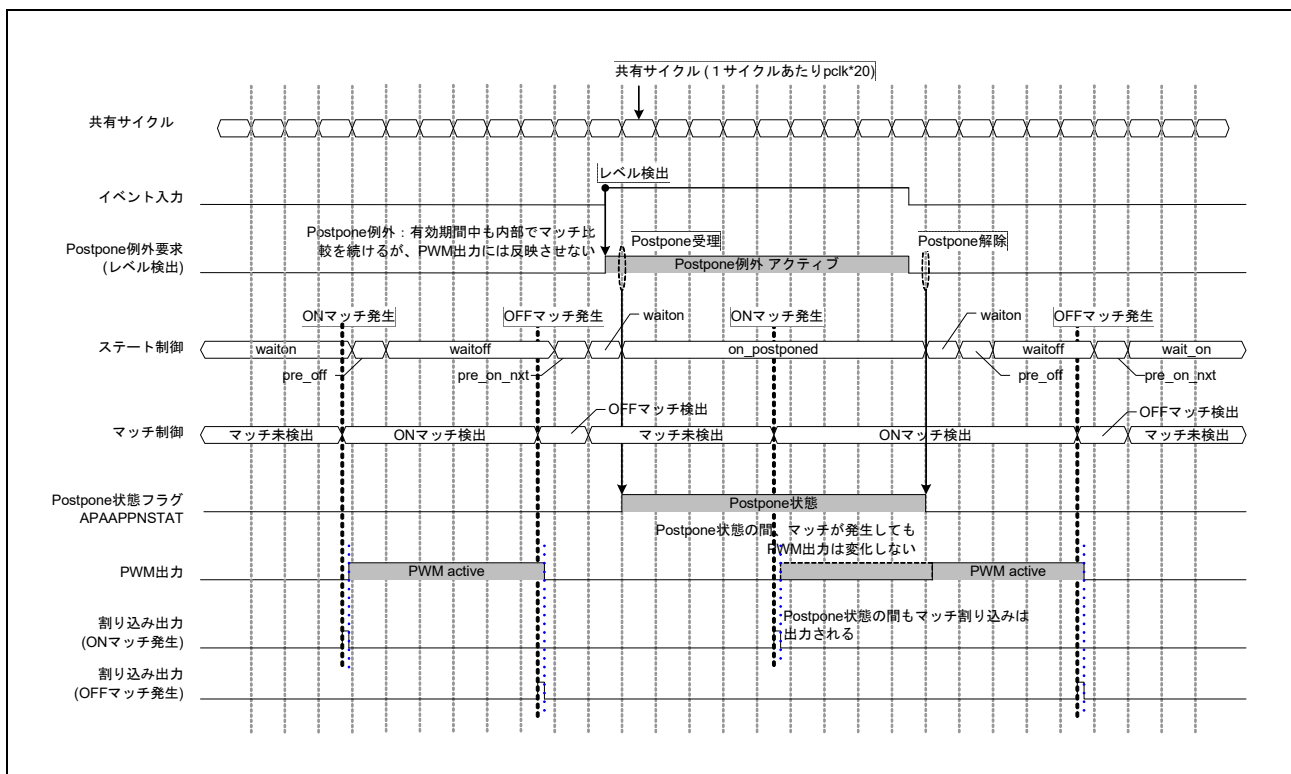


図 22.46 Postpone 例外動作

22.5.4.4 動作：マッチ比較器とイベントデコーダの競合

表 22.52 に示す入力条件が、同一の共有サイクルで複数競合した場合、入力条件ごとに以下の動作となります。

(1) 競合：チャンネル OFF/Stop 例外 /Restart 例外

チャンネル OFF/Stop 例外 /Restart 例外の3つに対しては、以下の優先度で受理されます。

- チャンネル OFF > Stop 例外 > Restart 例外

チャンネル OFF / Stop 例外 / Restart がこれ以外に入力条件と競合していた場合は、チャンネル OFF / Stop 例外 / Restart 例外のいずれか1つのみが上記の優先順位にしたがって受理され、ほかは無視されます。

(2) 競合：Start 例外

Start 例外はステート `dis_wstart` においてのみ受理されますが、Restart 例外と Start 例外が競合している場合は両方とも受理される（このステートにおいての Restart 例外と Start 例外は同一動作となります）。

そのほかのステートでは Start 例外は無視されます。

(3) 競合：Transfer 例外

Transfer 受理可能ないずれかのステートにおいて Transfer が未受理であった場合、ほかの入力条件（チャンネル OFF / Stop 例外 / Restart 例外以外）と無関係に受理される（該当ステートの遷移に影響します）。このときほかの入力条件も受理されます。同様に Transfer 受理可能ないずれかのステートにおいて Transfer 例外が既に受理されており、再度 Transfer が入力された場合は、Transfer 例外は無視されます。

(4) 競合：マッチ検出 / Force 例外

マッチ検出と同一の共有サイクル内で Force 例外が入力された場合は、Force 例外は無視されます。

ただし ON 待ちステートにおいて ON マッチ検出、かつ Force 例外（強制 OFF オプション）が入力された場合は、Force 例外（強制 OFF オプション）も受理されます（図 22.42 参照）。

マッチ未検出かつ Force 例外が入力された場合は、Force 例外が受理されます。

(5) 競合：Postpone 例外（Postpone 解除状態→Postpone 状態）

マッチ未検出、かつ Force 例外が競合していない場合に Postpone 例外は受理されます。

マッチ検出済または Force 例外が競合して入力された場合は、該当ステートでは Postpone 例外は無視されます。

(6) 競合：Postpone 例外（Postpone 状態→Postpone 解除状態）

マッチまたは Force に競合しても、該当する動作はすべて行われます。

22.5.5 エレメント制御

22.5.5.1 特長・機能概要

エレメント RAM および演算器に対する制御信号を生成します。エレメントは全パルス制御チャンネルに対して共有可能とするために、下記の処理・制御を行います。

- 各エレメントの情報を P-Bus 経由で Read/Write 可能です。パルス生成チャンネルでパルス生成を行っていない間は常時 Read/Write 可能です。パルス生成を行っている場合は、パルス生成チャンネルがエレメント RAM にアクセスしていない時間のみ Read/Write 可能です。この時間はイベントバスから生成されたイベント時分割信号にしたがいます。
- 各パルス生成チャンネルからは、Read のみ可能です。パルス生成チャンネルにて ON/OFF マッチまたは例外処理 (Transfer/Restart/Force/Start) が発生した場合、パルス生成チャンネルからエレメント RAM に対して、エレメント更新要求を発生します (=Read 要求)。エレメント更新要求は、イベント時分割信号にしたがった時分割で行われ、P-Bus 経由の Read/Write タイミングやほかのパルス生成チャンネルと重ならないように制御されます。
- 次エレメントにおいてマッチ条件として相対指定がされていた場合、そのままではリファレンス入力と比較できないため、比較基準値 (絶対値) に変換する必要があります。この変換のための演算器 (加算器) をエレメントデコーダ内に備えており、エレメント RAM 共有と同様に各パルス生成チャンネルで共有して使用します。

回路構成は下記のとおりです。

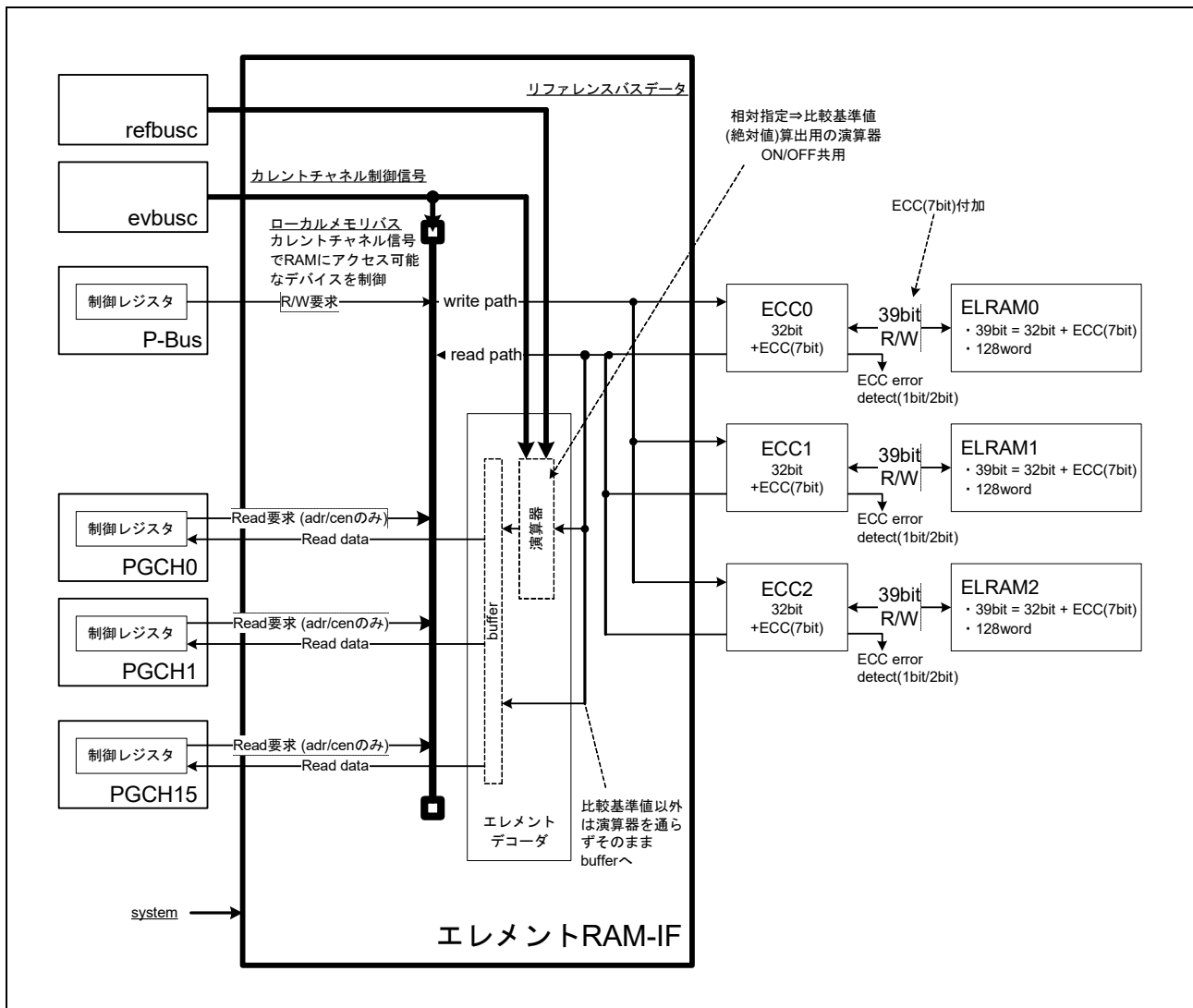


図 22.47 エlement制御回路構成

22.5.5.2 動作

エレメント RAM へのアクセス (from P-Bus、from パルス生成チャンネル 0 ~ 15) は、**図 22.48** のように時分割されます。P-Bus からのアクセスに関しては、エレメント RAM にアクセス許可が出るまで Wait されます。

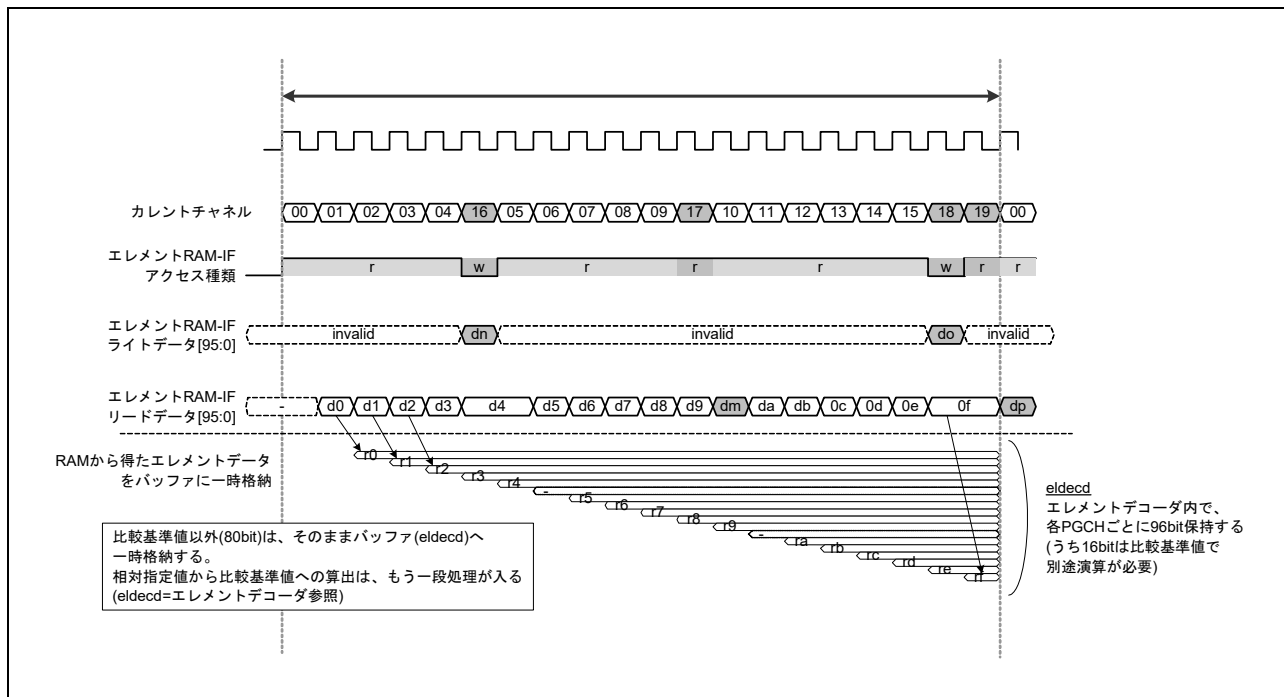


図 22.48 エレメント RAM へのアクセス

22.5.5.3 動作中の開始エレメント番号の変更に関して

パルス生成チャネルの動作中に開始エレメント番号設定ビット

APAA0CCGAn.APAACHNFSTEL[6:0] (n = 0 ~ 15) を書き換えた場合、次に開始エレメント番号が参照するタイミング (pre_on_init ステート) で、書き換え後の設定を反映します。次の開始エレメント番号が参照するタイミングで開始エレメントを変更したい場合は、pre_on_init ステートへの遷移前に APAA0CCGAn.APAACHNFSTEL[6:0] (n = 0 ~ 15) ビットを書き換えてください (図 22.50 参照)。ステートの遷移に関する詳細は、「22.5.4.2 動作：マッチ比較器」の「(2) ステート制御」を参照してください。

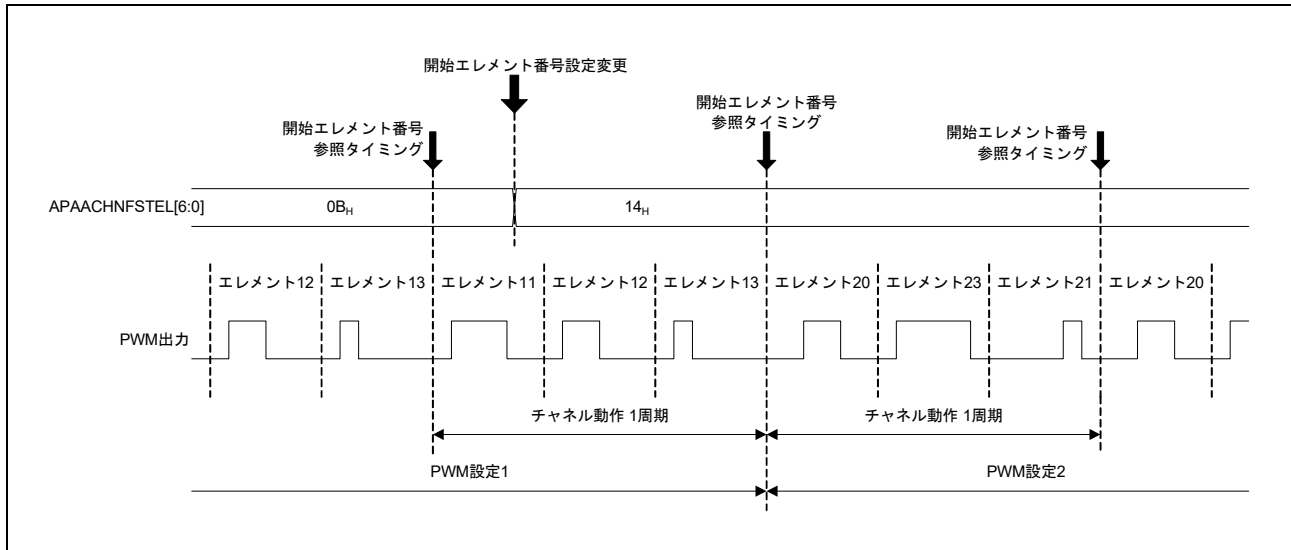


図 22.49 動作中に開始エレメントを変更した場合の動作例

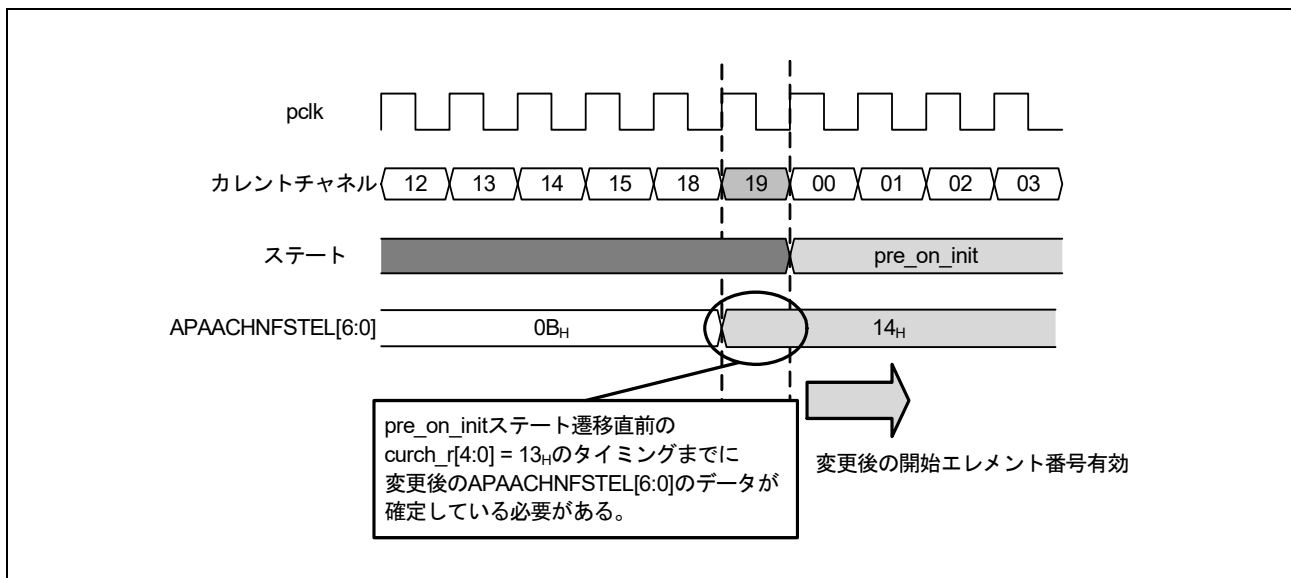


図 22.50 開始エレメント番号の変更タイミング

動作中に開始エレメント番号と未使用のエレメント RAM の両方を書き換える場合のフローを図 22.51 に示します。以下のフローに従わない場合、パルス生成チャンネルが意図しない動作をする可能性があります。

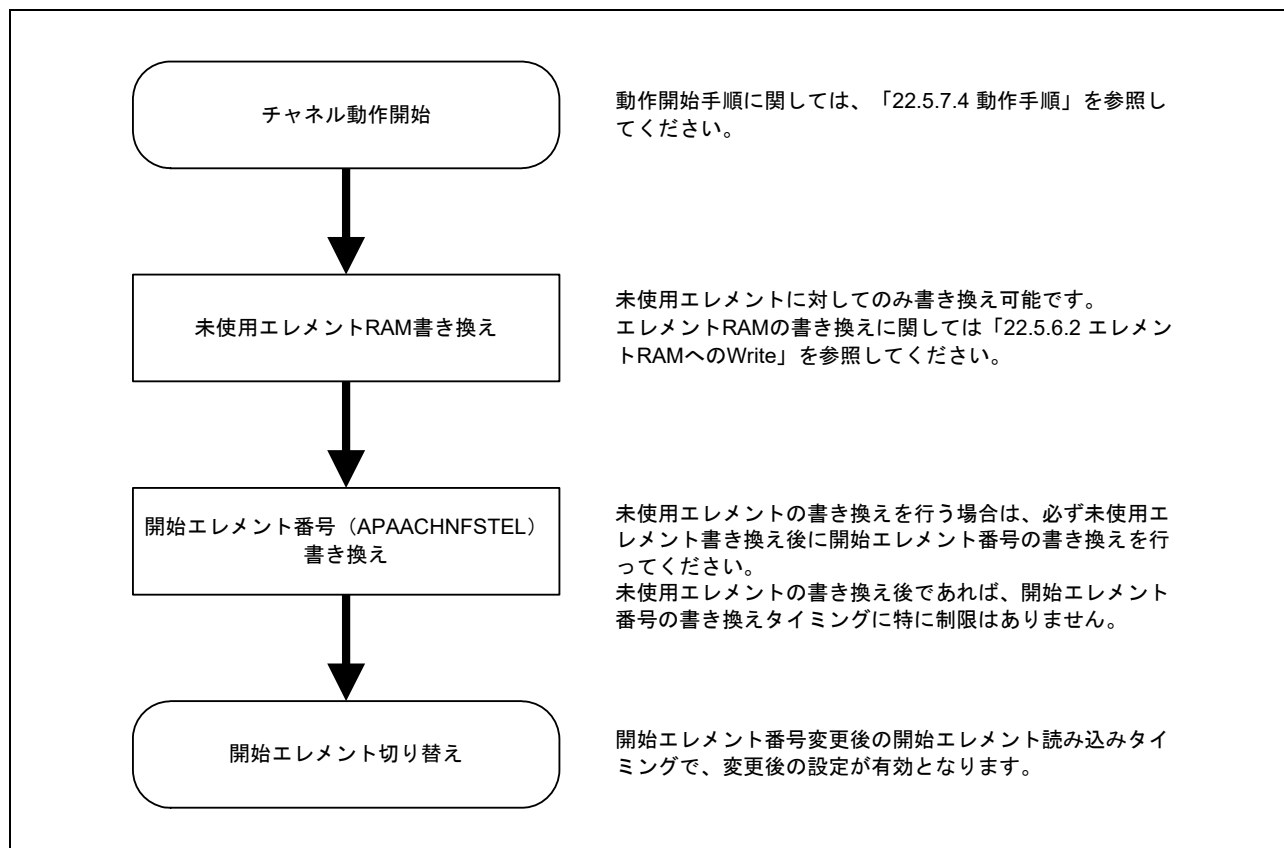


図 22.51 動作中に開始エレメントと未使用エレメントを変更する場合のフロー

22.5.5.4 動作：エレメントデコーダ

例外処理またはマッチ発生となうエレメント更新処理において、エレメント RAM から Read したエレメント内のマッチ条件指定が相対指定であった場合、相対指定の定義上そのままリファレンス入力と比較できないので、比較基準値 (= 絶対値) への変換処理が必要となります。エレメントデコーダでは、変換時に使用する演算器を各パルス生成チャンネルで共有するための回路。以下の動作を行います。

- 絶対指定の場合は変換しません。
- 相対比較の場合、マッチ検出を開始する時点での指定リファレンス値を基準に算出します。
- 相対指定の場合、リファレンス入力は下記に当てはまる動作でなければなりません (図 22.52)。
 - 常に+側に増加する波形 (ノコギリ波)
 - max 値が変動しない
- 相対指定→比較基準値への変換においてオーバーフローが起こった場合は、最大値を超えた分が比較基準値となります (図 22.53)。最大値はリファレンスごとにあらかじめ設定される必要があります。
- 相対指定の場合、max 値の設定 (APAA0RFMX0/1/sw レジスタ) が、以下の条件に合致しなければなりません (図 22.53)。
 - 相対指定値 (APAAELMRBDATON[15:0] または APAAELMRBDATOFF[15:0]) は、リファレンス入力を取り得る最大値を超えてはなりません。
 - max 値は、対応するリファレンス入力を取り得る最大値と一致していなければなりません。対応するリファレンス入力の元となるカウンタが APA のダイナミックレンジよりも大きい場合、元となるカウンタのオーバーフロー時の APA のリファレンス入力の値との関係性に注意が必要です。
- 相対指定は、リファレンス 0, 1, sw のみ使用可能です。リファレンス 2～9 に対して相対指定を行った場合は、指定値がそのまま比較基準値として使用されます。

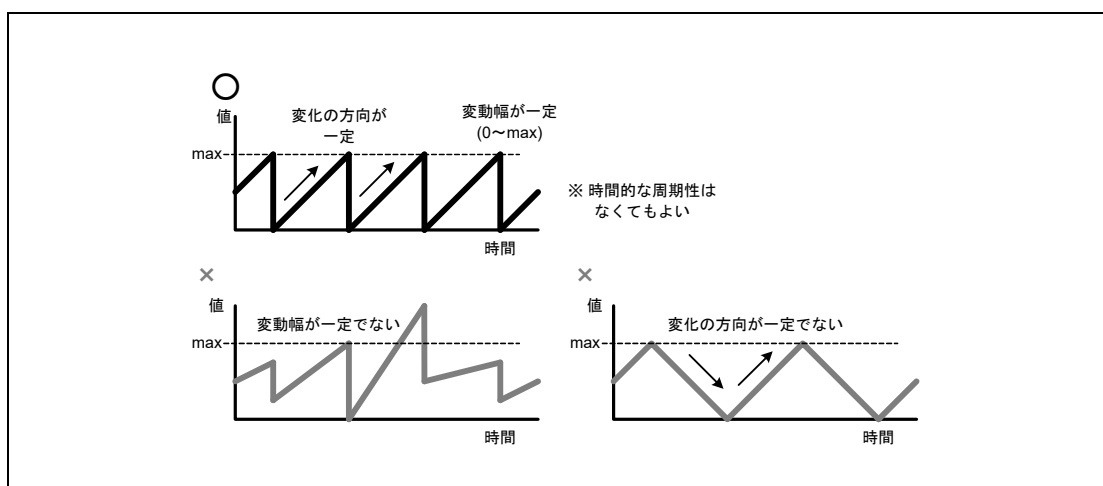


図 22.52 相対指定に適したリファレンス動作波形

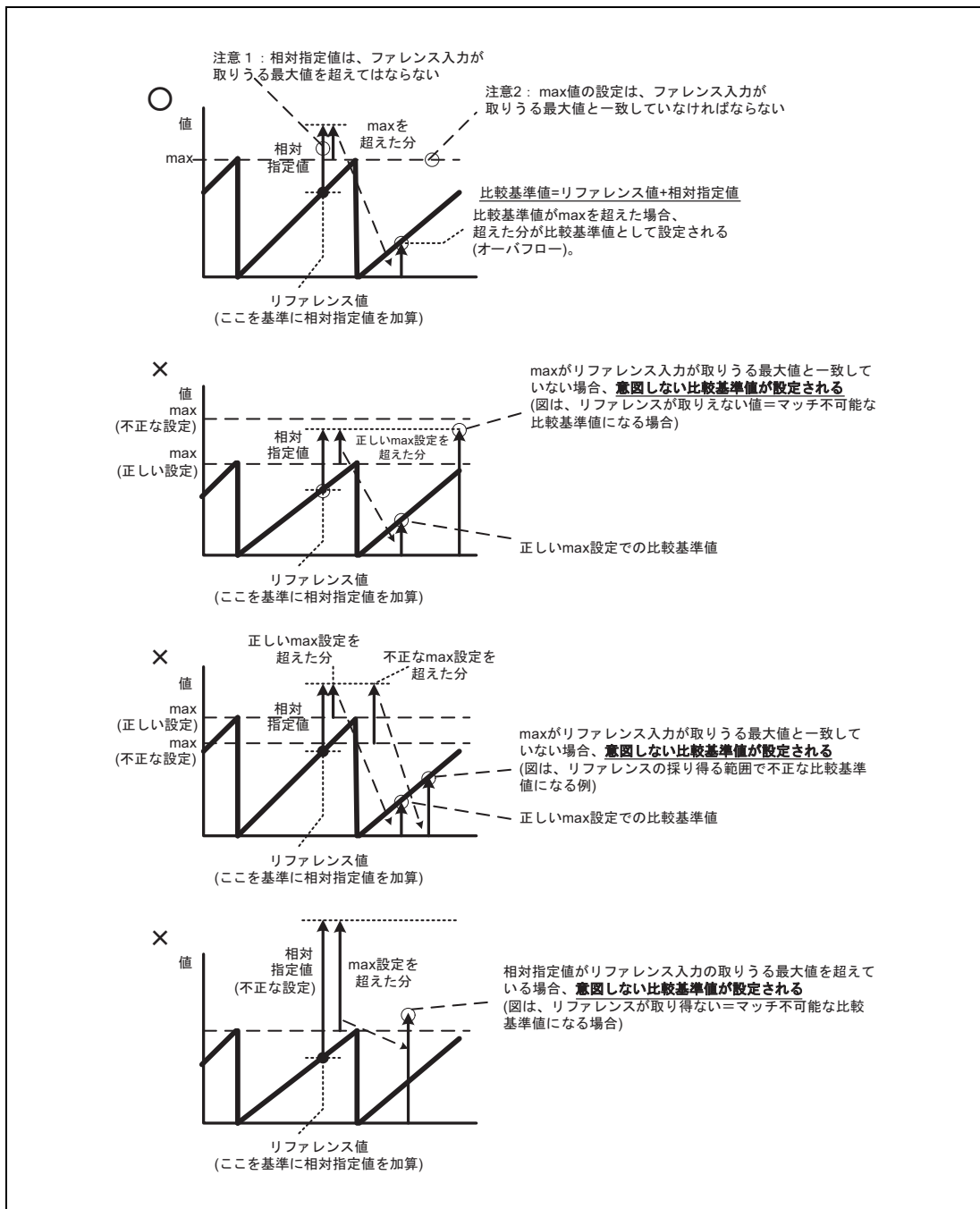


図 22.53 相対指定におけるオーバーフロー時の処理

22.5.6 P-Bus-I/F

22.5.6.1 特長・機能概要

APA 内部の各種制御レジスタ (表 22.8、表 22.14、表 22.20、表 22.27、表 22.43 参照) は P-Bus 経由で R/W 可能であり、それらの制御レジスタの実体を P-Bus-I/F 内に持ちます。リファレンスバスやイベントバスなどの各種サブモジュールに対する制御信号を P-Bus-I/F で生成します。

22.5.6.2 エlement RAM への Write

- エlement RAM はパルス生成チャンネルからも Read するので、RAM へのアクセスはパルス生成チャンネルが使っていない時間に限られます。イベント時分割のタイミングにしたがい、パルス生成チャンネルに割り当てられていないイベントスロットのみ Read/Write 可能です。
- エlement RAM への Write は 3 ワード (上位 32 ビット / 中位 32 ビット / 下位 32 ビット) 分のデータを Write することでエlement データを蓄積し、エlement RAM への Write 準備が整います。3 ワードの順番は下位 32 ビット → 中位 32 ビット → 上位 32 ビットの順番に連続して Write します。順番が異なったり、エlement 番号が途中で変わったり、途中で Read した場合には、意図しないデータが Write されます。
- Write 準備完了後、P-Bus に優先権のあるイベントスロットが来るまで wait 期間が発生します。wait 期間は APAA0EN レジスタの値によって異なり、APAACMENAPA = 0 の場合 3PCLK、APAACMENAPA = 1 の場合 3 ~ 9PCLK となります。
- イベントスロットが空き次第、エlement RAM へ Write します。(1 サイクル)
- 動作中の本レジスタへの Write は、未使用のエlement に対してのみ可能とします。使用中にエlement へ Write を行った場合、動作中のパルス生成チャンネルが意図しない動作となる可能性があります。

22.5.6.3 エlement RAM からの Read

- Write と同じく、イベントバスからの時分割制御にしたがいます。(パルス生成チャンネルが使っていない時間のみアクセス可能です。)
- エlement RAM への Read は、どこからでも読むことができます。
- RAM から Read したエlement データ (96 ビット) はバッファ (read buffer) にストアしておきます。別のエlement を Read (または Read した同一アドレスに対する Write) が発生するまで保持しておきます。
- バッファにストアしていないアドレスにアクセスする場合、P-Bus に優先権のあるイベントスロットが来るまで wait 期間が発生します。wait 期間は APAA0EN レジスタの値によって異なり、APAACMENAPA = 0 の場合 3PCLK、APAACMENAPA = 1 の場合 3 ~ 9PCLK となります。
バッファにストアしているアドレスにアクセスする場合、APAACMENAPA の設定にかかわらず wait は発生しません。

22.5.7 使用上の注意事項

22.5.7.1 マッチ条件の設定 1

ON マッチ⇔OFF マッチ間の条件設定は、リファレンスの分解能を考慮したうえで、共有サイクル×2サイクル (pclk * 40 サイクル) 以上のパルス幅となるようなマッチ条件を設定してください。

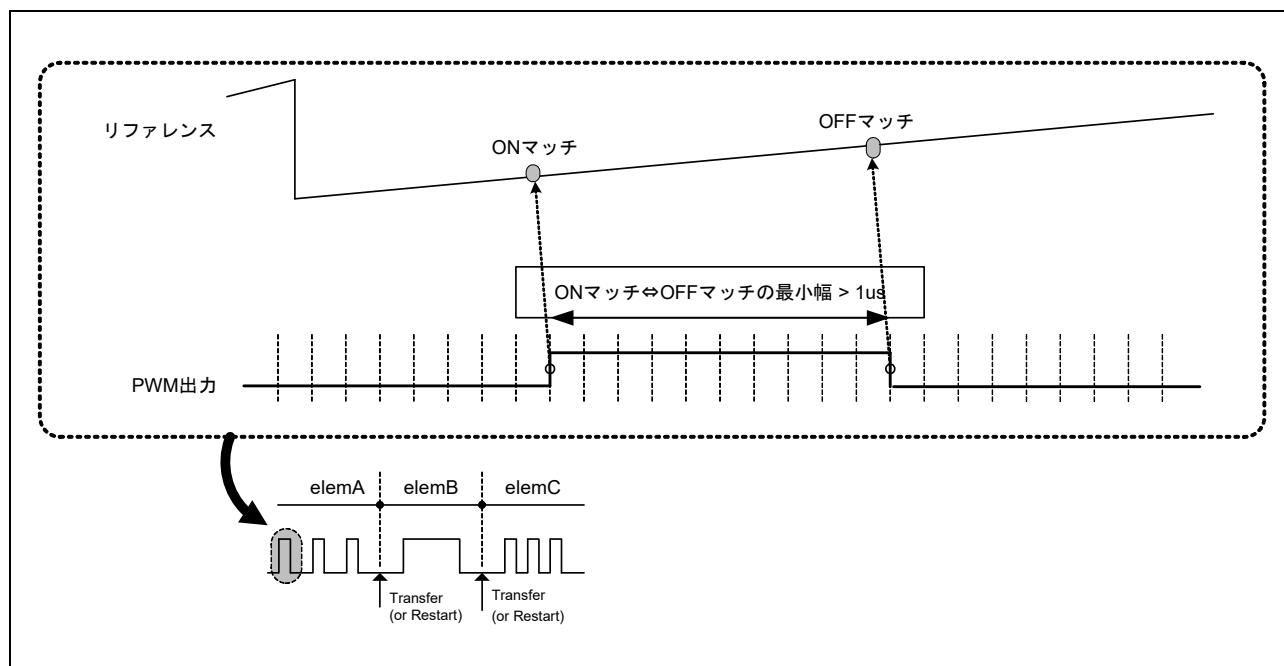


図 22.54 マッチ条件設定の制限

22.5.7.2 マッチ条件の設定 2 (ADC 入力)

リファレンス入力が離散値をとる場合 (例: ADC)、マッチ条件指定 (APAAELMMCON[1:0] もしくは APAAELMMCOFF[1:0]) は、“>” もしくは “<” を使用することを推奨します。(離散値の場合、“=” 指定では意図どおりマッチしない可能性があるためです)。

22.5.7.3 イベント入力の間隔

複数のエレメントにわたって同一のイベント入力を例外処理に使用したい場合は、共有サイクル×1サイクル (pclk*20 サイクル) 以上の間隔をあけて入力してください。これ以下の間隔では、あとに発生したパルス (イベント入力) の取りこぼしが発生する可能性があります。

22.5.7.4 動作手順

APA を用いたパルス生成を行う場合、汎用的なレジスタ/エレメント設定は下記の手順で行ってください。下記 3～8 の設定は、リファレンス・イベントバス = 停止、かつ全パルス生成チャンネル = 停止状態において行ってください。(そうでない場合、意図しない誤動作を引き起こす可能性があり、動作を保証できません。)

表 22.65 標準的な設定・動作手順

| 設定手順 | 設定項目 | 設定・操作例 | 備考 |
|------|----------------------|--|---|
| 1 | a. リファレンスバス設定 | レジスタ APAA0RFMX0 ~ sw 設定 | |
| | b. イベントバス設定 | レジスタ APAA0EVSL00 ~ 15、APAA0EVSW、APAA0EVSC 設定 | |
| | c. パルス生成チャンネル設定 | レジスタ APAA0CCGAn, APAA0CCGBn 設定 | 左記 n は、0 ~ 15 のうち使用するチャンネル番号。使用するパルス生成チャンネルすべてを設定。 |
| | d. エレメント RAM 設定 | レジスタ APAA0ELMAn, APAA0ELMBn, APAA0ELMCn 設定 | 左記 n は、000 ~ 127 のうち使用するエレメント番号。使用するエレメントすべてを設定。 |
| 2 | a. リファレンス・イベントバス動作許可 | レジスタ APAA0EN = 1 | |
| 3 | a. パルス生成チャンネル動作許可 | レジスタ APAA0CHEN 設定 | 設定値 = **** (write_mask)_****H (動作させるチャンネル)。動作させるチャンネルに対応したビットに 1、対応する write_mask のビットに 1 に設定します。 |
| 4 | a. マッチ比較開始 | — | Start 例外の発生待ち。 備考 APAA0CCGBn.APAACHNOPSTR = 0 の場合、Start 例外の発生を待って動作を開始します。 このとき、イベント入力から動作開始まで最大 20pclk の待ち時間が発生します。 |
| 5 | a. マッチ比較実行 | — | エレメント実行 |
| 6 | a. マッチ比較終了 | — | エレメント実行終了または Stop 例外による中断 |
| 7 | a. チャンネル動作停止 | レジスタ APAA0CHEN 設定 | 設定値 = **** (write_mask)_****H (動作させるチャンネル)。動作させるチャンネルに対応したビットに 0、対応する write_mask のビットに 1 に設定します。 |
| 8 | a. チャンネル動作停止確認 | レジスタ APAA0CSTAn Read | 全パルス生成チャンネルを停止 (上記 7) させ 40pclk 以上経過したあと、APAA0CSTAn.APAACMPSTAT[4:0] ビットを Read し、マッチ比較器の状態が disable ステートであることを確認します。 |
| | b. リファレンス・イベントバス動作停止 | レジスタ APAA0EN = 0 | 全パルス生成チャンネルを停止を確認後 (上記 8-a)、レジスタ APAA0EN = 0 に設定します。 |

22.5.7.5 例外未使用時の処置

チャンネル・エレメント設定において未使用にしたい例外処理がある場合、以下の処置 1、処置 2 を実施してください。

(1) 処置 1：未使用例外のためのイベント入力割り当て

未使用の例外に対し、意図しないエッジ検出・レベル検出を防ぐため、以下の処置を行ってください。

- イベント入力 64 チャンネル (外部イベント入力 58 チャンネル、またはソフトウェアイベント 6 チャンネル) のうち 1 チャンネルを未使用例外の処置のために使用します。
- イベント入力セクタを 16 チャンネルのうち 1 チャンネルを、未使用例外の処置専用で使用します。

備 考

レベルで入力する例外 (Postpone) の未使用例外の端子処置を行う場合には有効となるレベルに注意してください。

(2) 処置 2：未使用の例外処理を、未使用例外の処置用イベント入力に設定

未使用の例外に対し、上記の処置 1 で確保したイベント入力 (1 チャンネル) とイベント入力セクタ (1 チャンネル) の反転論理を設定します。

表 22.66 意図しない例外処理を防ぐ設定例

| 設定手順 | 設定項目 | レジスタ | 設定値 | 備考 |
|------|---------------|-------------|------------------------|--|
| 1 | a. イベントバス設定 | APAA0EVSL12 | 0000 0039 _H | 選択イベント入力 12 に外部イベント要因 57 を割り当て |
| | b. エレメントRAM設定 | APAA0ELMA10 | 301C 0A00 _H | リファレンス 3、絶対指定、条件 = 「< 0A00 _H 」 最終エレメント、エレメント継続 |
| | | APAA0ELMB10 | 001A 0B00 _H | リファレンス 3、絶対指定、条件 = 「> 0B00 _H 」 |
| | | APAA0ELMC10 | 7F1C 1C3C _H | 例外処理に以下の設定を行います。 <ul style="list-style-type: none"> • Transfer：外部イベント要因 57 rise • Force：外部イベント要因 57 rise • Postpone：外部イベント要因 57 high → 上記 3 種の例外を無効化可能 |

備考 上表は、エレメント 10 において Transfer/Force/Postpone 例外を使用しない場合の設定例です。「22.5.7.4 動作手順」の標準的な動作手順に基づきます。

22.5.7.6 割り込み出力に対する制限

下記の条件において、割り込み出力が連続し、2回の割り込み出力が1回となります。この設定が該当する場合、注意が必要です。

| 項目 | 説明 |
|----|--|
| 設定 | APAA0CCGA レジスタの APAACHNINTSEL[2:0] を以下の設定にした場合 100 _B (ON マッチ /OFF マッチどちらか発生時に割り込み出力) |
| 条件 | ON マッチ発生の直後 1pclk で Force 例外 (強制 OFF マッチオプション) が受理され、OFF マッチが発生した場合 |
| 動作 | 割り込み出力が連続し、1回となります。 |
| 備考 | 割り込み出力において、ON マッチ /OFF マッチのどちらかで割り込み発生させる回路は、ON マッチ発生割り込みと OFF マッチ発生割り込みの OR によって生成する回路構成となっているため。 |

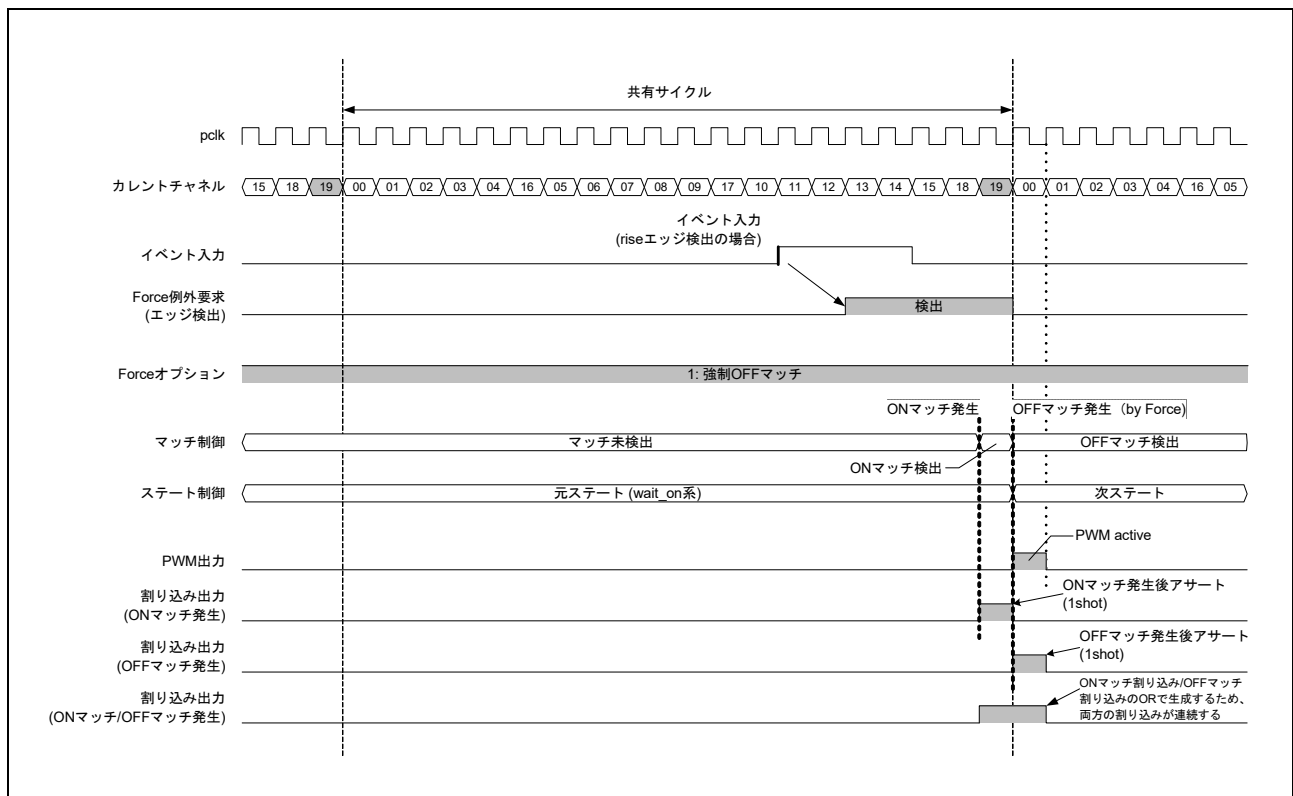


図 22.55 ON マッチ / OFF マッチ発生割り込みの連続

22.5.8 APA 入力セクタ

APA 入力セクタについて以下に示します。

22.5.8.1 ブロック構成図

APA 入力セクタのブロック構成図の概略を **図 22.56** に示します。

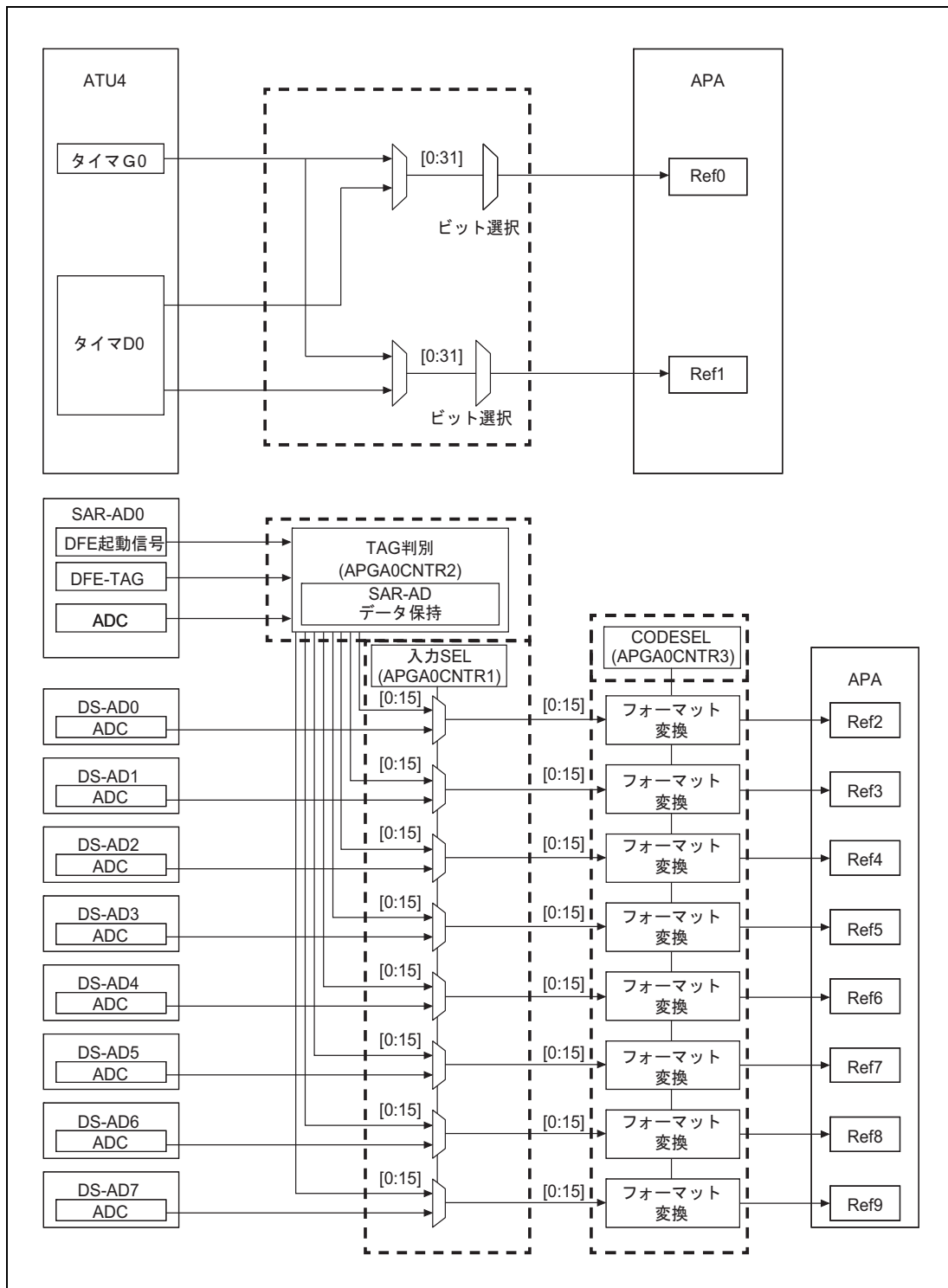


図 22.56 APA 入力セクタのブロック構成

22.5.8.2 レジスタ一覧

APA 入力セクタのレジスタアドレスは、ベースアドレス FFED C000_H からのオフセットで表されます。レジスタ一覧を以下に記載します。

表 22.67 APA 入力セクタのレジスタ

| オフセット アドレス | シンボル | レジスタ名 | リセット後の値 | アクセス サイズ | 機能 |
|-------------------|------------|----------------------------|------------------------|-------------|---|
| 0000 _H | APGA0CNTR0 | APGA0 レジスタコントロール レジスタ 0 | 00 _H | 8 | ATU-IV – APA の接続における、カウンタの選択とビットシフトの種類を選択 |
| 0004 _H | APGA0CNTR1 | APGA0 レジスタコントロール レジスタ 1 | 00 _H | 8 | AD からのリファレンスチャネル 2 ~ 5 については DS-AD、SAR-AD0 のどちらを使用するか選択 |
| 0005 _H | APGA0CNTR3 | APGA0 レジスタコントロール レジスタ 3 | FF _H | 8 | フォーマット変換の有無を選択 |
| 0008 _H | APGA0CNTR2 | APGA0 レジスタコントロール レジスタ 2 | 0000 0000 _H | 32 | SAR-AD0 で使用するチャネル (DFE-TAG) の選択 |

22.5.8.3 機能詳細

APA 入力セクタの各モジュールの機能の詳細について記載します。

(1) APA リファレンスデータ選択制御モジュール

本モジュールの機能について以下に記載します。

- ATU-IV – APA の接続における、カウンタの選択とビットシフトの種類を選択を行います。
- APA に出力するカウンタの選択と、選択したカウンタ (32 ビット) から 16 ビットを選択する機能です。
- APA のリファレンス (チャンネル 0)、リファレンス (チャンネル 1) に出力する ATU4 のカウンタを選択します。

リファレンス (チャンネル 0) に対しては以下の 2 種類からの選択します。

- ATU-IV タイマ G の TCNTG0
- ATU-IV タイマ D の TCNT1D0

リファレンス (チャンネル 1) に対しては以下の 2 種類からの選択します。

- ATU-IV タイマ G の TCNTG0
- ATU-IV タイマ D の TCNT2D0

選択された各カウンタの値は 0 ~ 5 ビットの範囲で任意のビットシフトさせた選択が可能です。また、8 ビット、16 ビットのシフトが可能です。

APGA0 レジスタコントロールレジスタ 0 (APGA0CNTR0) で、使用する ATU-IV のカウンタ種類の選択が可能です。

APA の動作中の書き換えは禁止します。

(a) APGA0CNTR0 — APGA0 レジスタコントロールレジスタ 0

| | | | | | | | | |
|---------|----------|----------|-----|-----|----------|----------|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | REF_SEL1 | BIT_SEL1 | | | REF_SEL0 | BIT_SEL0 | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 22.68 APGA0CNTR0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|--|
| 7 | REF_SEL1 | APA のリファレンス (チャンネル 1) に出力するカウンタを選択します。 0 : ATU タイマ G の TCNTG0 1 : ATU タイマ D の TCNT2D0 |
| 6 ~ 4 | BIT_SEL1 | APA のリファレンス (チャンネル 1) に出力するカウンタの 16 ビット選択 000 : シフトなし 001 : 1 ビットシフト 010 : 2 ビットシフト 011 : 3 ビットシフト 100 : 4 ビットシフト 101 : 5 ビットシフト 110 : 8 ビットシフト (中央 16 ビット) 111 : 16 ビットシフト (上位 16 ビット) |
| 3 | REF_SEL0 | APA のリファレンス (チャンネル 0) に出力するカウンタを選択します。 0 : ATU タイマ G の TCNTG0 1 : ATU タイマ D の TCNT1D0 |
| 2 ~ 0 | BIT_SEL0 | APA のリファレンス (チャンネル 0) に出力するカウンタの 16 ビットを選択します。 000 : シフトなし 001 : 1 ビットシフト 010 : 2 ビットシフト 011 : 3 ビットシフト 100 : 4 ビットシフト 101 : 5 ビットシフト 110 : 8 ビットシフト (中央 16 ビット) 111 : 16 ビットシフト (上位 16 ビット) |

(2) AD リファレンスの選択

APA の AD からのリファレンスチャンネル 2～9 については DS-AD、SAR-AD0 のどちらかを使用するか選択が可能です。入力されたデータはフォーマット変換を行います。また、SAR-AD0 を使用する場合には DFE で使用している DFE TAG から使用するチャンネルを判別し、指定チャンネルのデータを保持、出力します。

- リファレンスの選択は、APA の動作中の書き換えは禁止します。

(a) APGA0CNTR1 — APGA0 レジスタコントロールレジスタ 1

APGA0 レジスタコントロールレジスタ 1 (APGA0CNTR1) で、使用する AD の種類を選択できます。

| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----------|----------|----------|----------|----------|----------|----------|----------|
| | REF_SEL9 | REF_SEL8 | REF_SEL7 | REF_SEL6 | REF_SEL5 | REF_SEL4 | REF_SEL3 | REF_SEL2 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

注 意

本製品では、APA のリファレンスとして SAR-AD0 を使用することはできないため、本レジスタはリセット後の値 00_H でご使用下さい。

表 22.69 APGA0CNTR1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 | REF_SEL9 | APA Ref9 に入力する AD データを選択します。 0 : DS-AD7 1 : SAR-AD0 TAG_SEL9 と一致する TAG のデータ |
| 6 | REF_SEL8 | APA Ref8 に入力する AD データを選択します。 0 : DS-AD6 1 : SAR-AD0 TAG_SEL8 と一致する TAG のデータ |
| 5 | REF_SEL7 | APA Ref7 に入力する AD データを選択します。 0 : DS-AD5 1 : SAR-AD0 TAG_SEL7 と一致する TAG のデータ |
| 4 | REF_SEL6 | APA Ref6 に入力する AD データを選択します。 0 : DS-AD4 1 : SAR-AD0 TAG_SEL6 と一致する TAG のデータ |
| 3 | REF_SEL5 | APA Ref5 に入力する AD データを選択します。 0 : DS-AD3 1 : SAR-AD0 TAG_SEL5 と一致する TAG のデータ |
| 2 | REF_SEL4 | APA Ref4 に入力する AD データを選択します。 0 : DS-AD2 1 : SAR-AD0 TAG_SEL4 と一致する TAG のデータ |
| 1 | REF_SEL3 | APA Ref3 に入力する AD データを選択します。 0 : DS-AD1 1 : SAR-AD0 TAG_SEL3 と一致する TAG のデータ |
| 0 | REF_SEL2 | APA Ref2 に入力する AD データを選択します。 0 : DS-AD0 1 : SAR-AD0 TAG_SEL2 と一致する TAG のデータ |

(b) APGA0CNTR2 — APGA0 レジスタコントロールレジスタ 2

APGA0 レジスタコントロールレジスタ 2 (APGA0CNTR2) で、SAR-AD0 で使用するチャンネル (DFE-TAG) の選択が可能です。SAR-AD0 で使用するチャンネルは DFE-TAG と DFE 起動信号での識別となります。チャンネルではないので注意します。

APA の動作中の書き換えは禁止です。

| | | | | | | | | | | | | | | | | |
|---------|-----------------|-----|-----|-----|-----------------|-----|-----|-----|-----------------|-----|-----|-----|-----------------|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | SARAD0_TAG_SEL9 | | | | SARAD0_TAG_SEL8 | | | | SARAD0_TAG_SEL7 | | | | SARAD0_TAG_SEL6 | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | SARAD0_TAG_SEL5 | | | | SARAD0_TAG_SEL4 | | | | SARAD0_TAG_SEL3 | | | | SARAD0_TAG_SEL2 | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 22.70 APGA0CNTR2 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------------|---|
| 31 ~ 28 | SARAD0_TAG_SEL9 | REF_SEL9 = 1 の場合に使用する SAR-AD0 のデータを選択します。指定値と同一の DFTAG データの選択となります。 |
| 27 ~ 24 | SARAD0_TAG_SEL8 | REF_SEL8 = 1 の場合に使用する SAR-AD0 のデータを選択します。指定値と同一の DFTAG データの選択となります。 |
| 23 ~ 20 | SARAD0_TAG_SEL7 | REF_SEL7 = 1 の場合に使用する SAR-AD0 のデータを選択します。指定値と同一の DFTAG データの選択となります。 |
| 19 ~ 16 | SARAD0_TAG_SEL6 | REF_SEL6 = 1 の場合に使用する SAR-AD0 のデータを選択します。指定値と同一の DFTAG データの選択となります。 |
| 15 ~ 12 | SARAD0_TAG_SEL5 | REF_SEL5 = 1 の場合に使用する SAR-AD0 のデータを選択します。指定値と同一の DFTAG データの選択となります。 |
| 11 ~ 8 | SARAD0_TAG_SEL4 | REF_SEL4 = 1 の場合に使用する SAR-AD0 のデータを選択します。指定値と同一の DFTAG データの選択となります。 |
| 7 ~ 4 | SARAD0_TAG_SEL3 | REF_SEL3 = 1 の場合に使用する SAR-AD0 のデータを選択します。指定値と同一の DFTAG データの選択となります。 |
| 3 ~ 0 | SARAD0_TAG_SEL2 | REF_SEL2 = 1 の場合に使用する SAR-AD0 のデータを選択します。指定値と同一の DFTAG データの選択となります。 |

(3) AD リファレンスのフォーマット変換

各 AD からのリファレンス入力について符号付きデータが入力されることを想定していますが、APA の大小比較は符号なしデータのみを対象とします。このため、各 AD からのリファレンス入力に対しては以下のフォーマット変換が必要となります。

- ハードウェア的には、MSB を反転します。

| AD 出力 | | APA 入力 | |
|-------------------|--------|-------------------|-------|
| 16 進数 | 10 進数 | 16 進数 | 10 進数 |
| 7FFF _H | +32767 | FFFF _H | 65535 |
| ~ | ~ | ~ | ~ |
| 0001 _H | 1 | 8001 _H | 32769 |
| 0000 _H | 0 | 8000 _H | 32768 |
| FFFF _H | -1 | 7FFF _H | 32767 |
| ~ | ~ | ~ | ~ |
| 8000 _H | -32768 | 0000 _H | 0 |

注 意

SAR-AD からのデータは、符号は必ず 0 が入力されます（使用時にデータフォーマットは合わせることをユーザに通知することが必要です）。そのため、APA でのエレメント設定時には最上位ビットは必ず 8000_H 以上を指定する必要があります。

(a) APGA0CNTR3 — APGA0 レジスタコントロールレジスタ 3

| | | | | | | | | |
|---------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CODE_SEL9 | CODE_SEL8 | CODE_SEL7 | CODE_SEL6 | CODE_SEL5 | CODE_SEL4 | CODE_SEL3 | CODE_SEL2 |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 22.71 APGA0CNTR3 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|--|
| 7 | CODE_SEL9 | APA Ref9 に入力する AD データの符合変換の有無を選択します。 0: 符合変換を行わない 1: 符合変換を行う |
| 6 | CODE_SEL8 | APA Ref8 に入力する AD データの符合変換の有無を選択します。 0: 符合変換を行わない 1: 符合変換を行う |
| 5 | CODE_SEL7 | APA Ref7 に入力する AD データの符合変換の有無を選択します。 0: 符合変換を行わない 1: 符合変換を行う |
| 4 | CODE_SEL6 | APA Ref6 に入力する AD データの符合変換の有無を選択します。 0: 符合変換を行わない 1: 符合変換を行う |
| 3 | CODE_SEL5 | APA Ref5 に入力する AD データの符合変換の有無を選択します。 0: 符合変換を行わない 1: 符合変換を行う |
| 2 | CODE_SEL4 | APA Ref4 に入力する AD データの符合変換の有無を選択します。 0: 符合変換を行わない 1: 符合変換を行う |
| 1 | CODE_SEL3 | APA Ref3 に入力する AD データの符合変換の有無を選択します。 0: 符合変換を行わない 1: 符合変換を行う |
| 0 | CODE_SEL2 | APA Ref2 に入力する AD データの符合変換の有無を選択します。 0: 符合変換を行わない 1: 符合変換を行う |

22.5.8.4 動作概要

(1) APA リファレンスデータ選択制御モジュール

APA リファレンスデータ選択制御モジュールのブロック図を図 22.57 に記載します。

ATU-IV タイマから入力されるタイマ G、タイマ D のチャンネル 1、2 を APGA0CNTR0 レジスタで制御して、APA のリファレンス (チャンネル 0)、リファレンス (チャンネル 1) へ出力する ATU-IV のカウンタを選択します。

接続されるカウンタのカウンタ周期よりもリファレンス入力の分解能が高くなるようにビット選択を行う必要があります。

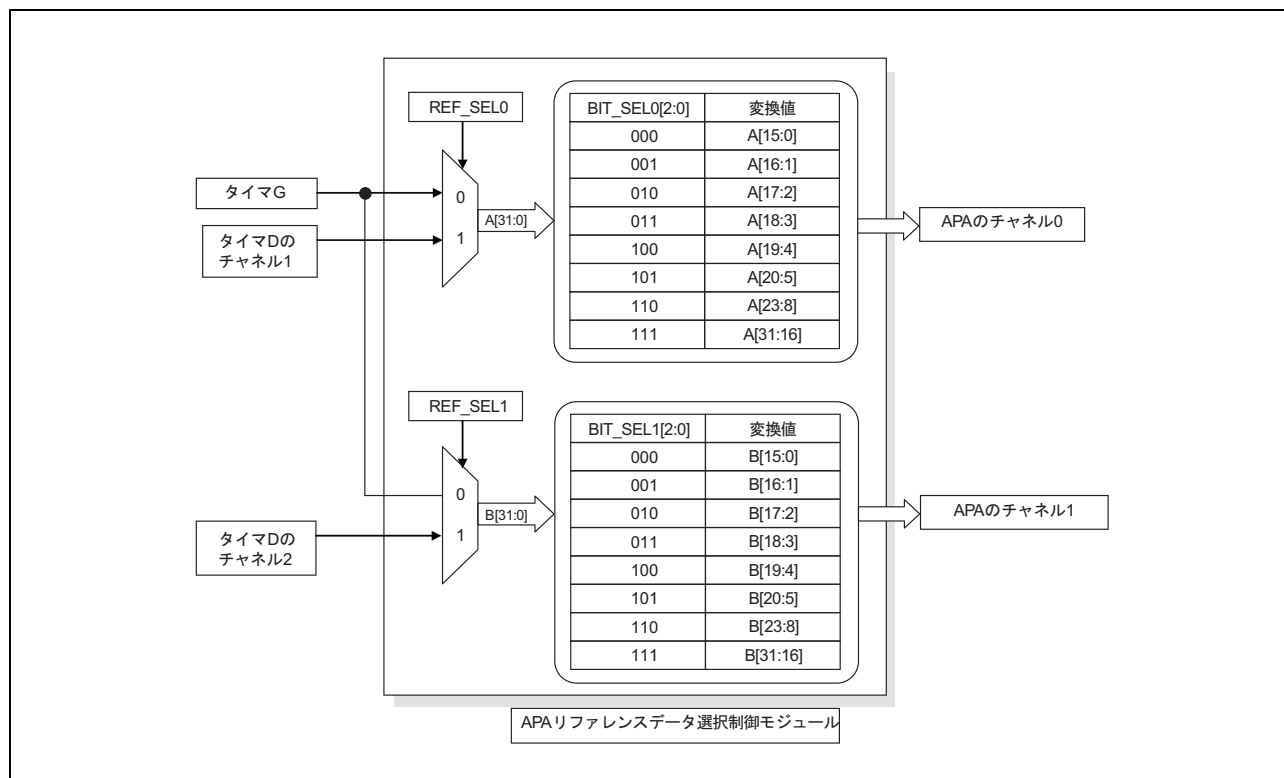


図 22.57 APA リファレンス選択制御モジュールブロック図

(2) AD リファレンスの選択

AD リファレンス選択機能のブロック図を図 22.58、図 22.59 に示します。APGA0CNTR2 レジスタに設定した SARAD0_TAG_SEL9 ~ 0 と PB0 より入力される AD タグ信号 (ADC0DFTAG) 信号との一致を確認し、出力する addf_dat9-0 のどの信号に出力するか選択します。

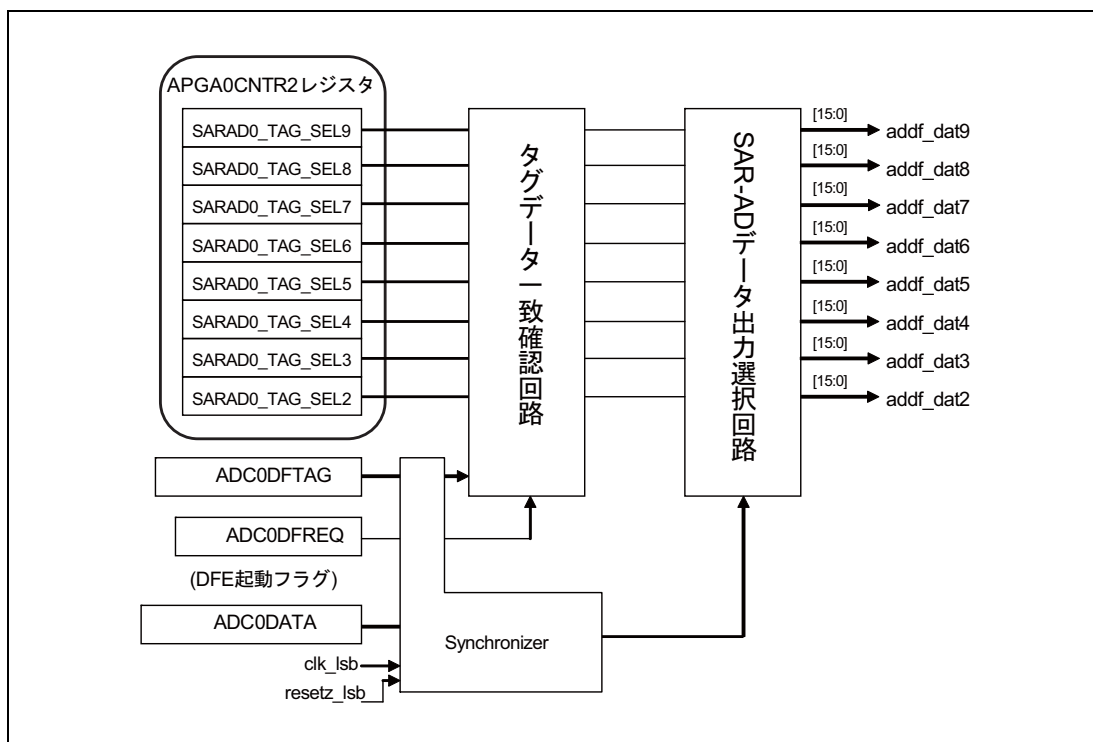


図 22.58 SAR-AD データ選択部ブロック図

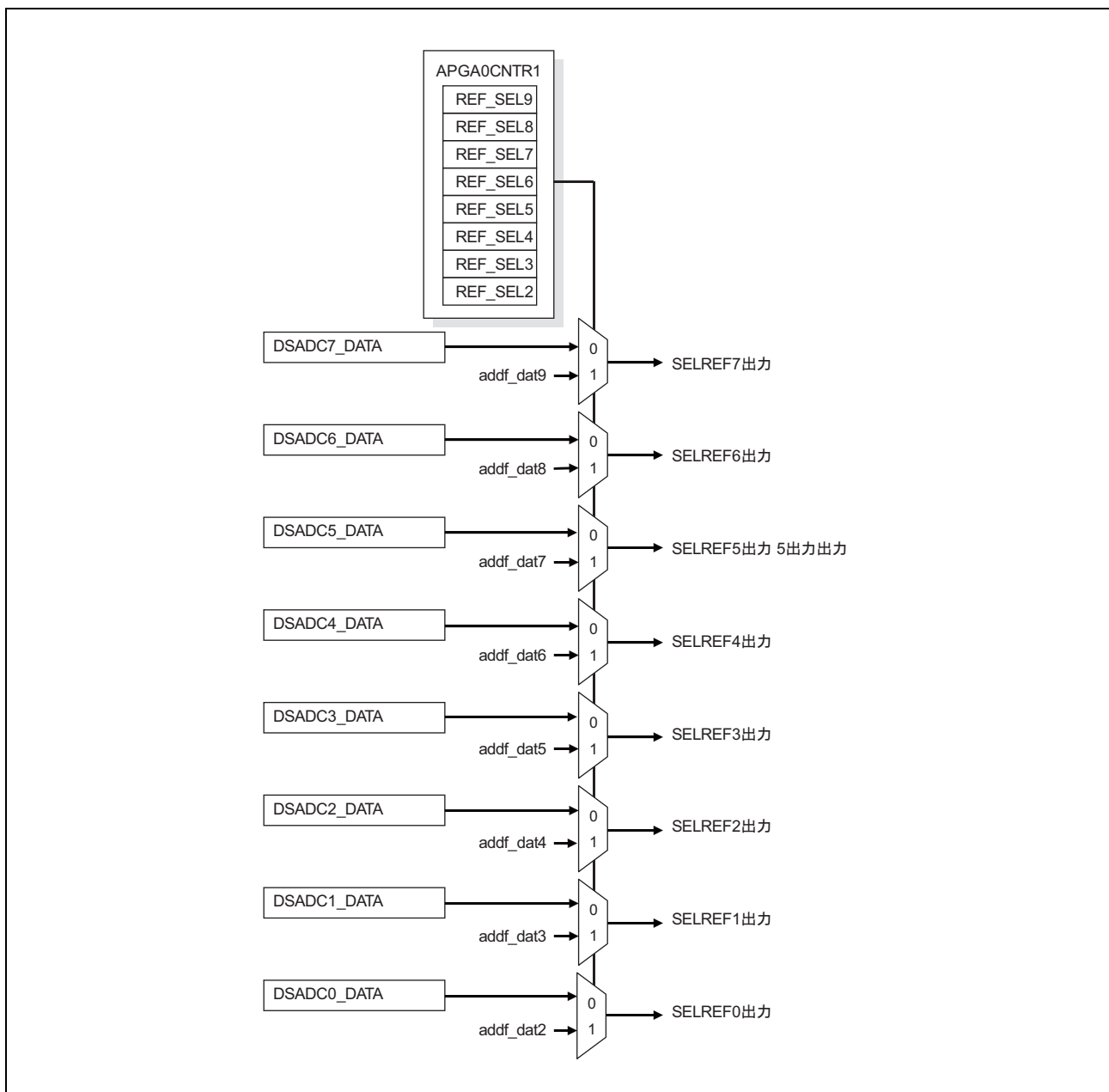


図 22.59 SAR-AD と DS-AD の選択回路ブロック図

(3) AD リファレンスのフォーマット変換

AD リファレンスフォーマット変換機能のブロック図を図 22.60 に示します。

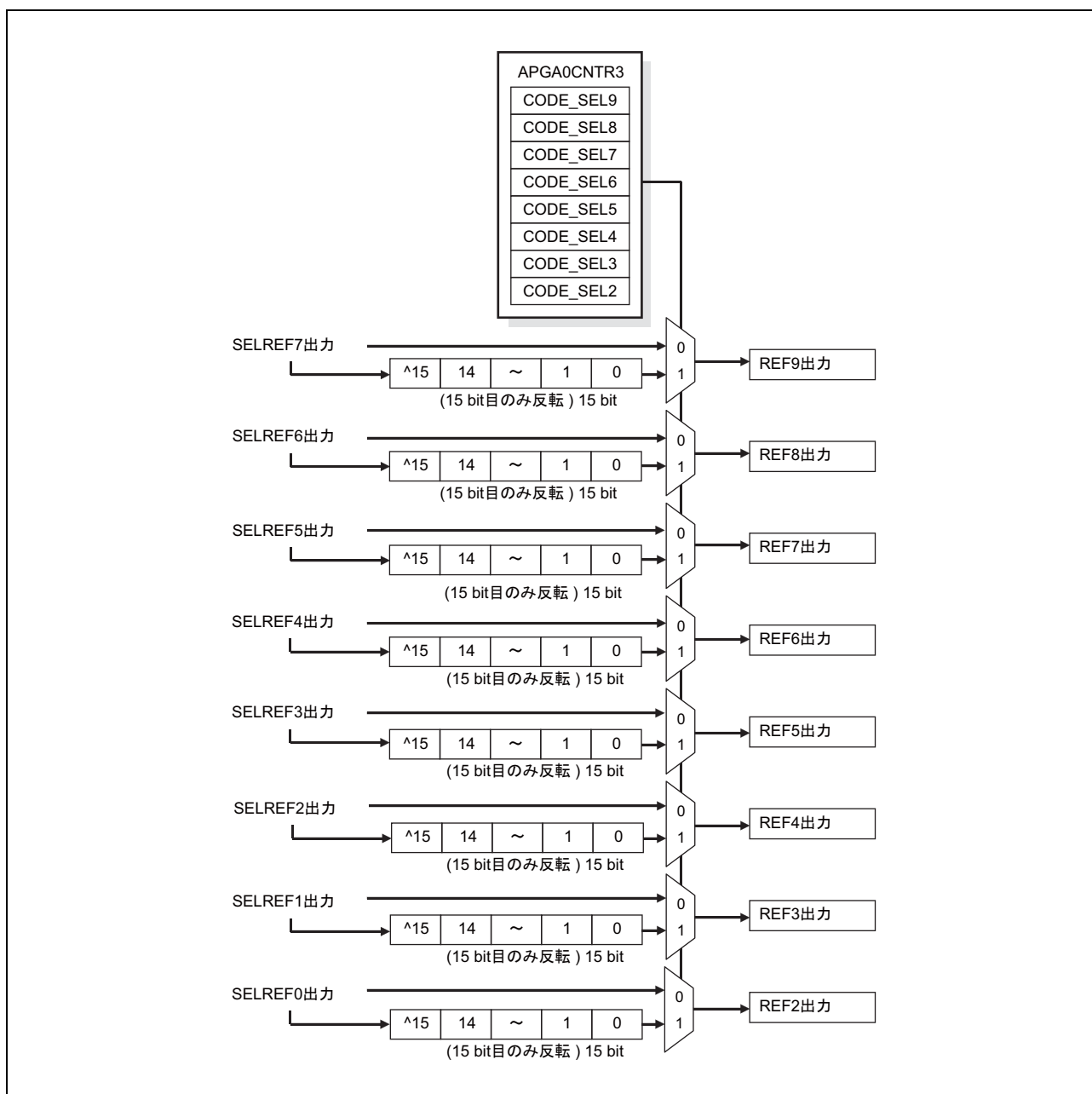


図 22.60 AD リファレンス変換機能ブロック図

第23章 モータコントロールタイマ (TSG2)

23.1 TSG2n の機能

- チャンネル
本製品は、次のチャンネルの TSG2n (n=0) を搭載しています。

表 23.1 TSG2 のチャンネル

| TSG2 | |
|--------|-------|
| チャンネル数 | 1 |
| 名称 | TSG20 |

n の意味

この章では、TSG2 の各チャンネルを「n」で識別します (n=0)。たとえば、TSG2n 制御レジスタ 0 (TSG2nCTL0) のように記述しています。

- レジスタアドレス
TSG2n のレジスタアドレスは、それぞれベースアドレス <TSG2n_base> からのオフセットで表されます。各 TSG2n のレジスタベースアドレスを次の表に示します。

表 23.2 TSG2n のレジスタベースアドレス

| TSG2n | <TSG2n_base> アドレス |
|-------|------------------------|
| TSG20 | FFE7 0000 _H |

- 割り込み要求
TSG2n の割り込み要求を次の表に示します。

表 23.3 TSG2n の割り込み要求一覧

| TSG2n の割り込み要求 | 機能 | 接続先 |
|----------------|-------------------------|---------------------------|
| INTTSG2n[12:0] | TSG2n コンペア一致割り込み 0 ~ 12 | 割り込みコントローラ (INTC) |
| INTTSG2nIPEK | TSG2n 山割り込み | 割り込みコントローラ (INTC) |
| INTTSG2nIVLY | TSG2n 谷割り込み | 割り込みコントローラ (INTC) |
| INTTSG2nIER | TSG2n エラー割り込み | 割り込みコントローラ (INTC) PIC1 |
| INTTSG2nIWN | TSG2n ワーニング割り込み | 割り込みコントローラ (INTC) |

- DMA 転送要求
TSG2n の DMA 転送要求を次の表に示します。

表 23.4 TSG2n の DMA 転送要求一覧

| TSG2n の割り込み要求 | 機能 | 接続先 |
|------------------|--------------------------|------------------|
| INTTSG2nI[12:11] | TSG2n コンペア一致割り込み 11 ~ 12 | DMA コントローラ (DTS) |
| INTTSG2nIPEK | TSG2n 山割り込み | DMA コントローラ (DTS) |
| INTTSG2nIVLY | TSG2n 谷割り込み | DMA コントローラ (DTS) |

23.2 機能の概要

TSG2n は、各種のモータ制御機能を持った 16 ビット・タイマ/カウンタです。

- カウント・クロック分解能：最小 12.5ns (カウント・クロック 80MHz 時)
- 各種モータ制御方式に対応した動作モード
- リロード・バッファ付きコンペア・レジスタ
- 10 ビットのデッド・タイム・カウンタ
 - リロード・バッファ付きデッド・タイム・カウンタ
 - 正相→逆相/逆相→正相で独立したデッド・タイム値設定可能
- A/D 変換トリガ信号生成
 - コンペア・レジスタ TSG2nDCMP0W, TSG2nDCMP2 で、3 種類の A/D 変換トリガを生成
 - A/D 変換トリガ
 - TSTADT0 信号/ TSTADT1 信号個別の間引き機能：間引き率 1/1, 1/2, 1/4, 1/8
 - TSTADT0 信号でセット、TSTADT1 信号でリセットのトグル出力、または、ダイアグ出力の専用端子 (TSOn7)
- 割り込み間引き機能
 - 間引き率 1/1 ~ 1/32
- 強制出力停止機能
 - TOP 機能を接続し、TSOn1-TSOn6 端子の出力ハイ・インピーダンス制御が可能
- コンペア値の設定
 - リロード (一斉書き換え機能) / 随時書き換え機能選択可能
- リロード・モード
 - TSG2nCMP1 レジスタを書き込むことでリロード許可 (リロード要求フラグ TSG2nRSF をセット) となり、複数レジスタの同時転送可能
 - 山/谷/山および谷のリロード・タイミングで転送可能
 - リロード要求フラグ TSG2nRSF を用意
 - DMA 転送可能なレジスタ・アドレス配置
 - リロード間引き機能
- HT-PWM モード
 - デッド・タイム縮小を含む 0 ~ 100% デューティ PWM 出力可能
 - アップ・カウント側の PWM 出力に付加パルスあり/なしをコンペア・レジスタの LSB で制御可能なため、ソフトウェア負荷なしで出力分解能を向上
- 120-DC 制御
 - セミオート・ドライブ機能と連携したオフセットでトリガ発生可能)
- 3 相エンコーダ機能 (ホール・センサ等の信号を入力可能)
- 出力端子 TSOn1-TSOn6 のアクティブ・レベルを端子ごとに設定可能
- フェイル・セーフ機能 (ワーニング/エラー割り込み発生可能)
 - 正相/逆相における同時アクティブ出力検出機能
 - 3 相エンコーダの異常入力検出機能

23.3 構成

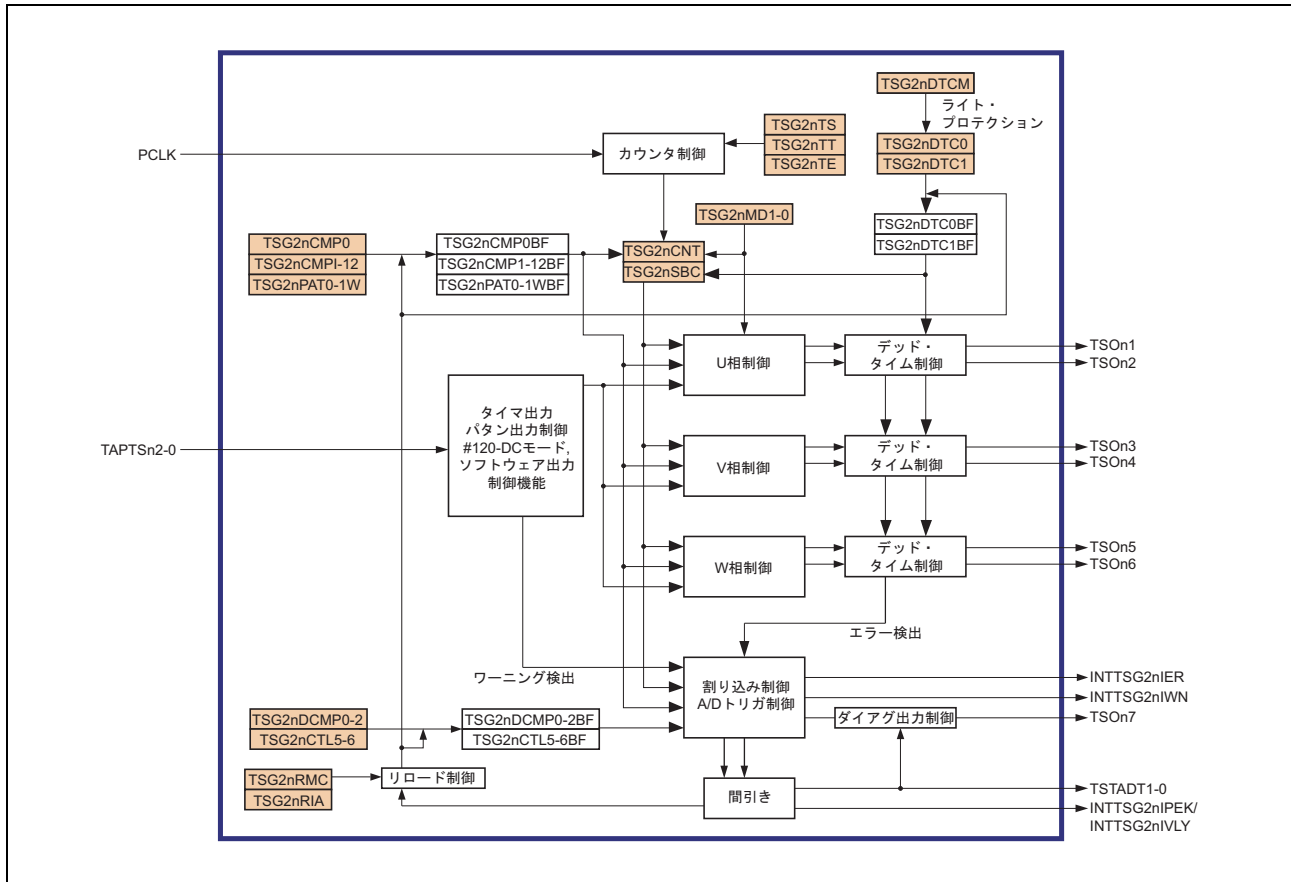


図 23.1 TSG2n のブロック図

23.4 レジスタ

TSG2n (n=0) のレジスタについて説明します。

23.4.1 レジスタ一覧

TSG2n (n=0) のレジスタ一覧、メモリアドレスを表 23.5 に示します。

ベースアドレスは TSG20 が FFE7 0000_H となります。

実際のアドレスはこのベースアドレスに表で示したオフセット値を加算します。

表 23.5 TSG2n (n=0) レジスタ一覧 (1/2)

| レジスタ名 | 機能 | R/W | リセット値 | アクセス | | | オフセット アドレス | ダイナ ミック | リロード |
|-------------|------------------------|-----|------------------------|------|----|----|------------------|------------|------|
| | | | | 8 | 16 | 32 | | | |
| TSG2nIOC2 | TSG2n I/O 制御レジスタ 2 | R/W | 0000 _H | × | ○ | × | 000 _H | あり | なし |
| TSG2nCTL3 | TSG2n 制御レジスタ 3 | R/W | 00 _H | ○ | × | × | 004 _H | あり | なし |
| TSG2nCTL5 | TSG2n 制御レジスタ 5 | R/W | 0000 _H | × | ○ | × | 008 _H | あり | なし |
| TSG2nCTL6 | TSG2n 制御レジスタ 6 | R/W | 0000 _H | × | ○ | × | 00C _H | あり | なし |
| TSG2nSTR0 | TSG2n ステータスレジスタ 0 | R | 00 _H | ○ | × | × | 010 _H | あり | なし |
| TSG2nSTR1 | TSG2n ステータスレジスタ 1 | R | 00 _H | ○ | × | × | 014 _H | あり | なし |
| TSG2nSTR2 | TSG2n ステータスレジスタ 2 | R | 0000 _H | × | ○ | × | 018 _H | あり | なし |
| TSG2nSTC | TSG2n ステータスクリアトリガレジスタ | W | 0000 _H | × | ○ | × | 01C _H | あり | なし |
| TSG2nOPT0 | TSG2n オプションレジスタ 0 | R/W | 00 _H | ○ | × | × | 020 _H | あり | なし |
| TSG2nOPT1 | TSG2n オプションレジスタ 1 | R/W | 00 _H | ○ | × | × | 024 _H | あり | なし |
| TSG2nCNT | TSG2n カウンタレジスタ | R | 0000 _H | × | ○ | × | 028 _H | あり | なし |
| TSG2nSBC | TSG2n サブカウンタレジスタ | R | 0000 _H | × | ○ | × | 02C _H | あり | なし |
| TSG2nTRG0 | TSG2n トリガレジスタ 0 | W | 00 _H | ○ | × | × | 030 _H | あり | なし |
| TSG2nTRG1 | TSG2n トリガレジスタ 1 | W | 00 _H | ○ | × | × | 034 _H | あり | なし |
| TSG2nCMP1W | TSG2n コンペアレジスタ 1, 2 | R/W | 0000 0000 _H | × | × | ○ | 040 _H | あり | あり |
| TSG2nCMP5W | TSG2n コンペアレジスタ 5, 6 | R/W | 0000 0000 _H | × | × | ○ | 044 _H | あり | あり |
| TSG2nCMP9W | TSG2n コンペアレジスタ 9, 10 | R/W | 0000 0000 _H | × | × | ○ | 048 _H | あり | あり |
| TSG2nCMP3W | TSG2n コンペアレジスタ 3, 4 | R/W | 0000 0000 _H | × | × | ○ | 04C _H | あり | あり |
| TSG2nCMP7W | TSG2n コンペアレジスタ 7, 8 | R/W | 0000 0000 _H | × | × | ○ | 050 _H | あり | あり |
| TSG2nCMP11W | TSG2n コンペアレジスタ 11, 12 | R/W | 0000 0000 _H | × | × | ○ | 054 _H | あり | あり |
| TSG2nCMP0 | TSG2n コンペアレジスタ 0 | R/W | 0000 0000 _H | × | × | ○ | 058 _H | あり | あり |
| TSG2nDCMP0W | TSG2n 診断コンペアレジスタ 0, 1 | R/W | 0000 0000 _H | × | × | ○ | 05C _H | あり | あり |
| TSG2nDCMP2 | TSG2n 診断コンペアレジスタ 2 | R/W | 0000 0000 _H | × | × | ○ | 060 _H | あり | あり |
| TSG2nPAT0W | TSG2n パタンレジスタ 0 | R/W | 0000 0000 _H | × | × | ○ | 064 _H | あり | あり |
| TSG2nPAT1W | TSG2n パタンレジスタ 1 | R/W | 0000 0000 _H | × | × | ○ | 068 _H | あり | あり |
| TSG2nDTC0W | TSG2n デッドタイムコンペアレジスタ 0 | R/W | 0000 0000 _H | × | × | ○ | 06C _H | あり | あり |
| TSG2nDTC1W | TSG2n デッドタイムコンペアレジスタ 1 | R/W | 0000 0000 _H | × | × | ○ | 070 _H | あり | あり |
| TSG2nIOC3 | TSG2n I/O 制御レジスタ 3 | R/W | 0000 0000 _H | × | × | ○ | 074 _H | あり | あり |
| TSG2nCTL4 | TSG2n 制御レジスタ 4 | R/W | 0000 0000 _H | × | × | ○ | 07C _H | あり | あり |
| TSG2nCMP1 | TSG2n コンペアレジスタ 1 | R/W | 0000 _H | × | ○ | × | 080 _H | あり | あり |
| TSG2nCMP2 | TSG2n コンペアレジスタ 2 | R/W | 0000 _H | × | ○ | × | 084 _H | あり | あり |
| TSG2nCMP5 | TSG2n コンペアレジスタ 5 | R/W | 0000 _H | × | ○ | × | 088 _H | あり | あり |

表 23.5 TSG2n (n = 0) レジスタ一覧 (2/2)

| レジスタ名 | 機能 | R/W | リセット値 | アクセス | | | オフセット アドレス | ダイナ ミック | リロード |
|------------|--------------------|-----|-------------------|------|----|----|------------------|------------|------|
| | | | | 8 | 16 | 32 | | | |
| TSG2nCMP6 | TSG2n コンペアレジスタ 6 | R/W | 0000 _H | × | ○ | × | 08C _H | あり | あり |
| TSG2nCMP9 | TSG2n コンペアレジスタ 9 | R/W | 0000 _H | × | ○ | × | 090 _H | あり | あり |
| TSG2nCMP10 | TSG2n コンペアレジスタ 10 | R/W | 0000 _H | × | ○ | × | 094 _H | あり | あり |
| TSG2nCMP3 | TSG2n コンペアレジスタ 3 | R/W | 0000 _H | × | ○ | × | 098 _H | あり | あり |
| TSG2nCMP4 | TSG2n コンペアレジスタ 4 | R/W | 0000 _H | × | ○ | × | 09C _H | あり | あり |
| TSG2nCMP7 | TSG2n コンペアレジスタ 7 | R/W | 0000 _H | × | ○ | × | 0A0 _H | あり | あり |
| TSG2nCMP8 | TSG2n コンペアレジスタ 8 | R/W | 0000 _H | × | ○ | × | 0A4 _H | あり | あり |
| TSG2nCMP11 | TSG2n コンペアレジスタ 11 | R/W | 0000 _H | × | ○ | × | 0A8 _H | あり | あり |
| TSG2nCMP12 | TSG2n コンペアレジスタ 12 | R/W | 0000 _H | × | ○ | × | 0AC _H | あり | あり |
| TSG2nCMPU | TSG2n U 相用コンペアレジスタ | R/W | 0000 _H | × | ○ | × | 0B0 _H | あり | あり |
| TSG2nCMPV | TSG2n V 相用コンペアレジスタ | R/W | 0000 _H | × | ○ | × | 0B4 _H | あり | あり |
| TSG2nCMPW | TSG2n W 相用コンペアレジスタ | R/W | 0000 _H | × | ○ | × | 0B8 _H | あり | あり |
| TSG2nUPW | TSG2n U 相期間レジスタ | R/W | 0000 _H | × | ○ | × | 0BC _H | あり | あり |
| TSG2nVPW | TSG2n V 相期間レジスタ | R/W | 0000 _H | × | ○ | × | 0C0 _H | あり | あり |
| TSG2nWPW | TSG2n W 相期間レジスタ | R/W | 0000 _H | × | ○ | × | 0C4 _H | あり | あり |
| TSG2nIOC0 | TSG2n I/O 制御レジスタ 0 | R/W | 7E _H | ○ | × | × | 200 _H | なし | なし |
| TSG2nIOC1 | TSG2n I/O 制御レジスタ 1 | R/W | 00 _H | ○ | × | × | 204 _H | なし | なし |
| TSG2nCTL0 | TSG2n 制御レジスタ 0 | R/W | 00 _H | ○ | × | × | 208 _H | なし | なし |
| TSG2nCTL1 | TSG2n 制御レジスタ 1 | R/W | 0000 _H | × | ○ | × | 20C _H | なし | なし |
| TSG2nDTPR | TSG2n デッドタイム保護レジスタ | R/W | 0000 _H | × | ○ | × | 210 _H | なし | なし |

- ダイナミック : 「あり」は、TSG2 の実行中、レジスタが書き込み可能なことを意味します。「なし」は、TSG2 の実行中はレジスタの内容を変更できないことを意味します。
- リロード : 「リロード」はレジスタがリロード機能を備えていることを意味します。

23.4.2 TSG2n レジスタの詳細

23.4.2.1 TSG2nCTL0 — TSG2n 制御レジスタ 0

TSG2nCTL0 レジスタは TSO_n7 のパルス幅と TSG2n のモード機能を制御します。

TSG2nTE = 0 (マクロ停止中) の場合のみ書き込み可能です。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFE7 0208_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|----------|---|---|--------------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | TSG2nDWD | — | — | TSG2nMD[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R | R | R/W | R/W |

表 23.6 TSG2nCTL0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------------|--|
| 7 ~ 5 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 4 | TSG2nDWD | TSO _n 7 パルス幅制御ビット 0 : TSO _n 7 のパルス幅は 8 クロック 1 : TSO _n 7 のパルス幅は 16 クロック このビットは TSO _n 7 のパルス幅を制御します。TSG2nTGS = 1 のとき使用できます。 (TSG2nTGS ビットの説明参照) 詳しい機能は「23.5.4.1(1) TSO _n 7 端子の出力制御」に記載しています。 |
| 3, 2 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 1, 0 | TSG2nMD[1:0] | TSG2n モード制御ビット 00 : PWM モード 01 : 高精度三角波 PWM モード 10 : シフトパルス PWM モード 11 : 120 度通電制御モード これらのビットは TSG2n のモード制御ビットです。TSG2n には 4 つのモードがあります。 PWM モードは 6 つの PWM タイマ出力を制御します。各タイマ出力は 2 つのコンペアレジスタ (セットおよびクリア) によって制御されます。 高精度三角波 PWM モード (HT-PWM モードと呼ぶ) は 3 つの相補 PWM 出力をアップカウントとダウンカウント (三角波カウント) で制御します。 シフトパルス PWM モード (SP-PWM モードと呼ぶ) は 3 つの相補 PWM 出力をアップカウント (のこぎり波カウント) で制御します。 120 度通電制御モード (120-DC モードと呼ぶ) は 6 つの PWM 出力を 12 個のコンペアレジスタ、2 つのパタンレジスタおよび 6 つの出力段を使って制御します。 |

23.4.2.2 TSG2nCTL1 — TSG2n 制御レジスタ 1

TSG2nCTL1 レジスタはエラー／ワーニングの検出を制御します。TSG2nTE = 0 (マクロ停止中) の場合のみ書き込み可能です。

TSG2nSTR2 レジスタおよび「23.10 エラー／ワーニング割り込み」の説明を参照してください。

アクセス 16ビット単位でリード／ライト可能です。

アドレス FFE7 020C_H

リセット後の値 0000_H

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|----|----|----|----|---------------|---------------|---------------|--------------|--------------|---|--------------|--------------|---|---|
| | — | — | — | — | — | — | TSG2n TBA2 | TSG2n TBA1 | TSG2n TBA0 | TSG2n PPC | TSG2n PEC | — | TSG2n NDC | TSG2n PRC | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R | R/W | R/W | R | R |

表 23.7 TSG2nCTL1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|--|
| 15 ~ 10 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 9 | TSG2nTBA2 | TSG2nTBF2 制御ビット 0: TSG2nTBF2 は機能しない 1: TSG2nTBF2 は機能する |
| 8 | TSG2nTBA1 | TSG2nTBF1 制御ビット 0: TSG2nTBF1 は機能しない 1: TSG2nTBF1 は機能する |
| 7 | TSG2nTBA0 | TSG2nTBF0 制御ビット 0: TSG2nTBF0 は機能しない 1: TSG2nTBF0 は機能する |
| 6 | TSG2nPPC | TSG2nPPF 制御ビット 0: TSG2nPPF は機能しない 1: TSG2nPPF は機能する |
| 5 | TSG2nPEC | TSG2nPEF 制御ビット 0: TSG2nPEF は機能しない 1: TSG2nPEF は機能する |
| 4 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 3 | TSG2nNDC | TSG2nNDF 制御ビット 0: TSG2nNDF は機能しない 1: TSG2nNDF は機能する |
| 2 | TSG2nPRC | TSG2nPRF 制御ビット 0: TSG2nPRF は機能しない 1: TSG2nPRF は機能する |
| 1, 0 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |

23.4.2.3 TSG2nCTL3 — TSG2n 制御レジスタ 3

TSG2nCTL3 は TSG2n のリロード / IMWRITE 機能を制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFE7 0004_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|----------|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | TSG2nRIA | TSG2nRMC |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 23.8 TSG2nCTL3 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|--|
| 7 ~ 2 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 1 | TSG2nRIA | リロードおよび INTTSG2nIPEK/INTTSG2nIVLY 調整ビット 0: リロードタイミングを TSG2nPRE、TSG2nVRE のみで制御 1: リロードタイミングを INTTSG2nIPEK、INTTSG2nIVLY の出力タイミングで調整 TSG2nRIA はリロードタイミングを制御します。TSG2nRMC = 0 のとき使用可能。 |
| 0 | TSG2nRMC | レジスタモード制御ビット 0: リロード機能を備えたレジスタをリロード時に更新 1: レジスタをレジスタへの書き込み時に更新 この機能を TSG2nRMC = 0 のときリロードと呼び、TSG2nRMC = 1 のとき IMWRITE (「即時書き込み」の略称) と呼びます。 |

23.4.2.4 TSG2nCTL4 — TSG2n 制御レジスタ 4

TSG2nCTL4 は INTTSG2nIPEK、INTTSG2nIVLY 割り込み機能を制御します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFE7 007C_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|--------------|--------------|--------------|--------------|-----------------|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | TSG2n PRE | TSG2n VRE | TSG2n PIE | TSG2n VIE | TSG2nRCC[04:00] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 23.9 TSG2nCTL4 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------------------|--|
| 31 ~ 9 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 8 | TSG2nPRE | INTTSG2nIPEK タイミングイネーブルビットでのリロード 0 : 山タイミングでのリロードを禁止 (HT-PWM モード) PWM 周期タイミングでのリロードを禁止 (HT-PWM モード以外) 1 : 山タイミングでのリロードを許可 (HT-PWM モード) PWM 周期タイミングでのリロードを許可 (HT-PWM モード以外) HT-PWM 以外のモードで TSG2nRMC = 0 を設定すると、リロードは発生しません。したがって、この異常状態からの復帰を要する場合は、IMWRITE 機能に関するこのレジスタの設定を変更する必要があります。 |
| 7 | TSG2nVRE | INTTSG2nIVLY タイミングイネーブルビットでのリロード 0 : 谷タイミングでのリロードを禁止 1 : 谷タイミングでのリロードを許可 このビットは HT-PWM モードでのみ使用できます。 |
| 6 | TSG2nPIE | INTTSG2nIPEK 割り込みイネーブルビット 0 : INTTSG2nIPEK の出力をマスク 1 : INTTSG2nIPEK の出力をマスクしない |
| 5 | TSG2nVIE | INTTSG2nIVLY 割り込みイネーブルビット 0 : INTTSG2nIVLY の出力をマスク 1 : INTTSG2nIVLY の出力をマスクしない このビットは HT-PWM モードでのみ使用できます。 |
| 4 ~ 0 | TSG2nRCC [04:00] | リロード間引き制御ビット 00000 : リロード/割り込みの間引きなし 00001 : 2 回のリロード/割り込みのうち 1 回間引き、1 回生成 00010 : 3 回のリロード/割り込みのうち 2 回間引き、1 回生成 00011 : 4 回のリロード/割り込みのうち 3 回間引き、1 回生成 11110 : 31 回のリロード/割り込みのうち 30 回間引き、1 回生成 11111 : 32 回のリロード/割り込みのうち 31 回間引き、1 回生成 |

23.4.2.5 TSG2nCTL5 — TSG2n 制御レジスタ 5

TSG2nCTL5 は AD トリガ (TSTADT0) 機能を制御します。

「23.9 A/D 変換トリガ機能」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です

アドレス FFE7 0008_H

リセット後の値 0000_H

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|----|----|---------------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|-----|
| | — | — | — | — | TSG2nACC [01:00] | TSG2n AT09 | TSG2n AT08 | TSG2n AT07 | TSG2n AT06 | TSG2n AT05 | TSG2n AT04 | TSG2n AT03 | TSG2n AT02 | TSG2n AT01 | TSG2n AT00 | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 23.10 TSG2nCTL5 レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|---------------------|---|
| 15 ~ 12 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 11、10 | TSG2nACC [01:00] | TSTADT0 間引き制御ビット 00: TSTADT0 の間引きなし 01: 2 回の A/D ソーストリガのうち 1 回間引き、1 回トリガ出力 10: 4 回の A/D ソーストリガのうち 3 回間引き、1 回トリガ出力 11: 8 回の A/D ソーストリガのうち 7 回間引き、1 回トリガ出力 このレジスタに書き込みを行うと同時に TSTADT0 間引きカウンタがクリアされます。 |
| 9 | TSG2nAT09 | TSTADT0 トリガ制御ビット 9 0: 選択なし 1: TSG2nSBC の山タイミングを A/D ソーストリガとして選択 このビットは HT-PWM モードでのみ使用できます。 |
| 8 | TSG2nAT08 | TSTADT0 トリガ制御ビット 8 0: 選択なし 1: TSG2nSBC の谷のタイミングを A/D ソーストリガとして選択 このビットは HT-PWM モードでのみ使用できます。 |
| 7 | TSG2nAT07 | TSTADT0 トリガ制御ビット 7 0: 選択なし 1: TSG2nCNT のカウントダウン時、TSG2nDCMP2 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 TSG2nCNT は HT-PWM 以外のモードではカウントダウンしないため、このビットは HT-PWM モードでのみ使用できます。 |
| 6 | TSG2nAT06 | TSTADT0 トリガ制御ビット 6 0: 選択なし 1: TSG2nCNT のカウントアップ時、TSG2nDCMP2 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 |
| 5 | TSG2nAT05 | TSTADT0 トリガ制御ビット 5 0: 選択なし 1: TSG2nCNT のカウントダウン時、TSG2nDCMP1 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 TSG2nCNT は HT-PWM 以外のモードではカウントダウンしないため、このビットは HT-PWM モードでのみ使用できます。 |
| 4 | TSG2nAT04 | TSTADT0 トリガ制御ビット 4 0: 選択なし 1: TSG2nCNT のカウントアップ時、TSG2nDCMP1 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 |
| 3 | TSG2nAT03 | TSTADT0 トリガ制御ビット 3 0: 選択なし 1: TSG2nCNT のカウントダウン時、TSG2nDCMP0 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 TSG2nCNT は HT-PWM 以外のモードではカウントダウンしないため、このビットは HT-PWM モードでのみ使用できます。 |

表 23.10 TSG2nCTL5 レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|-----------|--|
| 2 | TSG2nAT02 | TSTADT0 トリガ制御ビット 2 0: 選択なし 1: TSG2nCNT のカウントアップ時、TSG2nDCMP0 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 |
| 1 | TSG2nAT01 | TSTADT0 トリガ制御ビット 1 0: 選択なし 1: INTTSG2nIPEK (*) を A/D ソーストリガとして選択 (*) INTTSG2nIPEK は TSG2nRCC04 ~ TSG2nRCC00 ビットにより間引きを行う信号 |
| 0 | TSG2nAT00 | TSTADT0 トリガ制御ビット 0 0: 選択なし 1: INTTSG2nIVLY (*) を A/D ソーストリガとして選択 このビットは HT-PWM モードでのみ使用できます。 (*) INTTSG2nIVLY は TSG2nRCC04 ~ TSG2nRCC00 ビットにより間引きを行う信号 |

23.4.2.6 TSG2nCTL6 — TSG2n 制御レジスタ 6

TSG2nCTL6 は AD トリガ (TSTADT1) 機能を制御します。

「23.9 A/D 変換トリガ機能」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFE7 000C_H

リセット後の値 0000_H

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|----|----|---------------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|-----|
| | — | — | — | — | TSG2nACC [11:10] | TSG2n AT19 | TSG2n AT18 | TSG2n AT17 | TSG2n AT16 | TSG2n AT15 | TSG2n AT14 | TSG2n AT13 | TSG2n AT12 | TSG2n AT11 | TSG2n AT10 | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 23.11 TSG2nCTL6 レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|---------------------|---|
| 15 ~ 12 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 11、10 | TSG2nACC [11:10] | TSTADT1 間引き制御ビット 00: TSTADT1 の間引きなし 01: 2 回の A/D ソーストリガのうち 1 回間引き、1 回トリガ出力 10: 4 回の A/D ソーストリガのうち 3 回間引き、1 回トリガ出力 11: 8 回の A/D ソーストリガのうち 7 回間引き、1 回トリガ出力 このレジスタに書き込みを行うと同時に TSTADT1 間引きカウンタがクリアされます。 |
| 9 | TSG2nAT19 | TSTADT1 トリガ制御ビット 9 0: 選択なし 1: TSG2nSBC の山タイミングを A/D ソーストリガとして選択 このビットは HT-PWM モードでのみ使用できます。 |
| 8 | TSG2nAT18 | TSTADT1 トリガ制御ビット 8 0: 選択なし 1: TSG2nSBC の谷のタイミングを A/D ソーストリガとして選択 このビットは HT-PWM モードでのみ使用できます。 |
| 7 | TSG2nAT17 | TSTADT1 トリガ制御ビット 7 0: 選択なし 1: TSG2nCNT のカウントダウン時、TSG2nDCMP2 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 TSG2nCNT は HT-PWM 以外のモードではカウントダウンしないため、このビットは HT-PWM モードでのみ使用できます。 |
| 6 | TSG2nAT16 | TSTADT1 トリガ制御ビット 6 0: 選択なし 1: TSG2nCNT のカウントアップ時、TSG2nDCMP2 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 |
| 5 | TSG2nAT15 | TSTADT1 トリガ制御ビット 5 0: 選択なし 1: TSG2nCNT のカウントダウン時、TSG2nDCMP1 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 TSG2nCNT は HT-PWM 以外のモードではカウントダウンしないため、このビットは HT-PWM モードでのみ使用できます。 |
| 4 | TSG2nAT14 | TSTADT1 トリガ制御ビット 4 0: 選択なし 1: TSG2nCNT のカウントアップ時、TSG2nDCMP1 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 |
| 3 | TSG2nAT13 | TSTADT1 トリガ制御ビット 3 0: 選択なし 1: TSG2nCNT のカウントダウン時、TSG2nDCMP0 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 TSG2nCNT は HT-PWM 以外のモードではカウントダウンしないため、このビットは HT-PWM モードでのみ使用できます。 |

表 23.11 TSG2nCTL6 レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 2 | TSG2nAT12 | TSTADT1 トリガ制御ビット 2 0: 選択なし 1: TSG2nCNT のカウントアップ時、TSG2nDCMP0 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 |
| 1 | TSG2nAT11 | TSTADT1 トリガ制御ビット 1 0: INTTSG2nIPEK (*) を A/D ソーストリガとして選択 1: TSG2nCNT のカウントアップ時、TSG2nDCMP0 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 (*) INTTSG2nIPEK は TSG2nRCC04 ~ TSG2nRCC00 ビットにより間引きを行う信号 |
| 0 | TSG2nAT10 | TSTADT1 トリガ制御ビット 0 0: 選択なし 1: INTTSG2nIVLY (*) を A/D ソーストリガとして選択 このビットは HT-PWM モードでのみ使用できます。 (*) INTTSG2nIVLY は TSG2nRCC04 ~ TSG2nRCC00 ビットにより間引きを行う信号 |

23.4.2.7 TSG2nIOC0 — TSG2n I/O 制御レジスタ 0

TSG2nIOC0 レジスタは「タイマ出力 (TSON1 ~ 6) 機能」を制御します。TSG2nTE = 0 (マクロ停止中) の場合のみ書き込み可能です。「23.5.4 各モード時における出力一覧」を参照してください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFE7 0200_H

リセット後の値 7E_H

| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|---|-----------|-----------|-----------|-----------|-----------|-----------|---|
| | — | TSG2nTOE6 | TSG2nTOE5 | TSG2nTOE4 | TSG2nTOE3 | TSG2nTOE2 | TSG2nTOE1 | — |
| リセット後の値 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R |

表 23.12 TSG2nIOC0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 7 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 6 ~ 1 | TSG2nTOEm | 0 : TSG2nIOC2 レジスタ (TSG2nTOM/TSG2nTOLm ビット) はソフトウェアで変更可能 1 : TSG2nIOC2 レジスタ (TSG2nTOM/TSG2nTOLm ビット) はソフトウェアで変更不可 (TSG2nIOC2 レジスタに対するライトアクセスを無視) このレジスタは TSG2nIOC2 レジスタに対するライトアクセスを制御します。 (m = 1, 2, 3, 4, 5, 6) |
| 0 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |

23.4.2.8 TSG2nIOC1 — TSG2n I/O 制御レジスタ 1

TSG2nIOC1 レジスタは種々の入出力ポート機能を制御します。

TSG2nTE = 0 (マクロ停止中) の場合のみ書き込み可能です。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFE7 0204_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|----------|----------|----------|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | TSG2nEOC | TSG2nWOC | TSG2nTGS | TSG2nTOS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 23.13 TSG2nIOC1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|--|
| 7 ~ 4 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 3 | TSG2nEOC | INTTSG2nIER 出力制御ビット 0: INTTSG2nIER 信号を 0 に固定 1: INTTSG2nIER 信号を出力可能 |
| 2 | TSG2nWOC | INTTSG2nIWN 出力制御ビット 0: INTTSG2nIWN 信号を 0 に固定 1: INTTSG2nIWN 信号を出力可能 |
| 1 | TSG2nTGS | TSON7 機能選択ビット 0: A/D トリガトグル出力モード 1: 診断パルス出力モード 「23.5.4.1(1) TSON7 端子の出力制御」を参照してください。 |
| 0 | TSG2nTOS | TSON0 出カステータス選択ビット 0: TSG2nCNT のアップ/ダウンステータスを出力 (TSG2nCUF と同じ) 1: TSG2nSBC のアップ/ダウンステータスを出力 (TSG2nSUF と同じ) |

23.4.2.9 TSG2nIOC2 — TSG2n I/O 制御レジスタ 2

TSG2nIOC2 レジスタは「タイマ出力 (TSOn1 ~ 6) 機能」を制御します。

「23.5.4 各モード時における出力一覧」を参照してください。

アクセス 16ビット単位でリード/ライト可能です。

アドレス FFE7 0000_H

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|--------------|--------------|--------------|--------------|--------------|--------------|---|---|--------------|--------------|--------------|--------------|--------------|--------------|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | TSG2n OL6 | TSG2n OL5 | TSG2n OL4 | TSG2n OL3 | TSG2n OL2 | TSG2n OL1 | — | — | TSG2n TO6 | TSG2n TO5 | TSG2n TO4 | TSG2n TO3 | TSG2n TO2 | TSG2n TO1 | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R |

表 23.14 TSG2nIOC2 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|----------|---|
| 15 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 14 ~ 9 | TSG2nOLm | TSONm のアクティブレベルを制御するビット 0 : TSONm のアクティブレベルはハイ 1 : TSONm のアクティブレベルはロウ これらのビットは TSONm のアクティブレベルを制御するので、「レベルセクタ」を TSONm 端子の最も近くに配置します。TSG2nTOEm = 0 のとき変更可能です。 本ドキュメントでは、TSONm は TSG2nOLm = 0 として説明しています。(m = 1, 2, 3, 4, 5, 6) |
| 8, 7 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 6 ~ 1 | TSG2nTOm | TSONm 出力バッファラッチ 0 : TSONm はロウレベル 1 : TSONm はハイレベル これらのビットは TSONm 端子の出力バッファラッチです。TSG2nTOEm = 0 のとき変更可能です。 (m = 1, 2, 3, 4, 5, 6) |
| 0 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |

23.4.2.10 TSG2nIOC3 — TSG2n I/O 制御レジスタ 3

TSG2nIOC3 レジスタは「タイマ出力 (TSOn1 ~ 6) 機能」を制御します。

「23.5.4 各モード時における出力一覧」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFE7 0074_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|---------------|---------------|---------------|---------------|---------------|---------------|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | TSG2n TOL6 | TSG2n TOL5 | TSG2n TOL4 | TSG2n TOL3 | TSG2n TOL2 | TSG2n TOL1 | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R |

表 23.15 TSG2nIOC3 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------|---|
| 31 ~ 7 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 6 ~ 1 | TSG2nTOLm | TSOnm 0: 通常のセット/クリア状態 1: セット/クリア状態を入れ替え これらのビットはタイマ出力のセット/クリア状態を制御します。このビットを変更すると、コンペアマッチのタイミングのあと、タイマ出力が最初にこのビットの影響を受けます。 HT-PWM モードでは TSG2nTOLm を 1 にセットしないでください。 本ドキュメントでは、TSOnm は TSG2nOLm = 0 として説明しています。 (m = 1, 2, 3, 4, 5, 6) |
| 0 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |

23.4.2.11 TSG2nSTR0 — TSG2n ステータスレジスタ 0

TSG2nSTR0 は TSG2n のカウントアップ/ダウン、リロード要求、マクロイネーブルのステータスを示します。

アクセス 8ビット単位でリード可能です。

アドレス FFE7 0010_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|----------|----------|----------|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | TSG2nCUF | TSG2nSUF | TSG2nRSF | TSG2nTE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 23.16 TSG2nSTR0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|--|
| 7 ~ 4 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 3 | TSG2nCUF | TSG2nCNT のアップ/ダウンステータスフラグ 0 : TSG2nCNT はカウントアップ中 1 : TSG2nCNT はカウントダウン中 |
| 2 | TSG2nSUF | TSG2nSBC のアップ/ダウンステータスフラグ 0 : TSG2nSBC はカウントアップ中 1 : TSG2nSBC はカウントダウン中 このビットは HT-PWM モードでのみ使用できます。(ほかのモードでは 0 に固定) |
| 1 | TSG2nRSF | リロード保留ステータスフラグ 0 : リロードは実行済み、またはリロード要求なし 1 : リロード要求が発生し、リロードのタイミング待ち 「23.7.3 リロード要求フラグ (TSG2nRSF)」を参照してください。 |
| 0 | TSG2nTE | タイマイネーブルステータスフラグ 0 : タイマは動作していない (マクロ停止中) 1 : タイマは動作中 |

23.4.2.12 TSG2nSTR1 — TSG2n ステータスレジスタ 1

TSG2nSTR1 は TAPTSn2 ~ 0 の方向、リロード要求、マクロイネーブルのステータスを示します。

アクセス 8ビット単位でリード可能です。

アドレス FFE7 0014_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|----------|---------------|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | TSG2nTSF | TSG2nOPF[2:0] | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 23.17 TSG2nSTR1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------------|---|
| 7 ~ 4 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 3 | TSG2nTSF | TAPTSn2-0 順序ステータスフラグ 0 : TAPTSn2-0 のローテーション順序が右回りであることを意味します。 1 : TAPTSn2-0 のローテーション順序が左回りであることを意味します。 「23.7.5 パタン順序検出フラグ (TSG2nTSF)」、「23.7.7 パタン反転検出フラグ (TSG2nPRF)」を参照してください。 |
| 2 ~ 0 | TSG2nOPF [2:0] | タイマ出力パタンステータスフラグ 000-111 : タイマの出力パタンのステータスを示します。 |

23.4.2.13 TSG2nSTR2 — TSG2n ステータスレジスタ 2

TSG2nSTR2 はエラー／ワーニングのステータスを示します。

アクセス 16 ビット単位でリード可能です。

アドレス FFE7 0018_H

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|---------------|---------------|---------------|--------------|--------------|---|--------------|--------------|---|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | TSG2n TBF2 | TSG2n TBF1 | TSG2n TBF0 | TSG2n PPF | TSG2n PEF | — | TSG2n NDF | TSG2n PRF | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 23.18 TSG2nSTR2 レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|-----------|---|
| 15 ~ 10 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 9 | TSG2nTBF2 | 正相／逆相同時アクティブ検出フラグ 2 0: エラーなし 1: TSO _n 5 と TSO _n 6 が同時にアクティブレベルになっている。あるいは、コンペアレジスタの設定が間違っている可能性がある。 このエラーフラグをクリアする方法は TSG2nTBF0 ビットの説明を参照してください。 |
| 8 | TSG2nTBF1 | 正相／逆相同時アクティブ検出フラグ 1 0: エラーなし 1: TSO _n 3 と TSO _n 4 が同時にアクティブレベルになっている。あるいは、コンペアレジスタの設定が間違っている可能性がある。 このエラーフラグをクリアする方法は TSG2nTBF0 ビットの説明を参照してください。 |
| 7 | TSG2nTBF0 | 正相／逆相同時アクティブ検出フラグ 0 0: エラーなし 1: TSO _n 1 と TSO _n 2 が同時にアクティブレベルになっている。あるいは、コンペアレジスタの設定が間違っている可能性がある。 このエラーフラグをクリアするには次の 2 つの方法があります。 <ul style="list-style-type: none"> • TSG2nTBR2 ~ 0 ビットに 1 を書き込む • TSG2nTE = 0 を 1 に切り替える 「23.4.2.14 TSG2nSTC — TSG2n ステータスクリアトリガレジスタ」 の説明を参照してください。 |
| 6 | TSG2nPPF | 入出力パタン位相差異検出フラグ 0: エラーなし 1: TAPTS _n 2 ~ 0 (入力条件) と TSG2nOPF2 ~ 0 (出カステータス) の位相差の検出 このワーニングフラグをクリアするには次の 2 つの方法があります。 <ul style="list-style-type: none"> • TSG2nPPR ビットに 1 を書き込む • TSG2nTS または TSTSST 入かに 1 を書き込む(タイマスタートまたはタイマリスタート) 「23.7.8 パタン位相差異検出フラグ (TSG2nPPF)」 を参照してください。 |
| 5 | TSG2nPEF | 入力パタン (TAPTS _n 2-0) エラー検出フラグ 0: エラーなし 1: TAPTS _n 2-0 がすべてハイまたはすべてロウであることを検出 このワーニングフラグをクリアするには次の 2 つの方法があります。 <ul style="list-style-type: none"> • TSG2nPER ビットに 1 を書き込む • TSG2nTS または TSTSST 入かに 1 を書き込む(タイマスタートまたはタイマリスタート) 「23.7.6 パタンエラー検出フラグ (TSG2nPEF)」 を参照してください。 |
| 4 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |

表 23.18 TSG2nSTR2 レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 3 | TSG2nNDF | <p>入力パタン (TAPTSn2 ~ 0) ノイズ検出フラグ</p> <p>0: エラーなし</p> <p>1: TAPTSn2 ~ 0 の非グレーコードの動作を検出 (複数ピンの TAPTSn2 ~ 0 レベルが同一タイミングで変化)</p> <p>このワーニングフラグをクリアするには次の 2 つの方法があります。</p> <ul style="list-style-type: none"> • TSG2nNDR ビットに 1 を書き込む • TSG2nTS または TSTSST 入力に 1 を書き込む (タイマスタートまたはタイマリスタート) <p>「23.7.4 ノイズ検出フラグ (TSG2nNDF)」を参照してください。</p> |
| 2 | TSG2nPRF | <p>入力パタン (TAPTSn2 ~ 0) 反転検出フラグ</p> <p>0: エラーなし</p> <p>1: TAPTSn2 ~ 0 の反転動作を検出 (モータの回転の変化を検出)</p> <p>このワーニングフラグをクリアするには次の 2 つの方法があります。</p> <ul style="list-style-type: none"> • TSG2nPRR ビットに 1 を書き込む • TSG2nTS または TSTSST 入力に 1 を書き込む (タイマスタートまたはタイマリスタート) <p>「23.7.5 パタン順序検出フラグ (TSG2nTSF)」、「23.7.7 パタン反転検出フラグ (TSG2nPRF)」を参照してください。</p> |
| 1、0 | 予約ビット | <p>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</p> |

23.4.2.14 TSG2nSTC — TSG2n ステータスクリアトリガレジスタ

TSG2nSTC レジスタは TSG2nSTR2 のクリアトリガレジスタです。

このレジスタをリードすると、常に“0000_H”が読み出されます。

アクセス 16ビット単位でライト可能です。

アドレス FFE7 001C_H

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|---------------|---------------|---------------|--------------|--------------|---|--------------|--------------|---|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | TSG2n TBR2 | TSG2n TBR1 | TSG2n TBR0 | TSG2n PPR | TSG2n PER | — | TSG2n NDR | TSG2n PRR | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | W | W | W | W | W | R | W | W | R | R |

表 23.19 TSG2nSTC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|---|
| 15 ~ 10 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 9 | TSG2nTBR2 | TSG2nTBF2 クリアトリガビット 0 ライト：無効 1 ライト：TSG2nTBF2 を 0 にクリア TSG2nTBF2 が内部でセットされると同時に TSG2nTBR2 に 1 が書き込まれると、TSG2nTBF2 内部のセット状態が優先されます。 |
| 8 | TSG2nTBR1 | TSG2nTBF1 クリアトリガビット 0 ライト：無効 1 ライト：TSG2nTBF1 を 0 にクリア TSG2nTBF1 が内部でセットされると同時に TSG2nTBR1 に 1 が書き込まれると、TSG2nTBF1 内部のセット状態が優先されます。 |
| 7 | TSG2nTBR0 | TSG2nTBF0 クリアトリガビット 0 ライト：無効 1 ライト：TSG2nTBF0 を 0 にクリア TSG2nTBF0 が内部でセットされると同時に TSG2nTBR0 に 1 が書き込まれると、TSG2nTBF0 内部のセット状態が優先されます。 |
| 6 | TSG2nPPR | TSG2nPPF クリアトリガビット 0 ライト：無効 1 ライト：TSG2nPPF を 0 にクリア TSG2nPPF が内部でセットされると同時に TSG2nPPR に 1 が書き込まれると、TSG2nPPF 内部のセット状態が優先されます。 |
| 5 | TSG2nPER | TSG2nPEF クリアトリガビット 0 ライト：無効 1 ライト：TSG2nPEF を 0 にクリア TSG2nPEF が内部でセットされると同時に TSG2nPER に 1 が書き込まれると、TSG2nPEF 内部のセット状態が優先されます。 |
| 4 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 3 | TSG2nNDR | TSG2nNDF クリアトリガビット 0 ライト：無効 1 ライト：TSG2nNDF を 0 にクリア TSG2nNDF が内部でセットされると同時に TSG2nNDR に 1 が書き込まれると、TSG2nNDF 内部のセット状態が優先されます。 |
| 2 | TSG2nPRR | TSG2nPRF クリアトリガビット 0 ライト：無効 1 ライト：TSG2nPRF を 0 にクリア TSG2nPRF が内部でセットされると同時に TSG2nPRR に 1 が書き込まれると、TSG2nPRF 内部のセット状態が優先されます。 |
| 1、0 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |

23.4.2.15 TSG2nOPT0 — TSG2n オプションレジスタ 0

オプション機能を設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFE7 0020_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|----------|----------|---|----------|----------|----------|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | TSG2nSOC | TSG2nSTE | — | TSG2nPSS | TSG2nIDC | TSG2nPSC | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R | R/W | R/W | R/W | R |

表 23.20 TSG2nOPT0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 6 | TSG2nSOC | ソフトウェアによるタイマ出力 (TSOn1-TSON6 端子) の制御を選択します。 0: ソフトウェア制御禁止 1: ソフトウェア制御許可 • TSG2nSOC をセット (1) した場合、タイマ出力を TSG2nSPC2-TSG2nSPC0 で設定したソフトウェア制御機能/トリガ制御の出力パターンに切り替えます。その際、デッド・タイム・カウンタによりデッド・タイムを確保します。 |
| 5 | TSG2nSTE | パタン出力トリガによる制御の許可/禁止を選択します。 0: TAPTSn0-TAPTSn2 の入力を禁止 1: TAPTSn0-TAPTSn2 の入力を許可 • TSG2nSTE は、120-DC モードとソフトウェア出力制御機能のとき、有効となります。 |
| 4 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 3 | TSG2nPSS | パタン出力順序切り替え要因を選択します。 0: TSG2nPSC によるパタン出力順序の切り替えを使用しない 1: TSG2nPSC によるパタン出力順序の切り替えを使用する |
| 2 | TSG2nIDC | TSG2nIDC と TSG2nSTR1.TSG2nTSF, TSG2nPSC 信号の組み合わせで、TSOn1-TSON6 端子の出力パターンを決定します。 タイマ出力順序および出力されるパタンについては「23.11.4.5 120-DC モードの動作」の図 23.74 ~ 図 23.77 の 120-DC モードの動作例を参照してください。 |
| 1 | TSG2nPSC | セミアウト・ドライブ時のパタン出力順序を選択します。 0: 正転の順番でタイマ出力 (TSOn1-TSON6) を切り替える 1: 逆転の順番でタイマ出力 (TSOn1-TSON6) を切り替える • TSG2n 動作停止中 (TSG2nSTR0.TSG2nTE = 0) の状態で、TAPTSn0-TAPTSn2 に入力されている信号が変化する場合、入力信号の変化論理と、TSG2nPSC の順序を合わせてから、TSG2nTRG0.TSG2nTS ビット = 1 を設定してください。 • 正転、逆転における出力順序は、「23.11.4 120-DC モード」を参照してください。 ここでの正転、逆転の定義は出力の変化を表しているもので、モータ回転の正転、逆転と同じ意味ではありません。 |
| 0 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |

23.4.2.16 TSG2nOPT1 — TSG2n オプションレジスタ 1

オプション機能を設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFE7 0024_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---------------|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | TSG2nSPC[2:0] | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R/W | R/W | R/W |

表 23.21 TSG2nOPT1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------------|---|
| 7 ~ 3 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 2 ~ 0 | TSG2nSPC [2:0] | ソフトウェア出力機能時および 120-DC モード時のタイマ出力のパターンを設定します。 出力パターンについては、「23.11.5 ソフトウェア出力制御機能」、「23.11.4 120-DC モード」を参照してください。 |

23.4.2.17 TSG2nTRG0 — TSG2n トリガレジスタ 0

TSG2nTRG0 レジスタはタイマ開始トリガレジスタです。

このレジスタをリードすると常に“00_H”が読み出されます。

アクセス 8ビット単位でライト可能です。

アドレス FFE7 0030_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | TSG2nTS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 23.22 TSG2nTRG0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|---|
| 7 ~ 1 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 0 | TSG2nTS | タイマ開始トリガビット 0: 無効 1: タイマソフトウェア開始トリガ (TSG2nTE = 1 にする) およびタイマソフトウェアリスタートトリガ |

23.4.2.18 TSG2nTRG1 — TSG2n トリガレジスタ 1

TSG2nTRG1 レジスタはタイマ停止トリガレジスタです。

このレジスタをリードすると常に“00_H”が読み出されます。

アクセス 8ビット単位でライト可能です。

アドレス FFE7 0034_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | TSG2nTT |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 23.23 TSG2nTRG1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|---|
| 7 ~ 1 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 0 | TSG2nTT | タイマ停止トリガビット 0: 無効 1: タイマソフトウェア停止トリガ (TSG2nTE = 0 にする) |

23.4.2.19 TSG2nCNT — TSG2n カウンタレジスタ

このレジスタは本マクロのメインカウンタです。HT-PWM モードにおいて、TSG2nCNT は三角波と同様に 2 ずつインクリメントまたはデクリメントしてカウントアップまたはカウントダウンします。ほかのモードでは、TSG2nCNT はのこぎり波と同様に 1 ずつインクリメントしてカウントアップします。

アクセス 16 ビット単位でリード可能です。

アドレス FFE7 0028_H

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | 16 ビットカウンタ | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

[TSG2nCNT の値]

| モード | 開始 | 最小 | 最大 |
|------------|-------------------|-------------------|------------------------|
| HT-PWM モード | TSG2nDTC0 | TSG2nDTC0 | TSG2nDTC0+TSG2nCMP0 注1 |
| その他のモード | 0000 _H | 0000 _H | TSG2nCMP0 |

注 1. 次の条件を満たすように値を設定してください: TSG2nDTC0 + TSG2nCMP0 < FFFF_H

23.4.2.20 TSG2nSBC — TSG2n サブカウンタレジスタ

このレジスタは HT-PWM モードにおける本マクロのサブカウンタです。HT-PWM モードにおいて、TSG2nCNT は三角波と同様に 2 ずつインクリメントまたはデクリメントしてカウントアップまたはカウントダウンします。また、このレジスタはジャンプ機能を備えています。

アクセス 16 ビット単位でリード可能です。

アドレス FFE7 002C_H

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | 16 ビットカウンタ | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| モード | 開始 | 最小 | 最大 |
|------------|-------------------|-------------------|---------------------------------------|
| HT-PWM モード | TSG2nDTC0 | 0000 _H | TSG2nDTC0+TSG2nDTC1+TSG2nC MP0 注 1 |
| その他のモード | 0000 _H | 0000 _H | 0000 _H |

注 1. 次の条件を満たすように値を設定してください: TSG2nDTC0 + TSG2nDTC1 + TSG2nCMP0 < FFFF_H

23.4.2.21 TSG2nCMP0 — TSG2n コンペアレジスタ 0

このレジスタは、すべてのモードにおけるタイマの PWM 周期を設定するコンペアレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFE7 0058_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | 16 ビットコンペアレジスタ | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| モード | 開始 | 最小 | 最大 |
|------------|---------------|------------------------------------|---|
| HT-PWM モード | TSG2nCMP0 注 1 | 0002 _H | FFFE _H |
| その他のモード | TSG2nCMP0 + 1 | 1 (TSG2nCMP0 = 0000 _H) | 10000 _H (TSG2nCMP0 = FFFF _H) |

注 1. HT-PWM モードでは、TSG2nCNT が 2 ずつ増減されるので、LSB ビットは無視されます。

23.4.2.22 TSG2nCMP1W — TSG2n コンペアレジスタ 1、2

このレジスタはすべてのモードにおいてタイマの PWM デューティを設定するコンペアレジスタです。上位 16 ビットを TSG2nCMP2 レジスタと呼び、下位 16 ビットを TSG2nCMP1 レジスタと呼びます。

下表に TSG2nCNT とコンペアレジスタのマッチング動作を示します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFE7 0040_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----------------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TSG2nCMP2 (16 ビットコンペアレジスタ) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TSG2nCMP1 (16 ビットコンペアレジスタ) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| | PWM モード | HT-PWM モード | SP-PWM モード | 120-DC モード |
|-----------|------------|----------------------------|------------|--|
| TSG2nCMP1 | TSOn1 のクリア | TSOn1 のクリア / TSOn2 のセット | <- 同左 | TSOn1、3、5 出力 PWM 選択 TSG2nPAT0 レジスタ |
| TSG2nCMP2 | TSOn1 のセット | TSOn1 のセット / TSOn2 のクリア | <- 同左 | TSOn1、3、5 出力 PWM 選択 TSG2nPAT0 レジスタ |

TSG2nTOEm = 1 のとき、デッドタイム機能はすべてのモードで有効です。上の表は基本的な機能を示しています。

HT-PWM モードでは、TSG2nSBC に対してマッチングの関係があります。

120-DC モードでは、TSOn1 ~ 6 は TSG2nCMPm、TSG2nPAT0、TSG2nPAT1 レジスタにより制御されます。

23.4.2.23 TSG2nCMP5W — TSG2n コンペアレジスタ 5、6

このレジスタはすべてのモードにおいてタイマの PWM デューティを設定するコンペアレジスタです。上位 16 ビットを TSG2nCMP6 レジスタと呼び、下位 16 ビットを TSG2nCMP5 レジスタと呼びます。

下表に TSG2nCNT とコンペアレジスタのマッチング動作を示します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFE7 0044_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----------------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TSG2nCMP6 (16 ビットコンペアレジスタ) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TSG2nCMP5 (16 ビットコンペアレジスタ) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| | PWM モード | HT-PWM モード | SP-PWM モード | 120-DC モード |
|-----------|------------|-------------------------|------------|---------------------------------------|
| TSG2nCMP5 | TSOn3 のクリア | TSOn3 のクリア / TSOn4 のセット | <- 同左 | TSOn1、3、5 出力 PWM 選択 TSG2nPAT0 レジスタ |
| TSG2nCMP6 | TSOn3 のセット | TSOn3 のセット / TSOn4 のクリア | <- 同左 | TSOn1、3、5 出力 PWM 選択 TSG2nPAT0 レジスタ |

TSG2nTOEm = 1 のとき、デッドタイム機能はすべてのモードで有効です。上の表は基本的な機能を示しています。

HT-PWM モードでは、TSG2nSBC に対してマッチングの関係があります。

120-DC モードでは、TSOn1 ~ 6 は TSG2nCMPm、TSG2nPAT0、TSG2nPAT1 レジスタにより制御されます。

23.4.2.24 TSG2nCMP9W — TSG2n コンペアレジスタ 9、10

このレジスタはすべてのモードにおいてタイマの PWM デューティを設定するコンペアレジスタです。上位 16 ビットを TSG2nCMP10 レジスタと呼び、下位 16 ビットを TSG2nCMP9 レジスタと呼びます。

下表に TSG2nCNT とコンペアレジスタのマッチング動作を示します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFE7 0048_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-----------------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TSG2nCMP10 (16 ビットコンペアレジスタ) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TSG2nCMP9 (16 ビットコンペアレジスタ) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| | PWM モード | HT-PWM モード | SP-PWM モード | 120-DC モード |
|------------|------------|----------------------------|------------|--|
| TSG2nCMP9 | TSOn5 のクリア | TSOn5 のクリア / TSOn6 のセット | <- 同左 | TSOn1、3、5 出力 PWM 選択 TSG2nPAT0 レジスタ |
| TSG2nCMP10 | TSOn5 のセット | TSOn5 のセット / TSOn6 のクリア | <- 同左 | TSOn1、3、5 出力 PWM 選択 TSG2nPAT0 レジスタ |

TSG2nTOEm = 1 のとき、デッドタイム機能はすべてのモードで有効です。上の表は基本的な機能を示しています。

HT-PWM モードでは、TSG2nSBC に対してマッチングの関係があります。

120-DC モードでは、TSOn1 ~ 6 は TSG2nCMPm、TSG2nPAT0、TSG2nPAT1 レジスタにより制御されます。

23.4.2.25 TSG2nCMP3W — TSG2n コンペアレジスタ 3、4

このレジスタはすべてのモードにおいてタイマの PWM デューティを設定するコンペアレジスタです。上位 16 ビットを TSG2nCMP4 レジスタと呼び、下位 16 ビットを TSG2nCMP3 レジスタと呼びます。

下表に TSG2nCNT とコンペアレジスタのマッチング動作を示します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFE7 004C_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----------------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TSG2nCMP4 (16 ビットコンペアレジスタ) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TSG2nCMP3 (16 ビットコンペアレジスタ) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| | PWM モード | HT-PWM モード | SP-PWM モード | 120-DC モード |
|-----------|-----------|------------|------------|--|
| TSG2nCMP3 | TSOn2 クリア | — | — | TSOn2、4、6 出力 PWM 選択 TSG2nPAT1 レジスタ |
| TSG2nCMP4 | TSOn2 セット | — | — | TSOn2、4、6 出力 PWM 選択 TSG2nPAT1 レジスタ |

TSG2nTOEm = 1 のとき、デッドタイム機能はすべてのモードで有効です。上の表は基本的な機能を示しています。

HT-PWM モードでは、TSG2nSBC に対してマッチングの関係があります。

120-DC モードでは、TSOn1 ~ 6 は TSG2nCMPm、TSG2nPAT0、TSG2nPAT1 レジスタにより制御されます。

23.4.2.26 TSG2nCMP7W — TSG2n コンペアレジスタ 7、8

このレジスタはすべてのモードにおいてタイマの PWM デューティを設定するコンペアレジスタです。上位 16 ビットを TSG2nCMP8 レジスタと呼び、下位 16 ビットを TSG2nCMP7 レジスタと呼びます。

下表に TSG2nCNT とコンペアレジスタのマッチング動作を示します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFE7 0050_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----------------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TSG2nCMP8 (16 ビットコンペアレジスタ) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TSG2nCMP7 (16 ビットコンペアレジスタ) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| | PWM モード | HT-PWM モード | SP-PWM モード | 120-DC モード |
|-----------|------------|------------|------------|--|
| TSG2nCMP7 | TSOn4 のクリア | — | — | TSOn2、4、6 出力 PWM 選択 TSG2nPAT1 レジスタ |
| TSG2nCMP8 | TSOn4 のセット | — | — | TSOn2、4、6 出力 PWM 選択 TSG2nPAT1 レジスタ |

TSG2nTOEm = 1 のとき、デッドタイム機能はすべてのモードで有効です。上の表は基本的な機能を示しています。

HT-PWM モードでは、TSG2nSBC に対してマッチングの関係があります。

120-DC モードでは、TSOn1 ~ 6 は TSG2nCMPm、TSG2nPAT0、TSG2nPAT1 レジスタにより制御されます。

23.4.2.27 TSG2nCMP11W — TSG2n コンペアレジスタ 11、12

このレジスタはすべてのモードにおいてタイマの PWM デューティを設定するコンペアレジスタです。上位 16 ビットを TSG2nCMP12 レジスタと呼び、下位 16 ビットを TSG2nCMP11 レジスタと呼びます。

下表に TSG2nCNT とコンペアレジスタのマッチング動作を示します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFE7 0054_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-----------------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TSG2nCMP12 (16 ビットコンペアレジスタ) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TSG2nCMP11 (16 ビットコンペアレジスタ) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| | PWM モード | HT-PWM モード | SP-PWM モード | 120-DC モード |
|------------|------------|------------|------------|--|
| TSG2nCMP11 | TSOn6 のクリア | — | — | TSOn2、4、6 出力 PWM 選択 TSG2nPAT1 レジスタ |
| TSG2nCMP12 | TSOn6 のセット | — | — | TSOn2、4、6 出力 PWM 選択 TSG2nPAT1 レジスタ |

TSG2nTOEm = 1 のとき、デッドタイム機能はすべてのモードで有効です。上の表は基本的な機能を示しています。

HT-PWM モードでは、TSG2nSBC に対してマッピングの関係があります。

120-DC モードでは、TSOn1 ~ 6 は TSG2nCMPm、TSG2nPAT0、TSG2nPAT1 レジスタにより制御されます。

23.4.2.28 TSG2nCMP1-12 — TSG2n コンペアレジスタ 1 ~ 12

このレジスタはすべてのモードにおいてタイマの PWM デューティを設定するコンペアレジスタです。このレジスタは TSG2nCMP1W、3W、5W、7W、9W、11W のアドレスマッピングを反映しており、機能は TSG2nCMP1W、3W、5W、7W、9W、11W レジスタと同様です。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス TSG20CMP1: FFE7 0080_H
 TSG20CMP2: FFE7 0084_H
 TSG20CMP3: FFE7 0098_H
 TSG20CMP4: FFE7 009C_H
 TSG20CMP5: FFE7 0088_H
 TSG20CMP6: FFE7 008C_H
 TSG20CMP7: FFE7 00A0_H
 TSG20CMP8: FFE7 00A4_H
 TSG20CMP9: FFE7 0090_H
 TSG20CMP10: FFE7 0094_H
 TSG20CMP11: FFE7 00A8_H
 TSG20CMP12: FFE7 00AC_H

リセット後の値 0000_H

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|----------------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| TSG2nCMPm (16 ビットコンペアレジスタ) | | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

備考 m = 1 ~ 12

23.4.2.29 TSG2nDCMP0W — TSG2n 診断コンペアレジスタ 0、1

このレジスタはすべてのモードにおいて機能と A/D 開始トリガタイミングを診断するコンペアレジスタです。上位 16 ビットを TSG2nDCMP1 レジスタと呼び、下位 16 ビットを TSG2nDCMP0 レジスタと呼びます。TSG2nCNT とこれらのレジスタのマッチングのタイミングにより TSTADT0、TSTADT1 および TSO_n7 出力端子が制御されます。

「23.9 A/D 変換トリガ機能」、「23.5.4.1(1) TSO_n7 端子の出力制御」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFE7 005C_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|-----------------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | TSG2nDCMP1 (16 ビットコンペアレジスタ) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TSG2nDCMP0 (16 ビットコンペアレジスタ) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

23.4.2.30 TSG2nDCMP2 — TSG2n 診断コンペアレジスタ 2

このレジスタはすべてのモードにおいて機能と A/D 開始トリガタイミングを診断するコンペアレジスタです。下位 16 ビットを TSG2nDCMP2 レジスタと呼びます。

TSG2nCNT とこれらのレジスタのマッチングのタイミングにより TSTADT0、TSTADT1 および TSO_n7 出力ピンが制御されます。

「23.9 A/D 変換トリガ機能」、「23.5.4.1(1) TSO_n7 端子の出力制御」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFE7 0060_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|-----------------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TSG2nDCMP2 (16 ビットコンペアレジスタ) | | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

23.4.2.31 TSG2nPAT0W — TSG2n パタンレジスタ 0

このレジスタは UT/VT/WT の出力パタン制御レジスタです。

17～15 ビットは PAT5T、14～12 ビットは PAT4T、11～9 ビットは PAT3T、8～6 ビットは PAT2T、5～3 ビットは PAT1T、2～0 ビットは PAT0T です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFE7 0064_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------|-----|-------|-----|-----|-------|-----|-----|-------|-----|-----|-------|-----|-----|-------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | PAT5T | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PAT5T | | PAT4T | | | PAT3T | | | PAT2T | | | PAT1T | | | PAT0T | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| PAT5T ~ PAT0T の値 | 出力制御 |
|------------------|------------------------|
| 000 | ロウレベルを保持 |
| 001 | TSG2nCMP1 の PWM 出力を選択 |
| 010 | TSG2nCMP2 の PWM 出力を選択 |
| 011 | TSG2nCMP5 の PWM 出力を選択 |
| 100 | TSG2nCMP6 の PWM 出力を選択 |
| 101 | TSG2nCMP9 の PWM 出力を選択 |
| 110 | TSG2nCMP10 の PWM 出力を選択 |
| 111 | ハイレベルを保持 |

23.4.2.32 TSG2nPAT1W — TSG2n パタンレジスタ 1

このレジスタは UT/VT/WT の出力パタン制御レジスタです。

17～15 ビットは PAT5B、14～12 ビットは PAT4B、11～9 ビットは PAT3B、8～6 ビットは PAT2B、5～3 ビットは PAT1B、2～0 ビットは PAT0B です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFE7 0068_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------|-----|-------|-----|-----|-------|-----|-----|-------|-----|-----|-------|-----|-------|-------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | PAT5B | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PAT5B | | PAT4B | | | PAT3B | | | PAT2B | | | PAT1B | | PAT0B | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| PAT5B ～ PAT0B の値 | 出力制御 |
|------------------|------------------------|
| 000 | ロウレベルを保持 |
| 001 | TSG2nCMP3 の PWM 出力を選択 |
| 010 | TSG2nCMP4 の PWM 出力を選択 |
| 011 | TSG2nCMP7 の PWM 出力を選択 |
| 100 | TSG2nCMP8 の PWM 出力を選択 |
| 101 | TSG2nCMP11 の PWM 出力を選択 |
| 110 | TSG2nCMP12 の PWM 出力を選択 |
| 111 | ハイレベルを保持 |

23.4.2.33 TSG2nDTC0W — TSG2n デッドタイムコンペアレジスタ 0

このレジスタはデッドタイム用のコンペアレジスタです。このレジスタは「逆相がインアクティブレベルに変化」してから「正相がアクティブレベルに変化」するまでの期間を制御します。下位 10 ビットを TSG2nDTC0 レジスタと呼びます。

「10 ビットデッドタイムコンペア」の値を変更する場合、「書き込み保護コード」を TSG2nPWDATA0 に書き込む必要があります。TSG2nDTCM = 0 で、TSG2nPWDATA0 と TSG2nDTPR (保護コードコンフィギュレーションレジスタ) が一致する場合のみ、「10 ビットデッドタイムコンペア」を変更できます。

タイマの動作中 (TSG2nTE = 1) は、リロードモード (TSG2nRMC = 0) の場合を除き、このレジスタに書き込みを行わないでください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFE7 006C_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|------------------------------|----|----|----|----|----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | TSG2nPWDATA0 (書き込み保護コード) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TSG2nDTC0 (10 ビットデッドタイムコンペア) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

23.4.2.34 TSG2nDTC1W — TSG2n デッドタイムコンペアレジスタ 1

このレジスタはデッドタイム用のコンペアレジスタです。このレジスタは「正相がインアクティブレベルに変化」してから「逆相がアクティブレベルに変化」するまでの期間を制御します。下位 10 ビットを TSG2nDTC1 レジスタと呼びます。

「10 ビットデッドタイムコンペア」の値を変更する場合、「書き込み保護コード」を TSG2nPWDATA1 に書き込む必要があります。TSG2nDTCM = 0 で TSG2nPWDATA1 と TSG2nDTPR (保護コードコンフィギュレーションレジスタ) が一致する場合のみ、「10 ビットデッドタイムコンペア」を変更できます。

タイマの動作中 (TSG2nTE = 1) は、リロードモード (TSG2nRMC = 0) の場合を除き、このレジスタに書き込みを行わないでください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFE7 0070_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|------------------------------|----|----|----|----|----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | TSG2nPWDATA1 (書き込み保護コード) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TSG2nDTC1 (10 ビットデッドタイムコンペア) | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

23.4.2.35 TSG2nCMPU — TSG2n U 相用コンペアレジスタ

このレジスタは HT-PWM モードのみを使用する場合のコンペアレジスタです。機能は TSG2nCMP1W (TSG2nCMP1、2) と同様ですが、このレジスタは特定のレジスタアクセスを行います。

すなわち、TSG2nCMPU のライトデータが TSG2nCMP1、2 レジスタに格納されます。そのため、1 回のライトアクセスで PWM の対称三角波が生じます (図 23.2 参照)。このレジスタをリードすると TSG2nCMP1 と等しい値が読み出されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFE7 00B0_H

リセット後の値 0000_H

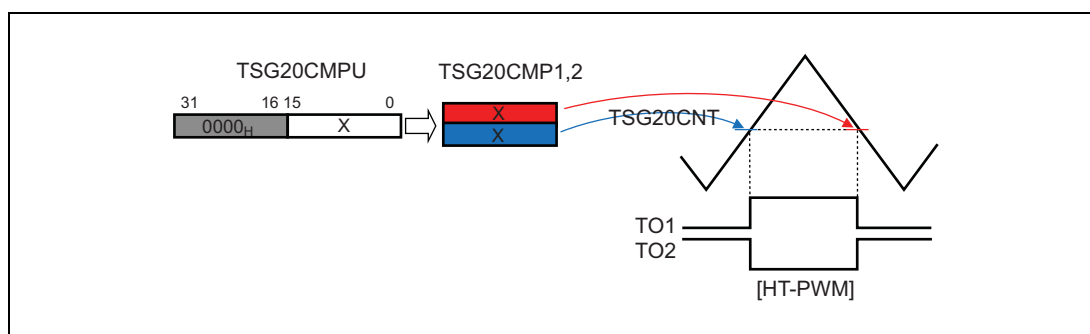
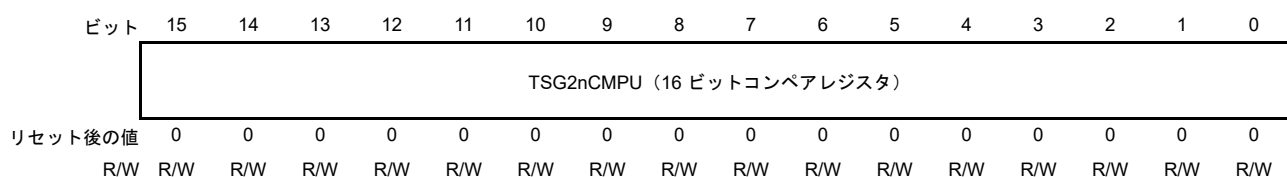


図 23.2 TSG2nCMPU レジスタのレジスタアクセス

23.4.2.36 TSG2nCMPV — TSG2n V 相用コンペアレジスタ

このレジスタは HT-PWM モードのみを使用する場合のコンペアレジスタです。機能は TSG2nCMP5W (TSG2nCMP5、6) と同様ですが、このレジスタは特定のレジスタアクセスを行います。

すなわち、TSG2nCMPV のライトデータが TSG2nCMP5、6 レジスタに格納されます。そのため、1 回のライトアクセスで PWM の対称三角波が生じます (図 23.3 参照)。このレジスタをリードすると TSG2nCMP5 と等しい値が読み出されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFE7 00B4_H

リセット後の値 0000_H

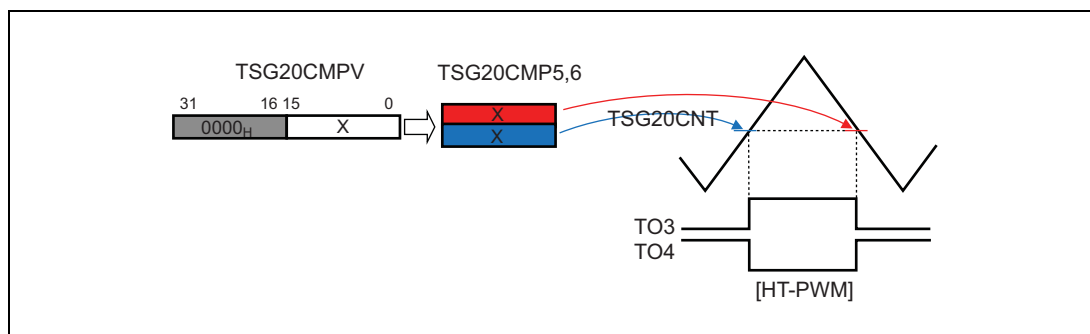
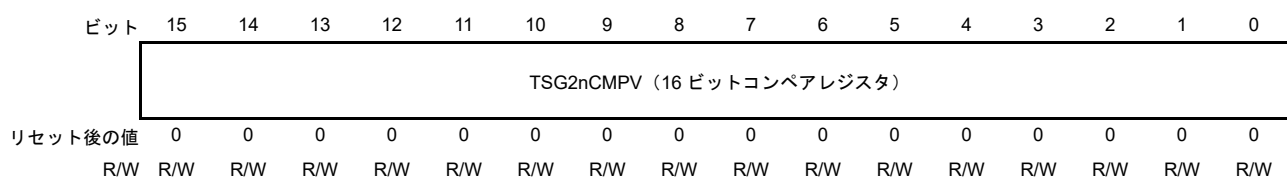


図 23.3 TSG2nCMPV レジスタのレジスタアクセス

23.4.2.37 TSG2nCMPW — TSG2n W 相用コンペアレジスタ

このレジスタは HT-PWM モードのみを使用する場合のコンペアレジスタです。機能は TSG2nCMP9W (TSG2nCMP9、10) と同様ですが、このレジスタは特定のレジスタアクセスを行います。

すなわち、TSG2nCMPW のライトデータが TSG2nCMP9、10 レジスタに格納されます。そのため、1 回のライトアクセスで PWM の対称三角波が生じます (図 23.4 参照)。このレジスタをリードすると TSG2nCMP9 と等しい値が読み出されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFE7 00B8_H

リセット後の値 0000_H

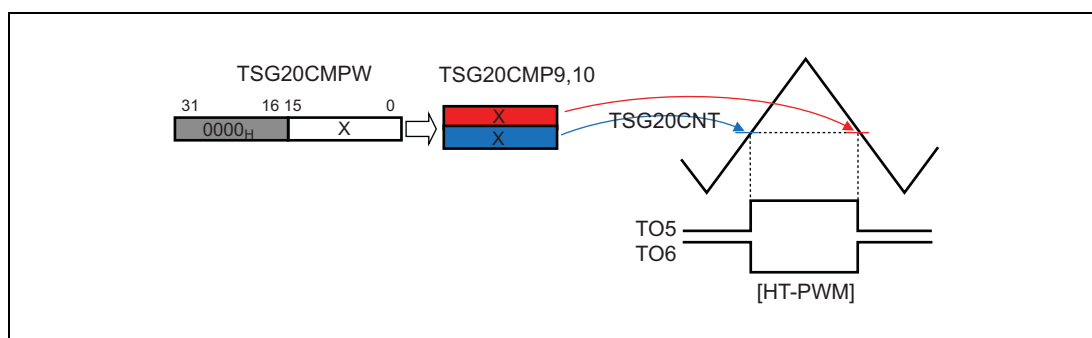
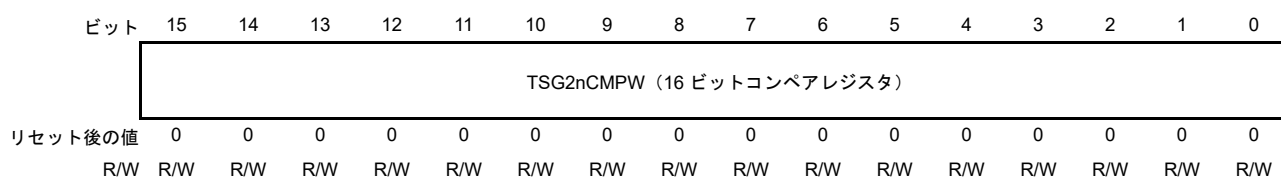


図 23.4 TSG2nCMPW レジスタのレジスタアクセス

23.4.2.38 TSG2nUPW — TSG2n U 相期間レジスタ

このレジスタは SP-PWM モードのみを使用する場合のコンペアレジスタです。このレジスタにより PWM の期間を設定します。すなわち、TSG2nUPW と TSG2nCMP2 のライトデータと一緒に TSG2nCMP1 レジスタに格納されます (図 23.5 参照)。このレジスタをリードすると TSG2nCMP1 と等しい値が読み出されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFE7 00BC_H

リセット後の値 0000_H

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

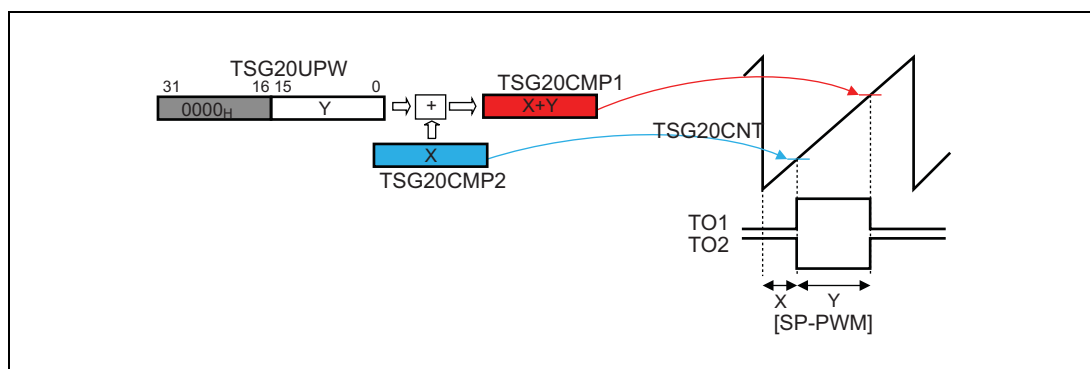


図 23.5 TSG2nUPW レジスタのレジスタアクセス

23.4.2.39 TSG2nVPW — TSG2n V 相期間レジスタ

このレジスタは SP-PWM モードのみを使用する場合のコンペアレジスタです。このレジスタにより PWM の期間を設定します。すなわち、TSG2nVPW と TSG2nCMP6 のライトデータと一緒に TSG2nCMP5 レジスタに格納されます (図 23.6 参照)。このレジスタをリードすると TSG2nCMP5 と等しい値が読み出されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFE7 00C0_H

リセット後の値 0000_H

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

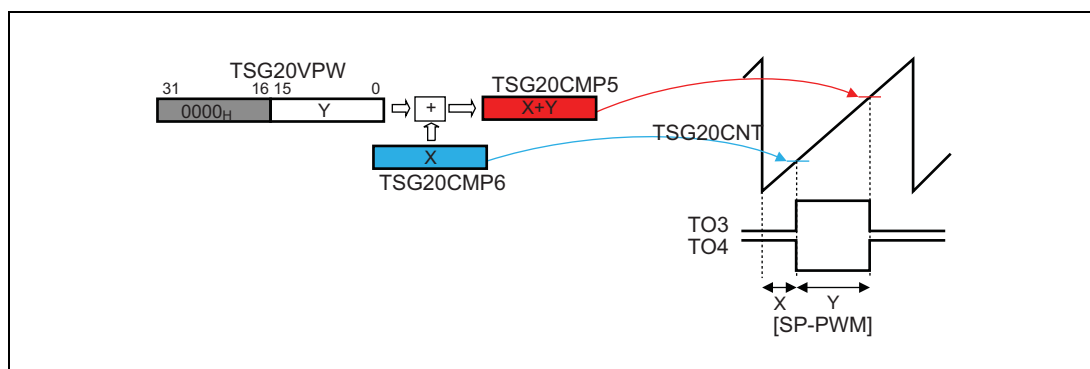


図 23.6 TSG2nVPW レジスタのレジスタアクセス

23.4.2.40 TSG2nWPW — TSG2n W 相期間レジスタ

このレジスタは SP-PWM モードのみを使用する場合のコンペアレジスタです。このレジスタにより PWM の期間を設定します。すなわち、TSG2nWPW と TSG2nCMP10 のライトデータと一緒に TSG2nCMP9 レジスタに格納されます (図 23.7 参照)。このレジスタをリードすると TSG2nCMP9 と等しい値が読み出されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFE7 00C_H

リセット後の値 0000_H

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

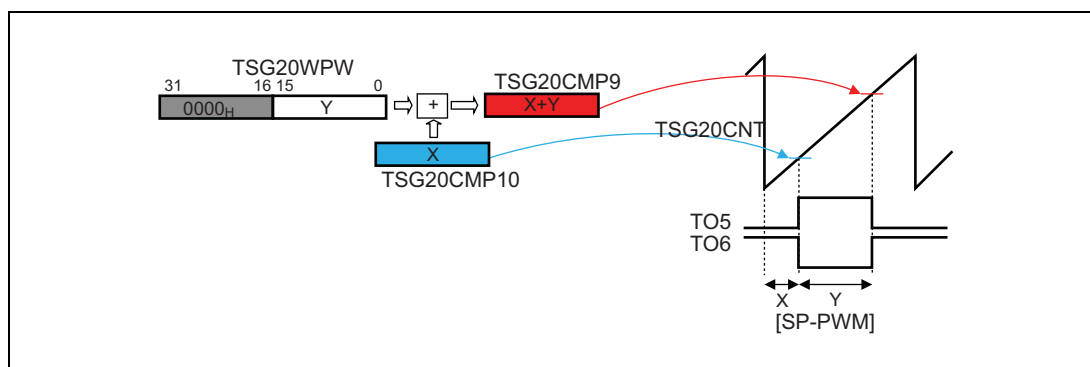


図 23.7 TSG2nWPW レジスタのレジスタアクセス

23.4.2.41 TSG2nDTPR — TSG2n デッドタイム保護レジスタ

このレジスタは TSG2nDTC0、TSG2nDTC 1 レジスタの書き込み保護を制御します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFE7 0210_H

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|---------------|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TSG2n DTCM | TSG2nDTPR | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 23.24 TSG2nDTPR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------|---|
| 15 | TSG2nDTCM | TSG2nDTC0, 1 書き込みマスクビット 0 : TSG2nDTC0, 1 を変更可能 1 : TSG2nDTC0, 1 を変更不可 |
| 14 ~ 0 | TSG2nDTPR | 書き込み保護コード 0000 _H -7FFF _H : これらのビットを任意の値に設定 |

23.5 基本動作

23.5.1 16 ビットカウンタ基本動作

16 ビットカウンタの基本動作を説明します。

カウント開始動作

TSG2n の 16 ビットカウンタは、HT-PWM モードを除くすべてのモードでリセット後の値 0000_H からカウントを開始します。

HT-PWM モード以外でのカウント動作は、0000_H、0001_H、0002_H、0003_H、... とカウントアップします。

クリア動作

カウンタ値とコンペア設定値の一致により 16 ビットカウンタをクリアします。

カウント動作中のカウンタリード動作

TSG2n では、TSG2nCNT レジスタにより、カウント動作中の 16 ビットカウンタの値をリードできます。

割り込み動作

TSG2n では、次の割り込みを発生します。

- INTTSG2nI[0] : HT-PWM モード時、16 ビットカウンタと TSG2nDTC0 の一致による周期割り込みとして機能します。HT-PWM モード以外のモードでは、16 ビットカウンタと TSG2nCMP0 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[1] : 16 ビットカウンタと TSG2nCMP1 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[2] : 16 ビットカウンタと TSG2nCMP2 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[3] : 16 ビットカウンタと TSG2nCMP3 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[4] : 16 ビットカウンタと TSG2nCMP4 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[5] : 16 ビットカウンタと TSG2nCMP5 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[6] : 16 ビットカウンタと TSG2nCMP6 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[7] : 16 ビットカウンタと TSG2nCMP7 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[8] : 16 ビットカウンタと TSG2nCMP8 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[9] : 16 ビットカウンタと TSG2nCMP9 バッファレジスタのコンペア一致割り込みとして機能します。

- INTTSG2nI[10] : 16 ビットカウンタと TSG2nCMP10 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[11] : 16 ビットカウンタと TSG2nCMP11 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[12] : 16 ビットカウンタと TSG2nCMP12 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nIPEK : 16 ビットカウンタがアップカウントからダウンカウントの切り替わりタイミングの山割り込みとして機能します。
- INTTSG2nIVLY : 16 ビットカウンタがダウンカウントからアップカウントの切り替わりタイミングの谷割り込みとして機能します。(HT-PWM モードのみ)
- INTTSG2nIER : 正相/逆相同時アクティブの検出割り込みとして機能します。
- INTTSG2nIWN : 各種ワーニングを検出する割り込みとして機能します。

23.5.2 コンペアレジスタの機能

コンペアレジスタの動作モード別の機能は表 23.25 ～表 23.28 のとおりです。

表 23.25 モード別コンペアレジスタ機能一覧 (1/4)

| 動作モード | TSG2nCMP0 | TSG2nCMP1W | TSG2nCMP3W | TSG2nCMP5W |
|---------------|-----------|--|--|--|
| PWM モード | PWM 周期 | TSG2nCMP1 : TSOn1 クリアタイミング TSG2nCMP2 : TSOn1 セットタイミング | TSG2nCMP3 : TSOn2 クリアタイミング TSG2nCMP4 : TSOn2 セットタイミング | TSG2nCMP5 : TSOn3 クリアタイミング TSG2nCMP6 : TSOn3 セットタイミング |
| HT-PWM モード | PWM 周期 | TSG2nCMP1 : TSOn1 クリアタイミング/ TSOn2 セットタイミング TSG2nCMP2 : TSOn1 セットタイミング/ TSOn2 クリアタイミング | — | TSG2nCMP5 : TSOn3 クリアタイミング/ TSOn4 セットタイミング TSG2nCMP6 : TSOn3 セットタイミング/ TSOn4 クリアタイミング |
| SP-PWM モード | PWM 周期 | TSG2nCMP1 : TSOn1 クリアタイミング/ TSOn2 セットタイミング TSG2nCMP2 : TSOn1 セットタイミング/ TSOn2 クリアタイミング | — | TSG2nCMP5 : TSOn3 クリアタイミング/ TSOn4 セットタイミング TSG2nCMP6 : TSOn3 セットタイミング/ TSOn4 クリアタイミング |
| 120-DC モード | PWM 周期 | TSG2nCMP1、TSG2nCMP2 : TSOn1、TSOn3、TSOn5 出力 を TSG2nPAT0 で選択 | TSG2nCMP3、 TSG2nCMP4 : TSOn2、TSOn4、TSOn6 出 力を TSG2nPAT1 で選択 | TSG2nCMP5、TSG2nCMP6 : TSOn1、TSOn3、TSOn5 出力 を TSG2nPAT0 で選択 |

表 23.26 モード別コンペアレジスタ機能一覧 (2/4)

| 動作モード | TSG2nCMP7W | TSG2nCMP9W | TSG2nCMP11W | TSG2nCMP1- TSG2nCMP12 |
|------------|--|---|--|--|
| PWM モード | TSG2nCMP7 : TSOn4 クリア タイミング TSG2nCMP8 : TSOn4 セット タイミング | TSG2nCMP9 : TSOn5 クリア タイミング TSG2nCMP10 : TSOn5 セット タイミング | TSG2nCMP11 : TSOn6 クリア タイミング TSG2nCMP12 : TSOn3 セット タイミング | TSG2nCMP1W- TSG2nCMP11W を参照 |
| HT-PWM モード | — | TSG2nCMP9 : TSOn5 クリア タイミング/ TSOn6 セット タイミング TSG2nCMP10 : TSOn5 セット タイミング/ TSOn6 クリア タイミング | — | TSG2nCMP1W、 TSG2nCMP5W、 TSG2nCMP9W を参照 |

表 23.26 モード別コンペアレジスタ機能一覧 (2/4)

| 動作モード | TSG2nCMP7W | TSG2nCMP9W | TSG2nCMP11W | TSG2nCMP1-TSG2nCMP12 |
|------------|---|---|---|--|
| SP-PWM モード | — | TSG2nCMP9 : TSOn5 クリア タイミング/ TSOn6 セット タイミング TSG2nCMP10 : TSOn5 セット タイミング/ TSOn6 クリア タイミング | — | TSG2nCMP1W、 TSG2nCMP5W、 TSG2nCMP9W を参照 |
| 120-DC モード | TSG2nCMP7、 TSG2nCMP8 : TSOn2、TSOn4、TSOn6 出力を TSG2nPAT1 で選 択 | TSG2nCMP9、 TSG2nCMP10 : TSOn1、TSOn3、TSOn5 出力を TSG2nPAT0 で選 択 | TSG2nCMP11、 TSG2nCMP12 : TSOn2、TSOn4、TSOn6 出力を TSG2nPAT1 で選 択 | TSG2nCMP1W- TSG2nCMP11W を参照 |

表 23.27 モード別コンペアレジスタ機能一覧 (3/4)

| 動作モード | TSG2nDCMP0W | TSG2nDCMP2W | TSG2nCMPU | TSG2nCMPV |
|------------|------------------------------------|------------------------------------|---|---|
| PWM モード | ダイアグ出力、もしくは、 A/D 変換トリガタイミン グ | ダイアグ出力、もしくは、 A/D 変換トリガタイミン グ | — | — |
| HT-PWM モード | ダイアグ出力、もしくは、 A/D 変換トリガタイミン グ | ダイアグ出力、もしくは、 A/D 変換トリガタイミン グ | TSG2nCMPU へ設定した 値が TSG2nCMP1W (TSG2nCMP1、 TSG2nCMP2) の設定値 となります | TSG2nCMPV へ設定した 値が TSG2nCMP5W (TSG2nCMP5、 TSG2nCMP6) の設定値 となります |
| SP-PWM モード | ダイアグ出力、もしくは、 A/D 変換トリガタイミン グ | ダイアグ出力、もしくは、 A/D 変換トリガタイミン グ | — | — |
| 120-DC モード | ダイアグ出力、もしくは、 A/D 変換トリガタイミン グ | ダイアグ出力、もしくは、 A/D 変換トリガタイミン グ | — | — |

表 23.28 モード別コンペアレジスタ機能一覧 (4/4)

| 動作モード | TSG2nCMPW | TSG2nUPW | TSG2nVPW | TSG2nWPW |
|------------|--|--|--|---|
| PWM モード | — | — | — | — |
| HT-PWM モード | TSG2nCMPW へ設定し た値が TSG2nCMP9W (TSG2nCMP9、 TSG2nCMP10) の設定 値となります | — | — | — |
| SP-PWM モード | — | TSG2nUPW へ設定した 値が TSG2nCMP2 に設 定した値と加算され、 TSG2nCMP1 の設定値と なります | TSG2nVPW へ設定した 値が TSG2nCMP6 に設 定した値と加算され、 TSG2nCMP5 の設定値と なります | TSG2nWPW へ設定した 値が TSG2nCMP10 に設 定した値と加算され、 TSG2nCMP9 の設定値と なります |
| 120-DC モード | — | — | — | — |

23.5.3 コンペアレジスタの書き換え操作

コンペアレジスタの書き換えは、リロードモード (TSG2nCTL3.TSG2nRMC = 0) と随時書き換えモード (TSG2nCTL3.TSG2nRMC = 1) で行います。

対象のレジスタは次のとおりです。

- TSG2nCMP0
- TSG2nCMP1-TSG2nCMP12 (TSG2nCMP1W、TSG2nCMP3W、TSG2nCMP5W、TSG2nCMP7W、TSG2nCMP9W、TSG2nCMP11W)
- TSG2nPAT0W、TSG2nPAT1W
- TSG2nDTC0W、TSG2nDTC1W
- TSG2nDCMP0W、TSG2nDCMP2
- TSG2nCTL4
- TSG2nIOC3

随時書き換えモード

このモードでは、各コンペアレジスタが独立して更新動作を行い、各コンペアレジスタに書き込むと随時ライトアクセスした値に更新されます。

注 意

HT-PWM モードで随時書き換えモード時、バッファレジスタへの転送が終了する前に再度書き換えを行った場合、ライトアクセスした値が即時に更新されません。

書き換えたタイミングが 16 ビットカウンタのアップカウント時は、次の 16 ビットサブカウンタの山タイミングで更新されます。16 ビットカウンタのダウンカウント時は、次の 16 ビットサブカウンタの谷タイミングで更新されます。

リロードモード (一斉書き換え機能)

TSG2nCMP1 (TSG2nCMP1W、TSG2nCMPU、TSG2nUPW) レジスタへライトするとリロードが許可され (リロード要求フラグ TSG2nSTR0.TSG2nRSF をセット)、次のリロードタイミングでリロード対象レジスタが一斉に更新されます (リロード)。

リロードタイミングは、TSG2nTRG0.TSG2nTS ビットを “0” から “1” にしたとき、16 ビットカウンタの山/谷タイミングです。TSG2nCTL4.TSG2nPRE、TSG2nVRE で制御します。

TSG2nCMP1 (TSG2nCMP1W、TSG2nCMPU、TSG2nUPW) 以外のレジスタへライトしてもリロードは許可されません。

TSG2nCMP1 (TSG2nCMP1W、TSG2nCMPU、TSG2nUPW) レジスタへのライトによりリロードが許可され、次のリロードタイミングがくるまでは、リロード対象レジスタへのライトアクセスはしないでください。リロード要求フラグ TSG2nSTR0.TSG2nRSF = 0 のときに書き換えてください。

リロード対象レジスタの DMA 書き換え

一部のリロード対象レジスタは DMA 転送で書き換えることができます。DMA 転送は、表 23.29 のように行います。

表 23.29 リロード対象レジスタの DMA 転送順序例

| アドレス | レジスタ名 | DMA 転送順 (例) |
|----------------------------------|-------------|-------------|
| <TSG2n_base1> + 040 _H | TSG2nCMP1W | ↑ |
| <TSG2n_base1> + 044 _H | TSG2nCMP5W | ↑ |
| <TSG2n_base1> + 048 _H | TSG2nCMP9W | ↑ |
| <TSG2n_base1> + 04C _H | TSG2nCMP3W | ↑ |
| <TSG2n_base1> + 050 _H | TSG2nCMP7W | ↑ |
| <TSG2n_base1> + 054 _H | TSG2nCMP11W | ↑ |
| <TSG2n_base1> + 058 _H | TSG2nCMP0 | ↑ |
| <TSG2n_base1> + 05C _H | TSG2nDCMP0W | ↑ |
| <TSG2n_base1> + 060 _H | TSG2nDCMP2 | ↑ |
| <TSG2n_base1> + 064 _H | TSG2nPAT0W | ↑ |
| <TSG2n_base1> + 068 _H | TSG2nPAT1W | ↑ |
| <TSG2n_base1> + 06C _H | TSG2nDTC0W | ↑ |
| <TSG2n_base1> + 070 _H | TSG2nDTC1W | ↑ |

表 23.30 HT-PWM モード時のデューティ設定

| アドレス | レジスタ名 | DMA 転送順 (例) |
|----------------------------------|-----------|-------------|
| <TSG2n_base1> + 0B0 _H | TSG2nCMPU | ↑ |
| <TSG2n_base1> + 0B4 _H | TSG2nCMPV | ↑ |
| <TSG2n_base1> + 0B8 _H | TSG2nCMPW | ↑ |

表 23.31 SP-PWM モード時のアクティブ幅設定

| アドレス | レジスタ名 | DMA 転送順 (例) |
|----------------------------------|----------|-------------|
| <TSG2n_base1> + 0BC _H | TSG2nUPW | ↑ |
| <TSG2n_base1> + 0C0 _H | TSG2nVPW | ↑ |
| <TSG2n_base1> + 0C4 _H | TSG2nWPW | ↑ |

備 考

1. TSG2nCTL4、TSG2nIOC3 は、個別に書き換えてください。
2. TSG2nCMP1W (TSG2nCMP1、TSG2nCMPU、TSG2nUPW を含む) のライトは、リロードが許可されますので、ほかのリロード対象レジスタの書き換え (リロードの準備) が終了したあとに書き換えてください。

23.5.3.1 随時書き換えモードの動作例

コンペアレジスタ (TSG2nCMP1-TSG2nCMP12) へライトした値が、すぐに内部のバッファレジスタに転送されカウンタ値との比較対象になるモードです。

コンペアレジスタ (TSG2nCMP1-TSG2nCMP12) 等へライト後、1クロック (PCLK) 後に内部コンペアバッファレジスタへ値が転送されます。

TSG2nCMP0 の転送タイミングは、コンペアレジスタへライト後の 16 ビットカウンタの山／谷タイミング (HT-PWM モードのみ)、もしくは、TSG2nCMP0 と 16 ビットカウンタの一致タイミング (HT-PWM モード以外) になります。

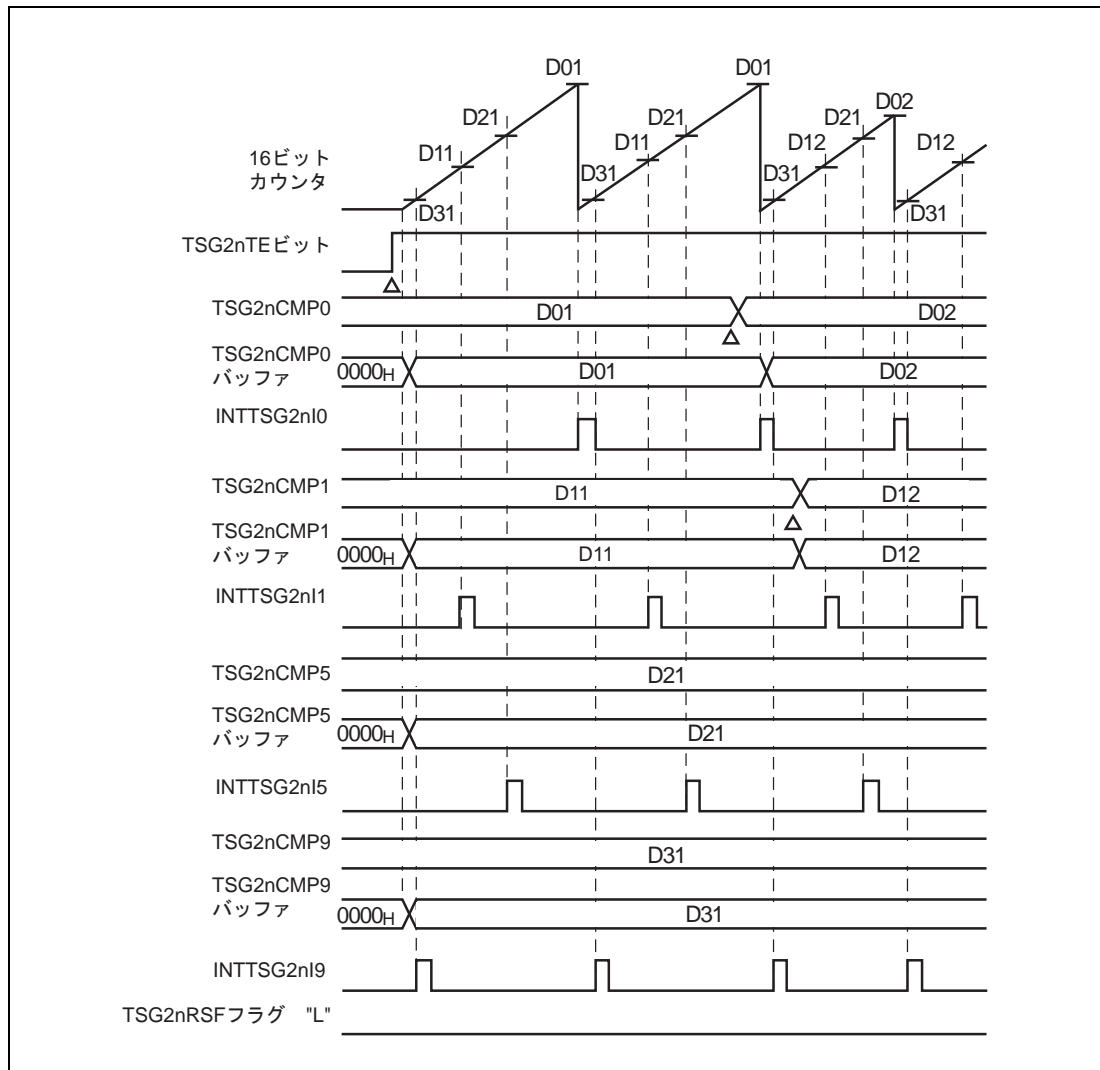


図 23.8 随時書き換えのタイミング (PWM モードの例)

備考

1. D01、D02 : TSG2nCMP0 の設定値 (0000_H-FFFF_H)
D11、D12 : TSG2nCMP1 の設定値 (0000_H-FFFF_H)
D21 : TSG2nCMP5 の設定値 (0000_H-FFFF_H)
D31 : TSG2nCMP9 の設定値 (0000_H-FFFF_H)
2. Δ : ライトアクセス

(1) HT-PWM モードにおける随時書き込み時の PWM への反映について

HT-PWM モード時、コンペアレジスタの随時書き換えしたタイミングにより、次の出力制御が行われます。

- 随時書き換えが逆相のクリア後、16 ビットカウンタがアップカウント (16 ビットサブカウンタは、アップカウント) の場合、書き換えた値が $TSG2nCMPm < TSG2nSBC$ のとき、正相がセットされます。また、書き換えた値が $TSG2nCMPm > TSG2nCNT$ のとき、逆相がセットされます。(正相および逆相のクリア後は、デッドタイムが挿入されます)
- 随時書き換えが正相のセット後、16 ビットカウンタがアップカウント (16 ビットサブカウンタは、アップカウント) の場合、書き換えた値が $TSG2nCMPm > TSG2nSBC$ のとき、正相がクリアされます。また、書き換えた値が $TSG2nCMPm > TSG2nCNT$ のとき、正相がクリアされ、逆相がセットされます。(正相および逆相のクリア後は、デッドタイムが挿入されます)
- 随時書き換えが逆相のクリア前、16 ビットカウンタがアップカウント (16 ビットサブカウンタは、アップカウント) の場合、書き換えた値が $TSG2nCMPm < TSG2nCNT$ のとき、逆相がクリアされます。また、書き換え値が $TSG2nCMPm < TSG2nSBC$ のとき、逆相がクリアされ、正相がセットされます。(正相および逆相のクリア後は、デッドタイムが挿入されます)
- 随時書き換えが正相のクリア後、16 ビットカウンタがアップカウント (16 ビットサブカウンタは、ダウンカウント) の場合、書き換えた値が $TSG2nCMPm > TSG2nCNT$ のとき、逆相がセットされます。(正相がクリア後は、デッドタイムが挿入されます)
- 随時書き換えが正相のクリア前、16 ビットカウンタがアップカウント (16 ビットサブカウンタは、ダウンカウント) の場合、書き換えた値が $TSG2nCMPm > TSG2nSBC$ のとき、正相がクリアされます。また、書き換えた値が $TSG2nCMPm > TSG2nCNT$ のとき、正相がクリアされ、逆相がセットされます。(正相および逆相のクリア後は、デッドタイムが挿入されます)
- 随時書き換えが正相のセット後、16 ビットカウンタがアップカウント (16 ビットサブカウンタは、アップカウント) の場合、書き換えた値が $TSG2nCMPm > TSG2nSBC$ のとき、正相がクリアされます。また、書き換えた値が $TSG2nCMPm > TSG2nCNT$ のとき、正相がクリアされ、逆相がセットされます。(正相および逆相のクリア後は、デッドタイムが挿入されます)
- 随時書き換えが正相のセット後、16 ビットカウンタがダウンカウント (16 ビットサブカウンタは、アップカウント) の場合、書き換えた値が $TSG2nCMPm > TSG2nSBC$ のとき、正相がクリアされます。(正相がクリア後は、デッドタイムが挿入されます)
- 随時書き換えが正相のセット後、16 ビットカウンタがダウンカウント (16 ビットサブカウンタは、アップカウント) の場合、書き換えた値が $TSG2nCMPm > TSG2nCNT$ のとき、正相がクリアされます。また、書き換えた値が $TSG2nCMPm > TSG2nSBC$ のとき、正相がクリアされ、逆相がセットされます。(正相がクリア後は、デッドタイムが挿入されます)

23.5.3.2 リロードモード（一斉書き換え機能）の動作例

書き換えたリロード対象レジスタ（TSG2nCMP0-TSG2nCMP12、TSG2nCTL4、TSG2nIOC3、TSG2nPAT0W、TSG2nPAT1W、TSG2nDTC0W、TSG2nDTC1W、TSG2nDCMP0W、TSG2nDCMP2）の値は、リロードタイミングで一斉に各バッファレジスタに転送することができます。

リロード対象レジスタは、リロード要求フラグ TSG2nSTR0.TSG2nRSF = 0 のときに書き換えてください。

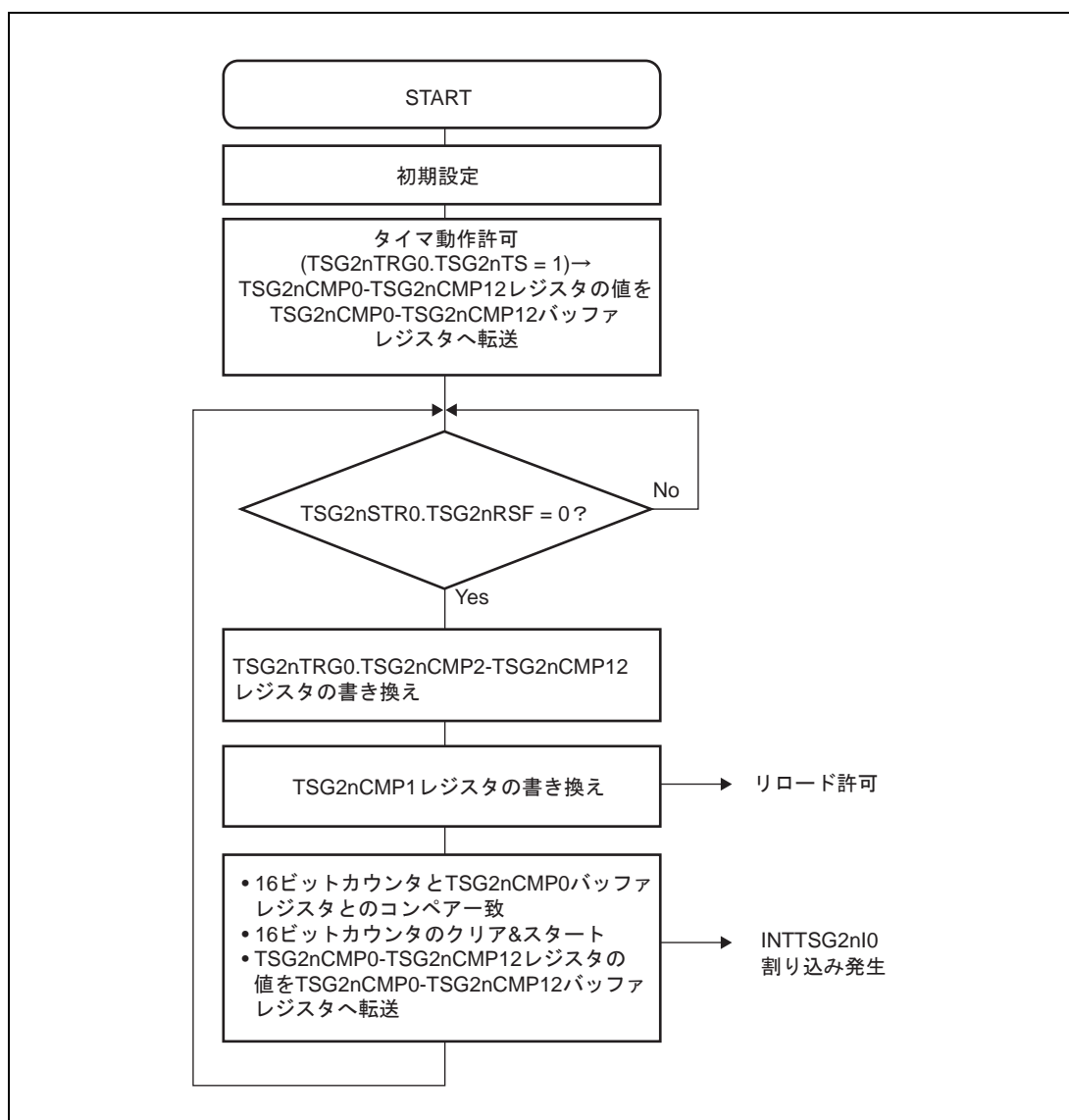


図 23.9 リロードモード（一斉書き換え機能）の基本動作フロー（PWM モードの例）

注 意

TSG2nCMP1 へのライトアクセスにはリロードを許可する動作も含まれます。したがって TSG2nCMP1 の書き換えはほかの TSG2nCMP0、TSG2nCMP2-TSG2nCMP12 レジスタの書き換えより後にしてください。

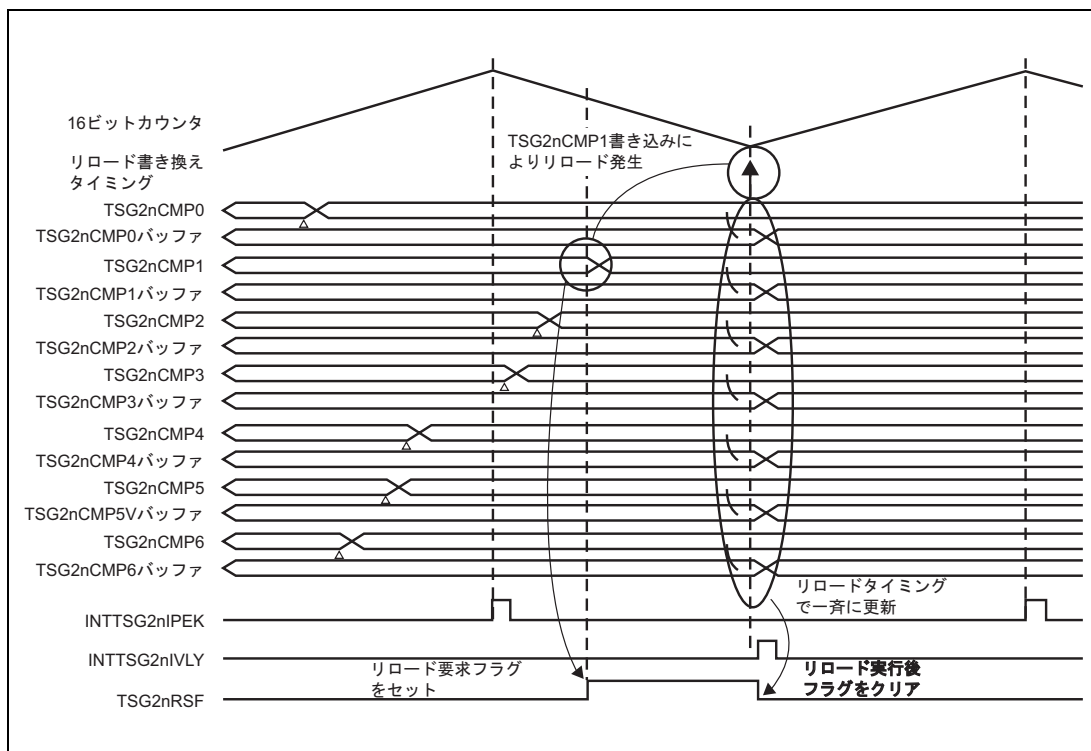


図 23.10 一斉書き換えのタイミング (1/2) (HT - PWM モードの例)

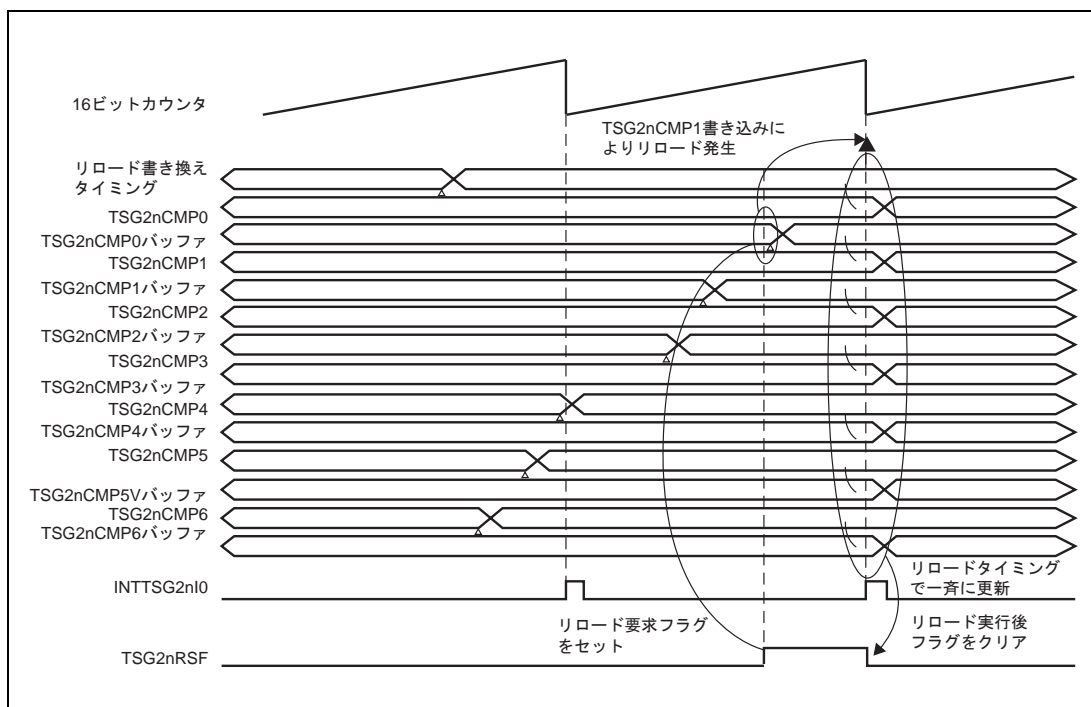


図 23.11 一斉書き換えのタイミング (2/2) (PWM モードの例)

(1) 各モードのリロード書き換え設定例

リロード発生条件および設定例を示します。

表 23.32 リロードの設定一覧 (TSG2nCTL3.TSG2nRIA = 0 の場合)

| モード | TSG2nCTL4. TSG2nPRE | TSG2nCTL4. TSG2nVRE | TSG2nCTL4. TSG2nPIE | TSG2nCTL4. TSG2nVIE | TSG2nCTL4. TSG2nRCC04- TSG2nRCC00 | リロード |
|-------------------------------------|------------------------|------------------------|------------------------|------------------------|---|-----------------------------------|
| PWM モード SP-PWM モード 120-DC モード | 0 | 0/1 | 0/1 | 0/1 | 任意 | 設定禁止 |
| | 1 | 0 | 0/1 | 0/1 | 任意 | INTTSG2nI[0] 発生時 |
| | 1 | 1 | 0/1 | 0/1 | 任意 | INTTSG2nI[0] 発生時 |
| HT-PWM モード | 0 | 0 | 0/1 | 0/1 | 任意 | 設定禁止 |
| | 0 | 1 | 0/1 | 0/1 | 任意 | INTTSG2nIVLY 発生時 |
| | 1 | 0 | 0/1 | 0/1 | 任意 | INTTSG2nIPEK 発生時 |
| | 1 | 1 | 0/1 | 0/1 | 任意 | INTTSG2nIPEK/ INTTSG2nIVLY 発生時 |

表 23.33 リロードの設定一覧 (TSG2nCTL3.TSG2nRIA = 1 の場合)

| モード | TSG2nCTL4. TSG2nPRE | TSG2nCTL4. TSG2nVRE | TSG2nCTL4. TSG2nPIE | TSG2nCTL4. TSG2nVIE | TSG2nCTL4. TSG2nRCC04- TSG2nRCC00 | リロード |
|-------------------------------------|------------------------|------------------------|------------------------|------------------------|---|-----------------------------------|
| PWM モード SP-PWM モード 120-DC モード | 0 | 0/1 | 0/1 | 0/1 | 任意 | 設定禁止 |
| | 1 | 0 | 0 | 0/1 | 任意 | 設定禁止 |
| | 1 | 0 | 1 | 0/1 | 任意 | INTTSG2nI[0] 発生時 |
| | 1 | 1 | 0 | 0/1 | 任意 | 設定禁止 |
| | 1 | 1 | 1 | 0/1 | 任意 | INTTSG2nI[0] 発生時 |
| HT-PWM モード | 0 | 0 | 0/1 | 0/1 | 任意 | 設定禁止 |
| | 0 | 1 | 0 | 0 | 任意 | 設定禁止 |
| | 0 | 1 | 0 | 1 | 任意 | INTTSG2nIVLY 発生時 |
| | 0 | 1 | 1 | 0 | 任意 | 設定禁止 |
| | 0 | 1 | 1 | 1 | 任意 | INTTSG2nIVLY 発生時 |
| | 1 | 0 | 0 | 0/1 | 任意 | 設定禁止 |
| | 1 | 0 | 1 | 0/1 | 任意 | INTTSG2nIPEK 発生時 |
| | 1 | 1 | 0 | 0 | 任意 | 設定禁止 |
| | 1 | 1 | 0 | 1 | 任意 | INTTSG2nIVLY 発生時 |
| | 1 | 1 | 1 | 0 | 任意 | INTTSG2nIPEK 発生時 |
| | 1 | 1 | 1 | 1 | 任意 | INTTSG2nIPEK/ INTTSG2nIVLY 発生時 |

23.5.4 各モード時における出力一覧

23.5.4.1 モード別のタイマ出力

各モード時のタイマ出力 (TSOn0 ~ TSOn7 端子) 一覧を表 23.34 ~ 表 23.36 に示します。

表 23.34 モード別タイマ出力一覧 (1/3)

| 動作モード | TSOn0 端子 | TSOn1 端子 | TSOn2 端子 |
|------------|--|--|--|
| PWM モード | — (ロウレベル出力固定) | TSG2nCMP1W (TSG2nCMP1、TSG2nCMP2) の コンペア一致による PWM 出力 | TSG2nCMP3W (TSG2nCMP3、TSG2nCMP4) の コンペア一致による PWM 出力 |
| HT-PWM モード | 16 ビットカウンタ、または、 16 ビットサブカウンタのアップ/ ダウンステータス出力 | TSG2nCMP1W (TSG2nCMP1、TSG2nCMP2) の コンペア一致による 正相 PWM 出力 (デッドタイム付き) | TSOn1 端子に対する 逆相 PWM 出力 (デッドタイム付き) |
| SP-PWM モード | — (ロウレベル出力固定) | TSG2nCMP1W (TSG2nCMP1、TSG2nCMP2) の コンペア一致による 正相 PWM 出力 (デッドタイム付き) | TSOn1 端子に対する 逆相 PWM 出力 (デッドタイム付き) |
| 120-DC モード | — (ロウレベル出力固定) | TSG2nCMP1W (TSG2nCMP1、TSG2nCMP2)、 TSG2nCMP5W (TSG2nCMP5、TSG2nCMP6)、 TSG2nCMP9W (TSG2nCMP9、TSG2nCMP10) を使用した PWM 出力 | TSG2nCMP3W (TSG2nCMP3、TSG2nCMP4)、 TSG2nCMP7W (TSG2nCMP7、TSG2nCMP8)、 TSG2nCMP11W (TSG2nCMP11、TSG2nCMP12) を使用した PWM 出力 |

表 23.35 モード別タイマ出力一覧 (2/3)

| 動作モード | TSOn3 端子 | TSOn4 端子 | TSOn5 端子 |
|------------|---|---|---|
| PWM モード | TSG2nCMP5W (TSG2nCMP5、TSG2nCMP6) の コンペア一致による PWM 出力 | TSG2nCMP7W (TSG2nCMP7、TSG2nCMP8) の コンペア一致による PWM 出力 | TSG2nCMP9W (TSG2nCMP9、TSG2nCMP10) の コンペア一致による PWM 出力 |
| HT-PWM モード | TSG2nCMP5W (TSG2nCMP5、TSG2nCMP6) の コンペア一致による 正相 PWM 出力 (デッドタイム付き) | TSOn3 端子に対する 逆相 PWM 出力 (デッドタイム付き) | TSG2nCMP9W (TSG2nCMP9、TSG2nCMP10) の コンペア一致による 正相 PWM 出力 (デッドタイム付き) |
| SP-PWM モード | TSG2nCMP5W (TSG2nCMP5、TSG2nCMP6) の コンペア一致による 正相 PWM 出力 (デッドタイム付き) | TSOn3 端子に対する 逆相 PWM 出力 (デッドタイム付き) | TSG2nCMP9W (TSG2nCMP9、TSG2nCMP10) の コンペア一致による 正相 PWM 出力 (デッドタイム付き) |
| 120-DC モード | TSG2nCMP1W (TSG2nCMP1、TSG2nCMP2)、 TSG2nCMP5W (TSG2nCMP5、TSG2nCMP6)、 TSG2nCMP9W (TSG2nCMP9、TSG2nCMP10) を 使用した PWM 出力 | TSG2nCMP3W (TSG2nCMP3、TSG2nCMP4)、 TSG2nCMP7W (TSG2nCMP7、TSG2nCMP8)、 TSG2nCMP11W (TSG2nCMP11、TSG2nCMP12) を 使用した PWM 出力 | TSG2nCMP1W (TSG2nCMP1、TSG2nCMP2)、 TSG2nCMP5W (TSG2nCMP5、TSG2nCMP6)、 TSG2nCMP9W (TSG2nCMP9、TSG2nCMP10) を 使用した PWM 出力 |

表 23.36 モード別タイマ出力一覧 (3/3)

| 動作モード | TSON6 端子 | TSON7 端子 |
|------------|---|---------------------------------------|
| PWM モード | TSG2nCMP11W (TSG2nCMP11, TSG2nCMP12) のコンペアー一致による PWM 出力 | ダイアグ出力、もしくは、A/D 変換トリガ出力 |
| HT-PWM モード | TSON5 端子に対する逆相 PWM 出力 (デッドタイム付き) | ダイアグ出力、もしくは、A/D 変換トリガ出力 |
| SP-PWM モード | TSON5 端子に対する逆相 PWM 出力 (デッドタイム付き) | ダイアグ出力、もしくは、A/D 変換トリガ出力 ^{注1} |
| 120-DC モード | TSG2nCMP3W (TSG2nCMP3, TSG2nCMP4)、TSG2nCMP7W (TSG2nCMP7, TSG2nCMP8)、TSG2nCMP11W (TSG2nCMP11, TSG2nCMP12) を使用した PWM 出力 | ダイアグ出力、もしくは、A/D 変換トリガ出力 ^{注1} |

注 1. TSON7 に関しては「23.5.4.1(4) TSON7 端子の出力制御」を参照してください。

(1) TSON7 端子の出力制御

A/D 変換トリガ用のパルス (TSG2nIOC1.TSG2nTGS = 0)、または、ダイアグ出力 (TSG2nIOC1.TSG2nTGS = 1) を TSON7 端子に出力することができます。A/D 変換トリガ用のパルス出力時の TSON7 端子は、TSTADT0 信号の立ち上がりエッジでアクティブとなり、TSTADT1 信号の立ち上がりエッジでインアクティブとなります。TSON7 端子がアクティブの状態では TSTADT0 信号を検出した場合は、TSON7 端子はアクティブレベルを維持します。また、TSON7 端子がインアクティブの状態では TSTADT1 信号を検出した場合は、TSON7 端子はインアクティブレベルを維持します。TSTADT0、TSTADT1 信号のトリガが同時の場合は、TSON7 端子のインアクティブが優先されます。

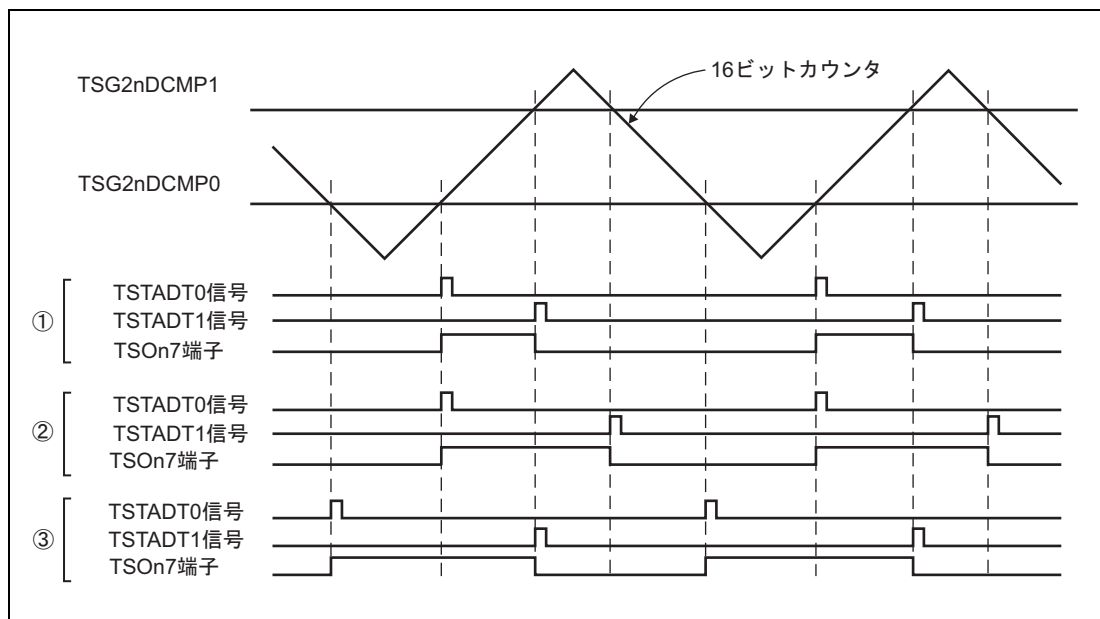


図 23.12 TSON7 端子の A/D トリガ出力タイミング例 (TSG2nIOC1.TSG2nTGS = 0)

備考

1. TSG2nDCMP0 レジスタ < TSG2nDCMP1 レジスタ、TSG2nCTL5 レジスタ = 0004_H、TSG2nCTL6 レジスタ = 0010_H の場合
2. TSG2nDCMP0 レジスタ < TSG2nDCMP1 レジスタ、TSG2nCTL5 レジスタ = 0004_H、TSG2nCTL6 レジスタ = 0020_H の場合
3. TSG2nDCMP0 レジスタ < TSG2nDCMP1 レジスタ、TSG2nCTL5 レジスタ = 0008_H、TSG2nCTL6 レジスタ = 0010_H の場合
TSON7 に関しては「23.5.4.1(1) TSON7 端子の出力制御」を参照してください。

ダイアグ出力時の TSON7 端子は、TSG2nDCMP0-TSG2nDCMP2 が 16 ビットカウンタと一致するタイミングにて TSG2nCTL0.TSG2nDWD で設定した出力幅のアクティブレベルを出力します。なお、TSG2nDCMP0 ~ TSG2nDCMP2 と 16 ビットカウンタの一致タイミングが TSG2nDWD で設定した出力幅以内で発生し、アクティブレベルが重なった場合、重なった箇所を 16 クロック (PCLK) 以内で出力します。

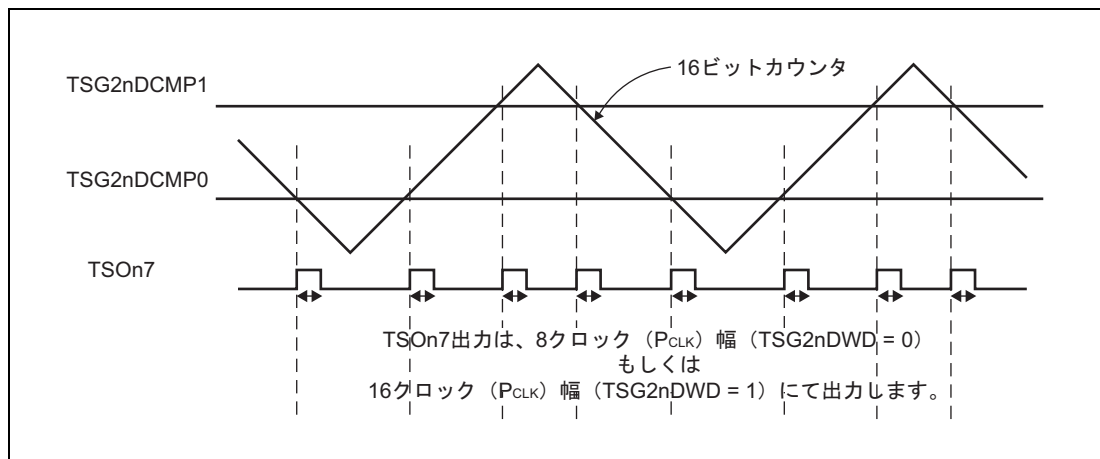


図 23.13 TSON7 端子のダイアグ出力タイミング例① (TSG2nIOC1.TSG2nTGS = 1)

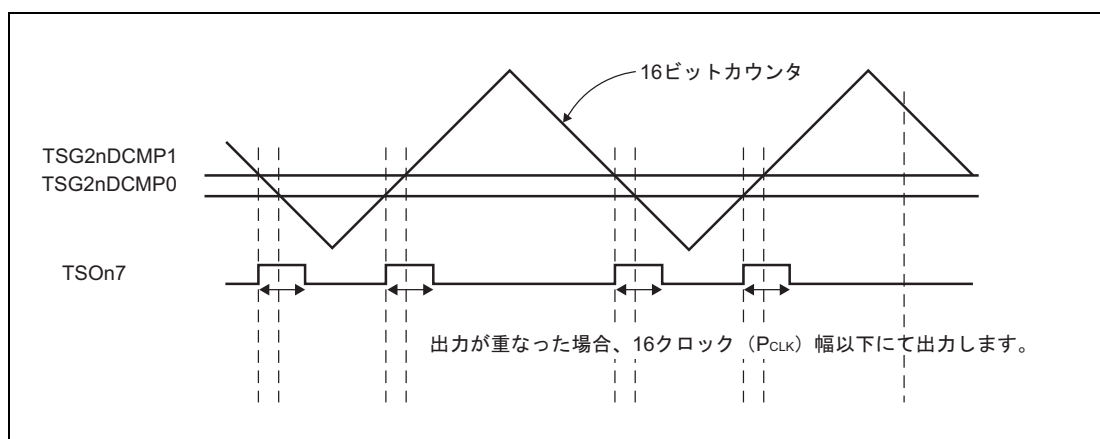


図 23.14 TSON7 端子のダイアグ出力タイミング例② (出力幅が重なった場合)

23.5.4.2 モード別の割り込み

各モード時の割り込み (INTTSG2nI[0]-INTTSG2nI[12]、INTTSG2nIPEK、INTTSG2nIVLY、INTTSG2nIER、INTTSG2nIWN) 一覧を表 23.37 ~ 表 23.41 に示します。

表 23.37 モード別割り込み一覧 (1/5)

| 動作モード | INTTSG2nI[0] | INTTSG2nI[1] | INTTSG2nI[2] | INTTSG2nI[3] |
|------------|-------------------------|---------------------------------------|---------------------------------------|---------------------------------------|
| PWM モード | TSG2nCMP0 コンペア一致割り込み | TSG2nCMP1 コンペア一致割り込み ^{注1} | TSG2nCMP2 コンペア一致割り込み ^{注1} | TSG2nCMP3 コンペア一致割り込み ^{注1} |
| HT-PWM モード | 周期割り込み | TSG2nCMP1 コンペア一致割り込み ^{注2} | TSG2nCMP2 コンペア一致割り込み ^{注2} | — |
| SP-PWM モード | TSG2nCMP0 コンペア一致割り込み | TSG2nCMP1 コンペア一致割り込み ^{注1} | TSG2nCMP2 コンペア一致割り込み ^{注1} | — |
| 120-DC モード | TSG2nCMP0 コンペア一致割り込み | TSG2nCMP1 コンペア一致割り込み ^{注1} | TSG2nCMP2 コンペア一致割り込み ^{注1} | TSG2nCMP3 コンペア一致割り込み ^{注1} |

注 1. TSG2nCMP0 < TSG2nCMPm に設定した場合、コンペア一致割り込みは発生しません。(m = 1 ~ 12)

注 2. $0000_H \leq TSG2nCMPm < TSG2nDTC0$ 、 $(TSG2nCMP0 + TSG2nDTC0) < TSG2nCMPm$ の範囲に設定した場合、コンペア一致割り込みは発生しません。

表 23.38 モード別割り込み一覧 (2/5)

| 動作モード | INTTSG2nI[4] | INTTSG2nI[5] | INTTSG2nI[6] | INTTSG2nI[7] |
|------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|
| PWM モード | TSG2nCMP4 コンペア一致割り込み ^{注1} | TSG2nCMP5 コンペア一致割り込み ^{注1} | TSG2nCMP6 コンペア一致割り込み ^{注1} | TSG2nCMP7 コンペア一致割り込み ^{注1} |
| HT-PWM モード | — | TSG2nCMP5 コンペア一致割り込み ^{注2} | TSG2nCMP6 コンペア一致割り込み ^{注2} | — |
| SP-PWM モード | — | TSG2nCMP5 コンペア一致割り込み ^{注1} | TSG2nCMP6 コンペア一致割り込み ^{注1} | — |
| 120-DC モード | TSG2nCMP4 コンペア一致割り込み ^{注1} | TSG2nCMP5 コンペア一致割り込み ^{注1} | TSG2nCMP6 コンペア一致割り込み ^{注1} | TSG2nCMP7 コンペア一致割り込み ^{注1} |

注 1. TSG2nCMP0 < TSG2nCMPm に設定した場合、コンペア一致割り込みは発生しません。(m = 1 ~ 12)

注 2. $0000_H \leq TSG2nCMPm < TSG2nDTC0$ 、 $(TSG2nCMP0 + TSG2nDTC0) < TSG2nCMPm$ の範囲に設定した場合、コンペア一致割り込みは発生しません。

表 23.39 モード別割り込み一覧 (3/5)

| 動作モード | INTTSG2nI[8] | INTTSG2nI[9] | INTTSG2nI[10] | INTTSG2nI[11] |
|------------|---------------------------------------|---------------------------------------|--|--|
| PWM モード | TSG2nCMP8 コンペア一致割り込み ^{注1} | TSG2nCMP9 コンペア一致割り込み ^{注1} | TSG2nCMP10 コンペア一致割り込み ^{注1} | TSG2nCMP11 コンペア一致割り込み ^{注1} |
| HT-PWM モード | — | TSG2nCMP9 コンペア一致割り込み ^{注2} | TSG2nCMP10 コンペア一致割り込み ^{注2} | — |
| SP-PWM モード | — | TSG2nCMP9 コンペア一致割り込み ^{注1} | TSG2nCMP10 コンペア一致割り込み ^{注1} | — |
| 120-DC モード | TSG2nCMP8 コンペア一致割り込み ^{注1} | TSG2nCMP9 コンペア一致割り込み ^{注1} | TSG2nCMP10 コンペア一致割り込み ^{注1} | TSG2nCMP11 コンペア一致割り込み ^{注1} |

注 1. TSG2nCMP0 < TSG2nCMPm に設定した場合、コンペア一致割り込みは発生しません。(m = 1 ~ 12)

注 2. $0000_H \leq TSG2nCMPm < TSG2nDTC0$ 、 $(TSG2nCMP0 + TSG2nDTC0) < TSG2nCMPm$ の範囲に設定した場合、コンペア一致割り込みは発生しません。

表 23.40 モード別割り込み一覧 (4/5)

| 動作モード | INTTSG2nI[12] | INTTSG2nIPEK | INTTSG2nIVLY |
|------------|---|--------------------------------|--------------|
| PWM モード | TSG2nCMP12 コンペアー一致割り込み ^{注1} | INTTSG2nI[0] と同タイミングで 山割り込み | — |
| HT-PWM モード | — | 山割り込み | 谷割り込み |
| SP-PWM モード | — | INTTSG2nI[0] と同タイミングで 山割り込み | — |
| 120-DC モード | TSG2nCMP12 コンペアー一致割り込み ^{注1} | INTTSG2nI[0] と同タイミングで 山割り込み | — |

注 1. TSG2nCMP0 < TSG2nCMPm に設定した場合、コンペアー一致割り込みは発生しません。(m = 1 ~ 12)

表 23.41 モード別割り込み一覧 (5/5)

| 動作モード | INTTSG2nIER | INTTSG2nIWN |
|------------|-------------|-------------|
| PWM モード | エラー割り込み | ワーニング割り込み |
| HT-PWM モード | エラー割り込み | ワーニング割り込み |
| SP-PWM モード | エラー割り込み | ワーニング割り込み |
| 120-DC モード | エラー割り込み | ワーニング割り込み |

23.6 一致割り込み

割り込みには、コンペア一致割り込み (INTTSG2nIm)、山割り込み (INTTSG2nIPEK)、谷割り込み (INTTSG2nIVLY) が存在します。エラー/ワーニング割り込み (INTTSG2nIER、INTTSG2nIWN) に関しては「**23.10 エラー/ワーニング割り込み**」を参照してください。

周期割り込み (INTTSG2nI[0]) は、タイマの周期ごとに発生します。HT-PWM モードでは、TSG2nDTC0 バッファレジスタと 16 ビットカウンタの一致したときに発生します。16 ビットカウンタがのこぎり波動作を行うモード (PWM モード、SP-PWM モード、120-DC モード) では、16 ビットカウンタが TSG2nCMP0 バッファレジスタとの一致後に発生します。

コンペア一致割り込み (INTTSG2nIm) は、TSG2nCMPm バッファレジスタと 16 ビットカウンタの一致により発生する割り込みで、動作モードで使用するコンペアレジスタに応じて一致割り込みを発生します。(m = 1 ~ 12)

山割り込み (INTTSG2nIPEK) は、すべてのモードで発生します。HT-PWM モードでは、16 ビットカウンタがアップカウントからダウンカウントに切り替わるときに発生します。16 ビットカウンタがのこぎり波動作を行うモード (PWM モード、SP-PWM モード、120-DC モード) では、16 ビットカウンタが TSG2nCMP0 バッファレジスタとの一致後に発生します (INTTSG2nI[0] 割り込みと同タイミング)。

谷割り込み (INTTSG2nIVLY) は、HT-PWM モードで 16 ビットカウンタがダウンカウントからアップカウントに切り替わるときに発生します。

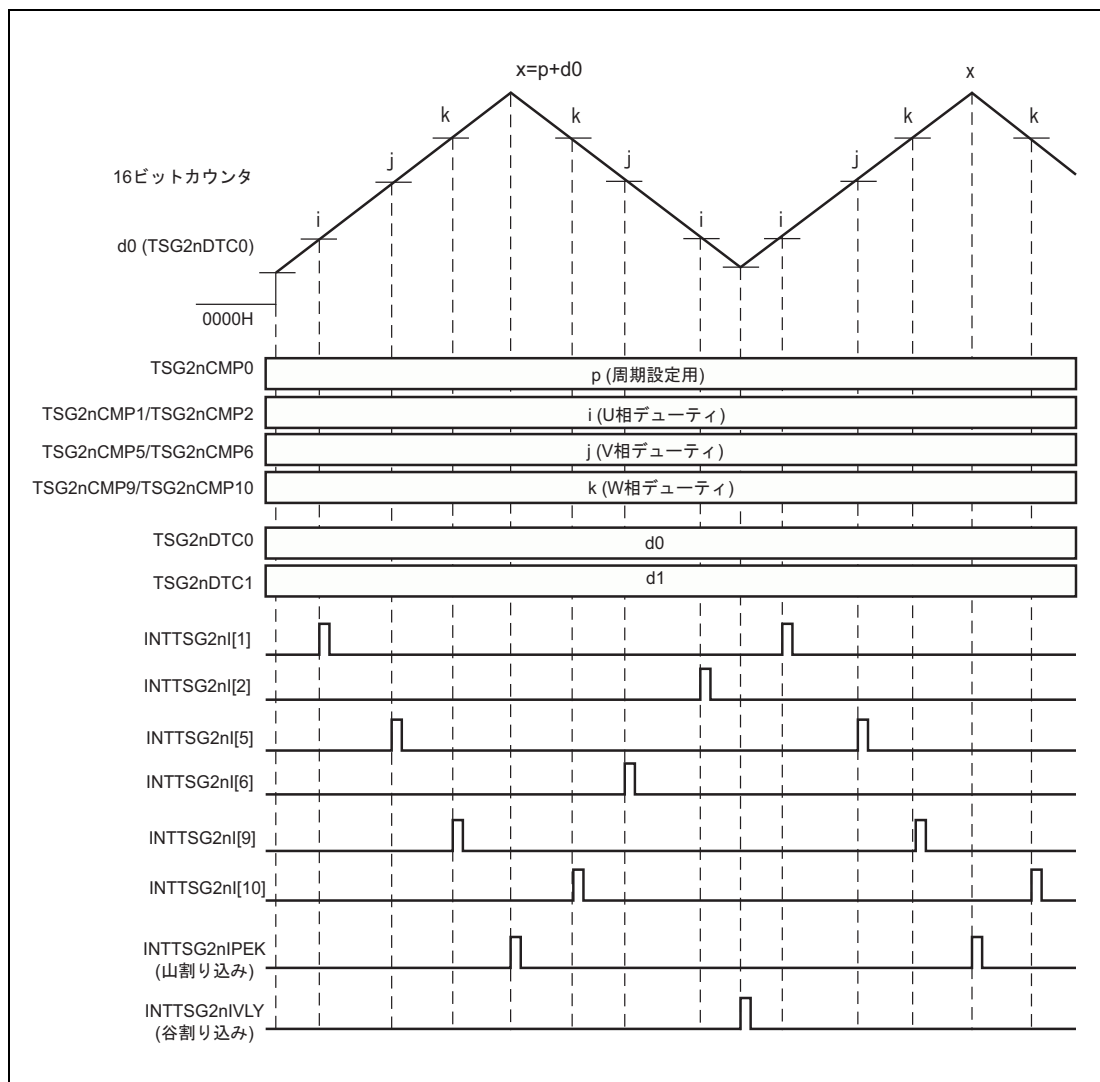


図 23.15 割り込み発生例 (1/2) (HT-PWM モードの例)

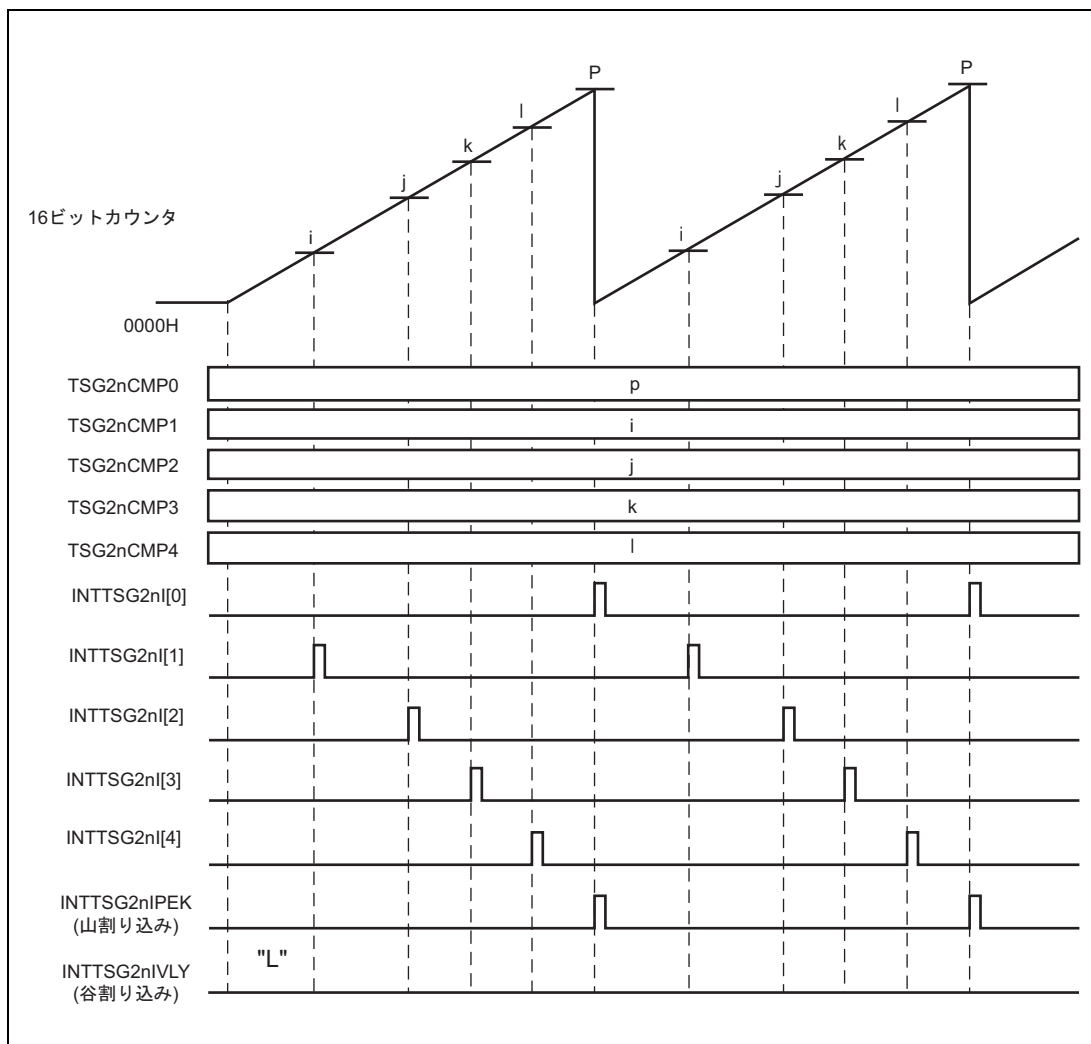


図 23.16 割り込み発生例 (2/2) (PWM モードの例)

23.7 フラグ

表 23.42 フラグ一覧表

| 番号 | フラグ名称 | 記号 | レジスタ | 動作モード |
|------|-----------------------|---------------------|-----------|------------|
| (1) | アップカウントフラグ | TSG2nCUF | TSG2nSTR0 | HT-PWM モード |
| | | TSG2nSUF | TSG2nSTR0 | |
| (2) | 正相／逆相同時アクティブ 検出フラグ | TSG2nTBF0-TSG2nTBF2 | TSG2nSTR2 | 全動作モード |
| (3) | リロード要求フラグ | TSG2nRSF | TSG2nSTR0 | 全動作モード |
| (4) | ノイズ検出フラグ | TSG2nNDF | TSG2nSTR2 | 全動作モード |
| (5) | パタン順序検出フラグ | TSG2nTSF | TSG2nSTR1 | 全動作モード |
| (6) | パタンエラー検出フラグ | TSG2nPEF | TSG2nSTR2 | 全動作モード |
| (7) | パタン反転検出フラグ | TSG2nPRF | TSG2nSTR2 | 全動作モード |
| (8) | パタン位相差異検出フラグ | TSG2nPPF | TSG2nSTR2 | 全動作モード |
| (9) | タイマ出力パタンフラグ | TSG2nOPF0-TSG2nOPF2 | TSG2nSTR1 | 全動作モード |
| (10) | パタン切り替え検出信号 (内部信号) | TSG2nPTE | — | 全動作モード |

23.7.1 アップカウントフラグ (TSG2nCUF、TSG2nSUF)

名称

アップカウントフラグ (TSG2nSTR0.TSG2nCUF、TSG2nSUF)

説明

アップカウントフラグには次の2種類があります。

TSG2nCUF は、16 ビットカウンタのアップ/ダウンカウントフラグです。

TSG2nSUF は、16 ビットサブカウンタのアップ/ダウンカウントフラグです。

TSG2nCUF/TSG2nSUF とともに、“0”はアップカウント状態を示し、“1”はダウンカウント状態を示します。

TSG2nCUF/TSG2nSUF は、HT-PWM モード時のみ使用できます。

動作例

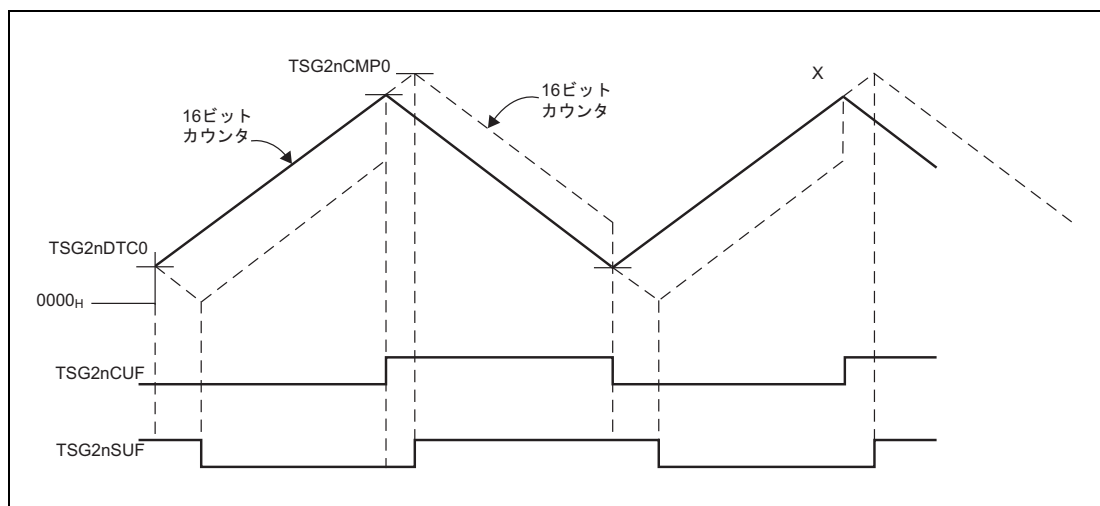


図 23.17 アップカウントフラグ動作例

備考

1. TSG2nCUF の値は次のようになります。

$$\text{TSG2nDTC0} \leq 16 \text{ ビットカウンタ} \leq (\text{TSG2nCMP0} + \text{TSG2nDTC0} - 2)$$
 . . . “0”
 (アップカウント)

$$(\text{TSG2nCMP0} + \text{TSG2nDTC0}) \geq 16 \text{ ビットカウンタ} \geq \text{TSG2nDTC0} + 2$$
 . . . “1”
 (ダウンカウント)
2. TSG2nSUF の値は次のようになります。

$$0 \leq 16 \text{ ビットサブカウンタ} \leq (\text{TSG2nCMP0} + \text{TSG2nDTC0} + \text{TSG2nDTC1} - 2)$$
 . . . “0”
 (アップカウント)

$$(\text{TSG2nCMP0} + \text{TSG2nDTC0} + \text{TSG2nDTC1}) \geq 16 \text{ ビットサブカウンタ} \geq 2$$
 . . . “1”
 (ダウンカウント)

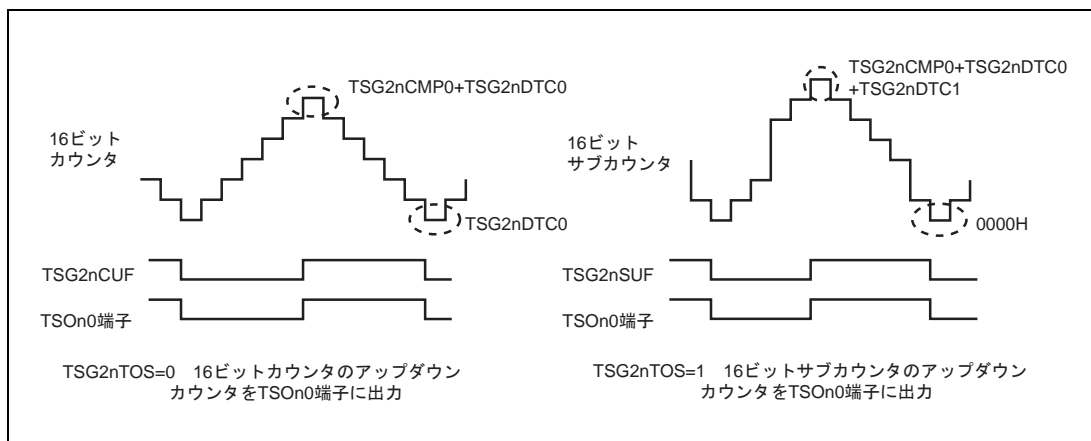


図 23.18 TSG2nIOC1.TSG2nTOS 切り替え時の TSON0 端子出力

動作モード

HT-PWM モード時のみ使用できます。

23.7.2 正相／逆相同時アクティブ検出フラグ (TSG2nTBF0 ~ TSG2nTBF2)

名称

正相／逆相同時アクティブ検出フラグ (TSG2nSTR2.TSG2nTBF0 ~ TSG2nTBF2 フラグ)

説明

TSG2nCTL1.TSG2nTBA2-TSG2nTBA0 のいずれかが“1”の場合において、TSG2nTBF0 ~ TSG2nTBF2 は、TSG2n の正相／逆相の同時アクティブを検出できます。

TSG2n の正相／逆相の同時アクティブを検出した場合、該当する TSG2nTBF0 ~ TSG2nTBF2 フラグはセット (1) されエラー割り込み (INTTSG2nIER) が発生します。TSG2nSTC.TSG2nTBR0 ~ TSG2nTBR2 に“1”をライトしたときに各々クリアされます。

動作例

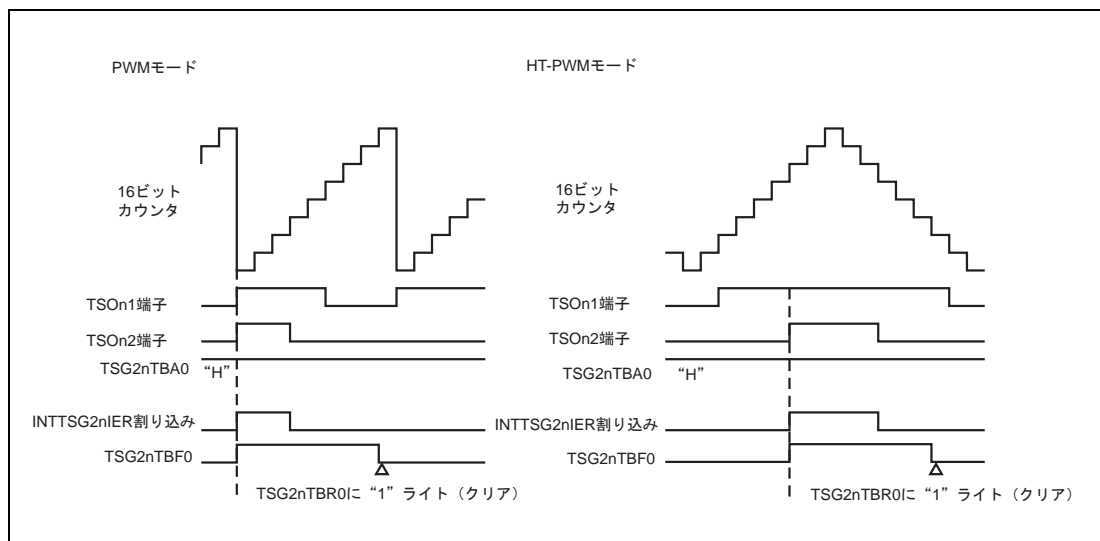


図 23.19 正相／逆相同時アクティブ検出フラグ動作例

動作モード

すべての動作モードで使用できます。

注意

TSG2nTBF0 ~ TSG2nTBF2 は、TSG2nCTL1.TSG2nTBA0 ~ TSG2nTBA2 = 1 かつ TSG2nSTR0.TSG2nTE = 1 のときのみ有効です。

23.7.3 リロード要求フラグ (TSG2nRSF)

名称

ロード要求フラグ (TSG2nSTR0.TSG2nRSF)

説明

TSG2nRSF は、リロード要求が発生したとき (TSG2nCMP1 (TSG2nCMP1W、TSG2nCMPU、TSG2nCPW) レジスタにライトしたとき)、セット (1) されます。リロードが発生し、全バッファレジスタに値が転送されたときクリア “0” されます。

動作例

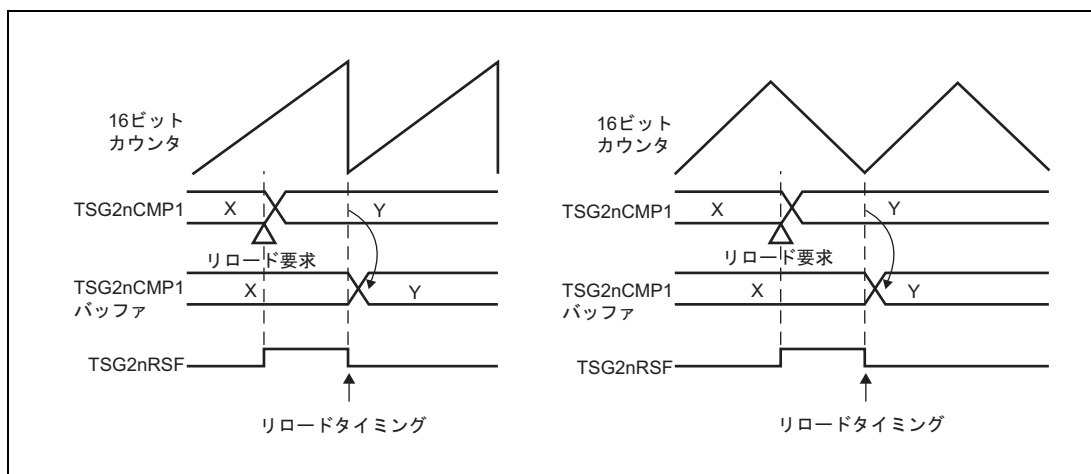


図 23.20 リロード要求フラグ動作例

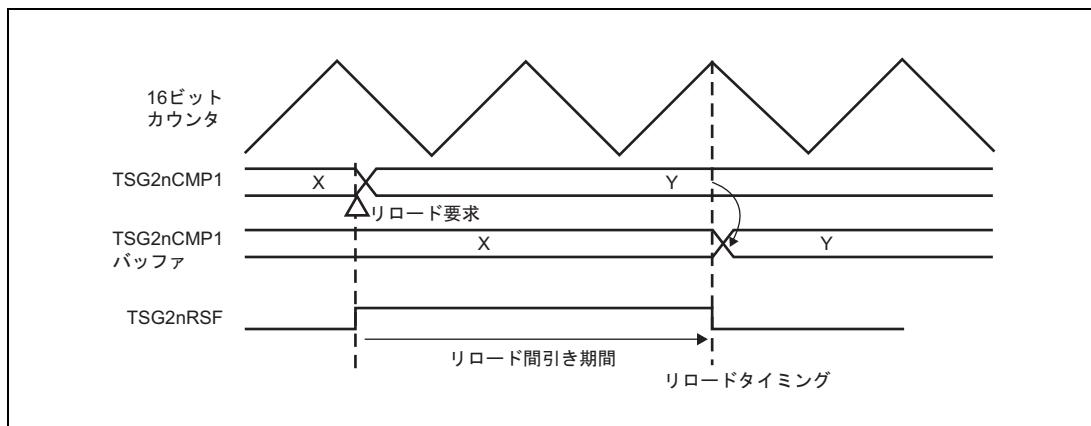


図 23.21 リロード要求フラグとリロード間引き期間

動作モード

すべての動作モードで使用できます。

23.7.4 ノイズ検出フラグ (TSG2nNDF)

名称

ノイズ検出フラグ (TSG2nSTR2.TSG2nNDF)

説明

TSG2nNDF は、TAPTSn2 ~ TAPTSn0 端子が同時に 2 端子以上変化した (ノイズ発生) ことを検出できます。

TSG2nNDF は、TAPTSn2 ~ TAPTSn0 端子が同時に 2 端子以上変化した (ノイズ発生) 場合にセット (1) され、ワーニング割り込み (INTTSG2nIWN) が発生します。TSG2nNDF フラグは、TSG2nSTC.TSG2nNDR ビットに "1" をライトしたときにクリア "0" されます。

動作例

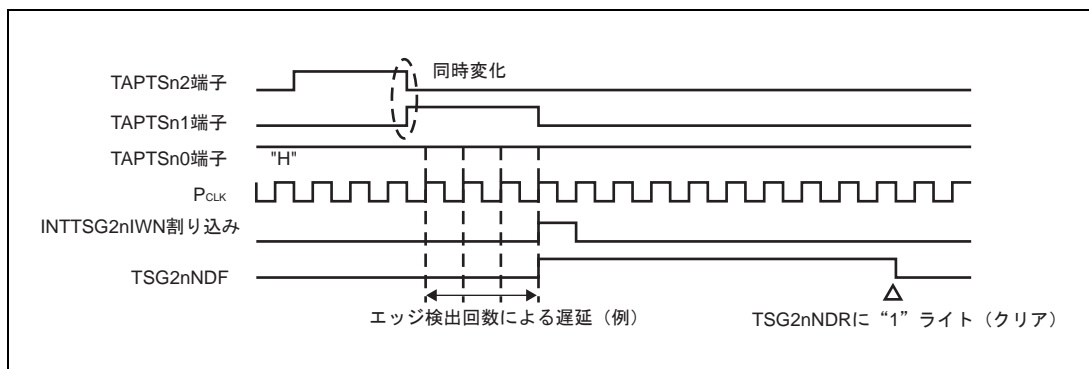


図 23.22 ノイズ検出フラグ動作例

動作モード

すべての動作モードで使用できます。

注意

TSG2nNDF は、TSG2nCTL1.TSG2nNDC = 1 かつ TSG2nSTR0.TSG2nTE = 1 のときのみ有効です。

23.7.5 パターン順序検出フラグ (TSG2nTSF)

名称

パターン順序検出フラグ (TSG2nSTR1.TSG2nTSF)

説明

TSG2nTSF は、TAPTSn2 ~ TAPTSn0 端子に入力しているパタンの順序を検出することができます。

TAPTSn2-TAPTSn0 端子の入力により、次の動作となります。

| TSG2nTSF | TAPTSn2-TAPTSn0 端子の入力 |
|----------|---|
| 0 | [1,0,1] → [1,0,0] → [1,1,0] → [0,1,0] → [0,1,1] → [0,0,1] |
| 1 | [1,0,1] ← [1,0,0] ← [1,1,0] ← [0,1,0] ← [0,1,1] ← [0,0,1] |

動作例

23.7.5.1 TAPTSn2 ~ TAPTSn0 端子に正常な入力が発生している場合

図 23.23 のように、TAPTSn2 ~ TAPTSn0 端子が順序どおりに変化した場合、変化したタイミングで変化した順序にしたがい“0”あるいは“1”の値がセットされます。

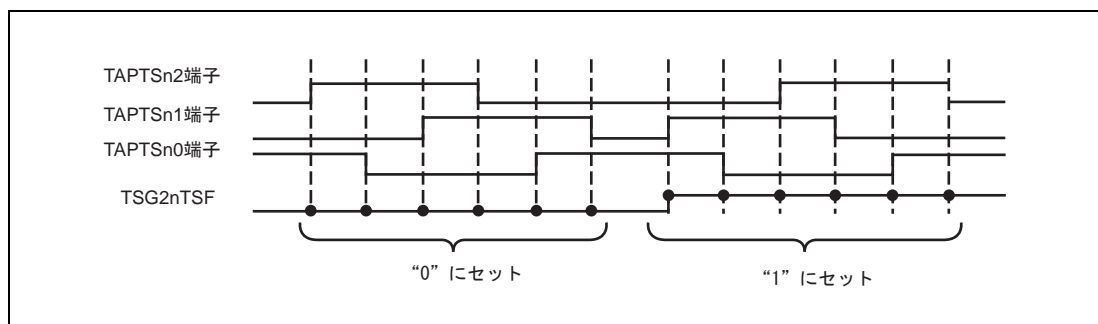


図 23.23 パターン順序検出フラグ動作例 (正常時)

23.7.5.2 入力パターン変化の順序検出

TSG2n 動作開始直後は回転方向が判別できないため、TSG2nTSF で、TAPTSn2 ~ TAPTSn0 端子に入力されるパターンの変化（正転／逆転）を検出できません。動作開始時から検出するためには、動作開始前に TSG2nPSC を設定しておく必要があります（TSG2nTE = 0 のときは、TSG2nPSC の値が反映されます）。

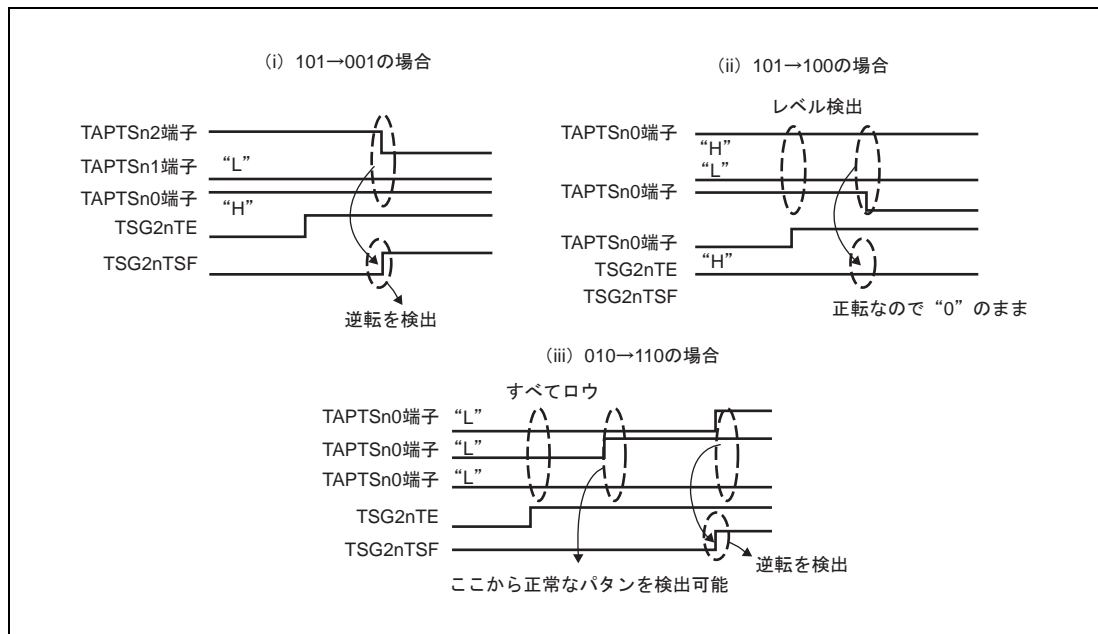


図 23.24 TAPTSn2 ~ TAPTSn0 端子に入力されるパターンの変化（正転／逆転）検出

23.7.5.3 TAPTSn2 ~ TAPTSn0 端子に異常な入力が発生した場合

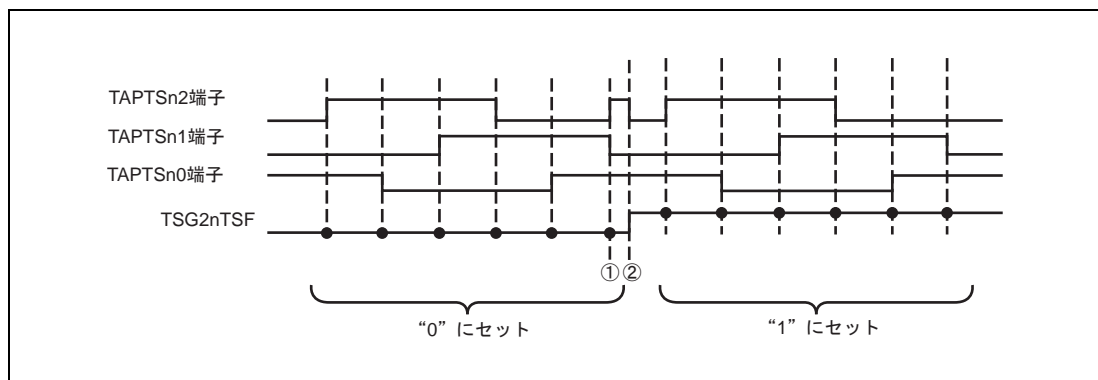


図 23.25 TAPTSn2 ~ TAPTSn0 端子の入力が 2 端子変化した場合の動作例（異常時）

①ここでは、{0, 1, 0} または {0, 0, 1} に変化のを待っているため、このような場合は、TSG2nTSF は変化しません。（2 端子変化した場合、TSG2nTSF は変化しません）

②ここで、TAPTSn2 ~ TAPTSn0 端子が {1, 0, 1} から {0, 0, 1} に変化したと判断し、TSG2nTSF をセット (1) します。

動作モード

すべての動作モードで使用できます。

23.7.6 パターンエラー検出フラグ (TSG2nPEF)

名称

パターンエラー検出フラグ (TSG2nSTR2.TSG2nPEF)

説明

TSG2nPEF は、TAPTSn2 ~ TAPTSn0 端子に“000”、“111”が入力されたことを検出できません。

TSG2nPEF は、TAPTSn2 ~ TAPTSn0 端子のレベルが“111”または“000”の場合にセット (1) され、ワーニング割り込み (INTTSG2nIWN) が発生します。TSG2nPEF は、TSG2nSTC.TSG2nPER に“1”をライトしたときにクリア“0”されます。

動作例

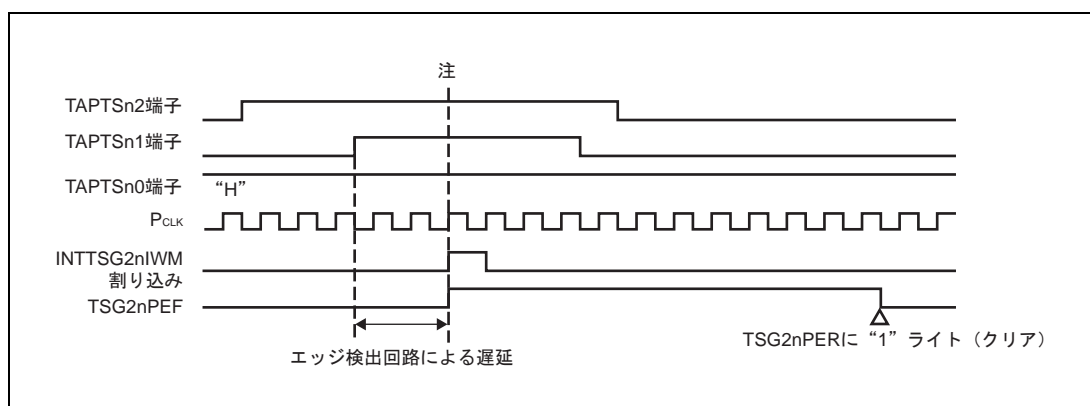


図 23.26 パターンエラー検出フラグ動作例 (TAPTSn2-TAPTSn0 端子 = 111)

注意

“111”を検出

動作モード

すべての動作モードで使用できます。

注意

TSG2nPEF は、TSG2nCTL1.TSG2nPEC = 1 かつ TSG2nSTR0.TSG2nTE = 1 のときのみ有効です。

23.7.7 パタン反転検出フラグ (TSG2nPRF)

名称

パタン反転検出フラグ (TSG2nSTR2.TSG2nPRF)

説明

TSG2nPRF は、TAPTSn2 ~ TAPTSn0 端子の変化順序が反転したことを検出できます。

TSG2nPRF は、パタン順序検出フラグ (TSG2nTSF) の変化タイミングでセット (1) され、ワーニング割り込み (INTTSG2nIWN) が発生します。ただし、TSG2nSTR0.TSG2nTE フラグ = 1 がセットされた直後は、2 回目以降の TAPTSn2-TAPTSn0 端子の変化で TSG2nPRF が有効になります。

TSG2nPRF は、TSG2nSTC.TSG2nPRR ビットに "1" をライトしたときにクリア "0" されます。

動作例

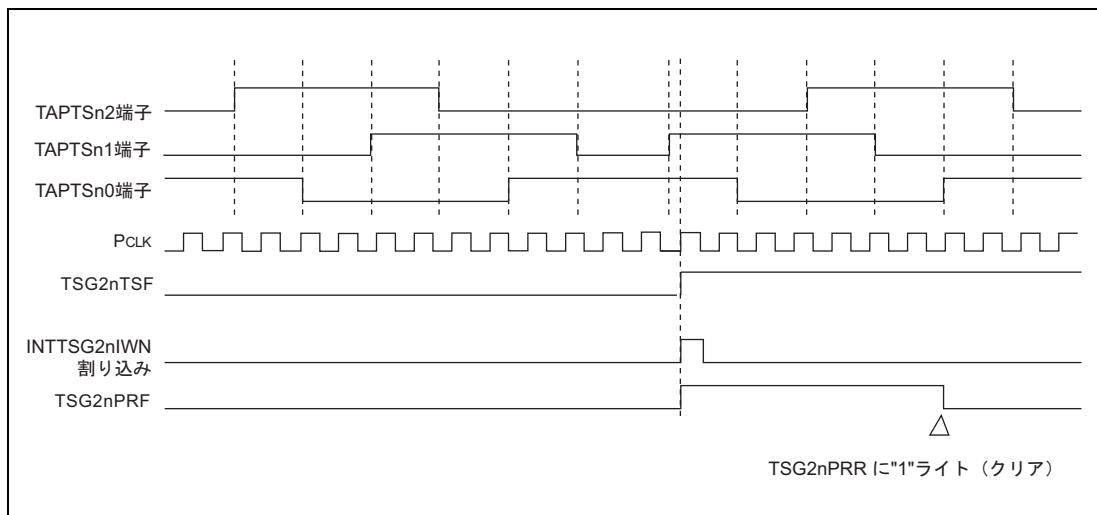


図 23.27 パタン反転検出フラグ動作例

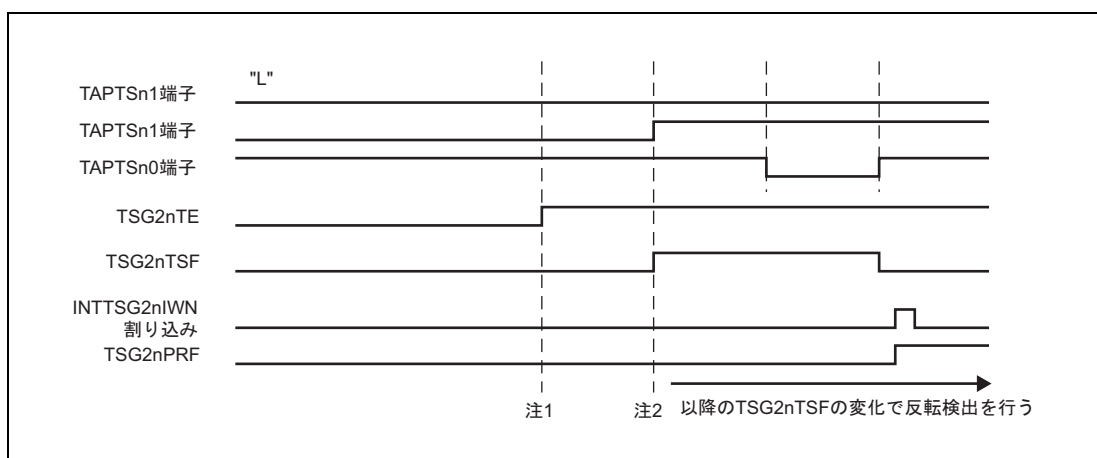


図 23.28 TSG2nSTR0 レジスタの TSG2nTE フラグ = 1 がセットされた直後の動作例

注 意

1. 動作開始タイミング
 2. TSG2nTE = "1" 直後の 1 回目の TAPTSn2-TAPTSn0 端子の変化で TSG2nTSF が "1" にセットする場合は反転検出をしない
-

動作モード

すべての動作モードで使用できます。

注 意

TSG2nPRF は、TSG2nCTL1.TSG2nPRC = 1 かつ TSG2nSTR0.TSG2nTE = 1 のときのみ有効です。

23.7.8 パタン位相差異検出フラグ (TSG2nPPF)

名称

パタン位相差異検出フラグ (TSG2nSTR2.TSG2nPPF)

説明

TSG2nPPF は、入力パタン (TAPTSn2 ~ TAPTSn0 端子) と出力パタン (TSG2nSTR1.TSG2nOPF2 ~ TSG2nOPF0 フラグ) の位相差異を検出できます。

TSG2nPPF は、パタンの位相差異を検出した場合にセット (1) されワーニング割り込み (INTTSG2nIWN) が発生します。TSG2nPPF は、ソフトウェアで TSG2nSTC.TSG2nPPR に "1" をライトしクリア "0" されるまで "1" を保持しています。位相差異検出時、TSG2nPPF は動作クロック (PCLK) ごとにセットされます。位相差異の発生しないタイミングで TSG2nPPF をクリア "0" してください。

表 23.43 正常な入力パタンと出力パタンの対応表

| | | | | | | |
|------------------------------|---------|---------|---------|---------|---------|---------|
| TAPTSn2-TAPTSn0 端子 (入力) | "1,0,1" | "1,0,0" | "1,1,0" | "0,1,0" | "0,1,1" | "0,0,1" |
| TSG2nOPF2-TSG2nOPF0 フラグ (出力) | "0,0,1" | "1,0,1" | "1,0,0" | "1,1,0" | "0,1,0" | "0,1,1" |
| | "1,0,1" | "1,0,0" | "1,1,0" | "0,1,0" | "0,1,1" | "0,0,1" |
| | "1,0,0" | "1,1,0" | "0,1,0" | "0,1,1" | "0,0,1" | "1,0,1" |

動作例

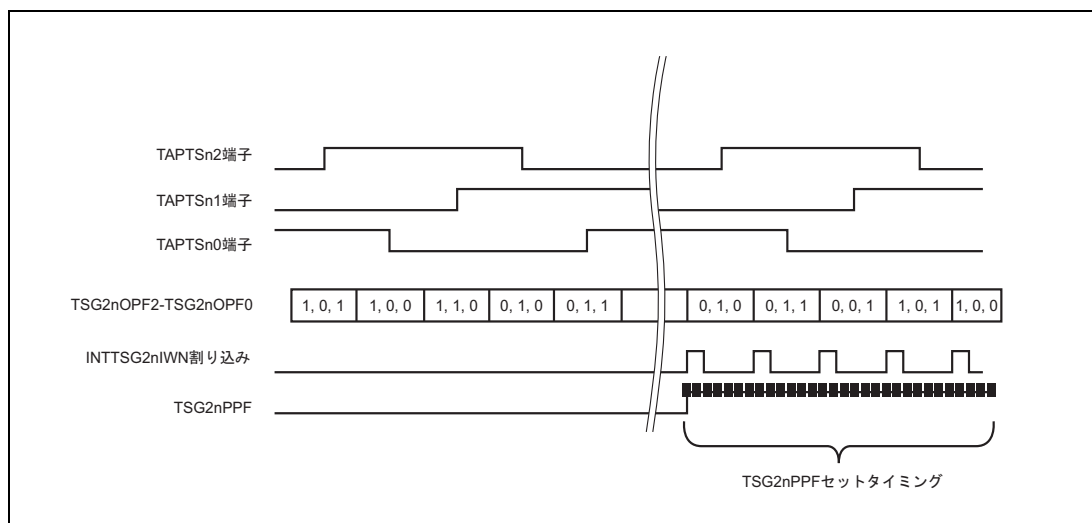


図 23.29 パタン位相差異検出フラグ動作例

動作モード

すべての動作モードで使用できます。

注意

1. TSG2nPPF は、TSG2nCTL1.TSG2nPPC = 1 かつ TSG2nSTR0.TSG2nTE = 1 のときにのみ有効です。
2. TAPTSn2 ~ TAPTSn0 端子入力に "000"、"111" が入力されている場合、もしくは TSG2nOPF2 ~ TSG2nOPF0 が "000"、"111" の場合 TSG2nPPF はセットされません。

23.7.9 タイマ出力パタンフラグ (TSG2nOPF2 ~ TSG2nOPF0)

名称

タイマ出力パタンフラグ (TSG2nSTR1.TSG2nOPF2 ~ TSG2nOPF0)

説明

TSG2nOPF2 ~ TSG2nOPF0 フラグは、タイマ出力パタンを示すフラグです。

動作モード

すべての動作モードで使用できます。

23.7.10 パタン切り替え検出信号 (TSG2nPTE)

名称

パタン切り替え検出信号 (TSG2nPTE 信号)

説明

TSG2nPTE 信号は、入力パタン (TAPTSn2 ~ TAPTSn0 端子) が変化したタイミングでトグルします。

トグルパタンは TSG2nPSC ビット (TSG2nOPT0.TSG2nPSS = "1") によって決定されます。

- TSG2nPSC = 0

| | | 変化後の TAPTSn2 ~ TAPTSn0 端子 | | | | | | | |
|----------------------------------|-----|---------------------------|-----|-----|-----|-----|-----|-----|-----|
| | | 000 | 111 | 101 | 100 | 110 | 010 | 011 | 001 |
| 現在の TAPTSn2- TAPTSn0 端子 | 000 | — | — | — | — | — | — | — | — |
| | 111 | — | — | — | — | — | — | — | — |
| | 101 | — | — | — | トグル | — | — | — | — |
| | 100 | — | — | — | — | トグル | — | — | — |
| | 110 | — | — | — | — | — | トグル | — | — |
| | 010 | — | — | — | — | — | — | トグル | — |
| | 011 | — | — | — | — | — | — | — | トグル |
| | 001 | — | — | トグル | — | — | — | — | — |

- TSG2nPSC = 1

| | | 変化後の TAPTSn2 ~ TAPTSn0 端子 | | | | | | | |
|----------------------------------|-----|---------------------------|-----|-----|-----|-----|-----|-----|-----|
| | | 000 | 111 | 101 | 100 | 110 | 010 | 011 | 001 |
| 現在の TAPTSn2- TAPTSn0 端子 | 000 | — | — | — | — | — | — | — | — |
| | 111 | — | — | — | — | — | — | — | — |
| | 101 | — | — | — | — | — | — | — | トグル |
| | 100 | — | — | トグル | — | — | — | — | — |
| | 110 | — | — | — | トグル | — | — | — | — |
| | 010 | — | — | — | — | トグル | — | — | — |
| | 011 | — | — | — | — | — | トグル | — | — |
| | 001 | — | — | — | — | — | — | トグル | — |

動作例

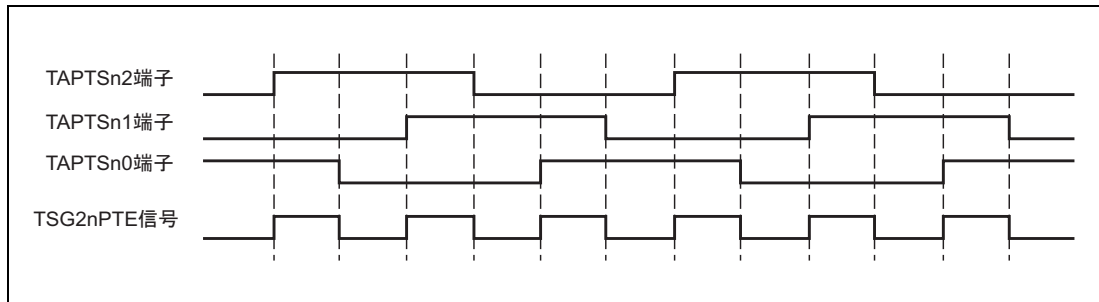


図 23.30 パタン切り替え検出信号動作例

23.8 割り込み間引き機能

- 割り込み間引き機能に関する動作を次に示します。
- 間引き対象割り込みは、山割り込み (INTTSG2nIPEK) と谷割り込み (INTTSG2nIVLY) です。
- TSG2nCTL4.TSG2nPIE で、INTTSG2nIPEK 割り込みの出力許可と間引きカウント対象指定を行います。
- TSG2nCTL4.TSG2nVIE で、INTTSG2nIVLY 割り込みの出力許可と間引きカウント対象指定を行います。

TSG2nCTL3.TSG2nRIA = 1 (リロード間引きあり) した場合は、間引き後の割り込みと同タイミングでリロードタイミングを発生します。TSG2nCTL3.TSG2nRIA = 0 (リロード間引きなし) に指定した場合は、割り込み間引きとは関係なく設定したリロードタイミングにてリロードを発生します。

注 意

TSG2nCTL4 レジスタにライトアクセスし、TSG2nRCC04 ~ TSG2nRCC00 がバッファレジスタに転送されると、割り込み間引きカウンタがクリアされます。このため割り込み間引き機能を使用している場合は、一時的に割り込み間隔が長くなることがあります。これを避けるためには、割り込み間引きに同調したリロードタイミングの設定 (TSG2nCTL3.TSG2nRIA = 1) にして、割り込み間引き数の変更を行ってください。

23.8.1 割り込み間引き機能の動作

23.8.1.1 TSG2nCTL4 レジスタの TSG2nPIE = 1、TSG2nVIE = 1 での割り込み間引き動作 (HT-PWM モード時の山／谷割り込み発生)

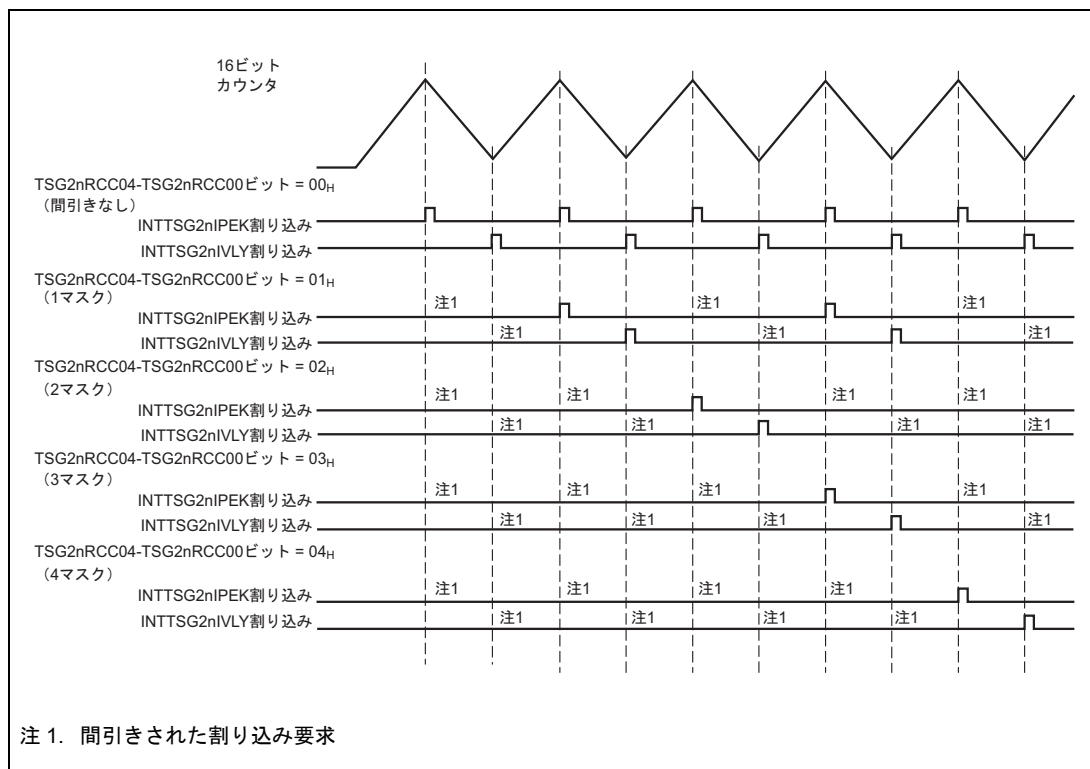


図 23.31 TSG2nCTL4 レジスタの TSG2nPIE = 1、TSG2nVIE = 1 (HT-PWM モード時の山／谷割り込み発生) の場合

23.8.1.2 TSG2nCTL4 レジスタの TSG2nPIE = 1、TSG2nVIE = 0 での割り込み間引き動作 (HT-PWM モード時の山割り込みのみ発生)

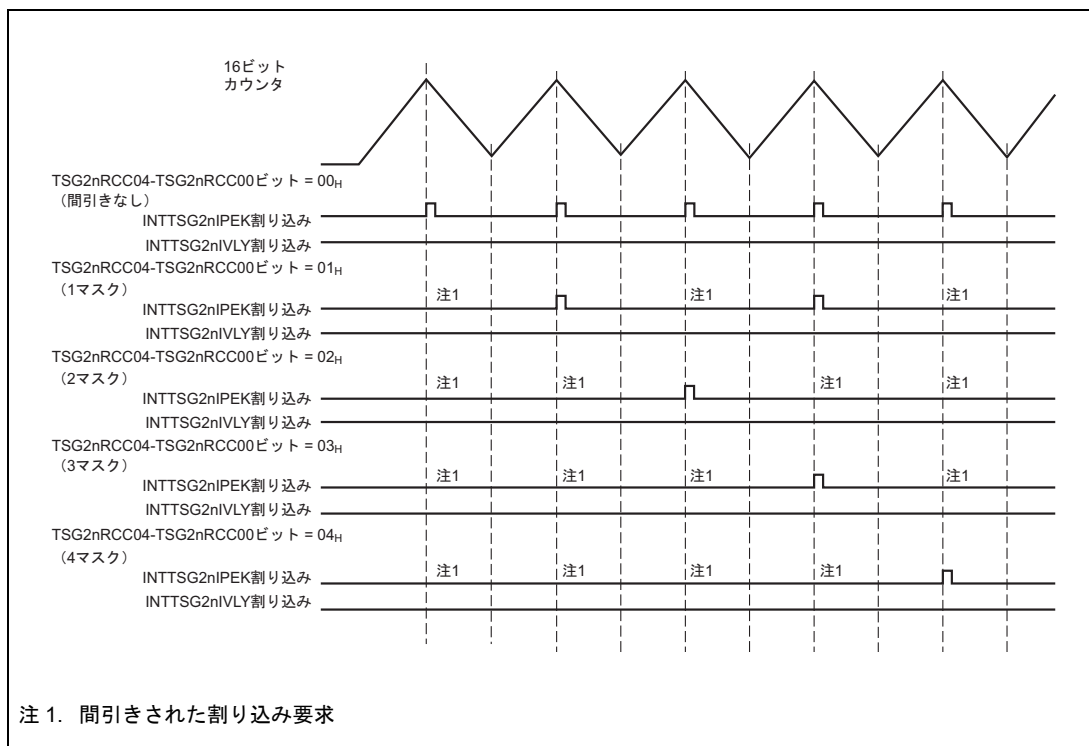


図 23.32 TSG2nCTL4 レジスタの TSG2nPIE = 1、TSG2nVIE = 0 (HT-PWM モード時の山割り込みのみ発生) の場合

23.8.1.3 TSG2nCTL4 レジスタの TSG2nPIE = 0、TSG2nVIE = 1 での割り込み間引き動作 (HT-PWM モード時の谷割り込みのみ発生)

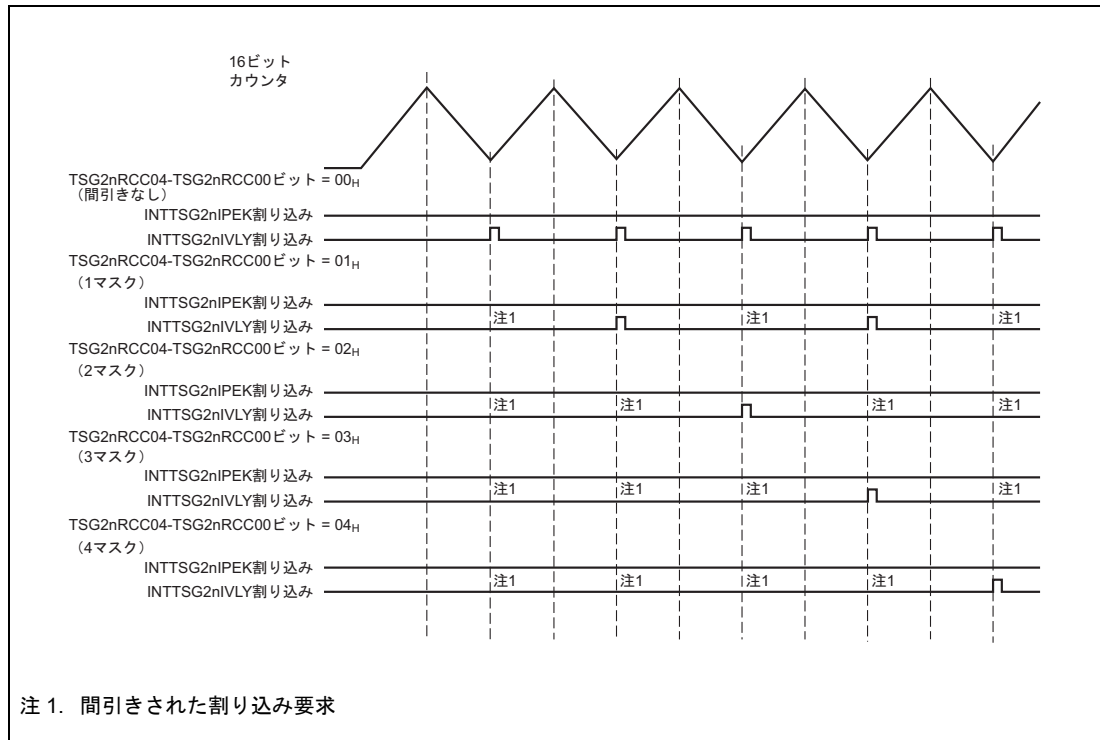


図 23.33 TSG2nCTL4 レジスタの TSG2nPIE = 0、TSG2nVIE = 1 (HT-PWM モード時の谷割り込みのみ発生) の場合

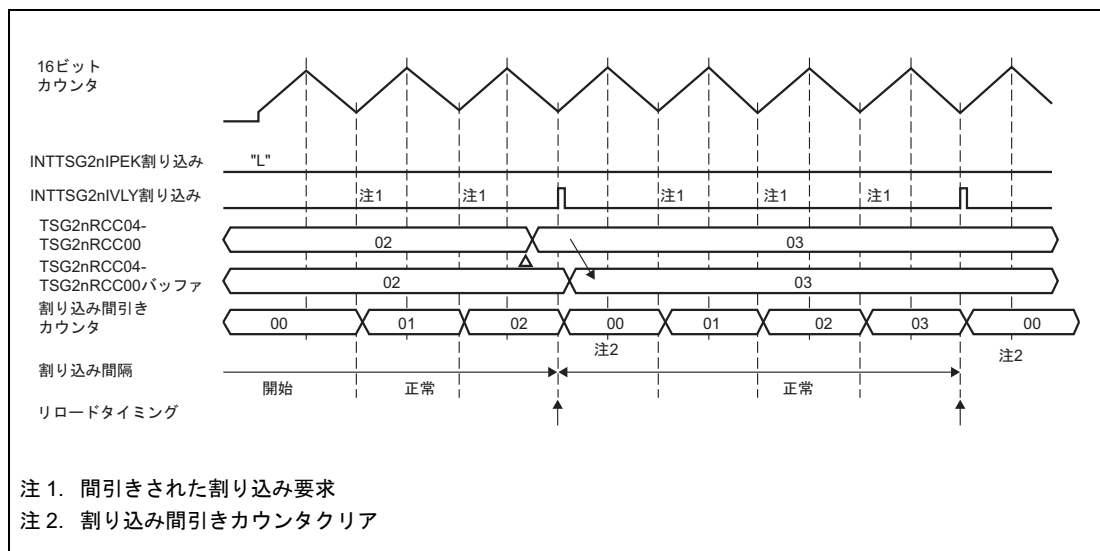


図 23.34 TSG2nCTL3 レジスタの TSG2nRMC = 0、TSG2nRIA = 1 (リロード間引きあり) の場合

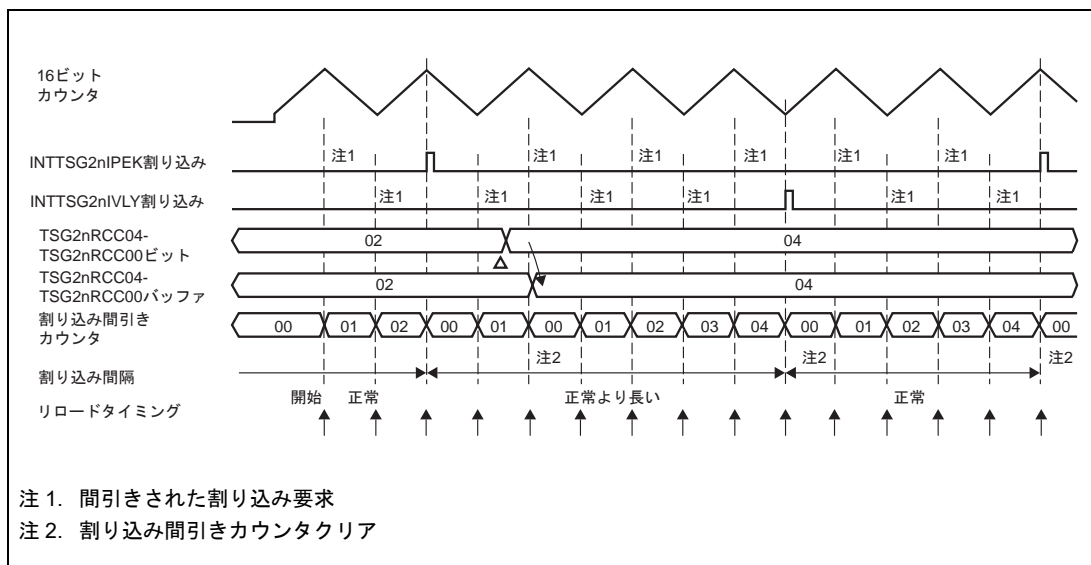


図 23.35 TSG2nCTL3 レジスタの TSG2nRMC = 0、TSG2nRIA ビット = 0 (リロード間引きなし) の場合

注 意

割り込み間隔が長くなる場合があります。

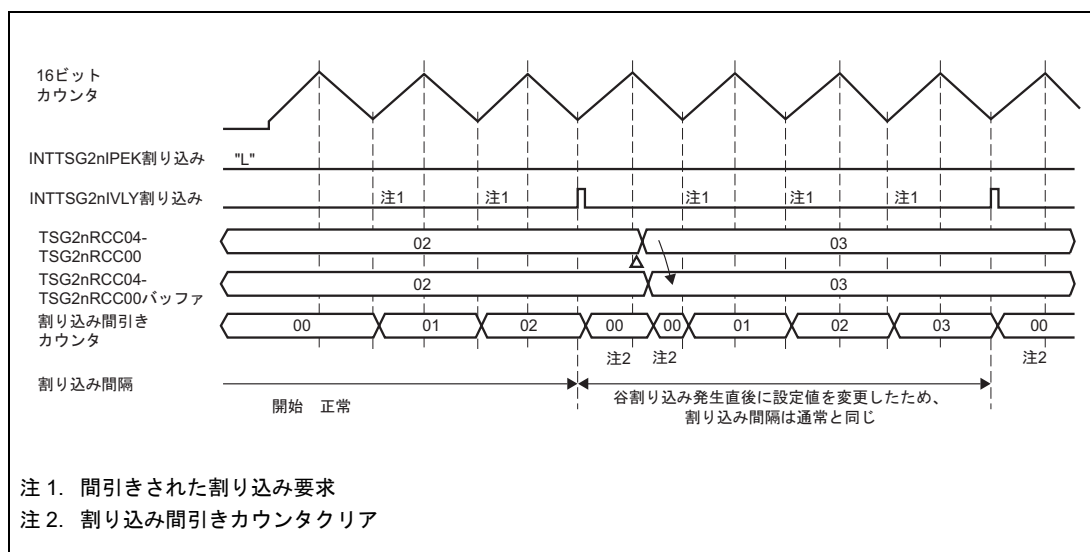


図 23.36 TSG2nCTL3 レジスタの TSG2nRMC = 1 (随時書き換えモード) の場合

注 意

割り込み間隔が長くなる場合があります。

備 考

書き換え後、リロードタイミングは無視して値が直ちに反映されます。

割り込み間引きカウンタのクリアタイミングはレジスタ書き換え時ではなく、TSG2nRCC04 ~ TSG2nRCC00 バッファへの転送時です。

23.8.2 山割り込みを発生する場合の動作例 (PWM モード時)

PWM モード時の割り込み間引き機能に関する動作を次に示します。

- 間引き対象割り込みは、山割り込み (INTTSG2nIPEK) です。PWM モード動作時は TSG2nCMP0 バッファレジスタと 16 ビットカウンタのコンペア一致で発生します。
- TSG2nCTL4.TSG2nPIE で、INTTSG2nIPEK 割り込みの発生許可と間引きカウント対象指定を行います。
- TSG2nCTL4.TSG2nVIE の設定は無効となります。このとき、INTTSG2nIVLY 割り込みは発生しません。

TSG2nCTL3.TSG2nRIA = 1 (リロード間引きあり) に指定した場合は、間引き後の割り込みと同タイミングでリロードタイミングが発生します。

注 意

TSG2nCTL4 レジスタにライトアクセスし、TSG2nRCC04 ~ TSG2nRCC00 がバッファレジスタに転送されると、割り込み間引きカウンタがクリアされます。このため割り込み間引き機能を使用している場合は、一時的に割り込み間隔が長くなる場合があります。これを避けるためには、割り込み間引きに同調したリロードタイミングの設定 (TSG2nCTL3.TSG2nRIA = 1) にして、割り込み間引き数の変更を行ってください。

23.8.2.1 動作例

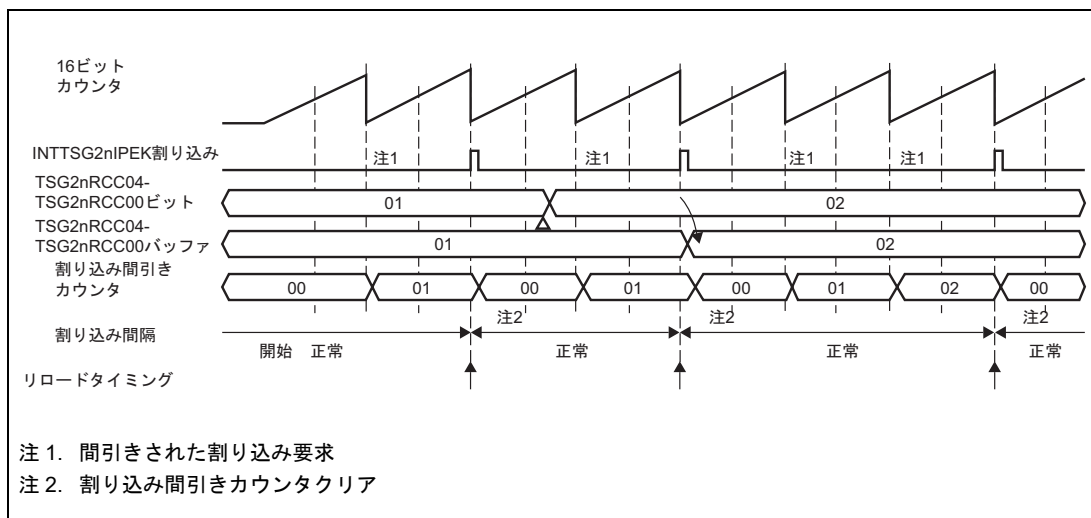


図 23.37 TSG2nCTL3.TSG2nRMC = 0、TSG2nRIA = 1、TSG2nCTL4.TSG2nPRE = 1 の場合 (推奨設定)

備 考

TSG2nCTL3.TSG2nRIA = 1 の時、間引きされた割り込みと同じタイミングでリロードタイミングが発生します。

23.9 A/D 変換トリガ機能

A/D 変換トリガの動作に関して説明します。

TSG2nDCMP0W、TSG2nDCMP2 レジスタは A/D 変換トリガ機能のコンペアレジスタとして使用します。

23.9.1 A/D 変換トリガの動作

TSG2n には、10 個のトリガソースを自由に選択して、A/D の変換開始トリガ (TSTADT0、TSTADT1 信号) を生成する機能があります。トリガソースの選択は、TSG2nCTL5 レジスタの TSG2nAT09 ~ TSG2nAT00、TSG2nCTL6 レジスタの TSG2nAT19 ~ TSG2nAT10 で指定します。

23.9.1.1 TSTADT0/TSTADT1 信号の出力制御 (TSG2nCTL5、TSG2nCTL6 レジスタ)

【トリガソース】

- TSG2nAT00/TSG2nAT10 = 1 :
谷割り込み (INTTSG2nIVLY) 発生時に A/D 変換トリガを発生
- TSG2nAT01/TSG2nAT11 = 1 :
山割り込み (INTTSG2nIPEK) 発生時に A/D 変換トリガを発生
- TSG2nAT02/TSG2nAT12 = 1 :
16 ビットカウンタのアップカウント時、TSG2nDCMP0 コンペア一致発生で A/D 変換トリガを発生許可
- TSG2nAT03/TSG2nAT13 = 1 :
16 ビットカウンタのダウンカウント時、TSG2nDCMP0 コンペア一致発生で A/D 変換トリガを発生許可
- TSG2nAT04/TSG2nAT14 = 1 :
16 ビットカウンタのアップカウント時、TSG2nDCMP1 コンペア一致発生で A/D 変換トリガを発生許可
- TSG2nAT05/TSG2nAT15 = 1 :
16 ビットカウンタのダウンカウント時、TSG2nDCMP1 コンペア一致発生で A/D 変換トリガを発生許可
- TSG2nAT06/TSG2nAT16 = 1 :
16 ビットカウンタのアップカウント時、TSG2nDCMP2 コンペア一致発生で A/D 変換トリガを発生許可
- TSG2nAT07/TSG2nAT17 = 1 :
16 ビットカウンタのダウンカウント時、TSG2nDCMP2 コンペア一致発生で A/D 変換トリガを発生許可
- TSG2nAT08/TSG2nAT18 = 1 :
16 ビットサブカウンタの谷タイミング (ダウンからアップへの切り替わり時、A/D 変換トリガを発生許可
- TSG2nAT09/TSG2nAT19 = 1 :
16 ビットサブカウンタの山タイミング (アップからダウンへの切り替わり) 時、A/D 変換トリガを発生許可

【間引き設定】

- TSG2nACC01、TSG2nACC00 / TSG2nACC11、TSG2nACC10 :
TSTADT0/TSTADT1 信号の間引き設定

TSG2nAT09-TSG2nAT00/TSG2nAT19 ~ TSG2nAT10 により選択された A/D 変換トリガはすべて論理和 (OR) され、その信号は、TSG2nACC01、TSG2nACC00/TSG2nACC11、TSG2nACC10 で設定した間引き制御の後、TSTADT0/TSTADT1 信号が生成されます。

また、TSG2nAT00、TSG2nAT01/TSG2nAT10、TSG2nAT11 によって選択される山割り込み (INTTSG2nIPEK)、谷割り込み (INTTSG2nIVLY) は、割り込み間引き後の信号となります。したがって、割り込み間引き制御を受けたタイミングでの出力となり、割り込みの出力イネーブル (TSG2nCTL4.TSG2nPIE、TSG2nVIE) を許可にしている場合は、A/D 変換トリガも出力されません。

また、TSG2nACC01、TSG2nACC00、TSG2nAT09-TSG2nAT00/TSG2nACC11、TSG2nACC10、TSG2nAT19-TSG2nAT10 は、タイマ動作中の書き換えが可能です。

動作中に A/D 変換トリガの設定ビットを書き換えると、即時に A/D 変換トリガの出力状態に反映されます。これらの制御ビットは、動作モードにかかわらず、随時書き換えとなります。また、TSG2nCTL5、TSG2nCTL6 レジスタにライトアクセス (同値書き換え含む) をした場合は、A/D 変換トリガの間引きカウンタはクリアされ 0 からのカウントを開始します。

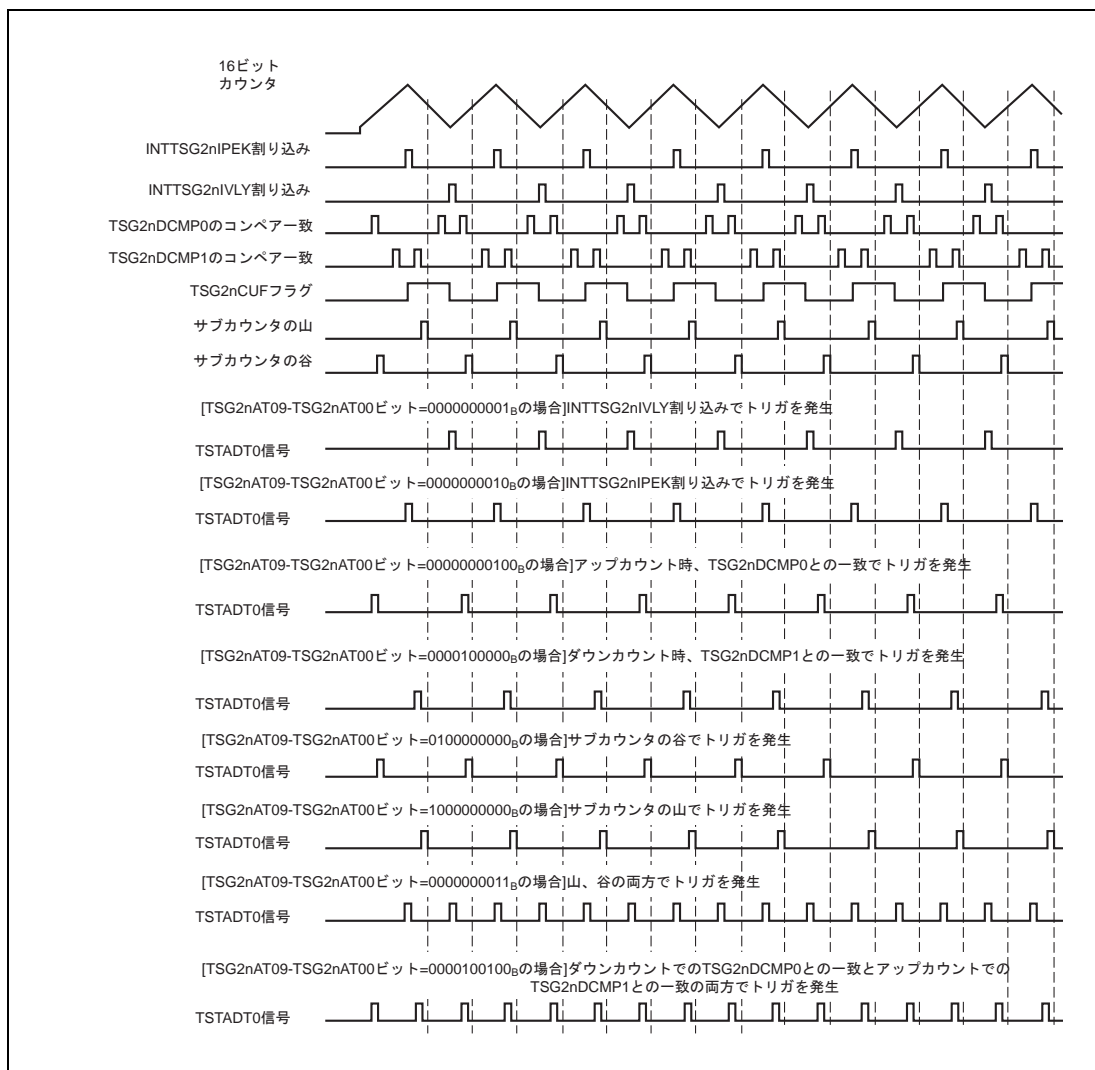


図 23.38 TSG2nCTL4 レジスタの TSG2nPIE = 1、TSG2nVIE = 1、TSG2nRCC04 ~ TSG2nRCC00 = 00_B、TSG2nCTL5 レジスタの TSG2nACC01、TSG2nACC00 = 00_B の場合 (HT-PWM モード)

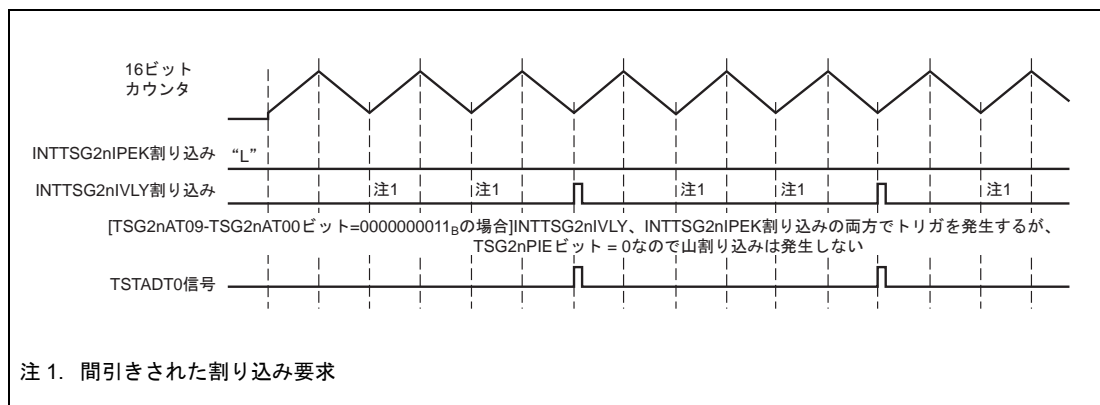


図 23.39 TSG2nCTL4 レジスタの TSG2nPIE = 0、TSG2nVIE = 1、TSG2nRCC04 ~ TSG2nRCC00 = 02_B、TSG2nCTL5 レジスタの TSG2nACC01、TSG2nACC00 = 00_B の場合 (HT-PWM モード)

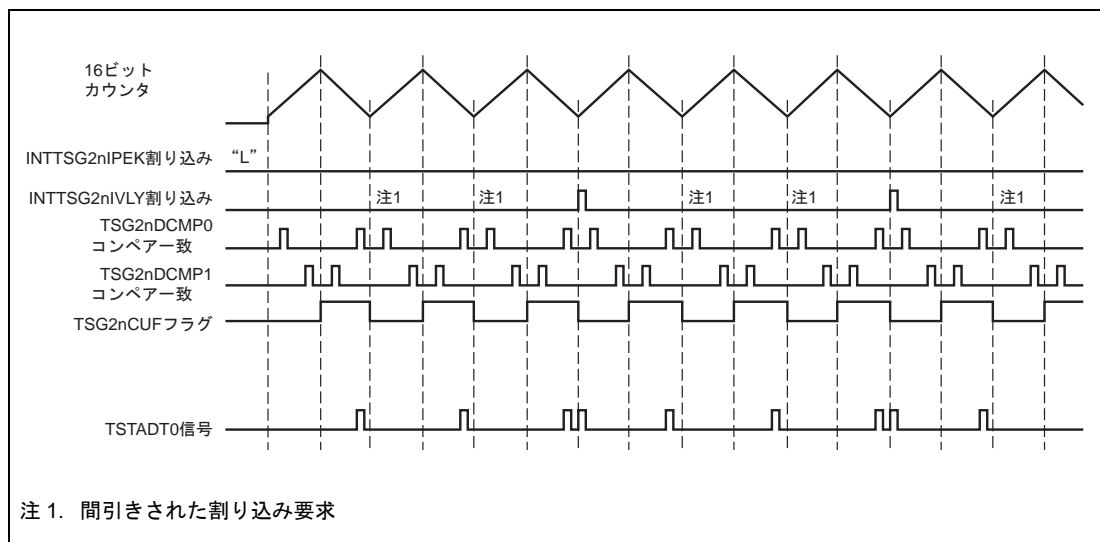


図 23.40 TSG2nCTL4 レジスタの TSG2nPIE = 0、TSG2nVIE = 1、TSG2nRCC04 ~ TSG2nRCC00 = 02_B、TSG2nCTL5 レジスタの TSG2nACC01、TSG2nACC00 = 00_B、TSG2nAT09-TSG2nAT00 = 00001001_B の場合 (HT-PWM モード)

23.9.1.2 A/D 変換トリガ間引き機能

A/D 変換トリガの間引き機能の動作例を次に示します。

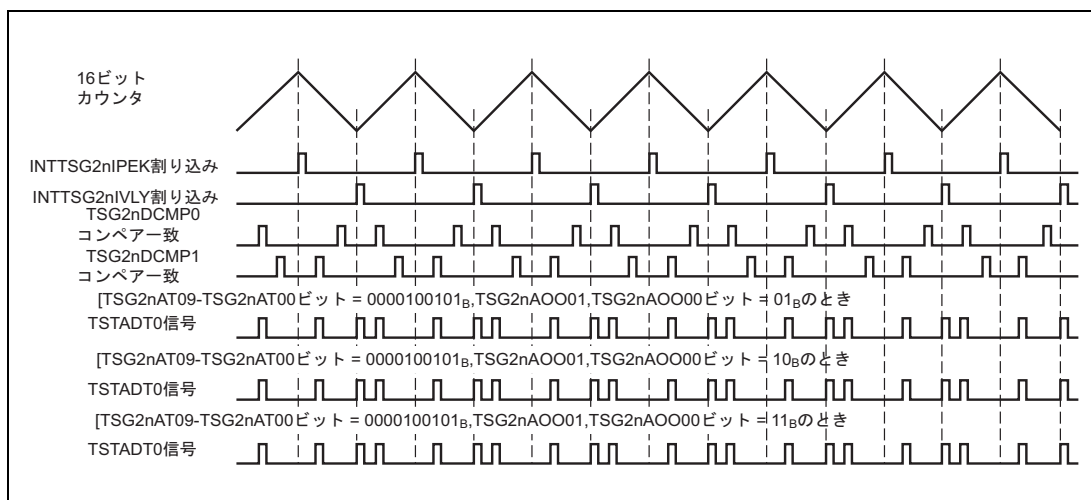


図 23.41 A/D 変換トリガの間引き機能の動作例

備考

破線は A/D 変換トリガ間引き機能により間引きされた A/D 変換トリガ

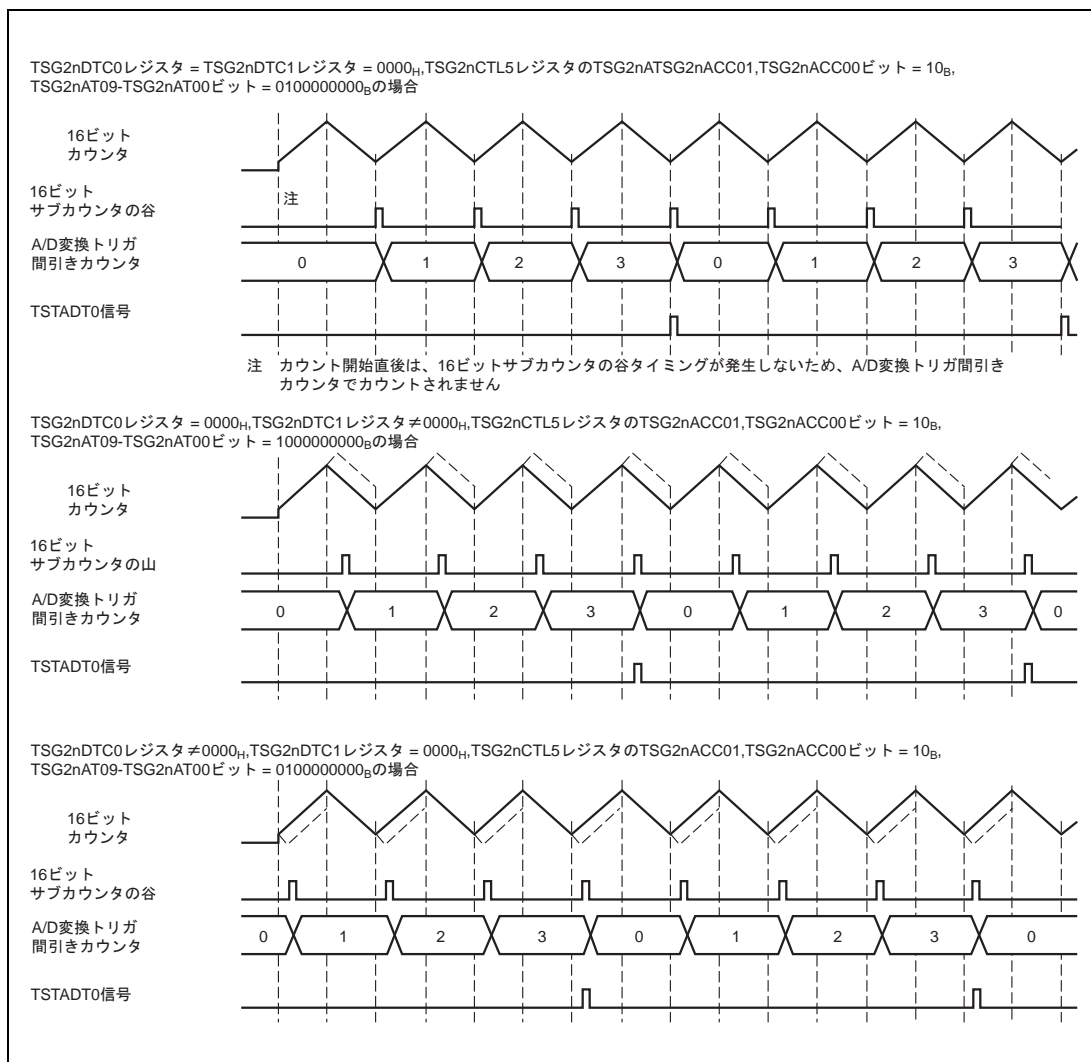


図 23.42 A/D 変換トリガの間引き機能の動作例

23.9.1.3 A/D 変換トリガに関する注意事項

- TSG2nDCMP0 レジスタと、TSG2nDCMP1 レジスタもしくは、TSG2nDCMP2 レジスタに同値をライトアクセスし、有効な A/D 変換トリガを同じ条件（16 ビットカウンタのアップ/ダウンカウント時）に設定した場合、A/D 変換トリガ間引きカウンタには 1 回としてカウントされます。また出力するトリガも 1 パルスです。
- PWM モード、SP-PWM モード、120-DC モードにおいて、谷割り込み (INTTSG2nIVLY) は発生しません。山割り込み (INTTSG2nIPEK) のみ有効となります。
- 120-DC モードにおいて、16 ビットカウンタが出力パタンの切り替えにより、搬送周期未満でクリアされたとき、TSG2nDCMP2-0 と 16 ビットカウンタの一致、山割り込み (INTTSG2nIPEK) が発生しない場合は、A/D 変換トリガが発生しません。

23.10 エラー／ワーニング割り込み

23.10.1 エラー割り込み機能

エラー割り込み機能を許可 (TSG2nIOC1.TSG2nEOC = 1) 後、正相／逆相同時アクティブを検出した場合、TSG2nSTR2.TSG2nTBF がセットされ、TSG2nのエラー割り込み (INTTSG2nIER) が発生します。TSG2nCTL1.TSG2nTBA2-TSG2nTBA0 で各相 (TSOn1/TSOn2、TSOn3/TSOn4、TSOn5/TSOn6 端子) のエラー検出あり／なしを選択できます。

エラー発生時には、TSOn1 ~ TSOn6 端子出力をハイインピーダンスにすることが可能です。次に、モードごとに正相／逆相同時アクティブ検出の可否を示します。

| モード | 正相／逆相同時アクティブ検出 |
|------------|----------------|
| PWM モード | ○ |
| HT-PWM モード | ○ |
| SP-PWM モード | ○ |
| 120-DC モード | ○ |

備考 ○ : エラー検出可能、× : エラー検出不可

注 意

エラー割り込みが発生した場合、エラー割り込み処理内でエラー状態を解除してください。エラー状態を解除しない場合、以降のエラー割り込みは発生しません。

23.10.1.1 PWM モード、120-DC モードの場合

PWM モード時、TSOn1 端子と TSOn2 端子が同時にアクティブレベルを出力するように TSG2nCMP1、TSG2nCMP2 レジスタと TSG2nCMP3、TSG2nCMP4 レジスタを設定した場合、エラー割り込み (INTTSG2nIER) が発生します。同様に、TSOn3 端子と TSOn4 端子および TSOn5 端子と TSOn6 端子が同時にアクティブレベルを出力するように TSG2nCMP5、TSG2nCMP6、TSG2nCMP7、TSG2nCMP8、TSG2nCMP9、TSG2nCMP10、TSG2nCMP11、TSG2nCMP12 レジスタを設定した場合も、エラー割り込み (INTTSG2nIER) が発生します。

120-DC モード時、TSOn1 端子と TSOn2 端子が同時にアクティブレベルを出力するように TSG2nCMP1、TSG2nCMP2、TSG2nCMP5、TSG2nCMP6、TSG2nCMP9、TSG2nCMP10 レジスタと TSG2nCMP3、TSG2nCMP4、TSG2nCMP7、TSG2nCMP8、TSG2nCMP11、TSG2nCMP12 レジスタ、TSG2nPAT0W と TSG2nPAT1W を設定した場合、エラー割り込み (INTTSG2nIER) が発生します。また、同様に設定したとき、TSOn3 端子と TSOn4 端子、TSOn5 端子と TSOn6 端子も同時にアクティブレベルを出力し、エラー割り込み (INTTSG2nIER) が発生します。

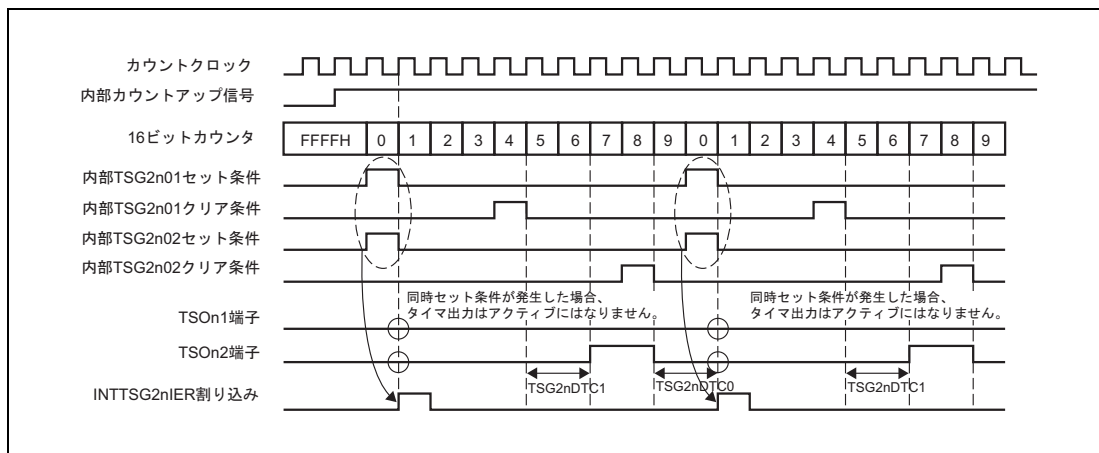


図 23.43 エラー割り込み (INTTSG2nIER) 発生例 (PWM モード時)

備考

TSOn3 端子と TSOn4 端子、TSOn5 端子と TSOn6 端子も同様です。

TSG2nIOC2.TSG2nOL1、TSG2nOL2 を操作して、出力のアクティブレベルを切り替えた場合は、次のようになります。

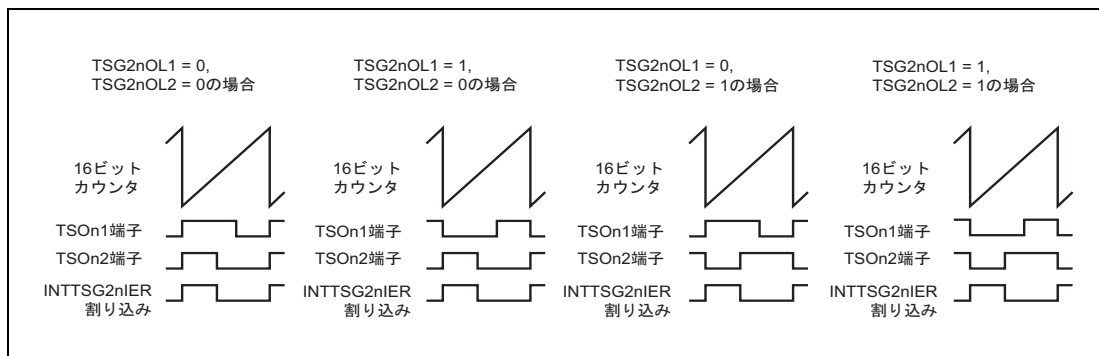


図 23.44 アクティブレベルごとのエラー割り込み (INTTSG2nIER) 発生例

23.10.1.2 HT-PWM モード、SP-PWM モードの場合

TSG2n デッドタイム設定レジスタ 0、1 (TSG2nDTC0、TSG2nDTC1) のいずれかが 0000_H の場合、エラーが発生する可能性があります。

備考

デッドタイム制御機能を使用 (TSG2nDTC0、TSG2nDTC1 のいずれも 0000_H 以外) 時にエラーが発生した場合は、内部回路の故障が考えられます。

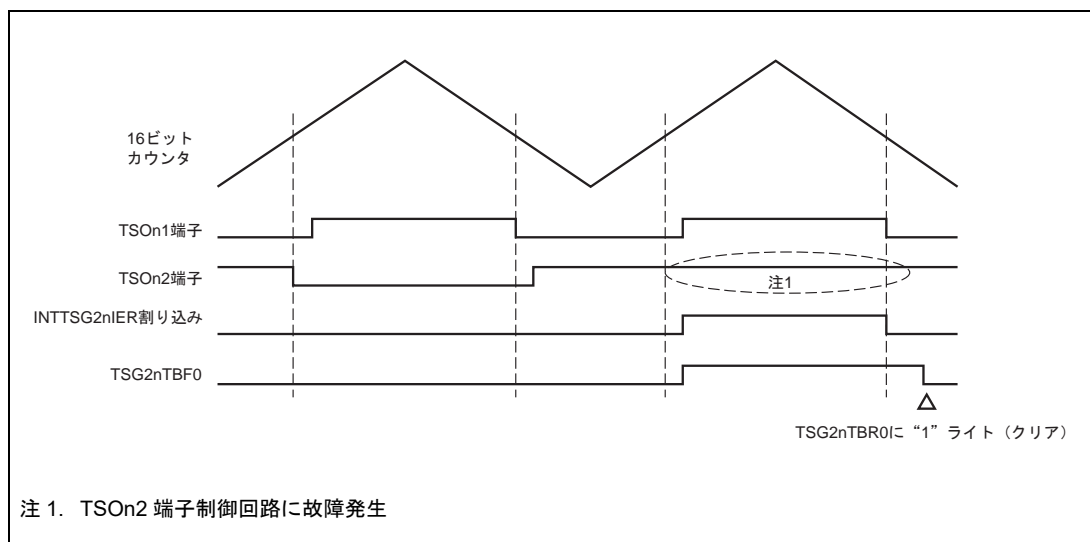


図 23.45 エラー割り込み動作例

23.10.2 ワーニング割り込み機能

TSG2n には、ワーニング割り込み (INTTSG2nIWN) があります。

ワーニング割り込み (INTTSG2nIWN) は、次のいずれかの条件を検出した場合に発生します。

詳細は「**23.7 フラグ**」を参照してください。

- TAPTSn2 ~ TAPTSn0 端子に関して、2 端子以上の同時変化を検出した場合
「**23.7.4 ノイズ検出フラグ (TSG2nNDF)**」を参照
- TAPTSn2 ~ TAPTSn0 端子に関して、反転を検出した場合
「**23.7.7 パタン反転検出フラグ (TSG2nPRF)**」を参照
- TAPTSn2 ~ TAPTSn0 端子に関して“000”、“111”を検出した場合
「**23.7.6 パタンエラー検出フラグ (TSG2nPEF)**」を参照
- 入力パタン (TAPTSn2 ~ TAPTSn0 端子) と出力パタン (TSG2nOPF2 ~ TSG2nOPF0) の位相関係がずれた場合
「**23.7.8 パタン位相差異検出フラグ (TSG2nPPF)**」を参照

23.11 各モードの動作

表 23.44 モード一覧

| TSG2nCTL0 レジスタ | | タイマ・モード |
|----------------|----------|--------------------------|
| TSG2nMD1 | TSG2nMD0 | |
| 0 | 0 | PWM モード |
| 0 | 1 | HT-PWM モード (HT-PWM) |
| 1 | 0 | シフト・パルス PWM モード (SP-PWM) |
| 1 | 1 | 120-DC モード |

23.11.1 PWM モード

概要

TSG2nCMP0 レジスタの PWM 周期、TSG2nCMP1-TSG2nCMP12 のセット・タイミング/クリア・タイミングにより、PWM を TSO_n1-TSO_n6 端子から出力します。

前提条件

- 偶数番号のコンペア・レジスタにセット・タイミングを設定。
TSG2nCMP2 (TSO_n1 端子のセット・タイミング)、TSG2nCMP4 (TSO_n2 端子のセット・タイミング)、TSG2nCMP6 (TSO_n3 端子のセット・タイミング)、TSG2nCMP8 (TSO_n4 端子のセット・タイミング)、TSG2nCMP10 (TSO_n5 端子のセット・タイミング)、TSG2nCMP12 (TSO_n6 端子のセット・タイミング) を設定。
- 奇数番号のコンペア・レジスタにクリア・タイミングを設定。
TSG2nCMP1 (TSO_n1 端子のクリア・タイミング)、TSG2nCMP3 (TSO_n2 端子のクリア・タイミング)、TSG2nCMP5 (TSO_n3 端子のクリア・タイミング)、TSG2nCMP7 (TSO_n4 端子のクリア・タイミング)、TSG2nCMP9 (TSO_n5 端子のクリア・タイミング)、TSG2nCMP11 (TSO_n6 端子のクリア・タイミング) を設定

機能説明

PWM 周期を設定、TSO_n1-TSO_n6 端子出力のセット・タイミング/クリア・タイミングを設定。TSG2nTRG0.TSG2nTS = 1 にすると、カウント・アップを開始します。

カウント・アップ開始と同時に、TSO_n1-TSO_n6 端子はインアクティブ・レベルとなり、16 ビット・カウンタと TSG2nCMP2, TSG2nCMP4, TSG2nCMP6, TSG2nCMP8, TSG2nCMP10, TSG2nCMP12 のバッファ・レジスタの一致によりアクティブ・レベルとなります。

次に TSG2nCMP1, TSG2nCMP3, TSG2nCMP5, TSG2nCMP7, TSG2nCMP9, TSG2nCMP11 のバッファ・レジスタとの一致により TSO_n1-TSO_n6 端子はインアクティブ・レベルとなります。

カウント動作中、16 ビット・カウンタと TSG2nCMP0-TSG2nCMP12 のバッファ・レジスタの一致でコンペア一致割り込み (INTTSG2nI0-INTTSG2nI12) が発生します。

注 意

TSG2nCTL3.TSG2nRMC = 0 のとき、TSG2nCMP1 レジスタに書き込むとリロードが実行されます。したがって、TSG2nCMP0 レジスタの値だけ書き換えたい場合でも、TSG2nCMP1 レジスタは同値の書き込みを行う必要があります。TSG2nCMP0 レジスタだけ書き換えを行ってもリロードは行われません。

備考

PWM モードは TSG2nCTL0.TSG2nMD1-TSG2nMD0 = 00_B に設定したときに有効となります。

(1) タイマ動作中に TSG2nCMP0, TSG2nCMP1-TSG2nCMP12 レジスタの値を書き換ええない場合

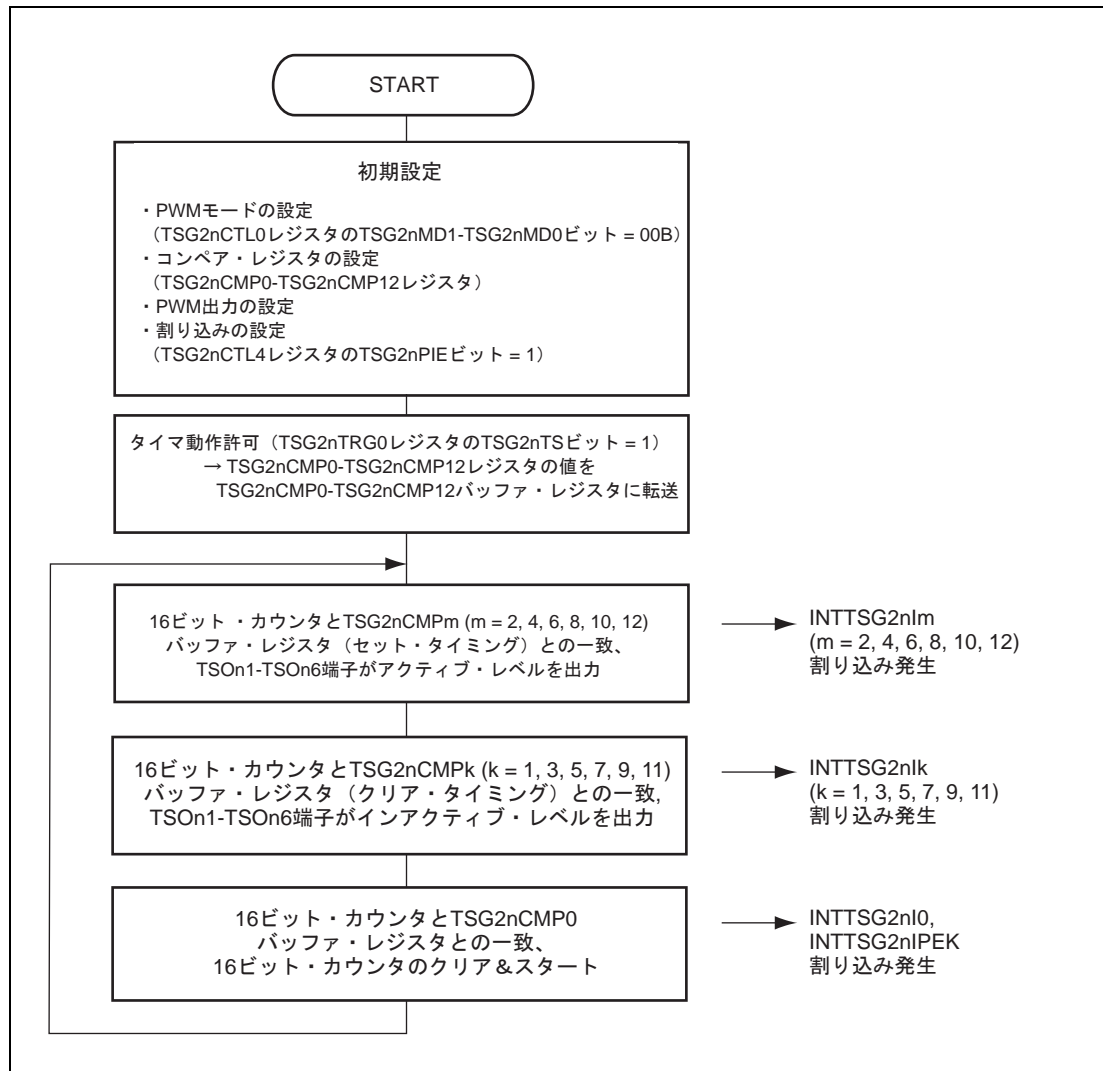


図 23.46 PWM モード時の基本動作フロー (1/2)

(2) タイマ動作中に TSG2nCMP0, TSG2nCMP1-TSG2nCMP12 レジスタの値を書き換える場合

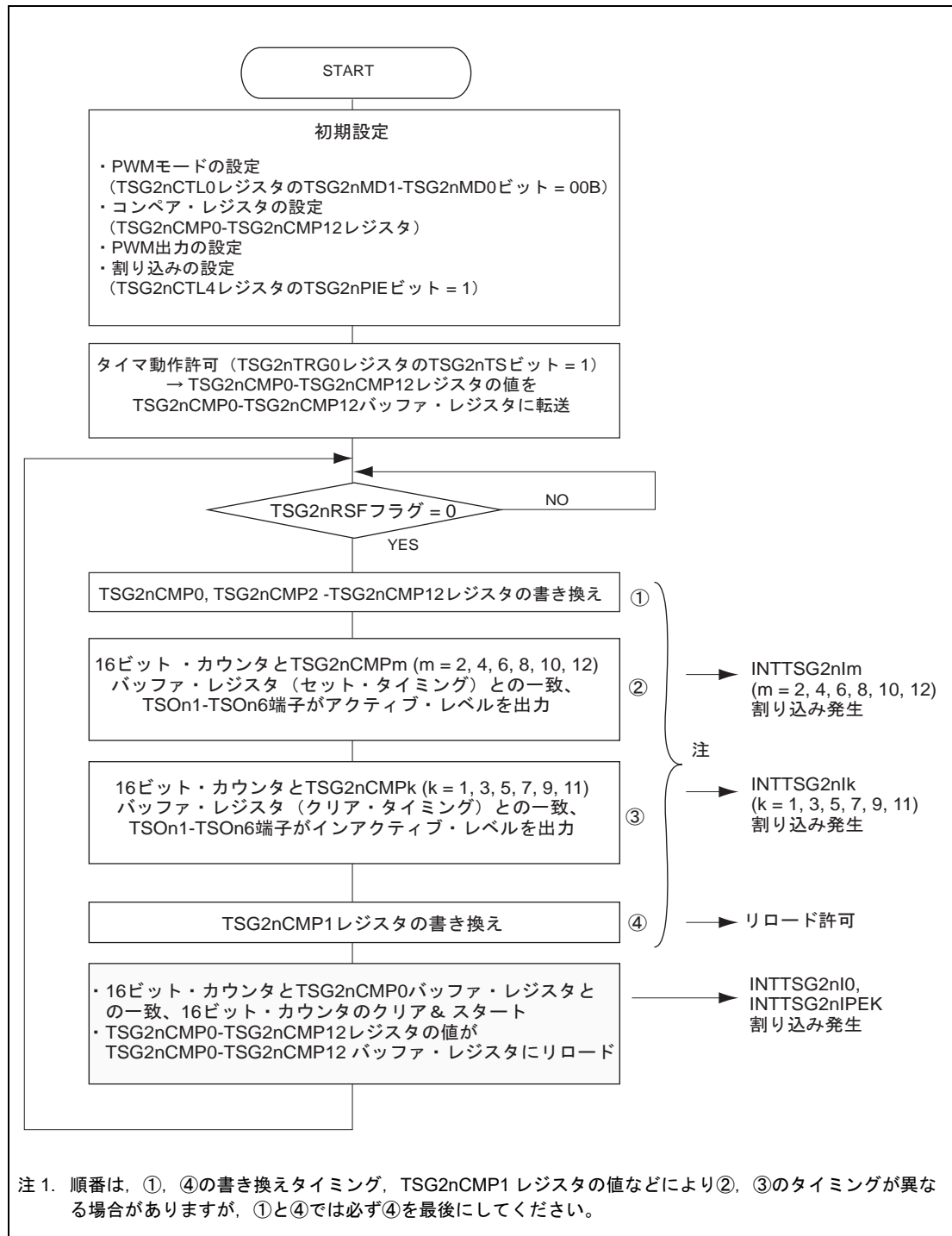


図 23.47 PWM モード時の基本動作フロー (2/2)

注意

コンペア・レジスタの書き換え前に、リロード要求フラグ (TSG2nRSF) が“0”であることを確認してください。

23.11.1.1 PWM モード動作一覧

表 23.45 PWM モード : カウンタ機能

| 動作 | | 設定条件 |
|-------------|------|--|
| 16 ビット・カウンタ | スタート | TSG2nTRG0.TSG2nTS = 0 → 1 または、同時スタート・トリガ |
| | クリア | TSG2nCMP0 バッファ・レジスタと 16 ビット・カウンタのコンペア一致 |
| | 停止 | TSG2nTRG1.TSG2nTT = 0 → 1 |

表 23.46 PWM モード : コンペア・レジスタ, デッド・タイム設定レジスタの機能

| レジスタ | 書き換え方法 | 動作中の書き換え | 機能 |
|-------------------------|-------------|------------------|-------------------------|
| TSG2nCMP0 | リロード/随時書き換え | 可能 | 周期 |
| TSG2nCMPm (m = 1 ~ 12) | リロード/随時書き換え | 可能 | セット/ クリア・タイミング |
| TSG2nDCMP0W, TSG2nDCMP2 | リロード/随時書き換え | 可能 | ダイアグ出力もしくは A/D 変換トリガ |
| TSG2nDTC0, TSG2nDTC1 | リロード | 可能 ^{注1} | デッド・タイム |

注 1. 詳細は「23.11.1.3 PWM モード時のデッド・タイム制御」を参照してください。

表 23.47 PWM モード : タイマ出力機能

| 端子 | 機能 |
|-------------------|--|
| TSONm (m = 1 ~ 6) | TSG2nCMPk バッファ・レジスタと 16 ビット・カウンタのコンペア一致による PWM 出力 (k = 1 ~ 12) |
| TSON7 | ダイアグ出力、もしくは、A/D 変換トリガによるパルス出力 |

表 23.48 PWM モード : 割り込み要求

| 割り込み | 機能 |
|-------------------------|---|
| INTTSG2nIm (m = 0 ~ 12) | TSG2nCMPm バッファ・レジスタと 16 ビット・カウンタのコンペア一致 (m = 0 ~ 12) |
| INTTSG2nIER | エラー (TSON1, TSON2 または、TSON3, TSON4 または、TSON5, TSON6 の同時アクティブ検出) |
| INTTSG2nIVLY | — |
| INTTSG2niPEK | 山割り込み (INTTSG2ni0 と同時に発生) |
| INTTSG2niWN | ワーニング |

備考 “—” は、PWM モードで使用しない機能を示します。

表 23.49 PWM モード : コンペア一致タイミング

| コンペア一致 | タイミング |
|------------------------|--|
| TSG2nCMP0 | 16 ビット・カウンタが TSG2nCMP0 → 0000 _H へ切り替わる時 |
| TSG2nCMPm (m = 1 ~ 12) | 16 ビット・カウンタと TSG2nCMPm の一致検出後 (m = 1 ~ 12) |

表 23.50 PWM モード : タイマ出力条件別の設定例

| 端子 | 項目 | 出力周期 | 出力デューティ | |
|----------------------|--------|--------------------------------|-------------------------------------|---|
| | | | 出力条件 | 設定条件 |
| TSONm (m = 1 ~ 6) | PWM 出力 | (TSG2nCMP0 + 1) × カウント・クロック | 1 周期の期間内すべてインアクティブ・レベル出力 (デューティ 0%) | TSG2nCMPm = TSG2nCMP(m+1) もしくは TSG2nCMP(m+1) > TSG2nCMP0 (m = 1, 3, 5, 7, 9, 11) |
| | | | 1 周期で 1 カウント・クロックのアクティブ・レベル出力 | TSG2nCMPm = TSG2nCMP(m+1) + 1 TSG2nCMP(m+1) = TSG2nCMPm - 1 (m = 1, 3, 5, 7, 9, 11) |
| | | | 1 周期で 1 カウント・クロックのインアクティブ・レベル出力 | TSG2nCMPm = TSG2nCMP(m+1) - 1 TSG2nCMP(m+1) = TSG2nCMPm + 1 (m = 1, 3, 5, 7, 9, 11) |
| | | | 1 周期の期間内全てアクティブ・レベル出力 (デューティ 100%) | TSG2nCMPm > TSG2nCMP0 TSG2nCMP(m+1) ≤ TSG2nCMP0 (m = 1, 3, 5, 7, 9, 11) |

TSG2nCMP2 のみの値書き換え、TSON1 端子出力ありの場合
(TSG2nIOC0.TSG2nTOE1 = 1, TSG2nIOC2.TSG2nOL1 = 0)

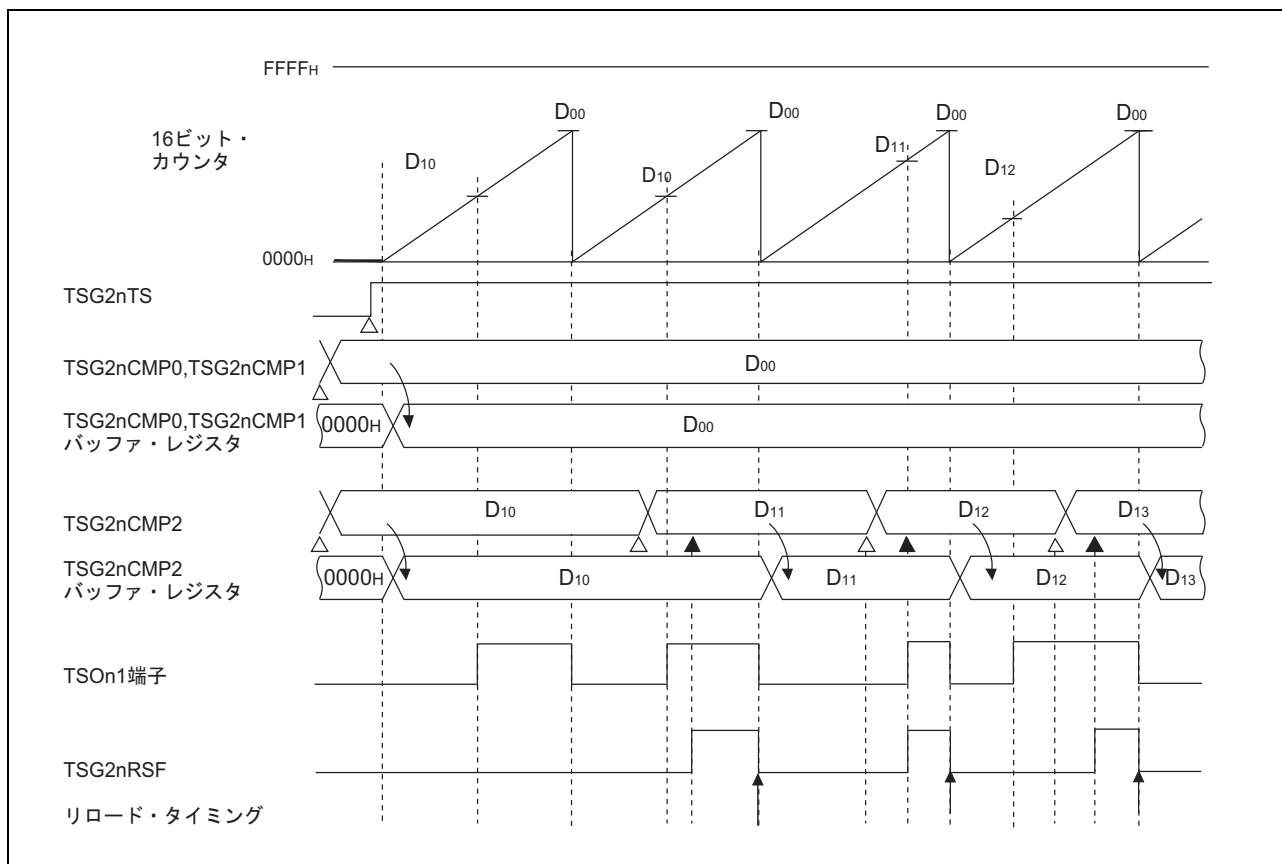


図 23.48 PWM モード時の基本動作タイミング例 (1/2)

備考

1. D00 : TSG2nCMP0, TSG2nCMP1 の設定値 (0000_H - FFFF_H)
D10, D11, D12, D13 : TSG2nCMP2 の設定値 (0000_H - FFFF_H)
2. TSON1 端子 (PWM) デューティ =
(TSG2nCMP1 - TSG2nCMP2) × (カウント・クロック周期)
TSON1 端子 (PWM) 周期 =
(TSG2nCMP0 レジスタの設定値 + 1) × (カウント・クロック周期)
3. TSON2-TSON6 端子は、TSON1 端子と同機能です。
4. △ : ライト・アクセス
5. ▲ : TSG2nCMP1 ライト・アクセス (同値)

TSG2nCMP0-TSG2nCMP2 レジスタの値書き換え、TSOn1 端子出力ありの場合
(TSG2nIOC0.TSG2nTOE1 = 1, TSG2nIOC2.TSG2nOL1 = 0)

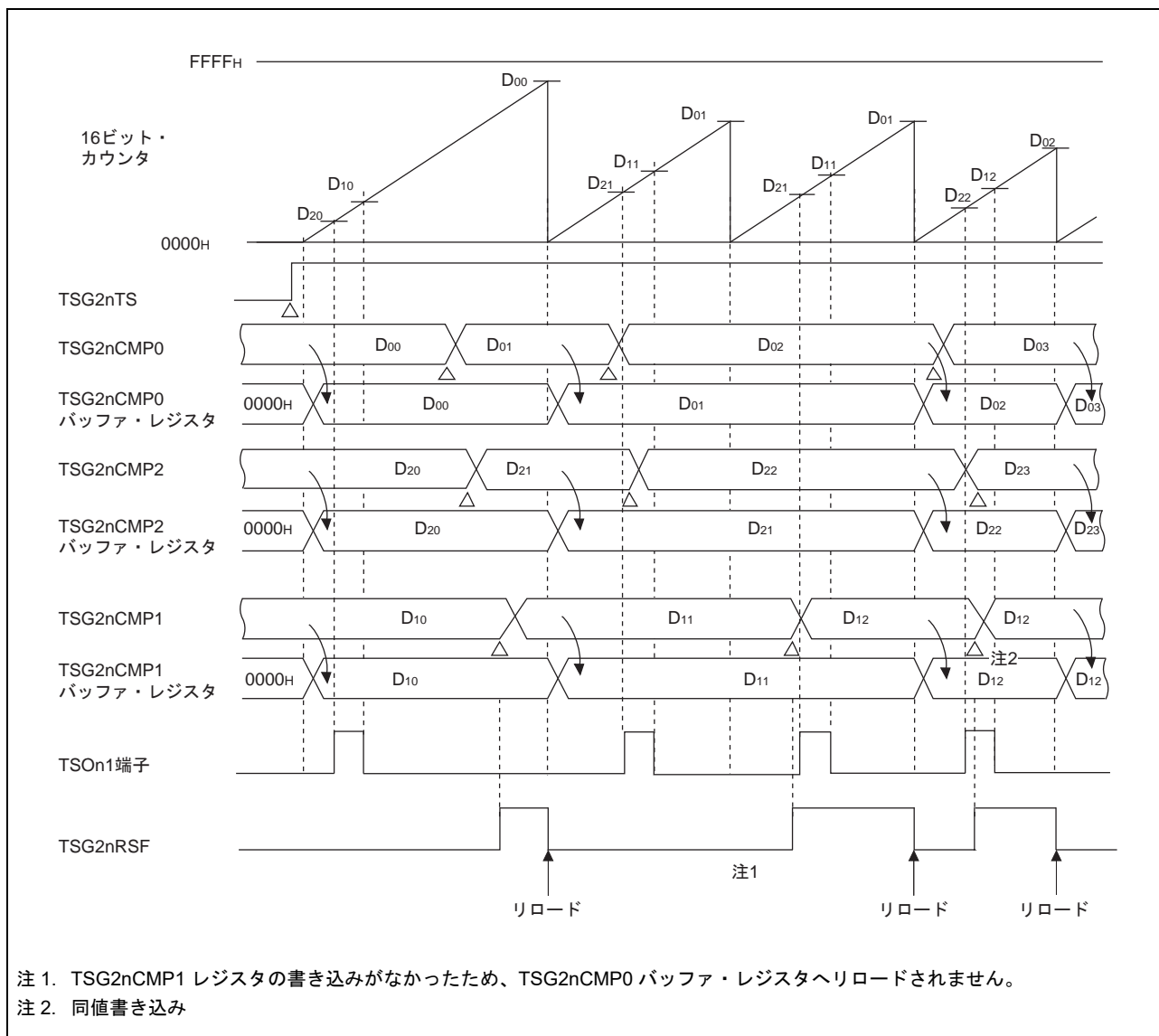


図 23.49 PWM モード時の基本動作タイミング例 (2/2)

備考

1. D00, D01, D02, D03 : TSG2nCMP0 レジスタの設定値 (0000_H - FFFF_H)
D10, D11, D12, D13 : TSG2nCMP1 レジスタの設定値 (0000_H - FFFF_H)
D20, D21, D22, D23 : TSG2nCMP2 レジスタの設定値 (0000_H - FFFF_H)
2. TSOn2-TSOn6 端子は、TSOn1 端子と同機能です。
3. △ : ライト・アクセス

23.11.1.2 PWM モード時のリロード／割り込み間引き機能

TSG2nCTL4.TSG2nPRE = 1, TSG2nPIE = 1, TSG2nRCC04-TSG2nRCC00,

TSG2nCTL3.TSG2nRIA を設定することで、リロード間引き機能、割り込み間引き機能を使用できます。

TSG2nPRE = 1, TSG2nRCC04-TSG2nRCC00 を設定することで、割り込み間引き機能を使用できます。

23.11.1.3 PWM モード時のデッド・タイム制御

PWM モードでは、TSG2nDTC0, TSG2nDTC1 レジスタにデッド・タイム値を設定することで、デッド・タイム制御ができます。デッド・タイムは、TSOn1 端子と TSOn2 端子、TSOn3 端子と TSOn4 端子、TSOn5 端子と TSOn6 端子の切り替えタイミングで制御できます。

表 23.51 PWM モードにおけるデッド・タイム

| 切り替えタイミング | デッド・タイム |
|---|------------------|
| TSOn1 端子がハイ・レベルからロウ・レベルで TSOn2 端子がロウ・レベルからハイ・レベル | TSG2nDTC1 レジスタの値 |
| TSOn2 端子がハイ・レベルからロウ・レベルで TSOn1 端子がロウ・レベルからハイ・レベル | TSG2nDTC0 レジスタの値 |
| TSOn3 端子がハイ・レベルからロウ・レベルで TSOn4 端子がロウ・レベルからハイ・レベル | TSG2nDTC1 レジスタの値 |
| TSOn4 端子がハイ・レベルからロウ・レベルで TSOn3 端子がロウ・レベルからハイ・レベル | TSG2nDTC0 レジスタの値 |
| TSOn5 端子がハイ・レベルからロウ・レベルで TSOn6 端子がロウ・レベルからハイ・レベル | TSG2nDTC1 レジスタの値 |
| TSOn6 端子がハイ・レベルからロウ・レベルで TSOn5 端子がロウ・レベルからハイ・レベル | TSG2nDTC0 レジスタの値 |

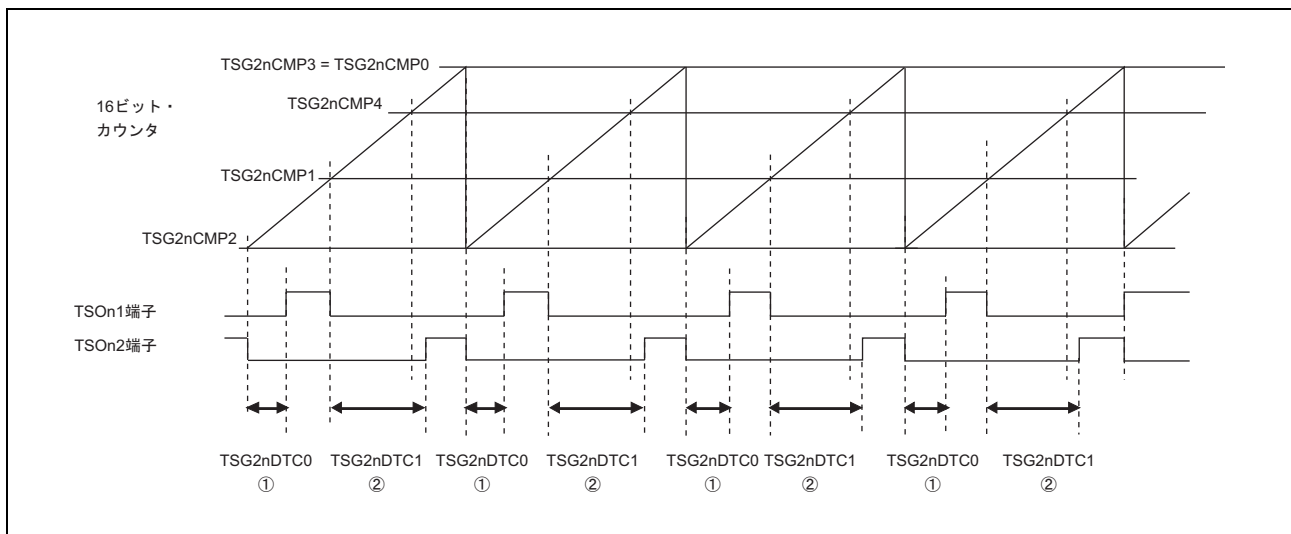


図 23.50 TSO1 端子、TSO2 端子間のデッド・タイム制御例 (1/2)

①の箇所では、TSO2 端子の立ち下がりからデッド・タイム・カウンタがスタートします。同時に、16ビット・カウンタが 0000_H で TSO1 端子がアクティブとなるタイミングでもデッド・タイム・カウンタが動作中のためインアクティブを継続し、デッド・タイム・カウント動作が終了したタイミングから TSO1 端子がアクティブとなります。

②の箇所では、TSO1 端子の立ち下がりからデッド・タイム・カウンタがスタートします。その後、16ビット・カウンタと TSG2nCMP4 レジスタの一致で TSO2 端子がアクティブとなるタイミングでもデッド・タイム・カウンタが動作中のためインアクティブを継続し、デッド・タイム・カウント動作が終了したタイミングから TSO2 端子がアクティブとなります。

備考

1. TSO1, TSO2 端子のアクティブ・レベルは、ハイ・レベル
2. TSO3, TSO4 端子、TSO5, TSO6 端子の場合も同様です。

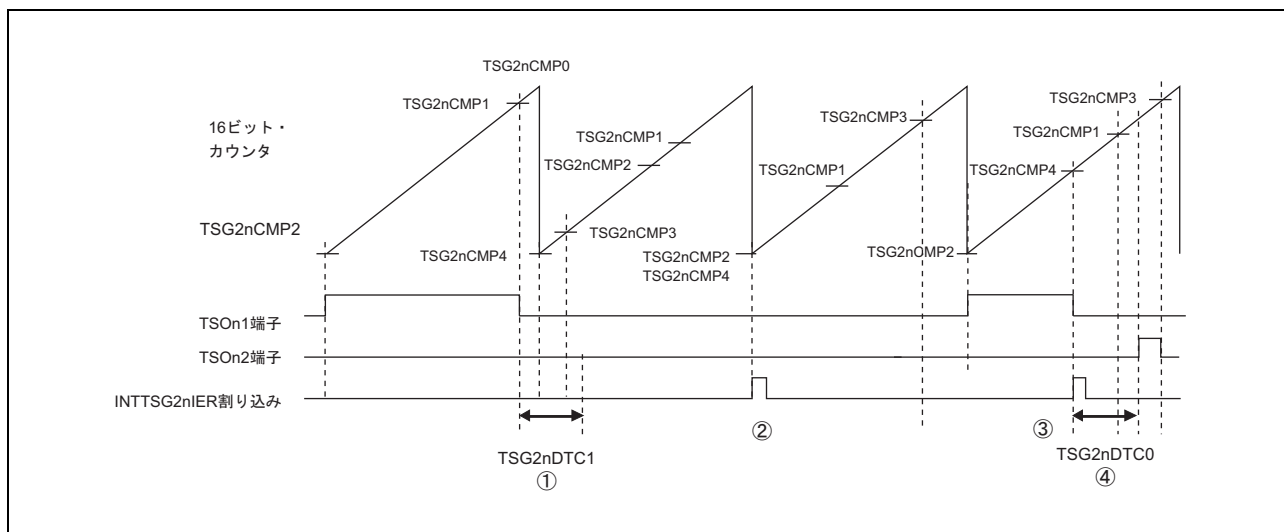


図 23.51 TSOOn1 端子、TSOOn2 端子間のデッド・タイム制御例 (2/2)

①の箇所では、TSOOn1 端子の立ち下がりからデッド・タイム・カウンタがスタートします。その後、16ビット・カウンタが 0000_H で TSG2nCMP4 と一致し TSOOn2 端子がアクティブとなるタイミングでもデッド・タイム・カウンタ動作中のためインアクティブを継続しさらに、デッド・タイム・カウンタの動作が終了する前に TSG2nCMP3 レジスタのコンペアー一致が発生するため、コンペアー一致により TSOOn2 端子はインアクティブのままとなります。

$$\text{TSG2nCMP1} + \text{TSG2nDTC1} \geq \text{TSG2nCMP0} + \text{TSG2nCMP2}$$

(TSOOn2 はインアクティブを継続)

$$\text{TSG2nCMP2} + \text{TSG2nDTC0} \geq \text{TSG2nCMP0} + \text{TSG2nCMP1}$$

(TSOOn1 はインアクティブを継続)

②の箇所では、TSOOn1 端子と TSOOn2 端子が同時に立ち上がるように TSG2nCMP2 レジスタと TSG2nCMP4 レジスタを設定しているため INTTSG2nIER 割り込みが発生します。このとき、TSOOn1, TSOOn2 端子ともにインアクティブとなります。

③の箇所では、TSOOn1 端子がアクティブ出力中に TSG2nCMP4 レジスタのコンペアー一致が発生したため INTTSG2nIER 割り込みが発生し、両端子ともインアクティブとなります。

④の箇所では、同時アクティブにより TSOOn1 端子の立ち下がり (インアクティブ) となり、デッド・タイム・カウンタがスタートします。その後、デッド・タイム・カウンタの動作終了後に TSOOn2 端子がアクティブとなります。

備考

1. TSOOn1, TSOOn2 端子のアクティブ・レベルは、ハイ・レベル
2. TSOOn3, TSOOn4 端子、TSOOn5, TSOOn6 端子の場合も同様です。

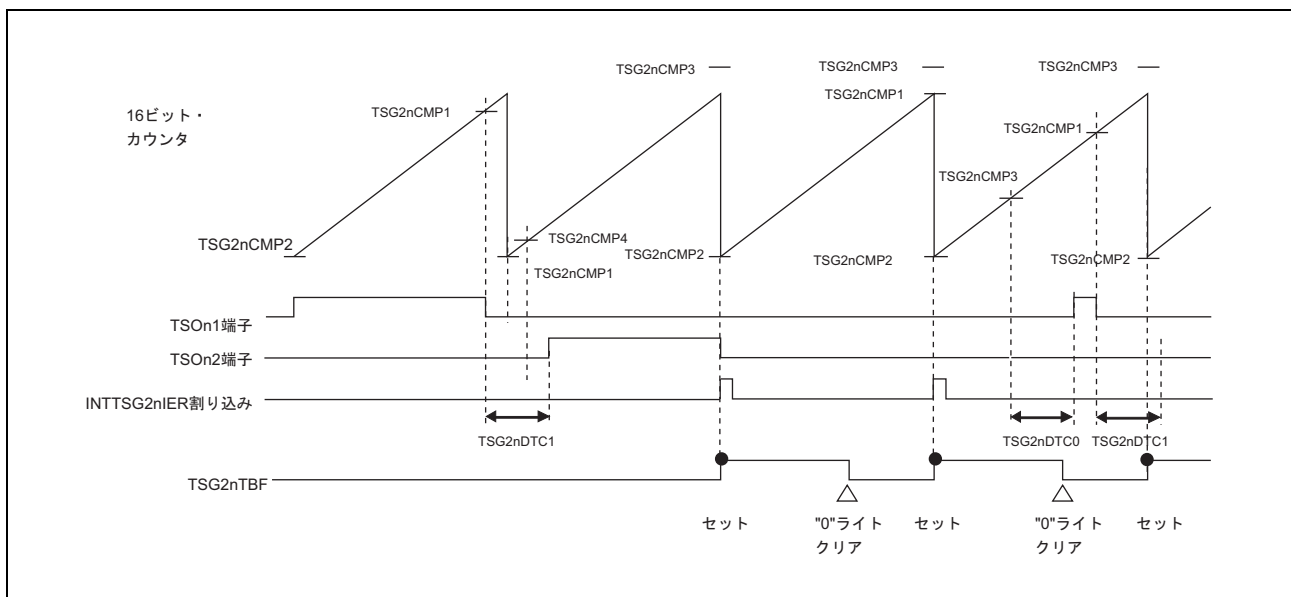


図 23.52 デッド・タイム制御時のデューティ 100% 出力例

TSOn2 端子にデューティ 100%出力 ($TSG2nCMP3 \geq TSG2nCMP0 + 1$) を設定した場合、TSOn1 端子の出力はロウ・レベル固定となります。これは、TSOn1 端子がアクティブとなったタイミングですでに TSOn2 端子がアクティブになっているため、TSOn1 端子のアクティブ条件をマスクするように制御しています。この場合も、同時にハイ・レベルとなる設定のため、INTTSG2nIER 割り込みが発生します。

備考

1. TSO1, TSO2 端子のアクティブ・レベルは、ハイ・レベル
2. TSO3, TSO4, TSO5, TSO6 端子の場合も同様です。

23.11.1.4 PWM モード動作時のデッド・タイム書き換え

PWM モードでは、カウント中に TSG2n デッド・タイム設定レジスタ (TSG2nDTC0, TSG2nDTC1) の書き換えが可能です。デッド・タイムは、リロード・タイミングで新しい設定が有効となります。随時書き換えによる変更はできません。

リロード・タイミングを許可するには、TSG2nCMP1 レジスタに書き込みを行ってください。

23.11.2 HT-PWM モード (High accuracy Triangular - Pulse Width Modulation モード)

概要

16ビット・カウンタ (アップ/ダウン、 ± 2 カウント、実質 15 ビット) と、16ビット・コンペア・レジスタ (LSB は付加パルス制御) を使用して、6相 PWM を生成できます。

前提条件

- TSG2nCMP0 には、搬送波の周期を設定します。
- TSG2nCMPU, TSG2nCMPV, TSG2nCMPW で、U 相, V 相, W 相の電圧データ信号のデューティを設定します。(TSG2nCMPU, TSG2nCMPV, TSG2nCMPW に設定した値は、対応する TSG2nCMPm へ即時に設定値が反映されます ($m = 1, 2, 5, 6, 9, 10$))
- この章では、対称三角波による制御を説明します。
(非対称三角波による制御は、「**23.11.2.10 HT-PWM モードの非対称三角波制御**」を参照してください)

機能説明

搬送波の周期を設定、U 相, V 相, W 相のデューティを設定。TSG2nTRG0.TSG2nTS = 1 にすると、カウンタ・アップを開始します。

16ビット・カウンタは、TSG2nDTC0 を最小値としてアップ・カウントを行い、TSG2nCMP0+TSG2nDTC0 で示す最大値との一致でダウン・カウント動作を行います。

デッド・タイムは、TSG2nDTC0, TSG2nDTC1 で設定し、TSG2nDTC0 は逆相 (OFF) → 正相 (ON) のデッド・タイムを、TSG2nDTC1 は正相 (OFF) → 逆相 (ON) のデッド・タイムを設定することができます。デッド・タイム生成用の 10 ビット・カウンタ (TSG2nDTT1-TSG2nDTT3) は、16 ビット・カウンタと TSG2nCMPm バッファ・レジスタのコンペア一致で TSG2nDTC0, TSG2nDTC1 の設定値をロードし、ダウン・カウントを行います。($m = 1, 2, 5, 6, 9, 10$)

16 ビット・カウンタと、TSG2nCMP1, TSG2nCMP2, TSG2nCMP5, TSG2nCMP6, TSG2nCMP9, TSG2nCMP10 バッファ・レジスタのコンペア一致で、それぞれ INTTSG2nIm 割り込み ($m = 1, 2, 5, 6, 9, 10$) を発生します。

備考

HT-PWM モードは TSG2nCTL0.TSG2nMD1-TSG2nMD0 = 01_B に設定したときに有効となります。

23.11.2.1 ブロック図と基本タイミング図

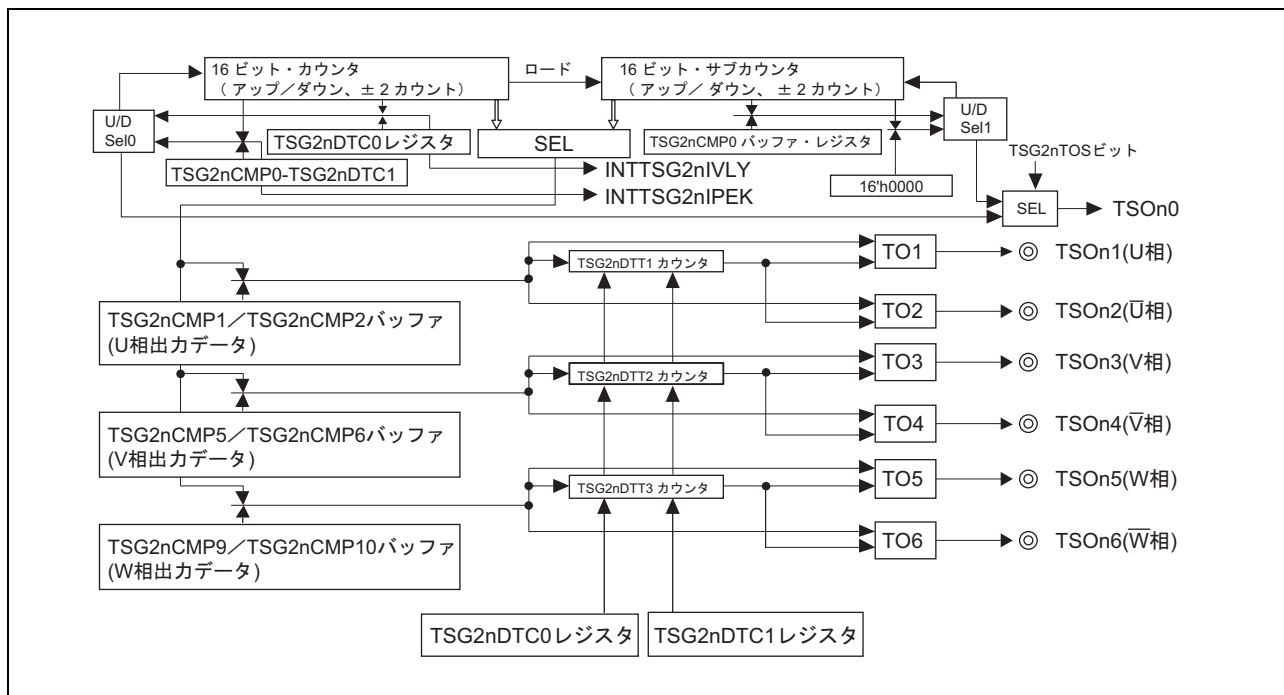


図 23.53 HT-PWM モード時のブロック図概略

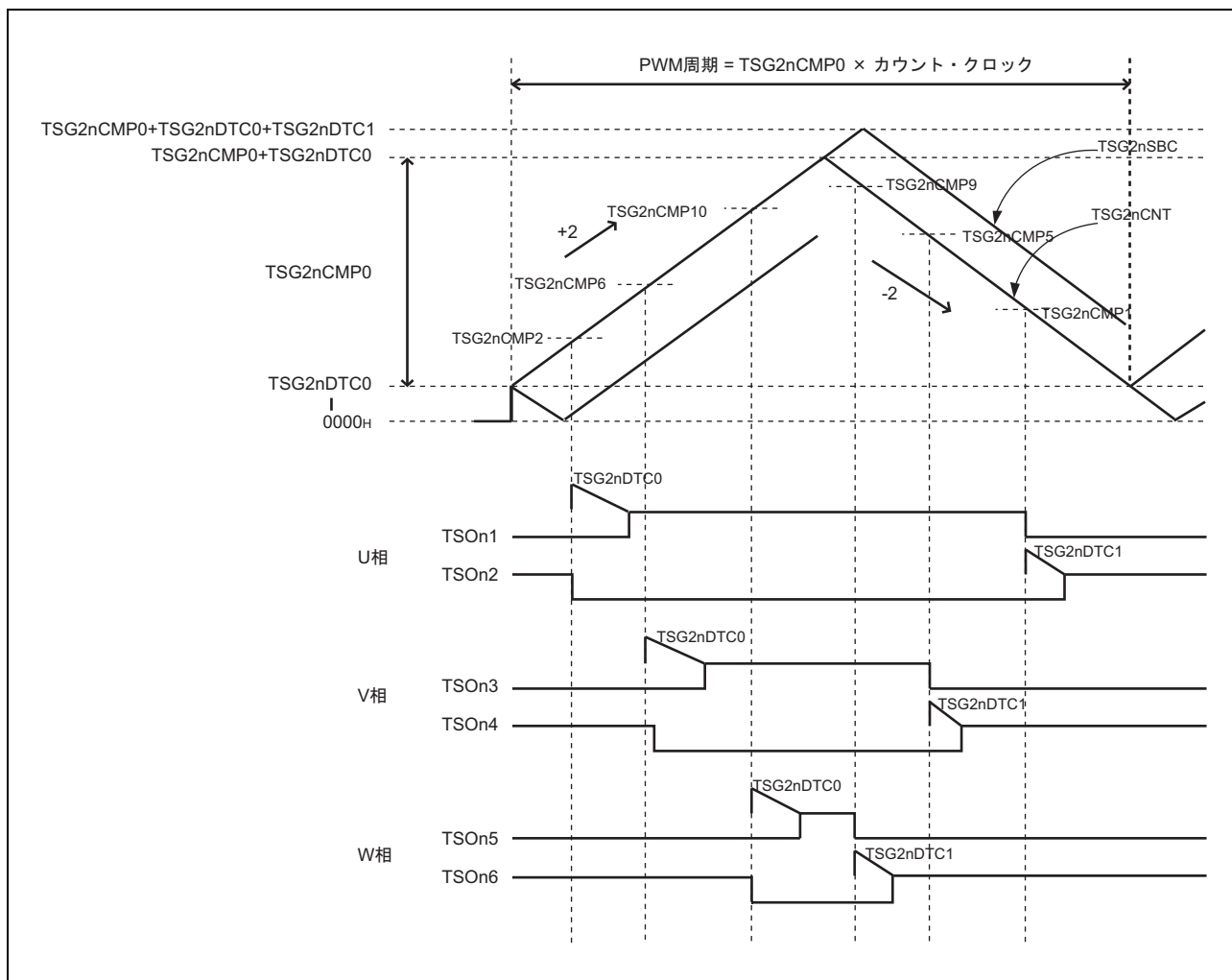


図 23.54 HT-PWM モード時の基本タイミング

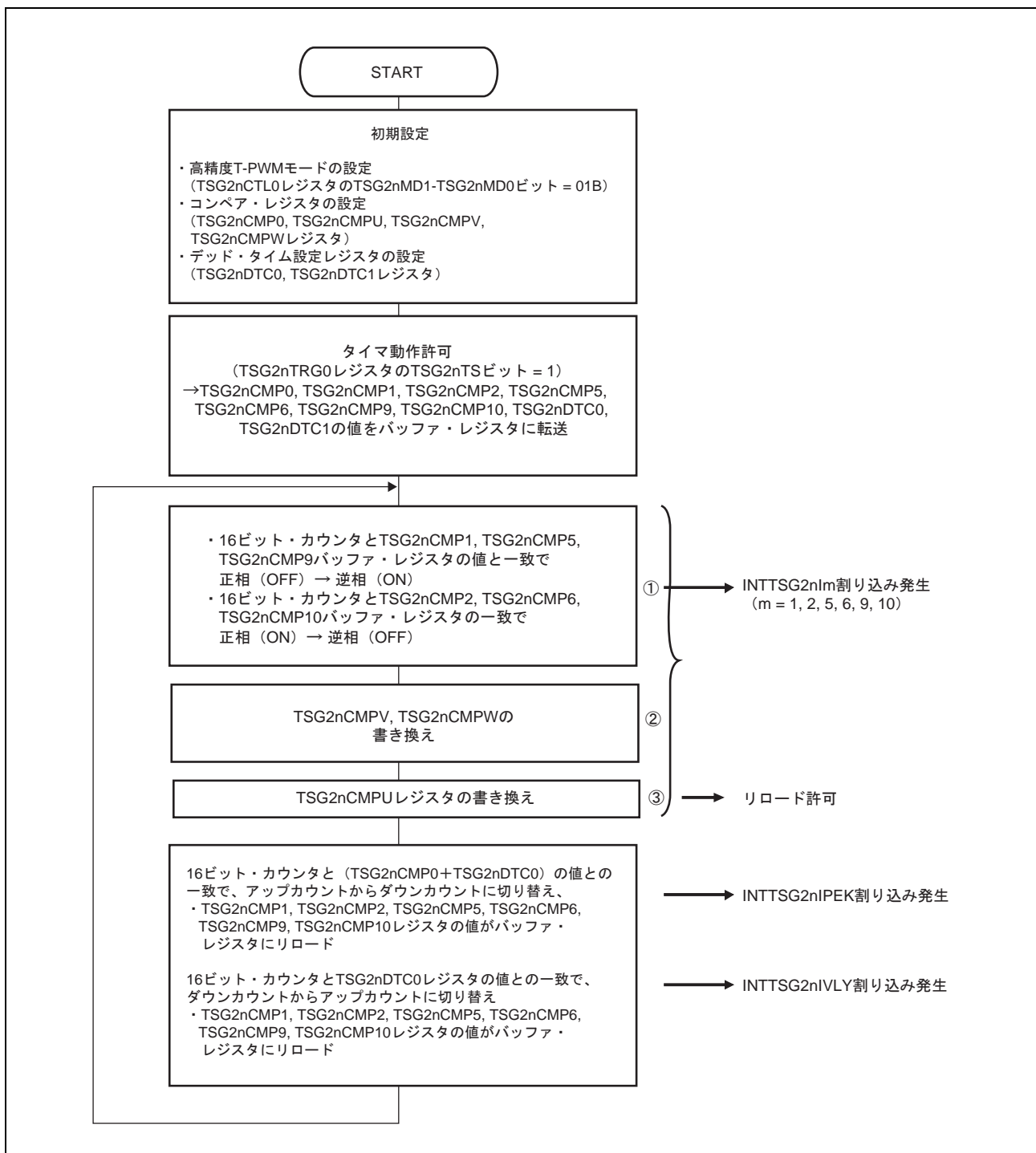


図 23.55 HT-PWM モード時の基本動作フロー

備考

- ・ TSG2nCMPU (TSG2nCMP1) へのライト・アクセスにはリロードを許可する動作も含まれます。したがって③の書き換えタイミングは②の書き換えタイミングの後にしてください。
- ・ INTTSG2nIPEK 割り込みは、TSG2nCTL4.TSG2nPRE = 1 のときのみ発生します。
- ・ INTTSG2nIVLY 割り込みは、TSG2nCTL4.TSG2nVRE = 1 のときのみ発生します。

23.11.2.2 HT-PWM モード動作一覧

表 23.52 HT-PWM モード : カウンタ機能

| 動作 | | 設定条件 |
|---------------|------|--|
| 16 ビット・カウンタ | スタート | TSG2nTRG0.TSG2nTS = 0 → 1 (TSG2nDTC0 からアップ・カウント) |
| | アップ | TSG2nDTC0 バッファ・レジスタと 16 ビット・カウンタのコンペア一致 |
| | ダウン | TSG2nCMP0+TSG2nDTC0 バッファ・レジスタと 16 ビット・カウンタのコンペア一致 |
| | クリア | — |
| | 停止 | TSG2nTRG1.TSG2nTT = 0 → 1 |
| 16 ビット・サブカウンタ | スタート | TSG2nTRG0.TSG2nTS = 0 → 1 (TSG2nDTC0 からダウン・カウント) |
| | アップ | アンダフロー |
| | ダウン | TSG2nCMP0+TSG2nDTC0+TSG2nDTC1 バッファ・レジスタと 16 ビット・サブカウンタのコンペア一致 |
| | ロード | <ul style="list-style-type: none"> TSG2nCMP0+TSG2nDTC0 バッファ・レジスタと 16 ビット・カウンタのコンペア一致のとき、TSG2nCMP0+TSG2nDTC0 TSG2nDTC0 バッファ・レジスタと 16 ビット・カウンタのコンペア一致のとき、TSG2nDTC0 |
| | クリア | — |
| | 停止 | TSG2nTRG1.TSG2nTT = 0 → 1 |

表 23.53 HT-PWM モード : コンペア・レジスタ, デッド・タイム設定レジスタの機能

| レジスタ | 書き換え方法 | 動作中の書き換え | 機能 |
|---------------------------------------|-------------|----------|----------------------|
| TSG2nCMP0 | リロード/随時書き換え | 可能 | 周期 |
| TSG2nCMPU | — | 可能 | U 相用 PWM 制御 |
| TSG2nCMP1W (TSG2nCMP1, TSG2nCMP2) | リロード/随時書き換え | | |
| TSG2nCMPV | — | 可能 | V 相用 PWM 制御 |
| TSG2nCMP5W (TSG2nCMP5, TSG2nCMP6) | リロード/随時書き換え | | W 相用 PWM 制御 |
| TSG2nCMPW | — | 可能 | |
| TSG2nCMP9W (TSG2nCMP9, TSG2nCMP10) | リロード/随時書き換え | | |
| TSG2nDCMP0W, TSG2nDCMP2 | リロード/随時書き換え | 可能 | ダイアグ出力もしくは A/D 変換トリガ |
| TSG2nDTC0, TSG2nDTC1 | リロード | 条件付きで可能 | 周期、デッド・タイム |

備 考

- TSG2nCMPU, TSG2nCMPV, TSG2nCMPW を書き換えた値は、TSG2nCMP1W (TSG2nCMP1, TSG2nCMP2), TSG2nCMP5W (TSG2nCMP5, TSG2nCMP6)、TSG2nCMP9W (TSG2nCMP9, TSG2nCMP10) の上位 16 ビット、下位 16 ビットに設定されます。
- TSG2nDTC0, TSG2nDTC1 の書き換え方法は「(1) TSG2nDTC0, TSG2nDTC1 の書き換えについて」を参照してください。

表 23.54 HT-PWM モード：タイマ出力機能

| 端子 | 機能 |
|-------|--|
| TSOn0 | 16 ビット・カウンタまたは 16 ビット・サブカウンタのアップ・カウント時インアクティブ、ダウン・カウント時アクティブ |
| TSOn1 | TSG2nCMP1 バッファ・レジスタと 16 ビット・カウンタ (ダウン・カウント時) のコンペアー一致、および、TSG2nCMP2 バッファ・レジスタと 16 ビット・カウンタ (アップ・カウント時) のコンペアー一致による PWM 出力 (デッド・タイム付き) |
| TSOn2 | TSOn1 に対する逆相出力 |
| TSOn3 | TSG2nCMP5 バッファ・レジスタと 16 ビット・カウンタ (ダウン・カウント時) のコンペアー一致、および、TSG2nCMP6 バッファ・レジスタと 16 ビット・カウンタ (アップ・カウント時) のコンペアー一致による PWM 出力 (デッド・タイム付き) |
| TSOn4 | TSOn3 に対する逆相出力 |
| TSOn5 | TSG2nCMP9 バッファ・レジスタと 16 ビット・カウンタ (ダウン・カウント時) のコンペアー一致、および、TSG2nCMP10 バッファ・レジスタと 16 ビット・カウンタ (アップ・カウント時) のコンペアー一致による PWM 出力 (デッド・タイム付き) |
| TSOn6 | TSOn5 に対する逆相出力 |
| TSOn7 | ダイアグ出力もしくは A/D 変換トリガによるパルス出力 |

備 考

TSOn0 端子のステータス出力の対象を TSG2nIOC1.TSG2nTOS で切り替えます。

表 23.55 HT-PWM モード：割り込み要求

| 割り込み | 機能 |
|---------------------------------------|--|
| INTTSG2nI0 | TSG2nDTC00 バッファ・レジスタと 16 ビット・カウンタの一致 (周期割り込み) |
| INTTSG2nIm (m = 1, 2, 5, 6, 9, 10) | TSG2nCMPm バッファ・レジスタと 16 ビット・カウンタのコンペアー一致 (m = 1, 2, 5, 6, 9, 10) |
| INTTSG2nIER | エラー |
| INTTSG2nIVLY | 谷割り込み |
| INTTSG2nIPEK | 山割り込み |
| INTTSG2nIWN | ワーニング割り込み |

表 23.56 HT-PWM モード：コンペアー一致タイミング

| コンペアー一致 | タイミング |
|--------------------------------------|---|
| TSG2nCMP0 | 16 ビット・カウンタが TSG2nCMP0 + TSG2nDTC0 → TSG2nCMP0 + TSG2nDTC0 - 2 へ切り替わるとき |
| TSG2nCMPm (m = 1, 2, 5, 6, 9, 10) | 16 ビット・カウンタが TSG2nCMPm → TSG2nCMPm±2 へ切り替わるとき (m = 1, 2, 5, 6, 9, 10) |

表 23.57 HT-PWM モード : タイマ出力条件別の設定例

| 端子 | 項目 | 出力周期 | 出力デューティ | |
|---------------------------|------------------------------|-----------------------|---|--|
| | | | 出力条件 | 設定条件 |
| TSOn0 | トグル出力 | TSG2nCMP0 × カウント・クロック | アップ・カウント時、インアクティブ・レベル出力、 ダウン・カウント時、アクティブ・レベル出力 | — |
| TSOn1, TSOn3, TSOn5 | PWM 出力 | TSG2nCMP0 × カウント・クロック | 1 周期の期間内すべてインアクティブ・レベル出力 (デューティ 0%) | $TSG2nCMPm = TSG2nCMP0 + TSG2nDTC0 + TSG2nDTC1$ (m = U, V, W) |
| | | | 1 周期で 1 カウント・クロックのアクティブ・レベル出力 | $TSG2nCMPm = TSG2nCMP0 - 1$ (m = U, V, W) |
| | | | 1 周期で 1 カウント・クロックのインアクティブ・レベル出力 | $TSG2nCMPm = 0001_H$ (m = U, V, W) |
| | | | 1 周期の期間内すべてアクティブ・レベル出力 (デューティ 100%) | $TSG2nCMPm = 0000_H$ (m = U, V, W) |
| TSOn2, TSOn4, TSOn6 | PWM 出力 | TSG2nCMP0 × カウント・クロック | 1 周期の期間内すべてインアクティブ・レベル出力 (デューティ 0%) | $TSG2nCMPm = 0000_H$ (m = U, V, W) |
| | | | 1 周期で 1 カウント・クロックのアクティブ・レベル出力 | $TSG2nCMPm = TSG2nDTC0 + TSG2nDTC1 + 1$ (m = U, V, W) |
| | | | 1 周期で 1 カウント・クロックのインアクティブ・レベル出力 | $TSG2nCMPm = TSG2nCMP0 + TSG2nDTC0 + TSG2nDTC1 - 1$ (m = U, V, W) |
| | | | 1 周期の期間内すべてアクティブ・レベル出力 (デューティ 100%) | $TSG2nCMPm = TSG2nCMP0 + TSG2nDTC0 + TSG2nDTC1$ (m = U, V, W) |
| TSOn7 | ダイアグ出力もしくは A/D 変換トリガによるパルス出力 | TSG2nCMP0 × カウント・クロック | 「23.9.1 A/D 変換トリガの動作」を参照してください。 | |

23.11.2.3 HT-PWM モードの各種設定

モード設定

TSG2nCTL0.TSG2nMD1-TSG2nMD0 = 01_B に設定することで HT-PWM モードになります。

タイマ出力の設定

TSON1-TSON6 端子は、TSG2nIOC0, TSG2nIOC2, TSG2nIOC3 の設定で出力制御を行います。

TSON0 端子は、16 ビット・カウンタまたは、16 ビット・サブカウンタのアップ/ダウン・カウントを示すステータス出力です。TSG2nIOC1.TSG2nTOS で、16 ビット・カウンタ/16 ビット・サブカウンタの切り替えを行います。

TSON7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生の特許

TSG2nIOC1.TSG2nEOC = 1 にすることで、正相/逆相同時アクティブを検出したときのエラー割り込み (INTTSG2nIER) 発生を許可します。HT-PWM モードでは、どのような値をコンペア・レジスタに設定しても正相/逆相同時アクティブにはなりません。詳細は、「**23.10 エラー/ワーニング割り込み**」を参照してください。

リロード機能付きレジスタ書き換えタイミング設定

TSG2nCTL3.TSG2nRMC で、リロード機能付きレジスタに対し、リロード (一斉書き換え) / 随時書き換えを行います (デフォルト “0” リロード)。リロードを行う場合は、TSG2nCTL4.TSG2nPRE または TSG2nVRE を必ずセット (1) してください。

TSG2nPRE, TSG2nVRE 共に “0” の場合はリロード・タイミングが発生しません。

随時書き換えにした場合、書き換えタイミングによって意図しない出力が発生する場合があります。

割り込みと間引き機能の設定

TSG2nCTL4 で、割り込みと間引き機能を設定します。山割り込み (INTTSG2nIPEK) が必要な場合は、TSG2nPIE = 1 にします。谷割り込み (INTTSG2nIVLY) が必要な場合は、TSG2nVIE = 1 にしてください。また、山/谷割り込みに対して、間引き機能を使用したい場合は、TSG2nRCC04-TSG2nRCC00 で設定を行います。

A/D 変換トリガ出力の設定

A/D 変換トリガ 0 (TSTADT0 信号) を設定する場合は、TSG2nCTL5 の TSG2nAT09-TSG2nAT00 で設定を行います。

TSG2nAT09-TSG2nAT00 で、TSG2nDCMP2-TSG2nDCMP0 との一致タイミング (16 ビット・カウンタのアップ/ダウン・カウント)、16 ビット・カウンタの山割り込み (INTTSG2nIPEK)、および、谷割り込み (INTTSG2nIVLY)、16 ビット・サブカウンタの山タイミング、および、谷タイミングによる A/D 変換トリガ出力の許可/禁止を行います。

A/D 変換トリガ 1 (TSTADT1 信号) を設定する場合は、TSG2nCTL6 の TSG2nAT19-TSG2nAT10 で設定を行います。

16 ビット・カウンタと TSG2nDCMP2-TSG2nDCMP0 の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSTADT0, TSTADT1 信号に対しては、間引き機能が使用できます。TSG2nCTL5 の TSG2nACC01, TSG2nACC00 および TSG2nCTL6 の TSG2nACC11, TSG2nACC10 を使用して、間引き無し / 1 間引き / 3 間引き / 7 間引きの設定を行うことができます。

注 意

A/D 変換トリガのタイミング・パルスを TSON7 端子に出力する場合は、TSG2nCTL5, TSG2nCTL6 と TSG2nDCMP2-TSG2nDCMP0 の設定を正しく行ってください。

デッド・タイムの設定

TSG2nDTC0, TSG2nDTC1 でデッド・タイムの設定を行います。

デッド・タイムは、次の式で求めることができます。

$$\text{PCLK} \times \text{TSG2nDTC0}$$

$$\text{PCLK} \times \text{TSG2nDTC1}$$

TSG2nDTC0 は、TSON2, TSON4, TSON6 端子のインアクティブ変化 → TSON1, TSON3, TSON5 端子のアクティブ変化までの時間を設定できます。

TSG2nDTC1 は、TSON1, TSON3, TSON5 端子のインアクティブ変化 → TSON2, TSON4, TSON6 端子のアクティブ変化までの時間を設定できます。

TSG2nDTC0, TSG2nDTC1 は、偶数値のみ設定可能です。

搬送波の周期

次の式にしたがい TSG2nCMP0 で、搬送波の周期を設定してください。

$$\text{TSG2nCMP0} = \text{搬送波周期} / \text{カウント・クロック周期 (PCLK)}$$

また、TSG2nCMP0 レジスタの設定値は、デッド・タイムとの兼ね合いから次の条件を満たしてください。

- $\text{TSG2nCMP0} + \text{TSG2nDTC0} + \text{TSG2nDTC1} \leq \text{FFFE}_{\text{H}}$
- $\text{TSG2nCMP0} > \text{TSG2nDTC0}$
- $\text{TSG2nCMP0} > \text{TSG2nDTC1}$
- $\text{TSG2nCMP0} > 3 \times \text{MAX}(\text{TSG2nDTC0}, \text{TSG2nDTC1})$
- TSG2nCMP0 は偶数

備 考

MAX (A, B) は A, B の中で大きい方の値を示しています。

デューティ (PWM 幅) の設定

TSG2nCMPm でそれぞれ U 相、V 相、W 相のデューティ設定を行います。コンペア・レジスタの設定範囲は次のようになっています。

(m = U, V, W もしくは 1, 2, 5, 6, 9, 10)

$$0000_{\text{H}} \leq \text{TSG2nCMPm} \leq \text{TSG2nCMP0} + \text{TSG2nDTC0} + \text{TSG2nDTC1}$$

TSG2nCMPU, TSG2nCMPV, TSG2nCMPW の LSB (Least Significant Bit) は、付加パルスの設定を意味しています。例えば、TSG2nCMPU = 0003_H と設定した場合は、TSG2nCMPU = 0002_H に設定した場合に比べて、逆相 (TSOn2 端子) の変化が 1 カウント・クロック分遅く変化します (16 ビット・カウンタがアップ・カウント時)。ただし、TSG2nCMP1, TSG2nCMP2, TSG2nCMP5, TSG2nCMP6, TSG2nCMP9, TSG2nCMP10 には、付加パルスの設定はできません。(偶数値のみ設定可能)

23.11.2.4 HT-PWM モードの 16 ビット・カウンタ動作

16 ビット・カウンタは初期値 0000_H で、TSG2n 動作開始 (TSG2nTRG0.TSG2nTS = 1) に設定した直後に TSG2nDTC0 の値がロードされ、+2 ずつアップ・カウントを行います。その後、TSG2nCMP0 + TSG2nDTC0 に一致した時点で 16 ビット・カウンタは -2 ずつダウン・カウントを行います。

16 ビット・カウンタの動作は次のようになります。

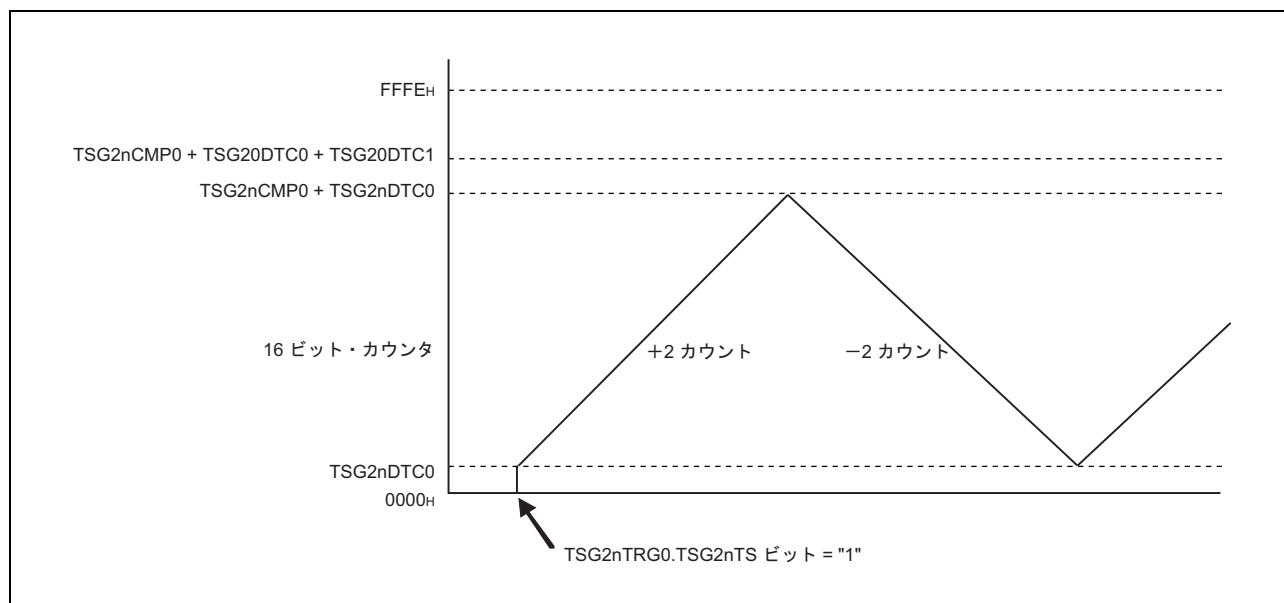


図 23.56 HT-PWM モード時の 16 ビット・カウンタ動作例

備考

16 ビット・カウンタ最小値 : TSG2nDTC0

16 ビット・カウンタ最大値 : TSG2nCMP0 + TSG2nDTC0

搬送波周期 : TSG2nCMP0 × カウント・クロック周期 (PCLK)

16ビット・サブカウンタは初期値 0000_H で、TSG2n 動作開始 (TSG2nTRG0.TSG2nTS = 1) に設定した直後に TSG2nDTC0 の値がロードされます。その後、 0000_H と一致するまで -2 ずつダウン・カウントを行い、一致した時点で +2 ずつアップ・カウントを開始します。次に、16ビット・カウンタがアップ→ダウンに切り替わるタイミングで、16ビット・サブカウンタに 16ビット・カウンタの値をロードします。16ビット・サブカウンタは、そのままカウント・アップを行い、TSG2nCMP0 + TSG2nDTC0 + TSG2nDTC1 と一致した時点で、-2 ずつダウン・カウントを開始します。同様に、16ビット・カウンタが TSG2nDTC0 と一致したタイミングで、16ビット・カウンタの値をロードし、ダウン・カウントを続けます。16ビット・サブカウンタ動作は、下記のようになります。

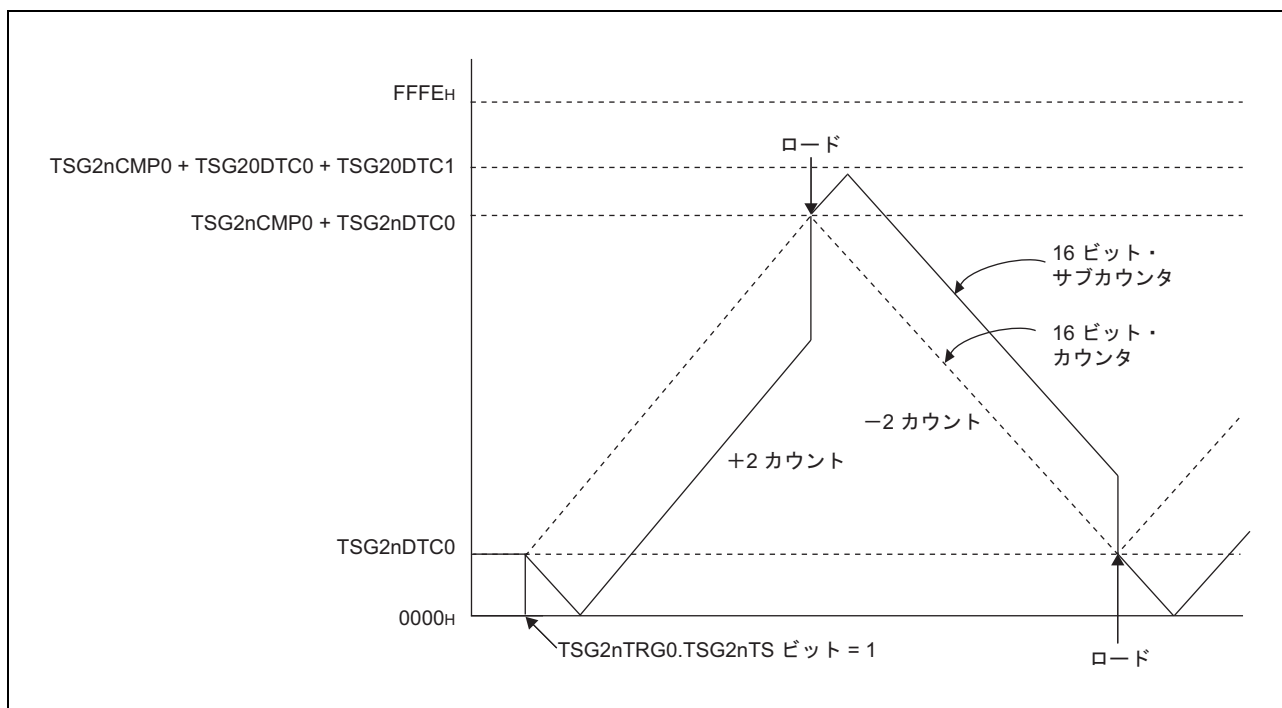


図 23.57 HT-PWM モード時の 16 ビット・サブカウンタ動作例

備考

16 ビット・サブカウンタ最小値: 0000_H

16 ビット・サブカウンタ最大値: TSG2nCMP0 + TSG2nDTC0 + TSG2nDTC1

23.11.2.5 HT-PWM モードの基本動作

(1) TSG2n 動作開始直後のタイマ出力例

TSG2nCMP0 = 000E_H、TSG2nDTC0 = 0002_H、TSG2nDTC1 = 0004_H、TSG2nCMPU を 0000_H-0014_H (一部抜粋) に設定した場合のタイミング図を次に示します。この例では、TSG2nIOC2 レジスタの TSG2nOL1-TSG2nOL6 = 000000_B と設定しています。

TSG2nCMPU = TSG2nDTC0 の場合は、TSG2n 動作開始 (TSG2nTRG0.TSG2nTS = 1) にした後、カウンタの初期値がロードされたときに TSO_n2 端子がアクティブ・レベルに変化します。TSG2nCMPU = TSG2nDTC0-0001_H は、付加パルスなので TSG2nCMPU = TSG2nDTC0-0002_H の場合に比べて 1 カウント・クロック遅れて TSO_n2 端子が変化します。

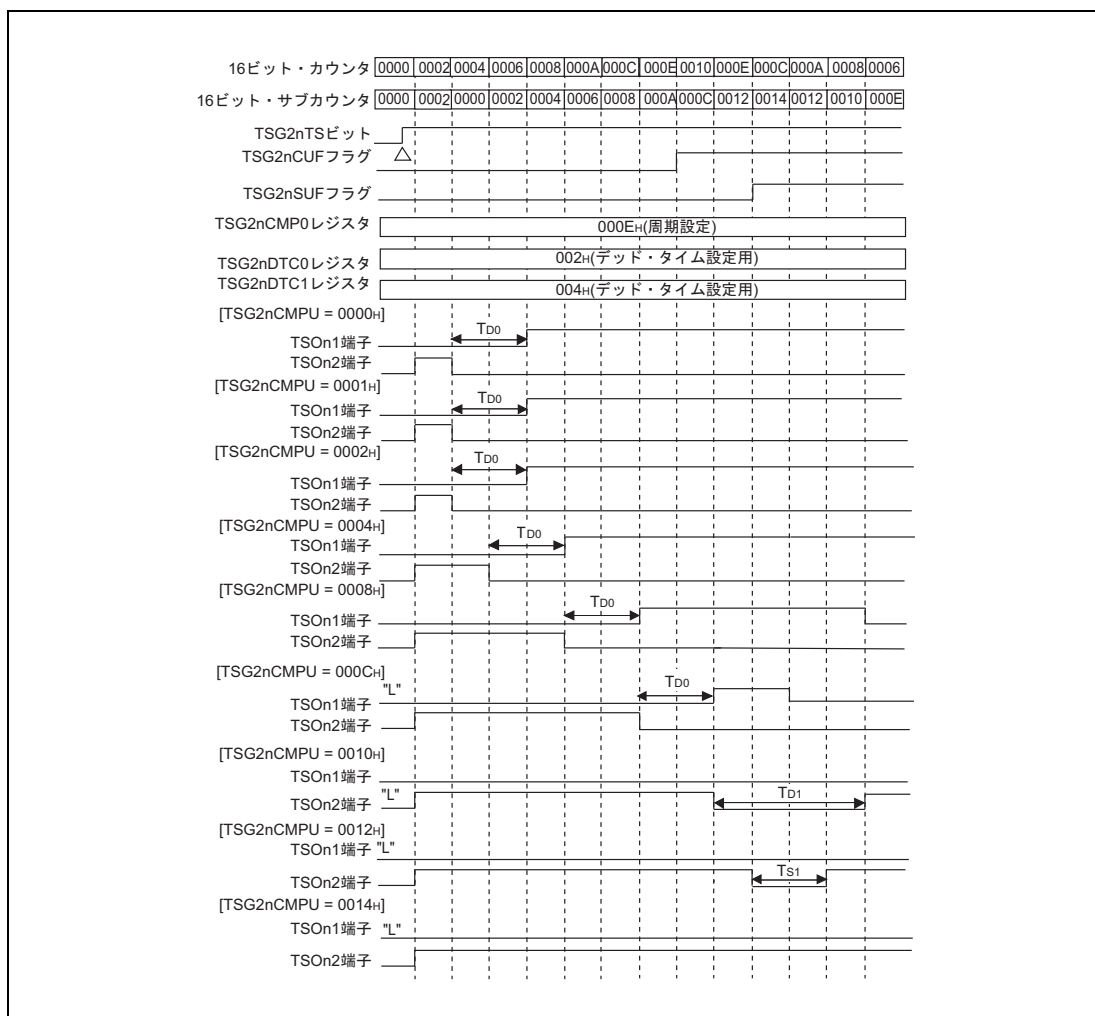


図 23.58 TSG2nTS = 1 にセットした場合 (初期) のタイマ出力例 (HT-PWM モード)

備考

1. TSG2nCMP0 = 000E_H, TSG2nDTC0 = 0002_H, TSG2nDTC1 = 0004_H
2. T_{Do}: TSG2nDTC0 レジスタのデッド・タイム設定に依存する時間
T_{D1}: TSG2nDTC1 レジスタのデッド・タイム設定に依存する時間
T_{S1}: TSG2nCMPU > 16 ビット・カウンタ最大値の場合、16 ビット・サブカウンタと TSG2nCMPU とのコンペアによって決定される時間
3. Δ: ライト・アクセス

(2) TSG2n 動作中のタイマ出力例

TSG2nCMP0 = 000E_H、TSG2nDTC0 = 0002_H、TSG2nDTC1 = 0004_H、TSG2nCMPU を 0000_H-0014_H (一部抜粋) に設定した場合のタイミング図を次に示します。この例では、TSG2nIOC2 レジスタの TSG2nOL1-TSG2nOL6 = 000000_B と設定しています。

正相 (TSOn1 端子) の出力するアクティブ (ハイ・レベル) 幅の範囲は 0000_H ≤ TSG2nCMPU ≤ TSG2nCMP0 (付加パルス分) となっています。また、逆相 (TSOn2 端子) の出力するアクティブ (ハイ・レベル) 幅の範囲は TSG2nDTC0+TSG2nDTC1 ≤ TSG2nCMPU ≤ TSG2nCMP0+TSG2nDTC0+TSG2nDTC1 となっています。

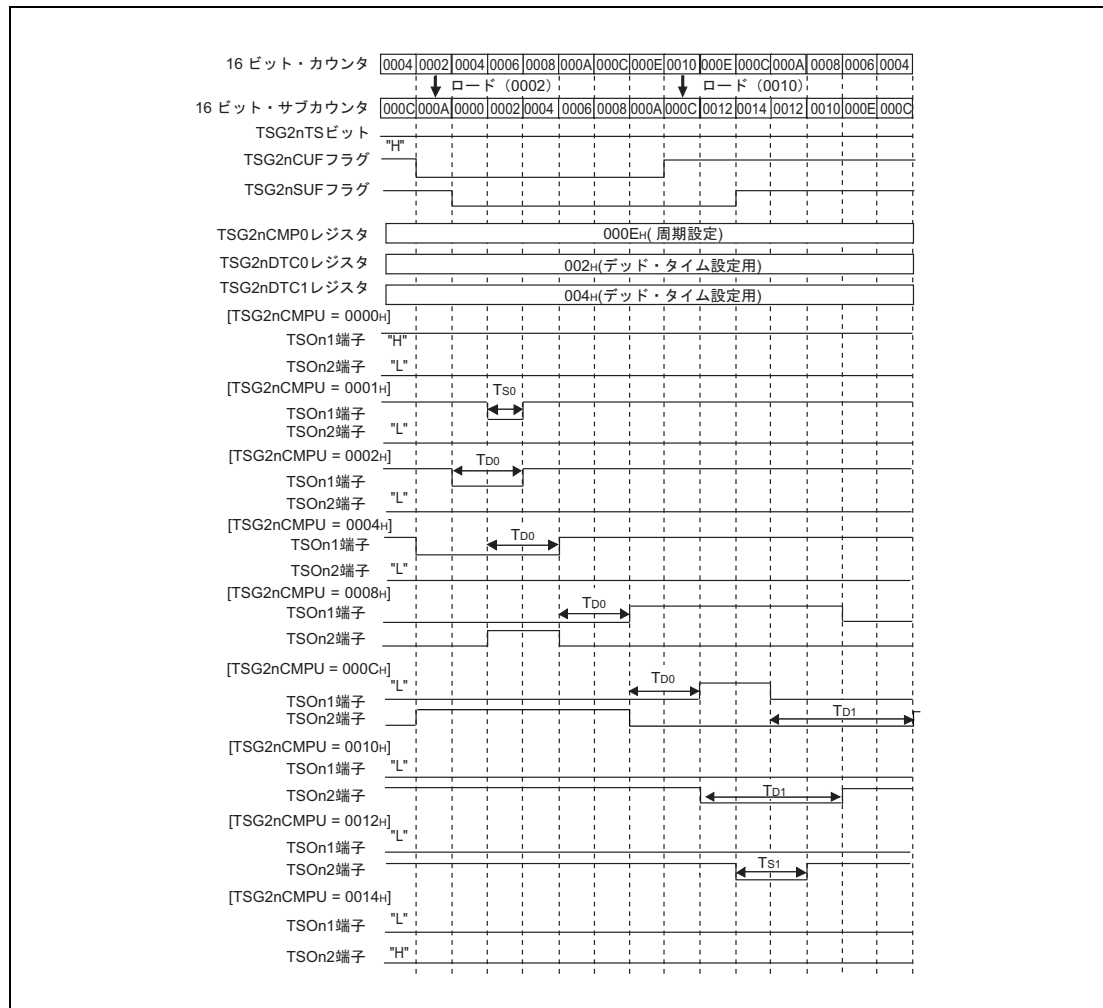


図 23.59 動作中のタイマ出力例 (HT-PWM モード時)

備考

1. TSG2nCMP0 = 000E_H、TSG2nDTC0 = 0002_H、TSG2nDTC1 = 0004_H
2. T_{D0}: TSG2nDTC0 レジスタのデッド・タイム設定に依存する時間
T_{D1}: TSG2nDTC1 レジスタのデッド・タイム設定に依存する時間
T_{S0}: TSG2nCMPU < 16 ビット・カウンタ最小値の場合、16 ビット・サブカウンタと TSG2nCMPU とのコンペアによって決定される時間
T_{S1}: TSG2nCMPU > 16 ビット・カウンタ最大値の場合、16 ビット・サブカウンタと TSG2nCMPU とのコンペアによって決定される時間

23.11.2.6 HT-PWM モード時の付加パルス制御

HT-PWM モードは、デューティ設定レジスタ (TSG2nCMPU, TSG2nCMPV, TSG2nCMPW) の LSB に“1”を設定することで付加パルスを設定することができます。付加パルス制御機能を持つことで、デューティ制御をより細かく (精度が高く) 行うことができます。

付加パルス制御を行った場合と、行わない場合の TSO_n1 端子の出力例を記載します。

(1) 付加パルス制御を行った場合のパルス出力例

図 23.60 で付加パルス制御を行うのは、TSG2nCMPU に奇数の値を設定した場合です。

矢印と数字は 1 周期内の TSO_n1 端子出力のデューティ幅を示しています。

図 23.60 のように、付加パルス制御を行った場合 TSO_n1 端子の出力幅 (デューティ比) が 12 クロック幅から 0 クロック幅まで 1 カウント・クロックごとに制御することができます。

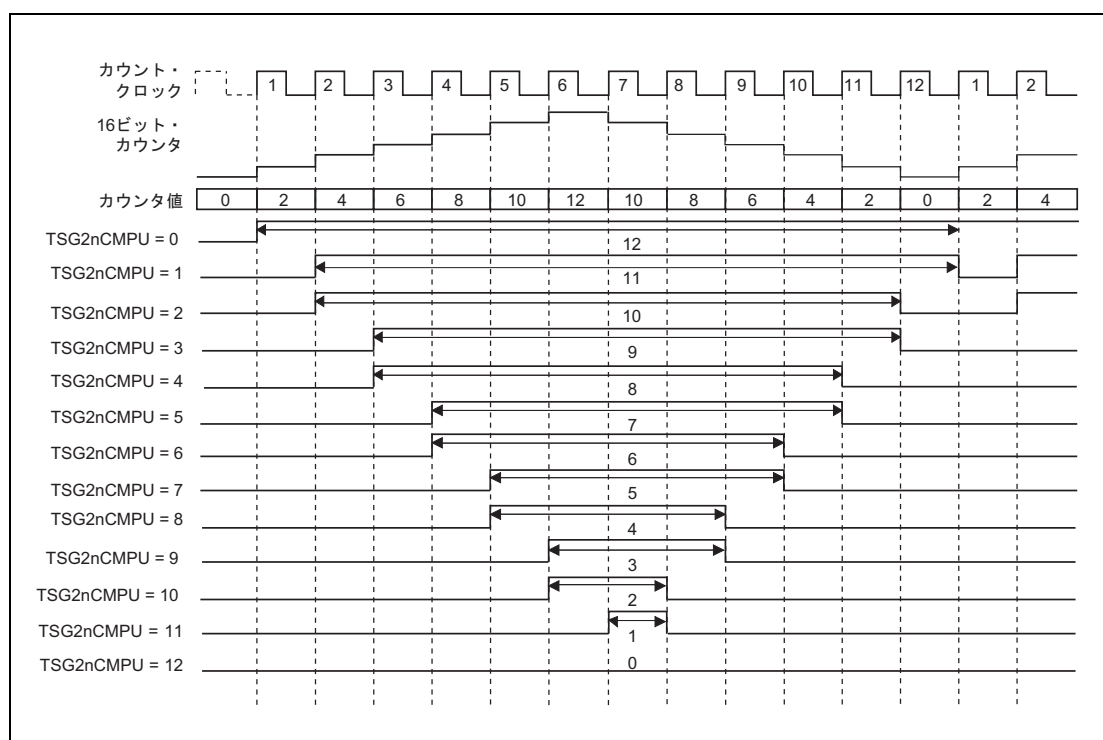


図 23.60 付加パルス制御を行った場合の TSO_n1 端子出力例

備考

TSG2nCMP0 = 12, TSG2nDTC0 = 0, TSG2nDTC1 = 0

(2) 付加パルス制御を行っていない場合の出力例

図 23.61 で、矢印と数字は 1 周期内の TSO_{n1} 端子出力のデューティ幅を示しています。

付加パルス制御を行わない場合、TSO_{n1} 端子の出力幅が 12 クロック幅から 0 クロック幅まで、2 カウント・クロックごとの制御となります。この場合は、付加パルス制御を行う場合と比べてデューティ変化量が大きくなってしまいます。

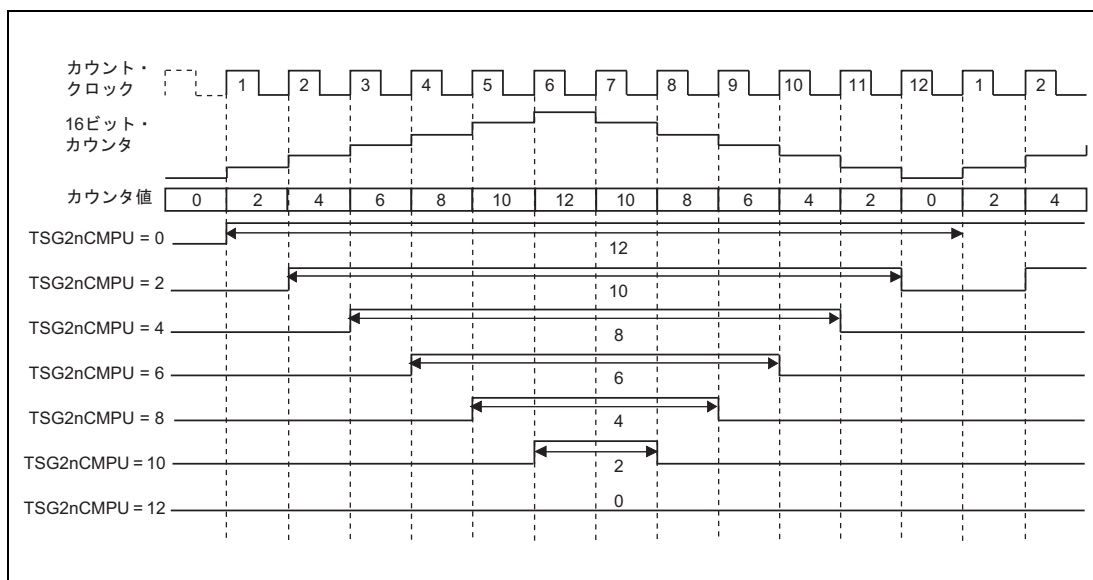


図 23.61 付加パルス制御を行わなかった場合の TSO_{n1} 端子出力例

備考

TSG2nCMP0 = 12, TSG2nDTC0 = 0, TSG2nDTC1 = 0

23.11.2.7 HT-PWM モード時のデッド・タイム制御

HT-PWM モード時は、デューティ用の設定レジスタは TSG2nCMP1, TSG2nCMP2, TSG2nCMP5, TSG2nCMP6, TSG2nCMP9, TSG2nCMP10 とし、周期用の設定レジスタは TSG2nCMP0, TSG2nDTC0, TSG2nDTC1 となります。この6つのレジスタを使用することで、デューティ可変型の6相PWM波形が出力されます。デッド・タイム制御を実現するために、16ビット・カウンタのカウンタ・クロックに同期して動作する6本の10ビット・ダウン・カウンタと、デッド・タイム設定レジスタ (TSG2nDTC0, TSG2nDTC1) があります。TSG2nDTC0 は、逆相がインアクティブに変化してから正相がアクティブに変化するまでのデッド・タイムの設定であり、TSG2nDTC1 は、正相がインアクティブに変化してから逆相がアクティブに変化するまでのデッド・タイムの設定です。

次に TSG2nDTC0 = x, TSG2nDTC1 = y の場合の出力波形を示します。

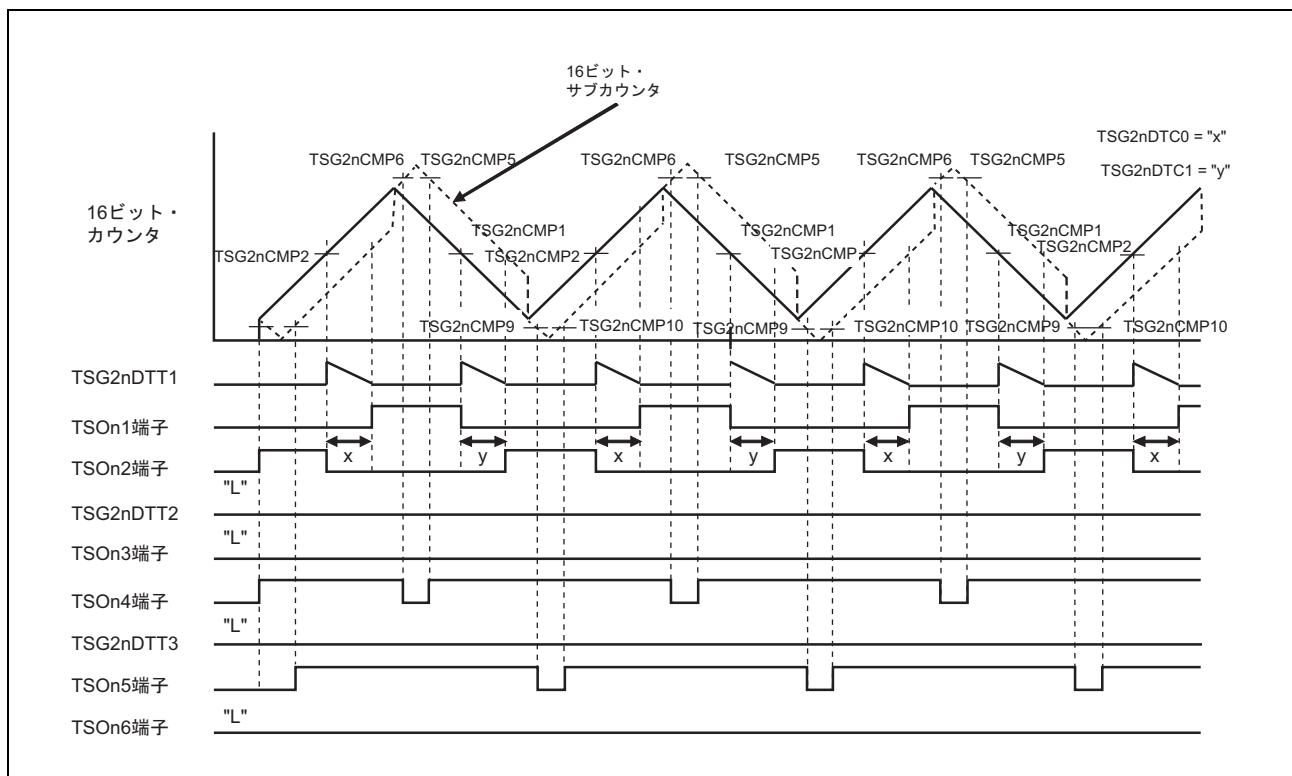


図 23.62 デッド・タイム設定時の出力波形例

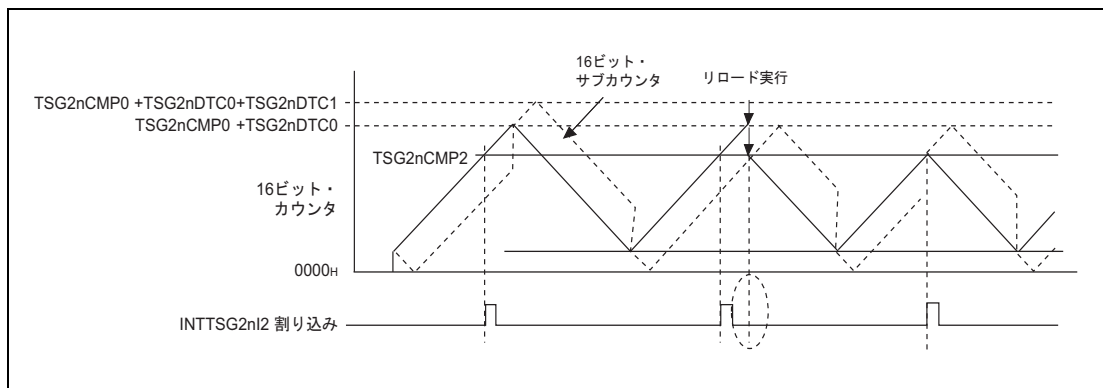
23.11.2.8 HT-PWM モード時のデッド・タイム制御に関する注意事項

(1) TSG2nDTC0, TSG2nDTC1 の書き換えについて

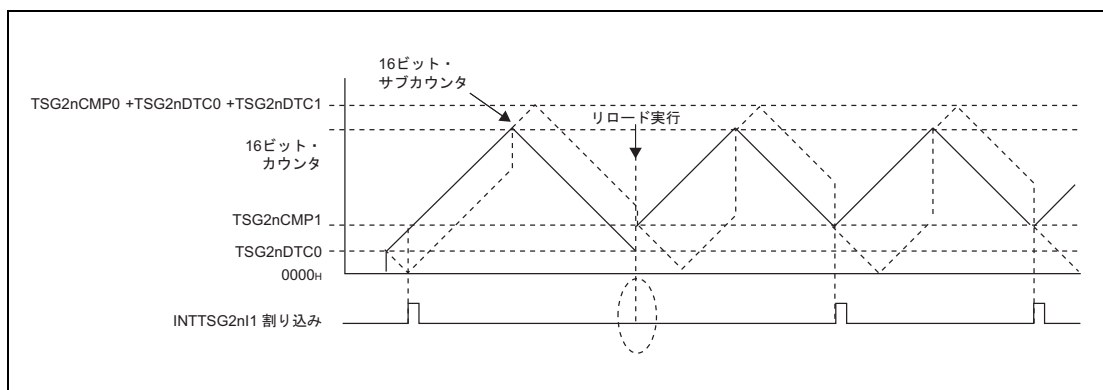
デッド・タイムの設定 (TSG2nDTC0, TSG2nDTC1) を動作中に書き換えることができます。

注 意

1. TSG2nDTC0, TSG2nDTC1 の書き換えは、リロード機能 (TSG2nRMC = 0) を使用している場合に書き換えてください。
2. TSG2nDTC0, TSG2nDTC1 を書き換える場合、ライト・プロテクション・コード・チェックが機能します。詳細はレジスタ説明を参照ください。
3. 16ビット・カウンタの山で TSG2nCMP0, TSG2nDTC1 を変更する場合
TSG2nCMPm の設定値が、更新後の TSG2nCMP0 + TSG2nDTC0 (メインカウンタの新しい最大値) より大きい場合、リロード実行直後の一致割り込み (INTTSG2nlm) は発生しません。(m = 2, 6, 10)



4. 16ビット・カウンタの谷で TSG2nDTC0 を変更する場合
TSG2nCMPm の設定値が、更新後の TSG2nDTC0 (メインカウンタの新しい最小値) より小さい場合、リロード直後の一致割り込み (INTTSG2nlm) は発生しません。(m = 1, 5, 9)



23.11.2.9 HT-PWM モード時のソフトウェア出力制御機能

HT-PWM モード時は、TSG2nOPT0.TSG2nSOC, TSG2nIDC, TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 を使用して、ソフトウェア制御によるタイマ出力制御を行うことができます。

図 23.63 に示すように、TSG2nSTE = 0 とし、TSG2nSOC = 1 にしたタイミングで出力を即時に切り替えます。デッド・タイムの設定をしていれば、デッド・タイム期間は保証されます。その後、TSG2nSOC = 0 にしたタイミングでは出力を保持し、リロード・タイミングが発生した時点で、HT-PWM モードによる出力制御に切り替わります。

ソフトウェア出力制御機能について、詳細は「**23.11.5 ソフトウェア出力制御機能**」を参照してください。

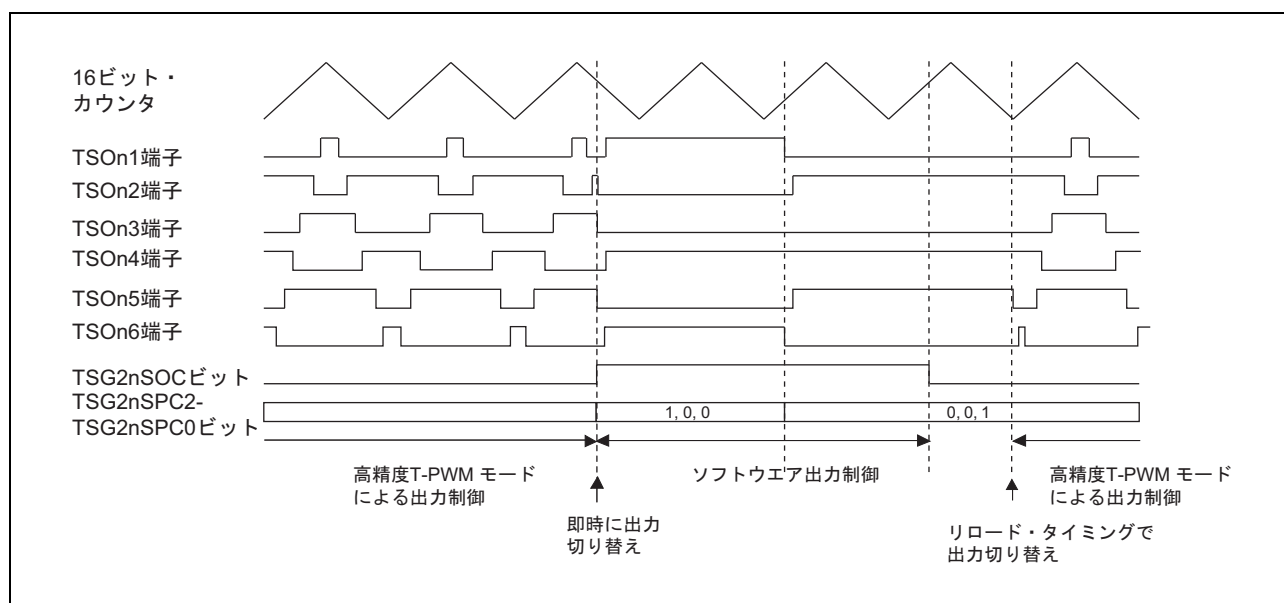


図 23.63 HT-PWM からソフトウェア出力制御機能の切り替え例

注 意

ソフトウェア出力制御機能を使用する場合は、必ずリロード（一斉書き換え）モード（TSG2nCTL3.TSG2nRMC = 0）の設定で使用してください。

(1) ソフトウェア出力制御の処理手順

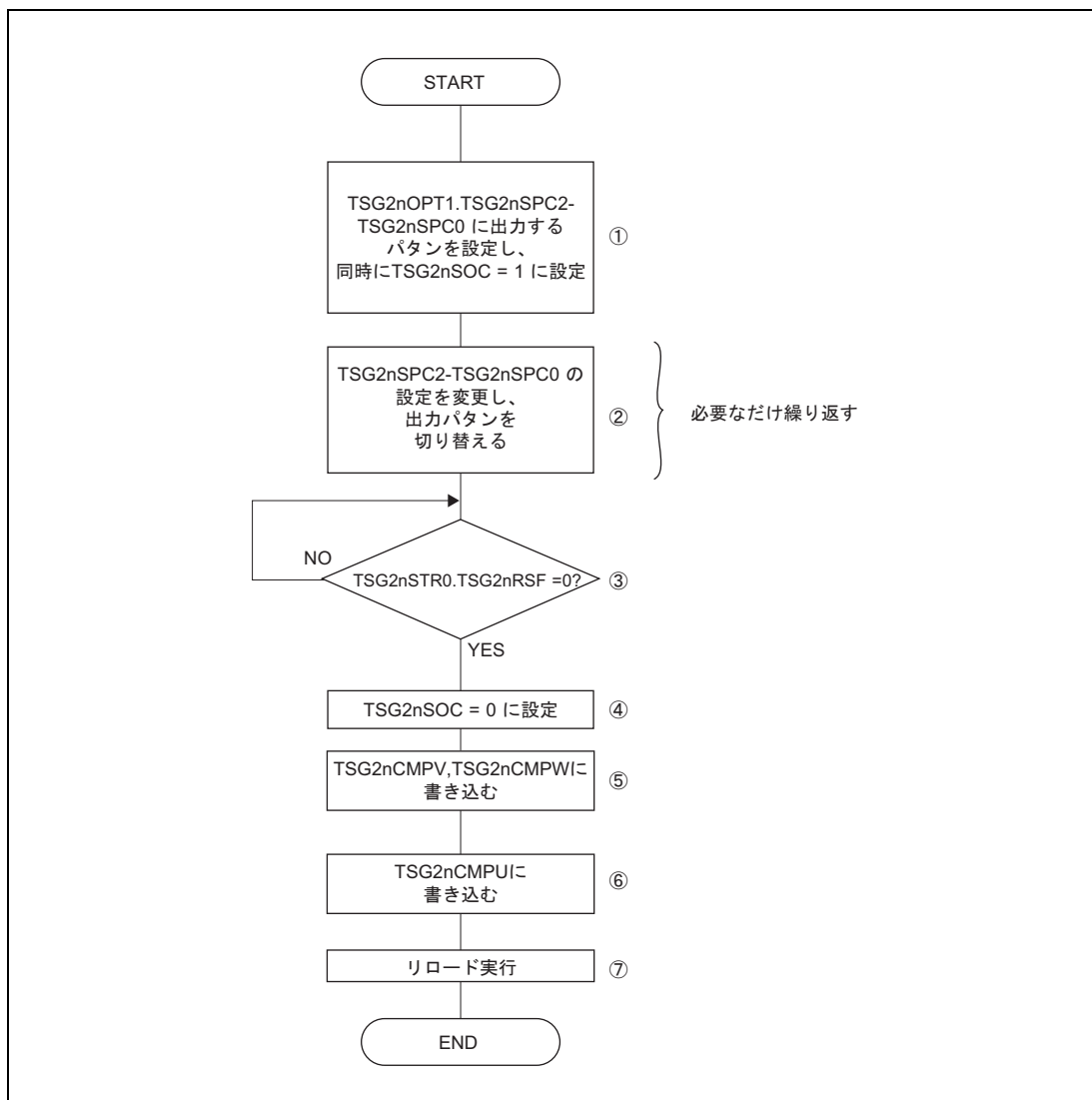


図 23.64 ソフトウェア出力制御時の処理フロー

ソフトウェア出力制御の処理手順を示します。

- ① TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 に出力するパターンを設定し、同時にソフトウェア出力を行うために TSG2nOPT0.TSG2nSOC = 1 にします。
- ② TSG2nSPC2-TSG2nSPC0 の出力パターン設定を変更し、タイマ出力を変化させます。ソフトウェア制御中に変更可能なレジスタは次のとおりです。
TSG2nTRG1 の TSG2nTT, TSG2nCTL3-TSG2nCTL6, TSG2nOPT0, TSG2nOPT1,
TSG2nCMPm
(m = 0, 1, 2, 5, 6, 9, 10) , TSG2nDTC0, TSG2nDTC1
- ③ リロード要求フラグ (TSG2nSTR0.TSG2nRSF) = 0 であることを確認します。TSG2nRSF = 1 だった場合は TSG2nRSF = 0 になるまで次の手順に移行しないでください。
- ④ TSG2nSOC = 0 にするとソフトウェア制御を解除開始します (ここではまだ解除されません)。
- ⑤ ソフトウェア出力制御解除後に必要な、コンペア・レジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また、リロード機能付きレジスタを変更する場合はここで変更してください。
- ⑥ TSG2nCMPU (TSG2nCMP1) に書き込みを行い、リロードを起動します。
- ⑦ リロードが実行され、ソフトウェア出力を解除します。

注 意

③, ④, ⑤, ⑥の手順を実行してから、必ずリロードを実行してください。リロードが実行できない場合はソフトウェア出力を解除できません。

23.11.2.10HT-PWM モードの非対称三角波制御

HT-PWM モードでは、U相、V相、W相の各相のセット・タイミングとクリア・タイミングを双方異なるタイミングで設定することにより非対称三角波で制御することができます。

以下では、対称三角波と異なる内容について説明します。

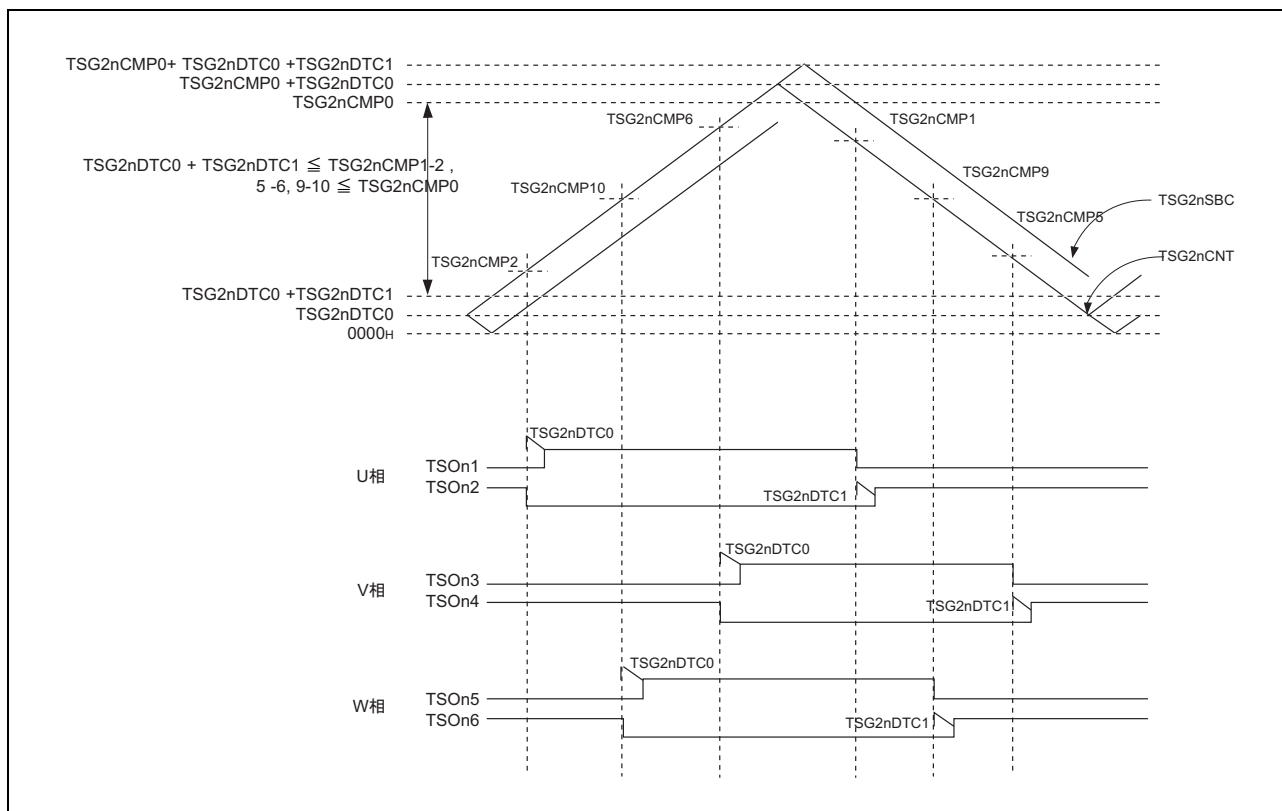
(1) PWM の設定について

対称三角波では、U相、V相、W相の設定を TSG2nCMPU, TSG2nCMPV, TSG2nCMPW にてセット・タイミング、クリア・タイミングを同一値に設定することで各相の出力制御をしていました。非対称三角波では、TSG2nCMPm を以下のように設定することで各相の出力制御をします。(m = 1, 2, 5, 6, 9, 10)

前提条件

- TSG2nCMP1, TSG2nCMP5, TSG2nCMP9 で、U相、V相、W相の電圧データ信号のPWMのクリア・タイミングを設定します。
- TSG2nCMP2, TSG2nCMP6, TSG2nCMP10 で、U相、V相、W相の電圧データ信号のPWMのセット・タイミングを設定します。
- セット・タイミング、クリア・タイミングは、TSG2nCMP1W (TSG2nCMP1, TSG2nCMP2)、TSG2nCMP5W (TSG2nCMP5, TSG2nCMP6)、TSG2nCMP9W (TSG2nCMP9, TSG2nCMP10) で、各相の設定をおこなうことができます。
- TSG2nCMPm は偶数値のみ設定可能です。(m = 1, 2, 5, 6, 9, 10)

(2) タイマ出力について



備考

非対称三角波で出力制御する場合、TSG2nCMPm の設定は次の条件となります。(m = 1, 2, 5, 6, 9, 10)

- $TSG2nDTC0 + TSG2nDTC1 \leq TSG2nCMPm \leq TSG2nCMP0$
- $TSG2nCMPm = TSG2nCMP(m+1)$ 、もしくは、 $TSG2nCMPm = TSG2nCMP(m+1)$
 - 2 の場合のみ、対称三角波と同じ「 $0000_H \leq TSG2nCMPm \leq TSG2nCMP0$
 - $TSG2nDTC0 + TSG2nDTC1$ 」の条件で設定可能です。

23.11.3 SP-PWM モード (Shifted-pulse - Pulse Width Modulation モード)

概要

16 ビット・カウンタと、16 ビット・コンペア・レジスタを使用して、6 相 PWM を生成できます。

前提条件

- TSG2nCMP0 には、PWM 周期を設定します。
- U 相、V 相、W 相のセット/クリア・タイミングを TSG2nCMP2, TSG2nCMP6, TSG2nCMP10 (セット・タイミング)、TSG2nCMP1, TSG2nCMP5, TSG2nCMP9 (U 相、V 相、W 相のクリア・タイミング) で設定します。(セット・タイミングとクリア・タイミングで制御する場合)
- U 相、V 相、W 相のセット・タイミングとアクティブ期間を TSG2nCMP2, TSG2nCMP6, TSG2nCMP10 (セット・タイミング)、TSG2nUPW, TSG2nVPW, TSG2nWPW (アクティブ期間) で設定します。
このとき、TSG2nCMP1, TSG2nCMP5, TSG2nCMP9 は、TSG2nCMP2, TSG2nCMP6, TSG2nCMP10 に設定した値と TSG2nUPW, TSG2nVPW, TSG2nWPW へ設定した値とを加算した値が設定されます。
(セット・タイミングとアクティブ期間で制御する場合)

機能説明

搬送波の周期を設定、U 相、V 相、W 相のセット・タイミングおよびデューティを設定。TSG2nTRG0.TSG2nTS = 1 にすると、カウント・アップを開始します。

16 ビット・カウンタは、0000_H よりカウントを行い、TSG2nCMP0 との一致でカウンタをクリアします。

デッド・タイムは、TSG2nDTC0、TSG2nDTC1 で設定し、TSG2nDTC0 は逆相 (OFF) → 正相 (ON) のデッド・タイムを、TSG2nDTC1 は正相 (OFF) → 逆相 (ON) のデッド・タイムを設定することができます。デッド・タイム生成用の 10 ビット・カウンタ (TSG2nDTT1-TSG2nDTT3) は、16 ビット・カウンタと TSG2nCMP_m バッファ・レジスタのコンペア一致で TSG2nDTC0, TSG2nDTC1 の設定値をロードし、ダウン・カウントを行います。(m = 1, 2, 5, 6, 9, 10)

16 ビット・カウンタと、TSG2nCMP1, TSG2nCMP2, TSG2nCMP5, TSG2nCMP6, TSG2nCMP9, TSG2nCMP10 バッファ・レジスタのコンペア一致で、それぞれ INTTSG2nIm 割り込み (m = 1, 2, 5, 6, 9, 10) を発生します。

備考

SP-PWM モードは TSG2nCTL0.TSG2nMD1-TSG2nMD0 = 10_B に設定したときに有効となります。

23.11.3.1 基本タイミング図

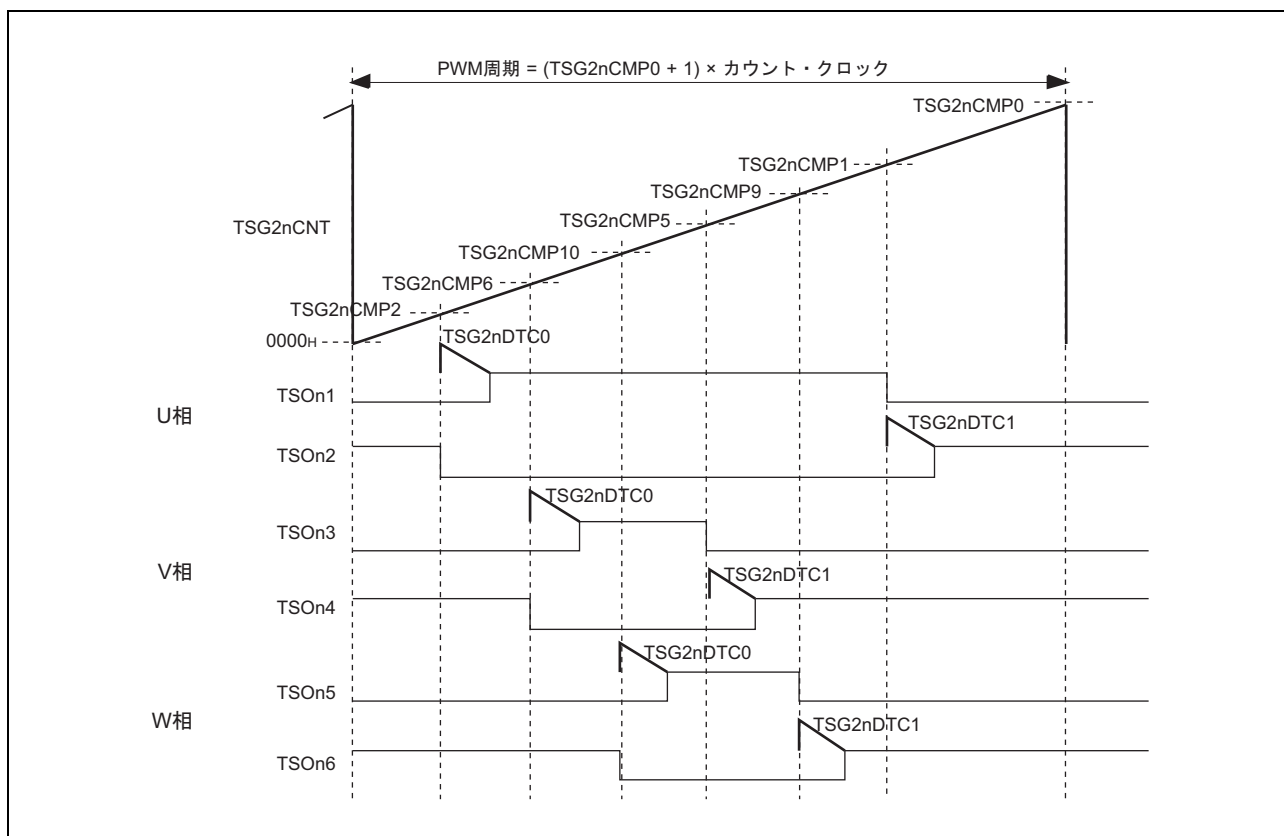


図 23.65 SP-PWM モード時の基本タイミング

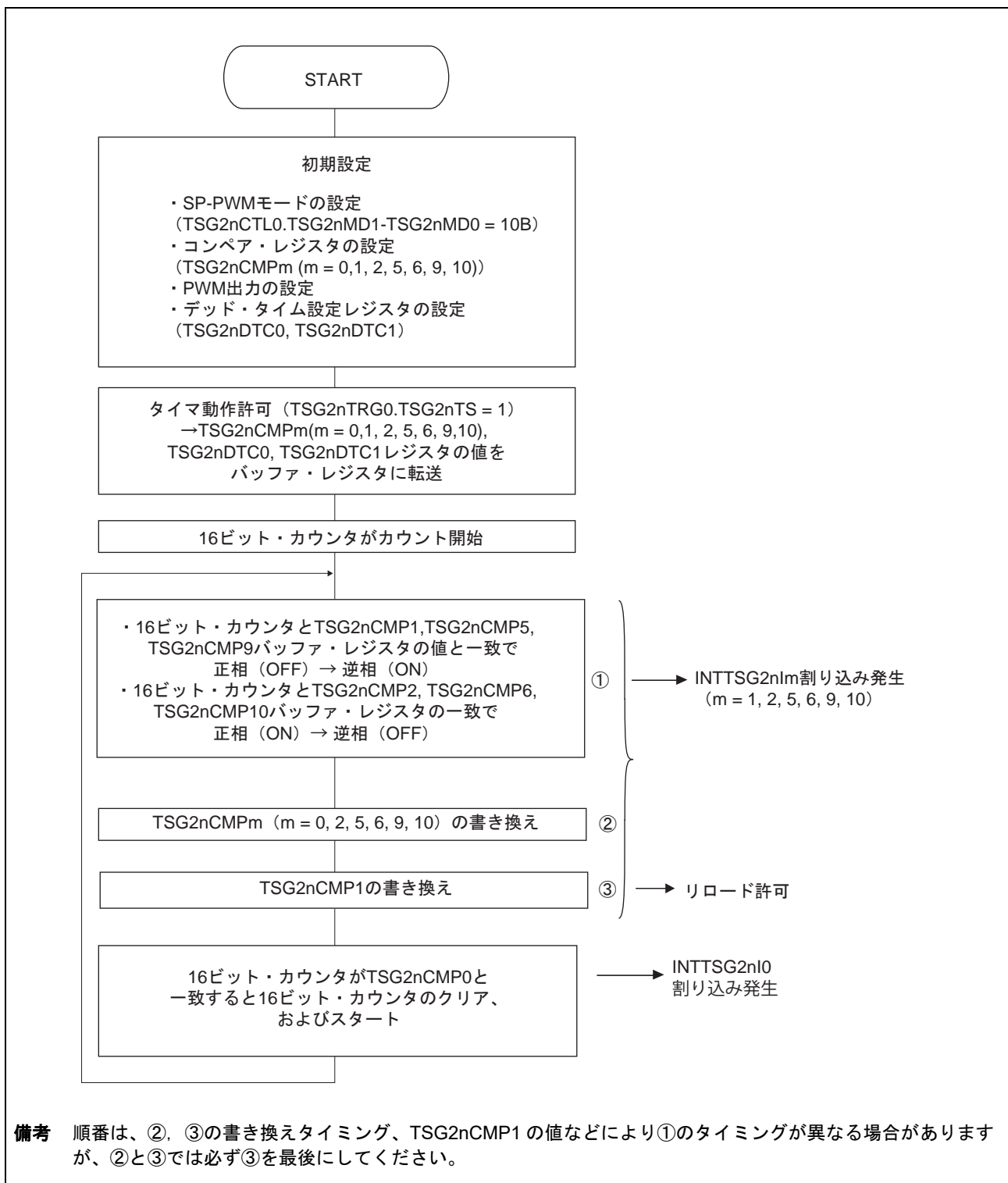


図 23.66 SP-PWM モード時の基本動作フロー

23.11.3.2 SP-PWM モード動作一覧

表 23.58 SP-PWM モード : カウンタ機能

| 動作 | | 設定条件 |
|-------------|------|---|
| 16 ビット・カウンタ | スタート | TSG2nTRG0.TSG2nTS = 0 → 1 |
| | クリア | TSG2nCMP0 バッファ・レジスタと 16 ビット・カウンタのコンペアー致 |
| | 停止 | TSG2nTRG1.TSG2nTT = 0 → 1 |

表 23.59 SP-PWM モード : コンペア・レジスタ、デッド・タイム設定レジスタの機能

| レジスタ | 書き換え方法 | 動作中の書き換え | 機能 |
|--|-------------|----------|----------------------|
| TSG2nCMP0 | リロード／随時書き換え | 可能 | 周期 |
| TSG2nUPW | リロード／随時書き換え | 可能 | U 相用 PWM 制御 |
| TSG2nCMP1W (TSG2nCMP1, TSG2nCMP2) | リロード／随時書き換え | | |
| TSG2nVPW | リロード／随時書き換え | 可能 | V 相用 PWM 制御 |
| TSG2nCMP5W (TSG2nCMP5, TSG2nCMP6) | リロード／随時書き換え | | |
| TSG2nWPW, TSG2nCMP9W (TSG2nCMP9, TSG2nCMP10) | リロード／随時書き換え | 可能 | W 相用 PWM 制御 |
| TSG2nDTC0, TSG2nDTC1 | リロード | | |
| TSG2nDCMP0W, TSG2nDCMP2 | リロード／随時書き換え | 可能 | ダイアグ出力もしくは A/D 変換トリガ |

表 23.60 SP-PWM モード : 出力機能

| 端子 | 機能 |
|-------|--|
| TSOn1 | TSG2nCMP1 バッファ・レジスタ (クリア・タイミング)、TSG2nCMP2 バッファ・レジスタ (セット・タイミング) と 16 ビット・カウンタのコンペアー一致による PWM 出力 (デッド・タイム付き) |
| TSOn2 | TSOn1 に対する逆相出力 (デッド・タイム付き) |
| TSOn3 | TSG2nCMP5 バッファ・レジスタ (クリア・タイミング)、TSG2nCMP6 バッファ・レジスタ (セット・タイミング) と 16 ビット・カウンタのコンペアー一致による PWM 出力 (デッド・タイム付き) |
| TSOn4 | TSOn3 に対する逆相出力 (デッド・タイム付き) |
| TSOn5 | TSG2nCMP9 バッファ・レジスタ (クリア・タイミング)、TSG2nCMP10 バッファ・レジスタ (セット・タイミング) と 16 ビット・カウンタのコンペアー一致による PWM 出力 (デッド・タイム付き) |
| TSOn6 | TSOn5 に対する逆相出力 (デッド・タイム付き) |
| TSOn7 | ダイアグ出力もしくは A/D 変換トリガによるパルス出力 |

表 23.61 SP-PWM モード：割り込み要求

| 割り込み | 機能 |
|---------------------------------------|--|
| INTTSG2nIm (m = 0, 1, 2, 5, 6, 9, 10) | TSG2nCMPm バッファ・レジスタと 16 ビット・カウンタのコンペア一致 (m = 0, 1, 2, 5, 6, 9, 10) |
| INTTSG2nIER | エラー |
| INTTSG2nIVLY | — |
| INTTSG2nIPEK | 山割り込み (INTTSG2nI0 割り込みと同タイミングで発生) |
| INTTSG2nIWN | ワーニング |

表 23.62 SP-PWM モード：コンペア一致タイミング

| コンペア一致 | タイミング |
|-----------------------------------|---|
| TSG2nCMP0 | 16 ビット・カウンタが TSG2nCMP0 → 0000 _H へ切り替わる時 |
| TSG2nCMPm (m = 1, 2, 5, 6, 9, 10) | 16 ビット・カウンタと TSG2nCMPm の一致検出後 (m = 1, 2, 5, 6, 9, 10) |

表 23.63 SP-PWM モード：タイマ出力条件別の設定例 (1/2)

| 端子 | 項目 | 出力周期 | 出力デューティ | |
|---------------------------|--------|---------------------------------|--|---|
| | | | 出力条件 | 設定条件 |
| TSON1, TSON3, TSON5 | PWM 出力 | (TSG2nCMP0 + 1) × カウン ト・クロック | 1 周期の期間内すべてイン アクティブ・レベル出力 (デューティ 0%) | TSG2nCMPm = TSG2nCMP(m+1) もしくは TSG2nCMP(m+1) > TSG2nCMP0 (m = 1, 5, 9) |
| | | | 1 周期で 1 カウント・ク ロックのアクティブ・レベ ル出力 | TSG2nCMPm = TSG2nCMP(m+1) + 1 TSG2nCMP(m+1) = TSG2nCMPm - 1 (m = 1, 5, 9) |
| | | | 1 周期で 1 カウント・ク ロックのインアクティブ・ レベル出力 | TSG2nCMPm = TSG2nCMP(m+1) - 1 TSG2nCMP(m+1) = TSG2nCMPm + 1 (m = 1, 5, 9) |
| | | | 1 周期の期間内すべてアク ティブ・レベル出力 (デューティ 100%) | TSG2nCMPm > TSG2nCMP0 TSG2nCMP(m+1) ≤ TSG2nCMP0 (m = 1, 5, 9) |

表 23.63 SP-PWM モード : タイマ出力条件別の設定例 (2/2)

| 端子 | 項目 | 出力周期 | 出力デューティ | |
|---------------------------|-------------------------------------|---------------------------------|--|--|
| | | | 出力条件 | 設定条件 |
| TSON2, TSON4, TSON6 | PWM 出力 | (TSG2nCMP0 + 1) × カウン ト・クロック | 1 周期の期間内すべてイン アクティブ・レベル出力 (デューティ 0%) | TSG2nCMPm = TSG2nCMP(m-1) もしくは TSG2nCMP(m-1) > TSG2nCMP0 (m = 2, 6, 10) |
| | | | 1 周期で 1 カウント・ク ロックのアクティブ・レベ ル出力 | TSG2nCMPm = TSG2nCMP(m-1) - 1 TSG2nCMP(m-1) = TSG2nCMPm + 1 (m = 2, 6, 10) |
| | | | 1 周期で 1 カウント・ク ロックのインアクティブ・ レベル出力 | TSG2nCMPm = TSG2nCMP(m-1) + 1 TSG2nCMP(m-1) = TSG2nCMPm - 1 (m = 2, 6, 10) |
| | | | 1 周期の期間内すべてアク ティブ・レベル出力 (デューティ 100%) | TSG2nCMPm > TSG2nCMP0 (m = 2, 6, 10) |
| TSON7 | ダイアグ出力もしくは A/D 変換トリガに よるパルス出力 | (TSG2nCMP0 + 1) × カウン ト・クロック | 「23.9 A/D 変換トリガ機能」を参照 | |

23.11.3.3 SP-PWM モードの各種設定

モード設定

TSG2nCTL0.TSG2nMD1-TSG2nMD0 = 10_B に設定することで SP-PWM モードになります。

タイマ出力の設定

TSON1-TSON6 端子は、TSG2nIOC0, TSG2nIOC2, TSG2nIOC3 の設定で出力制御を行います。
TSON7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生への許可

TSG2nIOC1.TSG2nEOC = 1 にすることで、正相／逆相同時アクティブを検出したときのエラー割り込み (INTTSG2nIER) 発生を許可します。詳細は、「**23.10 エラー／ワーニング割り込み**」を参照してください。

リロード機能付きレジスタ書き換えタイミング設定

TSG2nCTL3.TSG2nRMC で、リロード機能付きレジスタに対し、リロード (一斉書き換え) / 随時書き換えを行います (デフォルト “0” リロード)。リロードを行う場合は、TSG2nCTL4.TSG2nPRE を必ずセット (1) してください。

TSG2nPRE が “0” の場合はリロード・タイミングが発生しません。

随時書き換えにした場合、書き換えタイミングによって意図しない出力が発生する場合があります。

A/D 変換トリガ出力の設定

A/D 変換トリガ 0 (TSTADT0 信号) を設定する場合は、TSG2nCTL5.TSG2nAT09-TSG2nAT00 で設定を行います。

TSG2nAT09-TSG2nAT00 で、TSG2nDCMP2-TSG2nDCMP0 との一致タイミング (16 ビット・カウンタのアップ・カウント) による A/D 変換トリガ出力の許可／禁止を行います。

A/D 変換トリガ 1 (TSTADT1 信号) を設定する場合は、TSG2nCTL6.TSG2nAT19-TSG2nAT10 で設定を行います。

16 ビット・カウンタと TSG2nDCMP2-TSG2nDCMP0 の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSTADT0, TSTADT1 信号に対しては、間引き機能が使用できます。TSG2nCTL5 の TSG2nACC01, TSG2nACC00, および TSG2nCTL6 の TSG2nACC11, TSG2nACC10 を使用して、間引き無し / 1 間引き / 3 間引き / 7 間引きの設定を行うことができます。

注 意

- A/D 変換トリガのタイミング・パルスを TSON7 端子に出力する場合は、TSG2nCTL5, TSG2nCTL6 と TSG2nDCMP2-TSG2nDCMP0 の設定を正しく行ってください。
- SP-PWM モードでは、谷割り込み (INTTSG2nIVLY) は発生しません。そのため TSG2nCTL5, TSG2nCTL6 の TSG2nAT00, TSG2nAT10 は必ず “0” に設定してください。
- SP-PWM モードでは、16 ビット・サブカウンタは動作しません。そのため、TSG2nCTL5, TSG2nCTL6 の TSG2nAT09, TSG2nAT08, TSG2nAT19, TSG2nAT18 は必ず “0” に設定してください。
- SP-PWM モードでは、16 ビット・カウンタのダウン・カウント状態は発生しません。そのため TSG2nCTL5, TSG2nCTL6 の TSG2nAT07, TSG2nAT05, TSG2nAT03, TSG2nAT17, TSG2nAT15, TSG2nAT13 は必ず “0” に設定してください。

デッド・タイムの設定

TSG2nDTC0, TSG2nDTC1 でデッド・タイムの設定を行います。

デッド・タイムは、次の式で求めることができます。

$$\text{PCLK} \times \text{TSG2nDTC0}$$

$$\text{PCLK} \times \text{TSG2nDTC1}$$

TSG2nDTC0 は、TSOn2, TSOn4, TSOn6 端子のインアクティブ変化→TSOn1, TSOn3, TSOn5 端子のアクティブ変化までの時間を設定できます。

TSG2nDTC1 は、TSOn1, TSOn3, TSOn5 端子のインアクティブ変化→TSOn2, TSOn4, TSOn6 端子のアクティブ変化までの時間を設定できます。

搬送波の周期

次の式にしたがい TSG2nCMP0 で、搬送波の周期を設定してください。

$$\text{TSG2nCMP0} = (\text{搬送波周期} / \text{カウント} \cdot \text{クロック周期}) - 1$$

注 意

TSG2nCMP0 = FFFF_H で設定した場合、デューティ 100% の PWM 出力はできません。

デューティ (PWM 幅) の設定

TSG2nCMPm と TSG2nUPW, TSG2nVPW, TSG2nWPW でそれぞれ U 相、V 相、W 相のデューティ設定を行います。(m = 1, 2, 5, 6, 9, 10)

- TSG2nCMP2, TSG2nCMP6, TSG2nCMP10 で、U 相、V 相、W 相のセット・タイミングを設定し、TSG2nCMP1, TSG2nCMP5, TSG2nCMP9 で、U 相、V 相、W 相のクリア・タイミングを設定します。
(セット・タイミングとクリア・タイミングの設定で制御する場合)
- TSG2nCMP2, TSG2nCMP6, TSG2nCMP10 で、U 相、V 相、W 相のセット・タイミングを設定し、TSG2nUPW, TSG2nVPW, TSG2nWPW でアクティブ期間を設定します。
このとき、TSG2nCMP1, TSG2nCMP5, TSG2nCMP9 は、TSG2nCMP2, TSG2nCMP6, TSG2nCMP10 に設定した値と TSG2nUPW, TSG2nVPW, TSG2nWPW へ設定した値とを加算した値が設定されます。
(セット・タイミングとアクティブ期間の設定で制御する場合)

23.11.3.4 SP-PWM モード時のデッド・タイム制御

SP-PWM モードでは、デューティ用の設定レジスタは TSG2nCMPm ($m = 1, 2, 5, 6, 9, 10$) と TSG2nUPW, TSG2nVPW, TSG2nWPW とし、周期用の設定レジスタは TSG2nCMP0 となります。このレジスタを使用することで、デューティ可変型の 6 相 PWM 波形を出力できます。デッド・タイム制御を実現するために、16 ビット・カウンタのカウンタ・クロックに同期して動作する 6 本の 10 ビット・ダウン・カウンタと、デッド・タイム設定レジスタ (TSG2nDTC0, TSG2nDTC1) があります。TSG2nDTC0 レジスタは、逆相がインアクティブに変化してから正相がアクティブに変化するまでのデッド・タイムの設定であり、TSG2nDTC1 レジスタは、正相がインアクティブに変化してから逆相がアクティブに変化するまでのデッド・タイムの設定です。次に出力波形例を示します。

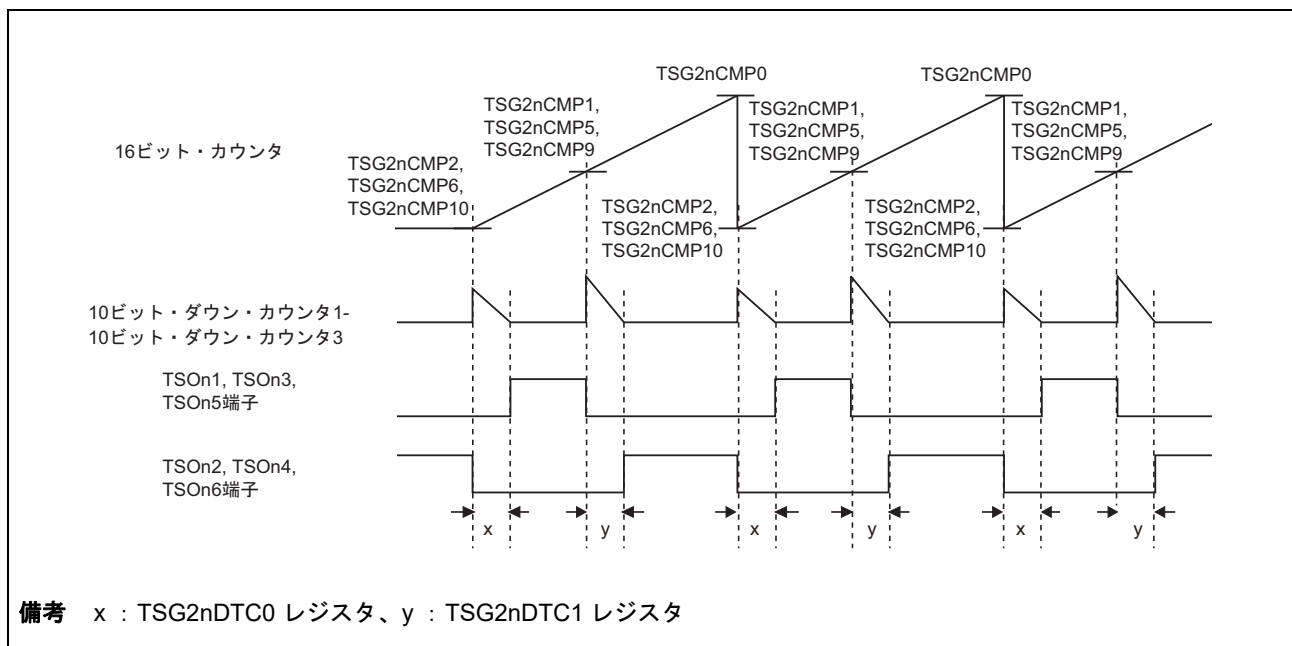


図 23.67 SP-PWM モード時の出力波形例

23.11.3.5 SP-PWM モード時のソフトウェア出力制御機能

TSG2nOPT0.TSG2nSOC, TSG2nIDC, TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 を使用して、ソフトウェア制御によるタイマ出力制御を行うことができます。

図 23.68 に示すように、TSG2nSOC = 1 にしたタイミングで出力を即時に切り替えます。デッド・タイムの設定をしていれば、デッド・タイム期間は保証されます。その後、TSG2nSOC = 0 にしたタイミングでは出力を保持し、リロード・タイミングが発生した時点で、SP-PWM モードによる出力制御に切り替わります。

ソフトウェア出力制御機能について、詳細は「23.11.5 ソフトウェア出力制御機能」を参照してください。

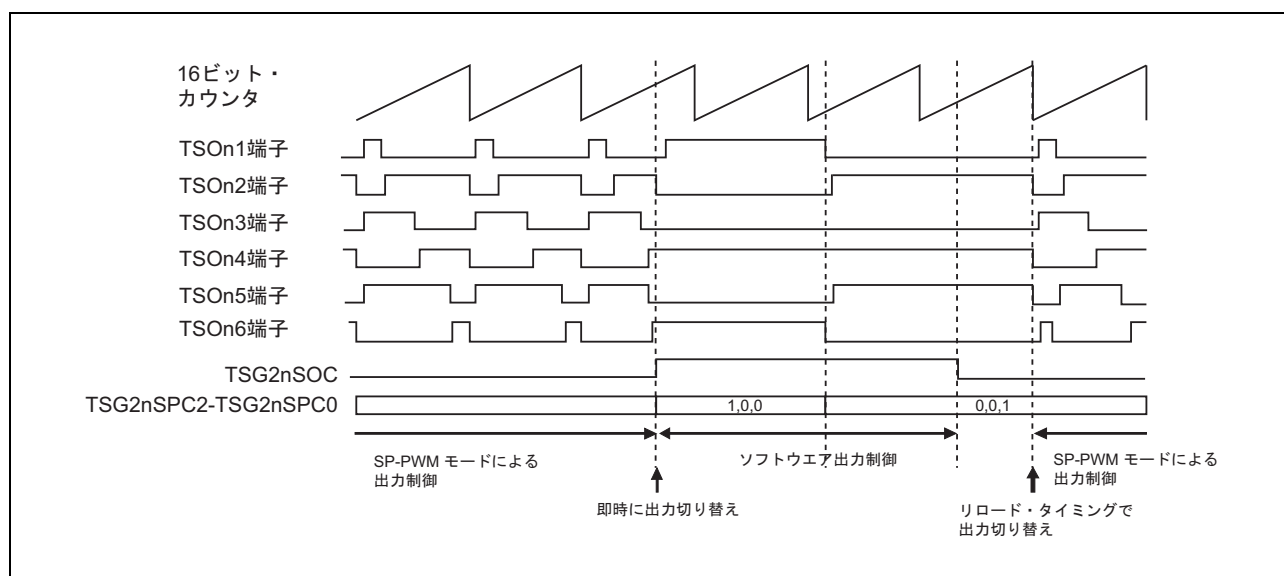


図 23.68 SP-PWM モードからソフトウェア出力制御機能の切り替え例

(1) ソフトウェア出力制御の処理手順

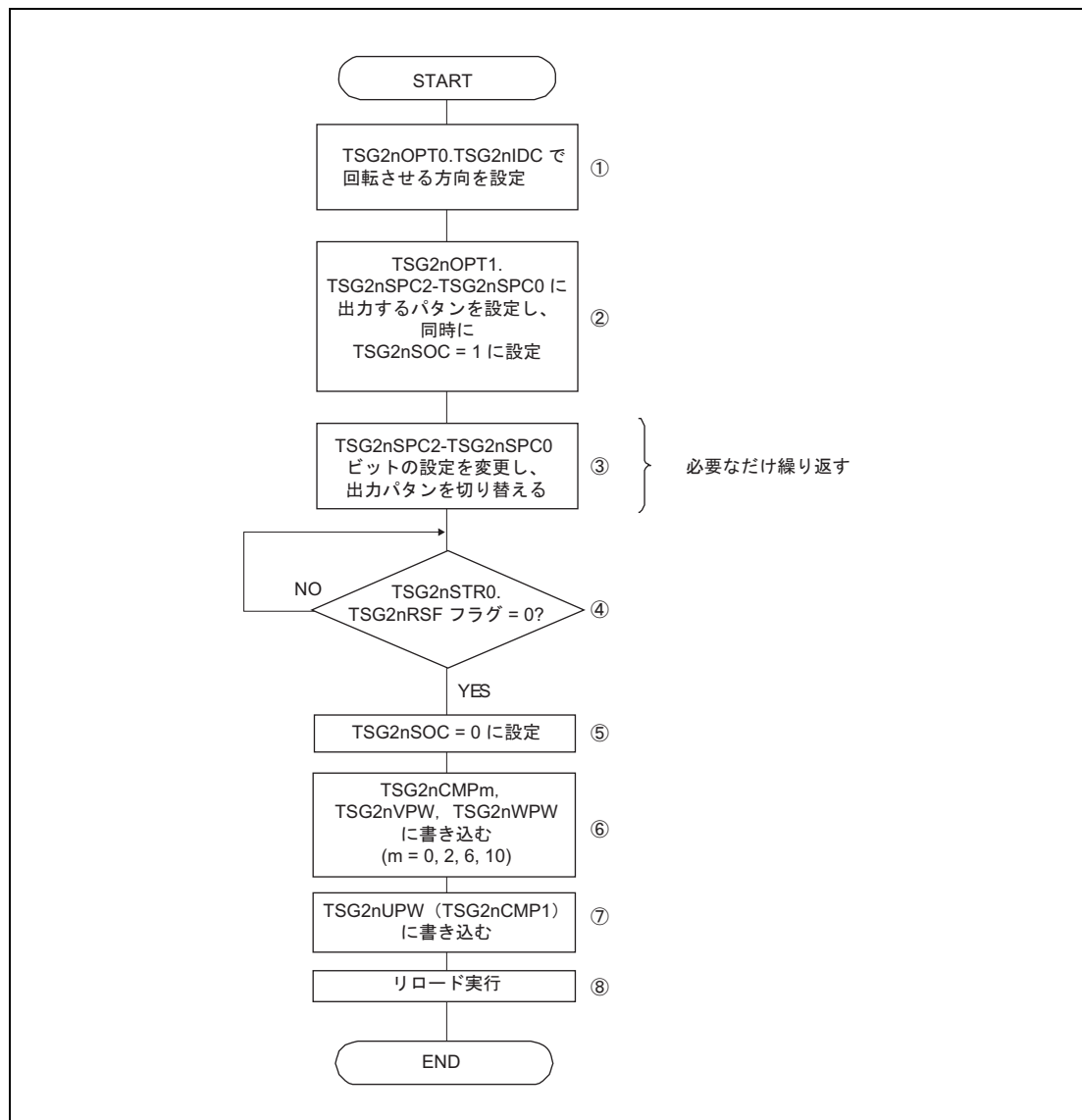


図 23.69 ソフトウェア出力制御時の処理フロー

ソフトウェア出力制御の処理手順を示します。

- ① 回転方向を決定するため、TSG2nIDC の設定を行います。TSG2nIDC = 0 の場合と、TSG2nIDC = 1 の場合では 180 度位相が異なったタイマ出力となります。ソフトウェア出力制御機能において、このビットを書き換えただけではタイマ出力は変化しません。
- ② TSG2nSPC2-TSG2nSPC0 に出力するパターンを設定し、同時にソフトウェア出力を行うために TSG2nSOC = 1 にします。
- ③ TSG2nSPC2-TSG2nSPC0 の出力パターン設定を変更し、タイマ出力を変化させます。ソフトウェア制御中に変更可能なレジスタは次のとおりです。
TSG2nTRG0.TSG2nTS, TSG2nCTL3-TSG2nCTL6, TSG2nOPT0, TSG2nOPT1,
TSG2nCMP0-TSG2nCMP12, TSG2nDTC0, TSG2nDTC1
- ④ リロード要求フラグ (TSG2nRSF) = 0 であることを確認します。TSG2nRSF = 1 だった場合は TSG2nRSF = 0 になるまで次の手順に移行しないでください。
- ⑤ TSG2nSOC = 0 にするとソフトウェア制御を解除開始します (ここではまだ解除されません)。
- ⑥ ソフトウェア出力制御解除後に必要な、コンペア・レジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また、リロード機能付きレジスタを変更する場合はここで変更してください。
- ⑦ TSG2nUPW (TSG2nCMP1) に書き込みを行い、リロードを起動します。
- ⑧ リロードが実行され、ソフトウェア出力を解除します。

注 意

④, ⑤, ⑥, ⑦の手順を実行してから、必ずリロードを実行してください。リロードが実行できない場合はソフトウェア出力を解除できません。

23.11.4 120-DC モード

概要

TSG2nCMP0 の PWM 周期、TSG2nCMP1-TSG2nCMP12 のデューティによるタイマ出力 (TSOn1-TSOn6) を 2 種類 (ソフトウェア出力制御方式、パターン切り替え方式) のパターン入力での出力制御を行い、120-DC 制御を実現します。

前提条件

- TSG2nCMP0 には、PWM 周期を設定します。
- TSG2nCMP1-TSG2nCMP12 には、PWM のデューティを設定、TSG2nPAT0W, TSG2nPAT1W に出カパターンを設定します。

機能説明

PWM 周期を設定、各コンペア・レジスタにデューティを設定、パターン・レジスタに各パターンの出力対象を設定します。TSG2nTRG0.TSG2nTS = 1 にすると、カウント・アップを開始します。

16 ビット・カウンタは、0000_H よりカウントを行い、TSG2nCMP0 との一致でカウンタをクリアします。

16 ビット・カウンタと、TSG2nCMP1-TSG2nCMP12 バッファ・レジスタのコンペア一致で、それぞれ INTTSG2nI1-INTTSG2nI12 割り込みを発生します。

備考

120-DC モードは TSG2nCTL0.TSG2nMD1-TSG2nMD0 = 11_B に設定したときに有効となります。

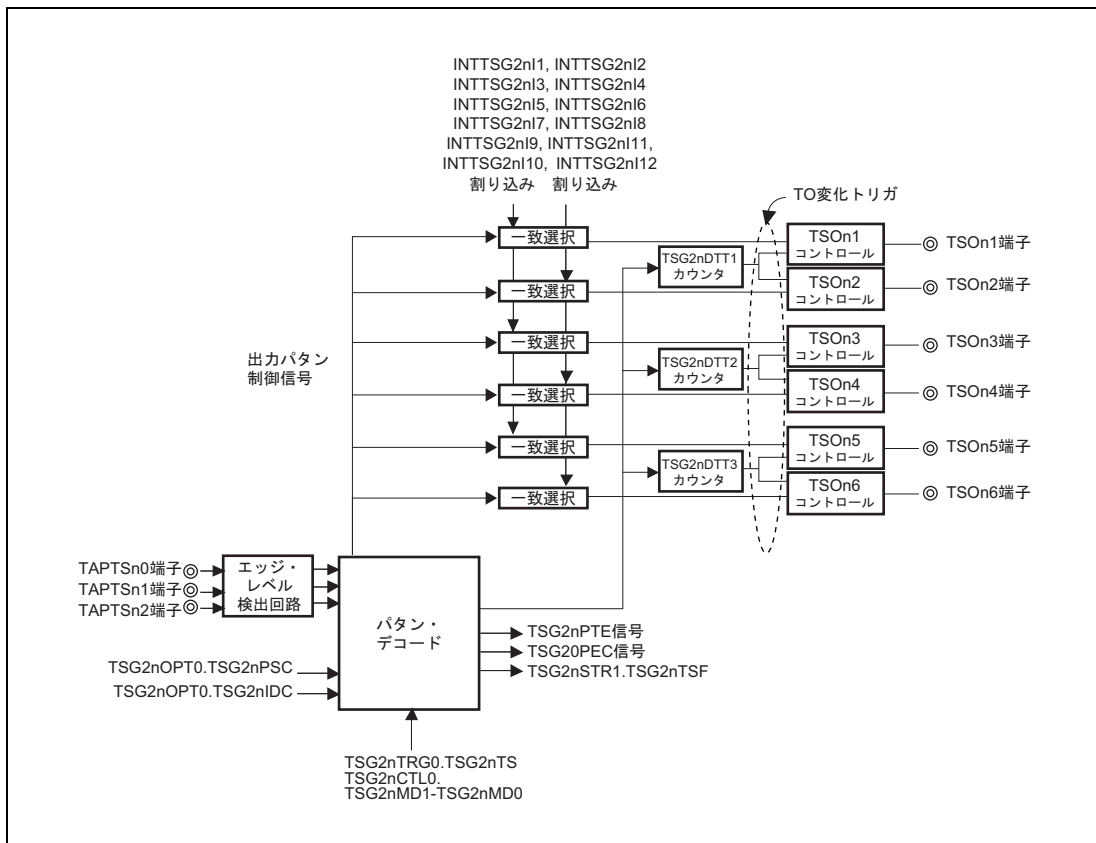


図 23.70 120-DC モード時のブロック構成図

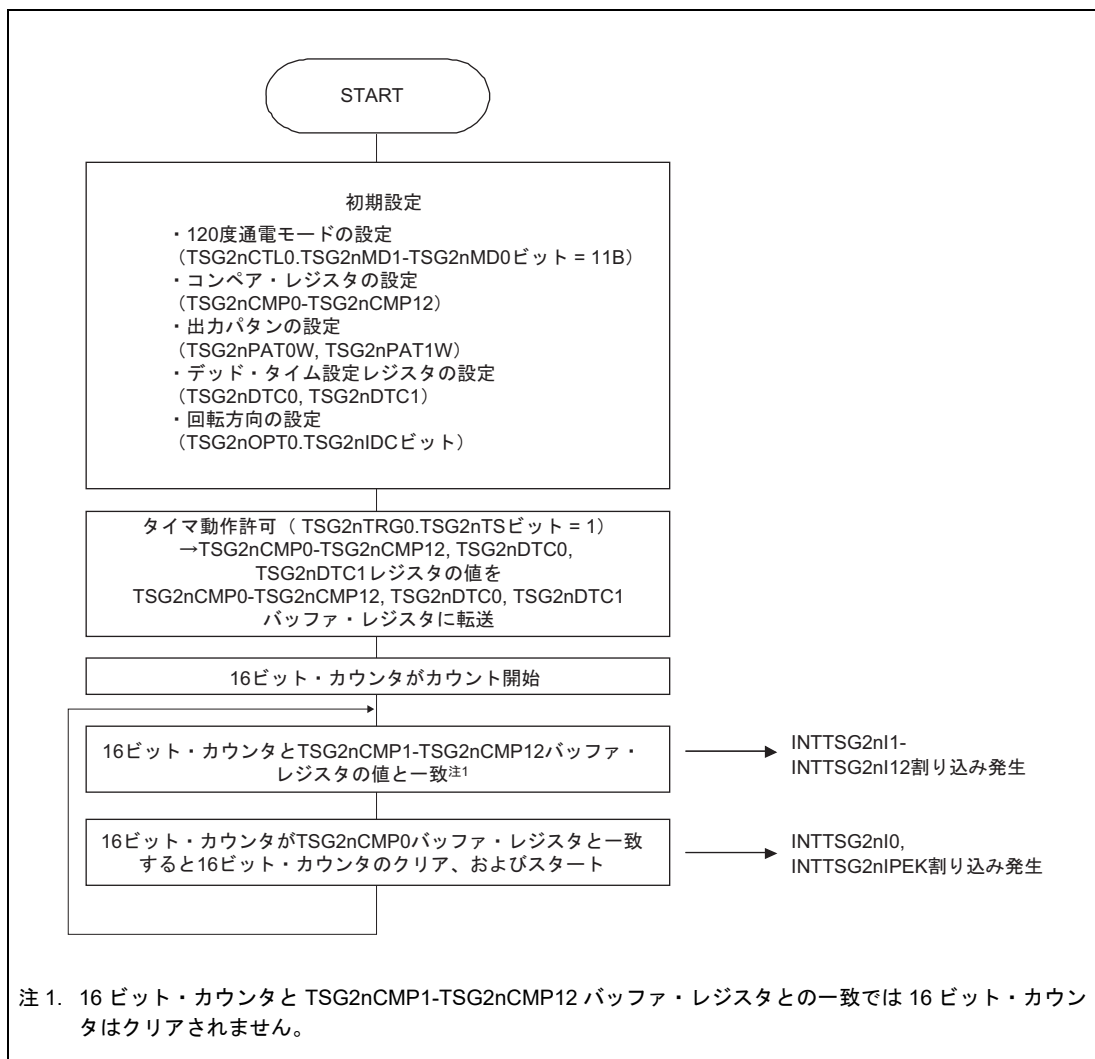


図 23.71 120-DC モード時の基本動作フロー

23.11.4.1 120-DC モード動作一覧

表 23.64 120-DC モード : カウンタ機能

| 動作 | | 設定条件 |
|-------------|------|---|
| 16 ビット・カウンタ | スタート | TSG2nTRG0.TSG2nTS = 0 → 1 |
| | クリア | TSG2nCMP0 と 16 ビット・カウンタの一致、もしくは、出力パタンの切り替えタイミング |
| | 停止 | TSG2nTRG1.TSG2nTT = 0 → 1 |

表 23.65 120-DC モード : コンペア・レジスタ、デッド・タイム設定レジスタの機能

| レジスタ | 書き換え方法 | 動作中の書き換え | 機能 |
|-------------------------|--------|----------|----------------------|
| TSG2nCMP0 | リロード | 可能 | 周期 |
| TSG2nCMPm (m = 1 ~ 12) | リロード | 可能 | PWM デューティ |
| TSG2nDCMP0W, TSG2nDCMP2 | リロード | 可能 | ダイアグ出力もしくは A/D 変換トリガ |
| TSG2nDTC0, TSG2nDTC1 | リロード | 可能 | デッド・タイム |

表 23.66 120-DC モード : タイマ入力機能

| 端子/信号 | 機能 |
|--------------------|-------------|
| TAPTSn2-TAPTSn0 端子 | パタン入力 (3 相) |

表 23.67 120-DC モード : タイマ出力機能

| 端子/信号 | 機能 |
|-------------|---|
| TSON1 端子 | TSG2nCMPm バッファ・レジスタ (m = 1, 2, 5, 6, 9, 10) と 16 ビット・カウンタのコンペア一致と TSG2nPAT0W の設定による出力パタン選択により PWM 出力 (デッド・タイム付き) |
| TSON2 端子 | TSG2nCMPm バッファ・レジスタ (m = 3, 4, 7, 8, 11, 12) と 16 ビット・カウンタのコンペア一致と TSG2nPAT1W の設定による出力パタン選択により PWM 出力 (デッド・タイム付き) |
| TSON3 端子 | TSG2nCMPm バッファ・レジスタ (m = 1, 2, 5, 6, 9, 10) と 16 ビット・カウンタのコンペア一致と TSG2nPAT0W の設定による出力パタン選択により PWM 出力 (デッド・タイム付き) |
| TSON4 端子 | TSG2nCMPm バッファ・レジスタ (m = 3, 4, 7, 8, 11, 12) と 16 ビット・カウンタのコンペア一致と TSG2nPAT1W の設定による出力パタン選択により PWM 出力 (デッド・タイム付き) |
| TSON5 端子 | TSG2nCMPm バッファ・レジスタ (m = 1, 2, 5, 6, 9, 10) と 16 ビット・カウンタのコンペア一致と TSG2nPAT0W の設定による出力パタン選択により PWM 出力 (デッド・タイム付き) |
| TSON6 端子 | TSG2nCMPm バッファ・レジスタ (m = 3, 4, 7, 8, 11, 12) と 16 ビット・カウンタのコンペア一致と TSG2nPAT1W の設定による出力パタン選択により PWM 出力 (デッド・タイム付き) |
| TSON7 端子 | ダイアグ出力もしくは A/D 変換トリガによるパルス出力 |
| TSG2nPTE 信号 | パタン入力の変化によるトグル信号 |

表 23.68 120-DC モード : 割り込み要求

| 割り込み | 機能 |
|-------------------------|--|
| INTTSG2nIm (m = 0 ~ 12) | TSG2nCMPm バッファ・レジスタと 16 ビット・カウンタのコンペア一致 (m = 0 ~ 12) |
| INTTSG2nIER | エラー |
| INTTSG2nIVLY | — |
| INTTSG2nIPEK | 山割り込み (INTTSG2nI0 と同タイミングで発生) |
| INTTSG2nIWN | ワーニング |

表 23.69 120-DC モード : コンペア一致タイミング

| コンペア一致 | タイミング |
|------------------------|--|
| TSG2nCMP0 | 16 ビット・カウンタが TSG2nCMP0 → 0000 _H へ切り替わる時 |
| TSG2nCMPm (m = 1 ~ 12) | 16 ビット・カウンタと TSG2nCMPm 一致検出後 (m = 1 ~ 12) |

表 23.70 120-DC モード : タイマ出力条件別の設定例

| 端子 | 項目 | 出力周期 | 出力デューティ | |
|----------------------|---------------------------------|---------------------------------|--|------|
| | | | 出力条件 | 設定条件 |
| TSOnm (m = 1 ~ 6) | PWM 出力 | (TSG2nCMP0 + 1) × カウン ト・クロック | 「23.11.4.6 120-DC モード の出力パターン一覧」を参照 | — |
| TSOn7 | ダイアグ出力もしくは A/D 変換トリガによるパルス出力 | (TSG2nCMP0 + 1) × カウン ト・クロック | 「23.9 A/D 変換トリガ機 能」を参照 | — |

23.11.4.2 120-DC モードの各種設定

モード設定

TSG2nCTL0.TSG2nMD1-TSG2nMD0 = 11_B に設定することで 120-DC モードになります。

タイマ出力の設定

TSON1-TSON6 端子は、TSG2nIOC0, TSG2nIOC2, TSG2nIOC3 の設定で出力制御を行います。

TSON7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生 of 許可

TSG2nIOC1.TSG2nEOC = 1 にすることで、正相/逆相同時アクティブを検出したときのエラー割り込み (INTTSG2nIER) 発生を許可します。詳細は、「**23.10 エラー/ワーニング割り込み**」を参照してください。

レジスタ書き換えタイミング設定

TSG2nCTL3.TSG2nRMC で、リロード機能付きレジスタに対し、リロード (一斉書き換え) を行います (デフォルト "0" リロード)。リロードを行う場合は、TSG2nCTL4.TSG2nPRE を必ずセット (1) してください。

TSG2nPRE に "0" の場合はリロード・タイミングが発生しません。

A/D 変換トリガ

出力の設定: A/D 変換トリガ 0 (TSTADT0 信号) を設定する場合は、TSG2nCTL5 の TSG2nAT09-TSG2nAT00 で設定を行います。

TSG2nAT09-TSG2nAT00 で、TSG2nDCMP2-TSG2nDCMP0 との一致タイミング (16 ビット・カウンタのアップ・カウント) による A/D 変換トリガ出力の許可/禁止を行います。

A/D 変換トリガ 1 (TSTADT1 信号) を設定する場合は、TSG2nCTL6 の TSG2nAT19-TSG2nAT10 で設定を行います。

16 ビット・カウンタと TSG2nDCMP2-TSG2nDCMP0 の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSTADT0, TSTADT1 信号に対しては、間引き機能が使用できます。TSG2nCTL5 の TSG2nACC01, TSG2nACC00, および TSG2nCTL6 の TSG2nACC11, TSG2nACC10 を使用して、間引き無し / 1 間引き / 3 間引き / 7 間引きの設定を行うことができます。

注 意

- A/D 変換トリガのタイミング・パルスを TSON7 端子に出力する場合は、TSG2nCTL5, TSG2nCTL6 と TSG2nDCMP2-TSG2nDCMP0 の設定を正しく行ってください。
- 120-DC モードでは、谷割り込み (INTTSG2nIVLY) は発生しません。そのため TSG2nCTL5, TSG2nCTL6 の TSG2nAT00, TSG2nAT10 は必ず "0" に設定してください。
- 120-DC モードでは、16 ビット・サブカウンタは動作しません。そのため、TSG2nCTL5, TSG2nCTL6 の TSG2nAT09, TSG2nAT08, TSG2nAT19, TSG2nAT18 は必ず "0" に設定してください。
- 120-DC モードでは、16 ビット・カウンタのダウン・カウント状態は発生しません。そのため TSG2nCTL5, TSG2nCTL6 の TSG2nAT07, TSG2nAT05, TSG2nAT03, TSG2nAT17, TSG2nAT15, TSG2nAT13 は必ず "0" に設定してください。

デッド・タイムの設定

TSG2nDTC0, TSG2nDTC1 でデッド・タイムの設定を行います。

デッド・タイムは、次の式で求めることができます。

$$\text{PCLK} \times \text{TSG2nDTC0}$$

$$\text{PCLK} \times \text{TSG2nDTC1}$$

TSG2nDTC0 は、TSOn2, TSOn4, TSOn6 端子のインアクティブ変化→TSOn1, TSOn3, TSOn5 端子のアクティブ変化までの時間を設定できます。

TSG2nDTC1 は、TSOn1, TSOn3, TSOn5 端子のインアクティブ変化→TSOn2, TSOn4, TSOn6 端子のアクティブ変化までの時間を設定できます。

搬送波の周期

次の式にしたがい TSG2nCMP0 で、搬送波の周期を設定してください。

$$\text{TSG2nCMP0} = (\text{搬送波周期} / \text{カウント} \cdot \text{クロック周期}) - 1$$

デューティ (PWM 幅) の設定

TSG2nCMP1-TSG2nCMP12 で PWM 出力のデューティ設定を行います。コンペア・レジスタの設定範囲は次のようになっています。

$$0000_{\text{H}} \leq \text{TSG2nCMPm} \leq \text{TSG2nCMP0} + 1$$

注 意

TSG2nCMP0 + 1 < TSG2nCMPm, および、TSG2nCMP0 = FFFF_H 時のみ TSG2nCMPm = TSG2nCMP0 + 1 は設定しないでください。(m = 1-12)

出力 PWM の設定

120 度制御を行う場合は、TSOn1, TSOn3, TSOn5 端子の出力制御を TSG2nCMP1, TSG2nCMP2, TSG2nCMP5, TSG2nCMP6, TSG2nCMP9, TSG2nCMP10 で行い、TSOn2, TSOn4, TSOn6 端子の出力制御を TSG2nCMP3, TSG2nCMP4, TSG2nCMP7, TSG2nCMP8, TSG2nCMP11, TSG2nCMP12 で行います。PWM 周期 (TSG2nCMP0) に対して、TSG2nCMP1-TSG2nCMP12 レジスタでデューティを設定可能です。デューティ 0%にする場合は TSG2nCMP1-TSG2nCMP12 レジスタに“0000_H”を設定し、デューティ 100%にする場合は、TSG2nCMP1-TSG2nCMP12 レジスタに TSG2nCMP0 + 1 の値を設定する必要があります。これにより、チョッピング出力制御、矩形波出力制御が可能となります。

23.11.4.3 120-DC モードの制御方式

120-DC の制御方式は次のとおりです。

| 制御方式 | 機能 |
|--------------|--|
| ソフトウェア出力制御方式 | TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 の設定をソフトウェアにより出力パターンを切り替えます |
| パターン切り替え方式 | TAPTSn0-TAPTSn2 のパタン入力信号により直接出力パターンを切り替えます |

ソフトウェア出力制御方式の設定

TSG2nOPT0.TSG2nSTE = 0 にすると、ソフトウェア出力制御により出力パターンを切り替えることができます。TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 の設定により TSO_n1-TSO_n6 端子の出力を切り替えます。

動作開始時の出力順序は TSG2nOPT0.TSG2nIDC で設定します。出力パターンは、TSG2nOPT0.TSG2nPSC で設定します。

ソフトウェア出力制御方式の動作

ソフトウェアにより設定された TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 により、TSO_n1-TSO_n6 端子の PWM 出力 (TSG2nCMP1-TSG2nCMP12 値で決定される PWM 出力) を選択します。デッド・タイムの制御は、各相の信号が立ち下がったタイミングでデッド・タイム・カウンタが動作し、デッド・タイムを挿入します。

16 ビット・カウンタは、TSG2nCMP0 に設定した搬送周期でカウントを行います。16 ビット・カウンタは、16 ビット・カウンタと TSG2nCMP0 の一致、もしくは、TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 のライト時にカウンタ・クリアされます。

この方式では、出力パターン (TSG2nSPC2-TSG2nSPC0)、電流方向を制御するビット (TSG2nOPT0.TSG2nIDC)、順序方向制御ビット (TSG2nOPT0.TSG2nPSC) の情報を使用してデコードされたパターンを出力します。図 23.91 はソフトウェア出力制御による出力パターンが変化した場合のタイマ出力を示しています。

また、動作開始 (TSG2nTRG0.TSG2nTS = 1) した直後は、TSG2nSPC2-TSG2nSPC0 の出力パターン、TSG2nIDC、TSG2nPSC (TSG2nOPT0.TSG2nPSS = 1) で設定したパターンを出力します。

パターン切り替え方式の設定

TSG2nOPT0.TSG2nSTE = 1 にすると、パターン切り替え方式となります。TAPTSn2-TAPTSn0 端子の変化タイミングで TSO_n1-TSO_n6 端子の出力を切り替えます。

動作開始時の出力順序は TSG2nOPT0.TSG2nIDC で設定します。初期出力パターンは、TSG2nOPT0.TSG2nPSC で設定します。ただし、回転方向が決定したあと (TSG2nSTR1.TSG2nTSF に値がセットされたあと) は、TSG2nPSC の設定は無効になります。

パターン切り替え方式の動作

TAPTSn2-TAPTSn0 端子 (ホール・センサからの 3 入力) に対してレベル検出を行い、レベル検出した後の信号をデコードします。このデコード結果を判断して、TSO_n1-TSO_n6 端子の PWM 出力 (TSG2nCMP1-TSG2nCMP12 値で決定される PWM 出力) を選択します。デッド・タイムの制御は、各相の信号が立ち下がったタイミングでデッド・タイム・カウンタが動作し、デッド・タイムを挿入します。

16ビット・カウンタは、TSG2nCMP0に設定した搬送周期でカウントを行います。16ビット・カウンタは、16ビット・カウンタとTSG2nCMP0の一致、もしくは、入力パタン (TAPTSn2-TAPTSn0 端子) の変化時にカウンタ・クリアされます。

この方式では、入力パタン (TAPTSn2-TAPTSn0 端子)、電流方向を制御するビット (TSG2nOPT0.TSG2nIDC)、順序方向制御ビット (TSG2nOPT0.TSG2nPSC) の情報を使用してデコードされたパタンを出力します。図 23.74 ~ 図 23.77 は TAPTSn2-TAPTSn0 端子が変化した場合のタイマ出力を示しています。入力パタンに異常が発生し、入力パタン 1 から入力パタン 4 に切り替わった場合は、入力パタンに対応した出力パタンに切り替わります。

また、動作開始 (TSG2nTRG0.TSG2nTS = 1) した直後は、TAPTSn2- TAPTSn0 端子の入力レベル、TSG2nIDC, TSG2nPSC (TSG2nOPT0.TSG2nPSS = 1) で設定したパタンを出力します。TSG2nTSF の値が決定したあとは、TSG2nPSC の代わりに TSG2nTSF で出力パタンを決定します。

注 意

3相パルス入力信号を TAPTSn2-TAPTSn0 端子に接続する時に、3相パルス入力値と、TSOn1-TSOn6 端子から出力するパタンが期待する条件であることを確認してください。期待する条件と異なる場合は、3相パルス入力信号と TAPTSn2-TAPTSn0 端子の接続を変更してください。

23.11.4.4 120-DC モードのタイマ出力

120-DC モードでは、PWM 出力を TSG2nPAT0W, TSG2nPAT1W, および、TSG2nCMP1-TSG2nCMP12 で制御します。TSON1, TSON3, TSON5 端子の出力では TSG2nPAT0W と TSG2nCMP1, TSG2nCMP2, TSG2nCMP5, TSG2nCMP6, TSG2nCMP9, TSG2nCMP10 を設定します。TSON2, TSON4, TSON6 端子の出力では TSG2nPAT1W と TSG2nCMP3, TSG2nCMP4, TSG2nCMP7, TSG2nCMP8, TSG2nCMP11, TSG2nCMP12 を設定します。

PWM の出力制御では、TSON1, TSON3, TSON5 端子および TSON2, TSON4, TSON6 端子の出力パターンを各 8 種類選択できます。

表 23.71 TSG2nPAT0W レジスタの設定値と出力制御

| PATmT 値 | 出力制御 |
|---------|-------------------------|
| 000 | ロウ・レベル固定 |
| 001 | TSG2nCMP1 で設定した PWM 出力 |
| 010 | TSG2nCMP2 で設定した PWM 出力 |
| 011 | TSG2nCMP5 で設定した PWM 出力 |
| 100 | TSG2nCMP6 で設定した PWM 出力 |
| 101 | TSG2nCMP9 で設定した PWM 出力 |
| 110 | TSG2nCMP10 で設定した PWM 出力 |
| 111 | ハイ・レベル固定 |

(m = 0, 1, 2, 3, 4, 5)

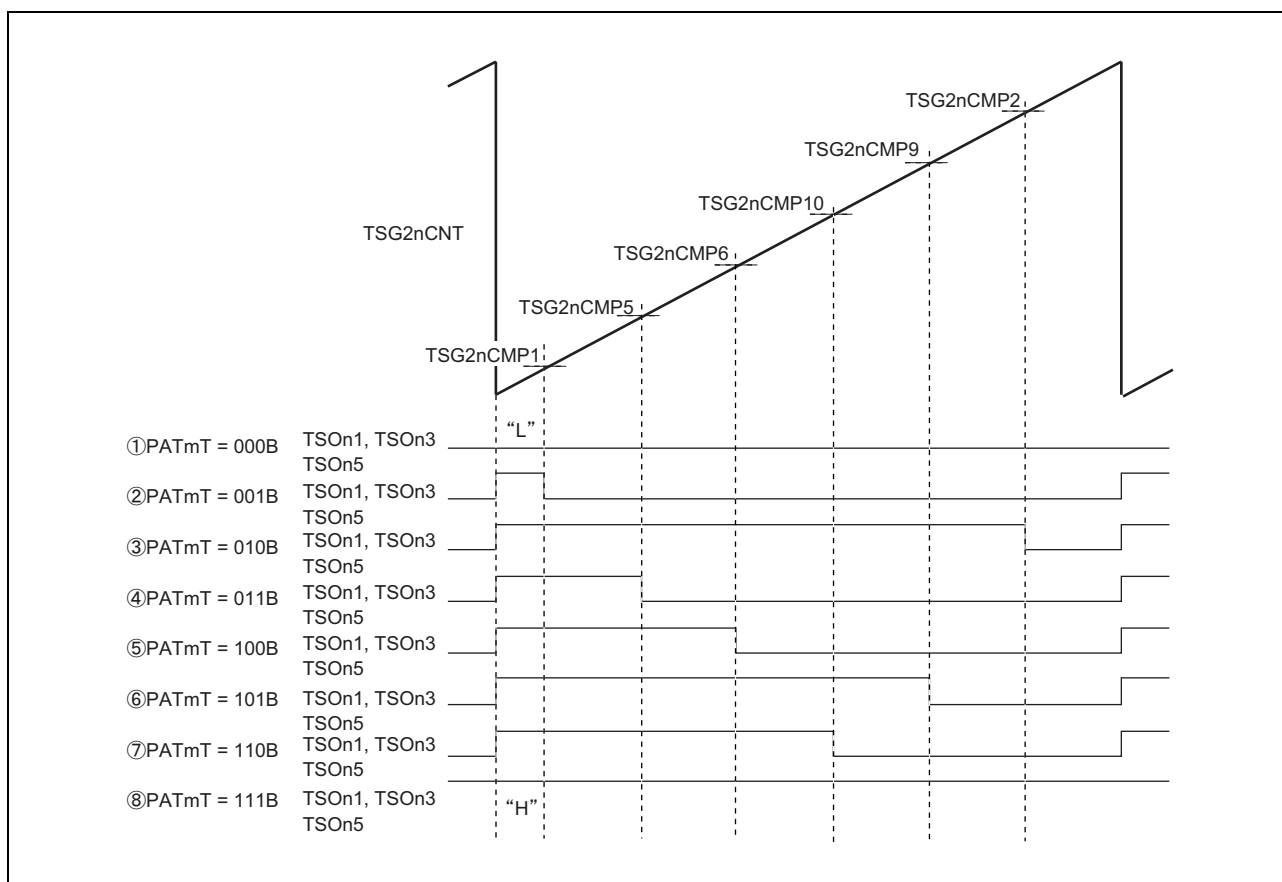


図 23.72 出力パターン別の TSON1, TSON3, TSON5 端子出力

表 23.72 TSG2nPAT1W レジスタの設定値と出力制御

| PATmB 値 | 出力制御 |
|---------|-------------------------|
| 000 | ロウ・レベル固定 |
| 001 | TSG2nCMP3 で設定した PWM 出力 |
| 010 | TSG2nCMP4 で設定した PWM 出力 |
| 011 | TSG2nCMP7 で設定した PWM 出力 |
| 100 | TSG2nCMP8 で設定した PWM 出力 |
| 101 | TSG2nCMP11 で設定した PWM 出力 |
| 110 | TSG2nCMP12 で設定した PWM 出力 |
| 111 | ハイ・レベル固定 |

(m = 0, 1, 2, 3, 4, 5)

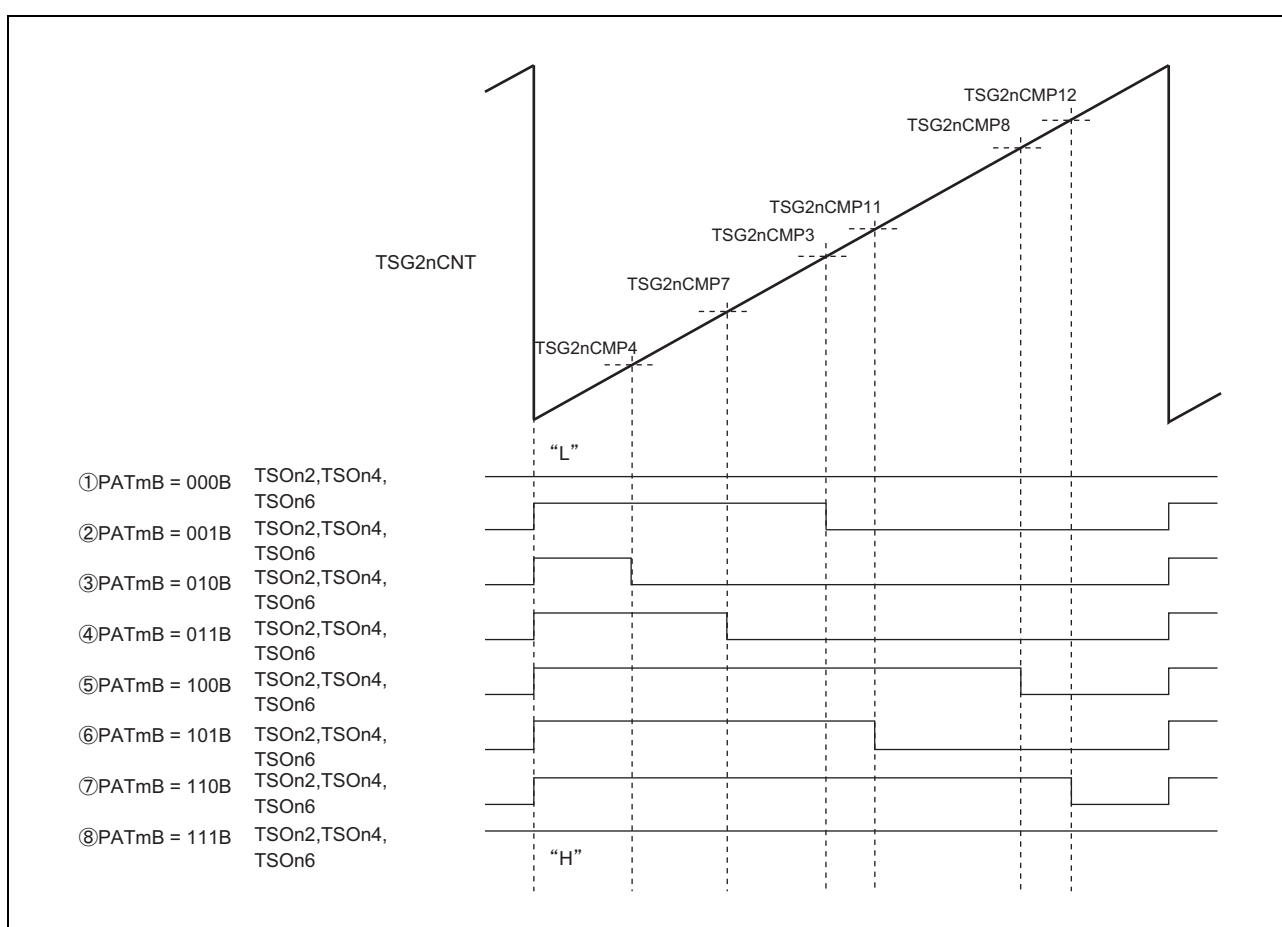


図 23.73 出力パターン別の TSON2, TSON4, TSON6 端子出力

23.11.4.5 120-DC モードの動作

図 23.74 ~ 図 23.77 に、120-DC モードの動作例を示します。

TSON1-TSON6 端子は TAPTSn2-TAPTSn0 端子の入力レベルの変化タイミングを検出し、出力パターンを変化させます。16 ビット・カウンタはのこぎり波動作を行い、TSG2nCMP0-TSG2nCMP12 による PWM 出力を行います。16 ビット・カウンタは、TSG2nCMP0 レジスタ値との一致、もしくは、TAPTSn2-TAPTSn0 端子の変化を検出する毎に 0000_H にクリアされます。また、タイマ出力パターンは、TAPTSn2-TAPTSn0 端子の変化を検出する毎に切り替わります。

備考

PAT0T-PAT5T、PAT0B-PAT5B は、それぞれ TSG2nCMP1-TSG2nCMP12 レジスタ設定の PWM 動作を示しています。

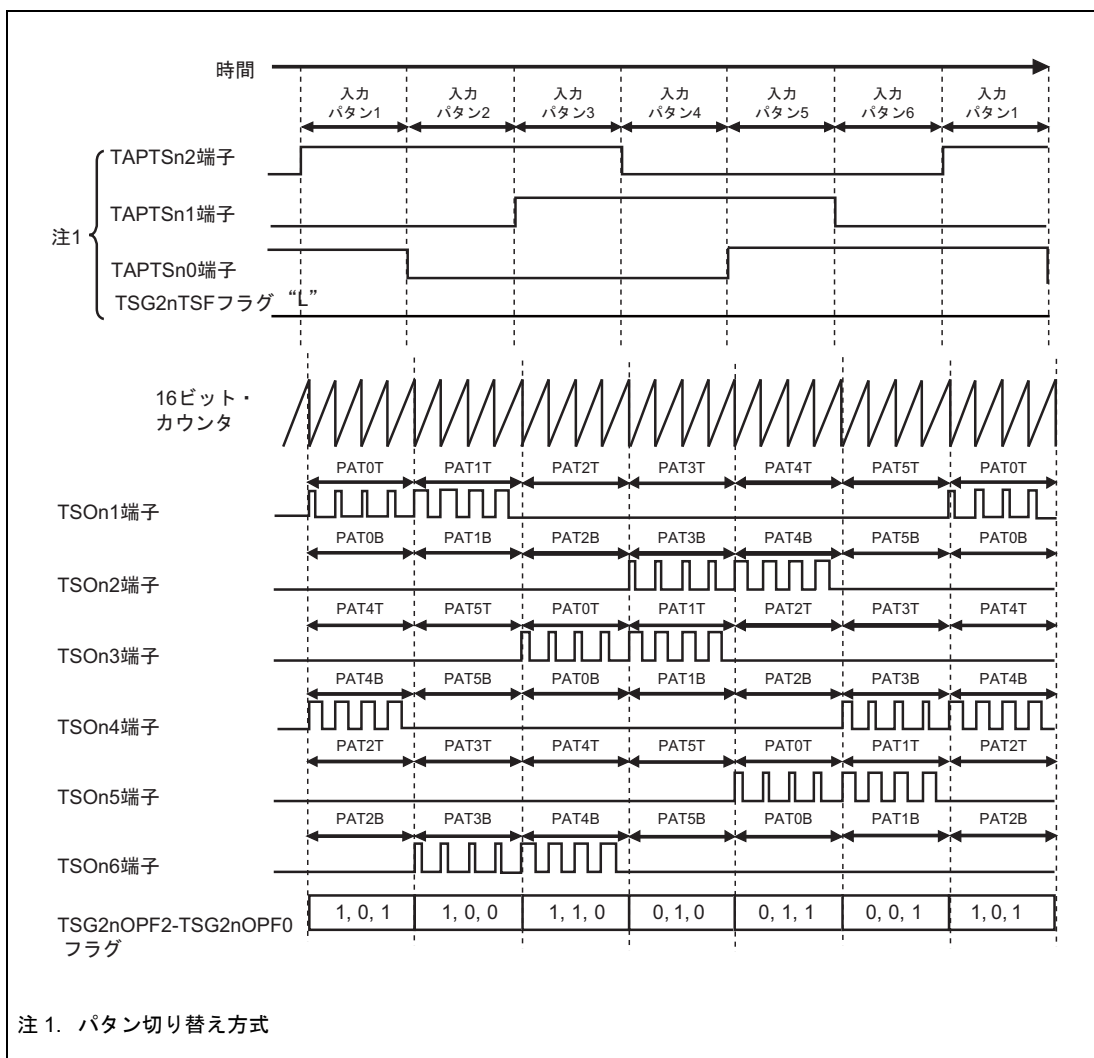


図 23.74 120-DC モード動作例 (正転 : TSG2nSTR1.TSG2nTSF = 0, TSG2nOPT0.TSG2nIDC = 0)

備考

TSG2nOPT0.TSG2nSOC = 0

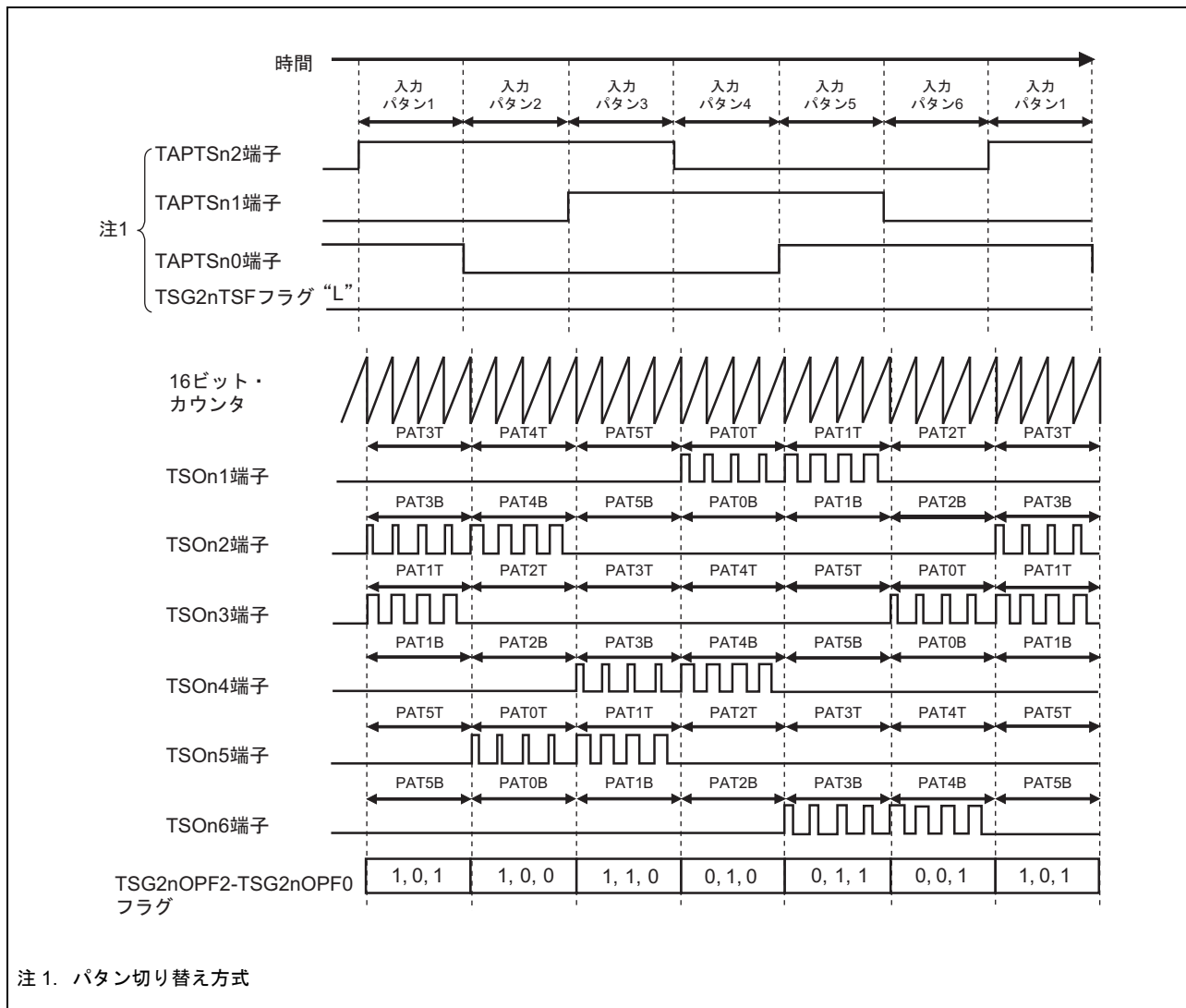


図 23.75 120-DC モード動作例 (正転 : TSG2nSTR1.TSG2nTSF = 0、TSG2nOPT0.TSG2nIDC = 1)

備考

TSG2nOPT0.TSG2nSOC = 0

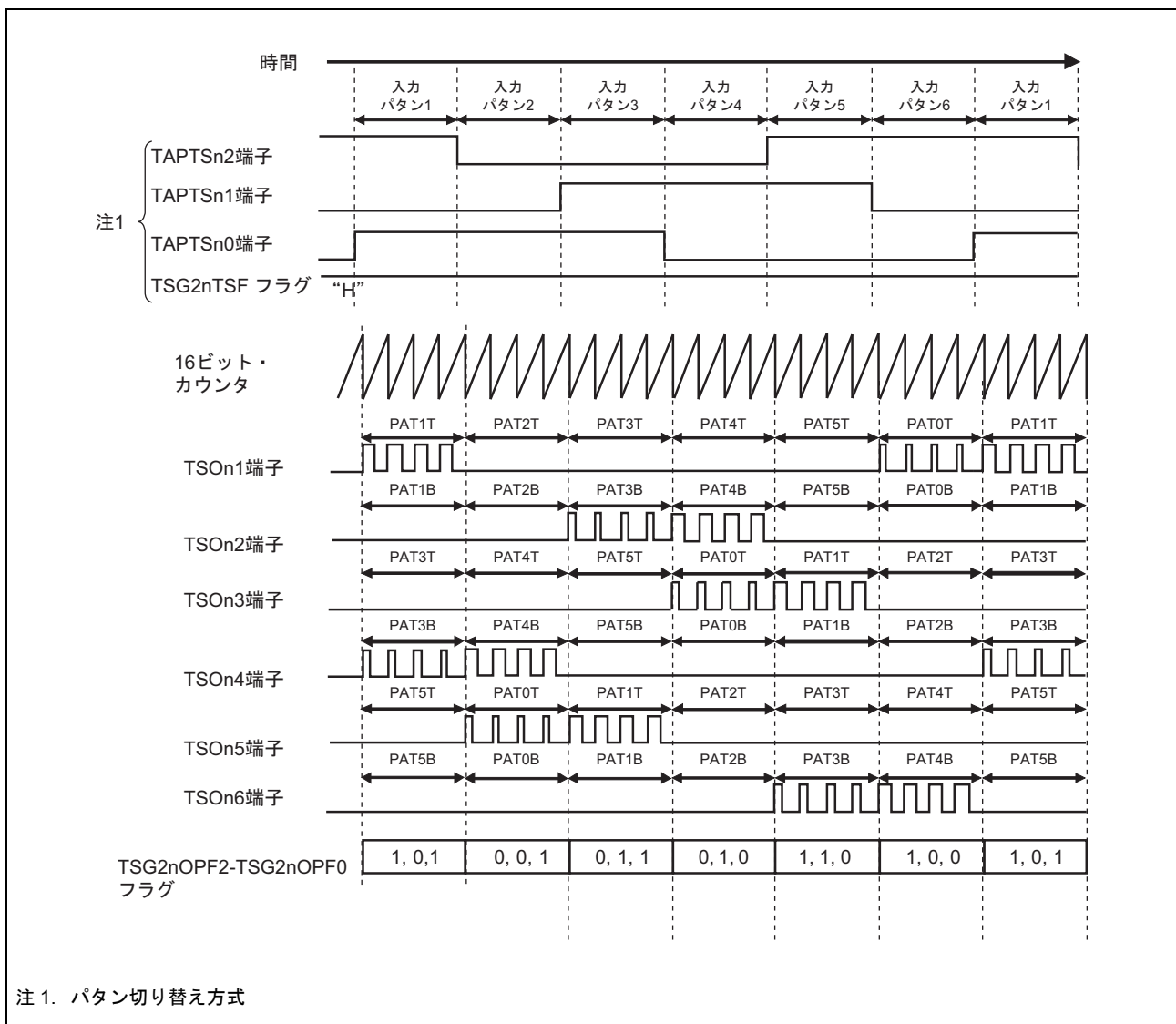


図 23.76 120-DC モード動作例 (逆転 : TSG2nSTR1.TSG2nTSF = 1、
TSG2nOPT0.TSG2nIDC = 0)

備考

TSG2nOPT0.TSG2nSOC = 0

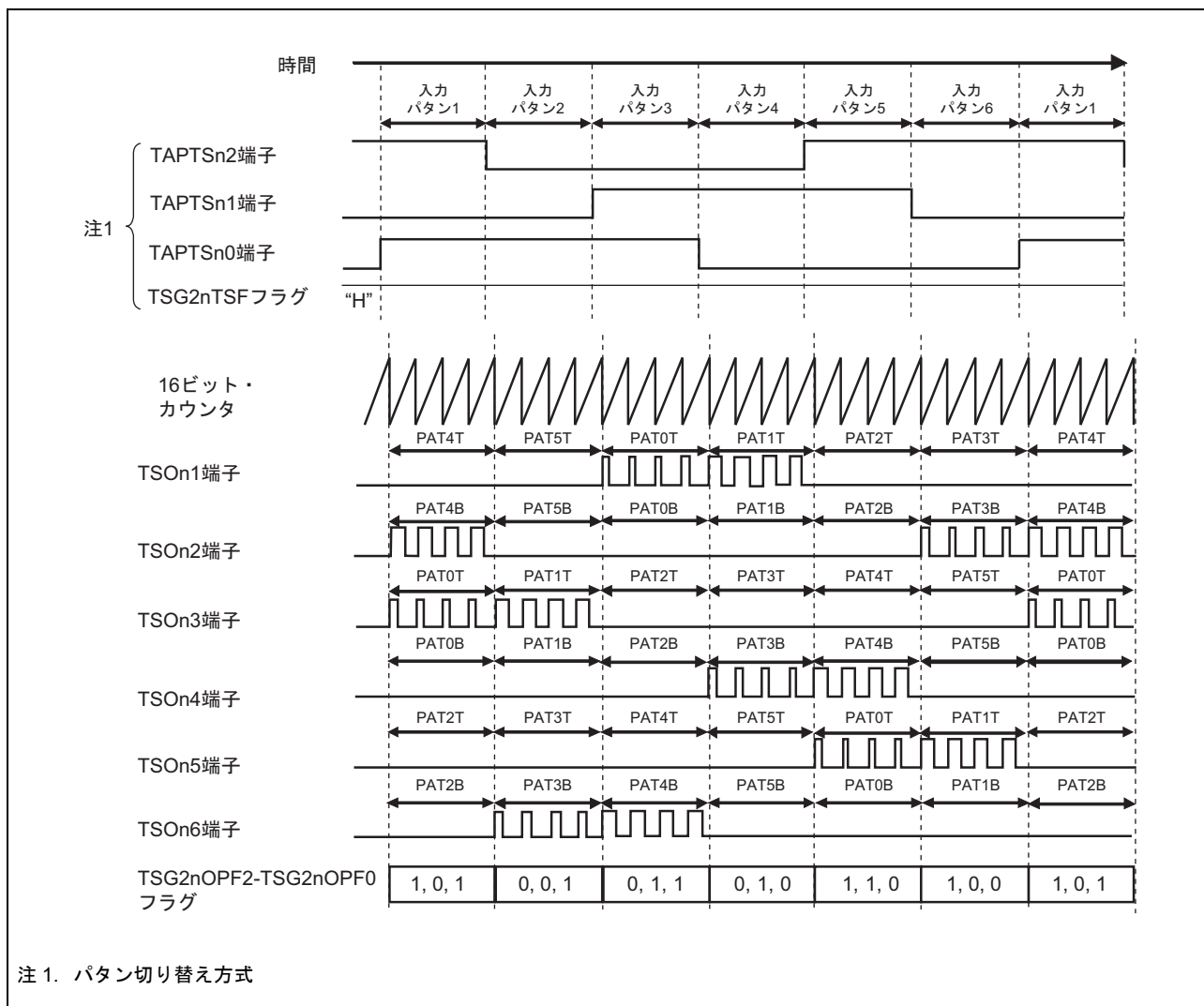


図 23.77 120-DC モード動作例 (逆転 : TSG2nSTR1.TSG2nTSF = 1、TSG2nOPT0.TSG2nIDC = 1)

備考

TSG2nOPT0.TSG2nSOC = 0

23.11.4.6 120-DC モードの出力パターン一覧

120-DC モードにおいて、出力パターンは回転方向と TSG2nOPT0.TSG2nIDC によって決定します。

- 電流方向 正 (TSG2nIDC = 0)
パターン順序方向 正 (TSG2nTSF = 0 or TSG2nPSC = 0)

パターン切り替え順序

| 出力端子 | TSG2nOPT1.TSG2nSPC2-TSG2nSPC0/TSG2nSTR1.TSG2nOPF2-TSG2nOPF0 | | | | | | | |
|-------|---|-------|-------|-------|-------|-------|-----|-----|
| | 101 | 100 | 110 | 010 | 011 | 001 | 000 | 111 |
| TSOn1 | PAT0T | PAT1T | PAT2T | PAT3T | PAT4T | PAT5T | Low | Low |
| TSOn2 | PAT0B | PAT1B | PAT2B | PAT3B | PAT4B | PAT5B | Low | Low |
| TSOn3 | PAT4T | PAT5T | PAT0T | PAT1T | PAT2T | PAT3T | Low | Low |
| TSOn4 | PAT4B | PAT5B | PAT0B | PAT1B | PAT2B | PAT3B | Low | Low |
| TSOn5 | PAT2T | PAT3T | PAT4T | PAT5T | PAT0T | PAT1T | Low | Low |
| TSOn6 | PAT2B | PAT3B | PAT4B | PAT5B | PAT0B | PAT1B | Low | Low |

- 電流方向 逆 (TSG2nIDC = 1)
パターン順序方向 正 (TSG2nTSF = 0 or TSG2nPSC = 0)

パターン切り替え順序

| 出力端子 | TSG2nOPT1.TSG2nSPC2-TSG2nSPC0/TSG2nSTR1.TSG2nOPF2-TSG2nOPF0 | | | | | | | |
|-------|---|-------|-------|-------|-------|-------|-----|-----|
| | 101 | 100 | 110 | 010 | 011 | 001 | 000 | 111 |
| TSOn1 | PAT3T | PAT4T | PAT5T | PAT0T | PAT1T | PAT2T | Low | Low |
| TSOn2 | PAT3B | PAT4B | PAT5B | PAT0B | PAT1B | PAT2B | Low | Low |
| TSOn3 | PAT1T | PAT2T | PAT3T | PAT4T | PAT5T | PAT0T | Low | Low |
| TSOn4 | PAT1B | PAT2B | PAT3B | PAT4B | PAT5B | PAT0B | Low | Low |
| TSOn5 | PAT5T | PAT0T | PAT1T | PAT2T | PAT3T | PAT4T | Low | Low |
| TSOn6 | PAT5B | PAT0B | PAT1B | PAT2B | PAT3B | PAT4B | Low | Low |

備 考

1. PAT0T - PAT5T : TSG2nCMP1W, TSG2nCMP5W, TSG2nCMP9W による PWM 出力を示します。
2. PAT0B - PAT5B : TSG2nCMP3W, TSG2nCMP7W, TSG2nCMP11W による PWM 出力を示します。

- 電流方向 正 (TSG2nIDC = 0)
パターン順序方向 逆 (TSG2nTSF = 1 or TSG2nPSC = 1)

パターン切り替え順序

| 出力端子 | TSG2nOPT1.TSG2nSPC2-TSG2nSPC0/TSG2nSTR1.TSG2nOPF2-TSG2nOPF0 | | | | | | | |
|-------|---|-------|-------|-------|-------|-------|-----|-----|
| | 101 | 100 | 110 | 010 | 011 | 001 | 000 | 111 |
| TSOn1 | PAT1T | PAT0T | PAT5T | PAT4T | PAT3T | PAT2T | Low | Low |
| TSOn2 | PAT1B | PAT0B | PAT5B | PAT4B | PAT3B | PAT2B | Low | Low |
| TSOn3 | PAT3T | PAT2T | PAT1T | PAT0T | PAT5T | PAT4T | Low | Low |
| TSOn4 | PAT3B | PAT2B | PAT1B | PAT0B | PAT5B | PAT4B | Low | Low |
| TSOn5 | PAT5T | PAT4T | PAT3T | PAT2T | PAT1T | PAT0T | Low | Low |
| TSOn6 | PAT5B | PAT4B | PAT3B | PAT2B | PAT1B | PAT0B | Low | Low |

- 電流方向 逆 (TSG2nIDC = 1)
パターン順序方向 逆 (TSG2nTSF = 1 or TSG2nPSC = 1)

パターン切り替え順序

| 出力端子 | TSG2nOPT1.TSG2nSPC2-TSG2nSPC0/TSG2nSTR1.TSG2nOPF2-TSG2nOPF0 | | | | | | | |
|-------|---|-------|-------|-------|-------|-------|-----|-----|
| | 101 | 100 | 110 | 010 | 011 | 001 | 000 | 111 |
| TSOn1 | PAT4T | PAT3T | PAT2T | PAT1T | PAT0T | PAT5T | Low | Low |
| TSOn2 | PAT4B | PAT3B | PAT2B | PAT1B | PAT0B | PAT5B | Low | Low |
| TSOn3 | PAT0T | PAT5T | PAT4T | PAT3T | PAT2T | PAT1T | Low | Low |
| TSOn4 | PAT0B | PAT5B | PAT4B | PAT3B | PAT2B | PAT1B | Low | Low |
| TSOn5 | PAT2T | PAT1T | PAT0T | PAT5T | PAT4T | PAT3T | Low | Low |
| TSOn6 | PAT2B | PAT1B | PAT0B | PAT5B | PAT4B | PAT3B | Low | Low |

備 考

1. PAT0T - PAT5T : TSG2nCMP1W, TSG2nCMP5W, TSG2nCMP9W による PWM 出力を示します。
2. PAT0B - PAT5B : TSG2nCMP3W, TSG2nCMP7W, TSG2nCMP11W による PWM 出力を示します。

23.11.4.7 120-DC モードの動作開始タイミング

パターン切り替え制御の場合は、TAPTSn2-TAPTSn0 端子のパターンは検出できますが、回転方向 (TSG2nSTR1.TSG2nTSF) が決定できません。そのため、TSG2nTE = 0 のときに TSG2nPSC に回転方向をセットしてください。TSG2nPSC の設定値が TSG2nTSF にロードされ、この値を初期パターン設定に使用できます。

- TSG2nOPT0.TSG2nSOC = 0, TSG2nPSC = 0, TSG2nIDC = 0

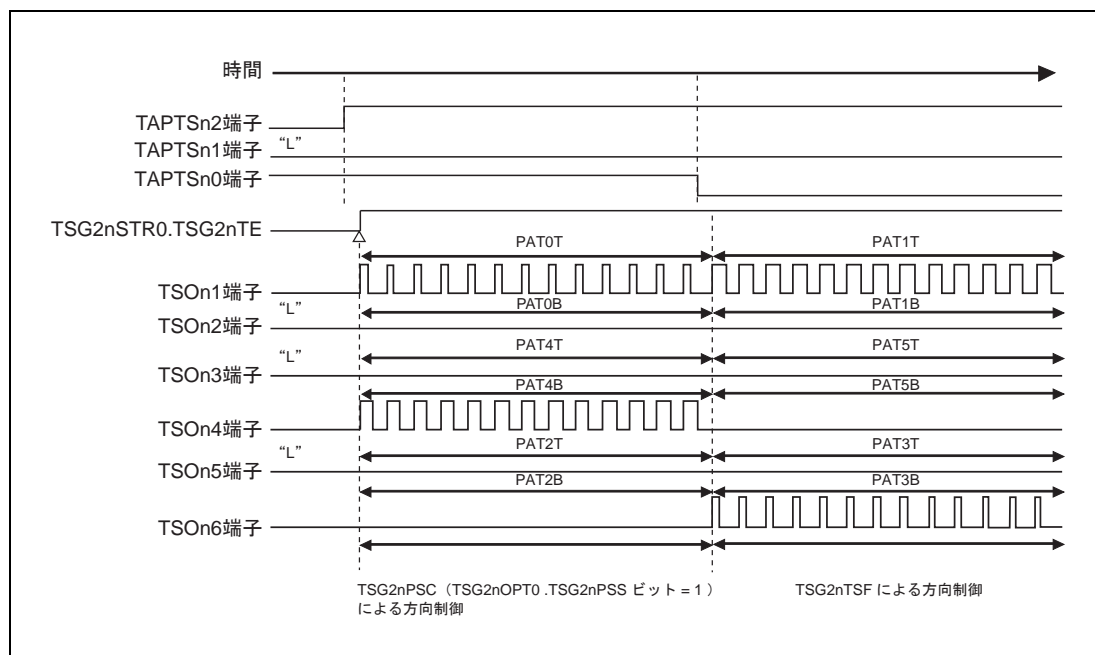


図 23.78 正転時のタイマ出力開始時の制御 (正常なパターンが入力された場合)

- TSG2nOPT0.TSG2nSOC = 0, TSG2nPSC = 1, TSG2nIDC = 1

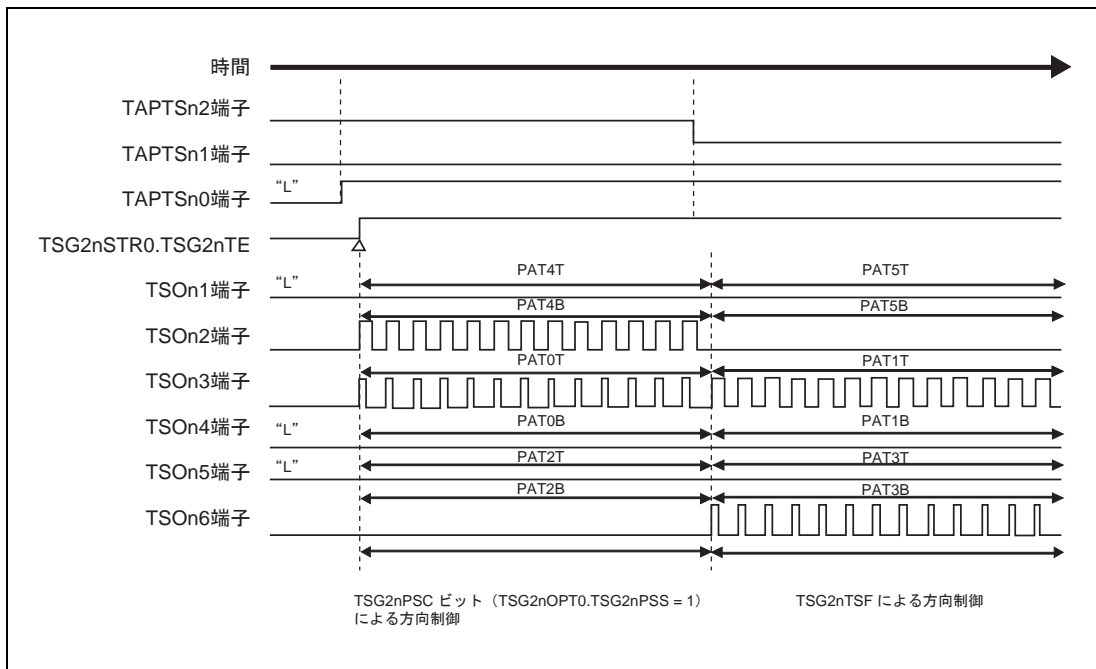


図 23.79 逆転時のタイマ出力開始時の制御 (正常なパターンが入力された場合)

- TSG2nOPT0.TSG2nSOC = 0, TSG2nPSC = 0, TSG2nIDC = 0

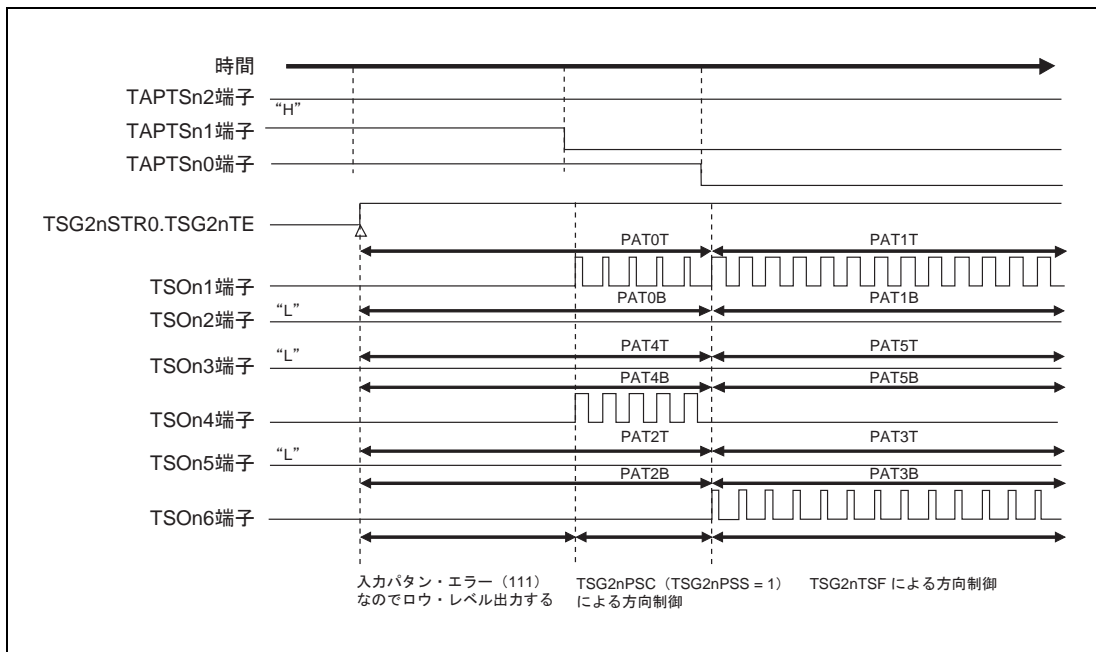


図 23.80 正転時のタイマ出力開始時の制御 (エラー・パターンが入力された場合)

- TSG2nOPT0.TSG2nSOC = 0, TSG2nPSC = 1, TSG2nIDC = 1

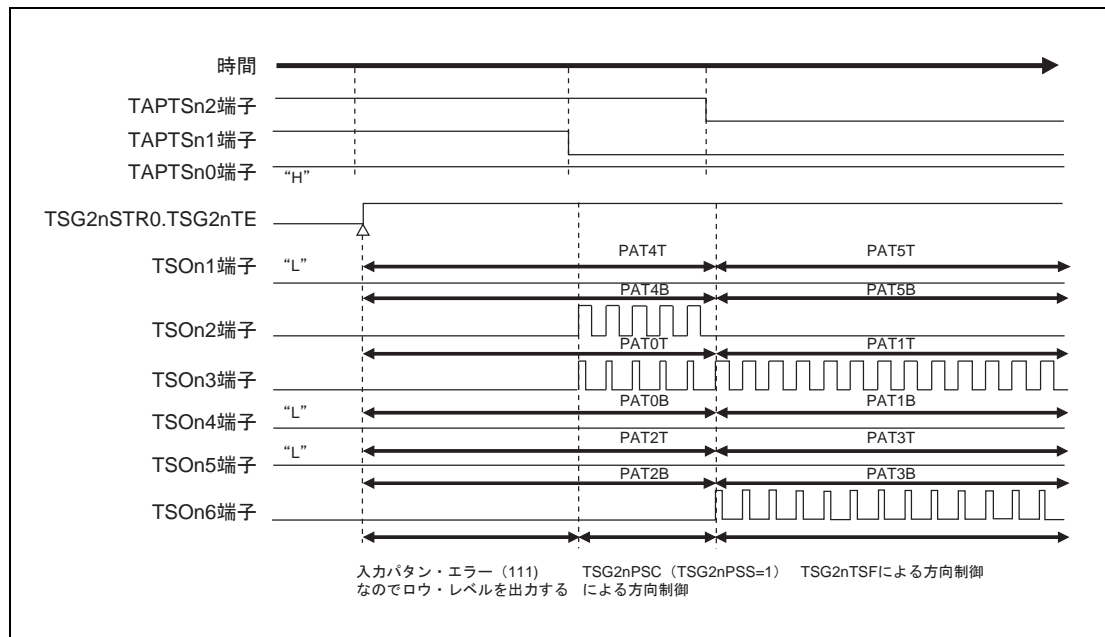


図 23.81 逆転時のタイマ出力開始時の制御 (エラー・パターンが入力された場合)

23.11.4.8 120-DC モードの出力切り替えタイミング

120-DC モードでは、**図 23.82**～**図 23.85** に示すように外部からの出力パタン切り替えタイミング (TAPTSn2-TAPTSn0 端子) は 16 ビット・カウンタ動作と関係なく入力されます。出力を切り替えるタイミングは、外部から入力された切り替えタイミングで、16 ビット・カウンタをクリアして新しいパタンにて出力します。

パタン切り替え方式にて、1 周期内に TAPTSn2-TAPTSn0 端子の変化が連続した場合、周期一致直前でエッジ検出した値が採用され次の周期から出力する PWM に反映されます。

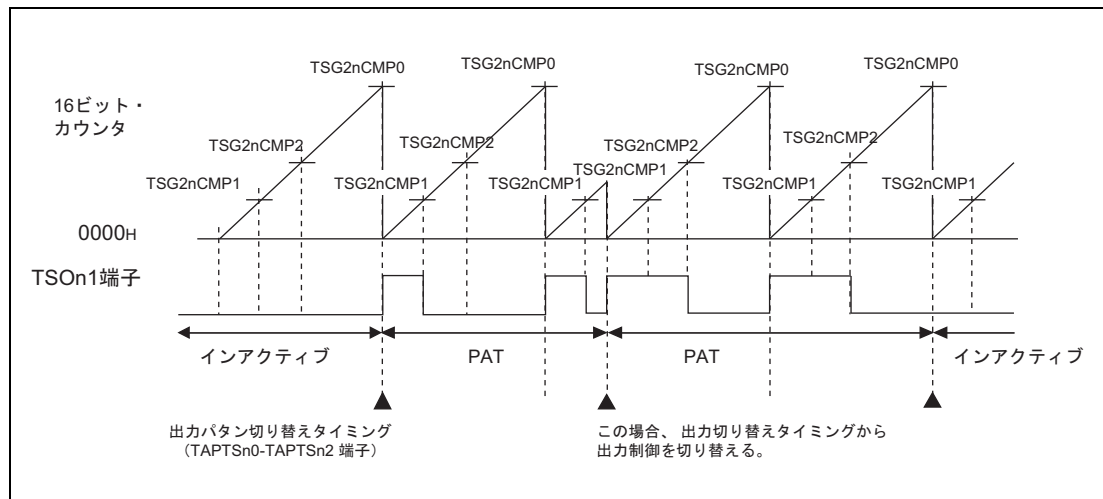


図 23.82 出力切り替え例 (TAPTSn2-TAPTSn0 端子信号トリガ入力)

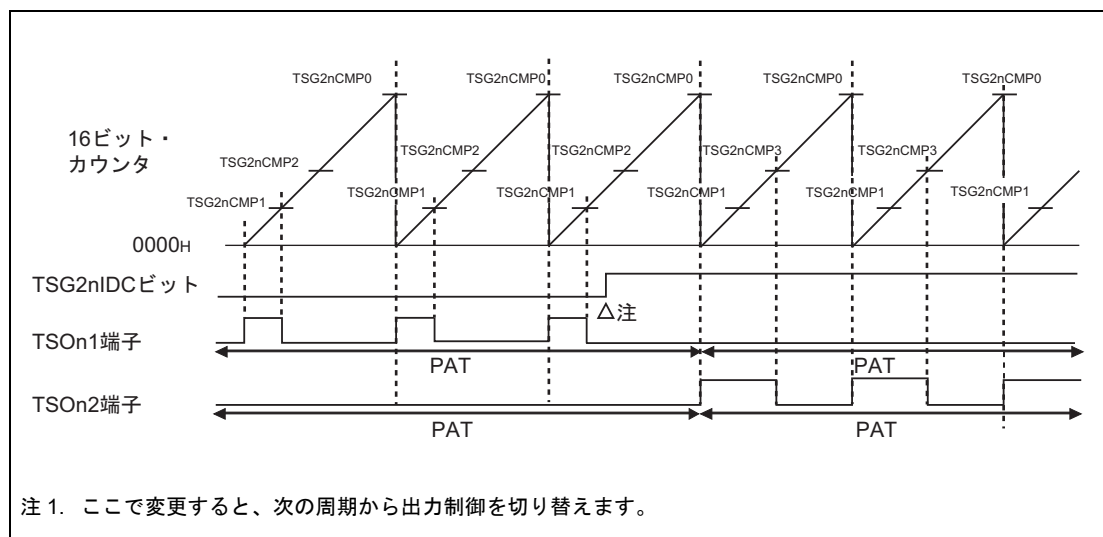


図 23.83 出力切り替え例 (TSG2nOPT0.TSG2nIDC での切り替え)

備考

TSG2nIDC ビットで出力制御を切り替え時、次の周期までに TAPTSn2-TAPTSn0 端子の変化が発生した場合、16 ビット・カウンタがクリアされ、切り替えた出力制御になります。

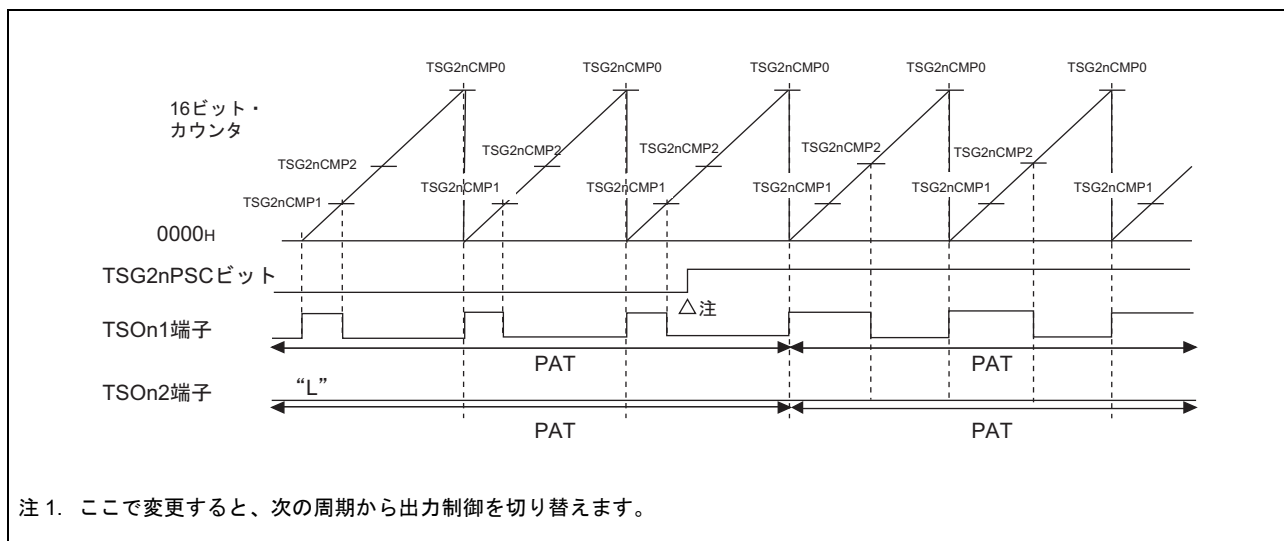


図 23.84 出力切り替え例 (TSG2nOPT0.TSG2nPSC での切り替え)

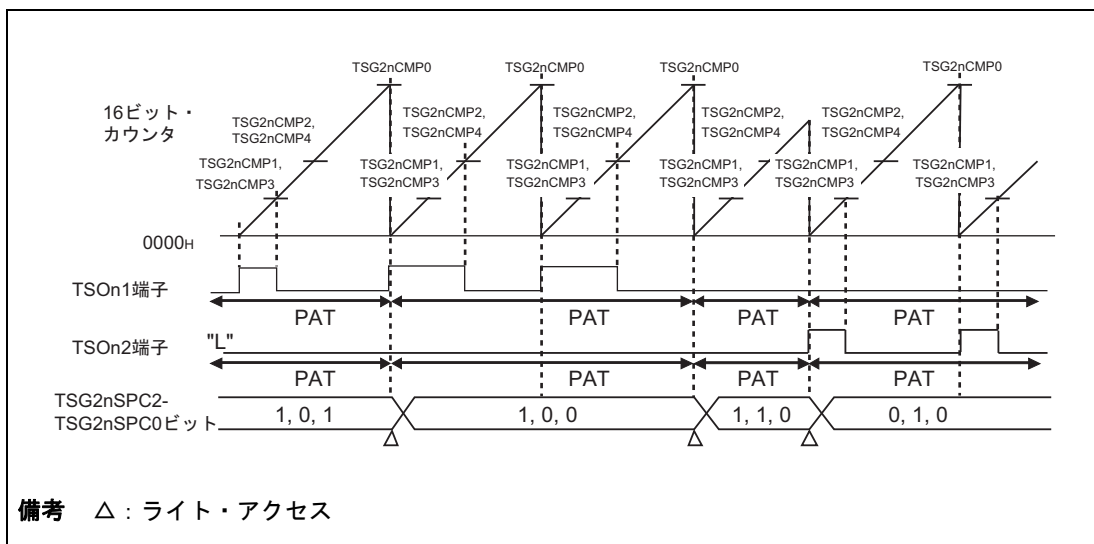


図 23.85 出力切り替え例 (TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 での切り替え)

23.11.4.9 120-DC モードのコンペア・レジスタ書き換えタイミング

次に、TSG2nCMP1 をリロード（一斉書き換え）した場合の動作例を示します。

図 23.86 は、TSG2nCMP1 レジスタを書き換えた場合の出力例を示しています。TSG2nCMP1 を変更後は次のリロード・タイミングまで TSG2nCMP1 バッファ・レジスタにデータが転送されない（変更したデータが有効にならない）ため、設定どおりの出力波形を得ることができます。ただし、リロードが保留されている期間（TSG2nCMP1 レジスタを変更してから、一斉書き換えが実行されるまでの期間）に、再度 TSG2nCMP1 レジスタに書き込まないでください。必ずリロード要求フラグ（TSG2nRSF）をリードし、0であることを確認してから TSG2nCMP1 レジスタに書き込んでください。

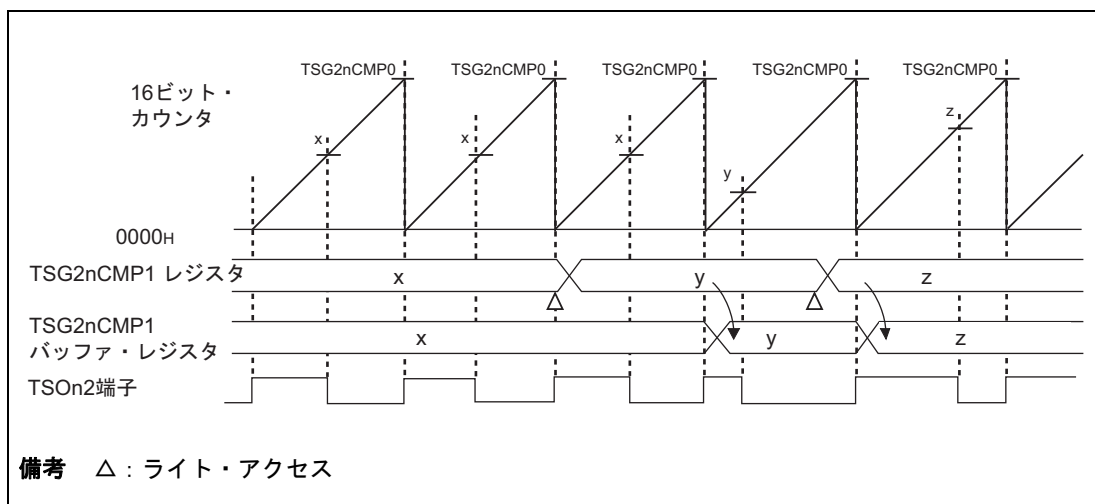


図 23.86 TSG2nCMP1 レジスタを書き換えた時の出力例

23.11.4.10 120-DC モードのデッド・タイム制御

120-DC モードにおいて、各相の立ち下がりデッド・タイム制御が動作し、デッド・タイムが付加されます。

正相の立ち下がりでは、TSG2nDTC1 レジスタに設定したデッド・タイムが挿入され、逆相の立ち下がりでは TSG2nDTC0 レジスタに設定したデッド・タイムが挿入されます。

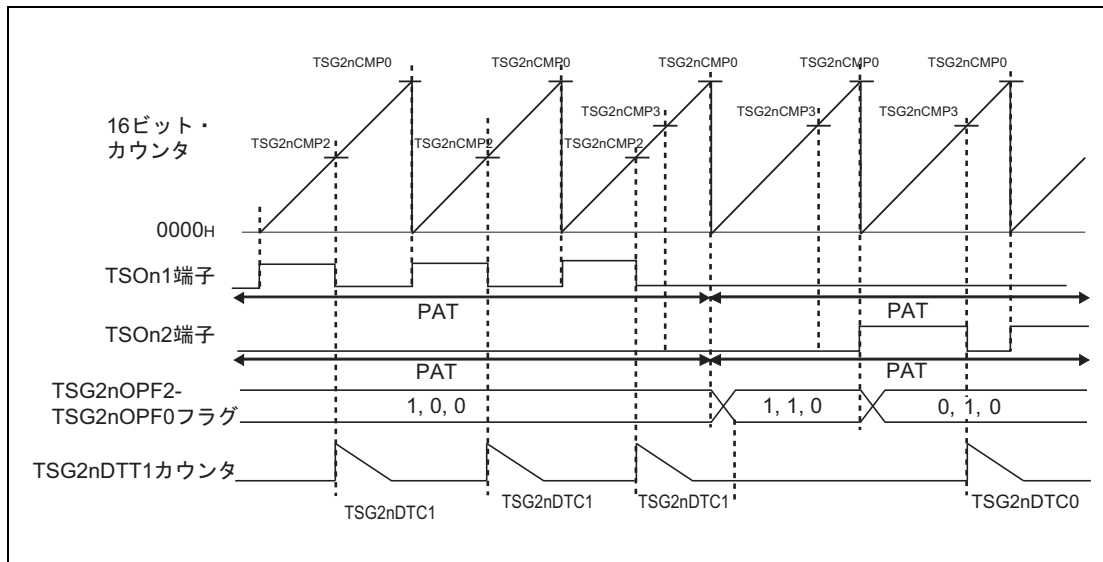


図 23.87 出力切り替え例

注意

デッド・タイムを制御する方法により、タイマ出力に影響を与える場合があります。主に次の条件ではデッド・タイム制御のため、タイマ出力が設定どおりのアクティブレベル幅を得られない可能性があります。

- パターン切り替え方式において、入力パターンにノイズが発生した場合
- パターン切り替え方式において、入力パターンの変化がPWM周期より早くなった場合
- 切り替え方式を変更した場合
- 電流方向を制御するビット (TSG2nOPT0.TSG2nIDC) を変更した場合
- ソフトウェア出力制御機能を使用した場合

23.11.4.11 120-DC モード時、TAPTSn2-TAPTSn0 端子にノイズが発生した場合の動作

TAPTSn2-TAPTSn0 端子は、ブラシレス DC モータのホール・センサの入力を想定しています。システムによっては、TAPTSn2-TAPTSn0 端子にノイズが発生する場合が想定されます。ノイズが発生した場合の動作に関して説明します。

システム製品設計においてはホール・センサと TAPTSn2-TAPTSn0 端子間に必ずノイズ・フィルタ回路を挿入してください。

図 23.89 ではパターン切り替え方式で動作中に、TAPTSn2-TAPTSn0 端子にノイズが発生した場合に関して説明します。

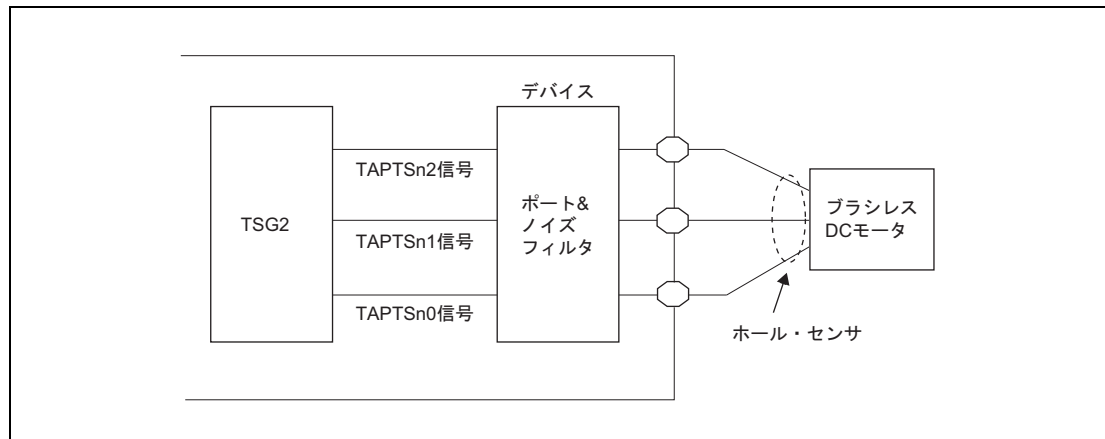


図 23.88 ノイズ・フィルタ回路接続例

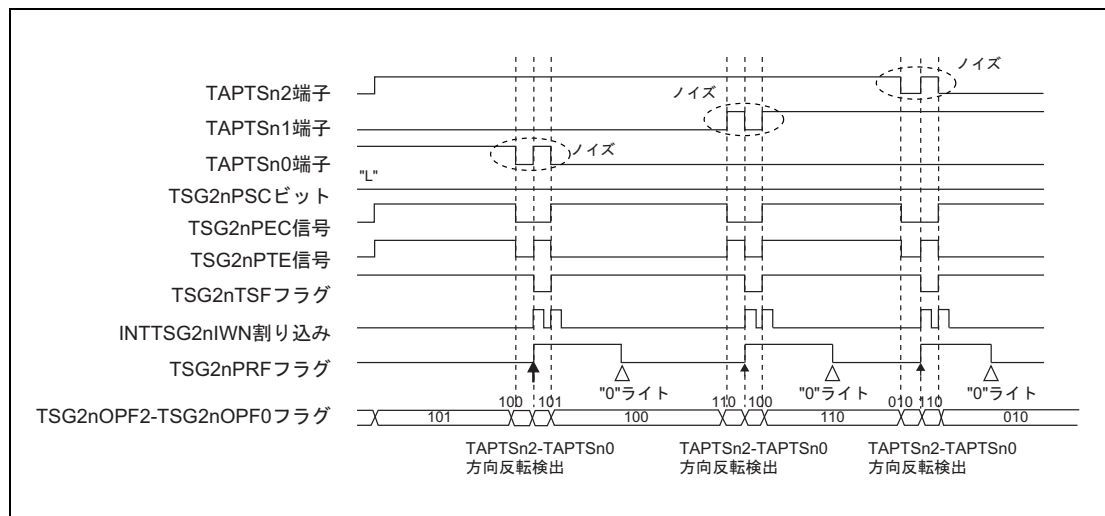


図 23.89 TAPTSn2-TAPTSn0 端子のレベル変化時、ノイズ発生例 (パターン切り替え方式)

(1) 入力パターン変化検出信号 (TSG2nPTE) の変化タイミング

- TSG2nPTE 信号は、入力パターン (TAPTSn2-TAPTSn0 端子) が変化したタイミングでトグルします。

注 意

TSG2nOPT0 レジスタの TSG2nPSC (TSG2nOPT0 レジスタの TSG2nPSS = 1) で必ず回転方向を指定してください。

(TSG2nPSC = 0 の場合)

| | | 変化後の TAPTSn2-TAPTSn0 端子 | | | | | | | |
|------------------------|-----|-------------------------|-----|-----|-----|-----|-----|-----|-----|
| | | 000 | 111 | 101 | 100 | 110 | 010 | 011 | 001 |
| 現在の TAPTSn2-TAPTSn0 端子 | 000 | — | — | — | — | — | — | — | — |
| | 111 | — | — | — | — | — | — | — | — |
| | 101 | — | — | — | トグル | — | — | — | — |
| | 100 | — | — | — | — | トグル | — | — | — |
| | 110 | — | — | — | — | — | トグル | — | — |
| | 010 | — | — | — | — | — | — | トグル | — |
| | 011 | — | — | — | — | — | — | — | トグル |
| | 001 | — | — | トグル | — | — | — | — | — |

(TSG2nPSC = 1 の場合)

| | | 変化後の TAPTSn2-TAPTSn0 端子 | | | | | | | |
|------------------------|-----|-------------------------|-----|-----|-----|-----|-----|-----|-----|
| | | 000 | 111 | 101 | 100 | 110 | 010 | 011 | 001 |
| 現在の TAPTSn2-TAPTSn0 端子 | 000 | — | — | — | — | — | — | — | — |
| | 111 | — | — | — | — | — | — | — | — |
| | 101 | — | — | — | — | — | — | — | トグル |
| | 100 | — | — | トグル | — | — | — | — | — |
| | 110 | — | — | — | トグル | — | — | — | — |
| | 010 | — | — | — | — | トグル | — | — | — |
| | 011 | — | — | — | — | — | トグル | — | — |
| | 001 | — | — | — | — | — | — | トグル | — |

(2) 3相エンコード信号 (TSG2nPEC) の変化タイミング

- TSG2nPEC 信号は、入力パタン (TAPTSn2-TAPTSn0 端子) が変化したタイミングでトグルします。

| | | 変化後の TAPTSn2-TAPTSn0 端子 | | | | | | | |
|------------------------|-----|-------------------------|-----|-----|-----|-----|-----|-----|-----|
| | | 000 | 111 | 101 | 100 | 110 | 010 | 011 | 001 |
| 現在の TAPTSn2-TAPTSn0 端子 | 000 | — | — | — | — | — | — | — | — |
| | 111 | — | — | — | — | — | — | — | — |
| | 101 | — | — | — | トグル | — | — | — | トグル |
| | 100 | — | — | トグル | — | トグル | — | — | — |
| | 110 | — | — | — | トグル | — | トグル | — | — |
| | 010 | — | — | — | — | トグル | — | トグル | — |
| | 011 | — | — | — | — | — | トグル | — | トグル |
| | 001 | — | — | トグル | — | — | — | トグル | — |

(3) TSO_n1-TSO_n6 端子の変化タイミング

- パタン切り替え方式の場合は、TAPTSn2-TAPTSn0 端子注の入力信号が変化した場合、出力パタンが変化します。
2 端子以上同時に変化しても出力が切り替わります。

注 意

“000”, “111” に変化した場合、TSO_n1-TSO_n6 端子は、ロウ・レベルになります。

(4) TSG2nTSF フラグの変化タイミング

- TSG2nTSF フラグは、入力パタン (TAPTSn2-TAPTSn0 端子) が変化したタイミングでトグルします。

| | | 変化後の TAPTSn2-TAPTSn0 端子 | | | | | | | |
|------------------------|-----|-------------------------|-----|-----|-----|-----|-----|-----|-----|
| | | 000 | 111 | 101 | 100 | 110 | 010 | 011 | 001 |
| 現在の TAPTSn2-TAPTSn0 端子 | 000 | — | — | — | — | — | — | — | — |
| | 111 | — | — | — | — | — | — | — | — |
| | 101 | — | — | — | 0 | — | — | — | 1 |
| | 100 | — | — | 1 | — | 0 | — | — | — |
| | 110 | — | — | — | 1 | — | 0 | — | — |
| | 010 | — | — | — | — | 1 | — | 0 | — |
| | 011 | — | — | — | — | — | 1 | — | 0 |
| | 001 | — | — | 0 | — | — | — | 1 | — |

(5) TSG2nNDF フラグのセット・タイミング

- TAPTSn2-TAPTSn0 端子が同時に 2 端子以上変化した場合にセットされます。TSG2nNDR ビットへの 1 ライトでクリアします。TSG2nNDC ビットを 1 にセットしたときに有効となります。

(6) TSG2nPRF フラグのセット・タイミング

- TSG2nTSF フラグが変化したタイミングでセットされます。TSG2nPRR ビットへの 1 ライトでクリアします。TSG2nPRC ビットを 1 にセットしたときに有効となります。

(7) TSG2nPEF フラグのセット・タイミング

- TAPTSn2-TAPTSn0 端子が“000”, “111”の値を入力したときにセットされます。TSG2nPER ビットへの 1 ライトでクリアします。TSG2nPEC ビットを 1 にセットしたときに有効となります。

23.11.4.12 120-DC モード時の基本制御フロー

120-DC モードには表 23.73 に示した 8 つの制御状態が存在します。

TSG2nOPT0.TSG2nSTE = 1 では、パターン切り替え方式の 120-DC 制御となります。

これを位相固定制御と定義します。位相固定制御では、ホール・センサからの遅れ、センサ・レベル検出からタイマ出力までの遅れ等がありますので、これらを考慮して制御する必要があります。ただし、PWM デューティを変更するだけで加速/減速ができます。

表 23.73 タイマの制御状態

| 状態 | TSG2nSTR1 レジスタの TSG2nTSF | TSG2nOPT0 レジスタの TSG2nIDC | 制御 |
|----|-----------------------------|-----------------------------|------------|
| A | 0 | 0 | 正転・加速・位相固定 |
| D | 0 | 1 | 正転・減速・位相固定 |
| E | 1 | 1 | 逆転・加速・位相固定 |
| H | 1 | 0 | 逆転・減速・位相固定 |

通常、モータの回転が停止した状態をスタート状態として制御を開始します。まず停止状態からモータを回転させるために、位相固定制御を利用して回転させます。

状態の遷移を図 23.90 で示します。

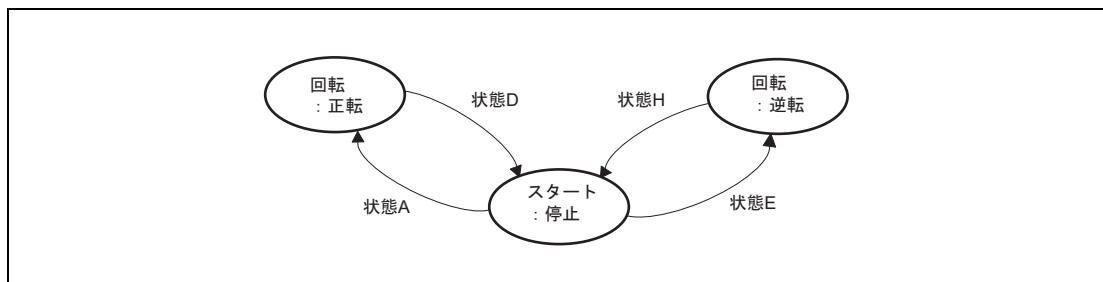


図 23.90 状態遷移図

23.11.4.13 120-DC モード時のソフトウェア出力制御機能

120-DC モード時は、TSG2nOPT0.TSG2nSOC, TSG2nIDC, TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 を使用して、ソフトウェア制御によるタイマ出力制御を行うことができます。

図 23.91 に示すように、TSG2nSOC = 1 にしたタイミングで出力を即時に切り替えます。デッド・タイムの設定をしていれば、デッド・タイム期間は保証されます。その後、ソフトウェア出力制御から 120-DC 制御に切り替える場合は、TSG2nSOC = 0 に設定します。このタイミングでは出力を保持し、リロード・タイミングが発生した時点で、120-DC モードによる出力制御に切り替わります。

ソフトウェア出力制御機能について、詳細は「23.11.5 ソフトウェア出力制御機能」を参照してください。

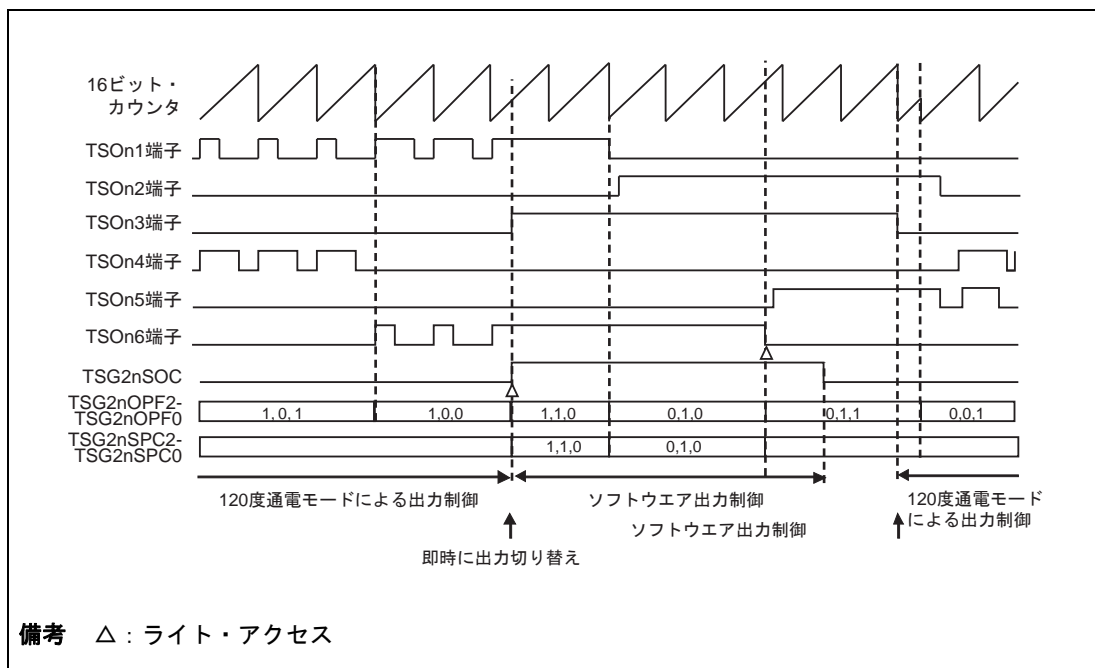


図 23.91 120-DC モードからソフトウェア出力制御機能の切り替え例

(1) ソフトウェア出力制御の処理手順

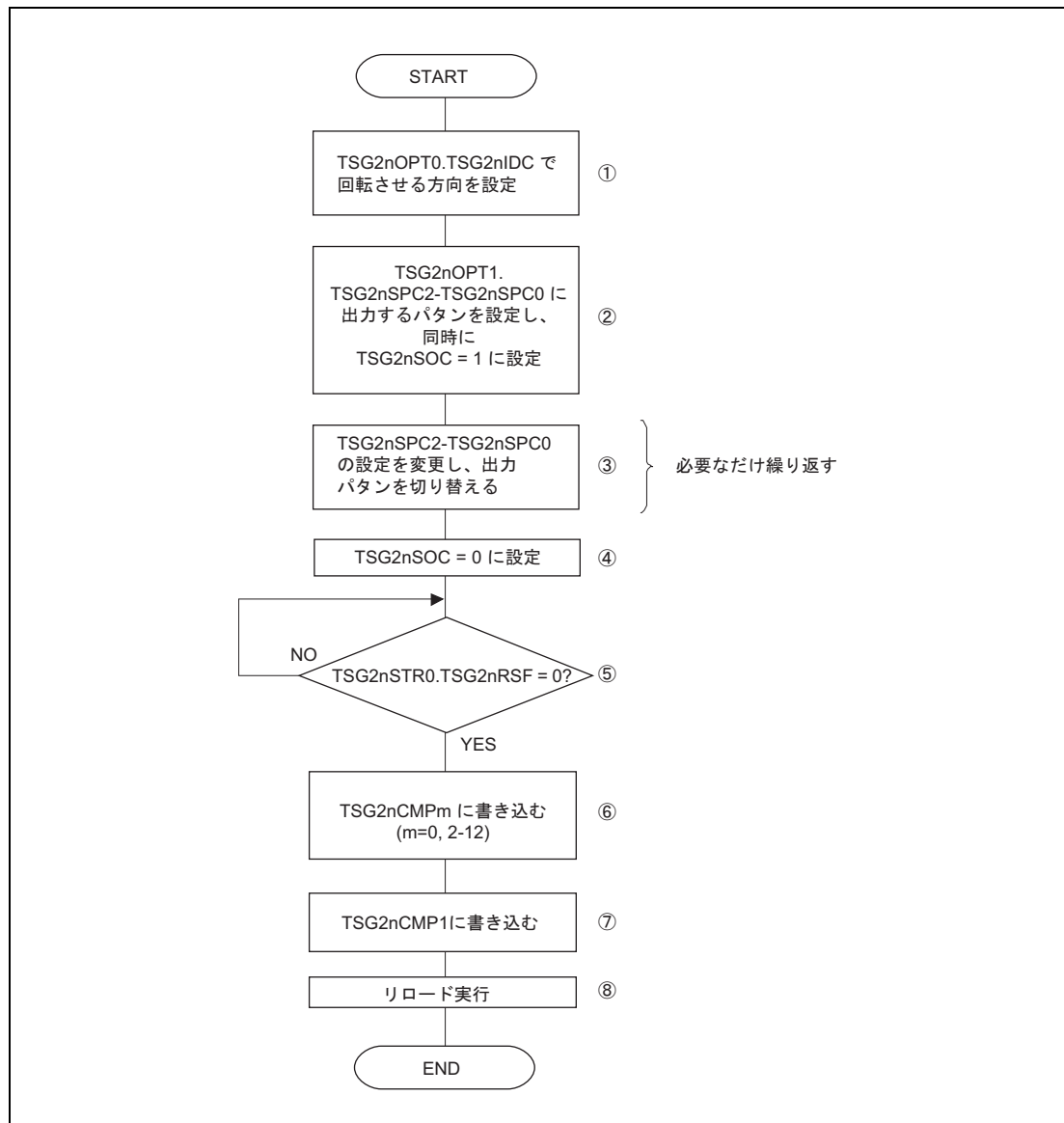


図 23.92 ソフトウェア出力制御時の処理フロー

ソフトウェア出力制御の処理手順を示します。

①回転方向を決定するため、TSG2nIDC の設定を行います。TSG2nIDC = 0 の場合と、TSG2nIDC = 1 の場合では 180 度位相が異なったタイマ出力となります。ソフトウェア出力制御機能において、このビットを書き換えただけではタイマ出力は変化しません。ただし、②の前に周期一致が発生した場合、120-DC 制御の出力パターンが変わりますので、②の前に周期一致が来ないようにスケジューリングしてください。

② TSG2nSPC2-TSG2nSPC0 に出力するパターンを設定し、同時にソフトウェア出力を行うために TSG2nSOC = 1 にします。

③ TSG2nSPC2-TSG2nSPC0 の出力パターン設定を変更し、タイマ出力を変化させます。ソフトウェア制御中に変更可能なレジスタは次のとおりです。

TSG2nTRG1, TSG2nTT, TSG2nCTL4-TSG2nCTL6, TSG2nOPT0, TSG2nOPT1, TSG2nCMP0-TSG2nCMP12, TSG2nDTC0, TSG2nDTC1

④リロード要求フラグ (TSG2nRSF) = 0 であることを確認します。TSG2nRSF = 1 だった場合は TSG2nRSF フラグ = 0 になるまで次の手順に移行しないでください。

⑤ TSG2nSOC = 0 にするとソフトウェア制御を解除開始します (ここではまだ解除されません)。

⑥ソフトウェア出力制御解除後に必要な、コンペア・レジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また、リロード機能付きレジスタを変更する場合はここで変更してください。

⑦ TSG2nCMP1 レジスタに書き込みを行い、リロードを起動します。

⑧リロードが実行され、ソフトウェア出力を解除します。

注 意

④, ⑤, ⑥, ⑦の手順を実行してから、必ずリロードを実行してください。リロードが実行できない場合はソフトウェア出力を解除できません。

23.11.5 ソフトウェア出力制御機能

HT-PWM モード、SP-PWM モード、120-DC モードにおいて、ソフトウェア出力制御機能を使用することができます。この機能は、TSG2nOPT0.TSG2nSOC, TSG2nIDC, TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 を使用して TSO_n1-TSO_n6 端子に 6 パタンの出力をソフトウェアで切り替えられる機能です。

TSG2nSOC = 0 から TSG2nSOC = 1 に切り替えると、TSO_n1-TSO_n6 端子が即時にソフトウェア出力制御に切り替わります。逆に TSG2nSOC = 1 から TSG2nSOC = 0 に切り替えた場合は、リロード・タイミングでソフトウェア出力制御が解除されます。

表 23.74 ソフトウェア出力制御機能に関するレジスタ説明

| レジスタ | 動作 |
|-------------------------------|----------------------------------|
| TSG2nOPT0.TSG2nSOC | TSG2nSOC = 1 |
| TSG2nOPT0.TSG2nSTE | TSG2nSTE = 0 |
| TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 | 次の表 23.75、表 23.76 に示す出力パターンを設定する |
| TSG2nOPT0.TSG2nIDC | 出力するパターン (回転方向) を設定する |

表 23.75 ソフトウェア出力制御の出力パターン (TSG2nOPT0.TSG2nIDC = 0)

TSG2nOPT0.TSG2nSOC = 1, TSG2nSTE = 0, TSG2nIDC = 0

| 出力端子 | TSG2nSTR1.TSG2nOPF2-TSG2nOPF0 | | | | | | | |
|--------------------|-------------------------------|-------|-------|-------|-------|-------|-------|-------|
| | 101 | 100 | 110 | 010 | 011 | 001 | 000 | 111 |
| TSO _n 1 | ACT | ACT | ACT | INACT | INACT | INACT | INACT | ACT |
| TSO _n 2 | INACT | INACT | INACT | ACT | ACT | ACT | ACT | INACT |
| TSO _n 3 | INACT | INACT | ACT | ACT | ACT | INACT | INACT | ACT |
| TSO _n 4 | ACT | ACT | INACT | INACT | INACT | ACT | ACT | INACT |
| TSO _n 5 | ACT | INACT | INACT | INACT | ACT | ACT | INACT | ACT |
| TSO _n 6 | INACT | ACT | ACT | ACT | INACT | INACT | ACT | INACT |

備考 ACT: アクティブ・レベルを出力することを示します。
INACT: インアクティブ・レベルを出力することを示します。

表 23.76 ソフトウェア出力制御の出力パターン (TSG2nOPT0.TSG2nIDC = 1)

TSG2nOPT0.TSG2nSOC = 1, TSG2nSTE = 0, TSG2nIDC = 1

| 出力端子 | TSG2nSTR1.TSG2nOPF2-TSG2nOPF0 | | | | | | | |
|--------------------|-------------------------------|-------|-------|-------|-------|-------|-------|-------|
| | 101 | 100 | 110 | 010 | 011 | 001 | 000 | 111 |
| TSO _n 1 | INACT | INACT | INACT | ACT | ACT | ACT | ACT | INACT |
| TSO _n 2 | ACT | ACT | ACT | INACT | INACT | INACT | INACT | ACT |
| TSO _n 3 | ACT | ACT | INACT | INACT | INACT | ACT | ACT | INACT |
| TSO _n 4 | INACT | INACT | ACT | ACT | ACT | INACT | INACT | ACT |
| TSO _n 5 | INACT | ACT | ACT | ACT | INACT | INACT | ACT | INACT |
| TSO _n 6 | ACT | INACT | INACT | INACT | ACT | ACT | INACT | ACT |

備考 ACT: アクティブ・レベルを出力することを示します。
INACT: インアクティブ・レベルを出力することを示します。

第24章 タイマオプション (TAPA)

24.1 概要

タイマオプション (TAPA) を、モータコントロールタイマ (TSG2) と組み合わせて使用します。

- 端子入力に対応した非同期 Hi-Z 制御

24.1.1 基本機能

チャンネル

この製品は次のチャンネル数のタイマオプションを搭載しています。

表 24.1 タイマオプションのチャンネル

| タイマオプション | |
|----------|---------------|
| チャンネル数 | 1 |
| 名称 | TAPAn (n = 2) |

n の意味

この章では、タイマオプションの各チャンネルを「n」で識別します。たとえば、TAPAn フラグレジスタ (TAPAnFLG) (n = 2) のように記述しています。

本製品では TAPA0、1 を使用しないため、TAPA2 のみが搭載されることとなります。

レジスタアドレス

TAPAn レジスタのアドレスは、それぞれのベースアドレス <TAPAn_base> からのオフセットで表されます。各 TAPAn のレジスタベースアドレスを次の表に示します。

表 24.2 レジスタベースアドレス

| TAPAn | <TAPAn_base> アドレス |
|-------|------------------------|
| TAPA2 | FFE9 2000 _H |

24.2 レジスタ

TAPAn (n = 2) は、次のレジスタで制御、動作します。

24.2.1 レジスタの概要

TAPAn (n = 2) のレジスタ一覧、メモリアドレスを以下に示します。

ベースアドレスは TAPA2 が FFE9 2000_H となります。

実際のアドレスはこのベースアドレスに表で示したオフセット値を加算します。

| レジスタ名 | 機能 | R/W | リセット 値 | アクセス単位 | | | オフセットアドレス |
|-----------|-------------------------|-----|-------------------|--------|----|----|-------------------|
| | | | | 8 | 16 | 32 | |
| TAPAnCTL0 | TAPAn 制御レジスタ 0 | R/W | 0000 _H | — | ○ | — | 0020 _H |
| TAPAnFLG | TAPAn フラグレジスタ | R | 0000 _H | — | ○ | — | 0000 _H |
| TAPAnACWE | TAPAn 非同期制御ライトイネーブルレジスタ | R/W | 00 _H | ○ | — | — | 0004 _H |
| TAPAnACTS | TAPAn 非同期制御スタートトリガレジスタ | W | 00 _H | ○ | — | — | 0008 _H |
| TAPAnACTT | TAPAn 非同期制御ストップトリガレジスタ | W | 00 _H | ○ | — | — | 000C _H |
| TAPAnOPHS | TAPAn Hi-Z スタートトリガレジスタ | W | 00 _H | ○ | — | — | 0014 _H |
| TAPAnOPHT | TAPAn Hi-Z ストップトリガレジスタ | W | 00 _H | ○ | — | — | 0018 _H |

24.2.2 TAPAnCTL0 — TAPAn 制御レジスタ 0

Hi-Z 制御用の制御レジスタ 0 です。

このレジスタの値は、TAPAnFLG.TAPAnACE = 0 の場合のみ書き換えることができます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAPAn_base> + 20_H

リセット後の値 0000_H
どのリセット要因でも初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|---|---|---|---|---|--------------|--------------|--------------|---|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | TAPAn DCM | TAPAn DCN | TAPAn DCP | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R | R |

表 24.3 TAPAnCTL0 レジスタの内容

| ビット位置 | ビット名 | 機能 | | | | | | | | | | | | | | | |
|--------------|-----------------------|---|--------------|--------------|------|---|---|-------------|---|---|---------------------------------------|---|---|--------------------------------------|---|---|------|
| 15 ~ 5 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 | | | | | | | | | | | | | | | |
| 4 | TAPAnDCM | クリア条件指定ビット Hi-Z 制御出力のクリア条件を指定するビットです。 0: TAPATHASIN 信号入力に関係なく、TAPAnOPHT0 の操作を有効 1: TAPATHASIN 信号入力が高レベルの場合、TAPAnOPHT0 の操作を無効 TAPATHASIN 信号入力が高レベルの場合、TAPAnOPHT0 操作を有効 | | | | | | | | | | | | | | | |
| 3, 2 | TAPAnDCN、 TAPAnDCP | Hi-Z 入力エッジ選択ビット TAPATHASIN の有効エッジを指定する制御ビットです。 <table border="1" data-bbox="663 1153 1401 1406"> <thead> <tr> <th>TAPAn DCN</th> <th>TAPAn DCP</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>有効エッジを検出しない</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジを有効エッジとして検出 (アクティブレベル = High)</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち下がりエッジを有効エッジとして検出 (アクティブレベル = Low)</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table> | TAPAn DCN | TAPAn DCP | 動作説明 | 0 | 0 | 有効エッジを検出しない | 0 | 1 | 立ち上がりエッジを有効エッジとして検出 (アクティブレベル = High) | 1 | 0 | 立ち下がりエッジを有効エッジとして検出 (アクティブレベル = Low) | 1 | 1 | 設定禁止 |
| TAPAn DCN | TAPAn DCP | 動作説明 | | | | | | | | | | | | | | | |
| 0 | 0 | 有効エッジを検出しない | | | | | | | | | | | | | | | |
| 0 | 1 | 立ち上がりエッジを有効エッジとして検出 (アクティブレベル = High) | | | | | | | | | | | | | | | |
| 1 | 0 | 立ち下がりエッジを有効エッジとして検出 (アクティブレベル = Low) | | | | | | | | | | | | | | | |
| 1 | 1 | 設定禁止 | | | | | | | | | | | | | | | |
| 1, 0 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 | | | | | | | | | | | | | | | |

24.2.3 TAPAnFLG — TAPAn フラグレジスタ

Hi-Z を制御するフラグレジスタです。

アクセス 16 ビット単位でリード可能です。

アドレス <TAPAn_base> + 00_H

リセット後の値 0000_H
どのリセット要因でも初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|---------------|---|---|---|---|---|---|---|---|---|--------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | TAPAnHOF[2:0] | | — | — | — | — | — | — | — | — | TAPAn ACE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 24.4 TAPAnFLG レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------|--|
| 15 ~ 11 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 10 ~ 8 | TAPAnHOF[2:0] | HZOUT _m 出力モニタビット (m = 0、1、2) TAPATHZOUT _{mZ} の出力モニタビットです。 0 : TAPATHZOUT _{mZ} の現在の出力がハイレベル 1 : TAPATHZOUT _{mZ} の現在の出力がロウレベル |
| 7 ~ 1 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 0 | TAPAnACE | 非同期 Hi-Z 制御イネーブルビット 非同期 Hi-Z 制御 (TAPATHASIN) の状態を示すビットです。 0 : 非同期 Hi-Z 制御が停止状態 1 : 非同期 Hi-Z 制御が許可状態 このビットのセット条件とクリア条件は次のとおりです。 クリア条件 : TAPAnACWE = 1 時の TAPAnACTT への "1" 書き込み セット条件 : TAPAnACWE = 1 時の TAPAnACTS への "1" 書き込み |

24.2.4 TAPAnACWE — TAPAn 非同期制御ライトイネーブルレジスタ

非同期 Hi-Z 制御のための書き込みを許可します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAPAn_base> + 04_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|-----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | TAPAnACWE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 24.5 TAPAnACWE レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 7 ~ 1 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 0 | TAPAnACWE | 非同期制御ライトイネーブルビット 非同期 Hi-Z 制御用の書き込み許可ビットです。 “1”に書き込み後、TAPAnACTS と TAPAnACTT に“1”を書き込むことによって、自動的に“0”にクリアされます。 0 : TAPAnACTS と TAPAnACTT への書き込み禁止 1 : TAPAnACTS と TAPAnACTT への書き込み許可 |

24.2.5 TAPAnACTS — TAPAn 非同期制御スタートトリガレジスタ

非同期 Hi-Z 制御用のスタートトリガを許可します。

アクセス 8ビット単位でリード/ライト可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 08_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|-----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | TAPAnACTS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 24.6 TAPAnACTS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 7 ~ 1 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 0 | TAPAnACTS | 非同期制御スタートトリガビット 非同期 Hi-Z 制御用のイネーブルスタートトリガビットです。 このビットの設定は、TAPAnACWE = 1 の場合のみ有効となります。 0 : “0” 書き込みは、機能として意味を持ちません。 1 : TAPAnACWE = 1 の場合に非同期 Hi-Z 制御を許可 |

24.2.6 TAPAnACTT — TAPAn 非同期制御ストップトリガレジスタ

非同期 Hi-Z 制御用のイネーブルストップトリガレジスタです。

アクセス 8ビット単位でリード/ライト可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 0C_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|-----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | TAPAnACTT |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 24.7 TAPAnACTT レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 7 ~ 1 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 0 | TAPAnACTT | 非同期制御ストップトリガビット 非同期 Hi-Z 制御用のストップトリガを許可します。 このビットの設定は、TAPAnACWE = 1 の場合のみ有効となります。 0: “0” 書き込みは、機能として意味を持ちません。 1: TAPAnACWE = 1 の場合に非同期 Hi-Z 制御を停止 |

24.2.7 TAPAnOPHS — TAPAn Hi-Z スタートトリガレジスタ

Hi-Z 制御信号 (TAPATHZOUT0Z) のスタートトリガを設定します。

アクセス 8ビット単位でリード/ライト可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 14_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|------------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | TAPAnOPHS0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 24.8 TAPAnOPHS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|---|
| 7 ~ 1 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 0 | TAPAnOPHS0 | Hi-Z 制御信号のスタートトリガ 0 ビット Hi-Z 制御信号のスタートトリガを設定します。 0: 読み出し値は常に 0 になり、0 の書き込みは無視されます。 1: Hi-Z 制御信号 (TAPATHZOUT0Z) をロウレベルに設定 |

24.2.8 TAPAnOPHT — TAPAn Hi-Z ストップトリガレジスタ

Hi-Z 制御信号 (TAPATHZOUT0Z) のストップトリガを設定します。

アクセス 8ビット単位でリード/ライト可能です。読み出し値は常に00_Hとなります。

アドレス <TAPAn_base> + 18_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|------------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | TAPAnOPHT0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 24.9 TAPAnOPHT レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|--|
| 7 ~ 1 | 予約ビット | リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 |
| 0 | TAPAnOPHT0 | Hi-Z 制御信号のストップトリガ0ビット Hi-Z 制御信号のストップトリガを設定します。 0: 読み出し値は常に0になり、0の書き込みは無視されます。 1: Hi-Z 制御信号 (TAPATHZOUT0Z) をハイレベルに設定 |

24.3 基本動作説明

24.3.1 Hi-Z 制御機能

24.3.1.1 Hi-Z 制御機能の目的

CPU によって制御されるタイマモータ制御機能の動作が異常な場合、外部に接続しているモータの回転も異常になります。モータの異常検出時に、CPU による制御とは関係なく、モータ制御出力を強制的に Hi-Z 状態に設定します。

24.3.1.2 Hi-Z 制御機能の概要

Hi-Z は次の方法で制御することができます。

- 端子入力に対応した非同期入力 Hi-Z 制御
 - TAPATHZOUT0Z (U 相) の Hi-Z 制御出力信号で非同期に制御します。

24.3.1.3 Hi-Z 制御の機能と動作

| 機能 | 動作 |
|----------------------|---|
| 端子入力に対応した非同期 Hi-Z 制御 | 非同期の端子入力検出により、タイマ機能 (TSG2 機能) からの TSON1 ~ 6 端子出力を強制的に停止する機能です。 TAPATHASIN がアクティブレベルの間、ソフトウェアが停止要求を送るまで、デバイスのポートから Hi-Z を出力します。 |

24.3.2 端子入力に対応した非同期 Hi-Z 制御

24.3.2.1 非同期入力 Hi-Z 制御の基本動作

設定例を下記に示します。

TAPAnCTL0.TAPAnDCM = 0、TAPAnDCP = 1、TAPAnDCN = 0 時

非同期入力 (TAPATHASIN) の有効エッジを検出すると、TAPATHZOUT0Z がロウレベルになります。

TAPATHZOUT0Z がロウレベルの間、強制的に出力を停止 (ポート制御による Hi-Z 出力) します。

TAPATHASIN のレベルに関係なく、Hi-Z ストップトリガ 0 (OPHT0) に "1" を書き込むことによって、TAPATHZOUT0Z がハイレベルになります。

TAPAnCTL0.TAPAnDCM = 1、TAPAnDCP = 1、TAPAnDCN = 0 時

非同期入力 (TAPATHASIN) の有効エッジを検出すると、TAPATHZOUT0Z がロウレベルになります。

TAPATHZOUT0Z がロウレベルの間、強制的に出力を停止 (ポート制御による Hi-Z 出力) します。

非同期入力 (TAPATHASIN) がアクティブレベル (TAPAnDCP = 1 のため、ハイレベル) の間、Hi-Z ストップトリガ 0 (TAPAnOPHT0) への "1" 書き込みは無視されます。

非同期入力 (TAPATHASIN) がインアクティブ (TAPAnDCP = 1 のため、ロウレベル) レベルとなったあと、Hi-Z ストップトリガ 0 (TAPAnOPHT0) に "1" を書き込むことによって、TAPATHZOUT0Z がハイレベルになります。

24.3.2.2 非同期入力 Hi-Z 制御のためのソフトウェア操作

この機能では、Hi-Z 制御出力信号をソフトウェアによって制御することが可能です。

Hi-Z スタートトリガ 0 (TAPAnOPHS0) および Hi-Z ストップトリガ 0 (TAPAnOPHT0) で、TAPATHZOUT0Z を制御します。

Hi-Z スタートトリガ (TAPAnOPHS) の動作

| TAPAnDCM | 動作 |
|----------|---|
| 0/1 | TAPAnOPHS0 ビットに "1" を書き込むことによって、TAPATHZOUT0Z がロウレベルとなります。 |

非同期入力 Hi-Z 制御時のストップトリガ (TAPAnOPHT) の動作

Hi-Z ストップトリガは次の条件のときのみ有効となります。

| TAPAnDCM | 動作 |
|----------|--|
| 0 | TAPAnOPHT0 ビットに "1" を書き込むことによって、TAPATHZOUT0Z がハイレベルとなります。 |
| 1 | TAPATHASIN がインアクティブ中、TAPAnOPHT0 ビットに "1" を書き込むことによって、TAPATHZOUT0Z がハイレベルとなります。 TAPATHASIN がアクティブ中は、TAPAnOPHT0 ビットへの "1" の書き込みは無視されます。 |

24.3.2.3 非同期入力 Hi-Z 制御の操作例

以下に非同期入力 Hi-Z 制御の操作手順を示します。
(タイマ機能の動作に依存しないため、タイマオプションに関して記載しています)

| | | 動作 | TAPA の状態 |
|------|------|--|--|
| 動作再開 | 初期設定 | TAPAnCTL0 レジスタを設定します。 TAPAnDCP、TAPAnDCN を設定 (入力エッジ選択) TAPAnDCM を設定 (クリアモード選択) | 非同期 Hi-Z 制御停止 (TAPAnFLG.TAPAnACE = 0) |
| | 動作開始 | TAPAnACWE レジスタを設定します。 TAPAnACWE に "1" を設定 TAPAnACTS レジスタを設定します。 TAPAnACTS に "1" を設定 | TAPAnACTS ビットの書き込み可能 TAPAnFLG.TAPAnACE = 1 により非同期 Hi-Z 制御許可 |
| | 動作中 | タイマ機能の出力に対して Hi-Z 制御を開始 (スタート) する方法は、以下の通りです。 TAPA の TAPAnOPHS0 で制御 TAPA の Hi-Z 入力信号 (TAPATHASIN) で制御 Hi-Z 制御を終了 (ストップ) する方法は、以下のとおりです。 TAPA の TAPAnOPHT0 で制御 (TAPAnDCM = 0 の場合) TAPA の Hi-Z 入力信号 (TAPATHASIN) がインアクティブ時に TAPAnOPHT0 で制御 (TAPAnDCM = 1 の場合) TAPA の TAPAnFLG レジスタで常に TAPA の動作状態が読み出し可能です。 | Hi-Z 制御機能は、Hi-Z 入力信号 (TAPATHASIN) に入力されたスタートエッジの検出、またはスタートトリガビットを設定 (TAPAnOPHS0 = 1) することによって、TAPATHZOUT0Z をロウレベルで出力します。 Hi-Z 制御機能は、TAPAnDCM で設定した動作モードにしたがい、ストップトリガビットを設定 (TAPAnOPHT0 = 1) することによって、TAPATHZOUT0Z をハイレベルで出力します。 |
| | 動作停止 | TAPAnACWE レジスタを設定します。 TAPAnACWE に "1" を設定 TAPAnACTT レジスタを設定します。 TAPAnACTT に "1" を設定 | TAPAnACTT ビットの書き込み許可 TAPAnFLG.ACE = 0 により非同期 Hi-Z 制御停止 |

第25章 ペリフェラルインターコネクション (PIC)

25.1 タイマ同調機能、ポート Hi-Z 機能

25.1.1 概要

Peripheral Interconnection (PIC1) は、複数タイマを使用した同調動作や、TAPA と連携してポートの Hi-Z 制御を実現することができます。

表 25.1 に、PIC1 の仕様概要を示します。

表 25.1 PIC1 の仕様概要

| 項目 | 説明 |
|-------------|---|
| タイマ同調機能 | 各タイマ (TSG2n、OSTMn) の任意の組み合わせでの同時スタートを行う機能 |
| ポート Hi-Z 機能 | TAPA と連携してポートの Hi-Z 制御を実現 |

25.1.2 レジスタ

表 25.2 に PIC1 に関連するレジスタ一覧を示します。

各レジスタ、ビットごとの制約の詳細については、次節以降の各レジスタの説明を参照してください。

表 25.2 PIC1 レジスタ一覧

<Base: FFDD 0000_H>

| レジスタ名 | シンボル | アドレス |
|-----------------|-------------|------------------------|
| 制御レジスタ EN | PIC1EN | Base + 00 _H |
| 同時スタートトリガ制御レジスタ | PIC1SST | Base + 04 _H |
| 同時スタート制御レジスタ 2 | PIC1SSER2 | Base + 18 _H |
| 同時スタート制御レジスタ 3 | PIC1SSER3 | Base + 1C _H |
| Hi-Z 出力制御レジスタ 2 | PIC1HIZCEN2 | Base + 88 _H |

25.1.2.1 PIC1EN — 制御レジスタ EN

PIC1 機能を使用する場合に設定するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <Base> + 00_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | PIC1EN0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 25.3 PIC1EN レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 7 ~ 1 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 0 | PIC1EN0 | PIC1 機能の動作許可/禁止を設定します。 0: 禁止 1: 許可 |

25.1.2.2 PIC1SST — 同時スタートトリガ制御レジスタ 0

PIC1SST レジスタは同時スタート許可に設定したタイマに対し、スタートトリガを生成するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <Base> + 04_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | SYNCTRG |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 25.4 PIC1SST レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------------------|--|
| 7 ~ 1 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 0 | SYNCTRG ^{注1} | 同時スタート許可に設定したタイマに対し、スタートトリガを生成 0: 無効 1: 同時スタートトリガ (1PCLK 幅のパルスを出力) |

注 1. 本ビットは、リード時は常に 0 を読み出します。

25.1.2.3 PIC1SSER2 — 同時スタート制御レジスタ 2

PIC1SSER2 レジスタは TSG2n のスタートトリガ許可を行うレジスタです。選択した信号を TSG2n の TSTSST 信号入力へ供給します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <Base> + 18_H

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|---|-------------|---|---|---|---|---|---|---|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | PIC1SSER208 | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W | R | R | R | R | R | R | R | R |

表 25.5 PIC1SSER2 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|--|
| 15 ~ 9 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 8 | PIC1SSER208 | TSG20 の同時スタートトリガ許可を設定する 0 : TSG20 の同時スタートトリガを許可しない 1 : TSG20 の同時スタートトリガを許可する |
| 7 ~ 0 | — | 予約ビット 書き込み時は“0”を書いてください。 |

25.1.2.4 PIC1SSER3 — 同時スタート制御レジスタ 3

PIC1SSER3 レジスタは OSTM_n のスタートトリガ許可を行うレジスタです。選択した信号を OSTM_n の OSTM_nTSST 信号入力へ供給します。(n = 0 ~ 2)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <Base> + 1C_H

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|---|---|---|---|---|---|---|-----------------|-----------------|-----------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | PIC1SS ER302 | PIC1SS ER301 | PIC1SS ER300 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W |

表 25.6 PIC1SSER3 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------|--|
| 15 ~ 3 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 2 | PIC1SSER302 | OSTM2 の同時スタートトリガ許可を設定する 0 : OSTM2 の同時スタートトリガを許可しない 1 : OSTM2 の同時スタートトリガを許可する |
| 1 | PIC1SSER301 | OSTM1 の同時スタートトリガ許可を設定する 0 : OSTM1 の同時スタートトリガを許可しない 1 : OSTM1 の同時スタートトリガを許可する |
| 0 | PIC1SSER300 | OSTM0 の同時スタートトリガ許可を設定する 0 : OSTM0 の同時スタートトリガを許可しない 1 : OSTM0 の同時スタートトリガを許可する |

25.1.2.5 PIC1HIZCEN2 — Hi-Z 出力制御レジスタ 2

PIC1HIZCEN2 レジスタは、Hi-Z 出力制御用の入力信号を選択します。選択した信号を TAPA2 の TAPATHASIN 信号入力へ供給します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <Base> + 88_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|--------------|---|--------------|---|---|--------------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | PIC1HIZCEN25 | — | PIC1HIZCEN23 | — | — | PIC1HIZCEN20 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R | R/W | R | R | R/W |

表 25.7 PIC1HIZCEN2 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------------|--|
| 7、6 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 5 | PIC1HIZCEN25 | ERROROUTZ 信号で Hi-Z 出力制御の許可/禁止を選択します。 0: 禁止 1: 許可 |
| 4 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 3 | PIC1HIZCEN23 | INTTSG20IER 割り込み信号で Hi-Z 出力制御の許可/禁止を選択します。 0: 禁止 1: 許可 |
| 2、1 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 0 | PIC1HIZCEN20 | ESO2 端子入力で Hi-Z 出力制御の許可/禁止を選択します。 0: 禁止 1: 許可 |

25.1.3 動作説明

25.1.3.1 タイマ同調機能

1. 任意の動作モードで動作する各タイマ (TSG2n、OSTMn) の任意の組み合わせでの同時スタートを行います。
2. 同時スタートさせる対象タイマについて、PIC1SSER2、PIC1SSER3 の該当ビットを 1 にすることで、各タイマの同時スタートを許可します。
3. PIC1SST0 の SYNCTRG ビットに 1 ライトすることで、2. で設定された対象タイマが同時にスタートします。
4. スタートしていないチャンネルに対し 2.、3. を繰り返すことで、異なる対象タイマを複数回に分けて同時にスタートできます。

25.2 トリガ選択機能 (PIC2)

25.2.1 概要

トリガ選択機能 (PIC2 : Peripheral Interconnection-2) は、ADC トリガ選択、 $\Delta\Sigma$ ADC のスタート/ストップトリガ選択を各タイマや周辺 IP からの内部信号から選択する機能を実現します。

表 25.8 に、PIC2 の仕様概要を示します。

表 25.8 PIC2 の仕様概要

| 項目 | 説明 |
|---|---|
| ADC トリガ選択機能 (ATU 各タイマ選択、各周辺 IP および上記要因選択) | ADC への ATU、APA からの要因を選択する機能 |
| | 上記選択された要因と各周辺 IP 等からの内部信号から AD トリガを選択する機能 |
| $\Delta\Sigma$ ADC トリガ選択 | $\Delta\Sigma$ ADC に対する ATU、外部端子からの AD トリガの選択機能 |

25.2.2 ブロック図

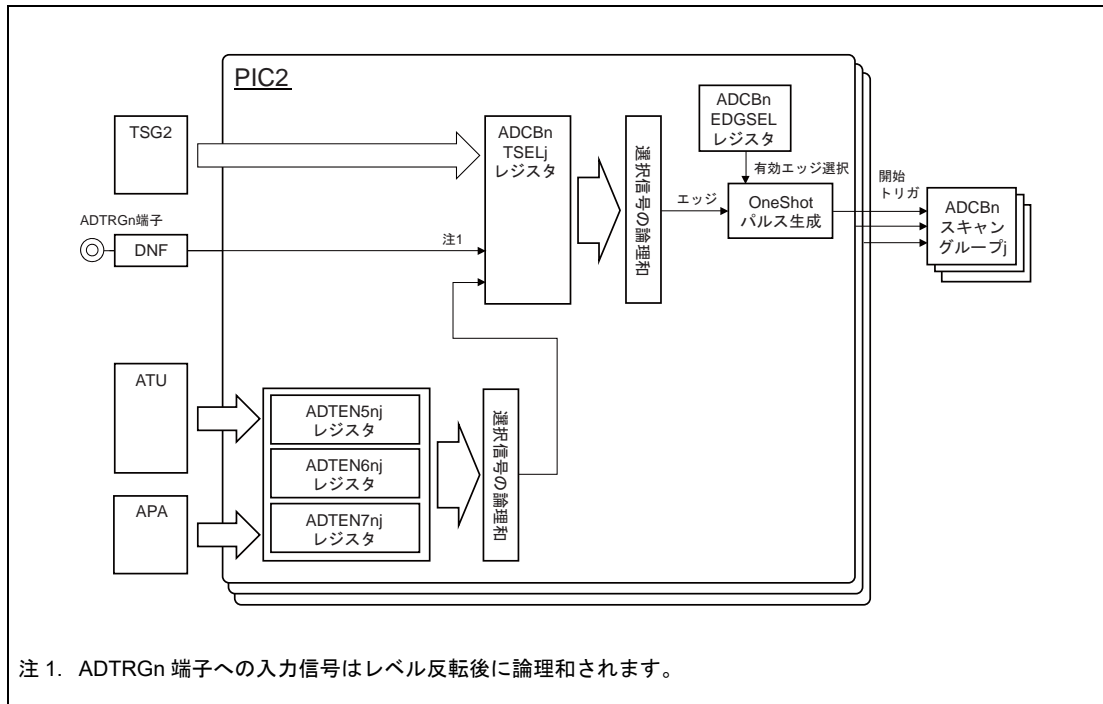


図 25.1 ADCBn スキャングループ j トリガ選択機能のブロック図

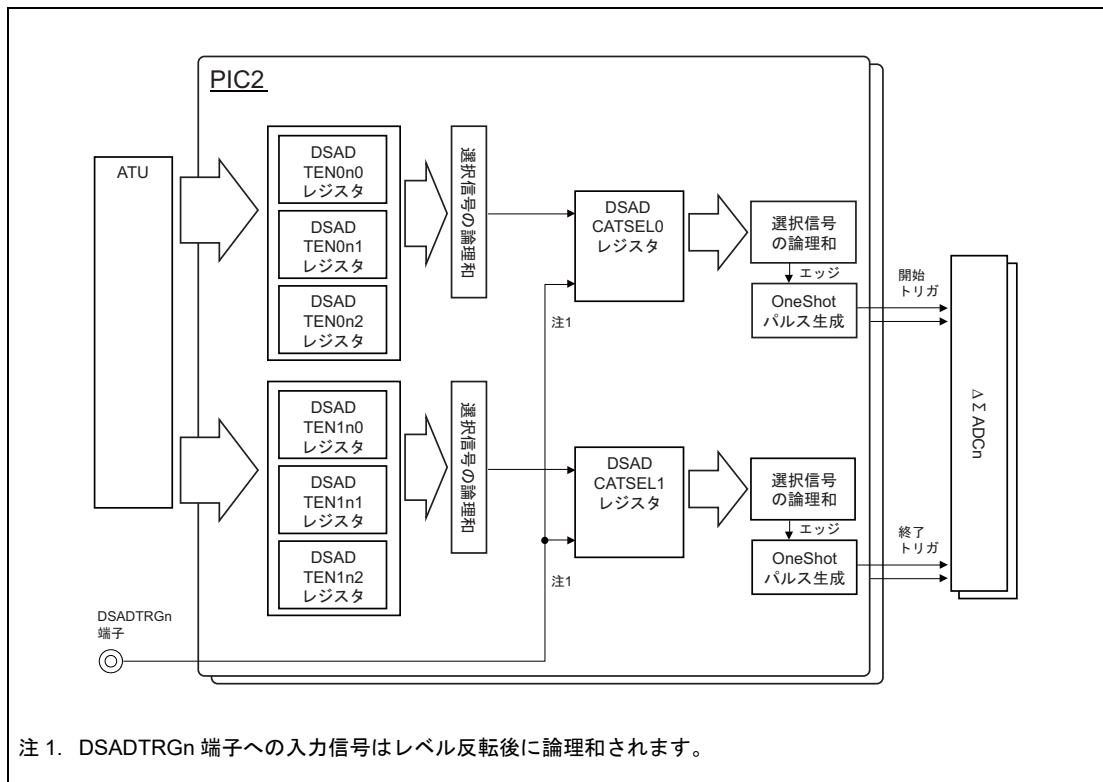


図 25.2 ΔΣADCn トリガ選択機能のブロック図

25.2.3 レジスタ

表 25.9 に PIC2 に関連するレジスタ一覧を示します。

各レジスタ、ビットごとの制約の詳細については、次節以降の各レジスタの説明を参照してください。

表 25.9 PIC2 レジスタ一覧 (1/2)

<Base: FFDD 1000_H>

| レジスタ名 | シンボル | アドレス |
|---------------------------|-----------------|------------------------|
| ADC トリガ選択制御レジスタ | | |
| AD コンバータ 0 トリガ選択制御レジスタ 0 | PIC2ADCB0TSEL0 | Base + 00 _H |
| AD コンバータ 0 トリガ選択制御レジスタ 1 | PIC2ADCB0TSEL1 | Base + 04 _H |
| AD コンバータ 0 トリガ選択制御レジスタ 2 | PIC2ADCB0TSEL2 | Base + 08 _H |
| AD コンバータ 0 トリガ選択制御レジスタ 3 | PIC2ADCB0TSEL3 | Base + 0C _H |
| AD コンバータ 0 トリガ選択制御レジスタ 4 | PIC2ADCB0TSEL4 | Base + 10 _H |
| AD コンバータ 0 トリガエッジ選択制御レジスタ | PIC2ADCB0EDGSEL | Base + 1C _H |
| AD コンバータ 1 トリガ選択制御レジスタ 0 | PIC2ADCB1TSEL0 | Base + 20 _H |
| AD コンバータ 1 トリガ選択制御レジスタ 1 | PIC2ADCB1TSEL1 | Base + 24 _H |
| AD コンバータ 1 トリガ選択制御レジスタ 2 | PIC2ADCB1TSEL2 | Base + 28 _H |
| AD コンバータ 1 トリガ選択制御レジスタ 3 | PIC2ADCB1TSEL3 | Base + 2C _H |
| AD コンバータ 1 トリガ選択制御レジスタ 4 | PIC2ADCB1TSEL4 | Base + 30 _H |
| AD コンバータ 1 トリガエッジ選択制御レジスタ | PIC2ADCB1EDGSEL | Base + 3C _H |
| AD コンバータ トリガ出力制御レジスタ 500 | PIC2ADTEN500 | Base + 80 _H |
| AD コンバータ トリガ出力制御レジスタ 501 | PIC2ADTEN501 | Base + 84 _H |
| AD コンバータ トリガ出力制御レジスタ 502 | PIC2ADTEN502 | Base + 88 _H |
| AD コンバータ トリガ出力制御レジスタ 503 | PIC2ADTEN503 | Base + 8C _H |
| AD コンバータ トリガ出力制御レジスタ 504 | PIC2ADTEN504 | Base + 90 _H |
| AD コンバータ トリガ出力制御レジスタ 510 | PIC2ADTEN510 | Base + 94 _H |
| AD コンバータ トリガ出力制御レジスタ 511 | PIC2ADTEN511 | Base + 98 _H |
| AD コンバータ トリガ出力制御レジスタ 512 | PIC2ADTEN512 | Base + 9C _H |
| AD コンバータ トリガ出力制御レジスタ 513 | PIC2ADTEN513 | Base + A0 _H |
| AD コンバータ トリガ出力制御レジスタ 514 | PIC2ADTEN514 | Base + A4 _H |
| AD コンバータ トリガ出力制御レジスタ 600 | PIC2ADTEN600 | Base + A8 _H |
| AD コンバータ トリガ出力制御レジスタ 601 | PIC2ADTEN601 | Base + AC _H |
| AD コンバータ トリガ出力制御レジスタ 602 | PIC2ADTEN602 | Base + B0 _H |
| AD コンバータ トリガ出力制御レジスタ 603 | PIC2ADTEN603 | Base + B4 _H |
| AD コンバータ トリガ出力制御レジスタ 604 | PIC2ADTEN604 | Base + B8 _H |
| AD コンバータ トリガ出力制御レジスタ 610 | PIC2ADTEN610 | Base + BC _H |
| AD コンバータ トリガ出力制御レジスタ 611 | PIC2ADTEN611 | Base + C0 _H |
| AD コンバータ トリガ出力制御レジスタ 612 | PIC2ADTEN612 | Base + C4 _H |
| AD コンバータ トリガ出力制御レジスタ 613 | PIC2ADTEN613 | Base + C8 _H |
| AD コンバータ トリガ出力制御レジスタ 614 | PIC2ADTEN614 | Base + CC _H |
| AD コンバータ トリガ出力制御レジスタ 700 | PIC2ADTEN700 | Base + D0 _H |
| AD コンバータ トリガ出力制御レジスタ 701 | PIC2ADTEN701 | Base + D4 _H |
| AD コンバータ トリガ出力制御レジスタ 702 | PIC2ADTEN702 | Base + D8 _H |
| AD コンバータ トリガ出力制御レジスタ 703 | PIC2ADTEN703 | Base + DC _H |
| AD コンバータ トリガ出力制御レジスタ 704 | PIC2ADTEN704 | Base + E0 _H |

表 25.9 PIC2 レジスタ一覧 (2/2)

<Base: FFDD 1000_H>

| レジスタ名 | シンボル | アドレス |
|--------------------------|-----------------|-------------------------|
| AD コンバータトリガ出力制御レジスタ 710 | PIC2ADTEN710 | Base + E4 _H |
| AD コンバータトリガ出力制御レジスタ 711 | PIC2ADTEN711 | Base + E8 _H |
| AD コンバータトリガ出力制御レジスタ 712 | PIC2ADTEN712 | Base + EC _H |
| AD コンバータトリガ出力制御レジスタ 713 | PIC2ADTEN713 | Base + F0 _H |
| AD コンバータトリガ出力制御レジスタ 714 | PIC2ADTEN714 | Base + F4 _H |
| DS-ADC トリガ選択制御レジスタ | | |
| DSADC スタートトリガ出力制御レジスタ 00 | PIC2DSADTEN000 | Base + 100 _H |
| DSADC スタートトリガ出力制御レジスタ 01 | PIC2DSADTEN001 | Base + 104 _H |
| DSADC スタートトリガ出力制御レジスタ 02 | PIC2DSADTEN002 | Base + 108 _H |
| DSADC ストップトリガ出力制御レジスタ 00 | PIC2DSADTEN100 | Base + 10C _H |
| DSADC ストップトリガ出力制御レジスタ 01 | PIC2DSADTEN101 | Base + 110 _H |
| DSADC ストップトリガ出力制御レジスタ 02 | PIC2DSADTEN102 | Base + 114 _H |
| DSADC スタートトリガ出力制御レジスタ 10 | PIC2DSADTEN010 | Base + 118 _H |
| DSADC スタートトリガ出力制御レジスタ 11 | PIC2DSADTEN011 | Base + 11C _H |
| DSADC スタートトリガ出力制御レジスタ 12 | PIC2DSADTEN012 | Base + 120 _H |
| DSADC ストップトリガ出力制御レジスタ 10 | PIC2DSADTEN110 | Base + 124 _H |
| DSADC ストップトリガ出力制御レジスタ 11 | PIC2DSADTEN111 | Base + 128 _H |
| DSADC ストップトリガ出力制御レジスタ 12 | PIC2DSADTEN112 | Base + 12C _H |
| DSADC トリガ選択制御レジスタ 0 | PIC2DSADCATSEL0 | Base + 1C0 _H |
| DSADC トリガ選択制御レジスタ 1 | PIC2DSADCATSEL1 | Base + 1C4 _H |

25.2.3.1 PIC2ADCBnTSELj — AD コンバータ n トリガ選択制御レジスタ j

PIC2ADCBnTSELj レジスタは、ADCBn のスキャングループ j のトリガを選択するレジスタです。(n = 0, 1, j = 0 ~ 4)

アクセス 16、32 ビット単位でリード/ライト可能です。

アドレス <Base> + 00_H (n = 0, j = 0)、<Base> + 04_H (n = 0, j = 1)、
<Base> + 08_H (n = 0, j = 2)、<Base> + 0C_H (n = 0, j = 3)、
<Base> + 10_H (n = 0, j = 4)、<Base> + 20_H (n = 1, j = 0)、
<Base> + 24_H (n = 1, j = 1)、<Base> + 28_H (n = 1, j = 2)、
<Base> + 2C_H (n = 1, j = 3)、<Base> + 30_H (n = 1, j = 4)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|--------------------------|----|----|----|----|----|----|--------------------------|----|----|--------------------------|--------------------------|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PIC2AD CBnTS ELj15 | — | — | — | — | — | — | PIC2AD CBnTS ELj08 | — | — | PIC2AD CBnTS ELj05 | PIC2AD CBnTS ELj04 | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R | R | R | R | R | R | R/W | R | R | R/W | R/W | R | R | R | R |

表 25.10 PIC2ADCBnTSELj レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|----------------------|--|
| 31 ~ 16 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 15 | PIC2ADCBnTS ELj15 | ADCBn のスキャングループ j のトリガソースとして PIC2ADTEN5nj、 PIC2ADTEN6nj、PIC2ADTEN7nj レジスタで選択されたトリガを選択する。 0 : PIC2ADTEN5nj 6nj 7nj レジスタで選択されたトリガを選択しない 1 : PIC2ADTEN5nj 6nj 7nj レジスタで選択されたトリガを選択 |
| 14 ~ 9 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 8 | PIC2ADCBnTS ELj08 | ADCBn のスキャングループ j のトリガソースとして ADTRGn 端子を選択する。 0 : ADTRGn 端子を選択しない 1 : ADTRGn 端子を選択 |
| 7、6 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 5 | PIC2ADCBnTS ELj05 | ADCBn のスキャングループ j のトリガソースとして TSG20TSTADT1 を選択する。 (TSG20 TSTADT1 信号) 0 : TSG20TSTADT1 を選択しない 1 : TSG20TSTADT1 を選択 |
| 4 | PIC2ADCBnTS ELj04 | ADCBn のスキャングループ j のトリガソースとして TSG20TSTADT0 を選択する。 (TSG20 TSTADT0 信号) 0 : TSG20TSTADT0 を選択しない 1 : TSG20TSTADT0 を選択 |
| 3 ~ 0 | — | 予約ビット 書き込み時は“0”を書いてください。 |

25.2.3.2 PIC2ADCBnEDGSEL — AD コンバータ n トリガエッジ選択制御レジスタ

PIC2ADCBnEDGSEL レジスタは、ADCBn トリガを生成する OneShot パルス発生回路に対して有効エッジの選択を行うレジスタです。

ADC 外部端子トリガは負論理で入力されますが、トリガ要因選択時は、正論理に変換します。エッジ検出は、選択後のトリガ要因に対して行うため、ADC 外部端子信号に対しては、エッジの定義が逆になることに注意してください。(00 を設定すると、ADC 外部端子トリガ ADTRG0、ADTRG1 の FallEdge を選択します。)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <Base> + 1C_H (n = 0)、<Base> + 3C_H (n = 1)

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----------------------------|----------------------------|----------------------------|----------------------------|----------------------------|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | PIC2ADCBnED GSEL98[9:8] | PIC2ADCBnED GSEL76[7:6] | PIC2ADCBnED GSEL54[5:4] | PIC2ADCBnED GSEL32[3:2] | PIC2ADCBnED GSEL10[1:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 25.11 PIC2ADCBnEDGSEL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|----------------------------|--|
| 15 ~ 10 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 9、8 | PIC2ADCBnED GSEL98[9:8] | ADCBn のスキヤングループ 4 の有効エッジを選択。 00 : RiseEdge を選択 01 : FallEdge を選択 10 : 両 Edge を選択 11 : — (設定禁止) |
| 7、6 | PIC2ADCBnED GSEL76[7:6] | ADCBn のスキヤングループ 3 の有効エッジを選択。 00 : RiseEdge を選択 01 : FallEdge を選択 10 : 両 Edge を選択 11 : — (設定禁止) |
| 5、4 | PIC2ADCBnED GSEL54[5:4] | ADCBn のスキヤングループ 2 の有効エッジを選択。 00 : RiseEdge を選択 01 : FallEdge を選択 10 : 両 Edge を選択 11 : — (設定禁止) |
| 3、2 | PIC2ADCBnED GSEL32[3:2] | ADCBn のスキヤングループ 1 の有効エッジを選択。 00 : RiseEdge を選択 01 : FallEdge を選択 10 : 両 Edge を選択 11 : — (設定禁止) |
| 1、0 | PIC2ADCBnED GSEL10[1:0] | ADCBn のスキヤングループ 0 の有効エッジを選択。 00 : RiseEdge を選択 01 : FallEdge を選択 10 : 両 Edge を選択 11 : — (設定禁止) |

25.2.3.3 PIC2ADTEN5nj — AD コンバータトリガ出力制御レジスタ 5nj

PIC2ADTEN5nj レジスタは、ADCB トリガとして ATU のタイマ C コンペアマッチ、ATU のタイマ G コンペアマッチ、ATU の DMA 要求切り替え機能からのトリガソース選択許可を行うレジスタです。(n=0, 1, j=0~4)。

アクセス 16、32 ビット単位でリード/ライト可能です。

アドレス <Base> + 80_H (n=0, j=0)、<Base> + 84_H (n=0, j=1)、
<Base> + 88_H (n=0, j=2)、<Base> + 8C_H (n=0, j=3)、
<Base> + 90_H (n=0, j=4)、<Base> + 94_H (n=1, j=0)、
<Base> + 98_H (n=1, j=1)、<Base> + 9C_H (n=1, j=2)、
<Base> + A0_H (n=1, j=3)、<Base> + A4_H (n=1, j=4)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|-----------------------|-----------------------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | PIC2AD TEN5nj 23 | PIC2AD TEN5nj 22 | PIC2AD TEN5nj 21 | PIC2AD TEN5nj 20 | PIC2AD TEN5nj 19 | PIC2AD TEN5nj 18 | PIC2AD TEN5nj 17 | PIC2AD TEN5nj 16 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PIC2AD TEN5nj 15 | PIC2AD TEN5nj 14 | PIC2AD TEN5nj 13 | PIC2AD TEN5nj 12 | PIC2AD TEN5nj 11 | PIC2AD TEN5nj 10 | PIC2AD TEN5nj 9 | PIC2AD TEN5nj 8 | — | — | — | — | — | — | — | PIC2AD TEN5nj 0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R/W |

表 25.12 PIC2ADTEN5nj レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|--------------------|--|
| 31 ~ 24 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 23 | PIC2ADTEN5nj 23 | OCRC43 インพุットキャプチャ/コンペアマッチ割り込み (ATU4 タイマ C サブブロック 4 チャネル 3 インพุットキャプチャ/コンペアマッチ割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 22 | PIC2ADTEN5nj 22 | OCRC42 インพุットキャプチャ/コンペアマッチ割り込み (ATU4 タイマ C サブブロック 4 チャネル 2 インพุットキャプチャ/コンペアマッチ割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 21 | PIC2ADTEN5nj 21 | OCRC41 インพุットキャプチャ/コンペアマッチ割り込み (ATU4 タイマ C サブブロック 4 チャネル 1 インพุットキャプチャ/コンペアマッチ割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 20 | PIC2ADTEN5nj 20 | OCRC40 インพุットキャプチャ/コンペアマッチ割り込み (ATU4 タイマ C サブブロック 4 チャネル 0 インพุットキャプチャ/コンペアマッチ割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 19 | PIC2ADTEN5nj 19 | OCRC03 インพุットキャプチャ/コンペアマッチ割り込み (ATU4 タイマ C サブブロック 0 チャネル 3 インพุットキャプチャ/コンペアマッチ割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 18 | PIC2ADTEN5nj 18 | OCRC02 インพุットキャプチャ/コンペアマッチ割り込み (ATU4 タイマ C サブブロック 0 チャネル 2 インพุットキャプチャ/コンペアマッチ割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 17 | PIC2ADTEN5nj 17 | OCRC01 インพุットキャプチャ/コンペアマッチ割り込み (ATU4 タイマ C サブブロック 0 チャネル 1 インพุットキャプチャ/コンペアマッチ割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |

表 25.12 PIC2ADTEN5nj レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|--------------------|---|
| 16 | PIC2ADTEN5nj 16 | OCRC00 インพุットキャプチャ/コンペアマッチ割り込み (ATU4 タイマ C サブブロック 0 チャンネル 0 インพุットキャプチャ/コンペアマッチ割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 15 | PIC2ADTEN5nj 15 | OCRG7 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 7) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 14 | PIC2ADTEN5nj 14 | OCRG6 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 6) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 13 | PIC2ADTEN5nj 13 | OCRG5 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 5) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 12 | PIC2ADTEN5nj 12 | OCRG4 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 4) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 11 | PIC2ADTEN5nj 11 | OCRG3 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 3) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 10 | PIC2ADTEN5nj 10 | OCRG2 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 2) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 9 | PIC2ADTEN5nj 9 | OCRG1 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 1) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 8 | PIC2ADTEN5nj 8 | OCRG0 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 0) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 7 ~ 1 | — | 予約ビット 書き込み時は "0" を書いてください。 |
| 0 | PIC2ADTEN5nj 0 | ATU DMA/AD 要求自動切り替え機能の SAR-AD トリガ選択回路からの出力信号 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |

25.2.3.4 PIC2ADTEN6nj — AD コンバータトリガ出力制御レジスタ 6nj

PIC2ADTEN6nj レジスタは、ADCB トリガとして、APA0 割り込み、ATU のタイマ D コンペアマッチ A からのトリガソース選択許可を行うレジスタです。(n=0, 1, j=0~4)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <Base> + A8_H (n=0, j=0)、<Base> + AC_H (n=0, j=1)、
<Base> + B0_H (n=0, j=2)、<Base> + B4_H (n=0, j=3)、
<Base> + B8_H (n=0, j=4)、<Base> + BC_H (n=1, j=0)、
<Base> + C0_H (n=1, j=1)、<Base> + C4_H (n=1, j=2)、
<Base> + C8_H (n=1, j=3)、<Base> + CC_H (n=1, j=4)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | PIC2AD TEN6nj 31 | PIC2AD TEN6nj 30 | PIC2AD TEN6nj 29 | PIC2AD TEN6nj 28 | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | PIC2AD TEN6nj 11 | PIC2AD TEN6nj 10 | PIC2AD TEN6nj 9 | PIC2AD TEN6nj 8 | PIC2AD TEN6nj 7 | PIC2AD TEN6nj 6 | PIC2AD TEN6nj 5 | PIC2AD TEN6nj 4 | PIC2AD TEN6nj 3 | PIC2AD TEN6nj 2 | PIC2AD TEN6nj 1 | PIC2AD TEN6nj 0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 25.13 PIC2ADTEN6nj レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|--------------------|--|
| 31 | PIC2ADTEN6nj 31 | APA0 PWM 出力 ch.3 ステータス変化割り込み 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 30 | PIC2ADTEN6nj 30 | APA0 PWM 出力 ch.2 ステータス変化割り込み 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 29 | PIC2ADTEN6nj 29 | APA0 PWM 出力 ch.1 ステータス変化割り込み 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 28 | PIC2ADTEN6nj 28 | APA0 PWM 出力 ch.0 ステータス変化割り込み 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 27 ~ 12 | — | 予約ビット 書き込み時は "0" を書いてください。 |
| 11 | PIC2ADTEN6nj 11 | OCR1D43 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 3 コンペアマッチ A 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 10 | PIC2ADTEN6nj 10 | OCR1D42 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 2 コンペアマッチ A 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 9 | PIC2ADTEN6nj 9 | OCR1D41 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 1 コンペアマッチ A 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 8 | PIC2ADTEN6nj 8 | OCR1D40 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 0 コンペアマッチ A 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |

表 25.13 PIC2ADTEN6nj レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|-------------------|--|
| 7 | PIC2ADTEN6nj 7 | OCR1D23 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 3 コンペアマッチ A 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 6 | PIC2ADTEN6nj 6 | OCR1D22 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 2 コンペアマッチ A 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 5 | PIC2ADTEN6nj 5 | OCR1D21 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 1 コンペアマッチ A 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 4 | PIC2ADTEN6nj 4 | OCR1D20 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 0 コンペアマッチ A 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 3 | PIC2ADTEN6nj 3 | OCR1D03 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 3 コンペアマッチ A 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 2 | PIC2ADTEN6nj 2 | OCR1D02 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 2 コンペアマッチ A 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 1 | PIC2ADTEN6nj 1 | OCR1D01 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 1 コンペアマッチ A 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 0 | PIC2ADTEN6nj 0 | OCR1D00 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 0 コンペアマッチ A 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |

25.2.3.5 PIC2ADTEN7nj — AD コンバータトリガ出力制御レジスタ 7nj

PIC2ADTEN7nj レジスタは、ADCB トリガとして ATU のタイマ D コンペアマッチ B からのトリガソース選択許可を行うレジスタです。(n=0, 1, j=0~4)。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <Base> + D0_H (n=0, j=0)、<Base> + D4_H (n=0, j=1)、
<Base> + D8_H (n=0, j=2)、<Base> + DC_H (n=0, j=3)、
<Base> + E0_H (n=0, j=4)、<Base> + E4_H (n=1, j=0)、
<Base> + E8_H (n=1, j=1)、<Base> + EC_H (n=1, j=2)、
<Base> + F0_H (n=1, j=3)、<Base> + F4_H (n=1, j=4)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|------------------------|------------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | PIC2AD TEN7nj 11 | PIC2AD TEN7nj 10 | PIC2AD TEN7nj 9 | PIC2AD TEN7nj 8 | PIC2AD TEN7nj 7 | PIC2AD TEN7nj 6 | PIC2AD TEN7nj 5 | PIC2AD TEN7nj 4 | PIC2AD TEN7nj 3 | PIC2AD TEN7nj 2 | PIC2AD TEN7nj 1 | PIC2AD TEN7nj 0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 25.14 PIC2ADTEN7nj レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|--------------------|--|
| 31 ~ 12 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 11 | PIC2ADTEN7nj 11 | OCR2D43 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 3 コンペアマッチ B 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 10 | PIC2ADTEN7nj 10 | OCR2D42 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 2 コンペアマッチ B 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 9 | PIC2ADTEN7nj 9 | OCR2D41 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 1 コンペアマッチ B 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 8 | PIC2ADTEN7nj 8 | OCR2D40 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 0 コンペアマッチ B 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 7 | PIC2ADTEN7nj 7 | OCR2D23 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 3 コンペアマッチ B 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 6 | PIC2ADTEN7nj 6 | OCR2D22 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 2 コンペアマッチ B 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 5 | PIC2ADTEN7nj 5 | OCR2D21 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 1 コンペアマッチ B 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |

表 25.14 PIC2ADTEN7nj レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|-------------------|--|
| 4 | PIC2ADTEN7nj 4 | OCR2D20 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 0 コンペアマッチ B 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 3 | PIC2ADTEN7nj 3 | OCR2D03 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 3 コンペアマッチ B 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 2 | PIC2ADTEN7nj 2 | OCR2D02 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 2 コンペアマッチ B 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 1 | PIC2ADTEN7nj 1 | OCR2D01 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 1 コンペアマッチ B 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |
| 0 | PIC2ADTEN7nj 0 | OCR2D00 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 0 コンペアマッチ B 割り込み) 0: 上記の信号を ADCB のトリガとして選択可能にしない 1: 上記の信号を ADCB のトリガとして選択可能にする |

25.2.3.6 PIC2DSADTEN0n0 — DSADC スタートトリガ出力制御レジスタ n0 (n = 0、1)

DSADC スタートトリガ出力制御レジスタ n0 は、 $\Delta\Sigma$ ADC のスタート トリガとして ATU の タイマ G コンペアマッチからのトリガソース選択許可を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <Base> + 100_H (n = 0)、<Base> + 118_H (n = 1)

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|---|---|---|---|---|---|---|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PIC2DSADTEN0n015 | PIC2DSADTEN0n014 | PIC2DSADTEN0n013 | PIC2DSADTEN0n012 | PIC2DSADTEN0n011 | PIC2DSADTEN0n010 | PIC2DSADTEN0n009 | PIC2DSADTEN0n008 | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R |

表 25.15 PIC2DSADTEN0n0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------------|--|
| 15 | PIC2DSADTEN0n015 | OCRG7 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 7) 0: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 14 | PIC2DSADTEN0n014 | OCRG6 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 6) 0: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 13 | PIC2DSADTEN0n013 | OCRG5 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 5) 0: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 12 | PIC2DSADTEN0n012 | OCRG4 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 4) 0: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 11 | PIC2DSADTEN0n011 | OCRG3 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 3) 0: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 10 | PIC2DSADTEN0n010 | OCRG2 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 2) 0: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 9 | PIC2DSADTEN0n009 | OCRG1 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 1) 0: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 8 | PIC2DSADTEN0n008 | OCRG0 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 0) 0: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 7 ~ 0 | — | 予約ビット 書き込み時は "0" を書いてください。 |

25.2.3.7 PIC2DSADTEN0n1 — DSADC スタートトリガ出力制御レジスタ n1 (n = 0、1)

DSADC スタートトリガ出力制御レジスタ n1 は、 $\Delta\Sigma$ ADC のスタート トリガとして ATU のタイマ D コンペアマッチ A からのトリガソース選択許可を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <Base> + 104_H (n = 0)、<Base> + 11C_H (n = 1)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|--------------------------|--------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | PIC2DS ADTEN 0n111 | PIC2DS ADTEN 0n110 | PIC2DS ADTEN 0n19 | PIC2DS ADTEN 0n18 | PIC2DS ADTEN 0n17 | PIC2DS ADTEN 0n16 | PIC2DS ADTEN 0n15 | PIC2DS ADTEN 0n14 | PIC2DS ADTEN 0n13 | PIC2DS ADTEN 0n12 | PIC2DS ADTEN 0n11 | PIC2DS ADTEN 0n10 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 25.16 PIC2DSADTEN0n1 レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|----------------------|--|
| 31 ~ 12 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 11 | PIC2DSADTEN 0n111 | OCR1D43 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 3 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 10 | PIC2DSADTEN 0n110 | OCR1D42 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 2 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 9 | PIC2DSADTEN 0n19 | OCR1D41 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 1 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 8 | PIC2DSADTEN 0n18 | OCR1D40 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 0 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 7 | PIC2DSADTEN 0n17 | OCR1D23 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 3 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 6 | PIC2DSADTEN 0n16 | OCR1D22 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 2 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 5 | PIC2DSADTEN 0n15 | OCR1D21 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 1 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 4 | PIC2DSADTEN 0n14 | OCR1D20 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 0 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |

表 25.16 PIC2DSADTEN0n1 レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|-----------------|---|
| 3 | PIC2DSADTEN0n13 | OCR1D03 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 3 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma\text{ADCn}$ の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma\text{ADCn}$ の開始トリガとして選択可能にする |
| 2 | PIC2DSADTEN0n12 | OCR1D02 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 2 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma\text{ADCn}$ の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma\text{ADCn}$ の開始トリガとして選択可能にする |
| 1 | PIC2DSADTEN0n11 | OCR1D01 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 1 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma\text{ADCn}$ の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma\text{ADCn}$ の開始トリガとして選択可能にする |
| 0 | PIC2DSADTEN0n10 | OCR1D00 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 0 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma\text{ADCn}$ の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma\text{ADCn}$ の開始トリガとして選択可能にする |

25.2.3.8 PIC2DSADTEN0n2 — DSADC スタートトリガ出力制御レジスタ n2 (n = 0、1)

DSADC スタートトリガ出力制御レジスタ n2 は、 $\Delta\Sigma$ ADC のスタートトリガとして ATU のタイマ D コンペアマッチ B からのトリガソース選択許可を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <Base> + 108_H (n = 0)、<Base> + 120_H (n = 1)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|--------------------------|--------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | PIC2DS ADTEN 0n211 | PIC2DS ADTEN 0n210 | PIC2DS ADTEN 0n29 | PIC2DS ADTEN 0n28 | PIC2DS ADTEN 0n27 | PIC2DS ADTEN 0n26 | PIC2DS ADTEN 0n25 | PIC2DS ADTEN 0n24 | PIC2DS ADTEN 0n23 | PIC2DS ADTEN 0n22 | PIC2DS ADTEN 0n21 | PIC2DS ADTEN 0n20 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 25.17 PIC2DSADTEN0n2 レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|----------------------|--|
| 31 ~ 12 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 11 | PIC2DSADTEN 0n211 | OCR2D43 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 3 コンペアマッチ B 割り込み) 0 : 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1 : 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 10 | PIC2DSADTEN 0n210 | OCR2D42 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 2 コンペアマッチ B 割り込み) 0 : 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1 : 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 9 | PIC2DSADTEN 0n29 | OCR2D41 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 1 コンペアマッチ B 割り込み) 0 : 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1 : 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 8 | PIC2DSADTEN 0n28 | OCR2D40 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 0 コンペアマッチ B 割り込み) 0 : 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1 : 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 7 | PIC2DSADTEN 0n27 | OCR2D23 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 3 コンペアマッチ B 割り込み) 0 : 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1 : 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 6 | PIC2DSADTEN 0n26 | OCR2D22 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 2 コンペアマッチ B 割り込み) 0 : 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1 : 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 5 | PIC2DSADTEN 0n25 | OCR2D21 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 1 コンペアマッチ B 割り込み) 0 : 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1 : 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |
| 4 | PIC2DSADTEN 0n24 | OCR2D20 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 0 コンペアマッチ B 割り込み) 0 : 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にしない 1 : 上記の信号を $\Delta\Sigma$ ADCn の開始トリガとして選択可能にする |

表 25.17 PIC2DSADTEN0n2 レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|-----------------|---|
| 3 | PIC2DSADTEN0n23 | OCR2D03 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 3 コンペアマッチ B 割り込み) 0: 上記の信号を $\Delta\Sigma\text{ADCn}$ の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma\text{ADCn}$ の開始トリガとして選択可能にする |
| 2 | PIC2DSADTEN0n22 | OCR2D02 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 2 コンペアマッチ B 割り込み) 0: 上記の信号を $\Delta\Sigma\text{ADCn}$ の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma\text{ADCn}$ の開始トリガとして選択可能にする |
| 1 | PIC2DSADTEN0n21 | OCR2D01 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 1 コンペアマッチ B 割り込み) 0: 上記の信号を $\Delta\Sigma\text{ADCn}$ の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma\text{ADCn}$ の開始トリガとして選択可能にする |
| 0 | PIC2DSADTEN0n20 | OCR2D00 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 0 コンペアマッチ B 割り込み) 0: 上記の信号を $\Delta\Sigma\text{ADCn}$ の開始トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma\text{ADCn}$ の開始トリガとして選択可能にする |

25.2.3.9 PIC2DSADTEN1n0 — DSADC ストップトリガ出力制御レジスタ n0 (n = 0、1)

DSADC ストップトリガ出力制御レジスタ n0 は、 $\Delta\Sigma$ ADC のストップトリガとして ATU のタイマ G コンペアマッチからのトリガソース選択許可を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <Base> + 10C_H (n = 0)、<Base> + 124_H (n = 1)

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|---|---|---|---|---|---|---|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PIC2DSADTEN1n015 | PIC2DSADTEN1n014 | PIC2DSADTEN1n013 | PIC2DSADTEN1n012 | PIC2DSADTEN1n011 | PIC2DSADTEN1n010 | PIC2DSADTEN1n009 | PIC2DSADTEN1n008 | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R |

表 25.18 PIC2DSADTEN1n0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------------|--|
| 15 | PIC2DSADTEN1n115 | OCRG7 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 7) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 14 | PIC2DSADTEN1n114 | OCRG6 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 6) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 13 | PIC2DSADTEN1n113 | OCRG5 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 5) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 12 | PIC2DSADTEN1n112 | OCRG4 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 4) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 11 | PIC2DSADTEN1n111 | OCRG3 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 3) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 10 | PIC2DSADTEN1n110 | OCRG2 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 2) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 9 | PIC2DSADTEN1n109 | OCRG1 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 1) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 8 | PIC2DSADTEN1n108 | OCRG0 コンペアマッチ割り込み (ATU4 タイマ G サブブロック 0) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 7 ~ 0 | — | 予約ビット 書き込み時は "0" を書いてください。 |

25.2.3.10 PIC2DSADTEN1n1 — DSADC ストップトリガ出力制御レジスタ n1 (n = 0、1)

DSADC ストップトリガ出力制御レジスタ n1 は、 $\Delta\Sigma$ ADC のストップトリガとして ATU のタイマ D コンペアマッチ A からのトリガソース選択許可を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <Base> + 110_H (n = 0)、<Base> + 128_H (n = 1)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | PIC2DS ADTEN 1n111 | PIC2DS ADTEN 1n110 | PIC2DS ADTEN 1n119 | PIC2DS ADTEN 1n118 | PIC2DS ADTEN 1n117 | PIC2DS ADTEN 1n116 | PIC2DS ADTEN 1n115 | PIC2DS ADTEN 1n114 | PIC2DS ADTEN 1n113 | PIC2DS ADTEN 1n112 | PIC2DS ADTEN 1n111 | PIC2DS ADTEN 1n110 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 25.19 PIC2DSADTEN1n1 レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|----------------------|--|
| 31 ~ 12 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 11 | PIC2DSADTEN 1n111 | OCR1D43 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 3 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 10 | PIC2DSADTEN 1n110 | OCR1D42 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 2 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 9 | PIC2DSADTEN 1n119 | OCR1D41 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 1 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 8 | PIC2DSADTEN 1n118 | OCR1D40 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 0 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 7 | PIC2DSADTEN 1n117 | OCR1D23 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 3 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 6 | PIC2DSADTEN 1n116 | OCR1D22 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 2 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 5 | PIC2DSADTEN 1n115 | OCR1D21 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 1 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 4 | PIC2DSADTEN 1n114 | OCR1D20 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 0 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |

表 25.19 PIC2DSADTEN1n1 レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|-----------------|---|
| 3 | PIC2DSADTEN1n13 | OCR1D03 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 3 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma\text{ADCn}$ の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma\text{ADCn}$ の終了トリガとして選択可能にする |
| 2 | PIC2DSADTEN1n12 | OCR1D02 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 2 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma\text{ADCn}$ の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma\text{ADCn}$ の終了トリガとして選択可能にする |
| 1 | PIC2DSADTEN1n11 | OCR1D01 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 1 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma\text{ADCn}$ の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma\text{ADCn}$ の終了トリガとして選択可能にする |
| 0 | PIC2DSADTEN1n10 | OCR1D00 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 0 コンペアマッチ A 割り込み) 0: 上記の信号を $\Delta\Sigma\text{ADCn}$ の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma\text{ADCn}$ の終了トリガとして選択可能にする |

25.2.3.11 PIC2DSADTEN1n2 — DSADC ストップトリガ出力制御レジスタ n2 (n = 0、1)

DSADC ストップトリガ出力制御レジスタ n2 は、 $\Delta\Sigma$ ADC のストップトリガとして ATU のタイマ D コンペアマッチ B からのトリガソース選択許可を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <Base> + 114_H (n = 0)、<Base> + 12C_H (n = 1)

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|--------------------------|--------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|-------------------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | PIC2DS ADTEN 1n211 | PIC2DS ADTEN 1n210 | PIC2DS ADTEN 1n29 | PIC2DS ADTEN 1n28 | PIC2DS ADTEN 1n27 | PIC2DS ADTEN 1n26 | PIC2DS ADTEN 1n25 | PIC2DS ADTEN 1n24 | PIC2DS ADTEN 1n23 | PIC2DS ADTEN 1n22 | PIC2DS ADTEN 1n21 | PIC2DS ADTEN 1n20 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 25.20 PIC2DSADTEN1n2 レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|----------------------|--|
| 31 ~ 12 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 11 | PIC2DSADTEN 1n211 | OCR2D43 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 3 コンペアマッチ B 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 10 | PIC2DSADTEN 1n210 | OCR2D42 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 2 コンペアマッチ B 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 9 | PIC2DSADTEN 1n29 | OCR2D41 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 1 コンペアマッチ B 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 8 | PIC2DSADTEN 1n28 | OCR2D40 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 4 チャンネル 0 コンペアマッチ B 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 7 | PIC2DSADTEN 1n27 | OCR2D23 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 3 コンペアマッチ B 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 6 | PIC2DSADTEN 1n26 | OCR2D22 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 2 コンペアマッチ B 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 5 | PIC2DSADTEN 1n25 | OCR2D21 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 1 コンペアマッチ B 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |
| 4 | PIC2DSADTEN 1n24 | OCR2D20 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 2 チャンネル 0 コンペアマッチ B 割り込み) 0: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma$ ADCn の終了トリガとして選択可能にする |

表 25.20 PIC2DSADTEN1n2 レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|---------------------|--|
| 3 | PIC2DSADTEN 1n23 | OCR2D03 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 3 コンペアマッチ B 割り込み) 0: 上記の信号を $\Delta\Sigma\text{ADCn}$ の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma\text{ADCn}$ の終了トリガとして選択可能にする |
| 2 | PIC2DSADTEN 1n22 | OCR2D02 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 2 コンペアマッチ B 割り込み) 0: 上記の信号を $\Delta\Sigma\text{ADCn}$ の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma\text{ADCn}$ の終了トリガとして選択可能にする |
| 1 | PIC2DSADTEN 1n21 | OCR2D01 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 1 コンペアマッチ B 割り込み) 0: 上記の信号を $\Delta\Sigma\text{ADCn}$ の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma\text{ADCn}$ の終了トリガとして選択可能にする |
| 0 | PIC2DSADTEN 1n20 | OCR2D00 コンペアマッチ割り込み (ATU4 タイマ D サブブロック 0 チャンネル 0 コンペアマッチ B 割り込み) 0: 上記の信号を $\Delta\Sigma\text{ADCn}$ の終了トリガとして選択可能にしない 1: 上記の信号を $\Delta\Sigma\text{ADCn}$ の終了トリガとして選択可能にする |

25.2.3.12 PIC2DSADCATSEL0 — DSADC トリガ選択制御レジスタ 0

DSADC トリガ選択制御レジスタ 0 は、DSADC_j のスタートトリガを選択するレジスタです。
(j = 0, 1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <Base> + 1C0_H

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|---|---|---|---|---|---|-----------------------|-----------------------|-----------------------|-----------------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | DSADC ATSELO 03 | DSADC ATSELO 02 | DSADC ATSELO 01 | DSADC ATSELO 00 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W |

表 25.21 PIC2DSADCATSEL0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------------|---|
| 15 ~ 4 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 3 | DSADCATSEL0 03 | DSADC1 のスタートトリガソースとして DSADTRG1 端子を選択する 0 : DSADTRG1 を選択しない 1 : DSADTRG1 を選択 |
| 2 | DSADCATSEL0 02 | DSADC1 のスタートトリガソースとして DSADC スタートトリガ出力制御レジスタ 1j (j = 0 ~ 2) レジスタで選択したトリガを選択する 0 : PIC2DSADTEN01j レジスタで選択されたトリガを選択しない 1 : PIC2DSADTEN01j レジスタで選択されたトリガを選択 |
| 1 | DSADCATSEL0 01 | DSADC0 のスタートトリガソースとして DSADTRG0 を選択する 0 : DSADTRG0 を選択しない 1 : DSADTRG0 を選択 |
| 0 | DSADCATSEL0 00 | DSADC0 のスタートトリガソースとして DSADC スタートトリガ出力制御レジスタ 0j (j = 0 ~ 2) レジスタで選択したトリガを選択する 0 : PIC2DSADTEN00j レジスタで選択したトリガを選択しない 1 : PIC2DSADTEN00j レジスタで選択したトリガを選択 |

25.2.3.13 PIC2DSADCATSEL1 — DSADC トリガ選択制御レジスタ 1

DSADC トリガ選択制御レジスタ 1 は DSADC_j のストップトリガを選択するレジスタです。
(j = 0, 1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <Base> + 1C4_H

リセット後の値 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|---|---|---|---|---|---|-----------------------|-----------------------|-----------------------|-----------------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | DSADC ATSEL1 03 | DSADC ATSEL1 02 | DSADC ATSEL1 01 | DSADC ATSEL1 00 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W |

表 25.22 PIC2DSADCATSEL1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------------|---|
| 15 ~ 4 | — | 予約ビット 書き込み時は“0”を書いてください。 |
| 3 | DSADCATSEL 103 | DSADC1 のストップトリガソースとして DSADTRG1 端子を選択する 0 : DSADTRG1 を選択しない 1 : DSADTRG1 を選択 |
| 2 | DSADCATSEL 102 | DSADC1 のストップトリガソースとして DSADC ストップトリガ出力制御レジスタ 1j (j = 0 ~ 2) レジスタで選択したトリガを選択する 0 : PIC2DSADTEN11j レジスタで選択されたトリガを選択しない 1 : PIC2DSADTEN11j レジスタで選択されたトリガを選択 |
| 1 | DSADCATSEL 101 | DSADC0 のストップトリガソースとして DSADTRG0 端子を選択する 0 : DSADTRG0 を選択しない 1 : DSADTRG0 を選択 |
| 0 | DSADCATSEL 100 | DSADC0 のストップトリガソースとして DSADC ストップトリガ出力制御レジスタ 0j (j = 0 ~ 2) レジスタで選択したトリガを選択する 0 : PIC2DSADTEN10j レジスタで選択されたトリガを選択しない 1 : PIC2DSADTEN10j レジスタで選択されたトリガを選択 |

25.2.4 AD トリガ選択機能

25.2.4.1 ADC トリガ選択機能

ADCB0、ADCB1 はそれぞれ 5 つのスキャングループを持ち、各スキャングループに対応した ADCB ハードウェアトリガを持っています。

レジスタ PIC2ADCBnTSELj によって選択される、TSG20、ATU、APA0 から出力される内部トリガ信号および端子からの外部トリガ信号の論理和 (OR) を、各スキャングループの ADCB ハードウェアトリガ信号として入力できます。

また、上記 ATU、APA のトリガはそれぞれ各タイマの内部信号からトリガを選択します。

備 考

ADTRG の外部端子は AD1 基あたり 1 入力の外部トリガ端子を持ちます。
各 AD のスキャングループには同一の外部端子を割り当てています。

- ATU、APA トリガ選択

ATU (ATU タイマ C コンペアマッチ 16 要因、ATU タイマ D コンペアマッチ A 2012 要因、ATU タイマ D コンペアマッチ B 12 要因、ATU タイマ G コンペアマッチ 8 要因、ATU DMA 切り替え機能 1 要因、各スキャングループに独立に選択) および APA0 割り込みによる ADCB ハードウェアトリガ信号を 1AD あたり 5 スキャングループ、計 10 トリガ生成します。

25.2.4.2 ΔΣADC トリガ選択機能

ΔΣADC はスタートトリガとストップトリガの 2 つのハードウェアトリガを持っています。

スタートトリガ、ストップトリガは、それぞれ外部端子入力 DSADTRGn と ATU のトリガ選択によって選択された信号の論理和 (OR) であり、ΔΣADC ハードウェアトリガ信号として入力できます。

- ATU トリガ選択

ATU による (ATU タイマ D コンペアマッチ A12 要因、ATU タイマ D コンペアマッチ B12 要因、ATU タイマ G コンペアマッチ 8 要因) ΔΣADC トリガ信号を 1AD あたり 1 トリガ生成します。

第26章 ADコンバータ (ADCB)

本 LSI は、逐次比較方式の 12 ビット A/D 変換器を 2 モジュール (ADC0、ADC1) 搭載しています。

26.1 特長

ADC の特長を以下に示します。

- アナログチャンネルとサンプル&ホールド機能
ADC0 は 20 チャンネル、ADC1 は 16 チャンネルの合計 36 チャンネルの A/D 変換ができます。ADC0 と ADC1 にサンプル & ホールド回路を内蔵していますので、独立して A/D 変換することができます。
- 高性能な A/D 変換器
分解能：12 ビット
A/D 変換方式：逐次比較方式
変換速度：1.0 μ s
- 最大 2 チャンネルの同時トラック & ホールドをサポート
ADC0 は 2 チャンネル分、ADC1 は 0 チャンネル分のトラック & ホールド回路を内蔵していますので、最大 2 チャンネルの同時トラック & ホールドに対応します。
- 5 系統のスキャングループをサポート
ADC には、5 系統のスキャングループがあります。スキャングループは、独立にスキャンの内容を設定することができます。
- 2 種類のスキャンモード
ADC には、2 種類のスキャンモードがあります。
マルチサイクルスキャンモード：指定された回数 of スキャンを実行します。
連続スキャンモード：スキャンを無制限に繰り返し実行します。
- 仮想チャンネル
ADC0 には 36 チャンネル分、ADC1 には 32 チャンネル分の仮想チャンネルがあり、各仮想チャンネルに A/D 変換するアナログチャンネルやその他付随情報を設定します。各スキャングループにて開始仮想チャンネルポインタと終了仮想チャンネルポインタで示される仮想チャンネルを順番に実行することで、任意のアナログチャンネルを任意の順番で A/D 変換するスキャンを実行することができます。
- 物理チャンネルの拡張
ADC は、外付けのアナログマルチプレクサを使用して物理チャンネルを拡張することができます。さらに、DMA を使用することにより CSIH インタフェースの外付けアナログマルチプレクサにも対応可能です (対応チャンネルは、各 ADC に 1 チャンネルずつ設定)。
- インターバル機能
ADC は、スキャングループ 3、スキャングループ 4 に内蔵する AD タイマを使用して任意の周期でスキャングループを起動することができます。それによりインターバルを挿入したスキャンを実現できます。

- A/D 変換値加算機能
 ADCは、同じチャンネルを2、4回連続でA/D変換し、加算した結果をデータレジスタに保持します。加算回数は、全仮想チャンネル共通設定となります。
 この結果を使用することで移動平均フィルタの効果を得られます。
 ただし、必ずA/D変換精度が良くなることを保証する機能ではありません。
 また、オプション機能であるASFを使用することにより、拡張した積算機能を使用することができます。詳細は、「**26.11 ASF (ADC 積算機能)**」を参照してください。
- データレジスタ
 仮想チャンネルに対応したデータレジスタがあります。
- スキャングループの開始トリガ
 各スキャングループは、ハードウェアトリガ/ソフトウェアトリガにより処理を開始することができます。スキャングループ3、スキャングループ4のみADタイマトリガにより処理を開始することができます。
- 非同期/同期サスペンド & レジューム機能
 スキャングループの処理中に別のスキャングループの処理を割り込むことができます。
 優先順位は、
 低い 高い
 $SG0 < SG1 < SG2 < SG3 < SG4$ (SG: スキャングループ)
 となります。低優先SG処理中に高優先SGのいずれかの要求があると低優先SGで仕掛かり中の仮想チャンネルの処理を終了してから中断(同期サスペンド)するか、もしくは仕掛かり中の仮想チャンネルの処理を即中断(非同期サスペンド)し、要求のある高優先SGの処理を実行します。高優先SGの処理終了後、低優先SGで中断した仮想チャンネルの処理から再開(レジューム)します。
 さらにSG0処理中に高優先SGが割り込む場合は、非同期サスペンドだが、SG0以外の低優先SG処理中に高優先SGが割り込む場合は、同期サスペンドとする設定もできます。
- デジタルフィルタエンジンおよびADC積算機能へのエントリ
 A/D変換値を直接デジタルフィルタエンジン(DFE)もしくはADC積算機能(ASF)へエントリすることができます。仮想チャンネル単位にエントリの有/無と、どのチャンネルへエントリするかを決めるTAGを設定できます。また、DFE/ASFのどちらにエントリするかはスキャングループごとに設定可能です。
- スキャン終了割り込みとDMA転送をサポート
 各スキャングループは、終了仮想チャンネルポインタが指す仮想チャンネルの処理が終了するもしくは任意の仮想チャンネルが終了するたびにINTCに対する割り込み要求の発生、およびDMACの起動ができます。
- 外付けアナログマルチプレクサ用の割り込みとDMA転送をサポート
 指定された仮想チャンネルの開始時にINTCに対する割り込み要求の発生、およびDMACの起動ができます。これによりI/OポートもしくはCSIHと連携して外付けアナログマルチプレクサにMPX値を転送できます。
- アナログ変換電圧範囲が設定可能
 A0VREFH端子、A1VREFH端子により、アナログ変換の電圧の範囲を設定できます。

- A/D 変換モニタ出力
A/D 変換モニタ出力端子に任意の仮想チャネルの処理タイミングを出力することができます。
- 豊富なセーフティ機能
ADC のセーフティ機能として、自己診断、端子レベル自己診断、断線検出、アナログ選択の正常性チェック、データレジスタの上限/下限チェック、データレジスタのパリティチェック、データレジスタのオーバーライトチェック、データレジスタのリード&クリア機能など豊富なセーフティ機能が整備されています。

26.2 構成

図 26.1 と図 26.2 に ADC のブロック図および表 26.1 と表 26.2 に ADC の端子構成を示します。

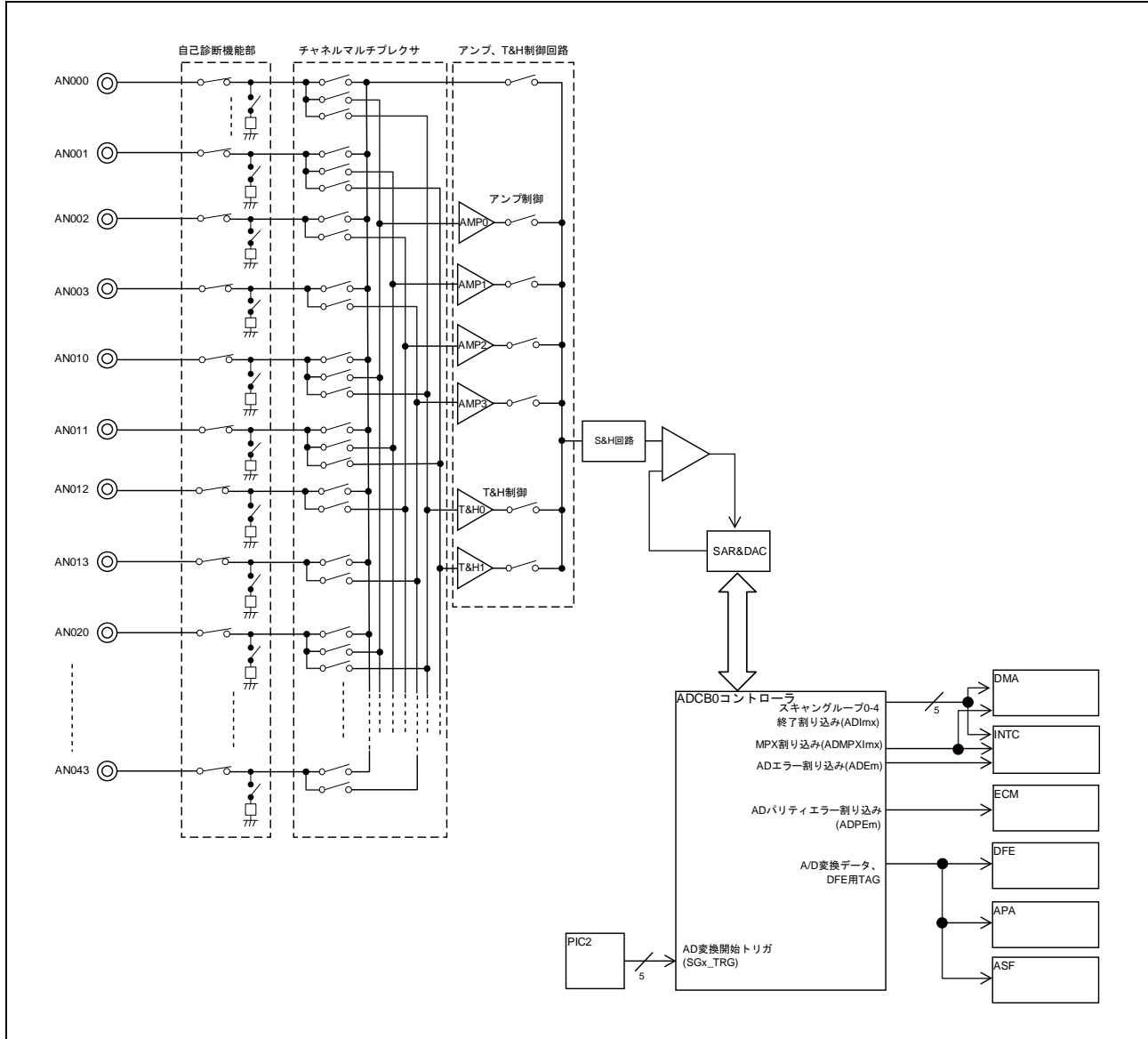


図 26.1 ADC0 のブロック図

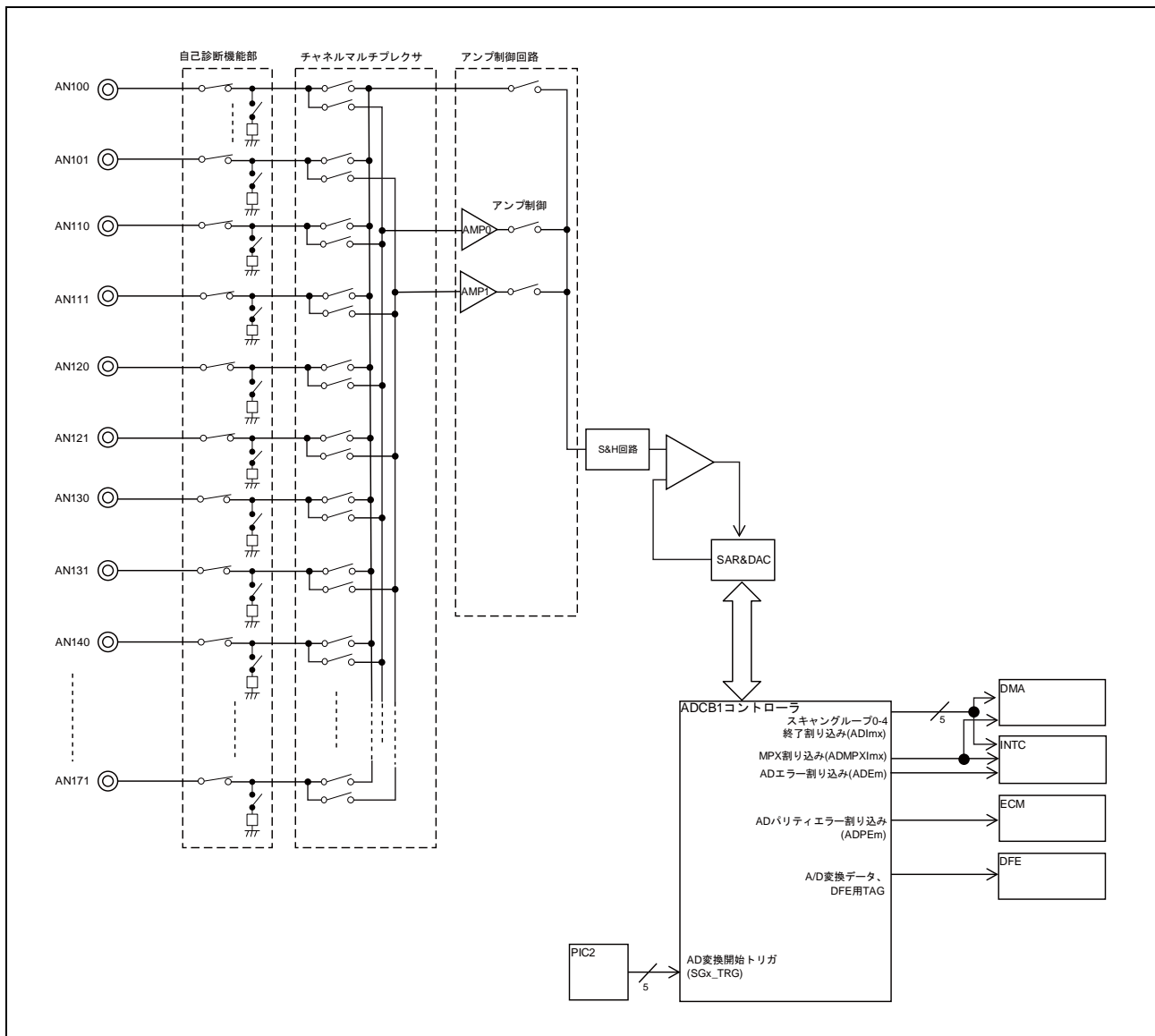


図 26.2 ADC1 のブロック図

表 26.1 ADC の端子構成 (1/2)

| 端子名 | モジュール | 入出力 | 機能 |
|---------|-------|-----|---------------------------------|
| A0VCC | ADC0 | 入力 | アナログ部の電源端子 |
| A0VSS | ADC0 | 入力 | アナログ部のグラウンド端子 |
| A1VCC | ADC1 | 入力 | アナログ部の電源端子 |
| A1VSS | ADC1 | 入力 | アナログ部のグラウンド端子 |
| A0VREFH | ADC0 | 入力 | アナログ部の基準電圧端子 |
| A1VREFH | ADC1 | 入力 | アナログ部の基準電圧端子 |
| AN000 | ADC0 | 入力 | アナログ端子 000 |
| AN001 | ADC0 | 入力 | アナログ端子 001 |
| AN002 | ADC0 | 入力 | アナログ端子 002 |
| AN003 | ADC0 | 入力 | アナログ端子 003 |
| AN010 | ADC0 | 入力 | アナログ端子 010 |
| AN011 | ADC0 | 入力 | アナログ端子 011 |
| AN012 | ADC0 | 入力 | アナログ端子 012 |
| AN013 | ADC0 | 入力 | アナログ端子 013 |
| AN020 | ADC0 | 入力 | アナログ端子 020 |
| AN021 | ADC0 | 入力 | アナログ端子 021 |
| AN022 | ADC0 | 入力 | アナログ端子 022 |
| AN023 | ADC0 | 入力 | アナログ端子 023 |
| AN030 | ADC0 | 入力 | アナログ端子 030 |
| AN031 | ADC0 | 入力 | アナログ端子 031 |
| AN032 | ADC0 | 入力 | アナログ端子 032 |
| AN033 | ADC0 | 入力 | アナログ端子 033 |
| AN040 | ADC0 | 入力 | アナログ端子 040 |
| AN041 | ADC0 | 入力 | アナログ端子 041 |
| AN042 | ADC0 | 入力 | アナログ端子 042 |
| AN043 | ADC0 | 入力 | アナログ端子 043 / 外付けアナログマルチプレクサ入力端子 |
| AN100 | ADC1 | 入力 | アナログ端子 100 / 外付けアナログマルチプレクサ入力端子 |
| AN101 | ADC1 | 入力 | アナログ端子 101 |
| AN110 | ADC1 | 入力 | アナログ端子 110 |
| AN111 | ADC1 | 入力 | アナログ端子 111 |
| AN120 | ADC1 | 入力 | アナログ端子 120 |
| AN121 | ADC1 | 入力 | アナログ端子 121 |
| AN130 | ADC1 | 入力 | アナログ端子 130 |
| AN131 | ADC1 | 入力 | アナログ端子 131 |
| AN140 | ADC1 | 入力 | アナログ端子 140 |
| AN141 | ADC1 | 入力 | アナログ端子 141 |
| AN150 | ADC1 | 入力 | アナログ端子 150 |
| AN151 | ADC1 | 入力 | アナログ端子 151 |
| AN160 | ADC1 | 入力 | アナログ端子 160 |
| AN161 | ADC1 | 入力 | アナログ端子 161 |
| AN170 | ADC1 | 入力 | アナログ端子 170 |
| AN171 | ADC1 | 入力 | アナログ端子 171 |
| ADTRG0 | ADC0 | 入力 | 外部トリガ端子 |
| ADTRG1 | ADC1 | 入力 | 外部トリガ端子 |

表 26.1 ADC の端子構成 (2/2)

| 端子名 | モジュール | 入出力 | 機能 |
|--------|-------|-----|------------------|
| ADEND0 | ADC0 | 出力 | A/D 変換タイミングモニタ端子 |
| ADEND1 | ADC1 | 出力 | A/D 変換タイミングモニタ端子 |

LSI 信頼性確保のため、ADC を使用するときは、A0VCC、A1VCC、A0VSS、A1VSS と VCC、VSS との関係は、下記のとおりとにしてください。

$$A0VCC = 5V \pm 0.5V, A1VCC = 5V \pm 0.5V, A0VSS = A1VSS = VSS$$

一方、ADC を使用しないときは、A0VCC = A1VCC = EVCC、A0VSS = A1VSS = VSS としてください。また、アナログ入力端子に印加する電圧は、下記の範囲としてください。

$$A0VSS \leq AN0k1 \ (k=0 \sim 4, 1=0 \sim 3) \leq A0VREFH, A1VSS \leq AN1k1 \ (k=0 \sim 7, 1=0 \sim 1) \leq A1VREFH$$

表 26.2 物理チャンネルグループと物理サブチャンネル

ADC0

| 端子名 物理チャンネル | 物理チャンネルグループ | 物理サブチャンネル |
|----------------|-------------|-----------|
| AN000 | 0 | 0 |
| AN001 | | 1 |
| AN002 | | 2 |
| AN003 | | 3 |
| AN010 | 1 | 0 |
| AN011 | | 1 |
| AN012 | | 2 |
| AN013 | | 3 |
| AN020 | 2 | 0 |
| AN021 | | 1 |
| AN022 | | 2 |
| AN023 | | 3 |
| AN030 | 3 | 0 |
| AN031 | | 1 |
| AN032 | | 2 |
| AN033 | | 3 |
| AN040 | 4 | 0 |
| AN041 | | 1 |
| AN042 | | 2 |
| AN043 | | 3 |

ADC1

| 端子名 物理チャンネル | 物理チャンネルグループ | 物理サブチャンネル |
|----------------|-------------|-----------|
| AN100 | 0 | 0 |
| AN101 | | 1 |
| AN110 | 1 | 0 |
| AN111 | | 1 |
| AN120 | 2 | 0 |
| AN121 | | 1 |
| AN130 | 3 | 0 |
| AN131 | | 1 |
| AN140 | 4 | 0 |
| AN141 | | 1 |
| AN150 | 5 | 0 |
| AN151 | | 1 |
| AN160 | 6 | 0 |
| AN161 | | 1 |
| AN170 | 7 | 0 |
| AN171 | | 1 |

26.3 レジスタアドレス

表 26.3 レジスタベースアドレス <ADCm_base>

| ADCm | <ADCm_base> アドレス |
|------|------------------------|
| ADC0 | FFF2 0000 _H |
| ADC1 | FFF2 1000 _H |

備考 m = 0、1

表 26.4 レジスタアドレス一覧 (1/2)

| レジスタ名 | 略号 | リセット後の値 | アドレス | アクセスサイズ |
|-------------------------------|------------------|------------------------|--|--------------------------------------|
| ■ ADC 共有レジスタ | | | | |
| AD 同期開始制御レジスタ | ADCB0ADSYNSTCR | 00 _H | <ADC0_base> + 300 _H | 8 |
| AD タイマ同期開始制御レジスタ | ADCB0ADTSYNSTCR | 00 _H | <ADC0_base> + 304 _H | 8 |
| ■ ADC 固有レジスタ (仮想チャンネル) | | | | |
| 仮想チャンネルレジスタ n | ADCBmVCRn | 0000 _H | <ADCm_base> + n × 4 _H | 8、16 |
| データレジスタ n | ADCBmDRn | 0000 _H | <ADCm_base> + 100 _H + n × 2 _H | 16、32 (n が偶数のとき) 16 (n が奇数のとき) |
| データ付帯情報レジスタ n | ADCBmDIRn | 0000 0000 _H | <ADCm_base> + 200 _H + n × 4 _H | 32 |
| ■ ADC 固有レジスタ (制御) | | | | |
| AD 終了レジスタ | ADCBmADHALTR | 00 _H | <ADCm_base> + 380 _H | 8 |
| AD 制御レジスタ 1 | ADCBmADCR1 | 00 _H | <ADCm_base> + 384 _H | 8 |
| MPX カレント制御レジスタ | ADCBmMPXCURCR | 00 _H | <ADCm_base> + 388 _H | 8 |
| MPX カレントレジスタ | ADCBmMPXCURR | 0000 0000 _H | <ADCm_base> + 38C _H | 32 |
| MPX 任意ウェイトレジスタ | ADCBmMPXOWR | 00 _H | <ADCm_base> + 390 _H | 8 |
| MPX コマンド情報レジスタ | ADCBmMPXCMDR | 00 _H | <ADCm_base> + 394 _H | 8 |
| AD 制御レジスタ 2 | ADCBmADCR2 | 00 _H | <ADCm_base> + 398 _H | 8 |
| DFE/ASF エントリスキャングループイネーブルレジスタ | ADCBmDFASENTSGER | 0000 _H | <ADCm_base> + 39C _H | 16 |
| AD 変換モニタ仮想チャンネルポインタ | ADCBmADENDP | 00 _H | <ADCm_base> + 3A0 _H | 8 |
| ■ ADC 固有レジスタ (セーフティ関連) | | | | |
| セーフティ制御レジスタ | ADCBmSFTCR | 00 _H | <ADCm_base> + 3C0 _H | 8 |
| 端子レベル自己診断制御レジスタ | ADCBmTDCR | 00 _H | <ADCm_base> + 3C4 _H | 8 |
| 断線検出制御レジスタ | ADCBmODCR | 00 _H | <ADCm_base> + 3C8 _H | 8 |
| 上限/下限テーブルレジスタ 0 | ADCBmULLMTBR0 | 7FFE 0000 _H | <ADCm_base> + 3CC _H | 16、32 |
| 上限/下限テーブルレジスタ 1 | ADCBmULLMTBR1 | 7FFE 0000 _H | <ADCm_base> + 3D0 _H | 16、32 |
| 上限/下限テーブルレジスタ 2 | ADCBmULLMTBR2 | 7FFE 0000 _H | <ADCm_base> + 3D4 _H | 16、32 |
| エラークリアレジスタ | ADCBmECR | 00 _H | <ADCm_base> + 3D8 _H | 8 |
| 上限/下限エラーレジスタ | ADCBmULER | 00 _H | <ADCm_base> + 3DC _H | 8 |
| オーバーライトエラーレジスタ | ADCBmOWER | 00 _H | <ADCm_base> + 3E0 _H | 8 |
| パリティエラーレジスタ | ADCBmPER | 00 _H | <ADCm_base> + 3E4 _H | 8 |
| ID エラーレジスタ | ADCBmIDER | 00 _H | <ADCm_base> + 3E8 _H | 8 |
| ■ スキャングループ固有レジスタ | | | | |
| スキャングループ x 開始制御レジスタ | ADCBmSGSTCRx | 00 _H | <ADCm_base> + x × 80 _H + 480 _H | 8 |

表 26.4 レジスタアドレス一覧 (2/2)

| レジスタ名 | 略号 | リセット後の値 | アドレス | アクセスサイズ |
|------------------------------|----------------|------------------------|--|---------|
| AD タイマ y 開始制御レジスタ | ADCBmADTSTCRy | 00 _H | <ADCM_base> + y × 80 _H + 488 _H | 8 |
| AD タイマ y 終了制御レジスタ | ADCBmADTENDCRy | 00 _H | <ADCM_base> + y × 80 _H + 48C _H | 8 |
| スキヤングループ x 制御レジスタ | ADCBmSGCRx | 00 _H | <ADCM_base> + x × 80 _H + 490 _H | 8 |
| スキヤングループ x 開始仮想チャンネルポインタ | ADCBmSGVCSPx | 00 _H | <ADCM_base> + x × 80 _H + 494 _H | 8 |
| スキヤングループ x 終了仮想チャンネルポインタ | ADCBmSGVCEPx | 00 _H | <ADCM_base> + x × 80 _H + 498 _H | 8 |
| スキヤングループ x マルチサイクルレジスタ | ADCBmSGMCYCRx | 00 _H | <ADCM_base> + x × 80 _H + 49C _H | 8 |
| スキヤングループ x ステータスレジスタ | ADCBmSGSRx | 00 _H | <ADCM_base> + x × 80 _H + 4A4 _H | 8 |
| AD タイマ初期位相レジスタ y | ADCBmADTIPRy | 0000 0000 _H | <ADCM_base> + y × 80 _H + 4A8 _H | 32 |
| AD タイマ周期レジスタ y | ADCBmADTPRRy | 001F FFFF _H | <ADCM_base> + y × 80 _H + 4AC _H | 32 |
| スキヤングループ x 上限値/下限値テーブル選択レジスタ | ADCBmULLMSRx | 00 _H | <ADCM_base> + x × 80 _H + 4B0 _H | 8 |

備考 m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31 x = 0 ~ 4 y = 3、4

26.4 ADC 共有レジスタ

ADC0 と ADC1 で共有するレジスタを説明します。

26.4.1 ADCB0ADSYNSTCR — AD 同期開始制御レジスタ

ADCB0ADSYNSTCR は、ADC0 と ADC1 の各スキャングループの AD 変換を同時に開始する制御を行う 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されません。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | ADSTART |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 26.5 ADCB0ADSYNSTCR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 7 ~ 1 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 0 | ADSTART | ADC0 と ADC1 のスキャングループの AD 変換を開始 ADSTART での ADCm の SGx の開始条件 ADCm の SGx の SGACT が 0 かつ ADSTARTE が 1 の状態で ADSTART に 1 を書き込んだとき あらかじめ ADC0 と ADC1 の各スキャングループの ADSTARTE が 1 にセットされたスキャングループの AD 変換を同時に起動します。 |

備考

$m = 0, 1$ $x = 0 \sim 4$

26.4.2 ADCB0ADTSYNSTCR — AD タイマ同期開始制御レジスタ

ADCB0ADTSYNSTCR は、ADC0 と ADC1 の各 AD タイマのカウント動作を同時に開始する制御を行う 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | ADTSTART |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 26.6 ADCB0ADTSYNSTCR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|--|
| 7 ~ 1 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 0 | ADTSTART | ADC0 と ADC1 の AD タイマのカウント動作開始 ADTSTART での ADCm の SGx の開始条件 ADCm の AD タイマ y の ADTACT が 0 かつ ADTSTARTE が 1 の状態で ADTSTART に 1 を書き込んだとき あらかじめ ADC0 と ADC1 の各 AD タイマの ADTST が 1 にセットされた AD タイマのカウント動作を同時に起動します。 |

備考

$m = 0, 1 \quad x = 0 \sim 4 \quad y = 3, 4$

26.5 ADC 固有レジスタ (仮想チャネル)

26.5.1 ADCBmVCRn — 仮想チャネルレジスタ n

ADCBmVCRn は、仮想チャネル単位に設定する 16 ビットの読み出し/書き込み可能なレジスタです。ADCBmVCRn は、リセット時に 0000_H に初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-------------|-----|-----|-------|------------|-----|-----|------|-----|------------|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CNVCLS[2:0] | | | DFENT | DFTAG[3:0] | | | ADIE | — | GCTRL[5:0] | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 26.7 ADCBmVCRn レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|-------------|--|
| 15 ~ 13 | CNVCLS[2:0] | 変換種別 0 _H : 通常 A/D 変換 1 _H : ホールド値 A/D 変換 2 _H : 選択 T&H 実行 (物理チャネルグループを選択) 3 _H : 自己診断 4 _H : 加算モードの通常 A/D 変換 5 _H : 通常 A/D 変換 w / MPX 6 _H : 加算モードの通常 A/D 変換 w / MPX 上記以外: 設定禁止 |
| 12 | DFENT | DFE エントリ 0: エントリしない 1: エントリする DFE (デジタルフィルタエンジン) もしくは ASF (ADC 積算機能) へエントリするかしないかを選択します。エントリは、ADCBmDFASENTSGER の DFENTSGxE と ASENTSGxE で有効にしたスキャングループでのみエントリします。 また、選択 T&H 実行 (CNVCLS[2:0] = 2 _H) においては、DFENT の設定に関わらずエントリしません。 |
| 11 ~ 8 | DFTAG[3:0] | DFE-TAG DFE へエントリを要求した場合、DFTAG[3:0] と同じ TAG が設定された DFE のチャネルへエントリします。複数のチャネルと一致した場合は、複数のチャネルにエントリします。 ASF へエントリを要求した場合、DFTAG[3:0] に対応する ASF のチャネルへエントリします。ASF へエントリを要求する場合、DFTAG[3:0] が B _H ~ F _H の設定は無効です。 |
| 7 | ADIE | 仮想チャネル終了割り込みイネーブル 0: SGx にて仮想チャネル n の仮想チャネル終了で ADImx を出力しない 1: SGx にて仮想チャネル n の仮想チャネル終了で ADImx を出力する ADCBmSGCRx の ADIE と ADCBmVCRn の ADIE は無関係です。詳細は、「26.7.16 スキャン終了割り込み要求」を参照してください。 |
| 6 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |

表 26.7 ADCBmVCRn レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|------------|--|
| 5 ~ 0 | GCTRL[5:0] | <p>汎用制御</p> <ul style="list-style-type: none"> • 通常 A/D 変換 (CNVCLS[2:0] = 0_H) のとき GCTRL[4:2]: 物理チャンネルグループ 物理チャンネルグループを指定します。 GCTRL[1:0]: 物理サブチャンネル 物理サブチャンネルを指定します。 上記以外の GCTRL のビットは常に 0 を設定してください。 • ホールド値 A/D 変換 (CNVCLS[2:0] = 1_H) のとき GCTRL[2:0]: T&H 指定 0_H: T&H0 のホールド値を A/D 変換 1_H: T&H1 のホールド値を A/D 変換 上記と「26.9.3 注入電流印加時の注意事項」に示す設定以外は設定禁止 • 選択 T&H 実行 (CNVCLS[2:0] = 2_H) のとき GCTRL[5:3]: 物理チャンネルグループ 物理チャンネルグループを指定します。 GCTRL[1]: T&H1 実行 0: T&H1 のサンプリング/ホールドを実行しない。 1: T&H1 に物理サブチャンネル 1 のサンプリング/ホールドを実行する。 GCTRL[0]: T&H0 実行 0: T&H0 のサンプリング/ホールドを実行しない。 1: T&H0 に物理サブチャンネル 0 のサンプリング/ホールドを実行する。 上記と「26.9.3 注入電流印加時の注意事項」に示す設定以外は設定禁止 • 自己診断 (CNVCLS[2:0] = 3_H) のとき GCTRL[4:0]: 自己診断電圧レベル 10_H: AVREFH × 1 0C_H: AVREFH × 3/4 08_H: AVREFH × 1/2 04_H: AVREFH × 1/4 00_H: AVREFH × 0 その他: 設定禁止 上記以外の GCTRL のビットは常に 0 を設定してください。 • 加算モードの通常 A/D 変換 (CNVCLS[2:0] = 4_H) のとき GCTRL[4:2]: 物理チャンネルグループ 物理チャンネルグループを指定します。 GCTRL[1:0]: 物理サブチャンネル 物理サブチャンネルを指定します。 上記以外の GCTRL のビットは常に 0 を設定してください。 加算回数は、ADDNT にて設定された回数が反映されます。 • 通常 A/D 変換 w / MPX (CNVCLS[2:0] = 5_H) のとき GCTRL[4:0]: MPX のチャンネルを設定 外付けアナログマルチプレクサに転送する MPX 値を設定します。 仮想チャンネルの開始時に GCTRL[4:0] を ADCBmMPXCURR に転送し、割り込み要求 (ADMPXIm) または DMA 要求を発行します。 割り込みまたは DMAC を起動し、ADCBmMPXCURR を I/O ポートの Pn か PSRn もしくは CSIH の CSIHnTX0H へ転送することで外付けアナログマルチプレクサに MPX 値を転送できます。 詳細は、「26.7.5 外付けアナログマルチプレクサ動作例」を参照してください。 • 加算モードの通常 A/D 変換 w / MPX (CNVCLS[2:0] = 6_H) のとき GCTRL[4:0]: MPX のチャンネルを設定 外付けアナログマルチプレクサに転送する MPX 値を設定します。 仮想チャンネルの開始時に GCTRL[4:0] を ADCBmMPXCURR に転送し、割り込み要求 (ADMPXIm) または DMA 要求を発行します。 割り込みまたは DMAC を起動し、ADCBmMPXCURR を I/O ポートの Pn か PSRn もしくは CSIH の CSIHnTX0H へ転送することで外付けアナログマルチプレクサに MPX 値を転送できます。 詳細は、「26.7.5 外付けアナログマルチプレクサ動作例」を参照してください。 加算回数は、ADDNT にて設定された回数が反映されます。 |

注 意

誤動作を防ぐため、ADCBmVCRn の設定は全スキュングループの SGACT が 0 の状態（スキュングループ起動前）かつ全スキュングループの ADSTARTE が 0 かつスキュングループ 0、1、2 の TRGMD[0] が 0_H、スキュングループ 3、4 の TRGMD[1:0] が 0_Hで行ってください。

備 考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31 x = 0 ~ 4

26.5.2 ADCBmDRn — データレジスタ n

ADCBmDRn は、A/D 変換値を格納する 16 ビットの読み出し専用のレジスタです。ADCBmDRn は、仮想チャンネル分備えており、ADCBmADCR2 の DFMT 設定および ADCBmVCRn の CNVCLS[2:0] = 4_H、6_H のときの ADDNT 設定によりフォーマットが変わります。なお DFE（デジタルフィルタエンジン）、IFC（Integer/Floating-point 変換モジュール）および ASF（ADC 積算機能）に転送するデータのフォーマットも同様です。ADCBmDRn は、RDCLRE が 1 に設定されているときに ADCBmDRn もしくは ADCBmDIRn の読み出しおよび IFC 経由の ADCBmDRn の読み出しで 0000_H にクリアされます。また、読み出しは必ず ADCBmDRi と ADCBmDRi+1 のセット（32 ビット）で読み出してください。16 ビット単位での読み出しが必要な場合は、RDCLRE = 0 に設定して読み出しを行ってください。その際、ADCBmDIRi + 1.WFLG は ADCBmDRi の 16 ビット単位の読み出しでクリアされるため注意してください。CNVCLS[2:0] = 2_H のとき ADCBmDRn には何も格納されません。また ADCBmDRn は、リセット時に 0000_H に初期化されます。

符号付き固定小数点フォーマット (DFMT = 0) のとき

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 1 回変換 | S | | | | | | | | | | | | | 0 | 0 | 0 |
| 2 回変換 | S | | | | | | | | | | | | | 0 | 0 | |
| 4 回変換 | S | | | | | | | | | | | | | | | 0 |

↑ 小数点位置

符号付き整数フォーマット (DFMT = 1) のとき

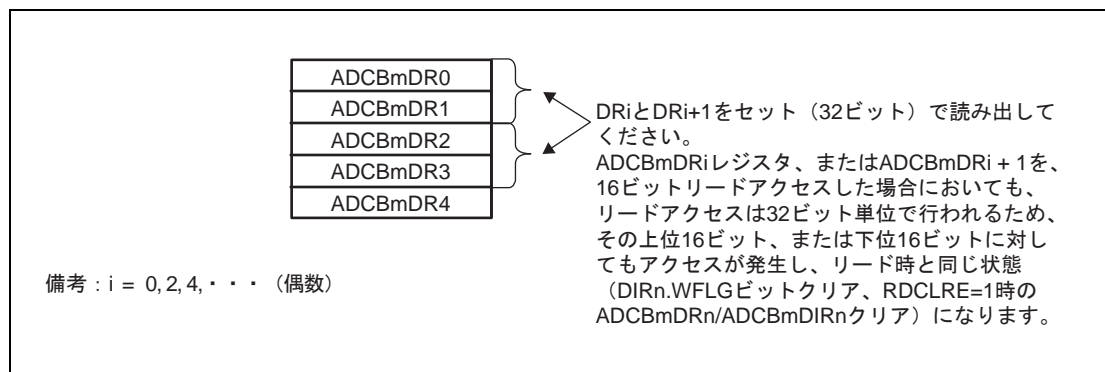
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 1 回変換 | S | S | S | S | | | | | | | | | | | | |
| 2 回変換 | S | S | S | | | | | | | | | | | | | |
| 4 回変換 | S | S | | | | | | | | | | | | | | |

↗ 小数点位置

| | |
|---|----------------|
| S | : 符号ビット (0 固定) |
| 0 | : 0 拡張 |

ADDNT によるフォーマット設定は、CNVCLS[2:0] = 4_H、6_H のときに有効です。

CNVCLS[2:0] ≠ 4_H、6_H のときは、1 回変換のフォーマットになります。

**備考**

$m = 0$ の場合 : $n = 0 \sim 35$ 、 $m = 1$ の場合 : $n = 0 \sim 31$ $i = 0, 2, 4, \dots$ (偶数)

26.5.3 ADCBmDIRn — データ付帯情報レジスタ n

ADCBmDIRn は、ADCBmDRn と A/D 変換値に付帯する情報を格納する 32 ビットの読み出し専用のレジスタです。ADCBmDIRn は、仮想チャンネル分備えています。ADCBmDIRn は、RDCLRE が 1 に設定されているときに ADCBmDRn もしくは ADCBmDIRn の読み出しおよび IFC 経由の ADCBmDRn の読み出しで 0000 0000_H にクリアされます。なお WFLG は、RDCLRE によらず、ADCBmDRn もしくは ADCBmDIRn の読み出しおよび IFC 経由の ADCBmDRn の読み出しでクリアされます。また読み出しは必ず 32 ビットで読み出ししてください。なお下位 16 ビットから ADCBmDRn が読み出されます。ADCBmDIRn は、リセット時に 0000 0000_H に初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|----------|----|----|----|----|----|------|------|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | WFLG | PRTY | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ADCBmDRn | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 26.8 ADCBmDIRn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------|---|
| 31 ~ 26 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 25 | WFLG | ライトフラグ セット条件 ADCBmDRn に A/D 変換値を格納したとき クリア条件 ADCBmDRn もしくは ADCBmDIRn が読み出されたとき IFC 経由で ADCBmDRn が読み出されたとき CNVCLS[2:0] = 2 _H のときは、セットされません。 |
| 24 | PRTY | パリティ ADCBmDRn に対するパリティビットです。偶数パリティです。 CNVCLS[2:0] = 2 _H のときは、セットされません。 |
| 23 ~ 16 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |

備考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31

26.5.4 ADCBmADHALTR — AD 終了レジスタ

ADCBmADHALTR は、ADC を終了する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | HALT |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 26.9 ADCBmADHALTR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 7 ~ 1 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 0 | HALT | 終了 全スキャングループ、全 AD タイマを終了かつ初期化し、ADC をアイドル状態にします。 0 の書き込み：終了しない 1 の書き込み：終了する |

備 考

m = 0、1

26.5.5 ADCBmADCR1 — AD 制御レジスタ 1

ADCBmADCR1 は、ADC の共通制御に関する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmADCR1 は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|-------------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | SUSMTD[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 26.10 ADCBmADCR1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------------|--|
| 7 ~ 2 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 1, 0 | SUSMTD [1:0] | サスペンド方式 高優先スキャングループが低優先スキャングループに割り込むときのサスペンド方式を選択します。 同期サスペンド：低優先 SG を処理中に高優先 SG の要求があったら、仕掛かり中の仮想チャネルの処理が終了してから中断し、高優先 SG の処理を実行します。高優先 SG の処理が終了したら、低優先 SG で中断した仮想チャネルから処理を再開（レジューム）します。 非同期サスペンド：低優先 SG を処理中に高優先 SG の要求があったら、仕掛かり中の仮想チャネルの処理を即中断し、高優先 SG の処理を実行します。高優先 SG の処理が終了したら、低優先 SG で中断した仮想チャネルから処理を再開（レジューム）します。 0 _H ：同期サスペンド 1 _H ：SG0 に高優先 SG が割り込む場合は、非同期サスペンド 低優先 SG（SG0 を除く）に高優先 SG が割り込む場合は、同期サスペンド 2 _H ：非同期サスペンド 3 _H ：設定禁止 詳細は「 図 26.13 同期サスペンド & レジューム動作例 」と「 図 26.14 非同期サスペンド & レジューム動作例 」を参照してください。 |

注 意

誤動作を防ぐため、ADCBmADCR1 の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0、1、2 の TRGMD[0] が 0_H、スキャングループ 3、4 の TRGMD[1:0] が 0_Hで行ってください。

備 考

m = 0, 1

26.5.6 ADCBmMPXCURCR — MPX カレント制御レジスタ

ADCBmMPXCURCR は、ADCBmMPXCURR のフォーマットを制御する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmMPXCURR は、リセット時に 00_H に初期化されま

| | | | | | | | | |
|---------|---|---|---|---|--------------|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | MSKCFMT[3:0] | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 26.11 ADCBmMPXCURCR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------------|---|
| 7 ~ 4 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 3 ~ 0 | MSKCFMT[3:0] | MSKC フォーマット指定 ADCBmMPXCURR の MSKC[15:0] のフォーマットを指定します。 MSKCFMT[3] 0 : MSKC[15:12] = 0000 1 : MSKC[15:12] = 1111 MSKCFMT[2] 0 : MSKC[11:8] = 0000 1 : MSKC[11:8] = 1111 MSKCFMT[1] 0 : MSKC[7:4] = 0000 1 : MSKC[7:4] = 1111 MSKCFMT[0] 0 : MSKC[3:0] = 0000 1 : MSKC[3:0] = 1111 |

注 意

誤動作を防ぐため、ADCBmMPXCURCR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0、1、2 の TRGMD[0] が 0_H、スキャングループ 3、4 の TRGMD[1:0] が 0_Hで行ってください。

備 考

m = 0、1

26.5.7 ADCBmMPXCURR — MPX カレントレジスタ

ADCBmMPXCURR は、外付けアナログマルチプレクサ用の MPX 値を格納する 32 ビットの読み出し専用のレジスタです。ADCBmMPXCURR は、リセット時に 0000 0000_H に初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-------------|----|----|----|----|----|----|----|----|----|-------------|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | MSKC[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | MPXCMD[7:0] | | | | | | | — | — | — | MPXCUR[4:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 26.12 ADCBmMPXCURR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|--|
| 31 ~ 16 | MSKC[15:0] | マスク制御 ADCBmMPXCURR の MSKCFMT[3:0] でフォーマットが変わります。詳細は、「26.5.6 ADCBmMPXCURR — MPX カレント制御レジスタ」を参照してください。 |
| 15 ~ 8 | MPXCMD[7:0] | SPI 通信コマンド情報 SPI 通信を用いて外部のアナログ MPX を制御するためのコマンド情報レジスタです。ADCBmVCRn の CNVCLS[2:0] = 5 _H 、または、6 _H の仮想チャネルを開始したときに、ADCBmMPXCMDR の MPXCMD[7:0] が ADCBmMPXCURR の MPXCMD[7:0] に転送されます。 |
| 7 ~ 5 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 4 ~ 0 | MPXCUR[4:0] | カレント MPX 値 ADCBmVCRn の CNVCLS[2:0] = 5 _H 、または、6 _H の仮想チャネルを開始したときに、ADCBmVCRn の GCTRL[4:0] が MPXCUR[4:0] に転送されます。このとき INTC への割り込み要求もしくは DMA 転送要求を発生します。DMAC により ADCBmMPXCURR を I/O ポートの Pn か PSRn または、CSIH の CSIHnTX0H に転送することで、外付けアナログマルチプレクサに MPX 値を送信することができます。 Pn を使用する場合、下位 5bit を転送してください。 PSRn を使用する場合、32bit で転送してください。これにより、MSKC[15:0] のフォーマット制御により必要なポートのみ書き換えができます。 CSIHnTX0H に転送する場合、下位 16bit を転送してください。 詳細は「26.7.5 外付けアナログマルチプレクサ動作例」を参照してください。 |

備考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31

26.5.8 ADCBmMPXOWR — MPX 任意ウェイトレジスタ

ADCBmMPXOWR は、外付けアナログマルチプレクサ用に挿入する任意ウェイトを指定する 8 ビットの読み出し/書き込み可能なレジスタです。ADCBmMPXOWR は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|------------|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | MPXOW[3:0] | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 26.13 ADCBmMPXOWR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|---|
| 7 ~ 4 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 3 ~ 0 | MPXOW[3:0] | MPX 任意ウェイト ADCBmVCRn の CNVCLS[2:0] = 5 _H 、または、6 _H の仮想チャネルを開始したときに、A/D 変換を開始する前に挿入するウェイト時間指定です。 0 _H : 0usec 1 _H : 1usec 2 _H : 2usec 3 _H : 3usec 4 _H : 4usec 5 _H : 5usec 6 _H : 6usec 7 _H : 7usec 8 _H : 8usec 9 _H : 9usec A _H : 10usec B _H ~ F _H : 設定禁止 詳細は「26.7.5 外付けアナログマルチプレクサ動作例」を参照してください。 |

注 意

誤動作を防ぐため、ADCBmMPXOWR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0、1、2 の TRGMD[0] が 0_H、スキャングループ 3、4 の TRGMD[1:0] が 0_Hで行ってください。

備 考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31

26.5.9 ADCBmMPXCMDR — MPX コマンド情報レジスタ

ADCBmMPXCMDR は、外部のアナログ MPX へ転送する SPI 通信コマンド情報を格納する 8 ビットの読み出し/書き込み可能なレジスタです。ADCBmMPXCMDR は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|-------------|-----|-----|-----|-----|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | MPXCMD[7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 26.14 ADCBmMPXCMDR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------------|--|
| 7 ~ 0 | MPXCMD[7:0] | SPI 通信コマンド情報 SPI 通信を用いて外部のアナログ MPX を制御するためのコマンド情報格納レジスタです。ADCBmVCRn の CNVCLS[2:0] = 5 _H 、または、6 _H の仮想チャネルを開始したときに、ADCBmMPXCMDR の MPXCMD[7:0] が ADCBmMPXCURR の MPXCMD[7:0] に転送され、ADCBmMPXCURR により、MPXCUR[4:0] と共に読み出すことが可能です。 |

備考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31

26.5.10 ADCBmADCR2 — AD 制御レジスタ 2

ADCBmADCR2 は、ADC の共通制御に関する 8 ビットの読み出し/書き込み可能なレジスタです。ADCBmADCR2 は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|---|---|---|------|---|---|---|-------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | DFMT | — | — | — | ADDNT |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R | R | R | R/W |

表 26.15 ADCBmADCR2 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|---|
| 7 ~ 5 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 4 | DFMT | データフォーマット 0 : 符号付固定小数点フォーマット 1 : 符号付整数フォーマット ADCBmDRn と DFE および ASF へのデータのフォーマットとなります。 データフォーマットの詳細は「26.5.2 ADCBmDRn — データレジスタ n」を参照してください。 |
| 3 ~ 1 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 0 | ADDNT | 加算回数選択 0 : 2 回加算 1 : 4 回加算 本レジスタは、CNVCLS[2:0] = 4 _H 、6 _H の場合のみ有効です。 |

注 意

誤動作を防ぐため、ADCBmADCR2 の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0、1、2 の TRGMD[0] が 0_H、スキャングループ 3、4 の TRGMD[1:0] が 0_Hで行ってください。

備 考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31

26.5.11 ADCBmDFASENTSGER — DFE/ASF エントリスキャングループイネーブルレジスタ

ADCBmDFASENTSGER は、DFE/ASF にエントリするスキャングループの有効/無効を制御する 16 ビットの読み出し/書き込み可能なレジスタです。ADCBmDFASENTSGER は、リセット時に 0000_H に初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|---------------|---------------|---------------|---------------|---------------|---|---|---|---------------|---------------|---------------|---------------|---------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | DFENT SG4E | DFENT SG3E | DFENT SG2E | DFENT SG1E | DFENT SG0E | — | — | — | ASENT SG4E | ASENT SG3E | ASENT SG2E | ASENT SG1E | ASENT SG0E |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R/W | R | R | R | R/W | R/W | R/W | R/W | R/W |

表 26.16 ADCBmDFASENTSGER レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|---|
| 15 ~ 13 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 12 ~ 8 | DFENTSGxE | DFE エントリスキャングループイネーブル 0 : SGx 起動時の DFE エントリ無効 1 : SGx 起動時の DFE エントリ有効 エントリは、ADCBmVCRn の DFENT が 1 の仮想チャンネルでエントリします。 |
| 7 ~ 5 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 4 ~ 0 | ASENTSGxE | ASF エントリスキャングループイネーブル 0 : SGx 起動時の ASF エントリ無効 1 : SGx 起動時の ASF エントリ有効 エントリは、ADCBmVCRn の DFENT が 1 の仮想チャンネルでエントリします。 ASENTSGxE はいずれか 1 ビットのみ有効として使用してください。 |

注 意

- 誤動作を防ぐため、ADCBmDFASENTSGER の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0、1、2 の TRGMD[0] が 0_H、スキャングループ 3、4 の TRGMD[1:0] が 0_Hで行ってください。
- また、DFENTSGxE と ASENTSGxE の各スキャングループ設定について、同じスキャングループのイネーブルを有効にしないでください。同じスキャングループのイネーブルを有効にした場合、該当スキャングループで指定した ADCBmVCRn の DFENT が 1 の仮想チャンネルで、DFE と ASF の両方にエントリします。

備 考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31 x = 0 ~ 4

26.5.12 ADCBmADENDP — AD 変換モニタ仮想チャネルポインタ

ADCBmADENDP は、ADENDm に AD 変換タイミングを出力する仮想チャネルを選択する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmADENDP は、リセット時に 00_H に初期化されます。

| | | | | | | | | | |
|---------|---|---|-----------|-----|-----|-----|-----|-----|--|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | — | — | ENDP[5:0] | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W | |

表 26.17 ADCBmADENDP レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|--|
| 7、6 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 5～0 | ENDP[5:0] | AD 変換モニタ仮想チャネルポインタ ADCBmADENDP で選択した仮想チャネルが開始すると ADENDm に High を出力します。ADCBmADENDP で選択した仮想チャネルが終了すると Low を出力します。 |

注 意

誤動作を防ぐため、ADCBmADENDP の設定は全スキャングループの SGACTION が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0、1、2 の TRGMDC[0] が 0_H、スキャングループ 3、4 の TRGMDC[1:0] が 0_Hで行ってください。

備 考

m = 0、1

26.5.13 ADCBmSFTCR — セーフティ制御レジスタ

ADCBmSFTCR は、セーフティ制御に関する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmSFTCR は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|---|---|---|--------|-------|-------|------|-------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | RDCLRE | ULEIE | OWEIE | PEIE | IDEIE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R/W |

表 26.18 ADCBmSFTCR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|--|
| 7～5 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 4 | RDCLRE | リード & クリアイネーブル 0 : ADCBmDRn もしくは ADCBmDIRn のリードおよび IFC 経由の ADCBmDRn のリードで ADCBmDRn と ADCBmDIRn をクリアしない。 1 : ADCBmDRn もしくは ADCBmDIRn のリードおよび IFC 経由の ADCBmDRn のリードで ADCBmDRn と ADCBmDIRn をクリアする。 注意 ADCBmDIRn の WFLG は、RDCLRE によらず、ADCBmDRn もしくは ADCBmDIRn のリード および IFC 経由の ADCBmDRn のリードでクリアされます。 |
| 3 | ULEIE | 上限／下限エラー割り込みイネーブル 0 : 禁止 1 : 許可 |
| 2 | OWEIE | オーバライトエラー割り込みイネーブル 0 : 禁止 1 : 許可 |
| 1 | PEIE | パリティエラー割り込みイネーブル 0 : 禁止 1 : 許可 |
| 0 | IDEIE | ID エラー割り込みイネーブル 0 : 禁止 1 : 許可 |

注 意

誤動作を防ぐため、ADCBmSFTCR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0、1、2 の TRGMD[0] が 0_H、スキャングループ 3、4 の TRGMD[1:0] が 0_H で行ってください。

備 考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31

26.5.14 ADCBmTDCR — 端子レベル自己診断制御レジスタ

ADCBmTDCR は、端子レベル自己診断を制御する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmTDCR は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|-----|---|---|---|---|---|-----------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TDE | — | — | — | — | — | TDLV[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R | R | R | R | R | R/W | R/W |

表 26.19 ADCBmTDCR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 7 | TDE | 端子レベル自己診断イネーブル 0: 端子レベル自己診断をしない 1: 端子レベル自己診断をする TDE を 1 にすると、すべてのアナログ端子が入力バッファと切り離され、TDE を 0 にすると、すべてのアナログ端子が入力バッファと接続されます。さらに TDE = 1 とした場合、TDLV[1:0] で指定したレベルに固定されます。この状態で A/D 変換を実行し、A/D 変換値を確認することで、アナログ端子から ADC までの経路の診断ができます。 |
| 6 ~ 2 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 1, 0 | TDLV[1:0] | 端子レベル自己診断レベル指定 0 _H : 偶数物理チャンネルグループを AVSS にディスチャージし、奇数物理チャンネルグループを AVCC にチャージする。 1 _H : 偶数物理チャンネルグループを AVCC にチャージ、奇数物理チャンネルグループを AVSS にディスチャージする。 2 _H : 偶数物理チャンネルグループを AVSS にディスチャージし、奇数物理チャンネルグループを 1/2*AVCC にチャージする。 3 _H : 偶数物理チャンネルグループを 1/2*AVCC にチャージし、奇数物理チャンネルグループを AVSS にディスチャージする。 |

注 意

誤動作を防ぐため、ADCBmTDCR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0、1、2 の TRGMD[0] が 0_H、スキャングループ 3、4 の TRGMD[1:0] が 0_Hで行ってください。

備 考

m = 0、1

26.5.15 ADCBmODCR — 断線検出制御レジスタ

ADCBmODCR は、断線検出を制御する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmODCR は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|-----|---|-----------|-----|-----|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ODE | — | ODPW[5:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 26.20 ADCBmODCR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------------------------|---|
| 7 | ODE | 断線検出イネーブル 0: 断線検出をしない 1: 断線検出をする ODE を 1 にすると、すべてのアナログ端子について、断線検出が有効となります。A/D 変換のサンプリング終了後から ODPW[5:0] で指定したパルス幅で A/D 変換対象のアナログ端子をディスチャージします。 |
| 6 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 5 ~ 0 | ODPW[5:0] ^{注1} | 断線検出パルス幅 04 _H : 1 ステート (内部クロック換算) 05 _H : 2 ステート (内部クロック換算) : 13 _H : 16 ステート (内部クロック換算) 14 _H : 17 ステート (内部クロック換算) |

注 1. ODE = 1 (断線検出が有効) の時、ODPW[5:0] の 03_H 以下と 15_H 以上の設定は禁止です。

注 意

- 誤動作を防ぐため、ADCBmODCR の設定は全スキャングループの SGACT が 0 の状態 (スキャングループ起動前) かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0、1、2 の TRGMD[0] が 0_H、スキャングループ 3、4 の TRGMD[1:0] が 0_Hで行ってください。
- 断線検出が有効 (ODE = 1) の状態で、T&H 実行 (ADCBmVCRn の CNVCLS = 2_H) またはホールド値 A/D 変換 (ADCBmVCRn の CNVCLS = 1_H) を実行するのは禁止です。

備 考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31

26.5.16 ADCBmULLMTBR0 ~ 2 — 上限/下限テーブルレジスタ 0 ~ 2

ADCBmULLMTBR0 ~ 2 は、A/D 変換値の上限値と下限値を設定する 16 ビット、32 ビットの読み出し/書き込み可能なレジスタです。ADCBmULLMSRx の ULS[1:0] で ADCBmULLMTBR0 ~ 2 のいずれかを指定します。ADCBmULLMTBR0 ~ 2 は、リセット時に 7FFE 0000_H に初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | ULMTB[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | LLMTB[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R |

表 26.21 ADCBmULLMTBR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|---|
| 31 ~ 16 | ULMTB[15:0] | 上限テーブル A/D 変換値の上限値を指定します。下記条件が成立したとき ULE（上限/下限エラー）をセットします。 $ULMTB[15:0] < A/D \text{ 変換値}$ ULMTB[15:0] のフォーマットは、ADCBmDRn のフォーマットにかかわらず、符号付小数点フォーマットとなります。ADCBmDRn のフォーマットが符号付整数フォーマットを選択した場合、ADCBmDRn を符号付小数点フォーマットに置換して比較します。なお、ULMTB[15] と ULMTB[0] は常に 0 固定となります。 |
| 15 ~ 0 | LLMTB[15:0] | 下限テーブル A/D 変換値の下限値を指定します。下記条件が成立したとき ULE（上限/下限エラー）をセットします。 $LLMTB[15:0] > A/D \text{ 変換値}$ LLMTB[15:0] のフォーマットは、ADCBmDRn のフォーマットにかかわらず、符号付小数点フォーマットとなります。ADCBmDRn のフォーマットが符号付整数フォーマットを選択した場合、ADCBmDRn を符号付小数点フォーマットに置換して比較します。なお、LLMTB[15] と LLMTB[0] は常に 0 固定となります。 |

注 意

誤動作を防ぐため、ADCBmULLMTBR0 ~ 2 の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0、1、2 の TRGMD[0] が 0_H、スキャングループ 3、4 の TRGMD[1:0] が 0_Hで行ってください。

備 考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31 x = 0 ~ 4

26.5.17 ADCBmECR — エラークリアレジスタ

ADCBmECR は、エラークリアを制御する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

| | | | | | | | | |
|---------|---|---|---|---|------|------|-----|------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | ULEC | OWEC | PEC | IDEC |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | W | W | W | W |

表 26.22 ADCBmECR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 7 ~ 4 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 3 | ULEC | 上限/下限エラークリア 0 の書き込み：クリアしない 1 の書き込み：クリアする |
| 2 | OWEC | オーバーライトエラークリア 0 の書き込み：クリアしない 1 の書き込み：クリアする |
| 1 | PEC | パリティエラークリア 0 の書き込み：クリアしない 1 の書き込み：クリアする |
| 0 | IDEC | ID エラークリア 0 の書き込み：クリアしない 1 の書き込み：クリアする |

備 考

m = 0、1

26.5.18 ADCBmULER — 上限/下限エラーレジスタ

ADCBmULER は、上限/下限エラーを示す 8 ビットの読み出し専用レジスタです。

ADCBmULER は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|-----|---|-------------|---|---|---|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ULE | — | ULECAP[5:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 26.23 ADCBmULER レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------------|---|
| 7 | ULE | 上限/下限エラー 0: エラーなし 1: エラーあり セット条件 A/D 変換値が指定した上限/下限テーブルの範囲を超えたとき クリア条件 ULEC に 1 を書き込んだとき |
| 6 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 5 ~ 0 | ULECAP[5:0] | 上限/下限エラーキャプチャ 上限/下限エラーが発生したときの仮想チャネルをキャプチャします。 キャプチャ条件 ULE = 0 かつ A/D 変換値が指定した上限/下限テーブルの範囲を超えたとき クリア条件 ULEC に 1 を書き込んだとき |

注 意

ADCBmULER は、A/D 変換値を ADCBmDR_n に書き込むとき更新されます。

備 考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31

26.5.19 ADCBmOWER — オーバライトエラーレジスタ

ADCBmOWER は、オーバライトエラーを示す 8 ビットの読み出し専用レジスタです。
ADCBmOWER は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|-----|---|-------------|---|---|---|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OWE | — | OWECAP[5:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 26.24 ADCBmOWER レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------------|--|
| 7 | OWE | オーバライトエラー 0: エラーなし 1: エラーあり セット条件 WFLG = 1 の状態で A/D 変換値が ADCBmDRn に書き込まれたとき クリア条件 OWEC に 1 を書き込んだとき |
| 6 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 5 ~ 0 | OWECAP[5:0] | オーバライトエラーキャプチャ オーバライトエラーが発生したときの仮想チャネルをキャプチャします。 キャプチャ条件 OWE = 0 かつ WFLG = 1 の状態で A/D 変換値が ADCBmDRn に書き込まれたとき クリア条件 OWEC に 1 を書き込んだとき |

注 意

ADCBmOWER は、A/D 変換値を ADCBmDRn に書き込むときに更新されます。

備 考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31

26.5.20 ADCBmPER — パリティエラーレジスタ

ADCBmPER は、パリティエラーを示す 8 ビットの読み出し専用レジスタです。ADCBmPER は、リセット時に 00_H に初期化されます。

| | | | | | | | | | |
|---------|----|---|------------|---|---|---|---|---|--|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | PE | — | PECAP[5:0] | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| R/W | R | R | R | R | R | R | R | R | |

表 26.25 ADCBmPER レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|--|
| 7 | PE | パリティエラー 0: エラーなし 1: エラーあり セット条件 パリティエラーを検出したとき クリア条件 PECに1を書き込んだとき |
| 6 | — | リザーブビット 常に0が読み出されます。書き込み時は0を書き込んでください。 |
| 5~0 | PECAP[5:0] | パリティエラーキャプチャ パリティエラーが発生したときの仮想チャネルをキャプチャします。 キャプチャ条件 PE=0かつパリティエラーを検出したとき クリア条件 PECに1を書き込んだとき |

注 意

ADCBmPER は、ADCBmDRn もしくは ADCBmDIRn の読み出し時に更新されます。
ただし、IFC 経由の ADCBmDRn の読み出しでは更新しません。

備 考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31

26.5.21 ADCBmIDER — ID エラーレジスタ

ADCBmIDER は、ID エラーを示す 8 ビットの読み出し専用レジスタです。ADCBmIDER は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|-----|---|-------------|---|---|---|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | IDE | — | IDECAP[5:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 26.26 ADCBmIDER レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------------|--|
| 7 | IDE | ID エラー 0 : エラーなし 1 : エラーあり セット条件 ADCBmVCRn で設定した物理チャネル（外付けマルチプレクサ指定時は、ADC0 : AN043、ADC1 : AN100）と実際に変換された物理チャネルが不一致のとき クリア条件 IDEC に 1 を書き込んだとき |
| 6 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 5 ~ 0 | IDECAP[5:0] | ID エラーキャプチャ ID エラーが発生したときの仮想チャネルをキャプチャします。 キャプチャ条件 IDE = 0 かつ ADCBmVCRn で設定した物理チャネル（外付けマルチプレクサ指定時は、ADC0 : AN043、ADC1 : AN100）と実際に変換された物理チャネルが不一致のとき クリア条件 IDEC に 1 を書き込んだとき |

注 意

ADCBmIDER は、A/D 変換値を ADCBmDRn に書き込むときに更新されます。

備 考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31

26.6 スキャングループ固有レジスタ

各スキャングループで個別に備えるレジスタを説明します。

26.6.1 ADCBmSGSTCRx — スキャングループ x 開始制御レジスタ

ADCBmSGSTCRx は、スキャングループ x の開始を制御する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | SGST |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 26.27 ADCBmSGSTCRx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 7 ~ 1 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 0 | SGST | スキャングループ開始 SGST でのスキャングループ x 開始条件 SGACT = 0 の状態で SGST に 1 を書き込んだとき |

備考

m = 0、1 x = 0 ~ 4

26.6.2 ADCBmADTSTCRy — AD タイマ y 開始制御レジスタ

ADCBmADTSTCRy は、AD タイマ y の開始を制御する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|-------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | ADTST |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 26.28 ADCBmADTSTCRy レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 7 ~ 1 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 0 | ADTST | AD タイマ開始 ADTST での AD タイマ y 開始条件 ADTACT = 0 の状態で ADTST に 1 を書き込んだとき |

備考

m = 0、1 y = 3、4

26.6.3 ADCBmADTENDCRy — AD タイマ y 終了制御レジスタ

ADCBmADTENDCRy は、AD タイマ y の終了を制御する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | ADTEND |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 26.29 ADCBmADTENDCRy レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|--|
| 7 ~ 1 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 0 | ADTEND | AD タイマ終了 ADTEND での AD タイマ y 終了条件 ADTACT = 1 の状態で ADTEND に 1 を書き込んだとき |

備考

m = 0、1 y = 3、4

26.6.4 ADCBmSGCRx — スキャングループ x 制御レジスタ

ADCBmSGCRx は、スキャングループ x を制御する 8 ビットの読み出し/書き込み可能なレジスタです。ADCBmSGCRx は、リセット時に 00_H に初期化されます。

- x = 0 ~ 2 の場合

| | | | | | | | | |
|---------|---|----------|--------|------|---|---|---|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | ADSTARTE | SCANMD | ADIE | — | — | — | TRGMD[0] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R | R | R | R/W |

表 26.30 ADCBmSGCRx レジスタの内容 (x = 0 ~ 2 の場合)

| ビット位置 | ビット名 | 機能 |
|-------|----------|--|
| 7 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 6 | ADSTARTE | スキャングループ同期開始イネーブル 0: ADSTART 無効 1: ADSTART 許可 |
| 5 | SCANMD | スキャンモード 0: マルチサイクルスキャンモード 1: 連続スキャンモード マルチサイクルスキャンモードでは、ADCBmSGMCYCRx で指定した回数 のスキャンを繰り返し実行します。連続スキャンモードでは、無制限に スキャンを繰り返し実行します。 |
| 4 | ADIE | スキャン終了割り込みイネーブル 0: SGx のスキャン終了で ADImx を出力しない 1: SGx のスキャン終了で ADImx を出力する ADCBmSGCRx の ADIE と ADCBmVCRn の ADIE は無関係です。詳細は、 「26.7.16 スキャン終了割り込み要求」を参照してください。 |
| 3 ~ 1 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 0 | TRGMD[0] | トリガモード 0 _H : SGx へのトリガ入力無効 1 _H : SGx へのトリガ入力に SGx_TRG ハードウェアトリガを選択 TRGMD は、ハードトリガの有効/無効設定であり、ソフトトリガは常に有効 です。 |

- x = 3、4 の場合

| | | | | | | | | |
|---------|-----------|-----------|--------|------|---|---|------------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ADTSTARTE | ADTSTARTE | SCANMD | ADIE | — | — | TRGMD[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R | R | R/W | R/W |

表 26.31 ADCBmSGCRx レジスタの内容 (x = 3、4 の場合)

| ビット位置 | ビット名 | 機能 |
|-------|------------|--|
| 7 | ADTSTARTE | AD タイマ同期開始イネーブル 0 : ADSTART 無効 1 : ADSTART 許可 |
| 6 | ADTSTARTE | スキヤングループ同期開始イネーブル 0 : ADSTART 無効 1 : ADSTART 許可 |
| 5 | SCANMD | スキヤンモード 0 : マルチサイクルスキヤンモード 1 : 連続スキヤンモード マルチサイクルスキヤンモードでは、ADCBmSGMCYCRx で指定した回数のスキヤンを繰り返し実行します。連続スキヤンモードでは、無制限にスキヤンを繰り返し実行します。 |
| 4 | ADIE | スキヤン終了割り込みイネーブル 0 : SGx のスキヤン終了で ADImx を出力しない 1 : SGx のスキヤン終了で ADImx を出力する ADCBmSGCRx の ADIE と ADCBmVCRn の ADIE は無関係です。詳細は、「26.7.16 スキヤン終了割り込み要求」を参照してください。 |
| 3、2 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 1、0 | TRGMD[1:0] | トリガモード 0 _H : SGx へのトリガ入力無効 AD タイマ x へのトリガ入力無効 1 _H : SGx へのトリガ入力に SGx_TRG ハードウェアトリガを選択 AD タイマ x へのトリガ入力無効 2 _H : SGx へのトリガ入力に AD タイマトリガ x を選択 AD タイマ x へのトリガ入力無効 3 _H : SGx へのトリガ入力に AD タイマトリガ x を選択 AD タイマ x へのトリガ入力に SGx_TRG ハードウェアトリガを選択 TRGMD は、ハードトリガの有効/無効設定であり、ソフトトリガは常に有効です。 |

注 意

1. 誤動作を防ぐため、ADCBmSGCRx の SCANMD、ADIE の設定はスキヤングループ x の SGACT が 0 の状態 (スキヤングループ起動前) かつ ADTSTARTE が 0 かつ TRGMD が 0_Hで行ってください。
2. 連続スキヤンモードに設定 (SCANMD = 1_H) したスキヤングループに対して、低優先のスキヤングループのトリガが入力されても受け付けません。したがって、連続スキヤンモードは、スキヤングループ 0 に対して設定することを想定しています。

備 考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31 x = 0 ~ 4

26.6.5 ADCBmSGVCSPx — スキャングループ x 開始仮想チャネルポインタ

ADCBmSGVCSPx は、仮想チャネルの開始ポインタを指定する 8 ビットの読み出し/書き込み可能なレジスタです。ADCBmSGVCSPx は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|---|---|-----------|-----|-----|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | VCSP[5:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 26.32 ADCBmSGVCSPx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------------------|---|
| 7, 6 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 5 ~ 0 | VCSP[5:0] 注1注2 | 開始仮想チャネルポインタ 開始する仮想チャネルを選択します。 SGx を起動すると、ADCBmSGVCSPx から ADCBmSGVCEPx の仮想チャネルを実行します。 |

注 意

1. ADCBmSGVCSPx ≤ ADCBmSGVCEPx となるように設定してください。
2. 誤動作を防ぐため、ADCBmSGVCSPx の設定はスキャングループ x の SGACT が 0 の状態（スキャングループ起動前）かつ ADSTARTE が 0 かつ TRGMD が 0_Hで行ってください。

備 考

m = 0, 1 x = 0 ~ 4

26.6.6 ADCBmSGVCEPx — スキャングループ x 終了仮想チャネルポインタ

ADCBmSGVCEPx は、仮想チャネルの終了ポインタを指定する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmSGVCEPx は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|---|---|-----------|-----|-----|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | VCEP[5:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 26.33 ADCBmSGVCEPx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------------------|---|
| 7、6 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 5 ~ 0 | VCEP[5:0] 注1注2 | 終了仮想チャネルポインタ 終了する仮想チャネルを選択します。 SGx を起動すると、ADCBmSGVCSPx から ADCBmSGVCEPx の仮想チャネルを実行します。 |

注 意

1. ADCBmSGVCSPx ≤ ADCBmSGVCEPx となるように設定してください。
2. 誤動作を防ぐため、ADCBmSGVCEPx の設定はスキャングループ x の SGACT が 0 の状態（スキャングループ起動前）かつ ADSTARTE が 0 かつ TRGMD が 0_Hで行ってください。

備 考

m = 0、1 x = 0 ~ 4

26.6.7 ADCBmSGMCYCRx — スキャングループ x マルチサイクルレジスタ

ADCBmSGMCYCRx は、マルチサイクルスキャンモード時のスキャン回数を指定する 8 ビットの読み出し/書き込み可能なレジスタです。ADCBmSGMCYCRx は、リセット時に 00_H に初期化されます。

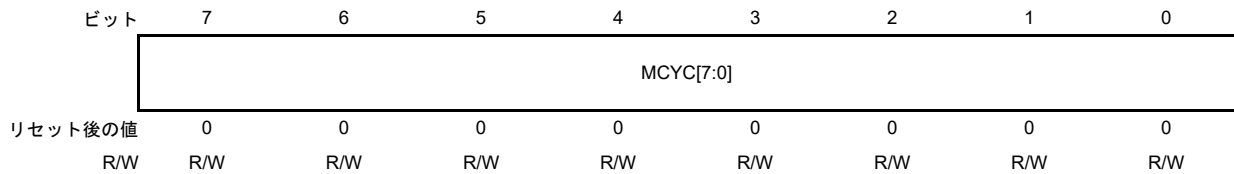


表 26.34 ADCBmSGMCYCRx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 7 ~ 0 | MCYC[7:0] | マルチサイクル指定 マルチサイクルスキャンモード時のスキャン回数を指定します。 スキャン回数 = MCYC[7:0] + 1 SGx を起動すると、ADCBmSGVCSPx から ADCBmSGVCEPx までの仮想チャネルのスキャンを ADCBmSGMCYCRx で指定した回数だけ繰り返し実行します。 |

注 意

誤動作を防ぐため、ADCBmSGMCYCRx の設定はスキャングループ x の SGACT が 0 の状態（スキャングループ起動前）かつ ADSTARTE が 0 かつ TRGMDD が 0_Hで行ってください。

備 考

m = 0、1 x = 0 ~ 4

26.6.8 ADCBmSGSRx — スキャングループ x ステータスレジスタ

ADCBmSGSRx は、スキャングループ x の状態を示す 8 ビットの読み出し専用のレジスタです。ADCBmSGSRx は、リセット時に 00_H に初期化されます。

- x = 0 ~ 2 の場合

| | | | | | | | | |
|---------|---|---|---|---|---|---|-------|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | SGACT | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 26.35 ADCBmSGSRx レジスタの内容 (x = 0 ~ 2 の場合)

| ビット位置 | ビット名 | 機能 |
|-------|-------|---|
| 7 ~ 2 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 1 | SGACT | スキャングループステータス 0: SGx の要因なし 1: SGx の要因あり |
| 0 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |

- x = 3、4 の場合

| | | | | | | | | |
|---------|---|---|---|---|---|--------|-------|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | ADTACT | SGACT | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 26.36 ADCBmSGSRx レジスタの内容 (X = 3、4 の場合)

| ビット位置 | ビット名 | 機能 |
|-------|--------|--|
| 7 ~ 3 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 2 | ADTACT | AD タイマスタータス 0: AD タイマ x がアイドル状態 1: AD タイマ x が動作中 |
| 1 | SGACT | スキャングループステータス 0: SGx の要因なし 1: SGx の要因あり |
| 0 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |

備考

m = 0、1 x = 0 ~ 4

26.6.9 ADCBmADTIPRy — AD タイマ初期位相レジスタ y

ADCBmADTIPRy は、AD タイマ y の初期位相を設定する 32 ビットの読み出し/書き込み可能なレジスタです。ADCBmADTIPRy は、リセット時に 0000 0000_H に初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|--------------|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | ADTIP[20:16] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ADTIP[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 26.37 ADCBmADTIPRy レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|---|
| 31 ~ 21 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 20 ~ 0 | ADTIP[20:0] | AD タイマ初期位相 AD タイマ y の初期位相を設定します。 ① AD タイマ y が開始すると ADCBmADTIPRy を AD タイマ y にロードし、ダウンカウントします。 ② AD タイマ y が 0 になると AD タイマトリガ y を 1 サイクル出力し、ADCBmADTPRRy を AD タイマ y にロードし、再びダウンカウントします。 以降は、②を繰り返します。 詳細は「26.7.8 AD タイマ動作例」を参照してください。 |

注 意

誤動作を防ぐため、ADCBmADTIPRy の設定はスキュングループ y の ADTACT が 0 の状態 (AD タイマ起動前) かつ ADTSTARTE が 0 かつ TRGMD[1:0] が 3_H 以外で行ってください。

備 考

m = 0、1 y = 3、4

26.6.10 ADCBmADTPRRy — AD タイマ周期レジスタ y

ADCBmADTPRRy は、AD タイマ y の周期を設定する 32 ビットの読み出し/書き込み可能なレジスタです。ADCBmADTPRRy は、リセット時に 001F FFFF_H に初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|--------------|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | ADTPR[20:16] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ADTPR[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 26.38 ADCBmADTPRRy レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|---|
| 31 ~ 21 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 20 ~ 0 | ADTPR[20:0] | AD タイマ周期 AD タイマ y の周期を設定します。 ① AD タイマ y が開始すると ADCBmADTIPRy を AD タイマ y にロードし、ダウンカウントします。 ② AD タイマ y が 0 になると AD タイマトリガ y を 1 サイクル出力し、ADCBmADTPRRy を AD タイマ y にロードし、再びダウンカウントします。 以降は、②を繰り返します。 詳細は「26.7.8 AD タイマ動作例」を参照してください。 |

注 意

誤動作を防ぐため、ADTPRRy の設定はスキャングループ y の ADTACT が 0 の状態 (AD タイマ起動前) かつ ADTSTARTE が 0 かつ TRGMD[1:0] が 3_H 以外で行ってください。

備 考

m = 0、1 y = 3、4

26.6.11 ADCBmULLMSRx — スキャングループ x 上限値/下限値テーブル選択レジスタ

ADCBmULLMSRx は、スキャングループ x を制御する 8 ビットの読み出し/書き込み可能なレジスタです。ADCBmSGCRx は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|----------|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | ULS[1:0] | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 26.39 ADCBmULLMSRx レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 7 ~ 2 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 1, 0 | ULS | 上限値/下限値テーブル選択 0 _H : 上限/下限チェックをしない。 1 _H : ADCBmULLMTBR0 で上限/下限チェックする。 2 _H : ADCBmULLMTBR1 で上限/下限チェックする。 3 _H : ADCBmULLMTBR2 で上限/下限チェックする。 A/D 変換値を ADCBmDRn 格納時に、ULS[1:0] で選択した上限値/下限値テーブルを使用して上限/下限チェックします。 |

注 意

誤動作を防ぐため、ADCBmULLMSRx の設定はスキャングループ x の SGACT が 0 の状態（スキャングループ起動前）かつ ADSTARTE が 0 かつ TRGMD が 0_H で行ってください。

備 考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31 x = 0 ~ 4

26.7 動作説明

26.7.1 設定手順

26.7.1.1 初期設定

ADCは、**図 26.3** に示すレジスタを設定することでAD変換が開始します。トリガ入力については、「**26.7.1.2 トリガ入力フロー**」を参照してください。

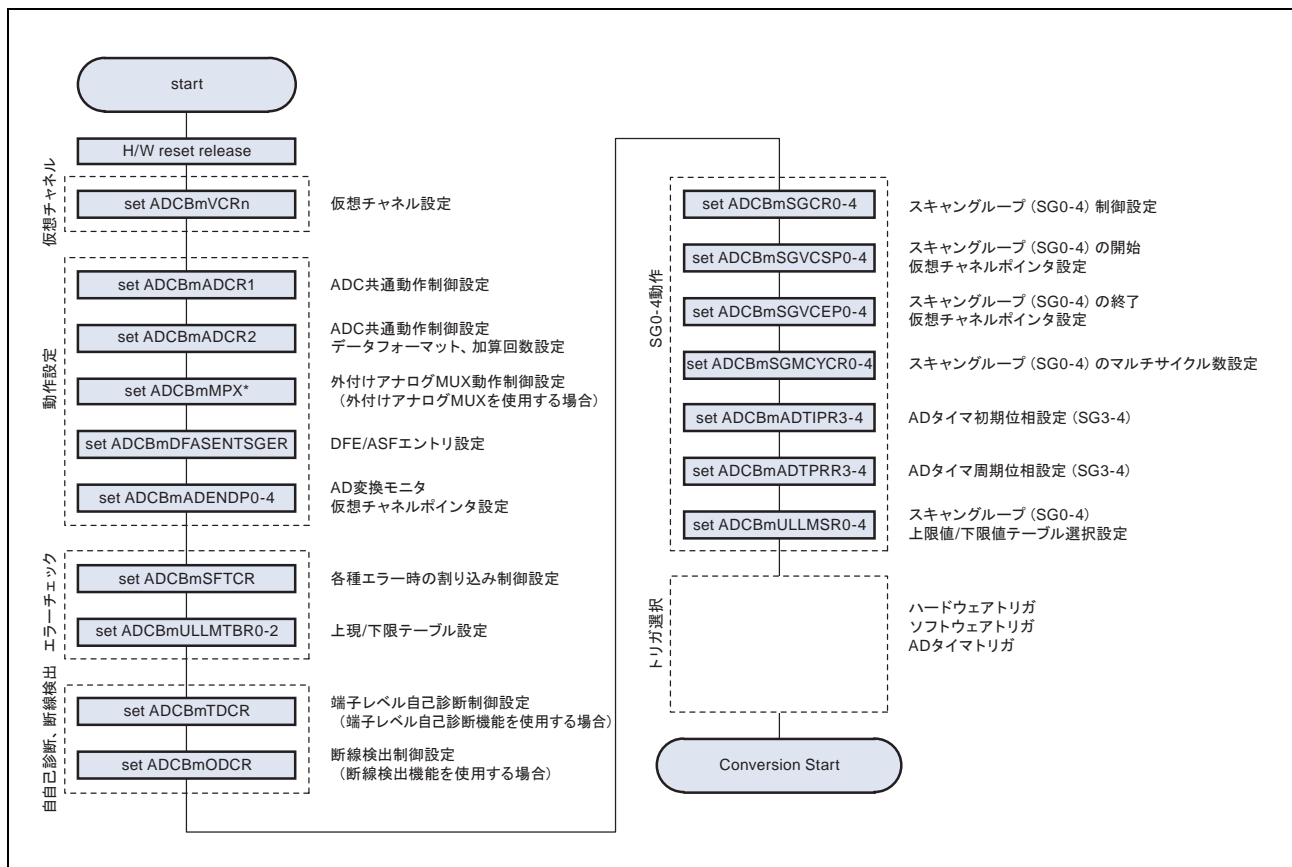


図 26.3 初期設定

備考

$m = 0$ の場合 : $n = 0 \sim 35$ 、 $m = 1$ の場合 : $n = 0 \sim 31$

26.7.1.2 トリガ入力フロー

ADCは、AD変換開始トリガとして、ハードウェアトリガとソフトウェアトリガ、ADタイマトリガがあります。スキャングループ x ($x=0\sim 4$) は、ADSTART、SGST (SG0~4) によるソフトウェアトリガと、SG $_x$ _TRG ($x=0\sim 4$) のハードウェアトリガ、ADタイマトリガ (SG3~4) に対応します。

図 26.4 および図 26.5 に示すトリガ入力フローにてAD変換が開始します。SG $_x$ _TRG ($x=0\sim 4$) のトリガ構成図については、「26.7.11 スキャングループのトリガ入力選択」を参照してください。図中に示す初期設定フローは「26.7.1.1 初期設定」を参照してください。

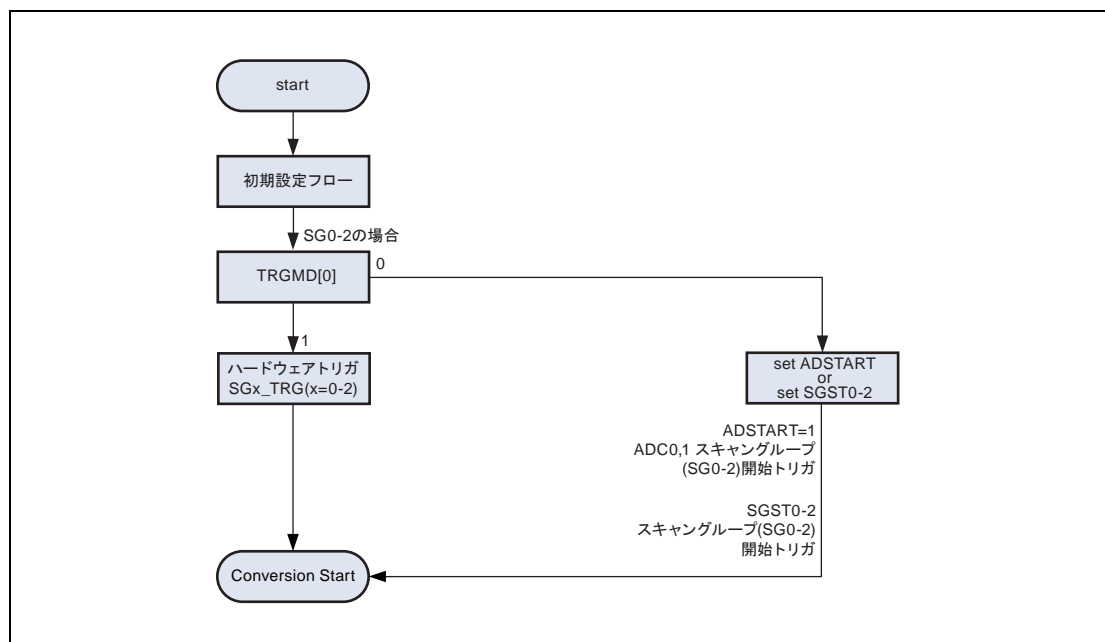


図 26.4 トリガ入力フロー (SG0 ~ 2)

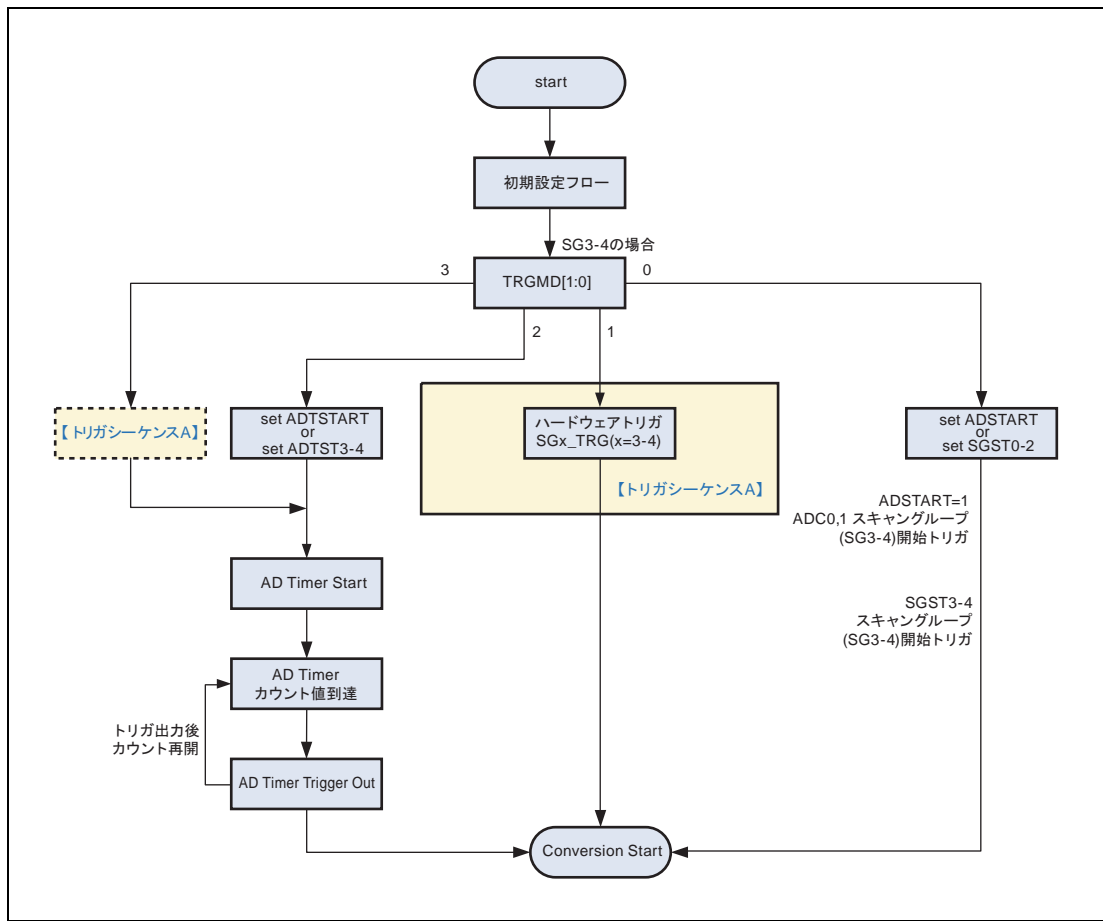


図 26.5 トリガ入力フロー (SG3、4)

26.7.1.3 終了手順

ADCは、**図 26.6** に示す処理フローにて、強制終了します。

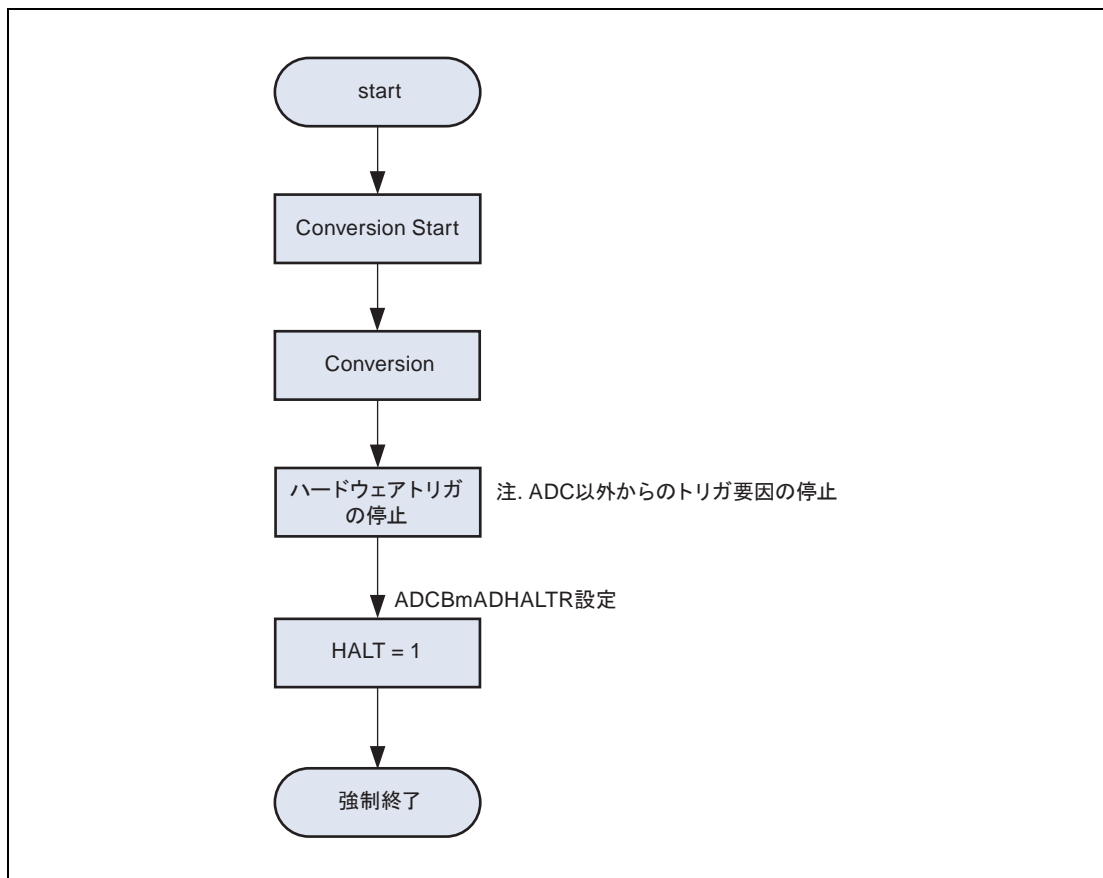


図 26.6 終了手順

備考

m = 0、1

26.7.2 通常 A/D 変換動作例

26.7.2.1 マルチサイクルスキャンモード

通常 A/D 変換モード (CNVCLS[2:0]=0H) を使用し、スキャングループ 0 にてマルチサイクルスキャンモードの 2 サイクルスキャンで仮想チャンネルを 4 チャンネル分変換する場合の動作例を示します。

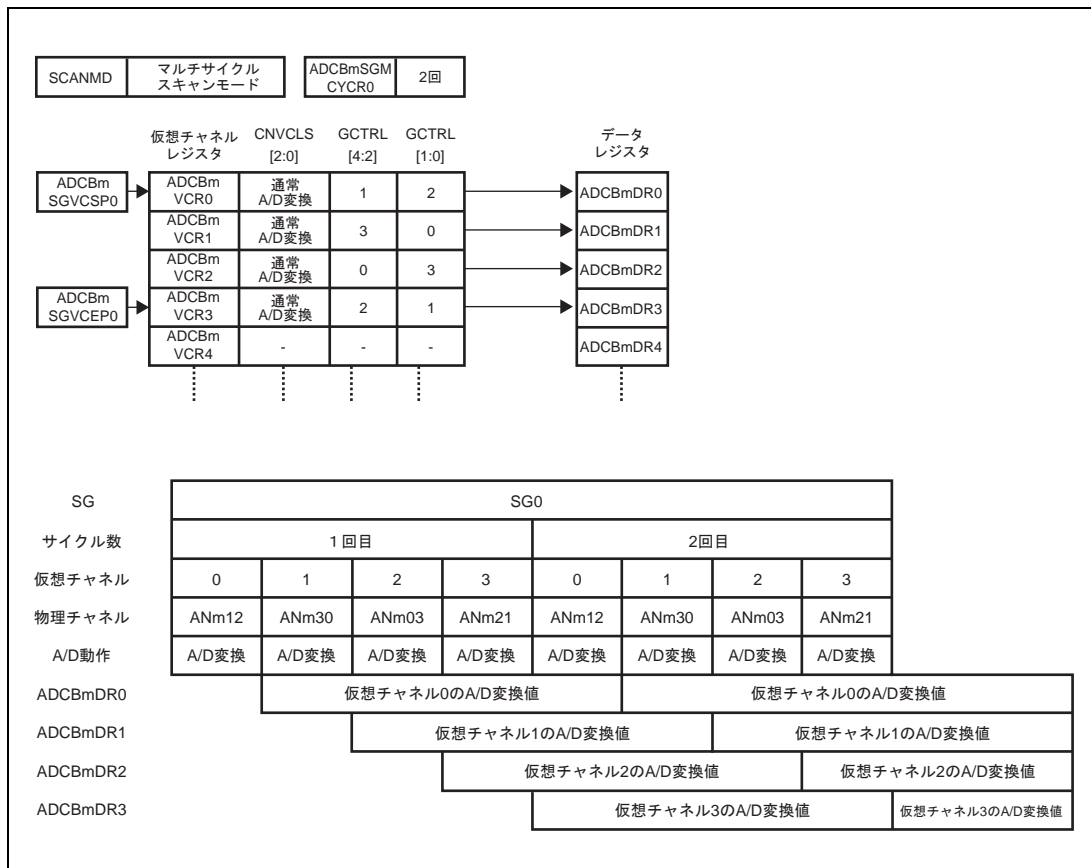


図 26.7 マルチサイクルスキャンモード動作例

備考

m = 0、1

26.7.2.2 連続スキャンモード

通常 A/D 変換モード (CNVCLS[2:0] = 0_H) を使用し、スキャングループ 0 にて連続スキャンモードで仮想チャンネルを 4 チャンネル分変換する場合の動作例を図 26.8 に示します。

また、連続スキャンモードに設定 (SCANMD = 1_H) したスキャングループに対して、低優先のスキャングループのトリガが入力されても受け付けません。したがって、連続スキャンモードは、スキャングループ 0 に対して設定することを想定しています。

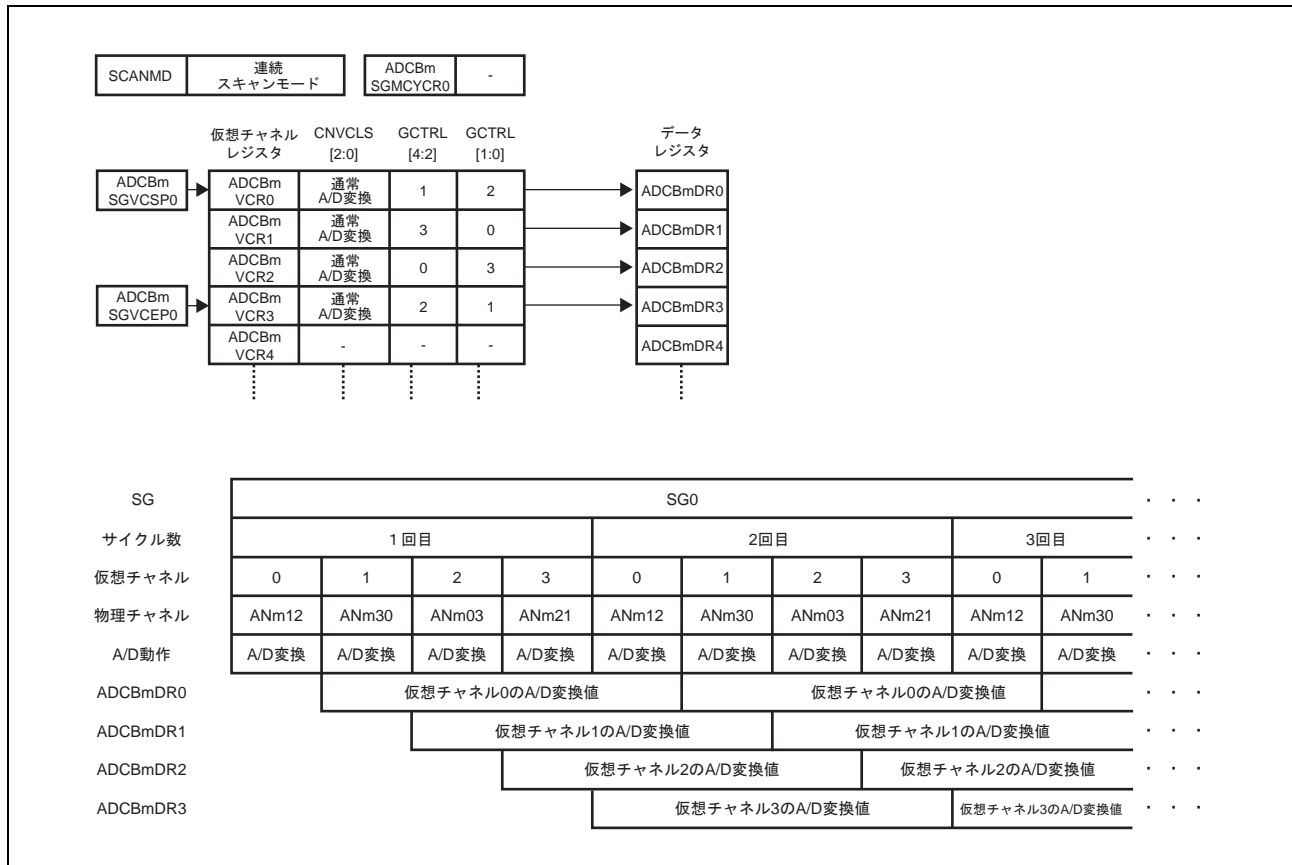


図 26.8 連続スキャンモード動作例

備考

m = 0、1

26.7.3 同時トラック & ホールド動作例

26.7.3.1 同時トラック & ホールド動作 (物理チャンネルグループ選択)

同時トラック & ホールド動作において、選択 T&H 実行 (CNVCLS[2:0] = 2_H / 物理チャンネルグループ選択)、ホールド値 A/D 変換 (CNVCLS[2:0] = 1_H)、自己診断 (CNVCLS[2:0] = 3_H) する場合の動作例を図 26.9 に示します。

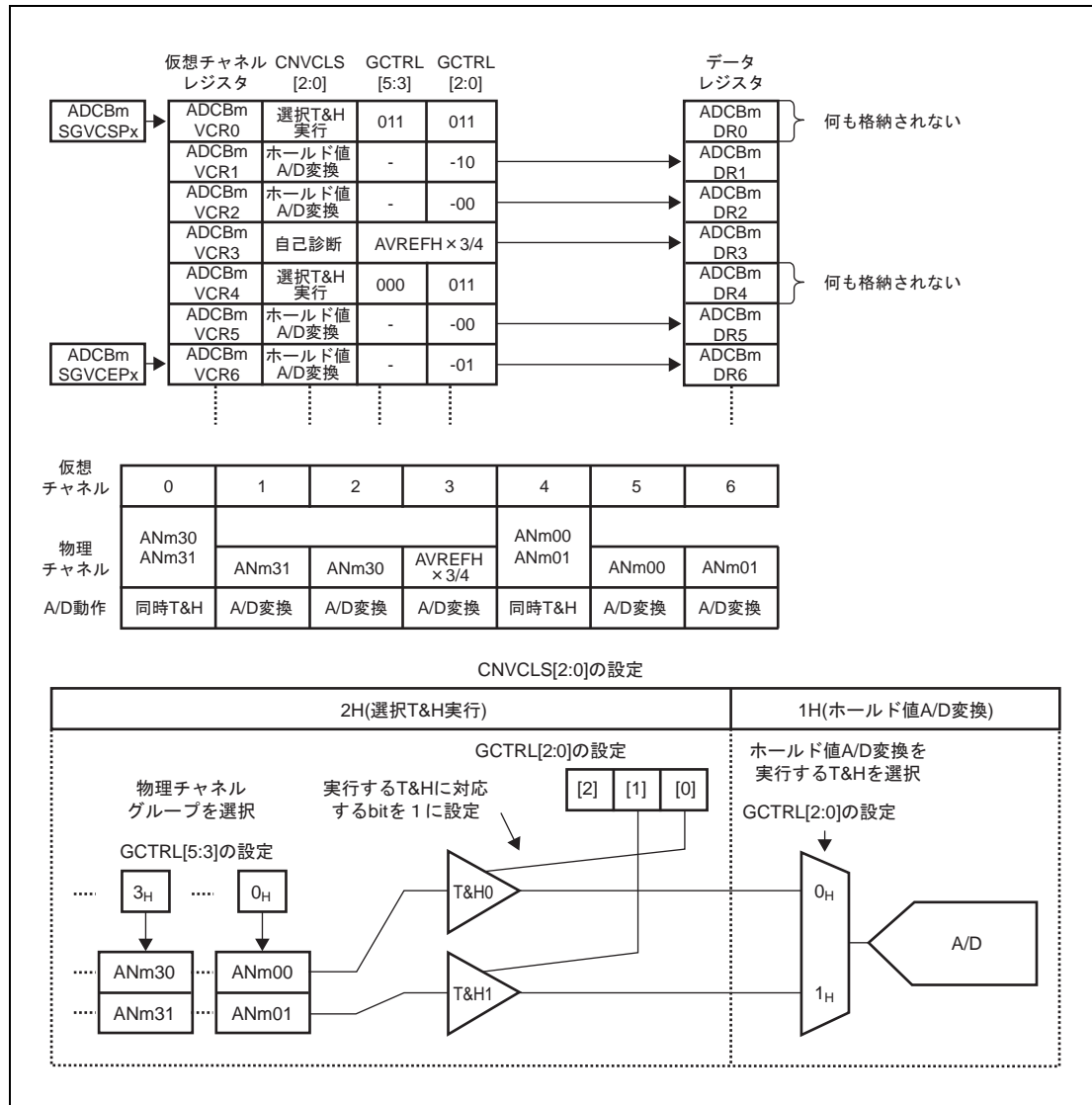


図 26.9 同時トラック & ホールド動作例 (物理チャンネルグループ選択)

備考

m = 0 x = 0 ~ 4

26.7.4 加算モードの通常 A/D 変換動作例

加算モードの通常 A/D 変換 (CLVCLS[2:0]=4_H) を使用し、スキャングループ 0 にて、仮想チャンネルを 4 チャンネル分変換する場合の動作例を **図 26.10** に示します。

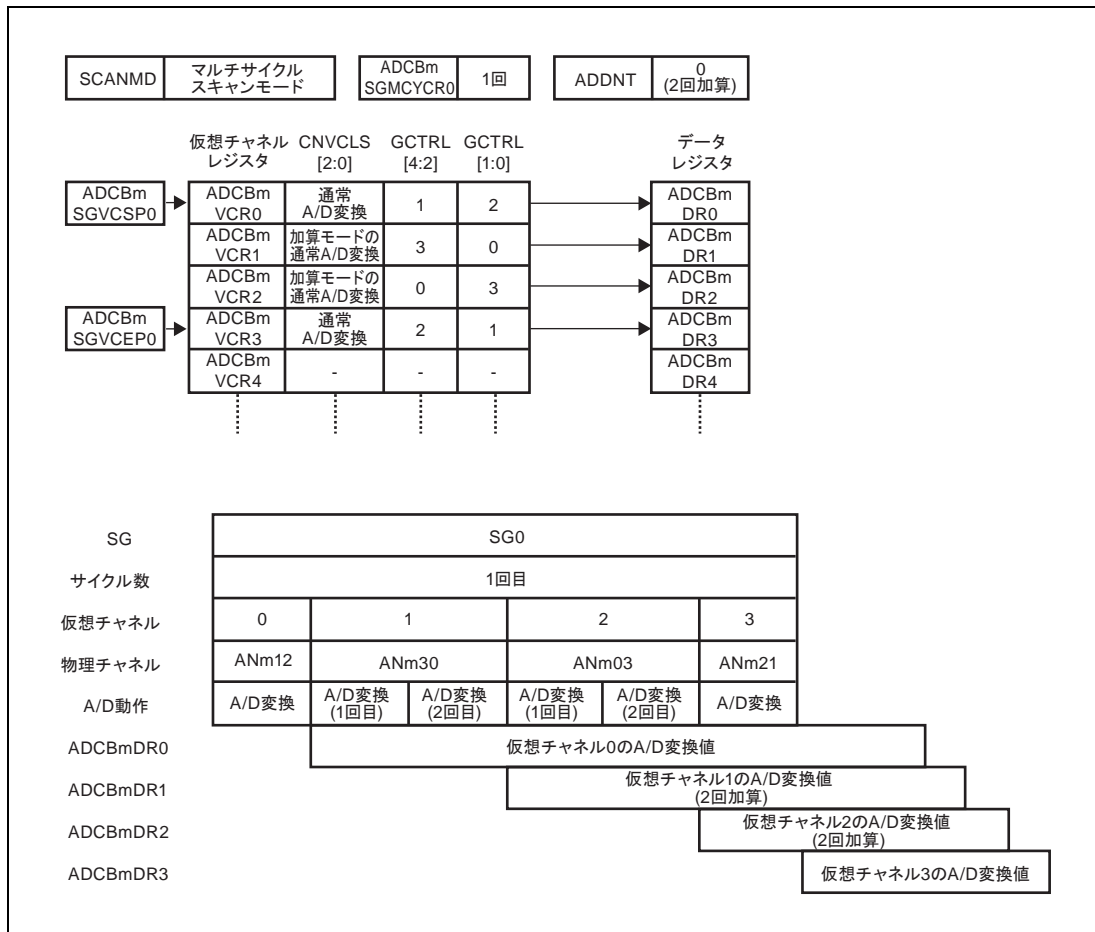


図 26.10 加算モードの通常 A/D 変換動作例

備考

m = 0、1

26.7.5 外付けアナログマルチプレクサ動作例

通常 A/D 変換 w / MPX モード (CNVCLS[2:0]=5_H)、もしくは、加算モードの通常 A/D 変換 w / MPX モード (CNVCLS[2:0]=6_H) を使用し、外付けアナログマルチプレクサを使用した動作例を示します。

26.7.5.1 外付けアナログマルチプレクサ使用例 (ポート出力)

外付けアナログマルチプレクサを使用したポート出力の例を図 26.11 に示します。

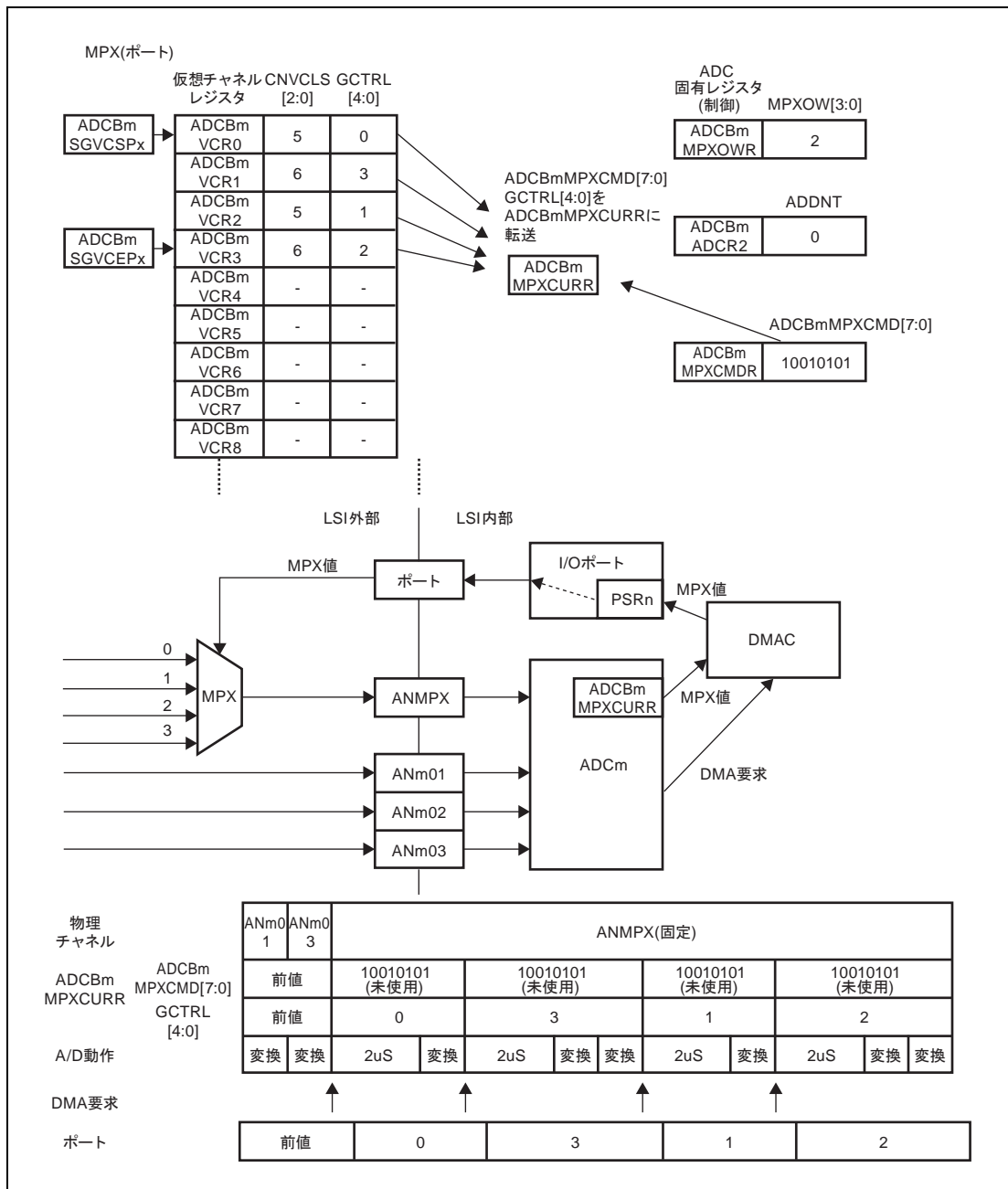


図 26.11 外付けマルチプレクサ使用例 (ポート出力)

備考

m = 0 の場合 : ANMPX = AN043、m = 1 の場合 : ANMPX = AN100 x = 0 ~ 4

26.7.5.2 外付けアナログマルチプレクサ使用例 (SPI 出力)

外付けアナログマルチプレクサを使用した SPI 出力の例を図 26.12 に示します。

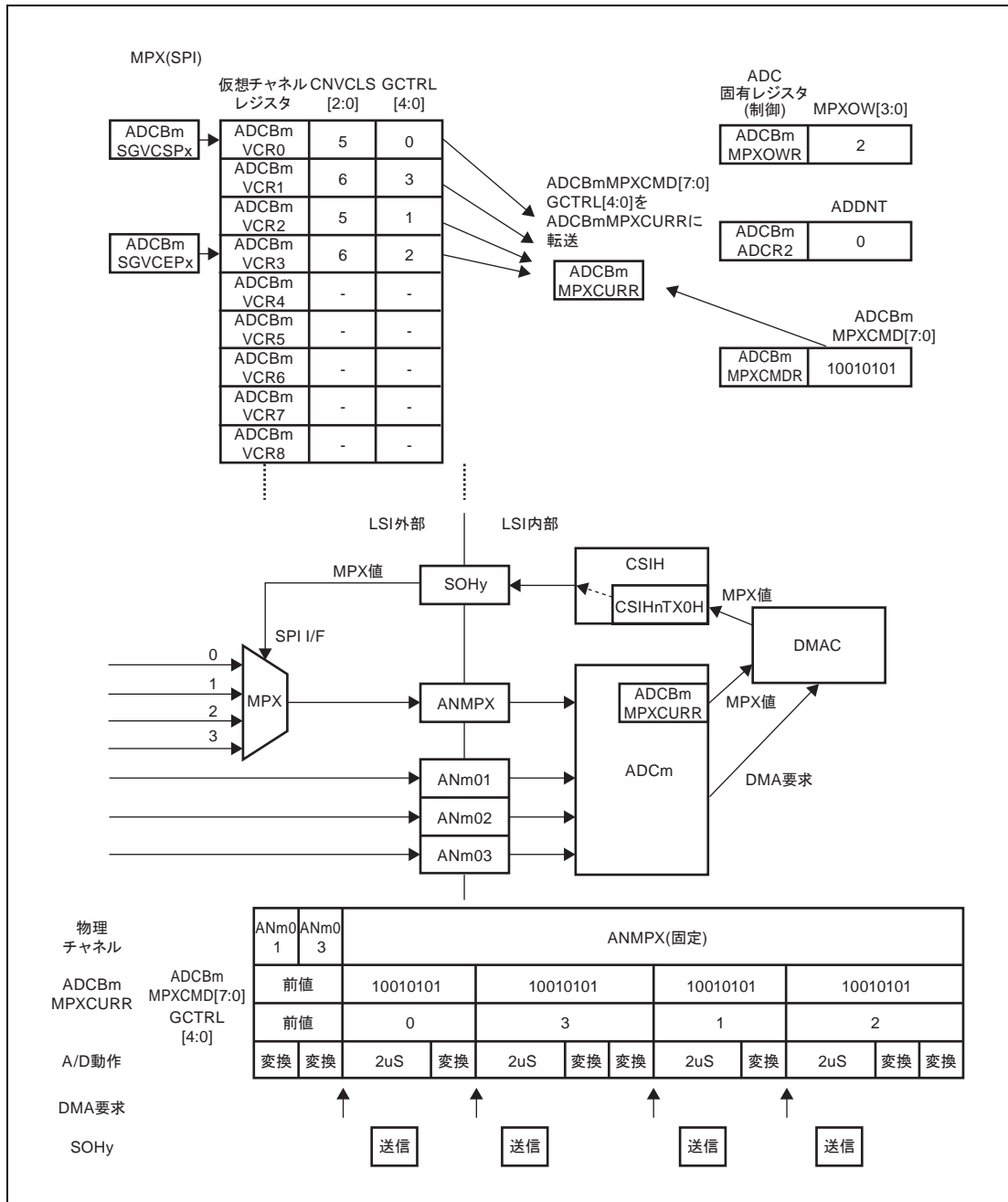


図 26.12 外付けマルチプレクサ使用例 (SPI 出力)

備考

m = 0 の場合 : ANMPX = AN043、m = 1 の場合 : ANMPX = AN100 x = 0 ~ 4

26.7.6 同期サスペンド & レジューム動作例

同期サスペンド & レジューム動作の例を図 26.13 に示します。低優先 SG に対して高優先 SG が割り込む場合についての動作です。

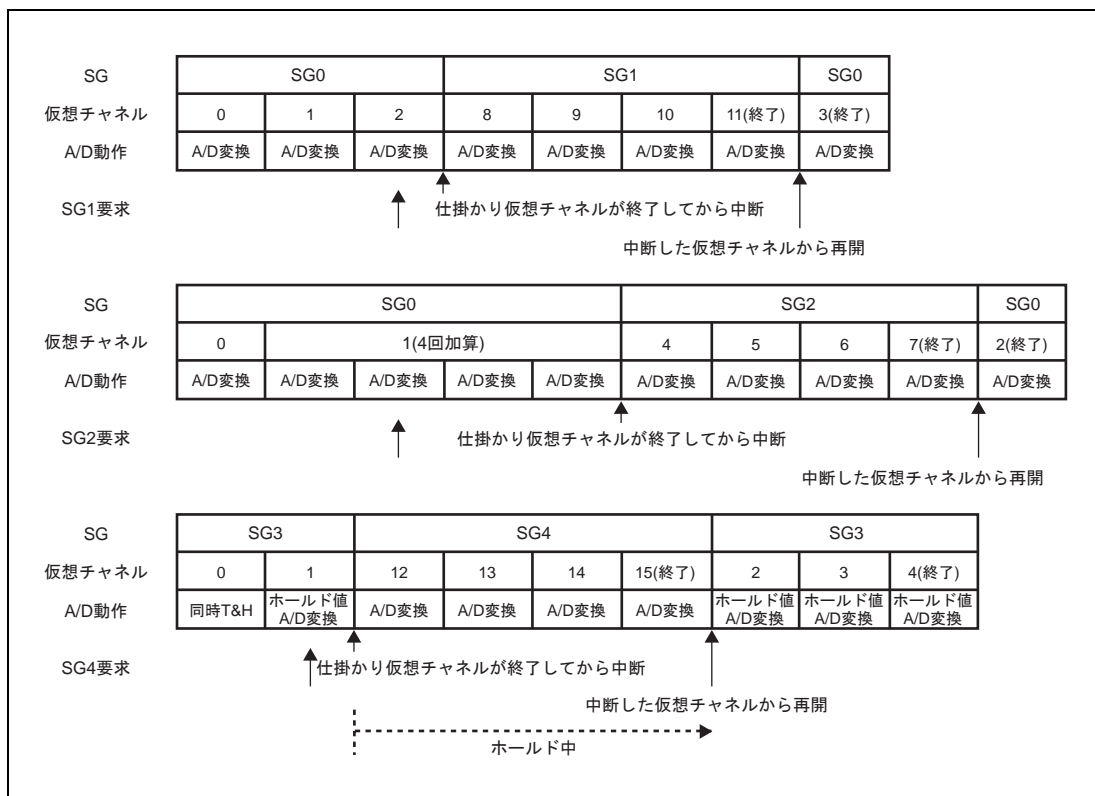


図 26.13 同期サスペンド & レジューム動作例

注意

スキャングループの優先順位

低い 高い

SG0 < SG1 < SG2 < SG3 < SG4

26.7.7 非同期サスペンド & レジューム動作例

非同期サスペンド & レジューム動作の例を図 26.14 に示します。低優先 SG に対して高優先 SG が割り込む場合の動作です。

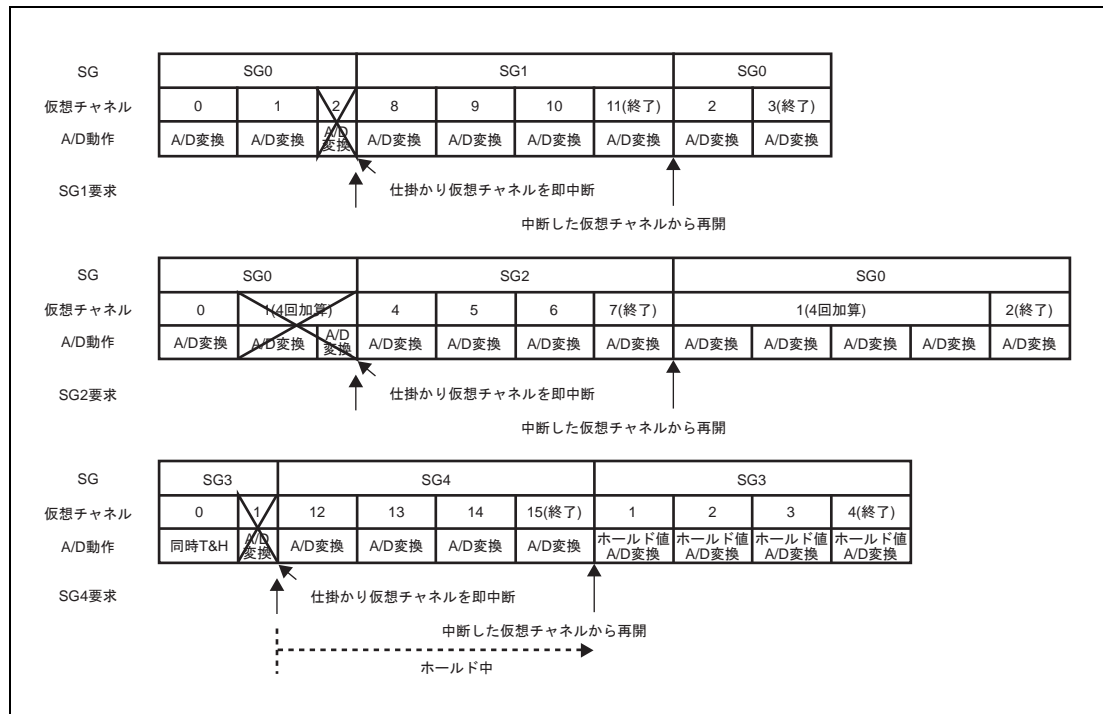


図 26.14 非同期サスペンド & レジューム動作例

注意

スキヤングループの優先順位

低い 高い

SG0 < SG1 < SG2 < SG3 < SG4

26.7.8 AD タイマ動作例

AD タイマ動作例を図 26.15 に示します。

AD タイマは、40MHz のクロックにて、カウント動作します。

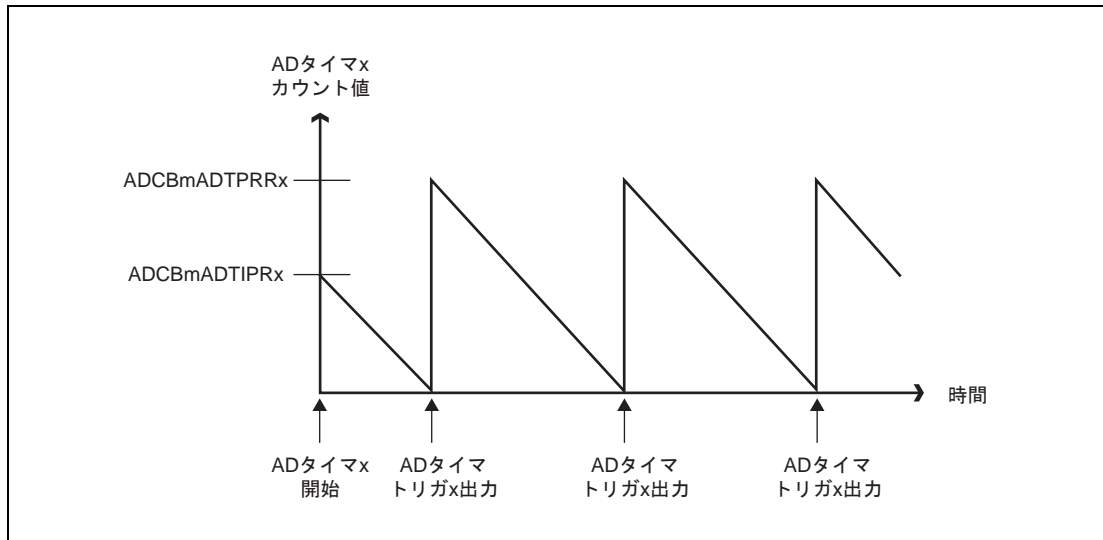


図 26.15 AD タイマ動作例

備考

m = 0、1 x = 3、4

26.7.9 自己診断機能

ADC は、以下の3つの自己診断機能を有しています。

- 端子レベル自己診断機能
- A/D 変換回路自己診断機能
- 断線検出自己診断回路機能

26.7.9.1 端子レベル自己診断機能

端子レベル自己診断は、偶数物理チャネルグループ、奇数物理チャネルグループに対して、異電源に設定した AD 変換を実行することで、ANI からの経路異常を診断するものです。

また、異電源の設定は、ADCBmTDCR で設定し、AVSS、AVCC、 $1/2 \times AVCC$ の組み合わせで検出が可能です。

ADC での端子レベル自己診断機能の特長および設定を以下に示します。

【特長】

1. ユーザは、テストする物理チャネルを任意に選択ができます。
2. 自己診断レベルは、AVSS、AVCC、 $1/2AVCC$ を選択することが可能です。
3. SG0-4 の AD 変換を実施することで、端子レベル自己診断機能が可能です。

【設定】

1. 初期設定（「**図 26.3 初期設定**」）に沿って設定を行います。
2. 仮想チャネル設定レジスタ ADCBmVCRn で、CNVCLS[2:0] = 0_H、GCTRL[4:0] に任意のチャネルを設定します。
3. 端子レベル自己診断機能の設定レジスタ、TDE = 1_H、TDLV[1:0] に任意の端子レベル自己診断レベルを設定します。
4. 初期設定（「**図 26.3 初期設定**」）に沿って、その他の AD 変換に必要な設定を行います。
5. SG0 ~ 4 のトリガをアサートし、AD 変換を実行します。

26.7.9.2 A/D 変換回路自己診断機能

AD 変換回路自己診断は、AD 変換が正常に動作することの自己診断機能です。

電圧値の設定は、CNVCLS[2:0] = 3_H 時の GCTRL[4:0] で行い、AVREFH × 1、AVREFH × 3/4、AVREFH × 1/2、AVREFH × 1/4、AVREFH × 0 での変換が可能です。

ADC での、AD 変換回路自己診断機能の特長および設定を以下に示します。

【特長】

1. 自己診断電圧レベルは、AVREFH × 1、AVREFH × 3/4、AVREFH × 1/2、AVREFH × 1/4、AVREFH × 0 の選択が可能です。
2. SG0-4 の AD 変換を実施することで、AD 変換回路自己診断機能が可能です。

【設定】

1. 初期設定（「**図 26.3 初期設定**」）に沿って設定を行います。
2. 仮想チャンネル設定レジスタ ADCBmVCRn で、CNVCLS[2:0] = 3_H とし、GCTRL[5:0] に任意の自己診断電圧レベルを設定します。
3. 初期設定（「**図 26.3 初期設定**」）に沿って、その他の AD 変換に必要な設定を行います。
4. SG0 ~ 4 のトリガをアサートし、AD 変換を実行します。

備 考

m = 0 の場合 : n = 0 ~ 35

m = 1 の場合 : n = 0 ~ 31

A/D 変換回路自己診断前に A/D 変換を行った端子に対し、注入電流が印加されている状態で A/D 変換回路自己診断を行った場合、A/D 変換精度に影響を与えることがあります。そのため、A/D 変換回路自己診断前の A/D 変換対象は注入電流が印加されない端子を選択してください。

以下に設定例を示します。

注 意

端子に印加される電圧が供給される電源電圧を超えた場合、およびグランド電圧を下回った場合、注入電流が発生します。

- (1) 同じ SG で A/D 変換と A/D 変換回路自己診断を行う場合、A/D 変換回路自己診断前に注入電流が印加されない端子を選択してください。



図 26.16 同 SG 内で A/D 変換と A/D 変換回路自己診断を行う場合の設定例

- (2) A/D 変換回路自己診断を実施する SG より高優先の SG がある場合、高優先の SG の A/D 変換を実施するために、A/D 変換回路自己診断が中断された後、再開されることがあります。この場合は、高優先の SG の最後で注入電流が印加されない端子^{注1}を変換してください。

注 1. 注入電流が印加されない端子を確定できない場合は、代替として未使用端子を A/D 変換してください。



図 26.17 A/D 変換回路自己診断よりも高優先となる SG がある場合の設定例

26.7.9.3 断線検出自己診断機能

断線検出自己診断機能は、ANIの断線検出をする機能です。断線が起きている場合、変換結果は0V近傍に減衰し、変換結果に異常値が検出されるため、断線検出と判断することが可能です。

【特長】

1. ユーザは、断線検出をする物理チャンネルを任意に選択ができます。

【設定】

1. 初期設定（「**図 26.3 初期設定**」）に沿って設定を行います。
2. 仮想チャンネル設定レジスタ ADCBmVCRn で、CNVCLS[2:0] = 0_H、GCTRL[5:0] に任意のチャンネルを設定します。
3. 断線検出機能の設定レジスタ、ODE = 1_H、ODPW[5:0] に任意の断線検出パルス幅を設定します。
4. SG0 ~ 4 のトリガをアサートし、AD変換を実行します。

備 考

m = 0 の場合 : n = 0 ~ 35

m = 1 の場合 : n = 0 ~ 31

26.7.10 アナログ入力のサンプリングとスキャングループ処理時間

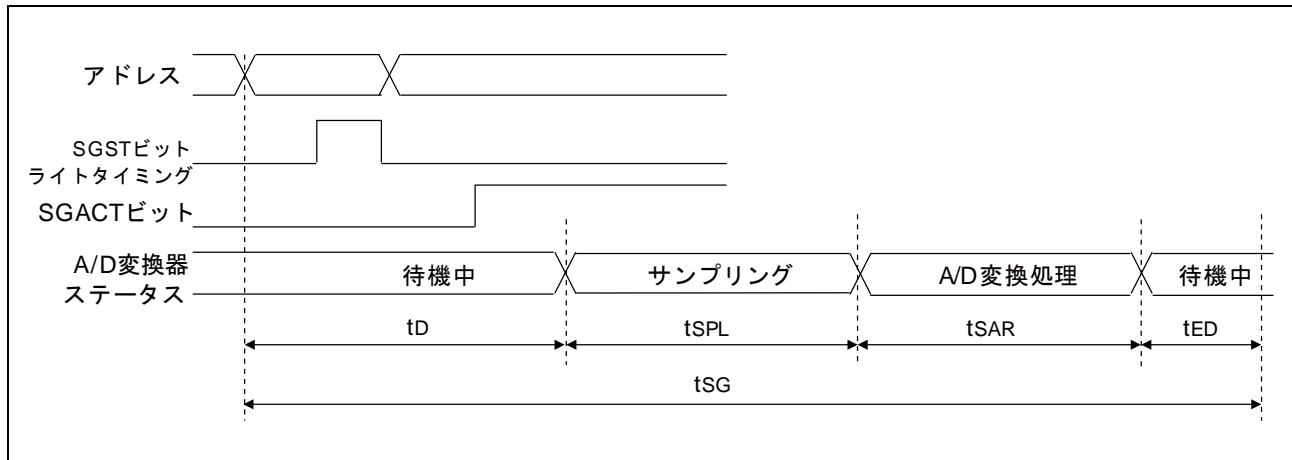


図 26.18 通常 A/D 変換動作時のタイミングチャート (1 回変換)

アナログ入力の後にトラック&ホールド回路があります。ADC には、サンプル&ホールド回路が内蔵されています。ADC は、ADCBmSGCRx の SGST ビットが 1 にセットされてから、スキャングループ開始遅延時間 (t_D) の経過後にサンプリングを行い、この後に逐次比較変換処理を開始します。

「図 26.18 通常 A/D 変換動作時のタイミングチャート (1 回変換)」に 1 仮想チャンネルの 1 サイクルスキャンで動作のタイミングを示します。スキャングループ処理時間 (t_{SG}) は、スキャングループ開始遅延時間 (t_D)、サンプリング時間 (t_{SPL})、逐次比較変換処理時間 (t_{SAR})、スキャングループ終了遅延時間 (t_{ED}) を含めた時間となります。スキャングループ処理時間を「表 26.40 スキャングループ処理時間」に示します。

マルチサイクルスキャンモードにて仮想チャンネル数が i 、マルチサイクル回数が j のスキャングループ処理時間 (t_{SG}) は、以下の計算式で求められます。

$$t_{SG} = t_D + (t_{SPL} + t_{SAR}) \times i \times j + t_{ED}$$

$$\text{連続スキャンモードの 1 サイクル目のスキャンは} \quad t_D + (t_{SPL} + t_{SAR}) \times i$$

$$\text{連続スキャンモードの 2 サイクル目以降のスキャンは} \quad (t_{SPL} + t_{SAR}) \times i$$

となります。

表 26.40 スキャングループ処理時間

| 項目 | 記号 | 期間 | 単位 |
|----------------|-----------|--|--|
| スキャングループ開始遅延時間 | t_D | $(2 \sim 4) \times P\phi + 5 \times I\phi$ | $P\phi$ (P-Bus クロック) $I\phi$ (内部クロック) |
| サンプリング時間 | t_{SPL} | $18 \times I\phi$ | $I\phi$ (内部クロック) |
| 逐次比較変換処理時間 | t_{SAR} | $22 \times I\phi$ | $I\phi$ (内部クロック) |
| スキャングループ終了遅延時間 | t_{ED} | $(2 \sim 4) \times I\phi + 3 \times P\phi$ | $P\phi$ (P-Bus クロック) $I\phi$ (内部クロック) |
| スキャングループ処理時間 | t_{SG} | $47 \times I\phi + 5 \times P\phi \sim 49 \times I\phi + 7 \times P\phi$ | $P\phi$ (P-Bus クロック) $I\phi$ (内部クロック) |

備考

$m = 0, 1 \quad x = 0 \sim 4$

表中の「Pφ」は低速周辺クロック (CLK_LSB) を、「Iφ」は非変調低速周辺クロック (CLKC_LSB) を表します。

26.7.10.1 選択 T&H 実行/ホールド値 A/D 変換動作時の処理時間

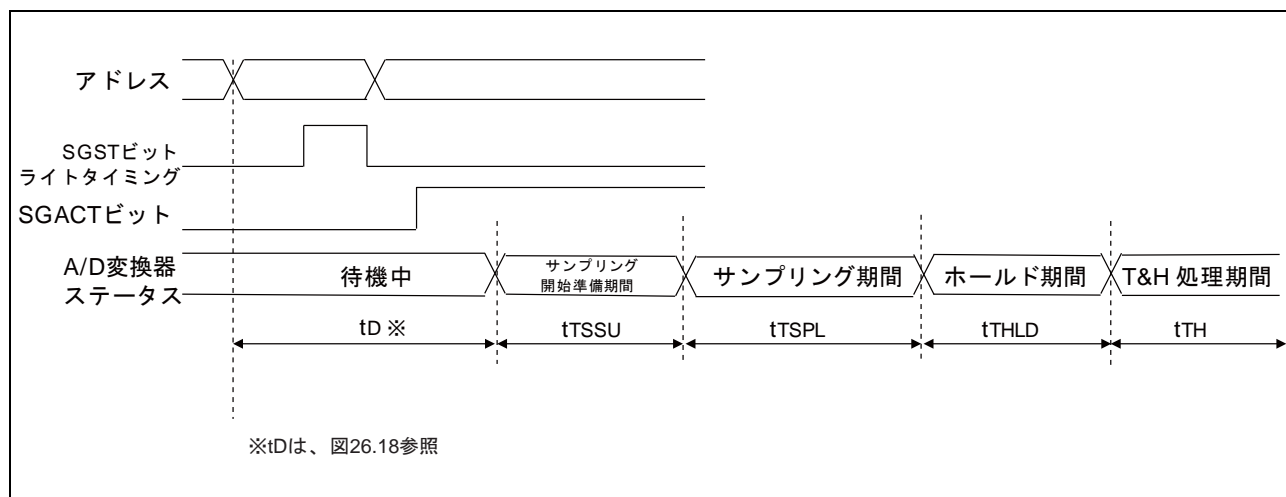


図 26.19 選択 T&H 実行/ホールド値 A/D 変換動作時のタイミングチャート

アナログ入力のためにトラック&ホールド回路があります。サンプリングを開始してからホールド状態に変更するまでの時間 (t_{TSPL}) とホールド状態に変更してから A/D 変換を開始するまでの時間規定 (t_{THLD}) を以下に示します。また、仮想チャンネルでホールド値 A/D 変換を実行したときの T&H 処理時間 (t_{TH}) を表 26.41 に示します。

表 26.41 トラック&ホールド時の処理時間

| 項目 | 記号 | 処理時間 | 単位 |
|--------------|------------|------|-------------|
| サンプリング開始準備時間 | t_{TSSU} | 3 | Iφ (内部クロック) |
| サンプリング時間 | t_{TSPL} | 27 | Iφ (内部クロック) |
| ホールド時間 | t_{THLD} | 10 | Iφ (内部クロック) |
| T&H 処理時間 | t_{TH} | 40 | Iφ (内部クロック) |

26.7.11 スキャングループのトリガ入力選択

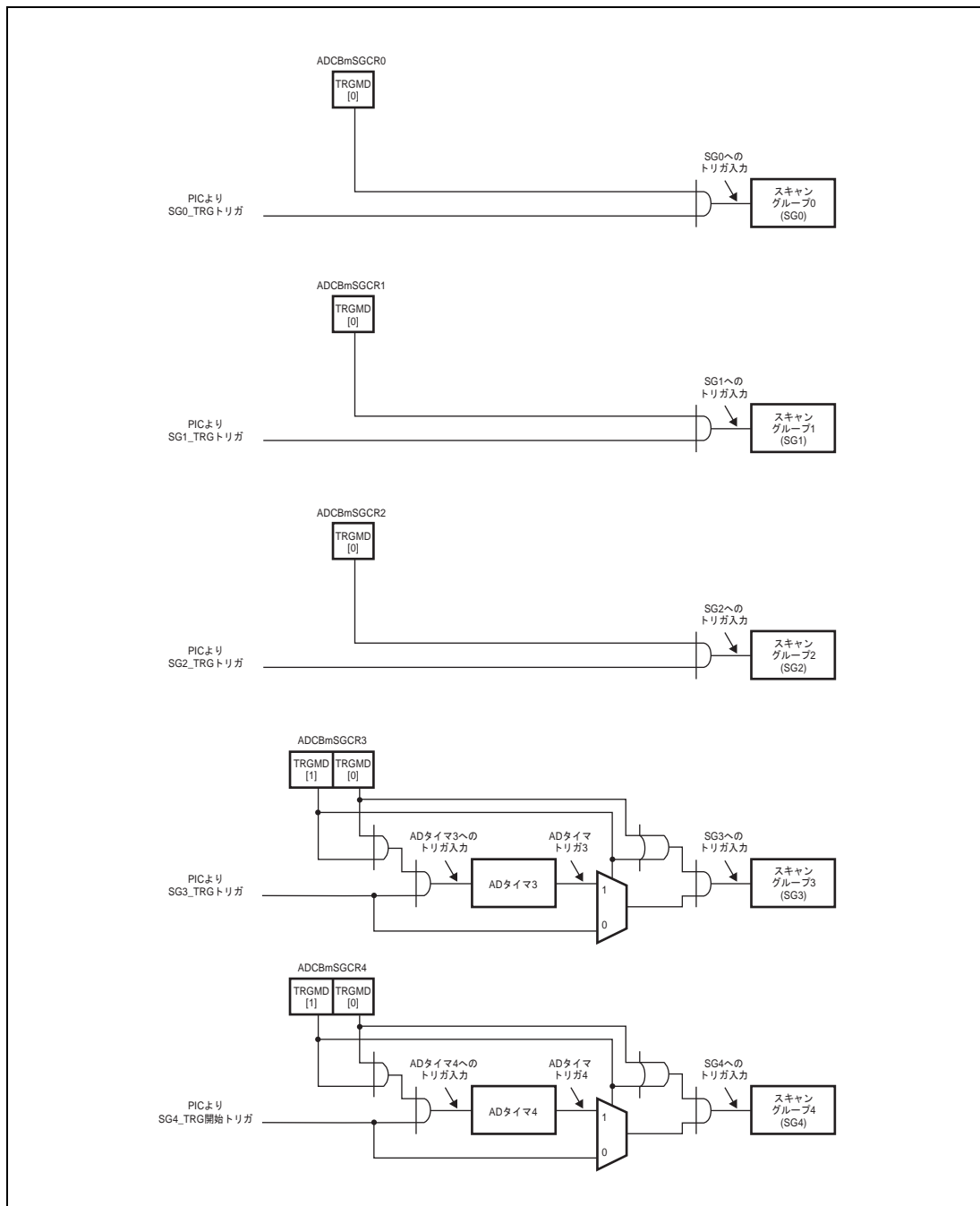


図 26.20 スキャングループのトリガ入力選択

備考

m = 0、1

26.7.12 ハードウェアトリガによるスキャングループの起動

ハードウェアトリガ SG_x_TRG の入力で、スキャングループ x を起動することができます。ハードウェアトリガ SG_x_TRG の入力で、スキャングループ x を起動する場合には、ADCBmSGCR_x の TRGMD を 1_H に設定します。この状態で選択したハードウェアトリガ SG_x_TRG が入ると、SGACT を 1 にセットします。SGACT が 1 にセットされてからスキャングループ x が開始されるまでのタイミングは、ソフトウェアトリガで SGST を 1 にセットされた場合と同じです。

備 考

m = 0、1 x = 0 ~ 4

26.7.13 AD タイマトリガによるスキャングループの起動

AD タイマ 3、4 のタイマトリガによって、スキャングループ 3、4 を起動することができます。AD タイマ 3、4 のタイマトリガでスキャングループ 3、4 を起動する場合には、ADCBmSGCR₃、4 の TRGMD を 2_H にセットします。さらにスキャングループ 3、4 の ADTST に 1 をセットし、AD タイマ 3、4 を起動します。

この状態でタイマトリガが入ると、SGACT を 1 にセットします。SGACT が 1 にセットされてからスキャングループ 3、4 が開始されるまでのタイミングは、ソフトウェアで SGST を 1 にセットされた場合と同じです。

備 考

m = 0、1

26.7.14 ハードウェアトリガによる AD タイマの起動

ハードウェアトリガ SG₃_TRG、SG₄_TRG の入力で、AD タイマ 3、4 を起動することができます。ハードウェアトリガ SG₃_TRG、SG₄_TRG の入力で、AD タイマ 3、4 を起動する場合には、ADCBmSGCR₃、4 の TRGMD を 3_H に設定します。この状態で選択した外部トリガが入ると AD タイマ 3、4 が起動します。さらに AD タイマ 3、4 のタイマトリガによりスキャングループ 3、4 を起動します。

備 考

m = 0、1

26.7.15 A/D 変換モニタ端子によるモニタ機能

ADENDm によって、ADCBmADENDP で指定する仮想チャンネルの処理タイミングをモニタすることができます。端子の設定については、「第2章 端子」を参照してください。

図 26.21 に A/D 変換モニタタイミングを示します。

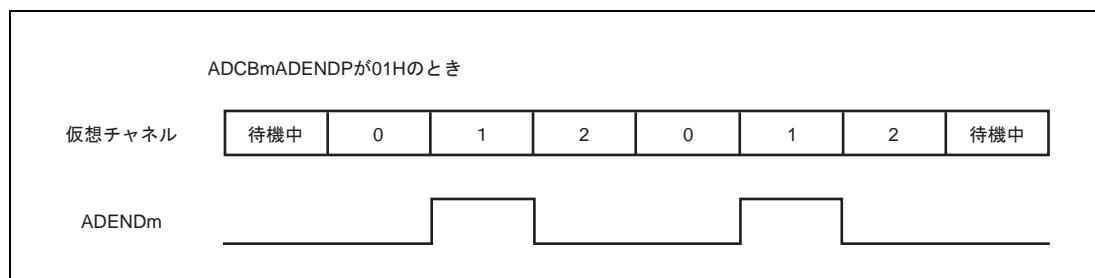


図 26.21 A/D 変換モニタタイミング

注 意

低優先スキャングループで ADENDm がハイレベルを出力しているときに高優先のスキャングループにより中断（非同期サスペンド）した場合、一度ロウレベルを出力します。そのあとに再度低優先スキャングループで中断した仮想チャンネルが実行（レジューム）されるため、ADENDm は再びハイレベルを出力します。

備 考

m = 0、1

26.7.16 スキャン終了割り込み要求

スキャングループ x は、INTC へのスキャン終了割り込み要求 (ADIm x) を発生することができます。ADCBmSGCR x の ADIE を 1 に設定すると SG x のスキャン終了で ADIm x を出力し、0 に設定すると SG x のスキャン終了時の ADIm x の出力を禁止できます。また、ADCBmVCR n の ADIE を 1 に設定すると SG x の仮想チャネル n の A/D 変換終了で ADIm x を出力し、0 に設定すると SG x の仮想チャネル n の A/D 変換終了時の ADIm x の出力を禁止できます。ADCBmSGCR x の ADIE の設定と ADCBmVCR n の ADIE の設定は無関係です。

例 1) ADCBmSGCR0 の ADIE = 0、ADCBmVCR0 の ADIE = 1、ADCBmVCR1 の ADIE = 0、SG0 で仮想チャネル 0 ~ 1 のスキャン実行
仮想チャネル 0 の A/D 変換終了で ADIm0 が出力します。

例 2) ADCBmSGCR0 の ADIE = 0、ADCBmVCR0 の ADIE = 1、ADCBmVCR1 の ADIE = 1、SG0 で仮想チャネル 0 ~ 1 のスキャン実行
仮想チャネル 0 と仮想チャネル 1 の A/D 変換終了で ADIm0 が出力します。

例 3) ADCBmSGCR0 の ADIE = 1、ADCBmVCR0 の ADIE = 0、ADCBmVCR1 の ADIE = 0、SG0 で仮想チャネル 0 ~ 1 のスキャン実行
スキャン終了 (仮想チャネル 1 の A/D 変換終了) で ADIm0 が出力します。
また、マルチサイクルスキャンモードの 2 サイクル以上、および、連続スキャンモード時は、スキャン終了 (仮想チャネル 1 の A/D 変換終了) ごとに ADIm0 が出力します。

さらに、ADIm x 発生時に DMAC を起動することができます。

DMAC の設定については「第 7 章 DMA」を参照してください。

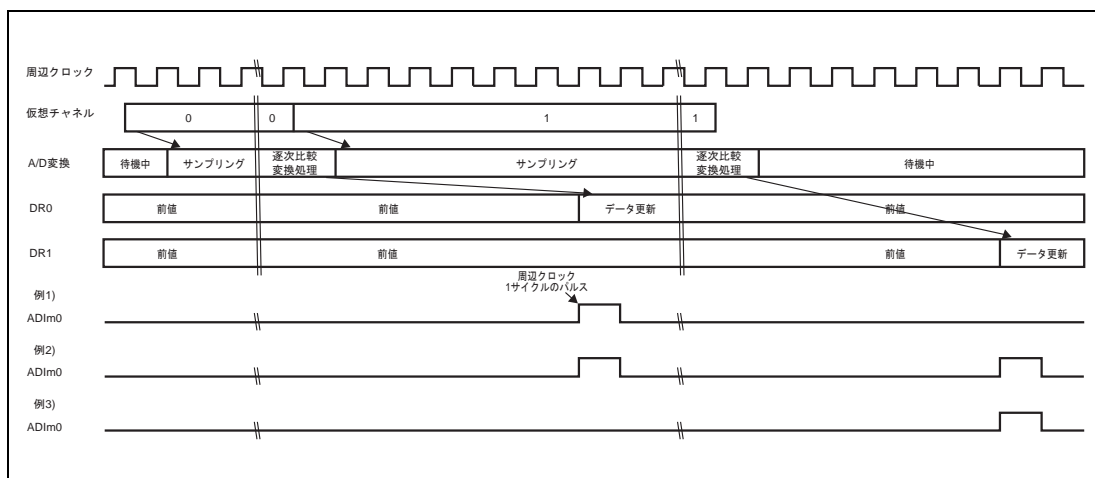


図 26.22 スキャン変換終了割り込み発生タイミング

備考

$m = 0$ の場合 : $n = 0 \sim 35$ 、 $m = 1$ の場合 : $n = 0 \sim 31$ $x = 0 \sim 4$

26.7.17 MPX 割り込み要求

ADC は、INTC への MPX 割り込み要求 (ADMPXIm) を発生することができます。
ADCBmVCRn で CNVCLS[2:0] = 5_H、または、6_H にセットされた仮想チャネルの開始時に、ADMPXIm が発生します。

ADMPXIm 発生時に DMAC を起動することができます。

DMAC の設定については「**第7章 DMA**」を参照してください。

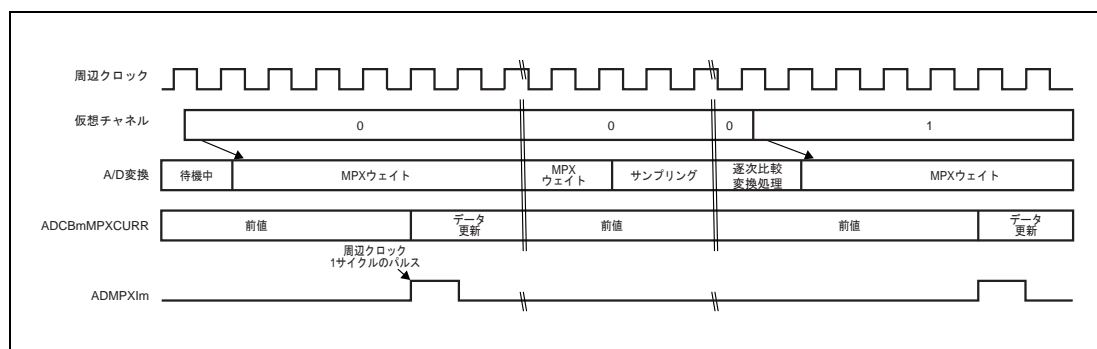


図 26.23 MPX 割り込み発生例

備考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31

26.7.18 AD エラー割り込み要求と AD パリティエラー通知

ADC は、INTC への AD エラー割り込み要求 (ADEm) と ECM (エラーコントロールモジュール) への AD パリティエラー通知 (ADPEm) を発生することができます。ADCBmSFTCR の ULEIE、OWEIE、IDEIE が 1 に設定されたエラー要因の OR 条件を ADEm として発生します。0 に設定されたエラー要因の ADEm は禁止することができます。ADCBmSFTCR の PEIE を 1 に設定すると ADPEm を許可、0 に設定すると ADPEm を禁止します。

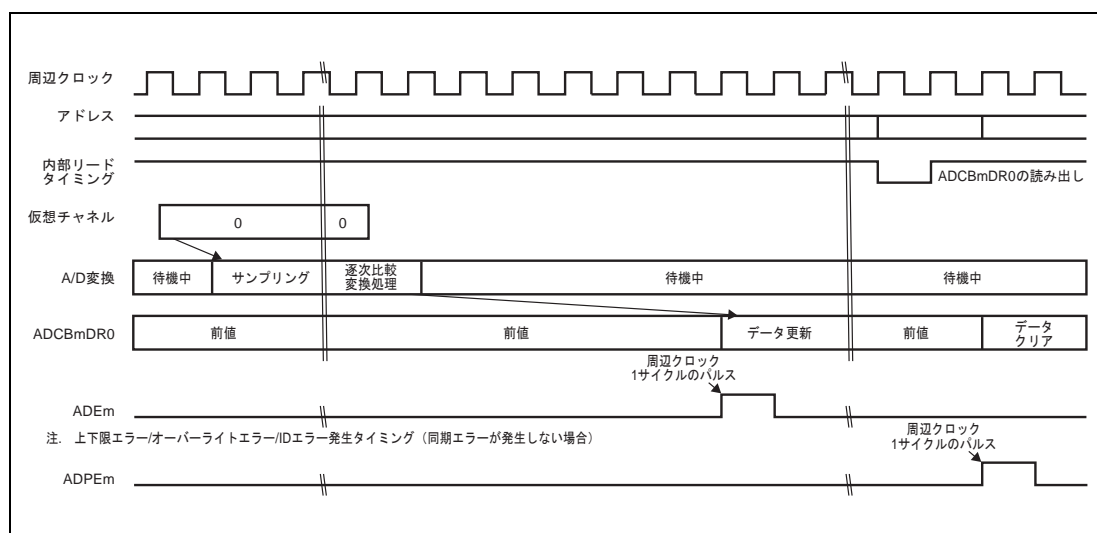


図 26.24 AD エラー割り込みと AD パリティエラー通知発生例

備考

m = 0、1

26.7.19 DFE/ASF へのエントリ機能

ADC は、ADCBmVCRn の DFENT、ADCBmDFASENTSGER の DFENTSGxE、ASENTSGxE の設定にしたがって、DFE/ASF に対して、DFE へのエントリ要求、および、ASF へのエントリ要求を出力し、エントリすることができます。同時に ADCBmVCRn の DFTAG に設定した TAG 情報、A/D 変換データを出力します。出力する A/D 変換データのフォーマットについては、「26.5.2 ADCBmDRn — データレジスタ n」を参照してください。

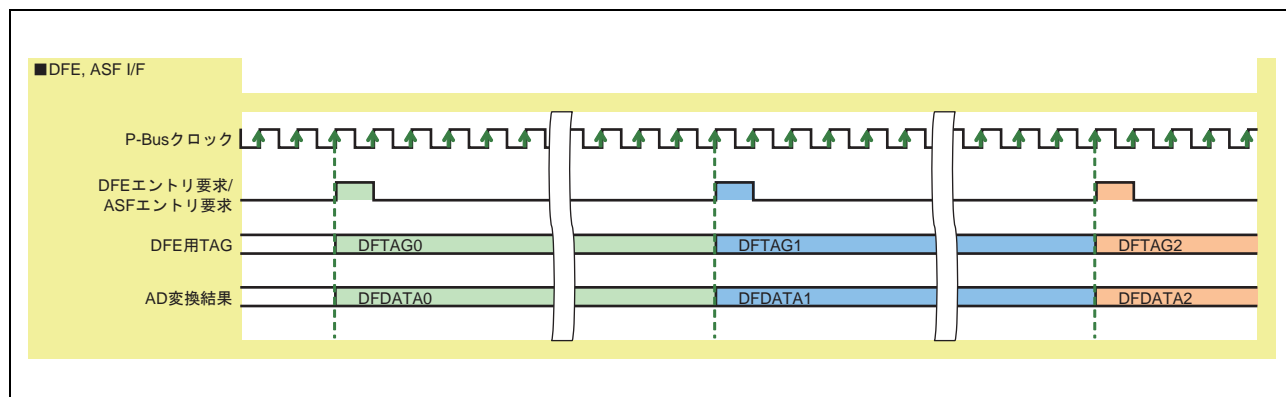


図 26.25 DFE/ASF エントリタイミング図

備考

$m = 0$ の場合 : $n = 0 \sim 35$ 、 $m = 1$ の場合 : $n = 0 \sim 31$ $x = 0 \sim 4$

26.8 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- 分解能
A/D 変換器のデジタル出力コード数
- 量子化誤差
A/D 変換器が本質的に有する誤差であり、 $1/2\text{LSB}$ で与えられる (図 26.26)。
- オフセット誤差
デジタル出力が最小電圧値 000_{H} から 001_{H} に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない (図 26.26)。
- フルスケール誤差
デジタル出力が FFE_{H} から FFF_{H} に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない (図 26.26)。
- DNL (微分非直線性誤差)
理想デジタル出力コード幅 (V_q) と実際のデジタル出力コード幅 (V_a) との偏差であり、 $(V_a - V_q) / V_q$ で与えられる。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない (図 26.26)。
- INL (積分非直線性誤差)
ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの偏差であり、 000_{H} から任意のデジタル出力コードまでの DNL の積分で与えられる。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない (図 26.26)。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差、DNL、および INL を含む (図 26.26)。

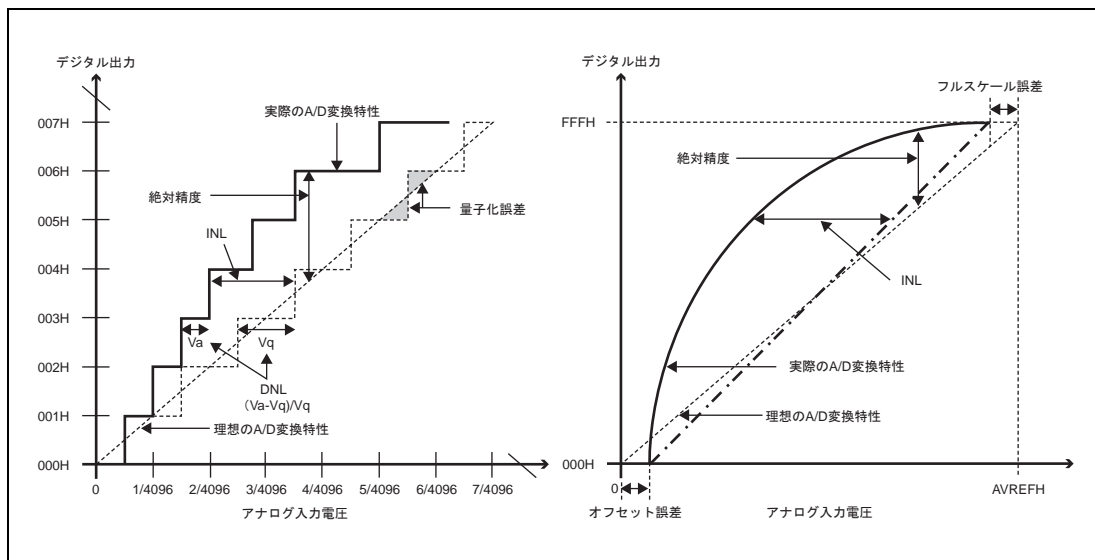


図 26.26 A/D 変換精度の定義

26.9 使用上の注意事項

26.9.1 外付けアナログマルチプレクサの使用上の注意点

外付け MPX を使用するときシステム破綻をおこさないために以下の注意事項を守ってください。

例外を除いて、MPX のウェイトは以下のようにしてください。

- ポートで MPX 値を転送する場合：1usec 以上のウェイトを入れてください。
- SPI I/F で MPX 値を転送する場合：SPI 送信時間 + 1usec 以上のウェイトを入れてください。

例外 1) 1つのスキャングループで外付け MPX を使用する場合

SUSMTD[1:0] = 1_H の設定のとき SG0 にて外付け MPX を使用するか、もしくは、SUSMTD[1:0] = 2_H の設定のとき SG0 ~ SG3 のいずれかで外付け MPX を使用するときは、MPX のウェイトは以下のようにしてください。

- ポートで MPX 値を転送する場合：1usec 以上のウェイトを入れてください。
- SPI I/F で MPX 値を転送する場合：SPI 送信時間 × 2 以上のウェイトを入れてください。

例外 2) 複数のスキャングループで外付け MPX を使用する場合

SUSMTD[1:0] = 1_H もしくは 2_H の設定にて外付け MPX を使用するときは、以下の注意事項を守ってください。

- 各スキャングループの先頭仮想チャネルは、外付け MPX を使用しない設定としてください（ただし、外付け MPX を使用するスキャングループの中で最も優先順位の低いスキャングループの先頭仮想チャネルについては、外付け MPX を使用する設定としても問題ありません）。
- SPI I/F にて転送するスキャングループ数は、2 つまでにしてください。

さらに、MPX のウェイトは以下のようにしてください。

- ポートで MPX 値を転送する場合：1usec 以上のウェイトを入れてください。
- SPI I/F で MPX 値を転送する場合：SPI 送信時間 × 2 以上のウェイトを入れてください。

26.9.2 アナログ入力端子の使用上の注意

- 1つのアナログ端子を $\Delta\Sigma$ ADC と SAR-ADC の両方で同時に A/D 変換しないでください。
さらにデジタル入力選択中のアナログ端子を SAR-ADC で A/D 変換しないでください。
A/D 精度劣化の原因となります。
- アナログ入力端子にデジタル入出力信号がマルチプレクスされている場合は、デジタル汎用入出力端子としても使用できます。デジタル入出力が変化中に ADC 変換を行うと変換精度に悪影響を及ぼすことがあります。またアナログ入力端子近隣のデジタル端子を動作させるとノイズにより変換精度に悪影響を及ぼすことがあります。デジタル入出力の ADC 変換結果への影響を小さくする為に、下記の注意事項があります。
 - (1) アナログ入力端子に関する注意事項
 - (a) RC の C を LSI 端子の直近に配置して下さい。C を端子の直近に配置することにより、アナログ端子の変換精度の悪化が抑制されます。精度改善レベルは基板条件に依存することからユーザー側基板での評価をお願いします。
 - (2) アナログ端子近隣のデジタル動作端子に関する注意事項
 - (a) デジタル入力として使用しない端子についてポート機能としてデジタル入力禁止に設定して下さい。
 - (b) デジタル入力に入力するデジタル信号はオーバシュート、アンダシュートさせないでください。
 - (c) 電圧は $AVCC = EVCC$ でご使用ください。(アナログ端子にデジタル機能がマルチされている場合)
$$-0.3V \leq AVCC - EVCC \leq 0.3V$$
の範囲を守れない場合は、LSI の信頼性に悪影響を及ぼす場合があります。
 - (d) 充放電電流を抑えるために出力端子に接続される負荷容量が小さくなるように基板設計を行って下さい。
 - (e) 影響のある端子の出力ドライブ能力 (倍力) を下げて使用して下さい
 - (3) 変換結果への影響に対するソフトウェア対策方法
 - (a) 複数回の ADC 変換結果の平均値を ADC 変換結果として使用して下さい。
 - (b) 複数回の ADC 変換を連続に行い、特異な変換結果が得られた場合、この値を除外した値を変換結果を使用して下さい。

26.9.3 注入電流印加時の注意事項

注入電流を印加した状態で同時トラック&ホールド機能を使用した A/D 変換を行った場合、A/D 変換精度に影響を与えることがあります。

注入電流による A/D 変換精度の影響を回避するため、以下のいずれかの内容に従って設定してください。

注 意

端子に印加される電圧が供給される電源電圧を超えた場合、およびグランド電圧を下回った場合、注入電流が発生します。

- (1) 同時トラック&ホールド機能を使用する場合は、下記表に示す「注入電流が変換精度に影響する端子」に注入電流を印加しないでください。

表 26.42 T&H 回路と変換精度に影響する端子の組み合わせ

| ユニット名 | 変換対象の T&H 回路 | 注入電流が変換精度に影響する端子 |
|-------|--------------|------------------|
| ADCB0 | T&H 回路 0 | AN000 |
| | T&H 回路 1 | AN001 |

- (2) 同時トラック&ホールド機能を使用時、ADCBnVCRj.GCTRL ビットの bit4、3 に 00_B 以外の値を設定することで、「注入電流が変換精度に影響する端子」を変更することができます。

以下に ADCBnVCRj.GCTRL ビットの bit4、3 の設定値 (00_B 以外) と「注入電流が変換精度に影響する端子」の対応を示します。下記表に従って、「注入電流が変換精度に影響する端子」が該当端子なし、あるいは、注入電流がない端子となるように ADCBnVCRj.GCTRL ビットの bit4、3 を設定してください。

表 26.43 T&H 回路と変換精度に影響する端子の組み合わせ (ADCBnVCRj.GCTRL ビット使用)

| ユニット名 | 変換対象の T&H 回路 | GCTRL[4:3] の設定値 (00 _B 以外) | 注入電流が変換精度に影響する端子 |
|-------|--------------|--------------------------------------|------------------|
| ADCB0 | T&H 回路 0 | 11 _B | — (該当端子なし) |
| | T&H 回路 1 | 11 _B | — (該当端子なし) |

26.10 IFC (Integer/Floating-point 変換モジュール)

IFC は、ADC のデータレジスタを IFC 経由で読み出しすることにより浮動小数点フォーマットに変換して読み出すことができるモジュールです。

26.10.1 特長

IFC の特長を以下に示します。

- 浮動小数点フォーマット：IEEE754 規格の単精度です。
- 対応レジスタ：ADC の全仮想チャンネルのデータレジスタに対応しています。

26.10.2 構成

図 26.27 に IFC のブロック図を示します。

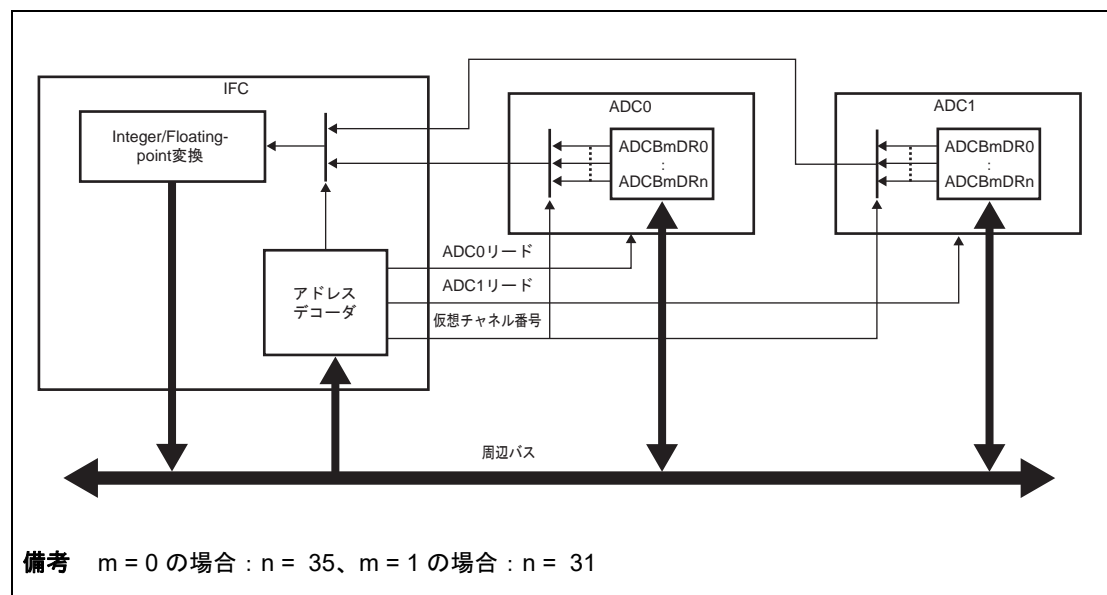


図 26.27 IFC のブロック図

26.10.3 レジスタアドレス

表 26.44 レジスタベースアドレス <IFC_base>

| <IFC_base> アドレス |
|------------------------|
| FFF2 3000 _H |

表 26.45 レジスタアドレス一覧

| レジスタ名 | 略号 | アドレス |
|-----------------|-------|--|
| 浮動小数点データレジスタ mn | FDRmn | <IFC_base> + m × 100 _H + n × 4 _H |

備考 m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31

26.10.4 レジスタ

26.10.4.1 FDRmn — 浮動小数点データレジスタ mn

FDRmn は、ADCm の DRn を浮動小数点フォーマットに変換して読み出すことができる 32 ビットの読み出し専用レジスタです。ADC のデータレジスタを符号付固定小数点フォーマットから浮動小数点フォーマットに変換します。このとき符号付整数フォーマット (ADCm の ADCBmADCR2 の DFMT = 1) であっても、符号付固定小数点フォーマットとみなして変換します。

符号付き固定小数点フォーマット

| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|---------|---|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|---|--|--|--|--|--|--|--|--|--|--|--|--|--|--|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | | | | | | | | | | | | | |
| | <table border="1" style="width:100%; height:20px;"> <tr> <td style="width:5%;">S</td> <td colspan="15" style="text-align:center;">—</td> </tr> </table> | | | | | | | | | | | | | | | | S | — | | | | | | | | | | | | | | |
| S | — | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | | | | | | | | | | | | | | | |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | | | | | | | | | | | | | | | | |

↑

小数点位置

浮動小数点フォーマット

| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|---------|---|----|----|----|----|----|----|-----------------|----|----|----|----|----|----|----|----|---|----------|--|--|--|--|--|--|-----------------|--|--|--|--|--|--|--|--|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | | | | | | | | | | | | | | | | | |
| | <table border="1" style="width:100%; height:20px;"> <tr> <td style="width:5%;">S</td> <td colspan="7" style="text-align:center;">EXP[7:0]</td> <td colspan="9" style="text-align:center;">FRACTION[22:16]</td> </tr> </table> | | | | | | | | | | | | | | | | S | EXP[7:0] | | | | | | | FRACTION[22:16] | | | | | | | | |
| S | EXP[7:0] | | | | | | | FRACTION[22:16] | | | | | | | | | | | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | | | | | | | | | | | | | | | | |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | | | | | | | | | | | | | | | | | |

| | | | | | | | | | | | | | | | | |
|---------|----------------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | FRACTION[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット位置 | ビット名 | 機能 |
|---------|----------------|-------|
| 31 | S | 符号ビット |
| 30 ~ 23 | EXP[7:0] | 指数部 |
| 22 ~ 0 | FRACTION[22:0] | 仮数部 |

式 : $(-1)^S \times 2^{(EXP - 127)} \times (1 + (Fraction \times 2^{(-23)}))$

備考

m = 0 の場合 : n = 0 ~ 35、m = 1 の場合 : n = 0 ~ 31

26.11 ASF (ADC 積算機能)

ASF は、ADC からの A/D 変換値を指定した回数だけ積算し、積算値をレジスタに保持する機能を持っています。

26.11.1 特長

ASF の特長を以下に示します。

- 対応モジュール：ADC0
- 積算チャンネル数：11 チャンネル
- ADC からのエントリ：
ADC より ASF エントリ要求、DFE 用 TAG および DFE 用データを受けて ASF の各積算チャンネルにエントリします。DFE 用 TAG の TAG 値と同じ番号の積算チャンネルにエントリします。
- 積算データレジスタ：32 ビット
- 積算終了割り込み：
各チャンネルで指定された回数分の積算が終了するたびに CPU に対する割り込み要求 (ASI0 ~ ASI10) の発生ができます。

26.11.2 構成

図 26.28 に ASF のブロック図を示します。

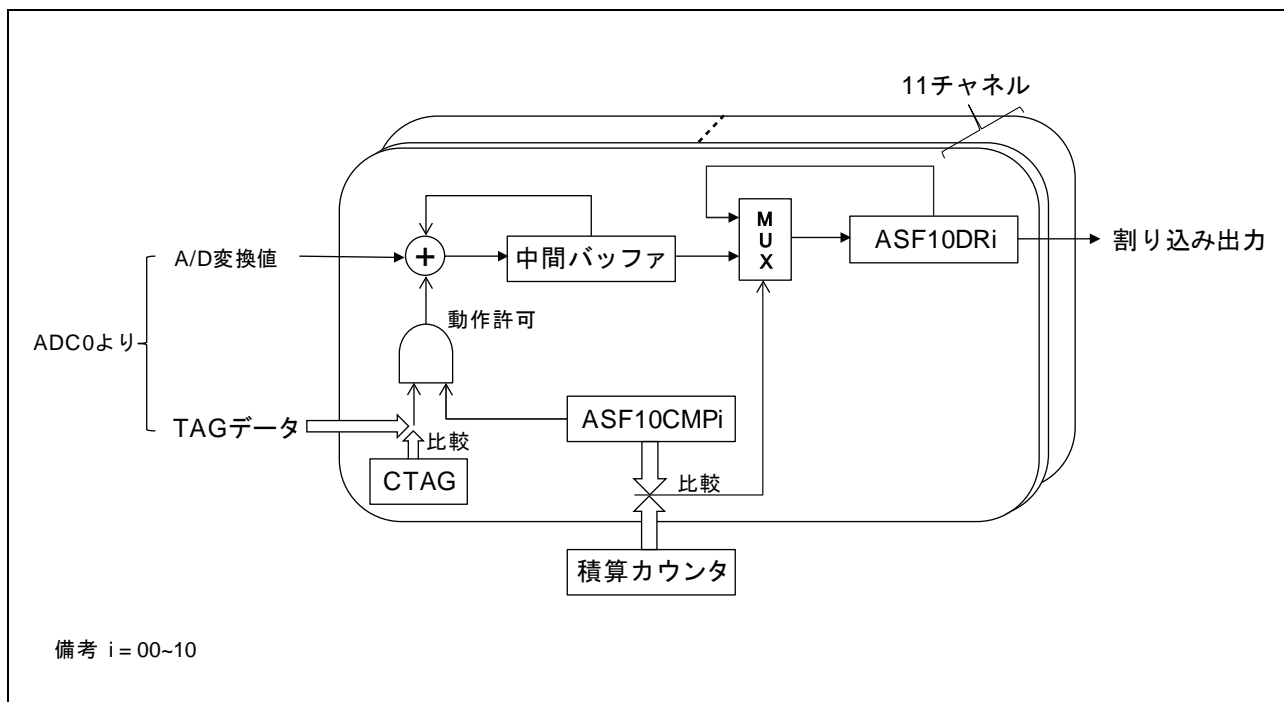


図 26.28 ASF 構成ブロック図

26.11.3 レジスタアドレス

表 26.46 レジスタベースアドレス <ASF_base>

| <ASF_base> アドレス | |
|------------------------|--|
| FFF2 2000 _H | |

表 26.47 レジスタアドレス一覧 (1/2)

| レジスタ名 | 略号 | リセット後の値 | アドレス | アクセスサイズ |
|-----------------|------------|------------------------|------------------------------|---------|
| 積算データリードレジスタ 0 | ASF1nDR00 | 0000 0000 _H | <ASF_base> + 00 _H | 32 |
| 積算データリードレジスタ 1 | ASF1nDR01 | 0000 0000 _H | <ASF_base> + 04 _H | 32 |
| 積算データリードレジスタ 2 | ASF1nDR02 | 0000 0000 _H | <ASF_base> + 08 _H | 32 |
| 積算データリードレジスタ 3 | ASF1nDR03 | 0000 0000 _H | <ASF_base> + 0C _H | 32 |
| 積算データリードレジスタ 4 | ASF1nDR04 | 0000 0000 _H | <ASF_base> + 10 _H | 32 |
| 積算データリードレジスタ 5 | ASF1nDR05 | 0000 0000 _H | <ASF_base> + 14 _H | 32 |
| 積算データリードレジスタ 6 | ASF1nDR06 | 0000 0000 _H | <ASF_base> + 18 _H | 32 |
| 積算データリードレジスタ 7 | ASF1nDR07 | 0000 0000 _H | <ASF_base> + 1C _H | 32 |
| 積算データリードレジスタ 8 | ASF1nDR08 | 0000 0000 _H | <ASF_base> + 20 _H | 32 |
| 積算データリードレジスタ 9 | ASF1nDR09 | 0000 0000 _H | <ASF_base> + 24 _H | 32 |
| 積算データリードレジスタ 10 | ASF1nDR10 | 0000 0000 _H | <ASF_base> + 28 _H | 32 |
| 積算コンペアマッチレジスタ 0 | ASF1nCMP00 | 00 _H | <ASF_base> + 40 _H | 8 |
| 積算コンペアマッチレジスタ 1 | ASF1nCMP01 | 00 _H | <ASF_base> + 44 _H | 8 |

表 26.47 レジスタアドレス一覧 (2/2)

| レジスタ名 | 略号 | リセット後の値 | アドレス | アクセスサイズ |
|------------------|------------|-------------------|------------------------------|---------|
| 積算コンペアマッチレジスタ 2 | ASF1nCMP02 | 00 _H | <ASF_base> + 48 _H | 8 |
| 積算コンペアマッチレジスタ 3 | ASF1nCMP03 | 00 _H | <ASF_base> + 4C _H | 8 |
| 積算コンペアマッチレジスタ 4 | ASF1nCMP04 | 00 _H | <ASF_base> + 50 _H | 8 |
| 積算コンペアマッチレジスタ 5 | ASF1nCMP05 | 00 _H | <ASF_base> + 54 _H | 8 |
| 積算コンペアマッチレジスタ 6 | ASF1nCMP06 | 00 _H | <ASF_base> + 58 _H | 8 |
| 積算コンペアマッチレジスタ 7 | ASF1nCMP07 | 00 _H | <ASF_base> + 5C _H | 8 |
| 積算コンペアマッチレジスタ 8 | ASF1nCMP08 | 00 _H | <ASF_base> + 60 _H | 8 |
| 積算コンペアマッチレジスタ 9 | ASF1nCMP09 | 00 _H | <ASF_base> + 64 _H | 8 |
| 積算コンペアマッチレジスタ 10 | ASF1nCMP10 | 00 _H | <ASF_base> + 68 _H | 8 |
| 積算カウンタ制御レジスタ 0 | ASF1nCTL0 | 0000 _H | <ASF_base> + 80 _H | 8、16 |
| 積算カウンタ制御レジスタ 1 | ASF1nCTL1 | 00 _H | <ASF_base> + 84 _H | 8 |
| 積算カウントリーードレジスタ | ASF1nCNT | 00 _H | <ASF_base> + 8C _H | 8 |

備考 n = 0

26.11.4 レジスタ

26.11.4.1 ASF1nDRi — 積算データリードレジスタ i

ASF1nDRi は、積算値を格納する 32 ビットの読み出し専用のレジスタです。ASF1nCNT と ASF1nCMPi が一致したときにアキュムレータ i の内容を ASF1nDRi に更新します。次のコンペアー一致まで ASF1nDRi の内容は保持されます。

| | | | | | | | | | | | | | | | | |
|---------|----------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | ASF1nDRi[16:1] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ASF1nDRi[0:0] | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

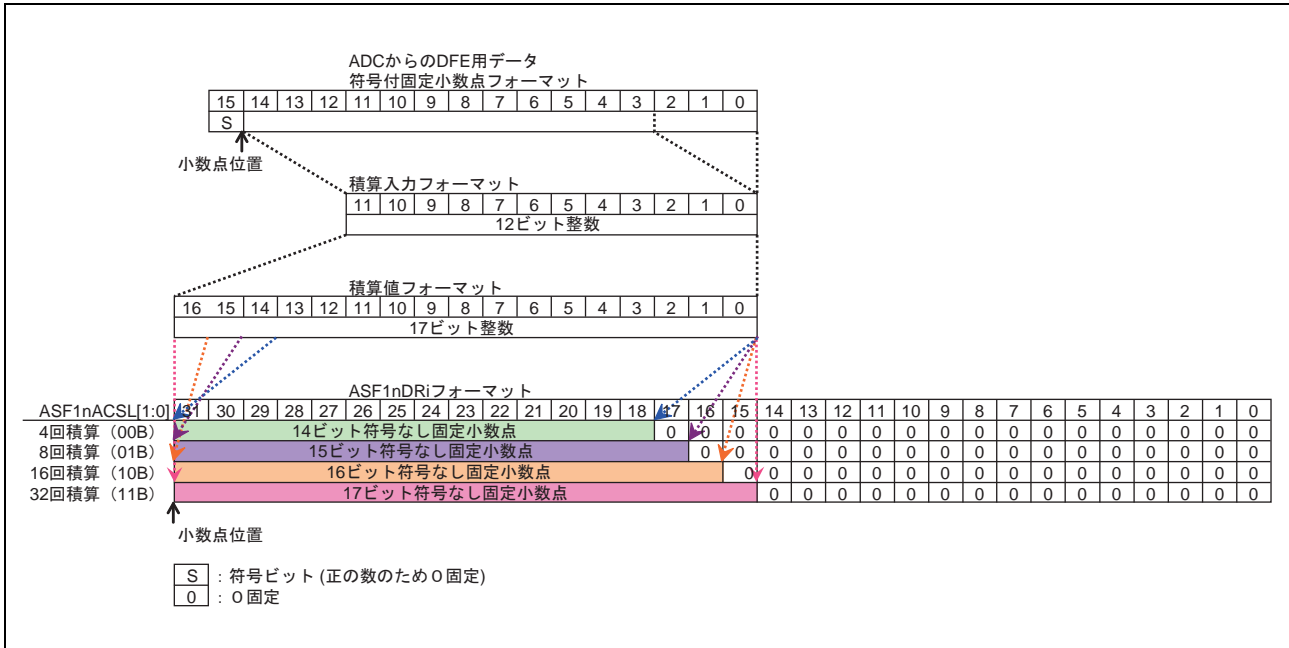
表 26.48 ASF1nDRi レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------------|---|
| 31 ~ 15 | ASF1nDRi [16:0] | 積算データ ASF1nCNT と ASF1nCMPi が一致したときに、アキュムレータ i の内容が ASF1nDRi に更新されます。 |

備考 i = 00 ~ 10 or 0 ~ 10
n = 0

ADCからのDFE用データより12ビット (bit14 ~ bit3) を抽出し、12ビット整数として積算の入力に使用します。したがって、ADCで2回加算または4回加算を実施して、DFE用データの有効桁数が13ビットまたは14ビットの場合でも、有効桁数は12ビットとみなして積算処理を実行します。また、符号付整数フォーマット (ADCにてDFMT=1設定時) であっても、符号付固定小数点フォーマットとみなして積算処理を実施します。このため、ASF機能を使用する場合は、必ずADCの加算機能をオフし、DFMT=0の符号付固定小数点フォーマットに設定する必要があります。

ASF1nDRiは17ビットの積算値のうち積算回数設定に応じた有効ビットを左詰めしたフォーマットとなります。またASF1nDRiは、リセット時に0000 0000_Hに初期化されます。



26.11.4.2 ASF1nCMPi — 積算コンペアマッチレジスタ i

ASF1nCMPi は、積算チャンネル i の積算処理の許可/禁止の設定、および ASF1nDRi を更新する ASF1nCNT のコンペアマッチ値を指定する 8 ビットの読み出し/書き込み可能なレジスタです。ASF1nCMPi は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|-----------|---|---|----------------|-----|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ASF1nCHEi | — | — | ASF1nCMPi[4:0] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R | R | R/W | R/W | R/W | R/W | R/W |

表 26.49 ASF1nCMPi レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------------|--|
| 7 | ASF1nCHEi | 積算チャンネル i 許可 0: 積算停止 - アキュムレータ i を 0 にクリアします。 - ASF1nDRi を更新しません。 - 積算終了割り込み i (INT_ACE[i]) を発生しません。 1: 積算許可 - 積算チャンネル i と一致する DFE 用 TAG (DFE 用 TAG = i) の ASF エントリ要求を受け付けるたびに DFE 用データとアキュムレータ i の加算結果をアキュムレータ i に格納します (積算チャンネル i の積算処理)。 - ASF1nCNT と ASF1nCMPi が一致したときにアキュムレータ i の内容を ASF1nDRi に更新し、アキュムレータ i を 0 にクリアします (ASF1nDRi の更新)。 - コンペア一致で積算終了割り込み i (INT_ACE[i]) を発生します。 |
| 4 ~ 0 | ASF1nCMPi [4:0] | 積算コンペアマッチ ASF1nCNT と ASF1nCMPi が一致したときに、アキュムレータ i の内容が ASF1nDRi に更新されます。 動作中 (ASF1nST = 1 期間中) の書き換えは禁止です。 |

備考 i = 00 ~ 10 or 0 ~ 10 n = 0

注 意

- ASF1nCNT[4:0] と ASF1nCMPi[4:0] が一致するごとに、アキュムレータ i の値が ASF1nDRi[16:0] に格納させるとともに INT_ACE[i] 割り込みが発生します。このため、ASF1nST を 0 から 1 にした積算処理開始後、または積算処理中に ASF1nCHEi を 0 から 1 にした積算チャンネルの許可後の初回の ASF1nDRi[16:0] の積算回数は保証されません (一定回数ではありません)。
動作例は、「26.11.5.1 積算処理動作例」を参照してください。
- ASF1nCMPi[4:0] には、ASF1nACSL[1:0] で選択される積算回数未満の値を設定してください。ASF1nCMPi[4:0] に積算回数以上の値を設定した場合は、ASF1nCNT[4:0] と ASF1nCMPi[4:0] が一致することがないため、ASF1nDRi[16:0] の値は更新されません。

26.11.4.3 ASF1nCTL0 — 積算カウンタ制御レジスタ 0

ASF1nCTL0 は、ASF1nCNT のカウントアップ条件を設定する 16 ビットまたは 8 ビットで読み出し／書き込み可能なレジスタです。ASF1nCTL0 は、リセット時に 0000_H に初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|--------------------|-----|---|---|---|----------------|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | ASF1nACSL [1:0] | — | — | — | — | ASF1nCTAG[3:0] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 26.50 ASF1nCTL0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------------------|---|
| 9、8 | ASF1nACSL [1:0] | 積算回数選択 00 _B : 4 回積算 01 _B : 8 回積算 10 _B : 16 回積算 11 _B : 32 回積算 動作中 (ASF1nST = 1 期間中) の書き換えは禁止です。 |
| 3 ~ 0 | ASF1nCTAG [3:0] | 積算カウントアップ TAG ASF1nCTAG と一致する DFE 用 TAG の ASF エントリ要求を受け付けたとき ASF1nCNT をカウントアップします。 動作中 (ASF1nST = 1 期間中) の書き換えは禁止です。 |

備考 n = 0

26.11.4.4 ASF1nCTL1 — 積算カウンタ制御レジスタ 1

ASF1nCTL1 は、ASF1nCNT のカウントアップの許可 (開始) / 禁止 (停止) を制御する 8 ビットの読み出し／書き込み可能なレジスタです。ASF1nCTL1 は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | ASF1nST |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 26.51 ASF1nCTL1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 0 | ASF1nST | 積算カウンタスタート 0: 積算カウンタとすべてのアキュムレータを 0 にクリアします。 1: 積算カウンタのカウントアップ動作と積算処理を許可します。 ASF1nST = 1 が設定された状態で、ASF1nCTAG と一致する DFE 用 TAG の ASF エントリ要求を受け付けたとき ASF1nCNT をカウントアップします。 |

備考 n = 0

26.11.4.5 ASF1nCNT — 積算カウンタリードレジスタ

ASF1nCNT は、積算カウンタのカウンタ値を示す 8 ビットの読み出し専用レジスタです。
ASF1nCNT は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|---|---|---|---------------|---|---|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | ASF1nCNT[4:0] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 26.52 ASF1nCNT レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------------|---|
| 4 ~ 0 | ASF1nCNT[4:0] | 積算カウンタ ASF1nST = 1 に設定すると ASF1nCTAG と一致する DFE 用 TAG の ASF エントリ要求を受け付けるたびに ASF1nCNT をカウントアップします。 ASF1nST = 0 に設定すると ASF1nCNT は 0 にクリアします。 <ul style="list-style-type: none"> ASF1nACSL = 00_B (4 回積算) のとき 0 ~ 3 をカウントし、3 の次は 0 に戻ります。 ASF1nACSL = 01_B (8 回積算) のとき 0 ~ 7 をカウントし、7 の次は 0 に戻ります。 ASF1nACSL = 10_B (16 回積算) のとき 0 ~ 15 をカウントし、15 の次は 0 に戻ります。 ASF1nACSL = 11_B (32 回積算) のとき 0 ~ 31 をカウントし、31 の次は 0 に戻ります。 |

備考 n = 0

26.11.5 動作説明

ASF の積算機能は、ADC から出力される ADC 変換結果を積算し、指定回数分の積算が完了するごとに積算値をレジスタに格納するとともに割り込みを発生します。

ASF では、最大 11 チャンネルの積算が可能で、積算回数は 4、8、16、32 回から選択することができます。ただし、積算回数は全チャンネルに共通です（チャンネルごとに個別に積算回数を設定することはできません）。また、レジスタ設定により割り込みタイミングをオフセットさせることができます。

ASF1nST = 1 にして積算処理許可後に、ADC からの ASF エントリ要求が High になるごとに ADC 変換結果を DFE 用 TAG の値と同じ積算チャンネルに加算します。

積算カウンタ ASF1nCNT[4:0] は、ASF1nCTAG[3:0] と一致する DFE 用 TAG が入力され、ASF エントリ要求が High になるとカウントアップします。また、ASF1nCTAG [3:0] と DFE 用 TAG が一致し、かつ ASF1nACSL[1:0] で指定される積算回数 - 1 となった場合は、ASF エントリ要求タイミングで、積算カウンタは 1 に戻ります。

積算データ ASF1nDRi[31:0] は、ASF1nCMPi[4:0] と ASF1nCNT[4:0] が一致すると更新され、同時に積算終了割り込み ASI[i] を発生します。

【設定手順】

1. ASF1nST = 0 の状態で、ASF1nACSL[1:0]、ASF1nCTAG[3:0]、ASF1nCMPi [4:0]、ASF1nCHEi にそれぞれ必要な値を設定する（順不同）。
2. ASF1nST = 1 に積算処理の動作を許可（開始）する。
3. 積算開始後の初回の積算回数は一定ではないため、初回の積算終了割り込み ASI[i] 発生は無視する（あるいは ASF1nDRi[16:0] のリード値は読み捨てる）。
4. 2 回目からの積算終了割り込み ASI[i] 発生時に必要な ASF1nDRi[16:0] をリードし、ADC 変換結果の積算値をリードする。
5. 必要な ADC 変換結果の積算値が得られたら、ASF1nST = 0 にして積算処理を終了する。

26.11.5.1 積算処理動作例

(1) 動作開始

図 26.29 に、積算回数が 8 回 (ASF1nACSL[1:0] = 01_B)、ASF1nCTAG[3:0] = 1_H、ASF1nCMP00[4:0] = 00_H、ASF1nCMP01[4:0] = 01_H、ASF1nCMP02[4:0] = 02_H、ASF1nCMP03[4:0] = 03_H 設定時の 4 チャンネル分の積算処理動作例を示します。

ここでは、便宜上、DFE 用 TAG = 0_H のデータは常に 10、DFE 用 TAG = 1_H のデータは常に 20、DFE 用 TAG = 2_H のデータは常に 30、DFE 用 TAG = 3_H のデータは常に 40 としています。

(2) 動作停止と再開

図 26.30 に、積算処理の動作停止と再開の動作例を示します。

ASF1nST = 0 にすると、積算カウンタ ASF1nCNT[4:0] とアキュムレータ i は 0 にクリアされます。



図 26.30 積算処理の動作停止と再開の動作例タイミング図

(3) チャンネル停止

図 26.31 に、積算チャンネルの処理停止と再開の動作例を示します。

ASF1nCHEi = 0 にするとアキュムレータ i は 0 にクリアされます。



図 26.31 ASF1nCHEi による積算処理停止の動作例タイミング図

第27章 $\Delta\Sigma$ ADコンバータ (DS-ADC)

本 LSI は、 $\Delta\Sigma$ 変調方式の AD コンバータを 2 モジュール (DSADC0、DSADC1) 搭載しており、 $\Delta\Sigma$ 変調器とデジタルフィルタで構成されています。

27.1 特長

$\Delta\Sigma$ ADC の特長を以下に示します。

- アナログチャネル
2 チャネル用意されています。
- 高性能な AD コンバータ
 - 有効ビット (アナログ信号帯域幅) :
 - 13 ビット (30kHz) Fos = 8Msps、Fs = 100ksps 時 (使用例 1)
 - 13 ビット (30kHz) Fos = 8Msps、Fs = 200ksps 時 (使用例 2)
 - 13 ビット (60kHz) Fos = 8Msps、Fs = 200ksps 時 (使用例 3)
 - 8 ビット (200kHz) Fos = 8Msps、Fs = 1.6Msps 時 (使用例 4)
 - A/D 変換方式 : $\Delta\Sigma$ 変調方式
 - オーバサンプリングレート (Fos) : 8Msps
 - サンプリングレート (Fs) : 100ksps、200ksps、1.6Msps
- シングルエンド入力と差動入力をサポート
各 $\Delta\Sigma$ ADC (DSADC0、1) にてシングルエンド入力と差動入力を選択できます。
- 入力ゲイン機能
各 $\Delta\Sigma$ ADC (DSADC0、1) に PGA (プログラマブルゲインアンプ) を搭載しています。×1、×2、×4、×8 の選択ができます。
- データレジスタ
各 $\Delta\Sigma$ ADC (DSADC0、1) に対応したデータレジスタがあります。データレジスタは、データ付帯情報レジスタに配置されます。
- A/D 変換の開始トリガ
各 $\Delta\Sigma$ ADC (DSADC0、1) は、ソフトウェア/各タイマトリガ/外部トリガ (DSADC0、1 : DSADTRG0、1) により A/D 変換を開始することができます。
- A/D 変換の終了トリガ
各 $\Delta\Sigma$ ADC は、ソフトウェア/各タイマトリガ/外部トリガ (DSADC0、1 : DSADTRG0、1) により A/D 変換を終了することができます。
- デジタルフィルタエンジンへのエントリ
A/D 変換値を直接デジタルフィルタエンジン (DFE) へエントリすることができます。 $\Delta\Sigma$ ADC (DSADC0、1) 単位に DFE エントリの有/無と、どのチャネルへエントリするかを決める TAG を設定できます。
- A/D 変換終了タイミングによる DMA 転送をサポート
各 $\Delta\Sigma$ ADC (DSADC0、1) は、A/D 変換が終了するたびに A/D 変換終了による DMA 要求 (DSADIm) を出力し、DMAC に対する DMA 要求要因 (DSADC0、1 : DSADI0、1) の発生または DMAC の起動ができます。

- AD エラー割り込み要求と AD パリティエラー通知
各 $\Delta\Sigma$ ADC (DSADC0、1) は、INTC への AD エラー割り込み要求 (DSADEm) と ECM (エラーコントロールモジュール) への AD パリティエラー通知 (DSADPEm) を発生することができます。
- アナログ変換電圧範囲が設定可能
ADSVREFH 端子および ADSVREFL 端子により、アナログ変換の電圧の範囲を設定できます。また、シングルエンド入力で A/D 変換する場合は、コモン電圧を ADSVREFL か ADSVREFH/2 のどちらかを選択できます。
- A/D 変換モニタ出力
DSADEND0、1 端子に A/D 変換タイミングを出力することができます。
- 豊富なセーフティ機能
 $\Delta\Sigma$ ADC の自己診断、端子レベル自己診断、データレジスタの上限/下限チェック、データレジスタのパリティチェック、データレジスタのオーバライトチェック、データレジスタのリード&クリア機能など豊富なセーフティ機能が整備されています。

27.2 構成

図 27.1 に ΔΣADC のブロック図および表 27.1 に ΔΣADC の端子構成を示します。

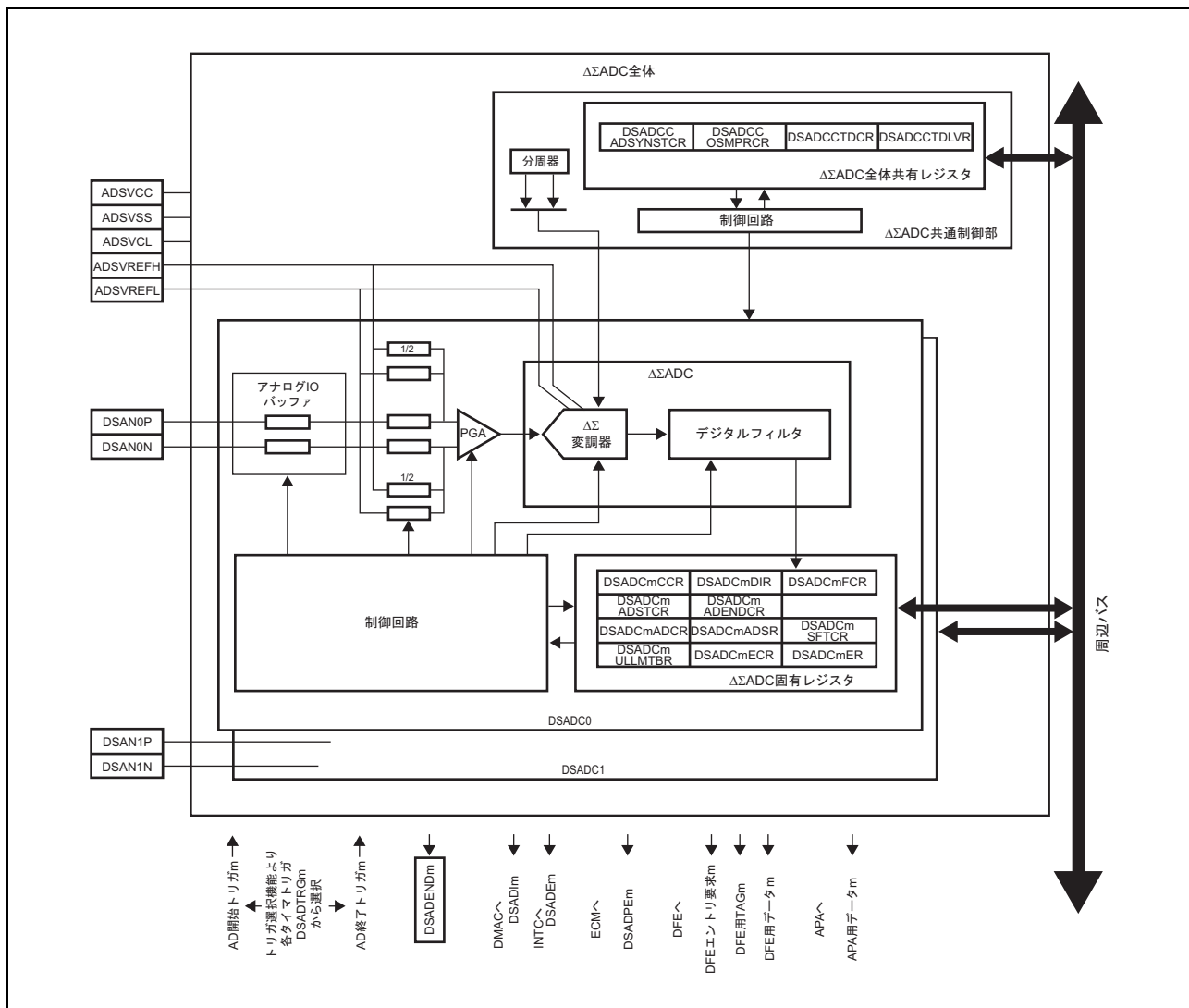


図 27.1 ΔΣADC のブロック図

表 27.1 ΔΣADC の端子構成 (1/2)

| 端子名 | 入出力 | 機能 |
|----------|-----|--------------------|
| ADSVCC | 入力 | アナログ部の電源端子 |
| ADSVSS | 入力 | アナログ部のグランド端子 |
| ADSVREFH | 入力 | アナログ部の上位側基準電圧端子 |
| ADSVREFL | 入力 | アナログ部の下位側基準電圧端子 |
| ADSVCL | — | ΔΣADC 外付け容量端子 |
| DSAN0P | 入力 | アナログ端子 0P |
| DSAN0N | 入力 | アナログ端子 0N |
| DSAN1P | 入力 | アナログ端子 1P |
| DSAN1N | 入力 | アナログ端子 1N |
| DSADTRG0 | 入力 | 外部トリガ端子 (DSADC0 用) |
| DSADTRG1 | 入力 | 外部トリガ端子 (DSADC1 用) |

表 27.1 $\Delta\Sigma$ ADC の端子構成 (2/2)

| 端子名 | 入出力 | 機能 |
|----------|-----|-----------------------------|
| DSADEND0 | 出力 | A/D 変換タイミングモニタ端子 (DSADC0 用) |
| DSADEND1 | 出力 | A/D 変換タイミングモニタ端子 (DSADC1 用) |

LSI 信頼性確保のため、 $\Delta\Sigma$ ADC を使用するときは、ADSVCC、ADSVSS と VCC、VSS との関係は、下記のとおりにしてください。

ADSVCC = 5V \pm 0.5V、ADSVSS = VSS

一方、 $\Delta\Sigma$ ADC を使用しないときは、ADSVCC、ADSVSS 端子を決してオープンにしないでください。また、アナログ入力端子に印加する電圧は、下記の範囲としてください。

ADSVREFL \leq DSANKx (k = 0, 1 x = P, N) \leq ADSVREFH

27.3 レジスタアドレス

表 27.2 レジスタベースアドレス (<DSADCcom_base>、<DSADCm_base>)

| DSADCcom DSADCm | <DSADCcom_base> アドレス <DSADCm_base> アドレス |
|--------------------|--|
| DSADCcom | FFF3 0000 _H |
| DSADC0 | FFF3 1000 _H |
| DSADC1 | FFF3 2000 _H |

表 27.3 レジスタアドレス一覧

| レジスタ名 | 略号 | リセット後の値 | アドレス | アクセスサイズ |
|-------------------------------|-----------------|------------------------|-----------------------------------|---------|
| ■ ΔΣADC 共有レジスタ | | | | |
| AD 同期開始制御レジスタ | DSADCCADSYNSTCR | 00 _H | <DSADCcom_base> + 00 _H | 8 |
| オーバサンプリングレート制御レジスタ | DSADCCOSMPRCR | 00 _H | <DSADCcom_base> + 04 _H | 8 |
| 端子レベル自己診断制御レジスタ | DSADCCTDCR | 00 _H | <DSADCcom_base> + 08 _H | 8 |
| 端子レベル自己診断レベル指定レジスタ | DSADCCTDLVR | 0000 _H | <DSADCcom_base> + 0C _H | 8、16 |
| ■ ΔΣADC 固有レジスタ m = 0、1 | | | | |
| チャンネル制御レジスタ | DSADCmCCR | 0000 0000 _H | <DSADCm_base> + 00 _H | 8、16、32 |
| データ付帯情報レジスタ | DSADCmDIR | 0000 0000 _H | <DSADCm_base> + 04 _H | 32 |
| AD 開始制御レジスタ | DSADCmADSTCR | 00 _H | <DSADCm_base> + 08 _H | 8 |
| AD 停止制御レジスタ | DSADCmADENDCR | 00 _H | <DSADCm_base> + 0C _H | 8 |
| AD 制御レジスタ | DSADCmADCR | 00 _H | <DSADCm_base> + 10 _H | 8 |
| AD ステータスレジスタ | DSADCmADSR | 00 _H | <DSADCm_base> + 14 _H | 8 |
| セーフティ制御レジスタ | DSADCmSFTCR | 00 _H | <DSADCm_base> + 18 _H | 8 |
| 上限/下限テーブルレジスタ | DSADCmULLMTBR | 7FFF 8000 _H | <DSADCm_base> + 1C _H | 16、32 |
| エラークリアレジスタ | DSADCmECR | 00 _H | <DSADCm_base> + 20 _H | 8 |
| エラーレジスタ | DSADCmER | 00 _H | <DSADCm_base> + 24 _H | 8 |
| デジタルフィルタ FIR 制御レジスタ | DSADCmFCR | 00 _H | <DSADCm_base> + 28 _H | 8 |

備 考

DSADCcom_base : 共有レジスタベースアドレス

DSADCm_base : 固有レジスタベースアドレス (DSADCm のレジスタ)

m = 0、1

27.4 $\Delta\Sigma$ ADC 共有レジスタ

すべての $\Delta\Sigma$ ADC (DSADC0、1) で共有するレジスタを説明します。

27.4.1 DSADCCADSYNSTCR — AD 同期開始制御レジスタ

DSADCCADSYNSTCR は、各 $\Delta\Sigma$ ADC を同時に開始する制御を行う、8 ビットの書き込み専用レジスタです。読み出しは常に 0 が読み出されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | ADSTART |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 27.4 DSADCCADSYNSTCR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|---|
| 7 ~ 1 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 0 | ADSTART | 各 $\Delta\Sigma$ ADC の A/D 変換開始 ADSTART での DSADC _m の A/D 変換開始条件 DSADC _m の ADTACT が 0 かつ ADSTARTE が 1 の状態で ADSTART に 1 を書き込んだとき あらかじめ各 $\Delta\Sigma$ ADC の ADSTARTE が 1 にセットされた $\Delta\Sigma$ ADC を同時に起動します。 DSADC _m の ADACT が 1 の状態では、本ビットに 1 を書き込んでも無視され、DSADC _m は実行中の A/D 変換を継続します。 DSADC _m の ADSTARTE が 0 の状態では、本ビットに 1 を書き込んでも無視され、DSADC _m は A/D 変換を開始しません。 本ビットへの 0 書き込みは無視されます。 |

備考 1. m = 0、1

備考 2. ADSTART 書き込み時には、外部トリガを考慮して、全 $\Delta\Sigma$ ADC の ENDTRGE が 0 の状態で行うことを推奨します。

27.4.2 DSADCCOSMPRCR — オーバサンプリングレート制御レジスタ

DSADCCOSMPRCR は、オーバサンプリングレートを制御する、読み出し／書き込み可能な 8 ビットのレジスタです。DSADCCOSMPRCR は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|-------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | OSMPR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 27.5 DSADCCOSMPRCR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 7 ~ 1 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 0 | OSMPR | オーバサンプリングレート オーバサンプリングレートを選択します。 ご使用の際は、必ず 1 _B = 8MHz を設定してください。 0 : 設定禁止 1 : 8Msps |

注 意

誤動作を防ぐため、DSADCCOSMPRCR の設定は全 $\Delta\Sigma$ ADC の ADACT が 0 の状態 (A/D 変換を開始する前) かつ全 $\Delta\Sigma$ ADC の STTRGE が 0 の状態で行ってください。

27.4.3 DSADCCTDCR — 端子レベル自己診断制御レジスタ

DSADCCTDCR は、端子レベル自己診断を制御する、読み出し/書き込み可能な 8 ビットのレジスタです。DSADCCTDCR は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | TDE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 27.6 DSADCCTDCR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 7 ~ 1 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 0 | TDE | 端子レベル自己診断イネーブル 0: 端子レベル自己診断をしない 1: 端子レベル自己診断をする TDE を 1 にすると、すべてのアナログ端子が入力バッファと切り離され、TDE を 0 にすると、すべてのアナログ端子が入力バッファと接続されます。 TDE = 1 とした場合、DSANkx は ANkxLV で指定したレベルに固定されます。この状態で A/D 変換を実行し、A/D 変換値を確認することで、アナログ端子から $\Delta\Sigma$ AD までの経路の診断ができます。 |

備考 k = 0, 1 x = P, N

注 意

誤動作を防ぐため、DSADCCTDCR の設定は全 $\Delta\Sigma$ AD の ADACT が 0 の状態 (A/D 変換を開始する前) かつ全 $\Delta\Sigma$ AD の STTRGE が 0 の状態で行ってください。

27.4.4 DSADCCTDLVR — 端子レベル自己診断レベル指定レジスタ

DSADCCTDLVR は、端子レベル自己診断のレベルを指定する、読み出し／書き込み可能な 16 ビットのレジスタです。DSADCCTDLVR は、リセット時に 0000_H に初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | AN7NL V | AN7PL V | AN6NL V | AN6PL V | AN5NL V | AN5PL V | AN4NL V | AN4PL V | AN3NL V | AN3PL V | AN2NL V | AN2PL V | AN1NL V | AN1PL V | AN0NL V | AN0PL V |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 27.7 DSADCCTDLVR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------|---|
| 15 ~ 0 | ANkxLV | 端子レベル自己診断レベル指定 0 : DSANKx をディスチャージ (ADSVSS) する 1 : DSANKx をチャージ (ADSVCC) する |

備考 k = 0, 1 x = P, N

注 意

誤動作を防ぐため、DSADCCTDLVR の設定は全 ΔΣADC の ADACT が 0 の状態 (A/D 変換を開始する前) かつ全 ΔΣADC の STTRGE が 0 の状態で行ってください。

27.5 ΔΣADC 固有レジスタ

各 ΔΣADC (DSADC_m, m = 0、1) で個別に備えるレジスタを説明します。

27.5.1 DSADC_mCCR — チャネル制御レジスタ (m = 0、1)

DSADC_mCCR は、チャンネルを制御する、読み出し/書き込み可能な 32 ビットのレジスタです。DSADC_mCCR は、リセット時に 00000 000_H に初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|------------|-----|-----|-------------|-----|-----|-----|----|---------|------------|-----|-----------|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | DFENT | — | DFTAG[3:0] | | | — | ULS | — | — | — | DSDFTYP | — | — | GAIN[1:0] | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R | R/W | R/W | R/W | R | R/W | R | R | R | R/W | R | R | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DFMT[3:0] | | | — | — | CNVCLS[1:0] | | — | — | — | — | GCTRL[3:0] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R | R | R/W | R/W | R | R | R | R/W | R/W | R/W | R/W |

表 27.8 DSADC_mCCR レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|------------|---|
| 31 | DFENT | DFE エントリ 0: エントリしない 1: エントリする DFE (デジタルフィルタエンジン) へエントリするかしないかを選択します。 |
| 30 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 29 ~ 26 | DFTAG[3:0] | DFE-TAG DFTAG[3:0] と同じ TAG が設定された DFE のチャンネルへエントリします。複数のチャンネルと一致した場合は、複数のチャンネルにエントリします。 |
| 25 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 24 | ULS | 上限値/下限値テーブル選択 0: 上限/下限チェックをしない。 1: DSADC _m ULLMTBR で上限/下限チェックする。 A/D 変換値を DR 格納時に、上限値/下限値テーブルを使用して上限/下限チェックします。 |
| 23 ~ 21 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 20 | DSDFTYP | ΔΣADC デジタルフィルタタイプ ΔΣADC のデジタルフィルタタイプを指定します。本ビットは、Fovs = 8Msps のときに有効です。 0: フィルタタイプは DSADC _m FCR の設定に依存します。DSADC _m FCR を設定してください。 1: Fs = 1.6Msps、ENOB = 8 ビット (使用例 4) DSADC _m FCR を初期値に設定してください。 (Fs: サンプリングレート、ENOB = 有効ビット) 注意 ENOB は、ゲイン ×1 かつ差動入力の際の値です。 |
| 19, 18 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |

表 27.8 DSADCMCCR レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|---------|-------------|---|
| 17、16 | GAIN[1:0] | ゲイン 入力のゲインを指定します。 0 _H : ×1 1 _H : ×2 2 _H : ×4 3 _H : ×8 |
| 15 ~ 12 | DFMT[3:0] | データフォーマット 0 マスク (−∞方向への丸め) する下位ビットを指定します。 0 _H : マスクなし 1 _H : 下位 1 ビットマスク 2 _H : 下位 2 ビットマスク 3 _H : 下位 3 ビットマスク 4 _H : 下位 4 ビットマスク 5 _H : 下位 5 ビットマスク 6 _H : 下位 6 ビットマスク 7 _H : 下位 7 ビットマスク 8 _H : 下位 8 ビットマスク その他 : 設定禁止 DR と DFE、APA へのデータのフォーマットとなります。 データフォーマットの詳細は「27.5.2 DSADCM DIR — データ付帯情報レジスタ (m = 0、1)」を参照してください。 |
| 11、10 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 9、8 | CNVCLS[1:0] | 変換種別 0 _H : シングルエンド入力、コモンが ADSVREFL 1 _H : シングルエンド入力、コモンが ADSVREFH/2 2 _H : 差動入力 3 _H : 自己診断 |
| 7 ~ 4 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 3 ~ 0 | GCTRL[3:0] | 汎用制御 自己診断以外 (CNVCLS[1:0] ≠ 3 _H) のとき、0 _H をライトしてください。 自己診断 (CNVCLS = 3 _H) のとき GCTRL[3:0] で自己診断のレベルを選択します。 7 _H : ADSVREFH × 1 4 _H : ADSVREFH × 1/2 0 _H : ADSVREFH × 0 C _H : − ADSVREFH × 1/2 8 _H : − ADSVREFH × 1 その他 : 設定禁止 |

注 意

- 誤動作を防ぐため、DSADCMCCR の設定は ADACT が 0 の状態 (A/D 変換を開始する前) かつ STTRGE が 0 の状態で行ってください。
- フィルタタイプは、DSADCCOSMPRCR と DSADCMCCR、DSADCMFCR の設定値の組み合わせにより変わります。「27.6.2 フィルタタイプの設定」に示すとおり、目的に合った設定をしてください。

27.5.2 DSADCmDIR — データ付帯情報レジスタ (m = 0、1)

DSADCmDIR は、A/D 変換値と A/D 変換値に付帯する情報を格納する、32 ビットの読み出し専用レジスタです。DSADCmDIR は、RDCLRE が 1 に設定されているときに DSADCmDIR の読み出しで 0000 0000_H にクリアされます。なお WFLG は、RDCLRE によらず、DSADCmDIR の読み出しでクリアされます。DSADCmDIR は、リセット時に 0000 0000_H に初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|------|------|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | WFLG | PRTY | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DR | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 27.9 DSADCmDIR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|----------|--|
| 31 ~ 26 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 25 | WFLG | ライトフラグ セット条件 DR に A/D 変換値を格納したとき クリア条件 DSADCmDIR が読み出されたとき |
| 24 | PRTY | パリティ DR に対するパリティビットです。偶数パリティです。 |
| 23 ~ 16 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 15 ~ 0 | DR[15:0] | A/D 変換値が格納されます。 データフォーマットは、「(1) ビット 15 ~ 0 DR (データレジスタ) のデータフォーマット」を参照してください。 |

(1) ビット 15 ~ 0 DR (データレジスタ) のデータフォーマット

DR に A/D 変換値が格納されます。表 27.10 に DR のフォーマットを示します。なお DFE (デジタルフィルタエンジン)、APA (オートノマスパルスアダプタ) に転送するデータのフォーマットも同様です。

表 27.10 符号付き固定小数点フォーマット

| DFMT[3:0] | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
|----------------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| 0 _H | S | | | | | | | | | | | | | | | | |
| 1 _H | S | | | | | | | | | | | | | | | | 0 |
| 2 _H | S | | | | | | | | | | | | | | | 0 | 0 |
| 3 _H | S | | | | | | | | | | | | | | 0 | 0 | 0 |
| 4 _H | S | | | | | | | | | | | | | 0 | 0 | 0 | 0 |
| 5 _H | S | | | | | | | | | | | | 0 | 0 | 0 | 0 | |
| 6 _H | S | | | | | | | | | | | 0 | 0 | 0 | 0 | 0 | |
| 7 _H | S | | | | | | | | | | 0 | 0 | 0 | 0 | 0 | 0 | |
| 8 _H | S | | | | | | | | | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |

↑
小数点位置

| | |
|---|---------|
| S | : 符号ビット |
| 0 | : 0 固定 |

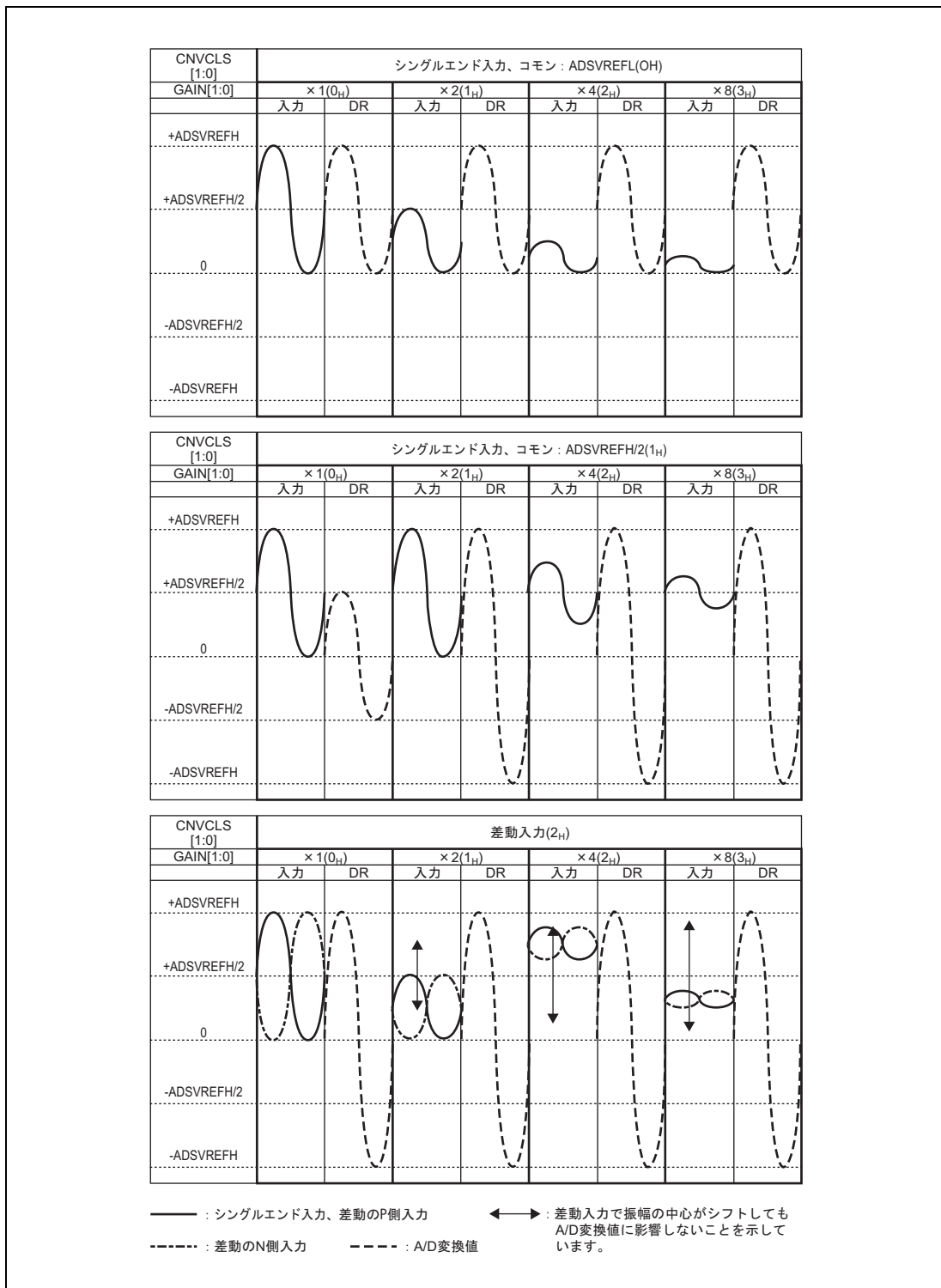


図 27.2 各ゲインでの入力範囲と変換結果範囲

27.5.3 DSADCmADSTCR — AD 開始制御レジスタ (m = 0、1)

DSADCmADSTCR は、 $\Delta\Sigma$ ADC の開始を制御する、8 ビットの書き込み専用レジスタです。読み出すと常に 0 が読み出されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | ADST |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 27.11 DSADCmADSTCR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 7 ~ 1 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 0 | ADST | A/D 変換開始 ADST での A/D 変換開始条件 ADACT = 0 の状態で ADST に 1 を書き込んだとき。 ADACT = 1 の状態では、本ビットに 1 を書き込んでも無視され、実行中の A/D 変換を継続します。 本ビットへの 0 書き込みは無視されます。 |

備考 ADST 書き込み時には、外部トリガを考慮して、ENDTRGE が 0 の状態で行うことを推奨します。

27.5.4 DSADCmADENDCR — AD 停止制御レジスタ (m = 0、1)

DSADCmADENDCR は、 $\Delta\Sigma$ ADC の停止を制御する 8 ビットの書き込み専用レジスタです。読み出すと常に 0 が読み出されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|-------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | ADEND |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 27.12 DSADCmADENDCR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|---|
| 7 ~ 1 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 0 | ADEND | A/D 変換終了 ADEND での A/D 変換停止条件 ADACT = 1 の状態で ADEND に 1 を書き込んだとき。 ADACT = 0 の状態では本ビットに 1 を書き込んでも無視されます。 本ビットへの 0 書き込みは無視されます。 |

備考 ADEND 書き込み時には、外部トリガを考慮して、STTRGE が 0 の状態で行うことを推奨します。

27.5.5 DSADCmADCR — AD 制御レジスタ (m = 0、1)

DSADCmADCR は、ΔΣADC を制御する、読み出し／書き込み可能な 8 ビットのレジスタです。DSADCmADCR は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|---|----------|---|------|---|---|---------|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | ADSTARTE | — | ADIE | — | — | ENDTRGE | STTRGE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R | R/W | R | R | R/W | R/W |

表 27.13 DSADCmADCR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|--|
| 7 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 6 | ADSTARTE | AD 同期開始イネーブル 0 : ADSTART 無効 1 : ADSTART 許可 |
| 5 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 4 | ADIE | A/D 変換終了割り込みイネーブル 0 : DSADIm 発行禁止 1 : DSADIm 発行許可 |
| 3、2 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 1 | ENDTRGE | AD 終了トリガイネーブル 0 : AD 終了トリガ m 無効 1 : AD 終了トリガ m 有効 AD 終了トリガ m のトリガソース選択は、トリガ選択機能で設定します。 詳細は、「25.2 トリガ選択機能 (PIC2)」を参照してください。 |
| 0 | STTRGE | AD 開始トリガイネーブル 0 : AD 開始トリガ m 無効 1 : AD 開始トリガ m 有効 AD 開始トリガ m のトリガソース選択は、トリガ選択機能で設定します。 詳細は、「25.2 トリガ選択機能 (PIC2)」を参照してください。 |

備考 m = 0、1

注意

- 誤動作を防ぐため、DSADCmADCR の ADIE の設定は A/D 変換を開始する前) かつ STTRGE が 0 の状態で行ってください。
- モジュールスタンバイは、ENDTRGE = 0、STTRGE = 0 の状態で行ってください。詳細は、「27.7.2 モジュールスタンバイ機能」を参照してください。

27.5.6 DSADCmADSR — AD ステータスレジスタ (m = 0、1)

DSADCmADSR は、 $\Delta\Sigma$ ADC の状態を示す、8 ビットの読み出し専用レジスタです。
DSADCmADSR は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|-------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | ADACT |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 27.14 DSADCmADSR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 7 ~ 1 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 0 | ADACT | A/D 変換ステータス 0 : A/D 変換の要因なし 1 : A/D 変換の要因あり A/D 変換開始要因発生時にセット (ADACT = 1) して、A/D 変換終了要因発生時にクリア (ADACT = 0) します。 |

注 意

モジュールスタンバイは、ADACT = 0 の状態で行ってください。詳細は、「27.7.2 モジュールスタンバイ機能」を参照してください。

27.5.7 DSADCmSFTCR — セーフティ制御レジスタ (m = 0、1)

DSADCmSFTCR は、セーフティ制御に関する、読み出し／書き込み可能な 8 ビットのレジスタです。DSADCmSFTCR は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|---|---|---|--------|-------|-------|------|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | RDCLRE | ULEIE | OWEIE | PEIE | 0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R |

表 27.15 DSADCmSFTCR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 7～5 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 4 | RDCLRE | リード & クリアイネーブル 0: DSADCmDIR のリードで DSADCmDIR をクリアしない。 1: DSADCmDIR のリードで DSADCmDIR をクリアする。 注意 DSADCmDIR の WFLG は、RDCLRE によらず、DSADCmDIR のリードでクリアされます。 また、DSADCmDIR リードによる DSADCmDIR クリアの内容を確認するときは、DSADCmDIR リードから、3 リードアクセス期間ウェイト後にリードしてください。 ウェイトをいれずにリードした場合、クリアする前の内容が読み出される場合があります。バスクロック周波数：内部クロック周波数 = 1：2 のため、クロック同期化のレイテンシが発生します。 |
| 3 | ULEIE | 上限／下限エラー割り込みイネーブル 0: 禁止 1: 許可 |
| 2 | OWEIE | オーバーライトエラー割り込みイネーブル 0: 禁止 1: 許可 |
| 1 | PEIE | パリティエラー割り込みイネーブル 0: 禁止 1: 許可 |
| 0 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |

注 意

誤動作を防ぐため、DSADCmSFTCR の設定は ADACT が 0 の状態 (A/D 変換を開始する前) かつ STTRGE が 0 の状態で行ってください。

27.5.8 DSADCmULLMTBR — 上限/下限テーブルレジスタ (m = 0, 1)

DSADCmULLMTBR は、A/D 変換値の上限値と下限値を設定する、読み出し/書き込み可能な 32 ビットのレジスタです。DSADCmULLMTBR は、リセット時に 7FFF 8000_H に初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | ULMTB[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | LLMTB[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 27.16 DSADCmULLMTBR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|---|
| 31 ~ 16 | ULMTB[15:0] | 上限テーブル A/D 変換値の上限値を指定します。下記条件が成立したとき ULE (上限/下限エラー) をセットします。 ULMTB[15:0] < A/D 変換値 ULMTB[15:0] のフォーマットは、DR フォーマットと同じです。なお、符号付き (2 の補数) の比較となります。また、A/D 変換値は、DFMT[3:0] によってマスクする前の値を用いて比較します。 |
| 15 ~ 0 | LLMTB[15:0] | 下限テーブル A/D 変換値の下限値を指定します。下記条件が成立したとき ULE (上限/下限エラー) をセットします。 LLMTB[15:0] > A/D 変換値 LLMTB[15:0] のフォーマットは、DR フォーマットと同じです。なお、符号付き (2 の補数) の比較となります。また、A/D 変換値は、DFMT[3:0] によってマスクする前の値を用いて比較します。 |

注 意

誤動作を防ぐため、DSADCmULLMTBR の設定は ADACT が 0 の状態 (A/D 変換を開始する前) かつ STTRGE が 0 の状態で行ってください。

27.5.9 DSADCM_ECR — エラークリアレジスタ (m = 0、1)

DSADCM_ECR は、エラークリアを制御する、8 ビットの書き込み専用レジスタです。読み出し値は常に 0 が読み出されます。

| | | | | | | | | |
|---------|---|---|---|---|------|------|-----|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | ULEC | OWEC | PEC | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | W | W | W | R |

表 27.17 DSADCM_ECR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 7 ~ 4 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 3 | ULEC | 上限/下限エラークリア 0 の書き込み：クリアしない 1 の書き込み：クリアする |
| 2 | OWEC | オーバーライトエラークリア 0 の書き込み：クリアしない 1 の書き込み：クリアする |
| 1 | PEC | パリティエラークリア 0 の書き込み：クリアしない 1 の書き込み：クリアする |
| 0 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |

27.5.10 DSADCmER — エラーレジスタ (m = 0、1)

DSADCmER は、エラーを示す、8 ビットの読み出し専用レジスタです。DSADCmER は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|---|---|---|---|-----|-----|----|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | ULE | OWE | PE | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 27.18 DSADCmER レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 7 ~ 4 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 3 | ULE | 上限/下限エラー 0: エラーなし 1: エラー セット条件 A/D 変換値が指定した上限 / 下限テーブルの範囲を超えたとき クリア条件 ULEC に 1 を書き込んだとき |
| 2 | OWE | オーバライトエラー 0: エラーなし 1: エラー セット条件 WFLG = 1 の状態で A/D 変換値が DR に書き込まれたとき クリア条件 OWEC に 1 を書き込んだとき |
| 1 | PE | パリティエラー 0: エラーなし 1: エラー セット条件 パリティエラーを検出したとき クリア条件 PEC に 1 を書き込んだとき |
| 0 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |

注 意

- ULE、OWE は、A/D 変換値を DSADCmDIR に書き込むときに更新されます。
PE は、DSADCmDIR の読み出し時に更新されます。
- AD エラー割り込み要求発生時は、割り込み例外処理で、DSADCmER をリードして 1 になっているビットを確認し、DSADCmECR の対応するクリアビットを使用して 0 にクリアしてください。

エラービットのクリアを行わずに、次の AD 変換でエラーが発生すると、以下の動作となり、エラーの検出や特定ができません。

1. 同じエラー（エラービットが 1 のもの）が発生した場合：
AD エラー割り込み要求を発行しません。DSADCmER の当該エラービットは 1 のままです。
2. 異なるエラー（エラービットが 0 のもの）が発生した場合：
AD エラー割り込み要求を発行します。前回の AD 変換で発生したエラービットは 1 のまま、DSADCmER の当該エラービットが 1 にセットされます。

27.5.11 DSADCmFCR — デジタルフィルタ FIR 制御レジスタ (m = 0、1)

DSADCmFCR は、デジタルフィルタ FIR を制御する、読み出し／書き込み可能な 8 ビットのレジスタです。DSADCmFCR は、リセット時に 00_H に初期化されます。

| | | | | | | | | |
|---------|---|---|---|-----|---|------------|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | ORT | — | TPVSL[2:0] | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R | R/W | R/W | R/W |

表 27.19 DSADCmFCR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|---|
| 7 ~ 5 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 4 | ORT | デジタルフィルタ FIR タイプ出力レート選択 本ビットは、TPVSL[2:0] = 0 _H のとき (FIR 未使用時) は、無効です。 0 : FIR の出力レートを 1/2 にします 1 : FIR の出力レートを 1/4 にします DSADCCOSMPRCR.OSMPR の設定値、DSADCmFCR.DSDFTYP の設定値との組み合わせで、本 IP の出力レート (全体のフィルタタイプ) が決まります。 |
| 3 | — | リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。 |
| 2 ~ 0 | TPVSL[2:0] | デジタルフィルタ FIR の使用有無と係数の選択 DSADCmCCR.DSDFTYP = 0 _H のとき有効です。係数は表 27.20 を参照してください。 0 _H : デジタルフィルタ FIR を使用しない 1 _H : デジタルフィルタ FIR を使用し、係数 1 を適用する 2 _H : デジタルフィルタ FIR を使用し、係数 2 を適用する 3 ~ 7 _H : 設定禁止 |

注 意

1. フィルタタイプは、DSADCCOSMPRCR と DSADCmCCR、DSADCmFCR の設定値の組み合わせにより変わります。「27.6.2 フィルタタイプの設定」に示すとおり、目的に合った設定をしてください。
2. 誤動作を防ぐため、DSADCmFCR の設定は ADACT が 0 の状態 (A/D 変換を開始する前) かつ STTRGE が 0 の状態で行ってください。

表 27.20 デジタルフィルタ FIR 係数表

| 番号 | 係数 1 (TPVSL = 1 _H) BW = 30kHz@400kSps | 係数 2 (TPVSL = 2 _H) BW = 60kHz@400kSps |
|----|--|--|
| 0 | 681 | 1649 |
| 1 | 1940 | 5765 |
| 2 | 3911 | 10863 |
| 3 | 6089 | 12706 |
| 4 | 7674 | 8333 |
| 5 | 7890 | 101 |
| 6 | 6397 | -5597 |
| 7 | 3581 | -4689 |
| 8 | 417 | 349 |
| 9 | -1978 | 3549 |
| 10 | -2889 | 2155 |
| 11 | -2320 | -1082 |
| 12 | -913 | -2167 |
| 13 | 460 | -577 |
| 14 | 1176 | 1082 |
| 15 | 1105 | 964 |
| 16 | 556 | -170 |
| 17 | -26 | -694 |
| 18 | -335 | -298 |
| 19 | -332 | 169 |
| 20 | -210 | 228 |
| 21 | 58 | -53 |

27.6 動作説明

27.6.1 初期設定フロー

ΔΣADC は、**図 27.3** に示すレジスタを設定することで、AD 変換を開始します。

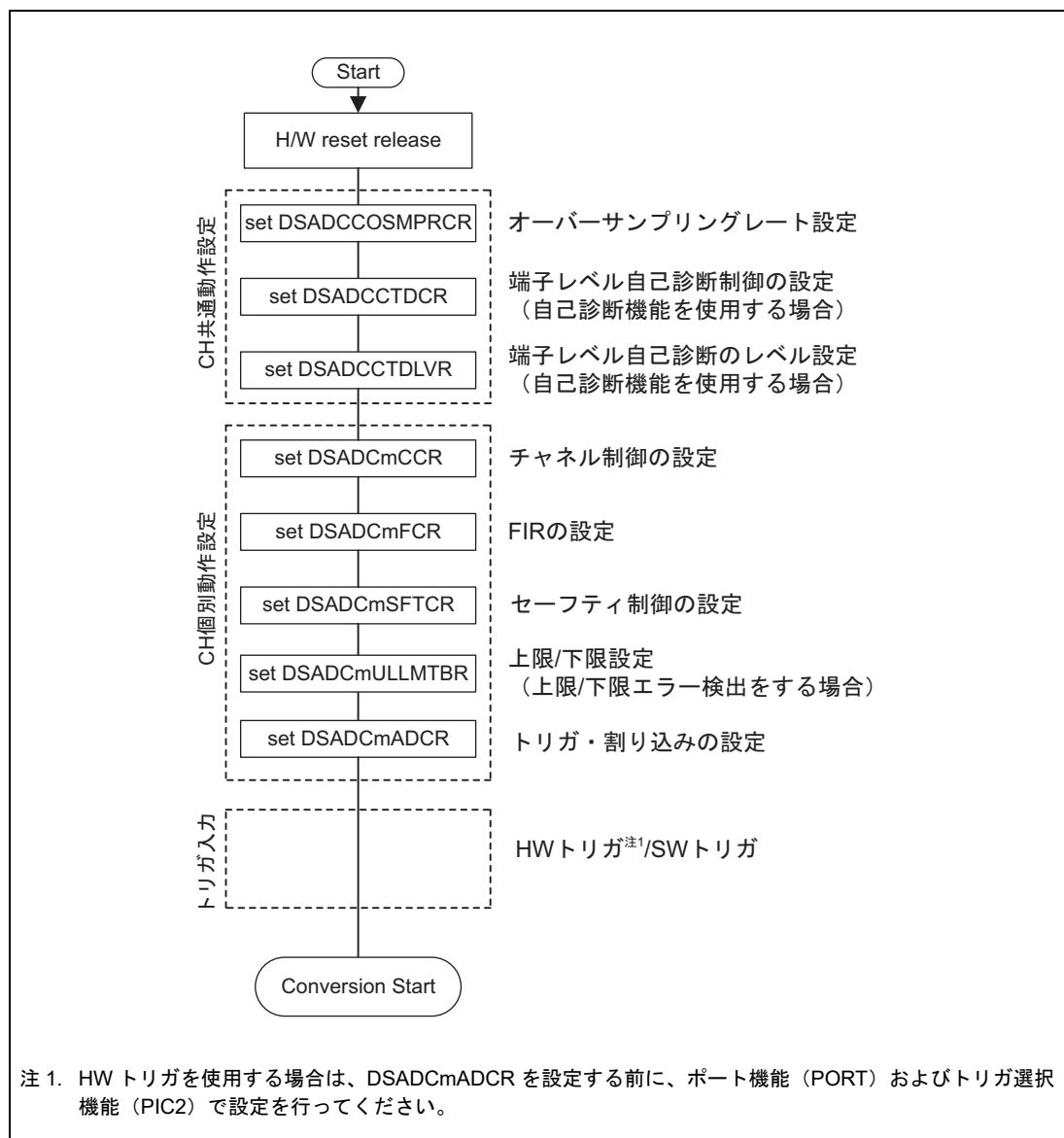


図 27.3 初期設定フロー

27.6.2 フィルタタイプの設定

フィルタタイプは、DSADCCOSMPRCR と DSADCmCCR、DSADCmFCR の設定値の組み合わせにより変わります。表 27.21 に示すとおり、目的に合った設定をしてください。

表 27.21 フィルタタイプごとのレジスタ設定値

| 項目 | 使用例 1 | 使用例 2 | 使用例 3 | 使用例 4 |
|----------------------|----------------|----------------|----------------|----------------|
| 目標性能 | | | | |
| Fos | 8Msps | 8Msps | 8Msps | 8Msps |
| Fs | 100ksps | 200ksps | 200ksps | 1.6Msps |
| BW | 30kHz | 30kHz | 60kHz | 200kHz |
| ENOB | 13bit | 13bit | 13bit | 8bit |
| レジスタ設定 | | | | |
| DSADCCOSMPRCR.OSMPR | 1 _H | 1 _H | 1 _H | 1 _H |
| DSADCmCCR.DSDFTYP | 0 _H | 0 _H | 0 _H | 1 _H |
| DSADCmFCR.ORT | 1 _H | 0 _H | 0 _H | 0 _H |
| DSADCmFCR.TPVSL[2:0] | 1 _H | 1 _H | 2 _H | 0 _H |

27.6.3 A/D 変換時間

ΔΣADC は、DSADCmADSTCR の ADST ビットが 1 にセットされてから、A/D 変換開始遅延時間 (t_D) 後に内部安定化時間 (t_W) を経て A/D 変換処理を開始します。

図 27.4 に A/D 変換の開始と終了のタイミングを示します。図 27.5 に A/D 変換処理のパケットを示します。初回の A/D 処理時間 (t_{AD}) は、A/D 変換開始遅延時間 (t_D)、内部安定化時間 (t_W)、デジタルフィルタ処理遅延時間 (t_{DF}) を含めた時間となります。2 回目以降の A/D 変換処理時間 (t_{AD}) は、サンプリング周期 (t_S) となります。A/D 変換処理時間を表 27.22 に示します。

A/D 変換処理時間 (t_{AD}) は、以下の計算式で求められます。

$$t_{AD} = t_D + t_W + t_{DF}$$

2 回目以降は、

$$t_{AD} = t_S$$

となります。

表 27.22 A/D 変換処理時間 (単位: P_φ P-Bus クロック (40 MHz))

| 項目 | | 使用例 1 | 使用例 2 | 使用例 3 | 使用例 4 |
|----------------|-------------------|---|---|---|---|
| A/D 変換処理時間 | t_{AD} (初回) | 2595.5 ^{注1} ~ 2602.5 ^{注1} | 2595.5 ^{注1} ~ 2602.5 ^{注1} | 2595.5 ^{注1} ~ 2602.5 ^{注1} | 180.5 ^{注1} ~ 187.5 ^{注1} |
| A/D 変換開始遅延時間 | t_D | 16.5 ^{注1} ~ 23.5 ^{注1} | 16.5 ^{注1} ~ 23.5 ^{注1} | 16.5 ^{注1} ~ 23.5 ^{注1} | 16.5 ^{注1} ~ 23.5 ^{注1} |
| 内部安定化時間 | t_W | 10 | 10 | 10 | 10 |
| デジタルフィルタ処理遅延時間 | t_{DF} | 2569 | 2569 | 2569 | 154 |
| A/D 変換処理時間 | t_{AD} (2 回目以降) | 400 | 200 | 200 | 25 |
| サンプリング周期 | t_S | 400 | 200 | 200 | 25 |

注 1. 奇数チャネルのスペック。偶数チャネルは +2.5 バスクロック。

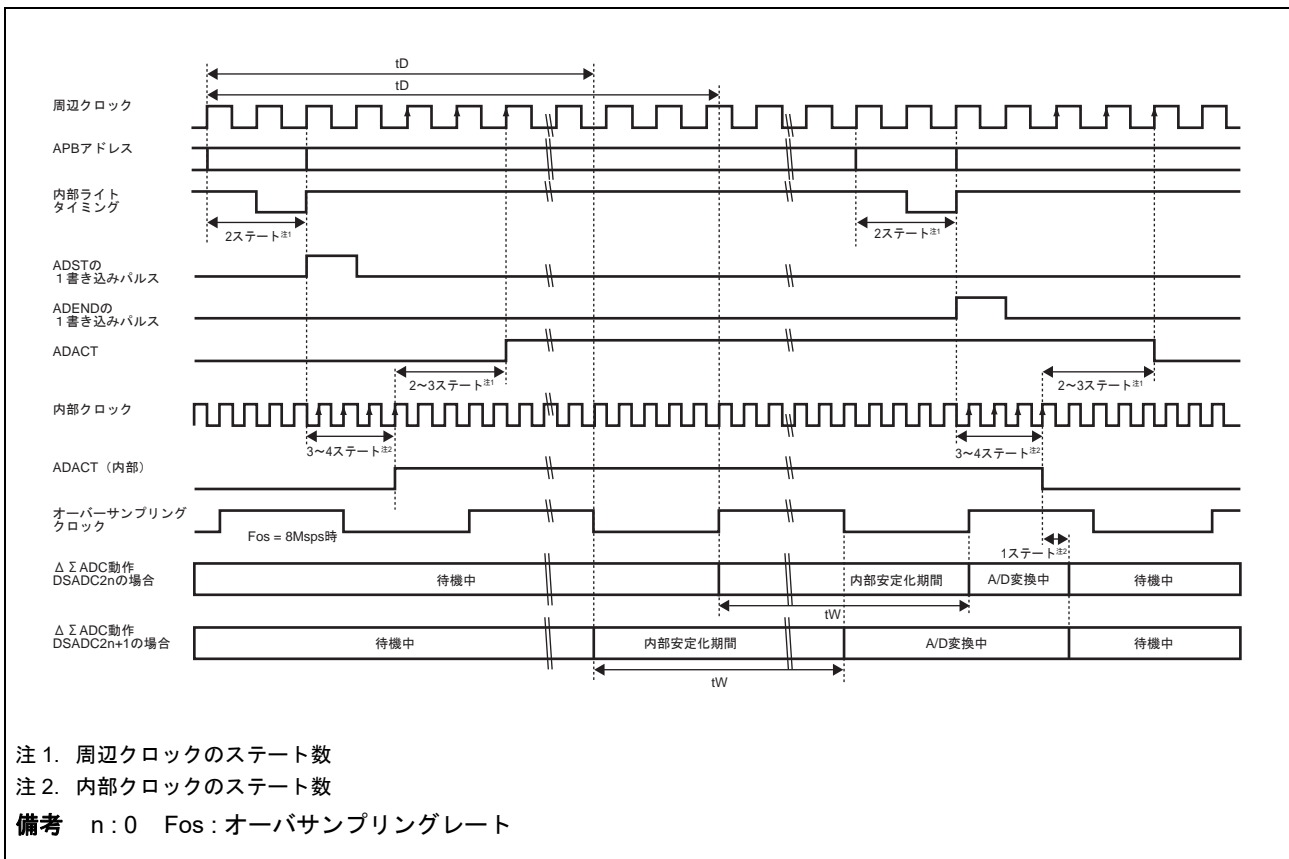


図 27.4 A/D 変換の開始と終了

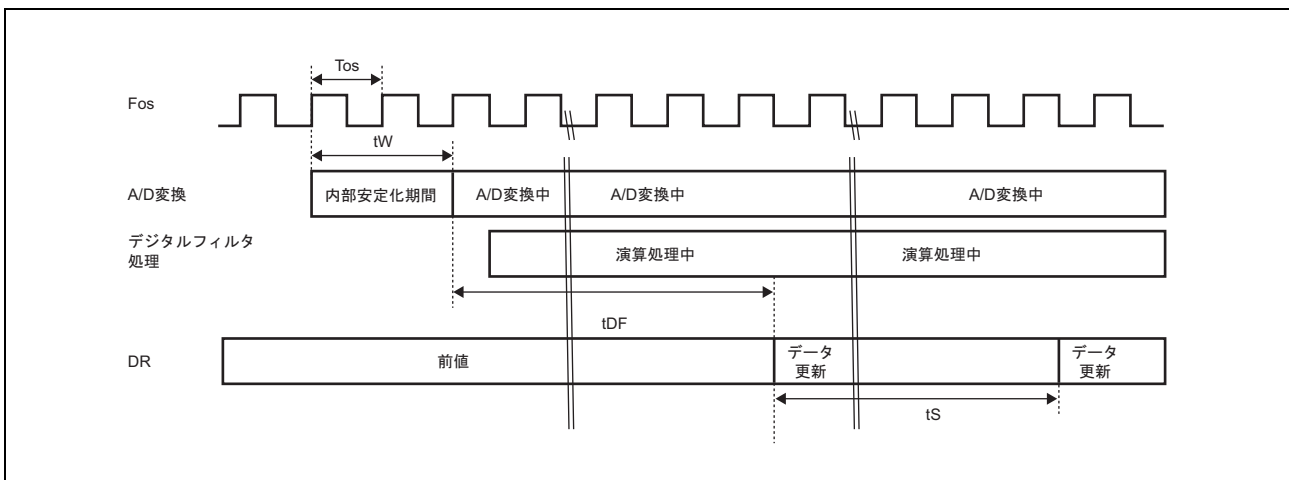


図 27.5 A/D 変換処理のバジェット

27.6.4 外部トリガによる A/D 変換の起動

DSADTRGm の入力で、DSADCm を起動することができます。DSADTRGm で DSADCm を起動するときには、PFC (ピンファンクションコントローラ) で端子機能を設定し、トリガ選択機能で AD 開始トリガ m のトリガソースを選択します。DSADTRGm にハイレベルを入力したあと、DSADCmADCR の STTRGE を 1 にセットします。この状態で DSADTRGm にロウレベルを入力すると、DSADCm はパルスの立ち下がりエッジを検出して ADACT を 1 にセットします。

DSADCmADSR.ADACT が 1 にセットされるタイミングは、DSADTRGm の立ち下がりエッジから 3 ~ 4 ステート @ 内部クロック + 2 ~ 3 ステート @ バスクロックです。

ADACT が 1 にセットされてから DSADCm が開始されるまでのタイミングは、ソフトウェアで ADST を 1 にセットされた場合と同じです。端子機能の設定については、「第 2 章 端子」を参照してください。AD 開始トリガ m のトリガソース選択については、「25.2 トリガ選択機能 (PIC2)」を参照してください。

また、途中で DSADCm を停止させる場合は、DSADCmADENDCR.ADEND に 1 を書き込んでください。

27.6.5 外部トリガによる A/D 変換の終了

DSADTRGm の入力で、DSADCm を終了することができます。DSADTRGm で DSADCm を終了するときには、PFC (ピンファンクションコントローラ) で端子機能を設定し、トリガ選択機能で AD 終了トリガ m のトリガソースを選択します。DSADTRGm にハイレベルを入力した後、DSADCmADCR の ENDTRGE を 1 にセットします。この状態で DSADTRGm にロウレベルを入力すると、DSADCm はパルスの立ち下がりエッジを検出して ADACT を 0 にクリアし、DSADCm を終了します。

ADACT が 0 にクリアされるタイミングは、DSADTRGm の立ち下がりエッジから 3 ~ 4 ステート @ 内部クロック + 2 ~ 3 ステート @ バスクロックです。

端子機能の設定については、「第 2 章 端子」を参照してください。AD 終了トリガ m のトリガソース選択については、「25.2 トリガ選択機能 (PIC2)」を参照してください。

備 考

m = 0, 1

27.6.6 タイマトリガによる A/D 変換の起動

任意のタイマトリガによって、DSADCm を起動することができます。任意のタイマトリガで DSADCm を起動するときには、トリガ選択機能で AD 開始トリガ m のトリガソースをどのタイマトリガにするか選択します。DSADCmADCR の STTRGE を 1 にセットします。

この状態で選択したタイマトリガが入ると、ADACT を 1 にセットします。ADACT ビットが 1 にセットされてから DSADCm が開始されるまでのタイミングは、ソフトウェアで ADST を 1 にセットされた場合と同じです。

AD 開始トリガ m のトリガソース選択については、「25.2 トリガ選択機能 (PIC2)」を参照してください。

また、途中で DSADCm を停止させる場合は、ADEND に 1 を書き込んでください。

備考

 m = 0、1

27.6.7 タイマトリガによる A/D 変換の終了

任意のタイマトリガによって、DSADC_mを終了することができます。任意のタイマトリガでDSADC_mを終了するときには、トリガ選択機能でAD終了トリガmのトリガソースをどのタイマトリガにするか選択します。DSADC_mADCRのENDTRGEを1にセットします。

この状態で選択したタイマトリガが入ると、ADACTを0にクリアし、DSADC_mを終了します。

AD終了トリガmのトリガソース選択については、「**25.2 トリガ選択機能 (PIC2)**」を参照してください。

備考

 m = 0、1

27.6.8 A/D 変換モニタ端子によるモニタ機能

DSADEND_mによって、DSADC_mのA/D変換をモニタすることができます。端子の設定に関しては、「**第2章 端子**」を参照してください。

図 27.6 に A/D 変換モニタ端子の出力例を示します。

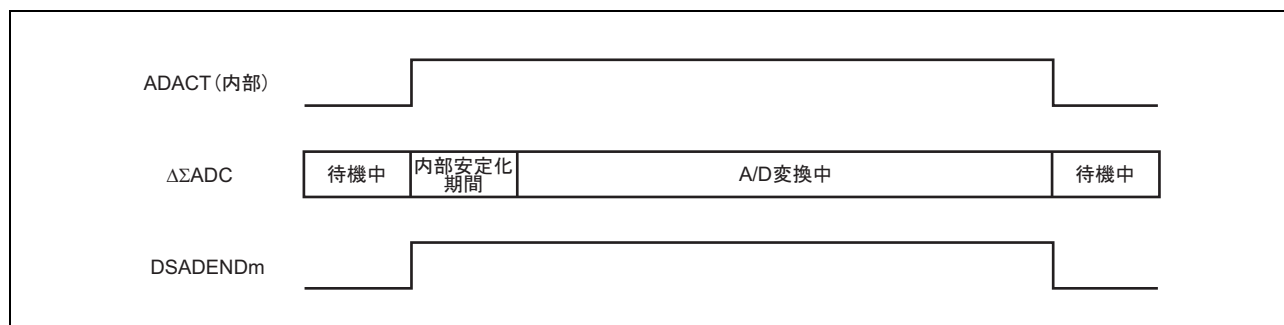


図 27.6 A/D 変換モニタ端子の出力例

備考

 m = 0、1

27.6.9 DMA 要求要因

$\Delta\Sigma$ ADC は、DMA 要求要因 (DSADIm) を発生し、DMAC を起動することができます (INTC への割り込みは発生しません)。DSADCmADCR の ADIE を 1 にセットすると A/D 変換終了で DSADIm を出力し、0 にクリアすると A/D 変換終了でも DSADIm の出力を禁止できます。

DMAC の設定については「**第7章 DMA**」を参照してください。

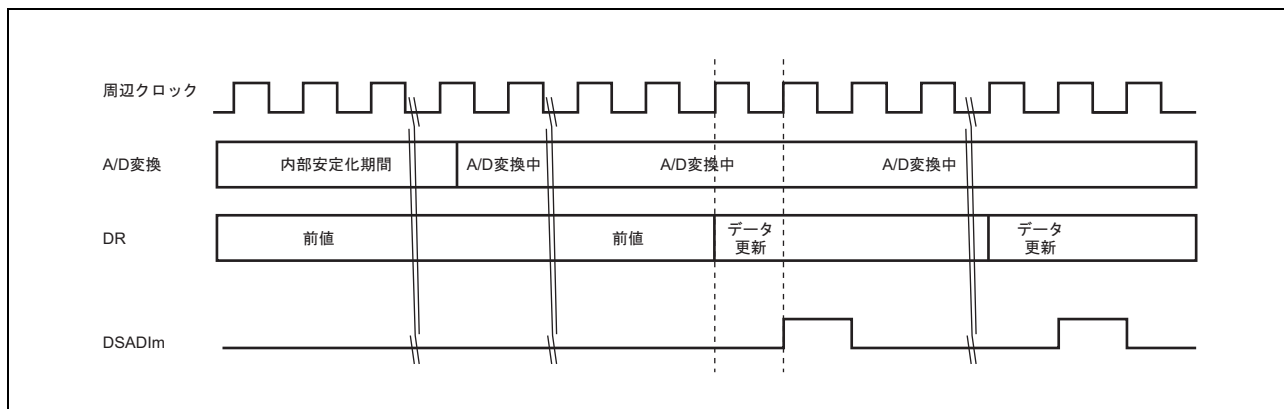


図 27.7 DMA 要求要因例

備考

m = 0、1

27.6.10 AD エラー割り込み要求と AD パリティエラー通知

ΔΣADC は、INTC への AD エラー割り込み要求 (DSADEm) と ECM (エラーコントロールモジュール) への AD パリティエラー通知 (DSADPEm) を発生することができます。DSADCmSFTCR の ULEIE、OWEIE が 1 に設定されたエラー要因の OR 条件を DSADEm として発生します。0 に設定されたエラー要因の DSADEm は禁止することができます。DSADCmSFTCR の PEIE を 1 に設定すると DSADPEm を許可、0 に設定すると DSADPEm を禁止します。

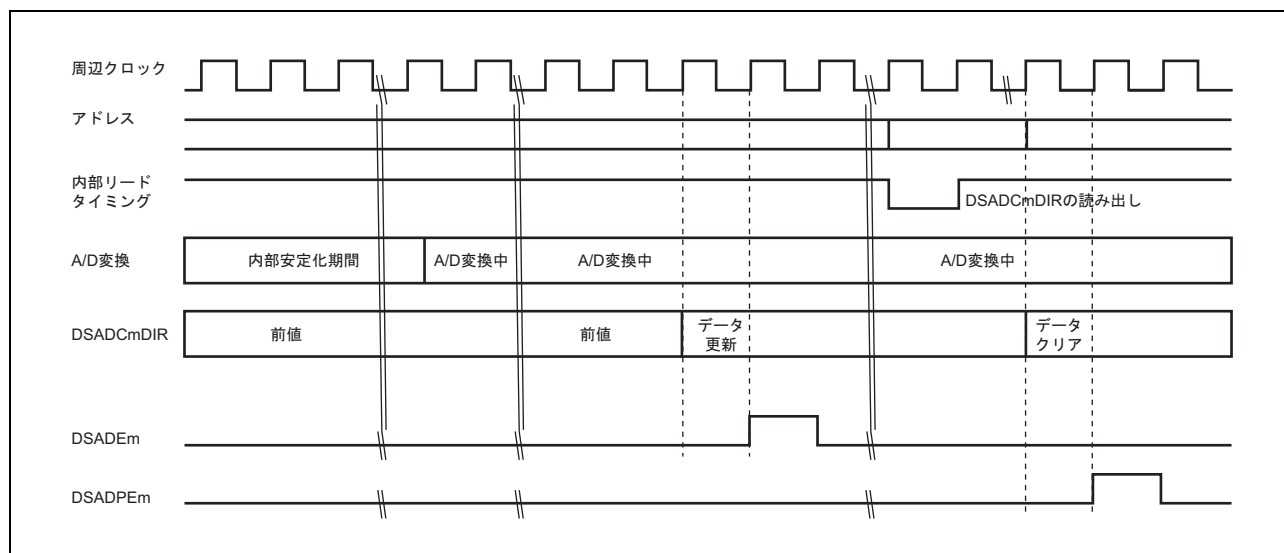


図 27.8 AD エラー割り込みと AD パリティエラー通知発生例

備考

m = 0、1

27.7 使用上の注意事項

27.7.1 アナログ入力端子の使用上の注意

1つのアナログ端子を $\Delta\Sigma$ ADC と SAR-ADC の両方で同時に A/D 変換しないでください。さらにデジタル入力選択中のアナログ端子を $\Delta\Sigma$ ADC で A/D 変換しないでください。A/D 精度劣化の原因となります。

$\Delta\Sigma$ ADC をシングルエンドで使用するときは、対応するチャンネルの P 側アナログ入力端子のみを使用しますので、N 側アナログ入力端子を ADC の入力として使用することができます。

27.7.2 モジュールスタンバイ機能

$\Delta\Sigma$ ADC は、モジュールスタンバイ機能を持っています。

モジュールスタンバイは、共通部、および全チャンネルのクロックを一斉に停止します。

誤動作を避けるため、AD 変換中、または、AD 変換開始/終了トリガイネーブル状態で、モジュールスタンバイにすることを禁止します。

モジュールスタンバイは、当該チャンネルを以下の状態にしてから行ってください。

- $ADACT = 0$ かつ $ENDTRGE = 0$ かつ $STRGE = 0$

第28章 デジタルフィルタ (DFE)

28.1 概要

28.1.1 特長

- 16チャンネルのデジタルフィルタ (FIR/IIR) 機能内蔵
- フィルタ係数、データは、DFE内のRAMに格納
- フィルタ処理後のデータに対して積算処理もしくはデシメーション (間引き) 処理を行う積算回路と、ピークホールド処理もしくは、比較処理を行うPH回路を内蔵
- 比較演算結果が真のときに割り込み要求を発生
- 内蔵AD変換器からの変換データを入力

28.1.2 全体構成

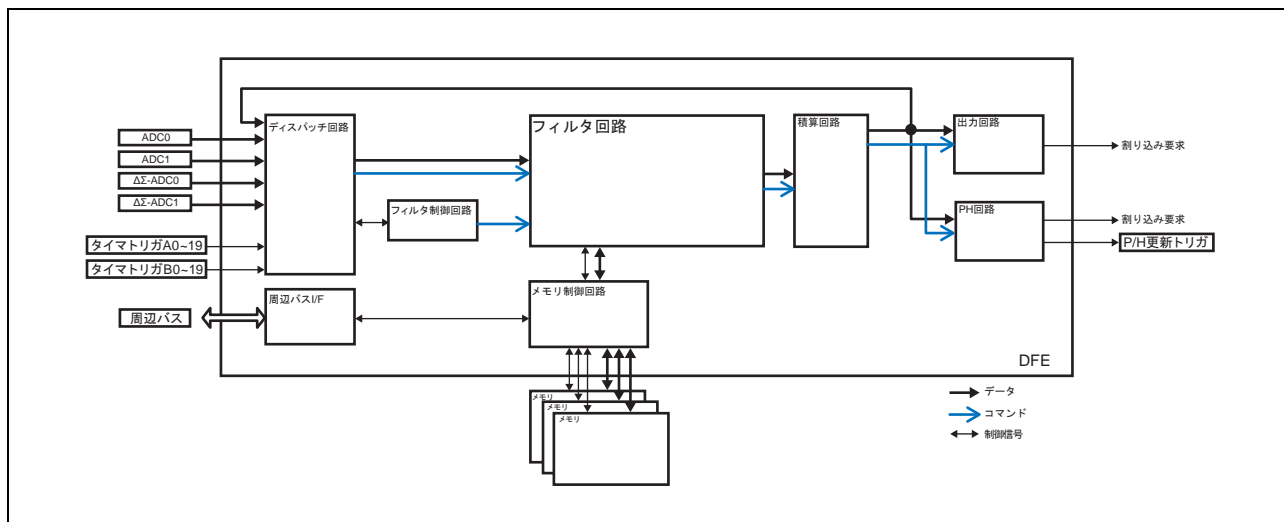


図 28.1 DFE 全体構成図

デジタルフィルタ DFE (Digital Filter Engine) は、16チャンネルのフィルタ処理を時分割で実行可能です。フィルターアルゴリズムは、最大32タップのFIRと、最大6次のIIRを選択可能です。AD変換器、周辺バスからデータが与えられると、自動的にFIR/IIRフィルタ処理を実行します。通常モードでは、すべてのフィルタ処理結果を出力データレジスタに格納します。デシメーション (間引き) モードでは、たとえば4回のフィルタ処理ごとに1回の出力データを出力データレジスタに格納します。出力データレジスタにデータを格納すると、割り込み要求することができます。また、デジタルフィルタ処理結果を再度フィルタ回路に入力することができます。

28.1.3 データフォーマット

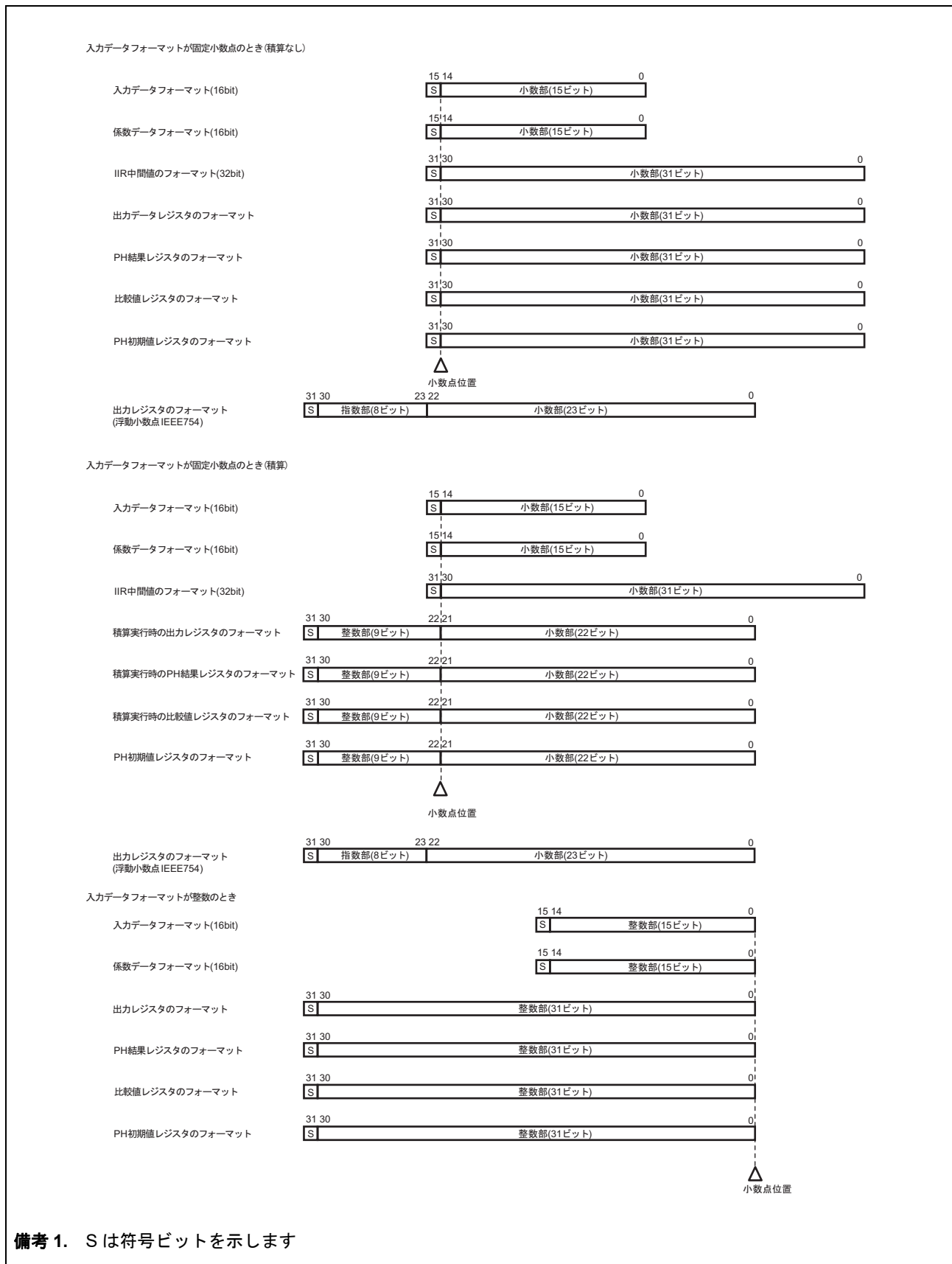


図 28.2 データフォーマット

28.1.4 フィルタ回路

28.1.4.1 FIR フィルタ

- タップ数：8/16/24/32 タップから選択可能
- 入力データおよび係数：16 ビット符号付き固定小数点／16 ビット整数
- 出力データ：32 ビット符号付き固定小数点／32 ビット整数
- 積和演算精度：32 ビット

28.1.4.2 IIR フィルタ

- 2次バイクワッド段数：1/2/3 から選択可能
- 入力データおよび係数：16 ビット符号付き固定小数点
- 中間データおよび出力データ：32 ビット符号付固定小数点
- 積和演算精度：32 ビット

28.1.5 ディスパッチ回路

ディスパッチ回路では、AD 変換器、周辺バスからのフィルタ処理対象データを受け付けます。

受け付けたデータは、16 チャンネルに割り付けを行い、フィルタ処理を行うデータを選択しフィルタ回路にデータを出力します。なお、入力可能なデータはチャンネルごとに決まっています。チャンネルごとの入力可能データの一覧を表 28.1 に示します。

表 28.1 チャンネルごとの入力可能データ

| | ADC | | $\Delta\Sigma$ ADC | | | | | | | | ソフト ウェア | カス ケード |
|------|-----|---|--------------------|---|---|---|---|---|---|---|------------|-----------|
| | 0 | 1 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | | |
| CH0 | ○ | ○ | ○ | ○ | ○ | × | × | × | × | × | ○ | ○ |
| CH1 | ○ | ○ | ○ | ○ | × | ○ | × | × | × | × | ○ | ○ |
| CH2 | ○ | ○ | ○ | ○ | × | × | ○ | × | × | × | ○ | ○ |
| CH3 | ○ | ○ | ○ | ○ | × | × | × | ○ | × | × | ○ | ○ |
| CH4 | ○ | ○ | ○ | ○ | × | × | × | × | ○ | × | ○ | ○ |
| CH5 | ○ | ○ | ○ | ○ | × | × | × | × | × | ○ | ○ | ○ |
| CH6 | ○ | ○ | ○ | ○ | ○ | × | × | × | × | × | ○ | ○ |
| CH7 | ○ | ○ | ○ | ○ | × | ○ | × | × | × | × | ○ | ○ |
| CH8 | ○ | ○ | ○ | ○ | × | × | ○ | × | × | × | ○ | ○ |
| CH9 | ○ | ○ | ○ | ○ | × | × | × | ○ | × | × | ○ | ○ |
| CH10 | ○ | ○ | ○ | ○ | × | × | × | × | ○ | × | ○ | ○ |
| CH11 | ○ | ○ | ○ | ○ | × | × | × | × | × | ○ | ○ | ○ |
| CH12 | ○ | ○ | ○ | ○ | ○ | × | × | × | × | × | ○ | ○ |
| CH13 | ○ | ○ | ○ | ○ | × | ○ | × | × | × | × | ○ | ○ |
| CH14 | ○ | ○ | ○ | ○ | × | × | ○ | × | × | × | ○ | ○ |
| CH15 | ○ | ○ | ○ | ○ | × | × | × | ○ | × | × | ○ | ○ |

備考 “○”：入力可能、“×”：入力不可能

28.1.6 積算回路

積算回路では、すべてのチャンネルのフィルタ結果に対して、絶対値演算、積算、デシメーション処理を実行可能です。積算とデシメーションはどちらか一方を指定することができます。

- 絶対値：フィルタ結果の絶対値を計算します。
- 積算：フィルタ結果の積算を求めることができます。積算回数は、最大 511 回です。結果は、S10.22 フォーマットです。所定回数の積算処理の実行後に、1 個の積算結果を次の処理に送ります。
- デシメーション（間引き）：デシメーションは、フィルタ結果の間引きを行います。たとえば、デシメーション回数を 4 回とすると、フィルタ結果 4 回に 1 回、結果を出力します。デシメーション回数は、最大 511 回です。

28.1.7 PH 回路

PH 回路では、ピークホールドもしくは、比較演算を実行します。チャンネル 0～9 において実行可能です。また PH 回路は、積算回路と連動して動作可能です。たとえば、積算/デシメーションを設定し回数指定を行うと、指定した回数ごとにピークホールドまたは比較演算を実行します。積算/デシメーションを設定しない場合は、フィルタ処理ごとにピークホールドまたは比較演算を実行します。

- ピークホールド (PH)：フィルタ結果、または積算回路出力結果のピークホールドが可能です。ピークホールド終了フラグが有効になると、割り込み要求をすることができます。また、選択したチャンネル（任意の 2 チャンネルが選択可能）でピークホールド結果レジスタが更新されると PH 更新通知を出力することができます。
- 比較：フィルタ結果または積算回路出力結果と所定の値を比較（＝、＜、＞、≧、≦）し、条件成立によって割り込み要求をすることができます。

28.1.8 出力回路

出力回路では、演算結果をチャンネルごとに出力データレジスタに格納します。積算、またはデシメーション指定時には、データを格納すると同時に割り込みを要求することができます。固定小数点フォーマットでの入力の場合、浮動小数点 (IEEE754) フォーマットに変換して出力データレジスタに格納することが可能です。

28.1.9 用語

本章に記載する用語は、表 28.2 のように定義します。

表 28.2 用語一覧 (1/2)

| 単語 | 本書での定義 |
|------------------------|--|
| DFE 動作クロック | DFE に入力する SSCG 80MHz クロック |
| フィルタ回路 | FIR フィルタ、IIR フィルタを行う回路 |
| 処理対象データ | DFE がフィルタ処理を行うデータのこと AD が入力するデータ、周辺バスが入力するデータ、フィルタ処理結果を再度入力する (カスケード) データがあります。 |
| ソフトウェア入力 | CPU もしくは DMA から周辺バス経由でレジスタに処理対象データをライトすることにより、DFE を起動すること。 |
| 入力データレジスタ | 処理対象データをライトするレジスタ。16 チャンネルある。 |
| DFE 起動信号 | 処理対象データとともに DFE に入力する DFE の処理開始信号 |
| AD タグ | AD が処理対象データと共に DFE に入力するタグ値 |
| AD データ | AD が DFE に入力する処理対象データ |
| AD 入力 | AD タグ、AD データ、AD が入力する DFE 起動信号 図中では、AD が入力する DFE 起動信号をさします。 |
| チャンネルタグ | DFE のレジスタ (制御レジスタ A) で指定するタグ信号。 チャンネルごとに持つ |
| ディスパッチ | 処理対象データを入力データレジスタにライトすること DFE 起動信号で処理開始し、チャンネルタグと AD タグ信号を比較し、一致したチャンネルの入力データレジスタにライトを行う事 |
| ディスパッチ回路 | ディスパッチ処理およびフィルタ回路にフィルタ対象データを出力する回路 |
| 積算 | チャンネルごとのフィルタ処理結果データを制御レジスタで指定された回数分の積算 (累加算) すること。 |
| デシメーション | 間引きのこと。フィルタ処理結果データを制御レジスタでしていされた回数分間引きを行うこと。 |
| 積算回路 | フィルタ処理結果データについて、絶対値演算、積算、デシメーションの動作を行う回路 |
| PH ピークホールド | 積算回路出力のデータの最大値を保持する処理。 |
| PH 回路 | PH、比較処理を行う回路です。 |
| PH 結果レジスタ | PH 処理結果の値を保持するレジスタ |
| 出力回路 | 積算回路の出力データを、出力データレジスタにライトする回路、および積算回路の出力データを、浮動小数点フォーマットに変換して、出力データレジスタにライトする回路 |
| 出力データレジスタ | DFE 処理完了後のデータをライトするレジスタです。16 チャンネルあります。 |
| 入力データオーバーライトエラー (DIOW) | 入力データレジスタに有効なデータがあるとき (DFE 内処理のフィルタ処理待ち、フィルタ処理中、積算回路処理実行中のとき) に、新たなデータが入力データレジスタにライトされたときのエラーです。 |
| 出力データオーバーライトエラー (DOOW) | 出力データレジスタに有効なデータがあるとき (DFE が出力データレジスタにフィルタ処理結果や、積算処理結果をライト後) に、出力データレジスタに、新たなデータがライトされたときのエラーです。 |
| 乗算エラー | フィルタ回路において、 $8000_H * 8000_H$ が実行されたときのエラーです。 |
| ガードエラー | フィルタ回路において、累加算実行時に、ガードビットでのオーバフロー、アンダフロー発生時のエラーです。 |
| カスケードエラー | カスケード処理有効時、積算回路出力の 32bit データを 16bit に丸めた際のオーバフロー発生時のエラーです。 |
| 絶対値演算エラー | 積算回路内の絶対値演算時、 8000_0000_H が入力されたときのエラーです。 |
| タイマトリガ | タイマから入力されるトリガをさします。 |
| ソフトウェアトリガ | CPU / DMA からソフトウェアトリガレジスタに 1 をライトすることで発生するトリガです。 |

表 28.2 用語一覧 (2/2)

| 単語 | 本書での定義 |
|------------------|--|
| トリガフラグ | タイマトリガ、ソフトウェアトリガ、DFE 内の制御レジスタであるトリガ設定レジスタにより DFE が生成する「積算／デシメーション初期化フラグ」、「積算／デシメーション禁止フラグ」、「PH 初期化フラグ」、「PH 終了フラグ」、「フィルタ初期化フラグ」の 5 つのフラグの事です。 |
| 積算／デシメーション初期化フラグ | トリガフラグの 1 つ。積算指定時は積算初期化フラグ、デシメーション指定時は、デシメーション初期化フラグです。積算回路のカウンタの初期化を行うためのフラグです。 |
| 積算／デシメーション禁止フラグ | トリガフラグの 1 つ。積算指定時は積算禁止フラグとなり、デシメーション指定時は、デシメーション禁止フラグになります。積算回路のカウンタの停止を行い、実行後は、積算処理・デシメーション処理を禁止し、出力データを更新しません。 |
| PH 初期化フラグ | トリガフラグの 1 つ。PH 指定時に有効となり、PH 回路のカウンタの初期化を行うためのフラグです。 |
| PH 終了フラグ | トリガフラグの 1 つ。PH 指定時に有効となり、PH 処理を終了するコマンドです。 |
| フィルタ初期化フラグ | トリガフラグの 1 つ。フィルタ処理で使用するアドレスポインタの初期化と通常にフィルタ処理に初期化シーケンスを加えて実行します。 |
| 割り込み要求 | 割り込みコントローラ、CPU (PCU)、DMA 起動要求の割り込みです |

28.2 制御レジスタ

28.2.1 レジスタ一覧

DFE のレジスタ一覧、メモリアドレスを以下に示します。すべてのレジスタは、8/16/32 ビットアクセス可能。メモリに対するライトは、係数メモリは 32 ビット、データメモリは、上位 16 ビット/下位 16 ビット/ 32 ビットが可能です。

表 28.3 制御レジスタ一覧 (1/4)

レジスタアドレス = FFBF_0000_H + <offset address>

| offset address | レジスタ名 | 機能 | アクセスサイズ | R/W | リセット後の値 |
|-------------------|----------|---------------------|---------|-----|------------------------|
| 0000 _H | CTLACH0 | 制御レジスタ A (チャンネル 0) | 8、16、32 | R/W | 0000 0000 _H |
| 0004 _H | CTLACH1 | 制御レジスタ A (チャンネル 1) | 8、16、32 | R/W | 0000 0000 _H |
| 0008 _H | CTLACH2 | 制御レジスタ A (チャンネル 2) | 8、16、32 | R/W | 0000 0000 _H |
| 000C _H | CTLACH3 | 制御レジスタ A (チャンネル 3) | 8、16、32 | R/W | 0000 0000 _H |
| 0010 _H | CTLACH4 | 制御レジスタ A (チャンネル 4) | 8、16、32 | R/W | 0000 0000 _H |
| 0014 _H | CTLACH5 | 制御レジスタ A (チャンネル 5) | 8、16、32 | R/W | 0000 0000 _H |
| 0018 _H | CTLACH6 | 制御レジスタ A (チャンネル 6) | 8、16、32 | R/W | 0000 0000 _H |
| 001C _H | CTLACH7 | 制御レジスタ A (チャンネル 7) | 8、16、32 | R/W | 0000 0000 _H |
| 0020 _H | CTLACH8 | 制御レジスタ A (チャンネル 8) | 8、16、32 | R/W | 0000 0000 _H |
| 0024 _H | CTLACH9 | 制御レジスタ A (チャンネル 9) | 8、16、32 | R/W | 0000 0000 _H |
| 0028 _H | CTLACH10 | 制御レジスタ A (チャンネル 10) | 8、16、32 | R/W | 0000 0000 _H |
| 002C _H | CTLACH11 | 制御レジスタ A (チャンネル 11) | 8、16、32 | R/W | 0000 0000 _H |
| 0030 _H | CTLACH12 | 制御レジスタ A (チャンネル 12) | 8、16、32 | R/W | 0000 0000 _H |
| 0034 _H | CTLACH13 | 制御レジスタ A (チャンネル 13) | 8、16、32 | R/W | 0000 0000 _H |
| 0038 _H | CTLACH14 | 制御レジスタ A (チャンネル 14) | 8、16、32 | R/W | 0000 0000 _H |
| 003C _H | CTLACH15 | 制御レジスタ A (チャンネル 15) | 8、16、32 | R/W | 0000 0000 _H |
| 0040 _H | CTLBCH0 | 制御レジスタ B (チャンネル 0) | 8、16、32 | R/W | 0000 0000 _H |
| 0044 _H | CTLBCH1 | 制御レジスタ B (チャンネル 1) | 8、16、32 | R/W | 0000 0000 _H |
| 0048 _H | CTLBCH2 | 制御レジスタ B (チャンネル 2) | 8、16、32 | R/W | 0000 0000 _H |
| 004C _H | CTLBCH3 | 制御レジスタ B (チャンネル 3) | 8、16、32 | R/W | 0000 0000 _H |
| 0050 _H | CTLBCH4 | 制御レジスタ B (チャンネル 4) | 8、16、32 | R/W | 0000 0000 _H |
| 0054 _H | CTLBCH5 | 制御レジスタ B (チャンネル 5) | 8、16、32 | R/W | 0000 0000 _H |
| 0058 _H | CTLBCH6 | 制御レジスタ B (チャンネル 6) | 8、16、32 | R/W | 0000 0000 _H |
| 005C _H | CTLBCH7 | 制御レジスタ B (チャンネル 7) | 8、16、32 | R/W | 0000 0000 _H |
| 0060 _H | CTLBCH8 | 制御レジスタ B (チャンネル 8) | 8、16、32 | R/W | 0000 0000 _H |
| 0064 _H | CTLBCH9 | 制御レジスタ B (チャンネル 9) | 8、16、32 | R/W | 0000 0000 _H |
| 0068 _H | CTLBCH10 | 制御レジスタ B (チャンネル 10) | 8、16、32 | R/W | 0000 0000 _H |
| 006C _H | CTLBCH11 | 制御レジスタ B (チャンネル 11) | 8、16、32 | R/W | 0000 0000 _H |
| 0070 _H | CTLBCH12 | 制御レジスタ B (チャンネル 12) | 8、16、32 | R/W | 0000 0000 _H |
| 0074 _H | CTLBCH13 | 制御レジスタ B (チャンネル 13) | 8、16、32 | R/W | 0000 0000 _H |
| 0078 _H | CTLBCH14 | 制御レジスタ B (チャンネル 14) | 8、16、32 | R/W | 0000 0000 _H |
| 007C _H | CTLBCH15 | 制御レジスタ B (チャンネル 15) | 8、16、32 | R/W | 0000 0000 _H |
| 0080 _H | DOCH0 | 出力データレジスタ (チャンネル 0) | 32 | R | 0000 0000 _H |
| 0084 _H | DOCH1 | 出力データレジスタ (チャンネル 1) | 32 | R | 0000 0000 _H |
| 0088 _H | DOCH2 | 出力データレジスタ (チャンネル 2) | 32 | R | 0000 0000 _H |
| 008C _H | DOCH3 | 出力データレジスタ (チャンネル 3) | 32 | R | 0000 0000 _H |
| 0090 _H | DOCH4 | 出力データレジスタ (チャンネル 4) | 32 | R | 0000 0000 _H |

表 28.3 制御レジスタ一覧 (2/4)

レジスタアドレス = FFBF_0000_H + <offset address>

| offset address | レジスタ名 | 機能 | アクセスサイズ | R/W | リセット後の値 |
|-------------------|---------|------------------------|---------|-----|------------------------|
| 0094 _H | DOCH5 | 出力データレジスタ (チャンネル 5) | 32 | R | 0000 0000 _H |
| 0098 _H | DOCH6 | 出力データレジスタ (チャンネル 6) | 32 | R | 0000 0000 _H |
| 009C _H | DOCH7 | 出力データレジスタ (チャンネル 7) | 32 | R | 0000 0000 _H |
| 00A0 _H | DOCH8 | 出力データレジスタ (チャンネル 8) | 32 | R | 0000 0000 _H |
| 00A4 _H | DOCH9 | 出力データレジスタ (チャンネル 9) | 32 | R | 0000 0000 _H |
| 00A8 _H | DOCH10 | 出力データレジスタ (チャンネル 10) | 32 | R | 0000 0000 _H |
| 00AC _H | DOCH11 | 出力データレジスタ (チャンネル 11) | 32 | R | 0000 0000 _H |
| 00B0 _H | DOCH12 | 出力データレジスタ (チャンネル 12) | 32 | R | 0000 0000 _H |
| 00B4 _H | DOCH13 | 出力データレジスタ (チャンネル 13) | 32 | R | 0000 0000 _H |
| 00B8 _H | DOCH14 | 出力データレジスタ (チャンネル 14) | 32 | R | 0000 0000 _H |
| 00BC _H | DOCH15 | 出力データレジスタ (チャンネル 15) | 32 | R | 0000 0000 _H |
| 00C0 _H | PHCH0 | PH 結果レジスタ (チャンネル 0) | 32 | R | 8000 0000 _H |
| 00C4 _H | PHCH1 | PH 結果レジスタ (チャンネル 1) | 32 | R | 8000 0000 _H |
| 00C8 _H | PHCH2 | PH 結果レジスタ (チャンネル 2) | 32 | R | 8000 0000 _H |
| 00CC _H | PHCH3 | PH 結果レジスタ (チャンネル 3) | 32 | R | 8000 0000 _H |
| 00D0 _H | PHCH4 | PH 結果レジスタ (チャンネル 4) | 32 | R | 8000 0000 _H |
| 00D4 _H | PHCH5 | PH 結果レジスタ (チャンネル 5) | 32 | R | 8000 0000 _H |
| 00D8 _H | PHCH6 | PH 結果レジスタ (チャンネル 6) | 32 | R | 8000 0000 _H |
| 00DC _H | PHCH7 | PH 結果レジスタ (チャンネル 7) | 32 | R | 8000 0000 _H |
| 00E0 _H | PHCH8 | PH 結果レジスタ (チャンネル 8) | 32 | R | 8000 0000 _H |
| 00E4 _H | PHCH9 | PH 結果レジスタ (チャンネル 9) | 32 | R | 8000 0000 _H |
| 0140 _H | STCH0 | ステータスレジスタ (チャンネル 0) | 8、16 | R | 0000 _H |
| 0144 _H | STCH1 | ステータスレジスタ (チャンネル 1) | 8、16 | R | 0000 _H |
| 0148 _H | STCH2 | ステータスレジスタ (チャンネル 2) | 8、16 | R | 0000 _H |
| 014C _H | STCH3 | ステータスレジスタ (チャンネル 3) | 8、16 | R | 0000 _H |
| 0150 _H | STCH4 | ステータスレジスタ (チャンネル 4) | 8、16 | R | 0000 _H |
| 0154 _H | STCH5 | ステータスレジスタ (チャンネル 5) | 8、16 | R | 0000 _H |
| 0158 _H | STCH6 | ステータスレジスタ (チャンネル 6) | 8、16 | R | 0000 _H |
| 015C _H | STCH7 | ステータスレジスタ (チャンネル 7) | 8、16 | R | 0000 _H |
| 0160 _H | STCH8 | ステータスレジスタ (チャンネル 8) | 8、16 | R | 0000 _H |
| 0164 _H | STCH9 | ステータスレジスタ (チャンネル 9) | 8、16 | R | 0000 _H |
| 0168 _H | STCH10 | ステータスレジスタ (チャンネル 10) | 8、16 | R | 0000 _H |
| 016C _H | STCH11 | ステータスレジスタ (チャンネル 11) | 8、16 | R | 0000 _H |
| 0170 _H | STCH12 | ステータスレジスタ (チャンネル 12) | 8、16 | R | 0000 _H |
| 0174 _H | STCH13 | ステータスレジスタ (チャンネル 13) | 8、16 | R | 0000 _H |
| 0178 _H | STCH14 | ステータスレジスタ (チャンネル 14) | 8、16 | R | 0000 _H |
| 017C _H | STCH15 | ステータスレジスタ (チャンネル 15) | 8、16 | R | 0000 _H |
| 0180 _H | CLRSTC0 | クリアステータスレジスタ (チャンネル 0) | 8、16 | R/W | 0000 _H |
| 0184 _H | CLRSTC1 | クリアステータスレジスタ (チャンネル 1) | 8、16 | R/W | 0000 _H |
| 0188 _H | CLRSTC2 | クリアステータスレジスタ (チャンネル 2) | 8、16 | R/W | 0000 _H |
| 018C _H | CLRSTC3 | クリアステータスレジスタ (チャンネル 3) | 8、16 | R/W | 0000 _H |
| 0190 _H | CLRSTC4 | クリアステータスレジスタ (チャンネル 4) | 8、16 | R/W | 0000 _H |
| 0194 _H | CLRSTC5 | クリアステータスレジスタ (チャンネル 5) | 8、16 | R/W | 0000 _H |
| 0198 _H | CLRSTC6 | クリアステータスレジスタ (チャンネル 6) | 8、16 | R/W | 0000 _H |
| 019C _H | CLRSTC7 | クリアステータスレジスタ (チャンネル 7) | 8、16 | R/W | 0000 _H |

表 28.3 制御レジスタ一覧 (3/4)

レジスタアドレス = FFBF_0000_H + <offset address>

| offset address | レジスタ名 | 機能 | アクセスサイズ | R/W | リセット後の値 |
|-------------------|----------|-------------------------|---------|-----|------------------------|
| 01A0 _H | CLRSTC8 | クリアステータスレジスタ (チャンネル 8) | 8、16 | R/W | 0000 _H |
| 01A4 _H | CLRSTC9 | クリアステータスレジスタ (チャンネル 9) | 8、16 | R/W | 0000 _H |
| 01A8 _H | CLRSTC10 | クリアステータスレジスタ (チャンネル 10) | 8、16 | R/W | 0000 _H |
| 01AC _H | CLRSTC11 | クリアステータスレジスタ (チャンネル 11) | 8、16 | R/W | 0000 _H |
| 01B0 _H | CLRSTC12 | クリアステータスレジスタ (チャンネル 12) | 8、16 | R/W | 0000 _H |
| 01B4 _H | CLRSTC13 | クリアステータスレジスタ (チャンネル 13) | 8、16 | R/W | 0000 _H |
| 01B8 _H | CLRSTC14 | クリアステータスレジスタ (チャンネル 14) | 8、16 | R/W | 0000 _H |
| 01BC _H | CLRSTC15 | クリアステータスレジスタ (チャンネル 15) | 8、16 | R/W | 0000 _H |
| 01C0 _H | ERMCH0 | エラーマスクレジスタ (チャンネル 0) | 8 | R/W | 00 _H |
| 01C4 _H | ERMCH1 | エラーマスクレジスタ (チャンネル 1) | 8 | R/W | 00 _H |
| 01C8 _H | ERMCH2 | エラーマスクレジスタ (チャンネル 2) | 8 | R/W | 00 _H |
| 01CC _H | ERMCH3 | エラーマスクレジスタ (チャンネル 3) | 8 | R/W | 00 _H |
| 01D0 _H | ERMCH4 | エラーマスクレジスタ (チャンネル 4) | 8 | R/W | 00 _H |
| 01D4 _H | ERMCH5 | エラーマスクレジスタ (チャンネル 5) | 8 | R/W | 00 _H |
| 01D8 _H | ERMCH6 | エラーマスクレジスタ (チャンネル 6) | 8 | R/W | 00 _H |
| 01DC _H | ERMCH7 | エラーマスクレジスタ (チャンネル 7) | 8 | R/W | 00 _H |
| 01E0 _H | ERMCH8 | エラーマスクレジスタ (チャンネル 8) | 8 | R/W | 00 _H |
| 01E4 _H | ERMCH9 | エラーマスクレジスタ (チャンネル 9) | 8 | R/W | 00 _H |
| 01E8 _H | ERMCH10 | エラーマスクレジスタ (チャンネル 10) | 8 | R/W | 00 _H |
| 01EC _H | ERMCH11 | エラーマスクレジスタ (チャンネル 11) | 8 | R/W | 00 _H |
| 01F0 _H | ERMCH12 | エラーマスクレジスタ (チャンネル 12) | 8 | R/W | 00 _H |
| 01F4 _H | ERMCH13 | エラーマスクレジスタ (チャンネル 13) | 8 | R/W | 00 _H |
| 01F8 _H | ERMCH14 | エラーマスクレジスタ (チャンネル 14) | 8 | R/W | 00 _H |
| 01FC _H | ERMCH15 | エラーマスクレジスタ (チャンネル 15) | 8 | R/W | 00 _H |
| 0200 _H | TRGCH0 | トリガ設定レジスタ (チャンネル 0) | 16、32 | R/W | 0000 0000 _H |
| 0204 _H | TRGCH1 | トリガ設定レジスタ (チャンネル 1) | 16、32 | R/W | 0000 0000 _H |
| 0208 _H | TRGCH2 | トリガ設定レジスタ (チャンネル 2) | 16、32 | R/W | 0000 0000 _H |
| 020C _H | TRGCH3 | トリガ設定レジスタ (チャンネル 3) | 16、32 | R/W | 0000 0000 _H |
| 0210 _H | TRGCH4 | トリガ設定レジスタ (チャンネル 4) | 16、32 | R/W | 0000 0000 _H |
| 0214 _H | TRGCH5 | トリガ設定レジスタ (チャンネル 5) | 16、32 | R/W | 0000 0000 _H |
| 0218 _H | TRGCH6 | トリガ設定レジスタ (チャンネル 6) | 16、32 | R/W | 0000 0000 _H |
| 021C _H | TRGCH7 | トリガ設定レジスタ (チャンネル 7) | 16、32 | R/W | 0000 0000 _H |
| 0220 _H | TRGCH8 | トリガ設定レジスタ (チャンネル 8) | 16、32 | R/W | 0000 0000 _H |
| 0224 _H | TRGCH9 | トリガ設定レジスタ (チャンネル 9) | 16、32 | R/W | 0000 0000 _H |
| 0228 _H | TRGCH10 | トリガ設定レジスタ (チャンネル 10) | 16、32 | R/W | 0000 0000 _H |
| 022C _H | TRGCH11 | トリガ設定レジスタ (チャンネル 11) | 16、32 | R/W | 0000 0000 _H |
| 0230 _H | TRGCH12 | トリガ設定レジスタ (チャンネル 12) | 16、32 | R/W | 0000 0000 _H |
| 0234 _H | TRGCH13 | トリガ設定レジスタ (チャンネル 13) | 16、32 | R/W | 0000 0000 _H |
| 0238 _H | TRGCH14 | トリガ設定レジスタ (チャンネル 14) | 16、32 | R/W | 0000 0000 _H |
| 023C _H | TRGCH15 | トリガ設定レジスタ (チャンネル 15) | 16、32 | R/W | 0000 0000 _H |
| 0240 _H | TRHCH0 | トリガ履歴レジスタ (チャンネル 0) | 8 | R | 00 _H |
| 0244 _H | TRHCH1 | トリガ履歴レジスタ (チャンネル 1) | 8 | R | 00 _H |
| 0248 _H | TRHCH2 | トリガ履歴レジスタ (チャンネル 2) | 8 | R | 00 _H |
| 024C _H | TRHCH3 | トリガ履歴レジスタ (チャンネル 3) | 8 | R | 00 _H |
| 0250 _H | TRHCH4 | トリガ履歴レジスタ (チャンネル 4) | 8 | R | 00 _H |

表 28.3 制御レジスタ一覧 (4/4)

レジスタアドレス = FFBF_0000_H + <offset address>

| offset address | レジスタ名 | 機能 | アクセス サイズ | R/W | リセット後の値 |
|---------------------------------------|---------|-------------------------------|-------------|-----|------------------------|
| 0254 _H | TRHCH5 | トリガ履歴レジスタ (チャンネル 5) | 8 | R | 00 _H |
| 0258 _H | TRHCH6 | トリガ履歴レジスタ (チャンネル 6) | 8 | R | 00 _H |
| 025C _H | TRHCH7 | トリガ履歴レジスタ (チャンネル 7) | 8 | R | 00 _H |
| 0260 _H | TRHCH8 | トリガ履歴レジスタ (チャンネル 8) | 8 | R | 00 _H |
| 0264 _H | TRHCH9 | トリガ履歴レジスタ (チャンネル 9) | 8 | R | 00 _H |
| 0268 _H | TRHCH10 | トリガ履歴レジスタ (チャンネル 10) | 8 | R | 00 _H |
| 026C _H | TRHCH11 | トリガ履歴レジスタ (チャンネル 11) | 8 | R | 00 _H |
| 0270 _H | TRHCH12 | トリガ履歴レジスタ (チャンネル 12) | 8 | R | 00 _H |
| 0274 _H | TRHCH13 | トリガ履歴レジスタ (チャンネル 13) | 8 | R | 00 _H |
| 0278 _H | TRHCH14 | トリガ履歴レジスタ (チャンネル 14) | 8 | R | 00 _H |
| 027C _H | TRHCH15 | トリガ履歴レジスタ (チャンネル 15) | 8 | R | 00 _H |
| 0280 _H | CPA | 比較値設定レジスタ A | 32 | R/W | 0000 0000 _H |
| 0284 _H | CPB | 比較値設定レジスタ B | 32 | R/W | 0000 0000 _H |
| 0288 _H | CPC | 比較値設定レジスタ C | 32 | R/W | 0000 0000 _H |
| 028C _H | CPD | 比較値設定レジスタ D | 32 | R/W | 0000 0000 _H |
| 0290 _H | PHIA | PH 初期値設定レジスタ A | 32 | R/W | 8000 0000 _H |
| 0294 _H | PHIB | PH 初期値設定レジスタ B | 32 | R/W | 8000 0000 _H |
| 0298 _H | PHIC | PH 初期値設定レジスタ C | 32 | R/W | 8000 0000 _H |
| 029C _H | PHID | PH 初期値設定レジスタ D | 32 | R/W | 8000 0000 _H |
| 02B0 _H | ACA | 積算/デシメーション回数設定レジスタ A | 16 | R/W | 0000 _H |
| 02B4 _H | ACB | 積算/デシメーション回数設定レジスタ B | 16 | R/W | 0000 _H |
| 02B8 _H | ACC | 積算/デシメーション回数設定レジスタ C | 16 | R/W | 0000 _H |
| 02BC _H | ACD | 積算/デシメーション回数設定レジスタ D | 16 | R/W | 0000 _H |
| 02C0 _H | DI | ソフトウェア入力データレジスタ | 32 | R/W | 0000 0000 _H |
| 02C4 _H | TRG | ソフトウェアトリガレジスタ | 8 | R/W | 00 _H |
| 02CC _H | ST | DFE ステータスレジスタ | 8、16、32 | R | 0000 0000 _H |
| 0300 _H | PITRG | PH 初期化/終了用タイマトリガ選択レジスタ | 8、16、32 | R/W | 0000 0000 _H |
| 0304 _H | MITRG | 積算/デシメーション初期化/禁止用タイマトリガ選択レジスタ | 8、16、32 | R/W | 0000 0000 _H |
| 0308 _H | FITRG | フィルタ初期化用タイマトリガ選択レジスタ | 8、16、32 | R/W | 0000 0000 _H |
| 0310 _H | PHUPDC0 | PH 更新通知設定レジスタ 0 | 8 | R/W | 00 _H |
| 0314 _H | PHUPDC1 | PH 更新通知設定レジスタ 1 | 8 | R/W | 00 _H |
| 1000 _H ~ 13FF _H | — | 係数メモリ領域 (1KB) | — | R/W | — |
| 2000 _H ~ 27FF _H | — | データメモリ領域 (2KB) | — | R/W | — |

28.2.2 CTLACHn — 制御レジスタ A (n = 0 ~ 15)

本レジスタは、チャンネルごとにフィルタ処理、割り込み要求の制御および、チャンネルタグ、カスケードタグの設定を行うレジスタです。

| | | | | | | | | | | | | | | | | |
|---------|-----|-----|-------|-----|-----|-----|------|-----|----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | CATAG | | | | CAEN | | — | — | — | — | TAG | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CMD | | | | — | — | — | FMT | — | IEE | IEC | IEO | — | — | — | EN |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R | R | R | R/W | R | R/W | R/W | R/W | R | R | R | R/W |

表 28.4 CTLACHn レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|-------|--|
| 29 ~ 26 | CATAG | フィルタ結果の再入力（カスケード入力）用タグ値（カスケードタグ）指定ビット 0000 _B ~ 1111 _B : カスケード実行時、積算回路の出力データを再入力（カスケード）するチャンネルのタグ値（CTLACHn.TAG）を指定する。 |
| 25, 24 | CAEN | カスケードイネーブルビット 00 _B : カスケードしない。積算回路の出力データを出力データレジスタにライトする（初期値） 01 _B : 禁止 10 _B : カスケードする。カスケードと共に、積算回路の出力データを出力データレジスタにライトする 11 _B : カスケードする。積算回路の出力データを出力データレジスタにライトしない |
| 19 ~ 16 | TAG | チャンネルタグビット 0000 _B ~ 1111 _B : 各 AD からの入力データの処理チャンネルを本チャンネルに指定するとき、AD から入力される AD タグ値と同一の値を設定する。 カスケード時の入力データの処理チャンネルを本チャンネルに指定するとき、カスケード出力元のタグ値（CTLA.CATAG）と同一の値を設定する。 ソフトウェア入力の入力データの処理チャンネルを本チャンネルに指定するとき、ソフトウェア入力のタグ値（DI.TAG）と同一の値を設定する。 |
| 15 ~ 12 | CMD | フィルタ処理選択ビット 0000 _B : FIR 8TAP（初期値） 0001 _B : FIR 16TAP 0010 _B : FIR 24TAP 0011 _B : FIR 32TAP 0100 _B : 禁止 0101 _B : 禁止 0110 _B : 禁止 0111 _B : 禁止 1000 _B : IIR 2 次バイクアッド 1 段 1001 _B : IIR 2 次バイクアッド 2 段 1010 _B : IIR 2 次バイクアッド 3 段 1011 _B ~ 1111 _B : 禁止 |
| 8 | FMT | 入力データフォーマット選択ビット 0: 16 ビット固定小数点（初期値） 1: 16 ビット整数 IIR 処理、積算処理、浮動小数点処理を実行する場合は、16bit 固定小数点を指定してください。 |
| 6 | IEE | エラー割り込み要求許可ビット 0: エラー発生時の割り込み要求禁止（初期値） 1: エラー発生時の割り込み要求許可 |

表 28.4 CTLACHn レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 5 | IEC | 条件一致割り込み要求許可ビット 0: PH 指定時は、PH 終了時の割り込み要求禁止 (初期値) 比較演算指定時は、比較演算結果が真のときの割り込み要求禁止 (初期値) 1: PH 指定時は、PH 終了時の割り込み要求許可 比較演算指定時は、比較演算結果が真のときの割り込み要求許可 注意 <hr/> PH 指定は ch0 ~ 9 のみ指定可能 <hr/> |
| 4 | IEO | 出力データ割り込み要求許可ビット 0: 出力データレジスタに演算結果をライトしたときの出力データ割り込みを禁止 (初期値) 1: 出力データレジスタに演算結果をライトしたときの出力データ割り込みを許可 |
| 0 | EN | チャンネル有効ビット 0: チャンネル無効 本チャンネルでの処理を行いません (初期値) 1: チャンネル有効 本チャンネルでの処理を行います |

28.2.3 CTLBCHn — 制御レジスタ B (n = 0 ~ 15)

本レジスタは、チャンネルごとに浮動小数点変換、絶対値変換、積算/デシメーション処理、PH/比較処理の設定を行うレジスタです。チャンネル0~9は、すべての設定が可能です。チャンネル10~15は、PH/比較処理の機能を持たないため、CTLBCHn.DISB、CTLBCHn.SELB2、CTLBCHn.SELB1、CTLBCHn.PRCSBの各ビットを実装していません。

| | | | | | | | | | | | | | | | | |
|---------|-------|-------|-----|-------|-----|-------|-----|------|----|------|-----|-----|-----|-------|-----|------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | DISB | — | — | — | — | — | — | — | DISA |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W | R | R | R | R | R | R | R | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PRCSC | SELB2 | | SELB1 | | PRCSB | | — | — | SELA | | — | ABS | PRCSA | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R/W | R/W | R | R/W | R/W | R/W |

表 28.5 CTLBCHn レジスタの内容 (1/3)

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 24 | DISB | <p>PH 処理禁止ビット (チャンネル 10 ~ 15 は機能なし)</p> <p>0: PH 処理中か、PH 処理可能状態であることを示します。(初期値)</p> <p>DISB が 1 のとき、以下の条件で DISB は 0 にクリアされます。</p> <ul style="list-style-type: none"> - リセット入力 - タイマトリガまたはソフトウェアトリガで PH 初期化フラグが有効になったとき。このとき、DISB は自動で 0 となります。 - ソフトウェアのレジスタ設定で DISB に 0 を書いたとき。 <p>DISB が 0 であれば、CTLBCHn.PRCSB の設定を "PH 処理する" かつ CTLACHn.EN を 1 とした後の入力データから PH 処理を行います。</p> <p>1: PH 処理が禁止状態であることを示します。</p> <p>DISB が 0 のとき、以下の条件で DISB は 1 にセットされます。</p> <ul style="list-style-type: none"> - タイマトリガまたはソフトウェアトリガで PH 終了フラグが有効になったとき。このとき、DISB は自動で 1 となります。 - ソフトウェアのレジスタ設定で DISB に 1 を書く。 <p>DISB が 1 であれば、CTLBCHn.PRCSB の設定を "PH 処理する" かつ CTLACHn.EN を 1 とした後、PH 初期化フラグが有効になるまで PH 処理を行いません。</p> <p>注意</p> <p>CTLACHn.EN が 1 または STCHn.VALID が 1 のとき、DISB、DISA への書き込みは禁止です。</p> |

表 28.5 CTLBCHn レジスタの内容 (2/3)

| ビット位置 | ビット名 | 機能 |
|---------|-------|--|
| 16 | DISA | <p>積算/デシメーション処理禁止ビット</p> <p>0: 積算/デシメーション処理中か、積算/デシメーション処理可能状態であることを示します。(初期値)</p> <p>DISAが1のとき、以下の条件でDISAは0にクリアされます。</p> <ul style="list-style-type: none"> - リセット入力 - タイマトリガまたはソフトウェアトリガで積算/デシメーション初期化フラグが有効になったとき。このとき、DISAは自動で0となります。 - ソフトウェアのレジスタ設定でDISAに0を書いたとき。 <p>DISAが0であれば、CTLBCHn.PRCSAの設定を“積算、またはデシメーション処理する”かつCTLACHn.ENを1とした後の入力データから積算、またはデシメーション処理を行います。</p> <p>1: 積算/デシメーション処理が禁止状態であることを示します。</p> <p>DISAが0のとき、以下の条件でDISAは1にセットされます。</p> <ul style="list-style-type: none"> - タイマトリガまたはソフトウェアトリガで積算/デシメーション禁止フラグが有効になったとき。このとき、DISAは自動で1となります。 - ソフトウェアのレジスタ設定でDISAに1を書く。 <p>DISAが1であれば、CTLBCHn.PRCSAの設定を“積算、またはデシメーション処理する”かつCTLACHn.ENを1とした後、積算/デシメーション初期化フラグが有効になるまで積算、またはデシメーション処理を行いません。</p> <p>注意</p> <hr/> <p>CTLACHn.ENが1またはSTCHn.VALIDが1のとき、DISB、DISAへの書き込みは禁止です。</p> |
| 15 | PRCSC | <p>浮動小数点変換実行ビット</p> <p>0: 浮動小数点変換実行しない(初期値)</p> <p>1: 浮動小数点変換実行する</p> <p>固定小数点フォーマット(1.31/10.22)を浮動小数点(IEEE754)に変換します。</p> <p>CTLACHn.FMT = 1(整数モード)時に本ビットを1にすることは禁止です。</p> |
| 14 ~ 12 | SELB2 | <p>PH初期値レジスタ選択ビット(チャンネル10~15は機能なし)</p> <p>PH指定時(CTLBCHn.PRC SB = 01_B)</p> <p>000_B: PH処理の初期値にPHIAレジスタの値を選択(初期値)</p> <p>001_B: PH処理の初期値にPHIBレジスタの値を選択</p> <p>010_B: PH処理の初期値にPHICレジスタの値を選択</p> <p>011_B: PH処理の初期値にPHIDレジスタの値を選択</p> <p>100_B ~ 111_B: 禁止</p> <p>比較演算選択ビット(チャンネル10~15は機能なし)</p> <p>比較指定時(CTLBCHn.PRC SB = 10_B)</p> <p>000_B: 等価(=)を選択。CTLBCHn.SELB1で選択した比較対象レジスタとPH回路に入力したデータの等価(=)演算を行う(初期値)</p> <p>001_B: 以下(<=)を選択。CTLBCHn.SELB1で選択した比較対象レジスタとPH回路に入力したデータの以下(<=)演算を行う</p> <p>010_B: 以上(>=)を選択。CTLBCHn.SELB1で選択した比較対象レジスタとPH回路に入力したデータの以上(>=)演算を行う</p> <p>011_B: 小なり(<)を選択。CTLBCHn.SELB1で選択した比較対象レジスタとPH回路に入力したデータの小なり(<)演算を行う</p> <p>100_B: 大なり(>)を選択。CTLBCHn.SELB1で選択した比較対象レジスタとPH回路に入力したデータの大なり(>)演算を行う</p> <p>101_B ~ 111_B: 禁止</p> <p>注意</p> <hr/> <p>PH指定、比較演算指定はch0~9のみ指定可能</p> |
| 11、10 | SELB1 | <p>比較対象レジスタ選択ビット(チャンネル10~15は機能なし)</p> <p>00_B: 比較演算対象の値に、CPAレジスタの値を選択(初期値)</p> <p>01_B: 比較演算対象の値に、CPBレジスタの値を選択</p> <p>10_B: 比較演算対象の値に、CPCレジスタの値を選択</p> <p>11_B: 比較演算対象の値に、CPDレジスタの値を選択</p> |

表 28.5 CTLBCHn レジスタの内容 (3/3)

| ビット位置 | ビット名 | 機能 |
|-------|-------|---|
| 9、8 | PRCSB | PH 回路処理選択ビット (チャンネル 10 ~ 15 は機能なし) 00 _B : PH 処理、比較演算処理をしない (初期値) 01 _B : PH 処理する 10 _B : 比較演算処理する 11 _B : 禁止 |
| 5、4 | SELA | 積算/デシメーション回数レジスタ選択ビット 00 _B : 積算/デシメーション回数に ACA の値を選択する (初期値) 01 _B : 積算/デシメーション回数に ACB の値を選択する 10 _B : 積算/デシメーション回数に ACC の値を選択する 11 _B : 積算/デシメーション回数に ACD の値を選択する |
| 2 | ABS | 絶対値演算実行ビット 0: フィルタ結果を絶対値演算しない (初期値) 1: フィルタ結果を絶対値演算する |
| 1、0 | PRCSA | 積算回路処理選択ビット 00 _B : 積算処理、デシメーション処理共に実行しない (初期値) 01 _B : 積算処理を実行する 10 _B : デシメーション処理を実行する 11 _B : 禁止 |

28.2.4 DOCHn — 出力データレジスタ (n = 0 ~ 15)

本レジスタは、チャンネルごとに DFE 処理完了後の演算結果を格納するレジスタです。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | D0 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | D0 | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 28.6 DOCHn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|-------------------------|
| 31 ~ 0 | D0 | 出力データ DFE 処理の演算結果です。 |

出力データレジスタの数値フォーマットは、下記のとおりです。

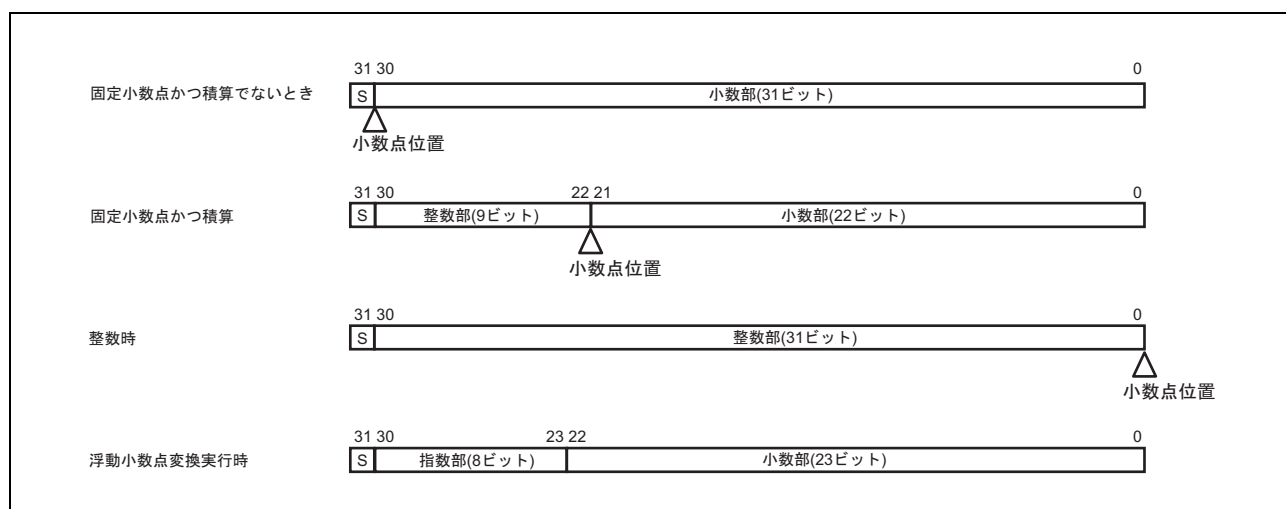


図 28.3 出力データレジスタの数値フォーマット

28.2.5 PHCHn — PH 結果レジスタ (n = 0 ~ 9)

本レジスタは、PH 処理結果の値を格納するレジスタです。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | PH | | | | | | | | | | | | | | | |
| リセット後の値 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PH | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 28.7 PHCHn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|---------------------------|
| 31 ~ 0 | PH | PH 結果データ PH 処理の演算結果です。 |

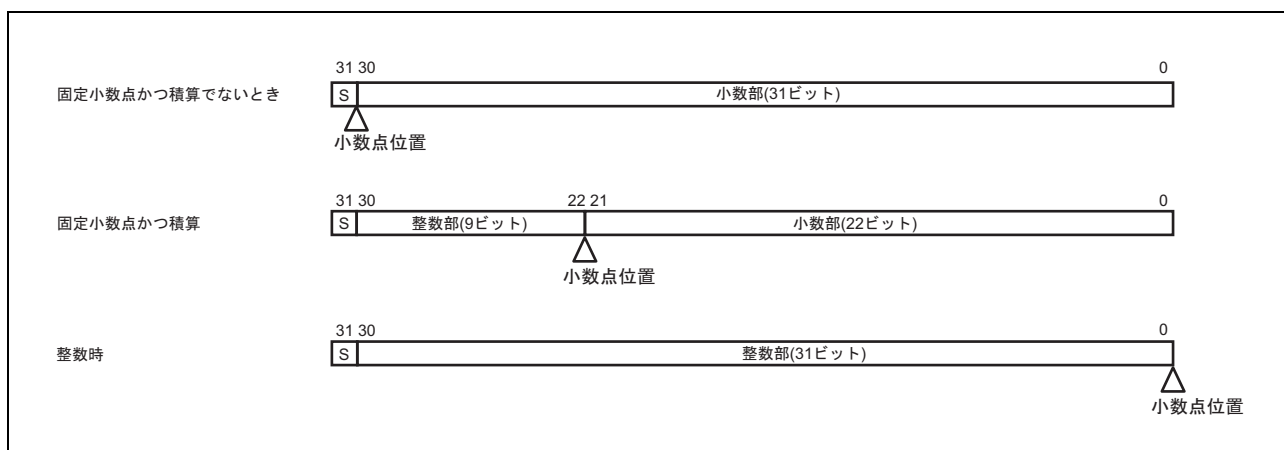


図 28.4 PH 結果レジスタの数値フォーマット

28.2.6 STCHn — ステータスレジスタ (n = 0 ~ 15)

本レジスタは、チャンネルの状態を示したレジスタです。チャンネル 0 ~ 9 は、すべてのステータスビットが有効です。チャンネル 10 ~ 15 は、PH/比較処理の機能を持たないため、STCHn.CND を実装していません。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|-------|----|----|-----|------|---|---|-----|-----|-----|-----|------|------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | VALID | — | — | CND | DOEN | — | — | CER | AER | MER | GER | DOOW | DIOW |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 28.8 STCHn レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|-------|-------|---|
| 12 | VALID | <p>入力データレジスタ有効ビット</p> <p>0: 入力データレジスタの値が無効。処理するデータのないことを示します (初期値)</p> <p>1: 入力データレジスタの値が有効。 入力データレジスタに処理対象データを入力すると 1 をセットし、処理対象データの積算回路の処理終了で 0 になります。</p> |
| 9 | CND | <p>条件一致ビット (チャンネル 10 ~ 15 は機能なし)</p> <p>PH 指定時 (CTLBCHn.PRCsB = 01_B)</p> <p>0: 初期値 CND = 1 のとき、クリアステータスレジスタの CLRCND に 1 を書くと 0 にクリアします。</p> <p>1: PH 処理完了 CND = 0 のとき、PH 終了フラグ実行で、1 をセットします。</p> <p>比較指定時 (CTLBCHn.PRCsB = 10_B)</p> <p>0: 初期値 CND = 1 のとき、クリアステータスレジスタの CLRCND に 1 を書くと 0 にクリアします。</p> <p>1: 比較演算結果が真 CND = 0 のとき、比較演算結果が真のとき、1 をセットします。</p> <p>注意</p> <hr/> <p>PH 指定、比較演算指定は ch0 ~ 9 のみ指定可能</p> |
| 8 | DOEN | <p>出力データレジスタ有効ビット</p> <p>0: 出力データレジスタの値が無効であることを示す (初期値) DOEN = 1 のとき、クリアステータスレジスタの CLRDOEN に 1 を書くと 0 にクリアします。 DOEN = 1 のとき、DOCHn レジスタをリードすると 0 にクリアします。</p> <p>1: 出力データレジスタの値が有効であることを示す DFE が、CTLBCHn.PRCsA = 01_B (積算) または CTLBCHn.PRCsA = 10_B (デシメーション) 設定での演算結果データを出力データレジスタにライトしたとき、1 をセットします。</p> |
| 5 | CER | <p>カスケード丸めエラー</p> <p>0: カスケード丸めエラーなし (初期値) CER = 1 のとき、クリアステータスレジスタの CLRCER に 1 を書くと 0 にクリアします。</p> <p>1: カスケード丸めエラー発生 カスケード指定時 (CTLA.CAEN = 10_B、11_B) に、積算回路の出力データ 32bit を 16bit に丸める際に、オーバフローが発生したとき、1 をセットします。</p> |
| 4 | AER | <p>絶対値演算エラー</p> <p>0: 絶対値演算エラーなし (初期値) AER = 1 のとき、クリアステータスレジスタの CLRAER に 1 を書くと 0 にクリアします。</p> <p>1: 絶対値演算エラー発生 絶対値演算指定時 (CTLB.ABS = 1) に、積算回路の入力データが 8000 0000_H のときに 1 をセットします。</p> |

表 28.8 STCHn レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 3 | MER | 乗算エラー 0: 乗算エラーなし (初期値) MER = 1 のとき、クリアステータスレジスタの CLRMER に 1 を書くと 0 にクリアします。 1: 乗算エラー発生 フィルタ回路内の乗算で $8000_H * 8000_H$ を実行すると 1 をセットします。 |
| 2 | GER | ガードエラー 0: ガードエラーなし (初期値) GER = 1 のとき、クリアステータスレジスタの CLRGER に 1 を書くと 0 にクリアします。 1: ガードエラー発生 フィルタ回路内の累加算結果を 32bit に丸めるとき、オーバフロー、アンダフローが発生すると 1 をセットします。 |
| 1 | DOOW | 出力データオーバーライトエラー 0: 出力データオーバーライトなし (初期値) DOOW = 1 のとき、クリアステータスレジスタの CLRDOOW に 1 を書くと 0 にクリアします。 1: 出力データオーバーライト発生 DFE が、CTLBCHn.PRCSA = 01_B (積算) または CTLBCHn.PRCSA = 10_B (デシメーション) 設定で、出力データレジスタに有効な値があるとき (DOEN = 1 のとき) に出力データレジスタにライトが行われると、1 をセットします |
| 0 | DIOW | 入力データオーバーライトエラー 0: 入力データオーバーライトなし (初期値) DIOW = 1 のとき、クリアステータスレジスタの CLRDIOW に 1 を書くと 0 にクリアします。 1: 入力データオーバーライト発生 入力データレジスタに有効な値があるとき (VALID = 1 のとき) に、入力データレジスタにライトが行われると、1 をセットします。 |

28.2.7 CLRSTCHn — クリアステータスレジスタ (n = 0 ~ 15)

本レジスタは、ステータスレジスタをクリアするクリアレジスタです。各クリアビットに1をライトすることで、対応する STCHn のビットを0にクリアします。チャンネル0～9は、すべてのクリアビットが有効です。チャンネル10～15は、PH / 比較処理の機能を持たないため、STCHn.CLRCND を実装していません。

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|----|----|----|----|--------|---------|---|---|---------|---------|---------|---------|---------|---------|
| | — | — | — | — | — | — | CLRCND | CLRDOEN | — | — | CLRCE R | CLRAE R | CLRME R | CLRGE R | CLRDOOW | CLRDIOW |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 28.9 CLRSTCHn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|---|
| 9 | CLRCND | 条件一致ビットクリアビット (チャンネル 10 ~ 15 は機能なし) 0: STCHn.CND をクリアしない (初期値) 1: STCHn.CND をクリアする。 STCHn.CND をクリアすると自動で0になる リード時は、常に0。 |
| 8 | CLRDOEN | 出力データ有効ビットクリアビット 0: STCHn.DOEN をクリアしない (初期値) 1: STCHn.DOEN をクリアする。 STCHn.DOEN をクリアすると自動で0になる リード時は、常に0。 |
| 5 | CLRCER | カスケード丸めエラービットクリアビット 0: STCHn.CER をクリアしない (初期値) 1: STCHn.CER をクリアする。 STCHn.CER をクリアすると自動で0になる リード時は、常に0。 |
| 4 | CLRAER | 絶対値演算エラービットクリアビット 0: STCHn.AER をクリアしない (初期値) 1: STCHn.AER をクリアする。 STCHn.AER をクリアすると自動で0になる リード時は、常に0。 |
| 3 | CLRMER | 乗算エラービットクリアビット 0: STCHn.MER をクリアしない (初期値) 1: STCHn.MER をクリアする。 STCHn.MER をクリアすると自動で0になる リード時は、常に0。 |
| 2 | CLRGER | ガードエラービットクリアビット 0: STCHn.GER をクリアしない (初期値) 1: STCHn.GER をクリアする。 STCHn.GER をクリアすると自動で0になる リード時は、常に0。 |
| 1 | CLRDOOW | 出力データレジスタオーバーライトエラービットクリアビット 0: STCHn.DOOW をクリアしない (初期値) 1: STCHn.DOOW をクリアする。 STCHn.DOOW をクリアすると自動で0になる リード時は、常に0。 |
| 0 | CLRDIOW | 入力データレジスタオーバーライトエラービットクリアビット 0: STCHn.DIOW をクリアしない (初期値) 1: STCHn.DIOW をクリアする。 STCHn.DIOW をクリアすると自動で0になる リード時は、常に0。 |

28.2.8 ERMCHn — エラーマスクレジスタ (n = 0 ~ 15)

本レジスタは、エラーをマスクするためのレジスタです。

| | | | | | | | | |
|---------|---|---|------------|------------|------------|------------|-------------|-------------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | MSK CER | MSK AER | MSK MER | MSK GER | MSK DOOW | MSK DIOW |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 28.10 ERMCHn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|---|
| 5 | MSKCER | カスケード丸めエラービット (STCHn.CER) マスクビット 0: カスケード丸めエラービット (STCHn.CER) をマスクしない (初期値) 1: カスケード丸めエラービット (STCHn.CER) をマスクする |
| 4 | MSKAER | 絶対値演算エラービット (STCHn.AER) マスクビット 0: 絶対値演算エラービット (STCHn.AER) をマスクしない (初期値) 1: 絶対値演算エラービット (STCHn.AER) をマスクする |
| 3 | MSKMER | 乗算エラービット (STCHn.MER) マスクビット 0: 乗算エラービット (STCHn.MER) をマスクしない (初期値) 1: 乗算エラービット (STCHn.MER) をマスクする |
| 2 | MSKGER | ガードエラービット (STCHn.GER) マスクビット 0: ガードエラービット (STCHn.GER) をマスクしない (初期値) 1: ガードエラービット (STCHn.GER) をマスクする |
| 1 | MSKDOOW | 出力データオーバーライトエラービット (STCHn.DOOW) マスクビット 0: 出力データオーバーライトエラービット (STCHn.DOOW) をマスクしない (初期値) 1: 出力データオーバーライトエラービット (STCHn.DOOW) をマスクする |
| 0 | MSKDIOW | 入力データオーバーライトエラービット (STCHn.DIOW) マスクビット 0: 入力データオーバーライトエラービット (STCHn.DIOW) をマスクしない (初期値) 1: 入力データオーバーライトエラービット (STCHn.DIOW) をマスクする |

28.2.9 TRGCHn — トリガ設定レジスタ (n = 0 ~ 15)

本レジスタは、ソフトウェアトリガ、タイマトリガを用いてトリガフラグ生成の設定をするためのレジスタです。PH 処理に対して初期化フラグ、終了フラグの両方をソフトウェアトリガに設定することは禁止です。積算/デシメーション処理に対して初期化フラグ、禁止フラグの両方をソフトウェアトリガに設定することは禁止です。禁止設定での動作の保証は行いません。チャンネル 10 ~ 15 は、PH/ 比較処理の機能を持たないため、TRGCHn.PFE、TRGCHn.PE、TRGCHn.PT の各ビットを実装していません。

| | | | | | | | | | | | | | | | | |
|---------|-----|-----|-----|----|----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | PFE | — | — | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | AFE | — | — | — | PE | — | — | PT | — | — | AE | — | AT | — | FE | FT |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 28.11 TRGCHn レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 19、18 | PFE | <p>PH 終了フラグトリガ設定ビット (チャンネル 10 ~ 15 は機能なし)</p> <p>00_B: PH 終了フラグを生成しない (初期値)</p> <p>01_B: PH 終了フラグをタイマトリガで生成する</p> <p>10_B: PH 終了フラグをソフトウェアトリガで生成する</p> <p>11_B: 禁止</p> <p>PH 初期化フラグ設定と PH 終了フラグ設定を両方ともソフトウェアトリガに設定することは禁止です (TRGCHn.PE = 10_B かつ TRGCHn.PFE = 10_B に設定することを禁止)。</p> <p>PH 終了フラグをタイマトリガで生成する (TRGCHn.PFE = 01_B) 場合、PH 終了フラグは、PH 初期化フラグタイマトリガ選択ビット (TRGCHn.PT) で選択したタイマトリガ (ATU4 タイマ D からのコンペアマッチ A 割り込み 12 本のうちの 1 本) と対 (タイマ D の同一サブブロック同一チャンネル番号) となる ATU4 からのコンペアマッチ B 割り込みが自動的に選択されます。</p> |
| 15、14 | AFE | <p>積算/デシメーション禁止フラグトリガ設定ビット</p> <p>00_B: 積算/デシメーション禁止フラグを生成しない (初期値)</p> <p>01_B: 積算/デシメーション禁止フラグをタイマトリガで生成する</p> <p>10_B: 積算/デシメーション禁止フラグをソフトウェアトリガで生成する</p> <p>11_B: 禁止</p> <p>積算/デシメーション初期化フラグ設定と積算/デシメーション禁止フラグ設定を両方ともソフトウェアトリガに設定することは禁止です (TRGCHn.AE = 10_B かつ TRGCHn.AFE = 10_B に設定することを禁止)。</p> <p>積算/デシメーション禁止フラグをタイマトリガで生成する (TRGCHn.AFE = 01_B) 場合、積算/デシメーション禁止フラグは、積算/デシメーション初期化フラグタイマトリガ選択ビット (TRGCHn.AT) で選択したタイマトリガ (ATU4 タイマ D からのコンペアマッチ A 割り込み 12 本のうちの 1 本) と対 (タイマ D の同一サブブロック同一チャンネル番号) となる ATU4 からのコンペアマッチ B 割り込みが自動的に選択されます。</p> |

表 28.11 TRGCHn レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 11、10 | PE | PH 初期化フラグトリガ設定ビット 00 _B : PH 初期化フラグを生成しない (初期値) 01 _B : PH 初期化フラグをタイマトリガで生成する 10 _B : PH 初期化フラグをソフトウェアトリガで生成する 11 _B : 禁止 PH 初期化フラグ設定と PH 終了フラグ設定を両方ともソフトウェアトリガに設定することは禁止です (TRGCHn.PE = 10 _B かつ TRGCHn.PFE = 10 _B に設定することを禁止)。 |
| 9、8 | PT | PH 初期化フラグ、および PH 終了フラグタイマトリガ選択ビット (チャンネル 10 ~ 15 は機能なし) 00 _B : PH 初期化フラグ、および PH 終了フラグの生成をタイマトリガ 0 に選択する (初期値) 01 _B : PH 初期化フラグ、および PH 終了フラグの生成をタイマトリガ 1 に選択する 10 _B : PH 初期化フラグ、および PH 終了フラグの生成をタイマトリガ 2 に選択する 11 _B : PH 初期化フラグ、および PH 終了フラグの生成をタイマトリガ 3 に選択する PH 初期化フラグトリガ設定ビット (TRGCHn.PE) が 01 _B のとき、または、PH 終了フラグトリガ設定ビット (TRGCHn.PFE) が 01 _B のとき有効。タイマトリガ 0 ~ 3 は、PITRG.PITMTRG0 ~ PITMTRG3 で選択します。 |
| 7、6 | AE | 積算/デシメーション初期化フラグトリガ設定ビット 00 _B : 積算/デシメーション初期化フラグを生成しない (初期値) 01 _B : 積算/デシメーション初期化フラグをタイマトリガで生成する 10 _B : 積算/デシメーション初期化フラグをソフトウェアトリガで生成する 11 _B : 禁止 積算/デシメーション初期化フラグ設定と積算/デシメーション禁止フラグ設定を両方ともソフトウェアトリガに設定することは禁止です (TRGCHn.AE = 10 _B かつ TRGCHn.AFE = 10 _B に設定することを禁止)。 |
| 5、4 | AT | 積算/デシメーション初期化フラグ、および 積算/デシメーション禁止フラグタイマトリガ選択ビット 00 _B : 積算/デシメーション初期化フラグおよび 積算/デシメーション禁止フラグの生成にタイマトリガ 0 を使用する (初期値) 01 _B : 積算/デシメーション初期化フラグおよび 積算/デシメーション禁止フラグの生成にタイマトリガ 1 を使用する 10 _B : 積算/デシメーション初期化フラグおよび 積算/デシメーション禁止フラグの生成にタイマトリガ 2 を使用する 11 _B : 積算/デシメーション初期化フラグおよび 積算/デシメーション禁止フラグの生成にタイマトリガ 3 を使用する 積算/デシメーション初期化フラグトリガ設定ビット (TRGCHn.AE) が 01 _B のとき、または、積算/デシメーション禁止フラグトリガ設定ビット (TRGCHn.AFE) が 01 _B のとき有効。タイマトリガ 0 ~ 3 は、MITRG.MITMTRG0 ~ MITMTRG3 で選択します。 |
| 3、2 | FE | フィルタ初期化フラグトリガ設定ビット 00 _B : フィルタ初期化フラグを生成しない (初期値) 01 _B : フィルタ初期化フラグをタイマトリガで生成する 10 _B : フィルタ初期化フラグをソフトウェアトリガで生成する 11 _B : 禁止 |
| 1、0 | FT | フィルタ初期化フラグタイマトリガ選択ビット 00 _B : フィルタ初期化フラグの生成にタイマトリガ 0 を使用する (初期値) 01 _B : フィルタ初期化フラグの生成にタイマトリガ 1 を使用する 10 _B : フィルタ初期化フラグの生成にタイマトリガ 2 を使用する 11 _B : フィルタ初期化フラグの生成にタイマトリガ 3 を使用する タイマトリガ 0 ~ 3 は、FITRG.FITMTRG0 ~ FITMTRG3 で選択します。 |

28.2.10 TRHCHn — トリガ履歴レジスタ (n = 0 ~ 15)

本レジスタは、ソフトウェアトリガ、タイマトリガとトリガフラグの実行履歴をモニターするためのレジスタです。

| | | | | | | | | |
|---------|---|---|---|------|------|-----|------|------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | PITS | PETS | MIT | METS | FITS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 28.12 TRHCH レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 4 | PITS | PH 初期化フラグ用トリガ履歴ビット (チャンネル 10 ~ 15 は機能なし) 0: PH 初期化フラグ用トリガが発生していない (初期値) PITS = 1 のとき、PH 初期化フラグの実行が完了したら 0 になる。また CTLACHn.EN を 0 に設定すると DFE 処理中の入力データがなければ 0 になる 1: PH 初期化フラグ用トリガが発生すると 1 になる |
| 3 | PETS | PH 終了フラグ用トリガ履歴ビット (チャンネル 10 ~ 15 は機能なし) 0: PH 終了フラグ用トリガが発生していない (初期値) PETS = 1 のとき、PH 終了フラグの実行が完了したら 0 になる。また CTLACHn.EN を 0 に設定すると DFE 処理中の入力データがなければ 0 になる 1: PH 終了フラグ用トリガが発生すると 1 になる |
| 2 | MIT | 積算/デシメーション初期化フラグ用トリガ履歴ビット 0: 積算/デシメーション初期化フラグ用トリガが発生していない (初期値) MIT = 1 のとき、積算/デシメーション初期化フラグの実行が完了したら 0 になる。また CTLACHn.EN を 0 に設定すると DFE 処理中の入力データがなければ 0 になる 1: 積算/デシメーション初期化フラグ用トリガが発生すると 1 になる |
| 1 | METS | 積算/デシメーション禁止フラグ用トリガ履歴ビット 0: 積算/デシメーション禁止フラグ用トリガが発生していない (初期値) METS = 1 のとき、積算/デシメーション禁止フラグの実行が完了したら 0 になる。また CTLACHn.EN を 0 に設定すると DFE 処理中の入力データがなければ 0 になる 1: 積算/デシメーション禁止フラグ用トリガが発生すると 1 になる |
| 0 | FITS | フィルタ初期化フラグ用トリガ履歴ビット 0: フィルタ初期化フラグ用トリガが発生していない (初期値) FITS = 1 のとき、フィルタ初期化フラグの実行が完了したら 0 になる。また CTLACHn.EN を 0 に設定すると DFE 処理中の入力データがなければ 0 になる 1: フィルタ初期化フラグ用トリガが発生すると 1 になる |

28.2.11 CPA ~ CPD — 比較値設定レジスタ

本レジスタは、比較演算指定時、比較演算の対象の値を設定するレジスタです。

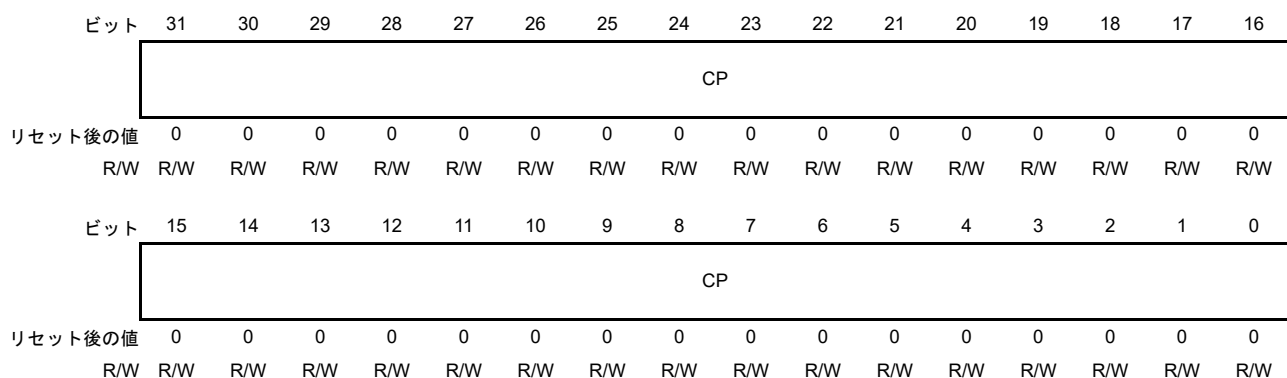
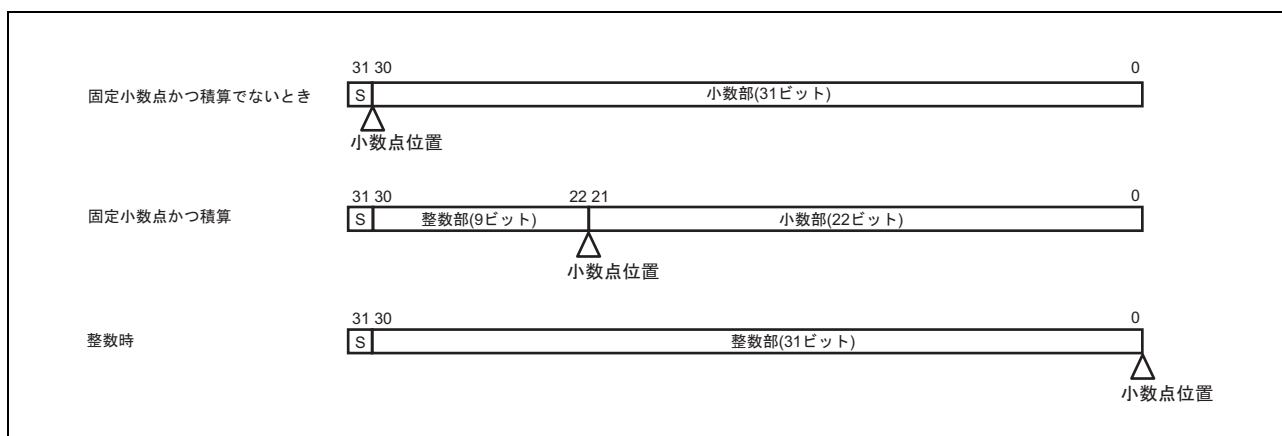


表 28.13 CPA ~ CPD レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|----------------------------|
| 31 ~ 0 | CP | 比較値ビット 比較演算指定時の比較値を設定する |



28.2.12 PHIA ~ PHID — PH 初期値設定レジスタ

本レジスタは、PH 演算指定時、PH の初期値を設定するレジスタです。

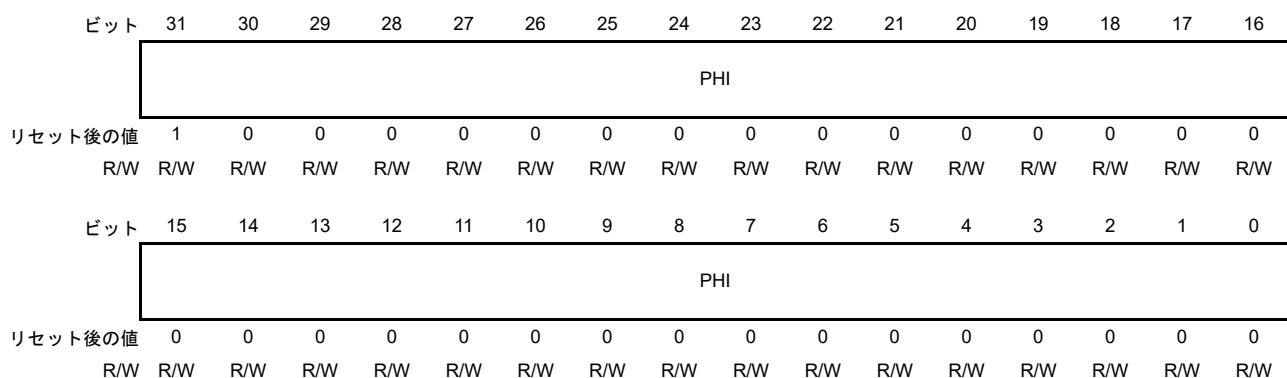
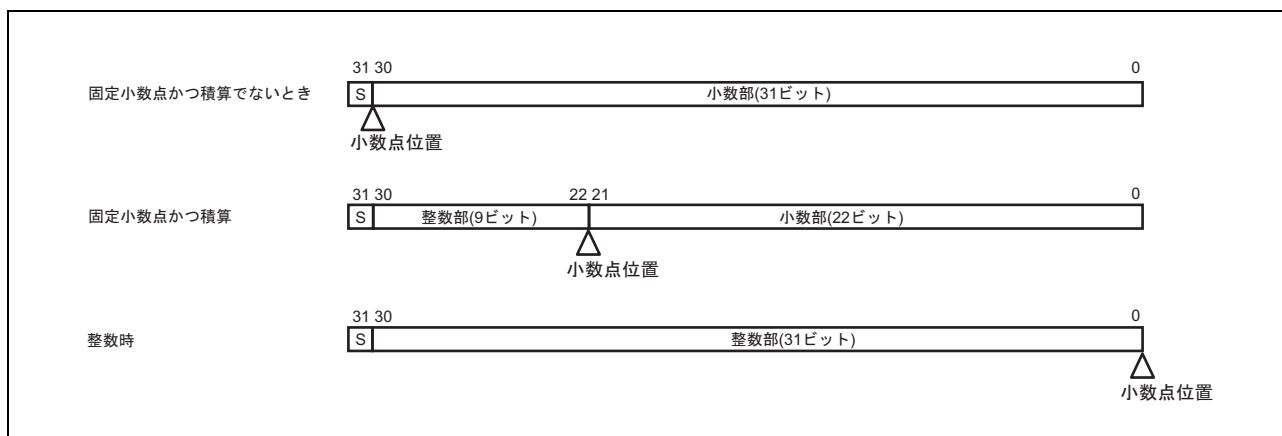


表 28.14 PHIA ~ PHID レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|--|
| 31 ~ 0 | PHI | PH 初期値ビット PH 演算指定時、PH 初期値を設定する 初期値は、負数の最小値 (8000_0000 _H) |



28.2.13 ACA ~ ACD — 積算／デシメーション回数設定レジスタ

本レジスタは、積算／デシメーション指定時、積算回数もしくはデシメーション回数を設定するレジスタです。0 ~ 511 の設定が可能です。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|---|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | AC | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 28.15 ACA ~ ACD レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 8 ~ 0 | AC | 積算時 (CTLACHn.PRCSA = 10 _B) 積算回数設定レジスタ 000 _H : 積算処理しない ^{注1} (初期値) 001 _H : 1回積算する。2回のフィルタ処理結果を加算して積算回路から出力する 002 _H : 2回積算する。3回のフィルタ処理結果を加算して積算回路から出力する ... 1FF _H : 511回積算する。512回のフィルタ結果を加算して積算回路から出力する デシメーション時 (CTLACHn.PRCSA = 10 _B) デシメーション回数設定レジスタ 000 _H : デシメーション処理しない (初期値) 001 _H : 1回デシメーションする。2回のフィルタ処理結果に1回出力する 002 _H : 2回デシメーションする。3回のフィルタ処理結果に1回出力する ... 1FF _H : 511回デシメーションする。512回のフィルタ処理結果に1回出力する |

注 1. ただし、積算時の右算術シフトは実行するので、積算回路に入力したデータのデータフォーマットは、(1.31) データフォーマットから (10.22) データフォーマットとなります。

28.2.14 DI — ソフトウェア入力データレジスタ

本レジスタは、CPU/DMA を用いて周辺バスから DFE に処理対象データを入力する（以降、ソフトウェア入力）ためのレジスタです。本レジスタにライトアクセスすると、DFE 起動を行います。

| | | | | | | | | | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | TAG | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DI | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 28.16 DI レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------|---|
| 19 ~ 16 | TAG | ソフトウェア入力タグ 0 _H ~ F _H : 割り当てるチャンネルタグ (CTLCHn.TAG) と同一の値を設定します |
| 15 ~ 0 | DI | ソフトウェア入力データ 割り当てるチャンネルの入力データフォーマットでフィルタ対象データを設定します。対応フォーマットは固定小数点 (1.31) もしくは、整数フォーマットです。割り当てるチャンネルのデータフォーマットで設定してください。 (CTLCHn.FMT = 0 のとき、固定小数点フォーマット、CTLCHn.FMT = 1 のとき、整数フォーマットで設定してください) |

28.2.15 TRG — ソフトウェアトリガレジスタ

CPU/DMA を用いて周辺バスから本レジスタをライトすることで、ソフトウェアトリガを発生するためのレジスタです。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | TRGA |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 28.17 TRG レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 0 | TRGA | ソフトウェアトリガ発生ビット 0: ソフトウェアトリガを発生しない 1: ソフトウェアトリガを発生する 1 を書くことで、ソフトウェアトリガを発生します。ソフトウェアトリガを発生したら、自動で 0 になります。 リード時は常に 0 です。 |

28.2.16 ST — DFE ステータスレジスタ

本レジスタは、DFE のステータスを示すレジスタです。STCHn.VALID、と STCHn の各エラービットの論理和で構成しています。DFE がエラー割り込み要求を出力したときに、CPU により、エラー発生チャンネルをモニターするための使用を想定しています。

| | | | | | | | | | | | | | | | | |
|---------|-------|-------|-------|-------|-------|-------|------|------|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | CH15S | CH14S | CH13S | CH12S | CH11S | CH10S | CH9S | CH8S | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CH7S | CH6S | CH5S | CH4S | CH3S | CH2S | CH1S | CH0S | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 28.18 ST レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------------|------|---|
| bit 2*n+1-2*n | CHnS | チャンネル n ステータスビット ({STCHn.VALID、 (STCHn.ERR) }) 00 _B : 入力データレジスタ無効、エラーなし (初期値) 01 _B : 入力データレジスタ無効、エラーあり 10 _B : 入力データレジスタ有効、エラーなし 11 _B : 入力データレジスタ有効、エラーあり |

28.2.17 PITRG — PH 初期化/終了用タイマトリガ選択レジスタ

本レジスタは、PH 初期化フラグ、および PH 終了フラグタイマトリガ選択ビット (TRGCHn.PT) で選択するタイマトリガ 0 ~ 3 を ATU4 / タイマ D のコンペアマッチ A/B (12 本) から選択するレジスタです。

PH 初期化フラグにはコンペアマッチ A が選択され、PH 終了フラグには、同一チャンネルのコンペアマッチ B が選択されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----------|-----|-----|-----|-----|----|----|----------|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | PITMTRG3 | | | | — | — | — | PITMTRG2 | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R/W | R | R | R | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | PITMTRG1 | | | | — | — | — | PITMTRG0 | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R/W | R | R | R | R/W | R/W | R/W | R/W | R/W |

表 28.19 PITRG レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|----------|---|
| 28 ~ 24 | PITMTRG3 | PH 初期化/終了フラグ用タイマトリガ 3 0000 _B : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 0) を使用する。(初期値) 0000 _{1B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 1) を使用する。 0001 _{0B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 2) を使用する。 0001 _{1B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 3) を使用する。 0010 _{0B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 2 チャンネル 0) を使用する。 0010 _{1B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 2 チャンネル 1) を使用する。 0011 _{0B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 2 チャンネル 2) を使用する。 0011 _{1B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 2 チャンネル 3) を使用する。 0100 _{0B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 4 チャンネル 0) を使用する。 0100 _{1B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 4 チャンネル 1) を使用する。 0101 _{0B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 4 チャンネル 2) を使用する。 0101 _{1B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 4 チャンネル 3) を使用する。 0110 _B ~ 1111 _B : 設定禁止 |
| 20 ~ 16 | PITMTRG2 | PH 初期化/終了フラグ用タイマトリガ 2 0000 _B : タイマトリガ 2 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 0) を使用する。(初期値) 0000 _{1B} : タイマトリガ 2 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 1) を使用する。 0001 _{0B} : タイマトリガ 2 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 2) を使用する。 0101 _{1B} : タイマトリガ 2 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 4 チャンネル 3) を使用する。 0110 _B ~ 1111 _B : 設定禁止 |

表 28.19 PITRG レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|--------|----------|--|
| 12 ~ 8 | PITMTRG1 | PH 初期化/終了フラグ用タイマトリガ 1 0000 _B : タイマトリガ 1 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 0) を使用する。(初期値) 00001 _B : タイマトリガ 1 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 1) を使用する。 00010 _B : タイマトリガ 1 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 2) を使用する。 01011 _B : タイマトリガ 1 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 4 チャンネル 3) を使用する。 01100 _B ~ 11111 _B : 設定禁止 |
| 4 ~ 0 | PITMTRG0 | PH 初期化/終了フラグ用タイマトリガ 0 0000 _B : タイマトリガ 0 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 0) を使用する。(初期値) 00001 _B : タイマトリガ 0 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 1) を使用する。 00010 _B : タイマトリガ 0 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 2) を使用する。 01011 _B : タイマトリガ 0 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 4 チャンネル 3) を使用する。 01100 _B ~ 11111 _B : 設定禁止 |

28.2.18 MITRG — 積算/デシメーション初期化/禁止用タイマトリガ選択レジスタ

本レジスタは、積算/デシメーション初期化フラグ、および積算/デシメーション禁止フラグタイマトリガ選択ビット (TRGCHn.AT) で選択するタイマトリガ 0～3 を ATU4 / タイマ D のコンペアマッチ A/B (12 本) から選択するレジスタです。

積算/デシメーション初期化フラグにはコンペアマッチ A が選択され、積算/デシメーション禁止フラグには、同一チャンネルのコンペアマッチ B が選択されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----------|-----|-----|-----|-----|----|----|----------|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | MITMTRG3 | | | | — | — | — | MITMTRG2 | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R/W | R | R | R | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | MITMTRG1 | | | | — | — | — | MITMTRG0 | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R/W | R | R | R | R/W | R/W | R/W | R/W | R/W |

表 28.20 MITRG レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 28～24 | MITMTRG3 | 積算/デシメーション初期化/禁止フラグ用タイマトリガ 3 0000 _B : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 0) を使用する。(初期値) 0000 _{1B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 1) を使用する。 0001 _{0B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 2) を使用する。 0001 _{1B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 3) を使用する。 0010 _{0B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 2 チャンネル 0) を使用する。 0010 _{1B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 2 チャンネル 1) を使用する。 0011 _{0B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 2 チャンネル 2) を使用する。 0011 _{1B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 2 チャンネル 3) を使用する。 0100 _{0B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 4 チャンネル 0) を使用する。 0100 _{1B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 4 チャンネル 1) を使用する。 0101 _{0B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 4 チャンネル 2) を使用する。 0101 _{1B} : タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 4 チャンネル 3) を使用する。 0110 _{0B} ～1111 _{1B} : 設定禁止 |
| 20～16 | MITMTRG2 | 積算/デシメーション初期化/禁止フラグ用タイマトリガ 2 0000 _B : タイマトリガ 2 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 0) を使用する。(初期値) 0000 _{1B} : タイマトリガ 2 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 1) を使用する。 0001 _{0B} : タイマトリガ 2 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 2) を使用する。 0101 _{1B} : タイマトリガ 2 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 4 チャンネル 3) を使用する。 0110 _{0B} ～1111 _{1B} : 設定禁止 |

表 28.20 MITRG レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|--------|----------|---|
| 12 ~ 8 | MITMTRG1 | 積算/デシメーション初期化/禁止フラグ用タイマトリガ 1 0000 _B : タイマトリガ 1 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 0) を使用する。(初期値) 0000 _{1B} : タイマトリガ 1 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 1) を使用する。 0001 _{0B} : タイマトリガ 1 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 2) を使用する。 0101 _{1B} : タイマトリガ 1 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 4 チャンネル 3) を使用する。 0110 _{0B} ~ 1111 _{1B} : 設定禁止 |
| 4 ~ 0 | MITMTRG0 | 積算/デシメーション初期化/禁止フラグ用タイマトリガ 0 0000 _B : タイマトリガ 0 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 0) を使用する。(初期値) 0000 _{1B} : タイマトリガ 0 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 1) を使用する。 0001 _{0B} : タイマトリガ 0 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 0 チャンネル 2) を使用する。 0101 _{1B} : タイマトリガ 0 に ATU4 / タイマ D コンペアマッチ A/B (サブブロック 4 チャンネル 3) を使用する。 0110 _{0B} ~ 1111 _{1B} : 設定禁止 |

28.2.19 FITRG — フィルタ初期化用タイマトリガ選択レジスタ

本レジスタは、フィルタ初期化フラグタイマトリガ選択ビット (TRGCHn.FT) で選択するタイマトリガ 0～3 を ATU4 / タイマ D のコンペアマッチ A (12 本) から選択するレジスタです。

| | | | | | | | | | | | | | | | | | | |
|---------|----|----|----|----------|-----|-----|-----|-----|----|----|----|-----|----------|-----|-----|-----|--|--|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | | |
| | — | — | — | FITMTRG3 | | | | | | — | — | — | FITMTRG2 | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R/W | R | R | R | R/W | R/W | R/W | R/W | R/W | | |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| | — | — | — | FITMTRG1 | | | | | | — | — | — | FITMTRG0 | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R/W | R | R | R | R/W | R/W | R/W | R/W | R/W | | |

表 28.21 FITRG レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 28～24 | FITMTRG3 | フィルタ初期化用タイマトリガ 3 0000 _B : フィルタ初期化用タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A (サブブロック 0 チャンネル 0) を使用する。(初期値) 0000 _{1B} : フィルタ初期化用タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A (サブブロック 0 チャンネル 1) を使用する。 0001 _{0B} : フィルタ初期化用タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A (サブブロック 0 チャンネル 2) を使用する。 0001 _{1B} : フィルタ初期化用タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A (サブブロック 0 チャンネル 3) を使用する。 0010 _{0B} : フィルタ初期化用タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A (サブブロック 2 チャンネル 0) を使用する。 0010 _{1B} : フィルタ初期化用タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A (サブブロック 2 チャンネル 1) を使用する。 0011 _{0B} : フィルタ初期化用タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A (サブブロック 2 チャンネル 2) を使用する。 0011 _{1B} : フィルタ初期化用タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A (サブブロック 2 チャンネル 3) を使用する。 0100 _{0B} : フィルタ初期化用タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A (サブブロック 4 チャンネル 0) を使用する。 0100 _{1B} : フィルタ初期化用タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A (サブブロック 4 チャンネル 1) を使用する。 0101 _{0B} : フィルタ初期化用タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A (サブブロック 4 チャンネル 2) を使用する。 0101 _{1B} : フィルタ初期化用タイマトリガ 3 に ATU4 / タイマ D コンペアマッチ A (サブブロック 4 チャンネル 3) を使用する。 0110 _B ～1111 _B : 設定禁止 |
| 20～16 | FITMTRG2 | フィルタ初期化用タイマトリガ 2 0000 _B : フィルタ初期化用タイマトリガ 2 に ATU4 / タイマ D コンペアマッチ A (サブブロック 0 チャンネル 0) を使用する。(初期値) 0000 _{1B} : フィルタ初期化用タイマトリガ 2 に ATU4 / タイマ D コンペアマッチ A (サブブロック 0 チャンネル 1) を使用する。 0001 _{0B} : フィルタ初期化用タイマトリガ 2 に ATU4 / タイマ D コンペアマッチ A (サブブロック 0 チャンネル 2) を使用する。 0101 _{1B} : フィルタ初期化用タイマトリガ 2 に ATU4 / タイマ D コンペアマッチ A (サブブロック 4 チャンネル 3) を使用する。 0110 _B ～1111 _B : 設定禁止 |

表 28.21 FITMTRG レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|--------|----------|---|
| 12 ~ 8 | FITMTRG1 | フィルタ初期化用タイマトリガ 1 00000 _B : フィルタ初期化用タイマトリガ 1 に ATU4 / タイマ D コンペアマッチ A (サブブロック 0 チャンネル 0) を使用する。(初期値) 00001 _B : フィルタ初期化用タイマトリガ 1 に ATU4 / タイマ D コンペアマッチ A (サブブロック 0 チャンネル 1) を使用する。 00010 _B : フィルタ初期化用タイマトリガ 1 に ATU4 / タイマ D コンペアマッチ A (サブブロック 0 チャンネル 2) を使用する。 01011 _B : フィルタ初期化用タイマトリガ 1 に ATU4 / タイマ D コンペアマッチ A (サブブロック 4 チャンネル 3) を使用する。 01100 _B ~ 11111 _B : 設定禁止 |
| 4 ~ 0 | FITMTRG0 | フィルタ初期化用タイマトリガ 0 00000 _B : フィルタ初期化用タイマトリガ 0 に ATU4 / タイマ D コンペアマッチ A (サブブロック 0 チャンネル 0) を使用する。(初期値) 00001 _B : フィルタ初期化用タイマトリガ 0 に ATU4 / タイマ D コンペアマッチ A (サブブロック 0 チャンネル 1) を使用する。 00010 _B : フィルタ初期化用タイマトリガ 0 に ATU4 / タイマ D コンペアマッチ A (サブブロック 0 チャンネル 2) を使用する。 01011 _B : フィルタ初期化用タイマトリガ 0 に ATU4 / タイマ D コンペアマッチ A (サブブロック 4 チャンネル 3) を使用する。 01100 _B ~ 11111 _B : 設定禁止 |

28.2.20 PHUPDCn — PH 更新通知設定レジスタ n (n = 0、1)

本レジスタは、PH 処理により PH 結果レジスタの更新通知を設定するレジスタです。

PHUPDC0 と PHUPDC1 それぞれで、PH 機能を持つチャンネル 0 ～ 9 から 1 チャンネルが選択可能です。設定した更新通知は、ATU4 へ出力します。

| | | | | | | | | |
|---------|---------|-----|-----|-----|---|---|---|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PHUPDCH | | | | — | — | — | OEPHUPD |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R | R | R | R/W |

表 28.22 PHUPDCn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 7 ～ 4 | PHUPDCH | PH 結果レジスタ更新通知チャンネル選択 0 _H : チャンネル 0 の PH 結果レジスタ更新を通知対象とする。(初期値) 1 _H : チャンネル 1 の PH 結果レジスタ更新を通知対象とする。 2 _H : チャンネル 2 の PH 結果レジスタ更新を通知対象とする。 ... 9 _H : チャンネル 9 の PH 結果レジスタ更新を通知対象とする。 A _H ～ F _H : 設定禁止 |
| 0 | OEPHUPD | PH 結果レジスタ更新通知許可 0 _B : 選択したチャンネルが PH 結果レジスタを更新したときの通知を禁止。 (初期値) 1 _B : 選択したチャンネルが PH 結果レジスタを更新したときの通知を許可。 |

28.3 動作説明

28.3.1 動作概要

DFE は、 $\Delta\Sigma$ ADC または ADC (以降、AD) の出力データを取り込み、そのデータに対してフィルタ (FIR もしくは IIR) 処理、積算/デシメーション処理、PH / 比較演算処理、浮動小数点変換処理を行います。

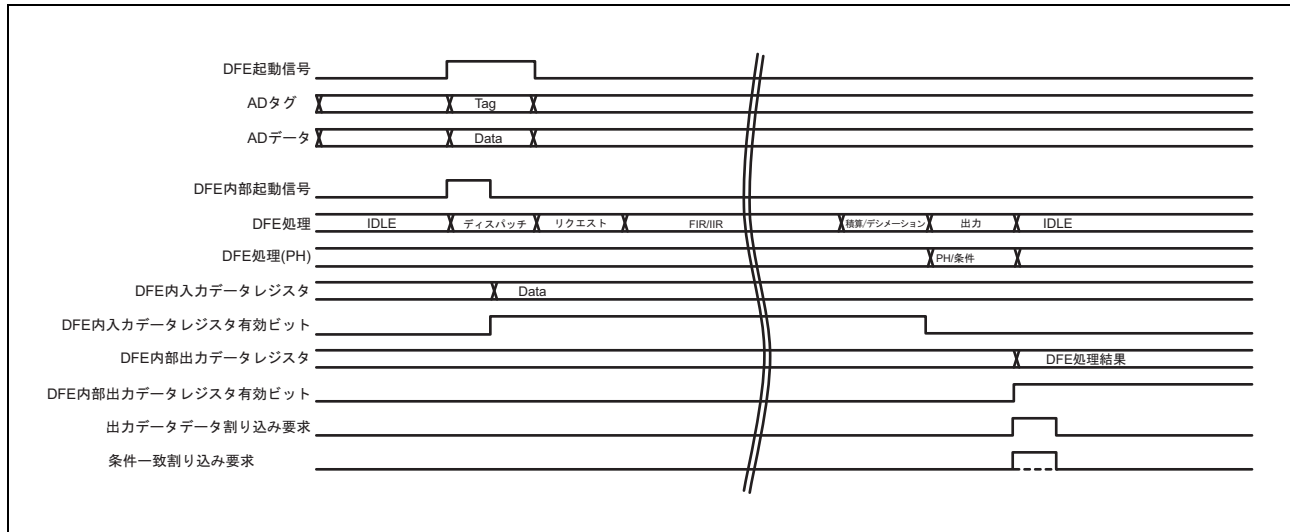


図 28.5 動作概要

AD は、DFE 起動信号、AD タグ、AD 変換データ (AD データ) を DFE に入力します。DFE は、AD データを DFE 内入力データレジスタに取り込み、ディスパッチ処理、リクエスト処理、FIR/IIR 処理、積算/デシメーション処理、出力処理、PH / 比較処理を行い、出力データレジスタに DFE 処理結果をライトします。

- ディスパッチ：**
 AD からの AD タグと DFE の制御レジスタの設定値を使用して、対応するチャネルの入力データレジスタにライトします。ライト時、入力データレジスタを有効にします
- リクエスト：**
 16 チャネルの入力データレジスタから、FIR/IIR 処理を行うデータの調停を行い、FIR/IIR 処理にフィルタ処理対象データを入力します
- FIR/IIR 処理 (フィルタ処理)：**
 FIR もしくは IIR のフィルタ演算を行います。フィルタ演算の係数データ、中間値格納用にメモリを使用します
- 積算/デシメーション：**
 FIR/IIR 結果に対して積算処理もしくはデシメーション処理を行います。積算/デシメーション処理実行後、入力データレジスタを無効にします
- 出力処理：**
 積算/デシメーション処理結果を対応するチャネルの出力データレジスタにライトします。ライト時、出力データレジスタを有効にし、出力データ割り込み要求を行います。
- PH / 比較処理：**
 積算/デシメーション処理結果に対して PH 処理もしくは比較処理を行います。PH 処理時は、PH 終了トリガが有効となったとき、比較処理時は、比較演算の結果が真のとき、条件一致割り込み要求を行います

28.3.2 動作手順

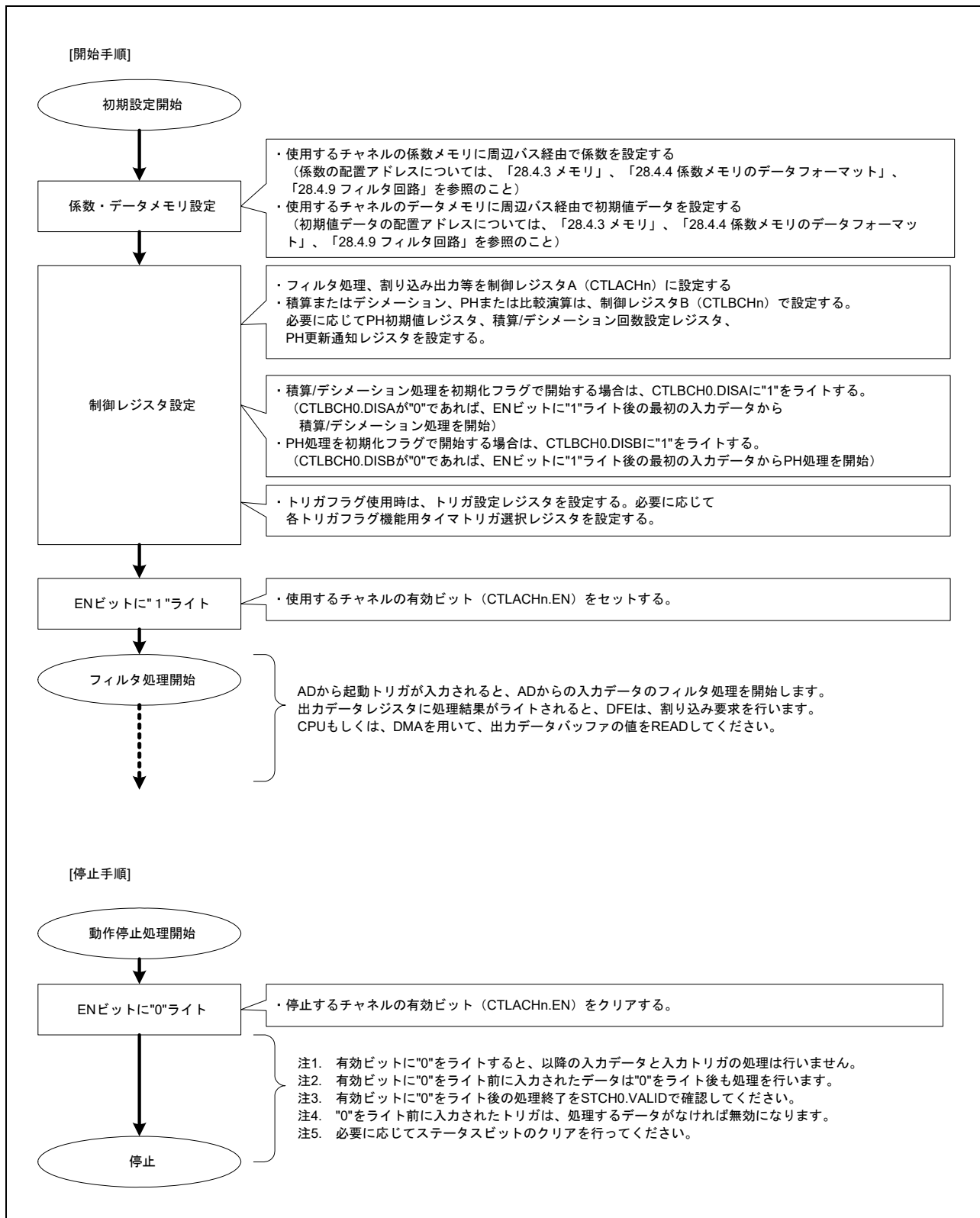


図 28.6 開始、停止手順

28.3.3 エラー処理手順

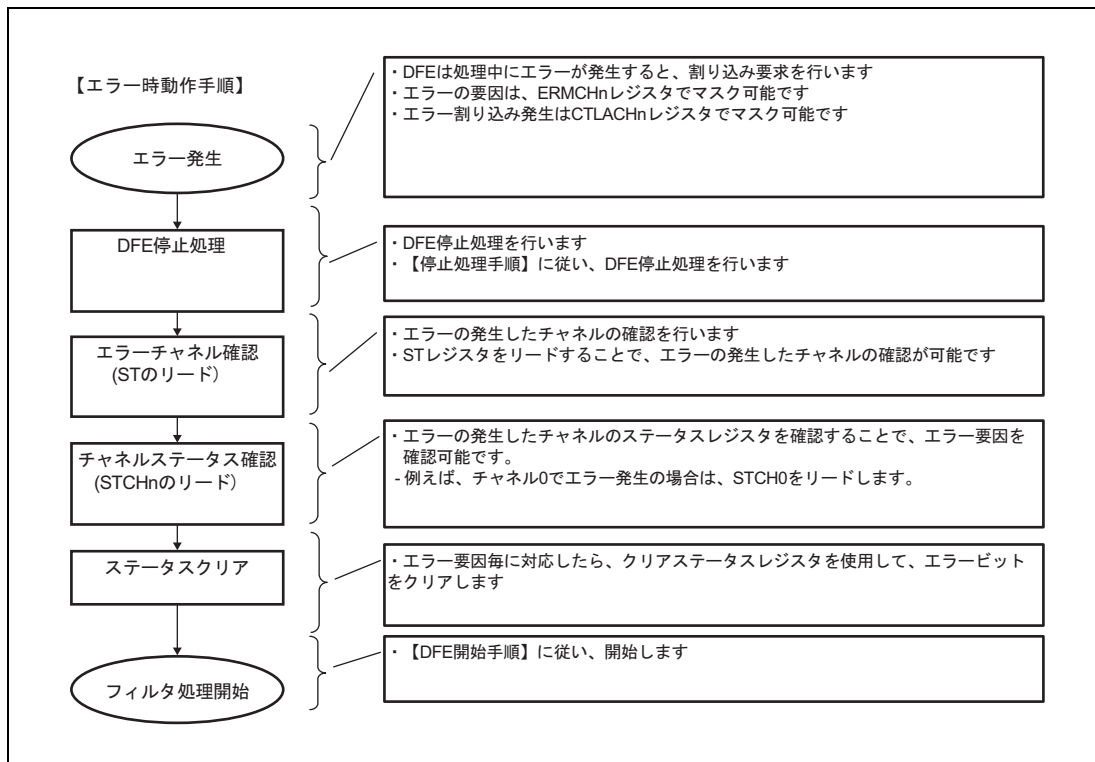


図 28.7 エラー時動作手順

28.4 詳細

28.4.1 データフロー

DFE のデータフローとブロックの概要を図 28.8 に示します。

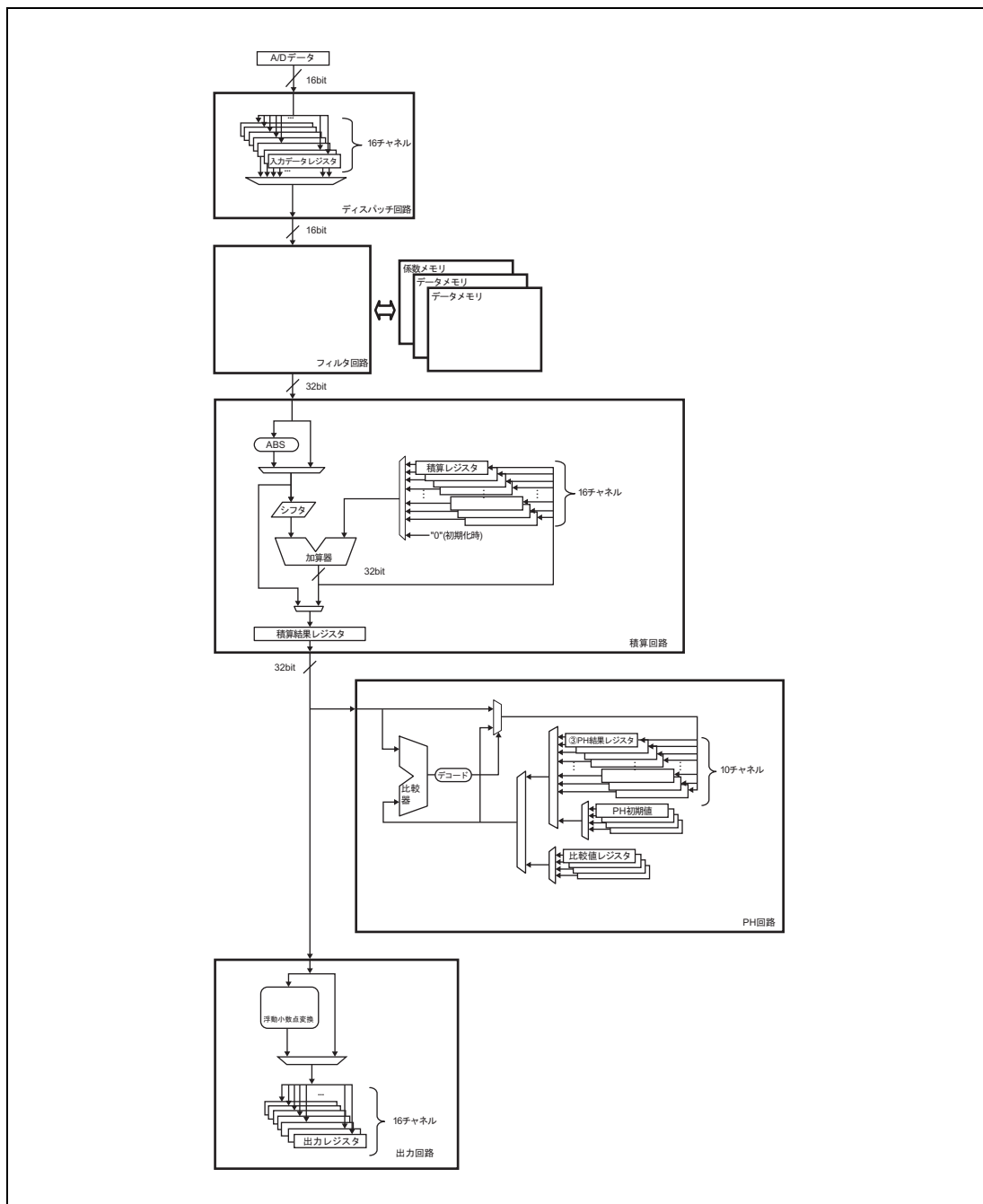


図 28.8 データフロー

28.4.2 メモリマップ

DFE のメモリマップを **図 28.9** に示します。

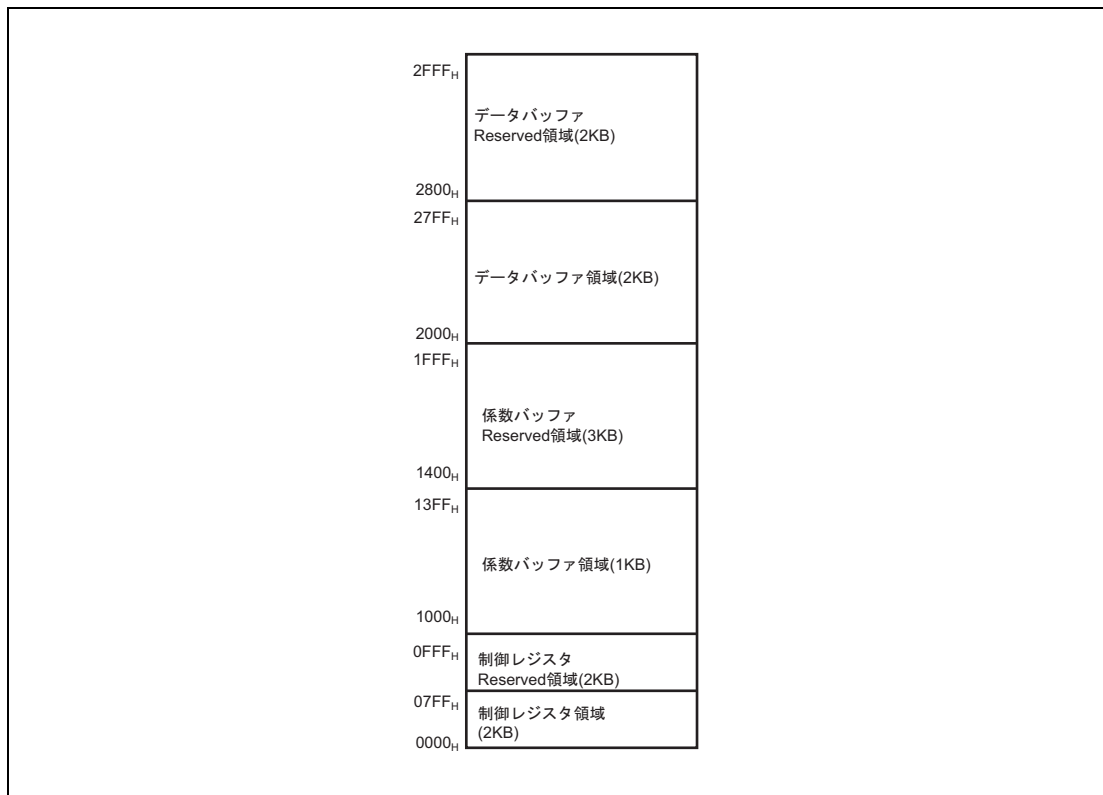


図 28.9 メモリマップ

28.4.3 メモリ

フィルタ処理に必要な係数は係数メモリ (CMEM) に格納し、FIR 時の入力データ、IIR 時の中間データ、IIR 時の初期値はデータメモリに格納します。これらは、チャンネルごとに領域を持ちます。

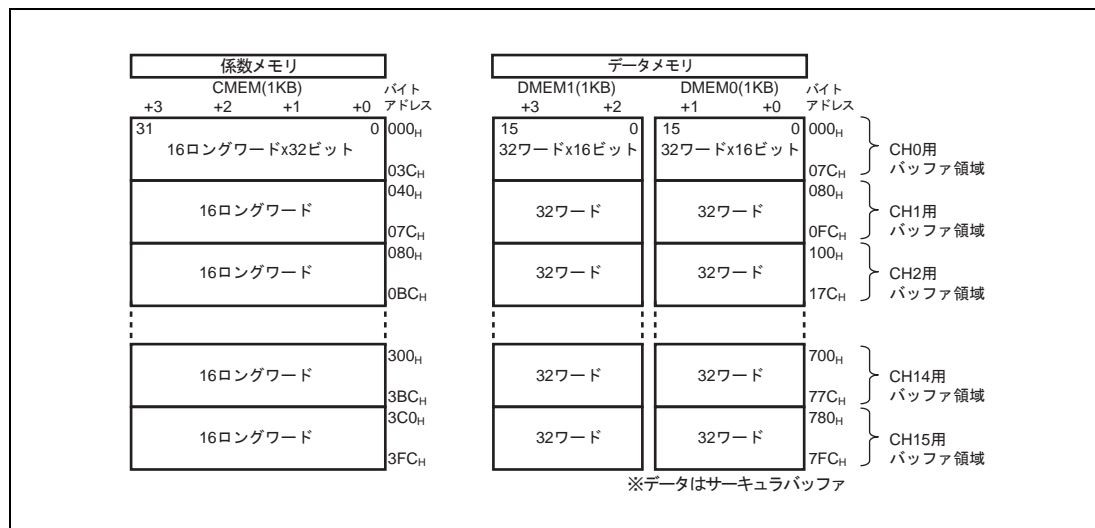


図 28.10 メモリ使用方法

28.4.4 係数メモリのデータフォーマット

係数メモリのデータフォーマットを図 28.11 に示します。

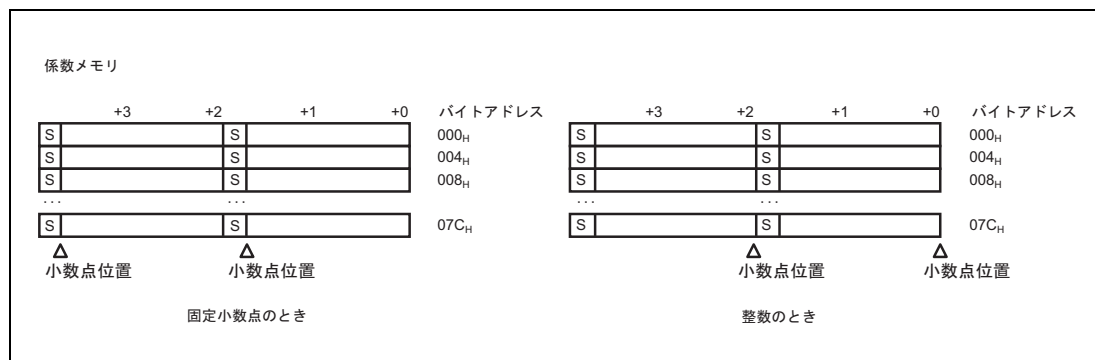


図 28.11 係数メモリ的小数点位置

28.4.5 データメモリのデータフォーマット

データメモリ内のデータの小数点位置を図 28.12 に示します。

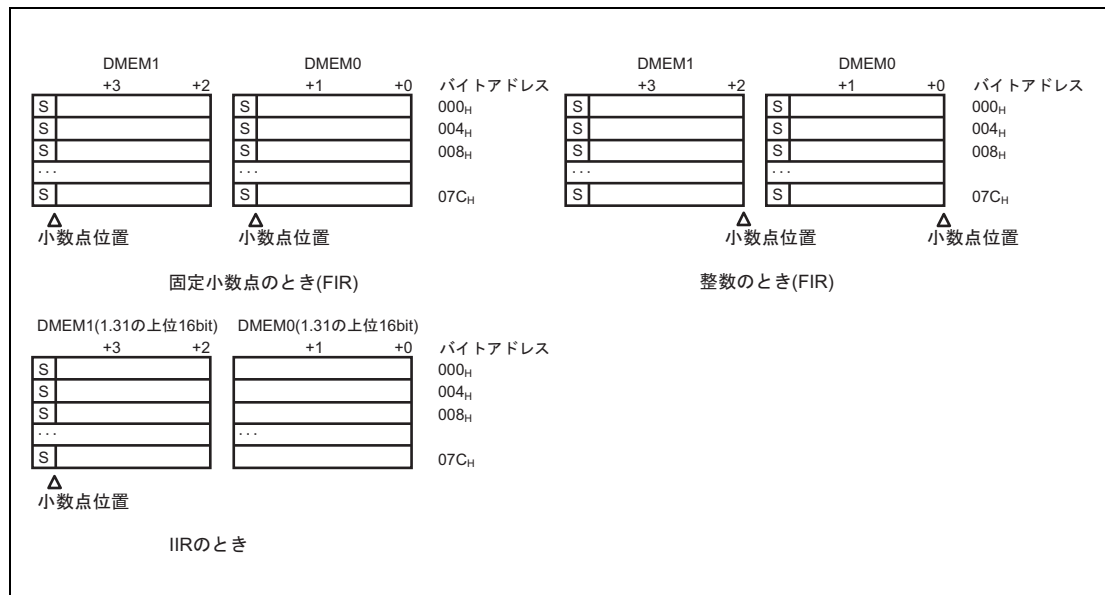


図 28.12 データメモリの小数点位置

28.4.6 制御レジスタの設定

28.4.6.1 FIR (固定小数点)

制御レジスタ A (CTLACHn) で、FIR かつ固定小数点フォーマット指定を行ったときの、制御レジスタ A と制御レジスタ B (CTLBCHn) で選択できる演算、カスケード指定の組み合わせを下記に示します。積算を指定したチャンネルでは、カスケード機能を使用しないでください。

表 28.23 FIR (固定小数点)

| 入力フォーマット | フィルタ | 積算 デシメーション指定 | PH・比較 指定 | 浮動小数点 変換指定有無 | 実行 可否 (結果) | カスケード 指定 (出力) 注1 |
|-----------------|------|-----------------|-------------|-----------------|---------------|---------------------|
| 固定小数点 (1.15) | FIR | 積算 | PH | 変換指定 | OK (浮動小数点) | NG |
| | | | | 変換指定なし | OK (10.22) | NG |
| | | | 比較 | 変換指定 | OK (浮動小数点) | NG |
| | | | | 変換指定なし | OK (10.22) | NG |
| | | | なし | 変換指定 | OK (浮動小数点) | NG |
| | | | | 変換指定なし | OK (10.22) | NG |
| | | デシメーション | PH | 変換指定 | OK (浮動小数点) | OK (1.15) |
| | | | | 変換指定なし | OK (1.31) | OK (1.15) |
| | | | 比較 | 変換指定 | OK (浮動小数点) | OK (1.15) |
| | | | | 変換指定なし | OK (1.31) | OK (1.15) |
| | | | なし | 変換指定 | OK (浮動小数点) | OK (1.15) |
| | | | | 変換指定なし | OK (1.31) | OK (1.15) |
| | | なし | PH | 変換指定 | OK (浮動小数点) | OK (1.15) |
| | | | | 変換指定なし | OK (1.31) | OK (1.15) |
| | | | 比較 | 変換指定 | OK (浮動小数点) | OK (1.15) |
| | | | | 変換指定なし | OK (1.31) | OK (1.15) |
| | | | なし | 変換指定 | OK (浮動小数点) | OK (1.15) |
| | | | | 変換指定なし | OK (1.31) | OK (1.15) |

注 1. NG のときの設定は禁止です。OK のとき、カスケード先のチャンネルの入力データフォーマットの設定は、固定小数点の設定を行ってください。

28.4.6.2 FIR (整数)

制御レジスタ A (CTLACHn) で、FIR かつ、整数フォーマット指定を行ったときの、制御レジスタ A と制御レジスタ B (CTLBCHn) で選択できる演算、カスケードの組み合わせを下記に示します。整数指定時のフィルタ処理は、FIR のみ実行可能です。また、浮動小数点変換の指定はしないでください。

表 28.24 FIR (整数)

| 入力フォーマット | フィルタ | 積算 デシメーション指定 | PH・比較 指定 | 浮動小数点 変換指定有無 | 実行 可否 (結果) 注1 | カスケード 指定 (出力) 注2 |
|------------------|------|-----------------|-------------|-----------------|------------------|---------------------|
| 整数 (16bit 整数) | FIR | 積算 | PH | 変換指定 | NG | NG |
| | | | | 変換指定なし | NG | NG |
| | | | 比較 | 変換指定 | NG | NG |
| | | | | 変換指定なし | NG | NG |
| | | | なし | 変換指定 | NG | NG |
| | | | | 変換指定なし | NG | NG |
| | | デシメーション | PH | 変換指定 | NG | OK (16bit 整数) |
| | | | | 変換指定なし | OK (32bit 整数) | OK (16bit 整数) |
| | | | 比較 | 変換指定 | NG | OK (16bit 整数) |
| | | | | 変換指定なし | OK (32bit 整数) | OK (16bit 整数) |
| | | | なし | 変換指定 | NG | OK (16bit 整数) |
| | | | | 変換指定なし | OK (32bit 整数) | OK (16bit 整数) |
| | | なし | PH | 変換指定 | NG | OK (16bit 整数) |
| | | | | 変換指定なし | OK (32bit 整数) | OK (16bit 整数) |
| | | | 比較 | 変換指定 | NG | OK (16bit 整数) |
| | | | | 変換指定なし | OK (32bit 整数) | OK (16bit 整数) |
| | | | なし | 変換指定 | NG | OK (16bit 整数) |
| | | | | 変換指定なし | OK (32bit 整数) | OK (16bit 整数) |

注 1. NG のときの設定は禁止です。

注 2. NG のときの設定は禁止です。OK のとき、カスケード先のチャンネルの入力データフォーマットの設定は、整数にして使用ください。

28.4.6.3 IIR (固定小数点)

制御レジスタ A (CTLACHn) で、IIR かつ、固定小数点フォーマット指定を行ったときの、制御レジスタ A と制御レジスタ B (CTLBCHn) で選択できる演算、カスケード選択の組み合わせを下記に示します。IIR 指定時のフィルタ処理は、固定小数点フォーマットのみ実行可能です。また、積算指定時にカスケード指定は禁止です。

表 28.25 IIR

| 入力フォーマット | フィルタ | 積算 デシメーション指定 | PH・比較 指定 | 浮動小数点 変換指定有無 | 実行 可否 (結果) | カスケード 指定 (出力) 注1 |
|-----------------|------|-----------------|-------------|-----------------|---------------|---------------------|
| 固定小数点 (1.15) | IIR | 積算 | PH | 変換指定 | OK (浮動小数点) | NG |
| | | | | 変換指定なし | OK (10.22) | NG |
| | | | 比較 | 変換指定 | OK (浮動小数点) | NG |
| | | | | 変換指定なし | OK (10.22) | NG |
| | | | なし | 変換指定 | OK (浮動小数点) | NG |
| | | | | 変換指定なし | OK (10.22) | NG |
| | | デシメーション | PH | 変換指定 | OK (浮動小数点) | OK (1.15) |
| | | | | 変換指定なし | OK (1.31) | OK (1.15) |
| | | | 比較 | 変換指定 | OK (浮動小数点) | OK (1.15) |
| | | | | 変換指定なし | OK (1.31) | OK (1.15) |
| | | | なし | 変換指定 | OK (浮動小数点) | OK (1.15) |
| | | | | 変換指定なし | OK (1.31) | OK (1.15) |
| | なし | PH | 変換指定 | OK (浮動小数点) | OK (1.15) | |
| | | | | OK (1.31) | OK (1.15) | |
| | | | 比較 | 変換指定 | OK (浮動小数点) | OK (1.15) |
| | | | | 変換指定なし | OK (1.31) | OK (1.15) |
| なし | | 変換指定 | OK (浮動小数点) | OK (1.15) | | |
| | | | OK (1.31) | OK (1.15) | | |
| | | 変換指定なし | OK (1.31) | OK (1.15) | | |
| | | | OK (1.31) | OK (1.15) | | |

注1. OK のとき、カスケード先のチャンネルの入力データフォーマットの設定は、固定小数点フォーマットに設定してください。NG のときは禁止です。

28.4.7 トリガ制御

28.4.7.1 タイマトリガ入力

DFE は、ATU4 タイマ D のコンペアマッチ A 割り込み xy ($x=0, 2, 4, y=0 \sim 3$) とコンペアマッチ B 割り込み xy ($x=0, 2, 4, y=0 \sim 3$) の計 24 本をタイマトリガとして使用します。

コンペアマッチ A 割り込みは、3 つのトリガフラグ機能（積算/デシメーション初期化フラグ、PH 初期化フラグ、フィルタ初期化フラグ）ごとに PH 初期化用タイマトリガ選択レジスタ（PITRG）、積算初期化用タイマトリガ選択レジスタ（MITRG）、フィルタ初期化用タイマトリガ選択レジスタ（FITRG）でそれぞれ 4 本選択し、フラグ機能ごとのタイマトリガ 0～3 に割り付けます。

積算/デシメーション初期化フラグ用に選択したコンペアマッチ A 割り込みと同一番号のコンペアマッチ B 割り込み信号が、自動的に積算/デシメーション禁止フラグ用のタイマトリガ 0～3 に割り付けられます。

また PH 初期化フラグ用に選択したコンペアマッチ A 割り込みと同一番号のコンペアマッチ B 割り込み信号が、自動的に PH 終了フラグ用のタイマトリガ 0～3 に割り付けられます。

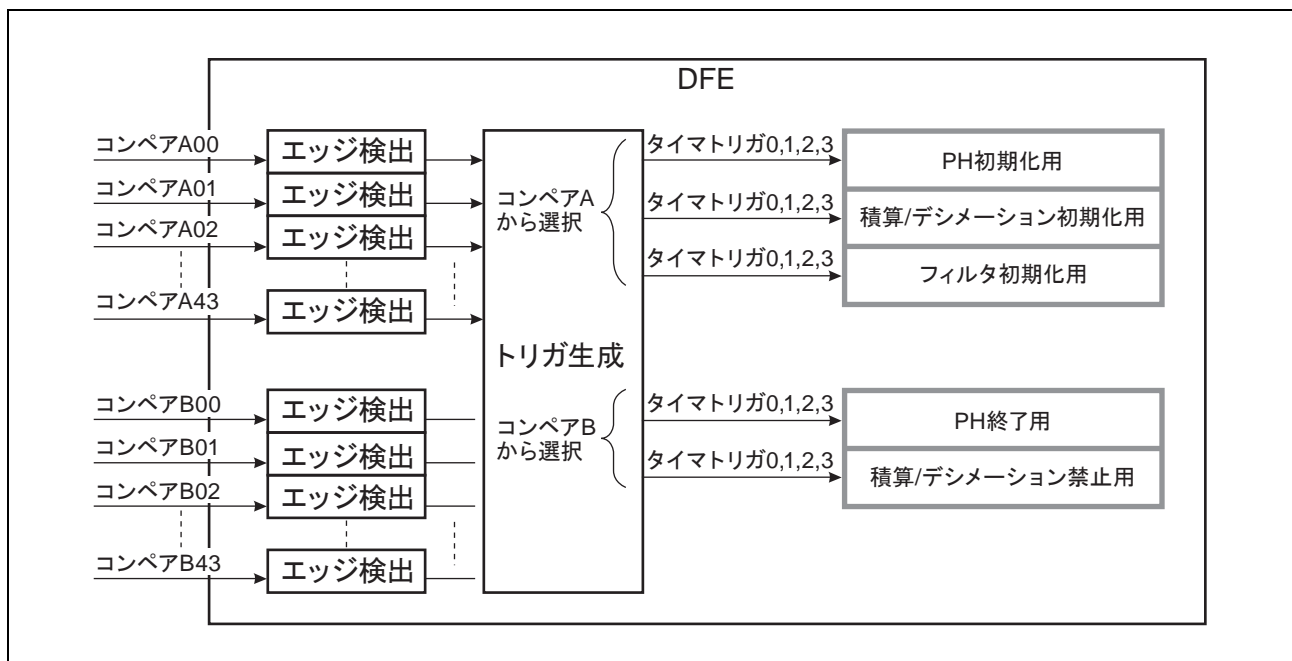


図 28.13 タイマトリガ入力

28.4.7.2 トリガフラグ機能

DFE は、チャンネル有効ビット (CTLACHn.EN) が 1 に設定されていれば、ソフトウェアトリガ、トリガフラグ機能に割り付けたタイマトリガ 0 ~ 3 と、トリガ設定レジスタ (TRGCHn) を用いて、下記の 5 つの機能のフラグをチャンネルごとに生成することができます。(このフラグをトリガフラグと呼びます)。

積算処理、デシメーション処理は、CTLBCHn.PRCSA で設定します。また PH 処理は、CTLBCHn.PRC SB で設定します。

CTLBn.DISA と CTLBn.DISB は、それぞれ積算/デシメーション処理と PH 処理が、禁止か可能かの状態を確認できます。また、DFE が処理を開始する前、つまりチャンネル無効 (CTLACHn.EN が 0) かつ処理データなし (STCHn.VALID が 0) であれば、CTLBn.DISA と CTLBn.DISB が設定でき、処理禁止または処理可能とする事が可能です。

詳細は、「28.2.3 CTLBCHn — 制御レジスタ B (n = 0 ~ 15)」を参照してください。

表 28.26 トリガフラグ

| トリガフラグ名 | 機能 |
|------------------|--|
| 積算/デシメーション初期化フラグ | 積算/デシメーション処理中、処理可能、処理禁止のいずれの状態でも、チャンネルごとに設定したタイマトリガまたはソフトウェアトリガの入力により、積算/デシメーション初期化フラグが有効となると、以降の入力データに対して積算回路のカウンタを初期化した後、積算/デシメーション処理を行います。 |
| 積算/デシメーション禁止フラグ | 積算/デシメーション処理中または処理可能の状態、チャンネルごとに設定したタイマトリガまたはソフトウェアトリガの入力により、積算/デシメーション禁止フラグが有効となると、以降の入力データに対して積算/デシメーション処理を禁止します。 再度、積算/デシメーション処理を許可するには、積算/デシメーション初期化フラグを有効にします。 |
| PH 初期化フラグ | PH 処理中、処理可能、処理禁止のいずれの状態でも、チャンネルごとに設定したタイマトリガまたはソフトウェアトリガの入力により、PH 初期化フラグが有効となると、次の入力データはそれまでの PH 結果ではなく PH 初期値設定レジスタと比較し、以降の入力データは PH 結果と比較します。 |
| PH 終了フラグ | PH 処理中または処理可能の状態、チャンネルごとに設定したタイマトリガまたはソフトウェアトリガの入力により、PH 終了フラグが有効となると、以降の入力データに対して PH 処理を禁止します。また PH 終了フラグが有効となったとき、PH 終了割り込みが出力可能です。 再度、PH 処理を許可するには、PH 初期化フラグを有効にします。 |
| フィルタ初期化フラグ | チャンネルごとに設定したタイマトリガまたはソフトウェアトリガの入力により、フィルタ初期化フラグが有効となると、以降の入力データに対してフィルタ処理のアドレスポインタを初期化した後、FIR/IIR 処理を初期値から実行します。 |

注 1. 積算/デシメーション禁止フラグと PH 終了フラグにタイマトリガを使用する場合、タイマトリガ 0 ~ 3 は、「28.4.7.1 タイマトリガ入力」に記載のとおり、自動的に割り付けられます。

注 2. PH 初期化フラグと PH 終了フラグの機能を持つチャンネルは、チャンネル 0 ~ チャンネル 9 までとなります。

タイマトリガ、ソフトウェアトリガはチャンネルごとにトリガフラグに割り付けることが可能です。なお、積算/デシメーション禁止フラグと PH 終了フラグのタイマトリガは、自動的に割り付けられます。トリガフラグの詳細な動作については、それぞれ積算回路、PH 回路、フィルタ回路で記述します。

表 28.27 トリガフラグ設定例

| | 積算/デシメーション 初期化フラグ | 積算/デシメーション 禁止フラグ | PH 初期化フラグ | PH 禁止フラグ | フィルタ 初期化フラグ |
|----------|-----------------------|----------------------------------|-----------------------|----------------------------------|----------------|
| チャンネル 0 | タイマトリガ 0 (コンペア A0) | タイマトリガ選択で コンペア B0 を自動 割り付け | なし | なし | タイマトリガ 3 |
| チャンネル 1 | なし | なし | タイマトリガ 2 (コンペア A9) | タイマトリガ選択で コンペア B9 を自動 割り付け | ソフトウェアトリガ |
| ... | ... | ... | ... | ... | ... |
| チャンネル 9 | タイマトリガ 3 (コンペア A5) | タイマトリガ選択で コンペア B5 を自動 割り付け | なし | なし | なし |
| チャンネル 10 | タイマトリガ 1 | ソフトウェアトリガ | 機能なし | 機能なし | タイマトリガ 0 |
| ... | ... | ... | ... | ... | ... |
| チャンネル 15 | なし | なし | 機能なし | 機能なし | なし |

トリガフラグは、ソフトウェアトリガまたはタイマトリガ発生後に入力されたデータに対して有効です。

たとえば、チャンネル 0 の積算初期化フラグをタイマトリガ 0 に設定した場合、タイマトリガ発生後、チャンネル 0 の最初の入力データに対して積算処理を初期化します。

同一データを複数チャンネルで処理する場合は、処理データの一貫性を保つため、各トリガフラグのトリガ設定を同一にしてください。

たとえば、チャンネル 0、チャンネル 1 に AD0 の入力データを指定し積算初期化フラグを使用する場合は、同一の積算初期化フラグ用タイマトリガをチャンネル 0、チャンネル 1 両方に指定します。

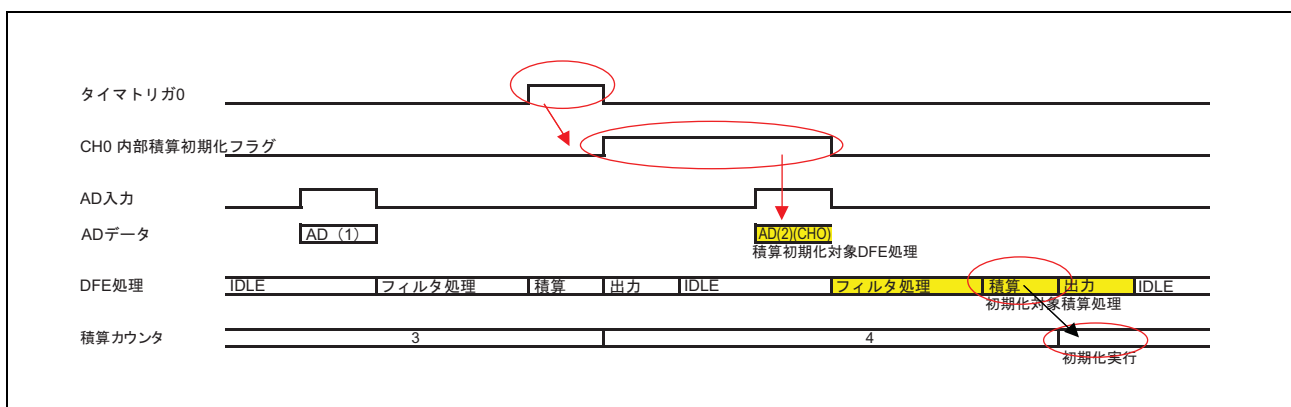


図 28.14 トリガフラグ動作例

28.4.7.3 トリガフラグ機能と処理

トリガフラグ機能と処理の関係を表 28.28 に示します。

表 28.28 トリガフラグ機能と処理

| レジスタ設定 | | トリガフラグ機能 | | トリガフラグ有効後の入力データ処理 | | | |
|--------------------|---------------|----------------|-------|-------------------|---------------|------------------|-------------|
| | | 積算/ デシメーション | PH | 出力データ 書き込み | 出力データ 割り込み | 条件一致 割り込み | PH 更新 通知 |
| 積算/デシメーション 禁止設定 | PH/比較禁 止設定 | フラグ無効 | フラグ無効 | する | なし | なし | なし |
| | PH 実行設定 | フラグ無効 | 有効状態 | する | なし | なし | あり |
| | | | 禁止状態 | する | なし | なし (*) | なし |
| 比較実行設定 | フラグ無効 | フラグ無効 | する | なし | あり | なし | |
| 積算/デシメーション 実行設定 | PH/比較禁 止設定 | 有効状態 | フラグ無効 | する | あり | なし | なし |
| | | 禁止状態 | フラグ無効 | なし | なし | なし | なし |
| | PH 実行設定 | 有効状態 | 有効状態 | する | あり | なし | あり |
| | | | 禁止状態 | する | あり | なし注 ¹ | なし |
| | 比較実行設定 | 有効状態 | フラグ無効 | する | あり | あり | なし |
| | | 禁止状態 | フラグ無効 | なし | なし | なし | なし |

注 1. PH 終了フラグ有効時に割り込み出力

積算/デシメーション処理と PH/比較処理を同一チャンネルで使用する場合、積算/デシメーションで回数指定があると、その回数ごとに PH 処理を行います。

また、トリガフラグ機能によって積算/デシメーション処理が禁止されると PH/比較処理も実行しません。積算/デシメーション処理が禁止状態のチャンネルには、PH 初期化と PH 終了のトリガフラグ機能用のタイマトリガとソフトウェアトリガは入力しないでください。

28.4.8 入力データ制御

DFE は、 $\Delta\Sigma$ ADC0 ~ 7 および ADC0、1 の AD からの入力と、DFE のフィルタ演算結果を再度フィルタ演算するカスケード入力と、CPU もしくは、DMA によるソフトウェア入力が可能です。

28.4.8.1 AD 入力

DFE は、チャンネルごとに CTLACHn.TAG に設定したタグの値（以降、チャンネルタグ）と AD から入力されたタグ（AD タグ）を比較して、一致したタグ値を持つチャンネルで処理を行います。本機能により、1 つの AD データを複数のチャンネルの処理に入力することが可能です。

28.4.8.2 カスケード入力

DFE は、フィルタ処理結果を再度入力するカスケード入力機能を持ちます。カスケード入力は、積算回路の出力データ 32bit を 16bit に丸め処理を行い、再度、フィルタ処理します。

16bit への丸め処理は、整数モード時は、積算回路の出力データが正の数かつ、上位 16bit に有効数値が有る場合、16bit の正の最大値 (7FFF_H) に丸めます。負の数かつ、上位 16bit に有効数値が有る場合、16bit の負の最小値 (8000_H) に丸めます。共に、丸めが生じたときは、カスケード丸めエラーフラグをセットします。固定小数点モード時は、積算回路の出力データと 0000 8000_H を加算して、丸め処理を行います。加算した結果が正の数の 32bit でオーバフローした場合に正の最大値 (7FFF_H) に丸め、カスケード丸めエラーフラグをセットします。

制御レジスタ CTLACHn.CAEN を用いて、カスケード入力機能の有効・無効の設定、出力データレジスタマスク機能の有効・無効を制御することが可能です。

表 28.29 CAEN フラグ機能

| CAEN ビット | 機能 |
|----------|--------------------------------------|
| 00B | カスケード入力しない。演算結果を出力データレジスタにライトする（初期値） |
| 01B | 禁止 |
| 10B | カスケード入力する。演算結果を出力データレジスタにライトする |
| 11B | カスケード入力する。演算結果を出力データレジスタにライトしない |

カスケード入力有効時には、カスケード用のタグ値（以降、カスケードタグ）を用いてカスケード入力先のチャンネルを指定します。カスケードタグは、CTLACHn.CATAG で設定します。DFE は、カスケードタグとチャンネルタグを比較し、一致したチャンネルでカスケード入力でのフィルタ処理を行います。以下にカスケード入力有効時の動作イメージを示します。

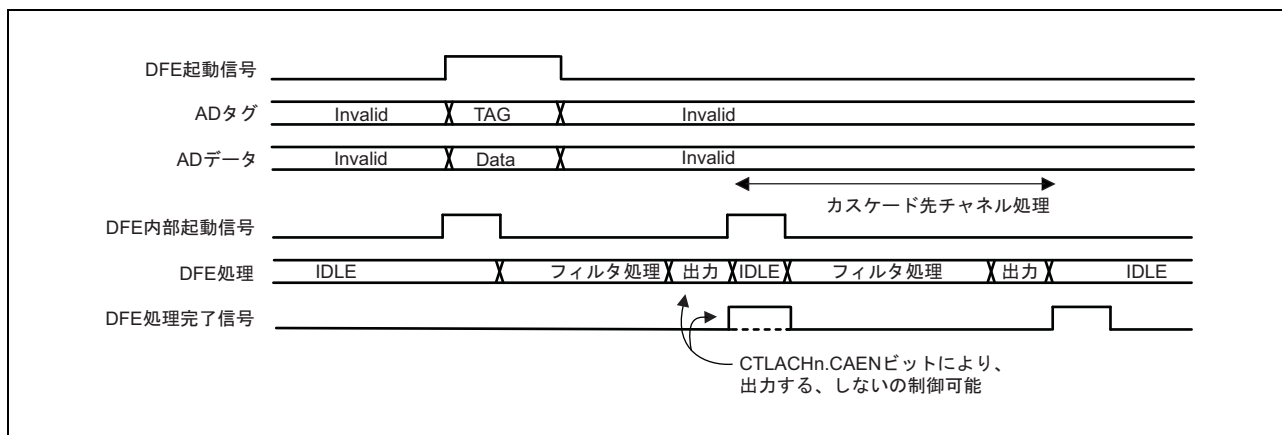


図 28.15 カスケード入力処理イメージ (通常)

カスケード入力有効かつ、デシメーション指定のときは、デシメーション結果が、カスケード入力のデータとなります。たとえば、デシメーション回数 4 回指定の場合、AD 入力 4 回目のフィルタ処理後のデータが、カスケード入力のデータとなります。

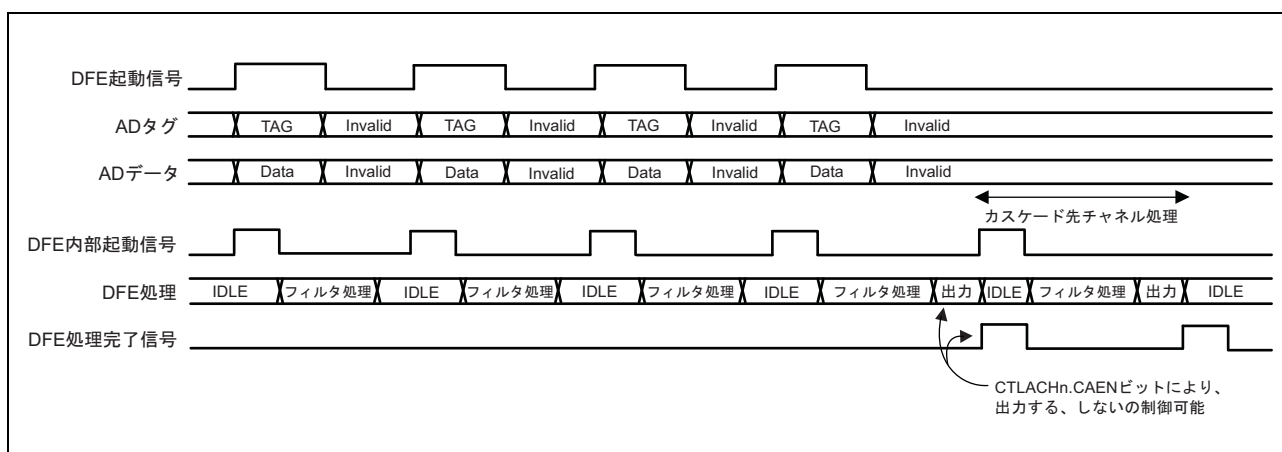


図 28.16 カスケード入力処理イメージ (デシメーション 4 回)

28.4.8.3 ソフトウェア入力

DFE には、CPU もしくは、DMA を用いて、周辺バス経由で DFE 処理対象データを入力する機能を持ちます (以降、本機能をソフトウェア入力機能とします)。ソフトウェア入力データレジスタ (DI) に周辺バスからフィルタ処理対象データと、タグ値をライトすることで DFE の処理を開始することができます。

28.4.8.4 ディスパッチ

各 AD ($\Delta\Sigma$ AD、ADC) と、カスケード入力、ソフトウェア入力の起動信号とチャンネルタグにより、処理を行うチャンネルを選択し、チャンネルごとの入力データレジスタに処理対象データをライトします。この処理をディスパッチといいます。

入力データレジスタに処理対象データをライトすると、積算回路の処理完了まで、入力データレジスタは有効になります。入力データレジスタが有効の間に、新たなデータが同一チャンネルにライトされると、上書きされ、入力データオーバーライトエラー (DIOW) を発生します。

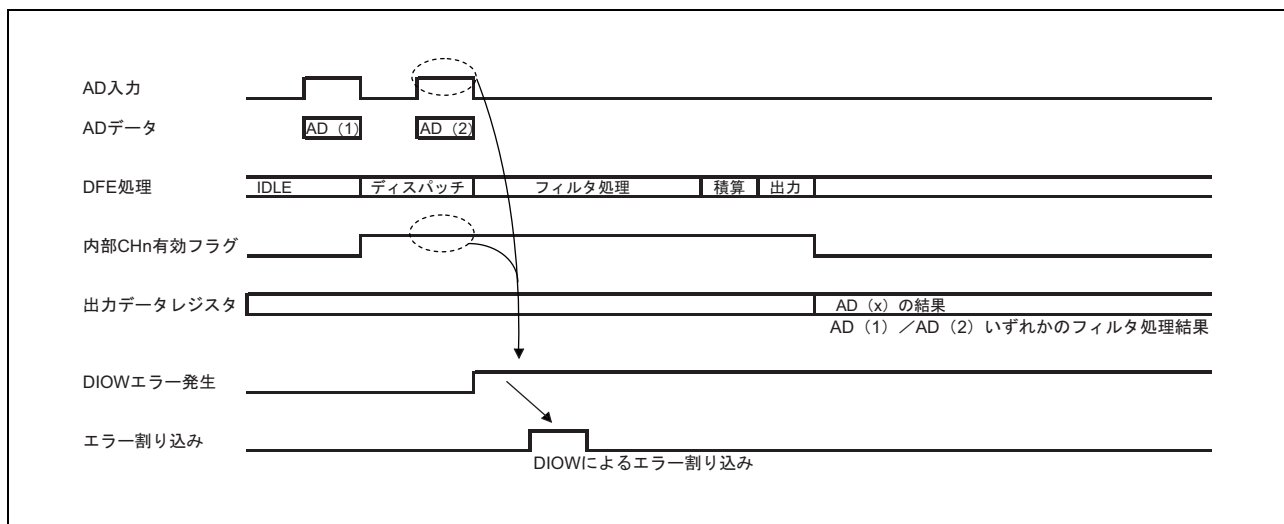


図 28.17 入力データオーバーライト (DIOW) エラー

各チャンネルの入力データレジスタが有効のとき、フィルタ処理対象データの調停を行います。チャンネル0の処理を最優先とし、次にチャンネル1、チャンネル2... チャンネル15の優先順位で調停されたチャンネルの入力データレジスタの値をフィルタ回路に入力し、制御レジスタの値により、FIR/IIR処理をします。

複数チャンネルに同一の入力データを設定した場合も同様にチャンネルの優先順位にしたがい設定したチャンネル数分の処理を行います。またトリガフラグ機能が有効になった場合は、次の入力データの処理から反映されます。

たとえば、複数チャンネルに同一の入力データを設定し、かつ積算処理と同一の積算/デシメーション禁止トリガを設定した場合、トリガ入力時に処理前のチャンネルがあっても積算禁止にはならず、次の入力データの処理から積算禁止となります。

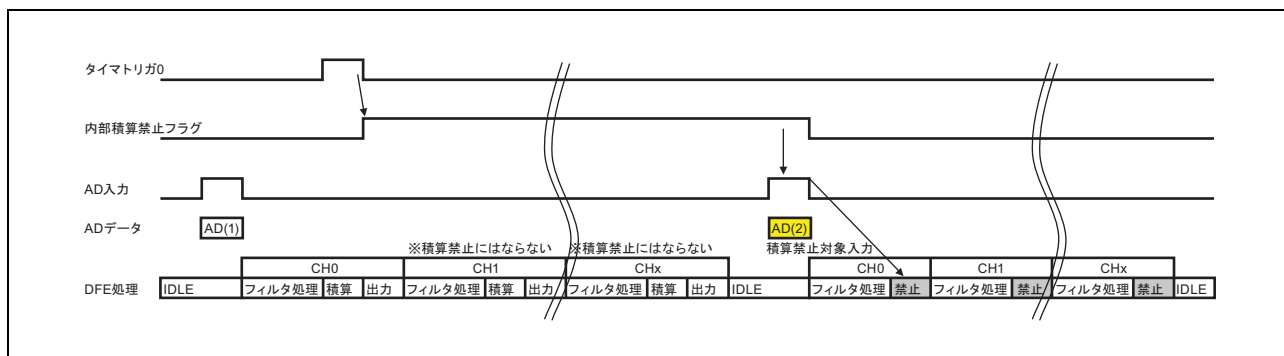


図 28.18 複数チャンネルに同一の入力データを設定した場合の処理

28.4.9 フィルタ回路

フィルタ回路は、ディスパッチ回路で選択されたチャンネル 0 からチャンネル 15 から 1 つの要求を受け付け、FIR フィルタもしくは、IIR フィルタを開始します。フィルタ実行中は、次の要求は受け付けられません。DFE は積算回路の処理完了後に新たな要求を受け付けます。フィルタに必要な係数は、係数メモリに格納し、FIR 時の入力データ、IIR 時の中間データは、データメモリに格納します。これらのメモリ領域は、チャンネルごとに確保します。

28.4.9.1 FIR

FIR フィルタ構成図を示します。

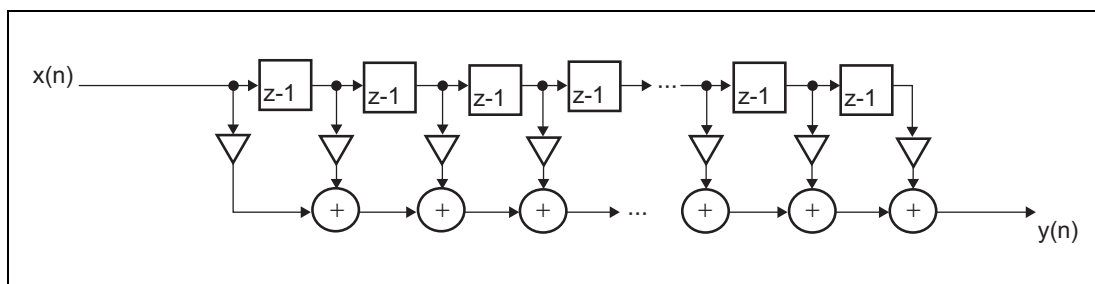


図 28.19 FIR フィルタ構成図

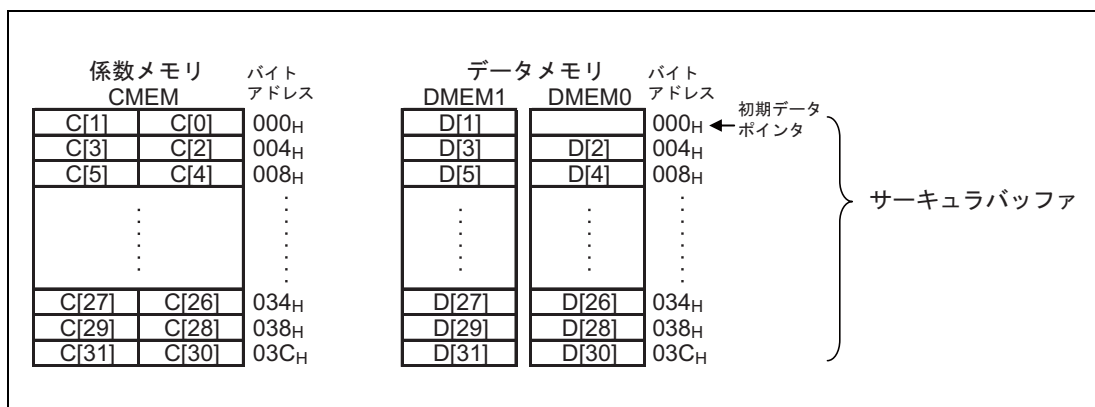


図 28.20 FIR メモリ (32TAP 選択時)

FIR フィルタを開始する前に、係数メモリと、データメモリバッファ領域に値を設定します。8TAP の FIR であれば、係数メモリ C[0] ~ C[7] に使用する係数の値を設定し、データメモリのサーキュラバッファ領域を 0000_H に設定します。

DFE は、フィルタ処理初期化フラグが有効の場合、FIR 処理前に、TAP 数分のサーキュラバッファに 0 書き込みを行ってから、FIR 処理を行います。たとえば、8TAP の FIR の場合、D[0] ~ D[7] のサーキュラバッファを 0 で書き込みしてから、FIR 処理を実行します。

28.4.9.2 IIR (1段)

IIR フィルタ構成図 (1段) を示します。

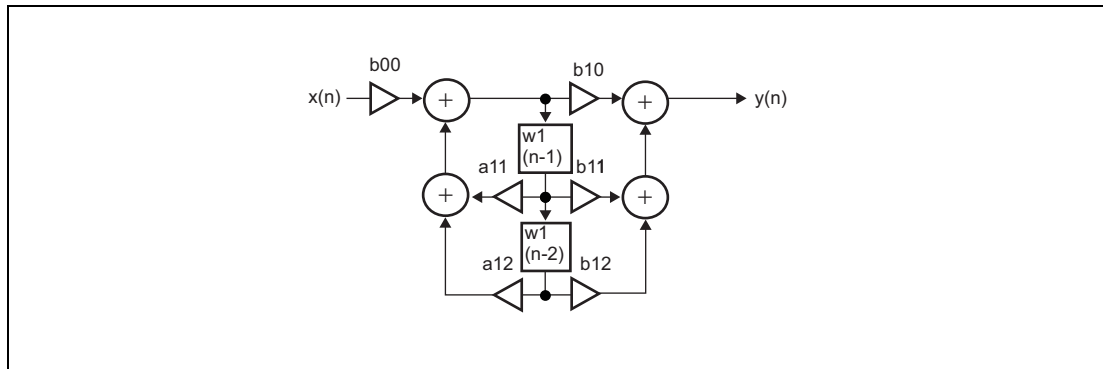


図 28.21 IIR フィルタ構成図 (1段)

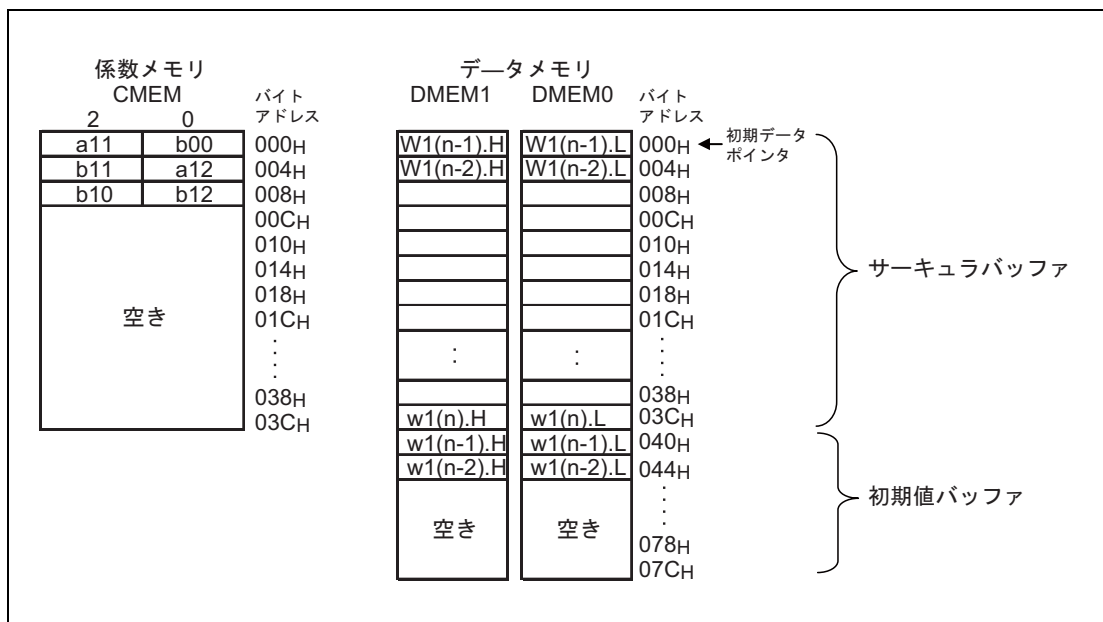


図 28.22 IIR フィルタ (1段) 時のメモリ

IIR フィルタを開始する前に、係数メモリと、データメモリバッファ領域に値を設定します。データメモリには、中間値のデータの値を、データメモリのサーキュラバッファ領域と初期値バッファ領域に設定します。

DFE は、フィルタ処理初期化フラグが有効の場合、サーキュラバッファのデータポインタを“0”に初期化し、IIR 処理前に、対象のサーキュラバッファを初期値バッファの中間値データで書き込み行ってから、IIR 処理を行います。

28.4.9.3 IIR (2 段)

IIR フィルタ構成図 (2 段) を示します。

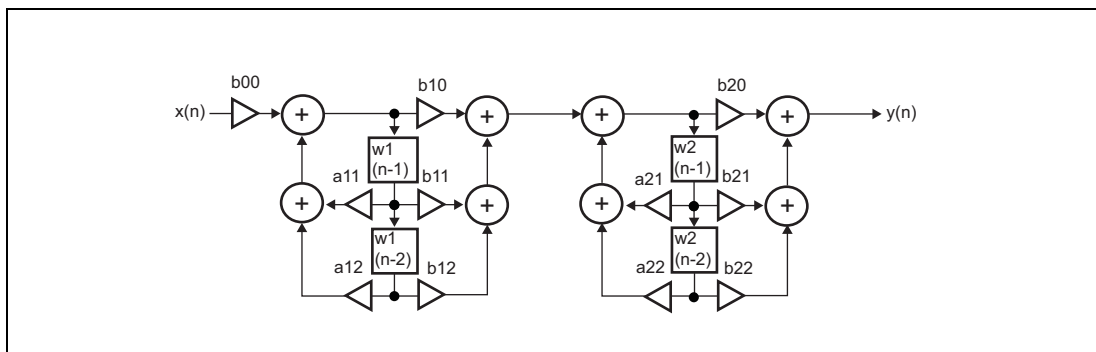


図 28.23 IIR フィルタ構成図 (2 段)

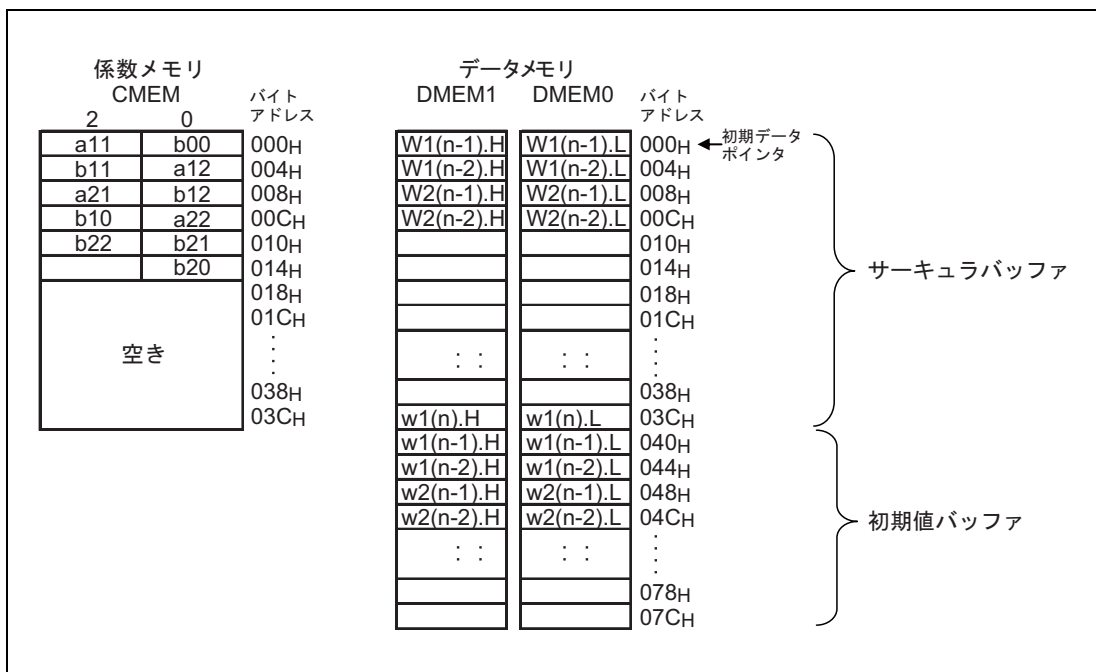


図 28.24 IIR フィルタ (2 段) 時のメモリ

IIR フィルタを開始する前に、係数メモリと、データメモリバッファ領域に値を設定します。データメモリには、中間値のデータの値を、データメモリのサーキュラバッファ領域と初期値バッファ領域に設定します。

DFE は、フィルタ処理初期化フラグが有効の場合、サーキュラバッファのデータポインタを“0”に初期化し、IIR 処理前に、対象のサーキュラバッファを初期値バッファの中間値データで書き込みを行ってから、IIR 処理を行います。

28.4.9.4 IIR (3段)

IIR フィルタ (3段) 構成図を示します。

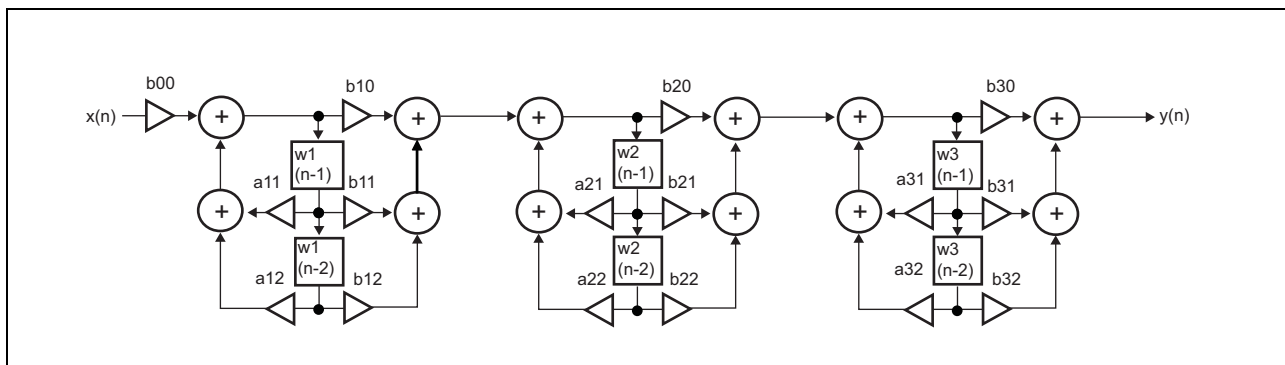


図 28.25 IIR フィルタ構成図 (3段)

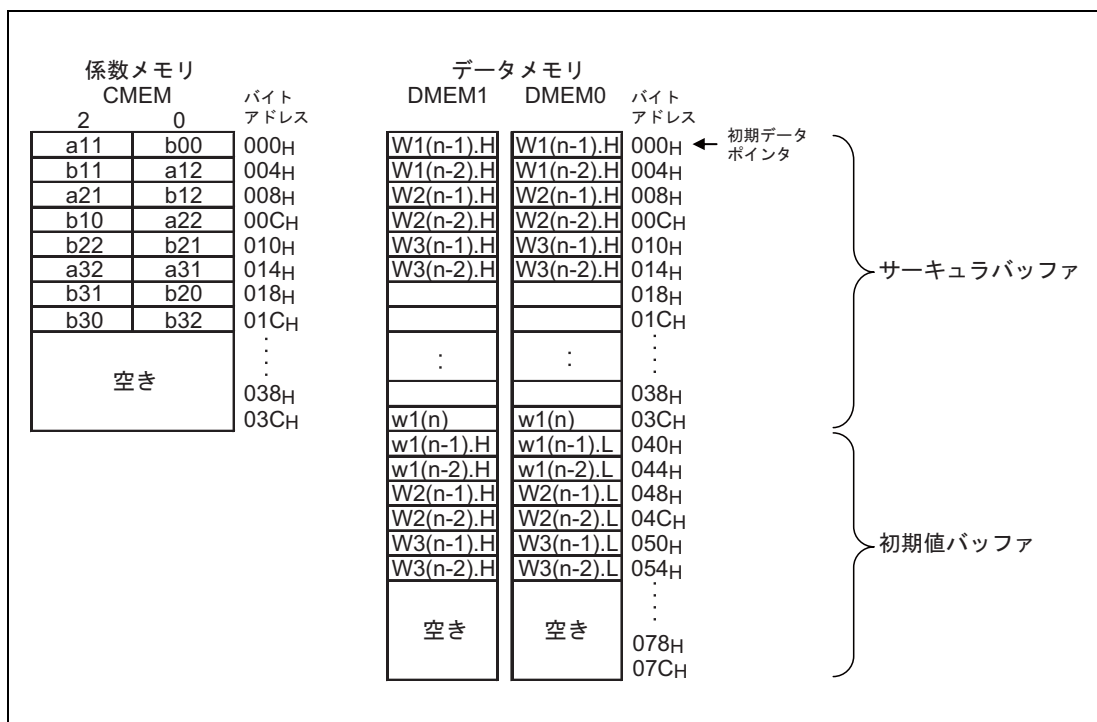


図 28.26 IIR フィルタ (3段) 時のメモリ

IIR フィルタを開始する前に、係数メモリと、データメモリバッファ領域に値を設定します。データメモリには、中間値のデータの値を、データメモリのサーキュラバッファ領域と初期値バッファ領域に設定します。

DFE は、フィルタ処理初期化フラグが有効の場合、サーキュラバッファのデータポインタを“0”に初期化し、IIR 処理前に、対象のサーキュラバッファを初期値バッファの中間値データで書き込みを行ってから、IIR 処理を行います。

28.4.9.5 フィルタ回路のエラー

乗算器において、 $8000_{\text{H}} * 8000_{\text{H}}$ の乗算実行時に、乗算エラーとなり、乗算エラーフラグをセットします。

乗算結果の加算処理では、オーバフローを防ぐためにガードビット 6bit を備えます。ガードビット付きのデータを 32 ビットに丸める際には丸め演算を実施します。丸め演算後のガードビットに有効数値がある場合、エラーフラグをセットします。このエラーをガードビットエラーといいます。

演算結果が 32bit 正の最大値 ($7\text{FFF_FFFF}_{\text{H}}$) より大きい場合、 $7\text{FFF_FFFF}_{\text{H}}$ に飽和処理を行い、32bit 負の最小値 (8000_0000_{H}) より小さい場合、 8000_0000_{H} に飽和処理を行います。

28.4.10 積算回路

積算回路は、フィルタ回路が出力するフィルタ処理結果データを、絶対値変換、積算処理もしくは、デシメーション処理を行い、処理結果データを、出力回路および PH 回路に出力する機能を持ちます。カスケード機能使用時は積算回路出力データを、ディスパッチ回路に入力します。

28.4.10.1 絶対値演算

フィルタ回路が出力するフィルタ処理結果データを絶対値変換します。CTLBCHn.ABS = 1 のとき、絶対値変換を行い、CTLBCHn.ABS = 0 のとき、絶対値変換を行いません。

フィルタ回路が出力するフィルタ処理結果データが 8000_0000_H のとき、絶対値エラーを発生します。このときの絶対値変換結果は、7FFF_FFFF_H とします。

28.4.10.2 積算処理の概要

積算処理は、積算回路に入力されたフィルタ処理結果データを 9 ビット右算術シフトしてから、これまでに入力されたフィルタ処理結果データとの累加算をチャンネルごとに行います。積算処理後のデータフォーマットは (10.22) です。積算処理の回数は、最大で 511 回可能です。指定した積算処理回数分の処理が完了したら、再度積算処理を行います。

CTLBCHn.PRCSA = 01_B のとき、積算処理を実行します。積算処理回数の指定は、CTLBCHn.SELA を用いて、4 つの積算・デシメーション回数設定レジスタ (ACA ~ ACD) から選択します。

28.4.10.3 積算処理の動作

ACA = 000_H、ACB = 001_H、ACC = 002_H、CTLBCHn.PRCSA = 01_B のときを例に説明します。CTLBCHn.SELA = 00_B では、ACA が選択され、積算回数設定値が 0 回で積算処理を行います。

フィルタ処理結果データ (D (1)) を 9bit 右算術シフトした結果データ (DADD (1)) を出力データレジスタに書き込みし、出力データ割り込み要求を行います。

積算回数設定値が 0 回の積算処理では、1 回のフィルタ処理結果を 9bit 右算術シフトして、加算処理を行わず、1 回の割り込み要求を行います。以降、この処理を繰り返し実行します。

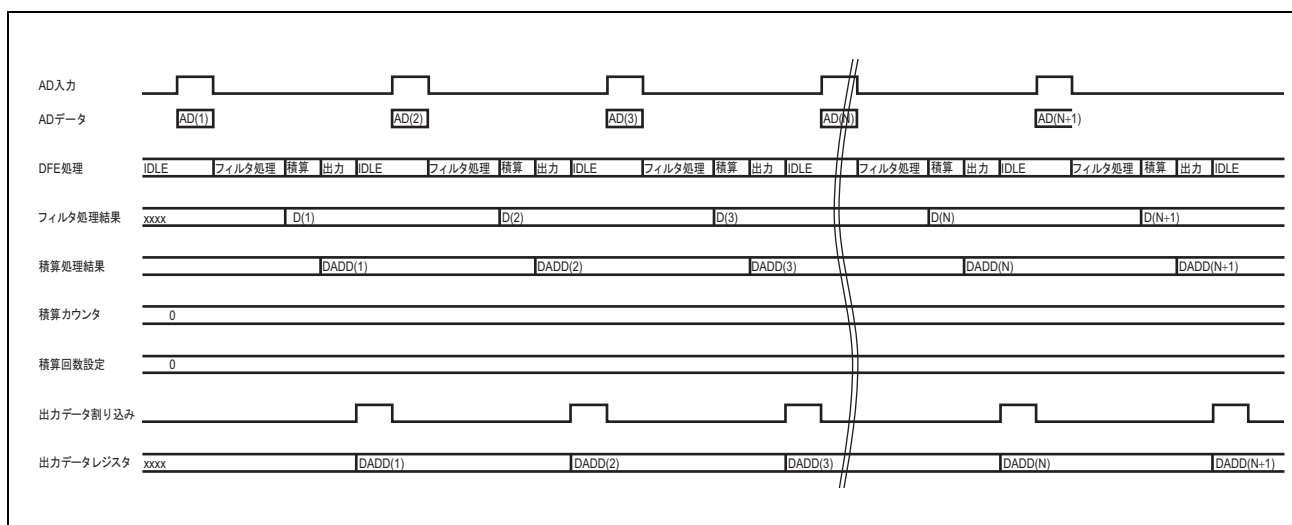


図 28.27 積算処理 (回数設定値 0 回)

CTLBCHn.SELA = 01_B では、ACB レジスタが選択され、積算回数設定値が 1 回で積算処理を行います。

フィルタ処理結果データ (D (1)) を積算回路に入力すると、フィルタ処理結果データ (D (1)) を 9bit 右算術シフトした結果データ (DADD (1)) を積算アキュムレータにライトします。次に、フィルタ処理結果データ (D (2)) を積算回路に入力すると、フィルタ処理結果データ ((D (2)) を 9bit 右算術シフト (DADD (2)) し、積算アキュムレータの値 ((DADD (1)) と加算し、加算結果 (DADD (1) + DADD (2)) を出力データレジスタに書き込みします。書き込み完了すると、出力データ割り込み要求を行います。

積算回数設定値が 1 回の場合、2 回分のフィルタ処理結果 9bit 右算術シフトし、加算実行し、割り込み要求を 1 度行います。以降、この処理を繰り返し実行します。

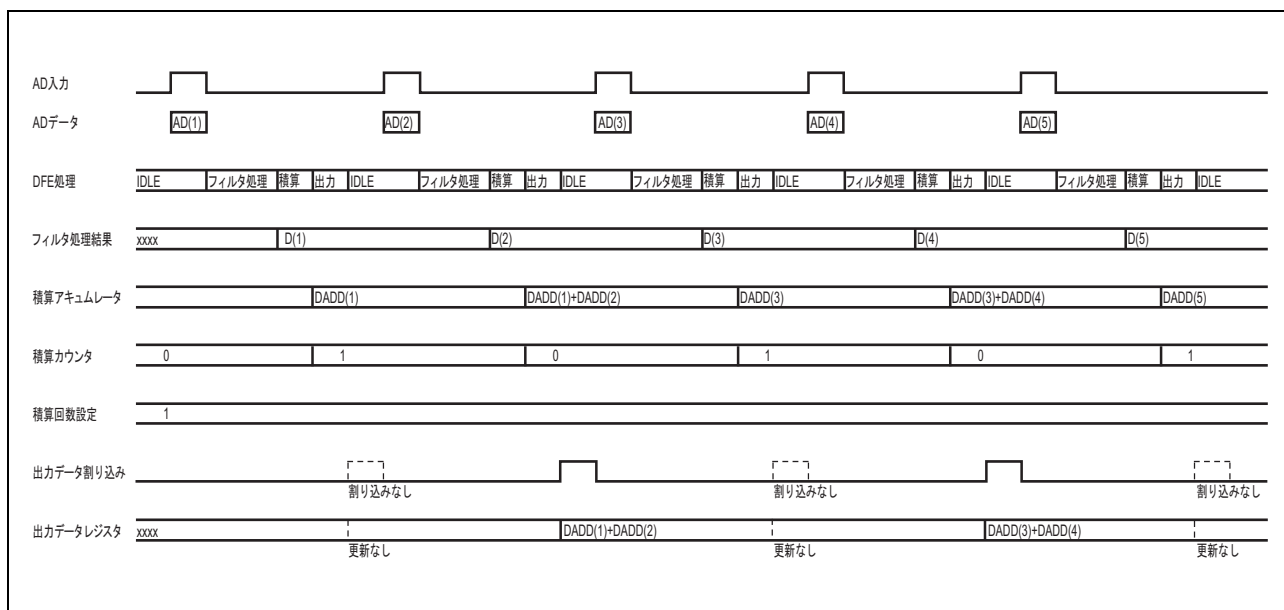


図 28.28 積算処理 (回数設定値 1 回)

CTLBCHn.SELA = 10_B では、ACC レジスタが選択され、積算回数設定値が 2 回で積算処理を行います。

フィルタ処理結果データ (D (1)) を積算回路に入力すると、フィルタ処理結果データ (D (1)) を 9bit 右算術シフトした結果データ (DADD (1)) を積算アキュムレータにライトします。次に、フィルタ処理結果データ (D (2)) を積算回路に入力すると、フィルタ処理結果データ ((D (2)) を 9bit 右算術シフト (DADD (2)) し、積算アキュムレータの値 ((DADD (1)) と加算し、加算結果 (DADD (1) + DADD (2)) を再度積算アキュムレータにライトします。次に、フィルタ処理結果データ (D (3)) を積算回路に入力すると、フィルタ処理結果データ ((D (3)) を 9bit 右算術シフト (DADD (3)) し、積算アキュムレータの値 ((DADD (1) + DADD (2)) と加算し、加算結果 (DADD (1) + DADD (2) + DADD (3)) を出力データレジスタに書き込みします。書き込み完了すると、出力データ割り込み要求を行います。

積算回数設定値が 2 回の場合、3 回分のフィルタ処理結果 9bit 右算術シフトし、加算実行し、割り込み要求を 1 度行います。以降、この処理を繰り返し実行します。

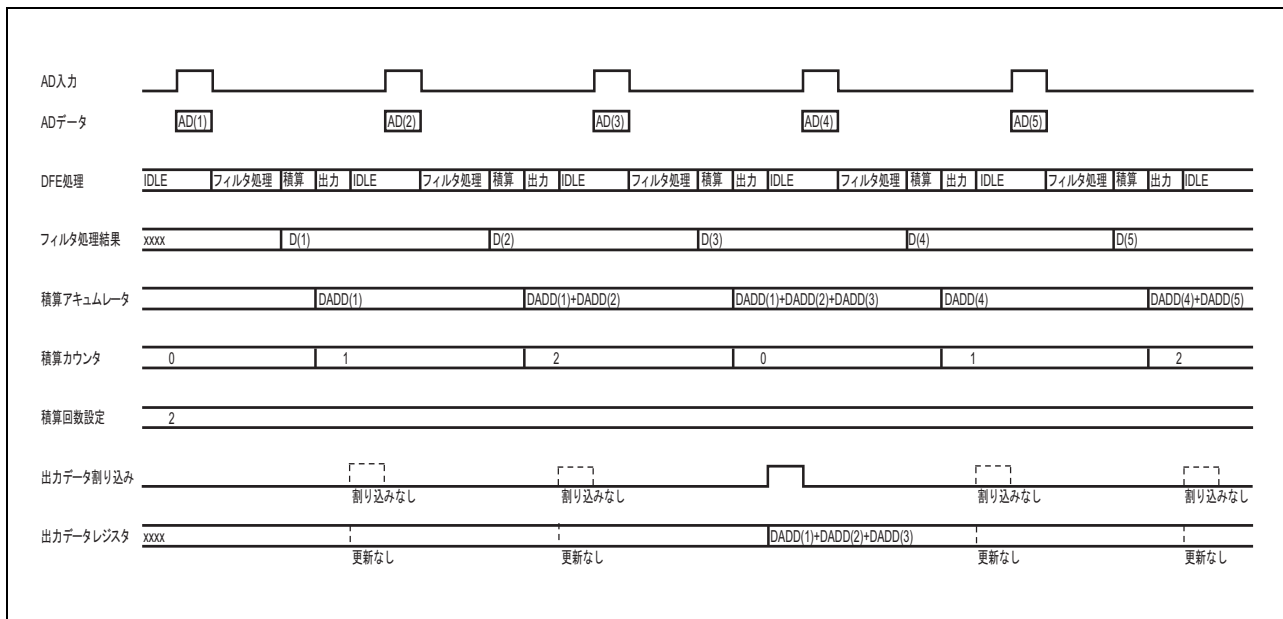


図 28.29 積算処理 (回数設定値 2 回)

28.4.10.4 積算処理の動作 (トリガフラグあり)

積算初期化フラグ、積算禁止フラグ有効時の積算処理の動作について説明します。

積算指定 (CTLBCHn.PRCSA = 01_B) のとき、タイマトリガ、ソフトウェアトリガにより、積算初期化フラグが有効になった場合、直後の対象のチャンネルの DFE の積算処理は、積算カウンタを初期化し、積算処理の最初のデータとして、積算処理を行います。

たとえば、積算初期化フラグ有効かつ、積算回数設定値が 2 回のとき、積算回路に 3 回目にデータ (D (3)) が入力された場合、3 回目のデータ (D (3)) を 9bit 右算術シフトした DADD (3) を積算アキュムレータにライトします。(DADD (1) + DADD (2) の積算結果値を上書きします)

次に積算回路に入力したデータ (D (4))、次の次に積算回路に入力したデータ (D (5)) との積算を行い、出力データレジスタには積算初期化フラグ有効後 3 回分の積算結果 (DADD (3) + DADD (4) + DADD (5)) をライトし、出力データ割り込み要求を行います。

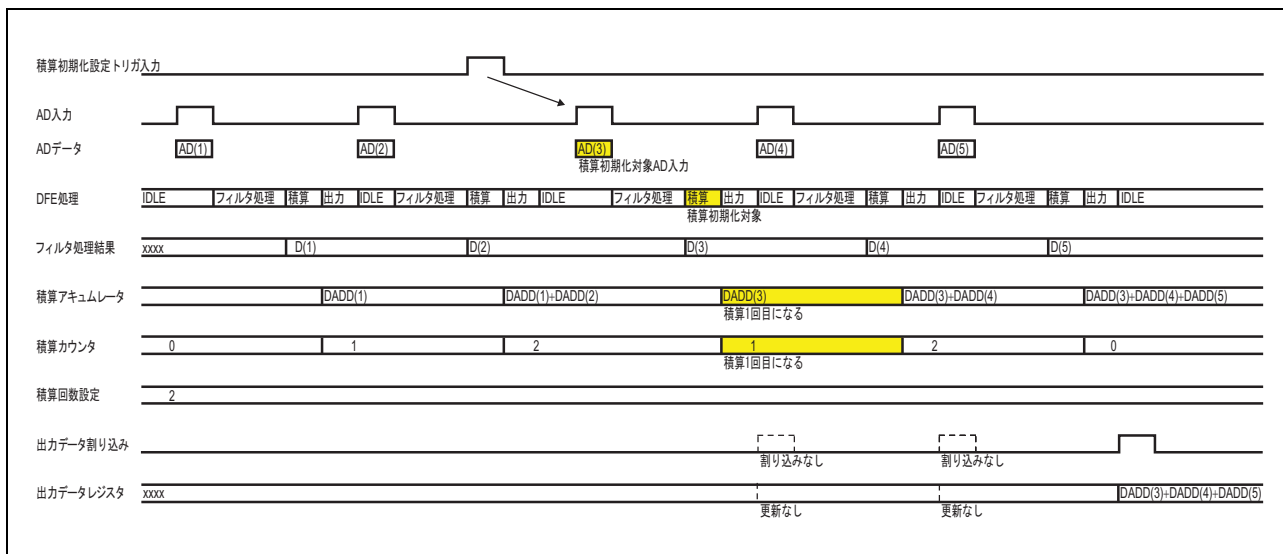


図 28.30 積算処理 (初期化フラグ有効)

積算指定 (CTLBCHn.PRCSA = 01_B) のとき、タイマトリガ、ソフトウェアトリガにより、積算禁止フラグが有効になった場合、直後の対象のチャンネルの DFE の積算処理は実行せず、DFE 内部の積算禁止フラグをアサートし、以降の処理では積算を行いません。

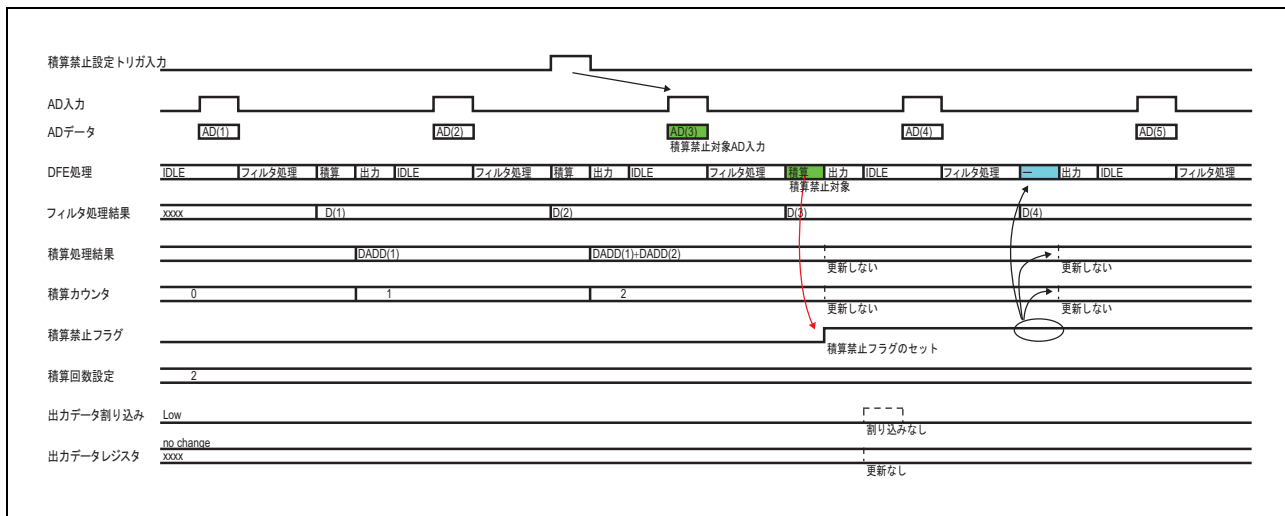


図 28.31 積算処理 (禁止フラグ有効)

積算禁止フラグがアサートされているとき、再度積算処理を実行したい場合は、積算初期化フラグを有効にします。

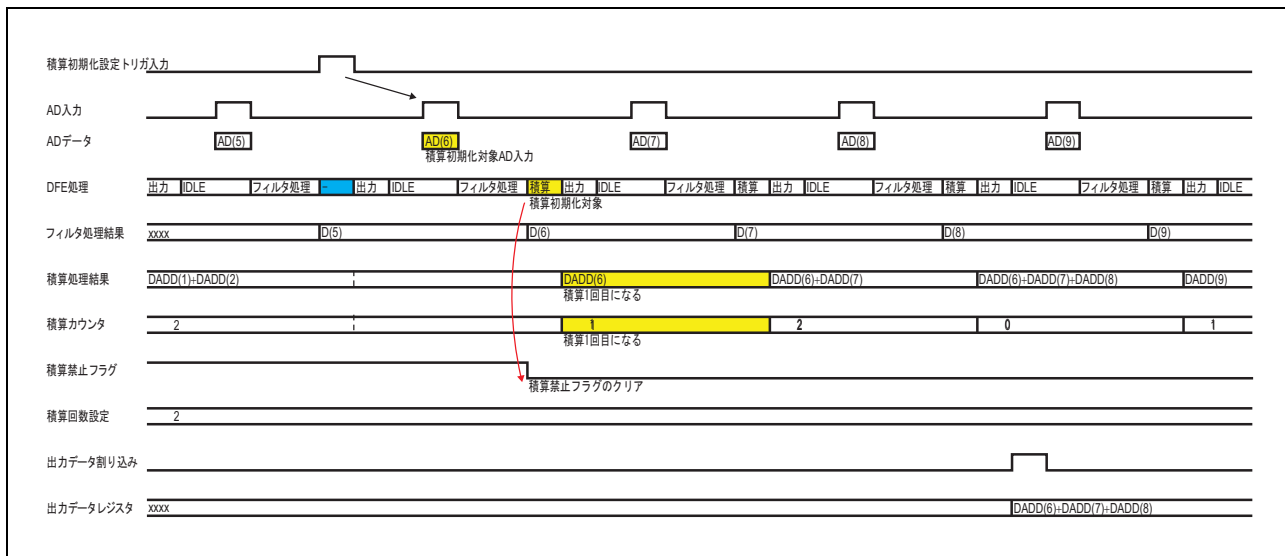


図 28.32 積算処理 (禁止から許可)

28.4.10.5 デシメーション処理の概要

デシメーション処理は、積算回路に入力されたフィルタ処理結果データの間引きを行います。デシメーション処理の回数は、最大で 511 回 (512 回に 1 回データ出力) 可能です。指定したデシメーション回数分の処理を完了したら、再度デシメーション処理を行います。

CTLBCHn.PRCSA = 10_B のとき、デシメーション処理を実行します。デシメーション処理回数の指定は、CTLBCHn.SELA を用いて、4 つの積算・デシメーション回数設定レジスタ (ACA ~ ACD) から選択します。

28.4.10.6 デシメーション処理の動作

$ACA = 0_H / ACB = 1_H / ACC = 2_H / CTLBCHn.PRCSA = 10_B$ のときを例に説明します。

$CTLBCHn.SELA = 00_B$ では、ACA が選択され、デシメーション回数設定値が 0 回でデシメーション処理を行います。

デシメーション回数設定値が 0 回のデシメーション処理では、1 回のフィルタ処理結果をそのまま出力し、1 回の割り込み要求を行います。以降、この処理を繰り返し実行します。

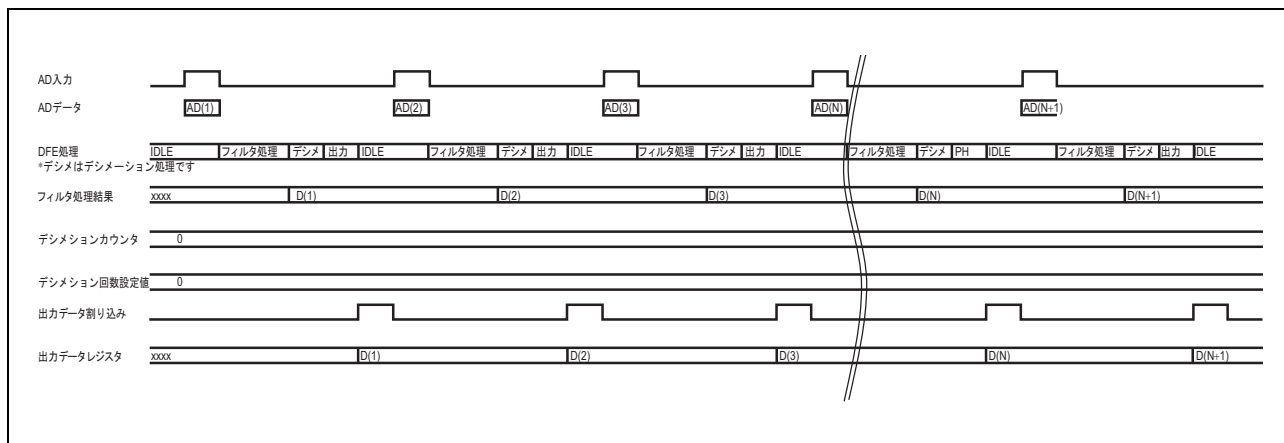


図 28.33 デシメーション処理 (回数設定値 0 回)

$CTLBCHn.SELA = 01_B$ では、ACB レジスタが選択され、デシメーション回数設定値が 1 回でデシメーション処理を行います。

フィルタ処理結果データ (D (1)) を積算回路に入力すると、デシメーションカウンタをカウントアップします。このとき、積算回路は、デシメーションカウンタの値とデシメーション回数設定値が異なる値のため、入力されたフィルタ処理結果データ (D (1)) を出力回路に出力しません。

次に、フィルタ処理結果データ (D (2)) を積算回路に入力すると、デシメーションカウンタの値とデシメーション回数設定値の値が同じため、積算回路は、入力されたフィルタ処理結果データ (D (2)) を出力回路に出力します。出力回路は、積算回路から入力されたデータ (D (2)) を出力データレジスタにライトし、出力データ割り込み要求を行います。

デシメーション回数設定値が 1 回の場合、2 回のフィルタ処理に 1 回割り込み要求を行います。以降、この処理を繰り返し実行します。

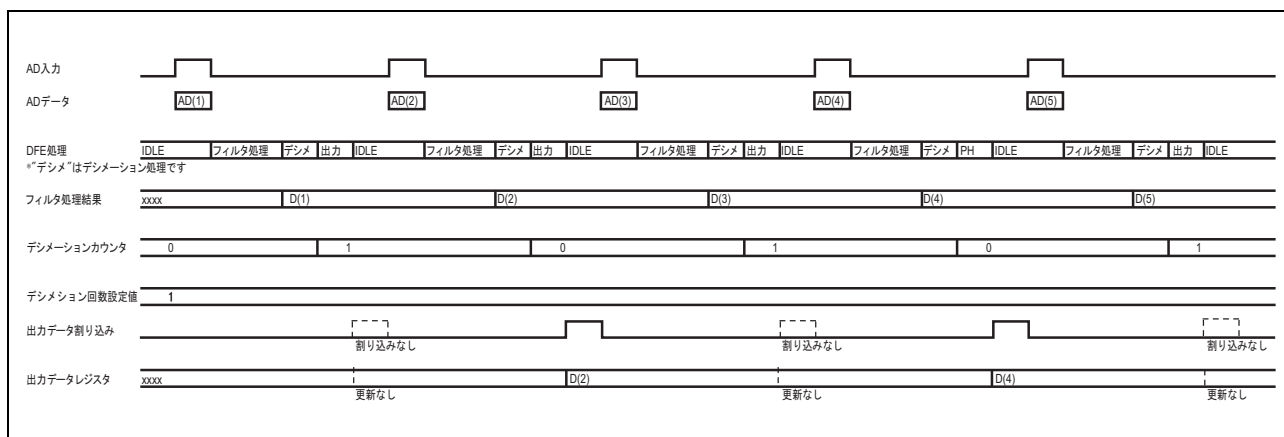


図 28.34 デシメーション処理 (回数設定値 1 回)

CTLBCHn.SELA = 10_B では、ACC レジスタが選択され、デシメーション回数設定値が 2 回でデシメーション処理を行います。

フィルタ処理結果データ (D (1)) を積算回路に入力すると、デシメーションカウンタをカウントアップします。このとき、積算回路は、デシメーションカウンタの値とデシメーション回数設定値が異なる値のため、入力されたフィルタ処理結果データ (D (1)) を出力回路に出力しません。

次に、フィルタ処理結果データ (D (2)) を積算回路に入力すると、デシメーションカウンタをカウントアップします。このとき、積算回路は、デシメーションカウンタの値とデシメーション回数設定値が異なる値のため、入力されたフィルタ処理結果データ (D (2)) を出力回路に出力しません。

次に、フィルタ処理結果データ (D (3)) を積算回路に入力すると、デシメーションカウンタの値とデシメーション回数設定値の値が同じため、積算回路は、入力されたフィルタ処理結果データ (D (3)) を出力回路に出力します。出力回路は、積算回路から入力されたデータ (D (3)) を出力データレジスタにライトし、出力データ割り込み要求を行います。

デシメーション回数設定値が 2 回の場合、3 回のフィルタ処理に 1 回割り込み要求を行います。以降、この処理を繰り返し実行します。

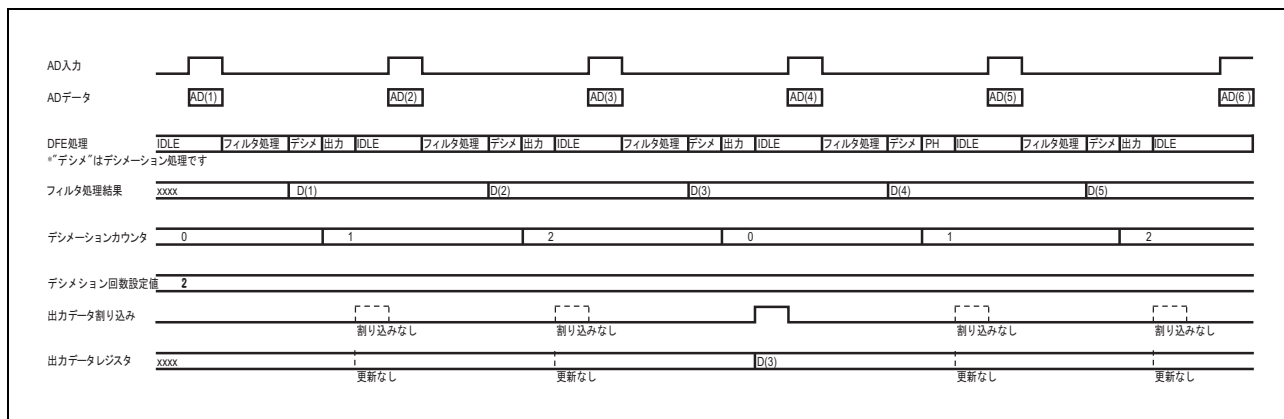


図 28.35 デシメーション処理 (回数設定値 2 回)

28.4.10.7 デシメーション処理の動作 (トリガフラグあり)

デシメーション初期化フラグ、デシメーション禁止フラグ有効時のデシメーション処理の動作について説明します。

デシメーション処理指定 (CTLBCHn.PRCSA = 10_B) のとき、タイマトリガ、ソフトウェアトリガにより、デシメーション初期化フラグが有効になった場合、直後の対象のチャンネルのDFEのデシメーション処理は、デシメーションカウンタを初期化し、デシメーション処理の最初のデータとして、デシメーション処理を行います。

たとえば、デシメーション初期化フラグ有効かつ、デシメーション回数設定値が2回するとき、積算回路に3回目にデータ (D (3)) が入力された場合、3回目のデータ (D (3)) は、積算回路から出力せず、初回に入力したデータとして処理します。以降、積算回路は、通常時と同様に、次に積算回路に入力したデータ (D (4)) を出力せず、次の次に積算回路に入力したデータ (D (5)) を出力回路に出力します。

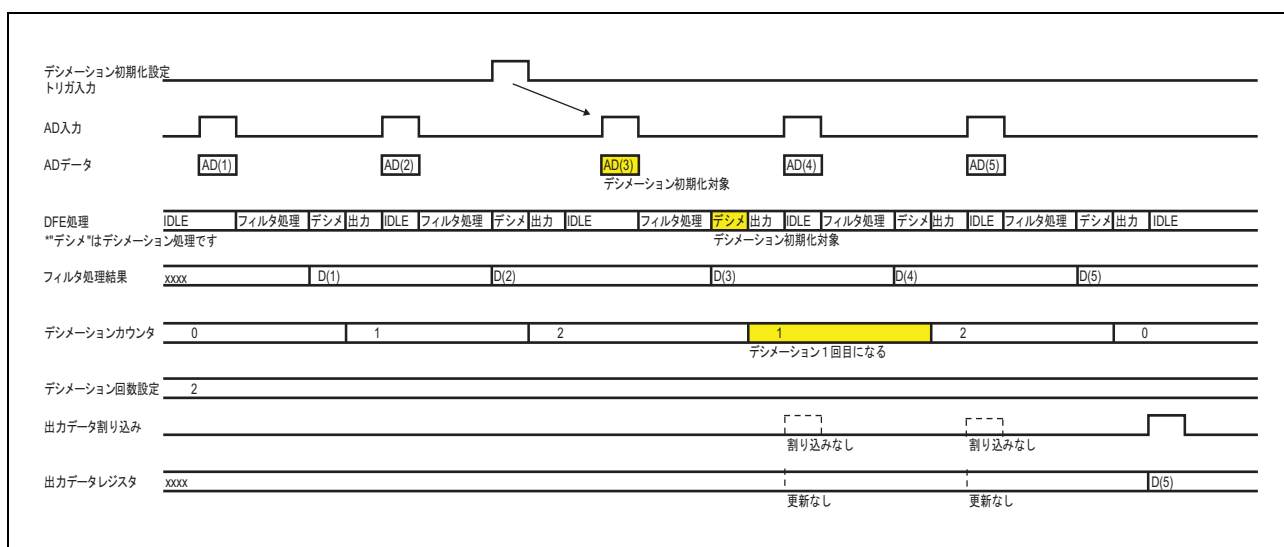


図 28.36 デシメーション処理 (初期化フラグ有効)

デシメーション指定 (CTLBCHn.PRCSA = 10_B) のときかつ、デシメーション禁止フラグが有効になった場合、DFE 内部のデシメーション禁止フラグをアサートします。以降の処理ではデシメーションカウンタを停止します。デシメーション禁止中、出力データ割り込み要求は行いません。

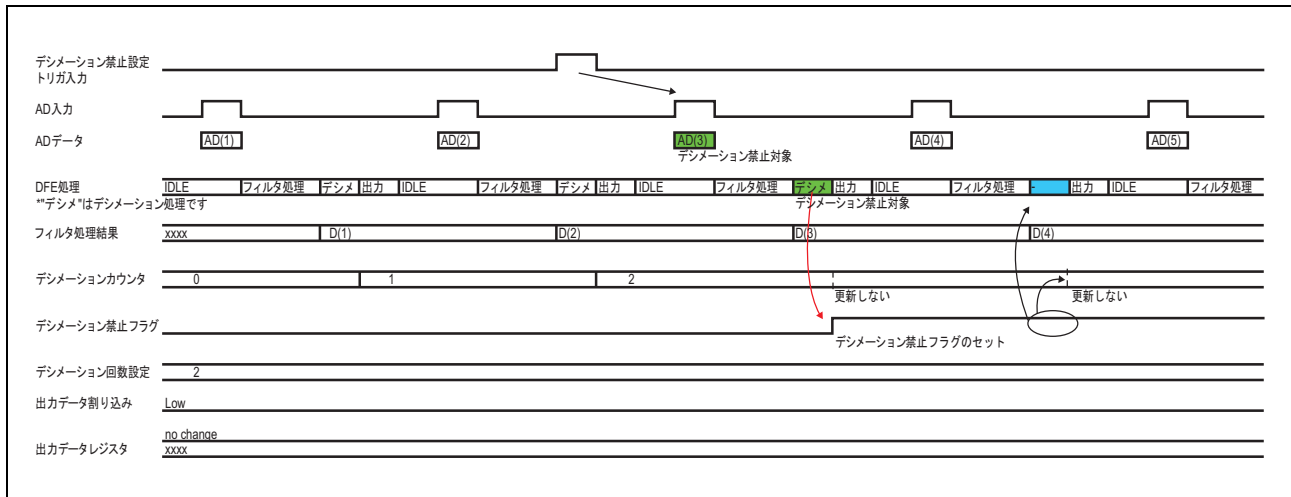


図 28.37 デシメーション処理 (禁止フラグ有効)

DFE 内部のデシメーション禁止フラグがアサートされているとき、再度デシメーション処理を実行したい場合は、デシメーション初期化フラグを有効にします。

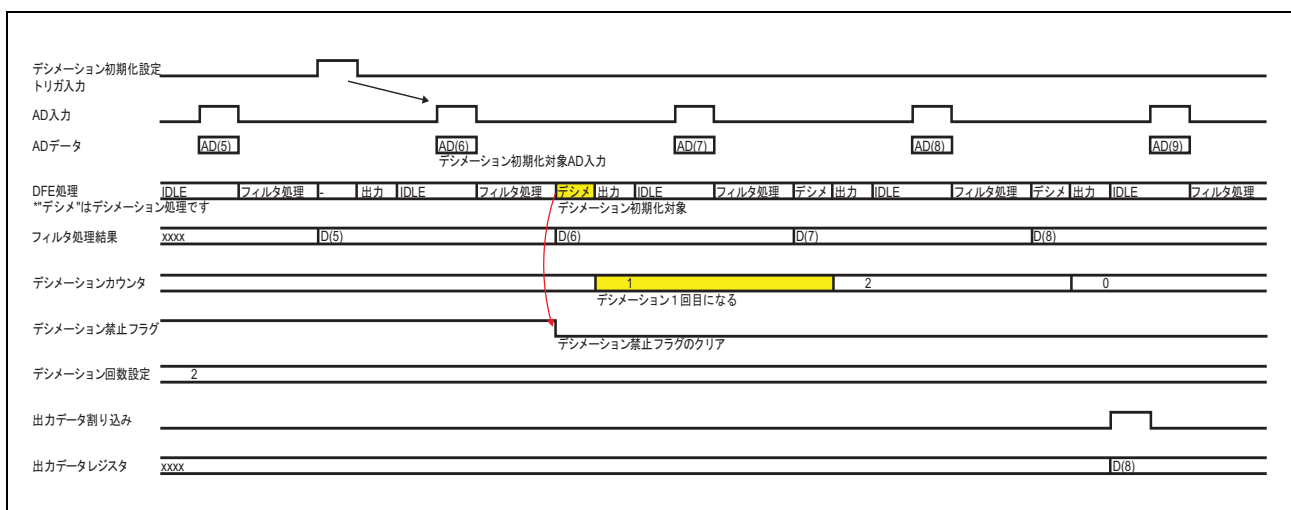


図 28.38 デシメーション処理 (禁止から許可)

28.4.11 PH 回路

PH 回路は、積算回路が出力するデータを PH 処理もしくは比較処理を行います。したがって積算/デシメーションで回数指定がある場合は、その回数ごとに PH 処理を行います。

PH 処理では、PH 結果を PH 結果レジスタに書き込みをします。PH 終了フラグ有効で条件一致割り込みを発生します。比較処理では、積算回路が出力するデータと比較対象レジスタとの比較を行い、真の場合、条件一致割り込みを発生します。

28.4.11.1 PH 処理の概要

PH 処理は、チャンネルごとに、PH 回路に入力されたデータと、これまでに PH 回路に入力されたデータを比較し、大きい値を PH 結果として PH 結果レジスタにライトします。PH 初期値の選択は、CTLBCHn.SELB2 ビットを用いて行います。PH 処理は、一度処理を開始すると PH 処理終了フラグ有効になるまで実行し続けます。PH 処理終了フラグ有効後は PH 初期化フラグが有効になるまで、PH 回路に入力したデータの PH 処理は実行しません。

28.4.11.2 PH 処理の動作

CTLBCHn.PRC SB = 01_B (PH 指定) のときを例に説明します。

対象チャンネルの最初の入力データは PH 初期値レジスタの値と PH 回路入力データの値で PH 処理を行い、以降は PH 結果レジスタの値と PH 回路入力データの値で PH 処理を行います。

PH 処理中、PH 初期化フラグが有効になると次の対象チャンネルの入力データに対して、PH 結果レジスタの値との比較ではなく、PH 初期値レジスタの値との比較を行います。

PH 終了フラグが有効になると PH 処理を終了します。

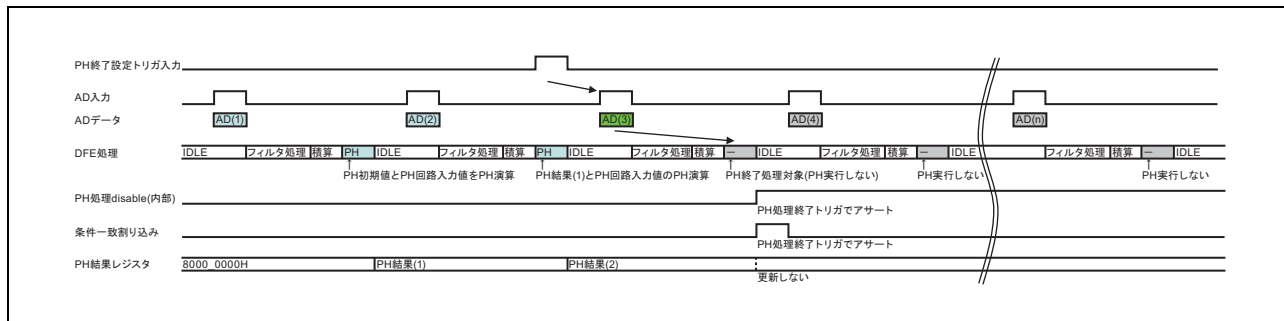


図 28.39 PH 処理 (PH 処理開始～ PH 終了フラグ)

備考

n = 0 ~ 9

PH 処理を再度開始するには、PH 初期化フラグを有効にします。

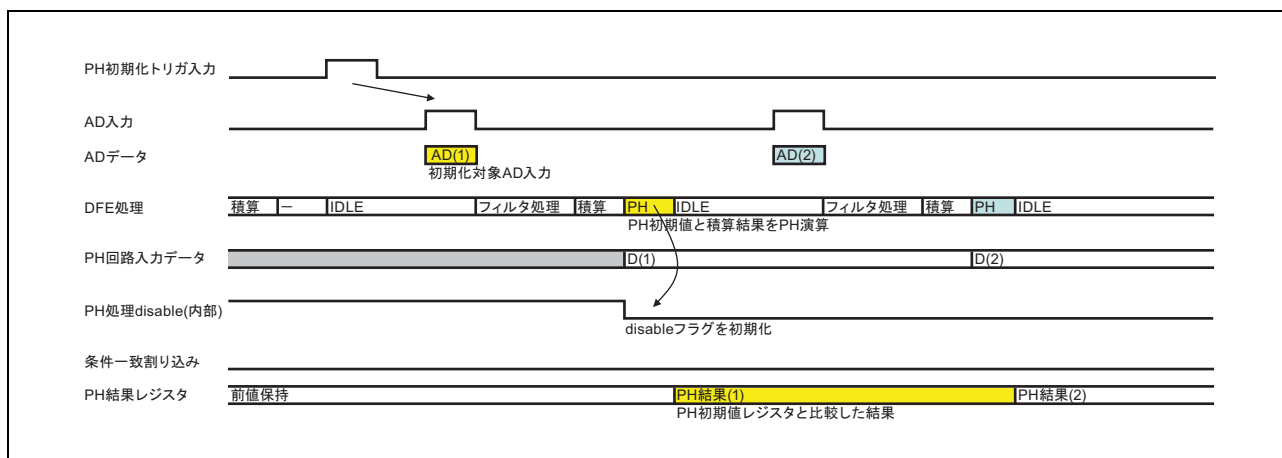


図 28.40 PH 処理 (PH 処理 disable 中の初期化フラグ有効)

28.4.11.3 比較

比較処理は、チャンネルごとに、PH 回路に入力されたデータと、比較対象値レジスタ (CPA ~ CPD) の値を比較し、比較した結果が真の場合、CND フラグ (条件一致フラグ) をアサートし、条件一致割り込み要求を行います。比較処理は、トリガフラグの影響を受けません。CTRLCHn.PRCBSB = 10_B のとき、比較処理を行います。

実行できる比較演算は、下記のとおりです。

| 比較演算 | 機能 |
|---------|---|
| 等価 (=) | PH 回路に入力されたデータと選択した比較対象値との等価 (=) 演算を行い、等価のとき、真 |
| 以下 (≤) | PH 回路に入力されたデータと選択した比較対象値との以下 (≤) 演算を行い、以下のとき、真 |
| 以上 (≥) | PH 回路に入力されたデータと選択した比較対象値との以上 (≥) 演算を行い、以上のとき、真 |
| 小なり (<) | PH 回路に入力されたデータと選択した比較対象値との小なり (<) 演算を行い、小さいとき、真 |
| 大なり (>) | PH 回路に入力されたデータと選択した比較対象値との大なり (>) 演算を行い、大きいとき、真 |

一度比較演算結果が真になり、条件一致ビット (STCHn.CND) に 1 をセットすると、以降の比較演算結果が偽でも、条件一致ビットは 1 のままとなります。条件一致ビットのクリアは、クリアステータスレジスタを用いて行ってください。

備考

n = 0 ~ 9

28.4.12 出力回路

28.4.12.1 浮動小数点変換回路

出力回路に入力された (1.31) フォーマットのデータおよび積算後の (10.22) フォーマットのデータを IEEE754 の浮動小数点変換を行います。制御レジスタ B (CTLBCHn) の PRCSA フラグを 1B にすることで、浮動小数点変換処理の指定を行います。

28.4.12.2 出力レジスタ回路

出力レジスタ回路は、16 チャンネル分の 32 ビットレジスタを持ちます。入力された演算結果データ、もしくは、浮動小数点変換結果をチャンネルごとの出力レジスタにライトします。

CTLBCHn.PRCSA = 01_B (積算) または CTLBCHn.PRCSA = 10_B (デシメーション) 設定での演算結果を出力レジスタにライトすると、STCHn.DOEN ビットをセットし、割り込み要求を行います。CTLBCHn.PRCSA = 00_B の設定でフィルタ処理を実行すると、出力レジスタにフィルタ結果が格納されますが、STCHn.DOEN ビットはセットされず割り込みも出力されません。

積算/デシメーション処理せずフィルタ処理のみを実行し割り込みを出力させる場合は、CTLBCHn.PRCSA = 10_B (デシメーション) を選択し、デシメーション回数を 0 回に設定してください。

STCHn.DOEN フラグは、出力レジスタをリードすると自動的に 0 にクリアします。STCHn.DOEN がセットされた状態で、出力データレジスタに新たな演算結果をライトすると、出力データレジスタの値は上書きされます。このとき、STCHn.DOOW ビットを 1 にセットします。

STCHn.DOEN ビットのクリアは、DOCHn (出力データレジスタ) の周辺バスからのリード、および、CLRSTCHn.CLRDOOW に 1 をライトすることでクリアします。

28.4.13 ステータスレジスタ

チャンネルごとにチャンネルステータスレジスタを持ちます。ステータスレジスタは、下記のステータスを示します。VALID 以外の各フラグのクリアは対応するクリアステータスレジスタを用いて行います。DOEN フラグのみ、クリアステータスレジスタに加えて、出力データレジスタのリード動作をすることで自動クリアします。

表 28.30 ステータスレジスタ

| 名前 | 内容 |
|-------|--|
| VALID | 入力データレジスタ有効ビット 入力データレジスタに有効な値があるとき、1にセットされます。 リセット、および積算/デシメーション処理完了で0となります。 |
| CND | 条件一致ビット PH 時、PH 処理終了時、1にセットされます。 比較演算時、比較演算結果が TRUE のとき、1にセットされます。 |
| DOEN | 出力データレジスタ有効ビット 出力データレジスタに CTLBCHn.PRCSA = 01 _B (積算) または CTLBCHn.PRCSA = 10 _B (デシメーション) 設定での演算結果がライトされたとき、1にセットされます。 |
| DIOW | 入力データオーバーライトエラービット 該当チャンネル処理中に入力データレジスタが上書きされた場合、1にセットされます。 また同一タグを持つ別の入力データによって処理中の入力データレジスタが上書きされた場合も1にセットされます。 |
| DOOW | 出力データオーバーライトエラービット 出力データレジスタに有効なデータがあるときに、新たな演算結果が上書きされた場合、1にセットされます。 |
| MER | 乗算エラービット フィルタ回路において、8000 _H *8000 _H の演算が実行された場合、1にセットされます。 |
| GER | ガードエラービット フィルタ回路において、48bit から 32bit 丸めエラーが生じた場合、1にセットされます。 |
| CER | カスケード丸めエラービット カスケード入力実行時、32bit から 16bit 丸めエラーが生じた場合、1にセットされます。 |
| AER | 絶対値エラービット 積算回路において、絶対値演算時に 8000 0000 _H の絶対値演算が実行された場合、1にセットされません。 |

28.4.14 エラーマスクレジスタ

エラーマスクレジスタの機能を示します。マスクしたエラー要因は、エラー割り込み要求条件からは除外されます。

たとえば、チャンネル 0 において、乗算エラーマスクフラグをセットした場合、チャンネル 0 での乗算エラーの状態が発生しても、乗算エラーフラグはセットされません。また、エラー割り込み要求を行いません。

表 28.31 エラーマスクレジスタ

| フラグ | 内容 |
|---------|-------------------------|
| MSKDIOW | 入力データエラー (DIOW) マスクビット |
| MSKDOOW | 出力データエラー (DOOW) マスクビット |
| MSKMER | 乗算エラー (MER) マスクビット |
| MSKGER | ガードエラー (GER) マスクビット |
| MSKAER | 絶対値エラー (AER) マスクビット |
| MSKCER | カスケード丸めエラー (CER) マスクビット |

28.4.15 割り込み要求

DFE は、チャンネルごとの出力データ用割り込み要求 16 本と、チャンネルごとの条件一致割り込み要求 10 本、エラー割り込み要求 1 本を持ちます。

28.4.15.1 出力データ割り込み要求

CTLBCHn.PRCSA = 01_B (積算) または CTLBCHn.PRCSA = 10_B (デシメーション) 設定での演算結果を出力データレジスタに書き込むと、出力データ割り込み要求を発生します (CTLBCHn.PRCSA = 00_B の設定では、演算結果を出力データレジスタに書き込みますが、割り込みは出力しません。)

チャンネルごとに対応する割り込み要求をすることが可能です。

制御レジスタ A の IEO ビットを用いて、割り込み要求出力を制御することができます。

STCHn.DOEN ビットと出力データ割り込み要求の関係を **図 28.41** に示します。

DFE は、CTLBCHn.PRCSA = 01_B (積算) または CTLBCHn.PRCSA = 10_B (デシメーション) 設定での処理結果を出力データレジスタにライトすると、STCHn.DOEN ビットに 1 をセットします。STCHn.DOEN ビットは、ソフトウェアを用いて、DOCHn レジスタをリードする、もしくは、CLRSTCHn.CLRDOEN ビットに 1 をライトすることで、0 にクリアします。

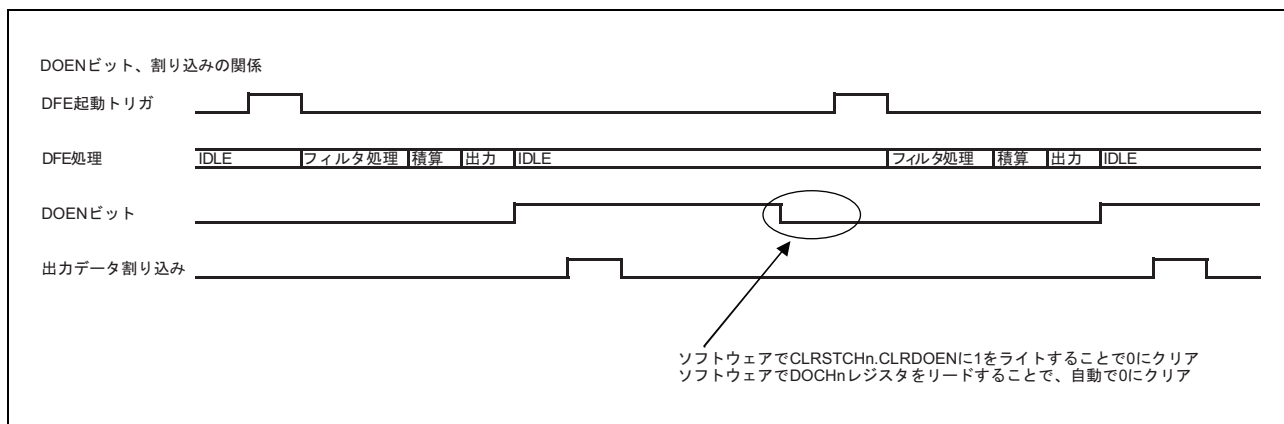


図 28.41 DOEN ビットと割り込みの関係

ソフトウェアを用いて、STCHn.DOEN ビットの 0 クリアをしない場合、再度出力データレジスタにライトしても、出力データ割り込み要求は行いません。出力データレジスタの上書きが実行されると、STCHn.DOOW ビットを 1 にセットします。

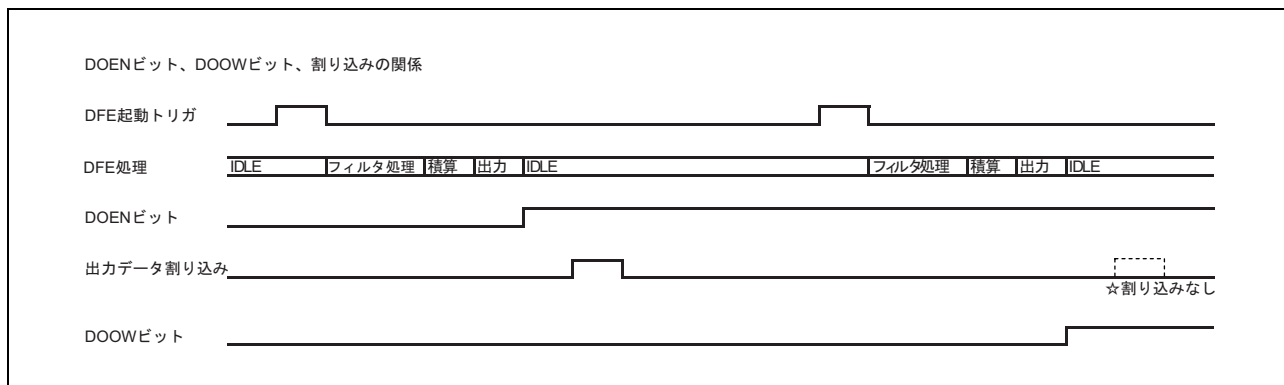


図 28.42 DOEN ビット、DOOW ビットと割り込みの関係

28.4.15.2 条件一致割り込み要求

PH 実行時は、PH 終了トリガフラグが有効になると PH 処理完了を知らせる条件一致割り込み要求を出力します。また、比較演算時は、比較演算結果が真になると、条件一致割り込みを出力します。両者は割り込みを共有しています。本割り込み要求は、チャンネル 0 ~ 9 が持ちます。

制御レジスタ A の IEC フラグを用いて、割り込み要求出力を制御することができます。

ステータスレジスタの CND ビット (STCHn (n = 0 ~ 9).CND) と条件一致割り込み要求の関係を **図 28.43** に示します。PH 終了フラグが有効になったときの条件一致割り込みも同一の出力タイミングとなります。

CTLBCHn.DISB ビット (PH 処理禁止ビット) は、PH 終了フラグ有効と同じく PH 処理を禁止状態にしますが、条件一致割り込みは出力しません。また、PH 処理が禁止状態の時に PH 終了トリガを入力しても、条件一致割り込みは出力しません。

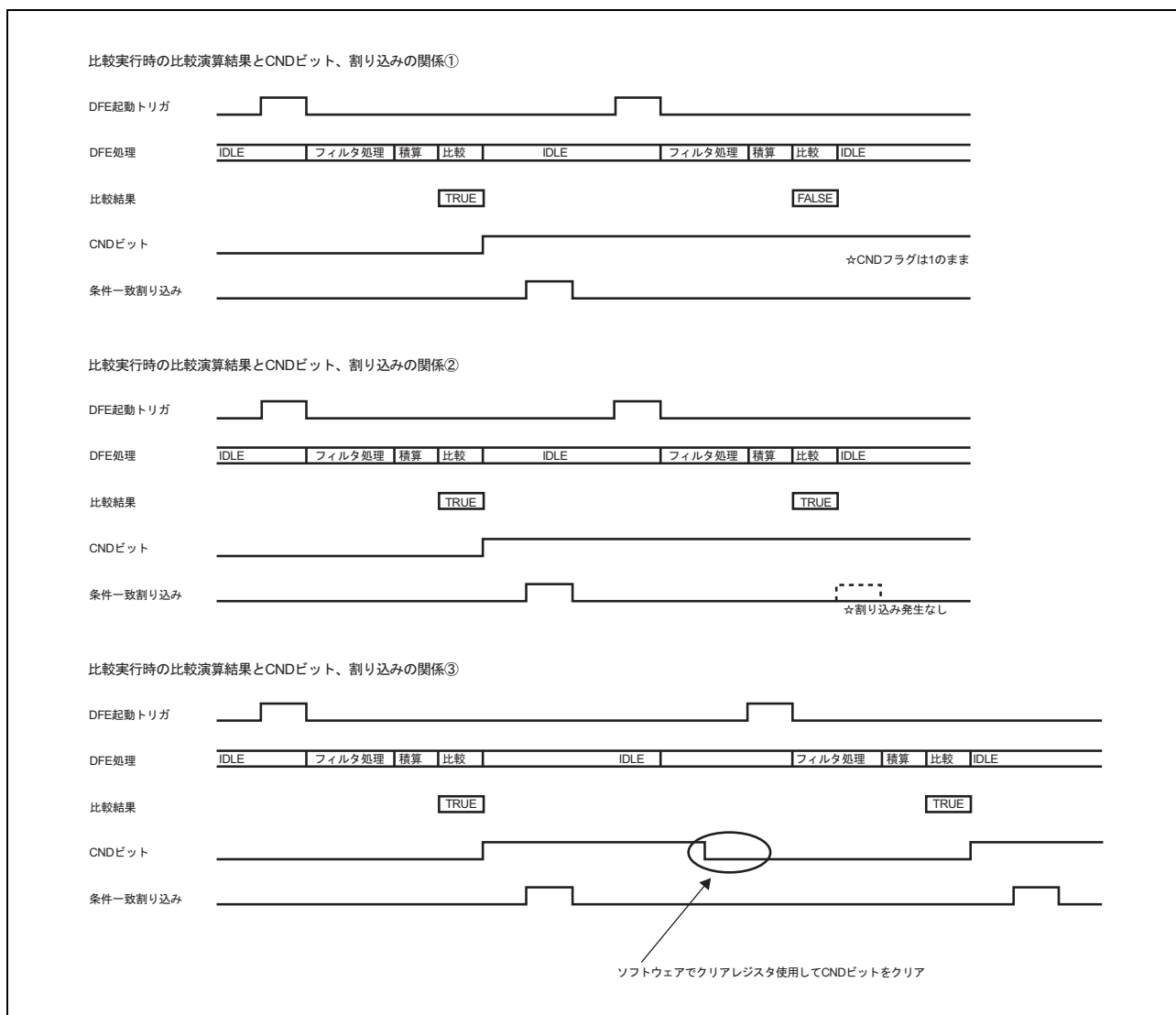


図 28.43 CND ビットと条件一致割り込み要求の関係

備考

n = 0 ~ 9

28.4.15.3 エラー割り込み要求

すべてのチャンネルのエラーの論理和で割り込みを発生します。チャンネルごとにエラー割り込み要求出力を制御することができます。

たとえば、チャンネル0～チャンネル7のエラー時割り込み要求を有効にし、チャンネル8～チャンネル15のエラー割り込みをマスクした場合、チャンネル0～7のいずれかのチャンネルでエラーが発生した際に、エラー割り込み要求を行います。チャンネル8～15でエラーが発生した際には、エラー割り込み要求は行いません。

エラービットとエラー割り込み要求の関係を下記に示します。エラー割り込みは、エラー要因の論理和で出力するので、すでにエラー割り込み要求しているときの、新規のエラー要因では、新規のエラー割り込みは出力しません。エラー割り込み出力後、クリアレジスタを用いて、エラービットをクリア後の再度のエラービット発生では、エラー割り込みを出力しません。

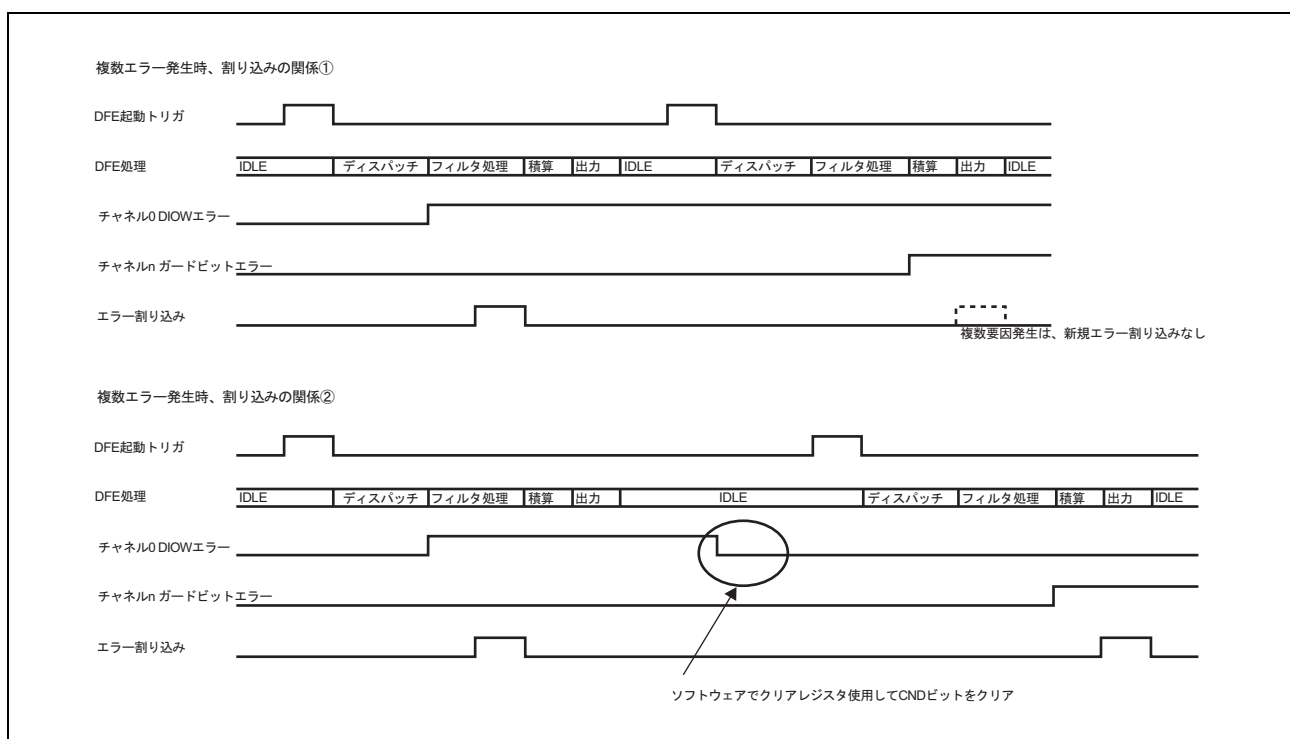


図 28.44 エラービットとエラー割り込みの関係

28.5 注意と制限事項

28.5.1 処理時間

28.5.1.1 1チャンネルの処理時間

DFE は、1 回の FIR 処理もしくは、IIR 処理をメモリアクセス競合がなければ最大 0.8us で行います。メモリアクセス競合が発生する場合は、最大 1.1 us の処理時間となります。

28.5.1.2 停止処理時間

CTLACH.EN = 0 にすると、すでに受け付けた入力データの処理をすべて行ったあと、DFE は処理を停止します。この停止まで最大処理時間は、入力データが受け付けられたチャンネル (未処理のチャンネル) × 処理時間となります。例えば、未処理のチャンネルが 5 チャンネルであれば、最大 5.5us となります。

28.5.2 DFE 起動入力間隔

DFE の起動信号の入力はメモリアクセス競合がなければ最小 0.8us、メモリアクセス競合が発生する場合は最小 1.1us の間隔にしてください。

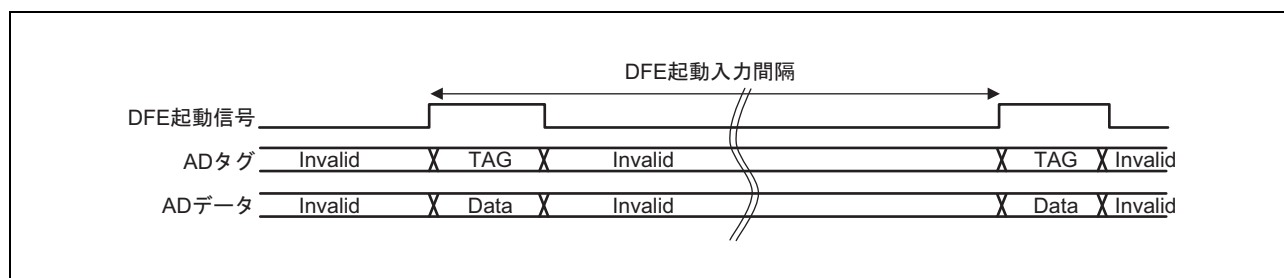


図 28.45 DFE 起動入力間隔 (AD 入力)

28.5.3 DFE 処理時間

AD からの起動トリガ入力から、同一チャンネル使用での次の起動トリガ受付可能になるサイクル (DFE 処理時間) を以下の表に示します。

表 28.32 FIR/IIR 通常時の処理時間

| | | 時間 |
|-----------|---------------|-------|
| FIR (通常時) | 8TAP | 240ns |
| | 16TAP | 300ns |
| | 24TAP | 350ns |
| | 32TAP | 400ns |
| IIR (通常時) | 2 次バイクアッド 1 段 | 310ns |
| | 2 次バイクアッド 2 段 | 400ns |
| | 2 次バイクアッド 3 段 | 490ns |

表 28.33 FIR/IIR 初期化付の時の処理時間

| | | 時間 |
|------------|---------------|-------|
| FIR (初期化付) | 8TAP | 310ns |
| | 16TAP | 410ns |
| | 24TAP | 520ns |
| | 32TAP | 630ns |
| IIR (初期化付) | 2 次バイクアッド 1 段 | 400ns |
| | 2 次バイクアッド 2 段 | 570ns |
| | 2 次バイクアッド 3 段 | 750ns |

DFE 処理期間中に、CPU から係数メモリ、またはデータメモリへのアクセスを行った場合、アクセスに要する時間分、処理時間が増加します。DFE 動作クロックが 80MHz の時、増加時間は、メモリアクセス 1 回につき、25ns です。

28.5.4 トリガ入力

1つのトリガ（タイマトリガ0～3、ソフトウェアトリガ）について、想定している入力例を以下に示します。たとえば、タイマトリガ0を使用する場合、タイマトリガ0の入力により、トリガフラグ機能が有効になる処理後、1回以上のDFE起動信号の入力があり、再度、タイマトリガ0の入力があることを想定しています。

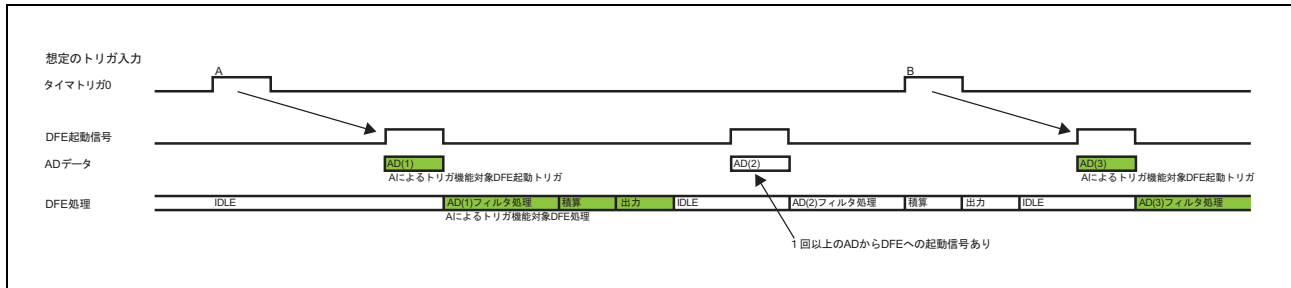


図 28.46 1つのトリガの入力例

タイマトリガ、もしくはソフトウェアトリガを入力し、そのトリガフラグが有効になるDFE処理後に、再度タイマトリガ、ソフトウェアを入力するタイミングで、トリガフラグがクリアされていなかった場合には、入力されたトリガが有効にならないため、トリガの連続入力は禁止です。以下に例を示します。この場合、以下の図、Bによるトリガ機能が有効にならないケースがあります。

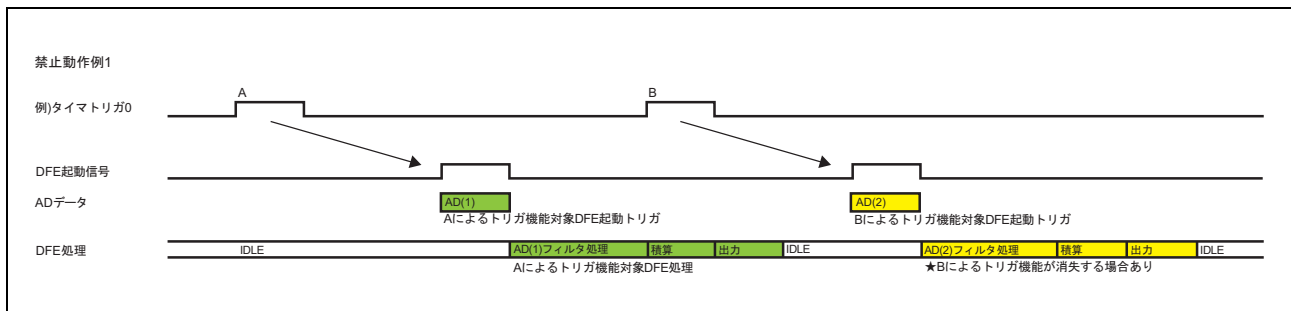


図 28.47 同一トリガの禁止動作 1

タイマトリガ、もしくはソフトウェアトリガを入力し、DFE起動信号入力前に、再度、同一のタイマトリガ、もしくはソフトウェアトリガを入力することを禁止します。以下に例を示します。この場合、Aによるトリガ機能、Bによるトリガ機能は、AD(2)に対してのみ有効になります。

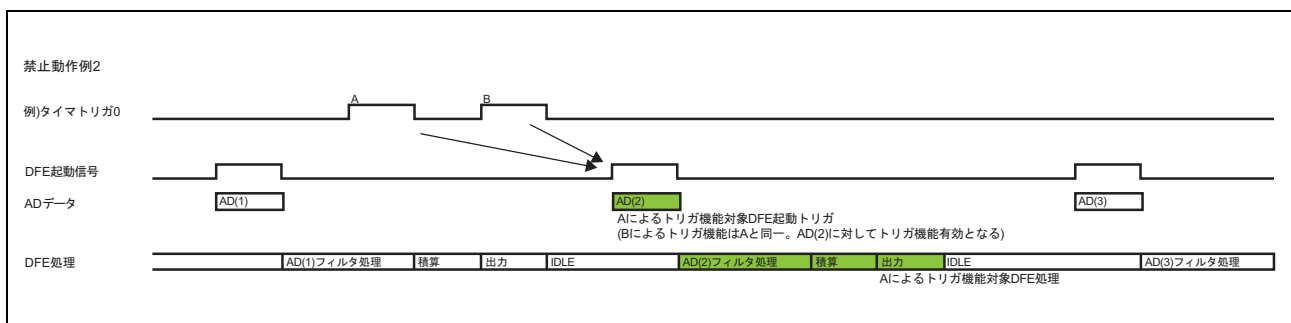


図 28.48 同一トリガの禁止動作 2

28.5.5 チャンネルタグと AD タグ

AD が DFE に入力するタグ値 (AD タグ) と、ソフトウェアで DFE に設定するタグ値 (チャンネルタグ) の設定が矛盾していると、正しい処理が行えません。

たとえば、AD が AD タグの値を 0001_B で DFE に入力し、DFE のチャンネルタグの値が 0001_B のチャンネルがない場合、DFE はフィルタ処理を行いません。

28.5.6 入力データフォーマットと演算の制限

DFE は、入力データフォーマットにより、実行できる演算に制限があります。「28.4.6 制御レジスタの設定」に詳細を記述していますので、ご確認ください。

28.5.7 カスケード処理の制限

カスケード処理は、積算回路の出力データ 32bit を 16bit に丸めて他チャンネルの入力データとする機能です。下記の制限、注意事項があります。「28.4.6 制御レジスタの設定」と併せてご確認ください。

1. カスケード有効時は、同一のチャンネルで、カスケードタグと、チャンネルタグを同一の値に設定しないこと。カスケードを指定したチャンネルとは別のチャンネルをカスケード先のチャンネルに割り当ててください。同一のタグ値にすると、フィルタ処理結果を再度同一チャンネルに入力し、繰り返し演算を行います。
2. カスケード有効時は、カスケードを有効にしたチャンネルのデータフォーマットと、カスケード先のデータフォーマットが同一となるようにしてください。たとえば、カスケードを有効にしたチャンネルが固定小数点入力フォーマット指定の場合、カスケード先のチャンネルも固定小数点入力フォーマットに指定をしてください。
3. 16 チャンネルの内、カスケード入力を有効にするのは最大 15 チャンネルにしてください。すべてのチャンネルのカスケード入力を有効にすると、フィルタ演算結果のカスケード入力での繰り返し演算を行います。
4. 制御レジスタ A (CTLACHn) の CAEN を 01_B と指定することは禁止です。
5. PH 処理、比較処理が有効の場合は PH 処理、比較処理は 32bit として処理を行います。
6. 浮動小数点変換後の結果をカスケード入力にすることはできません。
7. 複数のチャンネルのカスケード機能を有効にし、カスケード先を 1 つのチャンネルにする場合、チャンネルの優先順位に注意ください。カスケード先のチャンネルは、カスケードを有効にしたチャンネルより、優先順位の高いチャンネルとなるようにカスケードチャンネルを指定してください。たとえば、チャンネル 1 とチャンネル 2 のカスケード機能を有効にし、ともにカスケード先を同一にする場合は、カスケード先のチャンネルはチャンネル 0 になるように設定してください。

28.5.8 チャンネル無効時の動作

チャンネル有効ビット (CTLACHn.EN) を 0 に設定しているとき、AD から入力する AD タグとチャンネルタグの値が一致しても、フィルタ処理は起動しません。

また、チャンネルで設定したトリガフラグ機能のタイマトリガ入力、ソフトウェアトリガ入力は受け付けません。

チャンネル有効ビット (CTLACHn.EN) を 1 から 0 に設定したとき、0 に設定する前に入力された AD からの処理対象データは処理をします。

このとき、チャンネル有効ビットを 0 に設定する前にトリガフラグ機能用トリガが入力されていれば、処理対象データに対してトリガフラグ機能が有効となります。

トリガフラグ機能のトリガ入力は、チャンネル有効ビット (CTLACHn.EN) が 1 であれば、AD データが入力され処理対象データに対してトリガフラグ機能が有効になるまで保持します (トリガの保留)。

チャンネル有効ビット (CTLACHn.EN) を 1 から 0 に設定したあと、保留しているトリガは、処理するデータがなければクリアします。

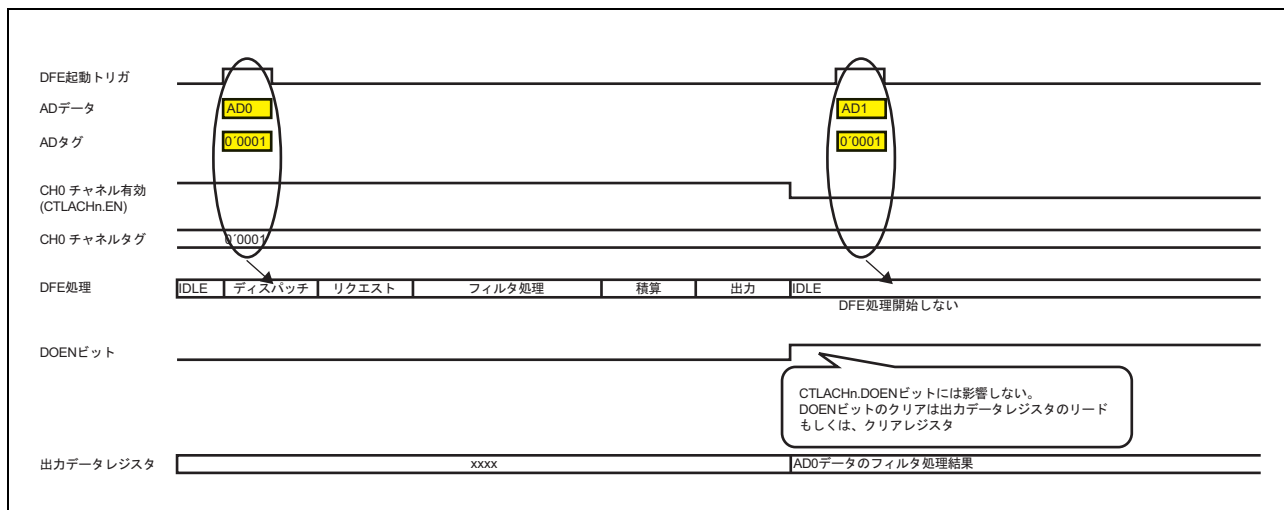


図 28.49 EN ビットと DOEN ビット

チャンネル有効ビット (CTLACHn.EN) を 0 にしても、ステータスレジスタのクリアは行いません。必要に応じて、ソフトウェアでクリアをしてください。

チャンネル有効ビット (CTLACHn.EN) を 0 から 1 に設定し、DFE 処理を再開すると、

- 積算/デシメーションカウンタは、リセット後最初の DFE 処理と同じく 0 からカウントを開始します。
- PH 処理は 1 回目に初期値レジスタとの比較を行い、2 回目以降は PH 結果レジスタの値と比較を行います。

28.5.9 メモリアクセスの制限

係数メモリに対しての 8bit/16bit ライトアクセスは禁止です。係数メモリに対してのライトは 32bit で実行してください。データメモリ 0 / データメモリ 1 に対して 8bit ライトアクセスは禁止です。データメモリ 0 / データメモリ 1 に対してのライトは 16bit で実行してください。

禁止時の動作を行った場合、データの破壊が行われるケースがあります。係数メモリの場合、バイトライト対象アドレスを含むワードデータ (32bit) が破壊される場合があります。データメモリ 0 / データメモリ 1 の場合、バイトライト対象アドレスを含むハーフワードデータ (16bit) が破壊される場合があります。

28.5.10 トリガ設定レジスタの制限

ソフトウェアトリガで、積算/デシメーション初期化と、積算/デシメーション禁止の両方の設定を行うことは禁止です。本設定時の動作は保証しません。

ソフトウェアトリガで、PH 初期化と、PH 終了の両方の設定を行うことは禁止です。本設定時の動作は保証しません。

28.5.11 PH 処理禁止ビットと積算/デシメーション処理禁止ビットの設定

CTLACHn.EN が 0 かつ STCHn.VALID が 0 のとき、CTLBCHn.DISB ビット (PH 処理禁止ビット) と、CTLBCHn.DISA ビット (積算/デシメーション処理禁止ビット) を、ソフトウェアで設定することができます。

CTLBCHn.DISB ビットに 1 を書き込み、PH 処理を禁止状態とする場合は、CTLBCHn.PRCBSB を “01” (PH 処理する) に設定してください。また、CTLBCHn.DISA ビットに 1 を書き込み、積算/デシメーション処理を禁止状態とする場合は、CTLBCHn.PRCSA を “01” (積算処理する) または “10” (デシメーション処理する) に設定してください。

第29章 セーフティ

29.1 概要

この章では、LSI に生じた故障を早期に検出するための故障検出機能について説明します。ここで故障には、メモリのソフトエラーのように回復可能な一過性故障と、回復不可能な恒久故障の両方を含みます。

本製品は ISO26262 における SEooC (Safety Element out of Context) として開発しております。開発プロセスや安全機構の詳細に関しては、当社までお問い合わせください。

以下に本 LSI の備える故障検出機能を示します。

ECC および EDC

メモリやデータ転送経路の故障検出や、一部の故障に対して訂正を行います。

ロックステップ

CPU1 の故障を早期に検出します。

注 意

デバッグ中はロックステップ機能は無効化されます。

故障検出機能を使っても、故障は検出されません。

メモリ保護

メモリや周辺回路への誤ったアクセスを検出し、これらのデータを誤ったアクセスから保護します。

MISG

CPU や PCU による特定のアドレスへのライトアクセスを監視し、そのライトデータを用いたシグネチャを生成し、生成したシグネチャ同士を自動比較します。

クロックモニタ

クロックの動作を監視し、異常な動作を検出します。

BIST

故障検出機能自身の故障を検出します。

エラーコントロールモジュール ECM

LSI 内の様々な故障検出状況を監視し、故障検出時の動作を指定します。

29.2 ECC および EDC

29.2.1 概要

29.2.1.1 ECC

本製品は、以下のメモリに対して ECC を搭載しています。これによって、メモリに保持しているデータに生じたエラーの検出や訂正が可能です。また、ECC エンコーダとメモリの間や、メモリと ECC デコーダの間で生じたエラーに対しても同様の検出や訂正が可能です。

表 29.1 ECC 概要

| 対象 | 対象データ幅 [bit] | エラー検出時の動作 | | | | 故障注入 |
|---|--------------|-----------|--------|----------|-----------|------|
| | | 検出／訂正 | ECM 通知 | エラーステータス | アドレスキャプチャ | |
| Code Flash | 128 | SEC-DED | ○ | ○ | ○ | ○ |
| Data Flash Local RAM (CPU1) Local RAM (PCU) Global RAM | 32 | SEC-DED | ○ | ○ | ○ | ○ |
| 命令キャッシュ (データ) | 64 | SEC-DED | ○ | ○ | ○ | ○ |
| 命令キャッシュ (TAG) | 32 | SEC-DED | ○ | ○ | ○ | ○ |
| DTS 用 RAM | 32 | SEC-DED | ○ | ○ | ○ | ○ |
| 周辺 RAM (32 ビット) | 32 | SEC-DED | ○ | ○ | ○ | ○ |
| 周辺 RAM (16 ビット) | 16 | SEC-DED | ○ | ○ | ○ | ○ |

対象データ幅

ECC エンコードの対象となるデータ幅を示します。これより小さいビット幅のデータを書き込む場合は、以下の処理が必要となります。このとき、(1) の読み出し時にも ECC はチェックされます。

- (1) 書き換え対象データを含む ECC エンコード対象データの読み出し
- (2) 書き換え対象データの入れ替え
- (3) (2) で生成したデータの書き戻し

検出／訂正

SEC-DED : 1 ビットエラーの訂正および検出と、2 ビットエラーの検出が可能です。

SED-DED : 1 ビットエラーおよび 2 ビットエラーの検出が可能です。

ECM 通知

エラー検出時に ECM (Error Control Module) に通知可能です。

エラーステータス

エラー検出時に、検出したエラー内容のステータスを保持します。

アドレスキャプチャ

エラー検出時に、エラーを発生したアドレスを保持します。

故障注入

意図的に ECC エラーを発生させることによって、ECC デコーダの動作を自己診断することができます。

29.2.1.2 アドレスパリティ

本製品は、以下のメモリに対してアドレスパリティを搭載しています。これによって、アドレスデコード時のエラーを検出可能です。また、パリティエンコーダとメモリ間のアドレスに生じたエラーの検出も可能です。

表 29.2 アドレスパリティ概要

| 対象 | パリティビット | ECM 通知 | エラーステータス | アドレスキャプチャ | 故障注入 |
|------------------|---------|--------|----------|-----------|------|
| Code Flash | 1bit | ○ | ○ | ○ | ○ |
| Local RAM (CPU1) | 2bit 注1 | ○ | ○ | ○ | ○ |
| Global RAM | 1bit | ○ | ○ | ○ | ○ |

注 1. ライトアドレスに対応するパリティビットをメモリの 2ヶ所に書き込みます。リードアドレスに対応するパリティビットとの比較において、メモリに格納した 2 ビットの両方にエラーを検出した場合をアドレスパリティエラー、パリティビットの一方にのみエラーを検出した場合をパリティビットエラーとして区別します。

29.2.1.3 データパリティ

本製品は、特定のデータ転送に対してデータパリティを搭載しています。これにより、転送データに生じたエラーを検出可能です。詳細は、「29.2.11 データ転送経路のデータパリティ」を参照してください。

29.2.2 Code Flash の ECC およびアドレスパリティ

29.2.2.1 概要

Code Flash 用 ECC の概要を以下に示します。

表 29.3 Code Flash 用 ECC 概要

| 項目 | 説明 |
|--------------|---|
| ECC エラー検出・訂正 | <p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • ECC エラー検出・訂正を行います (2 ビットエラー検出と 1 ビットエラー検出・訂正を行います)。 • ECC エラー検出を行います (2 ビットエラー検出と 1 ビットエラー検出を行います)。無効時はエラー検出・訂正を行いません。 <p>リセット後の状態は機能を有効で 2 ビットエラー検出、1 ビットエラー検出・訂正の通知を行います。</p> |
| アドレスパリティ | <p>アドレスパリティチェックの有効/無効を選択可能</p> <p>アドレスパリティチェックはデータリード時に行います。</p> <p>リセット後の状態は機能有効。</p> |
| エラー通知 | <p>ECC エラー発生時、またはパリティエラー発生時、ECM にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可 • ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の状態は、2 ビットエラー検出時のエラー通知許可、1 ビットエラー検出時のエラー通知禁止。</p> <p>パリティエラー</p> <ul style="list-style-type: none"> • アドレスパリティエラー検出時にエラー通知許可/禁止を選択可 <p>リセット後の状態は、アドレスパリティエラー検出時のエラー通知許可。</p> <p>エラー通知信号は、 ECC 2 ビットエラーとアドレスパリティエラーを 1 要因 ECC 1 ビットエラーを 1 要因 として ECM に通知します。</p> |
| エラーステータス | <p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。エラーステータスはクリアレジスタによってクリア可能です。</p> |
| アドレスキャプチャ | <p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレス、またはパリティエラー発生アドレスをキャプチャします。</p> <p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出によってアドレスがキャプチャされます。</p> <p>エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p> |
| 自己診断 | <p>ROM データと、ECC ビットやアドレスパリティビットをダイレクトに読みだすことができます。</p> <p>ROM データと、ECC ビットやアドレスパリティビットに任意のデータを書き込むことができます。</p> |
| その他 | <p>命令フェッチ時の ECC2 ビットエラーは、ECM で安全状態に移行できます。</p> |

ECC デコーダとアドレスパリティ生成器は Code Flash インタフェースにつながる各読み出しポート (CPU1、PCU、インターコネクタ) それぞれに対応して用意されています。アドレスパリティチェッカは Code Flash のアクセスコントローラにあります。図 29.1 をご参照ください。

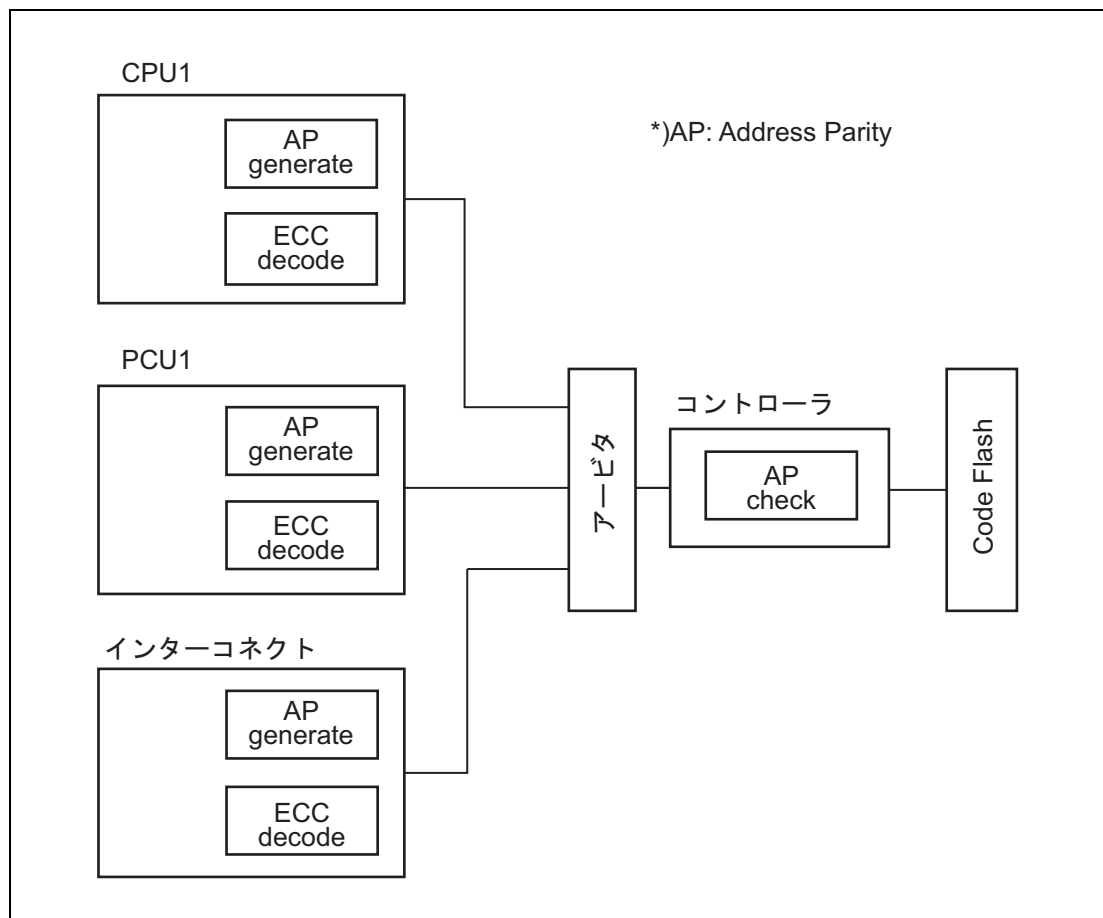


図 29.1 Code Flash の ECC とアドレスパリティ

29.2.2.2 レジスタ一覧

表 29.4 レジスタ一覧

| アドレス | シンボル ^{注1} | レジスタ名 | R/W | リセット後の値 | アクセスサイズ |
|------------------------|--------------------|---|-----|------------------------|---------|
| FFC6 2000 _H | CFAPCTL | Code Flash アドレスパリティコントロールレジスタ | R/W | 0000 0000 _H | 16/32 |
| FFC6 2200 _H | CFECCCTL_VCI | Code Flash ECC コントロールレジスタ (VCI) | R/W | 0000 0000 _H | 16/32 |
| FFC6 2204 _H | CFERRINT_VCI | Code Flash エラー情報コントロールレジスタ (VCI) | R/W | 0000 0006 _H | 8/16/32 |
| FFC6 2208 _H | CFSTCLR_VCI | Code Flash ステータスクリアレジスタ (VCI) | W | 0000 0000 _H | 8/16/32 |
| FFC6 220C _H | CFOVFSTR_VCI | Code Flash エラーカウントオーバフローステータスレジスタ (VCI) | R | 0000 0000 _H | 8/16/32 |
| FFC6 2210 _H | CF1STERSTR_VCI | Code Flash 1st エラーステータスレジスタ (VCI) | R | 0000 0000 _H | 8/16/32 |
| FFC6 2250 _H | CF1STEADR0_VCI | Code Flash 1st エラーアドレスレジスタ (VCI) | R | 0000 0000 _H | 8/16/32 |
| FFC6 2350 _H | CFSTSTCTL_VCI | Code Flash サブテストコントロールレジスタ (VCI) | R/W | 0000 0000 _H | 16/32 |
| FFC6 2400 _H | CFECCCTL_PE1 | Code Flash ECC コントロールレジスタ (PE1) | R/W | 0000 0000 _H | 16/32 |
| FFC6 2404 _H | CFERRINT_PE1 | Code Flash エラー情報コントロールレジスタ (PE1) | R/W | 0000 0006 _H | 8/16/32 |
| FFC6 2408 _H | CFSTCLR_PE1 | Code Flash ステータスクリアレジスタ (PE1) | W | 0000 0000 _H | 8/16/32 |
| FFC6 240C _H | CFOVFSTR_PE1 | Code Flash エラーカウントオーバフローステータスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |
| FFC6 2410 _H | CF1STERSTR_PE1 | Code Flash 1st エラーステータスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |
| FFC6 2450 _H | CF1STEADR0_PE1 | Code Flash 1st エラーアドレスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |
| FFC6 2550 _H | CFSTSTCTL_PE1 | Code Flash サブテストコントロールレジスタ (PE1) | R/W | 0000 0000 _H | 16/32 |
| FFC6 2800 _H | CFECCCTL_PCU | Code Flash ECC コントロールレジスタ (PCU) | R/W | 0000 0000 _H | 16/32 |
| FFC6 2804 _H | CFERRINT_PCU | Code Flash エラー情報コントロールレジスタ (PCU) | R/W | 0000 0006 _H | 8/16/32 |
| FFC6 2808 _H | CFSTCLR_PCU | Code Flash ステータスクリアレジスタ (PCU) | W | 0000 0000 _H | 8/16/32 |
| FFC6 280C _H | CFOVFSTR_PCU | Code Flash エラーカウントオーバフローステータスレジスタ (PCU) | R | 0000 0000 _H | 8/16/32 |
| FFC6 2810 _H | CF1STERSTR_PCU | Code Flash 1st エラーステータスレジスタ (PCU) | R | 0000 0000 _H | 8/16/32 |
| FFC6 2850 _H | CF1STEADR0_PCU | Code Flash 1st エラーアドレスレジスタ (PCU) | R | 0000 0000 _H | 8/16/32 |
| FFC6 2950 _H | CFSTSTCTL_PCU | Code Flash サブテストコントロールレジスタ (PCU) | R/W | 0000 0000 _H | 16/32 |

注 1. レジスタシンボルにおいて、“_VCI”、“_PE1”、“_PCU”が付いているレジスタは、各アクセスポートに対応する ECC コントローラごとに用意されているレジスタとなります。

“_VCI”はシステムインタコネク1から Code Flash へのアクセス用、“_PE1”は CPU1 からのアクセス用、“_PCU”は PCU からのアクセス用の ECC コントローラを示します。

29.2.2.3 レジスタ詳細

(1) CFAPCTL — Code Flash アドレスパリティコントロールレジスタ

CFAPCTL レジスタは、アドレスパリティチェックの有効/無効を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] ビットを 01_B にして実行してください。本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|----|----|----|----|----|----|----|----|----|----|----|-------------|-------------|--------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PROT[1:0] | — | — | — | — | — | — | — | — | — | — | — | — | APTES TB | APTES TA | APARID IS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W |

表 29.5 CFAPCTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|--|
| 31 ~ 16 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 15, 14 | PROT[1:0] | 本レジスタへの書き込みを有効化するビットです。読み出すと0が読み出されません。 |
| 13 ~ 3 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 2 | APTESTB | アドレスパリティチェッカ (BankB) テストビット アドレスパリティチェッカをテストモードに設定します。 APTESTB = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。 |
| 1 | APTESTA | アドレスパリティチェッカ (BankA) テストビット アドレスパリティチェッカをテストモードに設定します。 APTESTA = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。 |
| 0 | APARIDIS | アドレスパリティチェックディスエーブルビット アドレスパリティ回路のアドレスパリティチェックの有効/無効を設定します。 0: アドレスのパリティチェック許可 1: アドレスのパリティチェック禁止 |

(2) CFECCTL_VCI/PE1/PCU — Code Flash ECC コントロールレジスタ

CFECCTL レジスタは、ECC エラー検出・訂正の有効/無効、1 ビットエラー訂正の許可/禁止を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|----|----|----|----|----|----|----|----|----|----|----|----|--------|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PROT[1:0] | — | — | — | — | — | — | — | — | — | — | — | — | — | SECDIS | ECCDIS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 29.6 CFECCTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|---|
| 31 ~ 16 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 15, 14 | PROT[1:0] | 本レジスタへの書き込みを有効化するビットです。読み出すと0が読み出されず。 |
| 13 ~ 2 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 1 | SECDIS | 1ビットエラー訂正ディスエーブルビット ECCのエラー検出・訂正の有効時に、1ビットエラー訂正の許可/禁止を設定するためのビットです。 0: 1ビットエラー検出時にエラー訂正する 1: 1ビットエラー検出時にエラー訂正しない |
| 0 | ECCDIS | ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。 0: ECC エラー検出・訂正機能が有効 1: ECC エラー検出・訂正機能が無効 |

(3) CFERRINT_VCI/PE1/PCU — Code Flash エラー情報コントロールレジスタ

CFERRINT レジスタは、ECC 2 ビットエラー検出時、ECC 1 ビットエラー検出時、アドレスパリティエラー検出時に ECM へのエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|-------|-------|-------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | APEIE | DEDIE | SEDIE | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W |

表 29.7 CFERRINT レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|--|
| 31 ~ 3 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 2 | APEIE | アドレスパリティエラー通知許可ビット アドレスパリティチェック許可時に、アドレスパリティエラー検出時のエラー通知発生を制御するビットです。 0: アドレスパリティエラー通知禁止 1: アドレスパリティエラー通知許可 |
| 1 | DEDIE | ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0: ECC 2 ビットエラー通知禁止 1: ECC 2 ビットエラー通知許可 |
| 0 | SEDIE | ECC 1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0: ECC 1 ビットエラー通知禁止 1: ECC 1 ビットエラー通知許可 |

(4) CFSTCLR_VCI/PE1/PCU — Code Flash ステータスクリアレジスタ

CFSTCLR レジスタは、エラーステータスレジスタ (CF1STERSTR) のエラーフラグ、エラーカウントオーバフローステータスレジスタ (CFOVFSTR) のオーバフローフラグ、およびエラーアドレスレジスタ (CF1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | STCLR 0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W |

表 29.8 CFSTCLR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------|--|
| 31 ~ 1 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 0 | STCLR0 | エラーオーバフローフラグクリアビット 1 書き込みで「CF1STERSTR レジスタの APEF0、DEDFO、SEDF0 フラグ」、 「CFOVFSTR レジスタの ERROVF0 フラグ」および「CF1STEADR0 レジスタ」 をクリアします。 |

(5) CFOVFSTR_VCI/PEI/PCU — Code Flash エラーカウントオーバーフローステータスレジスタ

CFOVFSTR レジスタは、エラーカウントのオーバーフロー発生を監視するためのレジスタです。1stエラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の2ndエラーが発生した場合に本フラグがセットされます。ただし、2ndエラーの内容が、1stエラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または、CFSTCLR レジスタの STCLR ビットへ1をセットすることでクリアされます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ERROVF0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.9 CFOVFSTR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|---|
| 31～1 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 0 | ERROVF0 | エラーオーバーフローフラグ エラーステータスレジスタのいずれかのエラーフラグ（APEF0, DEDF0, SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。 |

(6) CF1STERSTR_VCI/PE1/PCU — Code Flash 1st エラーステータスレジスタ

CF1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーフラグが0の状態ではエラーが発生した場合に、エラーステータスがセットされます。ただし、ECC1 ビットエラーのフラグのみがセットされている状態に限り、後続のアクセスでECC2 ビットエラー、またはアドレスパリティエラーが発生した場合は、該当するエラーフラグが追加でセットされます。

なお、同一アクセスで同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされます。CF1STERSTR レジスタは内部リセット、外部リセット、またはCFSTCLR レジスタのSTCLR ビットへ1をセットすることでクリアされます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|-------|-------|-------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | APEF0 | DEDF0 | SEDF0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.10 CF1STERSTR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|--|
| 31 ~ 3 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 2 | APEF0 | アドレスパリティエラーモニタフラグ クリア条件： リセットまたはCFSTCLR レジスタのSTCLR0 ビットへ1をセット セット条件： DEDF0/APEF0のエラーフラグが0の状態ではアドレスパリティエラー発生 |
| 1 | DEDF0 | ECC2 ビットエラーモニタフラグ クリア条件： リセットまたはCFSTCLR レジスタのSTCLR0 ビットへ1をセット セット条件： DEDF0/APEF0のエラーフラグが0の状態ではECC 2 ビットエラー発生 |
| 0 | SEDF0 | ECC1 ビットエラーモニタフラグ クリア条件： リセットまたはCFSTCLR レジスタのSTCLR0 ビットへ1をセット セット条件： DEDF0/SEDF0/APEF0のすべてのエラーフラグが0の状態ではECC 1 ビットエラー発生 |

(7) CF1STEADR0_VCI/PE1/PCU — Code Flash 1st エラーアドレスレジスタ

CF1STEADR レジスタは、エラー発生時のアドレスを保持するためのレジスタです。CF1STERSTR レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラー、またはアドレスパリティエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。

また、本レジスタの EADR[24:4] は実アドレスの [24:4] が対応します。上位アドレス [31:25] をベースアドレスとして加算することにより実アドレスが計算できます。CF1STEADR レジスタは内部リセット、外部リセット、または CFSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

| | | | | | | | | | | | | | | | | |
|---------|------------|----|----|----|----|----|----|-------------|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | | | | | | | EADR[24:16] | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | EADR[15:4] | | | | | | | | | | | | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.11 CF1STEADR0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------------|---|
| 31 ~ 25 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 24 ~ 4 | EADR[24:4] | 1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 CF1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラー、アドレスパリティエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。 |
| 3 ~ 0 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |

(8) CFSTSTCTL_VCI/PE1/PCU — Code Flash サブテストコントロールレジスタ

CFSTSTCTL レジスタは ECC テスト（自己診断）時に使用するレジスタです。Code Flash 専用のレジスタです。ECC テストモード（ECCTST = 1）に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|----|----|----|----|----|----|----|----|----|----|----|----|----|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PROT[1:0] | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ECCTST |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 29.12 CFSTSTCTL_VCI/PE1/PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|--|
| 31 ~ 16 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 15, 14 | PROT[1:0] | 本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されません。 |
| 13 ~ 1 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 0 | ECCTST | ECC テストビット ECC テストモード（ECCTST = 1）に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。 |

ECC テストモード（ECCTST = 1）に設定した Code Flash アクセスポートからは正しい命令を読み出せません。CPU や PCU 用のアクセスポートをテストモードに設定中は（ECCTST ビットの操作中も含まれます）、CPU や PCU は Local RAM や Global RAM 上のプログラムを実行するようにし、Code Flash から命令をフェッチしないようにしてください。

CPU には小容量のデータバッファを備えています。これらのデータバッファに古い値が残っていると、ECCTST ビットを切り替えても正しい値を読み出すことができません。ECCTST ビット切り替えの際は、必ずデータバッファをクリアしてください。クリア方法については、CPU の章をご参照ください。

ECC テストモードに設定した Code Flash アクセスポートからは、16n 番地にアラインされた 4 バイトリードでアクセスしてください。この時、Code Flash の読み出し結果は以下のとおりです。

表 29.13 Code Flash の読み出し結果

| ビット位置 | 内容 |
|---------|-------------|
| 31 ~ 10 | 常に 0 です。 |
| 9 | アドレスパリティビット |
| 8 ~ 0 | ECC ビット |

29.2.2.4 テスト機能

レジスタ設定により、Code Flash データ、ECC ビット、アドレスパリティビットを読み出すことができます。

(1) Code Flash データ読み出し

- (a) Code Flash ECC コントロールレジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効にします。
- (b) ECCDIS = 1 のとき、Code Flash 読み出し時にエラー検出・訂正を行いませんので Code Flash からのデータがそのまま読みだされます。

本テストモードからの抜け方：

- (a) Code Flash ECC コントロールレジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(2) ECC ビット、アドレスパリティビット読み出し

- (a) Code Flash ECC コントロールレジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効にします。
- (b) Code Flash サブテストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。
- (c) Code Flash の読み出しを実行すると、Code Flash データ部分の代わりに ECC ビットとアドレスパリティビットが読みだされます。

本テストモードからの抜け方：

- (a) Code Flash ECC コントロールレジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。
- (b) Code Flash サブテストコントロールレジスタの ECCTST ビットを 0 にして、ノーマルモードに設定します。

(3) 自己診断

Code Flash に予め誤ったデータを書き込んでおき（故障注入）、これを読みだすことによって各アクセスポートの ECC デコーダやアドレスパリティデコーダを自己診断することができます。いったん正しい ECC ビットやアドレスパリティビットを生成し、適当なビットのみ反転させることで ECC の 1 ビットエラーや 2 ビットエラー、アドレスパリティエラーの故障を注入することができます。

Code Flash 書き込み方法の詳細は、「RH850/E1x フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」をご参照ください。

(4) Code Flash の ECC およびアドレスパリティの自己診断について

Code Flash の ECC 及びアドレスパリティの自己診断用途に、0100 A000_H から 0100 A8CF_H の領域に予め、ECC1 ビットエラー、ECC2 ビットエラー、アドレスパリティエラーを発生させるデータが書き込まれており、リードアクセスすることにより領域に応じたエラーを意図的に発生させ、ECC およびアドレスパリティの動作を自己診断することができます。

エラーを発生させるコードが書き込まれているアドレスを以下に示します。

表 29.14 Code Flash 診断コード

| アドレス | 内容 |
|---|----------------------------------|
| 0100 A000 _H ~ 0100 A08F _H | ECC1 ビットエラー発生 (ECC コード領域のウォーキング) |
| 0100 A090 _H ~ 0100 A88F _H | ECC1 ビットエラー発生 (データ領域のウォーキング) |
| 0100 A8B0 _H ~ 0100 A8BF _H | ECC2 ビットエラー発生 |
| 0100 A8C0 _H ~ 0100 A8CF _H | アドレスパリティエラー発生 |

29.2.3 Data Flash の ECC

29.2.3.1 概要

Data Flash 用 ECC の概要を以下に示します。

表 29.15 Data Flash 用 ECC 概要

| 項目 | 説明 |
|--------------|--|
| ECC エラー検出・訂正 | <p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • ECC エラー検出・訂正を行います (2 ビットエラー検出と 1 ビットエラー検出・訂正を行います)。 • ECC エラー検出を行います (2 ビットエラー検出と 1 ビットエラー検出を行います)。 <p>無効時はエラー検出・訂正を行いません。 リセット後の状態は機能を有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行います。</p> |
| エラー通知 | <p>ECC エラー発生時、ECM にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可 • ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の状態は、2 ビットエラー検出時のエラー通知許可、1 ビットエラー検出時のエラー通知禁止。</p> <p>エラー通知信号は、 ECC 2 ビットエラーを 1 要因 ECC 1 ビットエラーを 1 要因 として出力します。</p> |
| エラーステータス | <p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。</p> |
| アドレスキャプチャ | <p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレスをキャプチャします。 ECC 2 ビットエラー検出、ECC 1 ビットエラー検出によってアドレスがキャプチャされます。 エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p> |
| 自己診断 | <p>ROM データと、ECC ビットをダイレクトに読みだすことができます。 ROM データと、ECC ビットに任意のデータを書き込むことができます。</p> |

29.2.3.2 レジスタ一覧

(1) ECC モジュール一覧

表 29.16 モジュール一覧

| ECC モジュール名とレジスタベースアドレス | | | |
|------------------------|------------------------|---------|------------------------|
| マスタ側 | | チェック側 | |
| モジュール名 | ベースアドレス <Base_addr> | モジュール名 | ベースアドレス <Base_addr> |
| ECCEEP | FFC6 2C00 _H | ECCEEPC | FFC6 2E00 _H |

(2) レジスタ一覧

各 ECC モジュールは以下のレジスタを備えます。

表 29.17 レジスタ一覧

| レジスタシンボル | レジスタ名 | R/W | リセット後の値 | アドレス | アクセスサイズ | | |
|----------|----------------------------------|-----|------------------------|-------------------------------|---------|----|----|
| | | | | | 8 | 16 | 32 |
| DFECCCTL | Data Flash ECC コントロールレジスタ | R/W | 0000 _H | <Base_addr> | | ○ | |
| DFERSTR | Data Flash エラーステータスレジスタ | R | 00 _H | <Base_addr> + 04 _H | ○ | | |
| DFERSTC | Data Flash エラーステータスクリアレジスタ | W | 00 _H | <Base_addr> + 08 _H | ○ | | |
| DFOVFSTR | Data Flash エラーオーバフローステータスレジスタ | R | 00 _H | <Base_addr> + 0C _H | ○ | | |
| DFOVFSTC | Data Flash エラーオーバフローステータスクリアレジスタ | W | 00 _H | <Base_addr> + 10 _H | ○ | | |
| DFERRINT | Data Flash エラー通知コントロールレジスタ | R/W | 02 _H | <Base_addr> + 14 _H | ○ | | |
| DFEADR | Data Flash 1st エラーアドレスレジスタ | R | 0000 0000 _H | <Base_addr> + 18 _H | | | ○ |
| DFTSTCTL | Data Flash テストコントロールレジスタ | R/W | 0000 _H | <Base_addr> + 1C _H | | ○ | |

(3) DFECCTL — Data Flash ECC コントロールレジスタ

DFECCTL レジスタは、ECC エラー検出・訂正の有効/無効、1ビットエラー訂正の許可/禁止を設定するレジスタです。DFECCTL レジスタは内部リセットまたは、外部リセットによって初期化されます。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|-----|----|----|----|---|---|---|---|---|---|---|---|--------|--------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PROT[1:0] | — | — | — | — | — | — | — | — | — | — | — | — | — | SECDIS | ECCDIS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 29.18 DFECCTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------|--|
| 15 | PROT[1:0] | 本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されず。 |
| 13 ~ 2 | — | 予約ビット |
| 1 | SECDIS | 1ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1ビットエラー訂正の許可/禁止を設定するためのビットです。 0: 1ビットエラー検出時にエラー訂正します 1: 1ビットエラー検出時にエラー訂正しません |
| 0 | ECCDIS | ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。 初期状態は ECC エラー検出・訂正機能が有効です。 0: ECC エラー検出・訂正機能が有効 1: ECC エラー検出・訂正機能が無効 |

(4) DFERSTR — Data Flash エラーステータスレジスタ

DFERSTR レジスタは、発生したエラーをモニタするためのレジスタです。

DFERSTR は内部リセットまたは、外部リセット、Data Flash エラーステータスクリアレジスタのクリアビットセットによって初期化されます。

ECC エラー検出・訂正有効時に、ECC 1 ビットエラーが検出されると SEDF ビットがセットされ、ECC 2 ビットエラーが検出されると DEDF ビットがセットされます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|------|------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | DEDF | SEDF |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 29.19 DFERSTR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 7～2 | — | 予約ビット |
| 1 | DEDF | ECC 2 ビットエラーモニタフラグ クリア条件： リセットまたは DFERSTC レジスタの ERRCLR ビットへ 1 をセット セット条件： DEDF/SEDF のすべてのエラーフラグが 0 の状態で ECC2 ビットエラー発生 |
| 0 | SEDF | ECC 1 ビットエラーモニタフラグ クリア条件： リセットまたは DFERSTC レジスタの ERRCLR ビットへ 1 をセット セット条件： DEDF/SEDF のすべてのエラーフラグが 0 の状態で、ECC1 ビットエラー発生 |

(5) DFERSTC — Data Flash エラーステータスクリアレジスタ

DFERSTC レジスタは、Data Flash エラーステータスレジスタのエラーフラグをクリアするためのレジスタです。書き込み専用レジスタで、読み出し値は常に 0 です。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | ERRCLR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 29.20 DFERSTC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|--|
| 7～1 | — | 予約ビット |
| 0 | ERRCLR | SEDF/DEDF フラグクリアビット 1 書き込みで SEDF/DEDF フラグをクリアします。 |

(6) DFOVFSTR — Data Flash エラーオーバフローステータスレジスタ

DFOVFSTR レジスタは、Data Flash エラーオーバフロー発生を監視するためのレジスタです。ERROVF フラグは内部リセットまたは、外部リセット、DFOVFSTC レジスタの ERROVFCLR ビットへ1 をセットすることでクリアされます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | ERROVF |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 29.21 DFOVFSTR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 7～1 | — | 予約ビット |
| 0 | ERROVF | エラーオーバフローフラグ エラーアドレスレジスタがフルの状態では ECC エラーが発生するとセットされます。 |

(7) DFOVFSTC — Data Flash エラーオーバフローステータスクリアレジスタ

DFOVFSTC レジスタは、Data Flash エラーオーバフローフラグをクリアするためのレジスタです。ERROVFCLR ビットへ1 をセットすることでクリアされます。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|-----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | ERROVFCLR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 29.22 DFOVFSTC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 7～1 | — | 予約ビット |
| 0 | ERROVFCLR | エラーオーバフローフラグクリアビット 1書き込みで ERROVF フラグをクリアします。 常に0が読み出されます。 |

(8) DFERRINT — Data Flash エラー通知コントロールレジスタ

DFERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時にエラー通知信号発生の有効/無効を設定するためのレジスタです。

| | | | | | | | | |
|---------|---|---|---|---|---|---|-------|-------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | DEDIE | SEDIE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 29.23 DFERRINT レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-------|--|
| 7 ~ 2 | — | 予約ビット |
| 1 | DEDIE | ECC 2 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 2 ビットエラー通知禁止 1 : ECC 2 ビットエラー通知許可 |
| 0 | SEDIE | ECC1 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可 |

(9) DFEADR — Data Flash 1st エラーアドレスレジスタ

Data Flash エラーステータスレジスタの SEDF、DEDF がすべて 0 の状態で発生した ECC エラーの発生アドレスを DFEADR に保持します。

| | | | | | | | | | | | | | | | | |
|---------|--------------|----|----|----|----|----|----|----|----|----|----|---------------|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | DFEADR[20:16] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DFEADR[15:2] | | | | | | | | | | | | | | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.24 DFEADR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|--------------|---|
| 31 ~ 21 | — | 予約ビット |
| 20 ~ 2 | DFEADR[20:2] | ECC エラー発生アドレス ECC エラーの発生したアドレスをモニタするための読み出し専用レジスタです。 |
| 1、0 | — | 予約ビット |

(10) DFTSTCTL — Data Flash テストコントロールレジスタ

ECC テスト時に使用するレジスタです。

ECC テストモード (ECCTST = 1) 設定後、ECC ビットのデータを読み出すことができます。

本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|----|----|----|----|---|---|---|---|---|---|---|---|---|--------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PROT[1:0] | | — | — | — | — | — | — | — | — | — | — | — | — | — | ECCTST |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 29.25 DFTSTCTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 15、14 | PROT[1:0] | 本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されません。 |
| 13～1 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 0 | ECCTST | ECC テストビット ECC テストモードに設定します。 |

29.2.3.3 テスト機能

Data Flash テストコントロールレジスタ (DFTSTCTL) の設定により、ROM データ、ECC ビットを読み出すことができます。

(1) ROM データの読み出し

- (a) Data Flash ECC コントロールレジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効に設定します。
- (b) ECCDIS = 1 のとき、Data Flash 読み出し時にエラー検出、訂正を行いませんので、Data Flash からの出力データがそのまま読みだされます。

本テストモードからの抜け方：

- (a) Data Flash ECC コントロールレジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(2) ECC データの読み出し

- (a) Data Flash ECC コントロールレジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効に設定します。
- (b) Data Flash テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。
- (c) Data Flash の読み出しを実行するとリードデータの下位 7 ビットが ECC データとして読み出されます。

本テストモードからの抜け方：

- (a) Data Flash ECC コントロールレジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。
- (b) Data Flash テストコントロールレジスタの ECCTST ビットを 0 にして、ノーマルモードに設定します。

(3) 自己診断

Data Flash に予め誤ったデータを書き込んでおき（故障注入）、これを読みだすことによって ECC デコードを自己診断することができます。いったん正しい ECC ビットを生成し、適当なビットのみ反転させることで ECC の 1 ビットエラーや 2 ビットエラーの故障を注入することができます。

Data Flash 書き込み方法の詳細は、「RH850/E1x フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」をご参照ください。

29.2.4 Local RAM (CPU1) の ECC およびアドレスパリティ

29.2.4.1 概要

CPU1 の Local RAM 用 ECC の仕様概要を以下に示します。

表 29.26 CPU1 の Local RAM 用 ECC 概要

| 項目 | 説明 |
|--------------|---|
| ECC エラー検出・訂正 | <p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • ECC エラー検出・訂正を行います (2 ビットエラー検出と 1 ビットエラー検出・訂正を行います)。 • ECC エラー検出を行います (2 ビットエラー検出と 1 ビットエラー検出を行います)。 <p>無効時はエラー検出・訂正を行いません。 リセット後の状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行います。</p> |
| アドレスパリティ | <p>アドレスパリティチェックの有効/無効を選択可能</p> <p>ライト時は、ライトアドレスから生成したパリティビットがライトデータとともに書き込まれます。その際、同じパリティビットが RAM の 2 か所へ書き込まれます。リード時は、リードアドレスから生成したパリティビットと、RAM から読み出したパリティビット 2 ビットが比較されます。このときのエラーデコード仕様は「表 29.27 アドレスパリティ定義」のようになります。 リセット後の状態は機能有効。</p> |
| エラー通知 | <p>ECC エラー発生時、またはアドレスのパリティエラー発生時、ECM にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可 • ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の状態は、2 ビットエラー通知許可、1 ビットエラー通知禁止。</p> <p>パリティエラー</p> <ul style="list-style-type: none"> • アドレスパリティエラー検出時のエラー通知許可/禁止を選択可 • パリティビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の状態は、アドレスパリティエラー通知許可、パリティビットエラー通知禁止。</p> <p>エラー通知信号は、 ECC 2 ビットエラーとアドレスパリティエラーを 1 要因 ECC 1 ビットエラーとパリティビットエラーを 1 要因 として出力します。</p> |
| エラーステータス | <p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。エラーステータスはクリアレジスタによってクリア可能です。</p> |
| 自己診断 | <p>RAM データと ECC ビット、アドレスパリティビットに任意のデータを書き込むことができます。 RAM データと ECC ビット、アドレスパリティビットをダイレクトに読み出すことができます。</p> |

リードアクセス時のアドレスパリティエラーの定義は以下のとおりとします。

表 29.27 アドレスパリティ定義

| RAM マクロ パリティビット1 | RAM マクロ パリティビット2 | リードアドレスパリティ | エラー判定とエラー名称 |
|---------------------|---------------------|-------------|-------------|
| 0 | 0 | 0 | エラーでない |
| 0 | 0 | 1 | アドレスパリティエラー |
| 0 | 1 | 0 | パリティビットエラー |
| 0 | 1 | 1 | パリティビットエラー |
| 1 | 0 | 0 | パリティビットエラー |
| 1 | 0 | 1 | パリティビットエラー |
| 1 | 1 | 0 | アドレスパリティエラー |
| 1 | 1 | 1 | エラーでない |

CPU1 の Local RAM は、最大で 128 ビットのデータを同時にリード/ライト可能な構成となっています。一方で、ECC やアドレスパリティは 32 ビットのデータごとに用意されており、各 32 ビットデータをバンク 0 ~ 3 と称しています。ここで、アドレスの小さい方（つまりデータの LSB 側）がバンク 0、アドレスの大きい方（つまりデータの MSB 側）がバンク 3 となります。

アドレスとバンク番号の関係は以下のとおりです。

表 29.28 アドレスとバンク番号の関係

| アドレスの下位 4 ビット (16 進表記) | F _H ~ C _H | B _H ~ 8 _H | 7 _H ~ 4 _H | 3 _H ~ 0 _H |
|---------------------------|---------------------------------|---------------------------------|---------------------------------|---------------------------------|
| バンク番号 | バンク 3 | バンク 2 | バンク 1 | バンク 0 |

29.2.4.2 レジスタ一覧

表 29.29 レジスタ一覧

| アドレス | シンボル | レジスタ名 | R/W | リセット後の値 | アクセスサイズ |
|------------------------|----------------|--|-----|------------------------|---------|
| FFC6 5000 _H | LRAPCTL_PE1 | Local RAM アドレスパリティコントロールレジスタ (PE1) | R/W | 0000 0000 _H | 16/32 |
| FFC6 5004 _H | LRTSTCTL_PE1 | Local RAM テストコントロールレジスタ | R/W | 0000 0000 _H | 16/32 |
| FFC6 5008 _H | LRTDATBF0_PE1 | Local RAM テストデータリードバッファ 0 | R | 0000 0000 _H | 8/16/32 |
| FFC6 500C _H | LRTDATBF1_PE1 | Local RAM テストデータリードバッファ 1 | R | 0000 0000 _H | 8/16/32 |
| FFC6 5400 _H | LRECCCTL_PE1 | Local RAM ECC コントロールレジスタ (PE1) | R/W | 0000 0000 _H | 16/32 |
| FFC6 5404 _H | LRERRINT_PE1 | Local RAM エラー情報コントロールレジスタ (PE1) | R/W | 0000 0006 _H | 8/16/32 |
| FFC6 5408 _H | LRSTCLR_PE1 | Local RAM ステータスクリアレジスタ (PE1) | W | 0000 0000 _H | 8/16/32 |
| FFC6 540C _H | LROVFSTR_PE1 | Local RAM エラーカウントオーバフローステータスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |
| FFC6 5410 _H | LR1STERSTR_PE1 | Local RAM 1st エラーステータスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |

29.2.4.3 レジスタ詳細

(1) LRAPCTL_PE1 — Local RAM アドレスパリティコントロールレジスタ

LRAPCTL レジスタは、アドレスパリティチェックの有効/無効を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] ビットを 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|-----|----|----|----|----|----|----|----|----|----|----|----|----|----------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PROT[1:0] | — | — | — | — | — | — | — | — | — | — | — | — | — | — | APARIDIS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 29.30 LRAPCTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|--|
| 31 ~ 16 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 15, 14 | PROT[1:0] | 本レジスタへの書き込みを有効化するビットです。読み出すと0が読み出されません。 |
| 13 ~ 1 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 0 | APARIDIS | アドレスパリティチェックディスエーブルビット 全アドレスパリティ回路（バンク0～バンク3）のアドレスパリティチェックの有効/無効を設定します。 0：アドレスのパリティチェック許可 1：アドレスのパリティチェック禁止 |

(2) LRTSTCTL_PE1 — Local RAM テストコントロールレジスタ

ECCテスト（自己診断）時、およびアドレスパリティチェッカのテスト（自己診断）時に使用するレジスタです。ECCテストモード（ECCTST=1）設定後、ECCビット、アドレスパリティビットへ任意のデータを書き込むことができます。RAMデータ、ECCビット、アドレスパリティビットの選択はDATSELビットで行います。

アドレスパリティテストモード（APTEST_i=1、i=0,1,2,3）設定により、アドレスパリティチェッカに入力するパリティが反転します。本レジスタへの書き込みはPROT[1:0]を01_Bにして実行してください。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|-----|----|----|----|----|----|----|----|-------------|-------------|-------------|-------------|------------|------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PROT[1:0] | — | — | — | — | — | — | — | — | — | APTES T3 | APTES T2 | APTES T1 | APTES T0 | ECCTS T | DATSE L |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 29.31 LRTSTCTL_PE1 レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|-----------|--|
| 31 ~ 16 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 15, 14 | PROT[1:0] | 本レジスタへの書き込みを有効化するビットです。読み出すと0が読み出されません。 |
| 13 ~ 6 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 5 | APTEST3 | アドレスパリティチェッカ（バンク3）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST3=1のとき、アドレスパリティ生成部で生成したパリティを反転します。 |
| 4 | APTEST2 | アドレスパリティチェッカ（バンク2）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST2=1のとき、アドレスパリティ生成部で生成したパリティを反転します。 |
| 3 | APTEST1 | アドレスパリティチェッカ（バンク1）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST1=1のとき、アドレスパリティ生成部で生成したパリティを反転します。 |
| 2 | APTEST0 | アドレスパリティチェッカ（バンク0）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST0=1のとき、アドレスパリティ生成部で生成したパリティを反転します。 |
| 1 | ECCTST | ECCテストビット ECCテストモード（ECCTST=1）に設定するとECCビット、アドレスパリティビットのデータをダイレクトにリードすることができます。 |

表 29.31 LRTSTCTL_PE1 レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|--------|--|
| 0 | DATSEL | データ選択ビット ECCTST = 1 のときに有効。書き込み時にアクセスできる RAM ビットを選択します。 0 : RAM データ選択 1 : ECC ビットとアドレスパリティビット選択 |

注 1. Local RAM の ECC テストモードを有効 (ECCTST = 1) にした場合、Local RAM へのアクセスは 4 バイトアクセスで実施してください。

(3) LRTDATBF_n_PE1 — Local RAM テストデータリードバッファ n (n = 0, 1)

ECCテスト（自己診断）時、ECCビットとアドレスパリティビットを読み出すことができます。Local RAM テストコントロールレジスタ LRTSTCTL の ECCTST = 1 のときに、Local RAM を読み出すと ECC ビットとアドレスパリティビットが読み出され、本バッファに保持されます。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----------|----|----|----|----|----|----|----|----|--|--|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | | |
| | — | — | — | — | — | — | — | LRTDATBF | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | | |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| | — | — | — | — | — | — | — | LRTDATBF | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | | |

表 29.32 LRTDATBF_n_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|----------|--|
| 31 ~ 25 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 24 ~ 16 | LRTDATBF | Local RAM テストコントロールレジスタの ECCTST = 1（テストモード）時に有効です。 Local RAM の対応するバンク読み出し時に Local RAM（バンク (2n + 1)）の ECC ビットが LRTDATBF[22:16] に、アドレスパリティビットが LRTDATBF[24:23] に格納されます。 |
| 15 ~ 9 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 8 ~ 0 | LRTDATBF | Local RAM テストコントロールレジスタの ECCTST = 1（テストモード）時に有効です。 Local RAM の対応するバンク読み出し時に Local RAM（バンク (2n)）の ECC ビットが LRTDATBF[6:0] に、アドレスパリティビットが LRTDATBF[8:7] に格納されます。 |

(4) LRECCCTL_PE1 — Local RAM ECC コントロールレジスタ

LRECCCTL レジスタは、ECC エラー検出・訂正の有効/無効、1 ビットエラー訂正の許可/禁止を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|----|----|----|----|----|----|----|----|----|----|----|----|--------|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PROT[1:0] | — | — | — | — | — | — | — | — | — | — | — | — | — | SECDIS | ECCDIS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 29.33 LRECCCTL_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|---|
| 31 ~ 16 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 15, 14 | PROT[1:0] | 本レジスタへの書き込みを有効化するビットです。読み出すと0が読み出されず。 |
| 13 ~ 2 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 1 | SECDIS | 1ビットエラー訂正ディスエーブルビット ECCのエラー検出・訂正の有効時に、1ビットエラー訂正の許可/禁止を設定するためのビットです。 0: 1ビットエラー検出時にエラー訂正する 1: 1ビットエラー検出時にエラー訂正しない |
| 0 | ECCDIS | ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。 0: ECC エラー検出・訂正機能が有効 1: ECC エラー検出・訂正機能が無効 |

(5) LRERRINT_PE1 — Local RAM エラー情報コントロールレジスタ

LRERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時、アドレスパリティエラー検出時、パリティビットエラー検出時に ECM へのエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|-------|-------|-------|-------|---|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | — | — | — | — | — | — | — | — | — | — | — | — | PBEIE | APEIE | DEDIE | SEDIE | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | |

表 29.34 LRERRINT_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|--|
| 31 ~ 4 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 3 | PBEIE | パリティビットエラー通知許可ビット アドレスパリティチェック許可時に、パリティビットエラー検出時のエラー通知発生を制御するビットです。 0: パリティビットエラー通知禁止 1: パリティビットエラー通知許可 |
| 2 | APEIE | アドレスパリティエラー通知許可ビット アドレスパリティチェック許可時に、アドレスパリティエラー検出時のエラー通知発生を制御するビットです。 0: アドレスパリティエラー通知禁止 1: アドレスパリティエラー通知許可 |
| 1 | DEDIE | ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0: ECC 2 ビットエラー通知禁止 1: ECC 2 ビットエラー通知許可 |
| 0 | SEDIE | ECC 1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0: ECC 1 ビットエラー通知禁止 1: ECC 1 ビットエラー通知許可 |

(6) LRSTCLR_PE1 — Local RAM ステータスクリアレジスタ

LRSTCLR レジスタは、エラーステータスレジスタ (LR1STERSTR) のエラーフラグ、エラーカウントオーバフローステータスレジスタ (LROVFSTR) のオーバフローフラグをクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|------------|------------|------------|------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | STCLR 3 | STCLR 2 | STCLR 1 | STCLR 0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W |

表 29.35 LRSTCLR_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------|---|
| 31 ~ 4 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 3 | STCLR3 | エラーオーバフローフラグクリアビット (バンク 3 用) 1 書き込みで「LR1STERSTR レジスタの PBEF3, APEF3, DEDF3, SEDF3 フラグ」、 「LROVFSTR レジスタの ERROVF3 フラグ」をクリアします。 |
| 2 | STCLR2 | エラーオーバフローフラグクリアビット (バンク 2 用) 1 書き込みで「LR1STERSTR レジスタの PBEF2, APEF2, DEDF2, SEDF2 フラグ」、 「LROVFSTR レジスタの ERROVF2 フラグ」をクリアします。 |
| 1 | STCLR1 | エラーオーバフローフラグクリアビット (バンク 1 用) 1 書き込みで「LR1STERSTR レジスタの PBEF1, APEF1, DEDF1, SEDF1 フラグ」、 「LROVFSTR レジスタの ERROVF1 フラグ」をクリアします。 |
| 0 | STCLR0 | エラーオーバフローフラグクリアビット (バンク 0 用) 1 書き込みで「LR1STERSTR レジスタの PBEF0, APEF0, DEDF0, SEDF0 フラグ」、 「LROVFSTR レジスタの ERROVF0 フラグ」をクリアします。 |

(7) LROVFSTR_PE1 — Local RAM エラーカウントオーバフローステータスレジスタ

LROVFSTR レジスタは、エラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または LRSTCLR レジスタの STCLR ビットへ1をセットすることでクリアされます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|---------|---------|---------|---------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | ERROVF3 | ERROVF2 | ERROVF1 | ERROVF0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.36 LROVFSTR_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------|--|
| 31 ~ 4 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 3 | ERROVF3 | エラーオーバフローフラグ（バンク 3 用） エラーステータスレジスタのいずれかのエラーフラグ（PBEF3, APEF3, DEDF3, SEDF3）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。 |
| 2 | ERROVF2 | エラーオーバフローフラグ（バンク 2 用） エラーステータスレジスタのいずれかのエラーフラグ（PBEF2, APEF2, DEDF2, SEDF2）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。 |
| 1 | ERROVF1 | エラーオーバフローフラグ（バンク 1 用） エラーステータスレジスタのいずれかのエラーフラグ（PBEF1, APEF1, DEDF1, SEDF1）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。 |
| 0 | ERROVF0 | エラーオーバフローフラグ（バンク 0 用） エラーステータスレジスタのいずれかのエラーフラグ（PBEF0, APEF0, DEDF0, SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。 |

(8) LR1STERSTR_PE1 — Local RAM 1st エラーステータスレジスタ

LR1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーの検出とステータスの更新は、バンク毎に独立しています。各バンクにおいて、全てのエラーフラグが0の状態ではエラーが発生した場合に、エラーステータスがセットされます。ただし、ECC 1 ビットエラー、またはパリティビットエラーのフラグのみがセットされている状態に限り、後続のアクセスで ECC 2 ビットエラー、またはアドレスパリティエラーが発生した場合は、該当するエラーフラグが追加でセットされます。

なお、同一アクセスで同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされます。LR1STERSTR レジスタは内部リセット、外部リセット、または LRSTCLR レジスタの STCLR ビットへ1をセットすることでクリアされます。

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----|----|----|----|-------|-------|-------|-------|----|----|----|----|-------|-------|-------|-------|
| | — | — | — | — | PBEF3 | APEF3 | DEDF3 | SEDF3 | — | — | — | — | PBEF2 | APEF2 | DEDF2 | SEDF2 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|----|----|-------|-------|-------|-------|---|---|---|---|-------|-------|-------|-------|
| | — | — | — | — | PBEF1 | APEF1 | DEDF1 | SEDF1 | — | — | — | — | PBEF0 | APEF0 | DEDF0 | SEDF0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.37 LR1STERSTR_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-----------|-------|---|
| 7+8n:4+8n | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 3+8n | PBEFn | パリティビットエラーモニタフラグ クリア条件： リセットまたは LRSTCLR レジスタの STCLRn ビットへ1をセット セット条件： PBEFn/APEFn/DEDFn/SEDFn のすべてのエラーフラグが0の状態ではパリティビットエラー発生 |
| 2+8n | APEFn | アドレスパリティエラーモニタフラグ クリア条件： リセットまたは LRSTCLR レジスタの STCLRn ビットへ1をセット セット条件： DEDFn/APEFn のエラーフラグが0の状態ではアドレスパリティエラー発生 注意 Read/Write の発生要因の区別なく同一フラグとしてセットします。 |
| 1+8n | DEDFn | ECC2 ビットエラーモニタフラグ クリア条件： リセットまたは LRSTCLR レジスタの STCLRn ビットへ1をセット セット条件： DEDFn/APEFn のエラーフラグが0の状態では ECC 2 ビットエラー発生 |
| 0+8n | SEDFn | ECC1 ビットエラーモニタフラグ クリア条件： リセットまたは LRSTCLR レジスタの STCLRn ビットへ1をセット セット条件： PBEFn/APEFn/DEDFn/SEDFn のすべてのエラーフラグが0の状態では ECC 1 ビットエラー発生 |

備考 n=0~3、ここで“n”はバンク番号を示します。

29.2.4.4 テスト機能

レジスタ設定により、RAM データ、ECC ビット、アドレスパリティビットに任意のデータを書き込むことができます。また、RAM データ、ECC ビット、アドレスパリティビットを読み出すことができます。

(1) RAM データの書き込み

- (a) Local RAM テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。
- (b) Local RAM テストコントロールレジスタの DATSEL ビットを 0 にして、書き込み対象に RAM データを選択します。
- (c) Local RAM ヘデータ書き込みを実行すると、ECC ビットは更新せず、RAM データのみ書き換えることができます。

本テストモードからの抜け方：

- (a) Local RAM テストコントロールレジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(2) RAM データの読み出し

- (a) Local RAM ECC コントロールレジスタの ECCDIS ビットを 1 にし、ECC エラー検出・訂正を無効にします。
- (b) Local RAM を読み出します。読み出し時にエラー検出・訂正を行いませんので、RAM データがそのまま読みだされます。

本テストモードからの抜け方：

- (a) Local RAM ECC コントロールレジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(3) ECC ビットとアドレスパリティビットの書き込み

- (a) Local RAM テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。
- (b) Local RAM テストコントロールレジスタの DATSEL を 1 にして、書き込み時のアクセスビットに ECC ビットとアドレスパリティビットを選択します。
- (c) Local RAM ヘデータ書き込みを実行すると、RAM データは更新せず、ECC ビットとアドレスパリティビットのみ書き換えることができます。このとき、32 ビットのライトデータの bit[6:0] が ECC ビットに書き込まれ、bit[8:7] がアドレスパリティビットに書き込まれます。

注 意

RAM データとアドレスパリティビットの両方に任意の値を書き込む場合は、①RAM データの書き込み、②アドレスパリティビットの書き込み、の順に書き込んでください。

RAM データと ECC ビットの両方に任意の値を書き込む場合は、RAM データと ECC ビットのどちらを先に書き込んでもかまいません。

本テストモードからの抜け方：

- (a) Local RAM テストコントロールレジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(4) ECC ビットとアドレスパリティビットの読み出し

- (a) Local RAM テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。
- (b) Local RAM の読み出しを実行すると、ECC ビットとアドレスパリティビットが、Local RAM テストデータ読み出しバッファ 0 または Local RAM テストデータ読み出しバッファ 1 の対応するバンク位置に格納されます。

本テストモードからの抜け方：

- (a) Local RAM テストコントロールレジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(5) ECC チェック機能の自己診断

上記 (1) や (3) に記載する手順で RAM データや ECC ビットに任意のデータを書き込むことが可能です。このため、例えば RAM データや ECC ビットの適当なビットを反転させることで故障を注入することができます。そのあとで通常モードで Local RAM を読み出し、エラー訂正やエラー検出結果を確認することで ECC デコーダの自己診断が可能です。

(6) アドレスパリティチェック機能の自己診断

以下に示す 2 とおりの方法によって自己診断が可能です。

- (a) Local RAM テストコントロールレジスタの APTEST_i ($i=0, 1, 2, 3$) を 1 に設定すると、対応するバンクのアドレスパリティ生成結果が反転します。つまり、アドレスパリティ生成器に故障を注入することができます。この状態で Local RAM の対応するバンクに書き込みを行い、パリティエラー検出結果を確認することでライト時のアドレスパリティチェック機能の自己診断が可能です。
- (b) 上記 (3) に記載する手順で、アドレスパリティビットに任意のデータを書き込むことが可能です。これによって、アドレスパリティビットを反転させることでアドレスパリティビットに 1 ビットまたは 2 ビットの故障を注入することができます。そのあとで通常モードで Local RAM の読み出しを行い、パリティエラー検出結果を確認することでリード時のアドレスパリティチェック機能の自己診断が可能です。

29.2.5 Local RAM (PCU) の ECC

29.2.5.1 概要

PCU の Local RAM 用 ECC の仕様概要を以下に示します。

表 29.38 PCU の Local RAM 用 ECC 概要

| 項目 | 説明 |
|--------------|--|
| ECC エラー検出・訂正 | <p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • ECC エラー検出・訂正を行います (2 ビットエラー検出と 1 ビットエラー検出・訂正を行います)。 • ECC エラー検出を行います (2 ビットエラー検出と 1 ビットエラー検出を行います)。 <p>無効時はエラー検出・訂正を行いません。 リセット後の状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行います。</p> |
| アドレスパリティ | なし |
| エラー通知 | <p>ECC エラー発生時、ECM にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可 • ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の状態は、2 ビットエラー通知許可、1 ビットエラー通知禁止。</p> <p>エラー通知信号は、 ECC 2 ビットエラーを 1 要因 ECC 1 ビットエラーを 1 要因 として出力します。</p> |
| エラーステータス | <p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。</p> |
| アドレスキャプチャ | <p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレスをキャプチャします。 ECC 2 ビットエラー検出、ECC 1 ビットエラー検出によってアドレスがキャプチャされます。 エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p> |
| 自己診断 | <p>RAM データと ECC ビットに任意のデータを書き込むことができます。 RAM データと ECC ビットをダイレクトに読み出すことができます。</p> |

29.2.5.2 レジスタ一覧

表 29.39 レジスタ一覧

| アドレス | シンボル | レジスタ名 | R/W | リセット後の値 | アクセスサイズ |
|------------------------|----------------|------------------------------------|-----|------------------------|---------|
| FFC6 5800 _H | LRECCCTL_PCU | Local RAM ECC コントロールレジスタ (PCU) | R/W | 0000 0000 _H | 16/32 |
| FFC6 5804 _H | LRFSTERSTR_PCU | Local RAM 1st エラーステータスレジスタ (PCU) | R | 0000 0000 _H | 32 |
| FFC6 5824 _H | LRSTCLR_PCU | Local RAM エラーステータスクリアレジスタ (PCU) | W | 0000 0000 _H | 8/16/32 |
| FFC6 5828 _H | LROVFSTR_PCU | Local RAM オーバフローステータスレジスタ (PCU) | R | 0000 0000 _H | 32 |
| FFC6 582C _H | LROVFSTC_PCU | Local RAM オーバフローステータスクリアレジスタ (PCU) | W | 0000 0000 _H | 8/16/32 |
| FFC6 5830 _H | LRFSTEADR0_PCU | Local RAM 1st エラーアドレスレジスタ 0 (PCU) | R | 0000 0000 _H | 32 |
| FFC6 58B0 _H | LRERRINT_PCU | Local RAM エラー情報コントロールレジスタ (PCU) | R/W | 0000 0002 _H | 8/16/32 |
| FFC6 58B4 _H | LRTSTCTL_PCU | Local RAM テストコントロールレジスタ (PCU) | R/W | 0000 0000 _H | 16/32 |
| FFC6 58B8 _H | LRTDATBF0_PCU | Local RAM テストデータリードバッファ (PCU) | R | 0000 0000 _H | 32 |

29.2.5.3 レジスタ詳細

(1) LRECCCTL_PCU — Local RAM ECC コントロールレジスタ

LRECCCTL レジスタは、ECC エラー検出・訂正の有効/無効、1 ビットエラー訂正の許可/禁止を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|----|----|----|----|----|----|----|----|----|----|----|----|--------|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PROT[1:0] | — | — | — | — | — | — | — | — | — | — | — | — | — | SECDIS | ECCDIS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 29.40 LRECCCTL_PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|---|
| 31 ~ 16 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 15、14 | PROT[1:0] | 本レジスタへの書き込みを有効化するビットです。読み出すと0が読み出されません。 |
| 13 ~ 2 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 1 | SECDIS | 1ビットエラー訂正ディスエーブルビット ECCのエラー検出・訂正の有効時に、1ビットエラー訂正の許可/禁止を設定するためのビットです。 0: 1ビットエラー検出時にエラー訂正する 1: 1ビットエラー検出時にエラー訂正しない |
| 0 | ECCDIS | ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。 0: ECC エラー検出・訂正機能が有効 1: ECC エラー検出・訂正機能が無効 |

(2) LRFSTERSTR_PCU — Local RAM 1st エラーステータスレジスタ

LRFSTERSTR は、最初に発生したエラーをモニタするためのレジスタです。

エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。ただし、ECC1 ビットエラーのフラグのみがセットされている状態に限り、後続のアクセスで ECC2 ビットエラーが発生した場合は、該当するエラーフラグが追加でセットされます。

LRFSTERSTR レジスタは内部リセット、外部リセット、または LRSTCLR レジスタの FSTERRCLR0 ビットへ 1 をセットすることでクリアされます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-------|-------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | DEDFO | SEDF0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.41 LRFSTERSTR_PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|---|
| 31 ~ 2 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 1 | DEDFO | ECC 2 ビットエラーモニタフラグ クリア条件： リセットまたは LRSTCLR レジスタの FSTERRCLR0 ビットへ 1 をセット セット条件： DEDFO のエラーフラグが 0 の状態で ECC2 ビットエラー発生 |
| 0 | SEDF0 | ECC 1 ビットエラーモニタフラグ クリア条件： リセットまたは LRSTCLR レジスタの FSTERRCLR0 ビットへ 1 をセット セット条件： DEDFO/SEDF0 のすべてのエラーフラグが 0 の状態で ECC1 ビットエラー発生 |

(3) LRSTCLR_PCU — Local RAM エラーステータスクリアレジスタ

LRSTCLR レジスタは、Local RAM 1st エラーステータスレジスタのエラーフラグをクリアするためのレジスタです。書き込み専用レジスタで、読み出し値は常に 0 です。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | FSTER RCLR0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W |

表 29.42 LRSTCLR_PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------|---|
| 31 ~ 1 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 0 | FSTERRCLR0 | 1st エラーステータスレジスタクリアビット 1 書き込みで 1st エラーステータスレジスタのエラーフラグをクリアします。 |

(4) LROVFSTR_PCU — Local RAM オーバフローステータスレジスタ

LROVFSTR レジスタは、Local RAM エラーオーバーフロー発生を監視するためのレジスタです。ERROVF0 フラグは内部リセット、外部リセット、LROVFSTR レジスタの ERROVFCLR0 ビットへ1 をセットすることでクリアされます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ERROVF0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.43 LROVFSTR_PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------|--|
| 31 ~ 1 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 0 | ERROVF0 | エラーオーバーフローフラグ エラーステータスレジスタのいずれかのエラーフラグ (DEDF0, SEDF0) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。 |

(5) LROVFSTC_PCU — Local RAM オーバフローステータスクリアレジスタ

LROVFSTC レジスタは、Local RAM エラーオーバフローフラグをクリアするためのレジスタです。ERROVFCLR0 ビットへ1をセットすることでクリアされます。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ERROVFCLR0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W |

表 29.44 LROVFSTC_PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------|--|
| 31 ~ 1 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 0 | ERROVFCLR0 | エラーオーバフローフラグクリアビット 1書き込みで ERROVF0 フラグをクリアします。 常に0が読み出されます。 |

(6) LRFSTEADR0_PCU — Local RAM 1st エラーアドレスレジスタ 0

ECC エラー発生アドレスを LRFSTEADR0 に保持します。本レジスタの LRFSTEADR0[21:2] は実アドレスの [21:2] が対応します。上位アドレス [31:22] をベースアドレスとして加算することにより実アドレスが計算できます。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|------------------|----|----|----|----|----|----|----|----|----|-------------------|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | LRFSTEADR0[21:16] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | LRFSTEADR0[15:2] | | | | | | | | | | | | | | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.45 LRFSTEADR0_PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------------|--|
| 31 ~ 22 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 21 ~ 2 | LRFSTEADR0 [21:2] | 1st エラー発生アドレス 1st エラーの発生したアドレスをモニタするための読み出し専用レジスタです。さらに、下記条件でアドレスを更新します。 <ul style="list-style-type: none"> 保持しているアドレスの要因が SEDF のとき 同一アドレスで1ビットエラー発生 -> アドレス上書きしない、 異なるアドレスで1ビットエラー発生 -> アドレス上書きしない、 2ビットエラー発生 -> アドレス上書きします。 保持しているアドレスの要因が DEDF のとき 1ビットエラー発生 -> アドレス上書きしない、 同一アドレスで2ビットエラー発生 -> アドレス上書きしない、 異なるアドレスで2ビットエラー発生 -> アドレス上書きしない。 |
| 1, 0 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |

(7) LRERRINT_PCU — Local RAM エラー情報コントロールレジスタ

LRERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時にエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-------|-------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | DEDIE | SEDIE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 29.46 LRERRINT_PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|--|
| 31 ~ 2 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 1 | DEDIE | ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 2 ビットエラー通知禁止 1 : ECC 2 ビットエラー通知許可 |
| 0 | SEDIE | ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可 |

(8) LRTSTCTL_PCU — Local RAM テストコントロールレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST = 1）設定後、ECC ビットへ任意のデータを書き込むことができます。RAM データ、ECC ビットの選択は DATSEL ビットで行います。本レジスタへの書き込みは、PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|-----|----|----|----|----|----|----|----|----|----|----|----|--------|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PROT[1:0] | — | — | — | — | — | — | — | — | — | — | — | — | — | ECCTST | DATSEL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 29.47 LRTSTCTRL_PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|--|
| 31 ~ 16 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 15, 14 | PROT[1:0] | 本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されません。 |
| 13 ~ 2 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 1 | ECCTST | ECC テストビット ECC テストモード（ECCTST = 1）に設定すると ECC ビットのデータをダイレクトにリードすることができます。 |
| 0 | DATSEL | データ選択ビット ECCTST = 1 のときに有効。書き込み時にアクセスできる RAM ビットを選択します。 0 : RAM データ選択 1 : ECC ビット選択 |

注 1. Local RAM の ECC テストモードを有効（ECCTST = 1）にした場合、Local RAM へのアクセスは 4 バイトアクセスで実施してください。

(9) LRTDATBF0_PCU — Local RAM テストデータリードバッファ 0

ECC テスト（自己診断）時、ECC ビットを読み出すことができます。Local RAM テストコントロールレジスタ LRTSTCTL の ECCTST = 1 のときに、Local RAM を読み出すと ECC ビットが読み出され、本バッファに保持されます。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----------|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | LRTDATBF | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.48 LRTDATBF0_PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|----------|--|
| 31 ~ 7 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 6 ~ 0 | LRTDATBF | Local RAM テストコントロールレジスタの ECCTST = 1（テストモード）時に有効です。 Local RAM 読み出し時に ECC ビットが LRTDATBF[6:0] に格納されます。 |

29.2.5.4 テスト機能

テスト機能や自己診断の方法については Local RAM（CPU）の節をご参照ください。ただし Local RAM（PCU）にアドレスパリティはありませんので、アドレスパリティに関する記載は無視してください。

29.2.6 Global RAM の ECC およびアドレスパリティ

29.2.6.1 概要

Global RAM 用 ECC の仕様概要を以下に示します。

表 29.49 Global RAM 用 ECC 概要

| 項目 | 説明 |
|--------------|--|
| ECC エラー検出・訂正 | <p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • ECC エラー検出・訂正を行います (2 ビットエラー検出と 1 ビットエラー検出・訂正を行います)。 • ECC エラー検出を行います (2 ビットエラー検出と 1 ビットエラー検出を行います)。 <p>無効時はエラー検出・訂正を行いません。 リセット後の状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行います。</p> |
| アドレスパリティ | <p>アドレスパリティチェックの有効/無効を選択可能</p> <p>ライト時には、ライトアドレスから生成したパリティビットがライトデータとともに書き込まれます。その際、パリティビットは RAM の 1 か所にだけ書き込まれます。メモリリード時には、リードアドレスから生成したパリティビットと、メモリから読み出したパリティビットが比較されます。 リセット後の状態は機能有効。</p> |
| エラー通知 | <p>ECC エラー発生時、またはアドレスのパリティエラー発生時、ECM にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可 • ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の状態は、2 ビットエラー通知許可、1 ビットエラー通知禁止。</p> <p>パリティエラー</p> <ul style="list-style-type: none"> • アドレスパリティエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の状態はエラー通知許可。</p> <p>エラー通知信号は、 ECC 2 ビットエラーとアドレスパリティエラーを 1 要因 ECC 1 ビットエラーを 1 要因 として出力します。</p> |
| エラーステータス | <p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。</p> |
| アドレスキャプチャ | <p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレス、またはパリティエラー発生アドレスをキャプチャします。 ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出によってアドレスがキャプチャされます。 エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p> |
| 自己診断 | <p>RAM データと ECC ビット、アドレスパリティビットに任意のデータを書き込むことができます。 RAM データと ECC ビット、アドレスパリティビットをダイレクトに読み出すことができます。</p> |

ECC エンコーダおよびデコーダ、アドレスパリティ生成器は Global RAM につながる各アクセスポート (CPU1、インターコネクト) それぞれに対応して用意されています。アドレスパリティチェッカは Global RAM の Bank A と Bank B に対応して用意されています。また、

RMW 処理 (*) に対応した ECC デコーダおよび ECC エンコーダも Bank A/B ごとに用意されています。図 29.2 をご参照ください。

- RMW 処理

ビット操作命令や、2 バイトライト、1 バイトライトは、① 32 ビットデータのリード、② 所定データのリプレースによるライトデータの生成 (モディファイ)、③ 32 ビットデータのライト、の 3 ステップで実行されます。本節では、これをリード・モディファイ・ライト (RMW) 処理と称します。Global RAM における RMW 処理は、各バンクに対応したコントローラ内で行われます。

RMW 処理では、①のリードに対応して ECC デコードが行われ、③のライトに対応して ECC エンコードが行われます。

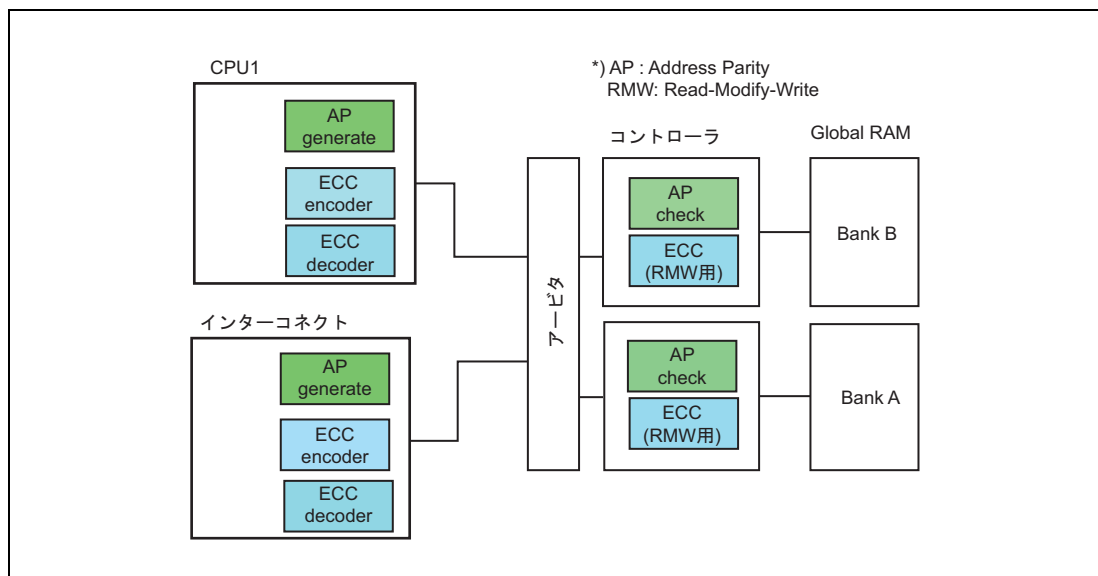


図 29.2 Global RAM の ECC とアドレスパリティ

Global RAM は、最大で 64 ビットのデータを同時にリード/ライト可能な構成となっています。一方で、ECC やアドレスパリティは 32 ビットのデータごとに用意されています。つまり、図 29.2 の ECC decoder と ECC encoder、ECC (RMW 用)、アドレスパリティチェッカは、すべて上位 32 ビットデータ用と下位 32 ビットデータ用のそれぞれに 2 つずつ用意されています。

表 29.50 アドレスと対応する ECC 回路

| アドレスの下位 3 ビット | 7 _H ~ 4 _H | 3 _H ~ 0 _H |
|---------------|---------------------------------|---------------------------------|
| 対応する ECC 回路 | 上位 32 ビット | 下位 32 ビット |

注 意

Local RAM (CPU1) では ECC の単位に応じたデータをバンク 0 ~ 3 と呼んでいます。Global RAM はアドレス FEF0 0000_H を境界として Bank A と Bank B に分かれているため、混乱を避けるためにバンクという言葉を使わずに上位 32 ビット、下位 32 ビットという呼び方とします。

29.2.6.2 レジスタ一覧

表 29.51 レジスタ一覧

| アドレス | シンボル ^{注1} | レジスタ名 | R/W | リセット後の値 | アクセスサイズ |
|------------------------|--------------------|--|-----|------------------------|---------|
| FFC6 4000 _H | GRECCCTL_GRAMC | Global RAM ECC コントロールレジスタ (GRAMC) | R/W | 0000 0000 _H | 16/32 |
| FFC6 4004 _H | GRTSTCTL | Global RAM テストコントロールレジスタ | R/W | 0000 0000 _H | 16/32 |
| FFC6 4008 _H | GRTDATBF0 | Global RAM テストデータリードバッファ 0 | R | 0000 0000 _H | 8/16/32 |
| FFC6 400C _H | GRTDATBF1 | Global RAM テストデータリードバッファ 1 | R | 0000 0000 _H | 8/16/32 |
| FFC6 4010 _H | GRTDATBF2 | Global RAM テストデータリードバッファ 2 | R | 0000 0000 _H | 8/16/32 |
| FFC6 4014 _H | GRTDATBF3 | Global RAM テストデータリードバッファ 3 | R | 0000 0000 _H | 8/16/32 |
| FFC6 4018 _H | GRDECINBF0 | Global RAM ECC デコーダ入力データバッファ 0 | R/W | 0000 0000 _H | 8/16/32 |
| FFC6 401C _H | GRDECINBF1 | Global RAM ECC デコーダ入力データバッファ 1 | R/W | 0000 0000 _H | 8/16/32 |
| FFC6 4200 _H | GRECCCTL_VCI | Global RAM ECC コントロールレジスタ (VCI) | R/W | 0000 0000 _H | 16/32 |
| FFC6 4204 _H | GRERRINT_VCI | Global RAM エラー情報コントロールレジスタ (VCI) 3 | R/W | 0000 0006 _H | 8/16/32 |
| FFC6 4208 _H | GRSTCLR_VCI | Global RAM ステータスクリアレジスタ (VCI) | W | 0000 0000 _H | 8/16/32 |
| FFC6 420C _H | GROVFSTR_VCI | Global RAM エラーカウントオーバーフローステータスレジスタ (VCI) | R | 0000 0000 _H | 8/16/32 |
| FFC6 4210 _H | GR1STERSTR_VCI | Global RAM 1st エラーステータスレジスタ (VCI) | R | 0000 0000 _H | 8/16/32 |
| FFC6 4250 _H | GR1STEADR0_VCI | Global RAM 1st エラー (下位 32 ビットデータ) アドレスレジスタ (VCI) | R | 0000 0000 _H | 8/16/32 |
| FFC6 4254 _H | GR1STEADR1_VCI | Global RAM 1st エラー (上位 32 ビットデータ) アドレスレジスタ (VCI) | R | 0000 0000 _H | 8/16/32 |
| FFC6 4400 _H | GRECCCTL_PE1 | Global RAM ECC コントロールレジスタ (PE1) | R/W | 0000 0000 _H | 16/32 |
| FFC6 4404 _H | GRERRINT_PE1 | Global RAM エラー情報コントロールレジスタ (PE1) | R/W | 0000 0006 _H | 8/16/32 |
| FFC6 4408 _H | GRSTCLR_PE1 | Global RAM ステータスクリアレジスタ (PE1) | W | 0000 0000 _H | 8/16/32 |
| FFC6 440C _H | GROVFSTR_PE1 | Global RAM エラーカウントオーバーフローステータスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |
| FFC6 4410 _H | GR1STERSTR_PE1 | Global RAM 1st エラーステータスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |
| FFC6 4450 _H | GR1STEADR0_PE1 | Global RAM 1st エラー (下位 32 ビットデータ) アドレスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |
| FFC6 4454 _H | GR1STEADR1_PE1 | Global RAM 1st エラー (上位 32 ビットデータ) アドレスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |

注 1. レジスタシンボルにおいて、“*_VCI”、“*_PE1” は各アクセスポートの ECC コントローラごとに用意されているレジスタとなります。“_VCI” はシステムインタコネク 1 から Global RAM へのアクセス用、“_PE1” は CPU1 から Global RAM へのアクセス用の制御レジスタです。“_GRAMC” は全アクセスポートに共通な制御レジスタです。

29.2.6.3 レジスタ詳細

(1) GRECCCTL_GRAMC — Global RAM ECC コントロールレジスタ

Global RAM 共通の ECC およびアドレスパリティコントロールレジスタです。アドレスパリティチェックの有効/無効、Read-Modify-Write (RMW) 処理時の ECC 処理の内容を指定します。本レジスタへの書き込みは、PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------|----|----|----|----|----|----|----|----|----|----|----|----|----------|--------|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PROT[1:0] | — | — | — | — | — | — | — | — | — | — | — | — | APARIDIS | SECDIS | ECCDIS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W |

表 29.52 GRECCCTL_GRAMC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|--|
| 31 ~ 16 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 15, 14 | PROT[1:0] | 本レジスタへの書き込みを有効化するビットです。読み出すと0が読み出されます。 |
| 13 ~ 3 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 2 | APARIDIS | アドレスパリティチェックディスエーブルビット アドレスのパリティチェックの許可/禁止を設定できます。初期状態はパリティチェックが許可されています。 0: アドレスのパリティチェック許可 1: アドレスのパリティチェック禁止 |
| 1 | SECDIS | RMW 時 ECC1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。 0: 1 ビットエラー検出時にエラー訂正する 1: 1 ビットエラー検出時にエラー訂正しない |
| 0 | ECCDIS | RMW 時 ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。初期状態は ECC エラー検出・訂正機能が有効です。 0: ECC エラー検出・訂正機能が有効 1: ECC エラー検出・訂正機能が無効 注意 エラー検出・訂正機能が無効の場合でもエンコード機能は有効です。 |

(2) GRTSTCTL — Global RAM テストコントロールレジスタ

ECCテスト（自己診断）時、およびアドレスパリティチェッカのテスト（自己診断）時に使用するレジスタです。ECCテストモード（ECCTST=1）設定後、ECCビット、アドレスパリティビットへ任意のデータを書き込むことができます。RAMデータ、ECCビット、アドレスパリティビットの選択はDATSEL0, 1ビットで行います。また、Global RAMコントローラ内のECCデコーダの入出力を制御し、テスト（自己診断）することが可能です。

アドレスパリティテストモード（APTEST_i=1、i=0, 1, 2, 3）設定により、アドレスパリティチェッカに入力するパリティが反転します。本レジスタへの書き込みは、PROT[1:0]を01_Bにして実行してください。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|-----|----|----|----|----|----|-------------|-------------|-------------|-------------|------------|-------------|--------|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PROT[1:0] | — | — | — | — | — | — | — | APTES T3 | APTES T2 | APTES T1 | APTES T0 | ECCTS T | DECIN EN | DATSEL | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 29.53 GRTSTCTL レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|-----------|--|
| 31 ~ 16 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 15, 14 | PROT[1:0] | 本レジスタへの書き込みを有効化するビットです。読み出すと0が読み出されません。 |
| 13 ~ 8 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 7 | APTEST3 | アドレスパリティチェッカ（BankB, 上位 32 ビット）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST3=1のとき、アドレスパリティ生成部で生成したパリティを反転します。 |
| 6 | APTEST2 | アドレスパリティチェッカ（BankB, 下位 32 ビット）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST2=1のとき、アドレスパリティ生成部で生成したパリティを反転します。 |
| 5 | APTEST1 | アドレスパリティチェッカ（BankA, 上位 32 ビット）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST1=1のとき、アドレスパリティ生成部で生成したパリティを反転します。 |
| 4 | APTEST0 | アドレスパリティチェッカ（BankA, 下位 32 ビット）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST0=1のとき、アドレスパリティ生成部で生成したパリティを反転します。 |

表 29.53 GRTSTCTL レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|---------|---|
| 3 | ECCTST | ECC テストビット ECC テストモード (ECCTST = 1) に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。 |
| 2 | DECINEN | RMW 用 ECC デコーダエラー注入許可ビット ECCTST = 1 のときに有効。ECC デコーダ入力バッファレジスタのデータを RMW 時の更新データ用の ECC デコーダへ入力することを許可します。 0 : ECC デコーダ入力バッファのデータが入力されない 1 : ECC デコーダ入力バッファのデータが入力される |
| 1、0 | DATSEL | 読み出しバッファ格納データ選択ビット 0, 1 ECCTST = 1 のときに有効。読み出しバッファ GRTDATBFn に格納するデータ、RAM の各フィールドに書き込むデータを選択します。 00 : <ul style="list-style-type: none"> - GRTDATBFn : RMW を含む読み出し時に、ECC ビットとアドレスパリティビットが格納されます - Global RAM : RMW を含む書き込み時に、ライトアクセスのサイズやアドレスに応じたデータ領域を更新します。ECC ビットは更新されません。 01 : <ul style="list-style-type: none"> - GRTDATBFn : RMW を含む読み出し時に、ECC ビットとアドレスパリティビットが格納されます - Global RAM : RMW を含む書き込み時に、ECC ビットとアドレスパリティビットのみを更新します。データ領域は更新されません。 10 : <ul style="list-style-type: none"> - GRTDATBFn : RMW 時に、“RMW 時リードデータ用 ECC デコード結果”が格納されます。RMW 以外のリード動作では更新されません。 - Global RAM : 通常動作モード (ECCTST = 0) と同じ動作です。 11 : <ul style="list-style-type: none"> - GRTDATBFn : RMW 時に、“RMW 時更新データ用 ECC デコード結果”が格納されます。RMW 以外のリード動作では更新されません。 - Global RAM : 通常動作モード (ECCTST = 0) と同じ動作です。 <p>いずれの場合も、CPU や DMA などへのリード結果には通常と同じデータが読みだされます。</p> |

(3) GRDATBF_n — Global RAM テストデータリードバッファ n (n = 0 ~ 3)

テストモード (ECCTST = 1) のとき、RAM データと ECC ビット、アドレスパリティビット、ECC デコーダ出力を読み出すことができます。Global RAM テストコントロールレジスタの DATSEL1, 0 ビットで選択したデータが、RAM を読み出すと本バッファに格納されます。

| | | | | | | | | | | | | | | | | |
|---------|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | GRDATBF | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | GRDATBF | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.54 GRDATBF_n レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------|---|
| 31 ~ 0 | GRDATBF | Global RAM テストコントロールレジスタの ECCTST = 1 (テストモード) のときに有効です。 (DATSEL1, DATSEL0) = (0, 0) または (0, 1) のとき RAM 読み出し時に、ECC ビットが GRDATBF[6:0] に、アドレスパリティビットが GRDATBF[7] に、格納されます。GRDATBF[31:8] には 0 が格納されま す。 (DATSEL1, DATSEL0) = (1, 0) のとき RMW 時にリード用 ECC デコーダ出力データ (更新後) が GRDATBF[31:0] に 格納されます。 (DATSEL1, DATSEL0) = (1, 1) のとき RMW 時に更新データ用 ECC デコーダ出力データ (更新後) が GRDATBF[31:0] に格納されます。 |

n = 0 : BankA, 下位 32 ビット

n = 1 : BankA, 上位 32 ビット

n = 2 : BankB, 下位 32 ビット

n = 3 : BankB, 上位 32 ビット

(4) GRECCCTL_VCI/PE1 — Global RAM ECC コントロールレジスタ

GRECCCTL レジスタは、ECC エラー検出・訂正の有効/無効、1 ビットエラー訂正の許可/禁止を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|----|----|----|----|----|----|----|----|----|----|----|----|--------|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PROT[1:0] | — | — | — | — | — | — | — | — | — | — | — | — | — | SECDIS | ECCDIS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 29.55 GRECCCTL_VCI/PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|--|
| 13 ~ 16 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 15、14 | PROT[1:0] | 本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されず。 |
| 13 ~ 2 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 1 | SECDIS | 1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。 0 : 1 ビットエラー検出時にエラー訂正する 1 : 1 ビットエラー検出時にエラー訂正しない |
| 0 | ECCDIS | ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効 |

(5) GRDECINBF0 — Global RAM ECC デコーダ入力データバッファ 0

RMW 時の更新データ用 ECC デコーダへの入力データを格納するレジスタです。本レジスタのデータは 32 ビットの RAM データとして ECC デコーダに入力します。

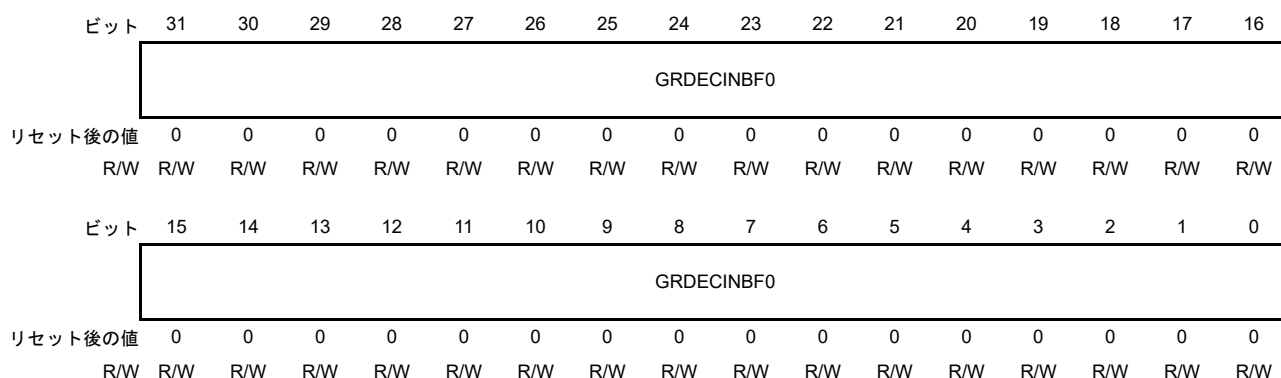


表 29.56 GRDECINBF0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------|---|
| 31 ~ 0 | GRDECINBF0 | Global RAM テストコントロールレジスタの ECCTST = 1 (テストモード) 時に有効です。DECINEN = 1 のとき、RMW 命令実行で本レジスタのデータが 32 ビットの RAM データとして、更新データ用の ECC デコーダへ入力します。バンク A/B、上位 32 ビット/下位 32 ビットに対して共用レジスタです。 |

(6) GRDECINBF1 — Global RAM ECC デコーダ入力データバッファ 1

RMW 時の更新データ用 ECC デコーダへの入力データを格納するレジスタです。本レジスタのデータは7ビットの ECC データとして ECC デコーダに入力します。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|------------|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | GRDECINBF1 | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 29.57 GRDECINBF1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------|--|
| 31 ~ 7 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 6 ~ 0 | GRDECINBF1 | Global RAM テストコントロールレジスタの ECCTST = 1 (テストモード) 時に有効です。DECINEN = 1 のとき、RMW 命令実行で本レジスタのデータが7ビットの ECC データとして、更新データ用の ECC デコーダへ入力します。バンク A/B、上位 32 ビット/下位 32 ビットに対して共用レジスタです。 |

(7) GRERRINT_VCI/PE1 — Global RAM エラー情報コントロールレジスタ

GRERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時、アドレスパリティエラー検出時に ECM へのエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|-------|-------|-------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | APEIE | DEDIE | SEDIE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W |

表 29.58 GRERRINT_VCI/PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|--|
| 31 ~ 3 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 2 | APEIE | アドレスパリティエラー通知許可ビット アドレスパリティチェック許可時に、アドレスパリティエラー検出時のエラー通知発生を制御するビットです。 0: アドレスパリティエラー通知禁止 1: アドレスパリティエラー通知許可 |
| 1 | DEDIE | ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0: ECC 2 ビットエラー通知禁止 1: ECC 2 ビットエラー通知許可 |
| 0 | SEDIE | ECC 1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0: ECC 1 ビットエラー通知禁止 1: ECC 1 ビットエラー通知許可 |

(8) GRSTCLR_VCI/PE1 — Global RAM ステータスクリアレジスタ

GRSTCLR レジスタは、エラーステータスレジスタ (GR1STERSTR) のエラーフラグ、エラーカウントオーバフローステータスレジスタ (GROVFSTR) のオーバフローフラグ、およびエラーアドレスレジスタ (GR1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------------|------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | STCLR 1 | STCLR 0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W |

表 29.59 GRSTCLR_VCI/PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------|--|
| 31 ~ 2 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 1 | STCLR1 | エラーオーバフローフラグクリアビット (上位 32 ビットデータ用) 1 書き込みで「GR1STERSTR レジスタの EXDEDF1, EXSEDF1, APEF1, DEDF1, SEDF1 フラグ」、「GROVFSTR レジスタの ERROVF1 フラグ」および「GR1STEADR1 レジスタ」をクリアします。 |
| 0 | STCLR0 | エラーオーバフローフラグクリアビット (下位 32 ビットデータ用) 1 書き込みで「GR1STERSTR レジスタの EXDEDF0, EXSEDF0, APEF0, DEDF0, SEDF0 フラグ」、「GROVFSTR レジスタの ERROVF0 フラグ」および「GR1STEADR0 レジスタ」をクリアします。 |

(9) GROVFSTR_VCI/PE1 — Global RAM エラーカウントオーバーフローステータスレジスタ

GROVFSTR レジスタは、エラーオーバーフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスとも同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または GRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---------|---------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ERROVF1 | ERROVF0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.60 GROVFSTR_VCI/PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------|--|
| 31 ~ 2 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 1 | ERROVF1 | エラーオーバーフローフラグ（上位 32 ビットデータ用） エラーステータスレジスタのいずれかのエラーフラグ（EXDEDF1, EXSEDF1, APEF1, DEDF1, SEDF1）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。 |
| 0 | ERROVF0 | エラーオーバーフローフラグ（下位 32 ビットデータ用） エラーステータスレジスタのいずれかのエラーフラグ（EXDEDF0, EXSEDF0, APEF0, DEDF0, SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。 |

(10) GR1STERSTR_VCI/PE1 — Global RAM 1st エラーステータスレジスタ

GR1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーの検出とステータスの更新は、上位 32 ビットと下位 32 ビットで独立しています。上位、下位のそれぞれにおいて、全てのエラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。ただし、ECC1 ビットエラーのフラグのみがセットされている状態に限り、後続のアクセスで ECC2 ビットエラー、またはアドレスパリティエラーが発生した場合は、該当するエラーフラグが追加でセットされます。

なお、同一アクセスで同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされます。GR1STERSTR レジスタは内部リセット、外部リセット、または GRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|-------------|--------------|----|-------|-------|-------|----|----|-------------|--------------|----|-------|-------|-------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | EXDED F1 | EXSEDF F1 | — | APEF1 | DEDF1 | SEDF1 | — | — | EXDED F0 | EXSEDF F0 | — | APEF0 | DEDF0 | SEDF0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.61 GR1STERSTR_VCI/PE1 レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|--------------|---------|---|
| 7+8n 6+8n | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 5+8n | EXDEDFn | ECC2 ビットエラーモニタフラグ クリア条件： リセットまたは GRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件： EXDEDFn/APEFn/DEDFn のエラーフラグが 0 の状態で ECC 2 ビットエラー発生 (Global RAM RMW 時) |
| 4+8n | EXSEDFn | ECC1 ビットエラーモニタフラグ クリア条件： リセットまたは GRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件： EXDEDFn/EXSEDFn/APEFn/DEDFn/SEDFn のすべてのエラーフラグが 0 の状態で ECC1 ビットエラー発生 (Global RAM RMW 時) |
| 3+8n | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |

表 29.61 GR1STERSTR_VCI/PE1 レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|-------|---|
| 2+8n | APEFn | <p>アドレスパリティエラーモニタフラグ</p> <p>クリア条件： リセットまたは GRSTCLR レジスタの STCLRn ビットへ 1 をセット</p> <p>セット条件： EXDEDFn/APEFn/DEDFn のエラーフラグが 0 の状態でアドレスパリティエラー発生</p> <p>注意</p> <hr/> <p>Read/Write の発生要因の区別なく同一フラグとしてセットします。</p> |
| 1+8n | DEDFn | <p>ECC2 ビットエラーモニタフラグ</p> <p>クリア条件： リセットまたは GRSTCLR レジスタの STCLRn ビットへ 1 をセット</p> <p>セット条件： EXDEDFn/APEFn/DEDFn のエラーフラグが 0 の状態で ECC 2 ビットエラー発生</p> |
| 0+8n | SEDFn | <p>ECC1 ビットエラーモニタフラグ</p> <p>クリア条件： リセットまたは GRSTCLR レジスタの STCLRn ビットへ 1 をセット</p> <p>セット条件： EXDEDFn/EXSEDFn/APEFn/DEDFn/SEDFn のすべてのエラーフラグが 0 の状態で ECC1 ビットエラー発生</p> |

備考 n = 0, 1、n = 0 は下位 32 ビットを、n = 1 は上位 32 ビットを示します。

(11) GR1STEADR_n_VCI/PE1 — Global RAM 1st エラーアドレスレジスタ n (n = 0, 1)

GR1STEADR_n レジスタは、エラー発生時のアドレスを保持するためのレジスタです。GR1STERSTR レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラー、またはアドレスパリティエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。

また、本レジスタの EADR[20:0] は実アドレスの [20:0] が対応します。上位アドレス [31:21] をベースアドレスとして加算することにより実アドレスが計算できます。GR1STEADR レジスタは内部リセット、外部リセット、または GRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。下位 32 ビットデータアクセス時には GR1STEADR₀ にアドレスは保持されます。上位 32 ビットデータアクセス時には GR1STEADR₁ にアドレスは保持されます。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

| | | | | | | | | | | | | | | | | |
|---------|------------|----|----|----|----|----|----|----|----|----|----|-------------|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | | | | | | | | | | | EADR[20:16] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | EADR[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.62 GR1STEADR_n_VCI/PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|------------|---|
| 31 ~ 21 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 20 ~ 0 | EADR[20:0] | 1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 GR1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラー、アドレスパリティエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。 |

29.2.6.4 テスト機能

レジスタ設定により、RAM データ、ECC ビット、アドレスパリティビットに任意のデータを書き込むことができます。また、RAM データ、ECC ビット、アドレスパリティビット、RMW 用 ECC デコーダ出力データを読み出すことができます。RMW 用 ECC デコーダには、任意のデータを入力することができます。

(1) RAM データの書き込み

- (a) Global RAM テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。
- (b) Global RAM テストコントロールレジスタの (DATSEL1, DATSEL0) = (0, 0) に設定して書き込み対象に RAM データを選択します。
- (c) Global RAM ヘデータ書き込みを実行すると、ECC ビットは更新せず、RAM データのみ書き換えることができます。

本テストモードからの抜け方：

- (a) Global RAM テストコントロールレジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(2) RAM データの読み出し

- (a) Global RAM ECC コントロールレジスタの ECCDIS ビットを 1 にし、ECC エラー検出・訂正を無効にします。
- (b) Global RAM を読み出します。読み出し時にエラー検出・訂正を行いませんので、RAM データがそのまま読みだされます。

本テストモードからの抜け方：

- (a) Global RAM ECC コントロールレジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(3) ECC ビットとアドレスパリティビットの書き込み

- (a) Global RAM テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。
- (b) Global RAM テストコントロールレジスタの (DATSEL1, DATSEL0) = (0, 1) に設定して書き込み対象に ECC ビットとアドレスパリティビットを選択します。
- (c) Global RAM ヘデータ書き込みを実行すると、RAM データは更新せず、ECC ビットとアドレスパリティビットのみ書き換えることができます。この時、32 ビットのライトデータの bit[6:0] が ECC ビットに書き込まれ、bit[7] がアドレスパリティビットに書き込まれます。

注 意

RAM データとアドレスパリティビットの両方に任意の値を書き込む場合は、① RAM データの書き込み、②アドレスパリティビットの書き込み、の順に書き込んでください。

RAM データと ECC ビットの両方に任意の値を書き込む場合は、RAM データと ECC ビットのどちらを先に書き込んでかまいません。

本テストモードからの抜け方：

- (a) Global RAM テストコントロールレジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(4) ECC ビットとアドレスパリティビットの読み出し

- (a) Global RAM テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。
- (b) Global RAM テストコントロールレジスタの (DATSEL1, DATSEL0) = (0, 1) に設定して読み出し対象に ECC ビットとアドレスパリティビットを選択します。
- (c) Global RAM の読み出しを実行すると、ECC ビットとアドレスパリティビットが、Global RAM テストデータ読み出しバッファ 0 ~ 3 の対応するレジスタに格納されます。

本テストモードからの抜け方：

- (a) Global RAM テストコントロールレジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(5) 各アクセスポートの ECC チェック機能の自己診断

上記 (1) や (3) に記載する手順で RAM データや ECC ビットに任意のデータを書き込むことが可能です。これによって、たとえば RAM データや ECC ビットの適当なビットを反転させることで故障を注入することができます。そのあとで通常モードで Global RAM を読み出し、エラー訂正やエラー検出結果を確認することで ECC デコーダの自己診断が可能です。

(6) アドレスパリティチェック機能の自己診断

以下に示す 2 とおりの方法によって自己診断が可能です。

- (a) Global RAM テストコントロールレジスタの APTEST_i ($i=0, 1, 2, 3$) を 1 に設定すると、対応するバンク（Bank A/B）の対応するデータ領域（上位 32 ビット/下位 32 ビット）のアドレスパリティ生成結果が反転します。つまり、アドレスパリティ生成器に故障を注入することができます。この状態で Global RAM の対応するバンクの対応するデータ領域に書き込みを行い、パリティエラー検出結果を確認することでライト時のアドレスパリティチェック機能の自己診断が可能です。
- (b) 上記 (4) に記載する手順で、アドレスパリティビットに任意のデータを書き込むことが可能です。これによって、アドレスパリティビットを反転させることでアドレスパリティビットに故障を注入することができます。そのあとで通常モードで Global RAM の読み出しを行い、パリティエラー検出結果を確認することでリード時のアドレスパリティチェック機能の自己診断が可能です。

(7) RMW 時リードデータ用 ECC チェック機能の自己診断

- (a) 上記 (1) や (3) に記載する手順で RAM データや ECC ビットに適切な故障を注入します。
- (b) Global RAM テストコントロールレジスタの (DATSEL1, DATSEL0) = (1, 0) に設定して読み出し対象に RMW 時リードデータ用 ECC デコーダ出力を選択します。
- (c) Global RAM に RMW 処理を実行すると、対応する RMW 時リードデータ用 ECC デコーダの出力が、Global RAM テストデータ読み出しバッファ 0 ~ 3 の対応するレジスタに格納されます。この結果を確認することで RMW 時リードデータ用 ECC デコーダの自己診断が可能です。

(8) RMW 時更新データ用 ECC デコーダの自己診断

- (a) Global RAM テストコントロールレジスタの (DATSEL1, DATSEL0) = (1, 1) に設定して読み出し対象に RMW 時更新データ用 ECC デコーダ出力を選択します。
- (b) 上記設定によって、RMW 時更新データ ECC デコーダの入力は、各アクセスポートから送られるライトデータから ECC デコーダ入力バッファ 0, 1 (GRDECINBF0/1) に切り替わります。このため、ECC デコーダ入力バッファ 0, 1 に適切な値を設定することで適切な故障を注入することができます。
- (c) Global RAM に RMW 処理を実行すると、対応する RMW 時更新データ用 ECC デコーダの出力が、Global RAM テストデータ読み出しバッファ 0 ~ 3 の対応するレジスタに格納されます。この結果を確認することで RMW 時更新データ用 ECC デコーダの自己診断が可能です。

29.2.7 命令キャッシュの ECC および EDC

29.2.7.1 概要

命令キャッシュ用 ECC の仕様概要を以下に示します。

表 29.63 命令キャッシュ用 ECC 概要

| 項目 | 説明 |
|--------------|---|
| ECC エラー検出・訂正 | <p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • ECC エラー検出・訂正を行います (2 ビットエラー検出と 1 ビットエラー検出・訂正を行います)。 • ECC エラー検出を行います (2 ビットエラー検出と 1 ビットエラー検出を行います)。 <p>無効時はエラー検出・訂正を行いません。 リセット後の状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出を行います。</p> |
| アドレスパリティ | なし |
| エラー通知 | <p>ECC エラー発生時、ECM にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可能 • ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可能 <p>リセット後の状態は、2 ビットエラー通知禁止、1 ビットエラー通知禁止。</p> <p>エラー通知信号は、 ECC 2 ビットエラーを 1 要因 ECC 1 ビットエラーを 1 要因 として出力します。</p> |
| エラーステータス | <p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。</p> |
| アドレスキャプチャ | <p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレスをキャプチャします。 ECC 2 ビットエラー検出、ECC 1 ビットエラー検出によってアドレスがキャプチャされます。 エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p> |
| 自己診断 | <p>キャッシュ命令を用いることで、RAM データと ECC ビットに任意のデータを書き込むことができます。 同じく RAM データと ECC ビットをダイレクトに読み出すことができます。 上記命令は、通常のキャッシュフィルや命令フェッチと同じエンコード/デコード経路を通るので、上記命令のみでエラーの注入と確認の両方が可能です。</p> |

29.2.7.2 レジスタ一覧

表 29.64 レジスタ一覧

| アドレス | シンボル | レジスタ名 | R/W | リセット後の値 | アクセスサイズ |
|------------------------|----------------|--|-----|------------------------|---------|
| FFC6 0400 _H | IDECCTL_PE1 | 命令キャッシュデータ RAM ECC コントロールレジスタ (PE1) | R/W | 0000 0000 _H | 16/32 |
| FFC6 0404 _H | IDERRINT_PE1 | 命令キャッシュデータ RAM エラー情報コントロールレジスタ (PE1) | R/W | 0000 0000 _H | 8/16/32 |
| FFC6 0408 _H | IDSTCLR_PE1 | 命令キャッシュデータ RAM エラーステータスクリアレジスタ (PE1) | W | 0000 0000 _H | 8/16/32 |
| FFC6 040C _H | IDOVFSTR_PE1 | 命令キャッシュデータ RAM エラーカウントオーバーフローステータスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |
| FFC6 0410 _H | ID1STERSTR_PE1 | 命令キャッシュデータ RAM 1st エラーステータスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |
| FFC6 0450 _H | ID1STEADR0_PE1 | 命令キャッシュデータ RAM (Bank0) 1st エラーアドレスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |
| FFC6 0454 _H | ID1STEADR1_PE1 | 命令キャッシュデータ RAM (Bank1) 1st エラーアドレスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |
| FFC6 1400 _H | ITECCCTL_PE1 | 命令キャッシュタグ RAM ECC コントロールレジスタ (PE1) | R/W | 0000 0000 _H | 16/32 |
| FFC6 1404 _H | ITERRINT_PE1 | 命令キャッシュタグ RAM エラー情報コントロールレジスタ (PE1) | R/W | 0000 0000 _H | 8/16/32 |
| FFC6 1408 _H | ITSTCLR_PE1 | 命令キャッシュタグ RAM エラーステータスクリアレジスタ (PE1) | W | 0000 0000 _H | 8/16/32 |
| FFC6 140C _H | ITOVFSTR_PE1 | 命令キャッシュタグ RAM エラーカウントオーバーフローステータスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |
| FFC6 1410 _H | IT1STERSTR_PE1 | 命令キャッシュタグ RAM 1st エラーステータスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |
| FFC6 1450 _H | IT1STEADR0_PE1 | 命令キャッシュタグ RAM (Bank0) 1st エラーアドレスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |

29.2.7.3 レジスタ詳細

(1) IDECCCTL_PE1 — 命令キャッシュデータ RAM ECC コントロールレジスタ

IDECCCTL レジスタは、キャッシュデータ RAM の ECC エラー検出・訂正の有効/無効、1 ビットエラー訂正の許可/禁止を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|----|----|----|----|----|----|----|----|----|----|----|----|--------|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PROT[1:0] | — | — | — | — | — | — | — | — | — | — | — | — | — | SECDIS | ECCDIS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 29.65 IDECCCTL_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|--|
| 31 ~ 16 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 15, 14 | PROT[1:0] | 本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されません。 |
| 13 ~ 2 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 1 | SECDIS | 1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。 0 : 1 ビットエラー検出時にエラー訂正する 1 : 1 ビットエラー検出時にエラー訂正しない |
| 0 | ECCDIS | ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効 |

(2) IDERRINT_PE1 — 命令キャッシュデータ RAM エラー情報コントロールレジスタ

IDERRINT レジスタは、キャッシュデータ RAM の ECC2 ビットエラー検出時、ECC1 ビットエラー検出時に ECM へのエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-------|-------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | DEDIE | SEDIE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 29.66 IDERRINT_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|--|
| 31 ~ 2 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 1 | DEDIE | ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 2 ビットエラー通知禁止 1 : ECC 2 ビットエラー通知許可 |
| 0 | SEDIE | ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可 |

(3) IDSTCLR_PE1 — 命令キャッシュデータ RAM エラーステータスクリアレジスタ

IDSTCLR レジスタは、エラーステータスレジスタ (ID1STERSTR) のエラーフラグ、エラーカウントオーバーフローステータスレジスタ (IDOVFSTR) のオーバーフローフラグ、およびエラーアドレスレジスタ (ID1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------------|------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | STCLR 1 | STCLR 0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W |

表 29.67 IDSTCLR_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------|--|
| 31 ~ 2 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 1 | STCLR1 | エラーオーバーフローフラグクリアビット (バンク 1 用) 1 書き込みで「ID1STERSTR レジスタの DEDF1, SEDF1 フラグ」、「IDOVFSTR レジスタの ERROVF1 フラグ」および「ID1STEADR1 レジスタ」をクリアします。 |
| 0 | STCLR0 | エラーオーバーフローフラグクリアビット (バンク 0 用) 1 書き込みで「ID1STERSTR レジスタの DEDF0, SEDF0 フラグ」、「IDOVFSTR レジスタの ERROVF0 フラグ」および「ID1STEADR0 レジスタ」をクリアします。 |

(4) IDOVFSTR_PE1 — 命令キャッシュデータ RAM エラーカウントオーバフローステータスレジスタ

IDOVFSTR レジスタは、キャッシュデータ RAM のエラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーとまったく同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または IDSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---------|---------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ERROVF1 | ERROVF0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.68 IDOVFSTR_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 31～2 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 1 | ERROVF1 | エラーオーバフローフラグ（バンク 1 用） エラーステータスレジスタのいずれかのエラーフラグ（DEDF1, SEDF1）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。 |
| 0 | ERROVF0 | エラーオーバフローフラグ（バンク 0 用） エラーステータスレジスタのいずれかのエラーフラグ（DEDF0, SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。 |

(5) ID1STERSTR_PE1 — 命令キャッシュデータ RAM 1st エラーステータスレジスタ

ID1STERSTR レジスタは、キャッシュデータ RAM の最初に発生したエラーをモニタするためのレジスタです。同一バンク内のすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、ECC 1 ビットのフラグがセットされている状態で、ECC 2 ビットエラーが発生した場合は、該当するエラーフラグがセットされません。

なお、本レジスタでは、エラーが発生した Way を特定することはできません。

ID1STERSTR レジスタは内部リセット、外部リセット、または IDSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|-------|-------|----|----|----|----|----|----|-------|-------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | DEDF1 | SEDF1 | — | — | — | — | — | — | DEDF0 | SEDF0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.69 ID1STERSTR_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------|---|
| 31 ~ 10 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 9 | DEDF1 | ECC2 ビットエラーモニタフラグ (バンク 1 用) クリア条件： リセットまたは IDSTCLR レジスタの STCLR1 ビットへ 1 をセット セット条件： DEDF1 のエラーフラグが 0 の状態で ECC 2 ビットエラー発生 |
| 8 | SEDF1 | ECC1 ビットエラーモニタフラグ (バンク 1 用) クリア条件： リセットまたは IDSTCLR レジスタの STCLR1 ビットへ 1 をセット セット条件： DEDF1/SEDF1 のすべてのエラーフラグが 0 の状態で ECC 1 ビットエラー発生 |
| 7 ~ 2 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 1 | DEDF0 | ECC2 ビットエラーモニタフラグ (バンク 0 用) クリア条件： リセットまたは IDSTCLR レジスタの STCLR0 ビットへ 1 をセット セット条件： DEDF0 のエラーフラグが 0 の状態で ECC 2 ビットエラー発生 |
| 0 | SEDF0 | ECC1 ビットエラーモニタフラグ (バンク 0 用) クリア条件： リセットまたは IDSTCLR レジスタの STCLR0 ビットへ 1 をセット セット条件： DEDF0/SEDF0 のすべてのエラーフラグが 0 の状態で ECC 1 ビットエラー発生 |

(6) ID1STEADRn_PE1 — 命令キャッシュデータ RAM (Bankn) 1st エラーアドレスレジスタ (n = 0、1)

ID1STEADR レジスタは、キャッシュデータ RAM のエラー発生時のアドレスを保持するためのレジスタです。ID1STERSTR レジスタの該当するバンクのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。EADRn[6:0] はキャッシュアドレス [10:4] を示します。EADRn[7] は常に 0 です。EADRn[8] は Way グループ番号を示します。ID1STEADR レジスタは内部リセット、外部リセット、または IDSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|------------|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | EADRn[8:0] | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.70 ID1STEADRn_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------|--|
| 31 ~ 9 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 8 ~ 0 | EADRn[8:0] | 1st エラー発生アドレス (バンク n 用) 1st エラー発生時のアドレスをモニタするためのレジスタです。ID1STERSTR レジスタのバンク n 用のすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。 |

(7) ITECCCTL_PE1 — 命令キャッシュタグ RAM ECC コントロールレジスタ

ITECCCTL レジスタは、キャッシュ TAG RAM の ECC エラー検出の有効/無効を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|-----|----|----|----|----|----|----|----|----|----|----|----|----|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PROT[1:0] | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ECCDIS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 29.71 ITECCCTL_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|---|
| 31 ~ 16 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 15, 14 | PROT[1:0] | 本レジスタへの書き込みを有効化するビットです。読み出すと0が読み出されず。 |
| 13 ~ 1 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 0 | ECCDIS | ECC デisableビット ECC エラー検出機能の有効/無効を設定できます。 0 : ECC エラー検出機能が有効 1 : ECC エラー検出機能が無効 |

(8) ITERRINT_PE1 — 命令キャッシュタグ RAM エラー情報コントロールレジスタ

ITERRINT レジスタは、キャッシュ TAG RAM の ECC2 ビットエラー検出時、ECC1 ビットエラー検出時に ECM へのエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-------|-------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | DEDIE | SEDIE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 29.72 ITERRINT_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|--|
| 31 ~ 2 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 1 | DEDIE | ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 2 ビットエラー通知禁止 1 : ECC 2 ビットエラー通知許可 |
| 0 | SEDIE | ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可 |

(9) ITSTCLR_PE1 — 命令キャッシュタグ RAM エラーステータスクリアレジスタ

ITSTCLR レジスタは、エラーステータスレジスタ (IT1STERSTR) のエラーフラグ、エラーカウントオーバーフローステータスレジスタ (ITOVFSTR) のオーバーフローフラグ、およびエラーアドレスレジスタ (IT1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | STCLR 0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W |

表 29.73 ITSTCLR_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------|--|
| 31 ~ 1 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 0 | STCLR0 | エラーオーバーフローフラグクリアビット (バンク 0 用) 1 書き込みで「IT1STERSTR レジスタの DEDF0, SEDF0 フラグ」、「ITOVFSTR レジスタの ERROVF0 フラグ」および「IT1STEADR0 レジスタ」をクリアします。 |

(10) ITOVFSTR_PE1 — 命令キャッシュタグ RAM エラーカウントオーバフローステータスレジスタ

ITOVFSTR レジスタは、キャッシュ TAG RAM のエラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーとまったく同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ERROVF0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.74 ITOVFSTR_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------|--|
| 31 ~ 1 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 0 | ERROVF0 | エラーオーバフローフラグ（バンク 0 用） エラーステータスレジスタのいずれかのエラーフラグ（DEDF0, SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。 |

(11) IT1STERSTR_PE1 — 命令キャッシュタグ RAM 1st エラーステータスレジスタ

IT1STERSTR レジスタはキャッシュ TAG RAM の最初に発生したエラーをモニタするためのレジスタです。

すべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、ECC 1 ビットのフラグがセットされている状態で、ECC 2 ビットエラーが発生した場合は、該当するエラーフラグがセットされます。

なお、本レジスタでは、エラーが発生した Way を特定することはできません。

IT1STERSTR レジスタは内部リセット、外部リセット、または、ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-------|-------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | DEDFO | SEDF0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.75 IT1STERSTR_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------|--|
| 31 ~ 2 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 1 | DEDFO | ECC2 ビットエラーモニタフラグ クリア条件： リセットまたは ITSTCLR レジスタの STCLR0 ビットへ 1 をセット セット条件： DEDFO のエラーフラグが 0 の状態で ECC2 ビットエラー発生 |
| 0 | SEDF0 | ECC1 ビットエラーモニタフラグ クリア条件： リセットまたは ITSTCLR レジスタの STCLR0 ビットへ 1 をセット セット条件： DEDFO/SEDF0 のすべてのエラーフラグが 0 の状態で ECC1 ビットエラー発生 |

(12) IT1STEADR0_PE1 — 命令キャッシュタグ RAM 1st エラーアドレスレジスタ

IT1STEADR レジスタは、キャッシュ TAG RAM のエラー発生時のアドレスを保持するためのレジスタです。IT1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。EADR[6:0] はキャッシュアドレス [10:4] を示します。EADR[7] は常に 0 です。EADRn[8] は Way グループ番号を示します。

IT1STEADR レジスタは内部リセット、外部リセット、または ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

| | | | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|-----------|----|----|----|----|----|----|----|----|---|---|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | | |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | | |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| | — | — | — | — | — | — | — | EADR[8:0] | | | | | | | | | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | | |

表 29.76 IT1STEADR0_PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------|--|
| 31 ~ 9 | — | 予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 8 ~ 0 | EADR[8:0] | 1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 IT1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。 |

29.2.7.4 テスト機能

キャッシュ命令を用いることで、RAM データと ECC ビットに任意のデータを書き込んだり、RAM データと ECC ビットをダイレクトに読み出したりすることができます。

上記命令は、通常のキャッシュフィルや命令フェッチと同じエンコード/デコード経路を通るので、上記命令のみでエラーの注入と確認の両方が可能です。

詳細は「RH850G3M ユーザーズマニュアル ソフトウェア編」をご参照ください。

29.2.8 DTS 用 RAM の ECC

「第7章 DMA」をご参照ください。

29.2.9 周辺 RAM (32 ビット) の ECC

29.2.9.1 概要

以下の周辺モジュールの RAM 用の ECC モジュールです。

RS-CAN、APA、DFE

誤り検出・訂正

32 ビットの RAM データに対して、7 ビットの ECC データを付加します。

本 ECC モジュールは ECC 2 ビットエラー検出と ECC 1 ビットエラー検出・訂正機能を持っています。

注 意

3 ビット以上のビットエラーは、本モジュールでは正しく検出できません。

3 ビット以上のビットエラーがある場合、本モジュールの動作としては、1 ビットエラーまたは 2 ビットエラーとして検出する場合とエラー検出をしない場合があります。

また、設定によっては反転していないビットを訂正することがあります。

ECC のエラー検出・訂正の有効/無効

- ECC エラー検出の有効/無効を選択可能です。
- ECC 1 ビットエラー訂正の有効/無効を選択可能です。
- なお、本モジュールは、RAM データ出力が ALL 0、ALL 1 へ固着した際には ECC 2 ビットエラーとして検出されます。

エラー通知

- ECC 2 ビットエラー検出時 ECM にエラーを通知します。(有効/無効選択可)
- ECC 1 ビットエラー検出時 ECM にエラーを通知します。(有効/無効選択可)

ECM にエラーを通知したあと、対象のエラーステータスをクリアするまでは、新たに ECC エラーを検出しても ECM にエラーを通知しません。

エラーステータス

- ECC 2 ビットエラー検出と ECC 1 ビットエラー検出をモニタ可能です。
- エラーステータスのクリアレジスタを搭載しています。

アドレスキャプチャ

- ECC エラー発生アドレスを 1 アドレスだけキャプチャ可能です。
- ECC 2 ビットエラーまたは ECC 1 ビットエラー検出時、要因となるアドレスをキャプチャします。フラグクリア後、最初のエラー検出時のみキャプチャします。

テスト機能（エラー注入）

- モード設定により、レジスタの値を RAM への出力データとして使用可能です。周辺モジュールからの RAM 書き込み時に ECEDB[31:0] レジスタの値を RAM データ部へ、ECERDB[6:0] レジスタの値を ECC 冗長ビット部へ書き込み可能です。
- モード設定により、RAM データリード時の ECC 冗長ビット部をラッチし、値を確認できます。
- モード設定により、入力データから生成される ECC 冗長ビット（エンコード回路）およびシンドロームコード（デコード回路）を確認できます。

29.2.9.2 レジスタ一覧

(1) ECC モジュール一覧

複数の周辺機能の RAM に対して、本 ECC モジュールが実装されています。以下に、本 ECC モジュールを実装している周辺機能と、それに対応する ECC モジュール名、各 ECC モジュールのベースアドレスを示します。

表 29.77 周辺機能と対応する ECC モジュール名、各 ECC モジュールのベースアドレス

| 対応する周辺機能 | | ECC モジュール名とレジスタベースアドレス | | | |
|----------|---------------------|------------------------|------------------------|---------------------|------------------------|
| | | マスタ側 ^{注1} | | チェッカ側 ^{注1} | |
| | | モジュール名 | ベースアドレス <base_addr> | モジュール名 | ベースアドレス <base_addr> |
| RS-CAN | | E7RC0M | FFC7 1000 _H | E7RC0C | FFC7 1200 _H |
| APA | エレメント RAM0 (ELRAM0) | E7AP0M | FFC7 6000 _H | E7AP0C | FFC7 6200 _H |
| | エレメント RAM1 (ELRAM1) | E7AP1M | FFC7 6400 _H | E7AP1C | FFC7 6600 _H |
| | エレメント RAM2 (ELRAM2) | E7AP2M | FFC7 6800 _H | E7AP2C | FFC7 6A00 _H |
| DFE | 係数メモリ (CMEM) | E7DF1M | FFC7 D000 _H | E7DF1C | FFC7 D200 _H |

注 1. BIST 対応としてマスタ側とチェッカ側の 2 モジュールが存在します。詳細は「29.7 BIST」を参照してください。

(2) レジスタ一覧

各 ECC モジュールは以下のレジスタを備えます。

表 29.78 ECC モジュールのレジスタ一覧

| レジスタ名 | 略称 | R/W | リセット後の値 | アドレス | アクセスサイズ |
|------------------------------|---------|-----|------------------------|-------------------------------|---------|
| ECC コントロールレジスタ ^{注1} | E710CTL | R/W | 001X _H | <base_addr> + 00 _H | 16/8 |
| ECC テストモードコントロールレジスタ | E710TMC | R/W | 0000 _H | <base_addr> + 04 _H | 16/8 |
| ECC 冗長ビットデータコントロールテストレジスタ | E710TRC | R/W | 0000 0000 _H | <base_addr> + 08 _H | 32 |
| ECC エンコード・デコードデータテストレジスタ | E710TED | R/W | 0000 0000 _H | <base_addr> + 0C _H | 32 |
| ECC エラーアドレスレジスタ | E710EAD | R/W | 0000 0000 _H | <base_addr> + 10 _H | 32 |

注 1. ECC コントロールレジスタの下位 1 ビットのリセット値は不定です。

(3) レジスタマップ

表 29.79 レジスタマップ一覧

| 略 称 | 31 | 24 | 23 | 16 | 15 | 8 | 7 | 0 | Address |
|---------|--------------|--------------------|--------------|--------------------|-------------|---|-------------|---|-------------------|
| E710CTL | — | (00 _H) | — | (00 _H) | ECCTL[15:8] | | ECCTL[7:0] | | nn00 _H |
| E710TMC | — | (00 _H) | — | (00 _H) | ECTMC[15:8] | | ECTMC[7:0] | | nn04 _H |
| E710TRC | ECSYND[7:0] | | ECHORD[7:0] | | ECECRD[7:0] | | ECERDB[7:0] | | nn08 _H |
| E710TED | ECEDB[31:24] | | ECEDB[23:16] | | ECEDB[15:8] | | ECEDB[7:0] | | nn0C _H |
| E710EAD | ECEAD[31:24] | | ECEAD[23:16] | | ECEAD[15:8] | | ECEAD[7:0] | | nn10 _H |

29.2.9.3 レジスタ詳細

(1) E710CTL — ECC コントロールレジスタ

ECC モジュールのステータスコントロールおよびモード制御するレジスタです。

16 ビット、8 ビット操作命令でリード/ライト可能です。

| | | | | | | | | | | | | | | | | |
|---------|-----------------------|-------------------|----|----|------------|-------------------|-------------------|-------|-----|------------|-------------|-------------|------------|------------|-------|----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | EMCA[1:0] | — | — | — | ECER2 C | ECER1 C | — | ECTHM | — | EC1EC P | EC2EDI C | EC1EDI C | ECER2 F | ECER1 F | ECEMF | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 不定 |
| | R/W/R/W ^{注1} | R/W ^{注1} | R | R | R | R/W ^{注1} | R/W ^{注1} | R | R/W | R | R/W | R/W | R/W | R | R | R |

注 1. リード時は常に“0”が読み出されます。

表 29.80 E710CTL レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|--------|-----------|---|
| 15, 14 | EMCA[1:0] | ECC モード選択ビットへのアクセス制御ビット 1, 0 本 2 ビットはビット 7 への書き込みトリガ予約ビットであり、読み出し値は常に“0”です。 |
| 10 | ECER2C | ECC 2 ビットエラー検出フラグクリアビット 本ビットはビット 2【ECER2F】のステータスフラグをクリアするためのビットです。 読み出し値は常に“0”であり、“0”書き込みを行っても状態は変化しません。 “1”書き込みとビット 2 のセット要因が競合した際には本ビットの書き込みが優先されます。 【ECER2F】ビットがセットされている際に、本ビットに“1”書き込みを行うことで ECER2F ビットがクリアされます。 |
| 9 | ECER1C | ECC 1 ビットエラー検出訂正累積フラグクリアビット 本ビットはビット 1【ECER1F】のステータスフラグをクリアするためのビットです。 読み出し値は常に“0”であり、“0”書き込みを行っても状態は変化しません。 “1”書き込みとビット 1 のセット要因が競合した際には本ビットの書き込みが優先されます。【ECER1F】ビットがセットされている際に、本ビットに“1”書き込みを行うことで ECER1F ビットがクリアされます。 |
| 7 | ECTHM | ECC 機能ディスエーブルビット 本ビットを設定することにより ECC デコード動作の取り扱いを選択します。 ただし、本ビットへのライトアクセスは上位 15、14 ビットを 01 _B にしてアクセスする必要があります。したがって本ビットへのアクセスは 16 ビット操作命令のみ有効です。本ビットに“1”をセットすることでエラー判定ならびにビット訂正を行いません。周辺モジュールへの出力データはエラーがあってもビット訂正を行わないデータが出力されます。エンコーダ側には影響を与えません。 0: ECC 検出・訂正機能が有効 1: ECC 検出・訂正機能が無効 |
| 5 | EC1ECP | 1 ビットエラー訂正許可ビット 0: 1 ビットエラー検出時にエラー訂正を行います 1: 1 ビットエラー検出時にエラー訂正を行いません |
| 4 | EC2EDIC | 2 ビットエラー検出通知許可制御ビット 0: 2 ビットエラー検出時に ECM へ通知しません 1: 2 ビットエラー検出時に ECM へ通知します |
| 3 | EC1EDIC | 1 ビットエラー検出通知許可制御ビット 0: 1 ビットエラー検出時に ECM へ通知しません 1: 1 ビットエラー検出時に ECM へ通知します |

表 29.80 E710CTL レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|--------|--|
| 2 | ECER2F | <p>2 ビットエラー検出フラグビット</p> <p>本ビットはエラー判定許可状態において RAM へのリードアクセス時に RAM のリードデータビット 0 からビット 38 に対して 2 カ所のビットエラーが検出されたことを示すフラグです。</p> <p>本ビットはリード専用です。</p> <p>0: 2 ビットエラーは発生していません</p> <p>1: 2 ビットエラーが発生しました</p> <p>クリア条件</p> <p>(1) リセット時。</p> <p>(2) ECER2C = 1 ライト。</p> <p>(3) ECC 検出・訂正機能無効時 (ECTHM = 1)</p> |
| 1 | ECER1F | <p>ECC1 ビットエラー検出・訂正フラグビット</p> <p>本ビットはエラー判定許可状態において RAM へのリードアクセス時に RAM リードデータビット 0 からビット 38 に対して 1 箇所のビットエラーが検出されたことを示すフラグです。</p> <p>本ビットはリード専用です。</p> <p>0: 1 ビットエラーは発生していません</p> <p>1: 1 ビットエラーが発生しました</p> <p>クリア条件</p> <p>(1) リセット時。</p> <p>(2) ECER1C = 1 ライト。</p> <p>(3) ECC 検出・訂正機能無効時 (ECTHM = 1)</p> |
| 0 | ECEMF | <p>ECC エラー表示フラグ</p> <p>本ビットは現在のリードデータバスに対してエラーが存在することを示すフラグです。</p> <p>本ビットは RAM 出力データごとに更新されます。</p> <p>RAM のリセット後の値が不定であるため、エラーと判定され、本ビットがセットされる可能性があります。よって本ビットのリセット後の値は不定とします。</p> <p>0: 現在の RAM 出力データには、ビットエラーが存在していません</p> <p>1: 現在の RAM 出力データでは、ビットエラーが存在します</p> <p>エラー判定許可な状態で RAM の出力データにビットエラーのある RAM データが出力されている間セットされます。</p> <p>クリア条件</p> <p>(1) ECC 検出・訂正機能無効時 (ECTHM = 1)</p> <p>(2) デコード回路入力データに 1 ビットエラーがないとき。</p> |

(2) E710TMC — ECC テストモードコントロールレジスタ

テストモードへの切り替えおよびテストモード制御のための 16 ビットレジスタです。

16 ビット、8 ビット操作命令でリード/ライト可能です。

| | | | | | | | | | | | | | | | | |
|---------|-------------------|-------------------|----|----|----|----|---|--------|-----|---|--------|--------|-------|--------|--------|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ETMA[1:0] | — | — | — | — | — | — | ECTMCE | — | — | ECTRRS | ECREOS | ECENS | ECDACS | ECREIS | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W ^{注1} | R/W ^{注1} | R | R | R | R | R | R | R/W | R | R | R/W | R/W | R/W | R/W | R/W |

注 1. リード時は常に“0”が読み出されます。

表 29.81 E710TMC レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 15、14 | ETMA[1:0] | ECC テストモードビットへのアクセス制御ビット 1, 0 本 2 ビットはビット 7 への書き込みトリガ予約ビットであり、読み出し値は常に“0”です。 |
| 7 | ECTMCE | ECC テストモードイネーブルビット 本ビットはテストレジスタおよびテスト制御ビットへのアクセス許可するかを選択するビットです。ただし、本ビットのアクセスは上位 15、14 ビットを 10 _B にしてアクセスする必要があります。 0 : テストレジスタおよびテスト制御ビットに対するアクセスを禁止します 1 : テストレジスタおよびテスト制御ビットに対するアクセスを許可します |
| 4 | ECTRRS | ECC RAM リードテストモード選択ビット 本ビットは RAM リードステータスを E710TED レジスタのリードにより発生させる事を許可したり、E710TRC : ECERDB[7:0] ビットと E710TED レジスタのリード値を RAM 出力データの値に切り替えるためのビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能) また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア) 0 : E710TED をリードしても、テスト用 RAM リードステータスは発生しません 1 : E710TED レジスタをリードした際に、テスト用 RAM リードステータスを生成します E710TRC : ECERDB[7:0] および E710TED レジスタの読み出し値は、RAM 出力データ端子の値が読み出されます。 |
| 3 | ECREOS | ECC 冗長ビット出力データ選択ビット 本ビットは ECC 冗長ビット出力に ECC エンコーダ出力データまたは ECERDB レジスタ値のいずれを出力するか選択するためのビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能) また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア) 0 : ECC 冗長ビット出力にはエンコード結果を出力します。 1 : ECC 冗長ビット出力には E710TRC : ECERDB[6:0] を出力します。 |

表 29.81 E710TMC レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 2 | ECENS | <p>ECC エンコード入力選択ビット</p> <p>本ビットはエンコード処理される入力信号に周辺モジュールからのデータ値またはテストレジスタ (E710TED : ECEDB[31:0]) 値のいずれを入力するか選択するビットです。なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能)</p> <p>また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)</p> <p>0 : ECC エンコード入力データには周辺モジュールからの RAM へのライトデータを入力します</p> <p>1 : ECC エンコード入力データには E710TED : ECEDB[31:0] を入力します</p> |
| 1 | ECDCS | <p>ECC デコード入力選択ビット</p> <p>本ビットはデコード処理される入力信号の下位 32 ビットデータに RAM からの下位 32 ビットデータ値またはテストレジスタ (E710TED : ECEDB[31:0]) 値のいずれを入力するか選択するビットです。</p> <p>なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能)</p> <p>また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)</p> <p>0 : デコード回路へのデータ領域 (下位 32 ビット) には RAM 出力データの下位 32 ビットを入力します</p> <p>1 : デコード回路へのデータ領域には E710TED : ECEDB[31:0] を入力します</p> |
| 0 | ECREIS | <p>ECC 冗長ビット入力データ選択ビット</p> <p>本ビットはデコード処理される入力信号の上位 7 ビットデータに RAM からの上位 7 ビット (冗長ビット領域) データ値またはテストレジスタ (E710TRC : ECERDB[6:0] ビット) 値のいずれを入力するか選択するビットです。</p> <p>なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能)</p> <p>また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)</p> <p>0 : デコード回路への ECC 冗長ビット領域には RAM 出力データの上位 7 ビットを入力します</p> <p>1 : デコード回路への ECC 冗長ビット領域には E710TRC : ECERDB[6:0] を入力します</p> |

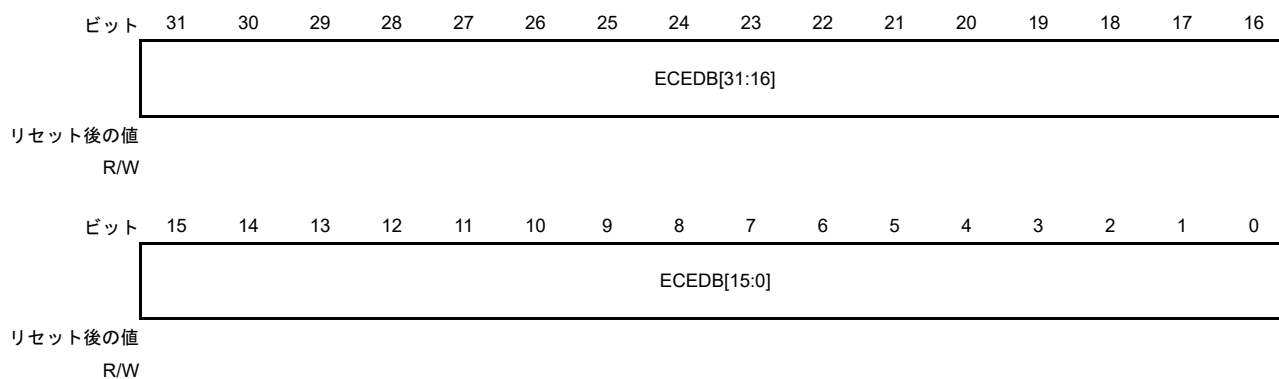
(3) E710TED — ECC エンコード・デコードデータテストレジスタ

ECC エンコード/デコード用 32 ビットデータのテストレジスタです。

ECTMCE = 1 のとき、32 ビット操作命令でリード/ライト可能です。

ECTMCE = 0 のときは常に“0”です。

テストモードにおいて本レジスタの値をエンコード回路、デコード回路の入力データとして使用します。

**備 考**

ECTMCE = 1 → 0 では同期リセットとなります。

E710TMC : ECENS = 1 において本レジスタの値がエンコード回路への入力データとなり、RAM へ供給されます。

E710TMC : EDCDS = 1 において本レジスタの値がデコード回路への入力データ 31 ~ 0 ビット目のデータとなります。

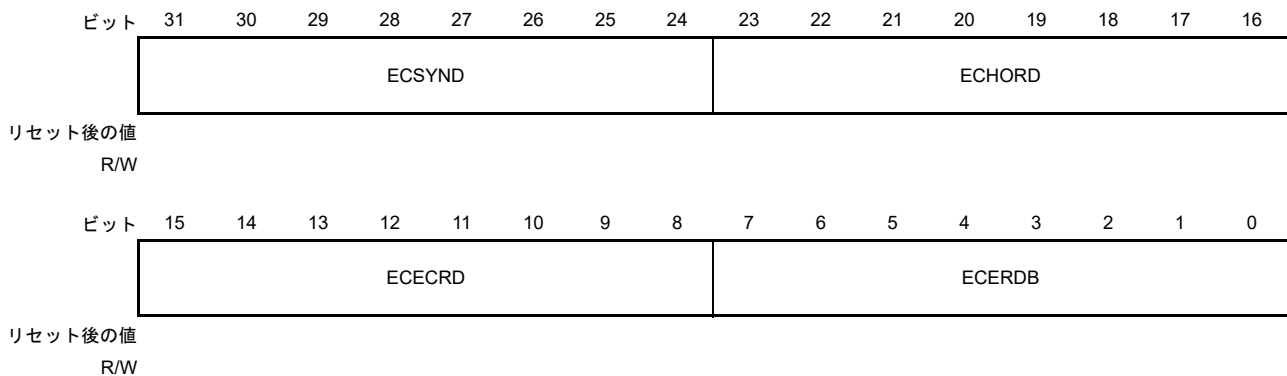
また、E710TMC : ECTRRS = 1 の際には本レジスタのリード値は書き込みデータ値に替わり RAM の出力データの値が読み出されます。

(4) E710TRC — ECC 冗長ビットデータコントロールテストレジスタ

本レジスタは ECC 冗長ビット領域に対する 32 ビットのテストレジスタで、ECSYND、ECHORD、ECECRD、ECERDB の 4 フィールドで構成されています。各フィールドは同じ名前の 8 ビットレジスタとしてもアクセス可能です。各フィールドの詳細は、これら 4 レジスタの説明を参照してください。

ECTMCE = 0 のときは常に“0”です。

ECTMCE = 1 のとき、32 ビット操作命令でリード/ライト可能です。

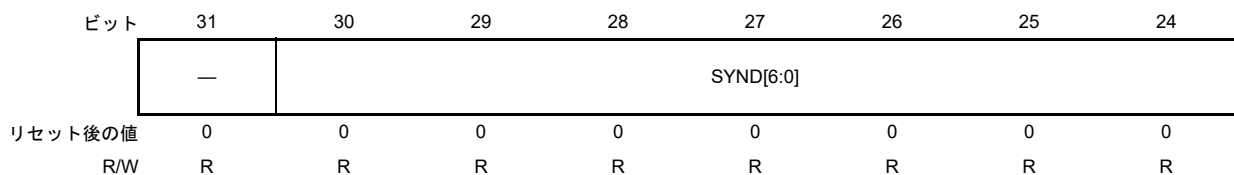
**備 考**

ECTMCE = 1 → 0 では同期リセットとなります。

(5) ECSYND — ECC デコード・シンドロームデータレジスタ

テストモード (ECTMCE = 1) 時にデコード回路で生成されるシンドロームコードを確認するのに使用するリード専用レジスタです。

このレジスタへのライトアクセスは無視されます。



本レジスタビットは、デコード回路の入力データを基に生成されるシンドロームコードの値 (synd[6:0]) が読み出されます。

本レジスタビットは保持回路ではありません。

したがって、入力信号が変化すると本レジスタ値も変化します。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で、ECTMCE = 0 では常に 00_H です。

(6) ECHORD — ECC7 ビット冗長ビットデータ保持テストレジスタ

テストモード (ECTMCE = 1) 時に周辺モジュールからの RAM へのリードアクセスした際に周辺モジュールでは確認できない ECC7 ビット冗長ビット領域 (RAM データの上位 7 ビット) を格納するレジスタです。

| ビット | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----|----|----|----|----|----|----|-----------|
| | — | | | | | | | HORD[6:0] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

本レジスタビットは、テストモード (ECTMCE = 1) 時に周辺モジュールからの RAM データリードアクセスした際に次の動作クロックの立ち上がりで RAM 出力データ上位 7 ビット分のデータを格納します。

また、E710TMC : ECTRRS = 1 のときに ECEDB[15:0] レジスタをリードした際にも EC7TERI38 ~ 32 入力端子のデータを次の動作クロックで格納します。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で ECTMCE = 0 では常に 00_H です。

(7) ECECRD — ECC エンコードテストレジスタ

テストモード (ECTMCE = 1) 時においてエンコード回路により生成される 7 ビット冗長ビット部を読み出すリード専用レジスタです。

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|---------|----|----|----|----|----|----|---|-----------|
| | — | | | | | | | ECRD[6:0] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

周辺モジュールからの入力データにより生成される冗長ビットを確認するために使用します。

ここで読み出されるデータはエンコード結果 (ecc[6:0]) であり、出力値ではありません。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で ECTMCE = 0 では常に 00_H です。

(8) ECERDB — ECC 冗長ビット入出力代替バッファレジスタ

テストモード (ECTMCE = 1) 時に ECC7 ビット冗長ビットデータ領域に対する入出力データの代替データのためのバッファレジスタです。

ECTMCE = 1 (ECC テストモード) のときリード/ライト可能です。

| | | | | | | | | |
|---------|-----------|-----|-----|-----|-----|-----|-----|-----|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ERDB[6:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

ECREOS = 1 において、エンコード回路で生成される 7 ビットの冗長ビットに替わり、本レジスタの値が端子に出力され、RAM へ供給されます。

ECREIS = 1 において、デコード回路への入力されるデータの上位 7 ビットに替わり本レジスタの値がデコード回路で扱われます。

また、ECTRRS = 1 の際には本レジスタのリード値は書き込みデータ値ではなく、RAM へ供給される信号の値が読み出されます。

(9) E710EAD — ECC エラーアドレスレジスタ

ECC エラー発生アドレスを保持するリード専用レジスタです。

ECC エラー判定が許可された状態で ECC エラーを検出すると、検出信号をトリガとして RAM アドレスをラッチし ECC エラー発生アドレスとして、本レジスタへ保持します。

どのエラーステータスもセットされていない状態で最初に発生した ECC エラー発生時に保持します。

ただし、最初が 1 ビットエラー発生で次に 2 ビットエラーが発生した際には後者が格納されます。

保持できるのは 1 アドレスです。

| | | | | | | | | | | | | | | | | |
|---------|--------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | ECEAD[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ECEAD[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

29.2.9.4 ECM への通知

本モジュールでは、2つのエラー検出が設定可能であり、エラーはECMに通知されます。

- 1ビットエラー通知
EC1EDIC = 1_B をセットした状態で、RAM へのリードアクセス時に RAM リードデータ 0 ビットから 38 ビットに対して 1 箇所のビットエラーを検出すると、1 ビットエラーを通知します。ただし、ECER1F または ECER2F が元々セットされている場合は通知されません。
- 2ビットエラー通知
EC2EDIC = 1_B をセットした状態で、RAM へのリードアクセス時に RAM リードデータ 0 ビットから 38 ビットに対して 2 箇所のビットエラーを検出すると、2 ビットエラーを通知します。ただし、ECER2F が元々セットされている場合は通知されません。

29.2.9.5 テスト機能

(1) RAM データの書き込み

周辺 RAM へデータ書き込みを実行してください。ただし、同時に書き込みデータに対応した ECC が ECC ビットに書き込まれます。任意の値を ECC ビットに書き込むためには、(3) に示す ECC テストモードを使用します。

(2) RAM データの読み出し

- ECC コントロールレジスタの ECTHM ビットを 1 にして、ECC エラー検出・訂正を無効にします。
- 周辺 RAM を読み出します。読み出し時にエラー検出・訂正を行いませんので、RAM データがそのまま読み出されます。

本テストモードからの抜け方：

- ECC コントロールレジスタの ECTHM ビットを 0 にして、ECC エラー検出・訂正を有効にします。

(3) ECC ビットの書き込み

- ECC テストモードコントロールレジスタの ECTMCE ビットを 1 にして、ECC テストモードにします。
- ECC ビットに書き込む値を E710TRC.ECERDB[6:0] に書き込みます。
- ECC テストモードコントロールレジスタの ECREOS ビットを 1 にして、ECC ビットへの書き込み対象に E710TRC.ECERDB[6:0] を選択します。
- 周辺 RAM へデータ書き込みを実行すると、ECC ビットに E710TRC.ECERDB[6:0] が書き込まれます。

本テストモードからの抜け方：

- ECC テストモードコントロールレジスタの ECTMCE ビットを 0 にして、通常モードにします。

(4) ECC ビットの読み出し

- (a) ECC テストモードコントロールレジスタの ECTMCE ビットを 1 にして、ECC テストモードにします。
- (b) 周辺 RAM の読み出しを実行すると、ECC ビットが E710TRC.ECHORD[6:0] に格納されます。

本テストモードからの抜け方

- (a) ECC テストモードコントロールレジスタの ECTMCE ビットを 0 にして、通常モードにします。

29.2.10 周辺 RAM (16 ビット) の ECC

29.2.10.1 概要

以下の周辺モジュールの RAM 用の ECC モジュールです。

DFE

誤り検出・訂正

16 ビットの RAM データに対して、6 ビットの ECC データを付加します。

本 ECC モジュールは ECC 2 ビットエラー検出と ECC 1 ビットエラー検出・訂正機能を有します。

注 意

3 ビット以上のビットエラーは、本モジュールでは正しく検出できません。

3 ビット以上のビットエラーがある場合、本モジュールの動作としては、1 ビットエラーまたは 2 ビットエラーとして検出する場合とエラー検出をしない場合があります。

また、設定によっては反転していないビットを訂正することがあります。

ECC のエラー検出・訂正の有効/無効

- ECC エラー検出の有効/無効を選択可能です。
- ECC 1 ビットエラー訂正の有効/無効を選択可能です。
- なお、本モジュールは、RAM データ出力が ALL 0、ALL 1 へ固着した際には ECC 2 ビットエラーとして検出されます。

エラー通知

- ECC 2 ビットエラー検出時 ECM にエラーを通知します。(有効/無効選択可)
- ECC 1 ビットエラー検出時 ECM にエラーを通知します。(有効/無効選択可)

ECM にエラーを通知したあと、対象のエラーステータスをクリアするまでは、新たに ECC エラーを検出しても ECM にエラーを通知しません。

エラーステータス

- ECC 2 ビットエラー検出と ECC 1 ビットエラー検出をモニタ可能です。
- エラーステータスのクリアレジスタを搭載しています。

アドレスキャプチャ

- ECC エラー発生アドレスを 1 アドレスだけキャプチャ可能です。
- ECC 2 ビットエラーまたは ECC 1 ビットエラー検出時、要因となるアドレスをキャプチャします。(フラグクリア後、最初のエラー検出時 (1 ビットまたは 2 ビット))

テスト機能 (エラー注入)

- モード設定により、レジスタの値を RAM への出力データとして使用可能です。周辺モジュールからの RAM 書き込み時に ECEDB[15:0] レジスタの値を RAM データ部へ、ECERDB[5:0] レジスタの値を ECC 冗長ビット部へ書き込み可能です。

- モード設定により、RAM データリード時の ECC 冗長ビット部をラッチし、値を確認できます。
- モード設定により、入力データから生成される ECC 冗長ビット（エンコード回路）およびシンドロームコード（デコード回路）を確認できます。

29.2.10.2 レジスタ一覧

(1) ECC モジュール一覧

複数の周辺機能の RAM に対して、本 ECC モジュールが実装されています。以下に、本 ECC モジュールを実装している周辺機能と、それに対応する ECC モジュール名、各 ECC モジュールのベースアドレスを示します。

表 29.82 周辺機能と対応する ECC モジュール名、各 ECC モジュールのベースアドレス

| 対応する周辺機能 | | ECC モジュール名とレジスタベースアドレス | | | |
|----------|----------------|------------------------|------------------------|---------------------|------------------------|
| | | マスタ側 ^{注1} | | チェッカ側 ^{注1} | |
| | | モジュール名 | ベースアドレス <base_addr> | モジュール名 | ベースアドレス <base_addr> |
| DFE | データメモリ (DMEM0) | E6DF0M | FFC7 D400 _H | E6DF0C | FFC7 D600 _H |
| | データメモリ (DMEM1) | E6DF1M | FFC7 D800 _H | E6DF1C | FFC7 DA00 _H |

注 1. BIST 対応としてマスタ側とチェッカ側の 2 モジュールが存在します。詳細は「29.7 BIST」を参照してください。

(2) レジスタ一覧

各 ECC モジュールは以下のレジスタを備えます。

表 29.83 ECC モジュールのレジスタ一覧

| レジスタ名 | 略称 | R/W | リセット後の値 | アドレス | アクセスサイズ |
|------------------------------|---------|-----|------------------------|-------------------------------|---------|
| ECC コントロールレジスタ ^{注1} | E610CTL | R/W | 001X _H | <base_addr> + 00 _H | 16/8 |
| ECC テストモードコントロールレジスタ | E610TMC | R/W | 0000 _H | <base_addr> + 04 _H | 16/8 |
| ECC 冗長ビットデータコントロールテストレジスタ | E610TRC | R | 0000 0000 _H | <base_addr> + 08 _H | 32 |
| ECC エンコード・デコードデータテストレジスタ | E610TED | R/W | 0000 0000 _H | <base_addr> + 0C _H | 32 |
| ECC エラーアドレスレジスタ | E610EAD | R | 0000 0000 _H | <base_addr> + 10 _H | 32 |

注 1. ECC コントロールレジスタの下位 1 ビットのリセット値は不定です。

(3) レジスタマップ

表 29.84 レジスタマップ一覧

| 略称 | 31 24 | 23 16 | 15 8 | 7 0 | Address |
|---------|----------------------|----------------------|--------------|-------------|-------------------|
| E610CTL | — (00 _H) | — (00 _H) | ECCTL[15:8] | ECCTL[7:0] | nn00 _H |
| E610TMC | — (00 _H) | — (00 _H) | ECTMC[15:8] | ECTMC[7:0] | nn04 _H |
| E610TRC | ECSYND[7:0] | ECHORD[7:0] | ECECRD[7:0] | ECRODM[7:0] | nn08 _H |
| E610TED | ECEDB[31:24] | ECEDB[23:16] | ECRIDM[15:8] | ECERDB[7:0] | nn0C _H |
| E610EAD | ECEAD[31:24] | ECEAD[23:16] | ECEAD[15:8] | ECEAD[7:0] | nn10 _H |

29.2.10.3 レジスタ詳細

(1) E610CTL — ECC コントロールレジスタ

ECC モジュールのステータスコントロールおよびモード制御するレジスタです。

16 ビット、8 ビット操作命令でリード/ライト可能です。

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-----------|-----|--------|------|----|------------|------------|-----|--------|---|------------|-------------|-------------|------------|------------|-------|
| | EMCA[1:0] | — | — | — | — | ECER2 C | ECER1 C | — | ECTHM | — | EC1EC P | EC2EDI C | EC1EDI C | ECER2 F | ECER1 F | ECEMF |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 不定 |
| | R/W | R/W | 注1 R/W | 注1 R | R | R | R | R/W | 注1 R/W | R | R/W | R | R/W | R/W | R | R |

注1. リード時は常に“0”が読み出されます。

表 29.85 E610CTL レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|--------|-----------|--|
| 15, 14 | EMCA[1:0] | ECC モード選択ビットへのアクセス制御ビット 1, 0 本2ビットはビット7への書き込みトリガ予約ビットであり、読み出し値は常に“0”です。 |
| 10 | ECER2C | ECC 2ビットエラー検出フラグクリアビット 本ビットはビット2【ECER2F】のステータスフラグをクリアするためのビットです。 読み出し値は常に“0”であり、“0”書き込みを行っても状態は変化しません。 “1”書き込みとビット2のセット要因が競合した際には本ビットの書き込みが優先されます。 【ECER2F】ビットがセットされている際に、本ビットに“1”書き込みを行うことでECER2Fビットがクリアされます。 |
| 9 | ECER1C | ECC 1ビットエラー検出訂正累積フラグクリアビット 本ビットはビット1【ECER1F】のステータスフラグをクリアするためのビットです。読み出し値は常に“0”であり、“0”書き込みを行っても状態は変化しません。 “1”書き込みとビット1のセット要因が競合した際には本ビットの書き込みが優先されます。【ECER1F】ビットがセットされている際に、本ビットに“1”書き込みを行うことでECER1Fビットがクリアされます。 |
| 7 | ECTHM | ECC 機能ディスエーブルビット 本ビットを設定することにより ECC デコード動作の取り扱いを選択します。 ただし、本ビットへのライトアクセスは上位15、14ビットを01 _B にしてアクセスする必要があります。したがって本ビットへのアクセスは16ビット操作命令のみ有効です。 本ビットに“1”をセットすることでエラー判定ならびにビット訂正を行いません。 周辺モジュールへの出力データはエラーがあってもビット訂正を行わないデータが出力されます。エンコーダ側には影響を与えません。 0: ECC 検出・訂正機能が有効 1: ECC 検出・訂正機能が無効 エンコード側は何ら影響を受けません。 |
| 5 | EC1ECP | 1ビットエラー訂正許可ビット 0: 1ビットエラー検出時にエラー訂正を行います 1: 1ビットエラー検出時にエラー訂正を行いません |
| 4 | EC2EDIC | 2ビットエラー検出通知許可制御ビット 0: 2ビットエラー検出時にECMへ通知しません 1: 2ビットエラー検出時にECMへ通知します |
| 3 | EC1EDIC | 1ビットエラー検出通知許可制御ビット 0: 1ビットエラー検出時にECMへ通知しません 1: 1ビットエラー検出時にECMへ通知します |

表 29.85 E610CTL レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 2 | ECER2F | <p>2 ビットエラー検出フラグビット</p> <p>本ビットはエラー判定許可状態において RAM へのリードアクセス時に RAM のリードデータビット 0 からビット 21 に対して 2 カ所のビットエラーが検出されたことを示すフラグです。</p> <p>本ビットはリード専用です。</p> <p>0: 2 ビットエラーは発生していません</p> <p>1: 2 ビットエラーが発生しました</p> <p>クリア条件</p> <p>(1) リセット時。</p> <p>(2) ECER2C = 1 ライト。</p> <p>(3) ECC 検出・訂正機能無効時 (ECTHM = 1)</p> |
| 1 | ECER1F | <p>ECC1 ビットエラー検出・訂正フラグビット</p> <p>本ビットはエラー判定許可状態において RAM へのリードアクセス時に RAM リードデータ 0 ビットから 21 ビットに対して 1 箇所のビットエラーが検出されたことを示すフラグです。</p> <p>本ビットはリード専用です。</p> <p>0: 1 ビットエラーは発生していません</p> <p>1: 1 ビットエラーが発生しました</p> <p>クリア条件</p> <p>(1) リセット時。</p> <p>(2) ECER1C = 1 ライト。</p> <p>(3) ECC 検出・訂正機能無効時 (ECTHM = 1)</p> |
| 0 | ECEMF | <p>ECC エラー表示フラグ</p> <p>本ビットは現在のリードデータバスに対してエラーが存在することを示すフラグです。</p> <p>RAM のリセット後の値が不定であるため、エラーと判定され、本ビットがセットされる可能性があります。よって本ビットのリセット後の値は不定とします。</p> <p>0: 現在の RAM 出力データには、ビットエラーが存在していません</p> <p>1: 現在の RAM 出力データでは、ビットエラーが存在します</p> <p>エラー判定許可な状態で RAM の出力データにビットエラーのある RAM データが出力されている間セットされます。</p> <p>クリア条件</p> <p>(1) ECC 検出・訂正機能無効時 (ECTHM = 1)</p> <p>(2) デコード回路入力データに 1 ビットエラーがないとき。</p> |

(2) E610TMC — ECC テストモードコントロールレジスタ

テストモードへの切り替えおよびテストモード制御のための 16 ビットレジスタです。

16 ビット、8 ビット操作命令でリード/ライト可能です。

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|----|----|----|----|---|---|--------|---|---|--------|--------|-------|-------|--------|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ETMA[1:0] | | — | — | — | — | — | — | ECTMCE | — | — | ECTRRS | ECREOS | ECENS | ECDCS | ECREIS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R | R | R | R | R/W | R | R | R/W | R/W | R/W | R/W | R/W |

注 1. リード時は常に“0”が読み出されます。

表 29.86 E610TMC レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|-------|-----------|--|
| 15、14 | ETMA[1:0] | ECC テストモードビットへのアクセス制御ビット 1, 0 本 2 ビットはビット 7 への書き込みトリガ予約ビットであり、読み出し値は常に“0”です。 |
| 7 | ECTMCE | ECC テストモードイネーブルビット 本ビットはテストレジスタおよびテスト制御ビットへのアクセス許可するかを選択するビットです。 ただし、本ビットへのアクセスは上位 15、14 ビットを 10 _B にしてアクセスする必要があります。 0 : テストレジスタおよびテスト制御ビットに対するアクセスを禁止します 1 : テストレジスタおよびテスト制御ビットに対するアクセスを許可します |
| 4 | ECTRRS | ECC RAM リードテストモード選択ビット 本ビットは RAM リードステータスを E610TED レジスタのリードにより発生させる事を許可したり、E610TED:ECEDB[15:0] と E610TED:ECRIDM[7:0] のリード値を RAM 出力データの値に切り替えるためのビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能) また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア) 0 : E610TED をリードしても、テスト用 RAM リードステータスは発生しません 1 : E610TED レジスタをリードした際に、テスト用 RAM リードステータスを生成します E610TED:ECEDB[15:0] と E610TED:ECRIDM[7:0] の読み出し値は、RAM 出力データ端子の値が読み出されます。 |
| 3 | ECREOS | ECC 冗長ビット出力データ選択ビット 本ビットは ECC 冗長ビット出力に ECC エンコーダ出力データまたは ECERDB レジスタ値のいずれを出力するか選択するためのビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能) また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア) 0 : ECC 冗長ビット出力にはエンコード結果を出力します 1 : ECC 冗長ビット出力には E610TED : ECERDB[5:0] を出力します |
| 2 | ECENS | ECC エンコード入力選択ビット 本ビットはエンコード処理される入力信号に周辺モジュールからのデータ値またはテストレジスタ (E610TED : ECEDB[15:0]) 値のいずれを入力するか選択するビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能) また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア) 0 : ECC エンコード入力データには周辺モジュールからの RAM へのライトデータを入力します 1 : ECC エンコード入力データには E610TED : ECEDB[15:0] を入力します |

表 29.86 E610TMC レジスタの内容 (2/2)

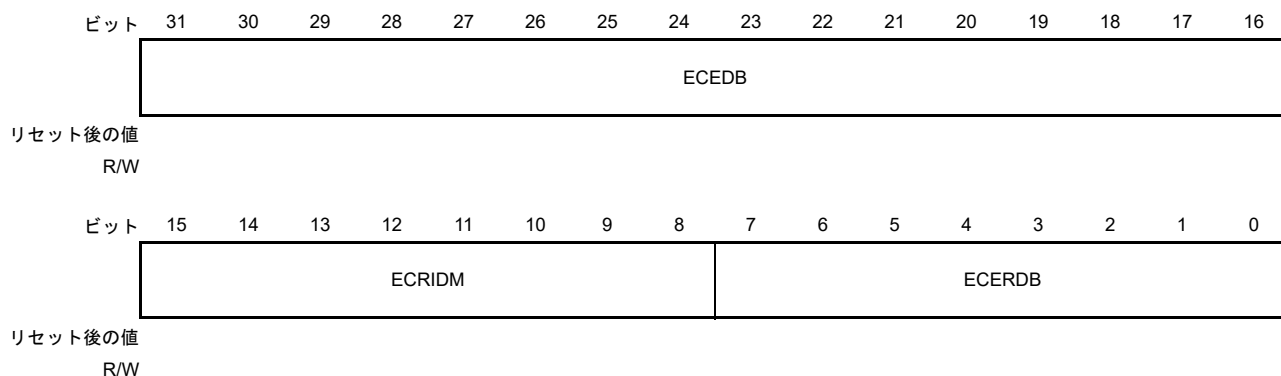
| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 1 | ECDCS | <p>ECC デコード入力選択ビット</p> <p>本ビットはデコード処理される入力信号の下位 32 ビットデータに RAM からの下位 16 ビットデータ値またはテストレジスタ (E610TED : ECEDB[15:0]) 値のいずれを入力するか選択するビットです。</p> <p>なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能)</p> <p>また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)</p> <p>0 : デコード回路へのデータ領域 (下位 16 ビット) には RAM 出力データの低位 16 ビットを入力します</p> <p>1 : デコード回路へのデータ領域には E610TED : ECEDB[15:0] を入力します</p> |
| 0 | ECREIS | <p>ECC 冗長ビット入力データ選択ビット</p> <p>本ビットはデコード処理される入力信号の上位 6 ビットデータに RAM からの上位 6 ビット (冗長ビット領域) データ値またはテストレジスタ (E610TED : ECERDB[5:0] ビット) 値のいずれを入力するか選択するビットです。</p> <p>なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能)</p> <p>また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)</p> <p>0 : デコード回路への ECC 冗長ビット領域には RAM 出力データの上位 6 ビットを入力します</p> <p>1 : デコード回路への ECC 冗長ビット領域には E610TED : ECERDB[5:0] を入力します</p> |

(3) E610TED — ECC エンコード・デコードデータテストレジスタ

本レジスタは ECC データ領域および冗長ビット領域に対する 32 ビットのテストレジスタで、ECEDB、ECRIDM、ECERDB の 3 フィールドで構成されています。各フィールドは、同じ名前のレジスタとしてもアクセス可能です。各フィールドの詳細はこれら 3 レジスタの説明を参照してください。

ECTMCE = 1 のとき、32 ビット操作命令でリード/ライト可能です。

ECTMCE = 0 のときは常に“0”です。

**備 考**

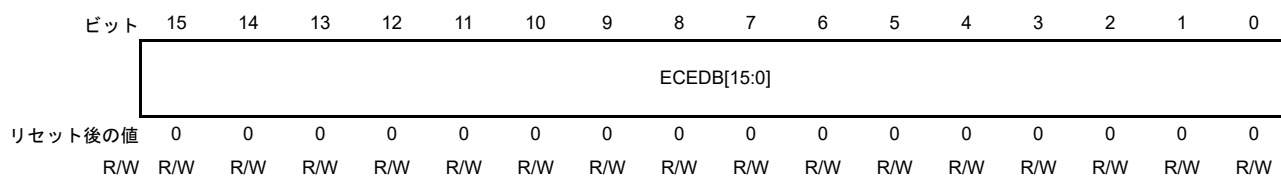
ECTMCE = 1 → 0 では同期リセットとなります。

(4) ECEDB — ECC エンコード/デコード・データ入出力代替バッファレジスタ

ECC エンコード/デコード用の 16 ビットデータバッファレジスタです。

テストモード (ECTMCE = 1) 時にリード/ライト可能です。

ECTMCE = 1 において本レジスタの値がエンコード回路、デコード回路の入力データとして使用することが可能です。



E610TMC : ECENS = 1 において本レジスタの値がエンコード回路への入力データとなり、RAM へ供給されます。

E610TMC : ECDCS = 1 において本レジスタの値がデコード回路への入力データ 15 ~ 0 ビット目のデータとなります。また、E610TMC : ECTRRS = 1 の際には本レジスタのリード値は書き込みデータ値に替わり RAM の出力データの値が読み出されます。

(5) ECRIDM — ECC 冗長ビット入力データモニタレジスタ

テストモード (ECTMCE = 1) かつ E610TMC : ECTRRS = 1 のときに RAM からの上位 6 ビット (冗長ビット領域) データ値をモニタするリード専用レジスタです。RAM 出力データを簡単に確認することが可能です。

ECTRRS = 0 のときは常に “0” です。

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|---------|----|----|-----------|----|----|----|---|---|
| | — | — | RIDM[5:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

(6) ECERDB — ECC 冗長ビット入出力代替バッファレジスタ

テストモード (ECTMCE = 1) のとき ECC6 ビット冗長ビットデータ領域に対する入出力データの代替データのためのバッファレジスタです。

テストモード (ECTMCE = 1) 時にリード/ライト可能です。

| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|---|---|-----------|-----|-----|-----|-----|-----|
| | — | — | ERDB[5:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

ECREOS = 1 において、エンコード回路で生成される 6 ビットの冗長ビットに替わり、本レジスタの値が ECC 冗長ビット出力端子に出力され、RAM へ供給されます。

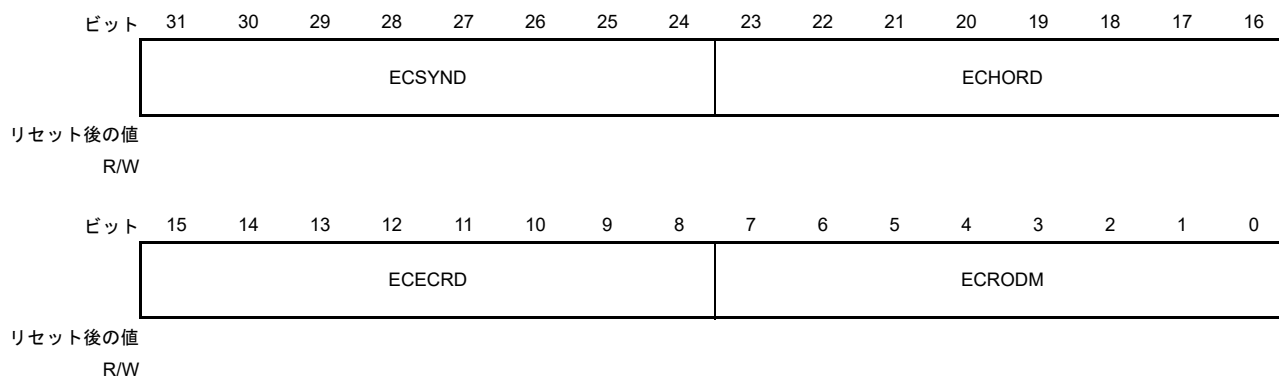
ECREIS = 1 において、デコード回路へ入力されるデータの上位 6 ビットに替わり、本レジスタの値がデコード回路で扱われます。

(7) E610TRC — ECC 冗長ビットデータコントロールテストレジスタ

本レジスタは ECC 冗長ビット領域に対する 32 ビットのテストレジスタで、ECSYND、ECHORD、ECECRD、ECRODM の 4 フィールドで構成されています。各フィールドは同じ名前の 8 ビットレジスタとしてもアクセス可能です。各フィールドの詳細は、これら 4 レジスタの説明を参照してください。

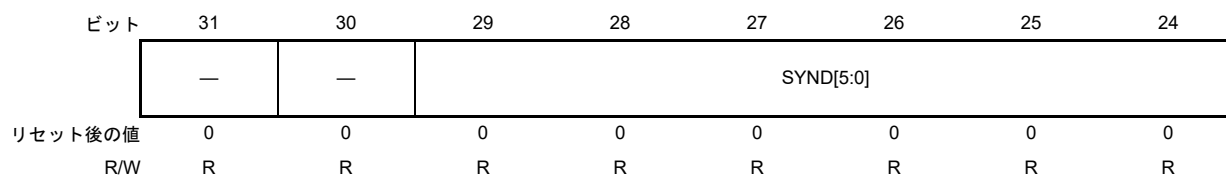
ECTMCE = 0 のときは常に “0” です。

ECTMCE = 1 のとき、32 ビット操作命令でリード可能です。

**(8) ECSYND — ECC デコード・シンドロームデータレジスタ**

テストモード (ECTMCE = 1) 時にデコード回路で生成されるシンドロームコードを確認するのに使用するリード専用レジスタです。

このレジスタへのライトアクセスは無視されます。



本レジスタビットは、デコード回路の入力データを基に生成されるシンドロームコードの値 (synd[5:0]) が読み出されます。

本レジスタビットは保持回路ではありません。

したがって、入力信号が変化すると本レジスタ値も変化します。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で、ECTMCE = 0 では常に 00_H です。

(9) ECHORD — ECC6 ビット冗長ビットデータ保持テストレジスタ

テストモード (ECTMCE = 1) 時に周辺モジュールからの RAM へのリードアクセスした際に周辺モジュールでは確認できない ECC6 ビット冗長ビット領域 (RAM データの上位 6 ビット) を格納するレジスタです。

| | | | | | | | | |
|---------|----|----|-----------|----|----|----|----|----|
| ビット | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | HORD[5:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

本レジスタビットは、テストモード (ECTMCE = 1) 時に周辺モジュールからの RAM データリードアクセスした際に次の動作クロックの立ち上がりで RAM 出力データ上位 6 ビット分のデータを格納します。

また、E610TMC : ECTRRS = 1 のときに ECEDB[15:0] レジスタをリードした際にも入力端子のデータを次の動作クロックで格納します。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で ECTMCE = 0 では常に 00_H です。

(10) ECECRD — ECC エンコードテストレジスタ

テストモード (ECTMCE = 1) 時においてエンコード回路により生成される 6 ビット冗長ビット部を読み出すリード専用レジスタです。

| | | | | | | | | |
|---------|----|----|-----------|----|----|----|---|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| | — | — | ECRD[5:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

周辺モジュールからの入力データにより生成される冗長ビットを確認するために使用します。

ここで読み出されるデータはエンコード結果 (ecc[5:0]) であり、ECC 冗長ビット出力値ではありません。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で ECTMCE = 0 では常に 00_H です。

(11) ECRODM — ECC 冗長ビット出力データモニタレジスタ

テストモード (ECTMCE = 1) において ECC 冗長ビット出力端子の値をモニタするリード専用レジスタです。

RAM への上位 6 ビットの出力データを簡単に確認することが可能です。

| | | | | | | | | |
|---------|---|---|-----------|---|---|---|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | RODM[5:0] | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

本レジスタビットは ECTMCE = 1 のときのみ有効で ECTMCE = 0 では常に 00_H です。

(12) E610EAD — ECC エラーアドレスレジスタ

ECC エラー発生アドレスを保持するリード専用レジスタです。

ECC エラー判定が許可された状態で ECC エラーを検出すると、検出信号をトリガとして RAM アドレスをラッチし ECC エラー発生アドレスとして、本レジスタへ保持します。

どのエラーステータスもセットされていない状態で最初に発生した ECC エラー検出で保持。

ただし、最初が 1 ビットエラー発生で次に 2 ビットエラーが発生した際には後者が格納されます。

保持できるのは 1 アドレスです。

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|--------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| | ECEAD[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ECEAD[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

29.2.10.4 ECM への通知

本モジュールでは、2つのエラー検出が設定可能であり、エラーは ECM に通知されます。

- 1 ビットエラー通知

EC1EDIC = 1_B をセットした状態で、RAM へのリードアクセス時に RAM リードデータ 0 ビットから 21 ビットに対して 1 箇所のビットエラーを検出すると、1 ビットエラーを通知します。ただし、ECER1F または ECER2F が元々セットされている場合は通知されません。

- 2 ビットエラー通知

EC2EDIC = 1_B をセットした状態で、RAM へのリードアクセス時に RAM リードデータ 0 ビットから 21 ビットに対して 2 箇所のビットエラーを検出すると、2 ビットエラーを通知します。ただし、ECER2F が元々セットされている場合は通知されません。

29.2.10.5 テスト機能

(1) RAM データの書き込み

周辺 RAM へデータ書き込みを実行してください。ただし、同時に書き込みデータに対応した ECC が ECC ビットに書き込まれます。任意の値を ECC ビットに書き込むためには、(3) に示す ECC テストモードを使用します。

(2) RAM データの読み出し

- (a) ECC コントロールレジスタの ECTHM ビットを 1 にして、ECC エラー検出・訂正を無効にします。
- (b) 周辺 RAM を読み出します。読み出し時にエラー検出・訂正を行いませんので、RAM データがそのまま読み出されます。

本テストモードからの抜け方：

- (a) ECC コントロールレジスタの ECTHM ビットを 0 にして、ECC エラー検出・訂正を有効にします。

(3) ECC ビットの書き込み

- (a) ECC テストモードコントロールレジスタの ECTMCE ビットを 1 にして、ECC テストモードにします。
- (b) ECC ビットに書き込む値を E610TED.ECERDB[5:0] に書き込みます。
- (c) ECC テストモードコントロールレジスタの ECREOS ビットを 1 にして、ECC ビットへの書き込み対象に E610TED.ECERDB[5:0] を選択します。
- (d) 周辺 RAM へデータ書き込みを実行すると、ECC ビットに E610TED.ECERDB[5:0] が書き込まれます。

本テストモードからの抜け方：

- (a) ECC テストモードコントロールレジスタの ECTMCE ビットを 0 にして、通常モードにします。

(4) ECC ビットの読み出し

- (a) ECC テストモードコントロールレジスタの ECTMCE ビットを 1 にして、ECC テストモードにします。
- (b) 周辺 RAM の読み出しを実行すると、ECC ビットが E610TRC.ECHORD[5:0] に格納されます。

本テストモードからの抜け方

- (a) ECC テストモードコントロールレジスタの ECTMCE ビットを 0 にして、通常モードにします。

29.2.11 データ転送経路のデータパリティ

以下に、データパリティの対象となる転送経路を示します。以下に示すアクセス元からアクセス先への転送にはデータパリティによるエラーの検出が可能です。いずれかの転送経路でパリティエラーを検出すると、ECM に通知します。

表 29.87 データパリティの対象となる転送経路

| アクセス元 (マスタ) | アクセス先 (スレーブ) |
|-------------------|--|
| CPU1、PCU、DMAC、DTS | INTC2、DMA、DTS、 APA、ATU-IV、 CSIH、 $\Delta\Sigma$ AD、ADC、 ポートグループ 0、DNF、エッジ検出 DNF |
| DMAC、DTS | CPU1 の Local RAM、Global RAM |

なお、リード時にデータパリティエラーが発生した際、CPU1 へは 0 が返されます。その他のマスタへはエラーデータがそのまま返されます。また、ライト時にデータパリティエラーが発生した際は、スレーブが INTC2、APA、ATU-IV、 $\Delta\Sigma$ AD、ADC (IFC 除く)、DNF、エッジ検出 DNF であればライトはキャンセルされます。

パリティ対象モジュールの幾つかはパリティコントローラ (エンコーダおよびデコーダ) に制御レジスタを持っており、エラー検出時のステータス保持などが可能です。これらのモジュールでパリティエラーが検出された場合は、エラーとなったアクセスを特定することが可能です。

制御レジスタを持たないパリティコントローラは、必ずパリティを検出します。これらのコントローラ自身はエラー検出時のステータスは保持しませんが、エラー検出の有無は ECM に保持されます。

29.2.11.1 レジスタ一覧

表 29.88 レジスタ一覧

| アドレス | シンボル | レジスタ名 | R/W | リセット後の値 | アクセスサイズ |
|------------------------------|---------------|----------------------------------|-----|------------------------|---------|
| <Base_addr> + 0 _H | APDPERRST_xx | P-Bus データパリティステータスレジスタ xx | R | 0000 0000 _H | 8/16/32 |
| <Base_addr> + 4 _H | APDPERRSTC_xx | P-Bus データパリティステータスクリアレジスタ xx | W | 0000 0000 _H | 8/16/32 |
| <Base_addr> + 8 _H | APDPTMC_xx | P-Bus データパリティテストモードコントロールレジスタ xx | R/W | 0000 0000 _H | 16/32 |
| <Base_addr> + C _H | APDPERRADR_xx | P-Bus データパリティエラーアドレスレジスタ xx | R | 0000 0000 _H | 32 |

上記における、“xx” はこれら制御レジスタが対応するパリティ対象モジュールを示します。以下にパリティ対象モジュールと、そのベースアドレス <base_addr> の一覧を示します。

表 29.89 データパリティ制御モジュール一覧 (1/2)

| パリティ対象モジュール名 | xx | <base_addr> |
|-------------------------------|-------|------------------------|
| INTC2 | INTC2 | FFC6 8800 _H |
| DMA_DTS | PDMA | FFC6 8900 _H |
| APA (APA 入力セクタ以外) | APAA | FFDC 2000 _H |
| APA (APA 入力セクタ) | APGA | FFDC 2020 _H |
| ATU-IV | ATU4 | FFDD F000 _H |
| CSIH0 (グループ A) 注 ¹ | CS0A | FFF9 6000 _H |

表 29.89 データパリティ制御モジュール一覧 (2/2)

| パリティ対象モジュール名 | xx | <base_addr> |
|-----------------------|------|------------------------|
| CSIH0 (グループ B) 注1 | CS0B | FFF9 6020 _H |
| CSIH1 (グループ A) 注1 | CS1A | FFF9 6040 _H |
| CSIH1 (グループ B) 注1 | CS1B | FFF9 6060 _H |
| CSIH2 (グループ A) 注1 | CS2A | FFF9 6080 _H |
| CSIH2 (グループ B) 注1 | CS2B | FFF9 60A0 _H |
| ΔΣAD (共有レジスタ) | DADC | FFC8 7000 _H |
| ΔΣAD (CH0 レジスタ) | DAD0 | FFC8 7020 _H |
| ΔΣAD (CH1 レジスタ) | DAD1 | FFC8 7040 _H |
| ADC0 | ADC0 | FFC8 8000 _H |
| ADC1 | ADC1 | FFC8 8020 _H |
| ADC (IFC) | IFC | FFC8 8100 _H |
| ADC (ASF) | ASF | FFC8 8120 _H |
| ポートグループ 0 (グループ A) 注2 | PT0A | FFC8 5000 _H |
| ポートグループ 0 (グループ B) 注2 | PT0B | FFC8 5020 _H |
| ポートグループ n (グループ A) 注2 | PT1A | FFC8 5040 _H |
| ポートグループ n (グループ B) 注2 | PT1B | FFC8 5060 _H |
| DNF0 | DNF0 | FFC8 50C0 _H |
| DNF1 | DNF1 | FFC8 50E0 _H |
| エッジ検出 DNF2 | DNF2 | FFC8 5800 _H |
| エッジ検出 DNF3 | DNF3 | FFC8 5820 _H |
| エッジ検出 DNF4 | DNF4 | FFC8 5840 _H |
| エッジ検出 DNF6 | DNF6 | FFC8 5880 _H |
| エッジ検出 DNF7 | DNF7 | FFC8 58A0 _H |

注 1. CSIHx のレジスタは以下の 2 グループに分けて制御されます。

グループ A : CSIHnCTL0 ~ 2, CSIHnSTR0, CSIHnSTCR0

グループ B : 上記以外

注 2. ポートグループのレジスタは以下の 2 グループに分けて制御されます。

グループ A : PCRn_m 以外のレジスタ (2.1.4.1 表 2.6 参照)

グループ B : PCRn_m

ここで、n はポートグループ番号 (n = 0 ~ 17)、m は各ポートグループ内のビット番号 (m = 0 ~ 15) を示します。

29.2.11.2 レジスタ詳細

(1) APDPERRST_xx — P-Bus データパリティステータスレジスタ

xx は、「表 29.89 データパリティ制御モジュール一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | APDPERR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.90 APDPERRST レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------|---|
| 31 ~ 1 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 0 | APDPERR | データパリティエラーモニタフラグ パリティエラーが発生したことを示すフラグです。 データパリティエラーモニタフラグクリアビット (APDPERRC) に1をセットすることでクリアされます。 0: パリティエラーは発生していない 1: パリティエラーが発生した |

(2) APDPERRSTC_xx — P-Bus データパリティステータスクリアレジスタ

xx は、「表 29.89 データパリティ制御モジュール一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | APDPERRC |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W |

表 29.91 APDPERRSTC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|----------|---|
| 31 ~ 1 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 0 | APDPERRC | 本ビットは、データパリティエラーモニタフラグ (APDPERR) をクリアするためのビットです。APDPERR がセットされた状態で、本ビットに“1”を書き込むと APDPERR はクリアされます。読み出し値は常に“0”です。 |

(3) APDPTMC_xx — P-Bus データパリティテストモードコントロールレジスタ

xx は、「表 29.89 データパリティ制御モジュール一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|---------|--------------|-----|-----|----|----|----|----|----|----|----|----|----|--------------|--------------|--------------|--------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | APDPTMC[1:0] | — | — | — | — | — | — | — | — | — | — | — | APDPEI C3 | APDPEI C2 | APDPEI C1 | APDPEI C0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W |

表 29.92 APDPTMC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|--------------|---|
| 31 ~ 16 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 15、14 | APDPTMC[1:0] | データパリティテストモードコントロールビット 本ビットのデータが01 _B のときにエラー注入制御ビット (APDPEIC3 ~ 0) にライトアクセスが可能になります。 01 _B 以外で APDPEIC3 ~ 0 にライトアクセスしても値は書き込まれません。 読み出し値は常に“0”です。 |
| 13 ~ 4 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 3 | APDPEIC3 | バイトレーン3エラー注入制御ビット バイトレーン3 (ビット31 ~ 24) に対応するパリティビット生成・チェックを奇数パリティに変更します。APDPTMC[1:0] = 01 _B のときにライトアクセスが可能です。 0: パリティビット生成・チェックは偶数パリティ 1: パリティビット生成・チェックは奇数パリティ (エラー注入) |
| 2 | APDPEIC2 | バイトレーン2エラー注入制御ビット バイトレーン2 (ビット23 ~ 16) に対応するパリティビット生成・チェックを奇数パリティに変更します。APDPTMC[1:0] = 01 _B のときにライトアクセスが可能です。 0: パリティビット生成・チェックは偶数パリティ 1: パリティビット生成・チェックは奇数パリティ (エラー注入) |
| 1 | APDPEIC1 | バイトレーン1エラー注入制御ビット バイトレーン1 (ビット15 ~ 8) に対応するパリティビット生成・チェックを奇数パリティに変更します。APDPTMC[1:0] = 01 _B のときにライトアクセスが可能です。 0: パリティビット生成・チェックは偶数パリティ 1: パリティビット生成・チェックは奇数パリティ (エラー注入) |
| 0 | APDPEIC0 | バイトレーン0エラー注入制御ビット バイトレーン0 (ビット7 ~ 0) に対応するパリティビット生成・チェックを奇数パリティに変更します。APDPTMC[1:0] = 01 _B のときにライトアクセスが可能です。 0: パリティビット生成・チェックは偶数パリティ 1: パリティビット生成・チェックは奇数パリティ (エラー注入) |

(4) APDPERRADR_xx — P-Bus データパリティエラーアドレスレジスタ

xx は、「表 29.89 データパリティ制御モジュール一覧」を参照してください。

| | | | | | | | | | | | | | | | | |
|---------|-------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | APDPERRADR[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | APDPERRADR[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.93 APDPERRADR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------------|---|
| 31 ~ 0 | APDPERRADR [31:0] | データパリティエラーアドレス データパリティエラーモニタフラグ (APDPAERR) がセットされていない状態で、最初にパリティエラーが発生したアドレスを保持します。DPAERR がセットされた状態で再度パリティエラーが発生しても保持情報は更新されません。 |

29.3 ロックステップ

本製品は、CPUの故障を、特別なソフトウェアを使わずにかつ速やかに検出するために、CPU1にロックステップ機能を搭載しています。CPU1におけるプログラム実行は、異なる2つの回路であるマスタコアとチェッカコアによって処理され、両者の実行結果は常時比較されます。比較結果が一致しなかった場合、いずれかの回路にエラーが生じたものとしてECMにロックステップコンペアエラーを通知します。比較対象となるバス出力は、CPU1のLocal RAM、Global RAM、CPU Peripheral、インターコネクト、P-Bus、Code Flash、命令キャッシュのタグRAM、命令キャッシュのデータRAMへの出力です。

CPU1のロックステップ機能は故障注入機能を備えており、意図的にエラーを発生させることによってロックステップ機能の動作を自己診断することができます。

29.3.1 レジスタ一覧

表 29.94 レジスタ一覧

| アドレス | シンボル | レジスタ名 | R/W | リセット後の値 | アクセスサイズ |
|------------------------|--------------|--------------|-----|------------------------|---------|
| FFFE ED00 _H | TESTCOMPREG0 | 比較器テストレジスタ 0 | R/W | 0000 0000 _H | 8/16/32 |
| FFFE ED04 _H | TESTCOMPREG1 | 比較器テストレジスタ 1 | R/W | 0000 0000 _H | 8/16/32 |

これらのレジスタは、CPU1のCPU Peripheralに配置されています。これらのレジスタはCPU1からしかアクセスすることができません。

29.3.2 レジスタ詳細

29.3.2.1 TESTCOMPREG0 — 比較器テストレジスタ 0

CPU1 のロックステップ機能用のテストレジスタ 0 です。

本レジスタと TESTCOMPREG1 を組み合わせることによってロックステップ機能の自己診断を行うことができます。以下に、自己診断方法の一例を示します。

- (1) TESTCOMPREG0 に任意の値を書き込みます。
- (2) TESTCOMPREG1 に TESTCOMPREG0 とは異なる任意の値を書き込みます。
- (3) TESTCOMPREG0 を読み出します。マスタコアとチェッカコアには、異なる値が読み出されます。
- (4) この読み出した値を使用して、診断を行いたい比較器を動作させます。

| | | | | | | | | | | | | | | | | |
|---------|---------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TESTCOMPREG0[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TESTCOMPREG0[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 29.95 TESTCOMPREG0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------------|--|
| 31 ~ 0 | TESTCOMPREG0[31:0] | ライト 各バイトにデータが書き込まれます。 リード PE1 : TESTCOMPREG0[31:0] の値が読めます。 PE1C : TESTCOMPREG1[31:0] の値が読めます。 |

29.3.2.2 TESTCOMPREG1 — 比較器テストレジスタ 1

CPU1 のロックステップ機能用のテストレジスタ 1 です。

本レジスタと TESTCOMPREG0 を組み合わせることによってロックステップ機能の自己診断を行うことができます。

| | | | | | | | | | | | | | | | | |
|---------|---------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TESTCOMPREG1[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TESTCOMPREG1[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 29.96 TESTCOMPREG1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------------|--|
| 31 ~ 0 | TESTCOMPREG1[31:0] | ライト 各バイトにデータが書き込まれます。 リード PE1 : TESTCOMPREG1[31:0] の値が読めます。 PE1C : TESTCOMPREG0[31:0] の値が読めます。 |

29.4 メモリ保護

29.4.1 概要

本製品は、メモリ上のデータや周辺回路の制御レジスタを、誤ったアクセスから保護するためのメモリ保護機能を搭載しています。

- MPU

CPU1 や PCU が、自分自身の不正なアクセスからメモリを保護します。MPU で禁止されたアドレスに対するアクセスは、CPU1 や PCU から発行されることはありません。詳細は、「RH850G3M ユーザーズマニュアル ソフトウェア編」、「RH850G3K ユーザーズマニュアル ソフトウェア編」をご参照ください。

- スレーブガード

あらゆるバスマスタの不正なアクセスから、特定のメモリを保護します。スレーブガードには以下のものがあります。詳細は次節以降に示します。

- PEG

Local RAM を不正なアクセスから保護します。ただし、Local RAM を備える CPU 自身からのアクセスは保護対象外です。たとえば、CPU1 から CPU1 内の Local RAM へのアクセスは、PEG によってプロテクトされることはありません。詳細は「**第3章 CPU システム**」をご参照ください。

- IPG

CPU Peripheral を不正なアクセスから保護します。詳細は「**第3章 CPU システム**」をご参照ください。

- GRG

Global RAM を不正なアクセスから保護します。

- PBG

周辺回路の制御レジスタやメモリを不正なアクセスから保護します。詳細は、**29.4.3 節**をご参照ください。

29.4.1.1 スレーブガードの識別子

スレーブガードでは、以下の識別子によってプロテクトすべき不正アクセスを指定することができます。

表 29.97 スレーブガード識別子一覧

| 識別子 | 機能 |
|------|--|
| UM | CPU のアクセス時に、その CPU の動作モードを示します。 0 : スーパバイザモード 1 : ユーザモード DMAC/DTS のアクセス時には、本識別子の値はチャンネルマスタ設定レジスタの設定値となります。 その他のマスタのアクセス時には、本識別子は必ず 0 となります。 |
| SPID | CPU のアクセス時に、その CPU に設定されたシステム保護識別子 SPID の値を示します。 DMAC/DTS のアクセス時には、本識別子の値はチャンネルマスタ設定レジスタの設定値となります。 その他のマスタのアクセス時には、本識別子は必ず 00 _B となります。 |
| PEID | アクセス元のバスマスタを示します。 000 _B : 予約 001 _B : CPU1 010 _B : 予約 011 _B : PCU 100 _B : その他のバスマスタ 101 _B : 予約 110 _B : 予約 111 _B : 予約 DMAC/DTS のアクセス時には、本識別子の値はチャンネルマスタ設定レジスタの設定値となります。 |

29.4.2 GRG (Global RAM Guard)

本製品は、4チャンネルのGRGを実装しています。以下にGRGの詳細を記します。

29.4.2.1 レジスタ一覧

表 29.98 レジスタ一覧

| アドレス | シンボル | レジスタ名 | R/W | リセット後の値 | アクセスサイズ |
|------------------------|----------------|--------------------------|-----|------------------------|---------|
| FFC4 9000 _H | MGDGRPROT0 | GRG プロテクション設定レジスタ 0 | R/W | 07FF FFF0 _H | 8/16/32 |
| FFC4 9004 _H | MGDGRBAD0 | GRG コンペアベースアドレスレジスタ 0 | R/W | 0000 0000 _H | 8/16/32 |
| FFC4 9008 _H | MGDGRADV0 | GRG コンペアアドレス有効レジスタ 0 | R/W | 0000 0000 _H | 8/16/32 |
| FFC4 9010 _H | MGDGRPROT1 | GRG プロテクション設定レジスタ 1 | R/W | 07FF FFF0 _H | 8/16/32 |
| FFC4 9014 _H | MGDGRBAD1 | GRG コンペアベースアドレスレジスタ 1 | R/W | 0000 0000 _H | 8/16/32 |
| FFC4 9018 _H | MGDGRADV1 | GRG コンペアアドレス有効レジスタ 1 | R/W | 0000 0000 _H | 8/16/32 |
| FFC4 9020 _H | MGDGRPROT2 | GRG プロテクション設定レジスタ 2 | R/W | 07FF FFF0 _H | 8/16/32 |
| FFC4 9024 _H | MGDGRBAD2 | GRG コンペアベースアドレスレジスタ 2 | R/W | 0000 0000 _H | 8/16/32 |
| FFC4 9028 _H | MGDGRADV2 | GRG コンペアアドレス有効レジスタ 2 | R/W | 0000 0000 _H | 8/16/32 |
| FFC4 9030 _H | MGDGRPROT3 | GRG プロテクション設定レジスタ 3 | R/W | 07FF FFF0 _H | 8/16/32 |
| FFC4 9034 _H | MGDGRBAD3 | GRG コンペアベースアドレスレジスタ 3 | R/W | 0000 0000 _H | 8/16/32 |
| FFC4 9038 _H | MGDGRADV3 | GRG コンペアアドレス有効レジスタ 3 | R/W | 0000 0000 _H | 8/16/32 |
| FFC4 9100 _H | MGDGRSCTL_VCI | GRG コントロールレジスタ (VCI) | R/W | 0000 0000 _H | 8/16/32 |
| FFC4 9104 _H | MGDGRSSTAT_VCI | GRG エラーステータスレジスタ (VCI) | R | 0000 0000 _H | 8/16/32 |
| FFC4 9108 _H | MGDGRSAD_VCI | GRG エラーアドレスレジスタ (VCI) | R | 0000 0000 _H | 8/16/32 |
| FFC4 910C _H | MGDGRSTYPE_VCI | GRG エラーアクセスタイプレジスタ (VCI) | R | 0000 0000 _H | 8/16/32 |
| FFC4 9200 _H | MGDGRSCTL_PE1 | GRG コントロールレジスタ (PE1) | R/W | 0000 0000 _H | 8/16/32 |
| FFC4 9204 _H | MGDGRSSTAT_PE1 | GRG エラーステータスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |
| FFC4 9208 _H | MGDGRSAD_PE1 | GRG エラーアドレスレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |
| FFC4 920C _H | MGDGRSTYPE_PE1 | GRG エラーアクセスタイプレジスタ (PE1) | R | 0000 0000 _H | 8/16/32 |

- MGDGRPROT_n、MGDGRBAD_n、MGDGRADV_n は、各チャンネルの保護内容を設定します。(n : 0 ~ 3)
- MGDGRSCTL_*, MGDGRSSTAT_*, MGDGRSAD_*, MGDGRSTYPE_* は、各アクセスポートにおけるエラー情報を示します。“_VCI”はシステムインタコネクタ1からGlobal RAMへのアクセス、“_PE1”はCPU1からGlobal RAMへのアクセスを示します。

29.4.2.2 レジスタ詳細

(1) MGDGRPROTn — GRG プロテクション設定レジスタ n (n = 0 ~ 3)

| | | | | | | | | | | | | | | | | |
|---------|----|-----|----|----|----|----|-----|-----------|-----|-----|-----|-----|-----|-----|-----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | EN | — | — | — | — | UM | PEID[7:0] | | | | | | | — | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | SPID[3:0] | | | | DEB | — | — | — | — |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R | R | R | R |

表 29.99 MGDGRPROTn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|---|
| 31 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 30 | EN | 保護イネーブル 0: 保護しません 1: 保護します 本レジスタで許可したアクセスのみ可能。 |
| 29 ~ 27 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 26 | — | 予約です。読み出すと常に1が読み出されます。書き込む値も常に1にしてください。 |
| 25 | UM | ユーザーモードでのアクセス 0: 管理者モードでのアクセスを許可します。 1: ユーザーモードと管理者モードでのアクセスを許可します。 |
| 24 ~ 17 | PEID[7:0] | PEIDによるアクセス PEIDは各ビットがそれぞれ1つのPEID値に対応するビットリストです。複数のビットを設定することによって同時に複数のパーチャルプロセッサのID値を許可します。たとえばPEIDを0101 _B に設定すればPEID=0およびPEID=2でのアクセスを許可します。 0: PEID=nでのアクセスを許可しません。 1: PEID=nでのアクセスを許可します。 |
| 16 ~ 9 | — | 予約です。読み出すと常に1が読み出されます。書き込む値も常に1にしてください。 |
| 8 ~ 5 | SPID[3:0] | SPIDによるアクセス SPIDは各ビットがそれぞれ1つのSPID値に対応するビットリストです。複数のビットを設定することによって同時に複数のSPID値を許可します。たとえばSPIDを0101 _B に設定すればSPID=0およびSPID=2でのアクセスを許可します。 0: SPID=nでのアクセスを許可しません。 1: SPID=nでのアクセスを許可します。 |
| 4 | DEB | デバッグアクセス 0: デバッグマスタからのアクセスを許可しません。 1: デバッグマスタからのアクセスを許可します。 本ビットには必ず“1”を設定してください。もしも“0”を設定した場合、デバッグやRAMモニタツールが正しく動作しない可能性があります。 |
| 3 ~ 0 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |

(2) MGDGRBADn — GRG コンペアベースアドレスレジスタ n (n = 0 ~ 3)

| | | | | | | | | | | | | | | | | |
|---------|----------|-----|-----|-----|-----|-----|-----|-----|----|----|----|-----------|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | AD[20:16] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | AD[15:9] | | | | | | | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R |

表 29.100 MGDGRBADn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|----------|---|
| 31 ~ 21 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 20 ~ 9 | AD[20:9] | コンペアベースアドレス |
| 8 ~ 0 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |

(3) MGDGRADVn — GRG コンペアアドレス有効レジスタ n (n = 0 ~ 3)

| | | | | | | | | | | | | | | | | |
|---------|-----------|-----|-----|-----|-----|-----|-----|-----|----|----|----|------------|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | ADV[20:16] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ADV[15:9] | | | | | | | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R |

表 29.101 MGDGRADVn レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|---|
| 31 ~ 21 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 20 ~ 9 | ADV[20:9] | コンペアアドレス有効 MGDGRADVn[20:9] = 1 のビットはアドレスコンペアを実行します。 MGDGRADVn[20:9] がすべて 1 の場合は MGDGRBADn で指定されたアドレスをベースに最小単位である 512 バイトが保護対象となります。ただし、MGDGRADVn[20:9] がすべて 0 の場合は Global RAM 全域が保護対象となります。 |
| 8 ~ 0 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |

設定例：MGDGRBAD_n[20:9] = 800_H、MGDGRADV_n[20:9] = FF7_H に設定した場合、Global RAM ガード保護領域 n は FEF00000_H ~ FEF001FF_H と FEF01000_H ~ FEF011FF_H になります。

考え方：MGDGRBAD_n[20:9] = 800_H をセットするとベースアドレスは FEF00000_H となり設定可能範囲を【 】で示すと、

1111 1110 111 【1 0000 0000 000】 0 0000 0000

F E F 0 0 0 0 0

MGDGRADV_n[20:9] = FF7_H の場合、0 をセットしたビットと下位 9 ビットは見ないので

1111 1110 111 【1 0000 000X 000】 X XXXX XXXX

F E F 0 0 0 0 0 ~

F E F 0 0 1 F F

および

F E F 0 1 0 0 0 ~

F E F 0 1 1 F F

の各 512 バイト、計 1K バイトを保護します。

(4) MGDGRSCTL_VCI/PE1 — GRG コントロールレジスタ n

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|--------|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | ERRCLO | ERRCLE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

表 29.102 MGDGRSCTL_VCI/PE1

| ビット位置 | ビット名 | 機能 |
|--------|--------|--|
| 31 ~ 2 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 1 | ERRCLO | エラーエントリオーバフローフラグクリア 0: 動作しません。 1: オーバフローフラグをクリアします。 |
| 0 | ERRCLE | エラー検出フラグクリア 0: 動作しません。 1: エラー検出フラグをクリアします。 ただし、下表に示すとおり ERRCLO と同時にセットしてください。 |

表 29.103 ERRCLO と ERRCLE の組み合わせ

| ERRCLO | ERRCLE | 機能 |
|--------|--------|-------------------------------|
| 0 | 0 | いずれのビットもクリアしません。 |
| 0 | 1 | いずれのビットもクリアしません（この設定は無視されます）。 |
| 1 | 0 | OVF ビットをクリアします。 |
| 1 | 1 | 両方のビットをクリアします。 |

(5) MGDGRSSTAT_VCI/PE1 — GRG エラーステータスレジスタ

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | OVF | ERR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.104 MGDGRSSTAT_VCI/PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|---|
| 31 ~ 2 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 1 | OVF | エラーエントリオーバフローフラグ 0: オーバフローなし 1: オーバフロー発生 GRGのエラーエントリ段数は1のため、最初のガード違反が発生し、エラー検出フラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバフローし、本フラグがセットされます。 なお、オーバフロー時もECMに通知されます。 またオーバフローした際のガード違反のエラー情報はキャプチャされません。 |
| 0 | ERR | エラー検出フラグ 0: エラーなし 1: エラー発生 |

(6) MGDGRSAD_VCI/PE1 — GRG エラーアドレスレジスタ

| | | | | | | | | | | | | | | | | |
|---------|-------------|----|----|----|----|----|---------------|----|----|----|----|--------------|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | GRIFR EQAP | — | — | — | — | GRIFA[20:16] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | GRIFA[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.105 MGDGRSAD_VCI/PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------|---|
| 31 ~ 26 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 25 | GRIFREQAP | エラー発生時のアドレスパリティビット |
| 24 ~ 21 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 20 ~ 0 | GRIFA[20:0] | エラー発生時のアドレス |

(7) MGDGRSTYPE_VCI/PE1 — GRG エラーアクセスタイプレジスタ

| | | | | | | | | | | | | | | | | |
|---------|-----------|----|----|----|----|----|-----------|----|----|----|----|-----------|----|----|----|---------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | PACKETID[1:0] |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PEID[2:0] | | | — | — | — | SPID[1:0] | | — | UM | — | TYPE[4:0] | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.106 MGDGRSTYPE_VCI/PE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------|---|
| 31 ~ 18 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 17、16 | PACKETID[1:0] | エラー発生時のパケット ID（内部バス、インターコネクトの信号であり参考情報） |
| 15 ~ 13 | PEID[2:0] | エラー発生時の PEID |
| 12 ~ 10 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 9、8 | SPID[1:0] | エラー発生時の SPID |
| 7 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 6 | UM | エラー発生時の UM |
| 5 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 4 ~ 0 | TYPE[4:0] | エラー発生時の転送タイプ（内部バス、インターコネクトの信号であり参考情報） |

29.4.3 PBG

PBG モジュールは複数の PBG グループに分かれており、各 PBG グループは最大 16 個の保護チャンネルを備えています。一つの PBG チャンネルが 1 つの周辺回路に対してプロテクトすべきアクセスを指定することができます。また PBG グループごとに、プロテクトしたアクセスの情報を保持することができます。

以下に、保護対象の周辺回路モジュールの一覧と、対応する PBG グループ名、PBG チャンネル番号を示します。

表 29.107 保護対象の周辺回路モジュール一覧

| PBG グループ | PBG チャンネル番号 | 保護対象モジュール |
|----------|-------------|------------------------------|
| PBG0A | 0 | INTC2 |
| | 1 | DMA_DTS |
| PBG0B | 4 | GRG (制御レジスタ) |
| | 5 | GRG ステータス (VCI2GRAM) |
| | 6 | GRG ステータス (PE1) |
| PBG1A | 0 | APA (入力セクタ以外) |
| | 1 | APA (入力セクタ) |
| PBG1B | 0 | ATU-IV |
| PBG2A | 0 | CSIH0 (グループ A) 注1 |
| | 1 | CSIH0 (グループ B) 注1 |
| | 2 | CSIH1 (グループ A) 注1 |
| | 3 | CSIH1 (グループ B) 注1 |
| | 4 | CSIH2 (グループ A) 注1 |
| | 5 | CSIH2 (グループ B) 注1 |
| PBG3A | 0 | $\Delta\Sigma$ AD (共有レジスタ) |
| | 1 | $\Delta\Sigma$ AD (CH0 レジスタ) |
| | 2 | $\Delta\Sigma$ AD (CH1 レジスタ) |
| | 9 | ADC0 |
| | 10 | ADC1 |
| | 11 | ADC (IFC) |
| | 12 | ADC (ASF) |
| | 13 | ECM (M) |
| | 14 | ECM (C) |
| | 15 | ECM (Common) |
| PBG3B | 0 | ポートグループ 0 (グループ A) 注2 |
| | 1 | ポートグループ 0 (グループ B) 注2 |

注 1. CSIHx のレジスタは以下の 2 グループに分けて制御されます。

グループ A : CSIHnCTL0 ~ 2, CSIHnSTR0, CSIHnSTCR0

グループ B : 上記以外

注 2. ポートグループのレジスタは以下の 2 グループに分けて制御されます。

グループ A : PCR0_m 以外のレジスタ (2.1.4.1 表 2.6 参照)

グループ B : PCR0_m

ここで、m は各ポートグループ内のビット番号 (m = 0 ~ 14) を示します。

29.4.3.1 レジスタ一覧

以下に PBG チャンネルごとに実装されるレジスタを示します。

表 29.108 PBG チャンネルごとに実装されるレジスタ一覧

| レジスタシンボル | レジスタ名 | R/W | リセット後の値 | アドレス | アクセスサイズ |
|--------------|---------------------|-----|------------------------|--------------------|---------|
| FSGDxxDPROTn | PBGxx プロテクションレジスタ n | R/W | 07FF FFFF _H | <base_addr0> + 4*n | 8/16/32 |

以下に PBG グループごとに実装されるレジスタを示します。

表 29.109 PBG グループごとに実装されるレジスタ一覧

| レジスタシンボル | レジスタ名 | R/W | リセット後の値 | アドレス | アクセスサイズ |
|--------------|---------------------|-----|------------------------|-------------------------------|---------|
| ERRSLVxxCTL | PBGxx エラーコントロールレジスタ | W | 0000 0000 _H | <base_addr1> + 0 _H | 8/16/32 |
| ERRSLVxxSTAT | PBGxx エラーステータスレジスタ | R | 0000 0000 _H | <base_addr1> + 4 _H | 8/16/32 |
| ERRSLVxxADDR | PBGxx エラーアドレスレジスタ | R | 0000 0000 _H | <base_addr1> + 8 _H | 32 |
| ERRSLVxxTYPE | PBGxx エラータイプレジスタ | R | 0000 0000 _H | <base_addr1> + C _H | 16/32 |

ここで、レジスタ名やレジスタシンボルの“xx”は PBG グループ番号を、“n”は PBG チャンネル番号を示します。各 PBG グループ番号や PBG チャンネル番号に対応したベースアドレス値 <base_addr0> と <base_addr1> の値は以下のとおりです。

表 29.110 ベースアドレス一覧

| PBG グループ | PBG グループ番号 xx | PBG チャンネル番号 n | <base_addr0> | <base_addr1> |
|----------|---------------|---------------|------------------------|------------------------|
| PBG0A | 0A | 0, 1 | FFC4 C000 _H | FFC4 C800 _H |
| PBG0B | 0B | 4-6 | FFC4 C100 _H | FFC4 C900 _H |
| PBG1A | 1A | 0, 1 | FFDC 0000 _H | FFDC 0200 _H |
| PBG1B | 1B | 0 | FFDD D000 _H | FFDD D200 _H |
| PBG2A | 2A | 0-7 | FFF9 4000 _H | FFF9 4200 _H |
| PBG3A | 3A | 0-15 | FFC4 0000 _H | FFC4 0200 _H |
| PBG3B | 3B | 0, 1 | FFC4 1000 _H | FFC4 1200 _H |

29.4.3.2 レジスタ詳細

(1) FSGDxxDPROTn — PBGxx プロテクションレジスタ n

保護対象である周辺回路モジュールの制御レジスタやRAMに対して、プロテクトするアクセスを指定します。いずれかの識別子で禁止されたアクセスは不正アクセスとしてプロテクトされます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|--------|---------------|-----|-----|-----|---------|------------|-----------|--------|--------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | PROTUM | PROTPEID[7:0] | | | | | | | — | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | PROTSPID[3:0] | | | | PROTDEB | PROTRDPDEF | PROTRWPEF | PROTRD | PROTWR |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 29.111 FSGDxxDPROTn レジスタの内容 (1/2)

| ビット位置 | ビット名 | 機能 |
|---------|---------------|---|
| 31 ~ 27 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 26 | — | 予約です。読み出すと常に1が読み出されます。書き込む値も常に1にしてください。 |
| 25 | PROTUM | ユーザーモードでのアクセス 0: 管理者モードでのアクセスを許可します。 1: ユーザーモードと管理者モードでのアクセスを許可します。 |
| 24 ~ 17 | PROTPEID[7:0] | PEIDによるアクセス PROTnPEIDは各ビットがそれぞれ1つのPEID値に対応するビットリストです。複数のビットを設定することによって同時に複数のバーチャルプロセッサのID値を許可します。たとえばPROTnPEIDを0101 _B に設定すればPEID=0およびPEID=2でのアクセスを許可します。 0: PEID=nでのアクセスを許可しません。 1: PEID=nでのアクセスを許可します。 |
| 16 ~ 9 | — | 予約です。読み出すと常に1が読み出されます。書き込む値も常に1にしてください。 |
| 8 ~ 5 | PROTSPID[3:0] | SPIDによるアクセス PROTnSPIDは各ビットがそれぞれ1つのSPID値を表すビットの一覧です。複数のビットを設定することによって同時に複数のSPID値を許可します。たとえばPROTnSPIDを0101 _B に設定すればSPID=0およびSPID=2でのアクセスを許可します。 0: SPID=nでのアクセスを許可しません。 1: SPID=nでのアクセスを許可します。 |
| 4 | PROTDEB | デバッグアクセス 0: デバッグマスタからのアクセスを許可しません。 1: デバッグマスタからのアクセスを許可します。 本ビットには必ず“1”を設定してください。もしも“0”を設定した場合、デバッグやRAMモニタツールが正しく動作しない可能性があります。 |
| 3 | PROTRDPDEF | デフォルトリード保護 0: いずれのマスタもリードアクセスを実行することができます。 1: アクセスを許可されたマスタによるリードだけを許可します。 |

表 29.111 FSGDxxDPROTn レジスタの内容 (2/2)

| ビット位置 | ビット名 | 機能 |
|-------|------------|--|
| 2 | PROTWRPDEF | デフォルトライト保護 0: いずれのマスタもライトアクセスを実行することができます。 1: アクセスを許可されたマスタによるライトだけを許可します。 |
| 1 | PROTRD | リード許可 0: いずれのマスタもリードアクセスは許可しません。 1: アクセスを許可されたマスタによるリードアクセスだけを許可します。 |
| 0 | PROTWR | ライト許可 0: いずれのマスタもライトアクセスは許可しません。 1: アクセスを許可されたマスタによるライトアクセスだけを許可します。 |

(2) ERRSLVxxCTL — PBGxx エラーコントロールレジスタ

PBGxx のエラーステータスレジスタのステータスをクリアするためのレジスタです。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------|------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | CLRO | CLRE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W |

表 29.112 ERRSLVxxCTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|---|
| 31 ~ 2 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 1 | CLRO | エラーエントリオーバフローフラグクリア 0: 動作しません。 1: オーバフローフラグをクリアします。 |
| 0 | CLRE | エラー検出フラグクリア 0: 動作しません。 1: エラー検出フラグをクリアします。 |

(3) ERRSLVxxSTAT — PBGxx エラーステータスレジスタ

PBGxx においてプロテクトした不正アクセスのステータスを保持するためのレジスタです。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | OVF | ERR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.113 ERRSLVxxSTAT レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|---|
| 31 ~ 2 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 1 | OVF | エラーエントリオーバフローフラグ 0: オーバフローなし 1: オーバフロー発生 PBGのエラーエントリ段数は1のため、最初のガード違反が発生し、エラーステータスフラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバフローし、本フラグがセットされます。 なお、オーバフローはECMには通知されません。 またオーバフローした際のガード違反のエラー情報はキャプチャされません。 |
| 0 | ERR | エラー検出フラグ 0: エラーなし 1: エラー発生 |

(4) ERRSLVxxADDR — PBGxx エラーアドレスレジスタ

PBGxx においてプロテクトした不正アクセスのアドレスを保持するためのレジスタです。

| | | | | | | | | | | | | | | | | |
|---------|-------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | ADDR[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ADDR[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.114 ERRSLVxxADDR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------|--------------------------------|
| 31 ~ 0 | ADDR[31:0] | エラー発生時のアドレス ADDR[1:0]は0固定です |

(5) ERRSLVxxTYPE — PBGxx エラータイプレジスタ

PBGxx においてプロテクトした不正アクセスのアクセスタイプを保持するためのレジスタです。

| | | | | | | | | | | | | | | | | |
|---------|-----------|----|----|----|----|----|-----------|----|----|----|----|-----------|----|----|-------|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PEID[2:0] | | | — | — | — | SPID[1:0] | | — | UM | — | STRB[3:0] | | | WRITE | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.115 ERRSLVxxTYPE レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------|---|
| 31 ~ 16 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 15 ~ 13 | PEID[2:0] | エラー発生時の PEID |
| 12 ~ 10 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 9、8 | SPID[1:0] | エラー発生時の SPID |
| 7 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 6 | UM | エラー発生時の UM |
| 5 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 4 ~ 1 | STRB[3:0] | エラー発生時のストローブ信号（内部バス、インターコネクトの信号であり参考情報） |
| 0 | WRITE | エラー発生時のライト信号（内部バス、インターコネクトの信号であり参考情報） |

29.5 マルチインプットシグネチャジェネレータ (MISG)

29.5.1 概要

本 LSI は、CPU 部の自己診断などを目的として、マルチインプットシグネチャジェネレータ (MISG) を搭載しています。

MISG の仕様概要を以下に示します。

表 29.116 仕様概要

| 項目 | 説明 |
|-------------|--|
| 生成多項式 | <p>2 種類の生成多項式を用いてシグネチャを生成することができます。</p> <ul style="list-style-type: none"> MISR1: $G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$ MISR2: $G(x) = x^{32} + x^{22} + x^2 + x + 1$ <p>* 64 ビットデータに対するシグネチャの生成に対応するために、各 CPU に MISR1 (MISR2) を 2 つ搭載した MISG を接続します。</p> |
| シグネチャの生成 | <p>シグネチャ生成の許可/禁止を設定できます。</p> <ul style="list-style-type: none"> MISR1 でのシグネチャ生成の許可/禁止 MISR2 でのシグネチャ生成の許可/禁止 <p>シグネチャ生成条件として、下記 2 条件を選択できます。</p> <ul style="list-style-type: none"> レジスタ書き込み MISR カルキュレーションレジスタ (MISRCURL) への書き込みによってシグネチャを生成します。 ライト監視 CPU によるライトアクセスを監視し、特定の監視アドレス領域へのライトアクセスが発生するとシグネチャを生成します。監視対象となる特定の監視アドレス領域は、監視領域ベースアドレスレジスタと監視領域アドレスマスクレジスタで指定します。 |
| シグネチャ自動比較機能 | <p>2 つのシグネチャ生成部を選択してシグネチャを比較します。</p> <p>各シグネチャ生成部にデータカウンタを搭載し、比較対象に選択した MISG に搭載したデータカウンタのカウント値が一致した場合に比較を実施します。データカウンタは MISRCURL レジスタ、または監視するアドレス領域へのライトアクセスの回数をカウントします。</p> |
| エラー通知 | <p>シグネチャの比較で不一致になった場合、Error Control Module にエラー通知します。Error Control Module へのエラー通知の許可/禁止を選択できます。直接 INTC への割り込み要求は行いません。</p> |

29.5.2 ブロック図

29.5.2.1 MISG

MISG のブロック図を以下に示します。MISG は、2つのシグネチャ生成部とシグネチャ比較部で構成されます。

シグネチャ生成条件のライト監視モード（節参照）は、対応するシグネチャ生成部と CPU 間でのみ実現可能です。このため各シグネチャ生成部には、CPU 番号に対応した名称がつけられています（MISG_PE1、MISG_PCU）。MISG_PE1 は CPU1 のライトアクセスを監視できます。MISG_PCU は、PCU のライトアクセスを監視できません。

シグネチャ生成条件のレジスタライトモードでは、各 CPU とシグネチャ生成部の間に対応関係はありません。すべての CPU はすべてのシグネチャ生成部でシグネチャを生成することができます。

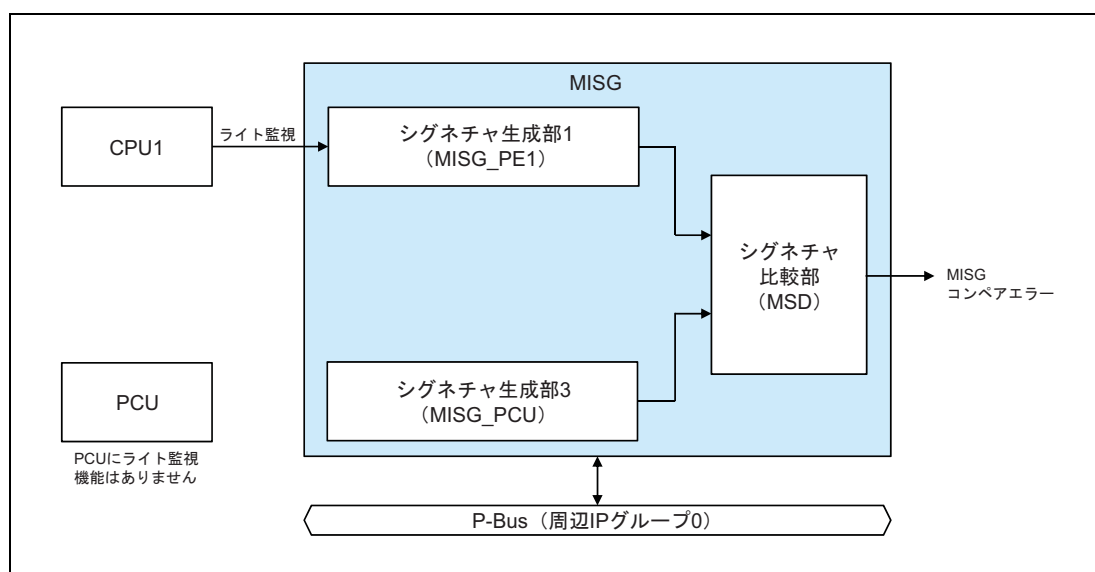


図 29.3 MISG ブロック図（シングルコア用）

29.5.2.2 シグネチャ生成

以下にシグネチャ生成におけるデータの流れを示します。MISR1 および MISR2 は 32 ビットのシグネチャ生成器 2 つ (MISR1H と MISR1L、MISR2H と MISR2L) から構成されます。MISR1H と MISR2H は監視対象 CPU のライトデータ上位 32 ビットからシグネチャを生成できます。MISR1L と MISR2L は、監視対象 CPU のライトデータ下位 32 ビットまたは MISRCDRL へのライトデータからシグネチャを生成できます。

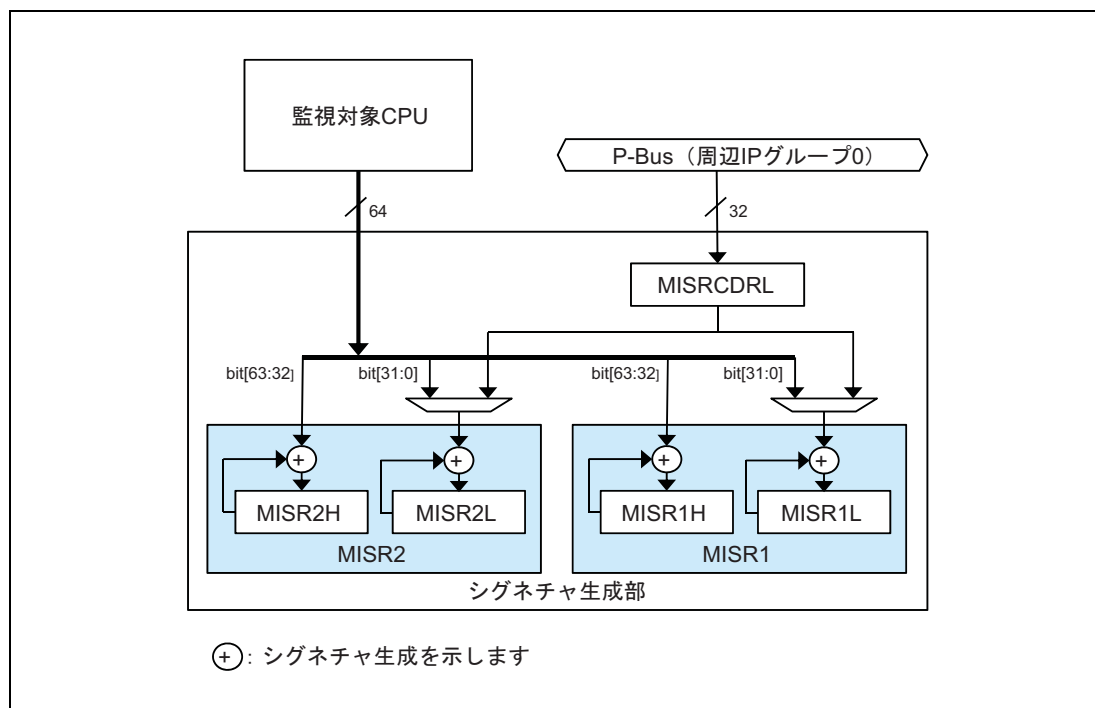


図 29.4 シグネチャ生成部

以下に MISR1H および MISR1L のシグネチャ生成のブロック図と生成多項式を示します。

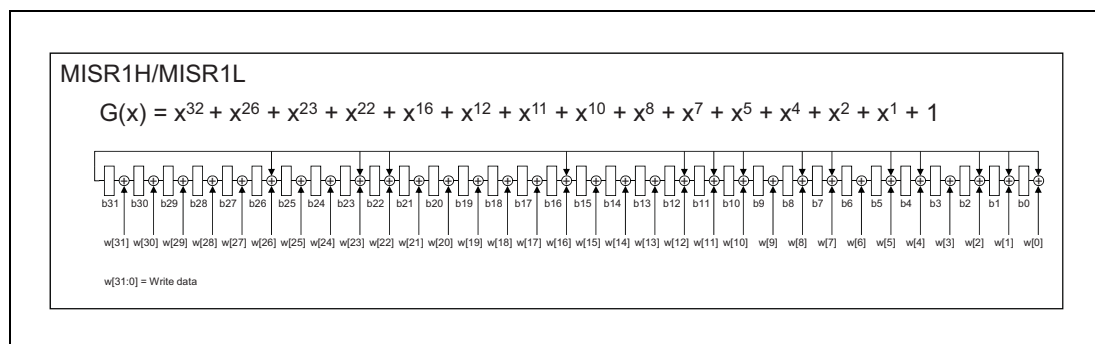


図 29.5 MISR1H および MISR1L のシグネチャ生成のブロック図と生成多項式

以下に MISR2H および MISR2L のシグネチャ生成のブロック図と生成多項式を示します。

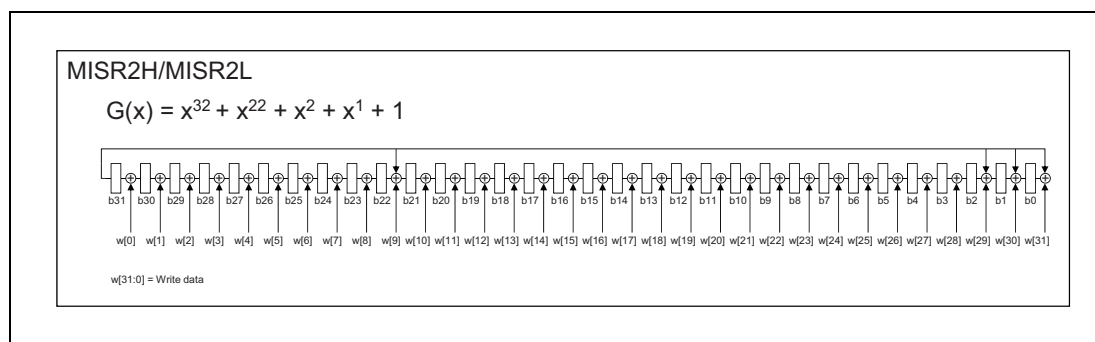


図 29.6 MISR2H および MISR2L のシグネチャ生成のブロック図と生成多項式

29.5.3 機能仕様

29.5.3.1 シグネチャ生成条件

MISR1 および MISR2 のシグネチャ生成条件は、MISR コントロールレジスタ (MISRCR) の設定によって選択することができます。

MISR_i のシグネチャ生成条件 (i = 1, 2)

表 29.117 MISR_i のシグネチャ生成条件

| MISRCR. MISRiEN | MISRCR. MISEiCND | シグネチャ生成条件 |
|--------------------|---------------------|---|
| 0 | — | MISR _i はシグネチャを生成しません |
| 1 | 0 | レジスタ書き込みモード MISR _i は、MISRCDRL レジスタへの書き込みが行われるとシグネチャを生成します |
| 1 | 1 | ライト監視モード MISR _i は、対応する CPU が特定の監視アドレスへのライトアクセスを実行するとシグネチャを生成します |

(1) レジスタ書き込みモード

MISR1 がレジスタ書き込みモードのときに MISR カルキュレーションレジスタ (MISRCDRL) への書き込みが実行されると、MISR1 はマルチインプットシグネチャレジスタ 1L (MISR1L) に保持している値と MISRCDRL へのライトデータから 32 ビットのシグネチャを生成し、MISR1L に保持します。同様に、MISR2 がレジスタ書き込みモードのときに MISRCDRL への書き込みが実行されると、MISR2 はマルチインプットシグネチャレジスタ 2L (MISR2L) に保持している値と MISRCDRL へのライトデータから 32 ビットのシグネチャを生成し、MISR2L に保持します。レジスタ書き込みモードのとき、MISR1H および MISR2H の値は更新されません。

MISRCDRL への書き込みは 8/16/32 ビット単位で実行可能で、書き込みが行われないビットは“0”として扱います。例えば、MISRCDRL の下位 16 ビットにのみ書き込みを行った場合、ライトデータの上位 16 ビットは“0”としてシグネチャが生成されます。同じく、MISRCDRL の上位 16 ビットにのみ書き込みを行った場合、ライトデータの下位 16 ビットは“0”としてシグネチャが生成されます (ただし、IO ヘッドファイルを使ったアクセスではこのような状況は起こらない)。

MISR1 および MISR2 は、MISRCDRL への書き込みを行うバスマスタを区別しません。CPU、DMAC、デバッグマスタ、などいかなるバスマスタからの書き込みによってもシグネチャを生成します。

(2) ライト監視モード

MISR1 がライト監視モードのときに対応する CPU が特定の監視アドレス領域へのライトアクセスを実行すると、MISR1 は MISR1H と MISR1L に保持している値と CPU のライトデータから 2 つの 32 ビットシグネチャを生成し、MISR1H と MISR1L に保持します。このとき、MISR1H とライトデータの上位 32 ビットが、MISR1L とライトデータの下位 32 ビットが対応します。同様に、MISR2 がライト監視モードのときに対応する CPU が特定の監視アドレス領域へのライトアクセスを実行すると、MISR2 は MISR2H と MISR2L に保持している値と CPU のライトデータから 2 つの 32 ビットシグネチャを生成し、MISR2H と MISR2L に保持します。

シグネチャ生成の対象となる特定の監視アドレス領域は、MISR 監視領域ベースアドレスレジスタ (MISRBASEADR) と MISR 監視領域アドレスマスクレジスタ (MISRADRMSK) で設定します。CPU のライトアドレスが特定の監視アドレス領域内であれば、シグネチャが生成されます。

ライト監視モードでは、対応する CPU の 8/16/32/64 ビット単位でのライトアクセスを監視します。8/16/32 ビット単位での書き込みの場合、書き込みが行われない残りのビットは“0”として扱い、常に 64 ビットのデータが MISR1 および MISR2 へ入力されます。アクセス先のアドレスにかかわらず、ライトデータは下位側に配置されます。たとえば、8N+4 番地への 32 ビットライトの場合も、32 ビットのライトデータは下位側に配置され、上位 32 ビットのライトデータは“0”としてシグネチャが生成されます。

MISR1 および MISR2 が監視できる CPU のライトアクセス先は下記の通りです。

- Local-RAM、Global-RAM、
- CPU Peripheral (ローカル APB)、
- インターコネクタ (GVCI) または P-Bus (グローバル APB) に接続された周辺回路

以下のストア動作は監視対象外です。

- (1) スレープ応答時にライトデータが判明する命令 : BitOp、CAXI、STC.W
- (2) 64bit を超えるデータを扱うスタック退避命令 : PREPARE 系、PUSHSP

ライト監視モードは、特定のシグネチャ生成部と対応する CPU の間でのみ実行可能です。本製品では、以下の監視が可能です。PCU のライトアクセスは監視できません。

- シグネチャ生成部 1 による CPU1 のライトアクセス監視

ライト監視モードに対応していないシグネチャ生成部でライト監視モードを設定した場合、シグネチャは生成されません。この時、MISRBASEADR と MISRADRMSK の値はどこからも参照されません。

29.5.3.2 シグネチャ自動比較機能

シグネチャ生成部のうち、コンパレータコントロールレジスタ (MISRCMPCTL) の MISR1CMPEN2 ビット、MISR2CMPEN2 ビットで、2つのシグネチャ生成部を選択してシグネチャを比較します。各シグネチャ生成部にはデータカウンタを搭載しており、比較対象に選択した2つのシグネチャ生成部に搭載したデータカウンタのカウント値が一致した場合にシグネチャを比較します。

2つのシグネチャを比較する場合、MISRCMPCTL レジスタの MISR1CMPEN2/MISR2CMPEN2 で2つのシグネチャ生成部でのシグネチャ比較を許可してください。

29.5.3.3 データカウンタ

MISR データカウンタレジスタ (MISRDCNT) は、MISRCDRL への書き込み回数、または BASEADR と ADRMSK で設定されたアドレス範囲へのライトアクセスの回数をカウントします。データカウンタコントロールレジスタ (MISRDCNTCTL) の CNTSTA ビット=1、CNTTRG ビット=0 のとき、MISRDCNT は MISRCDRL へのライトアクセスの回数をカウントします。MISRDCNTCTL の CNTSTA ビット=1、CNTTRG ビット=1 のとき、MISRDCNT は MISRBASEADR と MISRADRMSK で設定された監視アドレス範囲への対応する CPU のライトアクセスの回数をカウントします。

MISR1 や MISR2 のシグネチャ生成条件を MISRDCNT のカウントアップトリガに設定することで、MISRDCNT は MISR1 や MISR2 のどちらか一方または両方のシグネチャ生成回数をカウントすることができます。ただし、MISR1 と MISR2 のシグネチャ生成条件とデータカウンタのカウントアップトリガが整合していない場合、MISRDCNT の値とシグネチャ生成回数と一致しませんので注意してください。

注 意

1. MISRCR レジスタの MISR1EN および MISR2EN がともに 0 の場合には、MISRCDRL への書き込みおよび MISRBASEADR と MISRADRMSK で設定されたアドレス範囲へのライトが行われても MISRDCNT のカウントはインクリメントされません。
2. ライト監視モードに対応していないシグネチャ生成部において、データカウンタのカウントアップトリガを監視アドレス領域への CPU ライトアクセスに設定した場合、MISRDCNT のカウントはインクリメントされません。

29.5.3.4 エラー通知

エラー通知コントロールレジスタ (MISRERRCTL) の CMPERREN ビット=1 のとき、シグネチャの比較不一致で Error Control Module へエラーを通知します。同時にコンペアエラーステータスレジスタのエラーフラグをセットします。

INTC への割り込み要求発生は行いません。

29.5.4 レジスタ仕様

29.5.4.1 レジスタマップ

シグネチャ生成部のレジスタ一覧を下記に示します。

末尾に”_PE1”と記したレジスタはシグネチャ生成部 1 (MISG_PE1) に搭載されています。

末尾に”_PCU”と記したレジスタはシグネチャ生成部 3 (MISG_PCU) に搭載されています。

尚、本章の説明において、シグネチャ生成部 1、3 を区別する必要がない場合は、レジスタシンボル末尾の”_PE1”、”_PCU”を省略します。

MISG_PE1_base = FFC5 1000_H

MISG_PCU_base = FFC5 3000_H

表 29.118 シグネチャ生成部レジスタ一覧 (1/2)

| レジスタ シンボル | レジスタ名 | R/W | リセット後 の値 | アドレス | アクセス サイズ | | |
|---------------------|-----------------------------------|-----|------------------------|---|-------------|----|----|
| | | | | | 8 | 16 | 32 |
| MISR1L_PE1 | マルチインプットシグネチャレジスタ 1L (PE1) | R/W | 0000 0000 _H | <MISG_PE1_base> + 000 _H | | | ○ |
| MISR1H_PE1 | マルチインプットシグネチャレジスタ 1H (PE1) | R/W | 0000 0000 _H | <MISG_PE1_base> + 004 _H | | | ○ |
| MISR2L_PE1 | マルチインプットシグネチャレジスタ 2L (PE1) | R/W | 0000 0000 _H | <MISG_PE1_base> + 008 _H | | | ○ |
| MISR2H_PE1 | マルチインプットシグネチャレジスタ 2H (PE1) | R/W | 0000 0000 _H | <MISG_PE1_base> + 00C _H | | | ○ |
| MISRCDRL_PE1 | MISR カルキュレーションデータレジ スタ L (PE1) | W | — | <MISG_PE1_base> + 010 _H | ○ | ○ | ○ |
| RFU | RFU (予約) | — | — | <MISG_PE1_base> + 014 _H | | | |
| MISRCR_PE1 | MISR コントロールレジスタ (PE1) | R/W | 00 _H | <MISG_PE1_base> + 018 _H | ○ | | |
| MISRBASEADR_PE 1 | MISR 監視領域ベースアドレスレジ スタ (PE1) | R/W | 0000 0000 _H | <MISG_PE1_base> + 01C _H | ○ | ○ | ○ |
| MISRADRMSK_PE1 | MISR 監視領域アドレスマスクレジ スタ (PE1) | R/W | 0000 0000 _H | <MISG_PE1_base> + 020 _H | ○ | ○ | ○ |
| MISRDCNTCTL_PE1 | MISR データカウントコントロールレ ジスタ (PE1) | R/W | 00 _H | <MISG_PE1_base> + 024 _H | ○ | | |
| MISRDCNT_PE1 | MISR データカウントレジスタ (PE1) | R/W | 0000 _H | <MISG_PE1_base> + 028 _H | | ○ | |
| RFU | RFU (予約) | — | — | <MISG_PE1_base> + 02A _H ~ <MISG_PE1_base> + FFF _H | | | |
| MISR1L_PCU | マルチインプットシグネチャレジスタ 1L (PCU) | R/W | 0000 0000 _H | <MISG_PCU_base> + 000 _H | | | ○ |
| MISR1H_PCU | マルチインプットシグネチャレジスタ 1H (PCU) | R/W | 0000 0000 _H | <MISG_PCU_base> + 004 _H | | | ○ |
| MISR2L_PCU | マルチインプットシグネチャレジスタ 2L (PCU) | R/W | 0000 0000 _H | <MISG_PCU_base> + 008 _H | | | ○ |
| MISR2H_PCU | マルチインプットシグネチャレジスタ 2H (PCU) | R/W | 0000 0000 _H | <MISG_PCU_base> + 00C _H | | | ○ |
| MISRCDRL_PCU | MISR カルキュレーションデータレジ スタ L (PCU) | W | — | <MISG_PCU_base> + 010 _H | ○ | ○ | ○ |
| RFU | RFU (予約) | — | — | <MISG_PCU_base> + 014 _H | | | |
| MISRCR_PCU | MISR コントロールレジスタ (PCU) | R/W | 00 _H | <MISG_PCU_base> + 018 _H | ○ | | |

表 29.118 シグネチャ生成部レジスタ一覧 (2/2)

| レジスタ シンボル | レジスタ名 | R/W | リセット後 の値 | アドレス | アクセス サイズ | | |
|---------------------|----------------------------------|-----|------------------------|---|-------------|----|----|
| | | | | | 8 | 16 | 32 |
| MISRBASEADR_PC U | MISR 監視領域ベースアドレスレジ スタ (PCU) | R/W | 0000 0000 _H | <MISG_PCU_base> + 01C _H | ○ | ○ | ○ |
| MISRADRMSK_PCU | MISR 監視領域アドレスマスクレジ スタ (PCU) | R/W | 0000 0000 _H | <MISG_PCU_base> + 020 _H | ○ | ○ | ○ |
| MISRDCNTCTL_PC U | MISR データカウントコントロールレ ジスタ (PCU) | R/W | 00 _H | <MISG_PCU_base> + 024 _H | ○ | | |
| MISRDCNT_PCU | MISR データカウントレジスタ (PCU) | R/W | 0000 _H | <MISG_PCU_base> + 028 _H | | ○ | |
| RFU | RFU (予約) | — | — | <MISG_PCU_base> + 02A _H ~ <MISG_PCU_base> + FFF _H | | | |

シグネチャ比較部 (MSD サブブロック) のレジスタ一覧を下記に示します。

MSD_base = FFC5 0000_H

表 29.119 シグネチャ比較部 (MSD サブブロック) のレジスタ一覧

| レジスタ シンボル | レジスタ名 | R/W | リセット後 の値 | アドレス | アクセス サイズ | | |
|---------------|------------------------------|-----|-------------------|---------------------------------|-------------|----|----|
| | | | | | 8 | 16 | 32 |
| MISRCMPCTL | MISR コンパレータコントロールレジスタ | R/W | 0000 _H | <MSD_base> + 00 _H | ○ | ○ | |
| MISRCMPERSTR | MISR コンペアエラーステータスレジスタ | R | 00 _H | <MSD_base> + 04 _H | ○ | | |
| MISRCMPERRSTC | MISR コンペアエラーステータスクリアレジ スタ | W | 00 _H | <MSD_base> + 08 _H | ○ | | |
| MISRERRCTL | MISR エラー通知コントロールレジスタ | R/W | 00 _H | <MSD_base> + 0C _H | ○ | | |

注 1. 実体が 32bit 未満のレジスタに対するアクセスで、未実装 (未定義) のビットに対するアクセスは、ライトアクセスは無視し、リードアクセスでは 0 を返します。

以下、シグネチャ生成部に搭載する制御レジスタについて記載します。

29.5.4.2 MISRCDRL_PE1/PCU — MISR カルキュレーションデータレジスタ

MISR カルキュレーションデータレジスタは書き込み専用の 32 ビットレジスタです。

シグネチャ生成条件がレジスタライトモードのとき、本レジスタへの書き込みによって MISR1 や MISR2 でシグネチャが生成されます。本レジスタへ書き込んだデータは、マルチインプットシグネチャレジスタ 1L (MISR1L)、マルチインプットシグネチャレジスタ 2L (MISR2L) の入力データになります。シグネチャ生成条件については、「**29.5.3.1 シグネチャ生成条件**」を参照してください。

本レジスタへの書き込みは 8/16/32 ビット単位で実行可能です。8/16 ビット単位での書き込みの場合、書き込みが行われない残りのビットは“0”として扱い、常に 32 ビットのデータが MISR1L、MISR2L へ入力されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | MISRCDRL[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| R/W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | MISRCDRL[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| R/W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W |

表 29.120 MISRCDRL_PE1/PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------------------------|---|
| 31~0 | MISRCDRL31 ~ MISRCDRL0 | カルキュレーションデータ MISR1 または MISR2 への入力データ。 MISRCDR レジスタの MISR1EN ビット = 1 かつ MISR1CND = 0 のとき、または MISR2EN = 1 かつ MISR2CND = 0 のとき、MISRCDR レジスタへの書き込みが 行われるたびに新たなシグネチャが生成され、MISR1 または MISR2 に保持され ます。 |

注 1. 本レジスタへの書き込みによりシグネチャ生成を実施した場合、MISR1/MISR2 の内下位 32bit (MISR1L/MISR2L) のみが動作し、上位 32bit (MISR1H/MISR2H) は動作せず値が保持されたままとなります。

29.5.4.3 MISR1L_PE1/PCU — マルチインプットシグネチャレジスタ 1L

マルチインプットシグネチャレジスタ 1L は読み出し、書き込み可能な 32 ビットレジスタです。

シグネチャ生成条件が成立すると、条件が成立するたびに新しいシグネチャを生成し、生成した値を保持します。シグネチャ生成条件は「**29.5.3.1 シグネチャ生成条件**」をご参照ください。

シグネチャは下記の多項式で生成されます。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

| | | | | | | | | | | | | | | | | |
|---------|---------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | MISR1L[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | MISR1L[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 29.121 MISR1L_PE1/PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------------|---|
| 31 ~ 0 | MISR1L31 ~ MISR1L0 | マルチインプットシグネチャレジスタ 1L 読み出すと、常に最新のシグネチャが読み出されます。 |

29.5.4.4 MISR1H_PE1/PCU — マルチインプットシグネチャレジスタ 1H

マルチインプットシグネチャレジスタ 1H は読み出し、書き込み可能な 32 ビットレジスタです。

シグネチャ生成条件が成立すると、条件が成立するたびに新しいシグネチャを生成し、生成した値を保持します。シグネチャ生成条件は「**29.5.3.1 シグネチャ生成条件**」をご参照ください。

シグネチャは下記の多項式で生成されます。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

| | | | | | | | | | | | | | | | | |
|---------|---------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | MISR1H[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | MISR1H[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 29.122 MISR1H_PE1/PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------------|---|
| 31 ~ 0 | MISR1H31 ~ MISR1H0 | マルチインプットシグネチャレジスタ 1H 読み出すと、常に最新のシグネチャが読み出されます。 |

注 1. レジスタ書き込みモードにおいては、シグネチャ生成条件が成立した場合にも本レジスタは更新されません。ライト監視モードに対応していないシグネチャ生成部にも本レジスタを搭載していますが、シグネチャが生成されることはありません。

29.5.4.5 MISR2L_PE1/PCU — マルチインプットシグネチャレジスタ 2L

マルチインプットシグネチャレジスタ 2L は読み出し、書き込み可能な 32 ビットレジスタです。

シグネチャ生成条件が成立すると、条件が成立するたびに新しいシグネチャを生成し、生成した値を保持します。シグネチャ生成条件は「**29.5.3.1 シグネチャ生成条件**」をご参照ください。

シグネチャは下記の多項式で生成されます。

$$G(x) = x^{32} + x^{22} + x^2 + x + 1$$

| | | | | | | | | | | | | | | | | |
|---------|---------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | MISR2L[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | MISR2L[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 29.123 MISR2L_PE1/PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------------|---|
| 31 ~ 0 | MISR2L31 ~ MISR2L0 | マルチインプットシグネチャレジスタ 2L 読み出すと、常に最新のシグネチャが読み出されます。 |

29.5.4.6 MISR2H_PE1/PCU — マルチインプットシグネチャレジスタ 2H

マルチインプットシグネチャレジスタ 2H は読み出し、書き込み可能な 32 ビットレジスタです。

シグネチャ生成条件が成立すると、条件が成立するたびに新しいシグネチャを生成し、生成した値を保持します。シグネチャ生成条件は「**29.5.3.1 シグネチャ生成条件**」をご参照ください。

シグネチャは下記の多項式で生成されます。

$$G(x) = x^{32} + x^{22} + x^2 + x + 1$$

| | | | | | | | | | | | | | | | | |
|---------|---------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | MISR2H[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | MISR2H[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 29.124 MISR2H_PE1/PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------------|---|
| 31 ~ 0 | MISR2H31 ~ MISR2H0 | マルチインプットシグネチャレジスタ 2H 読み出すと、常に最新のシグネチャが読み出されます。 |

注 1. レジスタ書き込みモードにおいては、シグネチャ生成条件が成立した場合にも本レジスタは更新されません。ライト監視モードに対応していないシグネチャ生成部にも本レジスタを搭載していますが、シグネチャが生成されることはありません。

29.5.4.7 MISRCR_PE1/PCU — MISR コントロールレジスタ

MISR コントロールレジスタは読み出し、書き込み可能な 8 ビットレジスタです。

MISR1EN ビット、MISR2EN ビットで MISR1、MISR2 のシグネチャ生成の許可/禁止を設定します。MISR1EN ビット、MISR2EN ビットが“1”のとき、MISR1、MISR2 はシグネチャを生成し、保持します。MISR1EN ビット、MISR2EN ビットが“0”のとき、MISR1、MISR2 はシグネチャを生成せず、これらレジスタの値は更新されません。

MISR1EN ビット、MISR2EN ビットが 1 のとき、MISR1CND ビット、MISR2CND ビットで MISR1、MISR2 のシグネチャ生成条件を選択します。MISR1CND ビット、MISR2CND ビットが“0”のとき、MISR1、MISR2 のシグネチャ生成条件はレジスタ書き込みモードとなり、MISRCDRL への書き込みによってシグネチャを生成します。MISR1CND ビット、MISR2CND ビットが“1”のとき、MISR1、MISR2 のシグネチャ生成条件はライト監視モードとなり、MISRBASEADR レジスタ、MISRADRMASK レジスタで設定されたアドレス範囲への対応する CPU のライトアクセスによってシグネチャを生成します。シグネチャ生成条件は「29.5.3.1 シグネチャ生成条件」をご参照ください。

| | | | | | | | | |
|---------|---|---|---|---|----------|----------|---------|---------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | MISR2CND | MISR1CND | MISR2EN | MISR1EN |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 29.125 MISRCR_PE1/PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|--|
| 7 ~ 4 | — | 予約ビット |
| 3 | MISR2CND | MISR2 シグネチャ書き込み制御ビット MISR2EN ビット = 1 のときの MISR2 でのシグネチャ生成条件を設定します。 0: レジスタ書き込みモード 1: ライト監視モード |
| 2 | MISR1CND | MISR1 シグネチャ書き込み制御ビット MISR1EN ビット = 1 のときの MISR1 でのシグネチャ生成条件を設定します。 0: レジスタ書き込みモード 1: ライト監視モード |
| 1 | MISR2EN | MISR2 イネーブルビット 0: MISR2 はシグネチャを生成しません 1: MISR2 はシグネチャを生成し、MISR2H/MISR2L の値が更新されます。 |
| 0 | MISR1EN | MISR1 イネーブルビット 0: MISR1 はシグネチャを生成しません 1: MISR1 はシグネチャを生成し、MISR1H/MISR1L の値が更新されます。 |

29.5.4.8 MISRBASEADR_PE1/PCU — MISR 監視領域ベースアドレスレジスタ

シグネチャ生成条件がライト監視モードにおいて、MISG が監視する CPU のライトアクセス領域を設定するレジスタです。監視領域マスクアドレスレジスタの設定と併せて監視領域アドレス範囲を指定します。シグネチャ生成条件は「**29.5.3.1 シグネチャ生成条件**」をご参照ください。

| | | | | | | | | | | | | | | | | |
|---------|----------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | BASEADR[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | BASEADR[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 29.126 MISRBASEADR_PE1/PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|----------------------|-----------------|
| 31 ~ 0 | BASEADR31 ~ BASEADR0 | 監視領域ベースアドレスレジスタ |

監視領域へのアクセスを判定する仕組みについては、**29.5.4.9 MISRADRMSK_PE1/PCU — MISR 監視領域アドレスマスクレジスタ**の節を参照してください。

29.5.4.9 MISRADRMSK_PE1/PCU — MISR 監視領域アドレスマスクレジスタ

シグネチャ生成条件がライト監視モードにおいて、MISG が監視する CPU のライトアクセス領域を設定するレジスタです。監視領域ベースアドレスレジスタの設定と併せて監視領域アドレス範囲を指定します。シグネチャ生成条件は「29.5.3.1 シグネチャ生成条件」を参照してください。

| | | | | | | | | | | | | | | | | |
|---------|---------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | ADRMSK[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ADRMSK[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 29.127 MISRADRMSK_PE1/PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------------|-----------------|
| 31 ~ 0 | ADRMSK31 ~ ADRMSK0 | 監視領域マスクアドレスレジスタ |

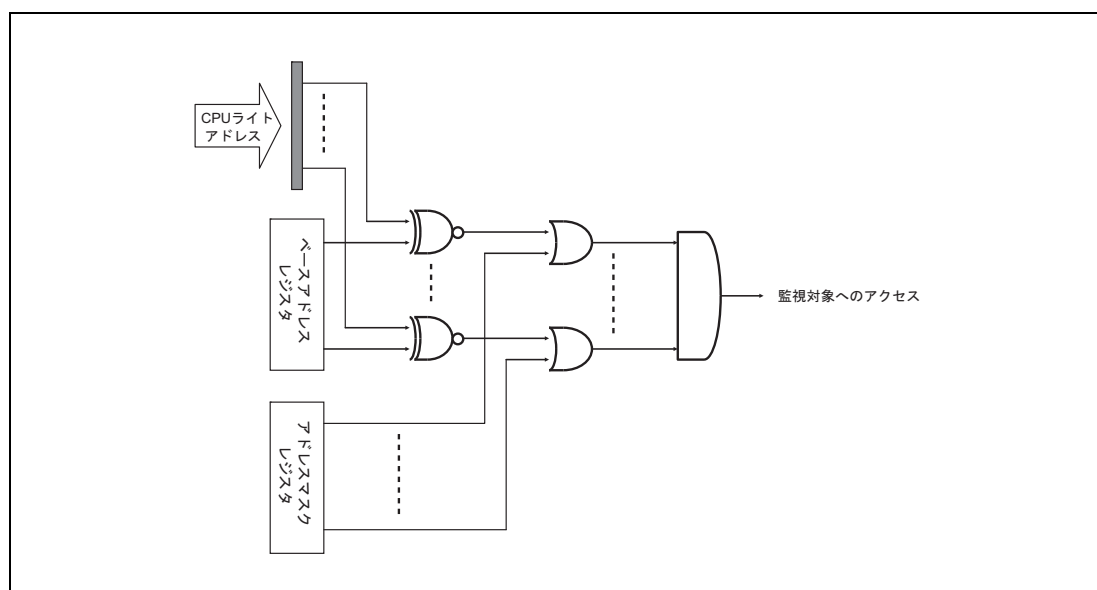


図 29.7 監視領域へのアクセスを判定する仕組み

29.5.4.10 MISRDCNTCTL_PE1/PCU — MISR データカウンタコントロールレジスタ

MISR データカウンタコントロールレジスタは読み出し、書き込み可能な 8 ビットレジスタです。

MISR データカウンタレジスタの動作を制御します。CNTSTA ビット = 1 のとき、CNTTRG ビットで選択したイベントが発生するとデータカウンタがインクリメントされます。データカウンタの動作については「29.5.3.3 データカウンタ」を参照してください。

| | | | | | | | | |
|---------|---|---|---|---|---|---|--------|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | CNTTRG | CNTSTA |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

表 29.128 MISRDCNTCTL_PE1/PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|---|
| 7 ~ 2 | — | 予約ビット |
| 1 | CNTTRG | カウントアップトリガ選択ビット データカウンタのカウントアップトリガを選択します。 0: MISRCDRL レジスタへのライトアクセス 1: MISRBASEADR レジスタと MISRADRMSK レジスタで指定したアドレス領域へのライトアクセス |
| 0 | CNTSTA | データカウンタスタートビット データカウンタのイネーブルビットです。CNTSTA = 1 のとき、CNTTRG ビットで選択したイベントが発生すると、データカウンタがインクリメントされます。 0: データカウンタ停止 1: データカウンタ動作 |

29.5.4.11 MISRDCNT_PE1/PCU — MISR データカウンタレジスタ

データカウンタは読み出し、書き込み可能な 16 ビットレジスタです。

比較対象の各シグネチャ生成部のデータカウンタ値が一致したとき、シグネチャの自動比較が実行されます。

データカウンタコントロールレジスタの CNTTRG ビット=0 のとき、MISR カルキュレーションデータレジスタへのライトアクセス発生でインクリメントされます。データカウンタコントロールレジスタの CNTTRG ビット=1 のとき、MISRBASEADR レジスタと MISRADDRMSK レジスタで指定したアドレス領域への対応 CPU のライトアクセス発生でインクリメントされます。データカウンタの動作については「**29.5.3.3 データカウンタ**」を参照してください。

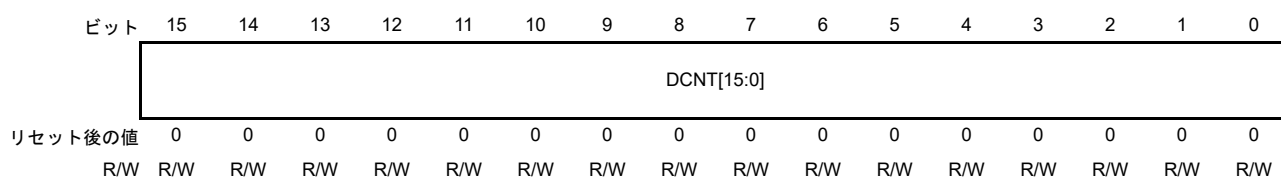


表 29.129 MISRDCNT_PE1/PCU レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|----------------|-------------|
| 15 ~ 0 | DCNT15 ~ DCNT0 | データカウンタレジスタ |

以下、MSD部（シグネチャ比較部）で搭載する制御レジスタについて記載します。

29.5.4.12 MISRCMPCTL — MISR コンパレータコントロールレジスタ

コンパレータコントロールレジスタは読み出し、書き込み可能な16ビットレジスタです。

シグネチャ自動比較機能において、各シグネチャ生成部で生成されたシグネチャを比較するコンパレータを制御します。シグネチャ自動比較機能については「**29.5.3.2 シグネチャ自動比較機能**」を参照してください。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|---|---|---|---|---------------------|---|---|---------------------|---|---|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | MISR2 CMPEN 2 | — | — | MISR1 CMPEN 2 | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R/W | R | R | R/W | R | R |

表 29.130 MISRCMPCTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------------|---|
| 15～6 | — | 予約ビット |
| 5 | MISR2CMPEN 2 | MISR2 シグネチャコンペア許可ビット2 MISG_PCU と MISG_PE1 の MISR2 に保持しているシグネチャの比較を制御するビットです。 0：比較禁止 1：比較許可 |
| 4、3 | — | 予約ビット |
| 2 | MISR1CMPEN 2 | MISR1 シグネチャコンペア許可ビット2 MISG_PCU と MISG_PE1 の MISR1 に保持しているシグネチャの比較を制御するビットです。 0：比較禁止 1：比較許可 |
| 1、0 | — | 予約ビット |

29.5.4.13 MISRCMPERSTR — MISR コンペアエラーステータスレジスタ

コンペアエラーステータスレジスタは読み出し可能な 8 ビットレジスタです。

コンパレータコントロールレジスタで許可したシグネチャ比較で不一致が発生すると対応するエラーフラグがセットされます。

エラーフラグのクリアはコンペアエラーステータスクリアレジスタの対応するクリアビットへの“1”書き込みで行います。リセットでもクリアされます。

| | | | | | | | | |
|---------|---|---|-----------|---|---|-----------|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | MISR2ERR2 | — | — | MISR1ERR2 | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 29.131 MISRCMPERSTR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 7、6 | — | 予約ビット |
| 5 | MISR2ERR2 | MISR2 シグネチャコンペアエラーフラグ 2 MISG_PE1 と MISG_PCU の MISR2 に保持しているシグネチャの比較で不一致が発生するとセットされます。 0 : シグネチャ比較で不一致は発生していない 1 : シグネチャ比較で不一致が発生した |
| 4、3 | — | 予約ビット |
| 2 | MISR1ERR2 | MISR1 シグネチャコンペアエラーフラグ 2 MISG_PE1 と MISG_PCU の MISR1 に保持しているシグネチャの比較で不一致が発生するとセットされます。 0 : シグネチャ比較で不一致は発生していない 1 : シグネチャ比較で不一致が発生した |
| 1、0 | — | 予約ビット |

29.5.4.14 MISRCMPERRSTC — MISR コンペアエラーステータスクリアレジスタ

コンペアエラーステータスクリアレジスタは書き込み専用の 8 ビットレジスタです。

コンペアエラーステータスレジスタの各エラーフラグが“1”のとき、対応するクリアビットに“1”を書き込むことでエラーフラグがクリアされます。MISR コンペアエラーステータスレジスタをリードして、“1”になっているフラグのクリアビットに“1”を書き込んでください。

| | | | | | | | | |
|---------|---|---|-----------|---|---|-----------|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | MISR2CLR2 | — | — | MISR1CLR2 | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | W | R | R | W | R | R |

表 29.132 MISRCMPERRSTC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 7、6 | — | 予約ビット |
| 5 | MISR2CLR2 | MISR2 シグネチャコンペアエラークリアビット 2 “1”書き込みで CMPERRST レジスタの MISR2ERR2 ビットをクリアします。 |
| 4、3 | — | 予約ビット |
| 2 | MISR1CLR2 | MISR1 シグネチャコンペアエラークリアビット 2 “1”書き込みで CMPERRST レジスタの MISR1ERR2 ビットをクリアします。 |
| 1、0 | — | 予約ビット |

29.5.4.15 MISRERRCTL — MISR エラー通知コントロールレジスタ

エラー通知コントロールレジスタは読み出し、書き込み可能な8ビットレジスタです。

シグネチャ自動比較機能におけるシグネチャのコンペア不一致発生時のエラー通知許可/禁止を設定します。シグネチャ自動比較機能とエラー通知については「**29.5.3.2 シグネチャ自動比較機能**」と「**29.5.3.4 エラー通知**」を参照してください。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | CMPPEREN |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 29.133 MISRERRCTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 ~ 1 | — | 予約ビット |
| 0 | CMPPEREN | コンペアエラー通知許可ビット シグネチャのコンペア不一致発生でエラー通知の許可/禁止を選択します。 0: シグネチャのコンペア不一致が発生してもエラー通知しない 1: シグネチャのコンペア不一致が発生すればエラー通知する |

29.5.5 使用例

29.5.5.1 使用例 1

自己診断プログラムによる診断を容易化します。自己診断プログラムの途中経過を MISG で圧縮することにより、すべての途中結果の保存や比較が不要となります。プログラム終了後に MISG の圧縮結果を期待値と比較することで、途中経過を含めた自己診断結果を判定することができます。

→これによってメモリ容量や比較処理時間の削減の効果が見込めます（CRC での代替も可能）。

設定例 (PE1 で自己診断プログラムを実行する場合)

下記記載の MISG のレジスタは、PE1 に対応するシグネチャ生成部 1 (MISG_PE1) のレジスタが対象です。

- (1) マルチインプットシグネチャレジスタ 1 (MISR1H/MISR1L)、マルチインプットシグネチャレジスタ 2 (MISR2H/MISR2L)、データカウンタレジスタ (MISRDCNT) を初期化します。
- (2) MISR コントロールレジスタ (MISRCR) の MISR1CND/MISR2CND ビットを“1”にして、MISR1/MISR2 のシグネチャ生成条件をライト監視モードに設定します。
- (3) MISR 監視領域ベースアドレスレジスタ (MISRBASEADR)、MISR 監視領域アドレスマスクレジスタ (MISRADRMSK) で監視対象アドレス領域を設定します。
- (4) MISR コントロールレジスタの MISR1EN/MISR2EN ビットを“1”にして、MISR1/MISR2 でのシグネチャ生成を許可します。
- (5) PE1 で自己診断プログラムを実行します。
- (6) 自己診断プログラムの実行完了後、MISR1H/MISR1L、MISR2H/MISR2L のデータを FLASH に格納した期待値と比較します。

29.5.5.2 使用例 2

複数プロセッサで、同じ処理（自己診断プログラムを含む）を実行して、結果が正しいことを確認してください。違うハードウェアの実行結果を比較することで、信頼性が向上します。

設定例 (PE1、PCU で同じタスクを実行する場合)

下記記載の MISG のレジスタは、PE1、PCU に搭載する MISG のレジスタが対象です。

- (1) マルチインプットシグネチャレジスタ 1 (MISR1H/MISR1L)、マルチインプットシグネチャレジスタ 2 (MISR2H/MISR2L)、データカウンタレジスタ (MISRDCNT) を初期化します。
- (2) MISR コントロールレジスタ (MISRCR) の MISR1CND/MISR2CND ビットを“0”にして、MISR1/MISR2 のシグネチャ生成条件をレジスタ書き込みモードに設定します。
- (3) MISR コンパレータコントロールレジスタ (MISRCMPCTL) の MISR1CMPEN1/MISR2CMPEN1 を“1”に設定し、コンパレータでのシグネチャ比較を許可します。

- (4) MISR エラー通知コントロールレジスタの CMPERREN を“1”にして、Error Control Module へのエラー通知を許可します。
- (5) MISR データカウンタコントロールレジスタ (MISRDCNTCTL) の CNTTRG を“0”にして、データカウンタのカウントアップトリガを MISRCDRL への書き込みに設定します。CNTSTA を“1”にして、データカウンタの動作を許可します。
- (6) MISR コントロールレジスタの MISR1EN/MISR2EN ビットを“1”にして、MISR1/MISR2 でのシグネチャ生成を許可します。
- (7) 各 CPU で自己診断プログラムを実行します。
- (8) 自己診断プログラムは、プログラム実行の途中でプログラム実行経過を対応するシグネチャ生成部の MISRCDRL に格納します。シグネチャ比較部は、MISG_PE1 と MISG_PCU のデータカウンタレジスタ (MISRDCNT) の値が一致するたびに、MISG_PE1 と MISG_PCU の MISR1/MISR2 のシグネチャが比較します。
- (9) コンペアエラーの有無はコンペアエラーステータスレジスタで確認してください。

29.6 クロックモニタ

29.6.1 概要

本製品は、クロックの動作を監視するためのクロックモニタを搭載します。

クロックモニタは、モニタ対象クロックの周波数異常を検出します。クロックモニタは下記機能を持ちます。

- クロックモニタは、モニタクロックの周波数が特定の範囲にあることを監視します。サンプリングクロックを使用して、モニタクロックの周波数が特定の範囲内にあることを確認します。
- クロックの異常検知後、クロックモニタはECMへエラー通知を行います。

クロックモニタのモニタクロックとサンプリングクロックを以下の表に示します。

表 29.134 各クロックモニタのモニタクロック、サンプリングクロック一覧

| クロックモニタチャンネル | モニタクロック | サンプリングクロック |
|--------------|---------------------------------|---------------------------|
| CLMA0 | 低速周辺クロック (40MHz SSCG) | 非変調低速周辺クロック (40MHz clean) |
| CLMA1 | 非変調低速周辺クロック (40MHz clean) | 10MHz (Main OSC の 1/2) |
| CLMA2 | WDTA カウントクロック (Main OSC の 1/80) | 低速 ROSC クロック (ROSC) |

29.6.2 レジスタ一覧

29.6.2.1 クロックモニタ チャンネルレジスタ

表 29.135 レジスタ一覧

| アドレス | シンボル | レジスタ名 | R/W | リセット後の値 | アクセスサイズ |
|-----------------------------|------------------------|-------------------------------|-----|-------------------|---------|
| <Base_adr+00 _H > | CLMA _n CTL0 | CLMA _n 制御レジスタ 0 | R/W | 00 _H | 8 |
| <Base_adr+08 _H > | CLMA _n CMPL | CLMA _n 比較レジスタ L | R/W | 0001 _H | 16 |
| <Base_adr+0C _H > | CLMA _n CMPH | CLMA _n 比較レジスタ H | R/W | 03FF _H | 16 |
| <Base_adr+10 _H > | CLMA _n PCMD | CLMA _n 保護命令レジスタ | W | 00 _H | 8 |
| <Base_adr+14 _H > | CLMA _n PS | CLMA _n 保護ステータスレジスタ | R | 00 _H | 8 |

レジスタベースアドレスは下記のとおりです。

表 29.136 レジスタベースアドレス一覧

| クロックモニタチャンネル | <Base_addr> |
|--------------|------------------------|
| CLMA0 | FFF8 8400 _H |
| CLMA1 | FFF8 8420 _H |
| CLMA2 | FFF8 8440 _H |

29.6.2.2 共通レジスタ

表 29.137 共通レジスタ一覧

| レジスタシンボル | レジスタ名 | R/W | リセット後の値 | アドレス | アクセスサイズ | 保護 |
|-----------|----------------------|-----|------------------------|------------------------|---------|--------------------------|
| CLMATEST | CLMA セルフテストレジスタ | R/W | 0000 0000 _H | FFF8 8204 _H | 32 | PROT1PHCMD ^{注1} |
| CLMATESTS | CLMA セルフテストステータスレジスタ | R/W | 0000 0000 _H | FFF8 8208 _H | 32 | |

注 1. 本レジスタについては「第 11 章 クロックコントローラ」をご参照ください。

29.6.3 レジスタ詳細

29.6.3.1 CLMAnCTL0 — CLMAn 制御レジスタ 0

クロックモニタ機能の動作を制御するレジスタです。

CLMAnPCMD レジスタにより保護されます。

外部および内部リセットどちらからでもリセット可能です。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|-----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | CLMAnCLME |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W 注1 |

注1. レジスタはリセットでクリア可能です。0の書き込みは、無視されます。

表 29.138 CLMAnCTL0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|---|
| 7～1 | — | 予約です。読み出すと常に0が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | CLMAnCLME | クロックモニタ機能の動作 0: 動作を禁止 1: 動作を許可 |

29.6.3.2 CLMAnCMPL — CLMAn 比較レジスタ L

正常な周波数範囲か比較するための下限値を設定するレジスタです。

外部および内部リセットどちらからでもリセット可能です。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|-----------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | CLMAnCMPL[11:0] | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 29.139 CLMAnCMPL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------------|--|
| 15～12 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 11～0 | CLMAnCMPL [11:0] | 正常な周波数範囲か比較するための下限値 本レジスタは CLMAnCTL0.CLMAnCLME が0のとき書き込み可能です。 CLMAnCTL0.CLMAnCLME が1にセットされた後は、書き込みは無効です。 |

29.6.3.3 CLMAnCMPH — CLMAn 比較レジスタ H

正常な周波数範囲か比較するための上限値を設定するレジスタです。

外部および内部リセットどちらからでもリセット可能です。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|-----------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | CLMAnCMPH[11:0] | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 29.140 CLMAnCMPH レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------------|---|
| 15 ~ 12 | — | 予約です。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 11 ~ 0 | CLMAnCMPH [11:0] | 正常な周波数範囲か比較するための上限値です。 本レジスタは CLMAnCTL0.CLMAnCLME が0のとき書き込み可能です。 CLMAnCTL0.CLMAnCLME が1にセットされた後は、書き込みは無効です。 |

29.6.3.4 CLMAnPCMD — CLMAn 保護命令レジスタ

CLMAnCTL0 レジスタのための特別なシーケンスレジスタです。

外部および内部リセットどちらからでもリセット可能です。

| | | | | | | | | |
|---------|----------------|---|---|---|---|---|---|---|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | CLMAnPCMD[7:0] | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | W | W | W | W | W | W |

この保護方式の詳細については、**29.6.6.1** 節をご参照ください。

29.6.3.5 CLMAnPS — CLMAn 保護命令ステータスレジスタ

CLMAnCTL0 レジスタのための特別なシーケンスステータスレジスタです。

外部および内部リセットどちらからでもリセット可能です。

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|------------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | CLMAnPRERR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 29.141 CLMAnPS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------------|--|
| 7 ~ 1 | — | 予約です。読み出すと常に0が読み出されます。 |
| 0 | CLMAnPRERR | 保護エラーの検出 0: 保護エラー発生なし 1: 保護エラー発生 |

CLMAnPRERR ビットの動作条件

セット条件：CLMAnPCMD でプロテクションの対象となっている CLMAnCTL0 に対して、プロテクト解除シーケンスを守らずにアクセスした場合。

クリア条件：CLMAnPCMD レジスタに A5_H を書き込んだ場合（プロテクト解除シーケンスのステップ 1）。

29.6.3.6 CLMATEST — CLMA セルフテストレジスタ

CLMA2 ~ 0 の自己診断を行うためのレジスタです。

本レジスタは、PROT1PHCMD レジスタによって保護することができます。

このレジスタは内部リセット、外部リセットのどちらでもリセットされます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|---------------------|---------------------|---------------------|------------|---------------|------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | CLMA2 TESTE N | CLMA1 TESTE N | CLMA0 TESTE N | ERRMS K | MONCL KMSK | RESCL M |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

表 29.142 CLMATEST レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---|--|
| 31 ~ 6 | — | 予約です。読み出すと常に0が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 5 ~ 3 | CLMA2TESTEN CLMA1TESTEN CLMA0TESTEN | CLMA2 ~ 0 のセルフテストの有効/無効を指定します。 0 : 対応する CLMA _n のセルフテストは無効です 1 : 対応する CLMA _n のセルフテストは有効です |
| 2 | ERRMSK | CLMA _n によるエラー検出結果の ECM への通知を無効化します。本ビットをセットされた CLMA _n は、エラーを検出しても ECM に通知しません。本ビットの設定は、CLMA _n TESTEN (n = 0 ~ 2) が1にセットされている CLMA _n に対して有効です。 0 : ECM へのエラー通知を無効化しません 1 : ECM へのエラー通知を無効化します |
| 1 | MONCLKMSK | CLMA _n に対するモニタ対象クロックの入力をロウレベルに固定します。本ビットの設定は、CLMA _n TESTEN (n = 0 ~ 2) が1にセットされている CLMA _n に対して有効です。 0 : CLMA _n へのモニタクロック入力をロウレベルに固定しません 1 : CLMA _n へのモニタクロック入力をロウレベルに固定します |
| 0 | RESCLM | CLMA _n を強制的に初期化します。本ビットの設定は、CLMA _n TESTEN (n = 0 ~ 2) が1にセットされている CLMA _n に対して有効です。 0 : CLMA _n を初期化しません 1 : CLMA _n を初期化します |

29.6.3.7 CLMATESTS — CLMA セルフテストステータスレジスタ

CLMA2 ~ 0 の自己診断結果を確認するためのレジスタです。

このレジスタは内部リセット、外部リセットのどちらでもリセットされます。

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|---------------|---------------|---------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | CLMA2 ERRS | CLMA1 ERRS | CLMA0 ERRS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 29.143 CLMATESTS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------------------------------|---|
| 31 ~ 3 | — | 予約です。読み出すと常に0が読み出されます。 |
| 2 ~ 0 | CLMA2ERRS CLMA1ERRS CLMA0ERRS | CLMA2 ~ 0 におけるエラー検出の有無を示します。本ビットは、CLMATEST.ERRMSK の影響を受けません。 0 : 対応する CLMA _n はエラーを検出していません 1 : 対応する CLMA _n はエラーを検出しています |

29.6.4 異常クロック周波数の検出

- CLMAnはサンプリングクロックの16サイクル内でモニタクロックの立ち上がりエッジをカウントし、このカウント値と設定したしきい値を比較します。
 - CLMAnCMPLレジスタのCLMAnCMPL[11:0]は下限しきい値を指定します。
 - CLMAnCMPHレジスタのCLMAnCMPH[11:0]は上限しきい値を指定します。
- モニタクロックの周波数が低く^{注1}、カウント値がCLMAnCMPLレジスタのCLMAnCMPL[11:0]の設定を下回った場合にクロック異常をECMへ通知します。また、モニタクロックの周波数が高く、カウント値がCLMAnCMPHレジスタのCLMAnCMPH[11:0]の設定値を上回った場合、クロック異常をECMへ通知します。

注1. モニタクロックが完全に停止する場合は異常を検知できない場合があります。

ただし、サンプリング期間内でモニタクロック周波数が変動しても、検出エッジ数が規定範囲内に収まった場合は、エラー通知しません。

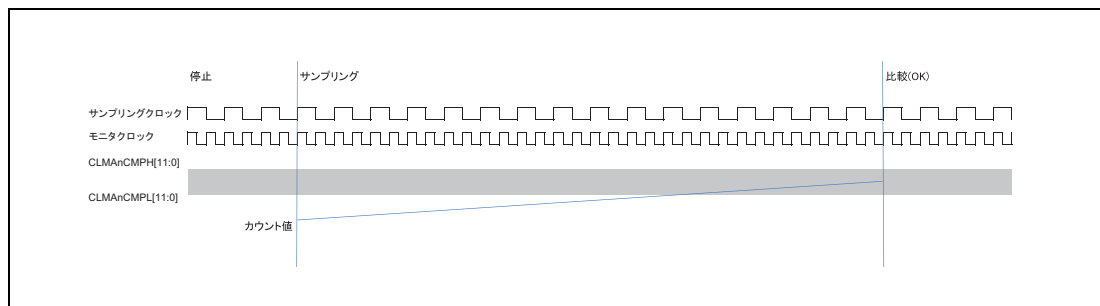


図 29.8 クロック周波数が特定範囲内にある場合

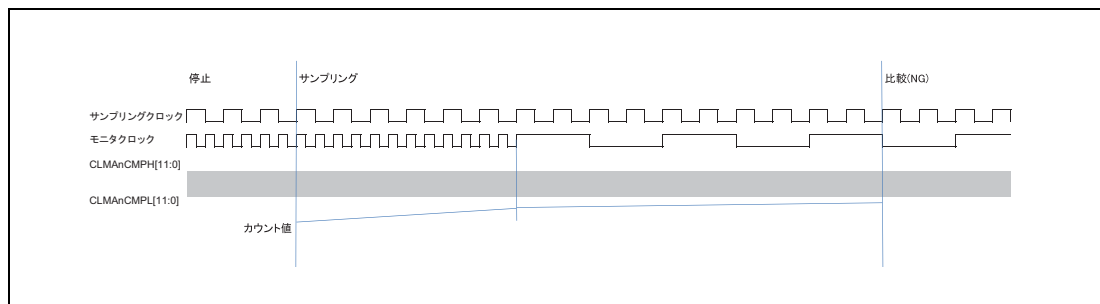


図 29.9 クロック周波数が特定範囲内を下回る場合

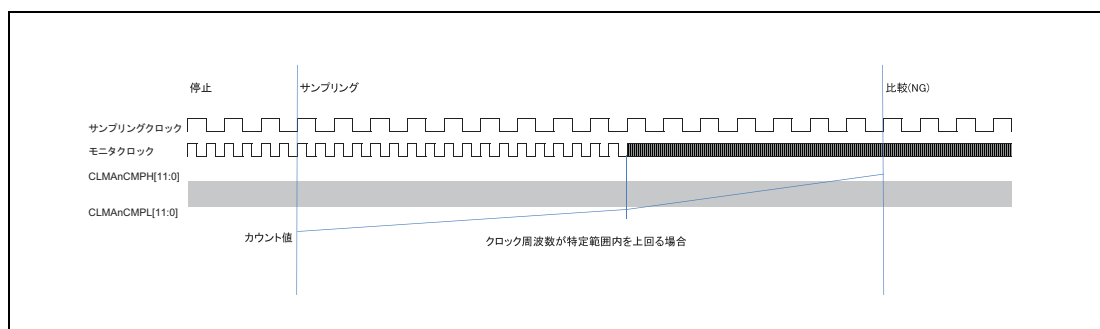


図 29.10 クロック周波数が特定範囲内を上回る場合

(1) しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出 方法

コンペアレジスタ CLMAnCMPL と CLMAnCMPH には、サンプリングクロック CLMATSMP の 16 サイクル内で有効と想定されるモニタクロック CLMATMON のクロックサイクルの最小値と最大値を設定します。

期待されるクロックサイクル数を N で表します。

$$\frac{16}{f_{\text{CLMATSMP}}} = \frac{N}{f_{\text{CLMATMON}}}$$

$$N = \frac{f_{\text{CLMATMON}}}{f_{\text{CLMATSMP}}} \times 16$$

CLMATMON と CLMATSMP の許容周波数偏差を考慮して、次の式でしきい値を計算します。

$$\begin{aligned} \text{下限しきい値} &= N_{\min} \\ &= \frac{f_{\text{CLMATMON}(\min)}}{f_{\text{CLMATSMP}(\max)}} \times 16 - 1 \end{aligned}$$

$$\begin{aligned} \text{上限しきい値} &= N_{\max} \\ &= \frac{f_{\text{CLMATMON}(\max)}}{f_{\text{CLMATSMP}(\min)}} \times 16 + 1 \end{aligned}$$

備 考

PLL のジッタは計算式の「+1」と「-1」によってカバーされています。

例

$f_{\text{CLMATSMP}} = 240 \text{ kHz}$ ($\pm 8\%$) および $f_{\text{CLMATMON}} = 16 \text{ MHz}$ ($\pm 5\%$) の場合、推奨されるしきい値は次のようになります。

$$\begin{aligned} N_{\min} &= 15,200 / 259.2 \times 16 - 1 \\ &= 937.27 \\ \text{CLMAnCMPL} &= 937 = 03A9_{\text{H}} \end{aligned}$$

$$\begin{aligned} N_{\max} &= 16,800 / 220.8 \times 16 + 1 \\ &= 1218.39 \\ \text{CLMAnCMPH} &= 1219 = 04C3_{\text{H}} \end{aligned}$$

最小しきい値

次の制限事項を考慮する必要があります。

- $\text{CLMAnCMPL} \geq 0001_{\text{H}}$
- $\text{CLMAnCMPH} \geq \text{CLMAnCMPL} + 0003_{\text{H}}$

(2) しきい値レジスタの初期値入力の定義

しきい値レジスタの初期値／リセット後の値はモニタクロックの最大周波数偏差が許容されるように設定されます。

- CLMAnCMPL[11:0] = 0001_H
- CLMAnCMPH[11:0] = 03FF_H

29.6.5 自己診断

以下に示すようにクロックモニタの自己診断を実施可能です。このとき、診断対象のクロックモニタはすでに動作状態にあるものとします。

- (1) 診断対象のクロックモニタの閾値設定 (CLMAnCMPL/CLMAnCMPH 設定) を行います。
このとき、閾値は必ずエラーが出る状態に設定します。
- (2) 診断対象のクロックモニタを指定します。
CLMATEST.CLMAnTESEN ビットに 1 をセットすることで、対応するクロックモニタを診断対象に指定できます。
- (3) 自己診断による ECM へのエラー通知を避けたい場合は、上記 (2) と同時に CLMATEST.ERRMSK をセットします。
- (4) CLMAnCTL0.CLMAnCLME ビットに 1 をセットして、クロックモニタの動作を許可します。
- (5) エラーが発生するのに十分な時間を待ってから CLMATESTS レジスタをリードし、診断対象のクロックモニタのエラー有無を確認します。
自己診断の開始からエラー発生までの時間は、サンプリング期間に依存します。最大でサンプリング期間 2 周期分の時間を待つ必要があります。
- (6) 自己診断によって発生したエラーをクリアします。
CLMATEST.RESCLM に 1 をセットすることで診断対象のクロックモニタを初期化することができます。
- (7) 自己診断を終了します。
CLMATEST に all-0 をセットすることで、自己診断を終了することができます。

自己診断を行ったクロックモニタの動作を再開するには、改めてレジスタの設定を行ってください。

29.6.6 レジスタ設定時の注意事項

29.6.6.1 保護レジスタへの書き込み

各クロックモニタの CLMAnCTL0 レジスタ ($n=0, 1, 2$) への書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

手順 1. CLMAnPCMD レジスタに固定値 A5_H を書き込みます。

手順 2. CLMAnCTL0 レジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

手順 3. CLMAnCTL0 レジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値のビット反転値を書き込みます。

手順 4. CLMAnCTL0 レジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、保護されているレジスタに設定値を書き込むことができます。

上記手順通りに行わなかった場合、保護解除シーケンスは失敗し、保護されているレジスタに設定値は書き込まれず、CLMAnPS レジスタの CLMAnPRERR ビットが 1 にセットされます。(必須ではありませんが、手順 4 のあと、CLMAnPS レジスタの CLMAnPRERR ビットの値が 0 であることを確認することでも、保護されているレジスタに設定値が正しく書き込まれたことを確認できます。)

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。

上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ^{注1}へのライトアクセスの場合、保護されているレジスタへの書き込みは失敗し、CLMAnPS レジスタの CLMAnPRERR ビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護されているレジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

また、CLMATEST への書き込みについては、PROT1PHCMD レジスタの説明を参照してください。

注 1. “同一モジュール内の別のレジスタ”とは、保護されているレジスタのモジュール名と同じモジュール名のレジスタのことを指します。レジスタのモジュール名については、「付録 レジスタ一覧」を参照してください。

29.6.6.2 CLMAnCMPL/CLMAnCMPH レジスタの設定

CLMAnCMPL/CLMAnCMPH レジスタの設定値は以下の条件を満たすこと。以下の条件を満たさない状態でクロックモニタを使用した場合は動作の保証はできません。

- $1 \leq \text{CLMAnCMPL}$
- $\text{CLMAnCMPL} + 3 \leq \text{CLMAnCMPH} \quad (n = 0, 1, 2)$

29.7 BIST

本製品は、故障検出機能自身の故障を検出するための機能を搭載しており、これを BIST と称しています。以下に示す故障検出機能は、検出のためのハードウェアが 2 重化されており、いずれかの機能に故障が発生した場合は、BIST エラーとして ECM に通知されます。

表 29.144 故障検出機能一覧

| BIST 対象機能一覧 | 備考 |
|--------------|-------------------|
| ロックステップ比較器 | CPU1 のロックステップ用比較器 |
| ECC デコーダ | |
| アドレスパリティデコーダ | |

周辺 RAM と Data Flash の ECC デコーダは、制御レジスタを含めて 2 重化されています。BIST 機能を利用する場合は、マスタ側とチェッカ側の制御レジスタに同じ値を設定してください。

その他の ECC デコーダやアドレスパリティチェッカについて、制御レジスタは 2 重化されていません。

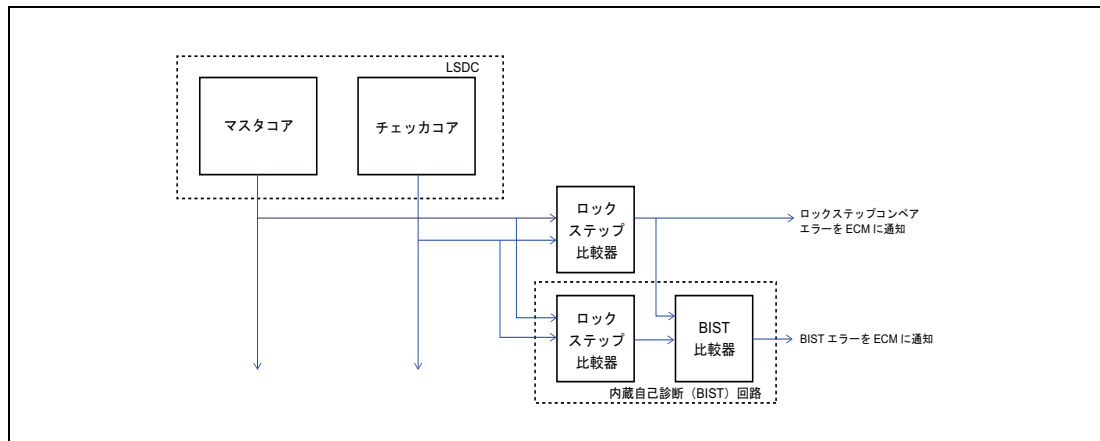


図 29.11 ロックステップ構成

29.8 ECM

ECM は、チップ内における様々な故障検出状況を監視し、故障検出時の動作を指定するための機能です。ECM については、「第 30 章 エラーコントロールモジュール (ECM)」をご参照ください。

第30章 エラーコントロールモジュール (ECM)

30.1 概要

30.1.1 仕様概要

ECM (Error Control Module) にはさまざまなエラーソースやモニタ回路で発生するエラー信号が入力され、ERROROUT 端子 (ERROROUT_M/ERROROUT_C) からエラー信号を出力 (ERROROUT 出力) したり、割り込みや内部リセット信号を発生します。ECM の仕様概要を表 30.1 に示します。

表 30.1 仕様概要

| 項目 | 説明 |
|-----------|--|
| セーフティ処理 | 各モジュールからのエラー信号入力に対して、下記処理を行うことができます。 <ul style="list-style-type: none"> エラーフラグセット マスクブル割り込み発生 エラーごとのマスクブル割り込み発生制御 (許可/禁止) 可能です。 FE レベル割り込み発生 エラーごとの FE レベル割り込み発生制御 (許可/禁止) 可能です。 内部リセット発生 エラーごとの内部リセット発生制御 (許可/禁止) 可能です。 ERROROUT 出力 エラーごとの端子出力マスク制御 (許可/禁止) 可能です。 タイマ入力によるトグル出力、またはレベル固定出力が可能です。 |
| エラーステータス | ECM マスタ/チェッカエラーソースステータスレジスタを搭載し、エラーフラグからエラー状態を確認することができます。 エラーフラグは、ECM エラーソースステータスクリアトリガレジスタで対応するビットに 1 を書き込むか外部リセットでのみクリアされます。内部リセットではエラーフラグは保持され、リセット後に ECM マスタ/チェッカエラーソースステータスレジスタを読み出すことでリセット発生要因を確認することができます。 |
| デバッグ、自己診断 | <ul style="list-style-type: none"> デバッグ、自己診断用に擬似エラーを発生させることができます。 擬似エラー発生時の動作は、実際にエラーが発生した場合と同じです。 ERROROUT 出力のマスクや割り込み、内部リセットの設定はすべて反映されません。 ERROROUT 端子までのパスの診断のために、ERROROUT 出力のループバック機能を搭載します。 ERROROUT 端子の状態が ECM マスタ/チェッカエラーソースステータスレジスタに反映され、レジスタを読み出すことで ERROROUT 端子の状態を確認することができます。 |
| タイムアウト機能 | 割り込み発生と同時にディレイタイマをスタートし、割り込み処理中にタイマを停止できず、ディレイタイマカウント値がディレイタイマコンペアレジスタと一致した場合に ERROROUT 出力、または内部リセットを発生する機能を搭載します。 ディレイタイマカウント値は、低速周辺クロックの周波数でカウントされます。 |
| レジスタ保護 | 不正な書き込みからレジスタを保護するために、特定シーケンスによるレジスタの書き込み保護を行います。 |
| その他 | ECM は 2 重化します。 ERROROUT 端子をマスタ端子とチェッカ端子の 2 端子搭載します。 ECM マスタと ECM チェッカの ERROROUT 出力を常時比較し、不一致の場合 ECM コンペアエラー (エラー要因 26) が発生します。 |

30.1.2 エラー要因とセーフティ処理

RH850/E1L の ECM のエラー要因とセーフティ処理を表 30.2 に示します。

表 30.2 エラー要因とセーフティ処理一覧 (1/2)

| エラー 要因 No. | モジュール | エラー要因 | エラー フラグ セット | マスカブル 割り込み | FE レベル 割り込み | 内部 リセット | ERROROUT 出力 | ディレイ タイマ スタート |
|------------------|---------------------------|--|-------------------|---------------|----------------|-----------------|----------------|---------------------|
| 0 | WDTA | WDTA エラー ^{注1} | ○ | ○ | ○ | ○ ^{注2} | ○ | ○ |
| 1 | 予約 | | — | — | — | — | — | — |
| 2 | 予約 | | — | — | — | — | — | — |
| 3 | 予約 | | — | — | — | — | — | — |
| 4 | ロック ステップ | ロックステップコンペアエラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 5 | MISG | MISG コンペアエラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 6 | RAM | Local RAM (CPU1、PCU) の ECC 2 ビットエラーおよび Local RAM (CPU1) のアドレスパリティエラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 7 | | Local RAM (CPU1、PCU) の ECC 1 ビットエラーおよび Local RAM (CPU1) のパリティビットエラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 8 | | Global RAM の ECC 2 ビットエラー およびアドレスパリティエラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 9 | | Global RAM の ECC 1 ビットエラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 10 | | 周辺 RAM (CAN、DFE、DTS、APA) ECC 2 ビットエラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 11 | | 周辺 RAM (CAN、DFE、DTS、APA) ECC 1 ビットエラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 12 | Code Flash | Code Flash ECC 2 ビットエラーおよび アドレスパリティエラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 13 | | Code Flash ECC 1 ビットエラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 14 | 命令 キャッシュ | 命令キャッシュデータ (CPU1) ECC 2 ビットエラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 15 | | 命令キャッシュデータ (CPU1) ECC 1 ビットエラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 16 | | 命令キャッシュタグ (CPU1) ECC 2 ビットエラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 17 | | 命令キャッシュタグ (CPU1) ECC 1 ビットエラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 18 | Data Flash | Data Flash ECC 2 ビットエラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 19 | | Data Flash ECC 1 ビットエラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 20 | PE ガード機能 (PEG) | PEG エラー (CPU1) ^{注4} | ○ | ○ | ○ | ○ | ○ | ○ |
| 21 | GRG (Global RAM Guard) | GRG エラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 22 | PBG | PBG エラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 23 | 予約 | | — | — | — | — | — | — |
| 24 | 予約 | | — | — | — | — | — | — |
| 25 | データ パリティ | データパリティエラー ^{注3} | ○ | ○ | ○ | ○ | ○ | ○ |
| 26 | ECM | ECM コンペアエラー ^{注5} | ○ | ○ | ○ | ○ | ○ | ○ |

表 30.2 エラー要因とセーフティ処理一覧 (2/2)

| エラー 要因 No. | モジュール | エラー要因 | エラー フラグ セット | マスカブル 割り込み | FE レベル 割り込み | 内部 リセット | ERROROUT 出力 | ディレイ タイマ スタート |
|------------------|-------------|---------------------------------|-------------------|---------------|----------------|------------|----------------|---------------------|
| 27 | クロック モニタ | クロックモニタエラー (WDT カウントクロック) 注3 | ○ | ○ | ○ | ○ | ○ | ○ |
| 28 | | 予約 | — | — | — | — | — | — |
| 29 | | 予約 | — | — | — | — | — | — |
| 30 | | クロックモニタエラー (低速周辺クロック) 注3 | ○ | ○ | ○ | ○ | ○ | ○ |
| 31 | | クロックモニタエラー (非変調低速周辺クロック) 注3 | ○ | ○ | ○ | ○ | ○ | ○ |
| 32 | 予約 | | — | — | — | — | — | — |
| 33 | 予約 | | — | — | — | — | — | — |
| 34 | 予約 | | — | — | — | — | — | — |
| 35 | 予約 | | — | — | — | — | — | — |
| 36 | 予約 | | — | — | — | — | — | — |
| 37 | DSADC | AD パリティエラー注6 | ○ | ○ | ○ | ○ | ○ | ○ |
| | ADC | AD パリティエラー注7 | ○ | ○ | ○ | ○ | ○ | ○ |
| 38 | Flash | フラッシュアクセスエラー注8 | ○ | ○ | ○ | ○ | ○ | ○ |
| 39 | | FACI リセット転送エラー注8,注11 | ○ | - | - | - | ○ | - |
| 40 | 予約 | | — | — | — | — | — | — |
| 41 | DMAC | DTS RAM Data ECC SEC-DED 注9 | ○ | ○ | ○ | ○ | ○ | ○ |
| 42 | BIST | 内蔵自己診断 (BIST) 回路による注3 エラー検出 | ○ | ○ | ○ | ○ | ○ | ○ |
| 43 | DMAC | DMAVIOL (DMA 違反アクセス通知) 注9 | ○ | ○ | ○ | ○ | ○ | ○ |
| 44 | OSTM | OSTM1 割り込み注10 | ○ | ○ | ○ | ○ | ○ | ○ |
| 45 | 予約 | | — | — | — | — | — | — |
| 46 | 予約 | | — | — | — | — | — | — |
| 47 | 予約 | | — | — | — | — | — | — |

注 1. エラー内容については「第 19 章 ウィンドウウォッチドッグタイマ (WDTA)」をご参照ください。

注 2. 初期状態では内部リセット発生を許可しています。

注 3. エラー内容については「第 29 章 セーフティ」をご参照ください。

注 4. エラー内容については「第 3 章 CPU システム」をご参照ください。

注 5. エラー内容については「表 30.1 仕様概要」をご参照ください。

注 6. エラー内容については「第 27 章 $\Delta\Sigma$ AD コンバータ (DS-ADC)」をご参照ください。

注 7. エラー内容については「第 26 章 AD コンバータ (ADCB)」をご参照ください。

注 8. エラー内容については『RH850/E1x フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編』をご参照ください。

注 9. エラー内容については「第 7 章 DMA」をご参照ください。

注 10. エラー内容については「第 20 章 OS タイマ (OSTM)」をご参照ください。

注 11. FACI リセット転送エラー発生時のデバイスの動作は保証できません。リセット解除後、ERROROUT 端子のエラー出力をクリアする際、再度エラー状態にならないことで FACI リセット転送エラーが発生していないことを確認してください。

表 30.3 のとおり、エラー要因を集約します。

表 30.3 エラー要因集約

| エラー要因 No. | モジュール | エラー要因 | 備考 |
|-----------|---------------------------|--|--|
| 0 | WDTA | WDTA エラー (WDTA0、1) | WDTA0、1 のオーバフローを集約する。 初期状態では内部リセット発生を許可しています。 |
| 6 | RAM | Local RAM (CPU1、PCU) の ECC 2 ビットエラー および Local RAM (CPU1) のアドレスパリティエラー | CPU1、PCU の Local RAM の ECC 2 ビットエラー およびアドレスパリティエラー (PCU は 除く) を集約する。 |
| 7 | | Local RAM (CPU1、PCU) の ECC 1 ビットエラー および Local RAM (CPU1) のパリティビットエラー | CPU1、PCU の Local RAM の ECC 1 ビットエラー およびパリティビットエラー (PCU は除 く) を集約する。 |
| 8 | | Global RAM の ECC 2 ビットエラーおよびアドレス パリティエラー | 各マスタから Global RAM をアクセスした際 の ECC 2 ビットエラーおよびアドレスパ リティエラーを集約する。 |
| 9 | | Global RAM の ECC 1 ビットエラー | 各マスタから Global RAM をアクセスした際 の ECC1 ビットエラーを集約する。 |
| 10 | | 周辺 RAM (CAN、DFE、DTS、APA) ECC 2 ビットエラー | 各周辺回路用 RAM の ECC 2 ビットエラーを 集約する。 |
| 11 | | 周辺 RAM (CAN、DFE、DTS、APA) ECC 1 ビットエラー | 各周辺回路用 RAM の ECC 1 ビットエラーを 集約する。 |
| 12 | Code Flash | Code Flash ECC 2 ビットエラー Code Flash アドレスパリティエラー | 各マスタから Code Flash をアクセスした際 の ECC 2 ビットエラーおよびアドレスパ リティエラーを集約する。 |
| 13 | | Code Flash ECC 1 ビットエラー | 各マスタから Code Flash をアクセスした際 の ECC 1 ビットエラーを集約する。 |
| 21 | GRG (Global RAM Guard) | GRG エラー | 各マスタから Global RAM をアクセスした際 の GRG エラーを集約する。 |
| 22 | PBG | PBG エラー | 各周辺回路用の PBG エラーを集約する。 |
| 25 | データパリティ | データパリティエラー | 各アクセス経路のデータパリティエラーを集 約する。 |
| 37 | DSADC | AD パリティエラー | DSADC0、1 と ADC0、1 の AD パリティエ ラーを集約する。 |
| | ADC | AD パリティエラー | |
| 41 | DMA | DTS RAM Data ECC SEC-DED | DTS RAM の ECC 2 ビットエラーと 1 ビット エラーを集約する |
| 42 | BIST | 内蔵自己診断 (BIST) 回路によるエラー検出 | 各種自己診断回路のエラーを集約する。 |
| 43 | DMA | DMAVIOL (DMA 違反アクセス通知) | DMAC0、DTS の DMA 違反アクセスを集約す る |

備考 表 30.3 がないエラー要因は、集約しません。

30.1.3 ERROROUT 出力動作

リセット中およびリセット解除後、ERROROUT_M 端子の状態はエラー出力をしています。

30.3.3 注 意に記載の手順でエラー出力をクリアしてから使用してください。また、ERROROUT_C 端子は汎用ポートや他機能との兼用ポートですので、ERROROUT_C 機能を選択して使用してください。設定方法は「**第2章 端子**」を参照してください。

ERROROUT 出力はノンダイナミックモードとダイナミックモードの2つの動作モードを設定できます。また、ERROROUT 出力は、ダイナミックモードのパルス周期にかかわらず、エラー要因発生に同期して端子状態をエラー出力とします。

表 30.4 ERROROUT 出力動作

| エラー状態 ECMmSSE031 ~ ECMmSSE000 ECMmSSE115 ~ ECMmSSE100 | 動作モード ECMSL0 ビット | ERROROUT 出力の 動作モード | ERROROUT 出力レベル | エラー状態 |
|---|---------------------|-----------------------|----------------------------------|-------|
| 0 | 0 | ノンダイナミック | ハイレベル | 正常 |
| | 1 | ダイナミック | トグル (タイマ入力による ^{注1}) | 正常 |
| 1 | 0 | ノンダイナミック | ロウレベル | エラー |
| | 1 | ダイナミック | ロウレベル | エラー |

注1. 詳細は「**第20章 OS タイマ (OSTM)**」をご参照ください

30.1.3.1 ダイナミックモードを有効にする

1. OSTM0 を初期化する。
2. ECM マスタ/チェッカエラークリアトリガレジスタの ECMmECT (m = M/C) ビットを 1 に設定して ERROROUT 出力を正常出力にします。
3. ECM エラーパルスコンフィグレーションレジスタの ECMSL0 ビットを 1 にしてダイナミックモードに設定します。
4. OSTM0 を起動します。

30.1.3.2 ダイナミックモードを無効にする

1. ECM マスタ/チェッカエラーセットトリガレジスタの ECMmEST (m = M/C) ビットを 1 に設定して ERROROUT 出力をエラー出力にします。
2. OSTM0 を停止します。
3. ECM エラーパルスコンフィグレーションレジスタの ECMSL0 ビットを 0 にしてノンダイナミックモードに設定します。

30.1.4 ループバック機能

ERROROUT 端子までの経路を確認するためにループバック機能を搭載します。ERROROUT 端子の出力レベルを ECM マスタ/チェッカエラーソースステータスレジスタ 1 の ECMmSSE131 (m = M/C) ビットで確認できます。

30.1.5 疑似エラー発生

テストまたはデバッグ用にエラーを疑似的に発生する機能を搭載しています。疑似エラーを挿入するときの ECM の動作は実際のエラー発生時と同じです。エラーマスク、割り込み、内部リセット、ディレイタイマに対する設定はすべて反映されます。

30.1.6 エラー状態

エラー状態は ECM マスタ/チェッカエラーソースステータスレジスタ 0 と ECM マスタ/チェッカエラーソースステータスレジスタ 1 で表示されます。エラー状態は、ECM エラーソースステータスクリアトリガレジスタで対応するビットに 1 を書き込むか外部リセットでのみクリアされます。内部リセットではエラー状態は保持され、リセット解除後に ECM マスタ/チェッカエラーソースステータスレジスタ 0 と ECM マスタ/チェッカエラーソースステータスレジスタ 1 を読み出すことでリセット要因となったエラーを確認できます。

30.1.7 書き込み保護レジスタ

書き込み保護レジスタは誤ったプログラム動作などによる不正なライトアクセスから保護されています。

30.1.7.1 書き込み保護されたレジスタへの書き込みシーケンス

書き込み保護されたレジスタへの書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

手順 1. ECM 保護コマンドレジスタ ECMPCMD1、ECM マスタ/ チェッカ保護コマンドレジスタ ECMmPCMD0 に固定値 0000 00A5_H を書き込みます。

手順 2. ECM、ECMm の保護されているレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

手順 3. 手順 2 と同じレジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値のビット反転値を書き込みます。

手順 4. 手順 2 と同じレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、保護されているレジスタに設定値を書き込むことができます。

上記手順どおりに行わなかった場合、保護解除シーケンスは失敗し、保護されているレジスタに設定値は書き込まれず、ECM 保護ステータスレジスタ ECMPSt の ECMPStERR ビットが 1 にセットされます。(必須ではありませんが、手順 4 のあと、ECM 保護ステータスレジスタ ECMPSt の ECMPStERR ビットの値が 0 であることを確認することでも、保護レジスタに設定値が正しく書き込まれたことを確認できます。)

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ^{注1}へのライトアクセスの場合、保護されているレジスタへの書き込みは失敗し、保護ステータスレジスタの保護ステータスビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護されているレジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注 1. ECM では「付録 レジスタ一覧」にて、モジュール名に「ECM」、「ECMM」、「ECMC」と記載されているレジスタが、すべて“同一モジュール内の別のレジスタ”として扱われます。

30.1.8 割り込み処理のタイムアウト機能

割り込み要求発生と同時に ECM に搭載するディレイタイマをスタートし、割り込み処理中にタイマを停止できず、ディレイタイマカウント値と ECM ディレイタイマコンペアレジスタの値が一致した場合に、**ERROROUT** 出力、または内部リセットを発生する機能を搭載します。ブレーク発生時はタイマカウントを停止しません。

ディレイタイマのカウントは常に 0 から開始します。ECM ディレイタイマコンペアレジスタの設定値で内部リセットまたは、**ERROROUT** 出力が発生するまでの時間を決定してください。

ディレイタイマ動作中に、ディレイタイマをスタートに設定した新たなエラー要因が発生した場合、現在動作しているディレイタイマのカウント値はリセットされず動作を継続します。

30.2 ブロック図

ECM の概要を図 30.1 に、ECM の接続図を図 30.2 に示します。

ERROROUT 出力、内部リセット、ERROROUTZ 信号はロウ アクティブ、マスカブル割り込みと FE レベル割り込みはハイアクティブの信号です。なお、ECM をダイナミックモードに設定しても、PIC1 への ERROROUTZ 信号はトグルしません。

ERROROUT_M は、電源電圧モニタの ERROROUT 出力と論理和がとられます。

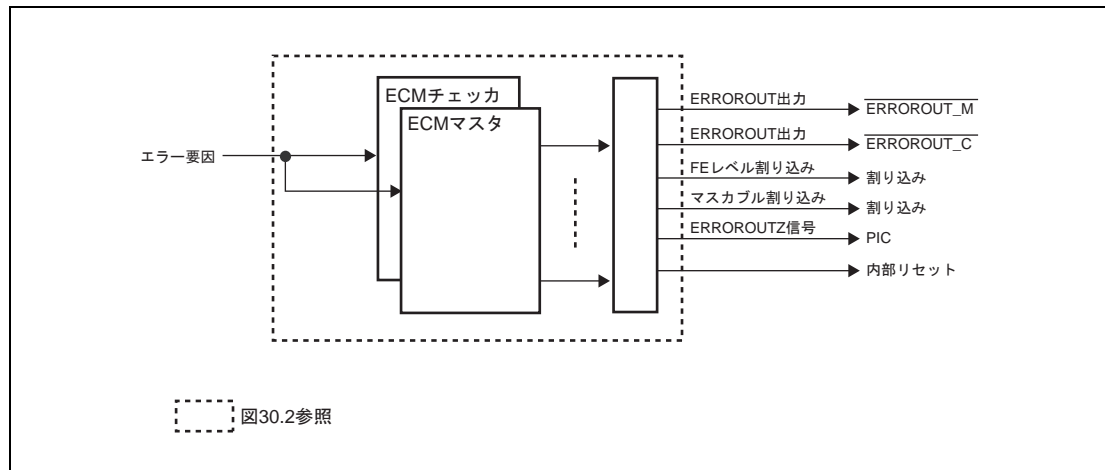


図 30.1 ECM の概要

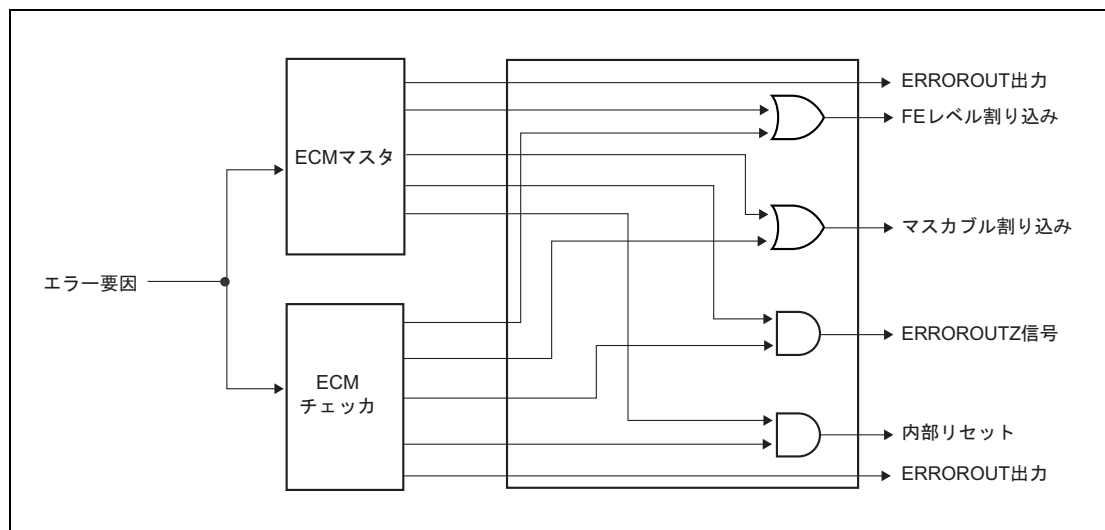


図 30.2 ECM の接続図

注意

ERROROUT_M 端子と ERROROUT_C 端子では使っている電源系が異なりますので出力電圧の違いに注意してください。

ERROROUT_M 端子 : VCC 電源 (3.3V 系)

ERROROUT_C 端子 : P4_0/P4_15 の場合 EVCC 電源 (5V 系)

P13_4 の場合 TTLVCC 電源 (5V/3.3V 系)

30.3 レジスタ仕様

30.3.1 レジスタ一覧

ECM のレジスタは ECM 共通レジスタ、ECM マスタレジスタ、ECM チェッカレジスタの 3 つのアドレス領域に分かれます。ECM 共通レジスタはマスタとチェッカで共通のレジスタ領域です。共通領域のレジスタへの書き込みはマスタ・チェッカで同時にそれぞれ実行されます。共通領域の読み出しは、マスタのレジスタの値が読み出されます。ECM マスタレジスタと ECM チェッカレジスタは個別に書き込み可能です。

ECM マスタレジスタのレジスタマップを下記に示します。

表 30.5 レジスタ一覧 (ECM マスタ)

| <ECMM_base : FFCB 0000 _H > | | | | | |
|---------------------------------------|--------------------------|-----|------------------------|----------------|-------------------------------|
| レジスタ シンボル | レジスタ名 | R/W | リセット後 の値 | シーケンス による保護 | アドレス |
| ECMMESET | ECM マスタエラーセットトリガレジスタ | W | 00 _H | あり | <ECMM_base> |
| ECMMECLR | ECM マスタエラークリアトリガレジスタ | W | 00 _H | あり | <ECMM_base> + 04 _H |
| ECMMESSTR0 | ECM マスタエラーソースステータスレジスタ 0 | R | 0000 0000 _H | なし | <ECMM_base> + 08 _H |
| ECMMESSTR1 | ECM マスタエラーソースステータスレジスタ 1 | R | 0000 0000 _H | なし | <ECMM_base> + 0C _H |
| ECMMPCMD0 | ECM マスタ保護コマンドレジスタ | W | 不定 | なし | <ECMM_base> + 10 _H |

ECM チェッカレジスタのレジスタマップを下記に示します。

表 30.6 レジスタ一覧 (ECM チェッカ)

| <ECMC_base : FFCB 1000 _H > | | | | | |
|---------------------------------------|---------------------------|-----|------------------------|----------------|-------------------------------|
| レジスタ シンボル | レジスタ名 | R/W | リセット後 の値 | シーケンス による保護 | アドレス |
| ECMCESET | ECM チェッカエラーセットトリガレジスタ | W | 00 _H | あり | <ECMC_base> |
| ECMCECLR | ECM チェッカエラークリアトリガレジスタ | W | 00 _H | あり | <ECMC_base> + 04 _H |
| ECMCESSTR0 | ECM チェッカエラーソースステータスレジスタ 0 | R | 0000 0000 _H | なし | <ECMC_base> + 08 _H |
| ECMCESSTR1 | ECM チェッカエラーソースステータスレジスタ 1 | R | 0000 0000 _H | なし | <ECMC_base> + 0C _H |
| ECMCPCMD0 | ECM チェッカ保護コマンドレジスタ | W | 不定 | なし | <ECMC_base> + 10 _H |

ECM 共通レジスタのレジスタマップを下記に示します。

表 30.7 レジスタ一覧 (ECM 共通)

<ECM_base : FFCB 2000_H>

| レジスタ シンボル | レジスタ名 | R/W | リセット後 の値 | シーケンス による保護 | アドレス |
|--------------|------------------------------------|-----|------------------------|----------------|------------------------------|
| ECMEPCFG | ECM エラーパルスコンフィグレーションレジスタ | R/W | 00 _H | あり | <ECM_base> |
| ECMMICFG0 | ECM マスカブル割り込みコンフィグレーション レジスタ 0 | R/W | 0000 0000 _H | あり | <ECM_base> + 04 _H |
| ECMMICFG1 | ECM マスカブル割り込みコンフィグレーション レジスタ 1 | R/W | 0000 0000 _H | あり | <ECM_base> + 08 _H |
| ECMNMICFG0 | ECM FE レベル割り込みコンフィグレーションレジ スタ 0 | R/W | 0000 0000 _H | あり | <ECM_base> + 0C _H |
| ECMNMICFG1 | ECM FE レベル割り込みコンフィグレーションレジ スタ 1 | R/W | 0000 0000 _H | あり | <ECM_base> + 10 _H |
| ECMIRCFG0 | ECM 内部リセットコンフィグレーションレジスタ 0 | R/W | 0000 000F _H | あり | <ECM_base> + 14 _H |
| ECMIRCFG1 | ECM 内部リセットコンフィグレーションレジスタ 1 | R/W | 0000 0000 _H | あり | <ECM_base> + 18 _H |
| ECMEMK0 | ECM エラーマスクレジスタ 0 | R/W | 0000 0000 _H | あり | <ECM_base> + 1C _H |
| ECMEMK1 | ECM エラーマスクレジスタ 1 | R/W | 0000 0000 _H | あり | <ECM_base> + 20 _H |
| ECMESSTC0 | ECM エラーソースステータスクリアトリガレジスタ 0 | W | 0000 0000 _H | あり | <ECM_base> + 24 _H |
| ECMESSTC1 | ECM エラーソースステータスクリアトリガレジスタ 1 | W | 0000 0000 _H | あり | <ECM_base> + 28 _H |
| ECMPCMD1 | ECM 保護コマンドレジスタ | W | 不定 | なし | <ECM_base> + 2C _H |
| ECMPS | ECM 保護ステータスレジスタ | R | 00 _H | なし | <ECM_base> + 30 _H |
| ECMPE0 | ECM 疑似エラートリガレジスタ 0 | W | 0000 0000 _H | あり | <ECM_base> + 34 _H |
| ECMPE1 | ECM 疑似エラートリガレジスタ 1 | W | 0000 0000 _H | あり | <ECM_base> + 38 _H |
| ECMDTMCTL | ECM デレイタイマコントロールレジスタ | W | 00 _H | あり | <ECM_base> + 3C _H |
| ECMDTMR | ECM デレイタイマレジスタ | R | 0000 _H | なし | <ECM_base> + 40 _H |
| ECMDTMCMP | ECM デレイタイマコンペアレジスタ | R/W | 0000 _H | あり | <ECM_base> + 44 _H |
| ECMDTMCFG0 | ECM デレイタイマコンフィグレーションレジスタ 0 | R/W | 0000 0000 _H | あり | <ECM_base> + 48 _H |
| ECMDTMCFG1 | ECM デレイタイマコンフィグレーションレジスタ 1 | R/W | 0000 0000 _H | あり | <ECM_base> + 4C _H |
| ECMDTMCFG2 | ECM デレイタイマコンフィグレーションレジスタ 2 | R/W | 0000 0000 _H | あり | <ECM_base> + 50 _H |
| ECMDTMCFG3 | ECM デレイタイマコンフィグレーションレジスタ 3 | R/W | 0000 0000 _H | あり | <ECM_base> + 54 _H |

30.3.2 ECMmESET, m = M/C — ECM マスタ/チェッカエラーセットトリガレジスタ

ECM マスタ/チェッカエラーセットトリガレジスタは ERROROUT 端子から出力するエラー信号をエラー出力に設定するためのレジスタです。ECMmEST ビットに 1 をセットされると ERROROUT 端子からはただちにエラー出力が出力されます。出力をマスクすることはできません。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「30.1.7 書き込み保護レジスタ」を参照してください。このレジスタの読み出し値は常に 00_H です。

アクセス 8ビット単位でライト可能です。

アドレス <ECMM_base>
<ECMC_base>

リセット後の値 00_H

| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|---|---|---|---|---|---|---|---------|
| | — | — | — | — | — | — | — | ECMmEST |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 30.8 ECMmESET レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 7 ~ 1 | — | 予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | ECMmEST | エラーセットトリガビット 0: 0 書き込みは無効。 1: ERROROUT 端子からの出力レベルをエラー出力に設定します。 |

注 意

ECMmESET レジスタで ERROROUT 端子からの ERROROUT 出力のセットを行うことで ECMmESSTR0 レジスタの ECMmSSE026 ビット (ECM コンペアエラー) がセットされますので、下記手順で ECMmESET レジスタを設定する必要があります。

1. ECMEMK0 レジスタの ECMEMK026 ビットを「マスクあり」に設定します。
2. 割り込みを生成しないために、ECMMICFG0 レジスタの ECMMIE026 ビットを「禁止」に、ECMNMICFG0 レジスタの ECMNMIE026 ビットを「禁止」に設定します。
3. 内部リセットは生成しないために、ECMIRCFG0 レジスタの ECMIRE026 ビットを「禁止」に設定します。
4. ECMmESET レジスタで ERROROUT 出力のセットを行います。
5. ECMESSTC0 レジスタの ECMCLSSE026 ビットでエラーをクリアします。
6. ECM コンペアエラーの使用条件に応じて以下の設定を行います。
 - ERROROUT 端子から ERROROUT 出力する場合、ECMEMK0 レジスタの ECMEMK026 ビットを「マスクなし」に設定します。
 - 割り込みを生成する場合、ECMMICFG0 レジスタの ECMMIE026 ビットを「許可」または、ECMNMICFG0 レジスタの ECMNMIE026 ビットを「許可」に設定します。
 - 内部リセットを生成する場合、ECMIRCFG0 レジスタの ECMIRE026 ビットを「許可」に設定します。

30.3.3 ECMmECLR, m = M/C — ECM マスタ/チェッカエラークリアトリガレジスタ

ECM マスタ/チェッカエラークリアトリガレジスタは ERROROUT 端子から出力するエラー信号を正常出力に設定するためのレジスタです。ECMmECT ビットに 1 をセットされると他に ERROROUT 端子をエラー出力にする要因がない場合には、ERROROUT 端子からはただちに正常出力が出力されます。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「**30.1.7 書き込み保護レジスタ**」を参照してください。このレジスタの読み出し値は常に 00_H です。

アクセス 8ビット単位でライト可能です

アドレス <ECMM_base> + 04_H
<ECMC_base> + 04_H

リセット後の値 00_H

| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|---|---|---|---|---|---|---|---------|
| | — | — | — | — | — | — | — | ECMmECT |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | W |

表 30.9 ECMmECLR レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------|--|
| 7 ~ 1 | — | 予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | ECMmECT | エラークリアトリガビット 0: 0 書き込みは無効。 1: ERROROUT 端子からの出力レベルを正常出力に設定します。 |

注 意

ERROROUT 出力のクリアは、ECMEMK0/1 によってマスクされていないすべてのエラーが、あらかじめクリアされている場合にのみ可能です。

ECMmECLR レジスタで ERROROUT 出力のクリアを行うことで ECMmESSTR0 レジスタの ECMmSSE026 ビット (ECM コンペアエラー) がセットされますので、下記手順で ECMmECLR レジスタを設定する必要があります。

- ECMEMK0 レジスタの ECMEMK026 ビットを「マスクあり」に設定します。
- 割り込みを生成しないために、ECMMICFG0 レジスタの ECMMIE026 ビットを「禁止」に、ECMNMICFG0 レジスタの ECMNMIE026 ビットを「禁止」に設定します。
- 内部リセットは生成しないために、ECMIRCFG0 レジスタの ECMIRE026 ビットを「禁止」に設定します。
- ECMmECLR レジスタで ERROROUT 出力のクリアを行います。
- ECMESSTC0 レジスタの ECMCLSSE026 ビットでエラーをクリアします。
- ECM コンペアエラーの使用条件に応じて以下の設定を行います。
 - ERROROUT 端子から ERROROUT 出力する場合、ECMEMK0 レジスタの ECMEMK026 ビットを「マスクなし」に設定します。
 - 割り込みを生成する場合、ECMMICFG0 レジスタの ECMMIE026 ビットを「許可」または、ECMNMICFG0 レジスタの ECMNMIE026 ビットを「許可」に設定します。
 - 内部リセットを生成する場合、ECMIRCFG0 レジスタの ECMIRE026 ビットを「許可」に設定します。

30.3.4 ECMmESSTR0, m = M/C — ECM マスタ/チェッカエラーソースステータスレジスタ 0

ECM マスタ/チェッカエラーソースステータスレジスタ 0 は、個々の内部エラーソースの状態を示します。この状態はエラーマスクの設定とは関係ありません。ステータスのクリアは、ECM エラーソースステータスクリアトリガレジスタ 0 の対応するビットに 1 を書き込むか外部リセットでのみ実行できます。内部リセットが発生した場合、エラー要因 0 (ECMmSSE000)、エラー要因 4 (ECMmSSE004)、エラー要因 12 (ECMmSSE012) のフラグの値は保持されます。

アクセス 32 ビット単位でリード可能です。

アドレス <ECMM_base> + 08_H
<ECMC_base> + 08_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|
| | ECMmSSE031 | ECMmSSE030 | — | — | ECMmSSE027 | ECMmSSE026 | ECMmSSE025 | — | — | ECMmSSE022 | ECMmSSE021 | ECMmSSE020 | ECMmSSE019 | ECMmSSE018 | ECMmSSE017 | ECMmSSE016 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ECMmSSE015 | ECMmSSE014 | ECMmSSE013 | ECMmSSE012 | ECMmSSE011 | ECMmSSE010 | ECMmSSE009 | ECMmSSE008 | ECMmSSE007 | ECMmSSE006 | ECMmSSE005 | ECMmSSE004 | — | — | — | ECMmSSE000 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 30.10 ECMmESSTR0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------------------------|--|
| 31、30 | ECMmSSE031、 ECMmSSE030 | エラー要因ステータスビット ECMmSSE031、ECMmSSE030 がエラー要因 31、30 に対応します。 0: エラー未発生 1: エラー発生 |
| 29、28 | — | 予約ビット 読み出す場合はリセット後の値が読めます。 |
| 27 ~ 25 | ECMmSSE027 ~ ECMmSSE025 | エラー要因ステータスビット ECMmSSE027 ~ ECMmSSE025 がエラー要因 27 ~ 25 に対応します。 0: エラー未発生 1: エラー発生 |
| 24、23 | — | 予約ビット 読み出す場合はリセット後の値が読めます。 |
| 22 ~ 4 | ECMmSSE022 ~ ECMmSSE004 | エラー要因ステータスビット ECMmSSE022 ~ ECMmSSE004 がエラー要因 22 ~ 4 に対応します。 0: エラー未発生 1: エラー発生 |
| 3 ~ 1 | — | 予約ビット 読み出す場合はリセット後の値が読めます。 |
| 0 | ECMmSSE000 | エラー要因ステータスビット ECMmSSE000 がエラー要因 0 に対応します。 0: エラー未発生 1: エラー発生 |

30.3.5 ECMmESSTR1, m = M/C — ECM マスタ/チェッカエラーソースステータスレジスタ 1

ECM マスタ/チェッカエラーソースステータスレジスタ 1 は、個々の内部エラーソースの状態を示します。この状態はエラーマスクの設定とは関係ありません。ステータスのクリアは、ECM エラーソースステータスクリアトリガレジスタ 1 の対応するビットに 1 を書き込むか外部リセットでのみ実行できます。内部リセットが発生した場合、ディレイタイマオーバーフロー (ECMmSSE129) のフラグの値は保持されます。

アクセス 32 ビット単位でリード可能です。

アドレス <ECMM_base> + 0C_H
<ECMC_base> + 0C_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|------------|------------|------------|------------|------------|------------|------------|----|------------|------------|------------|----|----|----|----|----|
| | ECMmSSE131 | ECMmSSE130 | ECMmSSE129 | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | ECMmSSE112 | ECMmSSE111 | ECMmSSE110 | ECMmSSE109 | — | ECMmSSE107 | ECMmSSE106 | ECMmSSE105 | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 30.11 ECMmESSTR1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------------------------|---|
| 31 | ECMmSSE131 | ERROROUT 出カループバック状態を示します。 0: ERROROUT_m 端子はロウレベル出力 1: ERROROUT_m 端子はハイレベル出力 ※m = M/C |
| 30 | ECMmSSE130 | ECMmESET の書き込みステータスを示します。 0: エラーなし 1: ECMmESET レジスタの ECMmEST ビットでエラー設定された |
| 29 | ECMmSSE129 | ディレイタイマオーバーフロー有無を示します。 0: ディレイタイマオーバーフローなし 1: ディレイタイマオーバーフローあり |
| 28 ~ 13 | — | 予約ビット 読み出す場合はリセット後の値が読めます。 |
| 12 ~ 9 | ECMmSSE112 ~ ECMmSSE109 | エラー要因ステータスビット ECMmSSE112 ~ ECMmSSE109 は、エラー要因 44 ~ 41 に対応します。 0: エラー未発生 1: エラー発生 |
| 8 | — | 予約ビット 読み出す場合はリセット後の値が読めます。 |
| 7 ~ 5 | ECMmSSE107 ~ ECMmSSE105 | エラー要因ステータスビット ECMmSSE107 ~ ECMmSSE105 は、エラー要因 39 ~ 37 に対応します。 0: エラー未発生 1: エラー発生 |
| 4 ~ 0 | — | 予約ビット 読み出す場合はリセット後の値が読めます。 |

30.3.6 ECMmPCMD0, m = M/C — ECM マスタ/チェッカ保護コマンドレジスタ

ECM マスタ/チェッカ保護コマンドレジスタは、保護対象のレジスタへの誤ったプログラム動作などによる不正なライトアクセスから保護するレジスタです。

ECM マスタ/チェッカ保護コマンドレジスタによる保護対象のレジスタは「**30.3.1 レジスタ一覧**」を参照してください。

保護解除シーケンスの詳細は「**30.1.7 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でライト可能です。

アドレス <ECMM_base> + 10_H
<ECMC_base> + 10_H

リセット後の値 不定

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|---------------|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 不定 | | | | | | | | | | | | | | | |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | ECMmREG0[7:0] | | | | | | | |
| リセット後の値 | 不定 | | | | | | | | | | | | | | | |
| R/W | R | R | R | R | R | R | R | R | W | W | W | W | W | W | W | W |

表 30.12 ECMmPCMD0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-------------------|---------------------------------------|
| 31 ~ 8 | — | 予約ビット 書き込む場合は“0”をライトしてください。 |
| 7 ~ 0 | ECMmREG0 [7:0] | 書き込み保護された ECMm レジスタへの書き込みを有効にする保護コマンド |

30.3.7 ECMEPCFG — ECM エラーパルスコンフィグレーションレジスタ

ECM エラーパルスコンフィグレーションレジスタは、ERROROUT 端子の ERROROUT 出力動作を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「**30.1.7 書き込み保護レジスタ**」を参照してください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ECM_base>

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|--------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | ECMSL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W |

表 30.13 ECMEPCFG レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|--|
| 7 ~ 1 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | ECMSL0 | ERROROUT 端子動作設定ビット ERROROUT 端子の ERROROUT 出力動作の設定 0: ノンダイナミックモード 1: ダイナミックモード |

30.3.8 ECMMICFG0 — ECM マスカブル割り込みコンフィグレーションレジスタ 0

ECM マスカブル割り込みコンフィグレーションレジスタ 0 は、ECM マスカブル割り込みの発生を設定するレジスタです。エラー発生によるマスカブル割り込み生成が可能です。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「**30.1.7 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 04_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|-----------|-----------|----|----|-----------|-----------|-----------|----|----|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| | ECMMIE031 | ECMMIE030 | — | — | ECMMIE027 | ECMMIE026 | ECMMIE025 | — | — | ECMMIE022 | ECMMIE021 | ECMMIE020 | ECMMIE019 | ECMMIE018 | ECMMIE017 | ECMMIE016 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R/W | R/W | R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|---|---|---|-----------|
| | ECMMIE015 | ECMMIE014 | ECMMIE013 | ECMMIE012 | ECMMIE011 | ECMMIE010 | ECMMIE009 | ECMMIE008 | ECMMIE007 | ECMMIE006 | ECMMIE005 | ECMMIE004 | — | — | — | ECMMIE000 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R/W |

表 30.14 ECMMICFG0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------------------------|--|
| 31、30 | ECMMIE031、 ECMMIE030 | ECM マスカブル割り込み発生制御ビット ECMMIE031、ECMMIE030 がエラー要因 31、30 に対応します。 0：割り込み発生禁止 1：割り込み発生許可 |
| 29、28 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 27 ~ 25 | ECMMIE027 ~ ECMMIE025 | ECM マスカブル割り込み発生制御ビット ECMMIE027 ~ ECMMIE025 がエラー要因 27 ~ 25 に対応します。 0：割り込み発生禁止 1：割り込み発生許可 |
| 24、23 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 22 ~ 4 | ECMMIE022 ~ ECMMIE004 | ECM マスカブル割り込み発生制御ビット ECMMIE022 ~ ECMMIE004 がエラー要因 22 ~ 4 に対応します。 0：割り込み発生禁止 1：割り込み発生許可 |
| 3 ~ 1 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | ECMMIE000 | ECM マスカブル割り込み発生制御ビット ECMMIE000 がエラー要因 0 に対応します。 0：割り込み発生禁止 1：割り込み発生許可 |

30.3.9 ECMMICFG1 — ECM マスカブル割り込みコンフィグレーションレジスタ 1

ECM マスカブル割り込みコンフィグレーションレジスタ 1 は、マスカブル割り込みの発生を設定するレジスタです。エラー発生によるマスカブル割り込み生成が可能です。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「**30.1.7 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 08_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|---------------|---------------|---------------|---------------|----|----|---------------|---------------|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | ECMMI E112 | ECMMI E111 | ECMMI E110 | ECMMI E109 | — | — | ECMMI E106 | ECMMI E105 | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R | R | R/W | R/W | R | R | R | R | R |

表 30.15 ECMMICFG1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------------------------|---|
| 31 ~ 13 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 12 ~ 9 | ECMMIE112 ~ ECMMIE109 | ECM マスカブル割り込み発生制御ビット ECMMIE112 ~ ECMMIE109 は、エラー要因 44 ~ 41 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可 |
| 8, 7 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 6, 5 | ECMMIE106、 ECMMIE105 | ECM マスカブル割り込み発生制御ビット ECMMIE106、ECMMIE105 は、エラー要因 38、37 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可 |
| 4 ~ 0 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |

30.3.10 ECMNMICFG0 — ECM FE レベル割り込みコンフィグレーションレジスタ 0

ECM FE レベル割り込みコンフィグレーションレジスタ 0 は、ECM FE レベル割り込みの発生を設定するレジスタです。エラー発生による FE レベル割り込み生成が可能です。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「**30.1.7 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 0C_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----------------|----------------|----|----|----------------|----------------|----------------|----|----|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| | ECMN MIE031 | ECMN MIE030 | — | — | ECMN MIE027 | ECMN MIE026 | ECMN MIE025 | — | — | ECMN MIE022 | ECMN MIE021 | ECMN MIE020 | ECMN MIE019 | ECMN MIE018 | ECMN MIE017 | ECMN MIE016 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R/W | R/W | R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|---|---|---|----------------|
| | ECMN MIE015 | ECMN MIE014 | ECMN MIE013 | ECMN MIE012 | ECMN MIE011 | ECMN MIE010 | ECMN MIE009 | ECMN MIE008 | ECMN MIE007 | ECMN MIE006 | ECMN MIE005 | ECMN MIE004 | — | — | — | ECMN MIE000 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R/W |

表 30.16 ECMNMICFG0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------------------------|---|
| 31、30 | ECMNMIE031、 ECMNMIE030 | ECM FE レベル割り込み発生制御ビット ECMNMIE031、ECMNMIE030 がエラー要因 31、30 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可 |
| 29、28 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 27 ~ 25 | ECMNMIE027 ~ ECMNMIE025 | ECM FE レベル割り込み発生制御ビット ECMNMIE027 ~ ECMNMIE025 がエラー要因 27 ~ 25 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可 |
| 24、23 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 22 ~ 4 | ECMNMIE022 ~ ECMNMIE004 | ECM FE レベル割り込み発生制御ビット ECMNMIE022 ~ ECMNMIE004 がエラー要因 22 ~ 4 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可 |
| 3 ~ 1 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | ECMNMIE000 | ECM FE レベル割り込み発生制御ビット ECMNMIE000 がエラー要因 0 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可 |

30.3.11 ECMNMICFG1 — ECM FE レベル割り込みコンフィグレーションレジスタ 1

ECM FE レベル割り込みコンフィグレーションレジスタ 1 は、ECM FE レベル割り込みの発生を設定するレジスタです。エラー発生による FE レベル割り込み生成が可能です。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「**30.1.7 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 10_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----------------|----------------|----------------|----------------|----|----|----------------|----------------|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | ECMN MIE112 | ECMN MIE111 | ECMN MIE110 | ECMN MIE109 | — | — | ECMN MIE106 | ECMN MIE105 | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R | R | R/W | R/W | R | R | R | R | R |

表 30.17 ECMNMICFG1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-------------------------------|--|
| 31 ~ 13 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 12 ~ 9 | ECMNMIE112 ~ ECMNMIE109 | ECM FE レベル割り込み発生制御ビット ECMNMIE112 ~ ECMNMIE109 は、エラー要因 44 ~ 41 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可 |
| 8、7 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 6、5 | ECMNMIE106、 ECMNMIE105 | ECM FE レベル割り込み発生制御ビット ECMNMIE106、ECMNMIE105 は、エラー要因 38、37 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可 |
| 4 ~ 0 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |

30.3.12 ECMIRCFG0 — ECM 内部リセットコンフィグレーションレジスタ 0

ECM 内部リセットコンフィグレーションレジスタ 0 は、内部エラーの発生による内部リセットの発生を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「**30.1.7 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 14_H

リセット後の値 0000 000F_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|------------|------------|----|----|------------|------------|------------|----|----|------------|------------|------------|------------|------------|------------|------------|
| | ECMIR E031 | ECMIR E030 | — | — | ECMIR E027 | ECMIR E026 | ECMIR E025 | — | — | ECMIR E022 | ECMIR E021 | ECMIR E020 | ECMIR E019 | ECMIR E018 | ECMIR E017 | ECMIR E016 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R/W | R/W | R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|---|---|---|------------|
| | ECMIR E015 | ECMIR E014 | ECMIR E013 | ECMIR E012 | ECMIR E011 | ECMIR E010 | ECMIR E009 | ECMIR E008 | ECMIR E007 | ECMIR E006 | ECMIR E005 | ECMIR E004 | — | — | — | ECMIR E000 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R/W |

表 30.18 ECMIRCFG0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------------------------|---|
| 31、30 | ECMIRE031、 ECMIRE030 | ECM 内部リセット発生制御ビット ECMIRE031、ECMIRE030 がエラー要因 31、30 に対応します。 0：内部リセット発生禁止 1：内部リセット発生許可 |
| 29、28 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 27～25 | ECMIRE027 ～ ECMIRE025 | ECM 内部リセット発生制御ビット ECMIRE027～ECMIRE025 がエラー要因 27～25 に対応します。 0：内部リセット発生禁止 1：内部リセット発生許可 |
| 24、23 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 22～4 | ECMIRE022 ～ ECMIRE004 | ECM 内部リセット発生制御ビット ECMIRE022～ECMIRE004 がエラー要因 22～4 に対応します。 0：内部リセット発生禁止 1：内部リセット発生許可 |
| 3～1 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | ECMIRE000 | ECM 内部リセット発生制御ビット ECMIRE000 がエラー要因 0 に対応します。 0：内部リセット発生禁止 1：内部リセット発生許可 |

30.3.13 ECMIRCFG1 — ECM 内部リセットコンフィグレーションレジスタ 1

ECM 内部リセットコンフィグレーションレジスタ 1 は、内部エラーの発生による内部リセットの発生を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「**30.1.7 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 18_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----|----|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|
| | — | — | ECMIR E129 | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|----|------------|------------|------------|------------|---|---|------------|------------|---|---|---|---|---|
| | — | — | — | ECMIR E112 | ECMIR E111 | ECMIR E110 | ECMIR E109 | — | — | ECMIR E106 | ECMIR E105 | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R | R | R/W | R/W | R | R | R | R | R |

表 30.19 ECMIRCFG1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------------------------|--|
| 31、30 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 29 | ECMIRE129 | ECM 内部リセット発生制御ビット ディレイタイマオーバフローに対応します。 0: 内部リセット発生禁止 1: 内部リセット発生許可 |
| 28 ~ 13 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 12 ~ 9 | ECMIRE112 ~ ECMIRE109 | ECM 内部リセット発生制御ビット ECMIRE112 ~ ECMIRE109 は、エラー要因 44 ~ 41 に対応します。 0: 内部リセット発生禁止 1: 内部リセット発生許可 |
| 8、7 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 6、5 | ECMIRE106、 ECMIRE105 | ECM 内部リセット発生制御ビット ECMIRE106、ECMIRE105 は、エラー要因 38、37 に対応します。 0: 内部リセット発生禁止 1: 内部リセット発生許可 |
| 4 ~ 0 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |

30.3.14 ECMEMK0 — ECM エラーマスクレジスタ 0

ECM エラーマスクレジスタ 0 は、ERROROUT 出力の個々のエラーソースのマスクを設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「30.1.7 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 1C_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|---------------|---------------|----|----|---------------|---------------|---------------|----|----|---------------|---------------|---------------|---------------|---------------|---------------|---------------|
| | ECME MK031 | ECME MK030 | — | — | ECME MK027 | ECME MK026 | ECME MK025 | — | — | ECME MK022 | ECME MK021 | ECME MK020 | ECME MK019 | ECME MK018 | ECME MK017 | ECME MK016 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R/W | R/W | R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---|---|---|---------------|
| | ECME MK015 | ECME MK014 | ECME MK013 | ECME MK012 | ECME MK011 | ECME MK010 | ECME MK009 | ECME MK008 | ECME MK007 | ECME MK006 | ECME MK005 | ECME MK004 | — | — | — | ECME MK000 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R/W |

表 30.20 ECMEMK0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------------------------|--|
| 31、30 | ECMEMK031、 ECMEMK030 | ECM ERROROUT 出力マスク制御ビット ECMEMK031、ECMEMK030 がエラー要因 31、30 に対応します。 0 : ERROROUT 出力をマスクしない 1 : ERROROUT 出力をマスクする |
| 29、28 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 27 ~ 25 | ECMEMK027 ~ ECMEMK025 | ECM ERROROUT 出力マスク制御ビット ECMEMK027 ~ ECMEMK025 がエラー要因 27 ~ 25 に対応します。 0 : ERROROUT 出力をマスクしない 1 : ERROROUT 出力をマスクする |
| 24、23 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 22 ~ 4 | ECMEMK022 ~ ECMEMK004 | ECM ERROROUT 出力マスク制御ビット ECMEMK022 ~ ECMEMK004 がエラー要因 22 ~ 4 に対応します。 0 : ERROROUT 出力をマスクしない 1 : ERROROUT 出力をマスクする |
| 3 ~ 1 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | ECMEMK000 | ECM ERROROUT 出力マスク制御ビット ECMEMK000 がエラー要因 0 に対応します。 0 : ERROROUT 出力をマスクしない 1 : ERROROUT 出力をマスクする |

30.3.15 ECMEMK1 — ECM エラーマスクレジスタ 1

ECM エラーマスクレジスタ 1 は、ERRORROUT 出力の個々のエラーソースのマスクを設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「30.1.7 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 20_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----|----|---------------|----|----|----|----|----|----|----|----|----|----|----|----|----|
| | — | — | ECME MK129 | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|----|---------------|---------------|---------------|---------------|---|---------------|---------------|---------------|---|---|---|---|---|
| | — | — | — | ECME MK112 | ECME MK111 | ECME MK110 | ECME MK109 | — | ECME MK107 | ECME MK106 | ECME MK105 | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W | R | R | R | R | R |

表 30.21 ECMEMK1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|-----------------------------|--|
| 31、30 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 29 | ECMEMK129 | ディレイタイマオーバーフローに対応します。 0: ERRORROUT 出力をマスクしない 1: ERRORROUT 出力をマスクする |
| 28 ~ 13 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 12 ~ 9 | ECMEMK112 ~ ECMEMK109 | ECM ERRORROUT 出力マスク制御ビット ECMEMK112 ~ ECMEMK109 は、エラー要因 44 ~ 41 に対応します。 0: ERRORROUT 出力をマスクしない 1: ERRORROUT 出力をマスクする |
| 8 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 7 ~ 5 | ECMEMK107 ~ ECMEMK105 | ECM ERRORROUT 出力マスク制御ビット ECMEMK107 ~ ECMEMK105 は、エラー要因 39 ~ 37 に対応します。 0: ERRORROUT 出力をマスクしない 1: ERRORROUT 出力をマスクする |
| 4 ~ 0 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |

30.3.16 ECMESSTC0 — ECM エラーソースステータスクリアトリガレジスタ 0

ECM エラーソースステータスクリアトリガレジスタ 0 は、ECM マスタ/チェッカエラーソースステータスレジスタ 0 の個々のエラーソース状態をクリアするレジスタです。ECM マスタと ECM チェッカの両方のエラー状態が同時にクリアされます。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「30.1.7 書き込み保護レジスタ」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 24_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|-----------------|-----------------|----|----|-----------------|-----------------|-----------------|----|----|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|
| | ECMCL SSE031 | ECMCL SSE030 | — | — | ECMCL SSE027 | ECMCL SSE026 | ECMCL SSE025 | — | — | ECMCL SSE022 | ECMCL SSE021 | ECMCL SSE020 | ECMCL SSE019 | ECMCL SSE018 | ECMCL SSE017 | ECMCL SSE016 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | R | R | W | W | W | R | R | W | W | W | W | W | W | W |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|---|---|---|-----------------|
| | ECMCL SSE015 | ECMCL SSE014 | ECMCL SSE013 | ECMCL SSE012 | ECMCL SSE011 | ECMCL SSE010 | ECMCL SSE009 | ECMCL SSE008 | ECMCL SSE007 | ECMCL SSE006 | ECMCL SSE005 | ECMCL SSE004 | — | — | — | ECMCL SSE000 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | W | W | W | W | W | W | W | W | W | W | R | R | R | W |

表 30.22 ECMESSTC0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------------------------|---|
| 31、30 | ECMCLSSE031、 ECMCLSSE030 | ECM エラー状態クリアビット ECMCLSSE031、ECMCLSSE030 がエラー要因 31、30 に対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする |
| 29、28 | — | 予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 27 ~ 25 | ECMCLSSE027 ~ ECMCLSSE025 | ECM エラー状態クリアビット ECMCLSSE027 ~ ECMCLSSE025 がエラー要因 27 ~ 25 に対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする |
| 24、23 | — | 予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 22 ~ 4 | ECMCLSSE022 ~ ECMCLSSE004 | ECM エラー状態クリアビット ECMCLSSE022 ~ ECMCLSSE004 がエラー要因 22 ~ 4 に対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする |
| 3 ~ 1 | — | 予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | ECMCLSSE000 | ECM エラー状態クリアビット ECMCLSSE000 がエラー要因 0 に対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする |

30.3.17 ECMESSTC1 — ECM エラーソースステータスクリアトリガレジスタ 1

ECM エラーソースステータスクリアトリガレジスタ 1 は、ECM マスタ/チェッカエラーソースステータスレジスタ 1 の個々のエラーソース状態をクリアするレジスタです。ECM マスタと ECM チェッカの両方のエラー状態が同時にクリアされます。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「**30.1.7 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 28_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|----|-----------------|-----------------|-----------------|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | ECMCL SSE130 | ECMCL SSE129 | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | W | W | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | ECMCL SSE112 | ECMCL SSE111 | ECMCL SSE110 | ECMCL SSE109 | — | ECMCL SSE107 | ECMCL SSE106 | ECMCL SSE105 | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | W | W | W | W | R | W | W | W | R | R | R | R | R |

表 30.23 ECMESSTC1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------------------------|--|
| 31 | — | 予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 30, 29 | ECMCLSSE130、 ECMCLSSE129 | ECM エラー状態クリアビット ECMCLSSE130、ECMCLSSE129 は ECMmESET の書き込みステータス、ディレイタイマオーバーフローに対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする |
| 28 ~ 13 | — | 予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 12 ~ 9 | ECMCLSSE112 ~ ECMCLSSE109 | ECM エラー状態クリアビット ECMCLSSE112 ~ ECMCLSSE109 は、エラー要因 44 ~ 41 に対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする |
| 8 | — | 予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 7 ~ 5 | ECMCLSSE107 ~ ECMCLSSE105 | ECM エラー状態クリアビット ECMCLSSE107 ~ ECMCLSSE105 は、エラー要因 39 ~ 37 に対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする |
| 4 ~ 0 | — | 予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |

30.3.18 ECMPCMD1 — ECM 保護コマンドレジスタ

ECM 保護コマンドレジスタの保護対象のレジスタは「30.3.1 レジスタ一覧」を参照してください。保護解除シーケンスの詳細は「30.1.7 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でライト可能です。

アドレス <ECM_base> + 2C_H

リセット後の値 不定

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|--------------|----|----|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 不定 | | | | | | | | | | | | | | | |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | ECMREG1[7:0] | | | | | | | |
| リセット後の値 | 不定 | | | | | | | | | | | | | | | |
| R/W | R | R | R | R | R | R | R | R | W | W | W | W | W | W | W | W |

表 30.24 ECMPCMD1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|--------------|--------------------------------------|
| 31 ~ 8 | — | 予約ビット 書き込む場合は“0”をライトしてください。 |
| 7 ~ 0 | ECMREG1[7:0] | 書き込み保護された ECM レジスタへの書き込みを有効にする保護コマンド |

30.3.19 ECMP5 — ECM 保護ステータスレジスタ

ECM 保護ステータスレジスタは書き込み保護レジスタが正常に書き込まれたかどうかを示します。詳細は「**30.1.7 書き込み保護レジスタ**」を参照してください。

アクセス 8ビット単位でリード可能です。

アドレス <ECM_base> + 30_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | ECMPRERR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

表 30.25 ECMP5 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------|---|
| 7 ~ 1 | — | 予約ビット 読み出す場合はリセット後の値が読めます。 |
| 0 | ECMPRERR | ECM 保護ステータスビット 書き込み保護レジスタへ正常に書き込まれたかどうかを表示します。 0: 書き込み成功 1: 書き込み失敗 |

30.3.20 ECMPE0 — ECM 擬似エラートリガレジスタ 0

ECM 擬似エラートリガレジスタ 0 は、テスト用の擬似エラーを発生させるときに使用するレジスタです。擬似エラー発生時の ECM の動作は、エラー要因が実際に発生した場合と同じです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「**30.1.7 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 34_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----------|----------|----|----|----------|----------|----------|----|----|----------|----------|----------|----------|----------|----------|----------|
| | ECMPE031 | ECMPE030 | — | — | ECMPE027 | ECMPE026 | ECMPE025 | — | — | ECMPE022 | ECMPE021 | ECMPE020 | ECMPE019 | ECMPE018 | ECMPE017 | ECMPE016 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | R | R | W | W | W | R | R | W | W | W | W | W | W | W |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|---|---|---|----------|
| | ECMPE015 | ECMPE014 | ECMPE013 | ECMPE012 | ECMPE011 | ECMPE010 | ECMPE009 | ECMPE008 | ECMPE007 | ECMPE006 | ECMPE005 | ECMPE004 | — | — | — | ECMPE000 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | W | W | W | W | W | W | W | W | W | W | R | R | R | W |

表 30.26 ECMPE0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------------------------|--|
| 31、30 | ECMPE031、 ECMPE030 | ECM 擬似エラートリガビット ECMPE031、ECMPE030 がエラー要因 31、30 に対応します。 0：擬似エラーを発生しない 1：対応するエラーを擬似的に発生する |
| 29、28 | — | 予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 27～25 | ECMPE027 ～ ECMPE025 | ECM 擬似エラートリガビット ECMPE027～ECMPE025 がエラー要因 27～25 に対応します。 0：擬似エラーを発生しない 1：対応するエラーを擬似的に発生する |
| 24、23 | — | 予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 22～4 | ECMPE022 ～ ECMPE004 | ECM 擬似エラートリガビット ECMPE022～ECMPE004 がエラー要因 22～4 に対応します。 0：擬似エラーを発生しない 1：対応するエラーを擬似的に発生する |
| 3～1 | — | 予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | ECMPE000 | ECM 擬似エラートリガビット ECMPE000 がエラー要因 0 に対応します。 0：擬似エラーを発生しない 1：対応するエラーを擬似的に発生する |

30.3.21 ECMPE1 — ECM 疑似エラートリガレジスタ 1

ECM 疑似エラートリガレジスタ 1 は、テスト用の疑似エラーを発生させるときに使用するレジスタです。疑似エラー発生時の ECM の動作は、エラー要因が実際に発生した場合と同じです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「**30.1.7 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 38_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|--------------|--------------|--------------|--------------|--------------|----|--------------|--------------|--------------|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | ECMPE 129 | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | W | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | ECMPE 112 | ECMPE 111 | ECMPE 110 | ECMPE 109 | — | ECMPE 107 | ECMPE 106 | ECMPE 105 | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | W | W | W | W | R | W | W | W | R | R | R | R | R |

表 30.27 ECMPE1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------------------|---|
| 31, 30 | — | 予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 29 | ECMPE129 | ECM 疑似エラートリガビット ディレイタイマオーバーフローに対応します。 0: 疑似エラーを発生しない 1: 対応するエラーを疑似的に発生する |
| 28 ~ 13 | — | 予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 12 ~ 9 | ECMPE112 ~ ECMPE109 | ECM 疑似エラートリガビット ECMPE112 ~ ECMPE109 は、エラー要因 44 ~ 41 に対応します。 0: 疑似エラーを発生しない 1: 対応するエラーを疑似的に発生する |
| 8 | — | 予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 7 ~ 5 | ECMPE107 ~ ECMPE105 | ECM 疑似エラートリガビット ECMPE107 ~ ECMPE105 は、エラー要因 39 ~ 37 に対応します。 0: 疑似エラーを発生しない 1: 対応するエラーを疑似的に発生する |
| 4 ~ 0 | — | 予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |

30.3.22 ECMDTMCTL — ECM ディレイタイマコントロールレジスタ

ECM ディレイタイマコントロールレジスタは、ディレイタイマを制御するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「**30.1.7 書き込み保護レジスタ**」を参照してください。

| | | | | | | | | |
|---------|-----------------------------------|---|---|---|---|---|--------|--------|
| | アクセス 8ビット単位でライト可能です。 | | | | | | | |
| | アドレス <ECM_base> + 3C _H | | | | | | | |
| | リセット後の値 00 _H | | | | | | | |
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | ECMSTP | ECMSTA |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | W | W |

表 30.28 ECMDTMCTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|--------|--|
| 7～2 | — | 予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 1 | ECMSTP | ディレイタイマストップビット このビットへ1を書き込むとディレイタイマカウンタが初期化され、ディレイタイマは停止します。同時にECMSTAビットは0になります。 |
| 0 | ECMSTA | ディレイタイマスタートビット このビットへ1を書き込むと割り込み発生時にディレイタイマがカウントスタートします。 (このビットへ0を書き込むことでも、ディレイタイマは停止します。) |

30.3.23 ECMDTMR — ECM ディレイタイマレジスタ

ECM ディレイタイマレジスタはディレイタイマカウンタ値を示します。ECM ディレイタイマコントロールレジスタ (ECMDTMCTL) のECMSTP ビットへ1を書き込むかECMSTA ビットへ0を書き込むことで、ディレイタイマカウンタは初期化されます。

| | | | | | | | | | | | | | | | | |
|---------|-----------------------------------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| | アクセス 16ビット単位でリード可能です。 | | | | | | | | | | | | | | | |
| | アドレス <ECM_base> + 40 _H | | | | | | | | | | | | | | | |
| | リセット後の値 0000 _H | | | | | | | | | | | | | | | |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ECMDTMR[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

30.3.24 ECMDTMCMP — ECM ディレイタイマコンペアレジスタ

ECM ディレイタイマコンペアレジスタとディレイタイマカウンタの値が一致するとディレイタイマオーバーフロー信号が発生し、ECMmSSE129n ビットがセットされます。本レジスタへのデータ書き込みはディレイタイマ停止中に行ってください。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「30.1.7 書き込み保護レジスタ」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 44_H

リセット後の値 0000_H

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-----------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | ECMDTMCMP[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

30.3.25 ECMDTMCFG0 — ECM ディレイタイマコンフィグレーションレジスタ 0

ECM ディレイタイマコンフィグレーションレジスタ 0 は、エラー発生によるマスカブル割り込みによるディレイタイマスタート許可/禁止を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「**30.1.7 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 48_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|----------|----------|----|----|----------|----------|----------|----|----|----------|----------|----------|----------|----------|----------|----------|
| | ECMTE031 | ECMTE030 | — | — | ECMTE027 | ECMTE026 | ECMTE025 | — | — | ECMTE022 | ECMTE021 | ECMTE020 | ECMTE019 | ECMTE018 | ECMTE017 | ECMTE016 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R/W | R/W | R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|---|---|---|----------|
| | ECMTE015 | ECMTE014 | ECMTE013 | ECMTE012 | ECMTE011 | ECMTE010 | ECMTE009 | ECMTE008 | ECMTE007 | ECMTE006 | ECMTE005 | ECMTE004 | — | — | — | ECMTE000 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R/W |

表 30.29 ECMDTMCFG0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------------------------|---|
| 31、30 | ECMTE031、 ECMTE030 | ECM ディレイタイマスタート制御ビット ECMTE031、ECMTE030 がエラー要因 31、30 によって発生するマスカブル割り込みに対応します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可 |
| 29、28 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 27～25 | ECMTE027 ～ ECMTE025 | ECM ディレイタイマスタート制御ビット ECMTE027～ECMTE025 がエラー要因 27～25 によって発生するマスカブル割り込みに対応します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可 |
| 24、23 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 22～4 | ECMTE022 ～ ECMTE004 | ECM ディレイタイマスタート制御ビット ECMTE022～ECMTE004 がエラー要因 22～4 によって発生するマスカブル割り込みに対応します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可 |
| 3～1 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | ECMTE000 | ECM ディレイタイマスタート制御ビット ECMTE000 がエラー要因 0 によって発生するマスカブル割り込みに対応します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可 |

30.3.26 ECMDTMCFG1 — ECM ディレイタイマコンフィグレーションレジスタ 1

ECM ディレイタイマコンフィグレーションレジスタ 1 は、エラー発生によるマスカブル割り込みによるディレイタイマスタート許可/禁止を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「30.1.7 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 4C_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|--------------|--------------|--------------|--------------|----|----|--------------|--------------|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | ECMTE 112 | ECMTE 111 | ECMTE 110 | ECMTE 109 | — | — | ECMTE 106 | ECMTE 105 | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R | R | R/W | R/W | R | R | R | R | R |

表 30.30 ECMDTMCFG1 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------------------|--|
| 31 ~ 13 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 12 ~ 9 | ECMTE112 ~ ECMTE109 | ECM ディレイタイマスタート制御ビット ECMTE112 ~ ECMTE109 は、エラー要因 44 ~ 41 によって発生するマスカブル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可 |
| 8, 7 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 6, 5 | ECMTE106、 ECMTE105 | ECM ディレイタイマスタート制御ビット ECMTE106、ECMTE105 は、エラー要因 38、37 によって発生するマスカブル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可 |
| 4 ~ 0 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |

30.3.27 ECMDTMCFG2 — ECM ディレイタイマコンフィグレーションレジスタ 2

ECM ディレイタイマコンフィグレーションレジスタ 2 は、エラー発生による FE レベル割り込みによるディレイタイマスタート許可/禁止を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「30.1.7 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 50_H

リセット後の値 0000 0000_H

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------|--------------|--------------|----|----|--------------|--------------|--------------|----|----|--------------|--------------|--------------|--------------|--------------|--------------|--------------|
| | ECMTE 231 | ECMTE 230 | — | — | ECMTE 227 | ECMTE 226 | ECMTE 225 | — | — | ECMTE 222 | ECMTE 221 | ECMTE 220 | ECMTE 219 | ECMTE 218 | ECMTE 217 | ECMTE 216 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R | R | R/W | R/W | R/W | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|---|---|---|--------------|
| | ECMTE 215 | ECMTE 214 | ECMTE 213 | ECMTE 212 | ECMTE 211 | ECMTE 210 | ECMTE 209 | ECMTE 208 | ECMTE 207 | ECMTE 206 | ECMTE 205 | ECMTE 204 | — | — | — | ECMTE 200 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R/W |

表 30.31 ECMDTMCFG2 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------------------|---|
| 31、30 | ECMTE231、 ECMTE230 | ECM ディレイタイマスタート制御ビット ECMTE231、ECMTE230 がエラー要因 31、30 によって発生する FE レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可 |
| 29、28 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 27 ~ 25 | ECMTE227 ~ ECMTE225 | ECM ディレイタイマスタート制御ビット ECMTE227 ~ ECMTE225 がエラー要因 27 ~ 25 によって発生する FE レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可 |
| 24、23 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 22 ~ 4 | ECMTE222 ~ ECMTE204 | ECM ディレイタイマスタート制御ビット ECMTE222 ~ ECMTE204 がエラー要因 22 ~ 4 によって発生する FE レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可 |
| 3 ~ 1 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 0 | ECMTE200 | ECM ディレイタイマスタート制御ビット ECMTE200 がエラー要因 0 によって発生する FE レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可 |

30.3.28 ECMDTMCFG3 — ECM ディレイタイマコンフィグレーションレジスタ 3

ECM ディレイタイマコンフィグレーションレジスタ 3 は、エラー発生による FE レベル割り込みによるディレイタイマスタート許可/禁止を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスにしたがう必要があります。保護解除シーケンスの詳細は「30.1.7 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 54_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|--------------|--------------|--------------|--------------|----|----|--------------|--------------|----|----|----|----|----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | ECMTE 312 | ECMTE 311 | ECMTE 310 | ECMTE 309 | — | — | ECMTE 306 | ECMTE 305 | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R | R | R/W | R/W | R | R | R | R | R |

表 30.32 ECMDTMCFG3 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|---------|---------------------------|--|
| 31 ~ 13 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 12 ~ 9 | ECMTE312 ~ ECMTE309 | ECM ディレイタイマスタート制御ビット ECMTE312 ~ ECMTE309 は、エラー要因 44 ~ 41 によって発生する FE レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可 |
| 8, 7 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |
| 6, 5 | ECMTE306、 ECMTE305 | ECM ディレイタイマスタート制御ビット ECMTE306、ECMTE305 は、エラー要因 38、37 によって発生する FE レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可 |
| 4 ~ 0 | — | 予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。 |

第 31 章 データ CRC (DCRA)

本章では、データ CRC 機能 A (DCRA) について説明します。

レジスタベースアドレスを**表 31.1**に示します。

表 31.1 レジスタベースアドレス

| ベースアドレス名 | ベースアドレス |
|--------------|------------------------|
| <DCRA0_base> | FFF7 0000 _H |

31.1 概要

31.1.1 機能概要

データ CRC 機能 A を利用して、CRC で保護された任意の長さとはさまざまなビット幅を持つデータストリームを検証または生成することができます。

- 生成多項式：32-Ethernet (32 ビットの CRC コード生成) または 16-CCITT (16 ビットの CRC コード生成) のいずれかをレジスタで選択できます。
生成多項式は以下のとおりです。
 - 32-Ethernet
 $(x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1)$
 - 16-CCITT $(x^{16} + x^{12} + x^5 + 1)$
- 32-Ethernet 選択時、レジスタで指定した 8/16/32 ビット単位の任意のデータ長ブロックに対し、32 ビットの CRC コードを生成します。
- 16-CCITT 選択時、レジスタで指定した 8/16/32 ビット単位の任意のデータ長ブロックに対し、16 ビットの CRC コードを生成します。
- CRC データレジスタ (DCRA0COUT) に初期値を設定したあと、入力データを CRC インプットレジスタ (DCRA0CIN) に転送することで演算され、CRC データレジスタ (DCRA0COUT) に演算結果が格納されます。

31.1.2 ブロック図

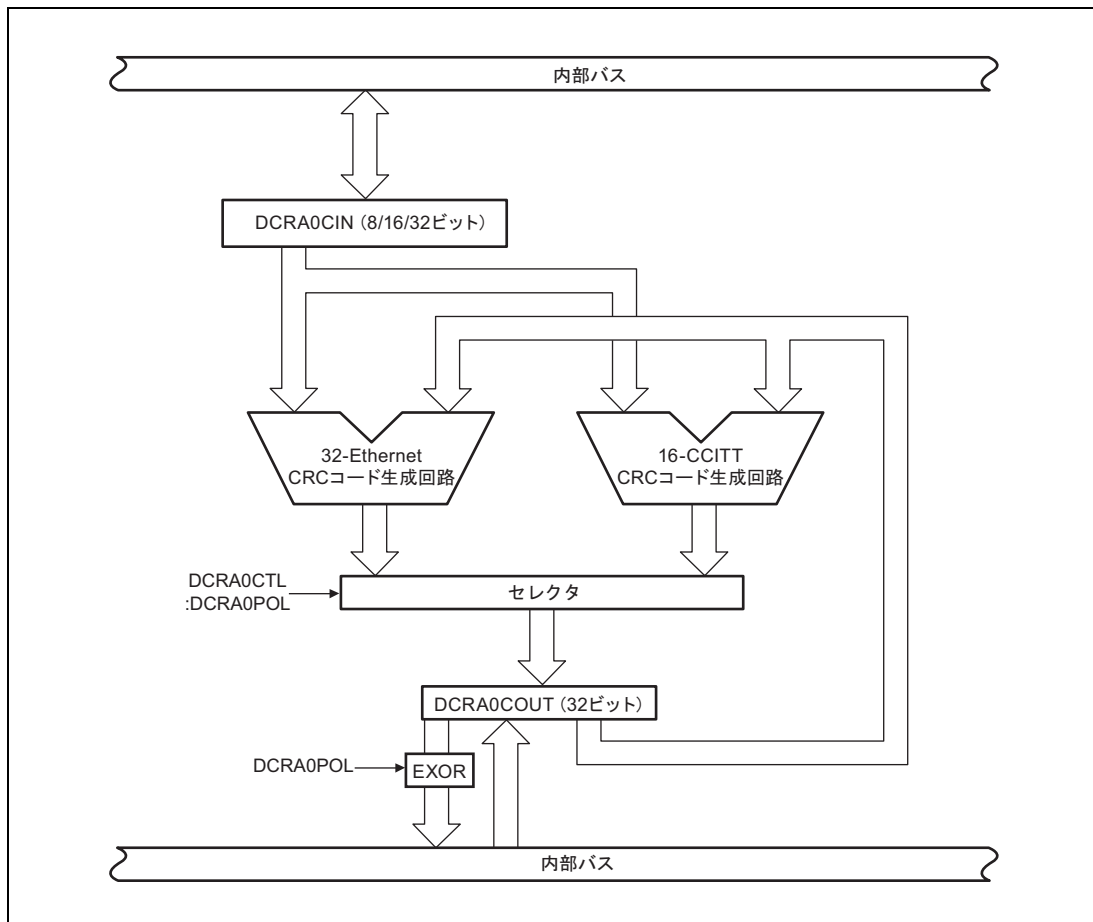
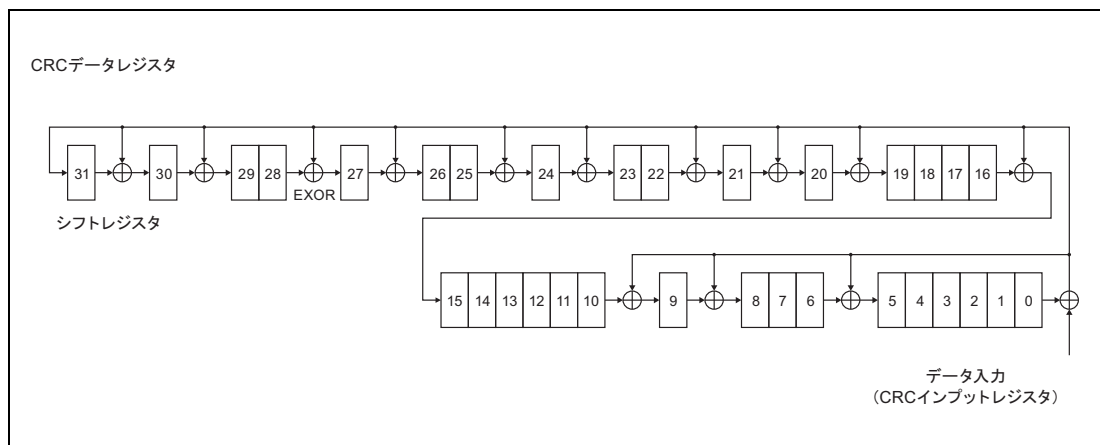


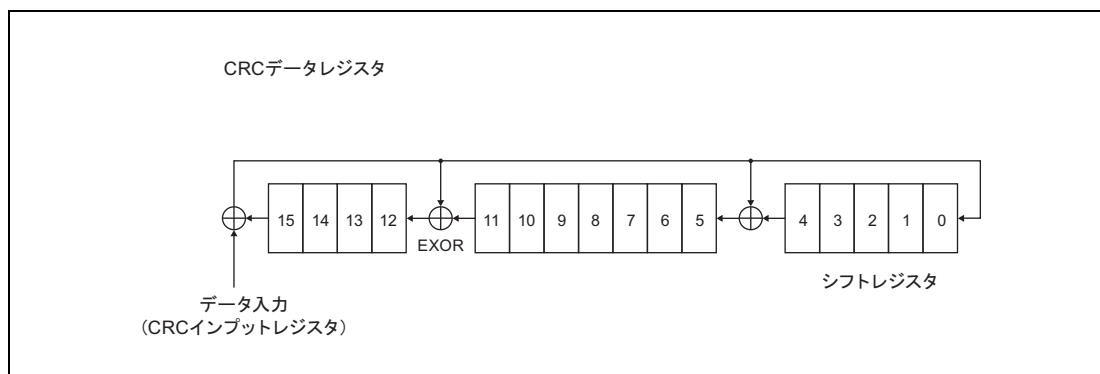
図 31.1 データ CRC 機能 A のブロック図

31.1.3 演算回路

- 32-Ethernet



- 16-CCITT



31.2 レジスタ仕様

31.2.1 レジスタ一覧

表 31.2 DCRA レジスタ一覧

| レジスタ名称 | 機能 | アドレス |
|-----------|---------------|--------------------------------|
| DCRA0CIN | CRC インプットレジスタ | <DCRA0_base> + 00 _H |
| DCRA0COUT | CRC データレジスタ | <DCRA0_base> + 04 _H |
| DCRA0CTL | CRC 制御レジスタ | <DCRA0_base> + 20 _H |

31.2.2 DCRA0CIN — CRC インプットレジスタ

CRC インプットレジスタは、入力データ格納用の 32 ビットレジスタです。

本レジスタにデータを設定すると対応する CRC コードを生成します。

CRC 制御レジスタの DCRA0ISZ1, 0 ビットで CRC 演算回路で使用する有効ビット幅を選択します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF7 0000_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | DCRA0CIN | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DCRA0CIN | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

表 31.3 DCRA0CIN レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|-----------------|---|
| 31 ~ 0 | DCRA0CIN [31:0] | CRC 計算用入力データ 以下の有効ビット幅に対応しています。 <ul style="list-style-type: none"> 有効ビット幅 32 ビット : DCRA0CIN[31:0] 有効ビット幅 16 ビット : DCRA0CIN[15:0] 有効ビット幅 8 ビット : DCRA0CIN[7:0] |

31.2.3 DCRA0COUT — CRC データレジスタ

CRC データレジスタは、CRC (32-Ethernet/16-CCITT) の演算結果格納用の 32 ビットレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF7 0004_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------------|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | DCRA0COUT | | | | | | | | | | | | | | | |
| リセット後の値 注1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DCRA0COUT | | | | | | | | | | | | | | | |
| リセット後の値 注1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

注1. リセット後のリード値は、リセット後の CRC 生成方式の選択が 32 ビットイーサネット多項式になっているため、0000 0000_H になります。

表 31.4 DCRA0COUT レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|---------------------|--|
| 31 ~ 0 | DCRA0COUT [31:0] | CRC コード生成の結果 16 ビット CCITT 多項式を有効にした場合は、ビット 15 ~ 0 が CRC の結果を示し、ビット 31 ~ 16 は不定になります。 本レジスタのリード値は、以下の値と EXOR 演算された値となります。 <ul style="list-style-type: none"> 32 ビットイーサネット多項式の場合 : FFFF FFFF_H 16 ビット CCITT 多項式の場合 : 0000_H 例えば、32 ビットイーサネット多項式で、DCRA0COUT = 5555 5555 _H のとき AAAA AAAA _H がリードされます。 |

注 意

データブロックの最初のデータを DCRA0CIN レジスタに書き込む前に、本レジスタを初期化（初期開始値を設定）する必要があります。

31.2.4 DCRA0CTL — CRC 制御レジスタ

CRC 制御レジスタは、CRC の制御を行うビットレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFF7 0020_H

リセット後の値 00_H

| | | | | | | | | |
|---------|---|---|---|---|---|---------------|-----|----------|
| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | DCRA0ISZ[1:0] | | DCRA0POL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R/W | R/W | R/W |

表 31.5 DCRA0CTL レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|---------------|---|
| 7 ~ 3 | — | 予約ビットです。 |
| 2, 1 | DCRA0ISZ[1:0] | 入力データ幅選択ビット CRC インプットレジスタの入力データ有効幅を選択するビットです。 bit2 bit1 0 0 : 入力データの有効幅を 32 ビット (DCRA0CIN31 ~ 0) に指定 0 1 : 入力データの有効幅を 16 ビット (DCRA0CIN15 ~ 0) に指定 1 0 : 入力データの有効幅を 8 ビット (DCRA0CIN7 ~ 0) に指定 1 1 : 設定禁止 |
| 0 | DCRA0POL | CRC 生成多項式選択ビット CRC 生成多項式を選択するビットです。 0 : 32-Ethernet (32 ビットの CRC コード生成) を選択 1 : 16-CCITT (16 ビットの CRC コード生成) を選択 |

注 意

- CRC 生成方式 (DCRA0CTL.DCRA0POL) を変更した場合は、DCRA0COUT レジスタを初期化する必要があります。
- データブロックのビット幅に合わせて CRC 入力 ビット幅 (DCRA0CTL.DCRA0ISZ[1:0]) を設定する必要があります。データブロックの処理中に CRC 入力 ビット幅を変更することは禁止されています。DCRA0COUT レジスタから最終的な CRC の結果を読み出したあとは、CRC 入力ビット幅を変更することができます。その場合は、あとで DCRA0COUT レジスタを初期化 (初期開始値を設定) する必要があります。

31.3 機能

データ CRC 機能 A は任意のデータブロック長の CRC (巡回冗長検査) を生成します。データは、8 ビット単位、16 ビット単位または 32 ビット単位でデータ CRC 機能に転送されます。32 ビットイーサネット用または 16 ビット CCITT 用の CRC 多項式を選択できます。CRC 入力レジスタ (DCRA0CIN) への最初の書き込みアクセスを行う前に、DCRA0COUT レジスタに初期開始値を設定する必要があります。

以下のフローチャートは、CRC の生成の流れを示しています。

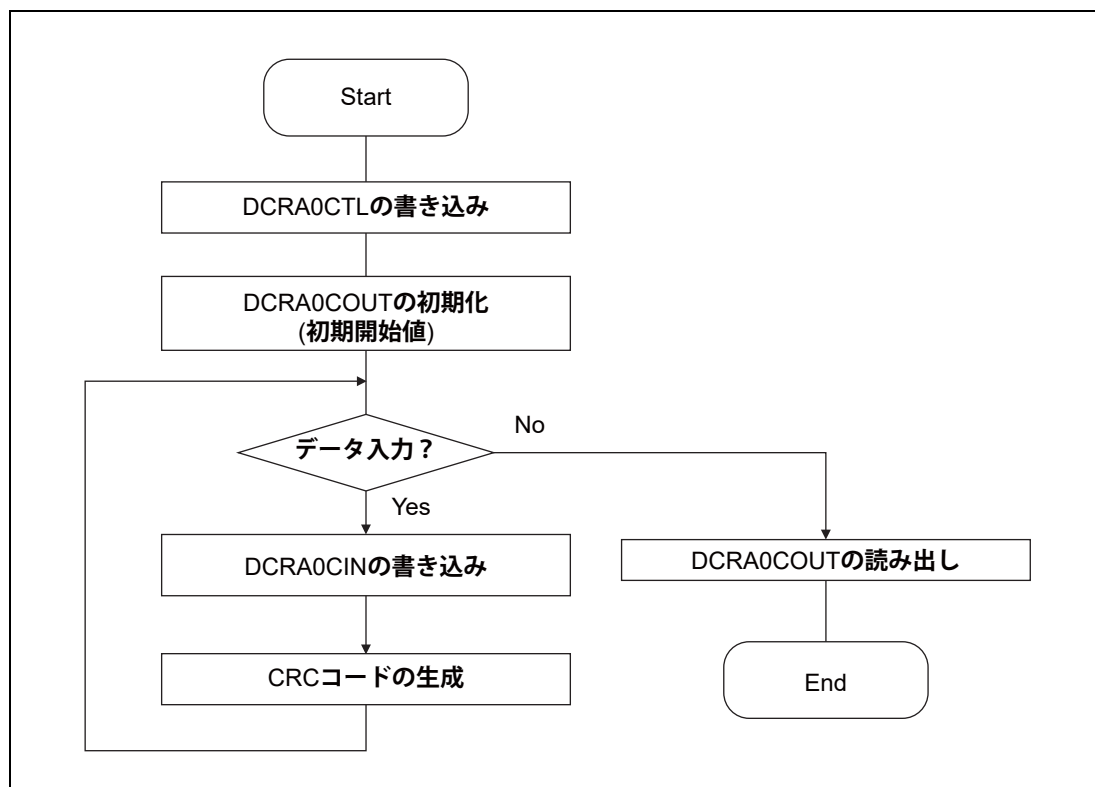


図 31.2 データ CRC 機能 A のフロー図

備考

1. 最初のデータを DCRA0CIN に書き込む前に、CRC 出力レジスタ DCRA0COUT を開始値で初期化 (初期開始値) する必要があります。
2. DCRA0CTL.DCRA0POL を変更することによって多項式を変更した場合は、DCRA0COUT を再初期化 (初期開始値) する必要があります。

第 32 章 オンチップデバッグユニット (OCD)

32.1 デバッグ機能

本製品には、オンチップデバッグ機能があります。オンチップデバッグエミュレータの使用により、ターゲットシステムに搭載されたマイクロコントローラでプログラムをデバッグできます。

注 意

この章で説明するデバッグ機能は、マイクロコントローラではサポートされますが、使用できるかどうかはデバッガによって決まります。デバッグの詳細はデバッガのユーザーズマニュアルを参照してください。

(1) デバッグインタフェース

デバッグインタフェースとして、“NEXUS JTAG Interface”、“Low Pin Debug Interface (4pin) (以下、LPD (4pin) と記載)”をサポートします。

(2) デバッグモニタ機能

デバッグモード中、デバッグ専用領域でモニタプログラムを実行します。

モニタプログラムを実行することで、次の基本的なデバッグ機能を使用できます。

- ユーザプログラムのダウンロード
- ユーザプログラムの中断中に、ユーザリソース（メモリ、レジスタなど）のリード/ライト
- 任意のアドレスで始まるユーザプログラムの実行

(3) オンチップブレーク機能

CPU1、PCU ごとに 12 本のブレークポイントを搭載。内、4 本は任意のアクセス（アクセスアドレス、アクセスデータ）を指定可能。

(4) ソフトウェアブレーク機能

任意のアドレスにソフトウェアブレークポイントを指定できます。

(5) 強制ブレーク機能

ユーザプログラムの実行を強制的に中断可能です。

(6) 強制リセット機能

マイクロコントローラ（本製品）を強制的にリセット可能です。

(7) リアルタイム RAM モニタ (RRM)

プログラム実行中にメモリをリードできます。このリードアクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(8) ダイナミックメモリ変更 (DMM)

プログラム実行中にメモリをライトできます。このライトアクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(9) タイマ機能

32 ビットカウンタを使用し、デバッグ用クロックに基づいてユーザプログラムの実行時間を測定できます。

(10) マスク機能

リセット要因（外部リセット、ソフトウェアリセット、ECMリセット）をマスクすることが可能です。

(11) イベント検出機能

実行アドレス/アクセス・アドレス/アクセスデータ/範囲（大小比較）/シーケンシャル実行によるイベント検出が可能です。

(12) トリガ出力インタフェース

外部デバッグ装置にイベント検出などを通知するイベントトリガ出力インタフェースを装備しています。EVTO 端子出力により、外部へのイベント検出のトリガ出力が可能です。

(13) ホットプラグイン機能

通常動作モードから外部リセット入力なしで、デバッグを開始することができます。

(14) セキュリティ機能

フラッシュメモリの内容が権限のないユーザにリードされないように、128 ビットの ID コード (OCD_ID) をマイクロコントローラにライトすることができます。デバッグ起動時にユーザが入力するコードがマイクロコントローラにライトされた ID コードに一致しない場合は、フラッシュメモリにアクセスできません。

(15) キャリブレーション機能

エミュレーションメモリとなる ERAM により、Flash メモリのエミュレーション、ROM データのチューニングを行うことができます。

詳細は、「**32.2 キャリブレーション機能**」を参照してください。

(16) トレース機能

ユーザプログラムの実行履歴やデータ変化等を取得することができます。

詳細は、「**32.3 トレースコントロール機能**」を参照してください。

(17) マルチコアデバッグ機能

CPU1、PCU を対象としたマルチコアデバッグとして、以下の機能をサポート。

- 同期機能（リセット、実行、ブレイク）、同期設定

32.2 キャリブレーション機能

本製品は、内蔵 Flash メモリのエミュレーションメモリとなる Emulation RAM を搭載しています。

(1) Emulation RAM

Emulation RAM を 8KB 搭載しています。

(2) Flash エミュレーション機能

Flash 領域の任意の領域に対して、Emulation RAM をマッピング可能です。

- バンク 0 : 8KB

(3) チューニング機能

Flash 領域にマッピングした Emulation RAM を介してユーザプログラムの実行中に ROM データのダイナミックチューニングが可能です。

(4) Flash キャッシュクリア機能

Emulation RAM のマッピング設定時に Flash キャッシュのクリアを行います。これにより、内蔵 Flash メモリ / Emulation RAM と Flash キャッシュのメモリ内容のコヒーレンスを維持します。

32.3 トレースコントロール機能

本製品は、ソフトトレース機能によりユーザプログラムの実行履歴やデータ変化等を取得することができます。

ソフトトレース情報は、デバッグインタフェース (LPD (4pin)) を介して、出力可能です。

32.4 ペリフェラルブ레이크の制御

ペリフェラルブ레이크は、ユーザプログラムが停止した場合 (ブ레이크ポイントなどで) に、周辺モジュールを停止させる機能です。

ペリフェラルブ레이크時の内蔵モジュールの動作は以下のようになります。

1. 無条件で停止するモジュール
WDTA0、WDTA1
2. 機能停止・継続を選択できるモジュール^{注1}
OSTM0、OSTM1、OSTM2、TAPA2、TSG20、ATU4

注 1. TAPAn ではペリフェラルブ레이크による機能停止時に、TSG2n の PWM 出力端子 TSON1 ~ 6 を強制的に Hi-z 状態にします。また、TAPAnFLG レジスタの TAPAnHOF[10:8] ビットの値が 111B になります。

32.5 オンチップデバッグ使用上の注意

- (1) デバッグに使用したデバイスの処理
デバッグに使用したデバイスを量産製品に搭載しないでください。デバッグ中にフラッシュメモリが書き換えられているため、フラッシュメモリの書き換え回数を保証できません。
- (2) 本製品は、デバッグモード中にデバッグツールの電源 OFF (コネクタ抜去含む) に対応する、ホットプラグアウト機能をサポートしていません。デバッグモード中に NEXUS ツールの電源 OFF (コネクタ抜去含む) を行わないでください。
- (3) オンチップデバッグを終了する際は、 $\overline{\text{TRST}}$ 端子と外部リセット端子をロウレベルにしてください。
- (4) デバッガを使用する際、OCD エミュレータとマイコンとの通信準備が成立する前にマイコンに書き込まれているプログラムがリセットベクタから動作します。このため、お客様の意図せず動作することがあるため、注意が必要です。
この通信準備期間は、OCD エミュレータのホスト PC 環境、およびマイコンの動作周波数に依存します。

第33章 フラッシュメモリ

本製品は、Code Flash メモリと Data Flash メモリを内蔵しています。

33.1 特長

- Code Flash メモリ容量：ユーザ領域 2 M バイト、ユーザ・ブート領域 32 K バイト
- Data Flash メモリ容量：データ領域 64 K バイト
- 書き換え方式
 - 専用フラッシュ・メモリ・プログラマによるシリアル・インタフェース通信を介した書き換え（シリアル・プログラミング）
 - ユーザ・プログラムによるフラッシュ・メモリの書き換え（セルフ・プログラミング）
- フラッシュ・メモリの不正改ざん／不正読み出しを防止するセキュリティ機能をサポート
- フラッシュ・メモリの誤書き換えを防止するプロテクション機能をサポート
- フラッシュ・メモリの誤り検出／訂正機能をサポート
- BGO（Back Ground Operation）機能をサポート
 - Data Flash メモリ書き換え中の Code Flash メモリ読み出しが可能
- セルフ・プログラミング中の割り込み受け付け可能
- 本製品の初期設定を、フラッシュ・メモリの拡張領域（オプションバイト）に設定可能

33.2 メモリ構成

図 33.1 に、Code Flash メモリ・マッピングを示します。本製品の Code Flash メモリのユーザ領域は 8 KB または 32 KB のブロックに分割されており、各ブロック単位で消去可能です。ユーザ領域は、ユーザ・プログラムの格納領域として利用可能です。

セルフ・プログラミングでは書き換えられない保護領域として、32 KB のユーザブート領域を 1 ブロック内蔵しています。ユーザ・ブート領域は、ユーザ任意のインタフェースを使用した Code Flash メモリ書き換え用ブート・プログラムなど、ユーザ・プログラム動作時の書き換えを禁止したいブート・プログラム等の格納領域として利用可能です。

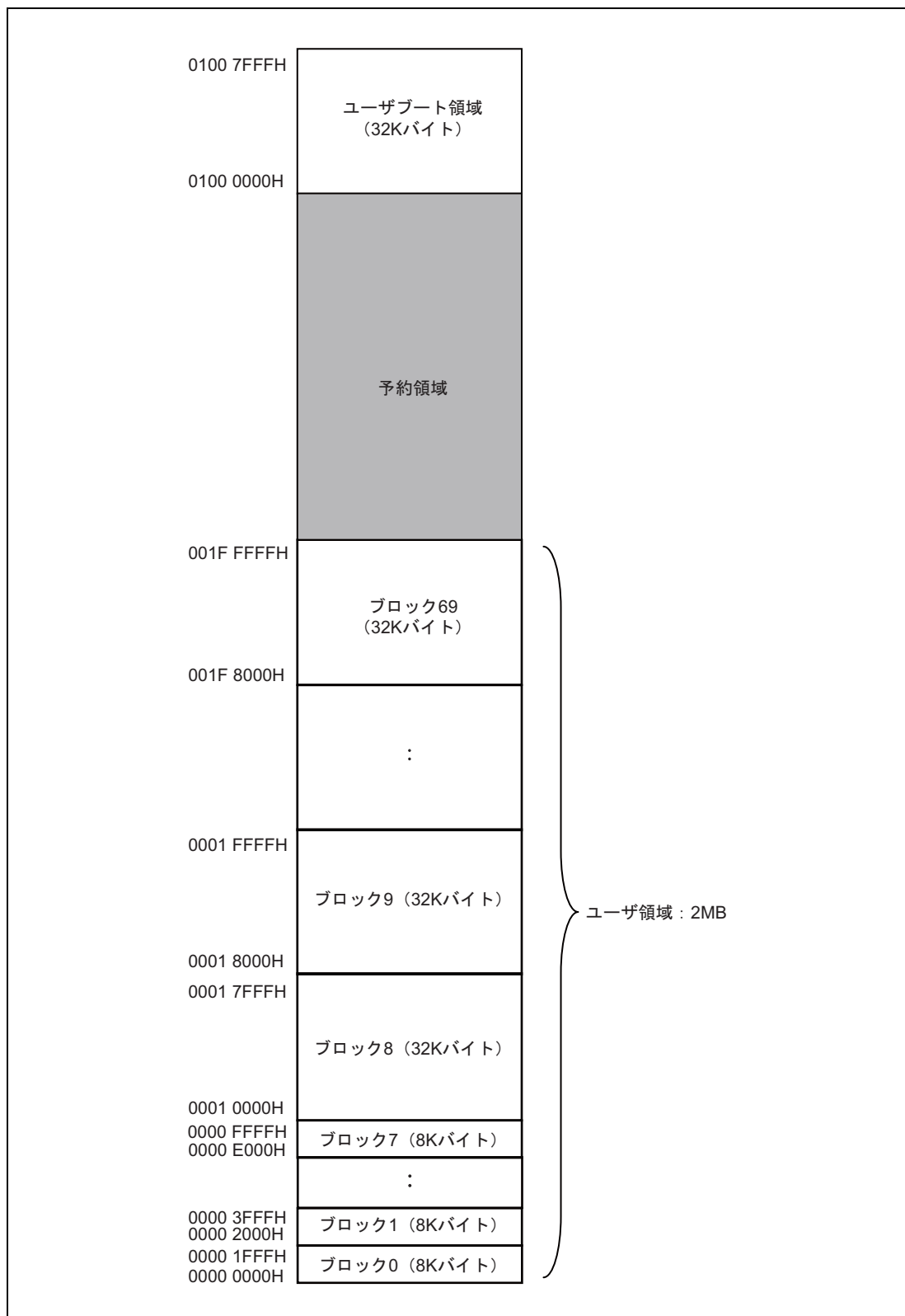


図 33.1 Code Flash メモリ・マッピング (1バンク、8 KB × 8 + 32 KB × 62 構成)

本製品の Data Flash メモリのデータ領域は 64 B のブロックに分割されており、各ブロック単位で消去可能です。図 33.2 に、Data Flash メモリ・マッピングを示します。

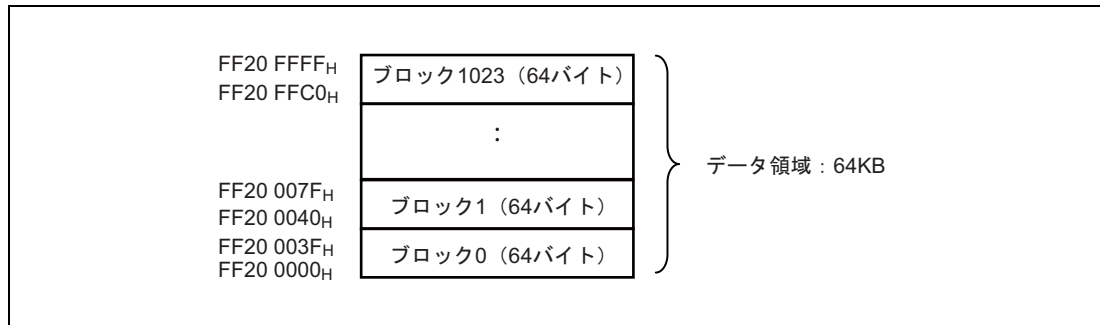


図 33.2 Data Flash メモリ・マッピング

33.3 フラッシュメモリ関連の動作モード

図 33.3 にフラッシュメモリに関するモードの遷移図を示します。モード設定の方法については「第5章 動作モード」を参照してください。

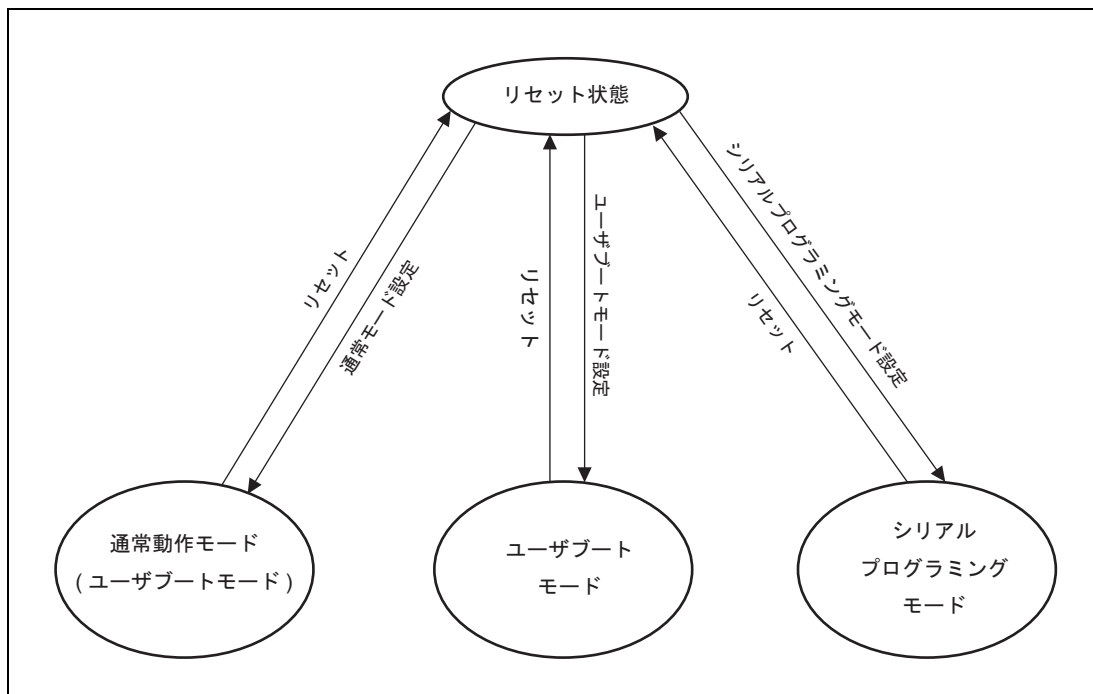


図 33.3 フラッシュ・メモリに関するモード遷移図

各モードで書き込み／消去が可能なフラッシュ・メモリの領域、リセット後の起動プログラムが異なります。各モードの相違点を表 33.1 にまとめます。

表 33.1 各モードの相違点

| 項目 | 通常動作モード (ユーザブートモード) 注1 | ユーザ・ブート・モード | シリアル・プログラミング・ モード |
|-------------------|------------------------------|---------------------|-----------------------------|
| 書き込み／消去が 可能な領域 | ユーザ領域 データ領域 | ユーザ領域 データ領域 | ユーザ領域 ユーザ・ブート領域 データ領域 |
| リセット時の 起動プログラム | ユーザ領域のプログラム | ユーザ・ブート領域の プログラム | シリアル・プログラミング用 組み込みプログラム |

注 1. 各モードの詳細は「第5章 動作モード」を参照してください。

33.4 機能概要

本製品の内蔵フラッシュ・メモリは、専用フラッシュ・メモリ・プログラマによるシリアル・インタフェース通信を介した書き換え（シリアル・プログラミング）により、ターゲット・システムへの実装前、実装後にかかわらず書き換えが可能です。

また、内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え（セルフ・プログラミング）は、ターゲット・システムの製造／出荷後のプログラム変更を想定したアプリケーションに適した書き換え方式です。フラッシュ・メモリ領域を安全に書き換えるためのプロテクション機能もサポートしています。また、セルフ・プログラミング中の割り込み処理のサポートにより、外部との通信制御に関する割り込み処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。各書き換え方式の概要と対応する動作モードを『表 33.2 書き換え方法』に示します。

表 33.2 書き換え方法

| 書き換え方法 | 機能概要 | 動作モード |
|--------------|--|------------------------|
| シリアル・プログラミング | 専用フラッシュ・メモリ・プログラマを用いてターゲット・システム上に実装後にフラッシュ・メモリのオンボード書き換えが可能です。 | シリアル・プログラミング・モード |
| | 専用フラッシュ・メモリ・プログラマと専用プログラム・アダプタ・ボードを用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリのオフボード書き換えが可能です。 | |
| セルフ・プログラミング | シリアル・プログラミングにより Code Flash メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です。 セルフ・プログラミングによる Data Flash メモリの書き換え時には、BGO 機能により Code Flash メモリからの命令フェッチおよびデータの読み出しが可能です。このため、Code Flash メモリ上の書き換え用のプログラムを実行して、Data Flash メモリを書き換えることができます。 セルフ・プログラミングによる Code Flash メモリの書き換え時には、Code Flash メモリからの命令フェッチおよびデータ・アクセスはできません。Local RAM または Global RAM へ書き換え用のプログラムをあらかじめ転送して実行する必要があります。 | 通常動作モード ユーザ・ブート・モード |

セルフ・プログラミングを実施する場合には、本製品の対象となる『RH850/E1x フラッシュメモリ ユーザーズマニュアルハードウェアインタフェース編』のユーザーズ・マニュアルを参照してください。

内蔵フラッシュ・メモリの機能一覧を『表 33.3 基本機能一覧』に示します。シリアル・プログラミングにおける各機能は、専用フラッシュ・メモリ・プログラマのコマンドで実現されます。セルフ・プログラミングにおける各機能は、フラッシュ・メモリのハードウェア・インタフェース操作、またはユーザ・プログラムによる内蔵フラッシュ・メモリの読み出しで実現されます。

表 33.3 基本機能一覧

| 機能 | 機能概要 | サポートの有無 (○：サポート、△：条件付サポート×：未サポート) | |
|-------------------------------------|--|--------------------------------------|---------------------------|
| | | シリアル・プログラミング | セルフ・プログラミング |
| ブランク・チェック | 指定したブロックが書き込まれていないことの確認を行います。消去後に書き込んでいない状態の Code Flash メモリと Data Flash メモリの読み出し結果は保証されません。消去後に書き込んでいない状態の確認には、ブランク・チェックを使用してください。 | ○ | ○ |
| ブロック消去 | 指定したブロックのメモリの内容の消去を行います。 | ○ | ○ |
| プログラム | 指定したアドレスの書き込みを行います。 | ○ | ○ |
| ベリファイ／ チェック・サム | フラッシュ・メモリから読み出したデータと、フラッシュ・メモリ・プログラマから転送されたデータの比較を行います。 | ○ | ○ |
| リード | フラッシュ・メモリに書き込まれたデータの読み出しを行います。 | ○ | ○ |
| OTP (One Time Programming) 設定 | 指定した Code Flash メモリのブロックに対する OTP の設定を行います (OTP を設定のみ可能、解除は不可能)。 | ○ | ○ |
| ID 設定 | シリアル・プログラミング時の専用フラッシュ・メモリ・プログラマ接続制御、OCD 接続、セルフ・プログラミングによる Code Flash メモリ書き込みの有効化に使用する ID の設定を行います。 | ○ | ○ |
| セキュリティ設定 | シリアル・プログラミング用のセキュリティ機能の設定を行います。 | ○ | △ (設定を許可から禁止にする場合のみ可能) |
| プロテクション設定 | Code Flash メモリの各ブロックのロックビットの設定を行います。 | ○ | ○ |
| オプション・バイト設定 | オプション・バイトの設定を行い、本製品の初期設定を変更します。 | ○ | ○ |
| コンフィグレーション・ クリア | ID 設定、セキュリティ設定、プロテクション設定、オプション・バイト設定を初期化します。 | ○ | × |

シリアル・プログラミングの詳細につきましては、『PG-FP5 フラッシュメモリ プログラマ ユーザーズマニュアル』、『Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル』をご参照ください。

セルフ・プログラミングの詳細につきましては、本製品の対象となる『RH850/E1x フラッシュメモリ ユーザーズマニュアルハードウェアインタフェース編』のユーザーズマニュアルをご参照ください。

内蔵フラッシュ・メモリは、各種のセキュリティ機能をサポートしています。

OTP と ID 認証は、シリアル・プログラミングおよびセルフ・プログラミングともに使用できるセキュリティ機能です

シリアル・プログラミング時は、ID 認証、専用フラッシュ・メモリ・プログラマ接続禁止、コマンド禁止（ブロック消去コマンド禁止／プログラム・コマンド禁止／リード・コマンド禁止）のいずれかのセキュリティ機能を使用可能です。内蔵フラッシュ・メモリでサポートされるセキュリティ機能を『表 33.4 セキュリティ機能一覧』、セキュリティ設定時の動作を『表 33.5 セキュリティ設定時の動作』に示します。

表 33.4 セキュリティ機能一覧

| 機能 | 機能概要 |
|-----------------------|---|
| OTP | Code Flash メモリのユーザ領域の各ブロック、ユーザ・ブート領域に対して、個別に OTP を設定可能です。OTP 設定された領域は、シリアル・プログラミングおよびセルフ・プログラミングで書き換え禁止となり、それ以降 OTP 設定は解除できません。また、いずれかの領域に対して OTP が設定された場合、コンフィグレーション・クリア・コマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。 |
| ID 認証 | シリアル・プログラミング時の専用フラッシュ・メモリ・プログラマ接続を ID 認証結果で制御可能です。また、セルフ・プログラミングによる Code Flash メモリ書き込みの有効化を ID 認証結果で制御可能です。 |
| 専用フラッシュ・メモリ・プログラマ接続禁止 | シリアル・プログラミング時の専用フラッシュ・メモリ・プログラマ接続を禁止します。専用フラッシュ・メモリ・プログラマ接続を禁止すると、コンフィグレーション・クリア・コマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。 |
| ブロック消去コマンド禁止 | シリアル・プログラミング時のブロック消去コマンドの実行を禁止します。ブロック消去コマンドを禁止すると、コンフィグレーション・クリア・コマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。 |
| プログラム・コマンド禁止 | シリアル・プログラミング時のプログラム・コマンドとブロック消去コマンドの実行を禁止します。ブロック消去コマンドは、ユーザ領域をブロック 0 から順番に全領域消去→ユーザ・ブート領域を消去→データ領域をブロック 0 から順番に全領域消去する使用方法でのみ実行可能です。コンフィグレーション・クリア・コマンドの実行によってのみ、禁止設定の初期化が可能です。 |
| リード・コマンド禁止 | シリアル・プログラミング時のリード・コマンドの実行を禁止します。コンフィグレーション・クリア・コマンドの実行によってのみ、禁止設定の初期化が可能です。 |

表 33.5 セキュリティ設定時の動作

| 機能 | 各セキュリティ設定時の消去/書き込み/読み出し動作 (○: 実行可能、×: 実行不可、-: 未サポート) | | セキュリティ設定 注意事項 | |
|-----------------------|---|--|--|--|
| | シリアル・プログラミング | セルフ・プログラミング | シリアル・プログラミング | セルフ・プログラミング |
| OTP | <ul style="list-style-type: none"> OTP 設定された領域 ブロック消去コマンド: × プログラム・コマンド: × リード・コマンド: ○ OTP 設定されていない領域 ブロック消去コマンド: ○ プログラム・コマンド: ○ リード・コマンド: ○ | <ul style="list-style-type: none"> OTP 設定された領域 ブロック消去: × 書き込み: × 読み出し: ○ OTP 設定されていない領域 ブロック消去: ○ 書き込み: ○ 読み出し: ○ | OTP 設定の解除が不可能 コンフィグレーション・クリア・コマンドの実行が不可能 | OTP 設定の解除が不可能 |
| ID 認証 | <ul style="list-style-type: none"> ID が不一致の場合 ブロック消去コマンド: × プログラム・コマンド: × リード・コマンド: × ID が一致した場合 ブロック消去コマンド: ○ プログラム・コマンド: ○ リード・コマンド: ○ | <ul style="list-style-type: none"> ID が不一致の場合 <ul style="list-style-type: none"> Code Flash メモリ ブロック消去: × 書き込み: × 読み出し: ○ Data Flash メモリ ブロック消去: ○ 書き込み: ○ 読み出し: ○ ID が一致した場合 ブロック消去: ○ 書き込み: ○ 読み出し: ○ | コンフィグレーション・クリア・コマンドによる禁止設定の初期化が可能 ブロック消去コマンド禁止の設定が不可能 プログラム・コマンド禁止の設定が不可能 リード・コマンド禁止の設定が不可能 | ID 認証機能は常に有効 |
| 専用フラッシュ・メモリ・プログラマ接続禁止 | ブロック消去コマンド: × プログラム・コマンド: × リード・コマンド: × | ブロック消去: ○ 書き込み: ○ 読み出し: ○ | コンフィグレーション・クリア・コマンドの実行が禁止されるため、禁止設定の初期化が不可能 | コンフィグレーション・クリア・コマンドがサポートなしのため、禁止設定の初期化が不可能 |
| ブロック消去コマンド禁止 | ブロック消去コマンド: × プログラム・コマンド: ○ リード・コマンド: ○ | ブロック消去: ○ 書き込み: ○ 読み出し: ○ | コンフィグレーション・クリア・コマンドの実行が禁止されるため、禁止設定の初期化が不可能 シリアル・プログラミング用の ID 認証機能の有効設定が不可能 | コンフィグレーション・クリア・コマンドがサポートなしのため、禁止設定の初期化が不可能 |
| プログラム・コマンド禁止 | ブロック消去コマンド: ×注1 プログラム・コマンド: × リード・コマンド: ○ | ブロック消去: ○ 書き込み: ○ 読み出し: ○ | コンフィグレーション・クリア・コマンドによる禁止設定の初期化が可能 | コンフィグレーション・クリア・コマンドがサポートなしのため、禁止設定の初期化が不可能 |
| リード・コマンド禁止 | ブロック消去コマンド: ○ プログラムコマンド: ○ リードコマンド: × | ブロック消去: ○ 書き込み: ○ 読み出し: ○ | シリアル・プログラミング用の ID 認証機能の有効設定が不可能 | |

注 1. ブロック消去コマンドは、ユーザ領域をブロック 0 から順番に全領域消去→ユーザ・ブート領域を消去→データ領域をブロック 0 から順番に全領域消去する使用方法でのみ実行可能です。

内蔵フラッシュ・メモリは、各種のプロテクション機能をサポートしています。内蔵フラッシュ・メモリでサポートされるプロテクション機能を『表 33.6 プロテクション機能一覧』に示します。

表 33.6 プロテクション機能一覧

| 機能 | 機能概要 |
|-----------|---|
| ブロック保護 | Code Flash メモリのユーザ領域の各ブロックに対して、個別に書き込み/消去の有効/無効を設定可能です。ロックビットがセットされ、かつロックビット機能が有効に設定された領域は、セルフ・プログラミングで書き込み/消去禁止です。ロックビット機能を有効から無効に変更することで、再度書き込み/消去を実施することも可能です。Code Flash メモリをブロック消去すると、該当ブロックのロックビットも消去されます。 |
| ユーザ・ブート保護 | ユーザ・ブート領域は、セルフ・プログラミングでは書き込み/消去禁止です。シリアル・プログラミングでは、ユーザ・ブート領域を書き込み/消去することが可能です。 |

33.5 シリアル・プログラミング

専用フラッシュ・メモリ・プログラマを使用して、シリアル・プログラミング・モードでフラッシュ・メモリの書き込みを行うことができます。

シリアル・プログラミング

シリアル・プログラミング時に、マイクロコントローラはボードに装着されています。ボードにコネクタを備えることにより、フラッシュ・メモリ・プログラマはターゲット・マイクロコントローラに書き込みを行うことができます。

33.5.1 プログラミング環境

マイクロコントローラのフラッシュ・メモリにデータを書き込むための推奨される環境を次に示します。

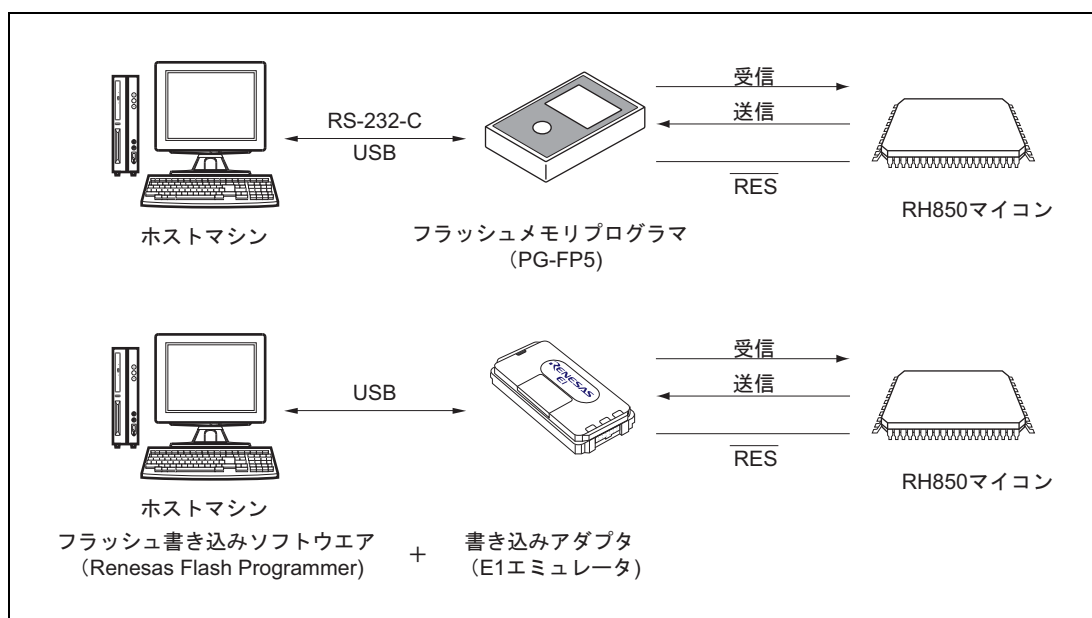


図 33.4 フラッシュメモリにプログラムを書き込むための環境

フラッシュ・メモリ・プログラマ PG-FP5、またはフラッシュ書き込みソフトウェア Renesas Flash Programmer (ホスト・マシンで動作) と E1 エミュレータを書き込みアダプタとして使用することで、ルネサス・エレクトロニクス製のフラッシュ・メモリ内蔵マイコンをユーザが使用するボードに実装したまま、プログラムの消去、書き込み、ベリファイなどが簡単に操作できます。

フラッシュ・メモリ・プログラマ PG-FP5 は、ホスト・マシンからの書き込み操作、または、スタンダオン・モードでの書き込み操作が可能です。フラッシュ書き込みソフトウェア (Renesas Flash Programmer) は、ホスト・マシンから書き込み操作が可能です。

備考： PG-FP5 の詳細は『PG-FP5 フラッシュメモリプログラマ ユーザーズマニュアル』を、フラッシュ書き込みソフトウェア Renesas Flash Programmer の詳細は『Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル』をご参照ください。

33.6 通信方式の選択

本製品では、FLMODE 端子によりシリアル通信の方式を、2 線 UART 方式とクロック同期方式のどちらかを選択することが可能です。FLMODE 端子設定方法の詳細は「**第 5 章 動作モード**」をご参照ください。各通信方式に沿ったプログラミング環境の設定方法は、『PG-FP5 フラッシュメモリプログラマ ユーザーズマニュアル』および、『Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル』をご参照ください。

33.7 セルフ・プログラミング

33.7.1 概要

本製品は、ユーザ・プログラム自体によるフラッシュ・メモリの書き換えをサポートします。フラッシュ・メモリ書き換え用のハードウェア・インタフェースであるフラッシュ・アプリケーション・コマンド・インタフェース (FACI) のコマンドをユーザ・プログラムでを使用することにより、Code Flash メモリと Data Flash メモリを書き換えることができます。したがって、ユーザ・プログラムのアップグレードと、定数データ・フィールドの書き換えが可能になります。

Data Flash メモリの書き換え時には、BGO 機能を利用して Code Flash メモリ上の書き換え用のプログラムを実行して、Data Flash メモリを書き換えることができます。また、あらかじめ Local RAM または Global RAM に転送した書き換え用のプログラムを実行して、Data Flash メモリを書き換えることもできます。

フラッシュ・セルフ・プログラミングに関する包括的な情報は、本デバイスの対象となる『RH850/E1x フラッシュメモリ ユーザーズマニュアルハードウェアインタフェース編』のユーザーズマニュアルを参照してください。

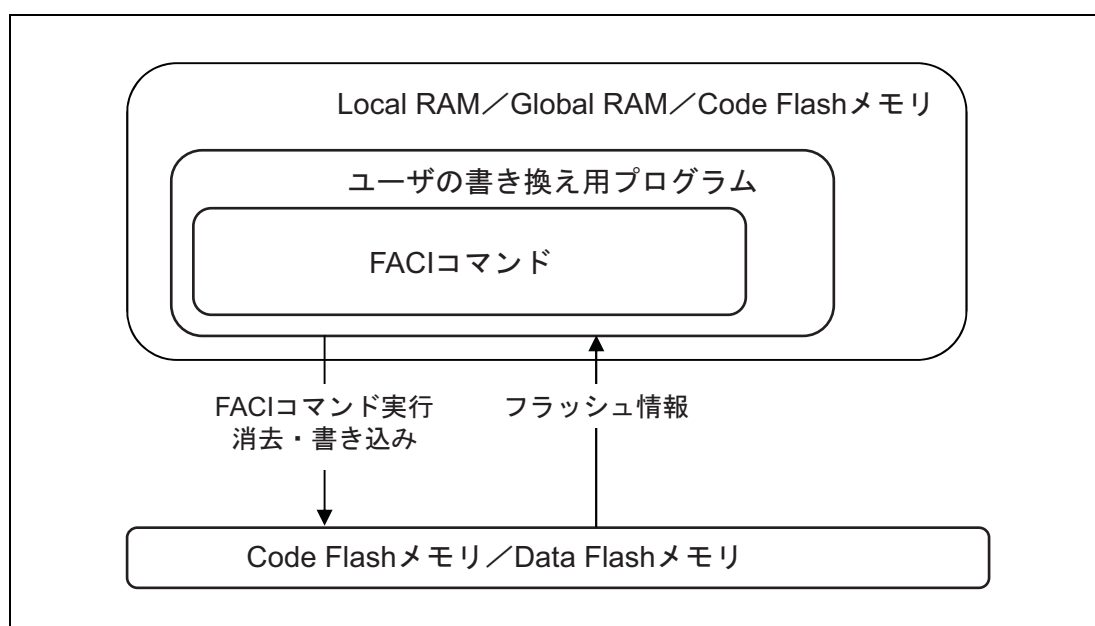


図 33.5 セルフ・プログラミングの概念

33.7.2 BGO 機能

書き換え対象のフラッシュ・メモリと読み出し対象のフラッシュ・メモリが下記の組み合わせである場合には、BGO 機能を利用することができます。

表 33.7 BGO 機能を利用可能な条件

| 書き換え対象領域 | 読み出し対象領域 |
|----------------|----------------|
| Data Flash メモリ | Code Flash メモリ |

33.8 フラッシュ・メモリの読み出し

33.8.1 Code Flash メモリの読み出し

通常モードおよびユーザ・ブート・モードの Code Flash メモリの読み出し時には、特別な設定は必要ありません。Code Flash メモリのアドレスにアクセスすることで、データを読み出すことが可能です。

消去後に書き込んでいない状態（未書き込み状態）の Code Flash メモリを読み出すと、ECC エラーが検出されて例外が発生しますのでご注意ください。また、ECC エラーが発生した場合のデータ値は保証できないため、未書き込み状態の確認には、ブランク・チェック機能を使用してください。ECC 機能の詳細は「**第 29 章 セーフティ**」の章をご参照ください。

33.8.2 Data Flash メモリの読み出し

通常モードおよびユーザ・ブート・モードの Data Flash メモリの読み出し時には、事前に FRDCYCLD レジスタに Data Flash メモリの読み出しサイクル数を設定してください。読み出しサイクル数を設定後に Data Flash メモリのアドレスにアクセスすることで、データを読み出すことが可能です。

消去後に書き込んでいない状態（未書き込み状態）の Data Flash メモリの値は不定です。未書き込み状態の確認には、ブランク・チェック機能を使用してください。

33.9 レジスタの説明

33.9.1 Data Flash メモリ関連のレジスタ

表 33.8 に、Data Flash メモリ関連のレジスタ一覧を示します。

表 33.8 Data Flash メモリ関連のレジスタ一覧

| レジスタ名 | 略称 | R/W | リセット後の値 | アドレス | アクセスサイズ |
|------------------------------|----------|-----|-----------------|------------------------|---------|
| Data Flash メモリ読み出しサイクル設定レジスタ | FRDCYCLD | R/W | 0F _H | FFC5 9810 _H | 8 |

33.9.1.1 FRDCYCLD — Data Flash メモリ読み出しサイクル設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC5 9810_H

リセット後の値 0F_H

| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|---|---|---|---|---------------|-----|-----|-----|
| | — | — | — | — | FRDCYCLD[3:0] | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

表 33.9 FRDCYCLD レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|----------------|---|
| 7 ~ 4 | — | 予約ビット |
| 3 ~ 0 | FRDCYCLD [3:0] | Data Flash メモリ読み出しサイクル数 設定値 + 1 サイクルで、Data Flash メモリを読み出します。 00 _H ~ 02 _H : 設定禁止 03 _H : リードサイクル 4 04 _H : リードサイクル 5 05 _H : リードサイクル 6 06 _H : リードサイクル 7 07 _H : リードサイクル 8 08 _H : リードサイクル 9 09 _H ~ 0F _H : リードサイクル 10 |

33.9.2 フラッシュ・メモリ書き込み・消去プロテクト関連レジスタ

表 33.10 に、フラッシュ・メモリ書き込み・消去プロテクト関連のレジスタ一覧を示します。

表 33.10 フラッシュ・メモリ書き込み・消去プロテクト関連のレジスタ一覧

| レジスタ名 | 略称 | R/W | リセット後の値 | アドレス | アクセスサイズ |
|-------------------|--------|-----|------------------------|------------------------|---------|
| FHVE15 コントロールレジスタ | FHVE15 | R/W | 0000 0000 _H | FFF8 A430 _H | 32 |
| FHVE3 コントロールレジスタ | FHVE3 | R/W | 0000 0000 _H | FFF8 2410 _H | 32 |

33.9.2.1 FHVE15 — FHVE15 コントロールレジスタ

FHVE15 レジスタは、フラッシュ書き込み／消去実行をソフト的にプロテクトするための読み出し／書き込み可能なレジスタです。フラッシュ書き込み／消去のためには、FHVE15 レジスタと FHVE3 レジスタを共に書き込み／消去可能な状態（0000 0001_H）に設定してください。

アクセス 32ビット単位でリード／ライト可能です。

アドレス FFF8 A430_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-----------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | FHVE15CNT |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 33.11 FHVE15 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|-----------|-------------------------------|
| 31～1 | — | 予約ビット |
| 0 | FHVE15CNT | 0: 書き込み／消去不可能 1: 書き込み／消去可能 |

33.9.2.2 FHVE3 — FHVE3 コントロールレジスタ

FHVE3 レジスタは、フラッシュ書き込み/消去実行をソフト的にプロテクトするための読み出し/書き込み可能なレジスタです。フラッシュ書き込み/消去のためには、FHVE15 レジスタと FHVE3 レジスタを共に書き込み/消去可能な状態 (0000 0001_H) に設定してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 2410_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|--------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | FHVE3 CNT |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 33.12 FHVE3 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|----------|-------------------------------|
| 31 ~ 1 | — | 予約ビット |
| 0 | FHVE3CNT | 0: 書き込み/消去不可能 1: 書き込み/消去可能 |

33.9.3 製品情報関連レジスタ

表 33.13 に、製品情報関連のレジスタ一覧を示します。

表 33.13 製品情報関連のレジスタ一覧

| レジスタ名 | 略称 | R/W | リセット後の値 | アドレス | アクセスサイズ |
|---------------|----------|-----|-------------|------------------------|---------|
| 製品名格納レジスタ (1) | PRDNAME1 | R | 表 33.14 を参照 | FFCD 00D0 _H | 32 |
| 製品名格納レジスタ (2) | PRDNAME2 | R | 表 33.14 を参照 | FFCD 00D4 _H | 32 |
| 製品名格納レジスタ (3) | PRDNAME3 | R | 表 33.14 を参照 | FFCD 00D8 _H | 32 |
| 製品名格納レジスタ (4) | PRDNAME4 | R | 表 33.14 を参照 | FFCD 00DC _H | 32 |

表 33.14 製品名と PRDNAME 初期値 (リセット後の値) の関係

| 製品型名 | PRDNAME4 | PRDNAME3 | PRDNAME2 | PRDNAME1 |
|-----------|------------------------|------------------------|------------------------|------------------------|
| R7F701201 | 2020 2020 _H | 2020 2031 _H | 3032 3130 _H | 3746 3752 _H |
| R7F701205 | 2020 2020 _H | 2020 2035 _H | 3032 3130 _H | 3746 3752 _H |
| R7F701206 | 2020 2020 _H | 2020 2036 _H | 3032 3130 _H | 3746 3752 _H |

33.9.3.1 PRDNAME_n, n = 1 ~ 4 — 製品名格納レジスタ

| | | | | | | | | | | | | | | | | |
|---------------|--|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | PRDNAME _n [31:16] (n = 1 ~ 4) | | | | | | | | | | | | | | | |
| リセット後の値 注1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PRDNAME _n [15:0] (n = 1 ~ 4) | | | | | | | | | | | | | | | |
| リセット後の値 注1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

注1. 表 33.14 製品名と PRDNAME 初期値（リセット後の値）の関係に示す値となります。

表 33.15 製品情報関連のレジスタ一覧

| ビット位置 | ビット名 | 機能 |
|--------|-------------------|--|
| 31 ~ 0 | PRDNAME [31:0] | 製品名 16 バイトの ASCII コードで製品型名を示します。 PRDNAME1[31:0] : 製品型名の 4 ~ 1 バイト目 PRDNAME2[31:0] : 製品型名の 8 ~ 5 バイト目 PRDNAME3[31:0] : 製品型名の 12 ~ 9 バイト目 PRDNAME4[31:0] : 製品型名の 16 ~ 13 バイト目 |

33.10 オプションバイト

フラッシュ・メモリには、さまざまな目的でユーザが指定したデータを保持する拡張領域（オプション・バイト）があります。オプション・バイト設定による周辺機能の初期設定等の変更は、リセット解除後に有効になります。オプション・バイトの設定領域を表 33.16 に示します。予約領域は常に 1 が読み出せます。設定値も常に 1 にしてください。オプションバイトの設定と読み出し方法は、『PG-FP5 フラッシュメモリプログラマ ユーザーズマニュアル』および『Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル』または、『RH850/E1x フラッシュメモリ ユーザーズマニュアルハードウェアインタフェース編』のユーザーズ・マニュアルを参照してください。

表 33.16 オプション・バイト設定の領域

| オプション・バイト領域 (各 8 ビット×32 = 計 256 ビット) | 設定有効領域 | 出荷品の初期状態 ^{*1} |
|---|--------|------------------------|
| オプション・バイト 4 ~ 1 (OPBT0) | 有効 | 7FFF FFFE _H |
| オプション・バイト 8 ~ 5 (OPBT1) | 予約 | FFFF FFFF _H |
| オプション・バイト 12 ~ 9 (OPBT2) | 有効 | FFFF FFFF _H |
| オプション・バイト 16 ~ 13 (OPBT3) | 予約 | FFFF FFFF _H |
| オプション・バイト 20 ~ 17 (OPBT4) | 予約 | FFFF FFFF _H |
| オプション・バイト 24 ~ 21 (OPBT5) | 予約 | FFFF FFFF _H |
| オプション・バイト 28 ~ 25 (OPBT6) | 予約 | FFFF FFFF _H |
| オプション・バイト 32 ~ 29 (OPBT7) | 予約 | FFFF FFFF _H |

注 1. 出荷品の初期状態の値です。オプション・バイトの設定により値の変更が可能です。

33.10.1 OPBT0 — オプション・バイト4～1ビット配置

| | | | | | | | | | | | | | | | | |
|--------------------|-------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | OPWD RUN | OPWDI NT | OPWD WS1 | OPWD WS0 | OPWD OVF2 | OPWD OVF1 | OPWD OVF0 | — | — | — | — | — | — | — | — | — |
| 初期状態 ^{注1} | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| | R/W | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | STMSEL L1 | STMSEL L0 |
| 初期状態 ^{注1} | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| | R/W | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} | R/W ^{注2} |

注1. 出荷品の初期状態の値です。オプション・バイトの設定により値の変更が可能です。

注2. FACL コマンドを使った場合と、フラッシュ・メモリ・プログラマ PG-FP5、フラッシュ書き込みソフトウェア Renesas Flash Programmer を使用した場合にのみ、読み出しと設定 (R/W) が可能です。

表 33.17 OPBT0 の内容

| ビット位置 | ビット名 | 機能 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|----------|------------------------|---|----------------------------|----------|--------------|----------------|---|-----|---|---------------------------|-----|---|---|----------------------------|---|---|------|----------------------------|---|---|---|----------------------------|---|---|---|----------------------------|---|---|---|----------------------------|---|---|---|----------------------------|---|---|---|----------------------------|
| 31 | OPWDRUN | WDTA0 のスタートモードを選択します。 0 : WDTA0 ソフトウェアトリガスタートモード 1 : WDTA0 デフォルトスタートモード | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 30 | OPWDINT | WDTA0 の 75% 割り込み要求 WDTA0TIT の有効/無効 0 : WDTA0TIT 無効 1 : WDTA0TIT 有効 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 29、28 | OPWDWS1、 OPWDWS0 | WDTA0 のウィンドウオープン期間を選択します。 <table border="1"> <thead> <tr> <th>OPWDWS1</th><th>OPWDWS0</th><th>ウィンドウ・オープン期間</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>25%</td></tr> <tr> <td>0</td><td>1</td><td>50%</td></tr> <tr> <td>1</td><td>0</td><td>75%</td></tr> <tr> <td>1</td><td>1</td><td>100%</td></tr> </tbody> </table> | OPWDWS1 | OPWDWS0 | ウィンドウ・オープン期間 | 0 | 0 | 25% | 0 | 1 | 50% | 1 | 0 | 75% | 1 | 1 | 100% | | | | | | | | | | | | | | | | | | | | | |
| OPWDWS1 | OPWDWS0 | ウィンドウ・オープン期間 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 25% | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 50% | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 75% | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 100% | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 27 ~ 25 | OPWDOVF2 ~ OPWDOVF0 | WDTA0 のオーバフローインターバル時間を選択します。 <table border="1"> <thead> <tr> <th>OPWDOVF2</th><th>OPWDOVF1</th><th>OPWDOVF0</th><th>オーバフローインターバル時間</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>2⁹ / WDTATCKI</td></tr> <tr> <td>0</td><td>0</td><td>1</td><td>2¹⁰ / WDTATCKI</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>2¹¹ / WDTATCKI</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>2¹² / WDTATCKI</td></tr> <tr> <td>1</td><td>0</td><td>0</td><td>2¹³ / WDTATCKI</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>2¹⁴ / WDTATCKI</td></tr> <tr> <td>1</td><td>1</td><td>0</td><td>2¹⁵ / WDTATCKI</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>2¹⁶ / WDTATCKI</td></tr> </tbody> </table> | OPWDOVF2 | OPWDOVF1 | OPWDOVF0 | オーバフローインターバル時間 | 0 | 0 | 0 | 2 ⁹ / WDTATCKI | 0 | 0 | 1 | 2 ¹⁰ / WDTATCKI | 0 | 1 | 0 | 2 ¹¹ / WDTATCKI | 0 | 1 | 1 | 2 ¹² / WDTATCKI | 1 | 0 | 0 | 2 ¹³ / WDTATCKI | 1 | 0 | 1 | 2 ¹⁴ / WDTATCKI | 1 | 1 | 0 | 2 ¹⁵ / WDTATCKI | 1 | 1 | 1 | 2 ¹⁶ / WDTATCKI |
| OPWDOVF2 | OPWDOVF1 | OPWDOVF0 | オーバフローインターバル時間 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | 2 ⁹ / WDTATCKI | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | 2 ¹⁰ / WDTATCKI | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | 2 ¹¹ / WDTATCKI | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | 2 ¹² / WDTATCKI | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | 2 ¹³ / WDTATCKI | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | 2 ¹⁴ / WDTATCKI | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | 2 ¹⁵ / WDTATCKI | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | 2 ¹⁶ / WDTATCKI | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 24 ~ 2 | — | 予約ビット (設定時は 1 を設定してください) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1、0 | STMSEL1、 STMSEL0 | 動作モード・起動領域の選択 端子 MD0、MD1、FLMODE がすべて 0 のとき、STMSEL1、STMSEL0 の値の組み合わせによって、動作モード・起動領域を選択できます。詳細は、「第5章 動作モード」を参照ください。 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

33.10.2 OPBT2 — オプションバイト 12～9 ビット配置

| | | | | | | | | | | | | | | | | |
|--------------------|-----|---------|---------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | OPJTAG1 | OPJTAG0 | — | — | — | — | — | — | — | — | — | — | — | — | — |
| 初期状態 ^{注1} | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| 初期状態 ^{注1} | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

注1. 出荷品の初期状態の値です。オプション・バイトの設定により値の変更が可能です。

注2. FACL コマンドを使った場合と、フラッシュ・メモリ・プログラマ PG-FP5、フラッシュ書き込みソフトウェア Renesas Flash Programmer を使用した場合にのみ、読み出しと設定 (R/W) が可能です。

表 33.18 OPBT2 の内容

| ビット位置 | ビット名 | 機能 | | | | | | | | | | | | | | | |
|---------|---------------------|--|---------|---------|-------------|---|---|-------------------|---|---|------------|---|---|------|---|---|--------------|
| 31 | — | 予約ビット (設定時は 1 を設定してください) | | | | | | | | | | | | | | | |
| 30、29 | OPJTAG1、 OPJTAG0 | デバッグインタフェース切り替え (OPJTAG1,OPJTAG0) の値の組み合わせにより、以下のデバッグインタフェースが選択されます。 <table border="1" data-bbox="657 1041 1420 1232"> <thead> <tr> <th>OPJTAG1</th> <th>OPJTAG0</th> <th>デバッグインタフェース</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>FLSCI3 (ライター I/F)</td> </tr> <tr> <td>0</td> <td>1</td> <td>LPD (4pin)</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>Nexus (JTAG)</td> </tr> </tbody> </table> | OPJTAG1 | OPJTAG0 | デバッグインタフェース | 0 | 0 | FLSCI3 (ライター I/F) | 0 | 1 | LPD (4pin) | 1 | 0 | 設定禁止 | 1 | 1 | Nexus (JTAG) |
| OPJTAG1 | OPJTAG0 | デバッグインタフェース | | | | | | | | | | | | | | | |
| 0 | 0 | FLSCI3 (ライター I/F) | | | | | | | | | | | | | | | |
| 0 | 1 | LPD (4pin) | | | | | | | | | | | | | | | |
| 1 | 0 | 設定禁止 | | | | | | | | | | | | | | | |
| 1 | 1 | Nexus (JTAG) | | | | | | | | | | | | | | | |
| 28～0 | — | 予約ビット (設定時は 1 を設定してください) | | | | | | | | | | | | | | | |

33.11 使用上の注意事項

1. 書き込み／消去を中断した領域の読み出し
書き込み／消去を中断したフラッシュ・メモリ領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み／消去を中断した領域の命令フェッチやデータ読み出しが発生しないように注意してください。
2. 消去後に書き込んでいない状態の Code Flash メモリの読み出し
消去後に書き込んでいない状態（未書き込み状態）の Code Flash メモリ領域を読み出すと、ECC エラーが検出して例外が発生しますので注意してください。未書き込み状態の確認には、ブランク・チェック機能を使用してください。
3. 追加書き込みの禁止
同一領域に2回以上の書き込みを行うことはできません。書き込み済みのフラッシュ・メモリ領域を書き換えたい場合には、必ず当該領域を消去してください。
4. 書き込み／消去中のリセット
書き込み／消去中に外部リセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、リセットパルス幅の min 値以上のリセット入力期間の後にリセット解除してください。
5. 書き込み／消去中の割り込み / 例外ベクタの配置
FCU ファーム転送中、または CodeFlash の書き込み／消去中に割り込み／例外が発生する場合は、事前に割り込み／例外をマスクするか、割り込みハンドラアドレステーブル[※]と例外ハンドラを CodeFlash 以外の命令フェッチ可能空間に配置して下さい。

※ 割り込みハンドラアドレスの選択方式としてテーブル参照方式を使用する場合に該当します。詳細は「RH850G3M ユーザーズマニュアル ソフトウェア編」をご参照下さい。
6. 書き込み／消去中の異常終了
外部リセットや電源瞬断などで書き込み／消去が異常終了したことにより、データが不定状態となったフラッシュ・メモリ領域の消去／書き込み状態を確認するベリファイ手段はありません。書き込み／消去が異常終了した領域に対しては、ブランク・チェック機能では正しく消去状態の判定をできません。再度消去処理を行って、該当領域を完全な消去状態にしたあとにご使用ください。
Code Flash メモリの書き込み／消去が正常に終了しなかった場合、ロックビットが有効になることがあります。この場合には、ロックビットを無効化した状態で、該当ブロックの消去を実施して、ロックビットを消去してください。
7. 書き込み／消去／ブランクチェック中の禁止事項
書き込み／消去／ブランクチェック中は、以下の動作は行わないでください。
 - － 電源を動作電圧範囲外にする
 - － FHVE15 および FHVE3 の値を更新する
 - － 周辺クロックの動作周波数を変更する
8. クロックギアアップシーケンス完了前のフラッシュメモリの各種コマンド実行禁止
シリアル・プログラミングおよびセルフ・プログラミングにおける各種コマンドの実行は、クロックギアアップシーケンスを完了させたあとに実施してください。クロックギアアップシーケンスの詳細については、「第11章 クロックコントローラ」の章をご参照ください。

9. 命令キャッシュとデータバッファのコヒーレンシ確保

コード・フラッシュ・メモリの書き込み/消去終了後は、命令キャッシュとデータバッファのコヒーレンシを確保するため、リセットまたは命令キャッシュとデータバッファのクリアが必要となります。命令キャッシュとデータバッファの詳細は、「**第3章 CPU システム**」をご参照ください。

第34章 フラッシュセキュリティ

本製品は、コードフラッシュおよびデータフラッシュ、ID コードを保護するために、「**第33章 フラッシュメモリ**」に示したセキュリティ機能と本章で追加説明するデバッグインターフェースの接続制限機能を搭載しています。

シリアルプログラミングモード時のセキュリティ機能およびフラッシュメモリの書き換え方法の詳細な説明につきましては、「**第33章 フラッシュメモリ**」をご参照ください。

また、本章では、オンチップデバッグ機能で使用するインターフェース（NEXUS および LPD 4pin）を共通してデバッグインターフェースと略して記載しています。ユーザブートモード時のコードフラッシュおよびデータフラッシュ、ID コードの保護を実施している ID 認証を SELF ID 認証、オンチップデバッグ機能の保護を実施している ID 認証を OCD ID 認証と略して記載しています。なお、SELF ID 認証および OCD ID 認証、さらに、シリアルプログラミングモード時の ID 認証モードにおける ID コードは、データ長 128 ビットですべて共通です。また、出荷品の初期状態では、ID コードは、FFFF_FFFF_FFFF_FFFF_FFFF_FFFF_FFFF_FFFFH となっています。

34.1 特長

34.1.1 コードフラッシュおよびデータフラッシュ、ID コード保護

本製品は、コードフラッシュに書き込まれたユーザプログラム漏洩防止のため、ユーザブートモードおよびシリアルプログラミングモードにおいて、以下のセキュリティ機能を搭載しています。

34.1.1.1 ユーザブートモード固有機能

SELF ID 認証によるコードフラッシュの書き込み/消去、ID コード読み出し保護機能を搭載しています。

(1) セキュリティ状態

本モードでは、2種類のセキュリティ設定状態が存在します。各状態間は、SELF ID 認証および ID コード変更にて遷移します。

1. プロテクトアンロック状態

SELF ID 認証により、セキュリティ機能が解除され、コードフラッシュの書き込み/消去および ID コード読み出しが保護されていない状態

2. プロテクトロック状態

SELF ID 認証により、セキュリティ機能が有効となり、コードフラッシュの書き込み/消去および ID コード読み出しが保護されている状態

34.1.1.2 シリアルプログラミングモード固有機能

シリアルプログラミングモードでの固有セキュリティ機能として、下記、3つの機能が搭載されております。これらのセキュリティ機能を併用することはできません。

(1) ID 認証機能：

ID コードを用いて ID 認証を実施することでコードフラッシュおよびデータフラッシュを保護します。ID 認証が成功した場合、コードフラッシュおよびデータフラッシュの書き込み/消去/読み出しが実施できます。

(2) プログラムコマンド/ブロック消去コマンド/リードコマンド禁止機能：

コードフラッシュおよびデータフラッシュへの書き込み/消去/読み出しコマンド発行を個別に禁止/許可を設定することができます。出荷品の初期状態では、本セキュリティ機能が選択されており、各コマンドの禁止設定は、すべて許可となっています。

(3) シリアルプログラマ接続禁止機能：

シリアルプログラミングモードにてコードフラッシュおよびデータフラッシュの書き込み/消去/読み出しコマンド発行を禁止することができます。本機能を設定した場合、本機能以外のセキュリティ機能に変更することはできません。

34.1.1.3 ユーザブートモードおよびシリアルプログラミングモード共通機能**(1) OTP (One Time Programming) 機能**

OTP 機能が設定された領域に対して、コードフラッシュの書き込み/消去を保護します。詳細な設定方法については、「**第 33 章 フラッシュメモリ**」をご参照ください。

34.1.2 デバッグインターフェースの接続制限機能

本製品は、デバッグインターフェース経由での不正アクセス防止機能を搭載しており、2 種類のセキュリティレベルがあります。

- **セキュリティレベル 1：**

デバッグインターフェースが使用可能な状態になります。本レベルでは、オンチップデバッグ機能を OCD ID 認証で保護しています。オンチップデバッグ機能を使用する際は、OCD ID 認証を解除する必要があります。

- **セキュリティレベル 2：**

デバッグインターフェースが使用できない状態になります。

上記に説明したとおり、各モードでコードフラッシュおよびデータフラッシュ、ID コード保護およびデバッグインターフェースの接続制限が異なります。各モードのセキュリティ機能を表 34.1 にまとめます。

表 34.1 各モードのセキュリティ機能

| 動作モード | コードフラッシュおよびデータフラッシュ、ID コード保護 | デバッグインターフェース接続制限機能 |
|----------------|---|---|
| ユーザブートモード | <ul style="list-style-type: none"> ● SELF ID 認証 ● OTP (併用可能) | <ul style="list-style-type: none"> ● セキュリティレベル 1 (OCD ID 認証) ● セキュリティレベル 2 (デバッグインターフェース接続禁止設定) |
| シリアルプログラミングモード | <ul style="list-style-type: none"> ● ID 認証 ● プログラムコマンド/ブロック消去コマンド/リードコマンド禁止 ● シリアルプログラマ接続禁止 (上記 3 つは併用できません) ● OTP (併用可能) | <ul style="list-style-type: none"> ● 機能なし (常にデバッグインターフェース接続禁止) |

34.2 ユーザブートモード時のセキュリティ機能

34.2.1 SELF ID 認証

本製品は、コードフラッシュに書き込まれたユーザプログラム漏洩防止のため、コードフラッシュの書き込み/消去および ID コード読み出しについて、有効/無効を切り替えるセキュリティ機能を搭載しています。本保護機能の有効/無効設定は、ユーザが設定した ID コードを期待値として、SELF ID 認証を実施することで、切り替えることができます。

34.2.2 SELF ID 認証とセキュリティ状態

SELF ID 認証によるセキュリティ状態および遷移条件を表 34.2、図 34.1 に示します。

表 34.2 セキュリティ設定状態

| 状態名 | SELF ID 認証 | コードフラッシュ書き込み/消去および ID コード読み出し保護状態 |
|------------|------------|-----------------------------------|
| プロテクトアンロック | 解除状態 | 保護されていない状態 |
| プロテクトロック | ロック状態 | 保護状態 |

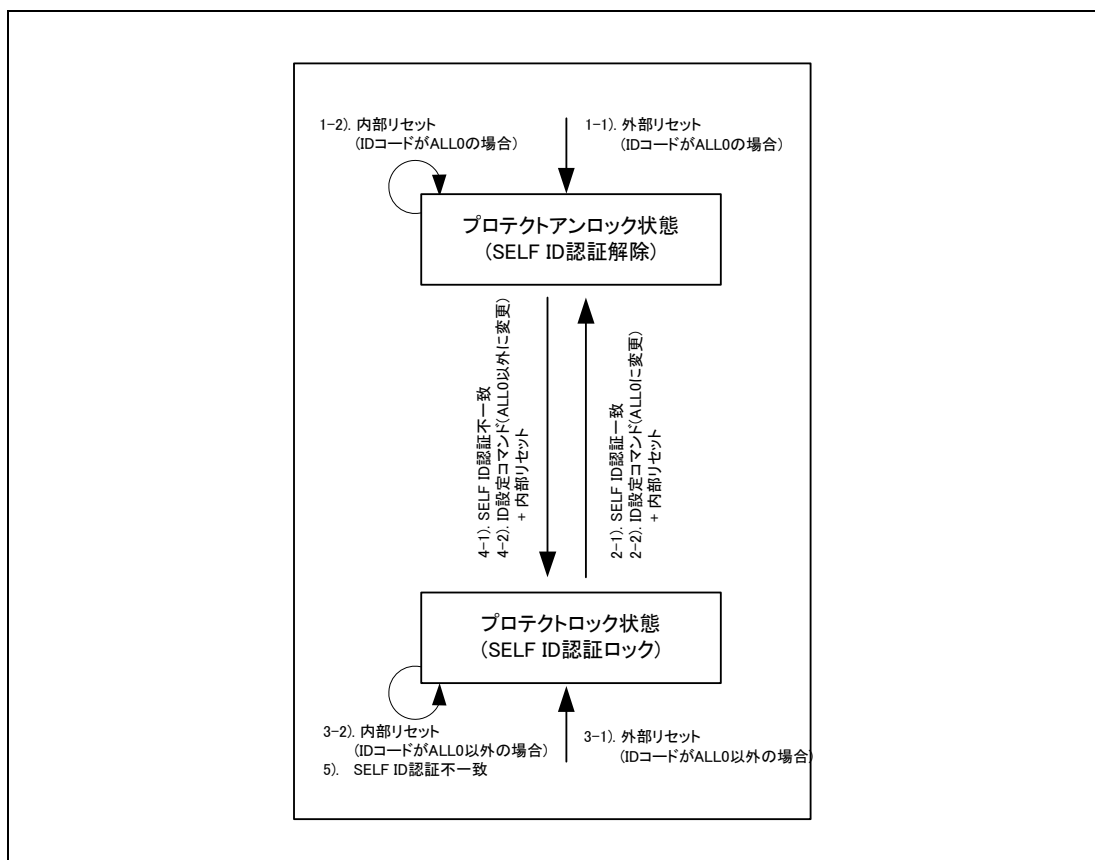


図 34.1 SELF ID 認証によるセキュリティ設定状態遷移

図 34.1 に示した各セキュリティ状態への遷移条件を以下に説明します。

- プロテクトアンロック状態への遷移条件
 - プロテクトアンロック状態での起動

- 1-1). “ID コードが ALL0” の状態で外部リセットを実施した場合、プロテクトアンロック状態で起動します。
- 1-2). “ID コードが ALL0” の状態で、ID コードを変更せずに内部リセットを実施した場合、プロテクトアンロック状態で起動します。
- 2). プロテクトロック状態からプロテクトアンロック状態への遷移
 - 2-1). SELF ID 認証が一致の場合、プロテクトアンロック状態に遷移します。
 - 2-2). “ID コードを ALL0 以外 から ALL0 の状態に変更” し、内部リセットを実施した場合、プロテクトアンロック状態で起動します。
- プロテクトロック状態への遷移条件
 - 3). プロテクトロック状態での起動
 - 3-1). “ID コードが ALL0 以外 ” の状態で、外部リセットを実施した場合、プロテクトロック状態で起動します。
 - 3-2). “ID コードが ALL0 以外 ” の状態で、ID コードを変更せずに内部リセットを実施した場合、プロテクトロック状態で起動します。
 - 4). プロテクトアンロック状態からプロテクトロック状態への遷移
 - 4-1). SELF ID 認証が不一致の場合、プロテクトロック状態に遷移します。
 - 4-2). “ID コードを ALL0 から ALL0 以外 の状態に変更” し、内部リセットを実施した場合、プロテクトロック状態で起動します。
 - 5). プロテクトロック状態維持

SELF ID 認証が不一致の場合、プロテクトロック状態を維持します。

34.3 シリアルプログラミングモード時のセキュリティ機能

シリアルプログラミングモード時のセキュリティ機能の詳細については、「第33章 フラッシュメモリ」をご参照ください。

34.4 デバッグインターフェースの接続制限機能

本製品は、デバッグインターフェースを経由した不正アクセスを防ぐために、デバッグインターフェースの接続制限機能を搭載しており、2種類のレベルがあります。

- セキュリティレベル1：OCD ID 認証によるオンチップデバッグ機能へのアクセス制限
- セキュリティレベル2：デバッグインターフェースの接続を禁止

これらのセキュリティレベルは、フラッシュメモリの拡張領域にあるオプションバイト2のビット30, 29 (OPJTAG1, OPJTAG0) で変更する事ができます。本章では、これらのOPJTAG0、OPJTAG1について、OPJTAG ビットと略して記載しています。

34.4.1 セキュリティレベルとデバッグインターフェースの接続制限状態

各セキュリティレベルとセキュリティ状態および遷移条件を表 34.3、図 34.2 に示します。

表 34.3 セキュリティレベルとデバッグインターフェースの接続制限状態

| 状態名 | OCD ID 認証 | OPJTAG ビット 注1 | デバッグインターフェース接続制限 |
|------------|-----------|--------------------|-------------------------|
| セキュリティレベル1 | 解除状態 | 00 _B 以外 | デバッグインターフェース経由のアクセス制限解除 |
| | ロック状態 | 00 _B 以外 | デバッグインターフェース経由のアクセス制限有効 |
| セキュリティレベル2 | — | 00 _B | デバッグインターフェース接続禁止 |

注1. OPJTAG ビットの詳細説明については、「第33章 フラッシュメモリ」をご参照ください。

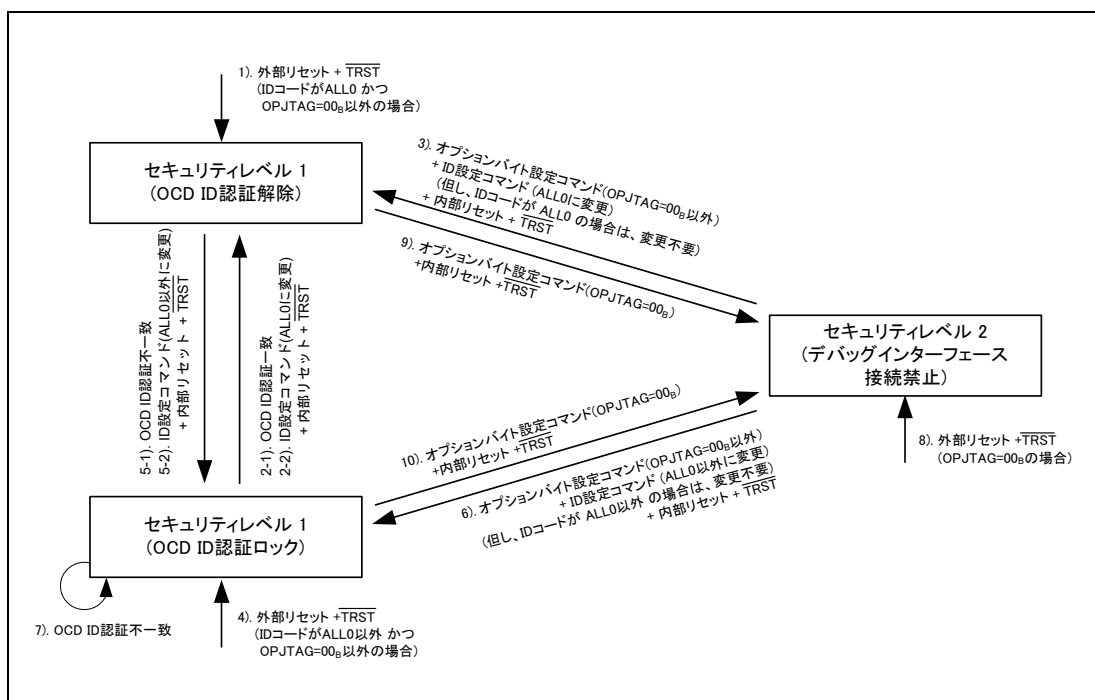


図 34.2 セキュリティレベル状態遷移

図 34.2 に示した各セキュリティレベルへの遷移条件を以下に説明します。

- セキュリティレベル 1 (OCD ID 認証解除) 状態への遷移条件
 - 1). セキュリティレベル 1 (OCD ID 認証解除) 状態での起動

“ID コードが ALL0 かつ OPJTAG が 00_B 以外” の状態で外部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証解除) 状態にて起動します。
 - 2). セキュリティレベル 1 (OCD ID 認証ロック) 状態からセキュリティレベル 1 (OCD ID 認証解除) 状態への遷移
 - 2-1). OCD ID 認証が一致の場合、セキュリティレベル 1 (OCD ID 認証解除) 状態に遷移します。
 - 2-2). “ID コードを ALL0 に変更” し、内部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証解除) で起動します。
 - 3). セキュリティレベル 2 状態から セキュリティレベル 1 (OCD ID 認証解除) 状態への遷移

“ID コードを ALL0 かつ OPJTAG を 00_B 以外に変更” し、内部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証解除) 状態にて起動します。
- セキュリティレベル 1 (OCD ID 認証ロック) 状態への遷移条件
 - 4). セキュリティレベル 1 (OCD ID 認証ロック) 状態での起動

“ID コードが ALL0 以外 かつ OPJTAG が 00_B 以外” の状態で外部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証ロック) 状態にて起動します。
 - 5). セキュリティレベル 1 (OCD ID 認証解除) 状態からセキュリティレベル 1 (OCD ID 認証ロック) 状態への遷移
 - 5-1). OCD ID 認証が不一致の場合、セキュリティレベル 1 (OCD ID 認証ロック) 状態に遷移します。
 - 5-2). “ID コードを ALL0 以外に変更” し、内部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証ロック) 状態で起動します。
 - 6). セキュリティレベル 2 から セキュリティレベル 1 (OCD ID 認証ロック) への遷移

“ID コードを ALL0 以外 かつ OPJTAG = 00_B 以外に変更” し、内部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証ロック) 状態にて起動します。
 - 7). セキュリティレベル 1 (OCD ID 認証ロック) 状態維持

OCD ID 認証が不一致の場合、セキュリティレベル 1 (OCD ID 認証ロック) 状態を維持します。
- セキュリティレベル 2 への遷移条件
 - 8). セキュリティレベル 2 状態での起動

“OPJTAG が 00_B” の状態で外部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル 2 状態にて起動します。

- 9). セキュリティレベル1 (OCD ID 認証解除) 状態からセキュリティレベル2 状態への遷移
- “OPJTAG を 00_B に変更” し、内部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル2 状態にて起動します。
- 10). セキュリティレベル1 (OCD ID 認証ロック) 状態からセキュリティレベル2 状態への遷移
- “OPJTAG を 00_B に変更” し、内部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル2 状態にて起動します。

第35章 RAM

35.1 搭載 RAM 一覧

RH850/E1L では、以下の RAM を搭載します。

- Local RAM (PE1) 48kB
- Local RAM (PCU) 32kB
- Global RAM 112kB (うち 32kB は電源遮断スタンバイ時にデータ保持)
- Emulation RAM 8kB (RAM 保持なし)

35.2 特長

アクセス

CPU、PCU、DMAC からは、Local RAM (PE1) と Global RAM へアクセスできます。

PCU からはこれ以外にも Local RAM (PCU) にアクセスできます。

CPU からのアクセスレイテンシは、Local RAM (PE1)、Local RAM (self) の領域とも同じです。

アドレスマップやアクセスの可否の詳細については、「**第4章 アドレス空間**」を参照してください。

Emulation RAM

Code Flash の特定エリアをページ単位で置き換えることができます。

置き換えた状態で CPU からのアクセスレイテンシは Code Flash と同じです。

ECC は付いておりません。デバッグ用途以外では使用しないでください。

RAM 保持

電源遮断スタンバイ時に、Global RAM のうち 32KB については RAM の内容が保持されます。

ECC

Local RAM (PE1)、Local RAM (PCU)、Global RAM は ECC を搭載しています。

Local RAM (PE1) と Global RAM はアドレスパリティも搭載しています。

詳細は「**第29章 セーフティ**」を参照してください。

35.3 RAM のデータ保持

電源遮断スタンバイ時にデータ保持する RAM 空間に対して、データ書き込みとリセットが同時に発生した場合においても、RAM のデータは破壊されることはありません。

35.4 Emulation RAM

35.4.1 Emulation RAM について

RH850/E1L では Code Flash のエミュレーションのために Emulation RAM を搭載します。Emulation RAM は、Code Flash のバンクごとに配置されます。RH850/E1L では Code Flash は 1 バンク構成です。Emulation RAM の構成は、RH850/E1L では 8KB (1 バンク) です。Emulation RAM は以下に説明する Code Flash エミュレーション機能で使用することができます。また CPU1 からアクセスすることも可能です。

35.4.2 Emulation RAM を使った Code Flash エミュレーション機能について

外部デバッグ装置およびキャリブレーション機能ユニット (CFU) により、Code Flash 領域の任意の領域に対して Emulation RAM のバンクごとにマッピング許可/マッピング禁止の設定が可能です。Code Flash 領域へのマッピングにより、Code Flash を Emulation RAM に置換して Emulation RAM による Code Flash のエミュレーションが可能です。Code Flash 領域にマッピングした Emulation RAM を介してユーザ・プログラムの実行中に Code Flash データをダイナミックに変更可能です。

図 35.1 に、Emulation RAM 周辺の回路構成を示します。

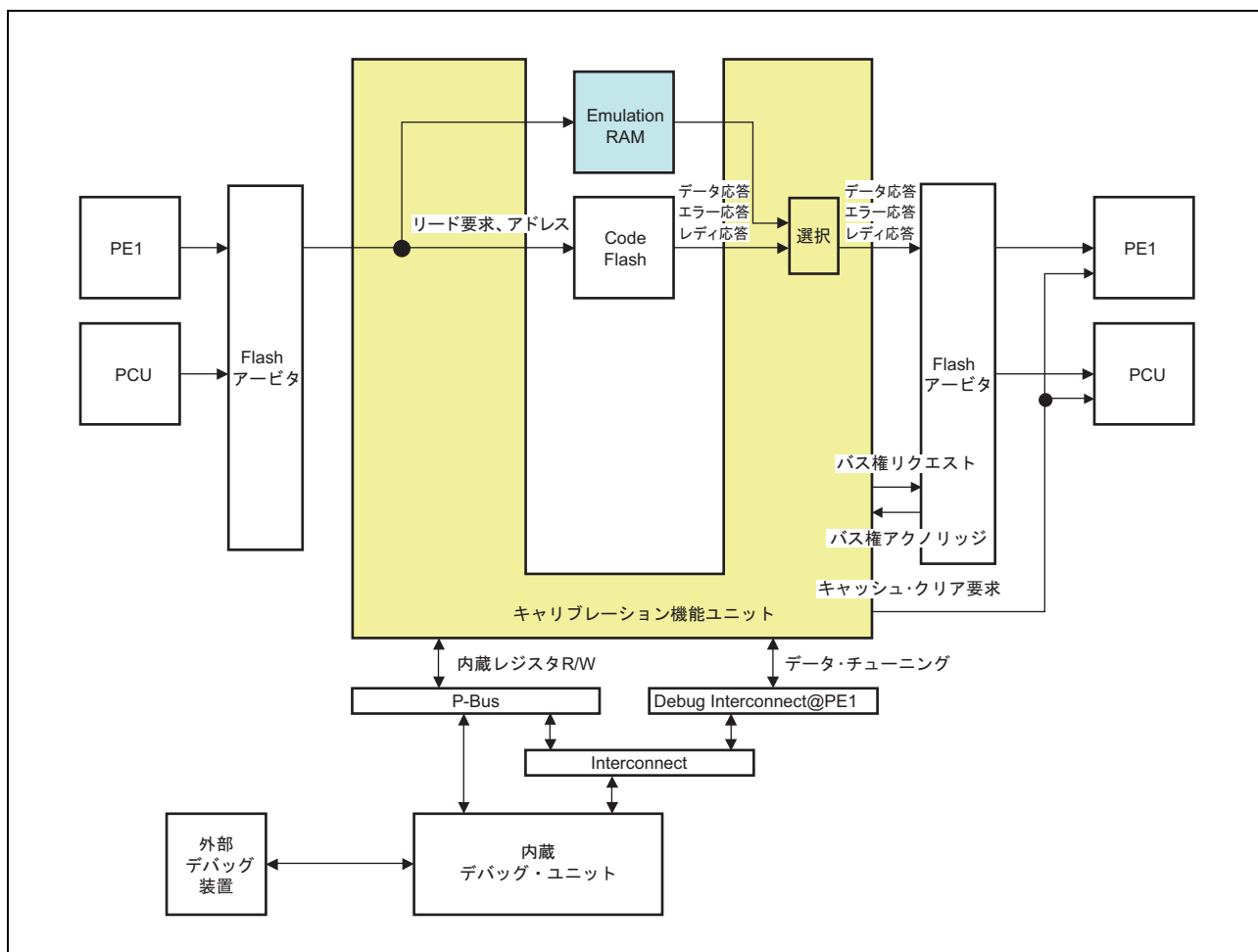


図 35.1 Emulation RAM 周辺の回路構成

35.4.3 EmulationRAM のメモリ・マップ

本製品における ERAM のメモリ・マップを下記に示します

バンク 0 にのみ 8KB の ERAM を実装しております。

ERAM 領域は 32 ビット単位でのみリード/ライト可能です。

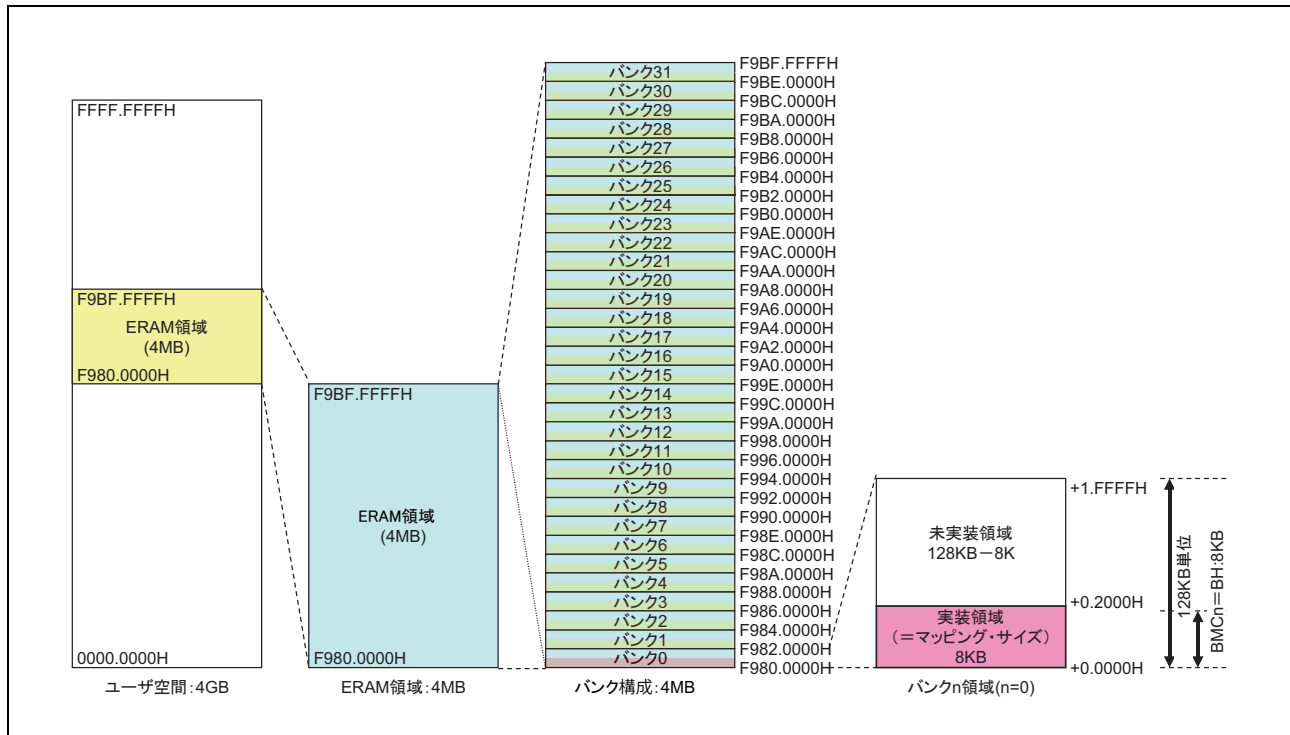


図 35.2 Emulation RAM 8KB のメモリ・マップ

35.4.4 CFU レジスタ一覧

キャリブレーション機能ユニット (CFU) の動作を制御するための機能レジスタの一覧を下記に示します。

CFU のベースアドレスは、FFFF 7800_H です。

表 35.1 機能レジスタ一覧

| アドレス | レジスタ名称 | 機能 |
|------------------------------|---------|----------------------------|
| <CFU_base> + 08 _H | TM_CC | キャッシュ・クリア操作レジスタ |
| <CFU_base> + 10 _H | TM_ME | ERAM バンク 0 マッピング許可レジスタ |
| <CFU_base> + 14 _H | TM_MS | ERAM バンク 0 マッピング・ステータスレジスタ |
| <CFU_base> + 30 _H | TM_BMC0 | ERAM バンク 0 マッピング・サイズ設定レジスタ |
| <CFU_base> + 40 _H | TM_MA0 | ERAM バンク 0 マッピング・アドレスレジスタ |

35.4.5 TM_CC — キャッシュ・クリア操作レジスタ

TM_CC レジスタは、FlashROM データを保持するユニット（キャッシュ、バッファ）に対してクリア要求を行うためのレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 7808_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | CCLR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 35.2 TM_CC レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------|---|
| 31 ~ 1 | — | リザーブビット 常に0が読み出されます。書き込み時は0を書き込んでください。 |
| 0 | CCLR | <p>“1”を書き込むことでキャッシュ・クリア要求を行います。 “0”の書き込みは無視されます。 リード値は、キャッシュ・クリア要求が完了する前に読み出すと“1”が、 キャッシュ・クリア要求が完了した後に読み出すと“0”が読み出されます。</p> <p>注意</p> <ul style="list-style-type: none"> “1”を書き込んだあと、キャッシュ・クリア要求が完了する前に再び“1”を書き込んだ場合、後からの書き込みは無視されます。（後からの書き込みによるキャッシュ・クリア要求を実行することはありません。） “1”を書き込んだあと、キャッシュ・クリア要求が完了する前に“0”を書き込んだ場合でも、キャッシュ・クリア要求をキャンセルすることはできません。 <hr/> <p>0：キャッシュ・クリア要求を処理中でない、またはキャッシュ・クリア要求を完了した（読み出し時） 1：キャッシュ・クリア要求（書き込み時）、またはキャッシュ・クリア要求を処理中（読み出し時）</p> |

35.4.6 TM_ME—チューニング・メモリ・マッピング許可レジスタ

チューニング・メモリ・マッピング許可レジスタは ERAM バンク 0 の Flash 領域へのマッピングを制御するためのレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 7810_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | TME0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W |

表 35.3 TM_ME レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|--|
| 0 | TME0 | チューニング・メモリバンク n・マッピングイネーブル (n=0) ERAM バンク n のユーザ空間 (Flash 領域) へのマッピングを制御します。 (n=0) 0 : マッピング禁止 1 : マッピング許可 |

- 注 1. マッピング許可ビット TME_n を更新する (同じ値で更新する場合を含む) とキャッシュ・クリアが行われます。
- 注 2. ERAM バンク n およびチューニング・メモリ・マッピング・アドレス・レジスタ n (TM_MAn レジスタ) を更新する前に、必ず対応するマッピング許可ビット TME_n を“0” (マッピング禁止) に設定して下さい。
- 注 3. TM_ME レジスタ更新後、必ず TM_MS レジスタの値が TM_ME レジスタの設定値と同じ値になるまで待機して下さい。

35.4.7 TM_MS — チューニング・メモリ・マッピング・ステータス・レジスタ

チューニング・メモリ・マッピング・ステータス・レジスタは ERAM バンク 0 の Flash 領域へのマッピング状態を表示するためのレジスタです。

アクセス 32ビット単位でリード可能です。

アドレス FFFF 7814_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | MES0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 35.4 TM_MS レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|---|
| 0 | MES0 | チューニング・メモリバンク n・マッピングイネーブルステータス (n=0) ERAM バンク n のユーザ空間 (Flash 領域) へのマッピング状態を表示します。 (n=0) 0: マッピング禁止 1: マッピング許可 |

35.4.8 TM_BMC0— チューニング・メモリ・バンク・マッピング・サイズ・コンフィグレーション・レジスタ 0

チューニング・メモリ・バンク・マッピング・サイズ・コンフィグレーション・レジスタは ERAM のバンク 0 のマッピング・サイズを設定するためのレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 7830_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|----|----|----|------|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | — | — | — | BMC0 | | | | |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W |

表 35.5 TM_BMC0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|-------|------|-------------------|
| 3 ~ 0 | BMC0 | バンク 0 マッピング・サイズ設定 |

ERAM の各バンク（バンク 0）のマッピングサイズを設定します。

| | | | |
|----------------|----------|----------------|-----------|
| 0 _H | 予約（設定禁止） | 8 _H | 予約（設定禁止） |
| 1 _H | 予約（設定禁止） | 9 _H | 8KB / バンク |
| 2 _H | 予約（設定禁止） | A _H | 予約（設定禁止） |
| 3 _H | 予約（設定禁止） | B _H | 予約（設定禁止） |
| 4 _H | 予約（設定禁止） | C _H | 予約（設定禁止） |
| 5 _H | 予約（設定禁止） | D _H | 予約（設定禁止） |
| 6 _H | 予約（設定禁止） | E _H | 予約（設定禁止） |
| 7 _H | 予約（設定禁止） | F _H | 予約（設定禁止） |

マッピング・サイズの設定は以下の組み合わせ以外は設定禁止です。

| ERAM 容量 | バンク 0 マッピング・サイズ設定 |
|------------|----------------------------|
| 8KB | 9 _H (8KB / バンク) |
| 上記以外の組み合わせ | |

注意：チューニング・メモリ・バンク・マッピング・サイズ・コンフィグレーション・レジスタ（TM_BMC0 レジスタ）を更新する前に必ず対応するマッピング許可ビット TME_n を“0”（マッピング禁止）に設定して下さい（n = 0）。

35.4.9 TM_MA0—チューニング・メモリ・マッピング・アドレス・レジスタ 0

チューニング・メモリ・マッピング・アドレス・レジスタ 0 は ERAM のバンク 0 のマッピング・アドレスを設定するためのレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 7840_H

リセット後の値 0000 0000_H

| | | | | | | | | | | | | | | | | |
|---------|-------------|-----|-----|----|----|----|----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | TMAn[31:16] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TMAn[15:0] | | | | | | | | | | | | | | | |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R | R | R | R | R | R |

表 35.6 TM_MA0 レジスタの内容

| ビット位置 | ビット名 | 機能 |
|--------|------------|--|
| 31 ~ 0 | TMAn[31:0] | チューニング・メモリ・マッピング・アドレス n (n=0) ERAM のバンク n をマッピングするアドレスを指定します。 注意 TMAn31 ~ 25, 12 ~ 0 は "0" 固定です。 |

| BMCn | マッピング単位 | マッピング判定ビット | 無視するビット |
|---------------------------------|-----------|-------------|---------------------|
| 0 _H ~ 8 _H | 予約 (設定禁止) | — | — |
| 9 _H | 8KB / バンク | TMAn24 ~ 13 | TMAn31 ~ 25, 12 ~ 0 |
| A _H ~ F _H | 予約 (設定禁止) | — | — |

注 意

1. チューニング・メモリ・マッピング・アドレス・レジスタ n (TM_MAn レジスタ) を更新する場合、TM_MAn レジスタを更新する前に必ず対応するマッピング許可ビット TME_n を "0" (マッピング禁止) に設定して下さい。
2. マッピング・アドレスは Code Flash 領域内のアドレスを指定して下さい。Code Flash 領域外のアドレスを指定した場合の動作は保証しません。

35.4.10 チューニング処理フロー

チューニング処理フローを下記に示します。

| | |
|-------|--|
| (1) | マッピング初期設定処理 |
| (1-0) | チューニングするバンク n のサイズ、アドレスを下記レジスタで設定する。 ^{注1} チューニング・メモリ・バンク・マッピング・サイズ・コンフィグレーション・レジスタ 0 TM_BMC0 チューニング・メモリ・マッピング・アドレス・レジスタ 0 TM_MAO |
| (2) | データ・チューニング処理 |
| (2-1) | チューニングする ERAM 領域にデータをライトする |
| (3) | マッピング許可処理 |
| (3-1) | チューニング完了したバンク n のマッピング許可ビット TME0 を "1" (マッピング許可) に設定する |
| (3-2) | マッピング・ステータス・ビット MES0 によりマッピング設定が反映されたことを確認する |

注1. レジスタを更新する場合は、必ず対応するマッピング許可ビット TME0 を "0" (マッピング禁止) に設定して下さい。

なお、マッピング許可後にデータチューニング (= ERAM 領域のデータ書き換え) を行う場合は、データチューニング後にキャッシュ・クリア操作をする必要があります。

35.4.11 ERAM アクセス時の注意事項

CPU1 から ERAM 領域へアクセスする場合、LSDC エラー (ロックステップコンペアエラー) が発生する可能性があります。本エラーをマスクする手段としては、下記の対応があります。

(1) ECM の設定で LSDC エラーによる割り込み、リセット、エラー出力を無効化する。

なお、CFU のレジスタアクセスでは LSDC エラーは発生しません。

35.5 使用上の注意事項

- Local RAM、Global RAM に対して、ECC によるエラー検出・訂正機能を有効にしてアクセスする場合、使用する RAM をアクセスサイズの最大ビット長で初期化してから使用してください。RAM のアクセスサイズの最大ビット長は「表 29.1 ECC 概要」の対象データ幅をご覧ください。
初期化前の RAM をアクセスした場合、ECC エラーを検出する可能性があります。また最大ビット長で初期化しなかった場合、たとえば 32 ビット幅の RAM を 8 ビットや 16 ビットのアクセスで初期化した場合、ECC エラーを検出する可能性があります。
- 以下の RAM と CPU の間には高速アクセス用のバッファが存在します。
 - Local RAM (PE1), Local RAM (PCU)

ライト命令を行った後に同一アドレスからリード命令による読み出しを行うと、RAM ではなくバッファからデータが読み出される場合があります。確実に RAM からデータを読み出すためには、以下のような方法があります。

- Local RAM (PE1) の場合
 1. 32 バイトを超えるデータをライト後、最初にライトしたデータをリードする。
 2. ライト命令と同一アドレスからのリード命令の間に SYNCM 命令を実行する。
- Local RAM (PCU) の場合
 1. 4 バイトを超えるデータをライト後、最初にライトしたデータをリードする。
 2. ライト命令と同一アドレスからのリード命令の間に、メモリアクセスを伴わない命令 (NOP 命令や SYNCM 命令など) を 1 命令以上実行する。

第36章 バウンダリスキャン

本 LSI は JTAG インタフェースを持ち、IEEE1149.1 規格に準拠したバウンダリスキャン機能を提供します。

36.1 特長

- 5本のテスト信号 (TCK、TDI、TDO、TMS、および $\overline{\text{TRST}}$)
- TAP コントローラ
- インストラクションレジスタ
- バイパスレジスタ
- バウンダリスキャンレジスタ

JTAG インタフェースは 6 つのコマンドを備えています。

- BYPASS モード
IEEE 1149.1 に対応したテストモード
- EXTEST モード
IEEE 1149.1 に対応したテストモード
- SAMPLE/PRELOAD モード
IEEE 1149.1 に対応したテストモード
- CLAMP モード
IEEE 1149.1 に対応したテストモード
- HIGHZ モード
IEEE 1149.1 に対応したテストモード
- IDCODE モード
IEEE 1149.1 に対応したテストモード

JTAG インタフェースのブロック図を図 36.1 に示します。

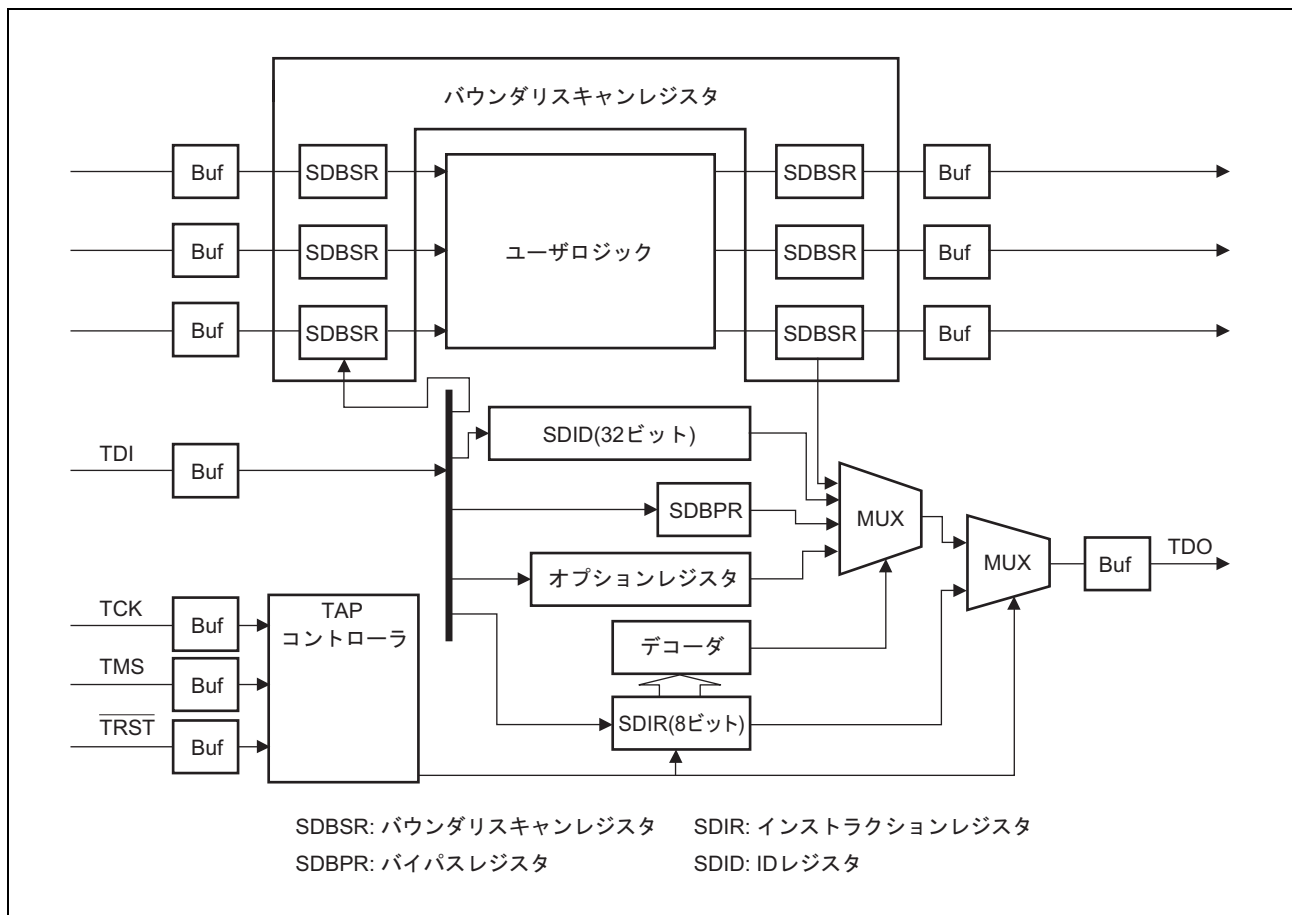


図 36.1 JTAG インタフェースブロック図

36.2 入出力端子

JTAG の制御信号には TCK、TDI、TMS、TDO、 $\overline{\text{TRST}}$ の 5 本があります。

表 36.1 に端子構成を示します。

表 36.1 端子構成

| 名称 | 説明 |
|--------------------------|--|
| TCK | シリアルデータ入出力用クロック端子 データはこのクロックに同期してデータ入力端子 (TDI) から供給され、データ出力端子 (TDO) から出力されます。 |
| TMS | モードセレクト入力端子 TCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは「 図 36.2 TAP コントローラ状態遷移図 」を参照してください。 |
| $\overline{\text{TRST}}$ | リセット入力端子 TCK とは非同期で入力を受け付けロウレベルで JTAG インタフェースをリセットします。JTAG インタフェース機能の利用の有無にかかわらず、電源投入時に $\overline{\text{TRST}}$ を一定期間ロウレベルにしなければなりません。 |
| TDI | シリアルデータ入力端子 TCK に同期してこの端子を変化させることによって JTAG インタフェースにデータを送ります。 |
| TDO | シリアルデータ出力端子 TCK に同期してこの端子を読み出すことによって TAG インタフェースからデータを読み取ります。 |

36.3 レジスタの説明

JTAG インタフェースは次のレジスタを内蔵しています。すべてのレジスタは CPU からアクセスできません。

- SDIR : インストラクションレジスタ
- SDID : ID レジスタ
- SDBPR : バイパスレジスタ
- SDBSR : バウンダリスキャンレジスタ

表 36.2 レジスタ構成

| レジスタ名 | 略称 | アクセスサイズ | リセット後の値 ^{注1} |
|---------------|-------|---------|-----------------------|
| インストラクションレジスタ | SDIR | 8 | 55 _H |
| ID レジスタ | SDID | 32 | 注2 |
| バイパスレジスタ | SDBPR | 1 | 不定 |
| バウンダリスキャンレジスタ | SDBSR | — | 不定 |

注 1. (TRST 端子が 0、または TAP が Test-Logic-Reset 状態) で初期化。

注 2. 製品により異なります。当社の営業窓口までお問い合わせください。

コマンドは、シリアルデータ入力端子 (TDI) からシリアル転送によりインストラクションレジスタ (SDIR) へ入力できます。バイパスレジスタ (SDBPR) は 1 ビットのレジスタで、BYPASS モード、CLAMP モード、および HIGHZ モード時、TDI と TDO はこのレジスタに接続されます。また、バウンダリスキャンレジスタ (SDBSR) は、SAMPLE/PRELOAD モード、および EXTEST モード時に TDI と TDO が、このレジスタに接続されます。ID コードレジスタ (SDID) は 32 ビットのレジスタで IDCODE モード時、TDO を通じて固定コードが出力できます。

表 36.3 に JTAG インタフェースの各レジスタで可能なシリアル転送の種類を示します。

表 36.3 バウンダリスキャンレジスタのシリアル転送

| レジスタ | シリアル入力 | シリアル出力 |
|-------|--------|------------------|
| SDIR | 可能 | 不可 ^{注1} |
| SDBPR | 可能 | 可能 |
| SDBSR | 可能 | 可能 |
| SDID | 不可 | 可能 |

注 1. 固定値が読み出されます。

36.3.1 SDIR — インストラクションレジスタ

インストラクションレジスタ (SDIR) はバウンダリスキャンのコマンドを保持する 8 ビットのレジスタです。 $\overline{\text{TRST}}$ のアサートまたは、TAP の Test-Logic-Reset 状態のときに初期化されます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。

表 36.4 バウンダリスキャンコマンド

| IR コード | | | | | | | | 説明 |
|--------|---|---|---|---|---|---|---|-----------------------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | JTAG EXTEST |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | JTAG SAMPLE/PRELOAD |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | JTAG CLAMP |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | JTAG HIGHZ |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | JTAG IDCODE (リセット後の値) |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | JTAG BYPASS |
| 上記以外 | | | | | | | | 予約 |

36.3.2 SDID — ID レジスタ

ID レジスタ (SDID) は、32 ビットのレジスタで、LSI 固有の ID を持ちます。

JTAG インタフェースの端子側からは IDCODE のコマンドがセットされたときに読み出し可能で、書き込みはできません。

読み出される値は、「表 36.2 レジスタ構成」を参照してください。

36.3.3 SDBPR — バイパスレジスタ

バイパスレジスタ (SDBPR) は 1 ビットのレジスタです。SDIR を BYPASS モードにセットすると、SDBPR は端子 TDI と TDO の間に接続されます。リセット後の値は不定です。このレジスタはリセットあるいは $\overline{\text{TRST}}$ のアサートでも初期化されません。

36.3.4 SDBSR — バウンダリスキャンレジスタ

バウンダリスキャンレジスタ (SDBSR) は、外部入出力ピンの制御を行うために PAD 上に配置されたシフトレジスタです。SDIR に “SAMPLE/PRELOAD”、“EXTEST” コマンドがセットされると、端子 TDI と TDO の間に SDBSR が接続されます。リセット後の値は不定です。このレジスタはリセットあるいは $\overline{\text{TRST}}$ のアサートでも初期化されません。

36.4 動作説明

36.4.1 TAP コントローラ

図 36.2 に TAP コントローラの内部状態を示します。

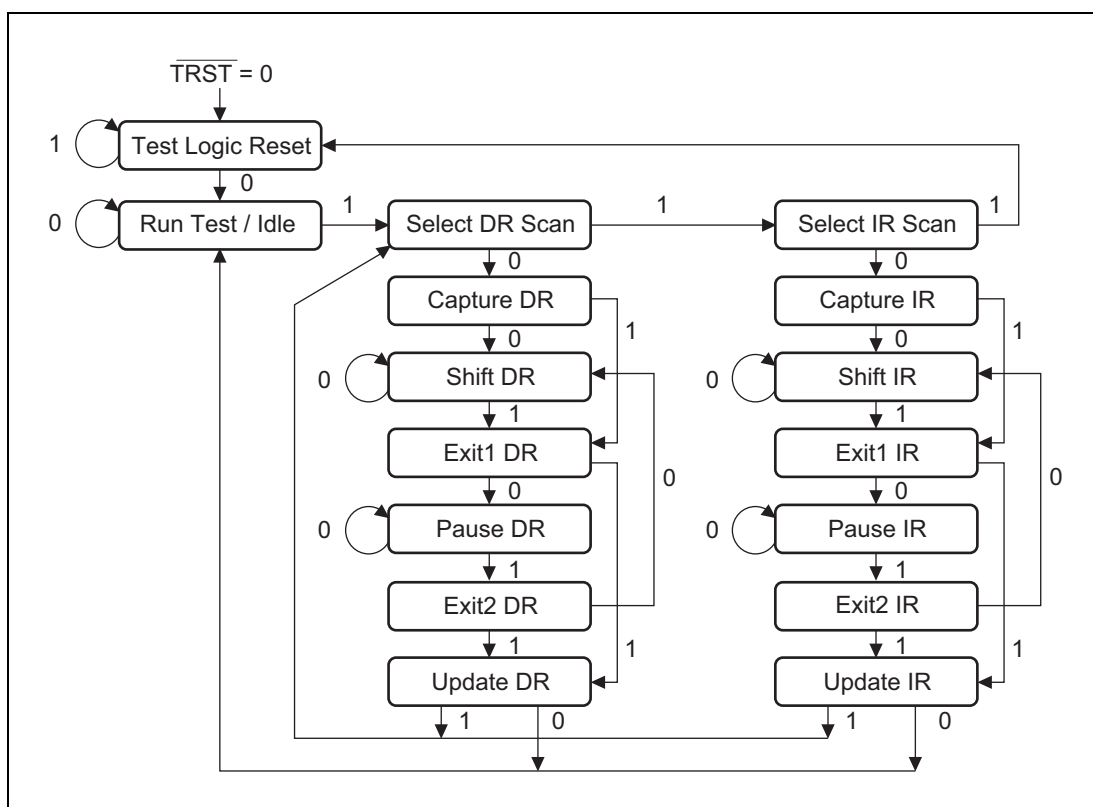


図 36.2 TAP コントローラ状態遷移図

注 1. 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。TRST のアサートにより TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

36.4.2 サポートするコマンド

36.4.2.1 BYPASS

BYPASS コマンドは、バイパスレジスタを動作させる必須の標準コマンドです。このコマンドはシフトパスを短縮してプリント基板上のほかの LSI のシリアルデータを転送高速化するためのものです。このコマンドの実行中、テスト回路はシステム回路に何も影響を与えません。

36.4.2.2 SAMPLE/PRELOAD

SAMPLE/PRELOAD コマンドは本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードするコマンドです。本コマンド実行中本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本コマンドの実行により本 LSI のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力ピンへ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST コマンドに先立ちスキャンパスからバウンダリスキャンレジスタの平行出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST コマンドを実行するとき、最初のスキャンシーケンスが完了する（出力ラッチへの転送）までの間出力ピンから不定値が出力される（EXTEST コマンドでは出力ピンに常に平行出力ラッチを出力する）こととなります。

36.4.2.3 EXTEST

本コマンドでは、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本コマンドの実行時、出力ピンはバウンダリスキャンレジスタからテストデータ（SAMPLE/PRELOAD コマンドですでに設定されています）をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST コマンドを N 回用いてテストを行うとき、N 回目のテストデータは (N-1) 回目のスキャンアウトのときにスキャンインされます。

本コマンドの Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは外部回路のテストには使用されません。（シフト動作で入れ替えます）。

36.4.2.4 CLAMP

CLAMP コマンドが選択されると、出力ピンはあらかじめ SAMPLE/PRELOAD コマンドによって設定されたバウンダリスキャンレジスタの値を出力します。CLAMP コマンドが選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態が保持されます。

TDI、TDO 間にはバイパスレジスタが接続され、BYPASS コマンドが選択されたときと同様の動作をします。

36.4.2.5 HIGHZ

HIGHZ コマンドが選択されると、すべての出力ピンはハイインピーダンス状態となります。HIGHZ コマンドが選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態が保持されます。

TDI、TDO 間にはバイパスレジスタが接続され、BYPASS コマンドが選択されたときと同様の動作をします。

36.4.2.6 IDCODE

JTAG インタフェースの端子を JTAG で規定されている“IDCODE”モードに設定できます。JTAG インタフェースを初期化した場合（ $\overline{\text{TRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にする）、“IDCODE”モードになります。

36.4.3 注意事項

JTAG インタフェースには以下のような制限があります。

- 電源／GND 端子はバウンダリスキャンの対象外です。
- A/D コンバータのリファレンス電圧端子（ADSVREFH、ADSVREFL、A0VREFH、A1VREFH）はバウンダリスキャンの対象外です。
- 安定化容量接続端子（ADSVCL、RAMVCL）はバウンダリスキャンの対象外です。
- EPT 制御端子（EPTVOUT）はバウンダリスキャンの対象外です。
- NC 端子はバウンダリスキャンの対象外です。
- バウンダリスキャンの対象外の端子を表 36.5 に示します。

表 36.5 バウンダリスキャン対象外の端子

| 分類 | 端子 |
|--------|---|
| アナログ入力 | AN000/DSAN0P、AN001/DSAN0N、AN002/DSAN1P、AN003/DSAN1N、AN010/DSAN2P/P14_12、AN011/DSAN2N/P14_13、AN012/DSAN3P/P14_14、AN013/DSAN3N/P14_15、AN020/DSAN4P/P14_0、AN021/DSAN4N/P14_1、AN022/DSAN5P/P14_2、AN023/DSAN5N/P14_3、AN030/DSAN6P/P14_4、AN031/DSAN6N/P14_5、AN032/DSAN7P/P14_6、AN033/DSAN7N/P14_7、AN040/P14_8、AN041/P14_9、AN042/P14_10、AN043/P14_11、AN100、AN101、AN110、AN111、AN120、AN121、AN130、AN131、AN140、AN141、AN150/P16_0、AN151/P16_1、AN160/P16_2、AN161/P16_3、AN170/P16_4、AN171/P16_5 |
| デバッグ系 | $\overline{\text{DRDY/LPDCCLKO}}$ 、 $\overline{\text{RES}}$ 、 $\overline{\text{TCK/LPDCCLKI}}$ 、 $\overline{\text{TDI/LPDI}}$ 、 $\overline{\text{TDO/LPDO}}$ 、 $\overline{\text{TMS/EVTO}}$ 、 $\overline{\text{TRST/LPDRST}}$ |
| LVDS | RHSB0FCLN、RHSB0FCLP、RHSB0SON、RHSB0SOP |
| モード設定 | FLMODE、MD0、MD1 |
| クロック | CK、EXTAL、XTAL |

- PullDown される端子に対する HIGHZ コマンドは無効です。

36.5 使用上の注意

1. コマンドは、いったんセットされるとほかのコマンドが再発行されないかぎり変更されません。同じコマンドを連続して与える場合は、チップ動作に影響のないコマンド（BYPASS モード等）をいったん設定してから再度コマンドを設定する必要があります。
2. バウンダリスキャンモードでの起動時は、 $\overline{RES} = \text{High}$ の状態で \overline{TRST} を解除してください。
3. TCK に入力可能な最大周波数は「第 37 章 電気的特性」を参照してください。
4. TDI、TDO 間に接続されるレジスタのビット数を超えてシリアル転送した場合、レジスタのビット数を超えて TDO から出力されるシリアルデータは、TDI から入力されたデータとなります。
5. シリアル転送シーケンスがくずれた場合、必ず \overline{TRST} のリセットを行ってください。このとき、転送動作にかかわらず、再度転送し直してください。
6. TDO の出力タイミングは TCK の立ち下がり同期になります。
7. デバッグ容易化のため、 \overline{TRST} の基板上的配線はパターンカットが容易なように配慮してください。
8. 電源遮断スタンバイモード中ではコマンドは受け付けられません。

第37章 電気的特性

37.1 絶対最大定格

絶対最大定格を表 37.1 に示します。

表 37.1 絶対最大定格

| 項目 | 記号 | 定格値 | 単位 | 備考 | |
|--|--------------------------|--|---------------------|-----|-------------------|
| 電源電圧 ^{注1} | PLLVCC、SYSVCC、VCC | VCC | -0.3 ~ +4.3 | V | |
| | EVCC | EVCC | -0.3 ~ +6.5 | V | |
| | VDD | VDD | -0.3 ~ +1.8 | V | |
| | LVDVCC | VLVDVCC | -0.3 ~ +4.3 | V | |
| | TTLVCC | VTTLVCC | -0.3 ~ +6.5 | V | |
| 入力電圧 | SYSVCC 電源関連端子 | V _{in} | -0.3 ~ SYSVCC + 0.3 | V | 表 37.3 を参照してください。 |
| | VCC 電源関連端子 | V _{in} | -0.3 ~ VCC + 0.3 | V | |
| | EVCC 電源関連端子 | V _{in} | -0.3 ~ EVCC + 0.3 | V | |
| | 5V トレラント端子 ^{注2} | V _{in} | -0.3 ~ +5.8 | V | |
| RHSB 関連電源電圧 | LVDVCC | -0.3 ~ +4.3 | V | | |
| | TTLVCC | -0.3 ~ +6.5 | V | | |
| RHSB 関連入力電圧 | V _{LVD SIN} | -0.3 ~ LVDVCC + 0.3 | V | | |
| | V _{TTL IN} | -0.3 ~ TTLVCC + 0.3 | V | | |
| アナログ電源電圧 | A0VCC、A1VCC | -0.3 ~ +6.5 | V | | |
| | ADSVCC | -0.3 ~ +6.5 | V | | |
| アナログ基準電圧 | A0VREFH | -0.3 ~ A0VCC + 0.3 | V | | |
| | A1VREFH | -0.3 ~ A1VCC + 0.3 | V | | |
| | ADSVREFH | -0.3 ~ ADSVCC + 0.3 | V | | |
| | ADSVREFL | -0.3 ~ ADSVSS + 0.3 | V | | |
| アナログ入力電圧 | V _{AIN} | -0.3 ~ A0VCC + 0.3 -0.3 ~ A1VCC + 0.3 | V | | |
| | V _{ADS IN} | -0.3 ~ ADSVCC + 0.3 | V | | |
| VSS 差動電圧 ^{注3} (条件: VSS、A0VSS、A1VSS、ADSVSS、PLLSS、LVDVSS のうちの任意の2つのVSS間) | | -0.1 ~ +0.1 | V | | |
| 最大入力電流 (1端子あたり) | デジタル入力端子 | I _{max} | -25 ~ +25 | mA | 同時に1端子のみ |
| | アナログ入力端子 | I _{max} | -25 ~ +25 | mA | |
| ジャンクション温度 ^{注1} | T _j | -40 ~ +150 | °C | | |
| 保存温度 | T _{stg} | -55 ~ +150 | °C | 実装後 | |

注1. この LSI を T_j = 125°C 以上、T_j = 150°C までの範囲で動作させる場合は、累積動作時間を 3000 時間以内にしてください。

注2. 表 37.2 電源名と端子の関係で (5V Tol.) と記載のある以下の端子
FLMODE, MD0, MD1, RES, TRST, NMI

注3. デジタル系の電源である PLLVSS と VSS は基板上でショートしてください。

備考 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。複数の電源電圧を同時に使用することがある製品です。マニュアルに規定する電源端子の接続、印加電源電圧の組み合わせ条件と、各端子に印加可能な電圧、出力される電圧の条件を守って使用してください。規定と異なる電源の接続や電圧での LSI の使用は LSI の永久破壊、LSI を実装したシステムへのダメージを生じる場合があります。

37.2 DC 特性

37.2.1 電源名と端子の関係

電源名と端子の関係を表 37.2 に示します。

表 37.2 電源名と端子の関係 (1/5)

| 端子名 | ポートグループ | 回路電源名 | I/O | 入力電圧最大値 (V) | 入力バッファタイプ | 出力駆動能力 | 備考 |
|------------------|---------|--------|-----|--------------|---------------------|--------|-----|
| AN110 | — | A1VCC | I | A1VCC + 0.3 | SAR アナログ | | |
| AN101 | — | A1VCC | I | A1VCC + 0.3 | SAR アナログ | | |
| AN100 | — | A1VCC | I | A1VCC + 0.3 | SAR アナログ | | |
| AN043/P14_11 | P14 | A0VCC | I | A0VCC + 0.3 | SAR アナログ SchB | | |
| AN042/P14_10 | P14 | A0VCC | I | A0VCC + 0.3 | SAR アナログ SchB | | |
| AN041/P14_9 | P14 | A0VCC | I | A0VCC + 0.3 | SAR アナログ SchB | | |
| AN040/P14_8 | P14 | A0VCC | I | A0VCC + 0.3 | SAR アナログ SchB | | |
| AN033/P14_7 | P14 | A0VCC | I | A0VCC + 0.3 | SAR アナログ SchB | | 注 1 |
| AN032/P14_6 | P14 | A0VCC | I | A0VCC + 0.3 | SAR アナログ SchB | | 注 1 |
| AN031/P14_5 | P14 | A0VCC | I | A0VCC + 0.3 | SAR アナログ SchB | | 注 1 |
| AN030/P14_4 | P14 | A0VCC | I | A0VCC + 0.3 | SAR アナログ SchB | | 注 1 |
| AN023/P14_3 | P14 | A0VCC | I | A0VCC + 0.3 | SAR アナログ SchB | | 注 1 |
| AN022/P14_2 | P14 | A0VCC | I | A0VCC + 0.3 | SAR アナログ SchB | | 注 1 |
| AN021/P14_1 | P14 | A0VCC | I | A0VCC + 0.3 | SAR アナログ SchB | | 注 1 |
| AN020/P14_0 | P14 | A0VCC | I | A0VCC + 0.3 | SAR アナログ SchB | | 注 1 |
| AN013/P14_15 | P14 | A0VCC | I | A0VCC + 0.3 | SAR アナログ SchB | | 注 1 |
| AN012/P14_14 | P14 | A0VCC | I | A0VCC + 0.3 | SAR アナログ SchB | | 注 1 |
| AN011/P14_13 | P14 | A0VCC | I | A0VCC + 0.3 | SAR アナログ SchB | | 注 1 |
| AN010/P14_12 | P14 | A0VCC | I | A0VCC + 0.3 | SAR アナログ SchB | | 注 1 |
| AN003/ DSAN1N | — | ADSVCC | I | ADSVCC + 0.3 | $\Delta\Sigma$ アナログ | | |
| AN002/ DSAN1P | — | ADSVCC | I | ADSVCC + 0.3 | $\Delta\Sigma$ アナログ | | |
| AN001/ DSAN0N | — | ADSVCC | I | ADSVCC + 0.3 | $\Delta\Sigma$ アナログ | | |
| AN000/ DSAN0P | — | ADSVCC | I | ADSVCC + 0.3 | $\Delta\Sigma$ アナログ | | |
| P5_0 | P5 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P5_1 | P5 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P5_2 | P5 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P5_3 | P5 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P5_4 | P5 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P5_5 | P5 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P5_6 | P5 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P5_7 | P5 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P5_8 | P5 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P5_9 | P5 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P4_0 | P4 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P4_1 | P4 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |

表 37.2 電源名と端子の関係 (2/5)

| 端子名 | ポート グループ | 回路 電源名 | I/O | 入力電圧 最大値 (V) | 入力バッファタイプ | 出力駆動 能力 | 備考 |
|---------------------------------------|-------------|-----------|-----|-----------------|----------------|------------|-------------|
| P4_2 | P4 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P4_3 | P4 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P4_4 | P4 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P4_5 | P4 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P4_6 | P4 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P4_7 | P4 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P4_8 | P4 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P4_9 | P4 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P4_10 | P4 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P4_11 | P4 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P4_12 | P4 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P4_13 | P4 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P4_14 | P4 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P4_15 | P4 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P11_0 | P11 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P11_1 | P11 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| RHSB0FCLN | P17 | LVDVCC | O | — | — | | LVDS クロック出力 |
| RHSB0FCLP | P17 | LVDVCC | O | — | — | | LVDS クロック出力 |
| RHSB0SON | P17 | LVDVCC | O | — | — | | LVDS データ出力 |
| RHSB0SOP | P17 | LVDVCC | O | — | — | | LVDS データ出力 |
| P13_0 | P13 | TTLVCC | IO | TTLVCC + 0.3 | SchC | ○ | |
| P13_1 | P13 | TTLVCC | IO | TTLVCC + 0.3 | SchC | ○ | |
| P13_2 | P13 | TTLVCC | IO | TTLVCC + 0.3 | SchC | ○ | |
| P13_3 | P13 | TTLVCC | IO | TTLVCC + 0.3 | SchC | ○ | |
| P13_4 | P13 | TTLVCC | IO | TTLVCC + 0.3 | SchC | ○ | |
| FLMODE | — | SYSVCC | I | 5.5 + 0.3 | SchA (5V Tol.) | | |
| MD0 | — | SYSVCC | I | 5.5 + 0.3 | SchA (5V Tol.) | | |
| MD1 | — | SYSVCC | I | 5.5 + 0.3 | SchA (5V Tol.) | | |
| RES | — | SYSVCC | I | 5.5 + 0.3 | SchA (5V Tol.) | | |
| $\overline{\text{TRST}}$ / LPDRST | | SYSVCC | I | 5.5 + 0.3 | SchA (5V Tol.) | | |
| TDO/ LPDO/ FLSCI3TX | | VCC | O | VCC + 0.3 | TTL2 | | |
| TMS/EVTO | | VCC | IO | VCC + 0.3 | TTL2 | | |
| TCK/ LPDCLKI/ FLSCI3SCK | | VCC | I | VCC + 0.3 | TTL2 | | |
| TDI/ LPDI/ FLSCI3RX | | VCC | I | VCC + 0.3 | TTL2 | | |
| $\overline{\text{DRDY}}$ / LPDCLKO | | VCC | O | VCC + 0.3 | TTL2 | | |
| XTAL | — | VCC | O | | | | |
| EXTAL | — | VCC | I | VCC + 0.3 | CMOS | | |
| NMI | | VCC | I | 5.5 + 0.3 | SchA (5V Tol.) | | |

表 37.2 電源名と端子の関係 (3/5)

| 端子名 | ポート グループ | 回路 電源名 | I/O | 入力電圧 最大値 (V) | 入力バッファタイプ | 出力駆動 能力 | 備考 |
|------------|-------------|-----------|-----|-----------------|-----------|------------|----|
| ERROROUT_M | — | VCC | O | | | | |
| CK | — | EVCC | O | | | | |
| P0_0 | P0 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P0_1 | P0 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P0_2 | P0 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P0_3 | P0 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P0_4 | P0 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P0_5 | P0 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P0_6 | P0 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P0_7 | P0 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P0_8 | P0 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P0_9 | P0 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P0_10 | P0 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P0_11 | P0 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P0_12 | P0 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P0_13 | P0 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P0_14 | P0 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P1_0 | P1 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P1_1 | P1 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P1_2 | P1 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P1_3 | P1 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P1_4 | P1 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P1_5 | P1 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P1_6 | P1 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P1_7 | P1 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P1_8 | P1 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P1_9 | P1 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P1_10 | P1 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P1_11 | P1 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P1_12 | P1 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P1_13 | P1 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P1_14 | P1 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P1_15 | P1 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P2_0 | P2 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P2_1 | P2 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P2_2 | P2 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P2_3 | P2 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P2_4 | P2 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P2_5 | P2 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P2_6 | P2 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P2_7 | P2 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P3_0 | P3 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P3_1 | P3 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |

表 37.2 電源名と端子の関係 (4/5)

| 端子名 | ポート グループ | 回路 電源名 | I/O | 入力電圧 最大値 (V) | 入力バッファタイプ | 出力駆動 能力 | 備考 |
|-------------|-------------|-----------|-----|-----------------|---------------|------------|-------------------|
| P3_2 | P3 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P3_3 | P3 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P3_4 | P3 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P3_5 | P3 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| P3_6 | P3 | EVCC | IO | EVCC + 0.3 | SchB | ○ | |
| AN171/P16_5 | P16 | A1VCC | I | A1VCC + 0.3 | SAR アナログ SchB | | |
| AN170/P16_4 | P16 | A1VCC | I | A1VCC + 0.3 | SAR アナログ SchB | | |
| AN161/P16_3 | P16 | A1VCC | I | A1VCC + 0.3 | SAR アナログ SchB | | |
| AN160/P16_2 | P16 | A1VCC | I | A1VCC + 0.3 | SAR アナログ SchB | | |
| AN151/P16_1 | P16 | A1VCC | I | A1VCC + 0.3 | SAR アナログ SchB | | |
| AN150/P16_0 | P16 | A1VCC | I | A1VCC + 0.3 | SAR アナログ SchB | | |
| AN141 | — | A1VCC | I | A1VCC + 0.3 | SAR アナログ | | |
| AN140 | — | A1VCC | I | A1VCC + 0.3 | SAR アナログ | | |
| AN131 | — | A1VCC | I | A1VCC + 0.3 | SAR アナログ | | |
| AN130 | — | A1VCC | I | A1VCC + 0.3 | SAR アナログ | | |
| AN121 | — | A1VCC | I | A1VCC + 0.3 | SAR アナログ | | |
| AN120 | — | A1VCC | I | A1VCC + 0.3 | SAR アナログ | | |
| AN111 | — | A1VCC | I | A1VCC + 0.3 | SAR アナログ | | |
| A0VCC | | | | | | | |
| A1VCC | | | | | | | |
| ADSVCC | | | | | | | |
| ADSVCL | | | | | | | ΔΣADC 外付け 容量端子 |
| A0VREFH | | | | | | | |
| A1VREFH | | | | | | | |
| ADSVREFH | | | | | | | |
| ADSVREFL | | | | | | | |
| A0VSS | | | | | | | |
| A1VSS | | | | | | | |
| A1VSS(N.C.) | | | | | | | |
| ADSVSS | | | | | | | |
| PLLVCC | | | | | | | |
| PLLVSS | | | | | | | |
| EVCC | | | | | | | |
| EPTVOUT | | VCC | O | | | | |
| VCC | | | | | | | |
| LVDVCC | | | | | | | |
| LVDVSS | | | | | | | |
| YSVCC | | | | | | | |
| TTLVCC 注2 | | | | | | | |
| VDD | | | | | | | |
| VDD(N.C.) | | | | | | | |
| RAMVCL | | | | | | | |

表 37.2 電源名と端子の関係 (5/5)

| 端子名 | ポート グループ | 回路 電源名 | I/O | 入力電圧 最大値 (V) | 入力バッファタイプ | 出力駆動 能力 | 備考 |
|-----------|-------------|-----------|-----|-----------------|-----------|------------|----|
| VSS | | | | | | | |
| VSS(N.C.) | | | | | | | |

注 1. E1L では回路電源名が A0VCC です。E1x-FCC1 とは異なります (E1x-FCC1 では ADSVCC)。

注 2. TTLVCC の GND は LVDVSS です。(LVDVCC の GND と共通)

注 3. 電源名 (N.C.) と記載されている端子は、開放であってもマイコン動作には影響を及ぼしませんが、電源安定の観点から (N.C.) 記載が無い同名の電源に接続することを推奨します。また半田ボールは必ず基板に実装してください。なお、電源名 (N.C.) と記載されている端子は、(N.C.) 記載が無い同名の電源と内部で接続されています。

37.2.2 動作条件

表 37.3 動作条件

| 記号 | Min. | Typ. | Max. | 単位 |
|-------------------------------|------|------|------|----|
| SYSVCC | 3.0 | 3.3 | 3.6 | V |
| VCC | 3.0 | 3.3 | 3.6 | V |
| PLLVC ^{注4} | 3.0 | 3.3 | 3.6 | V |
| VDD | 1.15 | 1.25 | 1.35 | V |
| EVCC | 4.5 | 5.0 | 5.5 | V |
| LVDVCC | 3.0 | 3.3 | 3.6 | V |
| TTLVCC | 3.0 | 3.3 | 3.6 | V |
| | 4.5 | 5.0 | 5.5 | V |
| A0VCC ^{注3} 、A1VCC | 4.5 | 5.0 | 5.5 | V |
| ADSVCC ^{注3} | 4.5 | 5.0 | 5.5 | V |
| A0VREFH、A1VREFH ^{注1} | 4.5 | 5.0 | 5.5 | V |
| ADSVREFH ^{注2} | 4.5 | 5.0 | 5.5 | V |

注1. A0VCC、A1VCC を超えない値を設定してください。

注2. ADSVCC を超えない値を設定してください。

注3. A0VCC = ADSVCC の条件でお使いください。

注4. QFP176、QFP144 では PLLVCC は内部で VCC に接続されていますので製品の端子としてはありません。

備考 動作時にはすべての電源に所定の電圧を供給してください。停止時には、すべての電源をオフしてください。電源遮断スタンバイ時には、SYSVCC 以外の電源はオフにしてください。

37.2.3 入力電圧特性

表 37.4 DC 特性 (入力電圧)

条件 : EVCC = 4.5V ~ 5.5V、TTLVCC = 4.5V ~ 5.5V or 3.0V ~ 3.6V、A0VCC、A1VCC = 4.5V ~ 5.5V、
 A0VREFH = 4.5V ~ A0VCC、A1VREFH = 4.5V ~ A1VCC、ADSVCC = 4.5V ~ 5.5V、
 ADSVREFH = 4.5V ~ ADSVCC、PLLVCC = 3.0V ~ 3.6V、SYSVCC = 3.0V ~ 3.6V、
 VCC = 3.0V ~ 3.6V、LVDVCC = 3.0V ~ 3.6V、VDD = 1.15V ~ 1.35V、
 VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
 Tj = -40°C ~ 150°C

| 項目 | 記号 | Min. | Typ. | Max. | 単位 | 測定条件 |
|-----------------------------|---------------------------|--|------|--|----|---|
| シュミットトリガ入力電圧 (バッファタイプ A) | V_{T^+} (V_{IH}) | $SYSVCC \times 0.75$ $VCC \times 0.75$ | — | $5.5 + 0.3$ | V | 表 37.2 参照 (入力バッファタイプが SchA の項目) |
| | V_{T^-} (V_{IL}) | -0.3 | — | $SYSVCC \times 0.25$ $VCC \times 0.25$ | V | |
| | V_{HS} | $SYSVCC \times 0.2$ $VCC \times 0.2$ | — | — | V | |
| シュミットトリガ入力電圧 (バッファタイプ B) | V_{T^+} (V_{IH}) | $EVCC \times 0.7$ $A0VCC \times 0.7$ $A1VCC \times 0.7$ $ADSVCC \times 0.7$ | — | $EVCC + 0.3$ $A0VCC + 0.3$ $A1VCC + 0.3$ $ADSVCC + 0.3$ | V | 表 37.2 参照 (入力バッファタイプが SchB の項目) |
| | V_{T^-} (V_{IL}) | -0.3 | — | $EVCC \times 0.42$ $A0VCC \times 0.42$ $A1VCC \times 0.42$ $ADSVCC \times 0.42$ | V | |
| | V_{HS} | $EVCC \times 0.082$ $A0VCC \times 0.082$ $A1VCC \times 0.082$ $ADSVCC \times 0.082$ | — | — | V | |
| シュミットトリガ入力電圧 (バッファタイプ C) | V_{T^+} (V_{IH}) | $TTLVCC \times 0.6$ | — | $TTLVCC + 0.3$ | V | 表 37.2 参照 (入力バッファタイプが SchC の項目) TTLVCC = 3.0 ~ 3.6V, 4.5 ~ 5.5V |
| | V_{T^-} (V_{IL}) | -0.3 | — | $TTLVCC \times 0.36$ | V | |
| | V_{HS} | $TTLVCC \times 0.082$ | — | — | V | |
| TTL 入力電圧 | V_{IH} | 2.2 | — | $VCC + 0.3$ | V | 表 37.2 参照 (入力バッファタイプが TTL2 の項目) |
| | V_{IL} | -0.3 | — | 0.8 | V | |
| クロック入力端子電圧 (EXTAL) | V_{IH} | $VCC \times 0.7$ | — | $VCC + 0.3$ | V | |
| | V_{IL} | -0.3 | — | $VCC \times 0.2$ | V | |

37.2.4 入力リーク電流特性

表 37.5 DC 特性 (入力リーク電流)

条件 : EVCC = 4.5V ~ 5.5V、TTLVCC = 4.5V ~ 5.5V or 3.0V ~ 3.6V、A0VCC、A1VCC = 4.5V ~ 5.5V、
 A0VREFH = 4.5V ~ A0VCC、A1VREFH = 4.5V ~ A1VCC、ADSVCC = 4.5V ~ 5.5V、
 ADSVREFH = 4.5V ~ ADSVCC、PLLVCC = 3.0V ~ 3.6V、SYSVCC = 3.0V ~ 3.6V、
 VCC = 3.0V ~ 3.6V、LVDVCC = 3.0V ~ 3.6V、VDD = 1.15V ~ 1.35V、
 VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
 Tj = -40°C ~ 150°C

| 項目 | 記号 | Min. | Typ. | Max. | 単位 | 測定条件 |
|---------|-----------|------|------|------|----|---|
| 入力リーク電流 | A/D ポート以外 | lin | — | 1 | μA | $V_{in} = 0V \sim EVCC$ $V_{in} = 0V \sim TTLVCC$ $V_{in} = 0V \sim SYSVCC$ 、 $V_{in} = 0V \sim VCC$ |
| | A/D ポート | lin | — | 0.1 | μA | $V_{in} = 0V \sim A0VCC$ 、 $A1VCC$ $V_{in} = 0V \sim ADSVCC$ |

37.2.5 プルアップ/プルダウン MOS 電流特性

表 37.6 DC 特性 (プルアップ/プルダウン MOS 電流)

条件 : EVCC = 4.5V ~ 5.5V、TTLVCC = 4.5V ~ 5.5V or 3.0V ~ 3.6V、A0VCC、A1VCC = 4.5V ~ 5.5V、
 A0VREFH = 4.5V ~ A0VCC、A1VREFH = 4.5V ~ A1VCC、ADSVCC = 4.5V ~ 5.5V、
 ADSVREFH = 4.5V ~ ADSVCC、PLLCC = 3.0V ~ 3.6V、SYSVCC = 3.0V ~ 3.6V、
 VCC = 3.0V ~ 3.6V、LVDVCC = 3.0V ~ 3.6V、VDD = 1.15V ~ 1.35V、
 VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
 Tj = -40°C ~ 150°C

| 項目 | 記号 | Min. | Typ. | Max. | 単位 | 測定条件 | |
|-------------------|---|------------------|------|------|-----|---------------------------------------|--------------------------------|
| 入力プルアップ MOS 電流 | TMS、TDI、TCK (JTAG ポートとして 使用した場合も含む) | -I _{pu} | — | — | 350 | μA Vin = 0V、 VCC = 3.0 ~ 3.6V | |
| | EVCC 電源系端子 | — | — | 350 | μA | Vin = 0V EVCC = 4.5 ~ 5.5V | |
| | TTLVCC 電源系端子 | 15 | — | 90 | μA | Vin = 0V、TTLVCC = 3.0 ~ 3.6V | |
| | | 40 | — | 190 | μA | Vin = 0V、TTLVCC = 4.5 ~ 5.5V | |
| 入力プルダウン MOS 電流 | RES | I _{pd} | 25 | 60 | 120 | μA | Vin = SYSVCC、 SYSVCC = 3.6V |
| | | | 5 | 20 | 40 | μA | Vin = SYSVCC、 SYSVCC = 2.0V |
| | TRST | — | — | 350 | μA | Vin = SYSVCC、 SYSVCC = 3.0 ~ 3.6V | |
| | FLMODE、MD0、 MD1 (SYSVCC 電源系端 子) | 15 | — | 120 | μA | Vin = SYSVCC、 SYSVCC = 3.0 ~ 3.6V | |
| | NMI | 15 | — | 120 | μA | Vin = VCC、 VCC = 3.0 ~ 3.6V | |
| | EVCC 電源系端子 | — | — | 350 | μA | Vin = EVCC、 EVCC = 4.5 ~ 5.5V | |
| | TTLVCC 電源系端子 | 15 | — | 120 | μA | Vin = TTLVCC、 TTLVCC = 3.0 ~ 3.6V | |
| | | 50 | — | 240 | μA | Vin = TTLVCC、 TTLVCC = 4.5V ~ 5.5V | |

37.2.6 出力電圧特性

表 37.7 DC 特性 (出力電圧)

条件 : EVCC = 4.5V ~ 5.5V、TTLVCC = 4.5V ~ 5.5V or 3.0V ~ 3.6V、A0VCC、A1VCC = 4.5V ~ 5.5V、
 A0VREFH = 4.5V ~ A0VCC、A1VREFH = 4.5V ~ A1VCC、ADSVCC = 4.5V ~ 5.5V、
 ADSVREFH = 4.5V ~ ADSVCC、PLLVCC = 3.0V ~ 3.6V、SYSVCC = 3.0V ~ 3.6V、
 VCC = 3.0V ~ 3.6V、LVDVCC = 3.0V ~ 3.6V、VDD = 1.15V ~ 1.35V、
 VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
 Tj = -40°C ~ 150°C

| 項目 | 記号 | Min. | Typ. | Max. | 単位 | 測定条件 | |
|---------------|--------------|----------|--------------|------|-----|------|--|
| 出力ハイレベル 電圧 | EVCC 電源系端子 | V_{OH} | EVCC - 0.5 | — | — | V | $I_{OH} = 200 \mu\text{A}$ 、 EVCC = 4.5V ~ 5.5V |
| | | | EVCC - 1.0 | — | — | V | $I_{OH} = 1\text{mA}$ 、 EVCC = 4.5V ~ 5.5V |
| | TTLVCC 電源系端子 | | TTLVCC - 0.4 | — | — | V | $I_{OH} = 2\text{mA}$ 、 TTLVCC = 4.5V ~ 5.5V |
| | | | TTLVCC - 0.4 | — | — | V | $I_{OH} = 2\text{mA}$ 、 TTLVCC = 3.0V ~ 3.6V |
| | VCC 電源系端子 | | VCC - 0.1 | — | — | V | $I_{OH} = 50 \mu\text{A}$ 、 VCC = 3.0V ~ 3.6V |
| | | | VCC - 1.0 | — | — | V | $I_{OH} = 200 \mu\text{A}$ 、 VCC = 3.0V ~ 3.6V |
| 出力ロウレベル 電圧 | EVCC 電源系端子 | V_{OL} | — | — | 0.4 | V | $I_{OL} = 1.6 \text{mA}$ EVCC = 4.5V ~ 5.5V |
| | | | — | — | 1.2 | V | $I_{OL} = 4 \text{mA}$ EVCC = 4.5V ~ 5.5V |
| | TTLVCC 電源系端子 | | — | — | 0.4 | V | $I_{OL} = 2\text{mA}$ 、 TTLVCC = 4.5V ~ 5.5V |
| | | | — | — | 0.4 | V | $I_{OL} = 2\text{mA}$ 、 TTLVCC = 3.0V ~ 3.6V |
| | VCC 電源系端子 | | — | — | 0.1 | V | $I_{OL} = 50 \mu\text{A}$ VCC = 3.0V ~ 3.6V |
| | | | — | — | 0.4 | V | $I_{OL} = 1.6 \text{mA}$ VCC = 3.0V ~ 3.6V |

37.2.7 許容出力電流

表 37.8 DC 特性 (許容出力電流)

条件 : EVCC = 4.5V ~ 5.5V、TTLVCC = 4.5V ~ 5.5V or 3.0V ~ 3.6V、A0VCC、A1VCC = 4.5V ~ 5.5V、
A0VREFH = 4.5V ~ A0VCC、A1VREFH = 4.5V ~ A1VCC、ADSVCC = 4.5V ~ 5.5V、
ADSVREFH = 4.5V ~ ADSVCC、PLLCC = 3.0V ~ 3.6V、SYSVCC = 3.0V ~ 3.6V、
VCC = 3.0V ~ 3.6V、LVDVCC = 3.0V ~ 3.6V、VDD = 1.15V ~ 1.35V、
VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = -40°C ~ 150°C

| 項目 | 記号 | Min. | Typ. | Max. | 単位 |
|-----------------------|-----------------|------|------|------|----|
| 出力ロウレベル許容電流 (1 端子当たり) | I_{OL} | — | — | 4.0 | mA |
| 出力ロウレベル許容電流 (総和) | ΣI_{OL} | — | — | 80 | mA |
| 出力ハイレベル許容電流 (1 端子当たり) | I_{OH} | — | — | 2.0 | mA |
| 出力ハイレベル許容電流 (総和) | ΣI_{OH} | — | — | 25 | mA |

37.2.8 注入電流

表 37.9 DC 特性 (注入電流)

条件 : EVCC = 4.5V ~ 5.5V、TTLVCC = 4.5V ~ 5.5V or 3.0V ~ 3.6V、A0VCC、A1VCC = 4.5V ~ 5.5V、
A0VREFH = 4.5V ~ A0VCC、A1VREFH = 4.5V ~ A1VCC、ADSVCC = 4.5V ~ 5.5V、
ADSVREFH = 4.5V ~ ADSVCC、PLLCC = 3.0V ~ 3.6V、SYSVCC = 3.0V ~ 3.6V、
VCC = 3.0V ~ 3.6V、LVDVCC = 3.0V ~ 3.6V、VDD = 1.15V ~ 1.35V、
VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = -40°C ~ 150°C

| 項目 | | 記号 | Min. | Typ. | Max. | 単位 |
|-------------------|--------|-------------------|-------|------|------|----|
| DC 注入電流 (1 端子当たり) | ロジック端子 | I_{IC} | -2.0 | — | 2.0 | mA |
| | アナログ端子 | | -3.0 | — | 3.0 | mA |
| DC 注入電流 (総和) | | $\Sigma I_{IC} $ | -50.0 | — | 50.0 | mA |

37.2.9 LVDS ドライバ

表 37.10 DC 特性 (LVDS ドライバ特性)

条件 : EVCC = 4.5V ~ 5.5V、TTLVCC = 4.5V ~ 5.5V or 3.0V ~ 3.6V、A0VCC、A1VCC = 4.5V ~ 5.5V、
 A0VREFH = 4.5V ~ A0VCC、A1VREFH = 4.5V ~ A1VCC、ADSVCC = 4.5V ~ 5.5V、
 ADSVREFH = 4.5V ~ ADSVCC、PLLCC = 3.0V ~ 3.6V、SYSVCC = 3.0V ~ 3.6V、
 VCC = 3.0V ~ 3.6V、LVDVCC = 3.0V ~ 3.6V、VDD = 1.15V ~ 1.35V、
 VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
 $T_j = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$

| 項目 | 記号 | Min. | Typ. | Max. | 単位 | 測定条件 |
|-----------|----------|------|------|------|----------|---------------|
| 出力ハイレベル電圧 | V_{OH} | — | — | 1525 | mV | 図 37.1、図 37.2 |
| 出力ロウレベル電圧 | V_{OL} | 875 | — | — | mV | |
| 出力差動電圧 | V_{OD} | 150 | — | 400 | mV | |
| オフセット電圧 | V_{OS} | 1075 | — | 1325 | mV | |
| 出カインピーダンス | R_0 | 40 | — | 140 | Ω | |

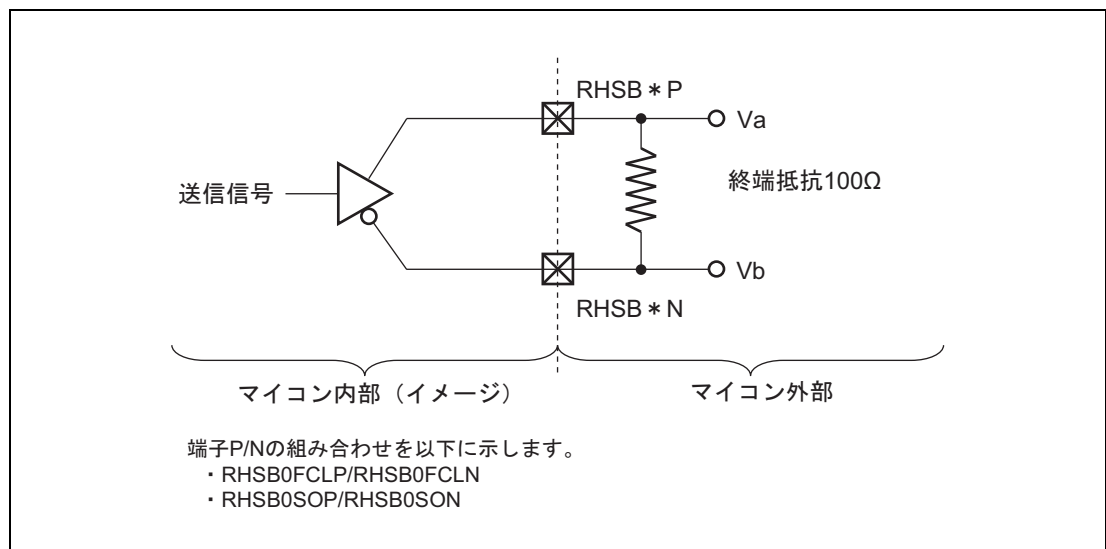


図 37.1 LVDS ドライバ Va/Vb 測定条件

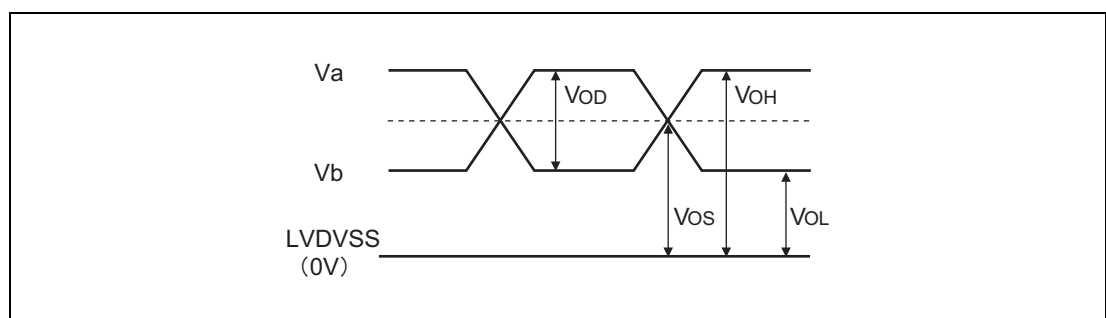


図 37.2 LVDS ドライバ記号説明

37.2.10 入力容量

表 37.11 DC 特性（入力容量）

条件：EVCC = 4.5V ~ 5.5V、TTLVCC = 4.5V ~ 5.5V or 3.0V ~ 3.6V、A0VCC、A1VCC = 4.5V ~ 5.5V、
A0VREFH = 4.5V ~ A0VCC、A1VREFH = 4.5V ~ A1VCC、ADSVCC = 4.5V ~ 5.5V、
ADSVREFH = 4.5V ~ ADSVCC、PLLCC = 3.0V ~ 3.6V、SYSVCC = 3.0V ~ 3.6V、
VCC = 3.0V ~ 3.6V、LVDVCC = 3.0V ~ 3.6V、VDD = 1.15V ~ 1.35V、
VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V

| 項目 | 記号 | Min. | Typ. | Max. | 単位 | 測定条件 |
|------|--------------------|------|------|------|----|---|
| 入力容量 | すべての端子 C_{in} | — | 10 | 20 | pF | $V_{in} = 0\text{ V}$ 、 $f = 1\text{ MHz}$ 、 $T_j = 25^\circ\text{C}$ |

37.2.11 消費電流特性

表 37.12 DC 特性 (消費電流)

条件 : EVCC = 4.5V ~ 5.5V、TTLVCC = 4.5V ~ 5.5V or 3.0V ~ 3.6V、A0VCC、A1VCC = 4.5V ~ 5.5V、
 A0VREFH = 4.5V ~ A0VCC、A1VREFH = 4.5V ~ A1VCC、ADSVCC = 4.5V ~ 5.5V、
 ADSVREFH = 4.5V ~ ADSVCC、PLLVCC = 3.0V ~ 3.6V、SYSVCC = 3.0V ~ 3.6V、
 VCC = 3.0V ~ 3.6V、LVDVCC = 3.0V ~ 3.6V、VDD = 1.15V ~ 1.35V、
 VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
 Tj = -40°C ~ 150°C

| 項目 | 記号 | Min. | Typ. 注1 | Max. | 単位 | 測定条件 | |
|------------------------------|-------------------------------|-------------------------|---------|------|-----|------|------------|
| コア消費電流 (VDD 電源) | 通常動作 | I _{DD} | — | 145 | 260 | mA | 240MHz 動作時 |
| | | | — | 110 | 220 | mA | 160MHz 動作時 |
| | リセット時電流 | I _{DDrst} | — | 60 | 155 | mA | |
| VCC 電源消費電流 (EPT 未使用時) 注2 | 通常動作 (CodeFlash 消去 動作時を除く) | I _{CC} | — | 10 | 23 | mA | |
| | CodeFlash 消去動作時 | I _{CCcf erase} | — | 20 | 40 | mA | |
| | リセット時電流 | I _{CCrst} | 3 | 7 | 15 | mA | |
| システム系の消費電流 (SYSVCC 電源) | 通常動作 | I _{SYs} | — | 0.25 | 1 | mA | |
| | リセット時電流 | I _{SYsrst} | 0.1 | 0.3 | 1 | mA | |
| PLL 消費電流 (PLLVCC 電源) | I _{PLL} | 2 | 3.5 | 5 | mA | | |
| RHSB 電源消費電流 (LVDVCC 電源) | I _{LVDS} | — | 7 | 12 | mA | | |
| アナログ電源電流 (A0VCC、A1VCC 電源) | I _{AVCC} | — | 3 | 5 | mA | | |
| アナログ電源電流 (ADSVCC 電源) | I _{ADSVCC} | — | 4 | 5 | mA | | |
| ADC 基準電源電流 (A0VREFH、A1VREFH) | I _{AVREF} | — | 220 | 500 | μA | | |
| ADC 基準電源電流 (ADSVREFH) | I _{AVREF_DS} | — | 100 | 500 | μA | | |

注 1. Tj = 25°C のとき

注 2. EPT を使用する場合は、EPT の電流増幅率から EPTVOUT に流れる電流を計算し、その値を VCC に加算してください。

注 意

- A/D 変換器を使用しないときおよび A/D 変換器がスタンバイのとき、A0VCC 端子、A1VCC 端子、A0VREFH 端子、A1VREFH 端子、ADSVREFH 端子、ADSVREFL 端子、A0VSS 端子、A1VSS 端子を開放しないでください。
- 消費電流値はすべての出力端子を無負荷状態で、V_{IHmin} = V_{CC} - 0.5 V/EVCC - 0.5 V、V_{IL} = 0.5 V のときの値です。

37.2.12 スタンバイ電流

表 37.13 DC 特性 (スタンバイ)

条件 : EVCC = 0V ~ EVCCstdby1、SYSVCC = SYSVCCLow ~ 3.6V、その他の電源 0V ~ Operation 電圧、
VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = -40°C ~ 150°C

| 項目 | 記号 | Min. | Typ. | Max. | 単位 | 条件 |
|---------------------|------------------------------|------|------|------|----|----------------------|
| 消費電流 (SYSVCC 電源) | 電源遮断スタンバイ I _{SB} | — | — | 0.75 | mA | -40 °C < Tj ≤ 50 °C |
| | | — | — | 1 | mA | 50 °C < Tj ≤ 105 °C |
| | | — | — | 1.5 | mA | 105 °C < Tj ≤ 150 °C |

37.2.13 電源電圧モニタ特性

表 37.14 DC 特性 (電源電圧モニタ)

条件 : EVCC = 4.5V ~ 5.5V、TTLVCC = 4.5V ~ 5.5V or 3.0V ~ 3.6V、A0VCC、A1VCC = 4.5V ~ 5.5V、
A0VREFH = 4.5V ~ A0VCC、A1VREFH = 4.5V ~ A1VCC、ADSVCC = 4.5V ~ 5.5V、
ADSVREFH = 4.5V ~ ADSVCC、PLLVCC = 3.0V ~ 3.6V、SYSVCC = 3.0V ~ 3.6V、
VCC = 3.0V ~ 3.6V、LVDVCC = 3.0V ~ 3.6V、
VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = -40°C ~ 150°C

| 項目 | 記号 | Min. | Typ. | Max. | 単位 | 測定条件 | | |
|-----------------|----------------------------|------|------|------|------|------|---|--|
| 電源電圧モニタ 上限電圧 | HDETCTL.VDDREFH 1, 0 設定 | 00 | — | 1.40 | 1.50 | 1.60 | V | |
| 電源電圧モニタ 下限電圧 | LDETCTL.VDDREFL 1, 0 設定 | 00 | — | 0.85 | 0.95 | 1.05 | V | |

37.3 AC 特性

- タイミング条件について特に記載がない場合は下記条件を適用します。
 $SYSVCC = VCC = PLLVCC = LVDVCC = TTLVCC = 3.0V \sim 3.6V$
 $EVCC = 4.5V \sim 5.5V$ 、 $A0VCC = A1VCC = 4.5V \sim 5.5V$ 、 $A0VREFH = 4.5V \sim A0VCC$ 、 $A1VREFH = 4.5V \sim A1VCC$ 、
 $ADSVCC = 4.5V \sim 5.5V$ 、 $ADSVREFH = 4.5V \sim ADSVCC$ 、 $VDD = 1.15 \sim 1.35V$ 、
 $VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V$ 、
 $T_j = -40^\circ C \sim 150^\circ C$
- ポートコントロールレジスタにおいて出力端子のドライバビリティ選択ができるものについては、同一チャンネルで使用するモジュールの出力端子をすべて同じドライバビリティに設定した条件を適用します。特に指定のない限り、すべてのドライバビリティ設定を含みます。
- AC 測定条件は、特に記載がないものについては図 37.3 にしたがいします。
 入力参照レベル ハイレベル： $V_{IH \text{ Min}}$ 値、ロウレベル： $V_{IL \text{ Max}}$ 値
 出力参照レベル ハイレベル：2.0V、ロウレベル：0.8V
 入力立ち上がり時間、立ち下がり時間：1ns

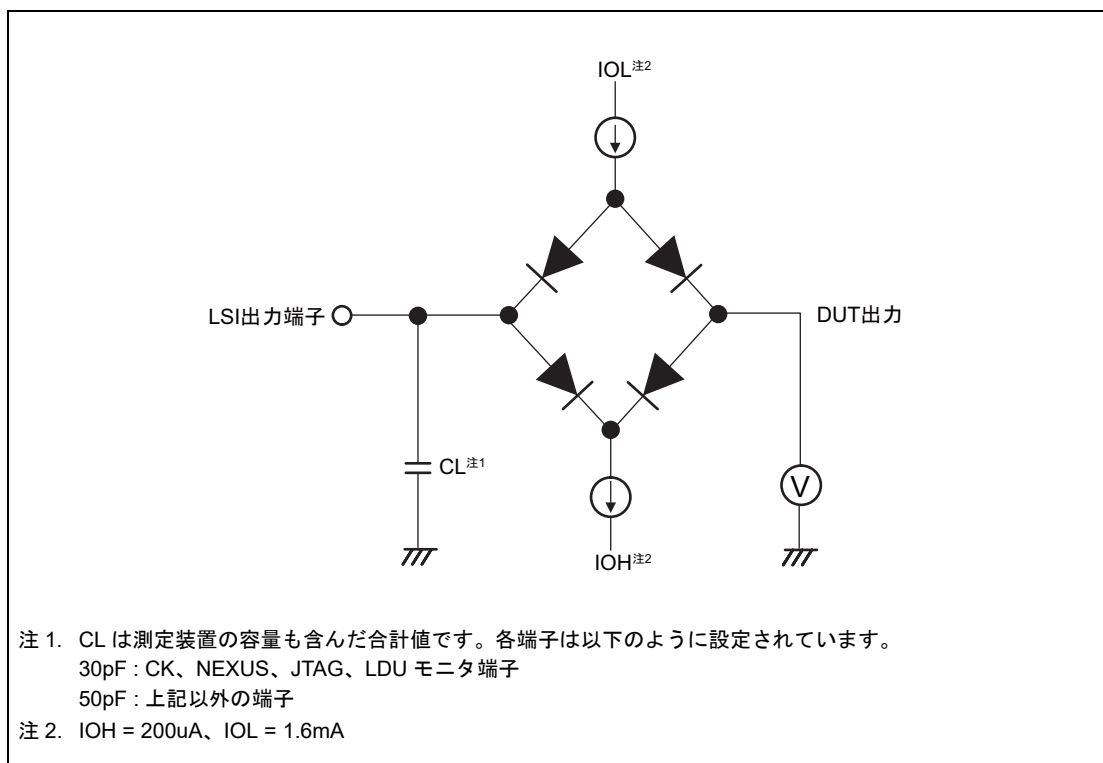


図 37.3 AC 測定条件

37.3.1 電源投入・切断タイミング

(1) EPT 未使用時

表 37.15 電源投入・切断タイミング

| 項目 | 略号 | Min. | Max. | 単位 | 備考 | 参照図 |
|-------------------|---------|------|------|----|----|--------|
| 電源立ち上げ時の外部リセットL期間 | tRESW1 | 10 | — | ms | 注1 | 図 37.4 |
| 電源立ち下げ時の外部リセットL期間 | tRESW2 | 2 | — | μs | 注2 | |
| PLL1 ロックアップ時間 | tPLL1L0 | — | 1 | ms | 注3 | |

注1. tRESW1は、全電源が立ち上がり内部クロック安定供給に必要なリセット期間を示します。なお、リセット状態であれば、電源立ち上げ時の各電源間電位差に制限事項はありません。

注2. tRESW2は、リセット挿入からいずれかの電源電圧が下限電圧を下回るまでの期間を示します。

注3. tPLL1L0は、MOSCが発振安定してからPLL1がロックアップするのに必要な時間を示します。

注 意

- 電源遮断時のリセット挿入からリセットノイズキャンセル幅 (Max.1.2μs) の期間は、I/O端子状態はリセットされません。その期間は、端子への中間電位入力または出力データの衝突が起こらないようにしてください。
- フラッシュメモリの書き込み/消去中に電源を遮断すると、フラッシュが破損する可能性があります。

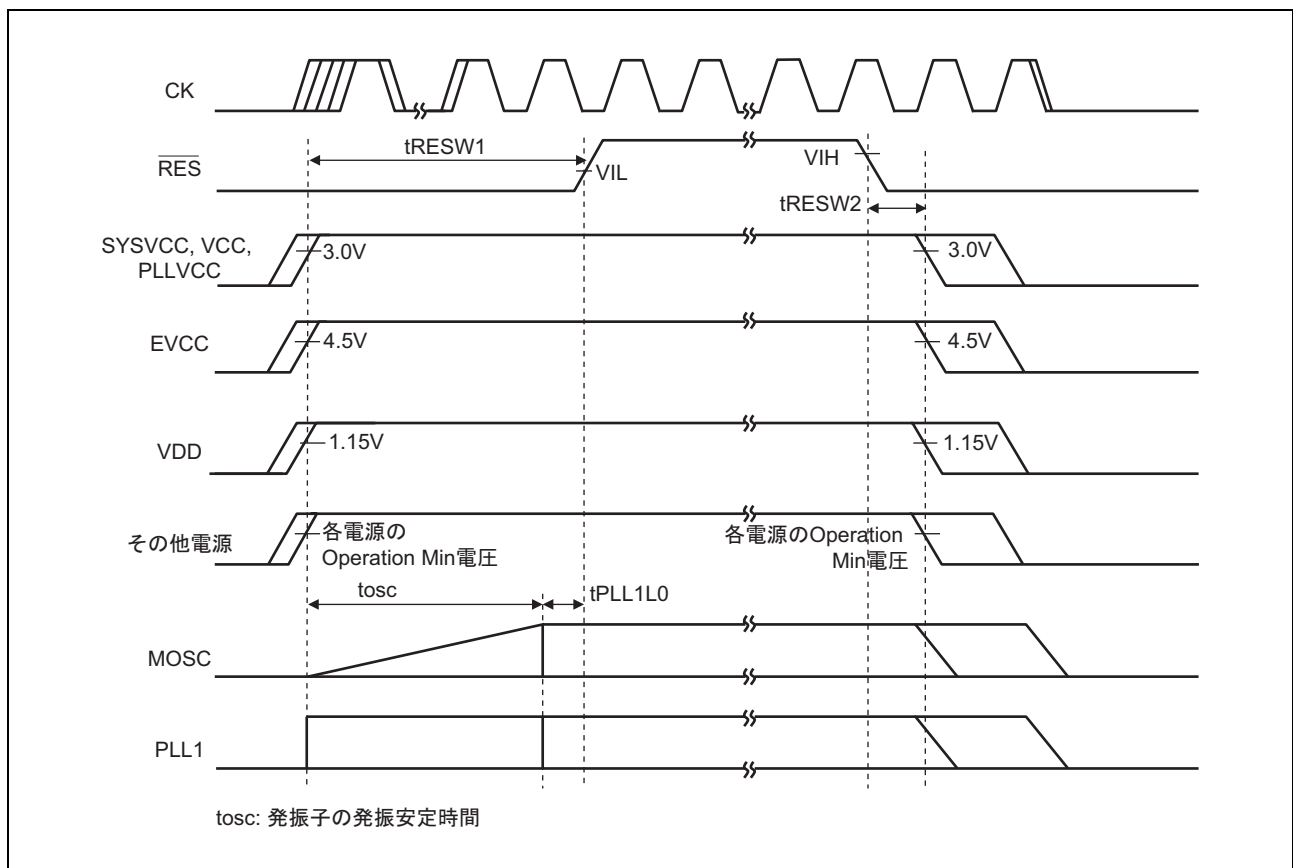


図 37.4 EPT 未使用時の電源投入・切断タイミング

(2) EPT 使用時

表 37.16 電源投入・切断タイミング

| 項目 | 略号 | Min. | Max. | 単位 | 備考 | 参照図 |
|-------------------|---------|------|------|----|----|--------|
| 電源立ち上げ時の外部リセットL期間 | tRESW4 | 10 | — | ms | 注1 | 図 37.5 |
| 電源立ち下げ時の外部リセットL期間 | tRESW5 | 2 | — | μs | 注2 | |
| PLL1 ロックアップ時間 | tPLL1L0 | — | 1 | ms | 注3 | |

注 1. tRESW4 は、全電源が立ち上がり内部クロック安定供給に必要なリセット期間を示します。なお、リセット状態であれば、電源立ち上げ時の各電源間電位差に制限事項はありません。

注 2. tRESW5 は、リセット挿入からいずれかの電源電圧が下限電圧を下回るまでの期間を示します。

注 3. tPLL1L0 は、MOSC が発振安定してから PLL1 がロックアップするのに必要な時間を示します。

注 意

- 電源遮断時のリセット挿入からリセットノイズキャンセル幅 (Max.1.2μs) の期間は、I/O 端子状態はリセットされません。その期間は、端子への中間電位入力または出力データの衝突が起こらないようにしてください。
- フラッシュメモリの書き込み/消去中に電源を遮断すると、フラッシュが破損する可能性があります。

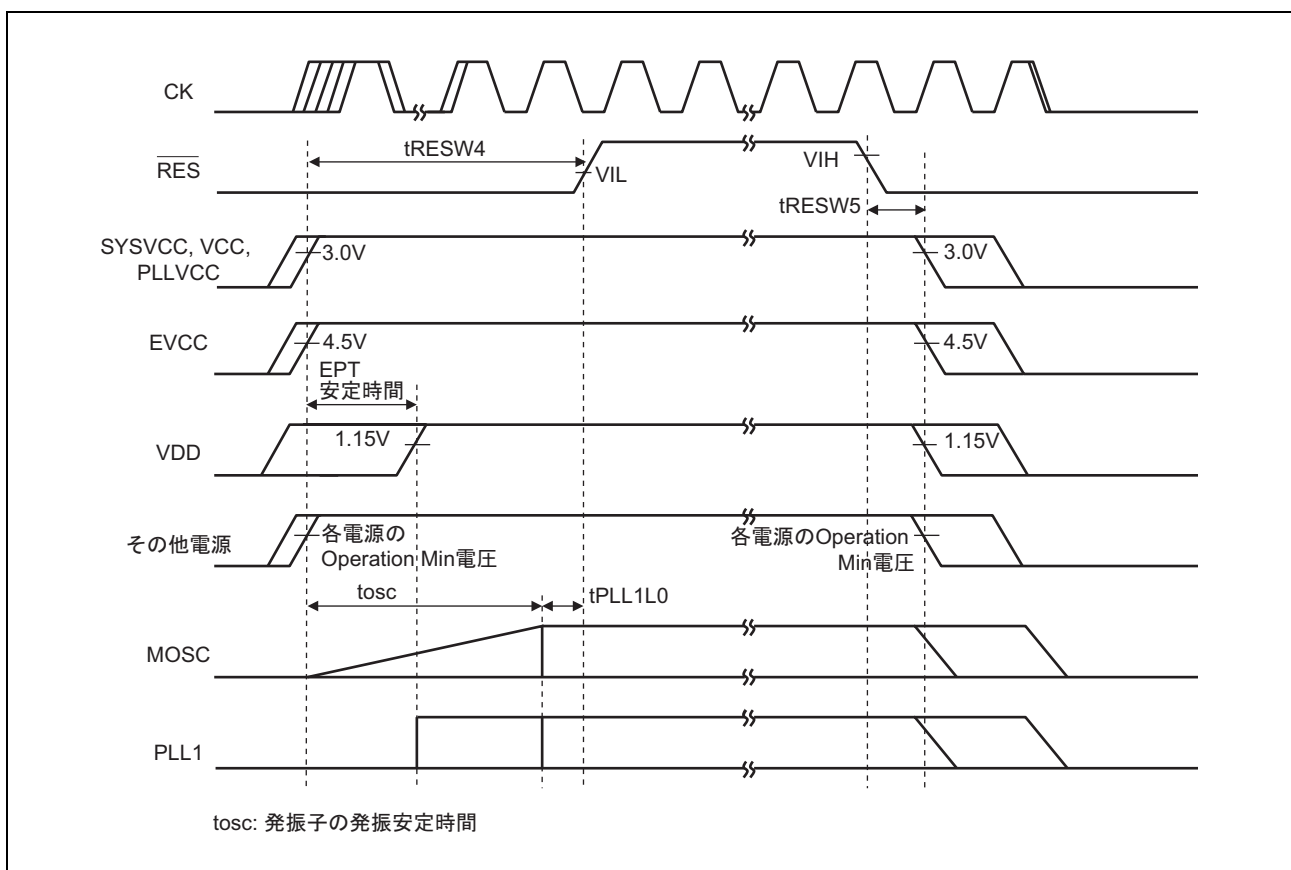


図 37.5 EPT 使用時の電源投入・切断タイミング

37.3.2 スタンバイ移行・復帰タイミング

表 37.17 電源遮断スタンバイタイミング

| 項目 | 略号 | 条件 | Min. | Max. | 単位 | 参照図 |
|---------------------------------------|------------|----|--------|------|----|--------|
| VCC 電源遮断前リセットアサート期間 | tVCC | | 2 | — | μs | 図 37.6 |
| VDD 電源遮断前リセットアサート期間 | tVDD | | 2 | — | μs | |
| EVCC 電源遮断前リセットアサート期間 | tEVCC | | 2 | — | μs | |
| VCC/VDD/EVCC 以外の電源 電源遮断前リセットアサート期間 | tVoltage | | 2 | — | μs | |
| 電源遮断スタンバイ復帰時リセット保持期間 | tRESW3 | 注1 | tRESW1 | — | ms | |
| | | 注2 | tRESW4 | — | ms | |
| 電源遮断スタンバイ移行 EVCC 電圧 | EVCCstdby1 | 注3 | 2.1 | — | V | |
| 電源遮断スタンバイ復帰 EVCC 電圧 | EVCCstdby2 | 注4 | — | 2.5 | V | |
| 電源遮断スタンバイ時 SYSVCC 電圧 | SYSVCCLow | | 2.7 | 3.6 | V | |

注 1. EPT 未使用時

注 2. EPT 使用時

注 3. 電源遮断スタンバイモードに移行するための EVCC 電圧を規定しており、EVCCstdby1-min 値以下の電圧にする必要があります。

注 4. 電源遮断スタンバイモードから復帰するための EVCC 電圧を規定しており、EVCCstdby2-max 値以上の電圧にする必要があります。

注 意

FLASH のプログラム/消去中のリセットに関しては、「RH850/E1x フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」の規定を守ってください。

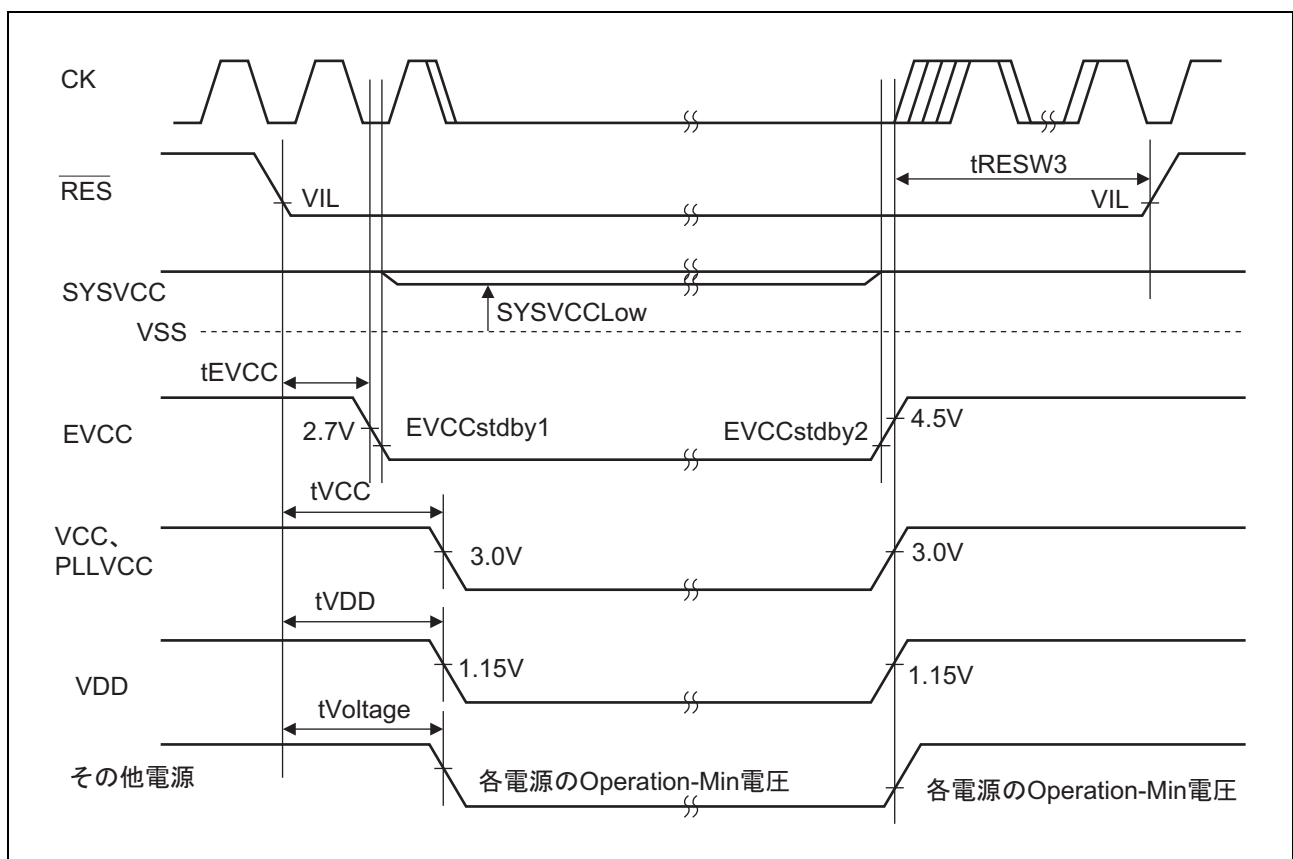


図 37.6 電源遮断スタンバイタイミング

37.3.3 クロックタイミング

37.3.3.1 外部クロックと出力クロック

表 37.18 クロックタイミング

| 項目 | 記号 | Min. | Typ. | Max. | 単位 | 参照図 |
|------------------------------|-----------|-------|------|------|-----|--------|
| EXTAL クロック入力周波数 | f_{EX} | 19.9 | — | 20 | MHz | 図 37.7 |
| EXTAL クロック入力ロウレベルパルス幅 | t_{EXL} | 20 | — | — | ns | |
| EXTAL クロック入力ハイレベルパルス幅 | t_{EXH} | 20 | — | — | ns | |
| EXTAL クロック入力立ち上がり時間 | t_{EXR} | — | — | 4 | ns | |
| EXTAL クロック入力立ち下がり時間 | t_{EXF} | — | — | 4 | ns | |
| CK クロック周波数 ^{注1} | f_{op} | 0.995 | 1 | 2 | MHz | 図 37.8 |
| CK クロックロウレベルパルス幅 | t_{CL} | 230 | — | — | ns | |
| CK クロックハイレベルパルス幅 | t_{CH} | 230 | — | — | ns | |
| CK クロック立ち上がり時間 ^{注2} | t_{CR} | — | — | 15 | ns | |
| CK クロック立ち下がり時間 ^{注2} | t_{CF} | — | — | 15 | ns | |

注 1. CK 端子から出力するクロックは 1MHz クロック (EXTAL 入力 = 20MHz 時)、ポーレートジェネレータ (BRG) で設定した分周クロックです。クロックジッタの値はボード設計に依存します。

注 2. CL = 30pF

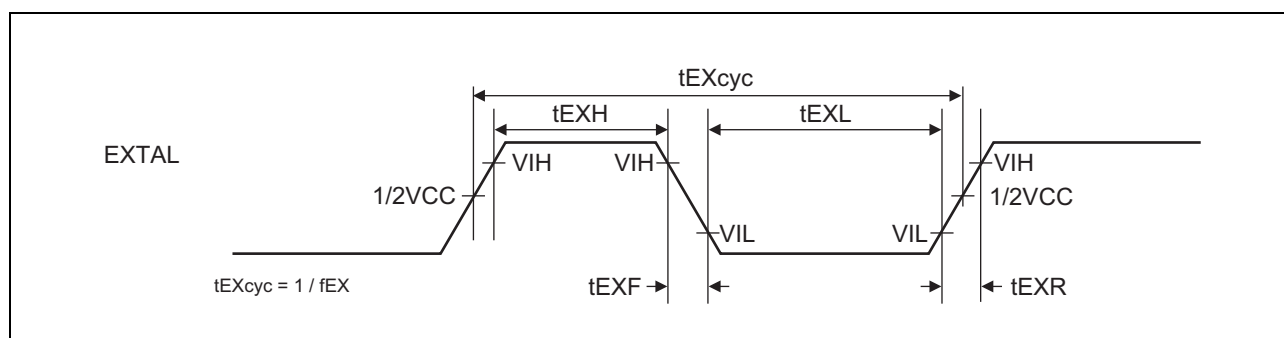


図 37.7 EXTAL タイミング

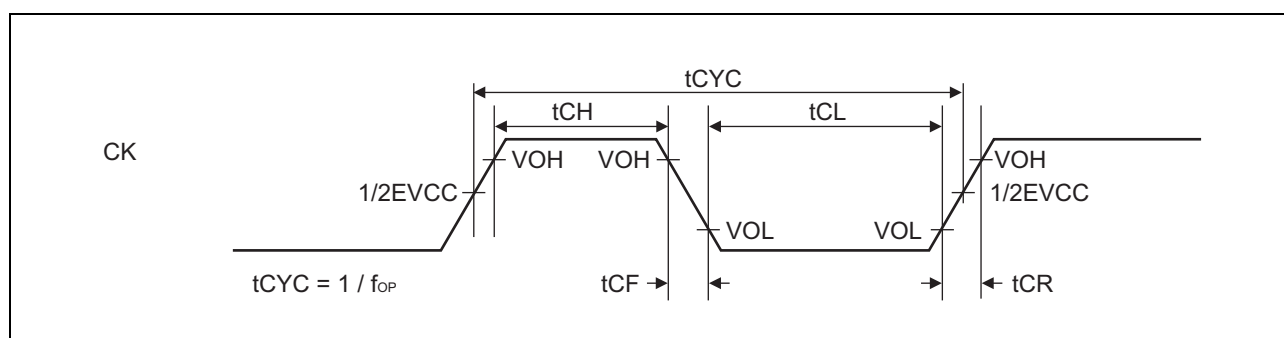


図 37.8 CK タイミング

37.3.3.2 スペクトラム拡散クロックジェネレータ

表 37.19 SSCG タイミング

| 項目 | 記号 | Min. | Typ. | Max. | 単位 |
|------------------------|------|------|------|------|-----|
| 変調周波数 | fmod | 20 | — | 100 | kHz |
| 周波数ディザ範囲 ^{注1} | fdit | 4.1 | — | — | % |
| 周波数安定時間 (OFF → ON) | | — | — | 1.6 | ms |

注 1. 変調方式はダウン拡散のみ。

37.3.3.3 オンチップオシレータ発振周波数精度

表 37.20 オンチップオシレータ発振周波数精度

| 項目 | 記号 | Min. | Typ. | Max. | 単位 |
|------------|-------|------|------|------|-----|
| ROSC 発振周波数 | fLOCO | 160 | 240 | 360 | kHz |

37.3.4 出力スルーレート

EVCC 電源系端子

表 37.21 ドライバビリティ選択 = High

| 項目 | 記号 | 条件 | Min. | Typ. | Max. | 単位 | 参照図 |
|---------------------------|-------|------------|------|------|------|----|--------|
| 出力立ち上がり／立ち下がり時間 スルーレート | tR、tF | CL = 25pF | — | 4 | 6 | ns | 図 37.9 |
| | | CL = 50pF | — | 6 | 12 | ns | |
| | | CL = 75pF | — | 8 | 16 | ns | |
| | | CL = 100pF | — | 10 | 20 | ns | |

表 37.22 ドライバビリティ選択 = Mid

| 項目 | 記号 | 条件 | Min. | Typ. | Max. | 単位 | 参照図 |
|---------------------------|-------|------------|------|------|------|----|--------|
| 出力立ち上がり／立ち下がり時間 スルーレート | tR、tF | CL = 25pF | — | 8 | 15 | ns | 図 37.9 |
| | | CL = 50pF | — | 15 | 30 | ns | |
| | | CL = 75pF | — | 23 | 45 | ns | |
| | | CL = 100pF | — | 30 | 60 | ns | |

表 37.23 ドライバビリティ選択 = Low

| 項目 | 記号 | 条件 | Min. | Typ. | Max. | 単位 | 参照図 |
|---------------------------|-------|------------|------|------|------|----|--------|
| 出力立ち上がり／立ち下がり時間 スルーレート | tR、tF | CL = 25pF | — | 25 | 50 | ns | 図 37.9 |
| | | CL = 50pF | — | 50 | 100 | ns | |
| | | CL = 75pF | — | 70 | 120 | ns | |
| | | CL = 100pF | — | 85 | 150 | ns | |

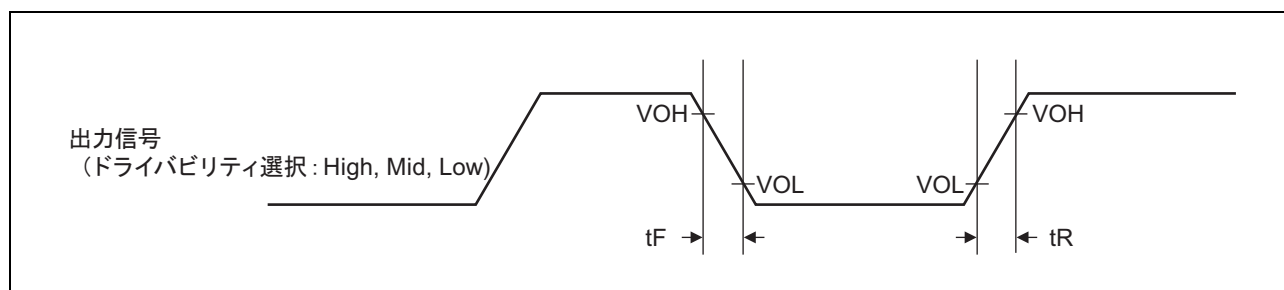


図 37.9 出力信号タイミング

表 37.24 TTLVCC 電源系端子

| 項目 | 記号 | 条件 | Min. | Typ. | Max. | 単位 | 備考 |
|---------------------------|-------|--------------------------------|------|------|------|----|-----------|
| 出力立ち上がり／立ち下がり時間 スルーレート | tR、tF | ドライバビリティ選択 = High CL = 50pF | — | 6 | 12 | ns | 10% – 90% |
| | | ドライバビリティ選択 = Mid CL = 50pF | — | 15 | 30 | ns | |
| | | ドライバビリティ選択 = Low CL = 50pF | — | 50 | 100 | ns | |

37.3.5 制御信号タイミング

表 37.25 制御信号

| 項目 | 記号 | Min. | Typ. | Max. | 単位 | 参照図 |
|------------------------|----------|------|------|------|----|---------|
| リセットパルス幅 ^{注1} | tRESW6 | 1.5 | — | — | μs | 図 37.10 |
| リセットノイズキャンセル幅 | tRESNCW | 0.2 | 0.4 | 1.2 | μs | |
| TRST ノイズキャンセル幅 | tTRSTNCW | 0.2 | 0.4 | 1.2 | μs | |
| NMI ノイズキャンセル幅 | tNC | 0.2 | 0.4 | 1.2 | μs | |
| IRQ パルス幅 ^{注2} | tIRQ | 50 | — | — | ns | |
| 動作モードセットアップ時間 | tMDS | 1 | — | — | ms | 図 37.11 |
| 動作モードホールド時間 | tMDH | 1 | — | — | ms | |

- 注 1. リセットパルス幅は必ず tRESW6 の min 値以上入れてください。
リセットパルス幅がリセットノイズキャンセル幅の min 値未満なら、リセットを受け付けません。
- 注 2. DNF にてノイズ除去禁止の場合。

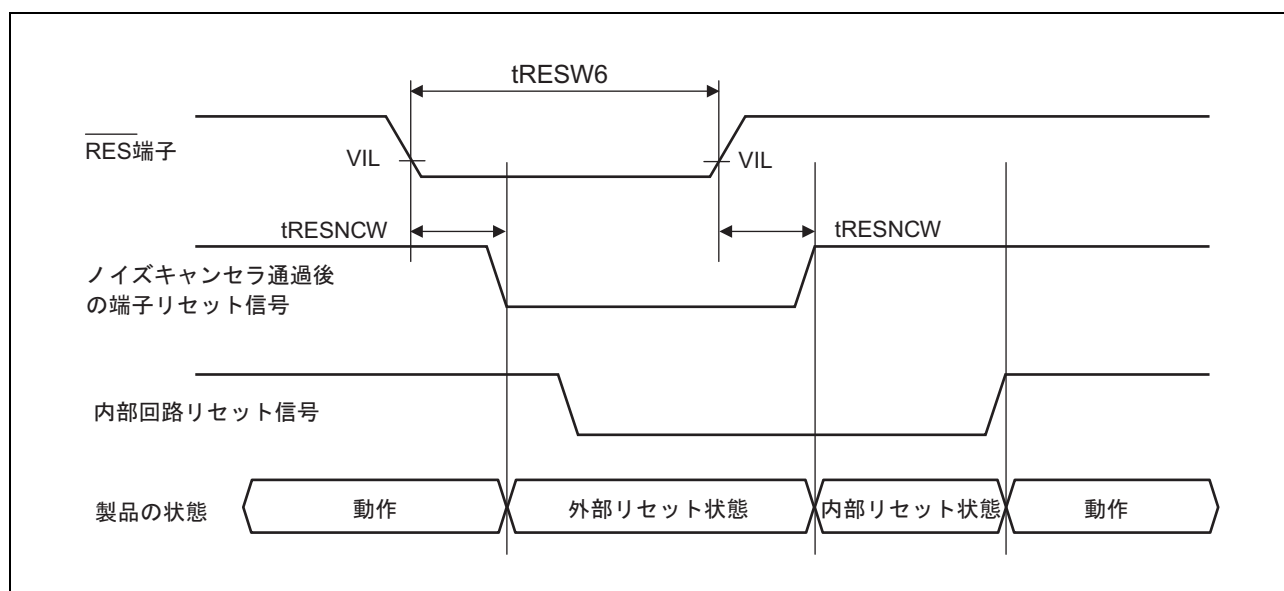


図 37.10 リセットタイミング

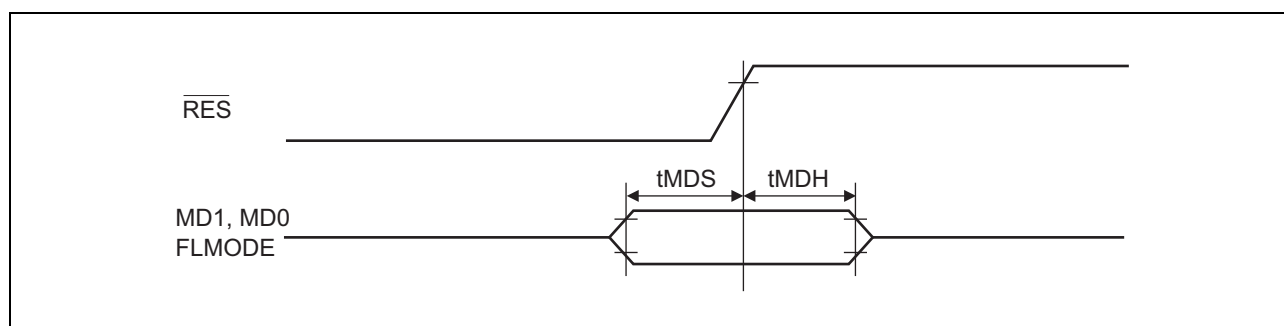


図 37.11 制御信号タイミング

37.3.6 CSIH タイミング

表 37.26 マスターモード時の CSIH タイミング

条件 : CL = 50pF、ドライバピリティ選択 = High、EVCC = 4.5V ~ 5.5V、TTLVCC = 4.5V ~ 5.5V

| 項目 | 略号 | 条件 | Min. | Max. | 単位 | 参照図 |
|--------------------------------------|---------|---------|-------------------------------------|------|----|---------|
| CSIHnTSCK 周期 | tKCYM | | 100 | — | ns | 図 37.12 |
| CSIHnTSCK ハイレベル幅 | tKWHM | | $(tKCYM/2) - 12$ | — | ns | |
| CSIHnTSCK ローレベル幅 | tKWLM | | $(tKCYM/2) - 12$ | — | ns | |
| CSIHnTSI セットアップ時間 (対 CSIHnTSCK) | tSSIM | | 18 | — | ns | |
| CSIHnTSI ホールド時間 (対 CSIHnTSCK) | tHSIM | | 10 | — | ns | |
| CSIHnTSO 出力遅延時間 (対 CSIHnTSCK) | tDSOM | | — | 10 | ns | |
| CSIHnTSO 出力ホールド時間 (対 CSIHnTSCK) | tHSOM | | $tKWHM - 10$ | | ns | |
| CSIHnTRY セットアップ時間 (対 CSIHnTSCK) | tSRY1 | HSE = 1 | $(2 \times tPAck) + 30$ | — | ns | 図 37.13 |
| CSIHnTCSSx インアクティブレベル幅 | tWSCSB | 注 1 | $(CSidle + 0.5) \times tKCYM - 20$ | — | ns | 図 37.14 |
| | | 上記以外 | $CSidle \times tKCYM - 20$ | — | ns | |
| CSIHnTCSSx セットアップ時間 (対 CSIHnTSCK) | tSSCSB0 | DAP = 0 | $CSsetup \times tKCYM - 10$ | — | ns | |
| | tSSCSB1 | DAP = 1 | $(CSsetup + 0.5) \times tKCYM - 10$ | — | ns | |
| CSIHnTCSSx ホールド時間 (対 CSIHnTSCK) | tHSCSB0 | SIT = 0 | $CShold \times tKCYM - 10$ | — | ns | 図 37.15 |
| | tHSCSB1 | SIT = 1 | $(CShold + 0.5) \times tKCYM - 10$ | — | ns | |

注 1. 通信中にシリアルクロックのレベルが変更された場合、かつ IDLE 設定が 0.5 送信クロックの場合

- 備考**
- tPAck は CSIH の動作クロック周期を表します。(80MHz SSCG)
 - $n = 0 \sim 2$ 、 $x = 0 \sim 5$ ($n = 0$)、 $x = 0 \sim 3$ ($n = 1, 2$)
 - CSsetup : CSIHnCFGx.CSIHnSPx3 ~ 0 設定値
 - CShold : CSIHnCFGx.CSIHnHDx3 ~ 0 設定値
 - CSidle : CSIHnCFGx.CSIHnDx[2:0] 設定値
 - DAP : CSIHnCFGx.CSIHnDAPx ビット
 - SIT : CSIHnCTL1.CSIHnSIT ビット

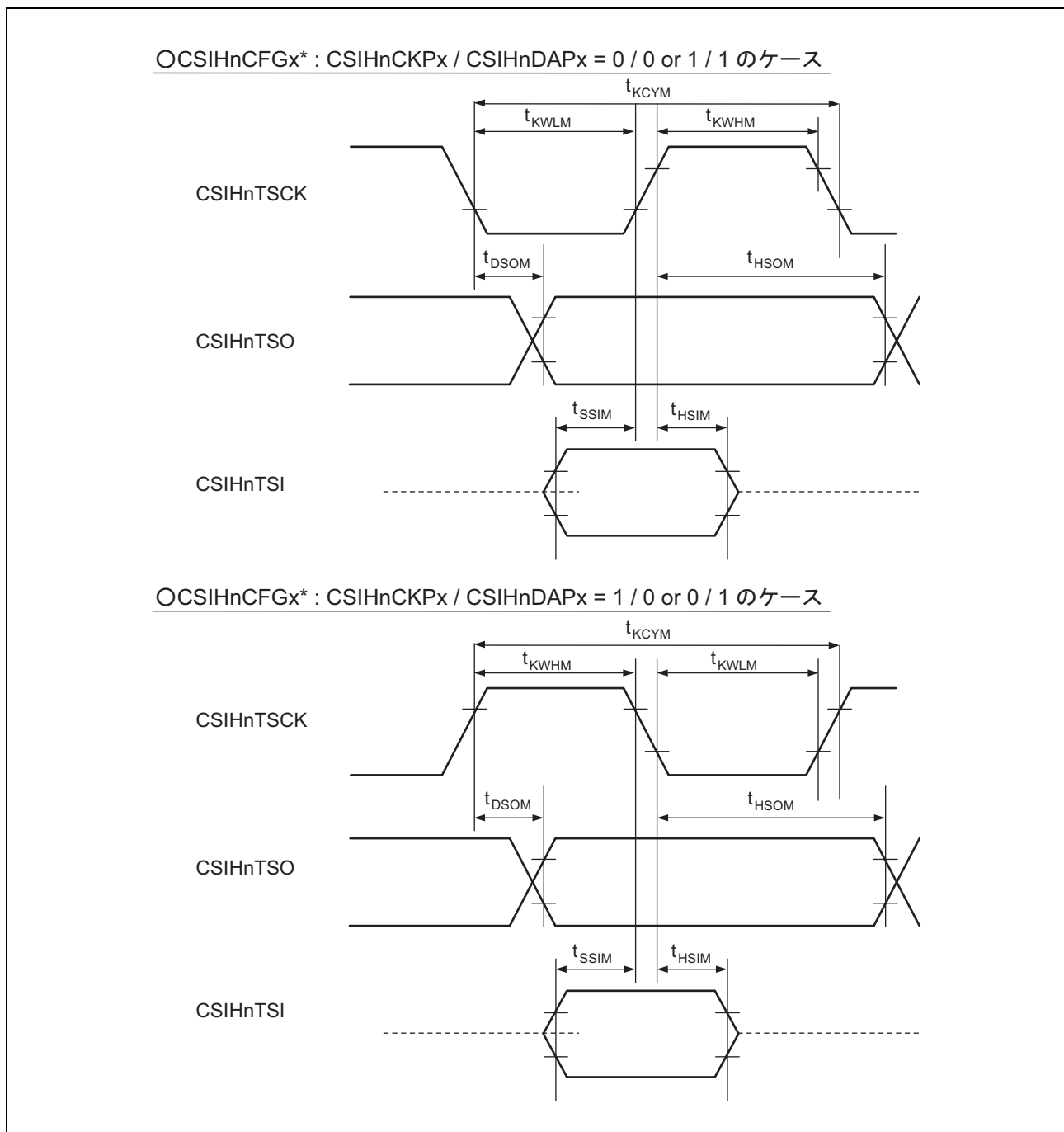


図 37.12 CSH タイミング (マスターモード)

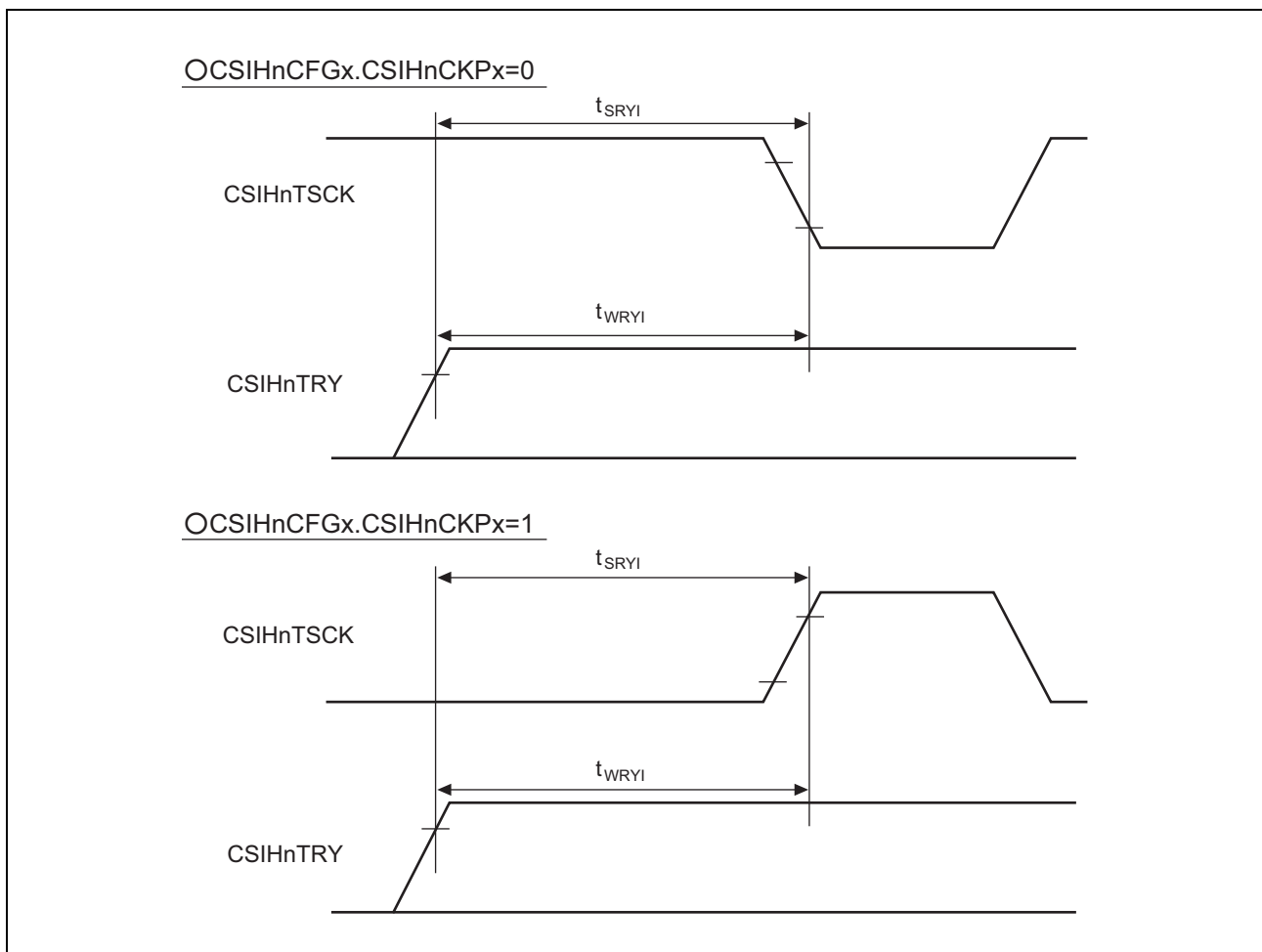


図 37.13 CSIH タイミング (マスターモード)

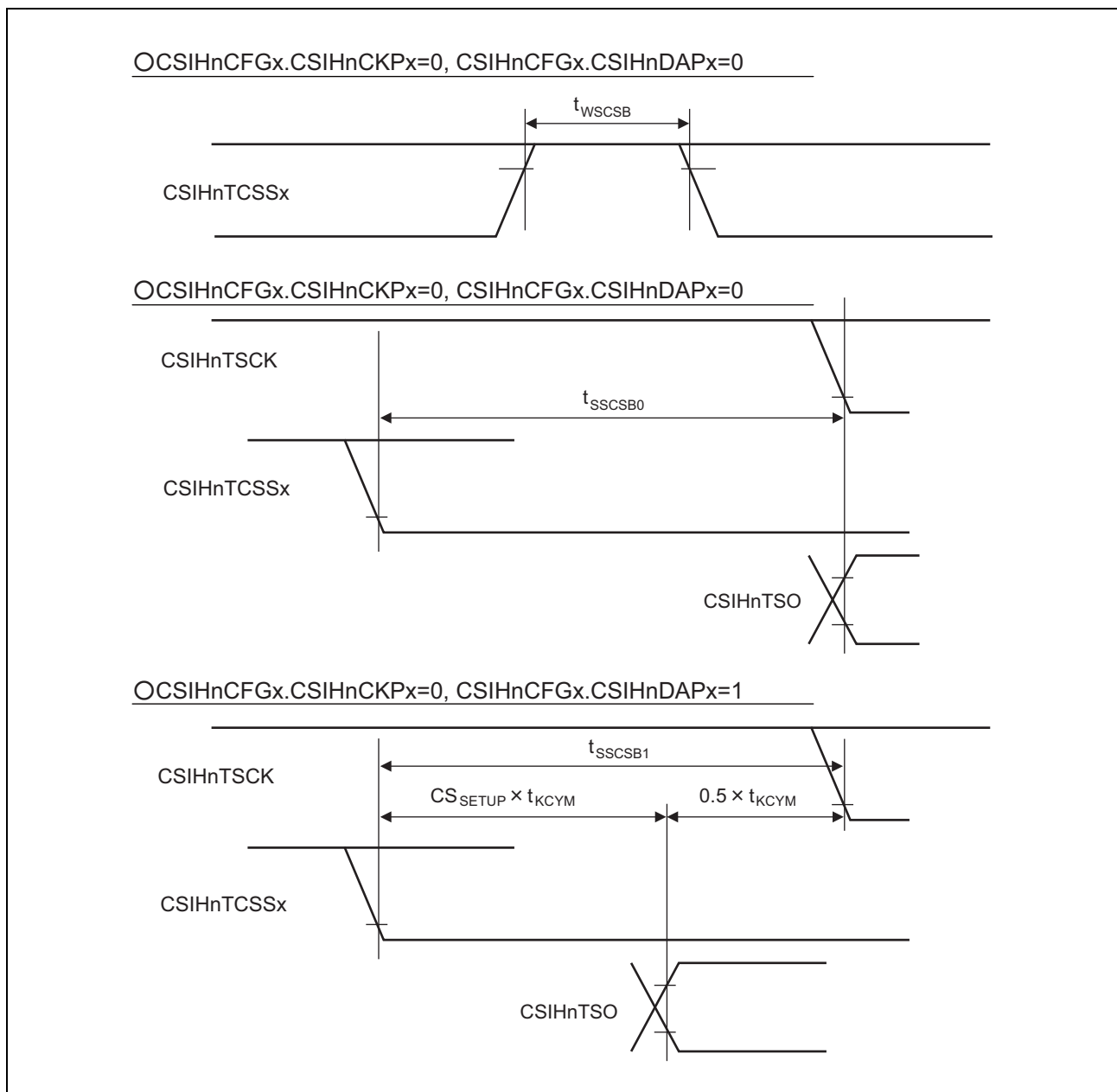


図 37.14 CSIH タイミング (マスターモード)

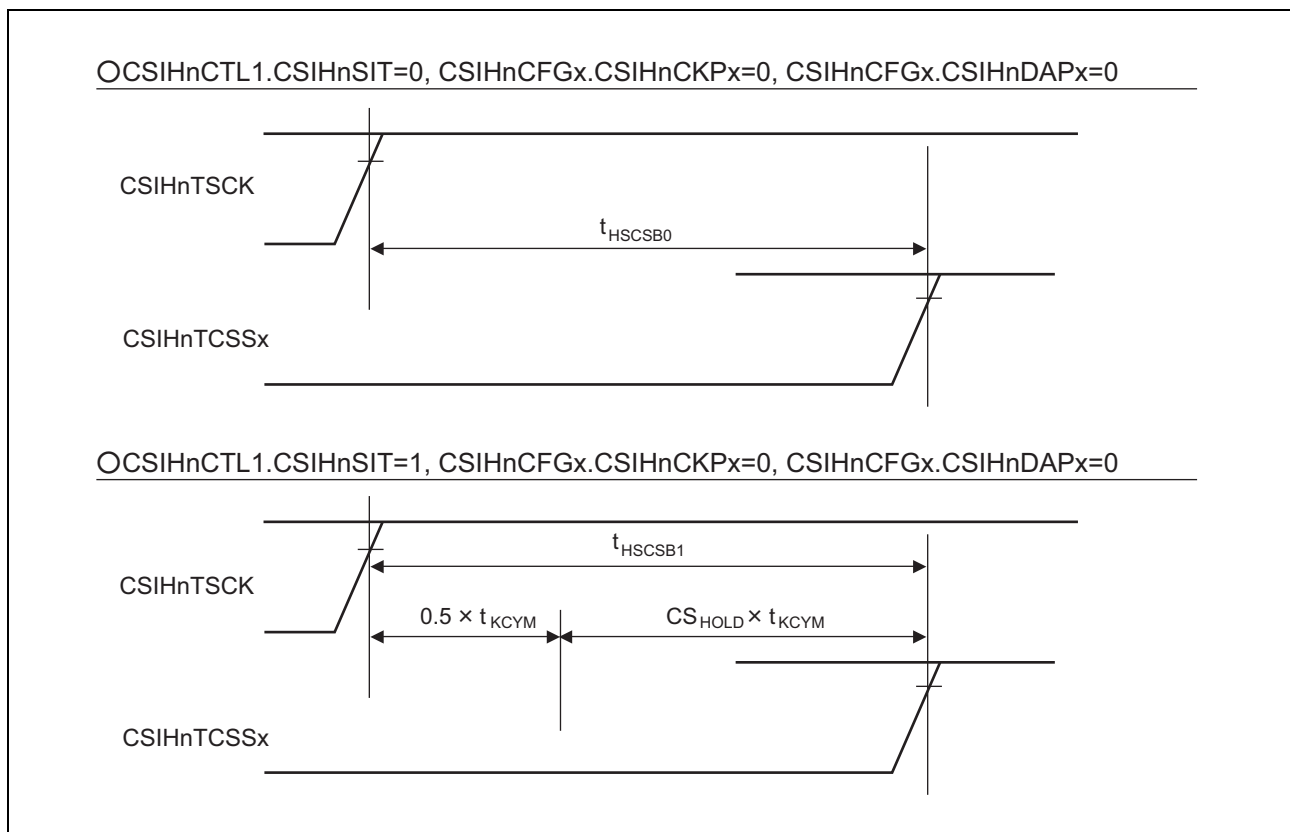


図 37.15 CSIH タイミング (マスターモード)

表 37.27 スレーブモード時の CSIH タイミング

条件 : CL = 50pF、ドライバビリティ選択 = High、EVCC = 4.5V ~ 5.5V、TTLVCC = 4.5V ~ 5.5V

| 項目 | 略号 | 条件 | Min. | Max. | 単位 | 参照図 |
|-------------------------------------|--------|----|--------------------|------------------|----|---------|
| CSIHnTSCK 周期 | tKCYS | | 250 | — | ns | 図 37.16 |
| CSIHnTSCK ハイレベル幅 | tKWHS | | $(tKCYS/2) - 30$ | — | ns | |
| CSIHnTSCK ローレベル幅 | tKWLS | | $(tKCYS/2) - 30$ | — | ns | |
| CSIHnTSI セットアップ時間 (対 CSIHnTSCK) | tSSIS | | 15 | — | ns | |
| CSIHnTSI ホールド時間 (対 CSIHnTSCK) | tHSIS | | tPAck + 15 | — | ns | |
| CSIHnTSO 出力遅延時間 (対 CSIHnTSCK) | tDSOS | | — | 30 | ns | |
| CSIHnTSO 出力ホールド時間 (対 CSIHnTSCK) | tHSOS | | tKWHS | | ns | |
| CSIHnTRY 出力遅延時間 | tSRYO | | — | 30 | ns | 図 37.17 |
| CSIHnTSO スレーブ出力解放時間 | tREL | | | $8 \times tPAck$ | ns | |
| CSIHnTSSI セットアップ時間 (対 CSIHnTSCK) | tSSSIS | | $0.5 \times tKCYS$ | — | ns | 図 37.18 |
| CSIHnTSSI ホールド時間 (対 CSIHnTSCK) | tHSSIS | | tPAck + 30 | — | ns | |

備考 tPAck は CSIH の動作クロック周期をあらわします。(80MHz SSCG)

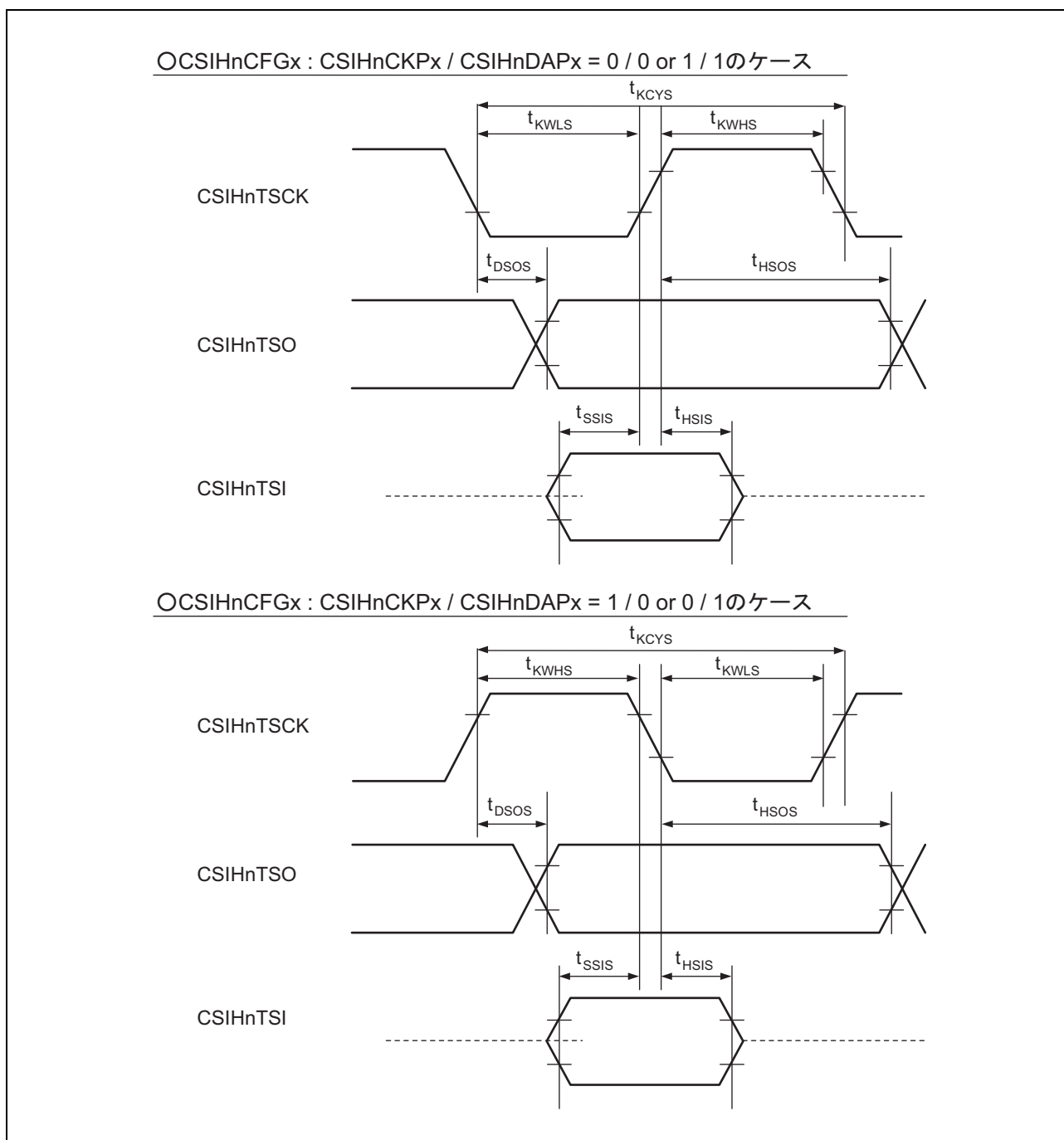


図 37.16 CSH タイミング (スレープモード)

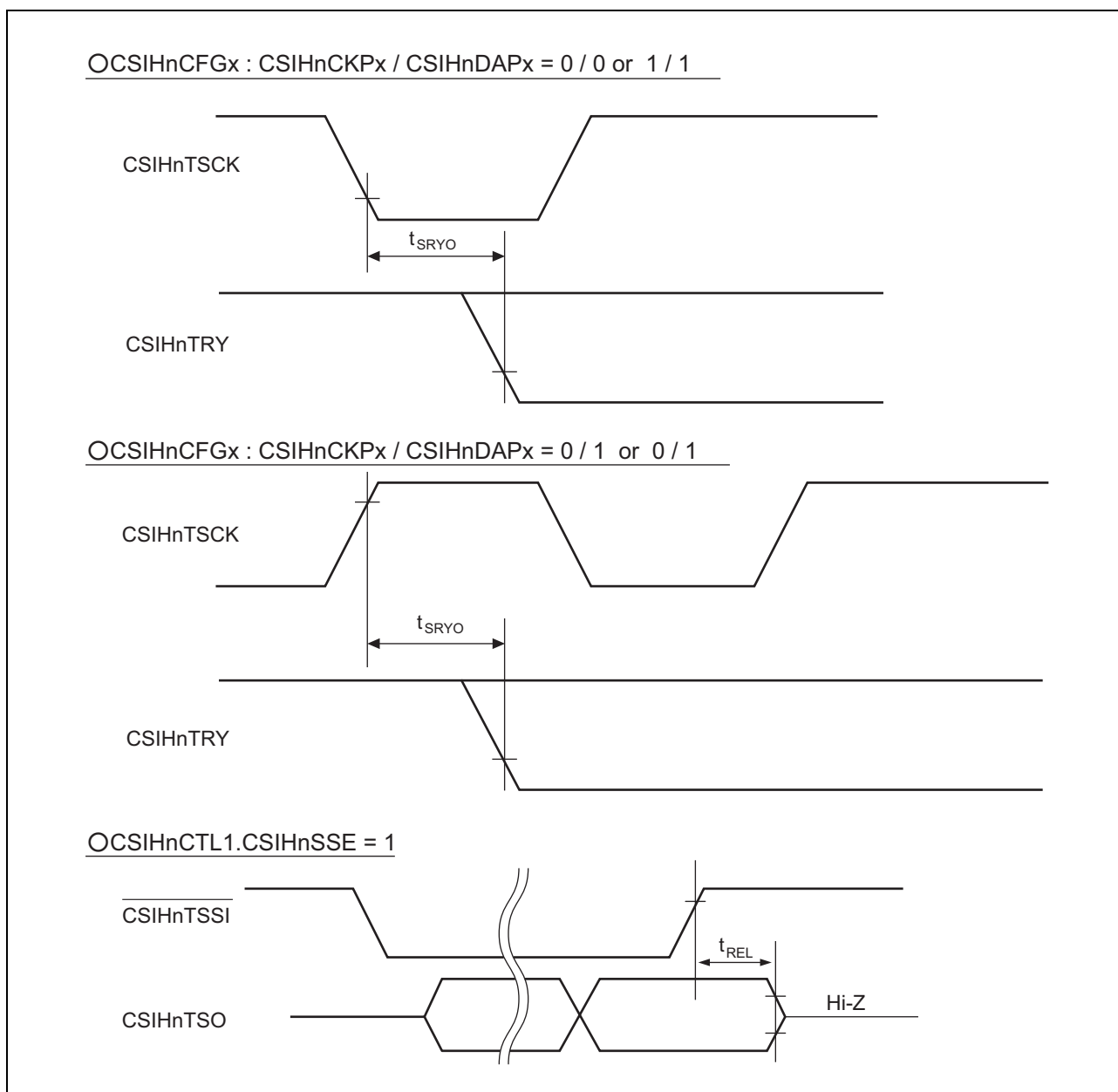


図 37.17 CSH タイミング (スレーブモード)

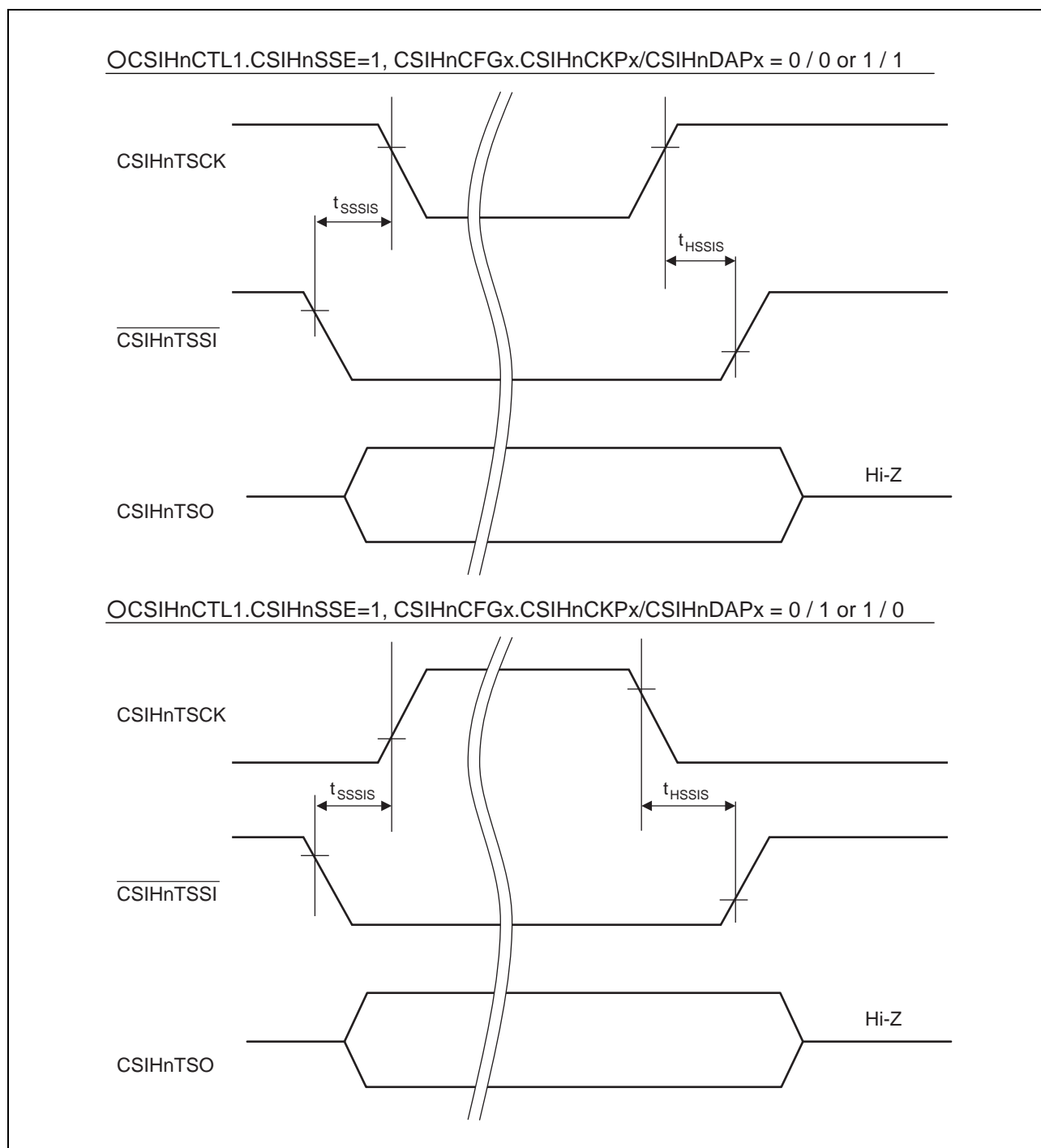


図 37.18 CSIH タイミング (スレーブモード)

37.3.7 SCI3/FLSCI3 タイミング

表 37.28 SCI3 タイミング (マスタモード時)

条件 : CL = 50pF、ドライバピリティ選択 = High

| 項目 | 略号 | 条件 | Min. | Max. | 単位 | 参照図 |
|---------------|-------|--------|--------------------|--------------------|----|---------|
| 出力クロックサイクル | tScyc | 調歩同期 | $16 \times tPck$ | — | ns | 図 37.19 |
| | | クロック同期 | $8 \times tPck$ | — | ns | |
| 出力クロックパルス幅 | tSCKW | | $0.4 \times tScyc$ | $0.6 \times tScyc$ | ns | |
| 送信データ遅延時間 | tTXD | クロック同期 | -40 | 40 | ns | 図 37.20 |
| 受信データセットアップ時間 | tRXS | クロック同期 | $2 \times tPck$ | — | ns | |
| 受信データホールド時間 | tRXH | クロック同期 | $2 \times tPck$ | — | ns | |

備考 tPck は SCI3 の動作クロック周期を表します。(40MHz CleanClock)

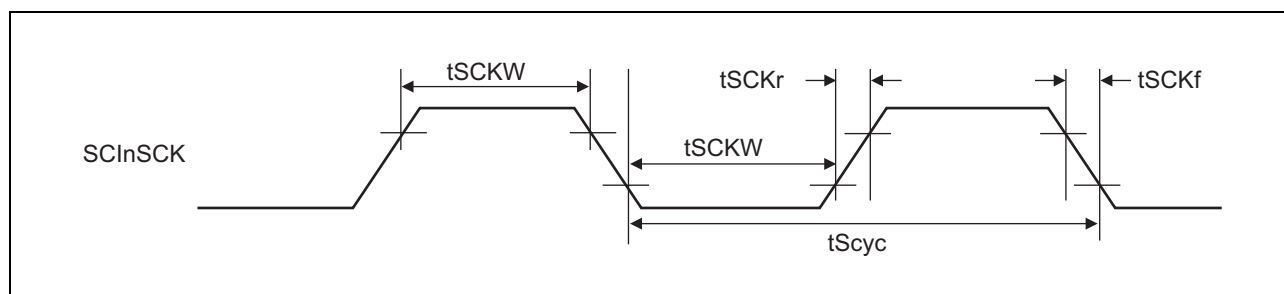


図 37.19 SCI3 クロック入出力タイミング

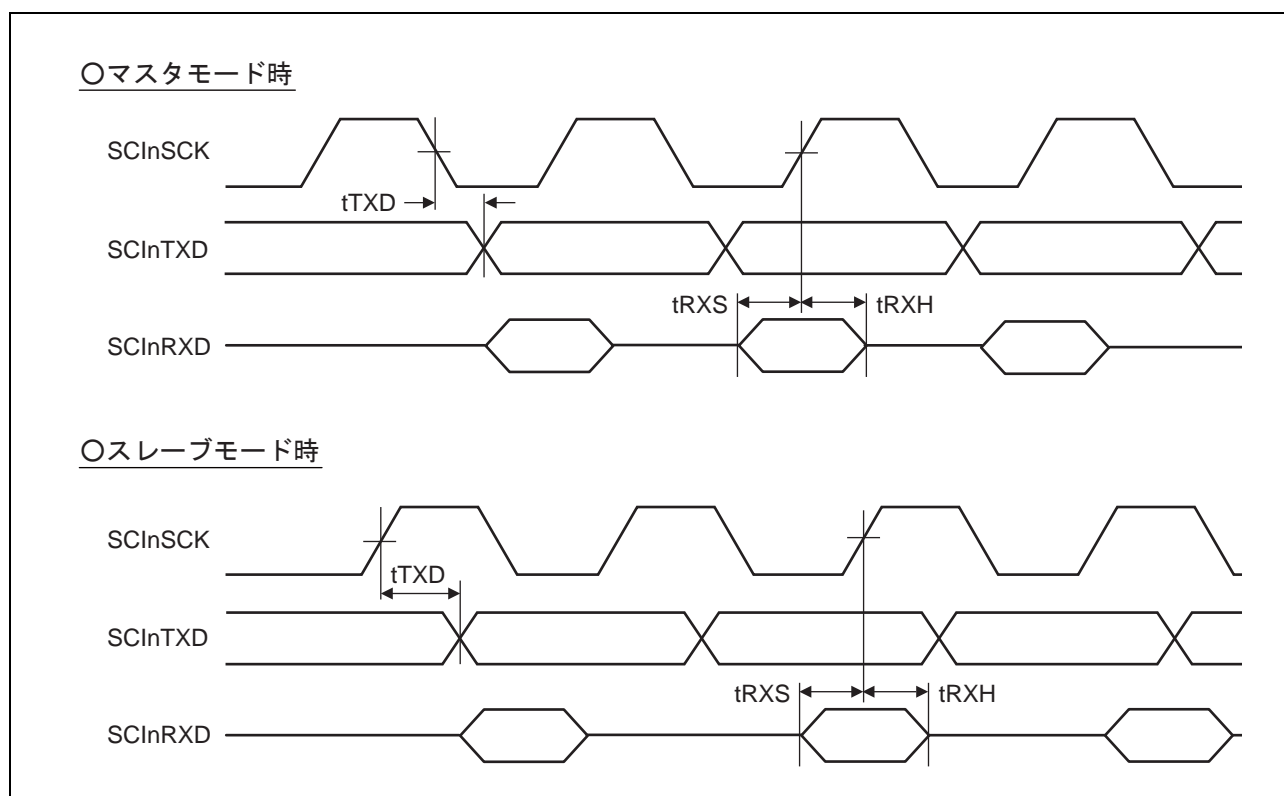


図 37.20 SCI3 入出力タイミング / クロック同期式モード

表 37.29 SCI3 タイミング (スレーブモード時)

条件 : CL = 50pF、ドライバビリティ選択 = High

| 項目 | 略号 | Min. | Max. | 単位 | 参照図 |
|---------------|-------|--------------------|-------------------------|----|---------|
| 入力クロックサイクル | tScyc | $8 \times tPck$ | — | ns | 図 37.19 |
| 入力クロックパルス幅 | tSCKW | $0.4 \times tScyc$ | $0.6 \times tScyc$ | ns | |
| 入力クロック立ち上がり時間 | tSCKr | — | 20 | ns | |
| 入力クロック立ち下がり時間 | tSCKf | — | 20 | ns | |
| 送信データ遅延時間 | tTXD | $2 \times tPck$ | $50 + 3 \times tPck$ 注1 | ns | 図 37.20 |
| 受信データセットアップ時間 | tRXS | $2 \times tPck$ | — | ns | |
| 受信データホールド時間 | tRXH | $2 \times tPck$ | — | ns | |

注 1. 連続転送でない Data0 (1st bit) 以外が対象です。
 連続転送でない Data0 (1st bit) の送信は TDRE = 0 と同時に開始されます。

備考 tPck は SCI3 動作クロック周期を意味します。(40MHz CleanClock)

37.3.8 RS-CAN タイミング

表 37.30 RS-CAN タイミング

条件 : CL = 50pF、ドライバリティ選択 = High

| 項目 | 略号 | Min. | Max. | 単位 | 参照図 |
|--------|-------|------|------|------|---------|
| 転送レート | | | 1 | Mbps | 図 37.21 |
| 内部遅延時間 | tNODE | — | 100 | ns | |

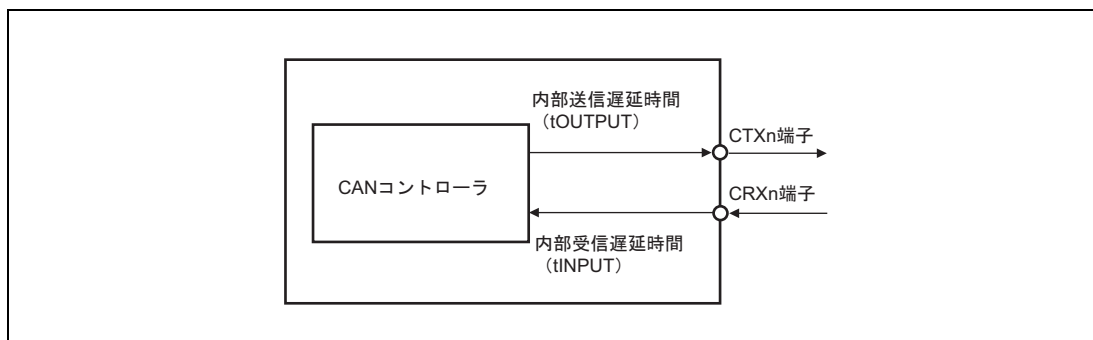


図 37.21 RS-CAN の内部遅延時間の定義
内部遅延時間 (tNODE) = tOUTPUT + tINPUT

37.3.9 TSG2 タイミング

表 37.31 TSG2 タイミング

| 項目 | 略号 | 条件 | Min. | Max. | 単位 | 参照図 |
|----------|------|--|-------------------|------|----|---------|
| 入力ハイレベル幅 | tTIH | TAPTS00 ~ TAPTS02 TAPTS10 ~ TAPTS12 ESO2 | $1.5 \times tPck$ | — | ns | 図 37.22 |
| 入力ロウレベル幅 | tTIL | TAPTS00 ~ TAPTS02 TAPTS10 ~ TAPTS12 ESO2 | $1.5 \times tPck$ | — | ns | |

備考 tPck は TSG2 が動作するクロック周期を示します。

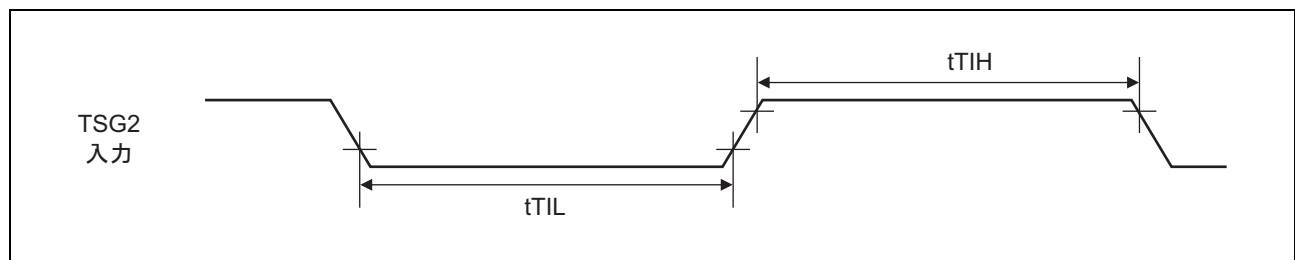


図 37.22 TSG2 タイミング

37.3.10 RHSB タイミング

表 37.32 RHSB タイミング

条件 : LVDVCC = TTLVCC = 3.3V ± 0.3V
 もしくは LVDVCC = 3.3 ± 0.3V、TTLVCC = 5.0 ± 0.5V
 CL = 50pF

| 項目 | 略号 | 条件 | Min. | Max. | 単位 | 参照図 |
|--------------------------|---------|----------|------------------------|-----------------------|----|---------|
| RHSBnFCL クロックサイクル | tFCLcyc | | 25 | — | ns | 図 37.23 |
| RHSBnFCL ハイ期間 | tFCLWH | | $0.45 \times tFCLcyc$ | $0.55 \times tFCLcyc$ | ns | |
| RHSBnFCL ロウ期間 | tFCLWL | | $0.45 \times tFCLcyc$ | $0.55 \times tFCLcyc$ | ns | |
| RHSBnSO/RHSBnCSDx 出力遅延時間 | tSOD | | $-0.25 \times tFCLcyc$ | $0.25 \times tFCLcyc$ | ns | |
| RHSBnSI 立ち上がり時間 | tSlr | 10 ~ 90% | — | $0.5 \times tFCLcyc$ | ns | |
| RHSBnSI 立ち下がり時間 | tSlf | 10 ~ 90% | — | $0.5 \times tFCLcyc$ | ns | |
| RHSBnSI 1 ビット長 | tSIW | | $8 \times tFCLcyc$ | — | ns | |

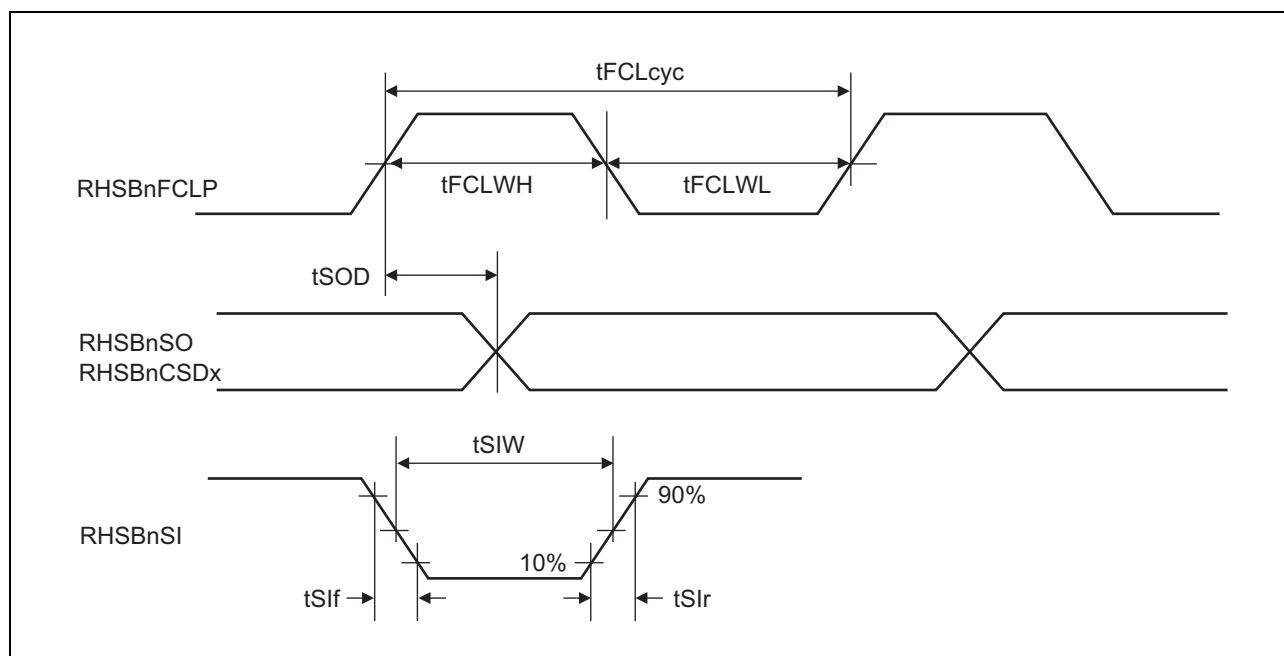


図 37.23 RHSB タイミング

注 意

- 下記端子は LVDS として使用しない場合は、RHSB*N 端子をオープンにしてください。その際の端子負荷容量は 0.2pF 以下としてください。
 <端子ペア>
 - RHSBnFCLN/RHSBnFCLP (n = 0)
 - RHSBnSON/RHSBnSOP (n = 0)
- RHSBnCSDx は、出力端子のドライバビリティを Mid または Low を選択すると SPEC を満たしません。P13_0/P13_1 を RHSB 端子として使用する場合は、ドライバビリティを High 設定にする必要があります。

37.3.11 JTAG、NEXUS タイミング

表 37.33 JTAG、NEXUS タイミング

条件 : $T_j = -40^\circ\text{C} \sim 150^\circ\text{C}$ 、 $CL = 30\text{pF}$

| 項目 | 略号 | 条件 | Min. | Max. | 単位 | 参照図 |
|----------------------------|---------|----|------|------------|----|---------|
| TCK サイクルタイム | tTCKW | | 40 | — | ns | 図 37.24 |
| TCK ハイレベル幅 | tTCKWH | | 16 | — | ns | |
| TCK ローレベル幅 | tTCKWL | | 16 | — | ns | |
| TMS、TDI セットアップ時間 (~ TCK ↑) | tTISU | | 12 | — | ns | |
| TMS、TDI ホールド時間 (~ TCK ↑) | tTIH | | 12 | — | ns | |
| TDO 出力遅延時間 (~ TCK ↓) | tTDOD | | — | tTCKW - 20 | ns | |
| DRDY 出力遅延時間 (~ TCK ↓) | tRDYD | | — | tTCKW - 20 | ns | |
| TRST ローレベル幅 | tTRSTWL | | 1200 | — | ns | |
| TCK、TRST、TMS、TDI 入力立ち上がり時間 | tTIR | | — | 12 | ns | |
| TCK、TRST、TMS、TDI 入力立ち下がり時間 | tTIF | | — | 12 | ns | |

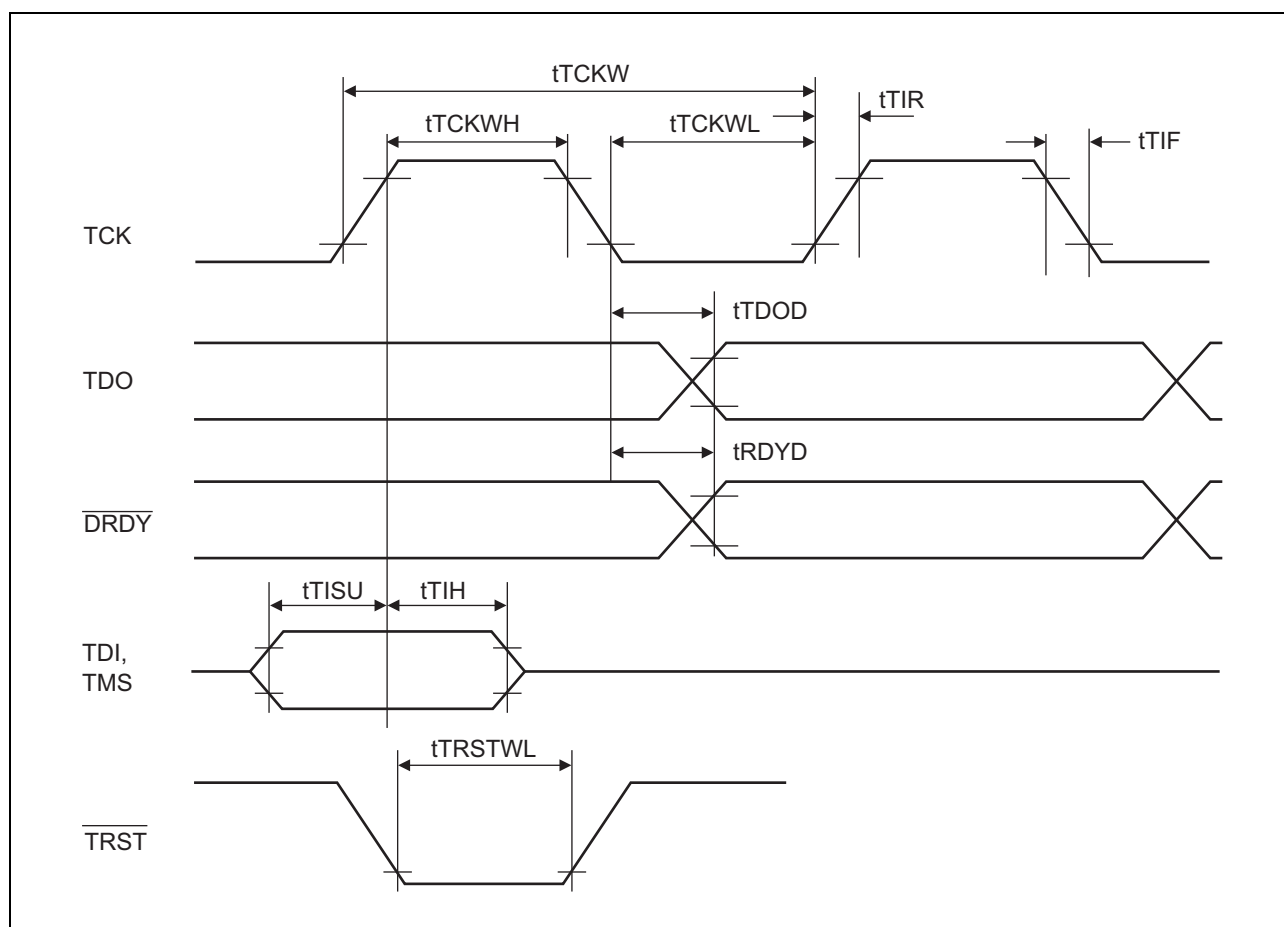


図 37.24 JTAG、NEXUS タイミング

37.3.12 LDU4 線式タイミング

表 37.34 LDU4 線式タイミング

条件: $T_j = -40^\circ\text{C} \sim 150^\circ\text{C}$ 、 $CL = 30\text{pF}$

| 項目 | 略号 | 条件 | Min. | Max. | 単位 | 参照図 |
|----------------------------|-----------|----|------|------|----|---------|
| LPDCLK サイクルタイム | tLPDCKW | | 25 | — | ns | 図 37.25 |
| LPDCLK ハイレベル幅 | tLPDCKWH | | 4.5 | — | ns | |
| LPDCLK ローレベル幅 | tLPDCKWL | | 4.5 | — | ns | |
| LPDCLK 入力立ち上がり時間 | tLPDCKR | | — | 8 | ns | |
| LPDCLK 入力立ち下がり時間 | tLPDCKF | | — | 8 | ns | |
| LPDI セットアップ時間 (~ LPDCLK ↑) | tLPDSU | | 2 | — | ns | |
| LPDI ホールド時間 (~ LPDCLK ↑) | tLPDH | | 2 | — | ns | |
| LPDCLKO サイクルタイム | tLPDCKOW | | 25 | — | ns | |
| LPDCLKO ハイレベル幅 | tLPDCKOWH | | 4.5 | — | ns | |
| LPDCLKO ローレベル幅 | tLPDCKOWL | | 4.5 | — | ns | |
| LPDCLKO 立ち上がり時間 | tLPDCKOR | | — | 8 | ns | |
| LPDCLKO 立ち下がり時間 | tLPDCKOF | | — | 8 | ns | |
| LPDO 出力遅延 (~ LPDCLKO ↑) | tLPDOD | | 0 | 12 | ns | |

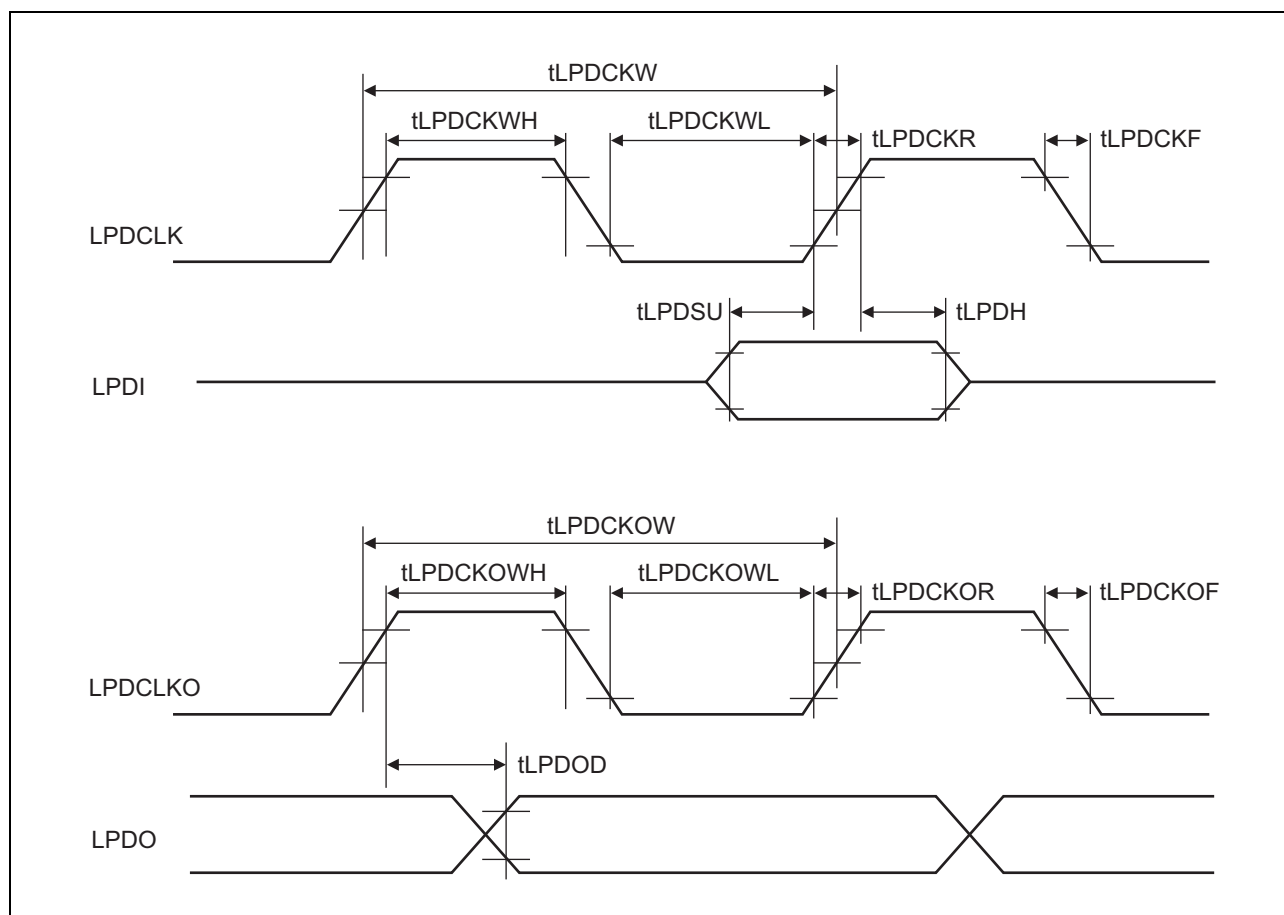


図 37.25 LDU4 線式タイミング

37.4 A/D 変換器特性

表 37.35 ADC 変換器特性

| 項目 | 記号 | Min. | Typ. | Max. | 単位 | 参照図 |
|--|-------------------|------|------|------|---------------------------|-----|
| デジタル分解能 | — | — | 12 | — | bit | |
| 電圧分解能 ^{注1} | — | 1.10 | 1.22 | 1.34 | mV | |
| A/D 変換時間 (f _{OP} = 20MHz、40MHz) | — | — | 1.0 | — | μs | |
| 非直線性誤差 | — | — | — | ±4.0 | LSB | |
| オフセット誤差 | — | — | — | ±7.5 | LSB | |
| フルスケール誤差 | — | — | — | ±7.5 | LSB | |
| 量子化誤差 | — | — | — | ±0.5 | LSB | |
| 絶対誤差 | — | — | — | ±8.0 | LSB | |
| 自己診断時の絶対誤差 | A/D 変換回路自己診断機能使用時 | — | — | — | ±8.0 | LSB |
| | 端子レベル自己診断機能使用時 | — | — | — | ±40 | LSB |
| アナログ入力容量 | 待機中 | — | — | — | 10 | pF |
| | サンプリング中 | — | — | — | 20 | pF |
| 許容アナログ信号源インピーダンス | — | — | — | 3 | kΩ | |
| T&H 保持時間 | — | — | — | 10 | μs | |
| 入力電圧範囲 | T&H 未使用時 | — | 0 | — | A0VREFH, A1VREFH | V |
| | T&H 使用時 | — | 0.2 | — | A0VREFH, A1VREFH - 0.2 | V |

注 1. AnVREFH (n = 0, 1) = 4.5 V の場合、分解能は 1.10 mV です。AnVREFH (n = 0, 1) = 5.5 V の場合、分解能は 1.34 mV です。

注 意

端子レベル自己診断機能使用時にアナログ入力端子に注入電流が注入された場合、注入電流が注入されたアナログ入力端子に対応するチャンネルの診断電圧の変換精度は保証できません。

- A/D 変換器の外付け回路による誤差について

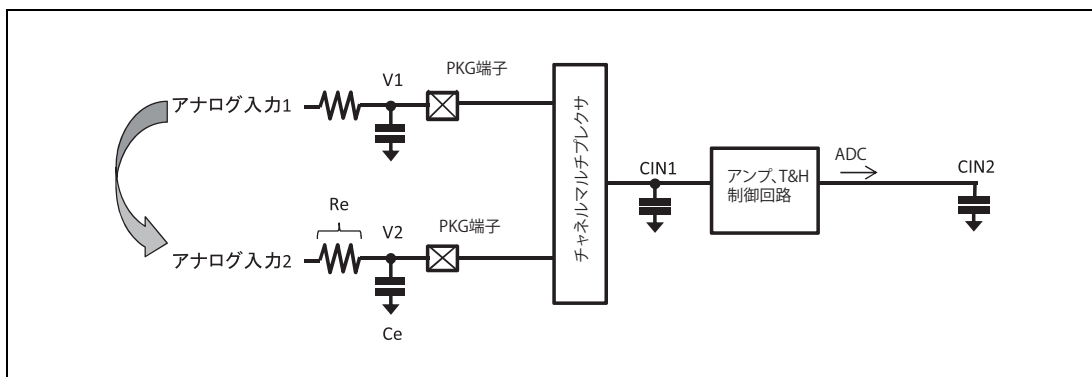
以下に、A/D 変換器の外付け回路によるサンプリング誤差式について示します。

サンプリング誤差は入力回路、変換周期に依存します。誤差式は LSI 内部の寄生容量、AMP オフセット、信号源抵抗、変換周期を考慮してサンプリング誤差を計算するための簡易式です。誤差式を利用することで、信号源抵抗、変換周期がサンプリング誤差に与える影響度が計算できます。

下図においてアナログ入力 1, 2 の順で A/D 変換を行った際のアナログ入力 2 の誤差式は下記の通りです。

$$\text{変換誤差(LSB)} = \left[\left(\frac{|V2-V1| \times \text{CIN1}}{\text{Ce} + \text{CIN1}} + \frac{|V\text{vfaerr}| \times \text{CIN2}}{\text{Ce} + \text{CIN2}} \right) \times \frac{1}{1 - e^{-T1/(Re \times \text{Ce})}} + \left(\frac{1}{T1} \times \text{C1} \times \text{V3} \times \text{Re} \right) \right] \times \frac{4096}{\text{Vavrefh}}$$

| 項目 | 記号 | 参考値 | 単位 |
|--|---------|---------|----|
| チャンネルマルチプレクサ後段の共通容量 | CIN1 | 1.4 | pF |
| アンプ、T&H 制御回路後段の共通容量 | CIN2 | 10 | pF |
| アナログ入力端子の外付け容量 | Ce | ユーザ基板依存 | μF |
| 信号源インピーダンス | Re | | KΩ |
| 変換端子の変換周期 | T1 | | ms |
| AnVREFH 電圧 (n = 0, 1) | Vavrefh | | V |
| V1、V2 電位差 | V2-V1 | 5 | V |
| アンプ、T&H 制御回路のオフセット電圧 | Vvfaerr | 50 | mV |
| チャンネルマルチプレクサ内の寄生容量 | C1 | 2 | pF |
| AnVCC 電圧 / 2.5 - 測定端子電圧 (V2) (n = 0, 1) | V3 | ユーザ基板依存 | V |



- 本誤差式で算出される値は、A/D 変換器特性で規定される誤差（絶対誤差等）は含みません。
- 本誤差式は、机上で算出される理論式であり、信号源抵抗が極端に高い場合や変換周期が短い場合については実測値と乖離する場合があります。（本誤差式の適用範囲は、 $\text{Re} < 1.5\text{M}\Omega$ かつ $\text{T1} \geq 10\mu\text{s}$ 、または $1.5\text{M}\Omega \leq \text{Re} \leq 2\text{M}\Omega$ かつ $\text{T1} \geq 512\mu\text{s}$ ）したが、実際に発生する誤差は、ご使用される容量、抵抗、基板配線上の容量、抵抗にも依存するため、ユーザ基板での評価確認をお願い致します。

表 37.36 ΔΣADC 変換特性 (1/2)

使用例 1

DSADCmCCR.DSDFTYP = 0_H Fs = 100ksps
 DSADCmFCR.ORT = 1_H BW = 30kHz
 DSADCmFCR.TPVSL[2:0] = 1_H GIN = × 2

| 項目 | 記号 | 条件 | Min. | Typ. | Max. | 単位 |
|----------|------|--------------|------|------|------|-----|
| 有効ビット | ENOB | — | 13 | — | — | bit |
| ピーク SNDR | SNDR | — | 80 | — | — | dB |
| 遮断周波数 | BW | fos = 8MHz | — | — | 30 | kHz |
| 初期遅延 | — | — | — | — | 65 | μs |
| 群遅延 | — | Fin = ~10kHz | — | — | 15 | μs |

使用例 2

DSADCmCCR.DSDFTYP = 0_H Fs = 200ksps
 DSADCmFCR.ORT = 0_H BW = 30kHz
 DSADCmFCR.TPVSL[2:0] = 1_H GIN = × 2

| 項目 | 記号 | 条件 | Min. | Typ. | Max. | 単位 |
|----------|------|--------------|------|------|------|-----|
| 有効ビット | ENOB | — | 13 | — | — | bit |
| ピーク SNDR | SNDR | — | 80 | — | — | dB |
| 遮断周波数 | BW | fos = 8MHz | — | — | 30 | kHz |
| 初期遅延 | — | — | — | — | 65 | μs |
| 群遅延 | — | Fin = ~10kHz | — | — | 15 | μs |

使用例 3

DSADCmCCR.DSDFTYP = 0_H Fs = 200ksps
 DSADCmFCR.ORT = 0_H BW = 60kHz
 DSADCmFCR.TPVSL[2:0] = 2_H GIN = × 2

| 項目 | 記号 | 条件 | Min. | Typ. | Max. | 単位 |
|----------|------|--------------|------|------|------|-----|
| 有効ビット | ENOB | — | 13 | — | — | bit |
| ピーク SNDR | SNDR | — | 80 | — | — | dB |
| 遮断周波数 | BW | fos = 8MHz | — | — | 60 | kHz |
| 初期遅延 | — | — | — | — | 65 | μs |
| 群遅延 | — | Fin = ~10kHz | — | — | 10 | μs |

使用例 4

DSADCmCCR.DSDFTYP = 1_H Fs = 1.6Msps
 DSADCmFCR.ORT = 0_H BW = 200kHz
 DSADCmFCR.TPVSL[2:0] = 0_H GIN = × 2

| 項目 | 記号 | 条件 | Min. | Typ. | Max. | 単位 |
|----------|------|--------------|------|------|-------|-----|
| 有効ビット | ENOB | — | 8 | — | — | bit |
| ピーク SNDR | SNDR | — | 50 | — | — | dB |
| 遮断周波数 | BW | fos = 8MHz | — | — | 200 | kHz |
| 初期遅延 | — | — | — | — | 4.588 | μs |
| 群遅延 | — | Fin = ~10kHz | — | — | 2.025 | μs |

表 37.36 $\Delta\Sigma$ ADC 変換特性 (2/2)

共通項目

| 項目 | 記号 | 条件 | Min. | Typ. | Max. | 単位 |
|-------------|------|----------|------|------|------|------------|
| 入力換算オフセット誤差 | Vos | — | -20 | — | 20 | mV |
| 入力インピーダンス | — | GIN = ×1 | 200 | — | — | k Ω |
| | — | GIN = ×2 | 100 | — | — | k Ω |
| | — | GIN = ×4 | 50 | — | — | k Ω |
| | — | GIN = ×8 | 25 | — | — | k Ω |
| ゲインエラー | Gerr | DC 入力 | -1 | — | 1 | % |

表 37.37 $\Delta\Sigma$ -A/D 入力電圧スペック

| 項目 | 記号 | 条件 | Min. | Typ. | Max. | 単位 | 参照図 |
|---------------------------------------|------|----------|-------------------|------|------------------|----|-----|
| シングルエンド ADSVREFH/2 基準時 入力電圧スペック | Vain | GIN = ×1 | ADSVREFL | — | ADSVREFH | V | |
| | | GIN = ×2 | ADSVREFL | — | ADSVREFH | V | |
| | | GIN = ×4 | ADSVREFH × (1/4) | — | ADSVREFH × (3/4) | V | |
| | | GIN = ×8 | ADSVREFH × (3/8) | — | ADSVREFH × (5/8) | V | |
| シングルエンド ADSVREFL 基準時 入力電圧スペック | Vain | GIN = ×1 | ADSVREFL | — | ADSVREFH | V | |
| | | GIN = ×2 | ADSVREFL | — | ADSVREFH × (1/2) | V | |
| | | GIN = ×4 | ADSVREFL | — | ADSVREFH × (1/4) | V | |
| | | GIN = ×8 | ADSVREFL | — | ADSVREFH × (1/8) | V | |
| 差動入力時 入力電圧スペック | Vain | GIN = ×1 | -ADSVREFH | — | ADSVREFH | V | |
| | | GIN = ×2 | -ADSVREFH × (1/2) | — | ADSVREFH × (1/2) | V | |
| | | GIN = ×4 | -ADSVREFH × (1/4) | — | ADSVREFH × (1/4) | V | |
| | | GIN = ×8 | -ADSVREFH × (1/8) | — | ADSVREFH × (1/8) | V | |

37.5 Code Flash 特性

表 37.38 Code Flash 基本特性

| 項目 | 略号 | 条件 | Min. | Typ. | Max. | 単位 |
|----------------------|-------|-----------------------|------|------|------|----|
| 書き換え回数 ^{注1} | CWRT | 保持 20 年 ^{注2} | 1000 | — | — | 回 |
| プログラミング温度 | TPRG | Tj | -40 | — | +150 | °C |
| 読み出し温度 | TREAD | Tj | -40 | — | +150 | °C |

注 1. 書き換え回数は、ブロックごとの消去回数です。書き換え回数が n 回 (n = 1000) の場合、ブロック毎にそれぞれ n 回ずつ消去することができます。たとえば、32KB のブロックについて、それぞれ異なる番地に 256 バイトの書き込みを 128 回に分けて行ったあとに、そのブロックを消去した場合も、書き換え回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

注 2. 平均 Ta = 85°C での保持期間。コードフラッシュメモリの消去が正常に完了した時点からの保持期間。

表 37.39 Code Flash プログラミング特性

条件：EVCC = 4.5V ~ 5.5V、TTLVCC = 4.5V ~ 5.5V or 3.0V ~ 3.6V、A0VCC、A1VCC = 4.5V ~ 5.5V、
A0VREFH = 4.5V ~ A0VCC、A1VREFH = 4.5V ~ A1VCC、ADSVCC = 4.5V ~ 5.5V、
ADSVREFH = 4.5V ~ ADSVCC、PLLCC = 3.0V ~ 3.6V、SYSVCC = 3.0V ~ 3.6V、
VCC = 3.0V ~ 3.6V、LVDVCC = 3.0V ~ 3.6V、VDD = 1.15V ~ 1.35V、
VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = -40°C ~ 150°C

| 項目 | 条件 | ブロックサイズ | Min. | Typ. | Max. | 単位 |
|--------|----------------|---------|------|-------------------|-------------------|----|
| 書き込み時間 | 書き替え回数 < 100 回 | 256B | — | 0.4 ^{注1} | 6 ^{注1} | ms |
| | | 32KB | — | 80 | 360 | ms |
| | 書き替え回数 ≥ 100 回 | 256B | — | 0.5 ^{注1} | 7.2 ^{注1} | ms |
| | | 32KB | — | 96 | 432 | ms |
| 消去時間 | 書き替え回数 < 100 回 | 8KB | — | 39 | 120 | ms |
| | | 32KB | — | 141 | 480 | ms |
| | 書き替え回数 ≥ 100 回 | 8KB | — | 47 | 144 | ms |
| | | 32KB | — | 169 | 576 | ms |

注 1. ハードウェアの処理時間のみ。ソフトウェアのオーバーヘッドは考慮されていません。

37.6 Data Flash 特性

表 37.40 Data Flash 基本特性

| 項目 | 略号 | 条件 | Min. | Typ. | Max. | 単位 |
|----------------------|-------|-----------------------|--------|------|------|----|
| 書き換え回数 ^{注1} | CWRT | 保持 20 年 ^{注2} | 125000 | — | — | 回 |
| | | 保持 3 年 ^{注2} | 250000 | — | — | 回 |
| プログラミング温度 | TPRG | Tj | -40 | — | +150 | °C |
| 読み出し温度 | TREAD | Tj | -40 | — | +150 | °C |

注 1. 書き換え回数は、ブロックごとの消去回数です。書き換え回数が n 回 (n = 125000) の場合、ブロック毎にそれぞれ n 回ずつ消去することができます。たとえば、64B のブロックについて、それぞれ異なる番地に 4 バイトの書き込みを 16 回に分けて行ったあとに、そのブロックを消去した場合も、書き換え回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

注 2. 平均 Ta = 85°C での保持期間。データ・フラッシュ・メモリの消去が正常に完了した時点からの保持期間。

表 37.41 Data Flash プログラミング特性

条件 : EVCC = 4.5V ~ 5.5V、TTLVCC = 4.5V ~ 5.5V or 3.0V ~ 3.6V、A0VCC、A1VCC = 4.5V ~ 5.5V、A0VREFH = 4.5V ~ A0VCC、A1VREFH = 4.5V ~ A1VCC、ADSVCC = 4.5V ~ 5.5V、ADSVREFH = 4.5V ~ ADSVCC、PLLCC = 3.0V ~ 3.6V、SYSVCC = 3.0V ~ 3.6V、VCC = 3.0V ~ 3.6V、LVDVCC = 3.0V ~ 3.6V、VDD = 1.15V ~ 1.35V、VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = -40°C ~ 150°C

| 項目 | ブロックサイズ | Min. | Typ. | Max. | 単位 |
|------------|---------|------|--------------------|-------------------|----|
| 書き込み時間 | 4B | — | 0.16 ^{注1} | 1.7 ^{注1} | ms |
| 消去時間 | 64B | — | 1.7 ^{注1} | 10 ^{注1} | ms |
| ブランクチェック時間 | 4B | — | — | 30 ^{注1} | µs |
| | 64B | — | — | 100 ^{注1} | µs |

注 1. ハードウェアの処理時間のみ。ソフトウェアのオーバヘッドは考慮されていません。

37.7 熱特性

37.7.1 パラメータ

表 37.42 RH850/E1L での熱抵抗

| パッケージ | パラメータ | 見積もり値 | 単位 | 備考 |
|--------------|------------------|-------|------|----------------------------|
| FBGA1717-252 | Θ_{ja} | 23 | °C/W | JESD51-9 準拠 (4 layers) |
| | Ψ_{jb} | 17 | °C/W | JESD51-9 準拠 (4 layers) |
| | 4L Θ_{ja} | 36 | °C/W | L 基板 (4 layers) (サーマルビア無し) |
| | 4L Ψ_{jb} | 27 | °C/W | L 基板 (4 layers) (サーマルビア無し) |
| | 4LTb_inc | 9 | °C/W | L 基板 (4 layers) (サーマルビア無し) |
| | 4L Ψ_{jt} | 1 | °C/W | L 基板 (4 layers) (サーマルビア無し) |
| LQFP2424-176 | Θ_{ja} | 34 | °C/W | JESD51-7 準拠 (4 layers) |
| | Ψ_{jb} | 27 | °C/W | JESD51-7 準拠 (4 layers) |
| | 4L Θ_{ja} | 39 | °C/W | L 基板 (4 layers) |
| | 4L Ψ_{jb} | 31 | °C/W | L 基板 (4 layers) |
| | 4LTb_inc | 8 | °C/W | L 基板 (4 layers) |
| | 4L Ψ_{jt} | 1 | °C/W | L 基板 (4 layers) |
| QFP2020-144 | Θ_{ja} | 34 | °C/W | JESD51-7 準拠 (4 layers) |
| | Ψ_{jb} | 26 | °C/W | JESD51-7 準拠 (4 layers) |
| | 4L Θ_{ja} | 38 | °C/W | L 基板 (4 layers) |
| | 4L Ψ_{jb} | 30 | °C/W | L 基板 (4 layers) |
| | 4LTb_inc | 9 | °C/W | L 基板 (4 layers) |
| | 4L Ψ_{jt} | 1 | °C/W | L 基板 (4 layers) |

注意：熱抵抗、熱特性パラメータの数値は使用環境により変化します。

37.7.2 想定基板

表 37.43 JESD51-7 準拠 (4 layers)

| | 基板サイズ (mm) | | 面積 (mm ²) |
|--------------|---------------------|-------|-----------------------|
| | X | Y | |
| 基板 | 76.2 | 114.3 | 8709.66 |
| 残銅率 | 導体厚 | | |
| 50-95-95-50% | 70-35-35-70 μ m | | |

表 37.44 JESD51-9 準拠 (4 layers)

| | 基板サイズ (mm) | | 面積 (mm ²) |
|--------------|---------------------|-------|-----------------------|
| | X | Y | |
| 基板 | 101.5 | 114.5 | 11621.75 |
| 残銅率 | 導体厚 | | |
| 50-95-95-50% | 70-35-35-70 μ m | | |

表 37.45 L 基板 (4 layers)

| | 基板サイズ (mm) | | 面積 (mm ²) |
|--------------|---------------------|-----|-----------------------|
| | X | Y | |
| L 基板 | 90 | 160 | 14400 |
| 残銅率 | 導体厚 | | |
| 30-80-80-30% | 35-35-35-35 μ m | | |

付録 レジスタ一覧

レジスタ一覧では、本 LSI の内蔵 I/O レジスタの情報について、以下のとおり説明します。

- アドレス（OS アドレス）の昇順でレジスタを記載します。
- レジスタアドレス一覧に記載されていないリザーブアドレスのアクセスはしないでください。

アドレスは、16 ビットまたは 32 ビットの場合、リトルエンディアンを前提として、LSB 側のアドレスを記載しています。

(1/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------|----------|------------------------|------|------------------------|------------------|---------|
| PORT | ポートレジスタ | P0 | 0000 _H | 16 | FF61 0000 _H | 3 | 16 |
| PORT | ポートセット/リセットレジスタ | PSR0 | 0000 0000 _H | 32 | FF61 0004 _H | 3 | 32 |
| PORT | ポートノットレジスタ | PNOT0 | 0000 _H | 16 | FF61 0008 _H | 3 | 16 |
| PORT | ポート端子リードレジスタ | PPR0 | 0000 _H | 16 | FF61 000C _H | 3 | 16 |
| PORT | ポートモードレジスタ | PM0 | FFFF _H | 16 | FF61 0010 _H | 3 | 16 |
| PORT | ポートモードコントロールレジスタ | PMC0 | 0000 _H | 16 | FF61 0014 _H | 3 | 16 |
| PORT | ポート機能コントロールレジスタ | PFC0 | 0000 _H | 16 | FF61 0018 _H | 3 | 16 |
| PORT | ポート機能コントロール拡張レジスタ | PFCE0 | 0000 _H | 16 | FF61 001C _H | 3 | 16 |
| PORT | ポートモードセット/リセットレジスタ | PMSR0 | 0000 FFFF _H | 32 | FF61 0020 _H | 3 | 32 |
| PORT | ポートモードコントロールセット/リセットレジスタ | PMCSR0 | 0000 0000 _H | 32 | FF61 0024 _H | 3 | 32 |
| PORT | ポート機能コントロール追加拡張レジスタ | PFCAE0 | 0000 _H | 16 | FF61 0028 _H | 3 | 16 |
| PORT | ポート出力レベル反転レジスタ | PINV0 | 0000 0000 _H | 32 | FF61 0030 _H | 3 | 32 |
| PORT | ポートレジスタ | P1 | 0000 _H | 16 | FF61 0040 _H | 3 | 16 |
| PORT | ポートセット/リセットレジスタ | PSR1 | 0000 0000 _H | 32 | FF61 0044 _H | 3 | 32 |
| PORT | ポートノットレジスタ | PNOT1 | 0000 _H | 16 | FF61 0048 _H | 3 | 16 |
| PORT | ポート端子リードレジスタ | PPR1 | 0000 _H | 16 | FF61 004C _H | 3 | 16 |
| PORT | ポートモードレジスタ | PM1 | FFFF _H | 16 | FF61 0050 _H | 3 | 16 |
| PORT | ポートモードコントロールレジスタ | PMC1 | 0000 _H | 16 | FF61 0054 _H | 3 | 16 |
| PORT | ポート機能コントロールレジスタ | PFC1 | 0000 _H | 16 | FF61 0058 _H | 3 | 16 |
| PORT | ポート機能コントロール拡張レジスタ | PFCE1 | 0000 _H | 16 | FF61 005C _H | 3 | 16 |
| PORT | ポートモードセット/リセットレジスタ | PMSR1 | 0000 FFFF _H | 32 | FF61 0060 _H | 3 | 32 |
| PORT | ポートモードコントロールセット/リセットレジスタ | PMCSR1 | 0000 0000 _H | 32 | FF61 0064 _H | 3 | 32 |
| PORT | ポート機能コントロール追加拡張レジスタ | PFCAE1 | 0000 _H | 16 | FF61 0068 _H | 3 | 16 |
| PORT | ポート出力レベル反転レジスタ | PINV1 | 0000 0000 _H | 32 | FF61 0070 _H | 3 | 32 |
| PORT | ポートレジスタ | P2 | 0000 _H | 16 | FF61 0080 _H | 3 | 16 |
| PORT | ポートセット/リセットレジスタ | PSR2 | 0000 0000 _H | 32 | FF61 0084 _H | 3 | 32 |
| PORT | ポートノットレジスタ | PNOT2 | 0000 _H | 16 | FF61 0088 _H | 3 | 16 |
| PORT | ポート端子リードレジスタ | PPR2 | 0000 _H | 16 | FF61 008C _H | 3 | 16 |
| PORT | ポートモードレジスタ | PM2 | FFFF _H | 16 | FF61 0090 _H | 3 | 16 |
| PORT | ポートモードコントロールレジスタ | PMC2 | 0000 _H | 16 | FF61 0094 _H | 3 | 16 |
| PORT | ポート機能コントロールレジスタ | PFC2 | 0000 _H | 16 | FF61 0098 _H | 3 | 16 |
| PORT | ポート機能コントロール拡張レジスタ | PFCE2 | 0000 _H | 16 | FF61 009C _H | 3 | 16 |

(2/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------|----------|------------------------|------|------------------------|------------------|---------|
| PORT | ポートモードセット/リセットレジスタ | PMSR2 | 0000 FFFF _H | 32 | FF61 00A0 _H | 3 | 32 |
| PORT | ポートモードコントロールセット/リセットレジスタ | PMCSR2 | 0000 0000 _H | 32 | FF61 00A4 _H | 3 | 32 |
| PORT | ポート機能コントロール追加拡張レジスタ | PFCAE2 | 0000 _H | 16 | FF61 00A8 _H | 3 | 16 |
| PORT | ポート出力レベル反転レジスタ | PINV2 | 0000 0000 _H | 32 | FF61 00B0 _H | 3 | 32 |
| PORT | ポートレジスタ | P3 | 0000 _H | 16 | FF61 00C0 _H | 3 | 16 |
| PORT | ポートセット/リセットレジスタ | PSR3 | 0000 0000 _H | 32 | FF61 00C4 _H | 3 | 32 |
| PORT | ポートノットレジスタ | PNOT3 | 0000 _H | 16 | FF61 00C8 _H | 3 | 16 |
| PORT | ポート端子リードレジスタ | PPR3 | 0000 _H | 16 | FF61 00CC _H | 3 | 16 |
| PORT | ポートモードレジスタ | PM3 | FFFF _H | 16 | FF61 00D0 _H | 3 | 16 |
| PORT | ポートモードコントロールレジスタ | PMC3 | 0000 _H | 16 | FF61 00D4 _H | 3 | 16 |
| PORT | ポート機能コントロールレジスタ | PFC3 | 0000 _H | 16 | FF61 00D8 _H | 3 | 16 |
| PORT | ポート機能コントロール拡張レジスタ | PFCE3 | 0000 _H | 16 | FF61 00DC _H | 3 | 16 |
| PORT | ポートモードセット/リセットレジスタ | PMSR3 | 0000 FFFF _H | 32 | FF61 00E0 _H | 3 | 32 |
| PORT | ポートモードコントロールセット/リセットレジスタ | PMCSR3 | 0000 0000 _H | 32 | FF61 00E4 _H | 3 | 32 |
| PORT | ポート機能コントロール追加拡張レジスタ | PFCAE3 | 0000 _H | 16 | FF61 00E8 _H | 3 | 16 |
| PORT | ポート出力レベル反転レジスタ | PINV3 | 0000 0000 _H | 32 | FF61 00F0 _H | 3 | 32 |
| PORT | ポートレジスタ | P4 | 0000 _H | 16 | FF61 0100 _H | 3 | 16 |
| PORT | ポートセット/リセットレジスタ | PSR4 | 0000 0000 _H | 32 | FF61 0104 _H | 3 | 32 |
| PORT | ポートノットレジスタ | PNOT4 | 0000 _H | 16 | FF61 0108 _H | 3 | 16 |
| PORT | ポート端子リードレジスタ | PPR4 | 0000 _H | 16 | FF61 010C _H | 3 | 16 |
| PORT | ポートモードレジスタ | PM4 | FFFF _H | 16 | FF61 0110 _H | 3 | 16 |
| PORT | ポートモードコントロールレジスタ | PMC4 | 0000 _H | 16 | FF61 0114 _H | 3 | 16 |
| PORT | ポート機能コントロールレジスタ | PFC4 | 0000 _H | 16 | FF61 0118 _H | 3 | 16 |
| PORT | ポート機能コントロール拡張レジスタ | PFCE4 | 0000 _H | 16 | FF61 011C _H | 3 | 16 |
| PORT | ポートモードセット/リセットレジスタ | PMSR4 | 0000 FFFF _H | 32 | FF61 0120 _H | 3 | 32 |
| PORT | ポートモードコントロールセット/リセットレジスタ | PMCSR4 | 0000 0000 _H | 32 | FF61 0124 _H | 3 | 32 |
| PORT | ポート機能コントロール追加拡張レジスタ | PFCAE4 | 0000 _H | 16 | FF61 0128 _H | 3 | 16 |
| PORT | ポート出力レベル反転レジスタ | PINV4 | 0000 0000 _H | 32 | FF61 0130 _H | 3 | 32 |
| PORT | ポートレジスタ | P5 | 0000 _H | 16 | FF61 0140 _H | 3 | 16 |
| PORT | ポートセット/リセットレジスタ | PSR5 | 0000 0000 _H | 32 | FF61 0144 _H | 3 | 32 |
| PORT | ポートノットレジスタ | PNOT5 | 0000 _H | 16 | FF61 0148 _H | 3 | 16 |
| PORT | ポート端子リードレジスタ | PPR5 | 0000 _H | 16 | FF61 014C _H | 3 | 16 |
| PORT | ポートモードレジスタ | PM5 | FFFF _H | 16 | FF61 0150 _H | 3 | 16 |
| PORT | ポートモードコントロールレジスタ | PMC5 | 0000 _H | 16 | FF61 0154 _H | 3 | 16 |
| PORT | ポート機能コントロールレジスタ | PFC5 | 0000 _H | 16 | FF61 0158 _H | 3 | 16 |
| PORT | ポート機能コントロール拡張レジスタ | PFCE5 | 0000 _H | 16 | FF61 015C _H | 3 | 16 |
| PORT | ポートモードセット/リセットレジスタ | PMSR5 | 0000 FFFF _H | 32 | FF61 0160 _H | 3 | 32 |
| PORT | ポートモードコントロールセット/リセットレジスタ | PMCSR5 | 0000 0000 _H | 32 | FF61 0164 _H | 3 | 32 |
| PORT | ポート機能コントロール追加拡張レジスタ | PFCAE5 | 0000 _H | 16 | FF61 0168 _H | 3 | 16 |
| PORT | ポート出力レベル反転レジスタ | PINV5 | 0000 0000 _H | 32 | FF61 0170 _H | 3 | 32 |

(3/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------|----------|------------------------|------|------------------------|------------------|---------|
| PORT | ポートレジスタ | P11 | 0000 _H | 16 | FF61 02C0 _H | 3 | 16 |
| PORT | ポートセット/リセットレジスタ | PSR11 | 0000 0000 _H | 32 | FF61 02C4 _H | 3 | 32 |
| PORT | ポートノットレジスタ | PNOT11 | 0000 _H | 16 | FF61 02C8 _H | 3 | 16 |
| PORT | ポート端子リードレジスタ | PPR11 | 0000 _H | 16 | FF61 02CC _H | 3 | 16 |
| PORT | ポートモードレジスタ | PM11 | FFFF _H | 16 | FF61 02D0 _H | 3 | 16 |
| PORT | ポートモードコントロールレジスタ | PMC11 | 0000 _H | 16 | FF61 02D4 _H | 3 | 16 |
| PORT | ポート機能コントロールレジスタ | PFC11 | 0000 _H | 16 | FF61 02D8 _H | 3 | 16 |
| PORT | ポート機能コントロール拡張レジスタ | PFCE11 | 0000 _H | 16 | FF61 02DC _H | 3 | 16 |
| PORT | ポートモードセット/リセットレジスタ | PMSR11 | 0000 FFFF _H | 32 | FF61 02E0 _H | 3 | 32 |
| PORT | ポートモードコントロールセット/リセットレジスタ | PMCSR11 | 0000 0000 _H | 32 | FF61 02E4 _H | 3 | 32 |
| PORT | ポート出力レベル反転レジスタ | PINV11 | 0000 0000 _H | 32 | FF61 02F0 _H | 3 | 32 |
| PORT | ポートレジスタ | P13 | 0000 _H | 16 | FF61 0340 _H | 3 | 16 |
| PORT | ポートセット/リセットレジスタ | PSR13 | 0000 0000 _H | 32 | FF61 0344 _H | 3 | 32 |
| PORT | ポートノットレジスタ | PNOT13 | 0000 _H | 16 | FF61 0348 _H | 3 | 16 |
| PORT | ポート端子リードレジスタ | PPR13 | 0000 _H | 16 | FF61 034C _H | 3 | 16 |
| PORT | ポートモードレジスタ | PM13 | FFFF _H | 16 | FF61 0350 _H | 3 | 16 |
| PORT | ポートモードコントロールレジスタ | PMC13 | 0000 _H | 16 | FF61 0354 _H | 3 | 16 |
| PORT | ポート機能コントロールレジスタ | PFC13 | 0000 _H | 16 | FF61 0358 _H | 3 | 16 |
| PORT | ポート機能コントロール拡張レジスタ | PFCE13 | 0000 _H | 16 | FF61 035C _H | 3 | 16 |
| PORT | ポートモードセット/リセットレジスタ | PMSR13 | 0000 FFFF _H | 32 | FF61 0360 _H | 3 | 32 |
| PORT | ポートモードコントロールセット/リセットレジスタ | PMCSR13 | 0000 0000 _H | 32 | FF61 0364 _H | 3 | 32 |
| PORT | ポート機能コントロール追加拡張レジスタ | PFCAE13 | 0000 _H | 16 | FF61 0368 _H | 3 | 16 |
| PORT | ポート出力レベル反転レジスタ | PINV13 | 0000 0000 _H | 32 | FF61 0370 _H | 3 | 32 |
| PORT | ポート端子リードレジスタ | PPR14 | 0000 _H | 16 | FF61 038C _H | 3 | 16 |
| PORT | ポートモードコントロールレジスタ | PMC14 | 0000 _H | 16 | FF61 0394 _H | 3 | 16 |
| PORT | ポート機能コントロールレジスタ | PFC14 | 0000 _H | 16 | FF61 0398 _H | 3 | 16 |
| PORT | ポートモードコントロールセット/リセットレジスタ | PMCSR14 | 0000 0000 _H | 32 | FF61 03A4 _H | 3 | 32 |
| PORT | ポート端子リードレジスタ | PPR16 | 0000 _H | 16 | FF61 040C _H | 3 | 16 |
| PORT | ポートモードレジスタ | PM17 | FFFF _H | 16 | FF61 0450 _H | 3 | 16 |
| PORT | ポートモードセット/リセットレジスタ | PMSR17 | 0000 FFFF _H | 32 | FF61 0460 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR0_0 | 0000 0010 _H | 32 | FF61 2000 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR0_1 | 0000 0010 _H | 32 | FF61 2004 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR0_2 | 0000 0010 _H | 32 | FF61 2008 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR0_3 | 0000 0010 _H | 32 | FF61 200C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR0_4 | 0000 0010 _H | 32 | FF61 2010 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR0_5 | 0000 0010 _H | 32 | FF61 2014 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR0_6 | 0000 0010 _H | 32 | FF61 2018 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR0_7 | 0000 0010 _H | 32 | FF61 201C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR0_8 | 0000 0010 _H | 32 | FF61 2020 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR0_9 | 0000 0010 _H | 32 | FF61 2024 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR0_10 | 0000 0010 _H | 32 | FF61 2028 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR0_11 | 0000 0010 _H | 32 | FF61 202C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR0_12 | 0000 0010 _H | 32 | FF61 2030 _H | 3 | 32 |

(4/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------|----------|------------------------|------|------------------------|------------------|---------|
| PORT | ポートコントロールレジスタ | PCR0_13 | 0000 0010 _H | 32 | FF61 2034 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR0_14 | 0000 0010 _H | 32 | FF61 2038 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR1_0 | 0000 0010 _H | 32 | FF61 2040 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR1_1 | 0000 0010 _H | 32 | FF61 2044 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR1_2 | 0000 0010 _H | 32 | FF61 2048 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR1_3 | 0000 0010 _H | 32 | FF61 204C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR1_4 | 0000 0010 _H | 32 | FF61 2050 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR1_5 | 0000 0010 _H | 32 | FF61 2054 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR1_6 | 0000 0010 _H | 32 | FF61 2058 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR1_7 | 0000 0010 _H | 32 | FF61 205C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR1_8 | 0000 0010 _H | 32 | FF61 2060 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR1_9 | 0000 0010 _H | 32 | FF61 2064 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR1_10 | 0000 0010 _H | 32 | FF61 2068 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR1_11 | 0000 0010 _H | 32 | FF61 206C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR1_12 | 0000 0010 _H | 32 | FF61 2070 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR1_13 | 0000 0010 _H | 32 | FF61 2074 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR1_14 | 0000 0010 _H | 32 | FF61 2078 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR1_15 | 0000 0010 _H | 32 | FF61 207C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR2_0 | 0000 0010 _H | 32 | FF61 2080 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR2_1 | 0000 0010 _H | 32 | FF61 2084 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR2_2 | 0000 0010 _H | 32 | FF61 2088 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR2_3 | 0000 0010 _H | 32 | FF61 208C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR2_4 | 0000 0010 _H | 32 | FF61 2090 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR2_5 | 0000 0010 _H | 32 | FF61 2094 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR2_6 | 0000 0010 _H | 32 | FF61 2098 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR2_7 | 0000 0010 _H | 32 | FF61 209C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR3_0 | 0000 0010 _H | 32 | FF61 20C0 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR3_1 | 0000 0010 _H | 32 | FF61 20C4 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR3_2 | 0000 0010 _H | 32 | FF61 20C8 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR3_3 | 0000 0010 _H | 32 | FF61 20CC _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR3_4 | 0000 0010 _H | 32 | FF61 20D0 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR3_5 | 0000 0010 _H | 32 | FF61 20D4 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR3_6 | 0000 0010 _H | 32 | FF61 20D8 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR4_0 | 0000 0010 _H | 32 | FF61 2100 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR4_1 | 0000 0010 _H | 32 | FF61 2104 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR4_2 | 0000 0010 _H | 32 | FF61 2108 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR4_3 | 0000 0010 _H | 32 | FF61 210C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR4_4 | 0000 0010 _H | 32 | FF61 2110 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR4_5 | 0000 0010 _H | 32 | FF61 2114 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR4_6 | 0000 0010 _H | 32 | FF61 2118 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR4_7 | 0000 0010 _H | 32 | FF61 211C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR4_8 | 0000 0010 _H | 32 | FF61 2120 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR4_9 | 0000 0010 _H | 32 | FF61 2124 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR4_10 | 0000 0010 _H | 32 | FF61 2128 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR4_11 | 0000 0010 _H | 32 | FF61 212C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR4_12 | 0000 0010 _H | 32 | FF61 2130 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR4_13 | 0000 0010 _H | 32 | FF61 2134 _H | 3 | 32 |

(5/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------|----------|------------------------|------|------------------------|------------------|---------|
| PORT | ポートコントロールレジスタ | PCR4_14 | 0000 0010 _H | 32 | FF61 2138 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR4_15 | 0000 0010 _H | 32 | FF61 213C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR5_0 | 0000 0010 _H | 32 | FF61 2140 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR5_1 | 0000 0010 _H | 32 | FF61 2144 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR5_2 | 0000 0010 _H | 32 | FF61 2148 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR5_3 | 0000 0010 _H | 32 | FF61 214C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR5_4 | 0000 0010 _H | 32 | FF61 2150 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR5_5 | 0000 0010 _H | 32 | FF61 2154 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR5_6 | 0000 0010 _H | 32 | FF61 2158 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR5_7 | 0000 0010 _H | 32 | FF61 215C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR5_8 | 0000 0010 _H | 32 | FF61 2160 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR5_9 | 0000 0010 _H | 32 | FF61 2164 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR11_0 | 0000 0010 _H | 32 | FF61 22C0 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR11_1 | 0000 0010 _H | 32 | FF61 22C4 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR13_0 | 0000 0010 _H | 32 | FF61 2340 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR13_1 | 0000 0010 _H | 32 | FF61 2344 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR13_2 | 0000 0010 _H | 32 | FF61 2348 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR13_3 | 0000 0010 _H | 32 | FF61 234C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR13_4 | 0000 0010 _H | 32 | FF61 2350 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR14_0 | 0000 0000 _H | 32 | FF61 2380 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR14_1 | 0000 0000 _H | 32 | FF61 2384 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR14_2 | 0000 0000 _H | 32 | FF61 2388 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR14_3 | 0000 0000 _H | 32 | FF61 238C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR14_4 | 0000 0000 _H | 32 | FF61 2390 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR14_5 | 0000 0000 _H | 32 | FF61 2394 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR14_6 | 0000 0000 _H | 32 | FF61 2398 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR14_7 | 0000 0000 _H | 32 | FF61 239C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR14_8 | 0000 0000 _H | 32 | FF61 23A0 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR14_9 | 0000 0000 _H | 32 | FF61 23A4 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR14_10 | 0000 0000 _H | 32 | FF61 23A8 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR14_11 | 0000 0000 _H | 32 | FF61 23AC _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR14_12 | 0000 0000 _H | 32 | FF61 23B0 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR14_13 | 0000 0000 _H | 32 | FF61 23B4 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR14_14 | 0000 0000 _H | 32 | FF61 23B8 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR14_15 | 0000 0000 _H | 32 | FF61 23BC _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR16_0 | 0000 0000 _H | 32 | FF61 2400 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR16_1 | 0000 0000 _H | 32 | FF61 2404 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR16_2 | 0000 0000 _H | 32 | FF61 2408 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR16_3 | 0000 0000 _H | 32 | FF61 240C _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR16_4 | 0000 0000 _H | 32 | FF61 2410 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR16_5 | 0000 0000 _H | 32 | FF61 2414 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR17_0 | 0000 0010 _H | 32 | FF61 2440 _H | 3 | 32 |
| PORT | ポートコントロールレジスタ | PCR17_1 | 0000 0010 _H | 32 | FF61 2444 _H | 3 | 32 |
| DFE | 制御レジスタ A (チャンネル 0) | CTLACH0 | 0000 0000 _H | 32 | FFBF 0000 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ A (チャンネル 1) | CTLACH1 | 0000 0000 _H | 32 | FFBF 0004 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ A (チャンネル 2) | CTLACH2 | 0000 0000 _H | 32 | FFBF 0008 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ A (チャンネル 3) | CTLACH3 | 0000 0000 _H | 32 | FFBF 000C _H | 3 | 8、16、32 |

(6/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------|----------|------------------------|------|------------------------|------------------|---------|
| DFE | 制御レジスタ A (チャンネル 4) | CTLACH4 | 0000 0000 _H | 32 | FFBF 0010 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ A (チャンネル 5) | CTLACH5 | 0000 0000 _H | 32 | FFBF 0014 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ A (チャンネル 6) | CTLACH6 | 0000 0000 _H | 32 | FFBF 0018 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ A (チャンネル 7) | CTLACH7 | 0000 0000 _H | 32 | FFBF 001C _H | 3 | 8、16、32 |
| DFE | 制御レジスタ A (チャンネル 8) | CTLACH8 | 0000 0000 _H | 32 | FFBF 0020 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ A (チャンネル 9) | CTLACH9 | 0000 0000 _H | 32 | FFBF 0024 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ A (チャンネル 10) | CTLACH10 | 0000 0000 _H | 32 | FFBF 0028 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ A (チャンネル 11) | CTLACH11 | 0000 0000 _H | 32 | FFBF 002C _H | 3 | 8、16、32 |
| DFE | 制御レジスタ A (チャンネル 12) | CTLACH12 | 0000 0000 _H | 32 | FFBF 0030 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ A (チャンネル 13) | CTLACH13 | 0000 0000 _H | 32 | FFBF 0034 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ A (チャンネル 14) | CTLACH14 | 0000 0000 _H | 32 | FFBF 0038 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ A (チャンネル 15) | CTLACH15 | 0000 0000 _H | 32 | FFBF 003C _H | 3 | 8、16、32 |
| DFE | 制御レジスタ B (チャンネル 0) | CTLBCH0 | 0000 0000 _H | 32 | FFBF 0040 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ B (チャンネル 1) | CTLBCH1 | 0000 0000 _H | 32 | FFBF 0044 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ B (チャンネル 2) | CTLBCH2 | 0000 0000 _H | 32 | FFBF 0048 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ B (チャンネル 3) | CTLBCH3 | 0000 0000 _H | 32 | FFBF 004C _H | 3 | 8、16、32 |
| DFE | 制御レジスタ B (チャンネル 4) | CTLBCH4 | 0000 0000 _H | 32 | FFBF 0050 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ B (チャンネル 5) | CTLBCH5 | 0000 0000 _H | 32 | FFBF 0054 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ B (チャンネル 6) | CTLBCH6 | 0000 0000 _H | 32 | FFBF 0058 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ B (チャンネル 7) | CTLBCH7 | 0000 0000 _H | 32 | FFBF 005C _H | 3 | 8、16、32 |
| DFE | 制御レジスタ B (チャンネル 8) | CTLBCH8 | 0000 0000 _H | 32 | FFBF 0060 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ B (チャンネル 9) | CTLBCH9 | 0000 0000 _H | 32 | FFBF 0064 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ B (チャンネル 10) | CTLBCH10 | 0000 0000 _H | 32 | FFBF 0068 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ B (チャンネル 11) | CTLBCH11 | 0000 0000 _H | 32 | FFBF 006C _H | 3 | 8、16、32 |
| DFE | 制御レジスタ B (チャンネル 12) | CTLBCH12 | 0000 0000 _H | 32 | FFBF 0070 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ B (チャンネル 13) | CTLBCH13 | 0000 0000 _H | 32 | FFBF 0074 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ B (チャンネル 14) | CTLBCH14 | 0000 0000 _H | 32 | FFBF 0078 _H | 3 | 8、16、32 |
| DFE | 制御レジスタ B (チャンネル 15) | CTLBCH15 | 0000 0000 _H | 32 | FFBF 007C _H | 3 | 8、16、32 |
| DFE | 出力データレジスタ (チャンネル 0) | DOCH0 | 0000 0000 _H | 32 | FFBF 0080 _H | 3 | 32 |
| DFE | 出力データレジスタ (チャンネル 1) | DOCH1 | 0000 0000 _H | 32 | FFBF 0084 _H | 3 | 32 |
| DFE | 出力データレジスタ (チャンネル 2) | DOCH2 | 0000 0000 _H | 32 | FFBF 0088 _H | 3 | 32 |
| DFE | 出力データレジスタ (チャンネル 3) | DOCH3 | 0000 0000 _H | 32 | FFBF 008C _H | 3 | 32 |
| DFE | 出力データレジスタ (チャンネル 4) | DOCH4 | 0000 0000 _H | 32 | FFBF 0090 _H | 3 | 32 |
| DFE | 出力データレジスタ (チャンネル 5) | DOCH5 | 0000 0000 _H | 32 | FFBF 0094 _H | 3 | 32 |
| DFE | 出力データレジスタ (チャンネル 6) | DOCH6 | 0000 0000 _H | 32 | FFBF 0098 _H | 3 | 32 |
| DFE | 出力データレジスタ (チャンネル 7) | DOCH7 | 0000 0000 _H | 32 | FFBF 009C _H | 3 | 32 |
| DFE | 出力データレジスタ (チャンネル 8) | DOCH8 | 0000 0000 _H | 32 | FFBF 00A0 _H | 3 | 32 |
| DFE | 出力データレジスタ (チャンネル 9) | DOCH9 | 0000 0000 _H | 32 | FFBF 00A4 _H | 3 | 32 |
| DFE | 出力データレジスタ (チャンネル 10) | DOCH10 | 0000 0000 _H | 32 | FFBF 00A8 _H | 3 | 32 |
| DFE | 出力データレジスタ (チャンネル 11) | DOCH11 | 0000 0000 _H | 32 | FFBF 00AC _H | 3 | 32 |
| DFE | 出力データレジスタ (チャンネル 12) | DOCH12 | 0000 0000 _H | 32 | FFBF 00B0 _H | 3 | 32 |
| DFE | 出力データレジスタ (チャンネル 13) | DOCH13 | 0000 0000 _H | 32 | FFBF 00B4 _H | 3 | 32 |
| DFE | 出力データレジスタ (チャンネル 14) | DOCH14 | 0000 0000 _H | 32 | FFBF 00B8 _H | 3 | 32 |
| DFE | 出力データレジスタ (チャンネル 15) | DOCH15 | 0000 0000 _H | 32 | FFBF 00BC _H | 3 | 32 |
| DFE | PH 結果レジスタ (チャンネル 0) | PHCH0 | 8000 0000 _H | 32 | FFBF 00C0 _H | 3 | 32 |
| DFE | PH 結果レジスタ (チャンネル 1) | PHCH1 | 8000 0000 _H | 32 | FFBF 00C4 _H | 3 | 32 |
| DFE | PH 結果レジスタ (チャンネル 2) | PHCH2 | 8000 0000 _H | 32 | FFBF 00C8 _H | 3 | 32 |

(7/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|-----------|------------------------|------|------------------------|------------------|---------|
| DFE | PH 結果レジスタ (チャネル 3) | PHCH3 | 8000 0000 _H | 32 | FFBF 00CC _H | 3 | 32 |
| DFE | PH 結果レジスタ (チャネル 4) | PHCH4 | 8000 0000 _H | 32 | FFBF 00D0 _H | 3 | 32 |
| DFE | PH 結果レジスタ (チャネル 5) | PHCH5 | 8000 0000 _H | 32 | FFBF 00D4 _H | 3 | 32 |
| DFE | PH 結果レジスタ (チャネル 6) | PHCH6 | 8000 0000 _H | 32 | FFBF 00D8 _H | 3 | 32 |
| DFE | PH 結果レジスタ (チャネル 7) | PHCH7 | 8000 0000 _H | 32 | FFBF 00DC _H | 3 | 32 |
| DFE | PH 結果レジスタ (チャネル 8) | PHCH8 | 8000 0000 _H | 32 | FFBF 00E0 _H | 3 | 32 |
| DFE | PH 結果レジスタ (チャネル 9) | PHCH9 | 8000 0000 _H | 32 | FFBF 00E4 _H | 3 | 32 |
| DFE | ステータスレジスタ (チャネル 0) | STCH0 | 0000 _H | 16 | FFBF 0140 _H | 3 | 8、16 |
| DFE | ステータスレジスタ (チャネル 1) | STCH1 | 0000 _H | 16 | FFBF 0144 _H | 3 | 8、16 |
| DFE | ステータスレジスタ (チャネル 2) | STCH2 | 0000 _H | 16 | FFBF 0148 _H | 3 | 8、16 |
| DFE | ステータスレジスタ (チャネル 3) | STCH3 | 0000 _H | 16 | FFBF 014C _H | 3 | 8、16 |
| DFE | ステータスレジスタ (チャネル 4) | STCH4 | 0000 _H | 16 | FFBF 0150 _H | 3 | 8、16 |
| DFE | ステータスレジスタ (チャネル 5) | STCH5 | 0000 _H | 16 | FFBF 0154 _H | 3 | 8、16 |
| DFE | ステータスレジスタ (チャネル 6) | STCH6 | 0000 _H | 16 | FFBF 0158 _H | 3 | 8、16 |
| DFE | ステータスレジスタ (チャネル 7) | STCH7 | 0000 _H | 16 | FFBF 015C _H | 3 | 8、16 |
| DFE | ステータスレジスタ (チャネル 8) | STCH8 | 0000 _H | 16 | FFBF 0160 _H | 3 | 8、16 |
| DFE | ステータスレジスタ (チャネル 9) | STCH9 | 0000 _H | 16 | FFBF 0164 _H | 3 | 8、16 |
| DFE | ステータスレジスタ (チャネル 10) | STCH10 | 0000 _H | 16 | FFBF 0168 _H | 3 | 8、16 |
| DFE | ステータスレジスタ (チャネル 11) | STCH11 | 0000 _H | 16 | FFBF 016C _H | 3 | 8、16 |
| DFE | ステータスレジスタ (チャネル 12) | STCH12 | 0000 _H | 16 | FFBF 0170 _H | 3 | 8、16 |
| DFE | ステータスレジスタ (チャネル 13) | STCH13 | 0000 _H | 16 | FFBF 0174 _H | 3 | 8、16 |
| DFE | ステータスレジスタ (チャネル 14) | STCH14 | 0000 _H | 16 | FFBF 0178 _H | 3 | 8、16 |
| DFE | ステータスレジスタ (チャネル 15) | STCH15 | 0000 _H | 16 | FFBF 017C _H | 3 | 8、16 |
| DFE | クリアステータスレジスタ (チャネル 0) | CLRSTCH0 | 0000 _H | 16 | FFBF 0180 _H | 3 | 8、16 |
| DFE | クリアステータスレジスタ (チャネル 1) | CLRSTCH1 | 0000 _H | 16 | FFBF 0184 _H | 3 | 8、16 |
| DFE | クリアステータスレジスタ (チャネル 2) | CLRSTCH2 | 0000 _H | 16 | FFBF 0188 _H | 3 | 8、16 |
| DFE | クリアステータスレジスタ (チャネル 3) | CLRSTCH3 | 0000 _H | 16 | FFBF 018C _H | 3 | 8、16 |
| DFE | クリアステータスレジスタ (チャネル 4) | CLRSTCH4 | 0000 _H | 16 | FFBF 0190 _H | 3 | 8、16 |
| DFE | クリアステータスレジスタ (チャネル 5) | CLRSTCH5 | 0000 _H | 16 | FFBF 0194 _H | 3 | 8、16 |
| DFE | クリアステータスレジスタ (チャネル 6) | CLRSTCH6 | 0000 _H | 16 | FFBF 0198 _H | 3 | 8、16 |
| DFE | クリアステータスレジスタ (チャネル 7) | CLRSTCH7 | 0000 _H | 16 | FFBF 019C _H | 3 | 8、16 |
| DFE | クリアステータスレジスタ (チャネル 8) | CLRSTCH8 | 0000 _H | 16 | FFBF 01A0 _H | 3 | 8、16 |
| DFE | クリアステータスレジスタ (チャネル 9) | CLRSTCH9 | 0000 _H | 16 | FFBF 01A4 _H | 3 | 8、16 |
| DFE | クリアステータスレジスタ (チャネル 10) | CLRSTCH10 | 0000 _H | 16 | FFBF 01A8 _H | 3 | 8、16 |
| DFE | クリアステータスレジスタ (チャネル 11) | CLRSTCH11 | 0000 _H | 16 | FFBF 01AC _H | 3 | 8、16 |
| DFE | クリアステータスレジスタ (チャネル 12) | CLRSTCH12 | 0000 _H | 16 | FFBF 01B0 _H | 3 | 8、16 |
| DFE | クリアステータスレジスタ (チャネル 13) | CLRSTCH13 | 0000 _H | 16 | FFBF 01B4 _H | 3 | 8、16 |
| DFE | クリアステータスレジスタ (チャネル 14) | CLRSTCH14 | 0000 _H | 16 | FFBF 01B8 _H | 3 | 8、16 |

(8/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-------------------------|-----------|------------------------|------|------------------------|------------------|---------|
| DFE | クリアステータスレジスタ (チャンネル 15) | CLRSTCH15 | 0000 _H | 16 | FFBF 01BC _H | 3 | 8、16 |
| DFE | エラーマスクレジスタ (チャンネル 0) | ERMCH0 | 00 _H | 8 | FFBF 01C0 _H | 3 | 8 |
| DFE | エラーマスクレジスタ (チャンネル 1) | ERMCH1 | 00 _H | 8 | FFBF 01C4 _H | 3 | 8 |
| DFE | エラーマスクレジスタ (チャンネル 2) | ERMCH2 | 00 _H | 8 | FFBF 01C8 _H | 3 | 8 |
| DFE | エラーマスクレジスタ (チャンネル 3) | ERMCH3 | 00 _H | 8 | FFBF 01CC _H | 3 | 8 |
| DFE | エラーマスクレジスタ (チャンネル 4) | ERMCH4 | 00 _H | 8 | FFBF 01D0 _H | 3 | 8 |
| DFE | エラーマスクレジスタ (チャンネル 5) | ERMCH5 | 00 _H | 8 | FFBF 01D4 _H | 3 | 8 |
| DFE | エラーマスクレジスタ (チャンネル 6) | ERMCH6 | 00 _H | 8 | FFBF 01D8 _H | 3 | 8 |
| DFE | エラーマスクレジスタ (チャンネル 7) | ERMCH7 | 00 _H | 8 | FFBF 01DC _H | 3 | 8 |
| DFE | エラーマスクレジスタ (チャンネル 8) | ERMCH8 | 00 _H | 8 | FFBF 01E0 _H | 3 | 8 |
| DFE | エラーマスクレジスタ (チャンネル 9) | ERMCH9 | 00 _H | 8 | FFBF 01E4 _H | 3 | 8 |
| DFE | エラーマスクレジスタ (チャンネル 10) | ERMCH10 | 00 _H | 8 | FFBF 01E8 _H | 3 | 8 |
| DFE | エラーマスクレジスタ (チャンネル 11) | ERMCH11 | 00 _H | 8 | FFBF 01EC _H | 3 | 8 |
| DFE | エラーマスクレジスタ (チャンネル 12) | ERMCH12 | 00 _H | 8 | FFBF 01F0 _H | 3 | 8 |
| DFE | エラーマスクレジスタ (チャンネル 13) | ERMCH13 | 00 _H | 8 | FFBF 01F4 _H | 3 | 8 |
| DFE | エラーマスクレジスタ (チャンネル 14) | ERMCH14 | 00 _H | 8 | FFBF 01F8 _H | 3 | 8 |
| DFE | エラーマスクレジスタ (チャンネル 15) | ERMCH15 | 00 _H | 8 | FFBF 01FC _H | 3 | 8 |
| DFE | トリガ設定レジスタ (チャンネル 0) | TRGCH0 | 0000 0000 _H | 32 | FFBF 0200 _H | 3 | 16、32 |
| DFE | トリガ設定レジスタ (チャンネル 1) | TRGCH1 | 0000 0000 _H | 32 | FFBF 0204 _H | 3 | 16、32 |
| DFE | トリガ設定レジスタ (チャンネル 2) | TRGCH2 | 0000 0000 _H | 32 | FFBF 0208 _H | 3 | 16、32 |
| DFE | トリガ設定レジスタ (チャンネル 3) | TRGCH3 | 0000 0000 _H | 32 | FFBF 020C _H | 3 | 16、32 |
| DFE | トリガ設定レジスタ (チャンネル 4) | TRGCH4 | 0000 0000 _H | 32 | FFBF 0210 _H | 3 | 16、32 |
| DFE | トリガ設定レジスタ (チャンネル 5) | TRGCH5 | 0000 0000 _H | 32 | FFBF 0214 _H | 3 | 16、32 |
| DFE | トリガ設定レジスタ (チャンネル 6) | TRGCH6 | 0000 0000 _H | 32 | FFBF 0218 _H | 3 | 16、32 |
| DFE | トリガ設定レジスタ (チャンネル 7) | TRGCH7 | 0000 0000 _H | 32 | FFBF 021C _H | 3 | 16、32 |
| DFE | トリガ設定レジスタ (チャンネル 8) | TRGCH8 | 0000 0000 _H | 32 | FFBF 0220 _H | 3 | 16、32 |
| DFE | トリガ設定レジスタ (チャンネル 9) | TRGCH9 | 0000 0000 _H | 32 | FFBF 0224 _H | 3 | 16、32 |
| DFE | トリガ設定レジスタ (チャンネル 10) | TRGCH10 | 0000 0000 _H | 32 | FFBF 0228 _H | 3 | 16、32 |
| DFE | トリガ設定レジスタ (チャンネル 11) | TRGCH11 | 0000 0000 _H | 32 | FFBF 022C _H | 3 | 16、32 |
| DFE | トリガ設定レジスタ (チャンネル 12) | TRGCH12 | 0000 0000 _H | 32 | FFBF 0230 _H | 3 | 16、32 |
| DFE | トリガ設定レジスタ (チャンネル 13) | TRGCH13 | 0000 0000 _H | 32 | FFBF 0234 _H | 3 | 16、32 |
| DFE | トリガ設定レジスタ (チャンネル 14) | TRGCH14 | 0000 0000 _H | 32 | FFBF 0238 _H | 3 | 16、32 |
| DFE | トリガ設定レジスタ (チャンネル 15) | TRGCH15 | 0000 0000 _H | 32 | FFBF 023C _H | 3 | 16、32 |
| DFE | トリガ履歴レジスタ (チャンネル 0) | TRHCH0 | 00 _H | 8 | FFBF 0240 _H | 3 | 8 |
| DFE | トリガ履歴レジスタ (チャンネル 1) | TRHCH1 | 00 _H | 8 | FFBF 0244 _H | 3 | 8 |
| DFE | トリガ履歴レジスタ (チャンネル 2) | TRHCH2 | 00 _H | 8 | FFBF 0248 _H | 3 | 8 |
| DFE | トリガ履歴レジスタ (チャンネル 3) | TRHCH3 | 00 _H | 8 | FFBF 024C _H | 3 | 8 |
| DFE | トリガ履歴レジスタ (チャンネル 4) | TRHCH4 | 00 _H | 8 | FFBF 0250 _H | 3 | 8 |
| DFE | トリガ履歴レジスタ (チャンネル 5) | TRHCH5 | 00 _H | 8 | FFBF 0254 _H | 3 | 8 |
| DFE | トリガ履歴レジスタ (チャンネル 6) | TRHCH6 | 00 _H | 8 | FFBF 0258 _H | 3 | 8 |
| DFE | トリガ履歴レジスタ (チャンネル 7) | TRHCH7 | 00 _H | 8 | FFBF 025C _H | 3 | 8 |
| DFE | トリガ履歴レジスタ (チャンネル 8) | TRHCH8 | 00 _H | 8 | FFBF 0260 _H | 3 | 8 |
| DFE | トリガ履歴レジスタ (チャンネル 9) | TRHCH9 | 00 _H | 8 | FFBF 0264 _H | 3 | 8 |
| DFE | トリガ履歴レジスタ (チャンネル 10) | TRHCH10 | 00 _H | 8 | FFBF 0268 _H | 3 | 8 |
| DFE | トリガ履歴レジスタ (チャンネル 11) | TRHCH11 | 00 _H | 8 | FFBF 026C _H | 3 | 8 |
| DFE | トリガ履歴レジスタ (チャンネル 12) | TRHCH12 | 00 _H | 8 | FFBF 0270 _H | 3 | 8 |

(9/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-------------------------------|--------------|------------------------|------|------------------------|------------------|---------|
| DFE | トリガ履歴レジスタ (チャンネル 13) | TRHCH13 | 00 _H | 8 | FFBF 0274 _H | 3 | 8 |
| DFE | トリガ履歴レジスタ (チャンネル 14) | TRHCH14 | 00 _H | 8 | FFBF 0278 _H | 3 | 8 |
| DFE | トリガ履歴レジスタ (チャンネル 15) | TRHCH15 | 00 _H | 8 | FFBF 027C _H | 3 | 8 |
| DFE | 比較値設定レジスタ A | CPA | 0000 0000 _H | 32 | FFBF 0280 _H | 3 | 32 |
| DFE | 比較値設定レジスタ B | CPB | 0000 0000 _H | 32 | FFBF 0284 _H | 3 | 32 |
| DFE | 比較値設定レジスタ C | CPC | 0000 0000 _H | 32 | FFBF 0288 _H | 3 | 32 |
| DFE | 比較値設定レジスタ D | CPD | 0000 0000 _H | 32 | FFBF 028C _H | 3 | 32 |
| DFE | PH 初期値設定レジスタ A | PHIA | 8000 0000 _H | 32 | FFBF 0290 _H | 3 | 32 |
| DFE | PH 初期値設定レジスタ B | PHIB | 8000 0000 _H | 32 | FFBF 0294 _H | 3 | 32 |
| DFE | PH 初期値設定レジスタ C | PHIC | 8000 0000 _H | 32 | FFBF 0298 _H | 3 | 32 |
| DFE | PH 初期値設定レジスタ D | PHID | 8000 0000 _H | 32 | FFBF 029C _H | 3 | 32 |
| DFE | 積算/デシメーション回数設定レジスタ A | ACA | 0000 _H | 16 | FFBF 02B0 _H | 3 | 16 |
| DFE | 積算/デシメーション回数設定レジスタ B | ACB | 0000 _H | 16 | FFBF 02B4 _H | 3 | 16 |
| DFE | 積算/デシメーション回数設定レジスタ C | ACC | 0000 _H | 16 | FFBF 02B8 _H | 3 | 16 |
| DFE | 積算/デシメーション回数設定レジスタ D | ACD | 0000 _H | 16 | FFBF 02BC _H | 3 | 16 |
| DFE | ソフトウェア入力データレジスタ | DI | 0000 0000 _H | 32 | FFBF 02C0 _H | 3 | 32 |
| DFE | ソフトウェアトリガレジスタ | TRG | 00 _H | 8 | FFBF 02C4 _H | 3 | 8 |
| DFE | DFE ステータスレジスタ | ST | 0000 0000 _H | 32 | FFBF 02CC _H | 3 | 8、16、32 |
| DFE | PH 初期化/終了用タイマトリガ選択レジスタ | PITRG | 0000 0000 _H | 32 | FFBF 0300 _H | 3 | 8、16、32 |
| DFE | 積算/デシメーション初期化/禁止用タイマトリガ選択レジスタ | MITRG | 0000 0000 _H | 32 | FFBF 0304 _H | 3 | 8、16、32 |
| DFE | フィルタ初期化用タイマトリガ選択レジスタ | FITRG | 0000 0000 _H | 32 | FFBF 0308 _H | 3 | 8、16、32 |
| DFE | PH 更新通知設定レジスタ 0 | PHUPDC0 | 00 _H | 8 | FFBF 0310 _H | 3 | 8 |
| DFE | PH 更新通知設定レジスタ 1 | PHUPDC1 | 00 _H | 8 | FFBF 0314 _H | 3 | 8 |
| EINT | NMI 割り込みコントロールレジスタ | NMCTL | 00 _H | 8 | FFC0 0000 _H | 3 | 8 |
| EINT | 外部割り込みコントロールレジスタ | EXINTCTL | 0000 _H | 16 | FFC0 0010 _H | 3 | 8、16 |
| EINT | 外部割り込みステータスレジスタ | EXINTSTR | 00 _H | 8 | FFC0 0014 _H | 3 | 8 |
| EINT | 外部割り込みステータスクリアレジスタ | EXINTSTC | 00 _H | 8 | FFC0 0018 _H | 3 | 8 |
| EINT | ソフトウェア割り込みレジスタ 0 | SINTR0 | 00 _H | 8 | FFC0 0020 _H | 3 | 8 |
| EINT | ソフトウェア割り込みレジスタ 1 | SINTR1 | 00 _H | 8 | FFC0 0024 _H | 3 | 8 |
| EINT | ソフトウェア割り込みレジスタ 2 | SINTR2 | 00 _H | 8 | FFC0 0028 _H | 3 | 8 |
| EINT | ソフトウェア割り込みレジスタ 3 | SINTR3 | 00 _H | 8 | FFC0 002C _H | 3 | 8 |
| ACK0 | クロックコントロールレジスタ | ACK0CKC | 01 _H | 8 | FFC0 4000 _H | 3 | 8 |
| ACK0 | CKC フラグレジスタ | ACK0CKCFLG | 01 _H | 8 | FFC0 4004 _H | 3 | 8 |
| ACK0 | クロック選択レジスタ | ACK0CKCTL | 00 _H | 8 | FFC0 4008 _H | 3 | 8 |
| ACK0 | BRGA0 コンペアレジスタ | ACK0BRGA0CMP | 00 _H | 8 | FFC0 400C _H | 3 | 8 |
| ACK0 | CKC プロテクトコマンドレジスタ | ACK0CKCPCMD | 不定 | 8 | FFC0 4100 _H | 3 | 8 |
| ACK0 | CKC プロテクトステータスレジスタ | ACK0CKCPCS | 00 _H | 8 | FFC0 4104 _H | 3 | 8 |
| MSTB | モジュールスタンバイレジスタ -TSG2 | MSRTSG | 00 _H | 8 | FFC0 5000 _H | 3 | 8 |
| MSTB | モジュールスタンバイレジスタ -TAPA | MSRTAPA | 00 _H | 8 | FFC0 5004 _H | 3 | 8 |
| MSTB | モジュールスタンバイレジスタ -OSTM | MSROSTM | 00 _H | 8 | FFC0 5008 _H | 3 | 8 |
| MSTB | モジュールスタンバイレジスタ -WDTA | MSRWDTA | 00 _H | 8 | FFC0 500C _H | 3 | 8 |
| MSTB | モジュールスタンバイレジスタ -PIC | MSRPIC | 00 _H | 8 | FFC0 5010 _H | 3 | 8 |

(10/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------------|----------|------------------------|------|------------------------|------------------|---------|
| MSTB | モジュールスタンバイレジスタ -RS-CAN | MSRRCAN | 00 _H | 8 | FFC0 5014 _H | 3 | 8 |
| MSTB | モジュールスタンバイレジスタ -RLIN2 | MSRRLIN | 00 _H | 8 | FFC0 501C _H | 3 | 8 |
| MSTB | モジュールスタンバイレジスタ -SCI3 | MSRSCI | 00 _H | 8 | FFC0 5020 _H | 3 | 8 |
| MSTB | モジュールスタンバイレジスタ -CSIH | MSRCSIH | 00 _H | 8 | FFC0 5024 _H | 3 | 8 |
| MSTB | モジュールスタンバイレジスタ -SAR AD | MSRSAD | 00 _H | 8 | FFC0 5028 _H | 3 | 8 |
| MSTB | モジュールスタンバイレジスタ - $\Delta\Sigma$ AD | MSRDAD | 00 _H | 8 | FFC0 502C _H | 3 | 8 |
| MSTB | モジュールスタンバイレジスタ -ATU-IV | MSRATU | 00 _H | 8 | FFC0 5030 _H | 3 | 8 |
| MSTB | モジュールスタンバイレジスタ -APA | MSRAPA | 00 _H | 8 | FFC0 5034 _H | 3 | 8 |
| MSTB | モジュールスタンバイレジスタ -DFE | MSRDFE | 00 _H | 8 | FFC0 5038 _H | 3 | 8 |
| MSTB | モジュールスタンバイレジスタ -RHSB | MSRRHSB | 00 _H | 8 | FFC0 503C _H | 3 | 8 |
| MSTB | MSR プロテクトコマンドレジスタ | MSRPCMD | 不定 | 8 | FFC0 5070 _H | 3 | 8 |
| MSTB | MSR プロテクトステータスレジスタ | MSRPS | 00 _H | 8 | FFC0 5074 _H | 3 | 8 |
| PORT | ポート入力バッファコントロールレジスタ | PIBC0 | 0000 _H | 16 | FFC1 4000 _H | 3 | 16 |
| PORT | ポート双方向コントロールレジスタ | PBDC0 | 0000 _H | 16 | FFC1 4004 _H | 3 | 16 |
| PORT | ポート IP コントロールレジスタ | PIPC0 | 0000 _H | 16 | FFC1 4008 _H | 3 | 16 |
| PORT | ブルアップオプションレジスタ | PU0 | 0000 _H | 16 | FFC1 400C _H | 3 | 16 |
| PORT | ブルダウンオプションレジスタ | PD0 | 0000 _H | 16 | FFC1 4010 _H | 3 | 16 |
| PORT | ポートドライブ強度コントロールレジスタ | PDSC0 | 0000 0000 _H | 32 | FFC1 4018 _H | 3 | 32 |
| PORT | ポートユニバーサルコントロールレジスタ | PUCC0 | 0000 0000 _H | 32 | FFC1 4028 _H | 3 | 32 |
| PORT | ポートレジスタ保護コマンドレジスタ | PPCMD0 | 00 _H | 8 | FFC1 402C _H | 3 | 8 |
| PORT | ポート保護ステータスレジスタ | PPROTS0 | 00 _H | 8 | FFC1 4034 _H | 3 | 8 |
| PORT | ポート入力バッファコントロールレジスタ | PIBC1 | 0000 _H | 16 | FFC1 4040 _H | 3 | 16 |
| PORT | ポート双方向コントロールレジスタ | PBDC1 | 0000 _H | 16 | FFC1 4044 _H | 3 | 16 |
| PORT | ポート IP コントロールレジスタ | PIPC1 | 0000 _H | 16 | FFC1 4048 _H | 3 | 16 |
| PORT | ブルアップオプションレジスタ | PU1 | 0000 _H | 16 | FFC1 404C _H | 3 | 16 |
| PORT | ブルダウンオプションレジスタ | PD1 | 0000 _H | 16 | FFC1 4050 _H | 3 | 16 |
| PORT | ポートドライブ強度コントロールレジスタ | PDSC1 | 0000 0000 _H | 32 | FFC1 4058 _H | 3 | 32 |
| PORT | ポートユニバーサルコントロールレジスタ | PUCC1 | 0000 0000 _H | 32 | FFC1 4068 _H | 3 | 32 |
| PORT | ポートレジスタ保護コマンドレジスタ | PPCMD1 | 00 _H | 8 | FFC1 406C _H | 3 | 8 |
| PORT | ポート保護ステータスレジスタ | PPROTS1 | 00 _H | 8 | FFC1 4074 _H | 3 | 8 |
| PORT | ポート入力バッファコントロールレジスタ | PIBC2 | 0000 _H | 16 | FFC1 4080 _H | 3 | 16 |
| PORT | ポート双方向コントロールレジスタ | PBDC2 | 0000 _H | 16 | FFC1 4084 _H | 3 | 16 |
| PORT | ポート IP コントロールレジスタ | PIPC2 | 0000 _H | 16 | FFC1 4088 _H | 3 | 16 |
| PORT | ブルアップオプションレジスタ | PU2 | 0000 _H | 16 | FFC1 408C _H | 3 | 16 |
| PORT | ブルダウンオプションレジスタ | PD2 | 0000 _H | 16 | FFC1 4090 _H | 3 | 16 |
| PORT | ポートドライブ強度コントロールレジスタ | PDSC2 | 0000 0000 _H | 32 | FFC1 4098 _H | 3 | 32 |
| PORT | ポートユニバーサルコントロールレジスタ | PUCC2 | 0000 0000 _H | 32 | FFC1 40A8 _H | 3 | 32 |
| PORT | ポートレジスタ保護コマンドレジスタ | PPCMD2 | 00 _H | 8 | FFC1 40AC _H | 3 | 8 |
| PORT | ポート保護ステータスレジスタ | PPROTS2 | 00 _H | 8 | FFC1 40B4 _H | 3 | 8 |

(11/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------------|----------|------------------------|------|------------------------|------------------|---------|
| PORT | ポート入力バッファコントロールレジスタ | PIBC3 | 0000 _H | 16 | FFC1 40C0 _H | 3 | 16 |
| PORT | ポート双方向コントロールレジスタ | PBDC3 | 0000 _H | 16 | FFC1 40C4 _H | 3 | 16 |
| PORT | ポート IP コントロールレジスタ | PIPC3 | 0000 _H | 16 | FFC1 40C8 _H | 3 | 16 |
| PORT | ブルアップオプションレジスタ | PU3 | 0000 _H | 16 | FFC1 40CC _H | 3 | 16 |
| PORT | ブルダウンオプションレジスタ | PD3 | 0000 _H | 16 | FFC1 40D0 _H | 3 | 16 |
| PORT | ポートドライブ強度コントロールレジスタ | PDSC3 | 0000 0000 _H | 32 | FFC1 40D8 _H | 3 | 32 |
| PORT | ポートユニバーサルコントロールレジスタ | PUCC3 | 0000 0000 _H | 32 | FFC1 40E8 _H | 3 | 32 |
| PORT | ポートレジスタ保護コマンドレジスタ | PPCMD3 | 00 _H | 8 | FFC1 40EC _H | 3 | 8 |
| PORT | ポート保護ステータスレジスタ | PPROTS3 | 00 _H | 8 | FFC1 40F4 _H | 3 | 8 |
| PORT | ポート入力バッファコントロールレジスタ | PIBC4 | 0000 _H | 16 | FFC1 4100 _H | 3 | 16 |
| PORT | ポート双方向コントロールレジスタ | PBDC4 | 0000 _H | 16 | FFC1 4104 _H | 3 | 16 |
| PORT | ポート IP コントロールレジスタ | PIPC4 | 0000 _H | 16 | FFC1 4108 _H | 3 | 16 |
| PORT | ブルアップオプションレジスタ | PU4 | 0000 _H | 16 | FFC1 410C _H | 3 | 16 |
| PORT | ブルダウンオプションレジスタ | PD4 | 0000 _H | 16 | FFC1 4110 _H | 3 | 16 |
| PORT | ポートドライブ強度コントロールレジスタ | PDSC4 | 0000 0000 _H | 32 | FFC1 4118 _H | 3 | 32 |
| PORT | ポートユニバーサルコントロールレジスタ | PUCC4 | 0000 0000 _H | 32 | FFC1 4128 _H | 3 | 32 |
| PORT | ポートレジスタ保護コマンドレジスタ | PPCMD4 | 00 _H | 8 | FFC1 412C _H | 3 | 8 |
| PORT | ポート保護ステータスレジスタ | PPROTS4 | 00 _H | 8 | FFC1 4134 _H | 3 | 8 |
| PORT | ポート入力バッファコントロールレジスタ | PIBC5 | 0000 _H | 16 | FFC1 4140 _H | 3 | 16 |
| PORT | ポート双方向コントロールレジスタ | PBDC5 | 0000 _H | 16 | FFC1 4144 _H | 3 | 16 |
| PORT | ポート IP コントロールレジスタ | PIPC5 | 0000 _H | 16 | FFC1 4148 _H | 3 | 16 |
| PORT | ブルアップオプションレジスタ | PU5 | 0000 _H | 16 | FFC1 414C _H | 3 | 16 |
| PORT | ブルダウンオプションレジスタ | PD5 | 0000 _H | 16 | FFC1 4150 _H | 3 | 16 |
| PORT | ポートドライブ強度コントロールレジスタ | PDSC5 | 0000 0000 _H | 32 | FFC1 4158 _H | 3 | 32 |
| PORT | ポートユニバーサルコントロールレジスタ | PUCC5 | 0000 0000 _H | 32 | FFC1 4168 _H | 3 | 32 |
| PORT | ポートレジスタ保護コマンドレジスタ | PPCMD5 | 00 _H | 8 | FFC1 416C _H | 3 | 8 |
| PORT | ポート保護ステータスレジスタ | PPROTS5 | 00 _H | 8 | FFC1 4174 _H | 3 | 8 |
| PORT | ポート入力バッファコントロールレジスタ | PIBC11 | 0000 _H | 16 | FFC1 42C0 _H | 3 | 16 |
| PORT | ポート双方向コントロールレジスタ | PBDC11 | 0000 _H | 16 | FFC1 42C4 _H | 3 | 16 |
| PORT | ブルアップオプションレジスタ | PU11 | 0000 _H | 16 | FFC1 42CC _H | 3 | 16 |
| PORT | ブルダウンオプションレジスタ | PD11 | 0000 _H | 16 | FFC1 42D0 _H | 3 | 16 |
| PORT | ポートドライブ強度コントロールレジスタ | PDSC11 | 0000 0000 _H | 32 | FFC1 42D8 _H | 3 | 32 |
| PORT | ポートユニバーサルコントロールレジスタ | PUCC11 | 0000 0000 _H | 32 | FFC1 42E8 _H | 3 | 32 |
| PORT | ポートレジスタ保護コマンドレジスタ | PPCMD11 | 00 _H | 8 | FFC1 42EC _H | 3 | 8 |
| PORT | ポート保護ステータスレジスタ | PPROTS11 | 00 _H | 8 | FFC1 42F4 _H | 3 | 8 |
| PORT | ポート入力バッファコントロールレジスタ | PIBC13 | 0000 _H | 16 | FFC1 4340 _H | 3 | 16 |
| PORT | ポート双方向コントロールレジスタ | PBDC13 | 0000 _H | 16 | FFC1 4344 _H | 3 | 16 |
| PORT | ポート IP コントロールレジスタ | PIPC13 | 0000 _H | 16 | FFC1 4348 _H | 3 | 16 |
| PORT | ブルアップオプションレジスタ | PU13 | 0000 _H | 16 | FFC1 434C _H | 3 | 16 |

(12/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------------|--------------|------------------------|------|------------------------|------------------|---------|
| PORT | ブルダウンオプションレジスタ | PD13 | 0000 _H | 16 | FFC1 4350 _H | 3 | 16 |
| PORT | ポートドライブ強度コントロールレジスタ | PDSC13 | 0000 0000 _H | 32 | FFC1 4358 _H | 3 | 32 |
| PORT | ポートユニバーサルコントロールレジスタ | PUCC13 | 0000 0000 _H | 32 | FFC1 4368 _H | 3 | 32 |
| PORT | ポートレジスタ保護コマンドレジスタ | PPCMD13 | 00 _H | 8 | FFC1 436C _H | 3 | 8 |
| PORT | ポート保護ステータスレジスタ | PPROTS13 | 00 _H | 8 | FFC1 4374 _H | 3 | 8 |
| PORT | ポート入力バッファコントロールレジスタ | PIBC14 | 0000 _H | 16 | FFC1 4380 _H | 3 | 16 |
| PORT | ポート入力バッファコントロールレジスタ | PIBC16 | 0000 _H | 16 | FFC1 4400 _H | 3 | 16 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP010CTL0 | 00 _H | 8 | FFC3 0000 _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP010CTL1 | 00 _H | 8 | FFC3 0004 _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP010CTL2 | 00 _H | 8 | FFC3 0008 _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP010CTL3 | 00 _H | 8 | FFC3 000C _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP010CTL4 | 00 _H | 8 | FFC3 0010 _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP010CTL5 | 00 _H | 8 | FFC3 0014 _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP010CTL6 | 00 _H | 8 | FFC3 0018 _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP010CTL7 | 00 _H | 8 | FFC3 001C _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP010CTL10 | 00 _H | 8 | FFC3 0028 _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP011CTL0 | 00 _H | 8 | FFC3 0100 _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP011CTL1 | 00 _H | 8 | FFC3 0104 _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP011CTL2 | 00 _H | 8 | FFC3 0108 _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP011CTL3 | 00 _H | 8 | FFC3 010C _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP011CTL4 | 00 _H | 8 | FFC3 0110 _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP011CTL8 | 00 _H | 8 | FFC3 0120 _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP022CTL | 00 _H | 8 | FFC3 0200 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP022EDC0 | 00 _H | 8 | FFC3 0204 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP022EDF0 | 00 _H | 8 | FFC3 0208 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP022EDC1 | 00 _H | 8 | FFC3 020C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP022EDF1 | 00 _H | 8 | FFC3 0210 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP022EDC2 | 00 _H | 8 | FFC3 0214 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP022EDF2 | 00 _H | 8 | FFC3 0218 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP022EDC3 | 00 _H | 8 | FFC3 021C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP022EDF3 | 00 _H | 8 | FFC3 0220 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP022EDC4 | 00 _H | 8 | FFC3 0224 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP022EDF4 | 00 _H | 8 | FFC3 0228 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP022EDC5 | 00 _H | 8 | FFC3 022C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP022EDF5 | 00 _H | 8 | FFC3 0230 _H | 3 | 8 |

(13/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------------|--------------|-----------------|------|------------------------|------------------|---------|
| DNF | エッジ検出制御レジスタ | DNFP022EDC6 | 00 _H | 8 | FFC3 0234 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP022EDF6 | 00 _H | 8 | FFC3 0238 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP022EDC7 | 00 _H | 8 | FFC3 023C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP022EDF7 | 00 _H | 8 | FFC3 0240 _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP023CTL | 00 _H | 8 | FFC3 0300 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP023EDC0 | 00 _H | 8 | FFC3 0304 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP023EDF0 | 00 _H | 8 | FFC3 0308 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP023EDC1 | 00 _H | 8 | FFC3 030C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP023EDF1 | 00 _H | 8 | FFC3 0310 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP023EDC2 | 00 _H | 8 | FFC3 0314 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP023EDF2 | 00 _H | 8 | FFC3 0318 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP023EDC3 | 00 _H | 8 | FFC3 031C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP023EDF3 | 00 _H | 8 | FFC3 0320 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP023EDC4 | 00 _H | 8 | FFC3 0324 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP023EDF4 | 00 _H | 8 | FFC3 0328 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP023EDC5 | 00 _H | 8 | FFC3 032C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP023EDF5 | 00 _H | 8 | FFC3 0330 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP023EDC6 | 00 _H | 8 | FFC3 0334 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP023EDF6 | 00 _H | 8 | FFC3 0338 _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP024CTL | 00 _H | 8 | FFC3 0400 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP024EDC0 | 00 _H | 8 | FFC3 0404 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP024EDF0 | 00 _H | 8 | FFC3 0408 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP024EDC1 | 00 _H | 8 | FFC3 040C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP024EDF1 | 00 _H | 8 | FFC3 0410 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP024EDC2 | 00 _H | 8 | FFC3 0414 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP024EDF2 | 00 _H | 8 | FFC3 0418 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP024EDC3 | 00 _H | 8 | FFC3 041C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP024EDF3 | 00 _H | 8 | FFC3 0420 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP024EDC4 | 00 _H | 8 | FFC3 0424 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP024EDF4 | 00 _H | 8 | FFC3 0428 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP024EDC5 | 00 _H | 8 | FFC3 042C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP024EDF5 | 00 _H | 8 | FFC3 0430 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP024EDC6 | 00 _H | 8 | FFC3 0434 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP024EDF6 | 00 _H | 8 | FFC3 0438 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP024EDC7 | 00 _H | 8 | FFC3 043C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP024EDF7 | 00 _H | 8 | FFC3 0440 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP024EDC8 | 00 _H | 8 | FFC3 0444 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP024EDF8 | 00 _H | 8 | FFC3 0448 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP024EDC9 | 00 _H | 8 | FFC3 044C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP024EDF9 | 00 _H | 8 | FFC3 0450 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP024EDC10 | 00 _H | 8 | FFC3 0454 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP024EDF10 | 00 _H | 8 | FFC3 0458 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP024EDC11 | 00 _H | 8 | FFC3 045C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP024EDF11 | 00 _H | 8 | FFC3 0460 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP024EDC12 | 00 _H | 8 | FFC3 0464 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP024EDF12 | 00 _H | 8 | FFC3 0468 _H | 3 | 8 |

(14/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------------|--------------|-----------------|------|------------------------|------------------|---------|
| DNF | エッジ検出制御レジスタ | DNFP024EDC13 | 00 _H | 8 | FFC3 046C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP024EDF13 | 00 _H | 8 | FFC3 0470 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP024EDC14 | 00 _H | 8 | FFC3 0474 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP024EDF14 | 00 _H | 8 | FFC3 0478 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP024EDC15 | 00 _H | 8 | FFC3 047C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP024EDF15 | 00 _H | 8 | FFC3 0480 _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP026CTL | 00 _H | 8 | FFC3 0600 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP026EDC0 | 00 _H | 8 | FFC3 0604 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP026EDF0 | 00 _H | 8 | FFC3 0608 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP026EDC1 | 00 _H | 8 | FFC3 060C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP026EDF1 | 00 _H | 8 | FFC3 0610 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP026EDC2 | 00 _H | 8 | FFC3 0614 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP026EDF2 | 00 _H | 8 | FFC3 0618 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP026EDC3 | 00 _H | 8 | FFC3 061C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP026EDF3 | 00 _H | 8 | FFC3 0620 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP026EDC4 | 00 _H | 8 | FFC3 0624 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP026EDF4 | 00 _H | 8 | FFC3 0628 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP026EDC5 | 00 _H | 8 | FFC3 062C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP026EDF5 | 00 _H | 8 | FFC3 0630 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP026EDC6 | 00 _H | 8 | FFC3 0634 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP026EDF6 | 00 _H | 8 | FFC3 0638 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP026EDC7 | 00 _H | 8 | FFC3 063C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP026EDF7 | 00 _H | 8 | FFC3 0640 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP026EDC8 | 00 _H | 8 | FFC3 0644 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP026EDF8 | 00 _H | 8 | FFC3 0648 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP026EDC9 | 00 _H | 8 | FFC3 064C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP026EDF9 | 00 _H | 8 | FFC3 0650 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP026EDC10 | 00 _H | 8 | FFC3 0654 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP026EDF10 | 00 _H | 8 | FFC3 0658 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP026EDC11 | 00 _H | 8 | FFC3 065C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP026EDF11 | 00 _H | 8 | FFC3 0660 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP026EDC12 | 00 _H | 8 | FFC3 0664 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP026EDF12 | 00 _H | 8 | FFC3 0668 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP026EDC13 | 00 _H | 8 | FFC3 066C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP026EDF13 | 00 _H | 8 | FFC3 0670 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP026EDC14 | 00 _H | 8 | FFC3 0674 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP026EDF14 | 00 _H | 8 | FFC3 0678 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP026EDC15 | 00 _H | 8 | FFC3 067C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP026EDF15 | 00 _H | 8 | FFC3 0680 _H | 3 | 8 |
| DNF | デジタルノイズ除去コントロールレジスタ | DNFP027CTL | 00 _H | 8 | FFC3 0700 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP027EDC0 | 00 _H | 8 | FFC3 0704 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP027EDF0 | 00 _H | 8 | FFC3 0708 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP027EDC1 | 00 _H | 8 | FFC3 070C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP027EDF1 | 00 _H | 8 | FFC3 0710 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP027EDC2 | 00 _H | 8 | FFC3 0714 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP027EDF2 | 00 _H | 8 | FFC3 0718 _H | 3 | 8 |

(15/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------|----------------|------------------------|------|------------------------|------------------|---------|
| DNF | エッジ検出制御レジスタ | DNFP027EDC3 | 00 _H | 8 | FFC3 071C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP027EDF3 | 00 _H | 8 | FFC3 0720 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP027EDC4 | 00 _H | 8 | FFC3 0724 _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP027EDF4 | 00 _H | 8 | FFC3 0728 _H | 3 | 8 |
| DNF | エッジ検出制御レジスタ | DNFP027EDC5 | 00 _H | 8 | FFC3 072C _H | 3 | 8 |
| DNF | エッジ検出フラグレジスタ | DNFP027EDF5 | 00 _H | 8 | FFC3 0730 _H | 3 | 8 |
| PBG | PBG3A プロテクションレジスタ 0 | FSGD3ADPROT0 | 07FF FFFF _H | 32 | FFC4 0000 _H | 3 | 8、16、32 |
| PBG | PBG3A プロテクションレジスタ 1 | FSGD3ADPROT1 | 07FF FFFF _H | 32 | FFC4 0004 _H | 3 | 8、16、32 |
| PBG | PBG3A プロテクションレジスタ 2 | FSGD3ADPROT2 | 07FF FFFF _H | 32 | FFC4 0008 _H | 3 | 8、16、32 |
| PBG | PBG3A プロテクションレジスタ 9 | FSGD3ADPROT9 | 07FF FFFF _H | 32 | FFC4 0024 _H | 3 | 8、16、32 |
| PBG | PBG3A プロテクションレジスタ 10 | FSGD3ADPROT10 | 07FF FFFF _H | 32 | FFC4 0028 _H | 3 | 8、16、32 |
| PBG | PBG3A プロテクションレジスタ 11 | FSGD3ADPROT11 | 07FF FFFF _H | 32 | FFC4 002C _H | 3 | 8、16、32 |
| PBG | PBG3A プロテクションレジスタ 12 | FSGD3ADPROT12 | 07FF FFFF _H | 32 | FFC4 0030 _H | 3 | 8、16、32 |
| PBG | PBG3A プロテクションレジスタ 13 | FSGD3ADPROT13 | 07FF FFFF _H | 32 | FFC4 0034 _H | 3 | 8、16、32 |
| PBG | PBG3A プロテクションレジスタ 14 | FSGD3ADPROT14 | 07FF FFFF _H | 32 | FFC4 0038 _H | 3 | 8、16、32 |
| PBG | PBG3A プロテクションレジスタ 15 | FSGD3ADPROT15 | 07FF FFFF _H | 32 | FFC4 003C _H | 3 | 8、16、32 |
| PBG | PBG3A エラーコントロールレジスタ | ERRSLV3ACTL | 0000 0000 _H | 32 | FFC4 0200 _H | 3 | 8、16、32 |
| PBG | PBG3A エラーステータスレジスタ | ERRSLV3ASTAT | 0000 0000 _H | 32 | FFC4 0204 _H | 3 | 8、16、32 |
| PBG | PBG3A エラーアドレスレジスタ | ERRSLV3AADDR | 0000 0000 _H | 32 | FFC4 0208 _H | 3 | 32 |
| PBG | PBG3A エラータイプレジスタ | ERRSLV3ATYPE | 0000 0000 _H | 32 | FFC4 020C _H | 3 | 16、32 |
| PBG | PBG3B プロテクションレジスタ 0 | FSGD3BDPROT0 | 07FF FFFF _H | 32 | FFC4 1000 _H | 3 | 8、16、32 |
| PBG | PBG3B プロテクションレジスタ 1 | FSGD3BDPROT1 | 07FF FFFF _H | 32 | FFC4 1004 _H | 3 | 8、16、32 |
| PBG | PBG3B エラーコントロールレジスタ | ERRSLV3BCTL | 0000 0000 _H | 32 | FFC4 1200 _H | 3 | 8、16、32 |
| PBG | PBG3B エラーステータスレジスタ | ERRSLV3BSTAT | 0000 0000 _H | 32 | FFC4 1204 _H | 3 | 8、16、32 |
| PBG | PBG3B エラーアドレスレジスタ | ERRSLV3BADDR | 0000 0000 _H | 32 | FFC4 1208 _H | 3 | 32 |
| PBG | PBG3B エラータイプレジスタ | ERRSLV3BTYPE | 0000 0000 _H | 32 | FFC4 120C _H | 3 | 16、32 |
| MGDGR | GRG プロテクション設定レジスタ 0 | MGDGRPROT0 | 07FF FFF0 _H | 32 | FFC4 9000 _H | 0 | 8、16、32 |
| MGDGR | GRG コンペアベースアドレスレジスタ 0 | MGDGRBAD0 | 0000 0000 _H | 32 | FFC4 9004 _H | 0 | 8、16、32 |
| MGDGR | GRG コンペアアドレス有効レジスタ 0 | MGDGRADV0 | 0000 0000 _H | 32 | FFC4 9008 _H | 0 | 8、16、32 |
| MGDGR | GRG プロテクション設定レジスタ 1 | MGDGRPROT1 | 07FF FFF0 _H | 32 | FFC4 9010 _H | 0 | 8、16、32 |
| MGDGR | GRG コンペアベースアドレスレジスタ 1 | MGDGRBAD1 | 0000 0000 _H | 32 | FFC4 9014 _H | 0 | 8、16、32 |
| MGDGR | GRG コンペアアドレス有効レジスタ 1 | MGDGRADV1 | 0000 0000 _H | 32 | FFC4 9018 _H | 0 | 8、16、32 |
| MGDGR | GRG プロテクション設定レジスタ 2 | MGDGRPROT2 | 07FF FFF0 _H | 32 | FFC4 9020 _H | 0 | 8、16、32 |
| MGDGR | GRG コンペアベースアドレスレジスタ 2 | MGDGRBAD2 | 0000 0000 _H | 32 | FFC4 9024 _H | 0 | 8、16、32 |
| MGDGR | GRG コンペアアドレス有効レジスタ 2 | MGDGRADV2 | 0000 0000 _H | 32 | FFC4 9028 _H | 0 | 8、16、32 |
| MGDGR | GRG プロテクション設定レジスタ 3 | MGDGRPROT3 | 07FF FFF0 _H | 32 | FFC4 9030 _H | 0 | 8、16、32 |
| MGDGR | GRG コンペアベースアドレスレジスタ 3 | MGDGRBAD3 | 0000 0000 _H | 32 | FFC4 9034 _H | 0 | 8、16、32 |
| MGDGR | GRG コンペアアドレス有効レジスタ 3 | MGDGRADV3 | 0000 0000 _H | 32 | FFC4 9038 _H | 0 | 8、16、32 |
| MGDGR | GRG コントロールレジスタ | MGDGRSCTL_VCI | 0000 0000 _H | 32 | FFC4 9100 _H | 0 | 8、16、32 |
| MGDGR | GRG エラーステータスレジスタ | MGDGRSSTAT_VCI | 0000 0000 _H | 32 | FFC4 9104 _H | 0 | 8、16、32 |
| MGDGR | GRG エラーアドレスレジスタ | MGDGRSAD_VCI | 0000 0000 _H | 32 | FFC4 9108 _H | 0 | 8、16、32 |
| MGDGR | GRG エラーアクセスタイプレジスタ | MGDGRSTYPE_VCI | 0000 0000 _H | 32 | FFC4 910C _H | 0 | 8、16、32 |
| MGDGR | GRG コントロールレジスタ | MGDGRSCTL_PE1 | 0000 0000 _H | 32 | FFC4 9200 _H | 0 | 8、16、32 |
| MGDGR | GRG エラーステータスレジスタ | MGDGRSSTAT_PE1 | 0000 0000 _H | 32 | FFC4 9204 _H | 0 | 8、16、32 |

(16/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------|-----------------|------------------------|------|------------------------|------------------|---------|
| MGDGR | GRG エラーアドレスレジスタ | MGDGRSAD_PE1 | 0000 0000 _H | 32 | FFC4 9208 _H | 0 | 8、16、32 |
| MGDGR | GRG エラーアクセスタイプレジスタ | MGDGRSTYPE_PE1 | 0000 0000 _H | 32 | FFC4 920C _H | 0 | 8、16、32 |
| PBG | PBG0A プロテクションレジスタ 0 | FSGD0ADPROT0 | 07FF FFFF _H | 32 | FFC4 C000 _H | 0 | 8、16、32 |
| PBG | PBG0A プロテクションレジスタ 1 | FSGD0ADPROT1 | 07FF FFFF _H | 32 | FFC4 C004 _H | 0 | 8、16、32 |
| PBG | PBG0B プロテクションレジスタ 4 | FSGD0BDPROT4 | 07FF FFFF _H | 32 | FFC4 C110 _H | 0 | 8、16、32 |
| PBG | PBG0B プロテクションレジスタ 5 | FSGD0BDPROT5 | 07FF FFFF _H | 32 | FFC4 C114 _H | 0 | 8、16、32 |
| PBG | PBG0B プロテクションレジスタ 6 | FSGD0BDPROT6 | 07FF FFFF _H | 32 | FFC4 C118 _H | 0 | 8、16、32 |
| PBG | PBG0A エラーコントロールレジスタ | ERRSLV0ACTL | 0000 0000 _H | 32 | FFC4 C800 _H | 0 | 8、16、32 |
| PBG | PBG0A エラーステータスレジスタ | ERRSLV0ASTAT | 0000 0000 _H | 32 | FFC4 C804 _H | 0 | 8、16、32 |
| PBG | PBG0A エラーアドレスレジスタ | ERRSLV0AADDR | 0000 0000 _H | 32 | FFC4 C808 _H | 0 | 32 |
| PBG | PBG0A エラータイプレジスタ | ERRSLV0ATYPE | 0000 0000 _H | 32 | FFC4 C80C _H | 0 | 16、32 |
| PBG | PBG0B エラーコントロールレジスタ | ERRSLV0BCTL | 0000 0000 _H | 32 | FFC4 C900 _H | 0 | 8、16、32 |
| PBG | PBG0B エラーステータスレジスタ | ERRSLV0BSTAT | 0000 0000 _H | 32 | FFC4 C904 _H | 0 | 8、16、32 |
| PBG | PBG0B エラーアドレスレジスタ | ERRSLV0BADDR | 0000 0000 _H | 32 | FFC4 C908 _H | 0 | 32 |
| PBG | PBG0B エラータイプレジスタ | ERRSLV0BTYPE | 0000 0000 _H | 32 | FFC4 C90C _H | 0 | 16、32 |
| MISG | MISR コンパレータコントロールレジスタ | MISRCMPCTL | 0000 _H | 16 | FFC5 0000 _H | 0 | 8、16 |
| MISG | MISR コンペアエラーステータスレジスタ | MISRCMPERSTR | 00 _H | 8 | FFC5 0004 _H | 0 | 8 |
| MISG | MISR コンペアエラーステータスクリアレジスタ | MISRCMPERRSTC | 00 _H | 8 | FFC5 0008 _H | 0 | 8 |
| MISG | MISR エラー通知コントロールレジスタ | MISRERRCTL | 00 _H | 8 | FFC5 000C _H | 0 | 8 |
| MISG | マルチインプットシグネチャレジスタ 1L (PE1) | MISR1L_PE1 | 0000 0000 _H | 32 | FFC5 1000 _H | 0 | 32 |
| MISG | マルチインプットシグネチャレジスタ 1H (PE1) | MISR1H_PE1 | 0000 0000 _H | 32 | FFC5 1004 _H | 0 | 32 |
| MISG | マルチインプットシグネチャレジスタ 2L (PE1) | MISR2L_PE1 | 0000 0000 _H | 32 | FFC5 1008 _H | 0 | 32 |
| MISG | マルチインプットシグネチャレジスタ 2H (PE1) | MISR2H_PE1 | 0000 0000 _H | 32 | FFC5 100C _H | 0 | 32 |
| MISG | MISR カルキュレーションデータレジスタ (PE1) | MISRCDRL_PE1 | — | 32 | FFC5 1010 _H | 0 | 8、16、32 |
| MISG | MISR コントロールレジスタ (PE1) | MISRCR_PE1 | 00 _H | 8 | FFC5 1018 _H | 0 | 8 |
| MISG | MISR 監視領域ベースアドレスレジスタ (PE1) | MISRBASEADR_PE1 | 0000 0000 _H | 32 | FFC5 101C _H | 0 | 8、16、32 |
| MISG | MISR 監視領域アドレスマスクレジスタ (PE1) | MISRADRMASK_PE1 | 0000 0000 _H | 32 | FFC5 1020 _H | 0 | 8、16、32 |
| MISG | MISR データカウンタコントロールレジスタ (PE1) | MISRDCNTCTL_PE1 | 00 _H | 8 | FFC5 1024 _H | 0 | 8 |
| MISG | MISR データカウンタレジスタ (PE1) | MISRDCNT_PE1 | 0000 _H | 16 | FFC5 1028 _H | 0 | 16 |
| MISG | マルチインプットシグネチャレジスタ 1L (PCU) | MISR1L_PCU | 0000 0000 _H | 32 | FFC5 3000 _H | 0 | 32 |
| MISG | マルチインプットシグネチャレジスタ 1H (PCU) | MISR1H_PCU | 0000 0000 _H | 32 | FFC5 3004 _H | 0 | 32 |
| MISG | マルチインプットシグネチャレジスタ 2L (PCU) | MISR2L_PCU | 0000 0000 _H | 32 | FFC5 3008 _H | 0 | 32 |
| MISG | マルチインプットシグネチャレジスタ 2H (PCU) | MISR2H_PCU | 0000 0000 _H | 32 | FFC5 300C _H | 0 | 32 |
| MISG | MISR カルキュレーションデータレジスタ (PCU) | MISRCDRL_PCU | — | 32 | FFC5 3010 _H | 0 | 8、16、32 |
| MISG | MISR コントロールレジスタ (PCU) | MISRCR_PCU | 00 _H | 8 | FFC5 3018 _H | 0 | 8 |
| MISG | MISR 監視領域ベースアドレスレジスタ (PCU) | MISRBASEADR_PCU | 0000 0000 _H | 32 | FFC5 301C _H | 0 | 8、16、32 |

(17/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--|-----------------|------------------------|------|------------------------|------------------|---------|
| MISG | MISR 監視領域アドレスマスクレジスタ (PCU) | MISRADRMASK_PCU | 0000 0000 _H | 32 | FFC5 3020 _H | 0 | 8、16、32 |
| MISG | MISR データカウンタコントロールレジスタ (PCU) | MISRDCNTCTL_PCU | 00 _H | 8 | FFC5 3024 _H | 0 | 8 |
| MISG | MISR データカウンタレジスタ (PCU) | MISRDCNT_PCU | 0000 _H | 16 | FFC5 3028 _H | 0 | 16 |
| FLASH | Data Flash メモリ読み出しサイクル設定レジスタ | FRDCYCLD | 0F _H | 8 | FFC5 9810 _H | 0 | 8 |
| ECCIC1 | 命令キャッシュデータ RAM ECC コントロールレジスタ | IDECCTL_PE1 | 0000 0000 _H | 32 | FFC6 0400 _H | 0 | 16、32 |
| ECCIC1 | 命令キャッシュデータ RAM エラー情報コントロールレジスタ | IDERRINT_PE1 | 0000 0000 _H | 32 | FFC6 0404 _H | 0 | 8、16、32 |
| ECCIC1 | 命令キャッシュデータ RAM エラーステータスクリアレジスタ | IDSTCLR_PE1 | 0000 0000 _H | 32 | FFC6 0408 _H | 0 | 8、16、32 |
| ECCIC1 | 命令キャッシュデータ RAM エラーカウントオーバーフローステータスレジスタ | IDOVFSTR_PE1 | 0000 0000 _H | 32 | FFC6 040C _H | 0 | 8、16、32 |
| ECCIC1 | 命令キャッシュデータ RAM 1st エラーステータスレジスタ | ID1STERSTR_PE1 | 0000 0000 _H | 32 | FFC6 0410 _H | 0 | 8、16、32 |
| ECCIC1 | 命令キャッシュデータ RAM (Bank0) 1st エラーアドレスレジスタ | ID1STEADR0_PE1 | 0000 0000 _H | 32 | FFC6 0450 _H | 0 | 8、16、32 |
| ECCIC1 | 命令キャッシュデータ RAM (Bank1) 1st エラーアドレスレジスタ | ID1STEADR1_PE1 | 0000 0000 _H | 32 | FFC6 0454 _H | 0 | 8、16、32 |
| ECCIC1 | 命令キャッシュタグ RAM ECC コントロールレジスタ | ITECCCTL_PE1 | 0000 0000 _H | 32 | FFC6 1400 _H | 0 | 16、32 |
| ECCIC1 | 命令キャッシュタグ RAM エラー情報コントロールレジスタ | ITERRINT_PE1 | 0000 0000 _H | 32 | FFC6 1404 _H | 0 | 8、16、32 |
| ECCIC1 | 命令キャッシュタグ RAM エラーステータスクリアレジスタ | ITSTCLR_PE1 | 0000 0000 _H | 32 | FFC6 1408 _H | 0 | 8、16、32 |
| ECCIC1 | 命令キャッシュタグ RAM エラーカウントオーバーフローステータスレジスタ | ITOVFSTR_PE1 | 0000 0000 _H | 32 | FFC6 140C _H | 0 | 8、16、32 |
| ECCIC1 | 命令キャッシュタグ RAM 1st エラーステータスレジスタ | IT1STERSTR_PE1 | 0000 0000 _H | 32 | FFC6 1410 _H | 0 | 8、16、32 |
| ECCIC1 | 命令キャッシュタグ RAM (Bank0) 1st エラーアドレスレジスタ | IT1STEADR0_PE1 | 0000 0000 _H | 32 | FFC6 1450 _H | 0 | 8、16、32 |
| ECCFLI | Code Flash アドレスパリティコントロールレジスタ | CFAPCTL | 0000 0000 _H | 32 | FFC6 2000 _H | 0 | 16、32 |
| ECCFLI | Code Flash ECC コントロールレジスタ | CFECCCTL_VCI | 0000 0000 _H | 32 | FFC6 2200 _H | 0 | 16、32 |
| ECCFLI | Code Flash エラー情報コントロールレジスタ | CFERRINT_VCI | 0000 0006 _H | 32 | FFC6 2204 _H | 0 | 8、16、32 |
| ECCFLI | Code Flash ステータスクリアレジスタ | CFSTCLR_VCI | 0000 0000 _H | 32 | FFC6 2208 _H | 0 | 8、16、32 |
| ECCFLI | Code Flash エラーカウントオーバーフローステータスレジスタ | CFOVFSTR_VCI | 0000 0000 _H | 32 | FFC6 220C _H | 0 | 8、16、32 |
| ECCFLI | Code Flash 1st エラーステータスレジスタ | CF1STERSTR_VCI | 0000 0000 _H | 32 | FFC6 2210 _H | 0 | 8、16、32 |
| ECCFLI | Code Flash 1st エラーアドレスレジスタ | CF1STEADR0_VCI | 0000 0000 _H | 32 | FFC6 2250 _H | 0 | 8、16、32 |
| ECCFLI | Code Flash サブテストコントロールレジスタ (VCI) | CFSTSTCTL_VCI | 0000 0000 _H | 32 | FFC6 2350 _H | 0 | 16、32 |
| ECCFLI | Code Flash ECC コントロールレジスタ | CFECCCTL_PE1 | 0000 0000 _H | 32 | FFC6 2400 _H | 0 | 16、32 |
| ECCFLI | Code Flash エラー情報コントロールレジスタ | CFERRINT_PE1 | 0000 0006 _H | 32 | FFC6 2404 _H | 0 | 8、16、32 |
| ECCFLI | Code Flash ステータスクリアレジスタ | CFSTCLR_PE1 | 0000 0000 _H | 32 | FFC6 2408 _H | 0 | 8、16、32 |
| ECCFLI | Code Flash エラーカウントオーバーフローステータスレジスタ | CFOVFSTR_PE1 | 0000 0000 _H | 32 | FFC6 240C _H | 0 | 8、16、32 |
| ECCFLI | Code Flash 1st エラーステータスレジスタ | CF1STERSTR_PE1 | 0000 0000 _H | 32 | FFC6 2410 _H | 0 | 8、16、32 |

(18/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|---------|------------------------------------|----------------|------------------------|------|------------------------|------------------|---------|
| ECCFLI | Code Flash 1st エラーアドレスレジスタ | CF1STEADR0_PE1 | 0000 0000 _H | 32 | FFC6 2450 _H | 0 | 8、16、32 |
| ECCFLI | Code Flash サブテストコントロールレジスタ (PE1) | CFSTSTCTL_PE1 | 0000 0000 _H | 32 | FFC6 2550 _H | 0 | 16、32 |
| ECCFLI | Code Flash ECC コントロールレジスタ | CFECCCTL_PCU | 0000 0000 _H | 32 | FFC6 2800 _H | 0 | 16、32 |
| ECCFLI | Code Flash エラー情報コントロールレジスタ | CFERRINT_PCU | 0000 0006 _H | 32 | FFC6 2804 _H | 0 | 8、16、32 |
| ECCFLI | Code Flash ステータスクリアレジスタ | CFSTCLR_PCU | 0000 0000 _H | 32 | FFC6 2808 _H | 0 | 8、16、32 |
| ECCFLI | Code Flash エラーカウントオーバーフローステータスレジスタ | CFOVFSTR_PCU | 0000 0000 _H | 32 | FFC6 280C _H | 0 | 8、16、32 |
| ECCFLI | Code Flash 1st エラーステータスレジスタ | CF1STERSTR_PCU | 0000 0000 _H | 32 | FFC6 2810 _H | 0 | 8、16、32 |
| ECCFLI | Code Flash 1st エラーアドレスレジスタ | CF1STEADR0_PCU | 0000 0000 _H | 32 | FFC6 2850 _H | 0 | 8、16、32 |
| ECCFLI | Code Flash サブテストコントロールレジスタ (PCU) | CFSTSTCTL_PCU | 0000 0000 _H | 32 | FFC6 2950 _H | 0 | 16、32 |
| ECCEEP | Data Flash ECC コントロールレジスタ | DFECCCTL | 0000 _H | 16 | FFC6 2C00 _H | 0 | 16 |
| ECCEEP | Data Flash エラーステータスレジスタ | DFERSTR | 00 _H | 8 | FFC6 2C04 _H | 0 | 8 |
| ECCEEP | Data Flash エラーステータスクリアレジスタ | DFERSTC | 00 _H | 8 | FFC6 2C08 _H | 0 | 8 |
| ECCEEP | Data Flash エラーオーバーフローステータスレジスタ | DFOVFSTR | 00 _H | 8 | FFC6 2C0C _H | 0 | 8 |
| ECCEEP | Data Flash エラーオーバーフローステータスクリアレジスタ | DFOVFSTC | 00 _H | 8 | FFC6 2C10 _H | 0 | 8 |
| ECCEEP | Data Flash エラー通知コントロールレジスタ | DFERRINT | 02 _H | 8 | FFC6 2C14 _H | 0 | 8 |
| ECCEEP | Data Flash 1st エラーアドレスレジスタ | DFEADR | 0000 0000 _H | 32 | FFC6 2C18 _H | 0 | 32 |
| ECCEEP | Data Flash テストコントロールレジスタ | DFTSTCTL | 0000 _H | 16 | FFC6 2C1C _H | 0 | 16 |
| ECCEEPC | Data Flash ECC コントロールレジスタ | DFECCCTL | 0000 _H | 16 | FFC6 2E00 _H | 0 | 16 |
| ECCEEPC | Data Flash エラーステータスレジスタ | DFERSTR | 00 _H | 8 | FFC6 2E04 _H | 0 | 8 |
| ECCEEPC | Data Flash エラーステータスクリアレジスタ | DFERSTC | 00 _H | 8 | FFC6 2E08 _H | 0 | 8 |
| ECCEEPC | Data Flash エラーオーバーフローステータスレジスタ | DFOVFSTR | 00 _H | 8 | FFC6 2E0C _H | 0 | 8 |
| ECCEEPC | Data Flash エラーオーバーフローステータスクリアレジスタ | DFOVFSTC | 00 _H | 8 | FFC6 2E10 _H | 0 | 8 |
| ECCEEPC | Data Flash エラー通知コントロールレジスタ | DFERRINT | 02 _H | 8 | FFC6 2E14 _H | 0 | 8 |
| ECCEEPC | Data Flash 1st エラーアドレスレジスタ | DFEADR | 0000 0000 _H | 32 | FFC6 2E18 _H | 0 | 32 |
| ECCEEPC | Data Flash テストコントロールレジスタ | DFTSTCTL | 0000 _H | 16 | FFC6 2E1C _H | 0 | 16 |
| ECCGRAM | Global RAM ECC コントロールレジスタ | GRECCCTL_GRAMC | 0000 0000 _H | 32 | FFC6 4000 _H | 0 | 16、32 |
| ECCGRAM | Global RAM テストコントロールレジスタ | GRTSTCTL | 0000 0000 _H | 32 | FFC6 4004 _H | 0 | 16、32 |
| ECCGRAM | Global RAM テストデータリードバッファ 0 | GRTDATBF0 | 0000 0000 _H | 32 | FFC6 4008 _H | 0 | 8、16、32 |
| ECCGRAM | Global RAM テストデータリードバッファ 1 | GRTDATBF1 | 0000 0000 _H | 32 | FFC6 400C _H | 0 | 8、16、32 |
| ECCGRAM | Global RAM テストデータリードバッファ 2 | GRTDATBF2 | 0000 0000 _H | 32 | FFC6 4010 _H | 0 | 8、16、32 |
| ECCGRAM | Global RAM テストデータリードバッファ 3 | GRTDATBF3 | 0000 0000 _H | 32 | FFC6 4014 _H | 0 | 8、16、32 |

(19/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|---------|--|----------------|------------------------|------|------------------------|------------------|---------|
| ECCGRAM | Global RAM ECC デコーダ入力データバッファ0 | GRDECINBF0 | 0000 0000 _H | 32 | FFC6 4018 _H | 0 | 8、16、32 |
| ECCGRAM | Global RAM ECC デコーダ入力データバッファ1 | GRDECINBF1 | 0000 0000 _H | 32 | FFC6 401C _H | 0 | 8、16、32 |
| ECCGRAM | Global RAM ECC コントロールレジスタ | GRECCCTL_VCI | 0000 0000 _H | 32 | FFC6 4200 _H | 0 | 16、32 |
| ECCGRAM | Global RAM エラー情報コントロールレジスタ | GRERRINT_VCI | 0000 0006 _H | 32 | FFC6 4204 _H | 0 | 8、16、32 |
| ECCGRAM | Global RAM ステータスクリアレジスタ | GRSTCLR_VCI | 0000 0000 _H | 32 | FFC6 4208 _H | 0 | 8、16、32 |
| ECCGRAM | Global RAM エラーカウントオーバーフローステータスレジスタ | GROVFSTR_VCI | 0000 0000 _H | 32 | FFC6 420C _H | 0 | 8、16、32 |
| ECCGRAM | Global RAM 1st エラーステータスレジスタ | GR1STERSTR_VCI | 0000 0000 _H | 32 | FFC6 4210 _H | 0 | 8、16、32 |
| ECCGRAM | Global RAM 1st エラー（下位 32 ビットデータ）アドレスレジスタ | GR1STEADR0_VCI | 0000 0000 _H | 32 | FFC6 4250 _H | 0 | 8、16、32 |
| ECCGRAM | Global RAM 1st エラー（上位 32 ビットデータ）アドレスレジスタ | GR1STEADR1_VCI | 0000 0000 _H | 32 | FFC6 4254 _H | 0 | 8、16、32 |
| ECCGRAM | Global RAM ECC コントロールレジスタ | GRECCCTL_PE1 | 0000 0000 _H | 32 | FFC6 4400 _H | 0 | 16、32 |
| ECCGRAM | Global RAM エラー情報コントロールレジスタ | GRERRINT_PE1 | 0000 0006 _H | 32 | FFC6 4404 _H | 0 | 8、16、32 |
| ECCGRAM | Global RAM ステータスクリアレジスタ | GRSTCLR_PE1 | 0000 0000 _H | 32 | FFC6 4408 _H | 0 | 8、16、32 |
| ECCGRAM | Global RAM エラーカウントオーバーフローステータスレジスタ | GROVFSTR_PE1 | 0000 0000 _H | 32 | FFC6 440C _H | 0 | 8、16、32 |
| ECCGRAM | Global RAM 1st エラーステータスレジスタ | GR1STERSTR_PE1 | 0000 0000 _H | 32 | FFC6 4410 _H | 0 | 8、16、32 |
| ECCGRAM | Global RAM 1st エラー（下位 32 ビットデータ）アドレスレジスタ | GR1STEADR0_PE1 | 0000 0000 _H | 32 | FFC6 4450 _H | 0 | 8、16、32 |
| ECCGRAM | Global RAM 1st エラー（上位 32 ビットデータ）アドレスレジスタ | GR1STEADR1_PE1 | 0000 0000 _H | 32 | FFC6 4454 _H | 0 | 8、16、32 |
| ECCCPU1 | Local RAM アドレスパリティコントロールレジスタ | LRAPCTL_PE1 | 0000 0000 _H | 32 | FFC6 5000 _H | 0 | 16、32 |
| ECCCPU1 | Local RAM テストコントロールレジスタ | LRTSTCTL_PE1 | 0000 0000 _H | 32 | FFC6 5004 _H | 0 | 16、32 |
| ECCCPU1 | Local RAM テストデータリードバッファ0 | LRTDATBF0_PE1 | 0000 0000 _H | 32 | FFC6 5008 _H | 0 | 8、16、32 |
| ECCCPU1 | Local RAM テストデータリードバッファ1 | LRTDATBF1_PE1 | 0000 0000 _H | 32 | FFC6 500C _H | 0 | 8、16、32 |
| ECCCPU1 | Local RAM ECC コントロールレジスタ | LRECCCTL_PE1 | 0000 0000 _H | 32 | FFC6 5400 _H | 0 | 16、32 |
| ECCCPU1 | Local RAM エラー情報コントロールレジスタ | LRERRINT_PE1 | 0000 0006 _H | 32 | FFC6 5404 _H | 0 | 8、16、32 |
| ECCCPU1 | Local RAM ステータスクリアレジスタ | LRSTCLR_PE1 | 0000 0000 _H | 32 | FFC6 5408 _H | 0 | 8、16、32 |
| ECCCPU1 | Local RAM エラーカウントオーバーフローステータスレジスタ | LROVFSTR_PE1 | 0000 0000 _H | 32 | FFC6 540C _H | 0 | 8、16、32 |
| ECCCPU1 | Local RAM 1st エラーステータスレジスタ | LR1STERSTR_PE1 | 0000 0000 _H | 32 | FFC6 5410 _H | 0 | 8、16、32 |
| ECCPCU | Local RAM ECC コントロールレジスタ | LRECCCTL_PCU | 0000 0000 _H | 32 | FFC6 5800 _H | 0 | 16、32 |
| ECCPCU | Local RAM 1st エラーステータスレジスタ | LRFSTERSTR_PCU | 0000 0000 _H | 32 | FFC6 5804 _H | 0 | 32 |
| ECCPCU | Local RAM エラーステータスクリアレジスタ | LRSTCLR_PCU | 0000 0000 _H | 32 | FFC6 5824 _H | 0 | 8、16、32 |
| ECCPCU | Local RAM オーバフローステータスレジスタ | LROVFSTR_PCU | 0000 0000 _H | 32 | FFC6 5828 _H | 0 | 32 |
| ECCPCU | Local RAM オーバフローステータスクリアレジスタ | LROVFSTC_PCU | 0000 0000 _H | 32 | FFC6 582C _H | 0 | 8、16、32 |
| ECCPCU | Local RAM 1st エラーアドレスレジスタ0 | LRFSTEADR0_PCU | 0000 0000 _H | 32 | FFC6 5830 _H | 0 | 32 |

(20/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-------------------------------------|------------------|------------------------|------|------------------------|------------------|---------|
| ECCPCU | Local RAM エラー情報コントロールレジスタ | LRERRINT_PCU | 0000 0002 _H | 32 | FFC6 58B0 _H | 0 | 8、16、32 |
| ECCPCU | Local RAM テストコントロールレジスタ (PCU) | LRTSTCTL_PCU | 0000 0000 _H | 32 | FFC6 58B4 _H | 0 | 16、32 |
| ECCPCU | Local RAM テストデータリードバッファ (PCU) | LRTDATBF0_PCU | 0000 0000 _H | 32 | FFC6 58B8 _H | 0 | 32 |
| APDP | P-Bus データパリティステータスレジスタ INTC2 | APDPERRST_INTC2 | 0000 0000 _H | 32 | FFC6 8800 _H | 0 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ INTC2 | APDPERRSTC_INTC2 | 0000 0000 _H | 32 | FFC6 8804 _H | 0 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ INTC2 | APDPTMC_INTC2 | 0000 0000 _H | 32 | FFC6 8808 _H | 0 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ INTC2 | APDPERRADR_INTC2 | 0000 0000 _H | 32 | FFC6 880C _H | 0 | 32 |
| APDP | P-Bus データパリティステータスレジスタ PDMA | APDPERRST_PDMA | 0000 0000 _H | 32 | FFC6 8900 _H | 0 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ PDMA | APDPERRSTC_PDMA | 0000 0000 _H | 32 | FFC6 8904 _H | 0 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ PDMA | APDPTMC_PDMA | 0000 0000 _H | 32 | FFC6 8908 _H | 0 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ PDMA | APDPERRADR_PDMA | 0000 0000 _H | 32 | FFC6 890C _H | 0 | 32 |
| E7RC0M | ECC コントロールレジスタ | E710CTL | 001X _H | 16 | FFC7 1000 _H | 2 | 8、16 |
| E7RC0M | ECC テストモードコントロールレジスタ | E710TMC | 0000 _H | 16 | FFC7 1004 _H | 2 | 8、16 |
| E7RC0M | ECC 冗長ビットデータコントロールテストレジスタ | E710TRC | 0000 0000 _H | 32 | FFC7 1008 _H | 2 | 32 |
| E7RC0M | ECC 冗長ビット入出力代替バッファレジスタ | ECERDB | 00 _H | 8 | FFC7 1008 _H | 2 | 8 |
| E7RC0M | ECC エンコードテストレジスタ | ECECRD | 00 _H | 8 | FFC7 1009 _H | 2 | 8 |
| E7RC0M | ECC7 ビット冗長ビットデータ保持テストレジスタ | ECHORD | 00 _H | 8 | FFC7 100A _H | 2 | 8 |
| E7RC0M | ECC デコード・シンδροームデータレジスタ | ECSYND | 00 _H | 8 | FFC7 100B _H | 2 | 8 |
| E7RC0M | ECC エンコード・デコードデータテストレジスタ | E710TED | 0000 0000 _H | 32 | FFC7 100C _H | 2 | 32 |
| E7RC0M | ECC エラーアドレスレジスタ | E710EAD | 0000 0000 _H | 32 | FFC7 1010 _H | 2 | 32 |
| E7RC0C | ECC コントロールレジスタ | E710CTL | 001X _H | 16 | FFC7 1200 _H | 2 | 8、16 |
| E7RC0C | ECC テストモードコントロールレジスタ | E710TMC | 0000 _H | 16 | FFC7 1204 _H | 2 | 8、16 |
| E7RC0C | ECC 冗長ビットデータコントロールテストレジスタ | E710TRC | 0000 0000 _H | 32 | FFC7 1208 _H | 2 | 32 |
| E7RC0C | ECC 冗長ビット入出力代替バッファレジスタ | ECERDB | 00 _H | 8 | FFC7 1208 _H | 2 | 8 |
| E7RC0C | ECC エンコードテストレジスタ | ECECRD | 00 _H | 8 | FFC7 1209 _H | 2 | 8 |
| E7RC0C | ECC7 ビット冗長ビットデータ保持テストレジスタ | ECHORD | 00 _H | 8 | FFC7 120A _H | 2 | 8 |
| E7RC0C | ECC デコード・シンδροームデータレジスタ | ECSYND | 00 _H | 8 | FFC7 120B _H | 2 | 8 |
| E7RC0C | ECC エンコード・デコードデータテストレジスタ | E710TED | 0000 0000 _H | 32 | FFC7 120C _H | 2 | 32 |
| E7RC0C | ECC エラーアドレスレジスタ | E710EAD | 0000 0000 _H | 32 | FFC7 1210 _H | 2 | 32 |
| E7AP0M | ECC コントロールレジスタ | E710CTL | 001X _H | 16 | FFC7 6000 _H | 1(1L) | 8、16 |
| E7AP0M | ECC テストモードコントロールレジスタ | E710TMC | 0000 _H | 16 | FFC7 6004 _H | 1(1L) | 8、16 |
| E7AP0M | ECC 冗長ビットデータコントロールテストレジスタ | E710TRC | 0000 0000 _H | 32 | FFC7 6008 _H | 1(1L) | 32 |

(21/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------------------|----------|------------------------|------|------------------------|------------------|---------|
| E7AP0M | ECC 冗長ビット入出力代替バッファレジスタ | ECERDB | 00 _H | 8 | FFC7 6008 _H | 1(1L) | 8 |
| E7AP0M | ECC エンコードテストレジスタ | ECECRD | 00 _H | 8 | FFC7 6009 _H | 1(1L) | 8 |
| E7AP0M | ECC7 ビット冗長ビットデータ保持テストレジスタ | ECHORD | 00 _H | 8 | FFC7 600A _H | 1(1L) | 8 |
| E7AP0M | ECC デコード・シンドロームデータレジスタ | ECSYND | 00 _H | 8 | FFC7 600B _H | 1(1L) | 8 |
| E7AP0M | ECC エンコード・デコードデータテストレジスタ | E710TED | 0000 0000 _H | 32 | FFC7 600C _H | 1(1L) | 32 |
| E7AP0M | ECC エラーアドレスレジスタ | E710EAD | 0000 0000 _H | 32 | FFC7 6010 _H | 1(1L) | 32 |
| E7AP0C | ECC コントロールレジスタ | E710CTL | 001X _H | 16 | FFC7 6200 _H | 1(1L) | 8、16 |
| E7AP0C | ECC テストモードコントロールレジスタ | E710TMC | 0000 _H | 16 | FFC7 6204 _H | 1(1L) | 8、16 |
| E7AP0C | ECC 冗長ビットデータコントロールテストレジスタ | E710TRC | 0000 0000 _H | 32 | FFC7 6208 _H | 1(1L) | 32 |
| E7AP0C | ECC 冗長ビット入出力代替バッファレジスタ | ECERDB | 00 _H | 8 | FFC7 6208 _H | 1(1L) | 8 |
| E7AP0C | ECC エンコードテストレジスタ | ECECRD | 00 _H | 8 | FFC7 6209 _H | 1(1L) | 8 |
| E7AP0C | ECC7 ビット冗長ビットデータ保持テストレジスタ | ECHORD | 00 _H | 8 | FFC7 620A _H | 1(1L) | 8 |
| E7AP0C | ECC デコード・シンドロームデータレジスタ | ECSYND | 00 _H | 8 | FFC7 620B _H | 1(1L) | 8 |
| E7AP0C | ECC エンコード・デコードデータテストレジスタ | E710TED | 0000 0000 _H | 32 | FFC7 620C _H | 1(1L) | 32 |
| E7AP0C | ECC エラーアドレスレジスタ | E710EAD | 0000 0000 _H | 32 | FFC7 6210 _H | 1(1L) | 32 |
| E7AP1M | ECC コントロールレジスタ | E710CTL | 001X _H | 16 | FFC7 6400 _H | 1(1L) | 8、16 |
| E7AP1M | ECC テストモードコントロールレジスタ | E710TMC | 0000 _H | 16 | FFC7 6404 _H | 1(1L) | 8、16 |
| E7AP1M | ECC 冗長ビットデータコントロールテストレジスタ | E710TRC | 0000 0000 _H | 32 | FFC7 6408 _H | 1(1L) | 32 |
| E7AP1M | ECC 冗長ビット入出力代替バッファレジスタ | ECERDB | 00 _H | 8 | FFC7 6408 _H | 1(1L) | 8 |
| E7AP1M | ECC エンコードテストレジスタ | ECECRD | 00 _H | 8 | FFC7 6409 _H | 1(1L) | 8 |
| E7AP1M | ECC7 ビット冗長ビットデータ保持テストレジスタ | ECHORD | 00 _H | 8 | FFC7 640A _H | 1(1L) | 8 |
| E7AP1M | ECC デコード・シンドロームデータレジスタ | ECSYND | 00 _H | 8 | FFC7 640B _H | 1(1L) | 8 |
| E7AP1M | ECC エンコード・デコードデータテストレジスタ | E710TED | 0000 0000 _H | 32 | FFC7 640C _H | 1(1L) | 32 |
| E7AP1M | ECC エラーアドレスレジスタ | E710EAD | 0000 0000 _H | 32 | FFC7 6410 _H | 1(1L) | 32 |
| E7AP1C | ECC コントロールレジスタ | E710CTL | 001X _H | 16 | FFC7 6600 _H | 1(1L) | 8、16 |
| E7AP1C | ECC テストモードコントロールレジスタ | E710TMC | 0000 _H | 16 | FFC7 6604 _H | 1(1L) | 8、16 |
| E7AP1C | ECC 冗長ビットデータコントロールテストレジスタ | E710TRC | 0000 0000 _H | 32 | FFC7 6608 _H | 1(1L) | 32 |
| E7AP1C | ECC 冗長ビット入出力代替バッファレジスタ | ECERDB | 00 _H | 8 | FFC7 6608 _H | 1(1L) | 8 |
| E7AP1C | ECC エンコードテストレジスタ | ECECRD | 00 _H | 8 | FFC7 6609 _H | 1(1L) | 8 |
| E7AP1C | ECC7 ビット冗長ビットデータ保持テストレジスタ | ECHORD | 00 _H | 8 | FFC7 660A _H | 1(1L) | 8 |
| E7AP1C | ECC デコード・シンドロームデータレジスタ | ECSYND | 00 _H | 8 | FFC7 660B _H | 1(1L) | 8 |
| E7AP1C | ECC エンコード・デコードデータテストレジスタ | E710TED | 0000 0000 _H | 32 | FFC7 660C _H | 1(1L) | 32 |
| E7AP1C | ECC エラーアドレスレジスタ | E710EAD | 0000 0000 _H | 32 | FFC7 6610 _H | 1(1L) | 32 |
| E7AP2M | ECC コントロールレジスタ | E710CTL | 001X _H | 16 | FFC7 6800 _H | 1(1L) | 8、16 |

(22/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------|----------|------------------------|------|------------------------|------------------|---------|
| E7AP2M | ECC テストモードコントロールレジスタ | E710TMC | 0000 _H | 16 | FFC7 6804 _H | 1(1L) | 8、16 |
| E7AP2M | ECC 冗長ビットデータコントロールレジスタ | E710TRC | 0000 0000 _H | 32 | FFC7 6808 _H | 1(1L) | 32 |
| E7AP2M | ECC 冗長ビット入出力代替バッファレジスタ | ECERDB | 00 _H | 8 | FFC7 6808 _H | 1(1L) | 8 |
| E7AP2M | ECC エンコードテストレジスタ | ECECRD | 00 _H | 8 | FFC7 6809 _H | 1(1L) | 8 |
| E7AP2M | ECC7 ビット冗長ビットデータ保持レジスタ | ECHORD | 00 _H | 8 | FFC7 680A _H | 1(1L) | 8 |
| E7AP2M | ECC デコード・シンドロームデータレジスタ | ECSYND | 00 _H | 8 | FFC7 680B _H | 1(1L) | 8 |
| E7AP2M | ECC エンコード・デコードデータテストレジスタ | E710TED | 0000 0000 _H | 32 | FFC7 680C _H | 1(1L) | 32 |
| E7AP2M | ECC エラーアドレスレジスタ | E710EAD | 0000 0000 _H | 32 | FFC7 6810 _H | 1(1L) | 32 |
| E7AP2C | ECC コントロールレジスタ | E710CTL | 001X _H | 16 | FFC7 6A00 _H | 1(1L) | 8、16 |
| E7AP2C | ECC テストモードコントロールレジスタ | E710TMC | 0000 _H | 16 | FFC7 6A04 _H | 1(1L) | 8、16 |
| E7AP2C | ECC 冗長ビットデータコントロールレジスタ | E710TRC | 0000 0000 _H | 32 | FFC7 6A08 _H | 1(1L) | 32 |
| E7AP2C | ECC 冗長ビット入出力代替バッファレジスタ | ECERDB | 00 _H | 8 | FFC7 6A08 _H | 1(1L) | 8 |
| E7AP2C | ECC エンコードテストレジスタ | ECECRD | 00 _H | 8 | FFC7 6A09 _H | 1(1L) | 8 |
| E7AP2C | ECC7 ビット冗長ビットデータ保持レジスタ | ECHORD | 00 _H | 8 | FFC7 6A0A _H | 1(1L) | 8 |
| E7AP2C | ECC デコード・シンドロームデータレジスタ | ECSYND | 00 _H | 8 | FFC7 6A0B _H | 1(1L) | 8 |
| E7AP2C | ECC エンコード・デコードデータテストレジスタ | E710TED | 0000 0000 _H | 32 | FFC7 6A0C _H | 1(1L) | 32 |
| E7AP2C | ECC エラーアドレスレジスタ | E710EAD | 0000 0000 _H | 32 | FFC7 6A10 _H | 1(1L) | 32 |
| E7DF1M | ECC コントロールレジスタ | E710CTL | 001X _H | 16 | FFC7 D000 _H | 3 | 8、16 |
| E7DF1M | ECC テストモードコントロールレジスタ | E710TMC | 0000 _H | 16 | FFC7 D004 _H | 3 | 8、16 |
| E7DF1M | ECC 冗長ビットデータコントロールレジスタ | E710TRC | 0000 0000 _H | 32 | FFC7 D008 _H | 3 | 32 |
| E7DF1M | ECC 冗長ビット入出力代替バッファレジスタ | ECERDB | 00 _H | 8 | FFC7 D008 _H | 3 | 8 |
| E7DF1M | ECC エンコードテストレジスタ | ECECRD | 00 _H | 8 | FFC7 D009 _H | 3 | 8 |
| E7DF1M | ECC7 ビット冗長ビットデータ保持レジスタ | ECHORD | 00 _H | 8 | FFC7 D00A _H | 3 | 8 |
| E7DF1M | ECC デコード・シンドロームデータレジスタ | ECSYND | 00 _H | 8 | FFC7 D00B _H | 3 | 8 |
| E7DF1M | ECC エンコード・デコードデータテストレジスタ | E710TED | 0000 0000 _H | 32 | FFC7 D00C _H | 3 | 32 |
| E7DF1M | ECC エラーアドレスレジスタ | E710EAD | 0000 0000 _H | 32 | FFC7 D010 _H | 3 | 32 |
| E7DF1C | ECC コントロールレジスタ | E710CTL | 001X _H | 16 | FFC7 D200 _H | 3 | 8、16 |
| E7DF1C | ECC テストモードコントロールレジスタ | E710TMC | 0000 _H | 16 | FFC7 D204 _H | 3 | 8、16 |
| E7DF1C | ECC 冗長ビットデータコントロールレジスタ | E710TRC | 0000 0000 _H | 32 | FFC7 D208 _H | 3 | 32 |
| E7DF1C | ECC 冗長ビット入出力代替バッファレジスタ | ECERDB | 00 _H | 8 | FFC7 D208 _H | 3 | 8 |
| E7DF1C | ECC エンコードテストレジスタ | ECECRD | 00 _H | 8 | FFC7 D209 _H | 3 | 8 |
| E7DF1C | ECC7 ビット冗長ビットデータ保持レジスタ | ECHORD | 00 _H | 8 | FFC7 D20A _H | 3 | 8 |
| E7DF1C | ECC デコード・シンドロームデータレジスタ | ECSYND | 00 _H | 8 | FFC7 D20B _H | 3 | 8 |

(23/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------------------------|----------|------------------------|------|------------------------|------------------|---------|
| E7DF1C | ECC エンコード・デコードデータテストレジスタ | E710TED | 0000 0000 _H | 32 | FFC7 D20C _H | 3 | 32 |
| E7DF1C | ECC エラーアドレスレジスタ | E710EAD | 0000 0000 _H | 32 | FFC7 D210 _H | 3 | 32 |
| E6DF0M | ECC コントロールレジスタ | E610CTL | 001X _H | 16 | FFC7 D400 _H | 3 | 8、16 |
| E6DF0M | ECC テストモードコントロールレジスタ | E610TMC | 0000 _H | 16 | FFC7 D404 _H | 3 | 8、16 |
| E6DF0M | ECC 冗長ビットデータコントロールテストレジスタ | E610TRC | 0000 0000 _H | 32 | FFC7 D408 _H | 3 | 32 |
| E6DF0M | ECC 冗長ビット出力データモニタレジスタ | ECRODM | 00 _H | 8 | FFC7 D408 _H | 3 | 8 |
| E6DF0M | ECC エンコードテストレジスタ | ECECRD | 00 _H | 8 | FFC7 D409 _H | 3 | 8 |
| E6DF0M | ECC6 ビット冗長ビットデータ保持テストレジスタ | ECHORD | 00 _H | 8 | FFC7 D40A _H | 3 | 8 |
| E6DF0M | ECC デコード・シンドロームデータレジスタ | ECSYND | 00 _H | 8 | FFC7 D40B _H | 3 | 8 |
| E6DF0M | ECC エンコード・デコードデータテストレジスタ | E610TED | 0000 0000 _H | 32 | FFC7 D40C _H | 3 | 32 |
| E6DF0M | ECC 冗長ビット入出力代替バッファレジスタ | ECERDB | 00 _H | 8 | FFC7 D40C _H | 3 | 8 |
| E6DF0M | ECC 冗長ビット入力データモニタレジスタ | ECRIDM | 00 _H | 8 | FFC7 D40D _H | 3 | 8 |
| E6DF0M | ECC エンコード/デコード・データ入出力代替バッファレジスタ | ECEDB | 0000 _H | 16 | FFC7 D40E _H | 3 | 16 |
| E6DF0M | ECC エラーアドレスレジスタ | E610EAD | 0000 0000 _H | 32 | FFC7 D410 _H | 3 | 32 |
| E6DF0C | ECC コントロールレジスタ | E610CTL | 001X _H | 16 | FFC7 D600 _H | 3 | 8、16 |
| E6DF0C | ECC テストモードコントロールレジスタ | E610TMC | 0000 _H | 16 | FFC7 D604 _H | 3 | 8、16 |
| E6DF0C | ECC 冗長ビットデータコントロールテストレジスタ | E610TRC | 0000 0000 _H | 32 | FFC7 D608 _H | 3 | 32 |
| E6DF0C | ECC 冗長ビット出力データモニタレジスタ | ECRODM | 00 _H | 8 | FFC7 D608 _H | 3 | 8 |
| E6DF0C | ECC エンコードテストレジスタ | ECECRD | 00 _H | 8 | FFC7 D609 _H | 3 | 8 |
| E6DF0C | ECC6 ビット冗長ビットデータ保持テストレジスタ | ECHORD | 00 _H | 8 | FFC7 D60A _H | 3 | 8 |
| E6DF0C | ECC デコード・シンドロームデータレジスタ | ECSYND | 00 _H | 8 | FFC7 D60B _H | 3 | 8 |
| E6DF0C | ECC エンコード・デコードデータテストレジスタ | E610TED | 0000 0000 _H | 32 | FFC7 D60C _H | 3 | 32 |
| E6DF0C | ECC 冗長ビット入出力代替バッファレジスタ | ECERDB | 00 _H | 8 | FFC7 D60C _H | 3 | 8 |
| E6DF0C | ECC 冗長ビット入力データモニタレジスタ | ECRIDM | 00 _H | 8 | FFC7 D60D _H | 3 | 8 |
| E6DF0C | ECC エンコード/デコード・データ入出力代替バッファレジスタ | ECEDB | 0000 _H | 16 | FFC7 D60E _H | 3 | 16 |
| E6DF0C | ECC エラーアドレスレジスタ | E610EAD | 0000 0000 _H | 32 | FFC7 D610 _H | 3 | 32 |
| E6DF1M | ECC コントロールレジスタ | E610CTL | 001X _H | 16 | FFC7 D800 _H | 3 | 8、16 |
| E6DF1M | ECC テストモードコントロールレジスタ | E610TMC | 0000 _H | 16 | FFC7 D804 _H | 3 | 8、16 |
| E6DF1M | ECC 冗長ビットデータコントロールテストレジスタ | E610TRC | 0000 0000 _H | 32 | FFC7 D808 _H | 3 | 32 |
| E6DF1M | ECC 冗長ビット出力データモニタレジスタ | ECRODM | 00 _H | 8 | FFC7 D808 _H | 3 | 8 |
| E6DF1M | ECC エンコードテストレジスタ | ECECRD | 00 _H | 8 | FFC7 D809 _H | 3 | 8 |
| E6DF1M | ECC6 ビット冗長ビットデータ保持テストレジスタ | ECHORD | 00 _H | 8 | FFC7 D80A _H | 3 | 8 |
| E6DF1M | ECC デコード・シンドロームデータレジスタ | ECSYND | 00 _H | 8 | FFC7 D80B _H | 3 | 8 |

(24/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------------|-----------------|------------------------|------|------------------------|------------------|---------|
| E6DF1M | ECC エンコード・デコードデータテストレジスタ | E610TED | 0000 0000 _H | 32 | FFC7 D80C _H | 3 | 32 |
| E6DF1M | ECC 冗長ビット入出力代替バッファレジスタ | ECERDB | 00 _H | 8 | FFC7 D80C _H | 3 | 8 |
| E6DF1M | ECC 冗長ビット入力データモニタレジスタ | ECRIDM | 00 _H | 8 | FFC7 D80D _H | 3 | 8 |
| E6DF1M | ECC エンコード/デコード・データ入出力代替バッファレジスタ | ECEDB | 0000 _H | 16 | FFC7 D80E _H | 3 | 16 |
| E6DF1M | ECC エラーアドレスレジスタ | E610EAD | 0000 0000 _H | 32 | FFC7 D810 _H | 3 | 32 |
| E6DF1C | ECC コントロールレジスタ | E610CTL | 001X _H | 16 | FFC7 DA00 _H | 3 | 8、16 |
| E6DF1C | ECC テストモードコントロールレジスタ | E610TMC | 0000 _H | 16 | FFC7 DA04 _H | 3 | 8、16 |
| E6DF1C | ECC 冗長ビットデータコントロールテストレジスタ | E610TRC | 0000 0000 _H | 32 | FFC7 DA08 _H | 3 | 32 |
| E6DF1C | ECC 冗長ビット出力データモニタレジスタ | ECRODM | 00 _H | 8 | FFC7 DA08 _H | 3 | 8 |
| E6DF1C | ECC エンコードテストレジスタ | ECECRD | 00 _H | 8 | FFC7 DA09 _H | 3 | 8 |
| E6DF1C | ECC6 ビット冗長ビットデータ保持テストレジスタ | ECHORD | 00 _H | 8 | FFC7 DA0A _H | 3 | 8 |
| E6DF1C | ECC デコード・シンドロームデータレジスタ | ECSYND | 00 _H | 8 | FFC7 DA0B _H | 3 | 8 |
| E6DF1C | ECC エンコード・デコードデータテストレジスタ | E610TED | 0000 0000 _H | 32 | FFC7 DA0C _H | 3 | 32 |
| E6DF1C | ECC 冗長ビット入出力代替バッファレジスタ | ECERDB | 00 _H | 8 | FFC7 DA0C _H | 3 | 8 |
| E6DF1C | ECC 冗長ビット入力データモニタレジスタ | ECRIDM | 00 _H | 8 | FFC7 DA0D _H | 3 | 8 |
| E6DF1C | ECC エンコード/デコード・データ入出力代替バッファレジスタ | ECEDB | 0000 _H | 16 | FFC7 DA0E _H | 3 | 16 |
| E6DF1C | ECC エラーアドレスレジスタ | E610EAD | 0000 0000 _H | 32 | FFC7 DA10 _H | 3 | 32 |
| APDP | P-Bus データパリティステータスレジスタ PT0A | APDPERRST_PT0A | 0000 0000 _H | 32 | FFC8 5000 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ PT0A | APDPERRSTC_PT0A | 0000 0000 _H | 32 | FFC8 5004 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ PT0A | APDPTMC_PT0A | 0000 0000 _H | 32 | FFC8 5008 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ PT0A | APDPERRADR_PT0A | 0000 0000 _H | 32 | FFC8 500C _H | 3 | 32 |
| APDP | P-Bus データパリティステータスレジスタ PT0B | APDPERRST_PT0B | 0000 0000 _H | 32 | FFC8 5020 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ PT0B | APDPERRSTC_PT0B | 0000 0000 _H | 32 | FFC8 5024 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ PT0B | APDPTMC_PT0B | 0000 0000 _H | 32 | FFC8 5028 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ PT0B | APDPERRADR_PT0B | 0000 0000 _H | 32 | FFC8 502C _H | 3 | 32 |
| APDP | P-Bus データパリティステータスレジスタ PT1A | APDPERRST_PT1A | 0000 0000 _H | 32 | FFC8 5040 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ PT1A | APDPERRSTC_PT1A | 0000 0000 _H | 32 | FFC8 5044 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ PT1A | APDPTMC_PT1A | 0000 0000 _H | 32 | FFC8 5048 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ PT1A | APDPERRADR_PT1A | 0000 0000 _H | 32 | FFC8 504C _H | 3 | 32 |
| APDP | P-Bus データパリティステータスレジスタ PT1B | APDPERRST_PT1B | 0000 0000 _H | 32 | FFC8 5060 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ PT1B | APDPERRSTC_PT1B | 0000 0000 _H | 32 | FFC8 5064 _H | 3 | 8、16、32 |

(25/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------------|-----------------|------------------------|------|------------------------|------------------|---------|
| APDP | P-Bus データパリティテストモードコントロールレジスタ PT1B | APDPTMC_PT1B | 0000 0000 _H | 32 | FFC8 5068 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ PT1B | APDPERRADR_PT1B | 0000 0000 _H | 32 | FFC8 506C _H | 3 | 32 |
| APDP | P-Bus データパリティステータスレジスタ DNF0 | APDPERRST_DNF0 | 0000 0000 _H | 32 | FFC8 50C0 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ DNF0 | APDPERRSTC_DNF0 | 0000 0000 _H | 32 | FFC8 50C4 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ DNF0 | APDPTMC_DNF0 | 0000 0000 _H | 32 | FFC8 50C8 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ DNF0 | APDPERRADR_DNF0 | 0000 0000 _H | 32 | FFC8 50CC _H | 3 | 32 |
| APDP | P-Bus データパリティステータスレジスタ DNF1 | APDPERRST_DNF1 | 0000 0000 _H | 32 | FFC8 50E0 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ DNF1 | APDPERRSTC_DNF1 | 0000 0000 _H | 32 | FFC8 50E4 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ DNF1 | APDPTMC_DNF1 | 0000 0000 _H | 32 | FFC8 50E8 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ DNF1 | APDPERRADR_DNF1 | 0000 0000 _H | 32 | FFC8 50EC _H | 3 | 32 |
| APDP | P-Bus データパリティステータスレジスタ DNF2 | APDPERRST_DNF2 | 0000 0000 _H | 32 | FFC8 5800 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ DNF2 | APDPERRSTC_DNF2 | 0000 0000 _H | 32 | FFC8 5804 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ DNF2 | APDPTMC_DNF2 | 0000 0000 _H | 32 | FFC8 5808 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ DNF2 | APDPERRADR_DNF2 | 0000 0000 _H | 32 | FFC8 580C _H | 3 | 32 |
| APDP | P-Bus データパリティステータスレジスタ DNF3 | APDPERRST_DNF3 | 0000 0000 _H | 32 | FFC8 5820 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ DNF3 | APDPERRSTC_DNF3 | 0000 0000 _H | 32 | FFC8 5824 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ DNF3 | APDPTMC_DNF3 | 0000 0000 _H | 32 | FFC8 5828 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ DNF3 | APDPERRADR_DNF3 | 0000 0000 _H | 32 | FFC8 582C _H | 3 | 32 |
| APDP | P-Bus データパリティステータスレジスタ DNF4 | APDPERRST_DNF4 | 0000 0000 _H | 32 | FFC8 5840 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ DNF4 | APDPERRSTC_DNF4 | 0000 0000 _H | 32 | FFC8 5844 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ DNF4 | APDPTMC_DNF4 | 0000 0000 _H | 32 | FFC8 5848 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ DNF4 | APDPERRADR_DNF4 | 0000 0000 _H | 32 | FFC8 584C _H | 3 | 32 |
| APDP | P-Bus データパリティステータスレジスタ DNF6 | APDPERRST_DNF6 | 0000 0000 _H | 32 | FFC8 5880 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ DNF6 | APDPERRSTC_DNF6 | 0000 0000 _H | 32 | FFC8 5884 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ DNF6 | APDPTMC_DNF6 | 0000 0000 _H | 32 | FFC8 5888 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ DNF6 | APDPERRADR_DNF6 | 0000 0000 _H | 32 | FFC8 588C _H | 3 | 32 |
| APDP | P-Bus データパリティステータスレジスタ DNF7 | APDPERRST_DNF7 | 0000 0000 _H | 32 | FFC8 58A0 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ DNF7 | APDPERRSTC_DNF7 | 0000 0000 _H | 32 | FFC8 58A4 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ DNF7 | APDPTMC_DNF7 | 0000 0000 _H | 32 | FFC8 58A8 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ DNF7 | APDPERRADR_DNF7 | 0000 0000 _H | 32 | FFC8 58AC _H | 3 | 32 |

(26/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------------|-----------------|------------------------|------|------------------------|------------------|---------|
| APDP | P-Bus データパリティステータスレジスタ DADC | APDPERRST_DADC | 0000 0000 _H | 32 | FFC8 7000 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ DADC | APDPERRSTC_DADC | 0000 0000 _H | 32 | FFC8 7004 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ DADC | APDPTMC_DADC | 0000 0000 _H | 32 | FFC8 7008 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ DADC | APDPERRADR_DADC | 0000 0000 _H | 32 | FFC8 700C _H | 3 | 32 |
| APDP | P-Bus データパリティステータスレジスタ DAD0 | APDPERRST_DAD0 | 0000 0000 _H | 32 | FFC8 7020 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ DAD0 | APDPERRSTC_DAD0 | 0000 0000 _H | 32 | FFC8 7024 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ DAD0 | APDPTMC_DAD0 | 0000 0000 _H | 32 | FFC8 7028 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ DAD0 | APDPERRADR_DAD0 | 0000 0000 _H | 32 | FFC8 702C _H | 3 | 32 |
| APDP | P-Bus データパリティステータスレジスタ DAD1 | APDPERRST_DAD1 | 0000 0000 _H | 32 | FFC8 7040 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ DAD1 | APDPERRSTC_DAD1 | 0000 0000 _H | 32 | FFC8 7044 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ DAD1 | APDPTMC_DAD1 | 0000 0000 _H | 32 | FFC8 7048 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ DAD1 | APDPERRADR_DAD1 | 0000 0000 _H | 32 | FFC8 704C _H | 3 | 32 |
| APDP | P-Bus データパリティステータスレジスタ ADC0 | APDPERRST_ADC0 | 0000 0000 _H | 32 | FFC8 8000 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ ADC0 | APDPERRSTC_ADC0 | 0000 0000 _H | 32 | FFC8 8004 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ ADC0 | APDPTMC_ADC0 | 0000 0000 _H | 32 | FFC8 8008 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ ADC0 | APDPERRADR_ADC0 | 0000 0000 _H | 32 | FFC8 800C _H | 3 | 32 |
| APDP | P-Bus データパリティステータスレジスタ ADC1 | APDPERRST_ADC1 | 0000 0000 _H | 32 | FFC8 8020 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ ADC1 | APDPERRSTC_ADC1 | 0000 0000 _H | 32 | FFC8 8024 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ ADC1 | APDPTMC_ADC1 | 0000 0000 _H | 32 | FFC8 8028 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ ADC1 | APDPERRADR_ADC1 | 0000 0000 _H | 32 | FFC8 802C _H | 3 | 32 |
| APDP | P-Bus データパリティステータスレジスタ IFC | APDPERRST_IFC | 0000 0000 _H | 32 | FFC8 8100 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ IFC | APDPERRSTC_IFC | 0000 0000 _H | 32 | FFC8 8104 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ IFC | APDPTMC_IFC | 0000 0000 _H | 32 | FFC8 8108 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ IFC | APDPERRADR_IFC | 0000 0000 _H | 32 | FFC8 810C _H | 3 | 32 |
| APDP | P-Bus データパリティステータスレジスタ ASF | APDPERRST_ASF | 0000 0000 _H | 32 | FFC8 8120 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ ASF | APDPERRSTC_ASF | 0000 0000 _H | 32 | FFC8 8124 _H | 3 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ ASF | APDPTMC_ASF | 0000 0000 _H | 32 | FFC8 8128 _H | 3 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ ASF | APDPERRADR_ASF | 0000 0000 _H | 32 | FFC8 812C _H | 3 | 32 |
| ECMM | ECM マスタエラーセットトリガレジスタ | ECMMESET | 00 _H | 8 | FFCB 0000 _H | 3 | 8 |
| ECMM | ECM マスタエラークリアトリガレジスタ | ECMMECLR | 00 _H | 8 | FFCB 0004 _H | 3 | 8 |

(27/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|---------|--------------------------------|------------|------------------------|------|------------------------|------------------|---------|
| ECMM | ECM マスタエラーソースステータスレジスタ 0 | ECMMESSTR0 | 0000 0000 _H | 32 | FFCB 0008 _H | 3 | 32 |
| ECMM | ECM マスタエラーソースステータスレジスタ 1 | ECMMESSTR1 | 0000 0000 _H | 32 | FFCB 000C _H | 3 | 32 |
| ECMM | ECM マスタ保護コマンドレジスタ | ECMPCMD0 | XXXX XXXX _H | 32 | FFCB 0010 _H | 3 | 32 |
| ECMC | ECM チェッカエラーセットトリガレジスタ | ECMCESET | 00 _H | 8 | FFCB 1000 _H | 3 | 8 |
| ECMC | ECM チェッカエラークリアトリガレジスタ | ECMCECLR | 00 _H | 8 | FFCB 1004 _H | 3 | 8 |
| ECMC | ECM チェッカエラーソースステータスレジスタ 0 | ECMCESSTR0 | 0000 0000 _H | 32 | FFCB 1008 _H | 3 | 32 |
| ECMC | ECM チェッカエラーソースステータスレジスタ 1 | ECMCESSTR1 | 0000 0000 _H | 32 | FFCB 100C _H | 3 | 32 |
| ECMC | ECM チェッカ保護コマンドレジスタ | ECMCPCMD0 | XXXX XXXX _H | 32 | FFCB 1010 _H | 3 | 32 |
| ECM | ECM エラーパルスコンフィグレーションレジスタ | ECMEPCFG | 00 _H | 8 | FFCB 2000 _H | 3 | 8 |
| ECM | ECM マスカブル割り込みコンフィグレーションレジスタ 0 | ECMMICFG0 | 0000 0000 _H | 32 | FFCB 2004 _H | 3 | 32 |
| ECM | ECM マスカブル割り込みコンフィグレーションレジスタ 1 | ECMMICFG1 | 0000 0000 _H | 32 | FFCB 2008 _H | 3 | 32 |
| ECM | ECM FE レベル割り込みコンフィグレーションレジスタ 0 | ECMNMICFG0 | 0000 0000 _H | 32 | FFCB 200C _H | 3 | 32 |
| ECM | ECM FE レベル割り込みコンフィグレーションレジスタ 1 | ECMNMICFG1 | 0000 0000 _H | 32 | FFCB 2010 _H | 3 | 32 |
| ECM | ECM 内部リセットコンフィグレーションレジスタ 0 | ECMIRCFG0 | 0000 000F _H | 32 | FFCB 2014 _H | 3 | 32 |
| ECM | ECM 内部リセットコンフィグレーションレジスタ 1 | ECMIRCFG1 | 0000 0000 _H | 32 | FFCB 2018 _H | 3 | 32 |
| ECM | ECM エラーマスクレジスタ 0 | ECMEMK0 | 0000 0000 _H | 32 | FFCB 201C _H | 3 | 32 |
| ECM | ECM エラーマスクレジスタ 1 | ECMEMK1 | 0000 0000 _H | 32 | FFCB 2020 _H | 3 | 32 |
| ECM | ECM エラーソースステータスクリアレジスタ 0 | ECMESSTC0 | 0000 0000 _H | 32 | FFCB 2024 _H | 3 | 32 |
| ECM | ECM エラーソースステータスクリアレジスタ 1 | ECMESSTC1 | 0000 0000 _H | 32 | FFCB 2028 _H | 3 | 32 |
| ECM | ECM 保護コマンドレジスタ | ECMPCMD1 | XXXX XXXX _H | 32 | FFCB 202C _H | 3 | 32 |
| ECM | ECM 保護ステータスレジスタ | ECMPS | 00 _H | 8 | FFCB 2030 _H | 3 | 8 |
| ECM | ECM 疑似エラートリガレジスタ 0 | ECMPE0 | 0000 0000 _H | 32 | FFCB 2034 _H | 3 | 32 |
| ECM | ECM 疑似エラートリガレジスタ 1 | ECMPE1 | 0000 0000 _H | 32 | FFCB 2038 _H | 3 | 32 |
| ECM | ECM ディレイタイマコントロールレジスタ | ECMDTMCTL | 00 _H | 8 | FFCB 203C _H | 3 | 8 |
| ECM | ECM ディレイタイマレジスタ | ECMDTMR | 0000 _H | 16 | FFCB 2040 _H | 3 | 16 |
| ECM | ECM ディレイタイマコンペアレジスタ | ECMDTMCMP | 0000 _H | 16 | FFCB 2044 _H | 3 | 16 |
| ECM | ECM ディレイタイマコンフィグレーションレジスタ 0 | ECMDTMCFG0 | 0000 0000 _H | 32 | FFCB 2048 _H | 3 | 32 |
| ECM | ECM ディレイタイマコンフィグレーションレジスタ 1 | ECMDTMCFG1 | 0000 0000 _H | 32 | FFCB 204C _H | 3 | 32 |
| ECM | ECM ディレイタイマコンフィグレーションレジスタ 2 | ECMDTMCFG2 | 0000 0000 _H | 32 | FFCB 2050 _H | 3 | 32 |
| ECM | ECM ディレイタイマコンフィグレーションレジスタ 3 | ECMDTMCFG3 | 0000 0000 _H | 32 | FFCB 2054 _H | 3 | 32 |
| FLASH | 製品名格納レジスタ 1 | PRDNAME1 | XXXX XXXX _H | 32 | FFCD 00D0 _H | 3 | 32 |
| FLASH | 製品名格納レジスタ 2 | PRDNAME2 | XXXX XXXX _H | 32 | FFCD 00D4 _H | 3 | 32 |
| FLASH | 製品名格納レジスタ 3 | PRDNAME3 | XXXX XXXX _H | 32 | FFCD 00D8 _H | 3 | 32 |
| FLASH | 製品名格納レジスタ 4 | PRDNAME4 | XXXX XXXX _H | 32 | FFCD 00DC _H | 3 | 32 |
| RLN210G | LIN ウェイクアップポーレート選択レジスタ | LWBR | 00 _H | 8 | FFCE 0001 _H | 3 | 8 |

(28/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|---------|------------------------|--------------|------------------------|------|------------------------|------------------|---------|
| RLN210G | LIN ボーレートプリスケアラ 0 レジスタ | LBRP0 | 00 _H | 8 | FFCE 0002 _H | 3 | 8 |
| RLN210G | LIN ボーレートプリスケアラ 1 レジスタ | LBRP1 | 00 _H | 8 | FFCE 0003 _H | 3 | 8 |
| RLN210G | LIN セルフテスト制御レジスタ | LSTC | 00 _H | 8 | FFCE 0004 _H | 3 | 8 |
| RLN2100 | LIN0 モードレジスタ | L0MD | 00 _H | 8 | FFCE 0008 _H | 3 | 8 |
| RLN2100 | LIN0 ブレークフィールド設定レジスタ | L0BFC | 00 _H | 8 | FFCE 0009 _H | 3 | 8 |
| RLN2100 | LIN0 スペース設定レジスタ | L0SC | 00 _H | 8 | FFCE 000A _H | 3 | 8 |
| RLN2100 | LIN0 ウェイクアップ設定レジスタ | L0WUP | 00 _H | 8 | FFCE 000B _H | 3 | 8 |
| RLN2100 | LIN0 割り込み許可レジスタ | L0IE | 00 _H | 8 | FFCE 000C _H | 3 | 8 |
| RLN2100 | LIN0 エラー検出許可レジスタ | L0EDE | 00 _H | 8 | FFCE 000D _H | 3 | 8 |
| RLN2100 | LIN0 制御レジスタ | L0CUC | 00 _H | 8 | FFCE 000E _H | 3 | 8 |
| RLN2100 | LIN0 送信制御レジスタ | L0TRC | 00 _H | 8 | FFCE 0010 _H | 3 | 8 |
| RLN2100 | LIN0 モードステータスレジスタ | L0MST | 00 _H | 8 | FFCE 0011 _H | 3 | 8 |
| RLN2100 | LIN0 ステータスレジスタ | L0ST | 00 _H | 8 | FFCE 0012 _H | 3 | 8 |
| RLN2100 | LIN0 エラーステータスレジスタ | L0EST | 00 _H | 8 | FFCE 0013 _H | 3 | 8 |
| RLN2100 | LIN0 データフィールド設定レジスタ | L0DFC | 00 _H | 8 | FFCE 0014 _H | 3 | 8 |
| RLN2100 | LIN0 ID バッファレジスタ | L0IDB | XX _H | 8 | FFCE 0015 _H | 3 | 8 |
| RLN2100 | LIN0 チェックサムバッファレジスタ | L0CBR | XX _H | 8 | FFCE 0016 _H | 3 | 8 |
| RLN2100 | LIN0 データバッファ 1 レジスタ | L0DBR1 | XX _H | 8 | FFCE 0018 _H | 3 | 8 |
| RLN2100 | LIN0 データバッファ 2 レジスタ | L0DBR2 | XX _H | 8 | FFCE 0019 _H | 3 | 8 |
| RLN2100 | LIN0 データバッファ 3 レジスタ | L0DBR3 | XX _H | 8 | FFCE 001A _H | 3 | 8 |
| RLN2100 | LIN0 データバッファ 4 レジスタ | L0DBR4 | XX _H | 8 | FFCE 001B _H | 3 | 8 |
| RLN2100 | LIN0 データバッファ 5 レジスタ | L0DBR5 | XX _H | 8 | FFCE 001C _H | 3 | 8 |
| RLN2100 | LIN0 データバッファ 6 レジスタ | L0DBR6 | XX _H | 8 | FFCE 001D _H | 3 | 8 |
| RLN2100 | LIN0 データバッファ 7 レジスタ | L0DBR7 | XX _H | 8 | FFCE 001E _H | 3 | 8 |
| RLN2100 | LIN0 データバッファ 8 レジスタ | L0DBR8 | XX _H | 8 | FFCE 001F _H | 3 | 8 |
| RSCAN0 | チャンネル 0 コンフィグレーションレジスタ | RSCAN0C0CFG | 0000 0000 _H | 32 | FFD0 0000 _H | 2 | 8、16、32 |
| RSCAN0 | チャンネル 0 制御レジスタ | RSCAN0C0CTR | 0000 0005 _H | 32 | FFD0 0004 _H | 2 | 8、16、32 |
| RSCAN0 | チャンネル 0 ステータスレジスタ | RSCAN0C0STS | 0000 0005 _H | 32 | FFD0 0008 _H | 2 | 8、16、32 |
| RSCAN0 | チャンネル 0 エラーフラグレジスタ | RSCAN0C0ERFL | 0000 0000 _H | 32 | FFD0 000C _H | 2 | 8、16、32 |
| RSCAN0 | チャンネル 1 コンフィグレーションレジスタ | RSCAN0C1CFG | 0000 0000 _H | 32 | FFD0 0010 _H | 2 | 8、16、32 |
| RSCAN0 | チャンネル 1 制御レジスタ | RSCAN0C1CTR | 0000 0005 _H | 32 | FFD0 0014 _H | 2 | 8、16、32 |
| RSCAN0 | チャンネル 1 ステータスレジスタ | RSCAN0C1STS | 0000 0005 _H | 32 | FFD0 0018 _H | 2 | 8、16、32 |
| RSCAN0 | チャンネル 1 エラーフラグレジスタ | RSCAN0C1ERFL | 0000 0000 _H | 32 | FFD0 001C _H | 2 | 8、16、32 |
| RSCAN0 | チャンネル 2 コンフィグレーションレジスタ | RSCAN0C2CFG | 0000 0000 _H | 32 | FFD0 0020 _H | 2 | 8、16、32 |
| RSCAN0 | チャンネル 2 制御レジスタ | RSCAN0C2CTR | 0000 0005 _H | 32 | FFD0 0024 _H | 2 | 8、16、32 |
| RSCAN0 | チャンネル 2 ステータスレジスタ | RSCAN0C2STS | 0000 0005 _H | 32 | FFD0 0028 _H | 2 | 8、16、32 |
| RSCAN0 | チャンネル 2 エラーフラグレジスタ | RSCAN0C2ERFL | 0000 0000 _H | 32 | FFD0 002C _H | 2 | 8、16、32 |
| RSCAN0 | チャンネル 3 コンフィグレーションレジスタ | RSCAN0C3CFG | 0000 0000 _H | 32 | FFD0 0030 _H | 2 | 8、16、32 |
| RSCAN0 | チャンネル 3 制御レジスタ | RSCAN0C3CTR | 0000 0005 _H | 32 | FFD0 0034 _H | 2 | 8、16、32 |
| RSCAN0 | チャンネル 3 ステータスレジスタ | RSCAN0C3STS | 0000 0005 _H | 32 | FFD0 0038 _H | 2 | 8、16、32 |
| RSCAN0 | チャンネル 3 エラーフラグレジスタ | RSCAN0C3ERFL | 0000 0000 _H | 32 | FFD0 003C _H | 2 | 8、16、32 |
| RSCAN0 | グローバルコンフィグレーションレジスタ | RSCAN0GCFG | 0000 0000 _H | 32 | FFD0 0084 _H | 2 | 8、16、32 |
| RSCAN0 | グローバル制御レジスタ | RSCAN0GCTR | 0000 0005 _H | 32 | FFD0 0088 _H | 2 | 8、16、32 |

(29/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------------------------|----------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | グローバルステータスレジスタ | RSCAN0GSTS | 0000 000D _H | 32 | FFD0 008C _H | 2 | 8、16、32 |
| RSCAN0 | グローバルエラーフラグレジスタ | RSCAN0GERFL | 0000 0000 _H | 32 | FFD0 0090 _H | 2 | 8、16、32 |
| RSCAN0 | グローバルタイムスタンプカウンタレジスタ | RSCAN0GTSC | 0000 0000 _H | 32 | FFD0 0094 _H | 2 | 16、32 |
| RSCAN0 | 受信ルールエントリ制御レジスタ | RSCAN0GAFLECTR | 0000 0000 _H | 32 | FFD0 0098 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールコンフィグレーションレジスタ 0 | RSCAN0GAFLCFG0 | 0000 0000 _H | 32 | FFD0 009C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファナンバレジスタ | RSCAN0RMNB | 0000 0000 _H | 32 | FFD0 00A4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ新データレジスタ 0 | RSCAN0RMND0 | 0000 0000 _H | 32 | FFD0 00A8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ新データレジスタ 1 | RSCAN0RMND1 | 0000 0000 _H | 32 | FFD0 00AC _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファコンフィグレーションノ制御レジスタ 0 | RSCAN0RFCC0 | 0000 0000 _H | 32 | FFD0 00B8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファコンフィグレーションノ制御レジスタ 1 | RSCAN0RFCC1 | 0000 0000 _H | 32 | FFD0 00BC _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファコンフィグレーションノ制御レジスタ 2 | RSCAN0RFCC2 | 0000 0000 _H | 32 | FFD0 00C0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファコンフィグレーションノ制御レジスタ 3 | RSCAN0RFCC3 | 0000 0000 _H | 32 | FFD0 00C4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファコンフィグレーションノ制御レジスタ 4 | RSCAN0RFCC4 | 0000 0000 _H | 32 | FFD0 00C8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファコンフィグレーションノ制御レジスタ 5 | RSCAN0RFCC5 | 0000 0000 _H | 32 | FFD0 00CC _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファコンフィグレーションノ制御レジスタ 6 | RSCAN0RFCC6 | 0000 0000 _H | 32 | FFD0 00D0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファコンフィグレーションノ制御レジスタ 7 | RSCAN0RFCC7 | 0000 0000 _H | 32 | FFD0 00D4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファステータスレジスタ 0 | RSCAN0RFSTS0 | 0000 0001 _H | 32 | FFD0 00D8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファステータスレジスタ 1 | RSCAN0RFSTS1 | 0000 0001 _H | 32 | FFD0 00DC _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファステータスレジスタ 2 | RSCAN0RFSTS2 | 0000 0001 _H | 32 | FFD0 00E0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファステータスレジスタ 3 | RSCAN0RFSTS3 | 0000 0001 _H | 32 | FFD0 00E4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファステータスレジスタ 4 | RSCAN0RFSTS4 | 0000 0001 _H | 32 | FFD0 00E8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファステータスレジスタ 5 | RSCAN0RFSTS5 | 0000 0001 _H | 32 | FFD0 00EC _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファステータスレジスタ 6 | RSCAN0RFSTS6 | 0000 0001 _H | 32 | FFD0 00F0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファステータスレジスタ 7 | RSCAN0RFSTS7 | 0000 0001 _H | 32 | FFD0 00F4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファポインタ制御レジスタ 0 | RSCAN0RFPCTR0 | 0000 0000 _H | 32 | FFD0 00F8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファポインタ制御レジスタ 1 | RSCAN0RFPCTR1 | 0000 0000 _H | 32 | FFD0 00FC _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファポインタ制御レジスタ 2 | RSCAN0RFPCTR2 | 0000 0000 _H | 32 | FFD0 0100 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファポインタ制御レジスタ 3 | RSCAN0RFPCTR3 | 0000 0000 _H | 32 | FFD0 0104 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファポインタ制御レジスタ 4 | RSCAN0RFPCTR4 | 0000 0000 _H | 32 | FFD0 0108 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファポインタ制御レジスタ 5 | RSCAN0RFPCTR5 | 0000 0000 _H | 32 | FFD0 010C _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファポインタ制御レジスタ 6 | RSCAN0RFPCTR6 | 0000 0000 _H | 32 | FFD0 0110 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファポインタ制御レジスタ 7 | RSCAN0RFPCTR7 | 0000 0000 _H | 32 | FFD0 0114 _H | 2 | 8、16、32 |

(30/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------------------|---------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 送受信 FIFO バッファコンフィグレーションノ制御レジスタ 0 | RSCAN0CFCC0 | 0000 0000 _H | 32 | FFD0 0118 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファコンフィグレーションノ制御レジスタ 1 | RSCAN0CFCC1 | 0000 0000 _H | 32 | FFD0 011C _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファコンフィグレーションノ制御レジスタ 2 | RSCAN0CFCC2 | 0000 0000 _H | 32 | FFD0 0120 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファコンフィグレーションノ制御レジスタ 3 | RSCAN0CFCC3 | 0000 0000 _H | 32 | FFD0 0124 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファコンフィグレーションノ制御レジスタ 4 | RSCAN0CFCC4 | 0000 0000 _H | 32 | FFD0 0128 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファコンフィグレーションノ制御レジスタ 5 | RSCAN0CFCC5 | 0000 0000 _H | 32 | FFD0 012C _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファコンフィグレーションノ制御レジスタ 6 | RSCAN0CFCC6 | 0000 0000 _H | 32 | FFD0 0130 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファコンフィグレーションノ制御レジスタ 7 | RSCAN0CFCC7 | 0000 0000 _H | 32 | FFD0 0134 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファコンフィグレーションノ制御レジスタ 8 | RSCAN0CFCC8 | 0000 0000 _H | 32 | FFD0 0138 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファコンフィグレーションノ制御レジスタ 9 | RSCAN0CFCC9 | 0000 0000 _H | 32 | FFD0 013C _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファコンフィグレーションノ制御レジスタ 10 | RSCAN0CFCC10 | 0000 0000 _H | 32 | FFD0 0140 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファコンフィグレーションノ制御レジスタ 11 | RSCAN0CFCC11 | 0000 0000 _H | 32 | FFD0 0144 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファステータスレジスタ 0 | RSCAN0CFSTS0 | 0000 0001 _H | 32 | FFD0 0178 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファステータスレジスタ 1 | RSCAN0CFSTS1 | 0000 0001 _H | 32 | FFD0 017C _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファステータスレジスタ 2 | RSCAN0CFSTS2 | 0000 0001 _H | 32 | FFD0 0180 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファステータスレジスタ 3 | RSCAN0CFSTS3 | 0000 0001 _H | 32 | FFD0 0184 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファステータスレジスタ 4 | RSCAN0CFSTS4 | 0000 0001 _H | 32 | FFD0 0188 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファステータスレジスタ 5 | RSCAN0CFSTS5 | 0000 0001 _H | 32 | FFD0 018C _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファステータスレジスタ 6 | RSCAN0CFSTS6 | 0000 0001 _H | 32 | FFD0 0190 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファステータスレジスタ 7 | RSCAN0CFSTS7 | 0000 0001 _H | 32 | FFD0 0194 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファステータスレジスタ 8 | RSCAN0CFSTS8 | 0000 0001 _H | 32 | FFD0 0198 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファステータスレジスタ 9 | RSCAN0CFSTS9 | 0000 0001 _H | 32 | FFD0 019C _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファステータスレジスタ 10 | RSCAN0CFSTS10 | 0000 0001 _H | 32 | FFD0 01A0 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファステータスレジスタ 11 | RSCAN0CFSTS11 | 0000 0001 _H | 32 | FFD0 01A4 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファポインタ制御レジスタ 0 | RSCAN0CFPCTR0 | 0000 0000 _H | 32 | FFD0 01D8 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファポインタ制御レジスタ 1 | RSCAN0CFPCTR1 | 0000 0000 _H | 32 | FFD0 01DC _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファポインタ制御レジスタ 2 | RSCAN0CFPCTR2 | 0000 0000 _H | 32 | FFD0 01E0 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファポインタ制御レジスタ 3 | RSCAN0CFPCTR3 | 0000 0000 _H | 32 | FFD0 01E4 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファポインタ制御レジスタ 4 | RSCAN0CFPCTR4 | 0000 0000 _H | 32 | FFD0 01E8 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファポインタ制御レジスタ 5 | RSCAN0CFPCTR5 | 0000 0000 _H | 32 | FFD0 01EC _H | 2 | 8、16、32 |

(31/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------------------------|----------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 送受信 FIFO バッファポインタ制御レジスタ 6 | RSCAN0CFPCTR6 | 0000 0000 _H | 32 | FFD0 01F0 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファポインタ制御レジスタ 7 | RSCAN0CFPCTR7 | 0000 0000 _H | 32 | FFD0 01F4 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファポインタ制御レジスタ 8 | RSCAN0CFPCTR8 | 0000 0000 _H | 32 | FFD0 01F8 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファポインタ制御レジスタ 9 | RSCAN0CFPCTR9 | 0000 0000 _H | 32 | FFD0 01FC _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファポインタ制御レジスタ 10 | RSCAN0CFPCTR10 | 0000 0000 _H | 32 | FFD0 0200 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファポインタ制御レジスタ 11 | RSCAN0CFPCTR11 | 0000 0000 _H | 32 | FFD0 0204 _H | 2 | 8、16、32 |
| RSCAN0 | FIFO エンプティステータスレジスタ | RSCAN0FESTS | 007F FFFF _H | 32 | FFD0 0238 _H | 2 | 8、16、32 |
| RSCAN0 | FIFO フルスステータスレジスタ | RSCAN0FFSTS | 0000 0000 _H | 32 | FFD0 023C _H | 2 | 8、16、32 |
| RSCAN0 | FIFO メッセージロスステータスレジスタ | RSCAN0FMSTS | 0000 0000 _H | 32 | FFD0 0240 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファ割り込みフラグステータスレジスタ | RSCAN0RFISTS | 0000 0000 _H | 32 | FFD0 0244 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファ受信割り込みフラグステータスレジスタ | RSCAN0CFRISTS | 0000 0000 _H | 32 | FFD0 0248 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファ送信割り込みフラグステータスレジスタ | RSCAN0CFTISTS | 0000 0000 _H | 32 | FFD0 024C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ制御レジスタ 0 | RSCAN0TMC0 | 00 _H | 8 | FFD0 0250 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 1 | RSCAN0TMC1 | 00 _H | 8 | FFD0 0251 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 2 | RSCAN0TMC2 | 00 _H | 8 | FFD0 0252 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 3 | RSCAN0TMC3 | 00 _H | 8 | FFD0 0253 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 4 | RSCAN0TMC4 | 00 _H | 8 | FFD0 0254 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 5 | RSCAN0TMC5 | 00 _H | 8 | FFD0 0255 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 6 | RSCAN0TMC6 | 00 _H | 8 | FFD0 0256 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 7 | RSCAN0TMC7 | 00 _H | 8 | FFD0 0257 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 8 | RSCAN0TMC8 | 00 _H | 8 | FFD0 0258 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 9 | RSCAN0TMC9 | 00 _H | 8 | FFD0 0259 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 10 | RSCAN0TMC10 | 00 _H | 8 | FFD0 025A _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 11 | RSCAN0TMC11 | 00 _H | 8 | FFD0 025B _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 12 | RSCAN0TMC12 | 00 _H | 8 | FFD0 025C _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 13 | RSCAN0TMC13 | 00 _H | 8 | FFD0 025D _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 14 | RSCAN0TMC14 | 00 _H | 8 | FFD0 025E _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 15 | RSCAN0TMC15 | 00 _H | 8 | FFD0 025F _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 16 | RSCAN0TMC16 | 00 _H | 8 | FFD0 0260 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 17 | RSCAN0TMC17 | 00 _H | 8 | FFD0 0261 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 18 | RSCAN0TMC18 | 00 _H | 8 | FFD0 0262 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 19 | RSCAN0TMC19 | 00 _H | 8 | FFD0 0263 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 20 | RSCAN0TMC20 | 00 _H | 8 | FFD0 0264 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 21 | RSCAN0TMC21 | 00 _H | 8 | FFD0 0265 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 22 | RSCAN0TMC22 | 00 _H | 8 | FFD0 0266 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 23 | RSCAN0TMC23 | 00 _H | 8 | FFD0 0267 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 24 | RSCAN0TMC24 | 00 _H | 8 | FFD0 0268 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 25 | RSCAN0TMC25 | 00 _H | 8 | FFD0 0269 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 26 | RSCAN0TMC26 | 00 _H | 8 | FFD0 026A _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 27 | RSCAN0TMC27 | 00 _H | 8 | FFD0 026B _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 28 | RSCAN0TMC28 | 00 _H | 8 | FFD0 026C _H | 2 | 8 |

(32/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------|---------------|-----------------|------|------------------------|------------------|---------|
| RSCAN0 | 送信バッファ制御レジスタ 29 | RSCAN0TMC29 | 00 _H | 8 | FFD0 026D _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 30 | RSCAN0TMC30 | 00 _H | 8 | FFD0 026E _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 31 | RSCAN0TMC31 | 00 _H | 8 | FFD0 026F _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 32 | RSCAN0TMC32 | 00 _H | 8 | FFD0 0270 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 33 | RSCAN0TMC33 | 00 _H | 8 | FFD0 0271 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 34 | RSCAN0TMC34 | 00 _H | 8 | FFD0 0272 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 35 | RSCAN0TMC35 | 00 _H | 8 | FFD0 0273 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 36 | RSCAN0TMC36 | 00 _H | 8 | FFD0 0274 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 37 | RSCAN0TMC37 | 00 _H | 8 | FFD0 0275 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 38 | RSCAN0TMC38 | 00 _H | 8 | FFD0 0276 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 39 | RSCAN0TMC39 | 00 _H | 8 | FFD0 0277 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 40 | RSCAN0TMC40 | 00 _H | 8 | FFD0 0278 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 41 | RSCAN0TMC41 | 00 _H | 8 | FFD0 0279 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 42 | RSCAN0TMC42 | 00 _H | 8 | FFD0 027A _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 43 | RSCAN0TMC43 | 00 _H | 8 | FFD0 027B _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 44 | RSCAN0TMC44 | 00 _H | 8 | FFD0 027C _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 45 | RSCAN0TMC45 | 00 _H | 8 | FFD0 027D _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 46 | RSCAN0TMC46 | 00 _H | 8 | FFD0 027E _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 47 | RSCAN0TMC47 | 00 _H | 8 | FFD0 027F _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 48 | RSCAN0TMC48 | 00 _H | 8 | FFD0 0280 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 49 | RSCAN0TMC49 | 00 _H | 8 | FFD0 0281 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 50 | RSCAN0TMC50 | 00 _H | 8 | FFD0 0282 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 51 | RSCAN0TMC51 | 00 _H | 8 | FFD0 0283 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 52 | RSCAN0TMC52 | 00 _H | 8 | FFD0 0284 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 53 | RSCAN0TMC53 | 00 _H | 8 | FFD0 0285 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 54 | RSCAN0TMC54 | 00 _H | 8 | FFD0 0286 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 55 | RSCAN0TMC55 | 00 _H | 8 | FFD0 0287 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 56 | RSCAN0TMC56 | 00 _H | 8 | FFD0 0288 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 57 | RSCAN0TMC57 | 00 _H | 8 | FFD0 0289 _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 58 | RSCAN0TMC58 | 00 _H | 8 | FFD0 028A _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 59 | RSCAN0TMC59 | 00 _H | 8 | FFD0 028B _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 60 | RSCAN0TMC60 | 00 _H | 8 | FFD0 028C _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 61 | RSCAN0TMC61 | 00 _H | 8 | FFD0 028D _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 62 | RSCAN0TMC62 | 00 _H | 8 | FFD0 028E _H | 2 | 8 |
| RSCAN0 | 送信バッファ制御レジスタ 63 | RSCAN0TMC63 | 00 _H | 8 | FFD0 028F _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 0 | RSCAN0TMSTS0 | 00 _H | 8 | FFD0 02D0 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 1 | RSCAN0TMSTS1 | 00 _H | 8 | FFD0 02D1 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 2 | RSCAN0TMSTS2 | 00 _H | 8 | FFD0 02D2 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 3 | RSCAN0TMSTS3 | 00 _H | 8 | FFD0 02D3 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 4 | RSCAN0TMSTS4 | 00 _H | 8 | FFD0 02D4 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 5 | RSCAN0TMSTS5 | 00 _H | 8 | FFD0 02D5 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 6 | RSCAN0TMSTS6 | 00 _H | 8 | FFD0 02D6 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 7 | RSCAN0TMSTS7 | 00 _H | 8 | FFD0 02D7 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 8 | RSCAN0TMSTS8 | 00 _H | 8 | FFD0 02D8 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 9 | RSCAN0TMSTS9 | 00 _H | 8 | FFD0 02D9 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 10 | RSCAN0TMSTS10 | 00 _H | 8 | FFD0 02DA _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 11 | RSCAN0TMSTS11 | 00 _H | 8 | FFD0 02DB _H | 2 | 8 |

(33/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------|---------------|-----------------|------|------------------------|------------------|---------|
| RSCAN0 | 送信バッファステータスレジスタ 12 | RSCAN0TMSTS12 | 00 _H | 8 | FFD0 02DC _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 13 | RSCAN0TMSTS13 | 00 _H | 8 | FFD0 02DD _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 14 | RSCAN0TMSTS14 | 00 _H | 8 | FFD0 02DE _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 15 | RSCAN0TMSTS15 | 00 _H | 8 | FFD0 02DF _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 16 | RSCAN0TMSTS16 | 00 _H | 8 | FFD0 02E0 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 17 | RSCAN0TMSTS17 | 00 _H | 8 | FFD0 02E1 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 18 | RSCAN0TMSTS18 | 00 _H | 8 | FFD0 02E2 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 19 | RSCAN0TMSTS19 | 00 _H | 8 | FFD0 02E3 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 20 | RSCAN0TMSTS20 | 00 _H | 8 | FFD0 02E4 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 21 | RSCAN0TMSTS21 | 00 _H | 8 | FFD0 02E5 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 22 | RSCAN0TMSTS22 | 00 _H | 8 | FFD0 02E6 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 23 | RSCAN0TMSTS23 | 00 _H | 8 | FFD0 02E7 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 24 | RSCAN0TMSTS24 | 00 _H | 8 | FFD0 02E8 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 25 | RSCAN0TMSTS25 | 00 _H | 8 | FFD0 02E9 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 26 | RSCAN0TMSTS26 | 00 _H | 8 | FFD0 02EA _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 27 | RSCAN0TMSTS27 | 00 _H | 8 | FFD0 02EB _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 28 | RSCAN0TMSTS28 | 00 _H | 8 | FFD0 02EC _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 29 | RSCAN0TMSTS29 | 00 _H | 8 | FFD0 02ED _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 30 | RSCAN0TMSTS30 | 00 _H | 8 | FFD0 02EE _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 31 | RSCAN0TMSTS31 | 00 _H | 8 | FFD0 02EF _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 32 | RSCAN0TMSTS32 | 00 _H | 8 | FFD0 02F0 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 33 | RSCAN0TMSTS33 | 00 _H | 8 | FFD0 02F1 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 34 | RSCAN0TMSTS34 | 00 _H | 8 | FFD0 02F2 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 35 | RSCAN0TMSTS35 | 00 _H | 8 | FFD0 02F3 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 36 | RSCAN0TMSTS36 | 00 _H | 8 | FFD0 02F4 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 37 | RSCAN0TMSTS37 | 00 _H | 8 | FFD0 02F5 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 38 | RSCAN0TMSTS38 | 00 _H | 8 | FFD0 02F6 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 39 | RSCAN0TMSTS39 | 00 _H | 8 | FFD0 02F7 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 40 | RSCAN0TMSTS40 | 00 _H | 8 | FFD0 02F8 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 41 | RSCAN0TMSTS41 | 00 _H | 8 | FFD0 02F9 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 42 | RSCAN0TMSTS42 | 00 _H | 8 | FFD0 02FA _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 43 | RSCAN0TMSTS43 | 00 _H | 8 | FFD0 02FB _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 44 | RSCAN0TMSTS44 | 00 _H | 8 | FFD0 02FC _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 45 | RSCAN0TMSTS45 | 00 _H | 8 | FFD0 02FD _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 46 | RSCAN0TMSTS46 | 00 _H | 8 | FFD0 02FE _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 47 | RSCAN0TMSTS47 | 00 _H | 8 | FFD0 02FF _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 48 | RSCAN0TMSTS48 | 00 _H | 8 | FFD0 0300 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 49 | RSCAN0TMSTS49 | 00 _H | 8 | FFD0 0301 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 50 | RSCAN0TMSTS50 | 00 _H | 8 | FFD0 0302 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 51 | RSCAN0TMSTS51 | 00 _H | 8 | FFD0 0303 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 52 | RSCAN0TMSTS52 | 00 _H | 8 | FFD0 0304 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 53 | RSCAN0TMSTS53 | 00 _H | 8 | FFD0 0305 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 54 | RSCAN0TMSTS54 | 00 _H | 8 | FFD0 0306 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 55 | RSCAN0TMSTS55 | 00 _H | 8 | FFD0 0307 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 56 | RSCAN0TMSTS56 | 00 _H | 8 | FFD0 0308 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 57 | RSCAN0TMSTS57 | 00 _H | 8 | FFD0 0309 _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 58 | RSCAN0TMSTS58 | 00 _H | 8 | FFD0 030A _H | 2 | 8 |

(34/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------------------------|-----------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 送信バッファステータスレジスタ 59 | RSCAN0TMSTS59 | 00 _H | 8 | FFD0 030B _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 60 | RSCAN0TMSTS60 | 00 _H | 8 | FFD0 030C _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 61 | RSCAN0TMSTS61 | 00 _H | 8 | FFD0 030D _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 62 | RSCAN0TMSTS62 | 00 _H | 8 | FFD0 030E _H | 2 | 8 |
| RSCAN0 | 送信バッファステータスレジスタ 63 | RSCAN0TMSTS63 | 00 _H | 8 | FFD0 030F _H | 2 | 8 |
| RSCAN0 | 送信バッファ送信要求ステータスレジスタ 0 | RSCAN0TMTRSTS0 | 0000 0000 _H | 32 | FFD0 0350 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ送信要求ステータスレジスタ 1 | RSCAN0TMTRSTS1 | 0000 0000 _H | 32 | FFD0 0354 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ送信アボート要求ステータスレジスタ 0 | RSCAN0TMTARSTS0 | 0000 0000 _H | 32 | FFD0 0360 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ送信アボート要求ステータスレジスタ 1 | RSCAN0TMTARSTS1 | 0000 0000 _H | 32 | FFD0 0364 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ送信完了ステータスレジスタ 0 | RSCAN0TMTCTS0 | 0000 0000 _H | 32 | FFD0 0370 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ送信完了ステータスレジスタ 1 | RSCAN0TMTCTS1 | 0000 0000 _H | 32 | FFD0 0374 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ送信アボートステータスレジスタ 0 | RSCAN0TMTASTS0 | 0000 0000 _H | 32 | FFD0 0380 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ送信アボートステータスレジスタ 1 | RSCAN0TMTASTS1 | 0000 0000 _H | 32 | FFD0 0384 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ割り込みイネーブルコンフィグレーションレジスタ 0 | RSCAN0TMIEC0 | 0000 0000 _H | 32 | FFD0 0390 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ割り込みイネーブルコンフィグレーションレジスタ 1 | RSCAN0TMIEC1 | 0000 0000 _H | 32 | FFD0 0394 _H | 2 | 8、16、32 |
| RSCAN0 | 送信キューコンフィグレーション/制御レジスタ 0 | RSCAN0TXQCC0 | 0000 0000 _H | 32 | FFD0 03A0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信キューコンフィグレーション/制御レジスタ 1 | RSCAN0TXQCC1 | 0000 0000 _H | 32 | FFD0 03A4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信キューコンフィグレーション/制御レジスタ 2 | RSCAN0TXQCC2 | 0000 0000 _H | 32 | FFD0 03A8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信キューコンフィグレーション/制御レジスタ 3 | RSCAN0TXQCC3 | 0000 0000 _H | 32 | FFD0 03AC _H | 2 | 8、16、32 |
| RSCAN0 | 送信キューステータスレジスタ 0 | RSCAN0TXQSTS0 | 0000 0001 _H | 32 | FFD0 03C0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信キューステータスレジスタ 1 | RSCAN0TXQSTS1 | 0000 0001 _H | 32 | FFD0 03C4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信キューステータスレジスタ 2 | RSCAN0TXQSTS2 | 0000 0001 _H | 32 | FFD0 03C8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信キューステータスレジスタ 3 | RSCAN0TXQSTS3 | 0000 0001 _H | 32 | FFD0 03CC _H | 2 | 8、16、32 |
| RSCAN0 | 送信キューポインタ制御レジスタ 0 | RSCAN0TXQPCTR0 | 0000 0000 _H | 32 | FFD0 03E0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信キューポインタ制御レジスタ 1 | RSCAN0TXQPCTR1 | 0000 0000 _H | 32 | FFD0 03E4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信キューポインタ制御レジスタ 2 | RSCAN0TXQPCTR2 | 0000 0000 _H | 32 | FFD0 03E8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信キューポインタ制御レジスタ 3 | RSCAN0TXQPCTR3 | 0000 0000 _H | 32 | FFD0 03EC _H | 2 | 8、16、32 |
| RSCAN0 | 送信履歴コンフィグレーション/制御レジスタ 0 | RSCAN0THLCC0 | 0000 0000 _H | 32 | FFD0 0400 _H | 2 | 8、16、32 |
| RSCAN0 | 送信履歴コンフィグレーション/制御レジスタ 1 | RSCAN0THLCC1 | 0000 0000 _H | 32 | FFD0 0404 _H | 2 | 8、16、32 |
| RSCAN0 | 送信履歴コンフィグレーション/制御レジスタ 2 | RSCAN0THLCC2 | 0000 0000 _H | 32 | FFD0 0408 _H | 2 | 8、16、32 |
| RSCAN0 | 送信履歴コンフィグレーション/制御レジスタ 3 | RSCAN0THLCC3 | 0000 0000 _H | 32 | FFD0 040C _H | 2 | 8、16、32 |
| RSCAN0 | 送信履歴ステータスレジスタ 0 | RSCAN0THLSTS0 | 0000 0001 _H | 32 | FFD0 0420 _H | 2 | 8、16、32 |
| RSCAN0 | 送信履歴ステータスレジスタ 1 | RSCAN0THLSTS1 | 0000 0001 _H | 32 | FFD0 0424 _H | 2 | 8、16、32 |
| RSCAN0 | 送信履歴ステータスレジスタ 2 | RSCAN0THLSTS2 | 0000 0001 _H | 32 | FFD0 0428 _H | 2 | 8、16、32 |
| RSCAN0 | 送信履歴ステータスレジスタ 3 | RSCAN0THLSTS3 | 0000 0001 _H | 32 | FFD0 042C _H | 2 | 8、16、32 |
| RSCAN0 | 送信履歴ポインタ制御レジスタ 0 | RSCAN0THLPCTR0 | 0000 0000 _H | 32 | FFD0 0440 _H | 2 | 8、16、32 |

(35/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------|-----------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 送信履歴ポインタ制御レジスタ 1 | RSCAN0THLPCTR1 | 0000 0000 _H | 32 | FFD0 0444 _H | 2 | 8、16、32 |
| RSCAN0 | 送信履歴ポインタ制御レジスタ 2 | RSCAN0THLPCTR2 | 0000 0000 _H | 32 | FFD0 0448 _H | 2 | 8、16、32 |
| RSCAN0 | 送信履歴ポインタ制御レジスタ 3 | RSCAN0THLPCTR3 | 0000 0000 _H | 32 | FFD0 044C _H | 2 | 8、16、32 |
| RSCAN0 | グローバル TX 割り込みステータスレジスタ 0 | RSCAN0GTINTSTS0 | 0000 0000 _H | 32 | FFD0 0460 _H | 2 | 8、16、32 |
| RSCAN0 | グローバルテストコンフィグレーションレジスタ | RSCAN0GTSTCFG | 0000 0000 _H | 32 | FFD0 0468 _H | 2 | 8、16、32 |
| RSCAN0 | グローバルテスト制御レジスタ | RSCAN0GTSTCTR | 0000 0000 _H | 32 | FFD0 046C _H | 2 | 8、16、32 |
| RSCAN0 | グローバルロックキーレジスタ | RSCAN0GLOCKK | 0000 0000 _H | 32 | FFD0 047C _H | 2 | 16、32 |
| RSCAN0 | 受信ルール ID レジスタ 0 | RSCAN0GAFLID0 | 0000 0000 _H | 32 | FFD0 0500 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールマスクレジスタ 0 | RSCAN0GAFLM0 | 0000 0000 _H | 32 | FFD0 0504 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 0 レジスタ 0 | RSCAN0GAFLP00 | 0000 0000 _H | 32 | FFD0 0508 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 1 レジスタ 0 | RSCAN0GAFLP10 | 0000 0000 _H | 32 | FFD0 050C _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルール ID レジスタ 1 | RSCAN0GAFLID1 | 0000 0000 _H | 32 | FFD0 0510 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールマスクレジスタ 1 | RSCAN0GAFLM1 | 0000 0000 _H | 32 | FFD0 0514 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 0 レジスタ 1 | RSCAN0GAFLP01 | 0000 0000 _H | 32 | FFD0 0518 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 1 レジスタ 1 | RSCAN0GAFLP11 | 0000 0000 _H | 32 | FFD0 051C _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルール ID レジスタ 2 | RSCAN0GAFLID2 | 0000 0000 _H | 32 | FFD0 0520 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールマスクレジスタ 2 | RSCAN0GAFLM2 | 0000 0000 _H | 32 | FFD0 0524 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 0 レジスタ 2 | RSCAN0GAFLP02 | 0000 0000 _H | 32 | FFD0 0528 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 1 レジスタ 2 | RSCAN0GAFLP12 | 0000 0000 _H | 32 | FFD0 052C _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルール ID レジスタ 3 | RSCAN0GAFLID3 | 0000 0000 _H | 32 | FFD0 0530 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールマスクレジスタ 3 | RSCAN0GAFLM3 | 0000 0000 _H | 32 | FFD0 0534 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 0 レジスタ 3 | RSCAN0GAFLP03 | 0000 0000 _H | 32 | FFD0 0538 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 1 レジスタ 3 | RSCAN0GAFLP13 | 0000 0000 _H | 32 | FFD0 053C _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルール ID レジスタ 4 | RSCAN0GAFLID4 | 0000 0000 _H | 32 | FFD0 0540 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールマスクレジスタ 4 | RSCAN0GAFLM4 | 0000 0000 _H | 32 | FFD0 0544 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 0 レジスタ 4 | RSCAN0GAFLP04 | 0000 0000 _H | 32 | FFD0 0548 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 1 レジスタ 4 | RSCAN0GAFLP14 | 0000 0000 _H | 32 | FFD0 054C _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルール ID レジスタ 5 | RSCAN0GAFLID5 | 0000 0000 _H | 32 | FFD0 0550 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールマスクレジスタ 5 | RSCAN0GAFLM5 | 0000 0000 _H | 32 | FFD0 0554 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 0 レジスタ 5 | RSCAN0GAFLP05 | 0000 0000 _H | 32 | FFD0 0558 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 1 レジスタ 5 | RSCAN0GAFLP15 | 0000 0000 _H | 32 | FFD0 055C _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルール ID レジスタ 6 | RSCAN0GAFLID6 | 0000 0000 _H | 32 | FFD0 0560 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールマスクレジスタ 6 | RSCAN0GAFLM6 | 0000 0000 _H | 32 | FFD0 0564 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 0 レジスタ 6 | RSCAN0GAFLP06 | 0000 0000 _H | 32 | FFD0 0568 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 1 レジスタ 6 | RSCAN0GAFLP16 | 0000 0000 _H | 32 | FFD0 056C _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルール ID レジスタ 7 | RSCAN0GAFLID7 | 0000 0000 _H | 32 | FFD0 0570 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールマスクレジスタ 7 | RSCAN0GAFLM7 | 0000 0000 _H | 32 | FFD0 0574 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 0 レジスタ 7 | RSCAN0GAFLP07 | 0000 0000 _H | 32 | FFD0 0578 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 1 レジスタ 7 | RSCAN0GAFLP17 | 0000 0000 _H | 32 | FFD0 057C _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルール ID レジスタ 8 | RSCAN0GAFLID8 | 0000 0000 _H | 32 | FFD0 0580 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールマスクレジスタ 8 | RSCAN0GAFLM8 | 0000 0000 _H | 32 | FFD0 0584 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 0 レジスタ 8 | RSCAN0GAFLP08 | 0000 0000 _H | 32 | FFD0 0588 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 1 レジスタ 8 | RSCAN0GAFLP18 | 0000 0000 _H | 32 | FFD0 058C _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルール ID レジスタ 9 | RSCAN0GAFLID9 | 0000 0000 _H | 32 | FFD0 0590 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールマスクレジスタ 9 | RSCAN0GAFLM9 | 0000 0000 _H | 32 | FFD0 0594 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 0 レジスタ 9 | RSCAN0GAFLP09 | 0000 0000 _H | 32 | FFD0 0598 _H | 2 | 8、16、32 |

(36/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-------------------------|----------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 受信ルールポインタ 1 レジスタ 9 | RSCAN0GAFLP19 | 0000 0000 _H | 32 | FFD0 059C _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルール ID レジスタ 10 | RSCAN0GAFLID10 | 0000 0000 _H | 32 | FFD0 05A0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールマスクレジスタ 10 | RSCAN0GAFLM10 | 0000 0000 _H | 32 | FFD0 05A4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 0 レジスタ 10 | RSCAN0GAFLP010 | 0000 0000 _H | 32 | FFD0 05A8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 1 レジスタ 10 | RSCAN0GAFLP110 | 0000 0000 _H | 32 | FFD0 05AC _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルール ID レジスタ 11 | RSCAN0GAFLID11 | 0000 0000 _H | 32 | FFD0 05B0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールマスクレジスタ 11 | RSCAN0GAFLM11 | 0000 0000 _H | 32 | FFD0 05B4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 0 レジスタ 11 | RSCAN0GAFLP011 | 0000 0000 _H | 32 | FFD0 05B8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 1 レジスタ 11 | RSCAN0GAFLP111 | 0000 0000 _H | 32 | FFD0 05BC _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルール ID レジスタ 12 | RSCAN0GAFLID12 | 0000 0000 _H | 32 | FFD0 05C0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールマスクレジスタ 12 | RSCAN0GAFLM12 | 0000 0000 _H | 32 | FFD0 05C4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 0 レジスタ 12 | RSCAN0GAFLP012 | 0000 0000 _H | 32 | FFD0 05C8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 1 レジスタ 12 | RSCAN0GAFLP112 | 0000 0000 _H | 32 | FFD0 05CC _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルール ID レジスタ 13 | RSCAN0GAFLID13 | 0000 0000 _H | 32 | FFD0 05D0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールマスクレジスタ 13 | RSCAN0GAFLM13 | 0000 0000 _H | 32 | FFD0 05D4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 0 レジスタ 13 | RSCAN0GAFLP013 | 0000 0000 _H | 32 | FFD0 05D8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 1 レジスタ 13 | RSCAN0GAFLP113 | 0000 0000 _H | 32 | FFD0 05DC _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルール ID レジスタ 14 | RSCAN0GAFLID14 | 0000 0000 _H | 32 | FFD0 05E0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールマスクレジスタ 14 | RSCAN0GAFLM14 | 0000 0000 _H | 32 | FFD0 05E4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 0 レジスタ 14 | RSCAN0GAFLP014 | 0000 0000 _H | 32 | FFD0 05E8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 1 レジスタ 14 | RSCAN0GAFLP114 | 0000 0000 _H | 32 | FFD0 05EC _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルール ID レジスタ 15 | RSCAN0GAFLID15 | 0000 0000 _H | 32 | FFD0 05F0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールマスクレジスタ 15 | RSCAN0GAFLM15 | 0000 0000 _H | 32 | FFD0 05F4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 0 レジスタ 15 | RSCAN0GAFLP015 | 0000 0000 _H | 32 | FFD0 05F8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信ルールポインタ 1 レジスタ 15 | RSCAN0GAFLP115 | 0000 0000 _H | 32 | FFD0 05FC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 0 | RSCAN0RMID0 | 0000 0000 _H | 32 | FFD0 0600 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 0 | RSCAN0RMPTR0 | 0000 0000 _H | 32 | FFD0 0604 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 0 | RSCAN0RMDf00 | 0000 0000 _H | 32 | FFD0 0608 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 0 | RSCAN0RMDf10 | 0000 0000 _H | 32 | FFD0 060C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 1 | RSCAN0RMID1 | 0000 0000 _H | 32 | FFD0 0610 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 1 | RSCAN0RMPTR1 | 0000 0000 _H | 32 | FFD0 0614 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 1 | RSCAN0RMDf01 | 0000 0000 _H | 32 | FFD0 0618 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 1 | RSCAN0RMDf11 | 0000 0000 _H | 32 | FFD0 061C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 2 | RSCAN0RMID2 | 0000 0000 _H | 32 | FFD0 0620 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 2 | RSCAN0RMPTR2 | 0000 0000 _H | 32 | FFD0 0624 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 2 | RSCAN0RMDf02 | 0000 0000 _H | 32 | FFD0 0628 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 2 | RSCAN0RMDf12 | 0000 0000 _H | 32 | FFD0 062C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 3 | RSCAN0RMID3 | 0000 0000 _H | 32 | FFD0 0630 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 3 | RSCAN0RMPTR3 | 0000 0000 _H | 32 | FFD0 0634 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 3 | RSCAN0RMDf03 | 0000 0000 _H | 32 | FFD0 0638 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 3 | RSCAN0RMDf13 | 0000 0000 _H | 32 | FFD0 063C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 4 | RSCAN0RMID4 | 0000 0000 _H | 32 | FFD0 0640 _H | 2 | 8、16、32 |

(37/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------|---------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 受信バッファポインタレジスタ 4 | RSCAN0RMPTR4 | 0000 0000 _H | 32 | FFD0 0644 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 4 | RSCAN0RMDf04 | 0000 0000 _H | 32 | FFD0 0648 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 4 | RSCAN0RMDf14 | 0000 0000 _H | 32 | FFD0 064C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 5 | RSCAN0RMID5 | 0000 0000 _H | 32 | FFD0 0650 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 5 | RSCAN0RMPTR5 | 0000 0000 _H | 32 | FFD0 0654 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 5 | RSCAN0RMDf05 | 0000 0000 _H | 32 | FFD0 0658 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 5 | RSCAN0RMDf15 | 0000 0000 _H | 32 | FFD0 065C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 6 | RSCAN0RMID6 | 0000 0000 _H | 32 | FFD0 0660 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 6 | RSCAN0RMPTR6 | 0000 0000 _H | 32 | FFD0 0664 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 6 | RSCAN0RMDf06 | 0000 0000 _H | 32 | FFD0 0668 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 6 | RSCAN0RMDf16 | 0000 0000 _H | 32 | FFD0 066C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 7 | RSCAN0RMID7 | 0000 0000 _H | 32 | FFD0 0670 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 7 | RSCAN0RMPTR7 | 0000 0000 _H | 32 | FFD0 0674 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 7 | RSCAN0RMDf07 | 0000 0000 _H | 32 | FFD0 0678 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 7 | RSCAN0RMDf17 | 0000 0000 _H | 32 | FFD0 067C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 8 | RSCAN0RMID8 | 0000 0000 _H | 32 | FFD0 0680 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 8 | RSCAN0RMPTR8 | 0000 0000 _H | 32 | FFD0 0684 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 8 | RSCAN0RMDf08 | 0000 0000 _H | 32 | FFD0 0688 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 8 | RSCAN0RMDf18 | 0000 0000 _H | 32 | FFD0 068C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 9 | RSCAN0RMID9 | 0000 0000 _H | 32 | FFD0 0690 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 9 | RSCAN0RMPTR9 | 0000 0000 _H | 32 | FFD0 0694 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 9 | RSCAN0RMDf09 | 0000 0000 _H | 32 | FFD0 0698 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 9 | RSCAN0RMDf19 | 0000 0000 _H | 32 | FFD0 069C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 10 | RSCAN0RMID10 | 0000 0000 _H | 32 | FFD0 06A0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 10 | RSCAN0RMPTR10 | 0000 0000 _H | 32 | FFD0 06A4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 10 | RSCAN0RMDf10 | 0000 0000 _H | 32 | FFD0 06A8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 10 | RSCAN0RMDf110 | 0000 0000 _H | 32 | FFD0 06AC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 11 | RSCAN0RMID11 | 0000 0000 _H | 32 | FFD0 06B0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 11 | RSCAN0RMPTR11 | 0000 0000 _H | 32 | FFD0 06B4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 11 | RSCAN0RMDf011 | 0000 0000 _H | 32 | FFD0 06B8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 11 | RSCAN0RMDf111 | 0000 0000 _H | 32 | FFD0 06BC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 12 | RSCAN0RMID12 | 0000 0000 _H | 32 | FFD0 06C0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 12 | RSCAN0RMPTR12 | 0000 0000 _H | 32 | FFD0 06C4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 12 | RSCAN0RMDf012 | 0000 0000 _H | 32 | FFD0 06C8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 12 | RSCAN0RMDf112 | 0000 0000 _H | 32 | FFD0 06CC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 13 | RSCAN0RMID13 | 0000 0000 _H | 32 | FFD0 06D0 _H | 2 | 8、16、32 |

(38/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------|---------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 受信バッファポインタレジスタ 13 | RSCAN0RMPTR13 | 0000 0000 _H | 32 | FFD0 06D4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 13 | RSCAN0RMDf013 | 0000 0000 _H | 32 | FFD0 06D8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 13 | RSCAN0RMDf113 | 0000 0000 _H | 32 | FFD0 06DC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 14 | RSCAN0RMID14 | 0000 0000 _H | 32 | FFD0 06E0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 14 | RSCAN0RMPTR14 | 0000 0000 _H | 32 | FFD0 06E4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 14 | RSCAN0RMDf014 | 0000 0000 _H | 32 | FFD0 06E8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 14 | RSCAN0RMDf114 | 0000 0000 _H | 32 | FFD0 06EC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 15 | RSCAN0RMID15 | 0000 0000 _H | 32 | FFD0 06F0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 15 | RSCAN0RMPTR15 | 0000 0000 _H | 32 | FFD0 06F4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 15 | RSCAN0RMDf015 | 0000 0000 _H | 32 | FFD0 06F8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 15 | RSCAN0RMDf115 | 0000 0000 _H | 32 | FFD0 06FC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 16 | RSCAN0RMID16 | 0000 0000 _H | 32 | FFD0 0700 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 16 | RSCAN0RMPTR16 | 0000 0000 _H | 32 | FFD0 0704 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 16 | RSCAN0RMDf016 | 0000 0000 _H | 32 | FFD0 0708 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 16 | RSCAN0RMDf116 | 0000 0000 _H | 32 | FFD0 070C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 17 | RSCAN0RMID17 | 0000 0000 _H | 32 | FFD0 0710 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 17 | RSCAN0RMPTR17 | 0000 0000 _H | 32 | FFD0 0714 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 17 | RSCAN0RMDf017 | 0000 0000 _H | 32 | FFD0 0718 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 17 | RSCAN0RMDf117 | 0000 0000 _H | 32 | FFD0 071C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 18 | RSCAN0RMID18 | 0000 0000 _H | 32 | FFD0 0720 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 18 | RSCAN0RMPTR18 | 0000 0000 _H | 32 | FFD0 0724 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 18 | RSCAN0RMDf018 | 0000 0000 _H | 32 | FFD0 0728 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 18 | RSCAN0RMDf118 | 0000 0000 _H | 32 | FFD0 072C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 19 | RSCAN0RMID19 | 0000 0000 _H | 32 | FFD0 0730 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 19 | RSCAN0RMPTR19 | 0000 0000 _H | 32 | FFD0 0734 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 19 | RSCAN0RMDf019 | 0000 0000 _H | 32 | FFD0 0738 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 19 | RSCAN0RMDf119 | 0000 0000 _H | 32 | FFD0 073C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 20 | RSCAN0RMID20 | 0000 0000 _H | 32 | FFD0 0740 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 20 | RSCAN0RMPTR20 | 0000 0000 _H | 32 | FFD0 0744 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 20 | RSCAN0RMDf020 | 0000 0000 _H | 32 | FFD0 0748 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 20 | RSCAN0RMDf120 | 0000 0000 _H | 32 | FFD0 074C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 21 | RSCAN0RMID21 | 0000 0000 _H | 32 | FFD0 0750 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 21 | RSCAN0RMPTR21 | 0000 0000 _H | 32 | FFD0 0754 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 21 | RSCAN0RMDf021 | 0000 0000 _H | 32 | FFD0 0758 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 21 | RSCAN0RMDf121 | 0000 0000 _H | 32 | FFD0 075C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 22 | RSCAN0RMID22 | 0000 0000 _H | 32 | FFD0 0760 _H | 2 | 8、16、32 |

(39/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------|---------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 受信バッファポインタレジスタ 22 | RSCAN0RMPTR22 | 0000 0000 _H | 32 | FFD0 0764 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 22 | RSCAN0RMDf022 | 0000 0000 _H | 32 | FFD0 0768 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 22 | RSCAN0RMDf122 | 0000 0000 _H | 32 | FFD0 076C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 23 | RSCAN0RMID23 | 0000 0000 _H | 32 | FFD0 0770 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 23 | RSCAN0RMPTR23 | 0000 0000 _H | 32 | FFD0 0774 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 23 | RSCAN0RMDf023 | 0000 0000 _H | 32 | FFD0 0778 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 23 | RSCAN0RMDf123 | 0000 0000 _H | 32 | FFD0 077C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 24 | RSCAN0RMID24 | 0000 0000 _H | 32 | FFD0 0780 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 24 | RSCAN0RMPTR24 | 0000 0000 _H | 32 | FFD0 0784 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 24 | RSCAN0RMDf024 | 0000 0000 _H | 32 | FFD0 0788 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 24 | RSCAN0RMDf124 | 0000 0000 _H | 32 | FFD0 078C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 25 | RSCAN0RMID25 | 0000 0000 _H | 32 | FFD0 0790 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 25 | RSCAN0RMPTR25 | 0000 0000 _H | 32 | FFD0 0794 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 25 | RSCAN0RMDf025 | 0000 0000 _H | 32 | FFD0 0798 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 25 | RSCAN0RMDf125 | 0000 0000 _H | 32 | FFD0 079C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 26 | RSCAN0RMID26 | 0000 0000 _H | 32 | FFD0 07A0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 26 | RSCAN0RMPTR26 | 0000 0000 _H | 32 | FFD0 07A4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 26 | RSCAN0RMDf026 | 0000 0000 _H | 32 | FFD0 07A8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 26 | RSCAN0RMDf126 | 0000 0000 _H | 32 | FFD0 07AC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 27 | RSCAN0RMID27 | 0000 0000 _H | 32 | FFD0 07B0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 27 | RSCAN0RMPTR27 | 0000 0000 _H | 32 | FFD0 07B4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 27 | RSCAN0RMDf027 | 0000 0000 _H | 32 | FFD0 07B8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 27 | RSCAN0RMDf127 | 0000 0000 _H | 32 | FFD0 07BC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 28 | RSCAN0RMID28 | 0000 0000 _H | 32 | FFD0 07C0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 28 | RSCAN0RMPTR28 | 0000 0000 _H | 32 | FFD0 07C4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 28 | RSCAN0RMDf028 | 0000 0000 _H | 32 | FFD0 07C8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 28 | RSCAN0RMDf128 | 0000 0000 _H | 32 | FFD0 07CC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 29 | RSCAN0RMID29 | 0000 0000 _H | 32 | FFD0 07D0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 29 | RSCAN0RMPTR29 | 0000 0000 _H | 32 | FFD0 07D4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 29 | RSCAN0RMDf029 | 0000 0000 _H | 32 | FFD0 07D8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 29 | RSCAN0RMDf129 | 0000 0000 _H | 32 | FFD0 07DC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 30 | RSCAN0RMID30 | 0000 0000 _H | 32 | FFD0 07E0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 30 | RSCAN0RMPTR30 | 0000 0000 _H | 32 | FFD0 07E4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 30 | RSCAN0RMDf030 | 0000 0000 _H | 32 | FFD0 07E8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 30 | RSCAN0RMDf130 | 0000 0000 _H | 32 | FFD0 07EC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 31 | RSCAN0RMID31 | 0000 0000 _H | 32 | FFD0 07F0 _H | 2 | 8、16、32 |

(40/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------|---------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 受信バッファポインタレジスタ 31 | RSCAN0RMPTR31 | 0000 0000 _H | 32 | FFD0 07F4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 31 | RSCAN0RMDf031 | 0000 0000 _H | 32 | FFD0 07F8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 31 | RSCAN0RMDf131 | 0000 0000 _H | 32 | FFD0 07FC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 32 | RSCAN0RMID32 | 0000 0000 _H | 32 | FFD0 0800 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 32 | RSCAN0RMPTR32 | 0000 0000 _H | 32 | FFD0 0804 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 32 | RSCAN0RMDf032 | 0000 0000 _H | 32 | FFD0 0808 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 32 | RSCAN0RMDf132 | 0000 0000 _H | 32 | FFD0 080C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 33 | RSCAN0RMID33 | 0000 0000 _H | 32 | FFD0 0810 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 33 | RSCAN0RMPTR33 | 0000 0000 _H | 32 | FFD0 0814 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 33 | RSCAN0RMDf033 | 0000 0000 _H | 32 | FFD0 0818 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 33 | RSCAN0RMDf133 | 0000 0000 _H | 32 | FFD0 081C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 34 | RSCAN0RMID34 | 0000 0000 _H | 32 | FFD0 0820 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 34 | RSCAN0RMPTR34 | 0000 0000 _H | 32 | FFD0 0824 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 34 | RSCAN0RMDf034 | 0000 0000 _H | 32 | FFD0 0828 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 34 | RSCAN0RMDf134 | 0000 0000 _H | 32 | FFD0 082C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 35 | RSCAN0RMID35 | 0000 0000 _H | 32 | FFD0 0830 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 35 | RSCAN0RMPTR35 | 0000 0000 _H | 32 | FFD0 0834 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 35 | RSCAN0RMDf035 | 0000 0000 _H | 32 | FFD0 0838 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 35 | RSCAN0RMDf135 | 0000 0000 _H | 32 | FFD0 083C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 36 | RSCAN0RMID36 | 0000 0000 _H | 32 | FFD0 0840 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 36 | RSCAN0RMPTR36 | 0000 0000 _H | 32 | FFD0 0844 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 36 | RSCAN0RMDf036 | 0000 0000 _H | 32 | FFD0 0848 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 36 | RSCAN0RMDf136 | 0000 0000 _H | 32 | FFD0 084C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 37 | RSCAN0RMID37 | 0000 0000 _H | 32 | FFD0 0850 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 37 | RSCAN0RMPTR37 | 0000 0000 _H | 32 | FFD0 0854 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 37 | RSCAN0RMDf037 | 0000 0000 _H | 32 | FFD0 0858 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 37 | RSCAN0RMDf137 | 0000 0000 _H | 32 | FFD0 085C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 38 | RSCAN0RMID38 | 0000 0000 _H | 32 | FFD0 0860 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 38 | RSCAN0RMPTR38 | 0000 0000 _H | 32 | FFD0 0864 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 38 | RSCAN0RMDf038 | 0000 0000 _H | 32 | FFD0 0868 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 38 | RSCAN0RMDf138 | 0000 0000 _H | 32 | FFD0 086C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 39 | RSCAN0RMID39 | 0000 0000 _H | 32 | FFD0 0870 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 39 | RSCAN0RMPTR39 | 0000 0000 _H | 32 | FFD0 0874 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 39 | RSCAN0RMDf039 | 0000 0000 _H | 32 | FFD0 0878 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 39 | RSCAN0RMDf139 | 0000 0000 _H | 32 | FFD0 087C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 40 | RSCAN0RMID40 | 0000 0000 _H | 32 | FFD0 0880 _H | 2 | 8、16、32 |

(41/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------|---------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 受信バッファポインタレジスタ 40 | RSCAN0RMPTR40 | 0000 0000 _H | 32 | FFD0 0884 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 40 | RSCAN0RMDf040 | 0000 0000 _H | 32 | FFD0 0888 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 40 | RSCAN0RMDf140 | 0000 0000 _H | 32 | FFD0 088C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 41 | RSCAN0RMID41 | 0000 0000 _H | 32 | FFD0 0890 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 41 | RSCAN0RMPTR41 | 0000 0000 _H | 32 | FFD0 0894 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 41 | RSCAN0RMDf041 | 0000 0000 _H | 32 | FFD0 0898 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 41 | RSCAN0RMDf141 | 0000 0000 _H | 32 | FFD0 089C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 42 | RSCAN0RMID42 | 0000 0000 _H | 32 | FFD0 08A0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 42 | RSCAN0RMPTR42 | 0000 0000 _H | 32 | FFD0 08A4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 42 | RSCAN0RMDf042 | 0000 0000 _H | 32 | FFD0 08A8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 42 | RSCAN0RMDf142 | 0000 0000 _H | 32 | FFD0 08AC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 43 | RSCAN0RMID43 | 0000 0000 _H | 32 | FFD0 08B0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 43 | RSCAN0RMPTR43 | 0000 0000 _H | 32 | FFD0 08B4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 43 | RSCAN0RMDf043 | 0000 0000 _H | 32 | FFD0 08B8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 43 | RSCAN0RMDf143 | 0000 0000 _H | 32 | FFD0 08BC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 44 | RSCAN0RMID44 | 0000 0000 _H | 32 | FFD0 08C0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 44 | RSCAN0RMPTR44 | 0000 0000 _H | 32 | FFD0 08C4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 44 | RSCAN0RMDf044 | 0000 0000 _H | 32 | FFD0 08C8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 44 | RSCAN0RMDf144 | 0000 0000 _H | 32 | FFD0 08CC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 45 | RSCAN0RMID45 | 0000 0000 _H | 32 | FFD0 08D0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 45 | RSCAN0RMPTR45 | 0000 0000 _H | 32 | FFD0 08D4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 45 | RSCAN0RMDf045 | 0000 0000 _H | 32 | FFD0 08D8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 45 | RSCAN0RMDf145 | 0000 0000 _H | 32 | FFD0 08DC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 46 | RSCAN0RMID46 | 0000 0000 _H | 32 | FFD0 08E0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 46 | RSCAN0RMPTR46 | 0000 0000 _H | 32 | FFD0 08E4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 46 | RSCAN0RMDf046 | 0000 0000 _H | 32 | FFD0 08E8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 46 | RSCAN0RMDf146 | 0000 0000 _H | 32 | FFD0 08EC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 47 | RSCAN0RMID47 | 0000 0000 _H | 32 | FFD0 08F0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 47 | RSCAN0RMPTR47 | 0000 0000 _H | 32 | FFD0 08F4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 47 | RSCAN0RMDf047 | 0000 0000 _H | 32 | FFD0 08F8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 47 | RSCAN0RMDf147 | 0000 0000 _H | 32 | FFD0 08FC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 48 | RSCAN0RMID48 | 0000 0000 _H | 32 | FFD0 0900 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 48 | RSCAN0RMPTR48 | 0000 0000 _H | 32 | FFD0 0904 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 48 | RSCAN0RMDf048 | 0000 0000 _H | 32 | FFD0 0908 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 48 | RSCAN0RMDf148 | 0000 0000 _H | 32 | FFD0 090C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 49 | RSCAN0RMID49 | 0000 0000 _H | 32 | FFD0 0910 _H | 2 | 8、16、32 |

(42/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------|---------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 受信バッファポインタレジスタ 49 | RSCAN0RMPTR49 | 0000 0000 _H | 32 | FFD0 0914 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 49 | RSCAN0RMDf049 | 0000 0000 _H | 32 | FFD0 0918 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 49 | RSCAN0RMDf149 | 0000 0000 _H | 32 | FFD0 091C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 50 | RSCAN0RMID50 | 0000 0000 _H | 32 | FFD0 0920 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 50 | RSCAN0RMPTR50 | 0000 0000 _H | 32 | FFD0 0924 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 50 | RSCAN0RMDf050 | 0000 0000 _H | 32 | FFD0 0928 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 50 | RSCAN0RMDf150 | 0000 0000 _H | 32 | FFD0 092C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 51 | RSCAN0RMID51 | 0000 0000 _H | 32 | FFD0 0930 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 51 | RSCAN0RMPTR51 | 0000 0000 _H | 32 | FFD0 0934 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 51 | RSCAN0RMDf051 | 0000 0000 _H | 32 | FFD0 0938 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 51 | RSCAN0RMDf151 | 0000 0000 _H | 32 | FFD0 093C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 52 | RSCAN0RMID52 | 0000 0000 _H | 32 | FFD0 0940 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 52 | RSCAN0RMPTR52 | 0000 0000 _H | 32 | FFD0 0944 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 52 | RSCAN0RMDf052 | 0000 0000 _H | 32 | FFD0 0948 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 52 | RSCAN0RMDf152 | 0000 0000 _H | 32 | FFD0 094C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 53 | RSCAN0RMID53 | 0000 0000 _H | 32 | FFD0 0950 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 53 | RSCAN0RMPTR53 | 0000 0000 _H | 32 | FFD0 0954 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 53 | RSCAN0RMDf053 | 0000 0000 _H | 32 | FFD0 0958 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 53 | RSCAN0RMDf153 | 0000 0000 _H | 32 | FFD0 095C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 54 | RSCAN0RMID54 | 0000 0000 _H | 32 | FFD0 0960 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 54 | RSCAN0RMPTR54 | 0000 0000 _H | 32 | FFD0 0964 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 54 | RSCAN0RMDf054 | 0000 0000 _H | 32 | FFD0 0968 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 54 | RSCAN0RMDf154 | 0000 0000 _H | 32 | FFD0 096C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 55 | RSCAN0RMID55 | 0000 0000 _H | 32 | FFD0 0970 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 55 | RSCAN0RMPTR55 | 0000 0000 _H | 32 | FFD0 0974 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 55 | RSCAN0RMDf055 | 0000 0000 _H | 32 | FFD0 0978 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 55 | RSCAN0RMDf155 | 0000 0000 _H | 32 | FFD0 097C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 56 | RSCAN0RMID56 | 0000 0000 _H | 32 | FFD0 0980 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 56 | RSCAN0RMPTR56 | 0000 0000 _H | 32 | FFD0 0984 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 56 | RSCAN0RMDf056 | 0000 0000 _H | 32 | FFD0 0988 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 56 | RSCAN0RMDf156 | 0000 0000 _H | 32 | FFD0 098C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 57 | RSCAN0RMID57 | 0000 0000 _H | 32 | FFD0 0990 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 57 | RSCAN0RMPTR57 | 0000 0000 _H | 32 | FFD0 0994 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 57 | RSCAN0RMDf057 | 0000 0000 _H | 32 | FFD0 0998 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 57 | RSCAN0RMDf157 | 0000 0000 _H | 32 | FFD0 099C _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 58 | RSCAN0RMID58 | 0000 0000 _H | 32 | FFD0 09A0 _H | 2 | 8、16、32 |

(43/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------------------|---------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 受信バッファポインタレジスタ 58 | RSCAN0RMPTR58 | 0000 0000 _H | 32 | FFD0 09A4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 58 | RSCAN0RMDf058 | 0000 0000 _H | 32 | FFD0 09A8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 58 | RSCAN0RMDf158 | 0000 0000 _H | 32 | FFD0 09AC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 59 | RSCAN0RMID59 | 0000 0000 _H | 32 | FFD0 09B0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 59 | RSCAN0RMPTR59 | 0000 0000 _H | 32 | FFD0 09B4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 59 | RSCAN0RMDf059 | 0000 0000 _H | 32 | FFD0 09B8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 59 | RSCAN0RMDf159 | 0000 0000 _H | 32 | FFD0 09BC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 60 | RSCAN0RMID60 | 0000 0000 _H | 32 | FFD0 09C0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 60 | RSCAN0RMPTR60 | 0000 0000 _H | 32 | FFD0 09C4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 60 | RSCAN0RMDf060 | 0000 0000 _H | 32 | FFD0 09C8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 60 | RSCAN0RMDf160 | 0000 0000 _H | 32 | FFD0 09CC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 61 | RSCAN0RMID61 | 0000 0000 _H | 32 | FFD0 09D0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 61 | RSCAN0RMPTR61 | 0000 0000 _H | 32 | FFD0 09D4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 61 | RSCAN0RMDf061 | 0000 0000 _H | 32 | FFD0 09D8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 61 | RSCAN0RMDf161 | 0000 0000 _H | 32 | FFD0 09DC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 62 | RSCAN0RMID62 | 0000 0000 _H | 32 | FFD0 09E0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 62 | RSCAN0RMPTR62 | 0000 0000 _H | 32 | FFD0 09E4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 62 | RSCAN0RMDf062 | 0000 0000 _H | 32 | FFD0 09E8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 62 | RSCAN0RMDf162 | 0000 0000 _H | 32 | FFD0 09EC _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファ ID レジスタ 63 | RSCAN0RMID63 | 0000 0000 _H | 32 | FFD0 09F0 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファポインタレジスタ 63 | RSCAN0RMPTR63 | 0000 0000 _H | 32 | FFD0 09F4 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 0 レジスタ 63 | RSCAN0RMDf063 | 0000 0000 _H | 32 | FFD0 09F8 _H | 2 | 8、16、32 |
| RSCAN0 | 受信バッファデータフィールド 1 レジスタ 63 | RSCAN0RMDf163 | 0000 0000 _H | 32 | FFD0 09FC _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセス ID レジスタ 0 | RSCAN0RFID0 | 0000 0000 _H | 32 | FFD0 0E00 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスポインタレジスタ 0 | RSCAN0RFPTR0 | 0000 0000 _H | 32 | FFD0 0E04 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスデータフィールド 0 レジスタ 0 | RSCAN0RFDf00 | 0000 0000 _H | 32 | FFD0 0E08 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスデータフィールド 1 レジスタ 0 | RSCAN0RFDf10 | 0000 0000 _H | 32 | FFD0 0E0C _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセス ID レジスタ 1 | RSCAN0RFID1 | 0000 0000 _H | 32 | FFD0 0E10 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスポインタレジスタ 1 | RSCAN0RFPTR1 | 0000 0000 _H | 32 | FFD0 0E14 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスデータフィールド 0 レジスタ 1 | RSCAN0RFDf01 | 0000 0000 _H | 32 | FFD0 0E18 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスデータフィールド 1 レジスタ 1 | RSCAN0RFDf11 | 0000 0000 _H | 32 | FFD0 0E1C _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセス ID レジスタ 2 | RSCAN0RFID2 | 0000 0000 _H | 32 | FFD0 0E20 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスポインタレジスタ 2 | RSCAN0RFPTR2 | 0000 0000 _H | 32 | FFD0 0E24 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスデータフィールド 0 レジスタ 2 | RSCAN0RFDf02 | 0000 0000 _H | 32 | FFD0 0E28 _H | 2 | 8、16、32 |

(44/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------------|--------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 受信 FIFO バッファアクセスデータフィールド 1 レジスタ 2 | RSCAN0RFDF12 | 0000 0000 _H | 32 | FFD0 0E2C _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセス ID レジスタ 3 | RSCAN0RFID3 | 0000 0000 _H | 32 | FFD0 0E30 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスポイントレジスタ 3 | RSCAN0RFPTR3 | 0000 0000 _H | 32 | FFD0 0E34 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスデータフィールド 0 レジスタ 3 | RSCAN0RFDF03 | 0000 0000 _H | 32 | FFD0 0E38 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスデータフィールド 1 レジスタ 3 | RSCAN0RFDF13 | 0000 0000 _H | 32 | FFD0 0E3C _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセス ID レジスタ 4 | RSCAN0RFID4 | 0000 0000 _H | 32 | FFD0 0E40 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスポイントレジスタ 4 | RSCAN0RFPTR4 | 0000 0000 _H | 32 | FFD0 0E44 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスデータフィールド 0 レジスタ 4 | RSCAN0RFDF04 | 0000 0000 _H | 32 | FFD0 0E48 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスデータフィールド 1 レジスタ 4 | RSCAN0RFDF14 | 0000 0000 _H | 32 | FFD0 0E4C _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセス ID レジスタ 5 | RSCAN0RFID5 | 0000 0000 _H | 32 | FFD0 0E50 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスポイントレジスタ 5 | RSCAN0RFPTR5 | 0000 0000 _H | 32 | FFD0 0E54 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスデータフィールド 0 レジスタ 5 | RSCAN0RFDF05 | 0000 0000 _H | 32 | FFD0 0E58 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスデータフィールド 1 レジスタ 5 | RSCAN0RFDF15 | 0000 0000 _H | 32 | FFD0 0E5C _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセス ID レジスタ 6 | RSCAN0RFID6 | 0000 0000 _H | 32 | FFD0 0E60 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスポイントレジスタ 6 | RSCAN0RFPTR6 | 0000 0000 _H | 32 | FFD0 0E64 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスデータフィールド 0 レジスタ 6 | RSCAN0RFDF06 | 0000 0000 _H | 32 | FFD0 0E68 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスデータフィールド 1 レジスタ 6 | RSCAN0RFDF16 | 0000 0000 _H | 32 | FFD0 0E6C _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセス ID レジスタ 7 | RSCAN0RFID7 | 0000 0000 _H | 32 | FFD0 0E70 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスポイントレジスタ 7 | RSCAN0RFPTR7 | 0000 0000 _H | 32 | FFD0 0E74 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスデータフィールド 0 レジスタ 7 | RSCAN0RFDF07 | 0000 0000 _H | 32 | FFD0 0E78 _H | 2 | 8、16、32 |
| RSCAN0 | 受信 FIFO バッファアクセスデータフィールド 1 レジスタ 7 | RSCAN0RFDF17 | 0000 0000 _H | 32 | FFD0 0E7C _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセス ID レジスタ 0 | RSCAN0CFID0 | 0000 0000 _H | 32 | FFD0 0E80 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスポイントレジスタ 0 | RSCAN0CFPTR0 | 0000 0000 _H | 32 | FFD0 0E84 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 0 | RSCAN0CFDF00 | 0000 0000 _H | 32 | FFD0 0E88 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 0 | RSCAN0CFDF10 | 0000 0000 _H | 32 | FFD0 0E8C _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセス ID レジスタ 1 | RSCAN0CFID1 | 0000 0000 _H | 32 | FFD0 0E90 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスポイントレジスタ 1 | RSCAN0CFPTR1 | 0000 0000 _H | 32 | FFD0 0E94 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 1 | RSCAN0CFDF01 | 0000 0000 _H | 32 | FFD0 0E98 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 1 | RSCAN0CFDF11 | 0000 0000 _H | 32 | FFD0 0E9C _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセス ID レジスタ 2 | RSCAN0CFID2 | 0000 0000 _H | 32 | FFD0 0EA0 _H | 2 | 8、16、32 |

(45/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------------|--------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 送受信 FIFO バッファアクセスポイントレジスタ 2 | RSCAN0CFPTR2 | 0000 0000 _H | 32 | FFD0 0EA4 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 2 | RSCAN0CFDF02 | 0000 0000 _H | 32 | FFD0 0EA8 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 2 | RSCAN0CFDF12 | 0000 0000 _H | 32 | FFD0 0EAC _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセス ID レジスタ 3 | RSCAN0CFID3 | 0000 0000 _H | 32 | FFD0 0EB0 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスポイントレジスタ 3 | RSCAN0CFPTR3 | 0000 0000 _H | 32 | FFD0 0EB4 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 3 | RSCAN0CFDF03 | 0000 0000 _H | 32 | FFD0 0EB8 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 3 | RSCAN0CFDF13 | 0000 0000 _H | 32 | FFD0 0EBC _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセス ID レジスタ 4 | RSCAN0CFID4 | 0000 0000 _H | 32 | FFD0 0EC0 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスポイントレジスタ 4 | RSCAN0CFPTR4 | 0000 0000 _H | 32 | FFD0 0EC4 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 4 | RSCAN0CFDF04 | 0000 0000 _H | 32 | FFD0 0EC8 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 4 | RSCAN0CFDF14 | 0000 0000 _H | 32 | FFD0 0ECC _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセス ID レジスタ 5 | RSCAN0CFID5 | 0000 0000 _H | 32 | FFD0 0ED0 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスポイントレジスタ 5 | RSCAN0CFPTR5 | 0000 0000 _H | 32 | FFD0 0ED4 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 5 | RSCAN0CFDF05 | 0000 0000 _H | 32 | FFD0 0ED8 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 5 | RSCAN0CFDF15 | 0000 0000 _H | 32 | FFD0 0EDC _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセス ID レジスタ 6 | RSCAN0CFID6 | 0000 0000 _H | 32 | FFD0 0EE0 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスポイントレジスタ 6 | RSCAN0CFPTR6 | 0000 0000 _H | 32 | FFD0 0EE4 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 6 | RSCAN0CFDF06 | 0000 0000 _H | 32 | FFD0 0EE8 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 6 | RSCAN0CFDF16 | 0000 0000 _H | 32 | FFD0 0EEC _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセス ID レジスタ 7 | RSCAN0CFID7 | 0000 0000 _H | 32 | FFD0 0EF0 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスポイントレジスタ 7 | RSCAN0CFPTR7 | 0000 0000 _H | 32 | FFD0 0EF4 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 7 | RSCAN0CFDF07 | 0000 0000 _H | 32 | FFD0 0EF8 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 7 | RSCAN0CFDF17 | 0000 0000 _H | 32 | FFD0 0EFC _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセス ID レジスタ 8 | RSCAN0CFID8 | 0000 0000 _H | 32 | FFD0 0F00 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスポイントレジスタ 8 | RSCAN0CFPTR8 | 0000 0000 _H | 32 | FFD0 0F04 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 8 | RSCAN0CFDF08 | 0000 0000 _H | 32 | FFD0 0F08 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 8 | RSCAN0CFDF18 | 0000 0000 _H | 32 | FFD0 0F0C _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセス ID レジスタ 9 | RSCAN0CFID9 | 0000 0000 _H | 32 | FFD0 0F10 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスポイントレジスタ 9 | RSCAN0CFPTR9 | 0000 0000 _H | 32 | FFD0 0F14 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 9 | RSCAN0CFDF09 | 0000 0000 _H | 32 | FFD0 0F18 _H | 2 | 8、16、32 |

(46/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------------|---------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド1レジスタ9 | RSCAN0CFDF19 | 0000 0000 _H | 32 | FFD0 0F1C _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセス ID レジスタ 10 | RSCAN0CFID10 | 0000 0000 _H | 32 | FFD0 0F20 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスポイントレジスタ 10 | RSCAN0CFPTR10 | 0000 0000 _H | 32 | FFD0 0F24 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド0レジスタ10 | RSCAN0CFDF010 | 0000 0000 _H | 32 | FFD0 0F28 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド1レジスタ10 | RSCAN0CFDF110 | 0000 0000 _H | 32 | FFD0 0F2C _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセス ID レジスタ 11 | RSCAN0CFID11 | 0000 0000 _H | 32 | FFD0 0F30 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスポイントレジスタ 11 | RSCAN0CFPTR11 | 0000 0000 _H | 32 | FFD0 0F34 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド0レジスタ11 | RSCAN0CFDF011 | 0000 0000 _H | 32 | FFD0 0F38 _H | 2 | 8、16、32 |
| RSCAN0 | 送受信 FIFO バッファアクセスデータフィールド1レジスタ11 | RSCAN0CFDF111 | 0000 0000 _H | 32 | FFD0 0F3C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ ID レジスタ 0 | RSCAN0TMID0 | 0000 0000 _H | 32 | FFD0 1000 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポイントレジスタ 0 | RSCAN0TMPTR0 | 0000 0000 _H | 32 | FFD0 1004 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ0 | RSCAN0TMDf00 | 0000 0000 _H | 32 | FFD0 1008 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ0 | RSCAN0TMDf10 | 0000 0000 _H | 32 | FFD0 100C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ ID レジスタ 1 | RSCAN0TMID1 | 0000 0000 _H | 32 | FFD0 1010 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポイントレジスタ 1 | RSCAN0TMPTR1 | 0000 0000 _H | 32 | FFD0 1014 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ1 | RSCAN0TMDf01 | 0000 0000 _H | 32 | FFD0 1018 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ1 | RSCAN0TMDf11 | 0000 0000 _H | 32 | FFD0 101C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ ID レジスタ 2 | RSCAN0TMID2 | 0000 0000 _H | 32 | FFD0 1020 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポイントレジスタ 2 | RSCAN0TMPTR2 | 0000 0000 _H | 32 | FFD0 1024 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ2 | RSCAN0TMDf02 | 0000 0000 _H | 32 | FFD0 1028 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ2 | RSCAN0TMDf12 | 0000 0000 _H | 32 | FFD0 102C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ ID レジスタ 3 | RSCAN0TMID3 | 0000 0000 _H | 32 | FFD0 1030 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポイントレジスタ 3 | RSCAN0TMPTR3 | 0000 0000 _H | 32 | FFD0 1034 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ3 | RSCAN0TMDf03 | 0000 0000 _H | 32 | FFD0 1038 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ3 | RSCAN0TMDf13 | 0000 0000 _H | 32 | FFD0 103C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ ID レジスタ 4 | RSCAN0TMID4 | 0000 0000 _H | 32 | FFD0 1040 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポイントレジスタ 4 | RSCAN0TMPTR4 | 0000 0000 _H | 32 | FFD0 1044 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ4 | RSCAN0TMDf04 | 0000 0000 _H | 32 | FFD0 1048 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ4 | RSCAN0TMDf14 | 0000 0000 _H | 32 | FFD0 104C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ ID レジスタ 5 | RSCAN0TMID5 | 0000 0000 _H | 32 | FFD0 1050 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポイントレジスタ 5 | RSCAN0TMPTR5 | 0000 0000 _H | 32 | FFD0 1054 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ5 | RSCAN0TMDf05 | 0000 0000 _H | 32 | FFD0 1058 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ5 | RSCAN0TMDf15 | 0000 0000 _H | 32 | FFD0 105C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ ID レジスタ 6 | RSCAN0TMID6 | 0000 0000 _H | 32 | FFD0 1060 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポイントレジスタ 6 | RSCAN0TMPTR6 | 0000 0000 _H | 32 | FFD0 1064 _H | 2 | 8、16、32 |

(47/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------|---------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 送信バッファデータフィールド0レジスタ6 | RSCAN0TMDf06 | 0000 0000 _H | 32 | FFD0 1068 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ6 | RSCAN0TMDf16 | 0000 0000 _H | 32 | FFD0 106C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ7 | RSCAN0TMID7 | 0000 0000 _H | 32 | FFD0 1070 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ7 | RSCAN0TMPTR7 | 0000 0000 _H | 32 | FFD0 1074 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ7 | RSCAN0TMDf07 | 0000 0000 _H | 32 | FFD0 1078 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ7 | RSCAN0TMDf17 | 0000 0000 _H | 32 | FFD0 107C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ8 | RSCAN0TMID8 | 0000 0000 _H | 32 | FFD0 1080 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ8 | RSCAN0TMPTR8 | 0000 0000 _H | 32 | FFD0 1084 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ8 | RSCAN0TMDf08 | 0000 0000 _H | 32 | FFD0 1088 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ8 | RSCAN0TMDf18 | 0000 0000 _H | 32 | FFD0 108C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ9 | RSCAN0TMID9 | 0000 0000 _H | 32 | FFD0 1090 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ9 | RSCAN0TMPTR9 | 0000 0000 _H | 32 | FFD0 1094 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ9 | RSCAN0TMDf09 | 0000 0000 _H | 32 | FFD0 1098 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ9 | RSCAN0TMDf19 | 0000 0000 _H | 32 | FFD0 109C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ10 | RSCAN0TMID10 | 0000 0000 _H | 32 | FFD0 10A0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ10 | RSCAN0TMPTR10 | 0000 0000 _H | 32 | FFD0 10A4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ10 | RSCAN0TMDf10 | 0000 0000 _H | 32 | FFD0 10A8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ10 | RSCAN0TMDf110 | 0000 0000 _H | 32 | FFD0 10AC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ11 | RSCAN0TMID11 | 0000 0000 _H | 32 | FFD0 10B0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ11 | RSCAN0TMPTR11 | 0000 0000 _H | 32 | FFD0 10B4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ11 | RSCAN0TMDf011 | 0000 0000 _H | 32 | FFD0 10B8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ11 | RSCAN0TMDf111 | 0000 0000 _H | 32 | FFD0 10BC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ12 | RSCAN0TMID12 | 0000 0000 _H | 32 | FFD0 10C0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ12 | RSCAN0TMPTR12 | 0000 0000 _H | 32 | FFD0 10C4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ12 | RSCAN0TMDf012 | 0000 0000 _H | 32 | FFD0 10C8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ12 | RSCAN0TMDf112 | 0000 0000 _H | 32 | FFD0 10CC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ13 | RSCAN0TMID13 | 0000 0000 _H | 32 | FFD0 10D0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ13 | RSCAN0TMPTR13 | 0000 0000 _H | 32 | FFD0 10D4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ13 | RSCAN0TMDf013 | 0000 0000 _H | 32 | FFD0 10D8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ13 | RSCAN0TMDf113 | 0000 0000 _H | 32 | FFD0 10DC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ14 | RSCAN0TMID14 | 0000 0000 _H | 32 | FFD0 10E0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ14 | RSCAN0TMPTR14 | 0000 0000 _H | 32 | FFD0 10E4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ14 | RSCAN0TMDf014 | 0000 0000 _H | 32 | FFD0 10E8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ14 | RSCAN0TMDf114 | 0000 0000 _H | 32 | FFD0 10EC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ15 | RSCAN0TMID15 | 0000 0000 _H | 32 | FFD0 10F0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ15 | RSCAN0TMPTR15 | 0000 0000 _H | 32 | FFD0 10F4 _H | 2 | 8、16、32 |

(48/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------|---------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 送信バッファデータフィールド0レジスタ15 | RSCAN0TMDf015 | 0000 0000 _H | 32 | FFD0 10F8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ15 | RSCAN0TMDf115 | 0000 0000 _H | 32 | FFD0 10FC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ16 | RSCAN0TMID16 | 0000 0000 _H | 32 | FFD0 1100 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ16 | RSCAN0TMPTR16 | 0000 0000 _H | 32 | FFD0 1104 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ16 | RSCAN0TMDf016 | 0000 0000 _H | 32 | FFD0 1108 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ16 | RSCAN0TMDf116 | 0000 0000 _H | 32 | FFD0 110C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ17 | RSCAN0TMID17 | 0000 0000 _H | 32 | FFD0 1110 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ17 | RSCAN0TMPTR17 | 0000 0000 _H | 32 | FFD0 1114 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ17 | RSCAN0TMDf017 | 0000 0000 _H | 32 | FFD0 1118 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ17 | RSCAN0TMDf117 | 0000 0000 _H | 32 | FFD0 111C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ18 | RSCAN0TMID18 | 0000 0000 _H | 32 | FFD0 1120 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ18 | RSCAN0TMPTR18 | 0000 0000 _H | 32 | FFD0 1124 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ18 | RSCAN0TMDf018 | 0000 0000 _H | 32 | FFD0 1128 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ18 | RSCAN0TMDf118 | 0000 0000 _H | 32 | FFD0 112C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ19 | RSCAN0TMID19 | 0000 0000 _H | 32 | FFD0 1130 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ19 | RSCAN0TMPTR19 | 0000 0000 _H | 32 | FFD0 1134 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ19 | RSCAN0TMDf019 | 0000 0000 _H | 32 | FFD0 1138 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ19 | RSCAN0TMDf119 | 0000 0000 _H | 32 | FFD0 113C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ20 | RSCAN0TMID20 | 0000 0000 _H | 32 | FFD0 1140 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ20 | RSCAN0TMPTR20 | 0000 0000 _H | 32 | FFD0 1144 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ20 | RSCAN0TMDf020 | 0000 0000 _H | 32 | FFD0 1148 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ20 | RSCAN0TMDf120 | 0000 0000 _H | 32 | FFD0 114C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ21 | RSCAN0TMID21 | 0000 0000 _H | 32 | FFD0 1150 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ21 | RSCAN0TMPTR21 | 0000 0000 _H | 32 | FFD0 1154 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ21 | RSCAN0TMDf021 | 0000 0000 _H | 32 | FFD0 1158 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ21 | RSCAN0TMDf121 | 0000 0000 _H | 32 | FFD0 115C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ22 | RSCAN0TMID22 | 0000 0000 _H | 32 | FFD0 1160 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ22 | RSCAN0TMPTR22 | 0000 0000 _H | 32 | FFD0 1164 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ22 | RSCAN0TMDf022 | 0000 0000 _H | 32 | FFD0 1168 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ22 | RSCAN0TMDf122 | 0000 0000 _H | 32 | FFD0 116C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ23 | RSCAN0TMID23 | 0000 0000 _H | 32 | FFD0 1170 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ23 | RSCAN0TMPTR23 | 0000 0000 _H | 32 | FFD0 1174 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ23 | RSCAN0TMDf023 | 0000 0000 _H | 32 | FFD0 1178 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ23 | RSCAN0TMDf123 | 0000 0000 _H | 32 | FFD0 117C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ24 | RSCAN0TMID24 | 0000 0000 _H | 32 | FFD0 1180 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ24 | RSCAN0TMPTR24 | 0000 0000 _H | 32 | FFD0 1184 _H | 2 | 8、16、32 |

(49/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------|---------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 送信バッファデータフィールド0レジスタ24 | RSCAN0TMDF024 | 0000 0000 _H | 32 | FFD0 1188 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ24 | RSCAN0TMDF124 | 0000 0000 _H | 32 | FFD0 118C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ25 | RSCAN0TMID25 | 0000 0000 _H | 32 | FFD0 1190 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ25 | RSCAN0TMPTR25 | 0000 0000 _H | 32 | FFD0 1194 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ25 | RSCAN0TMDF025 | 0000 0000 _H | 32 | FFD0 1198 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ25 | RSCAN0TMDF125 | 0000 0000 _H | 32 | FFD0 119C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ26 | RSCAN0TMID26 | 0000 0000 _H | 32 | FFD0 11A0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ26 | RSCAN0TMPTR26 | 0000 0000 _H | 32 | FFD0 11A4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ26 | RSCAN0TMDF026 | 0000 0000 _H | 32 | FFD0 11A8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ26 | RSCAN0TMDF126 | 0000 0000 _H | 32 | FFD0 11AC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ27 | RSCAN0TMID27 | 0000 0000 _H | 32 | FFD0 11B0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ27 | RSCAN0TMPTR27 | 0000 0000 _H | 32 | FFD0 11B4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ27 | RSCAN0TMDF027 | 0000 0000 _H | 32 | FFD0 11B8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ27 | RSCAN0TMDF127 | 0000 0000 _H | 32 | FFD0 11BC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ28 | RSCAN0TMID28 | 0000 0000 _H | 32 | FFD0 11C0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ28 | RSCAN0TMPTR28 | 0000 0000 _H | 32 | FFD0 11C4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ28 | RSCAN0TMDF028 | 0000 0000 _H | 32 | FFD0 11C8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ28 | RSCAN0TMDF128 | 0000 0000 _H | 32 | FFD0 11CC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ29 | RSCAN0TMID29 | 0000 0000 _H | 32 | FFD0 11D0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ29 | RSCAN0TMPTR29 | 0000 0000 _H | 32 | FFD0 11D4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ29 | RSCAN0TMDF029 | 0000 0000 _H | 32 | FFD0 11D8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ29 | RSCAN0TMDF129 | 0000 0000 _H | 32 | FFD0 11DC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ30 | RSCAN0TMID30 | 0000 0000 _H | 32 | FFD0 11E0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ30 | RSCAN0TMPTR30 | 0000 0000 _H | 32 | FFD0 11E4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ30 | RSCAN0TMDF030 | 0000 0000 _H | 32 | FFD0 11E8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ30 | RSCAN0TMDF130 | 0000 0000 _H | 32 | FFD0 11EC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ31 | RSCAN0TMID31 | 0000 0000 _H | 32 | FFD0 11F0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ31 | RSCAN0TMPTR31 | 0000 0000 _H | 32 | FFD0 11F4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ31 | RSCAN0TMDF031 | 0000 0000 _H | 32 | FFD0 11F8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ31 | RSCAN0TMDF131 | 0000 0000 _H | 32 | FFD0 11FC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ32 | RSCAN0TMID32 | 0000 0000 _H | 32 | FFD0 1200 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ32 | RSCAN0TMPTR32 | 0000 0000 _H | 32 | FFD0 1204 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ32 | RSCAN0TMDF032 | 0000 0000 _H | 32 | FFD0 1208 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ32 | RSCAN0TMDF132 | 0000 0000 _H | 32 | FFD0 120C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ33 | RSCAN0TMID33 | 0000 0000 _H | 32 | FFD0 1210 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ33 | RSCAN0TMPTR33 | 0000 0000 _H | 32 | FFD0 1214 _H | 2 | 8、16、32 |

(50/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------|---------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 送信バッファデータフィールド 0 レジスタ 33 | RSCAN0TMDf033 | 0000 0000 _H | 32 | FFD0 1218 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド 1 レジスタ 33 | RSCAN0TMDf133 | 0000 0000 _H | 32 | FFD0 121C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ ID レジスタ 34 | RSCAN0TMID34 | 0000 0000 _H | 32 | FFD0 1220 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ 34 | RSCAN0TMPTR34 | 0000 0000 _H | 32 | FFD0 1224 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド 0 レジスタ 34 | RSCAN0TMDf034 | 0000 0000 _H | 32 | FFD0 1228 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド 1 レジスタ 34 | RSCAN0TMDf134 | 0000 0000 _H | 32 | FFD0 122C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ ID レジスタ 35 | RSCAN0TMID35 | 0000 0000 _H | 32 | FFD0 1230 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ 35 | RSCAN0TMPTR35 | 0000 0000 _H | 32 | FFD0 1234 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド 0 レジスタ 35 | RSCAN0TMDf035 | 0000 0000 _H | 32 | FFD0 1238 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド 1 レジスタ 35 | RSCAN0TMDf135 | 0000 0000 _H | 32 | FFD0 123C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ ID レジスタ 36 | RSCAN0TMID36 | 0000 0000 _H | 32 | FFD0 1240 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ 36 | RSCAN0TMPTR36 | 0000 0000 _H | 32 | FFD0 1244 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド 0 レジスタ 36 | RSCAN0TMDf036 | 0000 0000 _H | 32 | FFD0 1248 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド 1 レジスタ 36 | RSCAN0TMDf136 | 0000 0000 _H | 32 | FFD0 124C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ ID レジスタ 37 | RSCAN0TMID37 | 0000 0000 _H | 32 | FFD0 1250 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ 37 | RSCAN0TMPTR37 | 0000 0000 _H | 32 | FFD0 1254 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド 0 レジスタ 37 | RSCAN0TMDf037 | 0000 0000 _H | 32 | FFD0 1258 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド 1 レジスタ 37 | RSCAN0TMDf137 | 0000 0000 _H | 32 | FFD0 125C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ ID レジスタ 38 | RSCAN0TMID38 | 0000 0000 _H | 32 | FFD0 1260 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ 38 | RSCAN0TMPTR38 | 0000 0000 _H | 32 | FFD0 1264 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド 0 レジスタ 38 | RSCAN0TMDf038 | 0000 0000 _H | 32 | FFD0 1268 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド 1 レジスタ 38 | RSCAN0TMDf138 | 0000 0000 _H | 32 | FFD0 126C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ ID レジスタ 39 | RSCAN0TMID39 | 0000 0000 _H | 32 | FFD0 1270 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ 39 | RSCAN0TMPTR39 | 0000 0000 _H | 32 | FFD0 1274 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド 0 レジスタ 39 | RSCAN0TMDf039 | 0000 0000 _H | 32 | FFD0 1278 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド 1 レジスタ 39 | RSCAN0TMDf139 | 0000 0000 _H | 32 | FFD0 127C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ ID レジスタ 40 | RSCAN0TMID40 | 0000 0000 _H | 32 | FFD0 1280 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ 40 | RSCAN0TMPTR40 | 0000 0000 _H | 32 | FFD0 1284 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド 0 レジスタ 40 | RSCAN0TMDf040 | 0000 0000 _H | 32 | FFD0 1288 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド 1 レジスタ 40 | RSCAN0TMDf140 | 0000 0000 _H | 32 | FFD0 128C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ ID レジスタ 41 | RSCAN0TMID41 | 0000 0000 _H | 32 | FFD0 1290 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ 41 | RSCAN0TMPTR41 | 0000 0000 _H | 32 | FFD0 1294 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド 0 レジスタ 41 | RSCAN0TMDf041 | 0000 0000 _H | 32 | FFD0 1298 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド 1 レジスタ 41 | RSCAN0TMDf141 | 0000 0000 _H | 32 | FFD0 129C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファ ID レジスタ 42 | RSCAN0TMID42 | 0000 0000 _H | 32 | FFD0 12A0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ 42 | RSCAN0TMPTR42 | 0000 0000 _H | 32 | FFD0 12A4 _H | 2 | 8、16、32 |

(51/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------|---------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 送信バッファデータフィールド0レジスタ42 | RSCAN0TMDF042 | 0000 0000 _H | 32 | FFD0 12A8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ42 | RSCAN0TMDF142 | 0000 0000 _H | 32 | FFD0 12AC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ43 | RSCAN0TMID43 | 0000 0000 _H | 32 | FFD0 12B0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ43 | RSCAN0TMPTR43 | 0000 0000 _H | 32 | FFD0 12B4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ43 | RSCAN0TMDF043 | 0000 0000 _H | 32 | FFD0 12B8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ43 | RSCAN0TMDF143 | 0000 0000 _H | 32 | FFD0 12BC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ44 | RSCAN0TMID44 | 0000 0000 _H | 32 | FFD0 12C0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ44 | RSCAN0TMPTR44 | 0000 0000 _H | 32 | FFD0 12C4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ44 | RSCAN0TMDF044 | 0000 0000 _H | 32 | FFD0 12C8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ44 | RSCAN0TMDF144 | 0000 0000 _H | 32 | FFD0 12CC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ45 | RSCAN0TMID45 | 0000 0000 _H | 32 | FFD0 12D0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ45 | RSCAN0TMPTR45 | 0000 0000 _H | 32 | FFD0 12D4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ45 | RSCAN0TMDF045 | 0000 0000 _H | 32 | FFD0 12D8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ45 | RSCAN0TMDF145 | 0000 0000 _H | 32 | FFD0 12DC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ46 | RSCAN0TMID46 | 0000 0000 _H | 32 | FFD0 12E0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ46 | RSCAN0TMPTR46 | 0000 0000 _H | 32 | FFD0 12E4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ46 | RSCAN0TMDF046 | 0000 0000 _H | 32 | FFD0 12E8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ46 | RSCAN0TMDF146 | 0000 0000 _H | 32 | FFD0 12EC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ47 | RSCAN0TMID47 | 0000 0000 _H | 32 | FFD0 12F0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ47 | RSCAN0TMPTR47 | 0000 0000 _H | 32 | FFD0 12F4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ47 | RSCAN0TMDF047 | 0000 0000 _H | 32 | FFD0 12F8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ47 | RSCAN0TMDF147 | 0000 0000 _H | 32 | FFD0 12FC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ48 | RSCAN0TMID48 | 0000 0000 _H | 32 | FFD0 1300 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ48 | RSCAN0TMPTR48 | 0000 0000 _H | 32 | FFD0 1304 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ48 | RSCAN0TMDF048 | 0000 0000 _H | 32 | FFD0 1308 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ48 | RSCAN0TMDF148 | 0000 0000 _H | 32 | FFD0 130C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ49 | RSCAN0TMID49 | 0000 0000 _H | 32 | FFD0 1310 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ49 | RSCAN0TMPTR49 | 0000 0000 _H | 32 | FFD0 1314 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ49 | RSCAN0TMDF049 | 0000 0000 _H | 32 | FFD0 1318 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ49 | RSCAN0TMDF149 | 0000 0000 _H | 32 | FFD0 131C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ50 | RSCAN0TMID50 | 0000 0000 _H | 32 | FFD0 1320 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ50 | RSCAN0TMPTR50 | 0000 0000 _H | 32 | FFD0 1324 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ50 | RSCAN0TMDF050 | 0000 0000 _H | 32 | FFD0 1328 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ50 | RSCAN0TMDF150 | 0000 0000 _H | 32 | FFD0 132C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ51 | RSCAN0TMID51 | 0000 0000 _H | 32 | FFD0 1330 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ51 | RSCAN0TMPTR51 | 0000 0000 _H | 32 | FFD0 1334 _H | 2 | 8、16、32 |

(52/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------|---------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 送信バッファデータフィールド0レジスタ51 | RSCAN0TMDf051 | 0000 0000 _H | 32 | FFD0 1338 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ51 | RSCAN0TMDf151 | 0000 0000 _H | 32 | FFD0 133C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ52 | RSCAN0TMID52 | 0000 0000 _H | 32 | FFD0 1340 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ52 | RSCAN0TMPTR52 | 0000 0000 _H | 32 | FFD0 1344 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ52 | RSCAN0TMDf052 | 0000 0000 _H | 32 | FFD0 1348 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ52 | RSCAN0TMDf152 | 0000 0000 _H | 32 | FFD0 134C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ53 | RSCAN0TMID53 | 0000 0000 _H | 32 | FFD0 1350 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ53 | RSCAN0TMPTR53 | 0000 0000 _H | 32 | FFD0 1354 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ53 | RSCAN0TMDf053 | 0000 0000 _H | 32 | FFD0 1358 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ53 | RSCAN0TMDf153 | 0000 0000 _H | 32 | FFD0 135C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ54 | RSCAN0TMID54 | 0000 0000 _H | 32 | FFD0 1360 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ54 | RSCAN0TMPTR54 | 0000 0000 _H | 32 | FFD0 1364 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ54 | RSCAN0TMDf054 | 0000 0000 _H | 32 | FFD0 1368 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ54 | RSCAN0TMDf154 | 0000 0000 _H | 32 | FFD0 136C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ55 | RSCAN0TMID55 | 0000 0000 _H | 32 | FFD0 1370 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ55 | RSCAN0TMPTR55 | 0000 0000 _H | 32 | FFD0 1374 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ55 | RSCAN0TMDf055 | 0000 0000 _H | 32 | FFD0 1378 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ55 | RSCAN0TMDf155 | 0000 0000 _H | 32 | FFD0 137C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ56 | RSCAN0TMID56 | 0000 0000 _H | 32 | FFD0 1380 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ56 | RSCAN0TMPTR56 | 0000 0000 _H | 32 | FFD0 1384 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ56 | RSCAN0TMDf056 | 0000 0000 _H | 32 | FFD0 1388 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ56 | RSCAN0TMDf156 | 0000 0000 _H | 32 | FFD0 138C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ57 | RSCAN0TMID57 | 0000 0000 _H | 32 | FFD0 1390 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ57 | RSCAN0TMPTR57 | 0000 0000 _H | 32 | FFD0 1394 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ57 | RSCAN0TMDf057 | 0000 0000 _H | 32 | FFD0 1398 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ57 | RSCAN0TMDf157 | 0000 0000 _H | 32 | FFD0 139C _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ58 | RSCAN0TMID58 | 0000 0000 _H | 32 | FFD0 13A0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ58 | RSCAN0TMPTR58 | 0000 0000 _H | 32 | FFD0 13A4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ58 | RSCAN0TMDf058 | 0000 0000 _H | 32 | FFD0 13A8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ58 | RSCAN0TMDf158 | 0000 0000 _H | 32 | FFD0 13AC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ59 | RSCAN0TMID59 | 0000 0000 _H | 32 | FFD0 13B0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ59 | RSCAN0TMPTR59 | 0000 0000 _H | 32 | FFD0 13B4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ59 | RSCAN0TMDf059 | 0000 0000 _H | 32 | FFD0 13B8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ59 | RSCAN0TMDf159 | 0000 0000 _H | 32 | FFD0 13BC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ60 | RSCAN0TMID60 | 0000 0000 _H | 32 | FFD0 13C0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ60 | RSCAN0TMPTR60 | 0000 0000 _H | 32 | FFD0 13C4 _H | 2 | 8、16、32 |

(53/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------|----------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | 送信バッファデータフィールド0レジスタ60 | RSCAN0TMDf060 | 0000 0000 _H | 32 | FFD0 13C8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ60 | RSCAN0TMDf160 | 0000 0000 _H | 32 | FFD0 13CC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ61 | RSCAN0TMID61 | 0000 0000 _H | 32 | FFD0 13D0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ61 | RSCAN0TMPTR61 | 0000 0000 _H | 32 | FFD0 13D4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ61 | RSCAN0TMDf061 | 0000 0000 _H | 32 | FFD0 13D8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ61 | RSCAN0TMDf161 | 0000 0000 _H | 32 | FFD0 13DC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ62 | RSCAN0TMID62 | 0000 0000 _H | 32 | FFD0 13E0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ62 | RSCAN0TMPTR62 | 0000 0000 _H | 32 | FFD0 13E4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ62 | RSCAN0TMDf062 | 0000 0000 _H | 32 | FFD0 13E8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ62 | RSCAN0TMDf162 | 0000 0000 _H | 32 | FFD0 13EC _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファIDレジスタ63 | RSCAN0TMID63 | 0000 0000 _H | 32 | FFD0 13F0 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファポインタレジスタ63 | RSCAN0TMPTR63 | 0000 0000 _H | 32 | FFD0 13F4 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド0レジスタ63 | RSCAN0TMDf063 | 0000 0000 _H | 32 | FFD0 13F8 _H | 2 | 8、16、32 |
| RSCAN0 | 送信バッファデータフィールド1レジスタ63 | RSCAN0TMDf163 | 0000 0000 _H | 32 | FFD0 13FC _H | 2 | 8、16、32 |
| RSCAN0 | 送信履歴アクセスレジスタ0 | RSCAN0THLACC0 | 0000 0000 _H | 32 | FFD0 1800 _H | 2 | 8、16、32 |
| RSCAN0 | 送信履歴アクセスレジスタ1 | RSCAN0THLACC1 | 0000 0000 _H | 32 | FFD0 1804 _H | 2 | 8、16、32 |
| RSCAN0 | 送信履歴アクセスレジスタ2 | RSCAN0THLACC2 | 0000 0000 _H | 32 | FFD0 1808 _H | 2 | 8、16、32 |
| RSCAN0 | 送信履歴アクセスレジスタ3 | RSCAN0THLACC3 | 0000 0000 _H | 32 | FFD0 180C _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ0 | RSCAN0RPGACC0 | 0000 0000 _H | 32 | FFD0 1900 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ1 | RSCAN0RPGACC1 | 0000 0000 _H | 32 | FFD0 1904 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ2 | RSCAN0RPGACC2 | 0000 0000 _H | 32 | FFD0 1908 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ3 | RSCAN0RPGACC3 | 0000 0000 _H | 32 | FFD0 190C _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ4 | RSCAN0RPGACC4 | 0000 0000 _H | 32 | FFD0 1910 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ5 | RSCAN0RPGACC5 | 0000 0000 _H | 32 | FFD0 1914 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ6 | RSCAN0RPGACC6 | 0000 0000 _H | 32 | FFD0 1918 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ7 | RSCAN0RPGACC7 | 0000 0000 _H | 32 | FFD0 191C _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ8 | RSCAN0RPGACC8 | 0000 0000 _H | 32 | FFD0 1920 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ9 | RSCAN0RPGACC9 | 0000 0000 _H | 32 | FFD0 1924 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ10 | RSCAN0RPGACC10 | 0000 0000 _H | 32 | FFD0 1928 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ11 | RSCAN0RPGACC11 | 0000 0000 _H | 32 | FFD0 192C _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ12 | RSCAN0RPGACC12 | 0000 0000 _H | 32 | FFD0 1930 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ13 | RSCAN0RPGACC13 | 0000 0000 _H | 32 | FFD0 1934 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ14 | RSCAN0RPGACC14 | 0000 0000 _H | 32 | FFD0 1938 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ15 | RSCAN0RPGACC15 | 0000 0000 _H | 32 | FFD0 193C _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ16 | RSCAN0RPGACC16 | 0000 0000 _H | 32 | FFD0 1940 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ17 | RSCAN0RPGACC17 | 0000 0000 _H | 32 | FFD0 1944 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ18 | RSCAN0RPGACC18 | 0000 0000 _H | 32 | FFD0 1948 _H | 2 | 8、16、32 |

(54/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------|----------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | RAM テストページアクセスレジスタ 19 | RSCAN0RPGACC19 | 0000 0000 _H | 32 | FFD0 194C _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 20 | RSCAN0RPGACC20 | 0000 0000 _H | 32 | FFD0 1950 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 21 | RSCAN0RPGACC21 | 0000 0000 _H | 32 | FFD0 1954 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 22 | RSCAN0RPGACC22 | 0000 0000 _H | 32 | FFD0 1958 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 23 | RSCAN0RPGACC23 | 0000 0000 _H | 32 | FFD0 195C _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 24 | RSCAN0RPGACC24 | 0000 0000 _H | 32 | FFD0 1960 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 25 | RSCAN0RPGACC25 | 0000 0000 _H | 32 | FFD0 1964 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 26 | RSCAN0RPGACC26 | 0000 0000 _H | 32 | FFD0 1968 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 27 | RSCAN0RPGACC27 | 0000 0000 _H | 32 | FFD0 196C _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 28 | RSCAN0RPGACC28 | 0000 0000 _H | 32 | FFD0 1970 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 29 | RSCAN0RPGACC29 | 0000 0000 _H | 32 | FFD0 1974 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 30 | RSCAN0RPGACC30 | 0000 0000 _H | 32 | FFD0 1978 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 31 | RSCAN0RPGACC31 | 0000 0000 _H | 32 | FFD0 197C _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 32 | RSCAN0RPGACC32 | 0000 0000 _H | 32 | FFD0 1980 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 33 | RSCAN0RPGACC33 | 0000 0000 _H | 32 | FFD0 1984 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 34 | RSCAN0RPGACC34 | 0000 0000 _H | 32 | FFD0 1988 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 35 | RSCAN0RPGACC35 | 0000 0000 _H | 32 | FFD0 198C _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 36 | RSCAN0RPGACC36 | 0000 0000 _H | 32 | FFD0 1990 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 37 | RSCAN0RPGACC37 | 0000 0000 _H | 32 | FFD0 1994 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 38 | RSCAN0RPGACC38 | 0000 0000 _H | 32 | FFD0 1998 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 39 | RSCAN0RPGACC39 | 0000 0000 _H | 32 | FFD0 199C _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 40 | RSCAN0RPGACC40 | 0000 0000 _H | 32 | FFD0 19A0 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 41 | RSCAN0RPGACC41 | 0000 0000 _H | 32 | FFD0 19A4 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 42 | RSCAN0RPGACC42 | 0000 0000 _H | 32 | FFD0 19A8 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 43 | RSCAN0RPGACC43 | 0000 0000 _H | 32 | FFD0 19AC _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 44 | RSCAN0RPGACC44 | 0000 0000 _H | 32 | FFD0 19B0 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 45 | RSCAN0RPGACC45 | 0000 0000 _H | 32 | FFD0 19B4 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 46 | RSCAN0RPGACC46 | 0000 0000 _H | 32 | FFD0 19B8 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 47 | RSCAN0RPGACC47 | 0000 0000 _H | 32 | FFD0 19BC _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 48 | RSCAN0RPGACC48 | 0000 0000 _H | 32 | FFD0 19C0 _H | 2 | 8、16、32 |

(55/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------|----------------|------------------------|------|------------------------|------------------|---------|
| RSCAN0 | RAM テストページアクセスレジスタ 49 | RSCAN0RPGACC49 | 0000 0000 _H | 32 | FFD0 19C4 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 50 | RSCAN0RPGACC50 | 0000 0000 _H | 32 | FFD0 19C8 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 51 | RSCAN0RPGACC51 | 0000 0000 _H | 32 | FFD0 19CC _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 52 | RSCAN0RPGACC52 | 0000 0000 _H | 32 | FFD0 19D0 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 53 | RSCAN0RPGACC53 | 0000 0000 _H | 32 | FFD0 19D4 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 54 | RSCAN0RPGACC54 | 0000 0000 _H | 32 | FFD0 19D8 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 55 | RSCAN0RPGACC55 | 0000 0000 _H | 32 | FFD0 19DC _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 56 | RSCAN0RPGACC56 | 0000 0000 _H | 32 | FFD0 19E0 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 57 | RSCAN0RPGACC57 | 0000 0000 _H | 32 | FFD0 19E4 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 58 | RSCAN0RPGACC58 | 0000 0000 _H | 32 | FFD0 19E8 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 59 | RSCAN0RPGACC59 | 0000 0000 _H | 32 | FFD0 19EC _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 60 | RSCAN0RPGACC60 | 0000 0000 _H | 32 | FFD0 19F0 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 61 | RSCAN0RPGACC61 | 0000 0000 _H | 32 | FFD0 19F4 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 62 | RSCAN0RPGACC62 | 0000 0000 _H | 32 | FFD0 19F8 _H | 2 | 8、16、32 |
| RSCAN0 | RAM テストページアクセスレジスタ 63 | RSCAN0RPGACC63 | 0000 0000 _H | 32 | FFD0 19FC _H | 2 | 8、16、32 |
| CSIH0 | CSIH0 制御レジスタ 0 | CSIH0CTL0 | 00 _H | 8 | FFD8 0000 _H | 2 | 8 |
| CSIH0 | CSIH0 ステータスレジスタ 0 | CSIH0STR0 | 0000 0010 _H | 32 | FFD8 0004 _H | 2 | 32 |
| CSIH0 | CSIH0 ステータスクリアレジスタ 0 | CSIH0STCR0 | 0000 _H | 16 | FFD8 0008 _H | 2 | 16 |
| CSIH0 | CSIH0 制御レジスタ 1 | CSIH0CTL1 | 0000 0000 _H | 32 | FFD8 0010 _H | 2 | 32 |
| CSIH0 | CSIH0 制御レジスタ 2 | CSIH0CTL2 | E000 _H | 16 | FFD8 0014 _H | 2 | 16 |
| CSIH0 | CSIH0 ワードアクセス用送信データレジスタ 0 | CSIH0TX0W | XXXX XXXX _H | 32 | FFD8 1008 _H | 2 | 32 |
| CSIH0 | CSIH0 ハーフワードアクセス用送信データレジスタ 0 | CSIH0TX0H | XXXX _H | 16 | FFD8 100C _H | 2 | 16 |
| CSIH0 | CSIH0 ワードアクセス用受信データレジスタ 0 | CSIH0RX0W | XXXX XXXX _H | 32 | FFD8 1010 _H | 2 | 32 |
| CSIH0 | CSIH0 ハーフワードアクセス用受信データレジスタ 0 | CSIH0RX0H | XXXX _H | 16 | FFD8 1014 _H | 2 | 16 |
| CSIH0 | CSIH0 コンフィグレーションレジスタ 0 | CSIH0CFG0 | 0000 0000 _H | 32 | FFD8 1044 _H | 2 | 32 |
| CSIH0 | CSIH0 コンフィグレーションレジスタ 1 | CSIH0CFG1 | 0000 0000 _H | 32 | FFD8 1048 _H | 2 | 32 |
| CSIH0 | CSIH0 コンフィグレーションレジスタ 2 | CSIH0CFG2 | 0000 0000 _H | 32 | FFD8 104C _H | 2 | 32 |
| CSIH0 | CSIH0 コンフィグレーションレジスタ 3 | CSIH0CFG3 | 0000 0000 _H | 32 | FFD8 1050 _H | 2 | 32 |
| CSIH0 | CSIH0 コンフィグレーションレジスタ 4 | CSIH0CFG4 | 0000 0000 _H | 32 | FFD8 1054 _H | 2 | 32 |
| CSIH0 | CSIH0 コンフィグレーションレジスタ 5 | CSIH0CFG5 | 0000 0000 _H | 32 | FFD8 1058 _H | 2 | 32 |
| CSIH0 | CSIH0 ボーレート設定レジスタ 0 | CSIH0BRS0 | 0000 _H | 16 | FFD8 1068 _H | 2 | 16 |
| CSIH0 | CSIH0 ボーレート設定レジスタ 1 | CSIH0BRS1 | 0000 _H | 16 | FFD8 106C _H | 2 | 16 |

(56/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------|------------|------------------------|------|------------------------|------------------|---------|
| CSIH0 | CSIH0 ボーレート設定レジスタ 2 | CSIH0BRS2 | 0000 _H | 16 | FFD8 1070 _H | 2 | 16 |
| CSIH0 | CSIH0 ボーレート設定レジスタ 3 | CSIH0BRS3 | 0000 _H | 16 | FFD8 1074 _H | 2 | 16 |
| CSIH1 | CSIH1 制御レジスタ 0 | CSIH1CTL0 | 00 _H | 8 | FFD8 2000 _H | 2 | 8 |
| CSIH1 | CSIH1 ステータスレジスタ 0 | CSIH1STR0 | 0000 0010 _H | 32 | FFD8 2004 _H | 2 | 32 |
| CSIH1 | CSIH1 ステータスクリアレジスタ 0 | CSIH1STCR0 | 0000 _H | 16 | FFD8 2008 _H | 2 | 16 |
| CSIH1 | CSIH1 制御レジスタ 1 | CSIH1CTL1 | 0000 0000 _H | 32 | FFD8 2010 _H | 2 | 32 |
| CSIH1 | CSIH1 制御レジスタ 2 | CSIH1CTL2 | E000 _H | 16 | FFD8 2014 _H | 2 | 16 |
| CSIH1 | CSIH1 ワードアクセス用送信データレジスタ 0 | CSIH1TX0W | XXXX XXXX _H | 32 | FFD8 3008 _H | 2 | 32 |
| CSIH1 | CSIH1 ハーフワードアクセス用送信データレジスタ 0 | CSIH1TX0H | XXXX _H | 16 | FFD8 300C _H | 2 | 16 |
| CSIH1 | CSIH1 ワードアクセス用受信データレジスタ 0 | CSIH1RX0W | XXXX XXXX _H | 32 | FFD8 3010 _H | 2 | 32 |
| CSIH1 | CSIH1 ハーフワードアクセス用受信データレジスタ 0 | CSIH1RX0H | XXXX _H | 16 | FFD8 3014 _H | 2 | 16 |
| CSIH1 | CSIH1 コンフィグレーションレジスタ 0 | CSIH1CFG0 | 0000 0000 _H | 32 | FFD8 3044 _H | 2 | 32 |
| CSIH1 | CSIH1 コンフィグレーションレジスタ 1 | CSIH1CFG1 | 0000 0000 _H | 32 | FFD8 3048 _H | 2 | 32 |
| CSIH1 | CSIH1 コンフィグレーションレジスタ 2 | CSIH1CFG2 | 0000 0000 _H | 32 | FFD8 304C _H | 2 | 32 |
| CSIH1 | CSIH1 コンフィグレーションレジスタ 3 | CSIH1CFG3 | 0000 0000 _H | 32 | FFD8 3050 _H | 2 | 32 |
| CSIH1 | CSIH1 ボーレート設定レジスタ 0 | CSIH1BRS0 | 0000 _H | 16 | FFD8 3068 _H | 2 | 16 |
| CSIH1 | CSIH1 ボーレート設定レジスタ 1 | CSIH1BRS1 | 0000 _H | 16 | FFD8 306C _H | 2 | 16 |
| CSIH1 | CSIH1 ボーレート設定レジスタ 2 | CSIH1BRS2 | 0000 _H | 16 | FFD8 3070 _H | 2 | 16 |
| CSIH1 | CSIH1 ボーレート設定レジスタ 3 | CSIH1BRS3 | 0000 _H | 16 | FFD8 3074 _H | 2 | 16 |
| CSIH2 | CSIH2 制御レジスタ 0 | CSIH2CTL0 | 00 _H | 8 | FFD8 4000 _H | 2 | 8 |
| CSIH2 | CSIH2 ステータスレジスタ 0 | CSIH2STR0 | 0000 0010 _H | 32 | FFD8 4004 _H | 2 | 32 |
| CSIH2 | CSIH2 ステータスクリアレジスタ 0 | CSIH2STCR0 | 0000 _H | 16 | FFD8 4008 _H | 2 | 16 |
| CSIH2 | CSIH2 制御レジスタ 1 | CSIH2CTL1 | 0000 0000 _H | 32 | FFD8 4010 _H | 2 | 32 |
| CSIH2 | CSIH2 制御レジスタ 2 | CSIH2CTL2 | E000 _H | 16 | FFD8 4014 _H | 2 | 16 |
| CSIH2 | CSIH2 ワードアクセス用送信データレジスタ 0 | CSIH2TX0W | XXXX XXXX _H | 32 | FFD8 5008 _H | 2 | 32 |
| CSIH2 | CSIH2 ハーフワードアクセス用送信データレジスタ 0 | CSIH2TX0H | XXXX _H | 16 | FFD8 500C _H | 2 | 16 |
| CSIH2 | CSIH2 ワードアクセス用受信データレジスタ 0 | CSIH2RX0W | XXXX XXXX _H | 32 | FFD8 5010 _H | 2 | 32 |
| CSIH2 | CSIH2 ハーフワードアクセス用受信データレジスタ 0 | CSIH2RX0H | XXXX _H | 16 | FFD8 5014 _H | 2 | 16 |
| CSIH2 | CSIH2 コンフィグレーションレジスタ 0 | CSIH2CFG0 | 0000 0000 _H | 32 | FFD8 5044 _H | 2 | 32 |
| CSIH2 | CSIH2 コンフィグレーションレジスタ 1 | CSIH2CFG1 | 0000 0000 _H | 32 | FFD8 5048 _H | 2 | 32 |
| CSIH2 | CSIH2 コンフィグレーションレジスタ 2 | CSIH2CFG2 | 0000 0000 _H | 32 | FFD8 504C _H | 2 | 32 |
| CSIH2 | CSIH2 コンフィグレーションレジスタ 3 | CSIH2CFG3 | 0000 0000 _H | 32 | FFD8 5050 _H | 2 | 32 |
| CSIH2 | CSIH2 ボーレート設定レジスタ 0 | CSIH2BRS0 | 0000 _H | 16 | FFD8 5068 _H | 2 | 16 |
| CSIH2 | CSIH2 ボーレート設定レジスタ 1 | CSIH2BRS1 | 0000 _H | 16 | FFD8 506C _H | 2 | 16 |
| CSIH2 | CSIH2 ボーレート設定レジスタ 2 | CSIH2BRS2 | 0000 _H | 16 | FFD8 5070 _H | 2 | 16 |
| CSIH2 | CSIH2 ボーレート設定レジスタ 3 | CSIH2BRS3 | 0000 _H | 16 | FFD8 5074 _H | 2 | 16 |
| SCI30 | シリアルモードレジスタ | SCI30SMR | 00 _H | 8 | FFD9 0000 _H | 1(1L) | 8 |
| SCI30 | ビットレートレジスタ | SCI30BRR | FF _H | 8 | FFD9 0004 _H | 1(1L) | 8 |

(57/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------------|-----------------|------------------------|------|------------------------|------------------|---------|
| SCI30 | モジュレーションデューティレジスタ | SCI30MDDR | FF _H | 8 | FFD9 0004 _H | 1(1L) | 8 |
| SCI30 | シリアルコントロールレジスタ | SCI30SCR | 00 _H | 8 | FFD9 0008 _H | 1(1L) | 8 |
| SCI30 | トランスミットデータレジスタ | SCI30TDR | FF _H | 8 | FFD9 000C _H | 1(1L) | 8 |
| SCI30 | シリアルステータスレジスタ | SCI30SSR | 84 _H | 8 | FFD9 0010 _H | 1(1L) | 8 |
| SCI30 | レシーブデータレジスタ | SCI30RDR | 00 _H | 8 | FFD9 0014 _H | 1(1L) | 8 |
| SCI30 | シリアル通信フォーマットレジスタ | SCI30SCMR | F2 _H | 8 | FFD9 0018 _H | 1(1L) | 8 |
| SCI30 | シリアル拡張モードレジスタ | SCI30SEMR | 04 _H | 8 | FFD9 001C _H | 1(1L) | 8 |
| SCI31 | シリアルモードレジスタ | SCI31SMR | 00 _H | 8 | FFD9 1000 _H | 1(1L) | 8 |
| SCI31 | ビットレートレジスタ | SCI31BRR | FF _H | 8 | FFD9 1004 _H | 1(1L) | 8 |
| SCI31 | モジュレーションデューティレジスタ | SCI31MDDR | FF _H | 8 | FFD9 1004 _H | 1(1L) | 8 |
| SCI31 | シリアルコントロールレジスタ | SCI31SCR | 00 _H | 8 | FFD9 1008 _H | 1(1L) | 8 |
| SCI31 | トランスミットデータレジスタ | SCI31TDR | FF _H | 8 | FFD9 100C _H | 1(1L) | 8 |
| SCI31 | シリアルステータスレジスタ | SCI31SSR | 84 _H | 8 | FFD9 1010 _H | 1(1L) | 8 |
| SCI31 | レシーブデータレジスタ | SCI31RDR | 00 _H | 8 | FFD9 1014 _H | 1(1L) | 8 |
| SCI31 | シリアル通信フォーマットレジスタ | SCI31SCMR | F2 _H | 8 | FFD9 1018 _H | 1(1L) | 8 |
| SCI31 | シリアル拡張モードレジスタ | SCI31SEMR | 04 _H | 8 | FFD9 101C _H | 1(1L) | 8 |
| SCI32 | シリアルモードレジスタ | SCI32SMR | 00 _H | 8 | FFD9 2000 _H | 1(1L) | 8 |
| SCI32 | ビットレートレジスタ | SCI32BRR | FF _H | 8 | FFD9 2004 _H | 1(1L) | 8 |
| SCI32 | モジュレーションデューティレジスタ | SCI32MDDR | FF _H | 8 | FFD9 2004 _H | 1(1L) | 8 |
| SCI32 | シリアルコントロールレジスタ | SCI32SCR | 00 _H | 8 | FFD9 2008 _H | 1(1L) | 8 |
| SCI32 | トランスミットデータレジスタ | SCI32TDR | FF _H | 8 | FFD9 200C _H | 1(1L) | 8 |
| SCI32 | シリアルステータスレジスタ | SCI32SSR | 84 _H | 8 | FFD9 2010 _H | 1(1L) | 8 |
| SCI32 | レシーブデータレジスタ | SCI32RDR | 00 _H | 8 | FFD9 2014 _H | 1(1L) | 8 |
| SCI32 | シリアル通信フォーマットレジスタ | SCI32SCMR | F2 _H | 8 | FFD9 2018 _H | 1(1L) | 8 |
| SCI32 | シリアル拡張モードレジスタ | SCI32SEMR | 04 _H | 8 | FFD9 201C _H | 1(1L) | 8 |
| SCI33 | シリアルモードレジスタ | SCI33SMR | 00 _H | 8 | FFD9 3000 _H | 1(1L) | 8 |
| SCI33 | ビットレートレジスタ | SCI33BRR | FF _H | 8 | FFD9 3004 _H | 1(1L) | 8 |
| SCI33 | モジュレーションデューティレジスタ | SCI33MDDR | FF _H | 8 | FFD9 3004 _H | 1(1L) | 8 |
| SCI33 | シリアルコントロールレジスタ | SCI33SCR | 00 _H | 8 | FFD9 3008 _H | 1(1L) | 8 |
| SCI33 | トランスミットデータレジスタ | SCI33TDR | FF _H | 8 | FFD9 300C _H | 1(1L) | 8 |
| SCI33 | シリアルステータスレジスタ | SCI33SSR | 84 _H | 8 | FFD9 3010 _H | 1(1L) | 8 |
| SCI33 | レシーブデータレジスタ | SCI33RDR | 00 _H | 8 | FFD9 3014 _H | 1(1L) | 8 |
| SCI33 | シリアル通信フォーマットレジスタ | SCI33SCMR | F2 _H | 8 | FFD9 3018 _H | 1(1L) | 8 |
| SCI33 | シリアル拡張モードレジスタ | SCI33SEMR | 04 _H | 8 | FFD9 301C _H | 1(1L) | 8 |
| PBG | PBG1A プロテクションレジスタ 0 | FSGD1ADPROT0 | 07FF FFFF _H | 32 | FFDC 0000 _H | 1(1L) | 8、16、32 |
| PBG | PBG1A プロテクションレジスタ 1 | FSGD1ADPROT1 | 07FF FFFF _H | 32 | FFDC 0004 _H | 1(1L) | 8、16、32 |
| PBG | PBG1A エラーコントロールレジスタ | ERRSLV1ACTL | 0000 0000 _H | 32 | FFDC 0200 _H | 1(1L) | 8、16、32 |
| PBG | PBG1A エラーステータスレジスタ | ERRSLV1ASTAT | 0000 0000 _H | 32 | FFDC 0204 _H | 1(1L) | 8、16、32 |
| PBG | PBG1A エラーアドレスレジスタ | ERRSLV1AADDR | 0000 0000 _H | 32 | FFDC 0208 _H | 1(1L) | 32 |
| PBG | PBG1A エラータイプレジスタ | ERRSLV1ATYPE | 0000 0000 _H | 32 | FFDC 020C _H | 1(1L) | 16、32 |
| APDP | P-Bus データパリティステータスレジスタ APAA | APDPERRST_APAA | 0000 0000 _H | 32 | FFDC 2000 _H | 1(1L) | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ APAA | APDPERRSTC_APAA | 0000 0000 _H | 32 | FFDC 2004 _H | 1(1L) | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ APAA | APDPTMC_APAA | 0000 0000 _H | 32 | FFDC 2008 _H | 1(1L) | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ APAA | APDPERRADR_APAA | 0000 0000 _H | 32 | FFDC 200C _H | 1(1L) | 32 |

(58/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------------|-----------------|------------------------|------|------------------------|------------------|---------|
| APDP | P-Bus データパリティステータスレジスタ APGA | APDPERRST_APGA | 0000 0000 _H | 32 | FFDC 2020 _H | 1(1L) | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ APGA | APDPERRSTC_APGA | 0000 0000 _H | 32 | FFDC 2024 _H | 1(1L) | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ APGA | APDPTMC_APGA | 0000 0000 _H | 32 | FFDC 2028 _H | 1(1L) | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ APGA | APDPERRADR_APGA | 0000 0000 _H | 32 | FFDC 202C _H | 1(1L) | 32 |
| PIC1 | 制御レジスタ EN | PIC1EN | 00 _H | 8 | FFDD 0000 _H | 1(1H) | 8 |
| PIC1 | 同時スタートトリガ制御レジスタ | PIC1SST | 00 _H | 8 | FFDD 0004 _H | 1(1H) | 8 |
| PIC1 | 同時スタート制御レジスタ 2 | PIC1SSER2 | 0000 _H | 16 | FFDD 0018 _H | 1(1H) | 16 |
| PIC1 | 同時スタート制御レジスタ 3 | PIC1SSER3 | 0000 _H | 16 | FFDD 001C _H | 1(1H) | 16 |
| PIC1 | Hi-Z 出力制御レジスタ 2 | PIC1HIZCEN2 | 00 _H | 8 | FFDD 0088 _H | 1(1H) | 8 |
| PIC2 | AD コンバータ 0 トリガ選択制御レジスタ 0 | PIC2ADCB0TSEL0 | 0000 0000 _H | 32 | FFDD 1000 _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ 0 トリガ選択制御レジスタ 1 | PIC2ADCB0TSEL1 | 0000 0000 _H | 32 | FFDD 1004 _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ 0 トリガ選択制御レジスタ 2 | PIC2ADCB0TSEL2 | 0000 0000 _H | 32 | FFDD 1008 _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ 0 トリガ選択制御レジスタ 3 | PIC2ADCB0TSEL3 | 0000 0000 _H | 32 | FFDD 100C _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ 0 トリガ選択制御レジスタ 4 | PIC2ADCB0TSEL4 | 0000 0000 _H | 32 | FFDD 1010 _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ 0 トリガエッジ選択制御レジスタ | PIC2ADCB0EDGSEL | 0000 _H | 16 | FFDD 101C _H | 1(1H) | 16 |
| PIC2 | AD コンバータ 1 トリガ選択制御レジスタ 0 | PIC2ADCB1TSEL0 | 0000 0000 _H | 32 | FFDD 1020 _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ 1 トリガ選択制御レジスタ 1 | PIC2ADCB1TSEL1 | 0000 0000 _H | 32 | FFDD 1024 _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ 1 トリガ選択制御レジスタ 2 | PIC2ADCB1TSEL2 | 0000 0000 _H | 32 | FFDD 1028 _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ 1 トリガ選択制御レジスタ 3 | PIC2ADCB1TSEL3 | 0000 0000 _H | 32 | FFDD 102C _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ 1 トリガ選択制御レジスタ 4 | PIC2ADCB1TSEL4 | 0000 0000 _H | 32 | FFDD 1030 _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ 1 トリガエッジ選択制御レジスタ | PIC2ADCB1EDGSEL | 0000 _H | 16 | FFDD 103C _H | 1(1H) | 16 |
| PIC2 | AD コンバータ トリガ出力制御レジスタ 500 | PIC2ADTEN500 | 0000 0000 _H | 32 | FFDD 1080 _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ トリガ出力制御レジスタ 501 | PIC2ADTEN501 | 0000 0000 _H | 32 | FFDD 1084 _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ トリガ出力制御レジスタ 502 | PIC2ADTEN502 | 0000 0000 _H | 32 | FFDD 1088 _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ トリガ出力制御レジスタ 503 | PIC2ADTEN503 | 0000 0000 _H | 32 | FFDD 108C _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ トリガ出力制御レジスタ 504 | PIC2ADTEN504 | 0000 0000 _H | 32 | FFDD 1090 _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ トリガ出力制御レジスタ 510 | PIC2ADTEN510 | 0000 0000 _H | 32 | FFDD 1094 _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ トリガ出力制御レジスタ 511 | PIC2ADTEN511 | 0000 0000 _H | 32 | FFDD 1098 _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ トリガ出力制御レジスタ 512 | PIC2ADTEN512 | 0000 0000 _H | 32 | FFDD 109C _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ トリガ出力制御レジスタ 513 | PIC2ADTEN513 | 0000 0000 _H | 32 | FFDD 10A0 _H | 1(1H) | 16、32 |
| PIC2 | AD コンバータ トリガ出力制御レジスタ 514 | PIC2ADTEN514 | 0000 0000 _H | 32 | FFDD 10A4 _H | 1(1H) | 16、32 |

(59/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------|----------------|------------------------|------|------------------------|------------------|---------|
| PIC2 | AD コンバータトリガ出力制御レジスタ 600 | PIC2ADTEN600 | 0000 0000 _H | 32 | FFDD 10A8 _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 601 | PIC2ADTEN601 | 0000 0000 _H | 32 | FFDD 10AC _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 602 | PIC2ADTEN602 | 0000 0000 _H | 32 | FFDD 10B0 _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 603 | PIC2ADTEN603 | 0000 0000 _H | 32 | FFDD 10B4 _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 604 | PIC2ADTEN604 | 0000 0000 _H | 32 | FFDD 10B8 _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 610 | PIC2ADTEN610 | 0000 0000 _H | 32 | FFDD 10BC _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 611 | PIC2ADTEN611 | 0000 0000 _H | 32 | FFDD 10C0 _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 612 | PIC2ADTEN612 | 0000 0000 _H | 32 | FFDD 10C4 _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 613 | PIC2ADTEN613 | 0000 0000 _H | 32 | FFDD 10C8 _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 614 | PIC2ADTEN614 | 0000 0000 _H | 32 | FFDD 10CC _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 700 | PIC2ADTEN700 | 0000 0000 _H | 32 | FFDD 10D0 _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 701 | PIC2ADTEN701 | 0000 0000 _H | 32 | FFDD 10D4 _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 702 | PIC2ADTEN702 | 0000 0000 _H | 32 | FFDD 10D8 _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 703 | PIC2ADTEN703 | 0000 0000 _H | 32 | FFDD 10DC _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 704 | PIC2ADTEN704 | 0000 0000 _H | 32 | FFDD 10E0 _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 710 | PIC2ADTEN710 | 0000 0000 _H | 32 | FFDD 10E4 _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 711 | PIC2ADTEN711 | 0000 0000 _H | 32 | FFDD 10E8 _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 712 | PIC2ADTEN712 | 0000 0000 _H | 32 | FFDD 10EC _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 713 | PIC2ADTEN713 | 0000 0000 _H | 32 | FFDD 10F0 _H | 1(1H) | 32 |
| PIC2 | AD コンバータトリガ出力制御レジスタ 714 | PIC2ADTEN714 | 0000 0000 _H | 32 | FFDD 10F4 _H | 1(1H) | 32 |
| PIC2 | DSADC スタートトリガ出力制御レジスタ 00 | PIC2DSADTEN000 | 0000 _H | 16 | FFDD 1100 _H | 1(1H) | 16 |
| PIC2 | DSADC スタートトリガ出力制御レジスタ 01 | PIC2DSADTEN001 | 0000 0000 _H | 32 | FFDD 1104 _H | 1(1H) | 32 |
| PIC2 | DSADC スタートトリガ出力制御レジスタ 02 | PIC2DSADTEN002 | 0000 0000 _H | 32 | FFDD 1108 _H | 1(1H) | 32 |
| PIC2 | DSADC ストップトリガ出力制御レジスタ 00 | PIC2DSADTEN100 | 0000 _H | 16 | FFDD 110C _H | 1(1H) | 16 |
| PIC2 | DSADC ストップトリガ出力制御レジスタ 01 | PIC2DSADTEN101 | 0000 0000 _H | 32 | FFDD 1110 _H | 1(1H) | 32 |
| PIC2 | DSADC ストップトリガ出力制御レジスタ 02 | PIC2DSADTEN102 | 0000 0000 _H | 32 | FFDD 1114 _H | 1(1H) | 32 |
| PIC2 | DSADC スタートトリガ出力制御レジスタ 10 | PIC2DSADTEN010 | 0000 _H | 16 | FFDD 1118 _H | 1(1H) | 16 |
| PIC2 | DSADC スタートトリガ出力制御レジスタ 11 | PIC2DSADTEN011 | 0000 0000 _H | 32 | FFDD 111C _H | 1(1H) | 32 |
| PIC2 | DSADC スタートトリガ出力制御レジスタ 12 | PIC2DSADTEN012 | 0000 0000 _H | 32 | FFDD 1120 _H | 1(1H) | 32 |
| PIC2 | DSADC ストップトリガ出力制御レジスタ 10 | PIC2DSADTEN110 | 0000 _H | 16 | FFDD 1124 _H | 1(1H) | 16 |

(60/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|----------|------------------------------------|-----------------|------------------------|------|------------------------|------------------|---------|
| PIC2 | DSADC ストップトリガ出力制御レジスタ 11 | PIC2DSADTEN111 | 0000 0000 _H | 32 | FFDD 1128 _H | 1(1H) | 32 |
| PIC2 | DSADC ストップトリガ出力制御レジスタ 12 | PIC2DSADTEN112 | 0000 0000 _H | 32 | FFDD 112C _H | 1(1H) | 32 |
| PIC2 | DSADC トリガ選択制御レジスタ 0 | PIC2DSADCATSEL0 | 0000 _H | 16 | FFDD 11C0 _H | 1(1H) | 16 |
| PIC2 | DSADC トリガ選択制御レジスタ 1 | PIC2DSADCATSEL1 | 0000 _H | 16 | FFDD 11C4 _H | 1(1H) | 16 |
| PBG | PBG1B プロテクションレジスタ 0 | FSGD1BDPROT0 | 07FF FFFF _H | 32 | FFDD D000 _H | 1(1H) | 8、16、32 |
| PBG | PBG1B エラーコントロールレジスタ | ERRSLV1BCTL | 0000 0000 _H | 32 | FFDD D200 _H | 1(1H) | 8、16、32 |
| PBG | PBG1B エラーステータスレジスタ | ERRSLV1BSTAT | 0000 0000 _H | 32 | FFDD D204 _H | 1(1H) | 8、16、32 |
| PBG | PBG1B エラーアドレスレジスタ | ERRSLV1BADDR | 0000 0000 _H | 32 | FFDD D208 _H | 1(1H) | 32 |
| PBG | PBG1B エラータイプレジスタ | ERRSLV1BTYPE | 0000 0000 _H | 32 | FFDD D20C _H | 1(1H) | 16、32 |
| APDP | P-Bus データパリティステータスレジスタ ATU4 | APDPERRST_ATU4 | 0000 0000 _H | 32 | FFDD F000 _H | 1(1H) | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ ATU4 | APDPERRSTC_ATU4 | 0000 0000 _H | 32 | FFDD F004 _H | 1(1H) | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ ATU4 | APDPTMC_ATU4 | 0000 0000 _H | 32 | FFDD F008 _H | 1(1H) | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ ATU4 | APDPERRADR_ATU4 | 0000 0000 _H | 32 | FFDD F00C _H | 1(1H) | 32 |
| ATU4CTRL | ATU-IV マスタイネーブルレジスタ | ATUENR | 0000 _H | 16 | FFE6 0000 _H | 1(1H) | 8、16 |
| ATU4CTRL | クロックバスコントロールレジスタ | CBCNT | 00 _H | 8 | FFE6 0002 _H | 1(1H) | 8 |
| ATU4CTRL | ノイズキャンセルモードレジスタ | NCMR | 00 _H | 8 | FFE6 0003 _H | 1(1H) | 8 |
| ATU4CTRL | プリスケラレジスタ 0 | PSCR0 | 0000 _H | 16 | FFE6 0080 _H | 1(1H) | 16 |
| ATU4CTRL | プリスケラレジスタ 1 | PSCR1 | 0000 _H | 16 | FFE6 0084 _H | 1(1H) | 16 |
| ATU4CTRL | プリスケラレジスタ 2 | PSCR2 | 0000 _H | 16 | FFE6 0088 _H | 1(1H) | 16 |
| ATU4CTRL | プリスケラレジスタ 3 | PSCR3 | 0000 _H | 16 | FFE6 008C _H | 1(1H) | 16 |
| ATU4CTRL | トリガステータスレジスタ DMA0 | TRGSRDMA0 | 00 _H | 8 | FFE6 00C0 _H | 1(1H) | 8 |
| ATU4CTRL | トリガ選択レジスタ DMA00 | TRGSELDMA00 | 00 _H | 8 | FFE6 00C4 _H | 1(1H) | 8 |
| ATU4CTRL | トリガ選択レジスタ DMA01 | TRGSELDMA01 | 00 _H | 8 | FFE6 00C6 _H | 1(1H) | 8 |
| ATU4CTRL | トリガ選択レジスタ AD | TRGSELAD | 00 _H | 8 | FFE6 00C8 _H | 1(1H) | 8 |
| ATU4CTRL | トリガステータスレジスタ DMA1 | TRGSRDMA1 | 00 _H | 8 | FFE6 00D0 _H | 1(1H) | 8 |
| ATU4CTRL | トリガ選択レジスタ DMA10 | TRGSELDMA10 | 00 _H | 8 | FFE6 00D4 _H | 1(1H) | 8 |
| ATU4CTRL | トリガ選択レジスタ DMA11 | TRGSELDMA11 | 00 _H | 8 | FFE6 00D6 _H | 1(1H) | 8 |
| ATU4H | タイマコントロールレジスタ H | TCRH | 00 _H | 8 | FFE6 0100 _H | 1(1H) | 8 |
| ATU4H | タイマステータスレジスタ H | TSRH | 00 _H | 8 | FFE6 0102 _H | 1(1H) | 8 |
| ATU4H | タイマステータスクリアレジスタ H | TSCRH | 00 _H | 8 | FFE6 0103 _H | 1(1H) | 8 |
| ATU4H | タイマカウンタ 1H | TCNT1H | 0000 _H | 16 | FFE6 0104 _H | 1(1H) | 16 |
| ATU4H | コンペアマッチレジスタ 1H | OCR1H | FFFF _H | 16 | FFE6 0106 _H | 1(1H) | 16 |
| ATU4H | タイマカウンタ 2H | TCNT2H | 0000 0000 _H | 32 | FFE6 0108 _H | 1(1H) | 32 |
| ATU4A | タイマコントロールレジスタ 1A | TCR1A | 00 _H | 8 | FFE6 0200 _H | 1(1H) | 8 |
| ATU4A | タイマコントロールレジスタ 2A | TCR2A | 00 _H | 8 | FFE6 0202 _H | 1(1H) | 8 |
| ATU4A | タイマコントロールレジスタ 3A | TCR3A | 00 _H | 8 | FFE6 0204 _H | 1(1H) | 8 |
| ATU4A | タイマコントロールレジスタ 4A | TCR4A | 00 _H | 8 | FFE6 0206 _H | 1(1H) | 8 |
| ATU4A | タイマステータスレジスタ A | TSRA | 00 _H | 8 | FFE6 0208 _H | 1(1H) | 8 |
| ATU4A | タイマステータスクリアレジスタ A | TSCRA | 00 _H | 8 | FFE6 020A _H | 1(1H) | 8 |
| ATU4A | ノイズキャンセルモードチャンネルレジスタ 1A | NCMCR1A | 00 _H | 8 | FFE6 020C _H | 1(1H) | 8 |
| ATU4A | ノイズキャンセルモードチャンネルレジスタ 2A | NCMCR2A | 00 _H | 8 | FFE6 020E _H | 1(1H) | 8 |
| ATU4A | タイマ I/O コントロールレジスタ 1A | TIOR1A | 0000 _H | 16 | FFE6 0210 _H | 1(1H) | 8、16 |

(61/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4A | タイマ I/O コントロールレジスタ 2A | TIOR2A | 0000 0000 _H | 32 | FFE6 0214 _H | 1(1H) | 8、16、32 |
| ATU4A | タイマ入力信号レベルレジスタ A | TILRA | 00 _H | 8 | FFE6 0218 _H | 1(1H) | 8 |
| ATU4A | タイマ入力信号レベルキャプチャレジスタ A | TILCRA | 00 _H | 8 | FFE6 021A _H | 1(1H) | 8 |
| ATU4A | フリーランニングカウンタ A | TCNTA | 0000 0000 _H | 32 | FFE6 0220 _H | 1(1H) | 32 |
| ATU4A | インプットキャプチャレジスタ A0 | ICRA0 | 0000 0000 _H | 32 | FFE6 0240 _H | 1(1H) | 32 |
| ATU4A | ノイズキャンセルカウンタ A0 | NCNTA0 | 0000 _H | 16 | FFE6 0244 _H | 1(1H) | 16 |
| ATU4A | ノイズキャンセルレジスタ A0 | NCRA0 | 0000 _H | 16 | FFE6 0246 _H | 1(1H) | 16 |
| ATU4A | インプットキャプチャレジスタ A1 | ICRA1 | 0000 0000 _H | 32 | FFE6 0260 _H | 1(1H) | 32 |
| ATU4A | ノイズキャンセルカウンタ A1 | NCNTA1 | 0000 _H | 16 | FFE6 0264 _H | 1(1H) | 16 |
| ATU4A | ノイズキャンセルレジスタ A1 | NCRA1 | 0000 _H | 16 | FFE6 0266 _H | 1(1H) | 16 |
| ATU4A | インプットキャプチャレジスタ A2 | ICRA2 | 0000 0000 _H | 32 | FFE6 0280 _H | 1(1H) | 32 |
| ATU4A | ノイズキャンセルカウンタ A2 | NCNTA2 | 0000 _H | 16 | FFE6 0284 _H | 1(1H) | 16 |
| ATU4A | ノイズキャンセルレジスタ A2 | NCRA2 | 0000 _H | 16 | FFE6 0286 _H | 1(1H) | 16 |
| ATU4A | インプットキャプチャレジスタ A3 | ICRA3 | 0000 0000 _H | 32 | FFE6 02A0 _H | 1(1H) | 32 |
| ATU4A | ノイズキャンセルカウンタ A3 | NCNTA3 | 0000 _H | 16 | FFE6 02A4 _H | 1(1H) | 16 |
| ATU4A | ノイズキャンセルレジスタ A3 | NCRA3 | 0000 _H | 16 | FFE6 02A6 _H | 1(1H) | 16 |
| ATU4A | インプットキャプチャレジスタ A4 | ICRA4 | 0000 0000 _H | 32 | FFE6 02C0 _H | 1(1H) | 32 |
| ATU4A | ノイズキャンセルカウンタ A4 | NCNTA4 | 0000 _H | 16 | FFE6 02C4 _H | 1(1H) | 16 |
| ATU4A | ノイズキャンセルレジスタ A4 | NCRA4 | 0000 _H | 16 | FFE6 02C6 _H | 1(1H) | 16 |
| ATU4A | インプットキャプチャレジスタ A5 | ICRA5 | 0000 0000 _H | 32 | FFE6 02E0 _H | 1(1H) | 32 |
| ATU4A | ノイズキャンセルカウンタ A5 | NCNTA5 | 0000 _H | 16 | FFE6 02E4 _H | 1(1H) | 16 |
| ATU4A | ノイズキャンセルレジスタ A5 | NCRA5 | 0000 _H | 16 | FFE6 02E6 _H | 1(1H) | 16 |
| ATU4B | タイマコントロールレジスタ B | TCRB | 00 _H | 8 | FFE6 0400 _H | 1(1H) | 8 |
| ATU4B | タイマ I/O コントロールレジスタ B | TIORB | 00 _H | 8 | FFE6 0402 _H | 1(1H) | 8 |
| ATU4B | タイマステータスレジスタ B | TSRB | 0000 _H | 16 | FFE6 0404 _H | 1(1H) | 8、16 |
| ATU4B | タイマステータスクリアレジスタ B | TSCR | 0000 _H | 16 | FFE6 0406 _H | 1(1H) | 8、16 |
| ATU4B | タイマインタラプトコントロールレジスタ B | TICRB | 00 _H | 8 | FFE6 0408 _H | 1(1H) | 8 |
| ATU4B | 入力エッジ間計測カウンタ B0 | TCNTB0 | 0000 0001 _H | 32 | FFE6 0480 _H | 1(1H) | 32 |
| ATU4B | インプットキャプチャレジスタ B0 | ICRB0 | 0000 0000 _H | 32 | FFE6 0484 _H | 1(1H) | 32 |
| ATU4B | レコードレジスタ B1 | RECRB1 | 0000 0000 _H | 32 | FFE6 0488 _H | 1(1H) | 32 |
| ATU4B | レコードレジスタ B2 | RECRB2 | 0000 0000 _H | 32 | FFE6 048C _H | 1(1H) | 32 |
| ATU4B | レコードレジスタ B3 | RECRB3 | 0000 0000 _H | 32 | FFE6 0490 _H | 1(1H) | 32 |
| ATU4B | レコードレジスタ B4 | RECRB4 | 0000 0000 _H | 32 | FFE6 0494 _H | 1(1H) | 32 |
| ATU4B | レコードレジスタ B5 | RECRB5 | 0000 0000 _H | 32 | FFE6 0498 _H | 1(1H) | 32 |
| ATU4B | レコードレジスタ B6 | RECRB6 | 0000 0000 _H | 32 | FFE6 049C _H | 1(1H) | 32 |
| ATU4B | レコードバックアップレジスタ B0 | RBURB0 | 0000 0000 _H | 32 | FFE6 04A0 _H | 1(1H) | 32 |
| ATU4B | レコードバックアップレジスタ B1 | RBURB1 | 0000 0000 _H | 32 | FFE6 04A4 _H | 1(1H) | 32 |
| ATU4B | レコードバックアップレジスタ B2 | RBURB2 | 0000 0000 _H | 32 | FFE6 04A8 _H | 1(1H) | 32 |
| ATU4B | レコードバックアップレジスタ B3 | RBURB3 | 0000 0000 _H | 32 | FFE6 04AC _H | 1(1H) | 32 |
| ATU4B | レコードバックアップレジスタ B4 | RBURB4 | 0000 0000 _H | 32 | FFE6 04B0 _H | 1(1H) | 32 |
| ATU4B | レコードバックアップレジスタ B5 | RBURB5 | 0000 0000 _H | 32 | FFE6 04B4 _H | 1(1H) | 32 |
| ATU4B | レコードバックアップレジスタ B6 | RBURB6 | 0000 0000 _H | 32 | FFE6 04B8 _H | 1(1H) | 32 |
| ATU4B | アウトプットコンペアレジスタ B0 | OCRB0 | FFFF FFFF _H | 32 | FFE6 04BC _H | 1(1H) | 32 |
| ATU4B | イベントカウンタ B1 | TCNTB1 | 00 _H | 8 | FFE6 04C4 _H | 1(1H) | 8 |
| ATU4B | アウトプットコンペアレジスタ B1 | OCRB1 | FF _H | 8 | FFE6 04C6 _H | 1(1H) | 8 |
| ATU4B | アウトプットコンペアレジスタ B10 | OCRB10 | FF _H | 8 | FFE6 04C8 _H | 1(1H) | 8 |

(62/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4B | アウトプットコンペアレジスタ B11 | OCRB11 | FF _H | 8 | FFE6 04CA _H | 1(1H) | 8 |
| ATU4B | アウトプットコンペアレジスタ B12 | OCRB12 | FF _H | 8 | FFE6 04CC _H | 1(1H) | 8 |
| ATU4B | インプットキャプチャレジスタ B1 | ICRB1 | 0000 0000 _H | 32 | FFE6 04D0 _H | 1(1H) | 32 |
| ATU4B | インプットキャプチャレジスタ B2 | ICRB2 | 0000 0000 _H | 32 | FFE6 04D4 _H | 1(1H) | 32 |
| ATU4B | インプットキャプチャレジスタ B30 | ICRB30 | 00 _H | 8 | FFE6 04D8 _H | 1(1H) | 8 |
| ATU4B | インプットキャプチャレジスタ B31 | ICRB31 | 00 _H | 8 | FFE6 04D9 _H | 1(1H) | 8 |
| ATU4B | インプットキャプチャレジスタ B32 | ICRB32 | 00 _H | 8 | FFE6 04DA _H | 1(1H) | 8 |
| ATU4B | インプットキャプチャレジスタ B33 | ICRB33 | 00 _H | 8 | FFE6 04DB _H | 1(1H) | 8 |
| ATU4B | インプットキャプチャレジスタ B34 | ICRB34 | 00 _H | 8 | FFE6 04DC _H | 1(1H) | 8 |
| ATU4B | インプットキャプチャレジスタ B35 | ICRB35 | 00 _H | 8 | FFE6 04DD _H | 1(1H) | 8 |
| ATU4B | インプットキャプチャレジスタ B36 | ICRB36 | 00 _H | 8 | FFE6 04DE _H | 1(1H) | 8 |
| ATU4B | ロードレジスタ B | LDB | 0000 0000 _H | 32 | FFE6 0500 _H | 1(1H) | 32 |
| ATU4B | リロードレジスタ B | RLDB | 0000 0000 _H | 32 | FFE6 0504 _H | 1(1H) | 32 |
| ATU4B | リロードカウンタ B2 | TCNTB2 | 0000 0000 _H | 32 | FFE6 0508 _H | 1(1H) | 32 |
| ATU4B | パルスインターバルマルチプライヤレジスタ 1 | PIMR1 | 0001 _H | 16 | FFE6 050C _H | 1(1H) | 16 |
| ATU4B | パルスインターバルマルチプライヤレジスタ 2 | PIMR2 | 0001 _H | 16 | FFE6 050E _H | 1(1H) | 16 |
| ATU4B | 倍周クロックカウンタ B6 | TCNTB6 | 0000 0000 _H | 32 | FFE6 0510 _H | 1(1H) | 32 |
| ATU4B | インプットキャプチャレジスタ B6 | ICRB6 | 0000 0000 _H | 32 | FFE6 0514 _H | 1(1H) | 32 |
| ATU4B | 倍率設定レジスタ B6 | RARB6 | 40 _H | 8 | FFE6 0518 _H | 1(1H) | 8 |
| ATU4B | 倍周クロックカウンタ B6M | TCNTB6M | 0000 0000 _H | 32 | FFE6 051C _H | 1(1H) | 32 |
| ATU4B | アウトプットコンペアレジスタ B6 | OCRB6 | FFFF F000 _H | 32 | FFE6 0520 _H | 1(1H) | 32 |
| ATU4B | アウトプットコンペアレジスタ B7 | OCRB7 | FFFF F000 _H | 32 | FFE6 0524 _H | 1(1H) | 32 |
| ATU4B | 補正イベントカウンタ B3 | TCNTB3 | 0000 0000 _H | 32 | FFE6 0580 _H | 1(1H) | 32 |
| ATU4B | 補正倍周クロックカウンタ B4 | TCNTB4 | 0000 0000 _H | 32 | FFE6 0584 _H | 1(1H) | 32 |
| ATU4B | 倍周補正クロック生成カウンタ B5 | TCNTB5 | 0000 1000 _H | 32 | FFE6 0588 _H | 1(1H) | 32 |
| ATU4B | 補正カウンタクリアフラグレジスタ B | TCCLFRB | 00 _H | 8 | FFE6 058C _H | 1(1H) | 8 |
| ATU4B | 補正カウンタクリアフラグセットレジスタ B | TCCLFSRB | 00 _H | 8 | FFE6 058D _H | 1(1H) | 8 |
| ATU4B | 補正カウンタクリアフラグクリアレジスタ B | TCCLFCRB | 00 _H | 8 | FFE6 058E _H | 1(1H) | 8 |
| ATU4B | 補正カウンタクリアレジスタ B | TCCLRFB | 0000 0000 _H | 32 | FFE6 0590 _H | 1(1H) | 32 |
| ATU4B | アウトプットコンペアレジスタ B8 | OCRB8 | FFFF F000 _H | 32 | FFE6 0594 _H | 1(1H) | 32 |
| ATU4B | AGCKM2 補正許可設定レジスタ | ACRTRGB | 00 _H | 8 | FFE6 05A0 _H | 1(1H) | 8 |
| ATU4B | AGCKM2 補正クリア設定レジスタ | ACRCLRB | 00 _H | 8 | FFE6 05A1 _H | 1(1H) | 8 |
| ATU4B | AGCKM2 補正ステータスレジスタ | ACRSTRB | 00 _H | 8 | FFE6 05A2 _H | 1(1H) | 8 |
| ATU4B | AGCKM2 補正クロック数設定レジスタ | ACRVALRB | 0000 _H | 16 | FFE6 05A4 _H | 1(1H) | 16 |
| ATU4C | タイマスタートレジスタ C | TSTRC | 00 _H | 8 | FFE6 0600 _H | 1(1H) | 8 |
| ATU4C | ノイズキャンセラコントロールレジスタ C0 | NCCRC0 | 00 _H | 8 | FFE6 0604 _H | 1(1H) | 8 |
| ATU4C | ノイズキャンセラコントロールレジスタ C1 | NCCRC1 | 00 _H | 8 | FFE6 0605 _H | 1(1H) | 8 |
| ATU4C | ノイズキャンセラコントロールレジスタ C2 | NCCRC2 | 00 _H | 8 | FFE6 0606 _H | 1(1H) | 8 |
| ATU4C | ノイズキャンセラコントロールレジスタ C3 | NCCRC3 | 00 _H | 8 | FFE6 0607 _H | 1(1H) | 8 |
| ATU4C | ノイズキャンセラコントロールレジスタ C4 | NCCRC4 | 00 _H | 8 | FFE6 0608 _H | 1(1H) | 8 |
| ATU4C | ノイズキャンセラコントロールレジスタ C5 | NCCRC5 | 00 _H | 8 | FFE6 0609 _H | 1(1H) | 8 |

(63/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-------------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4C | ノイズキャンセルモードチャンネルレジスタ 1C | NCMCR1C | 00 _H | 8 | FFE6 0610 _H | 1(1H) | 8 |
| ATU4C | ノイズキャンセルモードチャンネルレジスタ 2C | NCMCR2C | 00 _H | 8 | FFE6 0612 _H | 1(1H) | 8 |
| ATU4C | タイマステータスクリアレジスタ C0 | TSCRC0 | 0000 _H | 16 | FFE6 0622 _H | 1(1H) | 8、16 |
| ATU4C | タイマコントロールレジスタ C0 | TCRC0 | 0000 _H | 16 | FFE6 0624 _H | 1(1H) | 8、16 |
| ATU4C | タイマステータスレジスタ C0 | TSRC0 | 0000 _H | 16 | FFE6 0626 _H | 1(1H) | 8、16 |
| ATU4C | タイマ I/O コントロールレジスタ C0 | TIORC0 | 0000 _H | 16 | FFE6 0628 _H | 1(1H) | 8、16 |
| ATU4C | タイマインタラプトイネーブルレジスタ C0 | TIERC0 | 000F _H | 16 | FFE6 0634 _H | 1(1H) | 8、16 |
| ATU4C | タイマカウンタ C0 | TCNTC0 | 0000 0000 _H | 32 | FFE6 0638 _H | 1(1H) | 32 |
| ATU4C | カウンタ上限値設定コンペアレジスタ C0 | CUCRC0 | FFFF FFFF _H | 32 | FFE6 063C _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C00 | GRC00 | FFFF FFFF _H | 32 | FFE6 0640 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C01 | GRC01 | FFFF FFFF _H | 32 | FFE6 0644 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C02 | GRC02 | FFFF FFFF _H | 32 | FFE6 0648 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C03 | GRC03 | FFFF FFFF _H | 32 | FFE6 064C _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C00 | OCRC00 | FFFF FFFF _H | 32 | FFE6 0650 _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C01 | OCRC01 | FFFF FFFF _H | 32 | FFE6 0654 _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C02 | OCRC02 | FFFF FFFF _H | 32 | FFE6 0658 _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C03 | OCRC03 | FFFF FFFF _H | 32 | FFE6 065C _H | 1(1H) | 32 |
| ATU4C | ノイズキャンセルカウンタ C00 | NCNTC00 | 0000 _H | 16 | FFE6 0670 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C00 | NCRC00 | 0000 _H | 16 | FFE6 0672 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C01 | NCNTC01 | 0000 _H | 16 | FFE6 0674 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C01 | NCRC01 | 0000 _H | 16 | FFE6 0676 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C02 | NCNTC02 | 0000 _H | 16 | FFE6 0678 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C02 | NCRC02 | 0000 _H | 16 | FFE6 067A _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C03 | NCNTC03 | 0000 _H | 16 | FFE6 067C _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C03 | NCRC03 | 0000 _H | 16 | FFE6 067E _H | 1(1H) | 16 |
| ATU4C | タイマステータスクリアレジスタ C1 | TSCRC1 | 0000 _H | 16 | FFE6 06A2 _H | 1(1H) | 8、16 |
| ATU4C | タイマコントロールレジスタ C1 | TCRC1 | 0000 _H | 16 | FFE6 06A4 _H | 1(1H) | 8、16 |
| ATU4C | タイマステータスレジスタ C1 | TSRC1 | 0000 _H | 16 | FFE6 06A6 _H | 1(1H) | 8、16 |
| ATU4C | タイマ I/O コントロールレジスタ C1 | TIORC1 | 0000 _H | 16 | FFE6 06A8 _H | 1(1H) | 8、16 |
| ATU4C | タイマインタラプトイネーブルレジスタ C1 | TIERC1 | 000F _H | 16 | FFE6 06B4 _H | 1(1H) | 8、16 |
| ATU4C | タイマカウンタ C1 | TCNTC1 | 0000 0000 _H | 32 | FFE6 06B8 _H | 1(1H) | 32 |
| ATU4C | カウンタ上限値設定コンペアレジスタ C1 | CUCRC1 | FFFF FFFF _H | 32 | FFE6 06BC _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C10 | GRC10 | FFFF FFFF _H | 32 | FFE6 06C0 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C11 | GRC11 | FFFF FFFF _H | 32 | FFE6 06C4 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C12 | GRC12 | FFFF FFFF _H | 32 | FFE6 06C8 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C13 | GRC13 | FFFF FFFF _H | 32 | FFE6 06CC _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C10 | OCRC10 | FFFF FFFF _H | 32 | FFE6 06D0 _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C11 | OCRC11 | FFFF FFFF _H | 32 | FFE6 06D4 _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C12 | OCRC12 | FFFF FFFF _H | 32 | FFE6 06D8 _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C13 | OCRC13 | FFFF FFFF _H | 32 | FFE6 06DC _H | 1(1H) | 32 |
| ATU4C | ノイズキャンセルカウンタ C10 | NCNTC10 | 0000 _H | 16 | FFE6 06F0 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C10 | NCRC10 | 0000 _H | 16 | FFE6 06F2 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C11 | NCNTC11 | 0000 _H | 16 | FFE6 06F4 _H | 1(1H) | 16 |

(64/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4C | ノイズキャンセルレジスタ C11 | NCRC11 | 0000 _H | 16 | FFE6 06F6 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C12 | NCNTC12 | 0000 _H | 16 | FFE6 06F8 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C12 | NCRC12 | 0000 _H | 16 | FFE6 06FA _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C13 | NCNTC13 | 0000 _H | 16 | FFE6 06FC _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C13 | NCRC13 | 0000 _H | 16 | FFE6 06FE _H | 1(1H) | 16 |
| ATU4C | タイマステータスクリアレジスタ C2 | TSCRC2 | 0000 _H | 16 | FFE6 0722 _H | 1(1H) | 8、16 |
| ATU4C | タイマコントロールレジスタ C2 | TCRC2 | 0000 _H | 16 | FFE6 0724 _H | 1(1H) | 8、16 |
| ATU4C | タイマステータスレジスタ C2 | TSRC2 | 0000 _H | 16 | FFE6 0726 _H | 1(1H) | 8、16 |
| ATU4C | タイマ I/O コントロールレジスタ C2 | TIORC2 | 0000 _H | 16 | FFE6 0728 _H | 1(1H) | 8、16 |
| ATU4C | タイマインタラプトイネーブルレジスタ C2 | TIERC2 | 000F _H | 16 | FFE6 0734 _H | 1(1H) | 8、16 |
| ATU4C | タイマカウンタ C2 | TCNTC2 | 0000 0000 _H | 32 | FFE6 0738 _H | 1(1H) | 32 |
| ATU4C | カウンタ上限値設定コンペアレジスタ C2 | CUCRC2 | FFFF FFFF _H | 32 | FFE6 073C _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C20 | GRC20 | FFFF FFFF _H | 32 | FFE6 0740 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C21 | GRC21 | FFFF FFFF _H | 32 | FFE6 0744 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C22 | GRC22 | FFFF FFFF _H | 32 | FFE6 0748 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C23 | GRC23 | FFFF FFFF _H | 32 | FFE6 074C _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C20 | OCRC20 | FFFF FFFF _H | 32 | FFE6 0750 _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C21 | OCRC21 | FFFF FFFF _H | 32 | FFE6 0754 _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C22 | OCRC22 | FFFF FFFF _H | 32 | FFE6 0758 _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C23 | OCRC23 | FFFF FFFF _H | 32 | FFE6 075C _H | 1(1H) | 32 |
| ATU4C | ノイズキャンセルカウンタ C20 | NCNTC20 | 0000 _H | 16 | FFE6 0770 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C20 | NCRC20 | 0000 _H | 16 | FFE6 0772 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C21 | NCNTC21 | 0000 _H | 16 | FFE6 0774 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C21 | NCRC21 | 0000 _H | 16 | FFE6 0776 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C22 | NCNTC22 | 0000 _H | 16 | FFE6 0778 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C22 | NCRC22 | 0000 _H | 16 | FFE6 077A _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C23 | NCNTC23 | 0000 _H | 16 | FFE6 077C _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C23 | NCRC23 | 0000 _H | 16 | FFE6 077E _H | 1(1H) | 16 |
| ATU4C | タイマステータスクリアレジスタ C3 | TSCRC3 | 0000 _H | 16 | FFE6 07A2 _H | 1(1H) | 8、16 |
| ATU4C | タイマコントロールレジスタ C3 | TCRC3 | 0000 _H | 16 | FFE6 07A4 _H | 1(1H) | 8、16 |
| ATU4C | タイマステータスレジスタ C3 | TSRC3 | 0000 _H | 16 | FFE6 07A6 _H | 1(1H) | 8、16 |
| ATU4C | タイマ I/O コントロールレジスタ C3 | TIORC3 | 0000 _H | 16 | FFE6 07A8 _H | 1(1H) | 8、16 |
| ATU4C | タイマインタラプトイネーブルレジスタ C3 | TIERC3 | 000F _H | 16 | FFE6 07B4 _H | 1(1H) | 8、16 |
| ATU4C | タイマカウンタ C3 | TCNTC3 | 0000 0000 _H | 32 | FFE6 07B8 _H | 1(1H) | 32 |
| ATU4C | カウンタ上限値設定コンペアレジスタ C3 | CUCRC3 | FFFF FFFF _H | 32 | FFE6 07BC _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C30 | GRC30 | FFFF FFFF _H | 32 | FFE6 07C0 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C31 | GRC31 | FFFF FFFF _H | 32 | FFE6 07C4 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C32 | GRC32 | FFFF FFFF _H | 32 | FFE6 07C8 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C33 | GRC33 | FFFF FFFF _H | 32 | FFE6 07CC _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C30 | OCRC30 | FFFF FFFF _H | 32 | FFE6 07D0 _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C31 | OCRC31 | FFFF FFFF _H | 32 | FFE6 07D4 _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C32 | OCRC32 | FFFF FFFF _H | 32 | FFE6 07D8 _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C33 | OCRC33 | FFFF FFFF _H | 32 | FFE6 07DC _H | 1(1H) | 32 |
| ATU4C | ノイズキャンセルカウンタ C30 | NCNTC30 | 0000 _H | 16 | FFE6 07F0 _H | 1(1H) | 16 |

(65/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4C | ノイズキャンセルレジスタ C30 | NCRC30 | 0000 _H | 16 | FFE6 07F2 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C31 | NCNTC31 | 0000 _H | 16 | FFE6 07F4 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C31 | NCRC31 | 0000 _H | 16 | FFE6 07F6 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C32 | NCNTC32 | 0000 _H | 16 | FFE6 07F8 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C32 | NCRC32 | 0000 _H | 16 | FFE6 07FA _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C33 | NCNTC33 | 0000 _H | 16 | FFE6 07FC _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C33 | NCRC33 | 0000 _H | 16 | FFE6 07FE _H | 1(1H) | 16 |
| ATU4C | タイマステータスクリアレジスタ C4 | TSCRC4 | 0000 _H | 16 | FFE6 0822 _H | 1(1H) | 8、16 |
| ATU4C | タイマコントロールレジスタ C4 | TCRC4 | 0000 _H | 16 | FFE6 0824 _H | 1(1H) | 8、16 |
| ATU4C | タイマステータスレジスタ C4 | TSRC4 | 0000 _H | 16 | FFE6 0826 _H | 1(1H) | 8、16 |
| ATU4C | タイマ I/O コントロールレジスタ C4 | TIORC4 | 0000 _H | 16 | FFE6 0828 _H | 1(1H) | 8、16 |
| ATU4C | タイマインタラプトイネーブルレジスタ C4 | TIERC4 | 000F _H | 16 | FFE6 0834 _H | 1(1H) | 8、16 |
| ATU4C | タイマカウンタ C4 | TCNTC4 | 0000 0000 _H | 32 | FFE6 0838 _H | 1(1H) | 32 |
| ATU4C | カウンタ上限値設定コンペアレジスタ C4 | CUCRC4 | FFFF FFFF _H | 32 | FFE6 083C _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C40 | GRC40 | FFFF FFFF _H | 32 | FFE6 0840 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C41 | GRC41 | FFFF FFFF _H | 32 | FFE6 0844 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C42 | GRC42 | FFFF FFFF _H | 32 | FFE6 0848 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C43 | GRC43 | FFFF FFFF _H | 32 | FFE6 084C _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C40 | OCRC40 | FFFF FFFF _H | 32 | FFE6 0850 _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C41 | OCRC41 | FFFF FFFF _H | 32 | FFE6 0854 _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C42 | OCRC42 | FFFF FFFF _H | 32 | FFE6 0858 _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C43 | OCRC43 | FFFF FFFF _H | 32 | FFE6 085C _H | 1(1H) | 32 |
| ATU4C | ノイズキャンセルカウンタ C40 | NCNTC40 | 0000 _H | 16 | FFE6 0870 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C40 | NCRC40 | 0000 _H | 16 | FFE6 0872 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C41 | NCNTC41 | 0000 _H | 16 | FFE6 0874 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C41 | NCRC41 | 0000 _H | 16 | FFE6 0876 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C42 | NCNTC42 | 0000 _H | 16 | FFE6 0878 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C42 | NCRC42 | 0000 _H | 16 | FFE6 087A _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C43 | NCNTC43 | 0000 _H | 16 | FFE6 087C _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C43 | NCRC43 | 0000 _H | 16 | FFE6 087E _H | 1(1H) | 16 |
| ATU4C | タイマステータスクリアレジスタ C5 | TSCRC5 | 0000 _H | 16 | FFE6 08A2 _H | 1(1H) | 8、16 |
| ATU4C | タイマコントロールレジスタ C5 | TCRC5 | 0000 _H | 16 | FFE6 08A4 _H | 1(1H) | 8、16 |
| ATU4C | タイマステータスレジスタ C5 | TSRC5 | 0000 _H | 16 | FFE6 08A6 _H | 1(1H) | 8、16 |
| ATU4C | タイマ I/O コントロールレジスタ C5 | TIORC5 | 0000 _H | 16 | FFE6 08A8 _H | 1(1H) | 8、16 |
| ATU4C | タイマインタラプトイネーブルレジスタ C5 | TIERC5 | 000F _H | 16 | FFE6 08B4 _H | 1(1H) | 8、16 |
| ATU4C | タイマカウンタ C5 | TCNTC5 | 0000 0000 _H | 32 | FFE6 08B8 _H | 1(1H) | 32 |
| ATU4C | カウンタ上限値設定コンペアレジスタ C5 | CUCRC5 | FFFF FFFF _H | 32 | FFE6 08BC _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C50 | GRC50 | FFFF FFFF _H | 32 | FFE6 08C0 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C51 | GRC51 | FFFF FFFF _H | 32 | FFE6 08C4 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C52 | GRC52 | FFFF FFFF _H | 32 | FFE6 08C8 _H | 1(1H) | 32 |
| ATU4C | タイマ汎用レジスタ C53 | GRC53 | FFFF FFFF _H | 32 | FFE6 08CC _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C50 | OCRC50 | FFFF FFFF _H | 32 | FFE6 08D0 _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C51 | OCRC51 | FFFF FFFF _H | 32 | FFE6 08D4 _H | 1(1H) | 32 |
| ATU4C | アウトプットコンペアレジスタ C52 | OCRC52 | FFFF FFFF _H | 32 | FFE6 08D8 _H | 1(1H) | 32 |

(66/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4C | アウトプットコンペアレジスタ C53 | OCRC53 | FFFF FFFF _H | 32 | FFE6 08DC _H | 1(1H) | 32 |
| ATU4C | ノイズキャンセルカウンタ C50 | NCNTC50 | 0000 _H | 16 | FFE6 08F0 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C50 | NCRC50 | 0000 _H | 16 | FFE6 08F2 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C51 | NCNTC51 | 0000 _H | 16 | FFE6 08F4 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C51 | NCRC51 | 0000 _H | 16 | FFE6 08F6 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C52 | NCNTC52 | 0000 _H | 16 | FFE6 08F8 _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C52 | NCRC52 | 0000 _H | 16 | FFE6 08FA _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルカウンタ C53 | NCNTC53 | 0000 _H | 16 | FFE6 08FC _H | 1(1H) | 16 |
| ATU4C | ノイズキャンセルレジスタ C53 | NCRC53 | 0000 _H | 16 | FFE6 08FE _H | 1(1H) | 16 |
| ATU4D | タイマスタートレジスタ D | TSTRD | 0000 _H | 16 | FFE6 1000 _H | 1(1H) | 8、16 |
| ATU4D | タイマコントロールレジスタ D0 | TCRD0 | 0000 _H | 16 | FFE6 1100 _H | 1(1H) | 8、16 |
| ATU4D | ダウンカウンタコントロールレジスタ D0 | DCRD0 | 0000 _H | 16 | FFE6 1102 _H | 1(1H) | 8、16 |
| ATU4D | タイマ I/O コントロールレジスタ 1D0 | TIOR1D0 | 0000 _H | 16 | FFE6 1104 _H | 1(1H) | 8、16 |
| ATU4D | タイマ I/O コントロールレジスタ 2D0 | TIOR2D0 | 0000 _H | 16 | FFE6 1106 _H | 1(1H) | 8、16 |
| ATU4D | ダウンカウンタスタートレジスタ D0 | DSTRD0 | 00 _H | 8 | FFE6 1108 _H | 1(1H) | 8 |
| ATU4D | ダウンカウンタステータスクリアレジスタ D0 | DSCRD0 | 00 _H | 8 | FFE6 1109 _H | 1(1H) | 8 |
| ATU4D | ダウンカウンタステータスレジスタ 1D0 | DSR1D0 | 00 _H | 8 | FFE6 110A _H | 1(1H) | 8 |
| ATU4D | ダウンカウンタステータスレジスタ 2D0 | DSR2D0 | 00 _H | 8 | FFE6 110B _H | 1(1H) | 8 |
| ATU4D | タイマステータスレジスタ D0 | TSRD0 | 0000 _H | 16 | FFE6 110C _H | 1(1H) | 8、16 |
| ATU4D | タイマステータスクリアレジスタ D0 | TSCRD0 | 0000 _H | 16 | FFE6 110E _H | 1(1H) | 8、16 |
| ATU4D | タイマアウトプットコントロールレジスタ D0 | TOCRD0 | 00 _H | 8 | FFE6 1110 _H | 1(1H) | 8 |
| ATU4D | 出力選択レジスタ D0 | OSELRD0 | 00 _H | 8 | FFE6 1111 _H | 1(1H) | 8 |
| ATU4D | 出力値レジスタ D0 | ODRD0 | 00 _H | 8 | FFE6 1112 _H | 1(1H) | 8 |
| ATU4D | タイムインプットキャプチャトリガ選択レジスタ D0 | TICTSEL0 | 00 _H | 8 | FFE6 1114 _H | 1(1H) | 8 |
| ATU4D | タイマオフセットベースレジスタ D0 | OSBRD0 | 0000 0000 _H | 32 | FFE6 1118 _H | 1(1H) | 32 |
| ATU4D | タイマカウンタ 1D0 | TCNT1D0 | 0000 0000 _H | 32 | FFE6 1120 _H | 1(1H) | 32 |
| ATU4D | タイマカウンタ 2D0 | TCNT2D0 | 0000 0000 _H | 32 | FFE6 1124 _H | 1(1H) | 32 |
| ATU4D | カウンタ上限値設定コンペアレジスタ 1 D0 | CUCR1D0 | FFFF FFFF _H | 32 | FFE6 1128 _H | 1(1H) | 32 |
| ATU4D | カウンタ上限値設定コンペアレジスタ 2 D0 | CUCR2D0 | FFFF FFFF _H | 32 | FFE6 112C _H | 1(1H) | 32 |
| ATU4D | 範囲コンペア値設定レジスタ 1 D0 | RCR1D0 | 00 _H | 8 | FFE6 1130 _H | 1(1H) | 8 |
| ATU4D | 範囲コンペア値設定レジスタ 2 D0 | RCR2D0 | 00 _H | 8 | FFE6 1134 _H | 1(1H) | 8 |
| ATU4D | アウトプットコンペアレジスタ 1 D00 | OCR1D00 | FFFF FFFF _H | 32 | FFE6 1140 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D00 | OCR2D00 | FFFF FFFF _H | 32 | FFE6 1148 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D00 | ICR1D00 | 0000 0000 _H | 32 | FFE6 1150 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D00 | ICR2D00 | 0000 0000 _H | 32 | FFE6 1154 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D00 | DCNTD00 | 0000 0000 _H | 32 | FFE6 1158 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 1 D01 | OCR1D01 | FFFF FFFF _H | 32 | FFE6 1160 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D01 | OCR2D01 | FFFF FFFF _H | 32 | FFE6 1168 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D01 | ICR1D01 | 0000 0000 _H | 32 | FFE6 1170 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D01 | ICR2D01 | 0000 0000 _H | 32 | FFE6 1174 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D01 | DCNTD01 | 0000 0000 _H | 32 | FFE6 1178 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 1 D02 | OCR1D02 | FFFF FFFF _H | 32 | FFE6 1180 _H | 1(1H) | 32 |

(67/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------------------|------------|------------------------|------|------------------------|------------------|---------|
| ATU4D | アウトプットコンペアレジスタ 2 D02 | OCR2D02 | FFFF FFFF _H | 32 | FFE6 1188 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D02 | ICR1D02 | 0000 0000 _H | 32 | FFE6 1190 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D02 | ICR2D02 | 0000 0000 _H | 32 | FFE6 1194 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D02 | DCNTD02 | 0000 0000 _H | 32 | FFE6 1198 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 1 D03 | OCR1D03 | FFFF FFFF _H | 32 | FFE6 11A0 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D03 | OCR2D03 | FFFF FFFF _H | 32 | FFE6 11A8 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D03 | ICR1D03 | 0000 0000 _H | 32 | FFE6 11B0 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D03 | ICR2D03 | 0000 0000 _H | 32 | FFE6 11B4 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D03 | DCNTD03 | 0000 0000 _H | 32 | FFE6 11B8 _H | 1(1H) | 32 |
| ATU4D | タイマコントロールレジスタ D1 | TCRD1 | 0000 _H | 16 | FFE6 1200 _H | 1(1H) | 8、16 |
| ATU4D | ダウンカウンタコントロールレジスタ D1 | DCRD1 | 0000 _H | 16 | FFE6 1202 _H | 1(1H) | 8、16 |
| ATU4D | タイマ I/O コントロールレジスタ 1 D1 | TIOR1D1 | 0000 _H | 16 | FFE6 1204 _H | 1(1H) | 8、16 |
| ATU4D | タイマ I/O コントロールレジスタ 2 D1 | TIOR2D1 | 0000 _H | 16 | FFE6 1206 _H | 1(1H) | 8、16 |
| ATU4D | ダウンカウンタスタートレジスタ D1 | DS TRD1 | 00 _H | 8 | FFE6 1208 _H | 1(1H) | 8 |
| ATU4D | ダウンカウンタステータスクリアレジスタ D1 | DS CRD1 | 00 _H | 8 | FFE6 1209 _H | 1(1H) | 8 |
| ATU4D | ダウンカウンタステータスレジスタ 1 D1 | DS R1D1 | 00 _H | 8 | FFE6 120A _H | 1(1H) | 8 |
| ATU4D | ダウンカウンタステータスレジスタ 2 D1 | DS R2D1 | 00 _H | 8 | FFE6 120B _H | 1(1H) | 8 |
| ATU4D | タイマステータスレジスタ D1 | TS RD1 | 0000 _H | 16 | FFE6 120C _H | 1(1H) | 8、16 |
| ATU4D | タイマステータスクリアレジスタ D1 | TS CRD1 | 0000 _H | 16 | FFE6 120E _H | 1(1H) | 8、16 |
| ATU4D | タイマアウトプットコントロールレジスタ D1 | TO CRD1 | 00 _H | 8 | FFE6 1210 _H | 1(1H) | 8 |
| ATU4D | 出力選択レジスタ D1 | OS ELRD1 | 00 _H | 8 | FFE6 1211 _H | 1(1H) | 8 |
| ATU4D | 出力値レジスタ D1 | OD RD1 | 00 _H | 8 | FFE6 1212 _H | 1(1H) | 8 |
| ATU4D | タイマインプットキャプチャトリガ選択レジスタ D1 | TI CTSELD1 | 00 _H | 8 | FFE6 1214 _H | 1(1H) | 8 |
| ATU4D | タイマオフセットベースレジスタ D1 | OS BRD1 | 0000 0000 _H | 32 | FFE6 1218 _H | 1(1H) | 32 |
| ATU4D | タイマカウンタ 1 D1 | TC NT1D1 | 0000 0000 _H | 32 | FFE6 1220 _H | 1(1H) | 32 |
| ATU4D | タイマカウンタ 2 D1 | TC NT2D1 | 0000 0000 _H | 32 | FFE6 1224 _H | 1(1H) | 32 |
| ATU4D | カウンタ上限値設定コンペアレジスタ 1 D1 | CUC R1D1 | FFFF FFFF _H | 32 | FFE6 1228 _H | 1(1H) | 32 |
| ATU4D | カウンタ上限値設定コンペアレジスタ 2 D1 | CUC R2D1 | FFFF FFFF _H | 32 | FFE6 122C _H | 1(1H) | 32 |
| ATU4D | 範囲コンペア値設定レジスタ 1 D1 | RC R1D1 | 00 _H | 8 | FFE6 1230 _H | 1(1H) | 8 |
| ATU4D | 範囲コンペア値設定レジスタ 2 D1 | RC R2D1 | 00 _H | 8 | FFE6 1234 _H | 1(1H) | 8 |
| ATU4D | アウトプットコンペアレジスタ 1 D10 | OC R1D10 | FFFF FFFF _H | 32 | FFE6 1240 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D10 | OC R2D10 | FFFF FFFF _H | 32 | FFE6 1248 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D10 | IC R1D10 | 0000 0000 _H | 32 | FFE6 1250 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D10 | IC R2D10 | 0000 0000 _H | 32 | FFE6 1254 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D10 | DC NTD10 | 0000 0000 _H | 32 | FFE6 1258 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 1 D11 | OC R1D11 | FFFF FFFF _H | 32 | FFE6 1260 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D11 | OC R2D11 | FFFF FFFF _H | 32 | FFE6 1268 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D11 | IC R1D11 | 0000 0000 _H | 32 | FFE6 1270 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D11 | IC R2D11 | 0000 0000 _H | 32 | FFE6 1274 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D11 | DC NTD11 | 0000 0000 _H | 32 | FFE6 1278 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 1 D12 | OC R1D12 | FFFF FFFF _H | 32 | FFE6 1280 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D12 | OC R2D12 | FFFF FFFF _H | 32 | FFE6 1288 _H | 1(1H) | 32 |

(68/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------------------|-----------|------------------------|------|------------------------|------------------|---------|
| ATU4D | インプットキャプチャレジスタ 1 D12 | ICR1D12 | 0000 0000 _H | 32 | FFE6 1290 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D12 | ICR2D12 | 0000 0000 _H | 32 | FFE6 1294 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D12 | DCNTD12 | 0000 0000 _H | 32 | FFE6 1298 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 1 D13 | OCR1D13 | FFFF FFFF _H | 32 | FFE6 12A0 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D13 | OCR2D13 | FFFF FFFF _H | 32 | FFE6 12A8 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D13 | ICR1D13 | 0000 0000 _H | 32 | FFE6 12B0 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D13 | ICR2D13 | 0000 0000 _H | 32 | FFE6 12B4 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D13 | DCNTD13 | 0000 0000 _H | 32 | FFE6 12B8 _H | 1(1H) | 32 |
| ATU4D | タイマコントロールレジスタ D2 | TCRD2 | 0000 _H | 16 | FFE6 1300 _H | 1(1H) | 8、16 |
| ATU4D | ダウンカウンタコントロールレジスタ D2 | DCRD2 | 0000 _H | 16 | FFE6 1302 _H | 1(1H) | 8、16 |
| ATU4D | タイマ I/O コントロールレジスタ 1 D2 | TIOR1D2 | 0000 _H | 16 | FFE6 1304 _H | 1(1H) | 8、16 |
| ATU4D | タイマ I/O コントロールレジスタ 2 D2 | TIOR2D2 | 0000 _H | 16 | FFE6 1306 _H | 1(1H) | 8、16 |
| ATU4D | ダウンカウンタスタートレジスタ D2 | DSTRD2 | 00 _H | 8 | FFE6 1308 _H | 1(1H) | 8 |
| ATU4D | ダウンカウンタステータスクリアレジスタ D2 | DSCRD2 | 00 _H | 8 | FFE6 1309 _H | 1(1H) | 8 |
| ATU4D | ダウンカウンタステータスレジスタ 1 D2 | DSR1D2 | 00 _H | 8 | FFE6 130A _H | 1(1H) | 8 |
| ATU4D | ダウンカウンタステータスレジスタ 2 D2 | DSR2D2 | 00 _H | 8 | FFE6 130B _H | 1(1H) | 8 |
| ATU4D | タイマステータスレジスタ D2 | TSRD2 | 0000 _H | 16 | FFE6 130C _H | 1(1H) | 8、16 |
| ATU4D | タイマステータスクリアレジスタ D2 | TSCRD2 | 0000 _H | 16 | FFE6 130E _H | 1(1H) | 8、16 |
| ATU4D | タイマアウトプットコントロールレジスタ D2 | TOCRD2 | 00 _H | 8 | FFE6 1310 _H | 1(1H) | 8 |
| ATU4D | 出力選択レジスタ D2 | OSELRD2 | 00 _H | 8 | FFE6 1311 _H | 1(1H) | 8 |
| ATU4D | 出力値レジスタ D2 | ODRD2 | 00 _H | 8 | FFE6 1312 _H | 1(1H) | 8 |
| ATU4D | タイマインプットキャプチャトリガ選択レジスタ D2 | TICTSELD2 | 00 _H | 8 | FFE6 1314 _H | 1(1H) | 8 |
| ATU4D | タイマオフセットベースレジスタ D2 | OSBRD2 | 0000 0000 _H | 32 | FFE6 1318 _H | 1(1H) | 32 |
| ATU4D | タイマカウンタ 1 D2 | TCNT1D2 | 0000 0000 _H | 32 | FFE6 1320 _H | 1(1H) | 32 |
| ATU4D | タイマカウンタ 2 D2 | TCNT2D2 | 0000 0000 _H | 32 | FFE6 1324 _H | 1(1H) | 32 |
| ATU4D | カウンタ上限値設定コンペアレジスタ 1 D2 | CUCR1D2 | FFFF FFFF _H | 32 | FFE6 1328 _H | 1(1H) | 32 |
| ATU4D | カウンタ上限値設定コンペアレジスタ 2 D2 | CUCR2D2 | FFFF FFFF _H | 32 | FFE6 132C _H | 1(1H) | 32 |
| ATU4D | 範囲コンペア値設定レジスタ 1 D2 | RCR1D2 | 00 _H | 8 | FFE6 1330 _H | 1(1H) | 8 |
| ATU4D | 範囲コンペア値設定レジスタ 2 D2 | RCR2D2 | 00 _H | 8 | FFE6 1334 _H | 1(1H) | 8 |
| ATU4D | アウトプットコンペアレジスタ 1 D20 | OCR1D20 | FFFF FFFF _H | 32 | FFE6 1340 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D20 | OCR2D20 | FFFF FFFF _H | 32 | FFE6 1348 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D20 | ICR1D20 | 0000 0000 _H | 32 | FFE6 1350 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D20 | ICR2D20 | 0000 0000 _H | 32 | FFE6 1354 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D20 | DCNTD20 | 0000 0000 _H | 32 | FFE6 1358 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 1 D21 | OCR1D21 | FFFF FFFF _H | 32 | FFE6 1360 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D21 | OCR2D21 | FFFF FFFF _H | 32 | FFE6 1368 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D21 | ICR1D21 | 0000 0000 _H | 32 | FFE6 1370 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D21 | ICR2D21 | 0000 0000 _H | 32 | FFE6 1374 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D21 | DCNTD21 | 0000 0000 _H | 32 | FFE6 1378 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 1 D22 | OCR1D22 | FFFF FFFF _H | 32 | FFE6 1380 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D22 | OCR2D22 | FFFF FFFF _H | 32 | FFE6 1388 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D22 | ICR1D22 | 0000 0000 _H | 32 | FFE6 1390 _H | 1(1H) | 32 |

(69/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4D | インプットキャプチャレジスタ 2 D22 | ICR2D22 | 0000 0000 _H | 32 | FFE6 1394 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D22 | DCNTD22 | 0000 0000 _H | 32 | FFE6 1398 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 1 D23 | OCR1D23 | FFFF FFFF _H | 32 | FFE6 13A0 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D23 | OCR2D23 | FFFF FFFF _H | 32 | FFE6 13A8 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D23 | ICR1D23 | 0000 0000 _H | 32 | FFE6 13B0 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D23 | ICR2D23 | 0000 0000 _H | 32 | FFE6 13B4 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D23 | DCNTD23 | 0000 0000 _H | 32 | FFE6 13B8 _H | 1(1H) | 32 |
| ATU4D | タイマコントロールレジスタ D3 | TCRD3 | 0000 _H | 16 | FFE6 1400 _H | 1(1H) | 8、16 |
| ATU4D | ダウンカウンタコントロールレジスタ D3 | DCRD3 | 0000 _H | 16 | FFE6 1402 _H | 1(1H) | 8、16 |
| ATU4D | タイマ I/O コントロールレジスタ 1 D3 | TIOR1D3 | 0000 _H | 16 | FFE6 1404 _H | 1(1H) | 8、16 |
| ATU4D | タイマ I/O コントロールレジスタ 2 D3 | TIOR2D3 | 0000 _H | 16 | FFE6 1406 _H | 1(1H) | 8、16 |
| ATU4D | ダウンカウンタスタートレジスタ D3 | DSTRD3 | 00 _H | 8 | FFE6 1408 _H | 1(1H) | 8 |
| ATU4D | ダウンカウンタステータスクリアレジスタ D3 | DSCRD3 | 00 _H | 8 | FFE6 1409 _H | 1(1H) | 8 |
| ATU4D | ダウンカウンタステータスレジスタ 1 D3 | DSR1D3 | 00 _H | 8 | FFE6 140A _H | 1(1H) | 8 |
| ATU4D | ダウンカウンタステータスレジスタ 2 D3 | DSR2D3 | 00 _H | 8 | FFE6 140B _H | 1(1H) | 8 |
| ATU4D | タイマステータスレジスタ D3 | TSRD3 | 0000 _H | 16 | FFE6 140C _H | 1(1H) | 8、16 |
| ATU4D | タイマステータスクリアレジスタ D3 | TSCRD3 | 0000 _H | 16 | FFE6 140E _H | 1(1H) | 8、16 |
| ATU4D | タイマアウトプットコントロールレジスタ D3 | TOCRD3 | 00 _H | 8 | FFE6 1410 _H | 1(1H) | 8 |
| ATU4D | 出力選択レジスタ D3 | OSELRD3 | 00 _H | 8 | FFE6 1411 _H | 1(1H) | 8 |
| ATU4D | 出力値レジスタ D3 | ODRD3 | 00 _H | 8 | FFE6 1412 _H | 1(1H) | 8 |
| ATU4D | タイマインプットキャプチャトリガ選択レジスタ D3 | TICTSEL3 | 01 _H | 8 | FFE6 1414 _H | 1(1H) | 8 |
| ATU4D | タイマオフセットベースレジスタ D3 | OSBRD3 | 0000 0000 _H | 32 | FFE6 1418 _H | 1(1H) | 32 |
| ATU4D | タイマカウンタ 1 D3 | TCNT1D3 | 0000 0000 _H | 32 | FFE6 1420 _H | 1(1H) | 32 |
| ATU4D | タイマカウンタ 2 D3 | TCNT2D3 | 0000 0000 _H | 32 | FFE6 1424 _H | 1(1H) | 32 |
| ATU4D | カウンタ上限値設定コンペアレジスタ 1 D3 | CUCR1D3 | FFFF FFFF _H | 32 | FFE6 1428 _H | 1(1H) | 32 |
| ATU4D | カウンタ上限値設定コンペアレジスタ 2 D3 | CUCR2D3 | FFFF FFFF _H | 32 | FFE6 142C _H | 1(1H) | 32 |
| ATU4D | 範囲コンペア値設定レジスタ 1 D3 | RCR1D3 | 00 _H | 8 | FFE6 1430 _H | 1(1H) | 8 |
| ATU4D | 範囲コンペア値設定レジスタ 2 D3 | RCR2D3 | 00 _H | 8 | FFE6 1434 _H | 1(1H) | 8 |
| ATU4D | アウトプットコンペアレジスタ 1 D30 | OCR1D30 | FFFF FFFF _H | 32 | FFE6 1440 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D30 | OCR2D30 | FFFF FFFF _H | 32 | FFE6 1448 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D30 | ICR1D30 | 0000 0000 _H | 32 | FFE6 1450 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D30 | ICR2D30 | 0000 0000 _H | 32 | FFE6 1454 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D30 | DCNTD30 | 0000 0000 _H | 32 | FFE6 1458 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 1 D31 | OCR1D31 | FFFF FFFF _H | 32 | FFE6 1460 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D31 | OCR2D31 | FFFF FFFF _H | 32 | FFE6 1468 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D31 | ICR1D31 | 0000 0000 _H | 32 | FFE6 1470 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D31 | ICR2D31 | 0000 0000 _H | 32 | FFE6 1474 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D31 | DCNTD31 | 0000 0000 _H | 32 | FFE6 1478 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 1 D32 | OCR1D32 | FFFF FFFF _H | 32 | FFE6 1480 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D32 | OCR2D32 | FFFF FFFF _H | 32 | FFE6 1488 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D32 | ICR1D32 | 0000 0000 _H | 32 | FFE6 1490 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D32 | ICR2D32 | 0000 0000 _H | 32 | FFE6 1494 _H | 1(1H) | 32 |

(70/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------------------|-----------|------------------------|------|------------------------|------------------|---------|
| ATU4D | タイマダウンカウンタ D32 | DCNTD32 | 0000 0000 _H | 32 | FFE6 1498 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 1 D33 | OCR1D33 | FFFF FFFF _H | 32 | FFE6 14A0 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D33 | OCR2D33 | FFFF FFFF _H | 32 | FFE6 14A8 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D33 | ICR1D33 | 0000 0000 _H | 32 | FFE6 14B0 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D33 | ICR2D33 | 0000 0000 _H | 32 | FFE6 14B4 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D33 | DCNTD33 | 0000 0000 _H | 32 | FFE6 14B8 _H | 1(1H) | 32 |
| ATU4D | タイマコントロールレジスタ D4 | TCRD4 | 0000 _H | 16 | FFE6 1500 _H | 1(1H) | 8、16 |
| ATU4D | ダウンカウンタコントロールレジスタ D4 | DCRD4 | 0000 _H | 16 | FFE6 1502 _H | 1(1H) | 8、16 |
| ATU4D | タイマ I/O コントロールレジスタ 1 D4 | TIOR1D4 | 0000 _H | 16 | FFE6 1504 _H | 1(1H) | 8、16 |
| ATU4D | タイマ I/O コントロールレジスタ 2 D4 | TIOR2D4 | 0000 _H | 16 | FFE6 1506 _H | 1(1H) | 8、16 |
| ATU4D | ダウンカウントスタートレジスタ D4 | DSTRD4 | 00 _H | 8 | FFE6 1508 _H | 1(1H) | 8 |
| ATU4D | ダウンカウントステータスクリアレジスタ D4 | DSCRD4 | 00 _H | 8 | FFE6 1509 _H | 1(1H) | 8 |
| ATU4D | ダウンカウントステータスレジスタ 1D4 | DSR1D4 | 00 _H | 8 | FFE6 150A _H | 1(1H) | 8 |
| ATU4D | ダウンカウントステータスレジスタ 2D4 | DSR2D4 | 00 _H | 8 | FFE6 150B _H | 1(1H) | 8 |
| ATU4D | タイマステータスレジスタ D4 | TSRD4 | 0000 _H | 16 | FFE6 150C _H | 1(1H) | 8、16 |
| ATU4D | タイマステータスクリアレジスタ D4 | TSCRD4 | 0000 _H | 16 | FFE6 150E _H | 1(1H) | 8、16 |
| ATU4D | タイマアウトプットコントロールレジスタ D4 | TOCRD4 | 00 _H | 8 | FFE6 1510 _H | 1(1H) | 8 |
| ATU4D | 出力選択レジスタ D4 | OSELRD4 | 00 _H | 8 | FFE6 1511 _H | 1(1H) | 8 |
| ATU4D | 出力値レジスタ D4 | ODRD4 | 00 _H | 8 | FFE6 1512 _H | 1(1H) | 8 |
| ATU4D | タイマインプットキャプチャトリガ選択レジスタ D4 | TICTSELD4 | 01 _H | 8 | FFE6 1514 _H | 1(1H) | 8 |
| ATU4D | タイマオフセットベースレジスタ D4 | OSBRD4 | 0000 0000 _H | 32 | FFE6 1518 _H | 1(1H) | 32 |
| ATU4D | タイマカウンタ 1 D4 | TCNT1D4 | 0000 0000 _H | 32 | FFE6 1520 _H | 1(1H) | 32 |
| ATU4D | タイマカウンタ 2 D4 | TCNT2D4 | 0000 0000 _H | 32 | FFE6 1524 _H | 1(1H) | 32 |
| ATU4D | カウンタ上限値設定コンペアレジスタ 1 D4 | CUCR1D4 | FFFF FFFF _H | 32 | FFE6 1528 _H | 1(1H) | 32 |
| ATU4D | カウンタ上限値設定コンペアレジスタ 2 D4 | CUCR2D4 | FFFF FFFF _H | 32 | FFE6 152C _H | 1(1H) | 32 |
| ATU4D | 範囲コンペア値設定レジスタ 1 D4 | RCR1D4 | 00 _H | 8 | FFE6 1530 _H | 1(1H) | 8 |
| ATU4D | 範囲コンペア値設定レジスタ 2 D4 | RCR2D4 | 00 _H | 8 | FFE6 1534 _H | 1(1H) | 8 |
| ATU4D | アウトプットコンペアレジスタ 1 D40 | OCR1D40 | FFFF FFFF _H | 32 | FFE6 1540 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D40 | OCR2D40 | FFFF FFFF _H | 32 | FFE6 1548 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D40 | ICR1D40 | 0000 0000 _H | 32 | FFE6 1550 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D40 | ICR2D40 | 0000 0000 _H | 32 | FFE6 1554 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D40 | DCNTD40 | 0000 0000 _H | 32 | FFE6 1558 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 1D 41 | OCR1D41 | FFFF FFFF _H | 32 | FFE6 1560 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D41 | OCR2D41 | FFFF FFFF _H | 32 | FFE6 1568 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D41 | ICR1D41 | 0000 0000 _H | 32 | FFE6 1570 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D41 | ICR2D41 | 0000 0000 _H | 32 | FFE6 1574 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D41 | DCNTD41 | 0000 0000 _H | 32 | FFE6 1578 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 1 D42 | OCR1D42 | FFFF FFFF _H | 32 | FFE6 1580 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D42 | OCR2D42 | FFFF FFFF _H | 32 | FFE6 1588 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D42 | ICR1D42 | 0000 0000 _H | 32 | FFE6 1590 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D42 | ICR2D42 | 0000 0000 _H | 32 | FFE6 1594 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D42 | DCNTD42 | 0000 0000 _H | 32 | FFE6 1598 _H | 1(1H) | 32 |

(71/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4D | アウトプットコンペアレジスタ 1 D43 | OCR1D43 | FFFF FFFF _H | 32 | FFE6 15A0 _H | 1(1H) | 32 |
| ATU4D | アウトプットコンペアレジスタ 2 D43 | OCR2D43 | FFFF FFFF _H | 32 | FFE6 15A8 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 1 D43 | ICR1D43 | 0000 0000 _H | 32 | FFE6 15B0 _H | 1(1H) | 32 |
| ATU4D | インプットキャプチャレジスタ 2 D43 | ICR2D43 | 0000 0000 _H | 32 | FFE6 15B4 _H | 1(1H) | 32 |
| ATU4D | タイマダウンカウンタ D43 | DCNTD43 | 0000 0000 _H | 32 | FFE6 15B8 _H | 1(1H) | 32 |
| ATU4E | タイマスタートレジスタ E | TSTRE | 00 _H | 8 | FFE6 2000 _H | 1(1H) | 8 |
| ATU4E | サブブロックスタートレジスタ E0 | SSTRE0 | 00 _H | 8 | FFE6 2100 _H | 1(1H) | 8 |
| ATU4E | プリスケアラレジスタ E0 | PSCRE0 | 00 _H | 8 | FFE6 2104 _H | 1(1H) | 8 |
| ATU4E | タイマコントロールレジスタ E0 | TCRE0 | 00 _H | 8 | FFE6 2108 _H | 1(1H) | 8 |
| ATU4E | リロードコントロールレジスタ E0 | RLDCRE0 | 00 _H | 8 | FFE6 210A _H | 1(1H) | 8 |
| ATU4E | 出力遮断コントロールレジスタ E0 | POECRE0 | 0000 _H | 16 | FFE6 210C _H | 1(1H) | 16 |
| ATU4E | 出力遮断レベル設定レジスタ E0 | SOLVLE0 | 00 _H | 8 | FFE6 210E _H | 1(1H) | 8 |
| ATU4E | タイマステータスレジスタ E0 | TSRE0 | 0000 _H | 16 | FFE6 2110 _H | 1(1H) | 8、16 |
| ATU4E | タイマステータスクリアレジスタ E0 | TSCRE0 | 0000 _H | 16 | FFE6 2112 _H | 1(1H) | 8、16 |
| ATU4E | タイマアウトプットコントロールレジスタ E0 | TOCRE0 | 00 _H | 8 | FFE6 2114 _H | 1(1H) | 8 |
| ATU4E | タイマインタラプトイネーブルレジスタ E0 | TIERE0 | 0000 _H | 16 | FFE6 2116 _H | 1(1H) | 8、16 |
| ATU4E | プリスケアラチャンネルレジスタ E00 | PSCCRE00 | 00 _H | 8 | FFE6 2118 _H | 1(1H) | 8 |
| ATU4E | プリスケアラチャンネルレジスタ E01 | PSCCRE01 | 00 _H | 8 | FFE6 2119 _H | 1(1H) | 8 |
| ATU4E | プリスケアラチャンネルレジスタ E02 | PSCCRE02 | 00 _H | 8 | FFE6 211A _H | 1(1H) | 8 |
| ATU4E | プリスケアラチャンネルレジスタ E03 | PSCCRE03 | 00 _H | 8 | FFE6 211B _H | 1(1H) | 8 |
| ATU4E | タイマカウンタ E00 | TCNTE00 | 0000 0100 _H | 32 | FFE6 2124 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E00 | CYLRE00 | FFFF FF00 _H | 32 | FFE6 2128 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E00 | DTRE00 | FFFF FF00 _H | 32 | FFE6 212C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E00 | CRLDE00 | FFFF FF00 _H | 32 | FFE6 2130 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E00 | DRLDE00 | FFFF FF00 _H | 32 | FFE6 2134 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E01 | TCNTE01 | 0000 0100 _H | 32 | FFE6 2144 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E01 | CYLRE01 | FFFF FF00 _H | 32 | FFE6 2148 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E01 | DTRE01 | FFFF FF00 _H | 32 | FFE6 214C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E01 | CRLDE01 | FFFF FF00 _H | 32 | FFE6 2150 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E01 | DRLDE01 | FFFF FF00 _H | 32 | FFE6 2154 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E02 | TCNTE02 | 0000 0100 _H | 32 | FFE6 2164 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E02 | CYLRE02 | FFFF FF00 _H | 32 | FFE6 2168 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E02 | DTRE02 | FFFF FF00 _H | 32 | FFE6 216C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E02 | CRLDE02 | FFFF FF00 _H | 32 | FFE6 2170 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E02 | DRLDE02 | FFFF FF00 _H | 32 | FFE6 2174 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E03 | TCNTE03 | 0000 0100 _H | 32 | FFE6 2184 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E03 | CYLRE03 | FFFF FF00 _H | 32 | FFE6 2188 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E03 | DTRE03 | FFFF FF00 _H | 32 | FFE6 218C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E03 | CRLDE03 | FFFF FF00 _H | 32 | FFE6 2190 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E03 | DRLDE03 | FFFF FF00 _H | 32 | FFE6 2194 _H | 1(1H) | 32 |
| ATU4E | サブブロックスタートレジスタ E1 | SSTRE1 | 00 _H | 8 | FFE6 2200 _H | 1(1H) | 8 |
| ATU4E | プリスケアラレジスタ E1 | PSCRE1 | 00 _H | 8 | FFE6 2204 _H | 1(1H) | 8 |
| ATU4E | タイマコントロールレジスタ E1 | TCRE1 | 00 _H | 8 | FFE6 2208 _H | 1(1H) | 8 |
| ATU4E | リロードコントロールレジスタ E1 | RLDCRE1 | 00 _H | 8 | FFE6 220A _H | 1(1H) | 8 |
| ATU4E | 出力遮断コントロールレジスタ E1 | POECRE1 | 0000 _H | 16 | FFE6 220C _H | 1(1H) | 16 |
| ATU4E | 出力遮断レベル設定レジスタ E1 | SOLVLE1 | 00 _H | 8 | FFE6 220E _H | 1(1H) | 8 |

(72/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4E | タイマステータスレジスタ E1 | TSRE1 | 0000 _H | 16 | FFE6 2210 _H | 1(1H) | 8、16 |
| ATU4E | タイマステータスクリアレジスタ E1 | TSCRE1 | 0000 _H | 16 | FFE6 2212 _H | 1(1H) | 8、16 |
| ATU4E | タイマアウトプットコントロールレジスタ E1 | TOCRE1 | 00 _H | 8 | FFE6 2214 _H | 1(1H) | 8 |
| ATU4E | タイマインタラプトイネーブルレジスタ E1 | TIERE1 | 0000 _H | 16 | FFE6 2216 _H | 1(1H) | 8、16 |
| ATU4E | プリスケラチャネルレジスタ E10 | PSCCRE10 | 00 _H | 8 | FFE6 2218 _H | 1(1H) | 8 |
| ATU4E | プリスケラチャネルレジスタ E11 | PSCCRE11 | 00 _H | 8 | FFE6 2219 _H | 1(1H) | 8 |
| ATU4E | プリスケラチャネルレジスタ E12 | PSCCRE12 | 00 _H | 8 | FFE6 221A _H | 1(1H) | 8 |
| ATU4E | プリスケラチャネルレジスタ E13 | PSCCRE13 | 00 _H | 8 | FFE6 221B _H | 1(1H) | 8 |
| ATU4E | タイマカウンタ E10 | TCNTE10 | 0000 0100 _H | 32 | FFE6 2224 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E10 | CYLRE10 | FFFF FF00 _H | 32 | FFE6 2228 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E10 | DTRE10 | FFFF FF00 _H | 32 | FFE6 222C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E10 | CRLDE10 | FFFF FF00 _H | 32 | FFE6 2230 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E10 | DRLDE10 | FFFF FF00 _H | 32 | FFE6 2234 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E11 | TCNTE11 | 0000 0100 _H | 32 | FFE6 2244 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E11 | CYLRE11 | FFFF FF00 _H | 32 | FFE6 2248 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E11 | DTRE11 | FFFF FF00 _H | 32 | FFE6 224C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E11 | CRLDE11 | FFFF FF00 _H | 32 | FFE6 2250 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E11 | DRLDE11 | FFFF FF00 _H | 32 | FFE6 2254 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E12 | TCNTE12 | 0000 0100 _H | 32 | FFE6 2264 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E12 | CYLRE12 | FFFF FF00 _H | 32 | FFE6 2268 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E12 | DTRE12 | FFFF FF00 _H | 32 | FFE6 226C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E12 | CRLDE12 | FFFF FF00 _H | 32 | FFE6 2270 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E12 | DRLDE12 | FFFF FF00 _H | 32 | FFE6 2274 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E13 | TCNTE13 | 0000 0100 _H | 32 | FFE6 2284 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E13 | CYLRE13 | FFFF FF00 _H | 32 | FFE6 2288 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E13 | DTRE13 | FFFF FF00 _H | 32 | FFE6 228C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E13 | CRLDE13 | FFFF FF00 _H | 32 | FFE6 2290 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E13 | DRLDE13 | FFFF FF00 _H | 32 | FFE6 2294 _H | 1(1H) | 32 |
| ATU4E | サブブロックスタートレジスタ E2 | SSTRE2 | 00 _H | 8 | FFE6 2300 _H | 1(1H) | 8 |
| ATU4E | プリスケラレジスタ E2 | PSCRE2 | 00 _H | 8 | FFE6 2304 _H | 1(1H) | 8 |
| ATU4E | タイマコントロールレジスタ E2 | TCRE2 | 00 _H | 8 | FFE6 2308 _H | 1(1H) | 8 |
| ATU4E | リロードコントロールレジスタ E2 | RLDCRE2 | 00 _H | 8 | FFE6 230A _H | 1(1H) | 8 |
| ATU4E | 出力遮断コントロールレジスタ E2 | POECRE2 | 0000 _H | 16 | FFE6 230C _H | 1(1H) | 16 |
| ATU4E | 出力遮断レベル設定レジスタ E2 | SOLVLE2 | 00 _H | 8 | FFE6 230E _H | 1(1H) | 8 |
| ATU4E | タイマステータスレジスタ E2 | TSRE2 | 0000 _H | 16 | FFE6 2310 _H | 1(1H) | 8、16 |
| ATU4E | タイマステータスクリアレジスタ E2 | TSCRE2 | 0000 _H | 16 | FFE6 2312 _H | 1(1H) | 8、16 |
| ATU4E | タイマアウトプットコントロールレジスタ E2 | TOCRE2 | 00 _H | 8 | FFE6 2314 _H | 1(1H) | 8 |
| ATU4E | タイマインタラプトイネーブルレジスタ E2 | TIERE2 | 0000 _H | 16 | FFE6 2316 _H | 1(1H) | 8、16 |
| ATU4E | プリスケラチャネルレジスタ E20 | PSCCRE20 | 00 _H | 8 | FFE6 2318 _H | 1(1H) | 8 |
| ATU4E | プリスケラチャネルレジスタ E21 | PSCCRE21 | 00 _H | 8 | FFE6 2319 _H | 1(1H) | 8 |
| ATU4E | プリスケラチャネルレジスタ E22 | PSCCRE22 | 00 _H | 8 | FFE6 231A _H | 1(1H) | 8 |
| ATU4E | プリスケラチャネルレジスタ E23 | PSCCRE23 | 00 _H | 8 | FFE6 231B _H | 1(1H) | 8 |
| ATU4E | タイマカウンタ E20 | TCNTE20 | 0000 0100 _H | 32 | FFE6 2324 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E20 | CYLRE20 | FFFF FF00 _H | 32 | FFE6 2328 _H | 1(1H) | 32 |

(73/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4E | デューティレジスタ E20 | DTRE20 | FFFF FF00 _H | 32 | FFE6 232C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E20 | CRLDE20 | FFFF FF00 _H | 32 | FFE6 2330 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E20 | DRLDE20 | FFFF FF00 _H | 32 | FFE6 2334 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E21 | TCNTE21 | 0000 0100 _H | 32 | FFE6 2344 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E21 | CYLRE21 | FFFF FF00 _H | 32 | FFE6 2348 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E21 | DTRE21 | FFFF FF00 _H | 32 | FFE6 234C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E21 | CRLDE21 | FFFF FF00 _H | 32 | FFE6 2350 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E21 | DRLDE21 | FFFF FF00 _H | 32 | FFE6 2354 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E22 | TCNTE22 | 0000 0100 _H | 32 | FFE6 2364 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E22 | CYLRE22 | FFFF FF00 _H | 32 | FFE6 2368 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E22 | DTRE22 | FFFF FF00 _H | 32 | FFE6 236C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E22 | CRLDE22 | FFFF FF00 _H | 32 | FFE6 2370 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E22 | DRLDE22 | FFFF FF00 _H | 32 | FFE6 2374 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E23 | TCNTE23 | 0000 0100 _H | 32 | FFE6 2384 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E23 | CYLRE23 | FFFF FF00 _H | 32 | FFE6 2388 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E23 | DTRE23 | FFFF FF00 _H | 32 | FFE6 238C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E23 | CRLDE23 | FFFF FF00 _H | 32 | FFE6 2390 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E23 | DRLDE23 | FFFF FF00 _H | 32 | FFE6 2394 _H | 1(1H) | 32 |
| ATU4E | サブブロックスタートレジスタ E3 | SSTRE3 | 00 _H | 8 | FFE6 2400 _H | 1(1H) | 8 |
| ATU4E | プリスケアラレジスタ E3 | PSCRE3 | 00 _H | 8 | FFE6 2404 _H | 1(1H) | 8 |
| ATU4E | タイマコントロールレジスタ E3 | TCRE3 | 00 _H | 8 | FFE6 2408 _H | 1(1H) | 8 |
| ATU4E | リロードコントロールレジスタ E3 | RLDCRE3 | 00 _H | 8 | FFE6 240A _H | 1(1H) | 8 |
| ATU4E | 出力遮断コントロールレジスタ E3 | POECRE3 | 0000 _H | 16 | FFE6 240C _H | 1(1H) | 16 |
| ATU4E | 出力遮断レベル設定レジスタ E3 | SOLVLE3 | 00 _H | 8 | FFE6 240E _H | 1(1H) | 8 |
| ATU4E | タイマステータスレジスタ E3 | TSRE3 | 0000 _H | 16 | FFE6 2410 _H | 1(1H) | 8、16 |
| ATU4E | タイマステータスクリアレジスタ E3 | TSCRE3 | 0000 _H | 16 | FFE6 2412 _H | 1(1H) | 8、16 |
| ATU4E | タイマアウトプットコントロールレジスタ E3 | TOCRE3 | 00 _H | 8 | FFE6 2414 _H | 1(1H) | 8 |
| ATU4E | タイマインタラプトイネーブルレジスタ E3 | TIERE3 | 0000 _H | 16 | FFE6 2416 _H | 1(1H) | 8、16 |
| ATU4E | プリスケアラチャネルレジスタ E30 | PSCCRE30 | 00 _H | 8 | FFE6 2418 _H | 1(1H) | 8 |
| ATU4E | プリスケアラチャネルレジスタ E31 | PSCCRE31 | 00 _H | 8 | FFE6 2419 _H | 1(1H) | 8 |
| ATU4E | プリスケアラチャネルレジスタ E32 | PSCCRE32 | 00 _H | 8 | FFE6 241A _H | 1(1H) | 8 |
| ATU4E | プリスケアラチャネルレジスタ E33 | PSCCRE33 | 00 _H | 8 | FFE6 241B _H | 1(1H) | 8 |
| ATU4E | タイマカウンタ E30 | TCNTE30 | 0000 0100 _H | 32 | FFE6 2424 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E30 | CYLRE30 | FFFF FF00 _H | 32 | FFE6 2428 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E30 | DTRE30 | FFFF FF00 _H | 32 | FFE6 242C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E30 | CRLDE30 | FFFF FF00 _H | 32 | FFE6 2430 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E30 | DRLDE30 | FFFF FF00 _H | 32 | FFE6 2434 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E31 | TCNTE31 | 0000 0100 _H | 32 | FFE6 2444 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E31 | CYLRE31 | FFFF FF00 _H | 32 | FFE6 2448 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E31 | DTRE31 | FFFF FF00 _H | 32 | FFE6 244C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E31 | CRLDE31 | FFFF FF00 _H | 32 | FFE6 2450 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E31 | DRLDE31 | FFFF FF00 _H | 32 | FFE6 2454 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E32 | TCNTE32 | 0000 0100 _H | 32 | FFE6 2464 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E32 | CYLRE32 | FFFF FF00 _H | 32 | FFE6 2468 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E32 | DTRE32 | FFFF FF00 _H | 32 | FFE6 246C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E32 | CRLDE32 | FFFF FF00 _H | 32 | FFE6 2470 _H | 1(1H) | 32 |

(74/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4E | デューティリロードレジスタ E32 | DRLDE32 | FFFF FF00 _H | 32 | FFE6 2474 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E33 | TCNTE33 | 0000 0100 _H | 32 | FFE6 2484 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E33 | CYLRE33 | FFFF FF00 _H | 32 | FFE6 2488 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E33 | DTRE33 | FFFF FF00 _H | 32 | FFE6 248C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E33 | CRLDE33 | FFFF FF00 _H | 32 | FFE6 2490 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E33 | DRLDE33 | FFFF FF00 _H | 32 | FFE6 2494 _H | 1(1H) | 32 |
| ATU4E | サブブロックスタートレジスタ E4 | SSTRE4 | 00 _H | 8 | FFE6 2500 _H | 1(1H) | 8 |
| ATU4E | プリスケアラレジスタ E4 | PSCRE4 | 00 _H | 8 | FFE6 2504 _H | 1(1H) | 8 |
| ATU4E | タイマコントロールレジスタ E4 | TCRE4 | 00 _H | 8 | FFE6 2508 _H | 1(1H) | 8 |
| ATU4E | リロードコントロールレジスタ E4 | RLDCRE4 | 00 _H | 8 | FFE6 250A _H | 1(1H) | 8 |
| ATU4E | 出力遮断コントロールレジスタ E4 | POECRE4 | 0000 _H | 16 | FFE6 250C _H | 1(1H) | 16 |
| ATU4E | 出力遮断レベル設定レジスタ E4 | SOLVLE4 | 00 _H | 8 | FFE6 250E _H | 1(1H) | 8 |
| ATU4E | タイマステータスレジスタ E4 | TSRE4 | 0000 _H | 16 | FFE6 2510 _H | 1(1H) | 8、16 |
| ATU4E | タイマステータスクリアレジスタ E4 | TSCRE4 | 0000 _H | 16 | FFE6 2512 _H | 1(1H) | 8、16 |
| ATU4E | タイマアウトプットコントロールレジスタ E4 | TOCRE4 | 00 _H | 8 | FFE6 2514 _H | 1(1H) | 8 |
| ATU4E | タイミンタラプトイネーブルレジスタ E4 | TIERE4 | 0000 _H | 16 | FFE6 2516 _H | 1(1H) | 8、16 |
| ATU4E | プリスケアラチャネルレジスタ E40 | PSCCRE40 | 00 _H | 8 | FFE6 2518 _H | 1(1H) | 8 |
| ATU4E | プリスケアラチャネルレジスタ E41 | PSCCRE41 | 00 _H | 8 | FFE6 2519 _H | 1(1H) | 8 |
| ATU4E | プリスケアラチャネルレジスタ E42 | PSCCRE42 | 00 _H | 8 | FFE6 251A _H | 1(1H) | 8 |
| ATU4E | プリスケアラチャネルレジスタ E43 | PSCCRE43 | 00 _H | 8 | FFE6 251B _H | 1(1H) | 8 |
| ATU4E | タイマカウンタ E40 | TCNTE40 | 0000 0100 _H | 32 | FFE6 2524 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E40 | CYLRE40 | FFFF FF00 _H | 32 | FFE6 2528 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E40 | DTRE40 | FFFF FF00 _H | 32 | FFE6 252C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E40 | CRLDE40 | FFFF FF00 _H | 32 | FFE6 2530 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E40 | DRLDE40 | FFFF FF00 _H | 32 | FFE6 2534 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E41 | TCNTE41 | 0000 0100 _H | 32 | FFE6 2544 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E41 | CYLRE41 | FFFF FF00 _H | 32 | FFE6 2548 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E41 | DTRE41 | FFFF FF00 _H | 32 | FFE6 254C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E41 | CRLDE41 | FFFF FF00 _H | 32 | FFE6 2550 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E41 | DRLDE41 | FFFF FF00 _H | 32 | FFE6 2554 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E42 | TCNTE42 | 0000 0100 _H | 32 | FFE6 2564 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E42 | CYLRE42 | FFFF FF00 _H | 32 | FFE6 2568 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E42 | DTRE42 | FFFF FF00 _H | 32 | FFE6 256C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E42 | CRLDE42 | FFFF FF00 _H | 32 | FFE6 2570 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E42 | DRLDE42 | FFFF FF00 _H | 32 | FFE6 2574 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E43 | TCNTE43 | 0000 0100 _H | 32 | FFE6 2584 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E43 | CYLRE43 | FFFF FF00 _H | 32 | FFE6 2588 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E43 | DTRE43 | FFFF FF00 _H | 32 | FFE6 258C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E43 | CRLDE43 | FFFF FF00 _H | 32 | FFE6 2590 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E43 | DRLDE43 | FFFF FF00 _H | 32 | FFE6 2594 _H | 1(1H) | 32 |
| ATU4E | サブブロックスタートレジスタ E5 | SSTRE5 | 00 _H | 8 | FFE6 2600 _H | 1(1H) | 8 |
| ATU4E | プリスケアラレジスタ E5 | PSCRE5 | 00 _H | 8 | FFE6 2604 _H | 1(1H) | 8 |
| ATU4E | タイマコントロールレジスタ E5 | TCRE5 | 00 _H | 8 | FFE6 2608 _H | 1(1H) | 8 |
| ATU4E | リロードコントロールレジスタ E5 | RLDCRE5 | 00 _H | 8 | FFE6 260A _H | 1(1H) | 8 |
| ATU4E | 出力遮断コントロールレジスタ E5 | POECRE5 | 0000 _H | 16 | FFE6 260C _H | 1(1H) | 16 |
| ATU4E | 出力遮断レベル設定レジスタ E5 | SOLVLE5 | 00 _H | 8 | FFE6 260E _H | 1(1H) | 8 |

(75/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4E | タイマステータスレジスタ E5 | TSRE5 | 0000 _H | 16 | FFE6 2610 _H | 1(1H) | 8、16 |
| ATU4E | タイマステータスクリアレジスタ E5 | TSCRE5 | 0000 _H | 16 | FFE6 2612 _H | 1(1H) | 8、16 |
| ATU4E | タイマアウトプットコントロールレジスタ E5 | TOCRE5 | 00 _H | 8 | FFE6 2614 _H | 1(1H) | 8 |
| ATU4E | タイマインタラプトイネーブルレジスタ E5 | TIERE5 | 0000 _H | 16 | FFE6 2616 _H | 1(1H) | 8、16 |
| ATU4E | プリスケアラチャネルレジスタ E50 | PSCCRE50 | 00 _H | 8 | FFE6 2618 _H | 1(1H) | 8 |
| ATU4E | プリスケアラチャネルレジスタ E51 | PSCCRE51 | 00 _H | 8 | FFE6 2619 _H | 1(1H) | 8 |
| ATU4E | プリスケアラチャネルレジスタ E52 | PSCCRE52 | 00 _H | 8 | FFE6 261A _H | 1(1H) | 8 |
| ATU4E | プリスケアラチャネルレジスタ E53 | PSCCRE53 | 00 _H | 8 | FFE6 261B _H | 1(1H) | 8 |
| ATU4E | タイマカウンタ E50 | TCNTE50 | 0000 0100 _H | 32 | FFE6 2624 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E50 | CYLRE50 | FFFF FF00 _H | 32 | FFE6 2628 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E50 | DTRE50 | FFFF FF00 _H | 32 | FFE6 262C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E50 | CRLDE50 | FFFF FF00 _H | 32 | FFE6 2630 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E50 | DRLDE50 | FFFF FF00 _H | 32 | FFE6 2634 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E51 | TCNTE51 | 0000 0100 _H | 32 | FFE6 2644 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E51 | CYLRE51 | FFFF FF00 _H | 32 | FFE6 2648 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E51 | DTRE51 | FFFF FF00 _H | 32 | FFE6 264C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E51 | CRLDE51 | FFFF FF00 _H | 32 | FFE6 2650 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E51 | DRLDE51 | FFFF FF00 _H | 32 | FFE6 2654 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E52 | TCNTE52 | 0000 0100 _H | 32 | FFE6 2664 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E52 | CYLRE52 | FFFF FF00 _H | 32 | FFE6 2668 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E52 | DTRE52 | FFFF FF00 _H | 32 | FFE6 266C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E52 | CRLDE52 | FFFF FF00 _H | 32 | FFE6 2670 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E52 | DRLDE52 | FFFF FF00 _H | 32 | FFE6 2674 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E53 | TCNTE53 | 0000 0100 _H | 32 | FFE6 2684 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E53 | CYLRE53 | FFFF FF00 _H | 32 | FFE6 2688 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E53 | DTRE53 | FFFF FF00 _H | 32 | FFE6 268C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E53 | CRLDE53 | FFFF FF00 _H | 32 | FFE6 2690 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E53 | DRLDE53 | FFFF FF00 _H | 32 | FFE6 2694 _H | 1(1H) | 32 |
| ATU4E | サブブロックスタートレジスタ E6 | SSTRE6 | 00 _H | 8 | FFE6 2700 _H | 1(1H) | 8 |
| ATU4E | プリスケアラレジスタ E6 | PSCRE6 | 00 _H | 8 | FFE6 2704 _H | 1(1H) | 8 |
| ATU4E | タイマコントロールレジスタ E6 | TCRE6 | 00 _H | 8 | FFE6 2708 _H | 1(1H) | 8 |
| ATU4E | リロードコントロールレジスタ E6 | RLDCRE6 | 00 _H | 8 | FFE6 270A _H | 1(1H) | 8 |
| ATU4E | 出力遮断コントロールレジスタ E6 | POECRE6 | 0000 _H | 16 | FFE6 270C _H | 1(1H) | 16 |
| ATU4E | 出力遮断レベル設定レジスタ E6 | SOLVLE6 | 00 _H | 8 | FFE6 270E _H | 1(1H) | 8 |
| ATU4E | タイマステータスレジスタ E6 | TSRE6 | 0000 _H | 16 | FFE6 2710 _H | 1(1H) | 8、16 |
| ATU4E | タイマステータスクリアレジスタ E6 | TSCRE6 | 0000 _H | 16 | FFE6 2712 _H | 1(1H) | 8、16 |
| ATU4E | タイマアウトプットコントロールレジスタ E6 | TOCRE6 | 00 _H | 8 | FFE6 2714 _H | 1(1H) | 8 |
| ATU4E | タイマインタラプトイネーブルレジスタ E6 | TIERE6 | 0000 _H | 16 | FFE6 2716 _H | 1(1H) | 8、16 |
| ATU4E | プリスケアラチャネルレジスタ E60 | PSCCRE60 | 00 _H | 8 | FFE6 2718 _H | 1(1H) | 8 |
| ATU4E | プリスケアラチャネルレジスタ E61 | PSCCRE61 | 00 _H | 8 | FFE6 2719 _H | 1(1H) | 8 |
| ATU4E | プリスケアラチャネルレジスタ E62 | PSCCRE62 | 00 _H | 8 | FFE6 271A _H | 1(1H) | 8 |
| ATU4E | プリスケアラチャネルレジスタ E63 | PSCCRE63 | 00 _H | 8 | FFE6 271B _H | 1(1H) | 8 |
| ATU4E | タイマカウンタ E60 | TCNTE60 | 0000 0100 _H | 32 | FFE6 2724 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E60 | CYLRE60 | FFFF FF00 _H | 32 | FFE6 2728 _H | 1(1H) | 32 |

(76/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4E | デューティレジスタ E60 | DTRE60 | FFFF FF00 _H | 32 | FFE6 272C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E60 | CRLDE60 | FFFF FF00 _H | 32 | FFE6 2730 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E60 | DRLDE60 | FFFF FF00 _H | 32 | FFE6 2734 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E61 | TCNTE61 | 0000 0100 _H | 32 | FFE6 2744 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E61 | CYLRE61 | FFFF FF00 _H | 32 | FFE6 2748 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E61 | DTRE61 | FFFF FF00 _H | 32 | FFE6 274C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E61 | CRLDE61 | FFFF FF00 _H | 32 | FFE6 2750 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E61 | DRLDE61 | FFFF FF00 _H | 32 | FFE6 2754 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E62 | TCNTE62 | 0000 0100 _H | 32 | FFE6 2764 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E62 | CYLRE62 | FFFF FF00 _H | 32 | FFE6 2768 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E62 | DTRE62 | FFFF FF00 _H | 32 | FFE6 276C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E62 | CRLDE62 | FFFF FF00 _H | 32 | FFE6 2770 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E62 | DRLDE62 | FFFF FF00 _H | 32 | FFE6 2774 _H | 1(1H) | 32 |
| ATU4E | タイマカウンタ E63 | TCNTE63 | 0000 0100 _H | 32 | FFE6 2784 _H | 1(1H) | 32 |
| ATU4E | サイクルレジスタ E63 | CYLRE63 | FFFF FF00 _H | 32 | FFE6 2788 _H | 1(1H) | 32 |
| ATU4E | デューティレジスタ E63 | DTRE63 | FFFF FF00 _H | 32 | FFE6 278C _H | 1(1H) | 32 |
| ATU4E | サイクルリロードレジスタ E63 | CRLDE63 | FFFF FF00 _H | 32 | FFE6 2790 _H | 1(1H) | 32 |
| ATU4E | デューティリロードレジスタ E63 | DRLDE63 | FFFF FF00 _H | 32 | FFE6 2794 _H | 1(1H) | 32 |
| ATU4F | タイマスタートレジスタ F | TSTRF | 0000 _H | 16 | FFE6 3000 _H | 1(1H) | 8、16 |
| ATU4F | ノイズキャンセルモードチャネルレジスタ 1F | NCMCR1F | 0000 _H | 16 | FFE6 3004 _H | 1(1H) | 8、16 |
| ATU4F | ノイズキャンセルモードチャネルレジスタ 2F | NCMCR2F | 0000 _H | 16 | FFE6 3008 _H | 1(1H) | 8、16 |
| ATU4F | ノイズキャンセラコントロールレジスタ F | NCCRF | 0000 _H | 16 | FFE6 300C _H | 1(1H) | 8、16 |
| ATU4F | プライベートファンクションコントロールレジスタ F | PVFCRF | 0000 _H | 16 | FFE6 3010 _H | 1(1H) | 16 |
| ATU4F | タイマコントロールレジスタ 1F0 | TCR1F0 | 00 _H | 8 | FFE6 3040 _H | 1(1H) | 8 |
| ATU4F | タイマコントロールレジスタ 2F0 | TCR2F0 | 00 _H | 8 | FFE6 3042 _H | 1(1H) | 8 |
| ATU4F | バックアップコントロールレジスタ F0 | BKCRF0 | 00 _H | 8 | FFE6 3044 _H | 1(1H) | 8 |
| ATU4F | タイマステータスレジスタ F0 | TSRF0 | 00 _H | 8 | FFE6 3045 _H | 1(1H) | 8 |
| ATU4F | タイマステータスクリアレジスタ F0 | TSCRF0 | 00 _H | 8 | FFE6 3046 _H | 1(1H) | 8 |
| ATU4F | タイマインタラプトイネーブルレジスタ F0 | TIERF0 | 00 _H | 8 | FFE6 3047 _H | 1(1H) | 8 |
| ATU4F | ノイズキャンセルカウンタ FA00 | NCNTFA0 | 0000 _H | 16 | FFE6 3048 _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルレジスタ FA00 | NCRFA0 | 0000 _H | 16 | FFE6 304A _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルカウンタ FB00 | NCNTFB0 | 0000 _H | 16 | FFE6 304C _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルレジスタ FB00 | NCRFB0 | 0000 _H | 16 | FFE6 304E _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ AF0 | ECNTAF0 | 0000 0000 _H | 32 | FFE6 3050 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ AF0 | GRAF0 | FFFF FFFF _H | 32 | FFE6 3054 _H | 1(1H) | 32 |
| ATU4F | イベントカウンタ F0 | ECNTBF0 | 0000 _H | 16 | FFE6 3058 _H | 1(1H) | 16 |
| ATU4F | 汎用レジスタ BF0 | GRBF0 | FFFF _H | 16 | FFE6 305C _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ CF0 | ECNTCF0 | 0000 0000 _H | 32 | FFE6 3060 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ CF0 | BGRCF0 | FFFF FFFF _H | 32 | FFE6 3064 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ CF0 | GRCF0 | FFFF FFFF _H | 32 | FFE6 3064 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ DF0 | GRDF0 | FFFF FFFF _H | 32 | FFE6 3068 _H | 1(1H) | 32 |
| ATU4F | キャプチャ出力レジスタ F0 | CDRF0 | 0000 FFFF _H | 32 | FFE6 306C _H | 1(1H) | 32 |
| ATU4F | タイマコントロールレジスタ 1F1 | TCR1F1 | 00 _H | 8 | FFE6 3080 _H | 1(1H) | 8 |
| ATU4F | タイマコントロールレジスタ 2F1 | TCR2F1 | 00 _H | 8 | FFE6 3082 _H | 1(1H) | 8 |

(77/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4F | バックアップコントロールレジスタ F1 | BKCRF1 | 00 _H | 8 | FFE6 3084 _H | 1(1H) | 8 |
| ATU4F | タイマステータスレジスタ F1 | TSRF1 | 00 _H | 8 | FFE6 3085 _H | 1(1H) | 8 |
| ATU4F | タイマステータスクリアレジスタ F1 | TSCRF1 | 00 _H | 8 | FFE6 3086 _H | 1(1H) | 8 |
| ATU4F | タイマインタラプトイネーブルレジスタ F1 | TIERF1 | 00 _H | 8 | FFE6 3087 _H | 1(1H) | 8 |
| ATU4F | ノイズキャンセルカウンタ FA01 | NCNTFA1 | 0000 _H | 16 | FFE6 3088 _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルレジスタ FA01 | NCRFA1 | 0000 _H | 16 | FFE6 308A _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルカウンタ FB01 | NCNTFB1 | 0000 _H | 16 | FFE6 308C _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルレジスタ FB01 | NCRFB1 | 0000 _H | 16 | FFE6 308E _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ AF1 | ECNTAF1 | 0000 0000 _H | 32 | FFE6 3090 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ AF1 | GRAF1 | FFFF FFFF _H | 32 | FFE6 3094 _H | 1(1H) | 32 |
| ATU4F | イベントカウンタ F1 | ECNTBF1 | 0000 _H | 16 | FFE6 3098 _H | 1(1H) | 16 |
| ATU4F | 汎用レジスタ BF1 | GRBF1 | FFFF _H | 16 | FFE6 309C _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ CF1 | ECNTCF1 | 0000 0000 _H | 32 | FFE6 30A0 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ CF1 | BGRCF1 | FFFF FFFF _H | 32 | FFE6 30A4 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ CF1 | GRCF1 | FFFF FFFF _H | 32 | FFE6 30A4 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ DF1 | GRDF1 | FFFF FFFF _H | 32 | FFE6 30A8 _H | 1(1H) | 32 |
| ATU4F | キャプチャ出力レジスタ F1 | CDRF1 | 0000 FFFF _H | 32 | FFE6 30AC _H | 1(1H) | 32 |
| ATU4F | タイマコントロールレジスタ 1F2 | TCR1F2 | 00 _H | 8 | FFE6 30C0 _H | 1(1H) | 8 |
| ATU4F | タイマコントロールレジスタ 2F2 | TCR2F2 | 00 _H | 8 | FFE6 30C2 _H | 1(1H) | 8 |
| ATU4F | バックアップコントロールレジスタ F2 | BKCRF2 | 00 _H | 8 | FFE6 30C4 _H | 1(1H) | 8 |
| ATU4F | タイマステータスレジスタ F2 | TSRF2 | 00 _H | 8 | FFE6 30C5 _H | 1(1H) | 8 |
| ATU4F | タイマステータスクリアレジスタ F2 | TSCRF2 | 00 _H | 8 | FFE6 30C6 _H | 1(1H) | 8 |
| ATU4F | タイマインタラプトイネーブルレジスタ F2 | TIERF2 | 00 _H | 8 | FFE6 30C7 _H | 1(1H) | 8 |
| ATU4F | ノイズキャンセルカウンタ FA02 | NCNTFA2 | 0000 _H | 16 | FFE6 30C8 _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルレジスタ FA02 | NCRFA2 | 0000 _H | 16 | FFE6 30CA _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルカウンタ FB02 | NCNTFB2 | 0000 _H | 16 | FFE6 30CC _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルレジスタ FB02 | NCRFB2 | 0000 _H | 16 | FFE6 30CE _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ AF2 | ECNTAF2 | 0000 0000 _H | 32 | FFE6 30D0 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ AF2 | GRAF2 | FFFF FFFF _H | 32 | FFE6 30D4 _H | 1(1H) | 32 |
| ATU4F | イベントカウンタ F2 | ECNTBF2 | 0000 _H | 16 | FFE6 30D8 _H | 1(1H) | 16 |
| ATU4F | 汎用レジスタ BF2 | GRBF2 | FFFF _H | 16 | FFE6 30DC _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ CF2 | ECNTCF2 | 0000 0000 _H | 32 | FFE6 30E0 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ CF2 | BGRCF2 | FFFF FFFF _H | 32 | FFE6 30E4 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ CF2 | GRCF2 | FFFF FFFF _H | 32 | FFE6 30E4 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ DF2 | GRDF2 | FFFF FFFF _H | 32 | FFE6 30E8 _H | 1(1H) | 32 |
| ATU4F | キャプチャ出力レジスタ F2 | CDRF2 | 0000 FFFF _H | 32 | FFE6 30EC _H | 1(1H) | 32 |
| ATU4F | タイマコントロールレジスタ 1F3 | TCR1F3 | 00 _H | 8 | FFE6 3100 _H | 1(1H) | 8 |
| ATU4F | タイマコントロールレジスタ 2F3 | TCR2F3 | 00 _H | 8 | FFE6 3102 _H | 1(1H) | 8 |
| ATU4F | バックアップコントロールレジスタ F3 | BKCRF3 | 00 _H | 8 | FFE6 3104 _H | 1(1H) | 8 |
| ATU4F | タイマステータスレジスタ F3 | TSRF3 | 00 _H | 8 | FFE6 3105 _H | 1(1H) | 8 |
| ATU4F | タイマステータスクリアレジスタ F3 | TSCRF3 | 00 _H | 8 | FFE6 3106 _H | 1(1H) | 8 |
| ATU4F | タイマインタラプトイネーブルレジスタ F3 | TIERF3 | 00 _H | 8 | FFE6 3107 _H | 1(1H) | 8 |
| ATU4F | ノイズキャンセルカウンタ FA03 | NCNTFA3 | 0000 _H | 16 | FFE6 3108 _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルレジスタ FA03 | NCRFA3 | 0000 _H | 16 | FFE6 310A _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ AF3 | ECNTAF3 | 0000 0000 _H | 32 | FFE6 3110 _H | 1(1H) | 32 |

(78/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4F | バックアップレジスタ AF3 | BGRAF3 | FFFF FFFF _H | 32 | FFE6 3114 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ AF3 | GRAF3 | FFFF FFFF _H | 32 | FFE6 3114 _H | 1(1H) | 32 |
| ATU4F | イベントカウンタ F3 | ECNTBF3 | 0000 _H | 16 | FFE6 3118 _H | 1(1H) | 16 |
| ATU4F | 汎用レジスタ BF3 | GRBF3 | FFFF _H | 16 | FFE6 311C _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ CF3 | ECNTCF3 | 0000 0000 _H | 32 | FFE6 3120 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ CF3 | BGRCF3 | FFFF FFFF _H | 32 | FFE6 3124 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ CF3 | GRCF3 | FFFF FFFF _H | 32 | FFE6 3124 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ DF3 | GRDF3 | FFFF FFFF _H | 32 | FFE6 3128 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ DF3 | BGRDF3 | FFFF FFFF _H | 32 | FFE6 3128 _H | 1(1H) | 32 |
| ATU4F | キャプチャ出力レジスタ F3 | CDRF3 | 0000 FFFF _H | 32 | FFE6 312C _H | 1(1H) | 32 |
| ATU4F | タイマコントロールレジスタ 1F4 | TCR1F4 | 00 _H | 8 | FFE6 3140 _H | 1(1H) | 8 |
| ATU4F | タイマコントロールレジスタ 2F4 | TCR2F4 | 00 _H | 8 | FFE6 3142 _H | 1(1H) | 8 |
| ATU4F | バックアップコントロールレジスタ F4 | BKCRF4 | 00 _H | 8 | FFE6 3144 _H | 1(1H) | 8 |
| ATU4F | タイマステータスレジスタ F4 | TSRF4 | 00 _H | 8 | FFE6 3145 _H | 1(1H) | 8 |
| ATU4F | タイマステータスクリアレジスタ F4 | TSCRF4 | 00 _H | 8 | FFE6 3146 _H | 1(1H) | 8 |
| ATU4F | タイマインタラプトイネーブルレジスタ F4 | TIERF4 | 00 _H | 8 | FFE6 3147 _H | 1(1H) | 8 |
| ATU4F | ノイズキャンセルカウンタ FA04 | NCNTFA4 | 0000 _H | 16 | FFE6 3148 _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルレジスタ FA04 | NCRFA4 | 0000 _H | 16 | FFE6 314A _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ AF4 | ECNTAF4 | 0000 0000 _H | 32 | FFE6 3150 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ AF4 | BGRAF4 | FFFF FFFF _H | 32 | FFE6 3154 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ AF4 | GRAF4 | FFFF FFFF _H | 32 | FFE6 3154 _H | 1(1H) | 32 |
| ATU4F | イベントカウンタ F4 | ECNTBF4 | 0000 _H | 16 | FFE6 3158 _H | 1(1H) | 16 |
| ATU4F | 汎用レジスタ BF4 | GRBF4 | FFFF _H | 16 | FFE6 315C _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ CF4 | ECNTCF4 | 0000 0000 _H | 32 | FFE6 3160 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ CF4 | BGRCF4 | FFFF FFFF _H | 32 | FFE6 3164 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ CF4 | GRCF4 | FFFF FFFF _H | 32 | FFE6 3164 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ DF4 | GRDF4 | FFFF FFFF _H | 32 | FFE6 3168 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ DF4 | BGRDF4 | FFFF FFFF _H | 32 | FFE6 3168 _H | 1(1H) | 32 |
| ATU4F | キャプチャ出力レジスタ F4 | CDRF4 | 0000 FFFF _H | 32 | FFE6 316C _H | 1(1H) | 32 |
| ATU4F | タイマコントロールレジスタ 1F5 | TCR1F5 | 00 _H | 8 | FFE6 3180 _H | 1(1H) | 8 |
| ATU4F | タイマコントロールレジスタ 2F5 | TCR2F5 | 00 _H | 8 | FFE6 3182 _H | 1(1H) | 8 |
| ATU4F | バックアップコントロールレジスタ F5 | BKCRF5 | 00 _H | 8 | FFE6 3184 _H | 1(1H) | 8 |
| ATU4F | タイマステータスレジスタ F5 | TSRF5 | 00 _H | 8 | FFE6 3185 _H | 1(1H) | 8 |
| ATU4F | タイマステータスクリアレジスタ F5 | TSCRF5 | 00 _H | 8 | FFE6 3186 _H | 1(1H) | 8 |
| ATU4F | タイマインタラプトイネーブルレジスタ F5 | TIERF5 | 00 _H | 8 | FFE6 3187 _H | 1(1H) | 8 |
| ATU4F | ノイズキャンセルカウンタ FA05 | NCNTFA5 | 0000 _H | 16 | FFE6 3188 _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルレジスタ FA05 | NCRFA5 | 0000 _H | 16 | FFE6 318A _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ AF5 | ECNTAF5 | 0000 0000 _H | 32 | FFE6 3190 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ AF5 | BGRAF5 | FFFF FFFF _H | 32 | FFE6 3194 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ AF5 | GRAF5 | FFFF FFFF _H | 32 | FFE6 3194 _H | 1(1H) | 32 |
| ATU4F | イベントカウンタ F5 | ECNTBF5 | 0000 _H | 16 | FFE6 3198 _H | 1(1H) | 16 |
| ATU4F | 汎用レジスタ BF5 | GRBF5 | FFFF _H | 16 | FFE6 319C _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ CF5 | ECNTCF5 | 0000 0000 _H | 32 | FFE6 31A0 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ CF5 | BGRCF5 | FFFF FFFF _H | 32 | FFE6 31A4 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ CF5 | GRCF5 | FFFF FFFF _H | 32 | FFE6 31A4 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ DF5 | GRDF5 | FFFF FFFF _H | 32 | FFE6 31A8 _H | 1(1H) | 32 |

(79/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4F | バックアップレジスタ DF5 | BGRDF5 | FFFF FFFF _H | 32 | FFE6 31A8 _H | 1(1H) | 32 |
| ATU4F | キャプチャ出力レジスタ F5 | CDRF5 | 0000 FFFF _H | 32 | FFE6 31AC _H | 1(1H) | 32 |
| ATU4F | タイマコントロールレジスタ 1F6 | TCR1F6 | 00 _H | 8 | FFE6 31C0 _H | 1(1H) | 8 |
| ATU4F | タイマコントロールレジスタ 2F6 | TCR2F6 | 00 _H | 8 | FFE6 31C2 _H | 1(1H) | 8 |
| ATU4F | バックアップコントロールレジスタ F6 | BKCRF6 | 00 _H | 8 | FFE6 31C4 _H | 1(1H) | 8 |
| ATU4F | タイマステータスレジスタ F6 | TSRF6 | 00 _H | 8 | FFE6 31C5 _H | 1(1H) | 8 |
| ATU4F | タイマステータスクリアレジスタ F6 | TSCRF6 | 00 _H | 8 | FFE6 31C6 _H | 1(1H) | 8 |
| ATU4F | タイマインタラプトイネーブルレジスタ F6 | TIERF6 | 00 _H | 8 | FFE6 31C7 _H | 1(1H) | 8 |
| ATU4F | ノイズキャンセルカウンタ FA06 | NCNTFA6 | 0000 _H | 16 | FFE6 31C8 _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルレジスタ FA06 | NCRFA6 | 0000 _H | 16 | FFE6 31CA _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ AF6 | ECNTAF6 | 0000 0000 _H | 32 | FFE6 31D0 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ AF6 | BGRAF6 | FFFF FFFF _H | 32 | FFE6 31D4 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ AF6 | GRAF6 | FFFF FFFF _H | 32 | FFE6 31D4 _H | 1(1H) | 32 |
| ATU4F | イベントカウンタ F6 | ECNTBF6 | 0000 _H | 16 | FFE6 31D8 _H | 1(1H) | 16 |
| ATU4F | 汎用レジスタ BF6 | GRBF6 | FFFF _H | 16 | FFE6 31DC _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ CF6 | ECNTCF6 | 0000 0000 _H | 32 | FFE6 31E0 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ CF6 | BGRCF6 | FFFF FFFF _H | 32 | FFE6 31E4 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ CF6 | GRCF6 | FFFF FFFF _H | 32 | FFE6 31E4 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ DF6 | GRDF6 | FFFF FFFF _H | 32 | FFE6 31E8 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ DF6 | BGRDF6 | FFFF FFFF _H | 32 | FFE6 31E8 _H | 1(1H) | 32 |
| ATU4F | キャプチャ出力レジスタ F6 | CDRF6 | 0000 FFFF _H | 32 | FFE6 31EC _H | 1(1H) | 32 |
| ATU4F | タイマコントロールレジスタ 1F7 | TCR1F7 | 00 _H | 8 | FFE6 3200 _H | 1(1H) | 8 |
| ATU4F | タイマコントロールレジスタ 2F7 | TCR2F7 | 00 _H | 8 | FFE6 3202 _H | 1(1H) | 8 |
| ATU4F | バックアップコントロールレジスタ F7 | BKCRF7 | 00 _H | 8 | FFE6 3204 _H | 1(1H) | 8 |
| ATU4F | タイマステータスレジスタ F7 | TSRF7 | 00 _H | 8 | FFE6 3205 _H | 1(1H) | 8 |
| ATU4F | タイマステータスクリアレジスタ F7 | TSCRF7 | 00 _H | 8 | FFE6 3206 _H | 1(1H) | 8 |
| ATU4F | タイマインタラプトイネーブルレジスタ F7 | TIERF7 | 00 _H | 8 | FFE6 3207 _H | 1(1H) | 8 |
| ATU4F | ノイズキャンセルカウンタ FA07 | NCNTFA7 | 0000 _H | 16 | FFE6 3208 _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルレジスタ FA07 | NCRFA7 | 0000 _H | 16 | FFE6 320A _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ AF7 | ECNTAF7 | 0000 0000 _H | 32 | FFE6 3210 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ AF7 | BGRAF7 | FFFF FFFF _H | 32 | FFE6 3214 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ AF7 | GRAF7 | FFFF FFFF _H | 32 | FFE6 3214 _H | 1(1H) | 32 |
| ATU4F | イベントカウンタ F7 | ECNTBF7 | 0000 _H | 16 | FFE6 3218 _H | 1(1H) | 16 |
| ATU4F | 汎用レジスタ BF7 | GRBF7 | FFFF _H | 16 | FFE6 321C _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ CF7 | ECNTCF7 | 0000 0000 _H | 32 | FFE6 3220 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ CF7 | BGRCF7 | FFFF FFFF _H | 32 | FFE6 3224 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ CF7 | GRCF7 | FFFF FFFF _H | 32 | FFE6 3224 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ DF7 | GRDF7 | FFFF FFFF _H | 32 | FFE6 3228 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ DF7 | BGRDF7 | FFFF FFFF _H | 32 | FFE6 3228 _H | 1(1H) | 32 |
| ATU4F | キャプチャ出力レジスタ F7 | CDRF7 | 0000 FFFF _H | 32 | FFE6 322C _H | 1(1H) | 32 |
| ATU4F | タイマコントロールレジスタ 1F8 | TCR1F8 | 00 _H | 8 | FFE6 3240 _H | 1(1H) | 8 |
| ATU4F | タイマコントロールレジスタ 2F8 | TCR2F8 | 00 _H | 8 | FFE6 3242 _H | 1(1H) | 8 |
| ATU4F | バックアップコントロールレジスタ F8 | BKCRF8 | 00 _H | 8 | FFE6 3244 _H | 1(1H) | 8 |
| ATU4F | タイマステータスレジスタ F8 | TSRF8 | 00 _H | 8 | FFE6 3245 _H | 1(1H) | 8 |
| ATU4F | タイマステータスクリアレジスタ F8 | TSCRF8 | 00 _H | 8 | FFE6 3246 _H | 1(1H) | 8 |

(80/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4F | タイマインタラプトイネーブルレジスタ F8 | TIERF8 | 00 _H | 8 | FFE6 3247 _H | 1(1H) | 8 |
| ATU4F | ノイズキャンセルカウンタ FA08 | NCNTFA8 | 0000 _H | 16 | FFE6 3248 _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルレジスタ FA08 | NCRFA8 | 0000 _H | 16 | FFE6 324A _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ AF8 | ECNTAF8 | 0000 0000 _H | 32 | FFE6 3250 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ AF8 | BGRAF8 | FFFF FFFF _H | 32 | FFE6 3254 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ AF8 | GRAF8 | FFFF FFFF _H | 32 | FFE6 3254 _H | 1(1H) | 32 |
| ATU4F | イベントカウンタ F8 | ECNTBF8 | 0000 _H | 16 | FFE6 3258 _H | 1(1H) | 16 |
| ATU4F | 汎用レジスタ BF8 | GRBF8 | FFFF _H | 16 | FFE6 325C _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ CF8 | ECNTCF8 | 0000 0000 _H | 32 | FFE6 3260 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ CF8 | BGRCF8 | FFFF FFFF _H | 32 | FFE6 3264 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ CF8 | GRCF8 | FFFF FFFF _H | 32 | FFE6 3264 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ DF8 | GRDF8 | FFFF FFFF _H | 32 | FFE6 3268 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ DF8 | BGRDF8 | FFFF FFFF _H | 32 | FFE6 3268 _H | 1(1H) | 32 |
| ATU4F | キャプチャ出力レジスタ F8 | CDRF8 | 0000 FFFF _H | 32 | FFE6 326C _H | 1(1H) | 32 |
| ATU4F | タイマコントロールレジスタ 1F9 | TCR1F9 | 00 _H | 8 | FFE6 3280 _H | 1(1H) | 8 |
| ATU4F | タイマコントロールレジスタ 2F9 | TCR2F9 | 00 _H | 8 | FFE6 3282 _H | 1(1H) | 8 |
| ATU4F | バックアップコントロールレジスタ F9 | BKCRF9 | 00 _H | 8 | FFE6 3284 _H | 1(1H) | 8 |
| ATU4F | タイマステータスレジスタ F9 | TSRF9 | 00 _H | 8 | FFE6 3285 _H | 1(1H) | 8 |
| ATU4F | タイマステータスクリアレジスタ F9 | TSCRF9 | 00 _H | 8 | FFE6 3286 _H | 1(1H) | 8 |
| ATU4F | タイマインタラプトイネーブルレジスタ F9 | TIERF9 | 00 _H | 8 | FFE6 3287 _H | 1(1H) | 8 |
| ATU4F | ノイズキャンセルカウンタ FA09 | NCNTFA9 | 0000 _H | 16 | FFE6 3288 _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルレジスタ FA09 | NCRFA9 | 0000 _H | 16 | FFE6 328A _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ AF9 | ECNTAF9 | 0000 0000 _H | 32 | FFE6 3290 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ AF9 | BGRAF9 | FFFF FFFF _H | 32 | FFE6 3294 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ AF9 | GRAF9 | FFFF FFFF _H | 32 | FFE6 3294 _H | 1(1H) | 32 |
| ATU4F | イベントカウンタ F9 | ECNTBF9 | 0000 _H | 16 | FFE6 3298 _H | 1(1H) | 16 |
| ATU4F | 汎用レジスタ BF9 | GRBF9 | FFFF _H | 16 | FFE6 329C _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ CF9 | ECNTCF9 | 0000 0000 _H | 32 | FFE6 32A0 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ CF9 | BGRCF9 | FFFF FFFF _H | 32 | FFE6 32A4 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ CF9 | GRCF9 | FFFF FFFF _H | 32 | FFE6 32A4 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ DF9 | GRDF9 | FFFF FFFF _H | 32 | FFE6 32A8 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ DF9 | BGRDF9 | FFFF FFFF _H | 32 | FFE6 32A8 _H | 1(1H) | 32 |
| ATU4F | キャプチャ出力レジスタ F9 | CDRF9 | 0000 FFFF _H | 32 | FFE6 32AC _H | 1(1H) | 32 |
| ATU4F | タイマコントロールレジスタ 1F10 | TCR1F10 | 00 _H | 8 | FFE6 32C0 _H | 1(1H) | 8 |
| ATU4F | タイマコントロールレジスタ 2F10 | TCR2F10 | 00 _H | 8 | FFE6 32C2 _H | 1(1H) | 8 |
| ATU4F | バックアップコントロールレジスタ F10 | BKCRF10 | 00 _H | 8 | FFE6 32C4 _H | 1(1H) | 8 |
| ATU4F | タイマステータスレジスタ F10 | TSRF10 | 00 _H | 8 | FFE6 32C5 _H | 1(1H) | 8 |
| ATU4F | タイマステータスクリアレジスタ F10 | TSCRF10 | 00 _H | 8 | FFE6 32C6 _H | 1(1H) | 8 |
| ATU4F | タイマインタラプトイネーブルレジスタ F10 | TIERF10 | 00 _H | 8 | FFE6 32C7 _H | 1(1H) | 8 |
| ATU4F | ノイズキャンセルカウンタ FA10 | NCNTFA10 | 0000 _H | 16 | FFE6 32C8 _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルレジスタ FA10 | NCRFA10 | 0000 _H | 16 | FFE6 32CA _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ AF10 | ECNTAF10 | 0000 0000 _H | 32 | FFE6 32D0 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ AF10 | BGRAF10 | FFFF FFFF _H | 32 | FFE6 32D4 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ AF10 | GRAF10 | FFFF FFFF _H | 32 | FFE6 32D4 _H | 1(1H) | 32 |

(81/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4F | イベントカウンタ F10 | ECNTBF10 | 0000 _H | 16 | FFE6 32D8 _H | 1(1H) | 16 |
| ATU4F | 汎用レジスタ BF10 | GRBF10 | FFFF _H | 16 | FFE6 32DC _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ CF10 | ECNTCF10 | 0000 0000 _H | 32 | FFE6 32E0 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ CF10 | BGRCF10 | FFFF FFFF _H | 32 | FFE6 32E4 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ CF10 | GRCF10 | FFFF FFFF _H | 32 | FFE6 32E4 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ DF10 | GRDF10 | FFFF FFFF _H | 32 | FFE6 32E8 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ DF10 | BGRDF10 | FFFF FFFF _H | 32 | FFE6 32E8 _H | 1(1H) | 32 |
| ATU4F | キャプチャ出力レジスタ F10 | CDRF10 | 0000 FFFF _H | 32 | FFE6 32EC _H | 1(1H) | 32 |
| ATU4F | タイマコントロールレジスタ 1F11 | TCR1F11 | 00 _H | 8 | FFE6 3300 _H | 1(1H) | 8 |
| ATU4F | タイマコントロールレジスタ 2F11 | TCR2F11 | 00 _H | 8 | FFE6 3302 _H | 1(1H) | 8 |
| ATU4F | バックアップコントロールレジスタ F11 | BKCRF11 | 00 _H | 8 | FFE6 3304 _H | 1(1H) | 8 |
| ATU4F | タイマステータスレジスタ F11 | TSRF11 | 00 _H | 8 | FFE6 3305 _H | 1(1H) | 8 |
| ATU4F | タイマステータスクリアレジスタ F11 | TSCRF11 | 00 _H | 8 | FFE6 3306 _H | 1(1H) | 8 |
| ATU4F | タイマインタラプトイネーブルレジスタ F11 | TIERF11 | 00 _H | 8 | FFE6 3307 _H | 1(1H) | 8 |
| ATU4F | ノイズキャンセルカウンタ FA11 | NCNTFA11 | 0000 _H | 16 | FFE6 3308 _H | 1(1H) | 16 |
| ATU4F | ノイズキャンセルレジスタ FA11 | NCRFA11 | 0000 _H | 16 | FFE6 330A _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ AF11 | ECNTAF11 | 0000 0000 _H | 32 | FFE6 3310 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ AF11 | BGRAF11 | FFFF FFFF _H | 32 | FFE6 3314 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ AF11 | GRAF11 | FFFF FFFF _H | 32 | FFE6 3314 _H | 1(1H) | 32 |
| ATU4F | イベントカウンタ F11 | ECNTBF11 | 0000 _H | 16 | FFE6 3318 _H | 1(1H) | 16 |
| ATU4F | 汎用レジスタ BF11 | GRBF11 | FFFF _H | 16 | FFE6 331C _H | 1(1H) | 16 |
| ATU4F | 時間計測カウンタ CF11 | ECNTCF11 | 0000 0000 _H | 32 | FFE6 3320 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ CF11 | BGRCF11 | FFFF FFFF _H | 32 | FFE6 3324 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ CF11 | GRCF11 | FFFF FFFF _H | 32 | FFE6 3324 _H | 1(1H) | 32 |
| ATU4F | 汎用レジスタ DF11 | GRDF11 | FFFF FFFF _H | 32 | FFE6 3328 _H | 1(1H) | 32 |
| ATU4F | バックアップレジスタ DF11 | BGRDF11 | FFFF FFFF _H | 32 | FFE6 3328 _H | 1(1H) | 32 |
| ATU4F | キャプチャ出力レジスタ F11 | CDRF11 | 0000 FFFF _H | 32 | FFE6 332C _H | 1(1H) | 32 |
| ATU4G | タイマスタートレジスタ G | TSTRG | 0000 _H | 16 | FFE6 3900 _H | 1(1H) | 8、16 |
| ATU4G | タイマコントロールレジスタ G0 | TCRG0 | 00 _H | 8 | FFE6 3910 _H | 1(1H) | 8 |
| ATU4G | タイマステータスレジスタ G0 | TSRG0 | 00 _H | 8 | FFE6 3912 _H | 1(1H) | 8 |
| ATU4G | タイマステータスクリアレジスタ G0 | TSCRG0 | 00 _H | 8 | FFE6 3913 _H | 1(1H) | 8 |
| ATU4G | タイマカウンタ G0 | TCNTG0 | 0000 0000 _H | 32 | FFE6 3914 _H | 1(1H) | 32 |
| ATU4G | コンペアマッチレジスタ G0 | OCRG0 | FFFF FFFF _H | 32 | FFE6 3918 _H | 1(1H) | 32 |
| ATU4G | タイマコントロールレジスタ G1 | TCRG1 | 00 _H | 8 | FFE6 3920 _H | 1(1H) | 8 |
| ATU4G | タイマステータスレジスタ G1 | TSRG1 | 00 _H | 8 | FFE6 3922 _H | 1(1H) | 8 |
| ATU4G | タイマステータスクリアレジスタ G1 | TSCRG1 | 00 _H | 8 | FFE6 3923 _H | 1(1H) | 8 |
| ATU4G | タイマカウンタ G1 | TCNTG1 | 0000 0000 _H | 32 | FFE6 3924 _H | 1(1H) | 32 |
| ATU4G | コンペアマッチレジスタ G1 | OCRG1 | FFFF FFFF _H | 32 | FFE6 3928 _H | 1(1H) | 32 |
| ATU4G | タイマコントロールレジスタ G2 | TCRG2 | 00 _H | 8 | FFE6 3930 _H | 1(1H) | 8 |
| ATU4G | タイマステータスレジスタ G2 | TSRG2 | 00 _H | 8 | FFE6 3932 _H | 1(1H) | 8 |
| ATU4G | タイマステータスクリアレジスタ G2 | TSCRG2 | 00 _H | 8 | FFE6 3933 _H | 1(1H) | 8 |
| ATU4G | タイマカウンタ G2 | TCNTG2 | 0000 0000 _H | 32 | FFE6 3934 _H | 1(1H) | 32 |
| ATU4G | コンペアマッチレジスタ G2 | OCRG2 | FFFF FFFF _H | 32 | FFE6 3938 _H | 1(1H) | 32 |
| ATU4G | タイマコントロールレジスタ G3 | TCRG3 | 00 _H | 8 | FFE6 3940 _H | 1(1H) | 8 |
| ATU4G | タイマステータスレジスタ G3 | TSRG3 | 00 _H | 8 | FFE6 3942 _H | 1(1H) | 8 |
| ATU4G | タイマステータスクリアレジスタ G3 | TSCRG3 | 00 _H | 8 | FFE6 3943 _H | 1(1H) | 8 |

(82/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------|----------|------------------------|------|------------------------|------------------|---------|
| ATU4G | タイマカウンタ G3 | TCNTG3 | 0000 0000 _H | 32 | FFE6 3944 _H | 1(1H) | 32 |
| ATU4G | コンペアマッチレジスタ G3 | OCRG3 | FFFF FFFF _H | 32 | FFE6 3948 _H | 1(1H) | 32 |
| ATU4G | タイマコントロールレジスタ G4 | TCRG4 | 00 _H | 8 | FFE6 3950 _H | 1(1H) | 8 |
| ATU4G | タイマステータスレジスタ G4 | TSRG4 | 00 _H | 8 | FFE6 3952 _H | 1(1H) | 8 |
| ATU4G | タイマステータスクリアレジスタ G4 | TSCRG4 | 00 _H | 8 | FFE6 3953 _H | 1(1H) | 8 |
| ATU4G | タイマカウンタ G4 | TCNTG4 | 0000 0000 _H | 32 | FFE6 3954 _H | 1(1H) | 32 |
| ATU4G | コンペアマッチレジスタ G4 | OCRG4 | FFFF FFFF _H | 32 | FFE6 3958 _H | 1(1H) | 32 |
| ATU4G | タイマコントロールレジスタ G5 | TCRG5 | 00 _H | 8 | FFE6 3960 _H | 1(1H) | 8 |
| ATU4G | タイマステータスレジスタ G5 | TSRG5 | 00 _H | 8 | FFE6 3962 _H | 1(1H) | 8 |
| ATU4G | タイマステータスクリアレジスタ G5 | TSCRG5 | 00 _H | 8 | FFE6 3963 _H | 1(1H) | 8 |
| ATU4G | タイマカウンタ G5 | TCNTG5 | 0000 0000 _H | 32 | FFE6 3964 _H | 1(1H) | 32 |
| ATU4G | コンペアマッチレジスタ G5 | OCRG5 | FFFF FFFF _H | 32 | FFE6 3968 _H | 1(1H) | 32 |
| ATU4G | タイマコントロールレジスタ G6 | TCRG6 | 00 _H | 8 | FFE6 3970 _H | 1(1H) | 8 |
| ATU4G | タイマステータスレジスタ G6 | TSRG6 | 00 _H | 8 | FFE6 3972 _H | 1(1H) | 8 |
| ATU4G | タイマステータスクリアレジスタ G6 | TSCRG6 | 00 _H | 8 | FFE6 3973 _H | 1(1H) | 8 |
| ATU4G | タイマカウンタ G6 | TCNTG6 | 0000 0000 _H | 32 | FFE6 3974 _H | 1(1H) | 32 |
| ATU4G | コンペアマッチレジスタ G6 | OCRG6 | FFFF FFFF _H | 32 | FFE6 3978 _H | 1(1H) | 32 |
| ATU4G | タイマコントロールレジスタ G7 | TCRG7 | 00 _H | 8 | FFE6 3980 _H | 1(1H) | 8 |
| ATU4G | タイマステータスレジスタ G7 | TSRG7 | 00 _H | 8 | FFE6 3982 _H | 1(1H) | 8 |
| ATU4G | タイマステータスクリアレジスタ G7 | TSCRG7 | 00 _H | 8 | FFE6 3983 _H | 1(1H) | 8 |
| ATU4G | タイマカウンタ G7 | TCNTG7 | 0000 0000 _H | 32 | FFE6 3984 _H | 1(1H) | 32 |
| ATU4G | コンペアマッチレジスタ G7 | OCRG7 | FFFF FFFF _H | 32 | FFE6 3988 _H | 1(1H) | 32 |
| ATU4J | タイマスタートレジスタ J | TSTRJ | 00 _H | 8 | FFE6 3C00 _H | 1(1H) | 8 |
| ATU4J | タイマコントロールレジスタ J0 | TCRJ0 | 00 _H | 8 | FFE6 3C20 _H | 1(1H) | 8 |
| ATU4J | FIFO コントロールレジスタ J0 | FCRJ0 | 00 _H | 8 | FFE6 3C21 _H | 1(1H) | 8 |
| ATU4J | タイマステータスレジスタ J0 | TSRJ0 | 00 _H | 8 | FFE6 3C22 _H | 1(1H) | 8 |
| ATU4J | タイマステータスクリアレジスタ J0 | TSCRJ0 | 00 _H | 8 | FFE6 3C23 _H | 1(1H) | 8 |
| ATU4J | タイマカウンタ J0 | TCNTJ0 | 0000 0000 _H | 32 | FFE6 3C24 _H | 1(1H) | 32 |
| ATU4J | コンペアマッチレジスタ J0 | OCRJ0 | FFFF FFFF _H | 32 | FFE6 3C28 _H | 1(1H) | 32 |
| ATU4J | FIFO レジスタ J0 | FIFOJ0 | 0000 0000 _H | 32 | FFE6 3C2C _H | 1(1H) | 32 |
| ATU4J | FIFO データ数レジスタ J0 | FDNRJ0 | 00 _H | 8 | FFE6 3C30 _H | 1(1H) | 8 |
| ATU4J | ノイズキャンセルカウンタ J0 | NCNTJ0 | 0000 _H | 16 | FFE6 3C34 _H | 1(1H) | 16 |
| ATU4J | ノイズキャンセルレジスタ J0 | NCRJ0 | 0000 _H | 16 | FFE6 3C36 _H | 1(1H) | 16 |
| ATU4J | タイマコントロールレジスタ J1 | TCRJ1 | 00 _H | 8 | FFE6 3C40 _H | 1(1H) | 8 |
| ATU4J | FIFO コントロールレジスタ J1 | FCRJ1 | 00 _H | 8 | FFE6 3C41 _H | 1(1H) | 8 |
| ATU4J | タイマステータスレジスタ J1 | TSRJ1 | 00 _H | 8 | FFE6 3C42 _H | 1(1H) | 8 |
| ATU4J | タイマステータスクリアレジスタ J1 | TSCRJ1 | 00 _H | 8 | FFE6 3C43 _H | 1(1H) | 8 |
| ATU4J | タイマカウンタ J1 | TCNTJ1 | 0000 0000 _H | 32 | FFE6 3C44 _H | 1(1H) | 32 |
| ATU4J | コンペアマッチレジスタ J1 | OCRJ1 | FFFF FFFF _H | 32 | FFE6 3C48 _H | 1(1H) | 32 |
| ATU4J | FIFO レジスタ J1 | FIFOJ1 | 0000 0000 _H | 32 | FFE6 3C4C _H | 1(1H) | 32 |
| ATU4J | FIFO データ数レジスタ J1 | FDNRJ1 | 00 _H | 8 | FFE6 3C50 _H | 1(1H) | 8 |
| ATU4J | ノイズキャンセルカウンタ J1 | NCNTJ1 | 0000 _H | 16 | FFE6 3C54 _H | 1(1H) | 16 |
| ATU4J | ノイズキャンセルレジスタ J1 | NCRJ1 | 0000 _H | 16 | FFE6 3C56 _H | 1(1H) | 16 |
| ATU4J | タイマコントロールレジスタ J2 | TCRJ2 | 00 _H | 8 | FFE6 3C60 _H | 1(1H) | 8 |
| ATU4J | FIFO コントロールレジスタ J2 | FCRJ2 | 00 _H | 8 | FFE6 3C61 _H | 1(1H) | 8 |
| ATU4J | タイマステータスレジスタ J2 | TSRJ2 | 00 _H | 8 | FFE6 3C62 _H | 1(1H) | 8 |
| ATU4J | タイマステータスクリアレジスタ J2 | TSCRJ2 | 00 _H | 8 | FFE6 3C63 _H | 1(1H) | 8 |

(83/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|-------------|------------------------|------|------------------------|------------------|---------|
| ATU4J | タイマカウンタ J2 | TCNTJ2 | 0000 0000 _H | 32 | FFE6 3C64 _H | 1(1H) | 32 |
| ATU4J | コンペアマッチレジスタ J2 | OCRJ2 | FFFF FFFF _H | 32 | FFE6 3C68 _H | 1(1H) | 32 |
| ATU4J | FIFO レジスタ J2 | FIFOJ2 | 0000 0000 _H | 32 | FFE6 3C6C _H | 1(1H) | 32 |
| ATU4J | FIFO データ数レジスタ J2 | FDNRJ2 | 00 _H | 8 | FFE6 3C70 _H | 1(1H) | 8 |
| ATU4J | ノイズキャンセルカウンタ J2 | NCNTJ2 | 0000 _H | 16 | FFE6 3C74 _H | 1(1H) | 16 |
| ATU4J | ノイズキャンセルレジスタ J2 | NCRJ2 | 0000 _H | 16 | FFE6 3C76 _H | 1(1H) | 16 |
| ATU4J | タイマコントロールレジスタ J3 | TCRJ3 | 00 _H | 8 | FFE6 3C80 _H | 1(1H) | 8 |
| ATU4J | FIFO コントロールレジスタ J3 | FCRJ3 | 00 _H | 8 | FFE6 3C81 _H | 1(1H) | 8 |
| ATU4J | タイマステータスレジスタ J3 | TSRJ3 | 00 _H | 8 | FFE6 3C82 _H | 1(1H) | 8 |
| ATU4J | タイマステータスクリアレジスタ J3 | TSCRJ3 | 00 _H | 8 | FFE6 3C83 _H | 1(1H) | 8 |
| ATU4J | タイマカウンタ J3 | TCNTJ3 | 0000 0000 _H | 32 | FFE6 3C84 _H | 1(1H) | 32 |
| ATU4J | コンペアマッチレジスタ J3 | OCRJ3 | FFFF FFFF _H | 32 | FFE6 3C88 _H | 1(1H) | 32 |
| ATU4J | FIFO レジスタ J3 | FIFOJ3 | 0000 0000 _H | 32 | FFE6 3C8C _H | 1(1H) | 32 |
| ATU4J | FIFO データ数レジスタ J3 | FDNRJ3 | 00 _H | 8 | FFE6 3C90 _H | 1(1H) | 8 |
| ATU4J | ノイズキャンセルカウンタ J3 | NCNTJ3 | 0000 _H | 16 | FFE6 3C94 _H | 1(1H) | 16 |
| ATU4J | ノイズキャンセルレジスタ J3 | NCRJ3 | 0000 _H | 16 | FFE6 3C96 _H | 1(1H) | 16 |
| TSG20 | TSG20 I/O 制御レジスタ 2 | TSG20IOC2 | 0000 _H | 16 | FFE7 0000 _H | 1(1H) | 16 |
| TSG20 | TSG20 制御レジスタ 3 | TSG20CTL3 | 00 _H | 8 | FFE7 0004 _H | 1(1H) | 8 |
| TSG20 | TSG20 制御レジスタ 5 | TSG20CTL5 | 0000 _H | 16 | FFE7 0008 _H | 1(1H) | 16 |
| TSG20 | TSG20 制御レジスタ 6 | TSG20CTL6 | 0000 _H | 16 | FFE7 000C _H | 1(1H) | 16 |
| TSG20 | TSG20 ステータスレジスタ 0 | TSG20STR0 | 00 _H | 8 | FFE7 0010 _H | 1(1H) | 8 |
| TSG20 | TSG20 ステータスレジスタ 1 | TSG20STR1 | 00 _H | 8 | FFE7 0014 _H | 1(1H) | 8 |
| TSG20 | TSG20 ステータスレジスタ 2 | TSG20STR2 | 0000 _H | 16 | FFE7 0018 _H | 1(1H) | 16 |
| TSG20 | TSG20 ステータスクリアトリガレジスタ | TSG20STC | 0000 _H | 16 | FFE7 001C _H | 1(1H) | 16 |
| TSG20 | TSG20 オプションレジスタ 0 | TSG20OPT0 | 00 _H | 8 | FFE7 0020 _H | 1(1H) | 8 |
| TSG20 | TSG20 オプションレジスタ 1 | TSG20OPT1 | 00 _H | 8 | FFE7 0024 _H | 1(1H) | 8 |
| TSG20 | TSG20 カウンタレジスタ | TSG20CNT | 0000 _H | 16 | FFE7 0028 _H | 1(1H) | 16 |
| TSG20 | TSG20 サブカウンタレジスタ | TSG20SBC | 0000 _H | 16 | FFE7 002C _H | 1(1H) | 16 |
| TSG20 | TSG20 トリガレジスタ 0 | TSG20TRG0 | 00 _H | 8 | FFE7 0030 _H | 1(1H) | 8 |
| TSG20 | TSG20 トリガレジスタ 1 | TSG20TRG1 | 00 _H | 8 | FFE7 0034 _H | 1(1H) | 8 |
| TSG20 | TSG20 コンペアレジスタ 1,2 | TSG20CMP1W | 0000 0000 _H | 32 | FFE7 0040 _H | 1(1H) | 32 |
| TSG20 | TSG20 コンペアレジスタ 5,6 | TSG20CMP5W | 0000 0000 _H | 32 | FFE7 0044 _H | 1(1H) | 32 |
| TSG20 | TSG20 コンペアレジスタ 9,10 | TSG20CMP9W | 0000 0000 _H | 32 | FFE7 0048 _H | 1(1H) | 32 |
| TSG20 | TSG20 コンペアレジスタ 3,4 | TSG20CMP3W | 0000 0000 _H | 32 | FFE7 004C _H | 1(1H) | 32 |
| TSG20 | TSG20 コンペアレジスタ 7,8 | TSG20CMP7W | 0000 0000 _H | 32 | FFE7 0050 _H | 1(1H) | 32 |
| TSG20 | TSG20 コンペアレジスタ 11,12 | TSG20CMP11W | 0000 0000 _H | 32 | FFE7 0054 _H | 1(1H) | 32 |
| TSG20 | TSG20 コンペアレジスタ 0 | TSG20CMP0 | 0000 0000 _H | 32 | FFE7 0058 _H | 1(1H) | 32 |
| TSG20 | TSG20 診断コンペアレジスタ 0,1 | TSG20DCMP0W | 0000 0000 _H | 32 | FFE7 005C _H | 1(1H) | 32 |
| TSG20 | TSG20 診断コンペアレジスタ 2 | TSG20DCMP2 | 0000 0000 _H | 32 | FFE7 0060 _H | 1(1H) | 32 |
| TSG20 | TSG20 パタンレジスタ 0 | TSG20PAT0W | 0000 0000 _H | 32 | FFE7 0064 _H | 1(1H) | 32 |
| TSG20 | TSG20 パタンレジスタ 1 | TSG20PAT1W | 0000 0000 _H | 32 | FFE7 0068 _H | 1(1H) | 32 |
| TSG20 | TSG20 デッドタイムコンペアレジスタ 0 | TSG20DTC0W | 0000 0000 _H | 32 | FFE7 006C _H | 1(1H) | 32 |
| TSG20 | TSG20 デッドタイムコンペアレジスタ 1 | TSG20DTC1W | 0000 0000 _H | 32 | FFE7 0070 _H | 1(1H) | 32 |
| TSG20 | TSG20 I/O 制御レジスタ 3 | TSG20IOC3 | 0000 0000 _H | 32 | FFE7 0074 _H | 1(1H) | 32 |
| TSG20 | TSG20 制御レジスタ 4 | TSG20CTL4 | 0000 0000 _H | 32 | FFE7 007C _H | 1(1H) | 32 |

(84/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-------------------------|------------|------------------------|------|------------------------|------------------|---------|
| TSG20 | TSG20 コンペアレジスタ 1 | TSG20CMP1 | 0000 _H | 16 | FFE7 0080 _H | 1(1H) | 16 |
| TSG20 | TSG20 コンペアレジスタ 2 | TSG20CMP2 | 0000 _H | 16 | FFE7 0084 _H | 1(1H) | 16 |
| TSG20 | TSG20 コンペアレジスタ 5 | TSG20CMP5 | 0000 _H | 16 | FFE7 0088 _H | 1(1H) | 16 |
| TSG20 | TSG20 コンペアレジスタ 6 | TSG20CMP6 | 0000 _H | 16 | FFE7 008C _H | 1(1H) | 16 |
| TSG20 | TSG20 コンペアレジスタ 9 | TSG20CMP9 | 0000 _H | 16 | FFE7 0090 _H | 1(1H) | 16 |
| TSG20 | TSG20 コンペアレジスタ 10 | TSG20CMP10 | 0000 _H | 16 | FFE7 0094 _H | 1(1H) | 16 |
| TSG20 | TSG20 コンペアレジスタ 3 | TSG20CMP3 | 0000 _H | 16 | FFE7 0098 _H | 1(1H) | 16 |
| TSG20 | TSG20 コンペアレジスタ 4 | TSG20CMP4 | 0000 _H | 16 | FFE7 009C _H | 1(1H) | 16 |
| TSG20 | TSG20 コンペアレジスタ 7 | TSG20CMP7 | 0000 _H | 16 | FFE7 00A0 _H | 1(1H) | 16 |
| TSG20 | TSG20 コンペアレジスタ 8 | TSG20CMP8 | 0000 _H | 16 | FFE7 00A4 _H | 1(1H) | 16 |
| TSG20 | TSG20 コンペアレジスタ 11 | TSG20CMP11 | 0000 _H | 16 | FFE7 00A8 _H | 1(1H) | 16 |
| TSG20 | TSG20 コンペアレジスタ 12 | TSG20CMP12 | 0000 _H | 16 | FFE7 00AC _H | 1(1H) | 16 |
| TSG20 | TSG20 U 相用コンペアレジスタ | TSG20CMPU | 0000 _H | 16 | FFE7 00B0 _H | 1(1H) | 16 |
| TSG20 | TSG20 V 相用コンペアレジスタ | TSG20CMPV | 0000 _H | 16 | FFE7 00B4 _H | 1(1H) | 16 |
| TSG20 | TSG20 W 相用コンペアレジスタ | TSG20CMPW | 0000 _H | 16 | FFE7 00B8 _H | 1(1H) | 16 |
| TSG20 | TSG20 U 相期間レジスタ | TSG20UPW | 0000 _H | 16 | FFE7 00BC _H | 1(1H) | 16 |
| TSG20 | TSG20 V 相期間レジスタ | TSG20VPW | 0000 _H | 16 | FFE7 00C0 _H | 1(1H) | 16 |
| TSG20 | TSG20 W 相期間レジスタ | TSG20WPW | 0000 _H | 16 | FFE7 00C4 _H | 1(1H) | 16 |
| TSG20 | TSG20 I/O 制御レジスタ 0 | TSG20IOC0 | 7E _H | 8 | FFE7 0200 _H | 1(1H) | 8 |
| TSG20 | TSG20 I/O 制御レジスタ 1 | TSG20IOC1 | 00 _H | 8 | FFE7 0204 _H | 1(1H) | 8 |
| TSG20 | TSG20 制御レジスタ 0 | TSG20CTL0 | 00 _H | 8 | FFE7 0208 _H | 1(1H) | 8 |
| TSG20 | TSG20 制御レジスタ 1 | TSG20CTL1 | 0000 _H | 16 | FFE7 020C _H | 1(1H) | 16 |
| TSG20 | TSG20 デッドタイム保護レジスタ | TSG20DTPR | 0000 _H | 16 | FFE7 0210 _H | 1(1H) | 16 |
| TAPA2 | TAPA2 フラグレジスタ | TAPA2FLG | 0000 _H | 16 | FFE9 2000 _H | 1(1H) | 16 |
| TAPA2 | TAPA2 非同期制御ライトイネーブルレジスタ | TAPA2ACWE | 00 _H | 8 | FFE9 2004 _H | 1(1H) | 8 |
| TAPA2 | TAPA2 非同期制御スタートトリガレジスタ | TAPA2ACTS | 00 _H | 8 | FFE9 2008 _H | 1(1H) | 8 |
| TAPA2 | TAPA2 非同期制御ストップトリガレジスタ | TAPA2ACTT | 00 _H | 8 | FFE9 200C _H | 1(1H) | 8 |
| TAPA2 | TAPA2 Hi-Z スタートトリガレジスタ | TAPA2OPHS | 00 _H | 8 | FFE9 2014 _H | 1(1H) | 8 |
| TAPA2 | TAPA2 Hi-Z ストップトリガレジスタ | TAPA2OPHT | 00 _H | 8 | FFE9 2018 _H | 1(1H) | 8 |
| TAPA2 | TAPA2 制御レジスタ 0 | TAPA2CTL0 | 0000 _H | 16 | FFE9 2020 _H | 1(1H) | 16 |
| APAA0 | APAA0 動作イネーブルレジスタ | APAA0EN | 00 _H | 8 | FFEB 0000 _H | 1(1L) | 8 |
| APAA0 | APAA0 チャンネル動作イネーブルレジスタ | APAA0CHEN | 0000 0000 _H | 32 | FFEB 0008 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル出カステータスレジスタ | APAA0CHST | 0000 _H | 16 | FFEB 000C _H | 1(1L) | 16 |
| APAA0 | APAA0 リファレンスデータレジスタ 0 | APAA0RFDT0 | 0000 _H | 16 | FFEB 0200 _H | 1(1L) | 16 |
| APAA0 | APAA0 リファレンスデータレジスタ 1 | APAA0RFDT1 | 0000 _H | 16 | FFEB 0204 _H | 1(1L) | 16 |
| APAA0 | APAA0 リファレンスデータレジスタ 2 | APAA0RFDT2 | 0000 _H | 16 | FFEB 0208 _H | 1(1L) | 16 |
| APAA0 | APAA0 リファレンスデータレジスタ 3 | APAA0RFDT3 | 0000 _H | 16 | FFEB 020C _H | 1(1L) | 16 |
| APAA0 | APAA0 リファレンスデータレジスタ 4 | APAA0RFDT4 | 0000 _H | 16 | FFEB 0210 _H | 1(1L) | 16 |
| APAA0 | APAA0 リファレンスデータレジスタ 5 | APAA0RFDT5 | 0000 _H | 16 | FFEB 0214 _H | 1(1L) | 16 |
| APAA0 | APAA0 リファレンスデータレジスタ 6 | APAA0RFDT6 | 0000 _H | 16 | FFEB 0218 _H | 1(1L) | 16 |
| APAA0 | APAA0 リファレンスデータレジスタ 7 | APAA0RFDT7 | 0000 _H | 16 | FFEB 021C _H | 1(1L) | 16 |
| APAA0 | APAA0 リファレンスデータレジスタ 8 | APAA0RFDT8 | 0000 _H | 16 | FFEB 0220 _H | 1(1L) | 16 |
| APAA0 | APAA0 リファレンスデータレジスタ 9 | APAA0RFDT9 | 0000 _H | 16 | FFEB 0224 _H | 1(1L) | 16 |

(85/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------------|-------------|------------------------|------|------------------------|------------------|---------|
| APAA0 | APAA0 ソフトウェアリファレンスデータレジスタ | APAA0RFSW | 0000 _H | 16 | FFEB 0228 _H | 1(1L) | 16 |
| APAA0 | APAA0 リファレンス最大値設定レジスタ 0 | APAA0RFMX0 | FFFF _H | 16 | FFEB 0240 _H | 1(1L) | 16 |
| APAA0 | APAA0 リファレンス最大値設定レジスタ 1 | APAA0RFMX1 | FFFF _H | 16 | FFEB 0244 _H | 1(1L) | 16 |
| APAA0 | APAA0 ソフトウェアリファレンス最大値設定レジスタ | APAA0RFMXSW | FFFF _H | 16 | FFEB 0268 _H | 1(1L) | 16 |
| APAA0 | APAA0 イベント選択レジスタ 0 | APAA0EVSL00 | 00 _H | 8 | FFEB 0400 _H | 1(1L) | 8 |
| APAA0 | APAA0 イベント選択レジスタ 1 | APAA0EVSL01 | 00 _H | 8 | FFEB 0404 _H | 1(1L) | 8 |
| APAA0 | APAA0 イベント選択レジスタ 2 | APAA0EVSL02 | 00 _H | 8 | FFEB 0408 _H | 1(1L) | 8 |
| APAA0 | APAA0 イベント選択レジスタ 3 | APAA0EVSL03 | 00 _H | 8 | FFEB 040C _H | 1(1L) | 8 |
| APAA0 | APAA0 イベント選択レジスタ 4 | APAA0EVSL04 | 00 _H | 8 | FFEB 0410 _H | 1(1L) | 8 |
| APAA0 | APAA0 イベント選択レジスタ 5 | APAA0EVSL05 | 00 _H | 8 | FFEB 0414 _H | 1(1L) | 8 |
| APAA0 | APAA0 イベント選択レジスタ 6 | APAA0EVSL06 | 00 _H | 8 | FFEB 0418 _H | 1(1L) | 8 |
| APAA0 | APAA0 イベント選択レジスタ 7 | APAA0EVSL07 | 00 _H | 8 | FFEB 041C _H | 1(1L) | 8 |
| APAA0 | APAA0 イベント選択レジスタ 8 | APAA0EVSL08 | 00 _H | 8 | FFEB 0420 _H | 1(1L) | 8 |
| APAA0 | APAA0 イベント選択レジスタ 9 | APAA0EVSL09 | 00 _H | 8 | FFEB 0424 _H | 1(1L) | 8 |
| APAA0 | APAA0 イベント選択レジスタ 10 | APAA0EVSL10 | 00 _H | 8 | FFEB 0428 _H | 1(1L) | 8 |
| APAA0 | APAA0 イベント選択レジスタ 11 | APAA0EVSL11 | 00 _H | 8 | FFEB 042C _H | 1(1L) | 8 |
| APAA0 | APAA0 イベント選択レジスタ 12 | APAA0EVSL12 | 00 _H | 8 | FFEB 0430 _H | 1(1L) | 8 |
| APAA0 | APAA0 イベント選択レジスタ 13 | APAA0EVSL13 | 00 _H | 8 | FFEB 0434 _H | 1(1L) | 8 |
| APAA0 | APAA0 イベント選択レジスタ 14 | APAA0EVSL14 | 00 _H | 8 | FFEB 0438 _H | 1(1L) | 8 |
| APAA0 | APAA0 イベント選択レジスタ 15 | APAA0EVSL15 | 00 _H | 8 | FFEB 043C _H | 1(1L) | 8 |
| APAA0 | APAA0 ソフトウェアイベントレジスタ | APAA0EVSW | 0000 0000 _H | 32 | FFEB 0440 _H | 1(1L) | 32 |
| APAA0 | APAA0 ソフトウェアイベント設定レジスタ | APAA0EVSC | 0000 _H | 16 | FFEB 0444 _H | 1(1L) | 16 |
| APAA0 | APAA0 イベントステータスレジスタ A | APAA0ESTA | 0000 0000 _H | 32 | FFEB 0448 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ A0 | APAA0CCGA00 | 0000 0100 _H | 32 | FFEB 0600 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ B0 | APAA0CCGB00 | 0000 0000 _H | 32 | FFEB 0604 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ A0 | APAA0CSTA00 | 0000 0000 _H | 32 | FFEB 0608 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ B0 | APAA0CSTB00 | 0000 0000 _H | 32 | FFEB 060C _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ C0 | APAA0CSTC00 | 0000 0000 _H | 32 | FFEB 0610 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ D0 | APAA0CSTD00 | 0000 0000 _H | 32 | FFEB 0614 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ A1 | APAA0CCGA01 | 0000 0100 _H | 32 | FFEB 0620 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ B1 | APAA0CCGB01 | 0000 0000 _H | 32 | FFEB 0624 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ A1 | APAA0CSTA01 | 0000 0000 _H | 32 | FFEB 0628 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ B1 | APAA0CSTB01 | 0000 0000 _H | 32 | FFEB 062C _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ C1 | APAA0CSTC01 | 0000 0000 _H | 32 | FFEB 0630 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ D1 | APAA0CSTD01 | 0000 0000 _H | 32 | FFEB 0634 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ A2 | APAA0CCGA02 | 0000 0100 _H | 32 | FFEB 0640 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ B2 | APAA0CCGB02 | 0000 0000 _H | 32 | FFEB 0644 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ A2 | APAA0CSTA02 | 0000 0000 _H | 32 | FFEB 0648 _H | 1(1L) | 32 |

(86/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-------------------------|-------------|------------------------|------|------------------------|------------------|---------|
| APAA0 | APAA0 チャンネルステータスレジスタ B2 | APAA0CSTB02 | 0000 0000 _H | 32 | FFEB 064C _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ C2 | APAA0CSTC02 | 0000 0000 _H | 32 | FFEB 0650 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ D2 | APAA0CSTD02 | 0000 0000 _H | 32 | FFEB 0654 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ A3 | APAA0CCGA03 | 0000 0100 _H | 32 | FFEB 0660 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ B3 | APAA0CCGB03 | 0000 0000 _H | 32 | FFEB 0664 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ A3 | APAA0CSTA03 | 0000 0000 _H | 32 | FFEB 0668 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ B3 | APAA0CSTB03 | 0000 0000 _H | 32 | FFEB 066C _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ C3 | APAA0CSTC03 | 0000 0000 _H | 32 | FFEB 0670 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ D3 | APAA0CSTD03 | 0000 0000 _H | 32 | FFEB 0674 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ A4 | APAA0CCGA04 | 0000 0100 _H | 32 | FFEB 0680 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ B4 | APAA0CCGB04 | 0000 0000 _H | 32 | FFEB 0684 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ A4 | APAA0CSTA04 | 0000 0000 _H | 32 | FFEB 0688 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ B4 | APAA0CSTB04 | 0000 0000 _H | 32 | FFEB 068C _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ C4 | APAA0CSTC04 | 0000 0000 _H | 32 | FFEB 0690 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ D4 | APAA0CSTD04 | 0000 0000 _H | 32 | FFEB 0694 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ A5 | APAA0CCGA05 | 0000 0100 _H | 32 | FFEB 06A0 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ B5 | APAA0CCGB05 | 0000 0000 _H | 32 | FFEB 06A4 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ A5 | APAA0CSTA05 | 0000 0000 _H | 32 | FFEB 06A8 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ B5 | APAA0CSTB05 | 0000 0000 _H | 32 | FFEB 06AC _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ C5 | APAA0CSTC05 | 0000 0000 _H | 32 | FFEB 06B0 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ D5 | APAA0CSTD05 | 0000 0000 _H | 32 | FFEB 06B4 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ A6 | APAA0CCGA06 | 0000 0100 _H | 32 | FFEB 06C0 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ B6 | APAA0CCGB06 | 0000 0000 _H | 32 | FFEB 06C4 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ A6 | APAA0CSTA06 | 0000 0000 _H | 32 | FFEB 06C8 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ B6 | APAA0CSTB06 | 0000 0000 _H | 32 | FFEB 06CC _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ C6 | APAA0CSTC06 | 0000 0000 _H | 32 | FFEB 06D0 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ D6 | APAA0CSTD06 | 0000 0000 _H | 32 | FFEB 06D4 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ A7 | APAA0CCGA07 | 0000 0100 _H | 32 | FFEB 06E0 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ B7 | APAA0CCGB07 | 0000 0000 _H | 32 | FFEB 06E4 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ A7 | APAA0CSTA07 | 0000 0000 _H | 32 | FFEB 06E8 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ B7 | APAA0CSTB07 | 0000 0000 _H | 32 | FFEB 06EC _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ C7 | APAA0CSTC07 | 0000 0000 _H | 32 | FFEB 06F0 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ D7 | APAA0CSTD07 | 0000 0000 _H | 32 | FFEB 06F4 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ A8 | APAA0CCGA08 | 0000 0100 _H | 32 | FFEB 0700 _H | 1(1L) | 32 |

(87/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------|-------------|------------------------|------|------------------------|------------------|---------|
| APAA0 | APAA0 チャンネル設定レジスタ B8 | APAA0CCGB08 | 0000 0000 _H | 32 | FFEB 0704 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ A8 | APAA0CSTA08 | 0000 0000 _H | 32 | FFEB 0708 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ B8 | APAA0CSTB08 | 0000 0000 _H | 32 | FFEB 070C _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ C8 | APAA0CSTC08 | 0000 0000 _H | 32 | FFEB 0710 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ D8 | APAA0CSTD08 | 0000 0000 _H | 32 | FFEB 0714 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ A9 | APAA0CCGA09 | 0000 0100 _H | 32 | FFEB 0720 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ B9 | APAA0CCGB09 | 0000 0000 _H | 32 | FFEB 0724 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ A9 | APAA0CSTA09 | 0000 0000 _H | 32 | FFEB 0728 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ B9 | APAA0CSTB09 | 0000 0000 _H | 32 | FFEB 072C _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ C9 | APAA0CSTC09 | 0000 0000 _H | 32 | FFEB 0730 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ D9 | APAA0CSTD09 | 0000 0000 _H | 32 | FFEB 0734 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ A10 | APAA0CCGA10 | 0000 0100 _H | 32 | FFEB 0740 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ B10 | APAA0CCGB10 | 0000 0000 _H | 32 | FFEB 0744 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ A10 | APAA0CSTA10 | 0000 0000 _H | 32 | FFEB 0748 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ B10 | APAA0CSTB10 | 0000 0000 _H | 32 | FFEB 074C _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ C10 | APAA0CSTC10 | 0000 0000 _H | 32 | FFEB 0750 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ D10 | APAA0CSTD10 | 0000 0000 _H | 32 | FFEB 0754 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ A11 | APAA0CCGA11 | 0000 0100 _H | 32 | FFEB 0760 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ B11 | APAA0CCGB11 | 0000 0000 _H | 32 | FFEB 0764 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ A11 | APAA0CSTA11 | 0000 0000 _H | 32 | FFEB 0768 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ B11 | APAA0CSTB11 | 0000 0000 _H | 32 | FFEB 076C _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ C11 | APAA0CSTC11 | 0000 0000 _H | 32 | FFEB 0770 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ D11 | APAA0CSTD11 | 0000 0000 _H | 32 | FFEB 0774 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ A12 | APAA0CCGA12 | 0000 0100 _H | 32 | FFEB 0780 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ B12 | APAA0CCGB12 | 0000 0000 _H | 32 | FFEB 0784 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ A12 | APAA0CSTA12 | 0000 0000 _H | 32 | FFEB 0788 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ B12 | APAA0CSTB12 | 0000 0000 _H | 32 | FFEB 078C _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ C12 | APAA0CSTC12 | 0000 0000 _H | 32 | FFEB 0790 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ D12 | APAA0CSTD12 | 0000 0000 _H | 32 | FFEB 0794 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ A13 | APAA0CCGA13 | 0000 0100 _H | 32 | FFEB 07A0 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ B13 | APAA0CCGB13 | 0000 0000 _H | 32 | FFEB 07A4 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ A13 | APAA0CSTA13 | 0000 0000 _H | 32 | FFEB 07A8 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ B13 | APAA0CSTB13 | 0000 0000 _H | 32 | FFEB 07AC _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネルステータスレジスタ C13 | APAA0CSTC13 | 0000 0000 _H | 32 | FFEB 07B0 _H | 1(1L) | 32 |

(88/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|--------------|------------------------|------|------------------------|------------------|---------|
| APAA0 | APAA0 チャンステータスレジスタ D13 | APAA0CSTD13 | 0000 0000 _H | 32 | FFEB 07B4 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ A14 | APAA0CCGA14 | 0000 0100 _H | 32 | FFEB 07C0 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ B14 | APAA0CCGB14 | 0000 0000 _H | 32 | FFEB 07C4 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンステータスレジスタ A14 | APAA0CSTA14 | 0000 0000 _H | 32 | FFEB 07C8 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンステータスレジスタ B14 | APAA0CSTB14 | 0000 0000 _H | 32 | FFEB 07CC _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンステータスレジスタ C14 | APAA0CSTC14 | 0000 0000 _H | 32 | FFEB 07D0 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンステータスレジスタ D14 | APAA0CSTD14 | 0000 0000 _H | 32 | FFEB 07D4 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ A15 | APAA0CCGA15 | 0000 0100 _H | 32 | FFEB 07E0 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンネル設定レジスタ B15 | APAA0CCGB15 | 0000 0000 _H | 32 | FFEB 07E4 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンステータスレジスタ A15 | APAA0CSTA15 | 0000 0000 _H | 32 | FFEB 07E8 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンステータスレジスタ B15 | APAA0CSTB15 | 0000 0000 _H | 32 | FFEB 07EC _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンステータスレジスタ C15 | APAA0CSTC15 | 0000 0000 _H | 32 | FFEB 07F0 _H | 1(1L) | 32 |
| APAA0 | APAA0 チャンステータスレジスタ D15 | APAA0CSTD15 | 0000 0000 _H | 32 | FFEB 07F4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A0 | APAA0ELMA000 | 不定 | 32 | FFEB 1000 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B0 | APAA0ELMB000 | 不定 | 32 | FFEB 1004 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C0 | APAA0ELMC000 | 不定 | 32 | FFEB 1008 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A1 | APAA0ELMA001 | 不定 | 32 | FFEB 1010 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B1 | APAA0ELMB001 | 不定 | 32 | FFEB 1014 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C1 | APAA0ELMC001 | 不定 | 32 | FFEB 1018 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A2 | APAA0ELMA002 | 不定 | 32 | FFEB 1020 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B2 | APAA0ELMB002 | 不定 | 32 | FFEB 1024 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C2 | APAA0ELMC002 | 不定 | 32 | FFEB 1028 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A3 | APAA0ELMA003 | 不定 | 32 | FFEB 1030 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B3 | APAA0ELMB003 | 不定 | 32 | FFEB 1034 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C3 | APAA0ELMC003 | 不定 | 32 | FFEB 1038 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A4 | APAA0ELMA004 | 不定 | 32 | FFEB 1040 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B4 | APAA0ELMB004 | 不定 | 32 | FFEB 1044 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C4 | APAA0ELMC004 | 不定 | 32 | FFEB 1048 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A5 | APAA0ELMA005 | 不定 | 32 | FFEB 1050 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B5 | APAA0ELMB005 | 不定 | 32 | FFEB 1054 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C5 | APAA0ELMC005 | 不定 | 32 | FFEB 1058 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A6 | APAA0ELMA006 | 不定 | 32 | FFEB 1060 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B6 | APAA0ELMB006 | 不定 | 32 | FFEB 1064 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C6 | APAA0ELMC006 | 不定 | 32 | FFEB 1068 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A7 | APAA0ELMA007 | 不定 | 32 | FFEB 1070 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B7 | APAA0ELMB007 | 不定 | 32 | FFEB 1074 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C7 | APAA0ELMC007 | 不定 | 32 | FFEB 1078 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A8 | APAA0ELMA008 | 不定 | 32 | FFEB 1080 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B8 | APAA0ELMB008 | 不定 | 32 | FFEB 1084 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C8 | APAA0ELMC008 | 不定 | 32 | FFEB 1088 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A9 | APAA0ELMA009 | 不定 | 32 | FFEB 1090 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B9 | APAA0ELMB009 | 不定 | 32 | FFEB 1094 _H | 1(1L) | 32 |

(89/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-------------------------|--------------|---------|------|------------------------|------------------|---------|
| APAA0 | APAA0 エlement設定レジスタ C9 | APAA0ELMC009 | 不定 | 32 | FFEB 1098 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A10 | APAA0ELMA010 | 不定 | 32 | FFEB 10A0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B10 | APAA0ELMB010 | 不定 | 32 | FFEB 10A4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C10 | APAA0ELMC010 | 不定 | 32 | FFEB 10A8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A11 | APAA0ELMA011 | 不定 | 32 | FFEB 10B0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B11 | APAA0ELMB011 | 不定 | 32 | FFEB 10B4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C11 | APAA0ELMC011 | 不定 | 32 | FFEB 10B8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A12 | APAA0ELMA012 | 不定 | 32 | FFEB 10C0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B12 | APAA0ELMB012 | 不定 | 32 | FFEB 10C4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C12 | APAA0ELMC012 | 不定 | 32 | FFEB 10C8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A13 | APAA0ELMA013 | 不定 | 32 | FFEB 10D0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B13 | APAA0ELMB013 | 不定 | 32 | FFEB 10D4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C13 | APAA0ELMC013 | 不定 | 32 | FFEB 10D8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A14 | APAA0ELMA014 | 不定 | 32 | FFEB 10E0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B14 | APAA0ELMB014 | 不定 | 32 | FFEB 10E4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C14 | APAA0ELMC014 | 不定 | 32 | FFEB 10E8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A15 | APAA0ELMA015 | 不定 | 32 | FFEB 10F0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B15 | APAA0ELMB015 | 不定 | 32 | FFEB 10F4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C15 | APAA0ELMC015 | 不定 | 32 | FFEB 10F8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A16 | APAA0ELMA016 | 不定 | 32 | FFEB 1100 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B16 | APAA0ELMB016 | 不定 | 32 | FFEB 1104 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C16 | APAA0ELMC016 | 不定 | 32 | FFEB 1108 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A17 | APAA0ELMA017 | 不定 | 32 | FFEB 1110 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B17 | APAA0ELMB017 | 不定 | 32 | FFEB 1114 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C17 | APAA0ELMC017 | 不定 | 32 | FFEB 1118 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A18 | APAA0ELMA018 | 不定 | 32 | FFEB 1120 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B18 | APAA0ELMB018 | 不定 | 32 | FFEB 1124 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C18 | APAA0ELMC018 | 不定 | 32 | FFEB 1128 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A19 | APAA0ELMA019 | 不定 | 32 | FFEB 1130 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B19 | APAA0ELMB019 | 不定 | 32 | FFEB 1134 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C19 | APAA0ELMC019 | 不定 | 32 | FFEB 1138 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A20 | APAA0ELMA020 | 不定 | 32 | FFEB 1140 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B20 | APAA0ELMB020 | 不定 | 32 | FFEB 1144 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C20 | APAA0ELMC020 | 不定 | 32 | FFEB 1148 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A21 | APAA0ELMA021 | 不定 | 32 | FFEB 1150 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B21 | APAA0ELMB021 | 不定 | 32 | FFEB 1154 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C21 | APAA0ELMC021 | 不定 | 32 | FFEB 1158 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A22 | APAA0ELMA022 | 不定 | 32 | FFEB 1160 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B22 | APAA0ELMB022 | 不定 | 32 | FFEB 1164 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C22 | APAA0ELMC022 | 不定 | 32 | FFEB 1168 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A23 | APAA0ELMA023 | 不定 | 32 | FFEB 1170 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B23 | APAA0ELMB023 | 不定 | 32 | FFEB 1174 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C23 | APAA0ELMC023 | 不定 | 32 | FFEB 1178 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A24 | APAA0ELMA024 | 不定 | 32 | FFEB 1180 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B24 | APAA0ELMB024 | 不定 | 32 | FFEB 1184 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C24 | APAA0ELMC024 | 不定 | 32 | FFEB 1188 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A25 | APAA0ELMA025 | 不定 | 32 | FFEB 1190 _H | 1(1L) | 32 |

(90/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-------------------------|--------------|---------|------|------------------------|------------------|---------|
| APAA0 | APAA0 エlement設定レジスタ B25 | APAA0ELMB025 | 不定 | 32 | FFEB 1194 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C25 | APAA0ELMC025 | 不定 | 32 | FFEB 1198 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A26 | APAA0ELMA026 | 不定 | 32 | FFEB 11A0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B26 | APAA0ELMB026 | 不定 | 32 | FFEB 11A4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C26 | APAA0ELMC026 | 不定 | 32 | FFEB 11A8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A27 | APAA0ELMA027 | 不定 | 32 | FFEB 11B0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B27 | APAA0ELMB027 | 不定 | 32 | FFEB 11B4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C27 | APAA0ELMC027 | 不定 | 32 | FFEB 11B8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A28 | APAA0ELMA028 | 不定 | 32 | FFEB 11C0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B28 | APAA0ELMB028 | 不定 | 32 | FFEB 11C4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C28 | APAA0ELMC028 | 不定 | 32 | FFEB 11C8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A29 | APAA0ELMA029 | 不定 | 32 | FFEB 11D0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B29 | APAA0ELMB029 | 不定 | 32 | FFEB 11D4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C29 | APAA0ELMC029 | 不定 | 32 | FFEB 11D8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A30 | APAA0ELMA030 | 不定 | 32 | FFEB 11E0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B30 | APAA0ELMB030 | 不定 | 32 | FFEB 11E4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C30 | APAA0ELMC030 | 不定 | 32 | FFEB 11E8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A31 | APAA0ELMA031 | 不定 | 32 | FFEB 11F0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B31 | APAA0ELMB031 | 不定 | 32 | FFEB 11F4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C31 | APAA0ELMC031 | 不定 | 32 | FFEB 11F8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A32 | APAA0ELMA032 | 不定 | 32 | FFEB 1200 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B32 | APAA0ELMB032 | 不定 | 32 | FFEB 1204 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C32 | APAA0ELMC032 | 不定 | 32 | FFEB 1208 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A33 | APAA0ELMA033 | 不定 | 32 | FFEB 1210 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B33 | APAA0ELMB033 | 不定 | 32 | FFEB 1214 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C33 | APAA0ELMC033 | 不定 | 32 | FFEB 1218 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A34 | APAA0ELMA034 | 不定 | 32 | FFEB 1220 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B34 | APAA0ELMB034 | 不定 | 32 | FFEB 1224 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C34 | APAA0ELMC034 | 不定 | 32 | FFEB 1228 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A35 | APAA0ELMA035 | 不定 | 32 | FFEB 1230 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B35 | APAA0ELMB035 | 不定 | 32 | FFEB 1234 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C35 | APAA0ELMC035 | 不定 | 32 | FFEB 1238 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A36 | APAA0ELMA036 | 不定 | 32 | FFEB 1240 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B36 | APAA0ELMB036 | 不定 | 32 | FFEB 1244 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C36 | APAA0ELMC036 | 不定 | 32 | FFEB 1248 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A37 | APAA0ELMA037 | 不定 | 32 | FFEB 1250 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B37 | APAA0ELMB037 | 不定 | 32 | FFEB 1254 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C37 | APAA0ELMC037 | 不定 | 32 | FFEB 1258 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A38 | APAA0ELMA038 | 不定 | 32 | FFEB 1260 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B38 | APAA0ELMB038 | 不定 | 32 | FFEB 1264 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C38 | APAA0ELMC038 | 不定 | 32 | FFEB 1268 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A39 | APAA0ELMA039 | 不定 | 32 | FFEB 1270 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B39 | APAA0ELMB039 | 不定 | 32 | FFEB 1274 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C39 | APAA0ELMC039 | 不定 | 32 | FFEB 1278 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A40 | APAA0ELMA040 | 不定 | 32 | FFEB 1280 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B40 | APAA0ELMB040 | 不定 | 32 | FFEB 1284 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C40 | APAA0ELMC040 | 不定 | 32 | FFEB 1288 _H | 1(1L) | 32 |

(91/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-------------------------|--------------|---------|------|------------------------|------------------|---------|
| APAA0 | APAA0 エlement設定レジスタ A41 | APAA0ELMA041 | 不定 | 32 | FFEB 1290 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B41 | APAA0ELMB041 | 不定 | 32 | FFEB 1294 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C41 | APAA0ELMC041 | 不定 | 32 | FFEB 1298 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A42 | APAA0ELMA042 | 不定 | 32 | FFEB 12A0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B42 | APAA0ELMB042 | 不定 | 32 | FFEB 12A4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C42 | APAA0ELMC042 | 不定 | 32 | FFEB 12A8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A43 | APAA0ELMA043 | 不定 | 32 | FFEB 12B0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B43 | APAA0ELMB043 | 不定 | 32 | FFEB 12B4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C43 | APAA0ELMC043 | 不定 | 32 | FFEB 12B8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A44 | APAA0ELMA044 | 不定 | 32 | FFEB 12C0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B44 | APAA0ELMB044 | 不定 | 32 | FFEB 12C4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C44 | APAA0ELMC044 | 不定 | 32 | FFEB 12C8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A45 | APAA0ELMA045 | 不定 | 32 | FFEB 12D0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B45 | APAA0ELMB045 | 不定 | 32 | FFEB 12D4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C45 | APAA0ELMC045 | 不定 | 32 | FFEB 12D8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A46 | APAA0ELMA046 | 不定 | 32 | FFEB 12E0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B46 | APAA0ELMB046 | 不定 | 32 | FFEB 12E4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C46 | APAA0ELMC046 | 不定 | 32 | FFEB 12E8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A47 | APAA0ELMA047 | 不定 | 32 | FFEB 12F0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B47 | APAA0ELMB047 | 不定 | 32 | FFEB 12F4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C47 | APAA0ELMC047 | 不定 | 32 | FFEB 12F8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A48 | APAA0ELMA048 | 不定 | 32 | FFEB 1300 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B48 | APAA0ELMB048 | 不定 | 32 | FFEB 1304 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C48 | APAA0ELMC048 | 不定 | 32 | FFEB 1308 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A49 | APAA0ELMA049 | 不定 | 32 | FFEB 1310 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B49 | APAA0ELMB049 | 不定 | 32 | FFEB 1314 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C49 | APAA0ELMC049 | 不定 | 32 | FFEB 1318 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A50 | APAA0ELMA050 | 不定 | 32 | FFEB 1320 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B50 | APAA0ELMB050 | 不定 | 32 | FFEB 1324 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C50 | APAA0ELMC050 | 不定 | 32 | FFEB 1328 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A51 | APAA0ELMA051 | 不定 | 32 | FFEB 1330 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B51 | APAA0ELMB051 | 不定 | 32 | FFEB 1334 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C51 | APAA0ELMC051 | 不定 | 32 | FFEB 1338 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A52 | APAA0ELMA052 | 不定 | 32 | FFEB 1340 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B52 | APAA0ELMB052 | 不定 | 32 | FFEB 1344 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C52 | APAA0ELMC052 | 不定 | 32 | FFEB 1348 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A53 | APAA0ELMA053 | 不定 | 32 | FFEB 1350 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B53 | APAA0ELMB053 | 不定 | 32 | FFEB 1354 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C53 | APAA0ELMC053 | 不定 | 32 | FFEB 1358 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A54 | APAA0ELMA054 | 不定 | 32 | FFEB 1360 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B54 | APAA0ELMB054 | 不定 | 32 | FFEB 1364 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C54 | APAA0ELMC054 | 不定 | 32 | FFEB 1368 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A55 | APAA0ELMA055 | 不定 | 32 | FFEB 1370 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B55 | APAA0ELMB055 | 不定 | 32 | FFEB 1374 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C55 | APAA0ELMC055 | 不定 | 32 | FFEB 1378 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A56 | APAA0ELMA056 | 不定 | 32 | FFEB 1380 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B56 | APAA0ELMB056 | 不定 | 32 | FFEB 1384 _H | 1(1L) | 32 |

(92/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-------------------------|--------------|---------|------|------------------------|------------------|---------|
| APAA0 | APAA0 エlement設定レジスタ C56 | APAA0ELMC056 | 不定 | 32 | FFEB 1388 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A57 | APAA0ELMA057 | 不定 | 32 | FFEB 1390 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B57 | APAA0ELMB057 | 不定 | 32 | FFEB 1394 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C57 | APAA0ELMC057 | 不定 | 32 | FFEB 1398 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A58 | APAA0ELMA058 | 不定 | 32 | FFEB 13A0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B58 | APAA0ELMB058 | 不定 | 32 | FFEB 13A4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C58 | APAA0ELMC058 | 不定 | 32 | FFEB 13A8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A59 | APAA0ELMA059 | 不定 | 32 | FFEB 13B0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B59 | APAA0ELMB059 | 不定 | 32 | FFEB 13B4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C59 | APAA0ELMC059 | 不定 | 32 | FFEB 13B8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A60 | APAA0ELMA060 | 不定 | 32 | FFEB 13C0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B60 | APAA0ELMB060 | 不定 | 32 | FFEB 13C4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C60 | APAA0ELMC060 | 不定 | 32 | FFEB 13C8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A61 | APAA0ELMA061 | 不定 | 32 | FFEB 13D0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B61 | APAA0ELMB061 | 不定 | 32 | FFEB 13D4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C61 | APAA0ELMC061 | 不定 | 32 | FFEB 13D8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A62 | APAA0ELMA062 | 不定 | 32 | FFEB 13E0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B62 | APAA0ELMB062 | 不定 | 32 | FFEB 13E4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C62 | APAA0ELMC062 | 不定 | 32 | FFEB 13E8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A63 | APAA0ELMA063 | 不定 | 32 | FFEB 13F0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B63 | APAA0ELMB063 | 不定 | 32 | FFEB 13F4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C63 | APAA0ELMC063 | 不定 | 32 | FFEB 13F8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A64 | APAA0ELMA064 | 不定 | 32 | FFEB 1400 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B64 | APAA0ELMB064 | 不定 | 32 | FFEB 1404 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C64 | APAA0ELMC064 | 不定 | 32 | FFEB 1408 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A65 | APAA0ELMA065 | 不定 | 32 | FFEB 1410 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B65 | APAA0ELMB065 | 不定 | 32 | FFEB 1414 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C65 | APAA0ELMC065 | 不定 | 32 | FFEB 1418 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A66 | APAA0ELMA066 | 不定 | 32 | FFEB 1420 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B66 | APAA0ELMB066 | 不定 | 32 | FFEB 1424 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C66 | APAA0ELMC066 | 不定 | 32 | FFEB 1428 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A67 | APAA0ELMA067 | 不定 | 32 | FFEB 1430 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B67 | APAA0ELMB067 | 不定 | 32 | FFEB 1434 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C67 | APAA0ELMC067 | 不定 | 32 | FFEB 1438 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A68 | APAA0ELMA068 | 不定 | 32 | FFEB 1440 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B68 | APAA0ELMB068 | 不定 | 32 | FFEB 1444 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C68 | APAA0ELMC068 | 不定 | 32 | FFEB 1448 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A69 | APAA0ELMA069 | 不定 | 32 | FFEB 1450 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B69 | APAA0ELMB069 | 不定 | 32 | FFEB 1454 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C69 | APAA0ELMC069 | 不定 | 32 | FFEB 1458 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A70 | APAA0ELMA070 | 不定 | 32 | FFEB 1460 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B70 | APAA0ELMB070 | 不定 | 32 | FFEB 1464 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C70 | APAA0ELMC070 | 不定 | 32 | FFEB 1468 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A71 | APAA0ELMA071 | 不定 | 32 | FFEB 1470 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B71 | APAA0ELMB071 | 不定 | 32 | FFEB 1474 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C71 | APAA0ELMC071 | 不定 | 32 | FFEB 1478 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A72 | APAA0ELMA072 | 不定 | 32 | FFEB 1480 _H | 1(1L) | 32 |

(93/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-------------------------|--------------|---------|------|------------------------|------------------|---------|
| APAA0 | APAA0 エlement設定レジスタ B72 | APAA0ELMB072 | 不定 | 32 | FFEB 1484 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C72 | APAA0ELMC072 | 不定 | 32 | FFEB 1488 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A73 | APAA0ELMA073 | 不定 | 32 | FFEB 1490 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B73 | APAA0ELMB073 | 不定 | 32 | FFEB 1494 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C73 | APAA0ELMC073 | 不定 | 32 | FFEB 1498 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A74 | APAA0ELMA074 | 不定 | 32 | FFEB 14A0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B74 | APAA0ELMB074 | 不定 | 32 | FFEB 14A4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C74 | APAA0ELMC074 | 不定 | 32 | FFEB 14A8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A75 | APAA0ELMA075 | 不定 | 32 | FFEB 14B0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B75 | APAA0ELMB075 | 不定 | 32 | FFEB 14B4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C75 | APAA0ELMC075 | 不定 | 32 | FFEB 14B8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A76 | APAA0ELMA076 | 不定 | 32 | FFEB 14C0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B76 | APAA0ELMB076 | 不定 | 32 | FFEB 14C4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C76 | APAA0ELMC076 | 不定 | 32 | FFEB 14C8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A77 | APAA0ELMA077 | 不定 | 32 | FFEB 14D0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B77 | APAA0ELMB077 | 不定 | 32 | FFEB 14D4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C77 | APAA0ELMC077 | 不定 | 32 | FFEB 14D8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A78 | APAA0ELMA078 | 不定 | 32 | FFEB 14E0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B78 | APAA0ELMB078 | 不定 | 32 | FFEB 14E4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C78 | APAA0ELMC078 | 不定 | 32 | FFEB 14E8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A79 | APAA0ELMA079 | 不定 | 32 | FFEB 14F0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B79 | APAA0ELMB079 | 不定 | 32 | FFEB 14F4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C79 | APAA0ELMC079 | 不定 | 32 | FFEB 14F8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A80 | APAA0ELMA080 | 不定 | 32 | FFEB 1500 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B80 | APAA0ELMB080 | 不定 | 32 | FFEB 1504 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C80 | APAA0ELMC080 | 不定 | 32 | FFEB 1508 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A81 | APAA0ELMA081 | 不定 | 32 | FFEB 1510 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B81 | APAA0ELMB081 | 不定 | 32 | FFEB 1514 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C81 | APAA0ELMC081 | 不定 | 32 | FFEB 1518 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A82 | APAA0ELMA082 | 不定 | 32 | FFEB 1520 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B82 | APAA0ELMB082 | 不定 | 32 | FFEB 1524 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C82 | APAA0ELMC082 | 不定 | 32 | FFEB 1528 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A83 | APAA0ELMA083 | 不定 | 32 | FFEB 1530 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B83 | APAA0ELMB083 | 不定 | 32 | FFEB 1534 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C83 | APAA0ELMC083 | 不定 | 32 | FFEB 1538 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A84 | APAA0ELMA084 | 不定 | 32 | FFEB 1540 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B84 | APAA0ELMB084 | 不定 | 32 | FFEB 1544 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C84 | APAA0ELMC084 | 不定 | 32 | FFEB 1548 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A85 | APAA0ELMA085 | 不定 | 32 | FFEB 1550 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B85 | APAA0ELMB085 | 不定 | 32 | FFEB 1554 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C85 | APAA0ELMC085 | 不定 | 32 | FFEB 1558 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A86 | APAA0ELMA086 | 不定 | 32 | FFEB 1560 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B86 | APAA0ELMB086 | 不定 | 32 | FFEB 1564 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C86 | APAA0ELMC086 | 不定 | 32 | FFEB 1568 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A87 | APAA0ELMA087 | 不定 | 32 | FFEB 1570 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B87 | APAA0ELMB087 | 不定 | 32 | FFEB 1574 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C87 | APAA0ELMC087 | 不定 | 32 | FFEB 1578 _H | 1(1L) | 32 |

(94/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------|--------------|---------|------|------------------------|------------------|---------|
| APAA0 | APAA0 エlement設定レジスタ A88 | APAA0ELMA088 | 不定 | 32 | FFEB 1580 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B88 | APAA0ELMB088 | 不定 | 32 | FFEB 1584 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C88 | APAA0ELMC088 | 不定 | 32 | FFEB 1588 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A89 | APAA0ELMA089 | 不定 | 32 | FFEB 1590 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B89 | APAA0ELMB089 | 不定 | 32 | FFEB 1594 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C89 | APAA0ELMC089 | 不定 | 32 | FFEB 1598 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A90 | APAA0ELMA090 | 不定 | 32 | FFEB 15A0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B90 | APAA0ELMB090 | 不定 | 32 | FFEB 15A4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C90 | APAA0ELMC090 | 不定 | 32 | FFEB 15A8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A91 | APAA0ELMA091 | 不定 | 32 | FFEB 15B0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B91 | APAA0ELMB091 | 不定 | 32 | FFEB 15B4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C91 | APAA0ELMC091 | 不定 | 32 | FFEB 15B8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A92 | APAA0ELMA092 | 不定 | 32 | FFEB 15C0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B92 | APAA0ELMB092 | 不定 | 32 | FFEB 15C4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C92 | APAA0ELMC092 | 不定 | 32 | FFEB 15C8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A93 | APAA0ELMA093 | 不定 | 32 | FFEB 15D0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B93 | APAA0ELMB093 | 不定 | 32 | FFEB 15D4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C93 | APAA0ELMC093 | 不定 | 32 | FFEB 15D8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A94 | APAA0ELMA094 | 不定 | 32 | FFEB 15E0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B94 | APAA0ELMB094 | 不定 | 32 | FFEB 15E4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C94 | APAA0ELMC094 | 不定 | 32 | FFEB 15E8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A95 | APAA0ELMA095 | 不定 | 32 | FFEB 15F0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B95 | APAA0ELMB095 | 不定 | 32 | FFEB 15F4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C95 | APAA0ELMC095 | 不定 | 32 | FFEB 15F8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A96 | APAA0ELMA096 | 不定 | 32 | FFEB 1600 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B96 | APAA0ELMB096 | 不定 | 32 | FFEB 1604 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C96 | APAA0ELMC096 | 不定 | 32 | FFEB 1608 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A97 | APAA0ELMA097 | 不定 | 32 | FFEB 1610 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B97 | APAA0ELMB097 | 不定 | 32 | FFEB 1614 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C97 | APAA0ELMC097 | 不定 | 32 | FFEB 1618 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A98 | APAA0ELMA098 | 不定 | 32 | FFEB 1620 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B98 | APAA0ELMB098 | 不定 | 32 | FFEB 1624 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C98 | APAA0ELMC098 | 不定 | 32 | FFEB 1628 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A99 | APAA0ELMA099 | 不定 | 32 | FFEB 1630 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B99 | APAA0ELMB099 | 不定 | 32 | FFEB 1634 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C99 | APAA0ELMC099 | 不定 | 32 | FFEB 1638 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A100 | APAA0ELMA100 | 不定 | 32 | FFEB 1640 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B100 | APAA0ELMB100 | 不定 | 32 | FFEB 1644 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C100 | APAA0ELMC100 | 不定 | 32 | FFEB 1648 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A101 | APAA0ELMA101 | 不定 | 32 | FFEB 1650 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B101 | APAA0ELMB101 | 不定 | 32 | FFEB 1654 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C101 | APAA0ELMC101 | 不定 | 32 | FFEB 1658 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A102 | APAA0ELMA102 | 不定 | 32 | FFEB 1660 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B102 | APAA0ELMB102 | 不定 | 32 | FFEB 1664 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C102 | APAA0ELMC102 | 不定 | 32 | FFEB 1668 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A103 | APAA0ELMA103 | 不定 | 32 | FFEB 1670 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B103 | APAA0ELMB103 | 不定 | 32 | FFEB 1674 _H | 1(1L) | 32 |

(95/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------|--------------|---------|------|------------------------|------------------|---------|
| APAA0 | APAA0 エlement設定レジスタ C103 | APAA0ELMC103 | 不定 | 32 | FFEB 1678 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A104 | APAA0ELMA104 | 不定 | 32 | FFEB 1680 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B104 | APAA0ELMB104 | 不定 | 32 | FFEB 1684 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C104 | APAA0ELMC104 | 不定 | 32 | FFEB 1688 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A105 | APAA0ELMA105 | 不定 | 32 | FFEB 1690 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B105 | APAA0ELMB105 | 不定 | 32 | FFEB 1694 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C105 | APAA0ELMC105 | 不定 | 32 | FFEB 1698 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A106 | APAA0ELMA106 | 不定 | 32 | FFEB 16A0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B106 | APAA0ELMB106 | 不定 | 32 | FFEB 16A4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C106 | APAA0ELMC106 | 不定 | 32 | FFEB 16A8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A107 | APAA0ELMA107 | 不定 | 32 | FFEB 16B0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B107 | APAA0ELMB107 | 不定 | 32 | FFEB 16B4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C107 | APAA0ELMC107 | 不定 | 32 | FFEB 16B8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A108 | APAA0ELMA108 | 不定 | 32 | FFEB 16C0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B108 | APAA0ELMB108 | 不定 | 32 | FFEB 16C4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C108 | APAA0ELMC108 | 不定 | 32 | FFEB 16C8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A109 | APAA0ELMA109 | 不定 | 32 | FFEB 16D0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B109 | APAA0ELMB109 | 不定 | 32 | FFEB 16D4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C109 | APAA0ELMC109 | 不定 | 32 | FFEB 16D8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A110 | APAA0ELMA110 | 不定 | 32 | FFEB 16E0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B110 | APAA0ELMB110 | 不定 | 32 | FFEB 16E4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C110 | APAA0ELMC110 | 不定 | 32 | FFEB 16E8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A111 | APAA0ELMA111 | 不定 | 32 | FFEB 16F0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B111 | APAA0ELMB111 | 不定 | 32 | FFEB 16F4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C111 | APAA0ELMC111 | 不定 | 32 | FFEB 16F8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A112 | APAA0ELMA112 | 不定 | 32 | FFEB 1700 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B112 | APAA0ELMB112 | 不定 | 32 | FFEB 1704 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C112 | APAA0ELMC112 | 不定 | 32 | FFEB 1708 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A113 | APAA0ELMA113 | 不定 | 32 | FFEB 1710 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B113 | APAA0ELMB113 | 不定 | 32 | FFEB 1714 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C113 | APAA0ELMC113 | 不定 | 32 | FFEB 1718 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A114 | APAA0ELMA114 | 不定 | 32 | FFEB 1720 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B114 | APAA0ELMB114 | 不定 | 32 | FFEB 1724 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C114 | APAA0ELMC114 | 不定 | 32 | FFEB 1728 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A115 | APAA0ELMA115 | 不定 | 32 | FFEB 1730 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B115 | APAA0ELMB115 | 不定 | 32 | FFEB 1734 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C115 | APAA0ELMC115 | 不定 | 32 | FFEB 1738 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A116 | APAA0ELMA116 | 不定 | 32 | FFEB 1740 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B116 | APAA0ELMB116 | 不定 | 32 | FFEB 1744 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C116 | APAA0ELMC116 | 不定 | 32 | FFEB 1748 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A117 | APAA0ELMA117 | 不定 | 32 | FFEB 1750 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B117 | APAA0ELMB117 | 不定 | 32 | FFEB 1754 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C117 | APAA0ELMC117 | 不定 | 32 | FFEB 1758 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A118 | APAA0ELMA118 | 不定 | 32 | FFEB 1760 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B118 | APAA0ELMB118 | 不定 | 32 | FFEB 1764 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C118 | APAA0ELMC118 | 不定 | 32 | FFEB 1768 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A119 | APAA0ELMA119 | 不定 | 32 | FFEB 1770 _H | 1(1L) | 32 |

(96/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------|--------------|------------------------|------|------------------------|------------------|---------|
| APAA0 | APAA0 エlement設定レジスタ B119 | APAA0ELMB119 | 不定 | 32 | FFEB 1774 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C119 | APAA0ELMC119 | 不定 | 32 | FFEB 1778 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A120 | APAA0ELMA120 | 不定 | 32 | FFEB 1780 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B120 | APAA0ELMB120 | 不定 | 32 | FFEB 1784 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C120 | APAA0ELMC120 | 不定 | 32 | FFEB 1788 _v | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A121 | APAA0ELMA121 | 不定 | 32 | FFEB 1790 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B121 | APAA0ELMB121 | 不定 | 32 | FFEB 1794 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C121 | APAA0ELMC121 | 不定 | 32 | FFEB 1798 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A122 | APAA0ELMA122 | 不定 | 32 | FFEB 17A0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B122 | APAA0ELMB122 | 不定 | 32 | FFEB 17A4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C122 | APAA0ELMC122 | 不定 | 32 | FFEB 17A8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A123 | APAA0ELMA123 | 不定 | 32 | FFEB 17B0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B123 | APAA0ELMB123 | 不定 | 32 | FFEB 17B4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C123 | APAA0ELMC123 | 不定 | 32 | FFEB 17B8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A124 | APAA0ELMA124 | 不定 | 32 | FFEB 17C0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B124 | APAA0ELMB124 | 不定 | 32 | FFEB 17C4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C124 | APAA0ELMC124 | 不定 | 32 | FFEB 17C8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A125 | APAA0ELMA125 | 不定 | 32 | FFEB 17D0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B125 | APAA0ELMB125 | 不定 | 32 | FFEB 17D4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C125 | APAA0ELMC125 | 不定 | 32 | FFEB 17D8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A126 | APAA0ELMA126 | 不定 | 32 | FFEB 17E0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B126 | APAA0ELMB126 | 不定 | 32 | FFEB 17E4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C126 | APAA0ELMC126 | 不定 | 32 | FFEB 17E8 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ A127 | APAA0ELMA127 | 不定 | 32 | FFEB 17F0 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ B127 | APAA0ELMB127 | 不定 | 32 | FFEB 17F4 _H | 1(1L) | 32 |
| APAA0 | APAA0 エlement設定レジスタ C127 | APAA0ELMC127 | 不定 | 32 | FFEB 17F8 _H | 1(1L) | 32 |
| OSTM0 | OSTM コンペアレジスタ | OSTM0CMP | 0000 0000 _H | 32 | FFEC 0000 _H | 1(1L) | 32 |
| OSTM0 | OSTM カウンタレジスタ | OSTM0CNT | FFFF FFFF _H | 32 | FFEC 0004 _H | 1(1L) | 32 |
| OSTM0 | OSTM 出力レジスタ | OSTM0TO | 00 _H | 8 | FFEC 0008 _H | 1(1L) | 8 |
| OSTM0 | OSTM 出カインープルレジスタ | OSTM0TOE | 00 _H | 8 | FFEC 000C _H | 1(1L) | 8 |
| OSTM0 | OSTM カウントインープルステータスレジスタ | OSTM0TE | 00 _H | 8 | FFEC 0010 _H | 1(1L) | 8 |
| OSTM0 | OSTM カウント開始トリガレジスタ | OSTM0TS | 00 _H | 8 | FFEC 0014 _H | 1(1L) | 8 |
| OSTM0 | OSTM カウント停止トリガレジスタ | OSTM0TT | 00 _H | 8 | FFEC 0018 _H | 1(1L) | 8 |
| OSTM0 | OSTM 制御レジスタ | OSTM0CTL | 00 _H | 8 | FFEC 0020 _H | 1(1L) | 8 |
| OSTM1 | OSTM コンペアレジスタ | OSTM1CMP | 0000 0000 _H | 32 | FFEC 1000 _H | 1(1L) | 32 |
| OSTM1 | OSTM カウンタレジスタ | OSTM1CNT | FFFF FFFF _H | 32 | FFEC 1004 _H | 1(1L) | 32 |
| OSTM1 | OSTM 出力レジスタ | OSTM1TO | 00 _H | 8 | FFEC 1008 _H | 1(1L) | 8 |
| OSTM1 | OSTM 出カインープルレジスタ | OSTM1TOE | 00 _H | 8 | FFEC 100C _H | 1(1L) | 8 |
| OSTM1 | OSTM カウントインープルステータスレジスタ | OSTM1TE | 00 _H | 8 | FFEC 1010 _H | 1(1L) | 8 |
| OSTM1 | OSTM カウント開始トリガレジスタ | OSTM1TS | 00 _H | 8 | FFEC 1014 _H | 1(1L) | 8 |
| OSTM1 | OSTM カウント停止トリガレジスタ | OSTM1TT | 00 _H | 8 | FFEC 1018 _H | 1(1L) | 8 |
| OSTM1 | OSTM 制御レジスタ | OSTM1CTL | 00 _H | 8 | FFEC 1020 _H | 1(1L) | 8 |
| OSTM2 | OSTM コンペアレジスタ | OSTM2CMP | 0000 0000 _H | 32 | FFEC 2000 _H | 1(1L) | 32 |
| OSTM2 | OSTM カウンタレジスタ | OSTM2CNT | FFFF FFFF _H | 32 | FFEC 2004 _H | 1(1L) | 32 |
| OSTM2 | OSTM 出力レジスタ | OSTM2TO | 00 _H | 8 | FFEC 2008 _H | 1(1L) | 8 |
| OSTM2 | OSTM 出カインープルレジスタ | OSTM2TOE | 00 _H | 8 | FFEC 200C _H | 1(1L) | 8 |

(97/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-------------------------|------------|------------------------|------|------------------------|------------------|---------|
| OSTM2 | OSTM カウントイネーブルステータスレジスタ | OSTM2TE | 00 _H | 8 | FFEC 2010 _H | 1(1L) | 8 |
| OSTM2 | OSTM カウント開始トリガレジスタ | OSTM2TS | 00 _H | 8 | FFEC 2014 _H | 1(1L) | 8 |
| OSTM2 | OSTM カウント停止トリガレジスタ | OSTM2TT | 00 _H | 8 | FFEC 2018 _H | 1(1L) | 8 |
| OSTM2 | OSTM 制御レジスタ | OSTM2CTL | 00 _H | 8 | FFEC 2020 _H | 1(1L) | 8 |
| WDTA0 | WDTA イネーブルレジスタ | WDTA0WDTE | 2C _H | 8 | FFED 0000 _H | 1(1L) | 8 |
| WDTA0 | WDTA モードレジスタ | WDTA0MD | 7F _H | 8 | FFED 000C _H | 1(1L) | 8 |
| WDTA1 | WDTA イネーブルレジスタ | WDTA1WDTE | 2C _H | 8 | FFED 1000 _H | 1(1L) | 8 |
| WDTA1 | WDTA モードレジスタ | WDTA1MD | 7F _H | 8 | FFED 100C _H | 1(1L) | 8 |
| APGA0 | APGA0 レジスタコントロールレジスタ 0 | APGA0CNTR0 | 00 _H | 8 | FFED C000 _H | 1(1L) | 8 |
| APGA0 | APGA0 レジスタコントロールレジスタ 1 | APGA0CNTR1 | 00 _H | 8 | FFED C004 _H | 1(1L) | 8 |
| APGA0 | APGA0 レジスタコントロールレジスタ 3 | APGA0CNTR3 | FF _H | 8 | FFED C005 _H | 1(1L) | 8 |
| APGA0 | APGA0 レジスタコントロールレジスタ 2 | APGA0CNTR2 | 0000 0000 _H | 32 | FFED C008 _H | 1(1L) | 32 |
| RHSBG0 | マイクロセカンドバスコントロールレジスタ H | RHSBG0CR0H | 0000 0000 _H | 32 | FFED D000 _H | 1(1L) | 8、16、32 |
| RHSBG0 | マイクロセカンドバスコントロールレジスタ L | RHSBG0CR0L | 0000 0000 _H | 32 | FFED D004 _H | 1(1L) | 8、16、32 |
| RHSBG0 | マイクロセカンドバスコントロールレジスタ H | RHSBG0CR1H | 0000 0000 _H | 32 | FFED D008 _H | 1(1L) | 8、16、32 |
| RHSBG0 | マイクロセカンドバスコントロールレジスタ L | RHSBG0CR1L | 0000 0000 _H | 32 | FFED D00C _H | 1(1L) | 8、16、32 |
| RHSBG0 | マイクロセカンドバスコントロールレジスタ H | RHSBG0CR2H | 0000 0000 _H | 32 | FFED D010 _H | 1(1L) | 8、16、32 |
| RHSBG0 | マイクロセカンドバスコントロールレジスタ L | RHSBG0CR2L | 0000 0000 _H | 32 | FFED D014 _H | 1(1L) | 8、16、32 |
| RHSBG0 | マイクロセカンドバスコントロールレジスタ H | RHSBG0CR3H | 0000 0000 _H | 32 | FFED D018 _H | 1(1L) | 8、16、32 |
| RHSBG0 | マイクロセカンドバスコントロールレジスタ L | RHSBG0CR3L | 0000 0000 _H | 32 | FFED D01C _H | 1(1L) | 8、16、32 |
| RHSB0 | グローバル設定レジスタ | RHSB0GC | 0000 0000 _H | 32 | FFEE 0000 _H | 3 | 8、16、32 |
| RHSB0 | モジュールステータスレジスタ | RHSB0MSR | 0001 0000 _H | 32 | FFEE 0008 _H | 3 | 8、16、32 |
| RHSB0 | ダウンストリーム設定レジスタ | RHSB0DCR | 0011 FF00 _H | 32 | FFEE 0010 _H | 3 | 16、32 |
| RHSB0 | データエレメント設定レジスタ | RHSB0DEC | 0000 0000 _H | 32 | FFEE 0014 _H | 3 | 8、16、32 |
| RHSB0 | スレーブデバイス設定レジスタ 0 | RHSB0SDC0 | 0000 0000 _H | 32 | FFEE 0018 _H | 3 | 16、32 |
| RHSB0 | データエレメントビット割り当てレジスタ 0 | RHSB0DEBA0 | 0000 0000 _H | 32 | FFEE 0020 _H | 3 | 16、32 |
| RHSB0 | データエレメントビット割り当てレジスタ 1 | RHSB0DEBA1 | 0000 0000 _H | 32 | FFEE 0024 _H | 3 | 16、32 |
| RHSB0 | データエレメントビット割り当てレジスタ 2 | RHSB0DEBA2 | 0000 0000 _H | 32 | FFEE 0028 _H | 3 | 16、32 |
| RHSB0 | データエレメントビット割り当てレジスタ 3 | RHSB0DEBA3 | 0000 0000 _H | 32 | FFEE 002C _H | 3 | 16、32 |
| RHSB0 | 緊急ビットイネーブルレジスタ 0 | RHSB0EBE0 | 0000 0000 _H | 32 | FFEE 0030 _H | 3 | 16、32 |
| RHSB0 | 緊急ビットイネーブルレジスタ 1 | RHSB0EBE1 | 0000 0000 _H | 32 | FFEE 0034 _H | 3 | 16、32 |
| RHSB0 | ダウンストリーム送信制御レジスタ | RHSB0DTC | 0000 0000 _H | 32 | FFEE 0038 _H | 3 | 8、16、32 |
| RHSB0 | ダウンストリームコマンドデータレジスタ | RHSB0DCD | 0000 0000 _H | 32 | FFEE 003C _H | 3 | 16、32 |
| RHSB0 | ダウンストリームデータレジスタ 0 | RHSB0DDR0 | 0000 0000 _H | 32 | FFEE 0040 _H | 3 | 16、32 |
| RHSB0 | ダウンストリームデータレジスタ 1 | RHSB0DDR1 | 0000 0000 _H | 32 | FFEE 0044 _H | 3 | 16、32 |
| RHSB0 | ダウンストリーム緊急データレジスタ 0 | RHSB0DED0 | 0000 0000 _H | 32 | FFEE 0048 _H | 3 | 16、32 |

(98/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------|------------|------------------------|------|------------------------|------------------|---------|
| RHSB0 | ダウンストリーム緊急データレジスタ 1 | RHSB0DED1 | 0000 0000 _H | 32 | FFEE 004C _H | 3 | 16、32 |
| RHSB0 | アップストリーム設定レジスタ | RHSB0UCR | 0000 1800 _H | 32 | FFEE 0050 _H | 3 | 8、16、32 |
| RHSB0 | アップストリームチャンネル設定レジスタ | RHSB0UCC | 0F0F 0F0F _H | 32 | FFEE 0054 _H | 3 | 8、16、32 |
| RHSB0 | アップストリームチャンネル選択レジスタ | RHSB0UCS | 0000 0000 _H | 32 | FFEE 0058 _H | 3 | 8、16、32 |
| RHSB0 | アップストリームデータ読み出しレジスタ | RHSB0UDR | 0000 0000 _H | 32 | FFEE 005C _H | 3 | 8、16、32 |
| RHSB0 | アップストリームデータレジスタ 0 | RHSB0UD0 | 0000 0000 _H | 32 | FFEE 0060 _H | 3 | 8、16、32 |
| RHSB0 | アップストリームデータレジスタ 1 | RHSB0UD1 | 0000 0000 _H | 32 | FFEE 0064 _H | 3 | 8、16、32 |
| RHSB0 | アップストリームステータスサマリレジスタ | RHSB0USS | 0000 0000 _H | 32 | FFEE 0070 _H | 3 | 8、16、32 |
| RHSB0 | 割り込み制御レジスタ | RHSB0IC | 0000 0000 _H | 32 | FFEE 0074 _H | 3 | 8、16、32 |
| RHSB0 | 割り込みステータスレジスタ | RHSB0IS | 0000 0000 _H | 32 | FFEE 0078 _H | 3 | 8、16、32 |
| RHSB0 | 周期 1 用ダウンストリーム設定レジスタ | RHSB0DCR1 | 0000 0000 _H | 32 | FFEE 007C _H | 3 | 8、16、32 |
| ADCB0 | 仮想チャンネルレジスタ 0 | ADCB0VCR00 | 0000 _H | 16 | FFF2 0000 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 1 | ADCB0VCR01 | 0000 _H | 16 | FFF2 0004 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 2 | ADCB0VCR02 | 0000 _H | 16 | FFF2 0008 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 3 | ADCB0VCR03 | 0000 _H | 16 | FFF2 000C _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 4 | ADCB0VCR04 | 0000 _H | 16 | FFF2 0010 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 5 | ADCB0VCR05 | 0000 _H | 16 | FFF2 0014 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 6 | ADCB0VCR06 | 0000 _H | 16 | FFF2 0018 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 7 | ADCB0VCR07 | 0000 _H | 16 | FFF2 001C _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 8 | ADCB0VCR08 | 0000 _H | 16 | FFF2 0020 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 9 | ADCB0VCR09 | 0000 _H | 16 | FFF2 0024 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 10 | ADCB0VCR10 | 0000 _H | 16 | FFF2 0028 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 11 | ADCB0VCR11 | 0000 _H | 16 | FFF2 002C _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 12 | ADCB0VCR12 | 0000 _H | 16 | FFF2 0030 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 13 | ADCB0VCR13 | 0000 _H | 16 | FFF2 0034 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 14 | ADCB0VCR14 | 0000 _H | 16 | FFF2 0038 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 15 | ADCB0VCR15 | 0000 _H | 16 | FFF2 003C _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 16 | ADCB0VCR16 | 0000 _H | 16 | FFF2 0040 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 17 | ADCB0VCR17 | 0000 _H | 16 | FFF2 0044 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 18 | ADCB0VCR18 | 0000 _H | 16 | FFF2 0048 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 19 | ADCB0VCR19 | 0000 _H | 16 | FFF2 004C _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 20 | ADCB0VCR20 | 0000 _H | 16 | FFF2 0050 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 21 | ADCB0VCR21 | 0000 _H | 16 | FFF2 0054 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 22 | ADCB0VCR22 | 0000 _H | 16 | FFF2 0058 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 23 | ADCB0VCR23 | 0000 _H | 16 | FFF2 005C _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 24 | ADCB0VCR24 | 0000 _H | 16 | FFF2 0060 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 25 | ADCB0VCR25 | 0000 _H | 16 | FFF2 0064 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 26 | ADCB0VCR26 | 0000 _H | 16 | FFF2 0068 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 27 | ADCB0VCR27 | 0000 _H | 16 | FFF2 006C _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 28 | ADCB0VCR28 | 0000 _H | 16 | FFF2 0070 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 29 | ADCB0VCR29 | 0000 _H | 16 | FFF2 0074 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 30 | ADCB0VCR30 | 0000 _H | 16 | FFF2 0078 _H | 3 | 8、16 |
| ADCB0 | 仮想チャンネルレジスタ 31 | ADCB0VCR31 | 0000 _H | 16 | FFF2 007C _H | 3 | 8、16 |

(99/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------|------------|------------------------|------|------------------------|------------------|---------|
| ADCB0 | 仮想チャネルレジスタ 32 | ADCB0VCR32 | 0000 _H | 16 | FFF2 0080 _H | 3 | 8、16 |
| ADCB0 | 仮想チャネルレジスタ 33 | ADCB0VCR33 | 0000 _H | 16 | FFF2 0084 _H | 3 | 8、16 |
| ADCB0 | 仮想チャネルレジスタ 34 | ADCB0VCR34 | 0000 _H | 16 | FFF2 0088 _H | 3 | 8、16 |
| ADCB0 | 仮想チャネルレジスタ 35 | ADCB0VCR35 | 0000 _H | 16 | FFF2 008C _H | 3 | 8、16 |
| ADCB0 | データレジスタ 0 | ADCB0DR00 | 0000 _H | 16 | FFF2 0100 _H | 3 | 16、32 |
| ADCB0 | データレジスタ 1 | ADCB0DR01 | 0000 _H | 16 | FFF2 0102 _H | 3 | 16 |
| ADCB0 | データレジスタ 2 | ADCB0DR02 | 0000 _H | 16 | FFF2 0104 _H | 3 | 16、32 |
| ADCB0 | データレジスタ 3 | ADCB0DR03 | 0000 _H | 16 | FFF2 0106 _H | 3 | 16 |
| ADCB0 | データレジスタ 4 | ADCB0DR04 | 0000 _H | 16 | FFF2 0108 _H | 3 | 16、32 |
| ADCB0 | データレジスタ 5 | ADCB0DR05 | 0000 _H | 16 | FFF2 010A _H | 3 | 16 |
| ADCB0 | データレジスタ 6 | ADCB0DR06 | 0000 _H | 16 | FFF2 010C _H | 3 | 16、32 |
| ADCB0 | データレジスタ 7 | ADCB0DR07 | 0000 _H | 16 | FFF2 010E _H | 3 | 16 |
| ADCB0 | データレジスタ 8 | ADCB0DR08 | 0000 _H | 16 | FFF2 0110 _H | 3 | 16、32 |
| ADCB0 | データレジスタ 9 | ADCB0DR09 | 0000 _H | 16 | FFF2 0112 _H | 3 | 16 |
| ADCB0 | データレジスタ 10 | ADCB0DR10 | 0000 _H | 16 | FFF2 0114 _H | 3 | 16、32 |
| ADCB0 | データレジスタ 11 | ADCB0DR11 | 0000 _H | 16 | FFF2 0116 _H | 3 | 16 |
| ADCB0 | データレジスタ 12 | ADCB0DR12 | 0000 _H | 16 | FFF2 0118 _H | 3 | 16、32 |
| ADCB0 | データレジスタ 13 | ADCB0DR13 | 0000 _H | 16 | FFF2 011A _H | 3 | 16 |
| ADCB0 | データレジスタ 14 | ADCB0DR14 | 0000 _H | 16 | FFF2 011C _H | 3 | 16、32 |
| ADCB0 | データレジスタ 15 | ADCB0DR15 | 0000 _H | 16 | FFF2 011E _H | 3 | 16 |
| ADCB0 | データレジスタ 16 | ADCB0DR16 | 0000 _H | 16 | FFF2 0120 _H | 3 | 16、32 |
| ADCB0 | データレジスタ 17 | ADCB0DR17 | 0000 _H | 16 | FFF2 0122 _H | 3 | 16 |
| ADCB0 | データレジスタ 18 | ADCB0DR18 | 0000 _H | 16 | FFF2 0124 _H | 3 | 16、32 |
| ADCB0 | データレジスタ 19 | ADCB0DR19 | 0000 _H | 16 | FFF2 0126 _H | 3 | 16 |
| ADCB0 | データレジスタ 20 | ADCB0DR20 | 0000 _H | 16 | FFF2 0128 _H | 3 | 16、32 |
| ADCB0 | データレジスタ 21 | ADCB0DR21 | 0000 _H | 16 | FFF2 012A _H | 3 | 16 |
| ADCB0 | データレジスタ 22 | ADCB0DR22 | 0000 _H | 16 | FFF2 012C _H | 3 | 16、32 |
| ADCB0 | データレジスタ 23 | ADCB0DR23 | 0000 _H | 16 | FFF2 012E _H | 3 | 16 |
| ADCB0 | データレジスタ 24 | ADCB0DR24 | 0000 _H | 16 | FFF2 0130 _H | 3 | 16、32 |
| ADCB0 | データレジスタ 25 | ADCB0DR25 | 0000 _H | 16 | FFF2 0132 _H | 3 | 16 |
| ADCB0 | データレジスタ 26 | ADCB0DR26 | 0000 _H | 16 | FFF2 0134 _H | 3 | 16、32 |
| ADCB0 | データレジスタ 27 | ADCB0DR27 | 0000 _H | 16 | FFF2 0136 _H | 3 | 16 |
| ADCB0 | データレジスタ 28 | ADCB0DR28 | 0000 _H | 16 | FFF2 0138 _H | 3 | 16、32 |
| ADCB0 | データレジスタ 29 | ADCB0DR29 | 0000 _H | 16 | FFF2 013A _H | 3 | 16 |
| ADCB0 | データレジスタ 30 | ADCB0DR30 | 0000 _H | 16 | FFF2 013C _H | 3 | 16、32 |
| ADCB0 | データレジスタ 31 | ADCB0DR31 | 0000 _H | 16 | FFF2 013E _H | 3 | 16 |
| ADCB0 | データレジスタ 32 | ADCB0DR32 | 0000 _H | 16 | FFF2 0140 _H | 3 | 16、32 |
| ADCB0 | データレジスタ 33 | ADCB0DR33 | 0000 _H | 16 | FFF2 0142 _H | 3 | 16 |
| ADCB0 | データレジスタ 34 | ADCB0DR34 | 0000 _H | 16 | FFF2 0144 _H | 3 | 16、32 |
| ADCB0 | データレジスタ 35 | ADCB0DR35 | 0000 _H | 16 | FFF2 0146 _H | 3 | 16 |
| ADCB0 | データ付帯情報レジスタ 0 | ADCB0DIR00 | 0000 0000 _H | 32 | FFF2 0200 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 1 | ADCB0DIR01 | 0000 0000 _H | 32 | FFF2 0204 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 2 | ADCB0DIR02 | 0000 0000 _H | 32 | FFF2 0208 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 3 | ADCB0DIR03 | 0000 0000 _H | 32 | FFF2 020C _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 4 | ADCB0DIR04 | 0000 0000 _H | 32 | FFF2 0210 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 5 | ADCB0DIR05 | 0000 0000 _H | 32 | FFF2 0214 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 6 | ADCB0DIR06 | 0000 0000 _H | 32 | FFF2 0218 _H | 3 | 32 |

(100/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------------------|------------------|------------------------|------|------------------------|------------------|---------|
| ADCB0 | データ付帯情報レジスタ 7 | ADCB0DIR07 | 0000 0000 _H | 32 | FFF2 021C _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 8 | ADCB0DIR08 | 0000 0000 _H | 32 | FFF2 0220 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 9 | ADCB0DIR09 | 0000 0000 _H | 32 | FFF2 0224 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 10 | ADCB0DIR10 | 0000 0000 _H | 32 | FFF2 0228 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 11 | ADCB0DIR11 | 0000 0000 _H | 32 | FFF2 022C _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 12 | ADCB0DIR12 | 0000 0000 _H | 32 | FFF2 0230 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 13 | ADCB0DIR13 | 0000 0000 _H | 32 | FFF2 0234 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 14 | ADCB0DIR14 | 0000 0000 _H | 32 | FFF2 0238 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 15 | ADCB0DIR15 | 0000 0000 _H | 32 | FFF2 023C _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 16 | ADCB0DIR16 | 0000 0000 _H | 32 | FFF2 0240 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 17 | ADCB0DIR17 | 0000 0000 _H | 32 | FFF2 0244 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 18 | ADCB0DIR18 | 0000 0000 _H | 32 | FFF2 0248 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 19 | ADCB0DIR19 | 0000 0000 _H | 32 | FFF2 024C _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 20 | ADCB0DIR20 | 0000 0000 _H | 32 | FFF2 0250 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 21 | ADCB0DIR21 | 0000 0000 _H | 32 | FFF2 0254 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 22 | ADCB0DIR22 | 0000 0000 _H | 32 | FFF2 0258 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 23 | ADCB0DIR23 | 0000 0000 _H | 32 | FFF2 025C _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 24 | ADCB0DIR24 | 0000 0000 _H | 32 | FFF2 0260 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 25 | ADCB0DIR25 | 0000 0000 _H | 32 | FFF2 0264 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 26 | ADCB0DIR26 | 0000 0000 _H | 32 | FFF2 0268 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 27 | ADCB0DIR27 | 0000 0000 _H | 32 | FFF2 026C _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 28 | ADCB0DIR28 | 0000 0000 _H | 32 | FFF2 0270 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 29 | ADCB0DIR29 | 0000 0000 _H | 32 | FFF2 0274 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 30 | ADCB0DIR30 | 0000 0000 _H | 32 | FFF2 0278 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 31 | ADCB0DIR31 | 0000 0000 _H | 32 | FFF2 027C _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 32 | ADCB0DIR32 | 0000 0000 _H | 32 | FFF2 0280 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 33 | ADCB0DIR33 | 0000 0000 _H | 32 | FFF2 0284 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 34 | ADCB0DIR34 | 0000 0000 _H | 32 | FFF2 0288 _H | 3 | 32 |
| ADCB0 | データ付帯情報レジスタ 35 | ADCB0DIR35 | 0000 0000 _H | 32 | FFF2 028C _H | 3 | 32 |
| ADCB0 | AD 同期開始制御レジスタ | ADCB0ADSYNSTCR | 00 _H | 8 | FFF2 0300 _H | 3 | 8 |
| ADCB0 | AD タイム同期開始制御レジスタ | ADCB0ADTSYNSTCR | 00 _H | 8 | FFF2 0304 _H | 3 | 8 |
| ADCB0 | AD 終了レジスタ | ADCB0ADHALTR | 00 _H | 8 | FFF2 0380 _H | 3 | 8 |
| ADCB0 | AD 制御レジスタ 1 | ADCB0ADCR1 | 00 _H | 8 | FFF2 0384 _H | 3 | 8 |
| ADCB0 | MPX カレント制御レジスタ | ADCB0MPXCURCR | 00 _H | 8 | FFF2 0388 _H | 3 | 8 |
| ADCB0 | MPX カレントレジスタ | ADCB0MPXCURR | 0000 0000 _H | 32 | FFF2 038C _H | 3 | 32 |
| ADCB0 | MPX 任意ウェイトレジスタ | ADCB0MPXOWR | 00 _H | 8 | FFF2 0390 _H | 3 | 8 |
| ADCB0 | MPX コマンド情報レジスタ | ADCB0MPXCMDR | 00 _H | 8 | FFF2 0394 _H | 3 | 8 |
| ADCB0 | AD 制御レジスタ 2 | ADCB0ADCR2 | 00 _H | 8 | FFF2 0398 _H | 3 | 8 |
| ADCB0 | DFE/ASF エントリスキャングループ ビネーブルレジスタ | ADCB0DFASENTSGER | 0000 _H | 16 | FFF2 039C _H | 3 | 16 |
| ADCB0 | AD 変換モニタ 仮想チャネルポイント | ADCB0ADENDP | 00 _H | 8 | FFF2 03A0 _H | 3 | 8 |
| ADCB0 | セーフティ制御レジスタ | ADCB0SFTCR | 00 _H | 8 | FFF2 03C0 _H | 3 | 8 |
| ADCB0 | 端子レベル自己診断制御レジスタ | ADCB0TDCR | 00 _H | 8 | FFF2 03C4 _H | 3 | 8 |
| ADCB0 | 断線検出制御レジスタ | ADCB0ODCR | 00 _H | 8 | FFF2 03C8 _H | 3 | 8 |
| ADCB0 | 上限/下限テーブルレジスタ 0 | ADCB0ULLMTBR0 | 7FFE 0000 _H | 32 | FFF2 03CC _H | 3 | 16、32 |
| ADCB0 | 上限/下限テーブルレジスタ 1 | ADCB0ULLMTBR1 | 7FFE 0000 _H | 32 | FFF2 03D0 _H | 3 | 16、32 |
| ADCB0 | 上限/下限テーブルレジスタ 2 | ADCB0ULLMTBR2 | 7FFE 0000 _H | 32 | FFF2 03D4 _H | 3 | 16、32 |

(101/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------|----------------|------------------------|------|------------------------|------------------|---------|
| ADCB0 | エラークリアレジスタ | ADCB0ECR | 00 _H | 8 | FFF2 03D8 _H | 3 | 8 |
| ADCB0 | 上限/下限エラーレジスタ | ADCB0ULER | 00 _H | 8 | FFF2 03DC _H | 3 | 8 |
| ADCB0 | オーバーライトエラーレジスタ | ADCB0OWER | 00 _H | 8 | FFF2 03E0 _H | 3 | 8 |
| ADCB0 | パリティエラーレジスタ | ADCB0PER | 00 _H | 8 | FFF2 03E4 _H | 3 | 8 |
| ADCB0 | ID エラーレジスタ | ADCB0IDER | 00 _H | 8 | FFF2 03E8 _H | 3 | 8 |
| ADCB0 | スキャングループ 0 開始制御レジスタ | ADCB0SGSTCR0 | 00 _H | 8 | FFF2 0480 _H | 3 | 8 |
| ADCB0 | スキャングループ 0 制御レジスタ | ADCB0SGCR0 | 00 _H | 8 | FFF2 0490 _H | 3 | 8 |
| ADCB0 | スキャングループ 0 開始仮想チャンネルポインタ | ADCB0SGVCSP0 | 00 _H | 8 | FFF2 0494 _H | 3 | 8 |
| ADCB0 | スキャングループ 0 終了仮想チャンネルポインタ | ADCB0SGVCEP0 | 00 _H | 8 | FFF2 0498 _H | 3 | 8 |
| ADCB0 | スキャングループ 0 マルチサイクルレジスタ | ADCB0SGMCYCR0 | 00 _H | 8 | FFF2 049C _H | 3 | 8 |
| ADCB0 | スキャングループ 0 ステータスレジスタ | ADCB0SGSR0 | 00 _H | 8 | FFF2 04A4 _H | 3 | 8 |
| ADCB0 | スキャングループ 0 上限値/下限値テーブル選択レジスタ | ADCB0ULLMSR0 | 00 _H | 8 | FFF2 04B0 _H | 3 | 8 |
| ADCB0 | スキャングループ 1 開始制御レジスタ | ADCB0SGSTCR1 | 00 _H | 8 | FFF2 0500 _H | 3 | 8 |
| ADCB0 | スキャングループ 1 制御レジスタ | ADCB0SGCR1 | 00 _H | 8 | FFF2 0510 _H | 3 | 8 |
| ADCB0 | スキャングループ 1 開始仮想チャンネルポインタ | ADCB0SGVCSP1 | 00 _H | 8 | FFF2 0514 _H | 3 | 8 |
| ADCB0 | スキャングループ 1 終了仮想チャンネルポインタ | ADCB0SGVCEP1 | 00 _H | 8 | FFF2 0518 _H | 3 | 8 |
| ADCB0 | スキャングループ 1 マルチサイクルレジスタ | ADCB0SGMCYCR1 | 00 _H | 8 | FFF2 051C _H | 3 | 8 |
| ADCB0 | スキャングループ 1 ステータスレジスタ | ADCB0SGSR1 | 00 _H | 8 | FFF2 0524 _H | 3 | 8 |
| ADCB0 | スキャングループ 1 上限値/下限値テーブル選択レジスタ | ADCB0ULLMSR1 | 00 _H | 8 | FFF2 0530 _H | 3 | 8 |
| ADCB0 | スキャングループ 2 開始制御レジスタ | ADCB0SGSTCR2 | 00 _H | 8 | FFF2 0580 _H | 3 | 8 |
| ADCB0 | スキャングループ 2 制御レジスタ | ADCB0SGCR2 | 00 _H | 8 | FFF2 0590 _H | 3 | 8 |
| ADCB0 | スキャングループ 2 開始仮想チャンネルポインタ | ADCB0SGVCSP2 | 00 _H | 8 | FFF2 0594 _H | 3 | 8 |
| ADCB0 | スキャングループ 2 終了仮想チャンネルポインタ | ADCB0SGVCEP2 | 00 _H | 8 | FFF2 0598 _H | 3 | 8 |
| ADCB0 | スキャングループ 2 マルチサイクルレジスタ | ADCB0SGMCYCR2 | 00 _H | 8 | FFF2 059C _H | 3 | 8 |
| ADCB0 | スキャングループ 2 ステータスレジスタ | ADCB0SGSR2 | 00 _H | 8 | FFF2 05A4 _H | 3 | 8 |
| ADCB0 | スキャングループ 2 上限値/下限値テーブル選択レジスタ | ADCB0ULLMSR2 | 00 _H | 8 | FFF2 05B0 _H | 3 | 8 |
| ADCB0 | スキャングループ 3 開始制御レジスタ | ADCB0SGSTCR3 | 00 _H | 8 | FFF2 0600 _H | 3 | 8 |
| ADCB0 | AD タイマ 3 開始制御レジスタ | ADCB0ADTSTCR3 | 00 _H | 8 | FFF2 0608 _H | 3 | 8 |
| ADCB0 | AD タイマ 3 終了制御レジスタ | ADCB0ADTENDCR3 | 00 _H | 8 | FFF2 060C _H | 3 | 8 |
| ADCB0 | スキャングループ 3 制御レジスタ | ADCB0SGCR3 | 00 _H | 8 | FFF2 0610 _H | 3 | 8 |
| ADCB0 | スキャングループ 3 開始仮想チャンネルポインタ | ADCB0SGVCSP3 | 00 _H | 8 | FFF2 0614 _H | 3 | 8 |
| ADCB0 | スキャングループ 3 終了仮想チャンネルポインタ | ADCB0SGVCEP3 | 00 _H | 8 | FFF2 0618 _H | 3 | 8 |
| ADCB0 | スキャングループ 3 マルチサイクルレジスタ | ADCB0SGMCYCR3 | 00 _H | 8 | FFF2 061C _H | 3 | 8 |
| ADCB0 | スキャングループ 3 ステータスレジスタ | ADCB0SGSR3 | 00 _H | 8 | FFF2 0624 _H | 3 | 8 |
| ADCB0 | AD タイマ初期位相レジスタ 3 | ADCB0ADTIPR3 | 0000 0000 _H | 32 | FFF2 0628 _H | 3 | 32 |
| ADCB0 | AD タイマ周期レジスタ 3 | ADCB0ADTPRR3 | 001F FFFF _H | 32 | FFF2 062C _H | 3 | 32 |

(102/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------------|----------------|------------------------|------|------------------------|------------------|---------|
| ADCB0 | スキャングループ3 上限値/下限値テーブル選択レジスタ | ADCB0ULLMSR3 | 00 _H | 8 | FFF2 0630 _H | 3 | 8 |
| ADCB0 | スキャングループ4 開始制御レジスタ | ADCB0SGSTCR4 | 00 _H | 8 | FFF2 0680 _H | 3 | 8 |
| ADCB0 | AD タイマ4 開始制御レジスタ | ADCB0ADTSTCR4 | 00 _H | 8 | FFF2 0688 _H | 3 | 8 |
| ADCB0 | AD タイマ4 終了制御レジスタ | ADCB0ADTENDCR4 | 00 _H | 8 | FFF2 068C _H | 3 | 8 |
| ADCB0 | スキャングループ4 制御レジスタ | ADCB0SGCR4 | 00 _H | 8 | FFF2 0690 _H | 3 | 8 |
| ADCB0 | スキャングループ4 開始仮想チャンネルポインタ | ADCB0SGVCSP4 | 00 _H | 8 | FFF2 0694 _H | 3 | 8 |
| ADCB0 | スキャングループ4 終了仮想チャンネルポインタ | ADCB0SGVCEP4 | 00 _H | 8 | FFF2 0698 _H | 3 | 8 |
| ADCB0 | スキャングループ4 マルチサイクルレジスタ | ADCB0SGMCYCR4 | 00 _H | 8 | FFF2 069C _H | 3 | 8 |
| ADCB0 | スキャングループ4 ステータスレジスタ | ADCB0SGSR4 | 00 _H | 8 | FFF2 06A4 _H | 3 | 8 |
| ADCB0 | AD タイマ初期位相レジスタ4 | ADCB0ADTIPR4 | 0000 0000 _H | 32 | FFF2 06A8 _H | 3 | 32 |
| ADCB0 | AD タイマ周期レジスタ4 | ADCB0ADTPRR4 | 001F FFFF _H | 32 | FFF2 06AC _H | 3 | 32 |
| ADCB0 | スキャングループ4 上限値/下限値テーブル選択レジスタ | ADCB0ULLMSR4 | 00 _H | 8 | FFF2 06B0 _H | 3 | 8 |
| ADCB1 | 仮想チャンネルレジスタ0 | ADCB1VCR00 | 0000 _H | 16 | FFF2 1000 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ1 | ADCB1VCR01 | 0000 _H | 16 | FFF2 1004 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ2 | ADCB1VCR02 | 0000 _H | 16 | FFF2 1008 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ3 | ADCB1VCR03 | 0000 _H | 16 | FFF2 100C _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ4 | ADCB1VCR04 | 0000 _H | 16 | FFF2 1010 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ5 | ADCB1VCR05 | 0000 _H | 16 | FFF2 1014 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ6 | ADCB1VCR06 | 0000 _H | 16 | FFF2 1018 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ7 | ADCB1VCR07 | 0000 _H | 16 | FFF2 101C _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ8 | ADCB1VCR08 | 0000 _H | 16 | FFF2 1020 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ9 | ADCB1VCR09 | 0000 _H | 16 | FFF2 1024 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ10 | ADCB1VCR10 | 0000 _H | 16 | FFF2 1028 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ11 | ADCB1VCR11 | 0000 _H | 16 | FFF2 102C _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ12 | ADCB1VCR12 | 0000 _H | 16 | FFF2 1030 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ13 | ADCB1VCR13 | 0000 _H | 16 | FFF2 1034 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ14 | ADCB1VCR14 | 0000 _H | 16 | FFF2 1038 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ15 | ADCB1VCR15 | 0000 _H | 16 | FFF2 103C _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ16 | ADCB1VCR16 | 0000 _H | 16 | FFF2 1040 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ17 | ADCB1VCR17 | 0000 _H | 16 | FFF2 1044 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ18 | ADCB1VCR18 | 0000 _H | 16 | FFF2 1048 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ19 | ADCB1VCR19 | 0000 _H | 16 | FFF2 104C _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ20 | ADCB1VCR20 | 0000 _H | 16 | FFF2 1050 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ21 | ADCB1VCR21 | 0000 _H | 16 | FFF2 1054 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ22 | ADCB1VCR22 | 0000 _H | 16 | FFF2 1058 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ23 | ADCB1VCR23 | 0000 _H | 16 | FFF2 105C _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ24 | ADCB1VCR24 | 0000 _H | 16 | FFF2 1060 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ25 | ADCB1VCR25 | 0000 _H | 16 | FFF2 1064 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ26 | ADCB1VCR26 | 0000 _H | 16 | FFF2 1068 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ27 | ADCB1VCR27 | 0000 _H | 16 | FFF2 106C _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ28 | ADCB1VCR28 | 0000 _H | 16 | FFF2 1070 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ29 | ADCB1VCR29 | 0000 _H | 16 | FFF2 1074 _H | 3 | 8、16 |
| ADCB1 | 仮想チャンネルレジスタ30 | ADCB1VCR30 | 0000 _H | 16 | FFF2 1078 _H | 3 | 8、16 |

(103/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------|------------|------------------------|------|------------------------|------------------|---------|
| ADCB1 | 仮想チャネルレジスタ 31 | ADCB1VCR31 | 0000 _H | 16 | FFF2 107C _H | 3 | 8、16 |
| ADCB1 | データレジスタ 0 | ADCB1DR00 | 0000 _H | 16 | FFF2 1100 _H | 3 | 16、32 |
| ADCB1 | データレジスタ 1 | ADCB1DR01 | 0000 _H | 16 | FFF2 1102 _H | 3 | 16 |
| ADCB1 | データレジスタ 2 | ADCB1DR02 | 0000 _H | 16 | FFF2 1104 _H | 3 | 16、32 |
| ADCB1 | データレジスタ 3 | ADCB1DR03 | 0000 _H | 16 | FFF2 1106 _H | 3 | 16 |
| ADCB1 | データレジスタ 4 | ADCB1DR04 | 0000 _H | 16 | FFF2 1108 _H | 3 | 16、32 |
| ADCB1 | データレジスタ 5 | ADCB1DR05 | 0000 _H | 16 | FFF2 110A _H | 3 | 16 |
| ADCB1 | データレジスタ 6 | ADCB1DR06 | 0000 _H | 16 | FFF2 110C _H | 3 | 16、32 |
| ADCB1 | データレジスタ 7 | ADCB1DR07 | 0000 _H | 16 | FFF2 110E _H | 3 | 16 |
| ADCB1 | データレジスタ 8 | ADCB1DR08 | 0000 _H | 16 | FFF2 1110 _H | 3 | 16、32 |
| ADCB1 | データレジスタ 9 | ADCB1DR09 | 0000 _H | 16 | FFF2 1112 _H | 3 | 16 |
| ADCB1 | データレジスタ 10 | ADCB1DR10 | 0000 _H | 16 | FFF2 1114 _H | 3 | 16、32 |
| ADCB1 | データレジスタ 11 | ADCB1DR11 | 0000 _H | 16 | FFF2 1116 _H | 3 | 16 |
| ADCB1 | データレジスタ 12 | ADCB1DR12 | 0000 _H | 16 | FFF2 1118 _H | 3 | 16、32 |
| ADCB1 | データレジスタ 13 | ADCB1DR13 | 0000 _H | 16 | FFF2 111A _H | 3 | 16 |
| ADCB1 | データレジスタ 14 | ADCB1DR14 | 0000 _H | 16 | FFF2 111C _H | 3 | 16、32 |
| ADCB1 | データレジスタ 15 | ADCB1DR15 | 0000 _H | 16 | FFF2 111E _H | 3 | 16 |
| ADCB1 | データレジスタ 16 | ADCB1DR16 | 0000 _H | 16 | FFF2 1120 _H | 3 | 16、32 |
| ADCB1 | データレジスタ 17 | ADCB1DR17 | 0000 _H | 16 | FFF2 1122 _H | 3 | 16 |
| ADCB1 | データレジスタ 18 | ADCB1DR18 | 0000 _H | 16 | FFF2 1124 _H | 3 | 16、32 |
| ADCB1 | データレジスタ 19 | ADCB1DR19 | 0000 _H | 16 | FFF2 1126 _H | 3 | 16 |
| ADCB1 | データレジスタ 20 | ADCB1DR20 | 0000 _H | 16 | FFF2 1128 _H | 3 | 16、32 |
| ADCB1 | データレジスタ 21 | ADCB1DR21 | 0000 _H | 16 | FFF2 112A _H | 3 | 16 |
| ADCB1 | データレジスタ 22 | ADCB1DR22 | 0000 _H | 16 | FFF2 112C _H | 3 | 16、32 |
| ADCB1 | データレジスタ 23 | ADCB1DR23 | 0000 _H | 16 | FFF2 112E _H | 3 | 16 |
| ADCB1 | データレジスタ 24 | ADCB1DR24 | 0000 _H | 16 | FFF2 1130 _H | 3 | 16、32 |
| ADCB1 | データレジスタ 25 | ADCB1DR25 | 0000 _H | 16 | FFF2 1132 _H | 3 | 16 |
| ADCB1 | データレジスタ 26 | ADCB1DR26 | 0000 _H | 16 | FFF2 1134 _H | 3 | 16、32 |
| ADCB1 | データレジスタ 27 | ADCB1DR27 | 0000 _H | 16 | FFF2 1136 _H | 3 | 16 |
| ADCB1 | データレジスタ 28 | ADCB1DR28 | 0000 _H | 16 | FFF2 1138 _H | 3 | 16、32 |
| ADCB1 | データレジスタ 29 | ADCB1DR29 | 0000 _H | 16 | FFF2 113A _H | 3 | 16 |
| ADCB1 | データレジスタ 30 | ADCB1DR30 | 0000 _H | 16 | FFF2 113C _H | 3 | 16、32 |
| ADCB1 | データレジスタ 31 | ADCB1DR31 | 0000 _H | 16 | FFF2 113E _H | 3 | 16 |
| ADCB1 | データ付帯情報レジスタ 0 | ADCB1DIR00 | 0000 0000 _H | 32 | FFF2 1200 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 1 | ADCB1DIR01 | 0000 0000 _H | 32 | FFF2 1204 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 2 | ADCB1DIR02 | 0000 0000 _H | 32 | FFF2 1208 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 3 | ADCB1DIR03 | 0000 0000 _H | 32 | FFF2 120C _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 4 | ADCB1DIR04 | 0000 0000 _H | 32 | FFF2 1210 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 5 | ADCB1DIR05 | 0000 0000 _H | 32 | FFF2 1214 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 6 | ADCB1DIR06 | 0000 0000 _H | 32 | FFF2 1218 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 7 | ADCB1DIR07 | 0000 0000 _H | 32 | FFF2 121C _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 8 | ADCB1DIR08 | 0000 0000 _H | 32 | FFF2 1220 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 9 | ADCB1DIR09 | 0000 0000 _H | 32 | FFF2 1224 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 10 | ADCB1DIR10 | 0000 0000 _H | 32 | FFF2 1228 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 11 | ADCB1DIR11 | 0000 0000 _H | 32 | FFF2 122C _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 12 | ADCB1DIR12 | 0000 0000 _H | 32 | FFF2 1230 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 13 | ADCB1DIR13 | 0000 0000 _H | 32 | FFF2 1234 _H | 3 | 32 |

(104/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|--------------------------------|------------------|------------------------|------|------------------------|------------------|---------|
| ADCB1 | データ付帯情報レジスタ 14 | ADCB1DIR14 | 0000 0000 _H | 32 | FFF2 1238 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 15 | ADCB1DIR15 | 0000 0000 _H | 32 | FFF2 123C _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 16 | ADCB1DIR16 | 0000 0000 _H | 32 | FFF2 1240 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 17 | ADCB1DIR17 | 0000 0000 _H | 32 | FFF2 1244 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 18 | ADCB1DIR18 | 0000 0000 _H | 32 | FFF2 1248 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 19 | ADCB1DIR19 | 0000 0000 _H | 32 | FFF2 124C _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 20 | ADCB1DIR20 | 0000 0000 _H | 32 | FFF2 1250 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 21 | ADCB1DIR21 | 0000 0000 _H | 32 | FFF2 1254 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 22 | ADCB1DIR22 | 0000 0000 _H | 32 | FFF2 1258 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 23 | ADCB1DIR23 | 0000 0000 _H | 32 | FFF2 125C _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 24 | ADCB1DIR24 | 0000 0000 _H | 32 | FFF2 1260 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 25 | ADCB1DIR25 | 0000 0000 _H | 32 | FFF2 1264 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 26 | ADCB1DIR26 | 0000 0000 _H | 32 | FFF2 1268 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 27 | ADCB1DIR27 | 0000 0000 _H | 32 | FFF2 126C _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 28 | ADCB1DIR28 | 0000 0000 _H | 32 | FFF2 1270 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 29 | ADCB1DIR29 | 0000 0000 _H | 32 | FFF2 1274 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 30 | ADCB1DIR30 | 0000 0000 _H | 32 | FFF2 1278 _H | 3 | 32 |
| ADCB1 | データ付帯情報レジスタ 31 | ADCB1DIR31 | 0000 0000 _H | 32 | FFF2 127C _H | 3 | 32 |
| ADCB1 | AD 終了レジスタ | ADCB1ADHALTR | 00 _H | 8 | FFF2 1380 _H | 3 | 8 |
| ADCB1 | AD 制御レジスタ 1 | ADCB1ADCR1 | 00 _H | 8 | FFF2 1384 _H | 3 | 8 |
| ADCB1 | MPX カレント制御レジスタ | ADCB1MPXCURCR | 00 _H | 8 | FFF2 1388 _H | 3 | 8 |
| ADCB1 | MPX カレントレジスタ | ADCB1MPXCURR | 0000 0000 _H | 32 | FFF2 138C _H | 3 | 32 |
| ADCB1 | MPX 任意ウェイトレジスタ | ADCB1MPXOWR | 00 _H | 8 | FFF2 1390 _H | 3 | 8 |
| ADCB1 | MPX コマンド情報レジスタ | ADCB1MPXCMDR | 00 _H | 8 | FFF2 1394 _H | 3 | 8 |
| ADCB1 | AD 制御レジスタ 2 | ADCB1ADCR2 | 00 _H | 8 | FFF2 1398 _H | 3 | 8 |
| ADCB1 | DFE/ASF エントリスキャングループブイネーブルレジスタ | ADCB1DFASENTSGER | 0000 _H | 16 | FFF2 139C _H | 3 | 16 |
| ADCB1 | AD 変換モニタ仮想チャンネルポイント | ADCB1ADENDP | 00 _H | 8 | FFF2 13A0 _H | 3 | 8 |
| ADCB1 | セーフティ制御レジスタ | ADCB1SFTCR | 00 _H | 8 | FFF2 13C0 _H | 3 | 8 |
| ADCB1 | 端子レベル自己診断制御レジスタ | ADCB1TDCR | 00 _H | 8 | FFF2 13C4 _H | 3 | 8 |
| ADCB1 | 断線検出制御レジスタ | ADCB1ODCR | 00 _H | 8 | FFF2 13C8 _H | 3 | 8 |
| ADCB1 | 上限/下限テーブルレジスタ 0 | ADCB1ULLMTBR0 | 7FFE 0000 _H | 32 | FFF2 13CC _H | 3 | 16、32 |
| ADCB1 | 上限/下限テーブルレジスタ 1 | ADCB1ULLMTBR1 | 7FFE 0000 _H | 32 | FFF2 13D0 _H | 3 | 16、32 |
| ADCB1 | 上限/下限テーブルレジスタ 2 | ADCB1ULLMTBR2 | 7FFE 0000 _H | 32 | FFF2 13D4 _H | 3 | 16、32 |
| ADCB1 | エラークリアレジスタ | ADCB1ECR | 00 _H | 8 | FFF2 13D8 _H | 3 | 8 |
| ADCB1 | 上限/下限エラーレジスタ | ADCB1ULER | 00 _H | 8 | FFF2 13DC _H | 3 | 8 |
| ADCB1 | オーバーライトエラーレジスタ | ADCB1OWER | 00 _H | 8 | FFF2 13E0 _H | 3 | 8 |
| ADCB1 | パリティエラーレジスタ | ADCB1PER | 00 _H | 8 | FFF2 13E4 _H | 3 | 8 |
| ADCB1 | ID エラーレジスタ | ADCB1IDER | 00 _H | 8 | FFF2 13E8 _H | 3 | 8 |
| ADCB1 | スキャングループ 0 開始制御レジスタ | ADCB1SGSTCR0 | 00 _H | 8 | FFF2 1480 _H | 3 | 8 |
| ADCB1 | スキャングループ 0 制御レジスタ | ADCB1SGCR0 | 00 _H | 8 | FFF2 1490 _H | 3 | 8 |
| ADCB1 | スキャングループ 0 開始仮想チャンネルポイント | ADCB1SGVCSP0 | 00 _H | 8 | FFF2 1494 _H | 3 | 8 |
| ADCB1 | スキャングループ 0 終了仮想チャンネルポイント | ADCB1SGVCEP0 | 00 _H | 8 | FFF2 1498 _H | 3 | 8 |
| ADCB1 | スキャングループ 0 マルチサイクルレジスタ | ADCB1SGMCYCRO | 00 _H | 8 | FFF2 149C _H | 3 | 8 |
| ADCB1 | スキャングループ 0 ステータスレジスタ | ADCB1SGSR0 | 00 _H | 8 | FFF2 14A4 _H | 3 | 8 |

(105/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------------|----------------|------------------------|------|------------------------|------------------|---------|
| ADCB1 | スキヤングループ 0 上限値/下限値 テーブル選択レジスタ | ADCB1ULLMSR0 | 00 _H | 8 | FFF2 14B0 _H | 3 | 8 |
| ADCB1 | スキヤングループ 1 開始制御レジスタ | ADCB1SGSTCR1 | 00 _H | 8 | FFF2 1500 _H | 3 | 8 |
| ADCB1 | スキヤングループ 1 制御レジスタ | ADCB1SGCR1 | 00 _H | 8 | FFF2 1510 _H | 3 | 8 |
| ADCB1 | スキヤングループ 1 開始仮想チャンネル ポインタ | ADCB1SGVCSP1 | 00 _H | 8 | FFF2 1514 _H | 3 | 8 |
| ADCB1 | スキヤングループ 1 終了仮想チャンネル ポインタ | ADCB1SGVCEP1 | 00 _H | 8 | FFF2 1518 _H | 3 | 8 |
| ADCB1 | スキヤングループ 1 マルチサイクルレ ジスタ | ADCB1SGMCYCR1 | 00 _H | 8 | FFF2 151C _H | 3 | 8 |
| ADCB1 | スキヤングループ 1 ステータス レジスタ | ADCB1SGSR1 | 00 _H | 8 | FFF2 1524 _H | 3 | 8 |
| ADCB1 | スキヤングループ 1 上限値/下限値 テーブル選択レジスタ | ADCB1ULLMSR1 | 00 _H | 8 | FFF2 1530 _H | 3 | 8 |
| ADCB1 | スキヤングループ 2 開始制御レジスタ | ADCB1SGSTCR2 | 00 _H | 8 | FFF2 1580 _H | 3 | 8 |
| ADCB1 | スキヤングループ 2 制御レジスタ | ADCB1SGCR2 | 00 _H | 8 | FFF2 1590 _H | 3 | 8 |
| ADCB1 | スキヤングループ 2 開始仮想チャンネル ポインタ | ADCB1SGVCSP2 | 00 _H | 8 | FFF2 1594 _H | 3 | 8 |
| ADCB1 | スキヤングループ 2 終了仮想チャンネル ポインタ | ADCB1SGVCEP2 | 00 _H | 8 | FFF2 1598 _H | 3 | 8 |
| ADCB1 | スキヤングループ 2 マルチサイクルレ ジスタ | ADCB1SGMCYCR2 | 00 _H | 8 | FFF2 159C _H | 3 | 8 |
| ADCB1 | スキヤングループ 2 ステータス レジスタ | ADCB1SGSR2 | 00 _H | 8 | FFF2 15A4 _H | 3 | 8 |
| ADCB1 | スキヤングループ 2 上限値/下限値 テーブル選択レジスタ | ADCB1ULLMSR2 | 00 _H | 8 | FFF2 15B0 _H | 3 | 8 |
| ADCB1 | スキヤングループ 3 開始制御レジスタ | ADCB1SGSTCR3 | 00 _H | 8 | FFF2 1600 _H | 3 | 8 |
| ADCB1 | AD タイマ 3 開始制御レジスタ | ADCB1ADTSTCR3 | 00 _H | 8 | FFF2 1608 _H | 3 | 8 |
| ADCB1 | AD タイマ 3 終了制御レジスタ | ADCB1ADTENDCR3 | 00 _H | 8 | FFF2 160C _H | 3 | 8 |
| ADCB1 | スキヤングループ 3 制御レジスタ | ADCB1SGCR3 | 00 _H | 8 | FFF2 1610 _H | 3 | 8 |
| ADCB1 | スキヤングループ 3 開始仮想チャンネル ポインタ | ADCB1SGVCSP3 | 00 _H | 8 | FFF2 1614 _H | 3 | 8 |
| ADCB1 | スキヤングループ 3 終了仮想チャンネル ポインタ | ADCB1SGVCEP3 | 00 _H | 8 | FFF2 1618 _H | 3 | 8 |
| ADCB1 | スキヤングループ 3 マルチサイクルレ ジスタ | ADCB1SGMCYCR3 | 00 _H | 8 | FFF2 161C _H | 3 | 8 |
| ADCB1 | スキヤングループ 3 ステータス レジスタ | ADCB1SGSR3 | 00 _H | 8 | FFF2 1624 _H | 3 | 8 |
| ADCB1 | AD タイマ初期位相レジスタ 3 | ADCB1ADTIPR3 | 0000 0000 _H | 32 | FFF2 1628 _H | 3 | 32 |
| ADCB1 | AD タイマ周期レジスタ 3 | ADCB1ADTPRR3 | 001F FFFF _H | 32 | FFF2 162C _H | 3 | 32 |
| ADCB1 | スキヤングループ 3 上限値/下限値 テーブル選択レジスタ | ADCB1ULLMSR3 | 00 _H | 8 | FFF2 1630 _H | 3 | 8 |
| ADCB1 | スキヤングループ 4 開始制御レジスタ | ADCB1SGSTCR4 | 00 _H | 8 | FFF2 1680 _H | 3 | 8 |
| ADCB1 | AD タイマ 4 開始制御レジスタ | ADCB1ADTSTCR4 | 00 _H | 8 | FFF2 1688 _H | 3 | 8 |
| ADCB1 | AD タイマ 4 終了制御レジスタ | ADCB1ADTENDCR4 | 00 _H | 8 | FFF2 168C _H | 3 | 8 |
| ADCB1 | スキヤングループ 4 制御レジスタ | ADCB1SGCR4 | 00 _H | 8 | FFF2 1690 _H | 3 | 8 |
| ADCB1 | スキヤングループ 4 開始仮想チャンネル ポインタ | ADCB1SGVCSP4 | 00 _H | 8 | FFF2 1694 _H | 3 | 8 |
| ADCB1 | スキヤングループ 4 終了仮想チャンネル ポインタ | ADCB1SGVCEP4 | 00 _H | 8 | FFF2 1698 _H | 3 | 8 |
| ADCB1 | スキヤングループ 4 マルチサイクルレ ジスタ | ADCB1SGMCYCR4 | 00 _H | 8 | FFF2 169C _H | 3 | 8 |
| ADCB1 | スキヤングループ 4 ステータス レジスタ | ADCB1SGSR4 | 00 _H | 8 | FFF2 16A4 _H | 3 | 8 |
| ADCB1 | AD タイマ初期位相レジスタ 4 | ADCB1ADTIPR4 | 0000 0000 _H | 32 | FFF2 16A8 _H | 3 | 32 |

(106/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------------|--------------|------------------------|------|------------------------|------------------|---------|
| ADCB1 | AD タイマ周期レジスタ 4 | ADCB1ADTPRR4 | 001F FFFF _H | 32 | FFF2 16AC _H | 3 | 32 |
| ADCB1 | スキャングループ 4 上限値/下限値 テーブル選択レジスタ | ADCB1ULLMSR4 | 00 _H | 8 | FFF2 16B0 _H | 3 | 8 |
| ASF10 | 積算データリードレジスタ 0 | ASF10DR00 | 0000 0000 _H | 32 | FFF2 2000 _H | 3 | 32 |
| ASF10 | 積算データリードレジスタ 1 | ASF10DR01 | 0000 0000 _H | 32 | FFF2 2004 _H | 3 | 32 |
| ASF10 | 積算データリードレジスタ 2 | ASF10DR02 | 0000 0000 _H | 32 | FFF2 2008 _H | 3 | 32 |
| ASF10 | 積算データリードレジスタ 3 | ASF10DR03 | 0000 0000 _H | 32 | FFF2 200C _H | 3 | 32 |
| ASF10 | 積算データリードレジスタ 4 | ASF10DR04 | 0000 0000 _H | 32 | FFF2 2010 _H | 3 | 32 |
| ASF10 | 積算データリードレジスタ 5 | ASF10DR05 | 0000 0000 _H | 32 | FFF2 2014 _H | 3 | 32 |
| ASF10 | 積算データリードレジスタ 6 | ASF10DR06 | 0000 0000 _H | 32 | FFF2 2018 _H | 3 | 32 |
| ASF10 | 積算データリードレジスタ 7 | ASF10DR07 | 0000 0000 _H | 32 | FFF2 201C _H | 3 | 32 |
| ASF10 | 積算データリードレジスタ 8 | ASF10DR08 | 0000 0000 _H | 32 | FFF2 2020 _H | 3 | 32 |
| ASF10 | 積算データリードレジスタ 9 | ASF10DR09 | 0000 0000 _H | 32 | FFF2 2024 _H | 3 | 32 |
| ASF10 | 積算データリードレジスタ 10 | ASF10DR10 | 0000 0000 _H | 32 | FFF2 2028 _H | 3 | 32 |
| ASF10 | 積算コンペアマッチレジスタ 0 | ASF10CMP00 | 00 _H | 8 | FFF2 2040 _H | 3 | 8 |
| ASF10 | 積算コンペアマッチレジスタ 1 | ASF10CMP01 | 00 _H | 8 | FFF2 2044 _H | 3 | 8 |
| ASF10 | 積算コンペアマッチレジスタ 2 | ASF10CMP02 | 00 _H | 8 | FFF2 2048 _H | 3 | 8 |
| ASF10 | 積算コンペアマッチレジスタ 3 | ASF10CMP03 | 00 _H | 8 | FFF2 204C _H | 3 | 8 |
| ASF10 | 積算コンペアマッチレジスタ 4 | ASF10CMP04 | 00 _H | 8 | FFF2 2050 _H | 3 | 8 |
| ASF10 | 積算コンペアマッチレジスタ 5 | ASF10CMP05 | 00 _H | 8 | FFF2 2054 _H | 3 | 8 |
| ASF10 | 積算コンペアマッチレジスタ 6 | ASF10CMP06 | 00 _H | 8 | FFF2 2058 _H | 3 | 8 |
| ASF10 | 積算コンペアマッチレジスタ 7 | ASF10CMP07 | 00 _H | 8 | FFF2 205C _H | 3 | 8 |
| ASF10 | 積算コンペアマッチレジスタ 8 | ASF10CMP08 | 00 _H | 8 | FFF2 2060 _H | 3 | 8 |
| ASF10 | 積算コンペアマッチレジスタ 9 | ASF10CMP09 | 00 _H | 8 | FFF2 2064 _H | 3 | 8 |
| ASF10 | 積算コンペアマッチレジスタ 10 | ASF10CMP10 | 00 _H | 8 | FFF2 2068 _H | 3 | 8 |
| ASF10 | 積算カウンタ制御レジスタ 0 | ASF10CTL0 | 0000 _H | 16 | FFF2 2080 _H | 3 | 8、16 |
| ASF10 | 積算カウンタ制御レジスタ 1 | ASF10CTL1 | 00 _H | 8 | FFF2 2084 _H | 3 | 8 |
| ASF10 | 積算カウントリードレジスタ | ASF10CNT | 00 _H | 8 | FFF2 208C _H | 3 | 8 |
| IFC | 浮動小数点データレジスタ 000 | FDR000 | 0000 0000 _H | 32 | FFF2 3000 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 001 | FDR001 | 0000 0000 _H | 32 | FFF2 3004 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 002 | FDR002 | 0000 0000 _H | 32 | FFF2 3008 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 003 | FDR003 | 0000 0000 _H | 32 | FFF2 300C _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 004 | FDR004 | 0000 0000 _H | 32 | FFF2 3010 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 005 | FDR005 | 0000 0000 _H | 32 | FFF2 3014 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 006 | FDR006 | 0000 0000 _H | 32 | FFF2 3018 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 007 | FDR007 | 0000 0000 _H | 32 | FFF2 301C _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 008 | FDR008 | 0000 0000 _H | 32 | FFF2 3020 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 009 | FDR009 | 0000 0000 _H | 32 | FFF2 3024 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 010 | FDR010 | 0000 0000 _H | 32 | FFF2 3028 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 011 | FDR011 | 0000 0000 _H | 32 | FFF2 302C _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 012 | FDR012 | 0000 0000 _H | 32 | FFF2 3030 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 013 | FDR013 | 0000 0000 _H | 32 | FFF2 3034 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 014 | FDR014 | 0000 0000 _H | 32 | FFF2 3038 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 015 | FDR015 | 0000 0000 _H | 32 | FFF2 303C _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 016 | FDR016 | 0000 0000 _H | 32 | FFF2 3040 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 017 | FDR017 | 0000 0000 _H | 32 | FFF2 3044 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 018 | FDR018 | 0000 0000 _H | 32 | FFF2 3048 _H | 3 | 32 |

(107/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------|----------|------------------------|------|------------------------|------------------|---------|
| IFC | 浮動小数点データレジスタ 019 | FDR019 | 0000 0000 _H | 32 | FFF2 304C _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 020 | FDR020 | 0000 0000 _H | 32 | FFF2 3050 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 021 | FDR021 | 0000 0000 _H | 32 | FFF2 3054 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 022 | FDR022 | 0000 0000 _H | 32 | FFF2 3058 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 023 | FDR023 | 0000 0000 _H | 32 | FFF2 305C _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 024 | FDR024 | 0000 0000 _H | 32 | FFF2 3060 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 025 | FDR025 | 0000 0000 _H | 32 | FFF2 3064 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 026 | FDR026 | 0000 0000 _H | 32 | FFF2 3068 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 027 | FDR027 | 0000 0000 _H | 32 | FFF2 306C _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 028 | FDR028 | 0000 0000 _H | 32 | FFF2 3070 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 029 | FDR029 | 0000 0000 _H | 32 | FFF2 3074 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 030 | FDR030 | 0000 0000 _H | 32 | FFF2 3078 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 031 | FDR031 | 0000 0000 _H | 32 | FFF2 307C _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 032 | FDR032 | 0000 0000 _H | 32 | FFF2 3080 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 033 | FDR033 | 0000 0000 _H | 32 | FFF2 3084 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 034 | FDR034 | 0000 0000 _H | 32 | FFF2 3088 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 035 | FDR035 | 0000 0000 _H | 32 | FFF2 308C _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 100 | FDR100 | 0000 0000 _H | 32 | FFF2 3100 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 101 | FDR101 | 0000 0000 _H | 32 | FFF2 3104 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 102 | FDR102 | 0000 0000 _H | 32 | FFF2 3108 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 103 | FDR103 | 0000 0000 _H | 32 | FFF2 310C _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 104 | FDR104 | 0000 0000 _H | 32 | FFF2 3110 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 105 | FDR105 | 0000 0000 _H | 32 | FFF2 3114 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 106 | FDR106 | 0000 0000 _H | 32 | FFF2 3118 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 107 | FDR107 | 0000 0000 _H | 32 | FFF2 311C _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 108 | FDR108 | 0000 0000 _H | 32 | FFF2 3120 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 109 | FDR109 | 0000 0000 _H | 32 | FFF2 3124 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 110 | FDR110 | 0000 0000 _H | 32 | FFF2 3128 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 111 | FDR111 | 0000 0000 _H | 32 | FFF2 312C _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 112 | FDR112 | 0000 0000 _H | 32 | FFF2 3130 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 113 | FDR113 | 0000 0000 _H | 32 | FFF2 3134 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 114 | FDR114 | 0000 0000 _H | 32 | FFF2 3138 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 115 | FDR115 | 0000 0000 _H | 32 | FFF2 313C _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 116 | FDR116 | 0000 0000 _H | 32 | FFF2 3140 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 117 | FDR117 | 0000 0000 _H | 32 | FFF2 3144 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 118 | FDR118 | 0000 0000 _H | 32 | FFF2 3148 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 119 | FDR119 | 0000 0000 _H | 32 | FFF2 314C _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 120 | FDR120 | 0000 0000 _H | 32 | FFF2 3150 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 121 | FDR121 | 0000 0000 _H | 32 | FFF2 3154 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 122 | FDR122 | 0000 0000 _H | 32 | FFF2 3158 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 123 | FDR123 | 0000 0000 _H | 32 | FFF2 315C _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 124 | FDR124 | 0000 0000 _H | 32 | FFF2 3160 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 125 | FDR125 | 0000 0000 _H | 32 | FFF2 3164 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 126 | FDR126 | 0000 0000 _H | 32 | FFF2 3168 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 127 | FDR127 | 0000 0000 _H | 32 | FFF2 316C _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 128 | FDR128 | 0000 0000 _H | 32 | FFF2 3170 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 129 | FDR129 | 0000 0000 _H | 32 | FFF2 3174 _H | 3 | 32 |

(108/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|---------------------|-----------------|------------------------|------|------------------------|------------------|---------|
| IFC | 浮動小数点データレジスタ 130 | FDR130 | 0000 0000 _H | 32 | FFF2 3178 _H | 3 | 32 |
| IFC | 浮動小数点データレジスタ 131 | FDR131 | 0000 0000 _H | 32 | FFF2 317C _H | 3 | 32 |
| DSADCC | AD 同期開始制御レジスタ | DSADCCADSYNSTCR | 00 _H | 8 | FFF3 0000 _H | 3 | 8 |
| DSADCC | オーバーサンプリングレート制御レジスタ | DSADCCCOSMPRCR | 00 _H | 8 | FFF3 0004 _H | 3 | 8 |
| DSADCC | 端子レベル自己診断制御レジスタ | DSADCCCTDCR | 00 _H | 8 | FFF3 0008 _H | 3 | 8 |
| DSADCC | 端子レベル自己診断レベル指定レジスタ | DSADCCCTDLVR | 0000 _H | 16 | FFF3 000C _H | 3 | 8、16 |
| DSADC0 | チャンネル制御レジスタ | DSADC0CCR | 0000 0000 _H | 32 | FFF3 1000 _H | 3 | 8、16、32 |
| DSADC0 | データ付帯情報レジスタ | DSADC0DIR | 0000 0000 _H | 32 | FFF3 1004 _H | 3 | 32 |
| DSADC0 | AD 開始制御レジスタ | DSADC0ADSTCR | 00 _H | 8 | FFF3 1008 _H | 3 | 8 |
| DSADC0 | AD 停止制御レジスタ | DSADC0ADENDCR | 00 _H | 8 | FFF3 100C _H | 3 | 8 |
| DSADC0 | AD 制御レジスタ | DSADC0ADCR | 00 _H | 8 | FFF3 1010 _H | 3 | 8 |
| DSADC0 | AD ステータスレジスタ | DSADC0ADSR | 00 _H | 8 | FFF3 1014 _H | 3 | 8 |
| DSADC0 | セーフティ制御レジスタ | DSADC0SFTCR | 00 _H | 8 | FFF3 1018 _H | 3 | 8 |
| DSADC0 | 上限/下限テーブルレジスタ | DSADC0ULLMTBR | 7FFF 8000 _H | 32 | FFF3 101C _H | 3 | 16、32 |
| DSADC0 | エラークリアレジスタ | DSADC0ECR | 00 _H | 8 | FFF3 1020 _H | 3 | 8 |
| DSADC0 | エラーレジスタ | DSADC0ER | 00 _H | 8 | FFF3 1024 _H | 3 | 8 |
| DSADC0 | デジタルフィルタ FIR 制御レジスタ | DSADC0FCR | 00 _H | 8 | FFF3 1028 _H | 3 | 8 |
| DSADC1 | チャンネル制御レジスタ | DSADC1CCR | 0000 0000 _H | 32 | FFF3 2000 _H | 3 | 8、16、32 |
| DSADC1 | データ付帯情報レジスタ | DSADC1DIR | 0000 0000 _H | 32 | FFF3 2004 _H | 3 | 32 |
| DSADC1 | AD 開始制御レジスタ | DSADC1ADSTCR | 00 _H | 8 | FFF3 2008 _H | 3 | 8 |
| DSADC1 | AD 停止制御レジスタ | DSADC1ADENDCR | 00 _H | 8 | FFF3 200C _H | 3 | 8 |
| DSADC1 | AD 制御レジスタ | DSADC1ADCR | 00 _H | 8 | FFF3 2010 _H | 3 | 8 |
| DSADC1 | AD ステータスレジスタ | DSADC1ADSR | 00 _H | 8 | FFF3 2014 _H | 3 | 8 |
| DSADC1 | セーフティ制御レジスタ | DSADC1SFTCR | 00 _H | 8 | FFF3 2018 _H | 3 | 8 |
| DSADC1 | 上限/下限テーブルレジスタ | DSADC1ULLMTBR | 7FFF 8000 _H | 32 | FFF3 201C _H | 3 | 16、32 |
| DSADC1 | エラークリアレジスタ | DSADC1ECR | 00 _H | 8 | FFF3 2020 _H | 3 | 8 |
| DSADC1 | エラーレジスタ | DSADC1ER | 00 _H | 8 | FFF3 2024 _H | 3 | 8 |
| DSADC1 | デジタルフィルタ FIR 制御レジスタ | DSADC1FCR | 00 _H | 8 | FFF3 2028 _H | 3 | 8 |
| DCRA0 | CRC インプットレジスタ | DCRA0CIN | 0000 0000 _H | 32 | FFF7 0000 _H | 3 | 32 |
| DCRA0 | CRC データレジスタ | DCRA0COUT | 0000 0000 _H | 32 | FFF7 0004 _H | 3 | 32 |
| DCRA0 | CRC 制御レジスタ | DCRA0CTL | 00 _H | 8 | FFF7 0020 _H | 3 | 8 |
| FLASH | FHVE3 コントロールレジスタ | FHVE3 | 0000 0000 _H | 32 | FFF8 2410 _H | 5 | 32 |
| SYS | リセット要因判定レジスタ | RESF | 0000 0000 _H | 32 | FFF8 2800 _H | 5 | 32 |
| SYS | リセット要因クリアレジスタ | RESFC | 0000 0000 _H | 32 | FFF8 2808 _H | 5 | 32 |
| SYS | CVM 検出フラグレジスタ | DETFLG | 0000 0000 _H | 32 | FFF8 2820 _H | 5 | 32 |
| SYS | CVM 検出フラグクリアレジスタ | DETFLGC | 0000 0000 _H | 32 | FFF8 2828 _H | 5 | 32 |
| SYS | EPT 制御レジスタ | EPTCNT | 0000 0000 _H | 32 | FFF8 2C0C _H | 5 | 32 |
| SYS | CVM 制御レジスタ | VSCTL | 0000 0000 _H | 32 | FFF8 2C10 _H | 5 | 32 |
| SYS | 上限電圧設定レジスタ | HDETCTL | 0000 0003 _H | 32 | FFF8 2C14 _H | 5 | 32 |
| SYS | 下限電圧設定レジスタ | LDETCTL | 0000 0003 _H | 32 | FFF8 2C18 _H | 5 | 32 |
| SYS | 検出信号フィルタ制御レジスタ | VSDETCTL | 0000 0000 _H | 32 | FFF8 2C1C _H | 5 | 32 |
| SYS | 保護コマンドレジスタ | PROT0PHCMD | 0000 0000 _H | 32 | FFF8 3000 _H | 5 | 32 |
| SYS | 保護コマンドステータスレジスタ | PROT0PS | 0000 0000 _H | 32 | FFF8 3004 _H | 5 | 32 |
| SYS | PLL0 ステータスレジスタ | PLL0CLKS | 0000 0001 _H | 32 | FFF8 8004 _H | 5 | 32 |
| SYS | PLL0 制御レジスタ 1 | PLL0CLKC1 | 0000 0000 _H | 32 | FFF8 8200 _H | 5 | 32 |
| CLMAC | CLMA セルフテストレジスタ | CLMATEST | 0000 0000 _H | 32 | FFF8 8204 _H | 5 | 32 |

(109/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------------|-----------------|------------------------|------|------------------------|------------------|---------|
| CLMAC | CLMA セルフテストステータスレジスタ | CLMATESTS | 0000 0000 _H | 32 | FFF8 8208 _H | 5 | 32 |
| CLMA0 | CLMA0 制御レジスタ 0 | CLMA0CTL0 | 00 _H | 8 | FFF8 8400 _H | 5 | 8 |
| CLMA0 | CLMA0 比較レジスタ L | CLMA0CMPL | 0001 _H | 16 | FFF8 8408 _H | 5 | 16 |
| CLMA0 | CLMA0 比較レジスタ H | CLMA0CMPH | 03FF _H | 16 | FFF8 840C _H | 5 | 16 |
| CLMA0 | CLMA0 保護命令レジスタ | CLMA0PCMD | 00 _H | 8 | FFF8 8410 _H | 5 | 8 |
| CLMA0 | CLMA0 保護ステータスレジスタ | CLMA0PS | 00 _H | 8 | FFF8 8414 _H | 5 | 8 |
| CLMA1 | CLMA1 制御レジスタ 0 | CLMA1CTL0 | 00 _H | 8 | FFF8 8420 _H | 5 | 8 |
| CLMA1 | CLMA1 比較レジスタ L | CLMA1CMPL | 0001 _H | 16 | FFF8 8428 _H | 5 | 16 |
| CLMA1 | CLMA1 比較レジスタ H | CLMA1CMPH | 03FF _H | 16 | FFF8 842C _H | 5 | 16 |
| CLMA1 | CLMA1 保護命令レジスタ | CLMA1PCMD | 00 _H | 8 | FFF8 8430 _H | 5 | 8 |
| CLMA1 | CLMA1 保護ステータスレジスタ | CLMA1PS | 00 _H | 8 | FFF8 8434 _H | 5 | 8 |
| CLMA2 | CLMA2 制御レジスタ 0 | CLMA2CTL0 | 00 _H | 8 | FFF8 8440 _H | 5 | 8 |
| CLMA2 | CLMA2 比較レジスタ L | CLMA2CMPL | 0001 _H | 16 | FFF8 8448 _H | 5 | 16 |
| CLMA2 | CLMA2 比較レジスタ H | CLMA2CMPH | 03FF _H | 16 | FFF8 844C _H | 5 | 16 |
| CLMA2 | CLMA2 保護命令レジスタ | CLMA2PCMD | 00 _H | 8 | FFF8 8450 _H | 5 | 8 |
| CLMA2 | CLMA2 保護ステータスレジスタ | CLMA2PS | 00 _H | 8 | FFF8 8454 _H | 5 | 8 |
| SYS | クロック 0 分周レジスタ | CLKD0DIV | 0000 0004 _H | 32 | FFF8 8800 _H | 5 | 32 |
| SYS | クロック 0 分周ステータスレジスタ | CLKD0STAT | 0000 0001 _H | 32 | FFF8 8804 _H | 5 | 32 |
| SYS | クロック 0 選択制御レジスタ | CKSC0CTL | 0000 0020 _H | 32 | FFF8 9000 _H | 5 | 32 |
| SYS | クロック 0 選択アクティブレジスタ | CKSC0ACT | 0000 0020 _H | 32 | FFF8 9008 _H | 5 | 32 |
| SYS | クロック 1 選択制御レジスタ | CKSC1CTL | 0000 0021 _H | 32 | FFF8 9040 _H | 5 | 32 |
| SYS | クロック 1 選択アクティブレジスタ | CKSC1ACT | 0000 0021 _H | 32 | FFF8 9048 _H | 5 | 32 |
| FLASH | FHVE15 コントロールレジスタ | FHVE15 | 0000 0000 _H | 32 | FFF8 A430 _H | 5 | 32 |
| SYS | パワーオンクリアフラグレジスタ | POF | 0000 000X _H | 32 | FFF8 AC10 _H | 5 | 32 |
| SYS | パワーオンクリアフラグクリアレジスタ | POFC | 0000 0000 _H | 32 | FFF8 AC14 _H | 5 | 32 |
| SYS | ソフトウェアリセット要求レジスタ | SWRESA | 0000 0000 _H | 32 | FFF8 AC18 _H | 5 | 32 |
| SYS | プロテクト 1 コマンドレジスタ | PROT1PHCMD | 0000 0000 _H | 32 | FFF8 B000 _H | 5 | 32 |
| SYS | プロテクト 1 ステータスレジスタ | PROT1PS | 0000 0000 _H | 32 | FFF8 B004 _H | 5 | 32 |
| PBG | PBG2A プロテクションレジスタ 0 | FSGD2ADPROT0 | 07FF FFFF _H | 32 | FFF9 4000 _H | 2 | 8、16、32 |
| PBG | PBG2A プロテクションレジスタ 1 | FSGD2ADPROT1 | 07FF FFFF _H | 32 | FFF9 4004 _H | 2 | 8、16、32 |
| PBG | PBG2A プロテクションレジスタ 2 | FSGD2ADPROT2 | 07FF FFFF _H | 32 | FFF9 4008 _H | 2 | 8、16、32 |
| PBG | PBG2A プロテクションレジスタ 3 | FSGD2ADPROT3 | 07FF FFFF _H | 32 | FFF9 400C _H | 2 | 8、16、32 |
| PBG | PBG2A プロテクションレジスタ 4 | FSGD2ADPROT4 | 07FF FFFF _H | 32 | FFF9 4010 _H | 2 | 8、16、32 |
| PBG | PBG2A プロテクションレジスタ 5 | FSGD2ADPROT5 | 07FF FFFF _H | 32 | FFF9 4014 _H | 2 | 8、16、32 |
| PBG | PBG2A エラーコントロールレジスタ | ERRSLV2ACTL | 0000 0000 _H | 32 | FFF9 4200 _H | 2 | 8、16、32 |
| PBG | PBG2A エラーステータスレジスタ | ERRSLV2ASTAT | 0000 0000 _H | 32 | FFF9 4204 _H | 2 | 8、16、32 |
| PBG | PBG2A エラーアドレスレジスタ | ERRSLV2AADDR | 0000 0000 _H | 32 | FFF9 4208 _H | 2 | 32 |
| PBG | PBG2A エラータイプレジスタ | ERRSLV2ATYPE | 0000 0000 _H | 32 | FFF9 420C _H | 2 | 16、32 |
| APDP | P-Bus データパリティステータスレジスタ CS0A | APDPERRST_CS0A | 0000 0000 _H | 32 | FFF9 6000 _H | 2 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ CS0A | APDPERRSTC_CS0A | 0000 0000 _H | 32 | FFF9 6004 _H | 2 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ CS0A | APDPPTMC_CS0A | 0000 0000 _H | 32 | FFF9 6008 _H | 2 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ CS0A | APDPERRADR_CS0A | 0000 0000 _H | 32 | FFF9 600C _H | 2 | 32 |
| APDP | P-Bus データパリティステータスレジスタ CS0B | APDPERRST_CS0B | 0000 0000 _H | 32 | FFF9 6020 _H | 2 | 8、16、32 |

(110/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------------|-----------------|------------------------|------|------------------------|------------------|---------|
| APDP | P-Bus データパリティステータスクリアレジスタ CS0B | APDPERRSTC_CS0B | 0000 0000 _H | 32 | FFF9 6024 _H | 2 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ CS0B | APDPTMC_CS0B | 0000 0000 _H | 32 | FFF9 6028 _H | 2 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ CS0B | APDPERRADR_CS0B | 0000 0000 _H | 32 | FFF9 602C _H | 2 | 32 |
| APDP | P-Bus データパリティステータスレジスタ CS1A | APDPERRST_CS1A | 0000 0000 _H | 32 | FFF9 6040 _H | 2 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ CS1A | APDPERRSTC_CS1A | 0000 0000 _H | 32 | FFF9 6044 _H | 2 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ CS1A | APDPTMC_CS1A | 0000 0000 _H | 32 | FFF9 6048 _H | 2 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ CS1A | APDPERRADR_CS1A | 0000 0000 _H | 32 | FFF9 604C _H | 2 | 32 |
| APDP | P-Bus データパリティステータスレジスタ CS1B | APDPERRST_CS1B | 0000 0000 _H | 32 | FFF9 6060 _H | 2 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ CS1B | APDPERRSTC_CS1B | 0000 0000 _H | 32 | FFF9 6064 _H | 2 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ CS1B | APDPTMC_CS1B | 0000 0000 _H | 32 | FFF9 6068 _H | 2 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ CS1B | APDPERRADR_CS1B | 0000 0000 _H | 32 | FFF9 606C _H | 2 | 32 |
| APDP | P-Bus データパリティステータスレジスタ CS2A | APDPERRST_CS2A | 0000 0000 _H | 32 | FFF9 6080 _H | 2 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ CS2A | APDPERRSTC_CS2A | 0000 0000 _H | 32 | FFF9 6084 _H | 2 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ CS2A | APDPTMC_CS2A | 0000 0000 _H | 32 | FFF9 6088 _H | 2 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ CS2A | APDPERRADR_CS2A | 0000 0000 _H | 32 | FFF9 608C _H | 2 | 32 |
| APDP | P-Bus データパリティステータスレジスタ CS2B | APDPERRST_CS2B | 0000 0000 _H | 32 | FFF9 60A0 _H | 2 | 8、16、32 |
| APDP | P-Bus データパリティステータスクリアレジスタ CS2B | APDPERRSTC_CS2B | 0000 0000 _H | 32 | FFF9 60A4 _H | 2 | 8、16、32 |
| APDP | P-Bus データパリティテストモードコントロールレジスタ CS2B | APDPTMC_CS2B | 0000 0000 _H | 32 | FFF9 60A8 _H | 2 | 16、32 |
| APDP | P-Bus データパリティエラーアドレスレジスタ CS2B | APDPERRADR_CS2B | 0000 0000 _H | 32 | FFF9 60AC _H | 2 | 32 |
| INTIF | 周辺割り込みステータスレジスタ 0 | PINT0 | 0000 0000 _H | 32 | FFF9 8000 _H | 2 | 32 |
| INTIF | 周辺割り込みステータスレジスタ 1 | PINT1 | 0000 0000 _H | 32 | FFF9 8004 _H | 2 | 32 |
| INTIF | 周辺割り込みステータスレジスタ 2 | PINT2 | 0000 0000 _H | 32 | FFF9 8008 _H | 2 | 32 |
| INTIF | 周辺割り込みステータスレジスタ 3 | PINT3 | 0000 0000 _H | 32 | FFF9 800C _H | 2 | 32 |
| INTIF | 周辺割り込みステータスレジスタ 4 | PINT4 | 0000 0000 _H | 32 | FFF9 8010 _H | 2 | 32 |
| INTIF | 周辺割り込みステータスレジスタ 5 | PINT5 | 0000 0000 _H | 32 | FFF9 8014 _H | 2 | 32 |
| INTIF | 周辺割り込みステータスレジスタ 6 | PINT6 | 0000 0000 _H | 32 | FFF9 8018 _H | 2 | 32 |
| INTIF | 周辺割り込みステータスレジスタ 7 | PINT7 | 0000 0000 _H | 32 | FFF9 801C _H | 2 | 32 |
| INTIF | 周辺割り込みステータスクリアレジスタ 0 | PINTCLR0 | 0000 0000 _H | 32 | FFF9 8020 _H | 2 | 32 |
| INTIF | 周辺割り込みステータスクリアレジスタ 1 | PINTCLR1 | 0000 0000 _H | 32 | FFF9 8024 _H | 2 | 32 |
| INTIF | 周辺割り込みステータスクリアレジスタ 2 | PINTCLR2 | 0000 0000 _H | 32 | FFF9 8028 _H | 2 | 32 |
| INTIF | 周辺割り込みステータスクリアレジスタ 3 | PINTCLR3 | 0000 0000 _H | 32 | FFF9 802C _H | 2 | 32 |
| INTIF | 周辺割り込みステータスクリアレジスタ 4 | PINTCLR4 | 0000 0000 _H | 32 | FFF9 8030 _H | 2 | 32 |

(111/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-------------------------|-----------|--------------------------------------|------|------------------------|------------------|---------|
| INTIF | 周辺割り込みステータスクリアレジスタ 5 | PINTCLR5 | 0000 0000 _H | 32 | FFF9 8034 _H | 2 | 32 |
| INTIF | 周辺割り込みステータスクリアレジスタ 6 | PINTCLR6 | 0000 0000 _H | 32 | FFF9 8038 _H | 2 | 32 |
| INTIF | 周辺割り込みステータスクリアレジスタ 7 | PINTCLR7 | 0000 0000 _H | 32 | FFF9 803C _H | 2 | 32 |
| INTG | タイマインタラプトマスクイネーブルレジスタ | TIMER | 00 _H | 8 | FFF9 8040 _H | 2 | 8 |
| IPG | 周辺装置保護違反アクセス情報保存レジスタ | IPGECRUM | 不定 (保持) | 16 | FFFE E002 _H | CPU | 16 |
| IPG | 周辺装置保護違反アクセスアドレス保存レジスタ | IPGADRUM | 不定 (保持) | 32 | FFFE E008 _H | CPU | 32 |
| IPG | 周辺装置保護イネーブルレジスタ | IPGENUM | 00 _H | 8 | FFFE E00D _H | CPU | 8 |
| IPG | 周辺装置保護設定レジスタ 0 | IPGPMTUM0 | 00 _H | 8 | FFFE E020 _H | CPU | 8 |
| IPG | 周辺装置保護設定レジスタ 1 | IPGPMTUM1 | 00 _H | 8 | FFFE E021 _H | CPU | 8 |
| IPG | 周辺装置保護設定レジスタ 2 | IPGPMTUM2 | 00 _H | 8 | FFFE E022 _H | CPU | 8 |
| IPG | 周辺装置保護設定レジスタ 3 | IPGPMTUM3 | 00 _H | 8 | FFFE E023 _H | CPU | 8 |
| IPG | 周辺装置保護設定レジスタ 4 | IPGPMTUM4 | 00 _H | 8 | FFFE E024 _H | CPU | 8 |
| PEG | PE ガード SPID マスタ判定制御レジスタ | PEGSP | 0000 _H | 16 | FFFE E60C _H | CPU | 8、16 |
| PEG | PE ガード領域 0 マスク設定レジスタ | PEGG0MK | 0000 0000 _H | 32 | FFFE E680 _H | CPU | 8、16、32 |
| PEG | PE ガード領域 0 ベース設定レジスタ | PEGG0BA | 0000 0000 _H | 32 | FFFE E684 _H | CPU | 8、16、32 |
| PEG | PE ガード領域 1 マスク設定レジスタ | PEGG1MK | 0000 0000 _H | 32 | FFFE E690 _H | CPU | 8、16、32 |
| PEG | PE ガード領域 1 ベース設定レジスタ | PEGG1BA | 0000 0000 _H | 32 | FFFE E694 _H | CPU | 8、16、32 |
| PEG | PE ガード領域 2 マスク設定レジスタ | PEGG2MK | 0000 0000 _H | 32 | FFFE E6A0 _H | CPU | 8、16、32 |
| PEG | PE ガード領域 2 ベース設定レジスタ | PEGG2BA | 0000 0000 _H | 32 | FFFE E6A4 _H | CPU | 8、16、32 |
| PEG | PE ガード領域 3 マスク設定レジスタ | PEGG3MK | 0000 0000 _H | 32 | FFFE E6B0 _H | CPU | 8、16、32 |
| PEG | PE ガード領域 3 ベース設定レジスタ | PEGG3BA | 0000 0000 _H | 32 | FFFE E6B4 _H | CPU | 8、16、32 |
| SEG | エラー通知制御レジスタ | SEGCONT | C774 _H | 16 | FFFE E980 _H | CPU | 16 |
| SEG | エラー発生保持レジスタ | SEGFLAG | 0000 _H | 16 | FFFE E982 _H | CPU | 16 |
| SEG | エラー要因保持レジスタ (アドレス) | SEGADDR | 不定 (保持) | 32 | FFFE E988 _H | CPU | 16、32 |
| PCU | システムエラーコントロールレジスタ | SEG_CONT | 0000 _H | 16 | FFFE E9F0 _H | CPU | 8、16 |
| PCU | システムエラーフラグレジスタ | SEG_FLAG | 0000 _H | 16 | FFFE E9F2 _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 0 | EIC0 | 008F _H /0087 _H | 16 | FFFE EA00 _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 1 | EIC1 | 008F _H /0087 _H | 16 | FFFE EA02 _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 2 | EIC2 | 008F _H /0087 _H | 16 | FFFE EA04 _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 3 | EIC3 | 008F _H /0087 _H | 16 | FFFE EA06 _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 8 | EIC8 | 008F _H /0087 _H | 16 | FFFE EA10 _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 9 | EIC9 | 808F _H /8087 _H | 16 | FFFE EA12 _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 10 | EIC10 | 808F _H /8087 _H | 16 | FFFE EA14 _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 11 | EIC11 | 808F _H /8087 _H | 16 | FFFE EA16 _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 12 | EIC12 | 808F _H /8087 _H | 16 | FFFE EA18 _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 13 | EIC13 | 808F _H /8087 _H | 16 | FFFE EA1A _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 14 | EIC14 | 808F _H /8087 _H | 16 | FFFE EA1C _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 15 | EIC15 | 808F _H /8087 _H | 16 | FFFE EA1E _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 16 | EIC16 | 808F _H /8087 _H | 16 | FFFE EA20 _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 17 | EIC17 | 808F _H /8087 _H | 16 | FFFE EA22 _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 18 | EIC18 | 808F _H /8087 _H | 16 | FFFE EA24 _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 19 | EIC19 | 808F _H /8087 _H | 16 | FFFE EA26 _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 20 | EIC20 | 808F _H /8087 _H | 16 | FFFE EA28 _H | CPU | 8、16 |

(112/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------|----------|--------------------------------------|------|------------------------|------------------|---------|
| INTC1 | EI レベル割り込み制御レジスタ 25 | EIC25 | 008F _H /0087 _H | 16 | FFFE EA32 _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 26 | EIC26 | 008F _H /0087 _H | 16 | FFFE EA34 _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 27 | EIC27 | 008F _H /0087 _H | 16 | FFFE EA36 _H | CPU | 8、16 |
| INTC1 | EI レベル割り込み制御レジスタ 29 | EIC29 | 008F _H /0087 _H | 16 | FFFE EA3A _H | CPU | 8、16 |
| INTC1 | EI レベル割り込みマスクレジスタ 0 | IMR0 | FFFF FFFF _H | 32 | FFFE EAF0 _H | CPU | 8、16、32 |
| INTC1 | EI レベル割り込みバインドレジスタ 0 | EIBD0 | PEID ビットと同じ値 | 32 | FFFE EB00 _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 1 | EIBD1 | PEID ビットと同じ値 | 32 | FFFE EB04 _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 2 | EIBD2 | PEID ビットと同じ値 | 32 | FFFE EB08 _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 3 | EIBD3 | PEID ビットと同じ値 | 32 | FFFE EB0C _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 8 | EIBD8 | PEID ビットと同じ値 | 32 | FFFE EB20 _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 9 | EIBD9 | PEID ビットと同じ値 | 32 | FFFE EB24 _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 10 | EIBD10 | PEID ビットと同じ値 | 32 | FFFE EB28 _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 11 | EIBD11 | PEID ビットと同じ値 | 32 | FFFE EB2C _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 12 | EIBD12 | PEID ビットと同じ値 | 32 | FFFE EB30 _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 13 | EIBD13 | PEID ビットと同じ値 | 32 | FFFE EB34 _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 14 | EIBD14 | PEID ビットと同じ値 | 32 | FFFE EB38 _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 15 | EIBD15 | PEID ビットと同じ値 | 32 | FFFE EB3C _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 16 | EIBD16 | PEID ビットと同じ値 | 32 | FFFE EB40 _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 17 | EIBD17 | PEID ビットと同じ値 | 32 | FFFE EB44 _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 18 | EIBD18 | PEID ビットと同じ値 | 32 | FFFE EB48 _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 19 | EIBD19 | PEID ビットと同じ値 | 32 | FFFE EB4C _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 20 | EIBD20 | PEID ビットと同じ値 | 32 | FFFE EB50 _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 25 | EIBD25 | PEID ビットと同じ値 | 32 | FFFE EB64 _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 26 | EIBD26 | PEID ビットと同じ値 | 32 | FFFE EB68 _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 27 | EIBD27 | PEID ビットと同じ値 | 32 | FFFE EB6C _H | CPU | 32 |
| INTC1 | EI レベル割り込みバインドレジスタ 29 | EIBD29 | PEID ビットと同じ値 | 32 | FFFE EB74 _H | CPU | 32 |
| MEV | 排他制御専用レジスタ 0 | G0MEV0 | 0000 0000 _H | 32 | FFFE EC00 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 1 | G0MEV1 | 0000 0000 _H | 32 | FFFE EC04 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 2 | G0MEV2 | 0000 0000 _H | 32 | FFFE EC08 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 3 | G0MEV3 | 0000 0000 _H | 32 | FFFE EC0C _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 4 | G0MEV4 | 0000 0000 _H | 32 | FFFE EC10 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 5 | G0MEV5 | 0000 0000 _H | 32 | FFFE EC14 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 6 | G0MEV6 | 0000 0000 _H | 32 | FFFE EC18 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 7 | G0MEV7 | 0000 0000 _H | 32 | FFFE EC1C _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 8 | G0MEV8 | 0000 0000 _H | 32 | FFFE EC20 _H | CPU | 8、16、32 |

(113/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|----------|----------------------------|--------------|------------------------|------|------------------------|------------------|---------|
| MEV | 排他制御専用レジスタ 9 | G0MEV9 | 0000 0000 _H | 32 | FFFE EC24 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 10 | G0MEV10 | 0000 0000 _H | 32 | FFFE EC28 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 11 | G0MEV11 | 0000 0000 _H | 32 | FFFE EC2C _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 12 | G0MEV12 | 0000 0000 _H | 32 | FFFE EC30 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 13 | G0MEV13 | 0000 0000 _H | 32 | FFFE EC34 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 14 | G0MEV14 | 0000 0000 _H | 32 | FFFE EC38 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 15 | G0MEV15 | 0000 0000 _H | 32 | FFFE EC3C _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 16 | G0MEV16 | 0000 0000 _H | 32 | FFFE EC40 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 17 | G0MEV17 | 0000 0000 _H | 32 | FFFE EC44 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 18 | G0MEV18 | 0000 0000 _H | 32 | FFFE EC48 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 19 | G0MEV19 | 0000 0000 _H | 32 | FFFE EC4C _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 20 | G0MEV20 | 0000 0000 _H | 32 | FFFE EC50 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 21 | G0MEV21 | 0000 0000 _H | 32 | FFFE EC54 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 22 | G0MEV22 | 0000 0000 _H | 32 | FFFE EC58 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 23 | G0MEV23 | 0000 0000 _H | 32 | FFFE EC5C _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 24 | G0MEV24 | 0000 0000 _H | 32 | FFFE EC60 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 25 | G0MEV25 | 0000 0000 _H | 32 | FFFE EC64 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 26 | G0MEV26 | 0000 0000 _H | 32 | FFFE EC68 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 27 | G0MEV27 | 0000 0000 _H | 32 | FFFE EC6C _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 28 | G0MEV28 | 0000 0000 _H | 32 | FFFE EC70 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 29 | G0MEV29 | 0000 0000 _H | 32 | FFFE EC74 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 30 | G0MEV30 | 0000 0000 _H | 32 | FFFE EC78 _H | CPU | 8、16、32 |
| MEV | 排他制御専用レジスタ 31 | G0MEV31 | 0000 0000 _H | 32 | FFFE EC7C _H | CPU | 8、16、32 |
| IPIRSS | PE 間割り込みレジスタ 0 | IPIR_CH0 | 0000 0000 _H | 32 | FFFE EC80 _H | CPU | 8、16、32 |
| IPIRSS | PE 間割り込みレジスタ 1 | IPIR_CH1 | 0000 0000 _H | 32 | FFFE EC84 _H | CPU | 8、16、32 |
| IPIRSS | PE 間割り込みレジスタ 2 | IPIR_CH2 | 0000 0000 _H | 32 | FFFE EC88 _H | CPU | 8、16、32 |
| IPIRSS | PE 間割り込みレジスタ 3 | IPIR_CH3 | 0000 0000 _H | 32 | FFFE EC8C _H | CPU | 8、16、32 |
| TESTCOMP | 比較器テストレジスタ 0 | TESTCOMPREG0 | 0000 0000 _H | 32 | FFFE ED00 _H | CPU | 8、16、32 |
| TESTCOMP | 比較器テストレジスタ 1 | TESTCOMPREG1 | 0000 0000 _H | 32 | FFFE ED04 _H | CPU | 8、16、32 |
| CFU | キャッシュ・クリア操作レジスタ | TM_CC | 0000 0000 _H | 32 | FFFF 7808 _H | 0 | 32 |
| CFU | ERAM バンク 0 マッピング許可レジスタ | TM_ME | 0000 0000 _H | 32 | FFFF 7810 _H | 0 | 32 |
| CFU | ERAM バンク 0 マッピング・ステータスレジスタ | TM_MS | 0000 0000 _H | 32 | FFFF 7814 _H | 0 | 32 |
| CFU | ERAM バンク 0 マッピング・サイズ設定レジスタ | TM_BMC0 | 0000 0000 _H | 32 | FFFF 7830 _H | 0 | 32 |
| CFU | ERAM バンク 0 マッピング・アドレスレジスタ | TM_MA0 | 0000 0000 _H | 32 | FFFF 7840 _H | 0 | 32 |
| DMASS | DMA 制御レジスタ | DMACTL | 0000 0000 _H | 32 | FFFF 8000 _H | 0 | 32 |
| DMASS | DTS 制御レジスタ 1 | DTSCCTL1 | 0000 0000 _H | 32 | FFFF 8010 _H | 0 | 32 |
| DMASS | DTS 制御レジスタ 2 | DTSCCTL2 | 0000 0000 _H | 32 | FFFF 8014 _H | 0 | 32 |
| DMASS | DTS 状態レジスタ | DTSSTS | 0000 0000 _H | 32 | FFFF 8018 _H | 0 | 32 |
| DMASS | DMAC エラーレジスタ | DMACER | 0000 0000 _H | 32 | FFFF 8020 _H | 0 | 32 |
| DMASS | DTS エラーレジスタ 1 | DTSER1 | 0000 0000 _H | 32 | FFFF 8024 _H | 0 | 32 |
| DMASS | DTS エラーレジスタ 2 | DTSER2 | 0000 0000 _H | 32 | FFFF 8028 _H | 0 | 32 |
| DMASS | DTS エラークリアレジスタ | DTSERC | 0000 0000 _H | 32 | FFFF 802C _H | 0 | 32 |
| DMASS | DMAC0 レジスタアクセス保護違反レジスタ | DM0CMV | 0000 0000 _H | 32 | FFFF 8030 _H | 0 | 32 |

(114/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS レジスタアクセス保護違反レジスタ | DTSCMV | 0000 0000 _H | 32 | FFFF 8038 _H | 0 | 32 |
| DMASS | レジスタアクセス保護違反クリアレジスタ | CMVC | 0000 0000 _H | 32 | FFFF 803C _H | 0 | 32 |
| DMASS | DTS チャネル優先度設定レジスタ 0 | DTSPR0 | 0000 0000 _H | 32 | FFFF 8060 _H | 0 | 32 |
| DMASS | DTS チャネル優先度設定レジスタ 1 | DTSPR1 | 0000 0000 _H | 32 | FFFF 8064 _H | 0 | 32 |
| DMASS | DTS チャネル優先度設定レジスタ 2 | DTSPR2 | 0000 0000 _H | 32 | FFFF 8068 _H | 0 | 32 |
| DMASS | DTS チャネル優先度設定レジスタ 3 | DTSPR3 | 0000 0000 _H | 32 | FFFF 806C _H | 0 | 32 |
| DMASS | DTS チャネル優先度設定レジスタ 4 | DTSPR4 | 0000 0000 _H | 32 | FFFF 8070 _H | 0 | 32 |
| DMASS | DTS チャネル優先度設定レジスタ 5 | DTSPR5 | 0000 0000 _H | 32 | FFFF 8074 _H | 0 | 32 |
| DMASS | DTS チャネル優先度設定レジスタ 6 | DTSPR6 | 0000 0000 _H | 32 | FFFF 8078 _H | 0 | 32 |
| DMASS | DTS チャネル優先度設定レジスタ 7 | DTSPR7 | 0000 0000 _H | 32 | FFFF 807C _H | 0 | 32 |
| DMASS | DTSRAM ECC コントロールレジスタ | DTRECCTL | 0000 0000 _H | 32 | FFFF 8080 _H | 0 | 32 |
| DMASS | DTSRAM エラー通知コントロールレジスタ | DTRERINT | 0000 0002 _H | 32 | FFFF 8084 _H | 0 | 32 |
| DMASS | DTSRAM テストコントロールレジスタ | DTRTSCTL | 0000 0000 _H | 32 | FFFF 8094 _H | 0 | 32 |
| DMASS | DTSRAM テスト書き込みデータレジスタ | DTRTWDAT | 0000 0000 _H | 32 | FFFF 8098 _H | 0 | 32 |
| DMASS | DTSRAM テスト読み出しデータレジスタ | DTRTRDAT | 0000 0000 _H | 32 | FFFF 809C _H | 0 | 32 |
| DMASS | DMAC0 チャネル 0 チャネルマスタ設定レジスタ | DM00CM | 0000 0010 _H | 32 | FFFF 8100 _H | 0 | 32 |
| DMASS | DMAC0 チャネル 1 チャネルマスタ設定レジスタ | DM01CM | 0000 0010 _H | 32 | FFFF 8104 _H | 0 | 32 |
| DMASS | DMAC0 チャネル 2 チャネルマスタ設定レジスタ | DM02CM | 0000 0010 _H | 32 | FFFF 8108 _H | 0 | 32 |
| DMASS | DMAC0 チャネル 3 チャネルマスタ設定レジスタ | DM03CM | 0000 0010 _H | 32 | FFFF 810C _H | 0 | 32 |
| DMASS | DMAC0 チャネル 4 チャネルマスタ設定レジスタ | DM04CM | 0000 0010 _H | 32 | FFFF 8110 _H | 0 | 32 |
| DMASS | DMAC0 チャネル 5 チャネルマスタ設定レジスタ | DM05CM | 0000 0010 _H | 32 | FFFF 8114 _H | 0 | 32 |
| DMASS | DMAC0 チャネル 6 チャネルマスタ設定レジスタ | DM06CM | 0000 0010 _H | 32 | FFFF 8118 _H | 0 | 32 |
| DMASS | DMAC0 チャネル 7 チャネルマスタ設定レジスタ | DM07CM | 0000 0010 _H | 32 | FFFF 811C _H | 0 | 32 |
| DMASS | DTS チャネル 000 チャネルマスタ設定レジスタ | DTS000CM | XXXX XXXX _H | 32 | FFFF 8200 _H | 0 | 32 |
| DMASS | DTS チャネル 001 チャネルマスタ設定レジスタ | DTS001CM | XXXX XXXX _H | 32 | FFFF 8204 _H | 0 | 32 |
| DMASS | DTS チャネル 002 チャネルマスタ設定レジスタ | DTS002CM | XXXX XXXX _H | 32 | FFFF 8208 _H | 0 | 32 |
| DMASS | DTS チャネル 003 チャネルマスタ設定レジスタ | DTS003CM | XXXX XXXX _H | 32 | FFFF 820C _H | 0 | 32 |
| DMASS | DTS チャネル 004 チャネルマスタ設定レジスタ | DTS004CM | XXXX XXXX _H | 32 | FFFF 8210 _H | 0 | 32 |
| DMASS | DTS チャネル 005 チャネルマスタ設定レジスタ | DTS005CM | XXXX XXXX _H | 32 | FFFF 8214 _H | 0 | 32 |
| DMASS | DTS チャネル 006 チャネルマスタ設定レジスタ | DTS006CM | XXXX XXXX _H | 32 | FFFF 8218 _H | 0 | 32 |
| DMASS | DTS チャネル 007 チャネルマスタ設定レジスタ | DTS007CM | XXXX XXXX _H | 32 | FFFF 821C _H | 0 | 32 |
| DMASS | DTS チャネル 008 チャネルマスタ設定レジスタ | DTS008CM | XXXX XXXX _H | 32 | FFFF 8220 _H | 0 | 32 |
| DMASS | DTS チャネル 009 チャネルマスタ設定レジスタ | DTS009CM | XXXX XXXX _H | 32 | FFFF 8224 _H | 0 | 32 |

(115/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS チャンネル 010 チャンネルマスタ設定レジスタ | DTS010CM | XXXX XXXX _H | 32 | FFFF 8228 _H | 0 | 32 |
| DMASS | DTS チャンネル 011 チャンネルマスタ設定レジスタ | DTS011CM | XXXX XXXX _H | 32 | FFFF 822C _H | 0 | 32 |
| DMASS | DTS チャンネル 012 チャンネルマスタ設定レジスタ | DTS012CM | XXXX XXXX _H | 32 | FFFF 8230 _H | 0 | 32 |
| DMASS | DTS チャンネル 013 チャンネルマスタ設定レジスタ | DTS013CM | XXXX XXXX _H | 32 | FFFF 8234 _H | 0 | 32 |
| DMASS | DTS チャンネル 014 チャンネルマスタ設定レジスタ | DTS014CM | XXXX XXXX _H | 32 | FFFF 8238 _H | 0 | 32 |
| DMASS | DTS チャンネル 015 チャンネルマスタ設定レジスタ | DTS015CM | XXXX XXXX _H | 32 | FFFF 823C _H | 0 | 32 |
| DMASS | DTS チャンネル 016 チャンネルマスタ設定レジスタ | DTS016CM | XXXX XXXX _H | 32 | FFFF 8240 _H | 0 | 32 |
| DMASS | DTS チャンネル 017 チャンネルマスタ設定レジスタ | DTS017CM | XXXX XXXX _H | 32 | FFFF 8244 _H | 0 | 32 |
| DMASS | DTS チャンネル 018 チャンネルマスタ設定レジスタ | DTS018CM | XXXX XXXX _H | 32 | FFFF 8248 _H | 0 | 32 |
| DMASS | DTS チャンネル 019 チャンネルマスタ設定レジスタ | DTS019CM | XXXX XXXX _H | 32 | FFFF 824C _H | 0 | 32 |
| DMASS | DTS チャンネル 020 チャンネルマスタ設定レジスタ | DTS020CM | XXXX XXXX _H | 32 | FFFF 8250 _H | 0 | 32 |
| DMASS | DTS チャンネル 021 チャンネルマスタ設定レジスタ | DTS021CM | XXXX XXXX _H | 32 | FFFF 8254 _H | 0 | 32 |
| DMASS | DTS チャンネル 022 チャンネルマスタ設定レジスタ | DTS022CM | XXXX XXXX _H | 32 | FFFF 8258 _H | 0 | 32 |
| DMASS | DTS チャンネル 023 チャンネルマスタ設定レジスタ | DTS023CM | XXXX XXXX _H | 32 | FFFF 825C _H | 0 | 32 |
| DMASS | DTS チャンネル 024 チャンネルマスタ設定レジスタ | DTS024CM | XXXX XXXX _H | 32 | FFFF 8260 _H | 0 | 32 |
| DMASS | DTS チャンネル 025 チャンネルマスタ設定レジスタ | DTS025CM | XXXX XXXX _H | 32 | FFFF 8264 _H | 0 | 32 |
| DMASS | DTS チャンネル 026 チャンネルマスタ設定レジスタ | DTS026CM | XXXX XXXX _H | 32 | FFFF 8268 _H | 0 | 32 |
| DMASS | DTS チャンネル 027 チャンネルマスタ設定レジスタ | DTS027CM | XXXX XXXX _H | 32 | FFFF 826C _H | 0 | 32 |
| DMASS | DTS チャンネル 028 チャンネルマスタ設定レジスタ | DTS028CM | XXXX XXXX _H | 32 | FFFF 8270 _H | 0 | 32 |
| DMASS | DTS チャンネル 029 チャンネルマスタ設定レジスタ | DTS029CM | XXXX XXXX _H | 32 | FFFF 8274 _H | 0 | 32 |
| DMASS | DTS チャンネル 030 チャンネルマスタ設定レジスタ | DTS030CM | XXXX XXXX _H | 32 | FFFF 8278 _H | 0 | 32 |
| DMASS | DTS チャンネル 031 チャンネルマスタ設定レジスタ | DTS031CM | XXXX XXXX _H | 32 | FFFF 827C _H | 0 | 32 |
| DMASS | DTS チャンネル 032 チャンネルマスタ設定レジスタ | DTS032CM | XXXX XXXX _H | 32 | FFFF 8280 _H | 0 | 32 |
| DMASS | DTS チャンネル 033 チャンネルマスタ設定レジスタ | DTS033CM | XXXX XXXX _H | 32 | FFFF 8284 _H | 0 | 32 |
| DMASS | DTS チャンネル 034 チャンネルマスタ設定レジスタ | DTS034CM | XXXX XXXX _H | 32 | FFFF 8288 _H | 0 | 32 |
| DMASS | DTS チャンネル 035 チャンネルマスタ設定レジスタ | DTS035CM | XXXX XXXX _H | 32 | FFFF 828C _H | 0 | 32 |
| DMASS | DTS チャンネル 036 チャンネルマスタ設定レジスタ | DTS036CM | XXXX XXXX _H | 32 | FFFF 8290 _H | 0 | 32 |
| DMASS | DTS チャンネル 037 チャンネルマスタ設定レジスタ | DTS037CM | XXXX XXXX _H | 32 | FFFF 8294 _H | 0 | 32 |
| DMASS | DTS チャンネル 038 チャンネルマスタ設定レジスタ | DTS038CM | XXXX XXXX _H | 32 | FFFF 8298 _H | 0 | 32 |
| DMASS | DTS チャンネル 039 チャンネルマスタ設定レジスタ | DTS039CM | XXXX XXXX _H | 32 | FFFF 829C _H | 0 | 32 |

(116/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS チャンネル 040 チャンネルマスタ設定レジスタ | DTS040CM | XXXX XXXX _H | 32 | FFFF 82A0 _H | 0 | 32 |
| DMASS | DTS チャンネル 041 チャンネルマスタ設定レジスタ | DTS041CM | XXXX XXXX _H | 32 | FFFF 82A4 _H | 0 | 32 |
| DMASS | DTS チャンネル 042 チャンネルマスタ設定レジスタ | DTS042CM | XXXX XXXX _H | 32 | FFFF 82A8 _H | 0 | 32 |
| DMASS | DTS チャンネル 043 チャンネルマスタ設定レジスタ | DTS043CM | XXXX XXXX _H | 32 | FFFF 82AC _H | 0 | 32 |
| DMASS | DTS チャンネル 044 チャンネルマスタ設定レジスタ | DTS044CM | XXXX XXXX _H | 32 | FFFF 82B0 _H | 0 | 32 |
| DMASS | DTS チャンネル 045 チャンネルマスタ設定レジスタ | DTS045CM | XXXX XXXX _H | 32 | FFFF 82B4 _H | 0 | 32 |
| DMASS | DTS チャンネル 046 チャンネルマスタ設定レジスタ | DTS046CM | XXXX XXXX _H | 32 | FFFF 82B8 _H | 0 | 32 |
| DMASS | DTS チャンネル 047 チャンネルマスタ設定レジスタ | DTS047CM | XXXX XXXX _H | 32 | FFFF 82BC _H | 0 | 32 |
| DMASS | DTS チャンネル 048 チャンネルマスタ設定レジスタ | DTS048CM | XXXX XXXX _H | 32 | FFFF 82C0 _H | 0 | 32 |
| DMASS | DTS チャンネル 049 チャンネルマスタ設定レジスタ | DTS049CM | XXXX XXXX _H | 32 | FFFF 82C4 _H | 0 | 32 |
| DMASS | DTS チャンネル 050 チャンネルマスタ設定レジスタ | DTS050CM | XXXX XXXX _H | 32 | FFFF 82C8 _H | 0 | 32 |
| DMASS | DTS チャンネル 051 チャンネルマスタ設定レジスタ | DTS051CM | XXXX XXXX _H | 32 | FFFF 82CC _H | 0 | 32 |
| DMASS | DTS チャンネル 052 チャンネルマスタ設定レジスタ | DTS052CM | XXXX XXXX _H | 32 | FFFF 82D0 _H | 0 | 32 |
| DMASS | DTS チャンネル 053 チャンネルマスタ設定レジスタ | DTS053CM | XXXX XXXX _H | 32 | FFFF 82D4 _H | 0 | 32 |
| DMASS | DTS チャンネル 054 チャンネルマスタ設定レジスタ | DTS054CM | XXXX XXXX _H | 32 | FFFF 82D8 _H | 0 | 32 |
| DMASS | DTS チャンネル 055 チャンネルマスタ設定レジスタ | DTS055CM | XXXX XXXX _H | 32 | FFFF 82DC _H | 0 | 32 |
| DMASS | DTS チャンネル 056 チャンネルマスタ設定レジスタ | DTS056CM | XXXX XXXX _H | 32 | FFFF 82E0 _H | 0 | 32 |
| DMASS | DTS チャンネル 057 チャンネルマスタ設定レジスタ | DTS057CM | XXXX XXXX _H | 32 | FFFF 82E4 _H | 0 | 32 |
| DMASS | DTS チャンネル 058 チャンネルマスタ設定レジスタ | DTS058CM | XXXX XXXX _H | 32 | FFFF 82E8 _H | 0 | 32 |
| DMASS | DTS チャンネル 059 チャンネルマスタ設定レジスタ | DTS059CM | XXXX XXXX _H | 32 | FFFF 82EC _H | 0 | 32 |
| DMASS | DTS チャンネル 060 チャンネルマスタ設定レジスタ | DTS060CM | XXXX XXXX _H | 32 | FFFF 82F0 _H | 0 | 32 |
| DMASS | DTS チャンネル 061 チャンネルマスタ設定レジスタ | DTS061CM | XXXX XXXX _H | 32 | FFFF 82F4 _H | 0 | 32 |
| DMASS | DTS チャンネル 062 チャンネルマスタ設定レジスタ | DTS062CM | XXXX XXXX _H | 32 | FFFF 82F8 _H | 0 | 32 |
| DMASS | DTS チャンネル 063 チャンネルマスタ設定レジスタ | DTS063CM | XXXX XXXX _H | 32 | FFFF 82FC _H | 0 | 32 |
| DMASS | DTS チャンネル 064 チャンネルマスタ設定レジスタ | DTS064CM | XXXX XXXX _H | 32 | FFFF 8300 _H | 0 | 32 |
| DMASS | DTS チャンネル 065 チャンネルマスタ設定レジスタ | DTS065CM | XXXX XXXX _H | 32 | FFFF 8304 _H | 0 | 32 |
| DMASS | DTS チャンネル 066 チャンネルマスタ設定レジスタ | DTS066CM | XXXX XXXX _H | 32 | FFFF 8308 _H | 0 | 32 |
| DMASS | DTS チャンネル 067 チャンネルマスタ設定レジスタ | DTS067CM | XXXX XXXX _H | 32 | FFFF 830C _H | 0 | 32 |
| DMASS | DTS チャンネル 068 チャンネルマスタ設定レジスタ | DTS068CM | XXXX XXXX _H | 32 | FFFF 8310 _H | 0 | 32 |
| DMASS | DTS チャンネル 069 チャンネルマスタ設定レジスタ | DTS069CM | XXXX XXXX _H | 32 | FFFF 8314 _H | 0 | 32 |

(117/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS チャンネル 070 チャンネルマスタ設定レジスタ | DTS070CM | XXXX XXXX _H | 32 | FFFF 8318 _H | 0 | 32 |
| DMASS | DTS チャンネル 071 チャンネルマスタ設定レジスタ | DTS071CM | XXXX XXXX _H | 32 | FFFF 831C _H | 0 | 32 |
| DMASS | DTS チャンネル 072 チャンネルマスタ設定レジスタ | DTS072CM | XXXX XXXX _H | 32 | FFFF 8320 _H | 0 | 32 |
| DMASS | DTS チャンネル 073 チャンネルマスタ設定レジスタ | DTS073CM | XXXX XXXX _H | 32 | FFFF 8324 _H | 0 | 32 |
| DMASS | DTS チャンネル 074 チャンネルマスタ設定レジスタ | DTS074CM | XXXX XXXX _H | 32 | FFFF 8328 _H | 0 | 32 |
| DMASS | DTS チャンネル 075 チャンネルマスタ設定レジスタ | DTS075CM | XXXX XXXX _H | 32 | FFFF 832C _H | 0 | 32 |
| DMASS | DTS チャンネル 076 チャンネルマスタ設定レジスタ | DTS076CM | XXXX XXXX _H | 32 | FFFF 8330 _H | 0 | 32 |
| DMASS | DTS チャンネル 077 チャンネルマスタ設定レジスタ | DTS077CM | XXXX XXXX _H | 32 | FFFF 8334 _H | 0 | 32 |
| DMASS | DTS チャンネル 078 チャンネルマスタ設定レジスタ | DTS078CM | XXXX XXXX _H | 32 | FFFF 8338 _H | 0 | 32 |
| DMASS | DTS チャンネル 079 チャンネルマスタ設定レジスタ | DTS079CM | XXXX XXXX _H | 32 | FFFF 833C _H | 0 | 32 |
| DMASS | DTS チャンネル 080 チャンネルマスタ設定レジスタ | DTS080CM | XXXX XXXX _H | 32 | FFFF 8340 _H | 0 | 32 |
| DMASS | DTS チャンネル 081 チャンネルマスタ設定レジスタ | DTS081CM | XXXX XXXX _H | 32 | FFFF 8344 _H | 0 | 32 |
| DMASS | DTS チャンネル 082 チャンネルマスタ設定レジスタ | DTS082CM | XXXX XXXX _H | 32 | FFFF 8348 _H | 0 | 32 |
| DMASS | DTS チャンネル 083 チャンネルマスタ設定レジスタ | DTS083CM | XXXX XXXX _H | 32 | FFFF 834C _H | 0 | 32 |
| DMASS | DTS チャンネル 084 チャンネルマスタ設定レジスタ | DTS084CM | XXXX XXXX _H | 32 | FFFF 8350 _H | 0 | 32 |
| DMASS | DTS チャンネル 085 チャンネルマスタ設定レジスタ | DTS085CM | XXXX XXXX _H | 32 | FFFF 8354 _H | 0 | 32 |
| DMASS | DTS チャンネル 086 チャンネルマスタ設定レジスタ | DTS086CM | XXXX XXXX _H | 32 | FFFF 8358 _H | 0 | 32 |
| DMASS | DTS チャンネル 087 チャンネルマスタ設定レジスタ | DTS087CM | XXXX XXXX _H | 32 | FFFF 835C _H | 0 | 32 |
| DMASS | DTS チャンネル 088 チャンネルマスタ設定レジスタ | DTS088CM | XXXX XXXX _H | 32 | FFFF 8360 _H | 0 | 32 |
| DMASS | DTS チャンネル 089 チャンネルマスタ設定レジスタ | DTS089CM | XXXX XXXX _H | 32 | FFFF 8364 _H | 0 | 32 |
| DMASS | DTS チャンネル 090 チャンネルマスタ設定レジスタ | DTS090CM | XXXX XXXX _H | 32 | FFFF 8368 _H | 0 | 32 |
| DMASS | DTS チャンネル 091 チャンネルマスタ設定レジスタ | DTS091CM | XXXX XXXX _H | 32 | FFFF 836C _H | 0 | 32 |
| DMASS | DTS チャンネル 092 チャンネルマスタ設定レジスタ | DTS092CM | XXXX XXXX _H | 32 | FFFF 8370 _H | 0 | 32 |
| DMASS | DTS チャンネル 093 チャンネルマスタ設定レジスタ | DTS093CM | XXXX XXXX _H | 32 | FFFF 8374 _H | 0 | 32 |
| DMASS | DTS チャンネル 094 チャンネルマスタ設定レジスタ | DTS094CM | XXXX XXXX _H | 32 | FFFF 8378 _H | 0 | 32 |
| DMASS | DTS チャンネル 095 チャンネルマスタ設定レジスタ | DTS095CM | XXXX XXXX _H | 32 | FFFF 837C _H | 0 | 32 |
| DMASS | DTS チャンネル 096 チャンネルマスタ設定レジスタ | DTS096CM | XXXX XXXX _H | 32 | FFFF 8380 _H | 0 | 32 |
| DMASS | DTS チャンネル 097 チャンネルマスタ設定レジスタ | DTS097CM | XXXX XXXX _H | 32 | FFFF 8384 _H | 0 | 32 |
| DMASS | DTS チャンネル 098 チャンネルマスタ設定レジスタ | DTS098CM | XXXX XXXX _H | 32 | FFFF 8388 _H | 0 | 32 |
| DMASS | DTS チャンネル 099 チャンネルマスタ設定レジスタ | DTS099CM | XXXX XXXX _H | 32 | FFFF 838C _H | 0 | 32 |

(118/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS チャンネル 100 チャンネルマスタ設定レジスタ | DTS100CM | XXXX XXXX _H | 32 | FFFF 8390 _H | 0 | 32 |
| DMASS | DTS チャンネル 101 チャンネルマスタ設定レジスタ | DTS101CM | XXXX XXXX _H | 32 | FFFF 8394 _H | 0 | 32 |
| DMASS | DTS チャンネル 102 チャンネルマスタ設定レジスタ | DTS102CM | XXXX XXXX _H | 32 | FFFF 8398 _H | 0 | 32 |
| DMASS | DTS チャンネル 103 チャンネルマスタ設定レジスタ | DTS103CM | XXXX XXXX _H | 32 | FFFF 839C _H | 0 | 32 |
| DMASS | DTS チャンネル 104 チャンネルマスタ設定レジスタ | DTS104CM | XXXX XXXX _H | 32 | FFFF 83A0 _H | 0 | 32 |
| DMASS | DTS チャンネル 105 チャンネルマスタ設定レジスタ | DTS105CM | XXXX XXXX _H | 32 | FFFF 83A4 _H | 0 | 32 |
| DMASS | DTS チャンネル 106 チャンネルマスタ設定レジスタ | DTS106CM | XXXX XXXX _H | 32 | FFFF 83A8 _H | 0 | 32 |
| DMASS | DTS チャンネル 107 チャンネルマスタ設定レジスタ | DTS107CM | XXXX XXXX _H | 32 | FFFF 83AC _H | 0 | 32 |
| DMASS | DTS チャンネル 108 チャンネルマスタ設定レジスタ | DTS108CM | XXXX XXXX _H | 32 | FFFF 83B0 _H | 0 | 32 |
| DMASS | DTS チャンネル 109 チャンネルマスタ設定レジスタ | DTS109CM | XXXX XXXX _H | 32 | FFFF 83B4 _H | 0 | 32 |
| DMASS | DTS チャンネル 110 チャンネルマスタ設定レジスタ | DTS110CM | XXXX XXXX _H | 32 | FFFF 83B8 _H | 0 | 32 |
| DMASS | DTS チャンネル 111 チャンネルマスタ設定レジスタ | DTS111CM | XXXX XXXX _H | 32 | FFFF 83BC _H | 0 | 32 |
| DMASS | DTS チャンネル 112 チャンネルマスタ設定レジスタ | DTS112CM | XXXX XXXX _H | 32 | FFFF 83C0 _H | 0 | 32 |
| DMASS | DTS チャンネル 113 チャンネルマスタ設定レジスタ | DTS113CM | XXXX XXXX _H | 32 | FFFF 83C4 _H | 0 | 32 |
| DMASS | DTS チャンネル 114 チャンネルマスタ設定レジスタ | DTS114CM | XXXX XXXX _H | 32 | FFFF 83C8 _H | 0 | 32 |
| DMASS | DTS チャンネル 115 チャンネルマスタ設定レジスタ | DTS115CM | XXXX XXXX _H | 32 | FFFF 83CC _H | 0 | 32 |
| DMASS | DTS チャンネル 116 チャンネルマスタ設定レジスタ | DTS116CM | XXXX XXXX _H | 32 | FFFF 83D0 _H | 0 | 32 |
| DMASS | DTS チャンネル 117 チャンネルマスタ設定レジスタ | DTS117CM | XXXX XXXX _H | 32 | FFFF 83D4 _H | 0 | 32 |
| DMASS | DTS チャンネル 118 チャンネルマスタ設定レジスタ | DTS118CM | XXXX XXXX _H | 32 | FFFF 83D8 _H | 0 | 32 |
| DMASS | DTS チャンネル 119 チャンネルマスタ設定レジスタ | DTS119CM | XXXX XXXX _H | 32 | FFFF 83DC _H | 0 | 32 |
| DMASS | DTS チャンネル 120 チャンネルマスタ設定レジスタ | DTS120CM | XXXX XXXX _H | 32 | FFFF 83E0 _H | 0 | 32 |
| DMASS | DTS チャンネル 121 チャンネルマスタ設定レジスタ | DTS121CM | XXXX XXXX _H | 32 | FFFF 83E4 _H | 0 | 32 |
| DMASS | DTS チャンネル 122 チャンネルマスタ設定レジスタ | DTS122CM | XXXX XXXX _H | 32 | FFFF 83E8 _H | 0 | 32 |
| DMASS | DTS チャンネル 123 チャンネルマスタ設定レジスタ | DTS123CM | XXXX XXXX _H | 32 | FFFF 83EC _H | 0 | 32 |
| DMASS | DTS チャンネル 124 チャンネルマスタ設定レジスタ | DTS124CM | XXXX XXXX _H | 32 | FFFF 83F0 _H | 0 | 32 |
| DMASS | DTS チャンネル 125 チャンネルマスタ設定レジスタ | DTS125CM | XXXX XXXX _H | 32 | FFFF 83F4 _H | 0 | 32 |
| DMASS | DTS チャンネル 126 チャンネルマスタ設定レジスタ | DTS126CM | XXXX XXXX _H | 32 | FFFF 83F8 _H | 0 | 32 |
| DMASS | DTS チャンネル 127 チャンネルマスタ設定レジスタ | DTS127CM | XXXX XXXX _H | 32 | FFFF 83FC _H | 0 | 32 |
| DMASS | DMAC ソースアドレスレジスタ | DSA0 | 0000 0000 _H | 32 | FFFF 8400 _H | 0 | 32 |
| DMASS | DMAC ディスティネーションアドレスレジスタ | DDA0 | 0000 0000 _H | 32 | FFFF 8404 _H | 0 | 32 |

(119/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DMAC 転送回数レジスタ | DTC0 | 0000 0000 _H | 32 | FFFF 8408 _H | 0 | 32 |
| DMASS | DMAC 転送制御レジスタ | DTCT0 | 0000 0000 _H | 32 | FFFF 840C _H | 0 | 32 |
| DMASS | DMAC リロードソースアドレスレジスタ | DRSA0 | 0000 0000 _H | 32 | FFFF 8410 _H | 0 | 32 |
| DMASS | DMAC リロードディスティネーションアドレスレジスタ | DRDA0 | 0000 0000 _H | 32 | FFFF 8414 _H | 0 | 32 |
| DMASS | DMAC リロード転送回数レジスタ | DRTC0 | 0000 0000 _H | 32 | FFFF 8418 _H | 0 | 32 |
| DMASS | DMAC 転送回数コンペアレジスタ | DTCC0 | 0000 0000 _H | 32 | FFFF 841C _H | 0 | 32 |
| DMASS | DMAC チャネル動作有効設定レジスタ | DCEN0 | 0000 0000 _H | 32 | FFFF 8420 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスレジスタ | DCST0 | 0000 0000 _H | 32 | FFFF 8424 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスセットレジスタ | DCSTS0 | 0000 0000 _H | 32 | FFFF 8428 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスクリアレジスタ | DCSTC0 | 0000 0000 _H | 32 | FFFF 842C _H | 0 | 32 |
| DMASS | DTFR 設定レジスタ | DTFR0 | 0000 0000 _H | 32 | FFFF 8430 _H | 0 | 32 |
| DMASS | DTFR 転送要求ステータスレジスタ | DTFRRQ0 | 0000 0000 _H | 32 | FFFF 8434 _H | 0 | 32 |
| DMASS | DTFR 転送要求クリアレジスタ | DTFRRQC0 | 0000 0000 _H | 32 | FFFF 8438 _H | 0 | 32 |
| DMASS | DMAC ソースアドレスレジスタ | DSA1 | 0000 0000 _H | 32 | FFFF 8440 _H | 0 | 32 |
| DMASS | DMAC ディスティネーションアドレスレジスタ | DDA1 | 0000 0000 _H | 32 | FFFF 8444 _H | 0 | 32 |
| DMASS | DMAC 転送回数レジスタ | DTC1 | 0000 0000 _H | 32 | FFFF 8448 _H | 0 | 32 |
| DMASS | DMAC 転送制御レジスタ | DTCT1 | 0000 0000 _H | 32 | FFFF 844C _H | 0 | 32 |
| DMASS | DMAC リロードソースアドレスレジスタ | DRSA1 | 0000 0000 _H | 32 | FFFF 8450 _H | 0 | 32 |
| DMASS | DMAC リロードディスティネーションアドレスレジスタ | DRDA1 | 0000 0000 _H | 32 | FFFF 8454 _H | 0 | 32 |
| DMASS | DMAC リロード転送回数レジスタ | DRTC1 | 0000 0000 _H | 32 | FFFF 8458 _H | 0 | 32 |
| DMASS | DMAC 転送回数コンペアレジスタ | DTCC1 | 0000 0000 _H | 32 | FFFF 845C _H | 0 | 32 |
| DMASS | DMAC チャネル動作有効設定レジスタ | DCEN1 | 0000 0000 _H | 32 | FFFF 8460 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスレジスタ | DCST1 | 0000 0000 _H | 32 | FFFF 8464 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスセットレジスタ | DCSTS1 | 0000 0000 _H | 32 | FFFF 8468 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスクリアレジスタ | DCSTC1 | 0000 0000 _H | 32 | FFFF 846C _H | 0 | 32 |
| DMASS | DTFR 設定レジスタ | DTFR1 | 0000 0000 _H | 32 | FFFF 8470 _H | 0 | 32 |
| DMASS | DTFR 転送要求ステータスレジスタ | DTFRRQ1 | 0000 0000 _H | 32 | FFFF 8474 _H | 0 | 32 |
| DMASS | DTFR 転送要求クリアレジスタ | DTFRRQC1 | 0000 0000 _H | 32 | FFFF 8478 _H | 0 | 32 |
| DMASS | DMAC ソースアドレスレジスタ | DSA2 | 0000 0000 _H | 32 | FFFF 8480 _H | 0 | 32 |
| DMASS | DMAC ディスティネーションアドレスレジスタ | DDA2 | 0000 0000 _H | 32 | FFFF 8484 _H | 0 | 32 |
| DMASS | DMAC 転送回数レジスタ | DTC2 | 0000 0000 _H | 32 | FFFF 8488 _H | 0 | 32 |
| DMASS | DMAC 転送制御レジスタ | DTCT2 | 0000 0000 _H | 32 | FFFF 848C _H | 0 | 32 |
| DMASS | DMAC リロードソースアドレスレジスタ | DRSA2 | 0000 0000 _H | 32 | FFFF 8490 _H | 0 | 32 |
| DMASS | DMAC リロードディスティネーションアドレスレジスタ | DRDA2 | 0000 0000 _H | 32 | FFFF 8494 _H | 0 | 32 |
| DMASS | DMAC リロード転送回数レジスタ | DRTC2 | 0000 0000 _H | 32 | FFFF 8498 _H | 0 | 32 |
| DMASS | DMAC 転送回数コンペアレジスタ | DTCC2 | 0000 0000 _H | 32 | FFFF 849C _H | 0 | 32 |
| DMASS | DMAC チャネル動作有効設定レジスタ | DCEN2 | 0000 0000 _H | 32 | FFFF 84A0 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスレジスタ | DCST2 | 0000 0000 _H | 32 | FFFF 84A4 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスセットレジスタ | DCSTS2 | 0000 0000 _H | 32 | FFFF 84A8 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスクリアレジスタ | DCSTC2 | 0000 0000 _H | 32 | FFFF 84AC _H | 0 | 32 |
| DMASS | DTFR 設定レジスタ | DTFR2 | 0000 0000 _H | 32 | FFFF 84B0 _H | 0 | 32 |
| DMASS | DTFR 転送要求ステータスレジスタ | DTFRRQ2 | 0000 0000 _H | 32 | FFFF 84B4 _H | 0 | 32 |

(120/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTFR 転送要求クリアレジスタ | DTFRQC2 | 0000 0000 _H | 32 | FFFF 84B8 _H | 0 | 32 |
| DMASS | DMAC ソースアドレスレジスタ | DSA3 | 0000 0000 _H | 32 | FFFF 84C0 _H | 0 | 32 |
| DMASS | DMAC ディスティネーションアドレスレジスタ | DDA3 | 0000 0000 _H | 32 | FFFF 84C4 _H | 0 | 32 |
| DMASS | DMAC 転送回数レジスタ | DTC3 | 0000 0000 _H | 32 | FFFF 84C8 _H | 0 | 32 |
| DMASS | DMAC 転送制御レジスタ | DTCT3 | 0000 0000 _H | 32 | FFFF 84CC _H | 0 | 32 |
| DMASS | DMAC リロードソースアドレスレジスタ | DRSA3 | 0000 0000 _H | 32 | FFFF 84D0 _H | 0 | 32 |
| DMASS | DMAC リロードディスティネーションアドレスレジスタ | DRDA3 | 0000 0000 _H | 32 | FFFF 84D4 _H | 0 | 32 |
| DMASS | DMAC リロード転送回数レジスタ | DRTC3 | 0000 0000 _H | 32 | FFFF 84D8 _H | 0 | 32 |
| DMASS | DMAC 転送回数コンペアレジスタ | DTCC3 | 0000 0000 _H | 32 | FFFF 84DC _H | 0 | 32 |
| DMASS | DMAC チャンネル動作有効設定レジスタ | DCEN3 | 0000 0000 _H | 32 | FFFF 84E0 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスレジスタ | DCST3 | 0000 0000 _H | 32 | FFFF 84E4 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスセットレジスタ | DCSTS3 | 0000 0000 _H | 32 | FFFF 84E8 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスクリアレジスタ | DCSTC3 | 0000 0000 _H | 32 | FFFF 84EC _H | 0 | 32 |
| DMASS | DTFR 設定レジスタ | DTFR3 | 0000 0000 _H | 32 | FFFF 84F0 _H | 0 | 32 |
| DMASS | DTFR 転送要求ステータスレジスタ | DTFRQ3 | 0000 0000 _H | 32 | FFFF 84F4 _H | 0 | 32 |
| DMASS | DTFR 転送要求クリアレジスタ | DTFRQC3 | 0000 0000 _H | 32 | FFFF 84F8 _H | 0 | 32 |
| DMASS | DMAC ソースアドレスレジスタ | DSA4 | 0000 0000 _H | 32 | FFFF 8500 _H | 0 | 32 |
| DMASS | DMAC ディスティネーションアドレスレジスタ | DDA4 | 0000 0000 _H | 32 | FFFF 8504 _H | 0 | 32 |
| DMASS | DMAC 転送回数レジスタ | DTC4 | 0000 0000 _H | 32 | FFFF 8508 _H | 0 | 32 |
| DMASS | DMAC 転送制御レジスタ | DTCT4 | 0000 0000 _H | 32 | FFFF 850C _H | 0 | 32 |
| DMASS | DMAC リロードソースアドレスレジスタ | DRSA4 | 0000 0000 _H | 32 | FFFF 8510 _H | 0 | 32 |
| DMASS | DMAC リロードディスティネーションアドレスレジスタ | DRDA4 | 0000 0000 _H | 32 | FFFF 8514 _H | 0 | 32 |
| DMASS | DMAC リロード転送回数レジスタ | DRTC4 | 0000 0000 _H | 32 | FFFF 8518 _H | 0 | 32 |
| DMASS | DMAC 転送回数コンペアレジスタ | DTCC4 | 0000 0000 _H | 32 | FFFF 851C _H | 0 | 32 |
| DMASS | DMAC チャンネル動作有効設定レジスタ | DCEN4 | 0000 0000 _H | 32 | FFFF 8520 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスレジスタ | DCST4 | 0000 0000 _H | 32 | FFFF 8524 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスセットレジスタ | DCSTS4 | 0000 0000 _H | 32 | FFFF 8528 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスクリアレジスタ | DCSTC4 | 0000 0000 _H | 32 | FFFF 852C _H | 0 | 32 |
| DMASS | DTFR 設定レジスタ | DTFR4 | 0000 0000 _H | 32 | FFFF 8530 _H | 0 | 32 |
| DMASS | DTFR 転送要求ステータスレジスタ | DTFRQ4 | 0000 0000 _H | 32 | FFFF 8534 _H | 0 | 32 |
| DMASS | DTFR 転送要求クリアレジスタ | DTFRQC4 | 0000 0000 _H | 32 | FFFF 8538 _H | 0 | 32 |
| DMASS | DMAC ソースアドレスレジスタ | DSA5 | 0000 0000 _H | 32 | FFFF 8540 _H | 0 | 32 |
| DMASS | DMAC ディスティネーションアドレスレジスタ | DDA5 | 0000 0000 _H | 32 | FFFF 8544 _H | 0 | 32 |
| DMASS | DMAC 転送回数レジスタ | DTC5 | 0000 0000 _H | 32 | FFFF 8548 _H | 0 | 32 |
| DMASS | DMAC 転送制御レジスタ | DTCT5 | 0000 0000 _H | 32 | FFFF 854C _H | 0 | 32 |
| DMASS | DMAC リロードソースアドレスレジスタ | DRSA5 | 0000 0000 _H | 32 | FFFF 8550 _H | 0 | 32 |
| DMASS | DMAC リロードディスティネーションアドレスレジスタ | DRDA5 | 0000 0000 _H | 32 | FFFF 8554 _H | 0 | 32 |
| DMASS | DMAC リロード転送回数レジスタ | DRTC5 | 0000 0000 _H | 32 | FFFF 8558 _H | 0 | 32 |
| DMASS | DMAC 転送回数コンペアレジスタ | DTCC5 | 0000 0000 _H | 32 | FFFF 855C _H | 0 | 32 |
| DMASS | DMAC チャンネル動作有効設定レジスタ | DCEN5 | 0000 0000 _H | 32 | FFFF 8560 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスレジスタ | DCST5 | 0000 0000 _H | 32 | FFFF 8564 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスセットレジスタ | DCSTS5 | 0000 0000 _H | 32 | FFFF 8568 _H | 0 | 32 |

(121/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DMAC 転送ステータスクリアレジスタ | DCSTC5 | 0000 0000 _H | 32 | FFFF 856C _H | 0 | 32 |
| DMASS | DTFR 設定レジスタ | DTFR5 | 0000 0000 _H | 32 | FFFF 8570 _H | 0 | 32 |
| DMASS | DTFR 転送要求ステータスレジスタ | DTFRRQ5 | 0000 0000 _H | 32 | FFFF 8574 _H | 0 | 32 |
| DMASS | DTFR 転送要求クリアレジスタ | DTFRRQC5 | 0000 0000 _H | 32 | FFFF 8578 _H | 0 | 32 |
| DMASS | DMAC ソースアドレスレジスタ | DSA6 | 0000 0000 _H | 32 | FFFF 8580 _H | 0 | 32 |
| DMASS | DMAC ディスティネーションアドレスレジスタ | DDA6 | 0000 0000 _H | 32 | FFFF 8584 _H | 0 | 32 |
| DMASS | DMAC 転送回数レジスタ | DTC6 | 0000 0000 _H | 32 | FFFF 8588 _H | 0 | 32 |
| DMASS | DMAC 転送制御レジスタ | DTCT6 | 0000 0000 _H | 32 | FFFF 858C _H | 0 | 32 |
| DMASS | DMAC リロードソースアドレスレジスタ | DRSA6 | 0000 0000 _H | 32 | FFFF 8590 _H | 0 | 32 |
| DMASS | DMAC リロードディスティネーションアドレスレジスタ | DRDA6 | 0000 0000 _H | 32 | FFFF 8594 _H | 0 | 32 |
| DMASS | DMAC リロード転送回数レジスタ | DRTC6 | 0000 0000 _H | 32 | FFFF 8598 _H | 0 | 32 |
| DMASS | DMAC 転送回数コンペアレジスタ | DTCC6 | 0000 0000 _H | 32 | FFFF 859C _H | 0 | 32 |
| DMASS | DMAC チャンネル動作有効設定レジスタ | DCEN6 | 0000 0000 _H | 32 | FFFF 85A0 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスレジスタ | DCST6 | 0000 0000 _H | 32 | FFFF 85A4 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスセットレジスタ | DCSTS6 | 0000 0000 _H | 32 | FFFF 85A8 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスクリアレジスタ | DCSTC6 | 0000 0000 _H | 32 | FFFF 85AC _H | 0 | 32 |
| DMASS | DTFR 設定レジスタ | DTFR6 | 0000 0000 _H | 32 | FFFF 85B0 _H | 0 | 32 |
| DMASS | DTFR 転送要求ステータスレジスタ | DTFRRQ6 | 0000 0000 _H | 32 | FFFF 85B4 _H | 0 | 32 |
| DMASS | DTFR 転送要求クリアレジスタ | DTFRRQC6 | 0000 0000 _H | 32 | FFFF 85B8 _H | 0 | 32 |
| DMASS | DMAC ソースアドレスレジスタ | DSA7 | 0000 0000 _H | 32 | FFFF 85C0 _H | 0 | 32 |
| DMASS | DMAC ディスティネーションアドレスレジスタ | DDA7 | 0000 0000 _H | 32 | FFFF 85C4 _H | 0 | 32 |
| DMASS | DMAC 転送回数レジスタ | DTC7 | 0000 0000 _H | 32 | FFFF 85C8 _H | 0 | 32 |
| DMASS | DMAC 転送制御レジスタ | DTCT7 | 0000 0000 _H | 32 | FFFF 85CC _H | 0 | 32 |
| DMASS | DMAC リロードソースアドレスレジスタ | DRSA7 | 0000 0000 _H | 32 | FFFF 85D0 _H | 0 | 32 |
| DMASS | DMAC リロードディスティネーションアドレスレジスタ | DRDA7 | 0000 0000 _H | 32 | FFFF 85D4 _H | 0 | 32 |
| DMASS | DMAC リロード転送回数レジスタ | DRTC7 | 0000 0000 _H | 32 | FFFF 85D8 _H | 0 | 32 |
| DMASS | DMAC 転送回数コンペアレジスタ | DTCC7 | 0000 0000 _H | 32 | FFFF 85DC _H | 0 | 32 |
| DMASS | DMAC チャンネル動作有効設定レジスタ | DCEN7 | 0000 0000 _H | 32 | FFFF 85E0 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスレジスタ | DCST7 | 0000 0000 _H | 32 | FFFF 85E4 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスセットレジスタ | DCSTS7 | 0000 0000 _H | 32 | FFFF 85E8 _H | 0 | 32 |
| DMASS | DMAC 転送ステータスクリアレジスタ | DCSTC7 | 0000 0000 _H | 32 | FFFF 85EC _H | 0 | 32 |
| DMASS | DTFR 設定レジスタ | DTFR7 | 0000 0000 _H | 32 | FFFF 85F0 _H | 0 | 32 |
| DMASS | DTFR 転送要求ステータスレジスタ | DTFRRQ7 | 0000 0000 _H | 32 | FFFF 85F4 _H | 0 | 32 |
| DMASS | DTFR 転送要求クリアレジスタ | DTFRRQC7 | 0000 0000 _H | 32 | FFFF 85F8 _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA000 | XXXX XXXX _H | 32 | FFFF 9000 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA000 | XXXX XXXX _H | 32 | FFFF 9004 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC000 | XXXX XXXX _H | 32 | FFFF 9008 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT000 | XXXX XXXX _H | 32 | FFFF 900C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA000 | XXXX XXXX _H | 32 | FFFF 9010 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA000 | XXXX XXXX _H | 32 | FFFF 9014 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC000 | XXXX XXXX _H | 32 | FFFF 9018 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC000 | XXXX XXXX _H | 32 | FFFF 901C _H | 0 | 32 |

(122/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTSFSL 動作設定レジスタ | DTFSL000 | 0000 0000 _H | 32 | FFFF 9020 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST000 | 0000 0000 _H | 32 | FFFF 9024 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS000 | 0000 0000 _H | 32 | FFFF 9028 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC000 | 0000 0000 _H | 32 | FFFF 902C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA001 | XXXX XXXX _H | 32 | FFFF 9040 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA001 | XXXX XXXX _H | 32 | FFFF 9044 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC001 | XXXX XXXX _H | 32 | FFFF 9048 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT001 | XXXX XXXX _H | 32 | FFFF 904C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA001 | XXXX XXXX _H | 32 | FFFF 9050 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA001 | XXXX XXXX _H | 32 | FFFF 9054 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC001 | XXXX XXXX _H | 32 | FFFF 9058 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC001 | XXXX XXXX _H | 32 | FFFF 905C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL001 | 0000 0000 _H | 32 | FFFF 9060 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST001 | 0000 0000 _H | 32 | FFFF 9064 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS001 | 0000 0000 _H | 32 | FFFF 9068 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC001 | 0000 0000 _H | 32 | FFFF 906C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA002 | XXXX XXXX _H | 32 | FFFF 9080 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA002 | XXXX XXXX _H | 32 | FFFF 9084 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC002 | XXXX XXXX _H | 32 | FFFF 9088 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT002 | XXXX XXXX _H | 32 | FFFF 908C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA002 | XXXX XXXX _H | 32 | FFFF 9090 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA002 | XXXX XXXX _H | 32 | FFFF 9094 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC002 | XXXX XXXX _H | 32 | FFFF 9098 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC002 | XXXX XXXX _H | 32 | FFFF 909C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL002 | 0000 0000 _H | 32 | FFFF 90A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST002 | 0000 0000 _H | 32 | FFFF 90A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS002 | 0000 0000 _H | 32 | FFFF 90A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC002 | 0000 0000 _H | 32 | FFFF 90AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA003 | XXXX XXXX _H | 32 | FFFF 90C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA003 | XXXX XXXX _H | 32 | FFFF 90C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC003 | XXXX XXXX _H | 32 | FFFF 90C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT003 | XXXX XXXX _H | 32 | FFFF 90CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA003 | XXXX XXXX _H | 32 | FFFF 90D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA003 | XXXX XXXX _H | 32 | FFFF 90D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC003 | XXXX XXXX _H | 32 | FFFF 90D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC003 | XXXX XXXX _H | 32 | FFFF 90DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL003 | 0000 0000 _H | 32 | FFFF 90E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST003 | 0000 0000 _H | 32 | FFFF 90E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS003 | 0000 0000 _H | 32 | FFFF 90E8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC003 | 0000 0000 _H | 32 | FFFF 90EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA004 | XXXX XXXX _H | 32 | FFFF 9100 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA004 | XXXX XXXX _H | 32 | FFFF 9104 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC004 | XXXX XXXX _H | 32 | FFFF 9108 _H | 0 | 32 |

(123/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS 転送制御レジスタ | DTTCT004 | XXXX XXXX _H | 32 | FFFF 910C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA004 | XXXX XXXX _H | 32 | FFFF 9110 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA004 | XXXX XXXX _H | 32 | FFFF 9114 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC004 | XXXX XXXX _H | 32 | FFFF 9118 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC004 | XXXX XXXX _H | 32 | FFFF 911C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL004 | 0000 0000 _H | 32 | FFFF 9120 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST004 | 0000 0000 _H | 32 | FFFF 9124 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS004 | 0000 0000 _H | 32 | FFFF 9128 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC004 | 0000 0000 _H | 32 | FFFF 912C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA005 | XXXX XXXX _H | 32 | FFFF 9140 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA005 | XXXX XXXX _H | 32 | FFFF 9144 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC005 | XXXX XXXX _H | 32 | FFFF 9148 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT005 | XXXX XXXX _H | 32 | FFFF 914C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA005 | XXXX XXXX _H | 32 | FFFF 9150 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA005 | XXXX XXXX _H | 32 | FFFF 9154 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC005 | XXXX XXXX _H | 32 | FFFF 9158 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC005 | XXXX XXXX _H | 32 | FFFF 915C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL005 | 0000 0000 _H | 32 | FFFF 9160 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST005 | 0000 0000 _H | 32 | FFFF 9164 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS005 | 0000 0000 _H | 32 | FFFF 9168 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC005 | 0000 0000 _H | 32 | FFFF 916C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA006 | XXXX XXXX _H | 32 | FFFF 9180 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA006 | XXXX XXXX _H | 32 | FFFF 9184 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC006 | XXXX XXXX _H | 32 | FFFF 9188 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT006 | XXXX XXXX _H | 32 | FFFF 918C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA006 | XXXX XXXX _H | 32 | FFFF 9190 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA006 | XXXX XXXX _H | 32 | FFFF 9194 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC006 | XXXX XXXX _H | 32 | FFFF 9198 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC006 | XXXX XXXX _H | 32 | FFFF 919C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL006 | 0000 0000 _H | 32 | FFFF 91A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST006 | 0000 0000 _H | 32 | FFFF 91A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS006 | 0000 0000 _H | 32 | FFFF 91A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC006 | 0000 0000 _H | 32 | FFFF 91AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA007 | XXXX XXXX _H | 32 | FFFF 91C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA007 | XXXX XXXX _H | 32 | FFFF 91C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC007 | XXXX XXXX _H | 32 | FFFF 91C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT007 | XXXX XXXX _H | 32 | FFFF 91CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA007 | XXXX XXXX _H | 32 | FFFF 91D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA007 | XXXX XXXX _H | 32 | FFFF 91D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC007 | XXXX XXXX _H | 32 | FFFF 91D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC007 | XXXX XXXX _H | 32 | FFFF 91DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL007 | 0000 0000 _H | 32 | FFFF 91E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST007 | 0000 0000 _H | 32 | FFFF 91E4 _H | 0 | 32 |

(124/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS007 | 0000 0000 _H | 32 | FFFF 91E8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC007 | 0000 0000 _H | 32 | FFFF 91EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA008 | XXXX XXXX _H | 32 | FFFF 9200 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA008 | XXXX XXXX _H | 32 | FFFF 9204 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC008 | XXXX XXXX _H | 32 | FFFF 9208 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT008 | XXXX XXXX _H | 32 | FFFF 920C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA008 | XXXX XXXX _H | 32 | FFFF 9210 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA008 | XXXX XXXX _H | 32 | FFFF 9214 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC008 | XXXX XXXX _H | 32 | FFFF 9218 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC008 | XXXX XXXX _H | 32 | FFFF 921C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL008 | 0000 0000 _H | 32 | FFFF 9220 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST008 | 0000 0000 _H | 32 | FFFF 9224 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS008 | 0000 0000 _H | 32 | FFFF 9228 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC008 | 0000 0000 _H | 32 | FFFF 922C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA009 | XXXX XXXX _H | 32 | FFFF 9240 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA009 | XXXX XXXX _H | 32 | FFFF 9244 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC009 | XXXX XXXX _H | 32 | FFFF 9248 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT009 | XXXX XXXX _H | 32 | FFFF 924C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA009 | XXXX XXXX _H | 32 | FFFF 9250 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA009 | XXXX XXXX _H | 32 | FFFF 9254 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC009 | XXXX XXXX _H | 32 | FFFF 9258 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC009 | XXXX XXXX _H | 32 | FFFF 925C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL009 | 0000 0000 _H | 32 | FFFF 9260 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST009 | 0000 0000 _H | 32 | FFFF 9264 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS009 | 0000 0000 _H | 32 | FFFF 9268 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC009 | 0000 0000 _H | 32 | FFFF 926C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA010 | XXXX XXXX _H | 32 | FFFF 9280 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA010 | XXXX XXXX _H | 32 | FFFF 9284 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC010 | XXXX XXXX _H | 32 | FFFF 9288 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT010 | XXXX XXXX _H | 32 | FFFF 928C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA010 | XXXX XXXX _H | 32 | FFFF 9290 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA010 | XXXX XXXX _H | 32 | FFFF 9294 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC010 | XXXX XXXX _H | 32 | FFFF 9298 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC010 | XXXX XXXX _H | 32 | FFFF 929C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL010 | 0000 0000 _H | 32 | FFFF 92A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST010 | 0000 0000 _H | 32 | FFFF 92A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS010 | 0000 0000 _H | 32 | FFFF 92A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC010 | 0000 0000 _H | 32 | FFFF 92AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA011 | XXXX XXXX _H | 32 | FFFF 92C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA011 | XXXX XXXX _H | 32 | FFFF 92C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC011 | XXXX XXXX _H | 32 | FFFF 92C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT011 | XXXX XXXX _H | 32 | FFFF 92CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA011 | XXXX XXXX _H | 32 | FFFF 92D0 _H | 0 | 32 |

(125/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA011 | XXXX XXXX _H | 32 | FFFF 92D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC011 | XXXX XXXX _H | 32 | FFFF 92D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC011 | XXXX XXXX _H | 32 | FFFF 92DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL011 | 0000 0000 _H | 32 | FFFF 92E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST011 | 0000 0000 _H | 32 | FFFF 92E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS011 | 0000 0000 _H | 32 | FFFF 92E8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC011 | 0000 0000 _H | 32 | FFFF 92EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA012 | XXXX XXXX _H | 32 | FFFF 9300 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA012 | XXXX XXXX _H | 32 | FFFF 9304 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC012 | XXXX XXXX _H | 32 | FFFF 9308 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT012 | XXXX XXXX _H | 32 | FFFF 930C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA012 | XXXX XXXX _H | 32 | FFFF 9310 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA012 | XXXX XXXX _H | 32 | FFFF 9314 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC012 | XXXX XXXX _H | 32 | FFFF 9318 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC012 | XXXX XXXX _H | 32 | FFFF 931C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL012 | 0000 0000 _H | 32 | FFFF 9320 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST012 | 0000 0000 _H | 32 | FFFF 9324 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS012 | 0000 0000 _H | 32 | FFFF 9328 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC012 | 0000 0000 _H | 32 | FFFF 932C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA013 | XXXX XXXX _H | 32 | FFFF 9340 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA013 | XXXX XXXX _H | 32 | FFFF 9344 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC013 | XXXX XXXX _H | 32 | FFFF 9348 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT013 | XXXX XXXX _H | 32 | FFFF 934C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA013 | XXXX XXXX _H | 32 | FFFF 9350 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA013 | XXXX XXXX _H | 32 | FFFF 9354 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC013 | XXXX XXXX _H | 32 | FFFF 9358 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC013 | XXXX XXXX _H | 32 | FFFF 935C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL013 | 0000 0000 _H | 32 | FFFF 9360 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST013 | 0000 0000 _H | 32 | FFFF 9364 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS013 | 0000 0000 _H | 32 | FFFF 9368 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC013 | 0000 0000 _H | 32 | FFFF 936C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA014 | XXXX XXXX _H | 32 | FFFF 9380 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA014 | XXXX XXXX _H | 32 | FFFF 9384 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC014 | XXXX XXXX _H | 32 | FFFF 9388 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT014 | XXXX XXXX _H | 32 | FFFF 938C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA014 | XXXX XXXX _H | 32 | FFFF 9390 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA014 | XXXX XXXX _H | 32 | FFFF 9394 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC014 | XXXX XXXX _H | 32 | FFFF 9398 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC014 | XXXX XXXX _H | 32 | FFFF 939C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL014 | 0000 0000 _H | 32 | FFFF 93A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST014 | 0000 0000 _H | 32 | FFFF 93A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS014 | 0000 0000 _H | 32 | FFFF 93A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC014 | 0000 0000 _H | 32 | FFFF 93AC _H | 0 | 32 |

(126/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS ソースアドレスレジスタ | DTSA015 | XXXX XXXX _H | 32 | FFFF 93C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA015 | XXXX XXXX _H | 32 | FFFF 93C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC015 | XXXX XXXX _H | 32 | FFFF 93C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT015 | XXXX XXXX _H | 32 | FFFF 93CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA015 | XXXX XXXX _H | 32 | FFFF 93D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA015 | XXXX XXXX _H | 32 | FFFF 93D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC015 | XXXX XXXX _H | 32 | FFFF 93D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC015 | XXXX XXXX _H | 32 | FFFF 93DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL015 | 0000 0000 _H | 32 | FFFF 93E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST015 | 0000 0000 _H | 32 | FFFF 93E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS015 | 0000 0000 _H | 32 | FFFF 93E8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC015 | 0000 0000 _H | 32 | FFFF 93EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA016 | XXXX XXXX _H | 32 | FFFF 9400 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA016 | XXXX XXXX _H | 32 | FFFF 9404 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC016 | XXXX XXXX _H | 32 | FFFF 9408 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT016 | XXXX XXXX _H | 32 | FFFF 940C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA016 | XXXX XXXX _H | 32 | FFFF 9410 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA016 | XXXX XXXX _H | 32 | FFFF 9414 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC016 | XXXX XXXX _H | 32 | FFFF 9418 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC016 | XXXX XXXX _H | 32 | FFFF 941C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL016 | 0000 0000 _H | 32 | FFFF 9420 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST016 | 0000 0000 _H | 32 | FFFF 9424 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS016 | 0000 0000 _H | 32 | FFFF 9428 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC016 | 0000 0000 _H | 32 | FFFF 942C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA017 | XXXX XXXX _H | 32 | FFFF 9440 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA017 | XXXX XXXX _H | 32 | FFFF 9444 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC017 | XXXX XXXX _H | 32 | FFFF 9448 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT017 | XXXX XXXX _H | 32 | FFFF 944C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA017 | XXXX XXXX _H | 32 | FFFF 9450 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA017 | XXXX XXXX _H | 32 | FFFF 9454 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC017 | XXXX XXXX _H | 32 | FFFF 9458 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC017 | XXXX XXXX _H | 32 | FFFF 945C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL017 | 0000 0000 _H | 32 | FFFF 9460 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST017 | 0000 0000 _H | 32 | FFFF 9464 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS017 | 0000 0000 _H | 32 | FFFF 9468 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC017 | 0000 0000 _H | 32 | FFFF 946C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA018 | XXXX XXXX _H | 32 | FFFF 9480 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA018 | XXXX XXXX _H | 32 | FFFF 9484 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC018 | XXXX XXXX _H | 32 | FFFF 9488 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT018 | XXXX XXXX _H | 32 | FFFF 948C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA018 | XXXX XXXX _H | 32 | FFFF 9490 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA018 | XXXX XXXX _H | 32 | FFFF 9494 _H | 0 | 32 |

(127/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS リロード転送回数レジスタ | DTRTC018 | XXXX XXXX _H | 32 | FFFF 9498 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC018 | XXXX XXXX _H | 32 | FFFF 949C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL018 | 0000 0000 _H | 32 | FFFF 94A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST018 | 0000 0000 _H | 32 | FFFF 94A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS018 | 0000 0000 _H | 32 | FFFF 94A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC018 | 0000 0000 _H | 32 | FFFF 94AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA019 | XXXX XXXX _H | 32 | FFFF 94C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA019 | XXXX XXXX _H | 32 | FFFF 94C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC019 | XXXX XXXX _H | 32 | FFFF 94C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT019 | XXXX XXXX _H | 32 | FFFF 94CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA019 | XXXX XXXX _H | 32 | FFFF 94D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA019 | XXXX XXXX _H | 32 | FFFF 94D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC019 | XXXX XXXX _H | 32 | FFFF 94D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC019 | XXXX XXXX _H | 32 | FFFF 94DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL019 | 0000 0000 _H | 32 | FFFF 94E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST019 | 0000 0000 _H | 32 | FFFF 94E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS019 | 0000 0000 _H | 32 | FFFF 94E8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC019 | 0000 0000 _H | 32 | FFFF 94EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA020 | XXXX XXXX _H | 32 | FFFF 9500 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA020 | XXXX XXXX _H | 32 | FFFF 9504 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC020 | XXXX XXXX _H | 32 | FFFF 9508 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT020 | XXXX XXXX _H | 32 | FFFF 950C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA020 | XXXX XXXX _H | 32 | FFFF 9510 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA020 | XXXX XXXX _H | 32 | FFFF 9514 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC020 | XXXX XXXX _H | 32 | FFFF 9518 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC020 | XXXX XXXX _H | 32 | FFFF 951C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL020 | 0000 0000 _H | 32 | FFFF 9520 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST020 | 0000 0000 _H | 32 | FFFF 9524 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS020 | 0000 0000 _H | 32 | FFFF 9528 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC020 | 0000 0000 _H | 32 | FFFF 952C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA021 | XXXX XXXX _H | 32 | FFFF 9540 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA021 | XXXX XXXX _H | 32 | FFFF 9544 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC021 | XXXX XXXX _H | 32 | FFFF 9548 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT021 | XXXX XXXX _H | 32 | FFFF 954C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA021 | XXXX XXXX _H | 32 | FFFF 9550 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA021 | XXXX XXXX _H | 32 | FFFF 9554 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC021 | XXXX XXXX _H | 32 | FFFF 9558 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC021 | XXXX XXXX _H | 32 | FFFF 955C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL021 | 0000 0000 _H | 32 | FFFF 9560 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST021 | 0000 0000 _H | 32 | FFFF 9564 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS021 | 0000 0000 _H | 32 | FFFF 9568 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC021 | 0000 0000 _H | 32 | FFFF 956C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA022 | XXXX XXXX _H | 32 | FFFF 9580 _H | 0 | 32 |

(128/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA022 | XXXX XXXX _H | 32 | FFFF 9584 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC022 | XXXX XXXX _H | 32 | FFFF 9588 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT022 | XXXX XXXX _H | 32 | FFFF 958C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA022 | XXXX XXXX _H | 32 | FFFF 9590 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA022 | XXXX XXXX _H | 32 | FFFF 9594 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC022 | XXXX XXXX _H | 32 | FFFF 9598 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC022 | XXXX XXXX _H | 32 | FFFF 959C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL022 | 0000 0000 _H | 32 | FFFF 95A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST022 | 0000 0000 _H | 32 | FFFF 95A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS022 | 0000 0000 _H | 32 | FFFF 95A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC022 | 0000 0000 _H | 32 | FFFF 95AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA023 | XXXX XXXX _H | 32 | FFFF 95C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA023 | XXXX XXXX _H | 32 | FFFF 95C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC023 | XXXX XXXX _H | 32 | FFFF 95C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT023 | XXXX XXXX _H | 32 | FFFF 95CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA023 | XXXX XXXX _H | 32 | FFFF 95D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA023 | XXXX XXXX _H | 32 | FFFF 95D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC023 | XXXX XXXX _H | 32 | FFFF 95D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC023 | XXXX XXXX _H | 32 | FFFF 95DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL023 | 0000 0000 _H | 32 | FFFF 95E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST023 | 0000 0000 _H | 32 | FFFF 95E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS023 | 0000 0000 _H | 32 | FFFF 95E8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC023 | 0000 0000 _H | 32 | FFFF 95EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA024 | XXXX XXXX _H | 32 | FFFF 9600 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA024 | XXXX XXXX _H | 32 | FFFF 9604 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC024 | XXXX XXXX _H | 32 | FFFF 9608 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT024 | XXXX XXXX _H | 32 | FFFF 960C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA024 | XXXX XXXX _H | 32 | FFFF 9610 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA024 | XXXX XXXX _H | 32 | FFFF 9614 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC024 | XXXX XXXX _H | 32 | FFFF 9618 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC024 | XXXX XXXX _H | 32 | FFFF 961C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL024 | 0000 0000 _H | 32 | FFFF 9620 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST024 | 0000 0000 _H | 32 | FFFF 9624 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS024 | 0000 0000 _H | 32 | FFFF 9628 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC024 | 0000 0000 _H | 32 | FFFF 962C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA025 | XXXX XXXX _H | 32 | FFFF 9640 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA025 | XXXX XXXX _H | 32 | FFFF 9644 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC025 | XXXX XXXX _H | 32 | FFFF 9648 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT025 | XXXX XXXX _H | 32 | FFFF 964C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA025 | XXXX XXXX _H | 32 | FFFF 9650 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA025 | XXXX XXXX _H | 32 | FFFF 9654 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC025 | XXXX XXXX _H | 32 | FFFF 9658 _H | 0 | 32 |

(129/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC025 | XXXX XXXX _H | 32 | FFFF 965C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL025 | 0000 0000 _H | 32 | FFFF 9660 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST025 | 0000 0000 _H | 32 | FFFF 9664 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS025 | 0000 0000 _H | 32 | FFFF 9668 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC025 | 0000 0000 _H | 32 | FFFF 966C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA026 | XXXX XXXX _H | 32 | FFFF 9680 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA026 | XXXX XXXX _H | 32 | FFFF 9684 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC026 | XXXX XXXX _H | 32 | FFFF 9688 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT026 | XXXX XXXX _H | 32 | FFFF 968C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA026 | XXXX XXXX _H | 32 | FFFF 9690 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA026 | XXXX XXXX _H | 32 | FFFF 9694 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC026 | XXXX XXXX _H | 32 | FFFF 9698 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC026 | XXXX XXXX _H | 32 | FFFF 969C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL026 | 0000 0000 _H | 32 | FFFF 96A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST026 | 0000 0000 _H | 32 | FFFF 96A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS026 | 0000 0000 _H | 32 | FFFF 96A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC026 | 0000 0000 _H | 32 | FFFF 96AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA027 | XXXX XXXX _H | 32 | FFFF 96C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA027 | XXXX XXXX _H | 32 | FFFF 96C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC027 | XXXX XXXX _H | 32 | FFFF 96C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT027 | XXXX XXXX _H | 32 | FFFF 96CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA027 | XXXX XXXX _H | 32 | FFFF 96D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA027 | XXXX XXXX _H | 32 | FFFF 96D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC027 | XXXX XXXX _H | 32 | FFFF 96D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC027 | XXXX XXXX _H | 32 | FFFF 96DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL027 | 0000 0000 _H | 32 | FFFF 96E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST027 | 0000 0000 _H | 32 | FFFF 96E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS027 | 0000 0000 _H | 32 | FFFF 96E8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC027 | 0000 0000 _H | 32 | FFFF 96EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA028 | XXXX XXXX _H | 32 | FFFF 9700 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA028 | XXXX XXXX _H | 32 | FFFF 9704 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC028 | XXXX XXXX _H | 32 | FFFF 9708 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT028 | XXXX XXXX _H | 32 | FFFF 970C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA028 | XXXX XXXX _H | 32 | FFFF 9710 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA028 | XXXX XXXX _H | 32 | FFFF 9714 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC028 | XXXX XXXX _H | 32 | FFFF 9718 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC028 | XXXX XXXX _H | 32 | FFFF 971C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL028 | 0000 0000 _H | 32 | FFFF 9720 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST028 | 0000 0000 _H | 32 | FFFF 9724 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS028 | 0000 0000 _H | 32 | FFFF 9728 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC028 | 0000 0000 _H | 32 | FFFF 972C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA029 | XXXX XXXX _H | 32 | FFFF 9740 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA029 | XXXX XXXX _H | 32 | FFFF 9744 _H | 0 | 32 |

(130/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS 転送回数レジスタ | DTTC029 | XXXX XXXX _H | 32 | FFFF 9748 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT029 | XXXX XXXX _H | 32 | FFFF 974C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA029 | XXXX XXXX _H | 32 | FFFF 9750 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA029 | XXXX XXXX _H | 32 | FFFF 9754 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC029 | XXXX XXXX _H | 32 | FFFF 9758 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC029 | XXXX XXXX _H | 32 | FFFF 975C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL029 | 0000 0000 _H | 32 | FFFF 9760 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST029 | 0000 0000 _H | 32 | FFFF 9764 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS029 | 0000 0000 _H | 32 | FFFF 9768 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC029 | 0000 0000 _H | 32 | FFFF 976C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA030 | XXXX XXXX _H | 32 | FFFF 9780 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA030 | XXXX XXXX _H | 32 | FFFF 9784 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC030 | XXXX XXXX _H | 32 | FFFF 9788 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT030 | XXXX XXXX _H | 32 | FFFF 978C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA030 | XXXX XXXX _H | 32 | FFFF 9790 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA030 | XXXX XXXX _H | 32 | FFFF 9794 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC030 | XXXX XXXX _H | 32 | FFFF 9798 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC030 | XXXX XXXX _H | 32 | FFFF 979C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL030 | 0000 0000 _H | 32 | FFFF 97A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST030 | 0000 0000 _H | 32 | FFFF 97A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS030 | 0000 0000 _H | 32 | FFFF 97A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC030 | 0000 0000 _H | 32 | FFFF 97AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA031 | XXXX XXXX _H | 32 | FFFF 97C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA031 | XXXX XXXX _H | 32 | FFFF 97C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC031 | XXXX XXXX _H | 32 | FFFF 97C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT031 | XXXX XXXX _H | 32 | FFFF 97CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA031 | XXXX XXXX _H | 32 | FFFF 97D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA031 | XXXX XXXX _H | 32 | FFFF 97D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC031 | XXXX XXXX _H | 32 | FFFF 97D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC031 | XXXX XXXX _H | 32 | FFFF 97DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL031 | 0000 0000 _H | 32 | FFFF 97E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST031 | 0000 0000 _H | 32 | FFFF 97E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS031 | 0000 0000 _H | 32 | FFFF 97E8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC031 | 0000 0000 _H | 32 | FFFF 97EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA032 | XXXX XXXX _H | 32 | FFFF 9800 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA032 | XXXX XXXX _H | 32 | FFFF 9804 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC032 | XXXX XXXX _H | 32 | FFFF 9808 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT032 | XXXX XXXX _H | 32 | FFFF 980C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA032 | XXXX XXXX _H | 32 | FFFF 9810 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA032 | XXXX XXXX _H | 32 | FFFF 9814 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC032 | XXXX XXXX _H | 32 | FFFF 9818 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC032 | XXXX XXXX _H | 32 | FFFF 981C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL032 | 0000 0000 _H | 32 | FFFF 9820 _H | 0 | 32 |

(131/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST032 | 0000 0000 _H | 32 | FFFF 9824 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS032 | 0000 0000 _H | 32 | FFFF 9828 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC032 | 0000 0000 _H | 32 | FFFF 982C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA033 | XXXX XXXX _H | 32 | FFFF 9840 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA033 | XXXX XXXX _H | 32 | FFFF 9844 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC033 | XXXX XXXX _H | 32 | FFFF 9848 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT033 | XXXX XXXX _H | 32 | FFFF 984C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA033 | XXXX XXXX _H | 32 | FFFF 9850 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA033 | XXXX XXXX _H | 32 | FFFF 9854 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC033 | XXXX XXXX _H | 32 | FFFF 9858 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC033 | XXXX XXXX _H | 32 | FFFF 985C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL033 | 0000 0000 _H | 32 | FFFF 9860 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST033 | 0000 0000 _H | 32 | FFFF 9864 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS033 | 0000 0000 _H | 32 | FFFF 9868 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC033 | 0000 0000 _H | 32 | FFFF 986C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA034 | XXXX XXXX _H | 32 | FFFF 9880 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA034 | XXXX XXXX _H | 32 | FFFF 9884 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC034 | XXXX XXXX _H | 32 | FFFF 9888 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT034 | XXXX XXXX _H | 32 | FFFF 988C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA034 | XXXX XXXX _H | 32 | FFFF 9890 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA034 | XXXX XXXX _H | 32 | FFFF 9894 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC034 | XXXX XXXX _H | 32 | FFFF 9898 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC034 | XXXX XXXX _H | 32 | FFFF 989C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL034 | 0000 0000 _H | 32 | FFFF 98A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST034 | 0000 0000 _H | 32 | FFFF 98A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS034 | 0000 0000 _H | 32 | FFFF 98A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC034 | 0000 0000 _H | 32 | FFFF 98AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA035 | XXXX XXXX _H | 32 | FFFF 98C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA035 | XXXX XXXX _H | 32 | FFFF 98C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC035 | XXXX XXXX _H | 32 | FFFF 98C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT035 | XXXX XXXX _H | 32 | FFFF 98CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA035 | XXXX XXXX _H | 32 | FFFF 98D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA035 | XXXX XXXX _H | 32 | FFFF 98D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC035 | XXXX XXXX _H | 32 | FFFF 98D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC035 | XXXX XXXX _H | 32 | FFFF 98DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL035 | 0000 0000 _H | 32 | FFFF 98E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST035 | 0000 0000 _H | 32 | FFFF 98E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS035 | 0000 0000 _H | 32 | FFFF 98E8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC035 | 0000 0000 _H | 32 | FFFF 98EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA036 | XXXX XXXX _H | 32 | FFFF 9900 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA036 | XXXX XXXX _H | 32 | FFFF 9904 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC036 | XXXX XXXX _H | 32 | FFFF 9908 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT036 | XXXX XXXX _H | 32 | FFFF 990C _H | 0 | 32 |

(132/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA036 | XXXX XXXX _H | 32 | FFFF 9910 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA036 | XXXX XXXX _H | 32 | FFFF 9914 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC036 | XXXX XXXX _H | 32 | FFFF 9918 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC036 | XXXX XXXX _H | 32 | FFFF 991C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL036 | 0000 0000 _H | 32 | FFFF 9920 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST036 | 0000 0000 _H | 32 | FFFF 9924 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS036 | 0000 0000 _H | 32 | FFFF 9928 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC036 | 0000 0000 _H | 32 | FFFF 992C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA037 | XXXX XXXX _H | 32 | FFFF 9940 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA037 | XXXX XXXX _H | 32 | FFFF 9944 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC037 | XXXX XXXX _H | 32 | FFFF 9948 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT037 | XXXX XXXX _H | 32 | FFFF 994C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA037 | XXXX XXXX _H | 32 | FFFF 9950 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA037 | XXXX XXXX _H | 32 | FFFF 9954 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC037 | XXXX XXXX _H | 32 | FFFF 9958 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC037 | XXXX XXXX _H | 32 | FFFF 995C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL037 | 0000 0000 _H | 32 | FFFF 9960 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST037 | 0000 0000 _H | 32 | FFFF 9964 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS037 | 0000 0000 _H | 32 | FFFF 9968 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC037 | 0000 0000 _H | 32 | FFFF 996C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA038 | XXXX XXXX _H | 32 | FFFF 9980 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA038 | XXXX XXXX _H | 32 | FFFF 9984 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC038 | XXXX XXXX _H | 32 | FFFF 9988 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT038 | XXXX XXXX _H | 32 | FFFF 998C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA038 | XXXX XXXX _H | 32 | FFFF 9990 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA038 | XXXX XXXX _H | 32 | FFFF 9994 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC038 | XXXX XXXX _H | 32 | FFFF 9998 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC038 | XXXX XXXX _H | 32 | FFFF 999C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL038 | 0000 0000 _H | 32 | FFFF 99A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST038 | 0000 0000 _H | 32 | FFFF 99A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS038 | 0000 0000 _H | 32 | FFFF 99A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC038 | 0000 0000 _H | 32 | FFFF 99AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA039 | XXXX XXXX _H | 32 | FFFF 99C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA039 | XXXX XXXX _H | 32 | FFFF 99C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC039 | XXXX XXXX _H | 32 | FFFF 99C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT039 | XXXX XXXX _H | 32 | FFFF 99CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA039 | XXXX XXXX _H | 32 | FFFF 99D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA039 | XXXX XXXX _H | 32 | FFFF 99D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC039 | XXXX XXXX _H | 32 | FFFF 99D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC039 | XXXX XXXX _H | 32 | FFFF 99DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL039 | 0000 0000 _H | 32 | FFFF 99E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST039 | 0000 0000 _H | 32 | FFFF 99E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS039 | 0000 0000 _H | 32 | FFFF 99E8 _H | 0 | 32 |

(133/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC039 | 0000 0000 _H | 32 | FFFF 99EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA040 | XXXX XXXX _H | 32 | FFFF 9A00 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA040 | XXXX XXXX _H | 32 | FFFF 9A04 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC040 | XXXX XXXX _H | 32 | FFFF 9A08 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT040 | XXXX XXXX _H | 32 | FFFF 9A0C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA040 | XXXX XXXX _H | 32 | FFFF 9A10 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA040 | XXXX XXXX _H | 32 | FFFF 9A14 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC040 | XXXX XXXX _H | 32 | FFFF 9A18 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC040 | XXXX XXXX _H | 32 | FFFF 9A1C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL040 | 0000 0000 _H | 32 | FFFF 9A20 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST040 | 0000 0000 _H | 32 | FFFF 9A24 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS040 | 0000 0000 _H | 32 | FFFF 9A28 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC040 | 0000 0000 _H | 32 | FFFF 9A2C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA041 | XXXX XXXX _H | 32 | FFFF 9A40 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA041 | XXXX XXXX _H | 32 | FFFF 9A44 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC041 | XXXX XXXX _H | 32 | FFFF 9A48 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT041 | XXXX XXXX _H | 32 | FFFF 9A4C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA041 | XXXX XXXX _H | 32 | FFFF 9A50 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA041 | XXXX XXXX _H | 32 | FFFF 9A54 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC041 | XXXX XXXX _H | 32 | FFFF 9A58 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC041 | XXXX XXXX _H | 32 | FFFF 9A5C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL041 | 0000 0000 _H | 32 | FFFF 9A60 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST041 | 0000 0000 _H | 32 | FFFF 9A64 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS041 | 0000 0000 _H | 32 | FFFF 9A68 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC041 | 0000 0000 _H | 32 | FFFF 9A6C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA042 | XXXX XXXX _H | 32 | FFFF 9A80 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA042 | XXXX XXXX _H | 32 | FFFF 9A84 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC042 | XXXX XXXX _H | 32 | FFFF 9A88 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT042 | XXXX XXXX _H | 32 | FFFF 9A8C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA042 | XXXX XXXX _H | 32 | FFFF 9A90 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA042 | XXXX XXXX _H | 32 | FFFF 9A94 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC042 | XXXX XXXX _H | 32 | FFFF 9A98 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC042 | XXXX XXXX _H | 32 | FFFF 9A9C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL042 | 0000 0000 _H | 32 | FFFF 9AA0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST042 | 0000 0000 _H | 32 | FFFF 9AA4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS042 | 0000 0000 _H | 32 | FFFF 9AA8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC042 | 0000 0000 _H | 32 | FFFF 9AAC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA043 | XXXX XXXX _H | 32 | FFFF 9AC0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA043 | XXXX XXXX _H | 32 | FFFF 9AC4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC043 | XXXX XXXX _H | 32 | FFFF 9AC8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT043 | XXXX XXXX _H | 32 | FFFF 9ACC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA043 | XXXX XXXX _H | 32 | FFFF 9AD0 _H | 0 | 32 |

(134/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA043 | XXXX XXXX _H | 32 | FFFF 9AD4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC043 | XXXX XXXX _H | 32 | FFFF 9AD8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC043 | XXXX XXXX _H | 32 | FFFF 9ADC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL043 | 0000 0000 _H | 32 | FFFF 9AE0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST043 | 0000 0000 _H | 32 | FFFF 9AE4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS043 | 0000 0000 _H | 32 | FFFF 9AE8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC043 | 0000 0000 _H | 32 | FFFF 9AEC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA044 | XXXX XXXX _H | 32 | FFFF 9B00 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA044 | XXXX XXXX _H | 32 | FFFF 9B04 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC044 | XXXX XXXX _H | 32 | FFFF 9B08 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT044 | XXXX XXXX _H | 32 | FFFF 9B0C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA044 | XXXX XXXX _H | 32 | FFFF 9B10 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA044 | XXXX XXXX _H | 32 | FFFF 9B14 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC044 | XXXX XXXX _H | 32 | FFFF 9B18 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC044 | XXXX XXXX _H | 32 | FFFF 9B1C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL044 | 0000 0000 _H | 32 | FFFF 9B20 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST044 | 0000 0000 _H | 32 | FFFF 9B24 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS044 | 0000 0000 _H | 32 | FFFF 9B28 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC044 | 0000 0000 _H | 32 | FFFF 9B2C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA045 | XXXX XXXX _H | 32 | FFFF 9B40 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA045 | XXXX XXXX _H | 32 | FFFF 9B44 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC045 | XXXX XXXX _H | 32 | FFFF 9B48 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT045 | XXXX XXXX _H | 32 | FFFF 9B4C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA045 | XXXX XXXX _H | 32 | FFFF 9B50 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA045 | XXXX XXXX _H | 32 | FFFF 9B54 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC045 | XXXX XXXX _H | 32 | FFFF 9B58 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC045 | XXXX XXXX _H | 32 | FFFF 9B5C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL045 | 0000 0000 _H | 32 | FFFF 9B60 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST045 | 0000 0000 _H | 32 | FFFF 9B64 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS045 | 0000 0000 _H | 32 | FFFF 9B68 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC045 | 0000 0000 _H | 32 | FFFF 9B6C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA046 | XXXX XXXX _H | 32 | FFFF 9B80 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA046 | XXXX XXXX _H | 32 | FFFF 9B84 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC046 | XXXX XXXX _H | 32 | FFFF 9B88 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT046 | XXXX XXXX _H | 32 | FFFF 9B8C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA046 | XXXX XXXX _H | 32 | FFFF 9B90 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA046 | XXXX XXXX _H | 32 | FFFF 9B94 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC046 | XXXX XXXX _H | 32 | FFFF 9B98 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC046 | XXXX XXXX _H | 32 | FFFF 9B9C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL046 | 0000 0000 _H | 32 | FFFF 9BA0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST046 | 0000 0000 _H | 32 | FFFF 9BA4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS046 | 0000 0000 _H | 32 | FFFF 9BA8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC046 | 0000 0000 _H | 32 | FFFF 9BAC _H | 0 | 32 |

(135/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS ソースアドレスレジスタ | DTSA047 | XXXX XXXX _H | 32 | FFFF 9BC0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA047 | XXXX XXXX _H | 32 | FFFF 9BC4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC047 | XXXX XXXX _H | 32 | FFFF 9BC8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT047 | XXXX XXXX _H | 32 | FFFF 9BCC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA047 | XXXX XXXX _H | 32 | FFFF 9BD0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA047 | XXXX XXXX _H | 32 | FFFF 9BD4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC047 | XXXX XXXX _H | 32 | FFFF 9BD8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC047 | XXXX XXXX _H | 32 | FFFF 9BDC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL047 | 0000 0000 _H | 32 | FFFF 9BE0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST047 | 0000 0000 _H | 32 | FFFF 9BE4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS047 | 0000 0000 _H | 32 | FFFF 9BE8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC047 | 0000 0000 _H | 32 | FFFF 9BEC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA048 | XXXX XXXX _H | 32 | FFFF 9C00 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA048 | XXXX XXXX _H | 32 | FFFF 9C04 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC048 | XXXX XXXX _H | 32 | FFFF 9C08 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT048 | XXXX XXXX _H | 32 | FFFF 9C0C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA048 | XXXX XXXX _H | 32 | FFFF 9C10 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA048 | XXXX XXXX _H | 32 | FFFF 9C14 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC048 | XXXX XXXX _H | 32 | FFFF 9C18 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC048 | XXXX XXXX _H | 32 | FFFF 9C1C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL048 | 0000 0000 _H | 32 | FFFF 9C20 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST048 | 0000 0000 _H | 32 | FFFF 9C24 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS048 | 0000 0000 _H | 32 | FFFF 9C28 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC048 | 0000 0000 _H | 32 | FFFF 9C2C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA049 | XXXX XXXX _H | 32 | FFFF 9C40 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA049 | XXXX XXXX _H | 32 | FFFF 9C44 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC049 | XXXX XXXX _H | 32 | FFFF 9C48 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT049 | XXXX XXXX _H | 32 | FFFF 9C4C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA049 | XXXX XXXX _H | 32 | FFFF 9C50 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA049 | XXXX XXXX _H | 32 | FFFF 9C54 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC049 | XXXX XXXX _H | 32 | FFFF 9C58 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC049 | XXXX XXXX _H | 32 | FFFF 9C5C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL049 | 0000 0000 _H | 32 | FFFF 9C60 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST049 | 0000 0000 _H | 32 | FFFF 9C64 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS049 | 0000 0000 _H | 32 | FFFF 9C68 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC049 | 0000 0000 _H | 32 | FFFF 9C6C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA050 | XXXX XXXX _H | 32 | FFFF 9C80 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA050 | XXXX XXXX _H | 32 | FFFF 9C84 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC050 | XXXX XXXX _H | 32 | FFFF 9C88 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT050 | XXXX XXXX _H | 32 | FFFF 9C8C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA050 | XXXX XXXX _H | 32 | FFFF 9C90 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA050 | XXXX XXXX _H | 32 | FFFF 9C94 _H | 0 | 32 |

(136/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS リロード転送回数レジスタ | DTRTC050 | XXXX XXXX _H | 32 | FFFF 9C98 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC050 | XXXX XXXX _H | 32 | FFFF 9C9C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL050 | 0000 0000 _H | 32 | FFFF 9CA0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST050 | 0000 0000 _H | 32 | FFFF 9CA4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS050 | 0000 0000 _H | 32 | FFFF 9CA8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC050 | 0000 0000 _H | 32 | FFFF 9CAC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA051 | XXXX XXXX _H | 32 | FFFF 9CC0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA051 | XXXX XXXX _H | 32 | FFFF 9CC4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC051 | XXXX XXXX _H | 32 | FFFF 9CC8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT051 | XXXX XXXX _H | 32 | FFFF 9CCC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA051 | XXXX XXXX _H | 32 | FFFF 9CD0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA051 | XXXX XXXX _H | 32 | FFFF 9CD4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC051 | XXXX XXXX _H | 32 | FFFF 9CD8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC051 | XXXX XXXX _H | 32 | FFFF 9CDC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL051 | 0000 0000 _H | 32 | FFFF 9CE0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST051 | 0000 0000 _H | 32 | FFFF 9CE4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS051 | 0000 0000 _H | 32 | FFFF 9CE8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC051 | 0000 0000 _H | 32 | FFFF 9CEC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA052 | XXXX XXXX _H | 32 | FFFF 9D00 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA052 | XXXX XXXX _H | 32 | FFFF 9D04 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC052 | XXXX XXXX _H | 32 | FFFF 9D08 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT052 | XXXX XXXX _H | 32 | FFFF 9D0C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA052 | XXXX XXXX _H | 32 | FFFF 9D10 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA052 | XXXX XXXX _H | 32 | FFFF 9D14 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC052 | XXXX XXXX _H | 32 | FFFF 9D18 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC052 | XXXX XXXX _H | 32 | FFFF 9D1C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL052 | 0000 0000 _H | 32 | FFFF 9D20 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST052 | 0000 0000 _H | 32 | FFFF 9D24 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS052 | 0000 0000 _H | 32 | FFFF 9D28 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC052 | 0000 0000 _H | 32 | FFFF 9D2C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA053 | XXXX XXXX _H | 32 | FFFF 9D40 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA053 | XXXX XXXX _H | 32 | FFFF 9D44 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC053 | XXXX XXXX _H | 32 | FFFF 9D48 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT053 | XXXX XXXX _H | 32 | FFFF 9D4C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA053 | XXXX XXXX _H | 32 | FFFF 9D50 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA053 | XXXX XXXX _H | 32 | FFFF 9D54 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC053 | XXXX XXXX _H | 32 | FFFF 9D58 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC053 | XXXX XXXX _H | 32 | FFFF 9D5C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL053 | 0000 0000 _H | 32 | FFFF 9D60 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST053 | 0000 0000 _H | 32 | FFFF 9D64 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS053 | 0000 0000 _H | 32 | FFFF 9D68 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC053 | 0000 0000 _H | 32 | FFFF 9D6C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA054 | XXXX XXXX _H | 32 | FFFF 9D80 _H | 0 | 32 |

(137/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA054 | XXXX XXXX _H | 32 | FFFF 9D84 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC054 | XXXX XXXX _H | 32 | FFFF 9D88 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT054 | XXXX XXXX _H | 32 | FFFF 9D8C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA054 | XXXX XXXX _H | 32 | FFFF 9D90 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA054 | XXXX XXXX _H | 32 | FFFF 9D94 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC054 | XXXX XXXX _H | 32 | FFFF 9D98 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC054 | XXXX XXXX _H | 32 | FFFF 9D9C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL054 | 0000 0000 _H | 32 | FFFF 9DA0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST054 | 0000 0000 _H | 32 | FFFF 9DA4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS054 | 0000 0000 _H | 32 | FFFF 9DA8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC054 | 0000 0000 _H | 32 | FFFF 9DAC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA055 | XXXX XXXX _H | 32 | FFFF 9DC0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA055 | XXXX XXXX _H | 32 | FFFF 9DC4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC055 | XXXX XXXX _H | 32 | FFFF 9DC8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT055 | XXXX XXXX _H | 32 | FFFF 9DCC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA055 | XXXX XXXX _H | 32 | FFFF 9DD0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA055 | XXXX XXXX _H | 32 | FFFF 9DD4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC055 | XXXX XXXX _H | 32 | FFFF 9DD8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC055 | XXXX XXXX _H | 32 | FFFF 9DDC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL055 | 0000 0000 _H | 32 | FFFF 9DE0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST055 | 0000 0000 _H | 32 | FFFF 9DE4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS055 | 0000 0000 _H | 32 | FFFF 9DE8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC055 | 0000 0000 _H | 32 | FFFF 9DEC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA056 | XXXX XXXX _H | 32 | FFFF 9E00 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA056 | XXXX XXXX _H | 32 | FFFF 9E04 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC056 | XXXX XXXX _H | 32 | FFFF 9E08 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT056 | XXXX XXXX _H | 32 | FFFF 9E0C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA056 | XXXX XXXX _H | 32 | FFFF 9E10 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA056 | XXXX XXXX _H | 32 | FFFF 9E14 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC056 | XXXX XXXX _H | 32 | FFFF 9E18 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC056 | XXXX XXXX _H | 32 | FFFF 9E1C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL056 | 0000 0000 _H | 32 | FFFF 9E20 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST056 | 0000 0000 _H | 32 | FFFF 9E24 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS056 | 0000 0000 _H | 32 | FFFF 9E28 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC056 | 0000 0000 _H | 32 | FFFF 9E2C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA057 | XXXX XXXX _H | 32 | FFFF 9E40 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA057 | XXXX XXXX _H | 32 | FFFF 9E44 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC057 | XXXX XXXX _H | 32 | FFFF 9E48 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT057 | XXXX XXXX _H | 32 | FFFF 9E4C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA057 | XXXX XXXX _H | 32 | FFFF 9E50 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA057 | XXXX XXXX _H | 32 | FFFF 9E54 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC057 | XXXX XXXX _H | 32 | FFFF 9E58 _H | 0 | 32 |

(138/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC057 | XXXX XXXX _H | 32 | FFFF 9E5C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL057 | 0000 0000 _H | 32 | FFFF 9E60 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST057 | 0000 0000 _H | 32 | FFFF 9E64 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS057 | 0000 0000 _H | 32 | FFFF 9E68 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC057 | 0000 0000 _H | 32 | FFFF 9E6C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA058 | XXXX XXXX _H | 32 | FFFF 9E80 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA058 | XXXX XXXX _H | 32 | FFFF 9E84 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC058 | XXXX XXXX _H | 32 | FFFF 9E88 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT058 | XXXX XXXX _H | 32 | FFFF 9E8C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA058 | XXXX XXXX _H | 32 | FFFF 9E90 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA058 | XXXX XXXX _H | 32 | FFFF 9E94 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC058 | XXXX XXXX _H | 32 | FFFF 9E98 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC058 | XXXX XXXX _H | 32 | FFFF 9E9C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL058 | 0000 0000 _H | 32 | FFFF 9EA0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST058 | 0000 0000 _H | 32 | FFFF 9EA4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS058 | 0000 0000 _H | 32 | FFFF 9EA8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC058 | 0000 0000 _H | 32 | FFFF 9EAC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA059 | XXXX XXXX _H | 32 | FFFF 9EC0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA059 | XXXX XXXX _H | 32 | FFFF 9EC4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC059 | XXXX XXXX _H | 32 | FFFF 9EC8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT059 | XXXX XXXX _H | 32 | FFFF 9ECC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA059 | XXXX XXXX _H | 32 | FFFF 9ED0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA059 | XXXX XXXX _H | 32 | FFFF 9ED4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC059 | XXXX XXXX _H | 32 | FFFF 9ED8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC059 | XXXX XXXX _H | 32 | FFFF 9EDC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL059 | 0000 0000 _H | 32 | FFFF 9EE0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST059 | 0000 0000 _H | 32 | FFFF 9EE4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS059 | 0000 0000 _H | 32 | FFFF 9EE8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC059 | 0000 0000 _H | 32 | FFFF 9EEC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA060 | XXXX XXXX _H | 32 | FFFF 9F00 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA060 | XXXX XXXX _H | 32 | FFFF 9F04 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC060 | XXXX XXXX _H | 32 | FFFF 9F08 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT060 | XXXX XXXX _H | 32 | FFFF 9F0C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA060 | XXXX XXXX _H | 32 | FFFF 9F10 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA060 | XXXX XXXX _H | 32 | FFFF 9F14 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC060 | XXXX XXXX _H | 32 | FFFF 9F18 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC060 | XXXX XXXX _H | 32 | FFFF 9F1C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL060 | 0000 0000 _H | 32 | FFFF 9F20 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST060 | 0000 0000 _H | 32 | FFFF 9F24 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS060 | 0000 0000 _H | 32 | FFFF 9F28 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC060 | 0000 0000 _H | 32 | FFFF 9F2C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA061 | XXXX XXXX _H | 32 | FFFF 9F40 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA061 | XXXX XXXX _H | 32 | FFFF 9F44 _H | 0 | 32 |

(139/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS 転送回数レジスタ | DTTC061 | XXXX XXXX _H | 32 | FFFF 9F48 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT061 | XXXX XXXX _H | 32 | FFFF 9F4C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA061 | XXXX XXXX _H | 32 | FFFF 9F50 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA061 | XXXX XXXX _H | 32 | FFFF 9F54 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC061 | XXXX XXXX _H | 32 | FFFF 9F58 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC061 | XXXX XXXX _H | 32 | FFFF 9F5C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL061 | 0000 0000 _H | 32 | FFFF 9F60 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST061 | 0000 0000 _H | 32 | FFFF 9F64 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS061 | 0000 0000 _H | 32 | FFFF 9F68 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC061 | 0000 0000 _H | 32 | FFFF 9F6C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA062 | XXXX XXXX _H | 32 | FFFF 9F80 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA062 | XXXX XXXX _H | 32 | FFFF 9F84 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC062 | XXXX XXXX _H | 32 | FFFF 9F88 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT062 | XXXX XXXX _H | 32 | FFFF 9F8C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA062 | XXXX XXXX _H | 32 | FFFF 9F90 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA062 | XXXX XXXX _H | 32 | FFFF 9F94 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC062 | XXXX XXXX _H | 32 | FFFF 9F98 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC062 | XXXX XXXX _H | 32 | FFFF 9F9C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL062 | 0000 0000 _H | 32 | FFFF 9FA0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST062 | 0000 0000 _H | 32 | FFFF 9FA4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS062 | 0000 0000 _H | 32 | FFFF 9FA8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC062 | 0000 0000 _H | 32 | FFFF 9FAC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA063 | XXXX XXXX _H | 32 | FFFF 9FC0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA063 | XXXX XXXX _H | 32 | FFFF 9FC4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC063 | XXXX XXXX _H | 32 | FFFF 9FC8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT063 | XXXX XXXX _H | 32 | FFFF 9FCC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA063 | XXXX XXXX _H | 32 | FFFF 9FD0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA063 | XXXX XXXX _H | 32 | FFFF 9FD4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC063 | XXXX XXXX _H | 32 | FFFF 9FD8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC063 | XXXX XXXX _H | 32 | FFFF 9FDC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL063 | 0000 0000 _H | 32 | FFFF 9FE0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST063 | 0000 0000 _H | 32 | FFFF 9FE4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS063 | 0000 0000 _H | 32 | FFFF 9FE8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC063 | 0000 0000 _H | 32 | FFFF 9FEC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA064 | XXXX XXXX _H | 32 | FFFF A000 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA064 | XXXX XXXX _H | 32 | FFFF A004 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC064 | XXXX XXXX _H | 32 | FFFF A008 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT064 | XXXX XXXX _H | 32 | FFFF A00C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA064 | XXXX XXXX _H | 32 | FFFF A010 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA064 | XXXX XXXX _H | 32 | FFFF A014 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC064 | XXXX XXXX _H | 32 | FFFF A018 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC064 | XXXX XXXX _H | 32 | FFFF A01C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL064 | 0000 0000 _H | 32 | FFFF A020 _H | 0 | 32 |

(140/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST064 | 0000 0000 _H | 32 | FFFF A024 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS064 | 0000 0000 _H | 32 | FFFF A028 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC064 | 0000 0000 _H | 32 | FFFF A02C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA065 | XXXX XXXX _H | 32 | FFFF A040 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA065 | XXXX XXXX _H | 32 | FFFF A044 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC065 | XXXX XXXX _H | 32 | FFFF A048 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT065 | XXXX XXXX _H | 32 | FFFF A04C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA065 | XXXX XXXX _H | 32 | FFFF A050 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA065 | XXXX XXXX _H | 32 | FFFF A054 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC065 | XXXX XXXX _H | 32 | FFFF A058 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC065 | XXXX XXXX _H | 32 | FFFF A05C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL065 | 0000 0000 _H | 32 | FFFF A060 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST065 | 0000 0000 _H | 32 | FFFF A064 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS065 | 0000 0000 _H | 32 | FFFF A068 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC065 | 0000 0000 _H | 32 | FFFF A06C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA066 | XXXX XXXX _H | 32 | FFFF A080 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA066 | XXXX XXXX _H | 32 | FFFF A084 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC066 | XXXX XXXX _H | 32 | FFFF A088 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT066 | XXXX XXXX _H | 32 | FFFF A08C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA066 | XXXX XXXX _H | 32 | FFFF A090 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA066 | XXXX XXXX _H | 32 | FFFF A094 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC066 | XXXX XXXX _H | 32 | FFFF A098 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC066 | XXXX XXXX _H | 32 | FFFF A09C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL066 | 0000 0000 _H | 32 | FFFF A0A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST066 | 0000 0000 _H | 32 | FFFF A0A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS066 | 0000 0000 _H | 32 | FFFF A0A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC066 | 0000 0000 _H | 32 | FFFF A0AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA067 | XXXX XXXX _H | 32 | FFFF A0C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA067 | XXXX XXXX _H | 32 | FFFF A0C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC067 | XXXX XXXX _H | 32 | FFFF A0C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT067 | XXXX XXXX _H | 32 | FFFF A0CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA067 | XXXX XXXX _H | 32 | FFFF A0D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA067 | XXXX XXXX _H | 32 | FFFF A0D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC067 | XXXX XXXX _H | 32 | FFFF A0D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC067 | XXXX XXXX _H | 32 | FFFF A0DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL067 | 0000 0000 _H | 32 | FFFF A0E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST067 | 0000 0000 _H | 32 | FFFF A0E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS067 | 0000 0000 _H | 32 | FFFF A0E8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC067 | 0000 0000 _H | 32 | FFFF A0EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA068 | XXXX XXXX _H | 32 | FFFF A100 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA068 | XXXX XXXX _H | 32 | FFFF A104 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC068 | XXXX XXXX _H | 32 | FFFF A108 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT068 | XXXX XXXX _H | 32 | FFFF A10C _H | 0 | 32 |

(141/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA068 | XXXX XXXX _H | 32 | FFFF A110 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA068 | XXXX XXXX _H | 32 | FFFF A114 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC068 | XXXX XXXX _H | 32 | FFFF A118 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC068 | XXXX XXXX _H | 32 | FFFF A11C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL068 | 0000 0000 _H | 32 | FFFF A120 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST068 | 0000 0000 _H | 32 | FFFF A124 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS068 | 0000 0000 _H | 32 | FFFF A128 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC068 | 0000 0000 _H | 32 | FFFF A12C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA069 | XXXX XXXX _H | 32 | FFFF A140 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA069 | XXXX XXXX _H | 32 | FFFF A144 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC069 | XXXX XXXX _H | 32 | FFFF A148 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT069 | XXXX XXXX _H | 32 | FFFF A14C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA069 | XXXX XXXX _H | 32 | FFFF A150 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA069 | XXXX XXXX _H | 32 | FFFF A154 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC069 | XXXX XXXX _H | 32 | FFFF A158 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC069 | XXXX XXXX _H | 32 | FFFF A15C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL069 | 0000 0000 _H | 32 | FFFF A160 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST069 | 0000 0000 _H | 32 | FFFF A164 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS069 | 0000 0000 _H | 32 | FFFF A168 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC069 | 0000 0000 _H | 32 | FFFF A16C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA070 | XXXX XXXX _H | 32 | FFFF A180 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA070 | XXXX XXXX _H | 32 | FFFF A184 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC070 | XXXX XXXX _H | 32 | FFFF A188 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT070 | XXXX XXXX _H | 32 | FFFF A18C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA070 | XXXX XXXX _H | 32 | FFFF A190 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA070 | XXXX XXXX _H | 32 | FFFF A194 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC070 | XXXX XXXX _H | 32 | FFFF A198 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC070 | XXXX XXXX _H | 32 | FFFF A19C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL070 | 0000 0000 _H | 32 | FFFF A1A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST070 | 0000 0000 _H | 32 | FFFF A1A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS070 | 0000 0000 _H | 32 | FFFF A1A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC070 | 0000 0000 _H | 32 | FFFF A1AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA071 | XXXX XXXX _H | 32 | FFFF A1C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA071 | XXXX XXXX _H | 32 | FFFF A1C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC071 | XXXX XXXX _H | 32 | FFFF A1C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT071 | XXXX XXXX _H | 32 | FFFF A1CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA071 | XXXX XXXX _H | 32 | FFFF A1D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA071 | XXXX XXXX _H | 32 | FFFF A1D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC071 | XXXX XXXX _H | 32 | FFFF A1D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC071 | XXXX XXXX _H | 32 | FFFF A1DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL071 | 0000 0000 _H | 32 | FFFF A1E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST071 | 0000 0000 _H | 32 | FFFF A1E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS071 | 0000 0000 _H | 32 | FFFF A1E8 _H | 0 | 32 |

(142/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC071 | 0000 0000 _H | 32 | FFFF A1E _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA072 | XXXX XXXX _H | 32 | FFFF A200 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA072 | XXXX XXXX _H | 32 | FFFF A204 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC072 | XXXX XXXX _H | 32 | FFFF A208 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT072 | XXXX XXXX _H | 32 | FFFF A20C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA072 | XXXX XXXX _H | 32 | FFFF A210 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA072 | XXXX XXXX _H | 32 | FFFF A214 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC072 | XXXX XXXX _H | 32 | FFFF A218 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC072 | XXXX XXXX _H | 32 | FFFF A21C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL072 | 0000 0000 _H | 32 | FFFF A220 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST072 | 0000 0000 _H | 32 | FFFF A224 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS072 | 0000 0000 _H | 32 | FFFF A228 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC072 | 0000 0000 _H | 32 | FFFF A22C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA073 | XXXX XXXX _H | 32 | FFFF A240 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA073 | XXXX XXXX _H | 32 | FFFF A244 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC073 | XXXX XXXX _H | 32 | FFFF A248 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT073 | XXXX XXXX _H | 32 | FFFF A24C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA073 | XXXX XXXX _H | 32 | FFFF A250 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA073 | XXXX XXXX _H | 32 | FFFF A254 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC073 | XXXX XXXX _H | 32 | FFFF A258 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC073 | XXXX XXXX _H | 32 | FFFF A25C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL073 | 0000 0000 _H | 32 | FFFF A260 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST073 | 0000 0000 _H | 32 | FFFF A264 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS073 | 0000 0000 _H | 32 | FFFF A268 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC073 | 0000 0000 _H | 32 | FFFF A26C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA074 | XXXX XXXX _H | 32 | FFFF A280 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA074 | XXXX XXXX _H | 32 | FFFF A284 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC074 | XXXX XXXX _H | 32 | FFFF A288 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT074 | XXXX XXXX _H | 32 | FFFF A28C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA074 | XXXX XXXX _H | 32 | FFFF A290 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA074 | XXXX XXXX _H | 32 | FFFF A294 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC074 | XXXX XXXX _H | 32 | FFFF A298 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC074 | XXXX XXXX _H | 32 | FFFF A29C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL074 | 0000 0000 _H | 32 | FFFF A2A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST074 | 0000 0000 _H | 32 | FFFF A2A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS074 | 0000 0000 _H | 32 | FFFF A2A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC074 | 0000 0000 _H | 32 | FFFF A2AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA075 | XXXX XXXX _H | 32 | FFFF A2C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA075 | XXXX XXXX _H | 32 | FFFF A2C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC075 | XXXX XXXX _H | 32 | FFFF A2C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT075 | XXXX XXXX _H | 32 | FFFF A2CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA075 | XXXX XXXX _H | 32 | FFFF A2D0 _H | 0 | 32 |

(143/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA075 | XXXX XXXX _H | 32 | FFFF A2D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC075 | XXXX XXXX _H | 32 | FFFF A2D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC075 | XXXX XXXX _H | 32 | FFFF A2DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL075 | 0000 0000 _H | 32 | FFFF A2E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST075 | 0000 0000 _H | 32 | FFFF A2E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS075 | 0000 0000 _H | 32 | FFFF A2E8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC075 | 0000 0000 _H | 32 | FFFF A2EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA076 | XXXX XXXX _H | 32 | FFFF A300 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA076 | XXXX XXXX _H | 32 | FFFF A304 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC076 | XXXX XXXX _H | 32 | FFFF A308 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT076 | XXXX XXXX _H | 32 | FFFF A30C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA076 | XXXX XXXX _H | 32 | FFFF A310 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA076 | XXXX XXXX _H | 32 | FFFF A314 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC076 | XXXX XXXX _H | 32 | FFFF A318 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC076 | XXXX XXXX _H | 32 | FFFF A31C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL076 | 0000 0000 _H | 32 | FFFF A320 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST076 | 0000 0000 _H | 32 | FFFF A324 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS076 | 0000 0000 _H | 32 | FFFF A328 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC076 | 0000 0000 _H | 32 | FFFF A32C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA077 | XXXX XXXX _H | 32 | FFFF A340 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA077 | XXXX XXXX _H | 32 | FFFF A344 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC077 | XXXX XXXX _H | 32 | FFFF A348 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT077 | XXXX XXXX _H | 32 | FFFF A34C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA077 | XXXX XXXX _H | 32 | FFFF A350 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA077 | XXXX XXXX _H | 32 | FFFF A354 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC077 | XXXX XXXX _H | 32 | FFFF A358 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC077 | XXXX XXXX _H | 32 | FFFF A35C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL077 | 0000 0000 _H | 32 | FFFF A360 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST077 | 0000 0000 _H | 32 | FFFF A364 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS077 | 0000 0000 _H | 32 | FFFF A368 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC077 | 0000 0000 _H | 32 | FFFF A36C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA078 | XXXX XXXX _H | 32 | FFFF A380 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA078 | XXXX XXXX _H | 32 | FFFF A384 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC078 | XXXX XXXX _H | 32 | FFFF A388 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT078 | XXXX XXXX _H | 32 | FFFF A38C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA078 | XXXX XXXX _H | 32 | FFFF A390 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA078 | XXXX XXXX _H | 32 | FFFF A394 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC078 | XXXX XXXX _H | 32 | FFFF A398 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC078 | XXXX XXXX _H | 32 | FFFF A39C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL078 | 0000 0000 _H | 32 | FFFF A3A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST078 | 0000 0000 _H | 32 | FFFF A3A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS078 | 0000 0000 _H | 32 | FFFF A3A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC078 | 0000 0000 _H | 32 | FFFF A3AC _H | 0 | 32 |

(144/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS ソースアドレスレジスタ | DTSA079 | XXXX XXXX _H | 32 | FFFF A3C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA079 | XXXX XXXX _H | 32 | FFFF A3C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC079 | XXXX XXXX _H | 32 | FFFF A3C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT079 | XXXX XXXX _H | 32 | FFFF A3CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA079 | XXXX XXXX _H | 32 | FFFF A3D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA079 | XXXX XXXX _H | 32 | FFFF A3D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC079 | XXXX XXXX _H | 32 | FFFF A3D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC079 | XXXX XXXX _H | 32 | FFFF A3DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL079 | 0000 0000 _H | 32 | FFFF A3E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST079 | 0000 0000 _H | 32 | FFFF A3E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS079 | 0000 0000 _H | 32 | FFFF A3E8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC079 | 0000 0000 _H | 32 | FFFF A3EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA080 | XXXX XXXX _H | 32 | FFFF A400 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA080 | XXXX XXXX _H | 32 | FFFF A404 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC080 | XXXX XXXX _H | 32 | FFFF A408 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT080 | XXXX XXXX _H | 32 | FFFF A40C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA080 | XXXX XXXX _H | 32 | FFFF A410 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA080 | XXXX XXXX _H | 32 | FFFF A414 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC080 | XXXX XXXX _H | 32 | FFFF A418 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC080 | XXXX XXXX _H | 32 | FFFF A41C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL080 | 0000 0000 _H | 32 | FFFF A420 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST080 | 0000 0000 _H | 32 | FFFF A424 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS080 | 0000 0000 _H | 32 | FFFF A428 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC080 | 0000 0000 _H | 32 | FFFF A42C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA081 | XXXX XXXX _H | 32 | FFFF A440 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA081 | XXXX XXXX _H | 32 | FFFF A444 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC081 | XXXX XXXX _H | 32 | FFFF A448 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT081 | XXXX XXXX _H | 32 | FFFF A44C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA081 | XXXX XXXX _H | 32 | FFFF A450 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA081 | XXXX XXXX _H | 32 | FFFF A454 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC081 | XXXX XXXX _H | 32 | FFFF A458 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC081 | XXXX XXXX _H | 32 | FFFF A45C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL081 | 0000 0000 _H | 32 | FFFF A460 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST081 | 0000 0000 _H | 32 | FFFF A464 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS081 | 0000 0000 _H | 32 | FFFF A468 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC081 | 0000 0000 _H | 32 | FFFF A46C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA082 | XXXX XXXX _H | 32 | FFFF A480 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA082 | XXXX XXXX _H | 32 | FFFF A484 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC082 | XXXX XXXX _H | 32 | FFFF A488 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT082 | XXXX XXXX _H | 32 | FFFF A48C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA082 | XXXX XXXX _H | 32 | FFFF A490 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA082 | XXXX XXXX _H | 32 | FFFF A494 _H | 0 | 32 |

(145/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS リロード転送回数レジスタ | DTRTC082 | XXXX XXXX _H | 32 | FFFF A498 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC082 | XXXX XXXX _H | 32 | FFFF A49C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL082 | 0000 0000 _H | 32 | FFFF A4A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST082 | 0000 0000 _H | 32 | FFFF A4A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS082 | 0000 0000 _H | 32 | FFFF A4A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC082 | 0000 0000 _H | 32 | FFFF A4AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA083 | XXXX XXXX _H | 32 | FFFF A4C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA083 | XXXX XXXX _H | 32 | FFFF A4C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC083 | XXXX XXXX _H | 32 | FFFF A4C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT083 | XXXX XXXX _H | 32 | FFFF A4CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA083 | XXXX XXXX _H | 32 | FFFF A4D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA083 | XXXX XXXX _H | 32 | FFFF A4D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC083 | XXXX XXXX _H | 32 | FFFF A4D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC083 | XXXX XXXX _H | 32 | FFFF A4DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL083 | 0000 0000 _H | 32 | FFFF A4E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST083 | 0000 0000 _H | 32 | FFFF A4E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS083 | 0000 0000 _H | 32 | FFFF A4E8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC083 | 0000 0000 _H | 32 | FFFF A4EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA084 | XXXX XXXX _H | 32 | FFFF A500 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA084 | XXXX XXXX _H | 32 | FFFF A504 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC084 | XXXX XXXX _H | 32 | FFFF A508 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT084 | XXXX XXXX _H | 32 | FFFF A50C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA084 | XXXX XXXX _H | 32 | FFFF A510 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA084 | XXXX XXXX _H | 32 | FFFF A514 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC084 | XXXX XXXX _H | 32 | FFFF A518 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC084 | XXXX XXXX _H | 32 | FFFF A51C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL084 | 0000 0000 _H | 32 | FFFF A520 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST084 | 0000 0000 _H | 32 | FFFF A524 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS084 | 0000 0000 _H | 32 | FFFF A528 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC084 | 0000 0000 _H | 32 | FFFF A52C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA085 | XXXX XXXX _H | 32 | FFFF A540 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA085 | XXXX XXXX _H | 32 | FFFF A544 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC085 | XXXX XXXX _H | 32 | FFFF A548 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT085 | XXXX XXXX _H | 32 | FFFF A54C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA085 | XXXX XXXX _H | 32 | FFFF A550 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA085 | XXXX XXXX _H | 32 | FFFF A554 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC085 | XXXX XXXX _H | 32 | FFFF A558 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC085 | XXXX XXXX _H | 32 | FFFF A55C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL085 | 0000 0000 _H | 32 | FFFF A560 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST085 | 0000 0000 _H | 32 | FFFF A564 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS085 | 0000 0000 _H | 32 | FFFF A568 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC085 | 0000 0000 _H | 32 | FFFF A56C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA086 | XXXX XXXX _H | 32 | FFFF A580 _H | 0 | 32 |

(146/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA086 | XXXX XXXX _H | 32 | FFFF A584 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC086 | XXXX XXXX _H | 32 | FFFF A588 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT086 | XXXX XXXX _H | 32 | FFFF A58C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA086 | XXXX XXXX _H | 32 | FFFF A590 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA086 | XXXX XXXX _H | 32 | FFFF A594 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC086 | XXXX XXXX _H | 32 | FFFF A598 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC086 | XXXX XXXX _H | 32 | FFFF A59C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL086 | 0000 0000 _H | 32 | FFFF A5A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST086 | 0000 0000 _H | 32 | FFFF A5A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS086 | 0000 0000 _H | 32 | FFFF A5A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC086 | 0000 0000 _H | 32 | FFFF A5AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA087 | XXXX XXXX _H | 32 | FFFF A5C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA087 | XXXX XXXX _H | 32 | FFFF A5C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC087 | XXXX XXXX _H | 32 | FFFF A5C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT087 | XXXX XXXX _H | 32 | FFFF A5CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA087 | XXXX XXXX _H | 32 | FFFF A5D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA087 | XXXX XXXX _H | 32 | FFFF A5D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC087 | XXXX XXXX _H | 32 | FFFF A5D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC087 | XXXX XXXX _H | 32 | FFFF A5DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL087 | 0000 0000 _H | 32 | FFFF A5E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST087 | 0000 0000 _H | 32 | FFFF A5E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS087 | 0000 0000 _H | 32 | FFFF A5E8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC087 | 0000 0000 _H | 32 | FFFF A5EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA088 | XXXX XXXX _H | 32 | FFFF A600 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA088 | XXXX XXXX _H | 32 | FFFF A604 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC088 | XXXX XXXX _H | 32 | FFFF A608 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT088 | XXXX XXXX _H | 32 | FFFF A60C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA088 | XXXX XXXX _H | 32 | FFFF A610 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA088 | XXXX XXXX _H | 32 | FFFF A614 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC088 | XXXX XXXX _H | 32 | FFFF A618 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC088 | XXXX XXXX _H | 32 | FFFF A61C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL088 | 0000 0000 _H | 32 | FFFF A620 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST088 | 0000 0000 _H | 32 | FFFF A624 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS088 | 0000 0000 _H | 32 | FFFF A628 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC088 | 0000 0000 _H | 32 | FFFF A62C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA089 | XXXX XXXX _H | 32 | FFFF A640 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA089 | XXXX XXXX _H | 32 | FFFF A644 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC089 | XXXX XXXX _H | 32 | FFFF A648 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT089 | XXXX XXXX _H | 32 | FFFF A64C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA089 | XXXX XXXX _H | 32 | FFFF A650 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA089 | XXXX XXXX _H | 32 | FFFF A654 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC089 | XXXX XXXX _H | 32 | FFFF A658 _H | 0 | 32 |

(147/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC089 | XXXX XXXX _H | 32 | FFFF A65C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL089 | 0000 0000 _H | 32 | FFFF A660 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST089 | 0000 0000 _H | 32 | FFFF A664 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS089 | 0000 0000 _H | 32 | FFFF A668 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC089 | 0000 0000 _H | 32 | FFFF A66C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA090 | XXXX XXXX _H | 32 | FFFF A680 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA090 | XXXX XXXX _H | 32 | FFFF A684 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC090 | XXXX XXXX _H | 32 | FFFF A688 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT090 | XXXX XXXX _H | 32 | FFFF A68C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA090 | XXXX XXXX _H | 32 | FFFF A690 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA090 | XXXX XXXX _H | 32 | FFFF A694 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC090 | XXXX XXXX _H | 32 | FFFF A698 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC090 | XXXX XXXX _H | 32 | FFFF A69C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL090 | 0000 0000 _H | 32 | FFFF A6A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST090 | 0000 0000 _H | 32 | FFFF A6A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS090 | 0000 0000 _H | 32 | FFFF A6A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC090 | 0000 0000 _H | 32 | FFFF A6AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA091 | XXXX XXXX _H | 32 | FFFF A6C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA091 | XXXX XXXX _H | 32 | FFFF A6C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC091 | XXXX XXXX _H | 32 | FFFF A6C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT091 | XXXX XXXX _H | 32 | FFFF A6CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA091 | XXXX XXXX _H | 32 | FFFF A6D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA091 | XXXX XXXX _H | 32 | FFFF A6D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC091 | XXXX XXXX _H | 32 | FFFF A6D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC091 | XXXX XXXX _H | 32 | FFFF A6DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL091 | 0000 0000 _H | 32 | FFFF A6E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST091 | 0000 0000 _H | 32 | FFFF A6E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS091 | 0000 0000 _H | 32 | FFFF A6E8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC091 | 0000 0000 _H | 32 | FFFF A6EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA092 | XXXX XXXX _H | 32 | FFFF A700 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA092 | XXXX XXXX _H | 32 | FFFF A704 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC092 | XXXX XXXX _H | 32 | FFFF A708 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT092 | XXXX XXXX _H | 32 | FFFF A70C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA092 | XXXX XXXX _H | 32 | FFFF A710 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA092 | XXXX XXXX _H | 32 | FFFF A714 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC092 | XXXX XXXX _H | 32 | FFFF A718 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC092 | XXXX XXXX _H | 32 | FFFF A71C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL092 | 0000 0000 _H | 32 | FFFF A720 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST092 | 0000 0000 _H | 32 | FFFF A724 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS092 | 0000 0000 _H | 32 | FFFF A728 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC092 | 0000 0000 _H | 32 | FFFF A72C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA093 | XXXX XXXX _H | 32 | FFFF A740 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA093 | XXXX XXXX _H | 32 | FFFF A744 _H | 0 | 32 |

(148/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS 転送回数レジスタ | DTTC093 | XXXX XXXX _H | 32 | FFFF A748 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT093 | XXXX XXXX _H | 32 | FFFF A74C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA093 | XXXX XXXX _H | 32 | FFFF A750 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA093 | XXXX XXXX _H | 32 | FFFF A754 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC093 | XXXX XXXX _H | 32 | FFFF A758 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC093 | XXXX XXXX _H | 32 | FFFF A75C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL093 | 0000 0000 _H | 32 | FFFF A760 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST093 | 0000 0000 _H | 32 | FFFF A764 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS093 | 0000 0000 _H | 32 | FFFF A768 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC093 | 0000 0000 _H | 32 | FFFF A76C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA094 | XXXX XXXX _H | 32 | FFFF A780 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA094 | XXXX XXXX _H | 32 | FFFF A784 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC094 | XXXX XXXX _H | 32 | FFFF A788 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT094 | XXXX XXXX _H | 32 | FFFF A78C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA094 | XXXX XXXX _H | 32 | FFFF A790 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA094 | XXXX XXXX _H | 32 | FFFF A794 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC094 | XXXX XXXX _H | 32 | FFFF A798 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC094 | XXXX XXXX _H | 32 | FFFF A79C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL094 | 0000 0000 _H | 32 | FFFF A7A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST094 | 0000 0000 _H | 32 | FFFF A7A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS094 | 0000 0000 _H | 32 | FFFF A7A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC094 | 0000 0000 _H | 32 | FFFF A7AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA095 | XXXX XXXX _H | 32 | FFFF A7C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA095 | XXXX XXXX _H | 32 | FFFF A7C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC095 | XXXX XXXX _H | 32 | FFFF A7C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT095 | XXXX XXXX _H | 32 | FFFF A7CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA095 | XXXX XXXX _H | 32 | FFFF A7D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA095 | XXXX XXXX _H | 32 | FFFF A7D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC095 | XXXX XXXX _H | 32 | FFFF A7D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC095 | XXXX XXXX _H | 32 | FFFF A7DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL095 | 0000 0000 _H | 32 | FFFF A7E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST095 | 0000 0000 _H | 32 | FFFF A7E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS095 | 0000 0000 _H | 32 | FFFF A7E8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC095 | 0000 0000 _H | 32 | FFFF A7EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA096 | XXXX XXXX _H | 32 | FFFF A800 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA096 | XXXX XXXX _H | 32 | FFFF A804 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC096 | XXXX XXXX _H | 32 | FFFF A808 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT096 | XXXX XXXX _H | 32 | FFFF A80C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA096 | XXXX XXXX _H | 32 | FFFF A810 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA096 | XXXX XXXX _H | 32 | FFFF A814 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC096 | XXXX XXXX _H | 32 | FFFF A818 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC096 | XXXX XXXX _H | 32 | FFFF A81C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL096 | 0000 0000 _H | 32 | FFFF A820 _H | 0 | 32 |

(149/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST096 | 0000 0000 _H | 32 | FFFF A824 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS096 | 0000 0000 _H | 32 | FFFF A828 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC096 | 0000 0000 _H | 32 | FFFF A82C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA097 | XXXX XXXX _H | 32 | FFFF A840 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA097 | XXXX XXXX _H | 32 | FFFF A844 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC097 | XXXX XXXX _H | 32 | FFFF A848 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT097 | XXXX XXXX _H | 32 | FFFF A84C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA097 | XXXX XXXX _H | 32 | FFFF A850 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA097 | XXXX XXXX _H | 32 | FFFF A854 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC097 | XXXX XXXX _H | 32 | FFFF A858 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC097 | XXXX XXXX _H | 32 | FFFF A85C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL097 | 0000 0000 _H | 32 | FFFF A860 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST097 | 0000 0000 _H | 32 | FFFF A864 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS097 | 0000 0000 _H | 32 | FFFF A868 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC097 | 0000 0000 _H | 32 | FFFF A86C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA098 | XXXX XXXX _H | 32 | FFFF A880 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA098 | XXXX XXXX _H | 32 | FFFF A884 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC098 | XXXX XXXX _H | 32 | FFFF A888 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT098 | XXXX XXXX _H | 32 | FFFF A88C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA098 | XXXX XXXX _H | 32 | FFFF A890 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA098 | XXXX XXXX _H | 32 | FFFF A894 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC098 | XXXX XXXX _H | 32 | FFFF A898 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC098 | XXXX XXXX _H | 32 | FFFF A89C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL098 | 0000 0000 _H | 32 | FFFF A8A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST098 | 0000 0000 _H | 32 | FFFF A8A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS098 | 0000 0000 _H | 32 | FFFF A8A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC098 | 0000 0000 _H | 32 | FFFF A8AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA099 | XXXX XXXX _H | 32 | FFFF A8C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA099 | XXXX XXXX _H | 32 | FFFF A8C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC099 | XXXX XXXX _H | 32 | FFFF A8C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT099 | XXXX XXXX _H | 32 | FFFF A8CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA099 | XXXX XXXX _H | 32 | FFFF A8D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA099 | XXXX XXXX _H | 32 | FFFF A8D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC099 | XXXX XXXX _H | 32 | FFFF A8D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC099 | XXXX XXXX _H | 32 | FFFF A8DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL099 | 0000 0000 _H | 32 | FFFF A8E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST099 | 0000 0000 _H | 32 | FFFF A8E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS099 | 0000 0000 _H | 32 | FFFF A8E8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC099 | 0000 0000 _H | 32 | FFFF A8EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA100 | XXXX XXXX _H | 32 | FFFF A900 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA100 | XXXX XXXX _H | 32 | FFFF A904 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC100 | XXXX XXXX _H | 32 | FFFF A908 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT100 | XXXX XXXX _H | 32 | FFFF A90C _H | 0 | 32 |

(150/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA100 | XXXX XXXX _H | 32 | FFFF A910 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA100 | XXXX XXXX _H | 32 | FFFF A914 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC100 | XXXX XXXX _H | 32 | FFFF A918 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC100 | XXXX XXXX _H | 32 | FFFF A91C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL100 | 0000 0000 _H | 32 | FFFF A920 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST100 | 0000 0000 _H | 32 | FFFF A924 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS100 | 0000 0000 _H | 32 | FFFF A928 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC100 | 0000 0000 _H | 32 | FFFF A92C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA101 | XXXX XXXX _H | 32 | FFFF A940 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA101 | XXXX XXXX _H | 32 | FFFF A944 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC101 | XXXX XXXX _H | 32 | FFFF A948 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT101 | XXXX XXXX _H | 32 | FFFF A94C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA101 | XXXX XXXX _H | 32 | FFFF A950 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA101 | XXXX XXXX _H | 32 | FFFF A954 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC101 | XXXX XXXX _H | 32 | FFFF A958 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC101 | XXXX XXXX _H | 32 | FFFF A95C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL101 | 0000 0000 _H | 32 | FFFF A960 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST101 | 0000 0000 _H | 32 | FFFF A964 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS101 | 0000 0000 _H | 32 | FFFF A968 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC101 | 0000 0000 _H | 32 | FFFF A96C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA102 | XXXX XXXX _H | 32 | FFFF A980 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA102 | XXXX XXXX _H | 32 | FFFF A984 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC102 | XXXX XXXX _H | 32 | FFFF A988 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT102 | XXXX XXXX _H | 32 | FFFF A98C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA102 | XXXX XXXX _H | 32 | FFFF A990 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA102 | XXXX XXXX _H | 32 | FFFF A994 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC102 | XXXX XXXX _H | 32 | FFFF A998 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC102 | XXXX XXXX _H | 32 | FFFF A99C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL102 | 0000 0000 _H | 32 | FFFF A9A0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST102 | 0000 0000 _H | 32 | FFFF A9A4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS102 | 0000 0000 _H | 32 | FFFF A9A8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC102 | 0000 0000 _H | 32 | FFFF A9AC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA103 | XXXX XXXX _H | 32 | FFFF A9C0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA103 | XXXX XXXX _H | 32 | FFFF A9C4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC103 | XXXX XXXX _H | 32 | FFFF A9C8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT103 | XXXX XXXX _H | 32 | FFFF A9CC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA103 | XXXX XXXX _H | 32 | FFFF A9D0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA103 | XXXX XXXX _H | 32 | FFFF A9D4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC103 | XXXX XXXX _H | 32 | FFFF A9D8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC103 | XXXX XXXX _H | 32 | FFFF A9DC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL103 | 0000 0000 _H | 32 | FFFF A9E0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST103 | 0000 0000 _H | 32 | FFFF A9E4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS103 | 0000 0000 _H | 32 | FFFF A9E8 _H | 0 | 32 |

(151/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC103 | 0000 0000 _H | 32 | FFFF A9EC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA104 | XXXX XXXX _H | 32 | FFFF AA00 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA104 | XXXX XXXX _H | 32 | FFFF AA04 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC104 | XXXX XXXX _H | 32 | FFFF AA08 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT104 | XXXX XXXX _H | 32 | FFFF AA0C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA104 | XXXX XXXX _H | 32 | FFFF AA10 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA104 | XXXX XXXX _H | 32 | FFFF AA14 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC104 | XXXX XXXX _H | 32 | FFFF AA18 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC104 | XXXX XXXX _H | 32 | FFFF AA1C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL104 | 0000 0000 _H | 32 | FFFF AA20 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST104 | 0000 0000 _H | 32 | FFFF AA24 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS104 | 0000 0000 _H | 32 | FFFF AA28 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC104 | 0000 0000 _H | 32 | FFFF AA2C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA105 | XXXX XXXX _H | 32 | FFFF AA40 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA105 | XXXX XXXX _H | 32 | FFFF AA44 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC105 | XXXX XXXX _H | 32 | FFFF AA48 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT105 | XXXX XXXX _H | 32 | FFFF AA4C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA105 | XXXX XXXX _H | 32 | FFFF AA50 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA105 | XXXX XXXX _H | 32 | FFFF AA54 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC105 | XXXX XXXX _H | 32 | FFFF AA58 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC105 | XXXX XXXX _H | 32 | FFFF AA5C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL105 | 0000 0000 _H | 32 | FFFF AA60 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST105 | 0000 0000 _H | 32 | FFFF AA64 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS105 | 0000 0000 _H | 32 | FFFF AA68 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC105 | 0000 0000 _H | 32 | FFFF AA6C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA106 | XXXX XXXX _H | 32 | FFFF AA80 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA106 | XXXX XXXX _H | 32 | FFFF AA84 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC106 | XXXX XXXX _H | 32 | FFFF AA88 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT106 | XXXX XXXX _H | 32 | FFFF AA8C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA106 | XXXX XXXX _H | 32 | FFFF AA90 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA106 | XXXX XXXX _H | 32 | FFFF AA94 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC106 | XXXX XXXX _H | 32 | FFFF AA98 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC106 | XXXX XXXX _H | 32 | FFFF AA9C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL106 | 0000 0000 _H | 32 | FFFF AAA0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST106 | 0000 0000 _H | 32 | FFFF AAA4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS106 | 0000 0000 _H | 32 | FFFF AAA8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC106 | 0000 0000 _H | 32 | FFFF AAC0 _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA107 | XXXX XXXX _H | 32 | FFFF AAC0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA107 | XXXX XXXX _H | 32 | FFFF AAC4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC107 | XXXX XXXX _H | 32 | FFFF AAC8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT107 | XXXX XXXX _H | 32 | FFFF AACC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA107 | XXXX XXXX _H | 32 | FFFF AAD0 _H | 0 | 32 |

(152/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA107 | XXXX XXXX _H | 32 | FFFF AAD4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC107 | XXXX XXXX _H | 32 | FFFF AAD8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC107 | XXXX XXXX _H | 32 | FFFF AADC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL107 | 0000 0000 _H | 32 | FFFF AAEO _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST107 | 0000 0000 _H | 32 | FFFF AAEE _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS107 | 0000 0000 _H | 32 | FFFF AAEE _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC107 | 0000 0000 _H | 32 | FFFF AAEC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA108 | XXXX XXXX _H | 32 | FFFF AB00 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA108 | XXXX XXXX _H | 32 | FFFF AB04 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC108 | XXXX XXXX _H | 32 | FFFF AB08 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT108 | XXXX XXXX _H | 32 | FFFF AB0C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA108 | XXXX XXXX _H | 32 | FFFF AB10 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA108 | XXXX XXXX _H | 32 | FFFF AB14 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC108 | XXXX XXXX _H | 32 | FFFF AB18 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC108 | XXXX XXXX _H | 32 | FFFF AB1C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL108 | 0000 0000 _H | 32 | FFFF AB20 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST108 | 0000 0000 _H | 32 | FFFF AB24 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS108 | 0000 0000 _H | 32 | FFFF AB28 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC108 | 0000 0000 _H | 32 | FFFF AB2C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA109 | XXXX XXXX _H | 32 | FFFF AB40 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA109 | XXXX XXXX _H | 32 | FFFF AB44 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC109 | XXXX XXXX _H | 32 | FFFF AB48 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT109 | XXXX XXXX _H | 32 | FFFF AB4C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA109 | XXXX XXXX _H | 32 | FFFF AB50 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA109 | XXXX XXXX _H | 32 | FFFF AB54 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC109 | XXXX XXXX _H | 32 | FFFF AB58 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC109 | XXXX XXXX _H | 32 | FFFF AB5C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL109 | 0000 0000 _H | 32 | FFFF AB60 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST109 | 0000 0000 _H | 32 | FFFF AB64 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS109 | 0000 0000 _H | 32 | FFFF AB68 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC109 | 0000 0000 _H | 32 | FFFF AB6C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA110 | XXXX XXXX _H | 32 | FFFF AB80 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA110 | XXXX XXXX _H | 32 | FFFF AB84 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC110 | XXXX XXXX _H | 32 | FFFF AB88 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT110 | XXXX XXXX _H | 32 | FFFF AB8C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA110 | XXXX XXXX _H | 32 | FFFF AB90 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA110 | XXXX XXXX _H | 32 | FFFF AB94 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC110 | XXXX XXXX _H | 32 | FFFF AB98 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC110 | XXXX XXXX _H | 32 | FFFF AB9C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL110 | 0000 0000 _H | 32 | FFFF ABA0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST110 | 0000 0000 _H | 32 | FFFF ABA4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS110 | 0000 0000 _H | 32 | FFFF ABA8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC110 | 0000 0000 _H | 32 | FFFF ABAC _H | 0 | 32 |

(153/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS ソースアドレスレジスタ | DTSA111 | XXXX XXXX _H | 32 | FFFF ABC0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA111 | XXXX XXXX _H | 32 | FFFF ABC4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC111 | XXXX XXXX _H | 32 | FFFF ABC8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT111 | XXXX XXXX _H | 32 | FFFF ABCC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA111 | XXXX XXXX _H | 32 | FFFF ABD0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA111 | XXXX XXXX _H | 32 | FFFF ABD4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC111 | XXXX XXXX _H | 32 | FFFF ABD8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC111 | XXXX XXXX _H | 32 | FFFF ABDC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL111 | 0000 0000 _H | 32 | FFFF ABE0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST111 | 0000 0000 _H | 32 | FFFF ABE4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS111 | 0000 0000 _H | 32 | FFFF ABE8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC111 | 0000 0000 _H | 32 | FFFF ABEC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA112 | XXXX XXXX _H | 32 | FFFF AC00 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA112 | XXXX XXXX _H | 32 | FFFF AC04 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC112 | XXXX XXXX _H | 32 | FFFF AC08 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT112 | XXXX XXXX _H | 32 | FFFF AC0C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA112 | XXXX XXXX _H | 32 | FFFF AC10 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA112 | XXXX XXXX _H | 32 | FFFF AC14 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC112 | XXXX XXXX _H | 32 | FFFF AC18 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC112 | XXXX XXXX _H | 32 | FFFF AC1C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL112 | 0000 0000 _H | 32 | FFFF AC20 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST112 | 0000 0000 _H | 32 | FFFF AC24 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS112 | 0000 0000 _H | 32 | FFFF AC28 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC112 | 0000 0000 _H | 32 | FFFF AC2C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA113 | XXXX XXXX _H | 32 | FFFF AC40 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA113 | XXXX XXXX _H | 32 | FFFF AC44 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC113 | XXXX XXXX _H | 32 | FFFF AC48 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT113 | XXXX XXXX _H | 32 | FFFF AC4C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA113 | XXXX XXXX _H | 32 | FFFF AC50 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA113 | XXXX XXXX _H | 32 | FFFF AC54 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC113 | XXXX XXXX _H | 32 | FFFF AC58 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC113 | XXXX XXXX _H | 32 | FFFF AC5C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL113 | 0000 0000 _H | 32 | FFFF AC60 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST113 | 0000 0000 _H | 32 | FFFF AC64 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS113 | 0000 0000 _H | 32 | FFFF AC68 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC113 | 0000 0000 _H | 32 | FFFF AC6C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA114 | XXXX XXXX _H | 32 | FFFF AC80 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA114 | XXXX XXXX _H | 32 | FFFF AC84 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC114 | XXXX XXXX _H | 32 | FFFF AC88 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT114 | XXXX XXXX _H | 32 | FFFF AC8C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA114 | XXXX XXXX _H | 32 | FFFF AC90 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA114 | XXXX XXXX _H | 32 | FFFF AC94 _H | 0 | 32 |

(154/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS リロード転送回数レジスタ | DTRTC114 | XXXX XXXX _H | 32 | FFFF AC98 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC114 | XXXX XXXX _H | 32 | FFFF AC9C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL114 | 0000 0000 _H | 32 | FFFF ACA0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST114 | 0000 0000 _H | 32 | FFFF ACA4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS114 | 0000 0000 _H | 32 | FFFF ACA8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC114 | 0000 0000 _H | 32 | FFFF ACAC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA115 | XXXX XXXX _H | 32 | FFFF ACC0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA115 | XXXX XXXX _H | 32 | FFFF ACC4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC115 | XXXX XXXX _H | 32 | FFFF ACC8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT115 | XXXX XXXX _H | 32 | FFFF ACCC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA115 | XXXX XXXX _H | 32 | FFFF ACD0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA115 | XXXX XXXX _H | 32 | FFFF ACD4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC115 | XXXX XXXX _H | 32 | FFFF ACD8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC115 | XXXX XXXX _H | 32 | FFFF ACDC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL115 | 0000 0000 _H | 32 | FFFF ACE0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST115 | 0000 0000 _H | 32 | FFFF ACE4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS115 | 0000 0000 _H | 32 | FFFF ACE8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC115 | 0000 0000 _H | 32 | FFFF ACEC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA116 | XXXX XXXX _H | 32 | FFFF AD00 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA116 | XXXX XXXX _H | 32 | FFFF AD04 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC116 | XXXX XXXX _H | 32 | FFFF AD08 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT116 | XXXX XXXX _H | 32 | FFFF AD0C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA116 | XXXX XXXX _H | 32 | FFFF AD10 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA116 | XXXX XXXX _H | 32 | FFFF AD14 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC116 | XXXX XXXX _H | 32 | FFFF AD18 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC116 | XXXX XXXX _H | 32 | FFFF AD1C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL116 | 0000 0000 _H | 32 | FFFF AD20 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST116 | 0000 0000 _H | 32 | FFFF AD24 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS116 | 0000 0000 _H | 32 | FFFF AD28 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC116 | 0000 0000 _H | 32 | FFFF AD2C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA117 | XXXX XXXX _H | 32 | FFFF AD40 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA117 | XXXX XXXX _H | 32 | FFFF AD44 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC117 | XXXX XXXX _H | 32 | FFFF AD48 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT117 | XXXX XXXX _H | 32 | FFFF AD4C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA117 | XXXX XXXX _H | 32 | FFFF AD50 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA117 | XXXX XXXX _H | 32 | FFFF AD54 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC117 | XXXX XXXX _H | 32 | FFFF AD58 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC117 | XXXX XXXX _H | 32 | FFFF AD5C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL117 | 0000 0000 _H | 32 | FFFF AD60 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST117 | 0000 0000 _H | 32 | FFFF AD64 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS117 | 0000 0000 _H | 32 | FFFF AD68 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC117 | 0000 0000 _H | 32 | FFFF AD6C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA118 | XXXX XXXX _H | 32 | FFFF AD80 _H | 0 | 32 |

(155/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA118 | XXXX XXXX _H | 32 | FFFF AD84 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC118 | XXXX XXXX _H | 32 | FFFF AD88 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT118 | XXXX XXXX _H | 32 | FFFF AD8C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA118 | XXXX XXXX _H | 32 | FFFF AD90 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA118 | XXXX XXXX _H | 32 | FFFF AD94 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC118 | XXXX XXXX _H | 32 | FFFF AD98 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC118 | XXXX XXXX _H | 32 | FFFF AD9C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL118 | 0000 0000 _H | 32 | FFFF ADA0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST118 | 0000 0000 _H | 32 | FFFF ADA4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS118 | 0000 0000 _H | 32 | FFFF ADA8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC118 | 0000 0000 _H | 32 | FFFF ADAC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA119 | XXXX XXXX _H | 32 | FFFF ADC0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA119 | XXXX XXXX _H | 32 | FFFF ADC4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC119 | XXXX XXXX _H | 32 | FFFF ADC8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT119 | XXXX XXXX _H | 32 | FFFF ADCC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA119 | XXXX XXXX _H | 32 | FFFF ADD0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA119 | XXXX XXXX _H | 32 | FFFF ADD4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC119 | XXXX XXXX _H | 32 | FFFF ADD8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC119 | XXXX XXXX _H | 32 | FFFF ADDC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL119 | 0000 0000 _H | 32 | FFFF ADE0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST119 | 0000 0000 _H | 32 | FFFF ADE4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS119 | 0000 0000 _H | 32 | FFFF ADE8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC119 | 0000 0000 _H | 32 | FFFF ADEC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA120 | XXXX XXXX _H | 32 | FFFF AE00 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA120 | XXXX XXXX _H | 32 | FFFF AE04 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC120 | XXXX XXXX _H | 32 | FFFF AE08 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT120 | XXXX XXXX _H | 32 | FFFF AE0C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA120 | XXXX XXXX _H | 32 | FFFF AE10 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA120 | XXXX XXXX _H | 32 | FFFF AE14 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC120 | XXXX XXXX _H | 32 | FFFF AE18 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC120 | XXXX XXXX _H | 32 | FFFF AE1C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL120 | 0000 0000 _H | 32 | FFFF AE20 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST120 | 0000 0000 _H | 32 | FFFF AE24 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS120 | 0000 0000 _H | 32 | FFFF AE28 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC120 | 0000 0000 _H | 32 | FFFF AE2C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA121 | XXXX XXXX _H | 32 | FFFF AE40 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA121 | XXXX XXXX _H | 32 | FFFF AE44 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC121 | XXXX XXXX _H | 32 | FFFF AE48 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT121 | XXXX XXXX _H | 32 | FFFF AE4C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA121 | XXXX XXXX _H | 32 | FFFF AE50 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA121 | XXXX XXXX _H | 32 | FFFF AE54 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC121 | XXXX XXXX _H | 32 | FFFF AE58 _H | 0 | 32 |

(156/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------------------|------------------|---------|
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC121 | XXXX XXXX _H | 32 | FFFF AE5C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL121 | 0000 0000 _H | 32 | FFFF AE60 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST121 | 0000 0000 _H | 32 | FFFF AE64 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS121 | 0000 0000 _H | 32 | FFFF AE68 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC121 | 0000 0000 _H | 32 | FFFF AE6C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA122 | XXXX XXXX _H | 32 | FFFF AE80 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA122 | XXXX XXXX _H | 32 | FFFF AE84 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC122 | XXXX XXXX _H | 32 | FFFF AE88 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT122 | XXXX XXXX _H | 32 | FFFF AE8C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA122 | XXXX XXXX _H | 32 | FFFF AE90 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA122 | XXXX XXXX _H | 32 | FFFF AE94 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC122 | XXXX XXXX _H | 32 | FFFF AE98 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC122 | XXXX XXXX _H | 32 | FFFF AE9C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL122 | 0000 0000 _H | 32 | FFFF AEA0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST122 | 0000 0000 _H | 32 | FFFF AEA4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS122 | 0000 0000 _H | 32 | FFFF AEA8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC122 | 0000 0000 _H | 32 | FFFF AEAC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA123 | XXXX XXXX _H | 32 | FFFF AEC0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA123 | XXXX XXXX _H | 32 | FFFF AEC4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC123 | XXXX XXXX _H | 32 | FFFF AEC8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT123 | XXXX XXXX _H | 32 | FFFF AEC _C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA123 | XXXX XXXX _H | 32 | FFFF AED0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA123 | XXXX XXXX _H | 32 | FFFF AED4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC123 | XXXX XXXX _H | 32 | FFFF AED8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC123 | XXXX XXXX _H | 32 | FFFF AEDC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL123 | 0000 0000 _H | 32 | FFFF AEE0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST123 | 0000 0000 _H | 32 | FFFF AEE4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS123 | 0000 0000 _H | 32 | FFFF AEE8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC123 | 0000 0000 _H | 32 | FFFF AEEC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA124 | XXXX XXXX _H | 32 | FFFF AF00 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA124 | XXXX XXXX _H | 32 | FFFF AF04 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC124 | XXXX XXXX _H | 32 | FFFF AF08 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT124 | XXXX XXXX _H | 32 | FFFF AF0C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA124 | XXXX XXXX _H | 32 | FFFF AF10 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA124 | XXXX XXXX _H | 32 | FFFF AF14 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC124 | XXXX XXXX _H | 32 | FFFF AF18 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC124 | XXXX XXXX _H | 32 | FFFF AF1C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL124 | 0000 0000 _H | 32 | FFFF AF20 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST124 | 0000 0000 _H | 32 | FFFF AF24 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS124 | 0000 0000 _H | 32 | FFFF AF28 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC124 | 0000 0000 _H | 32 | FFFF AF2C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA125 | XXXX XXXX _H | 32 | FFFF AF40 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA125 | XXXX XXXX _H | 32 | FFFF AF44 _H | 0 | 32 |

(157/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------------|----------|------------------------|------|------------------------|------------------|---------|
| DMASS | DTS 転送回数レジスタ | DTTC125 | XXXX XXXX _H | 32 | FFFF AF48 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT125 | XXXX XXXX _H | 32 | FFFF AF4C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA125 | XXXX XXXX _H | 32 | FFFF AF50 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA125 | XXXX XXXX _H | 32 | FFFF AF54 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC125 | XXXX XXXX _H | 32 | FFFF AF58 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC125 | XXXX XXXX _H | 32 | FFFF AF5C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL125 | 0000 0000 _H | 32 | FFFF AF60 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST125 | 0000 0000 _H | 32 | FFFF AF64 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS125 | 0000 0000 _H | 32 | FFFF AF68 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC125 | 0000 0000 _H | 32 | FFFF AF6C _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA126 | XXXX XXXX _H | 32 | FFFF AF80 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA126 | XXXX XXXX _H | 32 | FFFF AF84 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC126 | XXXX XXXX _H | 32 | FFFF AF88 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT126 | XXXX XXXX _H | 32 | FFFF AF8C _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA126 | XXXX XXXX _H | 32 | FFFF AF90 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA126 | XXXX XXXX _H | 32 | FFFF AF94 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC126 | XXXX XXXX _H | 32 | FFFF AF98 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC126 | XXXX XXXX _H | 32 | FFFF AF9C _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL126 | 0000 0000 _H | 32 | FFFF AFA0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST126 | 0000 0000 _H | 32 | FFFF AFA4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS126 | 0000 0000 _H | 32 | FFFF AFA8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC126 | 0000 0000 _H | 32 | FFFF AFAC _H | 0 | 32 |
| DMASS | DTS ソースアドレスレジスタ | DTSA127 | XXXX XXXX _H | 32 | FFFF AFC0 _H | 0 | 32 |
| DMASS | DTS ディスティネーションアドレスレジスタ | DTDA127 | XXXX XXXX _H | 32 | FFFF AFC4 _H | 0 | 32 |
| DMASS | DTS 転送回数レジスタ | DTTC127 | XXXX XXXX _H | 32 | FFFF AFC8 _H | 0 | 32 |
| DMASS | DTS 転送制御レジスタ | DTTCT127 | XXXX XXXX _H | 32 | FFFF AFCC _H | 0 | 32 |
| DMASS | DTS リロードソースアドレスレジスタ | DTRSA127 | XXXX XXXX _H | 32 | FFFF AFD0 _H | 0 | 32 |
| DMASS | DTS リロードディスティネーションアドレスレジスタ | DTRDA127 | XXXX XXXX _H | 32 | FFFF AFD4 _H | 0 | 32 |
| DMASS | DTS リロード転送回数レジスタ | DTRTC127 | XXXX XXXX _H | 32 | FFFF AFD8 _H | 0 | 32 |
| DMASS | DTS 転送回数コンペアレジスタ | DTTCC127 | XXXX XXXX _H | 32 | FFFF AFDC _H | 0 | 32 |
| DMASS | DTSFSL 動作設定レジスタ | DTFSL127 | 0000 0000 _H | 32 | FFFF AFE0 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求ステータスレジスタ | DTFST127 | 0000 0000 _H | 32 | FFFF AFE4 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求セットレジスタ | DTFSS127 | 0000 0000 _H | 32 | FFFF AFE8 _H | 0 | 32 |
| DMASS | DTSFSL 転送要求クリアレジスタ | DTFSC127 | 0000 0000 _H | 32 | FFFF AFEC _H | 0 | 32 |
| INTC2 | EI レベル割り込み制御レジスタ 33 | EIC33 | 008F _H | 16 | FFFF B042 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 38 | EIC38 | 008F _H | 16 | FFFF B04C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 39 | EIC39 | 008F _H | 16 | FFFF B04E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 40 | EIC40 | 008F _H | 16 | FFFF B050 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 41 | EIC41 | 008F _H | 16 | FFFF B052 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 42 | EIC42 | 008F _H | 16 | FFFF B054 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 43 | EIC43 | 008F _H | 16 | FFFF B056 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 44 | EIC44 | 008F _H | 16 | FFFF B058 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 45 | EIC45 | 008F _H | 16 | FFFF B05A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 54 | EIC54 | 008F _H | 16 | FFFF B06C _H | 0 | 8、16 |

(158/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------|----------|-------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込み制御レジスタ 55 | EIC55 | 008F _H | 16 | FFFF B06E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 57 | EIC57 | 008F _H | 16 | FFFF B072 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 58 | EIC58 | 008F _H | 16 | FFFF B074 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 59 | EIC59 | 008F _H | 16 | FFFF B076 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 60 | EIC60 | 008F _H | 16 | FFFF B078 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 61 | EIC61 | 008F _H | 16 | FFFF B07A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 62 | EIC62 | 008F _H | 16 | FFFF B07C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 64 | EIC64 | 008F _H | 16 | FFFF B080 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 65 | EIC65 | 008F _H | 16 | FFFF B082 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 66 | EIC66 | 008F _H | 16 | FFFF B084 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 67 | EIC67 | 008F _H | 16 | FFFF B086 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 68 | EIC68 | 008F _H | 16 | FFFF B088 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 69 | EIC69 | 008F _H | 16 | FFFF B08A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 70 | EIC70 | 008F _H | 16 | FFFF B08C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 71 | EIC71 | 008F _H | 16 | FFFF B08E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 72 | EIC72 | 008F _H | 16 | FFFF B090 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 73 | EIC73 | 008F _H | 16 | FFFF B092 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 74 | EIC74 | 008F _H | 16 | FFFF B094 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 75 | EIC75 | 008F _H | 16 | FFFF B096 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 76 | EIC76 | 008F _H | 16 | FFFF B098 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 77 | EIC77 | 008F _H | 16 | FFFF B09A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 78 | EIC78 | 008F _H | 16 | FFFF B09C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 79 | EIC79 | 008F _H | 16 | FFFF B09E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 80 | EIC80 | 008F _H | 16 | FFFF B0A0 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 81 | EIC81 | 008F _H | 16 | FFFF B0A2 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 82 | EIC82 | 008F _H | 16 | FFFF B0A4 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 83 | EIC83 | 008F _H | 16 | FFFF B0A6 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 84 | EIC84 | 008F _H | 16 | FFFF B0A8 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 85 | EIC85 | 008F _H | 16 | FFFF B0AA _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 86 | EIC86 | 008F _H | 16 | FFFF B0AC _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 87 | EIC87 | 008F _H | 16 | FFFF B0AE _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 88 | EIC88 | 008F _H | 16 | FFFF B0B0 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 89 | EIC89 | 008F _H | 16 | FFFF B0B2 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 90 | EIC90 | 008F _H | 16 | FFFF B0B4 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 91 | EIC91 | 008F _H | 16 | FFFF B0B6 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 92 | EIC92 | 008F _H | 16 | FFFF B0B8 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 93 | EIC93 | 008F _H | 16 | FFFF B0BA _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 94 | EIC94 | 008F _H | 16 | FFFF B0BC _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 95 | EIC95 | 008F _H | 16 | FFFF B0BE _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 96 | EIC96 | 008F _H | 16 | FFFF B0C0 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 97 | EIC97 | 008F _H | 16 | FFFF B0C2 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 98 | EIC98 | 008F _H | 16 | FFFF B0C4 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 99 | EIC99 | 008F _H | 16 | FFFF B0C6 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 100 | EIC100 | 008F _H | 16 | FFFF B0C8 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 101 | EIC101 | 008F _H | 16 | FFFF B0CA _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 102 | EIC102 | 008F _H | 16 | FFFF B0CC _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 103 | EIC103 | 008F _H | 16 | FFFF B0CE _H | 0 | 8、16 |

(159/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------|----------|-------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込み制御レジスタ 114 | EIC114 | 008F _H | 16 | FFFF B0E4 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 115 | EIC115 | 008F _H | 16 | FFFF B0E6 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 116 | EIC116 | 008F _H | 16 | FFFF B0E8 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 117 | EIC117 | 008F _H | 16 | FFFF B0EA _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 118 | EIC118 | 008F _H | 16 | FFFF B0EC _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 119 | EIC119 | 008F _H | 16 | FFFF B0EE _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 120 | EIC120 | 008F _H | 16 | FFFF B0F0 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 121 | EIC121 | 008F _H | 16 | FFFF B0F2 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 122 | EIC122 | 008F _H | 16 | FFFF B0F4 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 123 | EIC123 | 008F _H | 16 | FFFF B0F6 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 124 | EIC124 | 008F _H | 16 | FFFF B0F8 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 125 | EIC125 | 008F _H | 16 | FFFF B0FA _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 126 | EIC126 | 008F _H | 16 | FFFF B0FC _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 127 | EIC127 | 008F _H | 16 | FFFF B0FE _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 128 | EIC128 | 008F _H | 16 | FFFF B100 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 129 | EIC129 | 008F _H | 16 | FFFF B102 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 130 | EIC130 | 008F _H | 16 | FFFF B104 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 131 | EIC131 | 008F _H | 16 | FFFF B106 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 132 | EIC132 | 008F _H | 16 | FFFF B108 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 133 | EIC133 | 008F _H | 16 | FFFF B10A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 134 | EIC134 | 008F _H | 16 | FFFF B10C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 135 | EIC135 | 008F _H | 16 | FFFF B10E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 136 | EIC136 | 008F _H | 16 | FFFF B110 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 137 | EIC137 | 008F _H | 16 | FFFF B112 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 138 | EIC138 | 008F _H | 16 | FFFF B114 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 139 | EIC139 | 008F _H | 16 | FFFF B116 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 140 | EIC140 | 008F _H | 16 | FFFF B118 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 141 | EIC141 | 008F _H | 16 | FFFF B11A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 142 | EIC142 | 008F _H | 16 | FFFF B11C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 143 | EIC143 | 008F _H | 16 | FFFF B11E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 144 | EIC144 | 008F _H | 16 | FFFF B120 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 145 | EIC145 | 008F _H | 16 | FFFF B122 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 146 | EIC146 | 008F _H | 16 | FFFF B124 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 147 | EIC147 | 008F _H | 16 | FFFF B126 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 148 | EIC148 | 008F _H | 16 | FFFF B128 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 149 | EIC149 | 008F _H | 16 | FFFF B12A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 150 | EIC150 | 008F _H | 16 | FFFF B12C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 151 | EIC151 | 008F _H | 16 | FFFF B12E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 152 | EIC152 | 008F _H | 16 | FFFF B130 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 153 | EIC153 | 008F _H | 16 | FFFF B132 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 154 | EIC154 | 008F _H | 16 | FFFF B134 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 155 | EIC155 | 008F _H | 16 | FFFF B136 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 156 | EIC156 | 008F _H | 16 | FFFF B138 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 157 | EIC157 | 008F _H | 16 | FFFF B13A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 158 | EIC158 | 008F _H | 16 | FFFF B13C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 159 | EIC159 | 008F _H | 16 | FFFF B13E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 160 | EIC160 | 008F _H | 16 | FFFF B140 _H | 0 | 8、16 |

(160/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------|----------|-------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込み制御レジスタ 161 | EIC161 | 008F _H | 16 | FFFF B142 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 162 | EIC162 | 008F _H | 16 | FFFF B144 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 163 | EIC163 | 008F _H | 16 | FFFF B146 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 164 | EIC164 | 008F _H | 16 | FFFF B148 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 165 | EIC165 | 008F _H | 16 | FFFF B14A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 166 | EIC166 | 008F _H | 16 | FFFF B14C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 167 | EIC167 | 008F _H | 16 | FFFF B14E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 168 | EIC168 | 008F _H | 16 | FFFF B150 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 169 | EIC169 | 008F _H | 16 | FFFF B152 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 170 | EIC170 | 008F _H | 16 | FFFF B154 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 171 | EIC171 | 008F _H | 16 | FFFF B156 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 172 | EIC172 | 008F _H | 16 | FFFF B158 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 173 | EIC173 | 008F _H | 16 | FFFF B15A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 174 | EIC174 | 008F _H | 16 | FFFF B15C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 175 | EIC175 | 008F _H | 16 | FFFF B15E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 176 | EIC176 | 008F _H | 16 | FFFF B160 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 177 | EIC177 | 008F _H | 16 | FFFF B162 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 178 | EIC178 | 008F _H | 16 | FFFF B164 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 179 | EIC179 | 008F _H | 16 | FFFF B166 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 180 | EIC180 | 008F _H | 16 | FFFF B168 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 181 | EIC181 | 008F _H | 16 | FFFF B16A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 182 | EIC182 | 008F _H | 16 | FFFF B16C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 183 | EIC183 | 008F _H | 16 | FFFF B16E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 184 | EIC184 | 008F _H | 16 | FFFF B170 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 185 | EIC185 | 008F _H | 16 | FFFF B172 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 186 | EIC186 | 008F _H | 16 | FFFF B174 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 187 | EIC187 | 008F _H | 16 | FFFF B176 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 188 | EIC188 | 008F _H | 16 | FFFF B178 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 189 | EIC189 | 008F _H | 16 | FFFF B17A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 190 | EIC190 | 008F _H | 16 | FFFF B17C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 191 | EIC191 | 008F _H | 16 | FFFF B17E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 192 | EIC192 | 008F _H | 16 | FFFF B180 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 193 | EIC193 | 008F _H | 16 | FFFF B182 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 242 | EIC242 | 808F _H | 16 | FFFF B1E4 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 243 | EIC243 | 808F _H | 16 | FFFF B1E6 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 244 | EIC244 | 808F _H | 16 | FFFF B1E8 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 245 | EIC245 | 808F _H | 16 | FFFF B1EA _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 246 | EIC246 | 808F _H | 16 | FFFF B1EC _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 247 | EIC247 | 808F _H | 16 | FFFF B1EE _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 248 | EIC248 | 808F _H | 16 | FFFF B1F0 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 249 | EIC249 | 808F _H | 16 | FFFF B1F2 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 250 | EIC250 | 808F _H | 16 | FFFF B1F4 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 251 | EIC251 | 808F _H | 16 | FFFF B1F6 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 252 | EIC252 | 808F _H | 16 | FFFF B1F8 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 253 | EIC253 | 808F _H | 16 | FFFF B1FA _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 254 | EIC254 | 808F _H | 16 | FFFF B1FC _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 255 | EIC255 | 808F _H | 16 | FFFF B1FE _H | 0 | 8、16 |

(161/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------|----------|-------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込み制御レジスタ 256 | EIC256 | 808F _H | 16 | FFFF B200 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 257 | EIC257 | 808F _H | 16 | FFFF B202 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 258 | EIC258 | 808F _H | 16 | FFFF B204 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 259 | EIC259 | 808F _H | 16 | FFFF B206 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 260 | EIC260 | 808F _H | 16 | FFFF B208 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 261 | EIC261 | 808F _H | 16 | FFFF B20A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 262 | EIC262 | 808F _H | 16 | FFFF B20C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 263 | EIC263 | 808F _H | 16 | FFFF B20E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 264 | EIC264 | 808F _H | 16 | FFFF B210 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 265 | EIC265 | 808F _H | 16 | FFFF B212 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 266 | EIC266 | 808F _H | 16 | FFFF B214 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 267 | EIC267 | 808F _H | 16 | FFFF B216 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 268 | EIC268 | 808F _H | 16 | FFFF B218 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 269 | EIC269 | 808F _H | 16 | FFFF B21A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 270 | EIC270 | 808F _H | 16 | FFFF B21C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 271 | EIC271 | 808F _H | 16 | FFFF B21E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 272 | EIC272 | 808F _H | 16 | FFFF B220 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 273 | EIC273 | 808F _H | 16 | FFFF B222 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 274 | EIC274 | 808F _H | 16 | FFFF B224 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 275 | EIC275 | 808F _H | 16 | FFFF B226 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 276 | EIC276 | 808F _H | 16 | FFFF B228 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 277 | EIC277 | 808F _H | 16 | FFFF B22A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 278 | EIC278 | 808F _H | 16 | FFFF B22C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 279 | EIC279 | 808F _H | 16 | FFFF B22E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 280 | EIC280 | 808F _H | 16 | FFFF B230 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 281 | EIC281 | 808F _H | 16 | FFFF B232 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 286 | EIC286 | 008F _H | 16 | FFFF B23C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 287 | EIC287 | 008F _H | 16 | FFFF B23E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 288 | EIC288 | 008F _H | 16 | FFFF B240 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 289 | EIC289 | 008F _H | 16 | FFFF B242 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 290 | EIC290 | 008F _H | 16 | FFFF B244 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 291 | EIC291 | 008F _H | 16 | FFFF B246 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 292 | EIC292 | 008F _H | 16 | FFFF B248 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 293 | EIC293 | 008F _H | 16 | FFFF B24A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 294 | EIC294 | 008F _H | 16 | FFFF B24C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 295 | EIC295 | 008F _H | 16 | FFFF B24E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 296 | EIC296 | 008F _H | 16 | FFFF B250 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 297 | EIC297 | 008F _H | 16 | FFFF B252 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 302 | EIC302 | 008F _H | 16 | FFFF B25C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 303 | EIC303 | 008F _H | 16 | FFFF B25E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 304 | EIC304 | 008F _H | 16 | FFFF B260 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 305 | EIC305 | 008F _H | 16 | FFFF B262 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 306 | EIC306 | 008F _H | 16 | FFFF B264 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 307 | EIC307 | 008F _H | 16 | FFFF B266 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 308 | EIC308 | 008F _H | 16 | FFFF B268 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 309 | EIC309 | 008F _H | 16 | FFFF B26A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 312 | EIC312 | 008F _H | 16 | FFFF B270 _H | 0 | 8、16 |

(162/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------|----------|-------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込み制御レジスタ 313 | EIC313 | 008F _H | 16 | FFFF B272 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 314 | EIC314 | 008F _H | 16 | FFFF B274 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 315 | EIC315 | 008F _H | 16 | FFFF B276 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 316 | EIC316 | 008F _H | 16 | FFFF B278 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 321 | EIC321 | 008F _H | 16 | FFFF B282 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 322 | EIC322 | 008F _H | 16 | FFFF B284 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 323 | EIC323 | 008F _H | 16 | FFFF B286 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 324 | EIC324 | 008F _H | 16 | FFFF B288 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 329 | EIC329 | 008F _H | 16 | FFFF B292 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 330 | EIC330 | 008F _H | 16 | FFFF B294 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 331 | EIC331 | 008F _H | 16 | FFFF B296 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 332 | EIC332 | 008F _H | 16 | FFFF B298 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 337 | EIC337 | 008F _H | 16 | FFFF B2A2 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 338 | EIC338 | 008F _H | 16 | FFFF B2A4 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 339 | EIC339 | 008F _H | 16 | FFFF B2A6 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 343 | EIC343 | 008F _H | 16 | FFFF B2AE _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 344 | EIC344 | 008F _H | 16 | FFFF B2B0 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 345 | EIC345 | 008F _H | 16 | FFFF B2B2 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 346 | EIC346 | 008F _H | 16 | FFFF B2B4 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 347 | EIC347 | 008F _H | 16 | FFFF B2B6 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 348 | EIC348 | 008F _H | 16 | FFFF B2B8 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 349 | EIC349 | 008F _H | 16 | FFFF B2BA _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 350 | EIC350 | 008F _H | 16 | FFFF B2BC _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 351 | EIC351 | 008F _H | 16 | FFFF B2BE _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 352 | EIC352 | 008F _H | 16 | FFFF B2C0 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 353 | EIC353 | 008F _H | 16 | FFFF B2C2 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 354 | EIC354 | 008F _H | 16 | FFFF B2C4 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 355 | EIC355 | 008F _H | 16 | FFFF B2C6 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 356 | EIC356 | 008F _H | 16 | FFFF B2C8 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 357 | EIC357 | 008F _H | 16 | FFFF B2CA _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 358 | EIC358 | 008F _H | 16 | FFFF B2CC _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 359 | EIC359 | 008F _H | 16 | FFFF B2CE _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 360 | EIC360 | 008F _H | 16 | FFFF B2D0 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 361 | EIC361 | 008F _H | 16 | FFFF B2D2 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 362 | EIC362 | 008F _H | 16 | FFFF B2D4 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 363 | EIC363 | 008F _H | 16 | FFFF B2D6 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 364 | EIC364 | 008F _H | 16 | FFFF B2D8 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 365 | EIC365 | 008F _H | 16 | FFFF B2DA _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 366 | EIC366 | 008F _H | 16 | FFFF B2DC _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 367 | EIC367 | 008F _H | 16 | FFFF B2DE _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 368 | EIC368 | 008F _H | 16 | FFFF B2E0 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 369 | EIC369 | 008F _H | 16 | FFFF B2E2 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 370 | EIC370 | 008F _H | 16 | FFFF B2E4 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 371 | EIC371 | 008F _H | 16 | FFFF B2E6 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 372 | EIC372 | 008F _H | 16 | FFFF B2E8 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 373 | EIC373 | 008F _H | 16 | FFFF B2EA _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 374 | EIC374 | 008F _H | 16 | FFFF B2EC _H | 0 | 8、16 |

(163/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------|----------|-------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込み制御レジスタ 375 | EIC375 | 008F _H | 16 | FFFF B2EE _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 376 | EIC376 | 008F _H | 16 | FFFF B2F0 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 377 | EIC377 | 008F _H | 16 | FFFF B2F2 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 378 | EIC378 | 008F _H | 16 | FFFF B2F4 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 379 | EIC379 | 008F _H | 16 | FFFF B2F6 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 380 | EIC380 | 008F _H | 16 | FFFF B2F8 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 381 | EIC381 | 008F _H | 16 | FFFF B2FA _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 382 | EIC382 | 008F _H | 16 | FFFF B2FC _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 383 | EIC383 | 008F _H | 16 | FFFF B2FE _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 384 | EIC384 | 008F _H | 16 | FFFF B300 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 385 | EIC385 | 008F _H | 16 | FFFF B302 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 386 | EIC386 | 008F _H | 16 | FFFF B304 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 387 | EIC387 | 008F _H | 16 | FFFF B306 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 388 | EIC388 | 008F _H | 16 | FFFF B308 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 389 | EIC389 | 008F _H | 16 | FFFF B30A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 390 | EIC390 | 008F _H | 16 | FFFF B30C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 391 | EIC391 | 008F _H | 16 | FFFF B30E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 392 | EIC392 | 008F _H | 16 | FFFF B310 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 393 | EIC393 | 008F _H | 16 | FFFF B312 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 394 | EIC394 | 008F _H | 16 | FFFF B314 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 395 | EIC395 | 008F _H | 16 | FFFF B316 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 396 | EIC396 | 008F _H | 16 | FFFF B318 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 397 | EIC397 | 008F _H | 16 | FFFF B31A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 398 | EIC398 | 008F _H | 16 | FFFF B31C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 399 | EIC399 | 008F _H | 16 | FFFF B31E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 400 | EIC400 | 008F _H | 16 | FFFF B320 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 412 | EIC412 | 808F _H | 16 | FFFF B338 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 413 | EIC413 | 808F _H | 16 | FFFF B33A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 414 | EIC414 | 808F _H | 16 | FFFF B33C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 415 | EIC415 | 808F _H | 16 | FFFF B33E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 416 | EIC416 | 808F _H | 16 | FFFF B340 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 417 | EIC417 | 808F _H | 16 | FFFF B342 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 418 | EIC418 | 808F _H | 16 | FFFF B344 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 419 | EIC419 | 808F _H | 16 | FFFF B346 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 420 | EIC420 | 808F _H | 16 | FFFF B348 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 421 | EIC421 | 808F _H | 16 | FFFF B34A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 422 | EIC422 | 808F _H | 16 | FFFF B34C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 423 | EIC423 | 808F _H | 16 | FFFF B34E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 424 | EIC424 | 808F _H | 16 | FFFF B350 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 425 | EIC425 | 808F _H | 16 | FFFF B352 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 429 | EIC429 | 808F _H | 16 | FFFF B35A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 434 | EIC434 | 808F _H | 16 | FFFF B364 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 435 | EIC435 | 808F _H | 16 | FFFF B366 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 436 | EIC436 | 808F _H | 16 | FFFF B368 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 437 | EIC437 | 808F _H | 16 | FFFF B36A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 438 | EIC438 | 808F _H | 16 | FFFF B36C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 444 | EIC444 | 808F _H | 16 | FFFF B378 _H | 0 | 8、16 |

(164/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|----------------------|----------|------------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込み制御レジスタ 445 | EIC445 | 008F _H | 16 | FFFF B37A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 446 | EIC446 | 008F _H | 16 | FFFF B37C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 447 | EIC447 | 808F _H | 16 | FFFF B37E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 448 | EIC448 | 808F _H | 16 | FFFF B380 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 449 | EIC449 | 008F _H | 16 | FFFF B382 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 450 | EIC450 | 008F _H | 16 | FFFF B384 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 451 | EIC451 | 808F _H | 16 | FFFF B386 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 452 | EIC452 | 808F _H | 16 | FFFF B388 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 453 | EIC453 | 008F _H | 16 | FFFF B38A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 454 | EIC454 | 008F _H | 16 | FFFF B38C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 455 | EIC455 | 808F _H | 16 | FFFF B38E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 456 | EIC456 | 808F _H | 16 | FFFF B390 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 457 | EIC457 | 008F _H | 16 | FFFF B392 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 458 | EIC458 | 008F _H | 16 | FFFF B394 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 459 | EIC459 | 808F _H | 16 | FFFF B396 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 460 | EIC460 | 008F _H | 16 | FFFF B398 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 461 | EIC461 | 008F _H | 16 | FFFF B39A _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 462 | EIC462 | 008F _H | 16 | FFFF B39C _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 463 | EIC463 | 008F _H | 16 | FFFF B39E _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 464 | EIC464 | 008F _H | 16 | FFFF B3A0 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 465 | EIC465 | 008F _H | 16 | FFFF B3A2 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 466 | EIC466 | 008F _H | 16 | FFFF B3A4 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 467 | EIC467 | 008F _H | 16 | FFFF B3A6 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 468 | EIC468 | 008F _H | 16 | FFFF B3A8 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 469 | EIC469 | 008F _H | 16 | FFFF B3AA _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 470 | EIC470 | 008F _H | 16 | FFFF B3AC _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 471 | EIC471 | 008F _H | 16 | FFFF B3AE _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 480 | EIC480 | 808F _H | 16 | FFFF B3C0 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 481 | EIC481 | 808F _H | 16 | FFFF B3C2 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 482 | EIC482 | 808F _H | 16 | FFFF B3C4 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 483 | EIC483 | 808F _H | 16 | FFFF B3C6 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 484 | EIC484 | 808F _H | 16 | FFFF B3C8 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 485 | EIC485 | 808F _H | 16 | FFFF B3CA _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 486 | EIC486 | 808F _H | 16 | FFFF B3CC _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 487 | EIC487 | 808F _H | 16 | FFFF B3CE _H | 0 | 8、16 |
| INTC2 | EI レベル割り込み制御レジスタ 489 | EIC489 | 008F _H | 16 | FFFF B3D2 _H | 0 | 8、16 |
| INTC2 | EI レベル割り込みマスクレジスタ 1 | IMR1 | FFFF FFFF _H | 32 | FFFF B404 _H | 0 | 8、16、32 |
| INTC2 | EI レベル割り込みマスクレジスタ 2 | IMR2 | FFFF FFFF _H | 32 | FFFF B408 _H | 0 | 8、16、32 |
| INTC2 | EI レベル割り込みマスクレジスタ 3 | IMR3 | FFFF FFFF _H | 32 | FFFF B40C _H | 0 | 8、16、32 |
| INTC2 | EI レベル割り込みマスクレジスタ 4 | IMR4 | FFFF FFFF _H | 32 | FFFF B410 _H | 0 | 8、16、32 |
| INTC2 | EI レベル割り込みマスクレジスタ 5 | IMR5 | FFFF FFFF _H | 32 | FFFF B414 _H | 0 | 8、16、32 |
| INTC2 | EI レベル割り込みマスクレジスタ 6 | IMR6 | FFFF FFFF _H | 32 | FFFF B418 _H | 0 | 8、16、32 |
| INTC2 | EI レベル割り込みマスクレジスタ 7 | IMR7 | FFFF FFFF _H | 32 | FFFF B41C _H | 0 | 8、16、32 |
| INTC2 | EI レベル割り込みマスクレジスタ 8 | IMR8 | FFFF FFFF _H | 32 | FFFF B420 _H | 0 | 8、16、32 |
| INTC2 | EI レベル割り込みマスクレジスタ 9 | IMR9 | FFFF FFFF _H | 32 | FFFF B424 _H | 0 | 8、16、32 |
| INTC2 | EI レベル割り込みマスクレジスタ 10 | IMR10 | FFFF FFFF _H | 32 | FFFF B428 _H | 0 | 8、16、32 |
| INTC2 | EI レベル割り込みマスクレジスタ 11 | IMR11 | FFFF FFFF _H | 32 | FFFF B42C _H | 0 | 8、16、32 |

(165/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|-----------------------|----------|------------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込みマスクレジスタ 12 | IMR12 | FFFF FFFF _H | 32 | FFFF B430 _H | 0 | 8、16、32 |
| INTC2 | EI レベル割り込みマスクレジスタ 13 | IMR13 | FFFF FFFF _H | 32 | FFFF B434 _H | 0 | 8、16、32 |
| INTC2 | EI レベル割り込みマスクレジスタ 14 | IMR14 | FFFF FFFF _H | 32 | FFFF B438 _H | 0 | 8、16、32 |
| INTC2 | EI レベル割り込みマスクレジスタ 15 | IMR15 | FFFF FFFF _H | 32 | FFFF B43C _H | 0 | 8、16、32 |
| INTC2 | EI レベル割り込みバインドレジスタ 33 | EIBD33 | 0000 0001 _H | 32 | FFFF B884 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 38 | EIBD38 | 0000 0001 _H | 32 | FFFF B898 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 39 | EIBD39 | 0000 0001 _H | 32 | FFFF B89C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 40 | EIBD40 | 0000 0001 _H | 32 | FFFF B8A0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 41 | EIBD41 | 0000 0001 _H | 32 | FFFF B8A4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 42 | EIBD42 | 0000 0001 _H | 32 | FFFF B8A8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 43 | EIBD43 | 0000 0001 _H | 32 | FFFF B8AC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 44 | EIBD44 | 0000 0001 _H | 32 | FFFF B8B0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 45 | EIBD45 | 0000 0001 _H | 32 | FFFF B8B4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 54 | EIBD54 | 0000 0001 _H | 32 | FFFF B8D8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 55 | EIBD55 | 0000 0001 _H | 32 | FFFF B8DC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 57 | EIBD57 | 0000 0001 _H | 32 | FFFF B8E4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 58 | EIBD58 | 0000 0001 _H | 32 | FFFF B8E8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 59 | EIBD59 | 0000 0001 _H | 32 | FFFF B8EC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 60 | EIBD60 | 0000 0001 _H | 32 | FFFF B8F0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 61 | EIBD61 | 0000 0001 _H | 32 | FFFF B8F4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 62 | EIBD62 | 0000 0001 _H | 32 | FFFF B8F8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 64 | EIBD64 | 0000 0001 _H | 32 | FFFF B900 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 65 | EIBD65 | 0000 0001 _H | 32 | FFFF B904 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 66 | EIBD66 | 0000 0001 _H | 32 | FFFF B908 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 67 | EIBD67 | 0000 0001 _H | 32 | FFFF B90C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 68 | EIBD68 | 0000 0001 _H | 32 | FFFF B910 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 69 | EIBD69 | 0000 0001 _H | 32 | FFFF B914 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 70 | EIBD70 | 0000 0001 _H | 32 | FFFF B918 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 71 | EIBD71 | 0000 0001 _H | 32 | FFFF B91C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 72 | EIBD72 | 0000 0001 _H | 32 | FFFF B920 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 73 | EIBD73 | 0000 0001 _H | 32 | FFFF B924 _H | 0 | 32 |

(166/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込みバインドレジスタ 74 | EIBD74 | 0000 0001 _H | 32 | FFFF B928 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 75 | EIBD75 | 0000 0001 _H | 32 | FFFF B92C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 76 | EIBD76 | 0000 0001 _H | 32 | FFFF B930 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 77 | EIBD77 | 0000 0001 _H | 32 | FFFF B934 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 78 | EIBD78 | 0000 0001 _H | 32 | FFFF B938 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 79 | EIBD79 | 0000 0001 _H | 32 | FFFF B93C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 80 | EIBD80 | 0000 0001 _H | 32 | FFFF B940 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 81 | EIBD81 | 0000 0001 _H | 32 | FFFF B944 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 82 | EIBD82 | 0000 0001 _H | 32 | FFFF B948 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 83 | EIBD83 | 0000 0001 _H | 32 | FFFF B94C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 84 | EIBD84 | 0000 0001 _H | 32 | FFFF B950 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 85 | EIBD85 | 0000 0001 _H | 32 | FFFF B954 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 86 | EIBD86 | 0000 0001 _H | 32 | FFFF B958 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 87 | EIBD87 | 0000 0001 _H | 32 | FFFF B95C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 88 | EIBD88 | 0000 0001 _H | 32 | FFFF B960 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 89 | EIBD89 | 0000 0001 _H | 32 | FFFF B964 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 90 | EIBD90 | 0000 0001 _H | 32 | FFFF B968 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 91 | EIBD91 | 0000 0001 _H | 32 | FFFF B96C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 92 | EIBD92 | 0000 0001 _H | 32 | FFFF B970 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 93 | EIBD93 | 0000 0001 _H | 32 | FFFF B974 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 94 | EIBD94 | 0000 0001 _H | 32 | FFFF B978 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 95 | EIBD95 | 0000 0001 _H | 32 | FFFF B97C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 96 | EIBD96 | 0000 0001 _H | 32 | FFFF B980 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 97 | EIBD97 | 0000 0001 _H | 32 | FFFF B984 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 98 | EIBD98 | 0000 0001 _H | 32 | FFFF B988 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 99 | EIBD99 | 0000 0001 _H | 32 | FFFF B98C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 100 | EIBD100 | 0000 0001 _H | 32 | FFFF B990 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 101 | EIBD101 | 0000 0001 _H | 32 | FFFF B994 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 102 | EIBD102 | 0000 0001 _H | 32 | FFFF B998 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 103 | EIBD103 | 0000 0001 _H | 32 | FFFF B99C _H | 0 | 32 |

(167/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込みバインドレジスタ 114 | EIBD114 | 0000 0001 _H | 32 | FFFF B9C8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 115 | EIBD115 | 0000 0001 _H | 32 | FFFF B9CC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 116 | EIBD116 | 0000 0001 _H | 32 | FFFF B9D0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 117 | EIBD117 | 0000 0001 _H | 32 | FFFF B9D4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 118 | EIBD118 | 0000 0001 _H | 32 | FFFF B9D8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 119 | EIBD119 | 0000 0001 _H | 32 | FFFF B9DC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 120 | EIBD120 | 0000 0001 _H | 32 | FFFF B9E0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 121 | EIBD121 | 0000 0001 _H | 32 | FFFF B9E4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 122 | EIBD122 | 0000 0001 _H | 32 | FFFF B9E8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 123 | EIBD123 | 0000 0001 _H | 32 | FFFF B9EC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 124 | EIBD124 | 0000 0001 _H | 32 | FFFF B9F0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 125 | EIBD125 | 0000 0001 _H | 32 | FFFF B9F4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 126 | EIBD126 | 0000 0001 _H | 32 | FFFF B9F8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 127 | EIBD127 | 0000 0001 _H | 32 | FFFF B9FC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 128 | EIBD128 | 0000 0001 _H | 32 | FFFF BA00 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 129 | EIBD129 | 0000 0001 _H | 32 | FFFF BA04 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 130 | EIBD130 | 0000 0001 _H | 32 | FFFF BA08 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 131 | EIBD131 | 0000 0001 _H | 32 | FFFF BA0C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 132 | EIBD132 | 0000 0001 _H | 32 | FFFF BA10 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 133 | EIBD133 | 0000 0001 _H | 32 | FFFF BA14 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 134 | EIBD134 | 0000 0001 _H | 32 | FFFF BA18 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 135 | EIBD135 | 0000 0001 _H | 32 | FFFF BA1C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 136 | EIBD136 | 0000 0001 _H | 32 | FFFF BA20 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 137 | EIBD137 | 0000 0001 _H | 32 | FFFF BA24 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 138 | EIBD138 | 0000 0001 _H | 32 | FFFF BA28 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 139 | EIBD139 | 0000 0001 _H | 32 | FFFF BA2C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 140 | EIBD140 | 0000 0001 _H | 32 | FFFF BA30 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 141 | EIBD141 | 0000 0001 _H | 32 | FFFF BA34 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 142 | EIBD142 | 0000 0001 _H | 32 | FFFF BA38 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 143 | EIBD143 | 0000 0001 _H | 32 | FFFF BA3C _H | 0 | 32 |

(168/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込みバインドレジスタ 144 | EIBD144 | 0000 0001 _H | 32 | FFFF BA40 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 145 | EIBD145 | 0000 0001 _H | 32 | FFFF BA44 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 146 | EIBD146 | 0000 0001 _H | 32 | FFFF BA48 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 147 | EIBD147 | 0000 0001 _H | 32 | FFFF BA4C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 148 | EIBD148 | 0000 0001 _H | 32 | FFFF BA50 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 149 | EIBD149 | 0000 0001 _H | 32 | FFFF BA54 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 150 | EIBD150 | 0000 0001 _H | 32 | FFFF BA58 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 151 | EIBD151 | 0000 0001 _H | 32 | FFFF BA5C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 152 | EIBD152 | 0000 0001 _H | 32 | FFFF BA60 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 153 | EIBD153 | 0000 0001 _H | 32 | FFFF BA64 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 154 | EIBD154 | 0000 0001 _H | 32 | FFFF BA68 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 155 | EIBD155 | 0000 0001 _H | 32 | FFFF BA6C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 156 | EIBD156 | 0000 0001 _H | 32 | FFFF BA70 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 157 | EIBD157 | 0000 0001 _H | 32 | FFFF BA74 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 158 | EIBD158 | 0000 0001 _H | 32 | FFFF BA78 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 159 | EIBD159 | 0000 0001 _H | 32 | FFFF BA7C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 160 | EIBD160 | 0000 0001 _H | 32 | FFFF BA80 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 161 | EIBD161 | 0000 0001 _H | 32 | FFFF BA84 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 162 | EIBD162 | 0000 0001 _H | 32 | FFFF BA88 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 163 | EIBD163 | 0000 0001 _H | 32 | FFFF BA8C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 164 | EIBD164 | 0000 0001 _H | 32 | FFFF BA90 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 165 | EIBD165 | 0000 0001 _H | 32 | FFFF BA94 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 166 | EIBD166 | 0000 0001 _H | 32 | FFFF BA98 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 167 | EIBD167 | 0000 0001 _H | 32 | FFFF BA9C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 168 | EIBD168 | 0000 0001 _H | 32 | FFFF BAA0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 169 | EIBD169 | 0000 0001 _H | 32 | FFFF BAA4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 170 | EIBD170 | 0000 0001 _H | 32 | FFFF BAA8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 171 | EIBD171 | 0000 0001 _H | 32 | FFFF BAAC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 172 | EIBD172 | 0000 0001 _H | 32 | FFFF BAB0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 173 | EIBD173 | 0000 0001 _H | 32 | FFFF BAB4 _H | 0 | 32 |

(169/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込みバインドレジスタ 174 | EIBD174 | 0000 0001 _H | 32 | FFFF BAB8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 175 | EIBD175 | 0000 0001 _H | 32 | FFFF BABC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 176 | EIBD176 | 0000 0001 _H | 32 | FFFF BAC0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 177 | EIBD177 | 0000 0001 _H | 32 | FFFF BAC4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 178 | EIBD178 | 0000 0001 _H | 32 | FFFF BAC8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 179 | EIBD179 | 0000 0001 _H | 32 | FFFF BACC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 180 | EIBD180 | 0000 0001 _H | 32 | FFFF BAD0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 181 | EIBD181 | 0000 0001 _H | 32 | FFFF BAD4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 182 | EIBD182 | 0000 0001 _H | 32 | FFFF BAD8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 183 | EIBD183 | 0000 0001 _H | 32 | FFFF BADC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 184 | EIBD184 | 0000 0001 _H | 32 | FFFF BAE0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 185 | EIBD185 | 0000 0001 _H | 32 | FFFF BAE4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 186 | EIBD186 | 0000 0001 _H | 32 | FFFF BAE8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 187 | EIBD187 | 0000 0001 _H | 32 | FFFF BAEC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 188 | EIBD188 | 0000 0001 _H | 32 | FFFF BAF0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 189 | EIBD189 | 0000 0001 _H | 32 | FFFF BAF4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 190 | EIBD190 | 0000 0001 _H | 32 | FFFF BAF8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 191 | EIBD191 | 0000 0001 _H | 32 | FFFF BAFc _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 192 | EIBD192 | 0000 0001 _H | 32 | FFFF BB00 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 193 | EIBD193 | 0000 0001 _H | 32 | FFFF BB04 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 242 | EIBD242 | 0000 0001 _H | 32 | FFFF BBC8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 243 | EIBD243 | 0000 0001 _H | 32 | FFFF BBCC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 244 | EIBD244 | 0000 0001 _H | 32 | FFFF BBD0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 245 | EIBD245 | 0000 0001 _H | 32 | FFFF BBD4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 246 | EIBD246 | 0000 0001 _H | 32 | FFFF BBD8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 247 | EIBD247 | 0000 0001 _H | 32 | FFFF BBDC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 248 | EIBD248 | 0000 0001 _H | 32 | FFFF BBE0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 249 | EIBD249 | 0000 0001 _H | 32 | FFFF BBE4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 250 | EIBD250 | 0000 0001 _H | 32 | FFFF BBE8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 251 | EIBD251 | 0000 0001 _H | 32 | FFFF BBEC _H | 0 | 32 |

(170/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込みバインドレジスタ 252 | EIBD252 | 0000 0001 _H | 32 | FFFF BBF0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 253 | EIBD253 | 0000 0001 _H | 32 | FFFF BBF4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 254 | EIBD254 | 0000 0001 _H | 32 | FFFF BBF8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 255 | EIBD255 | 0000 0001 _H | 32 | FFFF BBFC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 256 | EIBD256 | 0000 0001 _H | 32 | FFFF BC00 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 257 | EIBD257 | 0000 0001 _H | 32 | FFFF BC04 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 258 | EIBD258 | 0000 0001 _H | 32 | FFFF BC08 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 259 | EIBD259 | 0000 0001 _H | 32 | FFFF BC0C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 260 | EIBD260 | 0000 0001 _H | 32 | FFFF BC10 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 261 | EIBD261 | 0000 0001 _H | 32 | FFFF BC14 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 262 | EIBD262 | 0000 0001 _H | 32 | FFFF BC18 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 263 | EIBD263 | 0000 0001 _H | 32 | FFFF BC1C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 264 | EIBD264 | 0000 0001 _H | 32 | FFFF BC20 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 265 | EIBD265 | 0000 0001 _H | 32 | FFFF BC24 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 266 | EIBD266 | 0000 0001 _H | 32 | FFFF BC28 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 267 | EIBD267 | 0000 0001 _H | 32 | FFFF BC2C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 268 | EIBD268 | 0000 0001 _H | 32 | FFFF BC30 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 269 | EIBD269 | 0000 0001 _H | 32 | FFFF BC34 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 270 | EIBD270 | 0000 0001 _H | 32 | FFFF BC38 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 271 | EIBD271 | 0000 0001 _H | 32 | FFFF BC3C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 272 | EIBD272 | 0000 0001 _H | 32 | FFFF BC40 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 273 | EIBD273 | 0000 0001 _H | 32 | FFFF BC44 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 274 | EIBD274 | 0000 0001 _H | 32 | FFFF BC48 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 275 | EIBD275 | 0000 0001 _H | 32 | FFFF BC4C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 276 | EIBD276 | 0000 0001 _H | 32 | FFFF BC50 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 277 | EIBD277 | 0000 0001 _H | 32 | FFFF BC54 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 278 | EIBD278 | 0000 0001 _H | 32 | FFFF BC58 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 279 | EIBD279 | 0000 0001 _H | 32 | FFFF BC5C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 280 | EIBD280 | 0000 0001 _H | 32 | FFFF BC60 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 281 | EIBD281 | 0000 0001 _H | 32 | FFFF BC64 _H | 0 | 32 |

(171/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------------------|------------------|---------|
| INTC2 | EI レベル割り込みバインドレジスタ 286 | EIBD286 | 0000 0001 _H | 32 | FFFF BC78 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 287 | EIBD287 | 0000 0001 _H | 32 | FFFF BC7C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 288 | EIBD288 | 0000 0001 _H | 32 | FFFF BC80 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 289 | EIBD289 | 0000 0001 _H | 32 | FFFF BC84 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 290 | EIBD290 | 0000 0001 _H | 32 | FFFF BC88 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 291 | EIBD291 | 0000 0001 _H | 32 | FFFF BC8C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 292 | EIBD292 | 0000 0001 _H | 32 | FFFF BC90 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 293 | EIBD293 | 0000 0001 _H | 32 | FFFF BC94 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 294 | EIBD294 | 0000 0001 _H | 32 | FFFF BC98 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 295 | EIBD295 | 0000 0001 _H | 32 | FFFF BC9C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 296 | EIBD296 | 0000 0001 _H | 32 | FFFF BCA0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 297 | EIBD297 | 0000 0001 _H | 32 | FFFF BCA4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 302 | EIBD302 | 0000 0001 _H | 32 | FFFF BCB8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 303 | EIBD303 | 0000 0001 _H | 32 | FFFF BCB _C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 304 | EIBD304 | 0000 0001 _H | 32 | FFFF BCC0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 305 | EIBD305 | 0000 0001 _H | 32 | FFFF BCC4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 306 | EIBD306 | 0000 0001 _H | 32 | FFFF BCC8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 307 | EIBD307 | 0000 0001 _H | 32 | FFFF BCCC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 308 | EIBD308 | 0000 0001 _H | 32 | FFFF BCD0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 309 | EIBD309 | 0000 0001 _H | 32 | FFFF BCD4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 312 | EIBD312 | 0000 0001 _H | 32 | FFFF BCE0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 313 | EIBD313 | 0000 0001 _H | 32 | FFFF BCE4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 314 | EIBD314 | 0000 0001 _H | 32 | FFFF BCE8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 315 | EIBD315 | 0000 0001 _H | 32 | FFFF BCE _C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 316 | EIBD316 | 0000 0001 _H | 32 | FFFF BCF0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 321 | EIBD321 | 0000 0001 _H | 32 | FFFF BD04 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 322 | EIBD322 | 0000 0001 _H | 32 | FFFF BD08 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 323 | EIBD323 | 0000 0001 _H | 32 | FFFF BD0 _C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 324 | EIBD324 | 0000 0001 _H | 32 | FFFF BD10 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 329 | EIBD329 | 0000 0001 _H | 32 | FFFF BD24 _H | 0 | 32 |

(172/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込みバインドレジスタ 330 | EIBD330 | 0000 0001 _H | 32 | FFFF BD28 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 331 | EIBD331 | 0000 0001 _H | 32 | FFFF BD2C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 332 | EIBD332 | 0000 0001 _H | 32 | FFFF BD30 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 337 | EIBD337 | 0000 0001 _H | 32 | FFFF BD44 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 338 | EIBD338 | 0000 0001 _H | 32 | FFFF BD48 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 339 | EIBD339 | 0000 0001 _H | 32 | FFFF BD4C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 343 | EIBD343 | 0000 0001 _H | 32 | FFFF BD5C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 344 | EIBD344 | 0000 0001 _H | 32 | FFFF BD60 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 345 | EIBD345 | 0000 0001 _H | 32 | FFFF BD64 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 346 | EIBD346 | 0000 0001 _H | 32 | FFFF BD68 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 347 | EIBD347 | 0000 0001 _H | 32 | FFFF BD6C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 348 | EIBD348 | 0000 0001 _H | 32 | FFFF BD70 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 349 | EIBD349 | 0000 0001 _H | 32 | FFFF BD74 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 350 | EIBD350 | 0000 0001 _H | 32 | FFFF BD78 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 351 | EIBD351 | 0000 0001 _H | 32 | FFFF BD7C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 352 | EIBD352 | 0000 0001 _H | 32 | FFFF BD80 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 353 | EIBD353 | 0000 0001 _H | 32 | FFFF BD84 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 354 | EIBD354 | 0000 0001 _H | 32 | FFFF BD88 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 355 | EIBD355 | 0000 0001 _H | 32 | FFFF BD8C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 356 | EIBD356 | 0000 0001 _H | 32 | FFFF BD90 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 357 | EIBD357 | 0000 0001 _H | 32 | FFFF BD94 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 358 | EIBD358 | 0000 0001 _H | 32 | FFFF BD98 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 359 | EIBD359 | 0000 0001 _H | 32 | FFFF BD9C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 360 | EIBD360 | 0000 0001 _H | 32 | FFFF BDA0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 361 | EIBD361 | 0000 0001 _H | 32 | FFFF BDA4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 362 | EIBD362 | 0000 0001 _H | 32 | FFFF BDA8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 363 | EIBD363 | 0000 0001 _H | 32 | FFFF BDAC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 364 | EIBD364 | 0000 0001 _H | 32 | FFFF BDB0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 365 | EIBD365 | 0000 0001 _H | 32 | FFFF BDB4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 366 | EIBD366 | 0000 0001 _H | 32 | FFFF BDB8 _H | 0 | 32 |

(173/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込みバインドレジスタ 367 | EIBD367 | 0000 0001 _H | 32 | FFFF BDBC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 368 | EIBD368 | 0000 0001 _H | 32 | FFFF BDC0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 369 | EIBD369 | 0000 0001 _H | 32 | FFFF BDC4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 370 | EIBD370 | 0000 0001 _H | 32 | FFFF BDC8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 371 | EIBD371 | 0000 0001 _H | 32 | FFFF BDCC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 372 | EIBD372 | 0000 0001 _H | 32 | FFFF BDD0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 373 | EIBD373 | 0000 0001 _H | 32 | FFFF BDD4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 374 | EIBD374 | 0000 0001 _H | 32 | FFFF BDD8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 375 | EIBD375 | 0000 0001 _H | 32 | FFFF BDDC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 376 | EIBD376 | 0000 0001 _H | 32 | FFFF BDE0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 377 | EIBD377 | 0000 0001 _H | 32 | FFFF BDE4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 378 | EIBD378 | 0000 0001 _H | 32 | FFFF BDE8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 379 | EIBD379 | 0000 0001 _H | 32 | FFFF BDEC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 380 | EIBD380 | 0000 0001 _H | 32 | FFFF BDF0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 381 | EIBD381 | 0000 0001 _H | 32 | FFFF BDF4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 382 | EIBD382 | 0000 0001 _H | 32 | FFFF BDF8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 383 | EIBD383 | 0000 0001 _H | 32 | FFFF BDFC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 384 | EIBD384 | 0000 0001 _H | 32 | FFFF BE00 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 385 | EIBD385 | 0000 0001 _H | 32 | FFFF BE04 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 386 | EIBD386 | 0000 0001 _H | 32 | FFFF BE08 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 387 | EIBD387 | 0000 0001 _H | 32 | FFFF BE0C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 388 | EIBD388 | 0000 0001 _H | 32 | FFFF BE10 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 389 | EIBD389 | 0000 0001 _H | 32 | FFFF BE14 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 390 | EIBD390 | 0000 0001 _H | 32 | FFFF BE18 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 391 | EIBD391 | 0000 0001 _H | 32 | FFFF BE1C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 392 | EIBD392 | 0000 0001 _H | 32 | FFFF BE20 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 393 | EIBD393 | 0000 0001 _H | 32 | FFFF BE24 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 394 | EIBD394 | 0000 0001 _H | 32 | FFFF BE28 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 395 | EIBD395 | 0000 0001 _H | 32 | FFFF BE2C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 396 | EIBD396 | 0000 0001 _H | 32 | FFFF BE30 _H | 0 | 32 |

(174/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込みバインドレジスタ 397 | EIBD397 | 0000 0001 _H | 32 | FFFF BE34 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 398 | EIBD398 | 0000 0001 _H | 32 | FFFF BE38 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 399 | EIBD399 | 0000 0001 _H | 32 | FFFF BE3C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 400 | EIBD400 | 0000 0001 _H | 32 | FFFF BE40 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 412 | EIBD412 | 0000 0001 _H | 32 | FFFF BE70 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 413 | EIBD413 | 0000 0001 _H | 32 | FFFF BE74 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 414 | EIBD414 | 0000 0001 _H | 32 | FFFF BE78 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 415 | EIBD415 | 0000 0001 _H | 32 | FFFF BE7C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 416 | EIBD416 | 0000 0001 _H | 32 | FFFF BE80 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 417 | EIBD417 | 0000 0001 _H | 32 | FFFF BE84 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 418 | EIBD418 | 0000 0001 _H | 32 | FFFF BE88 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 419 | EIBD419 | 0000 0001 _H | 32 | FFFF BE8C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 420 | EIBD420 | 0000 0001 _H | 32 | FFFF BE90 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 421 | EIBD421 | 0000 0001 _H | 32 | FFFF BE94 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 422 | EIBD422 | 0000 0001 _H | 32 | FFFF BE98 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 423 | EIBD423 | 0000 0001 _H | 32 | FFFF BE9C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 424 | EIBD424 | 0000 0001 _H | 32 | FFFF BEA0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 425 | EIBD425 | 0000 0001 _H | 32 | FFFF BEA4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 429 | EIBD429 | 0000 0001 _H | 32 | FFFF BEB4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 434 | EIBD434 | 0000 0001 _H | 32 | FFFF BEC8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 435 | EIBD435 | 0000 0001 _H | 32 | FFFF BECC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 436 | EIBD436 | 0000 0001 _H | 32 | FFFF BED0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 437 | EIBD437 | 0000 0001 _H | 32 | FFFF BED4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 438 | EIBD438 | 0000 0001 _H | 32 | FFFF BED8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 444 | EIBD444 | 0000 0001 _H | 32 | FFFF BEF0 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 445 | EIBD445 | 0000 0001 _H | 32 | FFFF BEF4 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 446 | EIBD446 | 0000 0001 _H | 32 | FFFF BEF8 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 447 | EIBD447 | 0000 0001 _H | 32 | FFFF BEFC _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 448 | EIBD448 | 0000 0001 _H | 32 | FFFF BF00 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 449 | EIBD449 | 0000 0001 _H | 32 | FFFF BF04 _H | 0 | 32 |

(175/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込みバインドレジスタ 450 | EIBD450 | 0000 0001 _H | 32 | FFFF BF08 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 451 | EIBD451 | 0000 0001 _H | 32 | FFFF BF0C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 452 | EIBD452 | 0000 0001 _H | 32 | FFFF BF10 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 453 | EIBD453 | 0000 0001 _H | 32 | FFFF BF14 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 454 | EIBD454 | 0000 0001 _H | 32 | FFFF BF18 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 455 | EIBD455 | 0000 0001 _H | 32 | FFFF BF1C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 456 | EIBD456 | 0000 0001 _H | 32 | FFFF BF20 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 457 | EIBD457 | 0000 0001 _H | 32 | FFFF BF24 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 458 | EIBD458 | 0000 0001 _H | 32 | FFFF BF28 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 459 | EIBD459 | 0000 0001 _H | 32 | FFFF BF2C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 460 | EIBD460 | 0000 0001 _H | 32 | FFFF BF30 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 461 | EIBD461 | 0000 0001 _H | 32 | FFFF BF34 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 462 | EIBD462 | 0000 0001 _H | 32 | FFFF BF38 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 463 | EIBD463 | 0000 0001 _H | 32 | FFFF BF3C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 464 | EIBD464 | 0000 0001 _H | 32 | FFFF BF40 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 465 | EIBD465 | 0000 0001 _H | 32 | FFFF BF44 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 466 | EIBD466 | 0000 0001 _H | 32 | FFFF BF48 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 467 | EIBD467 | 0000 0001 _H | 32 | FFFF BF4C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 468 | EIBD468 | 0000 0001 _H | 32 | FFFF BF50 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 469 | EIBD469 | 0000 0001 _H | 32 | FFFF BF54 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 470 | EIBD470 | 0000 0001 _H | 32 | FFFF BF58 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 471 | EIBD471 | 0000 0001 _H | 32 | FFFF BF5C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 480 | EIBD480 | 0000 0001 _H | 32 | FFFF BF80 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 481 | EIBD481 | 0000 0001 _H | 32 | FFFF BF84 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 482 | EIBD482 | 0000 0001 _H | 32 | FFFF BF88 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 483 | EIBD483 | 0000 0001 _H | 32 | FFFF BF8C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 484 | EIBD484 | 0000 0001 _H | 32 | FFFF BF90 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 485 | EIBD485 | 0000 0001 _H | 32 | FFFF BF94 _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 486 | EIBD486 | 0000 0001 _H | 32 | FFFF BF98 _H | 0 | 32 |

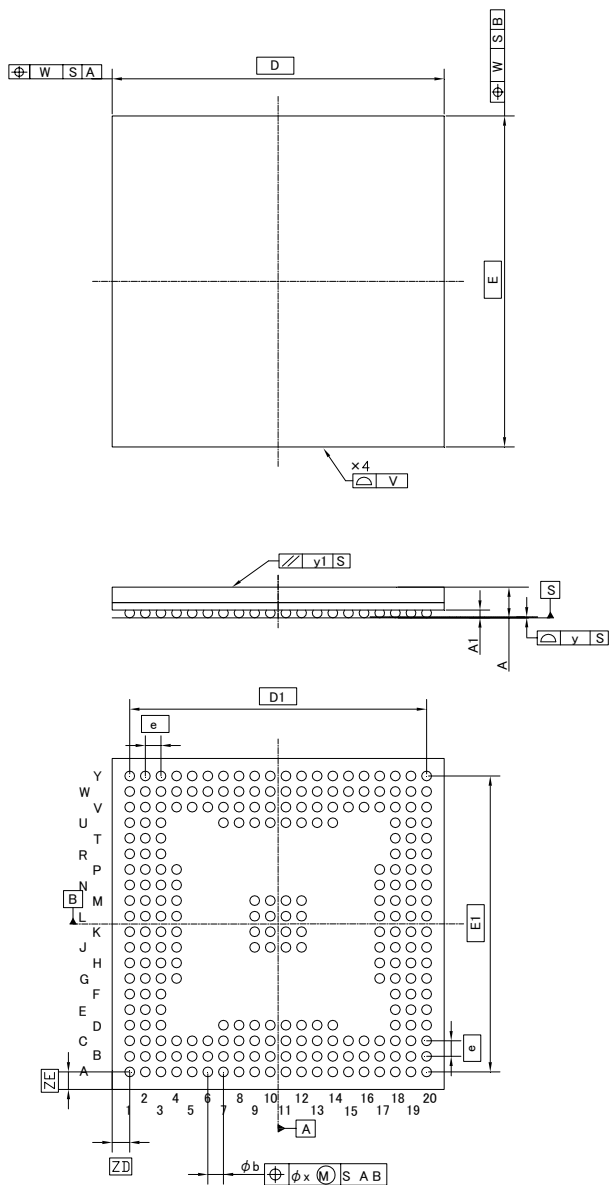
(176/176)

| モジュール名 | レジスタ名 | レジスタシンボル | リセット後の値 | ビット数 | アドレス | Peripheral Group | アクセスサイズ |
|--------|------------------------|----------|------------------------|------|------------------------|------------------|---------|
| INTC2 | EI レベル割り込みバインドレジスタ 487 | EIBD487 | 0000 0001 _H | 32 | FFFF BF9C _H | 0 | 32 |
| INTC2 | EI レベル割り込みバインドレジスタ 489 | EIBD489 | 0000 0001 _H | 32 | FFFF BFA4 _H | 0 | 32 |

付録 外形寸法図

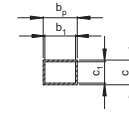
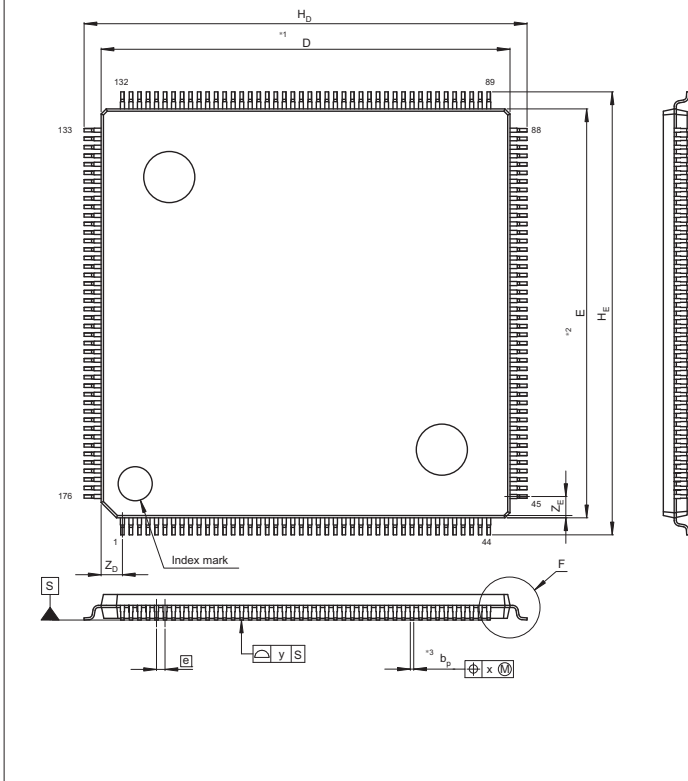
| JEITA Package code | RENESAS code | Previous code | MASS(TYP.)[g] |
|----------------------|--------------|---------------|---------------|
| P-FBGA252-17x17-0.80 | PRBG0252GB-A | - | 0.90 |

Unit:mm

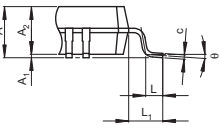


| Reference Symbol | Dimension in Millimeters | | |
|------------------|--------------------------|-------|------|
| | Min | Mon | Max |
| D | — | 17.00 | — |
| $D1$ | — | 15.20 | — |
| E | — | 17.00 | — |
| $E1$ | — | 15.2 | — |
| v | — | — | 0.15 |
| w | — | — | 0.20 |
| e | — | 0.80 | — |
| A | — | 1.58 | 2.00 |
| $A1$ | 0.30 | 0.35 | 0.40 |
| b | 0.49 | 0.54 | 0.59 |
| x | — | — | 0.08 |
| y | — | — | 0.10 |
| $y1$ | — | — | 0.20 |
| ZD | — | 0.90 | — |
| ZE | — | 0.90 | — |

| | | | |
|-----------------------|--------------|---------------------------|------------|
| JEITA Package Code | RENESAS Code | Previous Code | MASS[Typ.] |
| P-LFQFP176-24x24-0.50 | PLQP0176KB-A | 176P6Q-A/FP-176E/FP-176EV | 1.8g |



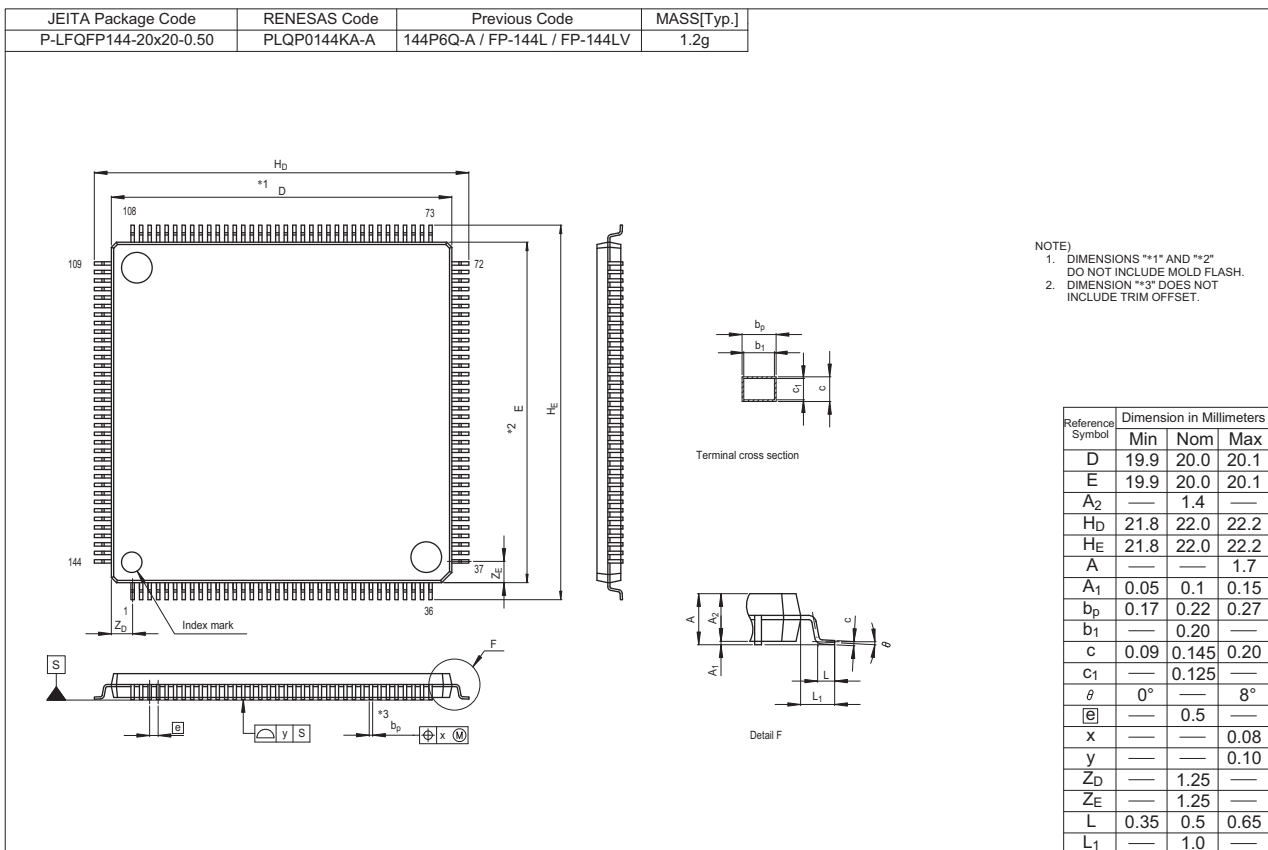
Terminal cross section



Detail F

NOTE)
 1. DIMENSIONS *1* AND *2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION *3* DOES NOT INCLUDE TRIM OFFSET.

| Reference Symbol | Dimension in Millimeters | | |
|------------------|--------------------------|-------|------|
| | Min | Nom | Max |
| D | 23.9 | 24.0 | 24.1 |
| E | 23.9 | 24.0 | 24.1 |
| A ₂ | — | 1.4 | — |
| H _D | 25.8 | 26.0 | 26.2 |
| H _E | 25.8 | 26.0 | 26.2 |
| A | — | — | 1.7 |
| A ₁ | 0.05 | 0.1 | 0.15 |
| b _p | 0.15 | 0.20 | 0.25 |
| b ₁ | — | 0.18 | — |
| c | 0.09 | 0.145 | 0.20 |
| c ₁ | — | 0.125 | — |
| θ | 0° | — | 8° |
| e | — | 0.5 | — |
| x | — | — | 0.08 |
| y | — | — | 0.10 |
| Z _D | — | 1.25 | — |
| Z _E | — | 1.25 | — |
| L | 0.35 | 0.5 | 0.65 |
| L ₁ | — | 1.0 | — |



改訂記録

RH850/E1L ユーザーズマニュアル ハードウェア編

| Rev. | 発行日 | 改訂内容 | |
|------|------------|-----------------|---|
| | | ページ | ポイント |
| 1.00 | 2014.12.17 | — | 初版発行 |
| 1.10 | 2015.12.28 | 全体 | 以下のアクティブロウ端子にオーバーバーを追記 POD, CSIHnTSSI, ERROROUT_M, ERROROUT_C, DRDY, RDY |
| | | 第1章 概要 | |
| | | 52 | 図 1.1 端子接続図 (E1L-BGA252) A1, A20, Y1, Y20 の端子表記修正 (N.C. を追記) |
| | | 55 | 表 1.1 端子番号と端子名の対応表 (E1L-BGA252) (1/7) A1, A20 の端子表記修正 (N.C. を追記) |
| | | 60, 61 | 表 1.1 端子番号と端子名の対応表 (E1L-BGA252) (6/7) (7/7) Y1, Y20 の端子表記修正 (N.C. を追記) |
| | | 71 | 図 1.4 内部ブロック図 説明追加 |
| | | 第2章 端子 | |
| | | 116 | 表 2.45 E1L-BGA252、QFP176 ポートグループ 4 端子兼用機能一覧 修正 (P4_9 - ALT_IN5 を「CRX3」、P4_10 - ALT_OUT5 を「CTX3」に修正) |
| | | 117 | 表 2.48 E1L-BGA252、QFP176 ポートグループ 13 端子兼用機能一覧 P13_0 - ALT_IN1 を「-」に修正 |
| | | 122 | 表 2.58 E1L-QFP144 ポートグループ 13 端子兼用機能一覧 P13_0 - ALT_IN1 を「-」に修正 |
| | | 146 | 表 2.72 端子機能 (11/11) 注 1 を削除 |
| | | 第3章 CPU システム | |
| | | 152 | 図 3.1 ブロック構成図 修正 (「PCU (PE3)」から「P-Bus」への矢印追記) |
| | | 153 | 3.1.1 ブロック構成 P-Bus の説明修正 |
| | | 172 | 表 3.32 FPIPR レジスタの内容 FPIPR ビットの説明修正 |
| | | 176 | 表 3.34 PMR レジスタの内容 PM15-0 ビットの説明修正 |
| | | 236 | 表 3.109 MCTL レジスタの内容 ビット説明に注追加、注 1 の説明文修正 |
| | | 238 | 表 3.112 PMR レジスタの内容 PM7-0 ビットの説明修正 |
| | | 253, 254 | 3.4.3.2 LDL.W/STC.W 命令の動作 説明修正、注追加 |
| | | 255 | 3.5.1.1 制御レジスタの更新結果を、後続命令の実行に反映させる場合 説明修正 |
| | | 第4章 アドレス空間 | |
| | | 261 | 4.3 Global RAM と Retention RAM 説明修正 (Retetion → Retention) |
| | | 第6章 割り込み | |
| | | 265 | 6.2.1 レジスタ構成 説明修正 |
| | | 276 | 6.2.10 PINT0 ~ PINT7、PINTCLR0 ~ PINTCLR7 — 周辺割り込みステータスレジスタ、周辺割り込みステータスクリアレジスタ 説明修正 |
| | | 284 | 6.4 割り込み例外ハンドラと優先順位動作説明 注意追加 |
| | | 309 | 表 6.18 割り込み応答時間 備考に $t_{\phi} = CLK_CPU$ を追加 |
| | | 第7章 DMA | |
| | | 317 | 図 7.4 DTS チャネルアービトレーション チャネル 1 の DMA 転送要求のサイクルを修正 |
| | | 318 | 7.2.2.3 インタフェースアービトレーション 説明追加 |
| | | 328 | 7.3.1 ソフトウェア制御による DMA 一時中断・再開 説明修正 |
| | | 328 | 7.3.2 DMAC チャネルの一時中断・再開および転送中止 説明修正 |
| | | 329, 330 | 7.3.3 DTS の一時中断・再開および転送中止 説明修正 |
| | | 331 | 表 7.5 一時中断・再開・転送中止機能一覧 操作方法の説明修正 |
| | | 336 | 表 7.6 DMA が出力するマスタ情報 VCID 行を削除 |
| | | 336 | 7.5.4.1 チェイン先の制限 説明修正 (VCID の記述削除) |
| | | 350 | 表 7.11 DMACTL レジスタの内容 注意追加 |
| | | 351 | 表 7.12 DTSCCTL1 レジスタの内容 注意追加 |
| | | 358 | 表 7.19 DM0CMV レジスタの内容 MINF[6:1] ビットの説明修正 |
| | | 359 | 表 7.20 DTSCMV レジスタの内容 MINF[6:1] ビットの説明修正 |
| | | 371 | 7.9.2.20 DTSnnnCM — DTS チャネルマスタ設定レジスタ (nnn = 000 ~ 127) DTS チャネルマスタ設定レジスタの推奨設定手順 ビット説明修正 |
| | | 377 | 表 7.41 DTCTn レジスタの内容 (1/3) ビット 27 の説明修正 (DTSTn → DCSTn) |
| | | 第8章 リセット | |
| | | 419 | 図 8.2 ソフトウェアリセットのフロー 図番号修正 |
| | | 第11章 クロックコントローラ | |
| | | 439 | 表 11.1 クロック一覧 ASIC クロックを追加 |
| | | 440 | 図 11.1 クロックコントローラのブロック図 ASIC クロックを追加 |
| | | 445 | 表 11.6 PLL0CLKC1 レジスタの内容 (2/2) ビット 7 ~ 3、ビット 2 ~ 0 の機能説明修正 |

| Rev. | 発行日 | 改訂内容 | |
|------|------------|------------------------------------|---|
| | | ページ | ポイント |
| 1.10 | 2015.12.28 | 453 | 11.4.10 PROT1PHCMD — プロテクト1 コマンドレジスタ 注1. 修正 |
| | | 456 | 図 11.3 クロックギアアップシーケンスの例 [Step 2] および [Step 3] の表記を修正 |
| | | 461 | 表 11.17 ACK0CKC レジスタの内容 注1 を修正 |
| | | 第12章 スタンバイコントロール | |
| | | 477 | 12.3.3 PROT0PHCMD — 保護コマンドレジスタ 注1. 修正 |
| | | 第13章 クロック同期シリアルインタフェース H (CSIH) | |
| | | 503 | 13.5.1 (2) スレープモード 備考修正 |
| | | 521 | 13.5.9 スレープモードでの通信 (1) システムの概要 説明文修正 |
| | | 544 | 13.6.3 CSIHnCTL2 — CSIH 制御レジスタ 2 説明文修正 |
| | | 552 | 表 13.23 CSIHnCFGx レジスタの内容 (3/4) ビット 14 ~ 12 の表を修正 |
| | | 第14章 シリアルコミュニケーションインタフェース 3 (SCI3) | |
| | | 576 | 表 14.11 SCI3nBRR の設定値 N とビットレート B の関係 備考修正 |
| | | 577 | 14.3.10 SCI3nBRR — ビットレートレジスタ 説明修正 |
| | | 579 | 表 14.17 ビットレートモジュレーション機能使用時の SCI3nMDDR 設定値とビットレート B の関係 備考修正 |
| | | 583 | 14.4.3 クロック 説明修正 |
| | | 583 | 14.4.4 倍速動作 説明修正 |
| | | 584 | 図 14.5 SCI3 の初期化フローチャートの例 [5] の説明修正 |
| | | 586 | 図 14.7 シリアル送信のフローチャートの例 [1] と [2] 修正 |
| | | 587 | 図 14.8 シリアル送信後に SCI3 を停止するフローチャートの例 [6] と注1 修正 |
| | | 590 | 図 14.10 シリアル受信のフローチャートの例 (1) 修正 |
| | | 593 | 図 14.13 マルチプロセッサシリアル送信のフローチャートの例 [1] と [2] 修正 |
| | | 594 | 図 14.14 SCI3 の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例) 端子名修正 |
| | | 595 | 図 14.15 マルチプロセッサシリアル受信のフローチャートの例 (1) [1] と [4] 修正 |
| | | 596 | 図 14.16 マルチプロセッサシリアル受信のフローチャートの例 (2) 注1 修正 |
| | | 599 | 図 14.19 SCI3 の初期化フローチャートの例 [5] 修正 |
| | | 601 | 図 14.21 シリアル送信のフローチャートの例 端子名修正 |
| | | 602 | 図 14.22 シリアル送信後に SCI3 を停止するフローチャートの例 注1 修正 |
| | | 604 | 図 14.24 シリアル受信のフローチャートの例 説明修正 |
| | | 606 | 図 14.25 シリアル送受信同時動作のフローチャートの例 修正 |
| | | 610 | 14.9.6 クロック同期式モードの外部クロック入力 説明修正 |
| | | 第16章 CAN インタフェース (RS-CAN) | |
| | | 665 | 表 16.8 外部入出力信号 タイトル修正 |
| | | 665 | 表 16.8 外部入出力信号 Txm (m = 0 ~ 3) の説明修正 |
| | | 667 | 表 16.9 RS-CAN モジュールの仕様 (2/2) 「割り込み要因」の説明修正 (送信モード→受信モード) |
| | | 844 | 16.6 注意事項 修正 |
| | | 第18章 ルネサスハイスピードバス (RHSB) | |
| | | 873 | 18.2.5.1 RHSBJUCR — アップストリーム設定レジスタ ビット 12 ~ 8 の R/W を「R」に修正 |
| | | 第19章 ウィンドウウォッチドッグタイマ (WDTA) | |
| | | 957 | 19.5.1.3 リセット解除後の WDTA 設定 表中 75% 割り込みモードの内容修正 |
| | | 第20章 OS タイマ (OSTM) | |
| | | 964 | 20.1 機能概要 説明修正 |
| | | 976 | 図 20.4 OS タイマ起動設定フロー 注1. の説明修正 |
| | | 第21章 アドバンスドタイマユニット IV (ATU-IV) | |
| | | 全体 | ATU-IV 章において、以下とおり端子名および名称を修正 TOCxy → TIOCxy、TIA0 ~ 5 → TIA00 ~ 05 |
| | | 1025 | 21.1.4 クロック供給 追加 |
| | | 1044 | 表 21.10 TCR2A レジスタの内容 ビット説明修正 (TIAx → TIA00 ~ 05) |
| | | 1059 | 表 21.18 TIOR2A レジスタの内容 説明修正 (TIAx → TIA00 ~ TIA05) |
| | | 1071 | 表 21.26 NCRAx レジスタの内容 説明修正 (TIAx → TIA0x) |
| | | 1076 | 図 21.11 タイマ A フリーランニング動作、オーバフロータイミング TCNTA の値を修正 |
| | | 1078 | 21.4.3.3 インพุットキャプチャ動作 説明修正 (入力エッジを出力出力→入力エッジを出力) |
| | | 1137 | 図 21.21 TCNTB6 のコンペアマッチ動作、および CMFB6 割り込み要求出力 (IREGB6 = "00", "01") 説明修正 |

改訂記録

RH850/E1L ユーザーズマニュアル ハードウェア編

| Rev. | 発行日 | 改訂内容 | | | |
|------|------------|----------------------------|---|--|--|
| | | ページ | ポイント | | |
| 1.10 | 2015.12.28 | 1137 | 図 21.22 IREGB6 = "10" 設定時の CMB6 割り込み要求出力 注 1 修正 | | |
| | | 1188 | 図 21.39 ワンショットパルス動作 (出力端子初期化タイミングチャート) 端子名修正 (toc、toox[0] → TIOCxy) | | |
| | | 1191 | 図 21.42 ワンショットパルス出力キャンセルタイミングチャート 端子名修正 (at_tioc00 → TIOC00) | | |
| | | 1194 | 21.7.1 動作概要 説明修正 (TOD0xA、TOD0xB → TOD0yA、TOD0yB) | | |
| | | 1202、1203 | 21.7.2.3 TIOR1Dx — タイマ I/O コントロールレジスタ 1Dx 説明修正 (TODxA → TODxyA) | | |
| | | 1204 | 21.7.2.4 TIOR2Dx — タイマ I/O コントロールレジスタ 2Dx 説明修正 (TODxA → TODxyA) | | |
| | | 1206 | 21.7.2.4 (1) IOBDxy[2:0] — I/O コントロール B 説明修正 (TODxA → TODxyA) | | |
| | | 1279、1280 | 21.9.1 動作概要 説明修正 | | |
| | | 1280 | 図 21.59 タイマ F サブブロック図 信号名修正、注 1 追加 | | |
| | | 1285 | 表 21.112 NCMCR2F レジスタの内容 説明修正 | | |
| | | 1287 | 表 21.114 NCCRF レジスタの内容 説明修正 | | |
| | | 1287 | 21.9.2.4 (1) NCFx — ノイズキャンセライネーブルビット Fx 説明修正 | | |
| | | 1290 | 表 21.116 TCR1Fx レジスタの内容 ビット 1, 0 の説明修正 | | |
| | | 1291 | 21.9.2.6 (3) EGSELFx — エッジセレクト Fx 説明修正 (TIFxA → TIFxA または TIFx) | | |
| | | 1292 | 表 21.117 TCR2Fx レジスタの内容 ビット 7 ~ 5 およびビット 2 ~ 0 の説明修正 | | |
| | | 1292 | 21.9.2.7 TCR2Fx — タイマコントロールレジスタ 2Fx 説明修正 | | |
| | | 1303 | 21.9.2.13 ECNTBFx — イベントカウンタ Fx 説明修正 | | |
| | | 1303 | 表 21.124 タイマ F 動作モードごとのイベントカウンタ入カクロック、およびカウントエッジ入カクロック修正 | | |
| | | 1308 | 21.9.2.18 GRFCx — 汎用レジスタ CFx 説明修正 (TIFnA → TIFx) | | |
| | | 1314、1315 | 21.9.2.23 NCNTFAx — ノイズキャンセルカウンタ FAx 説明修正 | | |
| | | 1318 | 表 21.136 NCRFAx レジスタの内容 機能説明修正 | | |
| | | 1320 | 21.9.3.1 一定時間内エッジカウント ・ ECNTBFx の説明修正 | | |
| | | 1322 | 21.9.3.2 有効エッジ入力間隔計測 説明修正 | | |
| | | 1324 | 21.9.3.3 入力 High/Low 期間計測 説明修正 | | |
| | | 1326 | 21.9.3.4 PWM 入力波形計測 説明修正 | | |
| | | 1330 | 21.9.3.5 回転速度/パルス計測 説明修正 | | |
| | | 1332 | 図 21.67 回転速度/パルス計測の動作例 信号名修正 | | |
| | | 第 22 章 オートノマスパルスアダプタ (APA) | | | |
| | | 1527 | 表 22.65 標準的な設定・動作手順 設定手順 1 の説明修正 | | |
| | | 1528 | 表 22.66 意図しない例外処理を防ぐ設定例 内容、備考修正 | | |
| | | 第 23 章 モータコントロールタイマ (TSG2) | | | |
| | | 1545 | 図 23.1 TSG2n のブロック図 修正 | | |
| | | 1546、1547 | 表 23.5 TSG2n (n = 0、1) レジスタ一覧 修正 | | |
| | | 1554 | 表 23.11 TSG2nCTL6 レジスタの内容 (1/2) ビット 7 およびビット 4 の説明修正 (STADT0/1 → TSTADT0/1) | | |
| | | 1554 | 表 23.11 TSG2nCTL6 レジスタの内容 (1/2) ビット 9 ~ ビット 6 の説明修正 (TSTADT0 → TSTADT1) | | |
| | | 1598 | 図 23.8 随時書き換えのタイミング (PWM モードの例) 割り込み名称修正 | | |
| | | 1639 | 図 23.43 エラー割り込み (INTTSG2nIER) 発生例 (PWM モード時) 端子名修正 (TSG2n01/02 端子 → TSON1/2 端子) | | |
| | | 1639 | 図 23.44 アクティブレベルごとのエラー割り込み (INTTSG2nIER) 発生例 端子名修正 (TSG2n01/02 端子 → TSON1/2 端子) | | |
| | | 1640 | 図 23.45 エラー割り込み動作例 端子名修正 | | |
| | | 1645 | 表 23.47 PWM モード: タイマ出力機能 端子列修正 (TSG2nOm → TSONm) | | |
| | | 1646 | 表 23.50 PWM モード: タイマ出力条件別の設定例 端子列修正 (TSG2nOm → TSONm) | | |
| | | 1649 | 23.11.1.3 PWM モード時のデッド・タイム制御 説明修正 (TSG2n02 → TSON2) | | |
| | | 1687 | 23.11.4 120-DC モードの概要 修正 (2 種類 → 3 種類) | | |
| | | 1688 | 図 23.70 120-DC モード時のブロック構成図 修正 | | |
| | | 1690 | 表 23.66 120-DC モード: タイマ入力機能 修正 | | |
| | | 1691 | 表 23.70 120-DC モード: タイマ出力条件別の設定例 端子列修正 | | |
| | | 1694 | 23.11.4.3 120-DC モードの制御方式 下表の内容修正 | | |
| | | 1694 | ソフトウェア出力制御方式の動作 説明修正 | | |

改訂記録

RH850/E1L ユーザーズマニュアル ハードウェア編

| Rev. | 発行日 | 改訂内容 | |
|------|------------|-------------------------------|---|
| | | ページ | ポイント |
| 1.10 | 2015.12.28 | 1699 | 図 23.75 120-DC モード動作例 (正転 : TSG2nSTR1.TSG2nTSF = 0, TSG2nOPT0.TSG2nIDC = 1) 修正 |
| | | 1700 | 図 23.76 120-DC モード動作例 (逆転 : TSG2nSTR1.TSG2nTSF = 1, TSG2nOPT0.TSG2nIDC = 0) 修正 |
| | | 第 24 章 タイマオプション (TAPA) | |
| | | 1721 | 24.2.1 レジスタの概要 下表アクセス単位の列の表記修正 (レ点を○に変更) |
| | | 第 25 章 ペリフェラルインターコネクション (PIC) | |
| | | 1732 | 25.1.2.3 PIC1SSER2 — 同時スタート制御レジスタ 2 説明修正 |
| | | 1733 | 25.1.2.4 PIC1SSER3 — 同時スタート制御レジスタ 3 説明修正 |
| | | 1734 | 25.1.2.5 PIC1HIZCEN2 — Hi-Z 出力制御レジスタ 2 説明修正 |
| | | 1734 | 表 25.7 PIC1HIZCEN2 レジスタの内容 ビット 0 の説明修正 |
| | | 1735 | 25.1.3.1 タイマ同調機能 1. の説明修正 |
| | | 1741 | 25.2.3.2 PIC2ADCBnEDGSEL — AD コンバータ n トリガエッジ選択制御レジスタ 説明修正 |
| | | 1758 | 表 25.21 PIC2DSADCATSEL0 レジスタの内容 ビット 3, ビット 1 の説明修正 (ADTRG_DS1 ~ 0 → DSADTRG1 ~ 0) |
| | | 1759 | 表 25.22 PIC2DSADCATSEL1 レジスタの内容 ビット 3, ビット 1 の説明修正 (ADTRG_DS1 ~ 0 → DSADTRG1 ~ 0) |
| | | 1760 | 25.2.4.1 ADC トリガ選択機能 説明修正 |
| | | 第 26 章 AD コンバータ (ADCB) | |
| | | 1770 | 表 26.4 レジスタアドレス一覧 (1/2) データレジスタ n のアクセスサイズ 修正 |
| | | 1774 | 表 26.7 ADCBmVCRn レジスタの内容 (2/2) ビット 5 ~ 0 の説明修正 |
| | | 1775 | 26.5.2 ADCBmDRn — データレジスタ n 説明修正 |
| | | 1788 | 表 26.20 ADCBmODCR レジスタの内容 注意の説明修正 |
| | | 1797 | 表 26.30 ADCBmSGCRx レジスタの内容 (x = 0 ~ 2 の場合) ビット 0 の機能説明修正 |
| | | 1798 | 表 26.31 ADCBmSGCRx レジスタの内容 (x = 3, 4 の場合) ビット 1, 0 の機能説明修正 |
| | | 1803 | 表 26.37 ADCBmADTIPIRy レジスタの内容 注意修正 |
| | | 1805 | 表 26.39 ADCBmULLMSRx レジスタの内容 注意修正 |
| | | 1806 | 図 26.3 初期設定 修正 (ADCBmADTIIRR3-4 → ADCBmADTIIPR3-4) |
| | | 1820、1821 | 26.7.9.2 A/D 変換回路自己診断機能 説明および図追加 |
| | | 1822 | 26.7.10 アナログ入力のサンプリングとスキャングループ処理時間 処理時間の計算式修正 |
| | | 1822 | 表 26.40 スキャングループ処理時間 説明追加 |
| | | 1835 | 26.9.3 注入電流印加時の注意事項 追加 |
| | | 1836 | 図 26.27 IFC のブロック図 説明修正 |
| | | 第 28 章 デジタルフィルタ (DFE) | |
| | | 1888 | 表 28.2 用語一覧 (1/2) タイマトリガの説明修正 |
| | | 1893 | 表 28.3 制御レジスタ一覧 (4/4) 機能列の修正 |
| | | 1931 | 28.4.7.2 トリガフラグ機能 修正 (CTRLACHn.EN → CTLACHn.EN) |
| | | 1958 | 表 28.32 FIR/IIR 通常時の処理時間 時間修正 |
| | | 1958 | 表 28.33 FIR/IIR 初期化付の時の処理時間 時間修正 |
| | | 1958 | 28.5.3 DFE 処理時間 説明修正 |
| | | 1961 | 28.5.8 チャンネル無効時の動作 修正 (CTRLACHn.EN → CTLACHn.EN) |
| | | 第 29 章 セーフティ | |
| | | 1966 | 表 29.3 Code Flash 用 ECC 概要 自己診断の説明修正 |
| | | 1974 | 29.2.2.3 (6) CF1STERSTR_VCI/PE1/PCU — Code Flash 1st エラーステータスレジスタ 説明修正 |
| | | 1974 | 表 29.10 CF1STERSTR レジスタの内容 ビット 2 ~ 0 の説明修正 |
| | | 1981 | 表 29.18 DFERSTR レジスタの内容 ビット 1, 0 の説明修正 |
| | | 1986 | 表 29.25 CPU1 の Local RAM 用 ECC 概要 アドレスキャプチャの項目を削除 |
| | | 1988 | 表 29.28 レジスタ一覧 修正 (Local RAM 1st エラーアドレスレジスタ n を削除) |
| | | 1990 | 表 29.30 LRTSTCTL_PE1 レジスタの内容 (1/2) ビット 5 ~ 2 の説明修正 |
| | | 1992 | 29.2.4.3 (3) LRTDATBFn_PE1 — Local RAM テストデータリードバッファ n (n = 0, 1) ビット配置図修正 |
| | | 1992 | 表 29.31 LRTDATBFn_PE1 レジスタの内容 表タイトルおよびビット名修正 |
| | | 1995 | 29.2.4.3 (6) LRSTCLR_PE1 — Local RAM ステータスクリアレジスタ 説明修正 |
| | | 1995 | 表 29.34 LRSTCLR_PE1 レジスタの内容 ビット 3 ~ 0 の機能説明修正 |
| | | 1997 | 29.2.4.3 (8) LR1STERSTR_PE1 — Local RAM 1st エラーステータスレジスタ 説明修正 |

改訂記録

RH850/E1L ユーザーズマニュアル ハードウェア編

| Rev. | 発行日 | 改訂内容 | | | |
|------|------------|-----------------------------|--|--|--|
| | | ページ | ポイント | | |
| 1.10 | 2015.12.28 | 1997 | 表 29.36 LR1STERSTR_PE1 レジスタの内容 機能説明修正 | | |
| | | — | 29.2.4.3 (9) LR1STEADRn_PE1 — Local RAM 1st エラーアドレスレジスタ n (n = 0 ~ 3) 削除 | | |
| | | 2003 | 29.2.5.3 (2) LRFSTERSTR_PCU — Local RAM 1st エラーステータスレジスタ 説明修正 | | |
| | | 2003 | 表 29.40 LRFSTERSTR_PCU レジスタの内容 ビット 1, 0 の説明修正 | | |
| | | 2005 | 表 29.42 LROVFSTR_PCU レジスタの内容 ビット 0 の説明修正 | | |
| | | 2009 | 表 29.46 LRTSTCTRL_PCU レジスタの内容 ビット 1, 0 の説明修正 | | |
| | | 2010 | 29.2.5.3 (9) LRTDATBF0_PCU — Local RAM テストデータリードバッファ 0 説明修正 | | |
| | | 2010 | 表 29.47 LRTDATBF0_PCU レジスタの内容 ビット 6 ~ 0 のビット名、説明の修正 | | |
| | | 2015 | 表 29.52 GRTSTCTL レジスタの内容 (1/2) ビット 7 ~ 4 の説明修正 | | |
| | | 2016 | 表 29.52 GRTSTCTL レジスタの内容 (2/2) ビット 2 ~ 0 の説明修正 | | |
| | | 2017 | 表 29.53 GRTDATBFn レジスタの内容 備考追加 | | |
| | | 2024 | 29.2.6.3 (10) GR1STERSTR_VCI/PE1 — Global RAM 1st エラーステータスレジスタ 説明修正 | | |
| | | 2024、2025 | 表 29.60 GR1STERSTR_VCI/PE1 レジスタの内容 ビット位置表記および機能説明の修正 | | |
| | | 2030 | 表 29.62 命令キャッシュ用 ECC 概要 ECC エラー検出・訂正の説明を修正 | | |
| | | 2036 | 29.2.7.3 (5) ID1STERSTR_PE1 — 命令キャッシュデータ RAM 1st エラーステータスレジスタ 説明修正 | | |
| | | 2036 | 表 29.68 ID1STERSTR_PE1 レジスタの内容 ビット 9, 8, 1, 0 の説明修正 | | |
| | | 2037 | 29.2.7.3 (6) ID1STEADRn_PE1 — 命令キャッシュデータ RAM (Bankn) 1st エラーアドレスレジスタ (n = 0, 1) 説明修正 | | |
| | | 2041 | 表 29.73 ITOVFSTR_PE1 レジスタの内容 ビット位置の記載修正 | | |
| | | 2042 | 29.2.7.3 (11) IT1STERSTR_PE1 — 命令キャッシュタグ RAM 1st エラーステータスレジスタ 説明修正 | | |
| | | 2042 | 表 29.74 IT1STERSTR_PE1 レジスタの内容 ビット 1, 0 の説明修正 | | |
| | | 2043 | 29.2.7.3 (12) IT1STEADR0_PE1 — 命令キャッシュタグ RAM 1st エラーアドレスレジスタ 説明修正 | | |
| | | 2076 | 29.3 ロックステップ 説明修正 | | |
| | | 2086 | 表 29.103 MGDGRSSTAT_VCI/PE1 レジスタの内容 ビット 1 の説明修正 | | |
| | | 2090 | 表 29.110 FSGDxxDPROTn レジスタの内容 (1/2) ビット 4 の説明修正 | | |
| | | 2092 | 表 29.113 ERRSLVxxADDR レジスタの内容 機能説明修正 | | |
| | | 2093 | 表 29.114 ERRSLVxxTYPE レジスタの内容 機能説明修正 | | |
| | | 2094 | 表 29.115 仕様概要 シグネチャの生成 説明修正 | | |
| | | 2100 | 29.5.3.3 データカウンタの注意 説明修正 | | |
| | | 2102 | 表 29.117 シグネチャ生成部レジスタ一覧 (2/2) RFU のリセット後の値を修正 | | |
| | | 2119 | 表 29.133 各クロックモニタのモニタクロック、サンプリングクロック一覧 説明修正 | | |
| | | 第 30 章 エラーコントロールモジュール (ECM) | | | |
| | | 2136 | 30.1.3 ERROROUT 出力動作 説明修正 (リセット解除後→リセット中およびリセット解除後) | | |
| | | 第 33 章 フラッシュメモリ | | | |
| | | 2202 | 33.11 使用上の注意事項の 4. 修正 | | |
| | | 2202 | 33.11 使用上の注意事項の 5. 修正 | | |
| | | 第 34 章 フラッシュセキュリティ | | | |
| | | 2208 | 図 34.2 セキュリティレベル状態遷移 図中の表示を修正 | | |
| | | 第 35 章 RAM | | | |
| | | 2212 | 図 35.1 Emulation RAM 周辺の回路構成 修正 | | |
| | | 第 36 章 バウンダリスキャン | | | |
| | | 2223 | 表 36.1 端子構成 TRST の説明修正 | | |
| | | 2224 | 36.3 レジスタの説明 説明修正 | | |
| | | 2228 | 表 36.5 バウンダリスキャン対象外の端子 アナログ入力の説明修正 | | |
| | | 2229 | 36.5 使用上の注意 6. の説明修正 | | |
| | | 第 37 章 電気的特性 | | | |
| | | 2234、2235 | 表 37.2 電源名と端子の関係 (4/4) A1VSS、VDD、VSS に (N.C.) を追記 | | |
| | | 2235 | 表 37.2 電源名と端子の関係 注 3. を追加 | | |
| | | 2237 | 表 37.4 DC 特性 (入力電圧) VT+ の Max. 値 修正 | | |
| | | 2244 | 表 37.13 DC 特性 (スタンバイ) 条件修正 | | |
| | | 2244 | 表 37.14 DC 特性 (電源電圧モニタ) 条件修正 | | |
| | | 2246 | 表 37.15 電源投入・切断タイミング PLL1 ロックアップ時間のスペック修正 | | |

改訂記録

RH850/E1L ユーザーズマニュアル ハードウェア編

| Rev. | 発行日 | 改訂内容 | | | |
|----------------|---|-----------|---|-------------|--|
| | | ページ | ポイント | | |
| 1.10 | 2015.12.28 | 2247 | 表 37.16 電源投入・切断タイミング PLL1 ロックアップ時間のスペック修正 | | |
| | | 2253 | 表 37.26 マスターモード時の CSIH タイミング 項目追加、内容修正 | | |
| | | 2254 | 図 37.12 CSIH タイミング (マスターモード) 規定追加 | | |
| | | 2258 | 表 37.27 スレーブモード時の CSIH タイミング 項目追加 | | |
| | | 2259 | 図 37.16 CSIH タイミング (スレーブモード) 規定追加 | | |
| | | 2260 | 図 37.17 CSIH タイミング (スレーブモード) 項目追加 | | |
| | | 2261 | 図 37.18 CSIH タイミング (スレーブモード) 端子名修正 | | |
| | | 2262 | 用語統一 (SCI → SCI3) | | |
| | | 2262 | 表 37.28 SCI3 タイミング (マスターモード時) 送信データ遅延時間のスペック修正 | | |
| | | 2262 | 図 37.20 SCI3 入出力タイミング/クロック同期式モード 修正 | | |
| | | 2263 | 表 37.29 SCI3 タイミング (スレーブモード時) 送信データ遅延時間のスペックおよび注記を修正 | | |
| | | 2265 | 表 37.31 TSG2 タイミング 条件の修正 | | |
| | | 2267 | 表 37.33 JTAG、NEXUS タイミング tTDOD および tRDYD の Max. 値修正、DRDY 端子名修正 (RDY → DRDY) | | |
| | | 2267 | 図 37.24 JTAG、NEXUS タイミング DRDY 端子名修正 (RDY → DRDY) | | |
| | | 2269 | 表 37.35 ADC 変換器特性 自己診断時の絶対誤差 修正、注意追加 | | |
| | | 2270 | 37.4 A/D 変換器特性 ・A/D 変換器の外付け回路による誤差についての表 項目列を修正 | | |
| | | 2271 | 表 37.36 ΔΣADC 変換特性 (1/2) 使用例 1 ~ 4 の条件を修正 | | |
| | | 2273 | 表 37.38 Code Flash 基本特性 注 2. の説明修正 | | |
| | | 付録 レジスタ一覧 | | 2276 ~ 2451 | 内容修正、「Peripheral Group」の分類追加 |
| | | 1.20 | 2017.02.27 | 第 1 章 概要 | |
| | | | | 50 | 1.2 特長 バウンダリスキャンの説明追加 |
| | | | | 53 | 図 1.2 端子接続図 (E1L-QFP176) 外形と Index の表示の誤記修正 |
| 54 | 図 1.3 端子接続図 (E1L-QFP144) 外形と Index の表示の誤記修正 | | | | |
| 第 2 章 端子 | | | | 72 | 表 2.1 本製品のポートグループ QFP144 のグループ数とグループ名の誤記修正 |
| 95 | 2.1.4.6 端子単位のレジスタ (1) PCRN _m —ポートコントロールレジスタ 注意を追加 | | | | |
| 136 ~ 146 | 表 2.72 端子機能 表ヘッダ欄の PKG 名称の誤記修正 : BGA256QFP176 → BGA252QFP176 | | | | |
| 第 3 章 CPU システム | | | | 209 | 表 3.74 IPGPMTUM4 レジスタの内容 W0, R0 の誤記を修正 |
| 211 | 表 3.76 SEGCONT レジスタの内容 (1/2) VCRE ビットの機能説明を変更 : 注 2 を追加 | | | | |
| 212 | 表 3.76 SEGCONT レジスタの内容 (2/2) VCIE ビットの機能説明を変更 : IPG 違反アクセス検出および後続アクセス阻止通知を追加、注 2. を追加 | | | | |
| 215 | 3.2.4.3 システムエラー通知制御機能 (SEG) (c) SEGADDR—エラー要因保持レジスタ (アドレス) 記録対象エラー要因の追加、記録対象以外のエラー要因に関する説明を追加 | | | | |
| 256 | 3.5.1 ストア命令の完了と後続命令の同期化 本文を変更 | | | | |
| 257 | 3.5.1.2 制御レジスタやメモリの更新結果を、後続命令の命令フェッチに反映させる場合 本文を変更 | | | | |
| 257 | 3.5.1.3 Code Flash の領域を切り替える場合 追加 | | | | |
| 257 | 3.5.1.4 ストア命令による更新完了を SYNCM 命令で待ち合わせる場合 追加 | | | | |
| 第 6 章 割り込み | | | | 270 | 表 6.5 EIC0-EIC511 レジスタの内容 (2/2) EIMKn ビットの機能説明の誤記修正 : PMF ビット → PMEI ビット |
| 311 | 表 6.18 割り込み応答時間 (min.) タイトル、動作クロック欄、同期化欄、合計欄を変更、注 1. を追記 | | | | |
| 311 | 6.6 割り込み応答時間 表 6.18 の下表 Cache HIT/MISS 欄、CPU1 内 (240MHz 時) 欄を変更、PCU 内欄の変更、PCU 内 (240MHz 時) 欄を追加 | | | | |
| 第 7 章 DMA | | | | 315 | 7.2.1.2 DMA サイクルの実行 デュアル・アドレス転送を追加 |
| 331 | 7.3.2 DMAC チャンネルの一時中断・再開および転送中止 MLE に関する動作補足追加 | | | | |
| 335 | 表 7.5 一時中断・再開・転送中止機能一覧 注 3 を追加 | | | | |
| 336 | 7.4.2 DMA 転送エラー DMA 転送エラー割り込みの記載追加 | | | | |
| 339 | 7.5.2.4 違反アクセス DMAVIOL の記載追加 | | | | |

改訂記録

RH850/E1L ユーザーズマニュアル ハードウェア編

| Rev. | 発行日 | 改訂内容 | |
|------|------------|--------------------------------------|---|
| | | ページ | ポイント |
| 1.20 | 2017.02.27 | 382 | 表 7.41 DTCTn レジスタの内容 (2/3) SACM[1:0] ビットの機能説明の誤記修正：表中の設定禁止の設定値を SACM1=0 → SACM1=1 に変更 |
| | | 383 | 表 7.41 DTCTn レジスタの内容 (3/3) 注意の 1. を変更 |
| | | 396 | 図 7.12 TI の構成 TI-H の区切り位置修正 |
| | | 398 | 7.11.1.4 TI アクセスの際の注意点 TI-H の未使用ビットの誤記修正：31 ~ 26 → 31 ~ 23 |
| | | 第 8 章 リセット | |
| | | 415 | 8.3 リセット要因 (表) デバッグからリセットが発行された場合の要因、動作説明を変更 |
| | | 422 | 8.4.6 SWRESA— ソフトウェアリセット要求レジスタ 注 1. を変更 |
| | | 第 9 章 電源回路 | |
| | | 424 | 9.1 特長 (表) TTLVCC の電源用途を変更、参照先を追加 |
| | | 第 10 章 電源電圧モニタ | |
| | | 441 | 10.5 使用上の注意 本文を変更：DCU を削除 |
| | | 第 11 章 クロックコントローラ | |
| | | 457 | 11.4.10 PROT1PHCMD — プロテクト 1 コマンドレジスタ 注 1. を変更 |
| | | 第 12 章 スタンバイコントローラ | |
| | | 477 | 12.2.1 電源遮断スタンバイモード 本文を変更 (説明追加、参照先追加) |
| | | 481 | 12.3.3 PROT0PHCMD— 保護コマンドレジスタ 注 1. を変更 |
| | | 第 13 章 クロック同期シリアルインタフェース H (CSIH) | |
| | | 512 | 図 13.7 チップセレクトと RCB の例 図の誤記修正：CSIHnTCSSx → CSIHnTCSS0、CSIHnTCSSx → CSIHnTCSS1、CSIHnCFG1.CSIHnID1[3:0] → CSIHnCFG1.CSIHnID1[2:0]、データ間時間→アイドル時間 |
| | | 521 | 13.5.7, (2), 例 説明の誤記修正：2 ~ 16 ビット→2 つの 16 ビット |
| | | 第 14 章 シリアルコミュニケーションインタフェース 3 (SCI3) | |
| | | 569 | 図 14.1 SCI3 のブロック図 SCI3nSCMR の説明の誤記修正：スマートカードおよび拡張モードレジスタ→シリアル通信フォーマットレジスタ |
| | | 578 | 14.3.8 SCI3nSCMR— シリアル通信フォーマットレジスタ ビット配置図：ビット 7 ~ 4, 1, 0 の R/W の誤記修正 |
| | | 579 | 14.3.9 SCI3nSEMR— シリアル拡張モードレジスタ ビット配置図：ビット 5, 4, 1, 0 の R/W の誤記修正、表 14.9 のビット 5, 4, 1, 0 の説明追加 |
| | | 586 | 14.4.2 受信データサンプリングタイミングと受信マージン N の説明誤記修正：SABCS = 0 → ABCS = 0 |
| | | 589 | 14.4.6 シリアルデータ送信 (調歩同期式) 説明を追加 (調歩同期式モードの送信許可時の動作に関する補足) |
| | | 590 | 図 14.6 調歩同期式モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例) 図の誤記修正：SCI3nTDR → SCI3nTDR |
| | | 590 | 図 14.7 シリアル送信のフローチャートの例 [1] SCI3 を初期化 説明を追加 |
| | | 591 | 図 14.8 シリアル送信後に SCI3 を停止するフローチャートの例 誤記修正 |
| | | 592 | 14.4.7 シリアルデータ受信 (調歩同期式) 5. の誤記修正：RDRF フラグ→SCI3nRDR |
| | | 599 | 図 14.15 マルチプロセッサシリアル受信のフローチャートの例 (1) 誤記修正：ORER V FER=1 → ORER or FER=1 |
| | | 600 | 図 14.16 マルチプロセッサシリアル受信のフローチャートの例 (2) 誤記修正：ORER V FER=1 → ORER or FER=1 |
| | | 605 | 図 14.21 シリアル送信のフローチャートの例 誤記修正：フラフ→フラグ、Yse → Yes |
| | | 612 | 14.8 割り込み要因 注意 SCI3nSCR についての誤記修正、および説明追加 |
| | | 第 15 章 LIN マスタインタフェース (RLIN2) | |
| | | 616 | 表 15.5 クロック供給 ユニットクロック名、供給クロック名 誤記修正 |
| | | 618 | 図 15.1 LIN マスタインタフェースブロック図 端子名 誤記修正 |
| | | 633 | 表 15.23 RLIN21nmLiMST レジスタの内容 予約ビットの機能説明 誤記修正 |
| | | 635 | 15.3.3.10 RLIN21nmLiST — LIN ステータスレジスタ ERR フラグ (エラー検出フラグ) のビット説明 誤記修正：TER フラグ→FTER フラグ |
| | | 636 | 15.3.3.11 RLIN21nmLiEST — LIN エラーステータスレジスタ アクセスの説明 誤記修正：リード→リード/ライト |
| | | 637 | 15.3.3.11 RLIN21nmLiEST — LIN エラーステータスレジスタ PBER フラグ (フィジカルバスエラーフラグ) のビット説明 誤記修正：フィジカルエラーエラー→フィジカルバスエラー |
| | | 640 | 15.3.3.13 RLIN21nmLiIDB—LIN ID バッファレジスタ IDP ビット (パリティ設定ビット)、ID ビット (ID 設定ビット) のビット名称を修正 |

改訂記録

RH850/E1L ユーザーズマニュアル ハードウェア編

| Rev. | 発行日 | 改訂内容 | | | |
|------|------------|----------------------------------|---|--|--|
| | | ページ | ポイント | | |
| 1.20 | 2017.02.27 | 641 | 15.3.3.14 RLN21nmLiCBr—LIN チェックサムバッファレジスタ 本文 誤記修正：フレーム送信完了後→フレーム送受信完了後 | | |
| | | 657 | 表 15.35 ステータスの種類 ヘッダ送信完了のステータセット条件の誤記修正 | | |
| | | 660 | 図 15.14 LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード接続 端子名 誤記修正 | | |
| | | 661 | 図 15.15 LIN セルフテストモード接続 端子名 誤記修正 | | |
| | | 665 | 図 15.16 ボーレート生成ブロック図 注 3. 誤記修正：N → M | | |
| | | 第 16 章 CAN インタフェース (RS-CAN) | | | |
| | | 671 | 表 16.9 RS-CAN モジュールの仕様 (2/2) 割り込み要因の誤記修正：CANm 送信キュー割り込みを追加 | | |
| | | 672 | 図 16.1 RS-CAN モジュールのブロック図 割り込み名の誤記修正 | | |
| | | 705 | 16.3.2.4 RSCAN0CmERFL—チャネルエラーフラグレジスタ (m = 0 ~ 3) BLF フラグの説明の誤記修正 | | |
| | | 744 | 16.3.2.30 RSCAN0FCCK—送受信 FIFO バッファコンフィグレーション/制御レジスタ (k = 0 ~ 11) CFITR ビットおよび CFITSS ビットのビット説明の説明追加 | | |
| | | 776 | 表 16.65 RSCAN0TMASTSy レジスタの内容 機能説明の誤記修正：m → y | | |
| | | 798 | 16.3.2.63 RSCAN0GLOCKK—グローバルロックキーレジスタ ビット配置図：ビット 11 の R/W の誤記修正 | | |
| | | 811 | 図 16.6 受信ルール登録 (チャネル 0, 1 を設定する場合) 注を削除 | | |
| | | 814 | 図 16.9 送信キューの割り付けと送受信 FIFO バッファのリンク 図の誤記修正：バッファ送信→送信バッファ | | |
| | | 824 | 図 16.16 MCU のリセット後の設定手順 右下の注 1. を削除 | | |
| | | 825 | 16.5.1.2 ビットタイミングの設定 本文の説明追加 | | |
| | | 827 | 図 16.19 受信ルール設定手順 図の誤記修正：RSCAN0GAFLCFGy → RSCAN0GAFLCFG0、y=0 を削除 | | |
| | | 828 | 図 16.20 バッファの構成 注. を削除 | | |
| | | 第 18 章 ルネサスハイスピードバス (RHSB) | | | |
| | | 862 | 18.2.4.1 RHSBjDCR—ダウンストリーム設定レジスタ (8) RHSBjDCR. RHSBjCAC—クロックアクティブ制御 本文の誤記修正：RHSBjSOP → RHSBjFCLP、RHSBjSON → RHSBjFCLN | | |
| | | 第 20 章 OS タイマ (OSTM) | | | |
| | | 972 | 20.2.2.2 OSTMnCNT—OSTM カウンタレジスタ リセット後の値を追加 | | |
| | | 974 | 表 20.9 OSTMnTE レジスタの内容 OSTMnTE ビットの機能説明の誤記修正：STMnTSST 信号 → OSTMnTSST 信号 | | |
| | | 980 | 図 20.4 OS タイマ起動設定フロー 図、注 1 の誤記修正：OSTM0 → OSTMn、OSTMTTOUT → OSTMnTTOUT、OSTMnTT.OSTMnTT → OSTMnTS.OSTMnTS | | |
| | | 第 21 章 アドバンスドタイマユニット IV (ATU-IV) | | | |
| | | 1085 | 図 21.15 タイマ B ブロック図 図を変更 | | |
| | | 1104 | 21.5.2.12 TCNTB1—イベントカウンタ B1 本文を変更 | | |
| | | 1113 | 21.5.2.21 TCNTB2—リロードカウンタ B2 本文を変更 | | |
| | | 1122 | 21.5.2.30 TCNTB3—補正イベントカウンタ B3 本文を変更 | | |
| | | 1124 | 21.5.2.32 TCNTB4—補正倍周クロックカウンタ B4 本文を変更 | | |
| | | 1145 | 図 21.27 TCNTB5 の動作 (サイクル終了、補正あり) TCNTB3 値の誤記修正：000040 00060 00000 00020 → 00060 00080 00000 00020 | | |
| | | 1146 | 図 21.28 TCNTB5 の動作 (サイクル終了、補正なし) TCNTB3 値の誤記修正：000040 00060 00000 00020 → 00060 00080 00000 00020 | | |
| | | 1150 | 図 21.31 タイマ C ブロック図 注：表記を修正、GRCx0 → チャネル 0 に修正、Sub Block:C5：注を追加、x = 67 削除 | | |
| | | 1169 | 21.6.2.8 GRCxy—タイマ汎用レジスタ Cxy カウンタ上限値設定機能に関する説明を追記 | | |
| | | 1173 | 21.6.2.11 OCRCxy—アウトプットコンペアレジスタ Cxy カウンタ上限値設定機能に関する説明を追記 | | |
| | | 1175 | 21.6.2.13 CUCRCx—カウンタ上限値設定コンペアレジスタ Cx TCNTCx と CUCRCx のコンペアマッチに関する説明を追加 | | |
| | | 1186 | 21.6.3.3 PWM 機能 本文説明の誤記を修正：PWMx ビット → PWMx0 ビット | | |
| | | 1189 | 図 21.37 ワンショットパルス出力期間中にコンペアレジスタを変更した場合の動作 縦罫線抜け修正 | | |
| | | 1194 | 図 21.42 ワンショットパルス出力キャンセルタイミングチャート 縦罫線抜け修正 | | |
| | | 1195 | 図 21.43 上限値設定機能動作例 縦罫線抜けを修正 | | |

改訂記録

RH850/E1L ユーザーズマニュアル ハードウェア編

| Rev. | 発行日 | 改訂内容 | | | |
|------|------------|------------------------------|--|--|--|
| | | ページ | ポイント | | |
| 1.20 | 2017.02.27 | 1202 | 21.7.2.2 TCRDx— タイマコントロールレジスタ Dx (1) OBREDx— オフセットベースレジスタイネーブル 本文を変更：上記入力信号幅→タイマ A のイベント 2A, 2B 信号幅 | | |
| | | 1214 | 21.7.2.9 DSR2Dx— ダウンカウントステータスレジスタ 2Dx ビット配置図：ビット 4 の R/W の誤記を修正 | | |
| | | 1217 | 21.7.2.11 DCRDx— ダウンカウンタコントロールレジスタ Dx (1) TRGSELDxy— ダウンカウントスタート/ストップトリガ選択ビット Dxy カウントスタートのトリガ、カウントストップのトリガの設定の誤記を修正 | | |
| | | 1221 | 21.7.2.12, (5) CMFBDxy— コンペアマッチ B フラグ Dxy 説明の誤記を修正：アウトプットコンペア B レジスタ (OCBRDxy) →アウトプットコンペアレジスタ 2Dxy (OCR2Dxy) | | |
| | | 1227 | 21.7.2.16 TICTSELDx— タイマインプットキャプチャトリガ選択レジスタ Dx 注 1. の誤記を修正 | | |
| | | 1232 | 21.7.2.21 OCR1Dxy— アウトプットコンペアレジスタ 1Dxy カウンタ上限値設定機能に関する説明を追記 | | |
| | | 1233 | 21.7.2.22 RCR1Dx— 範囲コンペア値設定レジスタ 1Dx TCNT1Dx の値の範囲の誤記を修正 | | |
| | | 1235 | 21.7.2.23 OCR2Dxy— アウトプットコンペアレジスタ 2Dxy カウンタ上限値設定機能に関する説明を追記、AD 起動トリガを発生するサブブロックの誤記を修正 | | |
| | | 1236 | 21.7.2.24 RCR2Dx— 範囲コンペア値設定レジスタ 2Dx TCNT2Dx の値の範囲の誤記を修正 | | |
| | | 1242 | 21.7.3 動作説明 TCNT1Dx の値の範囲、TCNT2Dx の値の範囲の誤記を修正 | | |
| | | 1247 | 21.7.3 動作説明 IOAD00 ビット、IOBD00 ビットの動作説明を修正 | | |
| | | 1248 | 21.7.3.1 範囲コンペア機能 TCNT1Dx の値の範囲の誤記を修正 | | |
| | | 1248 | 図 21.49 範囲コンペア機能動作 RCR1D → “RCR1Dx で指定された範囲値” へ修正 | | |
| | | 1313 | 21.9.2.20 GRDFx— 汎用レジスタ DFx リセット後の値の誤記を修正、注 1. を削除、ビット配置図のビット 31 ~ ビット 16 のリセット後の値の誤記を修正 | | |
| | | 1344 | 表 21.142 TSRGx レジスタの内容 OVFGx ビットの機能説明の誤記を修正 | | |
| | | 1357 | 21.11.2.6 TCNT2H— タイマカウンタ 2H タイマ H のオーバーフロー割り込みの記述を削除 | | |
| | | 1388 | 図 21.77 データ用 DMA トリガ選択回路 DFE フィルタ完了信号を同期化回路経由に修正 | | |
| | | 1392 | 21.14.1.2 カウンタへの書き込みとインプットキャプチャの競合 表のビット名を修正：FDOVJx → FDOVFJx | | |
| | | 1393 | 21.14.1.3 インプットキャプチャステータスのセットとクリアの競合 表のビット名を修正：FDOVJx → FDOVFJx | | |
| | | 1395 | 21.14.2.2 CYLRExy への書き込みと TCNTExy とのサイクルマッチの競合 表のコンペアマッチレジスタの誤記を修正：OCRB6 → OCRB6/OCRB7 | | |
| | | 1398 | 21.14.2.6 TCNTExy への書き込みとサイクルマッチによるカウンタクリアの競合 表のコンペアマッチレジスタの誤記を修正：OCRB6 → OCRB6/OCRB7 | | |
| | | 1408 | 図 21.98 TCNT1H カウンタオーバーフローとコンペアマッチの競合 TCNT1H の値の誤記を修正 | | |
| | | 1419 | 21.14.7.5 タイマ B からの 0 クリアとカウンタ上限値設定機能によるクリアの競合 追加 | | |
| | | 1420, 1421 | 21.14.8 コンペアマッチ動作仕様の混在 追加 | | |
| | | 第 23 章 モータコントロールタイマ (TSG2) | | | |
| | | All | 添え字 (m, k) の記述を 2 桁から 1 桁に統一 (10 ~ 12 は変更なし) | | |
| | | 1553 | 表 23.6 TSG2nCTL0 レジスタの内容 TSG2nDWD ビットの機能説明の誤記修正：参照先の誤記修正 | | |
| | | 1556 | 23.4.2.4 TSG2nCTL4—TSG2n 制御レジスタ 4 ビット 4 ~ 0 のビット名の誤記修正：TSG2nRCC[4:0] → TSG2nRCC[04:00] | | |
| | | 1556, 1558, 1560, 1607, 1665 | TSG2nCTL4 レジスタのビット 4 ~ 0 のビット名の誤記修正：TSG2nRCC4 ~ TSG2nRCC0 → TSG2nRCC04 ~ TSG2nRCC00 | | |
| | | 1567 | 表 23.18 TSG2nSTR2 レジスタの内容 (1/2) TSG2nTBF2, TSG2nTBF1, TSG2nTBF0, TSG2nPPF, TSG2nPEF ビットの機能説明を修正 | | |
| | | 1568 | 表 23.18 TSG2nSTR2 レジスタの内容 (2/2) TSG2nNDF, TSG2nPRF ビットの機能説明を修正 | | |
| | | 1577 | 23.4.2.22 TSG2nCMP1W—TSG2n コンペアレジスタ 1、2 TSG2nCMP2 の PWM モードの内容の誤記修正 | | |
| | | 1578 | 23.4.2.23 TSG2nCMP5W—TSG2n コンペアレジスタ 5、6 TSG2nCMP6 の 120-DC モードの内容の誤記修正 | | |
| | | 1584 | 23.4.2.29 TSG2nDCMP0W—TSG2n 診断コンペアレジスタ 0、1 本文の参照先の誤記修正 | | |
| | | 1585 | 23.4.2.30 TSG2nDCMP2—TSG2n 診断コンペアレジスタ 2 本文の参照先の誤記修正 | | |
| | | 1586 | 23.4.2.31 TSG2nPAT0W — TSG2n パタンレジスタ 0 本文の誤記修正：2 ~ 1 ビット → 2 ~ 0 ビット | | |

改訂記録

RH850/E1L ユーザーズマニュアル ハードウェア編

| Rev. | 発行日 | 改訂内容 | |
|------|---|------------|--|
| | | ページ | ポイント |
| 1.20 | 2017.02.27 | 1587 | 23.4.2.32 TSG2nPAT1W—TSG2n パタンレジスタ 1 本文の誤記修正：2～1ビット→2～0ビット |
| | | 1588 | 23.4.2.33 TSG2nDTC0W—TSG2n デッドタイムコンペアレジスタ 0 本文の変更：レジスタ名を変更 |
| | | 1589 | 23.4.2.34 TSG2nDTC1W — TSG2n デッドタイムコンペアレジスタ 1 本文の変更：レジスタ名を変更 |
| | | 1602 | 表 23.31 SP-PWM モード時のアクティブ幅設定 レジスタ名の誤記修正 |
| | | 1603 | 図 23.8 随時書き換えのタイミング (PWM モードの例) TSG2nCMP0、TSG2nCMP0 バッファの波形の誤記修正 |
| | | 1605 | 23.5.3.2 リロードモード (一斉書き換え機能) の動作例 本文を変更：書き換えたりロード対象レジスタ名の誤記修正：TSG2nCTL3 → TSG2nCTL4 |
| | | 1605 | 図 23.9 リロードモード (一斉書き換え機能) の基本動作フロー (PWM モードの例) 割り込みの誤記修正：INTTSG2n100 → INTTSG2n10 |
| | | 1606 | 図 23.11 一斉書き換えのタイミング (2/2) (PWM モードの例) 割り込みの誤記修正：INTTSG2nIPEK → INTTSG2n10 |
| | | 1608 | 23.5.4.1 モード別のタイマ出力 本文を変更：タイマ出力端子の誤記修正 |
| | | 1609 | 表 23.36 モード別タイマ出力一覧 (3/3) 注 1. の参照先の誤記修正 |
| | | 1610 | 23.5.4.1 モード別のタイマ出力 (1) TSO _n 7 端子の出力制御 備考の 3. の参照先の誤記修正 |
| | | 1611 | 表 23.39 モード別割り込み一覧 (3/5) PWM モード、120-DC モードの INTTSG2n[11] 欄のレジスタの誤記修正 |
| | | 1618 | 図 23.18 TSG2nIOC1.TSG2nTOS 切り替え時の TSO _n 0 端子出力 ビット名の誤記修正：TSG2nCUF → TSG2nSUF |
| | | 1619 | 図 23.19 正相/逆相同時アクティブ検出フラグ動作例 ビット名、記述の誤記修正：TSG2nTBF → TSG2nTBF0、TSG2nTBF“1”ライト (クリア) → TSG2nTBR0 に“1”ライト (クリア) |
| | | 1621 | 図 23.22 ノイズ検出フラグ動作例 ビット名、記述の誤記修正：TSG2nMDF → TSG2nNDF、TSG2nMDR“1” → TSG2nNDR に“1”ライト (クリア) |
| | | 1622 | 図 23.23 パタン順序検出フラグ動作例 (正常時) ビット名の誤記修正：TSG2nMDF → TSG2nTSF |
| | | 1623 | 図 23.25 TAPTSn2 ~ TAPTSn0 端子の入力が 2 端子変化した場合の動作例 (異常時) ビット名の誤記修正：TSG2nTBF → TSG2nTSF |
| | | 1624 | 図 23.26 パタンエラー検出フラグ動作例 (TAPTSn2-TAPTSn0 端子 = 111) ビット名の誤記修正：TSG2nTBF → TSG2nPEF、TSG2nTBF に“1”ライト (クリア) → TSG2nPER に“1”ライト (クリア) |
| | | 1634 | 図 23.35 TSG2nCTL3 レジスタの TSG2nRMC = 0、TSG2nRIA ビット = 0 (リロード間引きなし) の場合 タイトル、図中のビット名の誤記修正 |
| | | 1639 | 図 23.38 TSG2nCTL4 レジスタの TSG2nPIE = 1、TSG2nVIE = 1、TSG2nRCC04 ~ TSG2nRCC00 = 00B、TSG2nCTL5 レジスタの TSG2nACC01、TSG2nACC00 = 00B の場合 (HT-PWM モード) 割り込み、ビットの誤記修正 |
| | | 1640 | 図 23.39 TSG2nCTL4 レジスタの TSG2nPIE = 0、TSG2nVIE = 1、TSG2nRCC04 ~ TSG2nRCC00 = 02B、TSG2nCTL5 レジスタの TSG2nACC01、TSG2nACC00 = 00B の場合 (HT-PWM モード) ビット名の誤記修正：TSG2nICE → TSG2nPIE |
| | | 1642 | 図 23.42 A/D 変換トリガの間引き機能の動作例 条件の誤記修正 |
| | | 1645 | 図 23.45 エラー割り込み動作例 ビット名、記述の誤記修正：TSG2nTBF → TSG2nTBF0、“0”ライトクリア → TSG2nTBR0 に“1”ライト (クリア) |
| | | 1653 | 図 23.49 PWM モード時の基本動作タイミング例 (2/2) 点線のずれを修正 |
| | | 1675 | 23.11.2.8 HT-PWM モード時のデッド・タイム制御に関する注意事項 (1) TSG2nDTC0、TSG2nDTC1 の書き換えについて 注意の 3.、4. の誤記修正 |
| | | 1678 | 図 23.64 ソフトウェア出力制御時の処理フロー ソフトウェア出力制御の処理手順の②の誤記修正 |
| | | 1684 | 表 23.59 SP-PWM モード：コンペア・レジスタ、デッド・タイム設定レジスタの機能 TSG2nDCMP0W、TSG2nDCMP2 レジスタを追加 |
| | | 1701 | 23.11.4.3 120-DC モードの制御方式 ソフトウェア出力制御方式、パタン切り替え方式の動作の説明の誤記修正 |
| | | 1708, 1709 | 23.11.4.6 120-DC モードの出力パターン一覧 条件を追加 |
| | | 1711 | 図 23.79 逆転時のタイマ出力開始時の制御 (正常なパタンが入力された場合) パタン名の誤記修正 |
| 1711 | 図 23.80 正転時のタイマ出力開始時の制御 (エラー・パタンが入力された場合) パタン表記の位置の誤記修正 | | |

改訂記録

RH850/E1L ユーザーズマニュアル ハードウェア編

| Rev. | 発行日 | 改訂内容 | |
|------|------------|-------------------------------|--|
| | | ページ | ポイント |
| 1.20 | 2017.02.27 | 1712 | 図 23.81 逆転時のタイマ出力開始時の制御 (エラー・ボタンが入力された場合) ボタンの誤記修正 |
| | | 1722 | 図 23.91 120-DC モードからソフトウェア出力制御機能の切り替え例 TSG2nSTCIO 信号を削除 |
| | | 第 24 章 タイマオプション (TAPA) | |
| | | 1728 | 表 24.3 TAPAnCTL0 レジスタの内容 TAPAnDCM ビットの機能説明の誤記修正 : TAPAnOPHS0 を削除 |
| | | 1730 | 表 24.6 TAPAnACTS レジスタの内容 ビット位置 0 の機能説明の誤記を修正 (TAPAnACE → TAPAnACWE) |
| | | 1731 | 表 24.7 TAPAnACTT レジスタの内容 ビット位置 0 の機能説明の誤記を修正 (TAPAnACE=0 → TAPAnACWE=1) |
| | | 1735 | 24.3.2.3 非同期入力 Hi-Z 制御の操作例 動作中の動作説明の誤記修正、動作停止の TAPA の状態の説明の誤記修正 : TAPAnASTT ビット → TAPAnACTT ビット |
| | | 第 25 章 ペリフェラルインターコネクション (PIC) | |
| | | 1743, 1746, 1746, 1766 | 用語統一 チャンネルグループ → スキャングループ |
| | | 第 26 章 AD コンバータ (ADCB) | |
| | | 1826 | 26.7.9.2 A/D 変換回路自己診断機能 【設定】2. の添字修正、備考を追加 |
| | | 1828 | 26.7.9.3 断線検出自己診断機能 【設定】2. の添字修正、備考を追加 |
| | | 1829 | 図 26.18 通常 A/D 変換動作時のタイミングチャート (1 回変換) 誤記を修正 (tCONV → tSAR、tSCAN → tSG) |
| | | 1830 | 図 26.19 選択 T&H 実行/ホールド値 A/D 変換動作時のタイミングチャート tD の参照先 誤記修正 |
| | | 1834 | 図 26.22 スキャン変換終了割り込み発生タイミング 周辺クロック波形の誤記を修正 |
| | | 1835 | 図 26.23 MPX 割り込み発生例 周辺クロック波形の誤記を修正 |
| | | 1836 | 図 26.24 AD エラー割り込みと AD パリティエラー通知発生例 周辺クロック波形の誤記を修正 |
| | | 1852 | 26.11.5 動作説明 【設定手順】4. 誤記修正 : 1 回目 → 2 回目 |
| | | 第 27 章 ΔΣAD コンバータ (DS-ADC) | |
| | | 1874 | 27.5.5 DSADCmADCR—AD 制御レジスタ 注意の 2. 誤記修正 |
| | | 1875 | 27.5.6 DSADCmADSR—AD ステータスレジスタ (m = 0、1) 注意の誤記を修正 (ENDTRGE = 0、STTRGE = 0 → ADACT = 0) |
| | | 1880 | 27.5.11 DSADCmFCR—デジタルフィルタ FIR 制御レジスタ (m = 0、1) 注意の誤記を修正 (DSADCCOSMPRCRm → DSADCCOSMPRCR) |
| | | 1883 | 27.6.2 フィルタタイプの設定 本文の誤記を修正 (DSADCCOSMPRCRm → DSADCCOSMPRCR) |
| | | 1883 | 表 27.22 A/D 変換処理時間 (単位 : P ₀ P-Bus クロック (40 MHz)) A/D 変換処理時間および A/D 変換開始遅延時間の誤記を修正、注 1. を追加 |
| | | 1884 | 図 27.4 A/D 変換の開始と終了 変更 |
| | | 1885 | 27.6.4 外部トリガによる A/D 変換の起動 DSADCmADSR.ADACT についての説明を追加 |
| | | 1885 | 27.6.5 外部トリガによる A/D 変換の終了 ADACT についての説明を変更 |
| | | 第 28 章 デジタルフィルタ (DFE) | |
| | | 1890 | 図 28.1 DFE 全体構成図 モジュール名の誤記を修正 : [ΔΣ-ADC0]・・・[ΔΣ-ADC7] → [ΔΣ-ADC0][ΔΣ-ADC1] |
| | | 1894 | 表 28.2 用語一覧 (1/2) 単語 PH インデックスレジスタを削除 |
| | | 1911 | 表 28.11 TRGCHn レジスタの内容 (1/2) PFE, AFE ビットの機能説明の誤記を修正 |
| | | 1919 | 28.2.17 PITRG — PH 初期化/終了用タイマトリガ選択レジスタ 本文の誤記を修正 : コンペアマッチ A/B (20 本) → コンペアマッチ A/B (12 本) |
| | | 1919, 1920 | 表 28.19 PITRG レジスタの内容 機能説明の信号名の誤記を修正 |
| | | 1921 | 28.2.18 MITRG — 積算/デシメーション初期化/禁止用タイマトリガ選択レジスタ 本文の誤記を修正 : コンペアマッチ A/B (20 本) → コンペアマッチ A/B (12 本) |
| | | 1921, 1922 | 表 28.20 MITRG レジスタの内容 機能説明の信号名の誤記を修正 |
| | | 1923 | 28.2.19 FITRG — フィルタ初期化用タイマトリガ選択レジスタ 本文の誤記を修正 : コンペアマッチ A (20 本) → コンペアマッチ A (12 本) |
| | | 1923, 1924 | 表 28.21 FITRG レジスタの内容 機能説明の信号名の誤記を修正 |
| | | 1931 | 図 28.10 メモリ使用方法 係数メモリのワード数、データメモリの CH0 用および CH14 用バッファ領域のバイトアドレスの誤記を修正 |
| | | 1936 | 28.4.7.1 タイマトリガ入力 本文の誤記を修正 |

改訂記録

RH850/E1L ユーザーズマニュアル ハードウェア編

| Rev. | 発行日 | 改訂内容 | |
|------|------------|-----------------------------|---|
| | | ページ | ポイント |
| 1.20 | 2017.02.27 | 1936 | 図 28.13 タイマトリガ入力 信号名の誤記を修正 |
| | | 1968 | 28.5.10 トリガ設定レジスタの制限 本文の誤記を修正 |
| | | 第 29 章 セーフティ | |
| | | 1980 | 29.2.2.3 レジスタ詳細 (6) CF1STERSTR_VCI/PE1/PCU—Code Flash 1st エラーステータスレジスタ 説明追加 |
| | | 1984 | 29.2.2.4 テスト機能 (4) Code Flash の ECC およびアドレスパリティの自己診断について 説明追加 |
| | | 2004 | 29.2.4.3 レジスタ詳細 (8) LR1STERSTR_PE1—Local RAM 1st エラーステータスレジスタ 説明追加 |
| | | 2006 | 29.2.4.4 テスト機能 (6) アドレスパリティチェック機能の自己診断 (b) の誤記修正: 上記 (4) に記載→上記 (3) に記載 |
| | | 2010 | 29.2.5.3 レジスタ詳細 (2) LRFSTERSTR_PCU—Local RAM 1st エラーステータスレジスタ 説明追加 |
| | | 2031 | 29.2.6.3 レジスタ詳細 (10) GR1STERSTR_VCI/PE1—Global RAM 1st エラーステータスレジスタ 説明追加 |
| | | 2055 | 29.2.9.3, (1) E710CTL—ECC コントロールレジスタ ビット配置図 ビット 8 の R/W の誤記を修正 (R/W → R) |
| | | 2067 | 29.2.10.3, (1) E610CTL—ECC コントロールレジスタ ビット配置図 ビット 8 の R/W の誤記を修正 (R/W → R) |
| | | 2111 | 29.5.4.3 MISR1L_PE1/PCU—マルチインプットシグネチャレジスタ 1L 本文のレジスタ名の誤記修正: マルチインプットシグネチャレジスタ→マルチインプットシグネチャレジスタ 1L |
| | | 2131 | 表 29.142 CLMATEST レジスタの内容 MONCLKMSK ビットの機能説明を変更 |
| | | 2133 | 29.6.4 異常クロック周波数の検出 2. の説明を変更、注 1. 追加 |
| | | 2135 | 29.6.5 自己診断 (1)、(4) 追加、(5) の説明を変更 |
| | | 第 30 章 エラーコントロールモジュール (ECM) | |
| | | 2141 | 表 30.2 エラー要因とセーフティ処理一覧 (2/2) 注 11. 追加 |
| | | 2147 | 図 30.1 ECM の概要 誤記修正: ERRORUT 出力→ERROROUT 出力 |
| | | 2153 | 表 30.11 ECMmESSTR1 レジスタの内容 ビット位置 31 の機能説明の誤記修正 |
| | | 第 31 章 データ CRC (DCRA) | |
| | | 2181 | 表 31.4 DCRA0COUT レジスタの内容 DCRA0COUT[31:0] ビットの機能説明の誤記修正: DCRAncOUT → DCRA0COUT |
| | | 2181 | 31.2.3 DCRA0COUT—CRC データレジスタ 注意の誤記修正: DCRAncIN レジスタ→DCRA0CIN レジスタ |
| | | 2182 | 31.2.4 DCRA0CTL—CRC 制御レジスタ 注意の 2. の誤記修正: DCRA0CTL.DCRA0ISZn[1:0] → DCRA0CTL.DCRA0ISZ[1:0]、DCRAncOUT レジスタ→DCRA0COUT レジスタ |
| | | 第 33 章 フラッシュメモリ | |
| | | 2209 | 33.11 使用上の注意事項 参照先ユーザーズマニュアルの名称統一、7 ブランクチェック時の記載を追加 (書き込み/消去中→書き込み/消去/ブランクチェック中) |
| | | 第 35 章 RAM | |
| | | 2221 | 表 35.2 TM_CC レジスタの内容 ビット位置 31 ~ 1 (リザーブビット) を追加 |
| | | 2225 | 表 35.6 TM_MA0 レジスタの内容 機能欄の注意を一部削除 |
| | | 2225 | 35.4.9 TM_MA0—チューニング・メモリ・マッピング・アドレス・レジスタ 0: 注意の 3. を削除 |
| | | 2226 | 35.4.11 ERAM アクセス時の注意事項 (ロックステップコンペアエラー) を追加 |
| | | 2227 | 35.5 使用上の注意事項 Local RAM (PE1)、Local RAM (PCU) のバッファに関する説明を追加 |
| | | 第 37 章 電気的特性 | |
| | | 2250 | 37.2.11 消費電流特性 注意の 1. の誤記修正: AVREFH 端子→A1VREFH 端子 |
| | | 2276 | 表 37.35 ADC 変換器特性 注 1. の誤記修正: AVREFHn → AnVREFH |
| | | 2282 | 表 37.42 RH850/E1L での熱抵抗 備考欄の追記および誤記修正 |
| | | 2283 | 表 37.44 JESD51-9 準拠 (4 layers) 追加 |

RH850/E1L ユーザーズマニュアル
ハードウェア編

発行年月日 2014年12月17日 Rev.1.00
2017年02月27日 Rev.1.20

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<https://www.renesas.com/contact/>

RH850/E1L

RENESAS

ルネサスエレクトロニクス株式会社

R01UH0468JJ0120