

RL78/G1M, G1N

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対象者 このマニュアルはRL78/G1M, G1Nの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RL78/G1M, G1Nのマニュアルは、このマニュアルとソフトウェア編（RL78ファミリ共通）の2冊に分かれています。

| RL78/G1M, G1N ユーザーズ・マニュアル ハードウェア編 | RL78ファミリ ユーザーズ・マニュアル ソフトウェア編 |
|--|--|
| <ul style="list-style-type: none">●端子機能●内部ブロック機能●割り込み●その他の内蔵周辺機能●電気的特性 | <ul style="list-style-type: none">●CPU機能●命令セット●命令の説明 |

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

→目次に従って読んでください。

レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。

RL78/G1M, G1Nマイクロコントローラの命令機能の詳細を知りたいとき

→別冊のRL78ファミリ ユーザーズ・マニュアル ソフトウェア編（R01US0015J）を参照してください。

| | | |
|-----------|-------------|---|
| 凡例 | データ表記の重み | : 左が上位桁、右が下位桁 |
| | アクティブ・ロウの表記 | : $\overline{\times\times\times}$ （端子、信号名称に上線） |
| | 注 | : 本文中につけた注の説明 |
| | 注意 | : 気をつけて読んでいただきたい内容 |
| | 備考 | : 本文の補足説明 |
| | 数の表記 | : 2進数 $\cdots\times\times\times\times$ または $\times\times\times\times B$ |
| | | 10進数 $\cdots\times\times\times\times$ |
| | | 16進数 $\cdots\times\times\times\times H$ |

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

| 資料名 | 資料番号 | |
|-----------------------------------|------------|------------|
| | 和文 | 英文 |
| RL78/G1M, G1N ユーザーズ・マニュアル ハードウェア編 | このマニュアル | R01UH0904E |
| RL78ファミリ ユーザーズ・マニュアル ソフトウェア編 | R01US0015J | R01US0015E |

フラッシュ・メモリ書き込み用の資料（ユーザーズ・マニュアル）

| 資料名 | 資料番号 | |
|---|------------|------------|
| | 和文 | 英文 |
| PG-FP6 フラッシュメモリプログラマ ユーザーズマニュアル | R20UT4025J | R20UT4025E |
| E1, E20エミュレータ ユーザーズマニュアル | R20UT0398J | R20UT0398E |
| E2エミュレータ ユーザーズマニュアル | R20UT3538J | R20UT3538E |
| E2 Liteエミュレータ ユーザーズマニュアル | R20UT3240J | R20UT3240E |
| Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル | R20UT4066J | R20UT4066E |
| ルネサスフラッシュ開発ツールキット ユーザーズマニュアル | R20UT0508J | R20UT0508E |

その他の資料

| 資料名 | 資料番号 | |
|--------------------------|------------|------------|
| | 和文 | 英文 |
| ルネサス マイクロコンピュータ RL78ファミリ | R01CP0003J | R01CP0003E |
| 半導体パッケージ 実装マニュアル | R50ZZ0003J | R50ZZ0003E |
| 信頼性ハンドブック | R51ZZ0001J | R51ZZ0001E |

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

| | |
|--|----|
| 第1章 概 説..... | 1 |
| 1.1 特 徴..... | 1 |
| 1.2 型名一覧..... | 3 |
| 1.3 端子接続図 (Top View) | 4 |
| 1.3.1 RL78/G1M製品 | 4 |
| 1.3.2 RL78/G1N製品..... | 4 |
| 1.4 端子名称..... | 5 |
| 1.5 ブロック図 | 6 |
| 1.5.1 RL78/G1M製品 | 6 |
| 1.5.2 RL78/G1N製品..... | 7 |
| 1.6 機能概要..... | 8 |
| 第2章 端子機能..... | 10 |
| 2.1 ポート機能 | 10 |
| 2.1.1 RL78/G1M製品 | 11 |
| 2.1.2 RL78/G1N製品..... | 12 |
| 2.2 ポート以外の機能 | 13 |
| 2.2.1 製品別の搭載機能..... | 13 |
| 2.2.2 機能説明..... | 14 |
| 2.3 未使用端子の処理 | 15 |
| 2.4 端子ブロック図..... | 16 |
| 第3章 CPUアーキテクチャ | 25 |
| 3.1 メモリ空間 | 26 |
| 3.1.1 内部プログラム・メモリ空間..... | 28 |
| 3.1.2 ミラー領域..... | 30 |
| 3.1.3 内部データ・メモリ空間..... | 31 |
| 3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域..... | 31 |
| 3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域..... | 31 |
| 3.1.6 データ・メモリ・アドレッシング | 32 |
| 3.2 プロセッサ・レジスタ | 33 |
| 3.2.1 制御レジスタ | 33 |
| 3.2.2 汎用レジスタ | 35 |
| 3.2.3 ES, CSレジスタ | 36 |
| 3.2.4 特殊機能レジスタ (SFR : Special Function Register) | 37 |
| 3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) | 40 |
| 3.3 命令アドレスのアドレッシング | 43 |
| 3.3.1 レラティブ・アドレッシング..... | 43 |
| 3.3.2 イミーディエト・アドレッシング | 43 |
| 3.3.3 テーブル・インダイレクト・アドレッシング | 44 |
| 3.3.4 レジスタ・インダイレクト・アドレッシング | 44 |
| 3.4 処理データ・アドレスに対するアドレッシング..... | 45 |
| 3.4.1 インプライド・アドレッシング | 45 |
| 3.4.2 レジスタ・アドレッシング | 45 |
| 3.4.3 ダイレクト・アドレッシング..... | 46 |

| | | |
|---------------------|--|-----------|
| 3.4.4 | ショート・ダイレクト・アドレッシング | 47 |
| 3.4.5 | SFRアドレッシング | 48 |
| 3.4.6 | レジスタ・インダイレクト・アドレッシング | 49 |
| 3.4.7 | ベースト・アドレッシング | 50 |
| 3.4.8 | ベースト・インデクスト・アドレッシング | 53 |
| 3.4.9 | スタック・アドレッシング | 54 |
| 第4章 ポート機能 | | 57 |
| 4.1 | ポートの機能 | 57 |
| 4.2 | ポートの構成 | 57 |
| 4.2.1 | RL78/G1M製品のポート構成 | 57 |
| 4.2.2 | RL78/G1N製品のポート構成 | 59 |
| 4.3 | ポート機能を制御するレジスタ | 61 |
| 4.3.1 | ポート・モード・レジスタ0, 1, 4 (PM0, PM1, PM4) | 62 |
| 4.3.2 | ポート・レジスタ0, 1, 4, 12, 13 (P0, P1, P4, P12, P13) | 63 |
| 4.3.3 | プルアップ抵抗オプション・レジスタ0, 1, 4, 12 (PU0, PU1, PU4, PU12) | 64 |
| 4.3.4 | プルダウン抵抗オプション・レジスタ0, 1 (PD0, PD1) (RL78/G1Nのみ) | 65 |
| 4.3.5 | ポート出力モード・レジスタ0, 1 (POM0, POM1) | 66 |
| 4.3.6 | ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1) | 67 |
| 4.3.7 | 周辺I/Oリダイレクション・レジスタ (PIOR) | 68 |
| 4.4 | ポート機能の動作 | 69 |
| 4.4.1 | 入出力ポートへの書き込み | 69 |
| 4.4.2 | 入出力ポートからの読み出し | 69 |
| 4.4.3 | 入出力ポートでの演算 | 69 |
| 4.5 | 兼用機能使用時のレジスタ設定 | 70 |
| 4.5.1 | 兼用機能使用時の基本的な考え方 | 70 |
| 4.5.2 | 出力機能を使用しない兼用機能のレジスタ設定 | 71 |
| 4.5.3 | 使用するポート機能および兼用機能のレジスタ設定例 | 72 |
| 4.6 | 8セグメントLED制御例 (RL78/G1Nのみ) | 81 |
| 4.6.1 | 概要 | 81 |
| 4.6.2 | ハードウェア接続例 | 81 |
| 4.6.3 | ポート出力タイミング | 82 |
| 4.6.4 | フロー・チャート | 83 |
| 4.6.5 | レジスタ設定 | 85 |
| 4.7 | ポート機能使用時の注意事項 | 86 |
| 4.7.1 | ポート・レジスタn (Pn) に対する1ビット・メモリ操作命令に関する注意事項 | 86 |
| 4.7.2 | 端子設定に関する注意事項 | 87 |
| 第5章 クロック発生回路 | | 88 |
| 5.1 | クロック発生回路の機能 | 88 |
| 5.2 | クロック発生回路の構成 | 89 |
| 5.3 | クロック発生回路を制御するレジスタ | 91 |
| 5.3.1 | 周辺イネーブル・レジスタ0 (PER0) | 92 |
| 5.3.2 | 動作スピード・モード制御レジスタ (OSMC) | 93 |
| 5.3.3 | 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) | 94 |
| 5.4 | システム・クロック発振回路 | 95 |
| 5.4.1 | 高速オンチップ・オシレータ | 95 |
| 5.4.2 | 低速オンチップ・オシレータ | 95 |
| 5.5 | クロック発生回路の動作 | 95 |
| 5.6 | クロックの制御 | 97 |

| | | |
|--------|---|-----|
| 5.6.1 | 高速オンチップ・オシレータの設定例 | 97 |
| 5.6.2 | CPUクロック状態移行図 | 98 |
| | | |
| 第6章 | タイマ・アレイ・ユニット | 100 |
| | | |
| 6.1 | タイマ・アレイ・ユニットの機能 | 102 |
| 6.1.1 | 単独チャンネル動作機能 | 102 |
| 6.1.2 | 複数チャンネル連動動作機能 | 104 |
| 6.1.3 | 8ビット・タイマ動作機能（チャンネル1, 3のみ） | 106 |
| 6.2 | タイマ・アレイ・ユニットの構成 | 107 |
| 6.2.1 | タイマ・カウンタ・レジスタ0n (TCR0n) | 110 |
| 6.2.2 | タイマ・データ・レジスタ0n (TDR0n) | 112 |
| 6.3 | タイマ・アレイ・ユニットを制御するレジスタ | 114 |
| 6.3.1 | 周辺イネーブル・レジスタ0 (PER0) | 115 |
| 6.3.2 | タイマ・クロック選択レジスタ0 (TPS0) | 116 |
| 6.3.3 | タイマ・モード・レジスタ0n (TMR0n) | 117 |
| 6.3.4 | タイマ・ステータス・レジスタ0n (TSR0n) | 121 |
| 6.3.5 | タイマ・チャンネル許可ステータス・レジスタ (TE0, TEH0 (8ビットモード)) | 122 |
| 6.3.6 | タイマ・チャンネル開始レジスタ0 (TS0, TSH0 (8ビットモード)) | 123 |
| 6.3.7 | タイマ・チャンネル停止レジスタ0 (TT0, TTH0 (8ビットモード)) | 124 |
| 6.3.8 | タイマ出力許可レジスタ0 (TOE0) | 125 |
| 6.3.9 | タイマ出力レジスタ0 (TO0) | 126 |
| 6.3.10 | タイマ出力レベル・レジスタ0 (TOL0) | 127 |
| 6.3.11 | タイマ出力モード・レジスタ0 (TOM0) | 128 |
| 6.3.12 | ノイズ・フィルタ許可レジスタ1 (NFEN1) | 129 |
| 6.3.13 | 入力切り替え制御レジスタ (ISC) | 130 |
| 6.3.14 | タイマ入出力制御レジスタ (TIOSC) | 131 |
| 6.3.15 | タイマ入出力端子のポート機能を制御するレジスタ | 132 |
| 6.4 | タイマ・アレイ・ユニットの基本ルール | 133 |
| 6.4.1 | 複数チャンネル連動動作機能の基本ルール | 133 |
| 6.4.2 | 8ビット・タイマ動作機能の基本ルール（チャンネル1, 3のみ） | 135 |
| 6.5 | カウンタの動作 | 136 |
| 6.5.1 | カウント・クロック (f _{TCLK}) | 136 |
| 6.5.2 | カウンタのスタート・タイミング | 138 |
| 6.5.3 | カウンタの動作 | 139 |
| 6.6 | チャンネル出力 (TO0n端子) の制御 | 144 |
| 6.6.1 | TO0n端子の出力回路の構成 | 144 |
| 6.6.2 | TO0n端子の出力設定 | 145 |
| 6.6.3 | チャンネル出力操作時の注意事項 | 146 |
| 6.6.4 | TO0nビットの一括操作 | 150 |
| 6.6.5 | カウント動作開始時のタイマ割り込みとTO0n端子出力について | 151 |
| 6.7 | タイマ入力 (TI0n) の制御 | 152 |
| 6.7.1 | TI0nの入力回路構成 | 152 |
| 6.7.2 | ノイズ・フィルタ | 152 |
| 6.7.3 | チャンネル入力操作時の注意事項 | 153 |
| 6.8 | タイマ・アレイ・ユニットの単独チャンネル動作機能 | 154 |
| 6.8.1 | インターバル・タイマ／方形波出力としての動作 | 154 |
| 6.8.2 | 外部イベント・カウンタとしての動作 | 158 |
| 6.8.3 | 分周器としての動作（チャンネル0, 3のみ） | 162 |
| 6.8.4 | 入力パルス間隔測定としての動作 | 166 |
| 6.8.5 | 入力信号のハイ／ロウ・レベル幅測定としての動作 | 170 |
| 6.8.6 | ディレイ・カウンタとしての動作 | 174 |

| | | |
|-------------|---|------------|
| 6.9 | タイマ・アレイ・ユニットの複数チャネル連動動作機能 | 178 |
| 6.9.1 | ワンショット・パルス出力としての動作 | 178 |
| 6.9.2 | 2入力式ワンショット・パルス出力としての動作 | 185 |
| 6.9.3 | PWM出力機能としての動作 | 192 |
| 6.9.4 | 多重PWM出力機能としての動作 | 199 |
| 6.10 | タイマ・アレイ・ユニット使用時の注意事項 | 206 |
| 6.10.1 | タイマ出力使用時の注意事項 | 206 |
| 第7章 | 12ビット・インターバル・タイマ | 207 |
| 7.1 | 12ビット・インターバル・タイマの機能 | 207 |
| 7.2 | 12ビット・インターバル・タイマの構成 | 207 |
| 7.3 | 12ビット・インターバル・タイマを制御するレジスタ | 208 |
| 7.3.1 | 周辺イネーブル・レジスタ0 (PER0) | 208 |
| 7.3.2 | 動作スピード・モード制御レジスタ (OSMC) | 209 |
| 7.3.3 | インターバル・タイマ・コントロール・レジスタ (ITMCH, ITMCL) | 210 |
| 7.4 | 12ビット・インターバル・タイマの動作 | 211 |
| 7.4.1 | 12ビット・インターバル・タイマの動作タイミング | 211 |
| 7.4.2 | HALT/STOPモードから復帰後にカウンタ動作開始し、再度HALT/STOPモードに移行する設定手順 | 212 |
| 第8章 | クロック出力／ブザー出力制御回路 | 213 |
| 8.1 | クロック出力／ブザー出力制御回路の機能 | 213 |
| 8.2 | クロック出力／ブザー出力制御回路の構成 | 214 |
| 8.3 | クロック出力／ブザー出力制御回路を制御するレジスタ | 214 |
| 8.3.1 | クロック出力選択レジスタ0 (CKS0) | 215 |
| 8.3.2 | クロック出力／ブザー出力端子のポート機能を制御するレジスタ | 216 |
| 8.4 | クロック出力／ブザー出力制御回路の動作 | 217 |
| 8.4.1 | 出力端子の動作 | 217 |
| 第9章 | ウォッチドッグ・タイマ | 218 |
| 9.1 | ウォッチドッグ・タイマの機能 | 218 |
| 9.2 | ウォッチドッグ・タイマの構成 | 219 |
| 9.3 | ウォッチドッグ・タイマを制御するレジスタ | 220 |
| 9.3.1 | ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) | 220 |
| 9.4 | ウォッチドッグ・タイマの動作 | 221 |
| 9.4.1 | ウォッチドッグ・タイマの動作制御 | 221 |
| 9.4.2 | ウォッチドッグ・タイマの時間設定 | 222 |
| 第10章 | A/Dコンバータ | 223 |
| 10.1 | A/Dコンバータの機能 | 223 |
| 10.2 | A/Dコンバータの構成 | 225 |
| 10.3 | A/Dコンバータで使用するレジスタ | 226 |
| 10.3.1 | 周辺イネーブル・レジスタ0 (PER0) | 227 |
| 10.3.2 | A/Dコンバータ・モード・レジスタ0 (ADM0) | 228 |
| 10.3.3 | A/Dコンバータ・モード・レジスタ2 (ADM2) | 232 |
| 10.3.4 | A/D変換結果上位ビット格納レジスタ (ADCRH) | 232 |
| 10.3.5 | A/D変換結果下位ビット格納レジスタ (ADCRL) | 233 |
| 10.3.6 | アナログ入力チャネル指定レジスタ (ADS) | 234 |

| | | |
|-------------|--------------------------------------|------------|
| 10.3.7 | アナログ入力端子のポート機能を制御するレジスタ | 234 |
| 10.4 | A/Dコンバータの変換動作 | 235 |
| 10.5 | 入力電圧と変換結果 | 237 |
| 10.6 | A/Dコンバータの動作モード | 238 |
| 10.7 | A/Dコンバータの設定フロー・チャート | 239 |
| 10.7.1 | A/D変換対象：ANI0-ANI7の設定 | 239 |
| 10.8 | A/Dコンバータ特性表の読み方 | 240 |
| 10.8.1 | 分解能 | 240 |
| 10.8.2 | 総合誤差 | 240 |
| 10.8.3 | 量子化誤差 | 240 |
| 10.8.4 | ゼロスケール誤差 | 241 |
| 10.8.5 | フルスケール誤差 | 241 |
| 10.8.6 | 積分直線性誤差 | 241 |
| 10.8.7 | 微分直線性誤差 | 241 |
| 10.8.8 | 変換時間 | 242 |
| 10.8.9 | サンプリング時間 | 242 |
| 10.9 | A/Dコンバータの注意事項 | 243 |
| 10.9.1 | STOPモード時の動作電流について | 243 |
| 10.9.2 | ANI0-ANI7端子の入力電圧について | 243 |
| 10.9.3 | 競合動作について | 243 |
| 10.9.4 | ノイズ対策について | 243 |
| 10.9.5 | アナログ入力 (ANIn) 端子 | 244 |
| 10.9.6 | アナログ入力 (ANIn) 端子の入力インピーダンスについて | 244 |
| 10.9.7 | 割り込み要求フラグ (ADIF) について | 244 |
| 10.9.8 | A/D変換スタート直後の変換結果について | 245 |
| 10.9.9 | A/D変換結果レジスタ (ADCRH, ADCRL) の読み出しについて | 245 |
| 10.9.10 | 内部等価回路について | 245 |
| 10.9.11 | A/Dコンバータの動作開始について | 245 |
| 第11章 | シリアル・アレイ・ユニット | 246 |
| 11.1 | シリアル・アレイ・ユニットの機能 | 247 |
| 11.1.1 | 3線シリアルI/O (CSI00) | 247 |
| 11.1.2 | UART (UART0) | 248 |
| 11.2 | シリアル・アレイ・ユニットの構成 | 249 |
| 11.3 | シリアル・アレイ・ユニットを制御するレジスタ | 252 |
| 11.3.1 | 周辺イネーブル・レジスタ0 (PER0) | 253 |
| 11.3.2 | シリアル・クロック選択レジスタ0 (SPS0) | 254 |
| 11.3.3 | シリアル・モード・レジスタ0n (SMR0nH, SMR0nL) | 255 |
| 11.3.4 | シリアル通信動作設定レジスタ0n (SCR0nH, SCR0nL) | 257 |
| 11.3.5 | シリアル・データ・レジスタ0n (SDR0nH, SDR0nL) | 259 |
| 11.3.6 | シリアル・フラグ・クリア・トリガ・レジスタ0n (SIR0n) | 260 |
| 11.3.7 | シリアル・ステータス・レジスタ0n (SSR0n) | 261 |
| 11.3.8 | シリアル・チャンネル開始レジスタ0 (SS0) | 263 |
| 11.3.9 | シリアル・チャンネル停止レジスタ0 (ST0) | 264 |
| 11.3.10 | シリアル・チャンネル許可ステータス・レジスタ0 (SE0) | 265 |
| 11.3.11 | シリアル出力許可レジスタ0 (SOE0) | 266 |
| 11.3.12 | シリアル出力レジスタ0 (SO0) | 267 |
| 11.3.13 | シリアル・クロック出力レジスタ (CKO0) | 268 |
| 11.3.14 | シリアル出力レベル・レジスタ0 (SOLO) | 269 |
| 11.3.15 | ノイズ・フィルタ許可レジスタ0 (NFEN0) | 270 |
| 11.3.16 | 入力切り替え制御レジスタ (ISC) | 271 |

| | | |
|-----------|--|-----|
| 11. 3. 17 | シリアル入出力端子のポート機能を制御するレジスタ | 272 |
| 11. 4 | 動作停止モード | 273 |
| 11. 4. 1 | ユニット単位で動作停止とする場合 | 273 |
| 11. 4. 2 | チャンネルごとに動作停止とする場合 | 274 |
| 11. 5 | 3線シリアルI/O (CSI00) 通信の動作 | 275 |
| 11. 5. 1 | マスタ送信 | 276 |
| 11. 5. 2 | マスタ受信 | 285 |
| 11. 5. 3 | マスタ送受信 | 294 |
| 11. 5. 4 | スレーブ送信 | 303 |
| 11. 5. 5 | スレーブ受信 | 312 |
| 11. 5. 6 | スレーブ送受信 | 319 |
| 11. 5. 7 | 転送クロック周波数の算出 | 328 |
| 11. 5. 8 | 3線シリアルI/O (CSI00) 通信時におけるエラー発生時の処理手順 | 330 |
| 11. 6 | UART (UART0) 通信の動作 | 331 |
| 11. 6. 1 | UART送信 | 332 |
| 11. 6. 2 | UART受信 | 340 |
| 11. 6. 3 | ボー・レートの算出 | 346 |
| 11. 6. 4 | UART (UART0) 通信時におけるエラー発生時の処理手順 | 350 |
| | | |
| 第12章 | リアルタイム出力制御回路 (RL78/G1Mのみ) | 351 |
| | | |
| 12. 1 | リアルタイム出力制御回路の機能 | 351 |
| 12. 2 | リアルタイム出力制御回路の構成 | 352 |
| 12. 3 | リアルタイム出力制御回路を制御するレジスタ | 352 |
| 12. 3. 1 | RTOソース選択レジスタ (RTOSRC) | 353 |
| 12. 3. 2 | RTO強制遮断制御レジスタ (RTOSHT) | 354 |
| 12. 3. 3 | RTO制御レジスタ0 (RTOOUTC0) | 355 |
| 12. 3. 4 | RTO制御レジスタ1 (RTOOUTC1) | 356 |
| 12. 3. 5 | RTO強制遮断出力選択レジスタ (RTOCIO) | 357 |
| 12. 3. 6 | RTO強制遮断状態レジスタ (RTOSTR) | 358 |
| 12. 3. 7 | リアルタイム出力端子のポート機能を制御するレジスタ | 359 |
| 12. 4 | リアルタイム出力制御回路の動作 | 360 |
| 12. 4. 1 | 初期設定 | 360 |
| 12. 4. 2 | 通常動作 | 361 |
| 12. 4. 3 | 強制遮断処理 (RTOSHTn = 1) | 361 |
| 12. 5 | 使用上の注意 | 363 |
| 12. 6 | ブラシレスDCモータ制御例 | 364 |
| 12. 6. 1 | 概要 | 364 |
| 12. 6. 2 | 三相ブラシレスDCモータの制御タイミング | 365 |
| 12. 6. 3 | リアルタイム出力の初期化フローチャート | 366 |
| 12. 6. 4 | レジスタの設定例 | 367 |
| 12. 7 | ステッピングモータ制御例 | 368 |
| 12. 7. 1 | 概要 | 368 |
| 12. 7. 2 | ハードウェア接続例 | 368 |
| 12. 7. 3 | 制御方法 | 369 |
| 12. 7. 4 | 初期化のフローチャート | 370 |
| 12. 7. 5 | レジスタ設定 | 371 |
| | | |
| 第13章 | 割り込み機能 | 372 |
| | | |
| 13. 1 | 割り込み機能の種類 | 372 |
| 13. 2 | 割り込み要因と構成 | 372 |

| | | |
|-------------|---|------------|
| 13.3 | 割り込み機能を制御するレジスタ | 376 |
| 13.3.1 | 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L) | 377 |
| 13.3.2 | 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L) | 379 |
| 13.3.3 | 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR10L, PR10H, PR01L, PR11L) | 380 |
| 13.3.4 | 外部割り込み立ち上がりエッジ許可レジスタ0 (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ0 (EGN0) | 381 |
| 13.3.5 | プログラム・ステータス・ワード (PSW) | 382 |
| 13.4 | 割り込み処理動作 | 383 |
| 13.4.1 | マスカブル割り込み要求の受け付け動作 | 383 |
| 13.4.2 | ソフトウェア割り込み要求の受け付け動作 | 385 |
| 13.4.3 | 多重割り込み処理 | 385 |
| 13.4.4 | 割り込み要求の保留 | 390 |
| 第14章 | キー割り込み機能 | 391 |
| 14.1 | キー割り込みの機能 | 391 |
| 14.2 | キー割り込みの構成 | 391 |
| 14.3 | キー割り込みを制御するレジスタ | 393 |
| 14.3.1 | キー・リターン・コントロール・レジスタ (KRCTL) | 393 |
| 14.3.2 | キー・リターン・モード・レジスタ (KRM0) | 394 |
| 14.3.3 | キー・リターン・フラグ・レジスタ (KRF) | 395 |
| 14.3.4 | キー割り込み入力端子のポート機能を制御するレジスタ | 395 |
| 14.4 | キー割り込み機能の動作 | 396 |
| 14.4.1 | キー割り込みフラグを使用しない場合 (KRMD = 0) | 396 |
| 14.4.2 | キー割り込みフラグを使用する場合 (KRMD = 1) | 397 |
| 第15章 | スタンバイ機能 | 399 |
| 15.1 | 概要 | 399 |
| 15.2 | スタンバイ機能の動作 | 400 |
| 15.2.1 | HALTモード | 400 |
| 15.2.2 | STOPモード | 402 |
| 第16章 | リセット機能 | 405 |
| 16.1 | リセット動作のタイミング | 407 |
| 16.2 | リセット期間中の動作状態 | 409 |
| 16.3 | リセット要因を確認するレジスタ | 411 |
| 16.3.1 | リセット・コントロール・フラグ・レジスタ (RESF) | 411 |
| 第17章 | セレクトابل・パワーオン・リセット回路 | 413 |
| 17.1 | セレクトابل・パワーオン・リセット回路の機能 | 413 |
| 17.2 | セレクトابل・パワーオン・リセット回路の構成 | 414 |
| 17.3 | セレクトابل・パワーオン・リセット回路の動作 | 415 |
| 17.4 | セレクトابل・パワーオン・リセット回路の注意事項 | 416 |
| 第18章 | オプション・バイト | 417 |
| 18.1 | オプション・バイトの機能 | 417 |

| | | |
|-------------|---|------------|
| 18.1.1 | ユーザ・オプション・バイト (000C0H-000C2H) | 417 |
| 18.1.2 | オンチップ・デバッグ・オプション・バイト (000C3H) | 417 |
| 18.2 | ユーザ・オプション・バイトのフォーマット | 418 |
| 18.3 | オンチップ・デバッグ・オプション・バイトのフォーマット | 420 |
| 18.4 | オプション・バイトの設定 | 421 |
| 第19章 | フラッシュ・メモリ | 422 |
| 19.1 | フラッシュ・メモリ・プログラマによるシリアル・プログラミング | 423 |
| 19.1.1 | プログラミング環境 | 424 |
| 19.1.2 | 通信方式 | 424 |
| 19.2 | 外部デバイス (UART内蔵) による書き込み方法 | 425 |
| 19.2.1 | プログラミング環境 | 425 |
| 19.2.2 | 通信方式 | 425 |
| 19.3 | オンボード上の端子処理 | 426 |
| 19.3.1 | P40/TOOL0端子 | 426 |
| 19.3.2 | RESET端子 | 426 |
| 19.3.3 | ポート端子 | 427 |
| 19.3.4 | 電 源 | 427 |
| 19.4 | シリアル・プログラミング方法 | 428 |
| 19.4.1 | シリアル・プログラミング手順 | 428 |
| 19.4.2 | フラッシュ・メモリ・プログラミング・モード | 429 |
| 19.4.3 | 通信方式 | 430 |
| 19.4.4 | 通信コマンド | 430 |
| 19.5 | PG-FP6使用時の各コマンド処理時間 (参考値) | 430 |
| 第20章 | オンチップ・デバッグ機能 | 431 |
| 20.1 | E1, E2, E2 Lite, E20オンチップ・デバッグ・エミュレータとの接続 | 431 |
| 20.2 | オンチップ・デバッグ・セキュリティID | 432 |
| 20.3 | ユーザ資源の確保 | 433 |
| 第21章 | 10進補正 (BCD) 回路 | 434 |
| 21.1 | 10進補正回路の機能 | 434 |
| 21.2 | 10進補正回路で使用するレジスタ | 434 |
| 21.2.1 | BCD補正結果レジスタ (BCDADJ) | 434 |
| 21.3 | 10進補正回路の動作 | 435 |
| 第22章 | 命令セットの概要 | 437 |
| 22.1 | 凡 例 | 438 |
| 22.1.1 | オペランドの表現形式と記述方法 | 438 |
| 22.1.2 | オペレーション欄の説明 | 439 |
| 22.1.3 | フラグ動作欄の説明 | 440 |
| 22.1.4 | PREFIX命令 | 440 |
| 22.2 | オペレーション一覧 | 441 |
| 第23章 | 電気的特性 | 458 |
| 23.1 | 絶対最大定格 | 459 |

| | | |
|-------------|-------------------------------------|------------|
| 23.2 | 発振回路特性 | 460 |
| 23.2.1 | オンチップ・オシレータ特性..... | 460 |
| 23.3 | DC特性..... | 461 |
| 23.3.1 | RL78/G1M端子特性 | 461 |
| 23.3.2 | RL78/G1N端子特性 | 462 |
| 23.3.3 | 共通項目 | 464 |
| 23.3.4 | 電源電流特性 | 465 |
| 23.4 | AC特性..... | 466 |
| 23.5 | シリアル・インタフェース特性 | 468 |
| 23.5.1 | シリアル・アレィ・ユニット..... | 468 |
| 23.6 | アナログ特性 | 471 |
| 23.6.1 | A/Dコンバータ特性..... | 471 |
| 23.6.2 | SPOR回路特性 | 472 |
| 23.6.3 | 電源電圧立ち上がり傾き特性..... | 472 |
| 23.6.4 | RAMデータ保持特性..... | 472 |
| 23.7 | フラッシュ・メモリ・プログラミング特性..... | 473 |
| 23.8 | 専用フラッシュ・メモリ・プログラマ通信 (UART) | 473 |
| 23.9 | フラッシュ・メモリ・プログラミング・モード引き込みタイミング..... | 474 |
| 第24章 | 外形図 | 475 |
| 24.1 | 20ピン製品..... | 475 |
| 付録A | 改版履歴 | 476 |
| A.1 | 本版で改訂された主な箇所 | 476 |

第1章 概 説

1.1 特 徴

低消費電力テクノロジー

- $V_{DD} = 2.0 \sim 5.5$ Vの単一電源
(セレクトابل・パワーオン・リセット (SPOR) 回路の検出電圧 (V_{SPOR}) が含まれるため, 2.25~5.5 Vの電圧範囲で使用してください)
- HALTモード
- STOPモード

RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速 (0.05 μ s : 高速オンチップ・オシレータ・クロック20 MHz動作時) から低速 (1.0 μ s : 1 MHz動作時) までを変更可能
- アドレス空間：1 Mバイト
- 汎用レジスタ：8ビット・レジスタx8
- 内蔵RAM：512 B~1 KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：4 KB~8 KB
- オンチップ・デバッグ機能内蔵

高速オンチップ・オシレータ

- 20 MHz/10 MHz/5 MHz/2.5 MHz/1.25 MHzから選択
- 高精度 $\pm 2.0\%$ ($V_{DD} = 2.0 \sim 5.5$ V, $T_A = -20 \sim +85^\circ\text{C}$)

動作周囲温度

- $T_A = -40 \sim +85^\circ\text{C}$

電源管理とリセット機能

- セレクトابل・パワーオン・リセット (SPOR) 回路内蔵

シリアル・インタフェース

- CSI : 1チャンネル
- UART : 1チャンネル

タイマ

- 8/16ビット・タイマ : 4チャンネル
- 12ビット・インターバル・タイマ : 1チャンネル
- ウォッチドッグ・タイマ : 1チャンネル (専用の低速オンチップ・オシレータ・クロックで動作可能)

作可能)

- リアルタイム出力機能 : 8チャンネル (RL78/G1Mのみ)

A/Dコンバータ

- 8/10ビット分解能A/Dコンバータ ($V_{DD} = 2.4 \sim 5.5 \text{ V}$)
- アナログ入力 : 8チャンネル

入出力ポート

- I/Oポート : 18本 (N-chオープン・ドレイン出力[V_{DD} 耐圧] : 14本)
(P-chオープン・ドレイン出力[V_{DD} 耐圧] : 6本)
- 大電流端子 (RL78/G1Nのみ)
- N-chオープン・ドレイン, 内蔵プルアップの切り替え可能
- キー割り込み機能内蔵
- クロック出力/ブザー出力制御回路内蔵

その他

- 10進補正 (BCD) 回路内蔵

ROM, RAM容量

| フラッシュROM | RAM | 20ピン | |
|----------|------|-------------|-------------|
| | | RL78/G1M | RL78/G1N |
| 8KB | 1KB | R5F11W68ASM | R5F11Y68ASM |
| | | R5F11W68DSM | R5F11Y68DSM |
| 4KB | 512B | R5F11W67ASM | R5F11Y67ASM |
| | | R5F11W67DSM | R5F11Y67DSM |

備考 製品によって、搭載している機能が異なります。1.6 機能概要を参照してください。

1.2 型名一覧

図1-1 RL78/G1M, G1Nの型名とメモリ・サイズ, パッケージ

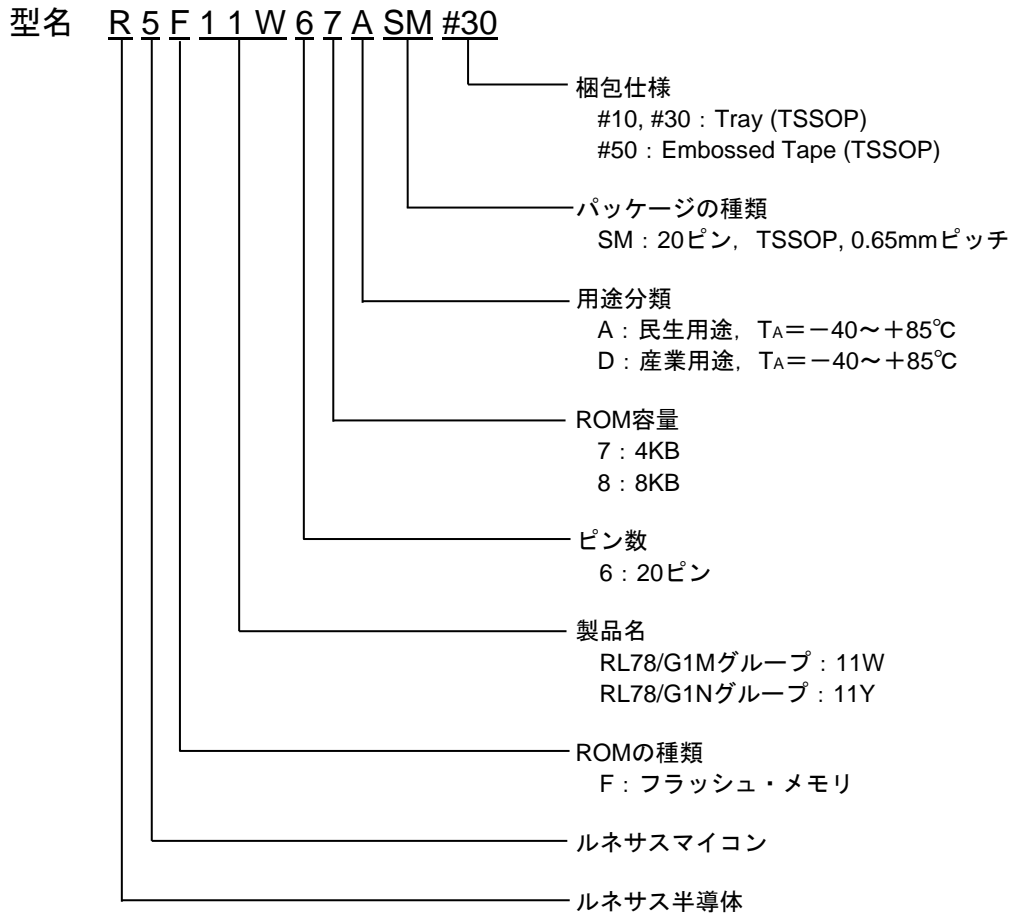


表1-1 発注型名一覧

| ピン数 | パッケージ | 用途・区分 ^注 | 発注型名 | RENESAS Code |
|------|--|--------------------|--|--------------|
| 20ピン | 20ピン・プラスチックTSSOP (4.4×6.5 mm, 0.65 mmピッチ) | A | R5F11W67ASM#10, R5F11W68ASM#10 R5F11W67ASM#30, R5F11W68ASM#30 R5F11W67ASM#50, R5F11W68ASM#50 R5F11Y67ASM#10, R5F11Y68ASM#10 R5F11Y67ASM#30, R5F11Y68ASM#30 R5F11Y67ASM#50, R5F11Y68ASM#50 | PTSP0020JI-A |
| | | D | R5F11W67DSM#10, R5F11W68DSM#10 R5F11W67DSM#30, R5F11W68DSM#30 R5F11W67DSM#50, R5F11W68DSM#50 R5F11Y67DSM#10, R5F11Y68DSM#10 R5F11Y67DSM#30, R5F11Y68DSM#30 R5F11Y67DSM#50, R5F11Y68DSM#50 | |

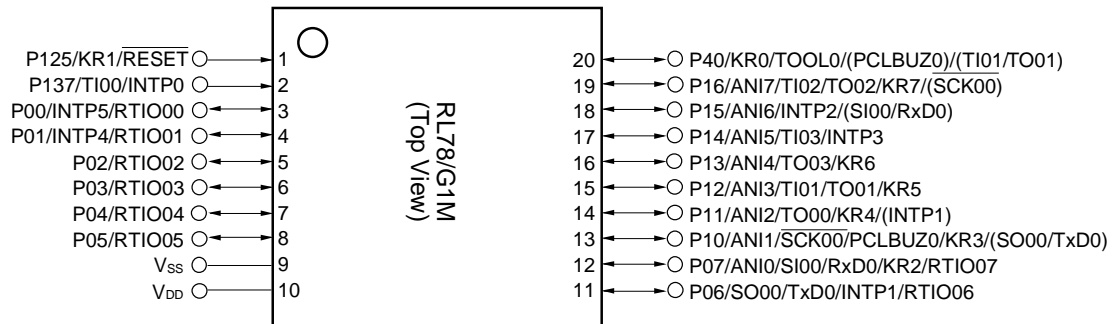
注意 発注型名は、本マニュアル発行時のものです。最新の発注型名は弊社ホームページの対象製品のページを必ず参照してください。

注 用途区分は、図1-1 RL78/G1M, G1Nの型名とメモリ・サイズ, パッケージを参照してください。

1.3 端子接続図 (Top View)

1.3.1 RL78/G1M製品

・ 20ピン・プラスチックTSSOP (4.4×6.5 mm, 0.65 mmピッチ)



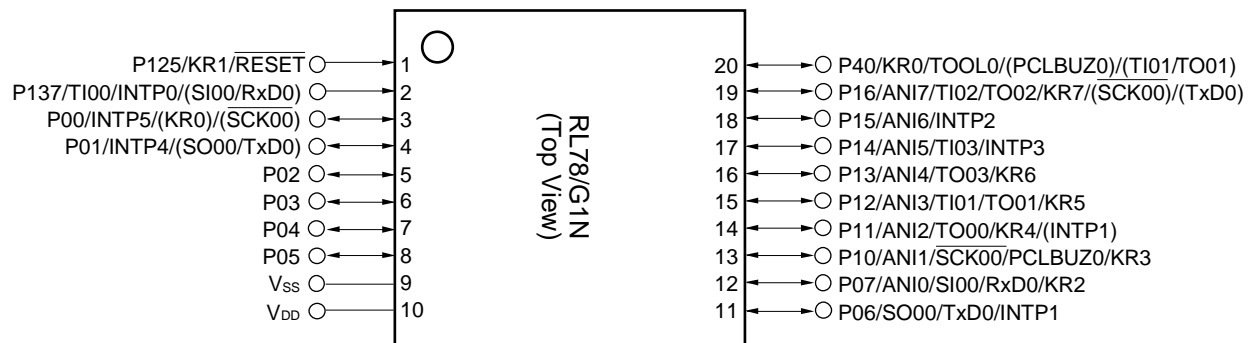
備考1. 端子名称は、1.4 端子名称を参照してください。

2. () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

図4-7 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

1.3.2 RL78/G1N製品

・ 20ピン・プラスチックTSSOP (4.4×6.5 mm, 0.65 mmピッチ)



備考1. 端子名称は、1.4 端子名称を参照してください。

2. () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

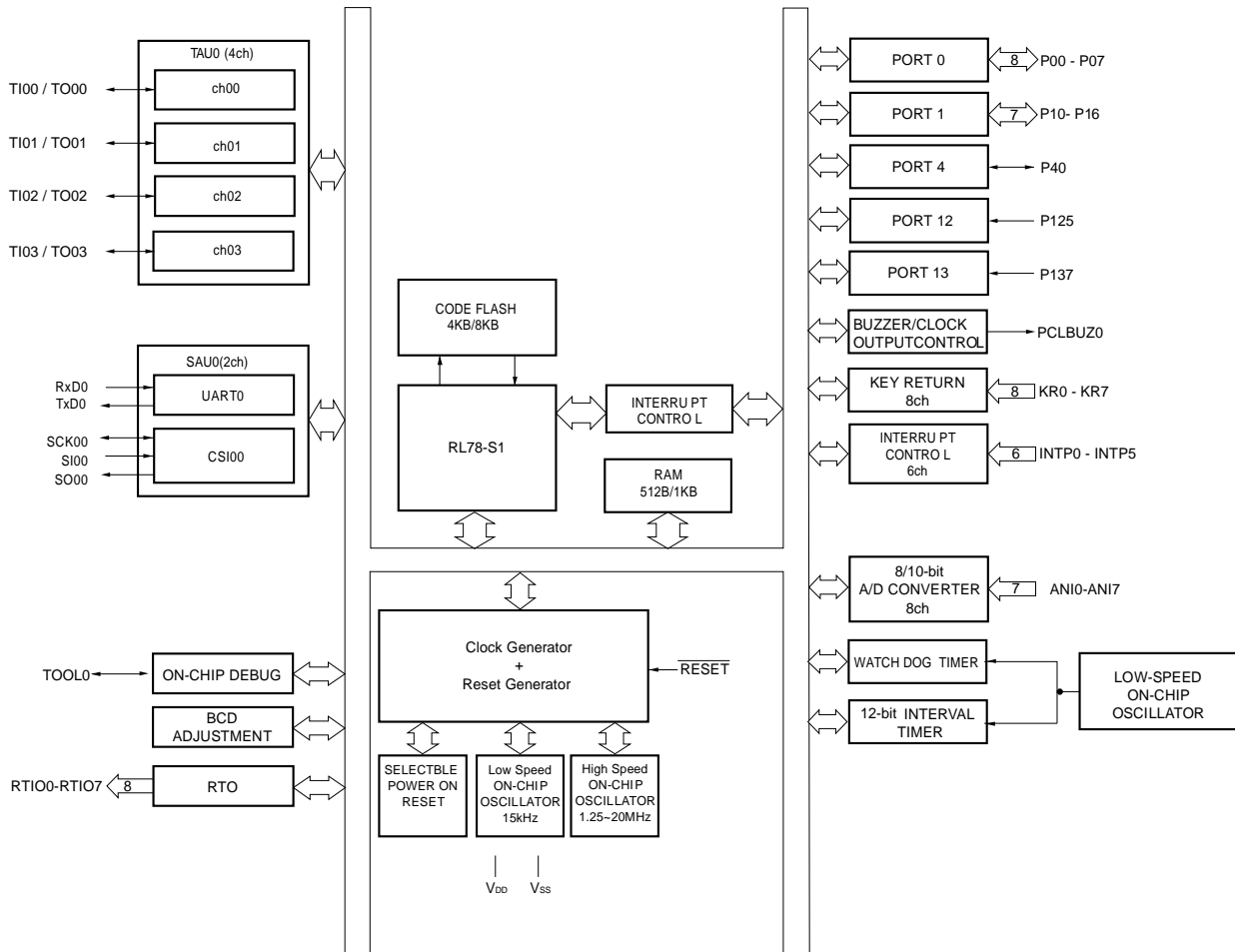
図4-7 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

1.4 端子名称

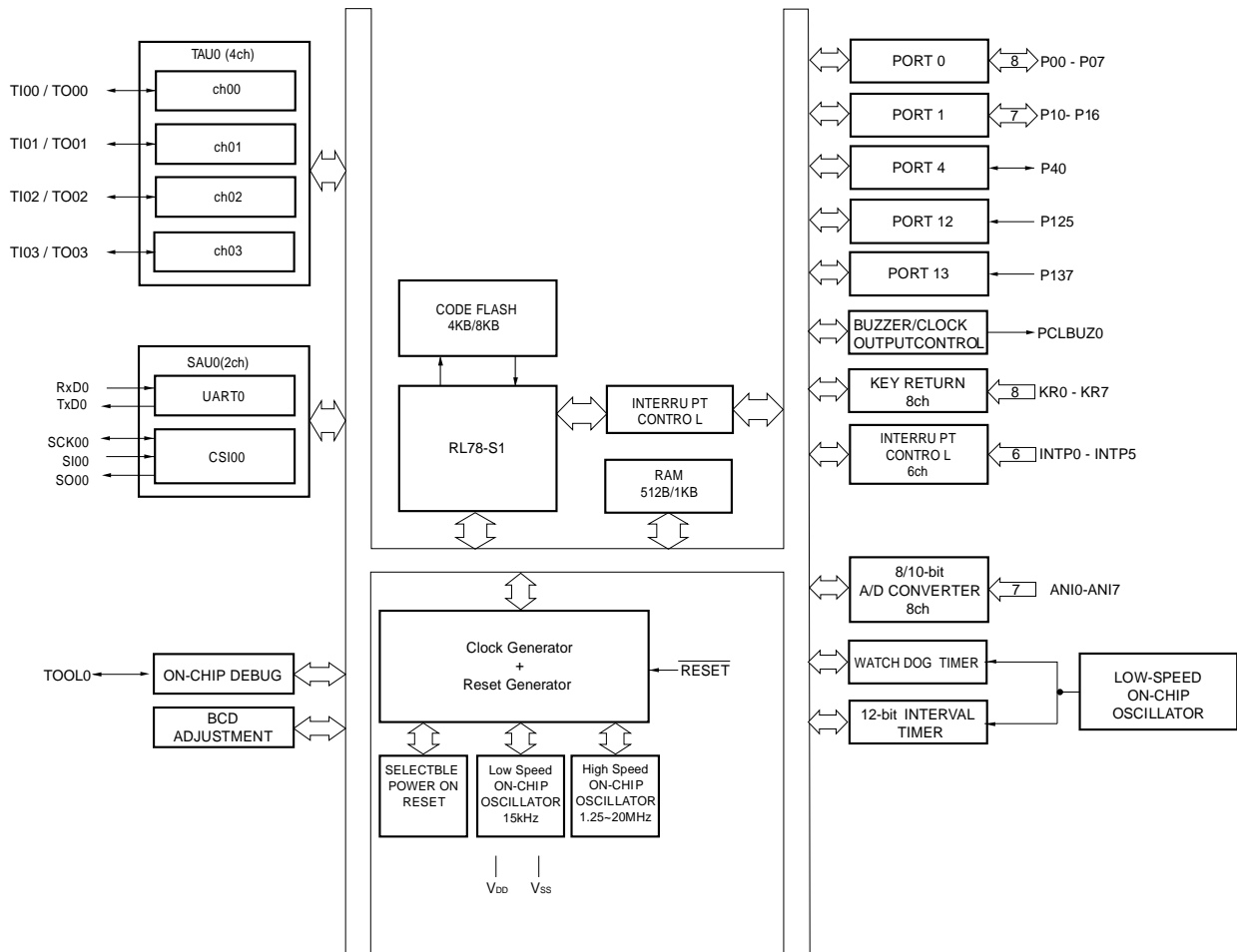
| | |
|-----------------|--|
| ANI0-ANI7 | : Analog Input |
| INTP0-INTP5 | : External Interrupt Input |
| KR0-KR7 | : Key Return |
| P00-P07 | : Port 0 |
| P10-P16 | : Port 1 |
| P40 | : Port 4 |
| P125 | : Port 12 |
| P137 | : Port 13 |
| PCLBUZ0 | : Programmable Clock Output/ Buzzer Output |
| RESET | : Reset |
| RTIO00-RTIO07 | : Real-time Output |
| RxD0 | : Receive Data |
| SCK00 | : Serial Clock Input/Output |
| SI00 | : Serial Data Input |
| SO00 | : Serial Data Output |
| TI00 - TI03 | : Timer Input |
| TO00 - TO03 | : Timer Output |
| TOOL0 | : Data Input/Output for Tool |
| TxD0 | : Transmit Data |
| V _{DD} | : Power Supply |
| V _{SS} | : Ground |

1.5 ブロック図

1.5.1 RL78/G1M製品



1.5.2 RL78/G1N製品



1.6 機能概要

周辺I/Oリダイレクション・レジスタ（PIOR）を00Hに設定したときの機能概要を示します。

(1/2)

| 項 目 | | 20 ピン | | | |
|-----------------------|--------------------|---|----------------------------|----------------------------|----------------------------|
| | | RL78/G1M 製品 | | RL78/G1N 製品 | |
| | | R5F11W67ASM R5F11W67DSM | R5F11W68ASM R5F11W68DSM | R5F11Y67ASM R5F11Y67DSM | R5F11Y68ASM R5F11Y68DSM |
| コード・フラッシュ・メモリ | | 4 KB | 8 KB | 4 KB | 8 KB |
| RAM | | 512 B | 1 KB | 512 B | 1 KB |
| メイン・システム・クロック | 高速オンチップ・オシレータ・クロック | <ul style="list-style-type: none"> ・1.25~20 MHz ($V_{DD} = 2.7\sim 5.5$ V) ・1.25~5 MHz ($V_{DD} = 2.0\sim 5.5$ V^{注1}) | | | |
| 低速オンチップ・オシレータ・クロック | | 15 kHz \pm 15% | | | |
| 汎用レジスタ | | 8 ビット・レジスタ \times 8 | | | |
| 最小命令実行時間 | | 0.05 μ s (20 MHz 動作時) | | | |
| 命令セット | | <ul style="list-style-type: none"> ・データ転送 (8 ビット) ・加減/論理演算 (8 ビット) ・乗算 (8 ビット\times8 ビット) ・ローテート、パレル・シフト、ビット操作 (セット、リセット、テスト、ブール演算) など | | | |
| I/O ポート | 合計 | 18 | | | |
| | CMOS 入出力 | 16 (N-ch O.D.出力 (V_{DD} 耐圧) : 14) P-ch O.D.出力 (大電流端子) : 6) | | | |
| | CMOS 入力 | 2 | | | |
| タイマ | 16 ビット・タイマ | 4 チャンネル | | | |
| | ウォッチドッグ・タイマ | 1 チャンネル | | | |
| | 12 ビット・インターバル・タイマ | 1 チャンネル | | | |
| | タイマ出力 | 4 本 (PWM 出力 : 3 本 ^{注2}) | | | |
| リアルタイム出力 | | 8 チャンネル | | — | |
| クロック出力/ブザー出力 | | 1 本 2.44 kHz ~ 10 MHz (周辺ハードウェア・クロック : $f_{MAIN} = 20$ MHz 動作時) | | | |
| 8/10 ビット分解能 A/D コンバータ | | 8 チャンネル | | | |
| シリアル・インタフェース | | CSI : 1 チャンネル, UART : 1 チャンネル | | | |
| ベクタ 割り込み 要因数 | 内部 | 12 | | | |
| | 外部 | 7 | | | |
| キー割り込み | | 8 | | | |

- 注1.** セレクタブル・パワーオン・リセット (SPOR) 回路の検出電圧 (V_{SPOR}) が含まれるため、2.25~5.5 Vの電圧範囲で使用してください。
- 2.** マスタの数と使用チャンネルの設定によって、出力数は変わります (6.9.4 多重PWM出力機能としての動作参照)。

(2/2)

| 項 目 | 20 ピン | | | |
|---------------------|--|----------------------------|----------------------------|----------------------------|
| | RL78/G1M 製品 | | RL78/G1N 製品 | |
| | R5F11W67ASM R5F11W67DSM | R5F11W68ASM R5F11W68DSM | R5F11Y67ASM R5F11Y67DSM | R5F11Y68ASM R5F11Y68DSM |
| リセット | <ul style="list-style-type: none"> ・ RESET 端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ セレクタブル・パワーオン・リセットによる内部リセット ・ 不正命令の実行による内部リセット^{注1} ・ データ保持下限電圧による内部リセット | | | |
| セレクタブル・パワーオン・リセット回路 | <ul style="list-style-type: none"> ・ 検出電圧 <ul style="list-style-type: none"> 立ち上がり (V_{SPOR}) : 2.25 V/2.68 V/3.02 V /4.45 V (MAX.) 立ち下がり (V_{SPDR}) : 2.20 V/2.62 V/2.96 V /4.37 V (MAX.) | | | |
| オンチップ・デバッグ機能 | あり | | | |
| 電源電圧 | V _{DD} = 2.0~5.5 V ^{注2} | | | |
| 動作周囲温度 | T _A = -40~+85°C | | | |

注1. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

2. セレクタブル・パワーオン・リセット (SPOR) 回路の検出電圧 (V_{SPOR}) が含まれるため、2.25~5.5 Vの電圧範囲で使用してください。

第2章 端子機能

2.1 ポート機能

各ポートで設定した入出力やバッファ、プルアップ抵抗は、兼用機能に対しても有効です。

2.1.1 RL78/G1M製品

| 機能名称 | 端子タイプ | 入出力 | リセット解除時 | 兼用機能 | 機能 |
|------|-------|-----|---------|--|--|
| P00 | 7-1-1 | 入出力 | 入力ポート | INTP5/RTIO00 | ポート0。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P06の出力はN-chオープン・ドレイン出力（V _{DD} 耐圧）に設定可能。 P07はアナログ入力に設定可能 ^注 。 |
| P01 | | | | INTP4/RTIO01 | |
| P02 | | | | RTIO02 | |
| P03 | | | | RTIO03 | |
| P04 | | | | RTIO04 | |
| P05 | | | | RTIO05 | |
| P06 | 7-1-2 | | | SO00/TxD0/INTP1/ RTIO06 | |
| P07 | 7-3-1 | | アナログ入力 | ANI0/SI00/RxD0/KR2/R TIO07 | |
| P10 | 7-3-2 | 入出力 | アナログ入力 | ANI1/SCK00/PCLBUZ0 /KR3/(SO00)/(TxD0) | ポート1。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P11-P16はアナログ入力に設定可能 ^注 。 |
| P11 | 7-3-2 | | | ANI2/TO00/KR4/ (INTP1) | |
| P12 | 7-3-1 | | | ANI3/TI01/TO01/KR5 | |
| P13 | | | | ANI4/TO03/KR6 | |
| P14 | | | | ANI5/TI03/INTP3 | |
| P15 | | | | ANI6/INTP2/(SI00)/ (RxD0) | |
| P16 | | | | TI02/TO02/KR7/ (SCK00)/ANI7 | |
| P40 | 7-1-1 | 入出力 | 入力ポート | KR0/TOOL0/ (PCLBUZ0)/ (TI01/TO01) | ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 |
| P125 | 3-1-1 | 入力 | 入力ポート | KR1/RESET | ポート12。 3ビット入力専用ポート。 P125はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P125は外部リセット用の入力端子（RESET）と兼用しています。 外部リセットとして使用する場合は、オプション・バイト（000C1H）のPORTSELBビットに“1”を設定してください。 |
| P137 | 2-1-2 | 入力 | 入力ポート | TI00/INTP0 | ポート13。 1ビット入力専用ポート。 |

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ0（PMC0）で設定します（1ビット単位で設定可能）。

備考 （ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。詳細は、**図4-7 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット**を参照してください。

2.1.2 RL78/G1N製品

| 機能名称 | 端子タイプ | 入出力 | リセット解除時 | 兼用機能 | 機能 |
|------|--------|-----|---------|-----------------------------------|--|
| P00 | 7-1-9 | 入出力 | 入力ポート | INTP5/(KR0)/(SCK00) | ポート0。 |
| P01 | | | | INTP4/(SO00)/(TxD0) | 8ビット入出力ポート。 |
| P02 | | | | — | 1ビット単位で入力／出力の指定可能。 |
| P03 | | | | — | 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 |
| P04 | | | | — | |
| P05 | | | | — | P06, P07の出力はN-chオープン・ドレイン出力 |
| P06 | 19-1-1 | | | SO00/TxD0/INTP1 | (V _{DD} 耐圧) に設定可能。P00-P05の出力はP-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 |
| P07 | 19-3-1 | | アナログ入力 | ANI0/SI00/RxD0/KR2 | P07はアナログ入力に設定可能 ^注 。 |
| P10 | 19-3-1 | 入出力 | アナログ入力 | ANI1/SCK00/PCLBUZ0/KR3 | ポート1。 7ビット入出力ポート。 |
| P11 | | | | ANI2/TO00/KR4/(INTP1) | 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 |
| P12 | | | | ANI3/TI01/TO01/KR5 | |
| P13 | | | | ANI4/TO03/KR6 | P10-P15の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 |
| P14 | | | | ANI5/TI03/INTP3 | P11-P16はアナログ入力に設定可能 ^注 。 |
| P15 | | | | ANI6/INTP2/SI00/RxD0 | |
| P16 | 7-3-1 | | | TI02/TO02/KR7/(TxD0)/(SCK00)/ANI7 | |
| P40 | 7-1-1 | 入出力 | 入力ポート | KR0/TOOL0/(PCLBUZ0)/(TI01/TO01) | ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 |
| P125 | 3-1-1 | 入力 | 入力ポート | KR1/RESET | ポート12。 3ビット入力専用ポート。 P125はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P125は外部リセット用の入力端子 (RESET) と兼用しています。 外部リセットとして使用する場合は、オプション・バイト (000C1H) のPORTSELBビットに"1"を設定してください。 |
| P137 | 2-1-2 | 入力 | 入力ポート | TI00/INTP0/(SI000)/(RxD0) | ポート13。 1ビット入力専用ポート。 |

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ0 (PMC0) で設定します (1ビット単位で設定可能)。

備考 () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。詳細は、[図4-7 周辺I/Oリダイレクション・レジスタ \(PIOR\) のフォーマット](#)を参照してください。

2.2 ポート以外の機能

2.2.1 製品別の搭載機能

| 機能名称 | RL78/G1M | RL78/G1N |
|-----------------|----------|----------|
| ANI0 | ○ | ○ |
| ANI1 | ○ | ○ |
| ANI2 | ○ | ○ |
| ANI3 | ○ | ○ |
| ANI4 | ○ | ○ |
| ANI5 | ○ | ○ |
| ANI6 | ○ | ○ |
| ANI7 | ○ | ○ |
| INTP0 | ○ | ○ |
| INTP1 | ○ | ○ |
| INTP2 | ○ | ○ |
| INTP3 | ○ | ○ |
| INTP4 | ○ | ○ |
| INTP5 | ○ | ○ |
| KR0 | ○ | ○ |
| KR1 | ○ | ○ |
| KR2 | ○ | ○ |
| KR3 | ○ | ○ |
| KR4 | ○ | ○ |
| KR5 | ○ | ○ |
| KR6 | ○ | ○ |
| KR7 | ○ | ○ |
| PCLBUZ0 | ○ | ○ |
| TOOL0 | ○ | ○ |
| RESET | ○ | ○ |
| V _{DD} | ○ | ○ |
| V _{SS} | ○ | ○ |

| 機能名称 | RL78/G1M | RL78/G1N |
|--------|----------|----------|
| RxD0 | ○ | ○ |
| TxD0 | ○ | ○ |
| SCK00 | ○ | ○ |
| SI00 | ○ | ○ |
| SO00 | ○ | ○ |
| TI00 | ○ | ○ |
| TO00 | ○ | ○ |
| TI01 | ○ | ○ |
| TO01 | ○ | ○ |
| TI02 | ○ | ○ |
| TO02 | ○ | ○ |
| TI03 | ○ | ○ |
| TO03 | ○ | ○ |
| RTIO00 | ○ | — |
| RTIO01 | ○ | — |
| RTIO02 | ○ | — |
| RTIO03 | ○ | — |
| RTIO04 | ○ | — |
| RTIO05 | ○ | — |
| RTIO06 | ○ | — |
| RTIO07 | ○ | — |

2.2.2 機能説明

| 機能名称 | 入出力 | 機能 |
|-----------------|-----|---|
| ANI0-ANI7 | 入力 | A/Dコンバータのアナログ入力（ 図10-21 アナログ入力端子の処理参照 ） |
| INTP0-INTP5 | 入力 | 外部割り込み要求入力 有効エッジ指定：立ち上がり，立ち下がり，立ち上がりと立ち下がりの両エッジ |
| KR0-KR7 | 入力 | キー割り込み入力 有効エッジ指定：立ち上がり，立ち下がり |
| PCLBUZ0 | 出力 | クロック出力／ブザー出力 |
| RESET | 入力 | ロウ・レベル・アクティブの外部リセット入力。 外部リセットを使用しない場合は，直接または抵抗を介してV _{DD} に接続してください。 |
| RxD0 | 入力 | シリアル・インタフェースUART0のシリアル・データ入力 |
| TxD0 | 出力 | シリアル・インタフェースUART0のシリアル・データ出力 |
| SCK00 | 入出力 | シリアル・インタフェースCSI00のシリアル・クロック入力／出力 |
| SI00 | 入力 | シリアル・インタフェースCSI00のシリアル・データ入力 |
| SO00 | 出力 | シリアル・インタフェースCSI00のシリアル・データ出力 |
| TI00-TI03 | 入力 | 16ビット・タイマ00-03への外部カウント・クロック／キャプチャ・トリガ入力 |
| TO00-TO03 | 出力 | 16ビット・タイマ00-03のタイマ出力 |
| RTIO00-RTIO07 | 出力 | リアルタイム出力ポート |
| V _{DD} | － | 正電源 |
| V _{SS} | － | グランド電位 |
| TOOL0 | 入出力 | フラッシュ・メモリ・プログラマ／デバッグ用データ入出力 |

注意 リセット解除時のP40/TOOL0と動作モードとの関係は，次のようになります。

表2-1 リセット解除時のP40/TOOL0と動作モードとの関係

| P40/TOOL0 | 動作モード |
|-----------------|-----------------------|
| V _{DD} | 通常動作モード |
| 0 V | フラッシュ・メモリ・プログラミング・モード |

詳細は，[19.4.2 フラッシュ・メモリ・プログラミング・モード](#)を参照してください。

備考 ノイズ対策およびラッチアップ対策として，V_{DD} - V_{SS}ライン間へのバイパスコンデンサ（0.1 μF程度）を最短距離でかつ，比較的太い配線を使って接続してください。

2.3 未使用端子の処理

各端子の未使用端子の処理を表2-2に示します。

備考 製品により、搭載している端子が異なります。1.3 端子接続図 (Top View) , 2.1 ポート機能を参照してください。

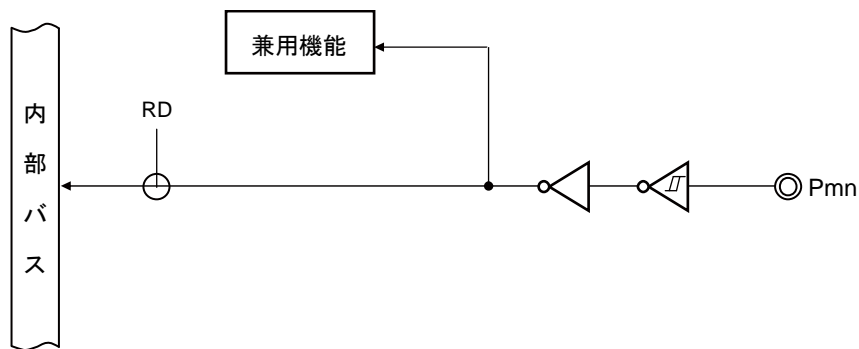
表2-2 各端子の未使用処理

| 端子名称 | 入出力 | 未使用時の推奨接続方法 |
|--------------------|-----|---|
| P00-P07 | 入出力 | 入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 |
| P10-P16 | | 入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 |
| P40/TOOL0 | | 入力時：個別に抵抗を介して、V _{DD} に接続にしてください。 出力時：オープンにしてください。 |
| P125/ <u>RESET</u> | 入力 | PORTSELB = 1の状態、オープンまたはV _{DD} に接続してください。 |
| P137 | 入力 | 個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 |

2.4 端子ブロック図

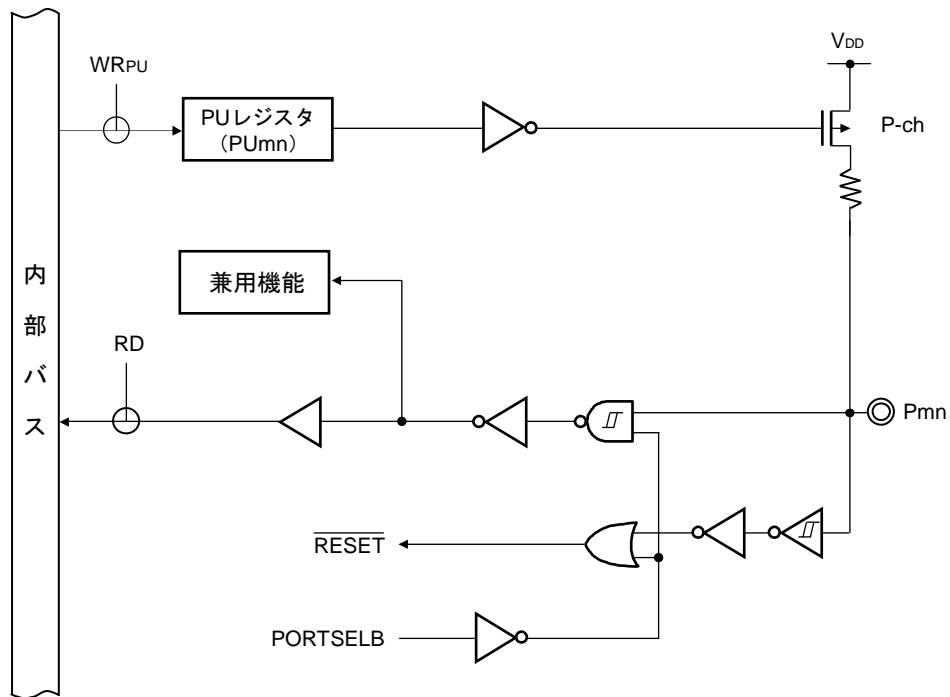
2.1.1 RL78/G1M製品, 2.1.2 RL78/G1N製品に記載した端子タイプについて、端子ブロック図を図2-1～図2-9に示します。

図2-1 端子タイプ2-1-2の端子ブロック図



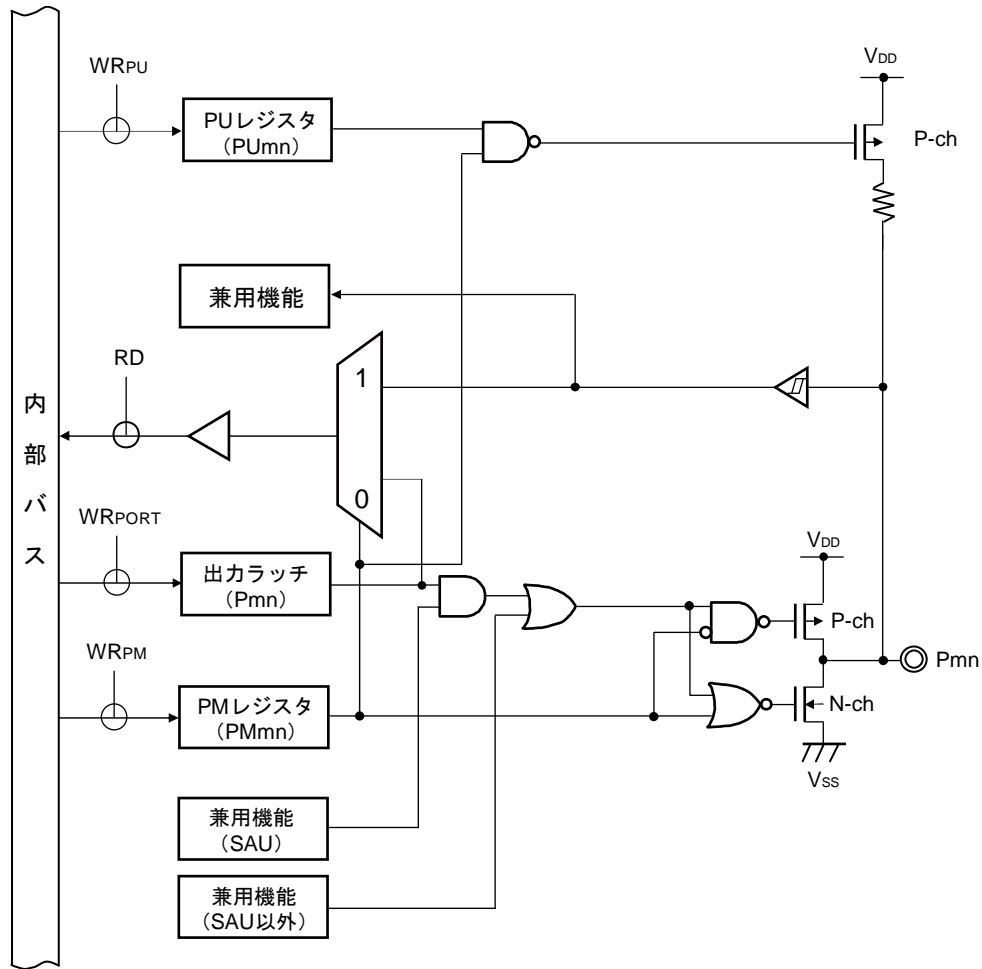
備考 兼用機能は、2.1 ポート機能を参照してください。

図2-2 端子タイプ3-1-1の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

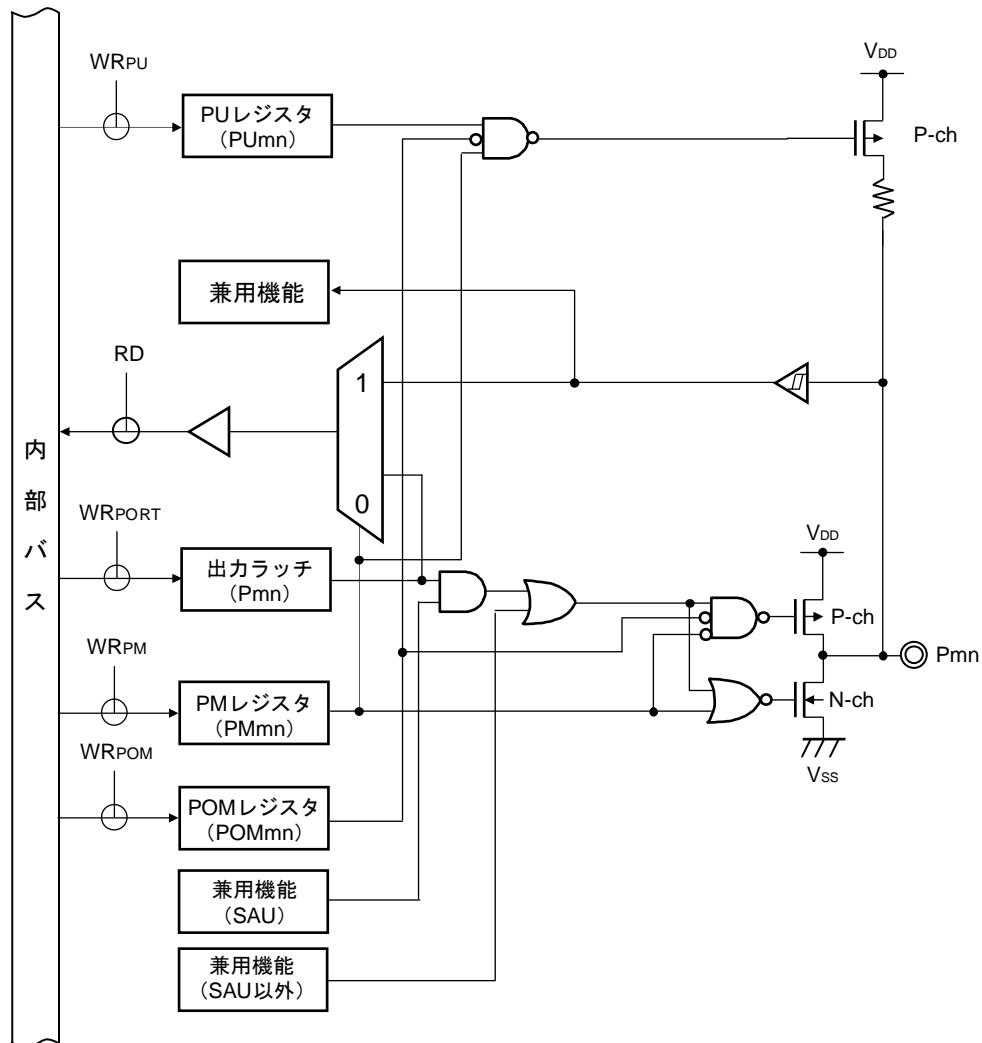
図2-3 端子タイプ7-1-1の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

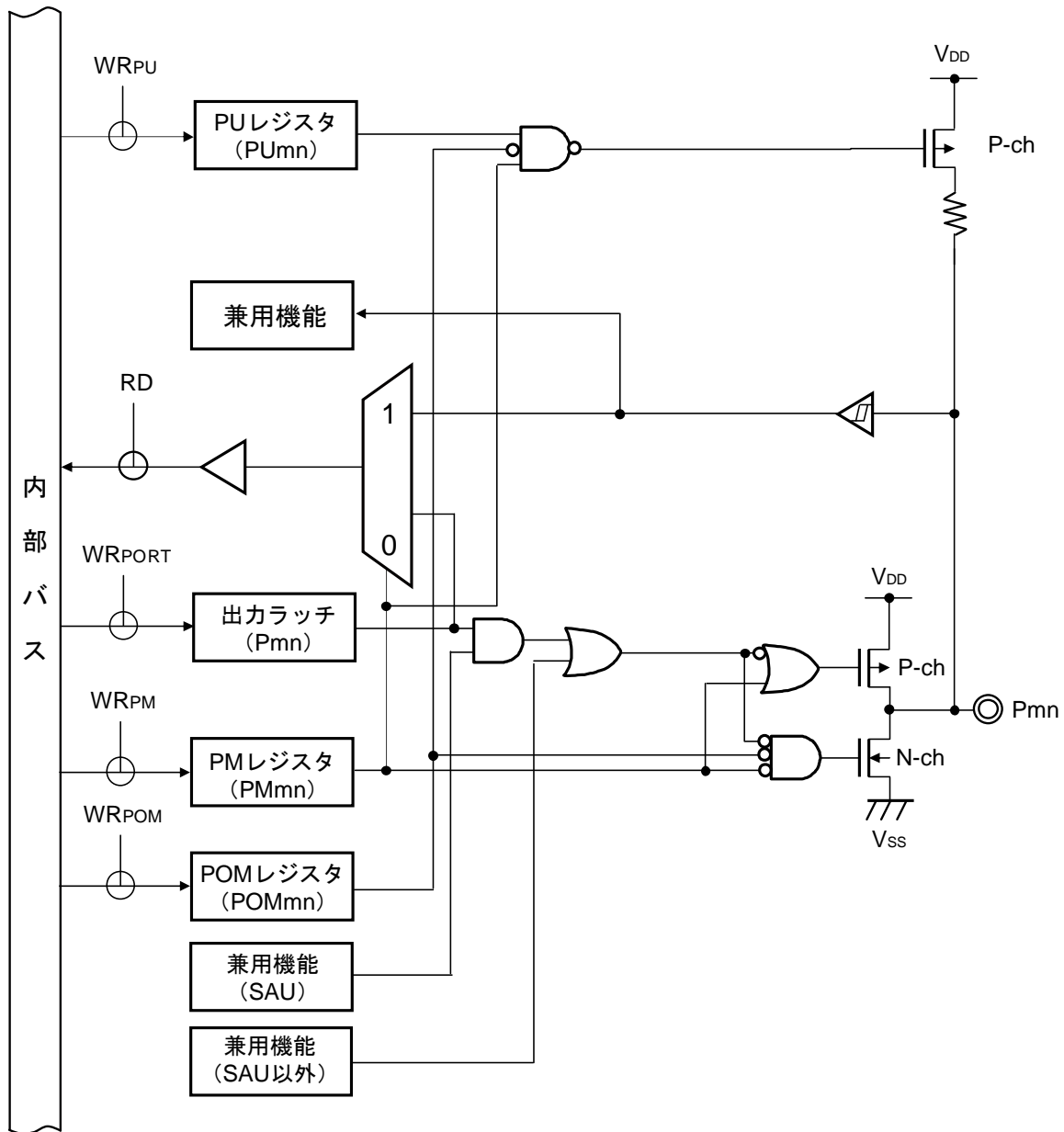
図2-4 端子タイプ7-1-2の端子ブロック図



注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ(V_{DD}レベル)が発生することがあります。

- 備考1.** 兼用機能は、2.1 ポート機能を参照してください。
2. SAU : シリアル・アレイ・ユニット

図2-5 端子タイプ7-1-9の端子ブロック図

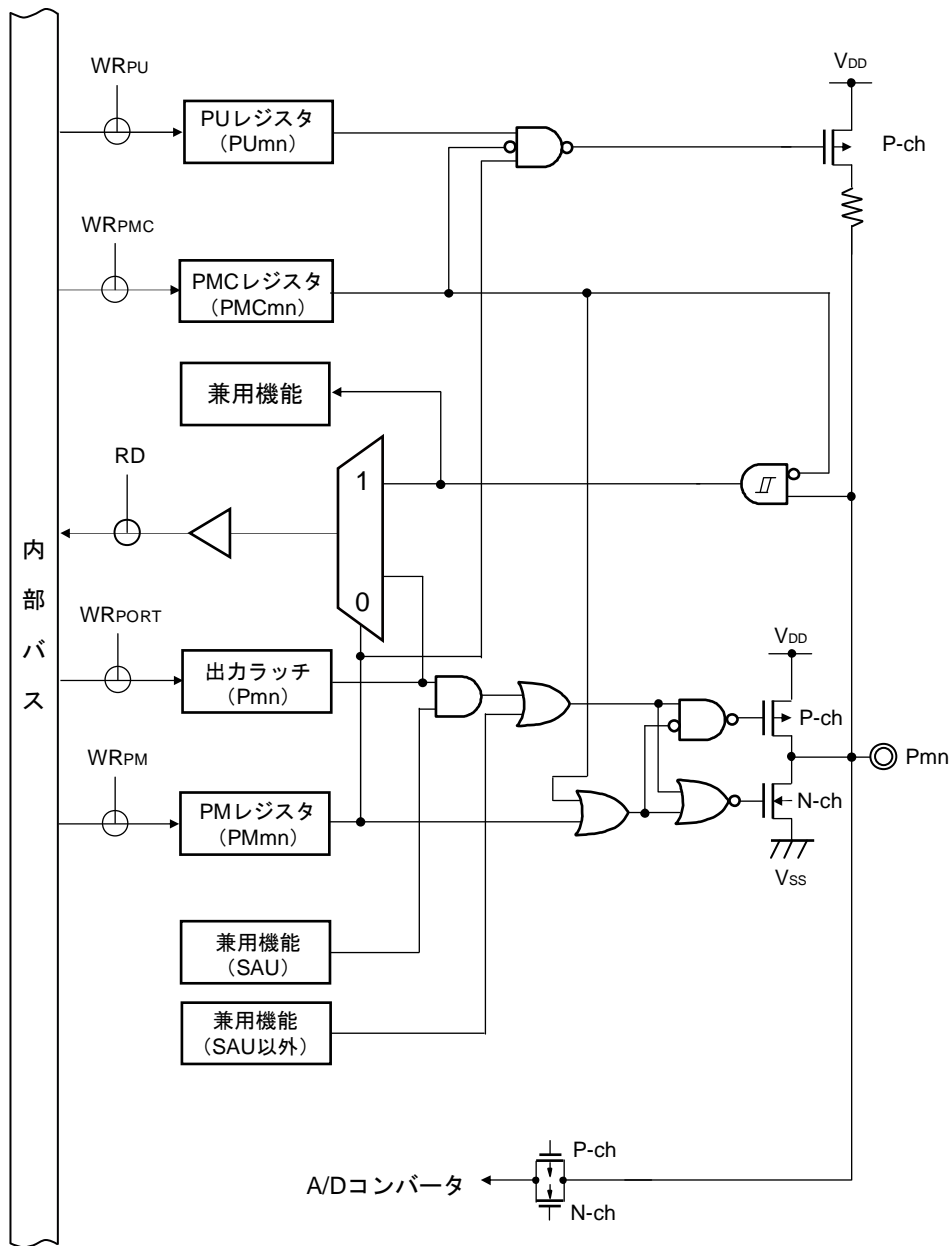


注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ(V_{DD}レベル)が発生することがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

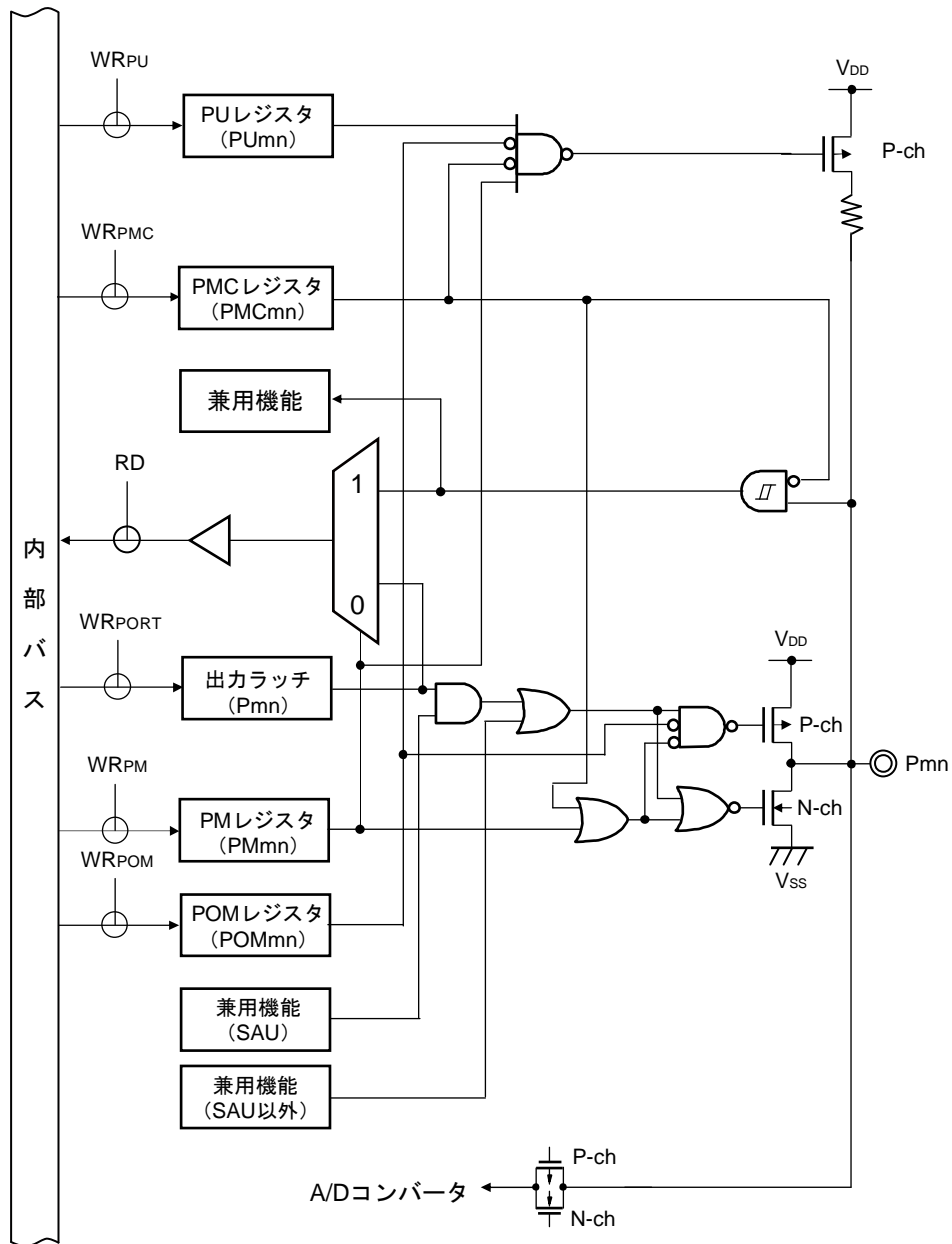
図2-6 端子タイプ7-3-1の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

図2-7 端子タイプ7-3-2の端子ブロック図

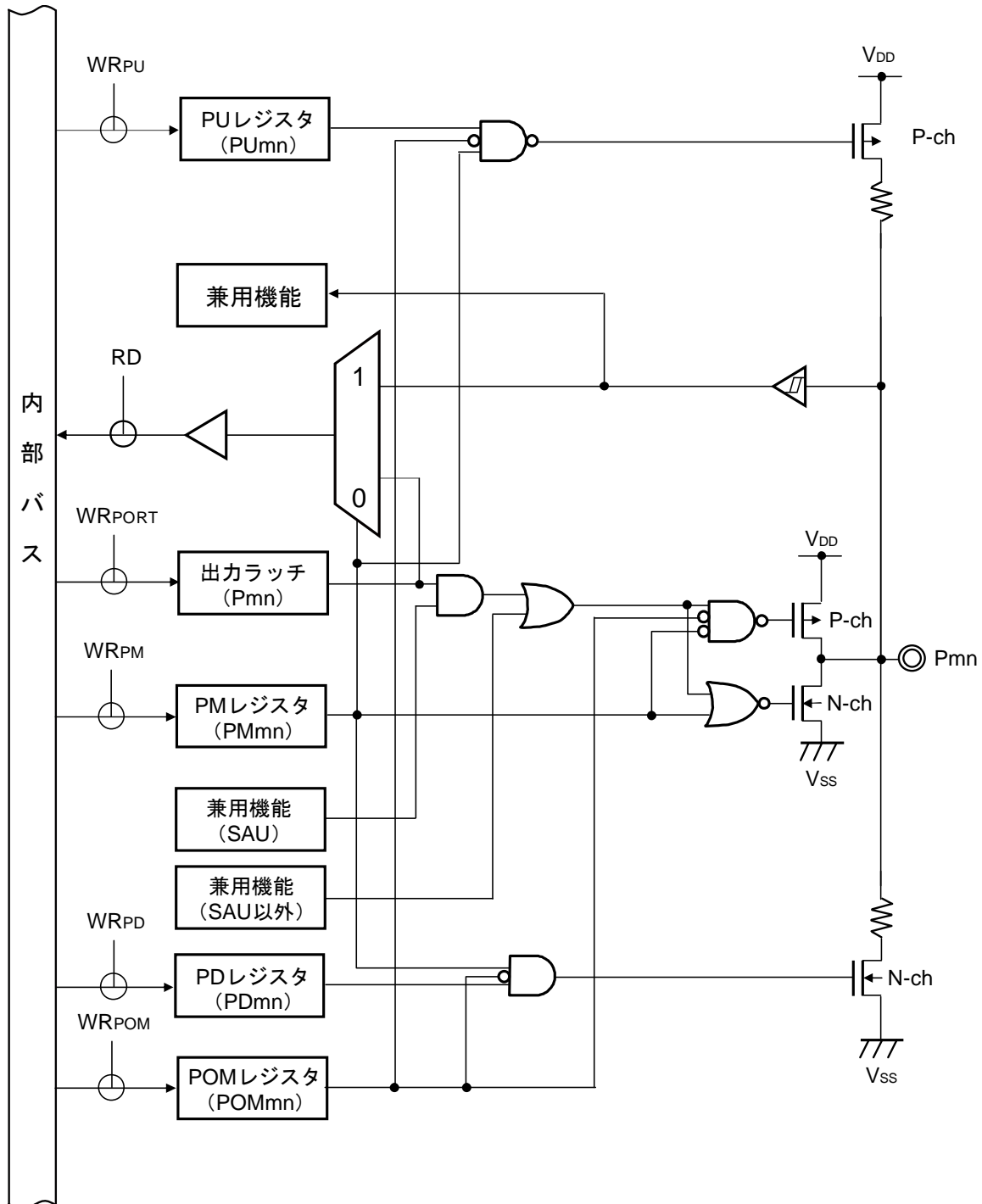


注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ(V_{DD}レベル)が発生することがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

図2-8 端子タイプ19-1-1の端子ブロック図

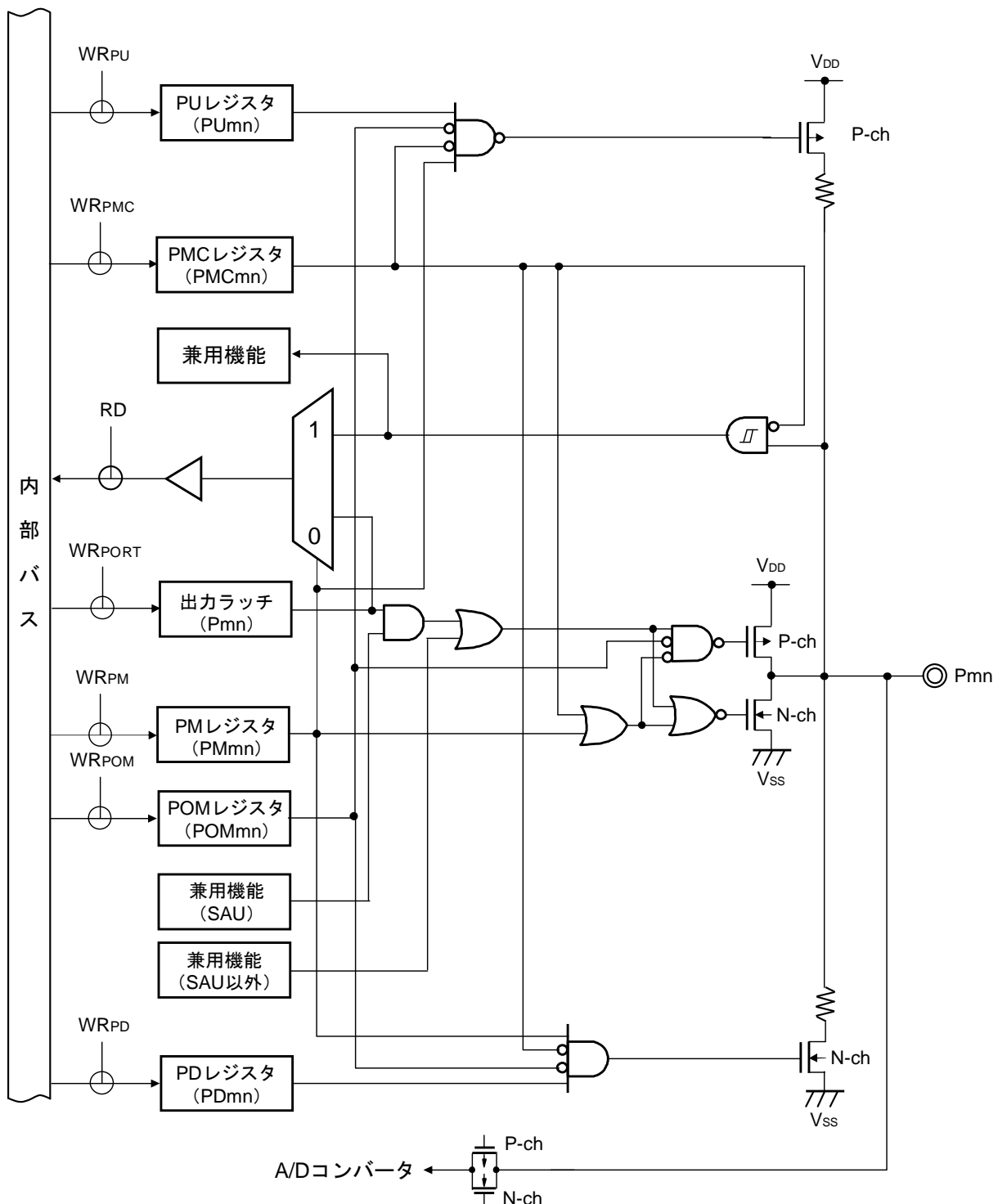


注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ(V_{DD}レベル)が発生することがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

図2-9 端子タイプ19-3-1の端子ブロック図



注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ(V_{DD}レベル)が発生することがあります。

- 備考1.** 兼用機能は、2.1 ポート機能を参照してください。
2. SAU : シリアル・アレイ・ユニット

第3章 CPUアーキテクチャ

RL78/G1M, G1Nは、RL78-S1コアを搭載しています。

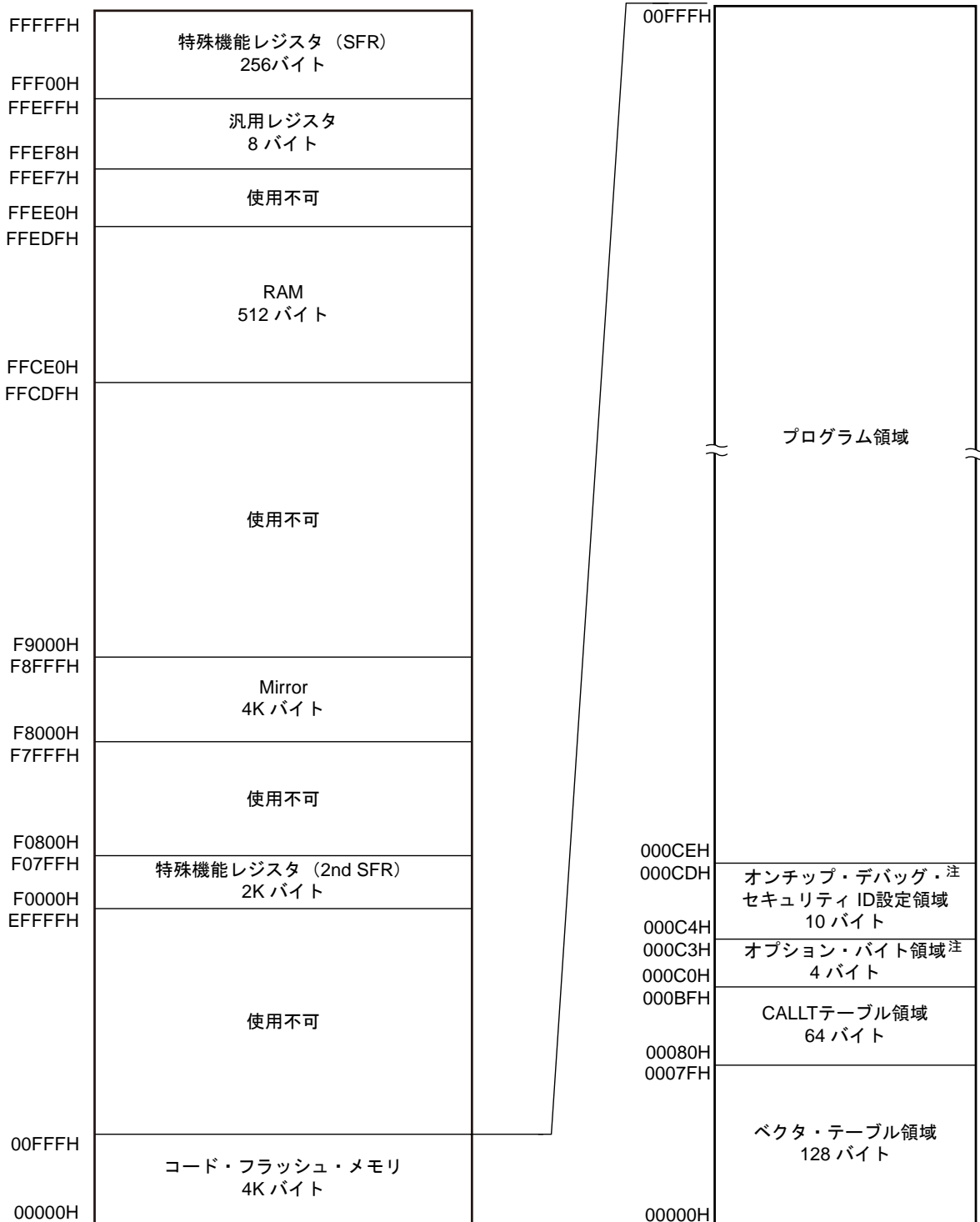
RL78-S1コアの特徴を以下に示します。

- ・3段パイプラインのCISCアーキテクチャ
- ・アドレス空間：1Mバイト
- ・汎用レジスタ：8ビット・レジスタ×8
- ・命令は、RL78/G13やRL78/G1Aに搭載されているRL78-S2コアと共通です。ただし、以下の命令のクロック数は、RL78-S1コアとRL78-S2コアで異なります。詳細は、**第22章 命令セットの概要**を参照してください。各CPUコアの機能の違いについては、**RL78ファミリ ユーザーズ・マニュアル ソフトウェア編 (R01US0015)**を参照してください。
 - －16ビット・データ転送 (MOVW, XCHW, ONEW, CLRW)
 - －16ビット演算 (ADDW, SUBW, CMPW)
 - －乗算 (MULU)
 - －16ビット増減 (INCW, DECW)
 - －16ビット・シフト (SHRW, SHLW, SARW)
 - －16ビット・ローテート (ROLWC)
 - －コール・リターン (CALL, CALLT, BRK, RET, RETI, RETB)
 - －スタック操作 (PUSH, POP, MOVW, ADDW, SUBW)

3.1 メモリ空間

RL78/G1M, G1Nは、1 Mバイトのアドレス空間をアクセスできます。図3-1、図3-2に、メモリ・マップを示します。

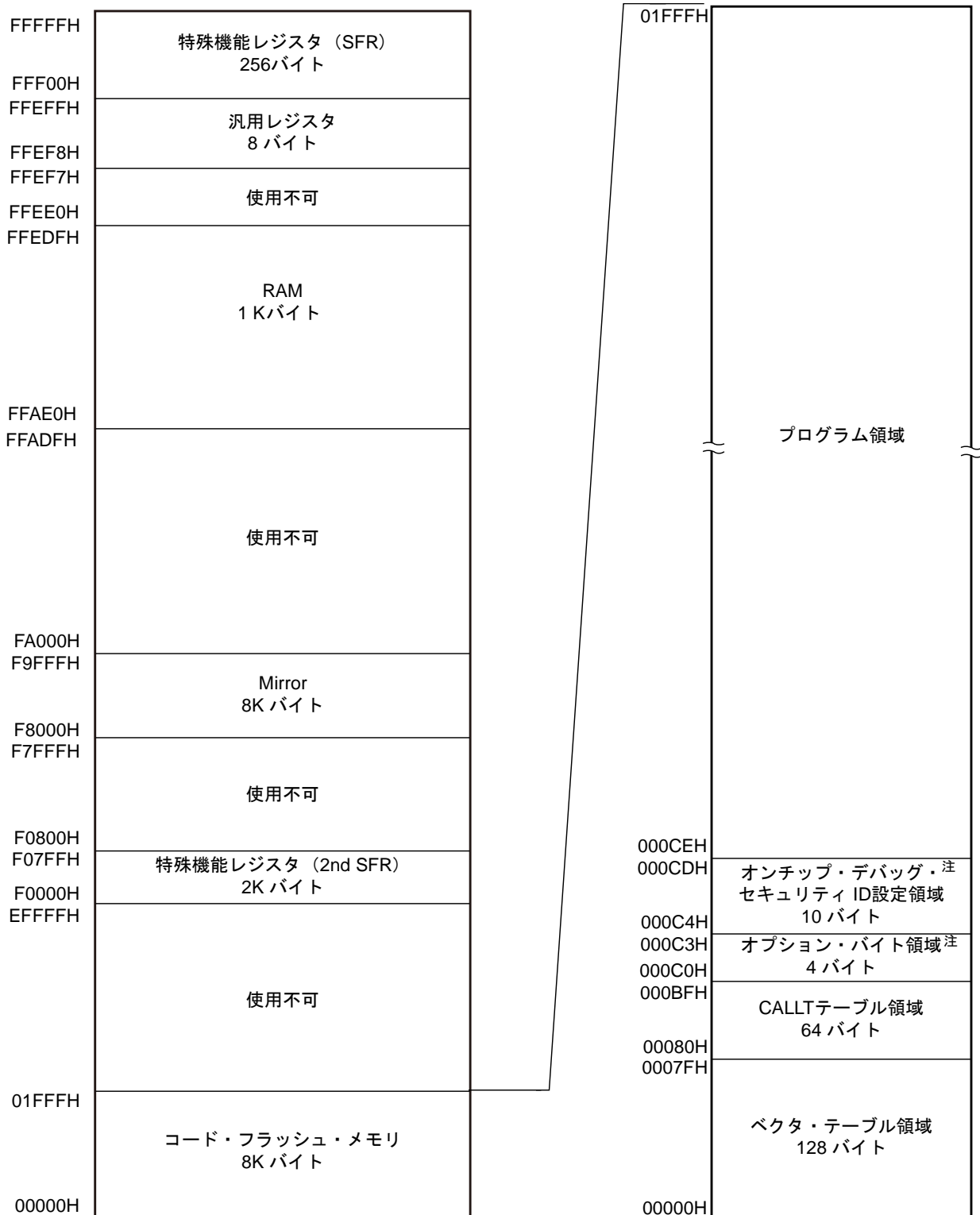
図3-1 メモリ・マップ (R5F11W67 (G1M), R5F11Y67 (G1N))



注 000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

注意 使用不可領域へのアクセスは禁止です。

図3-2 メモリ・マップ (R5F11W68 (G1M), R5F11Y68 (G1N))



注 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

注意 使用不可領域へのアクセスは禁止です。

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/G1M, G1Nは、次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3-1 内部ROM容量

| 製 品 | 内蔵ROM | |
|-------------------------------|-----------|---------------------------|
| | 構造 | 容量 |
| R5F11W67 (G1M), R5F11Y67(G1N) | フラッシュ・メモリ | 4096×8ビット (00000H-00FFFH) |
| R5F11W68 (G1M), R5F11Y68(G1N) | | 8192×8ビット (00000H-01FFFH) |

内部プログラム・アドレス空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-2 ベクタ・テーブル

| ベクタ・テーブル・アドレス | 割り込み要因 | RL78/G1M | RL78/G1N |
|---------------|------------------------|----------|----------|
| 00000H | RESET, SPOR, WDT, TRAP | ○ | ○ |
| 00004H | INTWDTI | ○ | ○ |
| 00006H | INTP0 | ○ | ○ |
| 00008H | INTP1 | ○ | ○ |
| 0000AH | INTST0, INTCSI00 | ○ | ○ |
| 0000CH | INTSR0 | ○ | ○ |
| 0000EH | INTSRE0 | ○ | ○ |
| 00010H | INTTM01H | ○ | ○ |
| 00012H | INTTM00 | ○ | ○ |
| 00014H | INTTM01 | ○ | ○ |
| 00016H | INTAD | ○ | ○ |
| 00018H | INTKR | ○ | ○ |
| 0001AH | INTP2 | ○ | ○ |
| 0001CH | INTP3 | ○ | ○ |
| 0001EH | INTTM03H | ○ | ○ |
| 00022H | INTTM02 | ○ | ○ |
| 00024H | INTTM03 | ○ | ○ |
| 00026H | INTIT | ○ | ○ |
| 00028H | INTP4 | ○ | ○ |
| 0002AH | INTP5 | ○ | ○ |
| 0007EH | BRK | ○ | ○ |

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください（アドレス・コードが2バイトのため）。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。詳細は**第18章 オプション・バイト**を参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。詳細は**第20章 オンチップ・デバッグ機能**を参照してください。

3.1.2 ミラー領域

フラッシュ・メモリが4/8Kバイトの製品では、00000H-00FFFFH/01FFFFHのコード・フラッシュ・エリアをF8000H-F8FFFH/F9FFFHへミラーさせています。

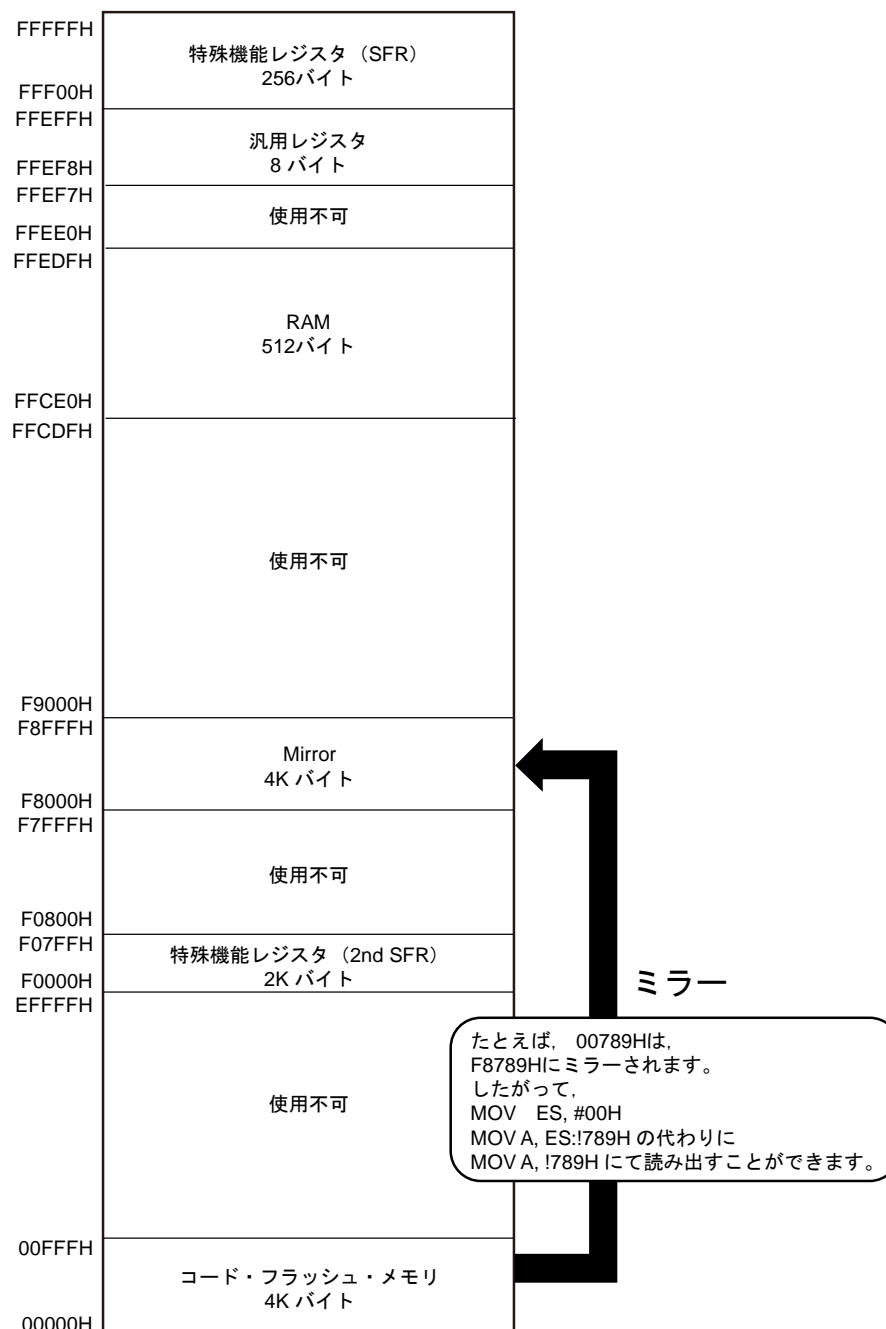
ミラー先のF8000H-F8FFFH/F9FFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。

各製品のミラー領域は、**3.1 メモリ空間**を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 R5F11W67ASM (フラッシュ・メモリ 4 Kバイト) の場合



3.1.3 内部データ・メモリ空間

RL78/G1M, G1Nは、次に示すRAMを内蔵しています。

表3-3 内部RAM容量

| 製 品 | 内部RAM |
|--------------------------------------|------------------------|
| R5F11W67xSM (G1M), R5F11Y67xSM (G1N) | 512バイト (FFCE0H-FFEDFH) |
| R5F11W68xSM (G1M), R5F11Y68xSM (G1N) | 1 Kバイト (FFAE0H-FFEDFH) |

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を実行することができます（汎用レジスタが割り当てられた領域では命令実行不可）。

また、スタック・メモリは内部RAMを使用します。

注意 汎用レジスタが割り当てられている空間 (FFEF8H-FFEFFH) は、命令フェッチやスタックの領域に使用できません。

3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.4 特殊機能レジスタ (SFR : Special Function Register) の表3-4参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています (3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) の表3-5参照)。

SFR領域 (FFF00H-FFFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.6 データ・メモリ・アドレッシング

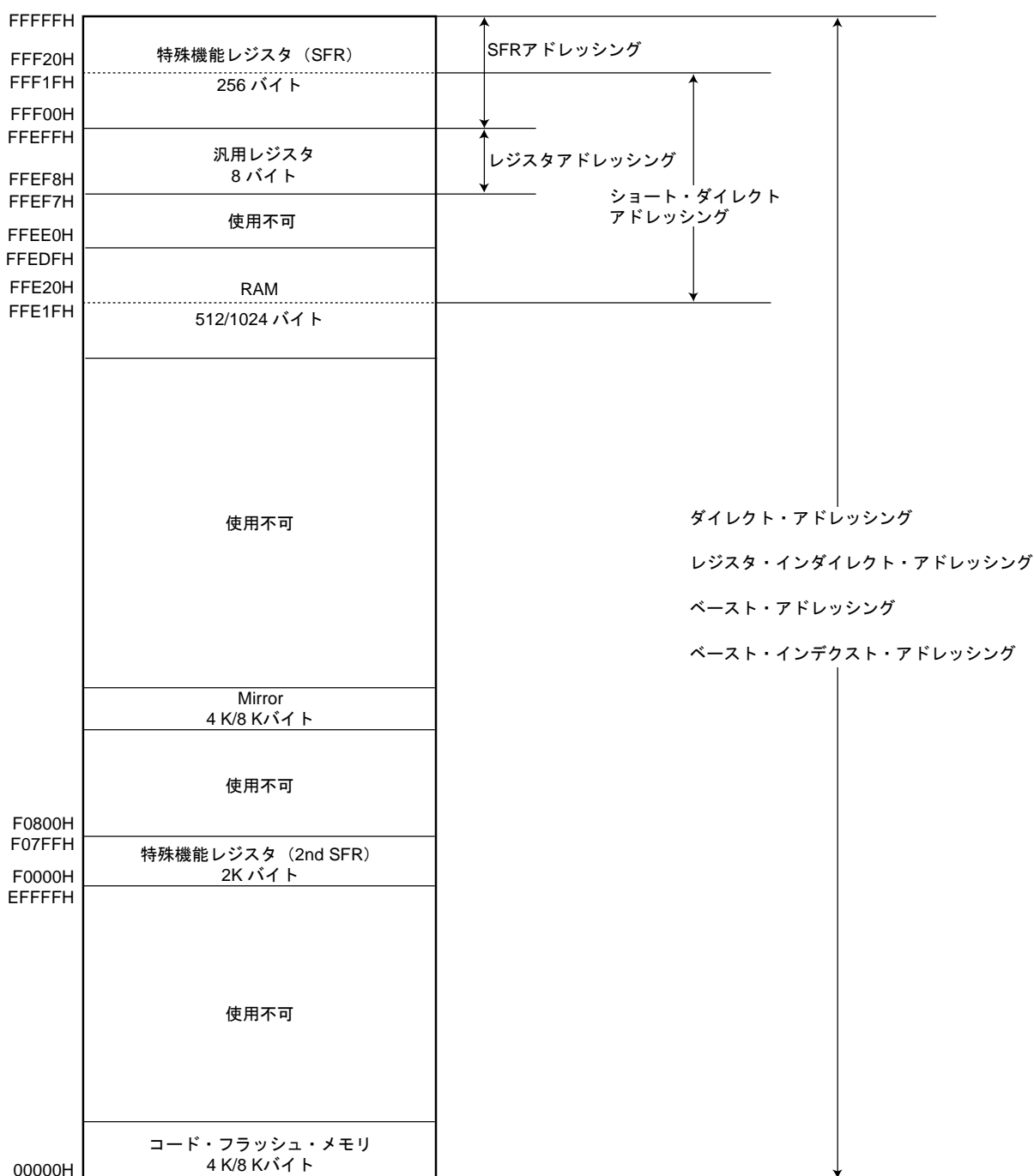
次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/G1M, G1Nでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。

図3-3にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、「3.4 処理データ・アドレスに対するアドレッシング」を参照してください。

図3-3 データ・メモリとアドレッシングの対応



3.2 プロセッサ・レジスタ

RL78/G1M, G1Nは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

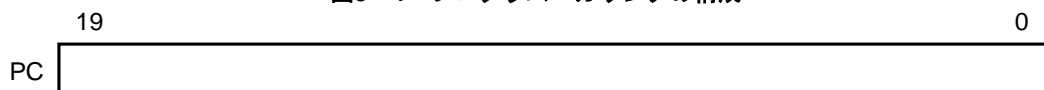
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値が、下位16ビットにセットされます。上位4ビットは0000にクリアされます。

図3-4 プログラム・カウンタの構成



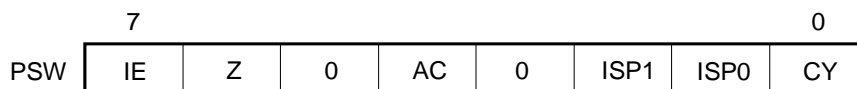
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-5 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このときマスカブル割り込み要求の受け付けは、インサース・プライオリティ・フラグ（ISP1, ISP0）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ (Z)

演算や比較で結果がゼロまたは等しいときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(d) インサービス・プライオリティ・フラグ (ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR10L, PR10H, PR01L, PR11L) (13.3.3を参照) でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際にベクタ割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

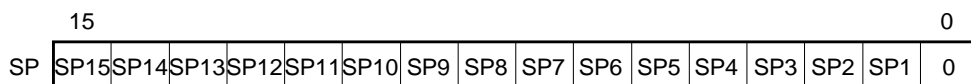
(e) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3-6 スタック・ポインタの構成



スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

- 注意1.** SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
- 2.** 汎用レジスタ (FFEF8H-FFEFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。

3.2.2 汎用レジスタ

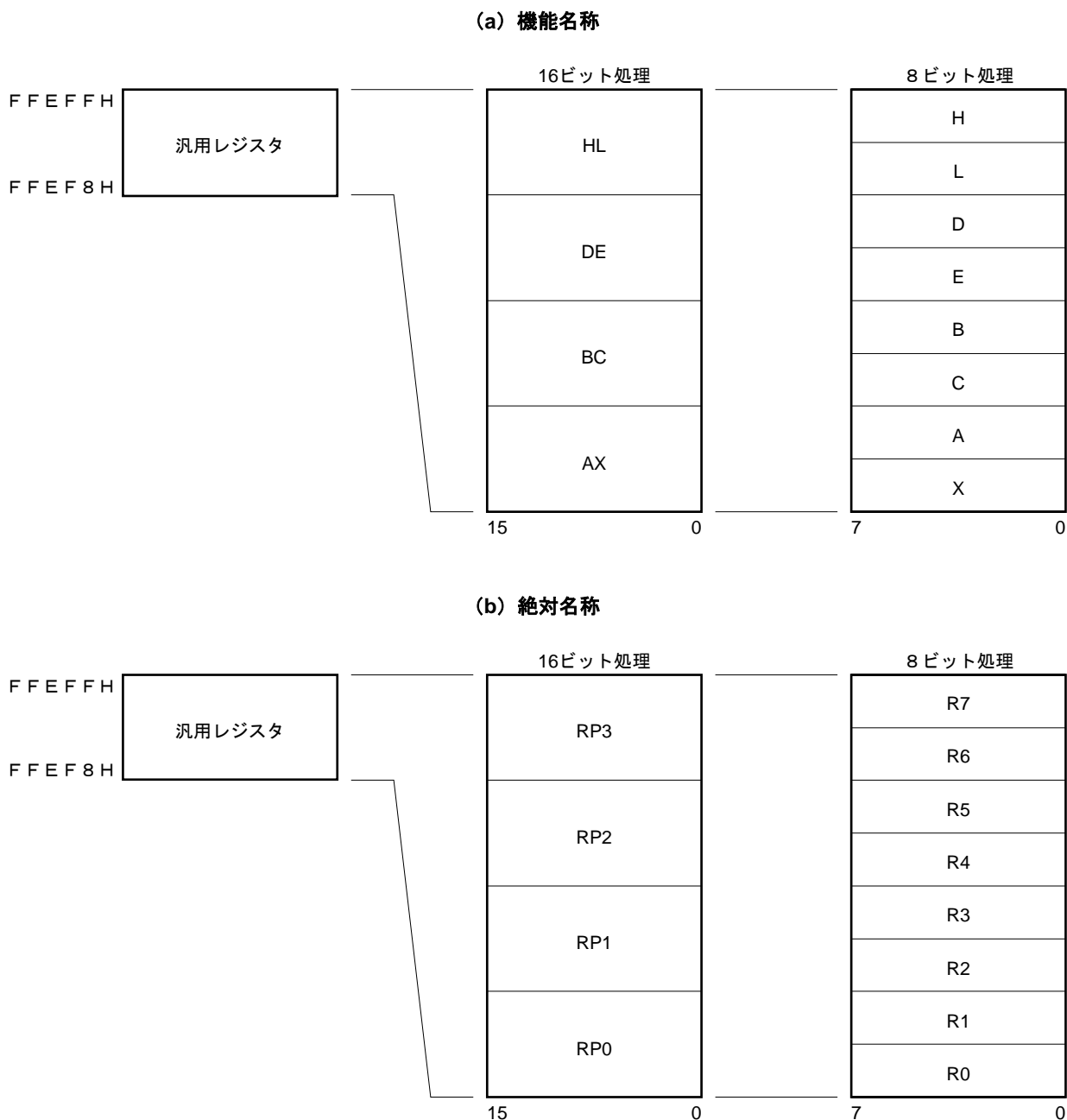
汎用レジスタは、データ・メモリの特定番地（FFEF8H-FFEFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）のバンクレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

注意 汎用レジスタ（FFEF8H-FFEFFH）の空間は、命令フェッチやスタック領域としての使用を禁止します。

図3-7 汎用レジスタの構成

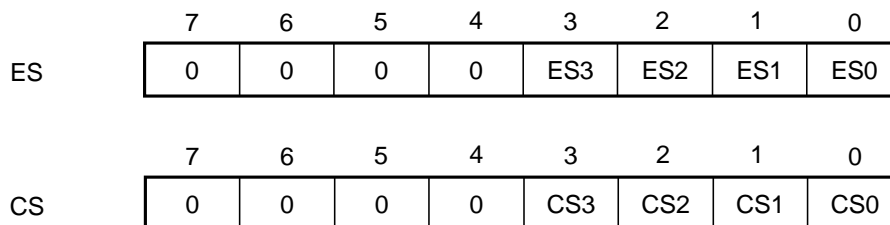


3.2.3 ES, CSレジスタ

ESレジスタでデータ・アクセス、CSレジスタで(レジスタ・ダイレクト・アドレッシング)分岐命令実行時の、それぞれ上位アドレスを指定できます。

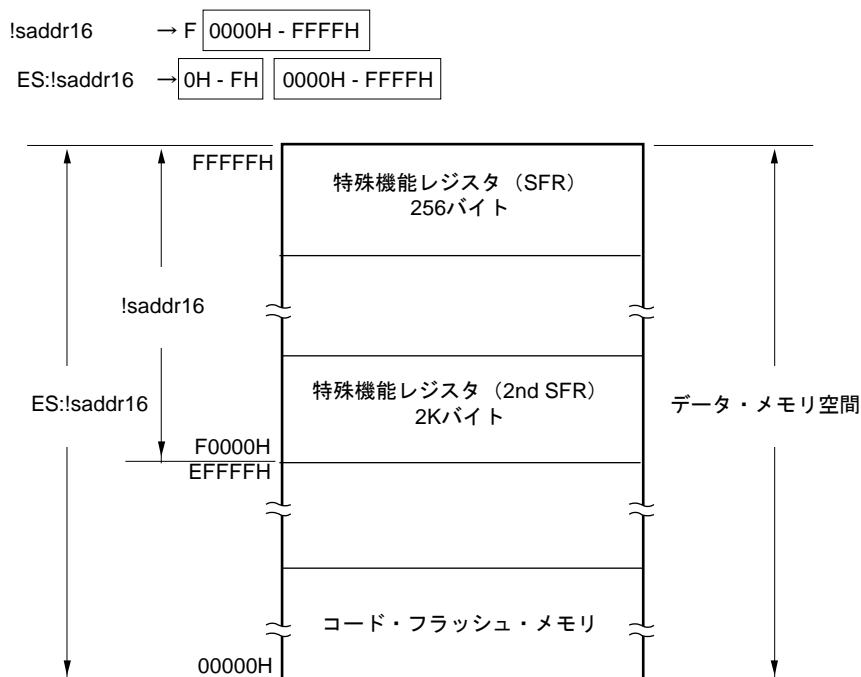
ESレジスタのリセット後の初期値は0FH、CSレジスタのリセット後の初期値は00Hです。

図3-8 ES/CSレジスタの構成



16ビット・アドレスでアクセスできるデータ領域は、F0000H-FFFFFHの64 Kバイト空間ですが、ES:を付加すると00000H-FFFFFHの1 Mバイト空間に拡張できます。

図3-9 データ・アクセス領域の拡張



3.2.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8) は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

表3-4にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し (Read) /書き込み (Write) 可能かどうかを示します。

R/W : 読み出し/書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位 (1, 8) を○で示します。-は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR) については、**3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)** を参照してください。

表3-4 SFR一覧 (1/2)

| アドレス | 特殊機能レジスタ (SFR) 名称 | 略号 | | R/W | 操作可能ビット範囲 | | リセット時 |
|--------|-------------------------|----------------|--------|-----|-----------|------|-------|
| | | | | | 1ビット | 8ビット | |
| FFF00H | ポート・レジスタ0 | P0 | | R/W | ○ | ○ | 00H |
| FFF01H | ポート・レジスタ1 | P1 | | R/W | ○ | ○ | 00H |
| FFF04H | ポート・レジスタ4 | P4 | | R/W | ○ | ○ | 00H |
| FFF0CH | ポート・レジスタ12 | P12 | | R | ○ | ○ | 不定 |
| FFF0DH | ポート・レジスタ13 | P13 | | R | ○ | ○ | 不定 |
| FFF10H | シリアル・データ・レジスタ00L | TXD0/ SIO00 | SDR00L | R/W | — | ○ | 00H |
| FFF11H | シリアル・データ・レジスタ00H | — | SDR00H | R/W | — | ○ | 00H |
| FFF12H | シリアル・データ・レジスタ01L | RXD0 | SDR01L | R/W | — | ○ | 00H |
| FFF13H | シリアル・データ・レジスタ01H | — | SDR01H | R/W | — | ○ | 00H |
| FFF18H | タイマ・データ・レジスタ00L | TDR00L | | R/W | — | ○ | 00H |
| FFF19H | タイマ・データ・レジスタ00H | TDR00H | | R/W | — | ○ | 00H |
| FFF1AH | タイマ・データ・レジスタ01L | TDR01L | | R/W | — | ○ | 00H |
| FFF1BH | タイマ・データ・レジスタ01H | TDR01H | | R/W | — | ○ | 00H |
| FFF1EH | A/D変換結果下位ビットレジスタ | ADCRL | | R | — | ○ | 00H |
| FFF1FH | A/D変換結果上位ビットレジスタ | ADCRH | | R | — | ○ | 00H |
| FFF20H | ポート・モード・レジスタ0 | PM0 | | R/W | ○ | ○ | FFH |
| FFF21H | ポート・モード・レジスタ1 | PM1 | | R/W | ○ | ○ | FFH |
| FFF24H | ポート・モード・レジスタ4 | PM4 | | R/W | ○ | ○ | FFH |
| FFF30H | A/Dコンバータ・モード・レジスタ0 | ADM0 | | R/W | ○ | ○ | 00H |
| FFF31H | アナログ入力チャネル指定レジスタ | ADS | | R/W | ○ | ○ | 00H |
| FFF34H | キー割り込み制御レジスタ | KRCTL | | R/W | ○ | ○ | 00H |
| FFF35H | キー割り込みフラグ・レジスタ | KRF | | R/W | — | ○ | 00H |
| FFF37H | キー割り込みモード・レジスタ0 | KRM0 | | R/W | ○ | ○ | 00H |
| FFF38H | 外部割り込み立ち上がりエッジ許可レジスタ0 | EGP0 | | R/W | ○ | ○ | 00H |
| FFF39H | 外部割り込み立ち下がりエッジ許可レジスタ0 | EGN0 | | R/W | ○ | ○ | 00H |
| FFF64H | タイマ・データ・レジスタ02L | TDR02L | | R/W | — | ○ | 00H |
| FFF65H | タイマ・データ・レジスタ02H | TDR02H | | R/W | — | ○ | 00H |
| FFF66H | タイマ・データ・レジスタ03L | TDR03L | | R/W | — | ○ | 00H |
| FFF67H | タイマ・データ・レジスタ03H | TDR03H | | R/W | — | ○ | 00H |
| FFF90H | インターバル・タイマ・コントロール・レジスタL | ITMCL | | R/W | — | ○ | FFH |
| FFF91H | インターバル・タイマ・コントロール・レジスタH | ITMCH | | R/W | — | ○ | 0FH |

表3-4 SFR一覧 (2/2)

| アドレス | 特殊機能レジスタ (SFR) 名称 | 略号 | R/W | 操作可能ビット範囲 | | リセット時 |
|--------|------------------------|-------|-----|-----------|------|-----------------------|
| | | | | 1ビット | 8ビット | |
| FFFA5H | クロック出力選択レジスタ0 | CKS0 | R/W | ○ | ○ | 00H |
| FFFA8H | リセット・コントロール・フラグ・レジスタ | RESF | R | — | ○ | 不定 ^{※1} |
| FFFABH | ウォッチドッグ・タイマ・イネーブル・レジスタ | WDTE | R/W | — | ○ | 1AH/9AH ^{※2} |
| FFFE0H | 割り込み要求フラグ・レジスタ0L | IF0L | R/W | ○ | ○ | 00H |
| FFFE1H | 割り込み要求フラグ・レジスタ0H | IF0H | R/W | ○ | ○ | 00H |
| FFFE2H | 割り込み要求フラグ・レジスタ1L | IF1L | R/W | ○ | ○ | 00H |
| FFFE4H | 割り込みマスク・フラグ・レジスタ0L | MK0L | R/W | ○ | ○ | FFH |
| FFFE5H | 割り込みマスク・フラグ・レジスタ0H | MK0H | R/W | ○ | ○ | FFH |
| FFFE6H | 割り込みマスク・フラグ・レジスタ1L | MK1L | R/W | ○ | ○ | FFH |
| FFFE8H | 優先順位指定フラグ・レジスタ00L | PR00L | R/W | ○ | ○ | FFH |
| FFFE9H | 優先順位指定フラグ・レジスタ00H | PR00H | R/W | ○ | ○ | FFH |
| FFFEAH | 優先順位指定フラグ・レジスタ01L | PR01L | R/W | ○ | ○ | FFH |
| FFFECH | 優先順位指定フラグ・レジスタ10L | PR10L | R/W | ○ | ○ | FFH |
| FFFEDH | 優先順位指定フラグ・レジスタ10H | PR10H | R/W | ○ | ○ | FFH |
| FFFEEH | 優先順位指定フラグ・レジスタ11L | PR11L | R/W | ○ | ○ | FFH |
| FFFFEH | プロセッサ・モード・コントロールレジスタ | PMC | R/W | ○ | ○ | 00H |

注1. リセット要因により、次のように異なります。

| リセット要因 レジスタ | | RESET入力 | 不正命令の 実行による リセット | WDTによる リセット | SPORによる リセット | データ保持下 限電圧による リセット |
|----------------|-------|---------|------------------------|----------------|-----------------|--------------------------|
| RESF | TRAP | クリア (0) | セット (1) | 保持 | 保持 | クリア (0) |
| | WDTRF | | 保持 | セット (1) | 保持 | |
| | SPORF | | 保持 | 保持 | セット (1) | |

2. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

備考 拡張SFR (2nd SFR) については、表3-5 拡張SFR (2nd SFR) 一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域 (FFF00H-FFFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8) は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- ・1ビット操作

1ビット操作命令のオペランド (!addr16.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・8ビット操作

8ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

表3-5に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- ・略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- ・R/W

該当する拡張SFRが読み出し (Read) /書き込み (Write) 可能かどうかを示します。

R/W : 読み出し/書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・操作可能ビット単位

操作可能なビット単位 (1, 8) を○で示します。-は操作できないビット単位であることを示します。

- ・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 特殊機能レジスタ (SFR : Special Function Register) を参照してください。

表3-5 拡張SFR (2nd SFR) 一覧 (1/2)

| アドレス | 特殊機能レジスタ (SFR) 名称 | 略号 | R/W | 操作可能ビット範囲 | | リセット時 |
|--------|-------------------------|---------|-----|-----------|------|-------|
| | | | | 1ビット | 8ビット | |
| F0010H | A/Dコンバータ・モード・レジスタ2 | ADM2 | R/W | ○ | ○ | 00H |
| F0030H | プルアップ抵抗オプション・レジスタ0 | PU0 | R/W | ○ | ○ | 00H |
| F0031H | プルアップ抵抗オプション・レジスタ1 | PU1 | R/W | ○ | ○ | 00H |
| F0034H | プルアップ抵抗オプション・レジスタ4 | PU4 | R/W | ○ | ○ | 01H |
| F003CH | プルアップ抵抗オプション・レジスタ12 | PU12 | R/W | ○ | ○ | 20H |
| F0050H | ポート出力モード・レジスタ0 | POM0 | R/W | ○ | ○ | 00H |
| F0051H | ポート出力モード・レジスタ1 | POM1 | R/W | ○ | ○ | 00H |
| F0060H | ポート・モード・コントロール・レジスタ0 | PMC0 | R/W | ○ | ○ | FFH |
| F0061H | ポート・モード・コントロール・レジスタ1 | PMC1 | R/W | ○ | ○ | FFH |
| F0070H | ノイズ・フィルタ許可レジスタ0 | NFEN0 | R/W | ○ | ○ | 00H |
| F0071H | ノイズ・フィルタ許可レジスタ1 | NFEN1 | R/W | ○ | ○ | 00H |
| F0072H | タイマ入出力制御レジスタ | TIOSC | R/W | ○ | ○ | 00H |
| F0073H | 入力切り替え制御レジスタ | ISC | R/W | ○ | ○ | 00H |
| F0074H | プルダウン抵抗オプション・レジスタ0 | PD0 | R/W | ○ | ○ | 00H |
| F0075H | プルダウン抵抗オプション・レジスタ1 | PD1 | R/W | ○ | ○ | 00H |
| F0077H | 周辺I/Oリダイレクション・レジスタ | PIOR | R/W | — | ○ | 00H |
| F00A8H | 高速オンチップ・オシレータ周波数選択レジスタ | HOCODIV | R/W | — | ○ | 不定 |
| F00F0H | 周辺イネーブル・レジスタ0 | PER0 | R/W | ○ | ○ | 00H |
| F00F3H | 動作スピード・モード制御レジスタ | OSMC | R/W | — | ○ | 00H |
| F00FEH | BCD補正結果レジスタ | BCDADJ | R | — | ○ | 不定 |
| F0100H | シリアル・ステータス・レジスタ00 | SSR00 | R | — | ○ | 00H |
| F0102H | シリアル・ステータス・レジスタ01 | SSR01 | R | — | ○ | 00H |
| F0108H | シリアル・フラグ・クリア・トリガ・レジスタ00 | SIR00 | R/W | — | ○ | 00H |
| F010AH | シリアル・フラグ・クリア・トリガ・レジスタ01 | SIR01 | R/W | — | ○ | 00H |
| F0110H | シリアル・モード・レジスタ00L | SMR00L | R/W | — | ○ | 20H |
| F0111H | シリアル・モード・レジスタ00H | SMR00H | R/W | — | ○ | 00H |
| F0112H | シリアル・モード・レジスタ01L | SMR01L | R/W | — | ○ | 20H |
| F0113H | シリアル・モード・レジスタ01H | SMR01H | R/W | — | ○ | 00H |
| F0118H | シリアル通信動作設定レジスタ00L | SCR00L | R/W | — | ○ | 87H |
| F0119H | シリアル通信動作設定レジスタ00H | SCR00H | R/W | — | ○ | 00H |
| F011AH | シリアル通信動作設定レジスタ01L | SCR01L | R/W | — | ○ | 87H |
| F011BH | シリアル通信動作設定レジスタ01H | SCR01H | R/W | — | ○ | 00H |
| F0120H | シリアル・チャンネル許可ステータス・レジスタ0 | SE0 | R | ○ | ○ | 00H |
| F0122H | シリアル・チャンネル開始レジスタ0 | SS0 | R/W | ○ | ○ | 00H |
| F0124H | シリアル・チャンネル停止レジスタ0 | ST0 | R/W | ○ | ○ | 00H |
| F0126H | シリアル・クロック選択レジスタ0 | SPS0 | R/W | — | ○ | 00H |
| F0128H | シリアル出力レジスタ0 | SO0 | R/W | — | ○ | 03H |
| F0129H | シリアル・クロック出力レジスタ0 | CKO0 | R/W | — | ○ | 03H |
| F012AH | シリアル出力許可レジスタ0 | SOE0 | R/W | ○ | ○ | 00H |

表3-5 拡張SFR (2nd SFR) 一覧 (2/2)

| アドレス | 特殊機能レジスタ (SFR) 名称 | 略号 | R/W | 操作可能ビット範囲 | | リセット時 |
|--------|-------------------------------------|----------|-----|-----------|------|-------|
| | | | | 1ビット | 8ビット | |
| F0134H | シリアル出力レベル・レジスタ0 | SOLO | R/W | — | ○ | 00H |
| F0180H | タイマ・カウンタ・レジスタ00L | TCR00L | R | — | ○ | FFH |
| F0181H | タイマ・カウンタ・レジスタ00H | TCR00H | R | — | ○ | FFH |
| F0182H | タイマ・カウンタ・レジスタ01L | TCR01L | R | — | ○ | FFH |
| F0183H | タイマ・カウンタ・レジスタ01H | TCR01H | R | — | ○ | FFH |
| F0184H | タイマ・カウンタ・レジスタ02L | TCR02L | R | — | ○ | FFH |
| F0185H | タイマ・カウンタ・レジスタ02H | TCR02H | R | — | ○ | FFH |
| F0186H | タイマ・カウンタ・レジスタ03L | TCR03L | R | — | ○ | FFH |
| F0187H | タイマ・カウンタ・レジスタ03H | TCR03H | R | — | ○ | FFH |
| F0190H | タイマ・モード・レジスタ00L | TMR00L | R/W | — | ○ | 00H |
| F0191H | タイマ・モード・レジスタ00H | TMR00H | R/W | — | ○ | 00H |
| F0192H | タイマ・モード・レジスタ01L | TMR01L | R/W | — | ○ | 00H |
| F0193H | タイマ・モード・レジスタ01H | TMR01H | R/W | — | ○ | 00H |
| F0194H | タイマ・モード・レジスタ02L | TMR02L | R/W | — | ○ | 00H |
| F0195H | タイマ・モード・レジスタ02H | TMR02H | R/W | — | ○ | 00H |
| F0196H | タイマ・モード・レジスタ03L | TMR03L | R/W | — | ○ | 00H |
| F0197H | タイマ・モード・レジスタ03H | TMR03H | R/W | — | ○ | 00H |
| F01A0H | タイマ・ステータス・レジスタ00 | TSR00 | R | — | ○ | 00H |
| F01A2H | タイマ・ステータス・レジスタ01 | TSR01 | R | — | ○ | 00H |
| F01A4H | タイマ・ステータス・レジスタ02 | TSR02 | R | — | ○ | 00H |
| F01A6H | タイマ・ステータス・レジスタ03 | TSR03 | R | — | ○ | 00H |
| F01B0H | タイマ・チャンネル許可ステータス・レジスタ0 | TE0 | R | ○ | ○ | 00H |
| F01B1H | タイマ・チャンネル許可ステータス・レジスタ0 (8ビットモード) | TEH0 | R | ○ | ○ | 00H |
| F0B2H | タイマ・チャンネル開始レジスタ0 | TS0 | R/W | ○ | ○ | 00H |
| F01B3H | タイマ・チャンネル開始レジスタ0 (8ビットモード) | TSH0 | R/W | ○ | ○ | 00H |
| F01B4H | タイマ・チャンネル停止レジスタ0 | TT0 | R/W | ○ | ○ | 00H |
| F01B5H | タイマ・チャンネル停止レジスタ0 (8ビットモード) | TTH0 | R/W | ○ | ○ | 00H |
| F01B6H | タイマ・クロック選択レジスタ0 | TPS0 | R/W | — | ○ | 00H |
| F01B8H | タイマ出力レジスタ0 | TO0 | R/W | — | ○ | 00H |
| F01BAH | タイマ出力許可レジスタ0 | TOE0 | R/W | ○ | ○ | 00H |
| F01BCH | タイマ出力レベル・レジスタ0 | TOL0 | R/W | — | ○ | 00H |
| F01BEH | タイマ出力モード・レジスタ0 | TOM0 | R/W | — | ○ | 00H |
| F01C0H | RTOソース選択レジスタ | RTOSRC | R/W | ○ | ○ | 00H |
| F01C1H | RTO強制遮断制御レジスタ | RTOSHT | R/W | ○ | ○ | 00H |
| F01C2H | RTO制御レジスタ0 | RTOOUTC0 | R/W | ○ | ○ | 00H |
| F01C3H | RTO制御レジスタ1 | RTOOUTC1 | R/W | ○ | ○ | 00H |
| F01C4H | RTO強制遮断出力選択レジスタ | RTOCIO | R/W | ○ | ○ | 00H |
| F01C5H | RTO強制遮断状態レジスタ | RTOSTR | R/W | ○ | ○ | 00H |

備考 SFR領域のSFRについては、表3-4 SFR一覧を参照してください。

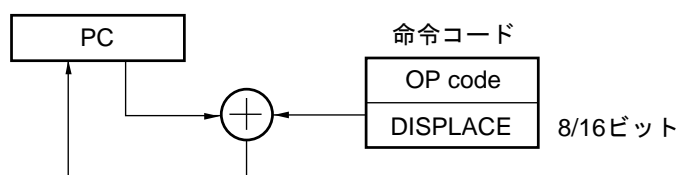
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し、命令語に含まれるディスプレイメント値（符号付きの補数データ：-128～+127または-32768～+32767）を加算した結果を、プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3-10 レラティブ・アドレッシングの概略



3.3.2 イミーディエト・アドレッシング

【機能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3-11 CALL !!addr20/BR !!addr20の例

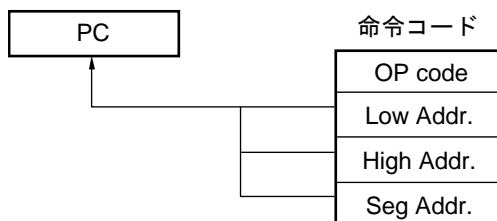
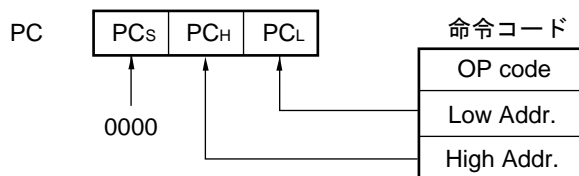


図3-12 CALL !addr16/BR !addr16の例



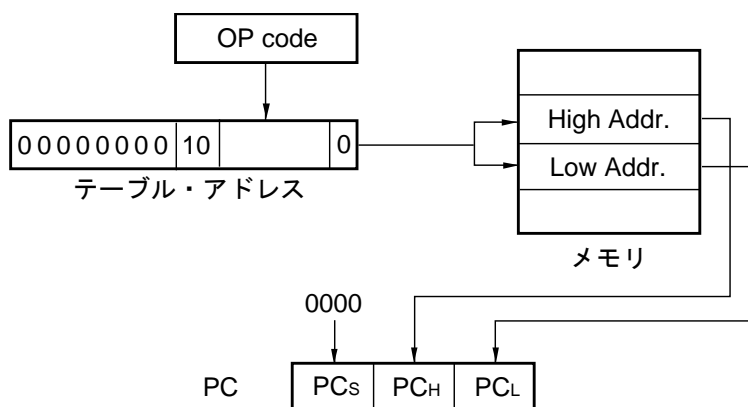
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエイト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3-13 テーブル・インダイレクト・アドレッシングの概略

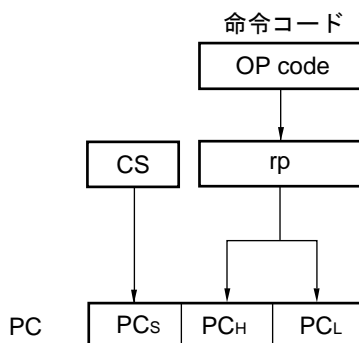


3.3.4 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・インダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3-14 レジスタ・インダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

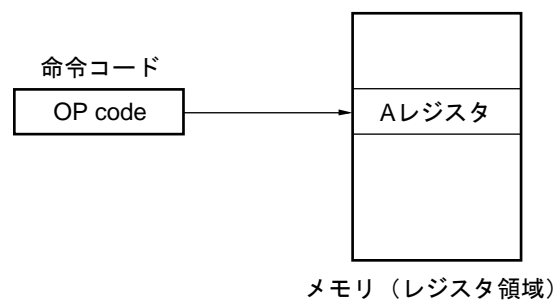
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3-15 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

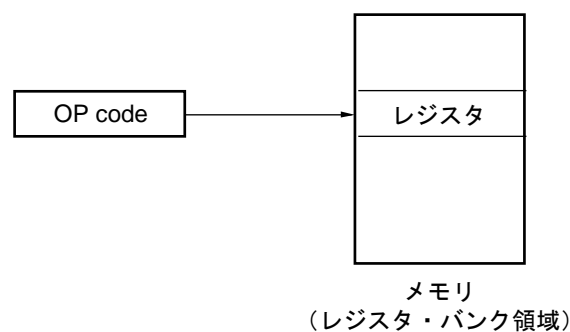
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

| 表現形式 | 記述方法 |
|------|------------------------|
| r | X, A, C, B, E, D, L, H |
| rp | AX, BC, DE, HL |

図3-16 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり、対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

| 表現形式 | 記述方法 |
|------------|---|
| !addr16 | ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFH空間のみ指定可能：上位4ビットのFは自動付加) |
| ES:!addr16 | ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定) |

図3-17 !addr16の例

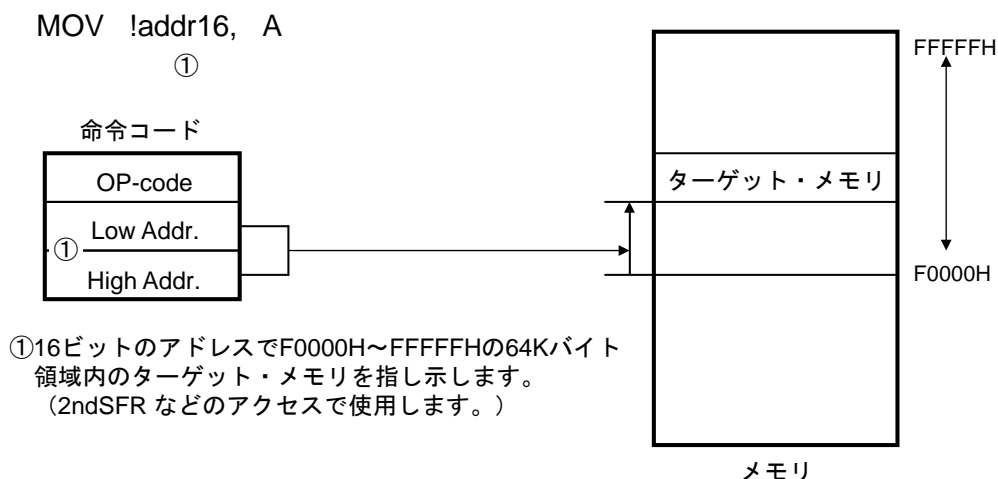
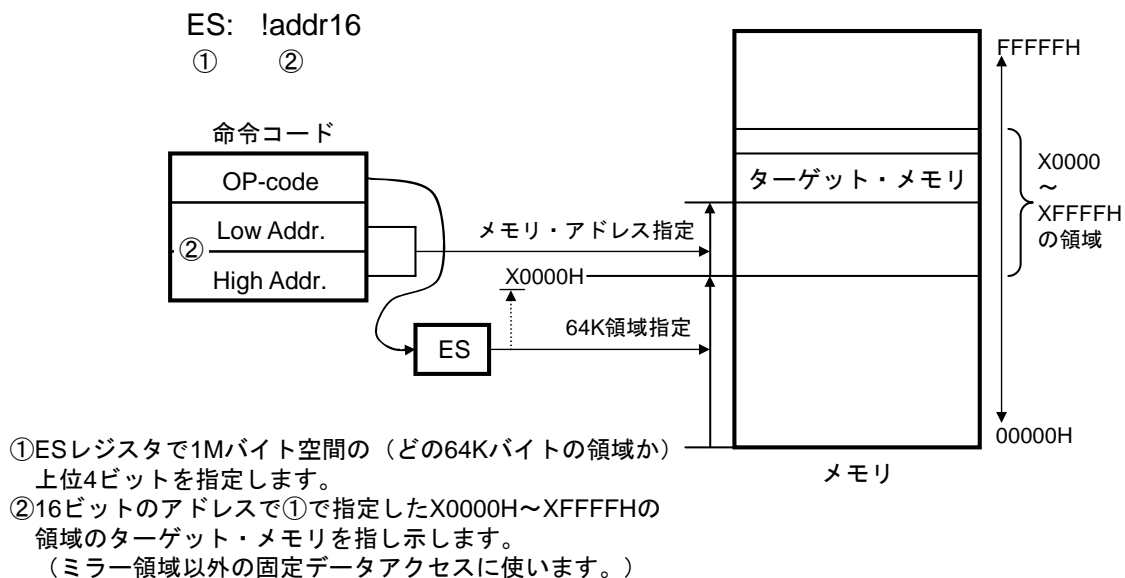


図3-18 ES:!addr16の例



3.4.4 ショート・ダイレクト・アドレッシング

【機能】

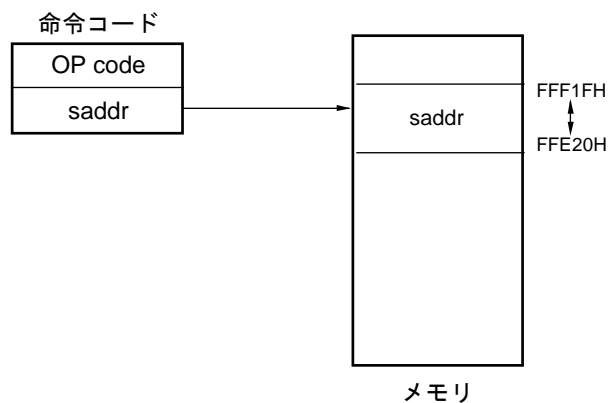
命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

ただし、FFEE0H-FFEF7Hの領域は使用禁止になります。RAM128B製品では、FFE20H-FFE5FHの領域も使用禁止です。

【オペランド形式】

| 表現形式 | 記述方法 |
|--------|--|
| SADDR | ラベルまたはFFE20H-FFF1FHのイミューディエト・データ |
| SADDRP | ラベルまたはFFE20H-FFF1FHのイミューディエト・データ（偶数アドレスのみ） |

図3-19 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、（実アドレスの上位4ビット・アドレスを省略した）16ビットのイミューディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミューディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

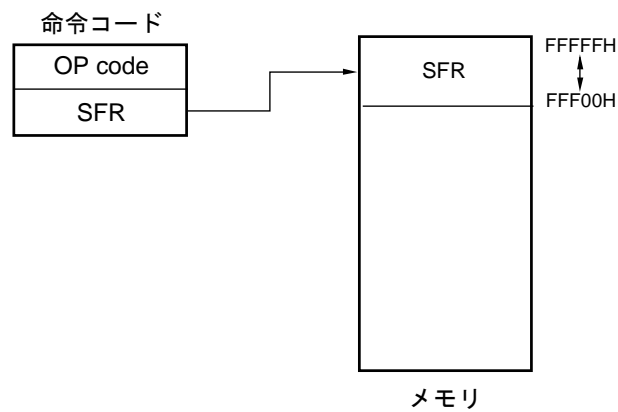
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

| 表現形式 | 記述方法 |
|------|------------------------------|
| SFR | SFRレジスタ名 |
| SFRP | 16ビット操作可能なSFRレジスタ名（偶数アドレスのみ） |

図3-20 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

| 表現形式 | 記述方法 |
|------|---|
| — | [DE], [HL] (F0000H-FFFFFH空間のみ指定可能) |
| — | ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定) |

図3-21 [DE], [HL]の例

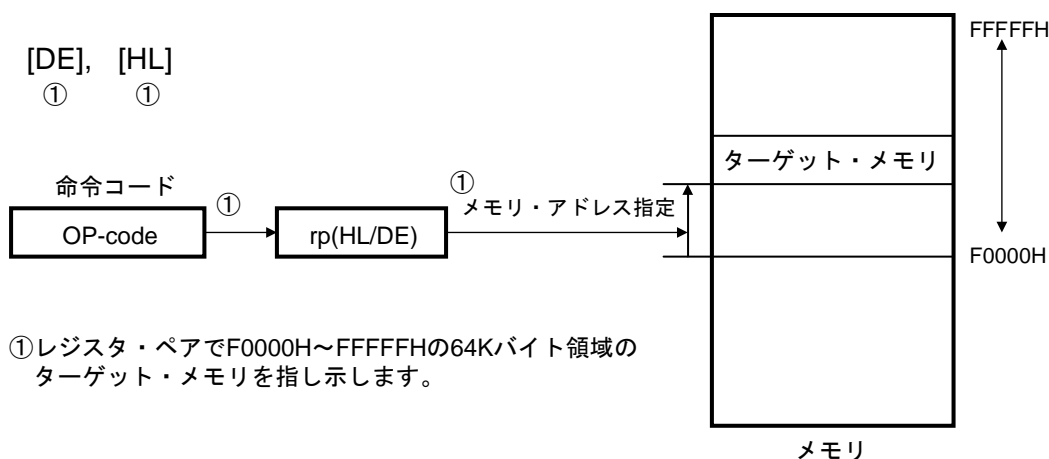
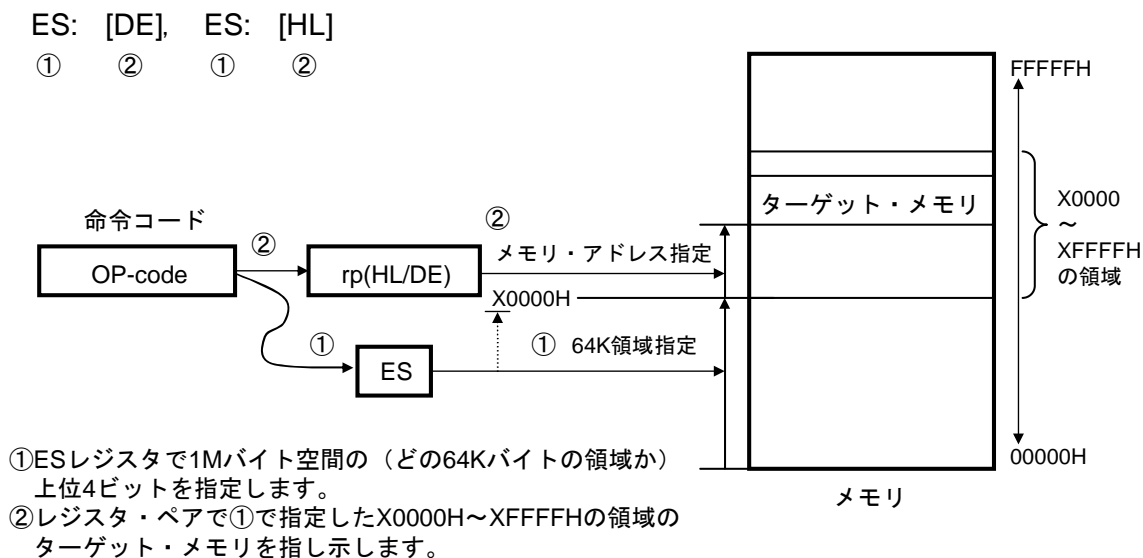


図3-22 ES:[DE], ES:[HL]の例



3.4.7 ベースト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミディエト・データをベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

| 表現形式 | 記述方法 |
|------|--|
| — | [HL+byte], [DE+byte], [SP+byte] (F0000H-FFFFFH空間のみ指定可能) |
| — | word[B], word[C] (F0000H-FFFFFH空間のみ指定可能) |
| — | word[BC] (F0000H-FFFFFH空間のみ指定可能) |
| — | ES:[HL+byte], ES:[DE+byte] (ESレジスタにて上位4ビット・アドレス指定) |
| — | ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定) |
| — | ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定) |

図3-23 [SP+byte]の例

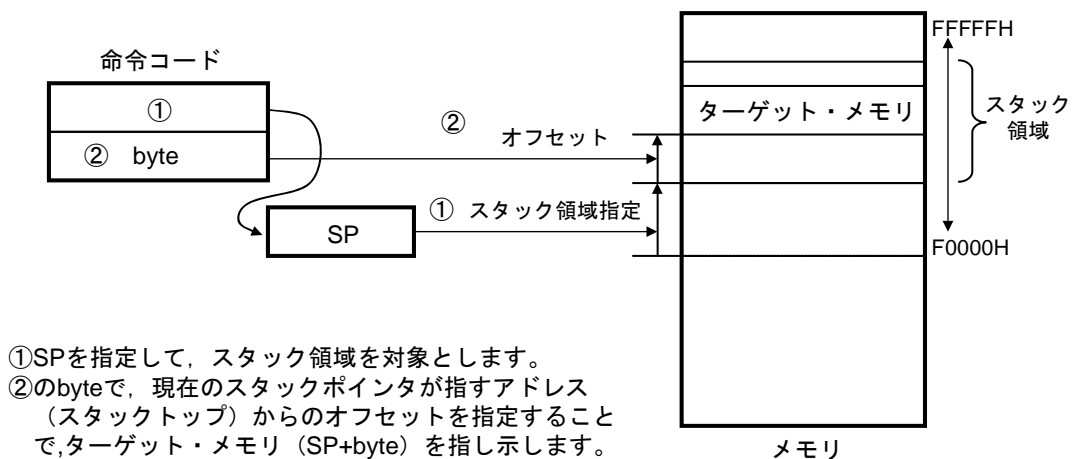


図3-24 [HL+byte], [DE+byte]の例

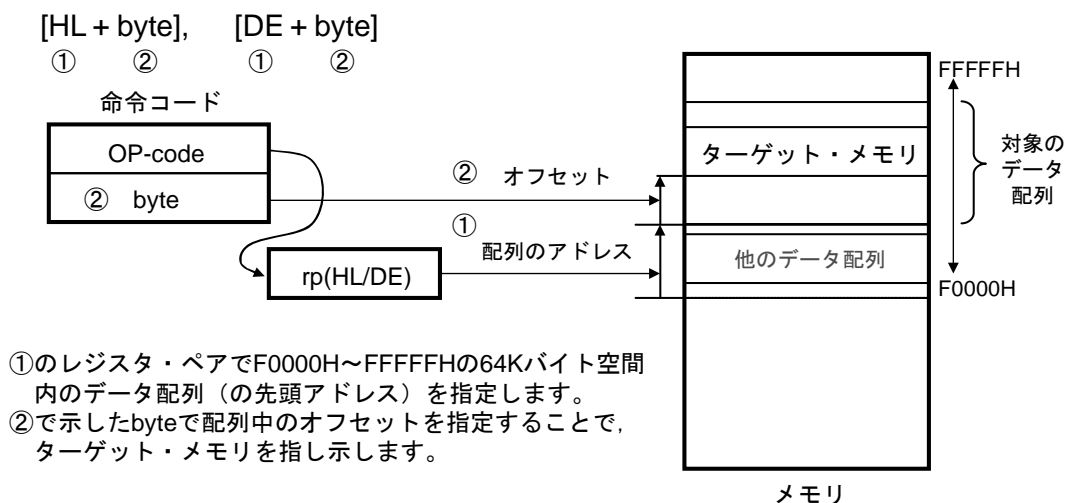


図3-25 word[B], word[C]の例

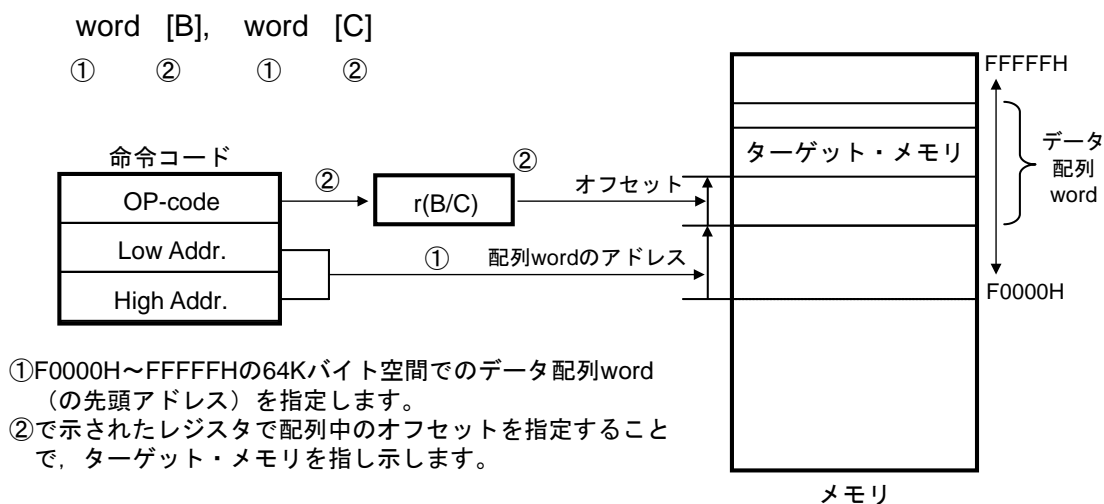


図3-26 word[BC]の例

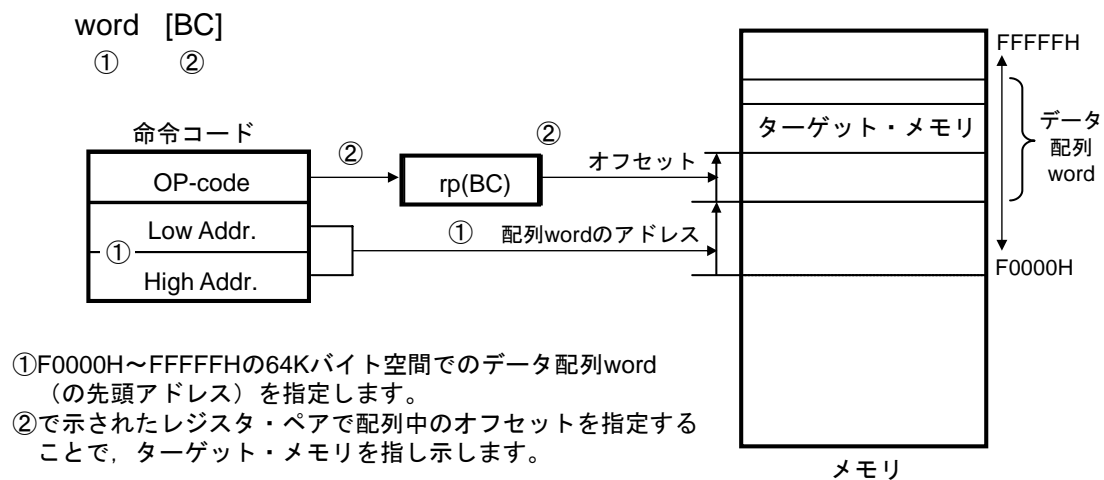


図3-27 ES:[HL+byte], ES:[DE+byte]の例

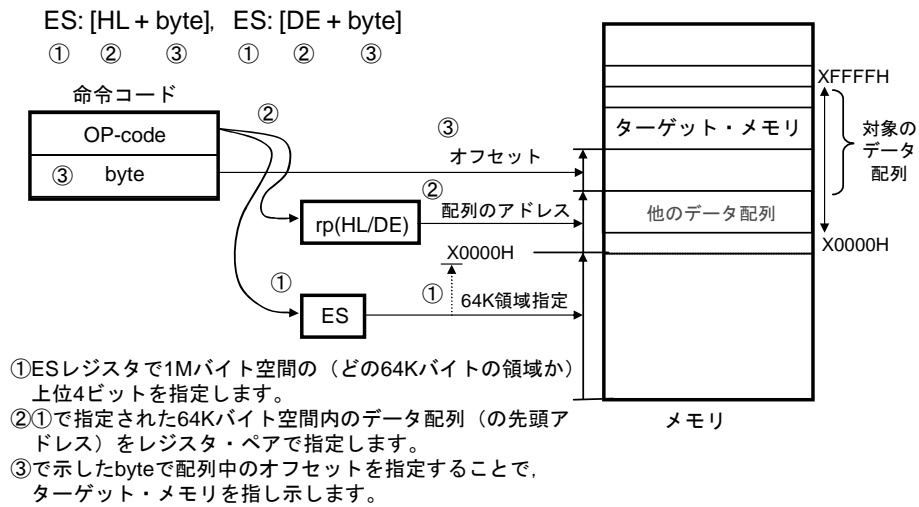


図3-28 ES:word[B], ES:word[C]の例

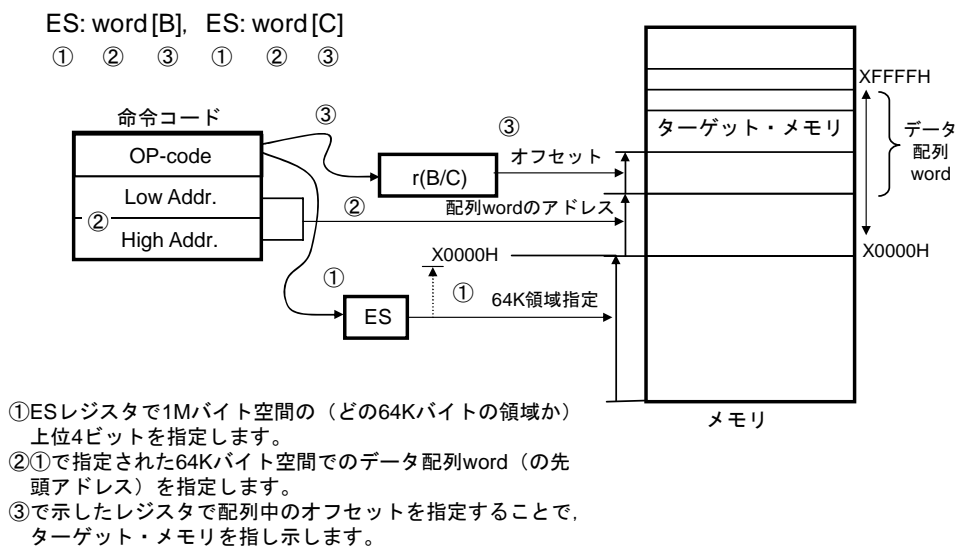
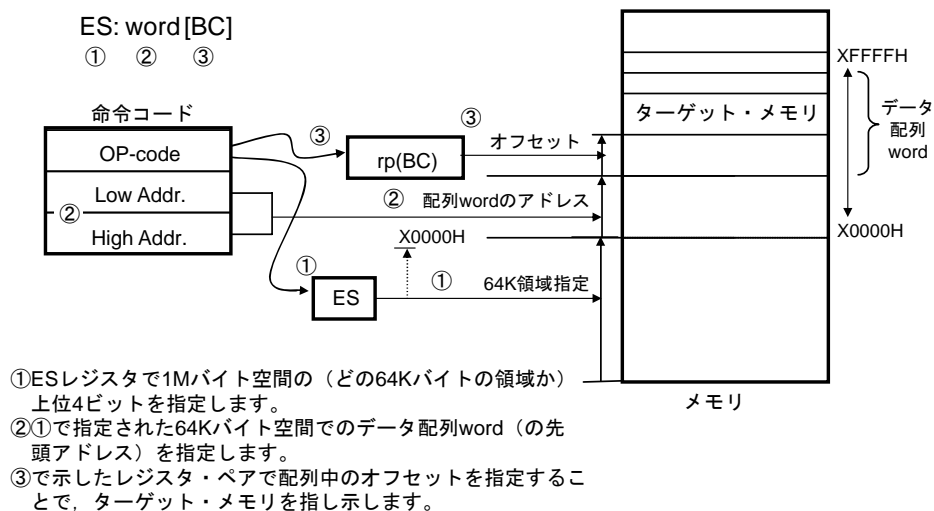


図3-29 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

| 表現形式 | 記述方法 |
|------|---|
| — | [HL+B], [HL+C] (F0000H~FFFFFH空間のみ指定可能) |
| — | ES:[HL+B], ES:[HL+C] (ESレジスタにて上位4ビット・アドレス指定) |

図3-30 [HL+B], [HL+C]の例

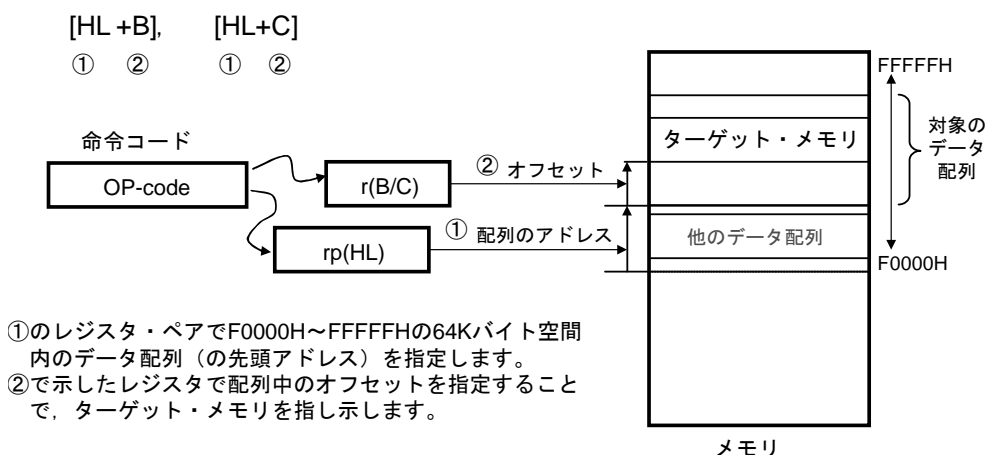
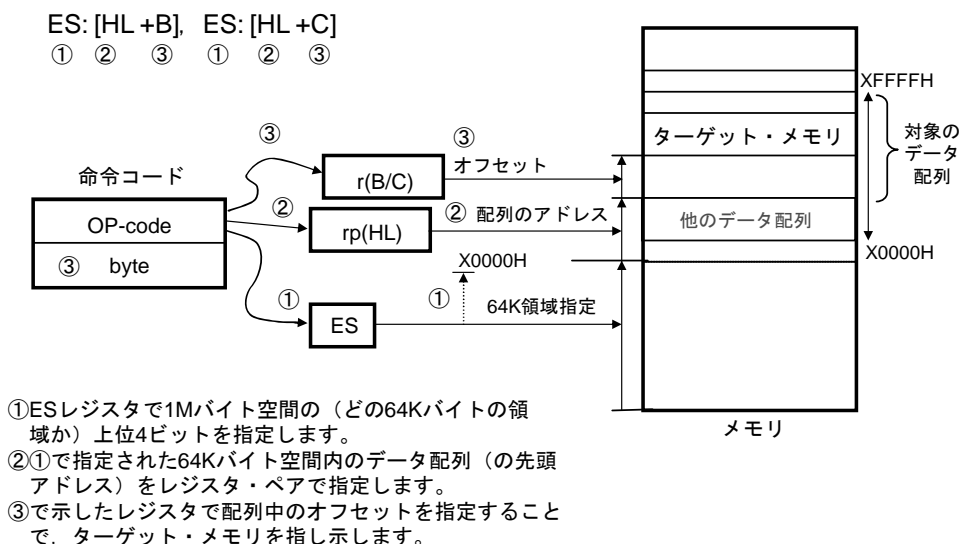


図3-31 ES:[HL+B], ES:[HL+C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック領域は内部RAM上にだけ設定できます。

【オペランド形式】

| 表現形式 | 記述方法 |
|------|---|
| — | PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI |

各スタック動作によって退避/復帰されるデータは図3-32～図3-37のようになります。

図3-32 PUSH rpの例

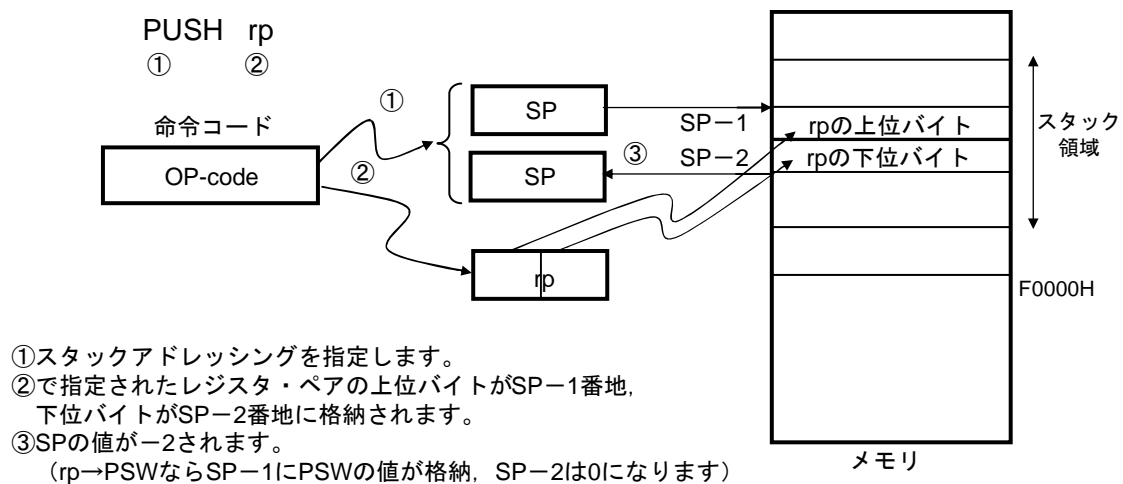


図3-33 POPの例

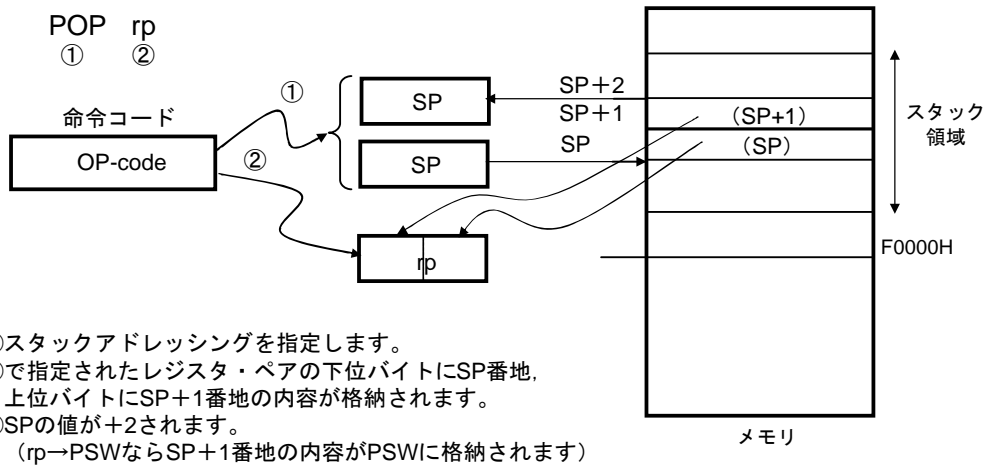


図3-34 CALL, CALLTの例

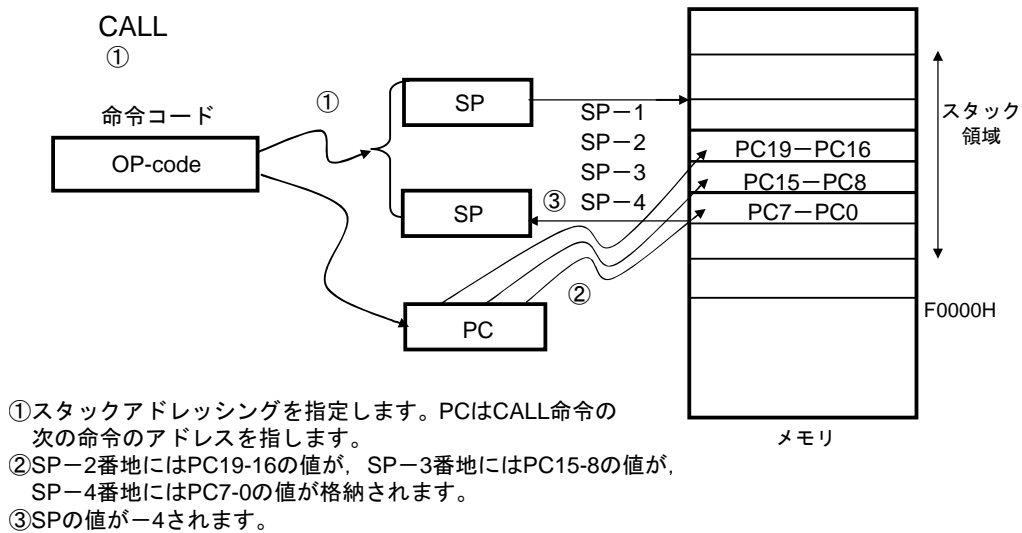


図3-35 RETの例

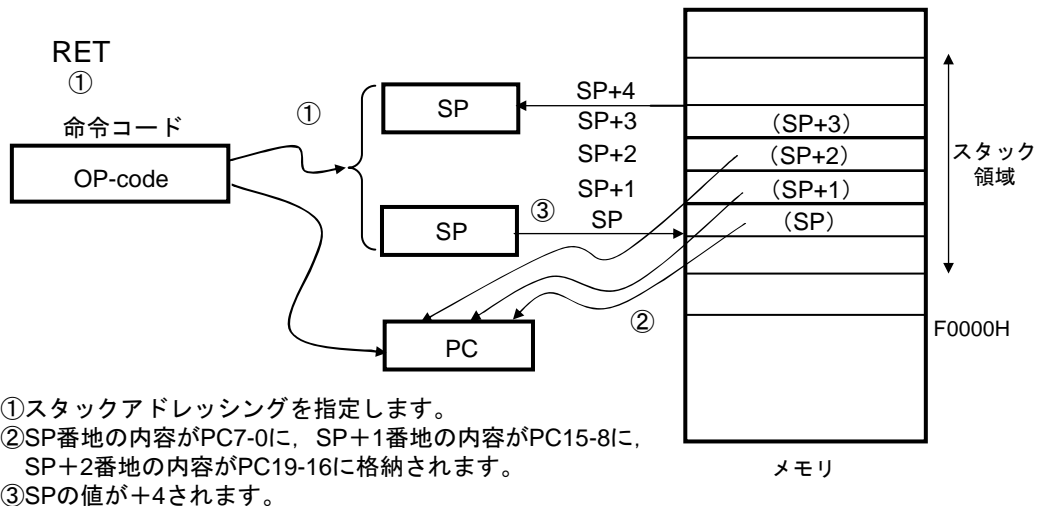
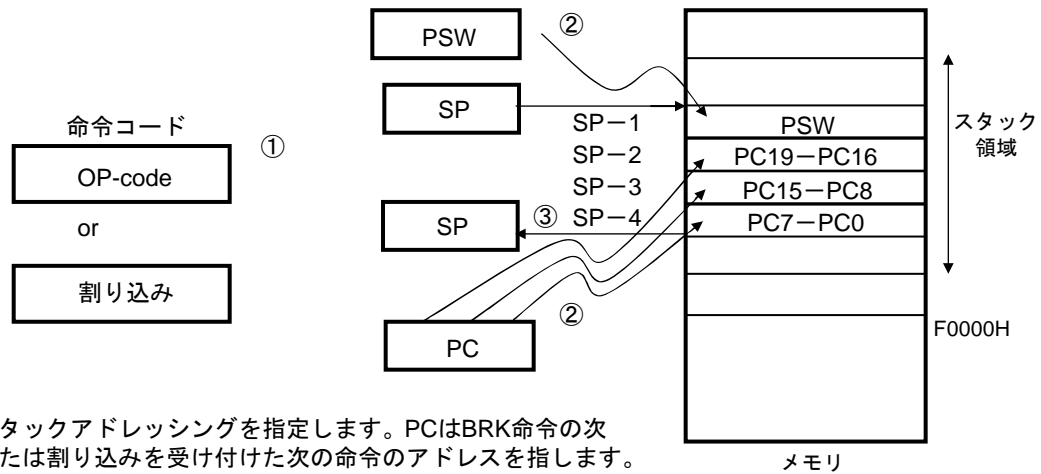
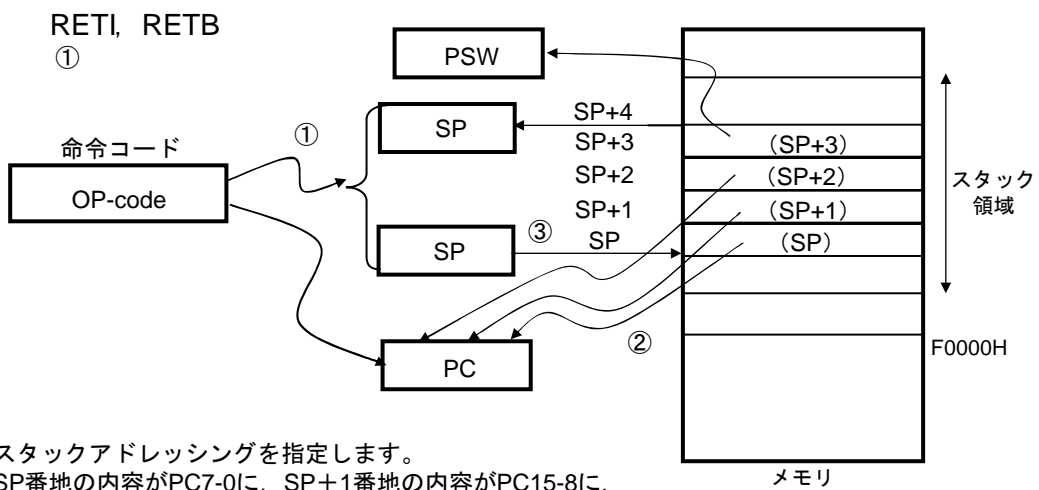


図3-36 割り込み, BRKの例



- ①スタックアドレッシングを指定します。PCはBRK命令の次または割り込みを受け付けた次の命令のアドレスを指します。
- ②SP-1番地にはPSWの値が、SP-2番地にはPC19-16の値が、SP-3番地にはPC15-8の値が、SP-4番地にはPC7-0の値が格納されます。
- ③SPの値が-4されます。

図3-37 RETI, RETBの例



- ①スタックアドレッシングを指定します。
- ②SP番地の内容がPC7-0に、SP+1番地の内容がPC15-8に、SP+2番地の内容がPC19-16に、SP+3番地の内容がPSW格納されます。
- ③SPの値が+4されます。

第4章 ポート機能

4.1 ポートの機能

RL78マイクロコントローラは、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章 端子機能**を参照してください。

4.2 ポートの構成

4.2.1 RL78/G1M製品のポート構成

ポートは、次のハードウェアで構成しています。

表4-1 ポートの構成 (RL78/G1M)

| 項目 | 構成 |
|-----------|--|
| 制御レジスタ | ポート・モード・レジスタ0, 1, 4 (PM0, PM1, PM4) ポート・レジスタ0, 1, 4, 12, 13 (P0, P1, P4, P12, P13) ブルアップ抵抗オプション・レジスタ0, 1, 4, 12 (PU0, PU1, PU4, PU12) ポート出力モード・レジスタ0, 1 (POM0, POM1) ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1) 周辺I/Oリダイレクション・レジスタ (PIOR) |
| ポート | 合計：18本 (CMOS入出力：16本 (N-ch O.D.出力 (V _{DD} 耐圧)：2本), CMOS入力：2本) |
| 内蔵ブルアップ抵抗 | 合計：17本 |
| 内蔵ブルダウン抵抗 | 合計：0本 |

(1) ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード／出力モードの指定ができます。P00-P07端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P06端子の出力は、ポート出力モード・レジスタ0 (POM0) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能としてリアルタイム出力、アナログ入力、キー・リターン入力、外部割り込み要求入力があります。

リセット信号の発生により、P00-P06は入力モードに、P07はアナログ入力モードになります。

(2) ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード／出力モードの指定ができます。P10-P16端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10端子の出力は、ポート出力モード・レジスタ1 (POM1) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力とクロック入出力、アナログ入力、キー・リターン入力、クロック/ブザー出力、タイマの入出力、外部割り込み要求入力があります。

リセット信号の発生により、P10-P16はアナログ入力モードになります。

(3) ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード／出力モードの指定ができます。P40を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてフラッシュ・メモリ・プログラマ／デバッグ用のデータ入出力があります。

(4) ポート12

入力専用ポートです。P125端子はプルアップ抵抗オプション・レジスタ12 (PU12) により、内蔵プルアップ抵抗を使用できます ($\overline{\text{RESET}}$ 入力 (PORTSELB = 1) 設定時は、内蔵プルアップ抵抗が常時有効になります)。

また兼用機能としてキー・リターン入力、リセット入力があります。

注意 電源投入後、P125は $\overline{\text{RESET}}$ 入力として機能します。オプション・バイト (000C1H) のPORTSELBビットにより、このポートをP125/KR1または、 $\overline{\text{RESET}}$ に定義します。P125/KR1に設定する場合、セレクトابل・パワーオン・リセット (SPOR) 回路によるリセット期間中およびSPOR回路によるリセット解除から通常動作を開始するまでの期間は、この端子にロウ・レベルを入力しないでください。この期間にロウ・レベルを入力し続けると、外部リセット状態が継続します。なお、この端子の内蔵プルアップ抵抗は、電源投入後から有効になります。

(5) ポート13

入力専用ポートです。また兼用機能としてタイマ入力、外部割り込み要求入力があります。

4.2.2 RL78/G1N製品のポート構成

ポートは、次のハードウェアで構成しています。

表4-2 ポートの構成 (RL78/G1N)

| 項目 | 構成 |
|-----------|--|
| 制御レジスタ | ポート・モード・レジスタ0, 1, 4 (PM0, PM1, PM4) ポート・レジスタ0, 1, 4, 12, 13 (P0, P1, P4, P12, P13) プルアップ抵抗オプション・レジスタ0, 1, 4, 12 (PU0, PU1, PU4, PU12) プルダウン抵抗オプション・レジスタ0, 1 (PD0, PD1) ポート出力モード・レジスタ0, 1 (POM0, POM1) ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1) 周辺I/Oリダイレクション・レジスタ (PIOR) |
| ポート | 18本 (CMOS入出力 : 16本 (N-ch O.D.出力 (V _{DD} 耐圧) : 8本, P-ch O.D.出力 (V _{DD} 耐圧) : 6本) , CMOS入力 : 2本) |
| 内蔵プルアップ抵抗 | 17本 |
| 内蔵プルダウン抵抗 | 8本 |

(1) ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード/出力モードの指定ができます。P00-P07端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P06, P07端子を入力ポートとして使用する場合は、プルダウン抵抗オプション・レジスタ0 (PD0) により1ビット単位で内蔵プルダウン抵抗を使用できます。

P00-P05端子の出力は、ポート出力モード・レジスタ0 (POM0) により1ビット単位でP-chオープン・ドレイン出力 (V_{DD}耐圧) に設定可能です。

P06, P07端子の出力は、ポート出力モード・レジスタ0 (POM0) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD}耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力とクロック入出力、アナログ入力、キー・リターン入力、外部割り込み要求入力があります。

リセット信号の発生により、P00-P06は入力モードに、P07はアナログ入力モードになります。

(2) ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード/出力モードの指定ができます。P10-P16端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。P10-P15端子を入力ポートとして使用する場合は、プルダウン抵抗オプション・レジスタ1 (PD1) により1ビット単位で内蔵プルダウン抵抗を使用できます。

P10-P15端子の出力は、ポート出力モード・レジスタ1 (POM1) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD}耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ出力とクロック入出力、アナログ入力、キー・リターン入力、クロック/ブザー出力、タイマの入出力、外部割り込み要求入力があります。

リセット信号の発生により、P10-P16はアナログ入力モードになります。

(3) ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード／出力モードの指定ができます。P40を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてフラッシュ・メモリ・プログラマ／デバッグ用のデータ入出力があります。

(4) ポート12

入力専用ポートです。P125端子はプルアップ抵抗オプション・レジスタ12 (PU12) により、内蔵プルアップ抵抗を使用できます ($\overline{\text{RESET}}$ 入力 (PORTSELB = 1) 設定時は、内蔵プルアップ抵抗が常時有効になります)。

また兼用機能としてキー・リターン入力、リセット入力があります。

注意 電源投入後、P125は $\overline{\text{RESET}}$ 入力として機能します。オプション・バイト (000C1H) のPORTSELBビットにより、このポートをP125/KR1または、 $\overline{\text{RESET}}$ に定義します。P125/KR1に設定する場合、セレクトブル・パワーオン・リセット (SPOR) 回路によるリセット期間中およびSPOR回路によるリセット解除から通常動作を開始するまでの期間は、この端子にロウ・レベルを入力しないでください。この期間にロウ・レベルを入力し続けると、外部リセット状態が継続します。なお、この端子の内蔵プルアップ抵抗は、電源投入後から有効になります。

(5) ポート13

入力専用ポートです。また兼用機能としてタイマ入力、外部割り込み要求入力があります。

4.3 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

- ・ポート・モード・レジスタ0, 1, 4 (PM0, PM1, PM4)
- ・ポート・レジスタ0, 1, 4, 12, 13 (P0, P1, P4, P12, P13)
- ・プルアップ抵抗オプション・レジスタ0, 1, 4, 12 (PU0, PU1, PU4, PU12)
- ・プルダウン抵抗オプション・レジスタ0, 1 (PUD, PD1) 注
- ・ポート出力モード・レジスタ0, 1 (POM0, POM1)
- ・ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1)
- ・周辺I/Oリダイレクション・レジスタ (PIOR)

注 RL78/G1Nのみ

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表4-3を参照してください。また、搭載していないビットには必ず初期値を設定してください。

表4-3 Pm, PMn, PUy, PDz, POMz, PMCzレジスタとそのビット

| ポート | | ビット名 | | | | | |
|--------|---|--------|---------|---------|----------|----------|----------|
| | | Pmレジスタ | PMnレジスタ | PUyレジスタ | PDzレジスタ注 | POMzレジスタ | PMCzレジスタ |
| PORT0 | 0 | P00 | PM00 | PU00 | — | POM00注 | — |
| | 1 | P01 | PM01 | PU01 | — | POM01注 | — |
| | 2 | P02 | PM02 | PU02 | — | POM02注 | — |
| | 3 | P03 | PM03 | PU03 | — | POM03注 | — |
| | 4 | P04 | PM04 | PU04 | — | POM04注 | — |
| | 5 | P05 | PM05 | PU05 | — | POM05注 | — |
| | 6 | P06 | PM06 | PU06 | PD06注 | POM06 | — |
| | 7 | P07 | PM07 | PU07 | PD07注 | POM07注 | PMC07 |
| PORT1 | 0 | P10 | PM10 | PU10 | PD10注 | POM10 | PMC10 |
| | 1 | P11 | PM11 | PU11 | PD11注 | POM11注 | PMC11 |
| | 2 | P12 | PM12 | PU12 | PD12注 | POM12注 | PMC12 |
| | 3 | P13 | PM13 | PU13 | PD13注 | POM13注 | PMC13 |
| | 4 | P14 | PM14 | PU14 | PD14注 | POM14注 | PMC14 |
| | 5 | P15 | PM15 | PU15 | PD15注 | POM15注 | PMC15 |
| | 6 | P16 | PM16 | PU16 | — | — | PMC16 |
| PORT4 | 0 | P40 | PM40 | PU40 | — | — | — |
| PORT12 | 5 | P125 | — | PU125 | — | — | — |
| PORT13 | 7 | P137 | — | — | — | — | — |

注 RL78/G1Nのみ

備考 m = 0, 1, 4, 12, 13
 n = 0, 1, 4
 y = 0, 1, 4, 12
 z = 0, 1

各レジスタのフォーマットの説明を次に示します。

4.3.1 ポート・モード・レジスタ0, 1, 4 (PM0, PM1, PM4)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、**4.5 兼用機能使用時のレジスタ設定**を参照し、設定してください。

図4-1 ポート・モード・レジスタ0, 1, 4 (PM0, PM1, PM4) のフォーマット

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|------|-------------------|------|------|------|------|------|------|------|--------|-------|-----|
| PM0 | PM07 | PM06 | PM05 | PM04 | PM03 | PM02 | PM01 | PM00 | FFF20H | FFH | R/W |
| PM1 | 1 | PM16 | PM15 | PM14 | PM13 | PM12 | PM11 | PM10 | FFF21H | FFH | R/W |
| PM4 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | PM40 | FFF24H | FFH | R/W |
| PMmn | Pmn端子の入出力モードの選択 | | | | | | | | | | |
| 0 | 出力モード (出力バッファ・オン) | | | | | | | | | | |
| 1 | 入力モード (出力バッファ・オフ) | | | | | | | | | | |

m = 0, 1, 4; n = 0-7

注意 搭載していないビットには必ず初期値を設定してください。

4.3.2 ポート・レジスタ0, 1, 4, 12, 13 (P0, P1, P4, P12, P13)

ポートの出カラッチの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出カラッチの値が読み出されます^注。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、P12, P13は不定、その他は00Hになります。

注 アナログ入力ポート (PMCOx = 1, PM0x = 1) に設定したポートをリードすると端子入力レベルに関係なく、常に0が読み出されます。

P125/KR1/RESET \bar 端子をRESET \bar 入力 (PORTSELB = 1) に設定した場合、P125をリードすると、常に1が読み出されます。

図4-2 ポート・レジスタ0, 1, 4, 12, 13 (P0, P1, P4, P12, P13) のフォーマット

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|-----|------|-----|------|-----|-----|-----|-----|-----|--------|-------------|-----|
| P0 | P07 | P06 | P05 | P04 | P03 | P02 | P01 | P00 | FFF00H | 00H (出カラッチ) | R/W |
| P1 | 0 | P16 | P15 | P14 | P13 | P12 | P11 | P10 | FFF01H | 00H (出カラッチ) | R/W |
| P4 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | P40 | FFF04H | 00H (出カラッチ) | R/W |
| P12 | 0 | 0 | P125 | 0 | 0 | 0 | 0 | 0 | FFF0CH | 不定 | R |
| P13 | P137 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | FFF0DH | 不定 | R |

| Pmn | 出力データの制御 (出力モード時) | 入力データの読み出し (入力モード時) |
|-----|-------------------|---------------------|
| 0 | 0を出力 | ロウ・レベルを入力 |
| 1 | 1を出力 | ハイ・レベルを入力 |

m = 0, 1, 4, 12, 13; n = 0-7

注意 搭載していないビットには必ず初期値を設定してください。

4.3.3 プルアップ抵抗オプション・レジスタ0, 1, 4, 12 (PU0, PU1, PU4, PU12)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、次の3条件を満たしたビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。

内蔵プルアップ抵抗の使用条件：

- ・ PMmn = 1 (入力モード)
- ・ PMCmn = 0 (デジタル入出力)
- ・ POM0n = 0 (通常出力モード)

出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PU4は01H、PU12は20H、PU0、PU1は00Hになります。

図4-3 プルアップ抵抗オプション・レジスタ0, 1, 4, 12 (PU0, PU1, PU4, PU12) のフォーマット

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|------|------|------|--------------------|------|------|------|------|------|--------|-------|-----|
| PU0 | PU07 | PU06 | PU05 | PU04 | PU03 | PU02 | PU01 | PU00 | F0030H | 00H | R/W |
| PU1 | 0 | PU16 | PU15 | PU14 | PU13 | PU12 | PU11 | PU10 | F0031H | 00H | R/W |
| PU4 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PU40 | F0034H | 01H | R/W |
| PU12 | 0 | 0 | PU125 [※] | 0 | 0 | 0 | 0 | 0 | F003CH | 20H | R/W |

| PUmn | Pmnの内蔵プルアップ抵抗の選択 |
|------|------------------|
| 0 | 内蔵プルアップ抵抗を接続しない |
| 1 | 内蔵プルアップ抵抗を接続する |

m = 0, 1, 4, 12; n = 0-7

注 P125/KR1端子 (PORTSELB = 0) 設定時のみ操作することができます
($\overline{\text{RESET}}$ 入力 (PORTSELB = 1) 設定時は、常時有効 (PU125 = 1) になります)。

- 注意 1.** 搭載していないビットには必ず初期値を設定してください。
- 2.** プルアップ抵抗とプルダウン抵抗を持つポートの各抵抗の接続を同時に有効にしないでください。

4.3.4 プルダウン抵抗オプション・レジスタ0,1 (PD0, PD1) (RL78/G1Nのみ)

内蔵プルダウン抵抗を使用するか、しないかを設定するレジスタです。プルダウン抵抗オプション・レジスタで内蔵プルダウン抵抗の使用を指定した端子で、次の3条件を満たしたビットにのみ、ビット単位で内部プルダウン抵抗が使用できます。

内蔵プルダウン抵抗の使用条件：

- ・ PMmn = 1 (入力モード)
- ・ PMCmn = 0 (デジタル入出力)
- ・ POM0n = 0 (通常出力モード)

出力モードに設定したビットは、プルダウン抵抗オプション・レジスタの設定にかかわらず、内蔵プルダウン抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

プルダウン抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-4 プルダウン抵抗オプション・レジスタ0,1 (PD0, PD1) のフォーマット

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|------|------------------|------|------|------|------|------|------|------|--------|-------|-----|
| PD0 | PD07 | PD06 | 0 | 0 | 0 | 0 | 0 | 0 | F0074H | 00H | R/W |
| PD1 | 0 | 0 | PD15 | PD14 | PD13 | PD12 | PD11 | PD10 | F0075H | 00H | R/W |
| PDmn | Pmnの内蔵プルダウン抵抗の選択 | | | | | | | | | | |
| 0 | 内蔵プルダウン抵抗を接続しない | | | | | | | | | | |
| 1 | 内蔵プルダウン抵抗を接続する | | | | | | | | | | |

m = 0, 1; n = 0-7

注意 1. 搭載していないビットには必ず初期値を設定してください。

2. プルアップ抵抗とプルダウン抵抗を持つポートの各抵抗の接続を同時に有効にしないでください。

4.3.5 ポート出力モード・レジスタ0, 1 (POM0, POM1)

CMOS出力/N-chオープン・ドレイン出力またはCMOS出力/P-chオープン・ドレイン出力を1ビット単位で設定するレジスタです。

1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードまたはP-chオープン・ドレイン出力 (V_{DD} 耐圧) モード (POM0n = 1) を設定したビットは、内蔵プルアップ抵抗/内蔵プルダウン抵抗が接続されません。

図4-5 ポート出力モード・レジスタ0, 1 (POM0, POM1) のフォーマット

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|------|--------------------|-------|--------------------|--------------------|--------------------|--------------------|--------------------|--------------------|--------|-------|-----|
| POM0 | POM07 ^注 | POM06 | POM05 ^注 | POM04 ^注 | POM03 ^注 | POM02 ^注 | POM01 ^注 | POM00 ^注 | F0050H | 00H | R/W |
| POM1 | 0 | 0 | POM15 ^注 | POM14 ^注 | POM13 ^注 | POM12 ^注 | POM11 ^注 | POM10 | F0051H | 00H | R/W |

| POMmn | Pmn端子の出力モードの選択 |
|-------|--|
| 0 | 通常出力モード |
| 1 | N-chオープン・ドレイン出力 (V_{DD} 耐圧) モード (mn = 06, 07, 10-15の場合) P-chオープン・ドレイン出力 (V_{DD} 耐圧) モード (mn = 00-05の場合) |

注 RL78/G1Nのみ

m = 0, 1, n = 0-7

注意 搭載していないビットには必ず初期値を設定してください。

4.3.6 ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1)

デジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

ポート・モード・コントロール・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図4-6 ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1) のフォーマット

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|------|-------|-------|-------|-------|-------|-------|-------|-------|--------|-------|-----|
| PMC0 | PMC07 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | F0060H | FFH | R/W |
| PMC1 | 1 | PMC16 | PMC15 | PMC14 | PMC13 | PMC12 | PMC11 | PMC10 | F0061H | FFH | R/W |

| PMCmn | Pmn端子のデジタル入出力／アナログ入力の選択 |
|-------|-------------------------|
| 0 | デジタル入出力 (アナログ入力以外の兼用機能) |
| 1 | アナログ入力 |

m = 0, 1, n = 0-7

- 注意1. PMC0, PMC1レジスタでアナログ入力で設定したポートは、ポート・モード・レジスタ0, 1 (PM0, PM1) で入力モードに選択してください。
2. 搭載していないビットには必ず初期値を設定してください。

4.3.7 周辺I/Oリダイレクション・レジスタ (PIOR)

周辺I/Oリダイレクト機能の許可/禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は、PIORレジスタでポートを割り当ててから、動作許可にしてください。なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIORレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-7 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマット

RL78/G1N製品

| | | | | | | | | | | | |
|------|---|-------|-------|-------|-------|-------|-------|-------|--------|-------|-----|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
| PIOR | 0 | PIOR6 | PIOR5 | PIOR4 | PIOR3 | PIOR2 | PIOR1 | PIOR0 | F0077H | 00H | R/W |

RL78/G1M製品

| | | | | | | | | | | | |
|------|-------|---|---|---|---|-------|-------|-------|--------|-------|-----|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
| PIOR | PIOR7 | 0 | 0 | 0 | 0 | PIOR2 | PIOR1 | PIOR0 | F0077H | 00H | R/W |

| ビット | 機能 | 設定値 | |
|---------------------|-----------|-----|------|
| | | 0 | 1 |
| PIOR7 ^{注1} | SO00/TxD0 | P06 | P10 |
| | SI00/RxD0 | P07 | P15 |
| | SCK00 | P10 | P16 |
| PIOR6 ^{注2} | TxD0 | P06 | P16 |
| | RxD0 | P07 | P137 |
| PIOR5 ^{注2} | SO00/TxD0 | P06 | P01 |
| | SI00/RxD0 | P07 | P137 |
| | SCK00 | P10 | P16 |
| PIOR4 ^{注2} | SO00/TxD0 | P06 | P01 |
| | SI00/RxD0 | P07 | P137 |
| | SCK00 | P10 | P00 |
| PIOR3 ^{注2} | KR0 | P40 | P00 |
| PIOR2 | INTP1 | P06 | P11 |
| PIOR1 | TI01/TO01 | P12 | P40 |
| PIOR0 | PCLBUZ0 | P10 | P40 |

注1. RL78/G1M製品のみ

2. RL78/G1N製品のみ

注意1. PIOR0 = 1, PIOR1 = 1の同時設定は禁止です。

2. PIOR3 = 1, PIOR4 = 1の同時設定は禁止です。

3. PIOR4, PIOR5, PIOR6のうち、複数を1に設定することは禁止です。

4. 搭載していないビットには必ず初期値を設定してください。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令で、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令で、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令で、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令で、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。ただし、出力バッファがオフしているので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

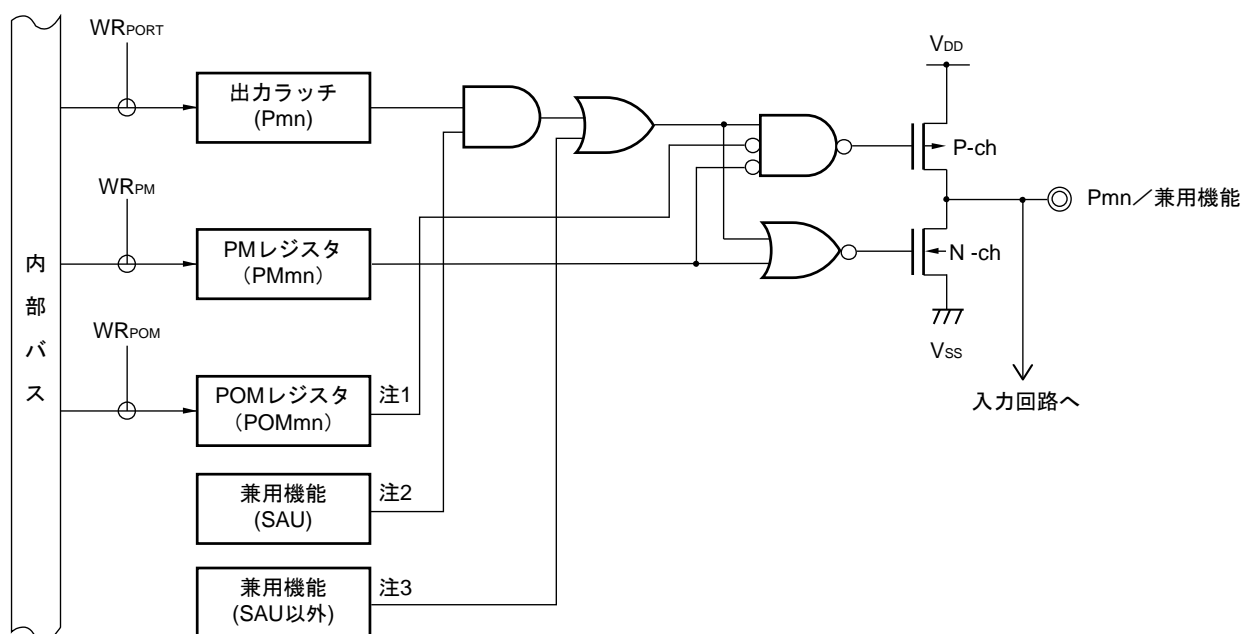
4.5 兼用機能使用時のレジスタ設定

4.5.1 兼用機能使用時の基本的な考え方

最初に、アナログ入力と兼用している端子については、アナログ入力で使用するかデジタル入出力で使用するかをポート・モード・コントロール・レジスタ0 (PMC0) で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4-8に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には、兼用しているSAU以外の機能 (TAU, クロック/ブザー出力等) の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4-4に示します。

図4-8 端子の出力回路の基本的な構成



- 注1. POMレジスタがない場合には、この信号はLow (0) と考えてください。
 2. 兼用機能がない場合には、この信号はHigh (1) と考えてください。
 3. 兼用機能がない場合には、この信号はLow (0) と考えてください。

備考 m : ポート番号 (m = 0, 4, 12, 13) , n : ビット番号 (n = 0-7)

表4-4 基本的な設定の考え方

| 使用する端子の出力機能 | 使用しない兼用機能の出力設定 | | |
|-------------|----------------|-------------|--------------|
| | ポート機能 | SAUの出力機能 | SAU以外の出力機能 |
| ポート出力機能 | — | 出力はHigh (1) | 出力はLow (0) |
| SAUの出力機能 | High (1) | — | 出力はLow (0) |
| SAU以外の出力機能 | Low (0) | 出力はHigh (1) | 出力はLow (0) 注 |

注 1つの端子にSAU以外の出力機能が複数兼用になっていることがあるので、使用しない兼用機能の出力はLow (0) にしておく必要があります。具体的な設定方法については、4.5.2 出力機能を使用しない兼用機能のレジスタ設定を参照してください。

4.5.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、次に示す設定を行ってください。なお、周辺I/Oリダイレクト機能の対象になっている場合には、周辺I/Oリダイレクション・レジスタ (PIOR) を設定することで、出力を他の端子に切り替えることもできます。これにより、対象の端子に割り当てられたポート機能または他の兼用機能を使用することが可能となります。

(1) $SOp=1/TxDq=1$ (SAUのシリアル出力 (SOp/TxDq) を使用しない場合の設定)

SAUをシリアル入力のみで使用するなど、シリアル出力 (SOp/TxDq) を使用しない場合は、使用しない出力に対応したシリアル出力許可レジスタ m (SOEm) のビットを0 (出力禁止) に設定し、シリアル出力レジスタ (SOm) のSOmnビットを1 (High) に設定してください。これは初期状態と同じ設定です。

(2) $SCKp=1$ (SAUのチャンネル n を使用しない場合の設定)

SAUを使用しない場合は、シリアル・チャンネル許可ステータス・レジスタ m (SEm) のビット n (SEmn) を0 (動作停止状態) に設定し、使用しない出力に対応したシリアル出力許可レジスタ m (SOEm) のビットを0 (出力禁止) に設定し、シリアル出力レジスタ (SOm) のSOmnビットとCKOmnビットを1 (High) に設定してください。これは初期状態と同じ設定です。

(3) $TOmn=0$ (TAUのチャンネル n の出力を使用しない場合の設定)

TAUのTOmn出力を使用しない場合は、使用しない出力に対応したタイマ出力許可レジスタ0 (TOE0) のビットを0 (出力禁止)、タイマ出力レジスタ0 (TO0) のビットを0 (Low) に設定してください。これは初期状態と同じ設定です。

(4) $PCLBUZn=0$ (クロック出力/ブザー出力を使用しない場合の設定)

クロック出力/ブザー出力を使用しない場合は、クロック出力選択レジスタ n (CKSn) のPCLOEnビットを0 (出力禁止) にしてください。これは初期状態と同じ設定です。

4.5.3 使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表4-5, 表4-6に示します。ポート機能を制御するレジスタを表4-5, 表4-6のように設定してください。なお, 表4-5, 表4-6の表記については次の備考を参照してください。

備考 - : 対象外

× : don't care

PIOR : 周辺I/Oリダイレクション・レジスタ

POMz : ポート出力モード・レジスタz (z = 0, 1)

PMCz : ポート・モード・コントロール・レジスタz (z = 0, 1)

PMn : ポート・モード・レジスタn (n = 0, 1, 4)

Pm : ポートの出力ラッチ (m = 0, 1, 4, 12, 13)

PUy : プルアップ抵抗オプション・レジスタy (y = 0, 1, 4, 12)

PDz : プルダウン抵抗オプション・レジスタz (z = 0, 1)

() 内の機能は, 周辺I/Oリダイレクション・レジスタ (PIOR) の設定により, 割り当て可能です。

表4-5 端子機能使用時のレジスタ，出力ラッチの設定例（RL78/G1M）（1/4）

| 端子 名称 | 使用機能 | | PIOR | POMz | PMCz | PMn | Pm | PUy | 兼用機能出力 | |
|----------|--------|-----|------|------|------|-----|-----|-----|----------|------------|
| | 機能名称 | 入出力 | | | | | | | SAUの出力機能 | SAU以外 |
| P00 | P00 | 入力 | — | — | — | 1 | × | 0/1 | — | × |
| | | 出力 | — | — | — | 0 | 0/1 | × | — | RTIO00 = 0 |
| | INTP5 | 入力 | — | — | — | 1 | × | 0/1 | — | × |
| | RTIO00 | 出力 | — | — | — | 0 | 0 | × | — | × |
| P01 | P01 | 入力 | — | — | — | 1 | × | 0/1 | — | × |
| | | 出力 | — | — | — | 0 | 0/1 | × | — | RTIO01 = 0 |
| | INTP4 | 入力 | — | — | — | 1 | × | 0/1 | — | × |
| | RTIO01 | 出力 | — | — | — | 0 | 0 | × | — | × |
| P02 | P02 | 入力 | — | — | — | 1 | × | 0/1 | — | × |
| | | 出力 | — | — | — | 0 | 0/1 | × | — | RTIO02 = 0 |
| | RTIO02 | 出力 | — | — | — | 0 | 0 | × | — | × |
| P03 | P03 | 入力 | — | — | — | 1 | × | 0/1 | — | × |
| | | 出力 | — | — | — | 0 | 0/1 | × | — | RTIO03 = 0 |
| | RTIO03 | 出力 | — | — | — | 0 | 0 | × | — | × |
| P04 | P04 | 入力 | — | — | — | 1 | × | 0/1 | — | × |
| | | 出力 | — | — | — | 0 | 0/1 | × | — | RTIO04 = 0 |
| | RTIO04 | 出力 | — | — | — | 0 | 0 | × | — | × |
| P05 | P05 | 入力 | — | — | — | 1 | × | 0/1 | — | × |
| | | 出力 | — | — | — | 0 | 0/1 | × | — | RTIO05 = 0 |
| | RTIO05 | 出力 | — | — | — | 0 | 0 | × | — | × |

表4-5 端子機能使用時のレジスタ、出力ラッチの設定例 (RL78/G1M) (2/4)

| 端子名称 | 使用機能 | | PIOR | POMz | PMCz | PMn | Pm | PUy | 兼用機能出力 | | |
|--------|---------|----------|---------|------|------|-----|-----|-----|----------------------|-------------|---|
| | 機能名称 | 入出力 | | | | | | | SAUの出力機能 | SAU以外 | |
| P06 | P06 | 入力 | — | × | — | 1 | × | 0/1 | × | × | |
| | | 出力 | — | 0 | — | 0 | 0/1 | × | SO00/TxD0 = 1 | RTIO06 = 0 | |
| | | N-chOD出力 | — | 1 | — | 0 | 0/1 | × | | | |
| | SO00 | 出力 | PIOR7=0 | 0/1 | — | 0 | 1 | × | × | RTIO06 = 0 | |
| | TxD0 | 出力 | | 0/1 | — | 0 | 1 | × | × | RTIO06 = 0 | |
| | INTP1 | 入力 | PIOR2=0 | × | — | 1 | × | 0/1 | × | × | |
| | RTIO06 | 出力 | — | 0 | — | 0 | 0 | × | SO00/TxD0 = 1 | × | |
| | | N-chOD出力 | — | 1 | — | 0 | 0 | × | SO00/TxD0 = 1 | × | |
| P07 | P07 | 入力 | — | — | 0 | 1 | × | 0/1 | — | × | |
| | | 出力 | — | — | 0 | 0 | 0/1 | × | — | RTIO07 = 0 | |
| | ANI0 | 入力 | — | — | 1 | 1 | × | × | — | × | |
| | SI00 | 入力 | PIOR7=0 | — | 0 | 1 | × | 0/1 | — | × | |
| | RxD0 | 入力 | | — | 0 | 1 | × | 0/1 | — | × | |
| | KR2 | 入力 | — | — | 0 | 1 | × | 0/1 | — | × | |
| | RTIO07 | 出力 | — | — | 0 | 0 | 0 | × | — | × | |
| P10 | P10 | 入力 | — | × | 0 | 1 | × | 0/1 | × | × | |
| | | 出力 | — | 0 | 0 | 0 | 0/1 | × | SCK00/(SO0/TxD0) = 1 | PCLBUZ0 = 0 | |
| | | N-chOD出力 | — | 1 | 0 | 0 | 0/1 | × | SCK00/(SO0/TxD0) = 1 | | |
| | ANI1 | 入力 | — | × | 1 | 1 | × | × | × | × | |
| | SCK00 | 入力 | PIOR7=0 | × | 0 | 1 | × | 0/1 | × | × | × |
| | | 出力 | | 0/1 | 0 | 0 | 1 | × | × | PCLBUZ0 = 0 | |
| | PCLBUZ0 | 出力 | PIOR0=0 | 0 | 0 | 0 | 0 | × | SCK00/(SO0/TxD0) = 1 | × | |
| | KR3 | 入力 | — | × | 0 | 1 | × | 0/1 | × | × | |
| | (SO00) | 出力 | PIOR7=1 | 0/1 | 0 | 0 | 1 | × | × | PCLBUZ0 = 0 | |
| (TxD0) | 出力 | PIOR7=1 | 0/1 | 0 | 0 | 1 | × | × | PCLBUZ0 = 0 | | |
| P11 | P11 | 入力 | — | — | 0 | 1 | × | 0/1 | — | × | |
| | | 出力 | — | — | 0 | 0 | 0/1 | × | — | TO00 = 0 | |
| | ANI2 | 入力 | — | — | 1 | 1 | × | × | — | × | |
| | TO00 | 出力 | — | — | 0 | 0 | 0 | × | — | × | |
| | KR4 | 入力 | — | — | 0 | 1 | × | 0/1 | — | × | |
| | (INTP1) | 入力 | PIOR2=1 | — | 0 | 1 | × | 0/1 | — | × | |

表4-5 端子機能使用時のレジスタ、出力ラッチの設定例 (RL78/G1M) (3/4)

| 端子 名称 | 使用機能 | | PIOR | POMz | PMCz | PMn | Pm | PUy | 兼用機能出力 | |
|----------|---------|-----|---------|------|------|-----|-----|-----|-------------|----------|
| | 機能名称 | 入出力 | | | | | | | SAUの出力機能 | SAU以外 |
| P12 | P12 | 入力 | — | — | 0 | 1 | × | 0/1 | — | × |
| | | 出力 | — | — | 0 | 0 | 0/1 | × | — | TO01 = 0 |
| | ANI3 | 入力 | — | — | 1 | 1 | × | × | — | × |
| | TI01 | 入力 | PIOR1=0 | — | 0 | 1 | × | 0/1 | — | × |
| | TO01 | 出力 | | — | 0 | 0 | 0 | × | — | × |
| | KR5 | 入力 | — | — | 0 | 1 | × | 0/1 | — | × |
| P13 | P13 | 入力 | — | — | 0 | 1 | × | 0/1 | — | × |
| | | 出力 | — | — | 0 | 0 | 0/1 | × | — | TO03 = 0 |
| | ANI4 | 入力 | — | — | 1 | 1 | × | × | — | × |
| | TO03 | 出力 | — | — | 0 | 0 | 0 | × | — | × |
| | KR6 | 入力 | — | — | 0 | 1 | × | 0/1 | — | × |
| P14 | P14 | 入力 | — | — | 0 | 1 | × | 0/1 | — | — |
| | | 出力 | — | — | 0 | 0 | 0/1 | × | — | — |
| | ANI5 | 入力 | — | — | 1 | 1 | × | × | — | — |
| | TI03 | 入力 | — | — | 0 | 1 | × | 0/1 | — | — |
| | INTP3 | 入力 | — | — | 0 | 1 | × | 0/1 | — | — |
| P15 | P15 | 入力 | — | — | 0 | 1 | × | 0/1 | — | — |
| | | 出力 | — | — | 0 | 0 | 0/1 | × | — | — |
| | ANI6 | 入力 | — | — | 1 | 1 | × | × | — | — |
| | INTP2 | 入力 | — | — | 0 | 1 | × | 0/1 | — | — |
| | (SI00) | 入力 | PIOR7=1 | — | 0 | 1 | × | 0/1 | — | — |
| | (RxD0) | 入力 | | — | 0 | 1 | × | 0/1 | — | — |
| P16 | P16 | 入力 | — | — | 0 | 1 | × | 0/1 | × | × |
| | | 出力 | — | — | 0 | 0 | 0/1 | × | (SCK00) = 1 | TO02 = 0 |
| | TI02 | 入力 | — | — | 0 | 1 | × | 0/1 | × | × |
| | TO02 | 出力 | — | — | 0 | 0 | 0 | × | (SCK00) = 1 | × |
| | KR7 | 入力 | — | — | 0 | 1 | × | 0/1 | × | × |
| | (SCK00) | 入力 | PIOR7=1 | — | 0 | 1 | × | 0/1 | × | × |
| | | 出力 | | — | 0 | 0 | 1 | × | | TO02 = 0 |
| | ANI7 | 入力 | — | — | 1 | 1 | × | × | × | × |

表4-5 端子機能使用時のレジスタ，出力ラッチの設定例（RL78/G1M）（4/4）

| 端子 名称 | 使用機能 | | PIOR | POMz | PMCz | PMn | Pm | PUy | 兼用機能出力 | |
|----------|---------------------|-----|-----------|------|------|-----|-----|-----|----------|---------------------------|
| | 機能名称 | 入出力 | | | | | | | SAUの出力機能 | SAU以外 |
| P40 | P40 | 入力 | — | — | — | 1 | × | 0/1 | — | × |
| | | 出力 | — | — | — | 0 | 0/1 | × | — | (PCLBUZ0)=0 (TO01) = 0 |
| | KR0 | 入力 | — | — | — | 1 | × | 0/1 | — | × |
| | TOOL0 | 入出力 | — | — | — | × | × | × | — | × |
| | (PCLBUZ0) | 出力 | PIOR0 = 1 | — | — | 0 | 0 | × | — | × |
| | (TI01) | 入力 | PIOR1 = 1 | — | — | 1 | × | 0/1 | — | × |
| (TO01) | 出力 | — | | — | 0 | 0 | × | — | × | |
| P125 | P125 ^{注1} | 入力 | — | — | — | — | × | 0/1 | — | — |
| | KR1 ^{注1} | 入力 | — | — | — | — | × | 0/1 | — | — |
| | RESET ^{注2} | 入力 | — | — | — | — | × | 0/1 | — | — |
| P137 | P137 | 入力 | — | — | — | — | × | — | — | — |
| | TI00 | 入力 | — | — | — | — | × | — | — | — |
| | INTP0 | 入力 | PIOR7 = 1 | — | — | — | × | — | — | — |

注1. オプション・バイト000C1HのPORTSELB = 0

2. オプション・バイト000C1HのPORTSELB = 1

表4-6 端子機能使用時のレジスタ，出力ラッチの設定例（RL78/G1N）（1/4）

| 端子 名称 | 使用機能 | | PIOR | POMz | PMCz | PMn | Pm | PUy | PDz | 兼用機能出力 | |
|----------|---------|----------|---------------------|------|------|-----|-----|-----|-----|-----------------|-------|
| | 機能名称 | 入出力 | | | | | | | | SAUの出力機能 | SAU以外 |
| P00 | P00 | 入力 | — | × | — | 1 | × | 0/1 | — | × | — |
| | | 出力 | — | 0 | — | 0 | 0/1 | × | — | (SCK00) = 1 | — |
| | | P-chOD出力 | — | 1 | — | 0 | 0/1 | × | — | | |
| | INTP5 | 入力 | — | × | — | 1 | × | 0/1 | — | × | — |
| | (KR0) | 入力 | PIOR3=1 | × | — | 1 | × | 0/1 | — | × | — |
| | (SCK00) | 入力 | PIOR4=1 | × | — | 1 | × | 0/1 | — | × | — |
| | | 出力 | PIOR4=1 | 0 | — | 0 | 1 | × | — | × | — |
| P01 | P01 | 入力 | — | × | — | 1 | × | 0/1 | — | × | × |
| | | 出力 | — | 0 | — | 0 | 0/1 | × | — | (TxD0/SO00) = 1 | × |
| | | P-chOD出力 | — | 1 | — | 0 | 0/1 | × | — | (TxD0/SO00) = 1 | × |
| | INTP4 | 入力 | — | × | — | 1 | × | 0/1 | — | × | × |
| | (SO00) | 出力 | PIOR4=1/ PIOR5=1 | 0 | — | 0 | 1 | × | — | × | × |
| (TxD0) | 出力 | | 0 | — | 0 | 1 | × | — | × | × | |
| P02 | P02 | 入力 | — | × | — | 1 | × | 0/1 | — | — | — |
| | | 出力 | — | 0 | — | 0 | 0/1 | × | — | — | — |
| | | P-chOD出力 | — | 1 | — | 0 | 0/1 | × | — | — | — |
| P03 | P03 | 入力 | — | × | — | 1 | × | 0/1 | — | — | — |
| | | 出力 | — | 0 | — | 0 | 0/1 | × | — | — | — |
| | | P-chOD出力 | — | 1 | — | 0 | 0/1 | × | — | — | — |
| P04 | P04 | 入力 | — | × | — | 1 | × | 0/1 | — | — | — |
| | | 出力 | — | 0 | — | 0 | 0/1 | × | — | — | — |
| | | P-chOD出力 | — | 1 | — | 0 | 0/1 | × | — | — | — |
| P05 | P05 | 入力 | — | × | — | 1 | × | 0/1 | — | — | — |
| | | 出力 | — | 0 | — | 0 | 0/1 | × | — | — | — |
| | | P-chOD出力 | — | 1 | — | 0 | 0/1 | × | — | — | — |

表4-6 端子機能使用時のレジスタ、出力ラッチの設定例 (RL78/G1N) (2/4)

| 端子 名称 | 使用機能 | | PIOR | POMz | PMCz | PMn | Pm | PUy | PDz | 兼用機能出力 | |
|----------|---------|----------|---------------------------------|------|------|-----|-----|-----|-----|---------------|----------------|
| | 機能名称 | 入出力 | | | | | | | | SAUの出力機能 | SAU以外 |
| P06 | P06 | 入力 | — | × | — | 1 | × | 0/1 | 0/1 | × | — |
| | | 出力 | — | 0 | — | 0 | 0/1 | × | × | SO00/TxD0 = 1 | — |
| | | N-chOD出力 | — | 1 | — | 0 | 0/1 | × | × | | — |
| | SO00 | 出力 | PIPR4=0/ PIOR5=0 | 0/1 | — | 0 | 1 | × | × | × | — |
| | TxD0 | 出力 | PIPR4=0/ PIOR5=0/ PIOR6=0 | 0/1 | — | 0 | 1 | × | × | × | — |
| INTP1 | 入力 | PIOR2=0 | × | — | 1 | × | 0/1 | 0/1 | × | — | |
| P07 | P07 | 入力 | — | × | 0 | 1 | × | 0/1 | 0/1 | — | — |
| | | 出力 | — | 0 | 0 | 0 | 0/1 | × | × | — | — |
| | | N-chOD出力 | — | 1 | 0 | 0 | 0/1 | × | × | — | — |
| | ANI0 | 入力 | — | × | 1 | 1 | × | × | × | — | — |
| | SI00 | 入力 | PIPR4=0/ PIOR5=0 | × | 0 | 1 | × | 0/1 | 0/1 | — | — |
| | RxD0 | 入力 | PIPR4=0/ PIOR5=0/ PIOR6=0 | × | 0 | 1 | × | 0/1 | 0/1 | — | — |
| KR2 | 入力 | — | × | 0 | 1 | × | 0/1 | 0/1 | — | — | |
| P10 | P10 | 入力 | — | × | 0 | 1 | × | 0/1 | 0/1 | × | × |
| | | 出力 | — | 0 | 0 | 0 | 0/1 | × | × | SCK00 = 1 | PCLBUZ0 = 0 |
| | | N-chOD出力 | — | 1 | 0 | 0 | 0/1 | × | × | SCK00 = 1 | PCLBUZ0 = 0 |
| | ANI1 | 入力 | — | × | 1 | 1 | × | × | × | × | × |
| | SCK00 | 入力 | PIPR4=0/ PIOR5=0 | × | 0 | 1 | × | 0/1 | 0/1 | × | × |
| | | 出力 | | 0/1 | 0 | 0 | 1 | × | × | × | PCLBUZ0 = 0 |
| | PCLBUZ0 | 出力 | PIOR0=0 | 0 | 0 | 0 | 0 | × | × | SCK00 = 1 | × |
| KR3 | 入力 | — | × | 0 | 1 | × | 0/1 | 0/1 | × | × | |
| P11 | P11 | 入力 | — | × | 0 | 1 | × | 0/1 | 0/1 | — | × |
| | | 出力 | — | 0 | 0 | 0 | 0/1 | × | × | — | TO00 = 0 |
| | | N-chOD出力 | — | 1 | 0 | 0 | 0/1 | × | × | — | TO00 = 0 |
| | ANI2 | 入力 | — | × | 1 | 1 | × | × | × | — | × |
| | TO00 | 出力 | — | 0 | 0 | 0 | 0 | × | × | — | × |
| | KR4 | 入力 | — | × | 0 | 1 | × | 0/1 | 0/1 | — | × |
| | (INTP1) | 入力 | PIOR2=1 | × | 0 | 1 | × | 0/1 | 0/1 | — | × |

表4-6 端子機能使用時のレジスタ，出力ラッチの設定例 (RL78/G1N) (3/4)

| 端子 名称 | 使用機能 | | PIOR | POMz | PMCz | PMn | Pm | PUy | PDz | 兼用機能出力 | |
|----------|---------|----------|---------|------|------|-----|-----|-----|-----|---------------------|----------|
| | 機能名称 | 入出力 | | | | | | | | SAUの出力機能 | SAU以外 |
| P12 | P12 | 入力 | — | × | 0 | 1 | × | 0/1 | 0/1 | — | × |
| | | 出力 | — | 0 | 0 | 0 | 0/1 | × | × | — | TO01 = 0 |
| | | N-chOD出力 | — | 1 | 0 | 0 | 0/1 | × | × | — | |
| | ANI3 | 入力 | — | × | 1 | 1 | × | × | × | — | × |
| | TI01 | 入力 | PIOR1=0 | × | 0 | 1 | × | 0/1 | 0/1 | — | × |
| | TO01 | 出力 | | 0 | 0 | 0 | 0 | × | × | — | × |
| | KR5 | 入力 | — | × | 0 | 1 | × | 0/1 | 0/1 | — | × |
| P13 | P13 | 入力 | — | × | 0 | 1 | × | 0/1 | 0/1 | — | × |
| | | 出力 | — | 0 | 0 | 0 | 0/1 | × | × | — | TO03 = 0 |
| | | N-chOD出力 | — | 1 | 0 | 0 | 0/1 | × | × | — | |
| | ANI4 | 入力 | — | × | 1 | 1 | × | × | × | — | × |
| | TO03 | 出力 | — | 0 | 0 | 0 | 0 | × | × | — | × |
| | KR6 | 入力 | — | × | 0 | 1 | × | 0/1 | 0/1 | — | × |
| P14 | P14 | 入力 | — | × | 0 | 1 | × | 0/1 | 0/1 | — | — |
| | | 出力 | — | 0 | 0 | 0 | 0/1 | × | × | — | — |
| | | N-chOD出力 | — | 1 | 0 | 0 | 0/1 | × | × | — | — |
| | ANI5 | 入力 | — | × | 1 | 1 | × | × | × | — | — |
| | TI03 | 入力 | — | × | 0 | 1 | × | 0/1 | 0/1 | — | — |
| | INTP3 | 入力 | — | × | 0 | 1 | × | 0/1 | 0/1 | — | — |
| P15 | P15 | 入力 | — | × | 0 | 1 | × | 0/1 | 0/1 | — | — |
| | | 出力 | — | 0 | 0 | 0 | 0/1 | × | × | — | — |
| | | N-chOD出力 | — | 1 | 0 | 0 | 0/1 | × | × | — | — |
| | ANI6 | 入力 | — | × | 1 | 1 | × | × | × | — | — |
| | INTP2 | 入力 | — | × | 0 | 1 | × | 0/1 | 0/1 | — | — |
| P16 | P16 | 入力 | — | — | 0 | 1 | × | 0/1 | — | × | × |
| | | 出力 | — | — | 0 | 0 | 0/1 | × | — | (SCK00/TxD0) = 1 | TO02 = 0 |
| | TI02 | 入力 | — | — | 0 | 1 | × | 0/1 | — | × | × |
| | TO02 | 出力 | — | — | 0 | 0 | 0 | × | — | (SCK00/TxD0) = 1 | × |
| | KR7 | 入力 | — | — | 0 | 1 | × | 0/1 | — | × | × |
| | (TxD0) | 出力 | PIOR6=1 | — | 0 | 0 | 1 | × | — | × | TO02 = 0 |
| | (SCK00) | 入力 | PIOR5=1 | — | 0 | 1 | × | 0/1 | — | × | × |
| | | 出力 | | — | 0 | 0 | 1 | × | — | × | TO02 = 0 |
| | ANI7 | 入力 | — | — | 1 | 1 | × | × | — | × | × |

表4-6 端子機能使用時のレジスタ，出力ラッチの設定例（RL78/G1N）（4/4）

| 端子 名称 | 使用機能 | | PIOR | POMz | PMCz | PMn | Pm | PUy | PDz | 兼用機能出力 | |
|----------|---------------------|-----|---------------------------------------|------|------|-----|-----|-----|-----|--------------|-----------------------------|
| | 機能名称 | 入出力 | | | | | | | | SAUの出力 機能 | SAU以外 |
| P40 | P40 | 入力 | — | — | — | 1 | × | 0/1 | — | — | × |
| | | 出力 | — | — | — | 0 | 0/1 | × | — | — | (TO01) = 0 (PCLBUZ0) = 0 |
| | KR0 | 入力 | PIOR3 = 0 | — | — | 1 | × | 0/1 | — | — | × |
| | TOOL0 | 入出力 | — | — | — | × | × | × | — | — | × |
| | (PCLBUZ0) | 出力 | PIOR0 = 1 | — | — | 0 | 0 | × | — | — | × |
| | (TI01) | 入力 | PIOR1 = 1 | — | — | 1 | × | 0/1 | — | — | × |
| | (TO01) | 出力 | PIOR1 = 1 | — | — | 0 | 0 | × | — | — | × |
| P125 | P125 ^{注1} | 入力 | — | — | — | — | × | 0/1 | — | — | — |
| | KR1 ^{注1} | 入力 | — | — | — | — | × | 0/1 | — | — | — |
| | RESET ^{注2} | 入力 | — | — | — | — | × | × | — | — | — |
| P137 | P137 | 入力 | — | — | — | — | × | — | — | — | — |
| | TI00 | 入力 | — | — | — | — | × | — | — | — | — |
| | INTP0 | 入力 | — | — | — | — | × | — | — | — | — |
| | (SI00) | 入力 | PIOR5 = 1/ PIOR6 = 1 | — | — | — | × | — | — | — | — |
| | (RxD0) | 入力 | PIOR4 = 1/ PIOR5 = 1/ PIOR6 = 1 | — | — | — | × | — | — | — | — |

注1. オプション・バイト000C1HのPORTSELB = 0

2. オプション・バイト000C1HのPORTSELB = 1

4.6 8セグメントLED制御例 (RL78/G1Nのみ)

4.6.1 概要

本章では、ポートを使用して、6桁8セグメントLEDを制御する例を説明しています。

4.6.2 ハードウェア接続例

図4-9に、P00-P05をLEDの桁を制御するCOM端子に、P06, P07およびP10-P15をLEDのセグメントを制御するSEG端子にそれぞれ接続した場合の例を示します。

図4-9 ハードウェア接続例

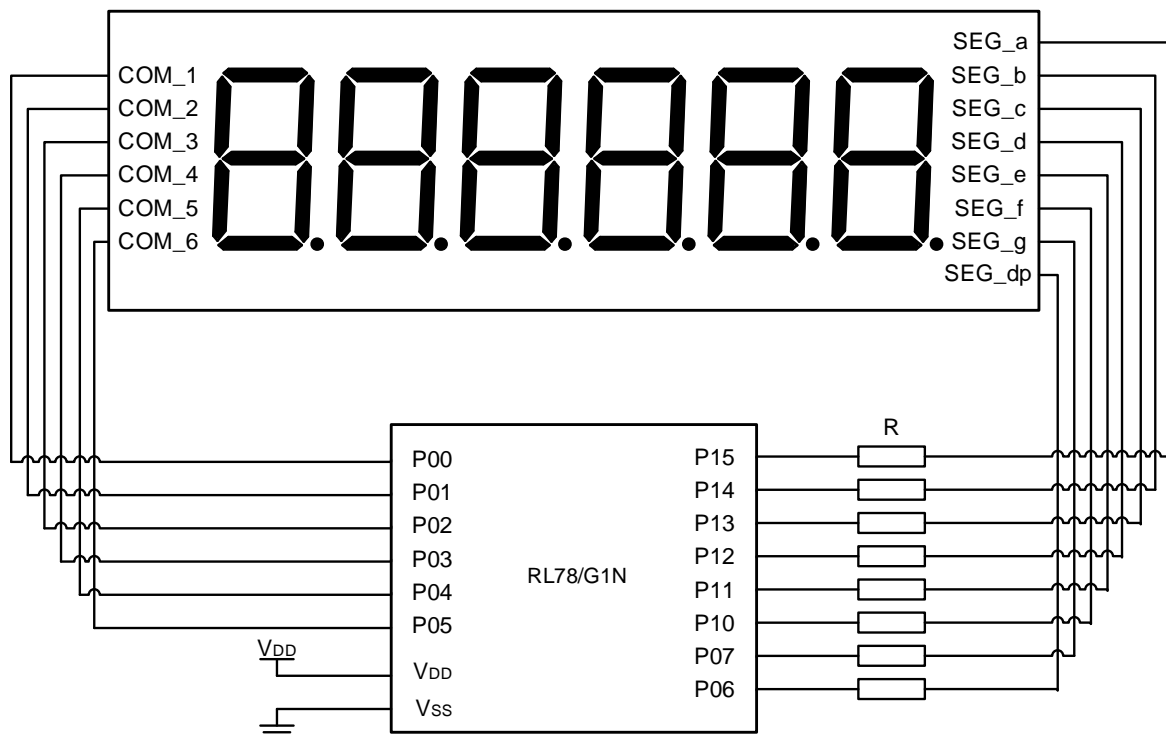


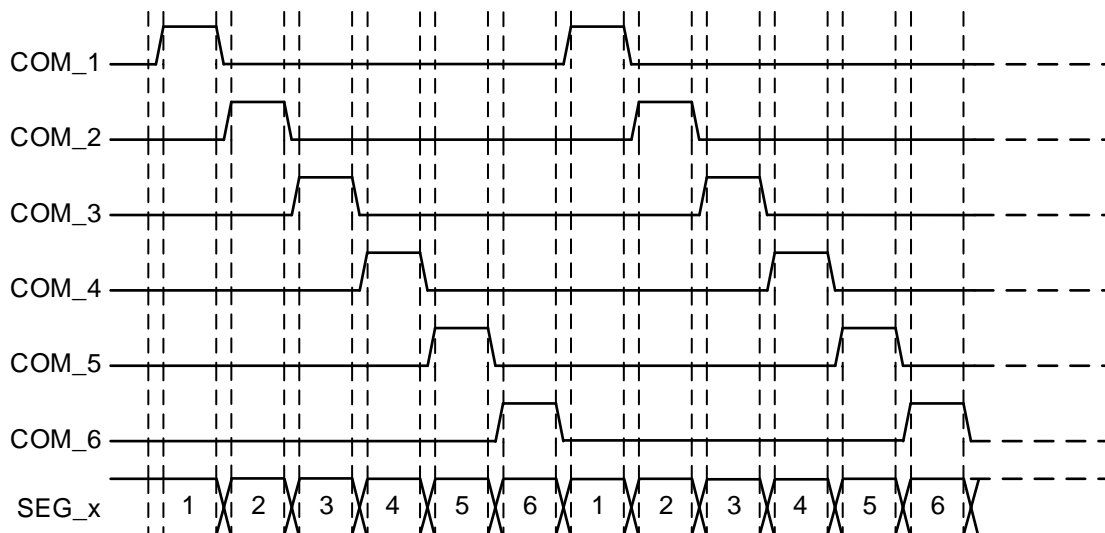
表4-7 使用端子と機能 (RL78/G1Nのみ)

| 端子名 | 入出力 | 機能 |
|-----|-----|---------|
| P00 | 出力 | COM出力1 |
| P01 | 出力 | COM出力2 |
| P02 | 出力 | COM出力3 |
| P03 | 出力 | COM出力4 |
| P04 | 出力 | COM出力5 |
| P05 | 出力 | COM出力6 |
| P06 | 出力 | SEG出力dp |
| P07 | 出力 | SEG出力g |
| P10 | 出力 | SEG出力f |
| P11 | 出力 | SEG出力e |
| P12 | 出力 | SEG出力d |
| P13 | 出力 | SEG出力c |
| P14 | 出力 | SEG出力b |
| P15 | 出力 | SEG出力a |

4.6.3 ポート出力タイミング

桁を制御するポートがハイ・レベルで、セグメントを制御するポートがロウ・レベルの場合、対象となるLEDが点灯します。

図4-10 ポート出力タイミング

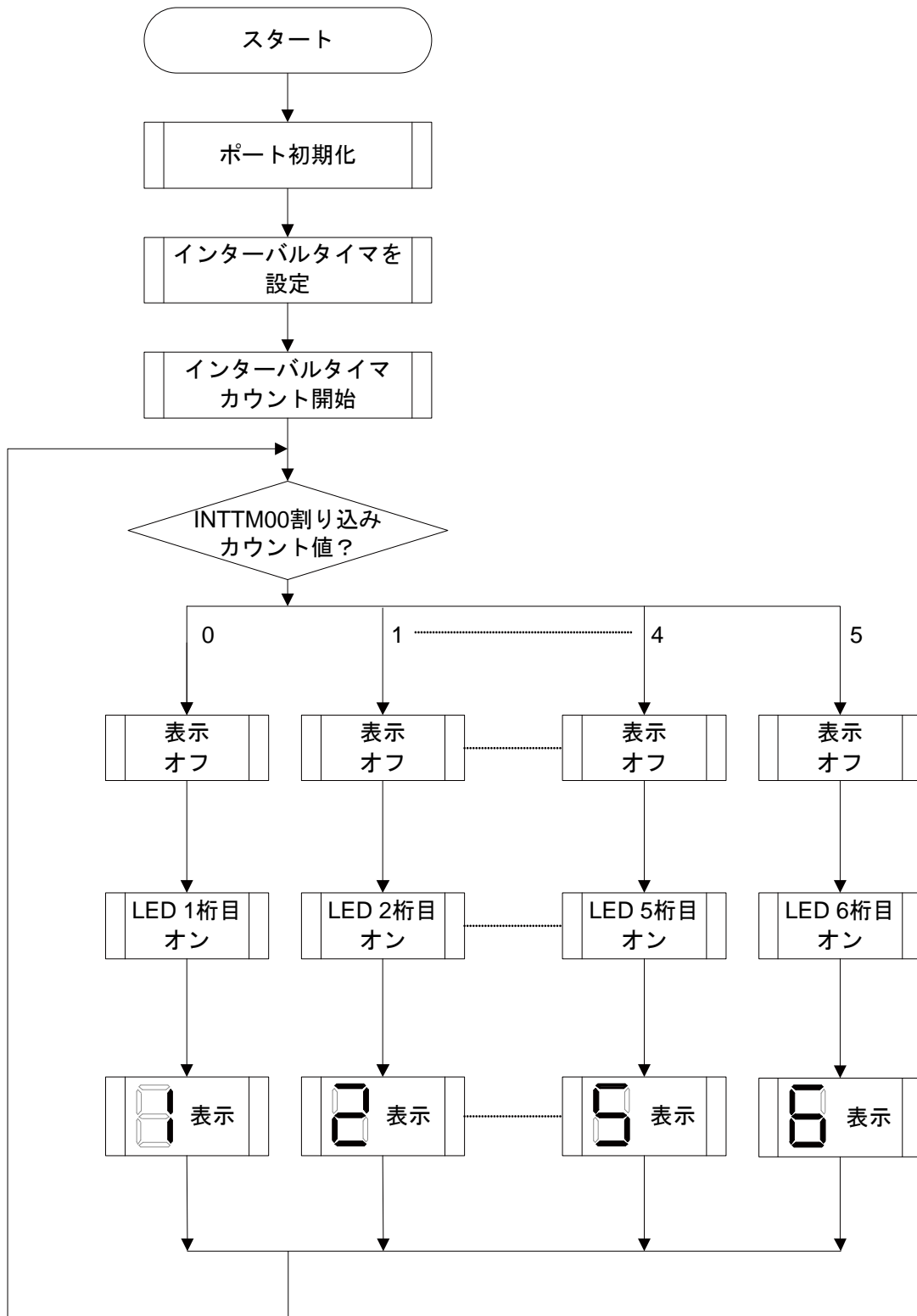


4.6.4 フロー・チャート

図4-11, 図4-12は、INTTM00をインターバル・タイマとして使用した場合のプログラムのフロー・チャートを示しています。

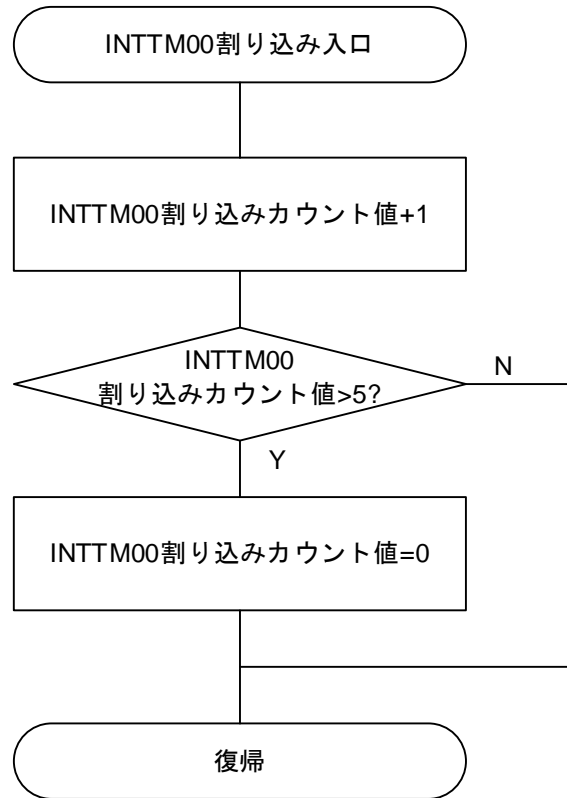
(1) メイン関数

図4-11 メイン関数処理フロー・チャート



(2) INTTM00割り込み処理

図4-12 INTTM00割り込み処理フロー・チャート



4.6.5 レジスタ設定

ここではLEDを制御するポートに対する設定を説明しています。設定後、P15-P10, P07-P00端子を制御することにより、対応する数字がLEDに表示されます。

- (1) PMC0レジスタのPMC07ビットを0にし、P07端子をデジタル入出力モードに設定します。

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|------------|---|---|---|---|---|---|---|
| PMC0 | PMC07 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

- (2) PMC1レジスタのPMC15-PMC10ビットを0にし、P15-P10端子をデジタル入出力モードに設定します。

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|---|------------|------------|------------|------------|------------|------------|------------|
| PMC1 | 1 | PMC16 1 | PMC15 0 | PMC14 0 | PMC13 0 | PMC12 0 | PMC11 0 | PMC10 0 |

- (3) POM0レジスタのPOM07-POM00ビットを1に、P05-P00端子をP-chオープン・ドレイン出力モードにし、P06-P07端子をN-chオープン・ドレイン出力モード (V_{DD} 耐圧) に設定します。

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|------------|------------|------------|------------|------------|------------|------------|------------|
| POM0 | POM07 1 | POM06 1 | POM05 1 | POM04 1 | POM03 1 | POM02 1 | POM01 1 | POM00 1 |

- (4) POM1レジスタのPOM15-POM10ビットを1にし、P15-P10端子をN-chオープン・ドレイン出力モード (V_{DD} 耐圧) に設定します。

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|---|---|------------|------------|------------|------------|------------|------------|
| POM1 | 0 | 0 | POM15 1 | POM14 1 | POM13 1 | POM12 1 | POM11 1 | POM10 1 |

- (5) PM0レジスタのPM07-PM00ビットを0にし、P07-P00端子を出力モードに設定します。

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| PM0 | PM07 0 | PM06 0 | PM05 0 | PM04 0 | PM03 0 | PM02 0 | PM01 0 | PM00 0 |

- (6) PM1レジスタのPM15-PM10ビットを0にし、P15-P10端子を出力モードに設定します。

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|---|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| PM1 | 1 | PM16 1 | PM15 0 | PM14 0 | PM13 0 | PM12 0 | PM11 0 | PM10 0 |

4.7 ポート機能使用時の注意事項

4.7.1 ポート・レジスタn (Pn) に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出カラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出カラッチの値を書き直すことを推奨します。

例 P00は出力ポート、P01-P07は入力ポート（端子状態はすべてハイ・レベル）で、かつポート0の出カラッチの値が“00H”のとき、出力ポートP00の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート0の出カラッチの値は、“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込みの対象は出カラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78マイクロコントローラ内部で、次の順序で行われます。

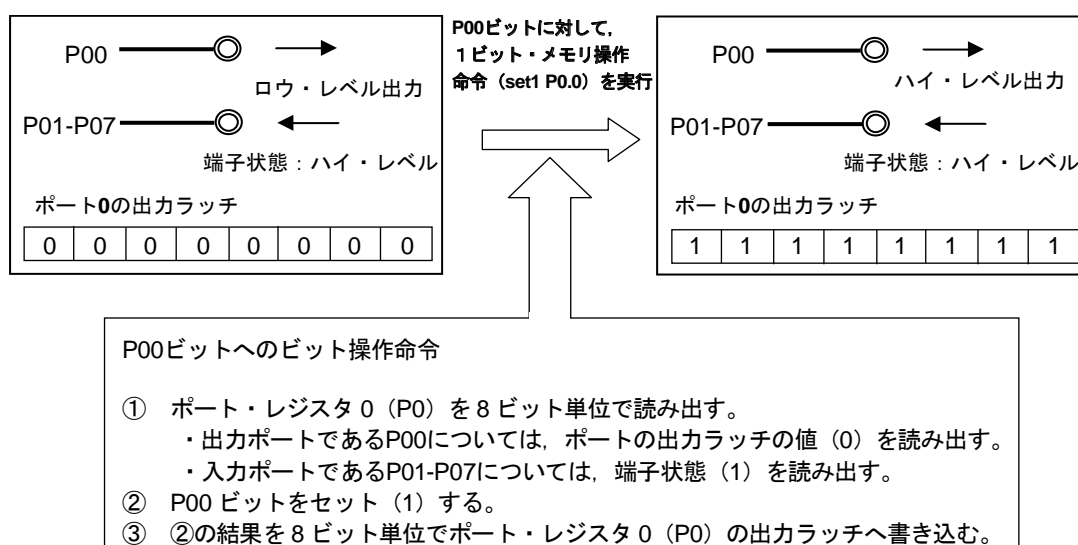
- ① Pnレジスタを8ビット単位で読み出し
- ② 対象の1ビットを操作
- ③ Pnレジスタへ8ビット単位で書き込み

①のとき、出力ポートであるP00は出カラッチの値（0）を読み出し、入力ポートであるP01-P07は端子状態を読み出します。このときP01-P07の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

②の操作で、値は“FFH”となります。

③の操作で、出カラッチに“FFH”が書き込まれます。

図4-13 1ビット・メモリ操作命令（P00の場合）



4.7.2 端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については、使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当てられた機能も同様です。兼用出力については、**4.5 兼用機能使用時のレジスタ設定**を参照してください。入力として使用する端子では、兼用機能の出力が無効（バッファ出力がHi-Z）となるので、処理不要です。

なお、入力だけや入出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをおすすめします。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

① 高速オンチップ・オシレータ

オプションバイト (000C2H) により、 $f_{IH} = 20/10/5/2.5/1.25$ MHz (TYP.) から周波数を選択し、発振させることができます。リセット解除後、CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行により、発振を停止することができます。

オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) で変更できます。周波数は、**図5-4 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) のフォーマット**を参照してください。

次に、高速オンチップ・オシレータで設定できる発振周波数を示します (オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) で選択できるバリエーション)。

| 電源電圧 | 発振周波数[MHz] | | | | |
|--|------------|-----|---|----|----|
| | 1.25 | 2.5 | 5 | 10 | 20 |
| $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | ○ | ○ | ○ | ○ | ○ |
| $2.0\text{ V} \leq V_{DD} < 2.7\text{ V}^{\text{注}}$ | ○ | ○ | ○ | — | — |

注 セレクタブル・パワーオン・リセット (SPOR) 回路の検出電圧 (V_{SPOR}) が含まれるため、2.25~5.5 Vの電圧範囲で使用してください。

(2) 低速オンチップ・オシレータ・クロック

$f_{IL} = 15 \text{ kHz}$ (TYP.) のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは、次の周辺ハードウェアのみです。

- ・ウォッチドッグ・タイマ
- ・12ビット・インターバル・タイマ

オプション・バイト (000C0H) のビット4 (WDTON) または、動作スピード・モード制御レジスタ (OSMC) のビット4 (WUTMMCK0) のどちらか、または両方が1のときに動作します。

ただし、WDTON = 1, WUTMMCK0 = 0かつオプション・バイト (000C0H) のビット0 (WDSTBYON) が0のときに、HALT命令またはSTOP命令を実行した場合、低速オンチップ・オシレータは発振を停止します。

備考 f_{IH} : 高速オンチップ・オシレータ・クロック周波数

f_{IL} : 低速オンチップ・オシレータ・クロック周波数

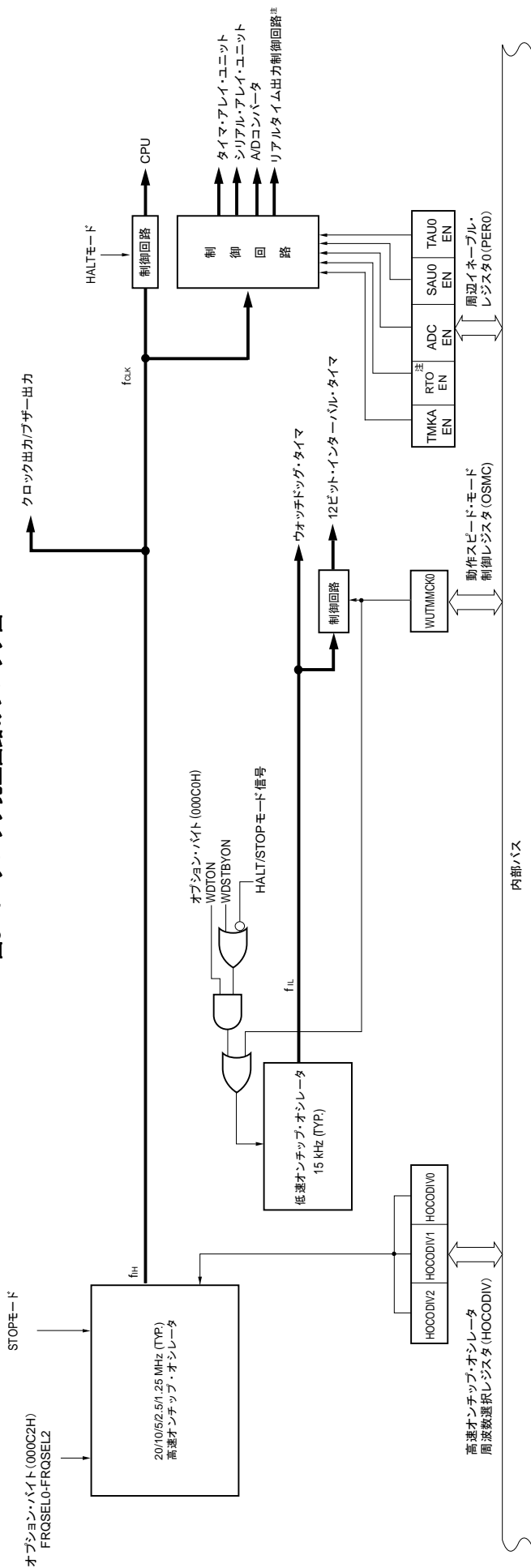
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

| 項 目 | 構 成 |
|--------|---|
| 制御レジスタ | 周辺イネーブル・レジスタ0 (PER0) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 動作スピード・モード制御レジスタ (OSMC) |
| 発振回路 | 高速オンチップ・オシレータ 低速オンチップ・オシレータ |

図5-1 クロック発生回路のブロック図



注 RL78/G1M製品のみ

- 備考** f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 f_{MAIN} : メイン・システム・クロック周波数
 f_{CLK} : CPU/周辺ハードウェア・クロック周波数
 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- ・動作スピード・モード制御レジスタ (OSMC)

5.3.1 周辺イネーブル・レジスタ0 (PER0)

各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット (1) してください。

- ・12ビット・インターバル・タイマ
- ・A/Dコンバータ
- ・リアルタイム出力制御回路^注
- ・シリアル・アレイ・ユニット
- ・タイマ・アレイ・ユニット

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

| | | | | | | | | |
|------|--------|--------------------|-------|---|---|--------|---|--------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PER0 | TMKAEN | RTOEN ^注 | ADCEN | 0 | 0 | SAU0EN | 0 | TAU0EN |

| TMKAEN | 12ビット・インターバル・タイマの入カクロック供給の制御 |
|--------|--|
| 0 | 入カクロック供給停止 ・12ビット・インターバル・タイマで使用するSFRへのライト不可 ・12ビット・インターバル・タイマはリセット状態 |
| 1 | 入カクロック供給 ・12ビット・インターバル・タイマで使用するSFRへのリード/ライト可 |

| RTOEN | リアルタイム出力制御回路の入カクロック供給の制御 |
|-------|--|
| 0 | 入カクロック供給停止 ・リアルタイム出力制御回路で使用するSFRへのライト不可 ・リアルタイム出力制御回路はリセット状態 |
| 1 | 入カクロック供給 ・リアルタイム出力制御回路で使用するSFRへのリード/ライト可 |

| ADCEN | A/Dコンバータの入カクロック供給の制御 |
|-------|--|
| 0 | 入カクロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態 |
| 1 | 入カクロック供給 ・A/Dコンバータで使用するSFRへのリード/ライト可 |

注 RL78/G1M製品のみ

注意 次のビットには必ず0を設定してください。

RL78/G1M製品 : ビット1, 3, 4

RL78/G1N製品 : ビット1, 3, 4, 6

図5-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット (2/2)

アドレス : F00F0H リセット時 : 00H R/W

| | | | | | | | | |
|------|--------|--------------------|-------|---|---|--------|---|--------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PER0 | TMKAEN | RTOEN ^注 | ADCEN | 0 | 0 | SAU0EN | 0 | TAU0EN |

| SAU0EN | シリアル・アレイ・ユニットの入カクロック供給の制御 |
|--------|--|
| 0 | 入カクロック供給停止 ・シリアル・アレイ・ユニットで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットはリセット状態 |
| 1 | 入カクロック供給 ・シリアル・アレイ・ユニットで使用するSFRへのリード/ライト可 |

| TAU0EN | タイマ・アレイ・ユニットの入カクロック供給の制御 |
|--------|--|
| 0 | 入カクロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態 |
| 1 | 入カクロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード/ライト可 |

注 RL78/G1M製品のみ

注意 次のビットには必ず0を設定してください。

RL78/G1M製品 : ビット1, 3, 4

RL78/G1N製品 : ビット1, 3, 4, 6

5.3.2 動作スピード・モード制御レジスタ (OSMC)

OSMCレジスタでは、12ビット・インターバル・タイマの動作クロックの供給を制御します。12ビット・インターバル・タイマを動作させるときは、先にWUTMMCK0 = 1に設定し、停止させるまでWUTMMCK0 = 0に設定しないでください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-3 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

| | | | | | | | | |
|------|---|---|---|----------|---|---|---|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OSMC | 0 | 0 | 0 | WUTMMCK0 | 0 | 0 | 0 | 0 |

| WUTMMCK0 | 12ビット・インターバル・タイマの動作クロックの供給 |
|----------|--|
| 0 | クロック供給停止 |
| 1 | 低速オンチップ・オシレータ・クロック (f _{IL}) 供給 |

5.3.3 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

オプション・バイト (000C2H) で設定した高速オンチップ・オシレータ・クロックの周波数を変更するレジスタです。

HOCODIVは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、オプション・バイト (000C2H) FRQSEL2- FRQSEL0で設定した値になります。

図5-4 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) のフォーマット

アドレス : F00A8H リセット時 : オプション・バイト (000C2H) FRQSEL2- FRQSEL0の設定値 R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|---|---|---|---|---|-----------|-----------|-----------|
| HOCODIV | 0 | 0 | 0 | 0 | 0 | HOCODIV 2 | HOCODIV 1 | HOCODIV 0 |

| HOCODIV 2 | HOCODIV 1 | HOCODIV 0 | 高速オンチップ・オシレータ・クロック周波数の選択 |
|-----------|-----------|-----------|--------------------------|
| 0 | 0 | 1 | 20 MHz |
| 0 | 1 | 0 | 10 MHz |
| 0 | 1 | 1 | 5 MHz |
| 1 | 0 | 0 | 2.5 MHz |
| 1 | 0 | 1 | 1.25 MHz |
| 上記以外 | | | 設定禁止 |

注意1. HOCODIVレジスタの設定は周波数の変更前、変更後ともに動作可能な電圧範囲で行ってください。

2. HOCODIVレジスタで周波数を変更後、次の遷移時間を経過して周波数が切り替わります。

- ・変更前の周波数で最大3クロック動作
- ・変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロック・ウェイト

5.4 システム・クロック発振回路

5.4.1 高速オンチップ・オシレータ

RL78/G1M, G1Nは、高速オンチップ・オシレータを内蔵しています。オプションバイト（000C2H）により 20 MHz, 10 MHz, 5 MHz, 2.5 MHz, 1.25 MHzから周波数を選択することが可能です。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

5.4.2 低速オンチップ・オシレータ

RL78/G1M, G1Nは、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは、ウォッチドッグ・タイマ、12ビット・インターバル・タイマのクロックとして使用します。CPUクロックとして使用できません。

ウォッチドッグ・タイマ動作時、または、動作スピード・モード制御レジスタ（OSMC）のビット4（WUTMMCK0）が1のときに低速オンチップ・オシレータは動作します。

ウォッチドッグ・タイマ停止時かつ、WUTMMCK0 = 0のとき、低速オンチップ・オシレータは停止します。

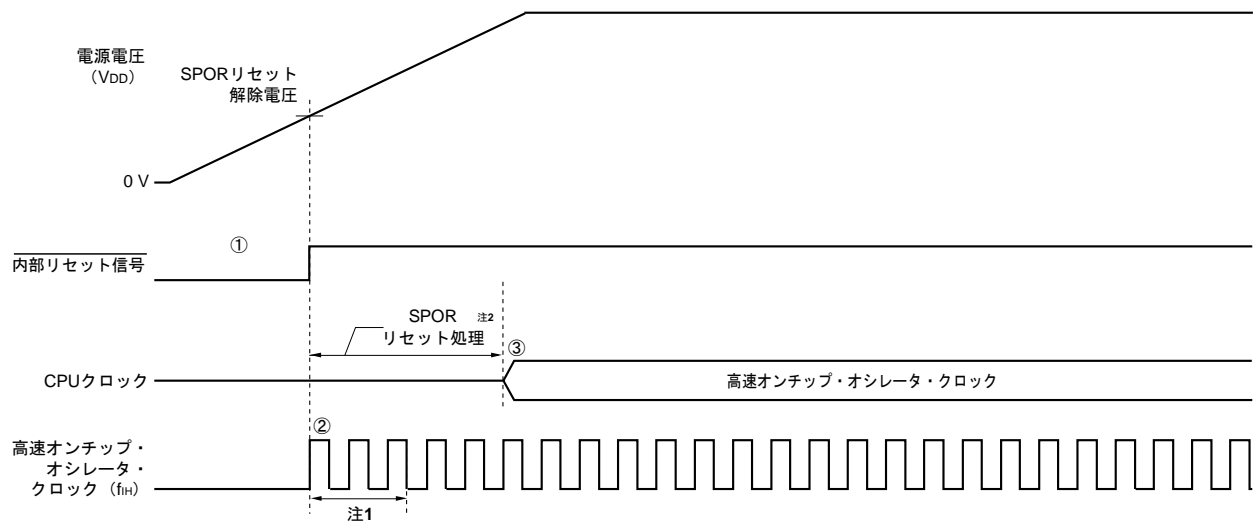
5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図5-1を参照）。

- メイン・システム・クロック f_{MAIN}
 - ・高速オンチップ・オシレータ・クロック f_{IH}
- 低速オンチップ・オシレータ・クロック f_{IL}
- CPU/周辺ハードウェア・クロック f_{CLK}

RL78/G1M, G1Nでは、リセット解除後、CPUは高速オンチップ・オシレータの出力により動作を開始します。電源電圧投入時のクロック発生回路の動作を、図5-5に示します。

図5-5 電源電圧投入時のクロック発生回路の動作



- ① 電源投入後、セレクトابل・パワーオン・リセット (SPOR) 回路による内部リセット信号が発生します。
- ② 電源電圧がSPOR回路の検出電圧を越えると、リセットが解除され、高速オンチップ・オシレータが自動的に発振開始されます。
- ③ リセット解除後に電圧安定待ちとSPORリセット処理が行われたのちに、CPUが高速オンチップ・オシレータ・クロックで動作開始します。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

2. SPORリセット処理時間は、第17章 セレクトابل・パワーオン・リセット回路を参照してください。

5.6 クロックの制御

5.6.1 高速オンチップ・オシレータの設定例

リセット解除後、CPU/周辺ハードウェア・クロック (f_{CLK}) として高速オンチップ・オシレータ・クロックが供給されます。高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H)のFRQSEL0-FRQSEL2で選択できます。この周波数は、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) で変更できません。

【オプション・バイト設定】

アドレス : 000C2H

| | | | | | | | | |
|---------------------------|---|---|---|---|---|---------|---------|---------|
| オプション・ バイト (000C2H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | 1 | 1 | 1 | 1 | 1 | FRQSEL2 | FRQSEL1 | FRQSEL0 |

| FRQSEL2 | FRQSEL1 | FRQSEL0 | 高速オンチップ・オシレータの周波数 |
|---------|---------|---------|-------------------|
| 0 | 0 | 1 | 20 MHz |
| 0 | 0 | 1 | 10 MHz |
| 0 | 1 | 0 | 5 MHz |
| 0 | 1 | 1 | 2.5 MHz |
| 1 | 0 | 1 | 1.25 MHz |
| 上記以外 | | | 設定禁止 |

【高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 設定】

アドレス : F00A8H

| | | | | | | | | |
|---------|---|---|---|---|---|-----------|-----------|-----------|
| HOCODIV | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | 0 | 0 | 0 | 0 | 0 | HOCODIV 2 | HOCODIV 1 | HOCODIV 0 |

| HOCODIV 2 | HOCODIV 1 | HOCODIV 0 | 選択周波数 |
|-----------|-----------|-----------|----------|
| 0 | 0 | 1 | 20 MHz |
| 0 | 1 | 0 | 10 MHz |
| 0 | 1 | 1 | 5 MHz |
| 1 | 0 | 0 | 2.5 MHz |
| 1 | 0 | 1 | 1.25 MHz |
| 上記以外 | | | 設定禁止 |

注意1. HOCODIVレジスタの設定は周波数の変更前、変更後ともに動作可能な電圧範囲で行ってください。

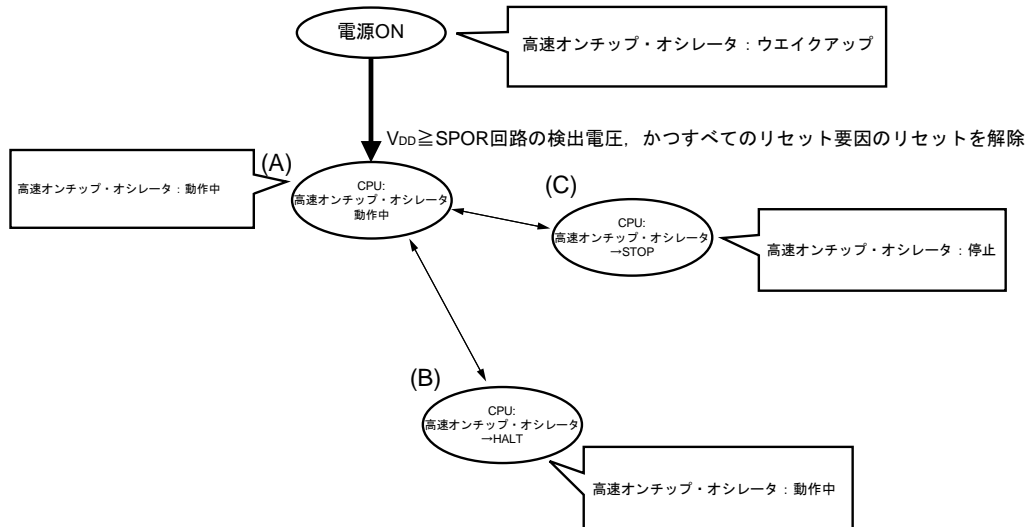
2. HOCODIVレジスタで周波数を変更後、次の遷移時間を経過して周波数が切り替わります。

- ・変更前の周波数で最大3クロック動作
- ・変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロック・ウェイト

5.6.2 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5-6に示します。

図5-6 CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表5-2に示します。

表5-2 CPUクロックの移行とSFRレジスタの設定例

- (1) ・CPUが高速オンチップ・オシレータ・クロック動作中 (A) にHALTモード (B) へ移行

| 状態遷移 | 設定内容 |
|-----------|-------------|
| (A) → (B) | HALT命令を実行する |

- (2) ・CPUが高速オンチップ・オシレータ・クロック動作中 (A) にSTOPモード (C) へ移行

(設定順序) →

| 状態遷移 | 設定内容 | |
|-----------|------------------------------|-------------|
| (A) → (C) | STOPモード中に動作できない周辺 機能を停止する | STOP命令を実行する |

備考 表5-2の (A) - (C) は, 図5-6の (A) - (C) に対応しています。

第6章 タイマ・アレイ・ユニット

タイマ・アレイ・ユニットのチャンネル数は、4チャンネルです。

タイマ・アレイ・ユニットは4つの16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせることで高度なタイマ機能として使用することもできます。

タイマ・アレイ・ユニット



各機能の詳細は、下記を参照してください。

| 単独チャンネル動作機能 | 複数チャンネル連動動作機能 |
|----------------------------------|---------------------------------|
| ・ インターバル・タイマ (→6. 8. 1参照) | ・ ワンショット・パルス出力 (→6. 9. 1参照) |
| ・ 方形波出力 (→6. 8. 1参照) | ・ 2入力式ワンショット・パルス出力 (→6. 9. 2参照) |
| ・ 外部イベント・カウンタ (→6. 8. 2参照) | ・ PWM出力機能 (→6. 9. 3参照) |
| ・ 分周器機能 (→6. 8. 3参照) | ・ 多重PWM出力機能 (→6. 9. 4参照) |
| ・ 入力パルス間隔測定 (→6. 8. 4参照) | |
| ・ 入力信号のハイ/ロウ・レベル幅測定 (→6. 8. 5参照) | |
| ・ デイレイ・カウンタ (→6. 8. 6参照) | |

チャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ（上位/下位）として使用することもできます。チャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- ・ インターバル・タイマ (上位8ビット・タイマ, 下位8ビット・タイマ)
- ・ 方形波出力 (下位8ビット・タイマのみ)
- ・ 外部イベント・カウンタ (下位8ビット・タイマのみ)
- ・ デイレイ・カウンタ (下位8ビット・タイマのみ)
- ・ PWM出力機能 (下位8ビット・タイマのみ)
- ・ 多重PWM出力機能 (下位8ビット・タイマのみ)

また、チャンネル1は、ISCレジスタを設定することで、シリアル・アレイ・ユニットのUART0と連携することができます。入力パルス間隔測定モードを利用して通信相手のボー・レート幅を測定することができ、UART0のボー・レート補正を実現することが可能です。

6.1 タイマ・アレイ・ユニットの機能

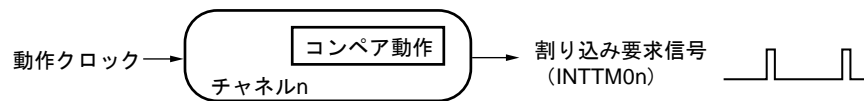
タイマ・アレイ・ユニットには、次のような機能があります。

6.1.1 単独チャネル動作機能

単独チャネル動作機能は、他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

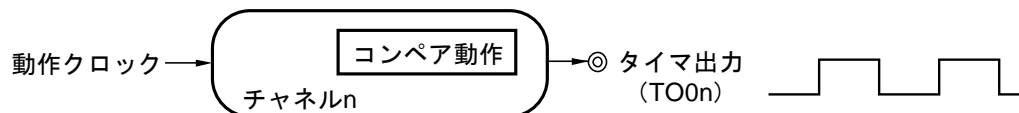
(1) インターバル・タイマ

一定間隔で割り込み（INTTM0n）を発生する基準タイマとして利用できます。



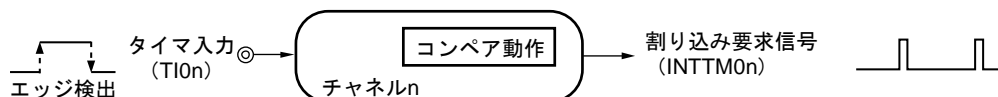
(2) 方形波出力

INTTM0n割り込みの発生ごとにトグル動作を行い、デューティ50%の方形波をタイマ出力端子（TO0n）より出力します。



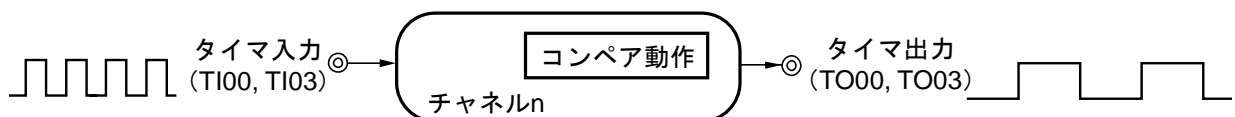
(3) 外部イベント・カウンタ

タイマ入力端子（TI0n）に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



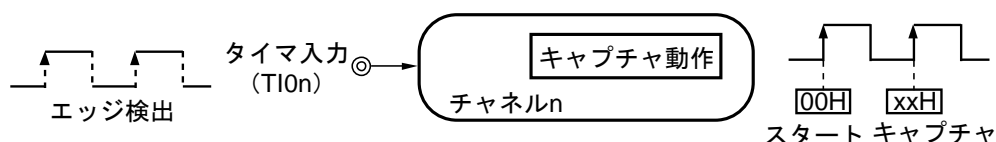
(4) 分周器機能（チャネル0, 3のみ）

タイマ入力端子（TI00, TI03）から入力されたクロックを分周して出力端子（TO00, TO03）より出力します。



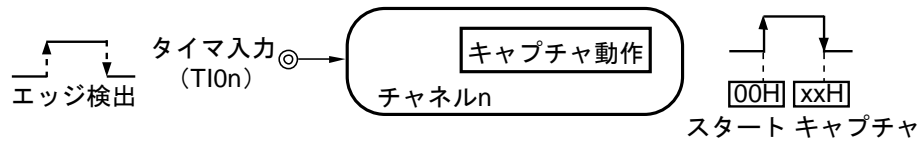
(5) 入力パルス間隔測定

タイマ入力端子（TI0n）に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



(6) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子 (TI0n) に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



(7) デイレイ・カウンタ

タイマ入力端子 (TI0n) に入力される信号の有効エッジでカウントをスタートし、任意のデイレイ期間後、割り込みを発生します。



備考 n : チャンネル番号。n = 0-3

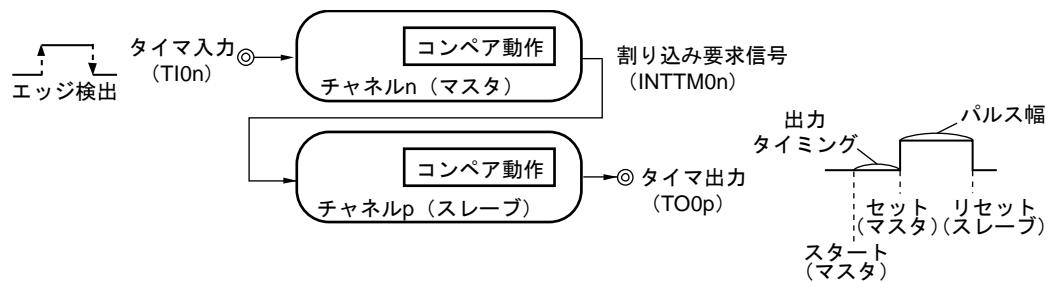
6.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期を制御する基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組み合わせることで実現する機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

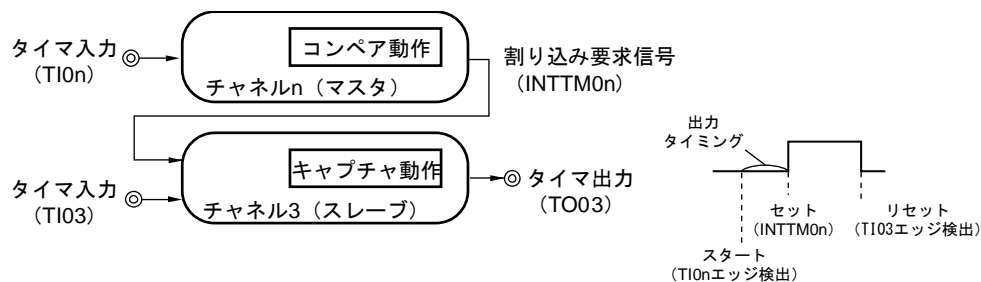
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



(2) 2入力式ワンショット・パルス出力

2チャンネルをセットで使用し、タイマ入力端子 (TI0n, TI03) に入力される有効エッジで、タイマ出力端子 (TO03) をセット/リセットして任意のワンショット・パルスを生成します。



注意 複数チャンネル連動動作機能の使用にあたっては、いくつかのルールがあります。

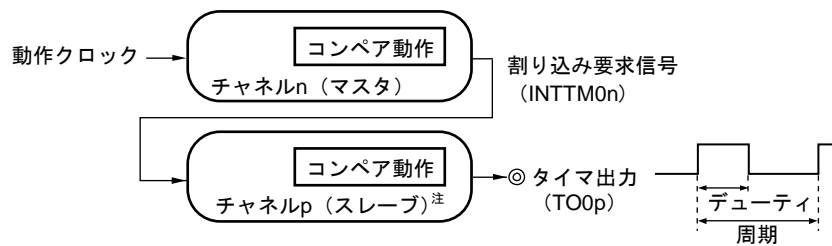
詳細は、6.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 n : チャンネル番号。n = 0-3

p : スレーブ・チャンネル番号 (0 < p ≤ 3)

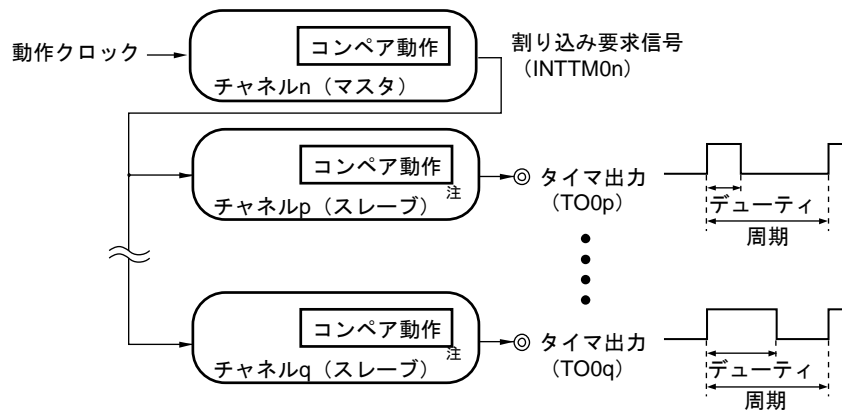
(3) PWM (Pulse Width Modulation) 出力機能

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(4) 多重PWM (Pulse Width Modulation) 出力機能

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティのPWM信号を最大3種類生成することができます。



注 チャンネル1, 3の下位8ビット・タイマでも、動作可能です。

注意 複数チャンネル連動動作機能の使用にあたっては、いくつかのルールがあります。
詳細は、6.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 n : チャンネル番号。n = 0-3
p, q : スレーブ・チャンネル番号 (0 < p < q ≤ 3)

6.1.3 8ビット・タイマ動作機能（チャンネル1, 3のみ）

8ビット・タイマ動作機能は、チャンネル1, 3の16ビット・タイマを8ビット・タイマ（上位／下位）の2チャンネル構成として使用する機能です。チャンネル1, 3の8ビット・タイマが使用できる機能は、次の機能です。

- ・ インターバル・タイマ （上位8ビット・タイマ, 下位8ビット・タイマ）
- ・ 方形波出力 （下位8ビット・タイマのみ）
- ・ 外部イベント・カウンタ （下位8ビット・タイマのみ）
- ・ デレイ・カウンタ （下位8ビット・タイマのみ）
- ・ PWM出力機能 （下位8ビット・タイマのみ）
- ・ 多重PWM出力機能 （下位8ビット・タイマのみ）

注意 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。

詳細は、6.4.2 8ビット・タイマ動作機能の基本ルール（チャンネル1, 3のみ）を参照してください。

6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表6-1 タイマ・アレイ・ユニットの構成

| 項目 | 構成 |
|----------|---|
| タイマ/カウンタ | タイマ・カウンタ・レジスタ0n (TCR0nH, TCR0nL) |
| レジスタ | タイマ・データ・レジスタ0n (TDR0nH, TDR0nL) |
| タイマ入力 | TI00-TI03 |
| タイマ出力 | TO00-TO03, 出力制御回路 |
| 制御レジスタ | <p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・タイマ・クロック選択レジスタ0 (TPS0) ・タイマ・チャンネル許可ステータス・レジスタ0 (TE0, TEH0) ・タイマ・チャンネル開始レジスタ0 (TS0, TSH0) ・タイマ・チャンネル停止レジスタ0 (TT0, TTH0) ・タイマ出力許可レジスタ0 (TOE0) ・タイマ出力レジスタ0 (TO0) ・タイマ出力レベル・レジスタ0 (TOL0) ・タイマ出力モード・レジスタ0 (TOM0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・タイマ・モード・レジスタ0n (TMR0nH, TMR0nL) ・タイマ・ステータス・レジスタ0n (TSR0n) ・ノイズ・フィルタ許可レジスタ1 (NFEN1) ・入力切り替え制御レジスタ (ISC) ・ポート・モード・コントロール・レジスタ0 (PMC0) ・ポート・モード・レジスタ0, 4 (PM0, PM4) ・ポート・レジスタ0, 4 (P0, P4) |

備考 n: チャンネル番号。n = 0-3

タイマ・アレイ・ユニットの各チャンネルのタイマ入出力の兼用ポートは、製品によって異なります。

表6-2 各製品に搭載しているタイマ入出力端子

| タイマ・アレイ・ユニット・チャンネル | 各製品の入出力端子の有無 |
|--------------------|--------------------------------|
| チャンネル0 | P03/TO00, P137/TI00 |
| チャンネル1 | P04/TI01/TO01, (P40/TI01/TO01) |
| チャンネル2 | P05/TI02/TO02 |
| チャンネル3 | P41/TI03, P07/TO03 |

備考1. タイマの入力と出力が同一端子で兼用されている場合は、どちらか一方のみ使用可能です。

2. - : チャンネル非搭載

3. () 内は、周辺I/Oリダイレクション・レジスタのPIOR0ビットを“1”に設定したときの兼用ポート

図6-1, 図6-2にタイマ・アレイ・ユニットのブロック図を示します。

図6-1 タイマ・アレイ・ユニットの全体ブロック図

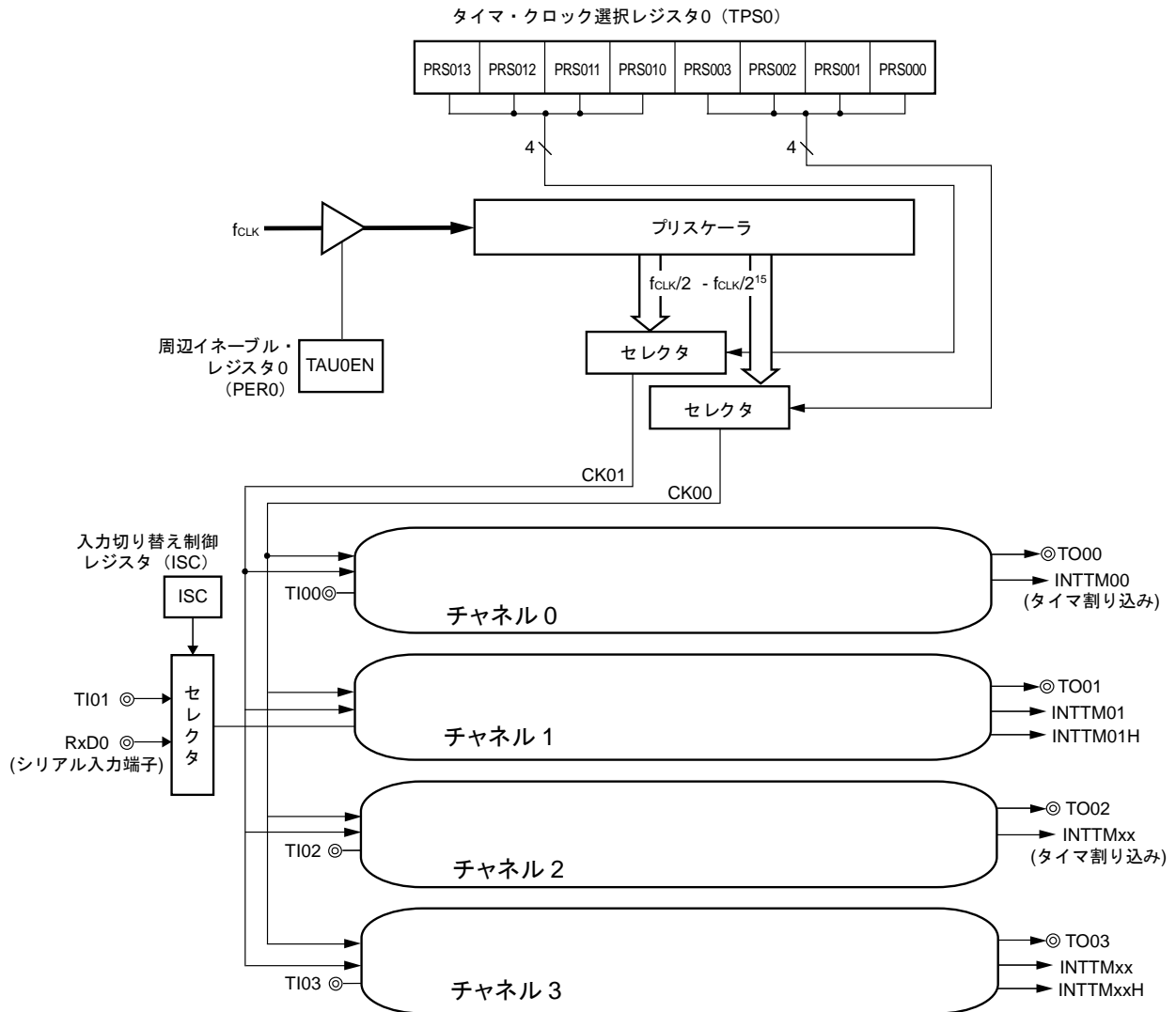
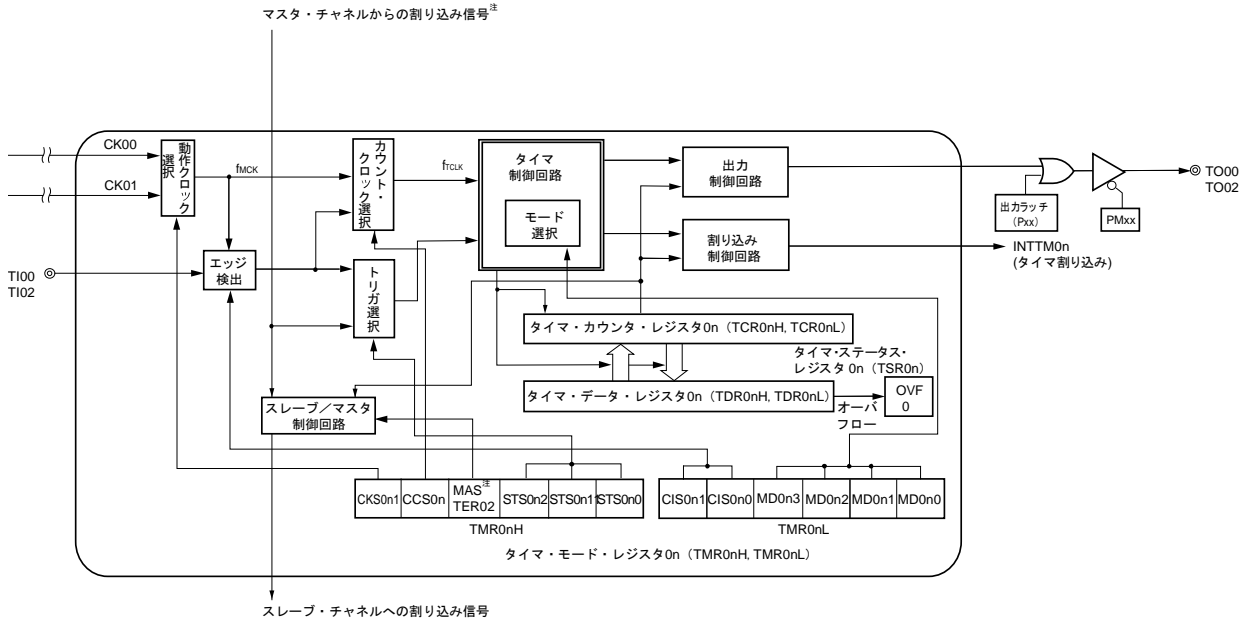


図6-2 タイマ・アレイ・ユニットのチャンネル内部ブロック図

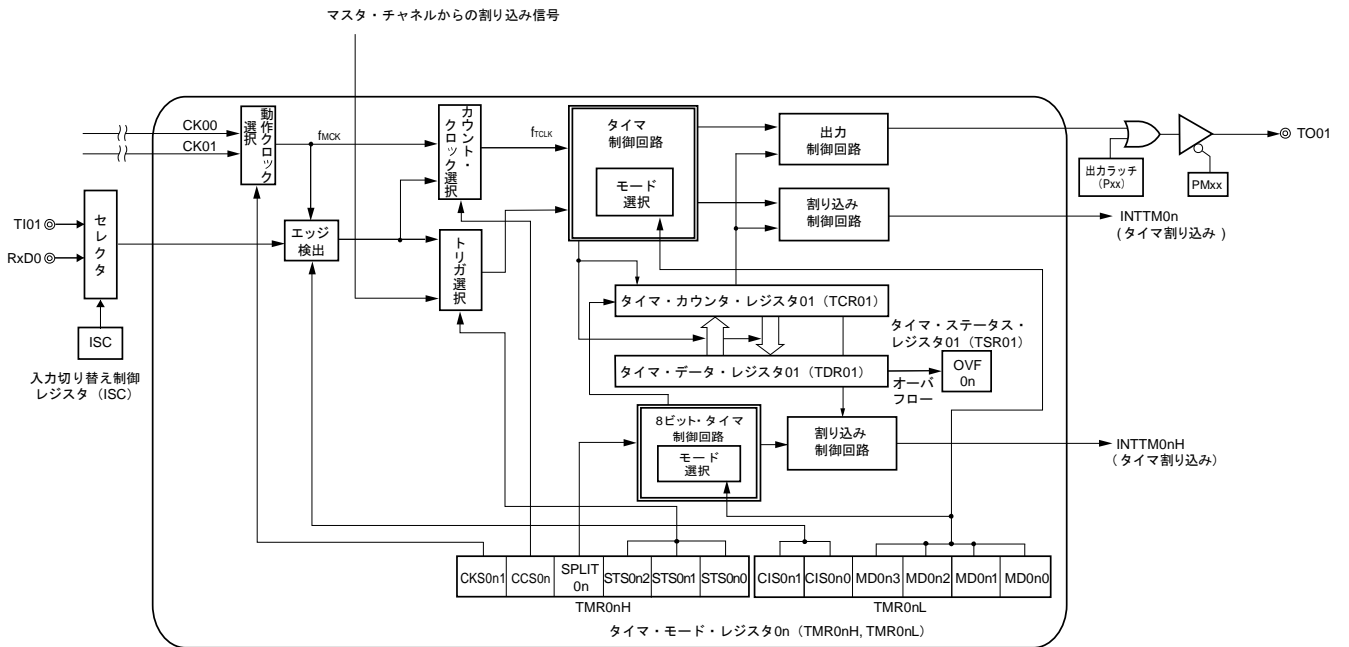
(a) チャンネル0, 2



注 チャンネル2のみ

備考 n = 0, 2

(b) チャンネル1, 3



備考 n = 1, 3

6.2.1 タイマ・カウンタ・レジスタ0n (TCR0n)

TCR0nレジスタは、カウント・クロック (f_{CLK}) をカウントする2つの8ビットのリード専用レジスタ (TCR0nH, TCR0nL) で構成されています。

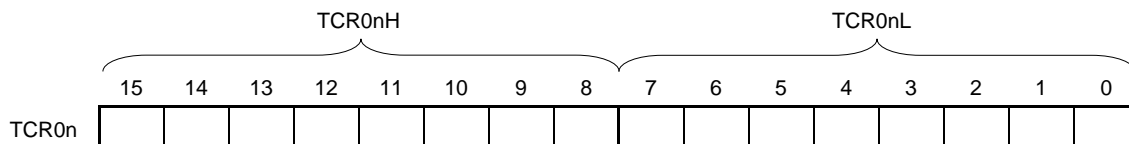
TCR0nレジスタを読み出す場合、TCR0nH, TCR0nLレジスタに連続アクセスしてください。

カウント・クロック (f_{CLK}) の立ち上がりに同期して、カウンタをインクリメント/デクリメントします。

インクリメントかデクリメントかは、タイマ・モード・レジスタ0n (TMR0n) のMD0n3-MD0n0ビットで動作モードを選択することで切り替わります (6.3.3 タイマ・モード・レジスタ0n (TMR0n) 参照)。

図6-3 タイマ・カウンタ・レジスタ0n (TCR0n) のフォーマット (n = 0-3)

アドレス : F0180H (TCR00L) , F0181H (TCR00H) リセット時 : FFH R
 F0182H (TCR01L) , F0183H (TCR01H)
 F0184H (TCR02L) , F0185H (TCR02H)
 F0186H (TCR03L) , F0187H (TCR03H)



備考 n : チャネル番号。n = 0-3

TCR0nH, TCR0nLレジスタを読み出すときは、TCR0nLレジスタ→TCR0nHレジスタの順で、連続して読み出しを行ってください。連続読み出しの間に、TCR0nLの読み出しなどを挿入した場合、読み出しが正常に行われません。

注意 TCR0nH, TCR0nLレジスタの連続読み出しは、DI命令を実行して割り込み禁止の状態で行ってください。

タイマ・カウンタ・レジスタ0n (TCR0n) をリードすることにより、カウント値をリードできます。次の場合、カウント値はFFFFHになります。

- ・リセット信号の発生時
- ・周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットをクリアしたとき
- ・PWM出力モードで、スレーブ・チャンネルのカウント完了時
- ・ディレイ・カウント・モードでカウント完了時
- ・ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時
- ・多重PWM出力モードで、スレーブ・チャンネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- ・キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・キャプチャ・モード時で、キャプチャ完了したとき

- 注意1.** TCR0nレジスタをリードしても、タイマ・データ・レジスタ0n (TDR0n) にはキャプチャしません。
- 2.** チャネル1, 3を8ビット・タイマ・モード (SPLIT=1) で使用する場合は、TCR01H, TDR01HレジスタまたはTCR03H, TDR03Hレジスタの読み出しは禁止です。

TCR0nレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表6-3 各動作モード時のタイマ・カウンタ・レジスタ0n (TCR0n) 読み出し値

| 動作モード | カウント方式 | タイマ・カウンタ・レジスタ (TCR0n) の読み出し値 ^注 | | | |
|------------------|----------|---|-------------------------------|--|-------------------------|
| | | リセット解除後に動作モード変更した場合の値 | カウント動作を一時停止 (TT0n = 1) した場合の値 | カウント動作を一時停止 (TT0n = 1) 後、動作モード変更した場合の値 | ワンカウント後のスタート・トリガ待ち状態時の値 |
| インターバル・タイマ・モード | ダウン・カウント | FFFFH | 停止時の値 | 不定 | — |
| キャプチャ・モード | アップ・カウント | 0000H | 停止時の値 | 不定 | — |
| イベント・カウンタ・モード | ダウン・カウント | FFFFH | 停止時の値 | 不定 | — |
| ワンカウント・モード | ダウン・カウント | FFFFH | 停止時の値 | 不定 | FFFFH |
| キャプチャ&ワンカウント・モード | アップ・カウント | 0000H | 停止時の値 | 不定 | TDR0nレジスタのキャプチャ値+1 |

注 チャンネルnがタイマ動作停止状態 (TE0n = 0) からカウント動作許可状態 (TS0n = 1) にした時点の、TCR0nレジスタの読み出し値を示します。カウント動作開始までこの値がTCR0nレジスタに保持されます。

注意 チャンネル1, 3を8ビット・タイマ・モード (SPLIT=1) で使用する場合は、TCR01H, TDR01HレジスタまたはTCR03H, TDR03Hレジスタの読み出しは禁止です。

備考 n : チャンネル番号。n = 0-3

6.2.2 タイマ・データ・レジスタ0n (TDR0n)

TDR0nレジスタは、キャプチャ機能とコンペア機能を切り替えて使用できる2つの8ビットのレジスタ (TDR0nH, TDR0nL) で構成されています。キャプチャ機能かコンペア機能かは、タイマ・モード・レジスタ0n (TMR0n) のMD0n3-MD0n0ビットで動作モードを選択することで切り替わります。

コンペア・レジスタとして使用する場合、TDR0nH, TDR0nLレジスタは任意のタイミングで書き換えることができます。

TDR0nレジスタへアクセスする場合、TDR0nH, TDR0nLレジスタに連続アクセスしてください。

また、TDR0nレジスタは、8ビット・タイマ・モード時 (タイマ・モード・レジスタ0n (TMR0n) のSPLIT0nビットが1) に、上位8ビットをTDR0nH, 下位8ビットをTDR0nLとして、8ビット単位で書き換えができます。

TDR0nH, TDR0nLレジスタへ読み出し、書き込むときは、以下の注意が必要です。

- ・16ビット・タイマ・モード時 (チャンネル0, 2またはチャンネル1, 3のTMR0nHレジスタのビット3 (SPLIT0n) が"0")

TDR0nH, TDR0nLレジスタへ書き込むときは、TDR0nHレジスタ→TDR0nLレジスタの順で、連続して書き込みを行ってください。TDR0nLレジスタを書き換えたタイミングで、TDR0nH, TDR0nLレジスタの値が更新されます。

また、TDR0nH, TDR0nLレジスタを読み出すときは、TDR0nLレジスタ→TDR0nHレジスタの順で、連続して読み出しを行ってください。TDR0nLレジスタを読み出したタイミングで、TDR0nHレジスタの値が更新されます。

連続読み出しまたは連続書き込みの間に、TDR0nHの書き込み、TDR0nLの読み出しやTCR0nの読み出しなどを挿入した場合、読み出しや書き込みが正常に行われません。

TDR0nH, TDR0nLレジスタの連続読み出し、およびTDR0nH, TDR0nLレジスタの連続書き込みは、DI命令を実行して割り込み禁止の状態で行ってください。

- ・8ビット・タイマ・モード時 (チャンネル1, 3のTMR0nHレジスタのビット3 (SPLIT0n) が"1")

8ビット・タイマ・モードのとき、8ビット単位でTDR0nH, TDR0nLレジスタへ書き込みができます。

TDR0nHレジスタを読み出すときは、TDR0nLレジスタ→TDR0nHレジスタの順で連続して読み出しを行ってください。TDR0nLレジスタを読み出したタイミングで、TDR0nHレジスタの値が更新されます。

連続読み出しの間に、TDR0nHレジスタの書き込み、TDR0nLの読み出しやTCR0nの読み出しなどを挿入した場合、読み出しが正常に行われません。

TDR0nH, TDR0nLレジスタの連続読み出しは、DI命令を実行して割り込み禁止の状態で行ってください。

注意 チャンネル1, 3を8ビット・タイマ・モード (SPLIT=1) で使用する場合は、TCR01H, TDR01HレジスタまたはTCR03H, TDR03Hレジスタの読み出しは禁止です。

備考 n: チャンネル番号。n = 0-3

図6-4 タイマ・データ・レジスタ0n (TDR0nH, TDR0nL) のフォーマット (n = 0, 2)

アドレス : FFF18H (TDR00L) , FFF19H (TDR00H) リセット時 : 00H R/W
 FFF64H (TDR02L) , FFF65H (TDR02H)

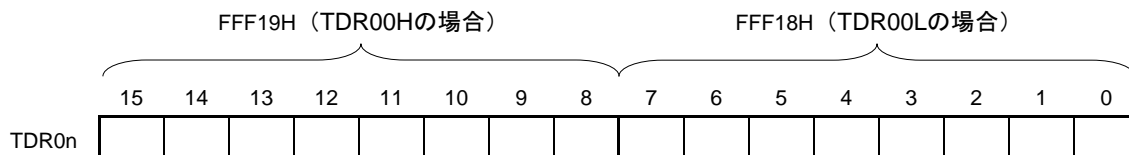
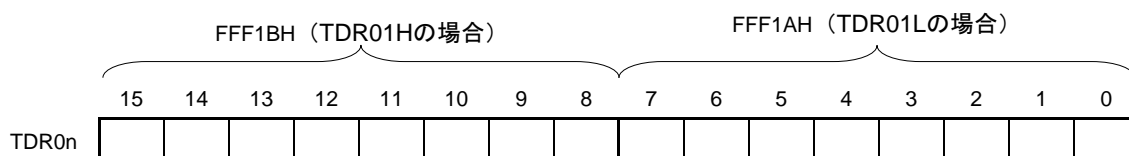


図6-5 タイマ・データ・レジスタ0n (TDR0n) のフォーマット (n = 1, 3)

アドレス : FFF1AH (TDR01L) , FFF1BH (TDR01H) リセット時 : 00H R/W
 FFF66H (TDR03L) , FFF67H (TDR03H)



- (i) タイマ・データ・レジスタ0n (TDR0nH, TDR0nL) をコンペア・レジスタとして使用するとき
 TDR0nH, TDR0nLレジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み要求信号 (INTTM0n) を発生します。TDR0nレジスタは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDR0nレジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

- (ii) タイマ・データ・レジスタ0n (TDR0nH, TDR0nL) をキャプチャ・レジスタとして使用するとき
 キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタ0n (TCR0n) のカウント値をTDR0nH, TDR0nLレジスタにキャプチャします。
 キャプチャ・トリガとして、TI0n端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタ0n (TMR0n) で設定します。

備考 n : チャネル番号。n = 0-3

6.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・タイマ・クロック選択レジスタ0 (TPS0)
- ・タイマ・チャンネル許可ステータス・レジスタ0 (TE0, TEH0)
- ・タイマ・チャンネル開始レジスタ0 (TS0, TSH0)
- ・タイマ・チャンネル停止レジスタ0 (TT0, TTH0)
- ・タイマ出力許可レジスタ0 (TOE0)
- ・タイマ出力レジスタ0 (TO0)
- ・タイマ出力レベル・レジスタ0 (TOL0)
- ・タイマ出力モード・レジスタ0 (TOM0)
- ・タイマ・モード・レジスタ0n (TMR0nH, TMR0nL)
- ・タイマ・ステータス・レジスタ0n (TSR0n)
- ・ノイズ・フィルタ許可レジスタ1 (NFEN1)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート・モード・コントロール・レジスタ0 (PMC0)
- ・ポート・モード・レジスタ0, 4 (PM0, PM4)
- ・ポート・レジスタ0, 4 (P0, P4)

備考 n : チャンネル番号。n = 0-3

6.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットを使用する場合は、必ずビット0 (TAU0EN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図6-6 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

| | | | | | | | | |
|------|--------|--------------------|-------|---|---|--------|---|--------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PER0 | TMKAEN | RTOEN ^注 | ADCEN | 0 | 0 | SAU0EN | 0 | TAU0EN |

| | |
|--------|--|
| TAU0EN | タイマ・アレイ・ユニットの入カクロックの制御 |
| 0 | 入力クロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態 |
| 1 | 入力クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可 |

注 RL78/G1M製品のみ

注意1. タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAU0EN = 1の状態、下記のレジスタの設定を行ってください。TAU0EN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタは初期値となり、書き込みは無視されます（ノイズ・フィルタ許可レジスタ1 (NFEN1)、入力切り替え制御レジスタ (ISC)、ポート・モード・レジスタ0, 4 (PM0, PM4)、ポート・レジスタ0, 4 (P0, P4)、ポート・モード・コントロール・レジスタ0 (PMC0) は除く）。

- ・タイマ・カウンタ・レジスタ0n (TCR0nH, TCR0nL)
- ・タイマ・データ・レジスタ0n (TDR0nH, TDR0nL)
- ・タイマ・クロック選択レジスタ0 (TPS0)
- ・タイマ・チャンネル許可ステータス・レジスタ0 (TE0, TEH0)
- ・タイマ・チャンネル開始レジスタ0 (TS0, TSH0)
- ・タイマ・チャンネル停止レジスタ0 (TT0, TTH0)
- ・タイマ出力許可レジスタ0 (TOE0)
- ・タイマ出力レジスタ0 (TO0)
- ・タイマ出力レベル・レジスタ0 (TOL0)
- ・タイマ出力モード・レジスタ0 (TOM0)
- ・タイマ・モード・レジスタ0n (TMR0nH, TMR0nL)
- ・タイマ・ステータス・レジスタ0n (TSR0n)

2. 次のビットには必ず“0”を設定してください。

RL78/G1M製品：ビット1, 3, 4

RL78/G1N製品：ビット1, 3, 4, 6

6.3.2 タイマ・クロック選択レジスタ0 (TPS0)

TPS0レジスタは、プリスケアラから各チャンネルに共通して供給される2種類の動作クロック（CK00, CK01）を選択する8ビット・レジスタです。

タイマ動作中のTPS0レジスタの書き換えは、次の場合のみ可能です。

PRS000-PRS003ビットが書き換え可能な場合（ $n = 0-3$ ）：

動作クロックにCK00を選択（CKS0n1 = 0）しているチャンネルがすべて停止状態（TE0n = 0）

PRS010-PRS013ビットが書き換え可能な場合（ $n = 0-3$ ）：

動作クロックにCK01を選択（CKS0n1 = 1）しているチャンネルがすべて停止状態（TE0n = 0）

TPS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPS0レジスタは00Hになります。

図6-7 タイマ・クロック選択レジスタ0 (TPS0) のフォーマット

アドレス：F01B6H リセット時：00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|--------|--------|--------|--------|--------|--------|--------|--------|
| TPS0 | PRS013 | PRS012 | PRS011 | PRS010 | PRS003 | PRS002 | PRS001 | PRS000 |

| PRS 0k3 | PRS 0k2 | PRS 0k1 | PRS 0k0 | 動作クロック (CK0k) の選択 ^注 (k = 0, 1) | f _{CLK} = | f _{CLK} = | f _{CLK} = | f _{CLK} = | f _{CLK} = |
|------------|------------|------------|------------|---|--------------------|--------------------|--------------------|--------------------|--------------------|
| | | | | | 1.25 MHz | 2.5 MHz | 5 MHz | 10 MHz | 20 MHz |
| 0 | 0 | 0 | 0 | f _{CLK} | 1.25 MHz | 2.5 MHz | 5 MHz | 10 MHz | 20 MHz |
| 0 | 0 | 0 | 1 | f _{CLK} /2 | 625 kHz | 1.25 MHz | 2.5 MHz | 5 MHz | 10 MHz |
| 0 | 0 | 1 | 0 | f _{CLK} /2 ² | 313 kHz | 625 kHz | 1.25 MHz | 2.5 MHz | 5 MHz |
| 0 | 0 | 1 | 1 | f _{CLK} /2 ³ | 156 kHz | 313 kHz | 625 kHz | 1.25 MHz | 2.5 MHz |
| 0 | 1 | 0 | 0 | f _{CLK} /2 ⁴ | 78.1 kHz | 156 kHz | 313 kHz | 625 kHz | 1.25 MHz |
| 0 | 1 | 0 | 1 | f _{CLK} /2 ⁵ | 39.1 kHz | 78.1 kHz | 156 kHz | 313 kHz | 625 kHz |
| 0 | 1 | 1 | 0 | f _{CLK} /2 ⁶ | 19.5 kHz | 39.1 kHz | 78.1 kHz | 156 kHz | 313 kHz |
| 0 | 1 | 1 | 1 | f _{CLK} /2 ⁷ | 9.77 kHz | 19.5 kHz | 39.1 kHz | 78.1 kHz | 156 kHz |
| 1 | 0 | 0 | 0 | f _{CLK} /2 ⁸ | 4.88 kHz | 9.77 kHz | 19.5 kHz | 39.1 kHz | 78.1 kHz |
| 1 | 0 | 0 | 1 | f _{CLK} /2 ⁹ | 2.44 kHz | 4.88 kHz | 9.77 kHz | 19.5 kHz | 39.1 kHz |
| 1 | 0 | 1 | 0 | f _{CLK} /2 ¹⁰ | 1.22 kHz | 2.44 kHz | 4.88 kHz | 9.77 kHz | 19.5 kHz |
| 1 | 0 | 1 | 1 | f _{CLK} /2 ¹¹ | 610 Hz | 1.22 kHz | 2.44 kHz | 4.88 kHz | 9.77 kHz |
| 1 | 1 | 0 | 0 | f _{CLK} /2 ¹² | 305 Hz | 610 Hz | 1.22 kHz | 2.44 kHz | 4.88 kHz |
| 1 | 1 | 0 | 1 | f _{CLK} /2 ¹³ | 153 Hz | 305 Hz | 610 Hz | 1.22 kHz | 2.44 kHz |
| 1 | 1 | 1 | 0 | f _{CLK} /2 ¹⁴ | 76.3 Hz | 153 Hz | 305 Hz | 610 Hz | 1.22 kHz |
| 1 | 1 | 1 | 1 | f _{CLK} /2 ¹⁵ | 38.1 Hz | 76.3 Hz | 153 Hz | 305 Hz | 610 Hz |

注 f_{CLK} を変更（システム・クロック制御レジスタ（CKC）を変更）する場合は、タイマ・アレイ・ユニットを停止（TT0 = 0FH, TTH0 = 0AH）させてください。

注意 動作クロック (CK0k) にf_{CLK} (分周なし) を選択し、TDR0nH = 00H, TDR0nL = 00H (n = 0-3) を設定すると、タイマ・アレイ・ユニットからの割り込み要求信号 (INTTM0n) は使用できません。

備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

2. TPS0レジスタで選択するクロックは、立ち上がりからf_{CLK}の1周期分だけハイ・レベルになる信号となります。詳しくは、6.5.1 カウント・クロック (f_{TCLK}) を参照してください。

6.3.3 タイマ・モード・レジスタ0n (TMR0n)

TMR0nレジスタは、チャンネルnの動作モードを設定する2つの8ビットのレジスタ (TMR0nH, TMR0nL) で構成されています。動作クロック (f_{MCK}) の選択, カウント・クロック (f_{TCLK}) の選択, マスタ/スレーブの選択, 16ビット/8ビット・タイマの選択 (チャンネル1, 3のみ), スタート・トリガとキャプチャ・トリガの設定, タイマ入力の有効エッジ選択, 動作モード (インターバル, キャプチャ, イベント・カウンタ, ワンカウント, キャプチャ&ワンカウント) 設定を行います。

TMR0nH, TMR0nLレジスタは、動作中 (TE0n = 1のとき) の書き換えは禁止です。

TMR0nH, TMR0nLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMR0nH, TMR0nLレジスタは00Hになります。

注意 TMR0nHレジスタのビット3は、チャンネルによって搭載するビットが異なります。

| | |
|----------------|-------------------------|
| TMR02H | : MASTER02ビット |
| TMR01H, TMR03H | : SPLIT0nビット (n = 1, 3) |
| TMR00H | : 0固定 |

図6-8 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (1/3)

アドレス : F0190H (TMR00L), F0191H (TMR00H) リセット時 : 00H R/W
 : F0192H (TMR01L), F0193H (TMR01H)
 : F0194H (TMR02L), F0195H (TMR02H)
 : F0196H (TMR03L), F0197H (TMR03H)

| | | | | | | | | |
|--------|--------|---|---|-------|---|--------|--------|--------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMR00H | CKS001 | 0 | 0 | CCS00 | 0 | STS002 | STS001 | STS000 |

| | | | | | | | | |
|--------|--------|---|---|-------|----------|--------|--------|--------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMR02H | CKS021 | 0 | 0 | CCS02 | MASTER02 | STS022 | STS021 | STS020 |

| | | | | | | | | |
|----------------------|--------|---|---|-------|---------|--------|--------|--------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMR0nH (n = 1, 3) | CKS0n1 | 0 | 0 | CCS0n | SPLIT0n | STS0n2 | STS0n1 | STS0n0 |

| | | | | | | | | |
|---------------------|--------|--------|---|---|-------|-------|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMR0nL (n = 0-3) | CIS0n1 | CIS0n0 | 0 | 0 | MD0n3 | MD0n2 | MD0n1 | MD0n0 |

| | |
|--|--|
| CKS0n1 | チャンネルnの動作クロック (fmck) の選択 |
| 0 | タイマ・クロック選択レジスタ0 (TPS0) で設定した動作クロックCK00 |
| 1 | タイマ・クロック選択レジスタ0 (TPS0) で設定した動作クロックCK01 |
| 動作クロック (fmck) は、エッジ検出回路に使用されます。また、CCS0nビットの設定によりサンプリング・クロックおよびカウント・クロック (fclk) を生成します。 | |

| | |
|---|-----------------------------|
| CCS0n | チャンネルnのカウント・クロック (fclk) の選択 |
| 0 | CKS0n1ビットで指定した動作クロック (fmck) |
| 1 | TIO端子からの入力信号の有効エッジ |
| カウント・クロック (fclk) は、カウンタ、出力制御回路、割り込み制御回路に使用されます。 | |

注意1. 次のビットには必ず“0”を設定してください。

TMR00Hレジスタ : ビット3, 5, 6

TMR01H-TMR03Hレジスタ : ビット5, 6

TMR00L-TMR03Lレジスタ : ビット4, 5

2. カウント・クロック (fclk) に、CKS0n1ビットで指定した動作クロック (fmck) , TIO端子からの入力信号の有効エッジのどれを選択していても、fclkを変更 (システム・クロック制御レジスタ (CKC) を変更) する場合は、タイマ・アレイ・ユニットを停止 (TT0 = 0FH, TTH0 = 0AH) させてください。

備考 n : チャンネル番号。n = 0-3

図6-8 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (2/3)

| | | | | | | | | |
|----------------------|--------|---|---|-------|----------|--------|--------|--------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMR00H | CKS001 | 0 | 0 | CCS00 | 0 | STS002 | STS001 | STS000 |
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMR02H | CKS021 | 0 | 0 | CCS02 | MASTER02 | STS022 | STS021 | STS020 |
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMR0nH (n = 1, 3) | CKS0n1 | 0 | 0 | CCS0n | SPLIT0n | STS0n2 | STS0n1 | STS0n0 |

(TMR02Hのビット3)

| | |
|----------|--|
| MASTER02 | チャンネルnの単独チャンネル動作／複数チャンネル連動動作（スレーブ／マスタ）の選択 |
| 0 | 単独チャンネル動作機能，または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作 |
| 1 | 複数チャンネル連動動作機能でマスタ・チャンネルとして動作 |

チャンネル0, 2は，マスタ・チャンネルとして動作できます。
 チャンネル2をマスタ・チャンネルとして使用するときは，TMR02Hのビット3 (MASTER02) に1を設定します。
 チャンネル0は最上位チャンネルのため，TMR00Hのビット3³の設定によらずマスタとして動作します。
 また，単独チャンネル動作機能として使用するチャンネルは，MASTER02 = 0 にします。

(TMR01H, TMR03Hのビット3)

| | |
|---------|--|
| SPLIT0n | チャンネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択 (n = 1, 3) |
| 0 | 16ビット・タイマとして動作 |
| 1 | 8ビット・タイマとして動作 |

| | | | |
|--------|--------|--------|--|
| STS0n2 | STS0n1 | STS0n0 | チャンネルnのスタート・トリガ，キャプチャ・トリガの設定 (n = 0-3) |
| 0 | 0 | 0 | ソフトウェア・トリガ・スタートのみ有効（他のトリガ要因を非選択にする） |
| 0 | 0 | 1 | TI0n端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガに使用 |
| 0 | 1 | 0 | TI0n端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用 |
| 1 | 0 | 0 | ワンショット・パルス出力，PWM出力機能，多重PWM出力機能のスレーブ・チャンネル時：マスタ・チャンネルの割り込み要求信号 (INTTM0n) をスタート・トリガとして使用 |
| 1 | 1 | 0 | 2入力式ワンショット・パルス出力のスレーブ・チャンネル時： マスタ・チャンネルの割り込み要求信号 (INTTM0n) をスタート・トリガとして使用 スレーブ・チャンネルのTI03端子入力の有効エッジをエンド・トリガとして使用 |
| 上記以外 | | | 設定禁止 |

注 TMR00Hレジスタのビット3はRead onlyの0固定で，書き込みは無視されます。

注意. 次のビットには必ず“0”を設定してください。

TMR00Hレジスタ : ビット3, 5, 6

TMR01H-TMR03Hレジスタ : ビット5, 6

図6-8 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (3/3)

| | | | | | | | | |
|---------------------|--------|--------|---|---|-------|-------|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMR0nL (n = 0-3) | CIS0n1 | CIS0n0 | 0 | 0 | MD0n3 | MD0n2 | MD0n1 | MD0n0 |

| CIS 0n1 | CIS 0n0 | TIO端子の有効エッジ選択 |
|------------|------------|--|
| 0 | 0 | 立ち下がりエッジ |
| 0 | 1 | 立ち上がりエッジ |
| 1 | 0 | 両エッジ (ロウ・レベル幅測定時) スタート・トリガ: 立ち下がりエッジ, キャプチャ・トリガ: 立ち上がりエッジ |
| 1 | 1 | 両エッジ (ハイ・レベル幅測定時) スタート・トリガ: 立ち上がりエッジ, キャプチャ・トリガ: 立ち下がりエッジ |

STS0n2-STS0n0ビット = 010B時以外で両エッジ指定を使用する場合は, CIS0n1-CIS0n0ビット = 10Bに設定してください。

| MD 0n3 | MD 0n2 | MD 0n1 | チャンネルnの動作モードの 設定 | 対応する機能 | TCRのカウン ト動作 |
|-----------|-----------|-----------|----------------------|--|----------------|
| 0 | 0 | 0 | インターバル・タイマ・ モード | インターバル・タイマ/方形波出力/ 分周器機能/PWM出力 (マスタ) | ダウン・カウン ト |
| 0 | 1 | 0 | キャプチャ・モード | 入力パルス間隔測定/ 2入力式ワンショット・パルス出力 (スレーブ) | アップ・カウン ト |
| 0 | 1 | 1 | イベント・カウンタ・ モード | 外部イベント・カウンタ | ダウン・カウン ト |
| 1 | 0 | 0 | ワンカウント・モード | ディレイ・カウンタ/ワンショット・パルス出 力/2入力式ワンショット・パルス出力 (マス タ)/PWM出力 (スレーブ) | ダウン・カウン ト |
| 1 | 1 | 0 | キャプチャ&ワンカウント ・モード | 入力信号のハイ/ロウ・レベル幅測定 | アップ・カウン ト |
| 上記以外 | | | 設定禁止 | | |

各モードの動作は, MD0n0ビットによって変わります (下表を参照)。

| 動作モード (MD0n3-MD0n1で設定) | MD0n0 | カウント・スタートと割り込みの設定 |
|---|-------|---|
| ・インターバル・タイマ・モード ^{注2} (0, 0, 0) ・キャプチャ・モード (0, 1, 0) | 0 | カウント開始時にタイマ割り込みを発生させない (タイマ出力も変化しない)。 |
| | 1 | カウント開始時にタイマ割り込みを発生させる (タイマ出力も変化させる)。 |
| ・イベント・カウンタ・モード ^{注2} (0, 1, 1) | 0 | カウント開始時にタイマ割り込みを発生させない (タイマ出力も変化しない)。 |
| ・ワンカウント・モード ^{注1} (1, 0, 0) | 0 | カウント動作中のスタート・トリガを無効とする。 その際にタイマ割り込みは発生しない。 |
| | 1 | カウント動作中のスタート・トリガを有効とする ^{注2} 。 その際にタイマ割り込みは発生しない。 |
| ・キャプチャ&ワンカウント・モード (1, 1, 0) | 0 | カウント開始時にタイマ割り込みを発生させない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガを無効とする。 その際にタイマ割り込みは発生しない。 |
| 上記以外 | | 設定禁止 |

- 注1. ワンカウント・モードでは、カウント動作開始時の割り込み要求信号（INTTM0n）、TO0n出力は制御しません。
2. 動作中にスタート・トリガ（TS0n = 1）が掛かると、カウンタを初期化し、再カウント・スタートします（割り込み要求信号（INTTM0n）は発生しません）。

注意 TMR00L-TMR03Lレジスタのビット4, 5には必ず“0”を設定してください。

備考 n：チャンネル番号。n = 0-3

6.3.4 タイマ・ステータス・レジスタ0n（TSR0n）

TSR0nレジスタは、チャンネルnのカウンタのオーバフロー状況を表示するレジスタです。

TSR0nレジスタは、キャプチャ・モード（MD0n3-MD0n1 = 010B）とキャプチャ&ワンカウント・モード（MD0n3-MD0n1 = 110B）のみ有効です。それ以外のモードでセットされることはありません。各動作モードでのOVFビットの動作とセット/クリア条件は表6-4を参照してください。

TSR0nレジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、TSR0nレジスタは00Hになります。

図6-9 タイマ・ステータス・レジスタ0n（TSR0n）のフォーマット

アドレス：F01A0H（TSR00）、F01A2H（TSR01） リセット時：00H R

F01A4H（TSR02）、F01A6H（TSR03）

| | | | | | | | | |
|-------|---|---|---|---|---|---|---|-----|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TSR0n | 0 | 0 | 0 | 0 | 0 | 0 | 0 | OVF |

| | |
|---|----------------------|
| OVF | チャンネルnのカウンタのオーバフロー状況 |
| 0 | オーバフローなし |
| 1 | オーバフロー発生 |
| OVF = 1のとき、次にオーバフローなしでキャプチャしたときにクリア（OVF = 0）されます。 | |

備考 n：チャンネル番号。n = 0-3

表6-4 各動作モードにおけるOVFビットの動作とセット/クリア条件

| タイマの動作モード | OVFビット | セット/クリア条件 |
|-------------------|--------|-------------------------|
| ・キャプチャ・モード | クリア | キャプチャ時にオーバフローが発生していない場合 |
| ・キャプチャ&ワンカウント・モード | セット | キャプチャ時にオーバフローが発生していた場合 |
| ・インターバル・タイマ・モード | クリア | —（使用不可） |
| ・イベント・カウンタ・モード | セット | |
| ・ワンカウント・モード | | |

備考 OVFビットは、カウンタがオーバフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

6.3.5 タイマ・チャンネル許可ステータス・レジスタ (TE0, TEH0 (8ビットモード))

TE0, TEH0レジスタは、各チャンネルのタイマ動作許可/停止状態を表示するレジスタです。

TE0, TEH0レジスタの各ビットは、タイマ・チャンネル開始レジスタ0 (TS0, TSH0) とタイマ・チャンネル停止レジスタ0 (TT0, TTH0) の各ビットに対応しています。TS0, TSH0レジスタの各ビットが1にセットされると、TE0, TEH0レジスタの対応ビットが1にセットされます。TT0, TTH0レジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TE0, TEH0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、TE0, TEH0レジスタは00Hになります。

図6-10 タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のフォーマット

アドレス: F01B0H リセット時: 00H R

| | | | | | | | | |
|-----|---|---|---|---|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TE0 | 0 | 0 | 0 | 0 | TE03 | TE02 | TE01 | TE00 |

| TE0n | チャンネルnの動作許可/停止状態の表示 |
|--|---------------------|
| 0 | 動作停止状態 |
| 1 | 動作許可状態 |
| 16ビット・タイマの動作許可/停止状態を表示します。 チャンネル1, 3が8ビット・タイマ・モード時は、下位側8ビット・タイマの動作許可/停止状態をTE01, TE03レジスタで表示します。 | |

備考 n: チャンネル番号。n = 0-3

図6-11 タイマ・チャンネル許可ステータス・レジスタ0 (TEH0) のフォーマット

アドレス: F01B1H リセット時: 00H R

| | | | | | | | | |
|------|---|---|---|---|-------|---|-------|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TEH0 | 0 | 0 | 0 | 0 | TEH03 | 0 | TEH01 | 0 |

| TEH0n | チャンネルnの動作許可/停止状態の表示 |
|--|---------------------|
| 0 | 動作停止状態 |
| 1 | 動作許可状態 |
| チャンネル1, 3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可/停止状態を表示します。 | |

6.3.6 タイマ・チャンネル開始レジスタ0 (TS0, TSH0 (8ビットモード))

TS0, TSH0レジスタは、タイマ・カウンタ・レジスタ0n (TCR0n) を初期化し、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

TS0, TSH0レジスタの各ビットを1にセットすると、タイマ・チャンネル許可ステータス・レジスタ0 (TE0, TEH0) の対応ビットが1にセットされます。TS0, TSH0レジスタのTS0n, TSH0nビットはトリガ・ビットなので、動作許可状態 (TE0n = 1) になると、すぐTS0n, TSH0nビットは0にクリアされます。

TS0, TSH0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TS0, TSH0レジスタは00Hになります。

図6-12 タイマ・チャンネル開始レジスタ0 (TS0) のフォーマット

アドレス : F01B2H リセット時 : 00H R/W

| | | | | | | | | |
|-----|---|---|---|---|-------------------|-------------------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TS0 | 0 | 0 | 0 | 0 | TS03 ^注 | TS02 ^注 | TS01 | TS00 |

| TS0n | チャンネルnの動作許可 (スタート) トリガ (n = 0-3) |
|------|--|
| 0 | トリガ動作しない |
| 1 | TE0nビットが1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCR0nレジスタのカウント動作開始は、各動作モードにより異なります (6.5.2 カウンタのスタート・タイミングの表6-5参照)。 チャンネル1, 3が8ビット・タイマ・モード時は、TS01, TS03が下位側8ビット・タイマの動作許可 (スタート) トリガになります。 |

図6-13 タイマ・チャンネル開始レジスタ0 (TSH0) のフォーマット

アドレス : F01B3H リセット時 : 00H R/W

| | | | | | | | | |
|------|---|---|---|---|-------|---|-------|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TSH0 | 0 | 0 | 0 | 0 | TSH03 | 0 | TSH01 | 0 |

| TSH0n | チャンネルnの動作許可 (スタート) トリガ (n = 1, 3) |
|-------|---|
| 0 | トリガ動作しない |
| 1 | TEH0nビットが1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCR0nレジスタのカウント動作開始は、インターバル・タイマ・モードになります (6.5.2 カウンタのスタート・タイミングの表6-5参照)。 チャンネル1, 3を8ビット・タイマ・モードとして使用时、上位側8ビット・タイマの動作許可 (スタート) トリガになります。 |

注意1. 次のビットには必ず“0”を設定してください。

TS0 : ビット4-7

TSH0 : ビット0, 2, 4-7

2. TI0n端子入力を使用しない機能から、TI0n端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタ0n (TMR0n) を設定してから、TS0nビットをセット (1) するまでに、次の期間ウエイトが必要になります。

TI0n端子のノイズ・フィルタ有効時 (TNFEN = 1) : 動作クロック (fmck) の4クロック

TI0n端子のノイズ・フィルタ無効時 (TNFEN = 0) : 動作クロック (fmck) の2クロック

備考 TS0, TSH0レジスタの読み出し値は常に0となります。

6.3.7 タイマ・チャンネル停止レジスタ0 (TT0, TTH0 (8ビットモード))

TT0, TTH0レジスタは、タイマ・カウンタ・レジスタ0n (TCR0n) カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

TT0, TTH0レジスタの各ビットを1にセットすると、タイマ・チャンネル許可ステータス・レジスタ0 (TE0, TEH0) の対応ビットが0にクリアされます。TT0n, TTH0nビットはトリガ・ビットなので、動作停止状態 (TE0n, TEH0n = 0) になるとすぐTT0n, TTH0nビットは0にクリアされます。

TT0, TTH0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。リセット信号の発生により、TT0, TTH0レジスタは00Hになります。

図6-14 タイマ・チャンネル停止レジスタ0 (TT0) のフォーマット

アドレス : F01B4H リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|---|---|---|---|------|------|------|------|
| TT0 | 0 | 0 | 0 | 0 | TT03 | TT02 | TT01 | TT00 |

| TT0n | チャンネルnの動作停止トリガ (n = 0-3) |
|------|--|
| 0 | トリガ動作しない |
| 1 | TE0nビットを0にクリアし、カウント動作停止状態になる。 チャンネル1, 3が8ビット・タイマ・モード時は、TT01, TT03が下位側8ビット・タイマの動作停止 (ストップ) トリガになります。 |

図6-15 タイマ・チャンネル停止レジスタ0 (TTH0) のフォーマット

アドレス : F01B5H リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|---|---|---|---|-------|---|-------|---|
| TTH0 | 0 | 0 | 0 | 0 | TTH03 | 0 | TTH01 | 0 |

| TTH0n | チャンネルnの動作停止トリガ (n = 1, 3) |
|-------|--|
| 0 | トリガ動作しない |
| 1 | TEH0nビットを0にクリアし、カウント動作停止状態になる。 チャンネル1, 3を8ビット・タイマ・モードとして使用时、上位側8ビット・タイマの動作停止 (ストップ) トリガになります。 |

注意 次のビットには必ず“0”を設定してください。

TT0 : ビット4-7
TTH0 : ビット0, 2, 4-7

備考 TT0, TTH0レジスタの読み出し値は常に0となります。

6.3.8 タイマ出力許可レジスタ0 (TOE0)

TOE0レジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャンネルnは、後述のタイマ出力レジスタ0 (TO0) のTO0nビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TO0n) から出力されます。

TOE0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOE0レジスタは00Hになります。

図6-16 タイマ出力許可レジスタ0 (TOE0) のフォーマット

アドレス : F01BAH リセット時 : 00H R/W

| | | | | | | | | |
|------|---|---|---|---|-------|-------|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TOE0 | 0 | 0 | 0 | 0 | TOE03 | TOE02 | TOE01 | TOE00 |

| TOE0n | チャンネルnのタイマ出力許可／禁止 |
|-------|--|
| 0 | タイマの出力を禁止 タイマ動作をTO0nビットに反映せず、出力を固定します。 TO0nビットへの書き込みが可能となり、TO0nビットに設定したレベルがTO0n端子から出力されま ず。 |
| 1 | タイマの出力を許可 タイマ動作をTO0nビットに反映し、出力波形を生成します。 TO0nビットへの書き込みは無視されます。 |

注意 ビット4-7には必ず“0”を設定してください。

備考 n : チャンネル番号。n = 0-3

6.3.9 タイマ出力レジスタ0 (TO0)

TO0レジスタは、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子 (TO0n) から出力されます。

このレジスタのTO0nビットのソフトウェアによる書き換えは、タイマ出力禁止時 (TOE0n = 0) のみ可能です。タイマ出力許可時 (TOE0n = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、TO0n兼用端子をポート機能として使用する場合は、該当するTO0nビットに“0”を設定してください。

TO0レジスタは、8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TO0レジスタは00Hになります。

図6-17 タイマ出力レジスタ0 (TO0) のフォーマット

アドレス : F01B8H リセット時 : 00H R/W

| | | | | | | | | |
|-----|---|---|---|---|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TO0 | 0 | 0 | 0 | 0 | TO03 | TO02 | TO01 | TO00 |

| | |
|------|--------------|
| TO0n | チャンネルnのタイマ出力 |
| 0 | タイマ出力値が“0” |
| 1 | タイマ出力値が“1” |

注意 ビット4-7には必ず“0”を設定してください。

備考 n : チャンネル番号。n = 0-3

6.3.10 タイマ出力レベル・レジスタ0 (TOL0)

TOL0レジスタは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOE0n = 1)、複数チャンネル連動動作機能 (TOM0n = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャンネル出力モード (TOM0n = 0) 時には、このレジスタの設定は無効となります。

TOL0レジスタは、8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOL0レジスタは00Hになります。

図6-18 タイマ出力レベル・レジスタ0 (TOL0) のフォーマット

アドレス : F01BCH リセット時 : 00H R/W

| | | | | | | | | |
|------|---|---|---|---|-------|-------|-------|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TOL0 | 0 | 0 | 0 | 0 | TOL03 | TOL02 | TOL01 | 0 |

| | |
|-----------|--------------------|
| TOL0 n | チャンネルnのタイマ出力レベルの制御 |
| 0 | 正論理出力 (アクティブ・ハイ) |
| 1 | 負論理出力 (アクティブ・ロウ) |

注意 ビット0,4-7には必ず“0”を設定してください。

備考1. TOL0レジスタを書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

2. n : チャンネル番号。n = 0-3

6.3.11 タイマ出力モード・レジスタ0 (TOM0)

TOM0レジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

複数チャンネル連動動作機能（ワンショット・パルス出力, 2入力式ワンショット・パルス出力, PWM出力, 多重PWM出力）として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可 (TOE0n = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOM0レジスタは、8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOM0レジスタは00Hになります。

図6-19 タイマ出力モード・レジスタ0 (TOM0) のフォーマット

アドレス : F01BEH リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|---|---|---|---|-------|-------|-------|---|
| TOM0 | 0 | 0 | 0 | 0 | TOM03 | TOM02 | TOM01 | 0 |

| TOM0n | チャンネルnのタイマ出力モードの制御 |
|-------|--|
| 0 | 単独チャンネル動作機能として使用する (割り込み要求信号 (INTTM0n) によりトグル出力を行う) |
| 1 | スレーブ・チャンネル出力モード (マスタ・チャンネルの割り込み要求信号 (INTTM00, 02) で出力がセット, スレーブ・チャンネルの割り込み要求信号 (INTTM0p) で出力がリセットされる) |

注意 ビット0, 4-7には必ず“0”を設定してください。

備考 n : マスタ・チャンネル番号 n = 0, 2

p : スレーブ・チャンネル番号。n < p ≤ 3

(マスタ・チャンネル, スレーブ・チャンネルの関係についての詳細は、6.4.1 複数チャンネル連動動作機能の基本ルールを参照してください)

6.3.12 ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1レジスタは、タイマ入力 (TI0n) 端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけ行います。タイマ入力 (TI0n) 動作については、6.5.1 (2) TI0n端子からの入力信号の有効エッジを選択した場合 (CCS0n = 1)、6.5.2 カウンタのスタート・タイミング、6.7 タイマ入力 (TI0n) の制御を参照してください。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1レジスタは00HIになります。

図6-20 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマット

アドレス : F0071H リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|---|---|---|---|---------|---------|---------|---------|
| NFEN1 | 0 | 0 | 0 | 0 | TNFEN03 | TNFEN02 | TNFEN01 | TNFEN00 |

| TNFEN0n | TI0n端子入力信号のノイズ・フィルタ使用可否 (n = 0-3) |
|---------|-----------------------------------|
| 0 | ノイズ・フィルタOFF |
| 1 | ノイズ・フィルタON |

注意 TNFEN01ビットのノイズ・フィルタは、入力切り替え制御レジスタ (ISC) のISC1ビットの設定によって、適用する入力端子が下記のように切り替わります。

ISC1 = 0のとき : TI01端子の入力信号に対してノイズ・フィルタ使用可否を選択します。

ISC1 = 1のとき : RxD0端子の入力信号に対してノイズ・フィルタ使用可否を選択します。

6.3.13 入力切り替え制御レジスタ (ISC)

ISCレジスタは、チャンネル1をシリアル・アレイ・ユニットと連携してUART0のポー・レート補正を実現するときに使用します。

ISC1ビットに1を設定すると、シリアル・データ入力 (RxD0) 端子の入力信号がタイマ入力 (TI01) として選択されます。

タイマ・アレイ・ユニットの入力パルス間隔測定モードを利用して、スタート・ビットの入力エッジ信号をトリガに通信相手のポー・レート (転送レート) 幅を測定できます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCレジスタは00Hになります。

図6-21 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : F0073H リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|---|---|---|---|---|---|------|------|
| ISC | 0 | 0 | 0 | 0 | 0 | 0 | ISC1 | ISC0 |

| ISC1 | タイマ・アレイ・ユニットのチャンネル1の入力切り替え |
|------|--|
| 0 | TI01端子の入力信号をタイマ入力とする (通常動作) |
| 1 | RxD0端子の入力信号をタイマ入力とする (ウエイクアップ信号検出とポー・レート補正用のパルス幅測定) |

| ISC0 | 外部割り込み (INTP0) の入力切り替え |
|------|---------------------------------------|
| 0 | INTP0端子の入力信号を外部割り込み入力とする (通常動作) |
| 1 | RxD0端子の入力信号を外部割り込み入力とする (ウエイクアップ信号検出) |

注意 ビット2-7には必ず“0”を設定してください。

6.3.14 タイマ入出力制御レジスタ (TIOSC)

TIOSCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIOSCレジスタは00Hになります。

図6-22 タイマ入出力制御レジスタ (TIOSC) のフォーマット

アドレス : F0072H リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|---|---|---|---|---|--------------------|--------------------|------|
| TIOSC | 0 | 0 | 0 | 0 | 0 | TOEN3 ^注 | TOEN1 ^注 | TINT |

| TOEN3 ^注 | RTOへのTO03出力制御 |
|--------------------|---------------|
| 0 | TO03出力許可 |
| 1 | TO03出力禁止 |

| TOEN1 ^注 | RTOへのTO01出力制御 |
|--------------------|---------------|
| 0 | TO01出力許可 |
| 1 | TO01出力禁止 |

| TINT | TAUのチャンネル2への入カクロックソース選択 |
|------|-------------------------|
| 0 | TI02入力 |
| 1 | INTTM01入力 |

注 RL78/G1Mのみ

6.3.15 タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は、対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）、ポート・モード・コントロール・レジスタ（PMCxx））を設定してください。詳細は、4.3.1 ポート・モード・レジスタ0, 1, 4（PM0, PM1, PM4）、4.3.2 ポート・レジスタ0, 1, 4, 12, 13（P0, P1, P4, P12, P13）、4.3.6 ポート・モード・コントロール・レジスタ0, 1（PMC0, PMC1）を参照してください。

また、タイマ入出力として使用するときの設定例は、4.5.3 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

タイマ出力端子を兼用するポート（P12/ANI3/TI01/TO01/KR5など）をタイマ出力として使用するとき、各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビット、ポート・モード・コントロール・レジスタ（PMCxx）のビットに0を設定してください。

例 P12/ANI3/TI01/TO01/KR5をタイマ出力として使用する場合

- ポート・モード・コントロール・レジスタ1のPMC12ビットを0に設定
- ポート・モード・レジスタ1のPM12ビットを0に設定
- ポート・レジスタ1のP12ビットを0に設定

タイマ入力端子を兼用するポート（P12/ANI3/TI01/TO01/KR5など）をタイマ入力として使用するとき、各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。また、ポート・モード・コントロール・レジスタ（PMCxx）のビットに0を設定してください。このときポート・レジスタ（Pxx）のビットは、0または1のどちらでもかまいません。

例 P12/ANI3/TI01/TO01/KR5をタイマ入力として使用する場合

- ポート・モード・コントロール・レジスタ1のPMC12ビットを0に設定
- ポート・モード・レジスタ1のPM12ビットを1に設定
- ポート・レジスタ1のP12ビットを0または1に設定

6.4 タイマ・アレイ・ユニットの基本ルール

6.4.1 複数チャンネル連動動作機能の基本ルール

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期をカウントする基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャンネル連動動作機能の基本的なルールを示します。

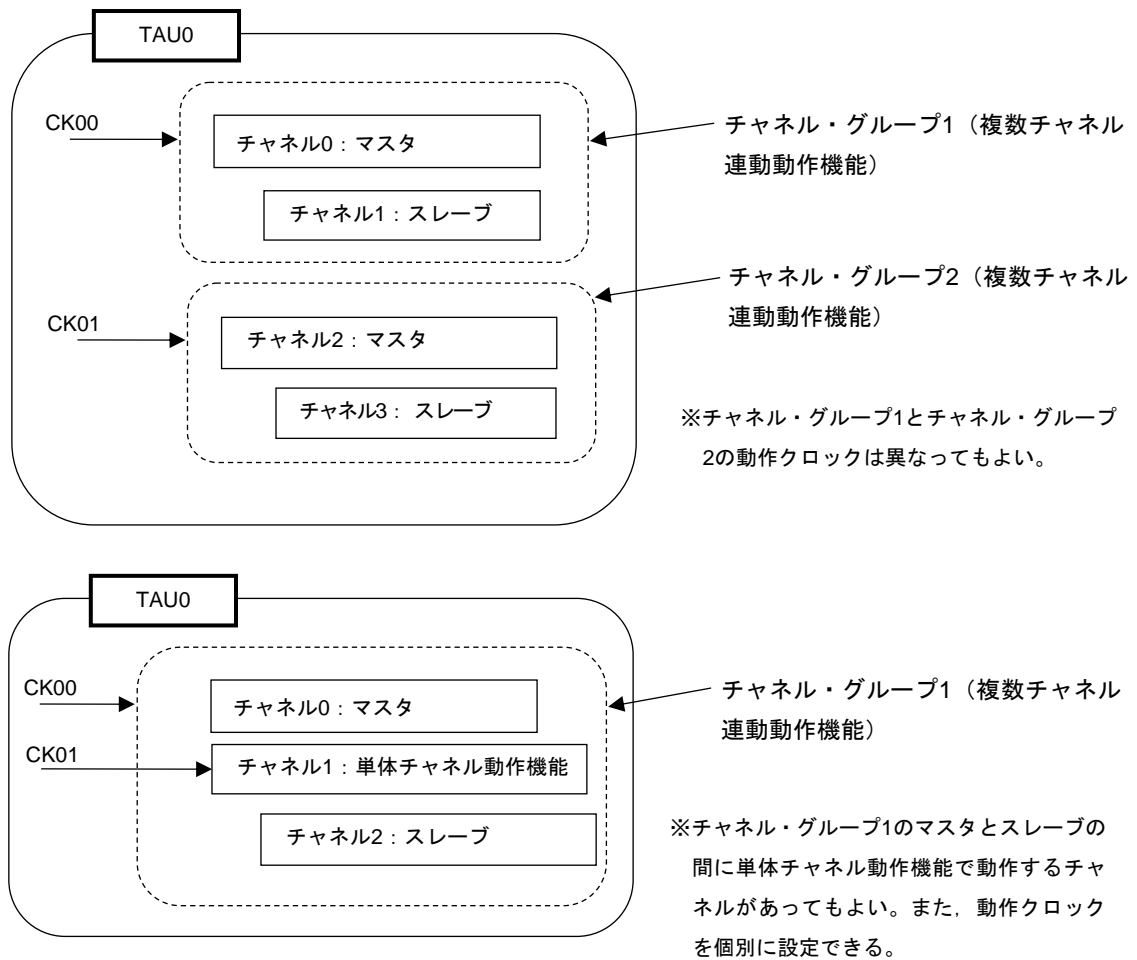
- (1) マスタ・チャンネルには偶数チャンネル（チャンネル0, 2）のみ設定できます。
- (2) チャンネル0を除くすべてのチャンネルをスレーブ・チャンネルに設定できます^注。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。
例 チャンネル2をマスタ・チャンネルにした場合、チャンネル3をスレーブ・チャンネルに設定できます。
- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。
例 チャンネル0, チャンネル2をマスタ・チャンネルにした場合、マスタ・チャンネル0は、チャンネル1のみをスレーブ・チャンネルとして設定できます。マスタ・チャンネル0は、チャンネル3をスレーブ・チャンネルとして設定できません。
- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKS0n1ビット（タイマ・モード・レジスタ0nH（TMR0nH）のビット7）が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルは割り込み要求信号（INTTM0n）／スタート・ソフトウェア・トリガ／カウント・クロック（f_{TCLK}）を下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルの割り込み要求信号（INTTM0n）／スタート・ソフトウェア・トリガ／カウント・クロック（f_{TCLK}）をソース・クロックとして使用できますが、下位チャンネルに自身のINTTM0n／スタート・ソフトウェア・トリガ／カウント・クロック（f_{TCLK}）を伝えることはできません。
- (9) マスタ・チャンネルは、他の上位のマスタ・チャンネルからのINTTM0n／スタート・ソフトウェア・トリガ／カウント・クロック（f_{TCLK}）をソース・クロックとして使用することはできません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのチャンネル・スタート・トリガ・ビット（TS0n）を同時に設定する必要があります。
- (11) カウント動作中のTS0ビットの設定は、連動させるすべてのチャンネルまたはマスタ・チャンネルのみ使用できます。スレーブ・チャンネルのTS0ビットのみの設定では使用できません。
- (12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのチャンネル・ストップ・トリガ・ビット（TT0n）を同時に設定する必要があります。

注 チャンネル1, 3を8ビット・タイマとして使用する場合、下位8ビットを連動動作機能のスレーブ・チャンネルとして選択できます。このとき、チャンネル1, 3の上位8ビットは、インターバル・タイマとして使用できます。

備考 n: チャンネル番号。n = 0-3

複数チャンネル連動動作機能の基本ルールは、チャンネル・グループ（1つの複数チャンネル連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合）内に適用されるルールです。連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には上記の基本ルールは適用されません。

例



6.4.2 8ビット・タイマ動作機能の基本ルール（チャンネル1, 3のみ）

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタ0nH（TMR0nH）のSPLITビットを“1”に設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時に割り込み要求信号（INTTM01H, INTTM03H）を出力します（MD0n0 =1 設定と同じ動作）。
- (5) 上位8ビットの動作クロック選択は、下位ビットのTMR0nHレジスタのCKS0n1ビットにしたがって動作します。
- (6) 上位8ビットは、TSH0nビットを操作することでチャンネル動作を開始し、TTH0n ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEH0nビットで確認できます。
- (7) 下位8ビットは、TMR0nH, TMR0nLレジスタの設定にしたがって動作します。下位8ビット・タイマは、次のタイマ機能をサポートしています。
 - ・インターバル・タイマ
 - ・方形波出力
 - ・外部イベント・カウンタ
 - ・ディレイ・カウンタ
 - ・PWM出力機能
 - ・多重PWM出力機能
- (8) 下位8ビットは、TS0n ビットを操作することでチャンネル動作を開始し、TT0nビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TE0nビットで確認できます。
- (9) 16ビットで動作させる場合には、TSH0n/TTH0nビットの操作は無効となります。TS0n, TT0nビットを操作することでチャンネルnが動作します。TEH0nビットは変化しません。
- (10) 8ビット・タイマ動作機能時、連動動作機能（ワンショット・パルス, PWM, 多重PWM（16ピンのみ））を使用することはできません。

注意 チャンネル1, 3を8ビット・タイマ・モード（SPLIT=1）で使用する場合は、TCR01H, TDR01HレジスタまたはTCR03H, TDR03Hレジスタの読み出しは禁止です。

備考 n：チャンネル番号（n = 1, 3）

6.5 カウンタの動作

6.5.1 カウント・クロック (f_{TCLK})

タイマ・アレイ・ユニットのカウント・クロック (f_{TCLK}) は、タイマ・モード・レジスタ0n (TMR0n) のCCS0nビットにより、以下のどちらかを選択することができます。

- ・CKS0n1ビットで指定した動作クロック (f_{MCK})
- ・TIO端子からの入力信号の有効エッジ

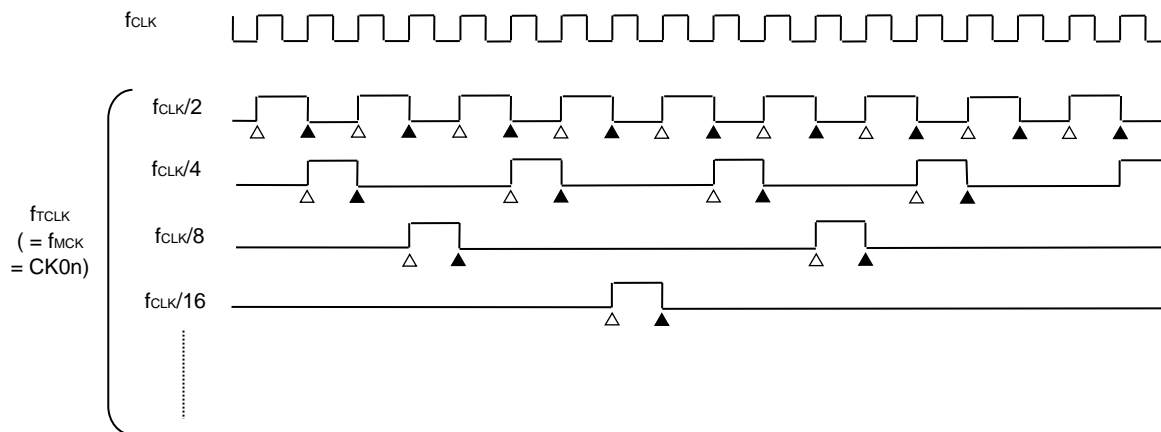
タイマ・アレイ・ユニットは、f_{CLK}との同期をとって動作するよう設計されているため、カウント・クロック (f_{TCLK}) のタイミングは次のようになります。

(1) CKS0n1ビットで指定した動作クロック (f_{MCK}) を選択した場合 (CCS0n = 0)

カウント・クロック (f_{TCLK}) は、タイマ・クロック選択レジスタ0 (TPS0) の設定により、f_{CLK} ~ f_{CLK}/2¹⁵ となります。ただし、f_{CLK}の分周を選んだ場合、TPS0レジスタで選択するクロックは、立ち上がりからf_{CLK}の1周期分だけハイ・レベルになる信号となります。f_{CLK}を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ0n (TCR0n) は、f_{CLK}との同期をとるため、カウント・クロック (f_{TCLK}) の立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが、このことを便宜上“カウント・クロック (f_{TCLK}) の立ち上がりでカウントする”と表現します。

図6-23 f_{CLK}とカウント・クロック (f_{TCLK}) のタイミング (CCS0n = 0時)



備考1. △ : カウント・クロック (f_{TCLK}) の立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

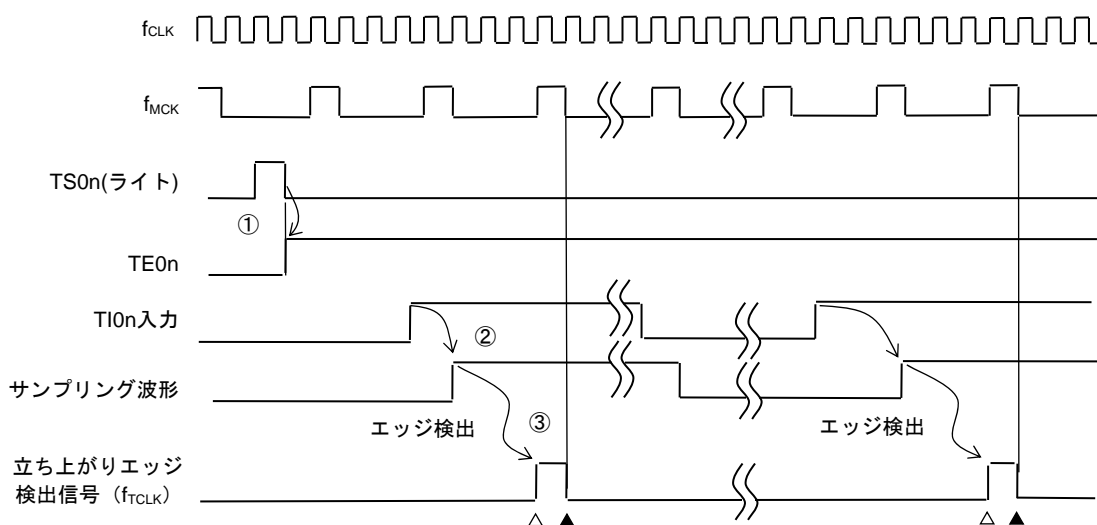
2. f_{CLK} : CPU/周辺ハードウェア・クロック

(2) TI0n端子からの入力信号の有効エッジを選択した場合 (CCS0n = 1)

カウント・クロック (f_{CLK}) は、TI0n端子からの入力信号の有効エッジを検出し、次の f_{MCK} の立ち上がり
に同期した信号になります。これは、実際のTI0n端子からの入力信号より f_{MCK} の1~2クロック分遅れた信
号になります (ノイズ・フィルタ使用時は、 f_{MCK} の3~4クロック分遅れます)。

また、タイマ・カウンタ・レジスタ0n (TCR0n) は、 f_{CLK} との同期をとるためにカウント・クロック (f_{CLK})
の立ち上がりから f_{CLK} の1クロック分遅れてカウントしますが、このことを便宜上“TI0n端子からの入力信号
の有効エッジでカウントする”と表現します。

図6-24 カウント・クロック (f_{CLK}) のタイミング (CCS0n = 1, ノイズ・フィルタ未使用時)



- ①TS0nビットをセットすることでタイマが動作を開始し、TI0n入力の有効エッジ待ちになります。
- ②TI0n入力の立ち上がりが f_{MCK} でサンプリングされます。
- ③サンプリングした信号の立ち上がりでエッジ検出がおこなわれ、検出信号 (カウント・クロック (f_{CLK})) が出力されます。

備考1. △ : カウント・クロック (f_{CLK}) の立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

2. f_{CLK} : CPU/周辺ハードウェア・クロック

f_{MCK} : チャンネルnの動作クロック

3. 入力パルス間隔測定, 入力信号のハイ/ロウ・レベル幅測定, デレイ・カウンタ, ワンショット・パルス出力機能のTI0n入力も同様の波形になります。

6.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタ0n (TCR0n) は、タイマ・チャンネル開始レジスタ0 (TS0) のTS0nビットをセットすることにより、動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタ0n (TCR0n) のカウント・スタートまでの動作を、表6-5に示します。

表6-5 カウント動作許可状態からタイマ・カウンタ・レジスタ0n (TCR0n) のカウント・スタートまでの動作

| タイマの動作モード | TS0n = 1にセットしたときの動作 |
|-------------------|--|
| ・インターバル・タイマ・モード | スタート・トリガ検出 (TS0n = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDR0nレジスタの値をTCR0nレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (1) インターバル・タイマ・モードの動作 参照)。 |
| ・イベント・カウンタ・モード | TS0nビットに1を書き込むことにより、TDR0nレジスタの値をTCR0nレジスタにロードします。 TI0n入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (2) イベント・カウンタ・モードの動作 参照)。 |
| ・キャプチャ・モード | スタート・トリガ検出 (TS0n = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCR0nレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.5.3 (3) キャプチャ・モードの動作 (入力パルス間隔測定) 参照)。 |
| ・ワンカウント・モード | タイマ動作停止 (TE0n = 0) の状態で、TS0nビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDR0nレジスタの値をTCR0nレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (4) ワンカウント・モードの動作 参照)。 |
| ・キャプチャ&ワンカウント・モード | タイマ動作停止 (TE0n = 0) の状態で、TS0nビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCR0nレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.5.3 (5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定) 参照)。 |

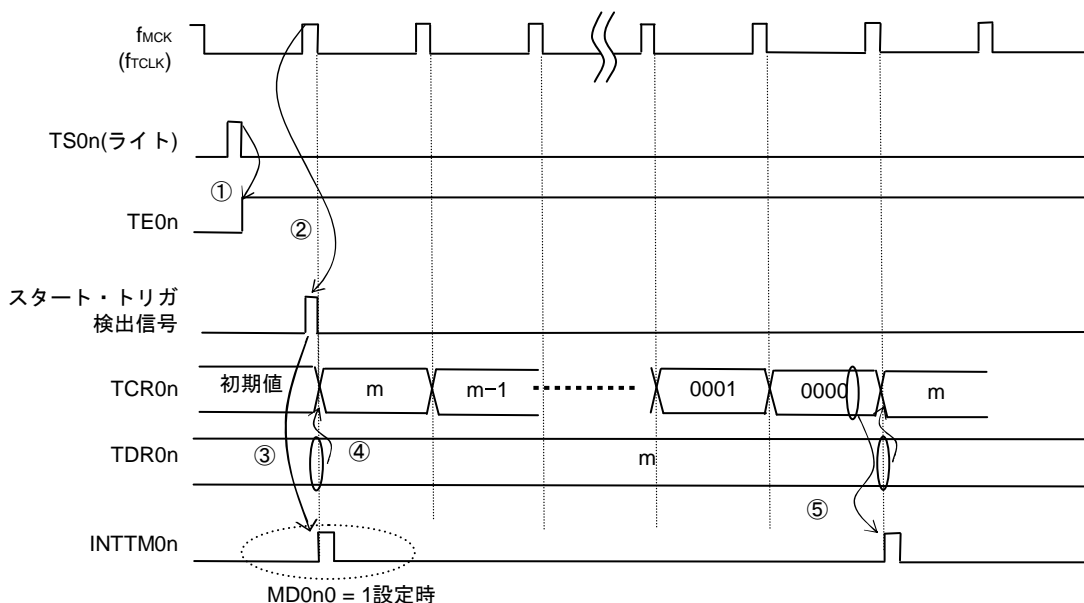
6.5.3 カウンタの動作

各モードでの、カウンタの動作を説明します。

(1) インターバル・タイマ・モードの動作

- ① TS0nビットへ1を書き込むことにより、動作許可状態 ($TE0n = 1$) となります。タイマ・カウンタ・レジスタ0n ($TCR0n$) は、カウント・クロック (f_{CLK}) 発生まで初期値を保持しています。
- ② 動作許可後の最初のカウント・クロックで、スタート・トリガが発生します。
- ③ MD0n0ビットが1に設定されている場合には、スタート・トリガにより、INTTM0nが発生します。
- ④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタ0n ($TDR0n$) の値をTCR0nレジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ TCR0nレジスタがカウント・ダウンしてカウント値が0000HIになると、次のカウント・クロックでINTTM0nを発生し、タイマ・データ・レジスタ0n ($TDR0n$) の値をTCR0nレジスタにロードしてカウントを継続します。

図6-25 動作タイミング (インターバル・タイマ・モード)



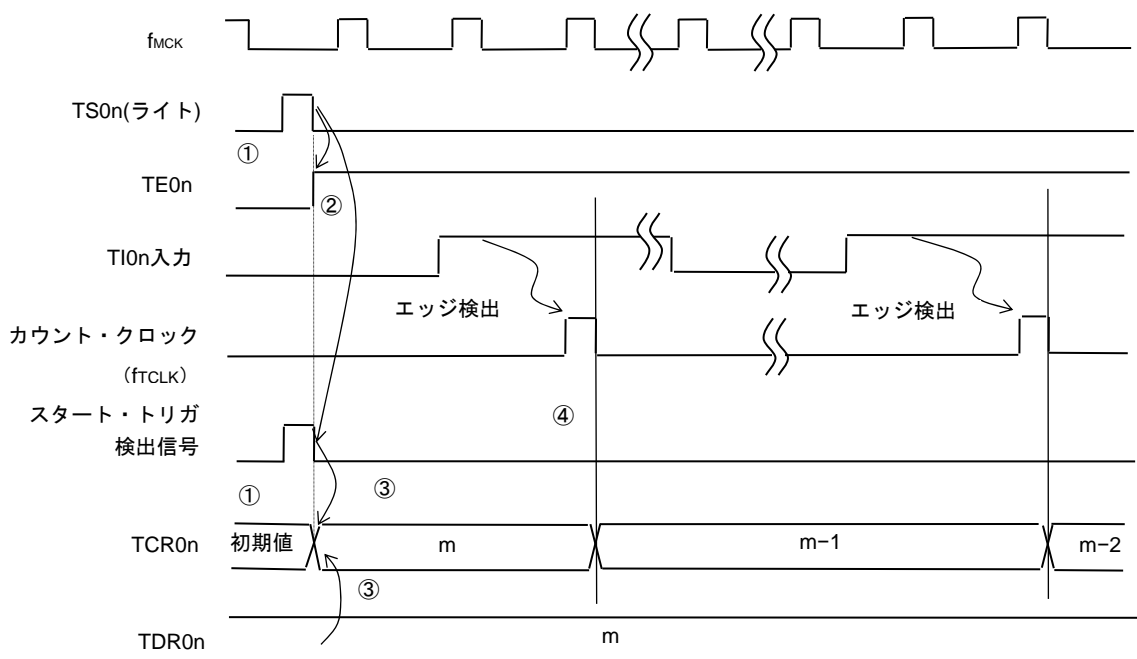
注意 カウント・クロック (f_{CLK}) の1周期目の動作はTS0nビット書き込み後、カウント・クロック (f_{CLK}) が発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック (f_{CLK}) の1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MD0n0 = 1に設定することで、カウント開始時に割り込み要求信号 (INTTM0n) を発生させることができます。

備考 f_{MCK} , スタート・トリガ検出信号, INTTM0nは、 f_{CLK} に同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

- ① 動作停止状態 ($TE0n = 0$) の期間、タイマ・カウンタ・レジスタ0n ($TCR0n$) は、初期値を保持します。
- ② $TS0n$ ビットへ1を書き込むことにより、動作許可状態 ($TE0n = 1$) となります。
- ③ $TS0n = 1 \rightarrow TE0n = 1$ と同時に、 $TCR0n$ レジスタにタイマ・データ・レジスタ0n ($TDR0n$) の値をロードし、カウントを開始します。
- ④ 以降は $TI0n$ 入力の有効エッジでのカウント・クロック ($ftCLK$) に従い、 $TCR0n$ レジスタの値をダウン・カウントします。

図6-26 動作タイミング (イベント・カウンタ・モード)

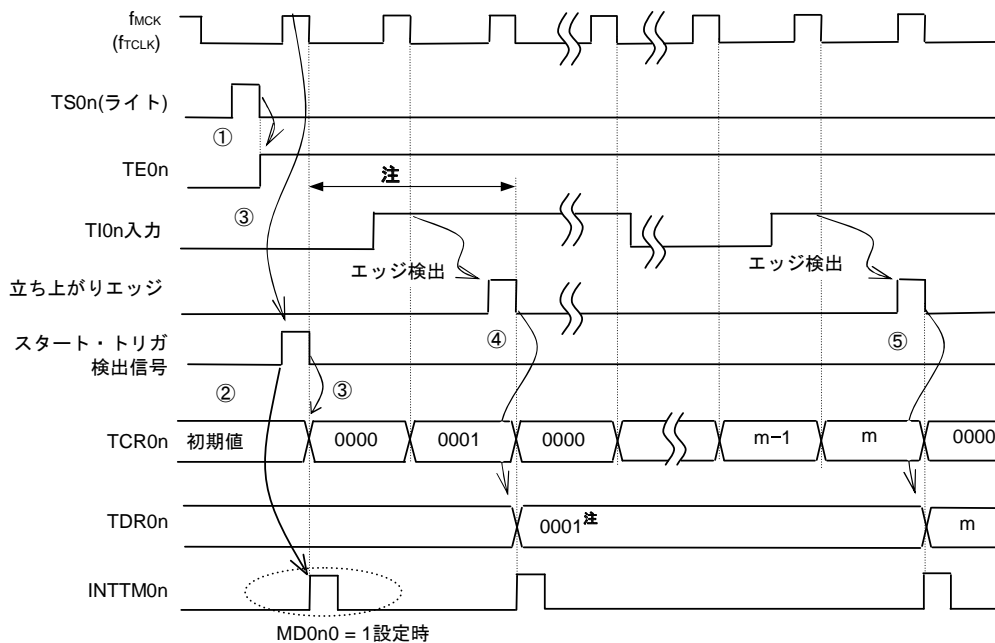


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出は $TI0n$ 入力からさらに動作クロック (f_{MCK}) の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差は、 $TI0n$ 入力と動作クロック (f_{MCK}) が非同期なためです。

(3) キャプチャ・モードの動作（入力パルス間隔測定）

- ① TS0nビットへ1を書き込むことにより、動作許可状態（TE0n = 1）となります。
- ② タイマ・カウンタ・レジスタ0n（TCR0n）は、カウント・クロック（f_{TCLK}）発生まで初期値を保持しています。
- ③ 動作許可後の最初のカウント・クロックで、スタート・トリガが発生します。そして0000Hの値をTCR0nレジスタにロードし、キャプチャ・モードでのカウントを開始します。（MD0n0ビットが1に設定されている場合には、スタート・トリガにより、INTTM0nが発生します。）
- ④ TI0n入力の有効エッジを検出すると、TCR0nレジスタの値をTDR0nレジスタにキャプチャし、割り込み要求信号（INTTM0n）が発生しますが、このときのキャプチャ値は意味をもちません。TCR0nレジスタは0000Hからカウントを続けます。
- ⑤ 次のTI0n入力の有効エッジを検出すると、TCR0nレジスタの値をTDR0nレジスタにキャプチャし、割り込み要求信号（INTTM0n）が発生します。

図6-27 動作タイミング（キャプチャ・モード：入力パルス間隔測定）



注 スタート前からTI0nにクロックが入力されている（トリガがある）場合、エッジ検出をしなくても、TS0nのライト①によるスタート・トリガ発生③でカウントを開始するため、最初のキャプチャ④でのキャプチャ値はパルス間隔とならない（この例では0001：2クロック分の間隔）ので、無視してください。

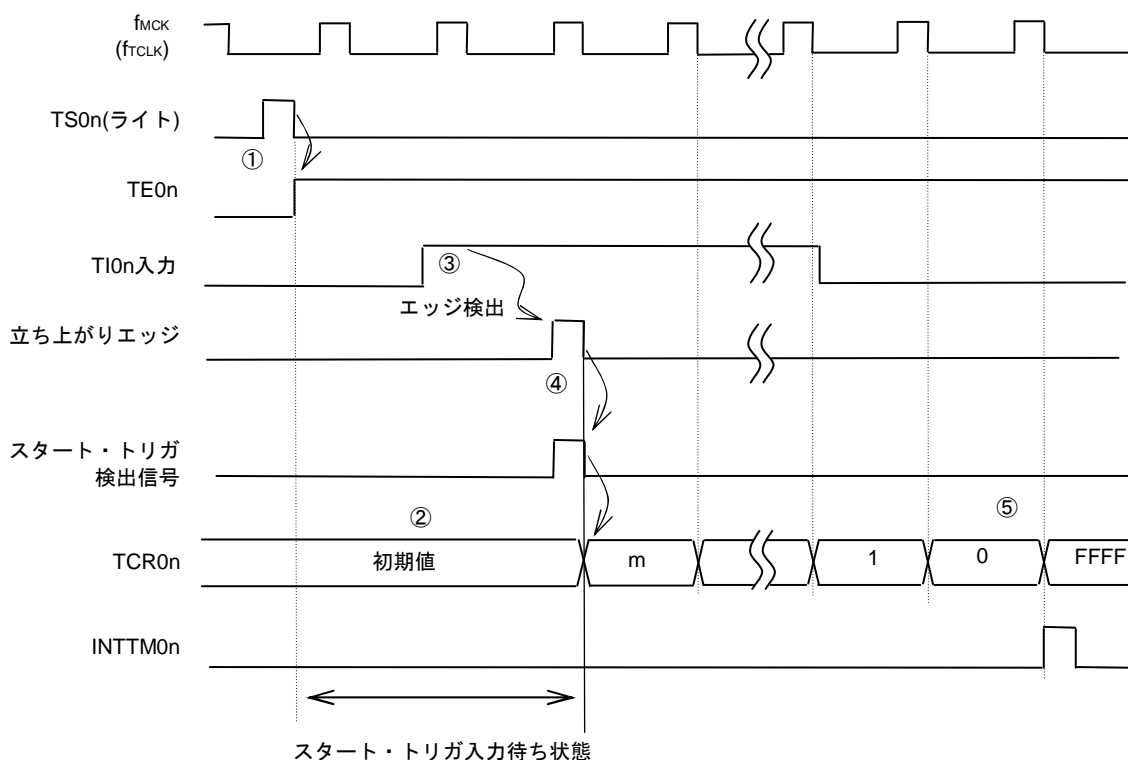
注意 カウント・クロック（f_{TCLK}）の1周期目の動作はTS0nビット書き込み後、カウント・クロック（f_{TCLK}）が発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック（f_{TCLK}）の1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MD0n0 = 1に設定することで、カウント開始時に割り込み要求信号（INTTM0n）を発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTI0n入力からさらに動作クロック（f_{MCK}）の2周期分（合計で3～4周期分）遅くなります。1周期分の誤差は、TI0n入力と動作クロック（f_{MCK}）が非同期なためです。

(4) ワンカウント・モードの動作

- ① TS0nビットへ1を書き込むことにより、動作許可状態 ($TE0n = 1$) となります。
- ② タイマ・カウンタ・レジスタ0n (TCR0n) は、スタート・トリガ発生まで初期値を保持しています。
- ③ TI0n入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、TDR0nレジスタの値 (m) をTCR0nレジスタにロードし、カウントを開始します。
- ⑤ TCR0nレジスタがカウント・ダウンしてカウント値が0000Hになると、割り込み要求信号 (INTTM0n) を発生し、TCR0nレジスタはFFFFHで停止します。

図6-28 動作タイミング (ワンカウント・モード)

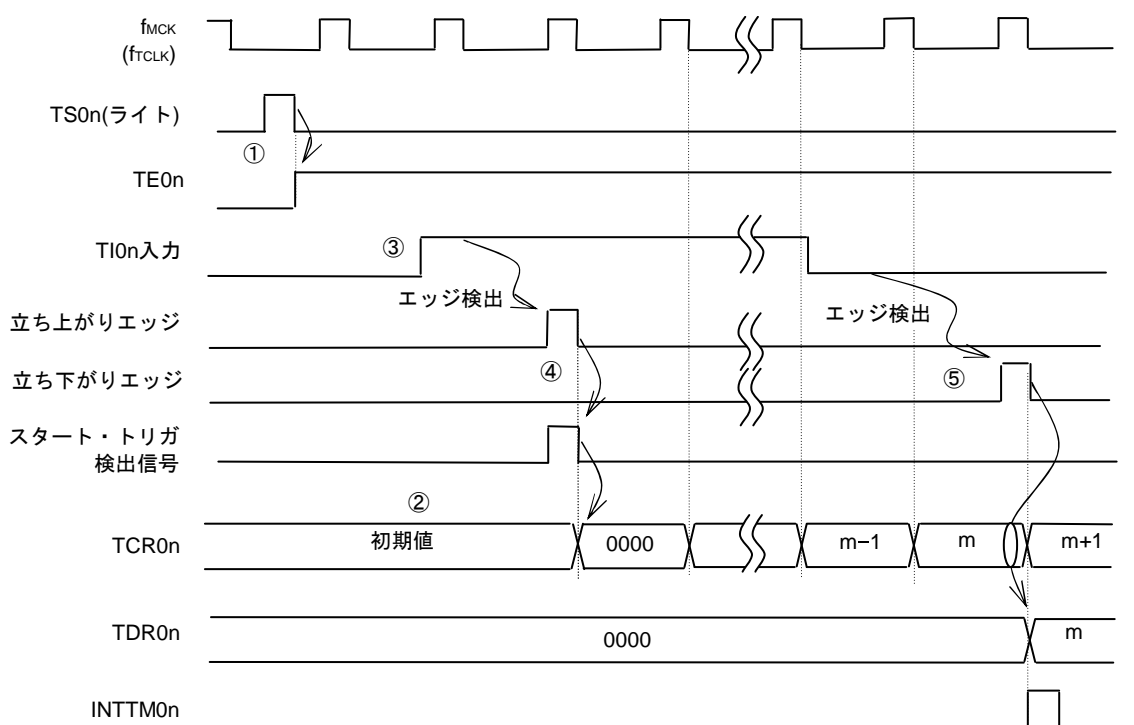


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると、エッジ検出はTI0n入力からさらに動作クロック (f_{MCK}) の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差は、TI0n入力と動作クロック (f_{MCK}) が非同期なためです。

(5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定)

- ① タイマ・チャンネル開始レジスタ0 (TS0) のTS0nビットに1を書き込むことにより、動作許可状態 (TE0n = 1) となります。
- ② タイマ・カウンタ・レジスタ0n (TCR0n) は、スタート・トリガ発生まで初期値を保持します。
- ③ TI0n入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000HをTCR0nレジスタにロードし、カウントを開始します。
- ⑤ TI0n入力の立ち下がりエッジを検出すると、TCR0nレジスタの値をTDR0nレジスタにキャプチャし、割り込み要求信号 (INTTM0n) が発生します。

図6-29 動作タイミング (キャプチャ&ワンカウント・モード: ハイ・レベル幅測定)

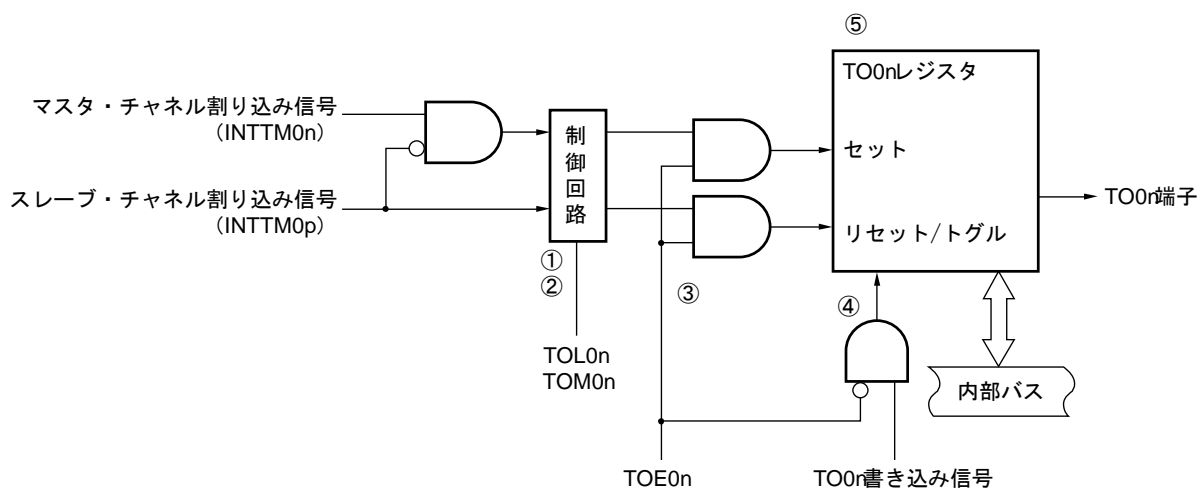


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTI0n入力からさらに動作クロック (f_{MCK}) の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差は、TI0n入力と動作クロック (f_{MCK}) が非同期なためです。

6.6 チャンネル出力（TO0n端子）の制御

6.6.1 TO0n端子の出力回路の構成

図6-30 出力回路構成図



TO0n端子の出力回路の説明を次に示します。

- ① TOM0n = 0（マスタ・チャンネル出力モード）のときは、タイマ出力レベル・レジスタ0（TOL0）の設定値は無視され、INTTM0p（スレーブ・チャンネル・タイマ割り込み）のみがタイマ出力レジスタ0（TO0）に伝えられます。
- ② TOM0n = 1（スレーブ・チャンネル出力モード）のときは、INTTM0n（マスタ・チャンネル・タイマ割り込み）とINTTM0p（スレーブ・チャンネル・タイマ割り込み）がTO0レジスタに伝えられます。このとき、TOL0レジスタが有効となり、次のように信号を制御します。

TOL0n = 0の場合：正論理出力（INTTM0n→セット，INTTM0p→リセット）

TOL0n = 1の場合：負論理出力（INTTM0n→リセット，INTTM0p→セット）

また、INTTM0nとINTTM0pが同時に発生した場合（PWM出力の0%出力時）は、INTTM0p（リセット信号）が優先され、INTTM0n（セット信号）はマスクされます。

- ③ タイマ出力許可状態（TOE0n = 1）で、INTTM0n（マスタ・チャンネル・タイマ割り込み）とINTTM0p（スレーブ・チャンネル・タイマ割り込み）がTO0レジスタに伝えられます。TO0レジスタへの書き込み（TO0nライト信号）は無効となります。また、TOE0n = 1のとき、割り込み信号以外でTO0n端子の出力が変化することはありません。TO0n端子の出力レベルを初期化する場合は、タイマ動作停止（TOE0n = 0）に設定しTO0レジスタに値を書き込む必要があります。
- ④ タイマ出力禁止状態（TOE0n = 0）で、対象チャンネルのTO0nビットへの書き込み（TO0nライト信号）が有効となります。タイマ出力禁止状態（TOE0n = 0）のとき、INTTM0n（マスタ・チャンネル・タイマ割り込み）とINTTM0p（スレーブ・チャンネル・タイマ割り込み）はTO0レジスタに伝えられません。
- ⑤ TO0レジスタは常に読み出し可能であり、TO0n端子の出力レベルを確認することができます。

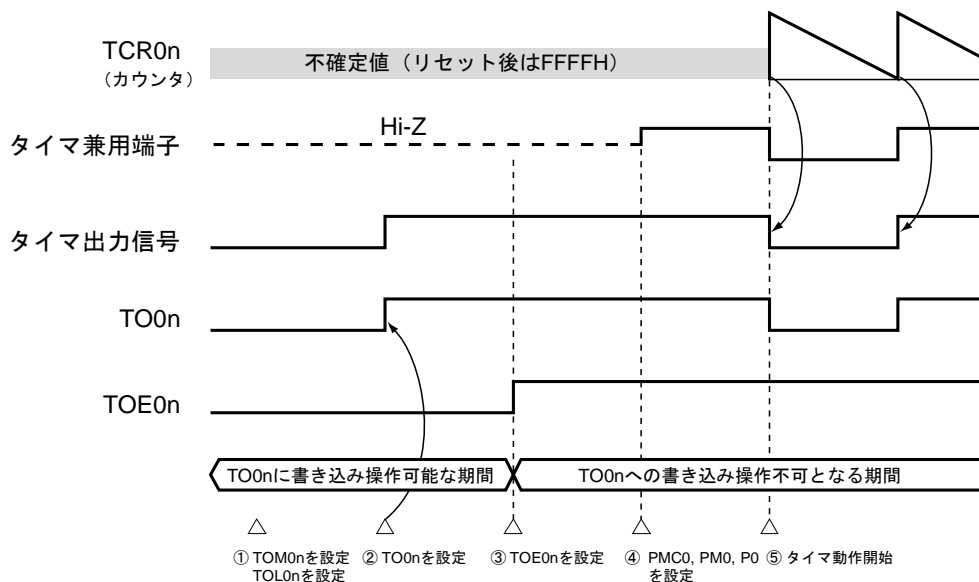
備考 n：マスタ・チャンネル番号。n = 0, 2

p：スレーブ・チャンネル番号 n < p ≤ 3

6.6.2 TO0n端子の出力設定

TO0n出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6-31 タイマ出力設定から動作開始までの状態変化



① タイマ出力の動作モードを設定します。

- ・ TOM0nビット (0: マスタ・チャンネル出力モード, 1: スレーブ・チャンネル出力モード)
- ・ TOL0nビット (0: 正論理出力, 1: 負論理出力)

② タイマ出力レジスタ0 (TO0) を設定することにより, タイマ出力信号が初期状態に設定されます。

③ TOE0nビットに1を書き込み, タイマ出力動作を許可します (TO0レジスタへの書き込みは不可となります)。

④ ポート・モード・コントロール・レジスタ0(PMC0)でポートをデジタル入出力に設定します。ポート・モード・レジスタ0 (PM0) でポートを出力モードに設定します。ポート・レジスタ0 (P0) でポートの出力ラッチを0に設定します。(6.3.15 タイマ入出力端子のポート機能を制御するレジスタ参照)。

⑤ タイマを動作許可にします (TS0n = 1)。

備考 n: チャンネル番号。n = 0-3

6.6.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTO0, TOE0, TOL0, TOM0レジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタ0n (TCR0n), タイマ・データ・レジスタ0n (TDR0n) の動作) は、TO0n出力回路とは独立しています。よって、タイマ出力レジスタ0 (TO0), タイマ出力許可レジスタ0 (TOE0), タイマ出力レベル・レジスタ0 (TOL0), タイマ出力モード・レジスタ0 (TOM0) の設定値変更はタイマ動作に影響しないため、タイマ動作中に設定値の変更が可能です。ただし、各タイマ動作において期待する波形をTO0n端子から出力するためには、各動作のレジスタ設定内容例の値に設定してください。

各チャンネルの割り込み要求信号 (INTTM0n) 近辺で、TO0レジスタを除く TOE0レジスタ, TOL0レジスタ, TOM0レジスタの設定値変更を行うと、INTTM0n発生タイミング直前に設定値変更が実施された場合と、INTTM0n発生タイミング直後に設定値変更が実施された場合とでは、TO0n端子に出力される波形が異なる場合があります。

備考 n: チャンネル番号。n = 0-3

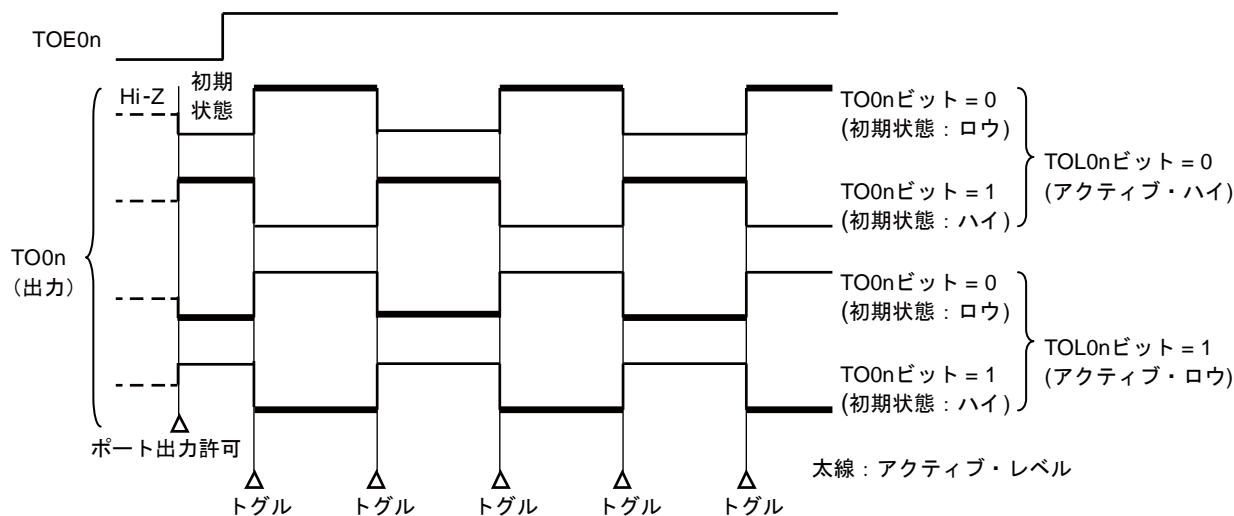
(2) TO0n端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止 (TOE0n = 0) の状態でタイマ出力レジスタ0 (TO0) に書き込みを行い、初期レベル変更後、タイマ出力許可状態 (TOE0n = 1) に設定した場合のTO0n端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード (TOM0n = 0) 設定で動作を開始した場合

マスタ・チャンネル出力モード (TOM0n = 0) の時、タイマ出力レベル・レジスタ0 (TOL0) の設定は無効となります。初期レベル設定後、タイマ動作を開始すると、トグル信号発生によりTO0n端子の出力レベルを反転します。

図6-32 トグル出力時 (TOM0n = 0) のTO0n端子出力状態



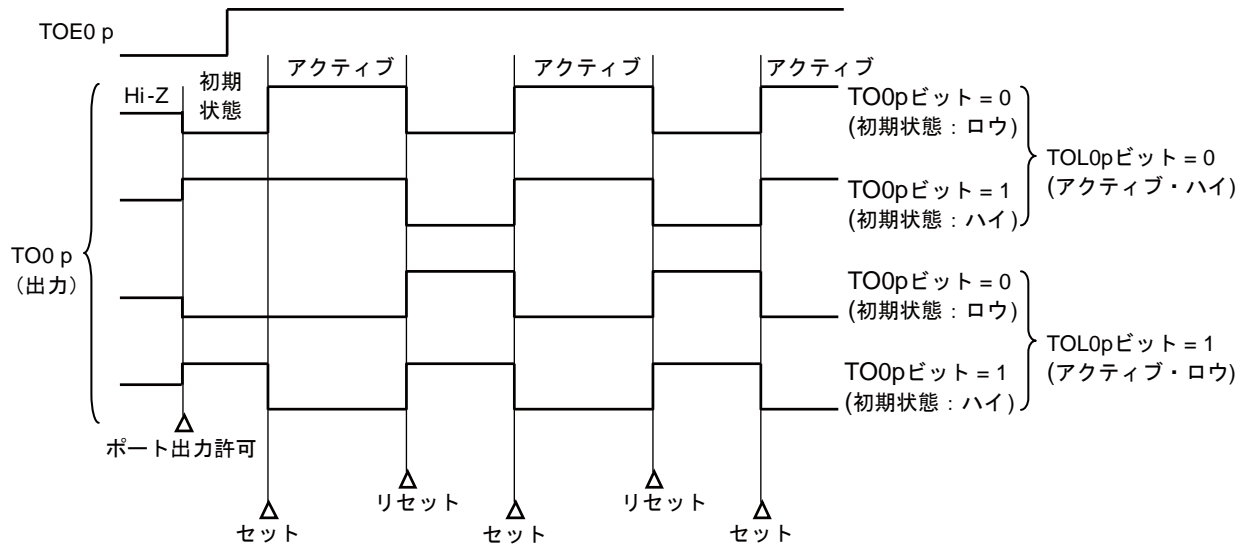
備考1. トグル: TO0n端子の出力状態を反転

2. n: チャンネル番号。n = 0-3

(b) スレーブ・チャンネル出力モード (TOM0p = 1) 設定で動作を開始した場合 (PWM出力)

スレーブ・チャンネル出力モード (TOM0p = 1) のとき、タイマ出力レベル・レジスタ0 (TOL0p) の設定によりアクティブ・レベルを決定します。

図6-33 PWM出力時 (TOM0p = 1) のTO0p端子出力状態



- 備考1.** セット : TO0p端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化
 リセット : TO0p端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化
- 2.** p: チャンネル番号 ($n < p \leq 3$)

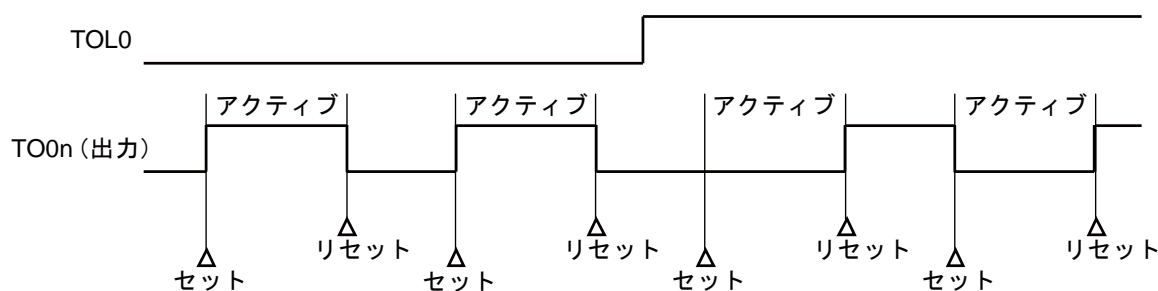
(3) TO0n端子のスレーブ・チャンネル出力モード (TOM0n = 1) での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタ0 (TOL0) の設定を変更した場合

タイマ動作中にTOL0レジスタの設定を変更した場合、設定が有効となるのはTO0n端子変化条件の発生タイミングです。TOL0レジスタの書き換えでは、TO0n端子の出力レベルは変化しません。

TOM0n = 1で、タイマ動作中 (TE0n = 1) にTOL0レジスタの値を変更した場合の動作を次に示します。

図6-34 タイマ動作中にTOL0レジスタをの内容変更したときの動作



備考1. セット : TO0n端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット : TO0n端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

2. n : チャンネル番号。n = 0-3

(b) セット/リセット・タイミング

PWM出力時に、0%/100%出力を実現するため、マスタ・チャンネルの割り込み要求信号 (INTTM0n) 発生時のTO0n端子/TO0nビットのセット・タイミングをスレーブ・チャンネルでカウント・クロック (f_{CLK}) の1クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

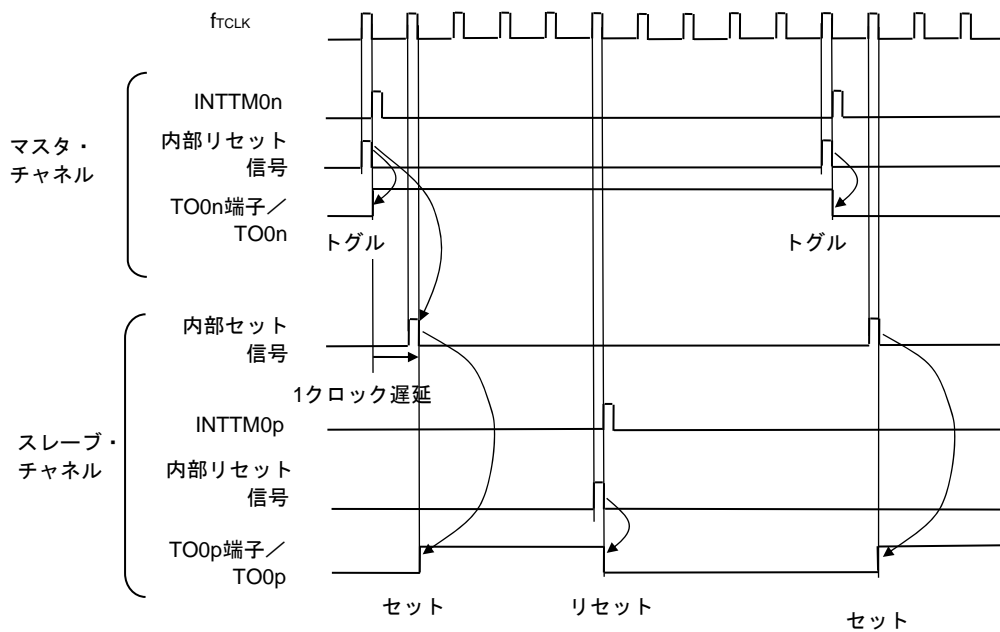
マスタ/スレーブ・チャンネルを次のように設定した場合のセット/リセット動作状態を図6-35に示します。

マスタ・チャンネル : TOE0n = 1, TOM0n = 0, TOL0n = 0

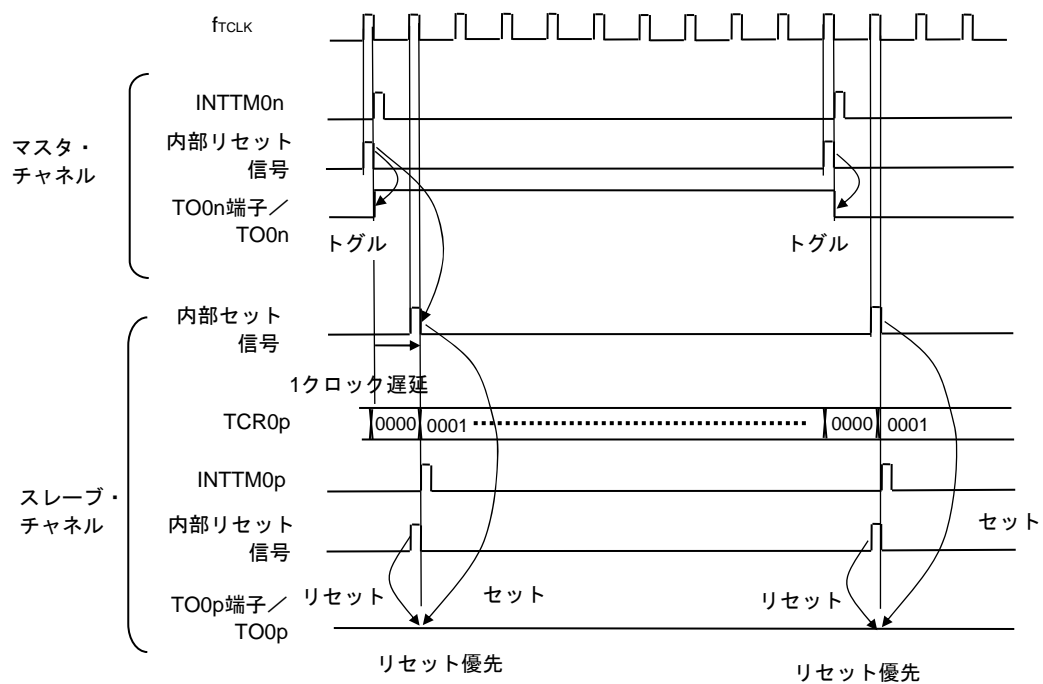
スレーブ・チャンネル : TOE0p = 1, TOM0p = 1, TOL0p = 0

図6-35 セット/リセット・タイミング動作状態

(a) 基本動作タイミング



(b) 0%デューティ時の動作タイミング

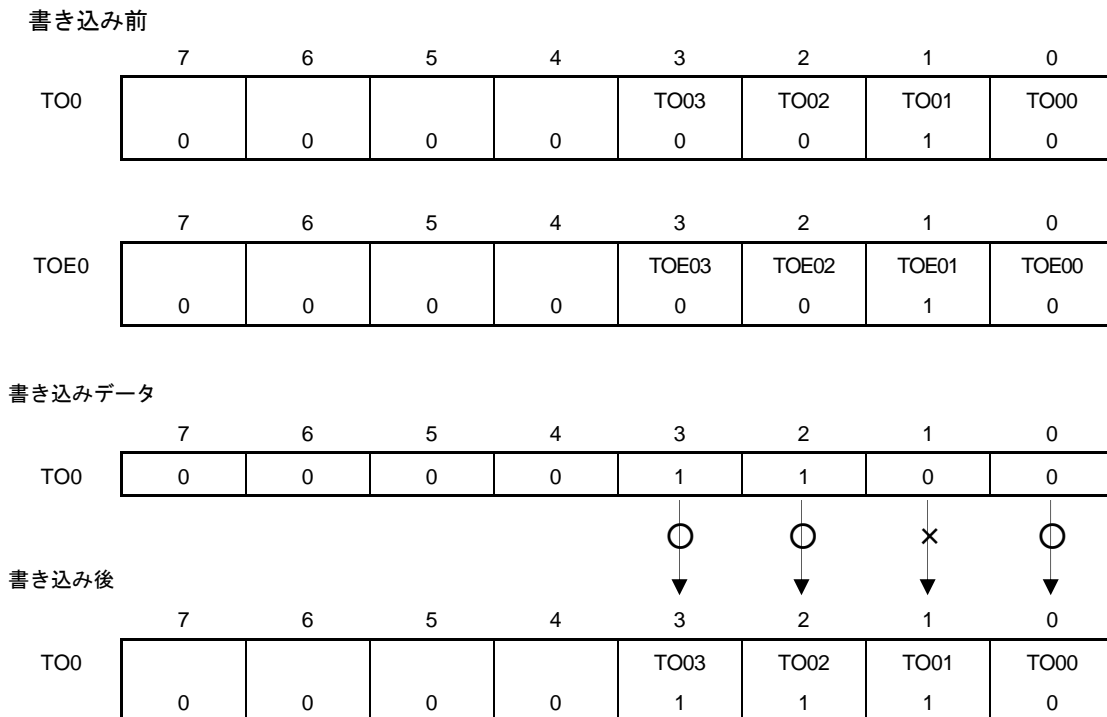


- 備考1.** 内部リセット信号 : TO0n端子のリセット/トグル信号
 内部セット信号 : TO0n端子のセット信号
- 2.** n : マスタ・チャンネル番号。(n = 0, 2)
 p : スレーブ・チャンネル番号(n < p ≤ 3)

6.6.4 TO0nビットの一括操作

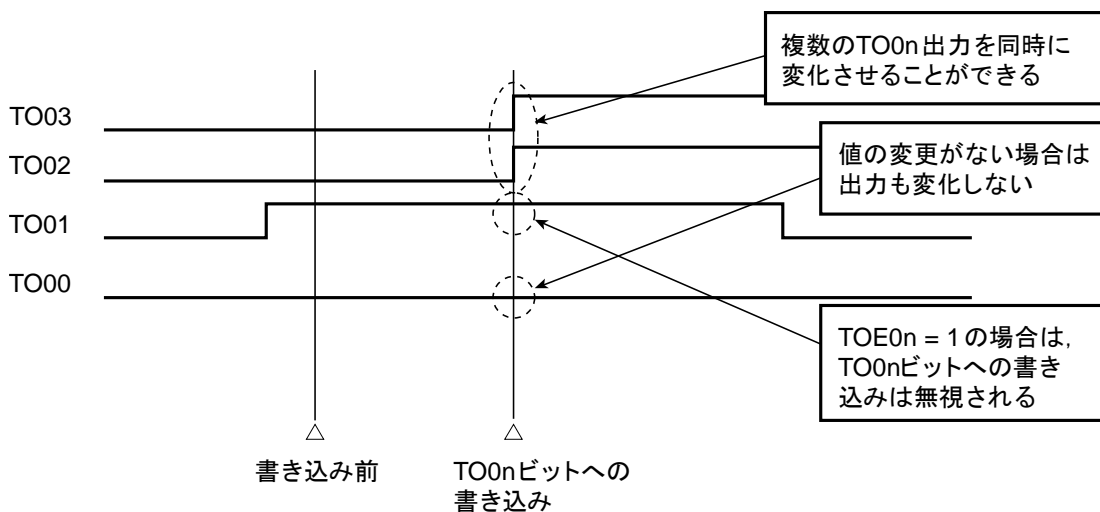
タイマ出力レジスタ0 (TO0) には、タイマ・チャンネル開始レジスタ0 (TS0) と同様に、1レジスタに全チャンネル分の設定ビット (TO0n) が配置されています。よって、全チャンネルのTO0nビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力 (TO0n) だけTO0nビットへの書き込み可能 (TOE0n = 0) にすることで、任意のビットだけ操作できます。

図6-36 TO0nビットの一括操作例



TOE0n = 0のTO0nビットだけ書き込みが行われます。TOE0n = 1のTO0nビットへの書き込みは無視されます。TOE0n = 1に設定されているTO0n (チャンネル出力) は、書き込み操作による影響は受けません。TO0nビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図6-37 TO0nビットの一括操作によるTO0nの端子状態



備考 n: チャンネル番号。n = 0-3

6.6.5 カウント動作開始時のタイマ割り込みとTO0n端子出力について

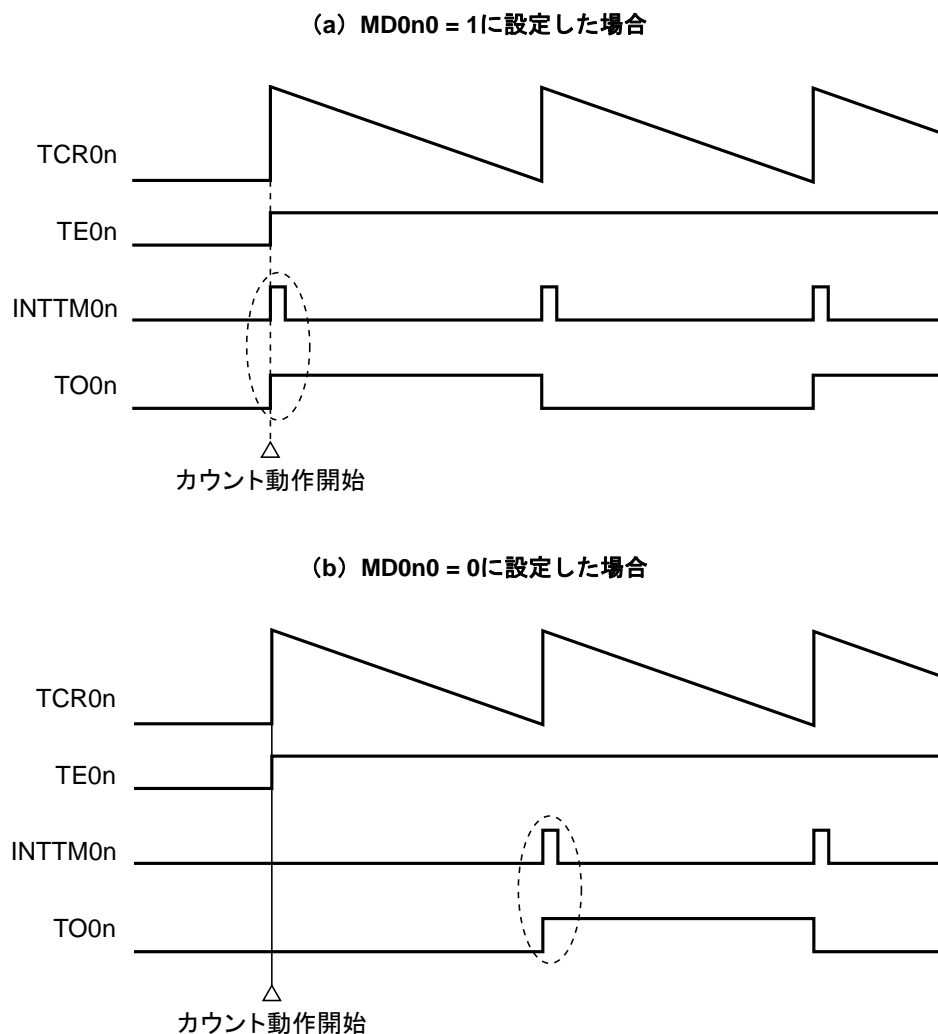
インターバル・タイマ・モード／キャプチャ・モードの場合、タイマ・モード・レジスタ0n (TMR0n) のMD0n0ビットは、「カウント開始時にタイマ割り込み要求を発生する／しない」を設定するビットとなります。

MD0n0 = 1に設定すると、割り込み要求信号 (INTTM0n) の発生で、カウント動作開始タイミングを知ることができます。

その他の動作モードでは、カウント動作開始時のINTTM0n, TO0n出力は制御しません。

インターバル・タイマ・モード (TOE0n = 1, TOM0n = 0) に設定した場合の動作例を次に示します。

図6-38 カウント動作開始時のタイマ割り込み, TO0n出力の動作例



MD0n0 = 1に設定した場合、カウント動作開始時にタイマ割り込み要求信号 (INTTM0n) が出力され、TO0n がトグル動作します。

MD0n0 = 0に設定した場合、カウント動作開始時にタイマ割り込み要求信号 (INTTM0n) を出力しません。TO0nも変化しません。1周期をカウント後、INTTM0nを出力し、TO0nがトグル動作します。

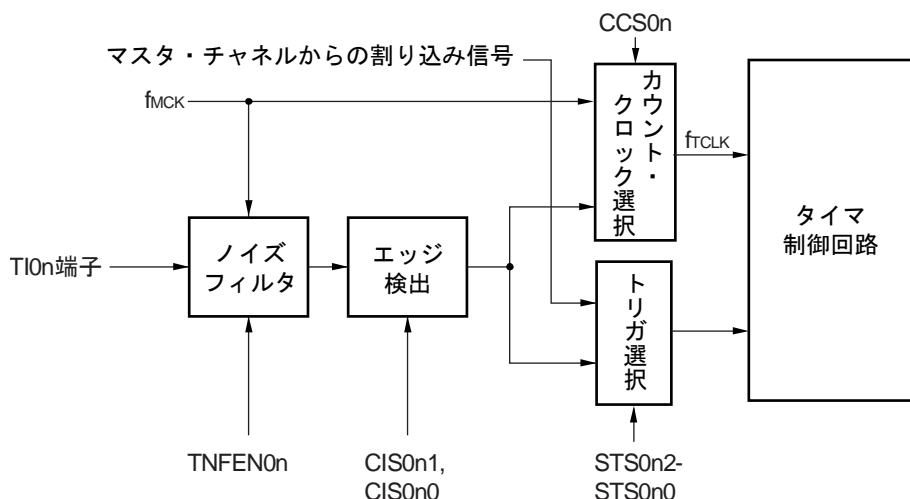
備考 n: チャンネル番号。n = 0-3

6.7 タイマ入力 (TI0n) の制御

6.7.1 TI0nの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

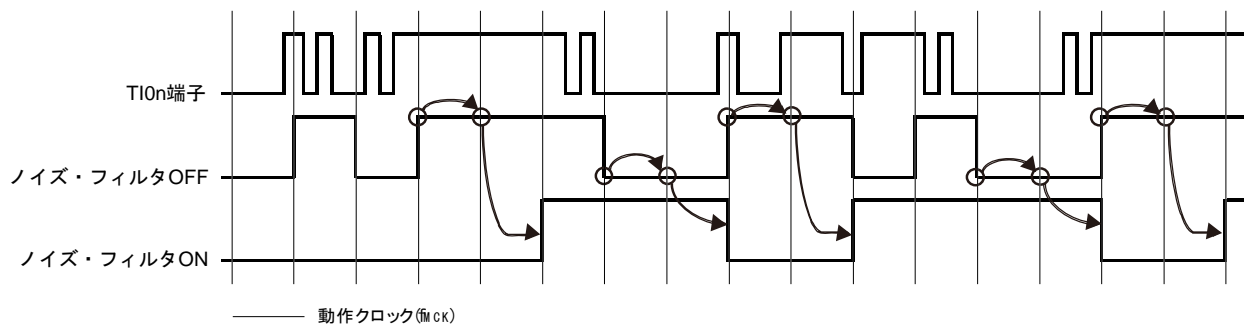
図6-39 入力回路構成図



6.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネルnの動作クロック (f_{MCK}) で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネルnの動作クロック (f_{MCK}) で同期化のあと、2クロックの一致検出を行います。以下に、TI0n入力端子に対するノイズ・フィルタON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図6-40 TI0n入力端子に対するノイズ・フィルタON/OFFによるサンプリング波形



6.7.3 チャンネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャンネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタOFFの場合

タイマ・モード・レジスタ0n (TMR0n) のビット12 (CCS0n) , ビット9 (STS0n1) , ビット8 (STS0n0) がすべて0の状態から、いずれかのビットをセットした場合は、動作クロック (f_{MCK}) の2サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TS0) の動作許可トリガをセットしてください。

(2) ノイズ・フィルタONの場合

タイマ・モード・レジスタ0n (TMR0n) のビット12 (CCS0n) , ビット9 (STS0n1) , ビット8 (STS0n0) がすべて0の状態から、いずれかのビットをセットした場合は、動作クロック (f_{MCK}) の4サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TS0) の動作許可トリガをセットしてください。

6.8 タイマ・アレイ・ユニットの単独チャンネル動作機能

6.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔で割り込み要求信号 (INTTM0n) を発生する基準タイマに利用できます。

INTTM0nの発生周期は、次の式で求められます。

$$\text{INTTM0nの発生周期} = \text{カウント・クロックの周期} \times (\text{TDR0nの設定値} + 1)$$

チャンネル1,3を8ビット・タイマ動作機能として使用する (SPLIT0n=1) ときは、上位／下位8ビット・タイマのどちらもインターバル・タイマとして使用できます。

(2) 方形波出力としての動作

TO0n端子は、INTTM0nの発生と同時にトグル動作を行い、デューティ50%の方形波を出力します。

TO0n出力波形の周期と周波数は、次の式で求められます。

$$\cdot \text{TO0n端子の出力方形波の周期} = \text{カウント・クロックの周期} \times (\text{TDR0nの設定値} + 1) \times 2$$

$$\cdot \text{TO0n端子の出力方形波の周波数} = \text{カウント・クロックの周波数} / \{ (\text{TDR0nの設定値} + 1) \times 2 \}$$

チャンネル1,3を8ビット・タイマ動作機能として使用する (SPLIT0n=1) ときは、下位8ビット・タイマのみが方形波出力として使用できます。

タイマ・カウンタ・レジスタ0n (TCR0n) はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0 TSH0) のチャンネル・スタート・トリガ・ビット (TS0n, TSH01, TSH03) に1を設定後、最初のカウント・クロックでTCR0nレジスタはタイマ・データ・レジスタ0n (TDR0n) の値をロードします。このときタイマ・モード・レジスタ0n (TMR0n) のMD0n0 = 0ならば、INTTM0nを出力せず、TO0nはトグルしません。TMR0nレジスタのMD0n0 = 1ならば、INTTM0nを出力して、TO0nをトグルします。

その後、TCR0nレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCR0n = 0000Hになったら、次のカウント・クロックでINTTM0nを出力しTO0nをトグルします。また、同タイミングで再びTCR0nレジスタはTDR0nレジスタの値をロードします。以降、同様の動作を継続します。

TDR0nレジスタは任意のタイミングで書き換えることができます。書き換えたTDR0nレジスタの値は、次の周期から有効となります。

備考 n: チャンネル番号。n = 0-3

図6-41 インターバル・タイマ/方形波出力としての動作のブロック図

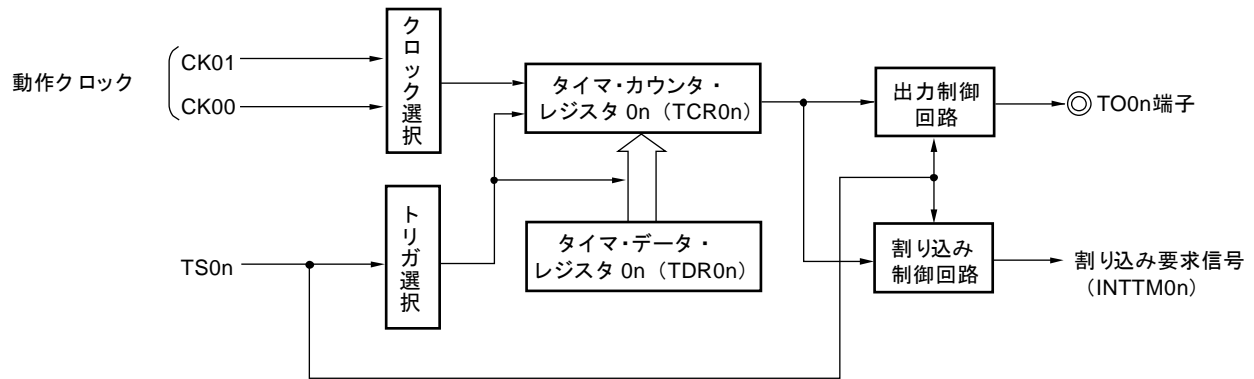
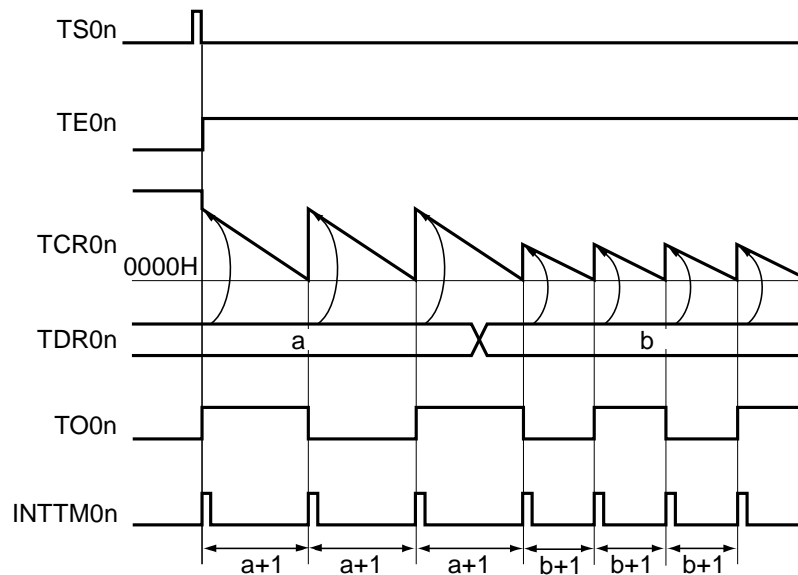


図6-42 インターバル・タイマ/方形波出力としての動作の基本タイミング例 (MD0n0 = 1)

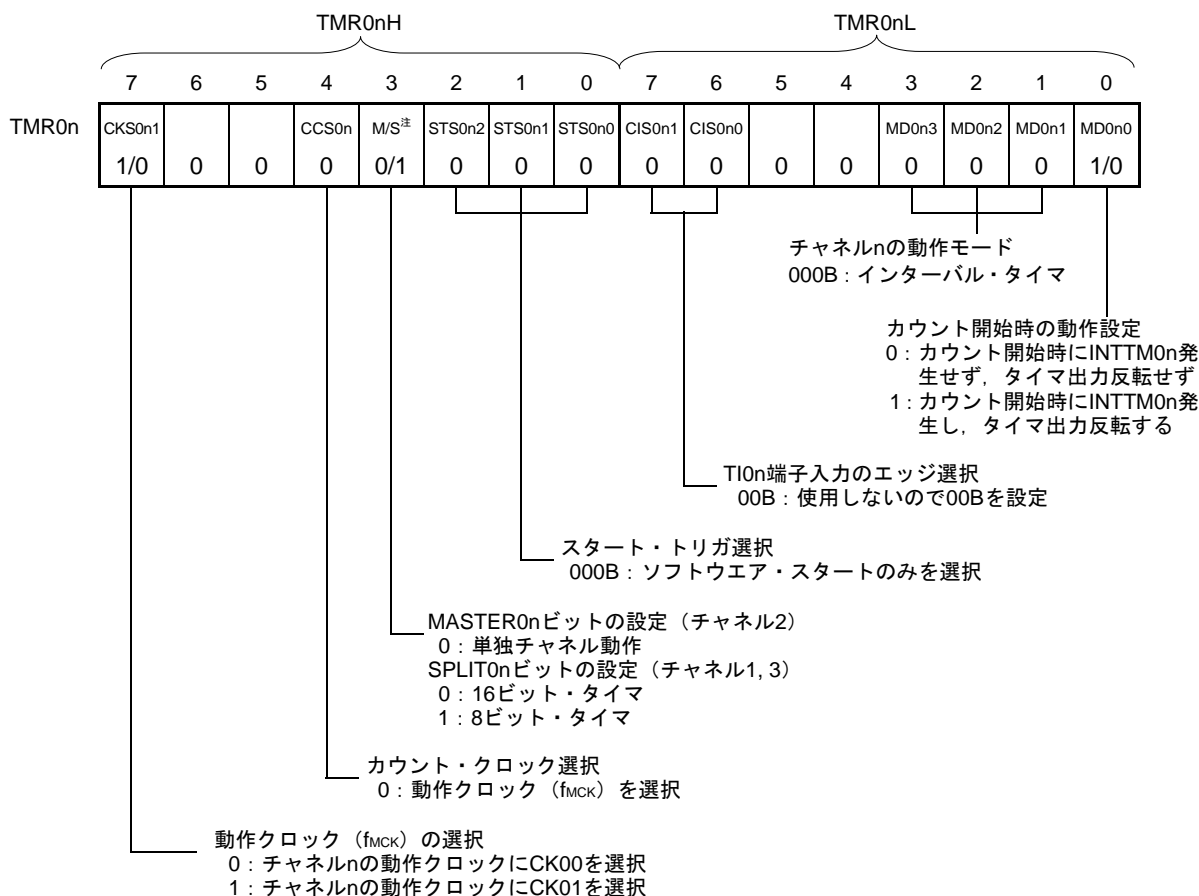


備考1. n : チャネル番号。n = 0-3

2. TS0n : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
- TE0n : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
- TCR0n : タイマ・カウンタ・レジスタ0n (TCR0n)
- TDR0n : タイマ・データ・レジスタ0n (TDR0n)
- TO0n : TO0n端子出力信号

図6-43 インターバル・タイマ/方形波出力のレジスタ設定内容例

(a) タイマ・モード・レジスタ0n (TMR0nH, TMR0nL)



(b) タイマ出力レジスタ0 (TO0)
ビットn

| | | |
|-----|------|------------------|
| TO0 | TO0n | 0 : TO0nより0を出力する |
| | 1/0 | 1 : TO0nより1を出力する |

(c) タイマ出力許可レジスタ0 (TOE0)
ビットn

| | | |
|------|-------|--|
| TOE0 | TOE0n | 0 : カウント動作によるTO0n出力動作停止 (TO0nビットに設定したレベルをTO0n端子から出力) |
| | 1/0 | 1 : カウント動作によるTO0n出力動作許可 (TO0n端子からトグル出力) |

(d) タイマ出力レベル・レジスタ0 (TOL0)
ビットn

| | | |
|------|-------|--|
| TOL0 | TOL0n | 0 : マスタ・チャンネル出力モード (TOM0n = 0) のため, 設定無効 |
| | 0 | |

(e) タイマ出力モード・レジスタ0 (TOM0)
ビットn

| | | |
|------|-------|-----------------------|
| TOM0 | TOM0n | 0 : マスタ・チャンネル出力モードを設定 |
| | 0 | |

注 TMR02の場合 : MASTER0nビット
TMR01, TMR03の場合 : SPLIT0nビット
TMR00の場合 : 0固定

備考 n : チャンネル番号。n = 0-3

図6-44 インターバル・タイマ/方形波出力の操作手順

| | ソフトウェア操作 | ハードウェアの状態 |
|----------|--|--|
| TAU初期設定 | 周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する (TAU0ENビットが0のときは、読み出し/書き込み不可) | パワーオフ状態 (クロック供給停止, TAUのSFRへの書き込み不可) |
| | タイマ・クロック選択レジスタ0 (TPS0) を設定する 各チャネルの動作クロック (CK00, CK01) を確定する | パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, TAUのSFRへの書き込み可能) |
| チャネル初期設定 | タイマ・モード・レジスタ0n (TMR0n) を設定する (各チャネルの動作モードを確定する) タイマ・データ・レジスタ0n (TDR0n) にインターバル (周期) 値を設定する (TDR0nH, TDR0nLレジスタへのアクセス手順は、6. 2. 2 タイマ・データ・レジスタ0n (TDR0n) を参照) | チャネルは動作停止状態 |
| | タイマ出力モード・レジスタ0 (TOM0) の対象ビットに0 (マスタ・チャネル出力モード) を設定する TOL0レジスタの対象ビットに0を設定する 方形波出力として使用する場合、 TO0nビットを設定し、TO0n出力の初期レベルを確定する TOE0nビットに1を設定し、TO0nの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する (出力モード設定) | TO0n端子はHi-Z状態 (ポート・モード・レジスタは入力モード) チャネルは動作停止状態なので、TO0nは変化しない (TO0pビットを書き換えてもTO0p端子に反映されない) TO0nビットに設定したレベルをTO0n端子から出力 |
| 動作再開 | TOE0nビットに1を設定し、TO0nの動作を許可 (方形波出力の動作再開時のみ) TS0/TSH0レジスタの対象ビットに1を設定する TS0/TSH0レジスタの対象ビットはトリガ・ビットなので、自動的に0に戻る | TE0/TEH0レジスタの対象ビットが1になり、カウント動作開始 次のカウント・クロックでタイマ・カウンタ・レジスタ0n (TCR0n) はTDR0nレジスタの値をロードする。TMR0nLレジスタのMD0n0ビットが1の場合は、INTTM0nを発生し、TO0nもトグル動作する。 |
| | TDR0nレジスタは、任意に設定値変更が可能 TCR0nレジスタは、常に読み出し可能 (TCR0nH, TCR0nLレジスタへのアクセス手順は、6. 2. 1 タイマ・カウンタ・レジスタ0n (TCR0n) を参照) TO0, TOE0レジスタの対象ビットは、設定値変更可能 TMR0n, TOM0, TOL0レジスタの対象ビットは、設定値変更禁止 | カウンタ (TCR0n) はダウン・カウント動作を行い、0000Hまでカウントしたら、再びTCR0nレジスタはTDR0nレジスタの値をロードし、カウント動作を継続する。TCR0n = 0000H検出でINTTM0nを発生し、TO0nはトグル動作する。以降、この動作を繰り返す。 |
| 動作停止 | TT0/TTH0レジスタの対象ビットに1を設定する TT0/TTH0レジスタの対象ビットはトリガ・ビットなので、自動的に0に戻る | TE0/TEH0レジスタの対象ビットが0になり、カウント動作停止 TCR0nレジスタはカウント値を保持して停止 TO0n出力は初期化されず、状態保持 |
| | TOE0nビットに0を設定し、TO0nビットに値を設定する | TO0nビットに設定したレベルをTO0n端子から出力 |
| TAU停止 | TO0n端子の出力レベルを保持する場合 ポート・レジスタに保持したい値 (出力ラッチ) を設定後、TO0nビットに0を設定する | TO0n端子出力レベルはポート機能で保持される。 |
| | PER0レジスタのTAU0ENビットに0を設定する | パワーオフ状態 (クロック供給停止, TAUのSFRが初期化される) |

注意 チャンネル1, 3を8ビット・タイマ・モード (SPLIT=1) で使用する場合は、TCR01H, TDR01HレジスタまたはTCR03H, TDR03Hレジスタの読み出しは禁止です。

備考 n: チャンネル番号。n = 0-3

6.8.2 外部イベント・カウンタとしての動作

TI0n端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達したら割り込み要求信号（INTTM0n）を発生するイベント・カウンタに利用できます。規定カウント数は次の式で求められます。

$$\text{規定カウント数} = \text{TDR0nの設定値} + 1$$

チャンネル1,3を8ビット・タイマ動作機能として使用する（SPLIT0n=1）ときは、下位8ビット・タイマのみが外部イベント・カウンタとして使用できます。

タイマ・カウンタ・レジスタ0n（TCR0n）はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0（TS0）の任意のチャンネル・スタート・トリガ・ビット（TS0n）に1を設定することで、TCR0nレジスタはタイマ・データ・レジスタ0n（TDR0n）の値をロードします。

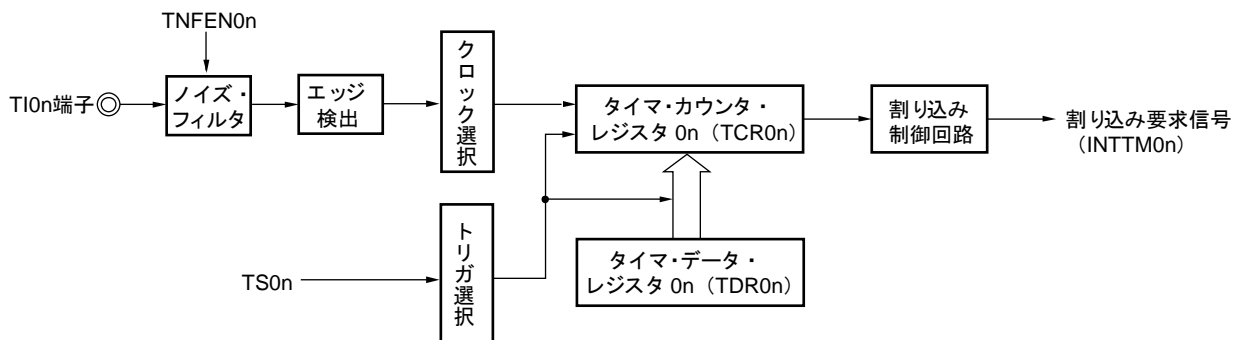
TCR0nレジスタはTI0n端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCR0n = 0000Hとなったら、再びTDR0nレジスタの値をロードして、INTTM0nを出力します。

以降、同様の動作を続けます。

TO0n端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ0（TOE0）のTOE0nビットに0を設定して出力動作を停止するようにしてください。

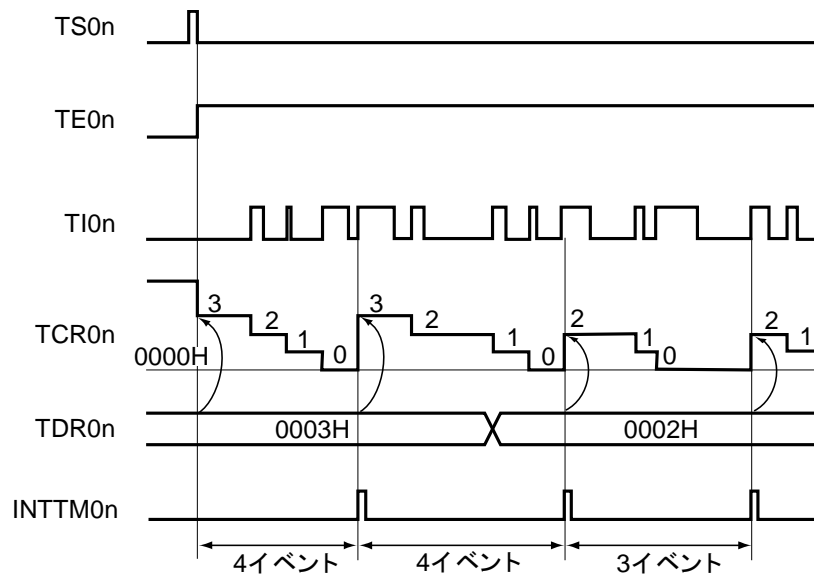
TDR0nレジスタは任意のタイミングで書き換えることができます。書き換えたTDR0nレジスタの値は次のカウント期間で有効になります。

図6-45 外部イベント・カウンタとしての動作のブロック図



備考 n : チャンネル番号。n = 0-3

図6-46 外部イベント・カウンタとしての動作の基本タイミング例

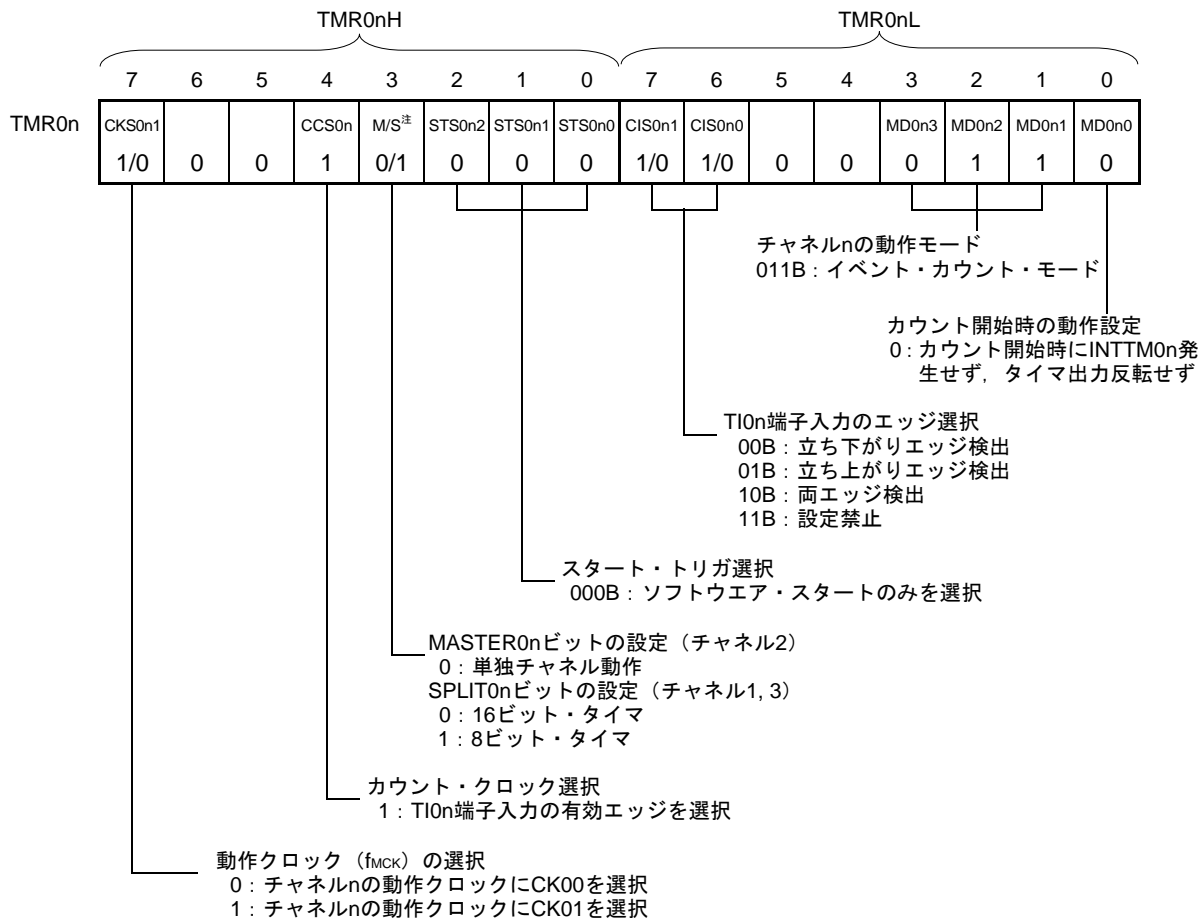


備考1. n : チャネル番号。n = 0-3

2. TS0n : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
- TE0n : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
- TI0n : TI0n端子入力信号
- TCR0n : タイマ・カウンタ・レジスタ0n (TCR0n)
- TDR0n : タイマ・データ・レジスタ0n (TDR0n)

図6-47 外部イベント・カウンタ・モードのレジスタ設定内容例

(a) タイマ・モード・レジスタ0n (TMR0nH, TMR0nL)



(b) タイマ出力レジスタ0 (TO0)

ビットn
TO0 TO0n 0: TO0nより0を出力する
 0

(c) タイマ出力許可レジスタ0 (TOE0)

ビットn
TOE0 TOE0n 0: カウント動作によるTO0n出力動作停止
 0

(d) タイマ出力レベル・レジスタ0 (TOL0)

ビットn
TOL0 TOL0n 0: マスタ・チャンネル出力モード (TOM0n = 0) のため, 設定無効
 0

(e) タイマ出力モード・レジスタ0 (TOM0)

ビットn
TOM0 TOM0n 0: マスタ・チャンネル出力モードを設定
 0

注 TMR02の場合: MASTER0nビット
TMR01, TMR03の場合: SPLIT0nビット
TMR00の場合: 0固定

備考 n: チャンネル番号。n = 0-3

図6-48 外部イベント・カウンタの操作手順

| | ソフトウェア操作 | ハードウェアの状態 |
|-----------|---|--|
| TAU初期設定 | 周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する (TAU0ENビットが0のときは、読み出し/書き込み不可) | パワーオフ状態 (クロック供給停止, TAUのSFRへの書き込み不可) |
| | タイマ・クロック選択レジスタ0 (TPS0) を設定する 各チャネルの動作クロック (CK00, CK01) を確定する | パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, TAUのSFRへの書き込み可能) |
| チャンネル初期設定 | ノイズ・フィルタ許可レジスタ1 (NFEN1) を設定する タイマ・モード・レジスタ0n (TMR0n) を設定する (各チャネルの動作モードを確定, 検出エッジの選択) タイマ・データ・レジスタ0n (TDR0n) にカウント数を設定する (TDR0nH, TDR0nLレジスタへのアクセス手順は、6.2.2 タイマ・データ・レジスタ0n (TDR0n) を参照) タイマ出力モード・レジスタ0 (TOM0) の対象ビットに0 (マスタ・チャンネル出力モード) を設定する TOL0レジスタの対象ビットに0を設定する タイマ出力許可レジスタ0 (TOE0) の対象ビットに0を設定する | チャンネルは動作停止状態 |
| 動作開始 | TS0レジスタの対象ビットに1を設定する TS0レジスタの対象ビットはトリガ・ビットなので、自動的に0に戻る | TE0レジスタの対象ビットが1になり、カウント動作開始 タイマ・カウンタ・レジスタ0n (TCR0n) はTDR0nレジスタの値をロードし、TI0n端子入力のエッジ検出待ち状態になる |
| 動作中 | TDR0nレジスタは、任意に設定値変更が可能 TCR0nレジスタは、常に読み出し可能 (TCR0nH, TCR0nLレジスタへのアクセス手順は、6.2.1 タイマ・カウンタ・レジスタ0n (TCR0n) を参照) TMR0n, TO0, TOE0, TOM0, TOL0 レジスタ の対象ビットは、設定値変更禁止 | TI0n端子入力のエッジが検出されるごとに、カウンタ (TCR0n) はダウン・カウント動作を行う。0000Hまでカウントしたら、再びTCR0nレジスタはTDR0nレジスタの値をロードし、カウント動作を継続する。TCR0n = 0000H検出でINTTM0nを発生する。 以降、この動作を繰り返す。 |
| 動作停止 | TT0レジスタの対象ビットに1を設定する TT0レジスタの対象ビットはトリガ・ビットなので、自動的に0に戻る | TE0レジスタの対象ビットが0になり、カウント動作停止 TCR0nレジスタはカウント値を保持して停止 |
| TAU停止 | PER0レジスタのTAU0ENビットに0を設定する | パワーオフ状態 (クロック供給停止, TAUのSFRが初期化される) |

動作再開

備考 n: チャンネル番号。n = 0-3

6.8.3 分周器としての動作（チャンネル0, 3のみ）

TI0n端子に入力したクロックを分周して、TO0n端子からクロック出力する分周器に利用できます。

TO0n出力の分周クロック周波数は次の式で求めることができます。

- ・立ち上がりエッジ／立ち下がりエッジ選択時：

$$\text{分周クロック周波数} = \text{入力クロック周波数} / \{ (\text{TDR0n の設定値} + 1) \times 2 \}$$
- ・両エッジ選択時：

$$\text{分周クロック周波数} \approx \text{入力クロック周波数} / (\text{TDR0nの設定値} + 1)$$

タイマ・カウンタ・レジスタ0n (TCR0n) はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ・ビット (TS0n) に1を設定後、TI0nの有効エッジ検出でTCR0nレジスタはタイマ・データ・レジスタ0n (TDR0n) の値をロードします。このときタイマ・モード・レジスタ0n (TMR0n) のMD00n = 0ならば、INTTM0nを出力せず、TO0nはトグルしません。TMR0nレジスタのMD00n = 1ならば、INTTM0nを出力して、TO0nをトグルします。

その後、TI0n端子入力の有効エッジに合わせてダウン・カウントを行い、TCR0n = 0000Hとなったら、TO0nをトグルします。同時にTCR0nレジスタはTDR0nレジスタの値をロードして、カウントを継続します。

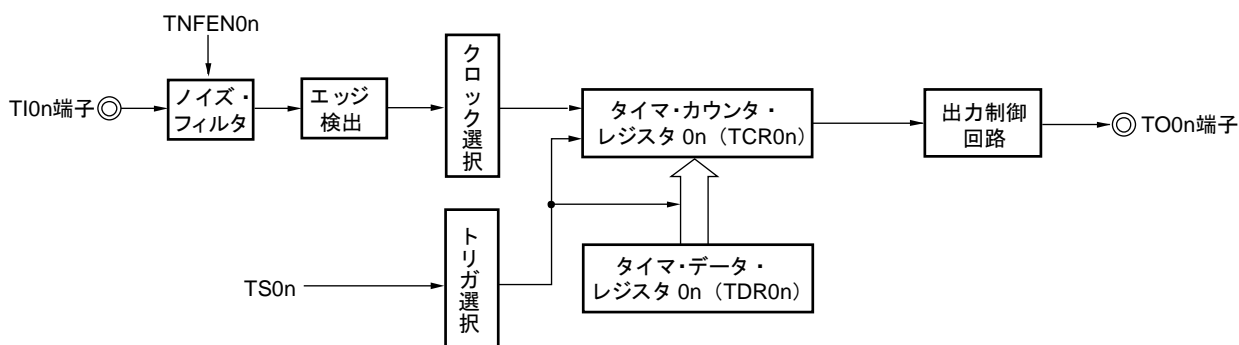
TI0n端子入力の両エッジ検出を選択すると、入力クロックのデューティ誤差がTO0n出力の分周クロック周期に影響します。

TO0nの出カクロックの周期には、最大で動作クロック (f_{MCK}) の1周期分のサンプリング誤差が含まれます。

$$\text{TO0n出力のクロック周期} = \text{理想のTO0n出カクロック周期} \pm \text{動作クロック周期 (誤差)}$$

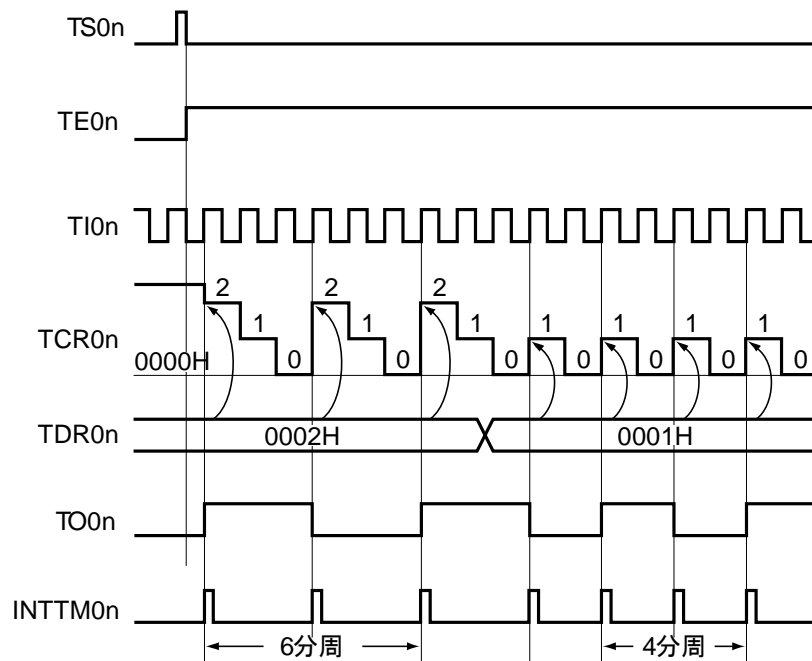
TDR0nレジスタは任意のタイミングで書き換えることができます。書き換えたTDR0nレジスタの値は次のカウント期間で有効となります。

図6-49 分周器としての動作のブロック図



備考 n = 0, 3

図6-50 分周器としての動作の基本タイミング例 (MD00n = 1)



備考 n : チャネル番号。n = 0, 3

TS0n : タイマ・チャネル開始レジスタ0 (TS0) のビットn

TE0n : タイマ・チャネル許可ステータス・レジスタ0 (TE0) のビットn

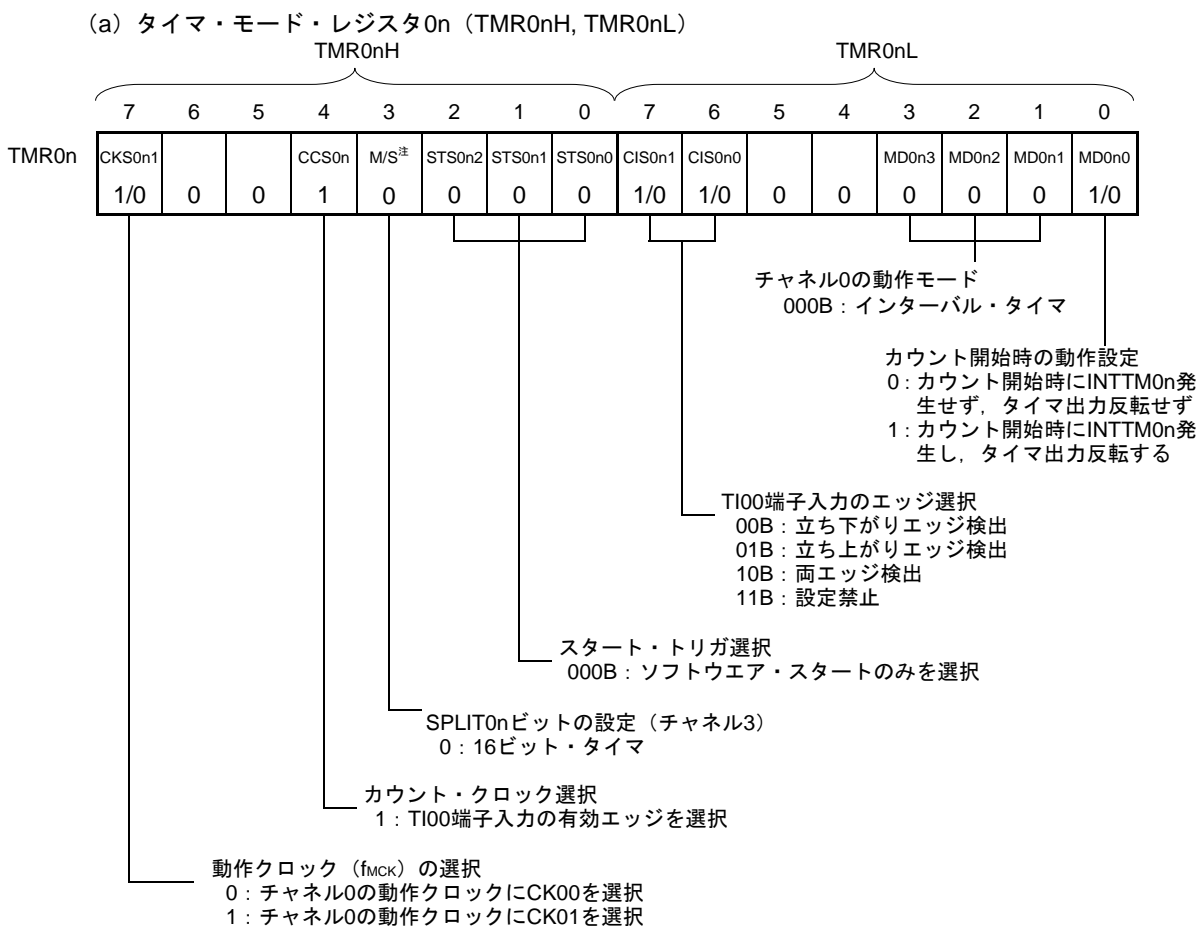
TI0n : TI0n端子入力信号

TCR0n : タイマ・カウンタ・レジスタ0n (TCR0n)

TDR0n : タイマ・データ・レジスタ0n (TDR0n)

TO0n : TO0n端子出力信号

図6-51 分周器として動作時のレジスタ設定内容例



(b) タイマ出力レジスタ0 (TO0)
 ビットn

| | | |
|-----|------|------------------|
| TO0 | TO0n | 0 : TO0nより0を出力する |
| | 1/0 | 1 : TO0nより1を出力する |

(c) タイマ出力許可レジスタ0 (TOE0)
 ビットn

| | | |
|------|-------|--|
| TOE0 | TOE0n | 0 : カウント動作によるTO0n出力動作停止 (TO0nビットに設定したレベルをTO0n端子から出力) |
| | 1/0 | 1 : カウント動作によるTO0n出力動作許可 (TO0n端子からトグル出力) |

(d) タイマ出力レベル・レジスタ0 (TOL0)
 ビットn

| | | |
|------|-------|--|
| TOL0 | TOL0n | 0 : マスタ・チャンネル出力モード (TOM0n = 0) のため, 設定無効 |
| | 0 | |

(e) タイマ出力モード・レジスタ0 (TOM0)
 ビットn

| | | |
|------|-------|-----------------------|
| TOM0 | TOM0n | 0 : マスタ・チャンネル出力モードを設定 |
| | 0 | |

注 TMR03の場合 : SPLIT03ビット
 TMR00の場合 : 0固定

備考 n : チャンネル番号. n = 0, 3

図6-52 分周器機能の操作手順

| | ソフトウェア操作 | ハードウェアの状態 |
|----------|---|--|
| TAU初期設定 | | パワーオフ状態 (クロック供給停止, TAUのSFRへの書き込み不可) |
| | 周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する (TAU0ENビットが0のときは, 読み出し/書き込み不可) | パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, TAUのSFRへの書き込み可能) |
| | タイマ・クロック選択レジスタ0 (TPS0) を設定する 各チャネルの動作クロック (CK00, CK01) を確定する | |
| チャネル初期設定 | ノイズ・フィルタ許可レジスタ1 (NFEN1) を設定する タイマ・モード・レジスタ0n (TMR0n) を設定する (各チャネルの動作モードを確定, 検出エッジの選択) タイマ・データ・レジスタ0n (TDR0n) にインターバル (周期) 値を設定する (TDR0nH, TDR0nLレジスタへのアクセス手順は, 6.2.2 タイマ・データ・レジスタ0n (TDR0n) を参照) | チャネルは動作停止状態 |
| | タイマ出力モード・レジスタ0 (TOM0) の対象ビットに0 (マスタ・チャネル出力モード) を設定する TOL0レジスタの対象ビットに0を設定する TO0nビットを設定し, TO0n出力の初期レベルを確定する TOE0nビットに1を設定し, TO0nの動作を許可 | TO0n端子はHi-Z状態 (ポート・モード・レジスタは入力モード) チャネルは動作停止状態なので, TO0nは変化しない (TO0pビットを書き換えてもTO0p端子に反映されない) |
| 動作再開 | TOE0nビットに1を設定し, TO0nの動作を許可 (動作再開時のみ) TS0レジスタの対象ビットに1を設定する | TE0レジスタの対象ビットが1になり, カウント動作開始 次のカウント・クロックでタイマ・カウンタ・レジスタ0n (TCR0n) はTDR0nレジスタの値をロードする。 TMR0nLレジスタのMD0n0ビットが1の場合は, INTTM0nを発生し, TO0nもトグル動作する。 |
| | TS0レジスタの対象ビットはトリガ・ビットなので, 自動的に0に戻る | |
| 動作中 | TDR0nレジスタは, 任意に設定値変更が可能 TCR0nレジスタは, 常に読み出し可能 (TCR0nH, TCR0nLレジスタへのアクセス手順は, 6.2.1 タイマ・カウンタ・レジスタ0n (TCR0n) を参照) TO0, TOE0レジスタの対象ビットは, 設定値変更可能 TMR0n, TOM0, TOL0レジスタの対象ビットは, 設定値変更禁止 | カウンタ (TCR0n) はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCR0nレジスタはTDR0nレジスタの値をロードし, カウント動作を継続する。TCR0n = 0000H検出でINTTM0nを発生し, TO0nはトグル動作する。以降, この動作を繰り返す。 |
| 動作停止 | TT0レジスタの対象ビットに1を設定する | TE0レジスタの対象ビットが0になり, カウント動作停止 TCR0nレジスタはカウント値を保持して停止 |
| | TT0レジスタの対象ビットはトリガ・ビットなので, 自動的に0に戻る TOE0nビットに0を設定し, TO0nビットに値を設定する | TO0n出力は初期化されず, 状態保持 TO0nビットに設定したレベルをTO0n端子から出力 |
| TAU停止 | TO0n端子の出力レベルを保持する場合 ポート・レジスタに保持したい値 (出力ラッチ) を設定後, TO0nビットに0を設定する | TO0n端子出力レベルはポート機能で保持される。 |
| | PER0レジスタのTAU0ENビットに0を設定する | パワーオフ状態 (クロック供給停止, TAUのSFRが初期化される) |

動作再開

備考 n: チャネル番号。n = 0, 3

6.8.4 入力パルス間隔測定としての動作

TI0n端子入力の有効エッジ検出でカウント値をキャプチャし、TI0n端子の入力パルス間隔を測定できます。また、TE0n = 1の期間中、ソフトウェアによりTS0n = 1を設定することで、カウント値をキャプチャすることもできます。

UART0のポー・レート補正を行う場合は、入力切り替え制御レジスタ (ISC) のビット1 (ISC1) に1を設定してください。

また、以降の説明では「TI0n」を「RxD0」と読み替えてください。ISC1ビットに1を設定すると、シリアル・データ入力 (RxD0) 端子の入力信号がタイマ入力 (TI01) として選択されます。入力パルス間隔測定モードを利用して、スタート・ビットの入力エッジ信号をトリガに通信相手のポー・レート (転送レート) 幅を測定できます。

入力パルス間隔は次の式で求められます。

$$\text{TI0n入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSR0n} : \text{OVF}) + (\text{TDR0nのキャプチャ値} + 1))$$

注意 TI0n端子入力は、タイマ・モード・レジスタ0n (TMR0n) のCKS0n1ビットで選択した動作クロック (f_{MCK}) でサンプリングされるため、動作クロック (f_{MCK}) の1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ0n (TCR0n) はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ・ビット (TS0n) に1を設定するとTCR0nレジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

TI0n端子入力の有効エッジを検出すると、TCR0nレジスタのカウント値をタイマ・データ・レジスタ0n (TDR0n) に転送 (キャプチャ) すると同時に、TCR0nレジスタを0000Hにクリアして、INTTM0nを出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ0n (TSR0n) のOVFビットが1にセットされ、オーバフローが発生していなかったらOVFビットはクリアされます。以降、同様の動作を継続します。

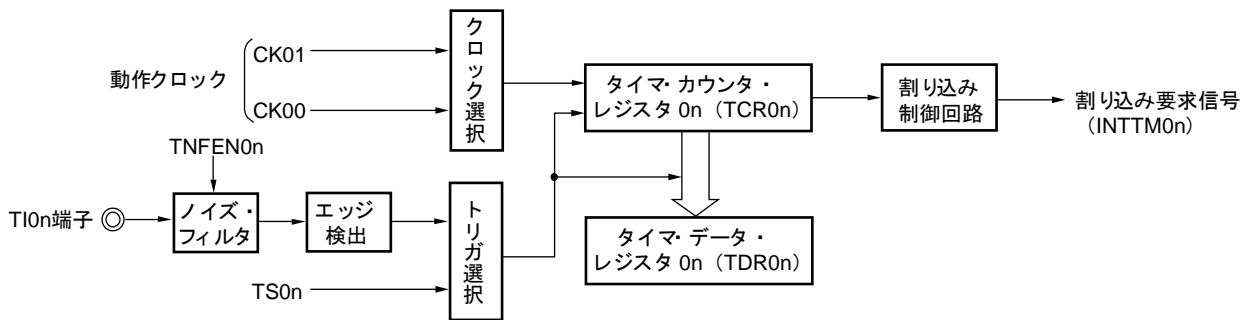
カウント値がTDR0nレジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSR0nレジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSR0nレジスタのOVFビットがセット (1) されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMR0nレジスタのSTS0n2-STS0n0 = 001Bに設定して、TI0n有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

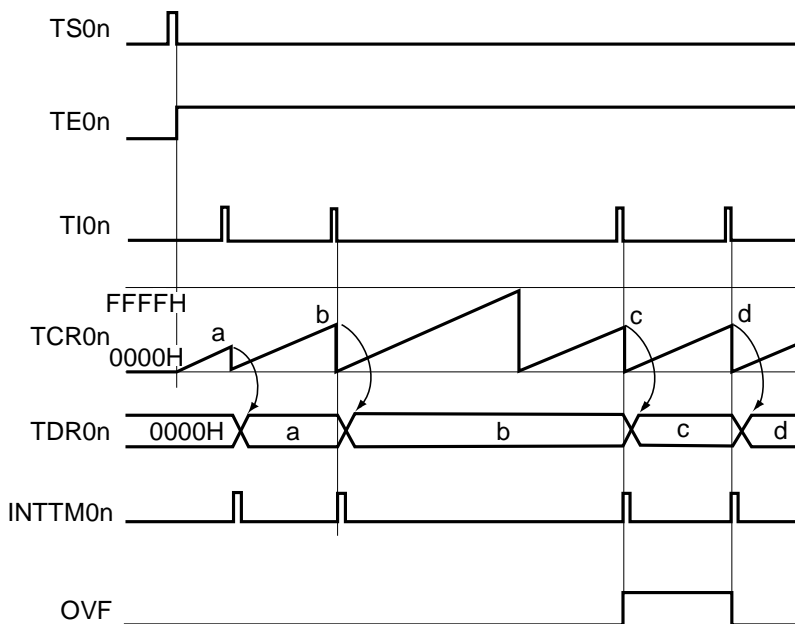
また、TI0n端子入力を使用せずに、ソフトウェア操作 (TS0n = 1) をキャプチャ・トリガにすることもできます。TE0n = 1の期間中に、TS0nビットに1をセットして動作クロック (f_{MCK}) と同期化するタイミングでカウント値をキャプチャします。

図6-53 入力パルス間隔測定としての動作のブロック図



備考 n : チャネル番号。n = 0-3

図6-54 入力パルス間隔測定としての動作の基本タイミング例 (MD0n0 = 0)

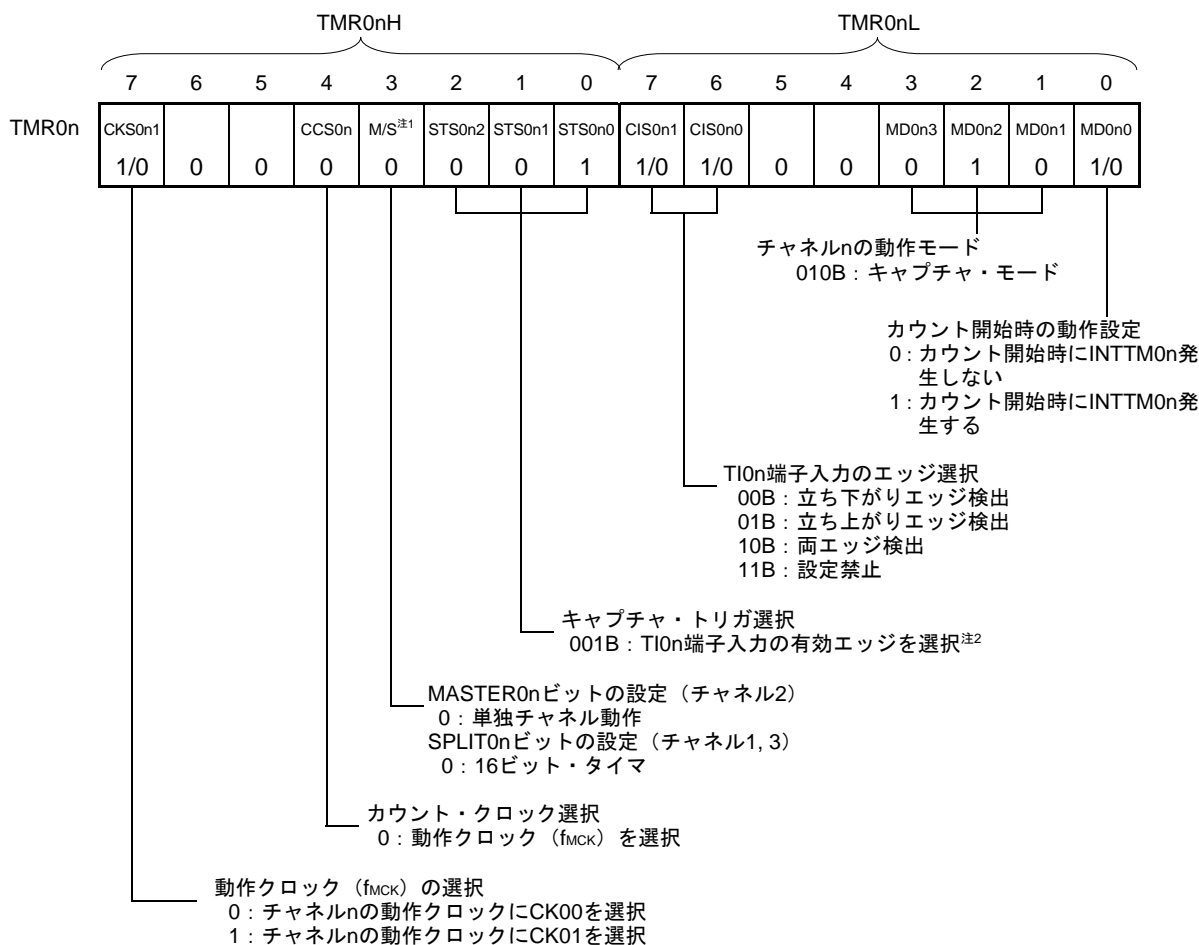


備考1. n : チャネル番号。n = 0-3

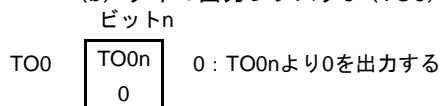
2. TS0n : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
- TE0n : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
- TI0n : TI0n端子入力信号
- TCR0n : タイマ・カウンタ・レジスタ0n (TCR0n)
- TDR0n : タイマ・データ・レジスタ0n (TDR0n)
- OVF : タイマ・ステータス・レジスタ0n (TSR0n) のビット0

図6-55 入力パルス間隔測定レジスタ設定内容例

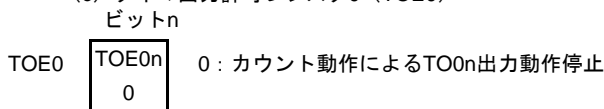
(a) タイマ・モード・レジスタ0n (TMR0nH, TMR0nL)



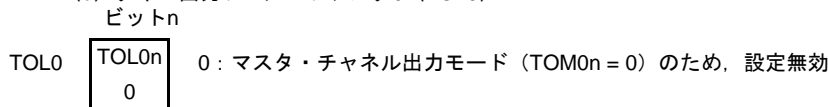
(b) タイマ出力レジスタ0 (TO0)



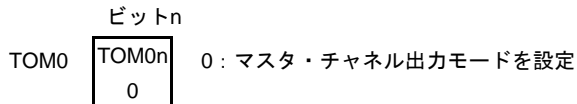
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



注1. TMR02の場合: MASTER0nビット
TMR01, TMR03の場合: SPLIT0nビット
TMR00の場合: 0固定

2. TI0n端子入力を使用せず、ソフトウェア操作 (TS0n = 1) をスタート・トリガにすることもできます。

備考 n: チャンネル番号。n = 0-3

図6-56 入力パルス間隔測定の手順

| | ソフトウェア操作 | ハードウェアの状態 |
|----------|--|--|
| TAU初期設定 | 周辺イネーブル・レジスタ0のTAU0ENビットに1を設定する (TAU0ENビットが0のときは、読み出し/書き込み不可) | パワーオフ状態 (クロック供給停止, TAUのSFRへの書き込み不可) |
| | タイマ・クロック選択レジスタ0 (TPS0) を設定する 各チャネルの動作クロック (CK00, CK01) を確定する | パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, TAUのSFRへの書き込み可能) |
| チャネル初期設定 | ノイズ・フィルタ許可レジスタ1 (NFEN1) を設定する タイマ・モード・レジスタ0n (TMR0n) を設定する (各チャネルの動作モードを確定, 検出エッジの選択) タイマ出力モード・レジスタ0 (TOM0) の対象ビットに0 (マスタ・チャネル出力モード) を設定する TOL0レジスタの対象ビットに0を設定する タイマ出力許可レジスタ0 (TOE0) の対象ビットに0を設定する | チャネルは動作停止状態 |
| 動作開始 | TS0レジスタの対象ビットに1を設定する TS0レジスタの対象ビットはトリガ・ビットなので、自動的に0に戻る | TE0レジスタの対象ビットが1になり、カウント動作開始 次のカウント・クロックでタイマ・カウンタ・レジスタ0n (TCR0n) を0000Hにクリアする。TMR0nレジスタのMD0n0ビットが1の場合は、INTTM0nを発生する。 |
| 動作中 | TMR0nレジスタは、CIS0n1, CIS0n0ビットのみ設定値変更可能 TDR0nレジスタは、常に読み出し可能 (TDR0nH, TDR0nL) レジスタへのアクセス手順は、6.2.2 タイマ・データ・レジスタ0n (TDR0n) を参照 TCR0nレジスタは、常に読み出し可能 (TCR0nH, TCR0nL) レジスタへのアクセス手順は、6.2.1 タイマ・カウンタ・レジスタ0n (TCR0n) を参照 TSR0nレジスタは、常に読み出し可能 TO0, TOE0, TOM0n, TOL0レジスタの対象ビットは、設定値変更禁止 | カウンタ (TCR0n) は0000Hからアップ・カウント動作を行い、Ti0n端子入力の有効エッジが検出または、TS0nビットに1を設定すると、カウント値をタイマ・データ・レジスタ0n (TDR0n) に転送 (キャプチャ) する。同時に、TCR0nレジスタを0000Hにクリアし、INTTM0nを発生する。 このときオーバーフローが発生していたら、タイマ・ステータス・レジスタ0n (TSR0n) のOVFビットがセットされ、オーバーフローが発生していなかったらOVFビットがクリアされる。 以降、この動作を繰り返す。 |
| 動作停止 | TT0レジスタの対象ビットに1を設定する TT0レジスタの対象ビットはトリガ・ビットなので、自動的に0に戻る | TE0レジスタの対象ビットが0になり、カウント動作停止 TCR0nレジスタはカウント値を保持して停止 TSR0nレジスタのOVFビットも保持 |
| TAU停止 | PER0レジスタのTAU0ENビットに0を設定する | パワーオフ状態 (クロック供給停止, TAUのSFRが初期化される) |

動作再開

備考 n: チャネル番号。n = 0-3

6.8.5 入力信号のハイ／ロウ・レベル幅測定としての動作

TI0n端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TI0nの信号幅（ハイ・レベル幅／ロウ・レベル幅）を測定できます。TI0nの信号幅は次の式で求められます。

$$\text{TI0n入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{Hz} \times \text{TSR0n} : \text{OVF}) + (\text{TDR0nのキャプチャ値} + 1))$$

注意 TI0n端子入力は、タイマ・モード・レジスタ0n (TMR0n) のCKS0n1ビットで選択した動作クロック (f_{MCK}) でサンプリングされるため、動作クロック (f_{MCK}) の1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ0n (TCR0n) はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ・ビット (TS0n) に1を設定すると、TE0n = 1となりTI0n端子のスタート・エッジ検出待ち状態となります。

TI0n端子入力のスタート・エッジ（ハイ・レベル幅測定ならTI0n端子入力の立ち上がりエッジ）を検出すると、カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後、キャプチャ有効エッジ（ハイ・レベル幅測定ならTI0n端子入力の立ち下がりエッジ）を検出すると、カウンタ値をタイマ・データ・レジスタ0n (TDR0n) に転送すると同時にINTTM0nを出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ0n (TSR0n) のOVFビットがセットされ、オーバフローが発生していなかったらOVFビットはクリアされます。TCR0nレジスタは、「TDR0nレジスタに転送した値+1」の値で停止し、TI0n端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値がTDR0nレジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSR0nレジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSR0nレジスタのOVFビットがセット (1) されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TI0n端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMR0nレジスタのCIS0n1, CIS0n0ビットで設定できます。

この機能は、TI0n端子入力の信号幅測定を目的とするため、TE0n = 1期間中のTS0nビットのセット (1) は使用できません。

TMR0nレジスタのCIS0n1, CIS0n0 = 10B : ロウ・レベル幅を測定する

TMR0nレジスタのCIS0n1, CIS0n0 = 11B : ハイ・レベル幅を測定する

図6-57 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図

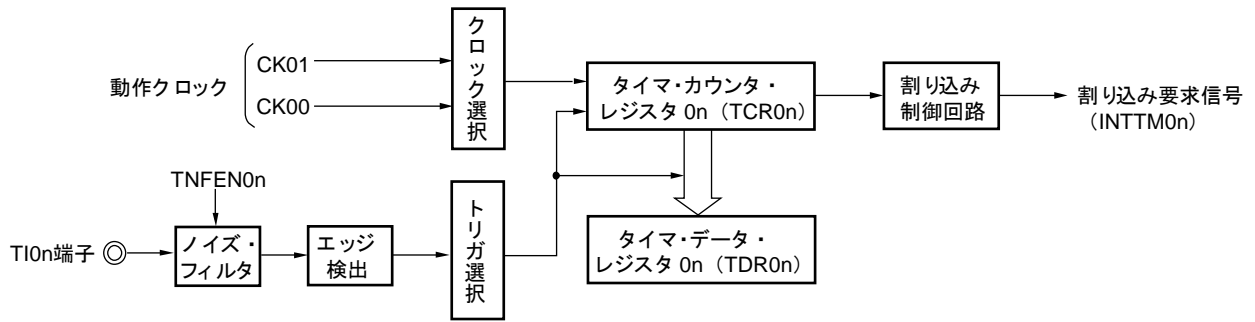
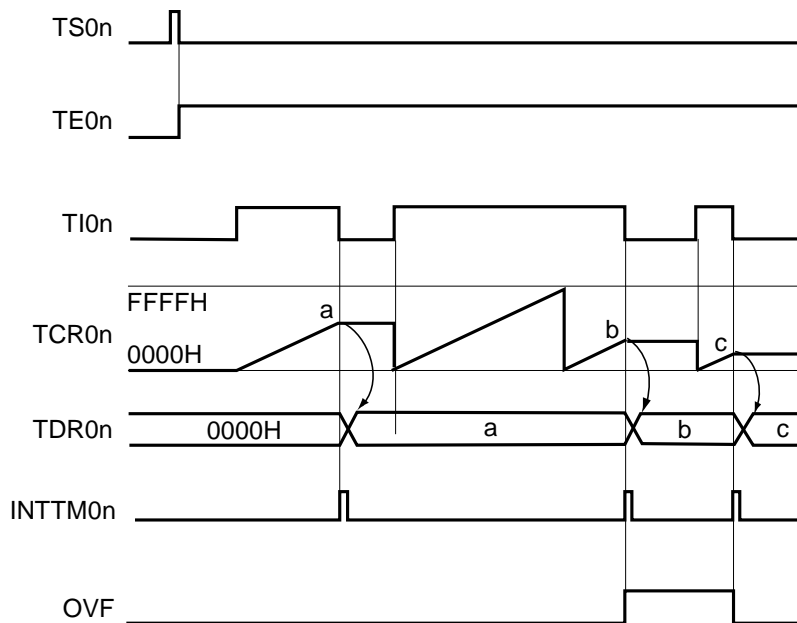


図6-58 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例

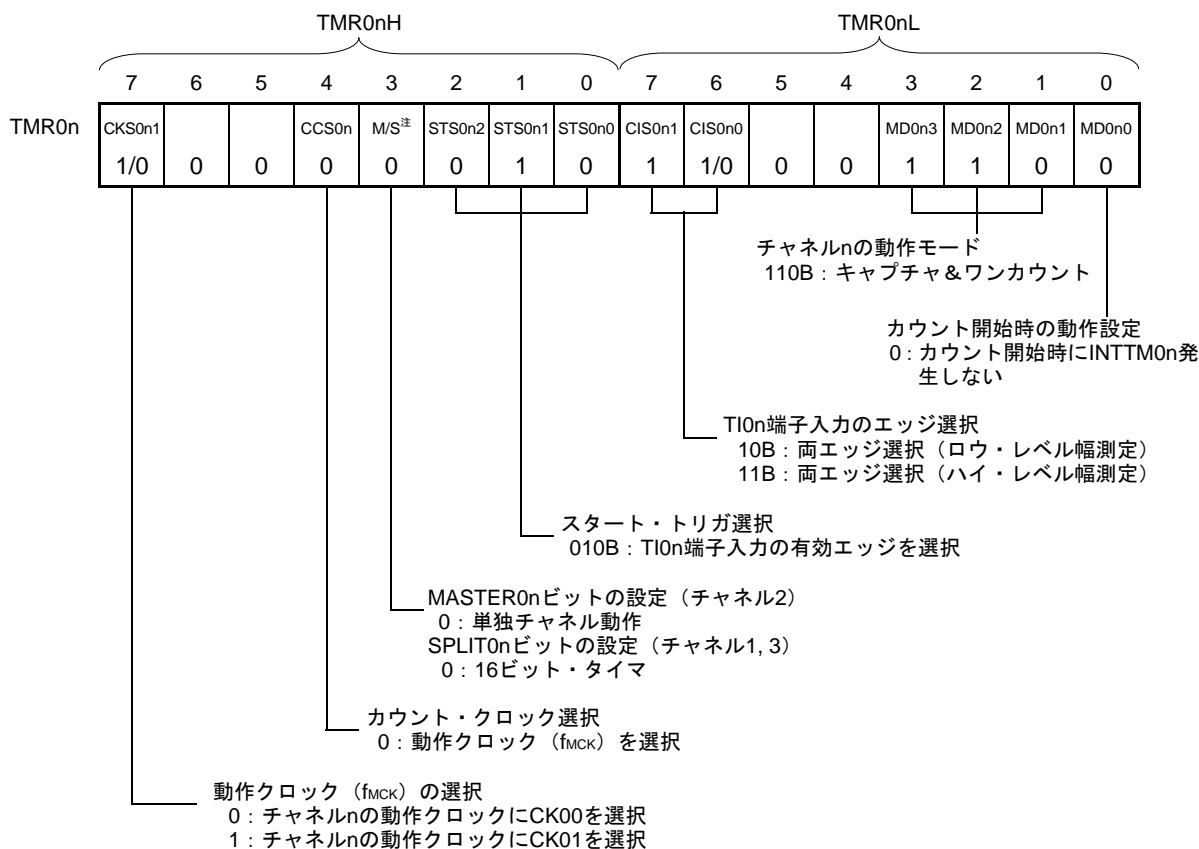


備考1. n : チャネル番号。n = 0-3

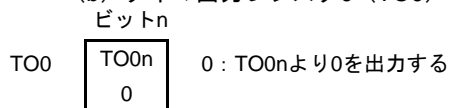
2. TS0n : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
- TE0n : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
- TI0n : TI0n端子入力信号
- TCR0n : タイマ・カウンタ・レジスタ0n (TCR0n)
- TDR0n : タイマ・データ・レジスタ0n (TDR0n)
- OVF : タイマ・ステータス・レジスタ0n (TSR0n) のビット0

図6-59 入力信号のハイ/ロウ・レベル幅測定レジスタ設定内容例

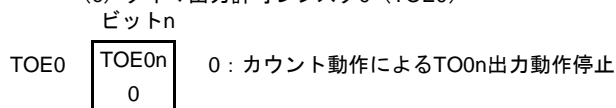
(a) タイマ・モード・レジスタ0n (TMR0nH, TMR0nL)



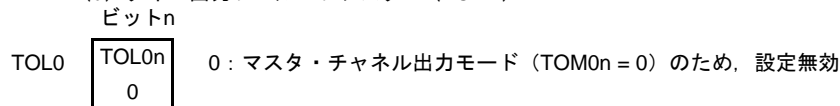
(b) タイマ出力レジスタ0 (TO0)



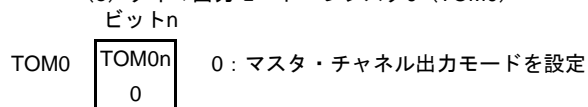
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタ0 (TOM0)



注 TMR02の場合 : MASTER0nビット
TMR01, TMR03の場合 : SPLIT0nビット
TMR00 : 0固定

備考 n : チャンネル番号。n = 0-3

図6-60 入力信号のハイ/ロウ・レベル幅測定の手順

| | ソフトウェア操作 | ハードウェアの状態 |
|-----------|---|---|
| TAU初期設定 | | パワーオフ状態 (クロック供給停止, TAUのSFRへの書き込み不可) |
| | 周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する (TAU0ENのビットが0のときは, 読み出し/書き込み不可) → | パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, TAUのSFRへの書き込み可能) |
| | タイマ・クロック選択レジスタ0 (TPS0) を設定する 各チャンネルの動作クロック (CK00, CK01) を確定する | |
| チャンネル初期設定 | ノイズ・フィルタ許可レジスタ1 (NFEN1) を設定する タイマ・モード・レジスタ0n (TMR0n) を設定する (各チャンネルの動作モードを確定, 検出エッジの選択) タイマ出力モード・レジスタ0 (TOM0) の対象ビットに0 (マスタ・チャンネル出力モード) を設定する TOL0レジスタの対象ビットに0を設定する タイマ出力許可レジスタ0 (TOE0) の対象ビットに0を設定する | チャンネルは動作停止状態 |
| | TS0レジスタの対象ビットに1を設定する → TS0レジスタの対象ビットはトリガ・ビットなので, 自動的に0に戻る | TE0レジスタの対象ビットが1になり, TI0n端子のスタート・エッジ検出待ち状態になる |
| 動作中 | TI0n端子入力のカウント・スタート・エッジ検出 → | タイマ・カウンタ・レジスタ0n (TCR0n) を0000Hにクリアし, カウント・アップ動作を開始する |
| | TDR0n レジスタは, 常に読み出し可能 (TDR0nH, TDR0nL レジスタへのアクセス手順は, 6. 2. 2 タイマ・データ・レジスタ0n (TDR0n) を参照) TCR0n レジスタは, 常に読み出し可能 (TCR0nH, TCR0nL レジスタへのアクセス手順は, 6. 2. 1 タイマ・カウンタ・レジスタ0n (TCR0n) を参照) TSR0nレジスタは, 常に読み出し可能 TMR0n, TO0, TOE0, TOM0, TOL0 レジスタ の対象ビットは, 設定値変更禁止 | TI0n端子のスタート・エッジ検出後, カウンタ (TCR0n) は 0000Hからアップ・カウント動作を行う。TI0n端子のキャプチャ・エッジが検出されたら, カウント値をタイマ・データ・レジスタ0n (TDR0n) に転送し, INTTM0nを発生する。このときオーバーフローが発生していたら, タイマ・ステータス・レジスタ0n (TSR0n) のOVFビットがセットされ, オーバーフローが発生していなかったらOVFビットがクリアされる。TCR0nレジスタは, 次のTI0n端子のスタート・エッジ検出までカウント動作を停止する。以降, この動作を繰り返す。 |
| 動作停止 | TT0レジスタの対象ビットに1を設定する → TT0レジスタの対象ビットはトリガ・ビットなので, 自動的に0に戻る | TE0レジスタの対象ビットが0になり, カウント動作停止 TCR0nレジスタはカウント値を保持して停止 TSR0nレジスタのOVFビットも保持 |
| TAU停止 | PER0レジスタのTAU0ENビットに0を設定する → | パワーオフ状態 (クロック供給停止, TAUのSFRが初期化される) |

動作再開

備考 n: チャンネル番号。n = 0-3

6.8.6 ディレイ・カウンタとしての動作

TI0n端子入力の有効エッジ検出（外部イベント）でダウン・カウントをスタートし、任意の設定間隔で割り込み要求信号（INTTM0n）を発生できます。

また、TE0n = 1の期間中、ソフトウェアによりTS0n = 1に設定することで、ダウン・カウントをスタートさせ、任意の設定間隔でINTTM0nを発生することもできます。

割り込み要求信号（INTTM0n）の発生周期は、次の式で求められます。

$$\text{割り込み要求信号 (INTTM0n) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDR0nの設定値} + 1)$$

注意 TI0n端子入力は、タイマ・モード・レジスタ0n（TMR0n）のCKS0n1ビットで選択した動作クロック（f_{mck}）でサンプリングされるため、動作クロック（f_{mck}）の1クロック分の誤差が発生します。

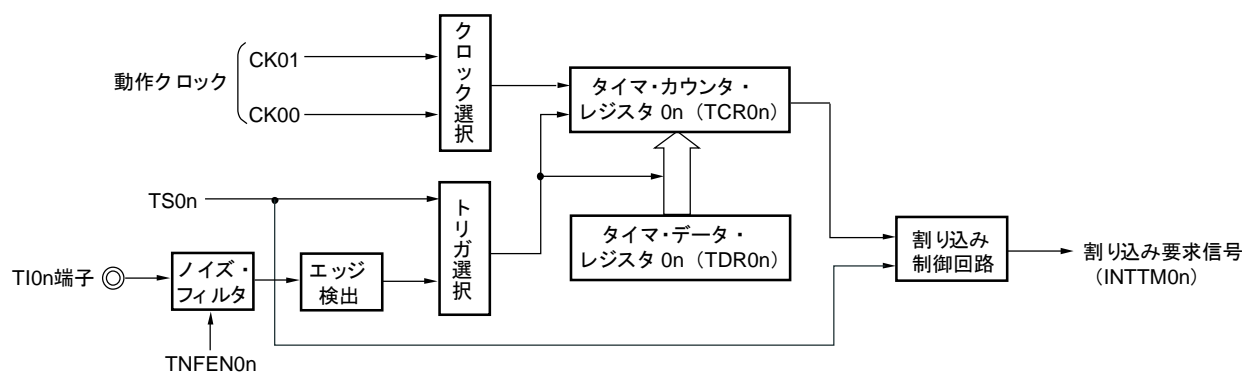
チャネル1,3を8ビット・タイマ動作機能として使用する（SPLIT0n=1）ときは、下位8ビット・タイマのみがディレイ・カウンタとして使用できます。

タイマ・カウンタ・レジスタ0n（TCR0n）はワンカウント・モードでダウン・カウンタとして動作します。タイマ・チャンネル開始レジスタ0（TS0）のチャンネル・スタート・トリガ・ビット（TS0n）に1を設定すると、TE0n = 1となりTI0n端子の有効エッジ検出待ち状態となります。

TCR0nレジスタは、TI0n端子入力の有効エッジ検出で動作を開始し、タイマ・データ・レジスタ0n（TDR0n）から値をロードします。TCR0nレジスタはロードしたTDR0nレジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR0n = 0000HになったらINTTM0nを出力し、次のTI0n端子入力の有効エッジがあるまで、TCR0n = FFFFHでカウント動作を停止します。

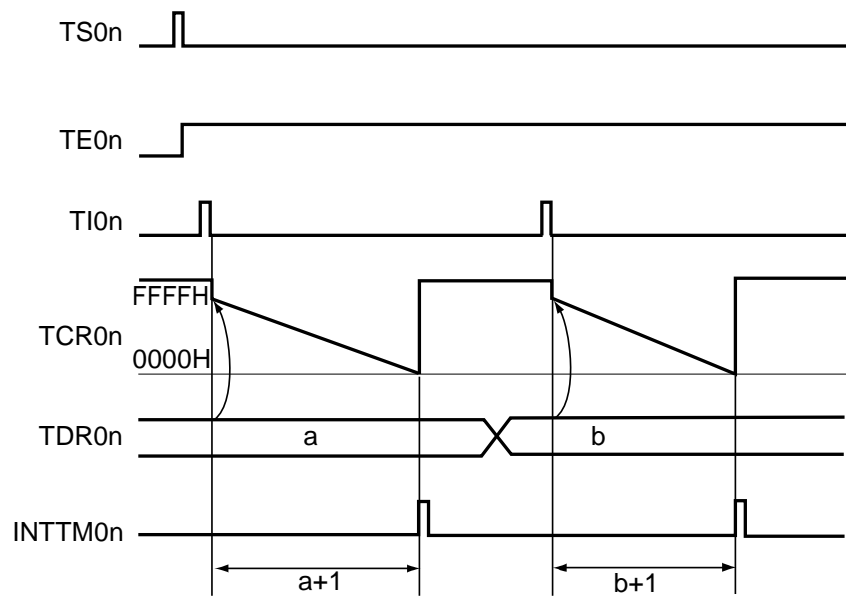
TDR0nレジスタは任意のタイミングで書き換えることができます。書き換えたTDR0nレジスタの値は、次の周期から有効となります。

図6-61 ディレイ・カウンタとしての動作のブロック図



備考 n : チャネル番号。n = 0-3

図6-62 デイレイ・カウンタとしての動作の基本タイミング例

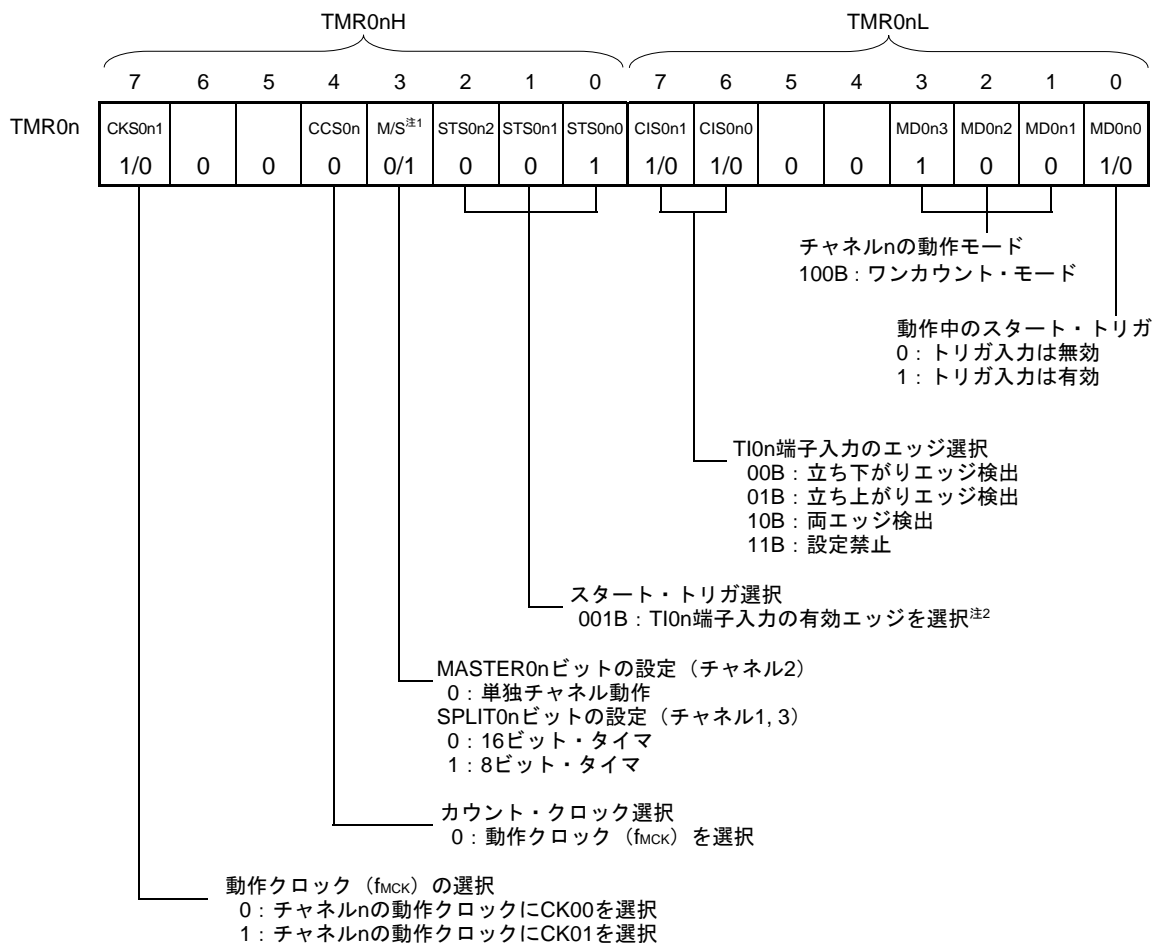


備考1. n : チャネル番号。n = 0-3

2. TS0n : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
- TE0n : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
- TI0n : TI0n端子入力信号
- TCR0n : タイマ・カウンタ・レジスタ0n (TCR0n)
- TDR0n : タイマ・データ・レジスタ0n (TDR0n)

図6-63 デイレイ・カウンタのレジスタ設定内容例

(a) タイマ・モード・レジスタ0n (TMR0nH, TMR0nL)



(b) タイマ出力レジスタ0 (TO0)
 ビットn

TO0

| |
|------|
| TO0n |
| 0 |

 0: TO0nより0を出力する

(c) タイマ出力許可レジスタ0 (TOE0)
 ビットn

TOE0

| |
|-------|
| TOE0n |
| 0 |

 0: カウント動作によるTO0n出力動作停止

(d) タイマ出力レベル・レジスタ0 (TOL0)
 ビットn

TOL0

| |
|-------|
| TOL0n |
| 0 |

 0: マスタ・チャンネル出力モード (TOM0n = 0) のため、設定無効

(e) タイマ出力モード・レジスタ0 (TOM0)
 ビットn

TOM0

| |
|-------|
| TOM0n |
| 0 |

 0: マスタ・チャンネル出力モードを設定

注1. TMR02の場合: MASTER0nビット
 TMR01, TMR03の場合: SPLIT0nビット
 TMR00: 0固定

2. TI0n端子入力を使用せず、ソフトウェア操作 (TS0n = 1) をスタート・トリガにすることもできます。

備考 n: チャンネル番号。n = 0-3

図6-64 ディレイ・カウンタの操作手順

| | ソフトウェア操作 | ハードウェアの状態 |
|-----------|---|--|
| TAU初期設定 | 周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する (TAU0ENビットが0のときは、読み出し/書き込み不可) | パワーオフ状態 (クロック供給停止, TAUのSFRへの書き込み不可) |
| | タイマ・クロック選択レジスタ0 (TPS0) を設定する 各チャンネルの動作クロック (CK00, CK01) を確定する | パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, TAUのSFRへの書き込み可能) |
| チャンネル初期設定 | ノイズ・フィルタ許可レジスタ1 (NFEN1) を設定する タイマ・モード・レジスタ0n (TMR0n) を設定する (各チャンネルの動作モードを確定, 検出エッジの選択) タイマ・データ・レジスタ0n (TDR0n) に遅延時間を設定する (TDR0nH, TDR0nLレジスタへのアクセス手順は, 6.2.2 タイマ・データ・レジスタ0n (TDR0n) を参照) タイマ出力モード・レジスタ0 (TOM0) の対象ビットに0 (マスタ・チャンネル出力モード) を設定する TOL0レジスタの対象ビットに0を設定する タイマ出力許可レジスタ0 (TOE0) の対象ビットに0を設定する | チャンネルは動作停止状態 |
| 動作再開 | TS0レジスタの対象ビットに1を設定する TS0レジスタの対象ビットはトリガ・ビットなので, 自動的に0に戻る | TE0レジスタの対象ビットが1になり, スタート・トリガ検出 (TI0n端子入力の有効エッジ検出または, TS0nビットに1を設定) 待ち状態になる |
| | 次のスタート・トリガ検出によって, カウント動作開始 ・TI0n端子入力の有効エッジ検出 ・ソフトウェアによりTS0nビットに1を設定 | タイマ・カウンタ・レジスタ0n (TCR0n) はTDR0nレジスタの値をロードし, ダウン・カウント動作を開始する。 |
| 動作中 | TDR0nレジスタは, 任意に設定値変更が可能 TCR0nレジスタは, 常に読み出し可能 (TCR0nH, TCR0nLレジスタへのアクセス手順は, 6.2.1 タイマ・カウンタ・レジスタ0n (TCR0n) を参照) TMR0n, TO0, TOE0, TOM0, TOL0レジスタの対象ビットは, 設定値変更禁止 | カウンタ (TCR0n) はダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0nを発生し, 次のスタート・トリガ検出 (TI0n端子入力の有効エッジ検出または, TS0nビットに1を設定) までTCR0n = FFFFHでカウント動作を停止する。 以降, この動作を繰り返す。 |
| 動作停止 | TT0レジスタの対象ビットに1を設定する TT0レジスタの対象ビットはトリガ・ビットなので, 自動的に0に戻る | TE0レジスタの対象ビットが0になり, カウント動作停止 TCR0nレジスタはカウント値を保持して停止 |
| TAU停止 | PER0レジスタのTAU0ENビットに0を設定する | パワーオフ状態 (クロック供給停止, TAUのSFRが初期化される) |

備考 n: チャンネル番号。n = 0-3

6.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能

6.9.1 ワンショット・パルス出力としての動作

2チャネルをセットで使用します。TI0n端子入力により任意のディレイ（出力遅延時間）を持ったワンショット・パルスを生成できます。

また、TE0n = 1の期間中、ソフトウェアによりTS0n = 1に設定することで、ダウン・カウントをスタートさせることもできます。

ディレイとワンショット・パルス幅は、次の式で求められます。

$$\begin{aligned} \text{ディレイ} &= \{\text{TDR0n (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{ワンショット・パルス幅} &= \{\text{TDR0p (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$$

注意 TI0n端子入力は、タイマ・モード・レジスタ0n (TMR0n) のCKS0n1ビットで選択した動作クロック (fMCK) でサンプリングされるため、動作クロック (fMCK) の1クロック分の誤差が発生します。

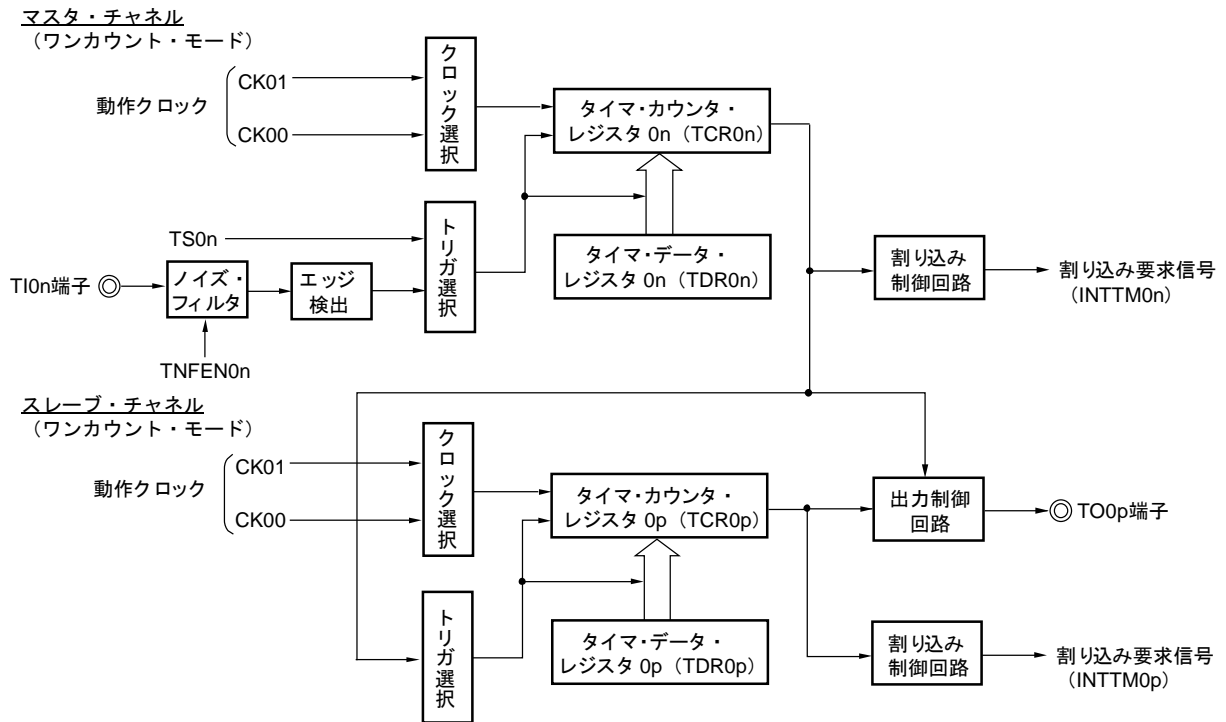
マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタ0n (TCR0n) は、スタート・トリガ検出で動作を開始し、タイマ・データ・レジスタ0n (TDR0n) から値をロードします。TCR0nレジスタはロードしたTDR0nレジスタの値からカウント・クロック (fCLK) に合わせてダウン・カウントを行い、TCR0n = 0000HとなったらINTTM0nを出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

スレーブ・チャネルは、ワンカウント・モードで動作し、ワンショット・パルス幅をカウントします。スレーブ・チャネルのTCR0pレジスタは、マスタ・チャネルのINTTM0nをスタート・トリガとして動作を開始し、TDR0pレジスタから値をロードします。TCR0pレジスタはロードした値からカウント・クロック (fCLK) に合わせてダウン・カウントを行います。そしてTCR0p = 0000HとなったらINTTM0pを出力して、次のスタート・トリガ (マスタ・チャネルのINTTM0n) 検出があるまで、TCR0p = FFFFHでカウント動作を停止します。TO0pの出力レベルは、マスタ・チャネルのINTTM0n発生からカウント・クロック (fCLK) の1クロック後にアクティブ・レベルとなり、TCR0p = 0000Hとなったらインアクティブ・レベルとなります。

注意 マスタ・チャネルのタイマ・データ・レジスタ0n (TDR0n) とスレーブ・チャネルのTDR0pレジスタでは、ロード・タイミングが異なるため、動作中にTDR0nレジスタ、TDR0pレジスタを書き換えると不正波形が出力される可能性があります。TDR0nレジスタはINTTM0n発生後に、TDR0pレジスタはINTTM0p発生後に書き換えてください。

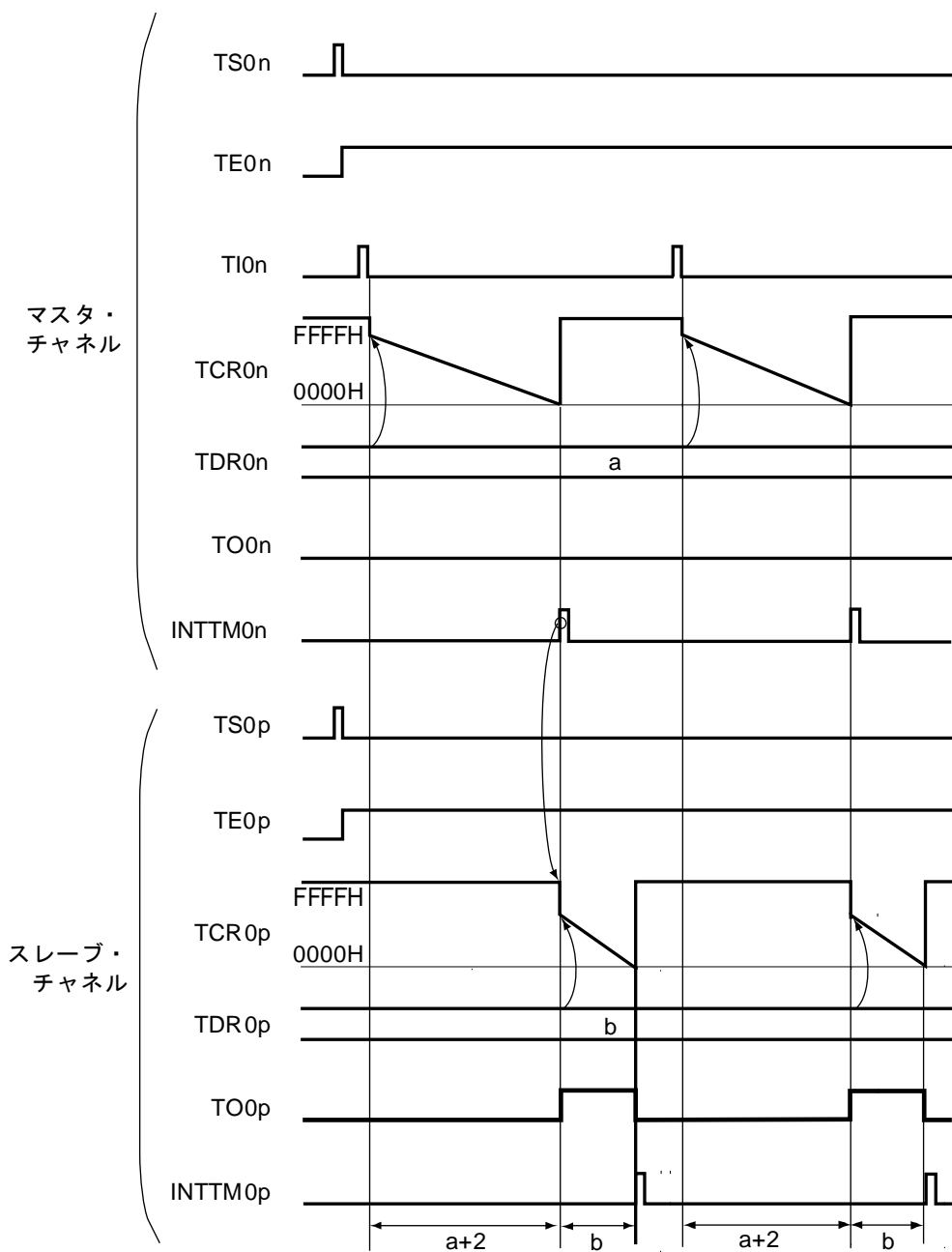
備考 n : マスタ・チャネル番号 (n = 0, 2)
p : スレーブ・チャネル番号 (n < p ≤ 3)

図6-65 ワンショット・パルス出力としての動作のブロック図



備考 n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号 (n < p ≤ 3)

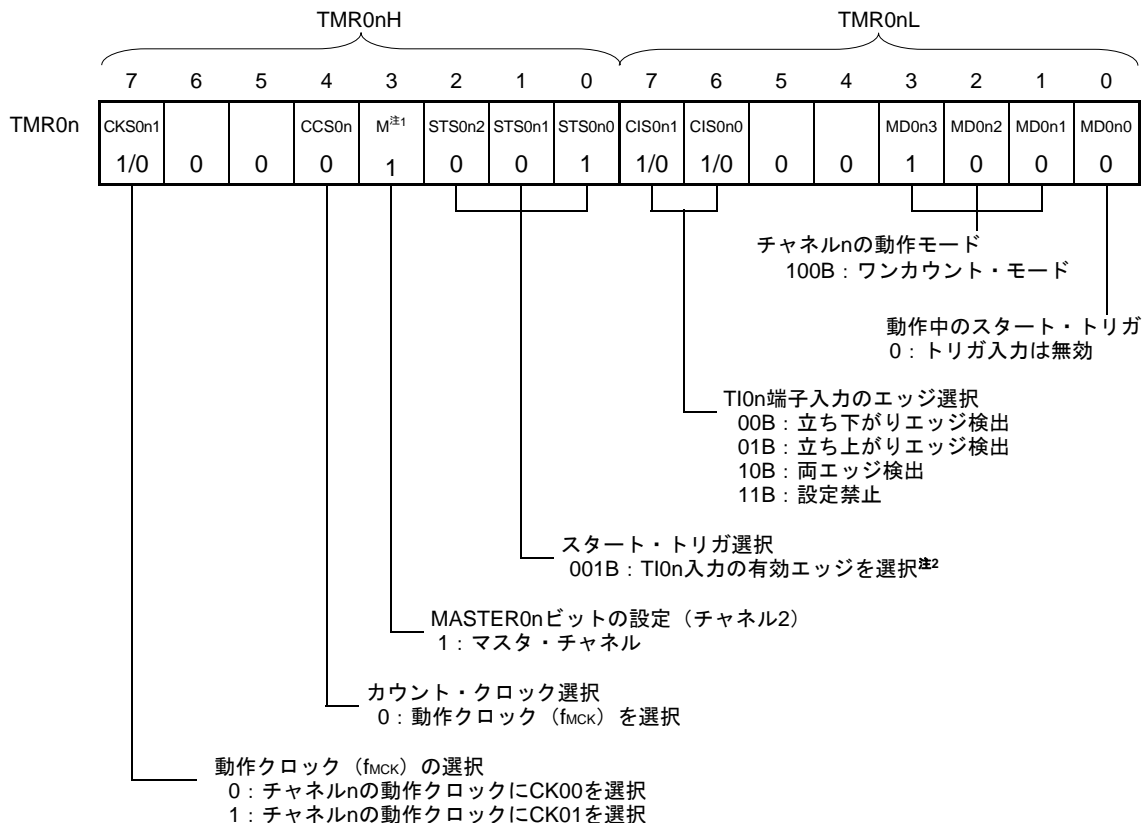
図6-66 ワンショット・パルス出力としての動作の基本タイミング例



- 備考1.** n : マスタ・チャンネル番号 ($n = 0, 2$)
 p : スレーブ・チャンネル番号 ($n < p \leq 3$)
- 2.** TS0n, TS0p : タイマ・チャンネル開始レジスタ0 (TS0) のビットn, p
 TE0n, TE0p : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn, p
 TI0n, TI0p : TI0n, TI0p端子入力信号
 TCR0n, TCR0p : タイマ・カウンタ・レジスタ0n, 0p (TCR0n, TCR0p)
 TDR0n, TDR0p : タイマ・データ・レジスタ0n, 0p (TDR0n, TDR0p)
 TO0n, TO0p : TO0n, TO0p端子出力信号

図6-67 ワンショット・パルス出力（マスタ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタ0n (TMR0nH, TMR0nL)



(b) タイマ出力レジスタ0 (TO0)

ビットn

TO0 TO0n
0 0 : TO0nより0を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

ビットn

TOE0 TOE0n
0 0 : カウント動作によるTO0n出力動作停止

(d) タイマ出力レベル・レジスタ0 (TOL0)

ビットn

TOL0 TOL0n
0 0 : TOM0n = 0 (マスタ・チャンネル出力モード) のため、設定無効

(e) タイマ出力モード・レジスタ0 (TOM0)

ビットn

TOM0 TOM0n
0 0 : マスタ・チャンネル出力モードを設定

注1. TMR02の場合 : MASTER02ビット

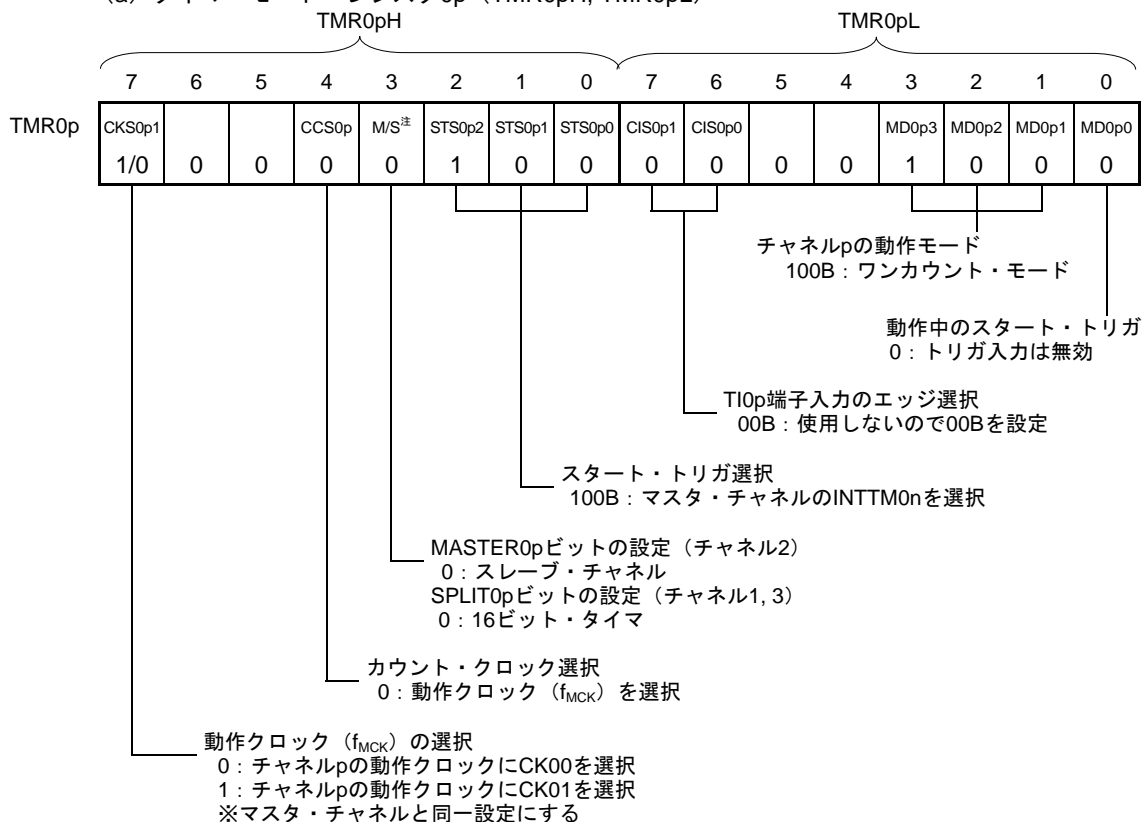
TMR00 : 0固定

2. TI0n端子入力を使用せず、ソフトウェア操作 (TS0n = 1) をスタート・トリガにすることもできます。

備考 n : マスタ・チャンネル番号 (n = 0, 2)

図6-68 ワンショット・パルス出力（スレーブ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタ0p (TMR0pH, TMR0pL)



(b) タイマ出力レジスタ0 (TO0)
 ビットp

| | | |
|-----|------|-----------------|
| TO0 | TO0p | 0: TO0pより0を出力する |
| | 1/0 | 1: TO0pより1を出力する |

(c) タイマ出力許可レジスタ0 (TOE0)
 ビットp

| | | |
|------|-------|---|
| TOE0 | TOE0p | 0: カウント動作によるTO0p出力動作停止 (TO0pビットに設定したレベルをTO0p端子から出力) |
| | 1/0 | 1: カウント動作によるTO0p出力動作許可 (TO0p端子からトグル出力) |

(d) タイマ出力レベル・レジスタ0 (TOL0)
 ビットp

| | | |
|------|-------|---------------------|
| TOL0 | TOL0p | 0: 正論理出力 (アクティブ・ハイ) |
| | 1/0 | 1: 負論理出力 (アクティブ・ロウ) |

(e) タイマ出力モード・レジスタ0 (TOM0)
 ビットp

| | | |
|------|-------|-----------------------|
| TOM0 | TOM0p | 1: スレーブ・チャンネル出力モードを設定 |
| | 1 | |

注 TMR02の場合: MASTER0nビット
 TMR01, TMR03の場合: SPLIT0pビット

備考 n: マスタ・チャンネル番号 (n = 0, 2)
 p: スレーブ・チャンネル番号 (n < p ≤ 3)

図6-69 ワンショット・パルス出力の操作手順 (1/2)

| | ソフトウェア操作 | ハードウェアの状態 |
|-----------|---|--|
| TAU初期設定 | | パワーオフ状態 (クロック供給停止, TAUのSFRへの書き込み不可) |
| | 周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する (TAU0ENビットが0のときは, 読み出し/書き込み不可) | パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, TAUのSFRへの書き込み可能) |
| | タイマ・クロック選択レジスタ0 (TPS0) を設定する 各チャンネルの動作クロック (CK00, CK01) を確定する | |
| チャンネル初期設定 | タイマ・モード・レジスタ0n, p (TMR0n, TMR0p) を設定する (各チャンネルの動作モードを確定, マスタ・チャンネルの検出エッジの選択) タイマ・データ・レジスタ0n, p (TDR0n, TDR0p) にマスタ・チャンネルの出力遅延時間, スレーブ・チャンネルのワンショット・パルス幅を設定する (TDR0nH, TDR0nLレジスタへのアクセス手順は, 6.2.2 タイマ・データ・レジスタ0n (TDR0n) を参照) | チャンネルは動作停止状態 |
| | <p>マスタ・チャンネルの設定</p> <p>ノイズ・フィルタ許可レジスタ1 (NFEN1) を設定する タイマ出力モード・レジスタ0 (TOM0) の対象ビットに0 (マスタ・チャンネル出力モード) を設定する TOL0レジスタの対象ビットに0を設定する タイマ出力許可レジスタ0 (TOE0) の対象ビットに0を設定する</p> <p>スレーブ・チャンネルの設定</p> <p>タイマ出力モード・レジスタ0 (TOM0) の対象ビットに1 (スレーブ・チャンネル出力モード) を設定する TOL0レジスタの対象ビットを設定する TO0pビットを設定し, TO0p出力の初期レベルを確定する TOE0pビットに1を設定し, TO0pの動作を許可 (出力モード設定)</p> | <p>TO0p端子はHi-Z状態 (ポート・モード・レジスタは入力モード)</p> <p>チャンネルは動作停止状態なので, TO0pは変化しない (TO0pビットを書き換えてもTO0p端子に反映されない)</p> <p>TO0pビットに設定したレベルをTO0p端子から出力</p> |

備考 n: マスタ・チャンネル番号 (n = 0, 2)
p: スレーブ・チャンネル番号 (n < p ≤ 3)

図6-69 ワンショット・パルス出力の操作手順 (2/2)

| | ソフトウェア操作 | ハードウェアの状態 |
|-------|---|--|
| 動作再開 | 動作開始 スレーブ・チャンネルのTOE0pビットに1を設定し、TO0pの動作を許可（動作再開時のみ） TS0レジスタの対象ビット（マスタ、スレーブ）に1を同時に設定する TS0レジスタの対象ビットはトリガ・ビットなので、自動的に0に戻る | TE0レジスタの対象ビットが1となり、マスタ・チャンネルはTIO0n端子入力の有効エッジ検出待ち状態になる |
| | 次のスタート・トリガ検出によって、カウント動作開始・TIO0n端子入力の有効エッジ検出・ソフトウェアによりTS0nビットに1を設定 | マスタ・チャンネルのタイマ・カウンタ・レジスタ0n（TCR0n）はTDR0nレジスタの値をロードし、ダウン・カウント動作を開始する。 |
| 動作中 | マスタ・チャンネルの設定変更 TCR0nレジスタは、常に読み出し可能（TCR0nH, TCR0nLレジスタへのアクセス手順は、6.2.1 タイマ・カウンタ・レジスタ0n（TCR0n）を参照） TMR0nレジスタは、CIS0n1, CIS0n0ビットのみ設定値変更可能 TDR0n, TO0, TOE0, TOM0, TOL0レジスタの対象ビットは、設定値変更禁止 スレーブ・チャンネルの設定変更 TCR0pレジスタは、常に読み出し可能 TO0p, TOE0p, TOM0, TOL0レジスタの対象ビットは、設定値変更可能 TMR0p, TDR0pレジスタは、設定値変更禁止 | マスタ・チャンネルのカウンタ（TCR0n）はダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0nを発生し、次のスタート・トリガ検出（TIO0n端子入力の有効エッジ検出または、TS0nビットに1を設定）までTCR0n = FFFFHでカウント動作を停止する。 スレーブ・チャンネルは、マスタ・チャンネルのINTTM0nをスタート・トリガとして、TCR0pレジスタはTDR0pレジスタの値をロードし、ダウン・カウント動作を開始する。マスタ・チャンネルのINTTM0n発生からカウント・クロック（fclk）の1クロック後にTO0p出力レベルをアクティブ・レベルとする。そしてTCR0p = 0000HまでカウントしたらTO0p出力レベルをインアクティブ・レベルにして、TCR0p = FFFFHでカウント動作を停止する。 以降、この動作を繰り返す。 |
| | 動作停止 TT0レジスタの対象ビット（マスタ、スレーブ）に1を同時に設定する TT0レジスタの対象ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOE0pビットに0を設定し、TO0pビットに値を設定する | TE0レジスタの対象ビットが0になり、カウント動作停止 TCR0n, TCR0pレジスタはカウント値を保持して停止 TO0p出力は初期化されず、状態保持 TO0pビットに設定したレベルをTO0p端子から出力 |
| TAU停止 | TO0p端子の出力レベルを保持する場合 ポート・レジスタに保持したい値（出カラッチ）を設定後、TO0pビットに0を設定する | TO0p端子出力レベルはポート機能で保持される。 |
| | PER0レジスタのTAU0ENビットに0を設定する | パワーオフ状態 （クロック供給停止、TAUのSFRが初期化される） |

備考 n: マスタ・チャンネル番号 (n = 0, 2)
p: スレーブ・チャンネル番号 (n < p ≤ 3)

6.9.2 2入力式ワンショット・パルス出力としての動作

2端子入力 (TI0n, TI0p端子入力) により任意のディレイ (出力遅延時間) を持ったワンショット・パルスを生成できます。2入力式ワンショット・パルス出力は、16ビット製品のみ利用できます。

ディレイ (出力遅延時間) とワンショット・パルス幅は、次の式で求められます。

$$\begin{aligned} \text{ディレイ} &= \{ \text{TDR0n (マスタ) の設定値} + 2 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{ワンショット・パルスのアクティブ・レベル幅} &= \\ &\text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSR0p} : \text{OVF}) + (\text{TDR0p (スレーブ) のキャプチャ値} + 1)) \end{aligned}$$

注意 TI0n, TI0p端子入力は、タイマ・モード・レジスタ0n (TMR0n) のCKS0n1ビットで選択した動作クロック (f_{MCK}) でサンプリングされるため、動作クロック (f_{MCK}) の1クロック分の誤差が発生します。

マスタ・チャンネルは、ワンカウント・モードとして動作させます。マスタ・チャンネルのTI0n端子入力の有効エッジ検出をスタート・トリガにしてディレイ (出力遅延時間) をカウントします。TI0n端子入力によりスタート・トリガ検出すると、タイマ・データ・レジスタ0n (TDR0n) に設定した値をタイマ・カウンタ・レジスタ0n (TCR0n) にロードし、カウント・クロック (f_{CLK}) に合わせてダウン・カウントを行います。TCR0n = 0000H となったらINTTM0nを出力し、TO0p端子からアクティブ・レベルを出力します。次のスタート・トリガ検出があるまで、マスタ・チャンネルはカウント動作を停止します。

スレーブ・チャンネルは、キャプチャ・モードとして動作させます。スレーブ・チャンネルのTI0p端子入力の有効エッジ検出をエンド・トリガとしてワンショット・パルスをインアクティブ・レベルにします。

TI0p端子入力によりエンド・トリガ検出すると、TCR0pレジスタのカウント値をTDR0pレジスタに転送 (キャプチャ) して、TCR0pレジスタを0000HIにクリアします。それと同時に、INTTM0pを出力し、TO0p端子からインアクティブ・レベルを出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ0p (TSR0p) のOVFビットが1にセットされ、オーバフローが発生していなかったらOVFビットはクリアされます。以降、同様の動作を続けます。

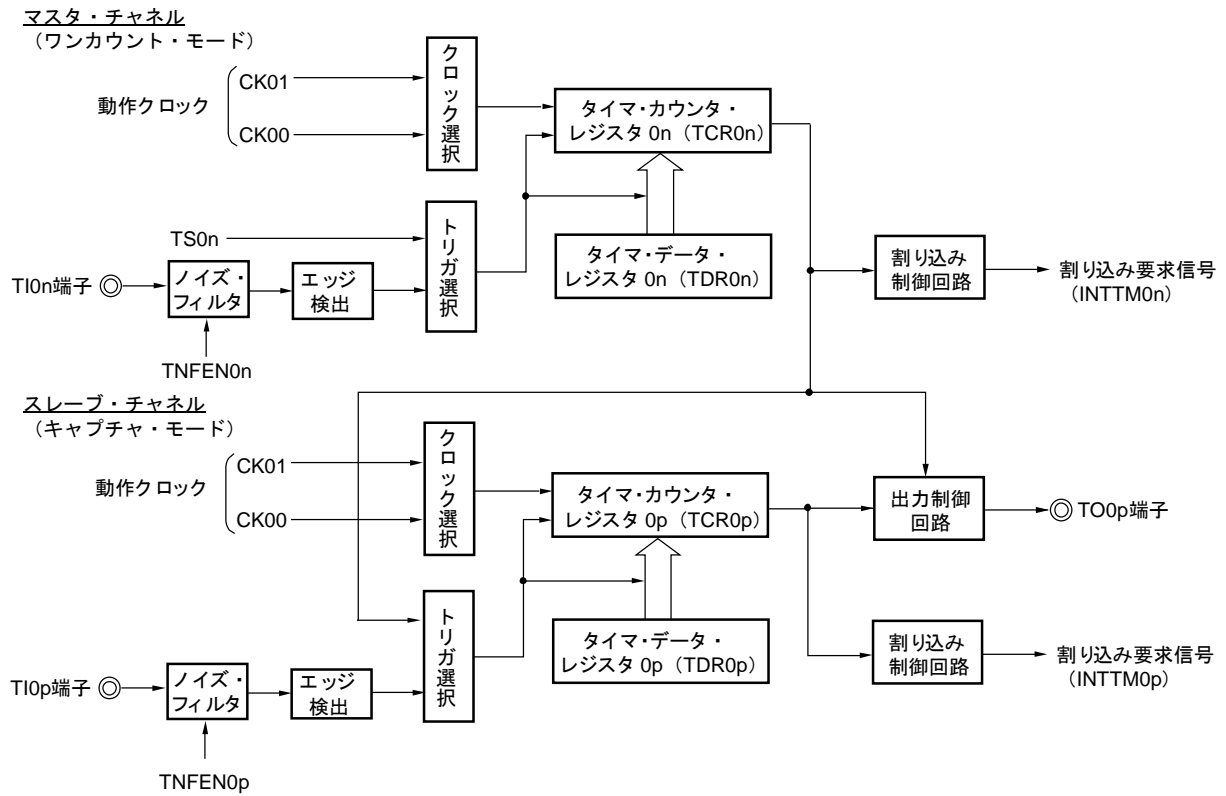
カウント値がTDR0pレジスタにキャプチャされると同時に、アクティブ・レベル期間のオーバフロー有無に応じて、TSR0pレジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSR0pレジスタのOVFビットがセット (1) されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

マスタ・チャンネルのスタート・トリガは、TI0n端子入力を使用せず、ソフトウェア操作 (TS0n = 1) をスタート・トリガにすることもできます。

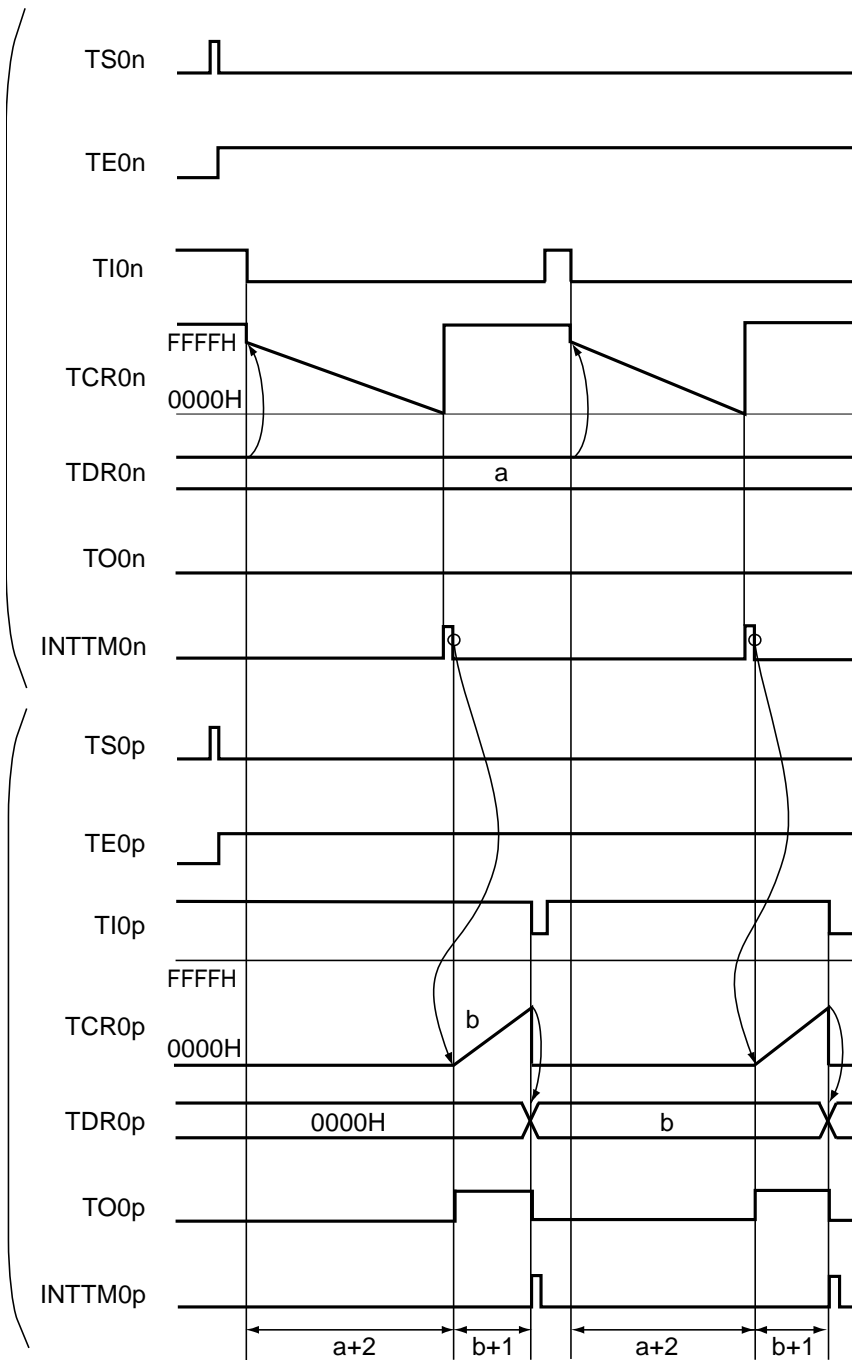
備考 n : マスタ・チャンネル番号 (n = 0, 2) , p : スレーブ・チャンネル番号 (p = 3)

図6-70 2入力式ワンショット・パルス出力としての動作のブロック図



備考 n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号 (p = 3)

図6-71 2入力式ワンショット・パルス出力としての動作の基本タイミング例



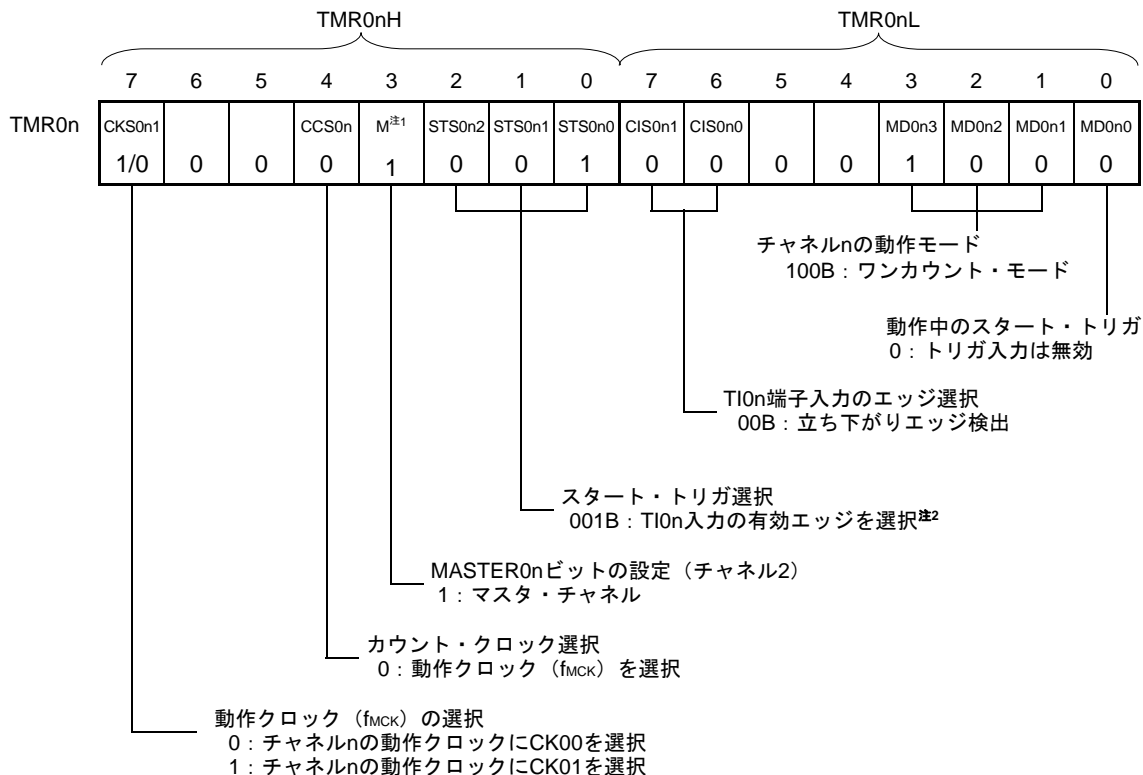
備考1. n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (p = 3)

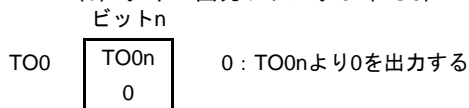
2. TS0n, TS0p : タイマ・チャンネル開始レジスタ0 (TS0) のビットn, p
- TE0n, TE0p : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn, p
- TI0n, TI0p : TI0n, TI0p端子入力信号
- TCR0n, TCR0p : タイマ・カウンタ・レジスタ0n, 0p (TCR0n, TCR0p)
- TDR0n, TDR0p : タイマ・データ・レジスタ0n, 0p (TDR0n, TDR0p)
- TO0n, TO0p : TO0n, TO0p端子出力信号

図6-72 2入力ワンショット・パルス出力（マスタ・チャンネル）のレジスタ設定内容例

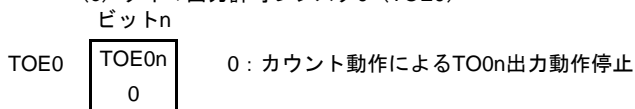
(a) タイマ・モード・レジスタ0n (TMR0nH, TMR0nL)



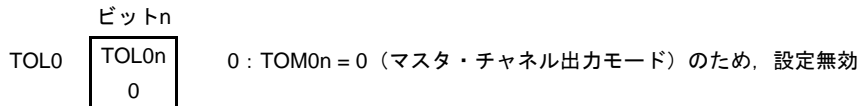
(b) タイマ出力レジスタ0 (TO0)



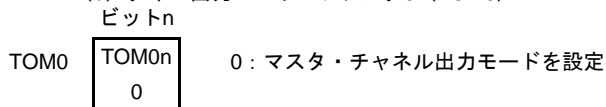
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



注1. TMR02の場合 : MASTER02ビット

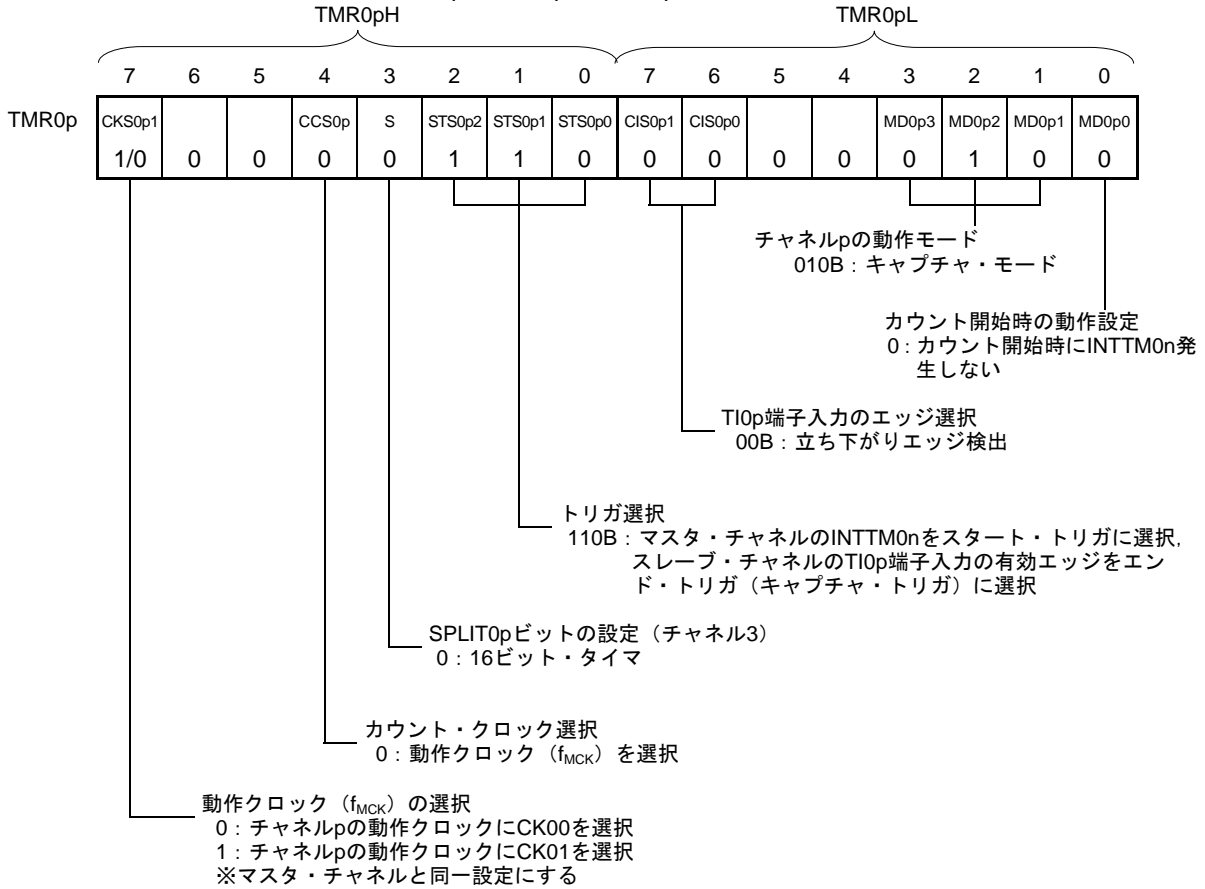
TMR00 : 0固定

2. TI0n端子入力を使用せず, ソフトウェア操作 (TS0n = 1) をスタート・トリガにすることもできます。

備考 n : マスタ・チャンネル番号 (n = 0, 2)

図6-73 2入力式ワンショット・パルス出力（スレーブ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタ0p (TMR0pH, TMR0pL)



(b) タイマ出力レジスタ0 (TO0) ビットp

TO0

| |
|------|
| TO0p |
| 1/0 |

 0: TO0pより0を出力する
1: TO0pより1を出力する

(c) タイマ出力許可レジスタ0 (TOE0) ビットp

TOE0

| |
|-------|
| TOE0p |
| 1/0 |

 0: カウント動作によるTO0p出力動作停止 (TO0pビットに設定したレベルをTO0p端子から出力)
1: カウント動作によるTO0p出力動作許可 (TO0p端子からトグル出力)

(d) タイマ出力レベル・レジスタ0 (TOL0) ビットp

TOL0

| |
|-------|
| TOL0p |
| 1/0 |

 0: 正論理出力 (アクティブ・ハイ)
1: 負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ0 (TOM0) ビットp

TOM0

| |
|-------|
| TOM0p |
| 1 |

 1: スレーブ・チャンネル出力モードを設定

備考 n: マスタ・チャンネル番号 (n=0, 2)
p: スレーブ・チャンネル番号 (p=3)

図6-74 2入力式ワンショット・パルス出力の操作手順 (1/2)

| | ソフトウェア操作 | ハードウェアの状態 |
|-----------|--|--|
| TAU初期設定 | 周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する (TAU0ENビットが0のときは、読み出し/書き込み不可) | パワーオフ状態 (クロック供給停止, TAUのSFRへの書き込み不可) |
| | タイマ・クロック選択レジスタ0 (TPS0) を設定する 各チャンネルの動作クロック (CK00, CK01) を確定する | パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, TAUのSFRへの書き込み可能) |
| チャンネル初期設定 | ノイズ・フィルタ許可レジスタ1 (NFEN1) を設定する タイマ・モード・レジスタ0n, p (TMR0n, TMR0p) を設定する (各チャンネルの動作モードを確定, 検出エッジの選択) | チャンネルは動作停止状態 |
| | マスタ・チャンネルの設定 タイマ・データ・レジスタ0n (TDR0n) にディレイ (出力遅延時間) を設定する (TDR0nH, TDR0nLレジスタへのアクセス手順は、6.2.2 タイマ・データ・レジスタ0n (TDR0n) を参照) タイマ出力モード・レジスタ0 (TOM0) の対象ビットに0 (マスタ・チャンネル出力モード) を設定する TOL0レジスタの対象ビットに0を設定する タイマ出力許可レジスタ0 (TOE0) の対象ビットに0を設定する スレーブ・チャンネルの設定 タイマ出力モード・レジスタ0 (TOM0) の対象ビットに1 (スレーブ・チャンネル出力モード) を設定する TOL0レジスタの対象ビットを設定する TO0pビットを設定し, TO0p出力の初期レベルを確定する TOE0pビットに1を設定し, TO0pの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する (出力モード設定) | TO0p端子はHi-Z状態 (ポート・モード・レジスタは入力モード) チャンネルは動作停止状態なので, TO0pは変化しない (TO0pビットを書き換えてもTO0p端子に反映されない) TO0pビットに設定したレベルをTO0p端子から出力 |

備考 n: マスタ・チャンネル番号 (n = 0, 2)

p: スレーブ・チャンネル番号 (p = 3)

図6-74 2入力式ワンショット・パルス出力の操作手順 (2/2)

| | ソフトウェア操作 | ハードウェアの状態 |
|------|---|--|
| 動作開始 | スレーブ・チャンネルのTOE0pビットに1を設定し、TO0pの動作を許可（動作再開時のみ） TS0レジスタの対象ビット（マスタ、スレーブ）に1を同時に設定する TS0レジスタの対象ビットはトリガ・ビットなので、自動的に0に戻る | TE0レジスタの対象ビットが1となり、マスタ・チャンネルはTI0n端子入力の有効エッジ検出待ち状態になる |
| | 次のスタート・トリガ検出によって、カウント動作開始・TI0n端子入力の有効エッジ検出・ソフトウェアによりTS0nビットに1を設定 | マスタ・チャンネルのタイマ・カウンタ・レジスタ0n（TCR0n）はTDR0nレジスタの値をロードし、ダウン・カウント動作を開始する。 |
| 動作中 | マスタ・チャンネルの設定変更 TCR0nレジスタは、常に読み出し可能（TCR0nH, TCR0nLレジスタへのアクセス手順は、6.2.1 タイマ・カウンタ・レジスタ0n（TCR0n）を参照） TMR0nレジスタは、CIS0n1, CIS0n0ビットのみ設定値変更可能 TDR0n, TO0, TOE0, TOM0, TOL0レジスタの対象ビットは、設定値変更禁止 スレーブ・チャンネルの設定変更 TDR0pレジスタは、常に読み出し可能 TCR0pレジスタは、常に読み出し可能 TSR0pレジスタは、常に読み出し可能 TMR0pレジスタは、CIS0p1, CIS0p0ビットのみ設定値変更可能 TO0p, TOE0p, TOM0, TOL0レジスタの対象ビットは、設定値変更可能 | マスタ・チャンネルのカウンタ（TCR0n）はダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0nを発生し、次のスタート・トリガ検出（TI0n端子入力の有効エッジ検出または、TS0nビットに1を設定）までTCR0n = FFFFHでカウント動作を停止する。 スレーブ・チャンネルは、マスタ・チャンネルのINTTM0pをスタート・トリガとして、タイマ・カウンタ・レジスタ0p（TCR0p）を0000Hにクリアする。カウンタ（TCR0p）は0000Hからアップ・カウント動作を行い、TI0p端子入力の有効エッジが検出すると、カウント値をタイマ・データ・レジスタ0p（TDR0p）に転送（キャプチャ）し、TCR0pレジスタを0000Hにクリアする。同時に、INTTM0pを発生してTO0p出力レベルをインアクティブ・レベルとする。以降、この動作を繰り返す。 |
| | TT0レジスタの対象ビット（マスタ、スレーブ）に1を同時に設定する TT0レジスタの対象ビットはトリガ・ビットなので、自動的に0に戻る | TE0レジスタの対象ビットが0になり、カウント動作停止 TCR0n, TCR0pレジスタはカウント値を保持して停止 TO0p出力は初期化されず、状態保持 |
| 動作停止 | スレーブ・チャンネルのTOE0pビットに0を設定し、TO0pビットに値を設定する | TO0pビットに設定したレベルをTO0p端子から出力 |
| | TO0p端子の出力レベルを保持する場合 ポート・レジスタに保持したい値（出カラッチ）を設定後、TO0pビットに0を設定する PER0レジスタのTAU0ENビットに0を設定する | TO0p端子出力レベルはポート機能で保持される。 パワーオフ状態 （クロック供給停止、TAUのSFRが初期化される） |

備考 n: マスタ・チャンネル番号 (n = 0, 2)
p: スレーブ・チャンネル番号 (n < p ≤ 3)

6.9.3 PWM出力機能としての動作

2チャンネルをセットで使用します。任意の周期とデューティのパルスを生成できます。

チャンネル1,3を8ビット・タイマ動作機能として使用する (SPLIT0n=1) ときは、下位8ビット・タイマのみがPWM出力機能のスレーブ・チャンネルとして使用できます。

出力パルスの周期とデューティは、次の式で求められます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDR0n (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{\text{TDR0p (スレーブ) の設定値}\} / \{\text{TDR0n (マスタ) の設定値} + 1\} \times 100 \\ \text{0\%出力} &: \text{TDR0p (スレーブ) の設定値} = 0000\text{H} \text{ (8ビット・タイマ動作時は00H)} \\ \text{100\%出力} &: \text{TDR0p (スレーブ) の設定値} \geq \{\text{TDR0n (マスタ) の設定値} + 1\} \end{aligned}$$

備考 次の場合は、デューティ計算値が100%を越えますが、PWM出力の動作上は100%出力となります。

$$\text{TDR0p (スレーブ) の設定値} > \{\text{TDR0n (マスタ) の設定値} + 1\}$$

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ・ビット (TS0n) に1を設定すると、割り込み要求信号 (INTTM0n) を出力して、タイマ・データ・レジスタ0n (TDR0n) に設定した値をタイマ・カウンタ・レジスタ0n (TCR0n) にロードし、カウント・クロック (f_{CLK}) に合わせてダウン・カウントを行います。TCR0n = 0000HIになったら、INTTM0nを出力して、再びTDR0nレジスタからTCR0nレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタ0 (TT0) のチャンネル・ストップ・トリガ・ビット (TT0n) に1を設定するまでこの動作を繰り返します。

PWM出力機能としての動作では、マスタ・チャンネルがダウン・カウントして0000HIになるまでの期間がPWM出力 (TO0p) の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからのINTTM0nをスタート・トリガとして、TDR0pレジスタからTCR0pレジスタに値をロードし、TCR0p = 0000HIになるまでダウン・カウントを行います。TCR0p = 0000HIになったら、INTTM0pを出力して、次のスタート・トリガ (マスタ・チャンネルからのINTTM0n) があるまで、TCR0p = FFFFHでカウント動作を停止します。

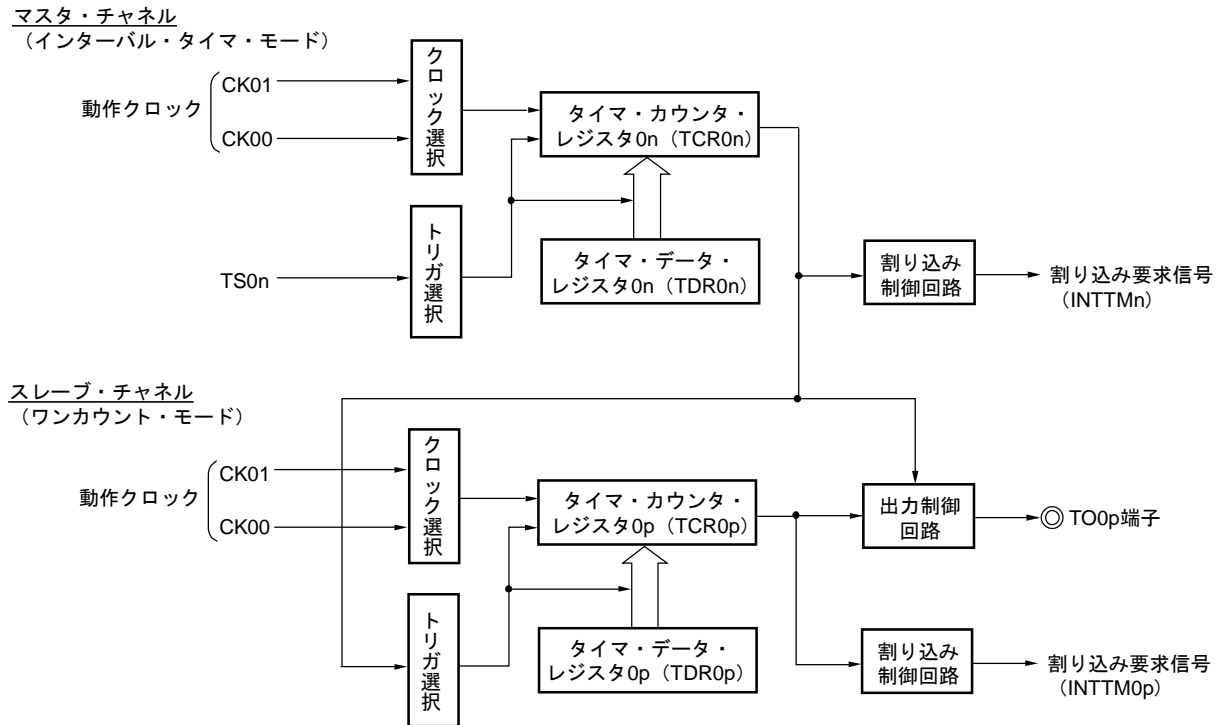
PWM出力機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000HIになるまでの期間がPWM出力 (TO0p) のデューティとなります。

PWM出力 (TO0p) は、マスタ・チャンネルのINTTM0n発生からカウント・クロック (f_{CLK}) の1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCR0pレジスタが0000HIになったタイミングでインアクティブ・レベルになります。

- 注意1.** マスタ・チャンネルのタイマ・データ・レジスタ0n (TDR0nH, TDR0nL) とスレーブ・チャンネルのTDR0pH, TDR0pLレジスタを両方とも書き換える場合、最低4回のライト・アクセスが必要となります。TCR0nH, TCR0nL, TCR0pH, TCR0pLレジスタにTDR0nH, TDR0nL, TDR0pH, TDR0pLレジスタの値をロードするのは、マスタ・チャンネルのINTTM0nが発生した後となるため、書き換えがマスタ・チャンネルのINTTM0n発生前と発生後に分かれて行われると、TO0p端子は、期待通りの波形を出力できません。したがって、TDR0nH, TDR0nL, TDR0pH, TDR0pLレジスタすべてを書き換える場合は、必ずマスタ・チャンネルのINTTM0nが発生した直後に4つのレジスタを連続で書き換えてください。
- 2.** 8ビット・タイマ動作機能としてPWM出力機能を使用する場合は、マスタ・チャンネルのTDR0nHを00HIに設定し、8ビット・タイマとしてパルス周期を設定してください。マスタ・チャンネルのTDR0nLレジスタの設定値は00H~FEH (0%出力~100%出力) の範囲から設定してください。

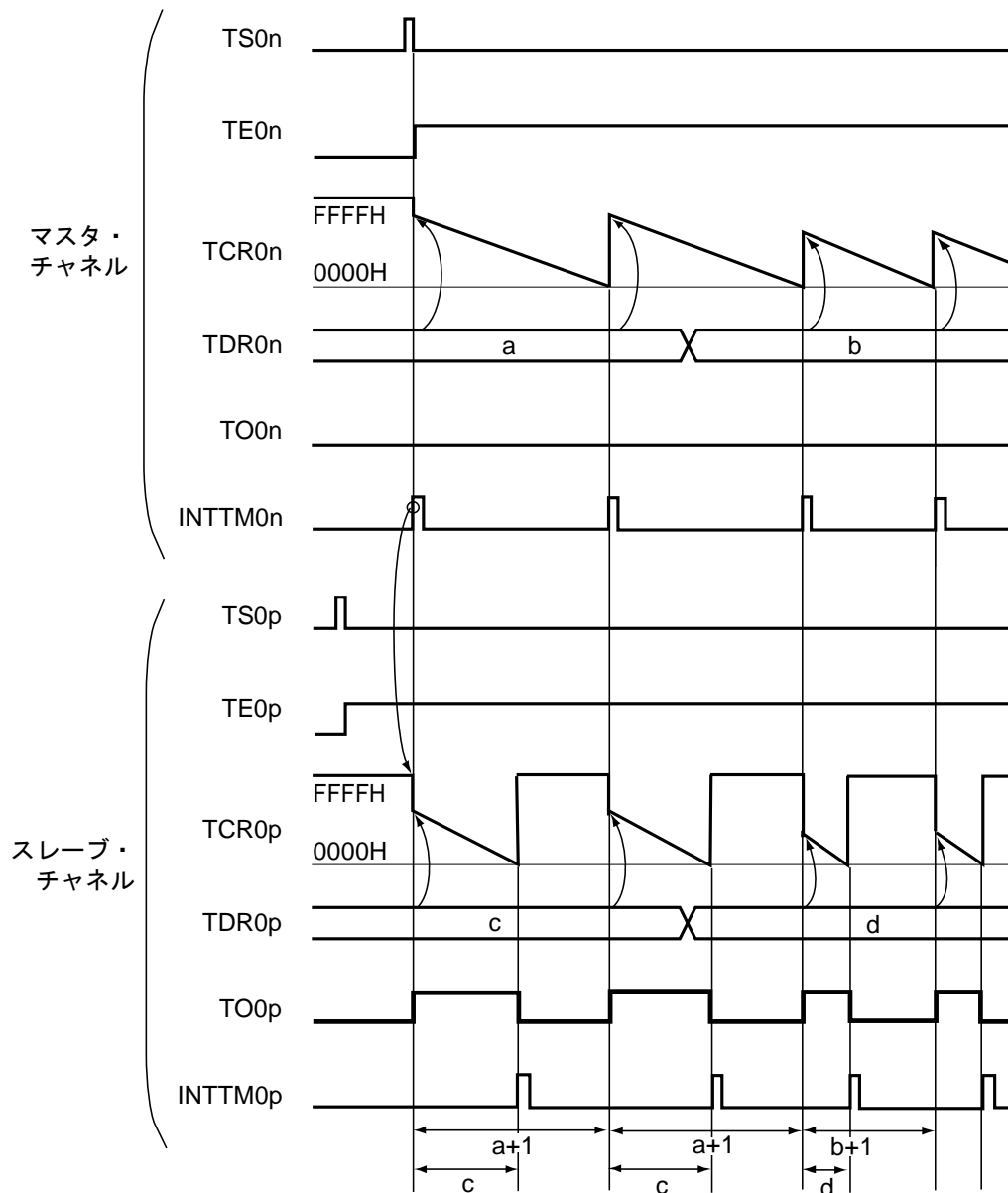
- 備考 n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号 (n < p ≤ 3)

図6-75 PWM出力機能としての動作のブロック図



- 備考 n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号 (n < p ≤ 3)

図6-76 PWM出力機能としての動作の基本タイミング例



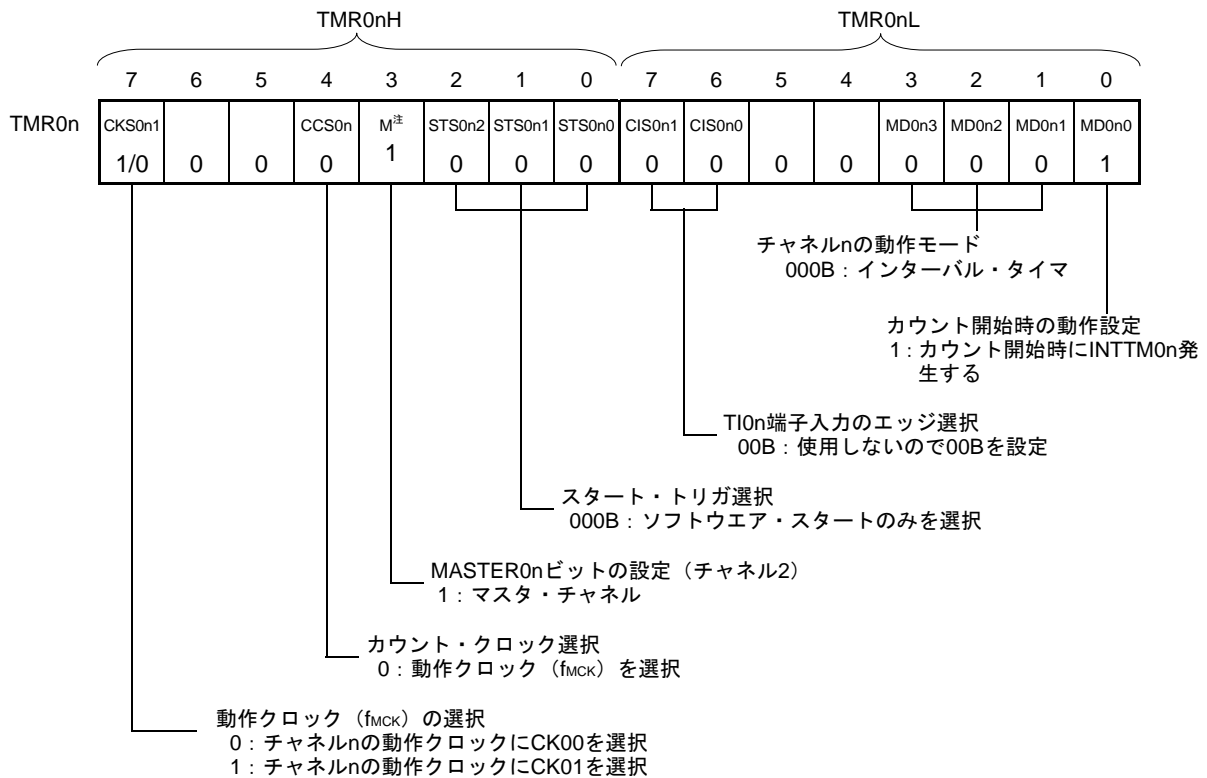
備考1. n : マスタ・チャンネル番号 ($n = 0, 2$)

p : スレーブ・チャンネル番号 ($n < p \leq 3$)

2. TS0n, TS0p : タイマ・チャンネル開始レジスタ0 (TS0) のビットn, p
- TE0n, TE0p : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn, p
- TCR0n, TCR0p : タイマ・カウンタ・レジスタ0n, 0p (TCR0n, TCR0p)
- TDR0n, TDR0p : タイマ・データ・レジスタ0n, 0p (TDR0n, TDR0p)
- TO0n, TO0p : TO0n, TO0p端子出力信号

図6-77 PWM出力機能（マスタ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタ0n (TMR0nH, TMR0nL)



(b) タイマ出力レジスタ0 (TO0)
ビットn

TO0

| |
|------|
| TO0n |
| 0 |

 0: TO0nより0を出力する

(c) タイマ出力許可レジスタ0 (TOE0)
ビットn

TOE0

| |
|-------|
| TOE0n |
| 0 |

 0: カウント動作によるTO0n出力動作停止

(d) タイマ出力レベル・レジスタ0 (TOL0)
ビットn

TOL0

| |
|-------|
| TOL0n |
| 0 |

 0: TOM0n = 0 (マスタ・チャンネル出力モード) のため、設定無効

(e) タイマ出力モード・レジスタ0 (TOM0)
ビットn

TOM0

| |
|-------|
| TOM0n |
| 0 |

 0: マスタ・チャンネル出力モードを設定

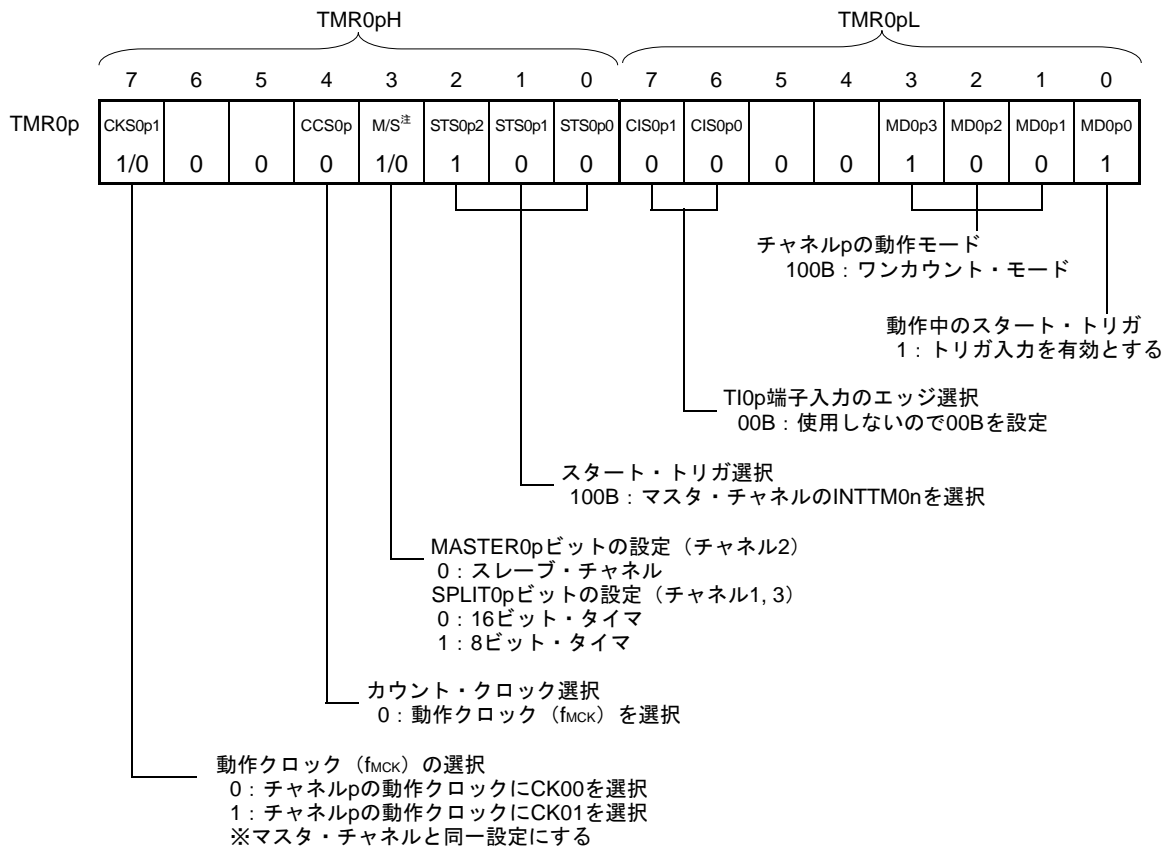
注 TMR02の場合: MASTER02ビット

TMR00: 0固定

備考 n: マスタ・チャンネル番号 (n = 0, 2)

図6-78 PWM出力機能（スレーブ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタ0p (TMR0pH, TMR0pL)



(b) タイマ出力レジスタ0 (TO0) ビットp

| | | |
|-----|-------------|----------------------------------|
| TO0 | TO0p 1/0 | 0 : TO0pより0を出力 1 : TO0pより1を出力 |
|-----|-------------|----------------------------------|

(c) タイマ出力許可レジスタ0 (TOE0) ビットp

| | | |
|------|--------------|---|
| TOE0 | TOE0p 1/0 | 0 : カウント動作によるTO0p出力動作停止 (TO0pビットに設定したレベルをTO0p端子から出力) 1 : カウント動作によるTO0p出力動作許可 (TO0p端子からトグル出力) |
|------|--------------|---|

(d) タイマ出力レベル・レジスタ0 (TOL0) ビットp

| | | |
|------|--------------|--|
| TOL0 | TOL0p 1/0 | 0 : 正論理出力 (アクティブ・ハイ) 1 : 負論理出力 (アクティブ・ロウ) |
|------|--------------|--|

(e) タイマ出力モード・レジスタ0 (TOM0) ビットp

| | | |
|------|------------|------------------------|
| TOM0 | TOM0p 1 | 1 : スレーブ・チャンネル出力モードを設定 |
|------|------------|------------------------|

注 TMR02の場合 : MASTER0pビット

TMR01, TMR03の場合 : SPLIT0pビット

備考 n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n < p ≤ 3)

図6-79 PWM出力機能の操作手順 (1/2)

| | ソフトウェア操作 | ハードウェアの状態 |
|-----------|---|--|
| TAU初期設定 | | パワーオフ状態 (クロック供給停止, TAUのSFRへの書き込み不可) |
| | 周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する (TAU0ENビットが0のときは, 読み出し/書き込み不可) | パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, TAUのSFRへの書き込み可能) |
| | タイマ・クロック選択レジスタ0 (TPS0) を設定する 各チャンネルの動作クロック (CK00, CK01) を確定する | |
| チャンネル初期設定 | タイマ・モード・レジスタ0n, 0p (TMR0n, TMR0p) を設定する (各チャンネルの動作モードを確定) タイマ・データ・レジスタ0n, 0p (TDR0n, TDR0p) にマスタ・チャンネルのインターバル (周期) 値, スレーブ・チャンネルのデューティ値を設定する (TDR0nH, TDR0nLレジスタへのアクセス手順は, 6.2.2 タイマ・データ・レジスタ0n (TDR0n) を参照) | チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) |
| | マスタ・チャンネルの設定 タイマ出力モード・レジスタ0 (TOM0) の対象ビットに0 (マスタ・チャンネル出力モード) を設定する TOL0レジスタの対象ビットに0を設定する タイマ出力許可レジスタ0 (TOE0) の対象ビットに0を設定する スレーブ・チャンネルの設定 タイマ出力モード・レジスタ0 (TOM0) の対象ビットに1 (スレーブ・チャンネル出力モード) を設定する TOL0レジスタの対象ビットを設定する TO0pビットを設定し, TO0p出力の初期レベルを確定する TOE0pビットに1を設定し, TO0pの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する (出力モード設定) | TO0p端子はHi-Z状態 (ポート・モード・レジスタは入力モード) チャンネルは動作停止状態なので, TO0pは変化しない (TO0pビットを書き換えてもTO0p端子に反映されない) TO0pビットに設定したレベルをTO0p端子から出力 |

備考 n: マスタ・チャンネル番号 (n = 0, 2)
p: スレーブ・チャンネル番号 (n < p ≤ 3)

図6-79 PWM出力機能の操作手順 (2/2)

| | ソフトウェア操作 | ハードウェアの状態 |
|------|--|--|
| 動作再開 | 動作開始 スレーブ・レジスタのTOE0pビットに1を設定し、TO0pの動作を許可（動作再開時のみ） TS0レジスタの対象ビット（マスタ、スレーブ）に1を同時に設定する TS0レジスタの対象ビットはトリガ・ビットなので、自動的に0に戻る | TE0レジスタの対象ビットが1となり、マスタ・チャンネルのタイマ・カウンタ・レジスタ0n (TCR0n) はTDR0nレジスタの値をロードし、ダウン・カウント動作を開始する。 |
| | 動作中 マスタ・チャンネルの設定変更 TDR0nレジスタは、マスタ・チャンネルのINTTM0n発生後に設定値変更可能 TCR0n レジスタは、常に読み出し可能 (TCR0nH, TCR0nLレジスタへのアクセス手順は、6.2.1 タイマ・カウンタ・レジスタ0n (TCR0n) を参照) TMR0n, TO0, TOE0, TOM0, TOL0レジスタの対象ビットは、設定値変更禁止 スレーブ・チャンネルの設定変更 TDR0pレジスタは、マスタ・チャンネルのINTTM0n発生後に設定値変更可能 TCR0pレジスタは、常に読み出し可能 TO0, TOE0, TOL0レジスタの対象ビットは、設定値変更可能 TMR0p, TOM0レジスタの対象ビットは、設定値変更禁止 | マスタ・チャンネルは、タイマ・カウンタ・レジスタ0n (TCR0n) はダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0nを発生する。同時に、TCR0nレジスタはTDR0nレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルは、マスタ・チャンネルのINTTM0nをスタート・トリガとして、TCR0pレジスタはTDR0pレジスタの値をロードし、ダウン・カウント動作を開始する。マスタ・チャンネルのINTTM0n発生からカウント・クロック (ftCLK) の1クロック後にTO0p出力レベルをアクティブ・レベルとする。そしてTCR0p = 0000HまでカウントしたらTO0p出力レベルをインアクティブ・レベルにして、TCR0p = FFFFHでカウント動作を停止する。 以降、この動作を繰り返す。 |
| | 動作停止 TT0レジスタの対象ビット（マスタ、スレーブ）に1を同時に設定する TT0レジスタの対象ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOE0pビットに0を設定し、TO0pビットに値を設定する | TE0レジスタの対象ビットが0になり、カウント動作停止 TCR0n, TCR0pレジスタはカウント値を保持して停止 TO0p出力は初期化されず、状態保持 TO0pビットに設定したレベルをTO0p端子から出力 |
| | TAU停止 TO0p端子の出力レベルを保持する場合 ポート・レジスタに保持したい値（出力ラッチ）を設定後、TO0pビットに0を設定する PER0レジスタのTAU0ENビットに0を設定する | TO0p端子出力レベルはポート機能で保持される。 パワーオフ状態 (クロック供給停止、TAUのSFRが初期化される) |

備考 n: マスタ・チャンネル番号 (n = 0, 2)
p: スレーブ・チャンネル番号 (n < p ≤ 3)

6.9.4 多重PWM出力機能としての動作

PWM出力機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。多重PWM出力機能は、16ビット製品のみ利用できます。

チャンネル1,3を8ビット・タイマ動作機能として使用する (SPLIT0n=1) ときは、下位8ビット・タイマのみがPWM出力機能のスレーブ・チャンネルとして使用できます。

たとえばスレーブを2チャンネル使う場合は、出力パルスの周期、デューティは次の式で求められます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDR0n (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ1 [\%]} &= \{\text{TDR0p (スレーブ1) の設定値}\} / \{\text{TDR0n (マスタ) の設定値} + 1\} \times 100 \\ \text{デューティ2 [\%]} &= \{\text{TDR0q (スレーブ2) の設定値}\} / \{\text{TDR0n (マスタ) の設定値} + 1\} \times 100 \end{aligned}$$

備考 次の場合は、デューティ計算値が100%を越えますが、PWMの動作上は100%出力となります。

- ・ TDR0p (スレーブ1) の設定値 > {TDR0n (マスタ) の設定値 + 1}
- ・ TDR0q (スレーブ2) の設定値 > {TDR0n (マスタ) の設定値 + 1}

マスタ・チャンネルは、パルス周期をカウントします。インターバル・タイマ・モードとして動作させ、TDR0nレジスタからTCR0nレジスタに値をロードしてダウン・カウントを行います。

スレーブ・チャンネル1はデューティをカウントし、TO0p端子より任意のPWM波形を出力します。ワンカウント・モードとして動作させ、マスタ・チャンネルからのINTTM0nをスタート・トリガとして、TDR0pレジスタからTCR0pレジスタに値をロードし、TCR0p = 0000HIになるまでダウン・カウントを行います。TCR0p = 0000HIになったら、INTTM0pを出力して、次のスタート・トリガ (マスタ・チャンネルからのINTTM0n) があるまで、TCR0q = FFFFHでカウント動作を停止します。

スレーブ・チャンネル2もスレーブ・チャンネル1と同様に、デューティをカウントし、TO0q端子より任意のPWM波形を出力します。ワンカウント・モードとして動作させ、マスタ・チャンネルからのINTTM0nをスタート・トリガとして、TDR0qレジスタからTCR0qレジスタに値をロードし、TCR0q = 0000HIになるまでダウン・カウントを行います。TCR0q = 0000HIになったら、INTTM0qを出力して、次のスタート・トリガ (マスタ・チャンネルからのINTTM0n) があるまで、TCR0p = FFFFHでカウント動作を停止します。

PWM出力 (TO0p, TO0q) は、マスタ・チャンネルのINTTM0n発生からカウント・クロック (f_{CLK}) の1クロック後にアクティブ・レベルとなり、TCR0p = 0000H, TCR0q = 0000HIになったタイミングでインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大3種類のPWM出力を同時に出力できます。

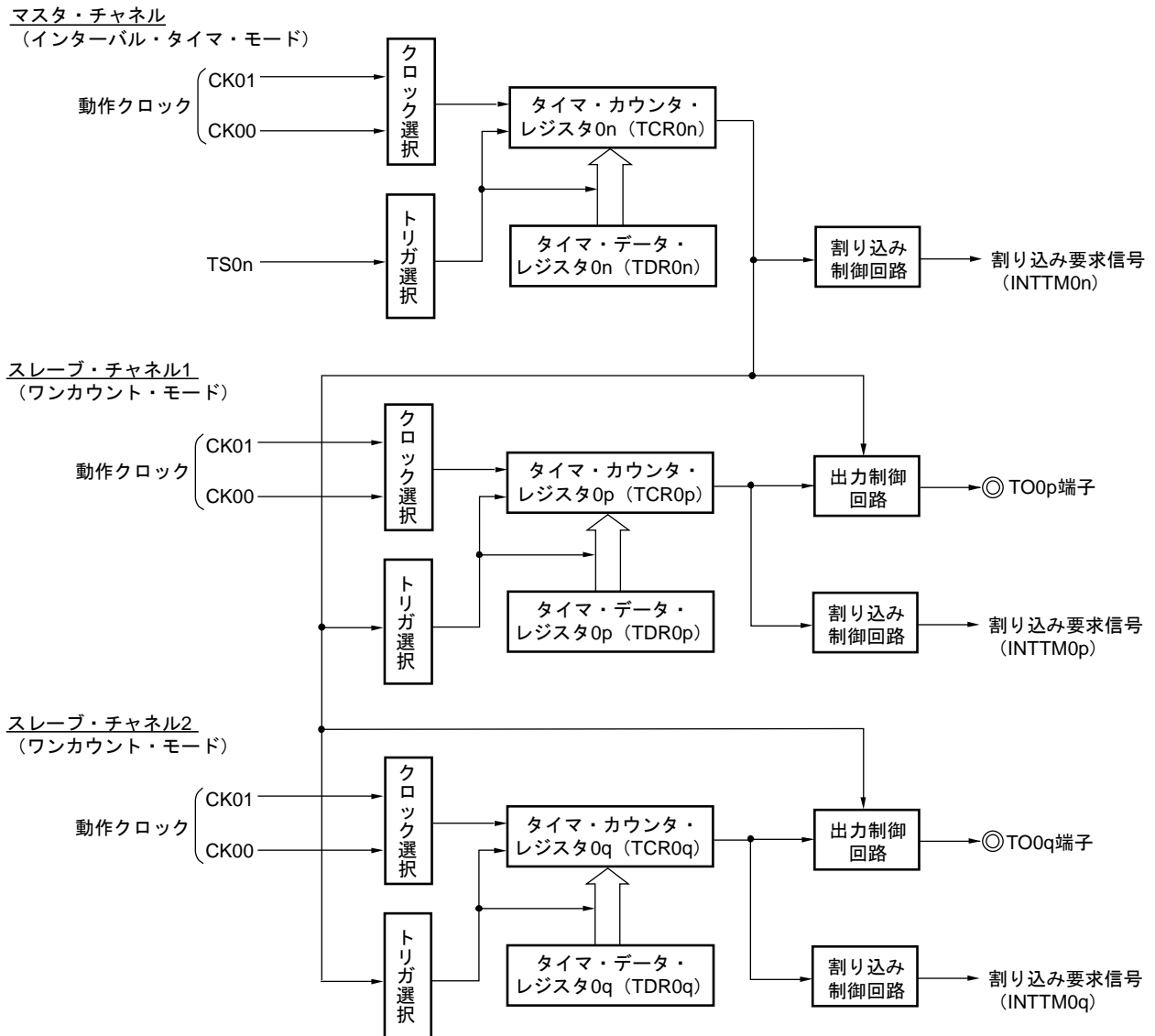
- 注意1.** マスタ・チャンネルのタイマ・データ・レジスタ0n (TDR0nH, TDR0nL) とスレーブ・チャンネルのTDR0pH, TDR0pLレジスタを両方とも書き換える場合、最低4回のライト・アクセスが必要となります。TCR0nH, TCR0nL, TCR0pH, TCR0pLレジスタにTDR0nH, TDR0nL, TDR0pH, TDR0pLレジスタの値をロードするのは、マスタ・チャンネルのINTTM0nが発生した後となるため、書き換えがマスタ・チャンネルのINTTM0n発生前と発生後に分かれて行われると、TO0p端子は、期待通りの波形を出力できません。したがって、TDR0nH, TDR0nL, TDR0pH, TDR0pLレジスタすべてを書き換える場合は、必ずマスタ・チャンネルのINTTM0nが発生した直後に4つのレジスタを連続で書き換えてください。
2. 8ビット・タイマ動作機能としてPWM出力機能を使用する場合は、マスタ・チャンネルのTDR0nHを00HIに設定し、8ビット・タイマとしてパルス周期を設定してください。マスタ・チャンネルのTDR0nLレジスタの設定値は00H~FEH (0%出力~100%出力) の範囲から設定してください。

備考 n: マスタ・チャンネル番号 (n = 0)

p: スレーブ・チャンネル番号, q: スレーブ・チャンネル番号

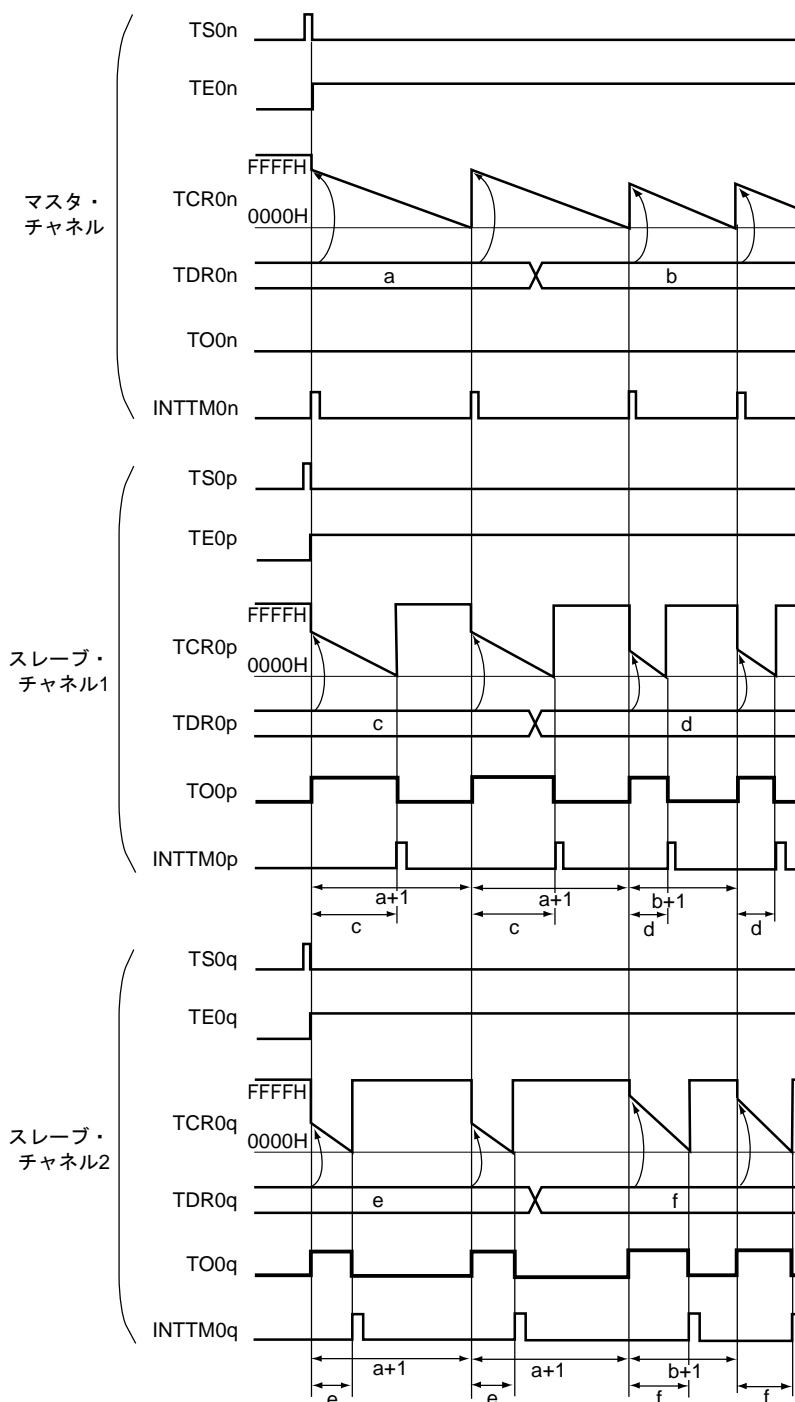
n < p < q ≤ 3 (ただしp, qは、n以降の整数)

図6-80 多重PWM出力機能としての動作のブロック図 (2種類のPWMを出力する場合)



備考 n: マスタ・チャンネル番号 (n = 0)
 p: スレーブ・チャンネル番号, q: スレーブ・チャンネル番号
 $n < p < q \leq 3$ (ただしp, qは, n以降の整数)

図6-81 多重PWM出力機能としての動作の基本タイミング例（2種類のPWMを出力する場合）



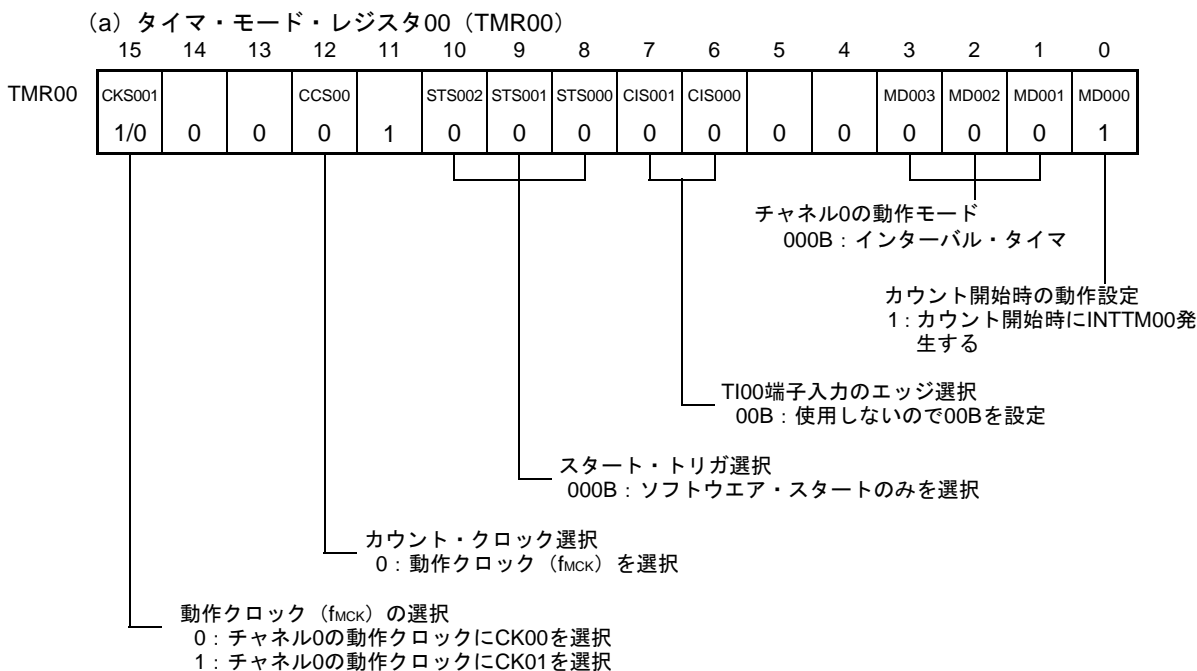
備考1. n : マスタ・チャンネル番号 (n = 0)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

$n < p < q \leq 3$ (ただし, p, qは, n以降の整数)

2. TS0n, TS0p, TS0q : タイマ・チャンネル開始レジスタ0 (TS0) のビットn, p, q
- TE0n, TE0p, TE0q : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn, p, q
- TCR0n, TCR0p, TCR0q : タイマ・カウンタ・レジスタ0n, 0p, 0q (TCR0n, TCR0p, TCR0q)
- TDR0n, TDR0p, TDR0q : タイマ・データ・レジスタ0n, 0p, 0q (TDR0n, TDR0p, TDR0q)
- TO0n, TO0p, TO0q : TO0n, TO0p, TO0q端子出力信号

図6-82 多重PWM出力機能（マスタ・チャンネル）のレジスタ設定内容例



(b) タイマ出力レジスタ0 (TO0)

ビット0

TO0

| |
|------|
| TO00 |
| 0 |

 0 : TO00より0を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

ビット0

TOE0

| |
|-------|
| TOE00 |
| 0 |

 0 : カウント動作によるTO00出力動作停止

(d) タイマ出力レベル・レジスタ0 (TOL0)

ビット0

TOL0

| |
|-------|
| TOL00 |
| 0 |

 0 : TOM00 = 0 (マスタ・チャンネル出力モード) のため、設定無効

(e) タイマ出力モード・レジスタ0 (TOM0)

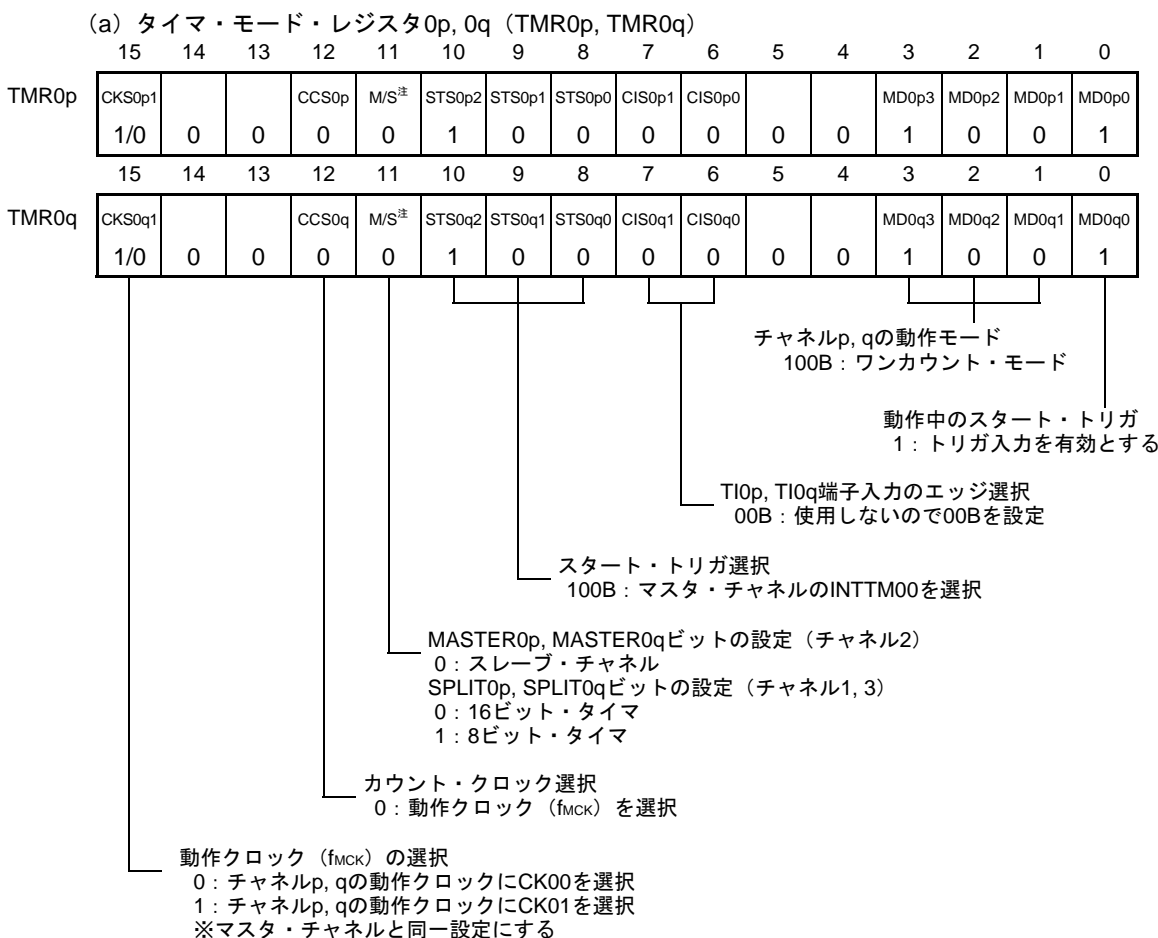
ビット0

TOM0

| |
|-------|
| TOM00 |
| 0 |

 0 : マスタ・チャンネル出力モードを設定

図6-83 多重PWM出力機能（スレーブ・チャンネル）のレジスタ設定内容例（2種類のPWMを出力する場合）



(b) タイマ出力レジスタ0 (TO0)
 ビットq ビットp

| | | | |
|-----|------|------|--|
| TO0 | TO0q | TO0p | 0 : TO0p, TO0qより0を出力する 1 : TO0p, TO0qより1を出力する |
| | 1/0 | 1/0 | |

(c) タイマ出力許可レジスタ0 (TOE0)
 ビットq ビットp

| | | | |
|------|-------|-------|--|
| TOE0 | TOE0q | TOE0p | 0 : カウント動作によるTO0p, TO0q出力動作停止 (TO0p, TO0qビットに設定したレベルをTO0p, TO0q端子から出力) 1 : カウント動作によるTO0p, TO0q出力動作許可 (TO0p, TO0q端子からトグル出力) |
| | 1/0 | 1/0 | |

(d) タイマ出力レベル・レジスタ0 (TOL0)
 ビットq ビットp

| | | | |
|------|-------|-------|--|
| TOL0 | TOL0q | TOL0p | 0 : 正論理出力 (アクティブ・ハイ) 1 : 負論理出力 (アクティブ・ロウ) |
| | 1/0 | 1/0 | |

(e) タイマ出力モード・レジスタ0 (TOM0)
 ビットq ビットp

| | | | |
|------|-------|-------|------------------------|
| TOM0 | TOM0q | TOM0p | 1 : スレーブ・チャンネル出力モードを設定 |
| | 1 | 1 | |

注 TMR02の場合 : MASTER0p, MASTER0qビット

TMR01, TMR03の場合 : SPLIT0p, SPLIT0qビット

備考 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

0 < p < q ≤ 3 (ただしp, qは, 0以降の整数)

図6-84 多重PWM出力機能時の操作手順（2種類のPWMを出力する場合）（1/2）

| | ソフトウェア操作 | ハードウェアの状態 |
|-----------|--|--|
| TAU初期設定 | 周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する (TAU0ENビットが0のときは、読み出し/書き込み不可) | <p>パワーオフ状態 (クロック供給停止, TAUのSFRへの書き込み不可)</p> <p>→ パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, TAUのSFRへの書き込み可能)</p> |
| | タイマ・クロック選択レジスタ0 (TPS0) を設定する 各チャンネルの動作クロック (CK00, CK01) を確定する | |
| チャンネル初期設定 | <p>タイマ・モード・レジスタ00, 0p, 0q (TMR00, TMR0p, TMR0q) を設定する (各チャンネルの動作モードを確定)</p> <p>タイマ・データ・レジスタ00, 0p, 0q (TDR00, TDR0p, TDR0q) にマスタ・チャンネルのインターバル (周期) 値, スレーブ・チャンネルのデューティ値を設定する (TDR0nH, TDR0nLレジスタへのアクセス手順は, 6.2.2 タイマ・データ・レジスタ0n (TDR0n) を参照)</p> | <p>チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)</p> |
| | <p>マスタ・チャンネルの設定</p> <p>タイマ出力モード・レジスタ0 (TOM0) の対象ビットに0 (マスタ・チャンネル出力モード) を設定する</p> <p>TOL0レジスタの対象ビットに0を設定する</p> <p>タイマ出力許可レジスタ0 (TOE0) の対象ビットに0を設定する</p> <p>スレーブ・チャンネルの設定</p> <p>タイマ出力モード・レジスタ0 (TOM0) の対象ビットに1 (スレーブ・チャンネル出力モード) を設定する</p> <p>TOL0レジスタの対象ビットを設定する</p> <p>TO0p, TO0qビットを設定し, TO0p, TO0q出力の初期レベルを確定する</p> <p>TOE0p, TOE0qビットに1を設定し, カウント動作によるTO0p, TO0q出力を許可</p> <p>→ チャンネルは動作停止状態なので, TO0p, TO0qは変化しない (TO0p, TO0qビットを書き換えてもTO0p端子に反映されない)</p> <p>ポート・レジスタとポート・モード・レジスタに0を設定する (出力モード設定)</p> <p>→ TO0p, TO0qビットに設定したレベルをTO0p, TO0q端子から出力</p> | |

備考 p: スレーブ・チャンネル番号, q: スレーブ・チャンネル番号
 $0 < p < q \leq 3$ (ただし, p, qは, 0以降の整数)

図6-85 多重PWM出力機能時の操作手順 (2種類のPWMを出力する場合) (2/2)

| | ソフトウェア操作 | ハードウェアの状態 |
|------|--|--|
| 動作再開 | 動作開始 スレーブ・レジスタのTOE0p, TOE0qビットに1を設定し、カウント動作によるTO0p, TO0q出力を許可 (動作再開時のみ) TS0レジスタの対象ビット (マスタ, スレーブ) に1を同時に設定する TS0レジスタの対象ビットはトリガ・ビットなので、自動的に0に戻る | TE0レジスタの対象ビットが1となり、マスタ・チャンネルのタイマ・カウンタ・レジスタ00 (TCR00) はTDR00レジスタの値をロードし、ダウン・カウント動作を開始する。 |
| | 動作中 マスタ・チャンネルの設定変更 TDR00レジスタは、マスタ・チャンネルのINTTM00発生後に設定値変更可能 TCR00レジスタは、常に読み出し可能 (TCR00H, TCR00Lレジスタへのアクセス手順は、6.2.1 タイマ・カウンタ・レジスタ0n (TCR0n) を参照) TMR00, TO0, TOE0, TOM0, TOL0レジスタの対象ビットは、設定値変更禁止 スレーブ・チャンネルの設定変更 TDR0p, TDR0qレジスタは、マスタ・チャンネルのINTTM00発生後に設定値変更可能 TCR0p, TCR0qレジスタは、常に読み出し可能 TO0, TOE0, TOL0レジスタの対象ビットは、設定値変更可能 TMR0p, TMR0q, TOM0レジスタの対象ビットは、設定値変更禁止 | マスタ・チャンネルは、タイマ・カウンタ・レジスタ00 (TCR00) ダウン・カウント動作を行う。TCR00 = 0000HまでカウントしたらINTTM00を発生する。同時に、TCR00レジスタはTDR00レジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルは、マスタ・チャンネルのINTTM00信号をスタート・トリガとして、TCR0p, TCR0qレジスタはTDR0p, TDR0qレジスタの値をロードし、ダウン・カウント動作を開始する。マスタ・チャンネルのINTTM00出力からカウント・クロック (f _{TCLK}) の1クロック後にTO0p, TO0q出力レベルをアクティブ・レベルとする。そしてTCR0p = 0000H, TCR0q = 0000HまでカウントしたらTO0p, TO0q出力レベルをインアクティブ・レベルにして、TCR0p = FFFFH, TCR0q = FFFFHでカウント動作を停止する。 以降、この動作を繰り返す。 |
| | 動作停止 TT0レジスタの対象ビット (マスタ, スレーブ) に1を同時に設定する TT0レジスタの対象ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOE0p, TOE0qビットに0を設定し、TO0p, TO0qビットに値を設定する | TE0レジスタの対象ビットが0になり、カウント動作停止 TCR00, TCR0p, TCR0qレジスタはカウント値を保持して停止 TO0p, TO0q出力は初期化されず、状態保持 TO0p, TO0qビットに設定したレベルをTO0p, TO0q端子から出力 |
| | TAU停止 TO0p, TO0q端子の出力レベルを保持する場合 ポート・レジスタに保持したい値 (出力ラッチ) を設定後、TO0p, TO0qビットに0を設定する PER0レジスタのTAU0ENビットに0を設定する | TO0p, TO0q端子出力レベルはポート機能で保持される。 パワーオフ状態 (クロック供給停止, TAUのSFRが初期化される) |

備考 p: スレーブ・チャンネル番号, q: スレーブ・チャンネル番号
0 < p < q ≤ 3 (ただし, p, qは, 0以降の整数)

6.10 タイマ・アレイ・ユニット使用時の注意事項

6.10.1 タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に、他の兼用機能の出力も割り当てられている事があります。このような場合にタイマ出力を使用するには、他方の兼用機能の出力を初期状態にする必要があります。

詳細は、**4.5 兼用機能使用時のレジスタ設定**を参照してください。

第7章 12ビット・インターバル・タイマ

7.1 12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み要求信号 (INTIT) を発生します。STOPモード、HALTモードからのウエイク・アップのトリガに使えます。

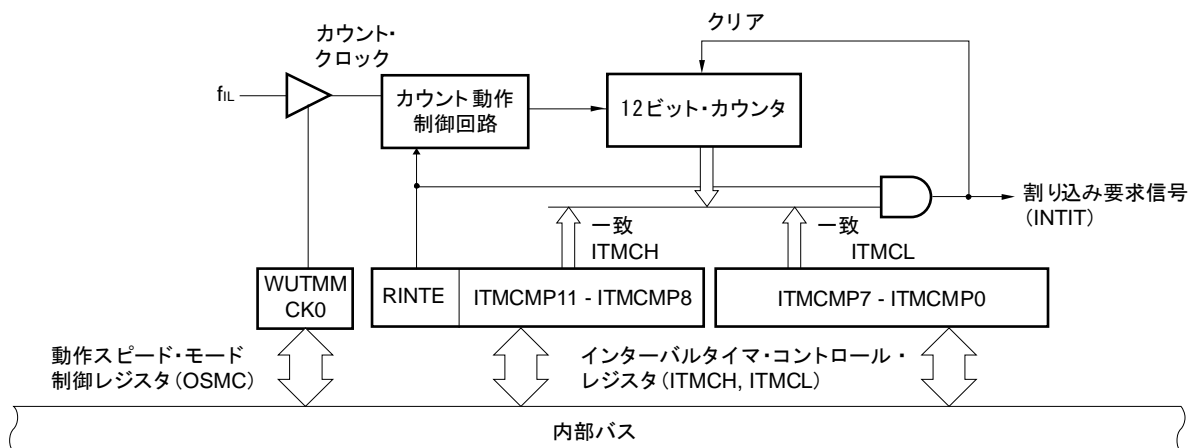
7.2 12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは、次のハードウェアで構成されています。

表7-1 12ビット・インターバル・タイマの構成

| 項目 | 構成 |
|--------|---------------------------------|
| カウンタ | 12ビット・カウンタ |
| 制御レジスタ | 周辺イネーブル・レジスタ0 (PER0) |
| | 動作スピード・モード制御レジスタ (OSMC) |
| | インターバル・タイマ・コントロール・レジスタH (ITMCH) |
| | インターバル・タイマ・コントロール・レジスタL (ITMCL) |

図7-1 12ビット・インターバル・タイマのブロック図



7.3 12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは、次のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・動作スピード・モード制御レジスタ (OSMC)
- ・インターバル・タイマ・コントロール・レジスタH (ITMCH)
- ・インターバル・タイマ・コントロール・レジスタL (ITMCL)

7.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

12ビット・インターバル・タイマを使用する場合は、必ず最初にビット7 (TMKAEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図7-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

| | | | | | | | | |
|------|--------|--------------------|-------|---|---|--------|---|--------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PER0 | TMKAEN | RTOEN ^注 | ADCEN | 0 | 0 | SAU0EN | 0 | TAU0EN |

| | |
|--------|--|
| TMKAEN | 12ビット・インターバル・タイマの入カクロック供給の制御 |
| 0 | 入カクロック供給停止 ・12ビット・インターバル・タイマで使用するSFRへのライト不可 ・12ビット・インターバル・タイマはリセット状態 |
| 1 | 入カクロック供給 ・12ビット・インターバル・タイマで使用するSFRへのリード／ライト可 |

注 RL78/G1M製品のみ

注意1. 12ビット・インターバル・タイマへ入カクロック供給 (TMKAEN = 1) する前に、OSMCレジスタのWUTMMCK0ビットをセット (1) して、カウント・クロックを確定させてください。

2. 12ビット・インターバル・タイマの設定をする際には、カウント・クロックが発振安定した状態で、必ず最初にTMKAEN = 1に設定してから下記のレジスタの設定を行ってください。

TMKAEN = 0の場合は、12ビット・インターバル・タイマへの書き込みは無視され、読み出し値は初期値となります (動作スピード・モード制御レジスタ (OSMC) は除く)。

- ・インターバル・タイマ・コントロール・レジスタH (ITMCH)
- ・インターバル・タイマ・コントロール・レジスタL (ITMCL)

3. 次のビットには必ず“0”を設定してください。

RL78/G1M製品 : ビット1, 3, 4

RL78/G1N製品 : ビット1, 3, 4, 6

7.3.2 動作スピード・モード制御レジスタ (OSMC)

WUTMMCK0ビットで12ビット・インターバル・タイマのカウント・クロックの供給を制御します。

12ビット・インターバル・タイマを動作させるときは、先にWUTMMCK0 = 1に設定してください。

また、カウンタ動作を停止させるまでWUTMMCK0 = 0に設定しないでください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-3 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

| | | | | | | | | |
|------|---|---|---|----------|---|---|---|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OSMC | 0 | 0 | 0 | WUTMMCK0 | 0 | 0 | 0 | 0 |

| | |
|----------|--|
| WUTMMCK0 | 12ビット・インターバル・タイマのカウント・クロックの供給 |
| 0 | クロック供給停止 |
| 1 | 低速オンチップ・オシレータ・クロック (f _{IL}) 供給 |

7.3.3 インターバル・タイマ・コントロール・レジスタ (ITMCH, ITMCL)

12ビット・インターバル・タイマの動作停止/開始の設定とコンペア値を設定するレジスタです。

先にITMCLレジスタでコンペア値の下位8ビット (ITCMP7 – ITCMP0) を設定してから、ITMCHレジスタでコンペア値の上位4ビット (ITCMP11 - ITCMP8) とカウンタ動作の停止/開始を設定してください。

ITMCH, ITMCLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ITMCHレジスタは0FH、ITMCLレジスタはFFHになります。

図7-4 インターバル・タイマ・コントロール・レジスタ (ITMCH, ITMCL) のフォーマット

アドレス : FFF91H リセット時 : 0FH R/W

| | | | | | | | | |
|-------|-------|---|---|---|------------------|---|---|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ITMCH | RINTE | 0 | 0 | 0 | ITCMP11 - ITCMP8 | | | |

アドレス : FFF90H リセット時 : FFH R/W

| | | | | | | | | |
|-------|-----------------|---|---|---|---|---|---|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ITMCL | ITCMP7 – ITCMP0 | | | | | | | |

| | |
|-------|-----------------------|
| RINTE | 12ビット・インターバル・タイマの動作制御 |
| 0 | カウンタ動作停止 (カウント・クリア) |
| 1 | カウンタ動作開始 |

| | |
|--|---|
| ITCMP11-ITCMP0 | 12ビット・インターバル・タイマのコンペア値設定 |
| 001H | 「カウント・クロック周期 × (ITCMP設定値 + 1)」の定周期割り込みを発生します。 |
| ... | |
| FFFH | |
| 000H | 設定禁止 |
| ITCMP11-ITCMP0 = 001H, FFFH設定時の割り込み周期例 | |
| ・ ITCMP11-ITCMP0 = 001H, カウント・クロック : $f_{IL} = 15 \text{ kHz}$ 時 $1/15 [\text{kHz}] \times (1+1) \doteq 0.1333 [\text{ms}] = 133.3 [\mu\text{s}]$ | |
| ・ ITCMP11-ITCMP0 = FFFH, カウント・クロック : $f_{IL} = 15 \text{ kHz}$ 時 $1/15 [\text{kHz}] \times (4095+1) \doteq 273 [\text{ms}]$ | |

- 注意1.** カウンタ動作停止 (RINTEビットをクリア (0)) する場合は、TMKAMKフラグをセット (1) して INTIT の割り込み処理禁止にしてから書き換えてください。再度カウンタ動作開始 (RINTEビットをセット (1)) する場合は、TMKAIFフラグをクリア (0) してからTMKAMKフラグをクリア (0) して INTIT の割り込み処理許可にしてください。
- RINTEビットの読み出し値は、RINTEビットをセット (1) した後、カウント・クロックの1クロック後に反映されます。
 - スタンバイ・モードから復帰後にRINTEビットを設定して、再度スタンバイ・モードに移行する場合は、RINTEビットの書き込み値が反映されたことを確認するか、スタンバイ・モードの復帰からカウント・クロックの1クロック分以上の時間経過後に移行してください。
 - ITCMP11-ITCMP0ビットの値を変更する場合は、必ずカウンタ動作停止 (RINTE = 0) のときに行ってください。ただし、RINTEビットを0→1または1→0に変更すると同時にITCMP11-ITCMP8ビットの値を変更することは可能です。

7.4 12ビット・インターバル・タイマの動作

7.4.1 12ビット・インターバル・タイマの動作タイミング

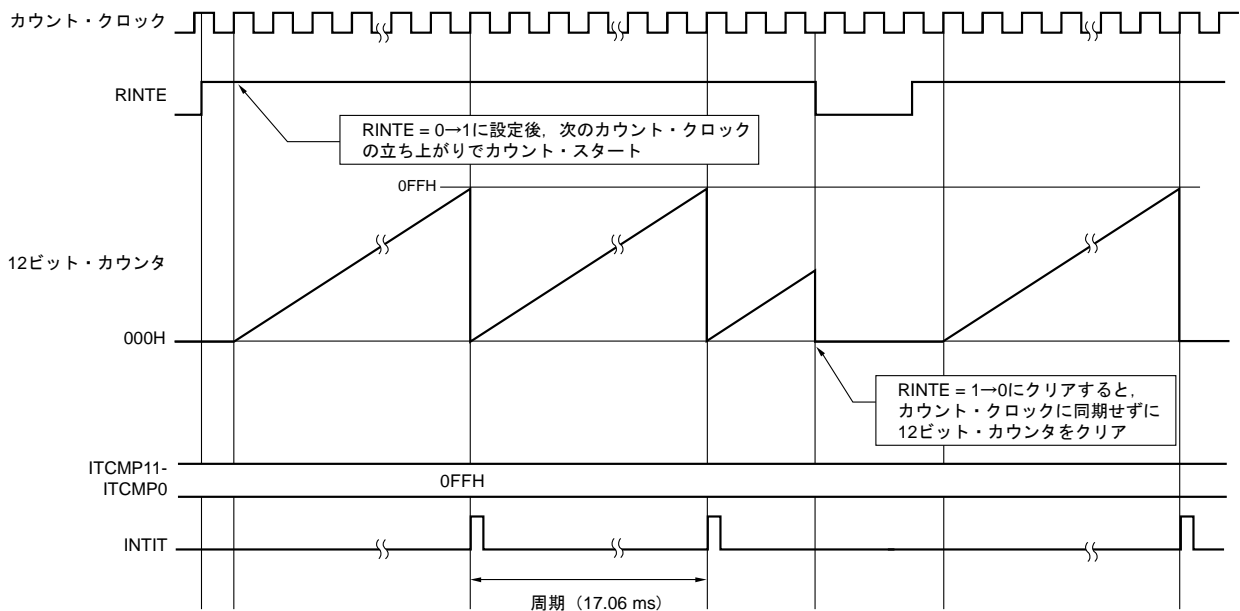
ITCMP11-ITCMP0ビットに設定したカウント値をインターバルとし、繰り返し割り込み要求信号 (INTIT) を発生する12ビット・インターバル・タイマとして動作します。

RINTEビットをセット (1) すると、12ビット・カウンタがカウントを開始します。

12ビット・カウンタの値がITCMP11-ITCMP0ビットに設定した値と一致したとき、12ビット・カウンタの値をクリア (0) してカウントを継続すると同時に、割り込み要求信号 (INTIT) を発生します。

12ビット・インターバル・タイマの基本動作を図7-5に示します。

図7-5 12ビット・インターバル・タイマ動作のタイミング
(ITCMP11-ITCMP0 = 0FFH, カウント・クロック : $f_{IL} = 15 \text{ kHz}$)

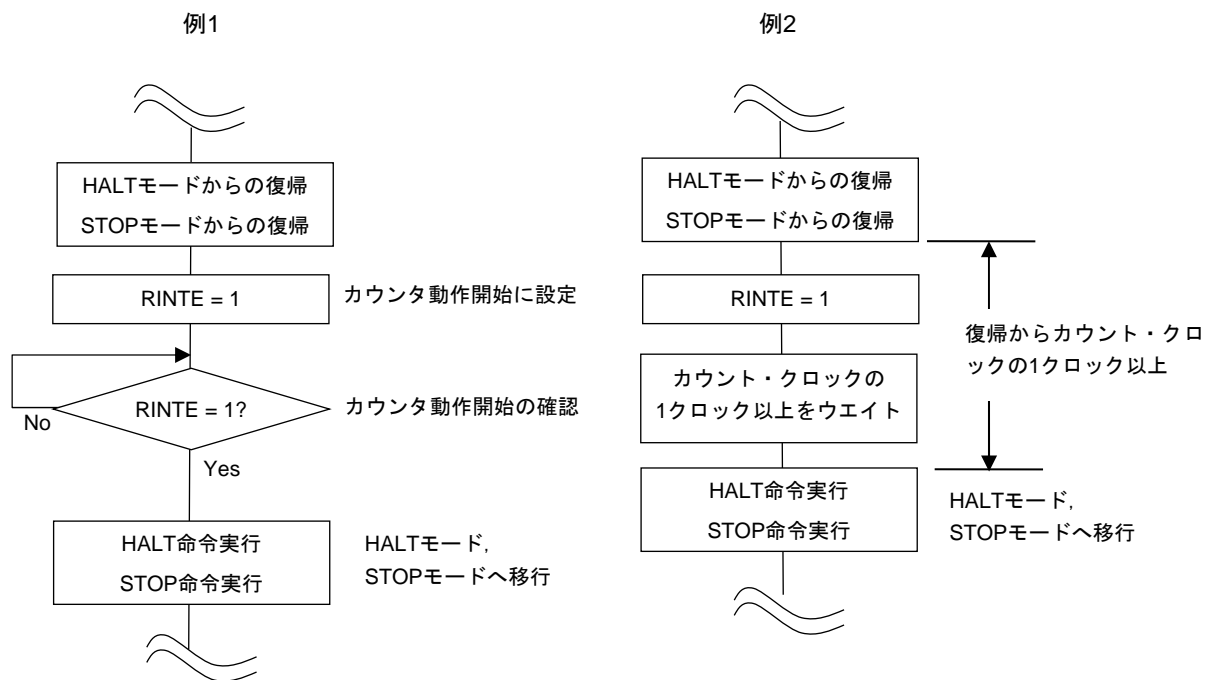


7.4.2 HALT/STOPモードから復帰後にカウンタ動作開始し、再度HALT/STOPモードに移行する設定手順

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し、再度HALTモード、STOPモードへ移行する場合は、RINTE = 1に設定してから、RINTEビットの書き込み値が反映されたことを確認するか、復帰からカウント・クロックの1クロック分以上経過後に移行してください。

- ・RINTE = 1に設定後、RINTEビットが1になるのをポーリングで確認後にHALTモード、STOPモードへ移行する（図7-6 例1参照）。
- ・RINTE = 1に設定してから、カウント・クロックの1クロック分以上経過後にHALTモード、STOPモードへ移行する（図7-6 例2参照）。

図7-6 RINTE = 1に設定後のHALTモード、STOPモードへの移行手順



第8章 クロック出力／ブザー出力制御回路

8.1 クロック出力／ブザー出力制御回路の機能

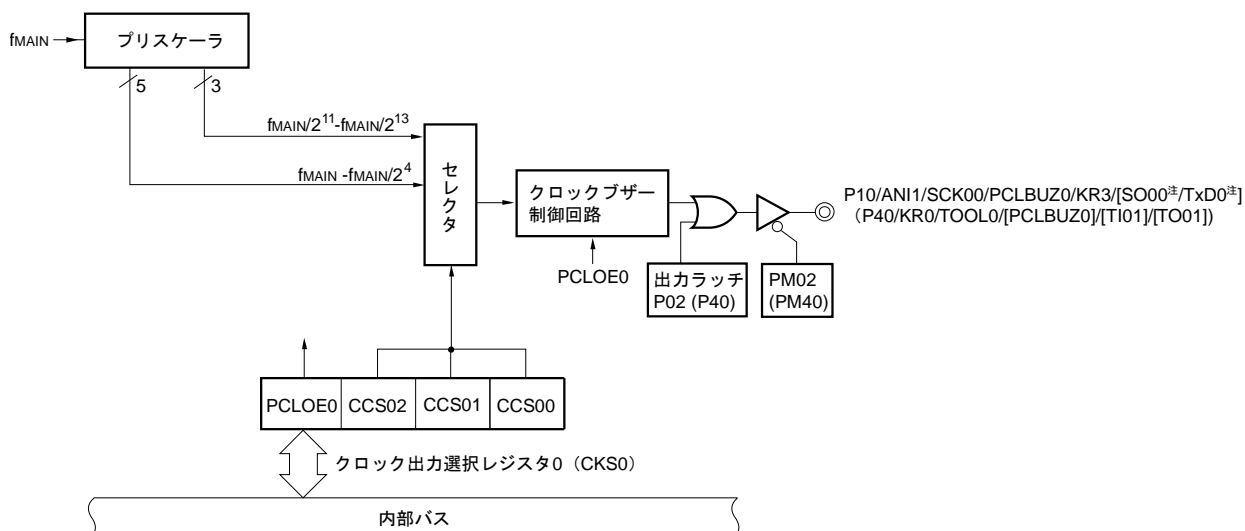
クロック出力は周辺ICに供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は、クロック出力選択レジスタ0 (CKS0) で選択したクロックを出力します。

図8-1にクロック出力／ブザー出力制御回路のブロック図を示します。

図8-1 クロック出力／ブザー出力制御回路のブロック図



注 RL78/G1M製品のみ

注意 PCLBUZ0端子から出力可能な周波数は、23.4 AC特性を参照してください。

備考 []内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

8.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表8-1 クロック出力／ブザー出力制御回路の構成

| 項 目 | 構 成 |
|--------|--|
| 制御レジスタ | クロック出力選択レジスタ0 (CKS0) ポート・モード・レジスタ0 (PM0) [ポート・モード・レジスタ4 (PM4)] ポート・レジスタ0 (P0) [ポート・レジスタ4 (P4)] ポート・モード・コントロール・レジスタ0 (PMC0) 周辺I/Oリダイレクション・レジスタ (PIOR) |

備考 []内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

8.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は、次のレジスタで制御します。

- ・ クロック出力選択レジスタ0 (CKS0)
- ・ ポート・モード・レジスタ0 (PM0) [ポート・モード・レジスタ4 (PM4)]
- ・ ポート・モード・コントロール・レジスタ0 (PMC0)
- ・ 周辺I/Oリダイレクション・レジスタ (PIOR)

備考 []内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

8.3.1 クロック出力選択レジスタ0 (CKS0)

クロック出力またはブザー周波数出力の端子 (PCLBUZ0) の出力許可／禁止、および出力クロックを設定するレジスタです。

CKS0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-2 クロック出力選択レジスタ0 (CKS0) のフォーマット

アドレス : FFFA5H リセット時 : 00H R/W

| | | | | | | | | |
|------|----------|---|---|---|---|-------|-------|-------|
| 略号 | <u>7</u> | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CKS0 | PCLOE0 | 0 | 0 | 0 | 0 | CCS02 | CCS01 | CCS00 |

| | |
|--------|----------------------|
| PCLOE0 | PCLBUZ0端子の出力許可／禁止の指定 |
| 0 | 出力禁止 (デフォルト) |
| 1 | 出力許可 |

| CCS02 | CCS01 | CCS00 | PCLBUZ0端子の出カクロックの選択 | | | | | |
|-------|-------|-------|------------------------------------|-----------|-----------|--------------------|---------------------|---------------------|
| | | | f _{MAIN} (MHz) | | | | | |
| | | | 1.25 | 2.5 | 5 | 10 | 20 | |
| 0 | 0 | 0 | f _{MAIN} | 1.25 MHz | 2.5 MHz | 5 MHz ^注 | 10 MHz ^注 | 設定禁止 ^注 |
| 0 | 0 | 1 | f _{MAIN} /2 | 625 kHz | 1.25 MHz | 2.5MHz | 5 MHz ^注 | 10 MHz ^注 |
| 0 | 1 | 0 | f _{MAIN} /2 ² | 312.5 kHz | 625 kHz | 1.25 MHz | 2.5 MHz | 5 MHz ^注 |
| 0 | 1 | 1 | f _{MAIN} /2 ³ | 156.3 kHz | 312.5 kHz | 625 kHz | 1.25 MHz | 2.5 MHz |
| 1 | 0 | 0 | f _{MAIN} /2 ⁴ | 78.1 kHz | 156.3 kHz | 312.5 kHz | 625 kHz | 1.25 MHz |
| 1 | 0 | 1 | f _{MAIN} /2 ¹¹ | 610 Hz | 1.22 kHz | 2.44 kHz | 4.88 kHz | 9.77 kHz |
| 1 | 1 | 0 | f _{MAIN} /2 ¹² | 305 Hz | 610 Hz | 1.22 kHz | 2.44 kHz | 4.88 kHz |
| 1 | 1 | 1 | f _{MAIN} /2 ¹³ | 153 Hz | 305 Hz | 610 Hz | 1.22 kHz | 2.44 kHz |

注 動作電圧範囲によって選択できる出カクロックは異なります。詳しくは、23.4 AC特性を参照してください。

- 注意1.** 出カクロックの切り替えは、PCLBUZ0端子の出力禁止 (PCLOE0 = 0) に設定してから行ってください。
- 2.** STOPモードに移行する場合は、PCLBUZ0端子を出力禁止 (PCLOE0 = 0) に設定後、PCLBUZ0端子の出カクロックの1.5クロック以上の時間が経過してから、STOP命令を実行してください。

備考 f_{MAIN} : メイン・システム・クロック周波数

8.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力制御回路使用時は、クロック出力／ブザー出力端子（PCLBUZ0端子）と兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PM0/PM4）、ポート・レジスタ（P0/P4）、ポート・モード・コントロール・レジスタ0（PMC0）、周辺I/Oリダイレクション・レジスタ（PIOR））を設定してください。

ポート機能を制御するレジスタの詳細は、**4.3.1 ポート・モード・レジスタ0, 1, 4（PM0, PM1, PM4）**、**4.3.2 ポート・レジスタ0, 1, 4, 12, 13（P0, P1, P4, P12, P13）**、**4.3.6 ポート・モード・コントロール・レジスタ0, 1（PMC0, PMC1）**、**4.3.7 周辺I/Oリダイレクション・レジスタ（PIOR）**を参照してください。

PCLBUZ0端子として使用するときは、対応するポート・モード・レジスタ0（PM0）、ポート・モード・コントロール・レジスタ0（PMC0）、ポート・レジスタ0（P0）およびポート・出力モード・レジスタ0（POM0）のビットに0を、設定してください。

詳細は、**4.5.3 使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

なお、周辺I/Oリダイレクション・レジスタ（PIOR）のPIOR0ビットをセット（1）して、P40端子にPCLBUZ0端子出力を割り当てることもできます。

8.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は、クロック出力選択レジスタ0 (CKS0) で選択したクロック／ブザーを出力します。

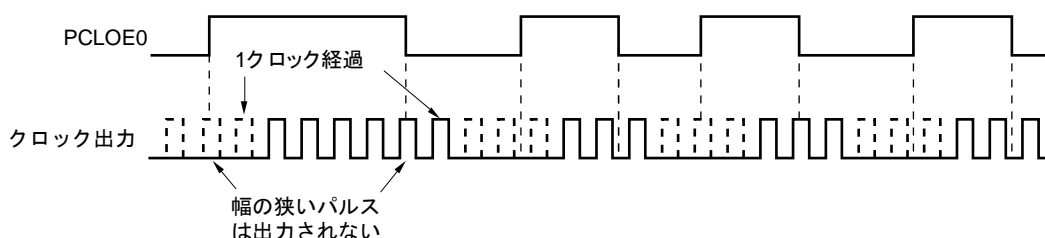
8.4.1 出力端子の動作

PCLBUZ0端子は、次の手順で出力します。

- ① PCLBUZ0端子兼用ポートのポート・モード・レジスタ (PM0/PM4)、ポート・レジスタ (P0/P4)、およびポート・モード・コントロール・レジスタ0 (PMC0) の対応ビットに0を設定する。
- ② PCLBUZ0端子のクロック出力選択レジスタ (CKS0) のビット0-2 (CCS00-CCS02) で出力周波数を選択する (出力は禁止の状態)。
- ③ CKS0レジスタのビット7 (PCLOE0) に1を設定し、クロック出力／ブザー出力を許可する。

備考 クロック出力用として使用するときの制御回路は、クロック出力の出力許可／禁止 (PCLOE0ビット) を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOE0ビットによる出力の許可／停止とクロック出力のタイミングを図8-3に示します。

図8-3 PCLBUZ0端子からのクロック出力のタイミング



注意 PCLBUZ0端子を出力禁止 (PCLOE0 = 0) に設定してからPCLBUZ0端子の出力クロックの1.5クロック以内にSTOPモードへ移行すると、PCLBUZ0端子のクロック出力幅が短くなります。STOP命令は、PCLBUZ0端子を出力禁止に設定後、PCLBUZ0端子の出力クロックの1.5クロック以上の時間が経過してから実行してください。

第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、ユーザ・オプション・バイト（000C0H）でカウント動作を設定します。

ウォッチドッグ・タイマは低速オンチップ・オシレータ・クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- ・WDTEレジスタに“ACH”以外のデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ（RESF）のビット4（WDTRF）がセット（1）されます。RESFレジスタの詳細については**第16章 リセット機能**を参照してください。

また、インターバル割り込みは、オーバフロー時間の約75%到達時に発生します。

9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表9-1 ウォッチドッグ・タイマの構成

| 項目 | 構成 |
|--------|-------------------------------|
| 制御レジスタ | ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) |

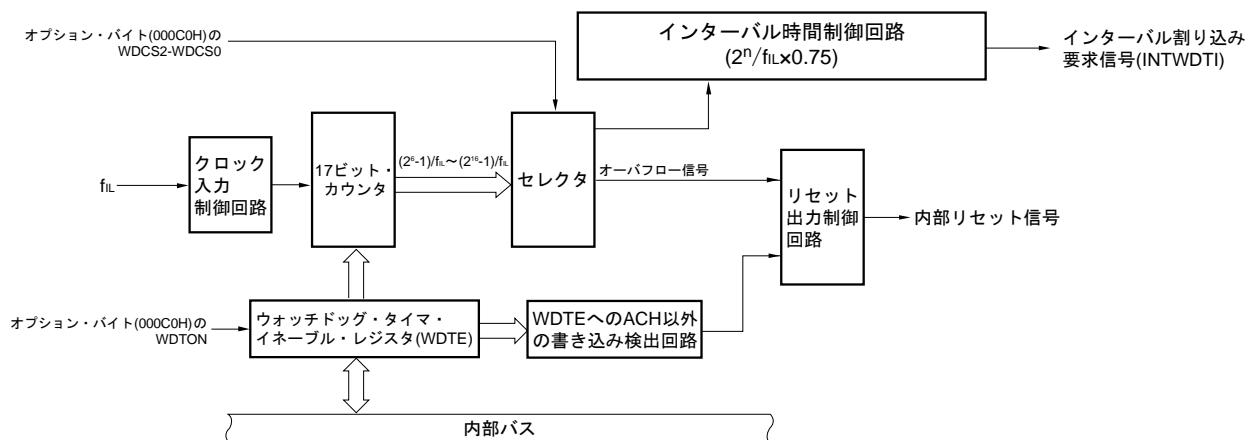
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定を行います。

表9-2 オプション・バイトとウォッチドッグ・タイマの設定内容

| ウォッチドッグ・タイマの設定内容 | オプション・バイト (000C0H) |
|-----------------------------------|-----------------------|
| ウォッチドッグ・タイマのカウンタ動作制御 | ビット4 (WDTON) |
| ウォッチドッグ・タイマのオーバフロー時間設定 | ビット3-1 (WDCS2- WDCS0) |
| ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOP時) | ビット0 (WDSTBYON) |

備考 オプション・バイトについては、第18章 オプション・バイトを参照してください。

図9-1 ウォッチドッグ・タイマのブロック図



9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）で制御します。

9.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、1AHまたは9AH^注になります。

図9-2 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス：FFFABH リセット時：1AH/9AH^注 R/W

| | | | | | | | | |
|------|---|---|---|---|---|---|---|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| WDTE | | | | | | | | |

注 WDTEレジスタのリセット値は、オプション・バイト（000C0H）のWDTONビットの設定値によって異なります。ウォッチドッグ・タイマを動作する場合は、WDTONビットに1を設定してください。

| WDTONビットの設定値 | WDTEレジスタのリセット値 |
|-------------------------|----------------|
| 0（ウォッチドッグ・タイマのカウント動作禁止） | 1AH |
| 1（ウォッチドッグ・タイマのカウント動作許可） | 9AH |

- 注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。
- WDTEレジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。
 - WDTEレジスタのリード値は、“1AH/9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

9.4 ウォッチドッグ・タイマの動作

9.4.1 ウォッチドッグ・タイマの動作制御

①ウォッチドッグ・タイマを使用する場合、オプション・バイト（000C0H）で次の内容を設定します。

- ・オプション・バイト（000C0H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウンタ動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第18章を参照）。

| WDTON | ウォッチドッグ・タイマのカウンタ |
|-------|--------------------------|
| 0 | カウンタ動作禁止（リセット解除後、カウンタ停止） |
| 1 | カウンタ動作許可（リセット解除後、カウンタ開始） |

- ・オプション・バイト（000C0H）のビット3-1（WDOS2-WDOS0）で、オーバフロー時間を設定してください（詳細は、9.4.2および第18章を参照）。

- ②リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。
- ③カウンタ動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
- ④WDTEレジスタに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
- また、次の場合も、内部リセット信号を発生します。

- ・WDTEレジスタに1ビット操作命令を使用した場合
- ・WDTEレジスタに“ACH”以外のデータを書き込んだ場合

注意1. WDTEレジスタに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 f_{IL} の1クロック短くなる場合があります。

- ウォッチドッグ・タイマのクリアは、カウンタ値がオーバフローする直前まで有効です。
- オプション・バイト（000C0H）のビット0（WDSTBYON）の設定値により、HALTおよびSTOモード時に、ウォッチドッグ・タイマの動作は、次のように異なります。

WDSTBYON = 0 : ウォッチドッグ・タイマ動作停止

WDSTBYON = 1 : ウォッチドッグ・タイマ動作継続

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウンタを再開します。このとき、カウンタはクリア（0）して、カウンタ開始します。

- WDTON = 0, WDSTBYON = 1の設定は禁止です。

9.4.2 ウォッチドッグ・タイマの時間設定

ウォッチドッグ・タイマのオーバフロー時間とインターバル割り込み時間は、オプション・バイト (000C0H) のビット3-1 (WDCS2-WDCS0) で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前に、“ACH”をウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。インターバル割り込みは、オーバフロー時間の約75%到達時に発生します。

設定可能なオーバフロー時間とインターバル割り込み時間を次に示します。

表9-3 オーバフロー時間とインターバル割り込み時間の設定

| WDCS2 | WDCS1 | WDCS0 | ウォッチドッグ・タイマの オーバフロー時間 ($f_{IL} = 17.25 \text{ kHz (MAX.)}$ の場合) | ウォッチドッグ・タイマの インターバル割り込み時間 ($f_{IL} = 17.25 \text{ kHz (MAX.)}$ の場合) |
|-------|-------|-------|--|--|
| 0 | 0 | 0 | $(2^6 - 1) / f_{IL}$ (3.65 ms) | $2^6 / f_{IL} \times 0.75$ (2.78 ms) |
| 0 | 0 | 1 | $(2^7 - 1) / f_{IL}$ (7.36 ms) | $2^7 / f_{IL} \times 0.75$ (5.56 ms) |
| 0 | 1 | 0 | $(2^8 - 1) / f_{IL}$ (14.7 ms) | $2^8 / f_{IL} \times 0.75$ (11.1 ms) |
| 0 | 1 | 1 | $(2^9 - 1) / f_{IL}$ (29.6 ms) | $2^9 / f_{IL} \times 0.75$ (22.2 ms) |
| 1 | 0 | 0 | $(2^{11} - 1) / f_{IL}$ (118 ms) | $2^{11} / f_{IL} \times 0.75$ (89.0 ms) |
| 1 | 0 | 1 | $(2^{13} - 1) / f_{IL}$ (474 ms) | $2^{13} / f_{IL} \times 0.75$ (356 ms) |
| 1 | 1 | 0 | $(2^{14} - 1) / f_{IL}$ (949 ms) | $2^{14} / f_{IL} \times 0.75$ (712 ms) |
| 1 | 1 | 1 | $(2^{16} - 1) / f_{IL}$ (3799 ms) | $2^{16} / f_{IL} \times 0.75$ (2849 ms) |

- 注意1. INTWDTI発生後も (ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込むまで) カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。
2. ウォッチドッグ・タイマのインターバル割り込みは常に発生します。ウォッチドッグ・タイマのインターバル割り込みを使用しない場合は、必ずWDTIMKビットを1に設定して、割り込み処理を禁止してください。

備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

第10章 A/Dコンバータ

A/Dコンバータのアナログ入力数は、8チャンネルです。

10.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、最大8チャンネルのアナログ入力を制御できる構成になっています。A/Dコンバータの分解能は、A/Dコンバータ・モード・レジスタ2 (ADM2) のADTYPビットにより、10ビット分解能と8ビット分解能を選択できます。

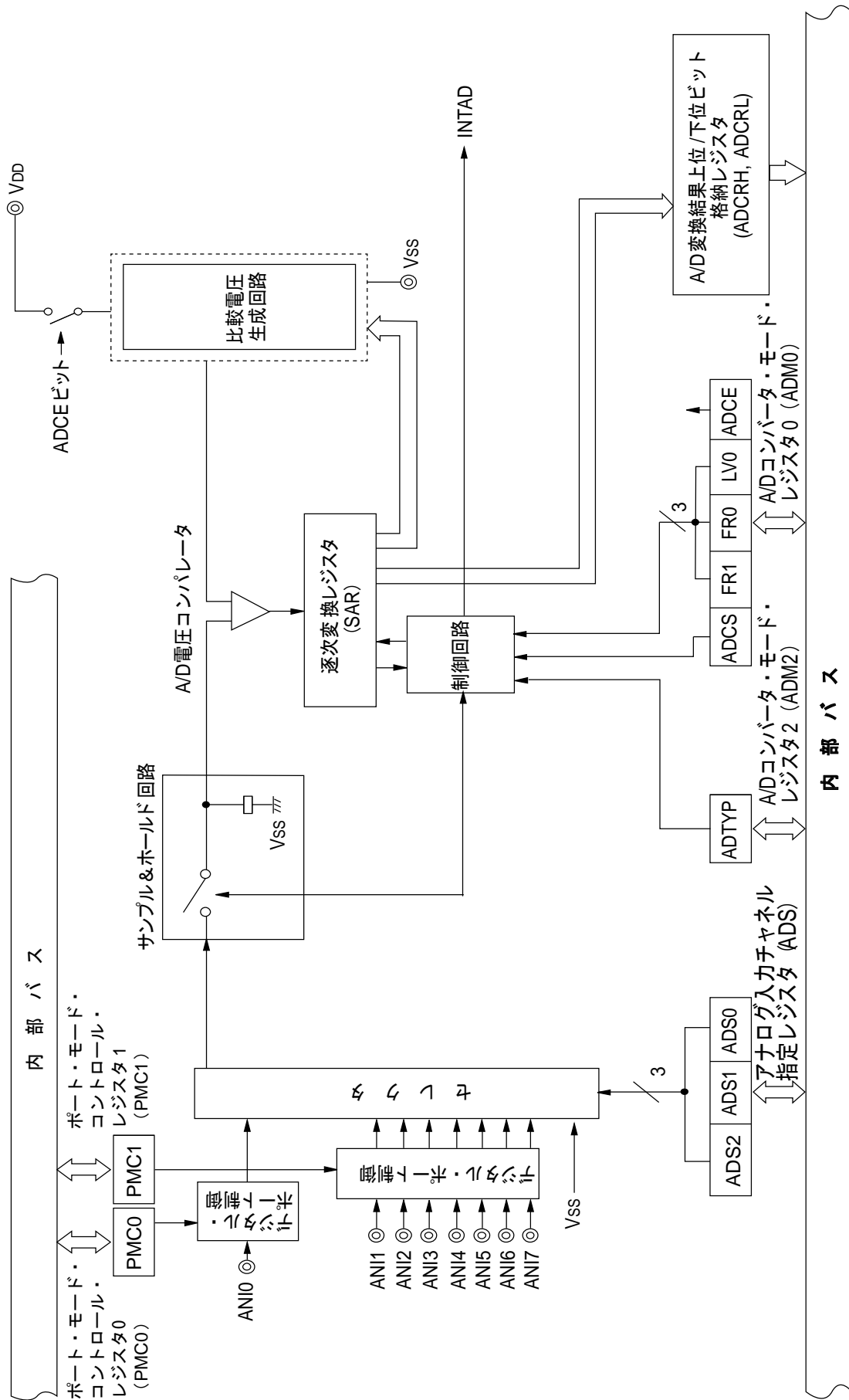
A/Dコンバータには、次のような機能があります。

- ・ 10ビット／8ビット分解能 A/D変換

ANI0～ANI7からアナログ入力を1チャンネル選択し、ソフトウェア操作により10ビット／8ビット分解能のA/D変換動作を開始します。A/D変換終了時には、A/D変換終了割り込み要求信号 (INTAD) を発生します。

A/Dコンバータの動作電圧は、2.4 V～5.5 Vです。

図10-1 A/Dコンバータのブロック図



10.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0—ANI7

A/Dコンバータの7チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ($1/2 V_{DD}$) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットします。アナログ入力電圧がリファレンス電圧 ($1/2 V_{DD}$) より小さい場合には、SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、比較電圧生成回路の電圧タップが選択されます。

ビット9 = 0 : ($1/4 V_{DD}$)

ビット9 = 1 : ($3/4 V_{DD}$)

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を操作します。

アナログ入力電圧 \geq 比較電圧生成回路の電圧タップ : ビット8 = 1

アナログ入力電圧 \leq 比較電圧生成回路の電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

8ビット分解能でA/D変換する場合は、SARレジスタのビット2まで続けます。

(4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、A/D変換結果上位ビット格納レジスタ (ADCRH) とA/D変換結果下位ビット格納レジスタ (ADCRL) に保持されます。また、A/D変換が終了すると、A/D変換終了割り込み要求信号 (INTAD) が発生します。

(6) A/D変換結果上位ビット格納レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。10ビット分解能の場合、A/D変換結果の下位2ビットは ADCRLレジスタに格納されます。

(7) A/D変換結果下位ビット格納レジスタ (ADCRL)

10ビット分解能の場合の下位2ビットの変換結果 (ADCR1, ADCR0) を格納する8ビットのレジスタです。本レジスタの下位6ビットは0に固定です。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、A/D変換終了割り込み要求信号 (INTAD) を発生します。

10.3 A/Dコンバータで使用するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・A/D変換結果上位ビット格納レジスタ (ADCRH)
- ・A/D変換結果下位ビット格納レジスタ (ADCRL)
- ・アナログ入力チャンネル指定レジスタ (ADS)
- ・ポート・モード・レジスタ0, 1 (PM0, PM1)
- ・ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1)

10.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

| | | | | | | | | |
|------|--------|--------------------|-------|---|---|--------|---|--------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PER0 | TMKAEN | RTOEN ^注 | ADCEN | 0 | 0 | SAU0EN | 0 | TAU0EN |

| | |
|-------|--|
| ADCEN | A/Dコンバータの入カクロックの制御 |
| 0 | 入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態 |
| 1 | 入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード／ライト可 |

注 RL78/G1M製品のみ

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態、下記のレジスタを設定してください。ADCEN = 0の場合は、A/Dコンバータの制御レジスタは初期値となり、書き込みは無視されます（ポート・モード・レジスタ0 (PM0)、ポート・モード・コントロール・レジスタ0 (PMC0) は除く）。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・ A/D変換結果上位ビット格納レジスタ (ADCRH)
- ・ A/D変換結果下位ビット格納レジスタ (ADCRL)
- ・ アナログ入力チャネル指定レジスタ (ADS)

2. 次のビットには必ず“0”を設定してください。

RL78/G1M製品 : ビット1, 3, 4

RL78/G1N製品 : ビット1, 3, 4, 6

10.3.2 A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADM0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-3 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット

アドレス：FFF30H リセット時：00H R/W

| | | | | | | | | |
|------|------|---|---|-------------------|-------------------|---|-------------------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADM0 | ADCS | 0 | 0 | FR1 ^{注1} | FR0 ^{注1} | 0 | LV0 ^{注1} | ADCE |

| | |
|---------------------------------|------------------------|
| ADCS | A/D変換動作の制御 |
| 0 | 変換動作停止 (変換停止状態/変換待機状態) |
| 1 | 変換動作許可 (変換動作状態) |
| <クリア条件> | |
| ・ADCS = 0 ライトした場合 | |
| ・A/D変換終了時に自動的に“0”にクリア | |
| <セット条件> | |
| ・ADCE = 1 のときに、ADCS = 1 ライトした場合 | |

| | |
|------|--------------------------------|
| ADCE | A/D電圧コンパレータの動作制御 ^{注2} |
| 0 | A/D電圧コンパレータの動作停止 |
| 1 | A/D電圧コンパレータの動作許可 |

注1. FR1, FR0, LV0ビットおよびA/D変換に関する詳細は、表10-2 10ビット分解能A/D変換時間の選択または表10-3 8ビット分解能A/D変換時間の選択を参照してください。

2. A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、0.1 μsかかります。このため、ADCEビットをセット (1) してから0.1 μs以上経過したあとに、ADCSビットをセット (1) することで、最初の変換データより有効となります。0.1 μs以上ウエイトしないでADCSビットをセット (1) してA/D変換した場合は、変換データを無視してください。

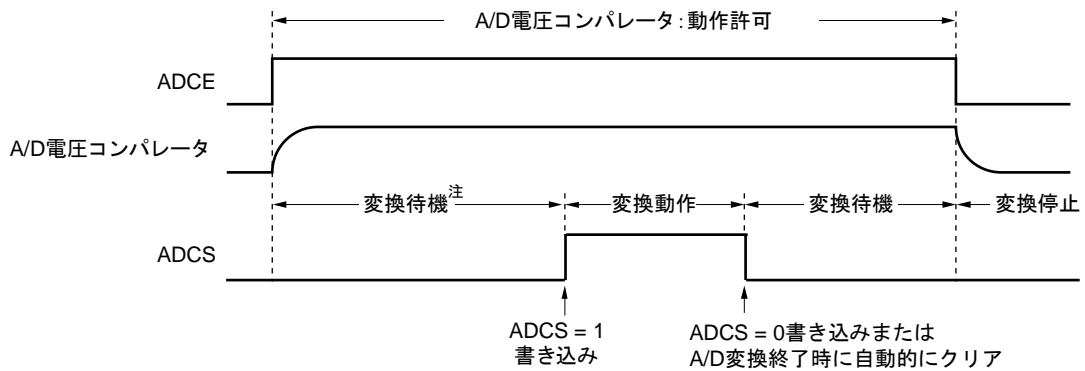
注意1. FR1, FR0, LV0ビットを書き換える場合は、変換待機状態 (ADCS = 0, ADCE = 1) もしくは変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。また、FR1, FR0, LV0ビットとADCSビットの書き換えを8ビット操作命令で同時に行うことは禁止します。

2. ADCS = 1, ADCE = 0の設定は禁止です。変換停止状態 (ADCS = 0, ADCE = 0) のときに、ADCSビットに“1”を書き込んでもセット (1) されません。
3. ADCS = 0, ADCE = 0の設定状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止します。必ず10.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。
4. ビット2, 5, 6 には必ず“0”を設定してください。
5. 変換動作状態 (ADCS = 1) で、ADCSを再びセット (1) することは禁止です。変換動作状態 (ADCS = 1) で、同じチャンネルの再変換が必要な場合は、いったん変換動作を停止 (ADCS = 0) してから、再度A/D変換動作を開始 (ADCS = 1) してください。

表10-1 ADCSビットとADCEビットの設定

| ADCS | ADCE | A/D変換動作 |
|------|------|---------|
| 0 | 0 | 変換停止状態 |
| 0 | 1 | 変換待機状態 |
| 1 | 0 | 設定禁止 |
| 1 | 1 | 変換動作状態 |

図10-4 A/D電圧コンパレータ使用時のタイミング・チャート



注 A/D電圧コンパレータの動作を許可（ADCE = 1）してからA/D変換の動作を開始（ADCS = 1）するまで、内部回路安定のため、0.1 μ s以上のウエイトが必要です。0.1 μ s以上ウエイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

表10-2 10ビット分解能A/D変換時間の選択

| A/Dコンバータ・モード・レジスタ0 (ADM0) | | | 変換クロック | 変換クロック数 | 変換時間 | 変換時間の選択例 (μs) | | | | |
|---------------------------|-----|------------------|---------------------|--|----------------------|-----------------------------|----------------------------|--------------------------|---------------------------|--|
| FR1 | FR0 | LV0 ² | | | | f _{CLK} = 1.25 MHz | f _{CLK} = 2.5 MHz | f _{CLK} = 5 MHz | f _{CLK} = 10 MHz | f _{CLK} = 20 MHz ^注 |
| 0 | 0 | 0 | f _{CLK} /8 | 23 f _{AD} (サンプリング・クロック数: 9 f _{AD}) | 184/f _{CLK} | 設定禁止 | 設定禁止 | 設定禁止 | 18.4 | 9.2 |
| 0 | 1 | | f _{CLK} /4 | | 92/f _{CLK} | | | 18.4 | 9.2 | 4.6 |
| 1 | 0 | | f _{CLK} /2 | | 46/f _{CLK} | | 18.4 | 9.2 | 4.6 | 設定禁止 |
| 1 | 1 | | f _{CLK} | | 23/f _{CLK} | 18.4 | 9.2 | 4.6 | 設定禁止 | |
| 0 | 0 | 1 ^注 | f _{CLK} /8 | 17 f _{AD} (サンプリング・クロック数: 3 f _{AD}) | 136/f _{CLK} | 設定禁止 | 設定禁止 | 設定禁止 | 13.6 | 6.8 |
| 0 | 1 | | f _{CLK} /4 | | 68/f _{CLK} | | | 13.6 | 6.8 | 3.4 |
| 1 | 0 | | f _{CLK} /2 | | 34/f _{CLK} | | 13.6 | 6.8 | 3.4 | 設定禁止 |
| 1 | 1 | | f _{CLK} | | 17/f _{CLK} | 13.6 | 6.8 | 3.4 | 設定禁止 | |

注 2.4 V ≤ V_{DD} < 2.7 Vでは設定禁止です。2.7 V ≤ V_{DD} ≤ 5.5 Vの場合に選択できます。

表10-3 8ビット分解能A/D変換時間の選択

| A/Dコンバータ・モード・レジスタ0 (ADM0) | | | 変換クロック | 変換クロック数 | 変換時間 | 変換時間の選択例 (μs) | | | | |
|---------------------------|-----|----------------|---------------------|--|----------------------|-----------------------------|----------------------------|--------------------------|---------------------------|--|
| FR1 | FR0 | LV0 | | | | f _{CLK} = 1.25 MHz | f _{CLK} = 2.5 MHz | f _{CLK} = 5 MHz | f _{CLK} = 10 MHz | f _{CLK} = 20 MHz ^注 |
| 0 | 0 | 0 | f _{CLK} /8 | 21 f _{AD} (サンプリング・クロック数: 9 f _{AD}) | 168/f _{CLK} | 設定禁止 | 設定禁止 | 設定禁止 | 16.8 | 8.4 |
| 0 | 1 | | f _{CLK} /4 | | 84/f _{CLK} | | | 16.8 | 8.4 | 4.2 |
| 1 | 0 | | f _{CLK} /2 | | 42/f _{CLK} | | 16.8 | 8.4 | 4.2 | 設定禁止 |
| 1 | 1 | | f _{CLK} | | 21/f _{CLK} | 16.8 | 8.4 | 4.2 | 設定禁止 | |
| 0 | 0 | 1 ^注 | f _{CLK} /8 | 15 f _{AD} (サンプリング・クロック数: 3 f _{AD}) | 120/f _{CLK} | 設定禁止 | 設定禁止 | 設定禁止 | 12.0 | 6.0 |
| 0 | 1 | | f _{CLK} /4 | | 60/f _{CLK} | | | 12.0 | 6.0 | 3.0 |
| 1 | 0 | | f _{CLK} /2 | | 30/f _{CLK} | | 12.0 | 6.0 | 3.0 | 設定禁止 |
| 1 | 1 | | f _{CLK} | | 15/f _{CLK} | 12.0 | 6.0 | 3.0 | 設定禁止 | |

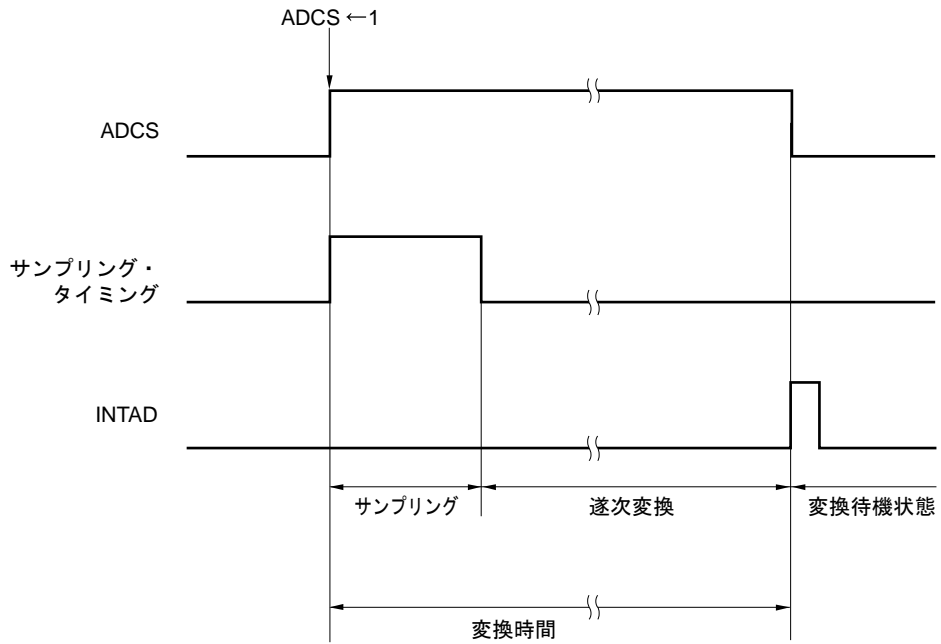
注 2.4 V ≤ V_{DD} < 2.7 Vでは設定禁止です。2.7 V ≤ V_{DD} ≤ 5.5 Vの場合に選択できます。

注意1. A/D変換時間は、23.6.1 A/Dコンバータ特性に示す変換時間 (t_{CONV}) の範囲内で使用してください。

- FR1, FR0, LV0ビットを同一データ以外に書き換える場合は、変換待機状態 (ADCS = 0, ADCE = 1) もしくは変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。また、FR1, FR0, LV0ビットとADCSビットの書き換えを8ビット操作命令で同時に行うことは禁止します。
- 変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 f_{CLK}: CPU/周辺ハードウェア・クロック周波数

図10-5 A/DコンバータのサンプリングとA/D変換のタイミング



10.3.3 A/Dコンバータ・モード・レジスタ2 (ADM2)

A/Dコンバータの分解能を設定するレジスタです。

ADM2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-6 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット

アドレス : F0010H リセット時 : 00H R/W

| | | | | | | | | |
|------|---|---|---|---|---|---|---|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADM2 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | ADTYP |

| | |
|-------|-------------|
| ADTYP | A/D変換分解能の選択 |
| 0 | 10ビット分解能 |
| 1 | 8ビット分解能 |

注意 ADM2レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

10.3.4 A/D変換結果上位ビット格納レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。A/D変換が終了すると、逐次変換レジスタ (SAR) から変換結果がロードされます。10ビット分解能の場合は、上位8ビットを格納します。下位2ビットは、ADCRLレジスタに格納されます。

ADCRHレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図10-7 A/D変換結果上位ビット格納レジスタ (ADCRH) のフォーマット

アドレス : FFF1FH リセット時 : 00H R

| | | | | | | | | |
|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADCRH | ADCR9 | ADCR8 | ADCR7 | ADCR6 | ADCR5 | ADCR4 | ADCR3 | ADCR2 |

注意 A/Dコンバータ・モード・レジスタ0 (ADM0) , アナログ入力チャネル指定レジスタ (ADS) に対して書き込み動作を行ったとき、ADCRH/ADCRLレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADSレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

10.3.5 A/D変換結果下位ビット格納レジスタ (ADCRL)

10ビット分解能の場合の下位2ビットの変換結果を格納する8ビットのレジスタです。本レジスタの下位6ビットは“0”固定です。

ADCRLレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

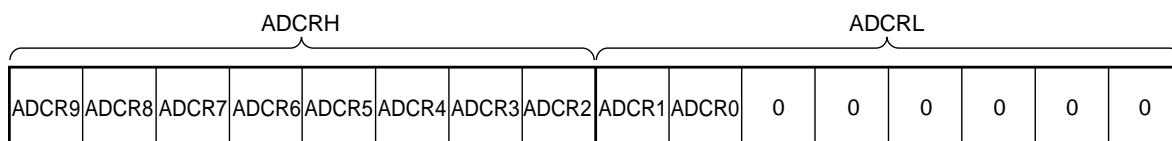
図10-8 A/D変換結果下位ビット格納レジスタ (ADCRL) のフォーマット

アドレス：FFF1EH リセット時：00H R

| | | | | | | | | |
|-------|-------|-------|---|---|---|---|---|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADCRL | ADCR1 | ADCR0 | 0 | 0 | 0 | 0 | 0 | 0 |

図10-9に10ビット分解能の場合のA/D変換結果の格納を示します。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。変換結果の上位8ビットがADCRHレジスタに、下位2ビットがADCRLレジスタの上位2ビットに格納されます。

図10-9 10ビット分解能の場合のA/D変換結果の格納



- 注意1. A/Dコンバータ・モード・レジスタ0 (ADM0), アナログ入力チャンネル指定レジスタ (ADS) に対して書き込み動作を行ったとき、ADCRH/ADCRL レジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADSレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。
2. 8ビット分解能A/D変換を選択時 (A/Dコンバータ・モード・レジスタ2 (ADM2) のADTYP = 1) にADCRLレジスタを読み出すと、上位2ビット (ADCR1, ADCR0) は0が読み出されます。ただし、8ビット分解能A/D変換を選択直後、A/D変換を完了せずにADCRLレジスタを読み出した場合、上位2ビット (ADCR1, ADCR0) は0が読み出されない場合があります。

10.3.6 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-10 アナログ入力チャネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

| | | | | | | | | |
|-----|---|---|---|---|---|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADS | 0 | 0 | 0 | 0 | 0 | ADS2 | ADS1 | ADS0 |

| ADS2 | ADS1 | ADS0 | A/D変換対象 | アナログ入力端子 |
|------|------|------|---------|------------|
| 0 | 0 | 0 | ANI0 | P07/ANI0端子 |
| 0 | 0 | 1 | ANI1 | P10/ANI1端子 |
| 0 | 1 | 0 | ANI2 | P11/ANI2端子 |
| 0 | 1 | 1 | ANI3 | P12/ANI3端子 |
| 1 | 0 | 0 | ANI4 | P13/ANI4端子 |
| 1 | 0 | 1 | ANI5 | P14/ANI5端子 |
| 1 | 1 | 0 | ANI6 | P15/ANI6端子 |
| 1 | 1 | 1 | ANI7 | P16/ANI7端子 |

注意1. ADSレジスタを書き換える場合は、変換待機状態 (ADCS = 0, ADCE = 1) もしくは変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

2. アナログ入力ポートとして使用するポートは、ポート・モード・レジスタ0,1 (PM0, PM1) で入力モードに、ポート・モード・コントロール・レジスタ0,1 (PMC0, PMC1) でアナログ入力に選択してください。ポート・モード・コントロール・レジスタ0,1 (PMC0, PMC1) でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。

3. ビット3-7には必ず“0”を設定してください。

10.3.7 アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ0,1 (PM0, PM1), ポート・モード・コントロール・レジスタ0,1 (PMC0, PMC1)) を設定してください。詳細は、4.3.1 ポート・モード・レジスタ0,1,4 (PM0, PM1, PM4), 4.3.6 ポート・モード・コントロール・レジスタ0,1 (PMC0, PMC1) を参照してください。

また、A/Dコンバータのアナログ入力端子として使用するときの設定例は、4.5.3 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

ANI0-ANI7端子をA/Dコンバータのアナログ入力として使用するときには、各ポートに対応するポート・モード・レジスタ0,1 (PM0, PM1) とポート・モード・コントロール・レジスタ0,1 (PMC0, PMC1) のビットに1を設定してください。

10.4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

- ① 選択したアナログ入力チャネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。
- ② 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。
- ③ 逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを $(1/2) V_{DD}$ にします。
- ④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし、アナログ入力が $(1/2) V_{DD}$ よりも大きければ、SARレジスタのMSBビットをセットしたままです。また、 $(1/2) V_{DD}$ よりも小さければ、MSBビットはリセットします。
- ⑤ 次にSARレジスタのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

・ビット9 = 1 : $(3/4) V_{DD}$

・ビット9 = 0 : $(1/4) V_{DD}$

この電圧タップとサンプリングされた電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。

・サンプリングされた電圧 \geq 電圧タップ : ビット8 = 1

・サンプリングされた電圧 < 電圧タップ : ビット8 = 0

- ⑥ このような比較をSARレジスタのビット0まで続けます。
- ⑦ 10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCRH, ADCRL) に転送され、ラッチします。

同時に、A/D変換終了割り込み要求信号 (INTAD) が発生します。

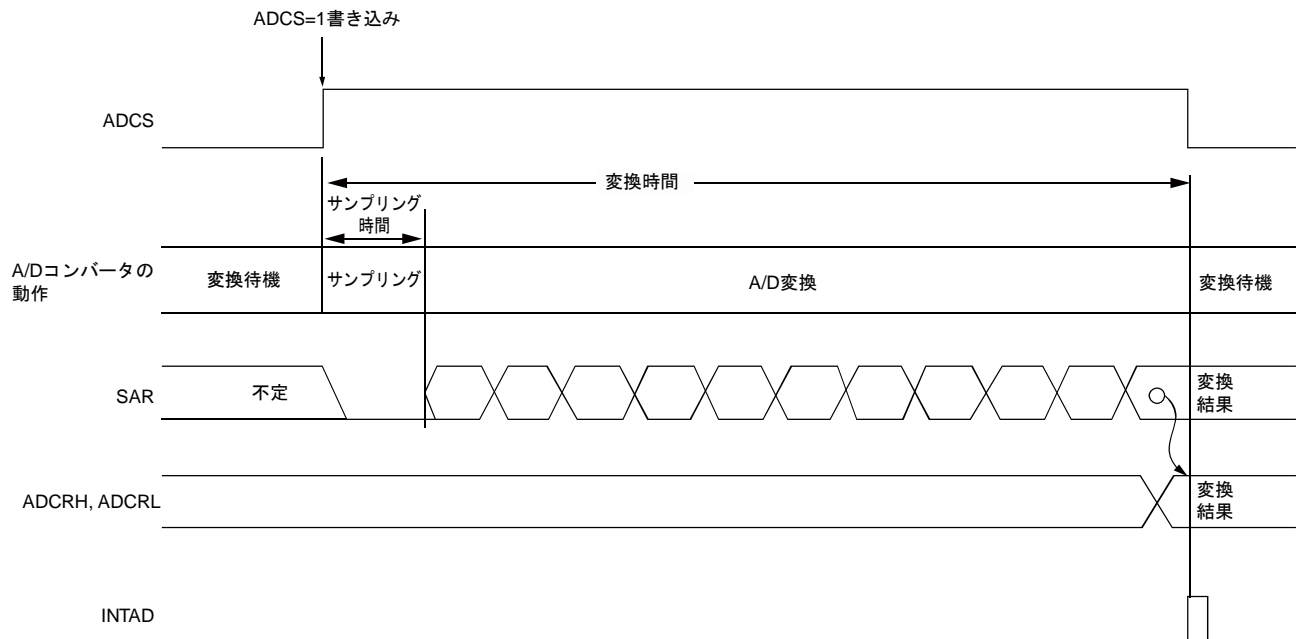
A/D変換終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態になります。

備考 A/D変換結果レジスタは2種類あります。

・ ADCRHレジスタ (8ビット) : 10ビット分解能A/D変換結果の上位8ビット、または 8ビット分解能A/D変換値を格納します。

・ ADCRLレジスタ (2ビット) : 10ビット分解能A/D変換結果の下位2ビットを格納します。

図10-11 A/Dコンバータの変換動作



A/D変換動作は、ソフトウェア操作によりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS) をセット (1) して、1回変換動作が行われます。A/D変換終了後にADCSビットが自動的にクリア (0) されます。

A/D変換結果レジスタ (ADCRH, ADCRL) は、リセット信号の発生により00Hとなります。

10.5 入力電圧と変換結果

アナログ入力 (ANI0-ANI7) に入力されたアナログ入力電圧と理論上のA/D変換結果 (A/D変換結果レジスタ (ADCR = ADCRH + ADCRL)) には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{DD}}} \times 1024 + 0.5 \right)$$

$$\text{ADCR} = \text{SAR} \times 64$$

または,

$$\left(\frac{\text{ADCR}}{64} - 0.5 \right) \times \frac{V_{\text{DD}}}{1024} \leq V_{\text{AIN}} < \left(\frac{\text{ADCR}}{64} + 0.5 \right) \times \frac{V_{\text{DD}}}{1024}$$

INT () : () 内の値の整数部を返す関数

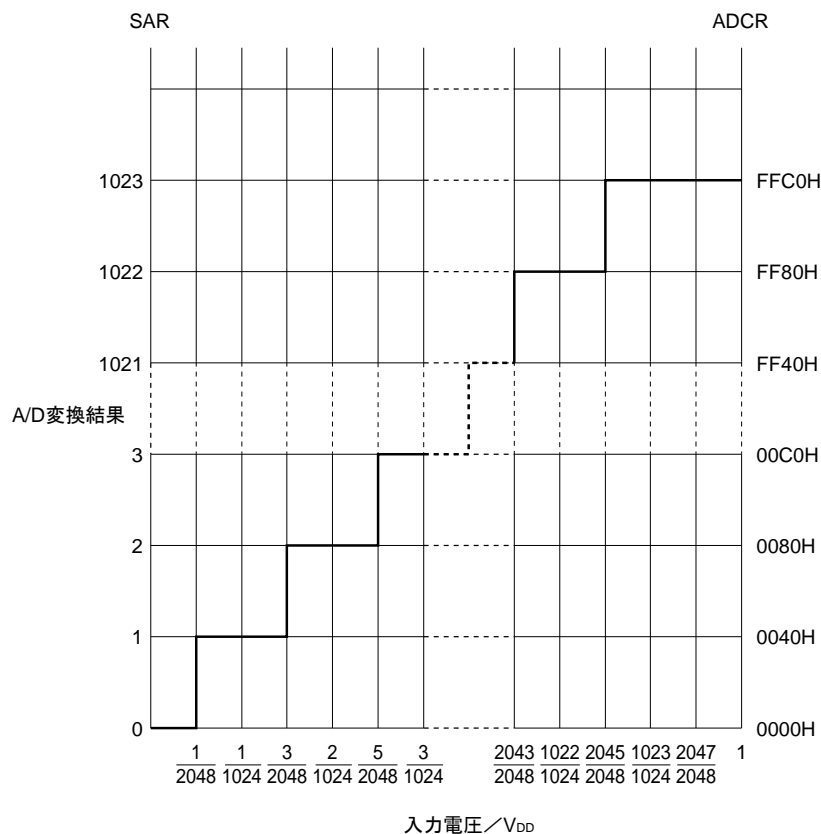
V_{AIN} : アナログ入力電圧

ADCR : A/D変換結果レジスタ (ADCRH + ADCRL) の値

SAR : 逐次変換レジスタ

図10-12にアナログ入力電圧とA/D変換結果の関係を示します。

図10-12 アナログ入力電圧とA/D変換結果の関係



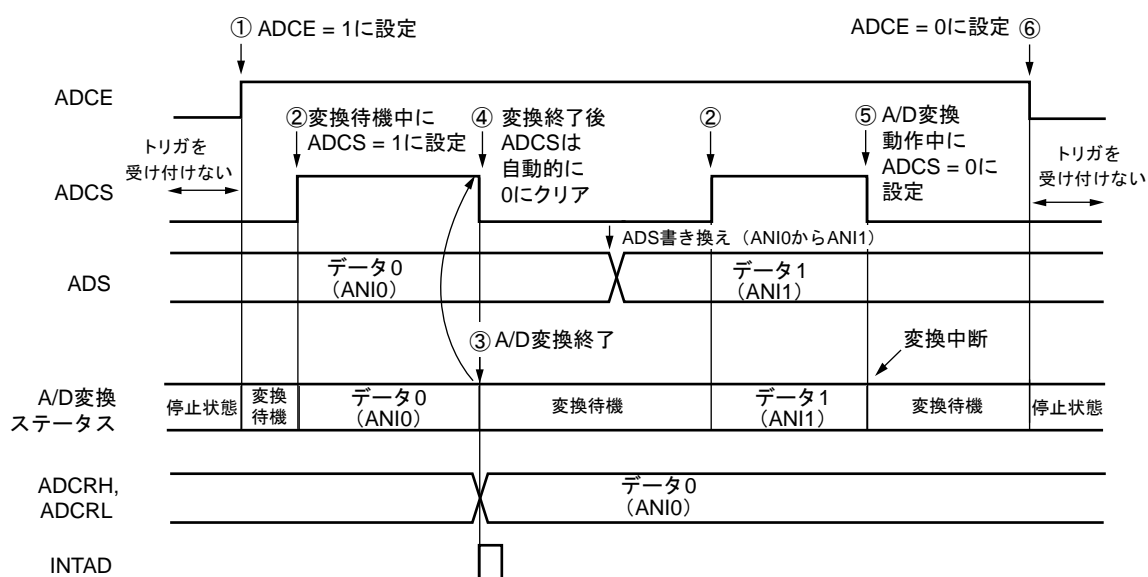
10.6 A/Dコンバータの動作モード

A/Dコンバータの動作を次に示します。また、設定手順を10.7 A/Dコンバータの設定フロー・チャートに示します。

- ① 変換停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定して、変換待機状態になります。
- ② ソフトウェアで安定待ち時間 (0.1 μ s) をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換が開始されます。
- ③ A/D変換が終了すると、変換結果がA/D変換結果レジスタ (ADCRH, ADCRL) に格納され、A/D変換終了割り込み要求信号 (INTAD) が発生します。
- ④ A/D変換終了後、ADCSビットは自動的に0にクリアされ、変換待機状態となります。
- ⑤ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、変換待機状態となります。
- ⑥ 変換待機中にADCE = 0に設定すると、A/Dコンバータは変換停止状態になります。

ADCS = 1, ADCE = 0の設定は禁止です。変換停止状態 (ADCS = 0, ADCE = 0) のときに、ADCS = 1に設定しても無視され、A/D変換は開始しません。

図10-13 動作タイミング例

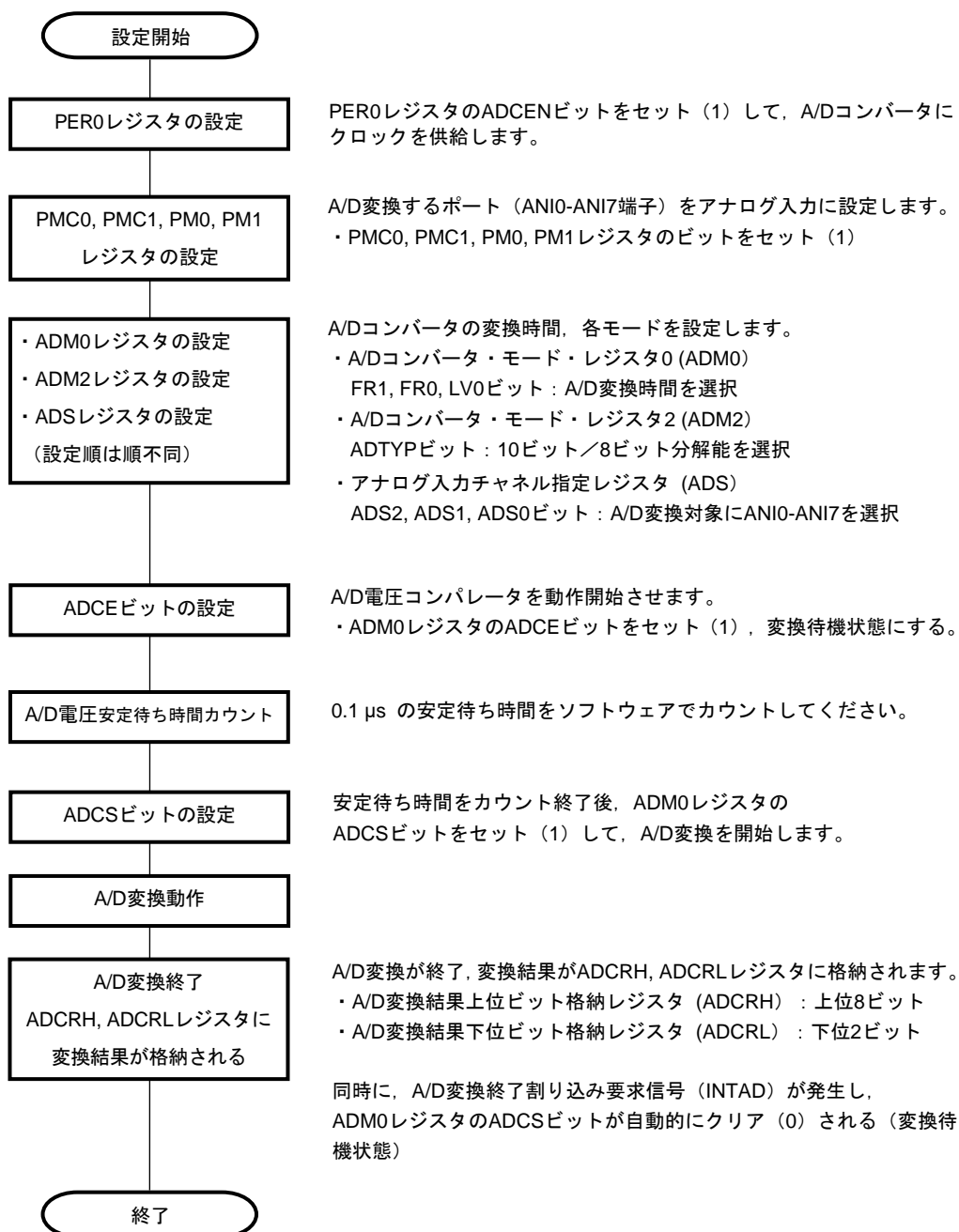


10.7 A/Dコンバータの設定フロー・チャート

A/Dコンバータの設定フロー・チャートを次に示します。

10.7.1 A/D変換対象：ANI0-ANI7の設定

図10-14 A/D変換対象：ANI0-ANI7の設定



10.8 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

10.8.1 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098\% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

10.8.2 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

10.8.3 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図10-15 総合誤差

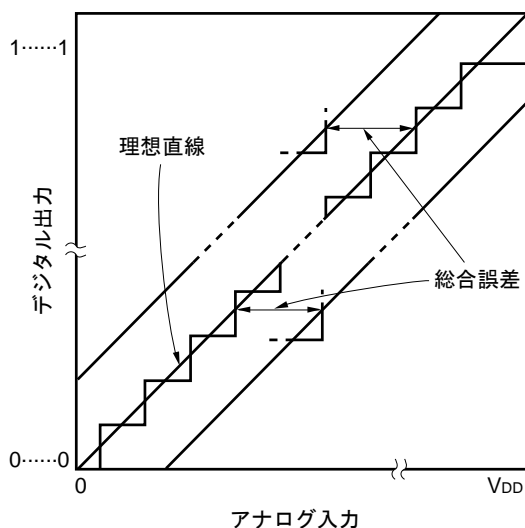
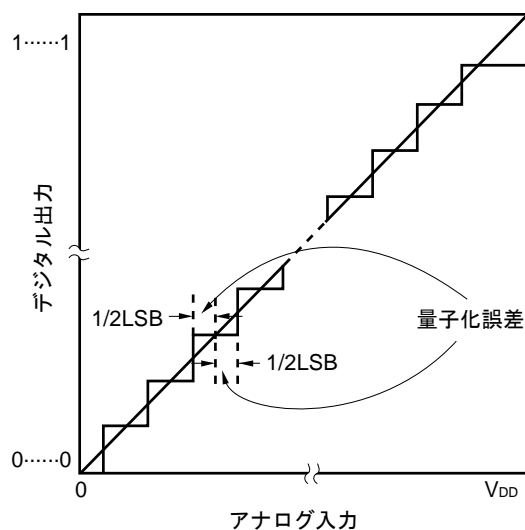


図10-16 量子化誤差



10.8.4 ゼロスケール誤差

デジタル出力が0……000から0……001に変化するときの、アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0……001から0……010に変化するときの、アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

10.8.5 フルスケール誤差

デジタル出力が1……110から1……111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール-3/2 LSB）との差を表します。

10.8.6 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

10.8.7 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図10-17 ゼロスケール誤差

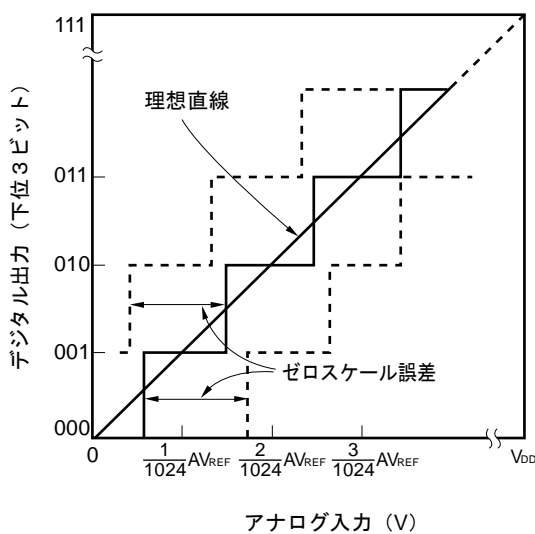


図10-18 フルスケール誤差

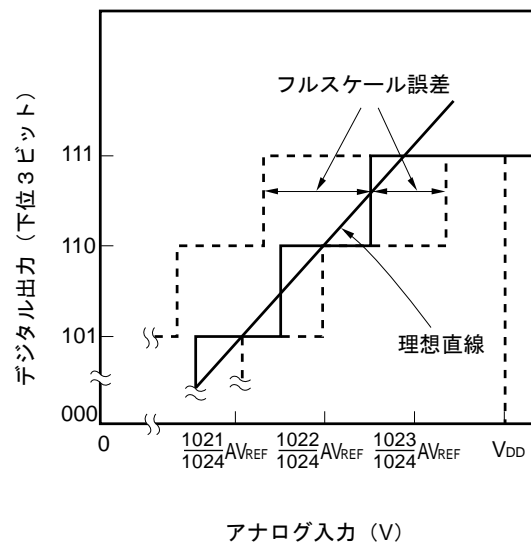


図10-19 積分直線性誤差

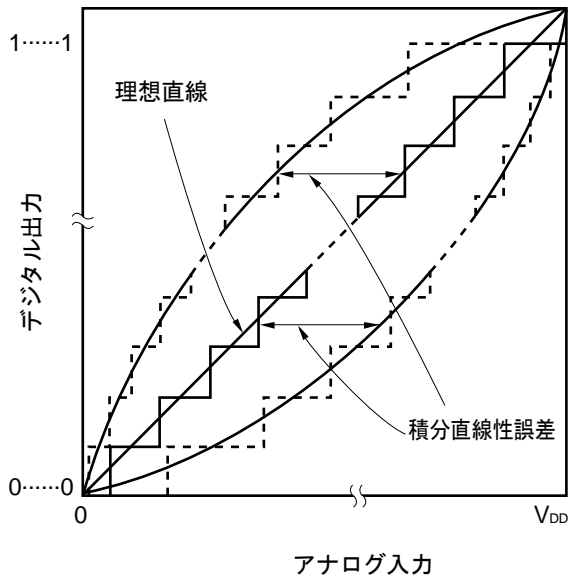
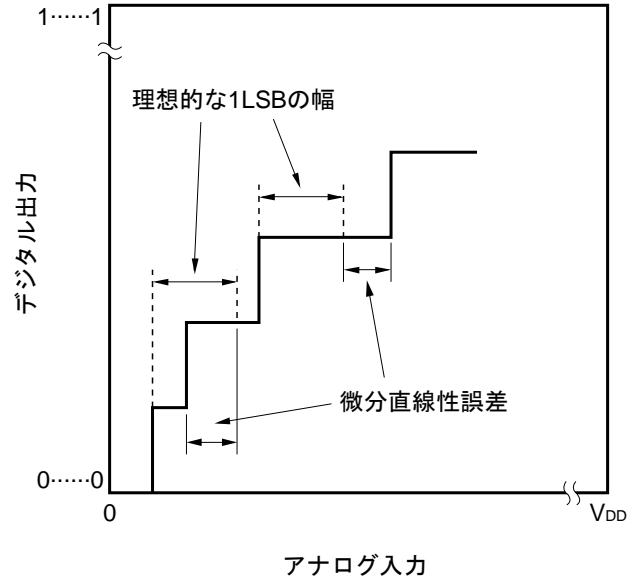


図10-20 微分直線性誤差



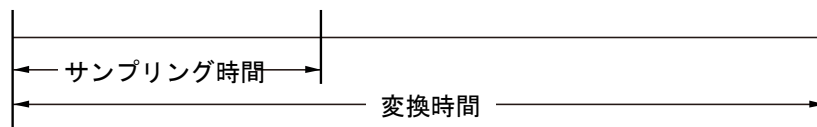
10. 8. 8 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

10. 8. 9 サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



10.9 A/Dコンバータの注意事項

10.9.1 STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）を0）させてから移行してください。このときADM0レジスタのビット0（ADCE）も0にすることにより、動作電流を低減できます。

10.9.2 ANI0-ANI7端子の入力電圧について

ANI0-ANI7端子の入力電圧は、規格の範囲内でご使用ください。特にV_{DD}を超えたり、V_{SS}未満（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

10.9.3 競合動作について

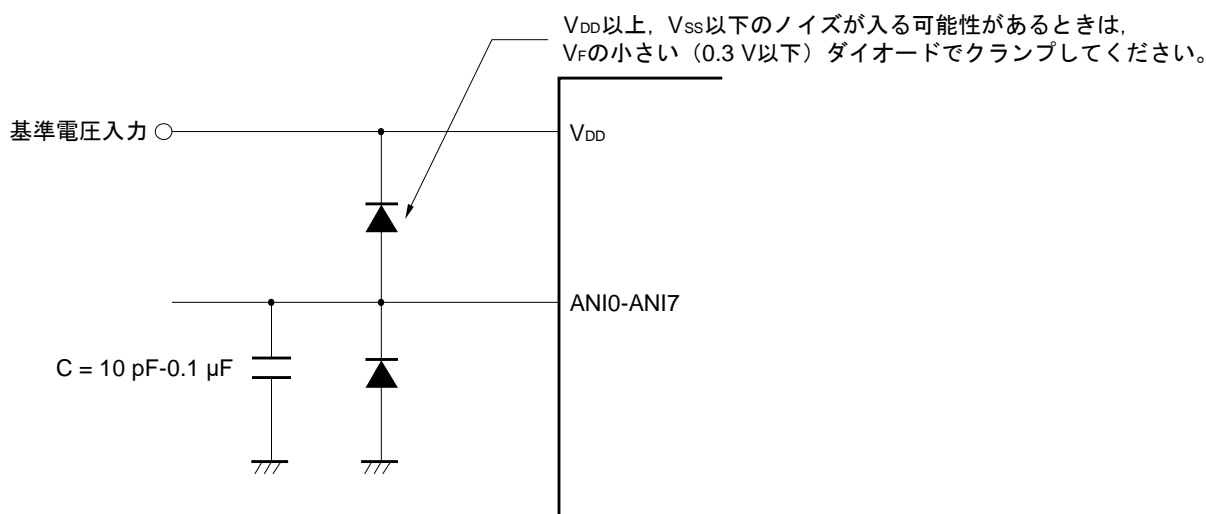
- ① 変換終了時のA/D変換結果レジスタ（ADCRH, ADCRL）へのライトと、ソフトウェア操作によるADCRH, ADCRLレジスタのリードが競合した場合は、ADCRH, ADCRLレジスタのリードが優先されます。
リードしたあと、新しい変換結果がADCRH, ADCRLレジスタにライトされます。
- ② 変換終了時のADCRH, ADCRLレジスタへのライトと、A/Dコンバータ・モード・レジスタ0（ADM0）へのライトが競合した場合は、ADM0レジスタへのライトが優先されます。ADCRH, ADCRLレジスタへのライトはされません。また、A/D変換終了割り込み要求信号（INTAD）も発生しません。

10.9.4 ノイズ対策について

10ビット分解能を保つためには、V_{DD}, ANI0-ANI7端子へのノイズに注意する必要があります。

- ① 電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。
- ② アナログ入力源の出カインピーダンスが高いほど影響が大きくなるので、ノイズを低減するために図10-21のように、Cを外付けすることを推奨します。
- ③ 変換中においては、他の端子をスイッチングしないようにしてください。
- ④ 変換開始直後にHALTモードに設定すると、精度が向上します。
- ⑤ A/D変換中は、P00-P05のP-chオープン・ドレインは、オフ状態（ハイ・インピーダンス状態）にしてください（RL78/G1N）。

図10-21 アナログ入力端子の処理



10.9.5 アナログ入力（ANIn）端子

- ① アナログ入力（ANI0-ANI7）端子は、入力ポート（P07, P10-P16）端子と兼用になっています。ANI0-ANI7端子のいずれかを選択してA/D変換をする場合、変換中にP07, P10-P16の兼用ポートへの出力値を変更しないでください。変換精度が低下することがあります。
- ② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによってA/D変換値が期待値と異なることがあります。このようなパルスが入出力されないようにしてください。

10.9.6 アナログ入力（ANIn）端子の入力インピーダンスについて

このA/Dコンバータでは、サンプリング時間内に内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけ流れ、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを1 kΩ以下にし、出力インピーダンスが高いときは、ANI0-ANI7端子とグランドの間に0.1 μF程度のコンデンサを付けることを推奨します（図10-21参照）。

10.9.7 割り込み要求フラグ（ADIF）について

アナログ入力チャネル指定レジスタ（ADS）を変更しても、割り込み要求フラグ（ADIF）はクリア（0）されません。A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリア（0）してください。

10.9.8 A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、0.1 μ s以内にADCSビット = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求信号 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

10.9.9 A/D変換結果レジスタ (ADCRH, ADCRL) の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS)、ポート・モード・コントロール・レジスタ (PMC0) に書き込みを行うと、ADCRH, ADCRLレジスタの内容が不定となって、正しい変換結果が読み出されることがあります。変換動作終了後、ADM0, ADS, PMC0レジスタに書き込みをする前に、変換結果を読み出してください。

10.9.10 内部等価回路について

アナログ入力部の等価回路を次に示します。

図10-22 ANIn端子内部等価回路

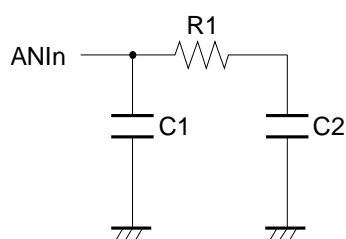


表10-4 等価回路の各抵抗と容量値

| V_{DD} | 端子 | R1 (k Ω) | C1 (pF) | C2 (pF) |
|--|-------------|------------------|---------|---------|
| $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | ANI0 - ANI7 | 40 | 8 | 1.7 |
| $2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$ | ANI0 - ANI7 | 200 | | |

備考 各抵抗と容量値は保証値ではありません。

10.9.11 A/Dコンバータの動作開始について

A/Dコンバータの動作電圧は、2.4 V~5.5 Vです。A/Dコンバータの動作は、 V_{DD} の電圧が安定してから開始してください。

第11章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニット0は、2つのシリアル・チャンネルを持ちます。チャンネルによって、3線シリアル(CSI)、UARTの通信機能を実現できます。

RL78/G1M, G1Nで対応している各チャンネルの機能割り当ては、次のようになっています。

| ユニット | チャンネル | CSIとして使用 | UARTとして使用 |
|------|-------|----------|-----------|
| 0 | 0 | CSI00 | UART0 |
| | 1 | — | |

1つのチャンネルを複数の通信方式で同時に使用することはできません。異なる通信方式を設定するには、別のチャンネルを使用してください。

11.1 シリアル・アレイ・ユニットの機能

RL78/G1M, G1Nで対応している各シリアル・インタフェースの特徴を示します。

11.1.1 3線シリアルI/O (CSI00)

マスタから出力されるシリアル・クロック (SCK) に同期してデータの送信/受信を行います。

シリアル・クロック (SCK) 1本と送信, 受信のシリアル・データ (SO, SI) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は、11.5 3線シリアルI/O (CSI00) 通信の動作を参照してください。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート^{*} マスタ通信時 : Max. f_{CLK}/4
スレーブ通信時 : Max. f_{MCK}/6

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

注 SCKサイクル・タイム (t_{KCY}) の特性を満たす範囲内で使用してください。詳細は、**第23章 電氣的特性**を参照してください。

11.1.2 UART (UART0)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ボー・レートを使用して) データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重UART通信が実現できます。

具体的な設定例は、**11.6 UART (UART0) 通信の動作**を参照してください。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

ISCレジスタを設定することで、UART0のRxD0端子の入力信号を外部割り込み入力やタイマ・アレイ・ユニットのタイマ入力とすることができます。また、タイマ・アレイ・ユニットの入力パルス間隔測定モードを利用して通信相手のボー・レート幅を測定することができ、UART0のボー・レート補正が可能になります。

11.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表11-1 シリアル・アレイ・ユニットの構成

| 項 目 | 構 成 |
|--------------|---|
| シフト・レジスタ | 8ビット |
| バッファ・レジスタ | シリアル・データ・レジスタ0nL (SDR0nL [※]) |
| シリアル・クロック入出力 | SCK00端子 (3線シリアルI/O用) |
| シリアル・データ入力 | SI00端子 (3線シリアルI/O用), RxD0端子 (UART用) |
| シリアル・データ出力 | SO00端子 (3線シリアルI/O用), TxD0端子 (UART用) |
| 制御レジスタ | <ユニット設定部のレジスタ> ・周辺イネーブル・レジスタ0 (PER0) ・シリアル・クロック選択レジスタ0 (SPS0) ・シリアル・チャンネル許可レジスタ0 (SE0) ・シリアル・チャンネル開始レジスタ0 (SS0) ・シリアル・チャンネル停止レジスタ0 (ST0) ・シリアル出力許可レジスタ0 (SOE0) ・シリアル出力レジスタ0 (SO0) ・シリアル・クロック出力レジスタ (CKO0) ・シリアル出力レベル・レジスタ0 (SOL0) ・ノイズ・フィルタ許可レジスタ0 (NFEN0) ・入力切り替え制御レジスタ (ISC) |
| | <各チャンネル部のレジスタ> ・シリアル・データ・レジスタ0n (SDR0nH, SDR0nL [※]) ・シリアル・モード・レジスタ0n (SMR0nH, SMR0nL) ・シリアル通信動作設定レジスタ0n (SCR0nH, SCR0nL) ・シリアル・ステータス・レジスタ0n (SSR0n) ・シリアル・フラグ・クリア・トリガ・レジスタ0n (SIR0n) |
| | <ポート機能部のレジスタ> ・ポート出力モード・レジスタ0 (POM0) ・ポート・モード・コントロール・レジスタ0 (PMC0) ・ポート・モード・レジスタ0 (PM0) ・ポート・レジスタ0 (P0) |

注 シリアル・データ・レジスタ0nL (SDR0nL) は、通信方式により、次のSFR名称でリード/ライト可能です。

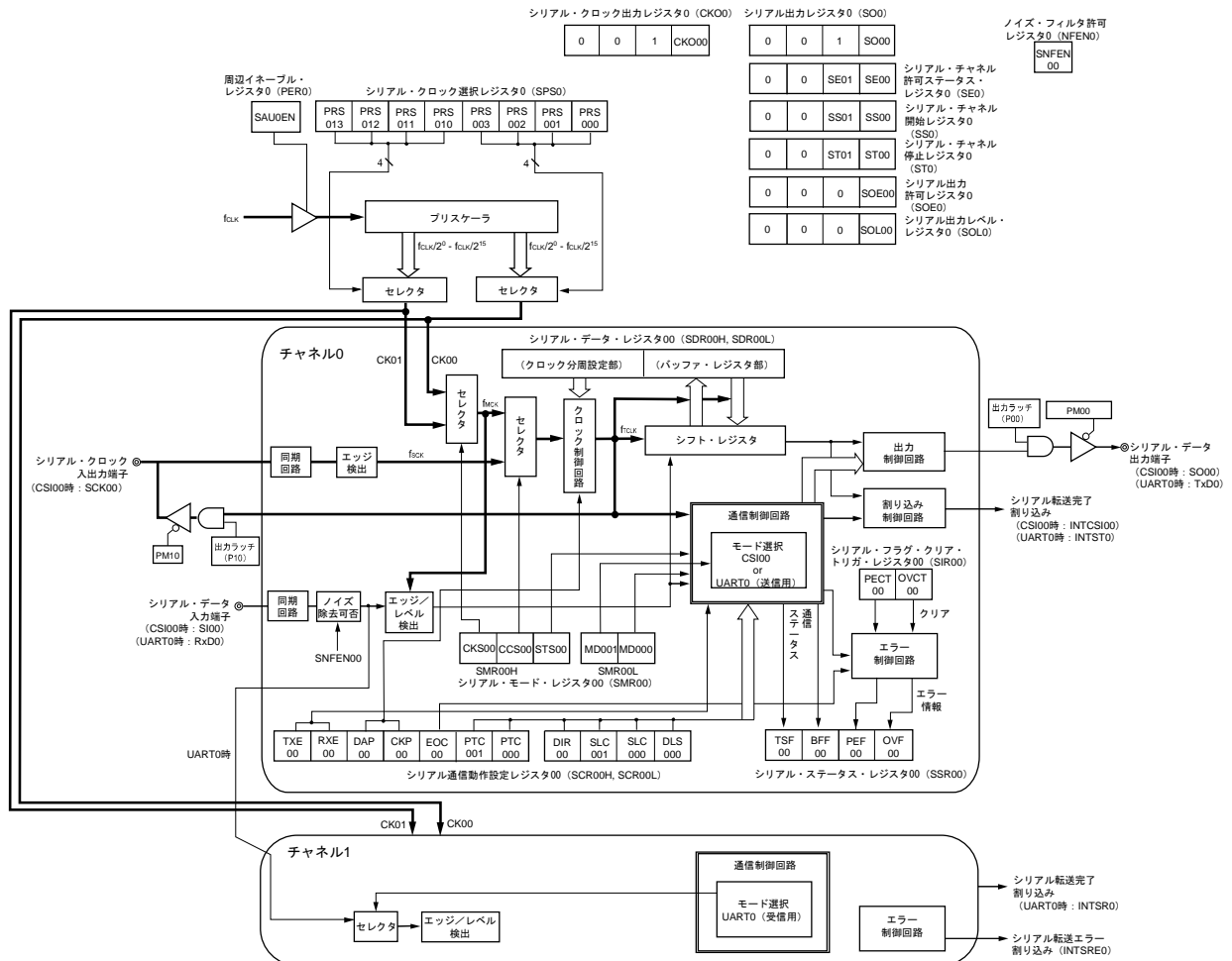
- ・ CSIp通信時・・・SIOp (CSIpデータ・レジスタ)
- ・ UART0受信時・・・RXD0 (UART0受信データ・レジスタ)
- ・ UART0送信時・・・TXD0 (UART0送信データ・レジスタ)

備考 n : チャンネル番号 (n = 0, 1)

p : CSI番号 (p = 00)

図11-1にシリアル・アレイ・ユニット0のブロック図を示します。

図11-1 シリアル・アレイ・ユニット 0 のブロック図



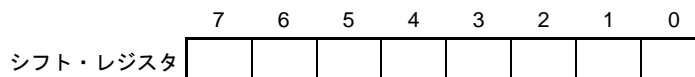
(1) シフト・レジスタ

パラレル⇄シリアルの変換を行う8ビットのレジスタです。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタ0nL(SDR0nL)を使用します。



(2) シリアル・データ・レジスタ0nL (SDR0nL)

SDR0nLレジスタは、チャンネルnの送受信バッファ・レジスタとして使用します。

受信時は、シフト・レジスタで変換したパラレル・データをSDR0nLレジスタに格納します。

送信時は、シフト・レジスタに転送する送信データをSDR0nLレジスタに設定します。

SDR0nLレジスタに格納するデータは、データ出力順序に関わらず、シリアル通信動作設定レジスタ0n(SCR0nL)のビット0(DLS0n0)の設定によって、次のようになります。

- ・7ビット・データ長 (SDR0nLレジスタのビット0-6に格納)
- ・8ビット・データ長 (SDR0nLレジスタのビット0-7に格納)

SDR0nLレジスタは動作許可 (SE0n = 1) 時に、8ビット・メモリ操作命令で設定します。動作停止 (SE0n = 0) 時は、SDR0nLレジスタへの書き込みは禁止です。

リセット信号の発生により、SDR0nLレジスタは00HIになります。

またSDR0nLレジスタは、通信方式により、次のSFR名称で8ビット・メモリ操作命令が可能です。

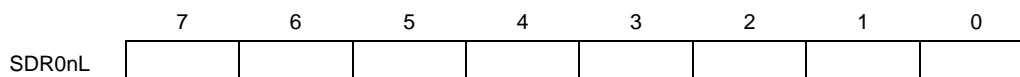
- ・CSIp通信時・・・SIOp (CSIpデータ・レジスタ)
- ・UART0受信時・・・RXD0 (UART0受信データ・レジスタ)
- ・UART0送信時・・・TXD0 (UART0送信データ・レジスタ)

備考 n : チャンネル番号 (n = 0, 1)

p : CSI番号 (p = 00)

図11-2 シリアル・データ・レジスタ0nL (SDR0nL) (n = 0, 1) のフォーマット

アドレス : FFF10H (SDR00L) , FFF12H (SDR01L) リセット時 : 00H R/W



備考 SDR0nHレジスタの機能については、11.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

11.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・シリアル・クロック選択レジスタ0 (SPS0)
- ・シリアル・モード・レジスタ0n (SMR0nH, SMR0nL)
- ・シリアル通信動作設定レジスタ0n (SCR0nH, SCR0nL)
- ・シリアル・データ・レジスタ0n (SDR0nH, SDR0nL)
- ・シリアル・フラグ・クリア・トリガ・レジスタ0n (SIR0n)
- ・シリアル・ステータス・レジスタ0n (SSR0n)
- ・シリアル・チャンネル開始レジスタ0 (SS0)
- ・シリアル・チャンネル停止レジスタ0 (ST0)
- ・シリアル・チャンネル許可ステータス・レジスタ0 (SE0)
- ・シリアル出力許可レジスタ0 (SOE0)
- ・シリアル出力レベル・レジスタ0 (SOL0)
- ・シリアル出力レジスタ0 (SO0)
- ・シリアル・クロック出力レジスタ (CKO0)
- ・ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート出力モード・レジスタ0 (POM0)
- ・ポート・モード・コントロール・レジスタ0 (PMC0)
- ・ポート・モード・レジスタ0 (PM0)
- ・ポート・レジスタ0 (P0)

備考 n : チャンネル番号 (n = 0, 1)

11.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN) に1を設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図11-3 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

| | | | | | | | | |
|------|--------|--------------------|-------|---|---|--------|---|--------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PER0 | TMKAEN | RTOEN ^注 | ADCEN | 0 | 0 | SAU0EN | 0 | TAU0EN |

| SAU0EN | シリアル・アレイ・ユニット0の入カクロック供給の制御 |
|--------|--|
| 0 | 入力クロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態 |
| 1 | 入力クロック供給許可 ・シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可 |

注 RL78/G1M製品のみ

注意1. シリアル・アレイ・ユニット0の設定をする際には、必ず最初にSAU0EN = 1の状態、下記のレジスタを設定してください。SAU0EN = 0の場合は、シリアル・アレイ・ユニット0の制御レジスタは初期値となり、書き込みは無視されます (ノイズ・フィルタ許可レジスタ0 (NFEN0), 入力切り替え制御レジスタ (ISC), ポート出力モード・レジスタ0 (POM0), ポート・モード・レジスタ0 (PM0), ポート・モード・コントロール・レジスタ0 (PMC0), ポート・レジスタ0 (P0) は除く)。

- ・シリアル・クロック選択レジスタ0 (SPS0)
- ・シリアル・モード・レジスタ0n (SMR0nH, SMR0nL)
- ・シリアル通信動作設定レジスタ0n (SCR0nH, SCR0nL)
- ・シリアル・データ・レジスタ0n (SDR0nH, SDR0nL)
- ・シリアル・フラグ・クリア・トリガ・レジスタ0n (SIR0n)
- ・シリアル・ステータス・レジスタ0n (SSR0n)
- ・シリアル・チャンネル開始レジスタ0 (SS0)
- ・シリアル・チャンネル停止レジスタ0 (ST0)
- ・シリアル・チャンネル許可ステータス・レジスタ0 (SE0)
- ・シリアル出力許可レジスタ0 (SOE0)
- ・シリアル出力レベル・レジスタ0 (SOL0)
- ・シリアル出力レジスタ0 (SO0)
- ・シリアル・クロック出力レジスタ (CK00)

2. 次のビットには必ず“0”を設定してください。

RL78/G1M製品 : ビット1, 3, 4

RL78/G1N製品 : ビット1, 3, 4, 6

11.3.2 シリアル・クロック選択レジスタ0 (SPS0)

SPS0レジスタは、各チャンネルに共通して供給される2種類の動作クロック (CK00, CK01) を選択する8ビット・レジスタです。SPS0レジスタのビット7-4でCK01を、ビット3-0でCK00を選択します。

SPS0レジスタは、動作許可状態 (SE0n = 1) での書き換えは禁止です。

SPS0レジスタは、8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPS0レジスタは00Hになります。

図11-4 シリアル・クロック選択レジスタ0 (SPS0) のフォーマット

アドレス : F0126H リセット時 : 00H R/W

| | | | | | | | | |
|------|--------|--------|--------|--------|--------|--------|--------|--------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SPS0 | PRS013 | PRS012 | PRS011 | PRS010 | PRS003 | PRS002 | PRS001 | PRS000 |

| PRS0 n3 | PRS0 n2 | PRS0 n1 | PRS0 n0 | 動作クロック (CK n) の選択 ^注 | | | | | |
|------------|------------|------------|------------|--------------------------------|------------------------|----------------------|-----------------------|-----------------------|---------|
| | | | | $f_{CLK} =$ 1.25 MHz | $f_{CLK} =$ 2.5 MHz | $f_{CLK} =$ 5 MHz | $f_{CLK} =$ 10 MHz | $f_{CLK} =$ 20 MHz | |
| 0 | 0 | 0 | 0 | f_{CLK} | 1.25MHz | 2.5MHz | 5MHz | 10MHz | 20MHz |
| 0 | 0 | 0 | 1 | $f_{CLK}/2$ | 625kHz | 1.25MHz | 2.5MHz | 5MHz | 10MHz |
| 0 | 0 | 1 | 0 | $f_{CLK}/2^2$ | 313kHz | 625kHz | 1.25MHz | 2.5MHz | 5MHz |
| 0 | 0 | 1 | 1 | $f_{CLK}/2^3$ | 156kHz | 313kHz | 625kHz | 1.25MHz | 2.5MHz |
| 0 | 1 | 0 | 0 | $f_{CLK}/2^4$ | 78kHz | 156kHz | 313kHz | 625kHz | 1.25MHz |
| 0 | 1 | 0 | 1 | $f_{CLK}/2^5$ | 39kHz | 78kHz | 156kHz | 313kHz | 625kHz |
| 0 | 1 | 1 | 0 | $f_{CLK}/2^6$ | 19.5kHz | 39kHz | 78kHz | 156kHz | 313kHz |
| 0 | 1 | 1 | 1 | $f_{CLK}/2^7$ | 9.8kHz | 19.5kHz | 39kHz | 78kHz | 156kHz |
| 1 | 0 | 0 | 0 | $f_{CLK}/2^8$ | 4.9kHz | 9.8kHz | 19.5kHz | 39kHz | 78kHz |
| 1 | 0 | 0 | 1 | $f_{CLK}/2^9$ | 2.5kHz | 4.9kHz | 9.8kHz | 19.5kHz | 39kHz |
| 1 | 0 | 1 | 0 | $f_{CLK}/2^{10}$ | 1.22kHz | 2.5kHz | 4.9kHz | 9.8kHz | 19.5kHz |
| 1 | 0 | 1 | 1 | $f_{CLK}/2^{11}$ | 625Hz | 1.22kHz | 2.5kHz | 4.9kHz | 9.8kHz |
| 1 | 1 | 0 | 0 | $f_{CLK}/2^{12}$ | 313Hz | 625Hz | 1.22kHz | 2.5kHz | 4.9kHz |
| 1 | 1 | 0 | 1 | $f_{CLK}/2^{13}$ | 152Hz | 313Hz | 625Hz | 1.22kHz | 2.5kHz |
| 1 | 1 | 1 | 0 | $f_{CLK}/2^{14}$ | 78Hz | 152Hz | 313Hz | 625Hz | 1.22kHz |
| 1 | 1 | 1 | 1 | $f_{CLK}/2^{15}$ | 39Hz | 78Hz | 152Hz | 313Hz | 625Hz |

注 f_{CLK} に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (シリアル・チャンネル停止レジスタ0 (ST0) =03H) させてから変更してください。

備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

2. n : チャンネル番号 (n = 0, 1)

11.3.3 シリアル・モード・レジスタ0n (SMR0nH, SMR0nL)

SMR0nH, SMR0nLレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (f_{MCK}) の選択、シリアル・クロック (f_{SCK}) 入力の使用可否、スタート・トリガ設定、動作モード (CSI, UART) 設定、割り込み要因の選択を行います。またUARTモード時のみ、受信データのレベル反転の設定を行います。

SMR0nH, SMR0nLレジスタは、動作許可状態 (SE0n = 1) での書き換えは禁止です。ただし、MD0n0ビットは動作許可状態 (SE0n = 1) でも書き換えることができます。

SMR0nH, SMR0nLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMR0nH, SMR0nLレジスタはそれぞれ、00H, 20HIになります。

図11-5 シリアル・モード・レジスタ0n (SMR0nH, SMR0nL) のフォーマット (1/2)

| | |
|--|--|
| アドレス : F0111H (SMR00H) , F0113H (SMR01H) | アドレス : F0110H (SMR00L) , F0112H (SMR01L) |
| リセット時 : 00H R/W | リセット時 : 20H R/W |
| 略号 | 略号 |
| 7 6 5 4 3 2 1 0 | 7 6 5 4 3 2 1 0 |
| SMR0nH | SMR0nL |
| CKS 0n | 0 |
| CCS 0n ^{注3} | SIS 0n0 ^{注2} |
| 0 | 1 |
| 0 | 0 |
| 0 | 0 |
| 0 | 0 |
| 0 | 0 |
| 0 | MD 0n1 |
| STS 0n ^{注1} | MD 0n0 ^{注4} |

| | |
|--|---------------------------------------|
| CKS0n | チャンネルnの動作クロック (f _{MCK}) の選択 |
| 0 | SPS0レジスタで設定した動作クロックCK00 |
| 1 | SPS0レジスタで設定した動作クロックCK01 |
| 動作クロック (f _{MCK}) は、エッジ検出回路に使用されます。また、CCS0nビットとSDR0nHレジスタの設定により、転送クロック (f _{TCLK}) を生成します。 | |

| | |
|---|---|
| CCS0n | チャンネルnの転送クロック (f _{TCLK}) の選択 |
| 0 | CKS0nビットで指定した動作クロックf _{MCK} の分周クロック |
| 1 | SCKp端子からの入力クロックf _{SCK} (CSIモードのスレーブ転送) |
| 転送クロックf _{TCLK} は、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCS0n = 0の場合は、SDR0nHレジスタの上位7ビットで動作クロック (f _{MCK}) の分周設定を行います。 | |

| | |
|---------------------------------------|---------------------------------|
| STS0n ^{注1} | スタート・トリガ要因の選択 |
| 0 | ソフトウェア・トリガのみ有効 (CSI, UART送信に選択) |
| 1 | RxD0端子の有効エッジ (UART受信時に選択) |
| SS0レジスタに1を設定後、上記の要因が満たされてから転送開始となります。 | |

- 注1. SMR01Hレジスタのみ
- 2. SMR01Lレジスタのみ
- 3. SMR00Hレジスタのみ
- 4. SMR00Lレジスタのみ

注意 次のビットには必ず初期値から変更しないでください。

- SMR00H : ビット0-5 には必ず “0” を設定してください。
- SMR01H : ビット1-6 には必ず “0” を設定してください。
- SMR00L : ビット2-4,6,7 には必ず “0” を、ビット5 には必ず “1” を設定してください。
- SMR01L : ビット2-4,7 には必ず “0” を、ビット5 には必ず “1” を設定してください。

備考 n : チャンネル番号 (n = 0, 1)

図11-5 シリアル・モード・レジスタ0n (SMR0nH, SMR0nL) のフォーマット (2/2)

| | | | | | | | | | | | | | | | | | |
|---|--|-------------------------|---|---|---|-----------|-------------------------|-------------------------|--|---|--------------------------|---|---|---|---|-----------|-------------------------|
| アドレス : F0111H (SMR00H) , F0113H (SMR01H) | アドレス : F0110H (SMR00L) , F0112H (SMR01L) | | | | | | | | | | | | | | | | |
| リセット時 : 00H R/W | リセット時 : 20H R/W | | | | | | | | | | | | | | | | |
| 略号 7 6 5 4 3 2 1 0 | 略号 7 6 5 4 3 2 1 0 | | | | | | | | | | | | | | | | |
| SMR0nH | SMR0nL | | | | | | | | | | | | | | | | |
| <table border="1"> <tr> <td>CKS On</td> <td>CCS On^{注3}</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>STS On^{注1}</td> </tr> </table> | CKS On | CCS On ^{注3} | 0 | 0 | 0 | 0 | 0 | STS On ^{注1} | <table border="1"> <tr> <td>0</td> <td>SIS On0^{注2}</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>MD On1</td> <td>MD On0^{注4}</td> </tr> </table> | 0 | SIS On0 ^{注2} | 1 | 0 | 0 | 0 | MD On1 | MD On0 ^{注4} |
| CKS On | CCS On ^{注3} | 0 | 0 | 0 | 0 | 0 | STS On ^{注1} | | | | | | | | | | |
| 0 | SIS On0 ^{注2} | 1 | 0 | 0 | 0 | MD On1 | MD On0 ^{注4} | | | | | | | | | | |

| | |
|----------------------|--|
| SIS0n0 ^{注2} | UART0の受信データのレベル反転の制御 |
| 0 | 立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。 |
| 1 | 立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。 |

| | |
|-------|-----------------|
| MD0n1 | チャンネルnの動作モードの設定 |
| 0 | CSIモード |
| 1 | UARTモード |

| | |
|--|--|
| MD0n0 ^{注2} | チャンネルnの割り込み要因の選択 |
| 0 | 転送完了割り込み |
| 1 | バッファ空き割り込み (転送データがSDR0nLレジスタからシフト・レジスタに転送されたタイミングで発生) |
| 連続送信時はMD0n0 = 1として、SDR0nLデータが空になったら次送信データの書き込みを行う。 | |

- 注1. SMR01Hレジスタのみ
 2. SMR01Lレジスタのみ
 3. SMR00Hレジスタのみ
 4. SMR00Lレジスタのみ

注意 次のビットには必ず初期値から変更しないでください。

- SMR00H : ビット0-5 には必ず“0”を設定してください。
 SMR01H : ビット1-6 には必ず“0”を設定してください。
 SMR00L : ビット2-4,6,7 には必ず“0”を、ビット5 には必ず“1”を設定してください。
 SMR01L : ビット2-4,7 には必ず“0”を、ビット5 には必ず“1”を設定してください。

備考 n : チャンネル番号 (n = 0, 1)

11.3.4 シリアル通信動作設定レジスタ0n (SCR0nH, SCR0nL)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCR0nH, SCR0nLレジスタは、動作許可状態 (SE0n = 1) での書き換えは禁止です。

SCR0nH, SCR0nLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、SCR0nH, SCR0nLレジスタはそれぞれ00H, 87Hになります。

図11-6 シリアル通信動作設定レジスタ0n (SCR0nH, SCR0nL) のフォーマット (1/2)

| | |
|--|--|
| アドレス : F0119H (SCR00H) , F011BH (SCR01H) | アドレス : F0118H (SCR00L) , F011AH (SCR01L) |
| リセット時 : 00H R/W | リセット時 : 87H R/W |
| 略号 7 6 5 4 3 2 1 0 | 略号 7 6 5 4 3 2 1 0 |
| SCR0nH TXE _{0n} ^{注3} RXE _{0n} DAP _{0n} ^{注3} CKP _{0n} ^{注3} 0 EOC _{0n} PTC _{0n} 1 PTC _{0n} 0 | SCR0nL DIR _{0n} 0 SLC0 _{n1} ^{注1} SLC _{0n} 0 0 1 1 DLS0 _{n0} |

| TXE _{0n} ^{注3} | RXE _{0n} | チャンネルnの動作モードの設定 |
|---------------------------------|-------------------|-----------------|
| 0 | 0 | 通信禁止 |
| 0 | 1 | 受信のみを行う |
| 1 | 0 | 送信のみを行う |
| 1 | 1 | 送受信を行う |

| DAP _{0n} ^{注3} | CKP _{0n} ^{注3} | CSIモードでのデータとクロックの位相選択 | タイプ |
|---------------------------------|---------------------------------|-----------------------|-----|
| 0 | 0 | | 1 |
| 0 | 1 | | 2 |
| 1 | 0 | | 3 |
| 1 | 1 | | 4 |

UARTモード時には、必ずDAP_{0n}, CKP_{0n} = 0, 0に設定してください。

| EOC _{0n} | エラー割り込み信号 (INTSRE _x (x = 0-1)) のマスク可否の選択 |
|-------------------|---|
| 0 | エラー割り込みINTSRE _x の発生を禁止する (INTSR _x が発生する) |
| 1 | エラー割り込みINTSRE _x の発生を許可する (エラー発生時, INTSR _x は発生しない) |

CSIモード, UART送信時には、EOC_{0n} = 0に設定してください^{注2}。

注 1. SCR00Lレジスタのみ

2. CSI_{0n}をEOC_{0n} = 0で使用しない場合、エラー割り込みINTSRE_nが発生する場合があります。

3. SCR00Hのみ

(注意, 備考は, 次ページにあります。)

図11-6 シリアル通信動作設定レジスタ0n (SCR0nH, SCR0nL) のフォーマット (2/2)

アドレス : F0119H (SCR00H) , F011BH (SCR01H)

リセット時 : 00H R/W

| | | | | | | | | |
|--------|-------------------------|-----------|-------------------------|-------------------------|---|-----------|------------|------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SCR0nH | TXE 0n ^{注3} | RXE 0n | DAP 0n ^{注3} | CKP 0n ^{注3} | 0 | EOC 0n | PTC 0n1 | PTC 0n0 |

アドレス : F0118H (SCR00L) , F011AH (SCR01L)

リセット時 : 87H R/W

| | | | | | | | | |
|--------|-----------|---|--------------------------|------------|---|---|---|------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SCR0nL | DIR 0n | 0 | SLC0 n1 ^{注1} | SLC 0n0 | 0 | 1 | 1 | DLS0 n0 |

| PTC0 n1 | PTC0 n0 | UARTモードでのパリティ・ビットの設定 | |
|------------|------------|------------------------|----------------|
| | | 送信動作 | 受信動作 |
| 0 | 0 | パリティ・ビットを出力しない | パリティなしで受信 |
| 0 | 1 | 0パリティを出力 ^{注2} | パリティ判定を行わない |
| 1 | 0 | 偶数パリティを出力 | 偶数パリティとして判定を行う |
| 1 | 1 | 奇数パリティを出力 | 奇数パリティとして判定を行う |

CSIモード時には、必ずPTC0n1, PTC0n0 = 0, 0に設定してください。

| DIR0n | CSI, UARTモードでのデータ転送順序の選択 |
|-------|--------------------------|
| 0 | MSBファーストで入出力を行う |
| 1 | LSBファーストで入出力を行う |

| SLC0n 1 ^{注1} | SLC0 n0 | UARTモードでのストップ・ビットの設定 |
|--------------------------|------------|----------------------------|
| 0 | 0 | ストップ・ビットなし |
| 0 | 1 | ストップ・ビット長 = 1ビット |
| 1 | 0 | ストップ・ビット長 = 2ビット (n = 0のみ) |
| 1 | 1 | 設定禁止 |

転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みを発生します。
 UART受信時には、1ビット (SLC0n1, SLC0n0 = 0, 1) に設定してください。
 CSIモード時には、ストップ・ビットなし (SLC0n1, SLC0n0 = 0, 0) に設定してください。
 UART送信時は、1ビット (SLC0n1, SLC0n0 = 0, 1) 又は2ビット (SLC0n1, SLC0n0 = 1, 0) に設定してください。

| DLS0n | CSI, UARTモードでのデータ長の設定 |
|-------|----------------------------------|
| 0 | |
| 0 | 7ビット・データ長 (SDR0nLレジスタのビット0-6に格納) |
| 1 | 8ビット・データ長 (SDR0nLレジスタのビット0-7に格納) |

注1. SCR00Lレジスタのみ

- データの内容にかかわらず必ず0が付加されます。
- SCR00Hのみ

注意 次のビットには必ず初期値から変更しないでください。

- SCR00H : ビット3 には必ず“0”を設定してください。
 SCR01H : ビット3-5, 7には必ず“0”を設定してください。
 SCR00L : ビット3,6 には必ず“0”を, ビット1,2 には必ず“1”を設定してください。
 SCR01L : ビット3,5,6 には必ず“0”を, ビット1,2 には必ず“1”を設定してください。

備考 n : チャネル番号 (n = 0, 1)

11.3.5 シリアル・データ・レジスタ0n (SDR0nH, SDR0nL)

SDR0nH, SDR0nLレジスタは、チャンネルnの送受信データ・レジスタです。

SDR0nH, SDR0nLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、SDR0nH, SDR0nLレジスタはそれぞれ00HIになります。

SDR0nHレジスタは動作クロック (f_{MCK}) の分周設定レジスタとして使用します。

SMR0nHレジスタのCCS0nビットに0を設定した場合、動作クロックをSDR0nHレジスタで分周設定したクロックが転送クロックとして使用されます。

また、CCS0nビットに1を設定した場合は、SDR0nHレジスタに"00000000B"を設定してください。SCKp端子からの入力クロックf_{SCK} (CSIモードのスレーブ転送) が転送クロックとなります。

SDR0nHレジスタは動作停止 (SE0n = 0) 時に、8ビット・メモリ操作命令で設定します。動作許可 (SE0n = 1) 時は、SDR0nHレジスタへの書き込みが無効になり、SDR0nHレジスタの読み出しは常に"0"が読み出されます。

SDR0nLレジスタは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データをSDR0nLレジスタに格納します。送信時には、シフト・レジスタに転送する送信データをSDR0nLレジスタに設定します。

SDR0nLレジスタは動作許可 (SE0n = 1) 時に、8ビット・メモリ操作命令で設定します。動作停止 (SE0n = 0) 時は、SDR0nLレジスタへの書き込みは禁止です。

図11-7 シリアル・データ・レジスタ0n (SDR0n) のフォーマット

アドレス : FFF11H (SDR00H) , FFF13H (SDR01H)
リセット時 : 00H R/W

アドレス : FFF10H (SDR00L) , FFF12H (SDR01L)
リセット時 : 00H R/W



注意 UART使用時は、SDR0nH[7:1] = (0000000B, 0000001B) は設定禁止です。

備考1. SDR0nLレジスタの機能については、11.2 シリアル・アレイ・ユニットの構成を参照してください。

2. n : チャンネル番号 (n = 0, 1)

11.3.6 シリアル・フラグ・クリア・トリガ・レジスタ0n (SIR0n)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECT0n, PECT0n, OVCT0n) を1にセットすると、シリアル・ステータス・レジスタ0n (SSR0n) の対応ビット (FEF0n, PEF0n, OVFOn) が0にクリアされます。SIR0nレジスタはトリガ・レジスタなので、SSR0nレジスタの対応ビットをクリアするとすぐSIR0nレジスタもクリアされます。

SIR0nレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、SIR0nレジスタは00Hになります。

図11-8 シリアル・フラグ・クリア・トリガ・レジスタ0n (SIR0n) のフォーマット

アドレス : F0108H (SIR00) , F010AH (SIR01) リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|---|---|---|---|---|---------------------|--------|--------|
| SIR0n | 0 | 0 | 0 | 0 | 0 | FECT0n ^注 | PECT0n | OVCT0n |

| FECT0n ^注 | チャンネルnのフレーミング・エラー・フラグのクリア・トリガ |
|---------------------|-------------------------------|
| 0 | クリアしない |
| 1 | SSR0nレジスタのFEF0nビットを0にクリアする |

| PECT0n | チャンネルnのパリティ・エラー・フラグのクリア・トリガ |
|--------|-----------------------------|
| 0 | クリアしない |
| 1 | SSR0nレジスタのPEF0nビットを0にクリアする |

| OVCT0n | チャンネルnのオーバーラン・エラー・フラグのクリア・トリガ |
|--------|-------------------------------|
| 0 | クリアしない |
| 1 | SSR0nレジスタのOVFOnビットを0にクリアする |

注 SIR01レジスタのみ

注意 次のビットには必ず“0”を設定してください。

SIR00レジスタ : ビット2-7

SIR01レジスタ : ビット3-7

備考1. n : チャンネル番号 (n = 0, 1)

2. SIR0nレジスタの読み出し値は常に00Hとなります。

11.3.7 シリアル・ステータス・レジスタ0n (SSR0n)

SSR0nレジスタは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSR0nレジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、SSR0nレジスタは00Hになります。

図11-9 シリアル・ステータス・レジスタ0n (SSR0n) のフォーマット (1/2)

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|---|-------|-------|---|---|--------------------|-------|-------|
| SSR0n | 0 | TSF0n | BFF0n | 0 | 0 | FEF0n ^注 | PEF0n | OVF0n |

| TSF0n | チャンネルnの通信状態表示フラグ |
|--|---------------------|
| 0 | 通信動作停止状態または通信動作待機状態 |
| 1 | 通信動作状態 |
| <クリア条件> ・ ST0レジスタのST0nビットに1を設定時（通信停止状態），もしくはSS0レジスタのSS0nビットに1を設定時（通信待機状態） ・ 通信動作が終了時 | |
| <セット条件> ・ 通信動作を開始時 | |

| BFF0n | チャンネルnのバッファ・レジスタ状態表示フラグ |
|---|----------------------------|
| 0 | 有効なデータがSDR0nLレジスタに格納されていない |
| 1 | 有効なデータがSDR0nLレジスタに格納されている |
| <クリア条件> ・ 送信時においてSDR0nLレジスタからシフト・レジスタへ送信データの転送が終了したとき ・ 受信時においてSDR0nLレジスタから受信データの読み出しが終了したとき ・ ST0レジスタのST0nビットに1を設定時（通信停止状態），SS0レジスタのSS0nビットに1を設定時（通信許可状態） | |
| <セット条件> ・ SCR0nHレジスタのTXE0nビット = 1（各通信モードでの送信，送受信モード時）の状態でのSDR0nLレジスタに送信データを書き込んだとき ・ SCR0nHレジスタのRXE0nビット = 1（各通信モードでの受信，送受信モード時）の状態でのSDR0nLレジスタに受信データが格納されたとき ・ 受信エラー時 | |

注 SSR01レジスタのみ

注意 BFF0n = 1のときにSDR0nLレジスタに書き込みをすると、格納されている送信／受信データが破壊され、オーバラン・エラー（OVF0n = 1）と検出されます。

備考 n : チャンネル番号 (n = 0, 1)

図11-9 シリアル・ステータス・レジスタ0n (SSR0n) のフォーマット (2/2)

アドレス : F0100H (SSR00) , F0102H (SSR01) リセット時 : 00H R

| | | | | | | | | |
|-------|---|-------|-------|---|---|--------------------|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SSR0n | 0 | TSF0n | BFF0n | 0 | 0 | FEF0n ^注 | PEF0n | OVF0n |

| FEF0n ^注 | チャンネルnのフレーミング・エラー検出フラグ |
|---|------------------------|
| 0 | エラーなし |
| 1 | エラー発生 (UART受信時) |
| <クリア条件> ・ SIR0nレジスタのFECT0nビットに1を書き込んだとき <セット条件> ・ UART受信完了時に、ストップ・ビットが検出されないとき | |

| PEF0n | チャンネルnのパリティ/ACKエラー検出フラグ |
|--|-------------------------|
| 0 | エラーなし |
| 1 | パリティ・エラー発生 (UART受信時) |
| <クリア条件> ・ SIR0nレジスタのPECT0nビットに1を書き込んだとき <セット条件> ・ UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき (パリティ・エラー) | |

| OVF0n | チャンネルnのオーバラン・エラー検出フラグ |
|---|-----------------------|
| 0 | エラーなし |
| 1 | エラー発生 |
| <クリア条件> ・ SIR0nレジスタのOVCT0nビットに1を書き込んだとき <セット条件> ・ SCR0nHレジスタのRXE0nビット = 1 (各通信モードでの受信, 送受信モード時) の状態で、受信データがSDR0nLレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき ・ CSIモードのスレーブ送信/送受信で、送信データが準備できていないとき | |

注 SSR01レジスタのみ

備考 n : チャンネル番号 (n = 0, 1)

11.3.8 シリアル・チャンネル開始レジスタ0 (SS0)

SS0レジスタは、通信／カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (SS0n) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ0 (SE0) の対応ビット (SE0n) が1にセット (動作許可状態) されます。SS0nビットはトリガ・ビットなので、SE0n = 1になるとすぐSS0nビットはクリアされます。

SS0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SS0レジスタは00Hになります。

図11-10 シリアル・チャンネル開始レジスタ0 (SS0) のフォーマット

アドレス : F0122H (SS0) リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|---|---|---|---|---|---|------|------|
| SS0 | 0 | 0 | 0 | 0 | 0 | 0 | SS01 | SS00 |

| SS0n | チャンネルnの動作開始トリガ |
|------|---|
| 0 | トリガ動作せず |
| 1 | SE0nビットに1をセットし、通信待機状態に遷移する ^注 |

注 通信動作中にSS0n = 1を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCK0n、SO0n端子とFEF0n、PEF0n、OVF0nフラグは状態を保持します。

注意1. ビット2-7には必ず“0”を設定してください。

2. UART受信の場合は、SCR0nHレジスタのRXE0nビットを“1”に設定後に、f_{MCK}の4クロック以上間隔をあけてからSS0n = 1を設定してください。

備考1. n : チャンネル番号 (n = 0, 1)

2. SS0レジスタの読み出し値は常に00Hとなります。

11.3.9 シリアル・チャンネル停止レジスタ0 (ST0)

ST0レジスタは、通信／カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (ST0n) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ0 (SE0) の対応ビット (SE0n) が0にクリア (動作停止状態) されます。ST0nビットはトリガ・ビットなので、SE0n = 0になるとすぐST0nビットはクリアされます。

ST0レジスタは、1ビットメモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、ST0レジスタは00Hになります。

図11-11 シリアル・チャンネル停止レジスタ0 (ST0) のフォーマット

アドレス : F0124H (ST0) リセット時 : 00H R/W

| | | | | | | | | |
|-----|---|---|---|---|---|---|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ST0 | 0 | 0 | 0 | 0 | 0 | 0 | ST01 | ST00 |

| | |
|------|---------------------------------------|
| ST0n | チャンネルnの動作停止トリガ |
| 0 | トリガ動作せず |
| 1 | SE0nビットを0にクリアし、通信動作を停止する ^注 |

注 制御レジスタ、シフト・レジスタの値、SCK0n, SO0n端子とFEF0n, PEF0n, OVF0nフラグは状態を保持します。

注意 ビット2-7には必ず“0”を設定してください。

備考1. n : チャンネル番号 (n = 0, 1)

2. ST0レジスタの読み出し値は常に00Hとなります。

11.3.10 シリアル・チャンネル許可ステータス・レジスタ0 (SE0)

SE0レジスタは、各チャンネルのシリアル送受信動作許可/停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタ0 (SS0) の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタ0 (ST0) の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネルnは、後述のシリアル出力レジスタ0 (SO0) のCKO0nビット (チャンネルnのシリアル・クロック出力) の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネルnは、SO0レジスタのCKO0nビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SE0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SE0レジスタは00Hになります。

図11-12 シリアル・チャンネル許可ステータス・レジスタ0 (SE0) のフォーマット

アドレス : F0120H (SE0) リセット時 : 00H R

| | | | | | | | | |
|-----|---|---|---|---|---|---|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SE0 | 0 | 0 | 0 | 0 | 0 | 0 | SE01 | SE00 |

| | |
|------|---------------------|
| SE0n | チャンネルnの動作許可/停止状態の表示 |
| 0 | 動作停止状態 |
| 1 | 動作許可状態 |

注意 ビット2-7には必ず“0”を設定してください。

備考 n : チャンネル番号 (n = 0, 1)

11.3.11 シリアル出力許可レジスタ0 (SOE0)

SOE0レジスタは、各チャンネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャンネルnは、後述のシリアル出力レジスタ0 (SO0) のSO0nビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネルnは、SO0レジスタのSO0nビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOE0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOE0レジスタは00Hになります。

図11-13 シリアル出力許可レジスタ0 (SOE0) のフォーマット

アドレス : F012AH (SOE0) リセット時 : 00H R/W

| | | | | | | | | |
|------|---|---|---|---|---|---|---|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOE0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOE00 |

| SOE0n | チャンネルnのシリアル出力許可／停止 |
|-------|--------------------|
| 0 | シリアル通信動作による出力停止 |
| 1 | シリアル通信動作による出力許可 |

注意 ビット1-7は必ず“0”を設定してください。

備考 n : チャンネル番号 (n = 0)

11.3.12 シリアル出力レジスタ0 (SO0)

SO0レジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSO0nビットの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのSO0nビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOE0n = 0) 時のみ可能です。シリアル出力許可 (SOE0n = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース機能を兼用している端子をポート機能として使用する場合は、該当する、SO0nビットに“1”を設定してください。

SO0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、SO0レジスタは03HIになります。

図11-14 シリアル出力レジスタ0 (SO0) のフォーマット

アドレス : F0128H (SO0) リセット時 : 03H R/W

| | | | | | | | | |
|-----|---|---|---|---|---|---|---|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SO0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | SO00 |

| SO0n | チャンネルnのシリアル・データ出力 |
|------|-------------------|
| 0 | シリアル・データ出力値が“0” |
| 1 | シリアル・データ出力値が“1” |

注意 ビット1は必ず“1”に、ビット2-7は必ず“0”を設定してください。

備考 n : チャンネル番号 (n = 0)

11.3.13 シリアル・クロック出力レジスタ (CKO0)

CKO0レジスタは、各チャンネルのシリアル・クロック出力のバッファ・レジスタです。

このレジスタのCKO0nビットの値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのCKO0nビットのソフトウェアによる書き換えは、チャンネル動作停止 (SE0n = 0) 時のみ可能です。チャンネル動作許可 (SE0n = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース機能を兼用している端子をポート機能として使用する場合は、該当するCKO0nビットに“1”を設定してください。

CKO0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、CKO0レジスタは03Hになります。

図11-15 シリアル・クロック出力レジスタ0 (CKO0) のフォーマット

アドレス : F0129H (CKO0) リセット時 : 03H R/W

| | | | | | | | | |
|------|---|---|---|---|---|---|---|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CKO0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | CKO00 |

| CKO0n | チャンネルnのシリアル・クロック出力 |
|-------|--------------------|
| 0 | シリアル・クロック出力値が“0” |
| 1 | シリアル・クロック出力値が“1” |

注意 ビット1は必ず“1”に、ビット2-7は必ず“0”を設定してください。

備考 n : チャンネル番号 (n = 0)

11.3.14 シリアル出力レベル・レジスタ0 (SOL0)

SOL0レジスタは、チャンネル0のデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。CSIモード時は、必ず対応するビットに0を設定してください。

このレジスタによるチャンネル0の反転設定は、シリアル出力許可 (SOE00 = 1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOE00 = 0) 時はSO00ビットの値がそのまま出力されます。

SOL0レジスタは、動作許可状態 (SE00 = 1) での書き換えは禁止です。

SOL0レジスタは、8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOL0レジスタは00Hになります。

図11-16 シリアル出力レベル・レジスタ0 (SOL0) のフォーマット

アドレス : F0134H (SOL0) リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|---|---|---|---|---|---|---|-------|
| SOL0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOL00 |

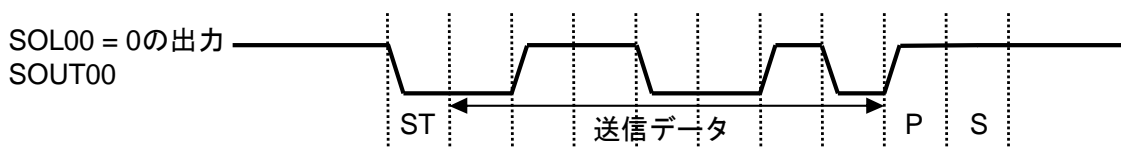
| SOL00 | UARTモードでのチャンネル0の送信データのレベル反転の選択 |
|-------|--------------------------------|
| 0 | 通信データは、そのまま出力されます。 |
| 1 | 通信データは、反転して出力されます。 |

注意 ビット1-7には必ず“0”を設定してください。

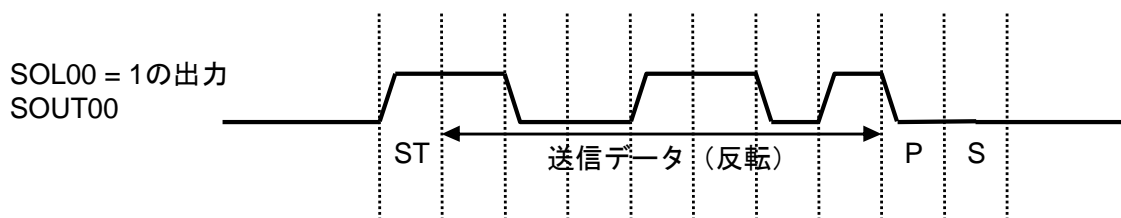
UART送信時、送信データのレベル反転例を図11-17に示します。

図11-17 送信データのレベル反転例

(a) 非反転出力 (SOL00 = 0)



(b) 反転出力 (SOL00 = 1)



11.3.15 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0レジスタは、UARTのシリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否を設定するレジスタです。

CSI通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャネルの動作クロック (fMCK) で同期化だけを行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0レジスタは00Hになります。

図11-18 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマット

アドレス : F0070H リセット時 : 00H R/W

| | | | | | | | | |
|-------|---|---|---|---|---|---|---|---------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| NFEN0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SNFEN00 |

| | |
|---|---------------------|
| SNFEN00 | RxD0端子のノイズ・フィルタ使用可否 |
| 0 | ノイズ・フィルタOFF |
| 1 | ノイズ・フィルタON |
| RxD0端子として使用するときは、SNFEN00 = 1に設定してください。 | |
| RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。 | |

注意 ビット1-7には必ず“0”を設定してください。

11.3.16 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1, ISC0ビットは, UART0のボー・レート補正を行うときに, 外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると, シリアル・データ入力 (RxD0) 端子の入力信号が外部割り込み入力 (INTP0) に入力されます。これによって, スタート・ビットの入力エッジ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると, シリアル・データ入力 (RxD0) 端子の入力信号がタイマ入力 (TI01) に入力されます。タイマ・アレイ・ユニットの入力パルス間隔測定モードを利用して, スタート・ビットの入力エッジ信号をトリガに通信相手のボー・レート (転送レート) 幅を測定できます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, ISCレジスタは00Hになります。

図11-19 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : F0073H リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|---|---|---|---|---|---|------|------|
| ISC | 0 | 0 | 0 | 0 | 0 | 0 | ISC1 | ISC0 |

| ISC1 | タイマ・アレイ・ユニットのチャンネル1の入力切り替え |
|------|--|
| 0 | TI01端子の入力信号をタイマ入力とする (通常動作) |
| 1 | RxD0端子の入力信号をタイマ入力とする (ウエイクアップ信号検出とボー・レート補正用のパルス幅測定) |

| ISC0 | 外部割り込み (INTP0) の入力切り替え |
|------|---------------------------------------|
| 0 | INTP0端子の入力信号を外部割り込み入力とする (通常動作) |
| 1 | RxD0端子の入力信号を外部割り込み入力とする (ウエイクアップ信号検出) |

注意 ビット2-7には必ず“0”を設定してください。

11.3.17 シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は、対象チャネルと兼用するポートに関するレジスタ（ポート・モード・レジスタ0, 1 (PM0, PM1)、ポート・レジスタ0, 1 (P0, P1)、ポート出力モード・レジスタ0, 1 (POM0, POM1)、ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1)）を設定してください。

詳細は、4.3.1 ポート・モード・レジスタ0, 1, 4 (PM0, PM1, PM4)、4.3.2 ポート・レジスタ0, 1, 4, 12, 13 (P0, P1, P4, P12, P13)、4.3.5 ポート出力モード・レジスタ0, 1 (POM0, POM1)、4.3.6 ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1) を参照してください。

また、シリアル入出力端子として使用するときの設定例は、4.5.3 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート (P10/ANI1/SCK00/PCLBUZ0/KR3など) をシリアル・データ出力またはシリアル・クロック出力として使用するとき、各ポートに対応するポート・モード・コントロール・レジスタ1 (PMC1) のビットおよびポート・モード・レジスタ1 (PM1) のビットに0を、ポート・レジスタ1 (P1) のビットに1を設定してください。

なお、N-chオープン・ドレイン出力 (V_{DD}耐圧) モードで使用する場合は、各ポートに対応するポート出力モード・レジスタ0, 1 (POM0, POM1) のビットに1を設定してください。

例) P10/ANI1/SCK00/PCLBUZ0/KR3をシリアル・データ出力として使用する場合

ポート・モード・コントロール・レジスタ1のPMC10ビットを0に設定

ポート・モード・レジスタ1のPM10ビットを0に設定

ポート・レジスタ1のP10ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート (P07/ANI0/SI00/RxD0/KR2など) をシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応するポート・モード・レジスタ0 (PM0) のビットに1を設定してください。また、ポート・モード・コントロール・レジスタ0 (PMC0) のビットに0を設定してください。このときポート・レジスタ0 (P0) のビットは、0または1のどちらでもかまいません。

例) P07/ANI0/SI00/RxD0/KR2をシリアル・データ入力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC07ビットを0に設定

ポート・モード・レジスタ0のPM07ビットを1に設定

ポート・レジスタ0のP07ビットを0または1に設定

11.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。

また動作停止モードでは、シリアル・インタフェース機能を兼用している端子をポート機能として使用できません。

11.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0) で行います。

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN) に0を設定してください。

図11-20 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0) の設定

(a) 周辺イネーブル・レジスタ0 (PER0) . . . 停止するSAU0のビットを0に設定する

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|--------|--------------------|-------|---|---|--------|---|--------|
| PER0 | TMKAEN | RTOEN ^注 | ADCEN | 0 | 0 | SAU0EN | 0 | TAU0EN |
| | x | x | x | 0 | 0 | 0/1 | 0 | x |

SAU0の入カクロックの制御

0: 入カクロック供給停止

1: 入カクロック供給

注 RL78/G1M製品のみ

注意1. シリアル・アレイ・ユニット0の設定をする際には、必ず最初にSAU0EN = 1の状態では、シリアル・アレイ・ユニット0の制御レジスタを設定してください。SAU0EN = 0の場合は、シリアル・アレイ・ユニット0の制御レジスタは初期値となり、書き込みは無視されます（ノイズ・フィルタ許可レジスタ0 (NFEN0), 入力切り替え制御レジスタ (ISC), ポート出力モード・レジスタ0 (POM0), ポート・モード・レジスタ0 (PM0), ポート・モード・コントロール・レジスタ0 (PMC0), ポート・レジスタ0 (P0) は除く）。

2. 次のビットには必ず“0”を設定してください。

RL78/G1M製品：ビット1, 3, 4

RL78/G1N製品：ビット1, 3, 4, 6

備考 ■：設定不可（初期値を設定）

x：シリアル・アレイ・ユニットでは使用しないビット（他の周辺機能の設定による）

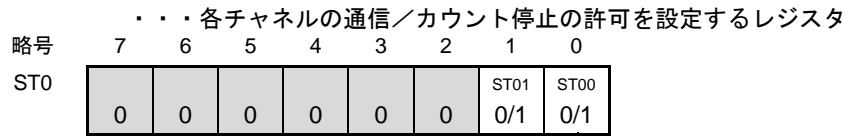
0/1：ユーザの用途に応じて0または1に設定

11.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図11-21 チャンネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル停止レジスタ0 (ST0)



1: SE0nビットを0にクリアし、通信動作を停止

* ST0nビットはトリガ・ビットなので、SE0n=0になるとすぐST0nビットはクリアされます。

(b) シリアル・チャンネル許可ステータス・レジスタ0 (SE0)



0: 動作停止状態

* SE0レジスタはRead Onlyのステータス・レジスタであり、ST0レジスタにて動作停止にします。
動作を停止したチャンネルは、SO0レジスタのCKO0nビットの値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタ0 (SOE0)



0: シリアル通信動作による出力停止

* シリアル出力を停止したチャンネルは、SO0レジスタのSO0nビットの値をソフトウェアで設定できます。

(d) シリアル・クロック出力レジスタ0 (CKO0)



1: シリアル・クロック出力値が“1”

* 各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKO0nビットに“1”を設定してください。

(e) シリアル出力レジスタ0 (SO0)



1: シリアル・データ出力値が“1”

* 各チャンネルに対応した端子をポート機能として使用する場合は、該当するSO0nビットに“1”を設定してください。

n: チャンネル番号 (n = 0, 1)

備考 : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

11.5 3線シリアルI/O (CSI00) 通信の動作

シリアル・クロック (SCK) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択

[クロック制御]

- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート[※]
 - マスタ通信時 : Max. f_{CLK}/4
 - スレーブ通信時 : Max. f_{MCK}/6

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

注 SCKサイクル・タイム (t_{CKV}) の特性を満たす範囲内で使用してください。詳細は、**第23章 電気的特性**を参照してください。

| ユニット | チャンネル | CSIとして使用 | UARTとして使用 |
|------|-------|----------|-----------|
| 0 | 0 | CSI00 | UART0 |
| | 1 | - | |

3線シリアルI/O (CSI00) の通信動作は、以下の6種類があります。

- ・ マスタ送信 (11.5.1項を参照)
- ・ マスタ受信 (11.5.2項を参照)
- ・ マスタ送受信 (11.5.3項を参照)
- ・ スレーブ送信 (11.5.4項を参照)
- ・ スレーブ受信 (11.5.5項を参照)
- ・ スレーブ送受信 (11.5.6項を参照)

11.5.1 マスタ送信

マスタ送信とは、このRL78/G1M, G1Nが転送クロックを出力し、RL78/G1M, G1Nから他デバイスへデータを送信する動作です。

| | |
|--------------------|---|
| 3線シリアルI/O | CSI00 |
| 対象チャンネル | SAU0のチャンネル0 |
| 使用端子 | SCK00, SO00 |
| 割り込み | INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能 |
| エラー検出フラグ | なし |
| 転送データ長 | 7ビットまたは8ビット |
| 転送レート ^注 | Max. $f_{CLK}/4$ [Hz] (SDR0nH [7:1] = 1以上) Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] |
| データ位相 | SCR0nHレジスタのDAP0nビットにより選択可能 ・ DAP0n = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAP0n = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 |
| クロック位相 | SCR0nHレジスタのCKP0nビットにより選択可能 ・ CKP0n = 0の場合：非反転（SCKの立ち下がりでデータ出力、立ち上がりでデータ入力） ・ CKP0n = 1の場合：反転（SCKの立ち上がりでデータ出力、立ち下がりでデータ入力） |
| データ方向 | MSBファーストまたはLSBファースト |

注 この条件を満たし、かつ電気的特性の周辺機能特性（**第23章 電気的特性参照**）を満たす範囲内で使用してください。

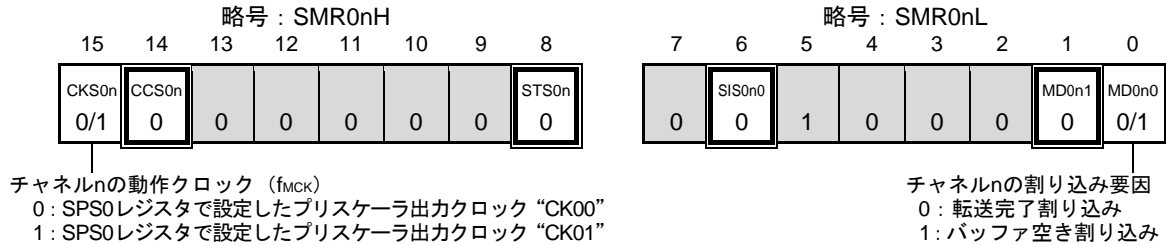
備考1. f_{CLK} ：システム・クロック周波数

2. $n = 0$

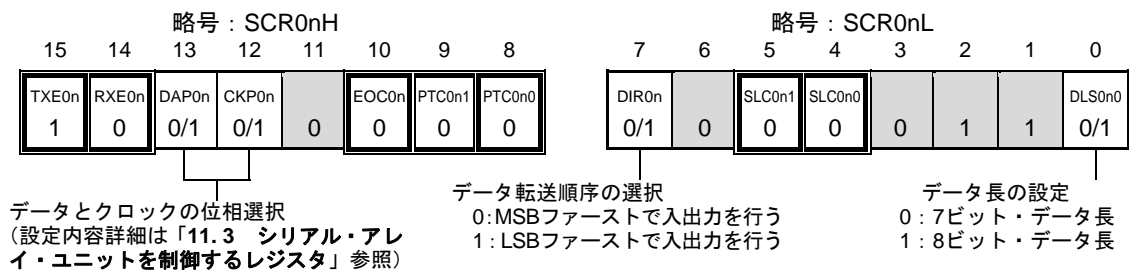
(1) レジスタ設定

図11-22 3線シリアル/I/O (CSI00) のマスタ送信時のレジスタ設定内容例 (1/2)

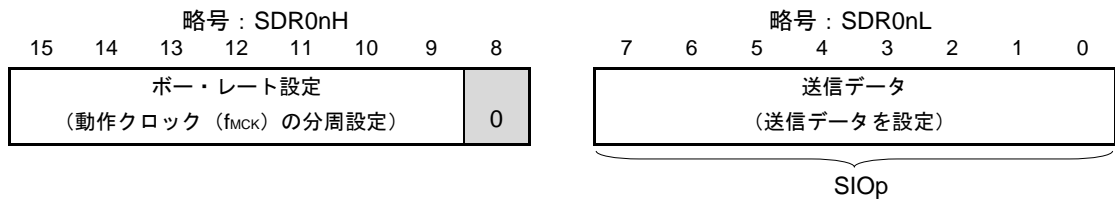
(a) シリアル・モード・レジスタ0n (SMR0nH, SMR0nL)



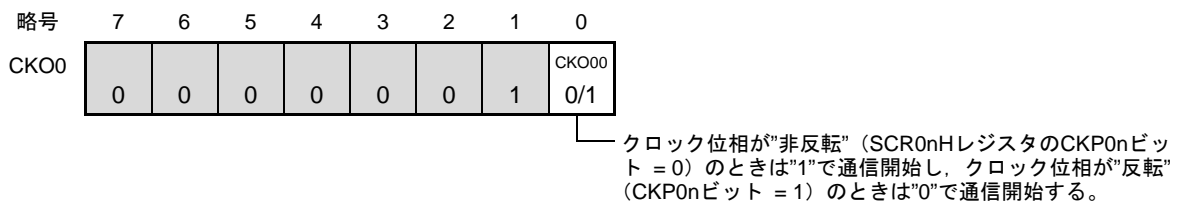
(b) シリアル通信動作設定レジスタ0n (SCR0nH, SCR0nL)



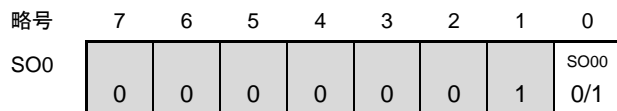
(c) シリアル・データ・レジスタ0n (SDR0nH, SDR0nL)



(d) シリアル・クロック出力レジスタ0 (CKO0)・・・対象チャンネルのビットのみ設定する



(e) シリアル出力レジスタ0 (SO0)・・・対象チャンネルのビットのみ設定する



(備考は次ページにあります。)

図11-22 3線シリアルI/O (CSI00) のマスタ送信時のレジスタ設定内容例 (2/2)

(f) シリアル出力許可レジスタ0 (SOE0) . . . 対象チャネルのビットのみ1に設定する

| | | | | | | | | |
|------|---|---|---|---|---|---|---|--------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOE0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOE00 0/1 |

(g) シリアル・チャンネル開始レジスタ0 (SS0) . . . 対象チャネルのビットのみ1に設定する

| | | | | | | | | |
|-----|---|---|---|---|---|---|-----------|-------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SS0 | 0 | 0 | 0 | 0 | 0 | 0 | SS01 0 | SS00 0/1 |

備考1. n = 0 p : CSI番号 (p = 00)

- : CSIマスタ送信モードでは設定固定 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-23 マスタ送信の初期設定手順

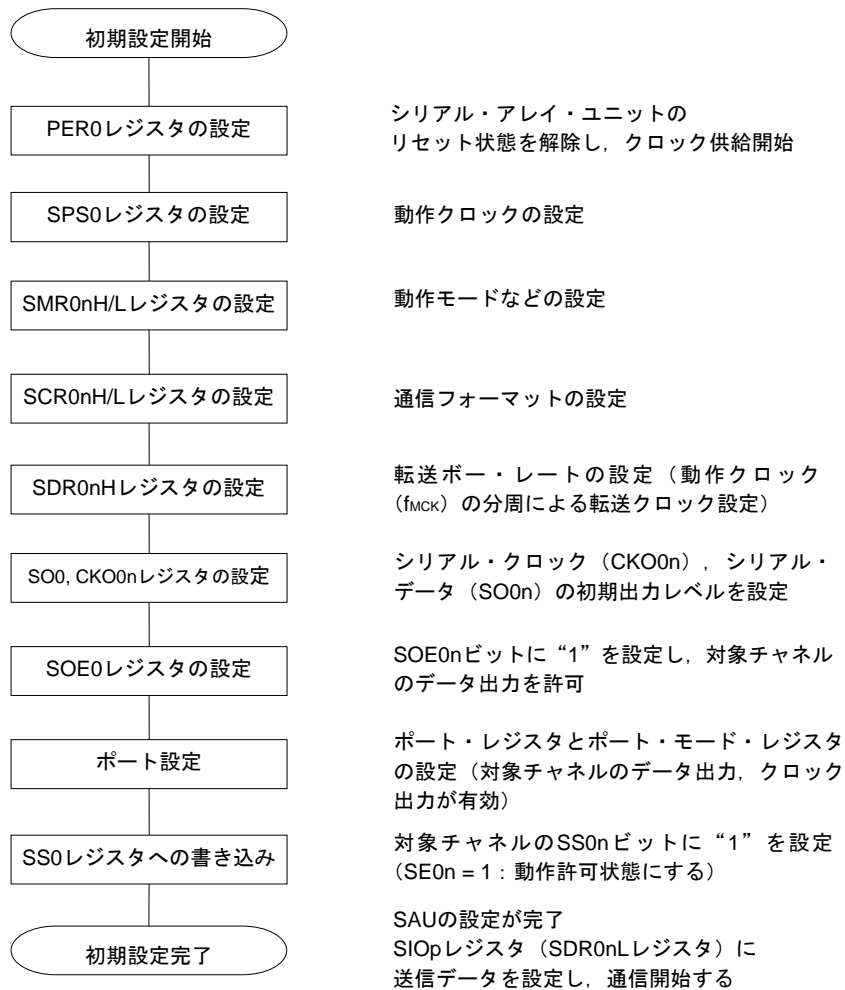


図11-24 マスタ送信の中断手順

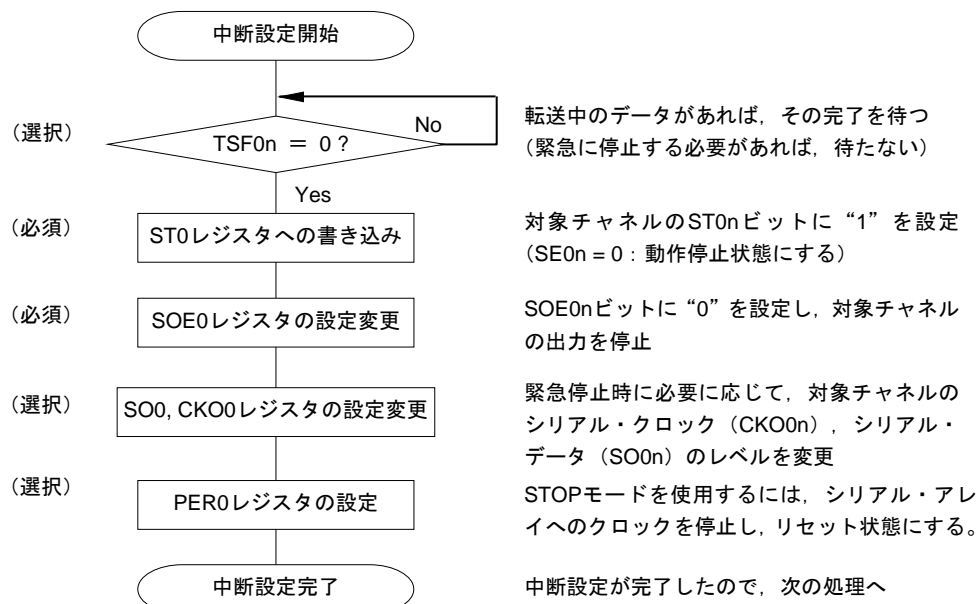


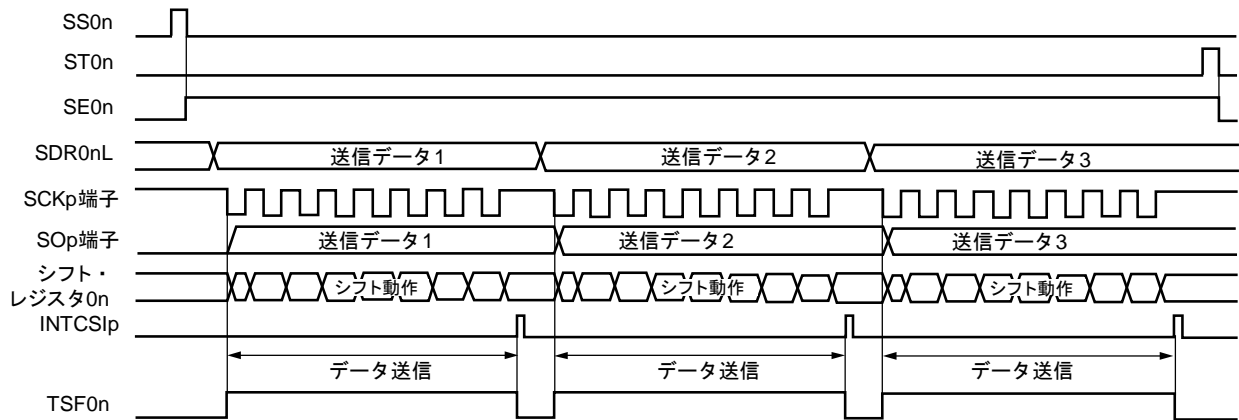
図11-25 マスタ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象（スレーブ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

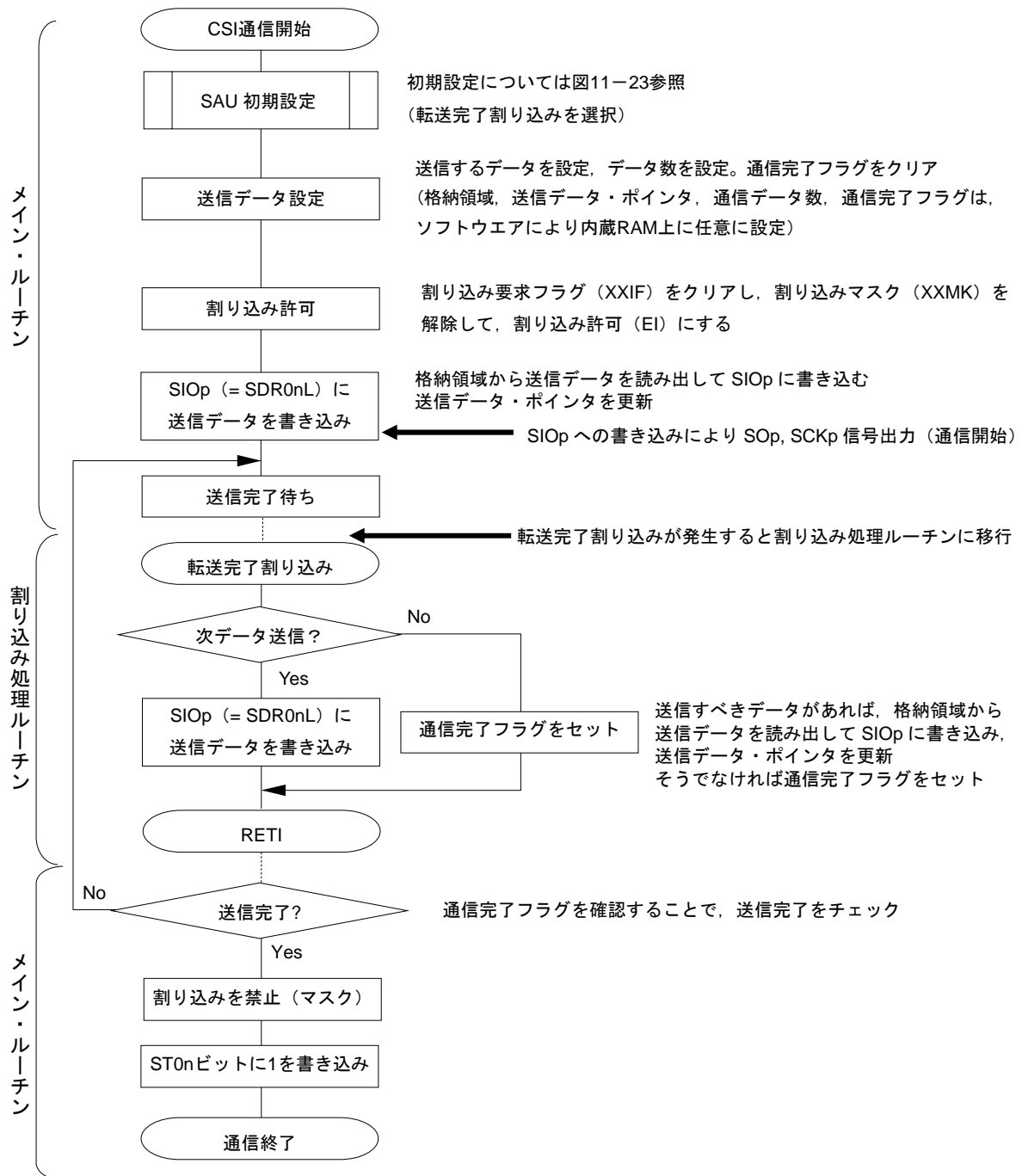
(3) 処理フロー（シングル送信モード時）

図11-26 マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAP0n = 0, CKP0n = 0）



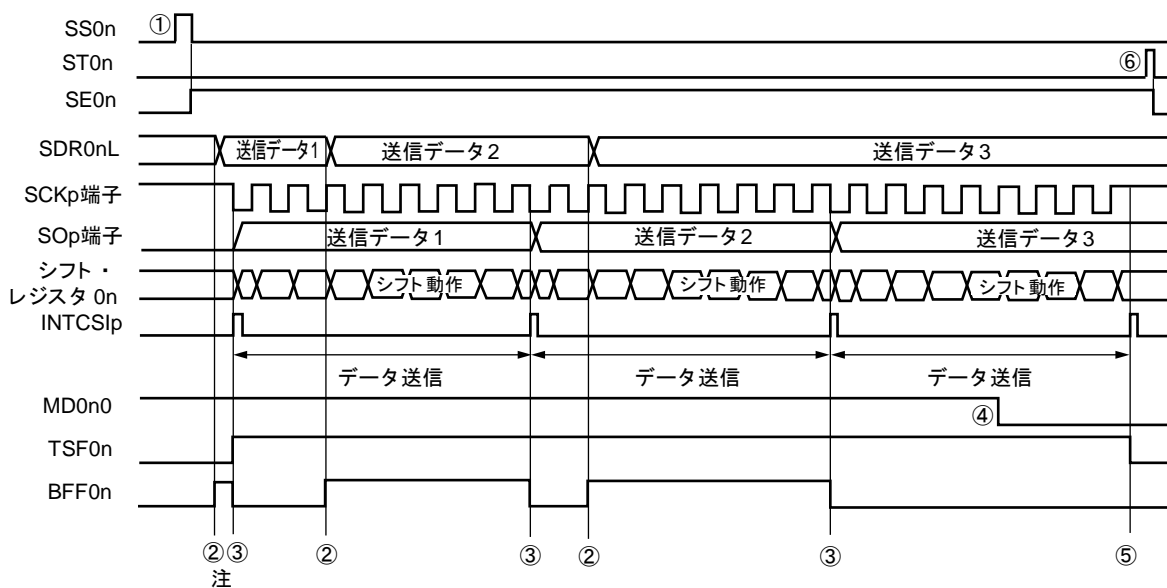
備考 n = 0 p : CSI番号 (p = 00)

図11-27 マスタ送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図11-28 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAP0n = 0, CKP0n = 0）

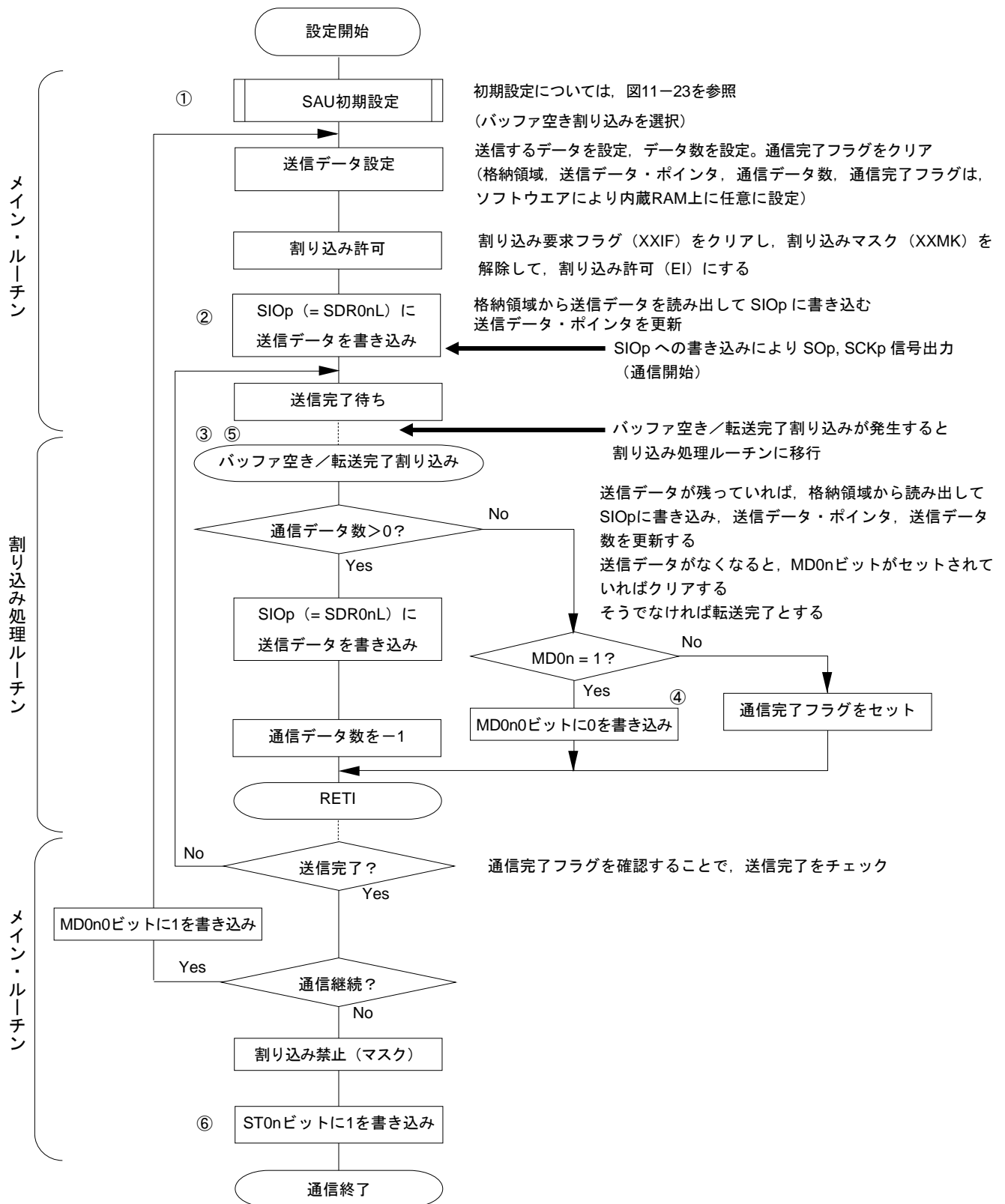


注 シリアル・ステータス・レジスタ0n (SSR0n) のBFF0nビットが“1”の期間（有効なデータがシリアル・データ・レジスタ0n (SDR0nL) に格納されているとき）にSDR0nLレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ0n (SMR0nH/L) のMD0n0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 n = 0 p : CSI番号 (p = 00)

図11-29 マスタ送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は、図11-28 マスタ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

11.5.2 マスタ受信

マスタ受信とは、このRL78/G1M, G1Nが転送クロックを出力し、RL78/G1M, G1Nが他デバイスからデータを受信する動作です。

| 3線シリアルI/O | CSI00 |
|--------------------|--|
| 対象チャンネル | SAU0のチャンネル0 |
| 使用端子 | SCK00, SI00 |
| 割り込み | INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能 |
| エラー検出フラグ | オーバラン・エラー検出フラグ（OVF0n）のみ |
| 転送データ長 | 7ビットまたは8ビット |
| 転送レート ^注 | Max. $f_{CLK}/4$ [Hz] (SDR0nH [7:1] = 1以上) Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] |
| データ位相 | SCR0nHレジスタのDAP0nビットにより選択可能 ・ DAP0n = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAP0n = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 |
| クロック位相 | SCR0nHレジスタのCKP0nビットにより選択可能 ・ CKP0n = 0の場合：非反転 ・ CKP0n = 1の場合：反転 |
| データ方向 | MSBファーストまたはLSBファースト |

注 この条件を満たし、かつ電氣的特性のAC特性（**第23章 電氣的特性参照**）を満たす範囲内で使用してください。

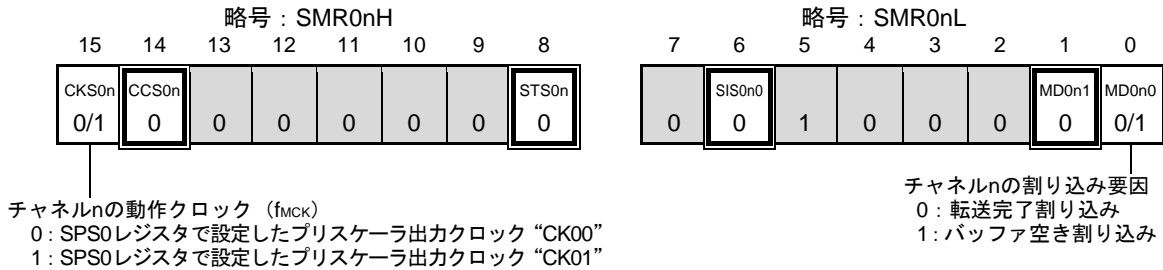
備考1. f_{CLK} ：システム・クロック周波数

2. $n = 0$

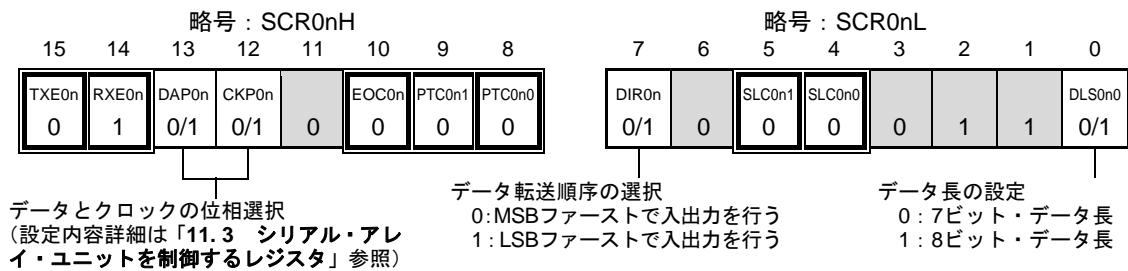
(1) レジスタ設定

図11-30 3線シリアルI/O (CSI00) のマスタ受信時のレジスタ設定内容例 (1/2)

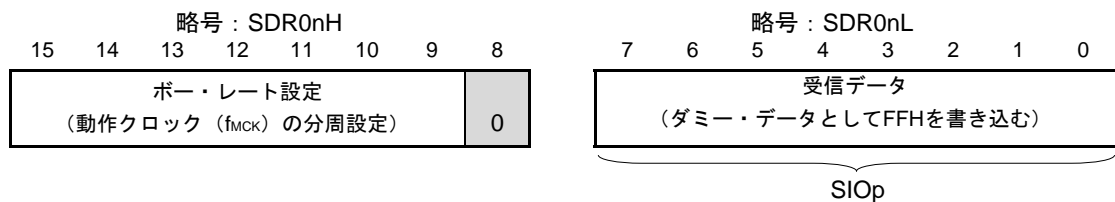
(a) シリアル・モード・レジスタ0n (SMR0nH, SMR0nL)



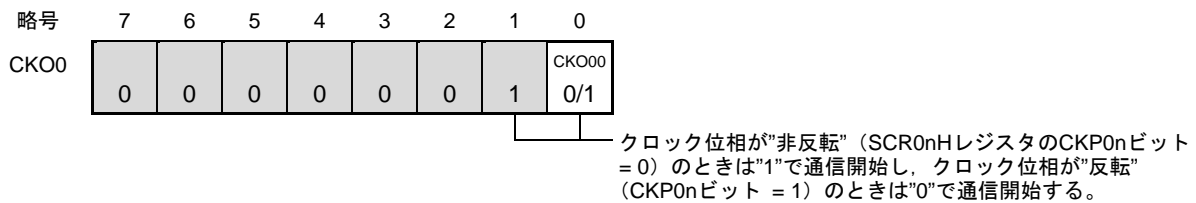
(b) シリアル通信動作設定レジスタ0n (SCR0nH, SCR0nL)



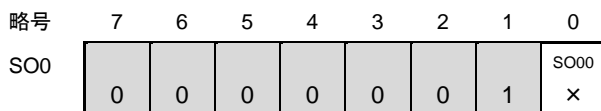
(c) シリアル・データ・レジスタ0n (SDR0nH, SDR0nL)



(d) シリアル・クロック出力レジスタ0 (CKO0)・・・対象チャンネルのビットのみ設定する



(e) シリアル出力レジスタ0 (SO0)・・・このモードでは使用しない



(備考は次ページにあります。)

図11-30 3線シリアルI/O (CSI00) のマスタ受信時のレジスタ設定内容例 (2/2)

(f) シリアル出力許可レジスタ0 (SOE0) . . . このモードでは使用しない

| | | | | | | | | |
|------|---|---|---|---|---|---|---|------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOE0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | SOE00 × |

(g) シリアル・チャンネル開始レジスタ0 (SS0) . . . 対象チャンネルのビットのみ1に設定する

| | | | | | | | | |
|-----|---|---|---|---|---|---|-------------|-------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SS0 | 0 | 0 | 0 | 0 | 0 | 0 | SS01 0/1 | SS00 0/1 |

備考1. n=0 p: CSI番号 (p=00)

- : CSIマスタ受信モードでは設定固定 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-31 マスタ受信の初期設定手順

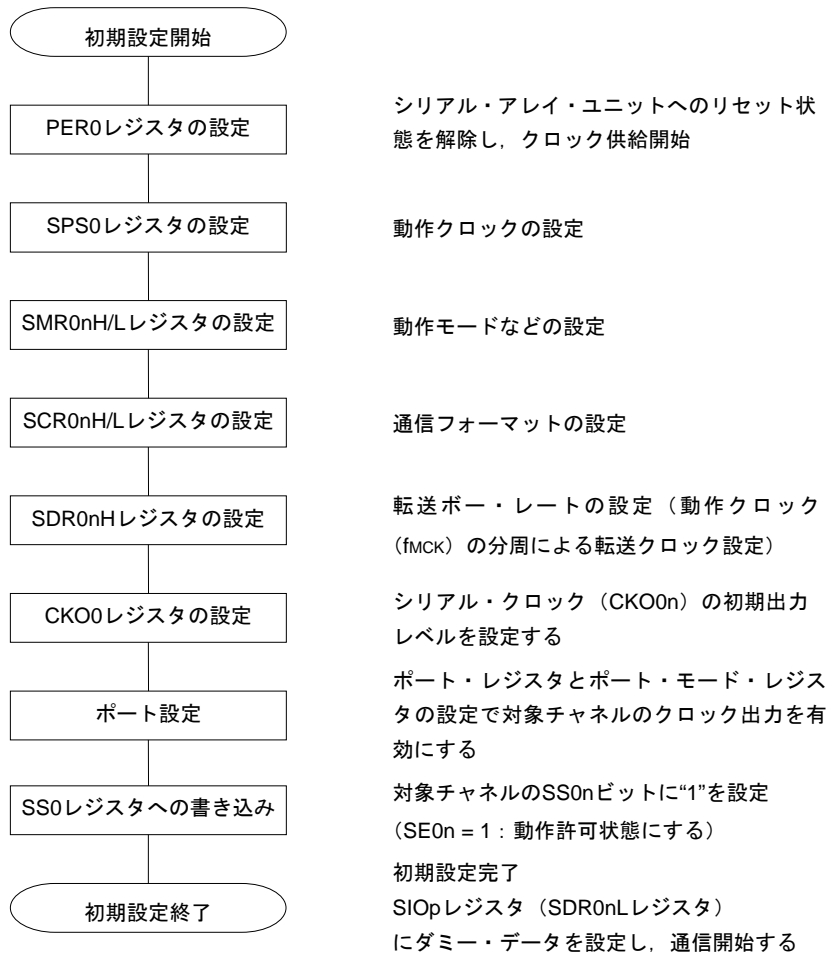


図11-32 マスタ受信の中断手順

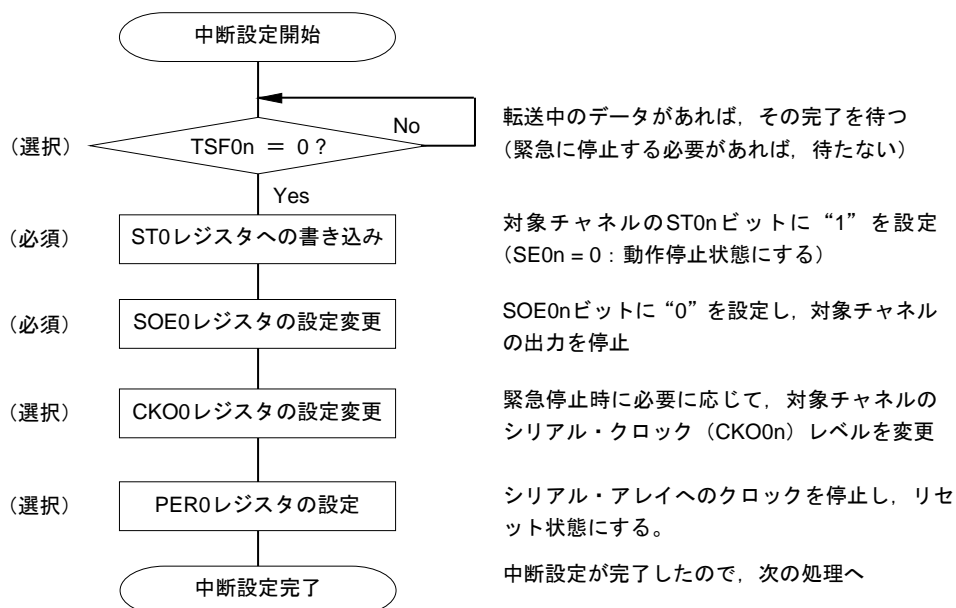
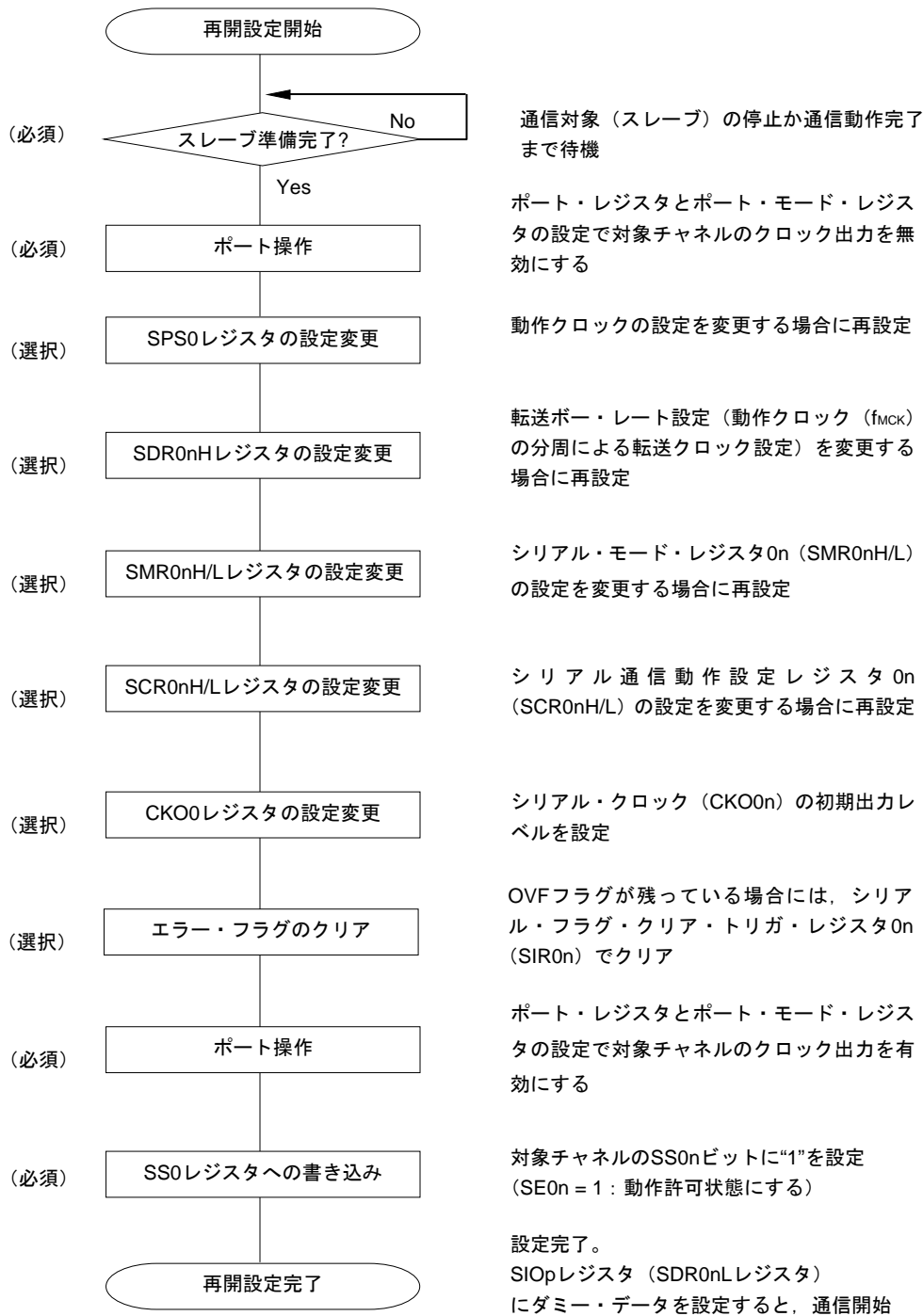


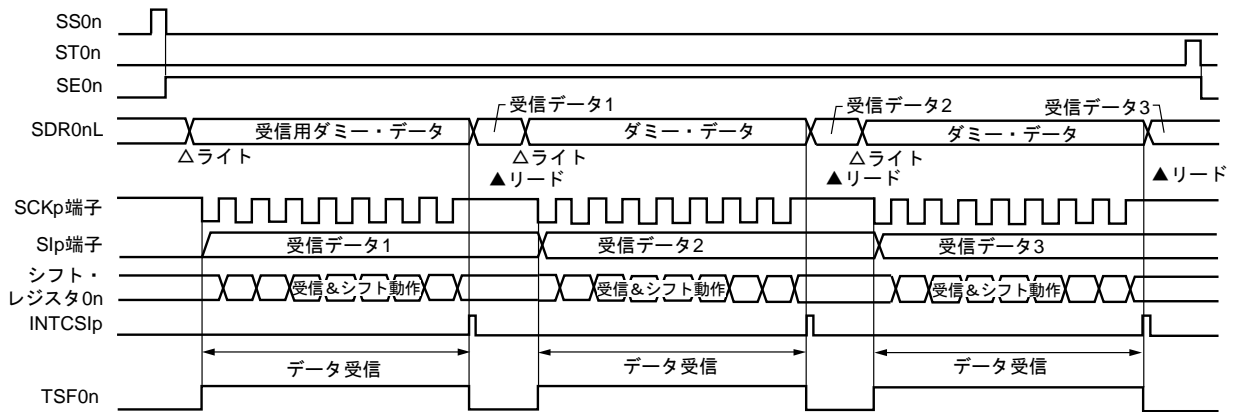
図11-33 マスタ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象（スレーブ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

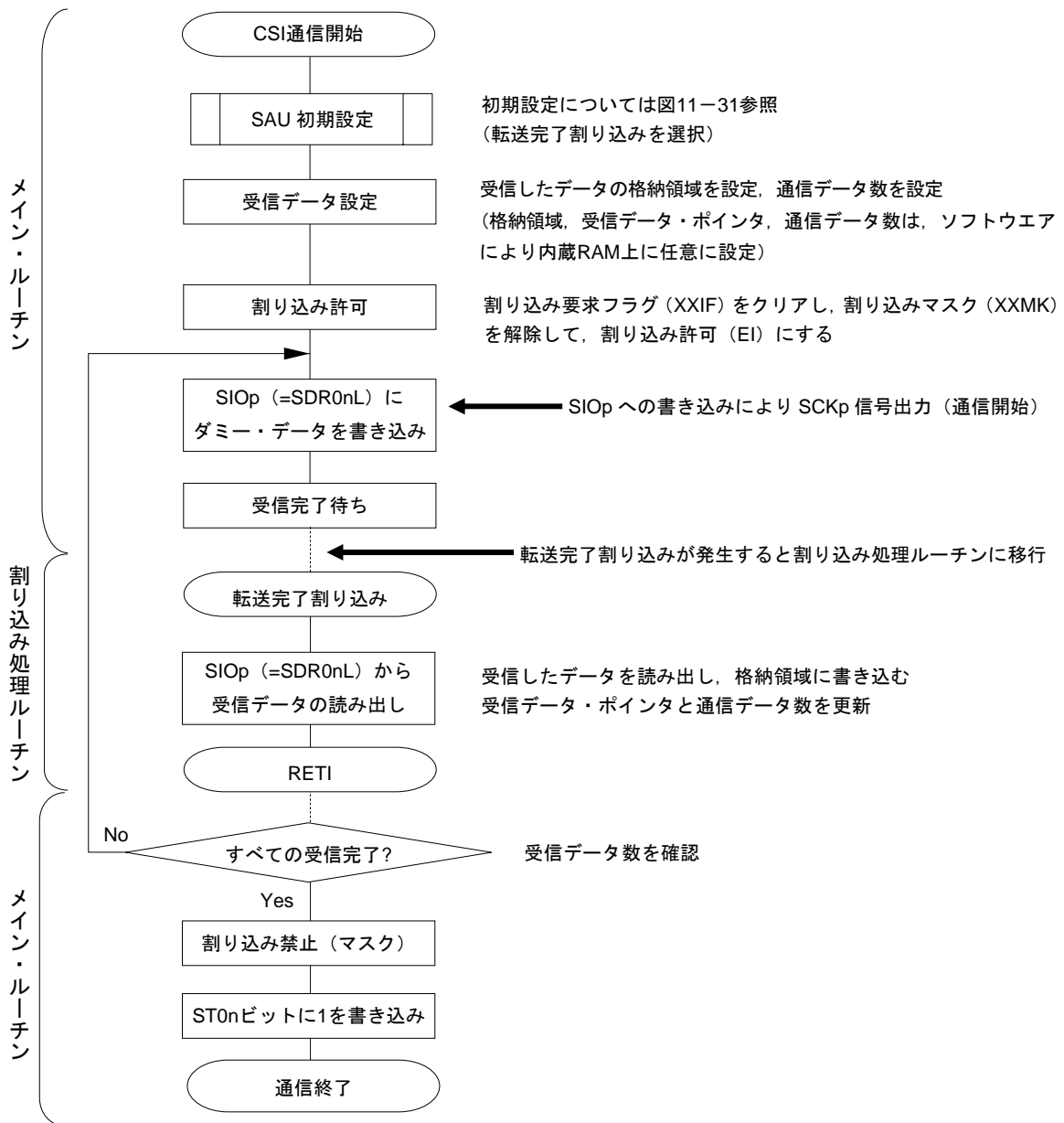
(3) 処理フロー（シングル受信モード時）

図11-34 マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAP0n = 0, CKP0n = 0）



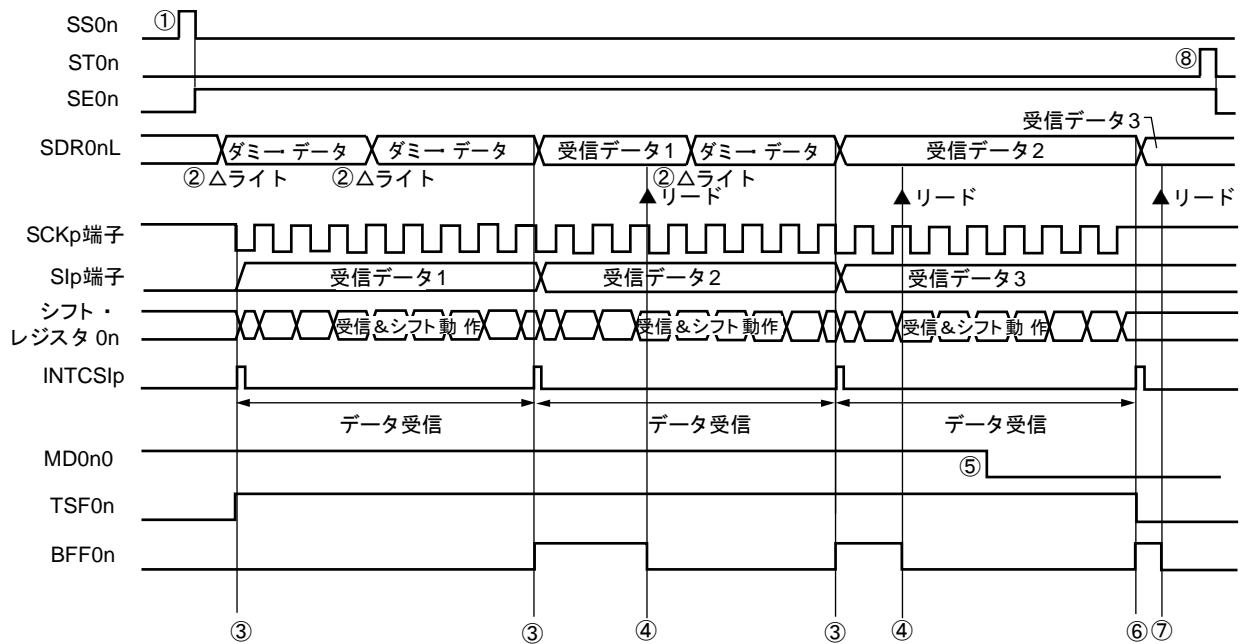
備考 n = 0 p : CSI番号 (p = 00)

図11-35 マスタ受信（シングル受信モード時）のフロー・チャート



(4) 処理フロー（連続受信モード時）

図11-36 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAP0n = 0, CKP0n = 0）



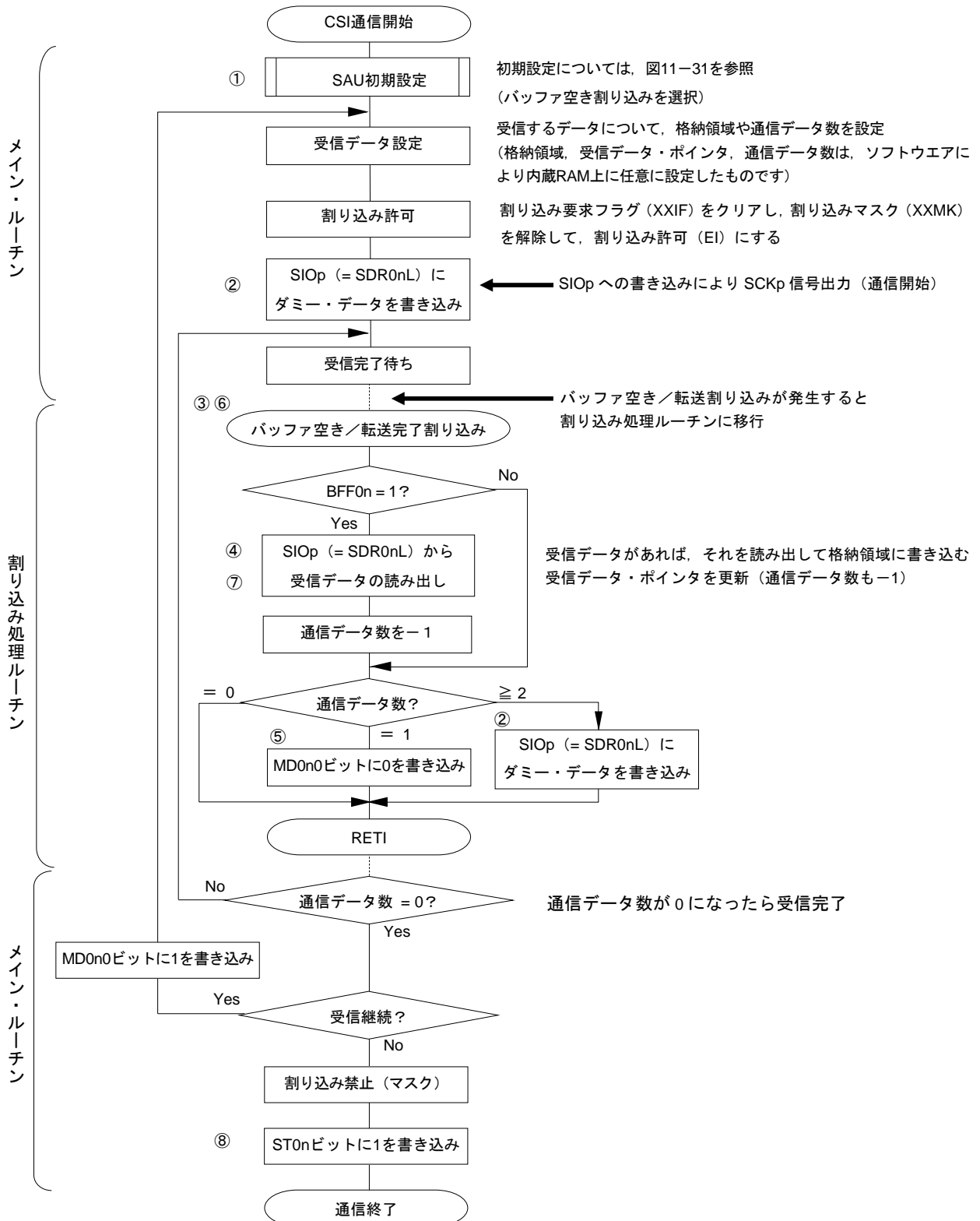
注意 MD0n0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①~⑧は、図11-37 マスタ受信（連続受信モード時）のフロー・チャートの①~⑧に対応しています。

2. n = 0 p : CSI番号 (p = 00)

図11-37 マスタ受信（連続受信モード時）のフロー・チャート



備考 図中の①~⑧は、図11-36 マスタ受信（連続受信モード時）のタイミング・チャートの①~⑧に対応しています。

11.5.3 マスタ送受信

マスタ送受信とは、このRL78/G1M, G1Nが転送クロックを出力し、RL78/G1M, G1Nと他デバイスでデータを送受信する動作です。

| | |
|--------------------|--|
| 3線シリアルI/O | CSI00 |
| 対象チャンネル | SAU0のチャンネル0 |
| 使用端子 | SCK00, SI00, SO00 |
| 割り込み | INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能 |
| エラー検出フラグ | オーバラン・エラー検出フラグ（OVF0n）のみ |
| 転送データ長 | 7ビットまたは8ビット |
| 転送レート ^注 | Max. $f_{CLK}/4$ [Hz] (SDR0nH [7:1] = 1以上) Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] |
| データ位相 | SCR0nHレジスタのDAP0nビットにより選択可能 ・ DAP0n = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAP0n = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 |
| クロック位相 | SCR0nHレジスタのCKP0nビットにより選択可能 ・ CKP0n = 0の場合：非反転 ・ CKP0n = 1の場合：反転 |
| データ方向 | MSBファーストまたはLSBファースト |

注 この条件を満たし、かつ電氣的特性のAC特性（**第23章 電氣的特性参照**）を満たす範囲内で使用してください。

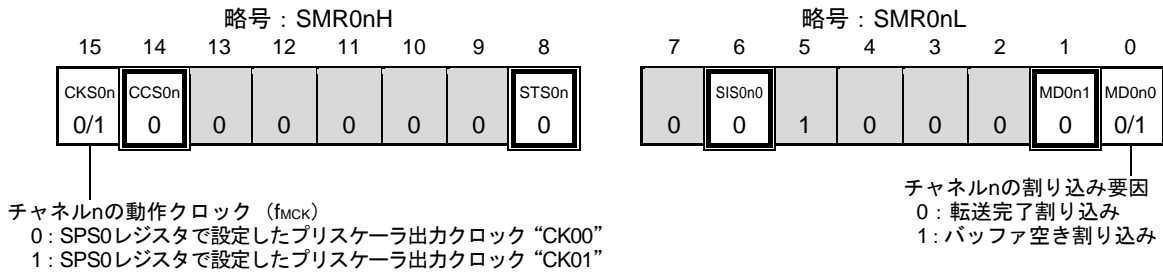
備考1. f_{CLK} ：システム・クロック周波数

2. $n = 0$

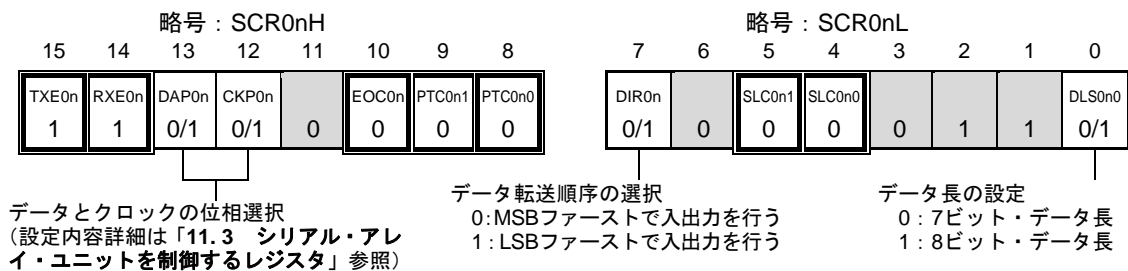
(1) レジスタ設定

図11-38 3線シリアルI/O (CSI00) のマスタ送受信時のレジスタ設定内容例 (1/2)

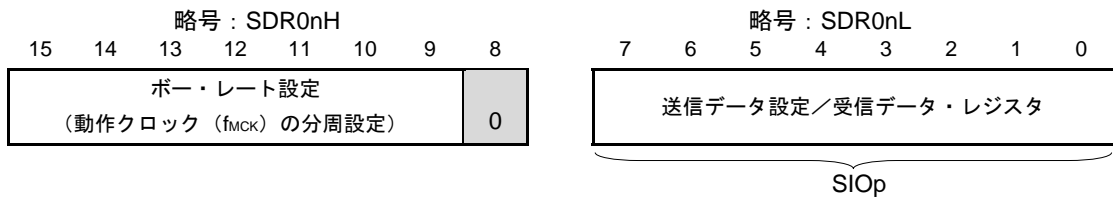
(a) シリアル・モード・レジスタ0n (SMR0nH, SMR0nL)



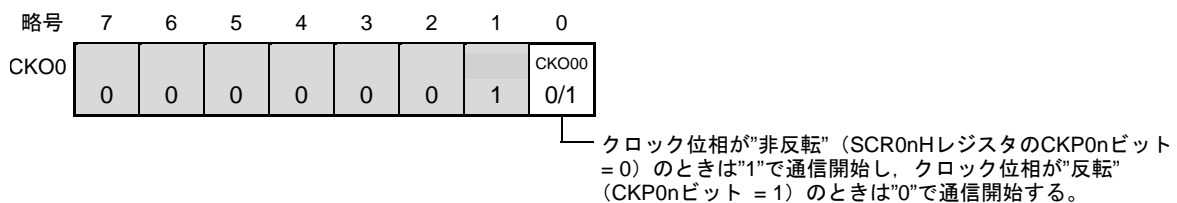
(b) シリアル通信動作設定レジスタ0n (SCR0nH, SCR0nL)



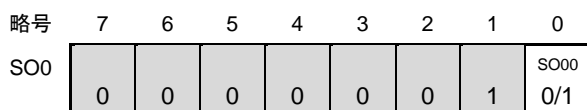
(c) シリアル・データ・レジスタ0n (SDR0nH, SDR0nL)



(d) シリアル・クロック出力レジスタ0 (CKO0)・・・対象チャンネルのビットのみ設定する



(e) シリアル出力レジスタ0 (SO0)・・・対象チャンネルのビットのみ設定する



(備考は次ページにあります。)

図11-38 3線シリアルI/O (CSI00) のマスタ送受信時のレジスタ設定内容例 (2/2)

(f) シリアル出力許可レジスタ0 (SOE0) . . . 対象チャンネルのビットのみ1に設定する

| | | | | | | | | |
|------|---|---|---|---|---|---|---|--------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOE0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOE00 0/1 |

(g) シリアル・チャンネル開始レジスタ0 (SS0) . . . 対象チャンネルのビットのみ1に設定する

| | | | | | | | | |
|-----|---|---|---|---|---|---|-------------|-------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SS0 | 0 | 0 | 0 | 0 | 0 | 0 | SS01 0/1 | SS00 0/1 |

備考1. n = 0 p : CSI番号 (p = 00)

2. : CSIマスタ送受信モードでは設定固定 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-39 マスタ送受信の初期設定手順

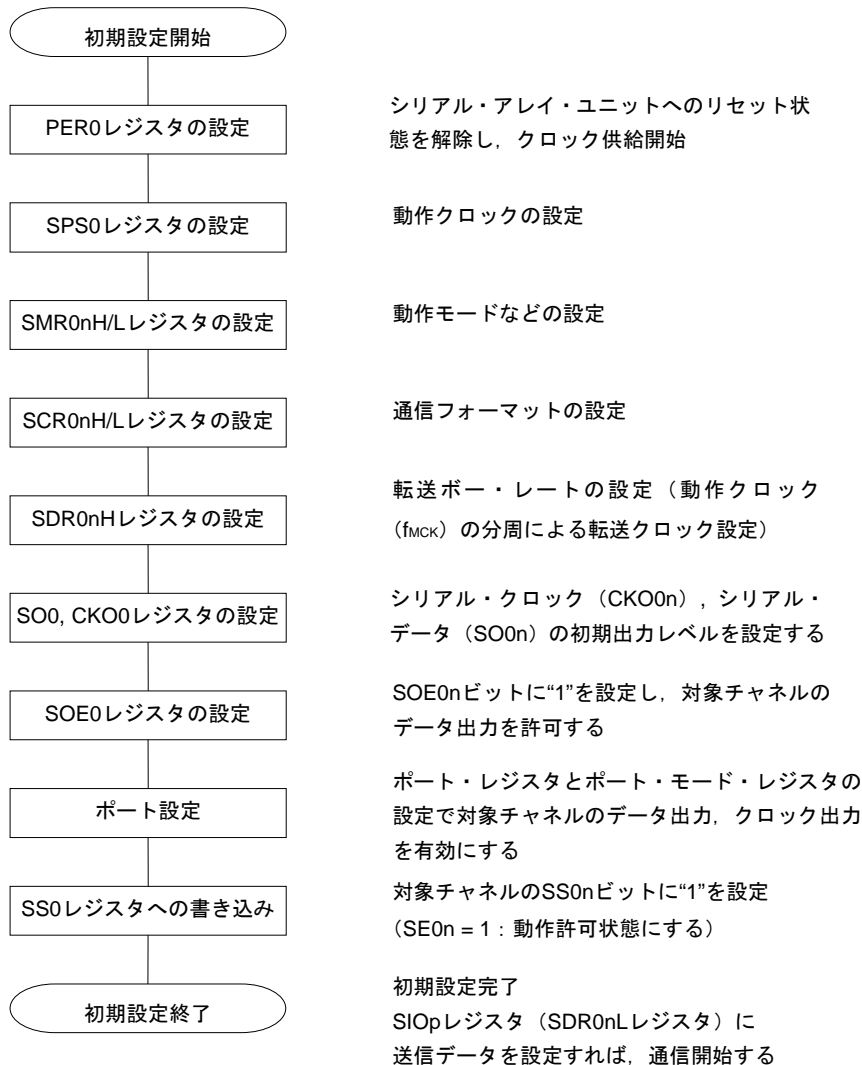


図11-40 マスタ送受信の中断手順

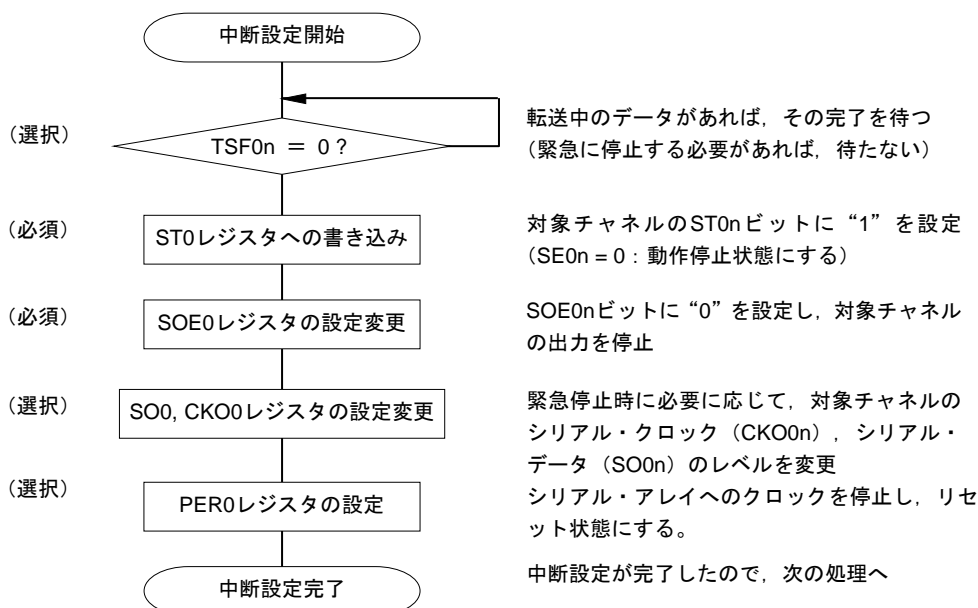
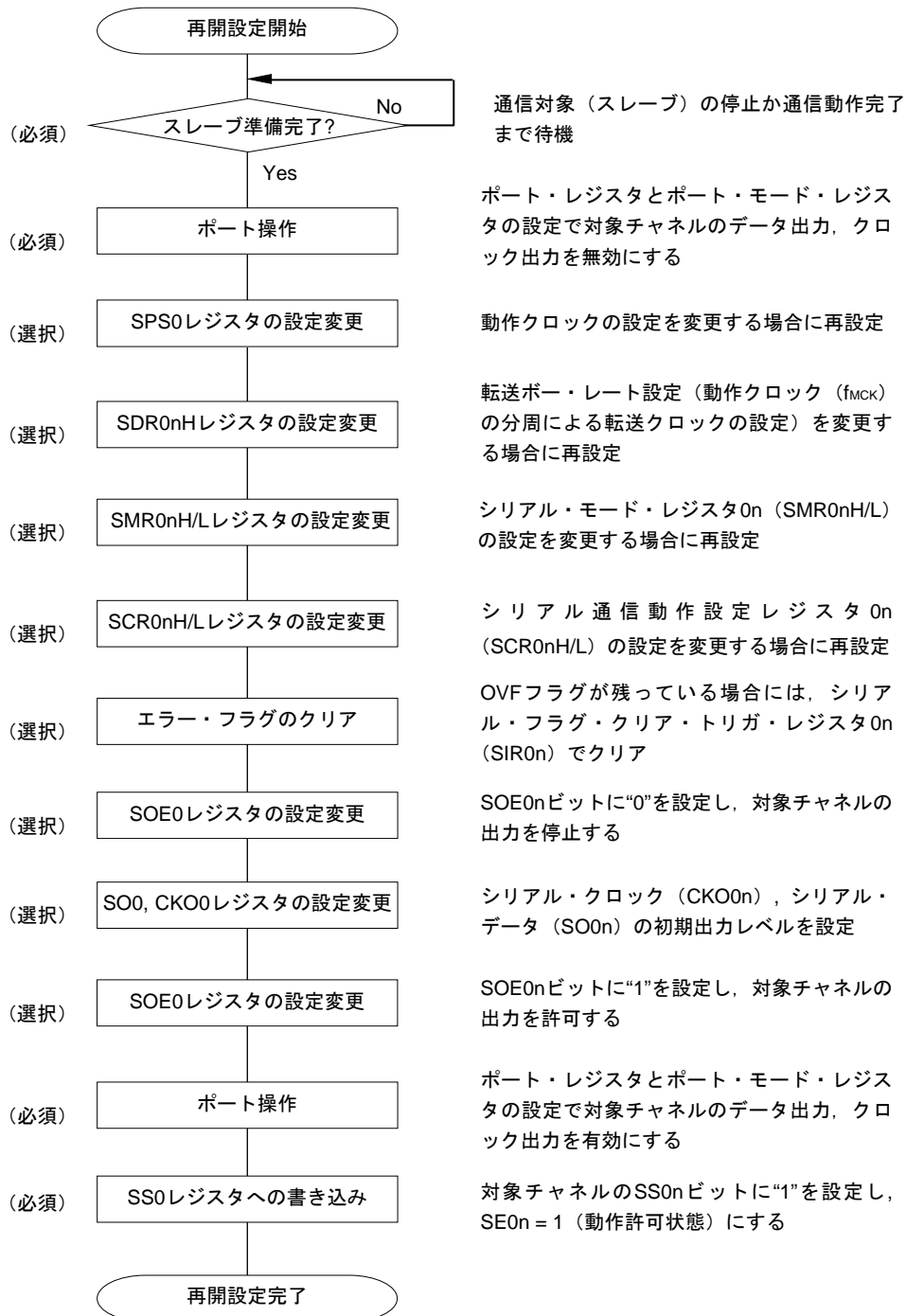


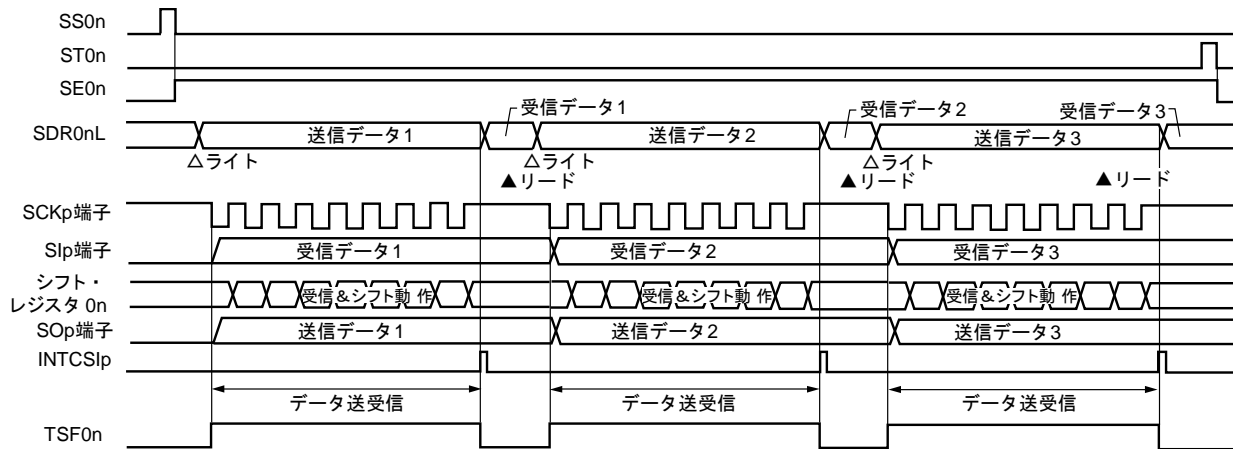
図11-41 マスタ送受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は, 通信対象 (スレーブ) の停止か通信動作完了を待って, 再開設定ではなく初期設定をしてください。

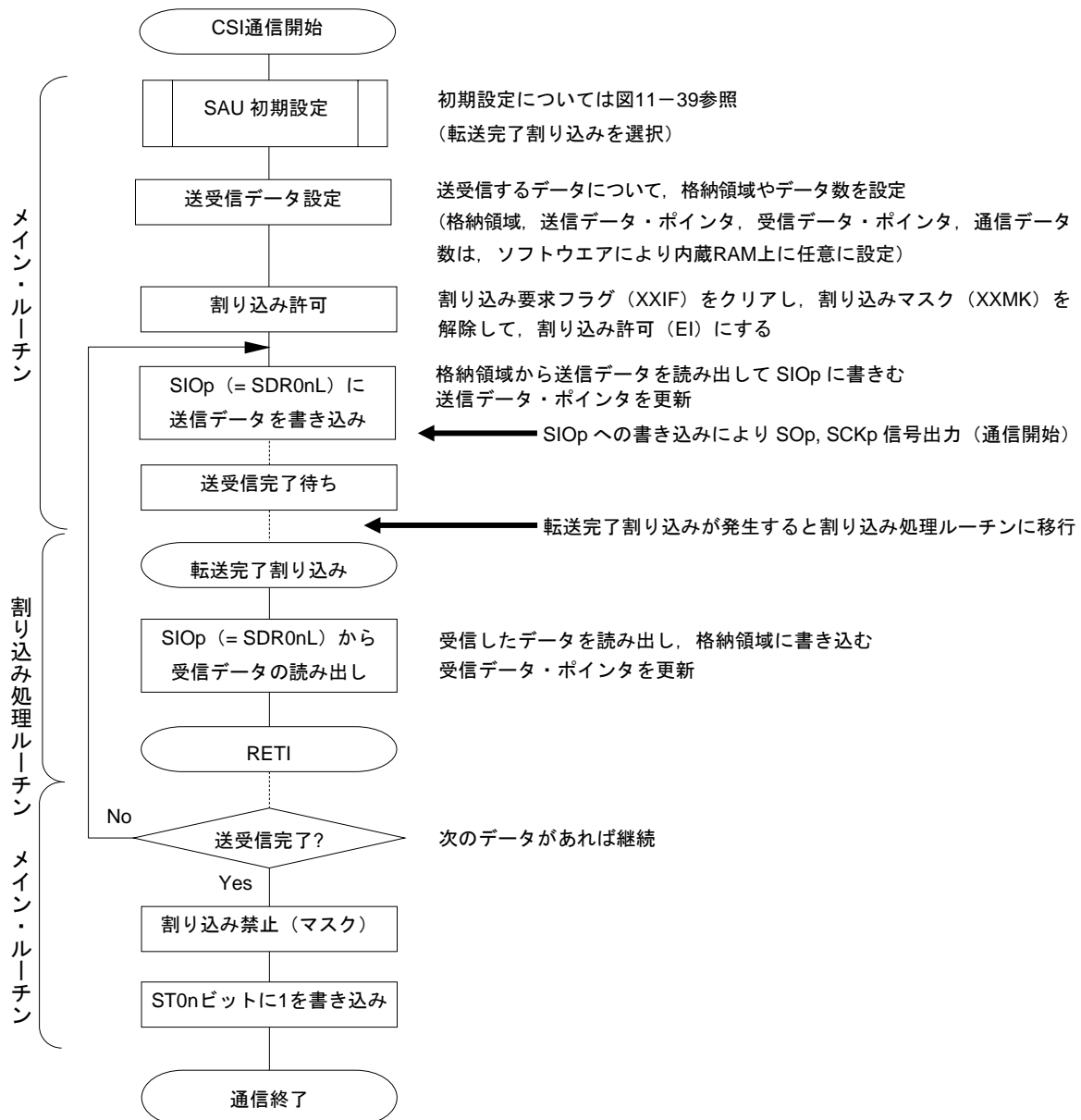
(3) 処理フロー（シングル送受信モード時）

図11-42 マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAP0n = 0, CKP0n = 0）



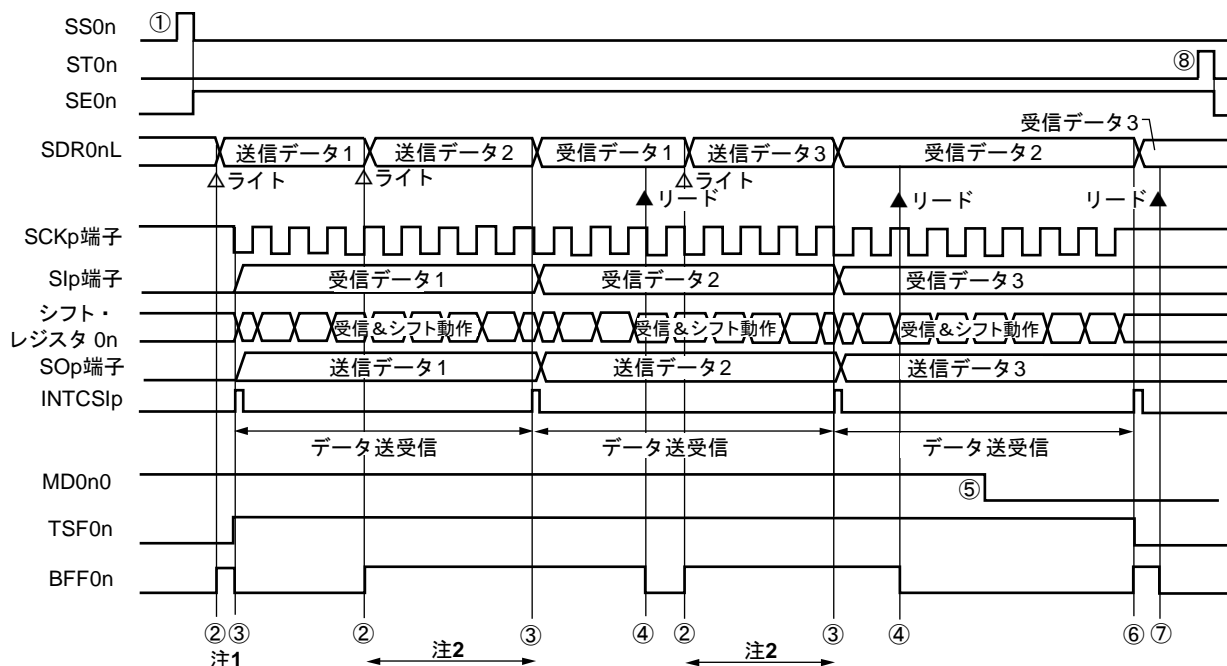
備考 n = 0 p : CSI番号 (p = 00)

図11-43 マスタ送受信（シングル送受信モード時）のフロー・チャート



(4) 処理フロー（連続送受信モード時）

図11-44 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAP0n = 0, CKP0n = 0）



注1. シリアル・ステータス・レジスタ0n (SSR0n) のBFF0nビットが“1”の期間（有効なデータがシリアル・データ・レジスタ0n (SDR0nL) に格納されている時)にSDR0nLレジスタに送信データを書き込むと、送信データが上書きされます。

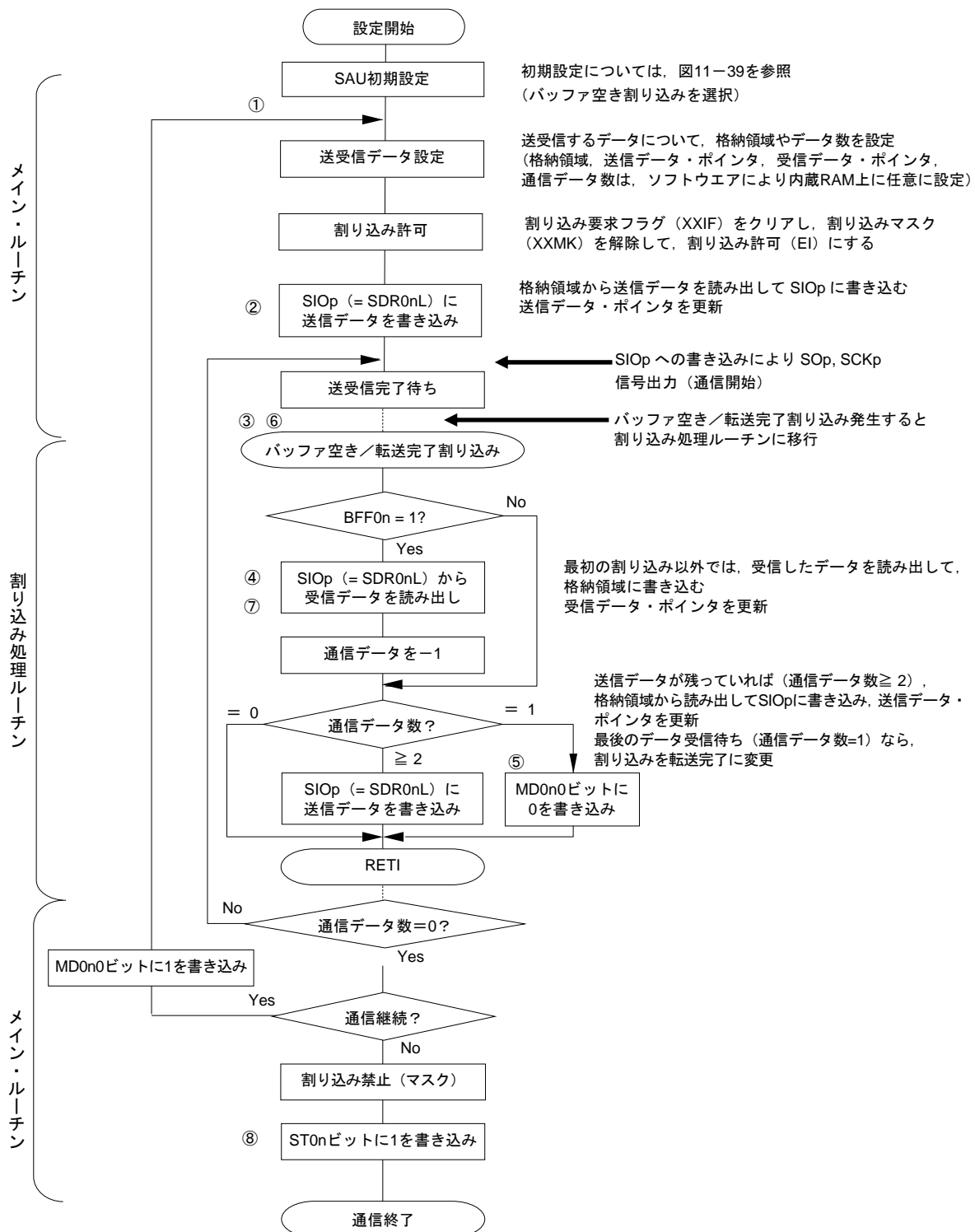
2. この期間にSDR0nLレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ0n (SMR0nL) のMD0n0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①~⑧は、図11-45 マスタ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

2. n = 0 p: CSI番号 (p = 00)

図11-45 マスタ送受信（連続送受信モード時）のフロー・チャート



備考 図中の①~⑧は、図11-44 マスタ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

11.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78/G1M, G1Nから他デバイスヘデータを送信する動作です。

| 3線シリアルI/O | CSI00 |
|-----------|--|
| 対象チャンネル | SAU0のチャンネル0 |
| 使用端子 | SCK00, SO00 |
| 割り込み | INTCSI00 |
| | 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能 |
| エラー検出フラグ | オーバラン・エラー検出フラグ（OVF0n）のみ |
| 転送データ長 | 7ビットまたは8ビット |
| 転送レート | Max. $f_{MCK}/6$ [Hz] ^{注1, 2} |
| データ位相 | SCR0nHレジスタのDAP0nビットにより選択可能 <ul style="list-style-type: none"> ・ DAP0n = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAP0n = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 |
| クロック位相 | SCR0nHレジスタのCKP0nビットにより選択可能 <ul style="list-style-type: none"> ・ CKP0n = 0の場合：非反転 ・ CKP0n = 1の場合：反転 |
| データ方向 | MSBファーストまたはLSBファースト |

注1. SCK00端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

2. この条件を満たし、かつ電気的特性のAC特性（第23章 電気的特性参照）を満たす範囲内で使用してください。

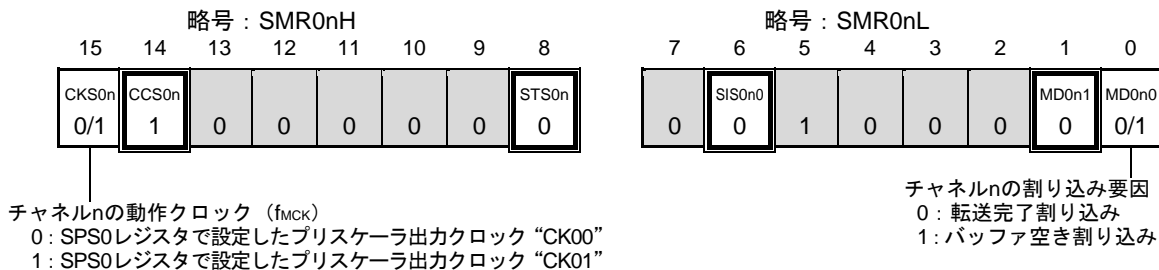
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

2. $n = 0$

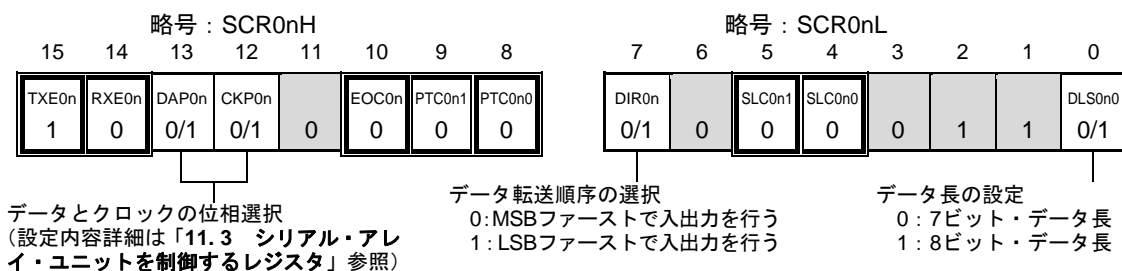
(1) レジスタ設定

図11-46 3線シリアルI/O (CSI00) のスレーブ送信時のレジスタ設定内容例 (1/2)

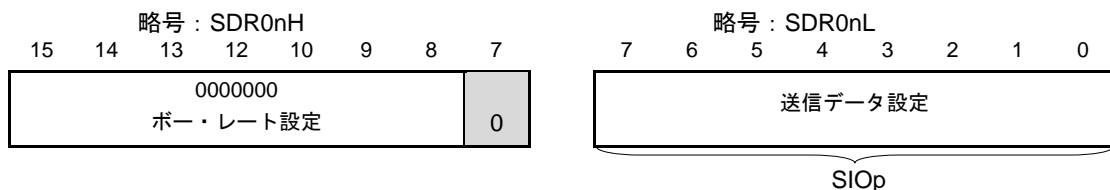
(a) シリアル・モード・レジスタ0n (SMR0nH, SMR0nL)



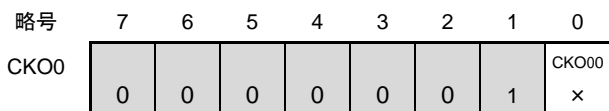
(b) シリアル通信動作設定レジスタ0n (SCR0nH, SCR0nL)



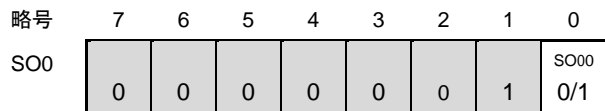
(c) シリアル・データ・レジスタ0n (SDR0nH, SDR0nL)



(d) シリアル・クロック出カレジスタ0 (CKO0) ・ ・ ・ このモードでは使用しない



(e) シリアル出カレジスタ0 (SO0) ・ ・ ・ 対象チャンネルのビットのみ設定する



(注, 備考は次ページにあります。)

図11-46 3線シリアルI/O (CSI00) のスレーブ送信時のレジスタ設定内容例 (2/2)

(f) シリアル出力許可レジスタ0 (SOE0) . . . 対象チャネルのビットのみ1に設定する

| | | | | | | | | |
|------|---|---|---|---|---|---|---|--------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOE0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOE00 0/1 |

(g) シリアル・チャンネル開始レジスタ0 (SS0) . . . 対象チャネルのビットのみ1に設定する

| | | | | | | | | |
|-----|---|---|---|---|---|---|-------------|-------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SS0 | 0 | 0 | 0 | 0 | 0 | 0 | SS01 0/1 | SS00 0/1 |

備考1. n = 0 p : CSI番号 (p = 00)

2. : CSIスレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-47 スレーブ送信の初期設定手順

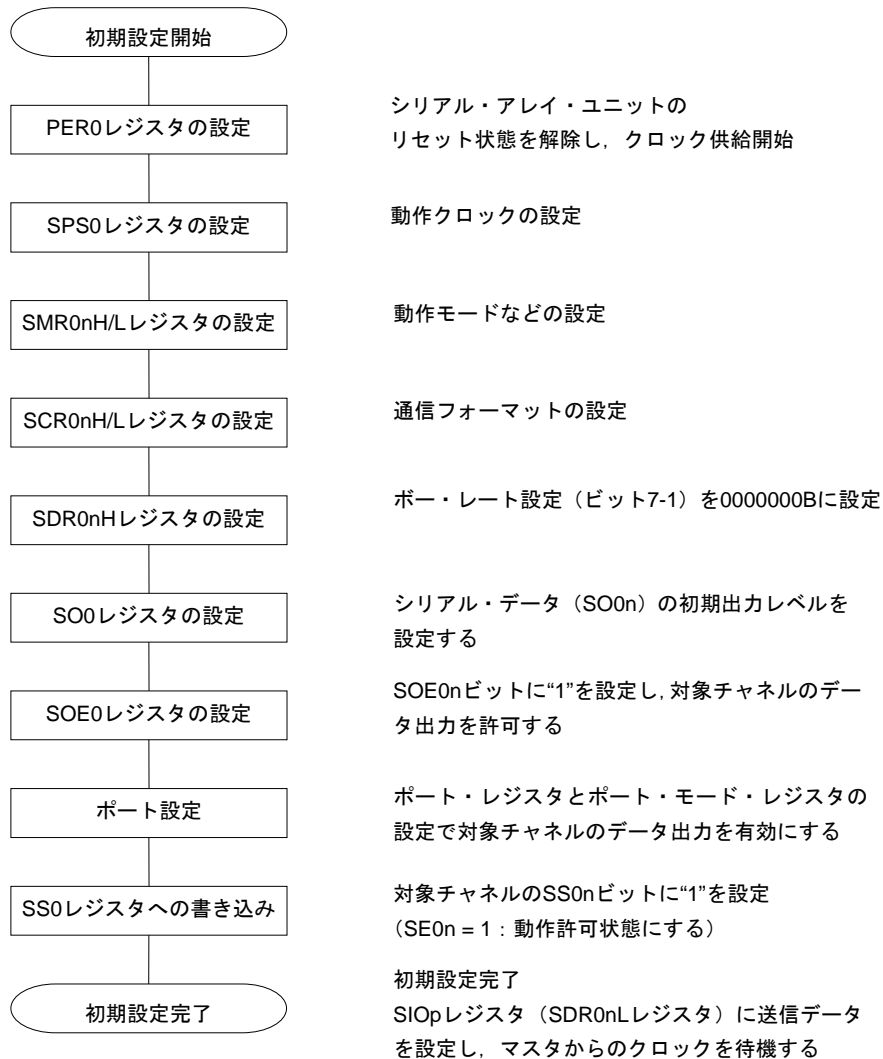


図11-48 スレーブ送信の中断手順

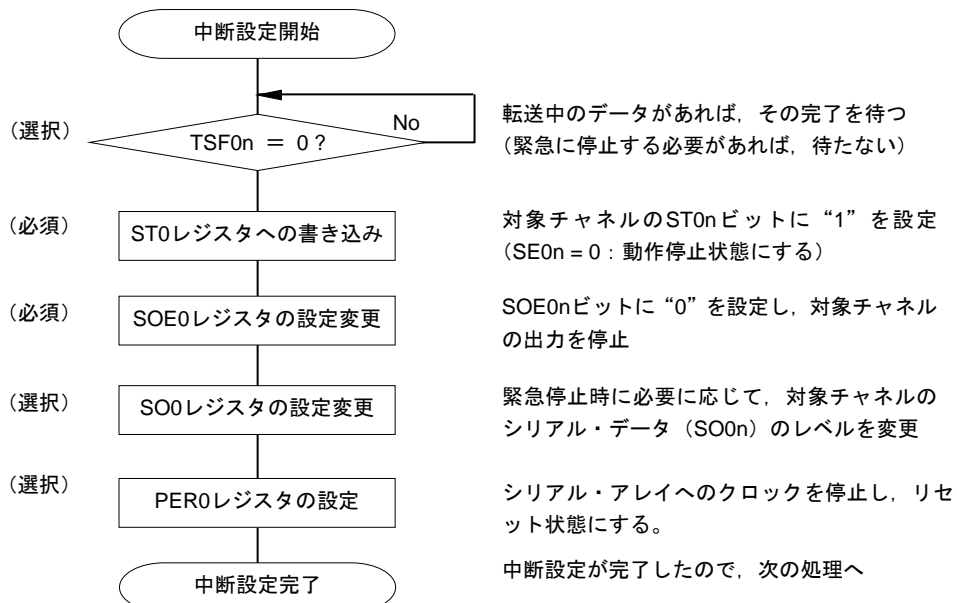
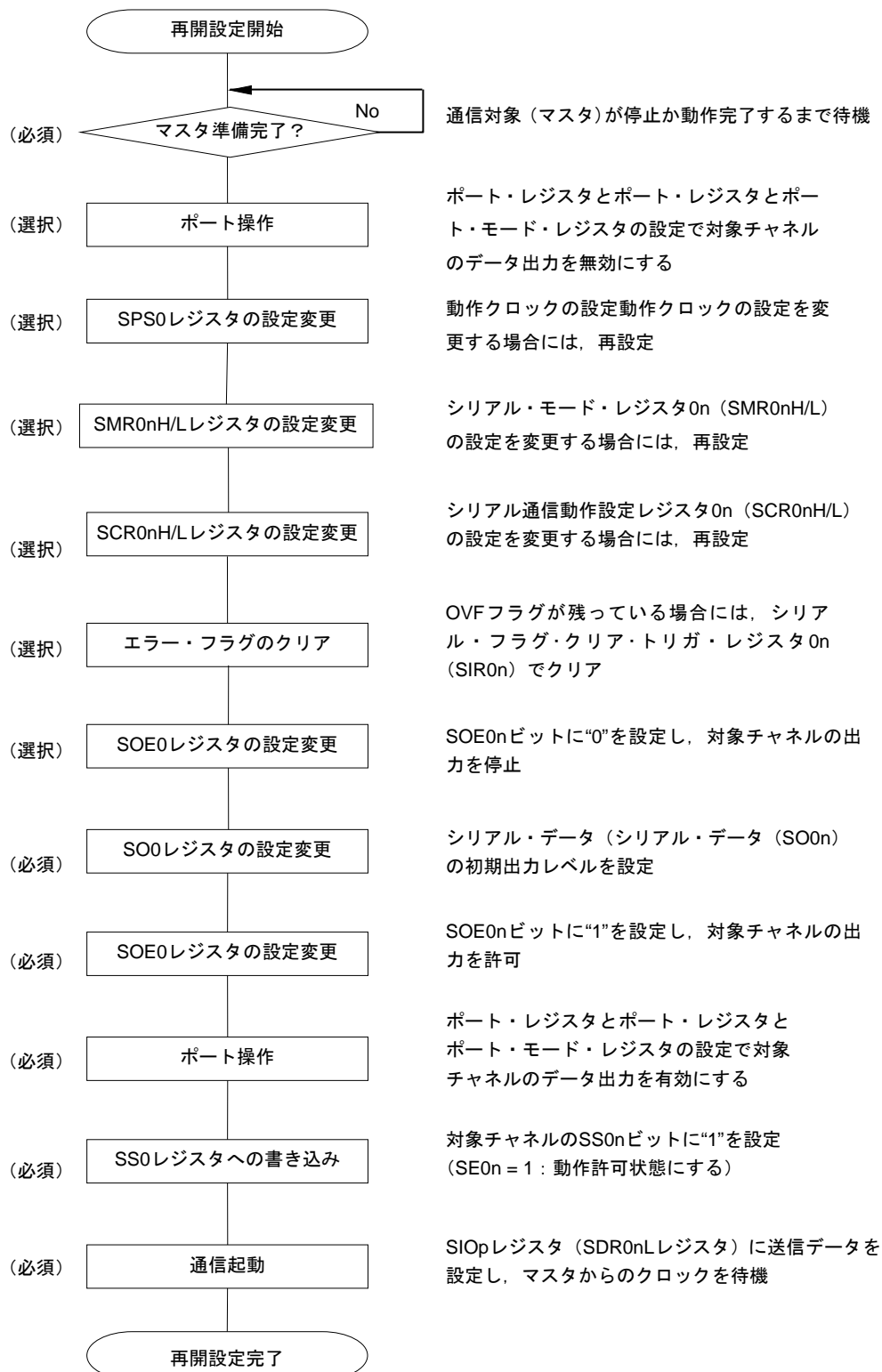


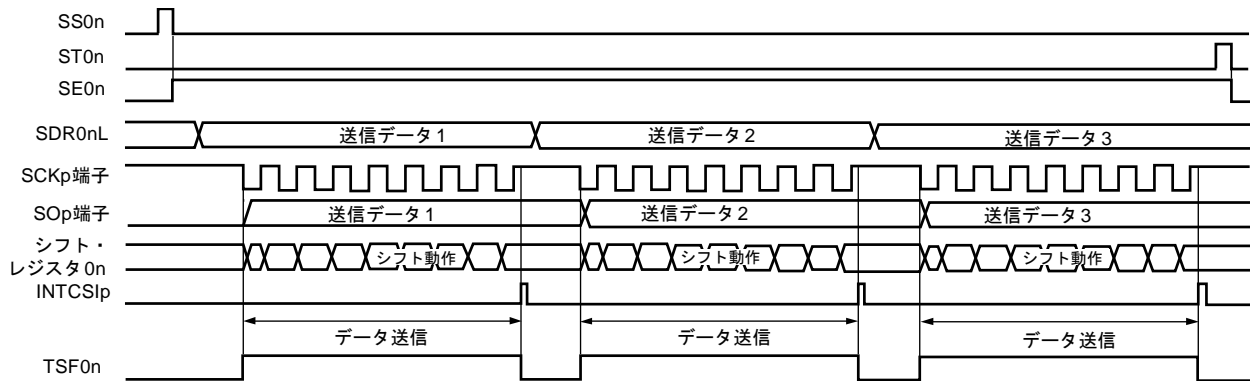
図11-49 スレーブ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

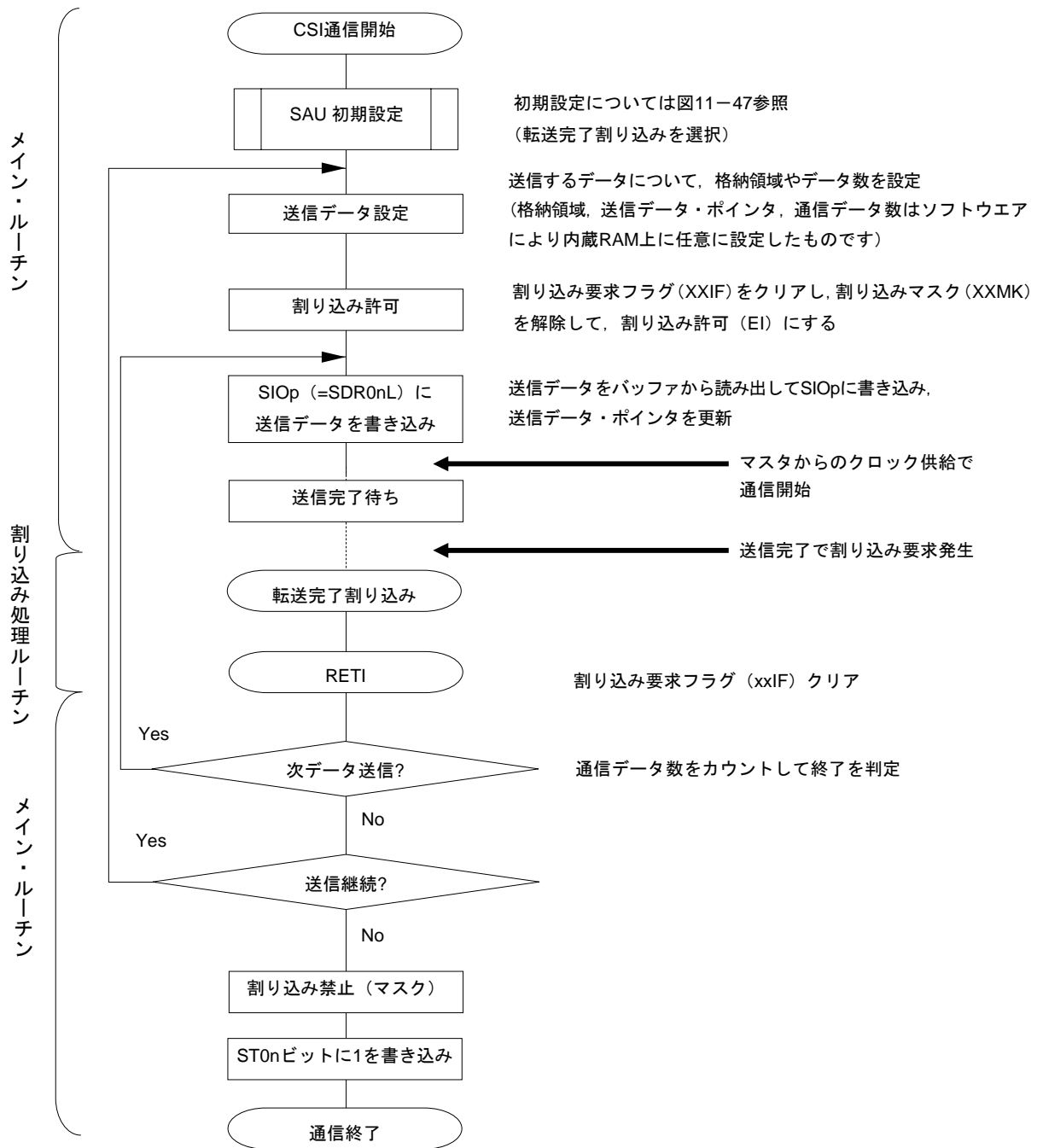
(3) 処理フロー（シングル送信モード時）

図11-50 スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAP0n = 0, CKP0n = 0）



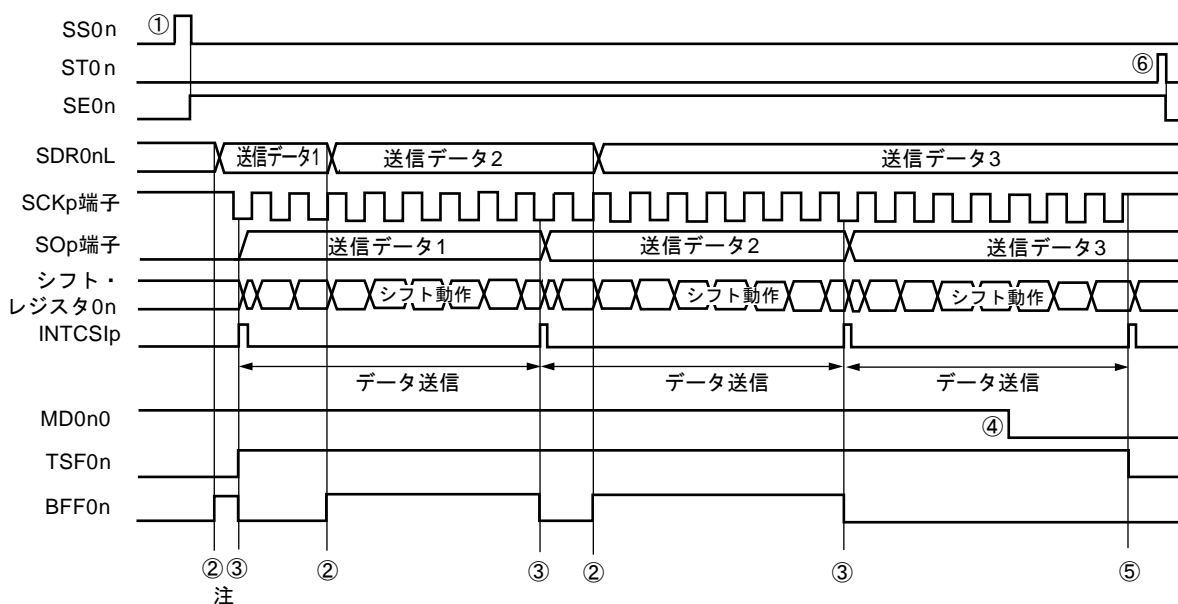
備考 n = 0 p : CSI番号 (p = 00)

図11-51 スレーブ送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図11-52 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAP0n = 0, CKP0n = 0）

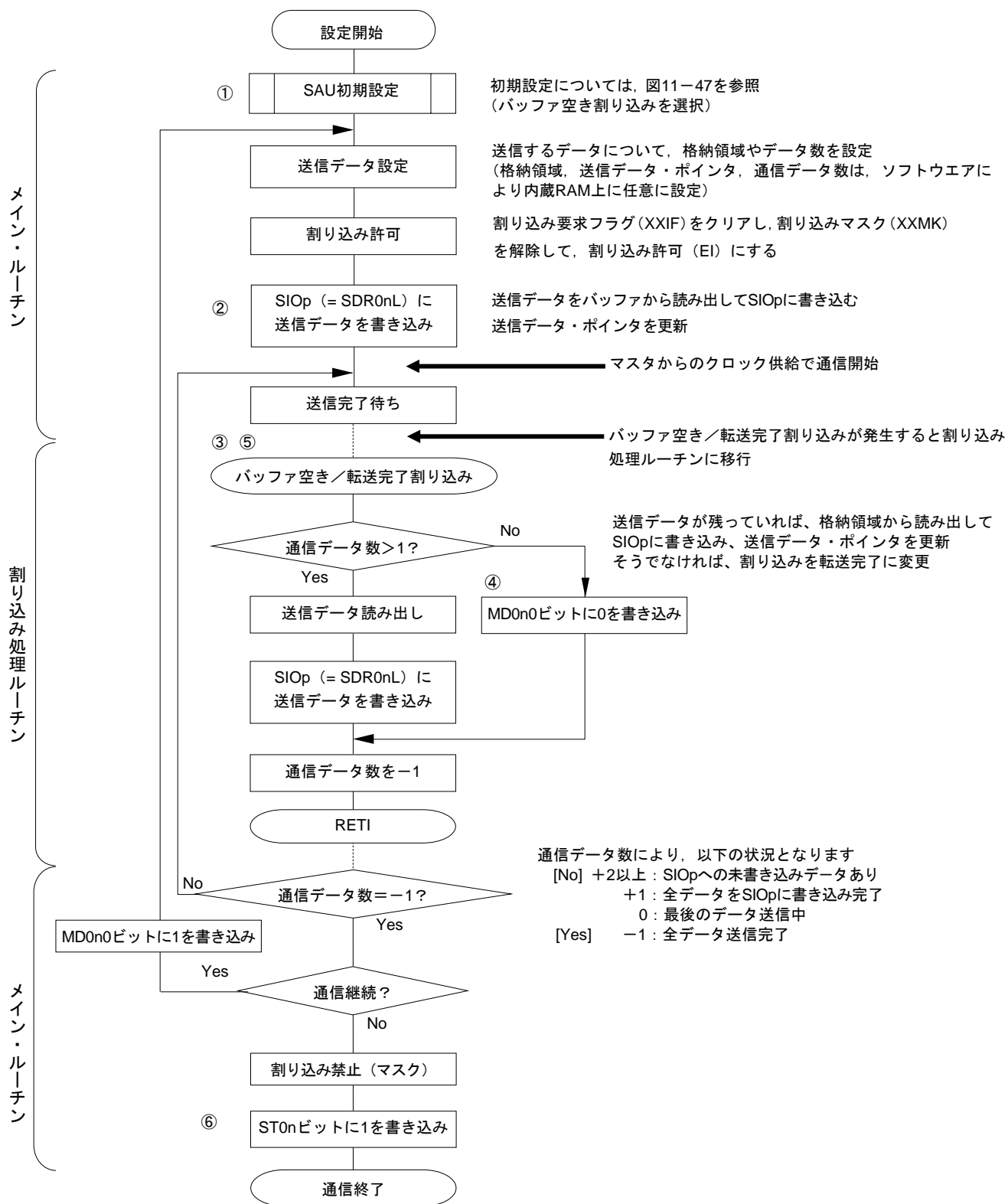


注 シリアル・ステータス・レジスタ0n (SSR0n) のBFF0nビットが“1”の期間（有効なデータがシリアル・データ・レジスタ0n (SDR0nL) に格納されているとき）にSDR0nLレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ0n (SMR0nL) のMD0n0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 n = 0 p : CSI番号 (p = 00)

図11-53 スレーブ送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は、図11-52 スレーブ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

11.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78/G1M, G1Nが他デバイスからデータを受信する動作です。

| | |
|-----------|--|
| 3線シリアルI/O | CSI00 |
| 対象チャンネル | SAU0のチャンネル0 |
| 使用端子 | SCK00, SI00 |
| 割り込み | INTCSI00 |
| | 転送完了割り込みのみ（バッファ空き割り込みは設定禁止） |
| エラー検出フラグ | オーバラン・エラー検出フラグ（OVF0n）のみ |
| 転送データ長 | 7ビットまたは8ビット |
| 転送レート | Max. $f_{MCK}/6$ [Hz] ^{注1, 2} |
| データ位相 | SCR0nHレジスタのDAP0nビットにより選択可能 <ul style="list-style-type: none"> ・ DAP0n = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAP0n = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 |
| クロック位相 | SCR0nHレジスタのCKP0nビットにより選択可能 <ul style="list-style-type: none"> ・ CKP0n = 0の場合：非反転 ・ CKP0n = 1の場合：反転 |
| データ方向 | MSBファーストまたはLSBファースト |

注1. SCK00端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

2. この条件を満たし、かつ電気的特性のAC特性（**第23章 電気的特性参照**）を満たす範囲内で使用してください。

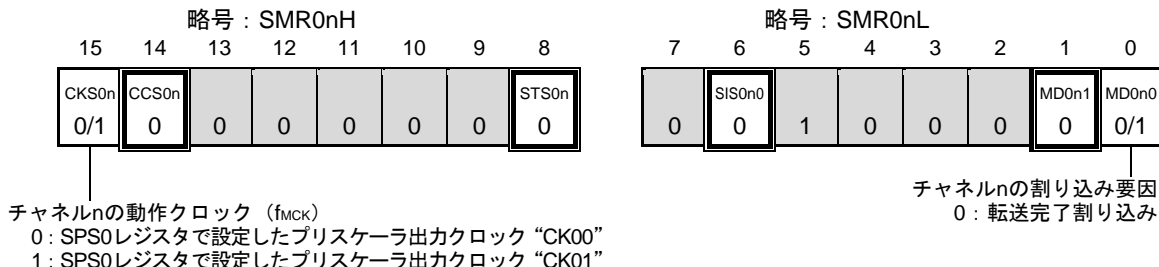
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

2. $n = 0$

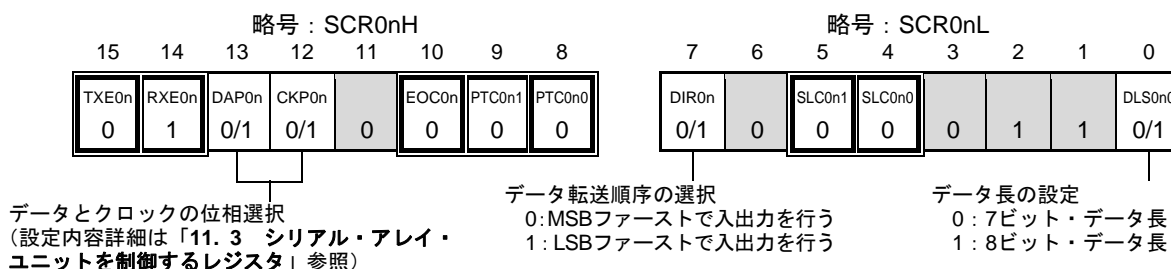
(1) レジスタ設定

図11-54 3線シリアルI/O (CSI00) のスレーブ受信時のレジスタ設定内容例 (1/2)

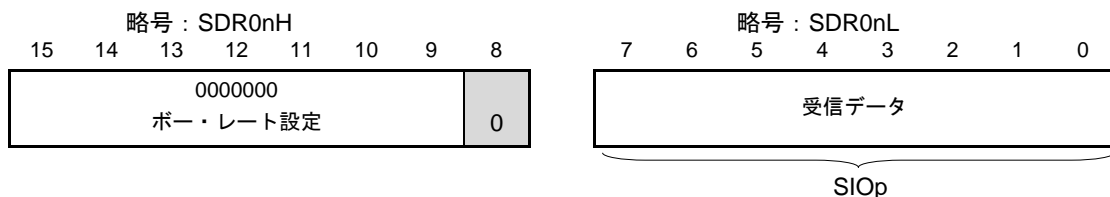
(a) シリアル・モード・レジスタ0n (SMR0nH, SMR0nL)



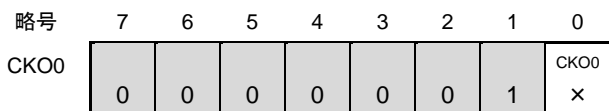
(b) シリアル通信動作設定レジスタ0n (SCR0nH, SCR0nL)



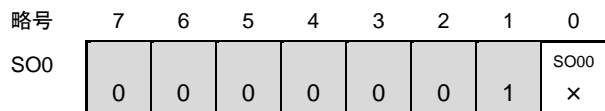
(c) シリアル・データ・レジスタ0n (SDR0nH, SDR0nL)



(d) シリアル・クロック出カレジスタ0 (CKO0) . . . このモードでは使用しない



(e) シリアル出カレジスタ0 (SO0) . . . このモードでは使用しない



(備考は次ページにあります。)

図11-54 3線シリアルI/O (CSI00) のスレーブ受信時のレジスタ設定内容例 (2/2)

(f) シリアル出力許可レジスタ0 (SOE0) . . . このモードでは使用しない

| | | | | | | | | |
|------|---|---|---|---|---|---|---|------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOE0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOE00 × |

(g) シリアル・チャンネル開始レジスタ0 (SS0) . . . 対象チャンネルのビットのみ1に設定する

| | | | | | | | | |
|-----|---|---|---|---|---|---|-------------|-------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SS0 | 0 | 0 | 0 | 0 | 0 | 0 | SS01 0/1 | SS00 0/1 |

備考1. n = 0 p : CSI番号 (p = 00)

2. : スレーブ受信モードでは設定固定 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-55 スレーブ受信の初期設定手順

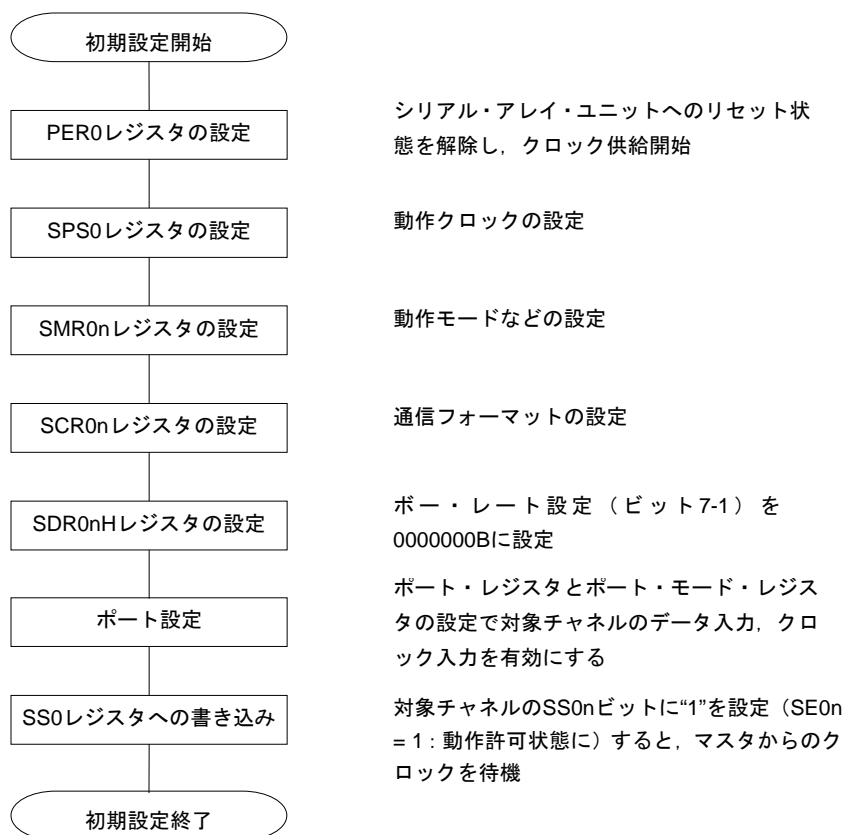


図11-56 スレーブ受信の中断手順

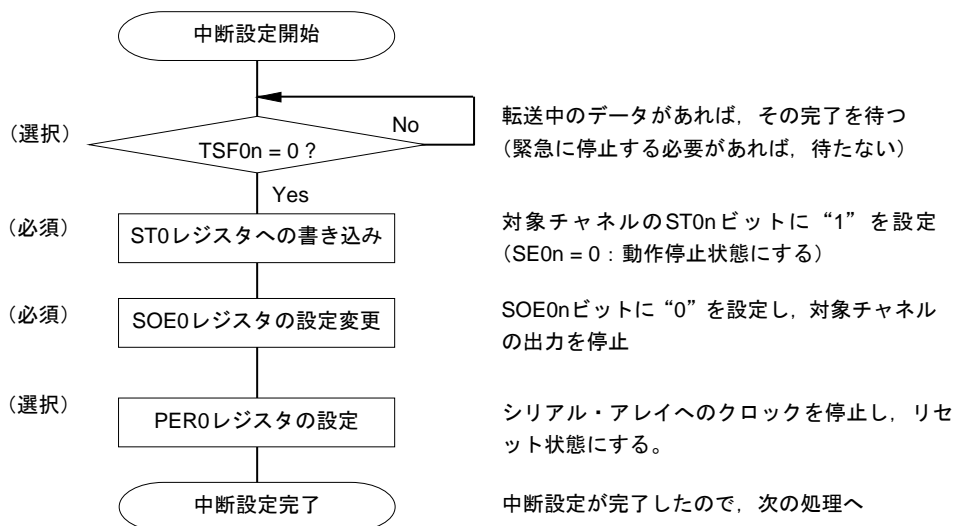
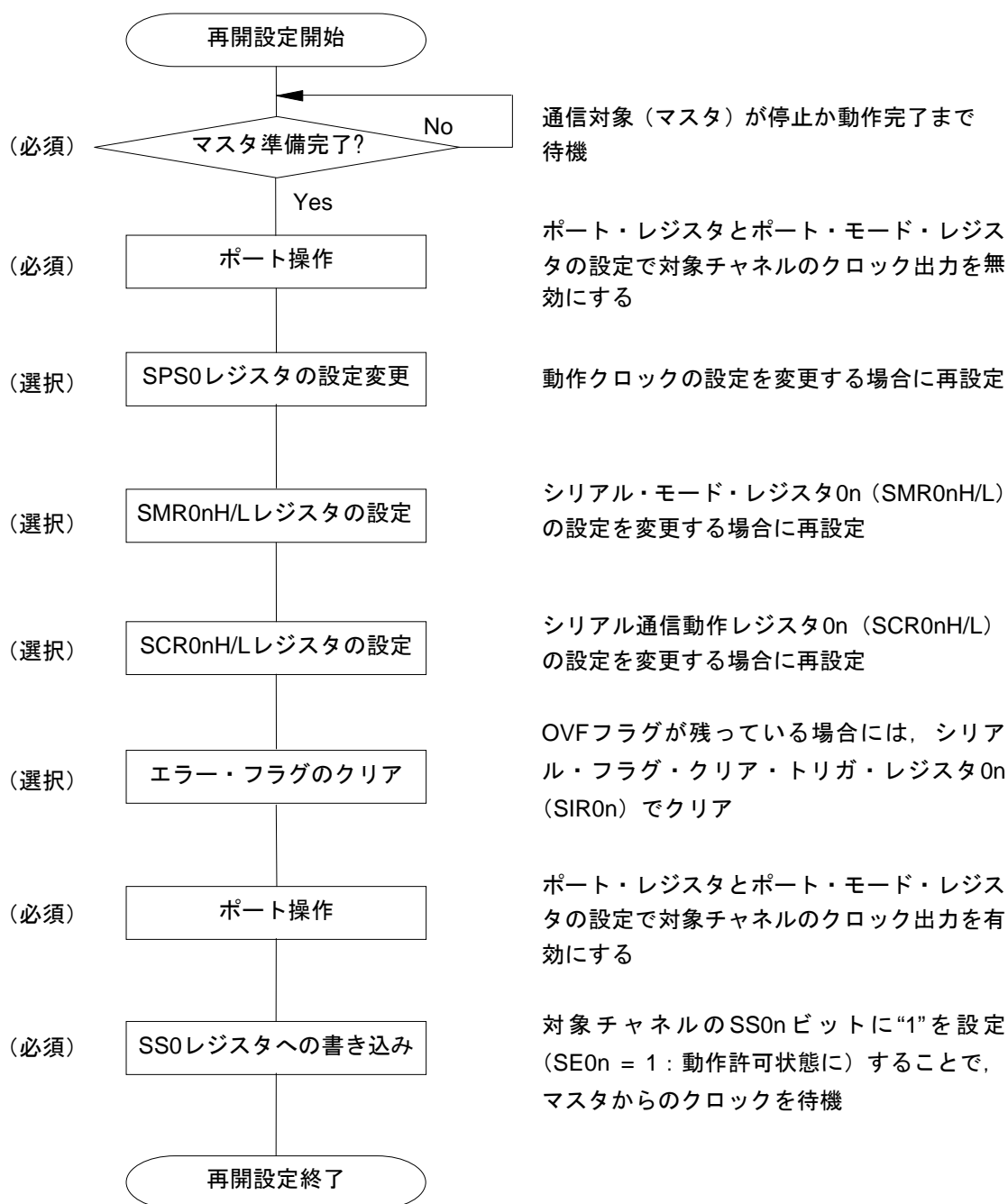


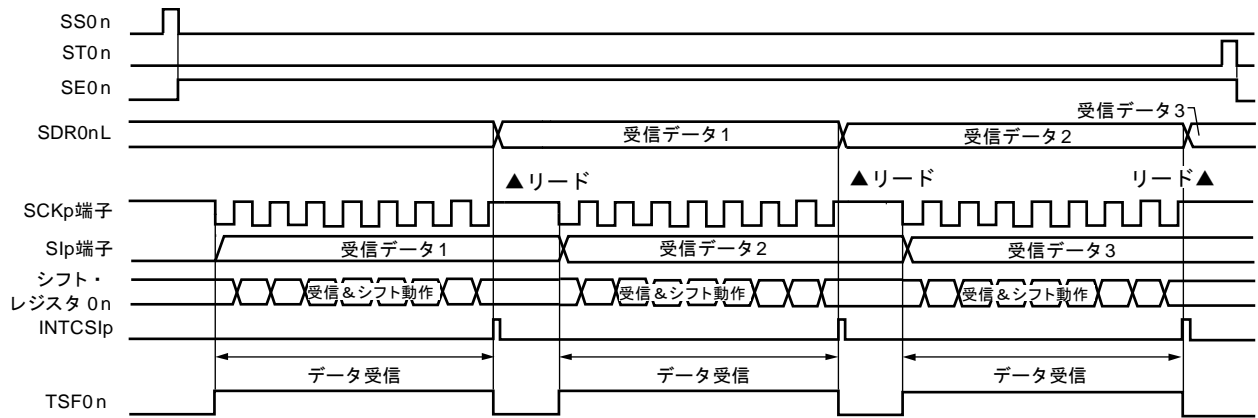
図11-57 スレーブ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

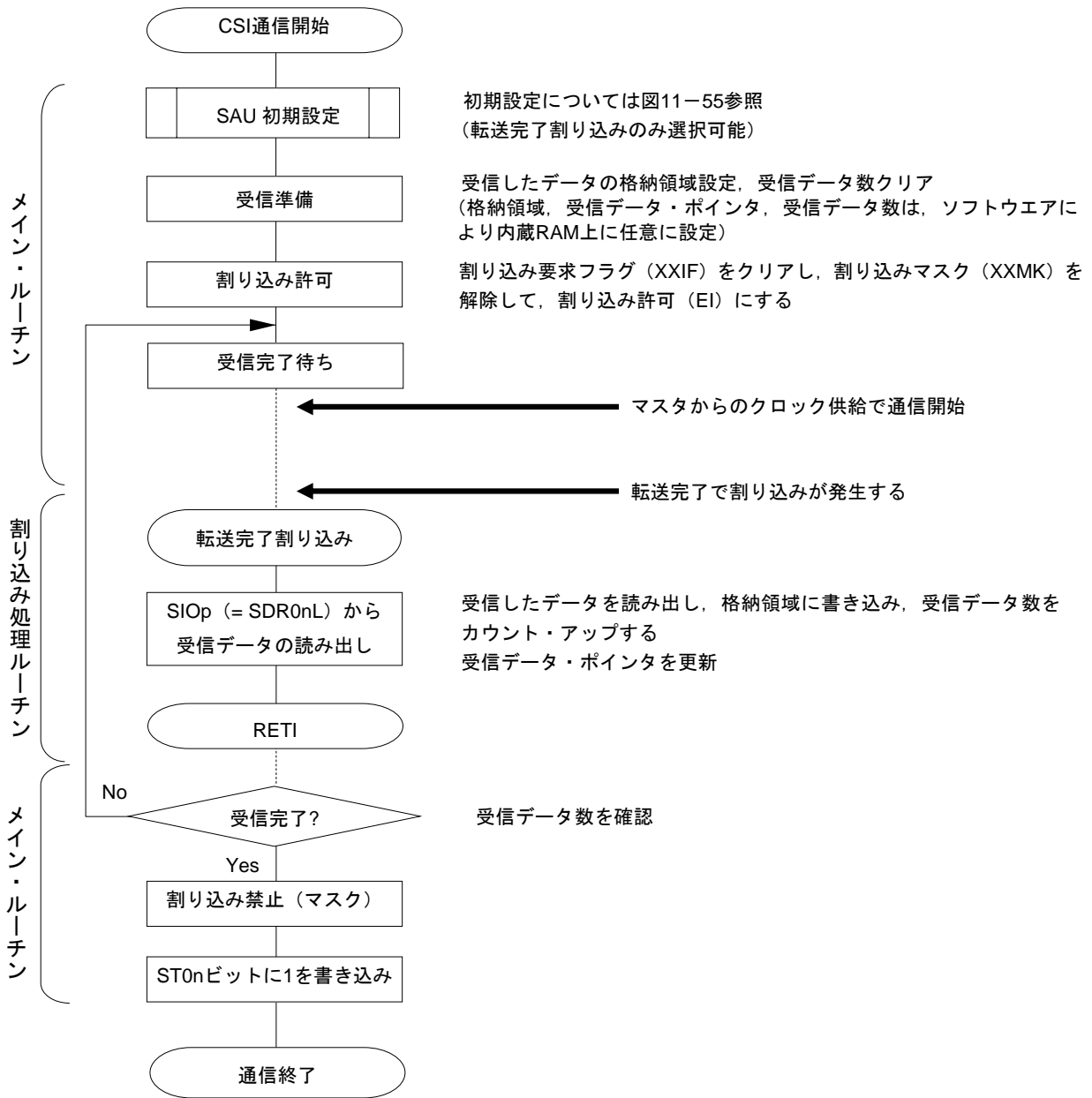
(3) 処理フロー（シングル受信モード時）

図11-58 スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAP0n=0, CKP0n=0）



備考 n = 0 p : CSI番号 (p = 00)

図11-59 スレーブ受信（シングル受信モード時）のフロー・チャート



11.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78/G1M, G1Nと他デバイスでデータを送受信する動作です。

| 3線シリアルI/O | CSI00 |
|-----------|--|
| 対象チャンネル | SAU0のチャンネル0 |
| 使用端子 | SCK00, SI00, SO00 |
| 割り込み | INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能 |
| エラー検出フラグ | オーバラン・エラー検出フラグ（OVF0n）のみ |
| 転送データ長 | 7ビットまたは8ビット |
| 転送レート | Max. $f_{MCK}/6$ [Hz] ^{注1, 2} |
| データ位相 | SCR0nHレジスタのDAP0nビットにより選択可能 ・ DAP0n = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAP0n = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 |
| クロック位相 | SCR0nHレジスタのCKP0nビットにより選択可能 ・ CKP0n = 0の場合：非反転 ・ CKP0n = 1の場合：反転 |
| データ方向 | MSBファーストまたはLSBファースト |

注1. SCK00端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

- この条件を満たし、かつ電気的特性の周辺機能特性（**第23章 電気的特性参照**）を満たす範囲内で使用してください。

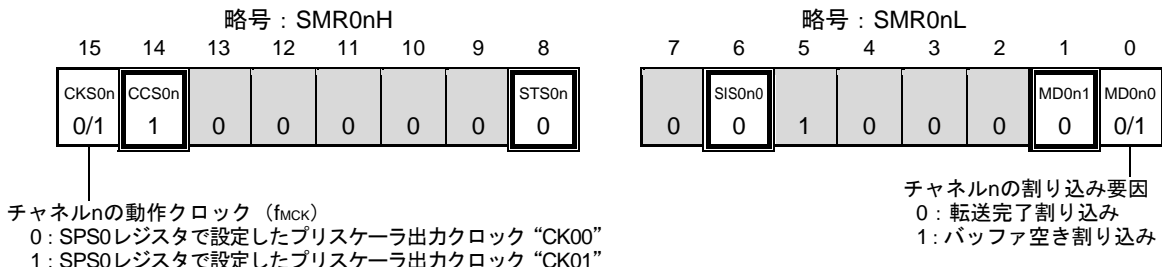
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

- $n = 0$

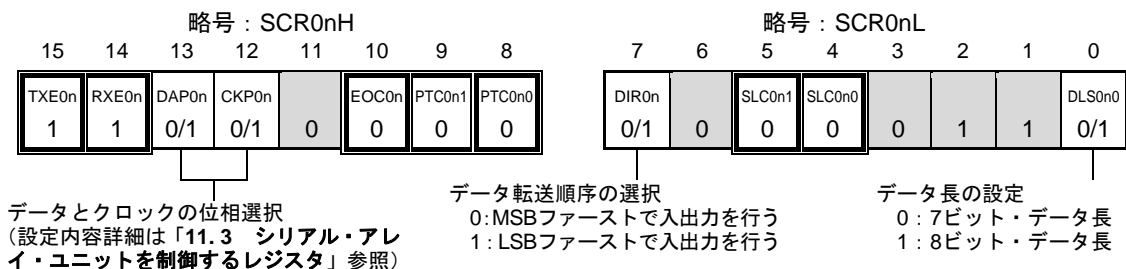
(1) レジスタ設定

図11-60 3線シリアルI/O (CSI00) のスレーブ送受信時のレジスタ設定内容例 (1/2)

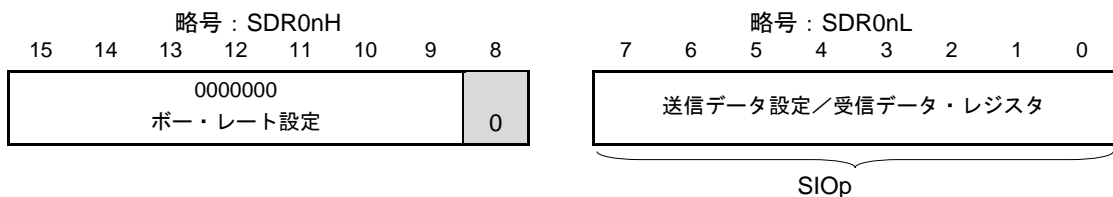
(a) シリアル・モード・レジスタ0n (SMR0nH, SMR0nL)



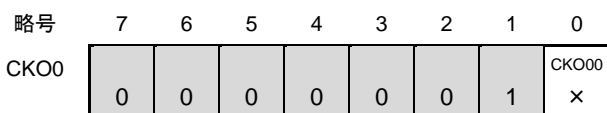
(b) シリアル通信動作設定レジスタ0n (SCR0nH, SCR0nL)



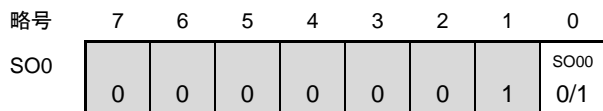
(c) シリアル・データ・レジスタ0n (SDR0nH, SDR0nL)



(d) シリアル・クロック出力レジスタ0 (CKO0) ・ ・ ・ このモードでは使用しない



(e) シリアル出力レジスタ0 (SO0) ・ ・ ・ 対象チャンネルのビットのみ設定する



(注意, 備考は次ページにあります。)

図11-60 3線シリアルI/O (CSI00) のスレーブ送受信時のレジスタ設定内容例 (2/2)

(f) シリアル出力許可レジスタ0 (SOE0) . . . 対象チャネルのビットのみ1に設定する

| | | | | | | | | |
|------|---|---|---|---|---|---|---|--------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOE0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOE00 0/1 |

(g) シリアル・チャンネル開始レジスタ0 (SS0) . . . 対象チャネルのビットのみ1に設定する

| | | | | | | | | |
|-----|---|---|---|---|---|---|-------------|-------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SS0 | 0 | 0 | 0 | 0 | 0 | 0 | SS01 0/1 | SS00 0/1 |

注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. n = 0 p : CSI番号 (p = 00)

- : CSIスレーブ送受信モードでは設定固定 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-61 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図11-62 スレーブ送受信の中断手順

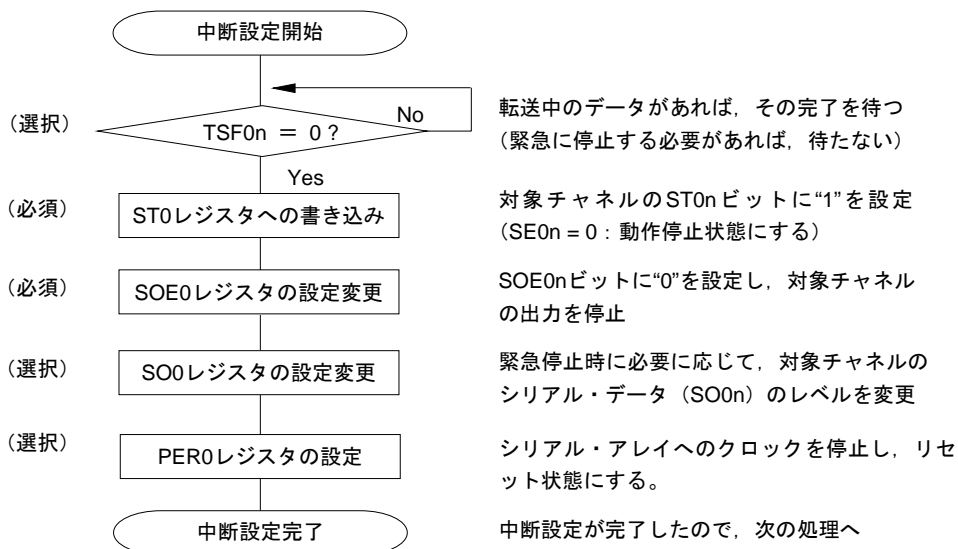
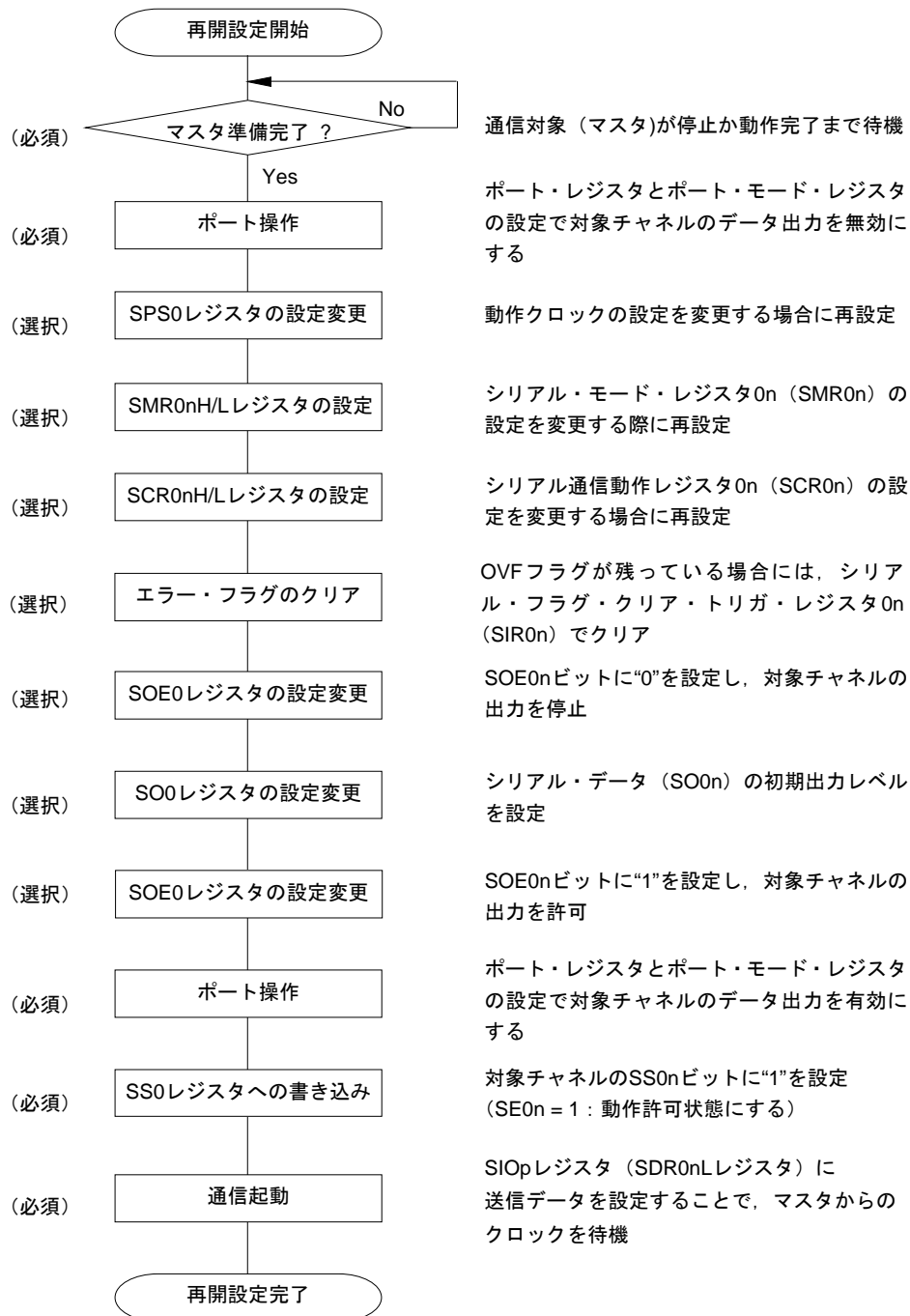


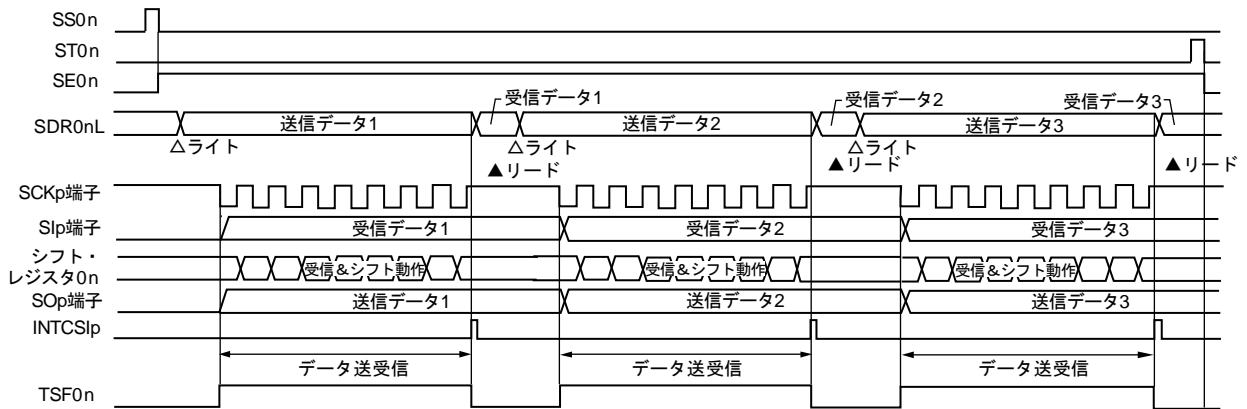
図11-63 スレーブ送受信の再開設定手順



- 注意1. マスタからのクロックが開始される前に、必ず送信データをSI0pレジスタへ設定してください。
2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象 (マスタ) の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

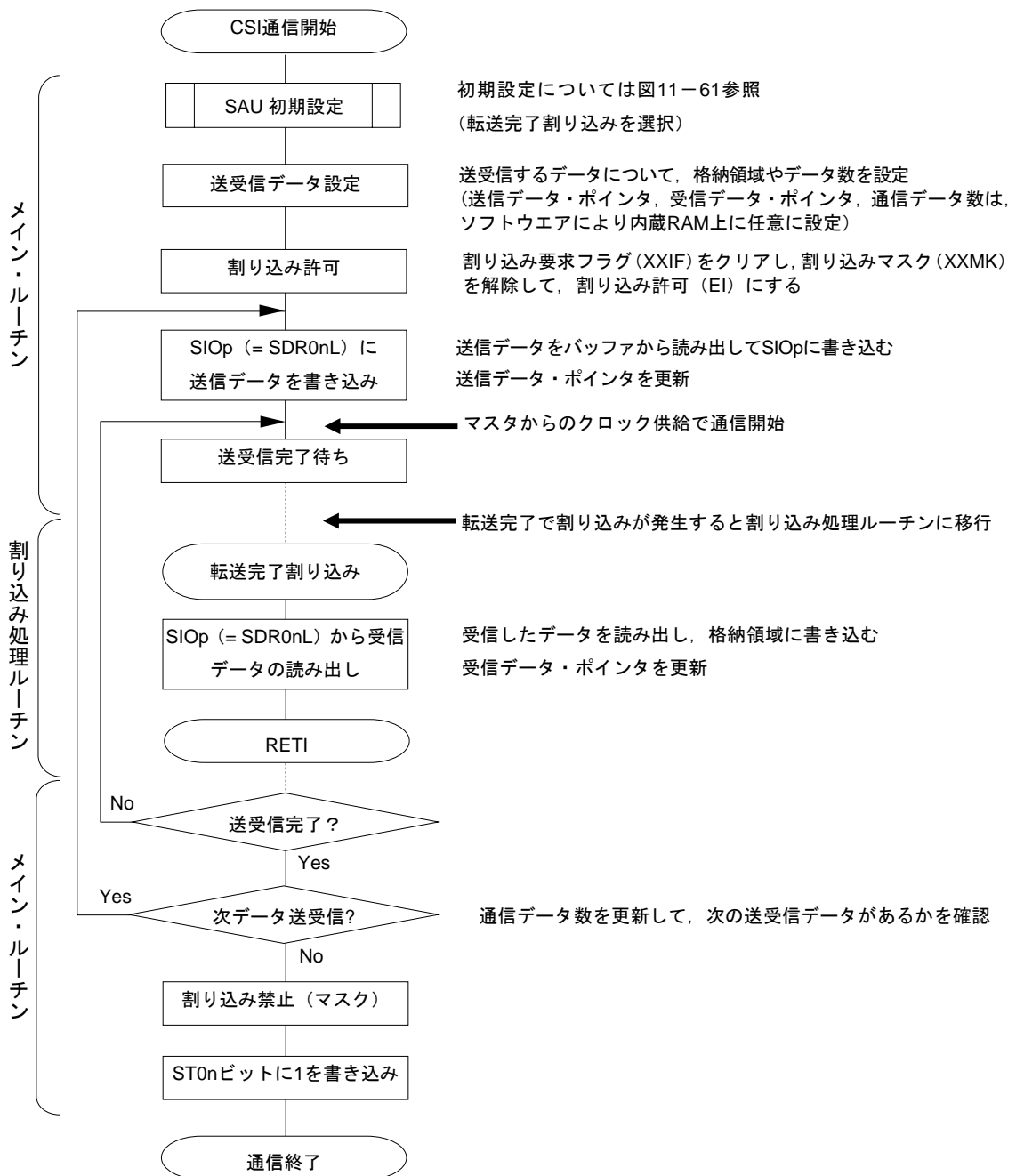
(3) 処理フロー（シングル送受信モード時）

図11-64 スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAP0n = 0, CKP0n = 0）



備考 n = 0 p : CSI番号 (p = 00)

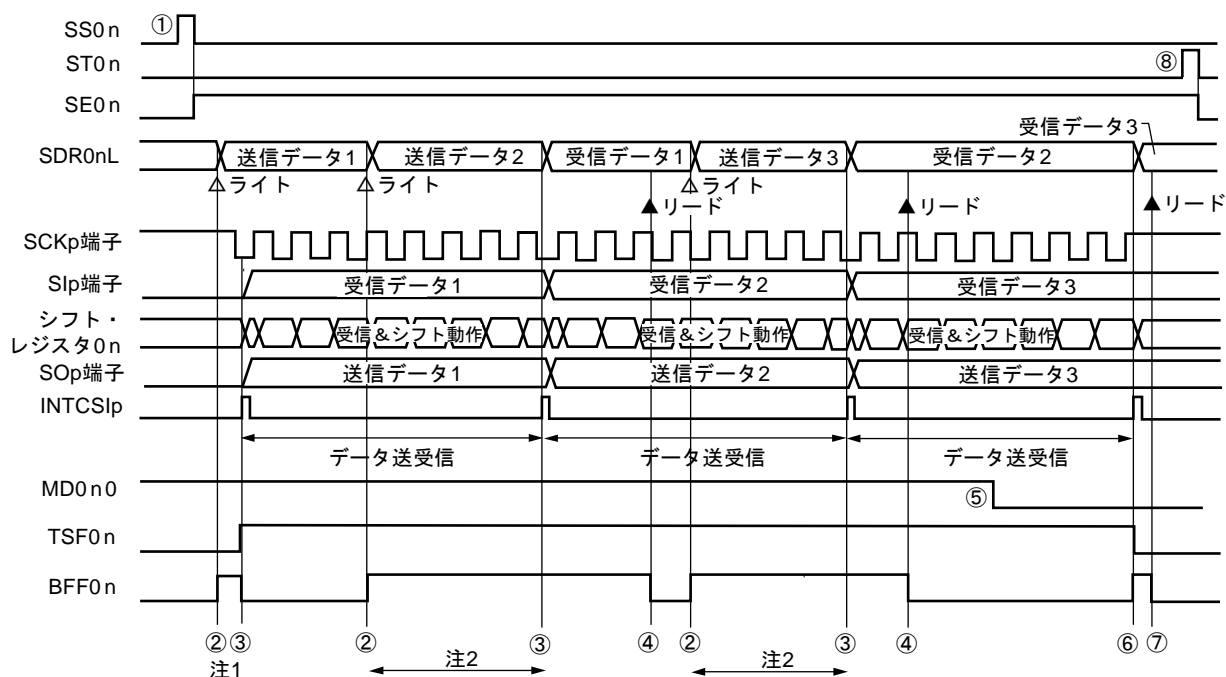
図11-65 スレーブ送受信（シングル送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(4) 処理フロー（連続送受信モード時）

図11-66 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAP0n=0, CKP0n=0）



注1. シリアル・ステータス・レジスタ0n (SSR0n) のBFF0nビットが“1”の期間（有効なデータがシリアル・データ・レジスタ0n (SDR0nL) に格納されている時）にSDR0nLレジスタに送信データを書き込むと、送信データが上書きされます。

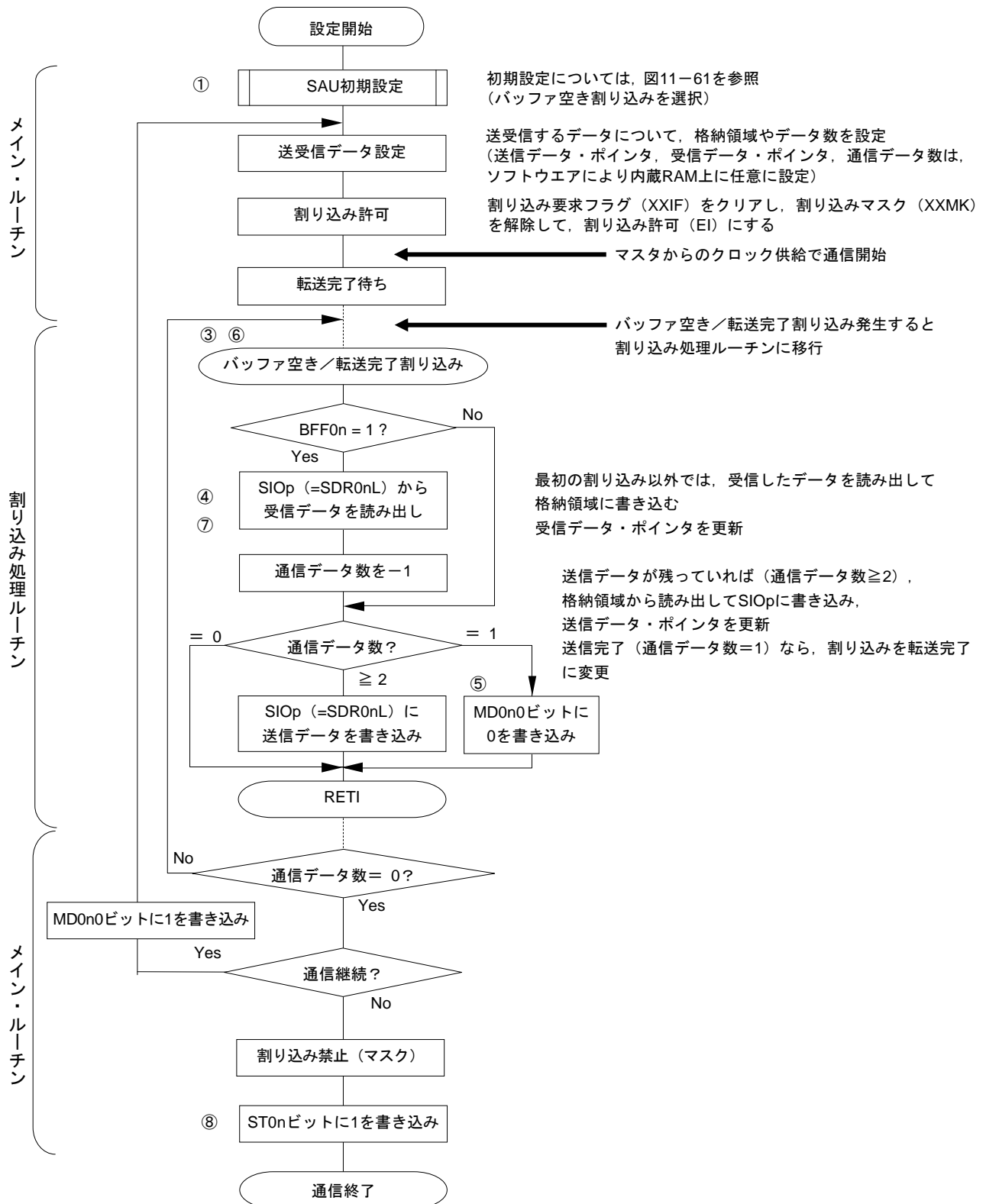
注2. この期間にSDR0nLレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ0n (SMR0nL) のMD0n0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①~⑧は、図11-67 スレーブ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

2. n=0 p: CSI番号 (p=00)

図11-67 スレーブ送受信（連続送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 図中の①~⑧は、図11-66 スレーブ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

11.5.7 転送クロック周波数の算出

3線シリアルI/O (CSI00) 通信での転送クロック周波数は、下記の計算式にて算出できます。

(1) マスタの場合

$$\text{(転送クロック周波数)} = \{ \text{対象チャネルの動作クロック (f}_{MCK}\text{) 周波数} \} \div (\text{SDR0nH}[7:1]+1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$\text{(転送クロック周波数)} = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \}^{\text{注}} \text{ [Hz]}$$

注 ただし、許容最大転送クロック周波数は $f_{MCK}/6$ となります。

備考 SDR0nH[7:1]は、シリアル・データ・レジスタ 0nH (SDR0nH) のビット7-1の値 (0000000B-1111111B) なので、0-127になります。

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタ0 (SPS0) とシリアル・モード・レジスタ0n (SMR0nH) のビット7 (CKS0n) で決まります。

表11-2 3線シリアル/I/O動作クロックの選択

| SMR0n レジスタ | SPS0レジスタ | | | | | | | | 動作クロック (fMCK) 注 | |
|---------------|----------|-----------|-----------|-----------|-----------|-----------|-----------|----------------------|----------------------|-----------------|
| | CKS0n | PRS 13 | PRS 12 | PRS 11 | PRS 10 | PRS 03 | PRS 02 | PRS 01 | PRS 00 | fCLK = 20MHz動作時 |
| 0 | x | x | x | x | 0 | 0 | 0 | 0 | fCLK | 20 MHz |
| | x | x | x | x | 0 | 0 | 0 | 1 | fCLK/2 | 10 MHz |
| | x | x | x | x | 0 | 0 | 1 | 0 | fCLK/2 ² | 5 MHz |
| | x | x | x | x | 0 | 0 | 1 | 1 | fCLK/2 ³ | 2.5 MHz |
| | x | x | x | x | 0 | 1 | 0 | 0 | fCLK/2 ⁴ | 1.25 MHz |
| | x | x | x | x | 0 | 1 | 0 | 1 | fCLK/2 ⁵ | 625 kHz |
| | x | x | x | x | 0 | 1 | 1 | 0 | fCLK/2 ⁶ | 312.5 kHz |
| | x | x | x | x | 0 | 1 | 1 | 1 | fCLK/2 ⁷ | 156.2 kHz |
| | x | x | x | x | 1 | 0 | 0 | 0 | fCLK/2 ⁸ | 78.1 kHz |
| | x | x | x | x | 1 | 0 | 0 | 1 | fCLK/2 ⁹ | 39.1 kHz |
| | x | x | x | x | 1 | 0 | 1 | 0 | fCLK/2 ¹⁰ | 19.5 kHz |
| | x | x | x | x | 1 | 0 | 1 | 1 | fCLK/2 ¹¹ | 9.77 kHz |
| | x | x | x | x | 1 | 1 | 0 | 0 | fCLK/2 ¹² | 4.88 kHz |
| | x | x | x | x | 1 | 1 | 0 | 1 | fCLK/2 ¹³ | 2.44 kHz |
| | x | x | x | x | 1 | 1 | 1 | 0 | fCLK/2 ¹⁴ | 1.22 kHz |
| x | x | x | x | 1 | 1 | 1 | 1 | fCLK/2 ¹⁵ | 610 Hz | |
| 1 | 0 | 0 | 0 | 0 | x | x | x | x | fCLK | 20 MHz |
| | 0 | 0 | 0 | 1 | x | x | x | x | fCLK/2 | 10 MHz |
| | 0 | 0 | 1 | 0 | x | x | x | x | fCLK/2 ² | 5 MHz |
| | 0 | 0 | 1 | 1 | x | x | x | x | fCLK/2 ³ | 2.5 MHz |
| | 0 | 1 | 0 | 0 | x | x | x | x | fCLK/2 ⁴ | 1.25 MHz |
| | 0 | 1 | 0 | 1 | x | x | x | x | fCLK/2 ⁵ | 625 kHz |
| | 0 | 1 | 1 | 0 | x | x | x | x | fCLK/2 ⁶ | 312.5 kHz |
| | 0 | 1 | 1 | 1 | x | x | x | x | fCLK/2 ⁷ | 156.2 kHz |
| | 1 | 0 | 0 | 0 | x | x | x | x | fCLK/2 ⁸ | 78.1 kHz |
| | 1 | 0 | 0 | 1 | x | x | x | x | fCLK/2 ⁹ | 39.1 kHz |
| | 1 | 0 | 1 | 0 | x | x | x | x | fCLK/2 ¹⁰ | 19.5 kHz |
| | 1 | 0 | 1 | 1 | x | x | x | x | fCLK/2 ¹¹ | 9.77 kHz |
| | 1 | 1 | 0 | 0 | x | x | x | x | fCLK/2 ¹² | 4.88 kHz |
| | 1 | 1 | 0 | 1 | x | x | x | x | fCLK/2 ¹³ | 2.44 kHz |
| | 1 | 1 | 1 | 0 | x | x | x | x | fCLK/2 ¹⁴ | 1.22 kHz |
| 1 | 1 | 1 | 1 | x | x | x | x | fCLK/2 ¹⁵ | 610 Hz | |

注 fCLKに選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタ0（ST0） = 03H）させてから変更してください。

備考1. x : don't care

2. n = 0, 1

11.5.8 3線シリアル/O (CSI00) 通信時におけるエラー発生時の処理手順

3線シリアル/O (CSI00) 通信時にエラーが発生した場合の処理手順を図11-68に示します。

図11-68 オーバラン・エラー発生時の処理手順

| ソフトウェア操作 | ハードウェアの状態 | 備考 |
|--|--|---|
| シリアル・データ・レジスタ0n (SDR0nL) をリードする | SSR0nレジスタのBFF0nビットが“0”となり、チャンネルnは受信可能状態になる | エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う |
| シリアル・ステータス・レジスタ0n (SSR0n) をリードする | | エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する |
| シリアル・フラグ・クリア・トリガ・レジスタ0n (SIR0n) に“1”をライトする | エラー・フラグがクリアされる | SSR0nレジスタのリード値をそのままSIR0nレジスタに書き込むことで、読み出し時のエラーのみをクリアできる |

備考 n = 0

11.6 UART (UART0) 通信の動作

シリアル送信データ (TxD) とシリアル受信データ (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ポー・レートを使用して)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重UART通信が実現できます。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定 (レベルを反転するかどうかの選択)
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加, ストップ・ビット・チェック機能

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

ISCレジスタを設定することで、UART0のRxD0端子の入力信号を外部割り込み入力やタイマ・アレイ・ユニットのタイマ入力とすることができます。また、タイマ・アレイ・ユニットの入力パルス間隔測定モードを利用して通信相手のポー・レート幅を測定することができ、UART0のポー・レート補正が可能になります。

| ユニット | チャンネル | CSI として使用 | UART として使用 |
|------|-------|-----------|------------|
| 0 | 0 | CSI00 | UART0 |
| | 1 | - | |

注意 UARTを選択した場合は、偶数チャンネルと奇数チャンネルはそれぞれUARTの送信側、UARTの受信側にしか使用できません。

UARTの通信動作は、以下の2種類があります。

- ・ UART送信 (11.6.1項を参照)
- ・ UART受信 (11.6.2項を参照)

11.6.1 UART送信

UART送信は、RL78/G1M, G1Nから他デバイスへ、非同期（調歩同期）でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルを使用します。

| UART | UART0 |
|--------------------|---|
| 対象チャンネル | SAU0のチャンネル0 |
| 使用端子 | TxD0 |
| 割り込み | INTST0 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能 |
| エラー検出フラグ | なし |
| 転送データ長 | 7ビットまたは8ビット |
| 転送レート ^注 | Max. $f_{MCK}/6$ [bps] (SDR0nH[7:1] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] |
| データ位相 | 非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル） |
| パリティ・ビット | 以下の選択が可能 <ul style="list-style-type: none"> ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加 |
| ストップ・ビット | 以下の選択が可能 <ul style="list-style-type: none"> ・1ビット付加 ・2ビット付加 |
| データ方向 | MSBファーストまたはLSBファースト |

注 この条件を満たし、かつ電気的特性の周辺機能特性（第23章 電気的特性参照）を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

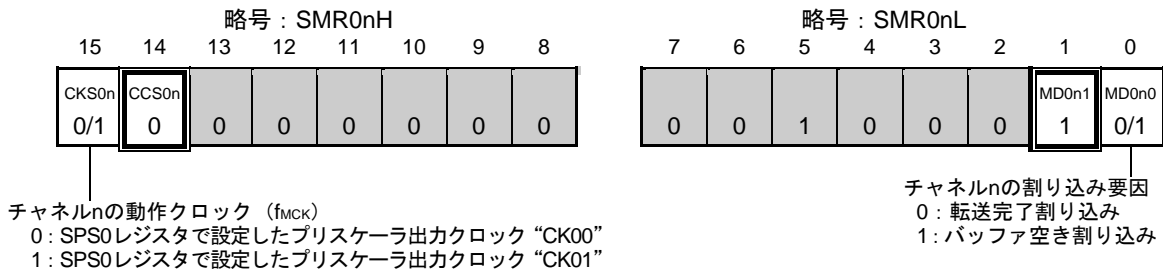
f_{CLK} : システム・クロック周波数

2. n : チャンネル番号 ($n = 0$)

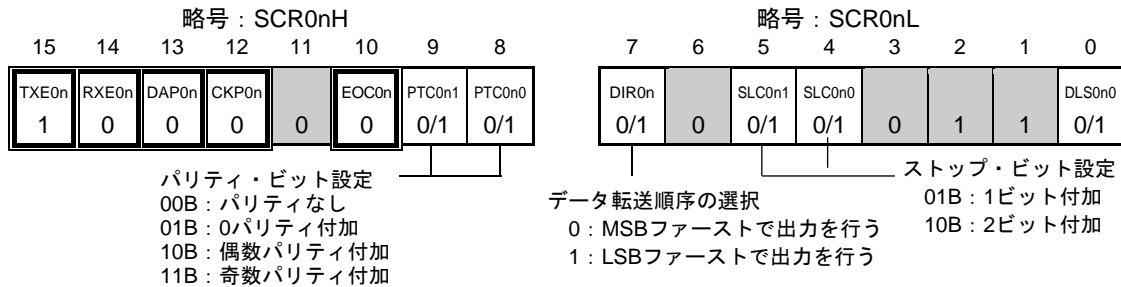
(1) レジスタ設定

図11-69 UART (UART0) の送信時のレジスタ設定内容例 (1/2)

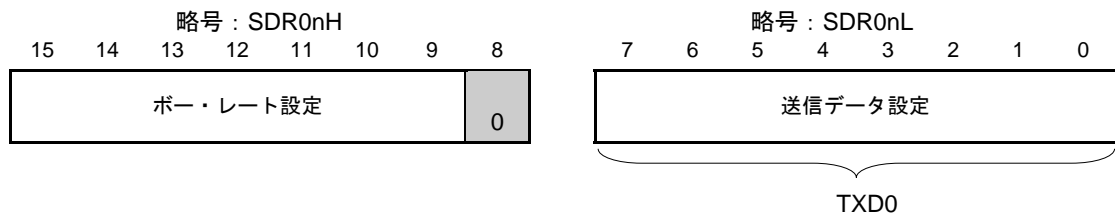
(a) シリアル・モード・レジスタ0n (SMR0nH, SMR0nL)



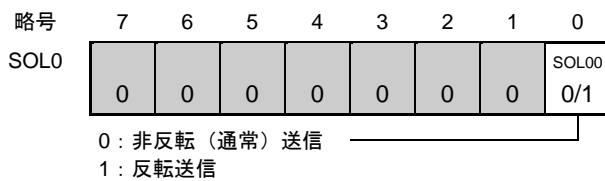
(b) シリアル通信動作設定レジスタ0n (SCR0nH, SCR0nL)



(c) シリアル・データ・レジスタ0n (SDR0nH, SDR0nL)



(d) シリアル出力レベル・レジスタ0 (SOLO) ... 対象チャンネルのビットのみ設定する



備考1. n = 0

2. □: UART送信モードでは設定固定 ■: 設定不可 (初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

図11-69 UART (UART0) の送信時のレジスタ設定内容例 (2/2)

(e) シリアル・クロック出力レジスタ0 (CKO0) . . . 対象チャンネルのビットのみ設定する

| | | | | | | | | |
|------|---|---|---|---|---|---|---|------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CKO0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | CKO00 × |

(f) シリアル出力レジスタ0 (SO0) . . . 対象チャンネルのビットのみ設定する

| | | | | | | | | |
|-----|---|---|---|---|---|---|---|-------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SO0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | SO00 0/1 |

0 : シリアル・データ出力値が "0"
 1 : シリアル・データ出力値が "1"

(g) シリアル出力許可レジスタ0 (SOE0) . . . 対象チャンネルのビットのみ1に設定する

| | | | | | | | | |
|------|---|---|---|---|---|---|---|---------------------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOE0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOE00 0/1 ^注 |

(h) シリアル・チャンネル開始レジスタ0 (SS0) . . . 対象チャンネルのビットのみ1に設定する

| | | | | | | | | |
|-----|---|---|---|---|---|---|-----------|-------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SS0 | 0 | 0 | 0 | 0 | 0 | 0 | SS01 × | SS00 0/1 |

注 該当するチャンネルのSOL00ビットに0を設定している場合は“1”に、1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考 ■ : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-70 UART送信の初期設定手順

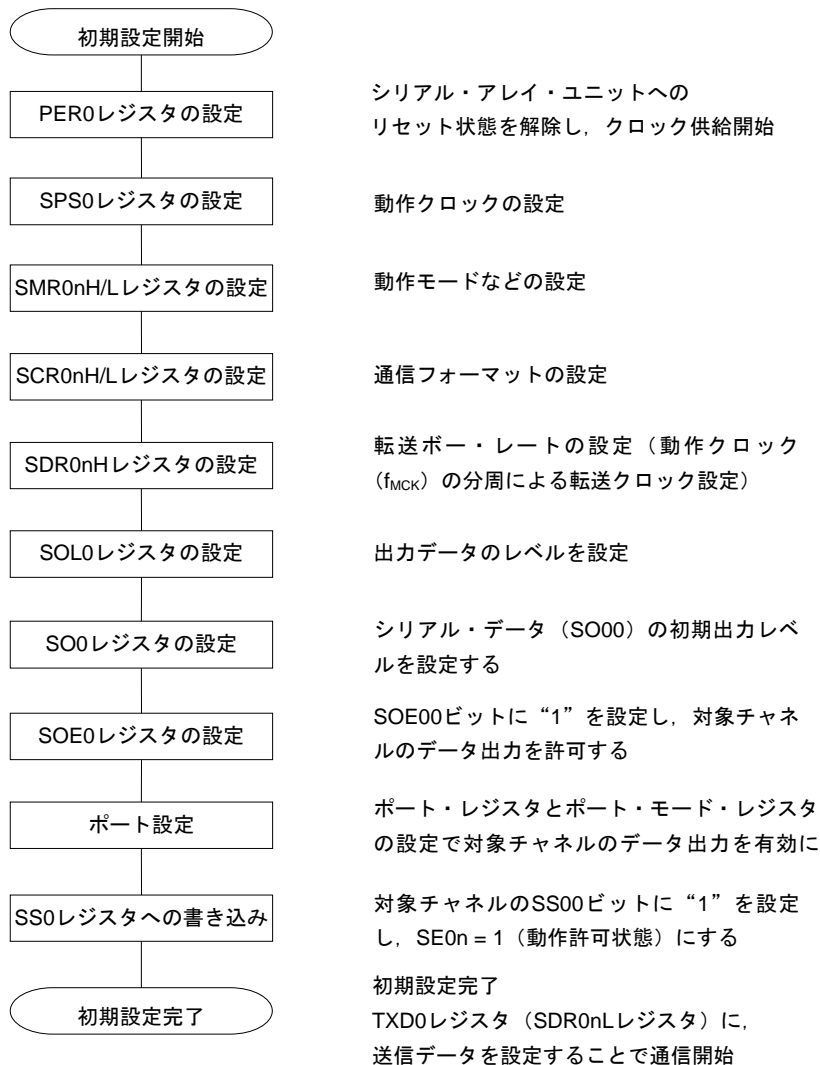


図11-71 UART送信の中断手順

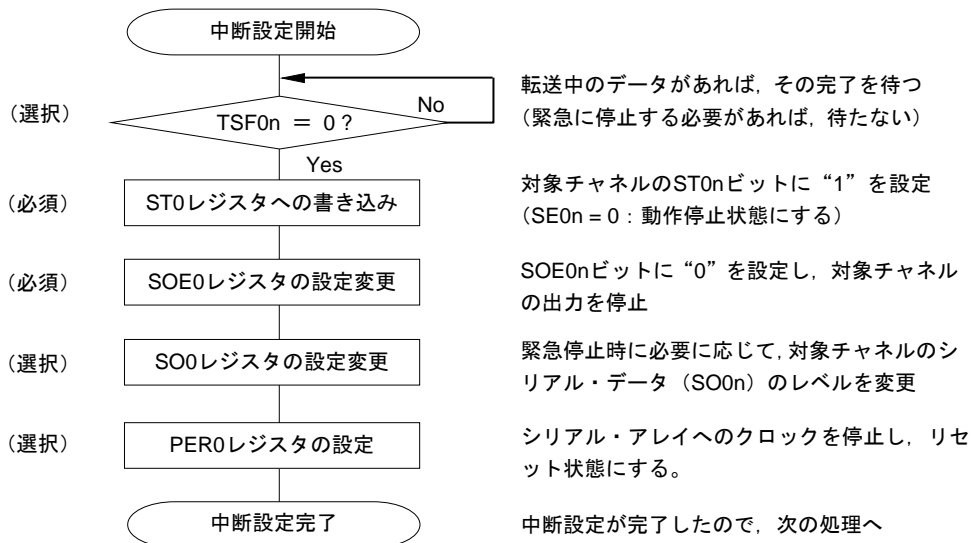
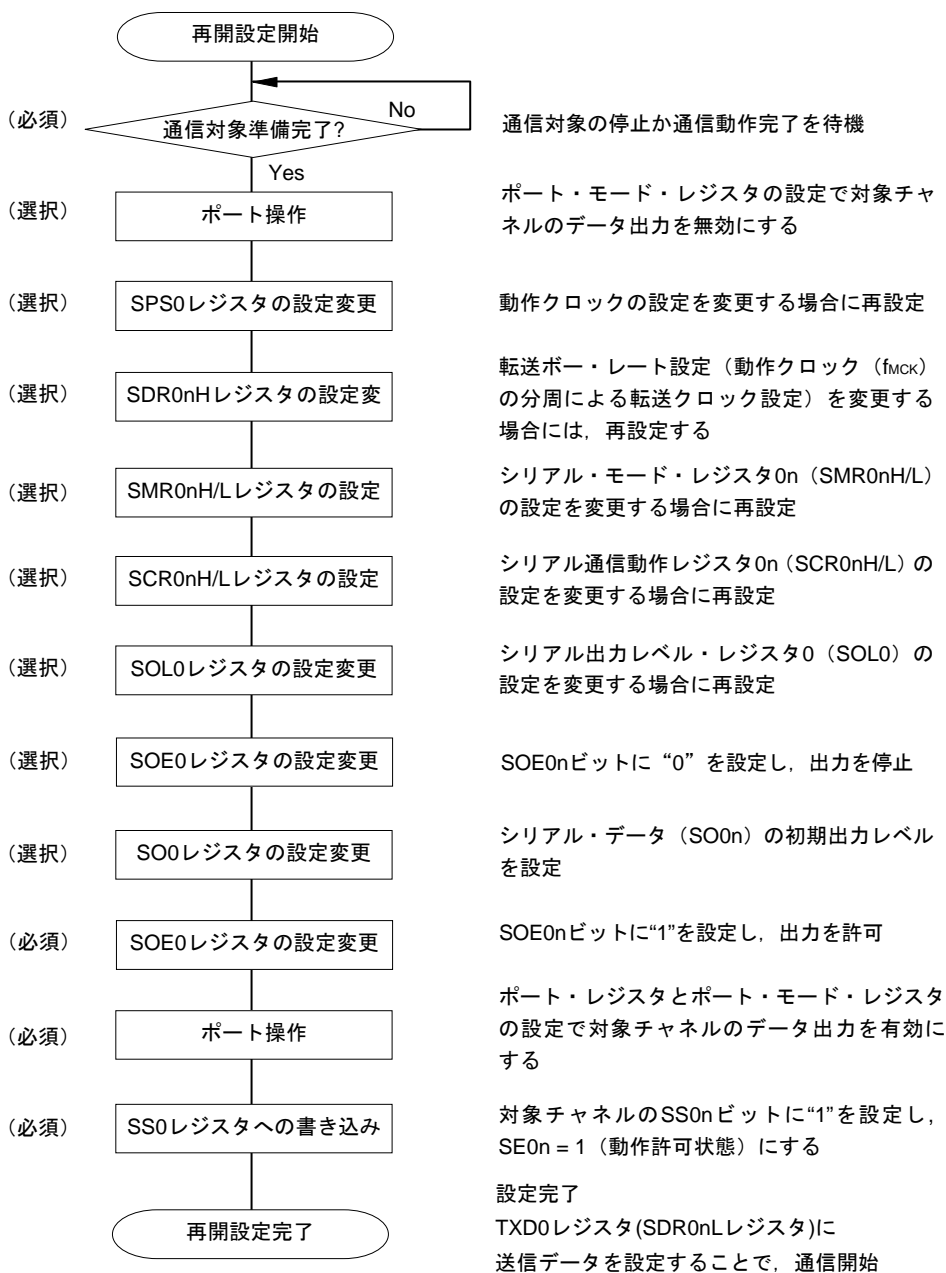


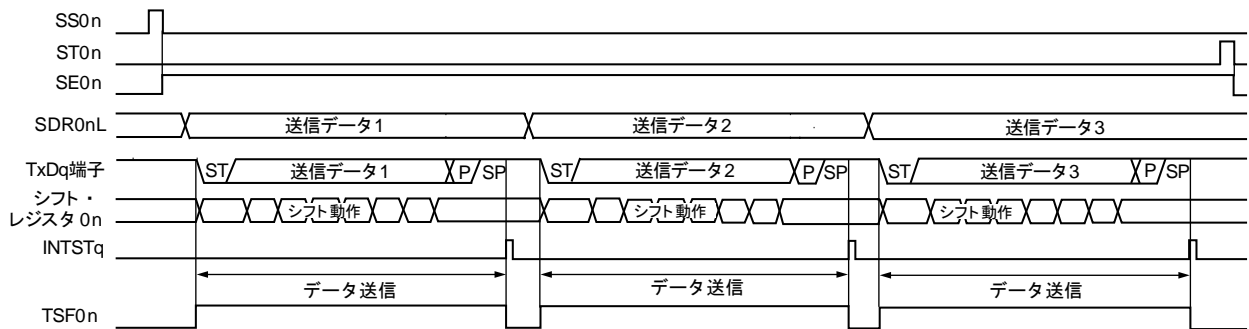
図11-72 UART送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止、もしくは通信動作完了を待って、再開設定ではなく初期設定を行ってください。

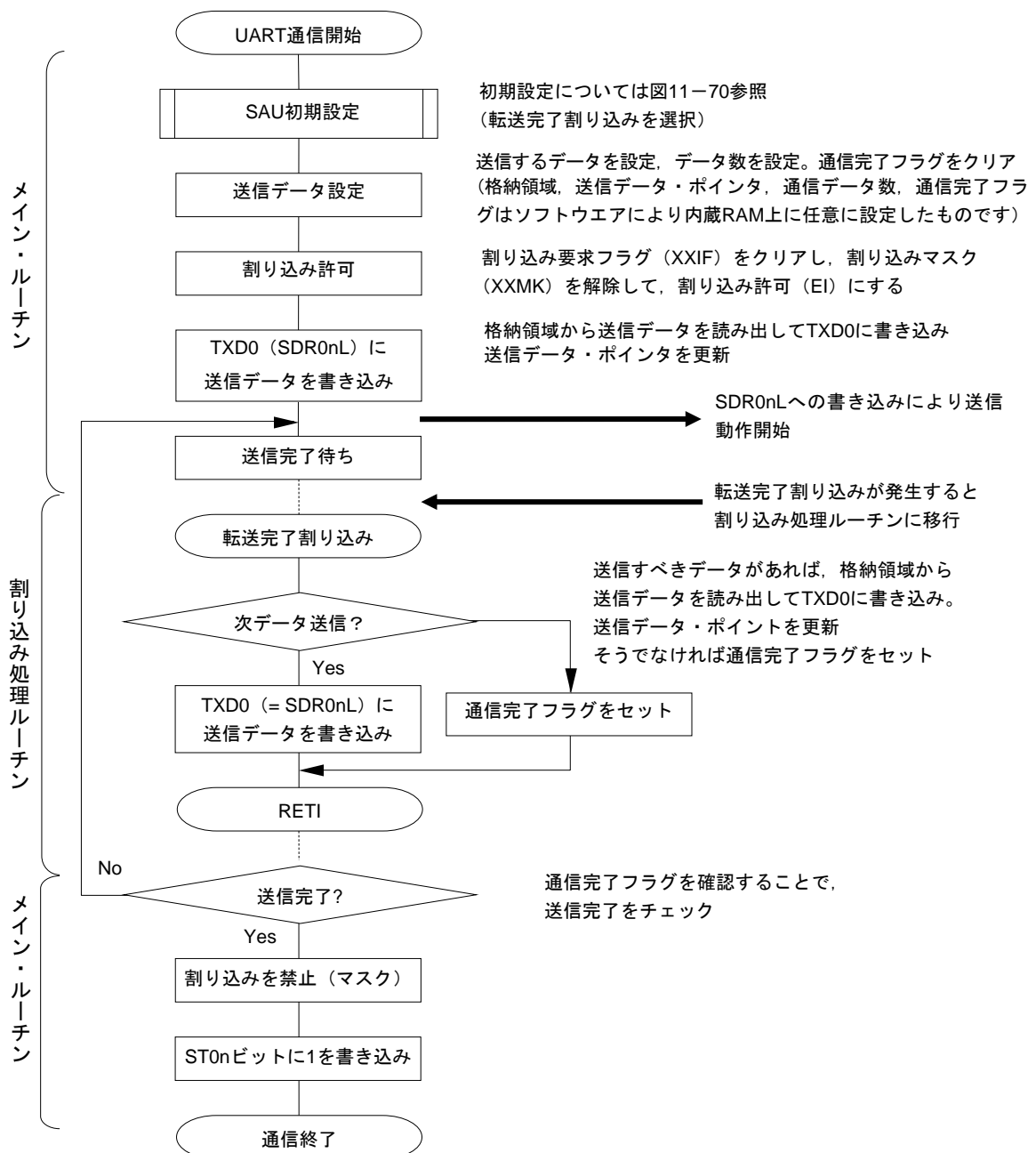
(3) 処理フロー（シングル送信モード時）

図11-73 UART送信（シングル送信モード時）のタイミング・チャート



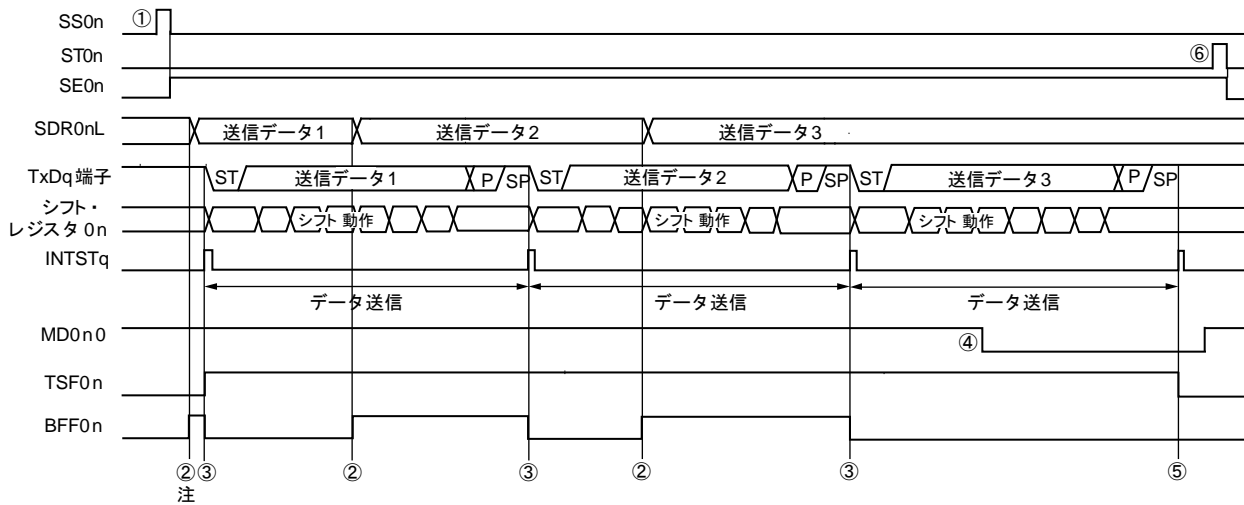
備考 q : UART番号 (q = 0) n = 0

図11-74 UART送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図11-75 UART送信（連続送信モード時）のタイミング・チャート

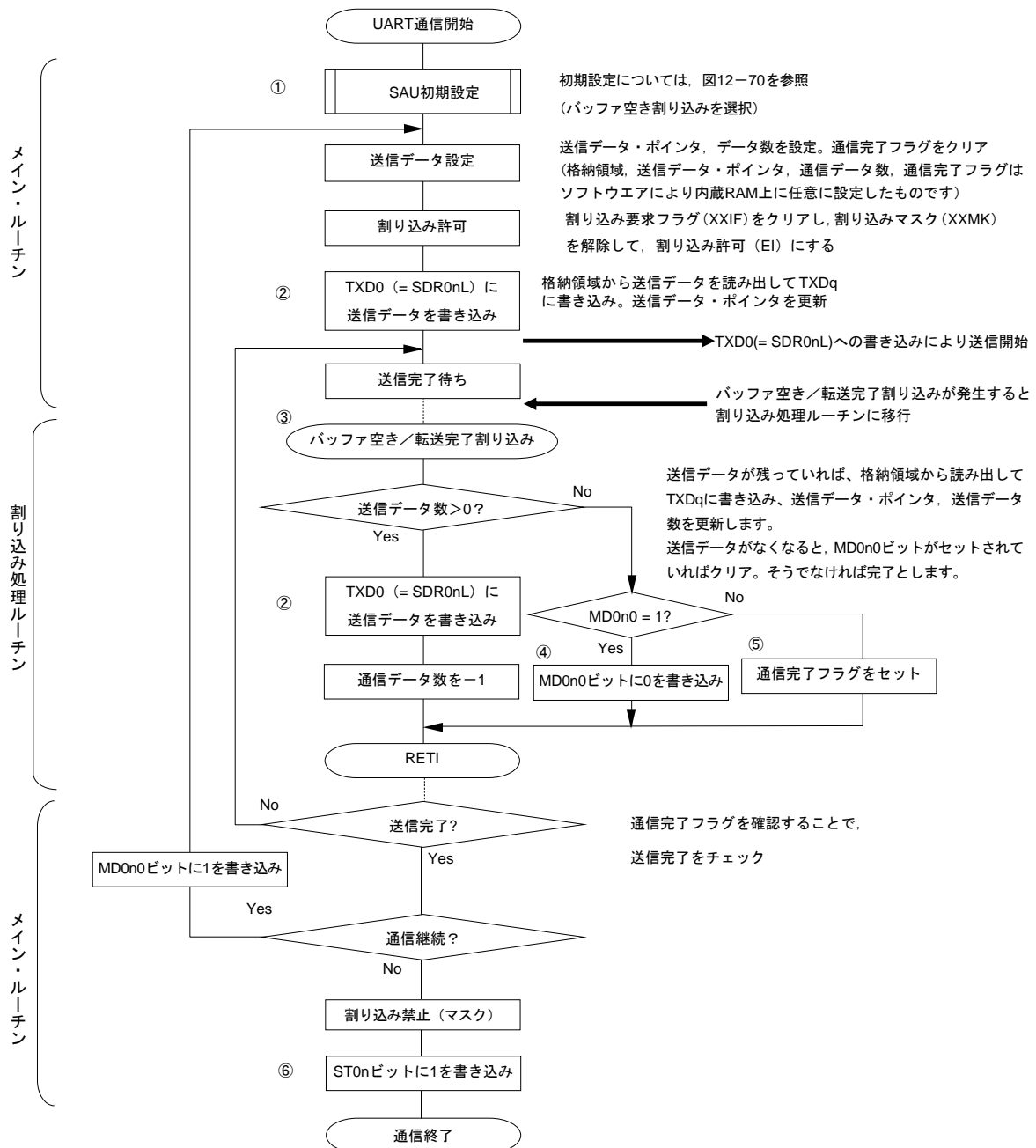


注 シリアル・ステータス・レジスタ0n (SSR 0n) のBFF 0nビットが“1”の期間（有効なデータがシリアル・データ・レジスタ0n (SDR0nL) に格納されているとき）にSDR0nLレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ0n (SMR0nL) のMD0n0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 q : UART番号 (q = 0) n = 0

図11-76 UART送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は、図11-75 UART送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています

11.6.2 UART受信

UART受信は、他デバイスからRL78/G1M, G1Nが非同期（調歩同期）でデータを受信する動作です。

UART受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

| UART | UART0 |
|--------------------|--|
| 対象チャンネル | SAU0のチャンネル1 |
| 使用端子 | RxD0 |
| 割り込み | INTSR0 転送完了割り込みのみ（バッファ空き割り込みは設定禁止） |
| エラー割り込み | INTSRE0 |
| エラー検出フラグ | <ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ (FEF0n) ・ パリティ・エラー検出フラグ (PEF0n) ・ オーバラン・エラー検出フラグ (OVF0n) |
| 転送データ長 | 7ビットまたは8ビット |
| 転送レート ^注 | Max. $f_{MCK}/6$ [bps] (SDR0nH[7:1] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] |
| データ位相 | 非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル） |
| パリティ・ビット | 以下の選択が可能 <ul style="list-style-type: none"> ・ パリティ・チェックなし ・ パリティ判定なし (0パリティ) ・ 偶数パリティ・チェック ・ 奇数パリティ・チェック |
| ストップ・ビット | 1ビット・チェック |
| データ方向 | MSBファーストまたはLSBファースト |

注 この条件を満たし、かつ電気的特性の周辺機能特性（第23章 電気的特性参照）を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

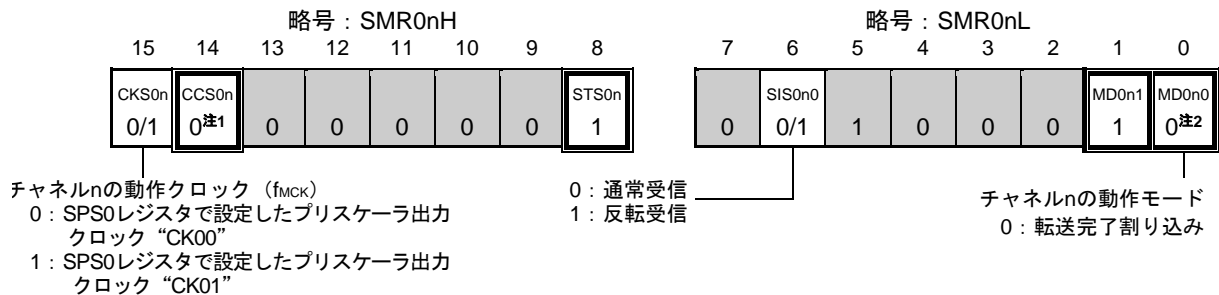
f_{CLK} : システム・クロック周波数

2. n : チャンネル番号 ($n = 1$)

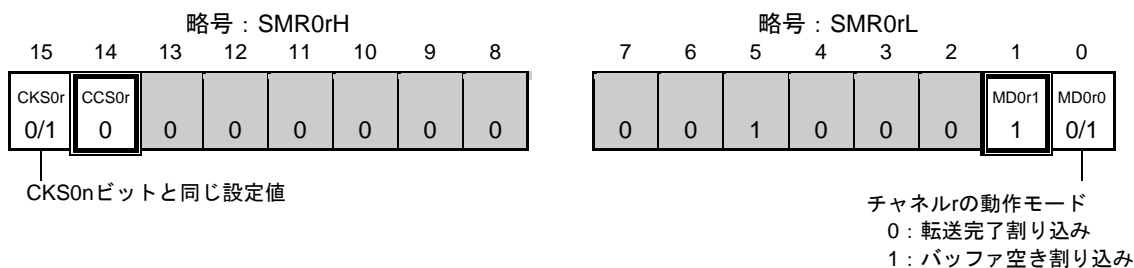
(1) レジスタ設定

図11-77 UART (UART0) の受信時のレジスタ設定内容例 (1/2)

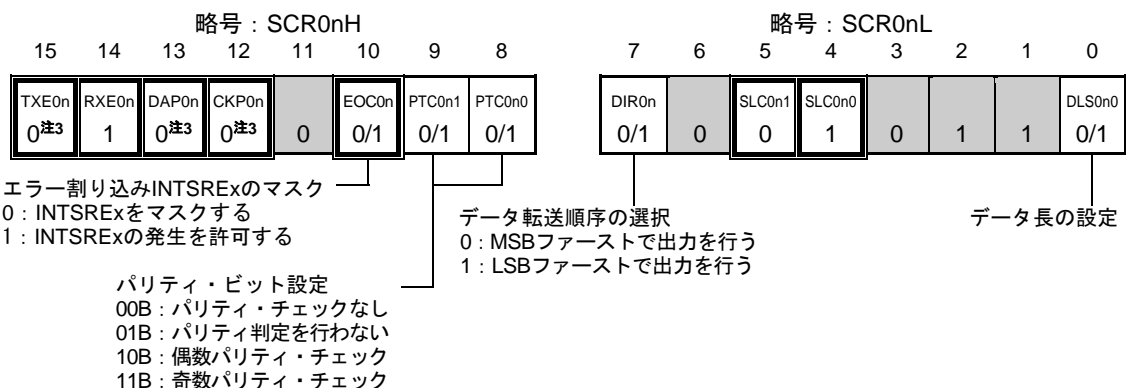
(a) シリアル・モード・レジスタ0n (SMR0nH, SMR0nL)



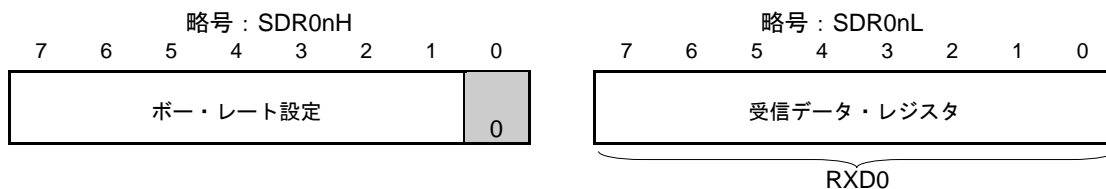
(b) シリアル・モード・レジスタ0r (SMR0rH, SMR0rL)



(c) シリアル通信動作設定レジスタ0n (SCR0nH, SCR0nL)



(d) シリアル・データ・レジスタ0n (SDR0nH, SDR0nL)



- 注1. SMR00Hのみ
- 2. SMR00Lのみ
- 3. SCR00Hのみ

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMR0rレジスタも必ず設定してください。

備考1. n : チャンネル番号 (n = 1)

r : チャンネル番号 (r = n - 1) q : UART番号 (q = 0)

2. □ : UART受信モードでは設定固定 ■ : 設定不可 (初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図11-77 UART (UART0) の受信時のレジスタ設定内容例 (2/2)

(e) シリアル・クロック出力レジスタ0 (CKO0) . . . このモードでは使用しない

| | | | | | | | | |
|------|---|---|---|---|---|---|---|------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CKO0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | CKO00 × |

(f) シリアル出力レジスタ0 (SO0) . . . このモードでは使用しない

| | | | | | | | | |
|-----|---|---|---|---|---|---|---|-----------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SO0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | SO00 × |

(g) シリアル出力許可レジスタ0 (SOE0) . . . このモードでは使用しない

| | | | | | | | | |
|------|---|---|---|---|---|---|---|------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOE0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOE00 × |

(h) シリアル・チャンネル開始レジスタ0 (SS0) . . . 対象チャンネルのビットのみ1に設定する

| | | | | | | | | |
|-----|---|---|---|---|---|---|-------------|-----------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SS0 | 0 | 0 | 0 | 0 | 0 | 0 | SS01 0/1 | SS00 × |

注意 UART受信時は、チャンネル1とペアになるチャンネル0のSMR00レジスタも必ず設定してください。

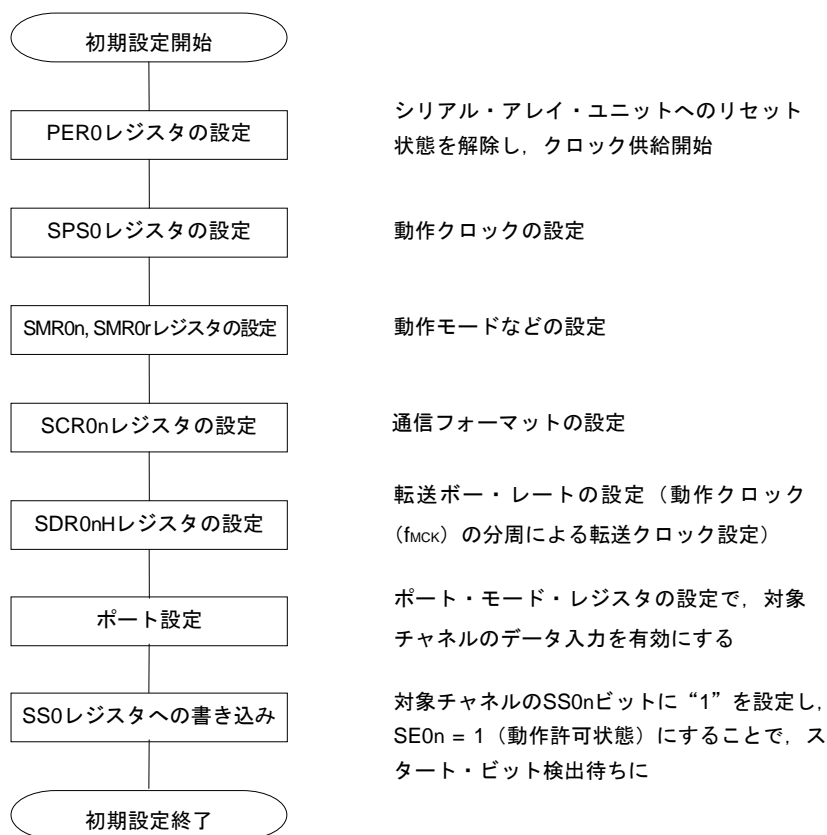
備考 : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-78 UART受信の初期設定手順



注意 SCR0nレジスタのRXE0nビットを“1”に設定後に、f_{MCK}の4クロック以上間隔をあけてからSS0n = 1を設定してください。

図11-79 UART受信の中断手順

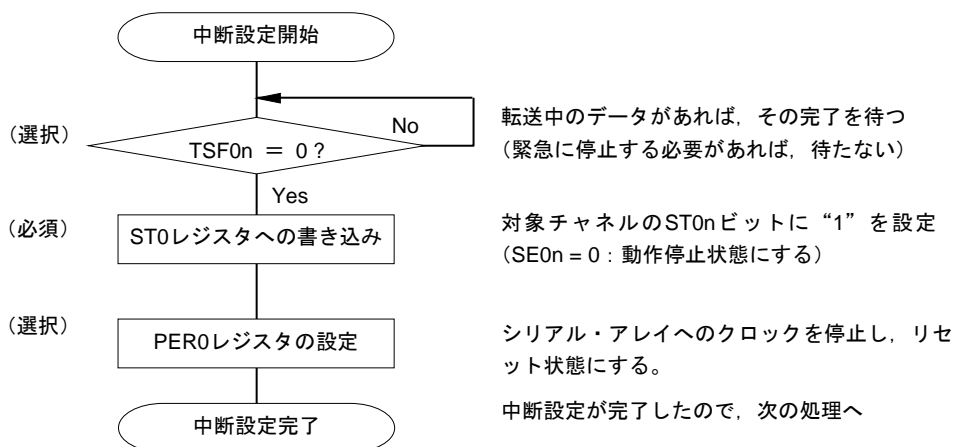
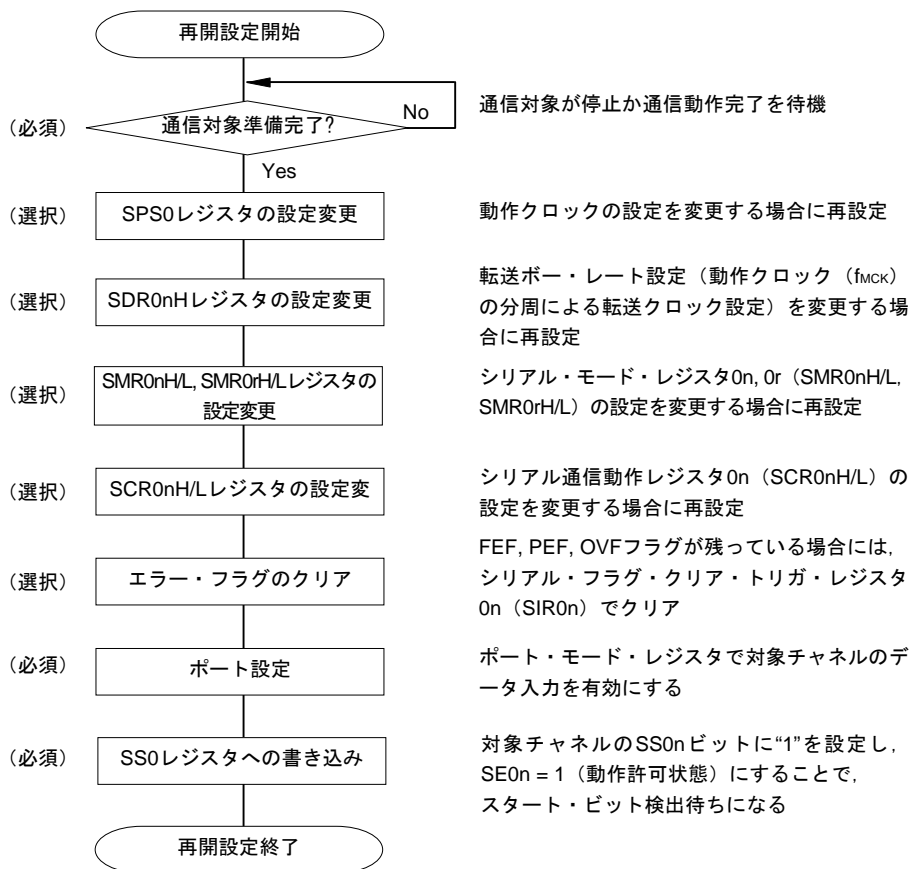


図11-80 UART受信の再開設定手順

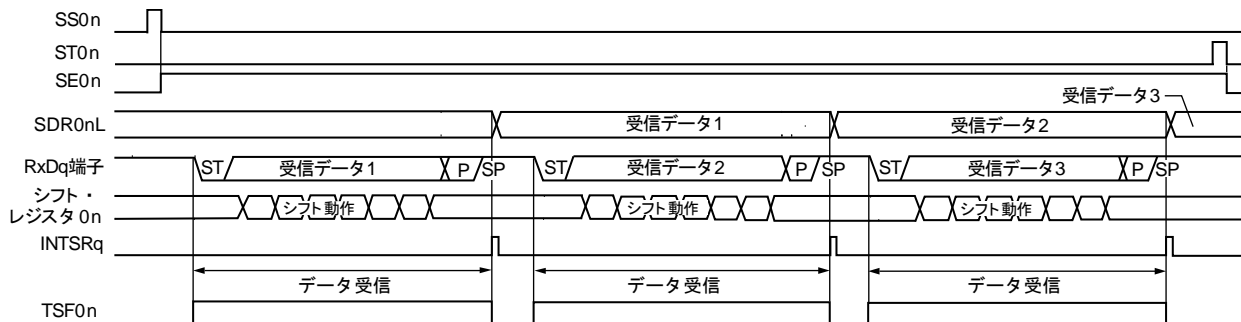


注意 SCR0nレジスタのRXE0nビットを“1”に設定後に、f_{MCK}の4クロック以上間隔をあけてからSS0n = 1を設定してください。

備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

(3) 処理フロー

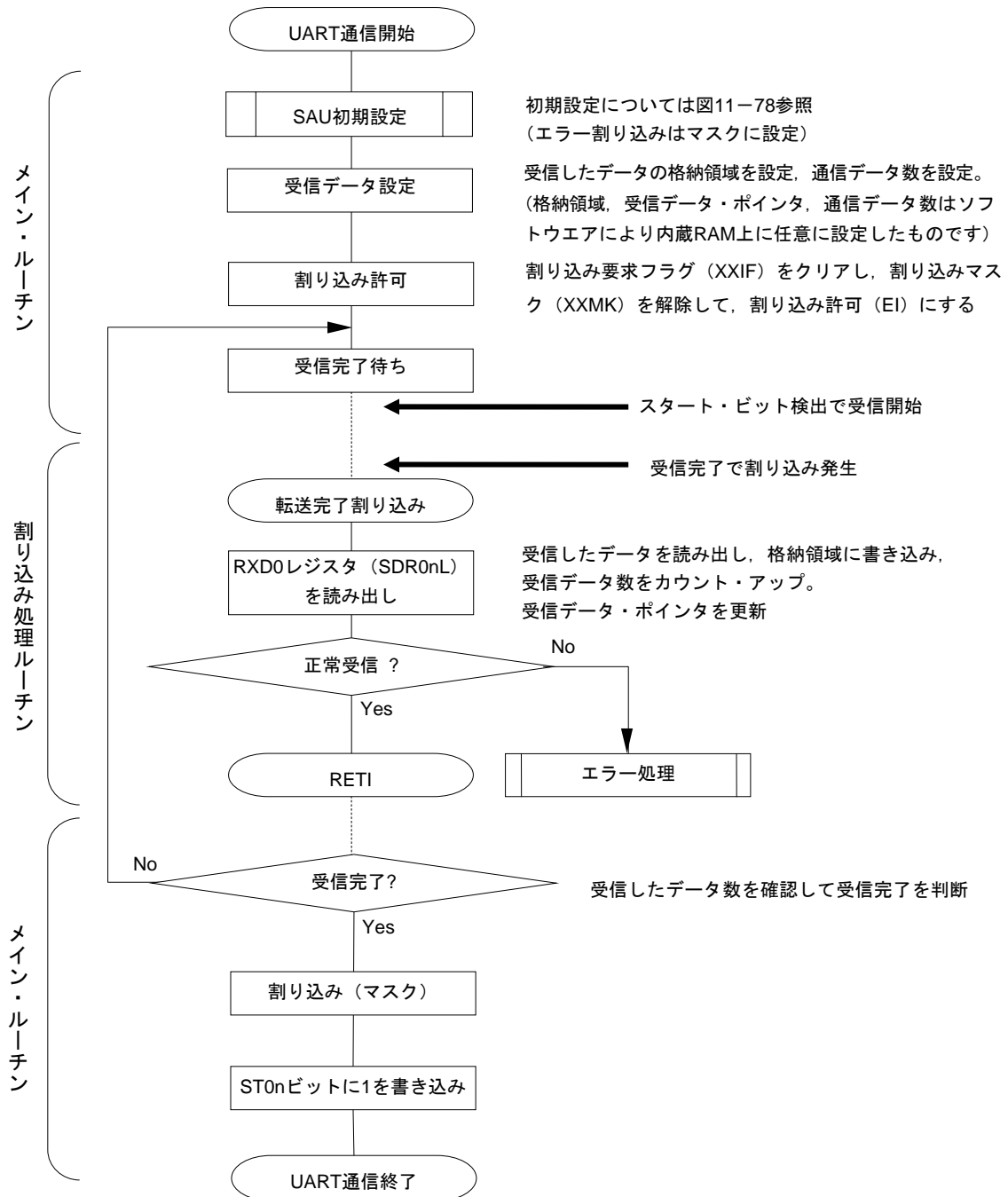
図11-81 UART受信のタイミング・チャート



備考 n : チャンネル番号 (n = 1)

r : チャンネル番号 (r = n - 1) q : UART番号 (q = 0)

図11-82 UART受信のフロー・チャート



11.6.3 ボー・レートの算出

(1) ボー・レート算出式

UART通信 (UART0) でのボー・レートは、下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{\text{対象チャンネルの動作クロック (f}_{\text{MCK}}) \text{ 周波数}\} \div (\text{SDR0nH}[7:1]+1) \div 2 \text{ [bps]}$$

注意 シリアル・データ・レジスタ0n (SDR0nH) SDR0nH[7:1] = (0000000B, 0000001B) は設定禁止です。

備考 1. UART 使用時は、SDR0nH[7:1] は SDR0nH レジスタのビット7-1の値 (0000010B-1111111B) なので、2-127になります。

2. n = 0, 1

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタ0 (SPS0) とシリアル・モード・レジスタ0n (SMR0n) のビット15 (CKS0nビット) で決まります。

表11-3 UART動作クロックの選択

| SMR0n レジスタ | SPS0レジスタ | | | | | | | | 動作クロック (f _{CLK}) ^注 | | |
|---------------|----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|---|-----------------------------------|-----------|
| | CKS0n | PRS 13 | PRS 12 | PRS 11 | PRS 10 | PRS 03 | PRS 02 | PRS 01 | PRS 00 | f _{CLK} = 20 MHz動作時 | |
| 0 | | x | x | x | x | 0 | 0 | 0 | 0 | f _{CLK} | 20 MHz |
| | | x | x | x | x | 0 | 0 | 0 | 1 | f _{CLK} /2 | 10 MHz |
| | | x | x | x | x | 0 | 0 | 1 | 0 | f _{CLK} /2 ² | 5 MHz |
| | | x | x | x | x | 0 | 0 | 1 | 1 | f _{CLK} /2 ³ | 2.5 MHz |
| | | x | x | x | x | 0 | 1 | 0 | 0 | f _{CLK} /2 ⁴ | 1.25 MHz |
| | | x | x | x | x | 0 | 1 | 0 | 1 | f _{CLK} /2 ⁵ | 625 kHz |
| | | x | x | x | x | 0 | 1 | 1 | 0 | f _{CLK} /2 ⁶ | 312.5 kHz |
| | | x | x | x | x | 0 | 1 | 1 | 1 | f _{CLK} /2 ⁷ | 156.2 kHz |
| | | x | x | x | x | 1 | 0 | 0 | 0 | f _{CLK} /2 ⁸ | 78.1 kHz |
| | | x | x | x | x | 1 | 0 | 0 | 1 | f _{CLK} /2 ⁹ | 39.1 kHz |
| | | x | x | x | x | 1 | 0 | 1 | 0 | f _{CLK} /2 ¹⁰ | 19.5 kHz |
| | | x | x | x | x | 1 | 0 | 1 | 1 | f _{CLK} /2 ¹¹ | 9.77 kHz |
| | | x | x | x | x | 1 | 1 | 0 | 0 | f _{CLK} /2 ¹² | 4.88 kHz |
| | | x | x | x | x | 1 | 1 | 0 | 1 | f _{CLK} /2 ¹³ | 2.44 kHz |
| | | x | x | x | x | 1 | 1 | 1 | 0 | f _{CLK} /2 ¹⁴ | 1.22 kHz |
| | x | x | x | x | 1 | 1 | 1 | 1 | f _{CLK} /2 ¹⁵ | 610 Hz | |
| 1 | | 0 | 0 | 0 | 0 | x | x | x | x | f _{CLK} | 20 MHz |
| | | 0 | 0 | 0 | 1 | x | x | x | x | f _{CLK} /2 | 10 MHz |
| | | 0 | 0 | 1 | 0 | x | x | x | x | f _{CLK} /2 ² | 5 MHz |
| | | 0 | 0 | 1 | 1 | x | x | x | x | f _{CLK} /2 ³ | 2.5 MHz |
| | | 0 | 1 | 0 | 0 | x | x | x | x | f _{CLK} /2 ⁴ | 1.25 MHz |
| | | 0 | 1 | 0 | 1 | x | x | x | x | f _{CLK} /2 ⁵ | 625 kHz |
| | | 0 | 1 | 1 | 0 | x | x | x | x | f _{CLK} /2 ⁶ | 312.5 kHz |
| | | 0 | 1 | 1 | 1 | x | x | x | x | f _{CLK} /2 ⁷ | 156.2 kHz |
| | | 1 | 0 | 0 | 0 | x | x | x | x | f _{CLK} /2 ⁸ | 78.1 kHz |
| | | 1 | 0 | 0 | 1 | x | x | x | x | f _{CLK} /2 ⁹ | 39.1 kHz |
| | | 1 | 0 | 1 | 0 | x | x | x | x | f _{CLK} /2 ¹⁰ | 19.5 kHz |
| | | 1 | 0 | 1 | 1 | x | x | x | x | f _{CLK} /2 ¹¹ | 9.77 kHz |
| | | 1 | 1 | 0 | 0 | x | x | x | x | f _{CLK} /2 ¹² | 4.88 kHz |
| | | 1 | 1 | 0 | 1 | x | x | x | x | f _{CLK} /2 ¹³ | 2.44 kHz |
| | | 1 | 1 | 1 | 0 | x | x | x | x | f _{CLK} /2 ¹⁴ | 1.22 kHz |
| | 1 | 1 | 1 | 1 | x | x | x | x | f _{CLK} /2 ¹⁵ | 610 Hz | |

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタ0（ST0） = 03H）させてから変更してください。

- 備考 1. x : don't care
2. n = 0, 1

(2) 送信時のボー・レート誤差

UART通信 (UART0) での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

$f_{\text{CLK}} = 20 \text{ MHz}$ の場合のUARTボー・レート設定例を示します。

| UARTボー・レート (目標ボー・レート) | $f_{\text{CLK}} = 20 \text{ MHz}$ 時 | | | |
|--------------------------|-------------------------------------|-------------|-------------|--------------|
| | 動作クロック (f_{MCK}) | SDR0nH[7:1] | 算出ボー・レート | 目標ボー・レートとの誤差 |
| 300 bps | $f_{\text{CLK}}/2^9$ | 64 | 300.48 bps | +0.16% |
| 600 bps | $f_{\text{CLK}}/2^8$ | 64 | 600.96 bps | +0.16% |
| 1200 bps | $f_{\text{CLK}}/2^7$ | 64 | 1201.92 bps | +0.16% |
| 2400 bps | $f_{\text{CLK}}/2^6$ | 64 | 2403.85 bps | +0.16% |
| 4800 bps | $f_{\text{CLK}}/2^5$ | 64 | 4807.69 bps | +0.16% |
| 9600 bps | $f_{\text{CLK}}/2^4$ | 64 | 9615.38 bps | +0.16% |
| 19200 bps | $f_{\text{CLK}}/2^3$ | 64 | 19230.8 bps | +0.16% |
| 31250 bps | $f_{\text{CLK}}/2^3$ | 39 | 31250.0 bps | ±0.0% |
| 38400 bps | $f_{\text{CLK}}/2^2$ | 64 | 38461.5 bps | +0.16% |
| 76800 bps | $f_{\text{CLK}}/2$ | 64 | 76923.1 bps | +0.16% |
| 153600 bps | f_{CLK} | 64 | 153846 bps | +0.16% |
| 312500 bps | f_{CLK} | 31 | 312500 bps | ±0.0% |

(3) 受信時のボー・レート許容範囲

UART通信 (UART0) での、受信時のボー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$(\text{受信可能な最大ボー・レート}) = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$(\text{受信可能な最小ボー・レート}) = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ボー・レート値 (11.6.3 (1) ボー・レート算出式参照)

k : SDR0nH[7:1] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 n = 1

図11-83 受信時の許容ボー・レート範囲 (1データ・フレーム長 = 11ビットの場合)

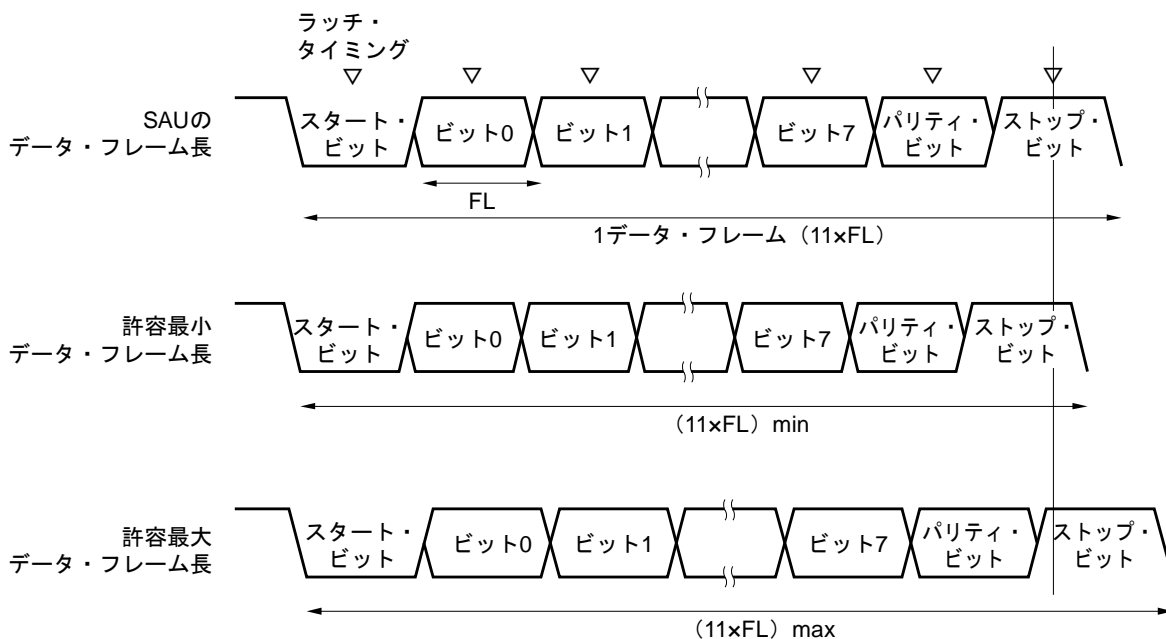


図11-83に示すように、スタート・ビット検出後はシリアル・データ・レジスタ0nH (SDR0nH) のビット7-1で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

11.6.4 UART (UART0) 通信時におけるエラー発生時の処理手順

UART (UART0) 通信時にエラーが発生した場合の処理手順を図11-84, 図11-85に示します。

図11-84 パリティ・エラーおよびオーバーラン・エラー発生時の処理手順

| ソフトウェア操作 | ハードウェアの状態 | 備考 |
|--|--|---|
| シリアル・データ・レジスタ0n (SDR0nL) をリードする | SSR0nレジスタのBFF0nビットが“0”となり、チャンネルnは受信可能状態になる | エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う |
| シリアル・ステータス・レジスタ0n (SSR0n) をリードする | | エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する |
| シリアル・フラグ・クリア・トリガ・レジスタ0n (SIR0n) に“1”をライトする | エラー・フラグがクリアされる | SSR0nレジスタのリード値をそのままSIR0nレジスタに書き込むことで、読み出し時のエラーのみをクリアできる |

図11-85 フレーミング・エラー発生時の処理手順

| ソフトウェア操作 | ハードウェアの状態 | 備考 |
|---|--|---|
| シリアル・データ・レジスタ0n (SDR0nL) をリードする | SSR0nレジスタのBFF0nビットが“0”となり、チャンネルnは受信可能状態になる | エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う |
| シリアル・ステータス・レジスタ0n (SSR0n) をリードする | | エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する |
| シリアル・フラグ・クリア・トリガ・レジスタ0n (SIR0n) をライトする | エラー・フラグがクリアされる | SSR0nレジスタのリード値をそのままSIR0nレジスタに書き込むことで、読み出し時のエラーのみをクリアできる |
| シリアル・チャンネル停止レジスタ0 (ST0) のST0nビットに“1”を設定する | シリアル・チャンネル許可ステータス・レジスタ0 (SE0) のSE0nビットが“0”となり、チャンネルnは動作停止状態になる | |
| 通信相手との同期処理を行う | | スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する |
| シリアル・チャンネル開始レジスタ0 (SS0) のSS0nビットに“1”を設定する | シリアル・チャンネル許可ステータス・レジスタ0 (SE0) のSE0nビットが“1”となり、チャンネルnは動作許可状態になる | |

備考 n = 0, 1

第12章 リアルタイム出力制御回路 (RL78/G1Mのみ)

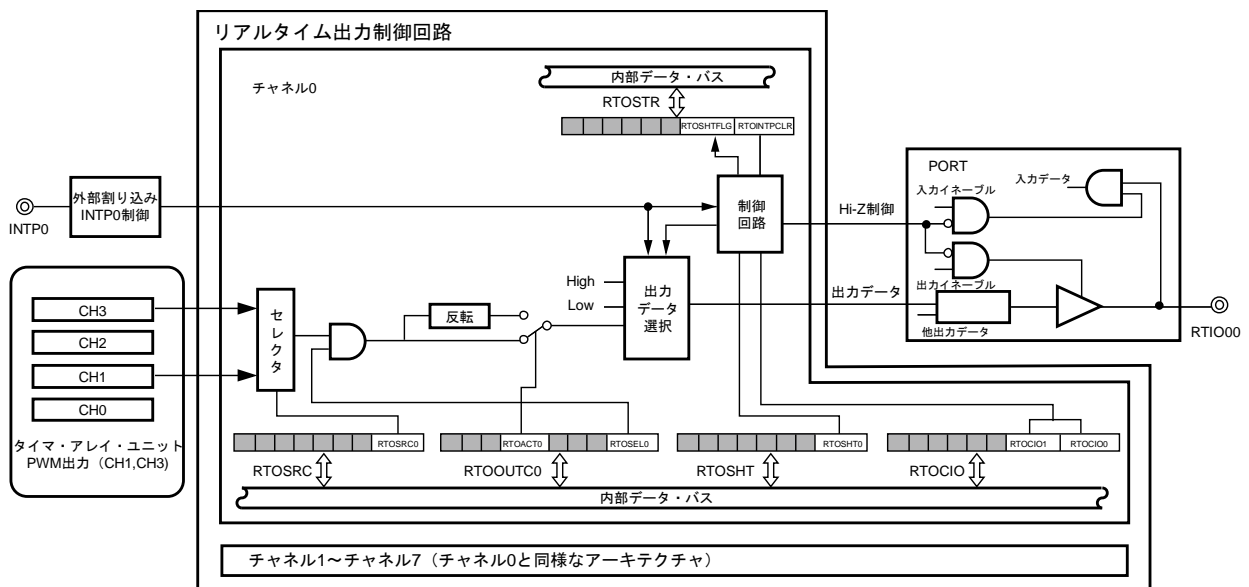
12.1 リアルタイム出力制御回路の機能

TAUのPWM出力機能を使用して、一つのDCモータ、または二つのステッピング・モータの制御を実現します。INTP0による割り込み発生で、出力を遮断することができます。

ソフトウェア設定によって、強制遮断時にHi-Z出力/ロウ・レベル出力/ハイ・レベル出力/遮断禁止の4種類が選択できます。

図12-1にリアルタイム出力制御回路のブロック図を示します。

図12-1 リアルタイム出力制御回路のブロック図



12.2 リアルタイム出力制御回路の構成

リアルタイム出力制御回路は、次のハードウェアで構成されています。

表12-1 リアルタイム出力制御回路の構成

| 項 目 | 構 成 |
|--------|---|
| 制御レジスタ | RTOソース選択レジスタ (RTOSRC) RTO強制遮断制御レジスタ (RTOSHT) RTO制御レジスタ0 (RTOOUTC0) RTO制御レジスタ1 (RTOOUTC1) 強制遮断出力選択レジスタ (RTOCIO) 強制遮断状態レジスタ (RTOSTR) ポート・モード・レジスタ0 (PM0) ポート・レジスタ0 (P0) ポート・モード・コントロール・レジスタ0 (PMC0) |
| 出力 | リアルタイム出力 (RTIO00-RTIO07) |

12.3 リアルタイム出力制御回路を制御するレジスタ

リアルタイム出力制御回路は、次のレジスタで制御します。

- ・ RTOソース選択レジスタ (RTOSRC)
- ・ RTO強制遮断制御レジスタ (RTOSHT)
- ・ RTO制御レジスタ0 (RTOOUTC0)
- ・ RTO制御レジスタ1 (RTOOUTC1)
- ・ 強制遮断出力選択レジスタ (RTOCIO)
- ・ 強制遮断状態レジスタ (RTOSTR)
- ・ ポート・モード・レジスタ0 (PM0)
- ・ ポート・レジスタ0 (P0)
- ・ ポート・モード・コントロール・レジスタ0 (PMC0)

12.3.1 RTOソース選択レジスタ (RTOSRC)

RTOSRCレジスタはリアルタイム出力回路に入力するクロックのソースクロックを選択するレジスタです。TAUのタイマ出力TO01とTO03出力のどちらかをソースとして選択し、RTOへ入力します。

RTOSRCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-2 RTOソース選択レジスタ (RTOSRC) のフォーマット

アドレス : F01C0H リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----------------|---------|---------|---------|---------|---------|---------|---------|
| RTOSRC | RTOSRC7 | RTOSRC6 | RTOSRC5 | RTOSRC4 | RTOSRC3 | RTOSRC2 | RTOSRC1 | RTOSRC0 |
| RTOSRC7 | RTIO07出力のソース選択 | | | | | | | |
| 0 | TO01を選択 | | | | | | | |
| 1 | TO03を選択 | | | | | | | |
| RTOSRC6 | RTIO06出力のソース選択 | | | | | | | |
| 0 | TO01を選択 | | | | | | | |
| 1 | TO03を選択 | | | | | | | |
| RTOSRC5 | RTIO05出力のソース選択 | | | | | | | |
| 0 | TO01を選択 | | | | | | | |
| 1 | TO03を選択 | | | | | | | |
| RTOSRC4 | RTIO04出力のソース選択 | | | | | | | |
| 0 | TO01を選択 | | | | | | | |
| 1 | TO03を選択 | | | | | | | |
| RTOSRC3 | RTIO03出力のソース選択 | | | | | | | |
| 0 | TO01を選択 | | | | | | | |
| 1 | TO03を選択 | | | | | | | |
| RTOSRC2 | RTIO02出力のソース選択 | | | | | | | |
| 0 | TO01を選択 | | | | | | | |
| 1 | TO03を選択 | | | | | | | |
| RTOSRC1 | RTIO01出力のソース選択 | | | | | | | |
| 0 | TO01を選択 | | | | | | | |
| 1 | TO03を選択 | | | | | | | |
| RTOSRC0 | RTIO00出力のソース選択 | | | | | | | |
| 0 | TO01を選択 | | | | | | | |
| 1 | TO03を選択 | | | | | | | |

12.3.2 RTO強制遮断制御レジスタ (RTOSHT)

RTOSHTレジスタはリアルタイム出力の強制遮断を制御するレジスタです。

RTOSHTレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-3 RTO強制遮断制御レジスタ (RTOSHT) のフォーマット

アドレス : F01C1H リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|--------|---------|---------|-----------------|---------|---------|---------|---------|---------|
| RTOSHT | RTOSHT7 | RTOSHT6 | RTOSHT5 | RTOSHT4 | RTOSHT3 | RTOSHT2 | RTOSHT1 | RTOSHT0 |
| | RTOSHT7 | | RTIO07出力の強制遮断制御 | | | | | |
| | 0 | 強制遮断無効 | | | | | | |
| | 1 | 強制遮断有効 | | | | | | |
| | RTOSHT6 | | RTIO06出力の強制遮断制御 | | | | | |
| | 0 | 強制遮断無効 | | | | | | |
| | 1 | 強制遮断有効 | | | | | | |
| | RTOSHT5 | | RTIO05出力の強制遮断制御 | | | | | |
| | 0 | 強制遮断無効 | | | | | | |
| | 1 | 強制遮断有効 | | | | | | |
| | RTOSHT4 | | RTIO04出力の強制遮断制御 | | | | | |
| | 0 | 強制遮断無効 | | | | | | |
| | 1 | 強制遮断有効 | | | | | | |
| | RTOSHT3 | | RTIO03出力の強制遮断制御 | | | | | |
| | 0 | 強制遮断無効 | | | | | | |
| | 1 | 強制遮断有効 | | | | | | |
| | RTOSHT2 | | RTIO02出力の強制遮断制御 | | | | | |
| | 0 | 強制遮断無効 | | | | | | |
| | 1 | 強制遮断有効 | | | | | | |
| | RTOSHT1 | | RTIO01出力の強制遮断制御 | | | | | |
| | 0 | 強制遮断無効 | | | | | | |
| | 1 | 強制遮断有効 | | | | | | |
| | RTOSHT0 | | RTIO00出力の強制遮断制御 | | | | | |
| | 0 | 強制遮断無効 | | | | | | |
| | 1 | 強制遮断有効 | | | | | | |

12.3.3 RTO制御レジスタ0 (RTOOUTC0)

RTOOUTC0レジスタはRTIO00~RTIO03の波形出力許可制御と反転制御をするレジスタです。

RTOOUTC0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-4 RTO制御レジスタ0 (RTOOUTC0) のフォーマット

アドレス : F01C2H リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|----------|-----------------|---------|---------|---------|---------|---------|---------|---------|
| RTOOUTC0 | RTOACT3 | RTOACT2 | RTOACT1 | RTOACT0 | RTOSEL3 | RTOSEL2 | RTOSEL1 | RTOSEL0 |
| RTOACT3 | RTIO03出力の出力反転制御 | | | | | | | |
| 0 | 反転しない | | | | | | | |
| 1 | 反転する | | | | | | | |
| RTOACT2 | RTIO02出力の出力反転制御 | | | | | | | |
| 0 | 反転しない | | | | | | | |
| 1 | 反転する | | | | | | | |
| RTOACT1 | RTIO01出力の出力反転制御 | | | | | | | |
| 0 | 反転しない | | | | | | | |
| 1 | 反転する | | | | | | | |
| RTOACT0 | RTIO00出力の出力反転制御 | | | | | | | |
| 0 | 反転しない | | | | | | | |
| 1 | 反転する | | | | | | | |
| RTOSEL3 | RTIO03出力の制御 | | | | | | | |
| 0 | 出力禁止 | | | | | | | |
| 1 | 出力許可 | | | | | | | |
| RTOSEL2 | RTIO02出力の制御 | | | | | | | |
| 0 | 出力禁止 | | | | | | | |
| 1 | 出力許可 | | | | | | | |
| RTOSEL1 | RTIO01出力の制御 | | | | | | | |
| 0 | 出力禁止 | | | | | | | |
| 1 | 出力許可 | | | | | | | |
| RTOSEL0 | RTIO00出力の制御 | | | | | | | |
| 0 | 出力禁止 | | | | | | | |
| 1 | 出力許可 | | | | | | | |

12.3.4 RTO制御レジスタ1 (RTOOUTC1)

RTOOUTC1レジスタはRTIO04~RTIO07の波形出力許可制御と反転制御をするレジスタです。

RTOOUTC1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-5 RTO制御レジスタ1 (RTOOUTC1) のフォーマット

アドレス : F01C3H リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|----------|---------|---------|-----------------|---------|---------|---------|---------|---------|
| RTOOUTC1 | RTOACT7 | RTOACT6 | RTOACT5 | RTOACT4 | RTOSEL7 | RTOSEL6 | RTOSEL5 | RTOSEL4 |
| | RTOACT7 | | RTIO07出力の出力反転制御 | | | | | |
| | 0 | 反転しない | | | | | | |
| | 1 | 反転する | | | | | | |
| | RTOACT6 | | RTIO06出力の出力反転制御 | | | | | |
| | 0 | 反転しない | | | | | | |
| | 1 | 反転する | | | | | | |
| | RTOACT5 | | RTIO05出力の出力反転制御 | | | | | |
| | 0 | 反転しない | | | | | | |
| | 1 | 反転する | | | | | | |
| | RTOACT4 | | RTIO04出力の出力反転制御 | | | | | |
| | 0 | 反転しない | | | | | | |
| | 1 | 反転する | | | | | | |
| | RTOSEL7 | | RTIO07出力の制御 | | | | | |
| | 0 | 出力禁止 | | | | | | |
| | 1 | 出力許可 | | | | | | |
| | RTOSEL6 | | RTIO06出力の制御 | | | | | |
| | 0 | 出力禁止 | | | | | | |
| | 1 | 出力許可 | | | | | | |
| | RTOSEL5 | | RTIO05出力の制御 | | | | | |
| | 0 | 出力禁止 | | | | | | |
| | 1 | 出力許可 | | | | | | |
| | RTOSEL4 | | RTIO04出力の制御 | | | | | |
| | 0 | 出力禁止 | | | | | | |
| | 1 | 出力許可 | | | | | | |

12.3.5 RTO強制遮断出力選択レジスタ (RTOCIO)

RTOCIOレジスタは、強制遮断処理時の出力状態を選択するレジスタです。

RTOCIOレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-6 RTO強制遮断出力選択レジスタ (RTOCIO) のフォーマット

アドレス : F01C4H リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|--------|---------|---------|---------|---------|---------|---------|---------|---------|
| RTOCIO | RTOCIO7 | RTOCIO6 | RTOCIO5 | RTOCIO4 | RTOCIO3 | RTOCIO2 | RTOCIO1 | RTOCIO0 |

| RTOCIO7 | RTOCIO6 | RTIO07の強制遮断状態選択 |
|---------|---------|-----------------|
| 0 | 0 | Hi-Z出力 |
| 0 | 1 | ロウ・レベル出力 |
| 1 | 0 | ハイ・レベル出力 |
| 1 | 1 | 遮断禁止 |

| RTOCIO5 | RTOCIO4 | RTIO05~RTIO03の強制遮断状態選択 |
|---------|---------|------------------------|
| 0 | 0 | Hi-Z出力 |
| 0 | 1 | ロウ・レベル出力 |
| 1 | 0 | ハイ・レベル出力 |
| 1 | 1 | 遮断禁止 |

| RTOCIO3 | RTOCIO2 | RTIO06の強制遮断状態選択 |
|---------|---------|-----------------|
| 0 | 0 | Hi-Z出力 |
| 0 | 1 | ロウ・レベル出力 |
| 1 | 0 | ハイ・レベル出力 |
| 1 | 1 | 遮断禁止 |

| RTOCIO1 | RTOCIO0 | RTIO02~RTIO00の強制遮断状態選択 |
|---------|---------|------------------------|
| 0 | 0 | Hi-Z出力 |
| 0 | 1 | ロウ・レベル出力 |
| 1 | 0 | ハイ・レベル出力 |
| 1 | 1 | 遮断禁止 |

12.3.6 RTO強制遮断状態レジスタ (RTOSTR)

RTOSTRレジスタは強制遮断信号のクリアと遮断状態のフラグレジスタです。クリア・トリガ・ビット RTOINTPCLR = 1に設定すると、遮断状態を解除します。遮断状態フラグRTOSHTFLGの信号がハイ・レベルのとき、強制遮断状態です。

ビット0はライトのみ可能でリード値は常に0です。ビット7-1はリードのみ可能です。

RTOINTPCLRビットはRTOSHTFLGビットがハイ・レベルのときにライトしてください。

RTOSTRレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-7 RTO強制遮断状態レジスタ (RTOSTR) のフォーマット

アドレス : F01C5H リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|--------|---|---|---|---|---|---|-----------|------------|
| RTOSTR | 0 | 0 | 0 | 0 | 0 | 0 | RTOSHTFLG | RTOINTPCLR |

| RTOSHTFLG | 強制遮断状態フラグ |
|-------------------------|-----------|
| 0 | 通常出力状態 |
| 1 | 強制遮断状態 |
| RTOSHTFLGビットはリードのみ可能です。 | |

| RTOINTPCLR | 強制遮断状クリア |
|------------|----------|
| 0 | — |
| 1 | 遮断状態の解除 |

注意 RTO強制遮断出力選択レジスタ (RTOCIO) で遮断禁止に設定した場合は、外部割り込みINTP0の発生によりRTOSHTFLG = 1 (強制遮断状態) となりますが、遮断処理は行われません。

12.3.7 リアルタイム出力端子のポート機能を制御するレジスタ

リアルタイム出力制御回路使用時は、リアルタイム出力端子 (RTIO_n端子) と兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ0 (PM0), ポート・レジスタ0 (P0), ポート・モード・コントロール・レジスタ0 (PMC0)) を設定してください。

ポート機能を制御するレジスタの詳細は、**4.3.1 ポート・モード・レジスタ0, 1, 4 (PM0, PM1, PM4)**, **4.3.2 ポート・レジスタ0, 1, 4, 12, 13 (P0, P1, P4, P12, P13)**、**4.3.6 ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1)** を参照してください。

RTIO_n端子として使用するときは、対応するポート・モード・レジスタ0 (PM0) のビットに0を、ポート・レジスタ0 (P0) のビットに1を、対応するポート・モード・コントロール・レジスタ0 (PMC0) のビットに0を設定してください。

詳細は、**4.5.3 使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

備考 n = 0-7

12.4 リアルタイム出力制御回路の動作

12.4.1 初期設定

タイマ波形は、RTOSRCレジスタでTAUの出力（TO01, TO03）をソースとして選択します。RTOOUTC0とRTOOUTC1レジスタの設定で、タイマ波形の正転／反転、ロウ・レベル／ハイ・レベル固定の設定ができます。強制遮断発生時、RTOSHTレジスタで遮断有効／無効、RTOCIOレジスタの設定で出力Hi-Z/ロウ・レベル/ハイ・レベル/遮断禁止の4ケースを選択します。

図12-8 レジスタ初期設定フロー



注意 1. RTOSRCレジスタは、該当するRTOSELnビットを許可にする以前に設定してください。

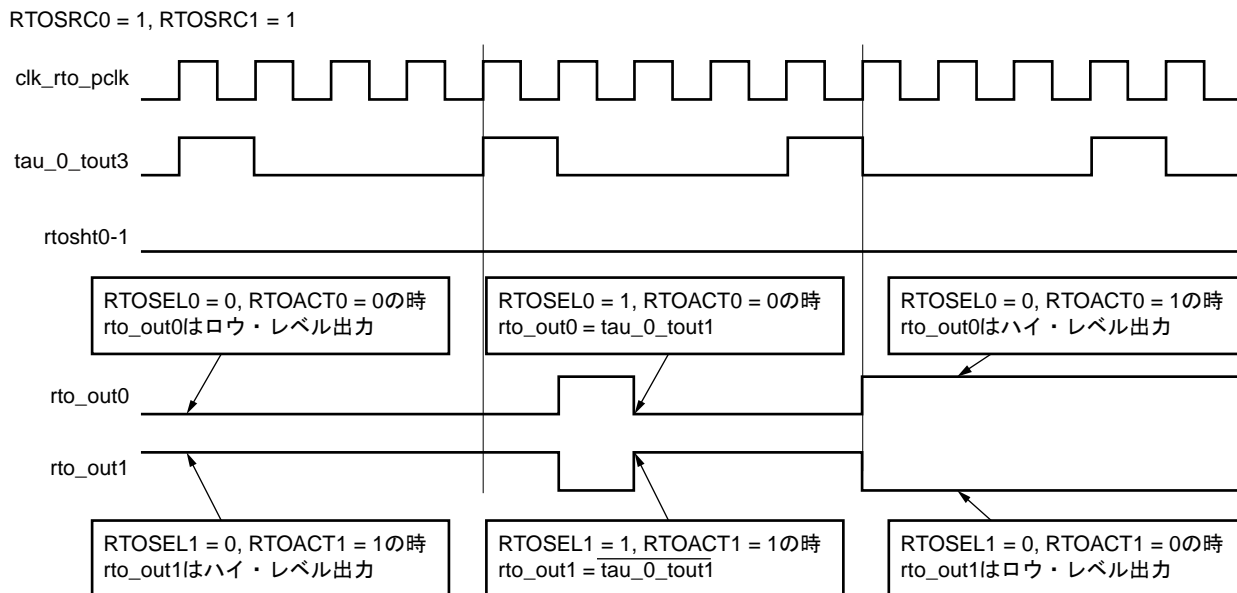
2. RTOCIOレジスタは、該当するRTOSHTnビットが無効時に設定してください。

備考 n = 0-7

12.4.2 通常動作

レジスタ値の設定によって、出力データは波形正転出力／反転波形出力／ロウ・レベル／ハイ・レベルの4種類を選択します。動作中に、RTOOUTC0, RTOOUTC1は変更可能です。RTOSELnビットとRTOACTnビットは同時にライトしてください。詳細は、表12-2 INTP0遮断信号の動作説明表を参照してください。

図12-9 出力のタイミング図



12.4.3 強制遮断処理 (RTOSHTn = 1)

RTOは外部割り込み入力により、RTO出力を強制遮断状態にすることができます。強制遮断処理は、RTOSHTレジスタの対応するビットが"1"の時に有効であり、遮断状態は、RTOCIOレジスタにより選択できます。

(1) 強制遮断発生

RTOSHTnビットが許可設定されている端子は、外部割り込みINTP0により、遮断状態となります。INTP0は、エッジ選択機能により、立ち上がり／立ち下がり／両エッジの選択が可能であり、INTP0から1~2クロック後に遮断状態へ遷移します。詳細は図12-10を参照してください。

(2) 強制遮断解除

RTOSTRレジスタのビット0 (RTOINTPCLR) は、遮断状態のクリア・ビットです。遮断状態フラグRTOSHTFLGがハイ・レベルの時、RTOINTPCLRを1に設定すると、遮断状態フラグRTOSHTFLGはロウ・レベルになり、強制遮断状態を解除します。

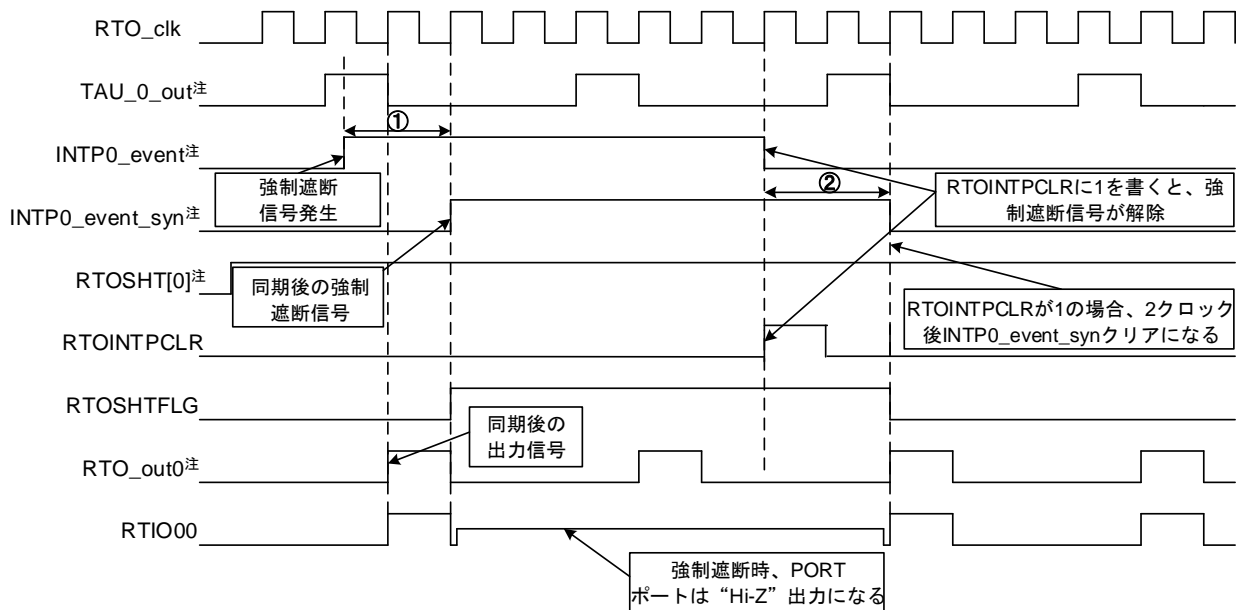
備考 n = 0-7

表12-2 INTP0遮断信号の動作説明表

| ビット | RTOSHT _i | RTOSEL _i | RTOACT _i | RTOSHTFLG | RTOCIO | RTIO0 _i 出力端子 |
|-----|---------------------|---------------------|---------------------|-----------|--------|-------------------------|
| 設定値 | 0 | 1 | 0 | * | * | 正転波形 |
| | 0 | 1 | 1 | * | * | 反転波形 |
| | 0 | 0 | 0 | * | * | L出力 |
| | 0 | 0 | 1 | * | * | H出力 |
| | * | 1 | 0 | 0 | * | 正転波形 |
| | * | 1 | 1 | 0 | * | 反転波形 |
| | * | 0 | 0 | 0 | * | L出力 |
| | * | 0 | 1 | 0 | * | H出力 |
| | * | 1 | 0 | * | 11 | 正転波形 |
| | * | 1 | 1 | * | 11 | 反転波形 |
| | * | 0 | 0 | * | 11 | L出力 |
| | * | 0 | 1 | * | 11 | H出力 |
| | 1 | * | * | 1 | 00 | Hi-Z |
| | 1 | * | * | 1 | 01 | L出力 |
| 1 | * | * | 1 | 10 | H出力 | |

備考 i = 0-7

図12-10 INTP0遮断発生と解除のタイミング図



- ① INTP0割り込み応答から強制遮断ステータスになるまで1~2クロックがかかる
- ② INTP0クリアから強制遮断解除まで2クロックがかかる

注 RL78/G1Mの内部信号

注意 遮断信号INTP0による強制遮断時の"通常動作"から"Hi-Z/ロウ・レベル固定/ハイ・レベル固定"への切り替えおよびソフトウェアによる強制遮断状態の復帰時には、短パルスが発生することがあります。

12.5 使用上の注意

- (1) RTOSRCレジスタは、該当するRTOSELnビットを許可にする以前に設定してください。
- (2) RTOCIOレジスタは、該当するRTOSHTnビットが無効時に設定してください。
- (3) PER.RTOEN=0の時、RTO制御回路は初期化されるため、RTO出力、遮断機能が使用できません。
- (4) 遮断状態クリア・ビットRTOINTPCLRは、遮断中であることを示すRTOSHTFLGフラグの状態をまず確認し、RTOSHTFLGフラグがハイ・レベルのとき1に設定してください。

備考 n = 0-7

12.6 ブラシレスDCモータ制御例

12.6.1 概要

リアルタイム出力 (RTO) 制御機能で、ブラシレスDCモータ (以下、BLDCモータと略します) の制御例を説明しています。

(1) ハードウェア接続例

図12-11は、BLDCモータのハードウェア接続例を示しています。本例では、BLDCモータの出力制御に RTIO00-RTO05 (出力)、ホールセンサの出力信号をINTP1-INTP3 (入力) に、強制遮断信号をINTP0 (入力) に使用しています。

図12-11 ハードウェア接続例

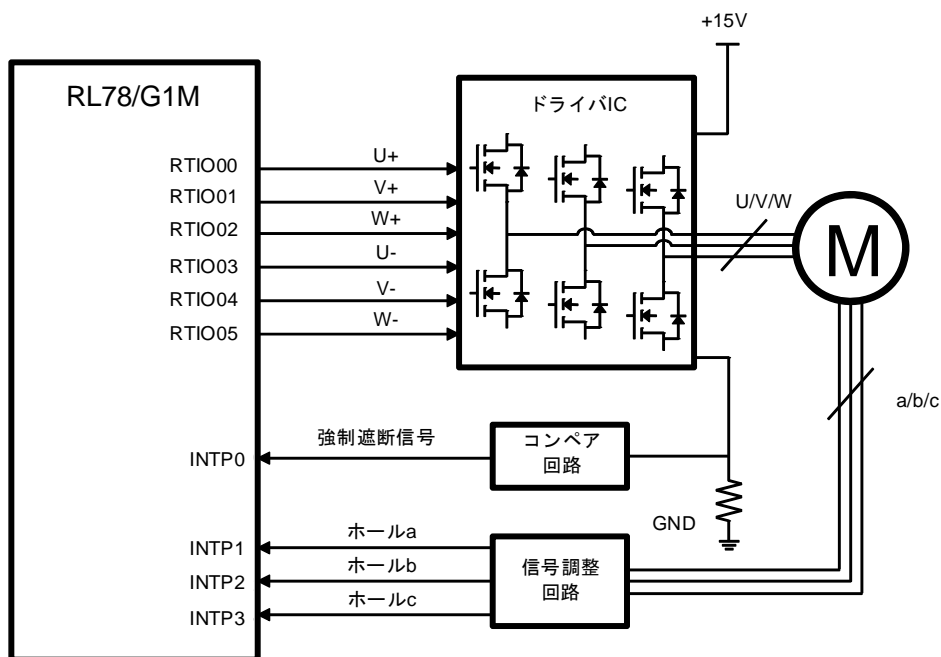
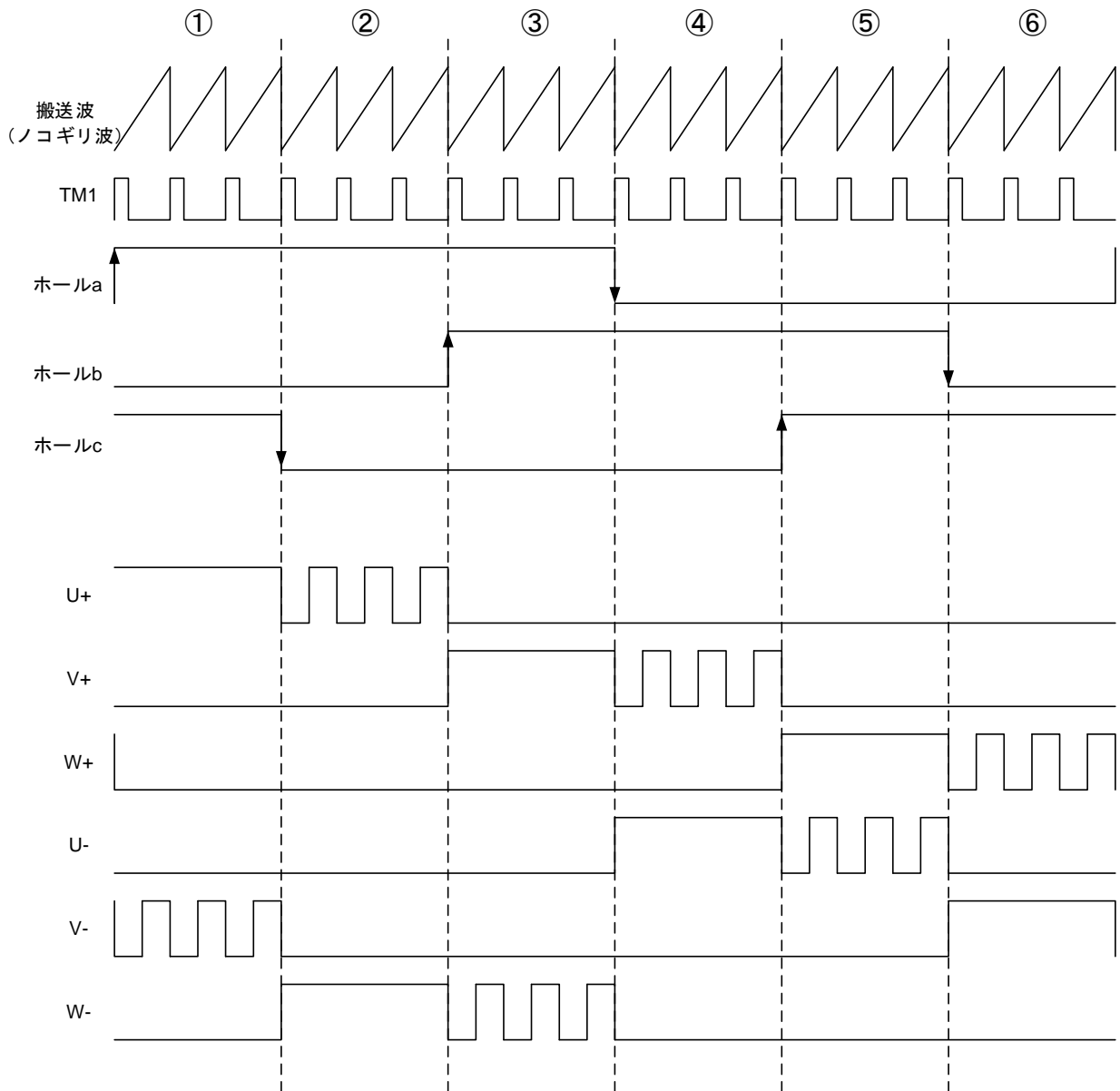


表12-3 使用端子と機能

| 端子名 | 入出力 | 機能 |
|-------------|-----|--------|
| P00/RTIO00 | 出力 | U+相出力 |
| P01/RTIO01 | 出力 | V+相出力 |
| P02/RTIO02 | 出力 | W+相出力 |
| P03/RTIO03 | 出力 | U-相出力 |
| P04/RTIO04 | 出力 | V-相出力 |
| P05/RTIO05 | 出力 | W-相出力 |
| P11/(INTP1) | 入力 | ホールa |
| P15/INTP2 | 入力 | ホールb |
| P14/INTP3 | 入力 | ホールc |
| P137/INTP0 | 入力 | 強制遮断信号 |

12.6.2 三相ブラシレスDCモータの制御タイミング

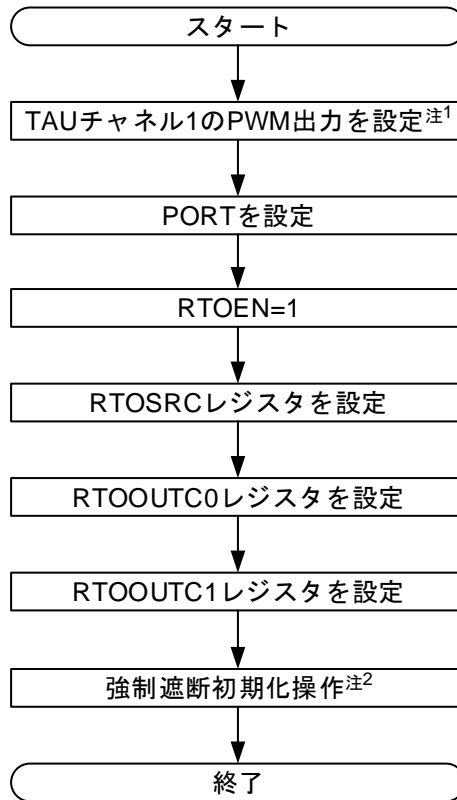
図12-12 三相ブラシレスDCモータ制御のタイミング



12.6.3 リアルタイム出力の初期化フローチャート

リアルタイム出力 (RTO) の初期化フローチャートを、図12-13に示します。

図12-13 RTO初期化のフローチャート



- 注1. 「TAUチャンネル1のPWM出力の設定」の詳細については、第6章 タイマ・アレイ・ユニットを参照してください。
- 注2. 「初期化操作を強制遮断」の詳細については、12.4.3 強制遮断処理 (RTOSHTn = 1) を参照してください。

12.6.4 レジスタの設定例

本例では、RTOソース選択レジスタ (RTOSRC) , RTO制御レジスタ0 (RTOOUT0) , RTO制御レジスタ1 (RTOOUT1) を初期化することにより、RTIO00~RTIO05から同時に、BLDCモータを順方向に回転する波形を出力します。

- (1) RTOSRCレジスタのビットRTOSRC5~RTOSRC0を0に、TAU0のチャンネル1をRTIO00~RTIO05のインプットソースに設定します。

| | | | | | | | | |
|--------|---------|---------|---------|---------|---------|---------|---------|---------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RTOSRC | RTOSRC7 | RTOSRC6 | RTOSRC5 | RTOSRC4 | RTOSRC3 | RTOSRC2 | RTOSRC1 | RTOSRC0 |
| | x | x | 0 | 0 | 0 | 0 | 0 | 0 |

- (2) RTOOUTC0レジスタのビットRTOSEL3~RTOSEL0を1にし、RTIO00~RTIO03出力を許可します。
RTOOUTC0レジスタのビットRTOACT3~RTOACT0を0にし、RTIO00~RTIO03順方向出力にします。

| | | | | | | | | |
|----------|---------|---------|---------|---------|---------|---------|---------|---------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RTOOUTC0 | RTOACT3 | RTOACT2 | RTOACT1 | RTOACT0 | RTOSEL3 | RTOSEL2 | RTOSEL1 | RTOSEL0 |
| | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |

- (3) RTOOUTC1レジスタのビットRTOSEL5, RTOSEL4を1にし、RTIO05, RTIO04出力を許可します。
RTOOUTC1レジスタのビットRTOACT5, RTOACT4を0にし、RTIO05, RTIO04順方向出力にします。

| | | | | | | | | |
|----------|---------|---------|---------|---------|---------|---------|---------|---------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RTOOUTC1 | RTOACT7 | RTOACT6 | RTOACT5 | RTOACT4 | RTOSEL7 | RTOSEL6 | RTOSEL5 | RTOSEL4 |
| | x | x | 0 | 0 | x | x | 1 | 1 |

表12-4 RTOOUT0レジスタとRTOOUT1レジスタの設定例

| 説明 | RTOOUT0設定値 | RTOOUT1設定値 |
|---|------------|------------|
| 状態①：ホールa立ち上がりエッジ。 U+禁止, U+逆方向出力；V-許可, V-順方向出力。 | 0x10 | 0x01 |
| 状態②：ホールc立ち下がりエッジ。 U+許可, U+順方向出力；W-禁止, W-逆方向出力。 | 0x01 | 0x20 |
| 状態③：ホールb立ち上がりエッジ。 V+禁止, V+逆方向出力；W-許可, W-順方向出力。 | 0x20 | 0x02 |
| 状態④：ホールa立ち下がりエッジ。 V+許可, V+順方向出力；U-禁止, U-逆方向出力。 | 0x82 | 0x00 |
| 状態⑤：ホールc立ち上がりエッジ。 W+禁止, W+逆方向出力；U-許可, U-順方向出力。 | 0x48 | 0x00 |
| 状態⑥：ホールb立ち下がりエッジ。 W+許可, W+順方向出力；V-禁止, V-逆方向出力。 | 0x04 | 0x10 |

12.7 ステッピングモータ制御例

12.7.1 概要

リアルタイム出力8本を用いて、2台の2相ステッピングモータを制御する例を説明しています。

12.7.2 ハードウェア接続例

図12-14は、2台のステッピングモータを制御するハードウェアの接続例を示しています。

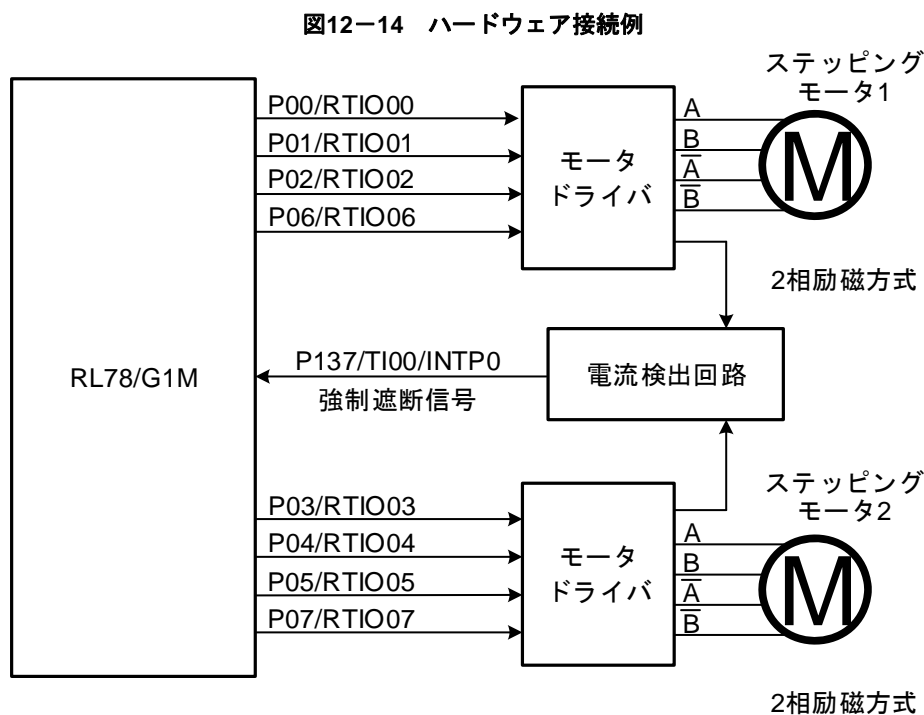


表12-5 使用端子と機能

| 端子名 | 入出力 | 機能 |
|------------|-----|--------------------------|
| P00/RTIO00 | 出力 | ステッピングモータ1 A相出力 |
| P01/RTIO01 | 出力 | ステッピングモータ1 B相出力 |
| P02/RTIO02 | 出力 | ステッピングモータ1 \bar{A} 相出力 |
| P06/RTIO06 | 出力 | ステッピングモータ1 \bar{B} 相出力 |
| P03/RTIO03 | 出力 | ステッピングモータ2 A相出力 |
| P04/RTIO04 | 出力 | ステッピングモータ2 B相出力 |
| P05/RTIO05 | 出力 | ステッピングモータ2 \bar{A} 相出力 |
| P07/RTIO07 | 出力 | ステッピングモータ2 \bar{B} 相出力 |
| P137/INTP0 | 入力 | 強制遮断信号 |

12.7.3 制御方法

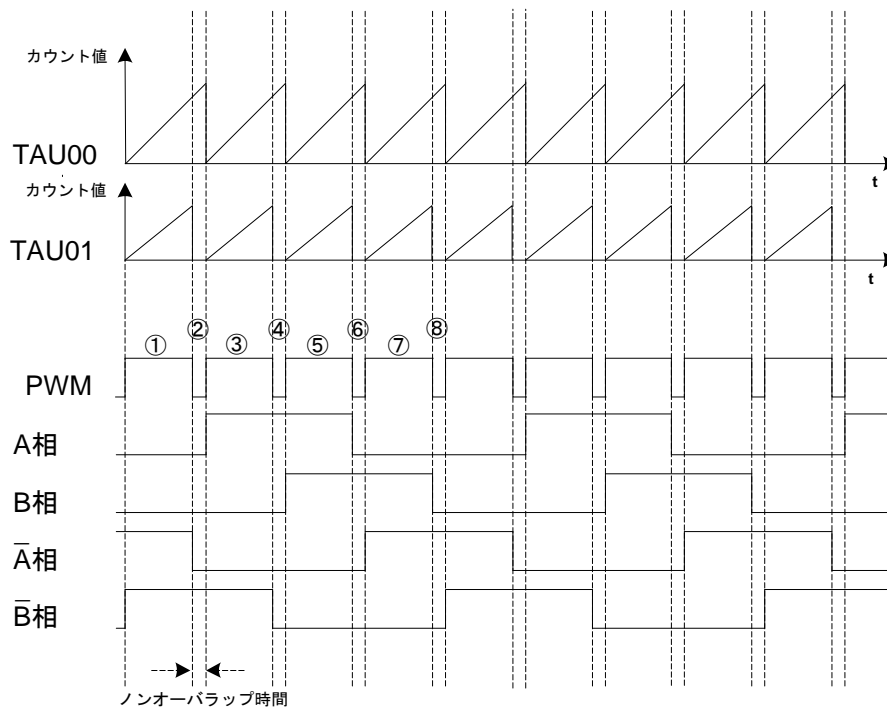
8本のRTIOの機能を利用してステッピングモータを2相励磁方式で正転、逆転および停止動作を実現します。また、TAUのPWMモードを用いて回転速度を制御します。

本例では、TAU00とTAU01をステッピングモータ1の制御に使用し、TAU02とTAU03をステッピングモータ2の制御に使用しています。2つTAUのチャンネルを組み合わせると、任意の周期とデューティのパルスを生成することができます。TAU00とTAU02はマスタ・チャンネルで、インターバル・タイマ・モードとして、TAU01とTAU03はスレーブ・チャンネルで、ワンカウント・モードとして動作させます。

また、出力パターン切換え時に貫通電流防止期間（ノンオーバーラップ時間）を挿入します。

図12-15に、ステッピングモータ制御の波形例を示します。

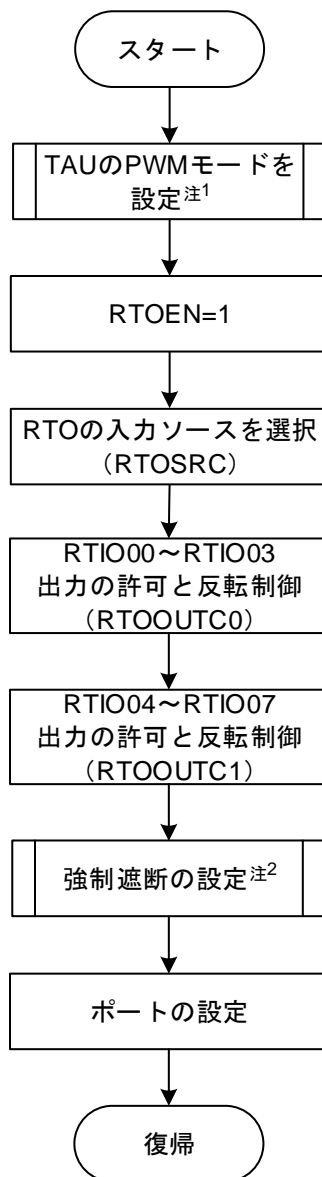
図12-15 ステッピング・モータ制御の波形例



12.7.4 初期化のフローチャート

図12-16に、リアルタイム出力 (RTO) の初期化フローチャートを示します。

図12-16 初期化のフローチャート



注1. 「TAUチャンネル1のPWM出力の設定」の詳細については、第6章 タイマ・アレイ・ユニットを参照してください。

2. 「初期化操作を強制遮断」の詳細については、12.4.3 強制遮断処理 (RTOSHTn = 1) を参照してください。

12.7.5 レジスタ設定

表12-6 ステッピングモータ1を制御するレジスタの設定例

| 状態 | | RTOSRCの設定値 | RTOOUTC0の設定値 | RTOOUTC1の設定値 |
|----|---|------------|--------------|--------------|
| | ① | 0x00 | 0x40 | 0x40 |
| | ② | 0x00 | 0x00 | 0x40 |
| | ③ | 0x00 | 0x10 | 0x40 |
| | ④ | 0x00 | 0x10 | 0x00 |
| | ⑤ | 0x00 | 0x30 | 0x00 |
| | ⑥ | 0x00 | 0x20 | 0x00 |
| | ⑦ | 0x00 | 0x60 | 0x00 |
| | ⑧ | 0x00 | 0x40 | 0x00 |

表12-7 ステッピングモータ2を制御するレジスタの設定例

| 状態 | | RTOSRCの設定値 | RTOOUTC0の設定値 | RTOOUTC1の設定値 |
|----|---|------------|--------------|--------------|
| | ① | 0x00 | 0x00 | 0xa0 |
| | ② | 0x00 | 0x00 | 0x80 |
| | ③ | 0x00 | 0x80 | 0x80 |
| | ④ | 0x00 | 0x80 | 0x00 |
| | ⑤ | 0x00 | 0x80 | 0x10 |
| | ⑥ | 0x00 | 0x00 | 0x10 |
| | ⑦ | 0x00 | 0x00 | 0x30 |
| | ⑧ | 0x00 | 0x00 | 0x20 |

逆転タイミングについては、12.7.1に記載のアプリケーションノートを参照してください。

第13章 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、製品によって異なります。

| | | RL78/G1M製品 | RL78/G1N製品 |
|---------------|----|------------|------------|
| マスカブル 割り込み | 外部 | 7 | 7 |
| | 内部 | 13 | 13 |

13.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR10L, PR10H, PR01L, PR11L）の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位（プライオリティ）にしたがって処理されます。優先順位（プライオリティ）については表13-1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

13.2 割り込み要因と構成

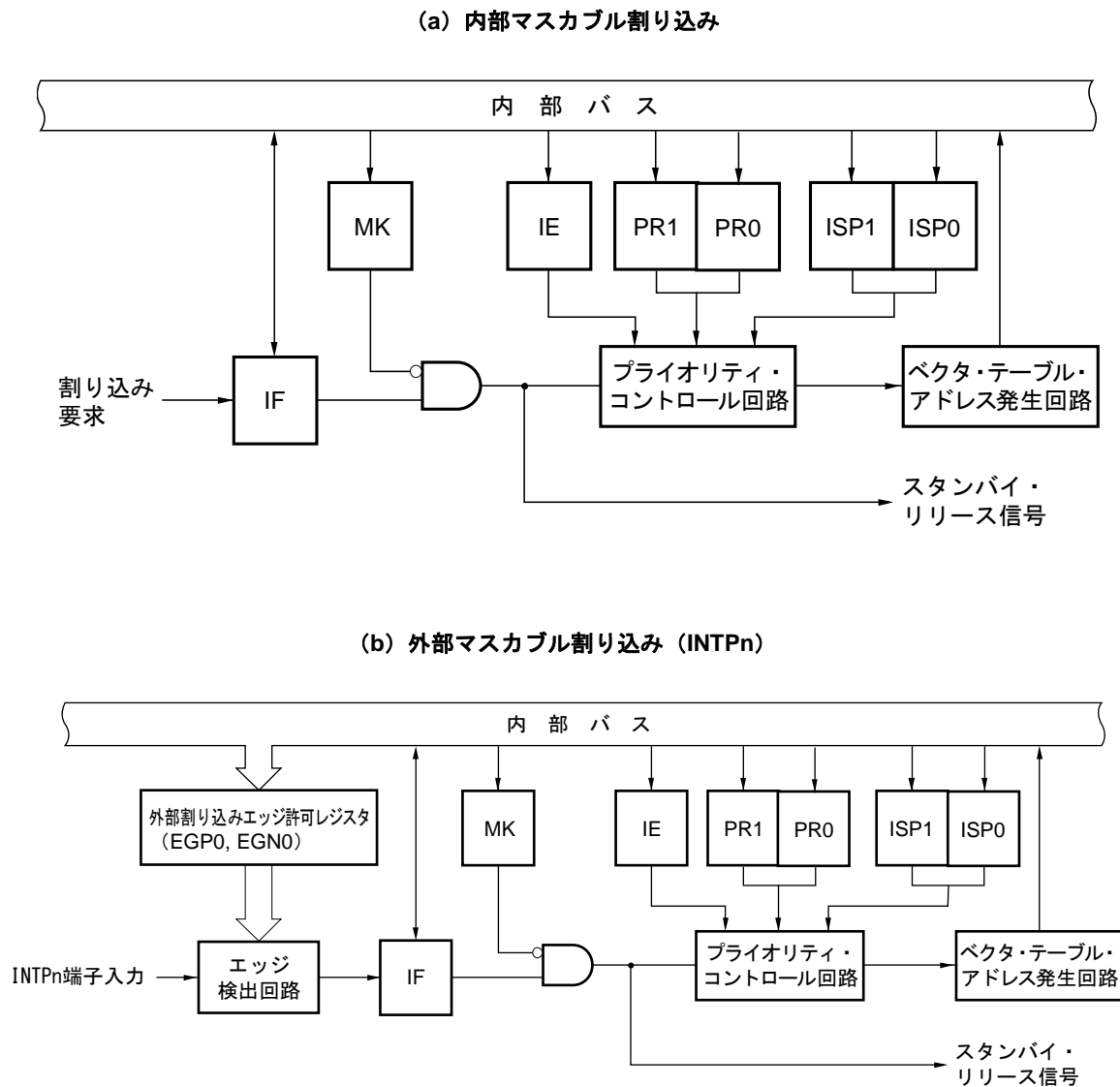
割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計4要因あります（表13-1）。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは0000H-0FFFFHの64 Kアドレスとなります。

表13-1 割り込み要因一覧

| 割り込みの処理 | プリオリティ・ プライオリティ ¹⁾ | 割り込み要因 | | 内部/外部 | アドレス | 基本構成タイプ ²⁾ | | |
|---------|----------------------------------|---------------------|--|-------|-------|-----------------------|-------|-----|
| | | 名称 | トリガ | | | | | |
| マスク可能 | 0 | INTWDTI | ウォッチドッグ・タイマのインターバル (オーバーフロー時間の75%+3/(4×fIL)) | 内部 | 0004H | (a) | | |
| | 1 | INTP0 | 端子入力エッジ検出 | 外部 | 0006H | (b) | | |
| | 2 | INTP1 | | | 0008H | | | |
| | 3 | INTST0/ INTCSI00 | UART0送信の転送完了, バッファ空き割り込み/CSI00の転送完了, バッファ空き割り込み | 内部 | 000AH | (a) | | |
| | 4 | INTSR0 | UART0受信の転送完了 | | 000CH | | | |
| | 5 | INTSRE0 | UART0受信の通信エラー発生 | | 000EH | | | |
| | 6 | INTTM01H | タイマ・チャンネル1のカウント完了または動作開始時 (上位8ビット・タイマ動作時) | | 0010H | | | |
| | 7 | INTTM00 | タイマ・チャンネル0のカウント完了またはキャプチャ完了または動作開始時 | | 0012H | | | |
| | 8 | INTTM01 | タイマ・チャンネル1のカウント完了またはキャプチャ完了または動作開始時 (16ビット・タイマ動作時または下位8ビット・タイマ動作時) | | 0014H | | | |
| | 9 | INTAD | A/D変換終了 | | 0016H | | | |
| | 10 | INTKR | キー・リターン信号検出 | | 外部 | | 0018H | (c) |
| | 11 | INTP2 | 端子入力エッジ検出 | | | | 001AH | |
| | 12 | INTP3 | | 001CH | | | | |
| | 13 | INTTM03H | タイマ・チャンネル3のカウント完了または動作開始時 (上位8ビット・タイマ動作時) | 内部 | 001EH | (a) | | |
| | 14 | INTTM02 | タイマ・チャンネル2のカウント完了またはキャプチャ完了または動作開始時 | | 0022H | | | |
| | 15 | INTTM03 | タイマ・チャンネル3のカウント完了またはキャプチャ完了または動作開始時 (16ビット・タイマ動作時または下位8ビット・タイマ動作時) | | 0024H | | | |
| | 17 | INTIT | インターバルタイマの信号検出 | | 0026H | | | |
| | 18 | INTP4 | 端子入力エッジ検出 | | 外部 | | 0028H | (b) |
| | 19 | INTP5 | | 002AH | | | | |
| ソフトウェア | — | BRK | BRK命令の実行 | — | 007EH | (d) | | |
| リセット | — | RESET | RESET端子入力 | — | 0000H | — | | |
| | | SPOR | セレクトラブル・パワーオン・リセット | | | | | |
| | | WDT | ウォッチドッグ・タイマのオーバーフロー | | | | | |
| | | TRAP | 不正命令の実行 ^{注3)} | | | | | |

- 注 1. デフォルト・プライオリティは、複数のマスク可能割り込みが発生している場合に、優先する順位です。0が最高順位、10が最低順位です。
2. 基本構成タイプの (a) - (d) は、それぞれ図13-1の (a) - (d) に対応しています。
3. FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図13-1 割り込み機能の基本構成 (1/2)

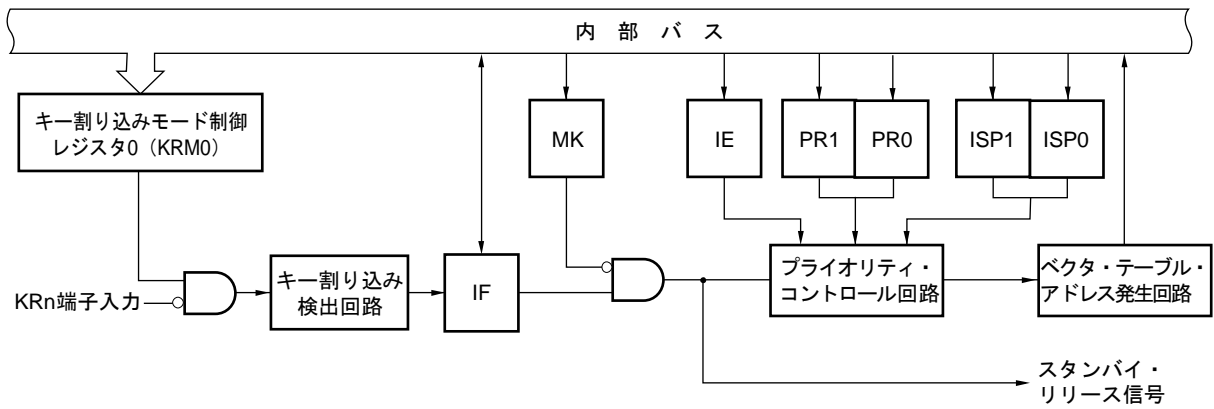


- IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP0 : インサースビス・プライオリティ・フラグ0
 ISP1 : インサースビス・プライオリティ・フラグ1
 MK : 割り込みマスク・フラグ
 PR0 : 優先順位指定フラグ0
 PR1 : 優先順位指定フラグ1

備考 n = 0~5

図13-1 割り込み機能の基本構成 (2/2)

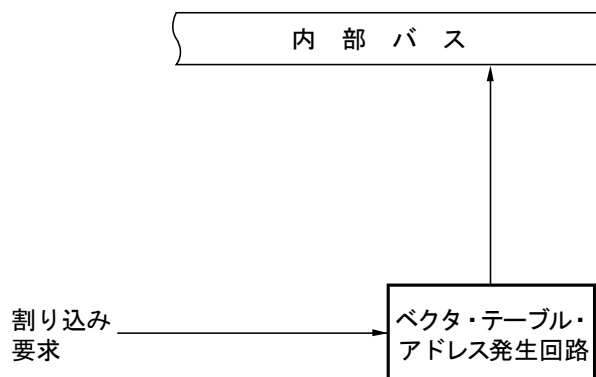
(c) 外部マスカブル割り込み (INTKR)



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサース・プライオリティ・フラグ0
- ISP1 : インサース・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

備考 n = 0~7

(d) ソフトウェア割り込み



13.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)
- ・優先順位指定フラグ・レジスタ (PR00L, PR00H, PR10L, PR10H, PR01L, PR11L)
- ・外部割り込み立ち上がりエッジ許可レジスタ0 (EGP0)
- ・外部割り込み立ち下がりエッジ許可レジスタ0 (EGN0)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表13-2に示します。

表13-2 割り込み要求ソースに対応する各種フラグ

| 割り込み要因 | 割り込み要求フラグ | | 割り込みマスク・フラグ | | 優先順位指定フラグ | |
|-----------------------|---------------------|------|----------------------|------|--------------------------------|-----------------|
| | | レジスタ | | レジスタ | | レジスタ |
| INTWDTI | WDTIIF | IF0L | WDTIMK | MK0L | WDTIPR0 WDTIPR1 | PR00L, PR10L |
| INTP0 | PIF0 | | PMK0 | | PPR00 PPR10 | |
| INTP1 | PIF1 | | PMK1 | | PPR01 PPR11 | |
| INTST0 ^注 | STIF0 ^注 | | STMK0 ^注 | | STPR00 STPR10 ^注 | |
| INTCSI00 ^注 | CSIF00 ^注 | | CSIMK00 ^注 | | CSIPR000 CSIPR100 ^注 | |
| INTSR0 | SRIF0 | | SRMK0 | | SRPR00 SRPR10 | |
| INTSRE0 | SREIF0 | | SREMK0 | | SREPR00 SREPR10 | |
| INTTM01H | TMIF01H | | TMMK01H | | TMPR001H TMPR101H | |
| INTTM00 | TMIF00 | | TMMK00 | | TMPR000 TMPR100 | |
| INTTM01 | TMIF01 | IF0H | TMMK01 | MK0H | TMPR001 TMPR101 | PR00H, PR10H |
| INTAD | ADIF | | ADMK | | ADPR0 ADPR1 | |
| INTKR | KRIF | | KRMK | | KRPR0 KRPR1 | |
| INTP2 | PIF2 | | PMK2 | | PPR02 PPR12 | |
| INTP3 | PIF3 | | PMK3 | | PPR03 PPR13 | |
| INTTM03H | TMIF03H | | TMMK03H | | TMPR003H TMPR103H | |
| INTTM02 | TMIF02 | | TMMK02 | | TMPR002 TMPR102 | |
| INTTM03 | TMIF03 | IF1L | TMMK03 | MK1L | TMPR003 TMPR103 | PR01L, PR11L |
| INTIT | ITIF | | ITMK | | ITPR0 ITPR1 | |
| INTP4 | PIF4 | | PMK4 | | PPR04 PPR14 | |
| INTP5 | PIF5 | | PMK5 | | PPR05 PPR15 | |

注 割り込み要因INTST0, INTCSI00のうち、いずれかが発生したら、IF0Lレジスタのビット3はセット(1)されます。また、MK0L, PR00L, PR10Lレジスタのビット3は、2つすべての割り込み要因に対応しています。

13.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図13-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L) のフォーマット

アドレス : FFFE0H リセット時 : 00H R/W

| | | | | | | | | |
|------|--------|---------|--------|-------|------------------|------|------|--------|
| 略号 | [7] | [6] | [5] | [4] | [3] | [2] | [1] | [0] |
| IF0L | TMIF00 | TMIF01H | SREIF0 | SRIF0 | STIF0 CSIIF00 | PIF1 | PIF0 | WDTIIF |

アドレス : FFFE1H リセット時 : 00H R/W

| | | | | | | | | |
|------|--------|-----|---------|------|------|------|------|--------|
| 略号 | [7] | [6] | [5] | [4] | [3] | [2] | [1] | [0] |
| IF0H | TMIF02 | 0 | TMIF03H | PIF3 | PIF2 | KRIF | ADIF | TMIF01 |

アドレス : FFFE2H リセット時 : 00H R/W

| | | | | | | | | |
|------|---|---|---|---|------|------|------|--------|
| 略号 | 7 | 6 | 5 | 4 | [3] | [2] | [1] | [0] |
| IF1L | 0 | 0 | 0 | 0 | PIF5 | PIF4 | ITIF | TMIF03 |

| | |
|--------|-----------------------|
| XXIFXX | 割り込み要求フラグ |
| 0 | 割り込み要求信号が発生していない |
| 1 | 割り込み要求信号が発生し、割り込み要求状態 |

(注意は次ページにあります。)

- 注意1. 未定義ビットの内容は変更しないでください。
2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため、「IF0L.0 = 0;」や「_asm (“clr1 IF0L.0”) ;」のようなビット操作命令を使用してください。

なお、C言語で「IF0L & = 0xfe;」のように記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット（1）されても、「mov IF0L, a」でクリア（0）されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

13.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図13-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L) のフォーマット

アドレス : FFFE4H リセット時 : FFH R/W

| | | | | | | | | |
|------|--------|---------|--------|-------|------------------|------|------|--------|
| 略号 | [7] | [6] | [5] | [4] | [3] | [2] | [1] | [0] |
| MK0L | TMMK00 | TMMK01H | SREMK0 | SRMK0 | STMK0 CSIMK00 | PMK1 | PMK0 | WDTIMK |

アドレス : FFFE5H リセット時 : FFH R/W

| | | | | | | | | |
|------|--------|---|---------|------|------|------|------|--------|
| 略号 | [7] | 6 | [5] | [4] | [3] | [2] | [1] | [0] |
| MK0H | TMMK02 | 1 | TMMK03H | PMK3 | PMK2 | KRMK | ADMK | TMMK01 |

アドレス : FFFE6H リセット時 : FFH R/W

| | | | | | | | | |
|------|---|---|---|---|------|------|------|--------|
| 略号 | 7 | 6 | 5 | 4 | [3] | [2] | [1] | [0] |
| MK1L | 1 | 1 | 1 | 1 | PMK5 | PMK4 | ITMK | TMMK03 |

| | |
|--------|-----------|
| XXMKXX | 割り込み処理の制御 |
| 0 | 割り込み処理許可 |
| 1 | 割り込み処理禁止 |

注意 未定義ビットの内容は変更しないでください。

13.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR10L, PR10H, PR01L, PR11L)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせ、優先順位レベルを設定します (xy = 0L, 0H, 1L)。

PR00L, PR00H, PR10L, PR10H, PR01L, PR11Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図13-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR10L, PR10H, PR01L, PR11L) のフォーマット

アドレス : FFFE8H リセット時 : FFH R/W

| | | | | | | | | |
|-------|---------|----------|---------|--------|--------------------|-------|-------|---------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PR00L | TMPR000 | TMPR001H | SREPR00 | SRPR00 | STPR00 CSIPR000 | PPR01 | PPR00 | WDTIPR0 |

アドレス : FFECH リセット時 : FFH R/W

| | | | | | | | | |
|-------|---------|----------|---------|--------|--------------------|-------|-------|---------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PR10L | TMPR100 | TMPR101H | SREPR10 | SRPR10 | STPR10 CSIPR100 | PPR11 | PPR10 | WDTIPR1 |

アドレス : FFFE9H リセット時 : FFH R/W

| | | | | | | | | |
|-------|---------|---|----------|-------|-------|-------|-------|---------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PR00H | TMPR002 | 1 | TMPR003H | PPR03 | PPR02 | KRPR0 | ADPR0 | TMPR001 |

アドレス : FFFEDH リセット時 : FFH R/W

| | | | | | | | | |
|-------|---------|---|----------|-------|-------|-------|-------|---------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PR10H | TMPR102 | 1 | TMPR103H | PPR13 | PPR12 | KRPR1 | ADPR1 | TMPR101 |

アドレス : FFFEAH リセット時 : FFH R/W

| | | | | | | | | |
|-------|---|---|---|---|-------|-------|-------|---------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PR01L | 1 | 1 | 1 | 1 | PPR05 | PPR04 | ITPR0 | TMPR003 |

アドレス : FFFEEH リセット時 : FFH R/W

| | | | | | | | | |
|-------|---|---|---|---|-------|-------|-------|---------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PR11L | 1 | 1 | 1 | 1 | PPR15 | PPR14 | ITPR1 | TMPR103 |

| XXPR1X | XXPR0X | 優先順位レベルの選択 |
|--------|--------|-----------------|
| 0 | 0 | レベル0を指定 (高優先順位) |
| 0 | 1 | レベル1を指定 |
| 1 | 0 | レベル2を指定 |
| 1 | 1 | レベル3を指定 (低優先順位) |

注意 未定義ビットの内容は変更しないでください。

13.3.4 外部割り込み立ち上がりエッジ許可レジスタ0 (EGP0) , 外部割り込み立ち下がりエッジ許可レジスタ0 (EGN0)

INTP0-INTP5の有効エッジを設定するレジスタです。

EGP0, EGN0レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-5 外部割り込み立ち上がりエッジ許可レジスタ0 (EGP0) , 外部割り込み立ち下がりエッジ許可レジスタ0 (EGN0) のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

| | | | | | | | | |
|------|---|---|------|------|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| EGP0 | 0 | 0 | EGP5 | EGP4 | EGP3 | EGP2 | EGP1 | EGP0 |

アドレス : FFF39H リセット時 : 00H R/W

| | | | | | | | | |
|------|---|---|------|------|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| EGN0 | 0 | 0 | EGN5 | EGN4 | EGN3 | EGN2 | EGN1 | EGN0 |

| EGPn | EGNn | INTPn端子の有効エッジの選択 (n = 0-5) |
|------|------|----------------------------|
| 0 | 0 | エッジ検出禁止 |
| 0 | 1 | 立ち下がりエッジ |
| 1 | 0 | 立ち上がりエッジ |
| 1 | 1 | 立ち上がり, 立ち下がりの両エッジ |

注意 外部割り込み機能で使用している入力ポートを出力モードに切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。出力モードに切り替える場合は、エッジ検出禁止 (EGPn, EGNn=0, 0) にしてからポート・モード・レジスタ (PMxx) を0に設定してください。

備考1. エッジ検出ポートに関しては、2.1 ポート機能を参照してください。

2. n = 0-5

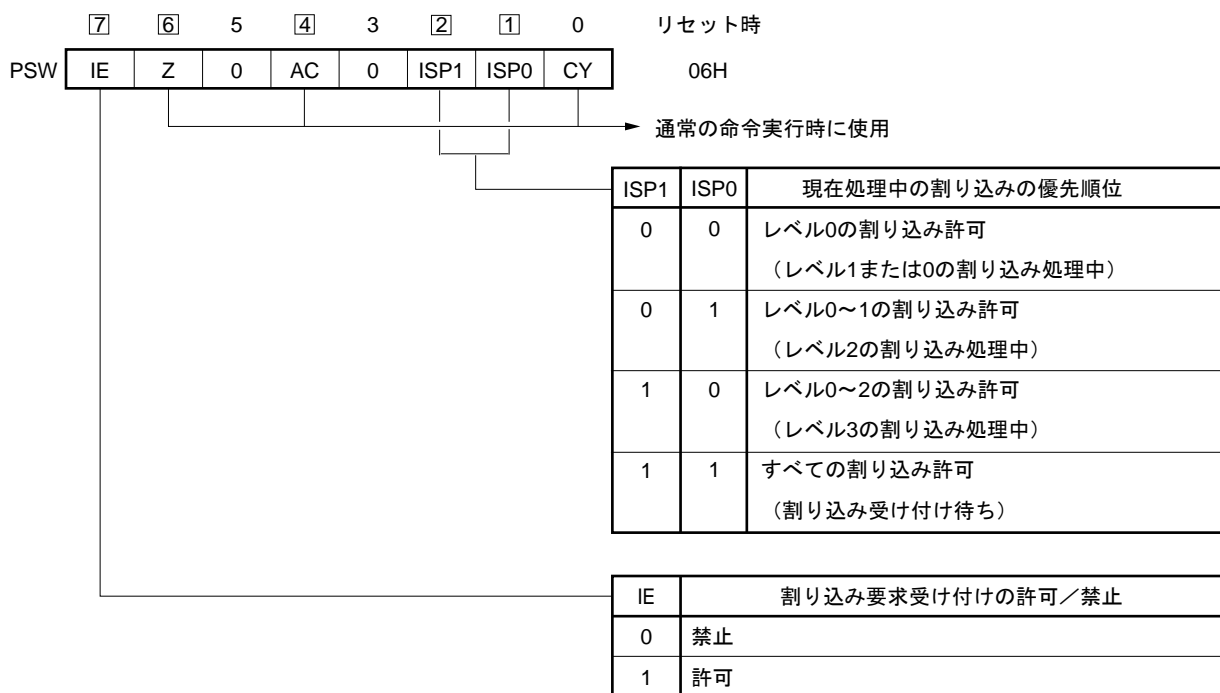
13.3.5 プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は、"-1"された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図13-6 プログラム・ステータス・ワードの構成



13.4 割り込み処理動作

13.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み処理は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されているベクタ割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表13-3のようになります。

割り込み要求の受け付けタイミングについては、図13-8、図13-9を参照してください。

表13-3 マスカブル割り込み要求発生から処理までの時間

| | 最小時間 | 最大時間 ^注 |
|------|--------|-------------------|
| 処理時間 | 11クロック | 18クロック |

注 内部RAM 領域からの命令実行時は除きます。

備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

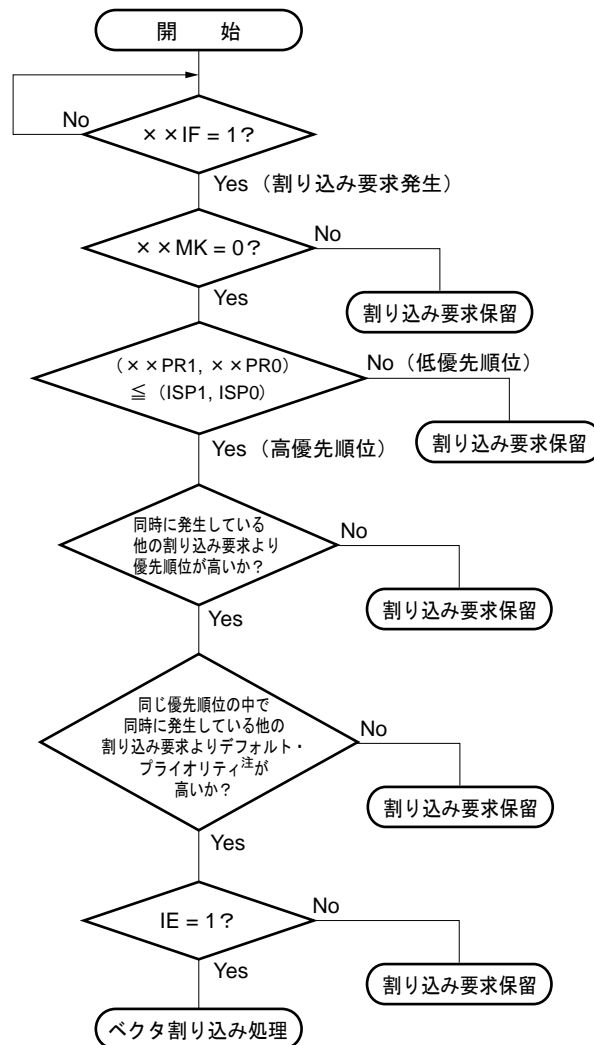
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図13-7に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IEフラグをリセット（0）し、受け付けた割り込みの優先順位指定フラグの内容をISP1、ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

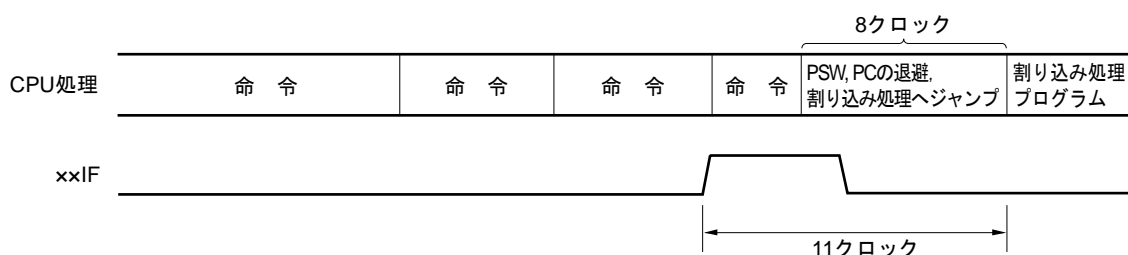
図13-7 割り込み要求受け付け処理アルゴリズム



- ××IF : 割り込み要求フラグ
- ××MK : 割り込みマスク・フラグ
- ××PR0 : 優先順位指定フラグ0
- ××PR1 : 優先順位指定フラグ1
- IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)
- ISP0, ISP1 : 現在処理中の割り込みの優先順位を示すフラグ (図13-9参照)

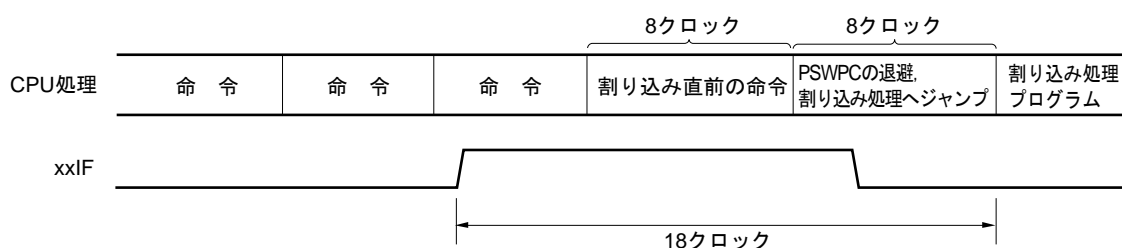
注 デフォルト・プライオリティは、表13-1 割り込み要因一覧を参照してください。

図13-8 割り込み要求の受け付けタイミング（最小時間）



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

図13-9 割り込み要求の受け付けタイミング（最大時間）



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

13.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (0007EH, 0007FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令は使用できません。

13.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラ

グをセット (1) した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表13-4に多重割り込み可能な割り込み要求の関係を、図13-10に多重割り込みの例を示します。

表13-4 割り込み処理中に多重割り込み可能な割り込み要求の関係

| 多重割り込み要求 処理中の割り込み | | マスカブル割り込み要求 | | | | | | | | ソフトウェア 割り込み要求 |
|----------------------|----------------------|-----------------------|--------|-----------------------|--------|-----------------------|--------|-----------------------|--------|------------------|
| | | 優先順位レベル0 (PR = 00) | | 優先順位レベル1 (PR = 01) | | 優先順位レベル2 (PR = 10) | | 優先順位レベル3 (PR = 11) | | |
| | | IE = 1 | IE = 0 | IE = 1 | IE = 0 | IE = 1 | IE = 0 | IE = 1 | IE = 0 | |
| マスカブル割り込み | ISP1 = 0 ISP0 = 0 | ○ | × | × | × | × | × | × | × | ○ |
| | ISP1 = 0 ISP0 = 1 | ○ | × | ○ | × | × | × | × | × | ○ |
| | ISP1 = 1 ISP0 = 0 | ○ | × | ○ | × | ○ | × | × | × | ○ |
| | ISP1 = 1 ISP0 = 1 | ○ | × | ○ | × | ○ | × | ○ | × | ○ |
| ソフトウェア割り込み | | ○ | × | ○ | × | ○ | × | ○ | × | ○ |

備考1. ○ : 多重割り込み可能。

2. × : 多重割り込み不可能。

3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル0またはレベル1の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち (すべての割り込み許可)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

4. PRはPR00L, PR00H, PR10L, PR10H, PR01L, PR11Lレジスタに含まれるフラグです。

PR = 00 : × × PR1 × = 0, × × PR0 × = 0でレベル0を指定 (高優先順位)

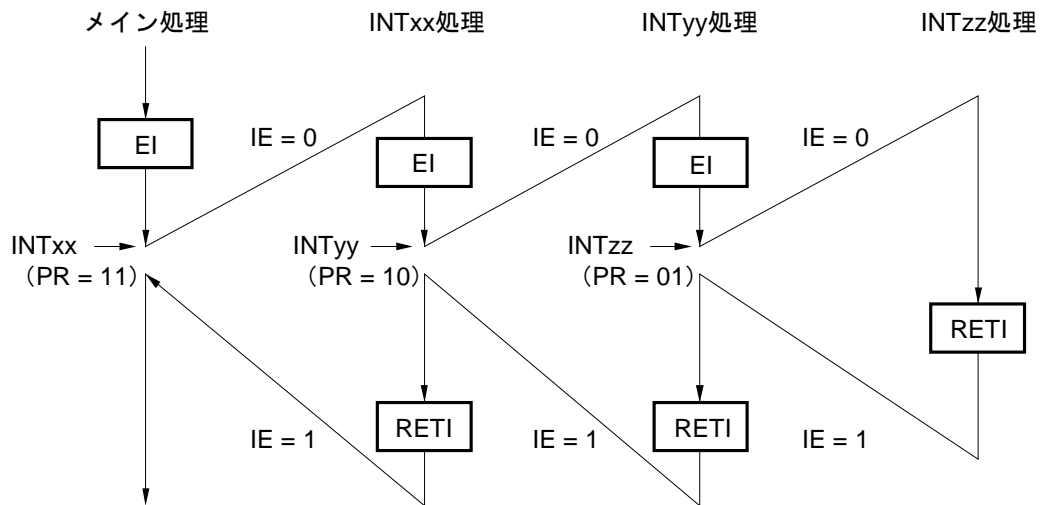
PR = 01 : × × PR1 × = 0, × × PR0 × = 1でレベル1を指定

PR = 10 : × × PR1 × = 1, × × PR0 × = 0でレベル2を指定

PR = 11 : × × PR1 × = 1, × × PR0 × = 1でレベル3を指定 (低優先順位)

図13-10 多重割り込みの例 (1/3)

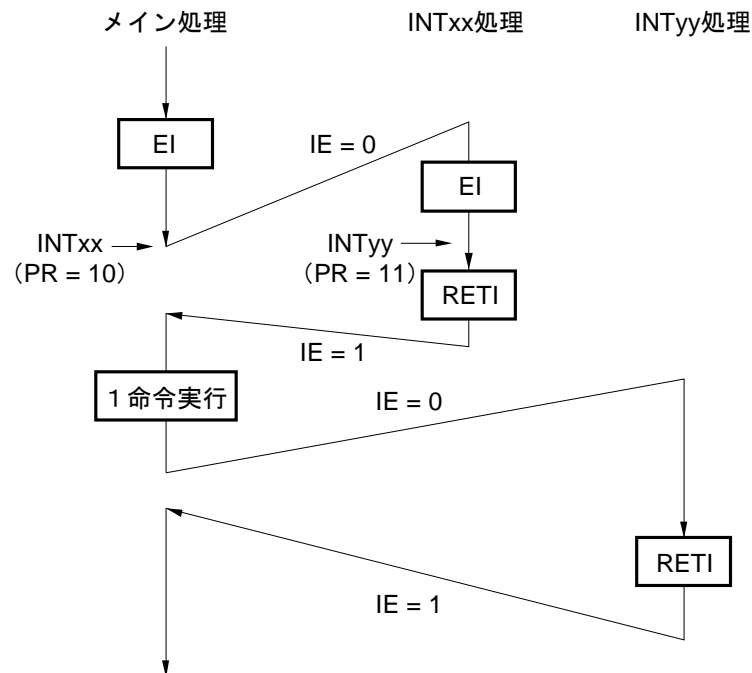
例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

図13-10 多重割り込みの例 (2/3)

例2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $\times \times PR1 \times = 0, \times \times PR0 \times = 0$ でレベル0を指定 (高優先順位)

PR = 01 : $\times \times PR1 \times = 0, \times \times PR0 \times = 1$ でレベル1を指定

PR = 10 : $\times \times PR1 \times = 1, \times \times PR0 \times = 0$ でレベル2を指定

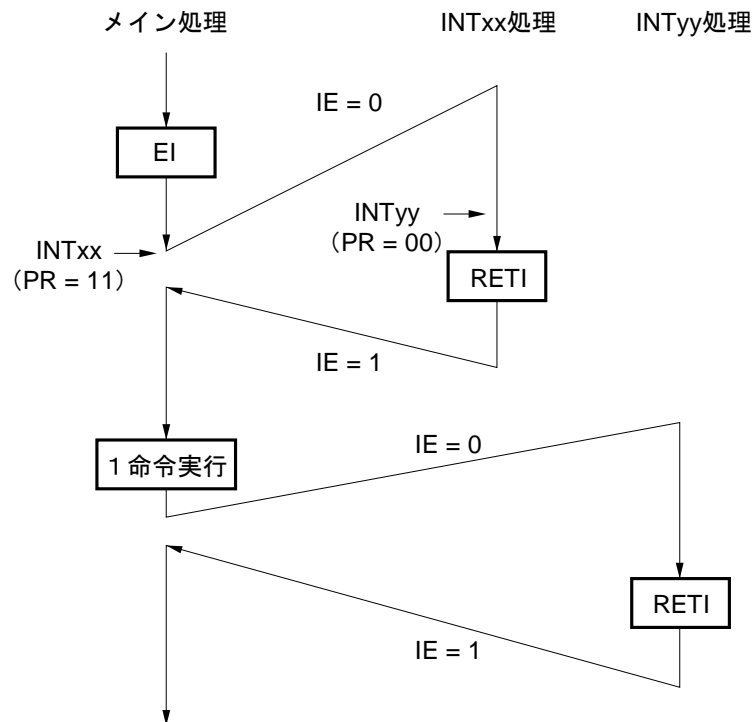
PR = 11 : $\times \times PR1 \times = 1, \times \times PR0 \times = 1$ でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図13-10 多重割り込みの例 (3/3)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $\times \times PR1 \times = 0, \times \times PR0 \times = 0$ でレベル0を指定（高優先順位）

PR = 01 : $\times \times PR1 \times = 0, \times \times PR0 \times = 1$ でレベル1を指定

PR = 10 : $\times \times PR1 \times = 1, \times \times PR0 \times = 0$ でレベル2を指定

PR = 11 : $\times \times PR1 \times = 1, \times \times PR0 \times = 1$ でレベル3を指定（低優先順位）

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

13.4.4 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, #byte
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ POP PSW
- ・ BTCLR PSW. bit, \$addr20
- ・ EI
- ・ DI
- ・ SKC
- ・ SKNC
- ・ SKZ
- ・ SKNZ
- ・ SKH
- ・ SKNH
- ・ IF0L, IF0H, IF1L, MK0L, MK0H, MK1L, PR00L, PR00H, PR10L, PR10H, PR01L, PR11Lレジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図13-11に示します。

図13-11 割り込み要求の保留



- 備考1.** 命令N：割り込み要求の保留命令
- 2.** 命令M：割り込み要求の保留命令以外の命令

第14章 キー割り込み機能

14.1 キー割り込みの機能

キー割り込み入力端子（KR0-KR7）に立ち上がり／立ち下がりエッジを入力することによって、キー割り込み（INTKR）を発生させることができます。

表14-1 キー割り込み検出端子の割り当て

| キー割り込み端子 | キー・リターン・モード・レジスタ (KRM0) | キー・リターン・フラグ・レジスタ (KRF) |
|----------|----------------------------|---------------------------|
| KR0 | KRM00 | KRF0 |
| KR1 | KRM01 | KRF1 |
| KR2 | KRM02 | KRF2 |
| KR3 | KRM03 | KRF3 |
| KR4 | KRM04 | KRF4 |
| KR5 | KRM05 | KRF5 |
| KR6 | KRM06 | KRF6 |
| KR7 | KRM07 | KRF7 |

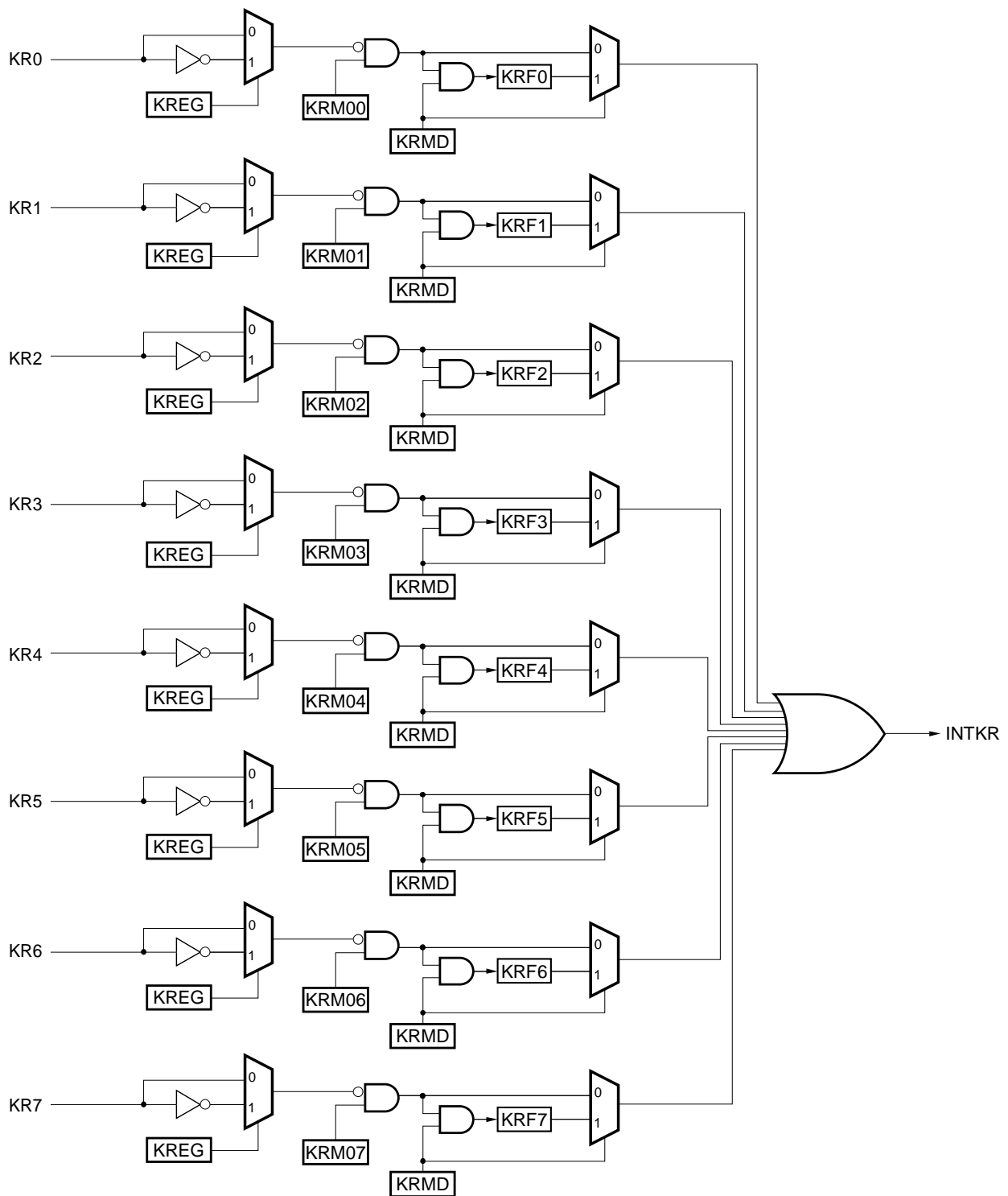
14.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表14-2 キー割り込みの構成

| 項目 | 構成 |
|--------|---|
| 制御レジスタ | キー・リターン・コントロール・レジスタ (KRCTL) キー・リターン・モード・レジスタ (KRM0) キー・リターン・フラグ・レジスタ (KRF) ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1) ポート・モード・レジスタ0, 1, 4 (PM0, PM1, PM4) |

図14-1 キー割り込みのブロック図



14.3 キー割り込みを制御するレジスタ

キー割り込み機能は、次の5種類のレジスタで制御します。

- ・キー・リターン・コントロール・レジスタ (KRCTL)
- ・キー・リターン・モード・レジスタ (KRM0)
- ・キー・リターン・フラグ・レジスタ (KRF)
- ・ポート・モード・コントロール・レジスタ0 (PMC0)
- ・ポート・モード・レジスタ0, 4 (PM0, PM4)

14.3.1 キー・リターン・コントロール・レジスタ (KRCTL)

キー・リターン・フラグ (KRF0-KRF7) の使用と検出エッジを設定するレジスタです。

KRCTLレジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-2 キー・リターン・コントロール・レジスタ (KRCTL) のフォーマット

アドレス : FFF34H リセット時 : 00H R/W

| | | | | | | | | |
|-------|------|---|---|---|---|---|---|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| KRCTL | KRMD | 0 | 0 | 0 | 0 | 0 | 0 | KREG |

| | |
|------|-----------------------------|
| KRMD | キー・リターン・フラグ (KRF0-KRF7) の使用 |
| 0 | キー・リターン・フラグを使用しない |
| 1 | キー・リターン・フラグを使用する |

| | |
|------|--------------------|
| KREG | 検出エッジの選択 (KR0-KR7) |
| 0 | 立ち下がリエッジ |
| 1 | 立ち上がりエッジ |

| | | |
|------|------|--|
| KRMD | KREG | 割り込み機能 |
| 0 | 0 | キー割り込み, 外部割り込み (ポート・レベルで特定) ^注 |
| 0 | 1 | 外部割り込み (ポート・レベルで特定) |
| 1 | 0 | 外部割り込み (フラグで特定) |
| 1 | 1 | |

注 立ち下がリエッジ検出時、外部割り込み機能はキー割り込み機能と同じ機能・動作となります。

14.3.2 キー・リターン・モード・レジスタ (KRM0)

キー割り込みモードを設定するレジスタです。

KRM0レジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-3 キー・リターン・モード・レジスタ (KRM0) のフォーマット

アドレス : FFF37H リセット時 : 00H R/W

| | | | | | | | | |
|------|-------|-------|-------|-------|-------|-------|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| KRM0 | KRM07 | KRM06 | KRM05 | KRM04 | KRM03 | KRM02 | KRM01 | KRM00 |

| | |
|-------|------------------------|
| KRM0n | キー割り込みモードの制御 (n = 0-7) |
| 0 | キー割り込み信号を検出しない |
| 1 | キー割り込み信号を検出する |

- 注意1. 立ち下がりエッジ (KRMD = 0) を選択してキー割り込み信号を検出する (KRM0n = 1) 場合、対応する入力端子は外部抵抗でV_{DD}にプルアップしてください。なお、キー割り込み入力端子のPU07, PU10-PU13, PU16, PU40, PU125 (プルアップ抵抗オプション・レジスタ0, 1, 4, 12 (PU0, PU1, PU4, PU12) のうち、対象となるビットに1を設定して、内部プルアップ抵抗を使用することもできます。
2. キー割り込み入力端子にロウ・レベル (KREGに0を設定時) / ハイ・レベル (KREGに1を設定時) が入力されている状態で、KRM0レジスタの対象ビットをセットすると、割り込みが発生します。
この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理を禁止にしてから、KRM0レジスタをセットしてください。その後、割り込み要求フラグをクリアし、割り込み処理を許可してください。
3. キー割り込みモードで使用していないビットは通常ポートとして使用可能です。

14.3.3 キー・リターン・フラグ・レジスタ (KRF)

キー・リターン・フラグ (KRF0-KRF7) を制御するレジスタです。

KRFレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-4 キー・リターン・フラグ・レジスタ (KRF) のフォーマット

アドレス : FFF35H リセット時 : 00H R/W^注

| | | | | | | | | |
|-----|------|------|------|------|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| KRF | KRF7 | KRF6 | KRF5 | KRF4 | KRF3 | KRF2 | KRF1 | KRF0 |

| | |
|------|---------------------|
| KRFn | キー割り込みフラグ (n = 0-7) |
| 0 | キー割り込み信号を未検出 |
| 1 | キー割り込み信号を検出 |

注 “1” の書き込みは無効となります。KRFnをクリアする場合は、対象ビットに“0”、他のビットに“1”を8ビット・メモリ操作命令で書き込んでください。

注意 キー割り込みフラグを使用しない (KRMD = 0) ときは、KRFレジスタへのアクセスは禁止です。

14.3.4 キー割り込み入力端子のポート機能を制御するレジスタ

キー割り込み入力端子として使用するときには、対象チャネルと兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ0, 1, 4 (PM0, PM1, PM4) , ポート・モード・コントロール・レジスタ0 (PMC0)) を設定してください。詳細は、**4.3.1 ポート・モード・レジスタ0, 1, 4 (PM0, PM1, PM4)** , **4.3.6 ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1)** を参照してください。

また、キー割り込み入力端子として使用するときの設定例は、**4.5.3 使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

キー割り込み入力端子を兼用するポート (P07/ANI0/SI00/RxD0/KR2など) をキー割り込み入力として使用するときには、各ポートに対応するポート・モード・レジスタ0, 1, 4 (PM0, PM1, PM4) のビットに1を設定してください。

また、ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1) のビットに0を設定してください。

このとき、ポート・レジスタ0, 1, 4 (P0, P1, P4) のビットは、0または1のどちらでもかまいません。

例 P07/ANI0/SI00/RxD0/KR2をキー割り込み入力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC07ビットを0に設定

ポート・モード・レジスタ0のPM07ビットを1に設定

ポート・レジスタ0のP07ビットを0または1に設定

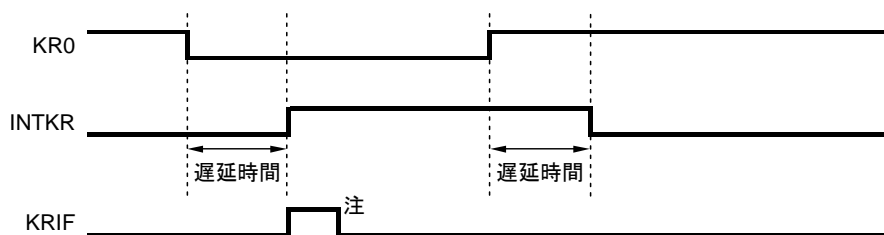
14.4 キー割り込み機能の動作

14.4.1 キー割り込みフラグを使用しない場合 (KRMD = 0)

キー割り込み入力端子 (KR0-KR7) にKREGビットで設定した有効エッジを入力することによって、キー割り込み (INTKR) が発生します。また、キー割り込み (INTKR) 発生後にポート・レジスタをリードし入力レベルを確認することで、有効エッジが入力されたチャンネルを特定できます。

キー割り込み入力端子 (KR0-KR7) の入力レベルに連動してINTKR信号が変化します。

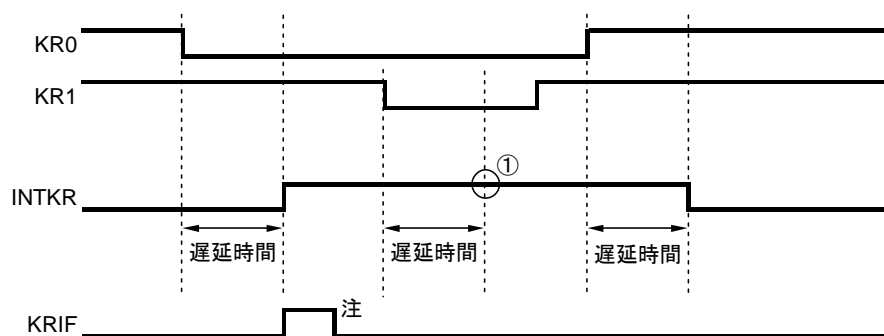
図14-5 1つのチャンネルへのキー割り込み入力時のINTKR信号の動作 (KRMD = 0, KREG = 0設定時)



注 ベクタ割り込み要求の受け付けもしくはソフトウェアによりクリア

複数のキー割り込み入力端子に有効エッジが入力された場合の動作を図14-6に示します。1つの端子にロウ・レベル (KREG = 0設定時) が入力されている期間はINTKR信号がセットされているため、この間に他の端子に立ち下がりエッジを入力しても再度キー割り込み (INTKR) は発生しません (図中の①)。

図14-6 複数チャンネルへのキー割り込み入力時のINTKR信号の動作 (KRMD = 0, KREG = 0設定時)



注 ベクタ割り込み要求の受け付けもしくはソフトウェアによりクリア

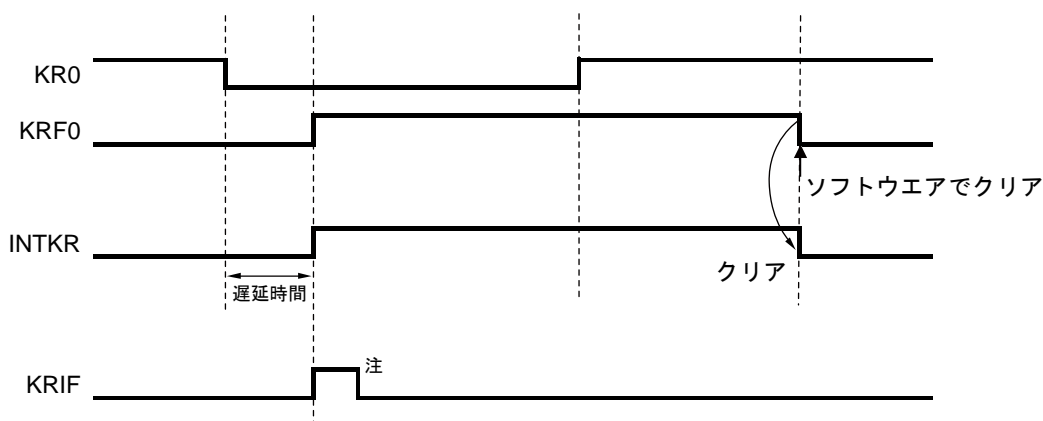
14.4.2 キー割り込みフラグを使用する場合 (KRMD = 1)

キー割り込み入力端子 (KR0-KR7) にKREGビットで設定した有効エッジを入力することによって、キー割り込み (INTKR) が発生します。また、キー割り込み (INTKR) 発生後にキー・リターン・フラグ・レジスタ (KRF) をリードすることで、有効エッジが入力されたチャンネルを特定できます。

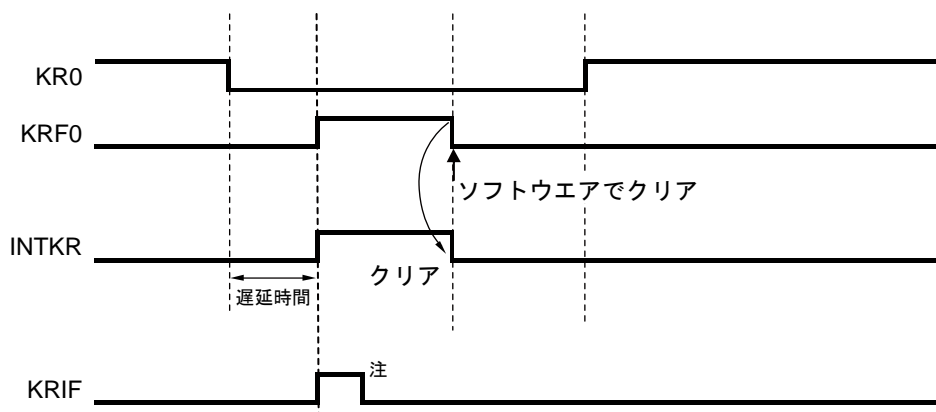
KRMD = 1に設定時は、KRFレジスタの対象ビットをクリアすることにより、INTKR信号がクリアされます。図14-7に示すように、1つのチャンネルでの立ち下がりエッジ (KREG = 0設定時) 1回に対して、KRFnビットのクリアのタイミングが立ち上がりエッジの前後に関わらず、割り込みは1回しか発生しません。

図14-7 キー割り込みフラグを使用時のINTKR信号の基本動作 (KRMD = 1, KREG = 0設定時)

(a) KR0端子への立ち上がりエッジ入力後にKRF0をクリア



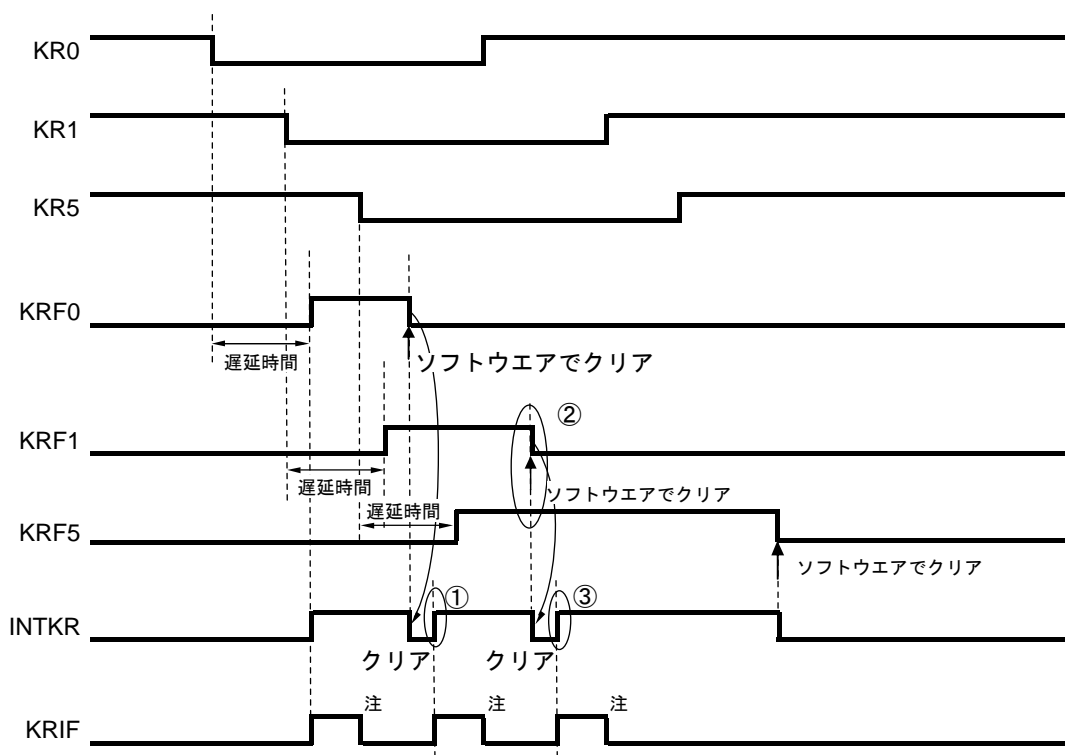
(b) KR0端子への立ち上がりエッジ入力前にKRF0をクリア



注 ベクタ割り込み要求の受け付けもしくはソフトウェアによりクリア

複数のキー割り込み入力端子に有効エッジが入力された場合の動作を図14-8に示します。KR0端子に立ち下がりエッジを入力後にKR1端子、KR5端子にも立ち下がりエッジを入力しています（KREG = 0設定時）。KRF0ビットをクリアする時にKRF1ビットがセットされているため、KRF0ビットのクリアの1クロック（f_{CLK}）後にキー割り込み（INTKR）が発生します（図中の①）。また、KR5端子に立ち下がりエッジが入力され、KRF1ビットをクリアするときKRF5ビットがセットされている（図中の②）ため、KRF1ビットのクリアの1クロック（f_{CLK}）後にキー割り込み（INTKR）が発生します（図中の③）。このように、複数チャンネルに入力した有効エッジに対してキー割り込み（INTKR）の発生が可能となります。

図14-8 複数チャンネルへのキー割り込み入力時のINTKR信号の動作（KRMD = 1, KREG = 0設定時）



注 ベクタ割り込み要求の受け付けもしくはソフトウェアによりクリア

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

第15章 スタンバイ機能

15.1 概要

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。高速オンチップ・オシレータ・クロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出カラッチ、出力バッファの状態も保持されます。

注意1. A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS) とビット0 (ADCE) を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。

2. 低速オンチップ・オシレータをHALT, STOPモード時に発振継続/停止するかは、オプション・バイトと動作スピード・モード制御レジスタ (OSMC) で選択できます。詳細は第5章 クロック発生回路および第18章 オプション・バイトを参照してください。

15.2 スタンバイ機能の動作

15.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

注意 割り込みマスク・フラグが0（割り込み処理許可）でかつ割り込み要求フラグが1（割り込み要求信号が発生）の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表15-1 HALTモード時の動作状態

| 項 目 | HALTモードの設定 | | メイン・システム・クロックでCPU動作中のHALT命令実行時 |
|---------------------|------------|--|--|
| | | | 高速オンチップ・オシレータ・クロック (f_{IH}) でCPU動作時 |
| システム・クロック | | | CPUへのクロック供給は停止 |
| 高速オンチップ・オシレータ・クロック | f_{IH} | | 動作継続（停止不可） |
| 低速オンチップ・オシレータ・クロック | f_{IL} | | オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) および動作スピード・モード制御レジスタ (OSMC) のビット4 (WUTMMCK0) にて設定 <ul style="list-style-type: none"> ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0 かつ WDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1 かつ WDSTBYON = 1 のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1 かつ WDSTBYON = 0 のとき : 停止 |
| CPU | | | 動作停止 |
| コード・フラッシュ・メモリ | | | 動作停止 |
| RAM | | | |
| ポート (ラッチ) | | | HALTモード設定前の状態を保持 |
| タイマ・アレイ・ユニット | | | 動作可能 |
| RTO ^注 | | | |
| 12ビット・インターバル・タイマ | | | |
| ウォッチドッグ・タイマ | | | オプション・バイト (000C0H) のビット0 (WDSTBYON) にて設定 WDSTBYON = 0 : 動作停止 WDSTBYON = 1 : 動作継続 |
| クロック出力/プザー出力 | | | 動作可能 |
| A/Dコンバータ | | | |
| シリアル・アレイ・ユニット (SAU) | | | |
| セレクトブル・パワーオン・リセット機能 | | | |
| 外部割り込み | | | |
| キー割り込み機能 | | | |

注 RL78/G1M製品のみ

備考 動作停止 : HALTモード移行時に自動的に動作停止
動作禁止 : HALTモード移行前に動作を停止させる
 f_{IH} : 高速オンチップ・オシレータ・クロック
 f_{IL} : 低速オンチップ・オシレータ・クロック

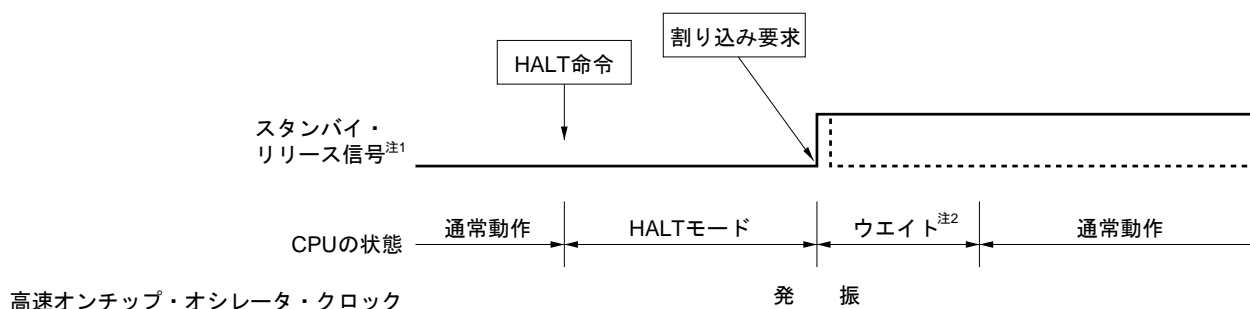
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図15-1 割り込み要求発生によるHALTモードの解除



注1. スタンバイ・リリース信号の詳細は、図13-1 割り込み機能の基本構成を参照してください。

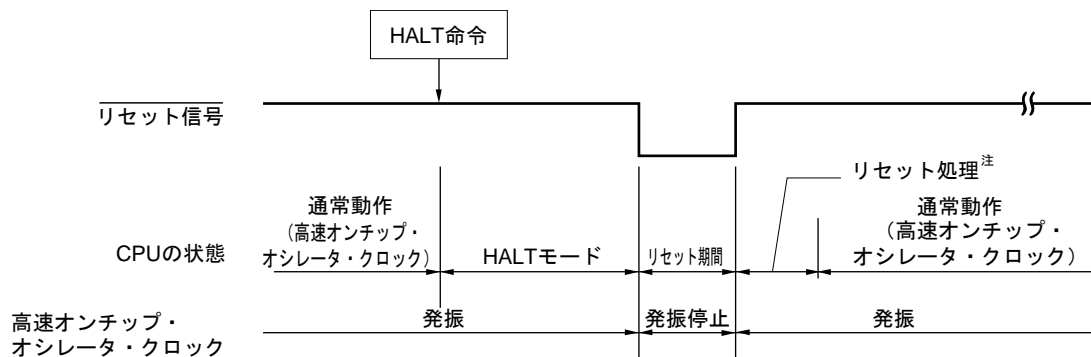
- 2. HALTモード解除のウェイト時間：ベクタ割り込み処理を行う場合 : 28~29クロック
- ベクタ割り込み処理を行わない場合 : 20~21クロック

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生によるHALTモードの解除

リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図15-2 リセット信号の発生によるHALTモードの解除



注 リセット処理時間は、第16章 リセット機能を参照してください。なお、SPOR回路によるリセット処理時間は、第17章 セレクタブル・パワーオン・リセット回路を参照してください。

15.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意 割り込みマスク・フラグが0（割り込み処理許可）で且つ割り込み要求フラグが1（割り込み要求信号が発生）の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入ってただちに解除されます。したがって、STOP命令実行後、STOPモード解除時間を経過したあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表15-2 STOPモード時の動作状態

| 項 目 | STOPモード の設定 | | CPU動作中のSTOP命令実行時 |
|----------------------|----------------|--|--|
| | | | 高速オンチップ・オシレータ・クロック (f _H) でCPU動作時 |
| システム・クロック | | | CPUへのクロック供給は停止 |
| 高速オンチップ・オシレータ・クロック | f _H | | 停止 |
| 低速オンチップ・オシレータ・クロック | f _L | | オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) および動作速度・モード制御レジスタ (OSMC) のビット4 (WUTMMCK0) にて設定 <ul style="list-style-type: none"> ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止 |
| CPU | | | 動作停止 |
| コード・フラッシュ・メモリ | | | |
| RAM | | | 動作停止 |
| ポート (ラッチ) | | | STOPモード設定前の状態を継続 |
| タイマ・アレイ・ユニット | | | 動作禁止 |
| RTO ^注 | | | |
| 12ビット・インターバル・タイマ | | | |
| ウォッチドッグ・タイマ | | | オプション・バイト (000C0H) のビット0 (WDSTBYON) にて設定 WDSTBYON = 0 : 動作停止 WDSTBYON = 1 : 動作継続 |
| クロック出力/ブザー出力 | | | 動作禁止 |
| A/Dコンバータ | | | |
| シリアル・アレイ・ユニット (SAU) | | | 動作禁止 |
| セレクトابل・パワーオン・リセット機能 | | | 動作可能 |
| 外部割り込み | | | |
| キー割り込み機能 | | | |

注 RL78/G1M製品のみ

- 注意1. STOPモード中に発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は、周辺ハードウェアをリスタートしてください。
2. STOPモード中に低速オンチップ・オシレータ・クロックを停止したい場合は、あらかじめオプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定（000C0Hのビット0（WDSTBYON）= 0）しておく必要があります。

備考 動作停止：STOPモード移行時に自動的に動作停止
 動作禁止：STOPモード移行前に動作を停止させる
 f_H：高速オンチップ・オシレータ・クロック
 f_L：低速オンチップ・オシレータ・クロック

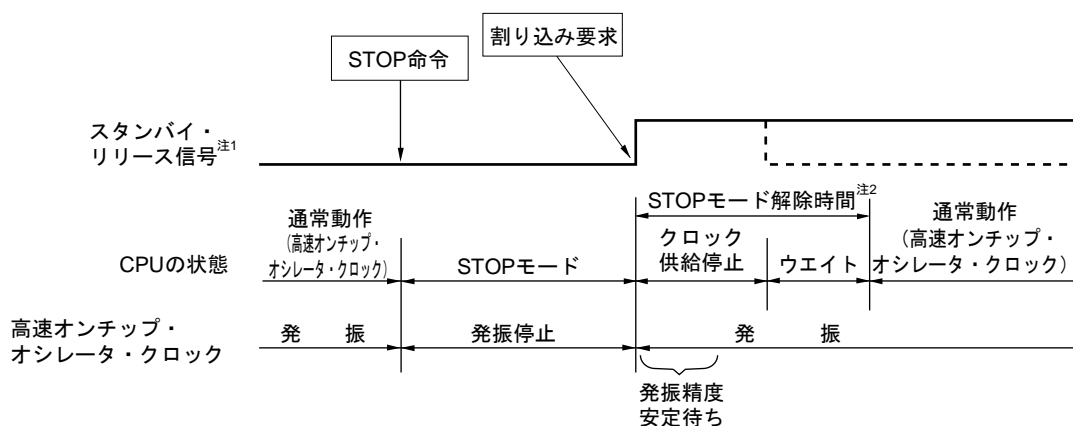
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求によるSTOPモードの解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図15-3 割り込み要求発生によるSTOPモードの解除



注1. スタンバイ・リリース信号の詳細は、図13-1 割り込み機能の基本構成を参照してください。

2. STOPモード解除時間：クロック供給停止：27 μs (TYP.)

ウェイト

- ・ベクタ割り込み処理を行う場合：11クロック
- ・ベクタ割り込み処理を行わない場合：3クロック

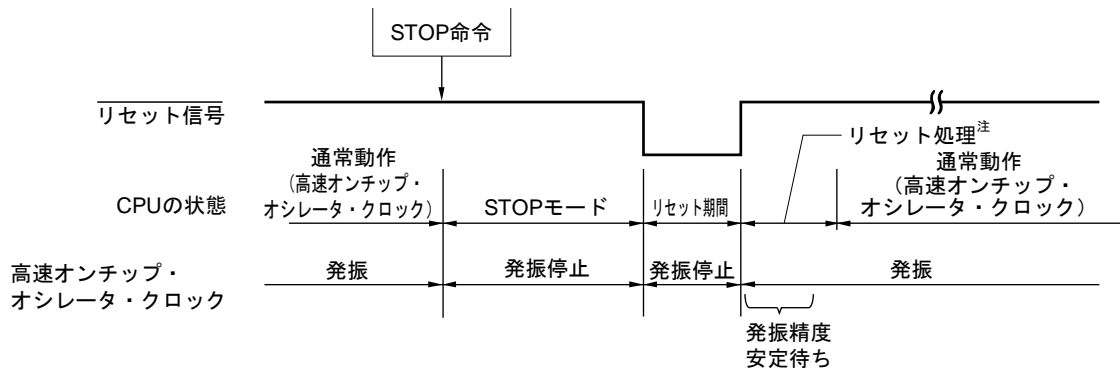
備考 1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生によるSTOPモードの解除

リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図15-4 リセット信号の発生によるSTOPモードの解除



注 リセット処理時間は、第16章 リセット機能を参照してください。なお、SPOR回路によるリセット処理時間は、第17章 セレクタブル・パワーオン・リセット回路を参照してください。

第16章 リセット機能

リセット信号を発生させる要因には、次の5種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) セレクタブル・パワーオン・リセット回路（SPOR）の電源電圧と検出電圧の比較による内部リセット
- (4) 不正命令の実行による内部リセット^{注1}
- (5) データ保持電圧によるリセット^{注2}

外部リセットと内部リセットは同様に、リセット信号の発生により、0000H、0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

注1. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

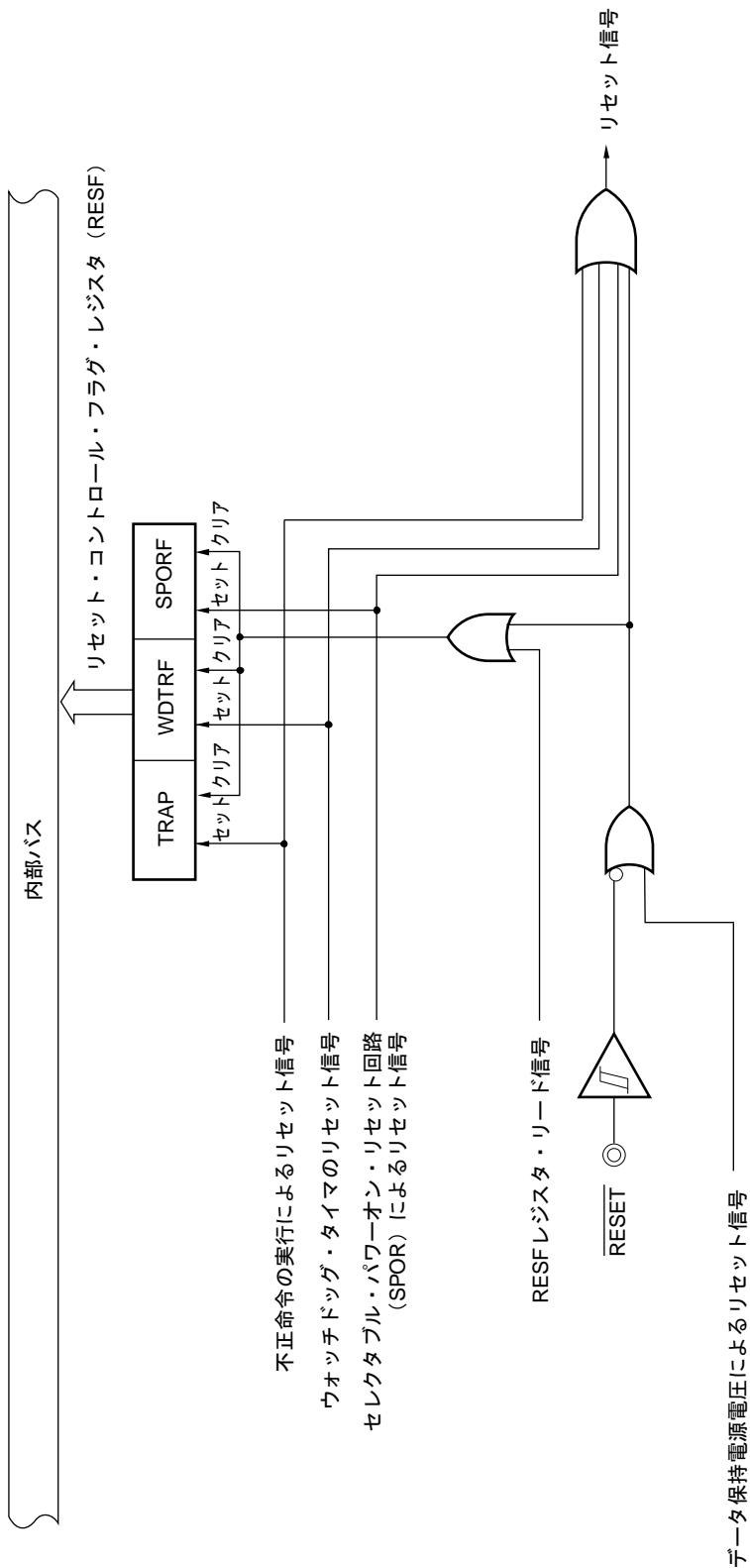
2. V_{DD} がデータ保持電圧以上では、データがリセットされることはありませんが、データ保持電圧未満になると、データがリセットされます。データがリセットされる電圧の最大が、データ保持電圧スペックです。

注意1. 外部リセットを行う場合、ユーザ・オプションバイト（000C1H）をPORTSELB = 1に設定して、P125を $\overline{\text{RESET}}$ 端子として選択し、10 μs 以上のロウ・レベルを入力してください。

（電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、23.4 AC特性に示す動作電圧範囲内の期間で10 μs 以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。）

2. リセット信号発生中では、高速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。
3. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。
 - ・ P40：外部リセットかデータ保持電源電圧によるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）
 - ・ P125：外部リセットによるリセット期間中はロウ・レベル（ $\overline{\text{RESET}}$ 端子にロウ・レベル入力）。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）
 - ・ P40, P125以外のポート：リセット期間中およびリセット受け付け後はハイ・インピーダンス。

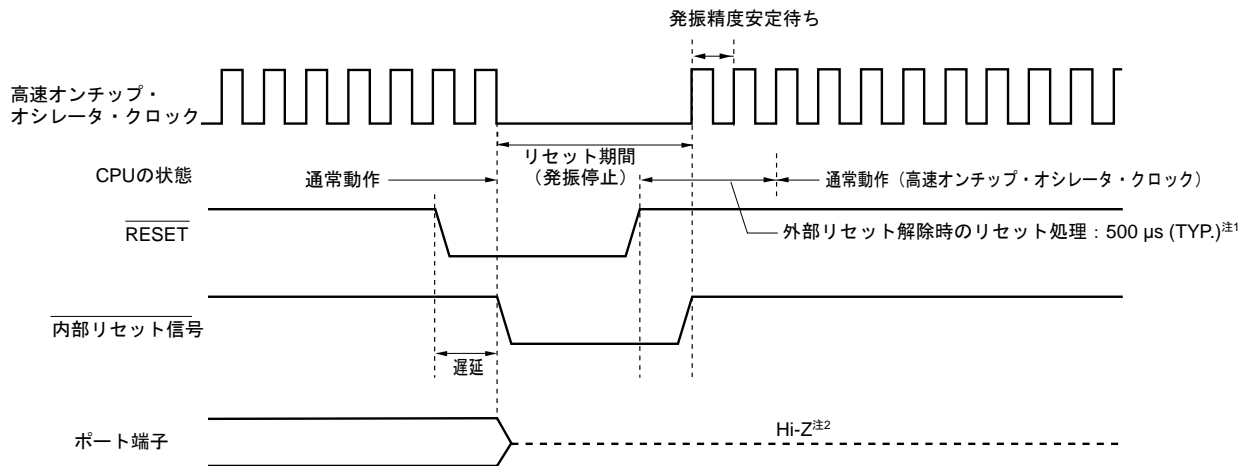
図16-1 リセット機能のブロック図



16.1 リセット動作のタイミング

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図16-2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング



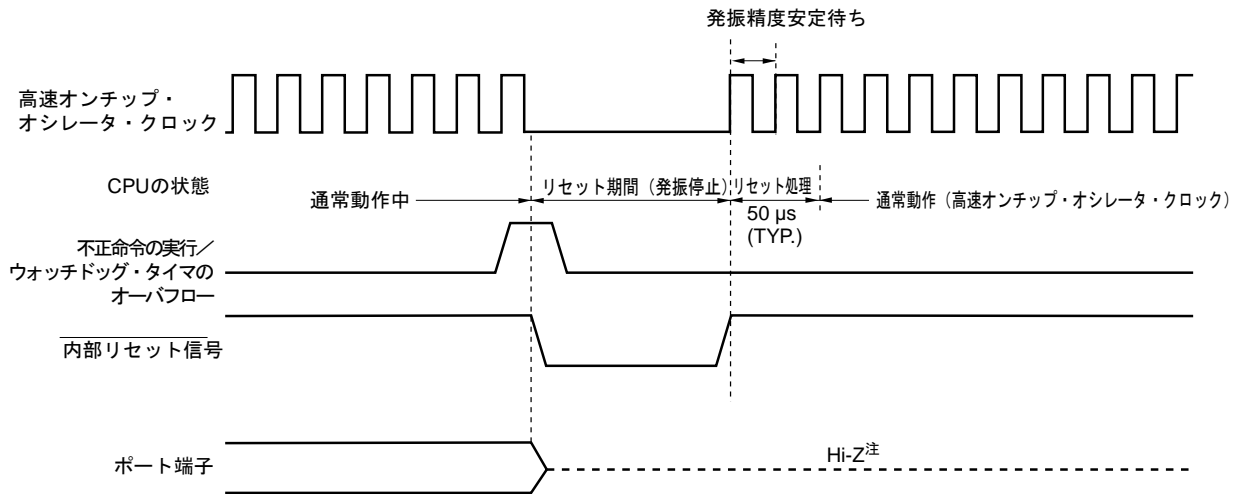
注1. 電源立ち上がり時は、外部リセット解除時のリセット処理時間の前にSPORリセット処理時間 (MAX. 3.39 ms) が掛かります。

2. P40端子は次の状態になります。

- ・外部リセットかデータ保持電源電圧によるリセット期間中はハイ・インピーダンス
- ・リセット受け付け後はハイ・レベル (内部プルアップ抵抗接続)

ウォッチドッグ・タイマのオーバーフロー/不正命令の実行によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図16-3 ウォッチドッグ・タイマのオーバーフロー/不正命令の実行によるリセット・タイミング

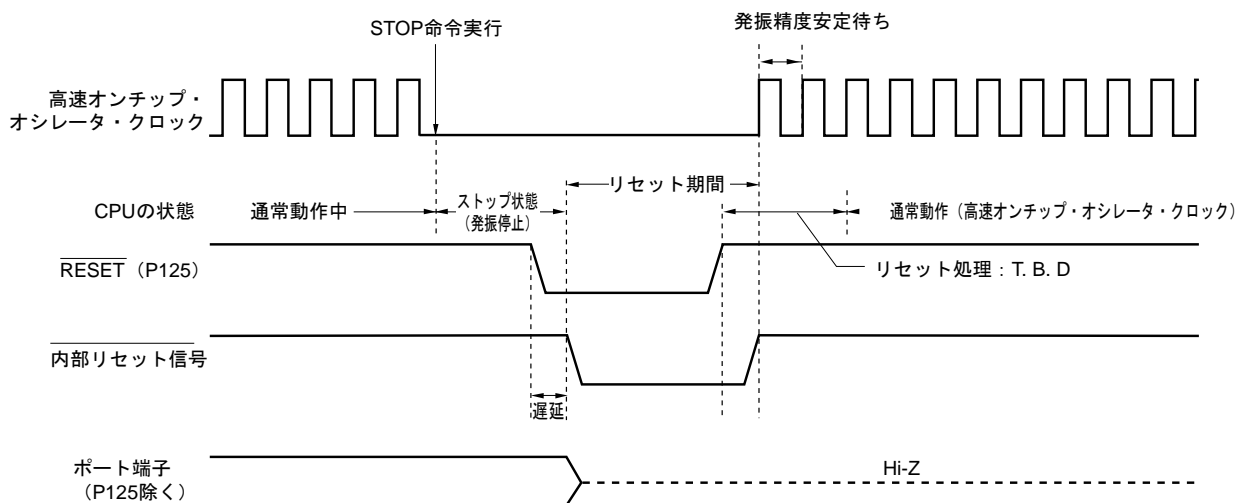


注 P40, P125端子は次の状態になります。

- ・リセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）

備考 セレクタブル・パワーオン・リセット（SPOR）回路の電圧検出によるリセット・タイミングは、**第17章 セレクタブル・パワーオン・リセット回路**を参照してください。

図16-4 STOPモード中のRESET入力によるリセット・タイミング



16.2 リセット期間中の動作状態

表16-1に、リセット期間中の動作状態、表16-2に、リセット受け付け後の各ハードウェアの状態を示します。

表16-1 リセット期間中の動作状態

| 項 目 | リセット期間中 | | | | |
|---|--------------------------|----------|--------------------|----------|------|
| システム・クロック | CPUへのクロック供給は停止 | | | | |
| <table border="1"> <tr> <td>高速オンチップ・オシレータ・クロック</td> <td>f_{IH}</td> </tr> <tr> <td>低速オンチップ・オシレータ・クロック</td> <td>f_{IL}</td> </tr> </table> | 高速オンチップ・オシレータ・クロック | f_{IH} | 低速オンチップ・オシレータ・クロック | f_{IL} | 動作停止 |
| 高速オンチップ・オシレータ・クロック | f_{IH} | | | | |
| 低速オンチップ・オシレータ・クロック | f_{IL} | | | | |
| CPU | 動作停止 | | | | |
| コード・フラッシュ・メモリ | 動作停止 | | | | |
| RAM | 動作停止 | | | | |
| ポート（ラッチ） | ハイ・インピーダンス ^{注2} | | | | |
| タイマ・アレイ・ユニット | 動作停止 | | | | |
| RTO ^{注1} | | | | | |
| 12ビット・インターバル・タイマ | | | | | |
| ウォッチドッグ・タイマ | | | | | |
| クロック出力/ブザー出力 | | | | | |
| A/Dコンバータ | | | | | |
| シリアル・アレイ・ユニット（SAU） | | | | | |
| セレクトブル・パワーオン・リセット機能 | 検出動作可能 | | | | |
| 外部割り込み | 動作停止 | | | | |
| キー割り込み機能 | | | | | |

注1. RL78/G1M製品のみ

2. P40, P125の端子の状態は、次のとおりです。

- ・P40：外部リセットかデータ保持電源電圧によるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）。
- ・P125：外部リセットによるリセット期間中はロウ・レベル（ $\overline{\text{RESET}}$ 端子にロウ・レベル入力）。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）。

備考 f_{IH} : 高速オンチップ・オシレータ・クロック
 f_{IL} : 低速オンチップ・オシレータ・クロック

表16-2 リセット受け付け後の各ハードウェアの状態

| ハードウェア | | リセット受け付け後の状態 ^注 |
|-----------------------|---------|--|
| プログラム・カウンタ (PC) | | リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。 |
| スタック・ポインタ (SP) | | 不定 |
| プログラム・ステータス・ワード (PSW) | | 06H |
| RAM | データ・メモリ | 不定 |
| | 汎用レジスタ | 不定 |

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不安定となります。その他は、リセット後の状態と変わりありません。

備考 特殊機能レジスタ (SFR : Special Function Register) のリセット受け付け後の状態は、**3. 1. 4 特殊機能レジスタ (SFR : Special Function Register) 領域**、**3. 1. 5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域**を参照してください。

16.3 リセット要因を確認するレジスタ

16.3.1 リセット・コントロール・フラグ・レジスタ (RESF)

RL78マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは、8ビット・メモリ操作命令で、読み出すことができます。

外部リセットやデータ保持下限電圧によるリセット、およびRESFレジスタのデータを読み出すことにより、TRAP, WDTRF, SPORFフラグはクリアされます。

図16-5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFFA8H リセット時 : 注1 R

| | | | | | | | | |
|------|------|---|---|-------|---|---|---|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESF | TRAP | 0 | 0 | WDTRF | 0 | 0 | 0 | SPORF |

| | |
|------|------------------------------------|
| TRAP | 不正命令の実行による内部リセット要求 ^{注2} |
| 0 | 内部リセット要求は発生していない、またはRESFレジスタをクリアした |
| 1 | 内部リセット要求は発生した |

| | |
|-------|------------------------------------|
| WDTRF | ウォッチドッグ・タイマ (WDT) による内部リセット要求 |
| 0 | 内部リセット要求は発生していない、またはRESFレジスタをクリアした |
| 1 | 内部リセット要求は発生した |

| | |
|-------|---|
| SPORF | セレクトابل・パワーオン・リセット (SPOR) 回路による内部リセット要求 |
| 0 | 内部リセット要求は発生していない、またはRESFレジスタをクリアした |
| 1 | 内部リセット要求は発生した |

注1. リセット要因により異なります。

2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットはオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意 1ビット・メモリ操作命令でデータを読み出さないでください。

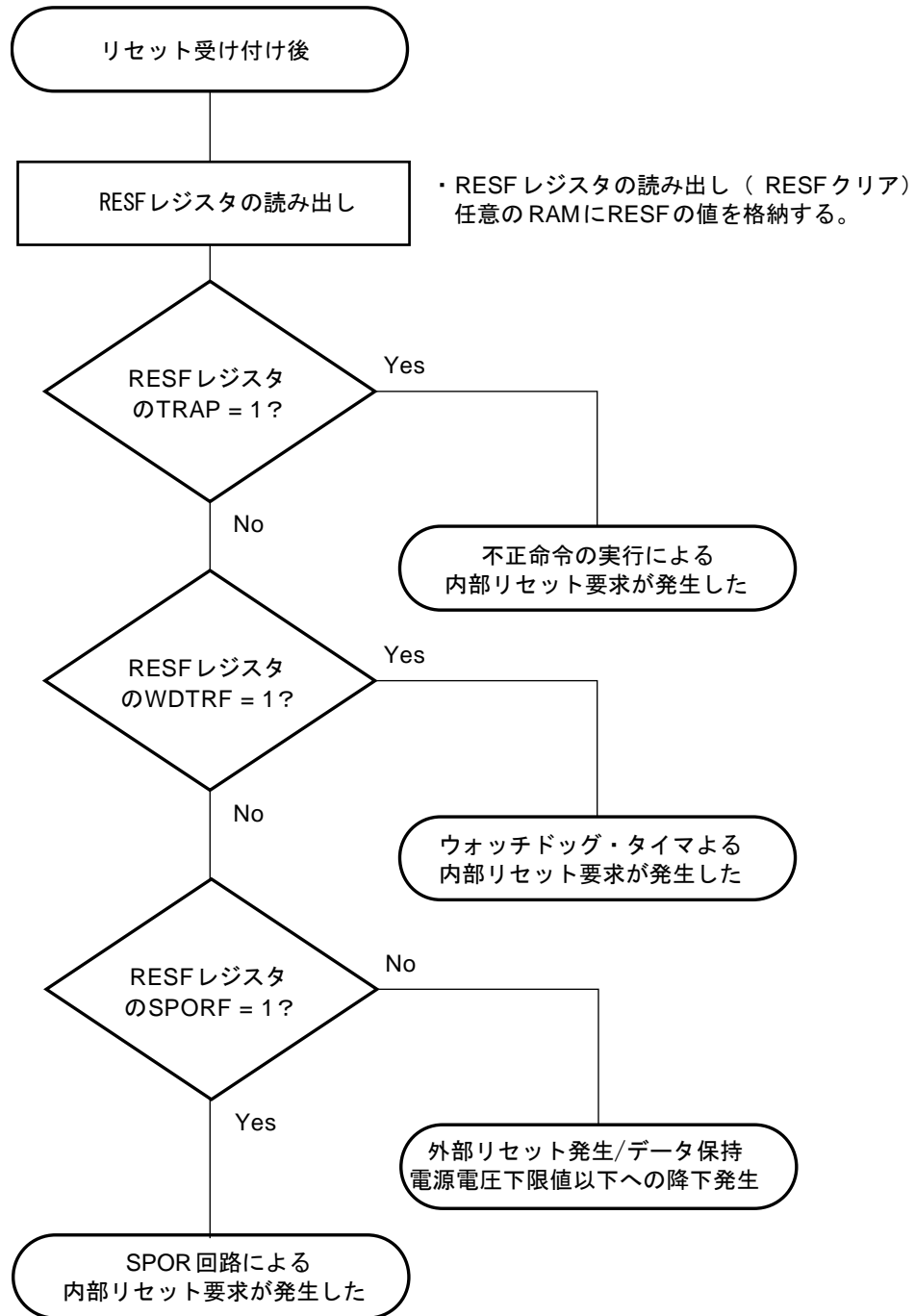
リセット要求時のRESFレジスタの状態を表16-3に示します。

表16-3 リセット要求時のRESFレジスタの状態

| リセット要因 フラグ | リセット要因 | RESET入力 | 不正命令の 実行による リセット | WDTIによる リセット | SPORによる リセット | データ保持下 限電圧による リセット |
|---------------|---------|---------|------------------------|-----------------|-----------------|--------------------------|
| TRAP | クリア (0) | クリア (0) | セット (1) | 保持 | 保持 | クリア (0) |
| WDTRF | | | 保持 | セット (1) | 保持 | |
| SPORF | | | 保持 | 保持 | セット (1) | |

RESFレジスタは、8ビット・メモリ操作命令で読み出すと、自動的にクリアされます。
リセット要因の確認手順を図16-6に示します。

図16-6 リセット要因確認方法



第17章 セレクタブル・パワーオン・リセット回路

17.1 セレクタブル・パワーオン・リセット回路の機能

セレクタブル・パワーオン・リセット (SPOR) 回路は、次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。
電源電圧 (V_{DD}) が検出電圧 (V_{SPOR}) を超えた場合 ($V_{DD} \geq V_{SPOR}$) にリセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 (V_{SPDR}) を比較し、 $V_{DD} < V_{SPDR}$ になったとき内部リセット信号を発生します。
- ・電源電圧の検出電圧 (V_{SPOR} , V_{SPDR}) は、オプション・バイト (000C1H) にて検出レベルを4段階より選択できます (18.2 ユーザ・オプション・バイトのフォーマット参照)。

リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 (SPORF) がセット (1) されます。RESFレジスタについての詳細は、第16章 リセット機能を参照してください。

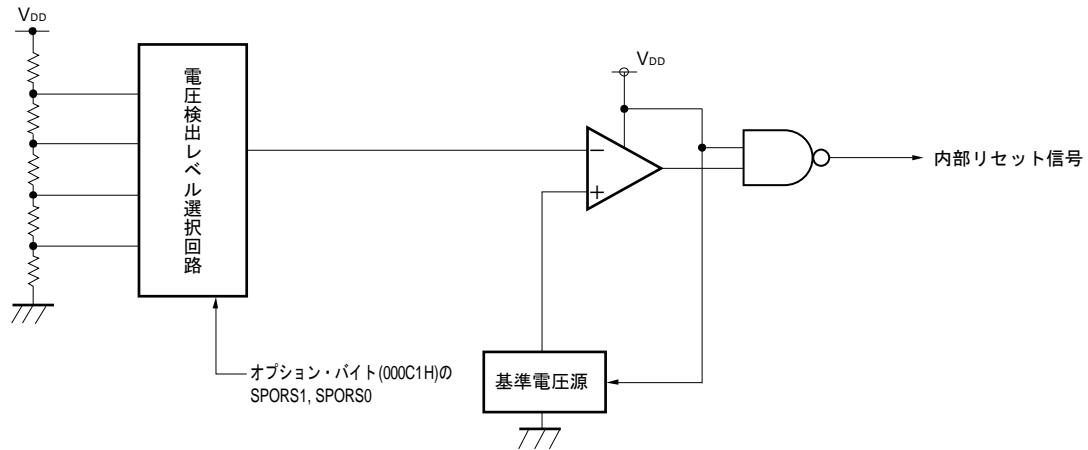
注意 リセット・コントロール・フラグ・レジスタ (RESF) の各フラグは、データ保持下限電圧まで保持されます。

備考 V_{SPOR} : SPOR電源立ち上がり検出電圧
 V_{SPDR} : SPOR電源立ち下がり検出電圧
詳細は、23.6.2 SPOR回路特性を参照してください。

17.2 セレクタブル・パワーオン・リセット回路の構成

セレクタブル・パワーオン・リセット回路のブロック図を図17-1に示します。

図17-1 セレクタブル・パワーオン・リセット回路のブロック図



17.3 セレクタブル・パワーオン・リセット回路の動作

オプション・バイト000C1Hで電圧検出レベルを設定しておきます。

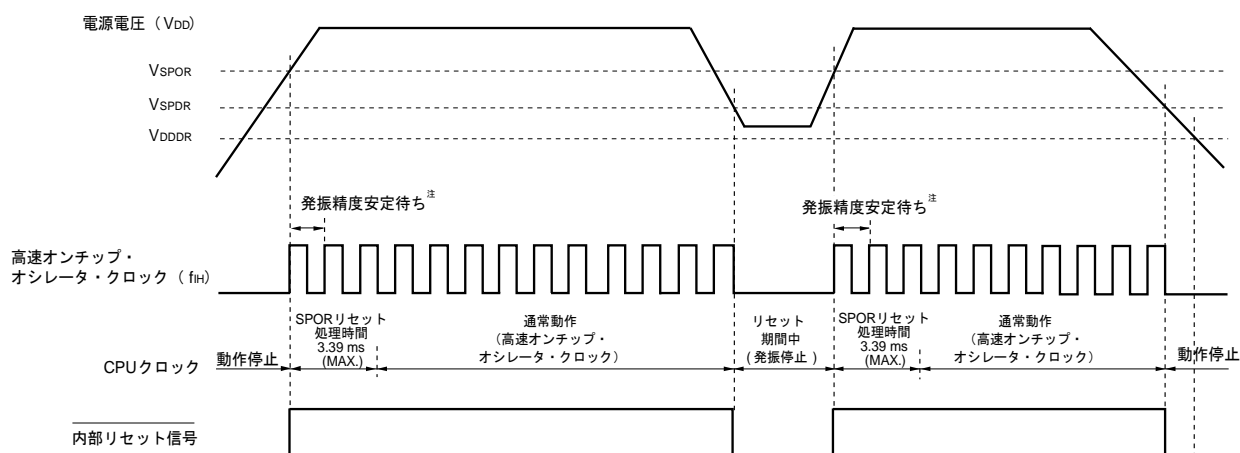
電源投入時に内部リセット信号を発生します。

電源電圧 (V_{DD}) が電圧検出レベル (V_{SPOR}) を超えるまで内部リセット状態を保ちます。電源電圧 (V_{DD}) が電圧検出レベル (V_{LVD}) を超えると内部リセットを解除します。

動作電圧降下時は電源電圧 (V_{DD}) が電圧検出レベル (V_{SPDR}) を下回ると内部リセットを発生します。

図17-2に、セレクタブル・パワーオン・リセット回路の内部リセット信号発生タイミングを示します。

図17-2 内部リセット信号発生のタイミング



注 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

備考 V_{SPOR} : SPOR電源立ち上がり検出電圧

V_{SPDR} : SPOR電源立ち下がり検出電圧

V_{DDDR} : データ保持電源電圧

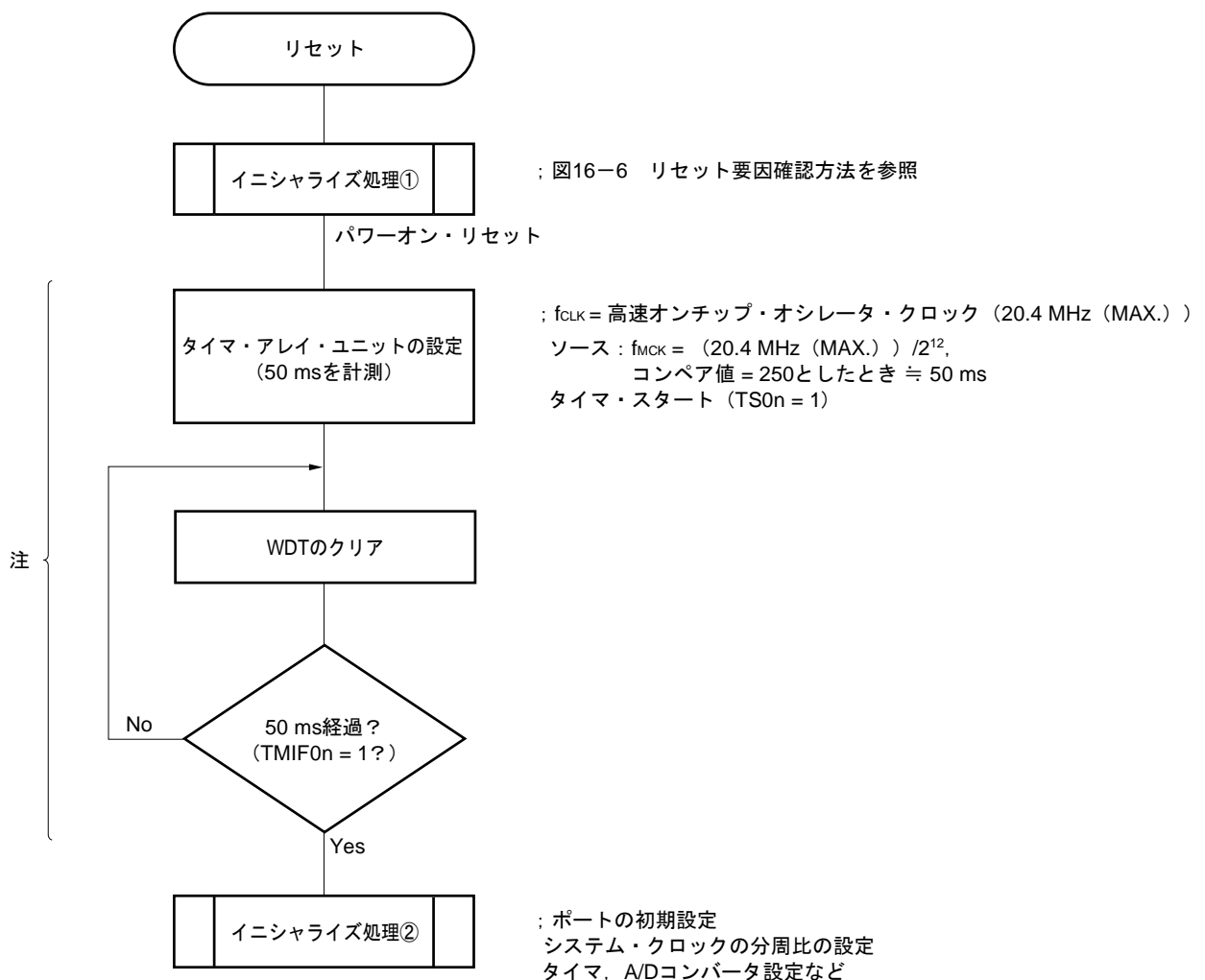
17.4 セレクタブル・パワーオン・リセット回路の注意事項

電源電圧 (V_{DD}) がSPOR検出電圧 (V_{SPOR} , V_{SPDR}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用して、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください

図17-3 電圧検出レベル付近での電源電圧変動が50 ms以下の場合のソフト処理例



注 この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

備考 nはチャンネル番号です。n = 0-3

第18章 オプション・バイト

18.1 オプション・バイトの機能

RL78/G1M, G1Nのフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト (000C0H-000C2H) とオンチップ・デバッグ・オプション・バイト (000C3H) で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

注意 オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

18.1.1 ユーザ・オプション・バイト (000C0H-000C2H)

(1) 000C0H

- ウォッチドッグ・タイマの動作
 - ・カウンタの動作許可/停止
 - ・HALT/STOPモード時の動作停止/可能
- ウォッチドッグ・タイマの時間設定
 - ・ウォッチドッグ・タイマのオーバフロー時間の設定
 - ・ウォッチドッグ・タイマのインターバル割り込みの設定

(2) 000C1H

- SPOR検出レベル (V_{SPOR}) の設定
- P125/KR1/RESET端子の制御
 - ・P125/KR1かRESETかを選択

(3) 000C2H

- 高速オンチップ・オシレータの周波数設定
 - ・1.25~20 MHzの高速オンチップ・オシレータ・クロックから選択

18.1.2 オンチップ・デバッグ・オプション・バイト (000C3H)

- オンチップ・デバッグ動作制御
 - ・オンチップ・デバッグ動作禁止/許可

18.2 ユーザ・オプション・バイトのフォーマット

図18-1 ユーザ・オプション・バイト (000C0H) のフォーマット

アドレス : 000C0H

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|----------|-------|--------------------------------------|--|-------|--|-------|----------|
| 1 | 1 | 1 | WDTON | WDCS2 | WDCS1 | WDCS0 | WDSTBYON |
| WDTON | | ウォッチドッグ・タイマのカウンタの動作制御 | | | | | |
| 0 | | カウンタ動作禁止 (リセット解除後, カウント停止) | | | | | |
| 1 | | カウンタ動作許可 (リセット解除後, カウント開始) | | | | | |
| WDCS2 | WDCS1 | WDCS0 | ウォッチドッグ・タイマの オーバフロー時間 ($f_{IL} = 17.25 \text{ kHz (MAX.)}$ の場合) | | ウォッチドッグ・タイマの インターバル割り込み時間 ($f_{IL} = 17.25 \text{ kHz (MAX.)}$ の場合) | | |
| 0 | 0 | 0 | $(2^6 - 1) / f_{IL}$ (3.65 ms) | | $2^6 / f_{IL} \times 0.75$ (2.78 ms) | | |
| 0 | 0 | 1 | $(2^7 - 1) / f_{IL}$ (7.36 ms) | | $2^7 / f_{IL} \times 0.75$ (5.56 ms) | | |
| 0 | 1 | 0 | $(2^8 - 1) / f_{IL}$ (14.7 ms) | | $2^8 / f_{IL} \times 0.75$ (11.1 ms) | | |
| 0 | 1 | 1 | $(2^9 - 1) / f_{IL}$ (29.6 ms) | | $2^9 / f_{IL} \times 0.75$ (22.2 ms) | | |
| 1 | 0 | 0 | $(2^{11} - 1) / f_{IL}$ (118 ms) | | $2^{11} / f_{IL} \times 0.75$ (89.0 ms) | | |
| 1 | 0 | 1 | $(2^{13} - 1) / f_{IL}$ (474 ms) | | $2^{13} / f_{IL} \times 0.75$ (356 ms) | | |
| 1 | 1 | 0 | $(2^{14} - 1) / f_{IL}$ (949 ms) | | $2^{14} / f_{IL} \times 0.75$ (712 ms) | | |
| 1 | 1 | 1 | $(2^{16} - 1) / f_{IL}$ (3799 ms) | | $2^{16} / f_{IL} \times 0.75$ (2849 ms) | | |
| WDSTBYON | | ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時) | | | | | |
| 0 | | HALT/STOPモード時, カウンタ動作停止 | | | | | |
| 1 | | HALT/STOPモード時, カウンタ動作許可 | | | | | |

注意1. ビット7-5には、必ず1を書き込んでください。

2. WDTON = 0, WDSTBYON = 1の設定は禁止です。

3. ウォッチドッグ・タイマのインターバル割り込みは常に発生します。ウォッチドッグ・タイマのインターバル割り込みを使用しない場合は、必ずWDTIMKビットを1に設定して、割り込み処理を禁止してください。

備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

図18-2 ユーザ・オプション・バイト (000C1H) のフォーマット

アドレス : 000C1H

| | | | | | | | |
|---|---|---|----------|--------|--------|---|---|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 1 | 1 | 1 | PORTSELB | SPORS1 | SPORS0 | 1 | 1 |

・ SPOR検出電圧の設定

| 検出電圧 | | オプション・バイト設定値 | |
|--------|--------|--------------|--------|
| 立ち上がり | 立ち下がり | SPORS1 | SPORS0 |
| 4.28V | 4.20 V | 0 | 0 |
| 2.90 V | 2.84 V | 0 | 1 |
| 2.57 V | 2.52 V | 1 | 0 |
| 2.16 V | 2.11 V | 1 | 1 |

・ P125/KR1/RESET端子の制御

| PORTSELB | P125/KR1/RESET端子の制御 |
|----------|--------------------------|
| 0 | ポート機能 (P125/KR1) |
| 1 | RESET入力 (内蔵プルアップ抵抗が常時有効) |

注意1. ビット7-5, 1, 0には、必ず1を書き込んでください。

2. 検出電圧 (V_{SPOR}) は、動作電圧範囲になるように設定してください。動作電圧範囲は、ユーザ・オプション・バイト (000C2H) の設定で決まります。

動作電圧範囲は以下のとおりです。

CPU動作周波数 1.25 MHz~20 MHz : $V_{DD} = 2.7\sim 5.5$ VCPU動作周波数 1.25 MHz~ 5 MHz : $V_{DD} = 2.0\sim 5.5$ V

備考1. SPOR回路の詳細は、第17章 セレクタブル・パワーオン・リセット回路を参照してください。

2. 検出電圧はTYP.値です。詳細は、23. 6. 2 SPOR回路特性を参照してください。

図18-3 ユーザ・オプション・バイト (000C2H) のフォーマット

アドレス : 000C2H

| | | | | | | | |
|---|---|---|---|---|---------|---------|---------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | FRQSEL2 | FRQSEL1 | FRQSEL0 |

| FRQSEL2 | FRQSEL1 | FRQSEL0 | 高速オンチップ・オシレータ・クロックの周波数選択 | |
|---------|---------|---------|--------------------------|---|
| | | | 動作周波数 | 動作電圧範囲 |
| 0 | 0 | 1 | 20 MHz | 2.7 V~5.5 V 2.0 V~5.5 V ^注 |
| 0 | 1 | 0 | 10 MHz | |
| 0 | 1 | 1 | 5 MHz | |
| 1 | 0 | 0 | 2.5 MHz | |
| 1 | 0 | 1 | 1.25 MHz | |
| 上記以外 | | | 設定禁止 | |

注 セレクタブル・パワーオン・リセット (SPOR) 回路の検出電圧 (V_{SPOR}) が含まれるため、2.25~5.5 Vの電圧範囲で使用してください。

注意 ビット7-3には、必ず1を書き込んでください。

18.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図18-4 オンチップ・デバッグ・オプション・バイト (000C3H) のフォーマット

アドレス : 000C3H

| | | | | | | | | |
|----------|---|---|---|---|---|---|---|---|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OCDENSET | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |

| | |
|----------|-----------------------------|
| OCDENSET | オンチップ・デバッグ動作制御 |
| 0 | オンチップ・デバッグ動作禁止 |
| 1 | オンチップ・デバッグ動作許可 ^注 |

注 オンチップ・デバッグ・セキュリティID認証失敗時に、フラッシュ・メモリのデータを消去しません。

注意 ビット7 (OCDENSET) のみ、値を指定できます。
ビット6-0には、必ず0000101Bを書き込んでください。

備考 ビット1, 3は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値 (0, 1, 0) を設定してください。

18.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にリンク・オプションでも設定できます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

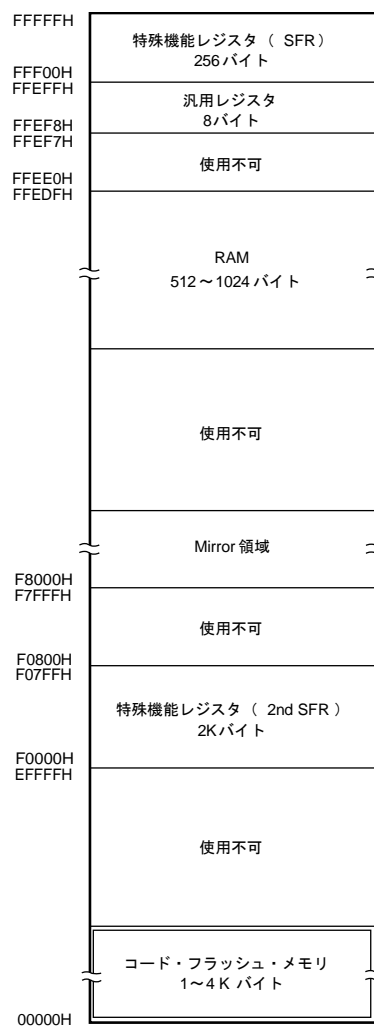
| OPT | CSEG | OPT_BYTE |
|-----|------|--|
| DB | F7H | ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止 |
| DB | E7H | ; VSPDRに2.70 V, VSPORに2.90 Vを選択 ; ポート機能 (P125/KR1) を使用 |
| DB | FDH | 高速オンチップ・オシレータ・クロック周波数 1.25MHzを選択 |
| DB | 85H | ; オンチップ・デバッグ動作許可 |

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。

第19章 フラッシュ・メモリ

RL78マイクロコントローラは、プログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。

注意 フラッシュ・メモリ・プログラミング時の動作電圧は4.5 V～5.5 Vです。



フラッシュ・メモリのプログラミング方法は、次のとおりです。

コード・フラッシュ・メモリは、フラッシュ・メモリ・プログラマまたは外部デバイス (UART通信) によるシリアル・プログラミングで書き換えることができます。

- ・フラッシュ・メモリ・プログラマによるシリアル・プログラミング (19.1参照)
専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。
- ・外部デバイス (UART通信) によるシリアル・プログラミング (19.2参照)
外部デバイス (マイコンやASIC) とのUART通信を使用してオンボードで書き込みができます。

19.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- ・ PG-FP6
- ・ E1, E2, E2 Lite, E20オンチップ・デバッグ・エミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細はPG-FP6またはE1, E2, E2 Lite, E20オンチップ・デバッグ・エミュレータのマニュアルを参照してください。

表19-1 RL78/G1M, G1Nと専用フラッシュ・メモリ・プログラマの配線表

| 専用フラッシュ・メモリ・プログラマ接続端子 | | | | RL78/G1M, G1Nの 端子名 | RL78/G1M, G1Nの ピン番号 |
|-----------------------|---|-----|---------------------------|-----------------------|------------------------|
| 信号名 | | 入出力 | 端子機能 | | |
| PG-FP6 | E1, E2, E2 Lite, E20 オンチップ・デバッグ ・エミュレータ | | | | |
| — | TOOL0 | 入出力 | 送受信信号 | TOOL0/P40 | 20 |
| SI/RxD | — | 入出力 | 送受信信号 | | |
| — | RESET | 出力 | リセット信号 | RESET | 1 |
| /RESET | — | 出力 | | | |
| V _{CC} | V _{DD} | 入出力 | V _{DD} 電圧生成／電源監視 | V _{DD} | 10 |
| GND | | — | グラウンド | V _{SS} | 9 |
| FLMD1 | EMV _{DD} | — | TOOL0端子駆動電源 | V _{DD} | 10 |

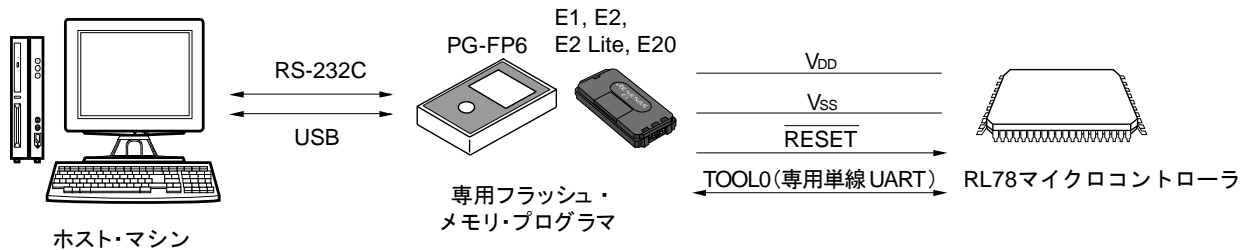
備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

RL78マイクロコントローラとコネクタの接続については、各プログラマのユーザズ・マニュアルを参照してください。E1, E2, E2 Lite, E20との接続については、**20.1 E1, E2, E2 Lite, E20オンチップ・デバッグ・エミュレータとの接続例**を参照してください。

19.1.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図19-1 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインタフェースはTOOL0端子を使用して、専用の単線UARTで書き込み／消去の操作を行います。

19.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート： 115.2 kbps固定

図19-2 専用フラッシュ・メモリ・プログラマとの通信



注1. E1, E2, E2 Lite, E20オンチップ・デバッグ・エミュレータ使用時。

2. PG-FP6使用時。

3. PG-FP6の信号名はV_{CC}です。

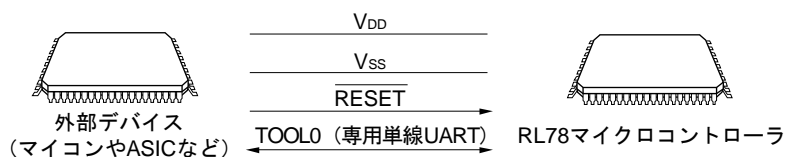
19.2 外部デバイス（UART内蔵）による書き込み方法

オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス（マイコンやASIC）を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

19.2.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図19-3 フラッシュ・メモリにプログラムを書き込むための環境



外部デバイスからRL78マイクロコントローラに書き込み／消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

19.2.2 通信方式

外部デバイスとRL78マイクロコントローラとの通信は、TOOL0端子を使用して、専用のUARTによるシリアル通信で行います。

転送レート：115200 bps固定

図19-4 外部デバイスとの通信



外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表19-2 端子接続一覧

| 外部デバイス | | | RL78マイクロコントローラ |
|----------|-----|--------------------|----------------|
| 信号名 | 入出力 | 端子機能 | 端子名 |
| V_{DD} | 入出力 | V_{DD} 電圧生成／電圧監視 | V_{DD} |
| GND | — | グラウンド | V_{SS} |
| RESETOUT | 出力 | リセット信号出力 | RESET |
| RxD | 入力 | 受信信号 | TOOL0 |
| TxD | 出力 | 送信信号 | |

19.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、**19.4.2 フラッシュ・メモリ・プログラミング・モード**を参照してください。

19.3.1 P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 kΩの抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合、以下の方法で使用してください。

入力時：外部リセット解除時から t_{HD} の期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500kΩ以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は、500 kΩ以上の抵抗を使用してください。

備考1. t_{HD} ：フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部/内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。**23.9 フラッシュ・メモリ・プログラミング・モード引き込みタイミング**を参照してください。

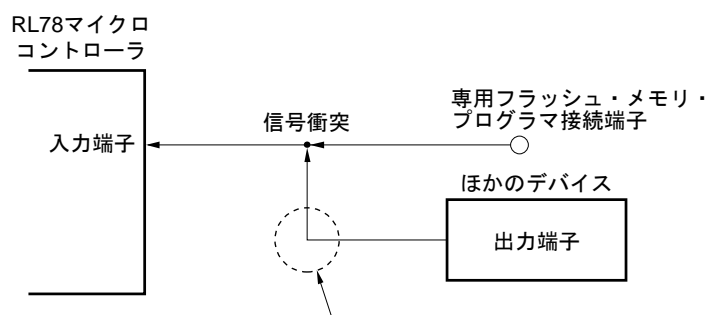
2. RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線UART (TOOL0端子) を使用するので、SAUの端子は使用しません。

19.3.2 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図19-5 信号の衝突 (RESET端子)



フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

19.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介して V_{DD} に接続するか、または抵抗を介して V_{SS} に接続するなどの端子処理が必要です。

19.3.4 電 源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、 V_{DD} 端子はフラッシュ・メモリ・プログラムの注の V_{DD} ※に、 V_{SS} 端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

なお、フラッシュ・メモリ・プログラミング時の動作電圧は4.5 V~5.5 Vです。オンボード上の電源が4.5 V未満のときは、専用フラッシュ・メモリ・プログラマからの電源供給に切り替えるなど、オンボード上の電源とアイソレートして4.5 V~5.5 Vの電圧を供給してください。

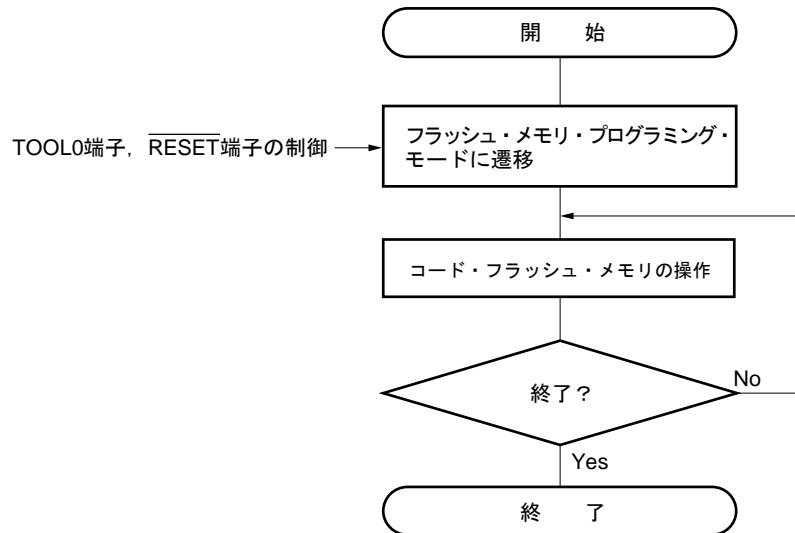
注 PG-FP6の信号名は V_{CC} です。

19.4 シリアル・プログラミング方法

19.4.1 シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図19-6 コード・フラッシュ・メモリの操作手順



フラッシュ・メモリ・プログラミング・モードについては、19.4.2を参照してください。

19.4.2 フラッシュ・メモリ・プログラミング・モード

シリアル・プログラミングでコード・フラッシュ・メモリの内容を書き換えるときは、フラッシュ・メモリ・プログラミング・モードへ遷移する必要があります。

<専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合>

RL78マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。なお、フラッシュ・メモリ・プログラミング・モードの動作電圧は4.5 V～5.5 Vです。

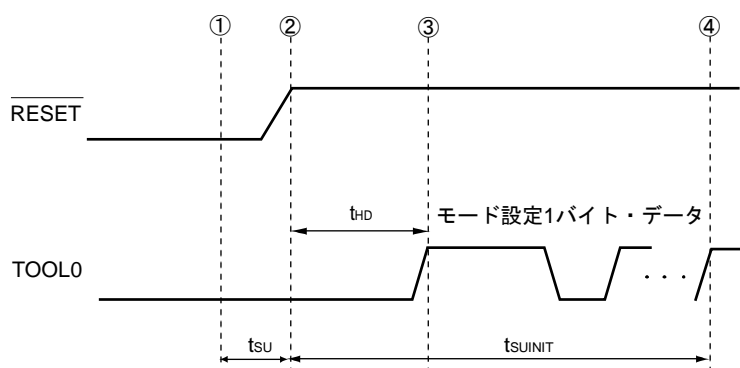
<外部デバイス（UART通信）を使用してシリアル・プログラミングする場合>

TOOL0端子をロウ・レベルに設定後、リセットを解除します（表19-3参照）。その後、図19-7に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。なお、フラッシュ・メモリ・プログラミング・モードの動作電圧は4.5 V～5.5 Vです。

表19-3 リセット解除時のTOOL0端子の動作モードとの関係

| TOOL0 | 動作モード |
|-----------------|-----------------------|
| V _{DD} | 通常動作モード |
| 0 V | フラッシュ・メモリ・プログラミング・モード |

図19-7 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除（その前にSPORリセットが解除されていること）
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるモード引き込み設定

備考 t_{SUNIT} : この区間では、リセット解除から100 ms 以内（T_A=−40°C～ +85°Cでは68 ms）に初期設定通信を完了してください。

t_{SU} : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD} : 外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間

詳細は、23.9 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

19.4.3 通信方式

RL78マイクロコントローラの通信方式は、次のようになります。

表19-4 通信方式

| 通信方式 | Standard設定 ^{注1} | | | | 使用端子 |
|--------|--------------------------|---------------------|-----------|---------------|-------|
| | Port | Speed ^{注2} | Frequency | Multiply Rate | |
| 単線UART | UART | 115200 bps | — | — | TOOL0 |

注1. フラッシュ・メモリ・プログラムのGUI上のStandard設定における設定項目です。

- UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

19.4.4 通信コマンド

RL78マイクロコントローラは、表19-5に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。

表19-5 フラッシュ・メモリ制御用コマンド

| 分類 | コマンド名称 | 機能 |
|----------|---------|-----------------------------|
| CRCチェック | CRCチェック | チェックサムを計算します。 |
| 消去後/書き込み | 消去後書き込み | フラッシュ・メモリを消去した後にデータを書き込みます。 |

19.5 PG-FP6使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとしてPG-FP6を使用した場合の各コマンド処理時間（参考値）を次に示します。

表19-6 PG-FP6使用時の各コマンド処理時間（参考値）

| PG-FP6のコマンド | コード・フラッシュ | |
|-------------|-----------------------|-----------------------|
| | 4 K/バイト | 8 K/バイト |
| | R5F11W67, R5F11Y67 | R5F11W68, R5F11Y68 |
| 消去後書き込み | 1.5 s | 2.0 s |
| CRCチェック | 0.5 s | 1.0 s |

備考 コマンド処理時間（参考値）はTYP.値です。次に条件を示します。

Port : TOOL0（単線UART）

Speed : 115,200 bps

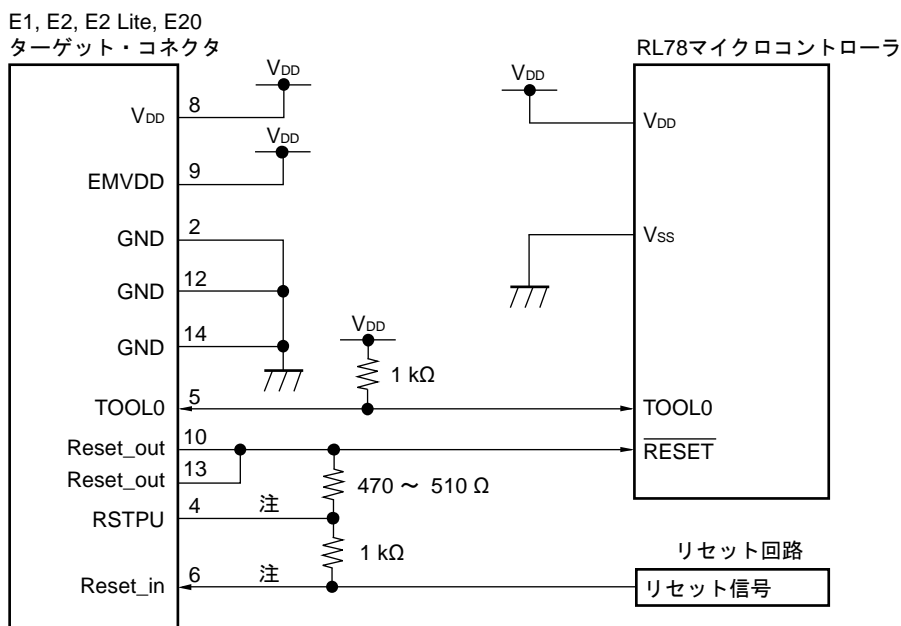
第20章 オンチップ・デバッグ機能

20.1 E1, E2, E2 Lite, E20オンチップ・デバッグ・エミュレータとの接続

RL78マイクロコントローラは、オンチップ・デバッグ対応のE1, E2, E2 Lite, E20オンチップ・デバッグ・エミュレータを介して、ホスト・マシンとの通信を行う場合、 V_{DD} , $\overline{\text{RESET}}$, TOOL0, V_{SS} 端子を使用します。シリアル通信としては、TOOL0端子を使用した単線UARTを使用します。

注意 RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

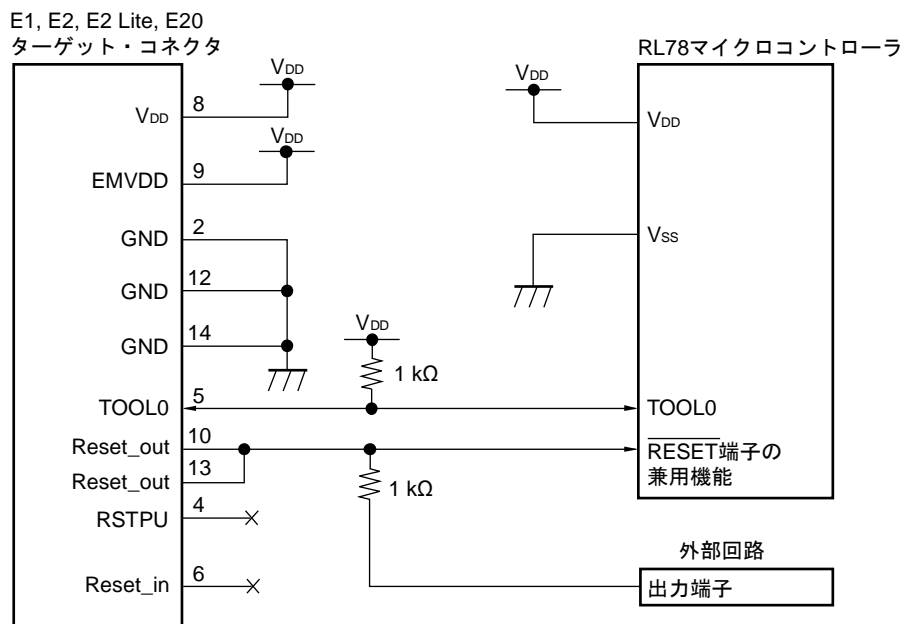
図20-1 E1, E2, E2 Lite, E20オンチップ・デバッグ・エミュレータとの接続例



注 プログラミング時は接続不要です。

なお、 $\overline{\text{RESET}}$ 端子の兼用機能を入力で使用するターゲット・システムでは、外部回路との接続をアイソレートしてください。

図20-2 E1, E2, E2 Lite, E20オンチップ・デバッグ・エミュレータとの接続例
($\overline{\text{RESET}}$ 端子の兼用入力機能を使用する場合)



20.2 オンチップ・デバッグ・セキュリティID

RL78マイクロコントローラは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3HIにオンチップ・デバッグ動作制御ビット(第18章 オプション・バイトを参照)を、000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

表20-1 オンチップ・デバッグ・セキュリティID

| アドレス | オンチップ・デバッグ・セキュリティIDコード |
|---------------|------------------------|
| 000C4H-000CDH | 10バイトの任意のIDコード |

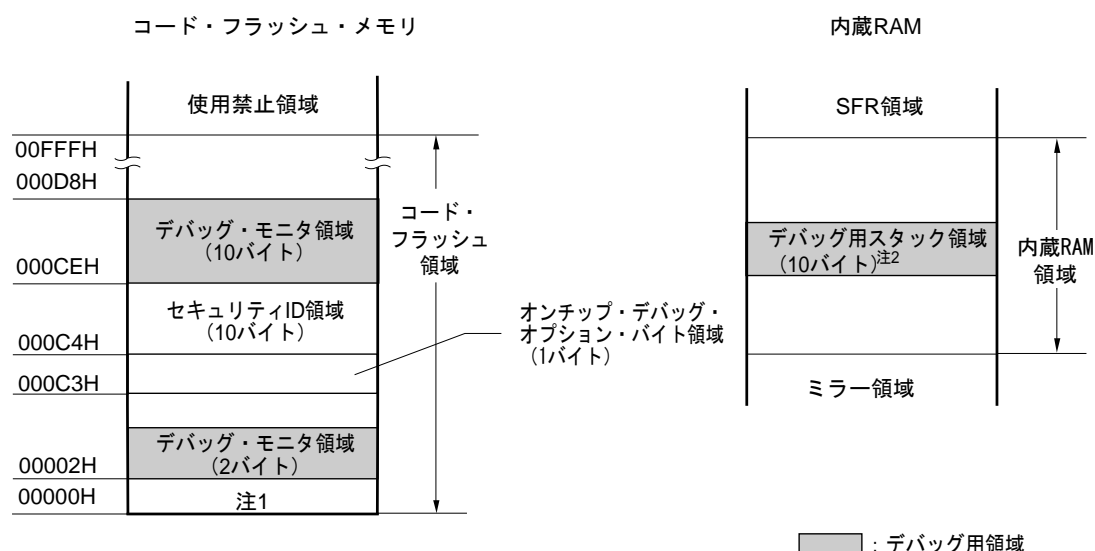
20.3 ユーザ資源の確保

RL78マイクロコントローラとE1, E2, E2 Lite, E20オンチップ・デバッグ・エミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンカ・オプションで設定することもできます。

(1) メモリ空間の確保

図20-3のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図20-3 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

| 製品名 | アドレス |
|--------------------|--------|
| R5F11W67, R5F11Y67 | 00FFFH |
| R5F11W68, R5F11Y68 | 01FFFH |

2. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。
3. リアルタイムRAMモニタ (RRM) 機能、Dynamic Memory Modification (DMM) 機能を使用する場合は、FFEDCH-FFEDFHの4バイトを消費します。
RRM機能とDMM機能を使用しない場合は、内部RAMとして使用できます。
4. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、10バイト余分に消費します。

第21章 10進補正 (BCD) 回路

21.1 10進補正回路の機能

BCDコード (2進化10進数) とBCDコード (2進化10進数) の加減算結果を、BCDコード (2進化10進数) で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCD補正結果レジスタ (BCDADJ) を加減算することで10進補正演算結果が求められます。

21.2 10進補正回路で使用するレジスタ

10進補正回路は、次のレジスタを使用します。

- ・BCD補正結果レジスタ (BCDADJ)

21.2.1 BCD補正結果レジスタ (BCDADJ)

BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正值が格納されます。

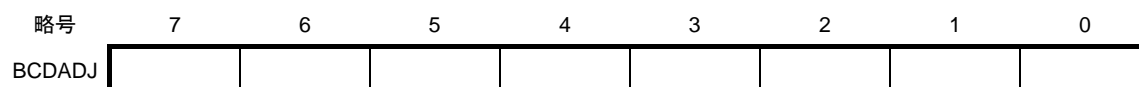
また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図21-1 BCD補正結果レジスタ (BCDADJ) のフォーマット

アドレス : F00FEH リセット時 : 不定 R



21.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

- ① 加算したいBCDコード値（被加算値）をAレジスタに格納する。
- ② Aレジスタと第2オペランドの値（もう1つの加算したいBCDコード値、加算値）を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ（BCDADJ）に格納される。
- ③ Aレジスタ（2進数での加算結果）とBCDADJレジスタの値（補正値）を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW（CYフラグ、ACフラグ）は、RETI命令によって復帰されます。

例を次に示します。

例1. $99 + 89 = 188$

| 命 令 | A レジスタ | CY フラグ | AC フラグ | BCDADJ レジスタ |
|--------------------|-----------|-----------|-----------|----------------|
| MOV A, #99H ; ① | 99H | — | — | — |
| ADD A, #89H ; ② | 22H | 1 | 1 | 66H |
| ADD A, !BCDADJ ; ③ | 88H | 1 | 0 | — |

例2. $85 + 15 = 100$

| 命 令 | A レジスタ | CY フラグ | AC フラグ | BCDADJ レジスタ |
|--------------------|-----------|-----------|-----------|----------------|
| MOV A, #85H ; ① | 85H | — | — | — |
| ADD A, #15H ; ② | 9AH | 0 | 0 | 66H |
| ADD A, !BCDADJ ; ③ | 00H | 1 | 1 | — |

例3. $80 + 80 = 160$

| 命 令 | A レジスタ | CY フラグ | AC フラグ | BCDADJ レジスタ |
|--------------------|-----------|-----------|-----------|----------------|
| MOV A, #80H ; ① | 80H | — | — | — |
| ADD A, #80H ; ② | 00H | 1 | 0 | 60H |
| ADD A, !BCDADJ ; ③ | 60H | 1 | 0 | — |

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

- ① 減算されるBCDコード値 (被減算値) をAレジスタに格納する。
- ② Aレジスタから第2オペランドの値 (減算するBCDコード値, 減算値) を, そのまま2進数で減算することにより, 2進数での演算結果がAレジスタに格納され, 補正值がBCD補正結果レジスタ (BCDADJ) に格納される。
- ③ Aレジスタ (2進数での減算結果) からBCDADJレジスタの値 (補正值) を2進数で減算することにより10進補正演算を行い, AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため, ②の命令のあとは, 他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は, 割り込み関数内でAレジスタの退避, 復帰が必要となります。PSW (CYフラグ, ACフラグ) は, RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

| 命 令 | | | A レジスタ | CY フラグ | AC フラグ | BCDADJ レジスタ |
|-----|------------|-----|-----------|-----------|-----------|----------------|
| MOV | A, #91H | ; ① | 91H | — | — | — |
| SUB | A, #52H | ; ② | 3FH | 0 | 1 | 06H |
| SUB | A, !BCDADJ | ; ③ | 39H | 0 | 0 | — |

第22章 命令セットの概要

RL78マイクロコントローラのRL78-S1コアの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、**RL78マイクロコントローラ ユーザーズ・マニュアル ソフトウェア編 (R01US0015)** を参照してください。

備考 RL78-S1コアの命令はRL78-S2コアとすべて共通です。ただし、一部の命令ではクロック数が異なります。RL78-S1コアとRL78-S2コアでクロック数が異なる命令を、**22.2 オペレーション一覧**の表内で網掛けにして示します。

22.1 凡 例

22.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [, ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミーディエト・データ指定
- ・! : 16ビット絶対アドレス指定
- ・!! : 20ビット絶対アドレス指定
- ・\$: 8ビット相対アドレス指定
- ・\$! : 16ビット相対アドレス指定
- ・[] : 間接アドレス指定
- ・ES: : 拡張アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#, !, !!, \$, \$!, [, ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（表22-1の中のカッコ内の名称、R0, R1, R2など）のいずれの形式でも記述可能です。

表22-1 オペランドの表現形式と記述方法

| 表現形式 | 記述方法 |
|--------|--|
| r | X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7) |
| rp | AX(RP0), BC(RP1), DE(RP2), HL(RP3) |
| sfr | 特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH |
| sfrp | 特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ ^注 ）FFF00H-FFFFFH |
| saddr | FFE20H-FFF1FH イミーディエト・データまたはラベル |
| saddrp | FFE20H-FFF1FH イミーディエト・データまたはラベル（偶数アドレスのみ ^注 ） |
| addr20 | 00000H-FFFFFH イミーディエト・データまたはラベル |
| addr16 | 0000H-FFFFH イミーディエト・データまたはラベル （16ビット・データ時は偶数アドレスのみ ^注 ） |
| addr5 | 0080H-00BFH イミーディエト・データまたはラベル（偶数アドレスのみ） |
| word | 16ビット・イミーディエト・データまたはラベル |
| byte | 8ビット・イミーディエト・データまたはラベル |
| bit | 3ビット・イミーディエト・データまたはラベル |

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3-4 **SFR一覧**を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3-5 **拡張SFR（2nd SFR）一覧**を参照してください。

22. 1. 2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表22-2 オペレーション欄の記号

| 記号 | 機能 |
|--|--|
| A | Aレジスタ：8ビット・アキュムレータ |
| X | Xレジスタ |
| B | Bレジスタ |
| C | Cレジスタ |
| D | Dレジスタ |
| E | Eレジスタ |
| H | Hレジスタ |
| L | Lレジスタ |
| ES | ESレジスタ |
| CS | CSレジスタ |
| AX | AXレジスタ・ペア：16ビット・アキュムレータ |
| BC | BCレジスタ・ペア |
| DE | DEレジスタ・ペア |
| HL | HLレジスタ・ペア |
| PC | プログラム・カウンタ |
| SP | スタック・ポインタ |
| PSW | プログラム・ステータス・ワード |
| CY | キャリー・フラグ |
| AC | 補助キャリー・フラグ |
| Z | ゼロ・フラグ |
| IE | 割り込み要求許可フラグ |
| () | () 内のアドレスまたはレジスタの内容で示されるメモリの内容 |
| X _H , X _L | 16ビット・レジスタの場合はX _H =上位8ビット, X _L =下位8ビット |
| X _S , X _H , X _L | 20ビット・レジスタの場合はX _S (ビット19-16), X _H (ビット15-8), X _L (ビット7-0) |
| ∧ | 論理積 (AND) |
| ∨ | 論理和 (OR) |
| ⊕ | 排他的論理和 (exclusive OR) |
| — | 反転データ |
| addr5 | 16ビット・イミディエイト・データ (0080H-00BFHの偶数アドレスのみ) |
| addr16 | 16ビット・イミディエイト・データ |
| addr20 | 20ビット・イミディエイト・データ |
| jdisp8 | 符号付き8ビット・データ (ディスプレイメント値) |
| jdisp16 | 符号付き16ビット・データ (ディスプレイメント値) |

22.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表22-3 フラグ欄の記号

| 記号 | フラグ変化 |
|--------|---------------------|
| (ブランク) | 変化なし |
| 0 | 0にクリアされる |
| 1 | 1にセットされる |
| × | 結果にしたがってセット/リセットされる |
| R | 以前に退避した値がリストアされる |

22.1.4 PREFIX命令

ES:で示される命令は、PREFIX命令コードを頭に付けることで、アクセスできるデータ領域をF0000H-FFFFFFHの64 Kバイト空間から、ESレジスタの値を付加した00000H-FFFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで、PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお、PREFIX命令コードと直後の1命令の間に割り込みやDMA転送を受け付けることはありません。

表22-4 PREFIX命令コードの使用例

| 命令 | 命令コード | | | | |
|-----------------------|-------|---------|---------|-------|-------|
| | 1 | 2 | 3 | 4 | 5 |
| MOV !addr16, #byte | CFH | !addr16 | | #byte | — |
| MOV ES:!addr16, #byte | 11H | CFH | !addr16 | | #byte |
| MOV A, [HL] | 8BH | — | — | — | — |
| MOV A, ES:[HL] | 11H | 8BH | — | — | — |

注意 ESレジスタの値は、PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

22.2 オペレーション一覧

表22-5 オペレーション一覧 (1/17)

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|---------------|-------|------------------------|-----|---|----|---|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8ビット・データ転送 | MOV | r, #byte | 2 | 1 | — | $r \leftarrow \text{byte}$ | | | |
| | | PSW, #byte | 3 | 3 | — | $\text{PSW} \leftarrow \text{byte}$ | x | x | x |
| | | CS, #byte | 3 | 1 | — | $\text{CS} \leftarrow \text{byte}$ | | | |
| | | ES, #byte | 2 | 1 | — | $\text{ES} \leftarrow \text{byte}$ | | | |
| | | !addr16, #byte | 4 | 1 | — | $(\text{addr16}) \leftarrow \text{byte}$ | | | |
| | | ES:!addr16, #byte | 5 | 2 | — | $(\text{ES}, \text{addr16}) \leftarrow \text{byte}$ | | | |
| | | saddr, #byte | 3 | 1 | — | $(\text{saddr}) \leftarrow \text{byte}$ | | | |
| | | sfr, #byte | 3 | 1 | — | $\text{sfr} \leftarrow \text{byte}$ | | | |
| | | [DE+byte], #byte | 3 | 1 | — | $(\text{DE} + \text{byte}) \leftarrow \text{byte}$ | | | |
| | | ES:[DE+byte], #byte | 4 | 2 | — | $((\text{ES}, \text{DE}) + \text{byte}) \leftarrow \text{byte}$ | | | |
| | | [HL+byte], #byte | 3 | 1 | — | $(\text{HL} + \text{byte}) \leftarrow \text{byte}$ | | | |
| | | ES:[HL+byte], #byte | 4 | 2 | — | $((\text{ES}, \text{HL}) + \text{byte}) \leftarrow \text{byte}$ | | | |
| | | [SP+byte], #byte | 3 | 1 | — | $(\text{SP} + \text{byte}) \leftarrow \text{byte}$ | | | |
| | | word[B], #byte | 4 | 1 | — | $(\text{B} + \text{word}) \leftarrow \text{byte}$ | | | |
| | | ES:word[B], #byte | 5 | 2 | — | $((\text{ES}, \text{B}) + \text{word}) \leftarrow \text{byte}$ | | | |
| | | word[C], #byte | 4 | 1 | — | $(\text{C} + \text{word}) \leftarrow \text{byte}$ | | | |
| | | ES:word[C], #byte | 5 | 2 | — | $((\text{ES}, \text{C}) + \text{word}) \leftarrow \text{byte}$ | | | |
| | | word[BC], #byte | 4 | 1 | — | $(\text{BC} + \text{word}) \leftarrow \text{byte}$ | | | |
| | | ES:word[BC], #byte | 5 | 2 | — | $((\text{ES}, \text{BC}) + \text{word}) \leftarrow \text{byte}$ | | | |
| | | A, r <small>注3</small> | 1 | 1 | — | $A \leftarrow r$ | | | |
| | | r, A <small>注3</small> | 1 | 1 | — | $r \leftarrow A$ | | | |
| | | A, PSW | 2 | 1 | — | $A \leftarrow \text{PSW}$ | | | |
| | | PSW, A | 2 | 3 | — | $\text{PSW} \leftarrow A$ | x | x | x |
| | | A, CS | 2 | 1 | — | $A \leftarrow \text{CS}$ | | | |
| | | CS, A | 2 | 1 | — | $\text{CS} \leftarrow A$ | | | |
| | | A, ES | 2 | 1 | — | $A \leftarrow \text{ES}$ | | | |
| | | ES, A | 2 | 1 | — | $\text{ES} \leftarrow A$ | | | |
| | | A, !addr16 | 3 | 1 | 4 | $A \leftarrow (\text{addr16})$ | | | |
| | | A, ES:!addr16 | 4 | 2 | 5 | $A \leftarrow (\text{ES}, \text{addr16})$ | | | |
| | | !addr16, A | 3 | 1 | — | $(\text{addr16}) \leftarrow A$ | | | |
| ES:!addr16, A | 4 | 2 | — | $(\text{ES}, \text{addr16}) \leftarrow A$ | | | | | |
| A, saddr | 2 | 1 | — | $A \leftarrow (\text{saddr})$ | | | | | |
| saddr, A | 2 | 1 | — | $(\text{saddr}) \leftarrow A$ | | | | | |

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大4倍+6クロックになります。

表22-5 オペレーション一覧 (2/17)

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|----------------|-------|-----------------|-----|---|----|---|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8ビット・データ転送 | MOV | A, sfr | 2 | 1 | — | $A \leftarrow \text{sfr}$ | | | |
| | | sfr, A | 2 | 1 | — | $\text{sfr} \leftarrow A$ | | | |
| | | A, [DE] | 1 | 1 | 4 | $A \leftarrow (\text{DE})$ | | | |
| | | [DE], A | 1 | 1 | — | $(\text{DE}) \leftarrow A$ | | | |
| | | A, ES:[DE] | 2 | 2 | 5 | $A \leftarrow (\text{ES}, \text{DE})$ | | | |
| | | ES:[DE], A | 2 | 2 | — | $(\text{ES}, \text{DE}) \leftarrow A$ | | | |
| | | A, [HL] | 1 | 1 | 4 | $A \leftarrow (\text{HL})$ | | | |
| | | [HL], A | 1 | 1 | — | $(\text{HL}) \leftarrow A$ | | | |
| | | A, ES:[HL] | 2 | 2 | 5 | $A \leftarrow (\text{ES}, \text{HL})$ | | | |
| | | ES:[HL], A | 2 | 2 | — | $(\text{ES}, \text{HL}) \leftarrow A$ | | | |
| | | A, [DE+byte] | 2 | 1 | 4 | $A \leftarrow (\text{DE} + \text{byte})$ | | | |
| | | [DE+byte], A | 2 | 1 | — | $(\text{DE} + \text{byte}) \leftarrow A$ | | | |
| | | A, ES:[DE+byte] | 3 | 2 | 5 | $A \leftarrow ((\text{ES}, \text{DE}) + \text{byte})$ | | | |
| | | ES:[DE+byte], A | 3 | 2 | — | $((\text{ES}, \text{DE}) + \text{byte}) \leftarrow A$ | | | |
| | | A, [HL+byte] | 2 | 1 | 4 | $A \leftarrow (\text{HL} + \text{byte})$ | | | |
| | | [HL+byte], A | 2 | 1 | — | $(\text{HL} + \text{byte}) \leftarrow A$ | | | |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | $A \leftarrow ((\text{ES}, \text{HL}) + \text{byte})$ | | | |
| | | ES:[HL+byte], A | 3 | 2 | — | $((\text{ES}, \text{HL}) + \text{byte}) \leftarrow A$ | | | |
| | | A, [SP+byte] | 2 | 1 | — | $A \leftarrow (\text{SP} + \text{byte})$ | | | |
| | | [SP+byte], A | 2 | 1 | — | $(\text{SP} + \text{byte}) \leftarrow A$ | | | |
| | | A, word[B] | 3 | 1 | 4 | $A \leftarrow (\text{B} + \text{word})$ | | | |
| | | word[B], A | 3 | 1 | — | $(\text{B} + \text{word}) \leftarrow A$ | | | |
| | | A, ES:word[B] | 4 | 2 | 5 | $A \leftarrow ((\text{ES}, \text{B}) + \text{word})$ | | | |
| | | ES:word[B], A | 4 | 2 | — | $((\text{ES}, \text{B}) + \text{word}) \leftarrow A$ | | | |
| | | A, word[C] | 3 | 1 | 4 | $A \leftarrow (\text{C} + \text{word})$ | | | |
| | | word[C], A | 3 | 1 | — | $(\text{C} + \text{word}) \leftarrow A$ | | | |
| | | A, ES:word[C] | 4 | 2 | 5 | $A \leftarrow ((\text{ES}, \text{C}) + \text{word})$ | | | |
| | | ES:word[C], A | 4 | 2 | — | $((\text{ES}, \text{C}) + \text{word}) \leftarrow A$ | | | |
| | | A, word[BC] | 3 | 1 | 4 | $A \leftarrow (\text{BC} + \text{word})$ | | | |
| | | word[BC], A | 3 | 1 | — | $(\text{BC} + \text{word}) \leftarrow A$ | | | |
| A, ES:word[BC] | 4 | 2 | 5 | $A \leftarrow ((\text{ES}, \text{BC}) + \text{word})$ | | | | | |
| ES:word[BC], A | 4 | 2 | — | $((\text{ES}, \text{BC}) + \text{word}) \leftarrow A$ | | | | | |

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大4倍+6クロックになります。

表22-5 オペレーション一覧 (3/17)

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|-----------------|-------|--------------------|----------------------|-------------------------------------|-------------------------------------|----------------------------------|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8ビット・データ転送 | MOV | A, [HL+B] | 2 | 1 | 4 | $A \leftarrow (HL+B)$ | | | |
| | | [HL+B], A | 2 | 1 | — | $(HL+B) \leftarrow A$ | | | |
| | | A, ES:[HL+B] | 3 | 2 | 5 | $A \leftarrow ((ES, HL)+B)$ | | | |
| | | ES:[HL+B], A | 3 | 2 | — | $((ES, HL)+B) \leftarrow A$ | | | |
| | | A, [HL+C] | 2 | 1 | 4 | $A \leftarrow (HL+C)$ | | | |
| | | [HL+C], A | 2 | 1 | — | $(HL+C) \leftarrow A$ | | | |
| | | A, ES:[HL+C] | 3 | 2 | 5 | $A \leftarrow ((ES, HL)+C)$ | | | |
| | | ES:[HL+C], A | 3 | 2 | — | $((ES, HL)+C) \leftarrow A$ | | | |
| | | X, !addr16 | 3 | 1 | 4 | $X \leftarrow (addr16)$ | | | |
| | | X, ES:!addr16 | 4 | 2 | 5 | $X \leftarrow (ES, addr16)$ | | | |
| | | X, saddr | 2 | 1 | — | $X \leftarrow (saddr)$ | | | |
| | | B, !addr16 | 3 | 1 | 4 | $B \leftarrow (addr16)$ | | | |
| | | B, ES:!addr16 | 4 | 2 | 5 | $B \leftarrow (ES, addr16)$ | | | |
| | | B, saddr | 2 | 1 | — | $B \leftarrow (saddr)$ | | | |
| | | C, !addr16 | 3 | 1 | 4 | $C \leftarrow (addr16)$ | | | |
| | | C, ES:!addr16 | 4 | 2 | 5 | $C \leftarrow (ES, addr16)$ | | | |
| | | C, saddr | 2 | 1 | — | $C \leftarrow (saddr)$ | | | |
| | | ES, saddr | 3 | 1 | — | $ES \leftarrow (saddr)$ | | | |
| | XCH | A, r ^{注3} | 1 (r=X) 2 (r=X以外) | 1 | — | $A \leftrightarrow r$ | | | |
| | | A, !addr16 | 4 | 2 | — | $A \leftrightarrow (addr16)$ | | | |
| | | A, ES:!addr16 | 5 | 3 | — | $A \leftrightarrow (ES, addr16)$ | | | |
| | | A, saddr | 3 | 2 | — | $A \leftrightarrow (saddr)$ | | | |
| | | A, sfr | 3 | 2 | — | $A \leftrightarrow sfr$ | | | |
| | | A, [DE] | 2 | 2 | — | $A \leftrightarrow (DE)$ | | | |
| | | A, ES:[DE] | 3 | 3 | — | $A \leftrightarrow (ES, DE)$ | | | |
| | | A, [HL] | 2 | 2 | — | $A \leftrightarrow (HL)$ | | | |
| | | A, ES:[HL] | 3 | 3 | — | $A \leftrightarrow (ES, HL)$ | | | |
| A, [DE+byte] | | 3 | 2 | — | $A \leftrightarrow (DE+byte)$ | | | | |
| A, ES:[DE+byte] | | 4 | 3 | — | $A \leftrightarrow ((ES, DE)+byte)$ | | | | |
| A, [HL+byte] | | 3 | 2 | — | $A \leftrightarrow (HL+byte)$ | | | | |
| A, ES:[HL+byte] | 4 | 3 | — | $A \leftrightarrow ((ES, HL)+byte)$ | | | | | |

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大4倍+6クロックになります。

表22-5 オペレーション一覧 (4/17)

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|-------------|-------|----------------------|-----|------|----|--------------------|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8ビット・データ転送 | XCH | A, [HL+B] | 2 | 2 | — | A ↔ (HL+B) | | | |
| | | A, ES:[HL+B] | 3 | 3 | — | A ↔ ((ES, HL)+B) | | | |
| | | A, [HL+C] | 2 | 2 | — | A ↔ (HL+C) | | | |
| | | A, ES:[HL+C] | 3 | 3 | — | A ↔ ((ES, HL)+C) | | | |
| | ONEB | A | 1 | 1 | — | A ← 01H | | | |
| | | X | 1 | 1 | — | X ← 01H | | | |
| | | B | 1 | 1 | — | B ← 01H | | | |
| | | C | 1 | 1 | — | C ← 01H | | | |
| | | !addr16 | 3 | 1 | — | (addr16) ← 01H | | | |
| | | ES:!addr16 | 4 | 2 | — | (ES, addr16) ← 01H | | | |
| | | saddr | 2 | 1 | — | (saddr) ← 01H | | | |
| | CLR B | A | 1 | 1 | — | A ← 00H | | | |
| | | X | 1 | 1 | — | X ← 00H | | | |
| | | B | 1 | 1 | — | B ← 00H | | | |
| | | C | 1 | 1 | — | C ← 00H | | | |
| | | !addr16 | 3 | 1 | — | (addr16) ← 00H | | | |
| | | ES:!addr16 | 4 | 2 | — | (ES, addr16) ← 00H | | | |
| | | saddr | 2 | 1 | — | (saddr) ← 00H | | | |
| | MOVS | [HL+byte], X | 3 | 1 | — | (HL+byte) ← X | × | | × |
| | | ES:[HL+byte], X | 4 | 2 | — | (ES, HL+byte) ← X | × | | × |
| 16ビット・データ転送 | MOVW | rp, #word | 3 | 2 | — | rp ← word | | | |
| | | saddrp, #word | 4 | 2 | — | (saddrp) ← word | | | |
| | | sfrp, #word | 4 | 2 | — | sfrp ← word | | | |
| | | AX, rp ^{注3} | 1 | 2 | — | AX ← rp | | | |
| | | rp, AX ^{注3} | 1 | 2 | — | rp ← AX | | | |
| | | AX, !addr16 | 3 | 2 | 5 | AX ← (addr16) | | | |
| | | !addr16, AX | 3 | 2 | — | (addr16) ← AX | | | |
| | | AX, ES:!addr16 | 4 | 3 | 6 | AX ← (ES, addr16) | | | |
| | | ES:!addr16, AX | 4 | 3 | — | (ES, addr16) ← AX | | | |
| | | AX, saddrp | 2 | 2 | — | AX ← (saddrp) | | | |
| | | saddrp, AX | 2 | 2 | — | (saddrp) ← AX | | | |
| | | AX, sfrp | 2 | 2 | — | AX ← sfrp | | | |
| | | sfrp, AX | 2 | 2 | — | sfrp ← AX | | | |

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. rp = AXを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大4倍+6クロックになります。

表22-5 オペレーション一覧 (5/17)

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|-------------------------------------|-------|------------------|-----|------|----|----------------------|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 16 ビット ・ デー タ 転 送 | MOVW | AX, [DE] | 1 | 2 | 5 | AX ← (DE) | | | |
| | | [DE], AX | 1 | 2 | — | (DE) ← AX | | | |
| | | AX, ES:[DE] | 2 | 3 | 6 | AX ← (ES, DE) | | | |
| | | ES:[DE], AX | 2 | 3 | — | (ES, DE) ← AX | | | |
| | | AX, [HL] | 1 | 2 | 5 | AX ← (HL) | | | |
| | | [HL], AX | 1 | 2 | — | (HL) ← AX | | | |
| | | AX, ES:[HL] | 2 | 3 | 6 | AX ← (ES, HL) | | | |
| | | ES:[HL], AX | 2 | 3 | — | (ES, HL) ← AX | | | |
| | | AX, [DE+byte] | 2 | 2 | 5 | AX ← (DE+byte) | | | |
| | | [DE+byte], AX | 2 | 2 | — | (DE+byte) ← AX | | | |
| | | AX, ES:[DE+byte] | 3 | 3 | 6 | AX ← ((ES, DE)+byte) | | | |
| | | ES:[DE+byte], AX | 3 | 3 | — | ((ES, DE)+byte) ← AX | | | |
| | | AX, [HL+byte] | 2 | 2 | 5 | AX ← (HL+byte) | | | |
| | | [HL+byte], AX | 2 | 2 | — | (HL+byte) ← AX | | | |
| | | AX, ES:[HL+byte] | 3 | 3 | 6 | AX ← ((ES, HL)+byte) | | | |
| | | ES:[HL+byte], AX | 3 | 3 | — | ((ES, HL)+byte) ← AX | | | |
| | | AX, [SP+byte] | 2 | 2 | — | AX ← (SP+byte) | | | |
| | | [SP+byte], AX | 2 | 2 | — | (SP+byte) ← AX | | | |
| | | AX, word[B] | 3 | 2 | 5 | AX ← (B+word) | | | |
| | | word[B], AX | 3 | 2 | — | (B+word) ← AX | | | |
| | | AX, ES:word[B] | 4 | 3 | 6 | AX ← ((ES, B)+word) | | | |
| | | ES:word[B], AX | 4 | 3 | — | ((ES, B)+word) ← AX | | | |
| | | AX, word[C] | 3 | 2 | 5 | AX ← (C+word) | | | |
| | | word[C], AX | 3 | 2 | — | (C+word) ← AX | | | |
| | | AX, ES:word[C] | 4 | 3 | 6 | AX ← ((ES, C)+word) | | | |
| | | ES:word[C], AX | 4 | 3 | — | ((ES, C)+word) ← AX | | | |
| | | AX, word[BC] | 3 | 2 | 5 | AX ← (BC+word) | | | |
| | | word[BC], AX | 3 | 2 | — | (BC+word) ← AX | | | |
| | | AX, ES:word[BC] | 4 | 3 | 6 | AX ← ((ES, BC)+word) | | | |
| | | ES:word[BC], AX | 4 | 3 | — | ((ES, BC)+word) ← AX | | | |

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大4倍+6クロックになります。

表22-5 オペレーション一覧 (6/17)

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|-------------|-------|----------------------|-----|------|------------|----------------------------|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 16ビット・データ転送 | MOVW | BC, !addr16 | 3 | 2 | 5 | BC ← (addr16) | | | |
| | | BC, ES:!addr16 | 4 | 3 | 6 | BC ← (ES, addr16) | | | |
| | | DE, !addr16 | 3 | 2 | 5 | DE ← (addr16) | | | |
| | | DE, ES:!addr16 | 4 | 3 | 6 | DE ← (ES, addr16) | | | |
| | | HL, !addr16 | 3 | 2 | 5 | HL ← (addr16) | | | |
| | | HL, ES:!addr16 | 4 | 3 | 6 | HL ← (ES, addr16) | | | |
| | | BC, saddrp | 2 | 2 | — | BC ← (saddrp) | | | |
| | | DE, saddrp | 2 | 2 | — | DE ← (saddrp) | | | |
| | | HL, saddrp | 2 | 2 | — | HL ← (saddrp) | | | |
| | XCHW | AX, rp ^{注3} | 1 | 2 | — | AX ↔ rp | | | |
| | ONEW | AX | 1 | 2 | — | AX ← 0001H | | | |
| | | BC | 1 | 2 | — | BC ← 0001H | | | |
| | CLRW | AX | 1 | 2 | — | AX ← 0000H | | | |
| BC | | 1 | 2 | — | BC ← 0000H | | | | |
| 8ビット演算 | ADD | A, #byte | 2 | 1 | — | A, CY ← A+byte | x | x | x |
| | | saddr, #byte | 3 | 2 | — | (saddr), CY ← (saddr)+byte | x | x | x |
| | | A, r ^{注4} | 2 | 1 | — | A, CY ← A+r | x | x | x |
| | | r, A | 2 | 1 | — | r, CY ← r+A | x | x | x |
| | | A, !addr16 | 3 | 1 | 4 | A, CY ← A+(addr16) | x | x | x |
| | | A, ES:!addr16 | 4 | 2 | 5 | A, CY ← A+(ES, addr16) | x | x | x |
| | | A, saddr | 2 | 1 | — | A, CY ← A+(saddr) | x | x | x |
| | | A, [HL] | 1 | 1 | 4 | A, CY ← A+(HL) | x | x | x |
| | | A, ES:[HL] | 2 | 2 | 5 | A, CY ← A+(ES, HL) | x | x | x |
| | | A, [HL+byte] | 2 | 1 | 4 | A, CY ← A+(HL+byte) | x | x | x |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | A, CY ← A+((ES, HL)+byte) | x | x | x |
| | | A, [HL+B] | 2 | 1 | 4 | A, CY ← A+(HL+B) | x | x | x |
| | | A, ES:[HL+B] | 3 | 2 | 5 | A, CY ← A+((ES, HL)+B) | x | x | x |
| | | A, [HL+C] | 2 | 1 | 4 | A, CY ← A+(HL+C) | x | x | x |
| | | A, ES:[HL+C] | 3 | 2 | 5 | A, CY ← A+((ES, HL)+C) | x | x | x |

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. rp = AXを除く。
4. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大4倍+6クロックになります。

表22-5 オペレーション一覧 (7/17)

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|--------------|--------------|--------------------|-----|---|--|--|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8ビット演算 | ADDC | A, #byte | 2 | 1 | — | $A, CY \leftarrow A + \text{byte} + CY$ | × | × | × |
| | | saddr, #byte | 3 | 2 | — | $(\text{saddr}), CY \leftarrow (\text{saddr}) + \text{byte} + CY$ | × | × | × |
| | | A, r ^{注3} | 2 | 1 | — | $A, CY \leftarrow A + r + CY$ | × | × | × |
| | | r, A | 2 | 1 | — | $r, CY \leftarrow r + A + CY$ | × | × | × |
| | | A, !addr16 | 3 | 1 | 4 | $A, CY \leftarrow A + (\text{addr16}) + CY$ | × | × | × |
| | | A, ES:!addr16 | 4 | 2 | 5 | $A, CY \leftarrow A + (\text{ES}, \text{addr16}) + CY$ | × | × | × |
| | | A, saddr | 2 | 1 | — | $A, CY \leftarrow A + (\text{saddr}) + CY$ | × | × | × |
| | | A, [HL] | 1 | 1 | 4 | $A, CY \leftarrow A + (\text{HL}) + CY$ | × | × | × |
| | | A, ES:[HL] | 2 | 2 | 5 | $A, CY \leftarrow A + (\text{ES}, \text{HL}) + CY$ | × | × | × |
| | | A, [HL+byte] | 2 | 1 | 4 | $A, CY \leftarrow A + (\text{HL} + \text{byte}) + CY$ | × | × | × |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | $A, CY \leftarrow A + ((\text{ES}, \text{HL}) + \text{byte}) + CY$ | × | × | × |
| | | A, [HL+B] | 2 | 1 | 4 | $A, CY \leftarrow A + (\text{HL} + B) + CY$ | × | × | × |
| | | A, ES:[HL+B] | 3 | 2 | 5 | $A, CY \leftarrow A + ((\text{ES}, \text{HL}) + B) + CY$ | × | × | × |
| | | A, [HL+C] | 2 | 1 | 4 | $A, CY \leftarrow A + (\text{HL} + C) + CY$ | × | × | × |
| | A, ES:[HL+C] | 3 | 2 | 5 | $A, CY \leftarrow A + ((\text{ES}, \text{HL}) + C) + CY$ | × | × | × | |
| | SUB | A, #byte | 2 | 1 | — | $A, CY \leftarrow A - \text{byte}$ | × | × | × |
| | | saddr, #byte | 3 | 2 | — | $(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte}$ | × | × | × |
| | | A, r ^{注3} | 2 | 1 | — | $A, CY \leftarrow A - r$ | × | × | × |
| | | r, A | 2 | 1 | — | $r, CY \leftarrow r - A$ | × | × | × |
| | | A, !addr16 | 3 | 1 | 4 | $A, CY \leftarrow A - (\text{addr16})$ | × | × | × |
| | | A, ES:!addr16 | 4 | 2 | 5 | $A, CY \leftarrow A - (\text{ES}, \text{addr16})$ | × | × | × |
| | | A, saddr | 2 | 1 | — | $A, CY \leftarrow A - (\text{saddr})$ | × | × | × |
| | | A, [HL] | 1 | 1 | 4 | $A, CY \leftarrow A - (\text{HL})$ | × | × | × |
| | | A, ES:[HL] | 2 | 2 | 5 | $A, CY \leftarrow A - (\text{ES}, \text{HL})$ | × | × | × |
| | | A, [HL+byte] | 2 | 1 | 4 | $A, CY \leftarrow A - (\text{HL} + \text{byte})$ | × | × | × |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | $A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte})$ | × | × | × |
| | | A, [HL+B] | 2 | 1 | 4 | $A, CY \leftarrow A - (\text{HL} + B)$ | × | × | × |
| | | A, ES:[HL+B] | 3 | 2 | 5 | $A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B)$ | × | × | × |
| A, [HL+C] | | 2 | 1 | 4 | $A, CY \leftarrow A - (\text{HL} + C)$ | × | × | × | |
| A, ES:[HL+C] | 3 | 2 | 5 | $A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C)$ | × | × | × | | |

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大4倍+6クロックになります。

表22-5 オペレーション一覧 (8/17)

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|--------------|--------------|--------------------|-----|-------------------|--------------------------|-------------------------------|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8ビット演算 | SUBC | A, #byte | 2 | 1 | — | A, CY ← A-byte-CY | × | × | × |
| | | saddr, #byte | 3 | 2 | — | (saddr), CY ← (saddr)-byte-CY | × | × | × |
| | | A, r ^{注3} | 2 | 1 | — | A, CY ← A-r-CY | × | × | × |
| | | r, A | 2 | 1 | — | r, CY ← r-A-CY | × | × | × |
| | | A, !addr16 | 3 | 1 | 4 | A, CY ← A-(addr16)-CY | × | × | × |
| | | A, ES:!addr16 | 4 | 2 | 5 | A, CY ← A-(ES, addr16)-CY | × | × | × |
| | | A, saddr | 2 | 1 | — | A, CY ← A-(saddr)-CY | × | × | × |
| | | A, [HL] | 1 | 1 | 4 | A, CY ← A-(HL)-CY | × | × | × |
| | | A, ES:[HL] | 2 | 2 | 5 | A, CY ← A-(ES, HL)-CY | × | × | × |
| | | A, [HL+byte] | 2 | 1 | 4 | A, CY ← A-(HL+byte)-CY | × | × | × |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | A, CY ← A-((ES, HL)+byte)-CY | × | × | × |
| | | A, [HL+B] | 2 | 1 | 4 | A, CY ← A-(HL+B)-CY | × | × | × |
| | | A, ES:[HL+B] | 3 | 2 | 5 | A, CY ← A-((ES, HL)+B)-CY | × | × | × |
| | | A, [HL+C] | 2 | 1 | 4 | A, CY ← A-(HL+C)-CY | × | × | × |
| | A, ES:[HL+C] | 3 | 2 | 5 | A, CY ← A-((ES:HL)+C)-CY | × | × | × | |
| | AND | A, #byte | 2 | 1 | — | A ← A∧byte | × | | |
| | | saddr, #byte | 3 | 2 | — | (saddr) ← (saddr)∧byte | × | | |
| | | A, r ^{注3} | 2 | 1 | — | A ← A∧r | × | | |
| | | r, A | 2 | 1 | — | r ← r∧A | × | | |
| | | A, !addr16 | 3 | 1 | 4 | A ← A∧(addr16) | × | | |
| | | A, ES:!addr16 | 4 | 2 | 5 | A ← A∧(ES:addr16) | × | | |
| | | A, saddr | 2 | 1 | — | A ← A∧(saddr) | × | | |
| | | A, [HL] | 1 | 1 | 4 | A ← A∧(HL) | × | | |
| | | A, ES:[HL] | 2 | 2 | 5 | A ← A∧(ES:HL) | × | | |
| | | A, [HL+byte] | 2 | 1 | 4 | A ← A∧(HL+byte) | × | | |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | A ← A∧((ES:HL)+byte) | × | | |
| | | A, [HL+B] | 2 | 1 | 4 | A ← A∧(HL+B) | × | | |
| | | A, ES:[HL+B] | 3 | 2 | 5 | A ← A∧((ES:HL)+B) | × | | |
| A, [HL+C] | | 2 | 1 | 4 | A ← A∧(HL+C) | × | | | |
| A, ES:[HL+C] | 3 | 2 | 5 | A ← A∧((ES:HL)+C) | × | | | | |

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大4倍+6クロックになります。

表22-5 オペレーション一覧 (9/17)

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|--------------|--------------------|--------------------|----------|--|--|---|-------------------------------------|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8ビット演算 | OR | A, #byte | 2 | 1 | — | $A \leftarrow A \vee \text{byte}$ | | | × |
| | | saddr, #byte | 3 | 2 | — | $(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$ | | | × |
| | | A, r ^{注3} | 2 | 1 | — | $A \leftarrow A \vee r$ | | | × |
| | | r, A | 2 | 1 | — | $r \leftarrow r \vee A$ | | | × |
| | | A, !addr16 | 3 | 1 | 4 | $A \leftarrow A \vee (\text{addr16})$ | | | × |
| | | A, ES:!addr16 | 4 | 2 | 5 | $A \leftarrow A \vee (\text{ES:addr16})$ | | | × |
| | | A, saddr | 2 | 1 | — | $A \leftarrow A \vee (\text{saddr})$ | | | × |
| | | A, [HL] | 1 | 1 | 4 | $A \leftarrow A \vee (\text{HL})$ | | | × |
| | | A, ES:[HL] | 2 | 2 | 5 | $A \leftarrow A \vee (\text{ES:HL})$ | | | × |
| | | A, [HL+byte] | 2 | 1 | 4 | $A \leftarrow A \vee (\text{HL} + \text{byte})$ | | | × |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | $A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$ | | | × |
| | | A, [HL+B] | 2 | 1 | 4 | $A \leftarrow A \vee (\text{HL} + B)$ | | | × |
| | | A, ES:[HL+B] | 3 | 2 | 5 | $A \leftarrow A \vee ((\text{ES:HL}) + B)$ | | | × |
| | | A, [HL+C] | 2 | 1 | 4 | $A \leftarrow A \vee (\text{HL} + C)$ | | | × |
| | | A, ES:[HL+C] | 3 | 2 | 5 | $A \leftarrow A \vee ((\text{ES:HL}) + C)$ | | | × |
| | | XOR | A, #byte | 2 | 1 | — | $A \leftarrow A \nabla \text{byte}$ | | |
| | saddr, #byte | | 3 | 2 | — | $(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$ | | | × |
| | A, r ^{注3} | | 2 | 1 | — | $A \leftarrow A \nabla r$ | | | × |
| | r, A | | 2 | 1 | — | $r \leftarrow r \nabla A$ | | | × |
| | A, !addr16 | | 3 | 1 | 4 | $A \leftarrow A \nabla (\text{addr16})$ | | | × |
| | A, ES:!addr16 | | 4 | 2 | 5 | $A \leftarrow A \nabla (\text{ES:addr16})$ | | | × |
| | A, saddr | | 2 | 1 | — | $A \leftarrow A \nabla (\text{saddr})$ | | | × |
| | A, [HL] | | 1 | 1 | 4 | $A \leftarrow A \nabla (\text{HL})$ | | | × |
| | A, ES:[HL] | | 2 | 2 | 5 | $A \leftarrow A \nabla (\text{ES:HL})$ | | | × |
| | A, [HL+byte] | | 2 | 1 | 4 | $A \leftarrow A \nabla (\text{HL} + \text{byte})$ | | | × |
| | A, ES:[HL+byte] | | 3 | 2 | 5 | $A \leftarrow A \nabla ((\text{ES:HL}) + \text{byte})$ | | | × |
| | A, [HL+B] | | 2 | 1 | 4 | $A \leftarrow A \nabla (\text{HL} + B)$ | | | × |
| | A, ES:[HL+B] | 3 | 2 | 5 | $A \leftarrow A \nabla ((\text{ES:HL}) + B)$ | | | × | |
| A, [HL+C] | 2 | 1 | 4 | $A \leftarrow A \nabla (\text{HL} + C)$ | | | × | | |
| A, ES:[HL+C] | 3 | 2 | 5 | $A \leftarrow A \nabla ((\text{ES:HL}) + C)$ | | | × | | |

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大4倍+6クロックになります。

表22-5 オペレーション一覧 (10/17)

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|--------|--------------|--------------------|-----|------|---------------|------------------|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8ビット演算 | CMP | A, #byte | 2 | 1 | — | A-byte | × | × | × |
| | | !addr16, #byte | 4 | 1 | 4 | (addr16)-byte | × | × | × |
| | | ES:!addr16, #byte | 5 | 2 | 5 | (ES:addr16)-byte | × | × | × |
| | | saddr, #byte | 3 | 1 | — | (saddr)-byte | × | × | × |
| | | A, r ^{注3} | 2 | 1 | — | A-r | × | × | × |
| | | r, A | 2 | 1 | — | r-A | × | × | × |
| | | A, !addr16 | 3 | 1 | 4 | A-(addr16) | × | × | × |
| | | A, ES:!addr16 | 4 | 2 | 5 | A-(ES:addr16) | × | × | × |
| | | A, saddr | 2 | 1 | — | A-(saddr) | × | × | × |
| | | A, [HL] | 1 | 1 | 4 | A-(HL) | × | × | × |
| | | A, ES:[HL] | 2 | 2 | 5 | A-(ES:HL) | × | × | × |
| | | A, [HL+byte] | 2 | 1 | 4 | A-(HL+byte) | × | × | × |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | A-((ES:HL)+byte) | × | × | × |
| | | A, [HL+B] | 2 | 1 | 4 | A-(HL+B) | × | × | × |
| | | A, ES:[HL+B] | 3 | 2 | 5 | A-((ES:HL)+B) | × | × | × |
| | | A, [HL+C] | 2 | 1 | 4 | A-(HL+C) | × | × | × |
| | A, ES:[HL+C] | 3 | 2 | 5 | A-((ES:HL)+C) | × | × | × | |
| | CMP0 | A | 1 | 1 | — | A-00H | × | 0 | 0 |
| | | X | 1 | 1 | — | X-00H | × | 0 | 0 |
| | | B | 1 | 1 | — | B-00H | × | 0 | 0 |
| | | C | 1 | 1 | — | C-00H | × | 0 | 0 |
| | | !addr16 | 3 | 1 | 4 | (addr16)-00H | × | 0 | 0 |
| | | ES:!addr16 | 4 | 2 | 5 | (ES:addr16)-00H | × | 0 | 0 |
| | | saddr | 2 | 1 | — | (saddr)-00H | × | 0 | 0 |
| | CMPS | X, [HL+byte] | 3 | 1 | 4 | X-(HL+byte) | × | × | × |
| | | X, ES:[HL+byte] | 4 | 2 | 5 | X-((ES:HL)+byte) | × | × | × |

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大4倍+6クロックになります。

表22-5 オペレーション一覧 (11/17)

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|-------------------|-------|-------------------|-----|------|-------------------|----------------------------|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 16 ビット 演算 | ADDW | AX, #word | 3 | 2 | — | AX, CY ← AX+word | × | × | × |
| | | AX, AX | 1 | 2 | — | AX, CY ← AX+AX | × | × | × |
| | | AX, BC | 1 | 2 | — | AX, CY ← AX+BC | × | × | × |
| | | AX, DE | 1 | 2 | — | AX, CY ← AX+DE | × | × | × |
| | | AX, HL | 1 | 2 | — | AX, CY ← AX+HL | × | × | × |
| | | AX, !addr16 | 3 | 2 | 5 | AX, CY ← AX+(addr16) | × | × | × |
| | | AX, ES:!addr16 | 4 | 3 | 6 | AX, CY ← AX+(ES:addr16) | × | × | × |
| | | AX, saddrp | 2 | 2 | — | AX, CY ← AX+(saddrp) | × | × | × |
| | | AX, [HL+byte] | 3 | 2 | 5 | AX, CY ← AX+(HL+byte) | × | × | × |
| | | AX, ES: [HL+byte] | 4 | 3 | 6 | AX, CY ← AX+((ES:HL)+byte) | × | × | × |
| | SUBW | AX, #word | 3 | 2 | — | AX, CY ← AX-word | × | × | × |
| | | AX, BC | 1 | 2 | — | AX, CY ← AX-BC | × | × | × |
| | | AX, DE | 1 | 2 | — | AX, CY ← AX-DE | × | × | × |
| | | AX, HL | 1 | 2 | — | AX, CY ← AX-HL | × | × | × |
| | | AX, !addr16 | 3 | 2 | 5 | AX, CY ← AX-(addr16) | × | × | × |
| | | AX, ES:!addr16 | 4 | 3 | 6 | AX, CY ← AX-(ES:addr16) | × | × | × |
| | | AX, saddrp | 2 | 2 | — | AX, CY ← AX-(saddrp) | × | × | × |
| | | AX, [HL+byte] | 3 | 2 | 5 | AX, CY ← AX-(HL+byte) | × | × | × |
| | | AX, ES: [HL+byte] | 4 | 3 | 6 | AX, CY ← AX-((ES:HL)+byte) | × | × | × |
| | CMPW | AX, #word | 3 | 2 | — | AX-word | × | × | × |
| | | AX, BC | 1 | 2 | — | AX-BC | × | × | × |
| | | AX, DE | 1 | 2 | — | AX-DE | × | × | × |
| | | AX, HL | 1 | 2 | — | AX-HL | × | × | × |
| | | AX, !addr16 | 3 | 2 | 5 | AX-(addr16) | × | × | × |
| | | AX, ES:!addr16 | 4 | 3 | 6 | AX-(ES:addr16) | × | × | × |
| | | AX, saddrp | 2 | 2 | — | AX-(saddrp) | × | × | × |
| | | AX, [HL+byte] | 3 | 2 | 5 | AX-(HL+byte) | × | × | × |
| AX, ES: [HL+byte] | | 4 | 3 | 6 | AX-((ES:HL)+byte) | × | × | × | |
| 乗算 | MULU | X | 1 | 2 | — | AX ← A×X | | | |

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大4倍+6クロックになります。

表22-5 オペレーション一覧 (12/17)

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|---------------|---------|---------------|-----|------|---|---|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 増減 | INC | r | 1 | 1 | — | $r \leftarrow r+1$ | × | × | |
| | | !addr16 | 3 | 2 | — | $(addr16) \leftarrow (addr16)+1$ | × | × | |
| | | ES:!addr16 | 4 | 3 | — | $(ES, addr16) \leftarrow (ES, addr16)+1$ | × | × | |
| | | saddr | 2 | 2 | — | $(saddr) \leftarrow (saddr)+1$ | × | × | |
| | | [HL+byte] | 3 | 2 | — | $(HL+byte) \leftarrow (HL+byte)+1$ | × | × | |
| | | ES: [HL+byte] | 4 | 3 | — | $((ES:HL)+byte) \leftarrow ((ES:HL)+byte)+1$ | × | × | |
| | DEC | r | 1 | 1 | — | $r \leftarrow r-1$ | × | × | |
| | | !addr16 | 3 | 2 | — | $(addr16) \leftarrow (addr16)-1$ | × | × | |
| | | ES:!addr16 | 4 | 3 | — | $(ES, addr16) \leftarrow (ES, addr16) - 1$ | × | × | |
| | | saddr | 2 | 2 | — | $(saddr) \leftarrow (saddr)-1$ | × | × | |
| | | [HL+byte] | 3 | 2 | — | $(HL+byte) \leftarrow (HL+byte) - 1$ | × | × | |
| | | ES: [HL+byte] | 4 | 3 | — | $((ES:HL)+byte) \leftarrow ((ES:HL)+byte) - 1$ | × | × | |
| | INCW | rp | 1 | 2 | — | $rp \leftarrow rp+1$ | | | |
| | | !addr16 | 3 | 4 | — | $(addr16) \leftarrow (addr16)+1$ | | | |
| | | ES:!addr16 | 4 | 5 | — | $(ES, addr16) \leftarrow (ES, addr16)+1$ | | | |
| | | saddrp | 2 | 4 | — | $(saddrp) \leftarrow (saddrp)+1$ | | | |
| | | [HL+byte] | 3 | 4 | — | $(HL+byte) \leftarrow (HL+byte)+1$ | | | |
| | | ES: [HL+byte] | 4 | 5 | — | $((ES:HL)+byte) \leftarrow ((ES:HL)+byte)+1$ | | | |
| | DECW | rp | 1 | 2 | — | $rp \leftarrow rp-1$ | | | |
| | | !addr16 | 3 | 4 | — | $(addr16) \leftarrow (addr16)-1$ | | | |
| | | ES:!addr16 | 4 | 5 | — | $(ES, addr16) \leftarrow (ES, addr16)-1$ | | | |
| saddrp | | 2 | 4 | — | $(saddrp) \leftarrow (saddrp)-1$ | | | | |
| [HL+byte] | | 3 | 4 | — | $(HL+byte) \leftarrow (HL+byte) - 1$ | | | | |
| ES: [HL+byte] | | 4 | 5 | — | $((ES:HL)+byte) \leftarrow ((ES:HL)+byte) - 1$ | | | | |
| シフト | SHR | A, cnt | 2 | 1 | — | $(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$ | | | × |
| | SHRW | AX, cnt | 2 | 2 | — | $(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$ | | | × |
| | SHL | A, cnt | 2 | 1 | — | $(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$ | | | × |
| | | B, cnt | 2 | 1 | — | $(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$ | | | × |
| | | C, cnt | 2 | 1 | — | $(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$ | | | × |
| | SHLW | AX, cnt | 2 | 2 | — | $(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$ | | | × |
| | | BC, cnt | 2 | 2 | — | $(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$ | | | × |
| | SAR | A, cnt | 2 | 1 | — | $(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$ | | | × |
| SARW | AX, cnt | 2 | 2 | — | $(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$ | | | × | |

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大4倍+6クロックになります。

2. cntはビット・シフト数です。

表22-5 オペレーション一覧 (13/17)

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|-----------------|-------|-----------------|-----|------|--------------------------------------|--|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| ローデータ | ROR | A, 1 | 2 | 1 | — | $(CY, A_7 \leftarrow A_0, A_{m-1} \leftarrow A_m) \times 1$ | | | × |
| | ROL | A, 1 | 2 | 1 | — | $(CY, A_0 \leftarrow A_7, A_{m+1} \leftarrow A_m) \times 1$ | | | × |
| | RORC | A, 1 | 2 | 1 | — | $(CY \leftarrow A_0, A_7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$ | | | × |
| | ROLC | A, 1 | 2 | 1 | — | $(CY \leftarrow A_7, A_0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$ | | | × |
| | ROLWC | AX, 1 | 2 | 2 | — | $(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$ | | | × |
| | | BC, 1 | 2 | 2 | — | $(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$ | | | × |
| ビット操作 | MOV1 | CY, A.bit | 2 | 1 | — | $CY \leftarrow A.bit$ | | | × |
| | | A.bit, CY | 2 | 1 | — | $A.bit \leftarrow CY$ | | | |
| | | CY, PSW.bit | 3 | 1 | — | $CY \leftarrow PSW.bit$ | | | × |
| | | PSW.bit, CY | 3 | 4 | — | $PSW.bit \leftarrow CY$ | × | × | |
| | | CY, saddr.bit | 3 | 1 | — | $CY \leftarrow (saddr).bit$ | | | × |
| | | saddr.bit, CY | 3 | 2 | — | $(saddr).bit \leftarrow CY$ | | | |
| | | CY, sfr.bit | 3 | 1 | — | $CY \leftarrow sfr.bit$ | | | × |
| | | sfr.bit, CY | 3 | 2 | — | $sfr.bit \leftarrow CY$ | | | |
| | | CY, [HL].bit | 2 | 1 | 4 | $CY \leftarrow (HL).bit$ | | | × |
| | | [HL].bit, CY | 2 | 2 | — | $(HL).bit \leftarrow CY$ | | | |
| | AND1 | CY, A.bit | 2 | 1 | — | $CY \leftarrow CY \wedge A.bit$ | | | × |
| | | CY, PSW.bit | 3 | 1 | — | $CY \leftarrow CY \wedge PSW.bit$ | | | × |
| | | CY, saddr.bit | 3 | 1 | — | $CY \leftarrow CY \wedge (saddr).bit$ | | | × |
| | | CY, sfr.bit | 3 | 1 | — | $CY \leftarrow CY \wedge sfr.bit$ | | | × |
| | | CY, [HL].bit | 2 | 1 | 4 | $CY \leftarrow CY \wedge (HL).bit$ | | | × |
| | | CY, ES:[HL].bit | 3 | 2 | 5 | $CY \leftarrow CY \wedge (ES, HL).bit$ | | | × |
| | OR1 | CY, A.bit | 2 | 1 | — | $CY \leftarrow CY \vee A.bit$ | | | × |
| | | CY, PSW.bit | 3 | 1 | — | $CY \leftarrow CY \vee PSW.bit$ | | | × |
| | | CY, saddr.bit | 3 | 1 | — | $CY \leftarrow CY \vee (saddr).bit$ | | | × |
| | | CY, sfr.bit | 3 | 1 | — | $CY \leftarrow CY \vee sfr.bit$ | | | × |
| CY, [HL].bit | | 2 | 1 | 4 | $CY \leftarrow CY \vee (HL).bit$ | | | × | |
| CY, ES:[HL].bit | | 3 | 2 | 5 | $CY \leftarrow CY \vee (ES, HL).bit$ | | | × | |

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大4倍+6クロックになります。

表22-5 オペレーション一覧 (14/17)

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|-------|-------|-----------------|-----|------|----|--|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| ビット操作 | XOR1 | CY, A.bit | 2 | 1 | — | $CY \leftarrow CY \nabla A.bit$ | | | × |
| | | CY, PSW.bit | 3 | 1 | — | $CY \leftarrow CY \nabla PSW.bit$ | | | × |
| | | CY, saddr.bit | 3 | 1 | — | $CY \leftarrow CY \nabla (saddr).bit$ | | | × |
| | | CY, sfr.bit | 3 | 1 | — | $CY \leftarrow CY \nabla sfr.bit$ | | | × |
| | | CY, [HL].bit | 2 | 1 | 4 | $CY \leftarrow CY \nabla (HL).bit$ | | | × |
| | | CY, ES:[HL].bit | 3 | 2 | 5 | $CY \leftarrow CY \nabla (ES, HL).bit$ | | | × |
| | SET1 | A.bit | 2 | 1 | — | $A.bit \leftarrow 1$ | | | |
| | | PSW.bit | 3 | 4 | — | $PSW.bit \leftarrow 1$ | × | × | × |
| | | !addr16.bit | 4 | 2 | — | $(addr16).bit \leftarrow 1$ | | | |
| | | ES:!addr16.bit | 5 | 3 | — | $(ES, addr16).bit \leftarrow 1$ | | | |
| | | saddr.bit | 3 | 2 | — | $(saddr).bit \leftarrow 1$ | | | |
| | | sfr.bit | 3 | 2 | — | $sfr.bit \leftarrow 1$ | | | |
| | | [HL].bit | 2 | 2 | — | $(HL).bit \leftarrow 1$ | | | |
| | | ES:[HL].bit | 3 | 3 | — | $(ES, HL).bit \leftarrow 1$ | | | |
| | CLR1 | A.bit | 2 | 1 | — | $A.bit \leftarrow 0$ | | | |
| | | PSW.bit | 3 | 4 | — | $PSW.bit \leftarrow 0$ | × | × | × |
| | | !addr16.bit | 4 | 2 | — | $(addr16).bit \leftarrow 0$ | | | |
| | | ES:!addr16.bit | 5 | 3 | — | $(ES, addr16).bit \leftarrow 0$ | | | |
| | | saddr.bit | 3 | 2 | — | $(saddr).bit \leftarrow 0$ | | | |
| | | sfr.bit | 3 | 2 | — | $sfr.bit \leftarrow 0$ | | | |
| | | [HL].bit | 2 | 2 | — | $(HL).bit \leftarrow 0$ | | | |
| | | ES:[HL].bit | 3 | 3 | — | $(ES, HL).bit \leftarrow 0$ | | | |
| | SET1 | CY | 2 | 1 | — | $CY \leftarrow 1$ | | | 1 |
| | CLR1 | CY | 2 | 1 | — | $CY \leftarrow 0$ | | | 0 |
| | NOT1 | CY | 2 | 1 | — | $CY \leftarrow \overline{CY}$ | | | × |

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大4倍+6クロックになります。

表22-5 オペレーション一覧 (15/17)

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | | |
|----------|-------|-----------|---------|------|----|---|--|----|----|--|
| | | | | 注1 | 注2 | | Z | AC | CY | |
| コール・リターン | CALL | rp | 2 | 4 | — | (SP-2) ← (PC+2) _s , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PC ← CS, rp, SP ← SP-4 | | | | |
| | | \$!addr20 | 3 | 4 | — | (SP-2) ← (PC+3) _s , (SP-3) ← (PC+3) _H , (SP-4) ← (PC+3) _L , PC ← PC+3+jdisp16, SP ← SP-4 | | | | |
| | | !addr16 | 3 | 4 | — | (SP-2) ← (PC+3) _s , (SP-3) ← (PC+3) _H , (SP-4) ← (PC+3) _L , PC ← 0000, addr16, SP ← SP-4 | | | | |
| | | !!addr20 | 4 | 4 | — | (SP-2) ← (PC+4) _s , (SP-3) ← (PC+4) _H , (SP-4) ← (PC+4) _L , PC ← addr20, SP ← SP-4 | | | | |
| | | CALLT | [addr5] | 2 | 6 | — | (SP-2) ← (PC+2) _s , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PC _s ← 0000, PC _H ← (0000, addr5+1), PC _L ← (0000, addr5), SP ← SP-4 | | | |
| | | BRK | — | 2 | 7 | — | (SP-1) ← PSW, (SP-2) ← (PC+2) _s , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PC _s ← 0000, PC _H ← (0007FH), PC _L ← (0007EH), SP ← SP-4, IE ← 0 | | | |
| | | RET | — | 1 | 7 | — | PC _L ← (SP), PC _H ← (SP+1), PC _s ← (SP+2), SP ← SP+4 | | | |
| | RETI | — | 2 | 8 | — | PC _L ← (SP), PC _H ← (SP+1), PC _s ← (SP+2), PSW ← (SP+3), SP ← SP+4 | R | R | R | |
| | RETB | — | 2 | 8 | — | PC _L ← (SP), PC _H ← (SP+1), PC _s ← (SP+2), PSW ← (SP+3), SP ← SP+4 | R | R | R | |

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大4倍+6クロックになります。

表22-5 オペレーション一覧 (16/17)

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|--------------------------|-----------|---------------------|-------|-------|---|--|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| スタック操作 | PUSH | PSW | 2 | 2 | — | (SP-1) ← PSW, (SP-2) ← 00H, SP ← SP-2 | | | |
| | | rp | 1 | 2 | — | (SP-1) ← rp _H , (SP-2) ← rp _L , SP ← SP-2 | | | |
| | POP | PSW | 2 | 4 | — | PSW ← (SP+1), SP ← SP+2 | R | R | R |
| | | rp | 1 | 2 | — | rp _L ← (SP), rp _H ← (SP+1), SP ← SP+2 | | | |
| | MOVW | SP, #word | 4 | 2 | — | SP ← word | | | |
| | | SP, AX | 2 | 2 | — | SP ← AX | | | |
| | | AX, SP | 2 | 2 | — | AX ← SP | | | |
| | | HL, SP | 3 | 2 | — | HL ← SP | | | |
| | | BC, SP | 3 | 2 | — | BC ← SP | | | |
| | | DE, SP | 3 | 2 | — | DE ← SP | | | |
| ADDW | SP, #byte | 2 | 2 | — | SP ← SP+byte | | | | |
| SUBW | SP, #byte | 2 | 2 | — | SP ← SP-byte | | | | |
| 無条件分岐 | BR | AX | 2 | 3 | — | PC ← CS, AX | | | |
| | | \$addr20 | 2 | 3 | — | PC ← PC+2+jdisp8 | | | |
| | | !addr20 | 3 | 3 | — | PC ← PC+3+jdisp16 | | | |
| | | !addr16 | 3 | 3 | — | PC ← 0000, addr16 | | | |
| | | !!addr20 | 4 | 3 | — | PC ← addr20 | | | |
| 条件付き分岐 | BC | \$addr20 | 2 | 2/4注3 | — | PC ← PC+2+jdisp8 if CY = 1 | | | |
| | BNC | \$addr20 | 2 | 2/4注3 | — | PC ← PC+2+jdisp8 if CY = 0 | | | |
| | BZ | \$addr20 | 2 | 2/4注3 | — | PC ← PC+2+jdisp8 if Z = 1 | | | |
| | BNZ | \$addr20 | 2 | 2/4注3 | — | PC ← PC+2+jdisp8 if Z = 0 | | | |
| | BH | \$addr20 | 3 | 2/4注3 | — | PC ← PC+3+jdisp8 if (ZVCY) = 0 | | | |
| | BNH | \$addr20 | 3 | 2/4注3 | — | PC ← PC+3+jdisp8 if (ZVCY) = 1 | | | |
| | BT | saddr.bit, \$addr20 | 4 | 3/5注3 | — | PC ← PC+4+jdisp8 if (saddr).bit = 1 | | | |
| | | sfr.bit, \$addr20 | 4 | 3/5注3 | — | PC ← PC+4+jdisp8 if sfr.bit = 1 | | | |
| | | A.bit, \$addr20 | 3 | 3/5注3 | — | PC ← PC+3+jdisp8 if A.bit = 1 | | | |
| | | PSW.bit, \$addr20 | 4 | 3/5注3 | — | PC ← PC+4+jdisp8 if PSW.bit = 1 | | | |
| [HL].bit, \$addr20 | | 3 | 3/5注3 | 6/7 | PC ← PC+3+jdisp8 if (HL).bit = 1 | | | | |
| ES:[HL].bit, \$addr20 | | 4 | 4/6注3 | 7/8 | PC ← PC+4+jdisp8 if (ES, HL).bit = 1 | | | | |

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

- 2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。
- 3. クロック数は“条件不成立時/条件成立時”を表しています。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大4倍+6クロックになります。

表22-5 オペレーション一覧 (17/17)

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|----------|-------|-----------------------|-----|-------------------|-----|---|-----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 条件付き分岐 | BF | saddr.bit, \$addr20 | 4 | 3/5 ^{注3} | — | PC ← PC+4+jdisp8 if (saddr).bit = 0 | | | |
| | | sfr.bit, \$addr20 | 4 | 3/5 ^{注3} | — | PC ← PC+4+jdisp8 if sfr.bit = 0 | | | |
| | | A.bit, \$addr20 | 3 | 3/5 ^{注3} | — | PC ← PC+3+jdisp8 if A.bit = 0 | | | |
| | | PSW.bit, \$addr20 | 4 | 3/5 ^{注3} | — | PC ← PC+4+jdisp8 if PSW.bit = 0 | | | |
| | | [HL].bit, \$addr20 | 3 | 3/5 ^{注3} | 6/7 | PC ← PC+3+jdisp8 if (HL).bit = 0 | | | |
| | | ES:[HL].bit, \$addr20 | 4 | 4/6 ^{注3} | 7/8 | PC ← PC+4+jdisp8 if (ES, HL).bit = 0 | | | |
| | BTCLR | saddr.bit, \$addr20 | 4 | 3/5 ^{注3} | — | PC ← PC+4+jdisp8 if (saddr).bit = 1 then reset (saddr).bit | | | |
| | | sfr.bit, \$addr20 | 4 | 3/5 ^{注3} | — | PC ← PC+4+jdisp8 if sfr.bit = 1 then reset sfr.bit | | | |
| | | A.bit, \$addr20 | 3 | 3/5 ^{注3} | — | PC ← PC+3+jdisp8 if A.bit = 1 then reset A.bit | | | |
| | | PSW.bit, \$addr20 | 4 | 3/5 ^{注3} | — | PC ← PC+4+jdisp8 if PSW.bit = 1 then reset PSW.bit | × | × | × |
| | | [HL].bit, \$addr20 | 3 | 3/5 ^{注3} | — | PC ← PC+3+jdisp8 if (HL).bit = 1 then reset (HL).bit | | | |
| | | ES:[HL].bit, \$addr20 | 4 | 4/6 ^{注3} | — | PC ← PC+4+jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit | | | |
| 条件付きスキップ | SKC | — | 2 | 1 | — | Next instruction skip if CY = 1 | | | |
| | SKNC | — | 2 | 1 | — | Next instruction skip if CY = 0 | | | |
| | SKZ | — | 2 | 1 | — | Next instruction skip if Z = 1 | | | |
| | SKNZ | — | 2 | 1 | — | Next instruction skip if Z = 0 | | | |
| | SKH | — | 2 | 1 | — | Next instruction skip if (ZVCY)=0 | | | |
| | SKNH | — | 2 | 1 | — | Next instruction skip if (ZVCY)=1 | | | |
| CPU制御 | NOP | — | 1 | 1 | — | No Operation | | | |
| | EI | — | 3 | 4 | — | IE ← 1(Enable Interrupt) | | | |
| | DI | — | 3 | 4 | — | IE ← 0(Disable Interrupt) | | | |
| | HALT | — | 2 | 3 | — | Set HALT Mode | | | |
| | STOP | — | 2 | 3 | — | Set STOP Mode | | | |

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. クロック数は“条件不成立時/条件成立時”を表しています。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大4倍+6クロックになります。

第23章 電気的特性

- 注意1. RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
- 2 製品により搭載している端子が異なります。ポート機能は2.1 ポート機能, ポート以外の機能は2.2 ポート以外の機能を参照してください。
3. RL78/G1M, G1Nは、セレクトブル・パワーオン・リセット (SPOR) 回路の検出電圧 (V_{SPOR}) が含まれるため、2.25~5.5 Vの電圧範囲で使用してください。

23.1 絶対最大定格

(TA = 25°C)

| 項目 | 略号 | 条件 | | 定格 | 単位 | |
|--------------------|------------------|----------|------------------------|---|----------|------|
| 電源電圧 ^{注1} | V _{DD} | | | -0.5~+6.5 | V | |
| 入力電圧 ^{注1} | V _{I1} | | | -0.3~V _{DD} +0.3 ^{注2} | V | |
| 出力電圧 ^{注1} | V _{O1} | | | -0.3~V _{DD} +0.3 | V | |
| ハイ・レベル出力電流 | I _{OH1} | 1端子 | P00-P05 | RL78/G1M | -40 | mA |
| | | | | RL78/G1N | -130 | mA |
| | | | P06, P07, P10-P16, P40 | | -40 | mA |
| | | 端子合計 | P00-P05 | RL78/G1M | -70 | mA |
| | | | | RL78/G1N | -160 | mA |
| | | | P06, P07, P10-P16, P40 | | RL78/G1M | -100 |
| | | RL78/G1N | -100 | mA | | |
| ロウ・レベル出力電流 | I _{OL1} | 1端子 | | 40 | mA | |
| | | 端子合計 | P00-P05 | RL78/G1M | 70 | mA |
| | | | | RL78/G1N | 90 | mA |
| | | | P06, P07, P10-P16, P40 | | RL78/G1M | 100 |
| | | | | RL78/G1N | 170 | mA |
| 動作周囲温度 | T _A | | | -40~+85 | °C | |
| 保存温度 | T _{stg} | | | -65~+150 | °C | |

注1. V_{SS}を基準電位とします。

2. 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

2. V_{SS}を基準電圧とする。

23.2 発振回路特性

23.2.1 オンチップ・オシレータ特性

($T_A = -40 \sim +85^\circ\text{C}$, $2.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

| 発振子 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--|-----------------|------------------------------|------|------|------|-----|
| 高速オンチップ・オシレータ・ 発振周波数 ^{注1, 2} | f _{IH} | | 1.25 | | 20 | MHz |
| 高速オンチップ・オシレータ・ 発振周波数精度 | | T _A = -40 ~ -20°C | -3 | | +3 | % |
| | | T _A = -20 ~ +85°C | -2 | | +2 | % |
| 低速オンチップ・オシレータ・ 発振周波数 ^{注3} | f _{IL} | | | 15 | | kHz |
| 低速オンチップ・オシレータ・ クロック周波数精度 | | | -15 | | +15 | % |

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H)のビット0-2で選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

3. 発振回路の特性だけを示すものです。

23.3 DC特性

23.3.1 RL78/G1M端子特性

(TA = -40~+85°C, 2.0 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|----------------------------------|------------------|--|---------------------------------|------|-------------------|----|
| ハイ・レベル出力電流 ^{注1} | I _{OH1} | P00-P07, P10-P16, P40 1端子 | | | -10 ^{注2} | mA |
| | | P00-P05 合計 (デューティ ≤ 70%) ^{注3} | 4.0 V ≤ V _{DD} ≤ 5.5 V | | -50 | mA |
| | | | 2.7 V ≤ V _{DD} < 4.0 V | | -10 | mA |
| | | | 2.0 V ≤ V _{DD} < 2.7 V | | -7.5 | mA |
| | | P06, P07, P10-P16, P40 合計 (デューティ ≤ 70%) ^{注3} | 4.0 V ≤ V _{DD} ≤ 5.5 V | | -80 | mA |
| | | | 2.7 V ≤ V _{DD} < 4.0 V | | -16 | mA |
| | | | 2.0 V ≤ V _{DD} < 2.7 V | | -12 | mA |
| 端子合計 (デューティ ≤ 70%) ^{注3} | | | | -130 | mA | |
| ロウ・レベル出力電流 | I _{OL1} | P00-P07, P10-P16, P40 1端子 | | | 20 ^{注2} | mA |
| | | P00-P05 合計 (デューティ ≤ 70%) ^{注4} | 4.0 V ≤ V _{DD} ≤ 5.5 V | | 60 | mA |
| | | | 2.7 V ≤ V _{DD} < 4.0 V | | 9 | mA |
| | | | 2.0 V ≤ V _{DD} < 2.7 V | | 1.8 | mA |
| | | P06, P07, P10-P16, P40 合計 (デューティ ≤ 70%) ^{注4} | 4.0 V ≤ V _{DD} ≤ 5.5 V | | 100 | mA |
| | | | 2.7 V ≤ V _{DD} < 4.0 V | | 15 | mA |
| | | | 2.0 V ≤ V _{DD} < 2.7 V | | 3 | mA |
| 端子合計 (デューティ ≤ 70%) ^{注4} | | | | 160 | mA | |

注1. V_{DD}端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. 合計の電流値は越えないでください。

3. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

<計算例> I_{OH} = -10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \doteq -8.7 \text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

4. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

<計算例> I_{OL} = 10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \doteq 8.7 \text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P06, P10は、N-chオープン・ドレイン・モード時にはハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

23. 3. 2 RL78/G1N端子特性

(TA = -40~+85°C, 4.5 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 | |
|--------------------------|------------------|--|---------------------------------|------|------|--------------------|----|
| ハイ・レベル出力電流 ^{注1} | I _{OH1} | 端子合計 (デューティ ≤ 70%) ^{注3} | 4.5 V ≤ V _{DD} ≤ 5.5 V | | | -160 | mA |
| | | P00-P05 合計 (デューティ ≤ 70%) ^{注3} | 4.5 V ≤ V _{DD} ≤ 5.5 V | | | -140 | mA |
| | | P06, P07, P10-P16, P40 合計 (デューティ ≤ 70%) ^{注3} | 4.5 V ≤ V _{DD} ≤ 5.5 V | | | -80 | mA |
| | | P00-P05 ^{注5} 1端子 (COM) | 4.5 V ≤ V _{DD} ≤ 5.5 V | | | -120 ^{注2} | mA |
| | | P06, P07, P10-P16, P40 1端子 (SEG, 他) | 4.5 V ≤ V _{DD} ≤ 5.5 V | | | -10 ^{注2} | mA |
| ロウ・レベル出力電流 | I _{OL1} | 端子合計 (デューティ ≤ 70%) ^{注4} | 4.5 V ≤ V _{DD} ≤ 5.5 V | | | 160 | mA |
| | | P00-P05 合計 (デューティ ≤ 70%) ^{注4} | 4.5 V ≤ V _{DD} ≤ 5.5 V | | | 80 | mA |
| | | P06, P07, P10-P16, P40 合計 (デューティ ≤ 70%) ^{注4} | 4.5 V ≤ V _{DD} ≤ 5.5 V | | | 150 | mA |
| | | P06, P07, P10-P15 ^{注6} 1端子 (SEG) | 4.5 V ≤ V _{DD} ≤ 5.5 V | | | 15 | mA |
| | | P00-P05, P16, P40 1端子 (COM, 他) | 4.5 V ≤ V _{DD} ≤ 5.5 V | | | 20 ^{注2} | mA |

注1. V_{DD}端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. 合計の電流値は越えないでください。

3. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

<計算例> I_{OH} = -10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \doteq -8.7 \text{ mA}$$

ただし、1端子当りに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

4. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

<計算例> I_{OL} = 10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \doteq 8.7 \text{ mA}$$

ただし、1端子当りに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注5. 下記($t1/t2*100\%$) $\leq 25\%$ の条件での出力電流の値です。

($t1/t2*100\%$) $> 25\%$ に変更した出力電流の値は、次の計算式で求めることができます(($t1/t2*100\%$)をn%に変更する場合)。

$$\bullet \text{ 端子の出力電流} = (I_{OH} \times 0.25) / (n \times 0.01)$$

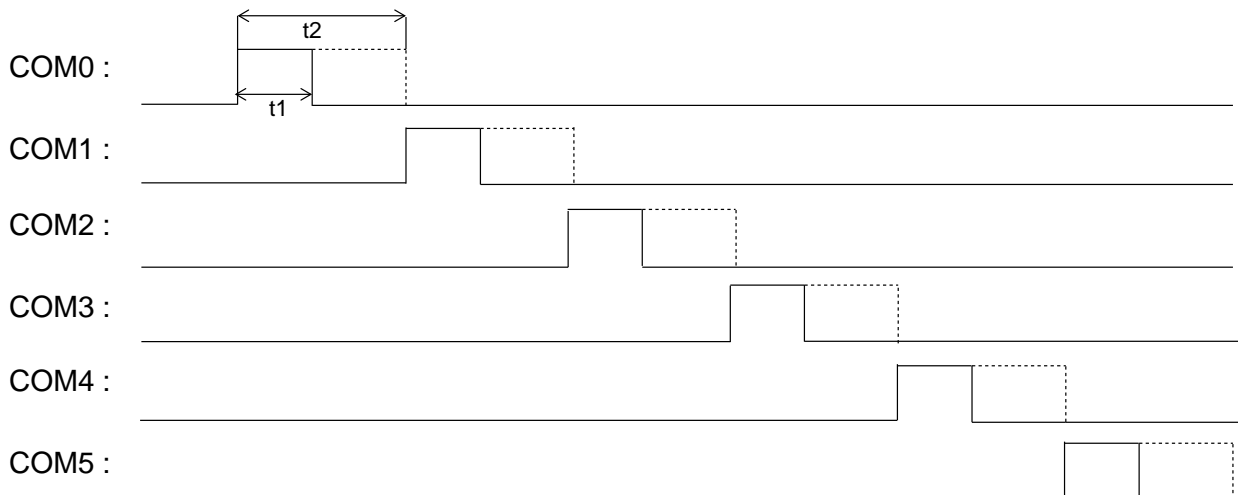
<計算例> $I_{OH} = -120.0 \text{ mA}$ の場合, $n = 60\%$

$$\text{端子の出力電流} = (-120.0 \times 0.25) / (60 \times 0.01) = -50 \text{ mA}$$

ただし、COM数には依存しません。また、絶対最大定格以上の電流は流せません。

以下の図に6COMとして使用時の波形を示す。

6COMとして使用時の出力波形詳細



注6. 下記($t1/t2*100\%$) $\leq 25\%$ の条件での出力電流の値です。

($t1/t2*100\%$) $> 25\%$ に変更した出力電流の値は、次の計算式で求めることができます(($t1/t2*100\%$)をn%に変更する場合)。

$$\bullet \text{ 端子の出力電流} = (I_{OL} \times 0.25) / (n \times 0.01)$$

<計算例> $I_{OL} = 15.0 \text{ mA}$ の場合, $n = 60\%$

$$\text{端子の出力電流} = (15.0 \times 0.25) / (60 \times 0.01) = 6.25 \text{ mA}$$

ただし、COM数には依存しません。また、絶対最大定格以上の電流は流せません。

注意 P06, P07, P10-P15は、N-chオープン・ドレイン・モード時にはハイ・レベル出力しません。

A/D変換中は、P00-P05のP-chオープン・ドレインは、オフ状態（ハイ・インピーダンス状態）にしてください（RL78/G1N）。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

23.3.3 共通項目

(TA = -40~+85°C, 2.0 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 | |
|---------------------------|------------------|---|---|---------------------------------|-----------------------|---------------------|-----------------|----|
| ハイ・レベル入力電圧 | V _{IH1} | | | 0.8 V _{DD} | | V _{DD} | V | |
| ロウ・レベル入力電圧 | V _{IL1} | | | 0 | | 0.2 V _{DD} | V | |
| ハイ・レベル出力電圧 ^{注1} | V _{OH1} | P00-P05 | I _{OH} = -10 mA | 4.0 V ≤ V _{DD} ≤ 5.5 V | V _{DD} - 1.5 | | V _{DD} | V |
| | | | I _{OH} = -3 mA | 4.0 V ≤ V _{DD} ≤ 5.5 V | V _{DD} - 0.7 | | V _{DD} | V |
| | | | I _{OH} = -2 mA | 2.7 V ≤ V _{DD} ≤ 5.5 V | V _{DD} - 0.6 | | V _{DD} | V |
| | | | I _{OH} = -1.5 mA | 2.0 V ≤ V _{DD} ≤ 5.5 V | V _{DD} - 0.5 | | V _{DD} | V |
| | | | I _{OH} = -120 mA ^{注3} | 4.5 V ≤ V _{DD} ≤ 5.5 V | V _{DD} - 1.0 | | V _{DD} | V |
| | V _{OH2} | P06, P07, P10-P16, P40 | I _{OH} = -10 mA | 4.0 V ≤ V _{DD} ≤ 5.5 V | V _{DD} - 1.5 | | V _{DD} | V |
| | | | I _{OH} = -3 mA | 4.0 V ≤ V _{DD} ≤ 5.5 V | V _{DD} - 0.7 | | V _{DD} | V |
| | | | I _{OH} = -2 mA | 2.7 V ≤ V _{DD} ≤ 5.5 V | V _{DD} - 0.6 | | V _{DD} | V |
| I _{OH} = -1.5 mA | | | 2.0 V ≤ V _{DD} ≤ 5.5 V | V _{DD} - 0.5 | | V _{DD} | V | |
| ロウ・レベル出力電圧 ^{注2} | V _{OL1} | P00-P05, P16, P40 | I _{OL} = 20 mA | 4.0 V ≤ V _{DD} ≤ 5.5 V | 0 | | 1.5 | V |
| | | | I _{OL} = 1.5 mA | 2.7 V ≤ V _{DD} ≤ 5.5 V | 0 | | 0.4 | V |
| | | | I _{OL} = 0.6 mA | 2.0 V ≤ V _{DD} ≤ 5.5 V | 0 | | 0.4 | V |
| | V _{OL2} | P06, P07, P10-P15 | I _{OL} = 20 mA | 4.0 V ≤ V _{DD} ≤ 5.5 V | 0 | | 1.5 | V |
| | | | I _{OL} = 1.5 mA | 2.7 V ≤ V _{DD} ≤ 5.5 V | 0 | | 0.4 | V |
| | | | I _{OL} = 0.6 mA | 2.0 V ≤ V _{DD} ≤ 5.5 V | 0 | | 0.4 | V |
| | | | I _{OL} = 15 mA ^{注4} | 4.5 V ≤ V _{DD} ≤ 5.5 V | 0 | | 0.6 | V |
| | ハイ・レベル入力リーク電流 | I _{IH1} | P00-P07, P10-P16, P40, P41, P125, P137 V _I = V _{DD} | | | | 1 | μA |
| ロウ・レベル入力リーク電流 | I _{IL1} | P00-P07, P10-P16, P40, P41, P125, P137 V _I = V _{SS} | | | | -1 | μA | |
| 内蔵プルアップ抵抗 | R _U | V _I = V _{SS} | | 10 | 20 | 100 | kΩ | |
| 内蔵プルダウン抵抗 ^{注5} | R _D | V _I = V _{DD} | | 100 | 200 | | kΩ | |

注1. ハイ・レベル出力電流 (I_{OH1}) を満たした条件での値です。

2. ロウ・レベル出力電流 (I_{OL1}) を満たした条件での値です。

3. P-chオープン・ドレイン時 (RL78/G1Nのみ)

4. N-chオープン・ドレイン時

5. RL78/G1Nのみ

注意 N-chオープン・ドレイン・モード時でも、V_{IH}の最大値 (MAX.) はV_{DD}です。

また、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

23.3.4 電源電流特性

(TA = -40~+85°C, 2.0 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 | | |
|-----------------------|-----------------------|--------------------|-----------------------|--------------------------|--------------------------------|------|--------------------|-------|------|
| | | | | | | | | 動作モード | 条件 |
| 電源電流 ^{注1} | IDD1 | 動作モード | 基本動作 | f _{IH} = 20 MHz | V _{DD} = 3.0 V, 5.0 V | | 1.05 | mA | |
| | | | 通常動作 | f _{IH} = 20 MHz | V _{DD} = 3.0 V, 5.0 V | | 2.19 | | 2.95 |
| | | | | f _{IH} = 5 MHz | V _{DD} = 3.0 V, 5.0 V | | 1.13 | | 1.56 |
| | IDD2 ^{注2} | HALTモード | | f _{IH} = 20 MHz | V _{DD} = 3.0 V, 5.0 V | | 390 | 980 | μA |
| | | | | f _{IH} = 5 MHz | V _{DD} = 3.0 V, 5.0 V | | 300 | 640 | |
| | | IDD3 ^{注3} | STOPモード ^{注4} | | V _{DD} = 3.0 V | | 0.61 ^{注5} | 2.35 | μA |
| 12 ビット・インターバル・タイム動作電流 | ITMKA ^{注6,7} | | | | | 0.31 | | μA | |
| ウォッチドッグ・タイム動作電流 | IWDT ^{注6,7} | | | | | 0.31 | | μA | |
| A/Dコンバータ動作電流 | IADC ^{注6} | 最速変換時 | | V _{DD} = 5.0 V | | 1.30 | 1.90 | mA | |
| | | | | V _{DD} = 3.0 V | | 0.50 | | | |

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。

またMAX.値には、周辺動作電流を含みます。ただし、A/Dコンバータ、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

2. フラッシュ・メモリでのHALT命令実行時。
3. ウォッチドッグ・タイム、A/Dコンバータは停止。また、MAX値にはリーク電流を含みます。
4. 温度条件を無くし、全温度条件での値とします。
5. V_{DD} = 3 V, T_A = 25°Cの値です。
6. V_{DD}に流れる電流です。
7. 低速オンチップ・オシレータ (f_{IL}) 動作電流は含みません。

備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数

2. TYP.値の温度条件は、T_A = 25°Cです。

23.4 AC特性

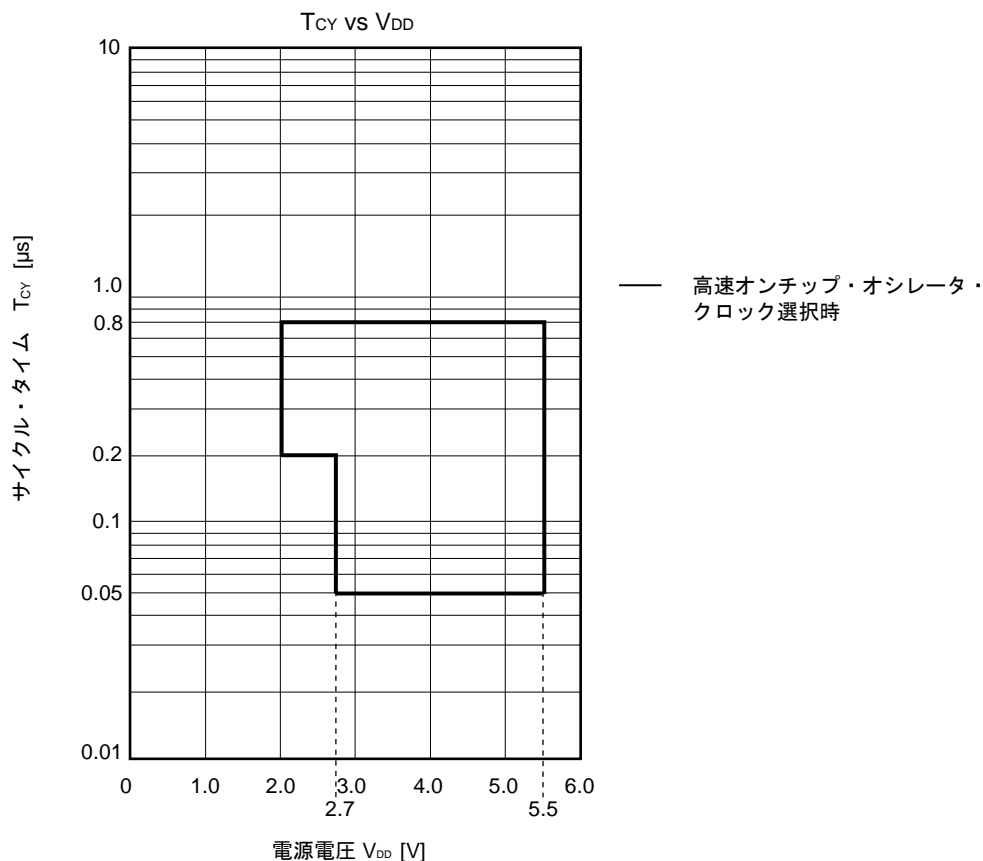
(TA = -40~+85°C, 2.0 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 | |
|--------------------------------|-------------|--------------------------|---------------------|------|------|-----|----|
| 命令サイクル (最小命令実行時間) | TCY | メイン・システム・クロック (fMAIN) 動作 | 2.7 V ≤ VDD ≤ 5.5 V | 0.05 | | 0.8 | μs |
| | | | 2.0 V ≤ VDD ≤ 5.5 V | 0.2 | | 0.8 | μs |
| TI00-TI03入力ハイ・レベル幅, ロウ・レベル幅 | tNH, tNL | ノイズ・フィルタ未使用時 | 1/fMCK + 10 | | | ns | |
| TO00-TO03出力周波数 | fRO | 4.0 V ≤ VDD ≤ 5.5 V | | | 10 | MHz | |
| | | 2.7 V ≤ VDD < 4.0 V | | | 5 | MHz | |
| | | 2.0 V ≤ VDD < 2.7 V | | | 2.5 | MHz | |
| PCLBUZ0出力周波数 | fPCL | 4.0 V ≤ VDD ≤ 5.5 V | | | 10 | MHz | |
| | | 2.7 V ≤ VDD < 4.0 V | | | 5 | MHz | |
| | | 2.0 V ≤ VDD < 2.7 V | | | 2.5 | MHz | |
| RESETロウ・レベル幅 | tRSL | | 10 | | | μs | |

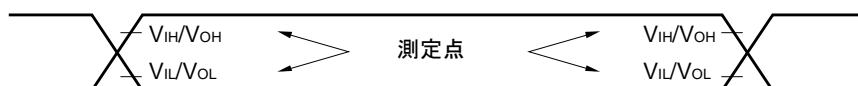
備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・クロック選択レジスタ0 (TPS0) とタイマ・モード・レジスタ0nH (TMR0nH) のCKS0n1ビットで設定する動作クロック。n : チャネル番号 (n = 0-3))

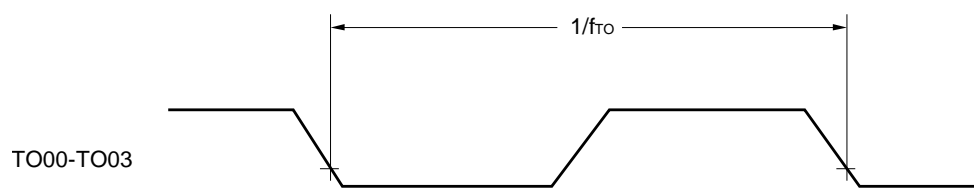
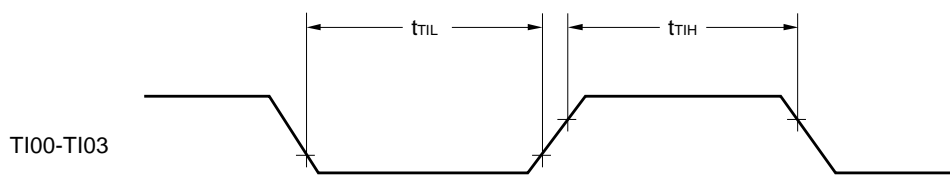
メイン・システム・クロック動作時の最小命令実行時間



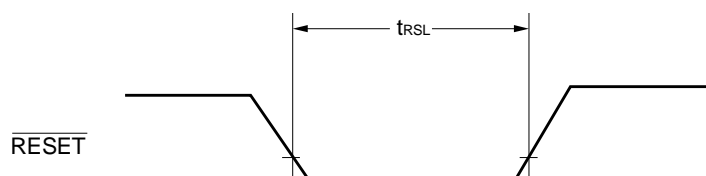
ACタイミング測定点



TI/TO タイミング

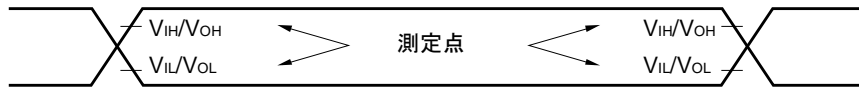


RESET 入力タイミング



23.5 シリアル・インタフェース特性

ACタイミング測定点



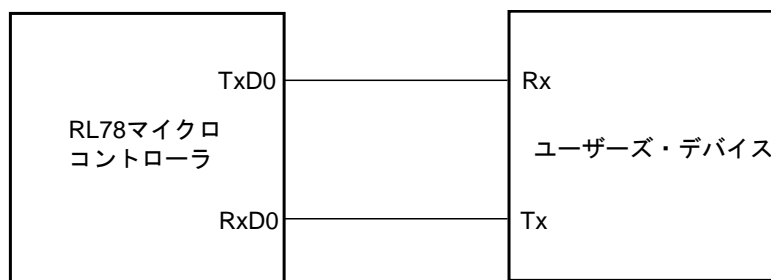
23.5.1 シリアル・アレイ・ユニット

(1) UARTモード (専用ポー・レート・ジェネレータ出力)

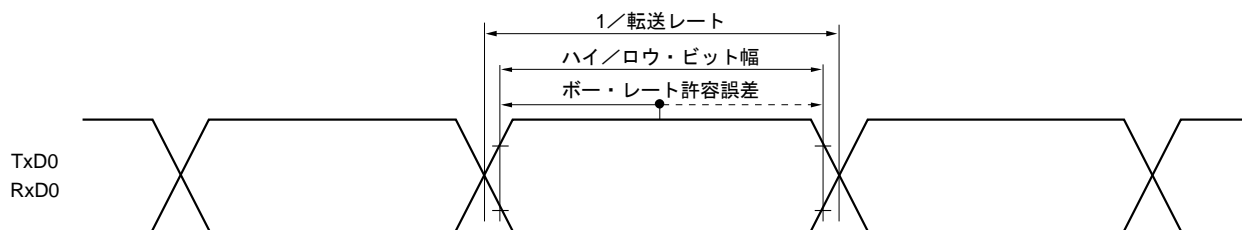
($T_A = -40 \sim +85^\circ\text{C}$, $2.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------|----|---|------|------|-------------|------|
| 転送レート | | | | | $f_{MCK}/6$ | bps |
| | | 最大転送レート理論値 $f_{CLK} = f_{MCK} = 20\text{ MHz}$ | | | 3.3 | Mbps |

UARTモード接続図



UARTモードのビット幅 (参考)



備考 f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタ0 (SPS0) とシリアル・モード・レジスタ0nH (SMR0nH) の CKS0nビットで設定する動作クロック。n: チャネル番号 (n = 0, 1))

(2) CSIモード (マスタ・モード, SCKp...内部クロック出力)

(TA = -40~+85°C, 2.0 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|----------------------------|-------|---------------------|---------------------|------|------|----|
| SCKpサイクル・タイム | tkCY1 | tkCY1 ≥ 4/fCLK | 2.7 V ≤ VDD ≤ 5.5 V | 200 | | ns |
| | | | 2.0 V ≤ VDD ≤ 5.5 V | 800 | | ns |
| SCKpハイ, ロウ・レベル幅 | tkH1, | 2.7 V ≤ VDD ≤ 5.5 V | tkCY1/2-18 | | | ns |
| | tkL1 | 2.0 V ≤ VDD ≤ 5.5 V | tkCY1/2-50 | | | ns |
| Slpセットアップ時間 (対SCKp↑) 注1 | tsIK1 | 2.7 V ≤ VDD ≤ 5.5 V | 47 | | | ns |
| | | 2.0 V ≤ VDD ≤ 5.5 V | 110 | | | ns |
| Slpホールド時間 (対SCKp↑) 注1 | tkSI1 | | 19 | | | ns |
| SCKp↓→SOp出力遅延時間注2 | tkSO1 | C = 30 pF注3 | | | 25 | ns |

注1. DAP0n = 0, CKP0n = 0またはDAP0n = 1, CKP0n = 1のとき。DAP0n = 0, CKP0n = 1またはDAP0n = 1, CKP0n = 0のときは"対SCKp↓"となります。

2. DAP0n = 0, CKP0n = 0またはDAP0n = 1, CKP0n = 1のとき。DAP0n = 0, CKP0n = 1またはDAP0n = 1, CKP0n = 0のときは"対SCKp↑"となります。

3. Clは, SCKp, SOp出力ラインの負荷容量です。

備考 p: CSI番号 (p = 00), n: チャネル番号 (n = 0)

(3) CSIモード (スレーブ・モード, SCKp...外部クロック入力)

(TA = -40~+85°C, 2.0 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|----------------------------|-------|---------------------|---------------------|--------|------------|----|
| SCKpサイクル・タイム | tkCY2 | 2.7 V ≤ VDD ≤ 5.5 V | fMCK > 16 MHz | 8/fMCK | | ns |
| | | | fMCK ≤ 16 MHz | 6/fMCK | | ns |
| | | 2.0 V ≤ VDD ≤ 5.5 V | 6/fMCK | | ns | |
| SCKpハイ, ロウ・レベル幅 | tkH2, | 2.0 V ≤ VDD ≤ 5.5 V | tkCY2/2 | | | ns |
| | tkL2 | | | | | |
| Slpセットアップ時間 (対SCKp↑) 注1 | tsIK2 | 2.7 V ≤ VDD ≤ 5.5 V | 1/fMCK+20 | | | ns |
| | | 2.0 V ≤ VDD ≤ 5.5 V | 1/fMCK+30 | | | ns |
| Slpホールド時間 (対SCKp↑) 注1 | tkSI2 | 2.0 V ≤ VDD ≤ 5.5 V | 1/fMCK+31 | | | ns |
| SCKp↓→SOp出力遅延時間注2 | tkSO2 | C = 30 pF注3 | 2.7 V ≤ VDD ≤ 5.5 V | | 2/fMCK+50 | ns |
| | | | 2.0 V ≤ VDD ≤ 5.5 V | | 2/fMCK+110 | ns |

注1. DAP0n = 0, CKP0n = 0またはDAP0n = 1, CKP0n = 1のとき。DAP0n = 0, CKP0n = 1またはDAP0n = 1, CKP0n = 0のときは"対SCKp↓"となります。

2. DAP0n = 0, CKP0n = 0またはDAP0n = 1, CKP0n = 1のとき。DAP0n = 0, CKP0n = 1またはDAP0n = 1, CKP0n = 0のときは"対SCKp↑"となります。

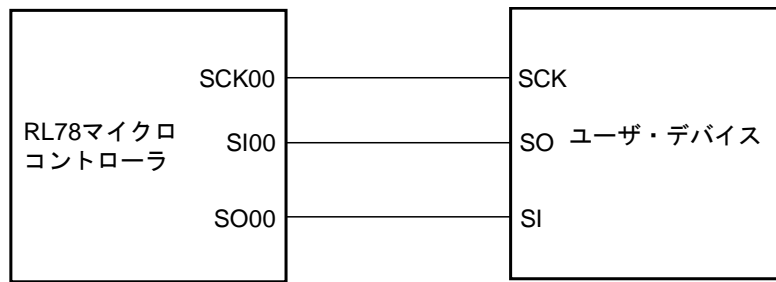
3. Clは, SOp出力ラインの負荷容量です。

備考1. p: CSI番号 (p = 00) n: チャネル番号 (n = 0)

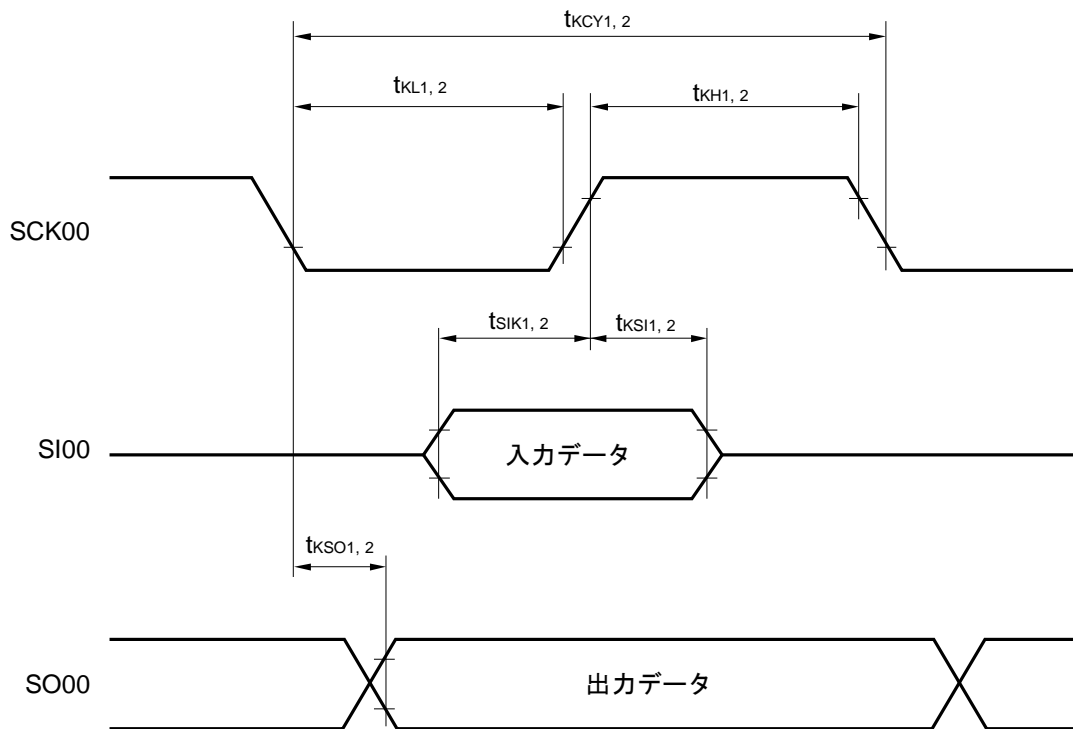
2. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタ0 (SPS0) とシリアル・モード・レジスタ0nH (SMR0nH) のCKS0nビットで設定する動作クロック。n: チャネル番号 (n = 0))

CSIモード接続図



CSIモード・シリアル転送タイミング
(DAP00 = 0, CKP00 = 0またはDAP00 = 1, CKP00 = 1のとき)



23.6 アナログ特性

23.6.1 A/Dコンバータ特性

変換対象ANI0-ANI7 ($T_A = -40 \sim +85^\circ\text{C}$, $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 |
|---------------------------------|------------------|-----------------------------|--|------|-----------|-----------------|---------------|
| 分解能 | RES | | | 8 | | 10 | bit |
| 総合誤差 ^{注1, 2, 3} | AINL | 10ビット分解能 | $V_{DD} = 5 \text{ V}$ | | ± 1.7 | ± 3.1 | LSB |
| | | | $V_{DD} = 3 \text{ V}$ | | ± 2.3 | ± 4.5 | LSB |
| 変換時間 | t_{CONV} | 10ビット分解能 変換対象: ANI0-ANI7 | $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ | 3.4 | | 18.4 | μs |
| | | | $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ^{注5} | 4.6 | | 18.4 | |
| ゼロスケール誤差 ^{注1, 2, 3, 4} | E _{ZS} | 10ビット分解能 | $V_{DD} = 5 \text{ V}$ | | | ± 0.19 | %FSR |
| | | | $V_{DD} = 3 \text{ V}$ | | | ± 0.39 | %FSR |
| フルスケール誤差 ^{注1, 2, 3, 4} | E _{FS} | 10ビット分解能 | $V_{DD} = 5 \text{ V}$ | | | ± 0.29 | %FSR |
| | | | $V_{DD} = 3 \text{ V}$ | | | ± 0.42 | %FSR |
| 積分直線性誤差 ^{注1, 2, 3} | ILE | 10ビット分解能 | $V_{DD} = 5 \text{ V}$ | | | ± 1.8 | LSB |
| | | | $V_{DD} = 3 \text{ V}$ | | | ± 1.7 | LSB |
| 微分直線性誤差 ^{注1, 2, 3} | DLE | 10ビット分解能 | $V_{DD} = 5 \text{ V}$ | | | ± 1.4 | LSB |
| | | | $V_{DD} = 3 \text{ V}$ | | | ± 1.5 | LSB |
| アナログ入力電圧 | V _{AIN} | 変換対象: ANI0-ANI7 | | 0 | | V _{DD} | V |

注 1. TYP.値は、 $T_A = 25^\circ\text{C}$ の平均値です。MAX.値は、正規分布における平均値 $\pm 3\sigma$ の値です。

- この値は特性評価結果による値であり、出荷検査は行っていません。
- 量子化誤差 ($\pm 1/2 \text{ LSB}$) を含みません。
- フルスケール値に対する比率 (%FSR) で表します。
- $2.4 \text{ V} \leq V_{DD} < 2.7 \text{ V}$ の動作電圧範囲で変換動作を行う場合は、A/Dコンバータ・モード・レジスタ0 (ADM0)のLV0ビットを必ず0に設定してください。

注意1. 電源/グランド・ラインにノイズが載らないよう配線を引き回し、コンデンサを挿入する等の対策をしてください。

- A/D変換中は、変換端子の隣接端子に対して、デジタル信号のように急激に変化するパルスが入出力されないようにしてください。
- A/D変換中は、P00-P05のP-chオープン・ドレインは、オフ状態 (ハイ・インピーダンス状態) にしてください (RL78/G1N)。

23. 6. 2 SPOR回路特性

(TA = -40~+85°C, VSS = 0 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---------------------|--------------------|----------|------|------|------|----|
| 検出電圧 電源電圧 レベル | V _{SPOR0} | 電源立ち上がり時 | 4.08 | 4.28 | 4.45 | V |
| | | 電源立ち下がり時 | 4.00 | 4.20 | 4.37 | V |
| | V _{SPOR1} | 電源立ち上がり時 | 2.76 | 2.90 | 3.02 | V |
| | | 電源立ち下がり時 | 2.70 | 2.84 | 2.96 | V |
| | V _{SPOR2} | 電源立ち上がり時 | 2.44 | 2.57 | 2.68 | V |
| | | 電源立ち下がり時 | 2.40 | 2.52 | 2.62 | V |
| | V _{SPOR3} | 電源立ち上がり時 | 2.05 | 2.16 | 2.25 | V |
| | | 電源立ち下がり時 | 2.00 | 2.11 | 2.20 | V |
| 最小パルス幅 ^注 | T _{SPW} | | 300 | | | μs |

注 V_{DD}がV_{SPOR}を下回った場合に、SPORによるリセット動作に必要な時間です。

注意 検出電圧 (V_{SPOR}) は、動作電圧範囲内になるように設定してください。動作電圧範囲は、ユーザ・オプション・バイト (000C2H) の設定で決まります。動作電圧範囲は以下のとおりです。

CPU動作周波数 1.25 MHz~20 MHz : V_{DD} = 2.7~5.5 V

CPU動作周波数 1.25 MHz~5 MHz : V_{DD} = 2.0~5.5 V

23. 6. 3 電源電圧立ち上がり傾き特性

(TA = -40~+85°C, VSS = 0 V)

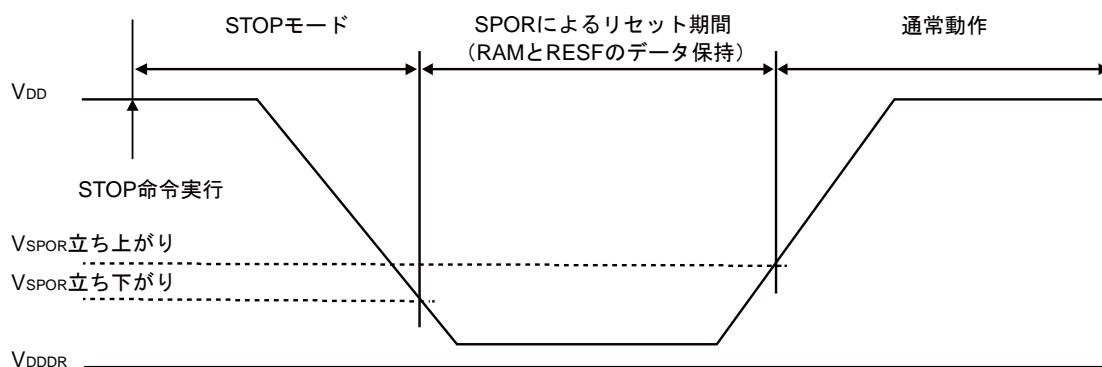
| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------------|------------------|----|------|------|------|------|
| 電源電圧立ち上がり傾き | S _{VDD} | | | | 54 | V/ms |

23. 6. 4 RAMデータ保持特性

(TA = -40~+85°C, VSS = 0 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-----------|-------------------|----|------|------|------|----|
| データ保持電源電圧 | V _{DDDR} | | 1.9 | | 5.5 | V |

注意 電源電圧がデータ保持電源電圧 (V_{DDDR}) のMIN.値を下回るまではRAMのデータを保持します。電源電圧がデータ保持電源電圧 (V_{DDDR}) のMIN.値を下回っても、RESFレジスタのデータがクリアされないことがあります。



23.7 フラッシュ・メモリ・プログラミング特性

($T_A = 0 \sim +40^\circ\text{C}$, $4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--------------------------------------|-------------------|--|------|------|------|----|
| コード・フラッシュの書き換え回数 ^{注1, 2, 3} | C _{erwr} | 保持年数($T_A = 85^\circ\text{C}$) : 20年 | 1000 | | | 回 |

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とします。保持年数は、一度書き換えた後、次に書き換えを行うまでの期間とします。

2. フラッシュ・メモリ・プログラマ使用時

3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

23.8 専用フラッシュ・メモリ・プログラマ通信 (UART)

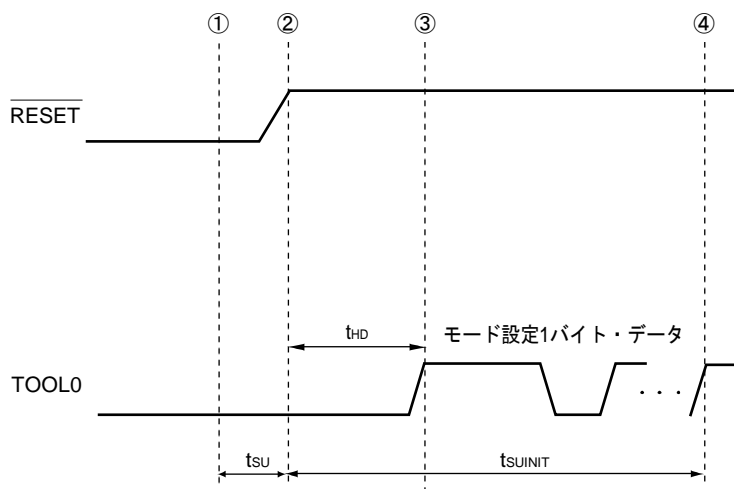
($T_A = 0 \sim +40^\circ\text{C}$, $4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------|----|----|------|---------|------|-----|
| 転送レート | | | | 115,200 | | bps |

備考 フラッシュ・メモリ・プログラミング時の転送レートは115,200bps固定です。

23.9 フラッシュ・メモリ・プログラミング・モード引き込みタイミング

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--------------------------------------|-------------|------------------------|------|------|------|---------|
| 外部リセット解除から初期設定通信を完了する時間 | t_{SUNIT} | 外部リセット解除前に SPORリセットは解除 | | | 100 | ms |
| TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間 | t_{SU} | 外部リセット解除前に SPORリセットは解除 | 10 | | | μ s |
| 外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間 | t_{HD} | 外部リセット解除前に SPORリセットは解除 | 1 | | | ms |



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除（その前にSPORリセットが解除されていること）
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるモード引き込み設定

備考 t_{SUNIT} : この区間では、リセット解除から100 ms ($T_A = -40 \sim +85^\circ\text{C}$ では68 ms) 以内に初期設定通信を完了してください。

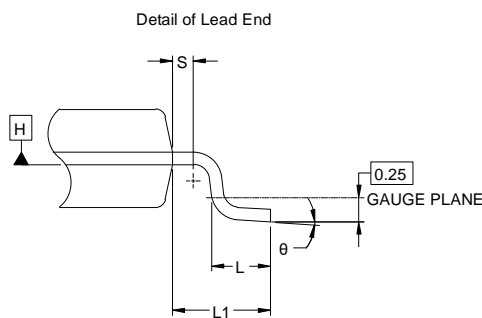
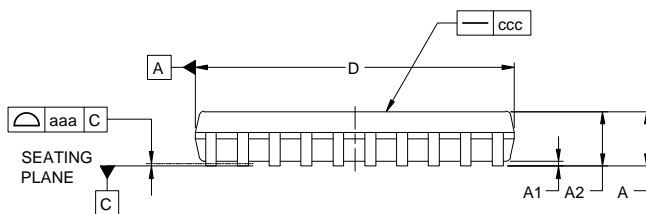
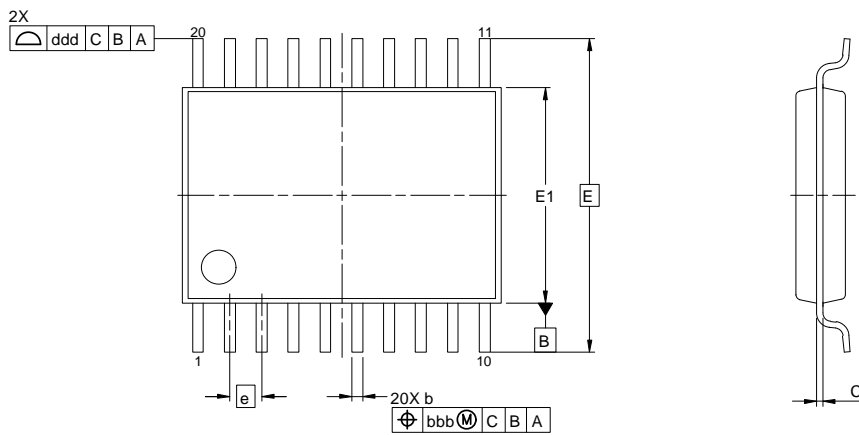
t_{SU} : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD} : 外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間

第24章 外形図

24.1 20ピン製品

| | | |
|--------------------------|--------------|---------------|
| JEITA Package code | RENESAS code | MASS(TYP.)[g] |
| P-TSSOP20-4.40x6.50-0.65 | PTSP0020JI-A | 0.08 |



| Reference Symbol | Dimension in Millimeters | | |
|------------------|--------------------------|-------|------|
| | Min. | Nom. | Max. |
| A | - | - | 1.20 |
| A1 | 0.05 | - | 0.15 |
| A2 | 0.80 | 1.00 | 1.05 |
| b | 0.19 | - | 0.30 |
| C | 0.09 | 0.127 | 0.20 |
| D | 6.40 | 6.50 | 6.60 |
| E1 | 4.30 | 4.40 | 4.50 |
| E | 6.40 BSC | | |
| e | 0.65 BSC | | |
| L1 | 1.00 REF | | |
| L | 0.50 | 0.60 | 0.75 |
| S | 0.20 | - | - |
| θ | 0° | - | 8° |
| aaa | 0.10 | | |
| bbb | 0.10 | | |
| ccc | 0.05 | | |
| ddd | 0.20 | | |

NOTES:
 1. DIMENSION 'D' AND 'E1' DOES NOT INCLUDE MOLD FLASH.
 2. DIMENSION 'b' DOES NOT INCLUDE TRIM OFFSET.
 3. DIMENSION 'D' AND 'E1' TO BE DETERMINED AT DATUM PLANE \square .

付録A 改版履歴

A.1 本版で改訂された主な箇所

| 版 数 | 内 容 | 適用箇所 |
|----------|------|------|
| Rev.1.00 | 初版発行 | 全般 |

RL78/G1M, G1N ユーザーズマニュアル
ハードウェア編

発行年月日 2020 年 05 月 29 日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<https://www.renesas.com/contact/>

RL78/G1M, G1N