

RX210 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32ビットマイクロコンピュータ

RXファミリ／RX200シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

製品間の仕様の相違点

RX210 グループ製品には、チップバージョンやパッケージ、メモリ容量の違いにより、以下のような仕様の相違点があります。

表1 チップバージョンによる仕様の相違点

章		仕様差分		
		チップバージョンA	チップバージョンC	チップバージョンB
9. クロック発生回路	9.2.2 システムクロックコントロールレジスタ3 (SCKCR3)	クロックソースとして、メインクロック発振器を選択できません。	クロックソースとして、メインクロック発振器を選択できます。	← (左に同じ)
	9.2.17 PLL 電源コントロールレジスタ (PLLPCR)	PLLPCRレジスタはありません。そのため、PLLの電源を切り低消費電力にする機能はありません。	← (左に同じ)	PLLPCRレジスタを追加しました。PLLを使用しない場合、PLLの電源を切り低消費電力にする機能があります。
10. クロック周波数精度測定回路(CAC)	10.2.2 CACコントロールレジスタ1 (CACR1)	周波数測定クロックとして、メインクロック発振器出力クロックを選択できません。	周波数測定クロックとして、メインクロック発振器出力クロックを選択できます。	← (左に同じ)
	10.2.3 CACコントロールレジスタ2 (CACR2)	基準信号生成クロックとして、メインクロック発振器出力クロックを選択できません。	基準信号生成クロックとして、メインクロック発振器出力クロックを選択できます。	← (左に同じ)
11. 消費電力低減機能	11.2.5 動作電力コントロールレジスタ (OPCCR)	中速動作モード2A、2Bはありません。	← (左に同じ)	動作中の消費電流を改善するために、中速動作モード2A、2Bを追加しました。
	11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)	スリープモード復帰クロックソースとして、メインクロック発振器を選択できません。	スリープモード復帰クロックソースとして、メインクロック発振器を選択できます。	← (左に同じ)
	11.2.18 フラッシュHOCOソフトウェアスタンバイコントロールレジスタ (FHSSBYCR)	ソフトウェアスタンバイモードのフラッシュメモリの電源供給制御が必要です。	← (左に同じ)	ソフトウェアスタンバイモードのフラッシュメモリの電源供給制御が不要です。
19. I/Oポート	表 19.2 I/Oポートの機能	ポートP17は、5Vトレラントに対応していません。	ポートP17は、5Vトレラントに対応しています。	← (左に同じ)
42. 電気的特性	42.2 DC特性	消費電流特性の改善なし。	消費電流特性の改善あり。	← (左に同じ)
	42.10 ROM (コード格納用フラッシュメモリ) 特性	Flash特性 P/E:1,000回 データ保持:1,000回/10年	Flash特性 P/E:10,000回 データ保持:1,000回/30年、 10,000回/1年	← (左に同じ)

表2 パッケージによる仕様の相違点

章		仕様差分	
		48ピンパッケージの製品	48ピンパッケージ以外の製品
9. クロック発生回路	9.8.5 サブクロックに関する注意事項	サブクロック発振器の端子はありませんが、コールドスタート時は、サブクロック制御回路の初期化が必要です。	サブクロックの使用の有無に関わらず、コールドスタート時は、サブクロック制御回路を初期化して下さい。

表3 パッケージ、メモリ容量による仕様の相違点

章		仕様差分		
		768K/1Mバイトフラッシュメモリで100ピン版	144/145ピン版	左記以外
19. I/Oポート	19.3.1 ポート方向レジスタ (PDR)	145ピン、144ピンに対して存在しないポートmの端子のビットは予約ビットです。“1” (出力) を書いてください。	—	100ピンに対して存在しないポートmの端子のビットは予約ビットです。“1” (出力) を書いて下さい。
26. リアルタイムクロック (RTCb)	26.3.2 クロック設定手順	RTCソフトウェアリセット実施前にRCR2レジスタのb7を"0"に設定して下さい。		左の設定をしなくても動作に影響はありません。
31. シリアルペリフェラルインタフェース (RSPI)	31.2.8 RSPIビットレートレジスタ (SPBR)	16.0Mbpsの設定ができます。		16.0Mbpsの設定は禁止です。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX210グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス ホームページに掲載されています。

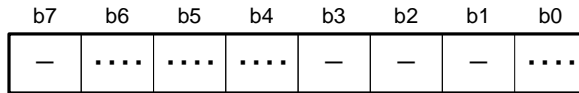
ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	—	R01DS0041JJ
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	RX210グループ ユーザーズマニュアル ハードウェア編	本ユーザーズ マニュアル
ユーザーズマニュアル ソフトウェア編	CPU・命令セットの説明	RXファミリ ユーザーズマニュアル ソフトウェア編	R01US0032JJ
アプリケーションノート	応用例参考プログラムなど	—	—
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報	—	—

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.X ……レジスタ

アドレス xxxx xxxxh



リセット後の値 x 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W (注1)
b0	…0	…ビット (注2)	0 : …… (注3) 1 : 設定しないでください	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	…4	…ビット	0 : …… 1 : ……	R
b6-b5	…[1:0]	…ビット	00 : …… (注3) 01 : …… 上記以外は設定しないでください	R/(W) (注)
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

注1. R/W : 読み出し／書き込みともに有効です。

R/(W) : 読み出し／書き込みともに有効ですが、書き込みには制限があります。

制限の内容については、各レジスタの説明や注記を参照ください。

R : 読み出しのみ有効です。書き込みは無効になります。

注2. 予約ビットです。書き込みを行う場合には、指定された値を書きこんでください。指定外の値を書きこんだ場合の動作は保証されません。

注3. 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

特長	41
1. 概要	42
1.1 仕様概要	42
1.2 製品一覧	48
1.3 ブロック図	53
1.4 端子機能	54
1.5 ピン配置図	58
2. CPU	90
2.1 特長	90
2.2 CPU レジスタセット	91
2.2.1 汎用レジスタ (R0 ~ R15)	92
2.2.2 制御レジスタ	92
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)	93
2.2.2.2 割り込みテーブルレジスタ (INTB)	93
2.2.2.3 プログラムカウンタ (PC)	93
2.2.2.4 プロセッサステータスワード (PSW)	94
2.2.2.5 バックアップ PC (BPC)	95
2.2.2.6 バックアップ PSW (BPSW)	96
2.2.2.7 高速割り込みベクタレジスタ (FINTV)	96
2.2.3 DSP 機能命令関連レジスタ	96
2.2.3.1 アキュムレータ (ACC)	96
2.3 プロセッサモード	97
2.3.1 スーパーバイザモード	97
2.3.2 ユーザモード	97
2.3.3 特権命令	97
2.3.4 プロセッサモード間の移行	97
2.4 データタイプ	98
2.5 エンディアン	98
2.5.1 エンディアンの設定	98
2.5.2 I/O レジスタアクセス	101
2.5.3 I/O レジスタアクセスの注意事項	101
2.5.4 データ配置	102
2.5.4.1 レジスタのデータ配置	102
2.5.4.2 メモリ上のデータ配置	102
2.5.5 命令コード配置の注意事項	102
2.6 ベクタテーブル	103
2.6.1 固定ベクタテーブル	103
2.6.2 可変ベクタテーブル	104
2.7 命令動作	105
2.7.1 RMPA 命令、ストリング操作命令のデータプリフェッチ	105

2.8	パイプライン	106
2.8.1	概要	106
2.8.2	命令とパイプライン処理	108
2.8.2.1	単一のマイクロオペレーションに変換される命令とパイプライン処理	108
2.8.2.2	複数のマイクロオペレーションに変換される命令とパイプライン処理	110
2.8.2.3	パイプラインの基本動作	113
2.8.3	命令処理時間の計算方法	115
2.8.4	割り込み応答サイクル数	116
3.	動作モード	117
3.1	動作モードの種類と選択	117
3.2	レジスタの説明	118
3.2.1	モードモニタレジスタ (MDMONR)	118
3.2.2	モードステータスレジスタ (MDSR)	118
3.2.3	システムコントロールレジスタ 0 (SYSCR0)	119
3.2.4	システムコントロールレジスタ 1 (SYSCR1)	120
3.3	動作モードの説明	121
3.3.1	シングルチップモード	121
3.3.2	内蔵 ROM 有効拡張モード	121
3.3.3	内蔵 ROM 無効拡張モード	121
3.3.4	ブートモード	121
3.3.5	ユーザブートモード	121
3.4	動作モード遷移	122
3.4.1	モード設定端子による動作モード遷移	122
3.4.2	レジスタ設定による動作モード遷移	123
4.	アドレス空間	124
4.1	アドレス空間	124
4.2	外部アドレス空間	126
5.	I/O レジスタ	127
5.1	I/O レジスタアドレス一覧 (アドレス順)	129
6.	リセット	156
6.1	概要	156
6.2	レジスタの説明	158
6.2.1	リセットステータスレジスタ 0 (RSTSR0)	158
6.2.2	リセットステータスレジスタ 1 (RSTSR1)	160
6.2.3	リセットステータスレジスタ 2 (RSTSR2)	161
6.2.4	ソフトウェアリセットレジスタ (SWRR)	162
6.3	動作説明	162
6.3.1	RES# 端子リセット	162
6.3.2	パワーオンリセット、電圧監視 0 リセット	162
6.3.3	電圧監視 1 リセット、電圧監視 2 リセット	163

6.3.4	ディープソフトウェアスタンバイリセット	165
6.3.5	独立ウォッチドッグタイマリセット	165
6.3.6	ウォッチドッグタイマリセット	165
6.3.7	ソフトウェアリセット	165
6.3.8	コールドスタート/ウォームスタート判定機能	166
6.3.9	リセット発生要因の判定	167
7.	オプション設定メモリ	168
7.1	概要	168
7.2	レジスタの説明	169
7.2.1	オプション機能選択レジスタ 0 (OFS0)	169
7.2.2	オプション機能選択レジスタ 1 (OFS1)	173
7.2.3	エンディアン選択レジスタ B (MDEB)、 エンディアン選択レジスタ S (MDES)	174
7.3	UB コード	175
7.3.1	UB コード A	175
7.3.2	UB コード B	175
7.4	使用上の注意事項	175
7.4.1	オプション設定メモリの設定例	175
8.	電圧検出回路 (LVDAa)	176
8.1	概要	176
8.2	レジスタの説明	179
8.2.1	電圧監視 1 回路 / コンパレータ A1 制御レジスタ 1 (LVD1CR1)	179
8.2.2	電圧監視 1 回路 / コンパレータ A1 ステータスレジスタ (LVD1SR)	180
8.2.3	電圧監視 2 回路 / コンパレータ A2 制御レジスタ 1 (LVD2CR1)	181
8.2.4	電圧監視 2 回路 / コンパレータ A2 ステータスレジスタ (LVD2SR)	182
8.2.5	電圧監視回路 / コンパレータ A 制御レジスタ (LVCMPCR)	183
8.2.6	電圧検出レベル選択レジスタ (LVDLVLR)	184
8.2.7	電圧監視 1 回路 / コンパレータ A1 制御レジスタ 0 (LVD1CR0)	185
8.2.8	電圧監視 2 回路 / コンパレータ A2 制御レジスタ 0 (LVD2CR0)	187
8.3	VCC 入力電圧のモニタ	189
8.3.1	Vdet0 のモニタ	189
8.3.2	Vdet1 のモニタ	189
8.3.3	Vdet2 のモニタ	189
8.4	電圧監視 0 リセット	190
8.5	電圧監視 1 割り込み、電圧監視 1 リセット	191
8.6	電圧監視 2 割り込み、電圧監視 2 リセット	194
8.7	イベントリンク出力機能	197
8.7.1	割り込み処理とイベントリンクの関係	197
9.	クロック発生回路	198
9.1	概要	198

9.2	レジスタの説明	200
9.2.1	システムクロックコントロールレジスタ (SCKCR)	200
9.2.2	システムクロックコントロールレジスタ 3 (SCKCR3)	203
9.2.3	電圧レギュレータ制御レジスタ (VRCR)	204
9.2.4	PLL コントロールレジスタ (PLLCR)	205
9.2.5	PLL コントロールレジスタ 2 (PLLCR2)	206
9.2.6	外部バスクロックコントロールレジスタ (BCKCR)	207
9.2.7	メインクロック発振器コントロールレジスタ (MOSCCR)	208
9.2.8	サブクロック発振器コントロールレジスタ (SOSCCR)	209
9.2.9	低速オンチップオシレータコントロールレジスタ (LOCOCR)	210
9.2.10	IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)	211
9.2.11	高速オンチップオシレータコントロールレジスタ (HOCOCR)	212
9.2.12	高速オンチップオシレータコントロールレジスタ 2 (HOCOCR2)	213
9.2.13	発振停止検出コントロールレジスタ (OSTDCR)	214
9.2.14	発振停止検出ステータスレジスタ (OSTDSR)	215
9.2.15	メインクロック発振器強制発振コントロールレジスタ (MOFCR)	216
9.2.16	高速オンチップオシレータ電源コントロールレジスタ (HOCOPCR)	217
9.2.17	PLL 電源コントロールレジスタ (PLLPCR)	218
9.3	メインクロック発振器	219
9.3.1	発振子を接続する方法	219
9.3.2	外部クロックを入力する方法	220
9.3.3	外部クロック入力に関する注意事項	220
9.4	サブクロック発振器	221
9.4.1	32.768kHz 水晶振動子を接続する方法	221
9.4.2	サブクロックを使用しない場合の端子処理	222
9.5	発振停止検出機能	223
9.5.1	発振停止検出と検出後の動作	223
9.5.2	発振停止検出割り込み	224
9.6	PLL 回路	225
9.7	内部クロック	225
9.7.1	システムクロック	225
9.7.2	周辺モジュールクロック	225
9.7.3	FlashIF クロック	225
9.7.4	外部バスクロック	226
9.7.5	CAC クロック	226
9.7.6	RTC 専用クロック	226
9.7.7	IWDT 専用クロック	226
9.8	使用上の注意事項	227
9.8.1	クロック発生回路に関する注意事項	227
9.8.2	発振子に関する注意事項	227

9.8.3	ボード設計上の注意	227
9.8.4	発振子接続端子に関する注意事項	228
9.8.5	サブクロックに関する注意事項	228
10.	クロック周波数精度測定回路 (CAC)	230
10.1	概要	230
10.2	レジスタの説明	231
10.2.1	CAC コントロールレジスタ 0 (CACR0)	231
10.2.2	CAC コントロールレジスタ 1 (CACR1)	232
10.2.3	CAC コントロールレジスタ 2 (CACR2)	233
10.2.4	CAC 割り込みコントロールレジスタ (CAICR)	234
10.2.5	CAC ステータスレジスタ (CASTR)	235
10.2.6	CAC 上限値設定レジスタ (CAULVR)	236
10.2.7	CAC 下限値設定レジスタ (CALLVR)	236
10.2.8	CAC カウンタバッファレジスタ (CACNTBR)	236
10.3	動作説明	237
10.3.1	CACREF 端子入力を基準にクロック周波数を測定	237
10.3.2	他のクロックソースを基準にクロック周波数を測定	239
10.3.3	CACREF 端子のデジタルフィルタ機能	240
10.4	割り込み要求	241
10.5	使用上の注意事項	241
10.5.1	モジュールストップ機能の設定	241
11.	消費電力低減機能	242
11.1	概要	242
11.2	レジスタの説明	246
11.2.1	スタンバイコントロールレジスタ (SBYCR)	246
11.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	247
11.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	249
11.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	251
11.2.5	動作電力コントロールレジスタ (OPCCR)	252
11.2.6	スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)	261
11.2.7	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)	263
11.2.8	サブクロック発振器ウェイトコントロールレジスタ (SOSCWTCR)	264
11.2.9	PLL ウェイトコントロールレジスタ (PLLWTCR)	265
11.2.10	HOCO ウェイトコントロールレジスタ 2 (HOCOWTCR2)	266
11.2.11	ディープスタンバイコントロールレジスタ (DPSBYCR)	267
11.2.12	ディープスタンバイインタラプトイネーブルレジスタ 0 (DPSIER0)	269
11.2.13	ディープスタンバイインタラプトイネーブルレジスタ 2 (DPSIER2)	270
11.2.14	ディープスタンバイインタラプトフラグレジスタ 0 (DPSIFR0)	271
11.2.15	ディープスタンバイインタラプトフラグレジスタ 2 (DPSIFR2)	272
11.2.16	ディープスタンバイインタラプトエッジレジスタ 0 (DPSIEGR0)	274

11.2.17	ディープスタンバイインタラプトエッジレジスタ 2 (DPSIEGR2)	275
11.2.18	フラッシュ HOCO ソフトウェアスタンバイコントロールレジスタ (FHSSBYCR) ...	276
11.2.19	ディープスタンバイバックアップレジスタ (DPSBKRY) (y=0 ~ 31)	277
11.3	クロックの切り替えによる消費電力の低減	277
11.4	モジュールストップ機能	277
11.5	動作電力低減機能	278
11.5.1	動作電力制御モードの設定方法	278
11.6	低消費電力状態	279
11.6.1	スリープモード	279
11.6.1.1	スリープモードへの移行	279
11.6.1.2	スリープモードの解除	280
11.6.1.3	スリープモード復帰クロックソース切り替え機能	280
11.6.2	全モジュールクロックストップモード	281
11.6.2.1	全モジュールクロックストップモードへの移行	281
11.6.2.2	全モジュールクロックストップモードの解除	282
11.6.3	ソフトウェアスタンバイモード	283
11.6.3.1	ソフトウェアスタンバイモードへの移行	283
11.6.3.2	ソフトウェアスタンバイモードの解除	285
11.6.3.3	ソフトウェアスタンバイモードの応用例	286
11.6.4	ディープソフトウェアスタンバイモード	287
11.6.4.1	ディープソフトウェアスタンバイモードへの移行	287
11.6.4.2	ディープソフトウェアスタンバイモードの解除	288
11.6.4.3	ディープソフトウェアスタンバイモード解除時の端子状態	289
11.6.4.4	ディープソフトウェアスタンバイモードの応用例	290
11.6.4.5	ディープソフトウェアスタンバイモードのフローチャート	291
11.7	使用上の注意事項	292
11.7.1	I/O ポートの状態	292
11.7.2	DMAC、DTC のモジュールストップ	292
11.7.3	内蔵周辺モジュールの割り込み	292
11.7.4	MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み	292
11.7.5	DIRQnE ビット (n=0 ~ 7) による入力バッファ制御	292
11.7.6	WAIT 命令の実行タイミング	292
11.7.7	スリープモード中の DMAC、DTC によるレジスタの書き換えについて	292
11.7.8	全モジュールクロックストップモードの解除	292
11.7.9	サブクロックをシステムクロックのクロックソースに使用する場合の注意事項	293
12.	レジスタライトプロテクション機能	294
12.1	レジスタの説明	295
12.1.1	プロテクトレジスタ (PRCR)	295
13.	例外処理	296
13.1	例外事象	296

13.1.1	未定義命令例外	297
13.1.2	特権命令例外	297
13.1.3	リセット	297
13.1.4	ノンマスクابل割り込み	297
13.1.5	割り込み	297
13.1.6	無条件トラップ	297
13.2	例外の処理手順	298
13.3	例外事象の受け付け	300
13.3.1	受け付けタイミングと退避される PC 値	300
13.3.2	ベクタと PC、PSW の退避場所	300
13.4	例外の受け付け／復帰時のハードウェア処理	301
13.5	ハードウェア前処理	302
13.5.1	未定義命令例外	302
13.5.2	特権命令例外	302
13.5.3	リセット	302
13.5.4	ノンマスクابل割り込み	303
13.5.5	割り込み	303
13.5.6	無条件トラップ	303
13.6	例外処理ルーチンからの復帰	304
13.7	例外事象の優先順位	304
14.	割り込みコントローラ (ICUb)	305
14.1	概要	305
14.2	レジスタの説明	307
14.2.1	割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)	307
14.2.2	割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)	308
14.2.3	割り込み要因プライオリティレジスタ n (IPRn) (n = 000 ~ 250)	309
14.2.4	高速割り込み設定レジスタ (FIR)	310
14.2.5	ソフトウェア割り込み起動レジスタ (SWINTR)	311
14.2.6	DTC 起動許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)	312
14.2.7	DMAC 起動要求選択レジスタ m (DMRSRm) (m = DMAC チャンネル番号)	313
14.2.8	IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)	314
14.2.9	IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)	315
14.2.10	IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)	316
14.2.11	ノンマスクابل割り込みステータスレジスタ (NMISR)	317
14.2.12	ノンマスクابل割り込み許可レジスタ (NMIER)	319
14.2.13	ノンマスクابل割り込みステータスクリアレジスタ (NMICLR)	321
14.2.14	NMI 端子割り込みコントロールレジスタ (NMICR)	322
14.2.15	NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)	322
14.2.16	NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)	323
14.3	ベクタテーブル	324

14.3.1	割り込みのベクタテーブル	324
14.3.2	高速割り込みのベクタテーブル	330
14.3.3	ノンマスカブル割り込みのベクタテーブル	330
14.4	割り込みの動作説明	331
14.4.1	割り込み検出	331
14.4.1.1	エッジ検出の割り込みステータスフラグ	331
14.4.1.2	レベル検出の割り込みステータスフラグ	333
14.4.2	割り込み要求の許可 / 禁止	334
14.4.3	割り込み要求先の選択	334
14.4.4	優先順位の判定	336
14.4.5	多重割り込み	336
14.4.6	高速割り込み	336
14.4.7	デジタルフィルタ	337
14.4.8	外部端子割り込み	337
14.5	ノンマスカブル割り込みの動作説明	338
14.6	低消費電力状態からの復帰	339
14.6.1	スリープモードからの復帰	339
14.6.2	全モジュールクロックストップモードからの復帰	339
14.6.3	ソフトウェアスタンバイモードからの復帰	339
14.7	使用上の注意事項	340
14.7.1	ノンマスカブル割り込み使用時の WAIT 命令の注意事項	340
15.	バス	341
15.1	概要	341
15.2	バスの説明	344
15.2.1	CPU バス	344
15.2.2	メモリバス	344
15.2.3	内部メインバス	344
15.2.4	内部周辺バス	346
15.2.5	ライトバッファ機能 (内部周辺バス)	347
15.2.6	外部バス	348
15.2.7	並列動作	351
15.2.8	バスの設定	351
15.2.9	制約事項	351
15.3	レジスタの説明	353
15.3.1	CSn 制御レジスタ (CSnCR) (n = 0 ~ 3)	353
15.3.2	CSn リカバリサイクル設定レジスタ (CSnREC) (n = 0 ~ 3)	355
15.3.3	CS リカバリサイクル挿入許可レジスタ (CSRECEN)	357
15.3.4	CSn モードレジスタ (CSnMOD) (n = 0 ~ 3)	360
15.3.5	CSn ウェイト制御レジスタ 1 (CSnWCR1) (n = 0 ~ 3)	362
15.3.6	CSn ウェイト制御レジスタ 2 (CSnWCR2) (n = 0 ~ 3)	365

15.3.7	バスエラーステータスクリアレジスタ (BERCLR)	368
15.3.8	バスエラー監視許可レジスタ (BEREN)	368
15.3.9	バスエラーステータスレジスタ 1 (BERSR1)	369
15.3.10	バスエラーステータスレジスタ 2 (BERSR2)	369
15.3.11	バスプライオリティ制御レジスタ (BUSPRI)	370
15.4	エンディアンとデータアライメント	372
15.4.1	CS 領域のデータアライメント制御	372
15.5	CS 領域コントローラの動作説明	377
15.5.1	セパレートバス	377
15.5.2	アドレス/データマルチプレクスバス	387
15.5.3	外部ウェイト機能	390
15.5.4	リカバリサイクルの挿入	392
15.5.5	非アクセス時の状態	396
15.5.6	ライトバッファ機能 (外部バス)	396
15.6	制約事項	397
15.6.1	セパレートバスインタフェースの場合の制約事項	397
15.6.2	アドレス/データマルチプレクスバスの場合の制約事項	397
15.6.3	A0 端子と BC0# 端子を兼用する製品の場合の制約事項	397
15.6.4	BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の制約事項	398
15.6.5	アドレス空間の各領域をまたがるアクセスの禁止	398
15.6.6	RMPA 命令、ストリング操作命令に関する制約事項	398
15.6.7	命令コードに関する制約事項	398
15.7	バスエラー監視部	399
15.7.1	バスエラーの種類	399
15.7.1.1	不正アドレスアクセス	399
15.7.1.2	タイムアウト	399
15.7.2	バスエラー発生時の動作	399
15.7.3	バスエラーの発生条件	400
16.	DMA コントローラ (DMACA)	401
16.1	概要	401
16.2	レジスタの説明	403
16.2.1	DMA 転送元アドレスレジスタ (DMSAR)	403
16.2.2	DMA 転送先アドレスレジスタ (DMDAR)	403
16.2.3	DMA 転送カウントレジスタ (DMCRA)	404
16.2.4	DMA ブロック転送カウントレジスタ (DMCRB)	406
16.2.5	DMA 転送モードレジスタ (DMTMD)	407
16.2.6	DMA 割り込み設定レジスタ (DMINT)	408
16.2.7	DMA アドレスモードレジスタ (DMAMD)	410
16.2.8	DMA オフセットレジスタ (DMOFR)	413
16.2.9	DMA 転送許可レジスタ (DMCNT)	414

16.2.10	DMA ソフトウェア起動レジスタ (DMREQ)	415
16.2.11	DMA ステータスレジスタ (DMSTS)	416
16.2.12	DMA 起動要因フラグ制御レジスタ (DMCSL)	418
16.2.13	DMA モジュール起動レジスタ (DMAST)	419
16.3	動作説明	420
16.3.1	転送モード	420
16.3.2	拡張リピートエリア機能	424
16.3.3	オフセットを使ったアドレス更新機能	426
16.3.4	起動要因	430
16.3.5	動作タイミング	431
16.3.6	DMAC の実行サイクル	432
16.3.7	DMAC の起動	433
16.3.8	DMA 転送の開始	434
16.3.9	DMA 転送中のレジスタ	434
16.3.10	チャンネルの優先順位	435
16.4	DMA 転送終了	436
16.4.1	設定した総データ転送による転送終了	436
16.4.2	リピートサイズ終了割り込みによる転送終了	436
16.4.3	拡張リピートエリアオーバフロー割り込みによる転送終了	437
16.5	割り込み	438
16.6	イベントリンク機能	439
16.7	消費電力低減機能	440
16.8	使用上の注意事項	441
16.8.1	外部デバイスを使用する場合	441
16.8.2	周辺モジュールへ DMA 転送する場合	441
16.8.3	DMA 動作中のレジスタアクセスについて	441
16.8.4	予約領域への DMA 転送について	441
16.8.5	DMA 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの 割り込み要求について	441
16.8.6	割り込みコントローラの DMAC 起動要求レジスタ (ICU.DMRSRm) の設定	441
16.8.7	DMA 起動の保留 / 再開方法	441
17.	データトランスファコントローラ (DTCa)	442
17.1	概要	442
17.2	レジスタの説明	444
17.2.1	DTC モードレジスタ A (MRA)	444
17.2.2	DTC モードレジスタ B (MRB)	445
17.2.3	DTC 転送元レジスタ (SAR)	447
17.2.4	DTC 転送先レジスタ (DAR)	447
17.2.5	DTC 転送カウントレジスタ A (CRA)	448
17.2.6	DTC 転送カウントレジスタ B (CRB)	449

17.2.7	DTC コントロールレジスタ (DTCCR)	449
17.2.8	DTC ベクタベースレジスタ (DTCVBR)	450
17.2.9	DTC アドレスモードレジスタ (DTCADMOD)	450
17.2.10	DTC モジュール起動レジスタ (DTCST)	451
17.2.11	DTC ステータスレジスタ (DTCSTS)	452
17.3	起動要因	453
17.3.1	転送情報の配置と DTC ベクタテーブル	453
17.4	動作説明	455
17.4.1	転送情報リードスキップ機能	458
17.4.2	転送情報ライトバックスキップ機能	459
17.4.3	ノーマル転送モード	460
17.4.4	リピート転送モード	461
17.4.5	ブロック転送モード	463
17.4.6	チェーン転送	464
17.4.7	動作タイミング	465
17.4.8	DTC の実行サイクル	468
17.4.9	DTC のバス権解放タイミング	468
17.5	DTC の設定手順	469
17.6	DTC 使用例	470
17.6.1	ノーマル転送	470
17.6.2	カウンタ = 0 のときのチェーン転送	471
17.7	割り込み要因	472
17.8	イベントリンク 機能	472
17.9	消費電力低減機能	473
17.10	使用上の注意事項	474
17.10.1	転送情報先頭アドレス	474
17.10.2	転送情報の配置	474
17.10.3	割り込みコントローラの DTC 起動許可レジスタ (ICU.DTCERn) の設定	475
18.	イベントリンクコントローラ (ELC)	476
18.1	概要	476
18.2	レジスタの説明	477
18.2.1	イベントリンクコントロールレジスタ (ELCR)	477
18.2.2	イベントリンク設定レジスタ n (ELSRn) (n= 1 ~ 4、7、10、12、15、16、18 ~ 29)	478
18.2.3	イベントリンクオプション設定レジスタ A (ELOPA)	480
18.2.4	イベントリンクオプション設定レジスタ B (ELOPB)	481
18.2.5	イベントリンクオプション設定レジスタ C (ELOPC)	481
18.2.6	イベントリンクオプション設定レジスタ D (ELOPD)	482
18.2.7	ポートグループ指定レジスタ n (PGRn) (n=1、2)	482
18.2.8	ポートグループコントロールレジスタ n (PGCn) (n=1、2)	483

18.2.9	ポートバッファレジスタ n (PDBFn) (n=1、2)	484
18.2.10	イベント接続ポート指定レジスタ n (PELn) (n=0 ~ 3)	485
18.2.11	イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)	486
18.3	動作説明	487
18.3.1	割り込み処理とイベントリンクの関係	487
18.3.2	イベントのリンク	488
18.3.3	タイマ系周辺機能のイベント入力時の動作	489
18.3.4	A/D コンバータ、D/A コンバータのイベント入力時の動作	489
18.3.5	ポートのイベント入力動作とイベント発生動作	489
18.3.6	イベントリンクの動作設定手順	493
18.4	使用上の注意事項	494
18.4.1	ELSR18、ELSR19 レジスタの設定について	494
18.4.2	出力ポートグループのビットローテート動作の設定について	494
18.4.3	DMAC/DTC 転送終了のイベントリンク使用時の注意事項	494
18.4.4	クロック設定について	494
18.4.5	モジュールストップ機能の設定	494
19.	I/O ポート	495
19.1	概要	495
19.2	入出力ポートの構成	498
19.3	レジスタの説明	505
19.3.1	ポート方向レジスタ (PDR)	505
19.3.2	ポート出力データレジスタ (PODR)	506
19.3.3	ポート入力データレジスタ (PIDR)	507
19.3.4	ポートモードレジスタ (PMR)	508
19.3.5	オープンドレイン制御レジスタ 0 (ODR0)	509
19.3.6	オープンドレイン制御レジスタ 1 (ODR1)	510
19.3.7	プルアップ制御レジスタ (PCR)	511
19.3.8	駆動能力制御レジスタ (DSCR)	512
19.4	未使用端子の処理	513
20.	マルチファンクションピンコントローラ (MPC)	514
20.1	概要	514
20.2	レジスタの説明	526
20.2.1	書き込みプロテクトレジスタ (PWPR)	526
20.2.2	P0n 端子機能制御レジスタ (P0nPFS) (n=0 ~ 3、5、7)	527
20.2.3	P1n 端子機能制御レジスタ (P1nPFS) (n=2 ~ 7)	528
20.2.4	P2n 端子機能制御レジスタ (P2nPFS) (n=0 ~ 7)	531
20.2.5	P3n 端子機能制御レジスタ (P3nPFS) (n=0 ~ 4)	533
20.2.6	P4n 端子機能制御レジスタ (P4nPFS) (n=0 ~ 7)	535
20.2.7	P5n 端子機能制御レジスタ (P5nPFS) (n=0 ~ 2、4 ~ 6)	536
20.2.8	P6n 端子機能制御レジスタ (P6nPFS) (n=0、1)	537

20.2.9	P7n 端子機能制御レジスタ (P7nPFS) (n=0、4～7)	538
20.2.10	P8n 端子機能制御レジスタ (P8nPFS) (n=0～3、6、7)	539
20.2.11	P9n 端子機能制御レジスタ (P9nPFS) (n=0～3)	540
20.2.12	PAn 端子機能制御レジスタ (PAnPFS) (n=0～7)	541
20.2.13	PBn 端子機能制御レジスタ (PBnPFS) (n=0～7)	544
20.2.14	PCn 端子機能制御レジスタ (PCnPFS) (n=0～7)	546
20.2.15	PDn 端子機能制御レジスタ (PDnPFS) (n=0～7)	548
20.2.16	PEn 端子機能制御レジスタ (PEnPFS) (n=0～7)	549
20.2.17	PF5 端子機能制御レジスタ (PF5PFS)	551
20.2.18	PHn 端子機能制御レジスタ (PHnPFS) (n=0～3)	552
20.2.19	PJn 端子機能制御レジスタ (PJnPFS) (n=1、3)	553
20.2.20	PKn 端子機能制御レジスタ (PKnPFS) (n=2～5)	554
20.2.21	CS 出力許可レジスタ (PFCSE)	555
20.2.22	アドレス出力許可レジスタ 0 (PFAOE0)	556
20.2.23	アドレス出力許可レジスタ 1 (PFAOE1)	557
20.2.24	外部バス制御レジスタ 0 (PFBCR0)	558
20.2.25	外部バス制御レジスタ 1 (PFBCR1)	559
20.3	外部バスインタフェース設定方法	560
20.4	使用上の注意事項	562
20.4.1	端子入出力機能設定手順	562
20.4.2	MPC レジスタ設定する場合の注意事項	562
20.4.3	アナログ機能を使う場合の注意事項	563
21.	マルチファンクションタイマパルスユニット 2 (MTU2a)	564
21.1	概要	564
21.2	レジスタの説明	569
21.2.1	タイマコントロールレジスタ (TCR)	569
21.2.2	タイマモードレジスタ (TMDR)	572
21.2.3	タイマ I/O コントロールレジスタ (TIOR)	574
21.2.4	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	585
21.2.5	タイマ割り込み許可レジスタ (TIER)	586
21.2.6	タイマステータスレジスタ (TSR)	589
21.2.7	タイマバッファ動作転送モードレジスタ (TBTM)	590
21.2.8	タイマインプットキャプチャコントロールレジスタ (TICCR)	591
21.2.9	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	592
21.2.10	タイマ A/D 変換開始要求周期設定レジスタ A、B (TADCORA/B)	593
21.2.11	タイマ A/D 変換開始要求周期設定バッファレジスタ A、B (TADCOBRA/B)	593
21.2.12	タイマカウンタ (TCNT)	594
21.2.13	タイマジェネラルレジスタ (TGR)	594
21.2.14	タイマスタートレジスタ (TSTR)	595
21.2.15	タイマシンクロレジスタ (TSYR)	597

21.2.16	タイマリードライト許可レジスタ (TRWER)	598
21.2.17	タイマアウトプットマスタ許可レジスタ (TOER)	599
21.2.18	タイマアウトプットコントロールレジスタ 1 (TOCR1)	600
21.2.19	タイマアウトプットコントロールレジスタ 2 (TOCR2)	602
21.2.20	タイマアウトプットレベルバッファレジスタ (TOLBR)	605
21.2.21	タイマゲートコントロールレジスタ (TGCR)	606
21.2.22	タイマサブカウンタ (TCNTS)	607
21.2.23	タイマデッドタイムデータレジスタ (TDDR)	607
21.2.24	タイマ周期データレジスタ (TCDR)	608
21.2.25	タイマ周期バッファレジスタ (TCBR)	608
21.2.26	タイマ割り込み間引き設定レジスタ (TITCR)	609
21.2.27	タイマ割り込み間引き回数カウンタ (TITCNT)	611
21.2.28	タイマバッファ転送設定レジスタ (TBTER)	612
21.2.29	タイマデッドタイム許可レジスタ (TDER)	613
21.2.30	タイマ波形コントロールレジスタ (TWCR)	614
21.2.31	ノイズフィルタコントロールレジスタ (NFCR)	615
21.2.32	バスマスタとのインタフェース	618
21.3	動作説明	619
21.3.1	基本動作	619
21.3.2	同期動作	625
21.3.3	バッファ動作	627
21.3.4	カスケード接続動作	632
21.3.5	PWM モード	637
21.3.6	位相計数モード	641
21.3.7	リセット同期 PWM モード	647
21.3.8	相補 PWM モード	650
21.3.9	A/D 変換開始要求ディレイド機能	681
21.3.10	外部パルス幅測定機能	684
21.3.11	デッドタイム補償用機能	685
21.3.12	ノイズフィルタ機能	687
21.4	割り込み要因	688
21.4.1	割り込み要因と優先順位	688
21.4.2	DTC/DMAC の起動	690
21.4.3	A/D コンバータの起動	690
21.5	動作タイミング	692
21.5.1	入出力タイミング	692
21.5.2	割り込み信号タイミング	698
21.6	使用上の注意事項	701
21.6.1	モジュールストップ機能の設定	701
21.6.2	入力クロックの制限事項	701

21.6.3	周期設定上の注意事項	702
21.6.4	TCNT の書き込みとクリアの競合	702
21.6.5	TCNT の書き込みとカウントアップの競合	703
21.6.6	TGR の書き込みとコンペアマッチの競合	703
21.6.7	バッファレジスタの書き込みとコンペアマッチの競合	704
21.6.8	バッファレジスタの書き込みと TCNT クリアの競合	704
21.6.9	TGR の読み出しとインプットキャプチャの競合	705
21.6.10	TGR の書き込みとインプットキャプチャの競合	706
21.6.11	バッファレジスタの書き込みとインプットキャプチャの競合	707
21.6.12	カスケード接続における MTU2.TCNT の書き込みとオーバフロー/ アンダフローの競合	708
21.6.13	相補 PWM モード停止時のカウンタ値	709
21.6.14	相補 PWM モードでのバッファ動作の設定	709
21.6.15	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ	710
21.6.16	リセット同期 PWM モードのオーバフローフラグ	711
21.6.17	オーバフロー/アンダフローとカウンタクリアの競合	712
21.6.18	TCNT の書き込みとオーバフロー/アンダフローの競合	713
21.6.19	ノーマルモードまたは PWM モード 1 から リセット同期 PWM モードへ遷移する場合の注意事項	713
21.6.20	相補 PWM モード、リセット同期 PWM モードの出力レベル	713
21.6.21	モジュールストップ状態時の割り込み	713
21.6.22	カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ	714
21.6.23	相補 PWM モードの出力保護機能未使用時の注意事項	714
21.6.24	MTU5.TCNT と MTU5.TGR の注意事項	714
21.6.25	相補 PWM モード同期クリアするときの異常動作防止について	715
21.6.26	コンペアマッチによる割り込み信号の連続出力	717
21.7	MTU 出力端子の初期化方法	718
21.7.1	動作モード	718
21.7.2	動作中の異常などによる再設定時の動作	718
21.7.3	動作中の異常などによる端子の初期化手順、モード遷移の概要	719
21.8	ELC によるリンク動作	744
21.8.1	ELC へのイベント信号出力	744
21.8.2	ELC からのイベント信号受信による MTU の動作	744
21.8.3	ELC からのイベント信号受信による MTU の注意事項	745
22.	ポートアウトプットイネーブル 2 (POE2a)	746
22.1	概要	746
22.2	レジスタの説明	749
22.2.1	入力レベルコントロール/ステータスレジスタ 1 (ICSR1)	749
22.2.2	出力レベルコントロール/ステータスレジスタ 1 (OCSR1)	751
22.2.3	入力レベルコントロール/ステータスレジスタ 2 (ICSR2)	752
22.2.4	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	753

22.2.5	ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)	754
22.2.6	ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)	755
22.2.7	入力レベルコントロール/ステータスレジスタ 3 (ICSR3)	756
22.3	動作説明	757
22.3.1	入力レベル検出動作	759
22.3.2	出力レベル比較動作	760
22.3.3	レジスタによるハイインピーダンス制御	761
22.3.4	発振停止検出によるハイインピーダンス制御	761
22.3.5	ELC からのイベント信号受信によるハイインピーダンス制御	761
22.3.6	ハイインピーダンスからの解除	761
22.4	割り込み	762
22.5	使用上の注意事項	762
22.5.1	ソフトウェアスタンバイモードまたは ディープソフトウェアスタンバイモードへの移行について	762
22.5.2	POE を使用しない場合について	762
22.5.3	端子の MTU 機能設定について	762
22.5.4	ELC からのイベント信号受信によるハイインピーダンス制御の注意事項	762
23.	16 ビットタイマパルスユニット (TPUa)	763
23.1	概要	763
23.2	レジスタの説明	767
23.2.1	タイマコントロールレジスタ (TCR)	767
23.2.2	タイマモードレジスタ (TMDR)	771
23.2.3	タイマ I/O コントロールレジスタ (TIORH、TIORL、TIOR)	773
23.2.4	タイマ割り込み許可レジスタ (TIER)	783
23.2.5	タイマステータスレジスタ (TSR)	784
23.2.6	タイマカウンタ (TCNT)	787
23.2.7	タイマジェネラルレジスタ A (TGRA) タイマジェネラルレジスタ B (TGRB) タイマジェネラルレジスタ C (TGRC) タイマジェネラルレジスタ D (TGRD)	787
23.2.8	タイマスタートレジスタ (TSTR)	788
23.2.9	タイマシンクロレジスタ (TSYR)	789
23.2.10	ノイズフィルタコントロールレジスタ (NFCR)	790
23.3	動作説明	792
23.3.1	概要	792
23.3.2	同期動作	798
23.3.3	バッファ動作	800
23.3.4	カスケード接続動作	803
23.3.5	PWM モード	805
23.3.6	位相計数モード	810
23.3.6.1	位相計数モード応用例	815

23.3.7	ノイズフィルタ機能	816
23.4	割り込み要因	817
23.5	DTC の起動	818
23.6	DMAC の起動	818
23.7	A/D コンバータの起動	818
23.8	動作タイミング	819
23.8.1	入出力タイミング	819
23.8.2	割り込み信号タイミング	823
23.9	使用上の注意事項	825
23.9.1	モジュールストップ機能の設定	825
23.9.2	入力クロックの制限事項	825
23.9.3	周期設定上の注意事項	825
23.9.4	TPUm.TCNT カウンタへの書き込みとクリアの競合	826
23.9.5	TPUm.TCNT カウンタへの書き込みとカウントアップの競合	826
23.9.6	TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合	827
23.9.7	バッファレジスタへの書き込みとコンペアマッチの競合	827
23.9.8	TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合	828
23.9.9	TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合	828
23.9.10	バッファレジスタへの書き込みとインプットキャプチャの競合	829
23.9.11	オーバフロー/アンダフローとカウンタクリアの競合	829
23.9.12	TPUm.TCNT カウンタへの書き込みとオーバフロー/アンダフローの競合	830
23.9.13	入出力端子の兼用	830
23.9.14	コンペアマッチパルス割り込みの連続出力	831
23.9.15	インプットキャプチャパルス割り込みの連続出力	832
23.9.16	アンダフローパルス割り込みの連続出力	833
24.	8ビットタイマ (TMR)	834
24.1	概要	834
24.2	レジスタの説明	839
24.2.1	タイマカウンタ (TCNT)	839
24.2.2	タイムコンスタントレジスタ A (TCORA)	840
24.2.3	タイムコンスタントレジスタ B (TCORB)	840
24.2.4	タイマコントロールレジスタ (TCR)	841
24.2.5	タイマカウンタコントロールレジスタ (TCCR)	842
24.2.6	タイマコントロール/ステータスレジスタ (TCSR)	844
24.2.7	タイムカウンタスタートレジスタ (TCSTR)	846
24.3	動作説明	847
24.3.1	パルス出力	847
24.3.2	リセット入力	848
24.4	動作タイミング	849
24.4.1	TCNT カウンタのカウントタイミング	849

24.4.2	コンペアマッチ時の割り込みタイミング	850
24.4.3	コンペアマッチ時のタイマ出力タイミング	851
24.4.4	コンペアマッチによるカウンタクリアタイミング	851
24.4.5	TCNT カウンタの外部リセットタイミング	852
24.4.6	オーバフローによる割り込みタイミング	853
24.5	カスケード接続時の動作	854
24.5.1	16 ビットカウントモード	854
24.5.2	コンペアマッチカウントモード	854
24.6	割り込み要因	855
24.6.1	割り込み要因と DTC 起動	855
24.7	ELC によるリンク動作	856
24.7.1	ELC へのイベント信号出力	856
24.7.2	ELC からのイベント信号受信による TMR 動作	856
24.7.3	ELC からのイベント信号受信による TMR の注意事項	856
24.8	使用上の注意事項	858
24.8.1	モジュールストップ機能の設定	858
24.8.2	周期設定上の注意	858
24.8.3	TCNT カウンタへの書き込みとカウンタクリアの競合	858
24.8.4	TCNT カウンタへの書き込みとカウントアップの競合	859
24.8.5	TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合	860
24.8.6	コンペアマッチ A、B の競合	860
24.8.7	分周クロックの切り替えと TCNT カウンタの動作	861
24.8.8	カスケード接続時のクロックソース設定	862
24.8.9	コンペアマッチ割り込みの連続出力	863
25.	コンペアマッチタイマ (CMT)	864
25.1	概要	864
25.2	レジスタの説明	865
25.2.1	コンペアマッチタイマスタートレジスタ 0 (CMSTR0)	865
25.2.2	コンペアマッチタイマスタートレジスタ 1 (CMSTR1)	865
25.2.3	コンペアマッチタイマコントロールレジスタ (CMCR)	866
25.2.4	コンペアマッチタイマカウンタ (CMCNT)	867
25.2.5	コンペアマッチタイマコンスタントレジスタ (CMCOR)	867
25.3	動作説明	868
25.3.1	周期カウント動作	868
25.3.2	CMCNT カウンタのカウントタイミング	868
25.4	割り込み	869
25.4.1	割り込み要因	869
25.4.2	コンペアマッチ割り込みの発生タイミング	869
25.5	ELC によるリンク動作	870
25.5.1	ELC へのイベント信号出力	870

25.5.2	ELC からのイベント信号受信による CMT の動作	870
25.5.3	ELC からのイベント信号受信による CMT の注意事項	870
25.6	使用上の注意事項	871
25.6.1	モジュールストップ機能の設定	871
25.6.2	CMCNT カウンタへの書き込みとコンペアマッチの競合	871
25.6.3	CMCNT カウンタへの書き込みとカウントアップの競合	871
26.	リアルタイムクロック (RTCb)	872
26.1	概要	872
26.2	レジスタの説明	874
26.2.1	64Hz カウンタ (R64CNT)	874
26.2.2	秒カウンタ (RSECCNT)	875
26.2.3	分カウンタ (RMINCNT)	875
26.2.4	時カウンタ (RHRCNT)	876
26.2.5	曜日カウンタ (RWKCNT)	877
26.2.6	日カウンタ (RDAYCNT)	878
26.2.7	月カウンタ (RMONCNT)	879
26.2.8	年カウンタ (RYRCNT)	879
26.2.9	秒アラームレジスタ (RSECAR)	880
26.2.10	分アラームレジスタ (RMINAR)	881
26.2.11	時アラームレジスタ (RHRAR)	882
26.2.12	曜日アラームレジスタ (RWKAR)	883
26.2.13	日アラームレジスタ (RDAYAR)	884
26.2.14	月アラームレジスタ (RMONAR)	885
26.2.15	年アラームレジスタ (RYRAR)	886
26.2.16	年アラームイネーブルレジスタ (RYRAREN)	886
26.2.17	RTC コントロールレジスタ 1 (RCR1)	887
26.2.18	RTC コントロールレジスタ 2 (RCR2)	888
26.2.19	RTC コントロールレジスタ 3 (RCR3)	890
26.2.20	時間誤差補正レジスタ (RADJ)	892
26.2.21	時間キャプチャ制御レジスタ y (RTCCRy) (y=0 ~ 2)	893
26.2.22	秒キャプチャレジスタ y (RSECCPy) (y=0 ~ 2)	895
26.2.23	分キャプチャレジスタ y (RMINCPy) (y=0 ~ 2)	896
26.2.24	時キャプチャレジスタ y (RHRCPy) (y=0 ~ 2)	897
26.2.25	日キャプチャレジスタ y (RDAYCPy) (y=0 ~ 2)	898
26.2.26	月キャプチャレジスタ y (RMONCPy) (y=0 ~ 2)	899
26.3	動作説明	900
26.3.1	電源投入後のレジスタの初期設定概要	900
26.3.2	クロック設定手順	901
26.3.3	時刻設定手順	902
26.3.4	30 秒調整手順	902

26.3.5	64Hz カウンタおよび時刻読み出し手順	903
26.3.6	アラーム機能	904
26.3.7	アラーム割り込み禁止手順	905
26.3.8	時計誤差補正機能	905
26.3.8.1	自動補正機能	906
26.3.8.2	ソフトウェアによる補正	906
26.3.8.3	補正モードの変更手順	907
26.3.8.4	補正機能の停止手順	907
26.3.8.5	時間キャプチャ機能	908
26.4	割り込み要因	909
26.5	イベントリンク出力機能	911
26.5.1	割り込み処理とイベントリンクの関係	911
26.6	使用上の注意事項	912
26.6.1	カウント動作時のレジスタ書き込みについて	912
26.6.2	周期割り込みの使用について	912
26.6.3	RTCOUNT (1Hz) 出力について	912
26.6.4	レジスタ設定後の低消費電力モード移行について	913
26.6.5	レジスタの書き込み / 読み出し時の注意事項	913
27.	ウォッチドッグタイマ (WDTA)	914
27.1	概要	914
27.2	レジスタの説明	916
27.2.1	WDT リフレッシュレジスタ (WDTRR)	916
27.2.2	WDT コントロールレジスタ (WDTCR)	917
27.2.3	WDT ステータスレジスタ (WDTSR)	920
27.2.4	WDT リセットコントロールレジスタ (WDTRCR)	921
27.2.5	オプション機能選択レジスタ 0 (OFS0)	921
27.3	動作説明	922
27.3.1	カウント開始条件別の各動作	922
27.3.1.1	レジスタスタートモード	922
27.3.1.2	オートスタートモード	924
27.3.2	WDTCR レジスタ、WDTRCR レジスタ書き込み制御	926
27.3.3	リフレッシュ動作	927
27.3.4	ステータスフラグ	928
27.3.5	リセット出力	928
27.3.6	割り込み要因	929
27.3.7	ダウンカウンタ値の読み出し	929
27.3.8	オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応	930
28.	独立ウォッチドッグタイマ (IWDTa)	931
28.1	概要	931
28.2	レジスタの説明	934

28.2.1	IWDT リフレッシュレジスタ (IWDTRR)	934
28.2.2	IWDT コントロールレジスタ (IWDTCR)	935
28.2.3	IWDT ステータスレジスタ (IWDTSR)	938
28.2.4	IWDT リセットコントロールレジスタ (IWDTRCR)	939
28.2.5	IWDT カウント停止コントロールレジスタ (IWDTCSTPR)	940
28.2.6	オプション機能選択レジスタ 0 (OFS0)	940
28.3	動作説明	941
28.3.1	カウント開始条件別の各動作	941
28.3.1.1	レジスタスタートモード	941
28.3.1.2	オートスタートモード	943
28.3.2	IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御	945
28.3.3	リフレッシュ動作	946
28.3.4	ステータスフラグ	947
28.3.5	リセット出力	947
28.3.6	割り込み要因	948
28.3.7	ダウンカウンタ値の読み出し	948
28.3.8	オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応	949
28.4	ELC によるリンク動作	949
28.5	使用上の注意事項	949
28.5.1	リフレッシュ動作について	949
29.	シリアルコミュニケーションインタフェース (SC1c、SC1d)	950
29.1	概要	950
29.2	レジスタの説明	960
29.2.1	レシーブシフトレジスタ (RSR)	960
29.2.2	レシーブデータレジスタ (RDR)	960
29.2.3	トランスミットデータレジスタ (TDR)	960
29.2.4	トランスミットシフトレジスタ (TSR)	961
29.2.5	シリアルモードレジスタ (SMR)	961
29.2.6	シリアルコントロールレジスタ (SCR)	965
29.2.7	シリアルステータスレジスタ (SSR)	970
29.2.8	スマートカードモードレジスタ (SCMR)	974
29.2.9	ビットレートレジスタ (BRR)	975
29.2.10	シリアル拡張モードレジスタ (SEMR)	982
29.2.11	ノイズフィルタ設定レジスタ (SNFR)	984
29.2.12	I ² C モードレジスタ 1 (SIMR1)	985
29.2.13	I ² C モードレジスタ 2 (SIMR2)	986
29.2.14	I ² C モードレジスタ 3 (SIMR3)	987
29.2.15	I ² C ステータスレジスタ (SISR)	989
29.2.16	SPI モードレジスタ (SPMR)	990
29.2.17	拡張シリアルモード有効レジスタ (ESMER)	991

29.2.18	コントロールレジスタ 0 (CR0)	992
29.2.19	コントロールレジスタ 1 (CR1)	993
29.2.20	コントロールレジスタ 2 (CR2)	994
29.2.21	コントロールレジスタ 3 (CR3)	995
29.2.22	ポートコントロールレジスタ (PCR)	995
29.2.23	割り込みコントロールレジスタ (ICR)	996
29.2.24	ステータスレジスタ (STR)	997
29.2.25	ステータスクリアレジスタ (STCR)	998
29.2.26	Control Field 0 データレジスタ (CF0DR)	998
29.2.27	Control Field 0 コンペアイネーブルレジスタ (CF0CR)	999
29.2.28	Control Field 0 受信データレジスタ (CF0RR)	1000
29.2.29	プライマリ Control Field 1 データレジスタ (PCF1DR)	1000
29.2.30	セカンダリ Control Field 1 データレジスタ (SCF1DR)	1000
29.2.31	Control Field 1 コンペアイネーブルレジスタ (CF1CR)	1001
29.2.32	Control Field 1 受信データレジスタ (CF1RR)	1002
29.2.33	タイマコントロールレジスタ (TCR)	1002
29.2.34	タイマモードレジスタ (TMR)	1003
29.2.35	タイマプリスケアラレジスタ (TPRE)	1004
29.2.36	タイマカウントレジスタ (TCNT)	1004
29.3	調歩同期式モードの動作	1005
29.3.1	シリアル送信 / 受信フォーマット	1005
29.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	1007
29.3.3	クロック	1008
29.3.4	CTS、RTS 機能.....	1008
29.3.5	SCI の初期化 (調歩同期式モード)	1009
29.3.6	シリアルデータの送信 (調歩同期式モード)	1010
29.3.7	シリアルデータの受信 (調歩同期式モード)	1012
29.4	マルチプロセッサ通信機能	1016
29.4.1	マルチプロセッサシリアルデータ送信	1017
29.4.2	マルチプロセッサシリアルデータ受信	1018
29.5	クロック同期式モードの動作	1021
29.5.1	クロック	1021
29.5.2	CTS、RTS 機能.....	1022
29.5.3	SCI の初期化 (クロック同期式モード)	1023
29.5.4	シリアルデータの送信 (クロック同期式モード)	1024
29.5.5	シリアルデータの受信 (クロック同期式モード)	1026
29.5.6	シリアルデータの送受信同時動作 (クロック同期式モード)	1029
29.6	スマートカードインタフェースモードの動作	1030
29.6.1	接続例	1030
29.6.2	データフォーマット (ブロック転送モード時を除く)	1030

29.6.3	ブロック転送モード	1032
29.6.4	受信データサンプリングタイミングと受信マージン	1033
29.6.5	SCI の初期化 (スマートカードインタフェースモード)	1034
29.6.6	シリアルデータの送信 (ブロック転送モードを除く)	1035
29.6.7	シリアルの受信 (ブロック転送モードを除く)	1038
29.6.8	クロック出力制御	1039
29.7	簡易 I ² C モードの動作	1041
29.7.1	開始条件、再開条件、停止条件の生成	1042
29.7.2	クロック同期化	1043
29.7.3	SSDA 出力遅延	1044
29.7.4	SCI の初期化 (簡易 I ² C モード)	1045
29.7.5	マスタ送信動作 (簡易 I ² C モード)	1046
29.7.6	マスタ受信動作 (簡易 I ² C モード)	1048
29.8	簡易 SPI モードの動作	1050
29.8.1	マスタモード、スレーブモードと各端子の状態	1051
29.8.2	マスタモード時の SS 機能	1051
29.8.3	スレーブモード時の SS 機能	1051
29.8.4	クロックと送受信データの関係	1051
29.8.5	SCI の初期化 (簡易 SPI モード)	1052
29.8.6	シリアルデータの送受信 (簡易 SPI モード)	1052
29.9	拡張シリアルモード制御部の動作説明	1053
29.9.1	シリアル通信プロトコル	1053
29.9.2	Start Frame 送信	1053
29.9.3	Start Frame 受信	1057
29.9.3.1	プライオリティインタラプトビット	1062
29.9.4	バス衝突検出機能	1063
29.9.5	RXDX12 端子入力デジタルフィルタ機能	1064
29.9.6	ビットレート測定機能	1065
29.9.7	RXDX12 受信データサンプリングタイミング選択機能	1066
29.9.8	タイマ	1067
29.10	ノイズ除去機能	1069
29.11	割り込み要因	1070
29.11.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1070
29.11.2	シリアルコミュニケーションインタフェースモードおよび 簡易 SPI モードにおける割り込み	1070
29.11.3	スマートカードインタフェースモードにおける割り込み	1071
29.11.4	簡易 I ² C モードにおける割り込み	1072
29.11.5	拡張シリアルモード制御部の割り込み要求	1073
29.12	イベントリンク機能	1074
29.13	使用上の注意事項	1075
29.13.1	モジュールストップ機能の設定	1075

29.13.2	ブレークの検出と処理について	1075
29.13.3	マーク状態とブレークの送付	1075
29.13.4	受信エラーフラグと送信動作について (クロック同期式モードのみ)	1075
29.13.5	TDR レジスタへのライトについて	1075
29.13.6	クロック同期送信時の制約事項	1075
29.13.7	DMAC または DTC 使用上の制約事項	1075
29.13.8	通信の開始に関する注意事項	1076
29.13.9	低消費電力状態時の動作について	1076
29.13.10	クロック同期式モード外部クロック入力	1079
29.13.11	簡易 SPI モードの制約事項	1080
29.13.12	拡張シリアルモード制御部の使用上の制約事項 1	1080
29.13.13	拡張シリアルモード制御部の使用上の制約事項 2	1081
30.	I ² C バスインタフェース (RIIC)	1082
30.1	概要	1082
30.2	レジスタの説明	1085
30.2.1	I ² C バスコントロールレジスタ 1 (ICCR1)	1085
30.2.2	I ² C バスコントロールレジスタ 2 (ICCR2)	1088
30.2.3	I ² C バスモードレジスタ 1 (ICMR1)	1092
30.2.4	I ² C バスモードレジスタ 2 (ICMR2)	1093
30.2.5	I ² C バスモードレジスタ 3 (ICMR3)	1095
30.2.6	I ² C バスファンクションイネーブルレジスタ (ICFER)	1098
30.2.7	I ² C バスステータスイネーブルレジスタ (ICSER)	1100
30.2.8	I ² C バスインタラプトイネーブルレジスタ (ICIER)	1102
30.2.9	I ² C バスステータスレジスタ 1 (ICSR1)	1104
30.2.10	I ² C バスステータスレジスタ 2 (ICSR2)	1107
30.2.11	スレーブアドレスレジスタ Ly (SARLy) (y=0~2)	1111
30.2.12	スレーブアドレスレジスタ Uy (SARUy) (y=0~2)	1112
30.2.13	I ² C バスビットレートローレベルレジスタ (ICBRL)	1113
30.2.14	I ² C バスビットレートハイレベルレジスタ (ICBRH)	1114
30.2.15	I ² C バス送信データレジスタ (ICDRT)	1116
30.2.16	I ² C バス受信データレジスタ (ICDRR)	1116
30.2.17	I ² C バスシフトレジスタ (ICDRS)	1117
30.2.18	タイムアウト内部カウンタ (TMOCNT)	1118
30.3	動作説明	1119
30.3.1	通信データフォーマット	1119
30.3.2	初期設定	1120
30.3.3	マスタ送信動作	1121
30.3.4	マスタ受信動作	1125
30.3.5	スレーブ送信動作	1131
30.3.6	スレーブ受信動作	1134

30.4	SCL 同期回路	1137
30.5	SDA 出力遅延機能	1138
30.6	デジタルノイズフィルタ回路	1139
30.7	アドレス一致検出機能	1140
30.7.1	スレーブアドレス一致検出機能	1140
30.7.2	ジェネラルコールアドレス検出機能	1142
30.7.3	デバイス ID アドレス検出機能	1143
30.7.4	ホストアドレス検出機能	1145
30.8	SCL の自動 Low ホールド機能	1146
30.8.1	送信データ誤送信防止機能	1146
30.8.2	NACK 受信転送中断機能	1147
30.8.3	受信データ取りこぼし防止機能	1147
30.9	アービトレーションロスト検出機能	1149
30.9.1	マスタアービトレーションロスト検出機能 (MALE ビット)	1149
30.9.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット)	1151
30.9.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	1152
30.10	スタートコンディション、リスタートコンディション、ストップコンディション 発行機能	1153
30.10.1	スタートコンディション発行動作	1153
30.10.2	リスタートコンディション発行動作	1153
30.10.3	ストップコンディション発行動作	1154
30.11	バスハングアップ	1155
30.11.1	タイムアウト検出機能	1155
30.11.2	SCL クロック追加出力機能	1156
30.11.3	RIIC/内部リセット	1157
30.12	SMBus 動作	1158
30.12.1	SMBus タイムアウト測定	1158
30.12.2	パケットエラーコード (PEC)	1160
30.12.3	SMBus ホスト通知プロトコル /Notify ARP master	1160
30.13	割り込み要因	1161
30.13.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1161
30.14	リセット状況	1162
30.15	イベントリンク出力機能	1163
30.15.1	割り込み処理とイベントリンクの関係	1163
30.16	使用上の注意事項	1164
30.16.1	モジュールストップ機能の設定	1164
30.16.2	通信の開始に関する注意事項	1164
31.	シリアルペリフェラルインタフェース (RSPI)	1165
31.1	概要	1165
31.2	レジスタの説明	1169

31.2.1	RSPI 制御レジスタ (SPCR)	1169
31.2.2	RSPI スレーブセレクト極性レジスタ (SSLP)	1171
31.2.3	RSPI 端子制御レジスタ (SPPCR)	1172
31.2.4	RSPI ステータスレジスタ (SPSR)	1173
31.2.5	RSPI データレジスタ (SPDR)	1175
31.2.6	RSPI シーケンス制御レジスタ (SPSCR)	1178
31.2.7	RSPI シーケンスステータスレジスタ (SPSSR)	1179
31.2.8	RSPI ビットレートレジスタ (SPBR)	1180
31.2.9	RSPI データコントロールレジスタ (SPDCR)	1181
31.2.10	RSPI クロック遅延レジスタ (SPCKD)	1183
31.2.11	RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)	1184
31.2.12	RSPI 次アクセス遅延レジスタ (SPND)	1185
31.2.13	RSPI 制御レジスタ 2 (SPCR2)	1186
31.2.14	RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)	1187
31.3	動作説明	1190
31.3.1	RSPI 動作の概要	1190
31.3.2	RSPI 端子の制御	1191
31.3.3	RSPI システム構成例	1192
31.3.3.1	シングルマスタ / シングルスレーブ (本 LSI = マスタ)	1192
31.3.3.2	シングルマスタ / シングルスレーブ (本 LSI = スレーブ)	1193
31.3.3.3	シングルマスタ / マルチスレーブ (本 LSI = マスタ)	1194
31.3.3.4	シングルマスタ / マルチスレーブ (本 LSI = スレーブ)	1195
31.3.3.5	マルチマスタ / マルチスレーブ (本 LSI = マスタ)	1196
31.3.3.6	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 LSI = マスタ)	1197
31.3.3.7	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 LSI = スレーブ)	1197
31.3.4	データフォーマット	1198
31.3.4.1	パリティ機能無効時 (SPCR2.SPPE = 0)	1199
31.3.4.2	パリティ機能有効時 (SPCR2.SPPE = 1)	1203
31.3.5	転送フォーマット	1207
31.3.5.1	CPHA ビット = 0 の場合	1207
31.3.5.2	CPHA ビット = 1 の場合	1208
31.3.6	通信動作モード	1209
31.3.6.1	全二重同期式シリアル通信 (SPCR.TXMD=0)	1209
31.3.6.2	送信のみ動作 (SPCR.TXMD=1)	1210
31.3.7	送信バッファエンプティ / 受信バッファフル割り込み	1211
31.3.8	エラー検出	1213
31.3.8.1	オーバランエラー	1214
31.3.8.2	パリティエラー	1216
31.3.8.3	モードフォルトエラー	1217

31.3.9	RSPI の初期化.....	1218
31.3.9.1	SPE ビットのクリアによる初期化	1218
31.3.9.2	システムリセット	1218
31.3.10	SPI 動作	1219
31.3.10.1	マスタモード動作	1219
31.3.10.2	スレーブモード動作	1229
31.3.11	クロック同期式動作	1233
31.3.12	マスタモード動作	1233
31.3.13	スレーブモード動作	1237
31.3.14	ループバックモード	1239
31.3.15	パリティビット機能の自己判断	1240
31.3.16	割り込み要因	1241
31.4	イベントリンク出力機能	1242
31.4.1	受信バッファフルイベント出力	1242
31.4.2	送信バッファエンプティイベント出力	1242
31.4.3	モードフォルト/オーバラン/パリティエラーイベント出力	1242
31.4.4	RSPI アイドルイベント出力	1243
31.4.5	送信完了イベント出力	1243
31.5	使用上の注意事項	1244
31.5.1	モジュールストップ機能の設定	1244
31.5.2	消費電力低減機能の注意事項	1244
31.5.3	通信の開始に関する注意事項	1244
32.	CRC 演算器 (CRC)	1245
32.1	概要	1245
32.2	レジスタの説明	1246
32.2.1	CRC コントロールレジスタ (CRCCR)	1246
32.2.2	CRC データ入力レジスタ (CRCDIR)	1246
32.2.3	CRC データ出力レジスタ (CRCDOR)	1247
32.3	CRC 演算器の動作説明	1248
32.4	使用上の注意事項	1251
32.4.1	モジュールストップ機能の設定	1251
32.5	転送時の注意事項	1251
33.	12 ビット A/D コンバータ (S12ADb).....	1252
33.1	概要	1252
33.2	レジスタの説明	1256
33.2.1	A/D データレジスタ y (ADDRy) (y = 0 ~ 15)	1256
33.2.2	A/D データ 2 重化レジスタ (ADDBLDR)	1258
33.2.3	A/D 温度センサデータレジスタ (ADTSDR)	1259
33.2.4	A/D 内部基準電圧データレジスタ (ADOCDR)	1260
33.2.5	A/D 自己診断データレジスタ (ADRD)	1261

33.2.6	A/D コントロールレジスタ (ADCSR)	1262
33.2.7	A/D チャネル選択レジスタ A (ADANSA)	1265
33.2.8	A/D チャネル選択レジスタ B (ADANSB)	1265
33.2.9	A/D 変換値加算モード選択レジスタ (ADADS)	1266
33.2.10	A/D 変換値加算回数選択レジスタ (ADADC)	1267
33.2.11	A/D コントロール拡張レジスタ (ADCER)	1268
33.2.12	A/D 開始トリガ選択レジスタ (ADSTRGR)	1270
33.2.13	A/D 変換拡張入力コントロールレジスタ (ADEXICR)	1272
33.2.14	A/D サンプリングステートレジスタ n (ADSSTRn) (n=0 ~ 7、L、T、O)	1273
33.2.15	サンプル & ホールド回路コントロールレジスタ (ADSHCR)	1274
33.2.16	A/D 断線検出コントロールレジスタ (ADDISCR)	1275
33.3	動作説明	1276
33.3.1	スキヤンの動作説明	1276
33.3.2	シングルスキヤンモード	1277
33.3.2.1	基本動作 (チャネル専用サンプル&ホールドなし)	1277
33.3.2.2	基本動作 (チャネル専用サンプル&ホールドあり)	1278
33.3.2.3	チャネル選択と自己診断 (チャネル専用サンプル&ホールドなし)	1279
33.3.2.4	チャネル選択と自己診断 (チャネル専用サンプル&ホールドあり)	1280
33.3.2.5	温度センサ出力選択時の A/D 変換動作	1281
33.3.2.6	内部基準電圧選択時の A/D 変換動作	1282
33.3.2.7	ダブルトリガモード選択時の動作	1283
33.3.3	連続スキヤンモード	1284
33.3.3.1	基本動作 (チャネル専用サンプル&ホールドなし)	1284
33.3.3.2	基本動作 (チャネル専用サンプル&ホールドあり)	1285
33.3.3.3	チャネル選択と自己診断 (チャネル専用サンプル&ホールドなし)	1286
33.3.3.4	チャネル選択と自己診断 (チャネル専用サンプル&ホールドあり)	1287
33.3.4	グループスキヤンモード	1288
33.3.4.1	基本動作	1288
33.3.4.2	ダブルトリガモード選択時の動作	1289
33.3.5	アナログ入力のサンプリングとスキヤン変換時間	1290
33.3.6	レジスタのオートクリア機能の使用例	1292
33.3.7	A/D 変換値加算機能	1292
33.3.8	断線検出アシスト機能	1292
33.3.9	非同期トリガによる A/D 変換の開始	1294
33.3.10	周辺モジュールからの同期トリガによる A/D 変換の開始	1294
33.4	割り込み要因と DMA 転送要求	1295
33.4.1	スキヤン終了時の割り込み要求	1295
33.5	イベントリンク機能	1295
33.5.1	ELC へのイベント出力動作	1295
33.5.2	ELC からのイベントによる 12 ビット A/D コンバータの動作	1295

33.5.3	ELC からのイベントによる 12 ビット A/D コンバータの注意事項	1295
33.6	A/D 変換精度の定義	1296
33.7	使用上の注意事項	1297
33.7.1	データレジスタの読出し注意事項	1297
33.7.2	A/D 変換停止時の注意事項	1297
33.7.3	A/D 変換強制停止と開始時の動作タイミング	1297
33.7.4	スキャン終了割り込み処理の注意事項	1297
33.7.5	モジュールストップ機能の設定	1297
33.7.6	低消費電力状態への遷移時の注意	1297
33.7.7	許容信号源インピーダンスについて	1298
33.7.8	絶対精度への影響	1298
33.7.9	アナログ電源端子他の設定範囲	1299
33.7.10	ボード設計上の注意	1299
33.7.11	ノイズ対策上の注意	1300
33.7.12	12 ビット A/D コンバータ入力を使用する場合のポートの設定	1300
33.7.13	断線検出アシスト機能使用時の絶対精度誤差	1300
34.	D/A コンバータ (DA)	1301
34.1	概要	1301
34.2	レジスタの説明	1303
34.2.1	D/A データレジスタ m (DADR _m) (m=0、1)	1303
34.2.2	D/A コントロールレジスタ (DACR)	1304
34.2.3	DADR _m フォーマット選択レジスタ (DADPR)	1305
34.3	動作説明	1306
34.4	イベントリンクの動作設定手順	1307
34.5	イベントリンク動作における注意事項	1307
34.6	使用上の注意事項	1308
34.6.1	モジュールストップ機能の設定	1308
34.6.2	モジュールストップ時の D/A の動作	1308
34.6.3	ソフトウェアスタンバイモード時の D/A の動作	1308
34.6.4	ディープソフトウェアスタンバイモード時の注意事項	1308
34.6.5	D/A コンバータ出力を使用する場合のポートの設定	1308
35.	温度センサ (TEMPSa)	1309
35.1	概要	1309
35.2	レジスタの説明	1310
35.2.1	温度センサコントロールレジスタ (TSCR)	1310
35.3	温度センサの使用方法	1311
35.3.1	使用前の準備	1311
35.3.2	12 ビット A/D コンバータの設定	1312
35.3.3	温度センサの A/D 変換結果	1312
35.3.4	温度センサの使用手順	1313

35.3.5	温度センサ出力の A/D 変換タイミング	1314
35.4	使用上の注意事項	1314
35.4.1	モジュールストップ機能の設定	1314
36.	コンパレータ A (CMPA)	1315
36.1	概要	1315
36.2	レジスタの説明	1317
36.2.1	電圧監視 1 回路 / コンパレータ A1 制御レジスタ 1 (LVD1CR1)	1317
36.2.2	電圧監視 1 回路 / コンパレータ A1 ステータスレジスタ (LVD1SR)	1318
36.2.3	電圧監視 2 回路 / コンパレータ A2 制御レジスタ 1 (LVD2CR1)	1319
36.2.4	電圧監視 2 回路 / コンパレータ A2 ステータスレジスタ (LVD2SR)	1320
36.2.5	電圧監視回路 / コンパレータ A 制御レジスタ (LVCMPCR)	1321
36.2.6	電圧監視 1 回路 / コンパレータ A1 制御レジスタ 0 (LVD1CR0)	1322
36.2.7	電圧監視 2 回路 / コンパレータ A2 制御レジスタ 0 (LVD2CR0)	1324
36.3	比較結果のモニタ	1326
36.3.1	コンパレータ A1 のモニタ	1326
36.3.2	コンパレータ A2 のモニタ	1326
36.4	動作説明	1327
36.4.1	コンパレータ A1	1327
36.4.2	コンパレータ A2	1329
36.5	コンパレータ A1、コンパレータ A2 割り込み	1331
36.5.1	ノンマスクブル割り込み	1331
36.5.2	マスクブル割り込み	1331
36.6	イベントリンク出力機能	1332
36.7	割り込み処理とイベントリンクとの関係	1332
37.	コンパレータ B (CMPB)	1333
37.1	概要	1333
37.2	レジスタの説明	1334
37.2.1	コンパレータ B 制御レジスタ 1 (CPBCNT1)	1334
37.2.2	コンパレータ B フラグレジスタ (CPBFLG)	1334
37.2.3	コンパレータ B 割り込み制御レジスタ (CPBINT)	1335
37.2.4	コンパレータ B フィルタ選択レジスタ (CPBF)	1335
37.3	動作説明	1336
37.3.1	コンパレータ Bi デジタルフィルタ (i=0、1)	1337
37.4	コンパレータ B0、コンパレータ B1 割り込み	1338
37.5	イベントリンク出力機能	1339
37.5.1	割り込み処理とイベントリンクの関係	1339
37.6	使用上の注意事項	1339
37.6.1	モジュールストップ機能の設定	1339
38.	データ演算回路 (DOC)	1340
38.1	概要	1340

38.2	レジスタの説明	1341
38.2.1	DOC コントロールレジスタ (DOCR)	1341
38.2.2	DOC データインプットレジスタ (DODIR)	1342
38.2.3	DOC データセッティングレジスタ (DODSR)	1342
38.3	動作説明	1343
38.3.1	データ比較モード	1343
38.3.2	データ加算モード	1344
38.3.3	データ減算モード	1345
38.4	割り込み要求	1345
38.5	使用上の注意事項	1346
38.5.1	モジュールストップ機能の設定	1346
39.	RAM	1347
39.1	概要	1347
39.2	動作説明	1347
39.2.1	データ保持	1347
39.2.2	消費電力低減機能	1347
40.	ROM (コード格納用フラッシュメモリ)	1348
40.1	概要	1348
40.2	レジスタの説明	1350
40.2.1	フラッシュライトイレーズプロテクトレジスタ (FWEPROR)	1350
40.2.2	フラッシュモードレジスタ (FMODR)	1351
40.2.3	フラッシュアクセスステータスレジスタ (FASTAT)	1352
40.2.4	フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)	1354
40.2.5	FCU RAM イネーブルレジスタ (FCURAME)	1355
40.2.6	フラッシュステータスレジスタ 0 (FSTATR0)	1356
40.2.7	フラッシュステータスレジスタ 1 (FSTATR1)	1359
40.2.8	フラッシュレディー割り込み許可レジスタ (FRDYIE)	1360
40.2.9	フラッシュ P/E モードエントリレジスタ (FENTRYR)	1361
40.2.10	フラッシュプロテクトレジスタ (FPROTR)	1363
40.2.11	フラッシュリセットレジスタ (FRESETR)	1364
40.2.12	FCU コマンドレジスタ (FCMDR)	1365
40.2.13	FCU 処理切り替えレジスタ (FCPSR)	1366
40.2.14	フラッシュ P/E ステータスレジスタ (FPESTAT)	1367
40.2.15	周辺クロック通知レジスタ (PCKAR)	1368
40.3	ROM の領域構成	1369
40.4	ブロック構成	1371
40.5	ROM 関連の動作モード	1372
40.6	ROM へのプログラム / イレーズ	1373
40.6.1	FCU のモード	1373
40.6.1.1	ROM リードモード	1374

40.6.1.2	ROM P/E モード	1374
40.6.2	FCU コマンド一覧	1375
40.6.3	FCU のモードとコマンドの関係	1377
40.6.4	FCU コマンド使用方法	1378
40.6.4.1	モード移行	1378
40.6.4.2	プログラム/イレーズ方法手順	1382
40.6.4.3	エラー処理の方法	1391
40.6.4.4	サスペンド/レジューム	1392
40.7	サスペンド動作	1395
40.7.1	書き込み、および消去のサスペンド (サスペンド優先モード)	1396
40.7.2	書き込み、および消去のサスペンド (書き込み/消去優先モード)	1397
40.8	プロテクト	1398
40.8.1	ソフトウェアプロテクト	1398
40.8.2	コマンドロック状態	1398
40.9	ユーザブートモード	1401
40.10	ブートモード	1401
40.10.1	システム構成	1401
40.10.2	ブートモードの状態遷移	1402
40.10.3	ビットレートの自動調整	1404
40.10.4	ID コードプロテクト (ブートモード)	1405
40.10.5	UB コード	1406
40.10.6	問い合わせ/設定コマンド待ち	1407
40.10.7	ID コード待ち状態	1418
40.10.8	プログラム/イレーズコマンド待ち	1419
40.11	オンチップデバッガ ID コードプロテクト	1427
40.12	ROM コードプロテクト	1427
40.13	使用上の注意事項	1428
41.	E2 データフラッシュ (データ格納用フラッシュメモリ)	1430
41.1	概要	1430
41.2	レジスタの説明	1432
41.2.1	フラッシュモードレジスタ (FMODR)	1432
41.2.2	フラッシュアクセスステータスレジスタ (FASTAT)	1433
41.2.3	フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)	1435
41.2.4	E2 データフラッシュ読み出し許可レジスタ 0 (DFLRE0)	1436
41.2.5	E2 データフラッシュプログラム/イレーズ許可レジスタ 0 (DFLWE0)	1437
41.2.6	フラッシュ P/E モードエントリレジスタ (FENTRYR)	1438
41.2.7	E2 データフラッシュブランクチェック制御レジスタ (DFLBCCNT)	1440
41.2.8	E2 データフラッシュブランクチェックステータスレジスタ (DFLBCSTAT)	1441
41.3	E2 データフラッシュのメモリ領域構成	1442
41.4	ブロック構成	1442

41.5	E2 データフラッシュ関連の動作モード	1443
41.6	E2 データフラッシュへのプログラム/イレーズ	1444
41.6.1	FCU のモード	1444
41.6.1.1	ROM P/E モード	1445
41.6.1.2	ROM/E2 データフラッシュリードモード	1445
41.6.1.3	E2 データフラッシュ P/E モード	1445
41.6.2	FCU コマンド一覧	1446
41.6.3	FCU のモードとコマンドの関係	1447
41.6.4	FCU コマンド使用方法	1448
41.7	プロテクト	1452
41.7.1	ソフトウェアプロテクト	1452
41.7.2	コマンドロック状態	1453
41.8	ブートモード	1454
41.8.1	問い合わせ/設定コマンド	1454
41.8.2	プログラム/イレーズコマンド	1455
41.9	使用上の注意事項	1457
42.	電气的特性	1458
42.1	絶対最大定格	1458
42.2	DC 特性	1459
42.2.1	標準 I/O 端子出力特性 (1)	1506
42.2.2	標準 I/O 端子出力特性 (2)	1509
42.2.3	RIIC 端子出力特性	1512
42.3	AC 特性	1514
42.3.1	クロックタイミング	1517
42.3.2	リセットタイミング	1523
42.3.3	低消費電力状態からの復帰タイミング	1524
42.3.4	制御信号タイミング	1527
42.3.5	バスタイミング	1528
42.3.6	内蔵周辺モジュールタイミング	1537
42.4	A/D 変換特性	1551
42.5	D/A 変換特性	1557
42.6	温度センサ特性	1557
42.7	コンパレータ特性	1558
42.8	パワーオンリセット回路、電圧検出回路特性	1559
42.9	発振停止検出タイミング	1563
42.10	ROM (コード格納用フラッシュメモリ) 特性	1564
42.11	E2 データフラッシュ (データ格納用フラッシュメモリ) 特性	1569
付録 1.	各処理状態におけるポートの状態	1575
付録 2.	外形寸法図	1578
改訂記録	1590

50MHz、32ビットRX MCU、78 DMIPS、
最大1Mバイトフラッシュメモリ、12ビットA/D、10ビットD/A、
ELC、MPC、RTC、最大15本の通信機能、IEC60730対応機能内蔵

特長

■ 32ビットRX CPUコア内蔵

- 最大動作周波数 50MHz
78DMIPS の性能 (50MHz 動作時)
- 32x32 → 64ビット演算結果 (1命令) のアキュムレータ
- 乗除算器 32x32ビット (乗算命令は1CPUクロック)
- 高速割り込み
- 5段パイプラインのCISCハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵

■消費電力低減機能

- 1.62V ~ 5.5V 動作の単一電源
- 1.62V 動作可能 (最大 20MHz)
- RTCを使用したディープソフトウェアスタンバイモード
- 4種類の低消費電力モード

■内蔵コードフラッシュメモリ (ウェイトなし)

- 50MHz 動作、20ns 読み出しサイクル
- CPU フルスピード読み出し時、ウェイトなし
- 64K ~ 1M バイトの容量
- SCI からのユーザ書き込み
- 1.62V で書き換え可能
- 命令、オペランド用

■内蔵データフラッシュメモリ

- 8K バイト (書き換え回数: 100,000 回)
- CPU に負荷をかけない書き込み/消去

■内蔵SRAM (ウェイトなし)

- 12K ~ 96K バイトの容量

■DMA

- DMAC: 4チャンネル内蔵
- DTC: 4種類の転送モード

■ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態において、モジュール動作が可能

■リセットおよび電源電圧制御

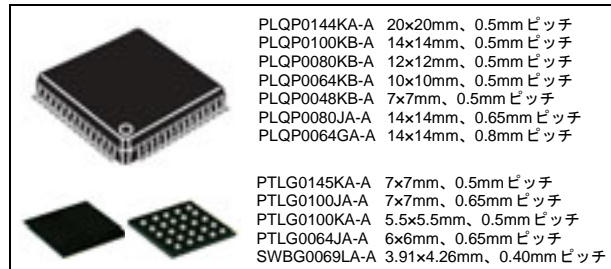
- パワーオンリセット (POR) など9種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■クロック機能

- 外部クロック入力周波数: ~ 20MHz
- サブクロック用発振器周波数: 32.768kHz
- PLL 回路入力 4MHz ~ 12.5MHz
- 低速オンチップオシレータ、高速オンチップオシレータ、IWDT 専用オンチップオシレータ内蔵
- 32.768kHz RTC 専用クロックの生成
- クロック周波数精度測定回路 (CAC) 内蔵

■リアルタイムクロック内蔵

- 補正機能 (30秒、うるう年、誤差)
- 時間キャプチャ機能
- 外部端子のイベント入力で時間をキャプチャ
- RTC でディープソフトウェアスタンバイモードから復帰可能



■独立ウォッチドッグタイマ内蔵

- 125kHz IWDT 専用オンチップオシレータクロック動作

■IEC60730対応機能内蔵

- A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、RAM テストアシスト機能など

■最大15本の通信機能を内蔵

- 多彩な機能に対応した SCI (最大 13チャンネル) 調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード
- I²Cバスインタフェース 最大400kbps 転送 SMBus に対応 (1チャンネル)
- RSPI (1チャンネル) 最大 16Mbps 転送 (768K 以上のフラッシュメモリ容量製品または、144ピン以上のピン数をもつ製品)

■外部アドレス空間

- 4つのCS領域 (4x16M バイト)
- エリアごとに 8/16 ビットバス空間を選択可能

■最大20本の拡張タイマ機能

- 16ビットMTU: インพุットキャプチャ、アウトプットコンペア、相補PWM出力、位相計数モード (6チャンネル)
- 16ビットTPU: インพุットキャプチャ、アウトプットコンペア、位相計数モード (6チャンネル)
- 8ビットTMR (4チャンネル)
- 16ビットCMT (4チャンネル)

■12ビットA/Dコンバータ内蔵

- 最小 1μs 変換が可能
- サンプル&ホールド回路内蔵 (3チャンネル)
- 3ch 同時サンプリングが可能
- 自己診断機能/アナログ入力断線検出アシスト機能内蔵

■10ビットD/Aコンバータ内蔵

■アナログコンパレータ内蔵

■汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■MPC

- 周辺機能の入出力端子を複数個所から選択可能

■温度センサ内蔵

■動作周囲温度

- 40℃ ~ +85℃
- 40℃ ~ +105℃

■用途

- 69WLBGA(SWBG0069LA-A): 一般民生機器
- 上記以外: 一般産業、民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

製品は、チップバージョン A（型名：R5F5210xAxxx）、チップバージョン B（型名：R5F5210xBxxx）およびチップバージョン C（型名：R5F5210xCxxx）があります。

チップバージョン A、B、C の仕様上の相違点は、「表 1 チップバージョンによる仕様の相違点」を参照してください。

表 1.1 仕様概要 (1 / 5)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：50MHz 32ビットRX CPU 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×8本 アキュムレータ：64ビット×1本 基本命令：73種類 DSP機能命令：9種類 アドレッシングモード：10種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット
メモリ	ROM	<ul style="list-style-type: none"> 容量：64K/96K/128K/256K/384K/512K/768K/1Mバイト 50MHz、ノーウェイトアクセス オンボードプログラミング：3種類 オフボードプログラミング
	RAM	<ul style="list-style-type: none"> 容量：12K/16K/20K/32K/64K/96Kバイト 50MHz、ノーウェイトアクセス
	E2データフラッシュ	<ul style="list-style-type: none"> 容量：8Kバイト プログラム/イレーズ回数：100,000回
MCU動作モード		シングルチップモード、内蔵ROM有効拡張モード、内蔵ROM無効拡張モード（ソフトウェア切り替え）
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDTC専用オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路（CAC）：あり システムクロック（ICLK）、周辺モジュールクロック（PCLK）、外部バスクロック（BCLK）、FlashIFクロック（FCLK）を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 50MHz 周辺モジュールはPCLK同期：Max 32MHz 外部バスに接続するデバイスはBCLK同期：Max 12.5MHz フラッシュ周辺回路はFCLK同期：Max 32MHz
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセット、ディープソフトウェアスタンバイリセット、ソフトウェアリセット
電圧検出	電圧検出回路（LVDAa）	<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出0は検出電圧を4レベルから選択可能 電圧検出1は検出電圧を16レベルから選択可能 電圧検出2の検出電圧は16レベルから選択可能

表 1.1 仕様概要 (2 / 5)

分類	モジュール/機能	説明
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力モード スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード [チップバージョンA、C] 高速動作モード、中速動作モード1A、中速動作モード1B、低速動作モード1、低速動作モード2 [チップバージョンB] 高速動作モード、中速動作モード1A、中速動作モード1B、中速動作モード2A、中速動作モード2B、低速動作モード1、低速動作モード2
割り込み	割り込みコントローラ (ICUb)	<ul style="list-style-type: none"> 割り込みベクタ数：167 外部割り込み：要因数9 (NMI、IRQ0～IRQ7端子) ノンマスカブル割り込み：要因数6 (NMI端子、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込み、WDT割り込み、IWDWT割り込み) 16レベルの割り込み優先順位を設定可能
外部バス拡張		<ul style="list-style-type: none"> 外部アドレス空間を4つのエリア (CS0～CS3) に分割して管理 各エリアの領域：16Mバイト (CS0～CS3) エリアごとにチップセレクト (CS0#～CS3#) 出力可能 エリアごとに、バス幅として、8ビットバス/16ビットバスを選択可能 エリアごとにエンディアンを設定可能 (データのみ) バス形式：セパレートバス、マルチプレクスバスの選択が可能 ウェイト制御可能 ライトバッファ機能
DMA	DMAコントローラ (DMACA)	<ul style="list-style-type: none"> 4チャンネル 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データ転送コントローラ (DTCa)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード 起動要因：割り込み要因により起動 チェーン転送機能あり
I/Oポート	汎用入出力ポート	<p>145ピン/144ピン/100ピン/80ピン/69ピン/64ピン/48ピン</p> <ul style="list-style-type: none"> 入出力：122/122/84/64/48/48/34 入力：1/1/1/1/1/1 プルアップ抵抗：122/122/84/64/48/48/34 オープンドレイン出力：76/76/54/44/35/35/26 5Vトレラント：4/4/4/2/2 (注1) /2
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> 59種類のイベント信号を直接モジュールへリンク可能 タイマ系のモジュールはイベント入力時の動作の選択が可能 ポートB、ポートEのイベントリンク動作が可能
マルチファンクションピンコントローラ (MPC)		入出力機能を複数の端子から選択可能

表 1.1 仕様概要 (3 / 5)

分類	モジュール/機能	説明
タイマ	16ビットタイマパルスユニット (TPUa)	<ul style="list-style-type: none"> • (16ビット×6チャンネル) ×1ユニット • 最大16本のパルス入出力が可能 • チャンネルごとに7種類または8種類のカウントクロックを選択可能 • インพุットキャプチャ/アウトプットコンペア機能をサポート • 最大15相のPWM波形を出力するPWMモード • チャンネルによりバッファ動作、位相計数モード (2相エンコーダ入力)、カスケード接続動作 (32ビット×2チャンネル) をサポート • A/Dコンバータの変換開始トリガを生成可能 • インพุットキャプチャ端子にデジタルフィルタあり • クロック周波数測定機能 (TPUは、144ピン以上のピン数を持つ製品に内蔵)
	マルチファンクションタイマパルスユニット2 (MTU2a)	<ul style="list-style-type: none"> • (16ビット×6チャンネル) ×1ユニット • 16ビットタイマ 6チャンネルをベースに最大 16本のパルス入出力、および3本のパルス入出力が可能 • チャンネルごとにカウントクロック (PCLK/1、PCLK/4、PCLK/16、PCLK/64、PCLK/256、PCLK/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD) を8種類または7種類選択可能 (チャンネル5は4種類) • インพุットキャプチャ機能 • 21本のアウトプットコンペアレジスタ兼インพุットキャプチャレジスタ • パルス出力モード • 相補PWM出力モード • リセット同期PWMモード • 位相計数モード • A/Dコンバータの変換開始トリガを生成可能
	ポートアウトプットイネーブル2 (POE2a)	MTU波形出力端子のハイインピーダンス制御
	8ビットタイマ (TMR)	<ul style="list-style-type: none"> • (8ビット×2チャンネル) ×2ユニット • 7種類の内部クロック (PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192) と外部クロックを選択可能 • 任意のデューティのパルス出力やPWM出力が可能 • 2チャンネルをカスケード接続し16ビットタイマとして使用可能 • SCI5、SCI6、SCI12のポーレートクロック生成可能
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • (16ビット×2チャンネル) ×2ユニット • 4種類のクロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) を選択可能
	ウォッチドッグタイマ (WDTa)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • 6種類のカウントクロック (PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192) を選択可能
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • カウントクロック : IWDT専用オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周
	リアルタイムクロック (RTCb)	<ul style="list-style-type: none"> • クロックソース : サブクロックにて動作 • 時計/カレンダー機能 • 割り込み : アラーム割り込み、周期割り込み、桁上げ割り込み • 3値タイムキャプチャ機能

表 1.1 仕様概要 (4 / 5)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインタフェース (SC1c, SC1d)	<ul style="list-style-type: none"> 13チャンネル (チャンネル0~チャンネル11 : SC1c、チャンネル12 : SC1d) シリアル通信方式 : 調歩同期式/クロック同期式/スマートカードインタフェース 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能 (SC15、SC16、SC112) 簡易IIC機能 簡易SPI機能 マスタ/スレーブモードをサポート (SC1dのみ) スタートフレーム、インフォメーションフレームから構成 (SC1dのみ)
	I ² Cバスインタフェース (RIIC)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット : I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブを選択可能 ファストモード対応
	シリアルペリフェラルインタフェース (RSPI)	<ul style="list-style-type: none"> 1チャンネル 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) /クロック同期式動作 (3線式) でシリアル通信が可能 マスタ/スレーブモードを選択可能 データフォーマット LSBファースト/MSBファーストを選択可能 転送ビット長 (8~16、20、24、32ビット) を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) 送信/受信バッファ構成はダブルバッファ
12ビットA/Dコンバータ (S12ADb)	<ul style="list-style-type: none"> 12ビット (16チャンネルx1ユニット) 分解能 : 12ビット 最小変換時間 : 1チャンネル当たり1.0μs (ADCLK = 50MHz動作時) 動作モード スキャンモード (シングルスキャンモード、連続スキャンモード、グループスキャンモード) サンプル&ホールド機能 A/Dコンバータの自己診断機能 アナログ入力断線検出アシスト機能 ダブルトリガモード (A/D変換データ2重化機能) A/D変換開始条件 ソフトウェアトリガ、タイマ (MTU) のトリガ、外部トリガ、ELC 	
温度センサ (TEMPSa)	<ul style="list-style-type: none"> 温度により変化する電圧を出力 PGAゲイン切り替え : 電圧範囲に合わせて4段階に切り替え可能 	
D/Aコンバータ (DA)	<ul style="list-style-type: none"> 2チャンネル 分解能 : 10ビット 出力電圧 : 0V ~ VREFH 	
CRC演算器 (CRC)	<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能 	
コンパレータ A (CMPA)	<ul style="list-style-type: none"> 2チャンネル リファレンス電圧とアナログ入力電圧の比較機能 	
コンパレータ B (CMPB)	<ul style="list-style-type: none"> 2チャンネル リファレンス電圧とアナログ入力電圧の比較機能 	
データ演算回路 (DOC)	16ビットのデータを比較、加算、減算する機能	
電源電圧/動作周波数	VCC=1.62~1.8V : 20MHz、VCC=1.8~2.7V : 32MHz、VCC=2.7~5.5V : 50MHz	
動作周囲温度	Dバージョン : -40~+85°C、Gバージョン : -40~+105°C (注2)	

表 1.1 仕様概要 (5 / 5)

分類	モジュール/機能	説明
パッケージ	チップバージョンA	100ピンTFLGA (PTLG0100JA-A) 7x7mm、0.65mmピッチ 100ピンLQFP (PLQP0100KB-A) 14x14mm、0.5mmピッチ 80ピンLQFP (PLQP0080KB-A) 12x12mm、0.5mmピッチ 64ピンLQFP (PLQP0064KB-A) 10x10mm、0.5mmピッチ
	チップバージョンB	145ピンTFLGA (PTLG0145KA-A) 7x7mm、0.5mmピッチ 100ピンTFLGA (PTLG0100JA-A) 7x7mm、0.65mmピッチ 100ピンTFLGA (PTLG0100KA-A) 5.5x5.5mm、0.5mmピッチ 64ピンTFLGA (PTLG0064JA-A) 6x6mm、0.65mmピッチ 144ピンLQFP (PLQP0144KA-A) 20x20mm、0.5mmピッチ 100ピンLQFP (PLQP0100KB-A) 14x14mm、0.5mmピッチ 80ピンLQFP (PLQP0080KB-A) 12x12mm、0.5mmピッチ 80ピンLQFP (PLQP0080JA-A) 14x14mm、0.65mmピッチ 69ピンWLBGA (SWBG0069LA-A) 3.91x4.26mm、0.40mmピッチ 64ピンLQFP (PLQP0064KB-A) 10x10mm、0.5mmピッチ 64ピンLQFP (PLQP0064GA-A) 14x14mm、0.8mmピッチ 48ピンLQFP (PLQP0048KB-A) 7x7mm、0.5mmピッチ
	チップバージョンC	100ピンTFLGA (PTLG0100JA-A) 7x7mm、0.65mmピッチ 100ピンLQFP (PLQP0100KB-A) 14x14mm、0.5mmピッチ 80ピンLQFP (PLQP0080KB-A) 12x12mm、0.5mmピッチ 80ピンLQFP (PLQP0080JA-A) 14x14mm、0.65mmピッチ 64ピンLQFP (PLQP0064KB-A) 10x10mm、0.5mmピッチ 64ピンLQFP (PLQP0064GA-A) 14x14mm、0.8mmピッチ
オンチップデバッキングシステム		E1エミュレータ (FINEインタフェース)

注1. 以下のチップバージョンAの製品では、P17は5Vトレラントに対応していないため、1本になります。
R5F52108ADFM、R5F52107ADFM、R5F52106ADFM、R5F52105ADFM

注2. Ta = +85°C~+105°Cで使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX210グループ				
		144、145ピン	100ピン	80ピン	64、69ピン	48ピン
外部バス	外部バス幅	16ビット		サポートなし		
割り込み	外部割り込み	NMI、IRQ0～IRQ7			NMI、IRQ0～IRQ2、IRQ4～IRQ7	NMI、IRQ0、IRQ1、IRQ4～IRQ7
DMA	DMAコントローラ	4チャンネル(DMAC0～DMAC3)				
	データトランスファコントローラ	あり				
タイマ	16ビットタイマパルスユニット	6チャンネル(TPU0～TPU5)	なし			
	マルチファンクションタイマパルスユニット2	6チャンネル(MTU0～MTU5)				
	ポートアウトプットイネーブル2	POE0#～POE3#、POE8#				
	8ビットタイマ	2チャンネル×2ユニット				
	コンペアマッチタイマ	2チャンネル×2ユニット				
	リアルタイムクロック	あり				なし
	ウォッチドッグタイマ	あり				
	独立ウォッチドッグタイマ	あり				
通信機能	シリアルコミュニケーションインタフェース (SCIc)	12チャンネル(SCI0～SCI11)	6チャンネル(SCI0、1、5、6、8、9)		5チャンネル(SCI1、5、6、8、9)	4チャンネル(SCI1、5、6、8)
	シリアルコミュニケーションインタフェース (SCId)	1チャンネル(SCI12)				
	I ² Cバスインタフェース	1チャンネル				
	シリアルペリフェラルインタフェース	1チャンネル				
12ビットA/Dコンバータ		16チャンネル(AN000～AN015)	14チャンネル(AN000～AN013)	12チャンネル(AN000～AN004、AN006、AN008～AN013)	8チャンネル(AN000～AN002、AN006、AN009～AN012)	
温度センサ		あり				
D/Aコンバータ		2チャンネル				なし
CRC演算器		あり				
イベントリンクコントローラ		あり				
コンパレータA		2チャンネル				
コンパレータB		2チャンネル				
パッケージ		145ピンTFLGA 144ピンLQFP	100ピンTFLGA 100ピンLQFP	80ピンLQFP	69ピンWLBGA 64ピンTFLGA 64ピンLQFP	48ピンLQFP

1.2 製品一覧

表 1.3 ~ 表 1.7 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 チップバージョンA、Dバージョン (Ta = -40 ~ 85°C)

グループ	品名	発注型名	パッケージ	ROM 容量	RAM 容量	E2データ フラッシュ	動作周波数 (max)	動作周囲 温度
RX210	R5F52108ADFP	R5F52108ADFP#V0	PLQP0100KB-A	512K バイト	64K バイト	8Kバイト	50MHz	-40 ~ +85°C
	R5F52108ADFN	R5F52108ADFN#V0	PLQP0080KB-A					
	R5F52108ADFM	R5F52108ADFM#V0	PLQP0064KB-A					
	R5F52108ADLJ	R5F52108ADLJ#U0	PTLG0100JA-A					
	R5F52107ADFP	R5F52107ADFP#V0	PLQP0100KB-A	384K バイト				
	R5F52107ADFN	R5F52107ADFN#V0	PLQP0080KB-A					
	R5F52107ADFM	R5F52107ADFM#V0	PLQP0064KB-A					
	R5F52107ADLJ	R5F52107ADLJ#U0	PTLG0100JA-A					
	R5F52106ADFP	R5F52106ADFP#V0	PLQP0100KB-A	256K バイト	32K バイト			
	R5F52106ADFN	R5F52106ADFN#V0	PLQP0080KB-A					
	R5F52106ADFM	R5F52106ADFM#V0	PLQP0064KB-A					
	R5F52106ADLJ	R5F52106ADLJ#U0	PTLG0100JA-A					
	R5F52105ADFP	R5F52105ADFP#V0	PLQP0100KB-A	128K バイト	20K バイト			
	R5F52105ADFN	R5F52105ADFN#V0	PLQP0080KB-A					
	R5F52105ADFM	R5F52105ADFM#V0	PLQP0064KB-A					
	R5F52105ADLJ	R5F52105ADLJ#U0	PTLG0100JA-A					

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

表 1.4 製品一覧表 チップバージョンB、Dバージョン (Ta = -40 ~ 85°C)

グループ	品名	発注型名	パッケージ	ROM 容量	RAM 容量	E2データ フラッシュ	動作周波数 (max)	動作周囲 温度
RX210	R5F5210BBDFB	R5F5210BBDFB#30	PLQP0144KA-A	1M バイト	96K バイト	8Kバイト	50MHz	-40 ~ +85°C
	R5F5210BBDLK	R5F5210BBDLK#U0	PTLG0145KA-A					
	R5F5210BBDFP	R5F5210BBDFP#30	PLQP0100KB-A					
	R5F5210BBDLJ	R5F5210BBDLJ#U0	PTLG0100JA-A					
	R5F5210ABDFB	R5F5210ABDFB#30	PLQP0144KA-A	768K バイト	96K バイト			
	R5F5210ABDLK	R5F5210ABDLK#U0	PTLG0145KA-A					
	R5F5210ABDFP	R5F5210ABDFP#30	PLQP0100KB-A					
	R5F5210ABDLJ	R5F5210ABDLJ#U0	PTLG0100JA-A					
	R5F52108BDFB	R5F52108BDFB#30	PLQP0144KA-A	512K バイト	64K バイト			
	R5F52108BDLK	R5F52108BDLK#U0	PTLG0145KA-A					
	R5F52107BDFB	R5F52107BDFB#30	PLQP0144KA-A	384K バイト	64K バイト			
	R5F52107BDLK	R5F52107BDLK#U0	PTLG0145KA-A					
	R5F52106BDFB	R5F52106BDFB#30	PLQP0144KA-A	256K バイト	32K バイト			
	R5F52106BDLK	R5F52106BDLK#U0	PTLG0145KA-A					
	R5F52106BDFP	R5F52106BDFP#30	PLQP0100KB-A					
	R5F52106BDFN	R5F52106BDFN#30	PLQP0080KB-A					
	R5F52106BDFM	R5F52106BDFM#30	PLQP0064KB-A					
	R5F52106BDFL	R5F52106BDFL#30	PLQP0048KB-A					
	R5F52106BDLJ	R5F52106BDLJ#U0	PTLG0100JA-A					
	R5F52106BDLA	R5F52106BDLA#U0	PTLG0100KA-A					
	R5F52106BDFE	R5F52106BDFE#V0	PLQP0080JA-A					
	R5F52106BDFK	R5F52106BDFK#30	PLQP0064GA-A					
	R5F52106BDLH	R5F52106BDLH#U0	PTLG0064JA-A					
	R5F52106BDBM (注1)	R5F52106BDBM#W0 (注1)	SWBG0069LA-A					
	R5F52105BDFB	R5F52105BDFB#30	PLQP0144KA-A	128K バイト	20K バイト			
	R5F52105BDLK	R5F52105BDLK#U0	PTLG0145KA-A					
	R5F52105BDFP	R5F52105BDFP#30	PLQP0100KB-A					
	R5F52105BDFN	R5F52105BDFN#30	PLQP0080KB-A					
	R5F52105BDFM	R5F52105BDFM#30	PLQP0064KB-A					
	R5F52105BDFL	R5F52105BDFL#30	PLQP0048KB-A					
	R5F52105BDLJ	R5F52105BDLJ#U0	PTLG0100JA-A					
	R5F52105BDLA	R5F52105BDLA#U0	PTLG0100KA-A					
R5F52105BDFE	R5F52105BDFE#V0	PLQP0080JA-A						
R5F52105BDFK	R5F52105BDFK#30	PLQP0064GA-A						
R5F52105BDLH	R5F52105BDLH#U0	PTLG0064JA-A						
R5F52105BDBM (注1)	R5F52105BDBM#W0 (注1)	SWBG0069LA-A						
R5F52104BDFM	R5F52104BDFM#30	PLQP0064KB-A	96K バイト	16K バイト				
R5F52104BDFL	R5F52104BDFL#30	PLQP0048KB-A						
R5F52104BDFE	R5F52104BDFE#V0	PLQP0080JA-A						
R5F52104BDLH	R5F52104BDLH#U0	PTLG0064JA-A						
R5F52103BDFM	R5F52103BDFM#30	PLQP0064KB-A	64K バイト	12K バイト				
R5F52103BDFL	R5F52103BDFL#30	PLQP0048KB-A						
R5F52103BDFE	R5F52103BDFE#V0	PLQP0080JA-A						
R5F52103BDLH	R5F52103BDLH#U0	PTLG0064JA-A						

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

注1. この製品は一般民生機器のみに対応しています。

表 1.5 製品一覧表 チップバージョンB、Gバージョン (Ta = -40 ~ 105°C)

グループ	品名	発注型名	パッケージ	ROM 容量	RAM 容量	E2データ フラッシュ	動作周波数 (max)	動作周囲 温度	
RX210	R5F5210BBGFB	R5F5210BBGFB#30	PLQP0144KA-A	1M バイト	96K バイト	8Kバイト	50MHz	-40 ~ +105°C	
	R5F5210BBGFP	R5F5210BBGFP#30	PLQP0100KB-A	768K バイト					
	R5F5210ABGFB	R5F5210ABGFB#30	PLQP0144KA-A	512K バイト	64K バイト				
	R5F5210ABGFP	R5F5210ABGFP#30	PLQP0100KB-A	384K バイト					
	R5F52108BGFB	R5F52108BGFB#30	PLQP0144KA-A	256K バイト	32K バイト				
	R5F52107BGFB	R5F52107BGFB#30	PLQP0144KA-A						
	R5F52106BGFB	R5F52106BGFB#30	PLQP0144KA-A	128K バイト	20K バイト				
	R5F52106BGFP	R5F52106BGFP#30	PLQP0100KB-A						
	R5F52106BGFN	R5F52106BGFN#30	PLQP0080KB-A	96K バイト	16K バイト				
	R5F52106BGFM	R5F52106BGFM#30	PLQP0064KB-A						
	R5F52106BGFL	R5F52106BGFL#30	PLQP0048KB-A	64K バイト	12K バイト				
	R5F52106BGFF	R5F52106BGFF#V0	PLQP0080JA-A						
	R5F52106BGFK	R5F52106BGFK#30	PLQP0064GA-A	R5F52105BGFB	R5F52105BGFB#30				PLQP0144KA-A
	R5F52105BGFB	R5F52105BGFB#30	PLQP0144KA-A	R5F52105BGFP	R5F52105BGFP#30				PLQP0100KB-A
	R5F52105BGFP	R5F52105BGFP#30	PLQP0100KB-A	R5F52105BGFN	R5F52105BGFN#30				PLQP0080KB-A
	R5F52105BGFN	R5F52105BGFN#30	PLQP0080KB-A	R5F52105BGFM	R5F52105BGFM#30				PLQP0064KB-A
	R5F52105BGFM	R5F52105BGFM#30	PLQP0064KB-A	R5F52105BGFL	R5F52105BGFL#30				PLQP0048KB-A
	R5F52105BGFL	R5F52105BGFL#30	PLQP0048KB-A	R5F52105BGFF	R5F52105BGFF#V0				PLQP0080JA-A
	R5F52105BGFF	R5F52105BGFF#V0	PLQP0080JA-A	R5F52105BGFK	R5F52105BGFK#30				PLQP0064GA-A
	R5F52105BGFK	R5F52105BGFK#30	PLQP0064GA-A	R5F52104BGFM	R5F52104BGFM#30				PLQP0064KB-A
	R5F52104BGFM	R5F52104BGFM#30	PLQP0064KB-A	R5F52104BGFL	R5F52104BGFL#30				PLQP0048KB-A
	R5F52104BGFL	R5F52104BGFL#30	PLQP0048KB-A	R5F52104BGFF	R5F52104BGFF#V0				PLQP0080JA-A
	R5F52104BGFF	R5F52104BGFF#V0	PLQP0080JA-A	R5F52103BGFM	R5F52103BGFM#30				PLQP0064KB-A
R5F52103BGFM	R5F52103BGFM#30	PLQP0064KB-A	R5F52103BGFL	R5F52103BGFL#30	PLQP0048KB-A				
R5F52103BGFL	R5F52103BGFL#30	PLQP0048KB-A	R5F52103BGFF	R5F52103BGFF#V0	PLQP0080JA-A				
R5F52103BGFF	R5F52103BGFF#V0	PLQP0080JA-A							

注. Ta = +85°C ~ +105°Cで使用する場合は、ディレーティングについては、当社営業および販売店営業へお問い合わせください。
 なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

表 1.6 製品一覧表 チップバージョンC、Dバージョン (Ta = -40 ~ 85°C)

グループ	品名	発注型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数(max)	動作周囲温度
RX210	R5F52108CDFP	R5F52108CDFP#30	PLQP0100KB-A	512K バイト	64K バイト	8Kバイト	50MHz	-40 ~ +85°C
	R5F52108CDFN	R5F52108CDFN#30	PLQP0080KB-A					
	R5F52108CDFM	R5F52108CDFM#30	PLQP0064KB-A					
	R5F52108CDLJ	R5F52108CDLJ#U0	PTLG0100JA-A					
	R5F52108CDFF	R5F52108CDFF#V0	PLQP0080JA-A					
	R5F52108CDFK	R5F52108CDFK#30	PLQP0064GA-A					
	R5F52107CDFP	R5F52107CDFP#30	PLQP0100KB-A	384K バイト				
	R5F52107CDFN	R5F52107CDFN#30	PLQP0080KB-A					
	R5F52107CDFM	R5F52107CDFM#30	PLQP0064KB-A					
	R5F52107CDLJ	R5F52107CDLJ#U0	PTLG0100JA-A					
	R5F52107CDFF	R5F52107CDFF#V0	PLQP0080JA-A					
	R5F52107CDFK	R5F52107CDFK#30	PLQP0064GA-A					

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

表 1.7 製品一覧表 チップバージョンC、Gバージョン (Ta = -40 ~ 105°C)

グループ	品名	発注型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数(max)	動作周囲温度
RX210	R5F52108CGFP	R5F52108CGFP#30	PLQP0100KB-A	512K バイト	64K バイト	8Kバイト	50MHz	-40 ~ +105°C
	R5F52108CGFN	R5F52108CGFN#30	PLQP0080KB-A					
	R5F52108CGFM	R5F52108CGFM#30	PLQP0064KB-A					
	R5F52108CGFF	R5F52108CGFF#V0	PLQP0080JA-A					
	R5F52108CGFK	R5F52108CGFK#30	PLQP0064GA-A					
	R5F52107CGFP	R5F52107CGFP#30	PLQP0100KB-A	384K バイト				
	R5F52107CGFN	R5F52107CGFN#30	PLQP0080KB-A					
	R5F52107CGFM	R5F52107CGFM#30	PLQP0064KB-A					
	R5F52107CGFF	R5F52107CGFF#V0	PLQP0080JA-A					
	R5F52107CGFK	R5F52107CGFK#30	PLQP0064GA-A					

注. Ta = +85°C ~ +105°Cで使用する場合は、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

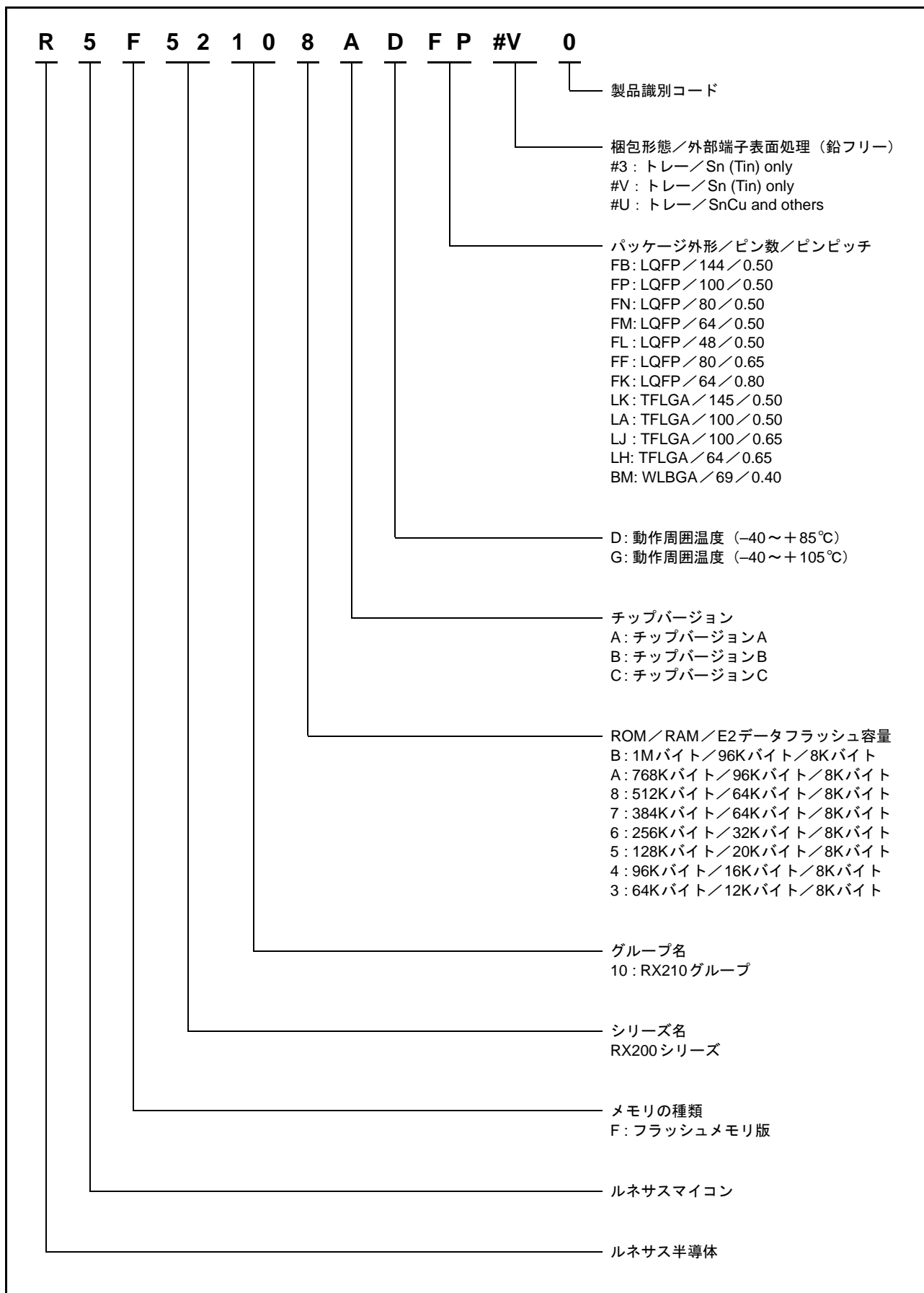


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

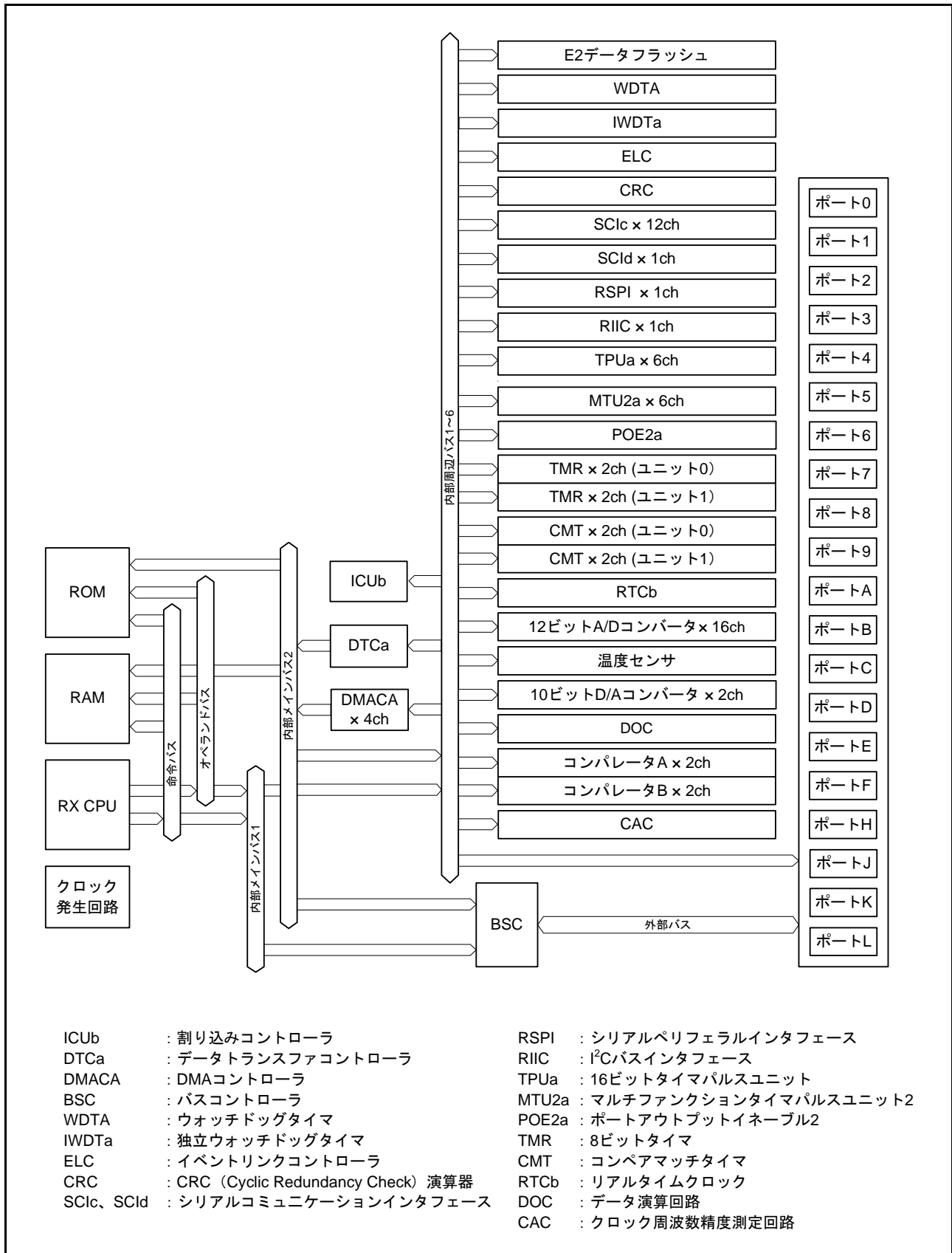


図 1.2 ブロック図

1.4 端子機能

表 1.8 に端子機能一覧を示します。

表 1.8 端子機能一覧 (1 / 4)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ (0.1μF) を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源 (0V) に接続してください
クロック	XTAL	出力	水晶振動子接続端子。また、EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部バスクロック出力端子
	XCIN	入力	サブクロック発振器の入出力端子。XCINとXCOUTの間には、水晶振動子を接続してください
	XCOUT	出力	
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください。
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINE インタフェース端子
アドレスバス	A0～A23	出力	アドレス出力端子
データバス	D0～D15	入出力	双方向データバス
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストロープ信号
	WR#	出力	1ライトストロープモード時、外部バスインタフェース空間をライト中であることを示すストロープ信号
	WR0#、WR1#	出力	バイトストロープモード時、外部バスインタフェース空間をライト中で、データバス (D7～D0、D15～D8) のいずれかが有効であることを示すストロープ信号
	BC0#、BC1#	出力	1ライトストロープモード時、外部バスインタフェース空間をアクセス中で、データバス (D7～D0、D15～D8) のいずれかが有効であることを示すストロープ信号
	CS0#～CS3#	出力	エリア0～3の選択信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0～IRQ7	入力	割り込み要求端子
16ビットタイマパルスユニット	TIOCA0、TIOCB0 TIOCC0、TIOCD0	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA1、TIOCB1	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA2、TIOCB2	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA3、TIOCB3 TIOCC3、TIOCD3	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA4、TIOCB4	入出力	TGRA4、TGRB4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA5、TIOCB5	入出力	TGRA5、TGRB5のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TCLKA、TCLKB TCLKC、TCLKD	入力	外部クロックを入力

表 1.8 端子機能一覧 (2 / 4)

分類	端子名	入出力	機能
マルチファンクションタイマパルスユニット2	MTIOC0A、MTIOC0B MTIOC0C、MTIOC0D	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A、MTIOC3B MTIOC3C、MTIOC3D	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A、MTIOC4B MTIOC4C、MTIOC4D	入出力	TGRA4～TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U、MTIC5V、 MTIC5W	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTCLKA、MTCLKB、 MTCLKC、MTCLKD	入力	外部クロックの入力端子
ポートアウトプットイネーブル2	POE0#～POE3#、 POE8#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子
8ビットタイマ	TMO0～TMO3	出力	コンペアマッチ出力端子
	TMCi0～TMCi3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0～TMRI3	入力	カウンタリセット入力端子
リアルタイムクロック	RTCOUT	出力	1Hzのクロックの出力端子
	RTCIC0～RTCIC2	入力	時間キャプチャイベント入力端子
シリアル コミュニケーション インタフェース (SCIc)	• 調歩同期式モード/クロック同期式モード		
	SCK0～SCK11	入出力	クロック入出力端子
	RXD0～RXD11	入力	受信データ入力端子
	TXD0～TXD11	出力	送信データ出力端子
	CTS0#～CTS11#	入力	送受信開始制御用入力端子
	RTS0#～RTS11#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL0～SSCL11	入出力	I ² Cクロック入出力端子
	SSDA0～SSDA11	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK0～SCK11	入出力	クロック入出力端子
	SMISO0～SMISO11	入出力	スレーブ送出データ入出力端子
	SMOSI0～SMOSI11	入出力	マスタ送出データ入出力端子
	SS0#～SS11#	入力	チップセレクト入力端子

表 1.8 端子機能一覧 (3 / 4)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCId)	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	• 拡張シリアルモード		
	RXDX12	入力	SCId受信データ入力端子
TXDX12	出力	SCId送信データ出力端子	
SIOX12	入出力	SCId送受信データ入出力端子	
I ² Cバスインタフェース	SCL	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
シリアルペリフェラルイ ンタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1~SSLA3	出力	RSPIのスレーブセレクト出力端子
12ビットA/Dコンバータ	AN000~AN015	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
D/Aコンバータ	DA0、DA1	出力	D/Aコンバータのアナログ出力端子
コンパレータA	CMPA1	入力	コンパレータA1用のアナログ端子
	CMPA2	入力	コンパレータA2用のアナログ端子
	CVREFA	入力	コンパレータ用のリファレンス電圧端子
コンパレータB	CMPB0	入力	コンパレータB0用のアナログ端子
	CVREFB0	入力	コンパレータB0用のリファレンス電圧端子
	CMPB1	入力	コンパレータB1用のアナログ端子
	CVREFB1	入力	コンパレータB1用のリファレンス電圧端子
アナログ電源	AVCC0	入力	12ビットA/Dコンバータのアナログ電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	AVSS0	入力	12ビットA/Dコンバータのアナロググランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	VREFH	入力	D/Aコンバータのアナログ電源端子。D/Aコンバータを使用しない場合は、VCCに接続してください
	VREFL	入力	D/Aコンバータのアナロググランド端子。D/Aコンバータを使用しない場合は、VSSに接続してください

表 1.8 端子機能一覧 (4 / 4)

分類	端子名	入出力	機能
I/Oポート	P00～P03、P05、P07	入出力	6ビットの入出力端子
	P12～P17	入出力	6ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P37	入出力	8ビットの入出力端子 (P35は入力端子)
	P40～P47	入出力	8ビットの入出力端子
	P50～P56	入出力	7ビットの入出力端子
	P60～P67	入出力	8ビットの入出力端子
	P70～P77	入出力	8ビットの入出力端子
	P80～P83、P86、P87	入出力	6ビットの入出力端子
	P90～P93	入出力	4ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PF5	入出力	1ビットの入出力端子
	PH0～PH3	入出力	4ビットの入出力端子
	PJ1、PJ3、PJ5	入出力	3ビットの入出力端子
	PK2～PK5	入出力	4ビットの入出力端子
	PL0、PL1	入出力	2ビットの入出力端子

1.5 ピン配置図

図 1.3 ~ 図 1.11 にピン配置図を示します。また、表 1.9 ~ 表 1.17 に機能別端子一覧を示します。

	A	B	C	D	E	F	G	H	J	K	L	M	N	
13	PE3	PE4	PK4	PE6	P67	PA2	PA4	PA7	PB1	PB5	PL0	PL1	P74	13
12	PE1	PE2	P70	PE5	P65	PA1	VCC	PB0	PB2	PB6	P73	PC1	P75	12
11	P62	P61	PE0	PK5	P66	VSS	PA6	P71	PB4	PB7	PC2	PC0	PC3	11
10	PK3	PK2	P63	PE7	PA0	PA3	PA5	P72	PB3	P76	PC4	P77	P82	10
9	PD6	PD4	PD7	P64	RX210グループ PTLG0145KA-A (145ピンTFLGA) (上面透視図)					P80	PC5	P81	PC7	9
8	PD2	PD0	PD3	P60						VCC	P83	PC6	VSS	8
7	P92	P91	PD1	PD5						P51	P52	P50	P55	7
6	P90	P47	VSS	P93						P53	P56	PH0	PH1	6
5	P45	P43	P46	VCC						P44	P54	P13	PH3	PH2
4	P42	VREFL0	P41	P01	NC	PJ1	NC	P35	P30	P15	P24	P12	P14	4
3	P40	P05	VREFH0	P03	PJ5	PJ3	MD	VSS	P32	P31	P16	P86	P87	3
2	P07	AVCC0	P02	PF5	VCL	XCOUT	RES#	VCC	P33	P26	P23	P17	P20	2
1	AVSS0	VREFH	VREFL	P00	VSS	XCIN	XTAL	EXTAL	P34	P27	P25	P22	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	

注. ・ピン配置図には、電源端子、I/Oポートを記載しています。
 端子構成は、本章「機能別端子一覧表（145ピンTFLGA）」をご確認ください。
 ・パッケージのA1番ピンの位置は「外形寸法図」をご確認ください。

図 1.3 145 ピン TFLGA ピン配置図（上面透視図）

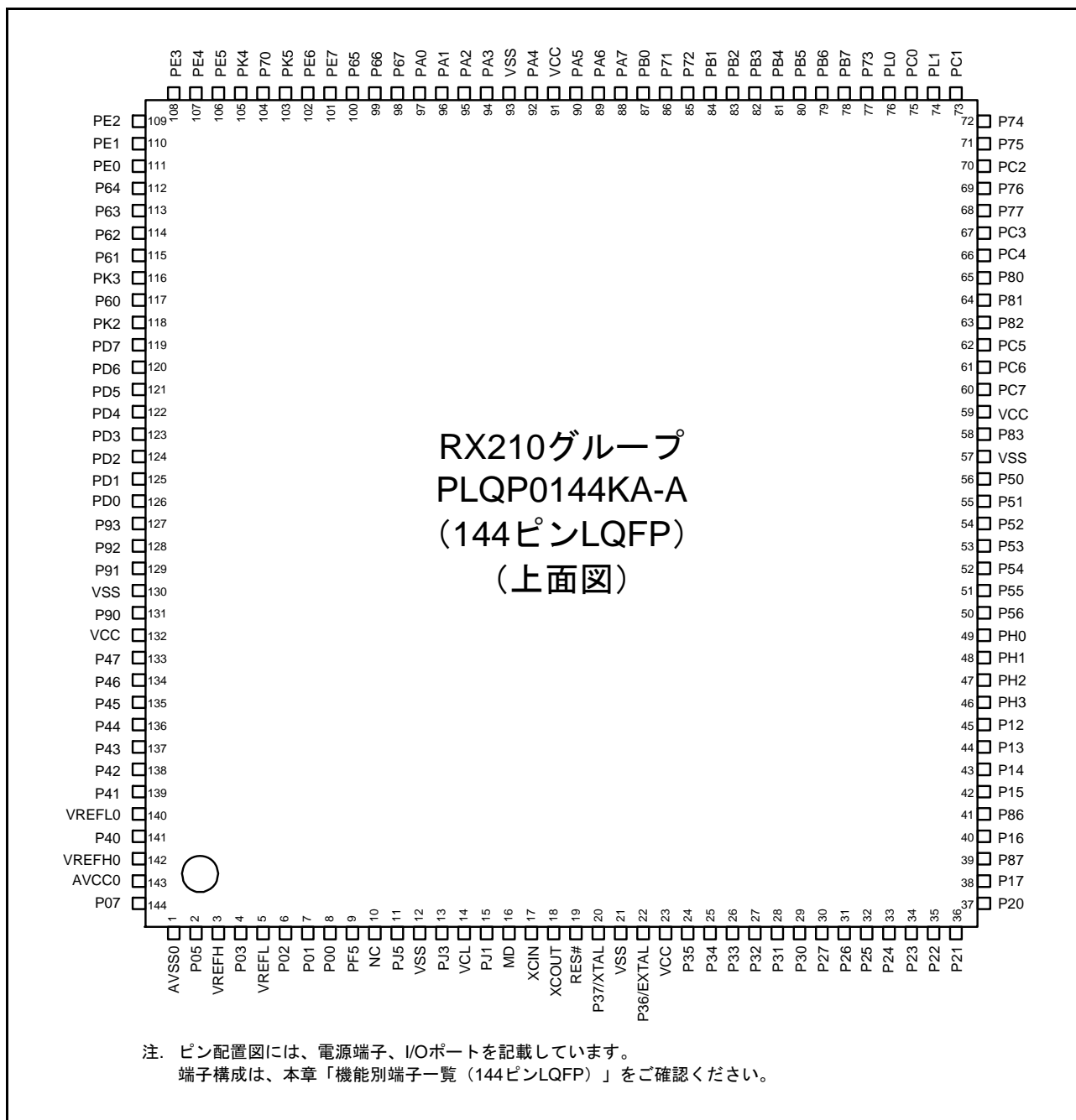


図 1.4 144 ピン LQFP ピン配置図

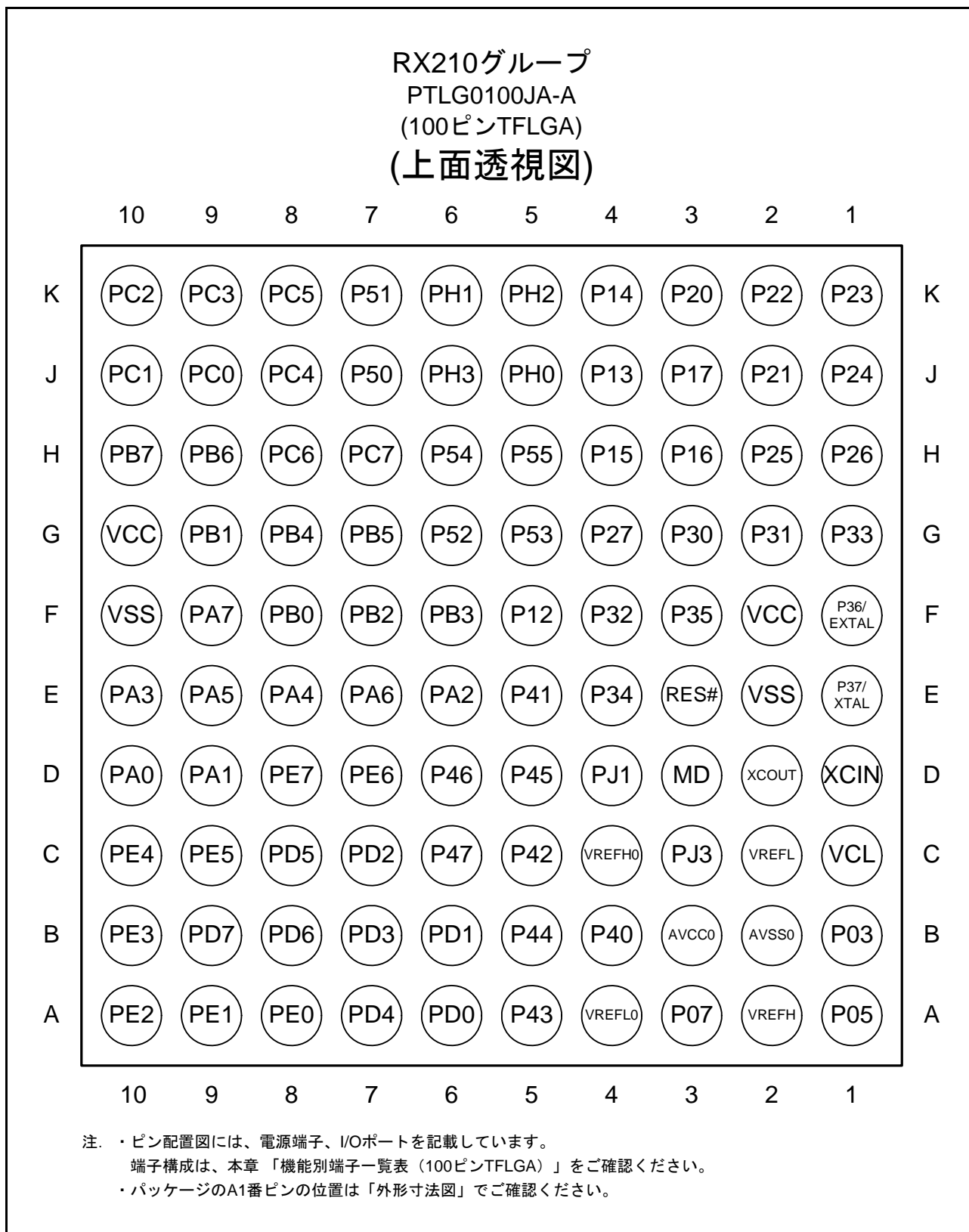


図 1.5 100ピン TFLGA ピン配置図（上面透視図）

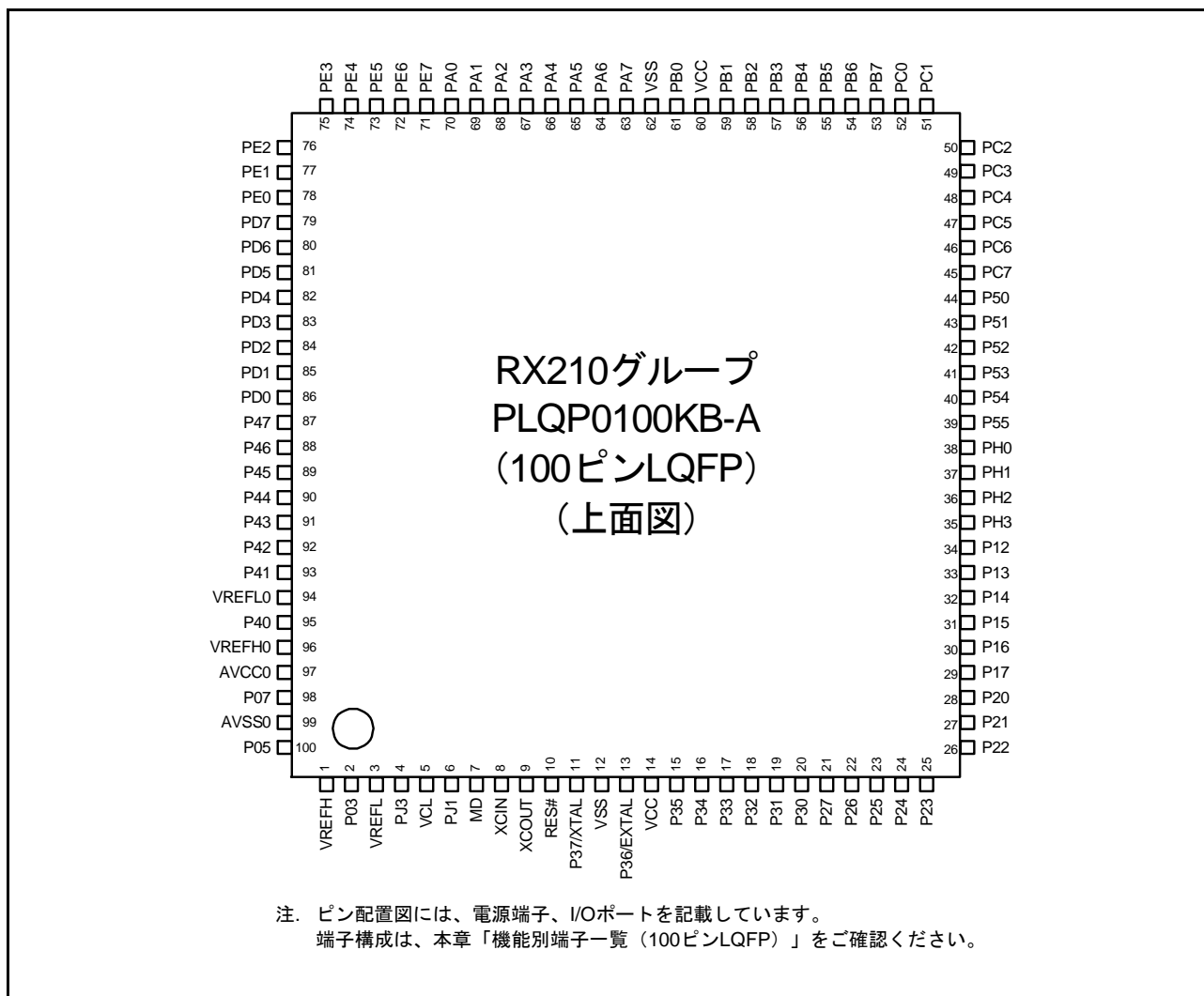


図 1.6 100 ピン LQFP ピン配置図

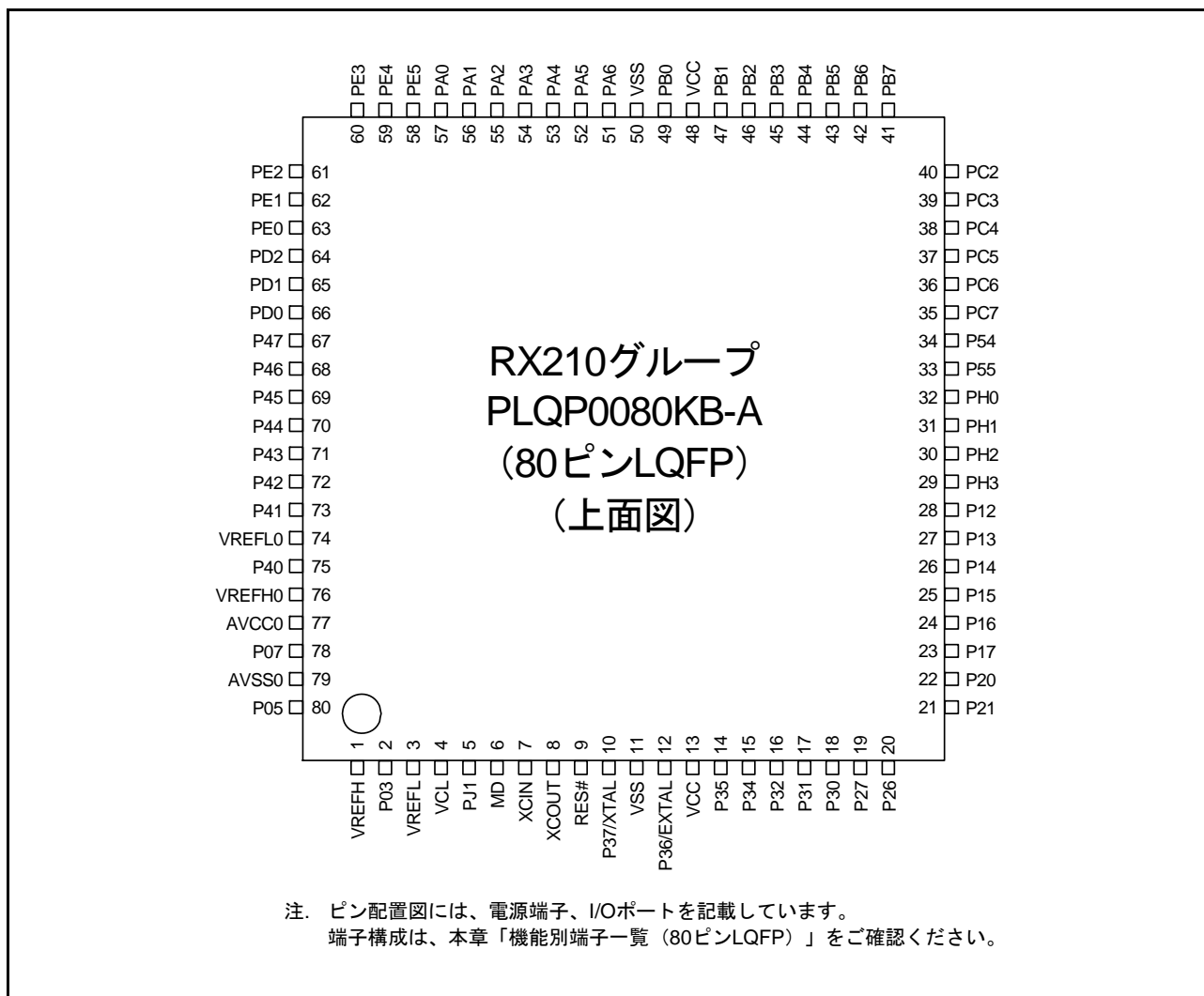


図 1.7 80 ピン LQFP ピン配置図

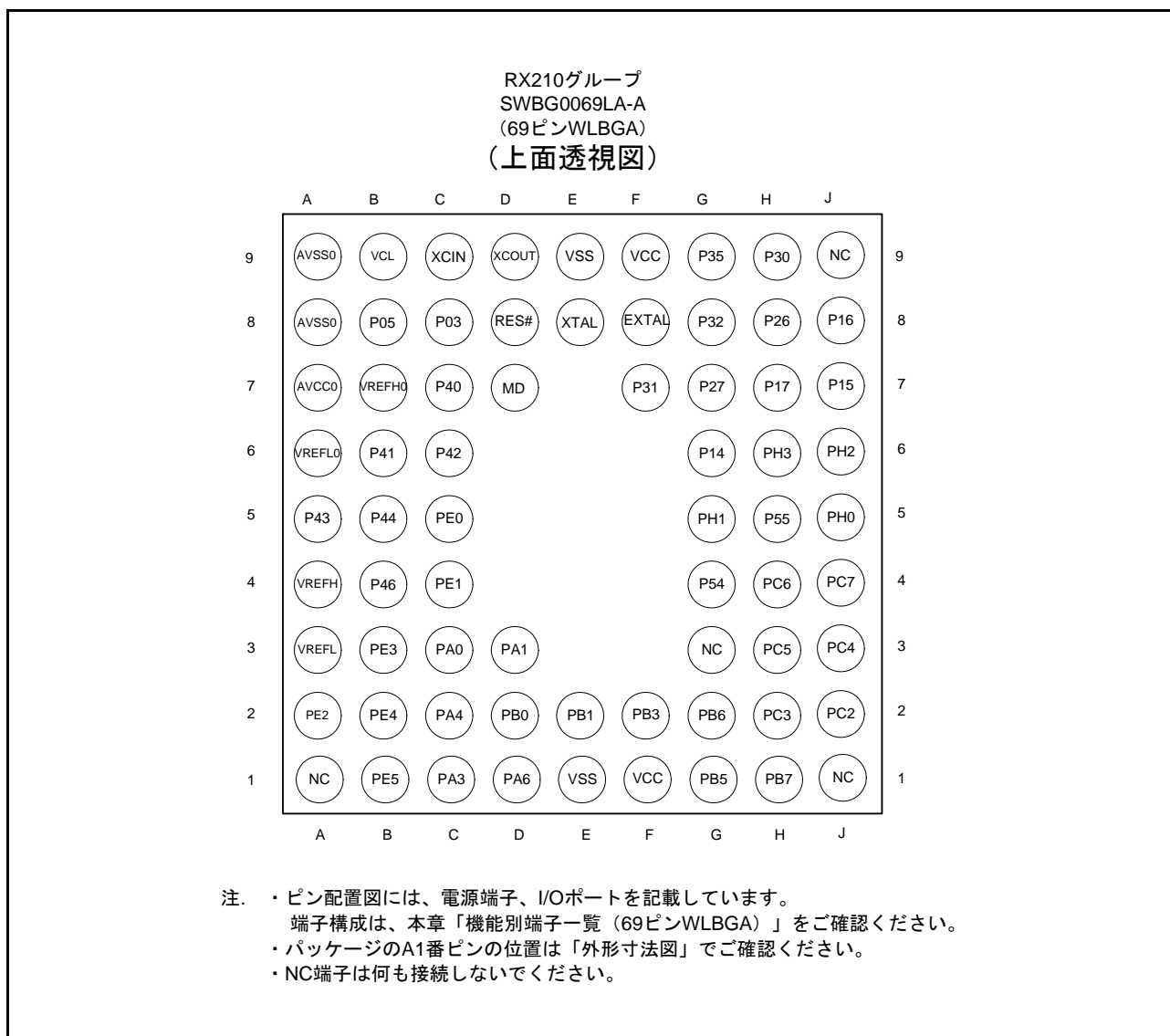


図 1.8 69ピンWLBGAピン配置図

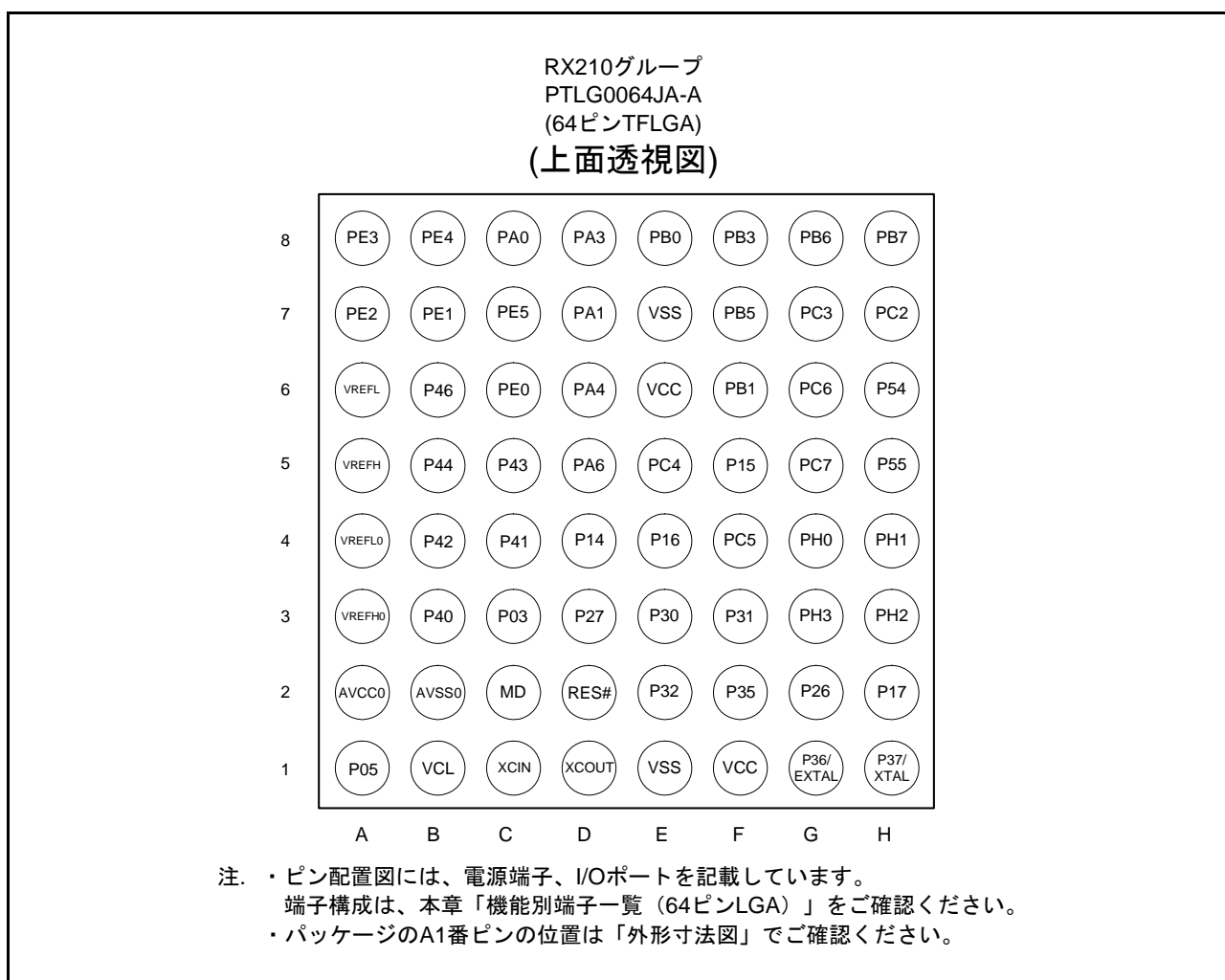


図 1.9 64ピン TFLGA ピン配置図

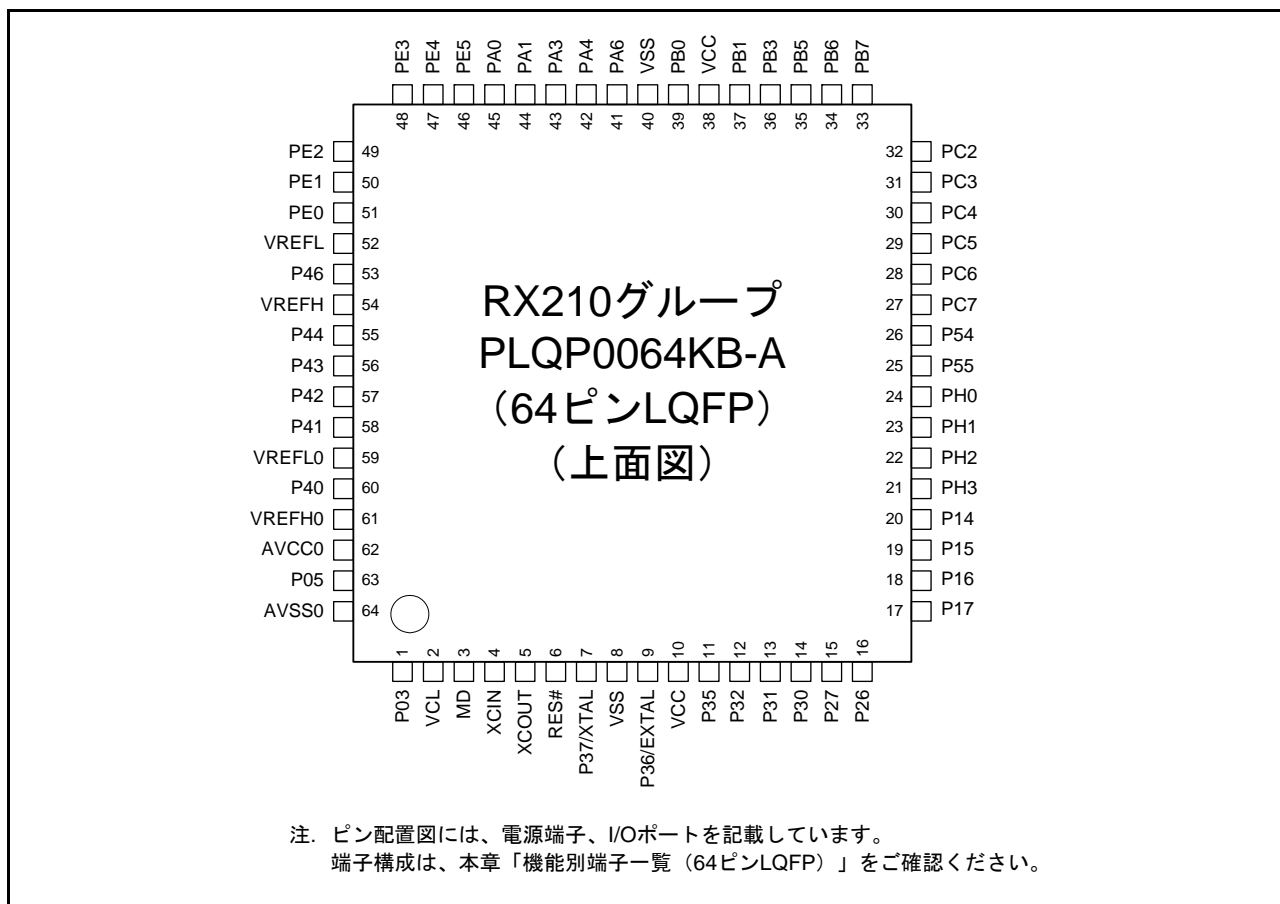


図 1.10 64 ピン LQFP ピン配置図

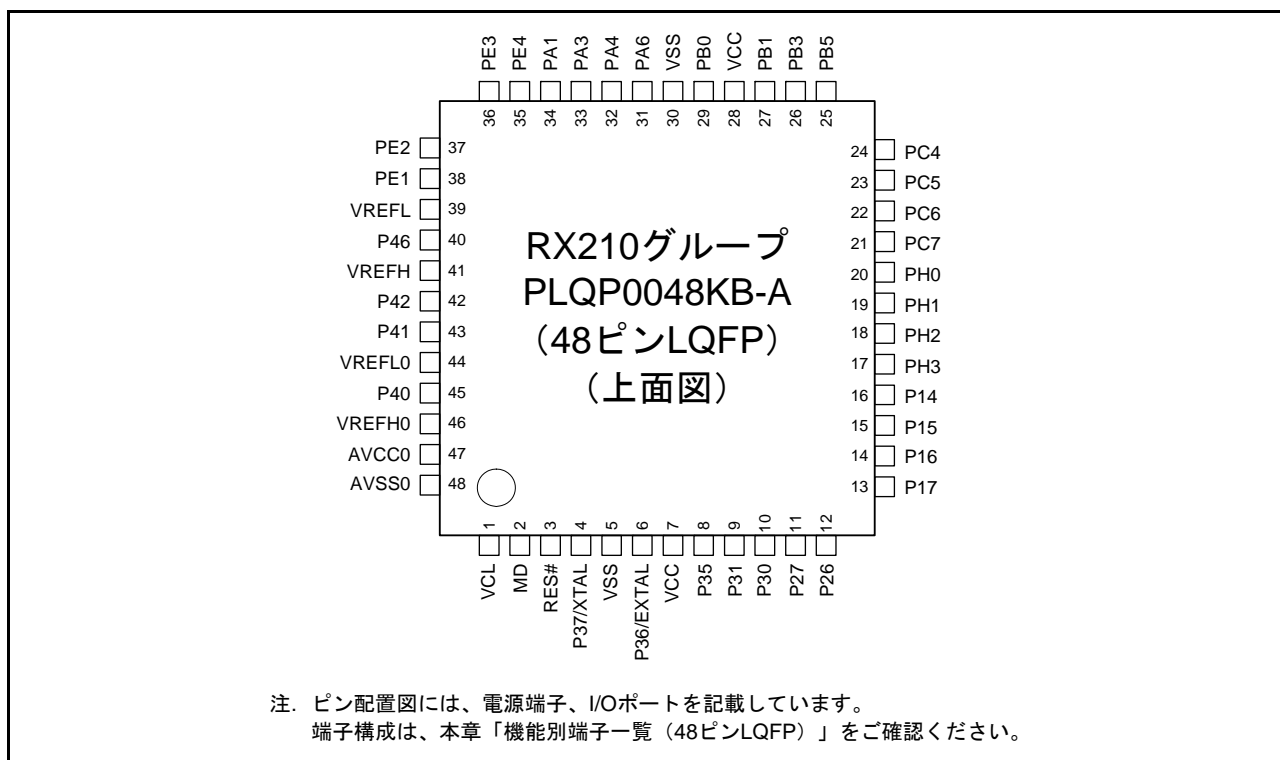


図 1.11 48 ピン LQFP ピン配置図

表 1.9 機能別端子一覧 (145ピンTFLGA) (1 / 4)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SClC、SClD、RSPI、RIIC)	その他
A1	AVSS0					
A2		P07				ADTRG0#
A3		P40				AN000
A4		P42				AN002
A5		P45				AN005
A6		P90			TXD7/SMOSI7/SSDA7	
A7		P92			RXD7/SMISO7/SSCL7	
A8		PD2	D2[A2/D2]	MTIOC4D		IRQ2
A9		PD6	D6[A6/D6]	MTIC5V/POE1#		IRQ6
A10		PK3			RXD9/SMISO9/SSCL9	
A11		P62				
A12		PE1	D9[A9/D9]	MTIOC4C	TXD12/TXDX12/SIOX12/SMOSI12/SSDA12	AN009/CMPB0
A13		PE3	D11[A11/D11]	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#	AN011/CMPA1
B1	VREFH					
B2	AVCC0					
B3		P05				DA1
B4	VREFL0					
B5		P43				AN003
B6		P47				AN007
B7		P91			SCK7	
B8		PD0	D0[A0/D0]			IRQ0
B9		PD4	D4[A4/D4]	POE3#		IRQ4
B10		PK2			TXD9/SMOSI9/SSDA9	
B11		P61			CTS9#/RTS9#/SS9#	
B12		PE2	D10[A10/D10]	MTIOC4A	RXD12/RXDX12/SMISO12/SSCL12	IRQ7-DS/AN010/CVREFB0
B13		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A		AN012/CMPA2
C1	VREFL					
C2		P02		TMCI1	SCK6	
C3	VREFH0					
C4		P41				AN001
C5		P46				AN006
C6	VSS					
C7		PD1	D1[A1/D1]	MTIOC4B		IRQ1
C8		PD3	D3[A3/D3]	POE8#		IRQ3
C9		PD7	D7[A7/D7]	MTIC5U/POE0#		IRQ7
C10		P63				
C11		PE0	D8[A8/D8]		SCK12	AN008
C12		P70			SCK4	
C13		PK4			RXD4/SMISO4/SSCL4	
D1		P00		TMR10	TXD6/SMOSI6/SSDA6	
D2		PF5				IRQ4
D3		P03				DA0
D4		P01		TMCI0	RXD6/SMISO6/SSCL6	
D5	VCC					
D6		P93			CTS7#/RTS7#/SS7#	
D7		PD5	D5[A5/D5]	MTIC5W/POE2#		IRQ5
D8		P60			SCK9	

表 1.9 機能別端子一覧 (145ピンTFLGA) (2 / 4)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SClC、SClD、RSPI、RIIC)	その他
D9		P64				
D10		PE7	D15[A15/D15]			IRQ7/AN015
D11		PK5			TXD4/SMOSI4/SSDA4	
D12		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B		IRQ5/AN013
D13		PE6	D14[A14/D14]		CTS4#/RTS4#/SS4#	IRQ6/AN014
E1	VSS					
E2	VCL					
E3		PJ5				
E4	NC					
E5		P44				AN004
E10		PA0	A0/BC0#	MTIOC4A/TIOCA0	SSLA1	CACREF
E11		P66				
E12		P65				
E13		P67				
F1	XCIN					
F2	XCOUT					
F3		PJ3		MTIOC3C	CTS6#/RTS6#/SS6#/CTS0#/RTS0#/SS0#	
F4		PJ1		MTIOC3A		
F10		PA3	A3	MTIOC0D/MTCLKD/TIOC0D/TCLKB	RXD5/SMISO5/SSCL5	IRQ6-DS/CMPB1
F11	VSS					
F12		PA1	A1	MTIOC0B/MTCLKC/TIOC0B	SCK5/SSLA2	CVREFA
F13		PA2	A2		RXD5/SMISO5/SSCL5/SSLA3	
G1	XTAL	P37				
G2	RES#					
G3	MD					FINED
G4	NC					
G10		PA5	A5	TIOC0B1	RSPCKA	
G11		PA6	A6	MTIC5V/MTCLKB/TMC13/POE2#/TIOCA2	CTS5#/RTS5#/SS5#/MOSIA/POE2#/TIOCA2	
G12	VCC					
G13		PA4	A4	MTIC5U/MTCLKA/TMRI0/TIOCA1	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5-DS/CVREFB1
H1	EXTAL	P36				
H2	VCC					
H3	VSS					
H4		P35				NMI
H10		P72				
H11		P71				
H12		PB0	A8	MTIC5W/TIOCA3	RXD4/SMISO4/SSCL4/RXD6/SMISO6/SSCL6/RSPCKA	
H13		PA7	A7	TIOC0B2	MISOA	
J1		P34		MTIOC0A/TMC13/POE2#	SCK6/SCK0	IRQ4
J2		P33		MTIOC0D/TMRI3/POE3#/TIOC0D	RXD6/SMISO6/SSCL6/RXD0/SMISO0/SSCL0	IRQ3-DS
J3		P32		MTIOC0C/TMO3/TIOC0C	TXD6/SMOSI6/SSDA6/TXD0/SMOSI0/SSDA0	IRQ2-DS/RTCOUT/RTCIC2
J4		P30		MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0-DS/RTCIC0

表 1.9 機能別端子一覧 (145ピンTFLGA) (3 / 4)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SClC、SClD、RSPI、RIIC)	その他
J10		PB3	A11	MTIOC0A/MTIOC4A/ TMO0/POE3#/TIOCD3/ TCLKD	SCK4/SCK6	
J11		PB4	A12	TIOCA4	CTS9#/RTS9#/SS9#	
J12		PB2	A10	TIOCC3/TCLKC	CTS4#/RTS4#/SS4#/CTS6#/ RTS6#/SS6#	
J13		PB1	A9	MTIOC0C/MTIOC4C/ TMC10/TIOCB3	TXD4/SMOSI4/SSDA4/TXD6/ SMOSI6/SSDA6	IRQ4-DS
K1		P27	CS3#	MTIOC2B/TMC13	SCK1	
K2		P26	CS2#	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/ CTS3#/RTS3#/SS3#	
K3		P31		MTIOC4D/TMC12	CTS1#/RTS1#/SS1#	IRQ1-DS/RTCIC1
K4		P15		MTIOC0B/MTCLKB/ TMC12/TIOCB2/TCLKB	RXD1/SMISO1/SSCL1/SCK3	IRQ5
K5		P54	ALE	MTIOC4B/TMC11	CTS2#/RTS2#/SS2#	
K6	BCLK	P53				
K7		P51	WR1#/BC1#/ WAIT#		SCK2	
K8	VCC					
K9		P80		MTIOC3B	SCK10	
K10		P76			RXD11/SMISO11/SSCL11	
K11		PB7	A15	MTIOC3B/TIOCB5	TXD9/SMOSI9/SSDA9	
K12		PB6	A14	MTIOC3D/TIOCA5	RXD9/SMISO9/SSCL9	
K13		PB5	A13	MTIOC2A/MTIOC1B/ TMR11/POE1#/TIOCB4	SCK9	
L1		P25	CS1#	MTIOC4C/MTCLKB/ TIOCA4	RXD3/SMISO3/SSCL3	ADTRG0#
L2		P23		MTIOC3D/MTCLKD/ TIOCD3	CTS0#/RTS0#/SS0#/TXD3/ SMOSI3/SSDA3	
L3		P16		MTIOC3C/MTIOC3D/ TMO2/TIOCB1/TCLKC	TXD1/SMOSI1/SSDA1/ MOSIA/SCL-DS/RXD3/ SMISO3/SSCL3	IRQ6/RTCOUT/ ADTRG0#
L4		P24	CS0#	MTIOC4A/MTCLKA/ TMR11/TIOCB4	SCK3	
L5		P13		MTIOC0B/TMO3/TIOCA5	SDA/TXD2/SMOSI2/SSDA2	IRQ3
L6		P56		MTIOC3C/TIOCA1		
L7		P52	RD#		RXD2/SMISO2/SSCL2	
L8		P83		MTIOC4C	CTS10#/RTS10#	
L9		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ TMR12	SCK8/RSPCKA	
L10		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TMC11/POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0	
L11		PC2	A18	MTIOC4B/TCLKA	RXD5/SMISO5/SSCL5/ SSLA3	
L12		P73				
L13		PL0				
M1		P22		MTIOC3B/MTCLKC/ TMO0/TIOCC3	SCK0	
M2		P17		MTIOC3A/MTIOC3B/ TMO1/POE8#/TIOCB0/ TCLKD	SCK1/MISOA/SDA-DS/TXD3/ SMOSI3/SSDA3	IRQ7
M3		P86		TIOCA0		
M4		P12		TMC11	SCL/RXD2/SMISO2/SSCL2	IRQ2
M5		PH3		TMC10		
M6		PH0				CACREF

表 1.9 機能別端子一覧 (145ピンTFLGA) (4 / 4)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SClC、SClD、RSPI、RIIC)	その他
M7		P50	WR0#/WR#		TXD2/SMOSI2/SSDA2	
M8		PC6	A22/CS1#	MTIOC3C/MTCLKA/TMC12	RXD8/SMISO8/SSCL8/MOSIA	
M9		P81		MTIOC3D	RXD10/SMISO10/SSCL10	
M10		P77			TXD11/SMOSI11/SSDA11	
M11		PC0	A16	MTIOC3C/TCLKC	CTS5#/RTS5#/SS5#/SSLA1	
M12		PC1	A17	MTIOC3A/TCLKD	SCK5/SSLA2	
M13		PL1				
N1		P21		MTIOC1B/TMCI0/TIOCA3	RXD0/SMISO0/SSCL0	
N2		P20		MTIOC1A/TMRI0/TIOCB3	TXD0/SMOSI0/SSDA0	
N3		P87		TIOCA2		
N4		P14		MTIOC3A/MTCLKA/TMRI2/TIOCB5/TCLKA	CTS1#/RTS1#/SS1#	IRQ4
N5		PH2		TMRI0		IRQ1
N6		PH1		TMO0		IRQ0
N7		P55	WAIT#	MTIOC4D/TMO3		
N8	VSS					
N9		PC7	A23/CS0#	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/MISOA	CACREF
N10		P82		MTIOC4A	TXD10/SMOSI10/SSDA10	
N11		PC3	A19	MTIOC4D/TCLKB	TXD5/SMOSI5/SSDA5	
N12		P75			SCK11	
N13		P74			CTS11#/RTS11#/SS11#	

- 注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。
注. NC端子は何も接続しないでください。

表 1.10 機能別端子一覧 (144ピンLQFP) (1 / 4)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SClC、SClD、RSPI、RIIC)	その他
1	AVSS0					
2		P05				DA1
3	VREFH					
4		P03				DA0
5	VREFL					
6		P02		TMCI1	SCK6	
7		P01		TMCI0	RXD6/SMISO6/SSCL6	
8		P00		TMRI0	TXD6/SMOSI6/SSDA6	
9		PF5				IRQ4
10	NC					
11		PJ5				
12	VSS					
13		PJ3		MTIOC3C	CTS6#/RTS6#/SS6#/CTS0#/RTS0#/SS0#	
14	VCL					
15		PJ1		MTIOC3A		
16	MD					FINED
17	XCIN					
18	XCOUT					
19	RES#					
20	XTAL	P37				
21	VSS					
22	EXTAL	P36				
23	VCC					
24		P35				NMI
25		P34		MTIOC0A/TMCI3/POE2#	SCK6/SCK0	IRQ4
26		P33		MTIOC0D/TMRI3/POE3#/TIOCD0	RXD6/SMISO6/SSCL6/RXD0/SMISO0/SSCL0	IRQ3-DS
27		P32		MTIOC0C/TMO3/TIOCC0	TXD6/SMOSI6/SSDA6/TXD0/SMOSI0/SSDA0	IRQ2-DS/RTCOUT/RTCIC2
28		P31		MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1-DS/RTCIC1
29		P30		MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0-DS/RTCIC0
30		P27	CS3#	MTIOC2B/TMCI3	SCK1	
31		P26	CS2#	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/CTS3#/RTS3#/SS3#	
32		P25	CS1#	MTIOC4C/MTCLKB/TIOCA4	RXD3/SMISO3/SSCL3	ADTRG0#
33		P24	CS0#	MTIOC4A/MTCLKA/TMRI1/TIOCB4	SCK3	
34		P23		MTIOC3D/MTCLKD/TIOCD3	CTS0#/RTS0#/SS0#/TXD3/SMOSI3/SSDA3	
35		P22		MTIOC3B/MTCLKC/TMO0/TIOCC3	SCK0	
36		P21		MTIOC1B/TMCI0/TIOCA3	RXD0/SMISO0/SSCL0	
37		P20		MTIOC1A/TMRI0/TIOCB3	TXD0/SMOSI0/SSDA0	
38		P17		MTIOC3A/MTIOC3B/TMO1/POE8#/TIOCB0/TCLKD	SCK1/MISOA/SDA-DS/TXD3/SMOSI3/SSDA3	IRQ7
39		P87		TIOCA2		
40		P16		MTIOC3C/MTIOC3D/TMO2/TIOCB1/TCLKC	TXD1/SMOSI1/SSDA1/MOSIA/SCL-DS/RXD3/SMISO3/SSCL3	IRQ6/RTCOUT/ADTRG0#

表 1.10 機能別端子一覧 (144ピンLQFP) (2 / 4)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SClC、SClD、RSPI、RIIC)	その他
41		P86		TIOCA0		
42		P15		MTIOC0B/MTCLKB/ TMC12/TIOCB2/TCLKB	RXD1/SMISO1/SSCL1/SCK3	IRQ5
43		P14		MTIOC3A/MTCLKA/ TMRI2/TIOCB5/TCLKA	CTS1#/RTS1#/SS1#	IRQ4
44		P13		MTIOC0B/TMO3/TIOCA5	SDA/TXD2/SMOSI2/SSDA2	IRQ3
45		P12		TMC11	SCL/RXD2/SMISO2/SSCL2	IRQ2
46		PH3		TMC10		
47		PH2		TMRI0		IRQ1
48		PH1		TMO0		IRQ0
49		PH0				CACREF
50		P56		MTIOC3C/TIOCA1		
51		P55	WAIT#	MTIOC4D/TMO3		
52		P54	ALE	MTIOC4B/TMC11	CTS2#/RTS2#/SS2#	
53	BCLK	P53				
54		P52	RD#		RXD2/SMISO2/SSCL2	
55		P51	WR1#/BC1#/ WAIT#		SCK2	
56		P50	WR0#/WR#		TXD2/SMOSI2/SSDA2	
57	VSS					
58		P83		MTIOC4C	CTS10#/RTS10#	
59	VCC					
60		PC7	A23/CS0#	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/ MISOA	CACREF
61		PC6	A22/CS1#	MTIOC3C/MTCLKA/ TMC12	RXD8/SMISO8/SSCL8/ MOSIA	
62		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ TMRI2	SCK8/RSPCKA	
63		P82		MTIOC4A	TXD10/SMOSI10/SSDA10	
64		P81		MTIOC3D	RXD10/SMISO10/SSCL10	
65		P80		MTIOC3B	SCK10	
66		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TMC11/POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0	
67		PC3	A19	MTIOC4D/TCLKB	TXD5/SMOSI5/SSDA5	
68		P77			TXD11/SMOSI11/SSDA11	
69		P76			RXD11/SMISO11/SSCL11	
70		PC2	A18	MTIOC4B/TCLKA	RXD5/SMISO5/SSCL5/ SSLA3	
71		P75			SCK11	
72		P74			CTS11#/RTS11#/SS11#	
73		PC1	A17	MTIOC3A/TCLKD	SCK5/SSLA2	
74		PL1				
75		PC0	A16	MTIOC3C/TCLKC	CTS5#/RTS5#/SS5#/SSLA1	
76		PL0				
77		P73				
78		PB7	A15	MTIOC3B/TIOCB5	TXD9/SMOSI9/SSDA9	
79		PB6	A14	MTIOC3D/TIOCA5	RXD9/SMISO9/SSCL9	
80		PB5	A13	MTIOC2A/MTIOC1B/ TMRI1/POE1#/TIOCB4	SCK9	
81		PB4	A12	TIOCA4	CTS9#/RTS9#/SS9#	

表 1.10 機能別端子一覧 (144ピンLQFP) (3 / 4)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
82		PB3	A11	MTIOC0A/MTIOC4A/ TMO0/POE3#/TIOCD3/ TCLKD	SCK4/SCK6	
83		PB2	A10	TIOCC3/TCLKC	CTS4#/RTS4#/SS4#/CTS6#/ RTS6#/SS6#	
84		PB1	A9	MTIOC0C/MTIOC4C/ TMC10/TIOCB3	TXD4/SMOSI4/SSDA4/TXD6/ SMOSI6/SSDA6	IRQ4-DS
85		P72				
86		P71				
87		PB0	A8	MTIC5W/TIOCA3	RXD4/SMISO4/SSCL4/RXD6/ SMISO6/SSCL6/RSPCKA	
88		PA7	A7	TIOCB2	MISOA	
89		PA6	A6	MTIC5V/MTCLKB/TMC13/ POE2#/TIOCA2	CTS5#/RTS5#/SS5#/MOSIA/ POE2#/TIOCA2	
90		PA5	A5	TIOCB1	RSPCKA	
91	VCC					
92		PA4	A4	MTIC5U/MTCLKA/TMRI0/ TIOCA1	TXD5/SMOSI5/SSDA5/ SSLA0	IRQ5-DS/CVREFB1
93	VSS					
94		PA3	A3	MTIOC0D/MTCLKD/ TIOCD0/TCLKB	RXD5/SMISO5/SSCL5	IRQ6-DS/CMPB1
95		PA2	A2		RXD5/SMISO5/SSCL5/ SSLA3	
96		PA1	A1	MTIOC0B/MTCLKC/ TIOCB0	SCK5/SSLA2	CVREFA
97		PA0	A0/BC0#	MTIOC4A/TIOCA0	SSLA1	CACREF
98		P67				
99		P66				
100		P65				
101		PE7	D15[A15/D15]			IRQ7/AN015
102		PE6	D14[A14/D14]		CTS4#/RTS4#/SS4#	IRQ6/AN014
103		PK5			TXD4/SMOSI4/SSDA4	
104		P70			SCK4	
105		PK4			RXD4/SMISO4/SSCL4	
106		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B		IRQ5/AN013
107		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A		AN012/CMPA2
108		PE3	D11[A11/D11]	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#	AN011/CMPA1
109		PE2	D10[A10/D10]	MTIOC4A	RXD12/RXD12/SMISO12/ SSCL12	IRQ7-DS/AN010/ CVREFB0
110		PE1	D9[A9/D9]	MTIOC4C	TXD12/TXD12/SIOX12/ SMOSI12/SSDA12	AN009/CMPB0
111		PE0	D8[A8/D8]		SCK12	AN008
112		P64				
113		P63				
114		P62				
115		P61			CTS9#/RTS9#/SS9#	
116		PK3			RXD9/SMISO9/SSCL9	
117		P60			SCK9	
118		PK2			TXD9/SMOSI9/SSDA9	
119		PD7	D7[A7/D7]	MTIC5U/POE0#		IRQ7
120		PD6	D6[A6/D6]	MTIC5V/POE1#		IRQ6
121		PD5	D5[A5/D5]	MTIC5W/POE2#		IRQ5

表 1.10 機能別端子一覧 (144ピンLQFP) (4 / 4)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SClC、SClD、RSPI、RIIC)	その他
122		PD4	D4[A4/D4]	POE3#		IRQ4
123		PD3	D3[A3/D3]	POE8#		IRQ3
124		PD2	D2[A2/D2]	MTIOC4D		IRQ2
125		PD1	D1[A1/D1]	MTIOC4B		IRQ1
126		PD0	D0[A0/D0]			IRQ0
127		P93			CTS7#/RTS7#/SS7#	
128		P92			RXD7/SMISO7/SSCL7	
129		P91			SCK7	
130	VSS					
131		P90			TXD7/SMOSI7/SSDA7	
132	VCC					
133		P47				AN007
134		P46				AN006
135		P45				AN005
136		P44				AN004
137		P43				AN003
138		P42				AN002
139		P41				AN001
140	VREFL0					
141		P40				AN000
142	VREFH0					
143	AVCC0					
144		P07				ADTRG0#

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

注. NC端子は何も接続しないでください。

表 1.11 機能別端子一覧 (100ピンTFLGA) (1 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
A1		P05				DA1
A2	VREFH					
A3		P07				ADTRG0#
A4	VREFL0					
A5		P43				AN003
A6		PD0	D0[A0/D0]			IRQ0
A7		PD4	D4[A4/D4]	POE3#		IRQ4
A8		PE0	D8[A8/D8]		SCK12	AN008
A9		PE1	D9[A9/D9]	MTIOC4C	TXD12/TXD12/ SIOX12/SMOSI12/ SSDA12	AN009/CMPB0
A10		PE2	D10[A10/D10]	MTIOC4A	RXD12/RXD12/ SMISO12/SSCL12	IRQ7-DS/AN010/ CVREFB0
B1		P03				DA0
B2	AVSS0					
B3	AVCC0					
B4		P40				AN000
B5		P44				AN004
B6		PD1	D1[A1/D1]	MTIOC4B		IRQ1
B7		PD3	D3[A3/D3]	POE8#		IRQ3
B8		PD6	D6[A6/D6]	MTIC5V/POE1#		IRQ6
B9		PD7	D7[A7/D7]	MTIC5U/POE0#		IRQ7
B10		PE3	D11[A11/D11]	MTIOC4B/POE8#	CTS12#/RTS12#/ SS12#	AN011/CMPA1
C1	VCL					
C2	VREFL					
C3		PJ3		MTIOC3C	CTS6#/RTS6#/ SS6#	
C4	VREFH0					
C5		P42				AN002
C6		P47				AN007
C7		PD2	D2[A2/D2]	MTIOC4D		IRQ2
C8		PD5	D5[A5/D5]	MTIC5W/POE2#		IRQ5
C9		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B		IRQ5/AN013
C10		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A		AN012/CMPA2
D1	XCIN					
D2	XCOUT					
D3	MD					FINED
D4		PJ1		MTIOC3A		
D5		P45				AN005
D6		P46				AN006
D7		PE6	D14[A14/D14]			IRQ6/AN014
D8		PE7	D15[A15/D15]			IRQ7/AN015
D9		PA1	A1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
D10		PA0	A0/BC0#	MTIOC4A	SSLA1	CACREF
E1	XTAL	P37				
E2	VSS					
E3	RES#					
E4		P34		MTIOC0A/TMC13/ POE2#	SCK6	IRQ4
E5		P41				AN001

表 1.11 機能別端子一覧 (100ピンTFLGA) (2 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
E6		PA2	A2		RXD5/SMISO5/SSCL5/SSLA3	
E7		PA6	A6	MTIC5V/MTCLKB/TMC13/POE2#	CTS5#/RTS5#/SS5#/MOSIA	
E8		PA4	A4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5-DS/CVREFB1
E9		PA5	A5		RSPCKA	
E10		PA3	A3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5	IRQ6-DS/CMPB1
F1	EXTAL	P36				
F2	VCC					
F3		P35				NMI
F4		P32		MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	IRQ2-DS/RTCOUT/RTCIC2
F5		P12		TMC11	SCL	IRQ2
F6		PB3	A11	MTIOC0A/MTIOC4A/TMO0/POE3#	SCK6	
F7		PB2	A10		CTS6#/RTS6#/SS6#	
F8		PB0	A8	MTIC5W	RXD6/SMISO6/SSCL6/RSPCKA	
F9		PA7	A7		MISOA	
F10	VSS					
G1		P33		MTIOC0D/TMRI3/POE3#	RXD6/SMISO6/SSCL6	IRQ3-DS
G2		P31		MTIOC4D/TMC12	CTS1#/RTS1#/SS1#	IRQ1-DS/RTCIC1
G3		P30		MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0-DS/RTCIC0
G4		P27	CS3#	MTIOC2B/TMC13	SCK1	
G5	BCLK	P53				
G6		P52	RD#			
G7		PB5	A13	MTIOC2A/MTIOC1B/TMRI1/POE1#	SCK9	
G8		PB4	A12		CTS9#/RTS9#/SS9#	
G9		PB1	A9	MTIOC0C/MTIOC4C/TMC10	TXD6/SMOSI6/SSDA6	IRQ4-DS
G10	VCC					
H1		P26	CS2#	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	
H2		P25	CS1#	MTIOC4C/MTCLKB		ADTRG0#
H3		P16		MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL-DS	IRQ6/RTCOUT/ADTRG0#
H4		P15		MTIOC0B/MTCLKB/TMC12	RXD1/SMISO1/SSCL1	IRQ5
H5		P55	WAIT#	MTIOC4D/TMO3		
H6		P54	ALE	MTIOC4B/TMC11		
H7		PC7	A23/CS0#	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/MISOA	CACREF
H8		PC6	A22/CS1#	MTIOC3C/MTCLKA/TMC12	RXD8/SMISO8/SSCL8/MOSIA	
H9		PB6	A14	MTIOC3D	RXD9/SMISO9/SSCL9	
H10		PB7	A15	MTIOC3B	TXD9/SMOSI9/SSDA9	

表 1.11 機能別端子一覧 (100ピンTFLGA) (3 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
J1		P24	CS0#	MTIOC4A/MTCLKA/TMRI1		
J2		P21		MTIOC1B/TMCI0	RXD0/SMISO0/SSCL0	
J3		P17		MTIOC3A/MTIOC3B/TMO1/POE8#	SCK1/MISOA/SDA-DS	IRQ7
J4		P13		MTIOC0B/TMO3	SDA	IRQ3
J5		PH0				CACREF
J6		PH3		TMCI0		
J7		P50	WR0#/WR#			
J8		PC4	A20/CS3#	MTIOC3D/MTCLKC/TMC11/POE0#	SCK5/CTS8#/RTS8#/SS8#/SSLA0	
J9		PC0	A16	MTIOC3C	CTS5#/RTS5#/SS5#/SSLA1	
J10		PC1	A17	MTIOC3A	SCK5/SSLA2	
K1		P23		MTIOC3D/MTCLKD	CTS0#/RTS0#/SS0#	
K2		P22		MTIOC3B/MTCLKC/TMO0	SCK0	
K3		P20		MTIOC1A/TMRI0	TXD0/SMOSI0/SSDA0	
K4		P14		MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
K5		PH2		TMRI0		IRQ1
K6		PH1		TMO0		IRQ0
K7		P51	WR1#/BC1#/WAIT#			
K8		PC5	A21/CS2#/WAIT#	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA	
K9		PC3	A19	MTIOC4D	TXD5/SMOSI5/SSDA5	
K10		PC2	A18	MTIOC4B	RXD5/SMISO5/SSCL5/SSLA3	

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

表 1.12 機能別端子一覧 (100ピンLQFP) (1 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SCIc、SCId、RSPI、RIIC)	その他
1	VREFH					
2		P03				DA0
3	VREFL					
4		PJ3		MTIOC3C	CTS6#/RTS6#/SS6#	
5	VCL					
6		PJ1		MTIOC3A		
7	MD					FINED
8	XCIN					
9	XCOUT					
10	RES#					
11	XTAL	P37				
12	VSS					
13	EXTAL	P36				
14	VCC					
15		P35				NMI
16		P34		MTIOC0A/TMCI3/ POE2#	SCK6	IRQ4
17		P33		MTIOC0D/TMRI3/ POE3#	RXD6/SMISO6/ SSCL6	IRQ3-DS
18		P32		MTIOC0C/TMO3	TXD6/SMOSI6/ SSDA6	IRQ2-DS/RTCOUT/ RTCIC2
19		P31		MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1-DS/RTCIC1
20		P30		MTIOC4B/TMRI3/ POE8#	RXD1/SMISO1/ SSCL1	IRQ0-DS/RTCIC0
21		P27	CS3#	MTIOC2B/TMCI3	SCK1	
22		P26	CS2#	MTIOC2A/TMO1	TXD1/SMOSI1/ SSDA1	
23		P25	CS1#	MTIOC4C/MTCLKB		ADTRG0#
24		P24	CS0#	MTIOC4A/MTCLKA/ TMRI1		
25		P23		MTIOC3D/MTCLKD	CTS0#/RTS0#/SS0#	
26		P22		MTIOC3B/MTCLKC/ TMO0	SCK0	
27		P21		MTIOC1B/TMCI0	RXD0/SMISO0/ SSCL0	
28		P20		MTIOC1A/TMRI0	TXD0/SMOSI0/ SSDA0	
29		P17		MTIOC3A/MTIOC3B/ TMO1/POE8#	SCK1/MISOA/ SDA-DS	IRQ7
30		P16		MTIOC3C/MTIOC3D/ TMO2	TXD1/SMOSI1/ SSDA1/MOSIA/ SCL-DS	IRQ6/RTCOUT/ ADTRG0#
31		P15		MTIOC0B/MTCLKB/ TMCI2	RXD1/SMISO1/ SSCL1	IRQ5
32		P14		MTIOC3A/MTCLKA/ TMRI2	CTS1#/RTS1#/SS1#	IRQ4
33		P13		MTIOC0B/TMO3	SDA	IRQ3
34		P12		TMCI1	SCL	IRQ2
35		PH3		TMCI0		
36		PH2		TMRI0		IRQ1
37		PH1		TMO0		IRQ0
38		PH0				CACREF
39		P55	WAIT#	MTIOC4D/TMO3		

表 1.12 機能別端子一覧 (100ピンLQFP) (2 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
40		P54	ALE	MTIOC4B/TMC11		
41	BCLK	P53				
42		P52	RD#			
43		P51	WR1#/BC1#/ WAIT#			
44		P50	WR0#/WR#			
45		PC7	A23/CS0#	MTIOC3A/TMO2/ MTCLKB	TXD8/SMOSI8/ SSDA8/MISOA	CACREF
46		PC6	A22/CS1#	MTIOC3C/MTCLKA/ TMC12	RXD8/SMISO8/ SSCL8/MOSIA	
47		PC5	A21/CS2#/WAIT#	MTIOC3B/MTCLKD/ TMR12	SCK8/RSPCKA	
48		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TMC11/POE0#	SCK5/CTS8#/ RTS8#/SS8#/SSLA0	
49		PC3	A19	MTIOC4D	TXD5/SMOSI5/ SSDA5	
50		PC2	A18	MTIOC4B	RXD5/SMISO5/ SSCL5/SSLA3	
51		PC1	A17	MTIOC3A	SCK5/SSLA2	
52		PC0	A16	MTIOC3C	CTS5#/RTS5#/ SS5#/SSLA1	
53		PB7	A15	MTIOC3B	TXD9/SMOSI9/ SSDA9	
54		PB6	A14	MTIOC3D	RXD9/SMISO9/ SSCL9	
55		PB5	A13	MTIOC2A/MTIOC1B/ TMR11/POE1#	SCK9	
56		PB4	A12		CTS9#/RTS9#/SS9#	
57		PB3	A11	MTIOC0A/MTIOC4A/ TMO0/POE3#	SCK6	
58		PB2	A10		CTS6#/RTS6#/SS6#	
59		PB1	A9	MTIOC0C/MTIOC4C/ TMC10	TXD6/SMOSI6/ SSDA6	IRQ4-DS
60	VCC					
61		PB0	A8	MTIC5W	RXD6/SMISO6/ SSCL6/RSPCKA	
62	VSS					
63		PA7	A7		MISOA	
64		PA6	A6	MTIC5V/MTCLKB/ TMC13/POE2#	CTS5#/RTS5#/ SS5#/MOSIA	
65		PA5	A5		RSPCKA	
66		PA4	A4	MTIC5U/MTCLKA/ TMR10	TXD5/SMOSI5/ SSDA5/SSLA0	IRQ5-DS/CVREFB1
67		PA3	A3	MTIOC0D/MTCLKD	RXD5/SMISO5/ SSCL5	IRQ6-DS/CMPB1
68		PA2	A2		RXD5/SMISO5/ SSCL5/SSLA3	
69		PA1	A1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
70		PA0	A0/BC0#	MTIOC4A	SSLA1	CACREF
71		PE7	D15[A15/D15]			IRQ7/AN015
72		PE6	D14[A14/D14]			IRQ6/AN014
73		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B		IRQ5/AN013
74		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A		AN012/CMPA2
75		PE3	D11[A11/D11]	MTIOC4B/POE8#	CTS12#/RTS12#/ SS12#	AN011/CMPA1

表 1.12 機能別端子一覧 (100ピンLQFP) (3 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
76		PE2	D10[A10/D10]	MTIOC4A	RXD12/RXD12/ SMISO12/SSCL12	IRQ7-DS/AN010/ CVREFB0
77		PE1	D9[A9/D9]	MTIOC4C	TXD12/TXD12/ SIOX12/SMOSI12/ SSDA12	AN009/CMPB0
78		PE0	D8[A8/D8]		SCK12	AN008
79		PD7	D7[A7/D7]	MTIC5U/POE0#		IRQ7
80		PD6	D6[A6/D6]	MTIC5V/POE1#		IRQ6
81		PD5	D5[A5/D5]	MTIC5W/POE2#		IRQ5
82		PD4	D4[A4/D4]	POE3#		IRQ4
83		PD3	D3[A3/D3]	POE8#		IRQ3
84		PD2	D2[A2/D2]	MTIOC4D		IRQ2
85		PD1	D1[A1/D1]	MTIOC4B		IRQ1
86		PD0	D0[A0/D0]			IRQ0
87		P47				AN007
88		P46				AN006
89		P45				AN005
90		P44				AN004
91		P43				AN003
92		P42				AN002
93		P41				AN001
94	VREFL0					
95		P40				AN000
96	VREFH0					
97	AVCC0					
98		P07				ADTRG0#
99	AVSS0					
100		P05				DA1

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

表 1.13 機能別端子一覧 (80ピンLQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCId、RSPI、RIIC)	その他
1	VREFH				
2		P03			DA0
3	VREFL				
4	VCL				
5		PJ1	MTIOC3A		
6	MD				FINED
7	XCIN				
8	XCOUT				
9	RES#				
10	XTAL	P37			
11	VSS				
12	EXTAL	P36			
13	VCC				
14		P35			NMI
15		P34	MTIOC0A/TMCI3/POE2#	SCK6	IRQ4
16		P32	MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	IRQ2-DS/RTCOUT/ RTCIC2
17		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1-DS/RTCIC1
18		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0-DS/RTCIC0
19		P27	MTIOC2B/TMCI3	SCK1	
20		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	
21		P21	MTIOC1B/TMCI0	RXD0/SSCL0	
22		P20	MTIOC1A/TMRI0	TXD0/SSDA0	
23		P17	MTIOC3A/MTIOC3B/TMO1/ POE8#	SCK1/MISOA/ SDA-DS	IRQ7
24		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/ MOSIA/SCL-DS	IRQ6/RTCOUT/ ADTRG0#
25		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1	IRQ5
26		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
27		P13	MTIOC0B/TMO3	SDA	IRQ3
28		P12	TMCI1	SCL	IRQ2
29		PH3	TMCI0		
30		PH2	TMRI0		IRQ1
31		PH1	TMO0		IRQ0
32		PH0			CACREF
33		P55	MTIOC4D/TMO3		
34		P54	MTIOC4B/TMCI1		
35		PC7	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/MISOA	CACREF
36		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/MOSIA	
37		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA	
38		PC4	MTIOC3D/MTCLKC/TMCI1/ POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0	
39		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5	
40		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/SSLA3	
41		PB7	MTIOC3B	TXD9/SMOSI9/SSDA9	
42		PB6	MTIOC3D	RXD9/SMISO9/SSCL9	
43		PB5	MTIOC2A/MTIOC1B/TMRI1/ POE1#	SCK9	
44		PB4		CTS9#/RTS9#/SS9#	

表 1.13 機能別端子一覧 (80ピンLQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIc、RSPI、RIIC)	その他
45		PB3	MTIOC0A/MTIOC4A/TMO0/ POE3#	SCK6	
46		PB2		CTS6#/RTS6#/SS6#	
47		PB1	MTIOC0C/MTIOC4C/TMCI0	TXD6/SMOSI6/SSDA6	IRQ4-DS
48	VCC				
49		PB0	MTIC5W	RXD6/SMISO6/SSCL6/ RSPCKA	
50	VSS				
51		PA6	MTIC5V/MTCLKB/TMCI3/ POE2#	CTS5#/RTS5#/SS5#/MOSIA	
52		PA5		RSPCKA	
53		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5-DS/CVREFB1
54		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5	IRQ6-DS/CMPB1
55		PA2		RXD5/SMISO5/SSCL5/SSLA3	
56		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
57		PA0	MTIOC4A	SSLA1	CACREF
58		PE5	MTIOC4C/MTIOC2B		IRQ5/AN013
59		PE4	MTIOC4D/MTIOC1A		AN012/CMPA2
60		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#	AN011/CMPA1
61		PE2	MTIOC4A	RXD12/RXDX12/SMISO12/ SSCL12	IRQ7-DS/AN010/ CVREFB0
62		PE1	MTIOC4C	TXD12/TXDX12/SIOX12/ SMOSI12/SSDA12	AN009/CMPB0
63		PE0		SCK12	AN008
64		PD2	MTIOC4D		IRQ2
65		PD1	MTIOC4B		IRQ1
66		PD0			IRQ0
67		P47			AN007
68		P46			AN006
69		P45			AN005
70		P44			AN004
71		P43			AN003
72		P42			AN002
73		P41			AN001
74	VREFL0				
75		P40			AN000
76	VREFH0				
77	AVCC0				
78		P07			ADTRG0#
79	AVSS0				
80		P05			DA1

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

表 1.14 機能別端子一覧 (69ピンWLBGA) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
A1	NC				
A2		PE2	MTIOC4A	RXD12/RXD12/SMISO12/SSCL12	IRQ7-DS/AN010/CVREFB0
A3	VREFL				
A4	VREFH				
A5		P43			AN003
A6	VREFL0				
A7	AVCC0				
A8	AVSS0				
A9	AVSS0				
B1		PE5	MTIOC4C/MTIOC2B		IRQ5/AN013
B2		PE4	MTIOC4D/MTIOC1A		AN012/CMPA2
B3		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#	AN011/CMPA1
B4		P46			AN006
B5		P44			AN004
B6		P41			AN001
B7	VREFH0				
B8		P05			DA1
B9	VCL				
C1		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5	IRQ6-DS/CMPB1
C2		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5-DS/CVREFB1
C3		PA0	MTIOC4A	SSLA1	CACREF
C4		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SMOSI12/SSDA12	AN009/CMPB0
C5		PE0		SCK12	AN008
C6		P42			AN002
C7		P40			AN000
C8		P03			DA0
C9	XCIN				
D1		PA6	MTIC5V/MTCLKB/TMCI3/POE2#	CTS5#/RTS5#/SS5#/MOSIA	
D2		PB0	MTIC5W	RXD6/SMISO6/SSCL6/RSPCKA	
D3		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
D7	MD				FINED
D8	RES#				
D9	XCOUT				
E1	VSS				
E2		PB1	MTIOC0C/MTIOC4C/TMCI0	TXD6/SMOSI6/SSDA6	IRQ4-DS
E8	XTAL	P37			
E9	VSS				
F1	VCC				
F2		PB3	MTIOC0A/MTIOC4A/TMO0/POE3#	SCK6	
F7		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1-DS/RTCIC1
F8	EXTAL	P36			
F9	VCC				
G1		PB5	MTIOC2A/MTIOC1B/TMRI1/POE1#	SCK9	
G2		PB6	MTIOC3D	RXD9/SMISO9/SSCL9	

表 1.14 機能別端子一覧 (69ピンWLBGA) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
G3	NC				
G4		P54	MTIOC4B/TMC11		
G5		PH1	TMO0		IRQ0
G6		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
G7		P27	MTIOC2B/TMC13	SCK1	
G8		P32	MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	IRQ2-DS/RTCOUT/ RTCIC2
G9		P35			NMI
H1		PB7	MTIOC3B	TXD9/SMOSI9/SSDA9	
H2		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5	
H3		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA	
H4		PC6	MTIOC3C/MTCLKA/TMC12	RXD8/SMISO8/SSCL8/MOSIA	
H5		P55	MTIOC4D/TMO3		
H6		PH3	TMC10		
H7		P17	MTIOC3A/MTIOC3B/TMO1/ POE8#	SCK1/MISOA/SDA-DS	IRQ7
H8		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	
H9		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0-DS/RTCIC0
J1	NC				
J2		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/SSLA3	
J3		PC4	MTIOC3D/MTCLKC/TMC11/ POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0	
J4		PC7	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/MISOA	CACREF
J5		PH0			CACREF
J6		PH2	TMRI0		IRQ1
J7		P15	MTIOC0B/MTCLKB/TMC12	RXD1/SMISO1/SSCL1	IRQ5
J8		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/ MOSIA/SCL-DS	IRQ6/RTCOUT/ ADTRG0#
J9	NC				

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

注. NC端子は何も接続しないでください。

表 1.15 機能別端子一覧 (64ピンTFLGA) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
A1		P05			DA1
A2	AVCC0				
A3	VREFH0				
A4	VREFL0				
A5	VREFH				
A6	VREFL				
A7		PE2	MTIOC4A	RXD12/RXD12/ SMISO12/SSCL12	IRQ7-DS/AN010/ CVREFB0
A8		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#	AN011/CMPA1
B1	VCL				
B2	AVSS0				
B3		P40			AN000
B4		P42			AN002
B5		P44			AN004
B6		P46			AN006
B7		PE1	MTIOC4C	TXD12/TXD12/SIOX12/ SMOSI12/SSDA12	AN009/CMPB0
B8		PE4	MTIOC4D/MTIOC1A		AN012/CMPA2
C1	XCIN				
C2	MD				FINED
C3		P03			DA0
C4		P41			AN001
C5		P43			AN003
C6		PE0		SCK12	AN008
C7		PE5	MTIOC4C/MTIOC2B		IRQ5/AN013
C8		PA0	MTIOC4A	SSLA1	CACREF
D1	XCOUT				
D2	RES#				
D3		P27	MTIOC2B/TMCI3	SCK1	
D4		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
D5		PA6	MTIC5V/MTCLKB/TMCI3/ POE2#	CTS5#/RTS5#/SS5#/ MOSIA	
D6		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/ SSLA0	IRQ5-DS/CVREFB1
D7		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
D8		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5	IRQ6-DS/CMPB1
E1	VSS				
E2		P32	MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	IRQ2-DS/RTCOUT/ RTCIC2
E3		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0-DS/RTCIC0
E4		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/ MOSIA/SCL-DS	IRQ6/RTCOUT/ ADTRG0#
E5		PC4	MTIOC3D/MTCLKC/TMCI1/ POE0#	SCK5/CTS8#/RTS8#/ SS8#/SSLA0	
E6	VCC				
E7	VSS				
E8		PB0	MTIC5W	RXD6/SMISO6/SSCL6/ RSPCKA	
F1	VCC				
F2		P35			NMI
F3		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1-DS/RTCIC1

表 1.15 機能別端子一覧 (64ピンTFLGA) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
F4		PC5	MTIOC3B/MTCLKD/TMR12	SCK8/RSPCKA	
F5		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1	IRQ5
F6		PB1	MTIOC0C/MTIOC4C/TMCI0	TXD6/SMOSI6/SSDA6	IRQ4-DS
F7		PB5	MTIOC2A/MTIOC1B/TMR11/POE1#	SCK9	
F8		PB3	MTIOC0A/MTIOC4A/TMO0/POE3#	SCK6	
G1	EXTAL	P36			
G2		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	
G3		PH3	TMCI0		
G4		PH0			CACREF
G5		PC7	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/MISOA	CACREF
G6		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/MOSIA	
G7		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5	
G8		PB6	MTIOC3D	RXD9/SMISO9/SSCL9	
H1	XTAL	P37			
H2		P17	MTIOC3A/MTIOC3B/TMO1/POE8#	SCK1/MISOA/SDA-DS	IRQ7
H3		PH2	TMR10		IRQ1
H4		PH1	TMO0		IRQ0
H5		P55	MTIOC4D/TMO3		
H6		P54	MTIOC4B/TMCI1		
H7		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/SSLA3	
H8		PB7	MTIOC3B	TXD9/SMOSI9/SSDA9	

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

表 1.16 機能別端子一覧 (64ピンLQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
1		P03			DA0
2	VCL				
3	MD				FINED
4	XCIN				
5	XCOUT				
6	RES#				
7	XTAL	P37			
8	VSS				
9	EXTAL	P36			
10	VCC				
11		P35			NMI
12		P32	MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	IRQ2-DS/RTCOUT/ RTCIC2
13		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1-DS/RTCIC1
14		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0-DS/RTCIC0
15		P27	MTIOC2B/TMCI3	SCK1	
16		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	
17		P17	MTIOC3A/MTIOC3B/TMO1/ POE8#	SCK1/MISOA/SDA-DS	IRQ7
18		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/ MOSIA/SCL-DS	IRQ6/RTCOUT/ ADTRG0#
19		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1	IRQ5
20		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
21		PH3	TMCI0		
22		PH2	TMRI0		IRQ1
23		PH1	TMO0		IRQ0
24		PH0			CACREF
25		P55	MTIOC4D/TMO3		
26		P54	MTIOC4B/TMCI1		
27		PC7	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/ MISOA	CACREF
28		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/ MOSIA	
29		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA	
30		PC4	MTIOC3D/MTCLKC/TMCI1/ POE0#	SCK5/CTS8#/RTS8#/ SS8#/SSLA0	
31		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5	
32		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/ SSLA3	
33		PB7	MTIOC3B	TXD9/SMOSI9/SSDA9	
34		PB6	MTIOC3D	RXD9/SMISO9/SSCL9	
35		PB5	MTIOC2A/MTIOC1B/ TMRI1/POE1#	SCK9	
36		PB3	MTIOC0A/MTIOC4A/TMO0/ POE3#	SCK6	
37		PB1	MTIOC0C/MTIOC4C/ TMCI0	TXD6/SMOSI6/SSDA6	IRQ4-DS
38	VCC				
39		PB0	MTIC5W	RXD6/SMISO6/SSCL6/ RSPCKA	
40	VSS				

表 1.16 機能別端子一覧 (64ピンLQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
41		PA6	MTIC5V/MTCLKB/TMCI3/POE2#	CTS5#/RTS5#/SS5#/MOSIA	
42		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5-DS/CVREFB1
43		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5	IRQ6-DS/CMPB1
44		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
45		PA0	MTIOC4A	SSLA1	CACREF
46		PE5	MTIOC4C/MTIOC2B		IRQ5/AN013
47		PE4	MTIOC4D/MTIOC1A		AN012/CMPA2
48		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#	AN011/CMPA1
49		PE2	MTIOC4A	RXD12/RXD12/SMISO12/SSCL12	IRQ7-DS/AN010/CVREFB0
50		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SMOSI12/SSDA12	AN009/CMPB0
51		PE0		SCK12	AN008
52	VREFL				
53		P46			AN006
54	VREFH				
55		P44			AN004
56		P43			AN003
57		P42			AN002
58		P41			AN001
59	VREFL0				
60		P40			AN000
61	VREFH0				
62	AVCC0				
63		P05			DA1
64	AVSS0				

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

表 1.17 機能別端子一覧 (48ピンLQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
1	VCL				
2	MD				FINED
3	RES#				
4	XTAL	P37			
5	VSS				
6	EXTAL	P36			
7	VCC				
8		P35			NMI
9		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1-DS
10		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0-DS
11		P27	MTIOC2B/TMCI3	SCK1	
12		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	
13		P17	MTIOC3A/MTIOC3B/TMO1/POE8#	SCK1/MISOA/SDA-DS	IRQ7
14		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL-DS	IRQ6/ADTRG0#
15		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1	IRQ5
16		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
17		PH3	TMCI0		
18		PH2	TMRI0		IRQ1
19		PH1	TMO0		IRQ0
20		PH0			CACREF
21		PC7	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/MISOA	CACREF
22		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/MOSIA	
23		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA	
24		PC4	MTIOC3D/MTCLKC/TMCI1/POE0#	SCK5/CTS8#/RTS8#/SS8#/SSLA0	
25		PB5	MTIOC2A/MTIOC1B/TMRI1/POE1#		
26		PB3	MTIOC0A/MTIOC4A/TMO0/POE3#	SCK6	
27		PB1	MTIOC0C/MTIOC4C/TMCI0	TXD6/SMOSI6/SSDA6	IRQ4-DS
28	VCC				
29		PB0	MTIC5W	RXD6/SMISO6/SSCL6/RSPCKA	
30	VSS				
31		PA6	MTIC5V/MTCLKB/TMCI3/POE2#	CTS5#/RTS5#/SS5#/MOSIA	
32		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5-DS/CVREFB1
33		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5	IRQ6-DS/CMPB1
34		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
35		PE4	MTIOC4D/MTIOC1A		AN012/CMPA2
36		PE3	MTIOC4B/POE8#	CTS12#/RTS12#	AN011/CMPA1
37		PE2	MTIOC4A	RXD12/RXD12/SSCL12	IRQ7-DS/AN010/CVREFB0
38		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SSDA12	AN009/CMPB0
39	VREFL				
40		P46			AN006

表 1.17 機能別端子一覧 (48ピンLQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、SCIId、RSPI、RIIC)	その他
41	VREFH				
42		P42			AN002
43		P41			AN001
44	VREFL0				
45		P40			AN000
46	VREFH0				
47	AVCC0				
48	AVSS0				

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

2. CPU

RX210 グループは、RX CPU を搭載するプロセッサです。

RX CPU は、可変長命令形式を採用しています。使用頻度の高い命令をより短い命令長に割り付けており、少ないメモリ容量で効率の良いプログラムを開発できます。

73 種類の基本命令、9 種類の DSP 機能命令の合計 82 種類の命令と、10 種類のアドレッシングモードを持ち、レジスタ-レジスタ間、レジスタ-メモリ間、即値-レジスタ、即値-メモリの演算をはじめ、ビット操作、メモリーメモリ間の転送を行います。レジスタ間演算命令だけでなく、いくつかの複合命令を 1 クロックで実行することで、高速な演算処理を実現しました。乗算器、除算器を内蔵していますので、高速な乗算処理、除算処理を行うことができます。

RX CPU は、命令フェッチ、デコード、実行、メモリアクセス、ライトバックの 5 ステージのパイプライン処理により、命令を処理します。メモリアクセスによりパイプラインが伸びた場合、後続の演算が先に実行される場合があります。RX CPU は、このような「Out-of-Order Completion」の採用により、クロックサイクル数を無駄にしない命令実行制御を行います。

2.1 特長

- 最小命令実行時間：1 命令 1 クロックで実行
- アドレス空間：4G バイト・リニアアドレス
- CPU レジスタセット
 - 汎用レジスタ：32 ビット×16 本
 - 制御レジスタ：32 ビット×8 本
 - アキュムレータ：64 ビット×1 本
- 基本命令：73 種類（算術／論理命令、転送命令、分岐命令、ビット操作命令、ストリング操作命令、システム操作命令）
 - 分岐距離に応じた相対分岐命令
 - 可変長命令形式（1 バイト長～8 バイト長）
 - 頻出命令に短縮フォーマットを用意
- DSP 機能命令：9 種類
 - 16 ビット×16 ビットの乗算、積和命令に対応
 - アキュムレータの丸め命令に対応
- アドレッシングモード：10 種類
- 5 段パイプライン
 - 「Out-of-Order Completion」の採用
- プロセッサモード
 - スーパバイザモード、ユーザモード
- データ配置
 - リトルエンディアン／ビッグエンディアン選択可能

2.2 CPU レジスタセット

RX CPU のレジスタには、汎用レジスタ（16本）と、制御レジスタ（8本）、および DSP 機能命令で使用するアキュムレータ（1本）があります。

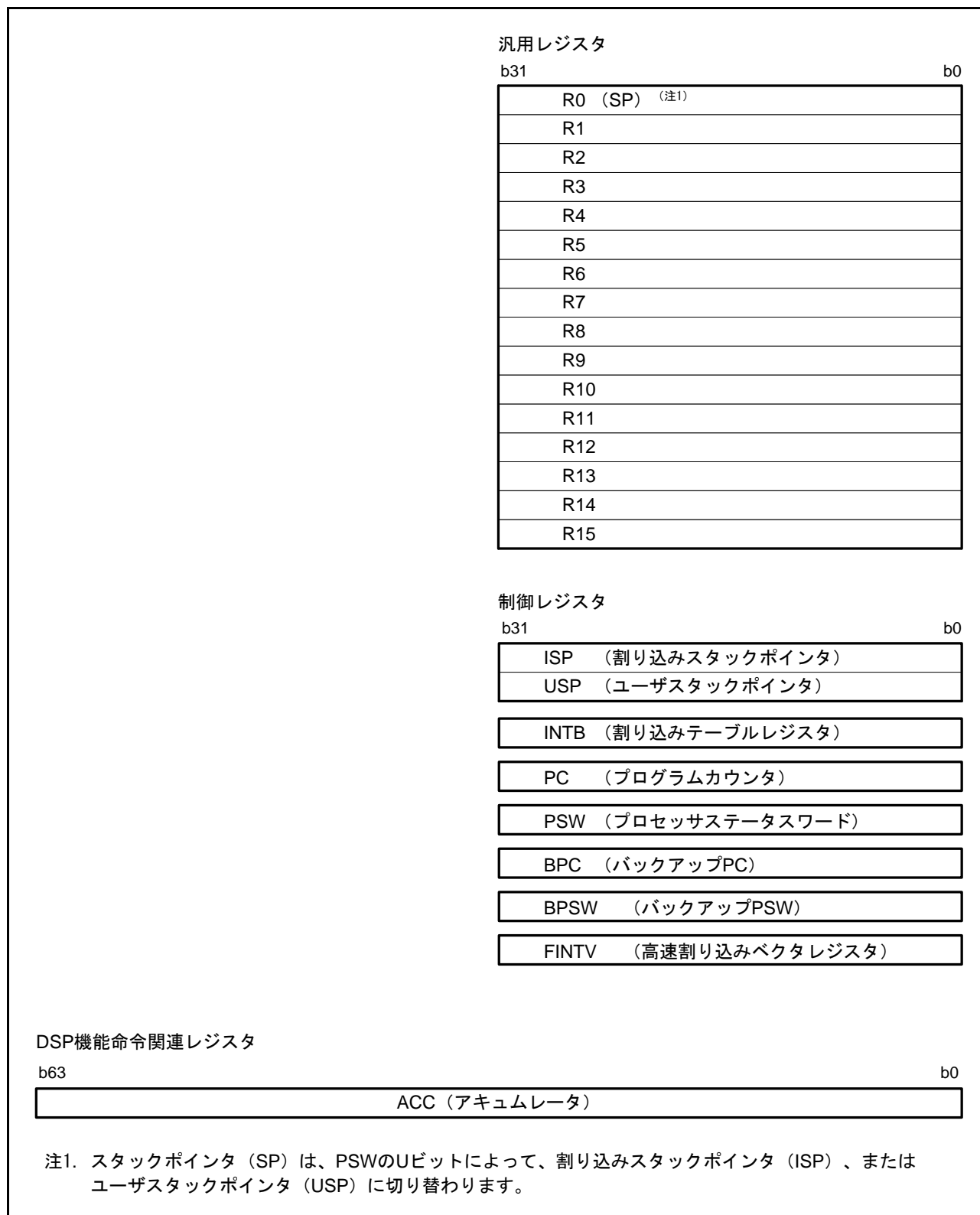


図 2.1 CPU レジスタセット

2.2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

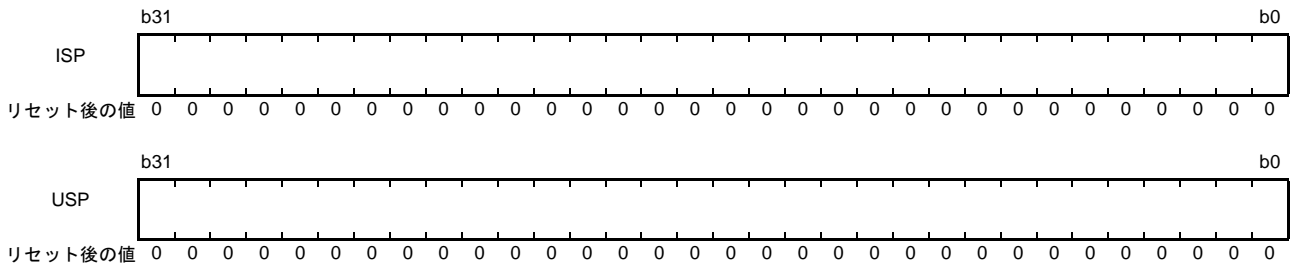
汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の8本のレジスタがあります。

- 割り込みスタックポインタ (ISP)
- ユーザスタックポインタ (USP)
- 割り込みテーブルレジスタ (INTB)
- プログラムカウンタ (PC)
- プロセッサステータスワード (PSW)
- バックアップ PC (BPC)
- バックアップ PSW (BPSW)
- 高速割り込みベクタレジスタ (FINTV)

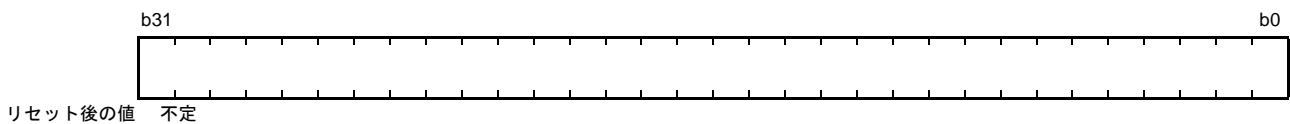
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)



スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

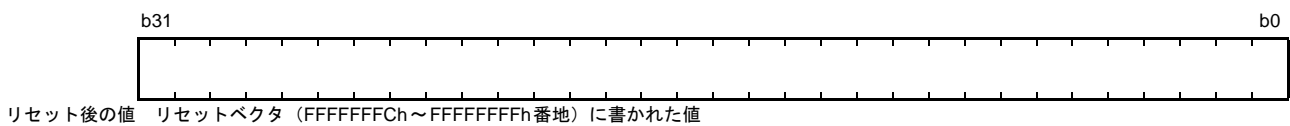
ISP、USPに4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

2.2.2.2 割り込みテーブルレジスタ (INTB)



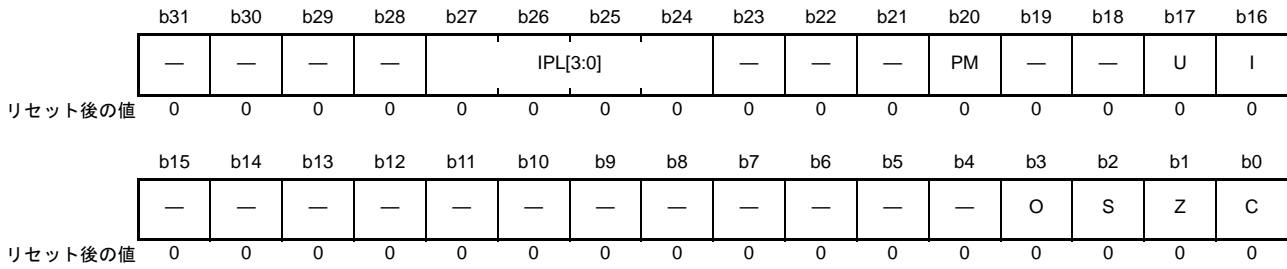
割り込みテーブルレジスタ (INTB) には、可変ベクタテーブルの先頭番地を設定してください。

2.2.2.3 プログラムカウンタ (PC)



プログラムカウンタ (PC) は、実行中の命令の番地を示します。

2.2.2.4 プロセッサステータスワード (PSW)



ビット	シンボル	ビット名	機能	R/W
b0	C	キャリフラグ	0 : キャリの発生なし 1 : キャリの発生あり	R/W
b1	Z	ゼロフラグ	0 : 演算結果は0でなかった 1 : 演算結果は0であった	R/W
b2	S	サインフラグ	0 : 演算結果は正または0であった 1 : 演算結果は負であった	R/W
b3	O	オーバフローフラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I (注1)	割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	R/W
b17	U (注1)	スタックポインタ指定ビット	0 : 割り込みスタックポインタ (ISP) を指定 1 : ユーザスタックポインタ (USP) を指定	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM (注1、注2、注3)	プロセッサモード設定ビット	0 : スーパーバイザモードに設定 1 : ユーザモードに設定	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	IPL[3:0] (注1)	プロセッサ割り込み優先レベル	b27 b24 0 0 0 0 : 優先レベル0 (最低) 0 0 0 1 : 優先レベル1 0 0 1 0 : 優先レベル2 0 0 1 1 : 優先レベル3 0 1 0 0 : 優先レベル4 0 1 0 1 : 優先レベル5 0 1 1 0 : 優先レベル6 0 1 1 1 : 優先レベル7 1 0 0 0 : 優先レベル8 1 0 0 1 : 優先レベル9 1 0 1 0 : 優先レベル10 1 0 1 1 : 優先レベル11 1 1 0 0 : 優先レベル12 1 1 0 1 : 優先レベル13 1 1 1 0 : 優先レベル14 1 1 1 1 : 優先レベル15 (最高)	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. ユーザモードのときは、MVTC、POPC命令によるIPL[3:0]、PM、U、Iビットへの書き込みは無視されます。また、MVTIPL命令でIPL[3:0]ビットへの書き込みを行った場合は、特権命令例外が発生します。
- 注2. スーパーバイザモードのときは、MVTC、POPC命令によるPMビットへの書き込みは無視されます。それ以外のビットへの書き込みはできません。
- 注3. スーパーバイザモードからユーザモードに切り替える場合は、スタックに退避されたPSW.PMビットを“1”にした後、RTE命令を実行するか、BPSW.PMビットを“1”にした後、RTFI命令を実行してください。

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

C フラグ (キャリフラグ)

演算結果にキャリ、ボロー、シフトアウトが発生したことを示します。

Z フラグ (ゼロフラグ)

演算結果が 0 であったことを示します。

S フラグ (サインフラグ)

演算結果が負であったことを示します。

O フラグ (オーバフローフラグ)

演算中にオーバフローしたことを示します。

I ビット (割り込み許可ビット)

割り込み要求の受け付けを許可するビットです。例外を受け付けると、このビットは“0”になります。

U ビット (スタックポインタ指定ビット)

使用するスタックポインタ (ISP/USP) を指定するビットです。例外を受け付けると、このビットは“0”になります。スーパーバイザモードからユーザモードに移行すると、このビットは“1”になります。

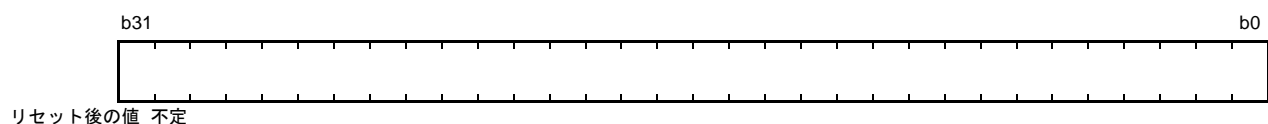
PM ビット (プロセッサモード設定ビット)

プロセッサモードを設定するビットです。例外を受け付けると、このビットは“0”になります。

IPL[3:0] ビット (プロセッサ割り込み優先レベル)

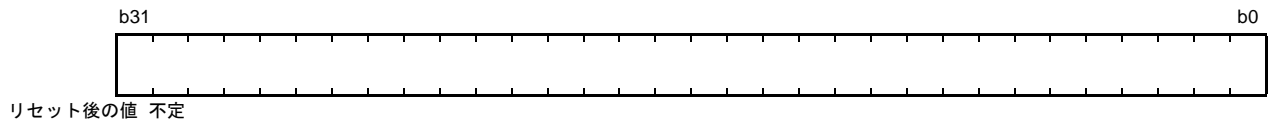
IPL[3:0] ビットは、優先レベル 0 (最低) ~ 優先レベル 15 (最高) までの 16 段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル 15 (Fh) に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスクابل割り込みが発生したとき、レベル 15 (Fh) になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

2.2.2.5 バックアップ PC (BPC)



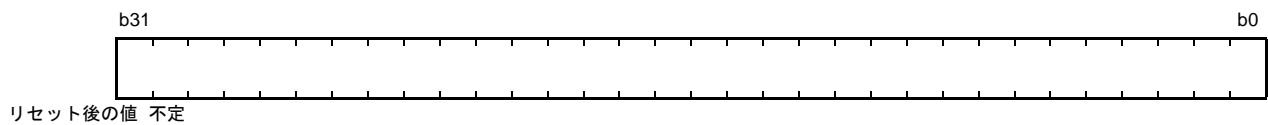
バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

2.2.2.6 バックアップ PSW (BPSW)



バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

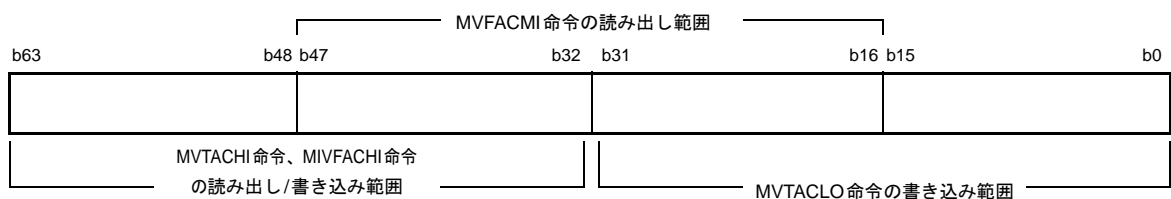
2.2.2.7 高速割り込みベクタレジスタ (FINTV)



高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

2.2.3 DSP 機能命令関連レジスタ

2.2.3.1 アクキュムレータ (ACC)



アクキュムレータ (ACC) は、64 ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令 (EMUL、EMULU、MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32 ビット (b63 ~ b32) に、MVTACLO 命令は下位側 32 ビット (b31 ~ b0) にデータを書きます。

読み出しには MVFACHI 命令、MVFACMI 命令を使用します。MVFACHI 命令で上位側 32 ビット (b63 ~ b32)、MVFACMI 命令で中央の 32 ビット (b47 ~ b16) のデータをそれぞれ読みます。

2.3 プロセッサモード

RX CPU には、スーパーバイザモード、およびユーザモードの2つのプロセッサモードがあります。プロセッサモードを使用して、CPU リソースに対する階層的な保護機構を実現することができます。

各プロセッサモードには、実行可能な命令、アクセス可能な CPU リソースに対する権限を規定しており、スーパーバイザモードはユーザモードより高い権限を持っています。

リセット後は、スーパーバイザモードで動作します。

2.3.1 スーパーバイザモード

スーパーバイザモードでは、すべての CPU リソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC 命令によるプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) への書き込みは無視されます。PM ビットへの書き込み方法については、「2.2.2.4 プロセッサステータスワード (PSW)」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部の CPU リソースへのライトアクセスが制限されます。ライトアクセスが制限される CPU リソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード (PSW) の一部のビット (IPL[3:0]、PM、U、I)
- 割り込みスタックポインタ (ISP)
- 割り込みテーブルレジスタ (INTB)
- バックアップ PSW (BPSW)
- バックアップ PC (BPC)
- 高速割り込みベクタレジスタ (FINTV)

2.3.3 特権命令

特権命令は、スーパーバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、MVTIPL、RTE、WAIT 命令があります。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) によって切り替えられます。ただし、MVTC、POPC 命令による PM ビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパーバイザモードへの移行

例外が発生すると PSW.PM ビットが“0”になり、CPU はスーパーバイザモードへ移行します。ハードウェア前処理は、スーパーバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避された PSW.PM ビットに保持されます。

(2) スーパーバイザモードからユーザモードへの移行

スタック上に退避されている PSW.PM ビットを“1”にした後 RTE 命令を実行する、あるいはバックアップ PSW (BPSW) に退避されている PSW.PM ビットを“1”にした後 RTFI 命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSW のスタックポインタ指定ビット (U) が“1”になります。

2.4 データタイプ

RX CPU は、整数、ビット、ストリングの3種類のデータを扱うことができます。
詳細は「RX ファミリーユーザーズマニュアルソフトウェア編」を参照してください。

2.5 エンディアン

RX CPU の命令は、リトルエンディアン固定です。
データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1 エンディアンの設定

RX210 グループでは、バイトデータの並び方を、上位バイト (MSB) が0番地になるビッグエンディアン、下位バイト (LSB) が0番地になるリトルエンディアンのいずれも使用できます。

エンディアンの設定については、「3. 動作モード」を参照してください。

命令によって8/16/32ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表2.1～表2.12に示します。

表中の

LL は、汎用レジスタの D7～D0

LH は、汎用レジスタの D15～D8

HL は、汎用レジスタの D23～D16

HH は、汎用レジスタの D31～D24 を示します。

	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0
汎用レジスタ Rm	HH	HL	LH	LL

表2.1 リトルエンディアン設定時の32ビットリード動作

動作 src番地	0番地を 32ビット でリード	1番地を 32ビットで リード	2番地を 32ビットで リード	3番地を 32ビットで リード	4番地を 32ビットで リード
0番地	LLに転送	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—
2番地	HLに転送	LHに転送	LLに転送	—	—
3番地	HHに転送	HLに転送	LHに転送	LLに転送	—
4番地	—	HHに転送	HLに転送	LHに転送	LLに転送
5番地	—	—	HHに転送	HLに転送	LHに転送
6番地	—	—	—	HHに転送	HLに転送
7番地	—	—	—	—	HHに転送

表2.2 ビッグエンディアン設定時の32ビットリード動作

動作 src番地	0番地を 32ビットで リード	1番地を 32ビットで リード	2番地を 32ビットで リード	3番地を 32ビットで リード	4番地を 32ビットで リード
0番地	HHに転送	—	—	—	—
1番地	HLに転送	HHに転送	—	—	—
2番地	LHに転送	HLに転送	HHに転送	—	—
3番地	LLに転送	LHに転送	HLに転送	HHに転送	—
4番地	—	LLに転送	LHに転送	HLに転送	HHに転送
5番地	—	—	LLに転送	LHに転送	HLに転送
6番地	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	LLに転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	LLを転送	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—
2番地	HLを転送	LHを転送	LLを転送	—	—
3番地	HHを転送	HLを転送	LHを転送	LLを転送	—
4番地	—	HHを転送	HLを転送	LHを転送	LLを転送
5番地	—	—	HHを転送	HLを転送	LHを転送
6番地	—	—	—	HHを転送	HLを転送
7番地	—	—	—	—	HHを転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	HHを転送	—	—	—	—
1番地	HLを転送	HHを転送	—	—	—
2番地	LHを転送	HLを転送	HHを転送	—	—
3番地	LLを転送	LHを転送	HLを転送	HHを転送	—
4番地	—	LLを転送	LHを転送	HLを転送	HHを転送
5番地	—	—	LLを転送	LHを転送	HLを転送
6番地	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	LLを転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.10 ビッグエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.11 リトルエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

表2.12 ビッグエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

2.5.2 I/Oレジスタアクセス

I/Oレジスタはビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがってI/Oレジスタへのアクセスは、エンディアン変更の影響を受けません。I/Oレジスタの配置については、各章のレジスタの説明を参照してください。

2.5.3 I/Oレジスタアクセスの注意事項

I/Oレジスタは、以下の規則に従ってアクセスしてください。

- 8ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Bであるか、サイズ拡張指定子(.memex)が.Bまたは.UBである命令を使用してアクセスしてください。
- 16ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Wであるか、サイズ拡張指定子(.memex)が.Wまたは.UWである命令を使用してアクセスしてください。
- 32ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Lであるか、サイズ拡張指定子(.memex)が.Lである命令を使用してアクセスしてください。

2.5.4 データ配置

2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を図 2.2 に示します。

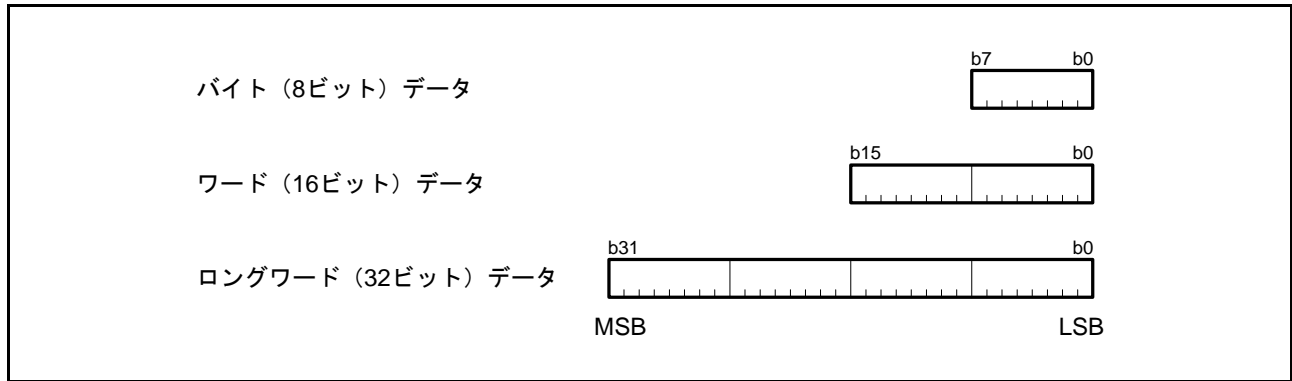


図 2.2 レジスタのデータ配置

2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット) の 3 種類です。データ配置は、リトルエンディアンか、ビッグエンディアンかを選択することができます。メモリ上のデータ配置を図 2.3 に示します。

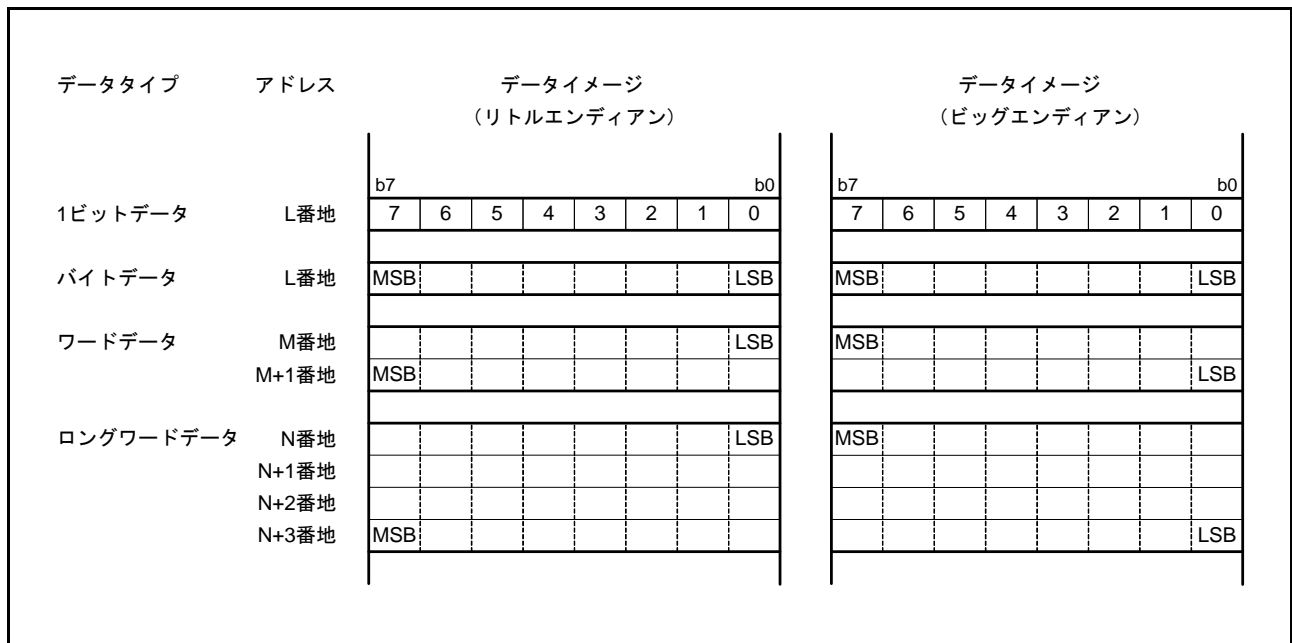


図 2.3 メモリ上のデータ配置

2.5.5 命令コード配置の注意事項

外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.6 ベクタテーブル

ベクタテーブルには、固定ベクタテーブルと可変ベクタテーブルがあります。ベクタテーブルは、1ベクタあたり4バイトで構成されており、各ベクタに対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 固定ベクタテーブル

固定ベクタテーブルは、テーブルの配置アドレスが固定されたベクタテーブルです。FFFFFF80h～FFFFFFFFh番地に、特権命令例外、未定義命令例外、ノンマスカブル割り込み、リセットの各ベクタを配置しています。図2.4に固定ベクタテーブルを示します。

	MSB	LSB
FFFFFF80h	(予約領域)	
:	:	
FFFFFFCCh	(予約領域)	
FFFFFFD0h	特権命令例外	
FFFFFFD4h	(予約領域)	
FFFFFFD8h	(予約領域)	
FFFFFFDCh	未定義命令例外	
FFFFFFE0h	(予約領域)	
FFFFFFE4h	(予約領域)	
FFFFFFE8h	(予約領域)	
FFFFFFECh	(予約領域)	
FFFFFFF0h	(予約領域)	
FFFFFFF4h	(予約領域)	
FFFFFFF8h	ノンマスカブル割り込み	
FFFFFFFCh	リセット	

図 2.4 固定ベクタテーブル

2.6.2 可変ベクタテーブル

可変ベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ (INTB) の内容で示された値を先頭アドレス (IntBase) とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。図 2.5 に可変ベクタテーブルを示します。

可変ベクタテーブルには、ベクタごとに番号 (0 ~ 255) が付けられています。無条件トラップ発生要因の INT 命令ではオペランドで指定した番号 (0 ~ 255) に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。また、割り込み要因では、製品ごとに決められたベクタ番号 (0 ~ 255) が割り当てられています。割り込みのベクタ番号については、「14.3.1 割り込みのベクタテーブル」を参照してください。

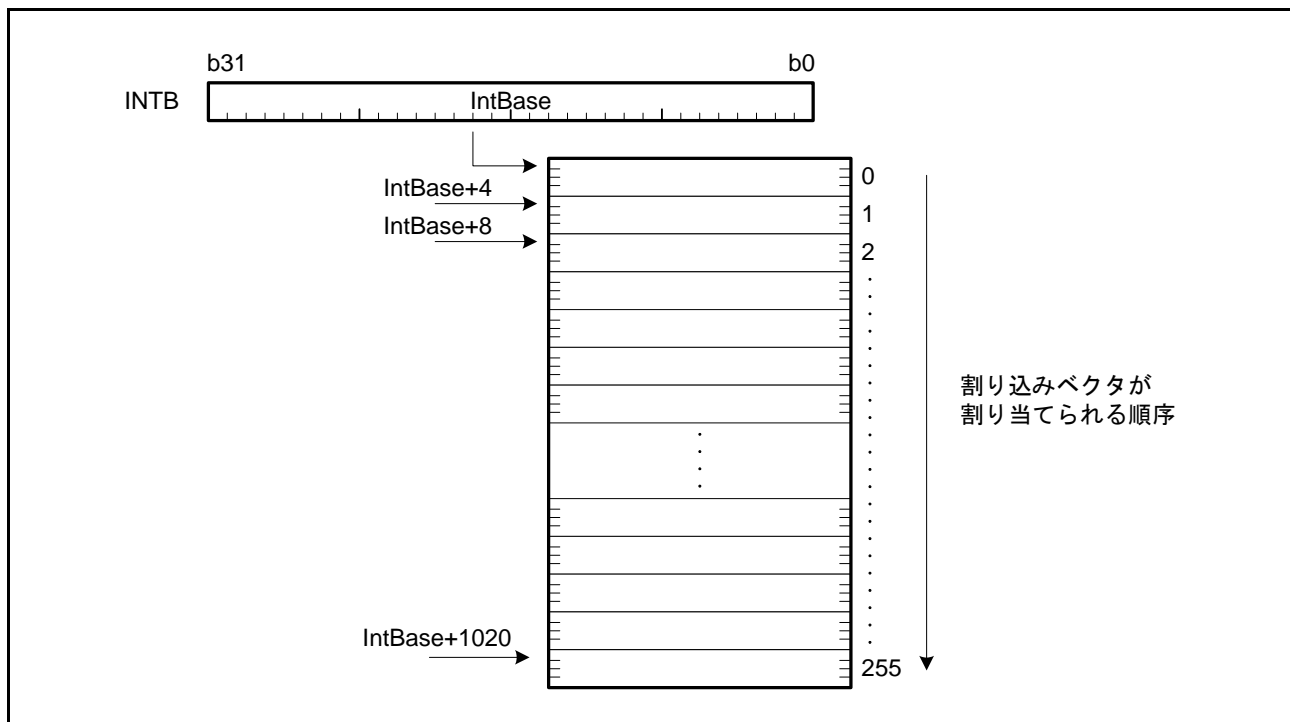


図 2.5 可変ベクタテーブル

2.7 命令動作

2.7.1 RMPA 命令、ストリング操作命令のデータプリフェッチ

RMPA 命令、および SSTR 命令を除くストリング操作命令（SCMPU、SMOVB、SMOVF、SMOVU、SUNTIL、SWHILE）は、メモリからのデータ読み出し処理を高速化するため、データプリフェッチを行う場合があります。データ読み出し位置に対して、最大で3バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令：R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令：R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL、SWHILE 命令：R1 で指定される比較先番地
- SMOVB、SMOVF、SMOVU 命令：R2 で指定される転送元番地

2.8 パイプライン

2.8.1 概要

RX CPU は 5 段のパイプラインステージで構成されています。RX CPU の命令は、1 つまたは、複数のマイクロオペレーションに変換され、RX CPU はマイクロオペレーションをパイプライン処理します。パイプラインステージは、IF ステージは命令単位、D ステージ以降は、マイクロオペレーション単位で動作します。

以下にパイプラインの動作と各ステージの概要を示します。

(1) IF ステージ (命令フェッチステージ)

命令フェッチを行うステージです。メモリから命令をフェッチします。RX CPU は 4 バイト × 4 本の命令キューを備えており、D (デコード) ステージのデコード処理完了とは無関係に、命令キューがいっぱいになるまでフェッチを続けます。

(2) D ステージ (デコードステージ)

D ステージは命令のデコード処理 (DEC) を行い、命令をマイクロオペレーションに変換します。このステージでは、レジスタの読み出し (RF) を行い、先行する命令の演算結果を参照する処理の場合は、バイパス (BYP) を行います。バイパスにより、演算結果のレジスタへの書き込み (RW) と同時に、D ステージでのレジスタ参照が可能です。

(3) E ステージ (実行ステージ)

演算やアドレス計算など (OP) を行います。

(4) M ステージ (メモリアクセスステージ)

オペランドのメモリアクセス (OA1、OA2) を行います。メモリアクセス時のみ、このステージを使用します。このステージはさらに M1、M2 の 2 段のサブステージに分かれます。RX CPU では、M1、M2 の各ステージに 1 個のメモリアクセスが存在することができます。

- M1 ステージ (メモリアクセスステージ 1)

オペランドのメモリアクセス (OA1) を行います。

ストア動作時：ライト要求がバスに受け付けられると、パイプライン処理は終了します。

ロード動作時：リード要求がバスに受け付けられると、M2 ステージに進みます。要求受け付けとロードデータ到着が同時 (ノーウェイトのメモリアクセス) の場合は、WB ステージに進みます。

- M2 ステージ (メモリアクセスステージ 2)

オペランドのメモリアクセス (OA2) を行います。ロードデータの到着を待つステージです。ロードデータが到着すると、WB ステージに進みます。

(5) WB ステージ (ライトバックステージ)

演算結果やメモリから読み出したデータをレジスタに書きます (RW)。メモリからの読み出しデータとそれ以外の演算結果は同時 (同じサイクル) にレジスタに書けます。

図 2.6 にパイプライン構成とその動作を示します。

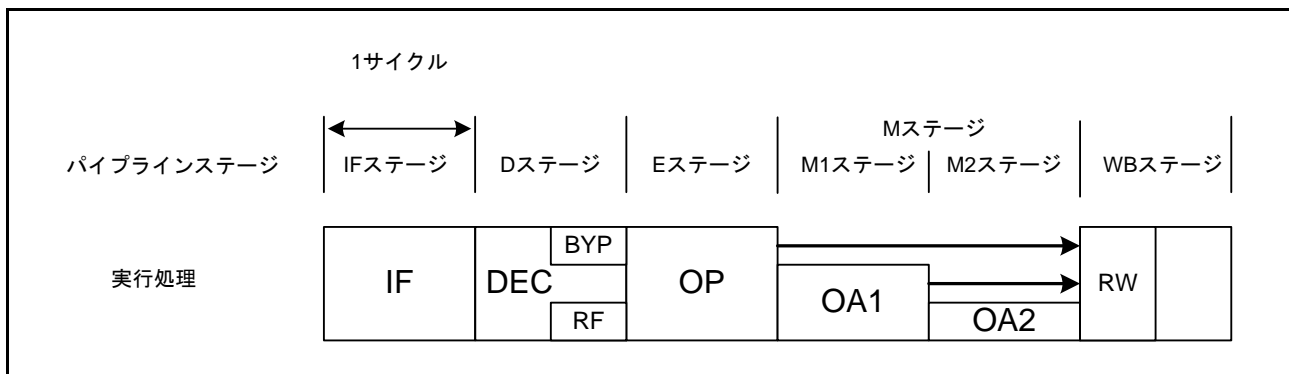


図 2.6 パイプライン構成と動作

2.8.2 命令とパイプライン処理

表中のオペランド表記は、以下に従います。

#IMM : 即値

flag : ビット、フラグ

Rs, Rs2, Rd, Rd2, Ri, Rb : 汎用レジスタ

CR : 制御レジスタ

dsp : ディスプレースメント

pcdsp : ディスプレースメント

2.8.2.1 単一のマイクロオペレーションに変換される命令とパイプライン処理

単一のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表2.13 単一マイクロオペレーションに変換される命令

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
算術/論理演算命令 (レジスタ間、即値-レジスタ) DIV、DIVU、EMUL、EMULU、 RMPA、SATRを除く	<ul style="list-style-type: none"> • {ABS, NEG, NOT} "Rd"/"Rs, Rd" • {ADC, MAX, MIN, ROTL, ROTR, XOR} "#IMM, Rd"/ "Rs, Rd" • ADD "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd"/"Rs, Rs2, Rd" • {AND, MUL, OR, SUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd" • {CMP, TST} "#IMM, Rs"/"Rs, Rs2" • NOP • {ROLC, RORC, SAT} "Rd" • SBB "Rs, Rd" • {SHAR, SHLL, SHLR} "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd" 	図2.7	1
算術/論理演算命令 (除算)	• DIV "#IMM, Rd"/"Rs, Rd"	図2.7	3~20 (注1)
	• DIVU "#IMM, Rd"/"Rs, Rd"	図2.7	2~18 (注1)
転送命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> • MOV "#IMM, Rd"/"Rs, Rd" • {MOVU, REVL, REVW} "Rs, Rd" • SCCnd "Rd" • {STNZ, STZ} "#IMM, Rd" 	図2.7	1
転送命令 (ロード動作)	<ul style="list-style-type: none"> • {MOV, MOVU} "[Rs], Rd"/"dsp[Rs], Rd"/"Rs+, Rd" "/[-Rs], Rd"/"Ri, Rb], Rd" • POP "Rd" 	図2.8	スループット : 1 レイテンシ : 2 (注2)
転送命令 (ストア動作)	<ul style="list-style-type: none"> • MOV "Rs, [Rd]"/"Rs, dsp[Rd]"/"Rs, [Rd+]" "/"Rs, [-Rd]"/"Rs, [Ri, Rb]"/"#IMM, dsp[Rd]"/"#IMM, [Rd]" • PUSH "Rs" • PUSHC "CR" • SCCnd "[Rd]"/"dsp[Rd]" 	図2.9	1
ビット操作命令 (レジスタ)	<ul style="list-style-type: none"> • {BCLR, BNOT, BSET} "#IMM, Rd"/"Rs, Rd" • BMCnd "#IMM, Rd" • BTST "#IMM, Rs"/"Rs, Rs2" 	図2.7	1
分岐命令	<ul style="list-style-type: none"> • BCnd "pcdsp" • {BRA, BSR} "pcdsp"/"Rs" • {JMP, JSR} "Rs" 	図2.17	分岐成立 : 3 分岐不成立 : 1
システム操作命令	<ul style="list-style-type: none"> • {CLRPSW, SETPSW} "flag" • MVTC "#IMM, CR"/"Rs, CR" • MVFC "CR, Rd" • MVTIPL "#IMM" 	—	1
DSP機能命令	<ul style="list-style-type: none"> • {MACHI, MACLO, MULHI, MULLO} "Rs, Rs2" • {MVFACHI, MVFACMI} "Rd" • {MVTACHI, MVTACLO} "Rs" • RACW "#IMM" 	図2.7	1

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。

注2. スループット、レイテンシ表記のサイクル数については「2.8.3 命令処理時間の計算方法」を参照してください。

基本的な単一のマイクロオペレーションに変換される命令動作を以下の図 2.7 ～図 2.9 に示します。

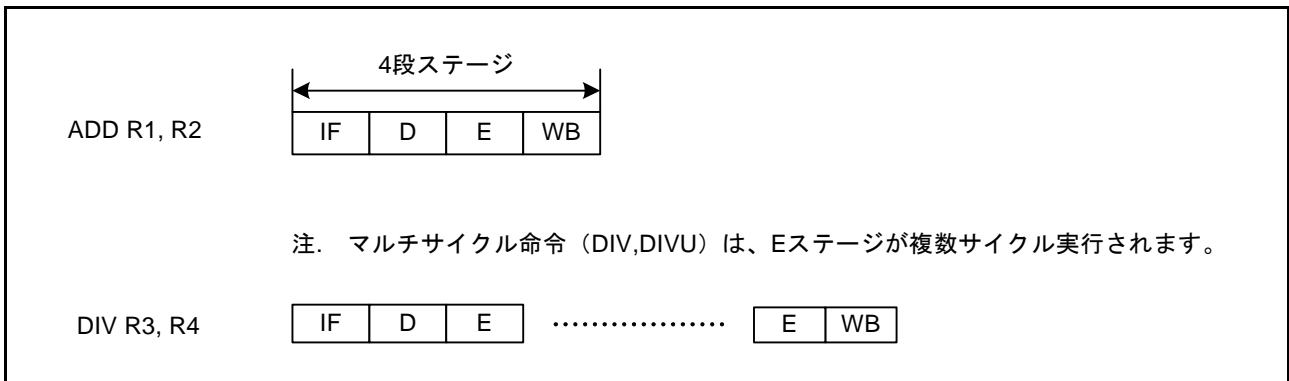


図 2.7 レジスタ間、即値－レジスタ演算

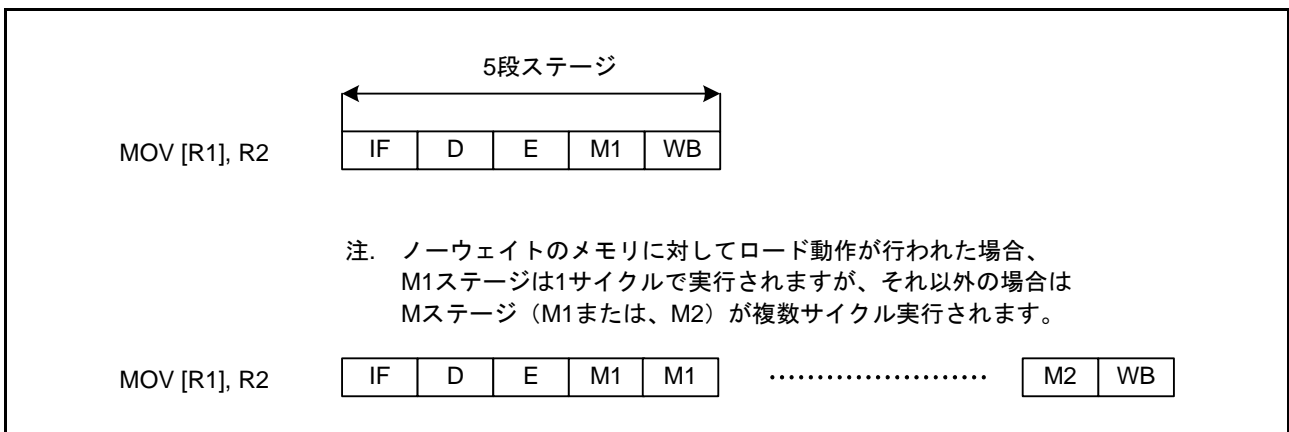


図 2.8 ロード動作

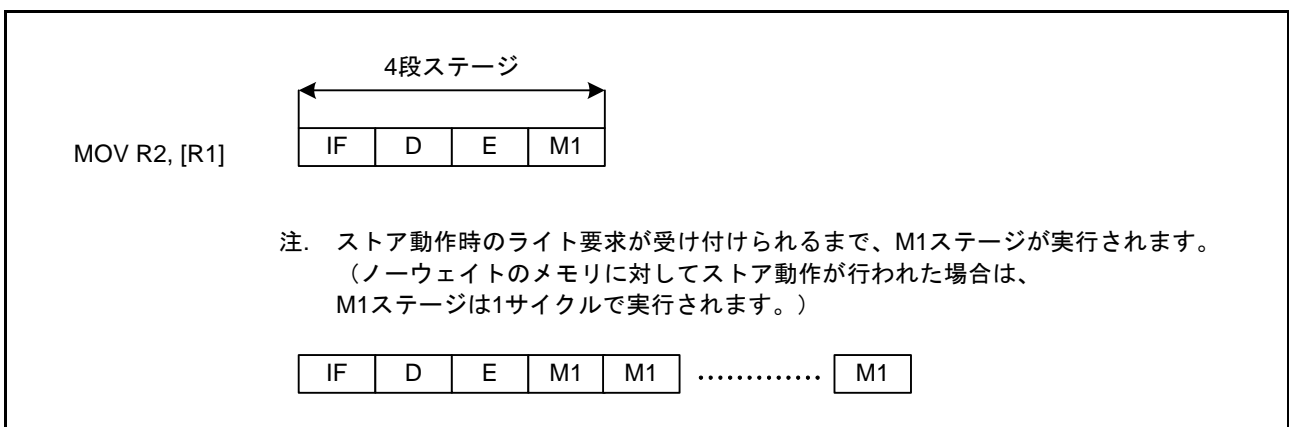


図 2.9 ストア動作

2.8.2.2 複数のマイクロオペレーションに変換される命令とパイプライン処理

複数のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表 2.14 複数マイクロオペレーションに変換される命令 (1 / 2)

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
算術／論理演算命令 (メモリソースオペランド)	<ul style="list-style-type: none"> {ADC, ADD, AND, MAX, MIN, MUL, OR, SBB, SUB, XOR} “[Rs], Rd”/“dsp[Rs], Rd” {CMP, TST} “[Rs], Rs2”/“dsp[Rs], Rs2” 	図 2.10	3
算術／論理演算命令 (除算)	• DIV “[Rs], Rd / dsp[Rs], Rd”	—	5 ~ 22
	• DIVU “[Rs], Rd / dsp[Rs], Rd”	—	4 ~ 20
算術／論理演算命令 (乗算 32bit×32bit → 64bit) (レジスタ間、レジスタ即値)	• {EMUL, EMULU} “#IMM, Rd”/“Rs, Rd”	図 2.12	2
算術／論理演算命令 (乗算 32bit×32bit → 64bit) (メモリソースオペランド)	• {EMUL, EMULU} “[Rs], Rd”/“dsp[Rs], Rd”	—	4
算術／論理演算命令 (積和演算)	• RMPA.B	—	6+7×floor(n/4)+4×(n%4) nは処理バイト数 (注1)
	• RMPA.W	—	6+5×floor(n/2)+4×(n%2) nは処理ワード数 (注1)
	• RMPA.L	—	6+4n nは処理ロングワード数 (注1)
算術／論理演算命令 (RMPA命令用64ビット符号付き飽和処理)	• SATR	—	3
転送命令 (メモリ間転送)	<ul style="list-style-type: none"> MOV “[Rs], [Rd]”/“dsp[Rs], [Rd]”/“[Rs], dsp[Rd]”/“dsp[Rs], dsp[Rd]” PUSH “[Rs]”/“dsp[Rs]” 	図 2.11	3
ビット操作命令 (メモリソースオペランド)	<ul style="list-style-type: none"> {BCLR, BNOT, BSET} “#IMM, [Rd]”/“#IMM, dsp[Rd]”/“Rs, [Rd]”/“Rs, dsp[Rd]” BMCnd “#IMM, [Rd]”/“#IMM, dsp[Rd]” BTST “#IMM, [Rs]”/“#IMM, dsp[Rs]”/“Rs, [Rs2]”/“Rs, dsp[Rs2]” 	図 2.11	3
転送命令 (ロード命令)	• POPC “CR”	—	スループット : 3 レイテンシ : 4 (注2)
転送命令 (複数レジスタの退避)	• PUSHM “Rs-Rs2”	—	n nはレジスタ数 (注3)
転送命令 (複数レジスタの復帰)	• POPM “Rs-Rs2”	—	スループット : n レイテンシ : n+1 nはレジスタ数 (注2、注4)
転送命令 (レジスタ間の交換)	• XCHG “Rs, Rd”	図 2.13	2
転送命令 (メモリーレジスタの交換)	• XCHG “[Rs], Rd”/“dsp[Rs], Rd”	図 2.14	2
分岐命令	• RTS	—	5
	• RTSD “#IMM”	—	5
	• RTSD “#IMM, Rd-Rd2”	—	スループット : n<5?5:1+n レイテンシ : n<4?5:2+n nはレジスタ数 (注2)

表2.14 複数マイクロオペレーションに変換される命令 (2 / 2)

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
ストリング操作命令 (注5)	• SCMPU	—	$2+4 \times \text{floor}(n/4)+4 \times (n\%4)$ nは比較バイト数 (注1)
	• SMOVB	—	$n > 3 ?$ $6+3 \times \text{floor}(n/4)+3 \times (n\%4):$ $2+3n$ nは転送バイト数 (注1)
	• SMOVF, SMOVU	—	$2+3 \times \text{floor}(n/4)+3 \times (n\%4)$ nは転送バイト数 (注1)
	• SSTR.B	—	$2+\text{floor}(n/4)+n\%4$ nは転送バイト数 (注1)
	• SSTR.W	—	$2+\text{floor}(n/2)+n\%2$ nは転送ワード数 (注1)
	• SSTR.L	—	$2+n$ nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	—	$3+3 \times \text{floor}(n/4)+3 \times (n\%4)$ nは比較バイト数 (注1)
	• SUNTIL.W, SWHILE.W	—	$3+3 \times \text{floor}(n/2)+3 \times (n\%2)$ nは比較ワード数 (注1)
	• SUNTIL.L, SWHILE.L	—	$3+3 \times n$ nは比較ロングワード数
システム操作命令	• RTE	—	6
	• RTFI	—	3

?: 条件演算子

注1. floor(x) : x以下の最大の整数

注2. スループット、レイテンシ表記のサイクル数については「2.8.3 命令処理時間の計算方法」を参照してください。

注3. PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。

注4. POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。

注5. SCMPU, SMOVU, SWHILE, SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。

基本的な複数のマイクロオペレーションに変換される命令動作を以下の図 2.10 ~ 図 2.14 に示します

注. mop : マイクロオペレーション、stall : パイプラインストール

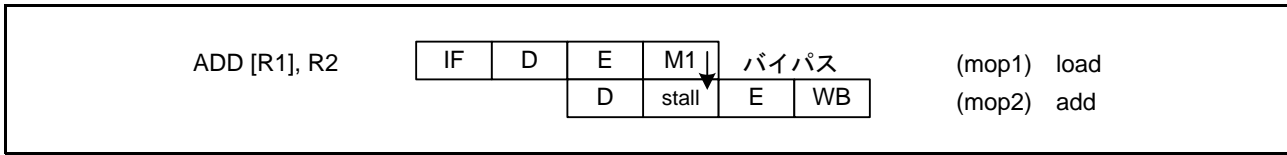


図 2.10 算術論理演算命令 (メモリスソースオペランド)

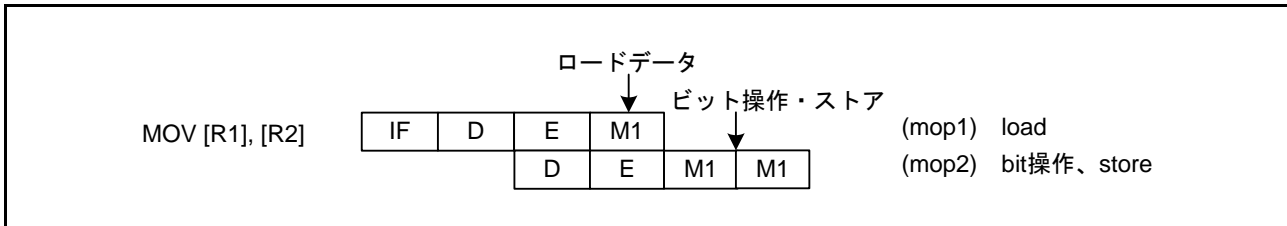


図 2.11 MOV 命令 (メモリ間転送)、ビット操作命令 (メモリスソースオペランド)

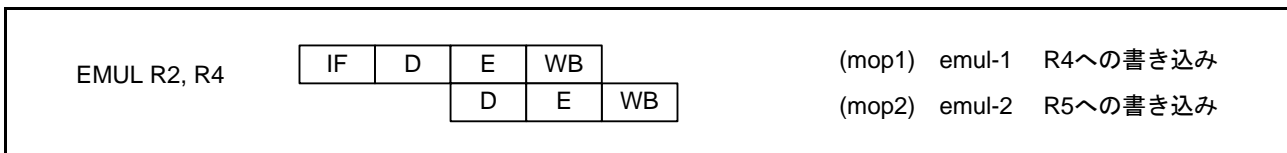


図 2.12 EMUL, EMULU 命令 (レジスタ間、レジスター即値)

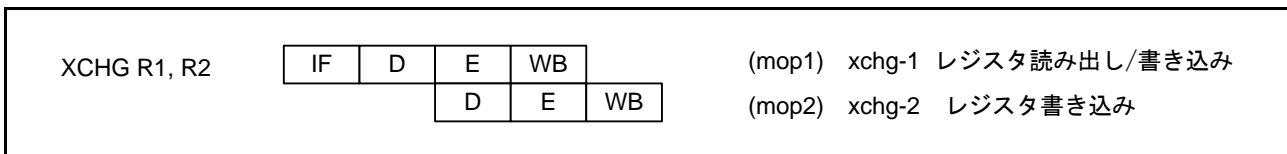


図 2.13 XCHG 命令 (レジスタ)

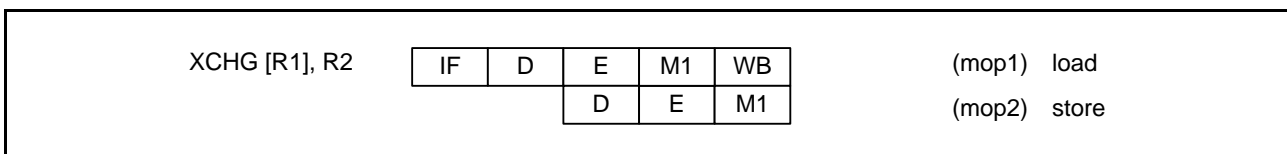


図 2.14 XCHG 命令 (メモリスソースオペランド)

2.8.2.3 パイプラインの基本動作

理想的なパイプライン処理では、各ステージの実行サイクル数は1ですが、各ステージでの処理や分岐実行などによりパイプライン処理が乱れることがあります。

CPUは、IFステージは命令単位、Dステージ以降は、マイクロオペレーション単位でパイプラインステージ制御を行います。

以下に代表的なケースについてパイプライン処理の状況を示します。

注. mop : マイクロオペレーション、stall : パイプラインストール

(1) パイプライン処理が乱れるケース

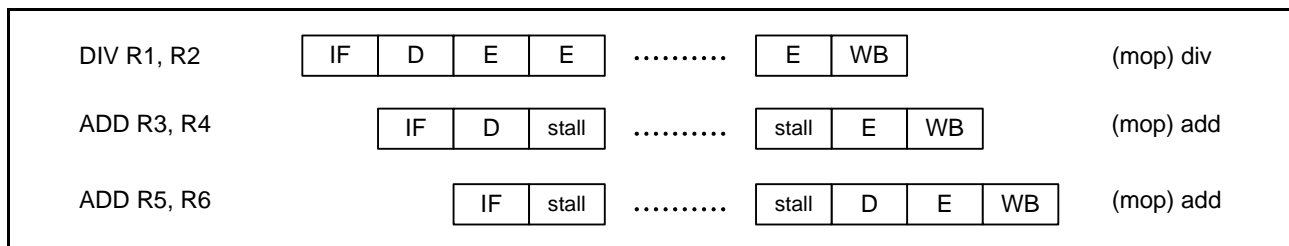


図 2.15 Eステージの実行に複数サイクルを要する命令の実行時

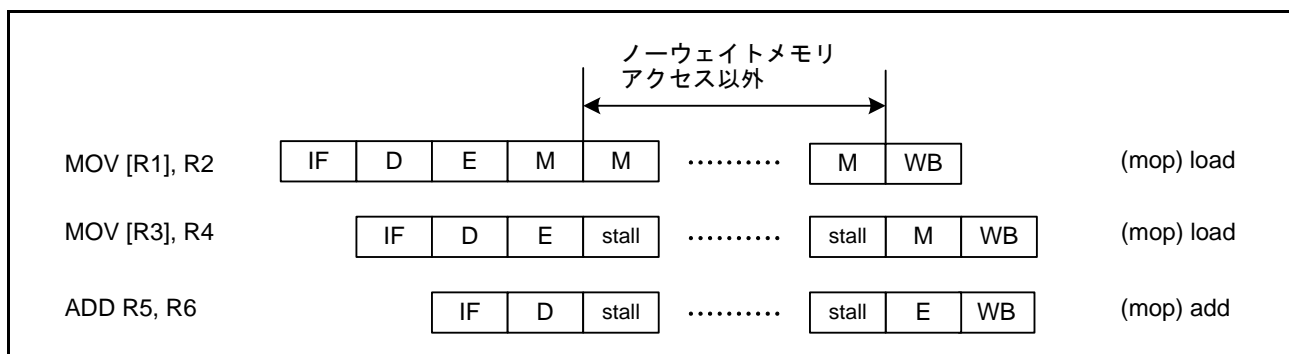


図 2.16 オペランドアクセスが1サイクルで終了しない場合

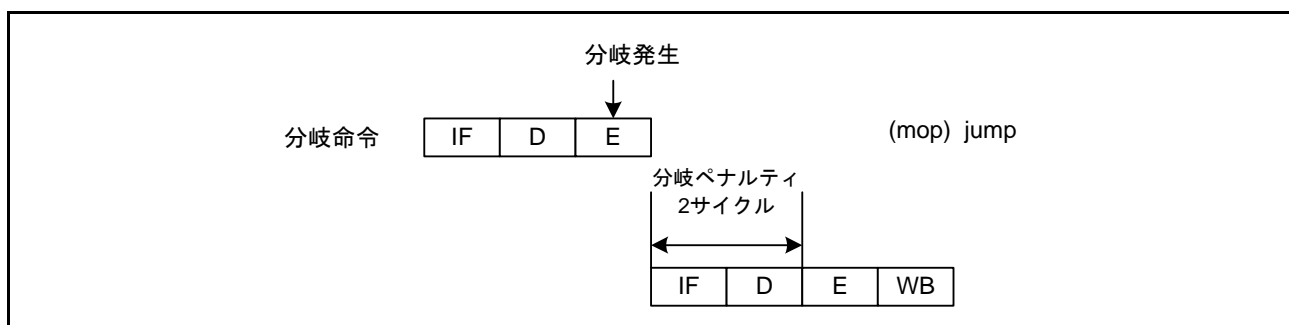


図 2.17 分岐（無条件分岐または、条件分岐で条件が成立した場合）

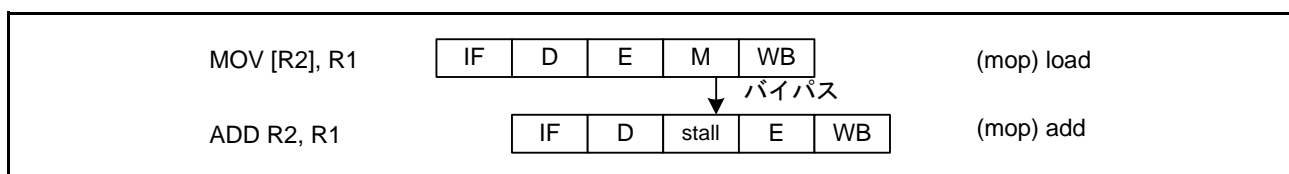


図 2.18 メモリから読み出したオペランドを後続命令が使用する場合

(2) パイプライン処理が乱れないケース

(a) バイパス

先行命令が書き込んだレジスタを後続命令が使用する場合であっても、レジスタ間演算の場合はバイパスにより、パイプライン処理は乱れません。

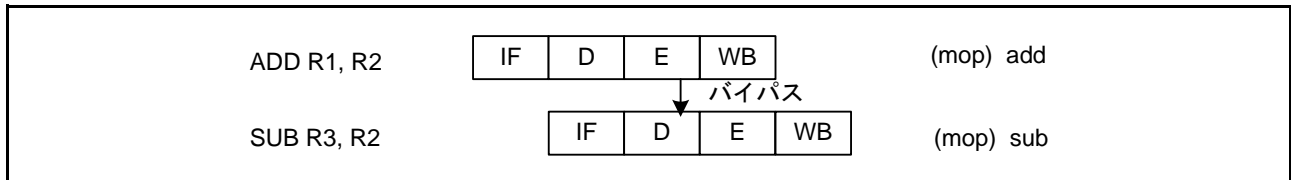


図 2.19 バイパス

(b) メモリロードと演算の WB ステージが重なっている場合

メモリロードと演算の WB ステージが重なっている場合であっても、ロードデータと演算結果はレジスタに同時に書けますので、パイプライン処理は乱れません。

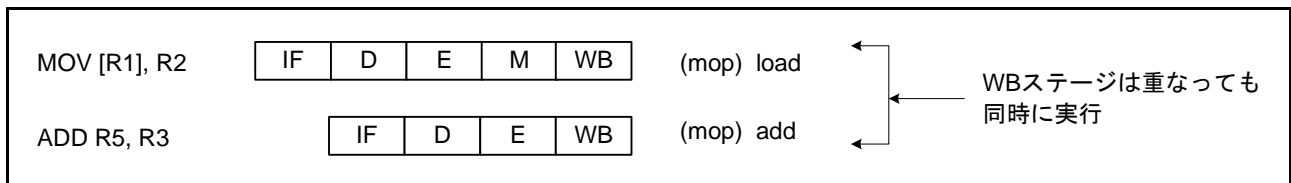


図 2.20 メモリロードと演算の WB ステージが重なっている場合

(c) メモリロードを終了する前に後続命令が同じレジスタへ書き込みを行った場合

メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合であっても、メモリロードの WB ステージはキャンセルされますので、パイプライン処理は乱れません。

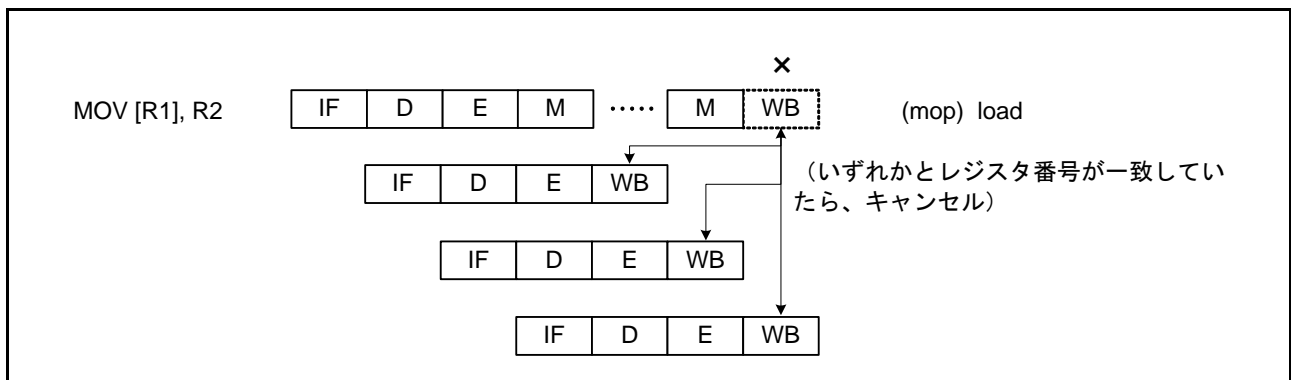


図 2.21 メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合

(d) メモリロードしたデータを後続命令が参照しない場合

メモリロードしたデータを後続命令が参照しない場合、後続の命令が先に実行されて完了します。
(Out-of-Order Completion)

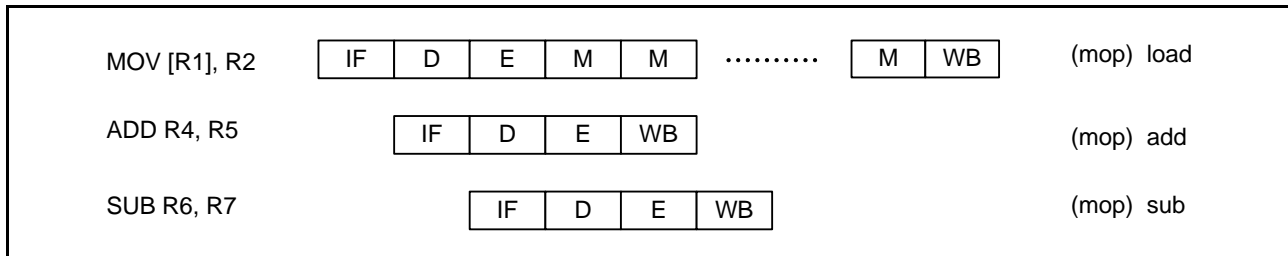


図 2.22 メモリロードしたデータを後続命令が参照しない場合

2.8.3 命令処理時間の計算方法

CPU の命令処理時間は、パイプライン処理によって変動しますが、次のような計算方法で命令処理時間を概算することができます。

- サイクル数をカウントします（表 2.13、表 2.14 を参照）。
- メモリロード結果を後続命令が参照する場合は、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数をカウントします。それ以外は“スループット”として記載されているサイクル数をカウントします。
- 命令フェッチストールが起きた場合は、さらにサイクル数が追加されます。
- システム構成によっては、メモリアクセスに複数サイクルかかります。

2.8.4 割り込み応答サイクル数

表 2.15 に割り込み応答処理のサイクル数を示します。

表 2.15 割り込み応答サイクル数

割り込み要求の種類／処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受け付けまでのサイクル数	Nサイクル (実行している命令によって異なる)	
CPU ハードウェア前処理 PC、PSWのRAMへの退避 (高速割り込みは、制御レジスタへ退避) ベクタの読み出し 例外処理ルーチンへ分岐	4サイクル	6サイクル

表 2.15 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。RX210 グループは、ノーウェイトアクセス可能な ROM、RAM を搭載しています。プログラム（含むベクタ）は ROM、スタック領域は RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受け付けまでのサイクル数 N は、「表 2.13 単一マイクロオペレーションに変換される命令」、「表 2.14 複数マイクロオペレーションに変換される命令」を参照してください。

割り込み受け付けタイミングはパイプラインの状態に依存します。割り込み受け付けタイミングについては、「13.3.1 受け付けタイミングと退避される PC 値」を参照してください。

3. 動作モード

3.1 動作モードの種類と選択

動作モードには、リセット解除時の端子のレベルによって選択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

リセット解除時のモード設定端子（MD、PC7）のレベルと、そのとき選択される動作モードの関係を表3.1に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。いずれのモードで起動した場合でも、内蔵ROM（ROM、E2データフラッシュ）有効、外部バス無効の状態で作動を開始します。外部バスを有効にする場合はSYSCR0.EXBEビットを“1”（外部バス有効）にしてください。

表3.1 モード設定端子による動作モードの選択

モード設定端子		動作モード	SYSCR0レジスタ初期状態	
MD (注1)	PC7 (注2)		ROMEビット	EXBEビット
High	—	シングルチップモード	1 (内蔵ROM有効)	0 (外部バス無効)
Low	Low	ブートモード		
	High	ユーザブートモード		

注1. MCU動作中にMD端子を変化させないください。

注2. PC7端子は汎用ポートとしても使用可能です。

システムコントロールレジスタ0（SYSCR0）で設定可能な動作モードの一覧を表3.2に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。

表3.2 レジスタによる動作モードの選択

SYSCR0レジスタ		動作モード
ROMEビット	EXBEビット	
0 (内蔵ROM無効) (注1)	0 (外部バス無効)	シングルチップモード、ユーザブートモード
1 (内蔵ROM有効)	0 (外部バス無効)	
0 (内蔵ROM無効) (注1)	1 (外部バス有効)	内蔵ROM無効拡張モード
1 (内蔵ROM有効)	1 (外部バス有効)	内蔵ROM有効拡張モード

注1. ROMEビットを“0”にすると、“1”に戻せません。

シングルチップモード、ユーザブートモードでは、エンディアンを選択することができます。動作モードごとのエンディアンの設定は、表3.3に示すレジスタのエンディアン選択ビット（MDE[2:0]）で行います。設定値は表3.4を参照してください。

表3.3 エンディアンの設定

動作モード	エンディアン設定
シングルチップモード	オプション設定メモリのエンディアン選択レジスタ（MDES）に設定
ユーザブートモード	オプション設定メモリのエンディアン選択レジスタ（MDEB）に設定

表3.4 エンディアンの選択

MDE[2:0]ビットの設定値	選択されるエンディアン
000b	ビッグエンディアン
111b	リトルエンディアン

3.2 レジスタの説明

3.2.1 モードモニタレジスタ (MDMONR)

アドレス 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
リセット後の値	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0/1 (注1)

注1. リセット解除時のMD端子のレベルが反映されます。

ビット	シンボル	ビット名	説明	R/W
b0	MD	MD端子ステータスフラグ	0: MD端子は“Low” 1: MD端子は“High”	R
b7-b1	—	予約ビット	読むと“0”が読めます	R
b8	—	予約ビット	読んだ場合、その値は不定です	R
b15-b9	—	予約ビット	読むと“0”が読めます	R

3.2.2 モードステータスレジスタ (MDSR)

アドレス 0008 0002h

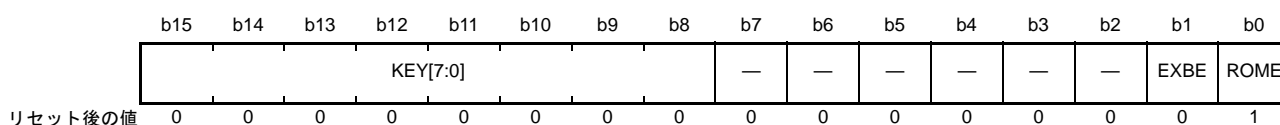
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	UBTS	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0/1 (注1)	0	0	0	0	1

注1. 起動時の動作モードによって異なります。

ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“1”が読めます	R
b4-b1	—	予約ビット	読むと“0”が読めます	R
b5	UBTS	ユーザブートモード起動フラグ	0: シングルチップモードで起動した 1: ユーザブートモードで起動した	R
b15-b6	—	予約ビット	読むと“0”が読めます	R

3.2.3 システムコントロールレジスタ 0 (SYSCR0)

アドレス 0008 0006h



ビット	シンボル	ビット名	説明	R/W
b0	ROME	内蔵ROM有効ビット	0: 内蔵ROM無効 1: 内蔵ROM有効	R/W
b1	EXBE	外部バス有効ビット	0: 外部バス無効 1: 外部バス有効	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	SYSCR0キーコード	SYSCR0レジスタの書き換えの可否を制御します。 SYSCR0レジスタを書き換える場合、上位8ビットに“5Ah”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. 書き込みデータは保持されません。

ROME ビット (内蔵 ROM 有効ビット)

内蔵 ROM (ROM、E2 データフラッシュ) の有効 / 無効を選択するビットです。

一度“0”にすると、“1”に戻すことはできません。

内蔵 ROM 上のプログラムを実行しているときは、“0”にしないでください。また、ROME ビットに“0”を書いた後は、ROME ビットが“0”になったことを確認してから次の処理を行ってください。

EXBE ビット (外部バス有効ビット)

外部バスの有効 / 無効を選択するビットです。

外部アドレス空間上のプログラムを実行しているときは、“0”にしないでください。また、外部バスへのアクセスが完了してから“0”を書いてください。また、DMAC の転送範囲に外部アドレス空間が含まれる場合は、DMA 転送を禁止してから実施してください。

EXBE ビットを書き換えた後は、EXBE ビットが書き換わったことを確認してから次の処理を行ってください。

なお、EXBE ビットを“1”にする場合、関連する I/O ポートの設定も必要となります。詳細は「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

3.2.4 システムコントロールレジスタ 1 (SYSCR1)

アドレス 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	説明	R/W
b0	RAME	RAM有効ビット	0 : RAM無効 1 : RAM有効	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

RAME ビット (RAM 有効ビット)

RAMの有効/無効を選択するビットです。

RAMをアクセスしているときは、“0”にしないでください。また、RAMEビットを“0”から“1”に書き換えた後は、RAMEビットが“1”になったことを確認してからRAMをアクセスするようにしてください。

RAMEビットを“0”にしても、RAMの値は保持されます。ただし、「42. 電気的特性」に規定するRAMスタンバイ電圧 (VRAM) 以上の電圧を保持する必要があります。

3.3 動作モードの説明

3.3.1 シングルチップモード

シングルチップモードは、外部バスが無効（SYSCR0.EXBE ビット =0）で、すべての I/O ポートを汎用入出力ポート、周辺機能入出力、または割り込み入力端子として使用できるモードです。

MD 端子を High にしてリセットを解除すると、シングルチップモードで起動します。起動時の内蔵 ROM は有効（SYSCR0.ROME ビット =1）です。ソフトウェアで内蔵 ROM 無効（SYSCR0.ROME ビット =0）にできますが、内蔵 ROM 有効（SYSCR0.ROME ビット =1）に戻すことはできません。

SYSCR0.EXBE ビットを“1”（外部バス有効）にし、内蔵 ROM 有効拡張モードまたは内蔵 ROM 無効拡張モードに移行することで、外部バスを使用することができます。

3.3.2 内蔵 ROM 有効拡張モード

内蔵 ROM が有効（SYSCR0.ROME ビット =1）で、外部バス拡張を有効（SYSCR0.EXBE ビット =1）にしたモードです。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力として使用します。詳細は「21. マルチファンクションピンコントローラ（MPC）」を参照してください。

シングルチップモードで起動後、SYSCR0.EXBE ビットを“1”（外部バス有効）にすると、内蔵 ROM 有効拡張モードになります。

SYSCR0.EXBE ビットを“0”（外部バス無効）にすると、シングルチップモード（内蔵 ROM 有効）に移行します。

SYSCR0.ROME ビットを“0”（内蔵 ROM 無効）にすると、内蔵 ROM 無効拡張モードに移行します。

3.3.3 内蔵 ROM 無効拡張モード

内蔵 ROM が無効（SYSCR0.ROME ビット =0）で、外部バス拡張を有効（SYSCR0.EXBE ビット =1）にしたモードです。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力として使用します。詳細は、「21. マルチファンクションピンコントローラ（MPC）」を参照してください。

シングルチップモードで起動後、SYSCR0.EXBE ビットを“1”（外部バス有効）、SYSCR0.ROME ビットを“0”（内蔵 ROM 無効）にすると、内蔵 ROM 無効拡張モードになります。

内蔵 ROM を有効（SYSCR0.ROME ビット =1）にすることはできません。

SYSCR0.EXBE ビットを“0”（外部バス無効）にすると、シングルチップモード（内蔵 ROM 無効）に移行します。

3.3.4 ブートモード

MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き換えプログラム（ブートプログラム）が動作するモードです。調歩同期式シリアルインタフェース（SCI1）を使用して、MCU 外部から内蔵 ROM（ROM、E2 データフラッシュ）を書き換えることができます。詳細は、「40. ROM（コード格納用フラッシュメモリ）」、「41. E2 データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。

MD 端子を Low、PC7 端子を Low にしてリセットを解除すると、ブートモードで起動します。

3.3.5 ユーザブートモード

お客様が作成された内蔵フラッシュメモリ書き換えプログラム（ユーザブートプログラム）が動作するモードです。リセット解除後は、シングルチップモードと同等の状態です。

UB コード A、UB コード B に規定の値をプログラムした後、MD 端子を Low、PC7 端子を High にしてリセットを解除すると、ユーザブートモードで起動します。UB コード A、UB コード B については「7. オプション設定メモリ」を参照してください。

ユーザブートモードで起動後、SYSCR0.EXBE ビットを“1”（外部バス有効）にすると、内蔵 ROM 有効拡張モードになります。

注． ユーザブートモードでは、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行しないでください。

注． OFS0/OFS1 レジスタの設定は無効となり、FFFF FFFFh となります。

3.4 動作モード遷移

3.4.1 モード設定端子による動作モード遷移

MD 端子、PC7 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。

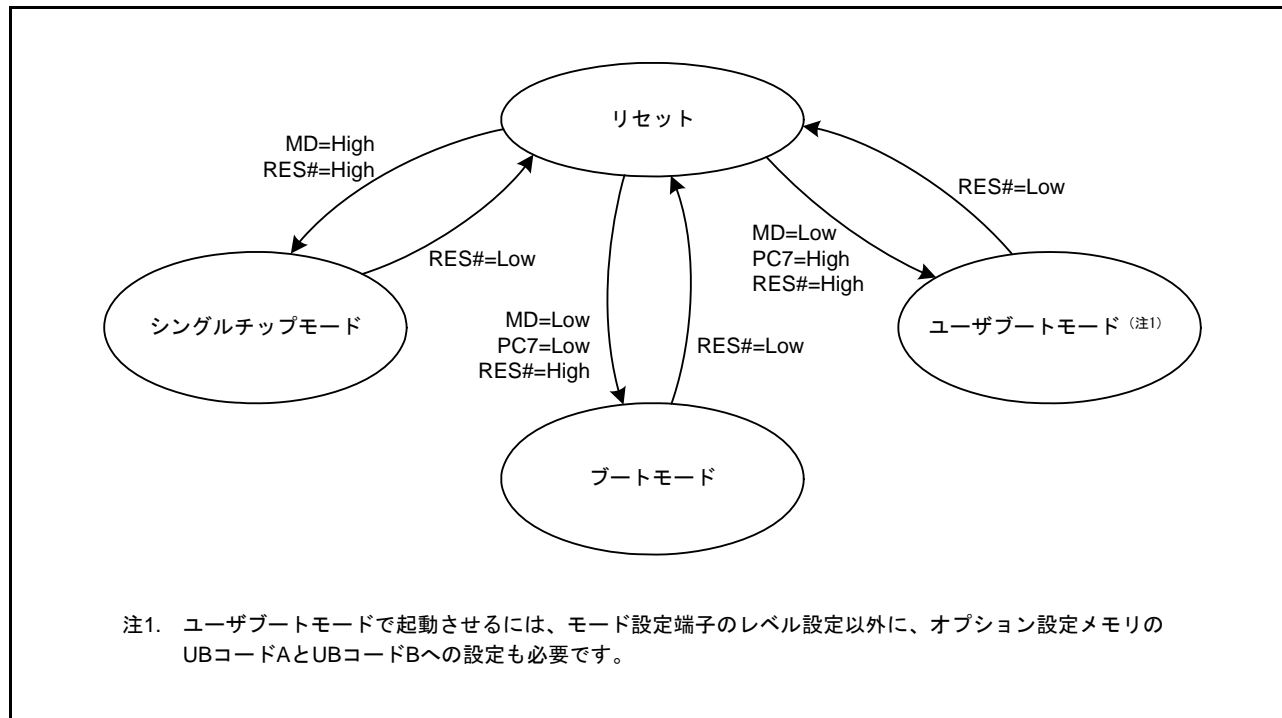


図 3.1 モード設定端子のレベルと動作モード

3.4.2 レジスタ設定による動作モード遷移

SYSCR0.ROME、EXBE ビットの設定による動作モード遷移について、図 3.2 に状態遷移図を示します。

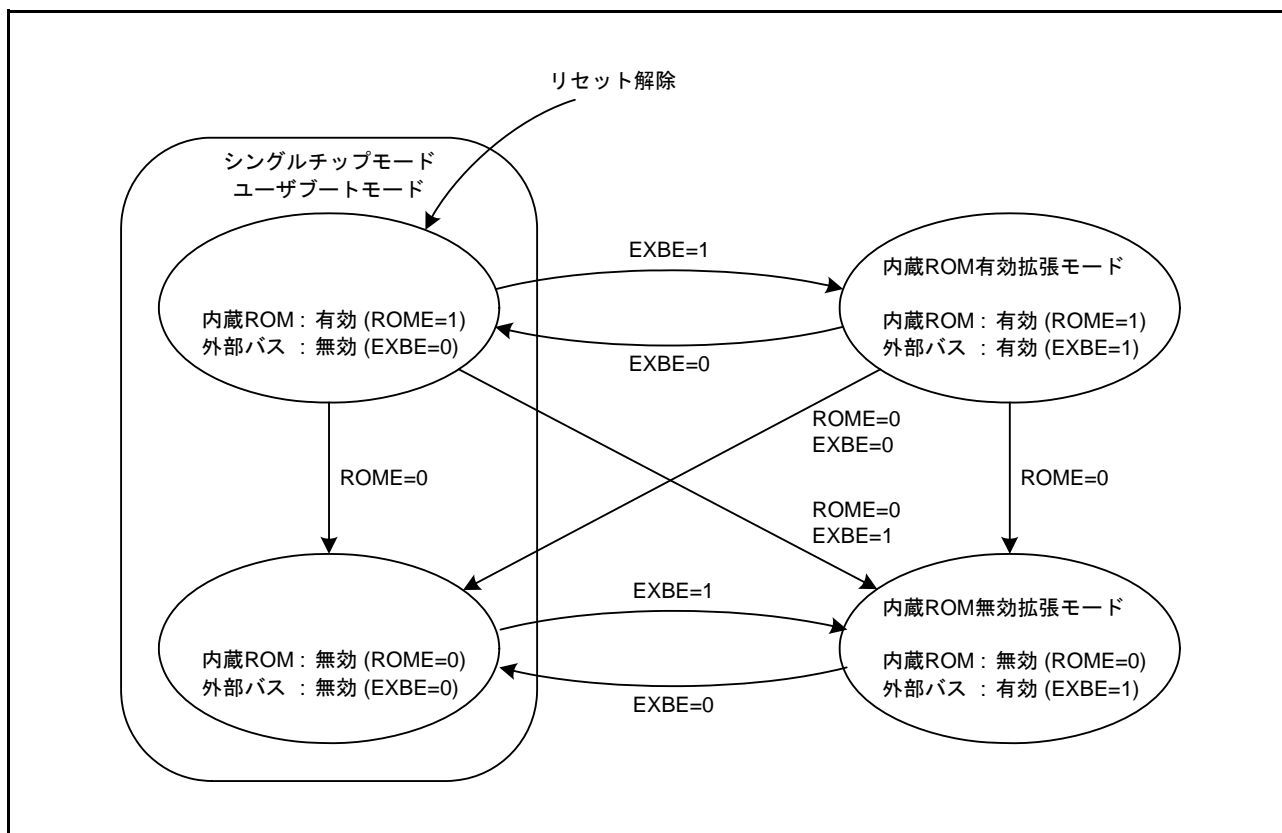


図 3.2 SYSCR0.ROME、EXBE ビットの設定と動作モード

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 4.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって違います。

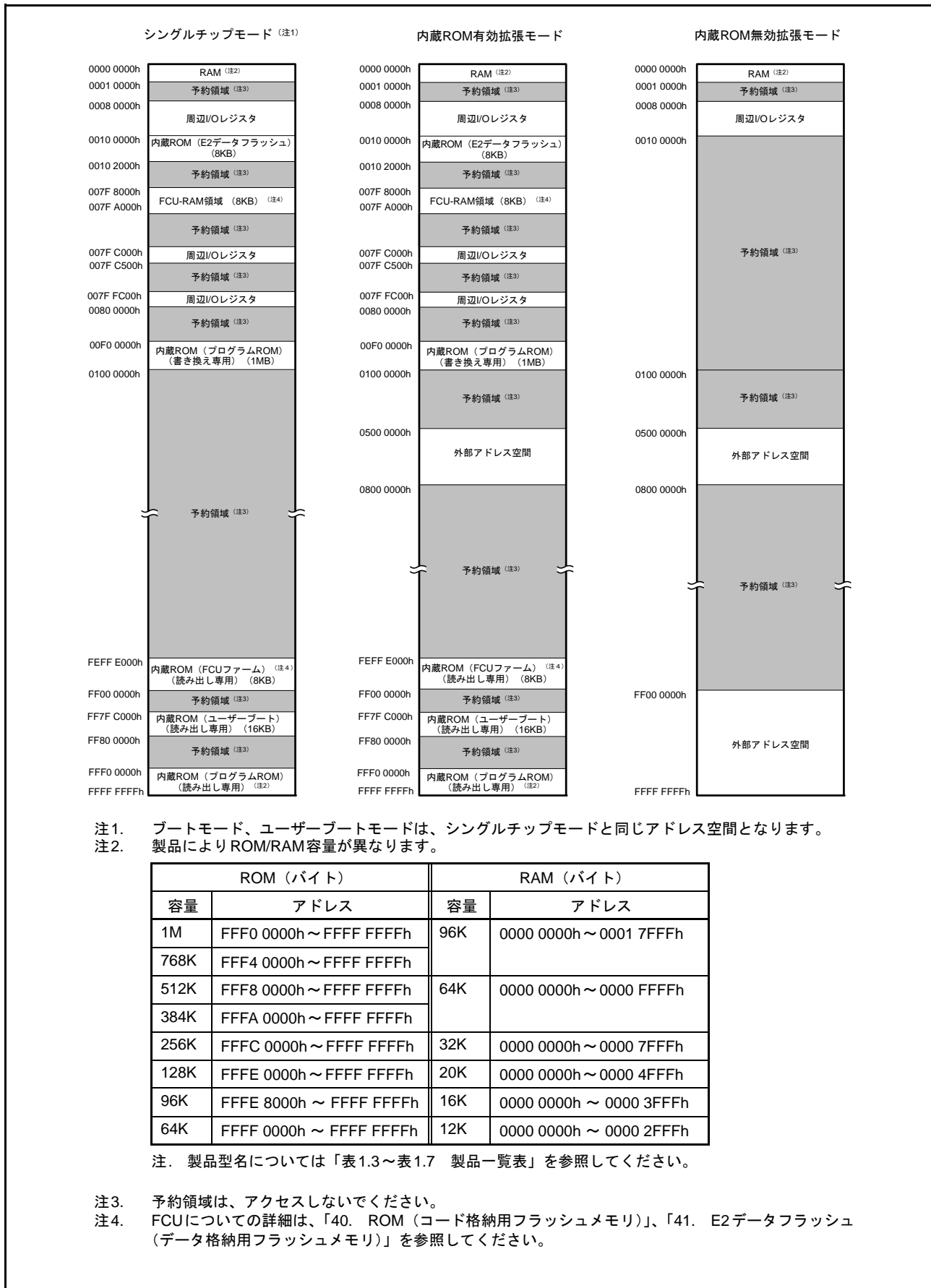


図 4.1 各動作モードのメモリマップ

4.2 外部アドレス空間

外部アドレス空間は、CSn# 端子 (n=0~3) から出力される CSn# 信号によって最大4つのCS領域 (CS0~CS3) に分割できます。図4.2に内蔵ROM無効拡張モード時のCS領域 (CS0~CS3) とアドレスの対応を示します。

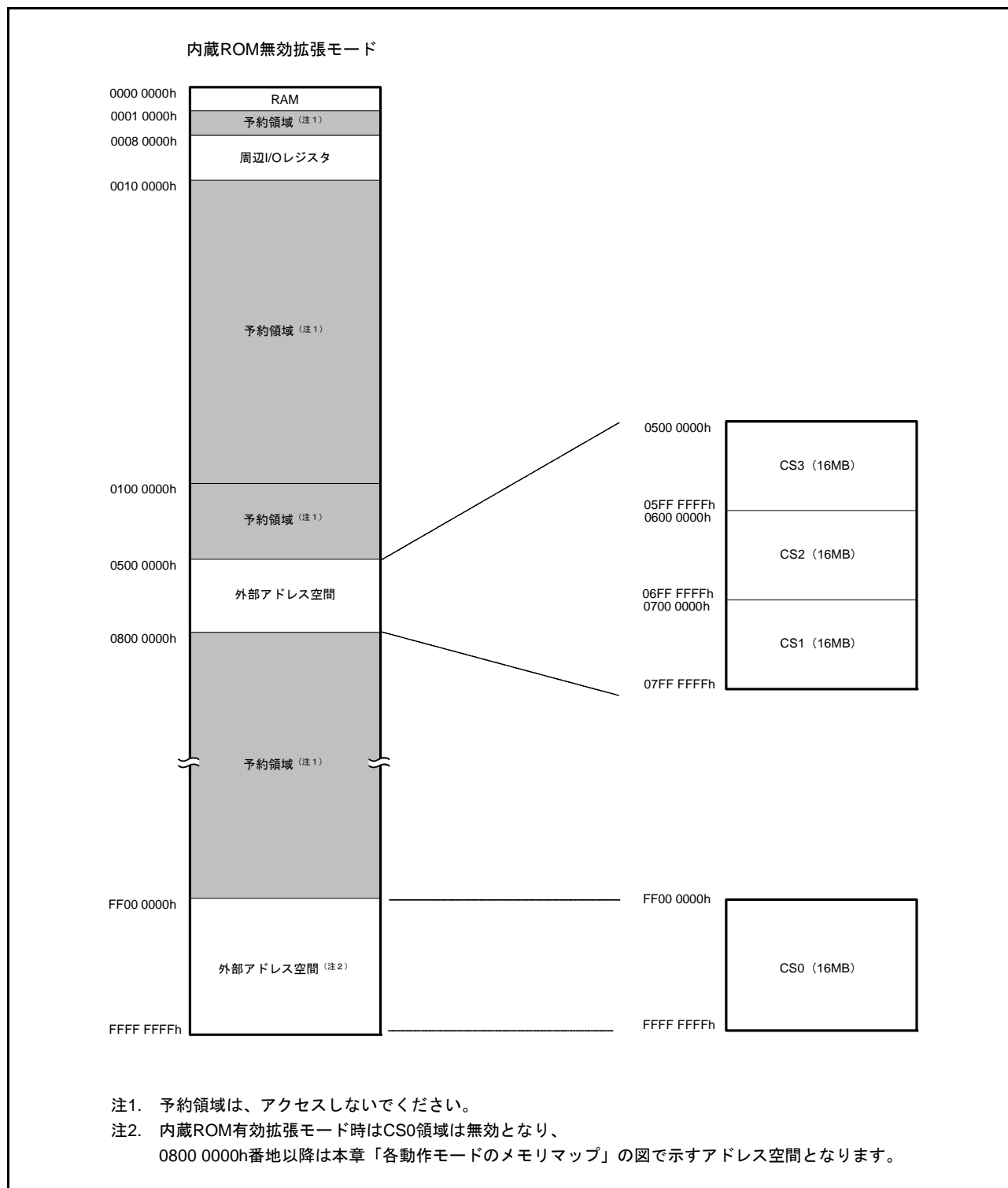


図 4.2 外部アドレス空間と CS 領域 (内蔵 ROM 無効拡張モードの場合)

5. I/Oレジスタ

I/Oレジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/Oレジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部I/Oレジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/Oレジスタ書き込み時の注意事項

CPUがI/Oレジスタに書き込む際、CPUは書き込み完了を待たずに後続の命令を実行します。そのため、I/Oレジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/Oレジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERn.IENjビット）のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いてWAIT命令を実行する場合

このような場合には、I/Oレジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/Oレジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/Oレジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/Oレジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行ったI/Oレジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/Oレジスタアクセスサイクル数

I/Oレジスタアクセスサイクル数は、「表 5.1 I/Oレジスタアドレス一覧」を参照してください。

I/Oレジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\text{I/Oレジスタアクセスサイクル数} = \text{内部メインバス1のバスサイクル数} + \\ \text{分周クロック同期化サイクル数} + \\ \text{内部周辺バス1～6のバスサイクル数}$$

内部周辺バス1～6のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス2～6に接続されている周辺機能、および外部バス制御部のレジスタ（バスエラー関連のレジスタは除く）へアクセスする場合には、分周クロック同期化サイクルが追加されます。

分周クロック同期化サイクル数は、ICLKとPCLK（またはFCLK、BCLK）の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ （またはFCLK）の周波数関係の場合、内部メインバス1のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK（またはFCLK）で最大1サイクルとなるため、表 5.1 では1PCLK（またはFCLK）の幅を持たせて記載しています。

また、 $\text{ICLK} < \text{PCLK}$ （またはFCLK）の周波数関係の場合、次のバスアクセスが周辺機能が終了した次のICLKサイクルから開始されるため、ICLK単位の記載となっています。

外部バス制御部では内部メインバス1のバスサイクル数と分周クロック同期化サイクル数を合わせると、BCLKで最大1サイクルとなるため、表 5.1 では1BCLKの幅を持たせて記載しています。

- 注1. CPUからのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ（DMAC、DTC）のバスアクセスと競合せずに実行された場合のサイクル数です。

5.1 I/Oレジスタアドレス一覧（アドレス順）

表5.1 I/Oレジスタアドレス一覧（1 / 27）

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK		3章
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK		3章
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK		3章
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK		3章
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK		11章
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK		11章
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK		11章
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK		11章
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK		9章
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK		9章
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK		9章
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK		9章
0008 0030h	SYSTEM	外部バスクロックコントロールレジスタ	BCKCR	8	8	3ICLK		9章
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK		9章
0008 0033h	SYSTEM	サブクロック発振器コントロールレジスタ	SOSCCR	8	8	3ICLK		9章
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK		9章
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK		9章
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK		9章
0008 0037h	SYSTEM	高速オンチップオシレータコントロールレジスタ2	HOCOCR2	8	8	3ICLK		9章
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK		9章
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK		9章
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK		11章
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK		11章
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK		11章
0008 00A3h	SYSTEM	サブクロック発振器ウェイトコントロールレジスタ	SOSCWTCR	8	8	3ICLK		11章
0008 00A6h	SYSTEM	PLLウェイトコントロールレジスタ	PLLWTCR	8	8	3ICLK		11章
0008 00A9h	SYSTEM	HOCOウェイトコントロールレジスタ2	HOCOWTCR2	8	8	3ICLK		11章
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK		6章
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK		6章
0008 00E0h	SYSTEM	電圧監視1回路/コンパレータA1制御レジスタ1	LVD1CR1	8	8	3ICLK		8章、36章
0008 00E1h	SYSTEM	電圧監視1回路/コンパレータA1ステータスレジスタ	LVD1SR	8	8	3ICLK		8章、36章
0008 00E2h	SYSTEM	電圧監視2回路/コンパレータA2制御レジスタ1	LVD2CR1	8	8	3ICLK		8章、36章
0008 00E3h	SYSTEM	電圧監視2回路/コンパレータA2ステータスレジスタ	LVD2SR	8	8	3ICLK		8章、36章
0008 0200h	SYSTEM	電圧レギュレータ制御レジスタ	VRCCR	8	8	3ICLK		9章
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK		12章
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK		15章
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK		15章
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK		15章
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK		15章
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK		15章
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		16章
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		16章
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		16章
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		16章
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		16章
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		16章
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		16章
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK		16章
0008 201Ch	DMAC0	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		16章
0008 201Dh	DMAC0	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		16章
0008 201Eh	DMAC0	DMAステータスレジスタ	DMSTS	8	8	2ICLK		16章

表5.1 I/Oレジスタアドレス一覧(2 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 201Fh	DMAC0	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		16章
0008 2040h	DMAC1	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		16章
0008 2044h	DMAC1	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		16章
0008 2048h	DMAC1	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		16章
0008 204Ch	DMAC1	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		16章
0008 2050h	DMAC1	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		16章
0008 2053h	DMAC1	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		16章
0008 2054h	DMAC1	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		16章
0008 205Ch	DMAC1	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		16章
0008 205Dh	DMAC1	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		16章
0008 205Eh	DMAC1	DMAステータスレジスタ	DMSTS	8	8	2ICLK		16章
0008 205Fh	DMAC1	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		16章
0008 2080h	DMAC2	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		16章
0008 2084h	DMAC2	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		16章
0008 2088h	DMAC2	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		16章
0008 208Ch	DMAC2	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		16章
0008 2090h	DMAC2	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		16章
0008 2093h	DMAC2	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		16章
0008 2094h	DMAC2	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		16章
0008 209Ch	DMAC2	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		16章
0008 209Dh	DMAC2	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		16章
0008 209Eh	DMAC2	DMAステータスレジスタ	DMSTS	8	8	2ICLK		16章
0008 209Fh	DMAC2	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		16章
0008 20C0h	DMAC3	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		16章
0008 20C4h	DMAC3	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		16章
0008 20C8h	DMAC3	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		16章
0008 20CCh	DMAC3	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		16章
0008 20D0h	DMAC3	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		16章
0008 20D3h	DMAC3	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		16章
0008 20D4h	DMAC3	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		16章
0008 20DCh	DMAC3	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		16章
0008 20DDh	DMAC3	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		16章
0008 20DEh	DMAC3	DMAステータスレジスタ	DMSTS	8	8	2ICLK		16章
0008 20DFh	DMAC3	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		16章
0008 2200h	DMAC	DMAモジュール起動レジスタ	DMAST	8	8	2ICLK		16章
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK		17章
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK		17章
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADM0D	8	8	2ICLK		17章
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK		17章
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK		17章
0008 3002h	BSC	CS0モードレジスタ	CS0MOD	16	16	1 ~ 2BCLK		15章
0008 3004h	BSC	CS0ウェイト制御レジスタ1	CS0WCR1	32	32	1 ~ 2BCLK		15章
0008 3008h	BSC	CS0ウェイト制御レジスタ2	CS0WCR2	32	32	1 ~ 2BCLK		15章
0008 3012h	BSC	CS1モードレジスタ	CS1MOD	16	16	1 ~ 2BCLK		15章
0008 3014h	BSC	CS1ウェイト制御レジスタ1	CS1WCR1	32	32	1 ~ 2BCLK		15章
0008 3018h	BSC	CS1ウェイト制御レジスタ2	CS1WCR2	32	32	1 ~ 2BCLK		15章
0008 3022h	BSC	CS2モードレジスタ	CS2MOD	16	16	1 ~ 2BCLK		15章
0008 3024h	BSC	CS2ウェイト制御レジスタ1	CS2WCR1	32	32	1 ~ 2BCLK		15章
0008 3028h	BSC	CS2ウェイト制御レジスタ2	CS2WCR2	32	32	1 ~ 2BCLK		15章
0008 3032h	BSC	CS3モードレジスタ	CS3MOD	16	16	1 ~ 2BCLK		15章
0008 3034h	BSC	CS3ウェイト制御レジスタ1	CS3WCR1	32	32	1 ~ 2BCLK		15章
0008 3038h	BSC	CS3ウェイト制御レジスタ2	CS3WCR2	32	32	1 ~ 2BCLK		15章
0008 3802h	BSC	CS0制御レジスタ	CS0CR	16	16	1 ~ 2BCLK		15章
0008 380Ah	BSC	CS0リカバリサイクル設定レジスタ	CS0REC	16	16	1 ~ 2BCLK		15章

表5.1 I/Oレジスタアドレス一覧(3 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの 場合	ICLK < PCLKの 場合	
0008 3812h	BSC	CS1制御レジスタ	CS1CR	16	16	1 ~ 2BCLK		15章
0008 381Ah	BSC	CS1リカバリサイクル設定レジスタ	CS1REC	16	16	1 ~ 2BCLK		15章
0008 3822h	BSC	CS2制御レジスタ	CS2CR	16	16	1 ~ 2BCLK		15章
0008 382Ah	BSC	CS2リカバリサイクル設定レジスタ	CS2REC	16	16	1 ~ 2BCLK		15章
0008 3832h	BSC	CS3制御レジスタ	CS3CR	16	16	1 ~ 2BCLK		15章
0008 383Ah	BSC	CS3リカバリサイクル設定レジスタ	CS3REC	16	16	1 ~ 2BCLK		15章
0008 3880h	BSC	CSリカバリサイクル挿入許可レジスタ	CSRECN	16	16	1 ~ 2BCLK		15章
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK		14章
0008 7015h	ICU	割り込み要求レジスタ 021	IR021	8	8	2ICLK		14章
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK		14章
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK		14章
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK		14章
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK		14章
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK		14章
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK		14章
0008 7020h	ICU	割り込み要求レジスタ 032	IR032	8	8	2ICLK		14章
0008 7021h	ICU	割り込み要求レジスタ 033	IR033	8	8	2ICLK		14章
0008 7022h	ICU	割り込み要求レジスタ 034	IR034	8	8	2ICLK		14章
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK		14章
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK		14章
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK		14章
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK		14章
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK		14章
0008 703Ah	ICU	割り込み要求レジスタ 058	IR058	8	8	2ICLK		14章
0008 703Bh	ICU	割り込み要求レジスタ 059	IR059	8	8	2ICLK		14章
0008 703Fh	ICU	割り込み要求レジスタ 063	IR063	8	8	2ICLK		14章
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK		14章
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK		14章
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK		14章
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK		14章
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK		14章
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK		14章
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK		14章
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK		14章
0008 7058h	ICU	割り込み要求レジスタ 088	IR088	8	8	2ICLK		14章
0008 7059h	ICU	割り込み要求レジスタ 089	IR089	8	8	2ICLK		14章
0008 705Ch	ICU	割り込み要求レジスタ 092	IR092	8	8	2ICLK		14章
0008 705Dh	ICU	割り込み要求レジスタ 093	IR093	8	8	2ICLK		14章
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK		14章
0008 7067h	ICU	割り込み要求レジスタ 103	IR103	8	8	2ICLK		14章
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2ICLK		14章
0008 706Bh	ICU	割り込み要求レジスタ 107	IR107	8	8	2ICLK		14章
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK		14章
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK		14章
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK		14章
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK		14章
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK		14章
0008 7077h	ICU	割り込み要求レジスタ 119	IR119	8	8	2ICLK		14章
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK		14章
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK		14章
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK		14章
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK		14章
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK		14章
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK		14章

表5.1 I/Oレジスタアドレス一覧(4 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの 場合	ICLK < PCLKの 場合	
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK		14章
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK		14章
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK		14章
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK		14章
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK		14章
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK		14章
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK		14章
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK		14章
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK		14章
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK		14章
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK		14章
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK		14章
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK		14章
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK		14章
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK		14章
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK		14章
0008 708Eh	ICU	割り込み要求レジスタ 142	IR142	8	8	2ICLK		14章
0008 708Fh	ICU	割り込み要求レジスタ 143	IR143	8	8	2ICLK		14章
0008 7090h	ICU	割り込み要求レジスタ 144	IR144	8	8	2ICLK		14章
0008 7091h	ICU	割り込み要求レジスタ 145	IR145	8	8	2ICLK		14章
0008 7092h	ICU	割り込み要求レジスタ 146	IR146	8	8	2ICLK		14章
0008 7093h	ICU	割り込み要求レジスタ 147	IR147	8	8	2ICLK		14章
0008 7094h	ICU	割り込み要求レジスタ 148	IR148	8	8	2ICLK		14章
0008 7095h	ICU	割り込み要求レジスタ 149	IR149	8	8	2ICLK		14章
0008 7096h	ICU	割り込み要求レジスタ 150	IR150	8	8	2ICLK		14章
0008 7097h	ICU	割り込み要求レジスタ 151	IR151	8	8	2ICLK		14章
0008 7098h	ICU	割り込み要求レジスタ 152	IR152	8	8	2ICLK		14章
0008 7099h	ICU	割り込み要求レジスタ 153	IR153	8	8	2ICLK		14章
0008 709Ah	ICU	割り込み要求レジスタ 154	IR154	8	8	2ICLK		14章
0008 709Bh	ICU	割り込み要求レジスタ 155	IR155	8	8	2ICLK		14章
0008 709Ch	ICU	割り込み要求レジスタ 156	IR156	8	8	2ICLK		14章
0008 709Dh	ICU	割り込み要求レジスタ 157	IR157	8	8	2ICLK		14章
0008 709Eh	ICU	割り込み要求レジスタ 158	IR158	8	8	2ICLK		14章
0008 709Fh	ICU	割り込み要求レジスタ 159	IR159	8	8	2ICLK		14章
0008 70A0h	ICU	割り込み要求レジスタ 160	IR160	8	8	2ICLK		14章
0008 70A1h	ICU	割り込み要求レジスタ 161	IR161	8	8	2ICLK		14章
0008 70A2h	ICU	割り込み要求レジスタ 162	IR162	8	8	2ICLK		14章
0008 70A3h	ICU	割り込み要求レジスタ 163	IR163	8	8	2ICLK		14章
0008 70A4h	ICU	割り込み要求レジスタ 164	IR164	8	8	2ICLK		14章
0008 70A5h	ICU	割り込み要求レジスタ 165	IR165	8	8	2ICLK		14章
0008 70A6h	ICU	割り込み要求レジスタ 166	IR166	8	8	2ICLK		14章
0008 70A7h	ICU	割り込み要求レジスタ 167	IR167	8	8	2ICLK		14章
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK		14章
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK		14章
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK		14章
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK		14章
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK		14章
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK		14章
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK		14章
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK		14章
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK		14章
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK		14章
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK		14章
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK		14章

表5.1 I/Oレジスタアドレス一覧(5 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの 場合	ICLK < PCLKの 場合	
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK		14章
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2ICLK		14章
0008 70BAh	ICU	割り込み要求レジスタ 186	IR186	8	8	2ICLK		14章
0008 70BBh	ICU	割り込み要求レジスタ 187	IR187	8	8	2ICLK		14章
0008 70BCh	ICU	割り込み要求レジスタ 188	IR188	8	8	2ICLK		14章
0008 70BDh	ICU	割り込み要求レジスタ 189	IR189	8	8	2ICLK		14章
0008 70BEh	ICU	割り込み要求レジスタ 190	IR190	8	8	2ICLK		14章
0008 70BFh	ICU	割り込み要求レジスタ 191	IR191	8	8	2ICLK		14章
0008 70C0h	ICU	割り込み要求レジスタ 192	IR192	8	8	2ICLK		14章
0008 70C1h	ICU	割り込み要求レジスタ 193	IR193	8	8	2ICLK		14章
0008 70C2h	ICU	割り込み要求レジスタ 194	IR194	8	8	2ICLK		14章
0008 70C3h	ICU	割り込み要求レジスタ 195	IR195	8	8	2ICLK		14章
0008 70C4h	ICU	割り込み要求レジスタ 196	IR196	8	8	2ICLK		14章
0008 70C5h	ICU	割り込み要求レジスタ 197	IR197	8	8	2ICLK		14章
0008 70C6h	ICU	割り込み要求レジスタ 198	IR198	8	8	2ICLK		14章
0008 70C7h	ICU	割り込み要求レジスタ 199	IR199	8	8	2ICLK		14章
0008 70C8h	ICU	割り込み要求レジスタ 200	IR200	8	8	2ICLK		14章
0008 70C9h	ICU	割り込み要求レジスタ 201	IR201	8	8	2ICLK		14章
0008 70CEh	ICU	割り込み要求レジスタ 206	IR206	8	8	2ICLK		14章
0008 70CFh	ICU	割り込み要求レジスタ 207	IR207	8	8	2ICLK		14章
0008 70D0h	ICU	割り込み要求レジスタ 208	IR208	8	8	2ICLK		14章
0008 70D1h	ICU	割り込み要求レジスタ 209	IR209	8	8	2ICLK		14章
0008 70D2h	ICU	割り込み要求レジスタ 210	IR210	8	8	2ICLK		14章
0008 70D3h	ICU	割り込み要求レジスタ 211	IR211	8	8	2ICLK		14章
0008 70D4h	ICU	割り込み要求レジスタ 212	IR212	8	8	2ICLK		14章
0008 70D5h	ICU	割り込み要求レジスタ 213	IR213	8	8	2ICLK		14章
0008 70D6h	ICU	割り込み要求レジスタ 214	IR214	8	8	2ICLK		14章
0008 70D7h	ICU	割り込み要求レジスタ 215	IR215	8	8	2ICLK		14章
0008 70D8h	ICU	割り込み要求レジスタ 216	IR216	8	8	2ICLK		14章
0008 70D9h	ICU	割り込み要求レジスタ 217	IR217	8	8	2ICLK		14章
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK		14章
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK		14章
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK		14章
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK		14章
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK		14章
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK		14章
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK		14章
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK		14章
0008 70E2h	ICU	割り込み要求レジスタ 226	IR226	8	8	2ICLK		14章
0008 70E3h	ICU	割り込み要求レジスタ 227	IR227	8	8	2ICLK		14章
0008 70E4h	ICU	割り込み要求レジスタ 228	IR228	8	8	2ICLK		14章
0008 70E5h	ICU	割り込み要求レジスタ 229	IR229	8	8	2ICLK		14章
0008 70E6h	ICU	割り込み要求レジスタ 230	IR230	8	8	2ICLK		14章
0008 70E7h	ICU	割り込み要求レジスタ 231	IR231	8	8	2ICLK		14章
0008 70E8h	ICU	割り込み要求レジスタ 232	IR232	8	8	2ICLK		14章
0008 70E9h	ICU	割り込み要求レジスタ 233	IR233	8	8	2ICLK		14章
0008 70EAh	ICU	割り込み要求レジスタ 234	IR234	8	8	2ICLK		14章
0008 70EBh	ICU	割り込み要求レジスタ 235	IR235	8	8	2ICLK		14章
0008 70ECh	ICU	割り込み要求レジスタ 236	IR236	8	8	2ICLK		14章
0008 70EDh	ICU	割り込み要求レジスタ 237	IR237	8	8	2ICLK		14章
0008 70EEh	ICU	割り込み要求レジスタ 238	IR238	8	8	2ICLK		14章
0008 70EFh	ICU	割り込み要求レジスタ 239	IR239	8	8	2ICLK		14章
0008 70F0h	ICU	割り込み要求レジスタ 240	IR240	8	8	2ICLK		14章
0008 70F1h	ICU	割り込み要求レジスタ 241	IR241	8	8	2ICLK		14章

表5.1 I/Oレジスタアドレス一覧(6 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの 場合	ICLK < PCLKの 場合	
0008 70F2h	ICU	割り込み要求レジスタ 242	IR242	8	8	2ICLK		14章
0008 70F3h	ICU	割り込み要求レジスタ 243	IR243	8	8	2ICLK		14章
0008 70F4h	ICU	割り込み要求レジスタ 244	IR244	8	8	2ICLK		14章
0008 70F5h	ICU	割り込み要求レジスタ 245	IR245	8	8	2ICLK		14章
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK		14章
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK		14章
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK		14章
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK		14章
0008 70FAh	ICU	割り込み要求レジスタ 250	IR250	8	8	2ICLK		14章
0008 70FBh	ICU	割り込み要求レジスタ 251	IR251	8	8	2ICLK		14章
0008 70FCh	ICU	割り込み要求レジスタ 252	IR252	8	8	2ICLK		14章
0008 70FDh	ICU	割り込み要求レジスタ 253	IR253	8	8	2ICLK		14章
0008 711Bh	ICU	DTC起動許可レジスタ 027	DTCE027	8	8	2ICLK		14章
0008 711Ch	ICU	DTC起動許可レジスタ 028	DTCE028	8	8	2ICLK		14章
0008 711Dh	ICU	DTC起動許可レジスタ 029	DTCE029	8	8	2ICLK		14章
0008 711Eh	ICU	DTC起動許可レジスタ 030	DTCE030	8	8	2ICLK		14章
0008 711Fh	ICU	DTC起動許可レジスタ 031	DTCE031	8	8	2ICLK		14章
0008 712Dh	ICU	DTC起動許可レジスタ 045	DTCE045	8	8	2ICLK		14章
0008 712Eh	ICU	DTC起動許可レジスタ 046	DTCE046	8	8	2ICLK		14章
0008 713Ah	ICU	DTC起動許可レジスタ 058	DTCE058	8	8	2ICLK		14章
0008 713Bh	ICU	DTC起動許可レジスタ 059	DTCE059	8	8	2ICLK		14章
0008 7140h	ICU	DTC起動許可レジスタ 064	DTCE064	8	8	2ICLK		14章
0008 7141h	ICU	DTC起動許可レジスタ 065	DTCE065	8	8	2ICLK		14章
0008 7142h	ICU	DTC起動許可レジスタ 066	DTCE066	8	8	2ICLK		14章
0008 7143h	ICU	DTC起動許可レジスタ 067	DTCE067	8	8	2ICLK		14章
0008 7144h	ICU	DTC起動許可レジスタ 068	DTCE068	8	8	2ICLK		14章
0008 7145h	ICU	DTC起動許可レジスタ 069	DTCE069	8	8	2ICLK		14章
0008 7146h	ICU	DTC起動許可レジスタ 070	DTCE070	8	8	2ICLK		14章
0008 7147h	ICU	DTC起動許可レジスタ 071	DTCE071	8	8	2ICLK		14章
0008 7166h	ICU	DTC起動許可レジスタ 102	DTCE102	8	8	2ICLK		14章
0008 7167h	ICU	DTC起動許可レジスタ 103	DTCE103	8	8	2ICLK		14章
0008 716Ah	ICU	DTC起動許可レジスタ 106	DTCE106	8	8	2ICLK		14章
0008 716Bh	ICU	DTC起動許可レジスタ 107	DTCE107	8	8	2ICLK		14章
0008 7172h	ICU	DTC起動許可レジスタ 114	DTCE114	8	8	2ICLK		14章
0008 7173h	ICU	DTC起動許可レジスタ 115	DTCE115	8	8	2ICLK		14章
0008 7174h	ICU	DTC起動許可レジスタ 116	DTCE116	8	8	2ICLK		14章
0008 7175h	ICU	DTC起動許可レジスタ 117	DTCE117	8	8	2ICLK		14章
0008 7179h	ICU	DTC起動許可レジスタ 121	DTCE121	8	8	2ICLK		14章
0008 717Ah	ICU	DTC起動許可レジスタ 122	DTCE122	8	8	2ICLK		14章
0008 717Dh	ICU	DTC起動許可レジスタ 125	DTCE125	8	8	2ICLK		14章
0008 717Eh	ICU	DTC起動許可レジスタ 126	DTCE126	8	8	2ICLK		14章
0008 7181h	ICU	DTC起動許可レジスタ 129	DTCE129	8	8	2ICLK		14章
0008 7182h	ICU	DTC起動許可レジスタ 130	DTCE130	8	8	2ICLK		14章
0008 7183h	ICU	DTC起動許可レジスタ 131	DTCE131	8	8	2ICLK		14章
0008 7184h	ICU	DTC起動許可レジスタ 132	DTCE132	8	8	2ICLK		14章
0008 7186h	ICU	DTC起動許可レジスタ 134	DTCE134	8	8	2ICLK		14章
0008 7187h	ICU	DTC起動許可レジスタ 135	DTCE135	8	8	2ICLK		14章
0008 7188h	ICU	DTC起動許可レジスタ 136	DTCE136	8	8	2ICLK		14章
0008 7189h	ICU	DTC起動許可レジスタ 137	DTCE137	8	8	2ICLK		14章
0008 718Ah	ICU	DTC起動許可レジスタ 138	DTCE138	8	8	2ICLK		14章
0008 718Bh	ICU	DTC起動許可レジスタ 139	DTCE139	8	8	2ICLK		14章
0008 718Ch	ICU	DTC起動許可レジスタ 140	DTCE140	8	8	2ICLK		14章
0008 718Dh	ICU	DTC起動許可レジスタ 141	DTCE141	8	8	2ICLK		14章
0008 718Eh	ICU	DTC起動許可レジスタ 142	DTCE142	8	8	2ICLK		14章

表5.1 I/Oレジスタアドレス一覧(7 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの 場合	ICLK < PCLKの 場合	
0008 718Fh	ICU	DTC起動許可レジスタ 143	DT CER143	8	8	2ICLK		14章
0008 7190h	ICU	DTC起動許可レジスタ 144	DT CER144	8	8	2ICLK		14章
0008 7191h	ICU	DTC起動許可レジスタ 145	DT CER145	8	8	2ICLK		14章
0008 7193h	ICU	DTC起動許可レジスタ 147	DT CER147	8	8	2ICLK		14章
0008 7194h	ICU	DTC起動許可レジスタ 148	DT CER148	8	8	2ICLK		14章
0008 7197h	ICU	DTC起動許可レジスタ 151	DT CER151	8	8	2ICLK		14章
0008 7198h	ICU	DTC起動許可レジスタ 152	DT CER152	8	8	2ICLK		14章
0008 719Bh	ICU	DTC起動許可レジスタ 155	DT CER155	8	8	2ICLK		14章
0008 719Ch	ICU	DTC起動許可レジスタ 156	DT CER156	8	8	2ICLK		14章
0008 719Dh	ICU	DTC起動許可レジスタ 157	DT CER157	8	8	2ICLK		14章
0008 719Eh	ICU	DTC起動許可レジスタ 158	DT CER158	8	8	2ICLK		14章
0008 71A0h	ICU	DTC起動許可レジスタ 160	DT CER160	8	8	2ICLK		14章
0008 71A1h	ICU	DTC起動許可レジスタ 161	DT CER161	8	8	2ICLK		14章
0008 71A4h	ICU	DTC起動許可レジスタ 164	DT CER164	8	8	2ICLK		14章
0008 71A5h	ICU	DTC起動許可レジスタ 165	DT CER165	8	8	2ICLK		14章
0008 71AEh	ICU	DTC起動許可レジスタ 174	DT CER174	8	8	2ICLK		14章
0008 71AFh	ICU	DTC起動許可レジスタ 175	DT CER175	8	8	2ICLK		14章
0008 71B1h	ICU	DTC起動許可レジスタ 177	DT CER177	8	8	2ICLK		14章
0008 71B2h	ICU	DTC起動許可レジスタ 178	DT CER178	8	8	2ICLK		14章
0008 71B4h	ICU	DTC起動許可レジスタ 180	DT CER180	8	8	2ICLK		14章
0008 71B5h	ICU	DTC起動許可レジスタ 181	DT CER181	8	8	2ICLK		14章
0008 71B7h	ICU	DTC起動許可レジスタ 183	DT CER183	8	8	2ICLK		14章
0008 71B8h	ICU	DTC起動許可レジスタ 184	DT CER184	8	8	2ICLK		14章
0008 71BBh	ICU	DTC起動許可レジスタ 187	DT CER187	8	8	2ICLK		14章
0008 71BCh	ICU	DTC起動許可レジスタ 188	DT CER188	8	8	2ICLK		14章
0008 71BFh	ICU	DTC起動許可レジスタ 191	DT CER191	8	8	2ICLK		14章
0008 71C0h	ICU	DTC起動許可レジスタ 192	DT CER192	8	8	2ICLK		14章
0008 71C3h	ICU	DTC起動許可レジスタ 195	DT CER195	8	8	2ICLK		14章
0008 71C4h	ICU	DTC起動許可レジスタ 196	DT CER196	8	8	2ICLK		14章
0008 71C6h	ICU	DTC起動許可レジスタ 198	DT CER198	8	8	2ICLK		14章
0008 71C7h	ICU	DTC起動許可レジスタ 199	DT CER199	8	8	2ICLK		14章
0008 71C8h	ICU	DTC起動許可レジスタ 200	DT CER200	8	8	2ICLK		14章
0008 71C9h	ICU	DTC起動許可レジスタ 201	DT CER201	8	8	2ICLK		14章
0008 71CFh	ICU	DTC起動許可レジスタ 207	DT CER207	8	8	2ICLK		14章
0008 71D0h	ICU	DTC起動許可レジスタ 208	DT CER208	8	8	2ICLK		14章
0008 71D3h	ICU	DTC起動許可レジスタ 211	DT CER211	8	8	2ICLK		14章
0008 71D4h	ICU	DTC起動許可レジスタ 212	DT CER212	8	8	2ICLK		14章
0008 71D7h	ICU	DTC起動許可レジスタ 215	DT CER215	8	8	2ICLK		14章
0008 71D8h	ICU	DTC起動許可レジスタ 216	DT CER216	8	8	2ICLK		14章
0008 71DBh	ICU	DTC起動許可レジスタ 219	DT CER219	8	8	2ICLK		14章
0008 71DCh	ICU	DTC起動許可レジスタ 220	DT CER220	8	8	2ICLK		14章
0008 71DFh	ICU	DTC起動許可レジスタ 223	DT CER223	8	8	2ICLK		14章
0008 71E0h	ICU	DTC起動許可レジスタ 224	DT CER224	8	8	2ICLK		14章
0008 71E3h	ICU	DTC起動許可レジスタ 227	DT CER227	8	8	2ICLK		14章
0008 71E4h	ICU	DTC起動許可レジスタ 228	DT CER228	8	8	2ICLK		14章
0008 71E7h	ICU	DTC起動許可レジスタ 231	DT CER231	8	8	2ICLK		14章
0008 71E8h	ICU	DTC起動許可レジスタ 232	DT CER232	8	8	2ICLK		14章
0008 71EBh	ICU	DTC起動許可レジスタ 235	DT CER235	8	8	2ICLK		14章
0008 71ECh	ICU	DTC起動許可レジスタ 236	DT CER236	8	8	2ICLK		14章
0008 71EFh	ICU	DTC起動許可レジスタ 239	DT CER239	8	8	2ICLK		14章
0008 71F0h	ICU	DTC起動許可レジスタ 240	DT CER240	8	8	2ICLK		14章
0008 71F7h	ICU	DTC起動許可レジスタ 247	DT CER247	8	8	2ICLK		14章
0008 71F8h	ICU	DTC起動許可レジスタ 248	DT CER248	8	8	2ICLK		14章
0008 71FBh	ICU	DTC起動許可レジスタ 251	DT CER251	8	8	2ICLK		14章

表5.1 I/Oレジスタアドレス一覧(8/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの 場合	ICLK<PCLKの 場合	
0008 71FCh	ICU	DTC起動許可レジスタ252	DT CER252	8	8	2ICLK		14章
0008 7202h	ICU	割り込み要求許可レジスタ02	IER02	8	8	2ICLK		14章
0008 7203h	ICU	割り込み要求許可レジスタ03	IER03	8	8	2ICLK		14章
0008 7204h	ICU	割り込み要求許可レジスタ04	IER04	8	8	2ICLK		14章
0008 7205h	ICU	割り込み要求許可レジスタ05	IER05	8	8	2ICLK		14章
0008 7207h	ICU	割り込み要求許可レジスタ07	IER07	8	8	2ICLK		14章
0008 7208h	ICU	割り込み要求許可レジスタ08	IER08	8	8	2ICLK		14章
0008 720Bh	ICU	割り込み要求許可レジスタ0B	IER0B	8	8	2ICLK		14章
0008 720Ch	ICU	割り込み要求許可レジスタ0C	IER0C	8	8	2ICLK		14章
0008 720Dh	ICU	割り込み要求許可レジスタ0D	IER0D	8	8	2ICLK		14章
0008 720Eh	ICU	割り込み要求許可レジスタ0E	IER0E	8	8	2ICLK		14章
0008 720Fh	ICU	割り込み要求許可レジスタ0F	IER0F	8	8	2ICLK		14章
0008 7210h	ICU	割り込み要求許可レジスタ10	IER10	8	8	2ICLK		14章
0008 7211h	ICU	割り込み要求許可レジスタ11	IER11	8	8	2ICLK		14章
0008 7212h	ICU	割り込み要求許可レジスタ12	IER12	8	8	2ICLK		14章
0008 7213h	ICU	割り込み要求許可レジスタ13	IER13	8	8	2ICLK		14章
0008 7214h	ICU	割り込み要求許可レジスタ14	IER14	8	8	2ICLK		14章
0008 7215h	ICU	割り込み要求許可レジスタ15	IER15	8	8	2ICLK		14章
0008 7216h	ICU	割り込み要求許可レジスタ16	IER16	8	8	2ICLK		14章
0008 7217h	ICU	割り込み要求許可レジスタ17	IER17	8	8	2ICLK		14章
0008 7218h	ICU	割り込み要求許可レジスタ18	IER18	8	8	2ICLK		14章
0008 7219h	ICU	割り込み要求許可レジスタ19	IER19	8	8	2ICLK		14章
0008 721Ah	ICU	割り込み要求許可レジスタ1A	IER1A	8	8	2ICLK		14章
0008 721Bh	ICU	割り込み要求許可レジスタ1B	IER1B	8	8	2ICLK		14章
0008 721Ch	ICU	割り込み要求許可レジスタ1C	IER1C	8	8	2ICLK		14章
0008 721Dh	ICU	割り込み要求許可レジスタ1D	IER1D	8	8	2ICLK		14章
0008 721Eh	ICU	割り込み要求許可レジスタ1E	IER1E	8	8	2ICLK		14章
0008 721Fh	ICU	割り込み要求許可レジスタ1F	IER1F	8	8	2ICLK		14章
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK		14章
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK		14章
0008 7300h	ICU	割り込み要因プライオリティレジスタ000	IPR000	8	8	2ICLK		14章
0008 7301h	ICU	割り込み要因プライオリティレジスタ001	IPR001	8	8	2ICLK		14章
0008 7302h	ICU	割り込み要因プライオリティレジスタ002	IPR002	8	8	2ICLK		14章
0008 7303h	ICU	割り込み要因プライオリティレジスタ003	IPR003	8	8	2ICLK		14章
0008 7304h	ICU	割り込み要因プライオリティレジスタ004	IPR004	8	8	2ICLK		14章
0008 7305h	ICU	割り込み要因プライオリティレジスタ005	IPR005	8	8	2ICLK		14章
0008 7306h	ICU	割り込み要因プライオリティレジスタ006	IPR006	8	8	2ICLK		14章
0008 7307h	ICU	割り込み要因プライオリティレジスタ007	IPR007	8	8	2ICLK		14章
0008 7320h	ICU	割り込み要因プライオリティレジスタ032	IPR032	8	8	2ICLK		14章
0008 7321h	ICU	割り込み要因プライオリティレジスタ033	IPR033	8	8	2ICLK		14章
0008 7322h	ICU	割り込み要因プライオリティレジスタ034	IPR034	8	8	2ICLK		14章
0008 732Ch	ICU	割り込み要因プライオリティレジスタ044	IPR044	8	8	2ICLK		14章
0008 7339h	ICU	割り込み要因プライオリティレジスタ057	IPR057	8	8	2ICLK		14章
0008 733Ah	ICU	割り込み要因プライオリティレジスタ058	IPR058	8	8	2ICLK		14章
0008 733Bh	ICU	割り込み要因プライオリティレジスタ059	IPR059	8	8	2ICLK		14章
0008 733Fh	ICU	割り込み要因プライオリティレジスタ063	IPR063	8	8	2ICLK		14章
0008 7340h	ICU	割り込み要因プライオリティレジスタ064	IPR064	8	8	2ICLK		14章
0008 7341h	ICU	割り込み要因プライオリティレジスタ065	IPR065	8	8	2ICLK		14章
0008 7342h	ICU	割り込み要因プライオリティレジスタ066	IPR066	8	8	2ICLK		14章
0008 7343h	ICU	割り込み要因プライオリティレジスタ067	IPR067	8	8	2ICLK		14章
0008 7344h	ICU	割り込み要因プライオリティレジスタ068	IPR068	8	8	2ICLK		14章
0008 7345h	ICU	割り込み要因プライオリティレジスタ069	IPR069	8	8	2ICLK		14章
0008 7346h	ICU	割り込み要因プライオリティレジスタ070	IPR070	8	8	2ICLK		14章
0008 7347h	ICU	割り込み要因プライオリティレジスタ071	IPR071	8	8	2ICLK		14章

表5.1 I/Oレジスタアドレス一覧(9 / 27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの 場合	ICLK < PCLKの 場合	
0008 7358h	ICU	割り込み要因プライオリティレジスタ 088	IPR088	8	8	2ICLK		14章
0008 7359h	ICU	割り込み要因プライオリティレジスタ 089	IPR089	8	8	2ICLK		14章
0008 735Ch	ICU	割り込み要因プライオリティレジスタ 092	IPR092	8	8	2ICLK		14章
0008 735Dh	ICU	割り込み要因プライオリティレジスタ 093	IPR093	8	8	2ICLK		14章
0008 7366h	ICU	割り込み要因プライオリティレジスタ 102	IPR102	8	8	2ICLK		14章
0008 7367h	ICU	割り込み要因プライオリティレジスタ 103	IPR103	8	8	2ICLK		14章
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 106	IPR106	8	8	2ICLK		14章
0008 736Bh	ICU	割り込み要因プライオリティレジスタ 107	IPR107	8	8	2ICLK		14章
0008 7372h	ICU	割り込み要因プライオリティレジスタ 114	IPR114	8	8	2ICLK		14章
0008 7376h	ICU	割り込み要因プライオリティレジスタ 118	IPR118	8	8	2ICLK		14章
0008 7379h	ICU	割り込み要因プライオリティレジスタ 121	IPR121	8	8	2ICLK		14章
0008 737Bh	ICU	割り込み要因プライオリティレジスタ 123	IPR123	8	8	2ICLK		14章
0008 737Dh	ICU	割り込み要因プライオリティレジスタ 125	IPR125	8	8	2ICLK		14章
0008 737Fh	ICU	割り込み要因プライオリティレジスタ 127	IPR127	8	8	2ICLK		14章
0008 7381h	ICU	割り込み要因プライオリティレジスタ 129	IPR129	8	8	2ICLK		14章
0008 7385h	ICU	割り込み要因プライオリティレジスタ 133	IPR133	8	8	2ICLK		14章
0008 7386h	ICU	割り込み要因プライオリティレジスタ 134	IPR134	8	8	2ICLK		14章
0008 738Ah	ICU	割り込み要因プライオリティレジスタ 138	IPR138	8	8	2ICLK		14章
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 139	IPR139	8	8	2ICLK		14章
0008 738Eh	ICU	割り込み要因プライオリティレジスタ 142	IPR142	8	8	2ICLK		14章
0008 7392h	ICU	割り込み要因プライオリティレジスタ 146	IPR146	8	8	2ICLK		14章
0008 7393h	ICU	割り込み要因プライオリティレジスタ 147	IPR147	8	8	2ICLK		14章
0008 7395h	ICU	割り込み要因プライオリティレジスタ 149	IPR149	8	8	2ICLK		14章
0008 7397h	ICU	割り込み要因プライオリティレジスタ 151	IPR151	8	8	2ICLK		14章
0008 7399h	ICU	割り込み要因プライオリティレジスタ 153	IPR153	8	8	2ICLK		14章
0008 739Bh	ICU	割り込み要因プライオリティレジスタ 155	IPR155	8	8	2ICLK		14章
0008 739Fh	ICU	割り込み要因プライオリティレジスタ 159	IPR159	8	8	2ICLK		14章
0008 73A0h	ICU	割り込み要因プライオリティレジスタ 160	IPR160	8	8	2ICLK		14章
0008 73A2h	ICU	割り込み要因プライオリティレジスタ 162	IPR162	8	8	2ICLK		14章
0008 73A4h	ICU	割り込み要因プライオリティレジスタ 164	IPR164	8	8	2ICLK		14章
0008 73A6h	ICU	割り込み要因プライオリティレジスタ 166	IPR166	8	8	2ICLK		14章
0008 73AAh	ICU	割り込み要因プライオリティレジスタ 170	IPR170	8	8	2ICLK		14章
0008 73ABh	ICU	割り込み要因プライオリティレジスタ 171	IPR171	8	8	2ICLK		14章
0008 73AEh	ICU	割り込み要因プライオリティレジスタ 174	IPR174	8	8	2ICLK		14章
0008 73B1h	ICU	割り込み要因プライオリティレジスタ 177	IPR177	8	8	2ICLK		14章
0008 73B4h	ICU	割り込み要因プライオリティレジスタ 180	IPR180	8	8	2ICLK		14章
0008 73B7h	ICU	割り込み要因プライオリティレジスタ 183	IPR183	8	8	2ICLK		14章
0008 73BAh	ICU	割り込み要因プライオリティレジスタ 186	IPR186	8	8	2ICLK		14章
0008 73BEh	ICU	割り込み要因プライオリティレジスタ 190	IPR190	8	8	2ICLK		14章
0008 73C2h	ICU	割り込み要因プライオリティレジスタ 194	IPR194	8	8	2ICLK		14章
0008 73C6h	ICU	割り込み要因プライオリティレジスタ 198	IPR198	8	8	2ICLK		14章
0008 73C7h	ICU	割り込み要因プライオリティレジスタ 199	IPR199	8	8	2ICLK		14章
0008 73C8h	ICU	割り込み要因プライオリティレジスタ 200	IPR200	8	8	2ICLK		14章
0008 73C9h	ICU	割り込み要因プライオリティレジスタ 201	IPR201	8	8	2ICLK		14章
0008 73CEh	ICU	割り込み要因プライオリティレジスタ 206	IPR206	8	8	2ICLK		14章
0008 73D2h	ICU	割り込み要因プライオリティレジスタ 210	IPR210	8	8	2ICLK		14章
0008 73D6h	ICU	割り込み要因プライオリティレジスタ 214	IPR214	8	8	2ICLK		14章
0008 73DAh	ICU	割り込み要因プライオリティレジスタ 218	IPR218	8	8	2ICLK		14章
0008 73DEh	ICU	割り込み要因プライオリティレジスタ 222	IPR222	8	8	2ICLK		14章
0008 73E2h	ICU	割り込み要因プライオリティレジスタ 226	IPR226	8	8	2ICLK		14章
0008 73E6h	ICU	割り込み要因プライオリティレジスタ 230	IPR230	8	8	2ICLK		14章
0008 73EAh	ICU	割り込み要因プライオリティレジスタ 234	IPR234	8	8	2ICLK		14章
0008 73EEh	ICU	割り込み要因プライオリティレジスタ 238	IPR238	8	8	2ICLK		14章
0008 73F2h	ICU	割り込み要因プライオリティレジスタ 242	IPR242	8	8	2ICLK		14章

表5.1 I/Oレジスタアドレス一覧(10/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 73F3h	ICU	割り込み要因プライオリティレジスタ 243	IPR243	8	8	2ICLK		14章
0008 73F4h	ICU	割り込み要因プライオリティレジスタ 244	IPR244	8	8	2ICLK		14章
0008 73F5h	ICU	割り込み要因プライオリティレジスタ 245	IPR245	8	8	2ICLK		14章
0008 73F6h	ICU	割り込み要因プライオリティレジスタ 246	IPR246	8	8	2ICLK		14章
0008 73F7h	ICU	割り込み要因プライオリティレジスタ 247	IPR247	8	8	2ICLK		14章
0008 73F8h	ICU	割り込み要因プライオリティレジスタ 248	IPR248	8	8	2ICLK		14章
0008 73F9h	ICU	割り込み要因プライオリティレジスタ 249	IPR249	8	8	2ICLK		14章
0008 73FAh	ICU	割り込み要因プライオリティレジスタ 250	IPR250	8	8	2ICLK		14章
0008 7400h	ICU	DMAC起動要求選択レジスタ 0	DMRSR0	8	8	2ICLK		14章
0008 7404h	ICU	DMAC起動要求選択レジスタ 1	DMRSR1	8	8	2ICLK		14章
0008 7408h	ICU	DMAC起動要求選択レジスタ 2	DMRSR2	8	8	2ICLK		14章
0008 740Ch	ICU	DMAC起動要求選択レジスタ 3	DMRSR3	8	8	2ICLK		14章
0008 7500h	ICU	IRQコントロールレジスタ 0	IRQCR0	8	8	2ICLK		14章
0008 7501h	ICU	IRQコントロールレジスタ 1	IRQCR1	8	8	2ICLK		14章
0008 7502h	ICU	IRQコントロールレジスタ 2	IRQCR2	8	8	2ICLK		14章
0008 7503h	ICU	IRQコントロールレジスタ 3	IRQCR3	8	8	2ICLK		14章
0008 7504h	ICU	IRQコントロールレジスタ 4	IRQCR4	8	8	2ICLK		14章
0008 7505h	ICU	IRQコントロールレジスタ 5	IRQCR5	8	8	2ICLK		14章
0008 7506h	ICU	IRQコントロールレジスタ 6	IRQCR6	8	8	2ICLK		14章
0008 7507h	ICU	IRQコントロールレジスタ 7	IRQCR7	8	8	2ICLK		14章
0008 7510h	ICU	IRQ端子デジタルフィルタ許可レジスタ 0	IRQFLTE0	8	8	2ICLK		14章
0008 7514h	ICU	IRQ端子デジタルフィルタ設定レジスタ 0	IRQFLTC0	16	16	2ICLK		14章
0008 7580h	ICU	ノンマスクابل割り込みステータスレジスタ	NMISR	8	8	2ICLK		14章
0008 7581h	ICU	ノンマスクابل割り込み許可レジスタ	NMIER	8	8	2ICLK		14章
0008 7582h	ICU	ノンマスクابل割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK		14章
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK		14章
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK		14章
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK		14章
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ 0	CMSTR0	16	16	2 ~ 3PCLKB	2ICLK	25章
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	25章
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK	25章
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK	25章
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	25章
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK	25章
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK	25章
0008 8010h	CMT	コンペアマッチタイマスタートレジスタ 1	CMSTR1	16	16	2 ~ 3PCLKB	2ICLK	25章
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	25章
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK	25章
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK	25章
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	25章
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK	25章
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK	25章
0008 8020h	WDT	WDTリフレッシュレジスタ	WDTRR	8	8	2 ~ 3PCLKB	2ICLK	27章
0008 8022h	WDT	WDTコントロールレジスタ	WDTCR	16	16	2 ~ 3PCLKB	2ICLK	27章
0008 8024h	WDT	WDTステータスレジスタ	WDTSR	16	16	2 ~ 3PCLKB	2ICLK	27章
0008 8026h	WDT	WDTリセットコントロールレジスタ	WDTRCR	8	8	2 ~ 3PCLKB	2ICLK	27章
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2 ~ 3PCLKB	2ICLK	28章
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2 ~ 3PCLKB	2ICLK	28章
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2 ~ 3PCLKB	2ICLK	28章
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2 ~ 3PCLKB	2ICLK	28章
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDTCSTPR	8	8	2 ~ 3PCLKB	2ICLK	28章
0008 80C0h	DA	D/Aデータレジスタ 0	DADR0	16	16	2 ~ 3PCLKB	2ICLK	34章
0008 80C2h	DA	D/Aデータレジスタ 1	DADR1	16	16	2 ~ 3PCLKB	2ICLK	34章
0008 80C4h	DA	D/Aコントロールレジスタ	DACR	8	8	2 ~ 3PCLKB	2ICLK	34章

表5.1 I/Oレジスタアドレス一覧(11/27)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 80C5h	DA	DADRmフォーマット選択レジスタ	DADPR	8	8	2 ~ 3PCLKB	2ICLK	34章
0008 8100h	TPU	タイマスタートレジスタ	TSTR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8101h	TPU	タイマシンクロレジスタ	TSYR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8108h	TPU0	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8109h	TPU1	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 810Ah	TPU2	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 810Bh	TPU3	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 810Ch	TPU4	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 810Dh	TPU5	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8110h	TPU0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8111h	TPU0	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8112h	TPU0	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8113h	TPU0	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8114h	TPU0	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8115h	TPU0	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8116h	TPU0	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 8118h	TPU0	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 811Ah	TPU0	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 811Ch	TPU0	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 811Eh	TPU0	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 8120h	TPU1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8121h	TPU1	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8122h	TPU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8124h	TPU1	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8125h	TPU1	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8126h	TPU1	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 8128h	TPU1	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 812Ah	TPU1	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 8130h	TPU2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8131h	TPU2	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8132h	TPU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8134h	TPU2	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8135h	TPU2	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8136h	TPU2	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 8138h	TPU2	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 813Ah	TPU2	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 8140h	TPU3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8141h	TPU3	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8142h	TPU3	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8143h	TPU3	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8144h	TPU3	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8145h	TPU3	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8146h	TPU3	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 8148h	TPU3	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 814Ah	TPU3	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 814Ch	TPU3	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 814Eh	TPU3	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 8150h	TPU4	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8151h	TPU4	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8152h	TPU4	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8154h	TPU4	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8155h	TPU4	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8156h	TPU4	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 8158h	TPU4	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK	23章

表5.1 I/Oレジスタアドレス一覧(12/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 815Ah	TPU4	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 8160h	TPU5	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8161h	TPU5	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8162h	TPU5	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8164h	TPU5	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8165h	TPU5	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK	23章
0008 8166h	TPU5	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 8168h	TPU5	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 816Ah	TPU5	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK	23章
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2 ~ 3PCLKB	2ICLK	24章
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2 ~ 3PCLKB	2ICLK	24章
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8 (注1)	2 ~ 3PCLKB	2ICLK	24章
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2 ~ 3PCLKB	2ICLK	24章
0008 820Ch	TMR0	タイムカウンタスタートレジスタ	TCSTR	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2 ~ 3PCLKB	2ICLK	24章
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2 ~ 3PCLKB	2ICLK	24章
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8 (注1)	2 ~ 3PCLKB	2ICLK	24章
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2 ~ 3PCLKB	2ICLK	24章
0008 821Ch	TMR2	タイムカウンタスタートレジスタ	TCSTR	8	8	2 ~ 3PCLKB	2ICLK	24章
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2 ~ 3PCLKB	2ICLK	32章
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2 ~ 3PCLKB	2ICLK	32章
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2 ~ 3PCLKB	2ICLK	32章
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 8305h	RIIC0	I ² Cバスファンクションイネーブルレジスタ	ICFER	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 8306h	RIIC0	I ² Cバスステータスイネーブルレジスタ	ICSER	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 8307h	RIIC0	I ² Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 830Ah	RIIC0	タイムアウト内部カウンタL	TMOGNTL	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 830Bh	RIIC0	タイムアウト内部カウンタU	TMOGNTU	8	8 (注2)	2 ~ 3PCLKB	2ICLK	30章
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2 ~ 3PCLKB	2ICLK	30章

表5.1 I/Oレジスタアドレス一覧(13/27)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 8310h	RIIC0	I ² Cバスビットレートローレベルレジスタ	ICBRL	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 8311h	RIIC0	I ² Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB	2ICLK	30章
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2 ~ 3PCLKB	2ICLK	31章
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKB	2ICLK	31章
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKB	2ICLK	31章
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2 ~ 3PCLKB	2ICLK	31章
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16、32	2 ~ 3PCLKB	2ICLK	31章
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ~ 3PCLKB	2ICLK	31章
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ~ 3PCLKB	2ICLK	31章
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2 ~ 3PCLKB	2ICLK	31章
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ~ 3PCLKB	2ICLK	31章
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ~ 3PCLKB	2ICLK	31章
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ~ 3PCLKB	2ICLK	31章
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ~ 3PCLKB	2ICLK	31章
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2 ~ 3PCLKB	2ICLK	31章
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ~ 3PCLKB	2ICLK	31章
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ~ 3PCLKB	2ICLK	31章
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ~ 3PCLKB	2ICLK	31章
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ~ 3PCLKB	2ICLK	31章
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ~ 3PCLKB	2ICLK	31章
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ~ 3PCLKB	2ICLK	31章
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ~ 3PCLKB	2ICLK	31章
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ~ 3PCLKB	2ICLK	31章
0008 8600h	MTU3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8601h	MTU4	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8602h	MTU3	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8603h	MTU4	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8604h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8605h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8606h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8607h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8608h	MTU3	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8609h	MTU4	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 860Ah	MTU	タイマアウトプットマスタ許可レジスタ	TOER	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 860Dh	MTU	タイマゲートコントロールレジスタ	TGCR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 860Eh	MTU	タイマアウトプットコントロールレジスタ1	TOCR1	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 860Fh	MTU	タイマアウトプットコントロールレジスタ2	TOCR2	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8610h	MTU3	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8612h	MTU4	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8614h	MTU	タイマ周期データレジスタ	TCDR	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8616h	MTU	タイマデッドタイムデータレジスタ	TDDR	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8618h	MTU3	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 861Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 861Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 861Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8620h	MTU	タイマサブカウンタ	TCNTS	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8622h	MTU	タイマ周期バッファレジスタ	TCBR	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8624h	MTU3	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8626h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8628h	MTU4	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK	21章

表5.1 I/Oレジスタアドレス一覧(14/27)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 862Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 862Ch	MTU3	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 862Dh	MTU4	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8630h	MTU	タイマ割り込み間引き設定レジスタ	TITCR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8631h	MTU	タイマ割り込み間引き回数カウンタ	TITCNT	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8632h	MTU	タイマバッファ転送設定レジスタ	TBTER	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8634h	MTU	タイマデッドタイム許可レジスタ	TDER	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8636h	MTU	タイマアウトプットレベルバッファレジスタ	TOLBR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8638h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8639h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8640h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8644h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8646h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8648h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 864Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8660h	MTU	タイマ波形コントロールレジスタ	TWCR	8	8、16	2 ~ 3PCLKB	2ICLK	21章
0008 8680h	MTU	タイマスタートレジスタ	TSTR	8	8、16	2 ~ 3PCLKB	2ICLK	21章
0008 8681h	MTU	タイマシンクロレジスタ	TSYR	8	8、16	2 ~ 3PCLKB	2ICLK	21章
0008 8684h	MTU	タイマリードライト許可レジスタ	TRWER	8	8、16	2 ~ 3PCLKB	2ICLK	21章
0008 8690h	MTU0	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK	21章
0008 8691h	MTU1	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK	21章
0008 8692h	MTU2	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK	21章
0008 8693h	MTU3	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK	21章
0008 8694h	MTU4	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK	21章
0008 8695h	MTU5	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK	21章
0008 8700h	MTU0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8701h	MTU0	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8702h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8703h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8704h	MTU0	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8705h	MTU0	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8706h	MTU0	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8708h	MTU0	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 870Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 870Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 870Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8720h	MTU0	タイマジェネラルレジスタE	TGRE	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8722h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8724h	MTU0	タイマ割り込み許可レジスタ2	TIER2	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8726h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8780h	MTU1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8781h	MTU1	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8782h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8784h	MTU1	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8785h	MTU1	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8786h	MTU1	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8788h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 878Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8790h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8800h	MTU2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8801h	MTU2	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8802h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8804h	MTU2	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8805h	MTU2	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK	21章

表5.1 I/Oレジスタアドレス一覧(15/27)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 8806h	MTU2	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8808h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 880Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8880h	MTU5	タイマカウンタU	TCNTU	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8882h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8884h	MTU5	タイマコントロールレジスタU	TCRU	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8886h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8890h	MTU5	タイマカウンタV	TCNTV	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8892h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 8894h	MTU5	タイマコントロールレジスタV	TCRV	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8896h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 88A0h	MTU5	タイマカウンタW	TCNTW	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 88A2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	2 ~ 3PCLKB	2ICLK	21章
0008 88A4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 88A6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 88B2h	MTU5	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 88B4h	MTU5	タイマスタートレジスタ	TSSTR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 88B6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	2 ~ 3PCLKB	2ICLK	21章
0008 8900h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	8、16	2 ~ 3PCLKB	2ICLK	22章
0008 8902h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	8、16	2 ~ 3PCLKB	2ICLK	22章
0008 8908h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	8、16	2 ~ 3PCLKB	2ICLK	22章
0008 890Ah	POE	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2 ~ 3PCLKB	2ICLK	22章
0008 890Bh	POE	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8	2 ~ 3PCLKB	2ICLK	22章
0008 890Ch	POE	ポートアウトブッティネーブルコントロールレジスタ2	POECR2	8	8	2 ~ 3PCLKB	2ICLK	22章
0008 890Eh	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	8、16	2 ~ 3PCLKB	2ICLK	22章
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9004h	S12AD	A/Dチャネル選択レジスタA	ADANSA	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9008h	S12AD	A/D変換値加算モード選択レジスタ	ADADS	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 900Ch	S12AD	A/D変換値加算回数選択レジスタ	ADADC	8	8	2 ~ 3PCLKB	2ICLK	33章
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9010h	S12AD	A/D開始トリガ選択レジスタ	ADSTRGR	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9012h	S12AD	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9014h	S12AD	A/Dチャネル選択レジスタB	ADANSB	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9018h	S12AD	A/Dデータ2重化レジスタ	ADBLDR	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 901Ah	S12AD	A/D温度センサデータレジスタ	ADTSR	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 901Ch	S12AD	A/D内部基準電圧データレジスタ	ADOCDR	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADRD	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9030h	S12AD	A/Dデータレジスタ8	ADDR8	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9032h	S12AD	A/Dデータレジスタ9	ADDR9	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9034h	S12AD	A/Dデータレジスタ10	ADDR10	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9036h	S12AD	A/Dデータレジスタ11	ADDR11	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9038h	S12AD	A/Dデータレジスタ12	ADDR12	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 903Ah	S12AD	A/Dデータレジスタ13	ADDR13	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 903Ch	S12AD	A/Dデータレジスタ14	ADDR14	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 903Eh	S12AD	A/Dデータレジスタ15	ADDR15	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9060h	S12AD	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2 ~ 3PCLKB	2ICLK	33章

表5.1 I/Oレジスタアドレス一覧(16/27)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 9061h	S12AD	A/DサンプリングステートレジスタL	ADSSTRL	8	8	2 ~ 3PCLKB	2ICLK	33章
0008 9066h	S12AD	サンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2 ~ 3PCLKB	2ICLK	33章
0008 9070h	S12AD	A/DサンプリングステートレジスタT	ADSSTRT	8	8	2 ~ 3PCLKB	2ICLK	33章
0008 9071h	S12AD	A/DサンプリングステートレジスタO	ADSSTRO	8	8	2 ~ 3PCLKB	2ICLK	33章
0008 9073h	S12AD	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2 ~ 3PCLKB	2ICLK	33章
0008 9074h	S12AD	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2 ~ 3PCLKB	2ICLK	33章
0008 9075h	S12AD	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2 ~ 3PCLKB	2ICLK	33章
0008 9076h	S12AD	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2 ~ 3PCLKB	2ICLK	33章
0008 9077h	S12AD	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2 ~ 3PCLKB	2ICLK	33章
0008 9078h	S12AD	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2 ~ 3PCLKB	2ICLK	33章
0008 9079h	S12AD	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8	2 ~ 3PCLKB	2ICLK	33章
0008 907Ah	S12AD	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB	2ICLK	33章
0008 A000h	SCIO	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A001h	SCIO	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A002h	SCIO	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A003h	SCIO	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A004h	SCIO	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A005h	SCIO	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A006h	SCIO	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A007h	SCIO	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A008h	SCIO	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A009h	SCIO	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A00Ah	SCIO	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A00Bh	SCIO	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A00Ch	SCIO	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A00Dh	SCIO	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A040h	SCI2	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A041h	SCI2	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A042h	SCI2	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A043h	SCI2	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A044h	SCI2	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A045h	SCI2	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A046h	SCI2	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A047h	SCI2	シリアル拡張モードレジスタ	SEM	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A048h	SCI2	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A049h	SCI2	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A04Ah	SCI2	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A04Bh	SCI2	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A04Ch	SCI2	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A04Dh	SCI2	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK	29章

表5.1 I/Oレジスタアドレス一覧(17/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセ ス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 A060h	SCI3	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A061h	SCI3	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A062h	SCI3	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A063h	SCI3	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A064h	SCI3	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A065h	SCI3	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A066h	SCI3	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A067h	SCI3	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A068h	SCI3	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A069h	SCI3	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A06Ah	SCI3	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A06Bh	SCI3	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A06Ch	SCI3	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A06Dh	SCI3	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A080h	SCI4	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A081h	SCI4	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A082h	SCI4	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A083h	SCI4	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A084h	SCI4	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A085h	SCI4	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A086h	SCI4	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A087h	SCI4	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A088h	SCI4	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A089h	SCI4	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A08Ah	SCI4	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A08Bh	SCI4	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A08Ch	SCI4	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A08Dh	SCI4	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0C6h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0C9h	SCI6	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0CAh	SCI6	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0CBh	SCI6	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK	29章

表5.1 I/Oレジスタアドレス一覧(18/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 A0CCh	SCI6	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0E0h	SCI7	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0E1h	SCI7	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0E2h	SCI7	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0E3h	SCI7	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0E4h	SCI7	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0E5h	SCI7	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0E6h	SCI7	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0E7h	SCI7	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0E8h	SCI7	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0E9h	SCI7	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0EAh	SCI7	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0EBh	SCI7	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0ECh	SCI7	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A0EDh	SCI7	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A100h	SCI8	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A101h	SCI8	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A102h	SCI8	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A103h	SCI8	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A104h	SCI8	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A105h	SCI8	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A106h	SCI8	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A107h	SCI8	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A108h	SCI8	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A109h	SCI8	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A10Ah	SCI8	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A10Bh	SCI8	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A10Ch	SCI8	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A10Dh	SCI8	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A120h	SCI9	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A121h	SCI9	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A122h	SCI9	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A123h	SCI9	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A124h	SCI9	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A125h	SCI9	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A126h	SCI9	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A127h	SCI9	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A128h	SCI9	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A129h	SCI9	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A12Ah	SCI9	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A12Bh	SCI9	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A12Ch	SCI9	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A12Dh	SCI9	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A140h	SCI10	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A141h	SCI10	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A142h	SCI10	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A143h	SCI10	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A144h	SCI10	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A145h	SCI10	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A146h	SCI10	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A147h	SCI10	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A148h	SCI10	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A149h	SCI10	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK	29章

表5.1 I/Oレジスタアドレス一覧(19/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 A14Ah	SCI10	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A14Bh	SCI10	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A14Ch	SCI10	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A14Dh	SCI10	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A160h	SCI11	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A161h	SCI11	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A162h	SCI11	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A163h	SCI11	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A164h	SCI11	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A165h	SCI11	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A166h	SCI11	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A167h	SCI11	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A168h	SCI11	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A169h	SCI11	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A16Ah	SCI11	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A16Bh	SCI11	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A16Ch	SCI11	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 A16Dh	SCI11	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2 ~ 3PCLKB	2ICLK	10章
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2 ~ 3PCLKB	2ICLK	10章
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2 ~ 3PCLKB	2ICLK	10章
0008 B003h	CAC	CAC割り込みコントロールレジスタ	CAICR	8	8	2 ~ 3PCLKB	2ICLK	10章
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2 ~ 3PCLKB	2ICLK	10章
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2 ~ 3PCLKB	2ICLK	10章
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2 ~ 3PCLKB	2ICLK	10章
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2 ~ 3PCLKB	2ICLK	10章
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2 ~ 3PCLKB	2ICLK	38章
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2 ~ 3PCLKB	2ICLK	38章
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2 ~ 3PCLKB	2ICLK	38章
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B102h	ELC	イベントリンク設定レジスタ1	ELSR1	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B103h	ELC	イベントリンク設定レジスタ2	ELSR2	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B104h	ELC	イベントリンク設定レジスタ3	ELSR3	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B105h	ELC	イベントリンク設定レジスタ4	ELSR4	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B108h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B10Bh	ELC	イベントリンク設定レジスタ10	ELSR10	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B10Dh	ELC	イベントリンク設定レジスタ12	ELSR12	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B110h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B111h	ELC	イベントリンク設定レジスタ16	ELSR16	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B113h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B114h	ELC	イベントリンク設定レジスタ19	ELSR19	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B115h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B116h	ELC	イベントリンク設定レジスタ21	ELSR21	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B117h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B118h	ELC	イベントリンク設定レジスタ23	ELSR23	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B119h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B11Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B11Bh	ELC	イベントリンク設定レジスタ26	ELSR26	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B11Ch	ELC	イベントリンク設定レジスタ27	ELSR27	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B11Dh	ELC	イベントリンク設定レジスタ28	ELSR28	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B11Eh	ELC	イベントリンク設定レジスタ29	ELSR29	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B11Fh	ELC	イベントリンクオプション設定レジスタA	ELOPA	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B120h	ELC	イベントリンクオプション設定レジスタB	ELOPB	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B121h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8	2 ~ 3PCLKB	2ICLK	18章

表5.1 I/Oレジスタアドレス一覧(20/27)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 B122h	ELC	イベントリンクオプション設定レジスタD	ELOPD	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B123h	ELC	ポートグループ指定レジスタ1	PGR1	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B124h	ELC	ポートグループ指定レジスタ2	PGR2	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B125h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B126h	ELC	ポートグループコントロールレジスタ2	PGC2	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B127h	ELC	ポートバッファレジスタ1	PDBF1	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B128h	ELC	ポートバッファレジスタ2	PDBF2	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B129h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B12Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B12Bh	ELC	イベント接続ポート指定レジスタ2	PEL2	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B12Ch	ELC	イベント接続ポート指定レジスタ3	PEL3	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2 ~ 3PCLKB	2ICLK	18章
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B309h	SCI12	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B30Ah	SCI12	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B30Bh	SCI12	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B30Ch	SCI12	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B329h	SCI12	Control Field 0データレジスタ	CF0DR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B32Ah	SCI12	Control Field 0コンパイネーブルレジスタ	CF0CR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B32Bh	SCI12	Control Field 0受信データレジスタ	CF0RR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B32Ch	SCI12	プライマリControl Field 1データレジスタ	PCF1DR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B32Dh	SCI12	セカンダリControl Field 1データレジスタ	SCF1DR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B32Eh	SCI12	Control Field 1コンパイネーブルレジスタ	CF1CR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B32Fh	SCI12	Control Field 1受信データレジスタ	CF1RR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2 ~ 3PCLKB	2ICLK	29章
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C006h	PORT6	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章

表5.1 I/Oレジスタアドレス一覧(21/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 C008h	PORT8	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C00Fh	PORTF	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C011h	PORTH	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C012h	PORTJ	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C013h	PORTK	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C014h	PORTL	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C020h	PORT0	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C021h	PORT1	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C022h	PORT2	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C023h	PORT3	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C024h	PORT4	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C025h	PORT5	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C026h	PORT6	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C027h	PORT7	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C028h	PORT8	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C029h	PORT9	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C02Ah	PORTA	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C02Bh	PORTB	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C02Ch	PORTC	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C02Dh	PORTD	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C02Eh	PORTE	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C02Fh	PORTF	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C031h	PORTH	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C032h	PORTJ	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C033h	PORTK	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C034h	PORTL	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C040h	PORT0	ポート入カデータレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライト 時 2ICLK	19章
0008 C041h	PORT1	ポート入カデータレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライト 時 2ICLK	19章
0008 C042h	PORT2	ポート入カデータレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライト 時 2ICLK	19章
0008 C043h	PORT3	ポート入カデータレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライト 時 2ICLK	19章
0008 C044h	PORT4	ポート入カデータレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライト 時 2ICLK	19章
0008 C045h	PORT5	ポート入カデータレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライト 時 2ICLK	19章
0008 C046h	PORT6	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C047h	PORT7	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C048h	PORT8	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	2ICLK	19章
0008 C049h	PORT9	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	2ICLK	19章

表5.1 I/Oレジスタアドレス一覧(22/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 C04Ah	PORTA	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK	19章
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK	19章
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK	19章
0008 C04Dh	PORTD	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK	19章
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK	19章
0008 C04Fh	PORTF	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	19章
0008 C051h	PORTH	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK	19章
0008 C052h	PORTJ	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK	19章
0008 C053h	PORTK	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	19章
0008 C054h	PORTL	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	19章
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C066h	PORT6	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C068h	PORT8	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C06Fh	PORTF	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C071h	PORTH	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C072h	PORTJ	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C073h	PORTK	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C074h	PORTL	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	19章
0008 C080h	PORT0	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK	19章
0008 C082h	PORT1	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK	19章
0008 C083h	PORT1	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	2ICLK	19章
0008 C084h	PORT2	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK	19章
0008 C085h	PORT2	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	2ICLK	19章
0008 C086h	PORT3	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK	19章
0008 C087h	PORT3	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	2ICLK	19章
0008 C08Ah	PORT5	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK	19章
0008 C08Bh	PORT5	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	2ICLK	19章
0008 C08Ch	PORT6	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK	19章
0008 C08Eh	PORT7	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK	19章
0008 C08Fh	PORT7	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	2ICLK	19章

表5.1 I/Oレジスタアドレス一覧(23/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 C090h	PORT8	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2～3PCLKB	2ICLK	19章
0008 C092h	PORT9	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2～3PCLKB	2ICLK	19章
0008 C094h	PORTA	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2～3PCLKB	2ICLK	19章
0008 C095h	PORTA	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2～3PCLKB	2ICLK	19章
0008 C096h	PORTB	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2～3PCLKB	2ICLK	19章
0008 C097h	PORTB	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2～3PCLKB	2ICLK	19章
0008 C098h	PORTC	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2～3PCLKB	2ICLK	19章
0008 C099h	PORTC	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2～3PCLKB	2ICLK	19章
0008 C09Ch	PORTE	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2～3PCLKB	2ICLK	19章
0008 C09Dh	PORTE	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2～3PCLKB	2ICLK	19章
0008 C0A6h	PORTK	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2～3PCLKB	2ICLK	19章
0008 C0A7h	PORTK	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2～3PCLKB	2ICLK	19章
0008 C0C0h	PORT0	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0C4h	PORT4	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0C5h	PORT5	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0C6h	PORT6	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0C7h	PORT7	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0C8h	PORT8	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0C9h	PORT9	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0CAh	PORTA	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0CCh	PORTC	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0CDh	PORTD	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0CEh	PORTE	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0CFh	PORTF	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0D1h	PORTH	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0D2h	PORTJ	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0D3h	PORTK	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0D4h	PORTL	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0E0h	PORT0	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0E3h	PORT3	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0E5h	PORT5	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0E6h	PORT6	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0E7h	PORT7	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0E8h	PORT8	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0E9h	PORT9	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0ECh	PORTC	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0EEh	PORTE	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0F1h	PORTH	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0F2h	PORTJ	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	19章
0008 C0F3h	PORTK	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	19章
0008 C100h	MPC	CS出力許可レジスタ	PFCS	8	8	2～3PCLKB	2ICLK	20章
0008 C104h	MPC	アドレス出力許可レジスタ0	PFAOE0	8	8、16	2～3PCLKB	2ICLK	20章
0008 C105h	MPC	アドレス出力許可レジスタ1	PFAOE1	8	8、16	2～3PCLKB	2ICLK	20章
0008 C106h	MPC	外部バス制御レジスタ0	PFBCR0	8	8、16	2～3PCLKB	2ICLK	20章
0008 C107h	MPC	外部バス制御レジスタ1	PFBCR1	8	8、16	2～3PCLKB	2ICLK	20章

表5.1 I/Oレジスタアドレス一覧(24/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C140h	MPC	P00端子機能制御レジスタ	P00PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C141h	MPC	P01端子機能制御レジスタ	P01PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C142h	MPC	P02端子機能制御レジスタ	P02PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C143h	MPC	P03端子機能制御レジスタ	P03PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C145h	MPC	P05端子機能制御レジスタ	P05PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C147h	MPC	P07端子機能制御レジスタ	P07PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C155h	MPC	P25端子機能制御レジスタ	P25PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C15Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C168h	MPC	P50端子機能制御レジスタ	P50PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C169h	MPC	P51端子機能制御レジスタ	P51PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C16Ah	MPC	P52端子機能制御レジスタ	P52PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C16Eh	MPC	P56端子機能制御レジスタ	P56PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C170h	MPC	P60端子機能制御レジスタ	P60PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C171h	MPC	P61端子機能制御レジスタ	P61PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C178h	MPC	P70端子機能制御レジスタ	P70PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C17Ch	MPC	P74端子機能制御レジスタ	P74PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C17Dh	MPC	P75端子機能制御レジスタ	P75PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C17Eh	MPC	P76端子機能制御レジスタ	P76PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C17Fh	MPC	P77端子機能制御レジスタ	P77PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C180h	MPC	P80端子機能制御レジスタ	P80PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C181h	MPC	P81端子機能制御レジスタ	P81PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C182h	MPC	P82端子機能制御レジスタ	P82PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C183h	MPC	P83端子機能制御レジスタ	P83PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C186h	MPC	P86端子機能制御レジスタ	P86PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C187h	MPC	P87端子機能制御レジスタ	P87PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C188h	MPC	P90端子機能制御レジスタ	P90PFS	8	8	2 ~ 3PCLKB	2ICLK	20章

表5.1 I/Oレジスタアドレス一覧(25/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 C189h	MPC	P91端子機能制御レジスタ	P91PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C18Ah	MPC	P92端子機能制御レジスタ	P92PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C18Bh	MPC	P93端子機能制御レジスタ	P93PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C196h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C197h	MPC	PA7端子機能制御レジスタ	PA7PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1A0h	MPC	PC0端子機能制御レジスタ	PC0PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1A1h	MPC	PC1端子機能制御レジスタ	PC1PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1A6h	MPC	PC6端子機能制御レジスタ	PC6PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1A7h	MPC	PC7端子機能制御レジスタ	PC7PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1ACh	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1B6h	MPC	PE6端子機能制御レジスタ	PE6PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1B7h	MPC	PE7端子機能制御レジスタ	PE7PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1BDh	MPC	PF5端子機能制御レジスタ	PF5PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1C8h	MPC	PH0端子機能制御レジスタ	PH0PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1C9h	MPC	PH1端子機能制御レジスタ	PH1PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1CAh	MPC	PH2端子機能制御レジスタ	PH2PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1CBh	MPC	PH3端子機能制御レジスタ	PH3PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1D1h	MPC	PJ1端子機能制御レジスタ	PJ1PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1D3h	MPC	PJ3端子機能制御レジスタ	PJ3PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1DAh	MPC	PK2端子機能制御レジスタ	PK2PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1DBh	MPC	PK3端子機能制御レジスタ	PK3PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1DCh	MPC	PK4端子機能制御レジスタ	PK4PFS	8	8	2 ~ 3PCLKB	2ICLK	20章
0008 C1DDh	MPC	PK5端子機能制御レジスタ	PK5PFS	8	8	2 ~ 3PCLKB	2ICLK	20章

表5.1 I/Oレジスタアドレス一覧(26/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 C280h	SYSTEM	ディープスタンバイコントロールレジスタ	DPSBYCR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	11章
0008 C282h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ0	DPSIER0	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	11章
0008 C284h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ2	DPSIER2	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	11章
0008 C286h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ0	DPSIFR0	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	11章
0008 C288h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ2	DPSIFR2	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	11章
0008 C28Ah	SYSTEM	ディープスタンバイインタラプトエッジレジスタ0	DPSIEGR0	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	11章
0008 C28Ch	SYSTEM	ディープスタンバイインタラプトエッジレジスタ2	DPSIEGR2	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	11章
0008 C28Fh	SYSTEM	フラッシュ HOCOソフトウェアスタンバイコントロール レジスタ	FHSSBYCR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	11章
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	6章
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	6章
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	9章
0008 C294h	SYSTEM	高速オンチップオシレータ電源コントロールレジスタ	HOCOPCR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	9章
0008 C295h	SYSTEM	PLL電源コントロールレジスタ	PLLPCR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	9章
0008 C296h	FLASH	フラッシュライトイネーブルプロテクトレジスタ	FWEPOR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	40章、41章
0008 C297h	SYSTEM	電圧監視回路/コンパレータA制御レジスタ	LVCMPCR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	8章、36章
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVL	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	8章、36章
0008 C29Ah	SYSTEM	電圧監視1回路/コンパレータA1制御レジスタ0	LVD1CR0	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	8章、36章
0008 C29Bh	SYSTEM	電圧監視2回路/コンパレータA2制御レジスタ0	LVD2CR0	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	8章、36章
0008 C2A0h ~ 0008 C2BFh	SYSTEM	ディープスタンバイバックアップレジスタ0 ~ 31	DPSBKR0 ~ 31	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	11章
0008 C400h	RTC	64Hzカウンタ	R64CNT	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C402h	RTC	秒カウンタ	RSECCNT	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C404h	RTC	分カウンタ	RMINCNT	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C406h	RTC	時カウンタ	RHRCNT	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C408h	RTC	曜日カウンタ	RWKCNT	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C40Ah	RTC	日カウンタ	RDAYCNT	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C40Ch	RTC	月カウンタ	RMONCNT	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C40Eh	RTC	年カウンタ	RYRCNT	16	16	2 ~ 3PCLKB	2ICLK	26章
0008 C410h	RTC	秒アラームレジスタ	RSECAR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C412h	RTC	分アラームレジスタ	RMINAR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C414h	RTC	時アラームレジスタ	RHRAR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C416h	RTC	曜日アラームレジスタ	RWKAR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C418h	RTC	日アラームレジスタ	RDAYAR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C41Ah	RTC	月アラームレジスタ	RMONAR	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C41Ch	RTC	年アラームレジスタ	RYRAR	16	16	2 ~ 3PCLKB	2ICLK	26章
0008 C41Eh	RTC	年アラームイネーブルレジスタ	RYRAREN	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C422h	RTC	RTCコントロールレジスタ1	RCR1	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C424h	RTC	RTCコントロールレジスタ2	RCR2	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C426h	RTC	RTCコントロールレジスタ3	RCR3	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C42Eh	RTC	時間誤差補正レジスタ	RADJ	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C440h	RTC	時間キャプチャ制御レジスタ0	RTCCR0	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C442h	RTC	時間キャプチャ制御レジスタ1	RTCCR1	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C444h	RTC	時間キャプチャ制御レジスタ2	RTCCR2	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C452h	RTC	秒キャプチャレジスタ0	RSECCP0	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C454h	RTC	分キャプチャレジスタ0	RMINCP0	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C456h	RTC	時キャプチャレジスタ0	RHRCP0	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C45Ah	RTC	日キャプチャレジスタ0	RDAYCP0	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C45Ch	RTC	月キャプチャレジスタ0	RMONCP0	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C462h	RTC	秒キャプチャレジスタ1	RSECCP1	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C464h	RTC	分キャプチャレジスタ1	RMINCP1	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C466h	RTC	時キャプチャレジスタ1	RHRCP1	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C46Ah	RTC	日キャプチャレジスタ1	RDAYCP1	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C46Ch	RTC	月キャプチャレジスタ1	RMONCP1	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C472h	RTC	秒キャプチャレジスタ2	RSECCP2	8	8	2 ~ 3PCLKB	2ICLK	26章

表5.1 I/Oレジスタアドレス一覧(27/27)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 C474h	RTC	分キャプチャレジスタ2	RMINCP2	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C476h	RTC	時キャプチャレジスタ2	RHRCP2	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C47Ah	RTC	日キャプチャレジスタ2	RDAYCP2	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C47Ch	RTC	月キャプチャレジスタ2	RMONCP2	8	8	2 ~ 3PCLKB	2ICLK	26章
0008 C500h	TEMPS	温度センサコントロールレジスタ	TSCR	8	8	2 ~ 3PCLKB	2ICLK	35章
0008 C580h	CMPB	コンパレータB制御レジスタ1	CPBCNT1	8	8	2 ~ 3PCLKB	2ICLK	37章
0008 C582h	CMPB	コンパレータBフラグレジスタ	CPBFLG	8	8	2 ~ 3PCLKB	2ICLK	37章
0008 C583h	CMPB	コンパレータB割り込み制御レジスタ	CPBINT	8	8	2 ~ 3PCLKB	2ICLK	37章
0008 C584h	CMPB	コンパレータBフィルタ選択レジスタ	CPBF	8	8	2 ~ 3PCLKB	2ICLK	37章
007F C402h	FLASH	フラッシュモードレジスタ	FMODR	8	8	2 ~ 3FCLK	2ICLK	40章、41章
007F C410h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2 ~ 3FCLK	2ICLK	40章、41章
007F C411h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2 ~ 3FCLK	2ICLK	40章、41章
007F C412h	FLASH	フラッシュレディー割り込み許可レジスタ	FRDYIE	8	8	2 ~ 3FCLK	2ICLK	40章、41章
007F C440h	FLASH	E2データフラッシュ読み出し許可レジスタ0	DFLRE0	16	16	2 ~ 3FCLK	2ICLK	41章
007F C450h	FLASH	E2データフラッシュプログラム/イレーズ許可レジスタ0	DFLWE0	16	16	2 ~ 3FCLK	2ICLK	41章
007F C454h	FLASH	FCU RAMイネーブルレジスタ	FCURAME	16	16	2 ~ 3FCLK	2ICLK	40章、41章
007F FFB0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2 ~ 3FCLK	2ICLK	40章、41章
007F FFB1h	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2 ~ 3FCLK	2ICLK	40章、41章
007F FFB2h	FLASH	フラッシュP/Eモードエントリレジスタ	FENTRYR	16	16	2 ~ 3FCLK	2ICLK	40章、41章
007F FFB4h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2 ~ 3FCLK	2ICLK	40章
007F FFB6h	FLASH	フラッシュリセットレジスタ	FRESETR	16	16	2 ~ 3FCLK	2ICLK	40章
007F FFBAh	FLASH	FCUコマンドレジスタ	FCMDR	16	16	2 ~ 3FCLK	2ICLK	40章
007F FFC8h	FLASH	FCU処理切り替えレジスタ	FCPSR	16	16	2 ~ 3FCLK	2ICLK	40章
007F FFCAh	FLASH	E2データフラッシュブランクチェック制御レジスタ	DFLBCCNT	16	16	2 ~ 3FCLK	2ICLK	41章
007F FFCh	FLASH	フラッシュP/Eステータスレジスタ	FPESTAT	16	16	2 ~ 3FCLK	2ICLK	40章、41章
007F FFCEh	FLASH	E2データフラッシュブランクチェックステータスレジスタ	DFLBCSTAT	16	16	2 ~ 3FCLK	2ICLK	41章
007F FFE8h	FLASH	周辺クロック通知レジスタ	PCKAR	16	16	2 ~ 3FCLK	2ICLK	40章、41章

- 注1. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMR0またはTMR2のレジスタのアドレスへアクセスしてください。表24.4に16ビットアクセスのレジスタ配置を示します。
- 注2. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMCNTLレジスタのアドレスへアクセスしてください。表30.3に16ビットアクセスのレジスタ配置を示します。

6. リセット

6.1 概要

リセットには、RES# 端子リセット、パワーオンリセット、電圧監視 0 リセット、電圧監視 1 リセット、電圧監視 2 リセット、ディープソフトウェアスタンバイリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1 にリセットの名称と要因を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
RES#端子リセット	RES#端子の入力電圧がLow
パワーオンリセット	VCCの上昇（監視電圧：VPOR）（注1）
電圧監視0リセット	VCCの下降（監視電圧：Vdet0）（注1）
電圧監視1リセット	VCCの下降（監視電圧：Vdet1）（注1）
電圧監視2リセット	VCCの下降（監視電圧：Vdet2）（注1）
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ソフトウェアリセット	レジスタ設定

注1. 監視電圧（VPOR、Vdet0、Vdet1、Vdet2）については、「8. 電圧検出回路（LVDAa）」、「42. 電氣的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。

表 6.2 にリセット種別ごとの初期化対象を示します。

表6.2 リセット種別ごとの初期化対象

リセット対象	リセット要因								
	RES# 端子 リセット	パワー オン リセット	電圧監視0 リセット	独立ウォッチ ドッグタイマ リセット	ウォッチ ドッグタイ マリセット	電圧監視1 リセット	電圧監視2 リセット	ディープ ソフトウェア スタンバイリセット	ソフトウェア リセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	—	—	—	—	—	—	—	—
コールドスタート/ウォーム スタート 判別フラグ (RSTSR1.CWSF)	— (注1)	○	—	—	—	—	—	—	—
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	—	—	—	—	—	—	—
独立ウォッチドッグタイマ リセット検出フラグ (RSTSR2.IWDTRF)	○	○	○	—	—	—	—	○	—
独立ウォッチドッグタイマの レジスタ (IWDTRR、IWDTCR、 IWDTSR、IWDTRCR、 IWDTCSTPR、ILOCOCR)	○	○	○	—	—	—	—	○	—
ウォッチドッグタイマリセット 検出フラグ (RSTSR2.WDTRF)	○	○	○	○	—	—	—	○	—
ウォッチドッグタイマの レジスタ (WDTRR、WDTCR、 WDTSR、WDTRCR)	○	○	○	○	—	—	—	○	—
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	○	○	—	—	—	—
電圧監視機能1のレジスタ (LVD1CR0、 LVCMPPCR.EXVREFINP1、 EXVCCINP1、LVD1E、 LVDLVLR.LVD1LVL[3:0])	○	○	○	○	○	—	—	—	—
(LVD1CR1、LVD1SR)	○	○	○	○	○	—	—	○	—
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	○	○	○	—	—	—
電圧監視機能2のレジスタ (LVD2CR0、 LVCMPPCR.EXVREFINP2、 EXVCCINP2、LVD2E、 LVDLVLR.LVD2LVL[3:0])	○	○	○	○	○	○	—	—	—
(LVD2CR1、LVD2SR)	○	○	○	○	○	○	—	○	—
ディープソフトウェアスタン バイリセット検出フラグ (RSTSR0.DPSRSTF)	○	○	○	○	○	○	○	—	—
消費電力低減機能関連の レジスタ (DPSBYCR、DPSIER0、 DPSIER2、DPSIFR0、 DPSIFR2、DPSIEGR0、 DPSIEGR2、FHSSBYCR)	○	○	○	○	○	○	○	—	○
メインクロック発振器関連の レジスタ (MOFCR)	○	○	○	○	○	○	○	—	○
高速オンチップオシレータ関連 のレジスタ (HOCOPCR.HOCOPCNT)	○	○	○	○	○	○	○	—	○
端子の状態	○	○	○	○	○	○	○	—	○
ソフトウェアリセット検出 フラグ (RSTSR2.SWRF)	○	○	○	○	○	○	○	○	—
リアルタイムクロックの レジスタ (注2)	—	—	—	—	—	—	—	—	—
上記以外のレジスタ、CPUおよ び内部状態	○	○	○	○	○	○	○	○	○

○：初期化されます。 —：変化しない

注1. 電源投入時は初期化されます。

注2. 一部の制御ビット (RCR1.CIE、RCR2.RTCOE、ADJ30、RESET) は、すべてのリセットにより初期化されます。対象となる制御ビットについては、「26. リアルタイムクロック (RTCb)」を参照してください。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「13. 例外処理」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表 6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

6.2 レジスタの説明

6.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス 0008 C290h

b7	b6	b5	b4	b3	b2	b1	b0
DPSRS TF	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF

リセット後の値
(注1) 0 0 0 0 (注1) 0 (注1) 0 (注1) 0 (注1) 0

注1. リセット後の値は、リセット要因で異なります。

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0: パワーオンリセット未検出 1: パワーオンリセット検出	R(W) <small>(注1)</small>
b1	LVD0RF	電圧監視0リセット検出フラグ	0: 電圧監視0リセット未検出 1: 電圧監視0リセット検出	R(W) <small>(注1)</small>
b2	LVD1RF	電圧監視1リセット検出フラグ	0: 電圧監視1リセット未検出 1: 電圧監視1リセット検出	R(W) <small>(注1)</small>
b3	LVD2RF	電圧監視2リセット検出フラグ	0: 電圧監視2リセット未検出 1: 電圧監視2リセット検出	R(W) <small>(注1)</small>
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSRSTF	ディープソフトウェアスタンバイ リセット検出フラグ	0: 割り込みによるディープソフトウェアスタンバイモード解除 要求の発生なし 1: 割り込みによるディープソフトウェアスタンバイモード解除 要求の発生あり	R(W) <small>(注1)</small>

注1. フラグをクリアするための“0”書き込みのみ可能です。

PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

["1"になる条件]

- パワーオンリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD0RF フラグ（電圧監視 0 リセット検出フラグ）

VCC 電圧が Vdet0 レベル以下を検知したことを示します。

["1" になる条件]

- Vdet0 レベルの VCC 電圧を検知したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

LVD1RF フラグ（電圧監視 1 リセット検出フラグ）

VCC 電圧が Vdet1 レベル以下を検知したことを示します。

["1" になる条件]

- Vdet1 レベルの VCC 電圧を検知したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

LVD2RF フラグ（電圧監視 2 リセット検出フラグ）

VCC 電圧が Vdet2 レベル以下を検知したことを示します。

["1" になる条件]

- Vdet2 レベルの VCC 電圧を検知したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

DPSRSTF フラグ（ディープソフトウェアスタンバイリセット検出フラグ）

割り込みによるディープソフトウェアスタンバイモードの解除にともなって、内部リセット（ディープソフトウェアスタンバイリセット）が発生したことを示します。

["1" になる条件]

- 内部割り込みによってディープソフトウェアスタンバイモードを解除したとき
詳細は、「11. 消費電力低減機能」を参照してください。

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

6.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス 0008 C291h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CWSF

リセット後の値 0 0 0 0 0 0 0 0/1
(注1)

注1. リセット後の値は、リセット要因で異なります。

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0: コールドスタート 1: ウォームスタート	R(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをセットするための“1”書き込みのみ可能です。

RSTSR1 レジスタは、電源が投入されたときのリセット処理（コールドスタート）か、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）かを判定するレジスタです。

CWSF フラグ（コールドスタート / ウォームスタート判別フラグ）

コールドスタートかウォームスタートかを示します。

CWSF フラグは、電源投入時に初期化されます。

["1" になる条件]

- プログラムで“1”を書いたとき。“0”を書いても変化しません。

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき

6.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス 0008 00C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SWRF	WDTR F	IWDTR F
リセット後の値	0	0	0	0	0	0 (注1)	0 (注1)	0 (注1)

注1. リセット後の値は、リセット要因で異なります。

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R(W) (注1)
b1	WDTRF	ウォッチドッグタイマリセット検出フラグ	0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R(W) (注1)
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R(W) (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

["1"になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

WDTRF フラグ (ウォッチドッグタイマリセット検出フラグ)

ウォッチドッグタイマリセットが発生したことを示します。

["1"になる条件]

- ウォッチドッグタイマリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

SWRF フラグ (ソフトウェアリセット検出フラグ)

ソフトウェアリセットが発生したことを示します。

["1"になる条件]

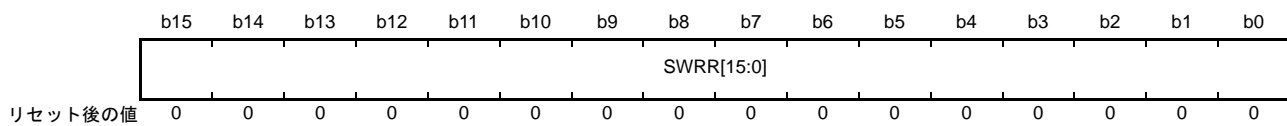
- ソフトウェアリセットを行なったとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

6.2.4 ソフトウェアリセットレジスタ (SWRR)

アドレス 0008 00C2h



ビット	シンボル	ビット名	機能	R/W
b15-b0	SWRR[15:0]	ソフトウェアリセットビット	“A501h”を書くとLSIがリセットされます。読むと“0000h”が読めます	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

6.3 動作説明

6.3.1 RES# 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切られ、リセット状態になります。

確実にリセットするために、電源投入時は規定の電源安定時間に従い、RES# 端子が Low を保持するようにしてください。

RES# 端子を Low から High にした後、RES# 解除後待機時間 (tRESWT) 経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、「42. 電氣的特性」を参照してください。

6.3.2 パワーオンリセット、電圧監視 0 リセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。

RES# 端子を High にした状態で電源を投入すると、パワーオンリセットが発生します。VCC が VPOR を超えると、ある一定時間（パワーオンリセット時間）が経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源および LSI が安定するための時間です。

また、パワーオンリセットが発生すると、RSTSR0.PORF フラグが“1”になります。PORF フラグは、RES# 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。

オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 レベル選択ビット (LVDAS) が“0”（リセット後、電圧監視 0 リセット有効）の状態、VCC が Vdet0 以下になると、RSTSR0.LVDORF フラグが“1”になり、電圧検出回路は電圧監視 0 リセットを発生します。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを“0”にしてください。VCC が Vdet0 を超えると、LVD0 リセット時間 (tLVD0) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

図 6.1 にパワーオンリセット、および電圧監視 0 リセットの動作例を示します。

電圧監視 0 リセットの詳細は、「8. 電圧検出回路 (LVDAa)」を参照してください。

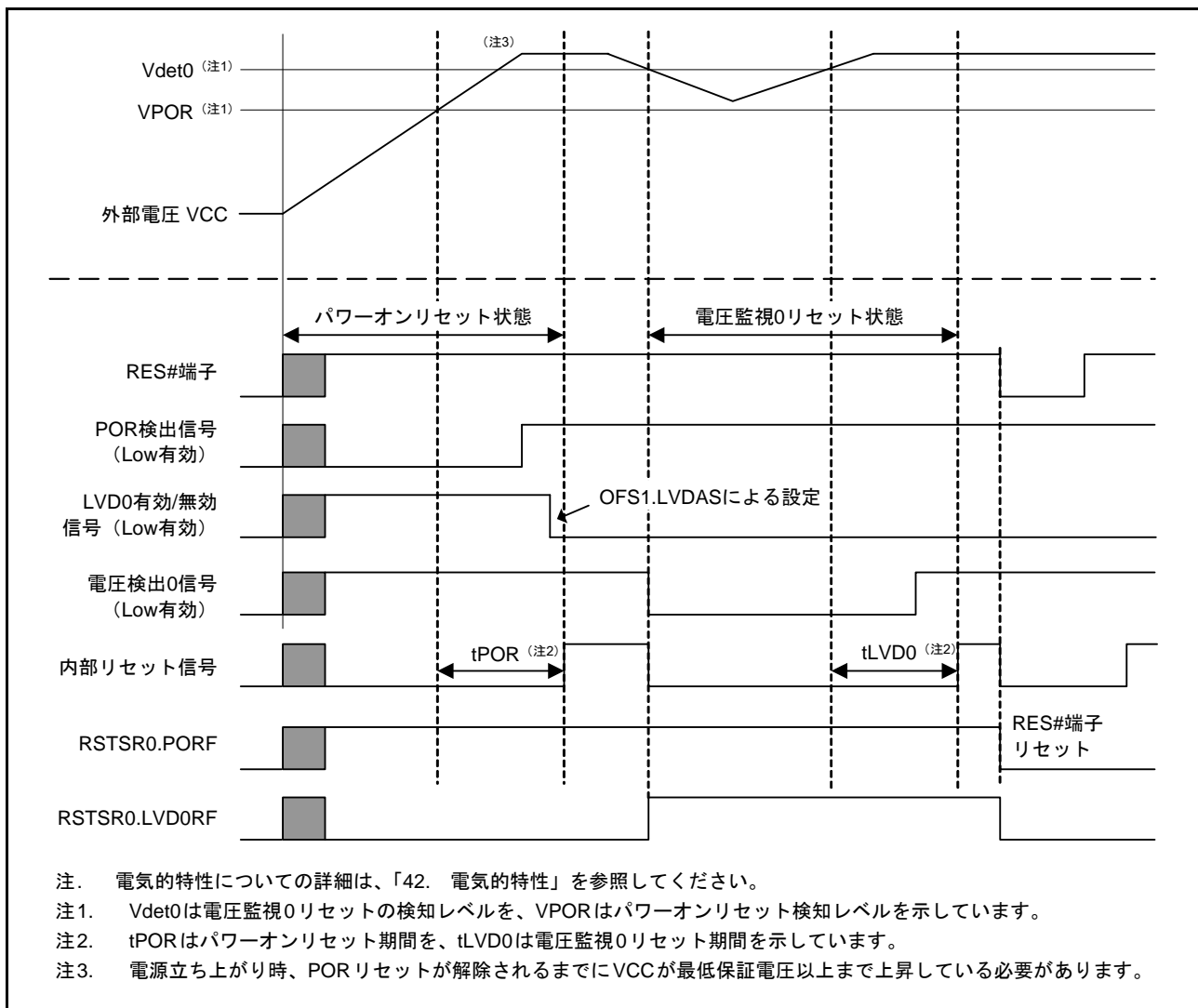


図 6.1 パワーオンリセット、電圧監視 0 リセット動作例

6.3.3 電圧監視 1 リセット、電圧監視 2 リセット

電圧監視回路による内部リセットです。

電圧監視 1 回路制御レジスタ 0 (LVD1CR0) の電圧監視 1 割り込み / リセット許可ビット (LVD1RIE) が “1” (電圧検出回路によるリセット / 割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (LVD1RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が Vdet1 以下になると、RSTSR0.LVD1RF フラグが “1” になり、電圧検出回路は電圧監視 1 リセットを発生します。

同様に、電圧監視 2 回路制御レジスタ 0 (LVD2CR0) の電圧監視 2 割り込み / リセット許可ビット (LVD2RIE) が “1” (電圧検出回路によるリセット / 割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (LVD2RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が Vdet2 以下になると、RSTSR0.LVD2RF フラグが “1” になり、電圧検出回路は電圧監視 2 リセットを発生します。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (LVD1RN) で選択可能です。LVD1CR0.LVD1RN ビットが “0” のとき、VCC が Vdet1 以下になり、その後 Vdet1 を超えてから LVD1 リセット時間 (tLVD1) が経過すると内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.LVD1RN ビットが “1” のとき、VCC が Vdet1 以下になってから

LVD1 リセット時間 (t_{LVD1}) 経過後に内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (LVD2RN) の設定により選択可能です。

Vdet1、および Vdet2 の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) の設定によって変更できます。

図 6.2 に電圧監視 1 リセット、および電圧監視 2 リセットの動作例を示します。

電圧監視 1 リセット、および電圧監視 2 リセットの詳細は、「8. 電圧検出回路 (LVDAa)」を参照してください。

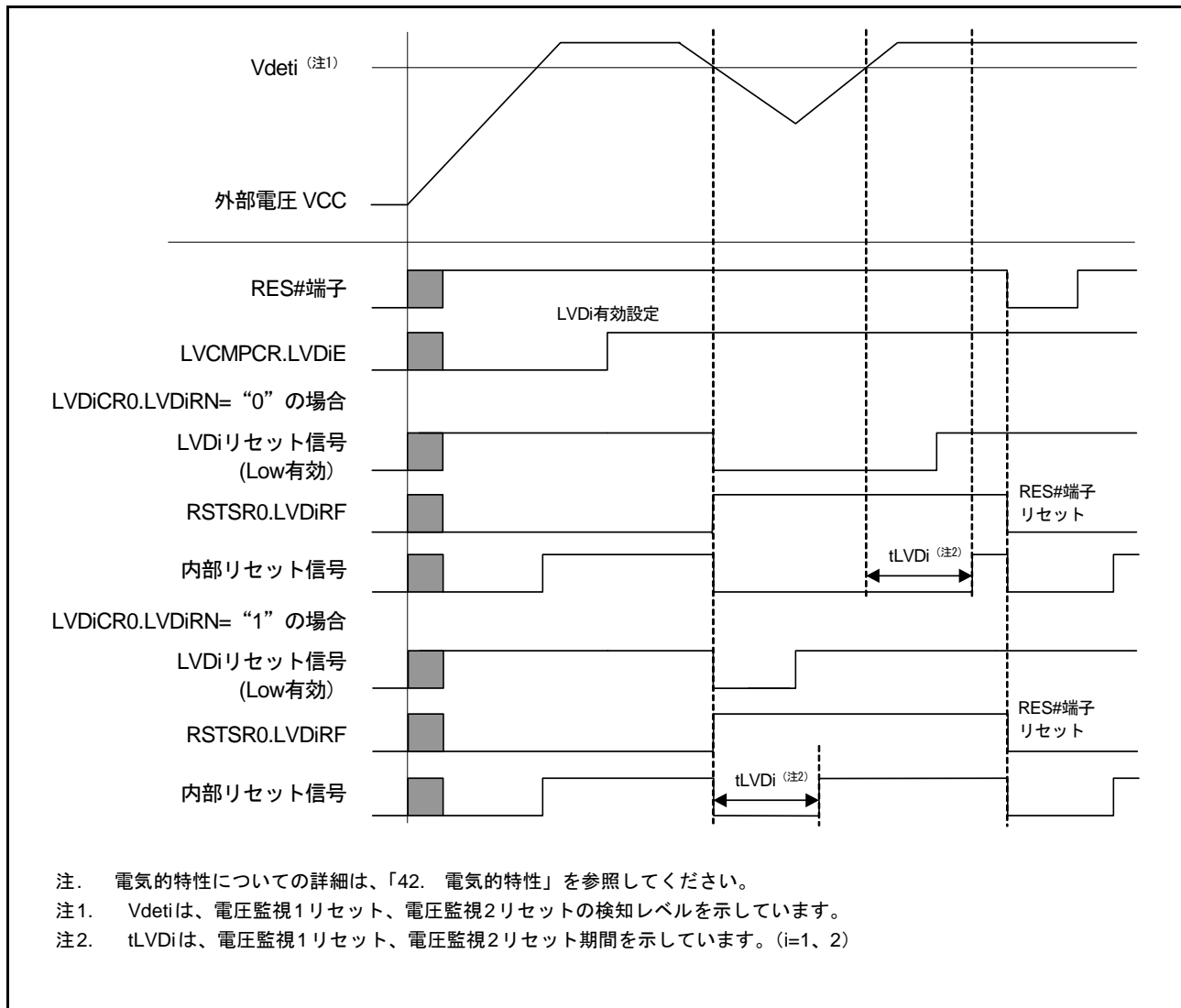


図 6.2 電圧監視 1 リセット、電圧監視 2 リセット動作例

6.3.4 ディープソフトウェアスタンバイリセット

ディープソフトウェアスタンバイモードを割り込みによって解除する場合に発生する内部リセットです。

ディープソフトウェアスタンバイモードの解除要因が発生すると、ディープソフトウェアスタンバイリセットが発生します。その後、ディープソフトウェアスタンバイモード解除後復帰時間 (tDSBY) 経過後、ディープソフトウェアスタンバイリセットは解除され、ディープソフトウェアスタンバイリセットの解除とともにディープソフトウェアスタンバイモードも解除されます。

ディープソフトウェアスタンバイモードの解除後、ディープソフトウェアスタンバイモード解除後待機時間 (tDSBYWT) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

ディープソフトウェアスタンバイリセットの詳細は、「11. 消費電力低減機能」を参照してください。

6.3.5 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

IWDT リセットコントロールレジスタ (IWDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセット出力を選択した場合、独立ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は「28. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

6.3.6 ウォッチドッグタイマリセット

ウォッチドッグタイマによる内部リセットです。

WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセット出力を選択した場合、ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「27. ウォッチドッグタイマ (WDTA)」を参照してください。

6.3.7 ソフトウェアリセット

ソフトウェアリセット回路による内部リセットです。

SWRR レジスタに“A501h”を書くと、ソフトウェアリセットが発生します。ソフトウェアリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

6.3.8 コールドスタート/ウォームスタート判定機能

RSTSR1.CWSF フラグにより、電源が投入されたときのリセット処理（コールドスタート）か、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）かの判定をすることができます。

RSTSR1.CWSF フラグはパワーオンリセットが発生すると“0”（コールドスタート）になります。その他のリセットを行っても“0”になりません。また、プログラムで“1”を書くと、“1”になります。“0”を書いても変化しません。

図 6.3 にコールドスタート/ウォームスタート判定機能の動作例を示します。

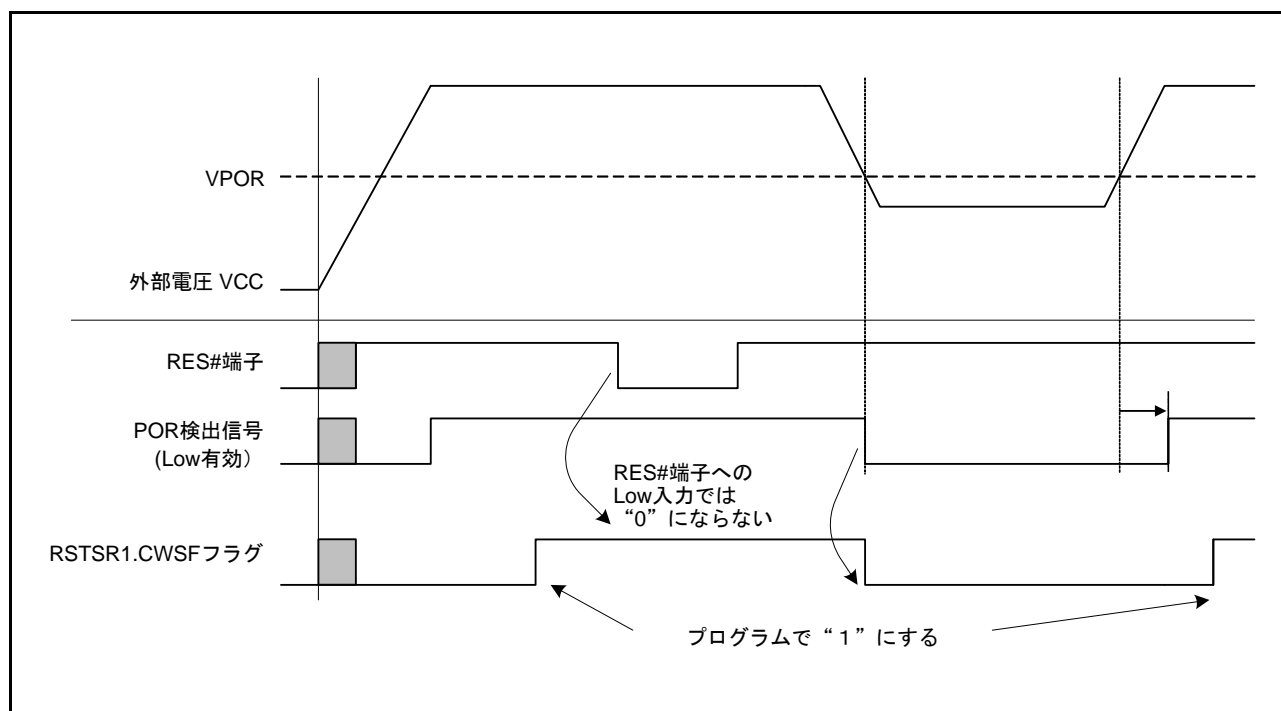


図 6.3 コールドスタート/ウォームスタート判定機能の動作例

6.3.9 リセット発生要因の判定

RSTSR0レジスタとRSTSR2レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 6.4 にリセット発生要因判定フロー例を示します。

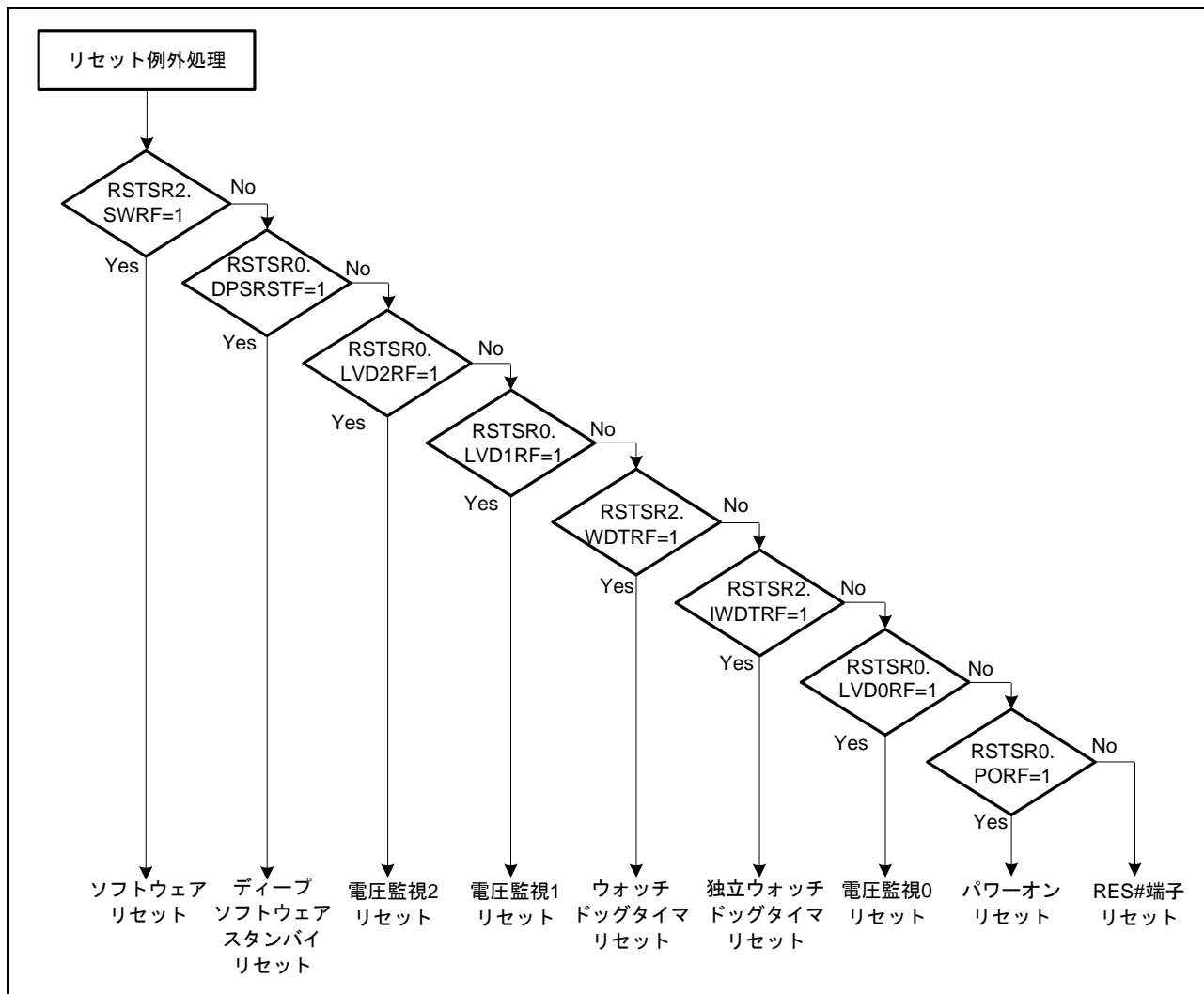


図 6.4 リセット発生要因判定フロー例

7. オプション設定メモリ

7.1 概要

オプション設定メモリは、リセット後のマイコンの状態を選択するレジスタを備えています。オプション設定メモリは、ROM上にあります。

図 7.1 にオプション設定メモリ領域を示します。

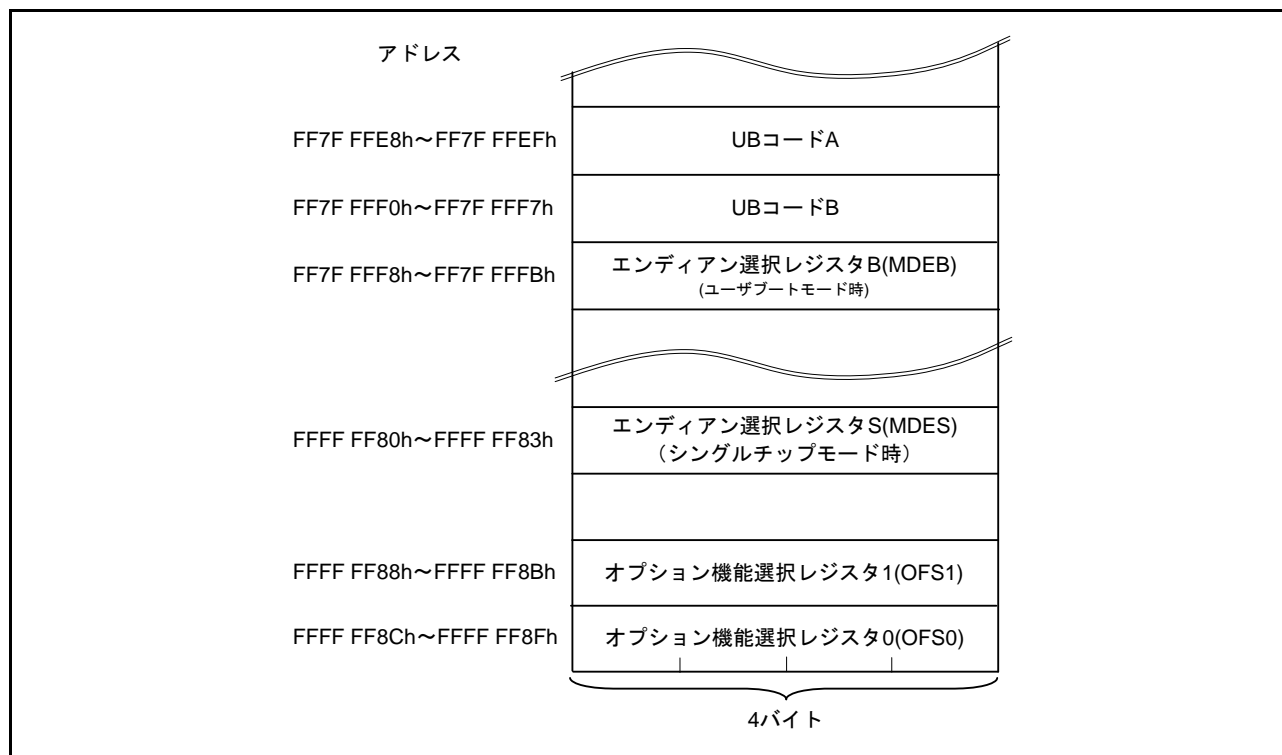


図 7.1 オプション設定メモリ領域

7.2 レジスタの説明

7.2.1 オプション機能選択レジスタ 0 (OFS0)

アドレス FFFF FF8Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	WDTRS TIROQS	WDTRPSS[1:0]	WDTRPES[1:0]	WDTCKS[3:0]			WDTTOPS[1:0]	WDTST RT	—				

リセット後の値 ユーザの設定値 (注1)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDT LCSTP	—	IWDT TIROQS	IWDRPSS[1:0]	IWDRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]	IWDT TRT	—				

リセット後の値 ユーザの設定値 (注1)

注1. ブランク品は、FFFF FFFFhです。ユーザでのプログラム後は、プログラムした値になります。

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b1	IWDTSTRT	IWDTスタートモード選択ビット	0: リセット後、IWDTはオートスタートモードにて自動的に起動 1: リセット後、IWDTは停止状態	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択ビット	b3 b2 0 0: 1024サイクル (03FFh) 0 1: 4096サイクル (0FFFh) 1 0: 8192サイクル (1FFFh) 1 1: 16384サイクル (3FFFh)	R
b7-b4	IWDTCKS[3:0]	IWDTクロック分周比選択ビット	b7 b4 0 0 0 0: 1分周 (周期 131ms) 0 0 1 0: 16分周 (周期 2.10s) 0 0 1 1: 32分周 (周期 4.19s) 0 1 0 0: 64分周 (周期 8.39s) 1 1 1 1: 128分周 (周期 16.8s) 0 1 0 1: 256分周 (周期 33.6s) 上記以外は設定しないでください	R
b9-b8	IWDRPES[1:0]	IWDTウィンドウ終了位置選択ビット	b9 b8 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDRPSS[1:0]	IWDTウィンドウ開始位置選択ビット	b11 b10 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100% (ウィンドウの開始位置設定なし)	R
b12	IWDRSTIRQS	IWDTリセット割り込み要求選択ビット	0: ノンマスク割り込み要求を許可 1: リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b14	IWDTSLCSTP	IWDTスリープモードカウント停止制御ビット	0: カウント停止無効 1: スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止有効	R
b16-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b17	WDTSTRT	WDTスタートモード選択ビット	0: リセット後、WDTはオートスタートモードにて自動的に起動 1: リセット後、WDTは停止状態	R

ビット	シンボル	ビット名	機能	R/W
b19-b18	WDTTOPS[1:0]	WDTタイムアウト期間選択ビット	b19 b18 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh)	R
b23-b20	WDTCKS[3:0]	WDTクロック分周比選択ビット	b23 b20 0 0 0 1 : PCLK/4 0 1 0 0 : PCLK/64 1 1 1 1 : PCLK/128 0 1 1 0 : PCLK/512 0 1 1 1 : PCLK/2048 1 0 0 0 : PCLK/8192 上記以外は設定しないでください	R
b25-b24	WDRPES[1:0]	WDTウィンドウ終了位置選択ビット	b25 b24 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R
b27-b26	WDRPSS[1:0]	WDTウィンドウ開始位置選択ビット	b27 b26 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R
b28	WDRSTIRQS	WDTリセット割り込み要求選択ビット	0 : ノンマスク割り込み要求を許可 1 : リセットを許可	R
b31-b29	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

OFS0 レジスタは、リセット後の独立ウォッチドッグタイマ (IWDT)、ウォッチドッグタイマ (WDT) の動作を選択するレジスタです。

OFS0 レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、OFS0 レジスタに追加書き込みをしないでください。

OFS0 レジスタを含むブロックを消去すると、OFS0 レジスタは“FFFF FFFFh”になります。ユーザブートモード時は OFS0 レジスタの設定は無効となり、FFFF FFFFh となります。

IWDTSTRT ビット (IWDT スタートモード選択ビット)

リセット後の IWDT の起動モード (停止状態、またはオートスタートモードでの起動) が選択できます。オートスタートモードでの起動の場合、IWDT の設定は、OFS0 レジスタの設定が有効となります。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDT 専用クロック数) は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「28. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTCKS[3:0] ビット (IWDT クロック分周比選択ビット)

IWDT 専用クロックを分周するプリスケアラの分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。IWDTTOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDT 専用クロックの 1024 ~ 4194304 クロックの間で設定できます。

詳細は「28. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRPES[1:0] ビット (IWDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDTRPSS[1:0]、IWDTRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は「28. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を100%、アンダフロー発生時を0%）の100%、75%、50%、25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「28. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRSTIRQS ビット (IWDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「28. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTSLCSTP ビット (IWDT スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止を選択します。

詳細は「28. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

WDTSTRT ビット (WDT スタートモード選択ビット)

リセット後のWDTの起動モード（停止状態、またはオートスタートモードでの起動）が選択できます。オートスタートモードでの起動の場合、WDTの設定は、OFS0レジスタの設定が有効となります。

WDTTOPS[1:0] ビット (WDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間をWDTCKS[3:0] ビットで設定した分周クロックを1サイクルとして、1024サイクル/4096サイクル/8192サイクル/16384サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間（PCLK）は、WDTCKS[3:0]、WDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「27. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTCKS[3:0] ビット (WDT クロック分周比選択ビット)

PCLKを分周するプリスケアラの分周比設定を4分周/64分周/128分周/512分周/2048分周/8192分周から選択します。WDTTOPS[1:0] ビット設定と組み合わせて、WDTのカウント期間をPCLKの4096～134217728クロックの間で設定できます。

詳細は「27. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRPES[1:0] ビット (WDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

WDTRPSS[1:0] ビット、WDTRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、WDTTOPS[1:0] ビットの設定により変わります。

詳細は「27. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRPSS[1:0] ビット (WDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を100%、アンダフロー発生時を0%）の100%、75%、50%、25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「27. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRSTIRQS ビット (WDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「27. ウォッチドッグタイマ (WDTA)」を参照してください。

7.2.2 オプション機能選択レジスタ 1 (OFS1)

アドレス FFFF FF88h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	HOCO EN	—	—	—	—	—	LVDAS	VDSEL[1:0]	
リセット後の値 ユーザの設定値 (注1)															

注1. ブランク品は、FFFF FFFFhです。ユーザでのプログラム後は、プログラムした値になります。

ビット	シンボル	ビット名	機能	R/W
b1-b0	VDSEL[1:0]	電圧検出0レベル選択ビット	b1 b0 0 0 : 3.80Vを選択 0 1 : 2.80Vを選択 1 0 : 1.90Vを選択 1 1 : 1.72Vを選択	R
b2	LVDAS	電圧検出0回路起動ビット	0 : リセット後、電圧監視0リセット有効 1 : リセット後、電圧監視0リセット無効	R
b7-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b8	HOCOEN	HOCO発振有効ビット	0 : リセット後、HOCO発振が有効 1 : リセット後、HOCO発振が無効	R
b31-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

OFS1 レジスタはROM上にあります。プログラムと一緒に書いてください。書いた後、OFS1 レジスタに追加書き込みをしないでください。

OFS1 レジスタを含むブロックを消去すると、OFS1 レジスタは“FFFF FFFFh”となります。

ユーザブートモード時はOFS1 レジスタの設定は無効となり、“FFFF FFFFh”となります。

VDSEL[1:0] ビット (電圧検出0レベル選択ビット)

電圧検出0回路の電圧検出レベルを選択します。

LVDAS ビット (電圧検出0回路起動ビット)

リセット後、電圧監視0リセットを有効にするか無効にするかを選択します。

電圧検出0回路で監視するVdet0電圧は、VDSEL[1:0]ビットで選択します。

HOCOEN ビット (HOCO発振有効ビット)

リセット後、HOCO用発振許可ビットを有効にするか無効にするかを選択します。

HOCOENビットを“0”にすることにより、CPUが動作する前にHOCOの発振を開始することができ、発振安定の待ち時間を減らすことができます。

なお、HOCOENビットを“0”にしても、システムクロックソースはHOCOに切り替わりません。CPUからクロックソース選択ビット(SCKCR3.CKSEL[2:0])を書き換えることにより、切り替わります。

7.2.3 エンディアン選択レジスタ B (MDEB)、 エンディアン選択レジスタ S (MDES)

アドレス MDEB (ユーザブートモード時) : FF7F FFF8h
MDES (シングルチップモード時) : FFFF FF80h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	MDE[2:0]	—
リセット後の値 ユーザの設定値 (注1)															

注1. ブランク品は、FFFF FFFFhです。ユーザでのプログラム後は、プログラムした値になります。

ビット	シンボル	ビット名	機能	R/W
b2-b0	MDE[2:0]	エンディアン選択ビット	b2 b0 0 0 0 : ビッグエンディアン 1 1 1 : リトルエンディアン 上記以外は設定しないでください	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

MDEn (n=B、S) レジスタは、CPU のエンディアンを選択するレジスタです。エンディアンの選択は、ユーザブートモード時は FF7F FFF8h 番地のエンディアン選択レジスタ B (MDEB) で、シングルチップモード時は FFFF FF80h 番地のエンディアン選択レジスタ S (MDES) で行います。

MDEn レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、MDEn レジスタに追加書き込みをしないでください。

MDEn レジスタを含むブロックを消去すると、MDEn レジスタは“FFFF FFFFh”になります。

MDE[2:0] ビット (エンディアン選択ビット)

リトルエンディアン/ビッグエンディアンを選択します。

ユーザブートモードで動作する場合は、ユーザブート領域の FF7F FFF8h の値、シングルチップモードで動作する場合は、ユーザ領域の FFFF FF80h の値でエンディアンを決定します。

7.3 UB コード

UB コード A と UB コード B はユーザブートモードを使用するときに必要なコードです。以下の 4 条件が成立しているときに、リセットを解除するとユーザブートモードで MCU が起動します。

- UB コード A が “55736572h、426F6F74h” である
- UB コード B が “FFFFFF07h、0008C04Ch” である
- MD 端子に Low が入力されている
- PC7 端子に High が入力されている

7.3.1 UB コード A

UB コード A は、32 ビット長 2 ワードのデータです。UB コード A には、“55736572h、426F6F74h” を設定してください。これ以外の値は設定しないでください。

図 7.2 に UB コード A の構成を示します。UB コード A は 32 ビット単位で設定してください。

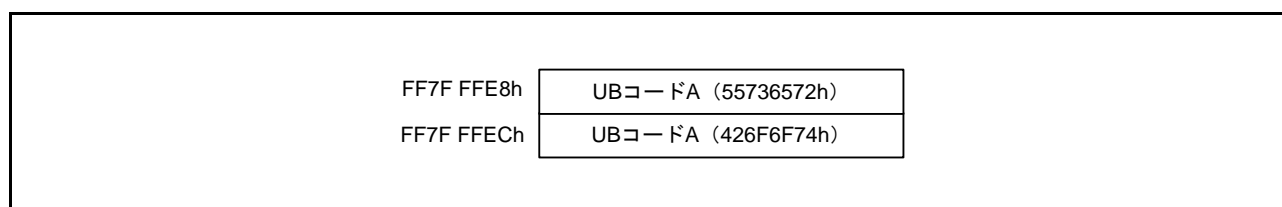


図 7.2 UB コード A の構成

7.3.2 UB コード B

UB コード B は、32 ビット長 2 ワードのデータです。UB コード B には、“FFFFFF07h、0008C04Ch” を設定してください。これ以外の値は設定しないでください。

図 7.3 に UB コード B の構成を示します。UB コード B は 32 ビット単位で設定してください。

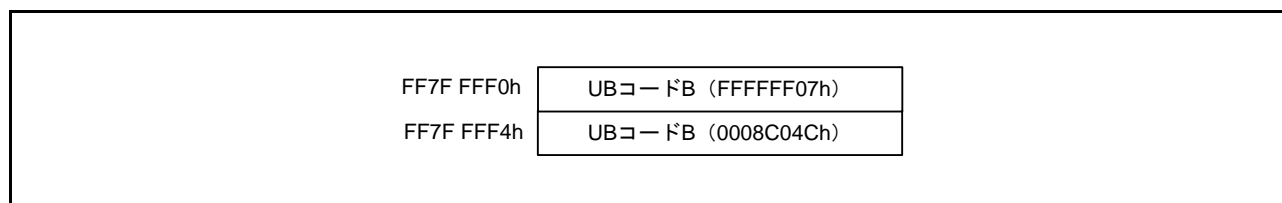


図 7.3 UB コード B の構成

7.4 使用上の注意事項

7.4.1 オプション設定メモリの設定例

オプション設定メモリは ROM 上にありますので、命令の実行では書き換えられません。プログラム作成時に適切な値を書いてください。以下に設定例を示します。

- OFS0 レジスタに “ffff fff8h” を設定する場合
 - .org 0fff ff8ch
 - .lword 0ffffff8h

注．プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

8. 電圧検出回路 (LVDAa)

電圧検出回路は VCC 端子に入力する電圧を監視する回路です。VCC 入力電圧をプログラムで監視できます。

8.1 概要

電圧検出 0 は、オプション機能選択レジスタ 1 (OFS1) で、検出電圧を 4 レベルから選択できます。

電圧検出 1、電圧検出 2 は、電圧検出レベル選択レジスタ (LVDLVLR) で、検出電圧を 16 レベルから選択できます。

電圧検出 2 は、VCC と CMPA2 端子入力電圧の切り替えができます。

電圧監視 0 リセット、電圧監視 1 リセット/割り込み、電圧監視 2 リセット/割り込みを使用できます。

ただし、電圧監視 1 とコンパレータ A1 は電圧検出回路を兼用しているため、電圧監視 1 とコンパレータ A1 を同時に使用することはできません。同様に、電圧監視 2 とコンパレータ A2 も電圧検出回路を兼用しているため、電圧監視 2 とコンパレータ A2 を同時に使用することはできません。

表 8.1 に電圧検出回路の仕様を示します。図 8.1 に電圧検出回路のブロック図を、図 8.2 に電圧監視 1 割り込み/リセット発生回路のブロック図を、図 8.3 に電圧監視 2 割り込み/リセット発生回路のブロック図を示します。

表 8.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC 監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合 LVCMPCR.EXVCCINP2 ビットで VCC と CMPA2 端子への入力電圧の切り替え可能
	検出電圧	OFS1 レジスタで 4 レベルから選択可能	LVDLVLR.LVD1LVL[3:0] ビットで 16 レベルから選択可能	VCC または CMPA2 端子入力電圧選択時で異なる。 LVDLVLR.LVD2LVL[3:0] ビットで 16 レベルから選択可能
	モニタフラグ	なし	LVD1SR.LVD1MON フラグ： Vdet1 より高いか低いかをモニタ LVD1SR.LVD1DET フラグ： Vdet1 通過検出	LVD2SR.LVD2MON フラグ： Vdet2 より高いか低いかをモニタ LVD2SR.LVD2DET フラグ： Vdet2 通過検出
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCC でリセット： VCC > Vdet0 の一定時間後に CPU 動作再開	電圧監視1リセット Vdet1 > VCC でリセット： VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能	電圧監視2リセット Vdet2 > VCC でリセット： VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能
	割り込み	なし	電圧監視1割り込み ノンマスクابلまたはマスクابلを選択可能 Vdet1 > VCC、VCC > Vdet1 の両方、またはどちらかで割り込み要求	電圧監視2割り込み ノンマスクابلまたはマスクابلを選択可能 Vdet2 > VCC、VCC > Vdet2 の両方、またはどちらかで割り込み要求
	デジタルフィルタ	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	LOCO の n 分周 × 2 (n : 1、2、4、8)	LOCO の n 分周 × 2 (n : 1、2、4、8)
	イベントリンク機能	なし	あり Vdet1 通過検出イベント出力	あり Vdet2 通過検出イベント出力

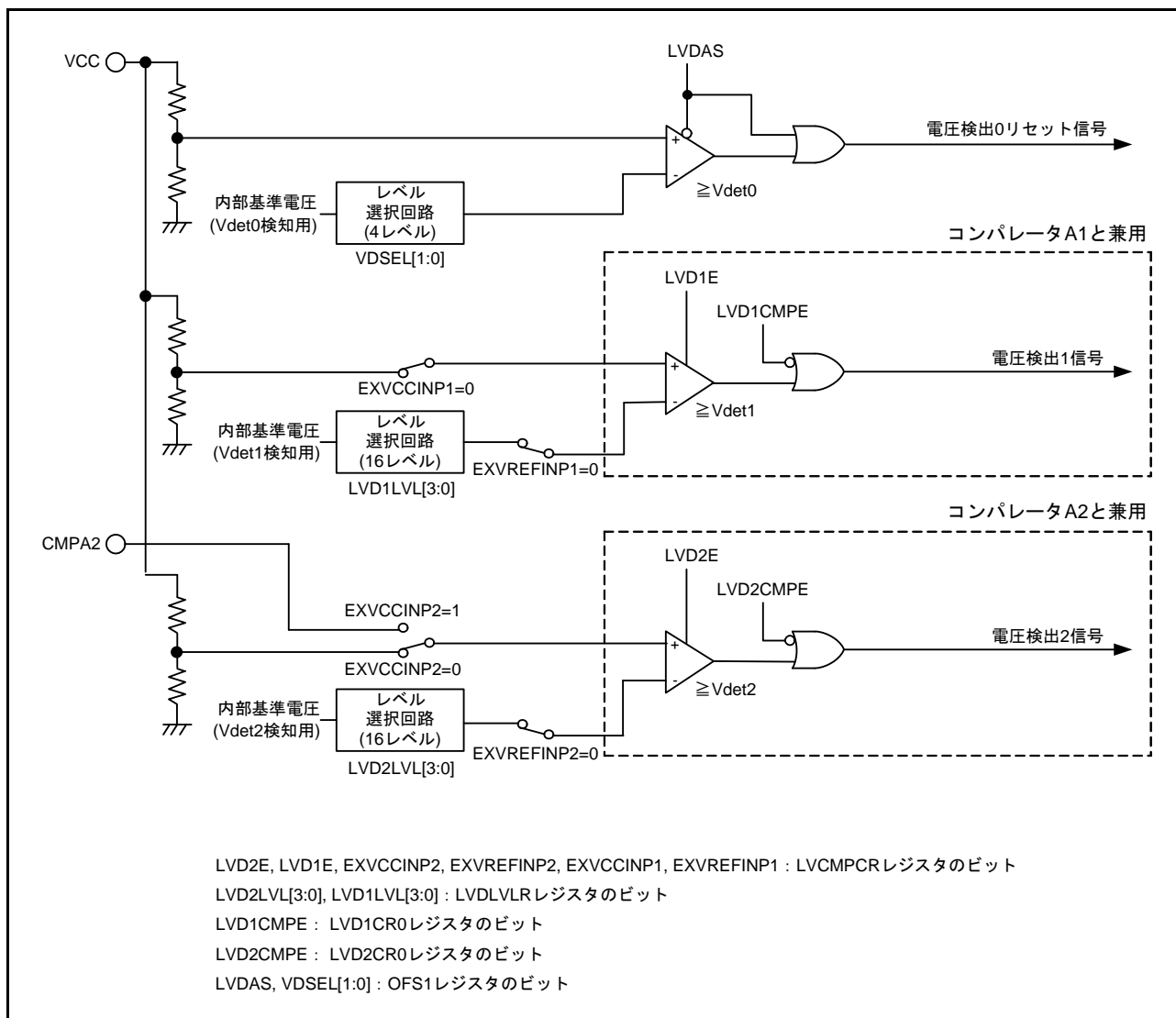


図 8.1 電圧検出回路ブロック図

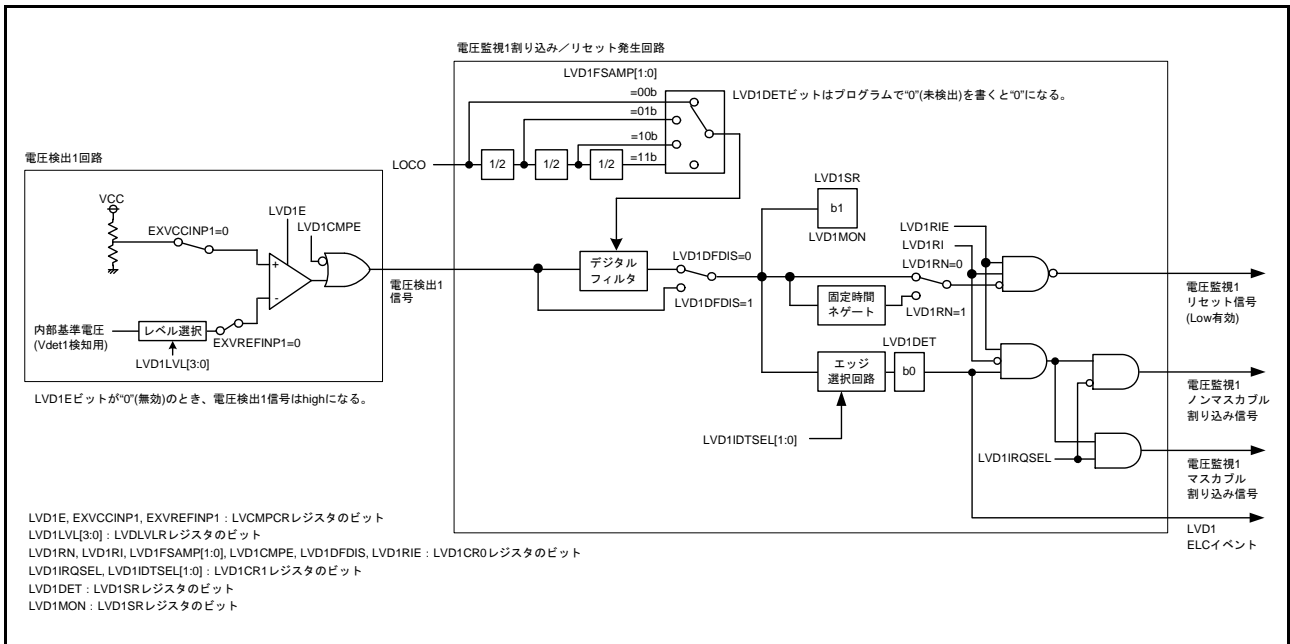


図 8.2 電圧監視 1 割り込み / リセット発生回路のブロック図

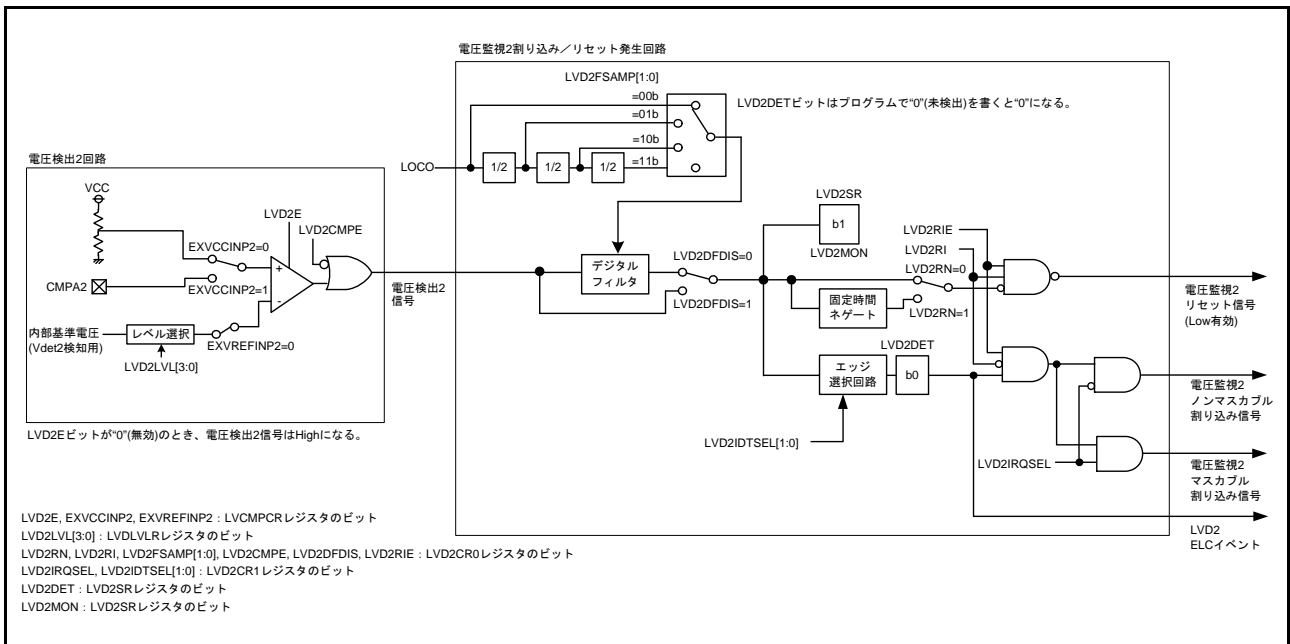


図 8.3 電圧監視 2 割り込み / リセット発生回路のブロック図

表 8.2 に電圧検出回路で使用する入出力端子を示します。

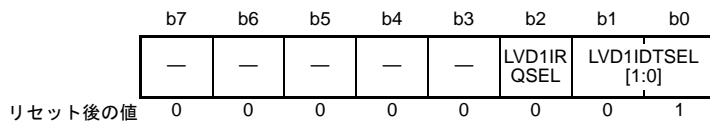
表 8.2 電圧検出回路の入出力端子

端子名	入出力	機能
CMPA2	入力	電圧検出2用検出対象電圧端子

8.2 レジスタの説明

8.2.1 電圧監視1回路 / コンパレータ A1 制御レジスタ 1 (LVD1CR1)

アドレス 0008 00E0h



ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD1IDTSEL [1:0]	電圧監視1/コンパレータA1割り込み ELCイベント発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet1 (上昇) 検出時 0 1 : VCC < Vdet1 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD1IRQSEL	電圧監視1/コンパレータA1割り込み 種類選択ビット	0 : ノンマスクブル割り込み 1 : マスクブル割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

8.2.2 電圧監視 1 回路 / コンパレータ A1 ステータスレジスタ (LVD1SR)

アドレス 0008 00E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1M ON	LVD1D ET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD1DET	電圧監視1/コンパレータA1 電圧変化検出フラグ	0 : 未検出 1 : Vdet1 通過検出	R/(W) (注1)
b1	LVD1MON	電圧監視1/コンパレータA1 信号モニタフラグ	0 : VCC < Vdet1 1 : VCC ≥ Vdet1 または LVD1MON 無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD1DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD1DET フラグ (電圧監視 1/ コンパレータ A1 電圧変化検出フラグ)

LVD1DET フラグは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

LVD1DET フラグを“0”にするときは、LVD1CR0.LVD1RIE ビットを“0”（禁止）にしてから行ってください。再度、LVD1CR0.LVD1RIE ビットを“1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD1MON フラグ (電圧監視 1/ コンパレータ A1 信号モニタフラグ)

LVD1MON フラグは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

8.2.3 電圧監視2回路 / コンパレータ A2 制御レジスタ 1 (LVD2CR1)

アドレス 0008 00E2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	LVD2IR QSEL	LVD2IDTSEL [1:0]	
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD2IDTSEL [1:0]	電圧監視2/コンパレータ A2 割り込み ELCイベント発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet2 (上昇) 検出時 0 1 : VCC < Vdet2 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD2IRQSEL	電圧監視2/コンパレータ A2 割り込み 種類選択ビット	0 : ノンマスクابل割り込み 1 : マスクابل割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

8.2.4 電圧監視 2 回路 / コンパレータ A2 ステータスレジスタ (LVD2SR)

アドレス 0008 00E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2MON	LVD2DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD2DET	電圧監視2/コンパレータ A2 電圧変化検出フラグ	0 : 未検出 1 : Vdet2 通過検出	R/(W) (注1)
b1	LVD2MON	電圧監視2/コンパレータ A2 信号モニタフラグ	0 : VCC < Vdet2 1 : VCC ≥ Vdet2 または LVD2MON 無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD2DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD2DET フラグ（電圧監視 2/ コンパレータ A2 電圧変化検出フラグ）

LVD2DET フラグは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが“1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

LVD2DET フラグを“0”にするときは、LVD2CR0.LVD2RIE ビットを“0”（禁止）にしてから行ってください。再度、LVD2CR0.LVD2RIE ビットを“1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD2MON フラグ（電圧監視 2/ コンパレータ A2 信号モニタフラグ）

LVD2MON フラグは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが“1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

8.2.5 電圧監視回路 / コンパレータ A 制御レジスタ (LVCMPCR)

アドレス 0008 C297h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	EXVCC INP2	EXVRE FINP2	EXVCC INP1	EXVRE FINP1
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXVREFINP1	コンパレータ A1 リファレンス電圧外部入力選択ビット	0: 内部基準電圧 LVD で使用する場合、“0”にしてください	R/W
b1	EXVCCINP1	コンパレータ A1 比較電圧外部入力選択ビット	0: 電源電圧 (VCC) LVD で使用する場合、“0”にしてください	R/W
b2	EXVREFINP2	コンパレータ A2 リファレンス電圧外部入力選択ビット	0: 内部基準電圧 LVD で使用する場合、“0”にしてください	R/W
b3	EXVCCINP2	コンパレータ A2 比較電圧外部入力選択ビット	0: 電源電圧 (VCC) 1: CMPA2 端子入力電圧 (注1)	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	LVD1E	電圧検出 1/コンパレータ A1 許可ビット	0: 電圧検出 1/コンパレータ A1 回路無効 1: 電圧検出 1/コンパレータ A1 回路有効	R/W
b6	LVD2E	電圧検出 2/コンパレータ A2 許可ビット	0: 電圧検出 2/コンパレータ A2 回路無効 1: 電圧検出 2/コンパレータ A2 回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. EXVCCINP2ビットを“1”（CMPA2端子入力電圧）する場合、LVDLVL.R.LVD2LVL[3:0]ビットは“0001b”に設定してください。

LVD1E ビット（電圧検出 1/ コンパレータ A1 許可ビット）

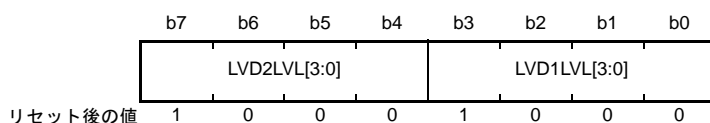
電圧検出 1/ コンパレータ A1 の割り込み / リセットを使用する場合、または LVD1SR.LVD1MON フラグを使用する場合、LVD1E ビットを“1”にしてください。LVD1E ビットを“0”から“1”にした後、td(E-A) 経過してから電圧検出 1/ コンパレータ A1 回路が動作します。また、ディープソフトウェアスタンバイモード時に電圧検出 1/ コンパレータ A1 回路を使用する場合、DPSBYCR.DEEPCUT1 ビットを“1”にしないでください。

LVD2E ビット（電圧検出 2/ コンパレータ A2 許可ビット）

電圧検出 2/ コンパレータ A2 の割り込み / リセットを使用する場合、または LVD2SR.LVD2MON フラグを使用する場合、LVD2E ビットを“1”にしてください。LVD2E ビットを“0”から“1”にした後、td(E-A) 経過してから電圧検出 2/ コンパレータ A2 回路が動作します。また、ディープソフトウェアスタンバイモード時に電圧検出 2/ コンパレータ A2 回路を使用する場合、DPSBYCR.DEEPCUT1 ビットを“1”にしないでください。

8.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス 0008 C298h



ビット	シンボル	ビット名	機能	R/W
b3-b0	LVD1LVL[3:0]	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b0 0 0 0 0 : 4.15V 0 0 0 1 : 4.00V 0 0 1 0 : 3.85V 0 0 1 1 : 3.70V 0 1 0 0 : 3.55V 0 1 0 1 : 3.40V 0 1 1 0 : 3.25V 0 1 1 1 : 3.10V 1 0 0 0 : 2.95V 1 0 0 1 : 2.80V 1 0 1 0 : 2.65V 1 0 1 1 : 2.50V 1 1 0 0 : 2.35V 1 1 0 1 : 2.20V 1 1 1 0 : 2.05V 1 1 1 1 : 1.90V	R/W
b7-b4	LVD2LVL[3:0]	電圧検出2レベル選択ビット (電圧下降時の標準電圧)	(LVCMPCR.EXVCCINP2="0"(VCC 選択)のとき) b7 b4 0 0 0 0 : 4.15V 0 0 0 1 : 4.00V 0 0 1 0 : 3.85V 0 0 1 1 : 3.70V 0 1 0 0 : 3.55V 0 1 0 1 : 3.40V 0 1 1 0 : 3.25V 0 1 1 1 : 3.10V 1 0 0 0 : 2.95V 1 0 0 1 : 2.80V 1 0 1 0 : 2.65V 1 0 1 1 : 2.50V 1 1 0 0 : 2.35V 1 1 0 1 : 2.20V 1 1 1 0 : 2.05V 1 1 1 1 : 1.90V (LVCMPCR.EXVCCINP2="1"(CMPA2端子選択)のとき) b7 b4 0 0 0 1 : 1.33V 上記以外は設定しないでください	R/W

注. このレジスタはPRCR.PRC3ビットを"1" (書き込み許可) にした後で書き換えてください。

LVDLVLR レジスタを変更するときは、LVCMPCR.LVD1E ビットおよびLVCMPCR.LVD2E ビットを共に"0" (電圧検出 n 回路無効) (n=1, 2) にしてから行ってください。

電圧検出 1 回路と電圧検出 2 回路は、同じ検出電圧レベル設定で使用しないでください。電圧検出 0 回路の検出電圧レベルを 1.90V に設定する場合は、誤検知の可能性がありますので、電圧検出 1 回路および電圧検出 2 回路の検出電圧レベルを 1.90V 以外に設定してください。また、電圧検出 0 回路の検出レベルを 2.80V に設定する場合は、誤検知の可能性がありますので、電圧検出 1 回路および電圧検出 2 回路の検出電圧レベルを 2.80V 以外に設定してください。

8.2.7 電圧監視 1 回路 / コンパレータ A1 制御レジスタ 0 (LVD1CR0)

アドレス 0008 C29Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD1RN	LVD1RI	LVD1FSAMP [1:0]	—	LVD1C MPE	LVD1D FDIS	LVD1RI E	
リセット後の値	1	0	0	0	x	0	1	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD1RIE	電圧監視1/コンパレータA1割り込み/ リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	LVD1DFDIS	電圧監視1/コンパレータA1デジタル フィルタ無効モード選択ビット	0 : デジタルフィルタ有効 1 : デジタルフィルタ無効	R/W
b2	LVD1CMPE	電圧監視1回路/コンパレータA1 比較結果出力許可ビット	0 : 電圧監視1回路比較結果出力禁止 1 : 電圧監視1回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてく ださい	R/W
b5-b4	LVD1FSAMP [1:0]	サンプリングクロック選択ビット	b5 b4 00 : LOCOの1分周 01 : LOCOの2分周 10 : LOCOの4分周 11 : LOCOの8分周	R/W
b6	LVD1RI	電圧監視1回路/コンパレータA1 モード選択ビット	0 : Vdet1 通過時に電圧監視1割り込み 1 : 下降してVdet1通過時に電圧監視1リセット	R/W
b7	LVD1RN	電圧監視1/コンパレータA1リセット ネゲート選択ビット	0 : VCC > Vdet1 検出から一定時間 (tLVD1) 経過後 にネゲート 1 : LVD1リセットアサートから一定時間 (tLVD1) 経 過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVD1RIE ビット（電圧監視 1/ コンパレータ A1 割り込み / リセット許可ビット）

フラッシュメモリのプログラム / イレーズ中は、電圧監視 1 リセットおよび電圧監視 1 ノンマスカブル割り込みを発生させないでください。

LVD1DFDIS ビット（電圧監視 1/ コンパレータ A1 デジタルフィルタ無効モード選択ビット）

LVD1DFDIS ビットを“0”（デジタルフィルタ回路有効）にする場合は、LOCOCR.LCSTP ビットは“0”（LOCO 動作）にしてください。

電圧監視 1 回路をソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード時に使用する場合、LVD1DFDIS ビットを“1”（デジタルフィルタ回路無効）にしてください。

LVD1FSAMP[1:0] ビット（サンプリングクロック選択ビット）

LVD1FSAMP[1:0] ビットは、LVD1DFDIS ビットが“1”（デジタルフィルタ回路無効）のときのみ書き換え可能です。LVD1DFDIS ビットが“0”（デジタルフィルタ回路有効）のときには、LVD1FSAMP[1:0] ビットを書き換えしないでください。

LVD1RI ビット (電圧監視 1 回路 / コンパレータ A1 モード選択ビット)

LVD1RI ビットが“1” (電圧監視 1 リセット選択)、または LVD2CR0.LVD2RI ビットが“1” (電圧監視 2 リセット選択) の場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合は、ソフトウェアスタンバイモードへ移行します。ディープソフトウェアスタンバイモードへ移行するには、LVD1RI ビットを“0” (電圧監視 1 割り込み選択)、かつ LVD2CR0.LVD2RI ビットを“0” (電圧監視 2 割り込み選択) にしてください。

LVD1RN ビット (電圧監視 1 / コンパレータ A1 リセットネゲート選択ビット)

LVD1RN ビットを“1” (電圧監視 1 リセットアサートから一定時間経過後にネゲート) にする場合は、LOCOCR.LCSTP ビットは“0” (LOCO 動作) にしてください。また、ソフトウェアスタンバイモードあるいはディープソフトウェアスタンバイモードへ移行する場合は、LVD1RN ビットを“0” (VCC > Vdet1 検出から一定時間経過後にネゲート) にすることのみ可能です。LVD1RN ビットを“1” (電圧監視 1 リセットアサートから一定時間経過後にネゲート) にしないでください。

8.2.8 電圧監視 2 回路 / コンパレータ A2 制御レジスタ 0 (LVD2CR0)

アドレス 0008 C29Bh

b7	b6	b5	b4	b3	b2	b1	b0
LVD2RN	LVD2RI	LVD2FSAMP [1:0]	—	LVD2C MPE	LVD2D FDIS	LVD2RI E	
リセット後の値	1	0	0	0	x	0	1

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD2RIE	電圧監視2/コンパレータ A2 割り込み/リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	LVD2DFDIS	電圧監視2/コンパレータ A2 デジタル フィルタ無効モード選択ビット	0 : デジタルフィルタ有効 1 : デジタルフィルタ無効	R/W
b2	LVD2CMPE	電圧監視2回路/コンパレータ A2 比較結果出力許可ビット	0 : 電圧監視2回路比較結果出力禁止 1 : 電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてく ださい	R/W
b5-b4	LVD2FSAMP [1:0]	サンプリングクロック選択ビット	b5 b4 00 : LOCOの1分周 01 : LOCOの2分周 10 : LOCOの4分周 11 : LOCOの8分周	R/W
b6	LVD2RI	電圧監視2回路/コンパレータ A2 モード 選択ビット	0 : Vdet2通過時に電圧監視2割り込み 1 : 下降してVdet2通過時に電圧監視2リセット	R/W
b7	LVD2RN	電圧監視2/コンパレータ A2 リセット ネゲート選択ビット	0 : VCC > Vdet2検出から一定時間 (tLVD2) 経過後 にネゲート 1 : LVD2リセットアサートから一定時間 (tLVD2) 経 過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVD2RIE ビット（電圧監視 2 割り込み / コンパレータ A2 / リセット許可ビット）

フラッシュメモリのプログラム / イレーズ中は、電圧監視 2 リセットおよび電圧監視 2 ノンマスカブル割り込みを発生させないでください。

LVD2DFDIS ビット（電圧監視 2 / コンパレータ A2 デジタルフィルタ無効モード選択ビット）

LVD2DFDIS ビットを“0”（デジタルフィルタ回路有効）にする場合は、LOCOCR.LCSTP ビットは“0”（LOCO 動作）にしてください。

電圧監視 2 回路をソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード時に使用する場合、LVD2DFDIS ビットを“1”（デジタルフィルタ回路無効）にしてください。

LVD2FSAMP[1:0] ビット（サンプリングクロック選択ビット）

LVD2FSAMP[1:0] ビットは、LVD2DFDIS ビットが“1”（デジタルフィルタ回路無効）のときのみ書き換え可能です。LVD2DFDIS ビットが“0”（デジタルフィルタ回路有効）のときには、LVD2FSAMP[1:0] ビットを書き換えないでください。

LVD2RI ビット (電圧監視 2 回路 / コンパレータ A2 モード選択ビット)

LVD2RI ビットが“1” (電圧監視 2 リセット選択)、または LVD1CR0.LVD1RI ビットが“1” (電圧監視 1 リセット選択) の場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合は、ソフトウェアスタンバイモードへ移行します。ディープソフトウェアスタンバイモードへ移行するには、LVD2RI ビットを“0” (電圧監視 2 割り込み選択)、かつ LVD1CR0.LVD1RI ビットを“0” (電圧監視 1 割り込み選択) にしてください。

LVD2RN ビット (電圧監視 2 / コンパレータ A2 リセットネゲート選択ビット)

LVD2RN ビットを“1” (電圧監視 2 リセットアサートから一定時間経過後にネゲート) にする場合は、LOCOCR.LCSTP ビットは“0” (LOCO 動作) にしてください。また、ソフトウェアスタンバイモードあるいはディープソフトウェアスタンバイモードへ移行する場合は、LVD2RN ビットを“0” (VCC > Vdet2 検出から一定時間経過後にネゲート) にすることのみ可能です。LVD2RN ビットを“1” (電圧監視 2 リセットアサートから一定時間経過後にネゲート) にしないでください。

8.3 VCC 入力電圧のモニタ

8.3.1 Vdet0 のモニタ

Vdet0 のモニタはできません。

8.3.2 Vdet1 のモニタ

表 8.3 に Vdet1 のモニタの設定手順を示します。設定後、LVD1SR.LVD1MON フラグで電圧監視 1 の比較結果をモニタできます。

表 8.3 Vdet1 のモニタの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	LVDLVLR.LVD1LVL[3:0]ビット (電圧検出1 検出電圧) を設定する	
2	LVCMPPCR.EXVREFINP1ビットを“0” (内部基準電圧) にする。 LVCMPPCR.EXVCCINP1ビットを“0” (VCC 電圧) にする	
3	LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する	LVD1CR0.LVD1DFDIS ビットを“1” (デジタルフィルタ無効) にする
4	LVCMPPCR.LVD1E ビットを“1” (電圧検出1 回路有効) にする	
5	td(E-A) 以上待つ	
6	LVD1CR0.LVD1CMPE ビットを“1” (電圧監視1 回路比較結果出力許可) にする	
7	LOCO の1 サイクル以上待つ	—
8	LVD1CR0.LVD1DFDIS ビットを“0” (デジタルフィルタ有効) にする	—
9	LOCO の2n+3 サイクル以上待つ (n=1、2、4、8 : デジタルフィルタのサンプリングクロック=LOCO のn 分周)	— (待ち時間なし)

8.3.3 Vdet2 のモニタ

表 8.4 に Vdet2 のモニタの設定手順を示します。設定後、LVD2SR.LVD2MON フラグで電圧監視 2 の比較結果をモニタできます。

表 8.4 Vdet2 のモニタの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	LVDLVLR.LVD2LVL[3:0]ビット (電圧検出2 検出電圧) を設定する	
2	LVCMPPCR.EXVREFINP2ビットを“0” (内部基準電圧) にする。 LVCMPPCR.EXVCCINP2ビットを“0” (VCC 電圧) または“1” (CMPA2 端子入力電圧) にする	
3	LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する	LVD2CR0.LVD2DFDIS ビットを“1” (デジタルフィルタ無効) にする
4	LVCMPPCR.LVD2E ビットを“1” (電圧検出2 回路有効) にする	
5	td(E-A) 以上待つ	
6	LVD2CR0.LVD2CMPE ビットを“1” (電圧監視2 回路比較結果出力許可) にする	
7	LOCO の1 サイクル以上待つ	—
8	LVD2CR0.LVD2DFDIS ビットを“0” (デジタルフィルタ有効) にする	—
9	LOCO の2n+3 サイクル以上待つ (n=1、2、4、8 : デジタルフィルタのサンプリングクロック=LOCO のn 分周)	— (待ち時間なし)

8.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、電圧検出0回路起動ビット (OFS1.LVDAS) を“0” (リセット後、電圧監視0リセット有効) にしてください。

図 8.4 に電圧監視0リセット動作例を示します。

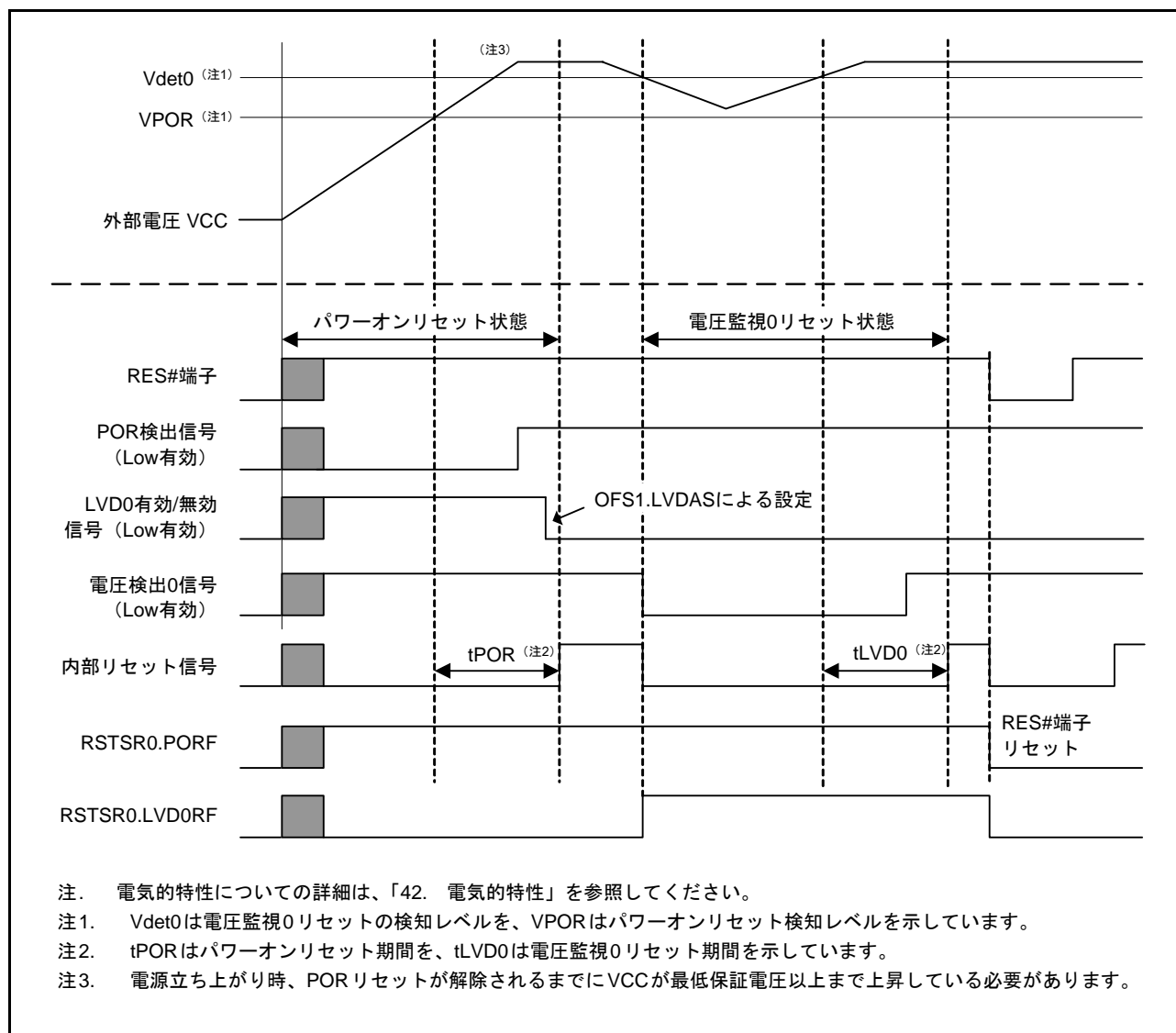


図 8.4 電圧監視0リセット動作例

8.5 電圧監視 1 割り込み、電圧監視 1 リセット

表 8.5 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を、表 8.6 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を、図 8.5 に電圧監視 1 割り込み動作例を示します。電圧監視 1 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

なお、電圧監視 1 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時に使用する場合は、LVD1CR0.LVD1DFDIS ビットを“1”（デジタルフィルタ無効）にしてください。

表 8.5 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視 1 割り込み、 電圧監視 1 ELC イベント出力	電圧監視 1 リセット	電圧監視 1 割り込み、 電圧監視 1 ELC イベント出力	電圧監視 1 リセット
1 (注2)	LVD1VLR.LVD1LVL[3:0] ビットで検出電圧を選択する			
2 (注2)	LVCMPER.EXVREFINP1 ビットを“0”（内部基準電圧）にする。 LVCMPER.EXVCCINP1 ビットを“0”（VCC 電圧）にする			
3 (注1)	LVD1CR0.LVD1FSAMP[1:0] ビットでデジタルフィルタの サンプリングクロックを選択する		LVD1CR0.LVD1DFDIS ビットを“1”（デジタルフィルタ無 効）にする	
4 (注1、注2)	LVD1CR0.LVD1RI ビットを “0”（電圧監視 1 割り込み） にする	LVD1CR0.LVD1RI ビットを “1”（電圧監視 1 リセット） にする。 LVD1CR0.LVD1RN ビット でリセットネゲートの種類 を選択する	LVD1CR0.LVD1RI ビットを “0”（電圧監視 1 割り込み） にする	LVD1CR0.LVD1RI ビットを “1”（電圧監視 1 リセット） にする。 LVD1CR0.LVD1RN ビット でリセットネゲートの種類 を選択する
5	LVD1CR1.LVD1IDTSEL[1:0] ビットで割り込み要求のタ イミングを選択する。 LVD1CR1.LVD1IRQSEL ビットで割り込みの種類を 選択する	—	LVD1CR1.LVD1IDTSEL[1:0] ビットで割り込み要求のタ イミングを選択する。 LVD1CR1.LVD1IRQSEL ビットで割り込みの種類を 選択する	—
6	—	LVD1CR0.LVD1RIE ビット を“1”（電圧監視 1 割り込み/ リセット許可）にする	—	LVD1CR0.LVD1RIE ビット を“1”（電圧監視 1 割り込み/ リセット許可）にする
7 (注2)	LVCMPER.LVD1E ビットを“1”（電圧検出 1 回路有効）にする			
8 (注2)	td(E-A) 以上待つ			
9	LVD1CR0.LVD1CMPE ビットを“1”（電圧監視 1 回路比較結果出力許可）にする			
10	LOCO の 1 サイクル以上待つ		—	
11	LVD1CR0.LVD1DFDIS ビットを“0”（デジタルフィルタ有 効）にする		—	
12	LOCO の $2n+3$ サイクル以上待つ ($n=1,2,4,8$: デジタル フィルタのサンプリングクロック = LOCO の n 分周)			
13	LVD1SR.LVD1DET ビット を“0”にする	—	LVD1SR.LVD1DET ビット を“0”にする	—
14	LVD1CR0.LVD1RIE ビット を“1”（電圧監視 1 割り込み/ リセット許可）にする	—	LVD1CR0.LVD1RIE ビット を“1”（電圧監視 1 割り込み/ リセット許可）にする	—

注1. 手順3と4は同時に(1命令で)実行してもかまいません。

注2. 電圧監視 1 割り込み設定(LVD1CR0.LVD1RI=“0”) で動作させている場合で、停止後にLVD1CR0.LVD1DFDIS, LVD1FSAMP
ビットまたはLVD1CR1.LVD1IRQSEL, LVD1IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電
圧検出回路関連の設定を変更せずに再動作させる場合は、手順1、2、4、7、8は不要です。電圧監視 1 リセット設定
(LVD1CR0.LVD1RI=“1”) で動作させている場合の変更は、上記手順1～14で設定してください。

表 8.6 電圧監視1 割り込み、電圧監視1 リセット関連ビットの停止設定手順

手順	電圧監視1 割り込み、 電圧監視1 ELC イベント出力	電圧監視1 リセット
1	LVD1CR0.LVD1RIE ビットを“0” (電圧監視1 割り込み/リセット禁止) にする	—
2	LVD1CR0.LVD1CMPE ビットを“0” (電圧監視1 回路比較結果出力禁止) にする	
3 (注1)	LVCMPCR.LVD1E ビットを“0” (電圧検出1 回路無効) にする	
4	—	LVD1CR0.LVD1RIE ビットを“0” (電圧監視1 割り込み/リセット禁止) にする
5	LVCMPCR.LVD1E、LVD1CR0.LVD1RIE、LVD1CR0.LVD1CMPE を除く電圧検出回路関連レジスタの設定を変更する	

注1. 電圧監視1 割り込み設定 (LVD1CR0.LVD1RIE=“0”) で動作させている場合で、停止後に LVD1CR0.LVD1DFDIS, LVD1FSAMP ビットまたは LVD1CR1.LVD1IRQSEL, LVD1IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順3は不要です。電圧監視1 リセット設定 (LVD1CR0.LVD1RIE=“1”) で動作させている場合の変更は、上記手順1～5で設定してください。

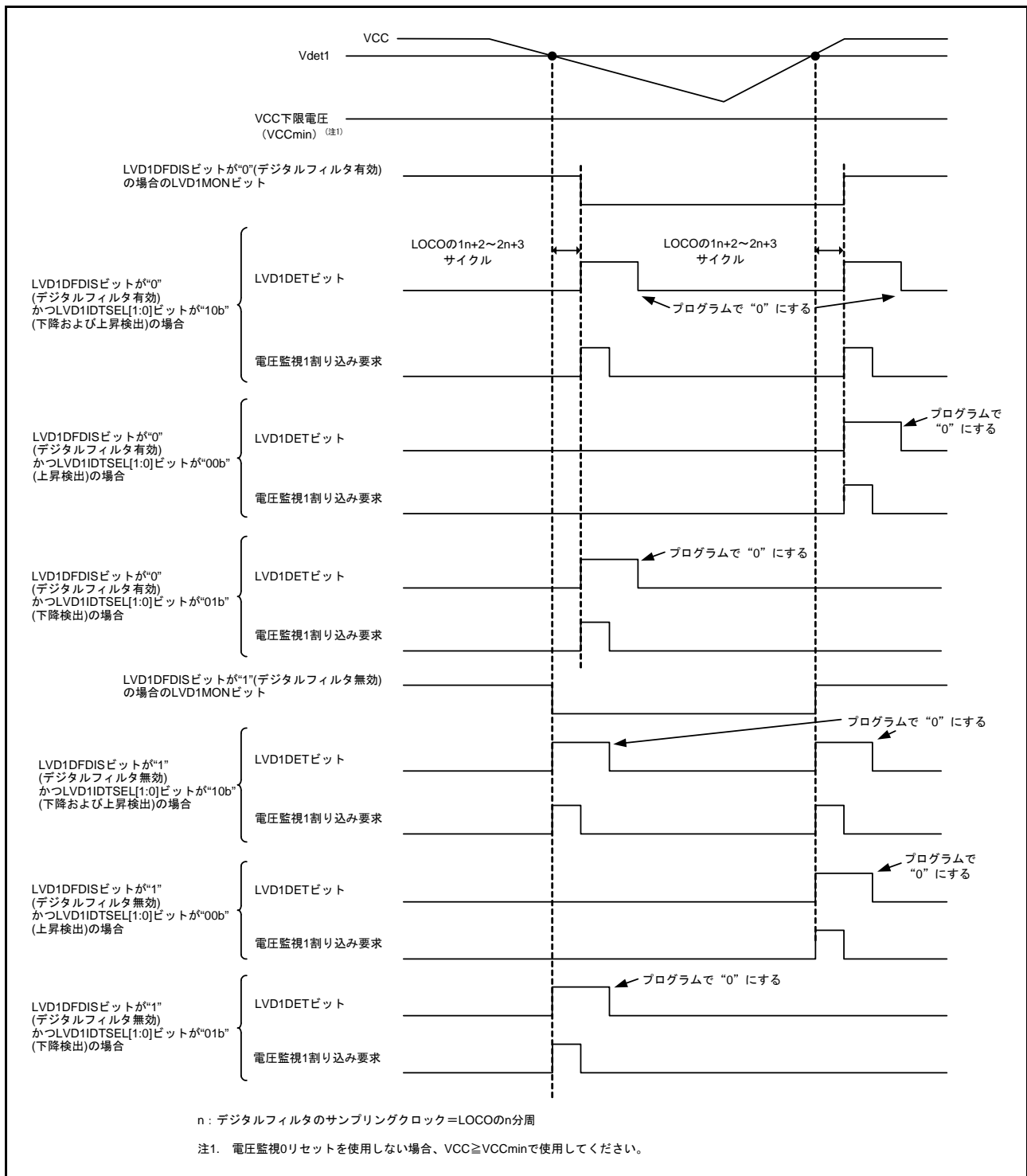


図 8.5 電圧監視 1 割り込み動作例

8.6 電圧監視 2 割り込み、電圧監視 2 リセット

表 8.7 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を、表 8.8 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を、図 8.6 に電圧監視 2 割り込み動作例を示します。電圧監視 2 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

なお、電圧監視 2 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時に使用する場合は、LVD2CR0.LVD2DFDIS ビットを“1”（デジタルフィルタ無効）にしてください。

表8.7 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視2割り込み、 電圧監視2ELCイベント出力	電圧監視2リセット	電圧監視2割り込み、 電圧監視2ELCイベント出力	電圧監視2リセット
1 (注2)	LVDLVLRLVD2LVL[3:0] ビットで検出電圧を選択する。			
2 (注2)	LVCMPER.EXVREFINP2 ビットを“0”（内部基準電圧）にする。 LVCMPER.EXVCCINP2 ビットを“0”（VCC 電圧）または“1”（CMPA2端子入力電圧）にする			
3 (注1)	LVD2CR0.LVD2FSAMP[1:0] ビットでデジタルフィルタの サンプリングクロックを選択する		LVD2CR0.LVD2DFDIS ビットを“1”（デジタルフィルタ無 効）にする	
4 (注1、注2)	LVD2CR0.LVD2RI ビットを “0”（電圧監視 2 割り込み） にする	LVD2CR0.LVD2RI ビットを “1”（電圧監視 2 リセット） にする。 LVD2CR0.LVD2RN ビット でリセットネゲートの種類 を選択する	LVD2CR0.LVD2RI ビットを “0”（電圧監視 2 割り込み） にする	LVD2CR0.LVD2RI ビットを “1”（電圧監視 2 リセット） にする。 LVD2CR0.LVD2RN ビット でリセットネゲートの種類 を選択する
5	LVD2CR1.LVD2IDTSEL[1:0] ビットで割り込み要求のタイ ミングを選択する。 LVD2CR1.LVD2IRQSEL ビットで割り込みの種類を 選択する	—	LVD2CR1.LVD2IDTSEL[1:0] ビットで割り込み要求のタイ ミングを選択する。 LVD2CR1.LVD2IRQSEL ビットで割り込みの種類を 選択する	—
6	—	LVD2CR0.LVD2RIE ビット を“1”（電圧監視 2 割り込み/ リセット許可）にする	—	LVD2CR0.LVD2RIE ビット を“1”（電圧監視 2 割り込み/ リセット許可）にする
7 (注2)	LVCMPER.LVD2E ビットを“1”（電圧検出 2 回路有効）にする			
8 (注2)	td(E-A) 以上待つ			
9	LVD2CR0.LVD2CMPE ビットを“1”（電圧監視 2 回路比較結果出力許可）にする。			
10	LOCO の 1 サイクル以上待つ		—	
11	LVD2CR0.LVD2DFDIS ビットを“0”（デジタルフィルタ有 効）にする		—	
12	LOCO の 2n+3 サイクル以上待つ (n=1,2,4,8 : デジタル フィルタのサンプリングクロック=LOCO の n 分周)			
13	LVD2SR.LVD2DET ビット を“0”にする	—	LVD2SR.LVD2DET ビット を“0”にする	—
14	LVD2CR0.LVD2RIE ビット を“1”（電圧監視 2 割り込み/ リセット許可）にする	—	LVD2CR0.LVD2RIE ビット を“1”（電圧監視 2 割り込み/ リセット許可）にする	—

注1. 手順3 と 4 は同時に(1 命令で)実行してもかまいません。
 注2. 電圧監視 2 割り込み設定(LVD2CR0.LVD2RI=“0”) で動作させている場合で、停止後にLVD2CR0.LVD2DFDIS, LVD2FSAMP
 ビットまたはLVD2CR1.LVD2IRQSEL, LVD2IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電
 圧検出回路関連の設定を変更せずに再動作させる場合は、手順1、2、4、7、8 は不要です。電圧監視 2 リセット設定
 (LVD2CR0.LVD2RI=“1”) で動作させている場合の変更は、上記手順1～14 で設定してください。

表 8.8 電圧監視2 割り込み、電圧監視2 リセット関連ビットの停止設定手順

手順	電圧監視2割り込み、電圧監視2ELC イベント出力	電圧監視2リセット
1	LVD2CR0.LVD2RIE ビットを“0”（電圧監視2割り込み/リセット禁止）にする	—
2	LVD2CR0.LVD2CMPE ビットを“0”（電圧監視2回路比較結果出力禁止）にする	
3（注1）	LVCMPCR.LVD2E ビットを“0”（電圧検出2回路無効）にする	
4	—	LVD2CR0.LVD2RIE ビットを“0”（電圧監視2割り込み/リセット禁止）にする
5	LVCMPCR.LVD2E、LVD2CR0.LVD2RIE、LVD2CR0.LVD2CMPE を除く電圧検出回路関連レジスタの設定を変更する	

注1. 電圧監視2 割り込み設定 (LVD2CR0.LVD2RI=“0”) で動作させている場合で、停止後に LVD2CR0.LVD2DFDIS, LVD2FSAMP ビットまたは LVD2CR1.LVD2IRQSEL, LVD2IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順3は不要です。電圧監視2リセット設定 (LVD2CR0.LVD2RI=“1”) で動作させている場合の変更は、上記手順1～5で設定してください。

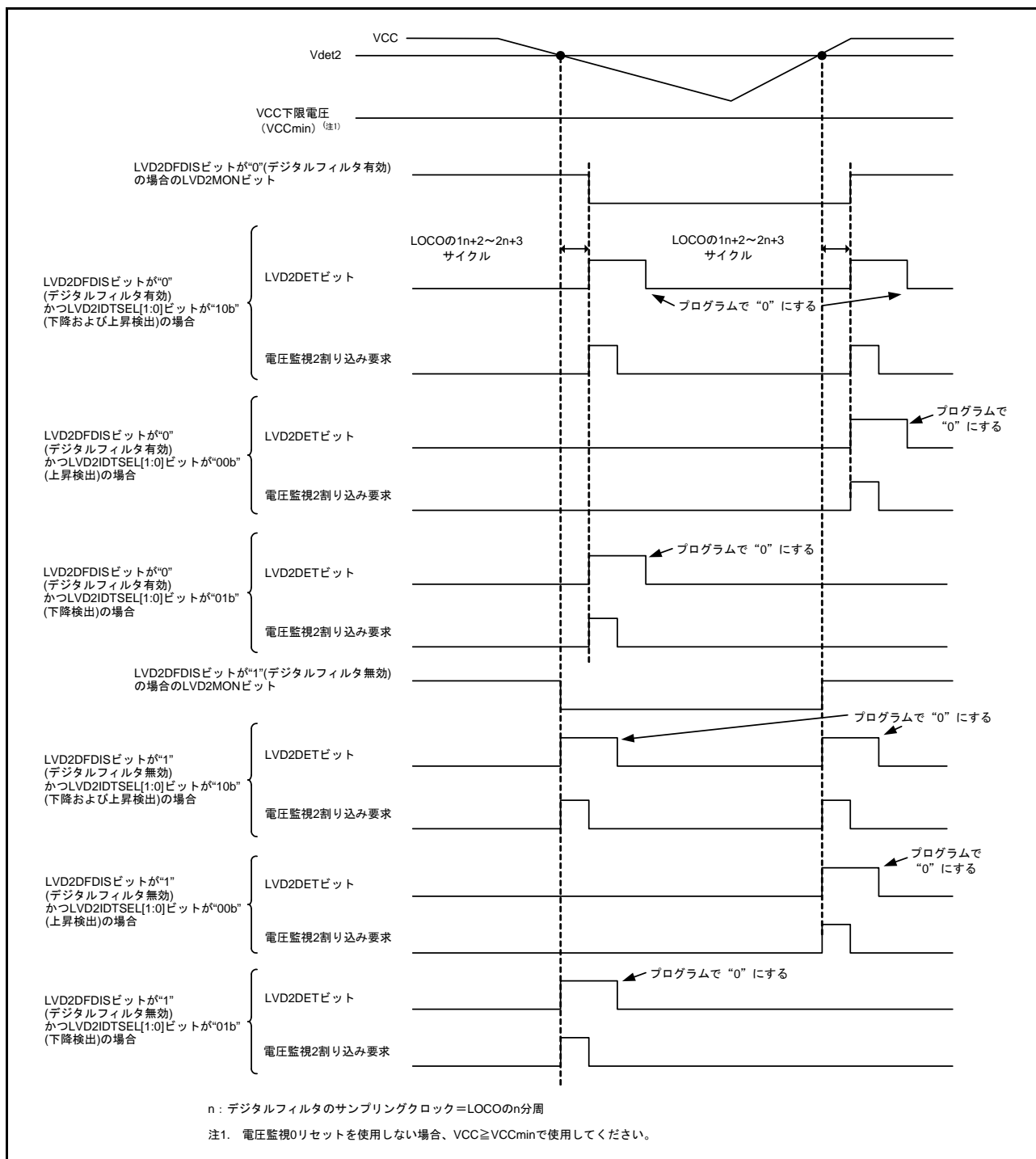


図 8.6 電圧監視 2 割り込み動作例

8.7 イベントリンク出力機能

イベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。

(1) Vdet1 通過検出イベント出力

電圧検出 1 回路有効かつ電圧検出 1 回路比較結果出力許可の状態において、Vdet1 通過を検出した場合にイベントを出力します。

(2) Vdet2 通過検出イベント出力

電圧検出 2 回路有効かつ電圧検出 2 回路比較結果出力許可の状態において、Vdet2 通過を検出した場合にイベントを出力します。

LVD のイベントリンク出力機能を有効にする場合は、LVD の有効設定を行った後で、ELC 側の LVD イベントリンク機能を有効にしてください。また、LVD のイベントリンク出力機能を停止する場合は、LVD の停止設定を行う前に、ELC 側の LVD イベントリンク機能を無効にしてください。

8.7.1 割り込み処理とイベントリンクの関係

電圧検出回路には、電圧監視 1 割り込み、電圧監視 2 割り込みそれぞれに割り込み許可 / 禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

ソフトウェアスタンバイモード中、ディープソフトウェアスタンバイモード中でも電圧監視 1、電圧監視 2 割り込みを出力することができますが、ELC 用のイベント信号の出力については、以下の通りです。

- ソフトウェアスタンバイモード期間中に Vdet1/Vdet2 通過検出した場合、ソフトウェアスタンバイモード期間中はクロックが供給されていないため ELC 用のイベント信号は出力しません。ただし、Vdet1/Vdet2 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、Vdet1/Vdet2 通過検出フラグにしたがって ELC 用のイベント信号が出力されます。
- ディープソフトウェアスタンバイモード期間中に Vdet1/Vdet2 通過検出した場合は、ELC 用のイベント信号は出力しません。

9. クロック発生回路

9.1 概要

RX210 グループには、クロック発生回路を内蔵しています。

表 9.1 にクロック発生回路の仕様を、図 9.1 にクロック発生回路のブロック図を示します。

表9.1 クロック発生回路の仕様

項目	内容
用途	<ul style="list-style-type: none"> • CPU、DMAC、DTC、ROMおよびRAMに供給されるシステムクロック (ICLK) の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKB、PCLKD) の生成 周辺モジュールクロック (PCLKD)はS12AD用、周辺モジュールクロック (PCLKB)は、S12AD以外の周辺モジュール用の動作クロックです。 • FlashIFに供給されるFlashIFクロック (FCLK) の生成 • 外部バスに供給される外部バスクロック (BCLK) の生成 • CACに供給されるCACクロック (CACCLK) の生成 • RTCに供給されるRTC専用サブクロック (RTCSCLK) の生成 • IWDTに供給されるIWDT専用クロック (IWDTCCLK) の生成
動作周波数 (注1)	<ul style="list-style-type: none"> • ICLK : 50MHz (max) • PCLKB : 32MHz (max) • PCLKD : 50MHz (max) • FCLK : 4MHz~32MHz (ROM、E2データフラッシュ P/E時) 32MHz (max) (E2データフラッシュ読み出し時) • BCLK : 25MHz (max) • BCLK端子出力 : 12.5MHz (max) • CACCLK : 各発振器のクロックと同じ • RTCSCLK : 32.768kHz • IWDTCCLK : 125kHz
メインクロック発振器	<ul style="list-style-type: none"> • 発振器周波数 : 1MHz~20MHz • 外部クロック入力周波数 : 20MHz (max) • 接続できる発振器、または付加回路 : セラミック共振子、水晶振動子 • 接続端子 : EXTAL、XTAL • 発振停止検出機能 : メインクロックの発振停止検出時、LOCOに切り替える機能、MTUの端子をハイインピーダンスにする機能
サブクロック発振器	<ul style="list-style-type: none"> • 発振器周波数 : 32.768kHz • 接続できる発振器、または付加回路 : 水晶振動子 • 接続端子 : XCIN、XCOUT
PLL回路	<ul style="list-style-type: none"> • 入力クロック源 : メインクロック • 入力分周比 : 1、2、4分周から選択可能 • 入力周波数 : 4MHz~12.5MHz • 逡倍比 : 8、10、12、16、20、24、25逡倍から選択可能 • VCO発振周波数 : 50MHz~100MHz
高速オンチップオシレータ (HOCO)	<ul style="list-style-type: none"> • 発振周波数 : 32MHz/36.864MHz/40MHz/50MHz • HOCO電源制御
低速オンチップオシレータ (LOCO)	発振周波数 : 125kHz
IWDT専用オンチップオシレータ	発振周波数 : 125kHz
BCLK端子の出力制御機能	<ul style="list-style-type: none"> • BCLKクロック出力またはHigh出力の選択が可能 • 出力するクロックはBCLKまたはBCLKの2分周の選択が可能

注1. 高速動作モードでの最大動作周波数です。その他の動作電力モードにおける最大動作周波数については、「11.2.5 動作電力コントロールレジスタ (OPCCR)」を参照してください。

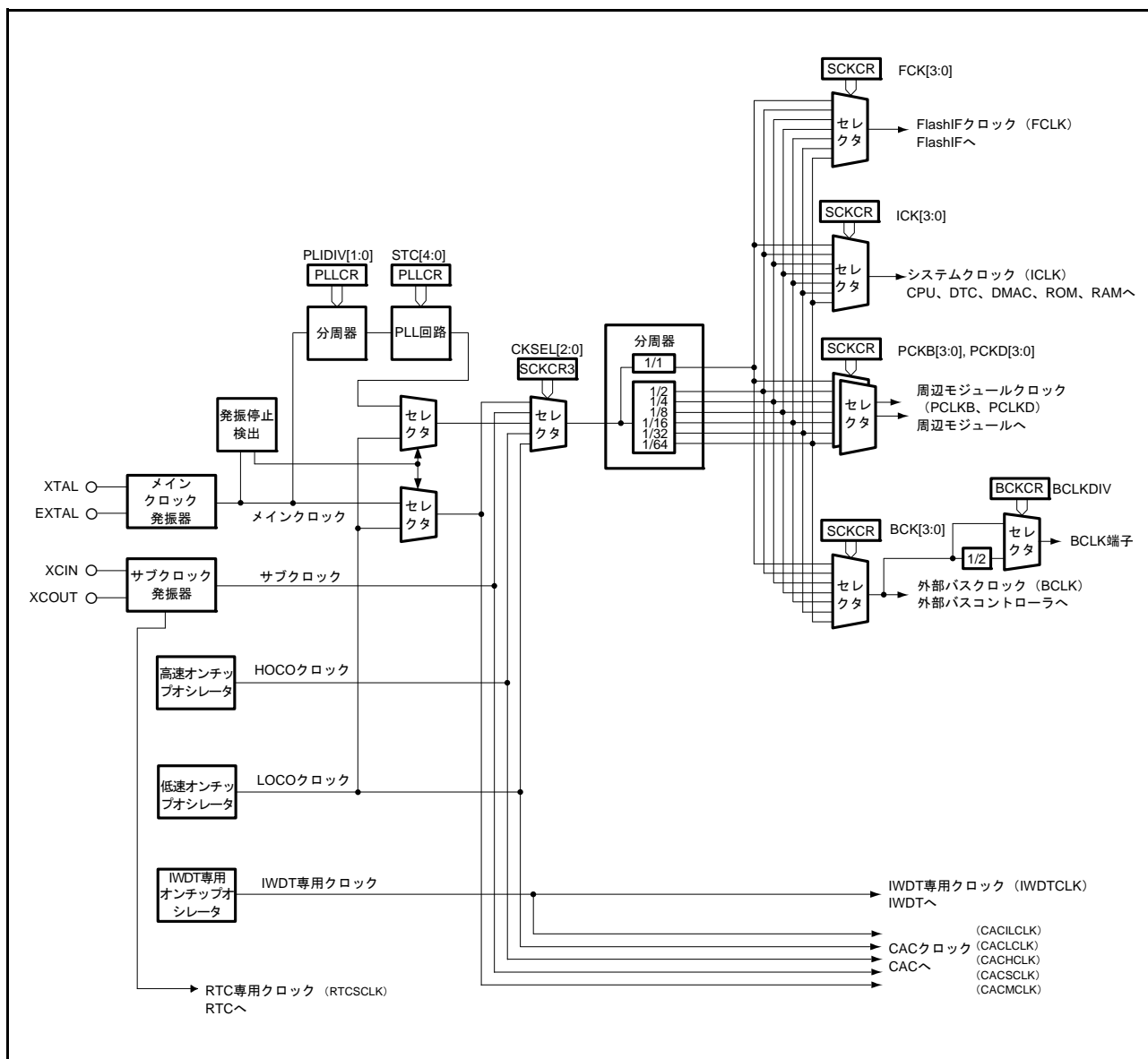


図 9.1 クロック発生回路のブロック図

表 9.2 にクロック発生回路の入出力端子を示します。

表9.2 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	発振子接続端子。EXTAL端子は外部クロックの入力も可能。詳細は、「9.3.2 外部クロックを入力する方法」参照
EXTAL	入力	
XCIN	入力	32.768kHzの水晶振動子を接続
XCOU	出力	
BCLK	出力	外部デバイスに外部バスクロック (BCLK) を供給します

9.2 レジスタの説明

9.2.1 システムクロックコントロールレジスタ (SCKCR)

アドレス 0008 0020h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
FCK[3:0]				ICK[3:0]				PSTOP1	—	—	—	BCK[3:0]			
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—				PCKB[3:0]				—	—	—	—	PCKD[3:0]			
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PCKD[3:0]	周辺モジュールクロック D (PCLKD) 選択ビット (注1、注2)	b3 b0 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	“0001b”を設定してください	R/W
b11-b8	PCKB[3:0] (注3)	周辺モジュールクロック B (PCLKB) 選択ビット (注1)	b11 b8 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b15-b12	—	予約ビット	“0001b”を設定してください	R/W
b19-b16	BCK[3:0]	外部バスクロック (BCLK) 選択ビット (注1、注2)	b19 b16 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W

ビット	シンボル	ビット名	機能	R/W
b22-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23	PSTOP1	BCLK端子出力制御ビット (注3)	0 : BCLK端子出力動作 1 : BCLK端子出力停止 (Highレベル固定)	R/W
b27-b24	ICK[3:0]	システムクロック (ICK) 選択ビット (注1、注2)	b27 b24 0 0 0 0 : 1分周 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 上記以外は設定しないでください	R/W
b31-b28	FCK[3:0]	FlashIFクロック (FCLK) 選択ビット (注1)	b31 b28 0 0 0 0 : 1分周 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 上記以外は設定しないでください	R/W

- 注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。
システムクロック (ICK) と外部バスクロック (BCLK) との間には以下の周波数関係が必要です。
ICK ≥ BCLK
BCLKを使用しない場合は、ICKとPCLKBの分周設定の大きい方をSCKCR.BCK[3:0]ビットに設定してください。ただし、この設定でBCLKが25MHzを超える場合は、25MHzを超えない最大の分周比をSCKCR.BCK[3:0]ビットに設定してください。
- 注1. PLL選択時は1分周は設定禁止です。
注2. ICKは外部バスクロックより低い周波数を設定しないでください。
注3. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

SCKCR レジスタへの書き込み後、後続の命令でSCKCR レジスタ、SCKCR3 レジスタ、BCKCR レジスタのいずれかのレジスタへ書き込みをする場合、以下の手順に従ってください。

1. SCKCR レジスタへの書き込み
2. SCKCR レジスタに値が書かれたことを確認する
3. 次のステップに進む

以下に該当する場合、SCKCR レジスタの書き換えは禁止です。

- 動作電力コントロールレジスタの動作電力制御モード遷移状態フラグ (OPCCR.OPCMTSF) が“1”（動作電力制御モード切り替え遷移中）のとき
- フラッシュ P/E モードエントリレジスタのROM P/E モードエントリビット i (FENTRYR.FENTRYi) が“1”（ROM P/E モード、E2 データフラッシュ P/E モード）のとき (i = 0、1、D)
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

PCKD[3:0] ビット (周辺モジュールクロック D (PCLKD) 選択ビット)

周辺モジュールクロック (PCLKD) の周波数を選択します。
S12AD 用の動作クロックです。

PCKB[3:0] ビット (周辺モジュールクロック B (PCLKB) 選択ビット)

周辺モジュールクロック (PCLKB) の周波数を選択します。
S12AD 以外の周辺モジュールの動作クロックです。

BCK[3:0] ビット (外部バスクロック (BCLK) 選択ビット)

外部バスクロック (BCLK) の周波数を選択します。

PSTOP1 ビット (BCLK 端子出力制御ビット)

BCLK 端子から出力するクロックの停止 / 出力の制御をします。停止の場合、High が出力されます。

ICK[3:0] ビット (システムクロック (ICLK) 選択ビット)

システムクロック (ICLK) の周波数を選択します。

FCK[3:0] ビット (FlashIF クロック (FCLK) 選択ビット)

FlashIF クロック (FCLK) の周波数を選択します。

9.2.2 システムクロックコントロールレジスタ 3 (SCKCR3)

アドレス 0008 0026h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CKSEL[2:0]	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0]	クロックソース選択ビット	[チップバージョンAの場合] b10 b8 000: LOCO選択 001: HOCO選択 011: サブクロック発振器選択 100: PLL回路選択 [チップバージョンB、Cの場合] b10 b8 000: LOCO選択 001: HOCO選択 010: メインクロック発振器選択 011: サブクロック発振器選択 100: PLL回路選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

以下に該当する場合、SCKCR3 レジスタの書き換えは禁止です。

- 動作電力コントロールレジスタの動作電力制御モード遷移状態フラグ (OPCCR.OPCMTSF) が“1”（動作電力制御モード切り替え遷移中）のとき
- フラッシュ P/E モードエントリレジスタの ROM P/E モードエントリビット i (FENTRYR.FENTRYi) が“1”（ROM P/E モード、E2 データフラッシュ P/E モード）のとき (i = 0、1、D)
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

リセット解除後、低速オンチップオシレータで動作中、システムクロックのクロックソースを変更する場合、本レジスタに書き込む前に、VRCR レジスタに“00h”を書き込んでください。

【書き込み手順】

- PRCR.PRC2 ビット対象レジスタへの書き込み許可
プロテクトレジスタ (PRCR) に“A504h”を書き込む
- VRCR レジスタに“00h”を書き込む
- PRCR.PRC2 ビット対象レジスタへの書き込み禁止
プロテクトレジスタ (PRCR) に“A500h”を書き込む

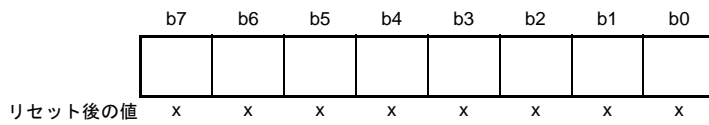
CKSEL[2:0] ビット (クロックソース選択ビット)

システムクロック (ICLK)、周辺モジュールクロック (PCLKB、PCLKD)、FlashIF クロック (FCLK)、外部バスクロック (BCLK) のクロックソースを低速オンチップオシレータ (LOCO)、高速オンチップオシレータ (HOCO)、メインクロック発振器 (チップバージョン B、C の場合)、サブクロック発振器、PLL 回路から選択します。

停止しているクロックソースへの切り替えは禁止です。

9.2.3 電圧レギュレータ制御レジスタ (VRCR)

アドレス 0008 0200h



VRCR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。

このレジスタは PRCR.PRC2 ビットを“1”（書き込み許可）にした後で書き換えてください。

リセット解除後、システムクロックのクロックソースを変更する前に、このレジスタに“00h”を書き込んでください。

9.2.4 PLL コントロールレジスタ (PLLCR)

アドレス 0008 0028h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	STC[4:0]				—	—	—	—	—	—	—	PLIDIV[1:0]	
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PLIDIV[1:0]	PLL入力分周比選択ビット	b1 b0 0 0 : 1分周 0 1 : 2分周 1 0 : 4分周 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12-b8	STC[4:0]	周波数通倍率設定ビット	b12 b8 0 0 1 1 1 : x8 0 1 0 0 1 : x10 0 1 0 1 1 : x12 0 1 1 1 1 : x16 1 0 0 1 1 : x20 1 0 1 1 1 : x24 1 1 0 0 0 : x25 上記以外は設定しないでください	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

PLLCR2.PLEN ビットが“0”（PLL 動作）のとき、PLLCR レジスタへの書き込みは禁止です。

PLIDIV[1:0] ビット（PLL 入力分周比選択ビット）

PLL のクロックソースの入力分周比を選択します。

PLIDIV[1:0] ビットは、PLL の入力周波数（4～12.5MHz）の範囲に入るように設定してください。

STC[4:0] ビット（周波数通倍率設定ビット）

PLL の周波数通倍率を設定します。

STC[4:0] ビットは、PLL の VCO 発振周波数（50～100MHz）の範囲に入るように設定してください。

9.2.5 PLL コントロールレジスタ 2 (PLLCR2)

アドレス 0008 002Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLEN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLEN	PLL停止制御ビット	0: PLL動作 1: PLL停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

「11. 消費電力低減機能」のPLLウェイトコントロールレジスタを設定してから本レジスタを設定してください。

PLLEN ビット (PLL 停止制御ビット)

PLLの動作/停止を制御します。

PLLENビットでPLLを動作設定に変更後、PLLクロック発振安定待機時間（tPLLWT1またはtPLLWT2）が経過した後、PLLクロックの使用を開始してください。

PLLは、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- PLLを停止設定後、再度動作設定にする場合、停止期間はPLLクロックで5サイクル以上の時間となるようにしてください。
- PLLの停止設定は、PLLクロックの発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、PLLを動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、発振が安定した状態でWAIT命令を実行してください。
- PLLを停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、PLL停止設定後、PLLクロック2サイクル以上待ってからWAIT命令を実行してください。

システムクロックコントロールレジスタ3のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）でPLLを選択しているときは、PLLENビットを“1”（PLL停止）にする書き込みは禁止です。

動作電力コントロールレジスタの動作電力制御モード選択ビット（OPCCR.OPCM[2:0]）で低速動作モード1または低速動作モード2を選択しているときは、PLLENビットを“0”（PLL動作）にする書き込みは禁止です。

9.2.6 外部バスクロックコントロールレジスタ (BCKCR)

アドレス 0008 0030h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCLKDIV
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCLKDIV	BCLK端子出力選択ビット	0 : BCLK 1 : BCLKの2分周	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

以下に該当する場合、BCKCR レジスタの書き換えは禁止です。

- 動作電力コントロールレジスタの動作電力制御モード遷移状態フラグ (OPCCR.OPCMTSF) が“1”（動作電力制御モード切り替え遷移中）のとき
- フラッシュ P/E モードエントリレジスタの ROM P/E モードエントリビット i (FENTRYR.FENTRY i) が“1”（ROM P/E モード、E2 データフラッシュ P/E モード）のとき ($i = 0, 1, D$)
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

BCLKDIV ビット (BCLK 端子出力選択ビット)

BCLK 端子から出力するクロックを選択します。

SCKCR.BCK[3:0] ビットで選択した周波数の BCLK、または BCLK の 2 分周を選択できます。

9.2.7 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス 0008 0032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止ビット	0:メインクロック発振器動作 1:メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

「11. 消費電力低減機能」のメインクロック発振器ウェイトコントロールレジスタを設定してから本レジスタを設定してください。

MOSTP ビット (メインクロック発振器停止ビット)

メインクロック発振器の動作/停止を制御します。

水晶振動子を接続してメインクロックを供給する場合、MOSTP ビットでメインクロック発振器を動作設定に変更後、メインクロック発振安定待機時間（水晶）(tMAINOSCW)が経過した後、メインクロックの使用を開始してください。

外部クロックを入力してメインクロックを供給する場合、MOSCWTCR.MSTS[4:0] ビットを“00000b”に設定してください。MOSTP ビットでメインクロック発振器を動作設定に変更後、EXTAL 外部クロック入力待機時間 (tEXWT) が経過した後、メインクロックの使用を開始してください。

メインクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- メインクロック発振器を停止設定後、再度動作設定にする場合、停止期間はメインクロックで5サイクル以上の時間となるようにしてください。
- メインクロック発振器の停止設定は、メインクロック発振器の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、メインクロック発振器を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、メインクロック発振器の発振が安定した状態で WAIT 命令を実行してください。
- メインクロック発振器を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、メインクロック停止設定後、メインクロック 2 サイクル以上待ってから WAIT 命令を実行してください。

以下のいずれかの条件を満たす場合、MOSTP ビットを“1”にしないでください。

- システムクロックのクロックソースにメインクロックを選択しているとき (SCKCR3.CKSEL[2:0] = 010b)
- システムクロックのクロックソースに PLL クロックを選択しているとき (SCKCR3.CKSEL[2:0] = 100b)
- PLL を動作させているとき (PLL2CR2.PLEN = 0)

9.2.8 サブクロック発振器コントロールレジスタ (SOSCCR)

アドレス 0008 0033h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SOSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOSTP	サブクロック発振器停止ビット	0: サブクロック発振器動作 1: サブクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

「11. 消費電力低減機能」のサブクロック発振器ウェイトコントロールレジスタを設定してから本レジスタを設定してください。

SOSTP ビット (サブクロック発振器停止ビット)

サブクロック発振器の動作/停止を制御します。

サブクロック発振器の動作/停止は、SOSTP ビットおよび RTC コントロールレジスタ 3 のサブクロック発振器制御ビット (RCR3.RTCEN) で制御され、いずれかのビットが動作に設定されているとサブクロック発振器は動作状態となります。

SOSTP ビットまたは RCR3.RTCEN ビットの書き換えを行う場合は、書き込み後、読み出して書き換わったのを確認してから、後続の命令を実行するようにしてください（「5. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください）。

SOSTP ビット、または RCR3.RTCEN ビットでサブクロック発振器を動作設定に変更後、サブクロック発振器安定待機時間 (tSUBOSCWT) が経過した後、サブクロックの使用を開始してください。

サブクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- サブクロック発振器を停止設定後、再度動作設定にする場合、停止期間はサブクロックで5サイクル以上の時間となるようにしてください。
- サブクロック発振器の停止設定は、サブクロック発振器の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、サブクロック発振器を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、発振が安定した状態で WAIT 命令を実行してください。
- サブクロック発振器を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、サブクロック発振器停止設定後、サブクロック2サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でサブクロック発振器を選択しているとき、SOSTP ビットを“1”（サブクロック発振器停止）にする書き込みは禁止です。

9.2.9 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス 0008 0034h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	0 : LOCO動作 1 : LOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

LCSTP ビット (LOCO 停止ビット)

LOCO の動作 / 停止を制御します。

LCSTP ビットにて LOCO を停止設定から動作設定に変更後、LOCO クロックを使用する場合は、LOCO クロック安定待機時間 (tLOCOWT) が経過した後、使用開始してください。

LOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- LOCO を停止設定後、再度動作設定にする場合、停止期間は LOCO クロックで 5 サイクル以上の時間となるようにしてください。
- LOCO の停止設定は、LOCO の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、LOCO を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、LOCO の発振が安定した状態で WAIT 命令を実行してください。
- LOCO を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、LOCO 停止設定後、LOCO クロック 3 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で LOCO を選択しているとき、LCSTP ビットを“1” (LOCO 停止) にする書き込みは禁止です。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) で発振停止検出機能を有効にしているとき、LCSTP ビットを“1” (LOCO 停止) にする書き込みは禁止です。

9.2.10 IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)

アドレス 0008 0035h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ILCSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ILCSTP	IWDT専用オンチップオシレータ停止ビット	0: IWDT専用オンチップオシレータ動作 1: IWDT専用オンチップオシレータ停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

オプション機能選択レジスタ0のIWDTスタートモード選択ビット（OFS0.IWDTSTRT）が“0”（IWDT動作）のとき、ILOCOCRレジスタの設定は無効です。OFS0.IWDTSTRTビットが“1”（IWDT停止）のとき、ILOCOCRレジスタの設定は有効です。ILOCOCRレジスタが有効、かつILCSTPビットが“0”（IWDT専用オンチップオシレータ動作）の後、“1”（IWDT専用オンチップオシレータ停止）に設定することはできません。

ILCSTP ビット (IWDT 専用オンチップオシレータ停止ビット)

IWDT専用オンチップオシレータの動作/停止を制御します。

ILCSTPビットで、IWDT専用オンチップオシレータを停止設定から動作設定に変更した場合、LOCO発振安定待機時間（tLOCOWT）に相当する一定時間経過後、LSI内部にクロックが供給開始されます。IWDT専用クロックを使用する場合は、この待機時間が経過した後、使用開始してください。

IWDT専用オンチップオシレータを動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、発振が安定した状態でWAIT命令を実行してください。

9.2.11 高速オンチップオシレータコントロールレジスタ (HOCO CR)

アドレス 0008 0036h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	HCSTP

リセット後の値 0 0 0 0 0 0 0 0/1
(注1)

注1. オプション機能選択レジスタ1のHOCO発振有効ビット (OFS1.HOCOEN) が“0”のとき、HCSTPビットのリセット後の値は“0”になります。OFS1.HOCOENビットが“1”のとき、HCSTPビットのリセット後の値は“1”になります。

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止ビット	0 : HOCO動作 1 : HOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

「11. 消費電力低減機能」のHOCOウェイトコントロールレジスタ2を設定してから本レジスタを設定してください。

HCSTP ビット (HOCO 停止ビット)

HOCOの動作/停止を制御します。

HCSTPビットでHOCOを停止設定から動作設定に変更した場合、HOCOWTCR2.HSTS2[3:0]ビットで設定した待機時間経過後、LSI内部にクロックが供給開始されます。使用する場合は、この待機時間が経過した後、使用開始してください。

HOCOは、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- HOCOを停止設定後、再度動作設定にする場合、停止期間はHOCOクロックで5サイクル以上の時間となるようにしてください。
- HOCOの停止設定は、HOCOの発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、HOCOを動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合はHOCOの発振が安定した状態でWAIT命令を実行してください。
- HOCOを停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、HOCO停止設定後、HOCOクロック2サイクル以上待ってからWAIT命令を実行してください。

システムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でHOCOを選択しているとき、HCSTPビットを“1” (HOCO停止) にする書き込みは禁止です。

動作電力コントロールレジスタの動作電力制御モード選択ビット (OPCCR.OPCM[2:0]) で低速動作モード2を選択しているときは、HCSTPビットを“0” (HOCO動作) にする書き込みは禁止です。

9.2.12 高速オンチップオシレータコントロールレジスタ 2 (HOCOGR2)

アドレス 0008 0037h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	HCFRQ[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	HCFRQ[1:0]	HOCO周波数設定ビット	b1 b0 0 0 : 32MHz 0 1 : 36.864MHz 1 0 : 40MHz 1 1 : 50MHz	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

HOCOGR.HCSTP ビットが“0”（HOCO動作）のとき、HOCOGR2 レジスタへの書き込みは禁止です。

HCFRQ[1:0] ビット (HOCO 周波数設定ビット)

HOCO の周波数を設定します。

9.2.13 発振停止検出コントロールレジスタ (OSTDCR)

アドレス 0008 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	0 : 発振停止検出割り込みを禁止、POEへの発振停止検出通知なし 1 : 発振停止検出割り込みを許可、POEへの発振停止検出通知あり	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OSTDE	発振停止検出機能許可ビット	0 : 発振停止検出機能は無効 1 : 発振停止検出機能は有効	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

OSTDIE ビット（発振停止検出割り込み許可ビット）

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) のクリアは、OSTDIE ビットを“0”にした後に行ってください。その後、OSTDIE ビットを再度“1”にする場合は、PCLKB で2サイクル以上待ってから行ってください。アクセスサイクル数がPCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

OSTDE ビット（発振停止検出機能許可ビット）

発振停止検出機能の有効/無効を設定します。

有効にしてから、安定動作を開始するまでに t_{dr} （「表 42.73 発振停止検出回路特性」参照）の時間が必要です。

OSTDE ビットを“1”（発振停止検出機能有効）にすると、LOCO 停止ビット (LOCOCR.LCSTP) も“0”となり、LOCO が動作します。発振停止検出機能が有効である間は、LOCO を停止させることはできません。LOCOCR.LCSTP ビットへ“1”（LOCO 停止）を書いても、その書き込みは無効になります。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が“1”（メインクロック発振停止検出）のとき、OSTDE ビットへの“0”書き込みは無効になります。

OSTDE ビットが“1”の場合、ソフトウェアスタンバイモード、およびディープソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモード、およびディープソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを“0”にして、WAIT 命令を実行してください。

9.2.14 発振停止検出ステータスレジスタ (OSTDSR)

アドレス 0008 0041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0 : メインクロックの発振停止を未検出 1 : メインクロックの発振停止を検出	R(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。
注1. “0”のみ書けます。

OSTDF フラグ（発振停止検出フラグ）

メインクロックの状態を示すステータスフラグです。OSTDF フラグが“1”のときメインクロックの発振停止を検出したことを示します。

メインクロックの発振停止を検出した後で、メインクロックの発振が再開しても、OSTDF フラグは“0”になりません。OSTDF フラグは“1”を読んだ後、“0”を書くことによって“0”になります。OSTDF=0 が読み出し値に反映されるまで ICLK3 サイクル以上待つ必要があります。メインクロックの発振を停止している状態で OSTDF フラグを“0”にした場合、OSTDF フラグは一度“0”になった後、再度“1”になります。

また、システムクロックコントロールレジスタ3のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）でメインクロック発振器（“010b”）またはPLL（“100b”）を選択している場合は、OSTDF フラグを“0”にすることはできません。クロックソースをメインクロック発振器、PLL 以外に切り換えてから OSTDF フラグを“0”にしてください。

[“1”になる条件]

- OSTDCR.OSTDE ビットが“1”（発振停止検出機能有効）の状態、メインクロックの発振が停止したとき

[“0”になる条件]

- SCKCR3.CKSEL[2:0] ビットが“010b”、または“100b”以外の場合に、“1”を読んだ後、“0”を書いたとき

9.2.15 メインクロック発振器強制発振コントロールレジスタ (MOFCR)

アドレス 0008 C293h

b7	b6	b5	b4	b3	b2	b1	b0
—	MOSEL	MODRV2[1:0]	MODRV[2:0]		—		—
リセット後の値	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b1	MODRV[2:0]	メインクロック発振器ドライブ能力切り替えビット	b3 b2 b1 0 0 0 : 16MHz~20MHzセラミック発振子リード品以外 1 1 1 : 16MHz~20MHzセラミック発振子リード品 上記以外は、設定しないでください。	R/W
b5-b4	MODRV2[1:0]	メインクロック発振器ドライブ能力切り替え2ビット	b5 b4 0 1 : 1MHz~8MHz 1 0 : 8.1MHz~15.9MHz 1 1 : 16MHz~20MHz 上記以外は、設定しないでください。	R/W
b6	MOSEL	メインクロック発振器切り替えビット	0 : 発振子 1 : 外部発振入力	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

EXTAL/XTAL 端子はポートと兼用端子になっており、初期設定状態ではポート機能となります。

MODRV[2:0] ビット (メインクロック発振器ドライブ能力切り替えビット)

メインクロック発振器のドライブ能力の切り替えをします。

MODRV2[1:0] ビット (メインクロック発振器ドライブ能力切り替え2ビット)

メインクロック発振器のドライブ能力の切り替えをします。

MOSEL ビット (メインクロック発振器切り替えビット)

メインクロック発振器の発振源の切り替えを行います。

9.2.16 高速オンチップオシレータ電源コントロールレジスタ (HOCOPCR)

アドレス 0008 C294h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HOCO PCNT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	HOCOPCNT	高速オンチップオシレータ器電源制御ビット	0 : HOCOの電源ON 1 : HOCOの電源OFF	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

HOCOPCNT ビット (高速オンチップオシレータ電源制御ビット)

HOCO の電源を制御するビットです。

“0” のとき、HOCO の電源が ON して、発振することができます。

“1” のとき、HOCO の電源を OFF して、消費電力を低減できます。

HOCOPCNT ビットを“1”にする場合、高速オンチップオシレータコントロールレジスタの HOCO 停止ビット (HOCOCR.HCSTP) を“1” (HOCO 停止) に設定してください。

HOCOPCNT ビットを“1”から“0”に切り替えた後、HOCOCR.HCSTP ビットを“0”にするまで安定待ち時間が必要です。詳細は、「42. 電気的特性」を参照してください。

以下に該当する場合、HOCOPCNT ビットの値を書き換えしないでください。

- システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でクロックソースに HOCO を選択しているとき
- 動作電力コントロールレジスタの動作電力制御モード選択ビット (OPCCR.OPCM[2:0]) で高速動作モード、中速動作モード 2A、中速動作モード 2B、低速動作モード 1、あるいは低速動作モード 2 に設定しているとき (中速動作モード 1A または中速動作モード 1B に設定している場合のみ書換え可能)

9.2.17 PLL 電源コントロールレジスタ (PLLPCR)

アドレス 0008 C295h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLPCNT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PLLPCNT	PLL 電源制御ビット	0 : 電源 ON 1 : 電源 OFF	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

PLLPCR レジスタは、チップバージョン B に存在するレジスタです。

PLLPCNT (PLL 電源制御ビット)

PLL の電源を制御するビットです。

“0” のとき、PLL の電源が ON して、発振することができます。

“1” のとき、PLL の電源を停止して、消費電力が低減できます。

このビットを“1”にする場合、PLLCR2 レジスタの PLEN ビットを“1”にしてください。

このビットを“1”から“0”に切り換えた後、PLEN ビットを“0”に設定するまで安定待ち時間が必要です。

詳細は「42. 電気的特性」を参照してください。

SCKCR3 レジスタでクロックソースに PLL を選択している場合は、このビットの設定値を書き換えしないでください。

また、OPCCR レジスタで高速動作モード、中速動作モード 2A、中速動作モード 2B、低速動作モード 1、低速動作モード 2 に設定されている場合は、書き換えしないでください（中速動作モード 1A または中速動作モード 1B に設定されている場合のみ書換え可能です）。

9.3 メインクロック発振器

メインクロック発振器へクロックを供給する方法には、発振子を接続する方法と外部クロックを入力する方法があります。

9.3.1 発振子を接続する方法

発振子を接続する場合の接続例を図 9.2 に示します。

必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従って EXTAL、XTAL 間に R_f を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は表 9.1 のメインクロック発振器の発振子周波数の範囲内としてください。

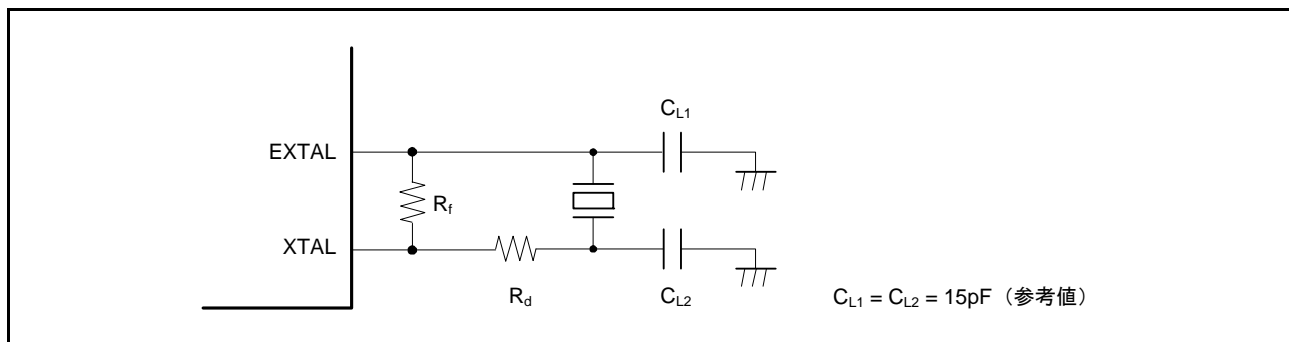


図 9.2 水晶振動子の接続例

表 9.3 ダンピング抵抗 (参考値)

周波数 (MHz)	1	8	16	20
R_d (Ω)	750	0	0	0

水晶振動子の等価回路を図 9.3 に示します。水晶振動子は表 9.4 に示す特性のものを使用してください。

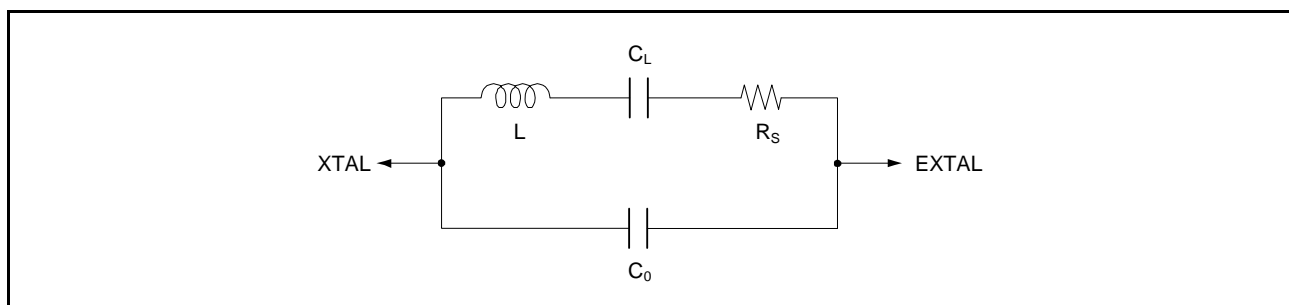


図 9.3 水晶振動子の等価回路

表 9.4 水晶振動子の特性 (参考値)

周波数 (MHz)	1	8	16	20
R_S max (Ω)	480	14	16.8	8.1
C_0 max (pF)	3	2.2	3	3.5

9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図9.4に示します。外部クロックを入力して動作させる場合には、MOFCR.MOSEL ビットを“1”にしてください。このとき XTAL 端子は、Hi-Z になります。

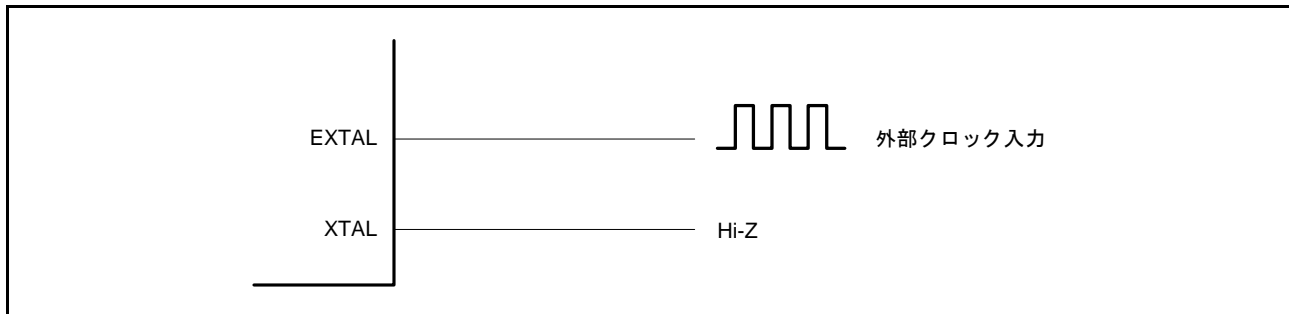


図 9.4 外部クロックの接続例

9.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器停止ビット (MOSCCR.MOSTP) に“0” (メインクロック発振器動作) が設定されている間は、外部クロック入力周波数を変更しないでください。

9.4 サブクロック発振器

サブクロック発振器へクロックを供給する方法には、水晶振動子を接続する方法があります。

9.4.1 32.768kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、図 9.5 に示すように 32.768kHz の水晶振動子を接続します。

必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従って XCIN、XCOUT 間に R_f を挿入してください。発振子を接続してクロックを供給する場合、接続する発振子は表 9.1 のサブクロック発振器の発振子周波数の範囲内としてください。

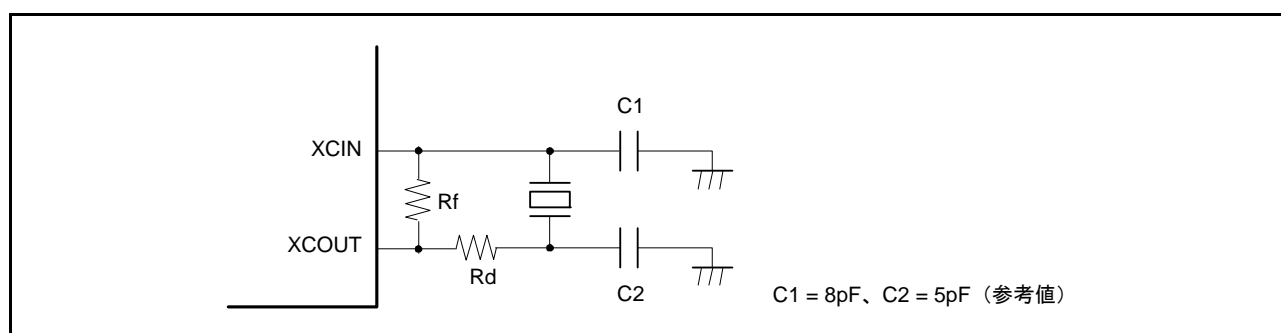


図 9.5 32.768kHz 水晶振動子の接続例

32.768kHz 水晶振動子の等価回路を図 9.6 に示します。水晶振動子は表 9.5 に示す特性のものを使用してください。

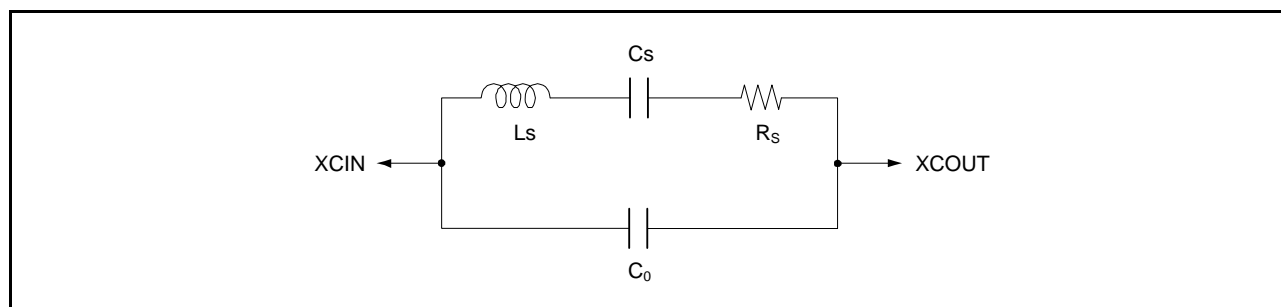


図 9.6 水晶振動子の等価回路

表 9.5 水晶振動子の特性 (参考値)

周波数 (kHz)	32.768 (低 CL)	32.768 (標準 CL)
R_S max (k Ω)	37	35
C_0 max (pF)	0.9	2.0

9.4.2 サブクロックを使用しない場合の端子処理

サブクロックを使用しない場合は、図 9.7 に示すように XCIN 端子は抵抗を介して VSS に接続（プルダウン）し、XCOUT 端子をオープンとしてください。

また、サブクロック発振器停止ビット（SOSCCR.SOSTP）を“1”（停止）に、かつ RTC コントロールレジスタ 3 のサブクロック発振器制御ビット（RCR3.RTCEN）を“0”（サブクロック発振器停止）にしてください。サブクロック制御回路の状態はコールドスタートにて不定となりますので、コールドスタート後はこれらのビットを設定してください。

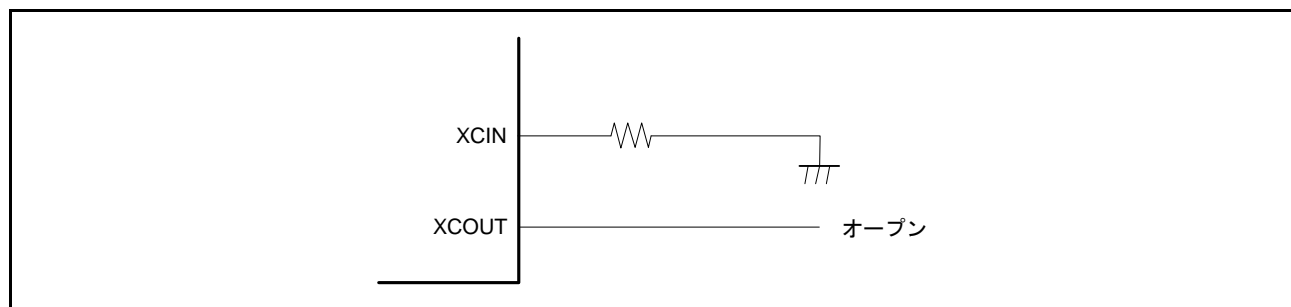


図 9.7 サブクロックを使用しない場合の端子処理

9.5 発振停止検出機能

9.5.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックおよびPLLクロックの代わりに低速オンチップオシレータが出力するLOCOクロックを供給する機能です。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。また、発振停止検出時に、MTUの出力を強制的にハイインピーダンスとすることも可能です。詳細は、「21. マルチファンクションタイマパルスユニット2 (MTU2a)」、「22. ポートアウトプットイネーブル2 (POE2a)」を参照してください。

RX210グループは、メインクロック発振器の異常などによって入力クロックが一定期間“0”または“1”となった場合に、「42. 電气的特性」参照)、メインクロックの発振停止を検出します。

発振停止を検出すると、クロックソース選択ビット (SCKCR3.CKSEL[2:0]) で選択されるメインクロックとPLLクロックが、それぞれ前段のセレクタにてLOCOクロックに切り替わります。そのため、システムクロックのクロックソースにメインクロックまたはPLLクロックを選択した状態で発振停止を検出すると、CKSEL[2:0]ビットの設定値は変わらないまま、システムクロックのクロックソースがLOCOクロックへと切り替わります。

メインクロックとLOCOクロックの切り替え、およびPLLクロックとLOCOクロックの切り替えは、それぞれ発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。OSTDFフラグが“1”になるとLOCOクロックへ切り替わり、OSTDFフラグを“0”にするとメインクロックあるいはPLLクロックに戻ります。ただし、CKSEL[2:0]ビットでメインクロックあるいはPLLクロックを選択している場合は、OSTDFフラグを“0”にできません。発振停止検出後にクロックソースをメインクロックあるいはPLLクロックに戻りたい場合は、一度CKSEL[2:0]ビットの設定をメインクロックおよびPLLクロック以外に変更し、OSTDFフラグを“0”にしてください。その後、OSTDFフラグが“1”になっていないことを確認し、所定の発振安定時間経過後にCKSEL[2:0]ビットの設定をメインクロックまたはPLLクロックに変更してください。

リセット解除後、メインクロック発振器は停止、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、メインクロック発振器を動作させ、所定の発振安定時間経過後に発振停止検出機能許可ビット (OSTDCR.OSTDE) への書き込みを行ってください。

発振停止検出機能は、外部要因によるメインクロックの停止に備えた機能であるため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行する場合は、あらかじめ発振停止検出機能は無効にしてください。

発振停止検出によってLOCOクロックに切り替わるクロックは、システムクロックソースとしてのメインクロック、PLLクロック、およびCACメインクロック (CACMCLK) です。LOCOクロック動作時のシステムクロック (ICLK) の周波数については、LOCO発振周波数とシステムクロック選択ビット (SCKCR.ICK[3:0]) の分周比の設定で決まります。

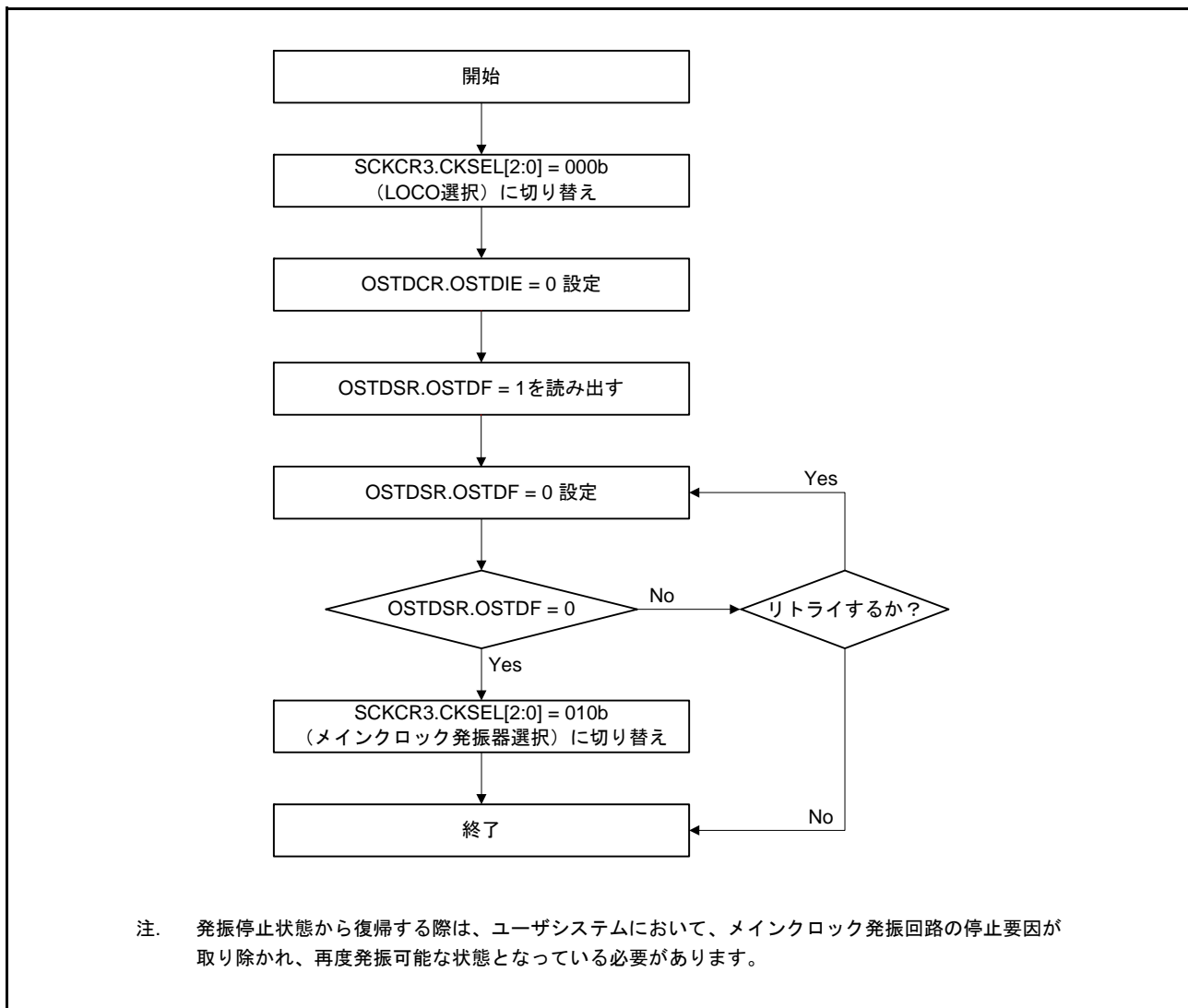


図 9.8 発振停止検出からの復帰のフローチャート例

9.5.2 発振停止検出割り込み

発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が“1” (発振停止検出割り込みを許可) のとき、発振停止検出フラグ (OSTDSR.OSTDF) が“1”になると発振停止検出割り込み (OSTDI) 要求が発生します。また、このときポートアウトプットイネーブル2 (POE) へメインクロック発振器の停止を通知します。POEは、発振停止の通知を受けて入力レベルコントロール/ステータスレジスタ3のOSTSTハイインピーダンスフラグ (ICSR3.OSTSTF) を“1”にします。このICSR3.OSTSTFフラグは、発振停止を検出後、PCLKで10サイクル経過するまで書き込みできませんので注意してください。OSTDSR.OSTDFフラグのクリアは、発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を“0”にした後に行ってください。その後、OSTDCR.OSTDIEビットを再度“1”にする場合は、PCLKBで2サイクル以上待ってから行ってください。アクセスサイクル数がPCLKBで定義されているI/Oレジスタを読み出すことによって、PCLKB2サイクル以上の待ち時間を確保することが可能です。

発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態では、「ノンマスカブル割り込み禁止」となっていますので、発振停止検出割り込みを使用する場合は、ソフトウェアでノンマスカブル割り込みを有効にしてください。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

9.6 PLL 回路

PLL 回路は、発振器からの周波数を通倍する機能を持っています。

9.7 内部クロック

内部クロックは、クロック源としてメインクロック、サブクロック、HOCO クロック、LOCO クロック、PLL クロック、IWDT 専用クロックがあり、これらのクロックから以下に示す内部クロックを生成します。

- (1) CPU、DMAC、DTC、ROM および RAM の動作クロック：システムクロック (ICLK)
- (2) 周辺モジュールの動作クロック：周辺モジュールクロック (PCLKB、PCLKD)
- (3) FlashIF の動作クロック：FlashIF クロック (FCLK)
- (4) 外部バスコントローラ、外部端子出力クロック：外部バスクロック (BCLK)
- (5) CAC モジュール用の動作クロック：CAC クロック (CACCLK)
- (6) RTC モジュール用の動作クロック：RTC 専用サブクロック (RTCSCLK)
- (7) IWDT モジュール用の動作クロック：IWDT 専用クロック (IWDTCLK)

内部クロックの周波数は、分周比を選択する SCKCR.FCK[3:0]、ICK[3:0]、BCK[3:0]、PCKB[3:0]、PCKD[3:0] ビット、クロック源を選択する SCKCR3.CKSEL[2:0] ビット、PLL 回路の周波数を選択する PLLCR.STC[4:0]、PLIDIV[1:0] ビットの組み合わせで設定します。各ビットの書き換え後に、変更後の周波数で動作します。

9.7.1 システムクロック

システムクロック (ICLK) は、CPU、DMAC、DTC、ROM および RAM の動作クロックです。

ICLK の周波数は、SCKCR.ICK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[4:0]、PLIDIV[1:0] ビットで設定します。

9.7.2 周辺モジュールクロック

周辺モジュールクロック (PCLKB、PCLKD) は、周辺モジュール用の動作クロックです。

PCLKB、PCLKD の周波数は、SCKCR.PCKB[3:0]、PCKD[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[4:0]、PLIDIV[1:0] ビットで設定します。

周辺モジュールクロック (PCLKD) は S12AD 用、周辺モジュールクロック (PCLKB) は、S12AD 以外の周辺モジュール用の動作クロックです。

9.7.3 FlashIF クロック

FlashIF クロック (FCLK) は、FlashIF 用の動作クロックであり、ROM、E2 データフラッシュのプログラム/イレーズ、および E2 データフラッシュ読み出しに使用するクロックです。

FCLK の周波数は、SCKCR.FCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[4:0]、PLIDIV[1:0] ビットで設定します。

9.7.4 外部バスクロック

外部バスクロック (BCLK) は、外部バスコントローラの動作クロックです。また、BCLK は外部バス用に BCLK 端子から外部に出力できます。外部バス有効時、BCLK 端子と兼用している P53 は、I/O ポートとして使用できません。

SCKCR.PSTOP1 ビットを“0”、システムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にすると、BCLK を BCLK 端子から出力することができます。SYSCR0.EXBE ビットを“1”に変更する場合は、SCKCR.PSTOP1 ビットが“1”の状態で行ってください。

また、BCKCR.BCLKDIV ビットを“1”にすると、BCLK 端子から BCLK の 2 分周クロックを出力することができます。

BCLK の周波数は、SCKCR.BCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[4:0]、PLIDIV[1:0] ビットで設定します。

9.7.5 CAC クロック

CAC クロック (CACCLK) は、CAC モジュール用の動作クロックです。

CACCLK にはメインクロック発振器で生成される CACMCLK、サブクロック発振器で生成される CACSCLK、高速オンチップオシレータで生成される CACHCLK、低速オンチップオシレータで生成される CACLCLK、IWDTC 専用オンチップオシレータで生成される CACILCLK があります。

9.7.6 RTC 専用クロック

RTC 専用クロック (RTCSCLK) は、RTC モジュールの動作クロックです。

RTCSCLK はサブクロック発振器で生成されたクロックです。

9.7.7 IWDTC 専用クロック

IWDTC 専用クロック (IWDTCCLK) は、IWDTC モジュールの動作クロックです。

IWDTCCLK は、IWDTC 専用オンチップオシレータで内部発振によって生成されたクロックです。

9.8 使用上の注意事項

9.8.1 クロック発生回路に関する注意事項

- (1) SCKCR レジスタで、各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKB、PCLKD)、FlashIF クロック (FCLK)、外部バスクロック (BCLK) の周波数を選択します。各周波数は、以下のようにしてください。
各周波数は電气的特性の AC タイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。
周波数は表 9.1 の周波数範囲内に収まるように設定してください。
周辺モジュールは、基本的に PCLKB、PCLKD を基準に動作します。このため、周波数変更の前後でタイマや SCI などの動作速度が変わりますので注意してください。
- (2) システムクロック (ICLK) と外部バスクロック (BCLK) との間には以下の周波数関係が必要です。
ICLK \geq BCLK の周波数関係
BCLK を使用しない場合は、ICLK と PCLKB の分周設定の大きい方を SCKCR.BCK ビットに設定してください。ただし、この設定で BCLK が 25MHz を超える場合は、25MHz を超えない最大の分周比を SCKCR.BCK ビットに設定してください。
- (3) 外部バスアクセス中は、クロック周波数の変更を実施しないでください。またクロック周波数の変更後に外部バスアクセスを開始する場合は、周波数変更が完了したことを確認してから外部バスアクセスを開始するようにしてください。
- (4) クロック周波数を変更後、確実に次の処理を実行するためには、周波数変更の書き込みをした後、同レジスタの読み出しを行ってから次の処理を実行してください。
- (5) リセット解除後、低速オンチップオシレータで動作中、システムクロックのクロックソースを変更する場合、SCKCR3 レジスタに書き込む前に、VRCR レジスタに“00h”を書き込んでください。

【書き込み手順】

- ① PRCR.PRC2 ビット対象レジスタへの書き込み許可
プロテクトレジスタ (PRCR) に“A504h”を書き込む
- ② VRCR レジスタに“00h”を書き込む
- ③ PRCR.PRC2 ビット対象レジスタへの書き込み禁止
プロテクトレジスタ (PRCR) に“A500h”を書き込む

9.8.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などによって異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

9.8.3 ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。図 9.9 に示すように発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

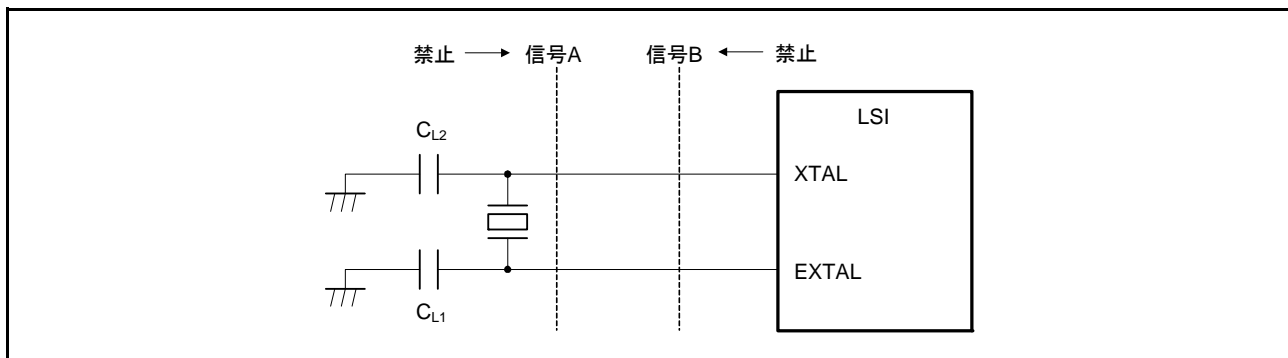


図 9.9 発振回路部のボード設計に関する注意事項（メインクロック発振器の場合、サブクロック発振器も同様）

9.8.4 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子、XTAL 端子を汎用ポート P36、P37 として使用することができます。汎用ポートとして使用する場合は、メインクロック停止設定（MOSCCR.MOSTP ビットを“1”）で使用してください。ただし、メインクロックを使用するシステムにおいては EXTAL 端子、XTAL 端子を汎用ポートとして使用しないでください。メインクロックを使用する場合は、P36、P37 を出力に設定しないでください。

9.8.5 サブクロックに関する注意事項

サブクロックは、システムクロックとして使用される場合、リアルタイムクロックのカウントソースとして使用される場合、およびその両方に使用される場合があります。また、サブクロックを使用しない場合も含めて、設定に関して以下のような注意および制限事項があります。

- サブクロックの動作/停止は、サブクロック発振器コントロールレジスタのサブクロック発振器停止ビット（SOSCCR.SOSTP）および RTC コントロールレジスタ 3 のサブクロック発振器制御ビット（RCR3.RTCEN）で制御され、いずれかのビットが動作に設定されているとサブクロックは動作状態となります。
- サブクロックをシステムクロックとして使用し、かつリアルタイムクロックのカウントソースとして使用する場合は、サブクロックの発振を開始し発振安定待機時間経過後に、SOSCWTCR.SSTS[4:0] ビットを“00000b”とする必要があります。そのためには初期設定として以下を実行してください。その後、「26.3.2 クロック設定手順」に記載されたクロック設定手順に従って設定してください。

【初期設定手順】

- ① サブクロックの発振安定待機時間（注1）の経過待ち
- ② SOSCCR.SOSTP ビットに“1”を設定
- ③ SOSCCR.SOSTP ビットが“1”になっていることを確認
- ④ RCR3.RTCEN ビットに“0”を設定
- ⑤ RCR3.RTCEN ビットが“0”になっていることを確認
- ⑥ サブクロックで5サイクル以上の時間が経過するのを待つ
- ⑦ RCR3.RTCDV[2:0] ビットを設定

ここで RCR3.RTCDV[2:0] ビットを設定した場合、「26.3.2 クロック設定手順」で再度設定する必要はありません

- ⑧ SOSCWTCR.SSTS[4:0] ビットにサブクロック発振に必要な待ち時間を設定
- ⑨ SOSCCR.SOSTP ビットに“0”（サブクロック発振器動作）を設定
- ⑩ サブクロックの発振安定待機時間（注1）の経過待ち
- ⑪ SOSCCR.SOSTP ビットが“0”に書き換わっていることを確認し、RCR3.RTCEN ビットに“1”（サブクロック発振器動作）を設定

- ⑫ RCR3.RTCEN ビットが“1”に書き換わっていること確認し、SOSCCR.SOSTP ビットに“1”を設定
- ⑬ SOSCCR.SOSTP ビットが“1”に書き換わっていることを確認し、サブクロックで5サイクル以上の時間が経過するのを待つ
- ⑭ SOSCWTCR.SSTS[4:0] ビットに“00000b”を設定
- ⑮ SOSCCR.SOSTP ビットに“0”を設定
- ⑯ サブクロックで2サイクル以上の時間が経過するのを待つ
- ⑰ SOSCCR.SOSTP ビットが書き換わっていることを確認

注 1. サブクロックの発振安定待機時間については「11.2.8 サブクロック発振器ウェイトコントロールレジスタ (SOSCWTCR)」を参照してください。

- RCR3.RTCEN ビットの状態によらず、SOSCCR.SOSTP ビットを“0”（動作）に変更した場合は、発振安定時間を待ってから使用してください。
- コールドスタート後、サブクロック制御回路の状態は不定であるため、サブクロックの使用有無に関わらず、初期化が必要です。初期化は SOSCCR.SOSTP ビットおよび RCR3.RTCEN ビットの両方を停止側に設定することで行ってください。RCR3.RTCEN ビットの初期化については、「26.2.19 RTC コントロールレジスタ 3 (RCR3)」を参照してください。
48ピン LQFP はサブクロック発振器の端子がありませんが、同様にサブクロック制御回路を初期化してください。
- サブクロック発振器を動作させる場合、RCR3.RTCDV[2:0] ビットの設定も必要です。また、RCR3.RTCDV[2:0] ビットの設定は、サブクロック発振器停止中に行ってください。動作中の書き換えは禁止です。
- SOSCCR.SOSTP ビットの書き換え後、RCR3.RTCEN ビットの書き換えを行う場合、またはその逆を行う場合、先に書き換えを行った方のビットが書き換わっていることを確認してから、後のビットの書き換えを行ってください。

10. クロック周波数精度測定回路 (CAC)

クロック周波数精度測定回路 (CAC) は、LSI 外部から入力される基準信号や他のクロックソースをもとにクロックの周波数を監視し、設定した範囲を外れた場合に割り込みを発生する機能です。

10.1 概要

表 10.1 に CAC の仕様を、図 10.1 に CAC のブロック図を示します。

表 10.1 CACの仕様

項目	内容
クロック周波数測定	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> メインクロック発振器出カクロック (メインクロック) サブクロック発振器出カクロック (サブクロック) 高速オンチップオシレータ出カクロック (HOCOクロック) 低速オンチップオシレータ出カクロック (LOCOクロック) IWDT専用オンチップオシレータ出カクロック (IWDTCLKクロック)
選択機能	デジタルフィルタ機能
割り込み要因	<ul style="list-style-type: none"> 測定終了割り込み 周波数エラー割り込み オーバフロー割り込み
消費電力低減機能	モジュールストップ状態への設定が可能

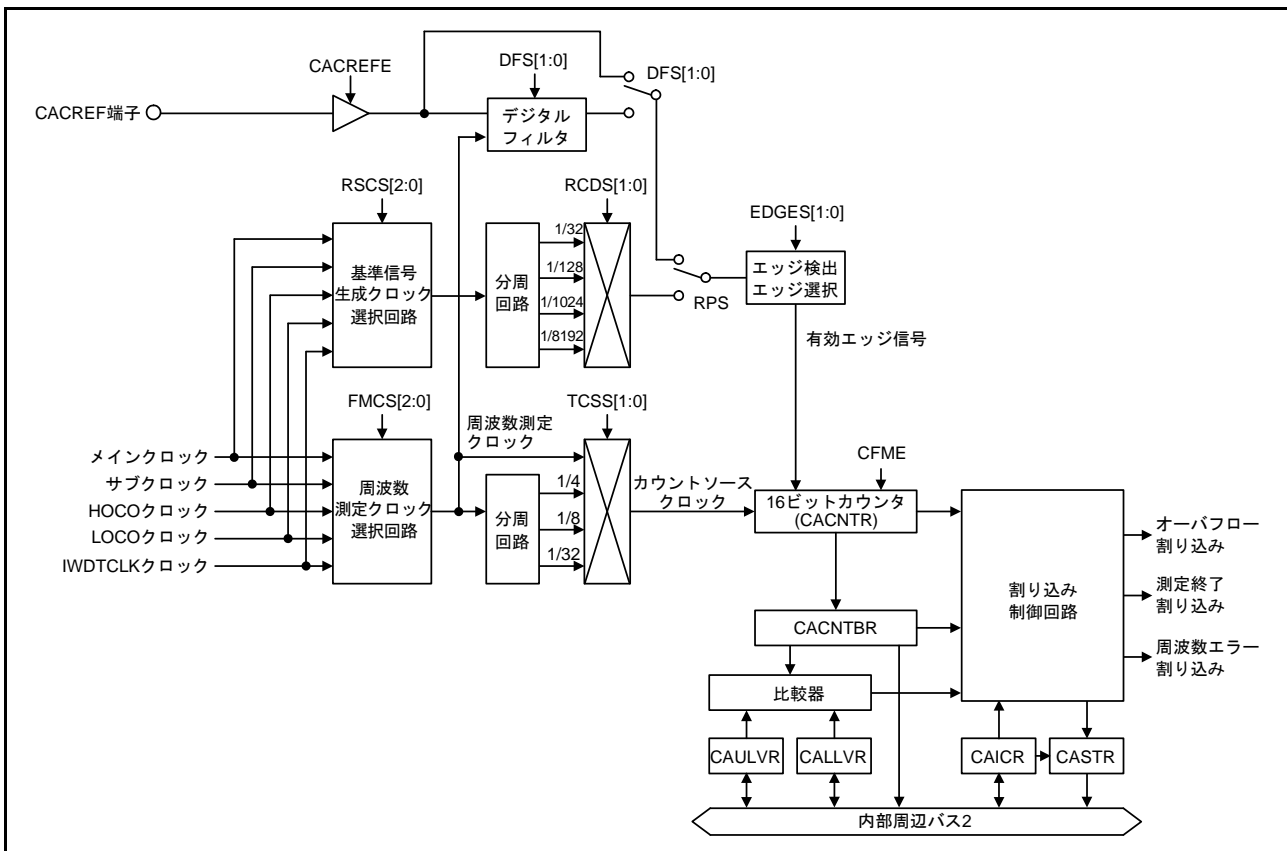


図 10.1 CACのブロック図

表 10.2 に CAC の入出力端子を示します。

表 10.2 CACの入出力端子

端子名	入出力	機能
CACREF	入力	クロック周波数精度測定回路の入力端子

10.2 レジスタの説明

10.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス 0008 B000h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CFME

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定イネーブルビット	0 : クロック周波数測定無効 1 : クロック周波数測定有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

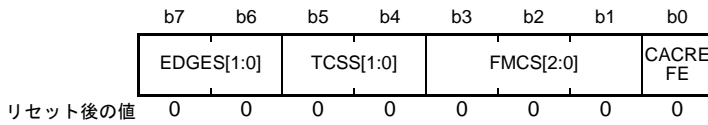
CFME ビット (クロック周波数測定イネーブルビット)

このビットが“1”の場合、クロック周波数測定が有効になります。

このビットを書き換えても内部回路に反映されるまでは時間がかかります。前値が内部回路に反映されていない状態でこのビットを書き換えると無視されます。書き換えが反映されたかはビットの読み出しで確認できます。

10.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス 0008 B001h



ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力イネーブルビット	0 : CACREF 端子入力無効 1 : CACREF 端子入力有効	R/W
b3-b1	FMCS[2:0]	周波数測定クロック選択ビット	[チップバージョンAの場合] b3 b1 0 0 1 : サブクロック発振器出カクロック 0 1 0 : 高速オンチップオシレータ出カクロック 0 1 1 : 低速オンチップオシレータ出カクロック 1 0 0 : IWDT専用オンチップオシレータ出カクロック [チップバージョンB、Cの場合] b3 b1 0 0 0 : メインクロック発振器出カクロック 0 0 1 : サブクロック発振器出カクロック 0 1 0 : 高速オンチップオシレータ出カクロック 0 1 1 : 低速オンチップオシレータ出カクロック 1 0 0 : IWDT専用オンチップオシレータ出カクロック 上記以外は設定しないでください	R/W
b5-b4	TCSS[1:0]	タイマカウントクロックソース選択ビット	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択ビット	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり/立ち下がり両エッジ 1 1 : 設定しないでください	R/W

注. CACR1レジスタは、CACR0.CFMEビットが“0”のときに設定してください。

CACREFE ビット (CACREF 端子入力イネーブルビット)

このビットが“1”の場合、CACREF 端子の入力が有効になります。

FMCS[2:0] ビット (周波数測定クロック選択ビット)

このビットの設定により周波数を測定するクロックを選択できます。

TCSS[1:0] ビット (タイマカウントクロックソース選択ビット)

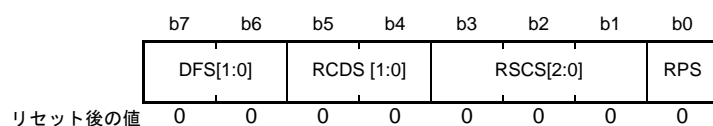
このビットの設定によりクロック周波数精度測定回路のカウントクロックソースを選択します。

EDGES[1:0] ビット (有効エッジ選択ビット)

このビットの設定により基準信号の有効エッジを選択できます。

10.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス 0008 B002h



ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択ビット	0 : CACREF 端子入力 1 : 内部生成信号	R/W
b3-b1	RSCS[2:0]	基準信号生成クロック選択ビット	[チップバージョンAの場合] b3 b1 0 0 1 : サブクロック発振器出カクロック 0 1 0 : 高速オンチップオシレータ出カクロック 0 1 1 : 低速オンチップオシレータ出カクロック 1 0 0 : IWDT専用オンチップオシレータ出カクロック [チップバージョンB、Cの場合] b3 b1 0 0 0 : メインクロック発振器出カクロック 0 0 1 : サブクロック発振器出カクロック 0 1 0 : 高速オンチップオシレータ出カクロック 0 1 1 : 低速オンチップオシレータ出カクロック 1 0 0 : IWDT専用オンチップオシレータ出カクロック 上記以外は設定しないでください	R/W
b5-b4	RCDS [1:0]	基準信号生成クロック分周比選択ビット	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1024分周クロック 1 1 : 8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択ビット	b7 b6 0 0 : デジタルフィルタ機能無効 0 1 : 周波数測定クロック 1 0 : 周波数測定クロックの4分周クロック 1 1 : 周波数測定クロックの16分周クロック	R/W

注. CACR2レジスタは、CACR0.CFMEビットが“0”のときに設定してください。

RPS ビット (基準信号選択ビット)

このビットの設定により基準信号として CACREF 端子入力か内部生成信号のどちらかを選択できます。

RSCS[2:0] ビット (基準信号生成クロック選択ビット)

このビットの設定により基準信号を生成するクロックソースを選択できます。

RCDS[1:0] ビット (基準信号生成クロック分周比選択ビット)

このビットの設定により基準信号生成クロックの分周比を選択します。

DFS[1:0] ビット (デジタルフィルタ機能選択ビット)

このビットの設定により、デジタルフィルタの有効/無効、サンプリングクロックを選択します。

10.2.4 CAC 割り込みコントロールレジスタ (CAICR)

アドレス 0008 B003h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み許可ビット	0: 周波数エラー割り込み無効 1: 周波数エラー割り込み有効	R/W
b1	MENDIE	測定終了割り込み許可ビット	0: 測定終了割り込み無効 1: 測定終了割り込み有効	R/W
b2	OVFIE	オーバフロー割り込み許可ビット	0: オーバフロー割り込み無効 1: オーバフロー割り込み有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FERRFCL	FERRF フラグクリアビット	このビットを“1”にすると FERRF フラグをクリアします。 読み出すと0が読み出されます	R/W
b5	MENDFCL	MENDF フラグクリアビット	このビットを“1”にすると MENDF フラグをクリアします。 読み出すと0が読み出されます	R/W
b6	OVFFCL	OVFF フラグクリアビット	このビットを“1”にすると OVFF フラグをクリアします。 読み出すと0が読み出されます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRIE ビット (周波数エラー割り込み許可ビット)

このビットが“1”の場合、周波数エラー割り込みを許可します。

MENDIE ビット (測定終了割り込み許可ビット)

このビットが“1”の場合、測定終了割り込みを許可します。

OVFIE ビット (オーバフロー割り込み許可ビット)

このビットが“1”の場合、オーバフロー割り込みを許可します。

FERRFCL ビット (FERRF フラグクリアビット)

このビットを“1”にすると FERRF をクリアします。

MENDFCL ビット (MENDF フラグクリアビット)

このビットを“1”にすると MENDF をクリアします。

OVFFCL ビット (OVFF フラグクリアビット)

このビットを“1”にすると OVFF をクリアします。

10.2.5 CAC ステータスレジスタ (CASTR)

アドレス 0008 B004h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	[1になる条件] <ul style="list-style-type: none"> クロック周波数が設定値を外れたとき [0になる条件] <ul style="list-style-type: none"> FERRFCLに“1”を書き込んだとき 	R
b1	MENDF	測定終了フラグ	[1になる条件] <ul style="list-style-type: none"> 測定終了したとき [0になる条件] <ul style="list-style-type: none"> MENDFCLに“1”を書き込んだとき 	R
b2	OVFF	オーバフローフラグ	[1になる条件] <ul style="list-style-type: none"> カウンタがオーバフローしたとき [0になる条件] <ul style="list-style-type: none"> OVFFCLに“1”を書き込んだとき 	R
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRF フラグ (周波数エラーフラグ)

クロックの周波数が設定値を外れたとき“1”になります。

MENDF フラグ (測定終了フラグ)

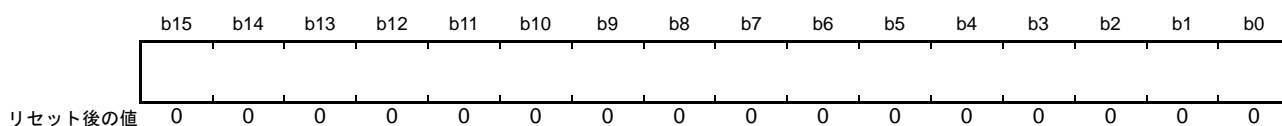
測定終了したとき“1”になります。

OVFF フラグ (オーバフローフラグ)

カウンタがオーバフローしたとき“1”になります。

10.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス 0008 B006h



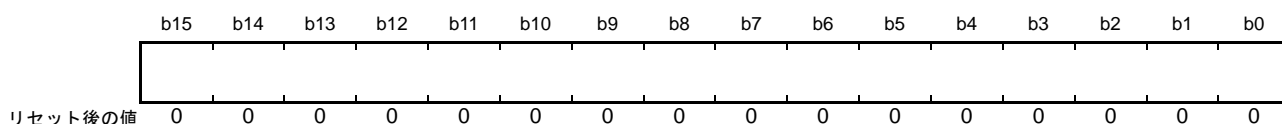
CAULVR レジスタは周波数の上限値を格納する 16 ビットの読み出し / 書き込み可能なレジスタです。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス 0008 B008h



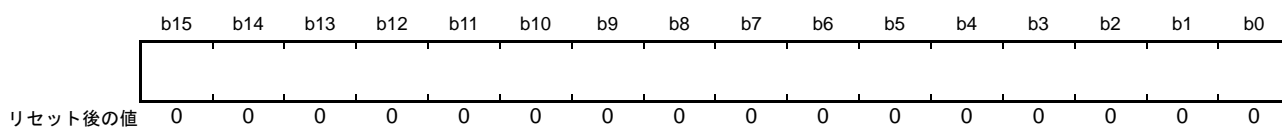
CALLVR レジスタは周波数の下限値を格納する 16 ビットの読み出し / 書き込み可能なレジスタです。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス 0008 B00Ah



基準信号の有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。

10.3 動作説明

10.3.1 CACREF 端子入力を基準にクロック周波数を測定

図 10.2 に CACREF 端子入力を基準としたクロック周波数精度測定回路の動作例を示します。
クロック周波数精度測定回路は、クロック周波数測定時、以下のように動作します。

- (1) CACR2.RPS ビットを“0”、CACR1.CACREFE ビットを“1”にした状態で CACR0.CFME ビットに“1”を書き込むと、CACREF 端子入力を基準としたクロック周波数測定が有効になります。
- (2) CFME ビットに“1”を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジが入力されるとタイマのカウントアップが開始します。
- (3) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに保持し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ \leq CAULVR レジスタかつ CACNTBR レジスタ \geq CALLVR レジスタのときはクロック周波数が正常なので CASTR.MENDF フラグだけが“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (4) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに保持し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ $>$ CAULVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (5) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに保持し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ $<$ CALLVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (6) CACR0.CFME ビットが“1”の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに保持し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACR0.CFME ビットに“0”を書き込むと、カウンタをクリアしカウントアップが停止します。

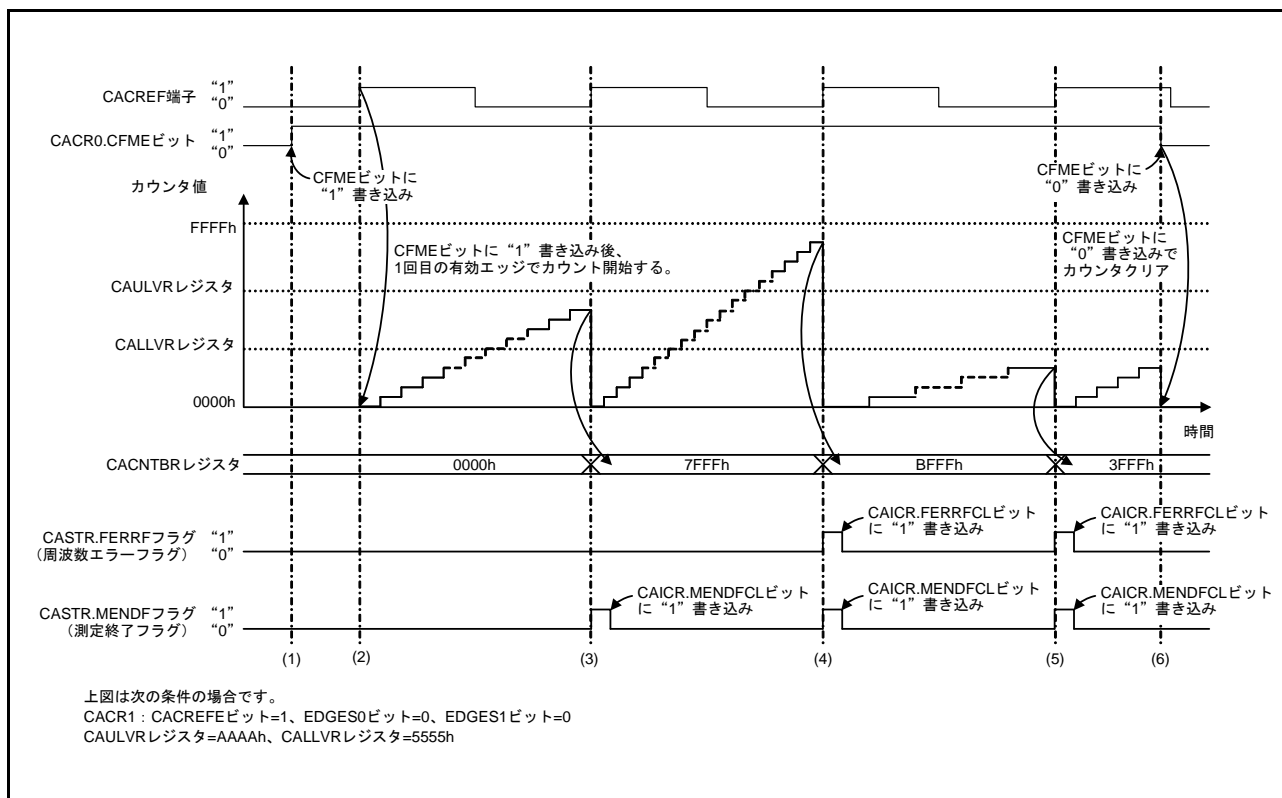


図 10.2 CACREF 端子入力を基準としたクロック周波数精度測定回路の動作例

10.3.2 他のクロックソースを基準にクロック周波数を測定

図 10.3 に他のクロックソースを基準としたクロック周波数精度測定回路の動作例を示します。
クロック周波数精度測定回路は、クロック周波数測定時、以下のように動作します。

- (1) CACR2.RPS ビットを“1”に設定した状態で CACR0.CFME ビットに“1”を書き込むと、他のクロックソースを基準としたクロック周波数測定が有効になります。
- (2) CFME ビットに“1”を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジが入力されるとタイマのカウンタアップが開始します。
- (3) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに保持し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ \leq CAULVR レジスタかつ CACNTBR レジスタ \geq CALLVR レジスタのときはクロック周波数が正常なので CASTR.MENDF フラグだけが“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (4) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに保持し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ $>$ CAULVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (5) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに保持し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ $<$ CALLVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (6) CACR0.CFME ビットが“1”の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに保持し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACR0.CFME ビットに“0”を書き込むと、カウンタをクリアしカウンタアップが停止します。

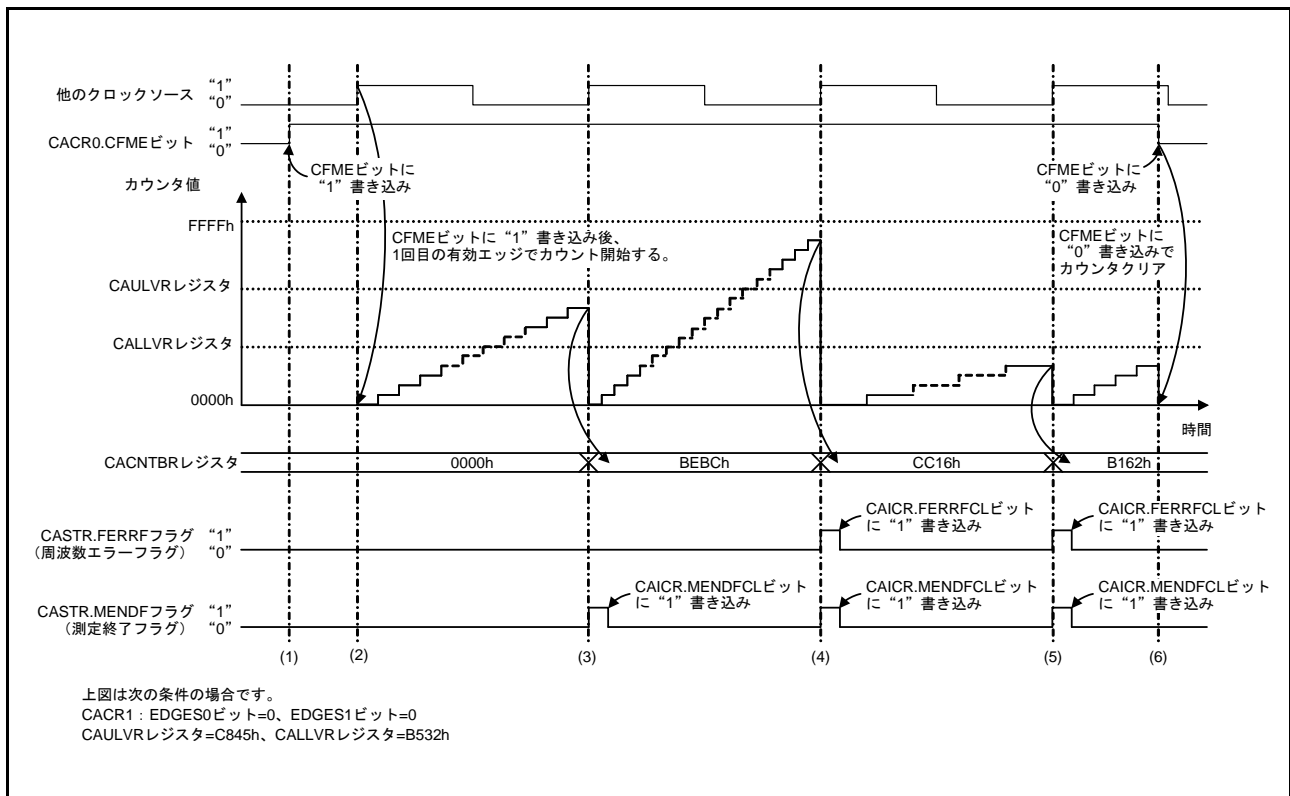


図 10.3 他のクロックソースを基準としたクロック周波数精度測定回路の動作例

10.3.3 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じて 3 回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度 3 回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。

カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウンタ値誤差を表すことができます。

$$\text{カウンタ値誤差} = (\text{カウントソースクロック 1 周期}) / (\text{サンプリングクロック 1 周期})$$

10.4 割り込み要求

クロック周波数精度測定回路が生成する割り込み要求には、周波数エラー割り込み、測定終了割り込みおよびオーバーフロー割り込みの3種類があります。各割り込み要因が発生すると各ステータスフラグが“1”にセットされます。表 10.3 にクロック周波数精度測定回路割り込み要求を示します。

表 10.3 クロック周波数精度測定回路割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタを CAULVR レジスタおよび CALLVR レジスタと比較した結果が CACNTBR レジスタ > CAULVR レジスタまたは CACNTBR レジスタ < CALLVR レジスタのとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	基準信号の有効エッジが入力されたとき ただし、CACR0.CFME ビットを“1”に書き込み後、1回目の有効エッジでは測定終了割り込みは発生しない。
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

10.5 使用上の注意事項

10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、クロック周波数精度測定回路の動作禁止/許可を設定することが可能です。初期値では、クロック周波数精度測定回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

11. 消費電力低減機能

11.1 概要

RX210 グループには、消費電力低減機能としてクロックの切り替えによる消費電力の低減、BCLK 出力制御機能、モジュールストップ機能、通常動作時の低消費電力機能、および低消費電力状態への遷移機能があります。

表 11.1 に消費電力低減機能の仕様を、表 11.2 に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプロダム動作で DMAC、DTC、RAM 以外のモジュールは停止状態になります。

表 11.1 消費電力低減機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLKB)、S12AD用クロック (PCLKD)、外部バスクロック (BCLK)、FlashIFクロック (FCLK) に対し、個別に分周比を設定することが可能 (注1)
BCLK出力制御機能	BCLK出力またはHigh出力の選択が可能 (注1)
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	<ul style="list-style-type: none"> • CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	<ul style="list-style-type: none"> • スリープモード • 全モジュールクロックストップモード • ソフトウェアスタンバイモード • ディープソフトウェアスタンバイモード
動作電力低減機能	<ul style="list-style-type: none"> • 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、および全モジュールクロックストップモード時の消費電力を低減することが可能 <p>[チップバージョンA、Cの場合]</p> <ul style="list-style-type: none"> • 動作電力制御状態：5種類 <ul style="list-style-type: none"> 高速動作モード 中速動作モード1A 中速動作モード1B 低速動作モード1 低速動作モード2 <p>[チップバージョンBの場合]</p> <ul style="list-style-type: none"> • 動作電力制御状態：7種類 <ul style="list-style-type: none"> 高速動作モード 中速動作モード1A 中速動作モード1B 中速動作モード2A 中速動作モード2B 低速動作モード1 低速動作モード2

注1. 詳細は「9. クロック発生回路」を参照してください。

表 11.2 各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	全モジュール クロックストップモード	ソフトウェア スタンバイモード	ディープソフトウェア スタンバイモード
遷移方法	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令
リセット以外の解除方法	割り込み	割り込み (注1)	割り込み (注2)	割り込み (注3)
解除後の状態 (注4)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (リセット処理)
メインクロック発振器	動作可能	動作可能	停止	停止
サブクロック発振器	動作可能	動作可能	動作可能 (注5)	動作可能 (注5)
高速オンチップオシレータ	動作可能	動作可能	停止	停止
低速オンチップオシレータ	動作可能	動作可能	停止	停止
IWDT専用オンチップオシレータ	動作可能 (注6)	動作可能 (注6)	動作可能 (注6)	停止 (不定) (注6)
PLL	動作可能	動作可能	停止	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
RAM0 (0000 0000h~0000 FFFFh) RAM1 (0001 0000h~0001 7FFFh)	動作可能 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
フラッシュメモリ	動作	停止 (保持)	停止 (保持)	停止 (保持)
ウォッチドッグタイマ (WDT)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
独立ウォッチドッグタイマ (IWDT)	動作可能 (注6)	動作可能 (注6)	動作可能 (注6)	停止 (不定) (注6)
リアルタイムクロック (RTC)	動作可能	動作可能	動作可能	動作可能
8ビットタイマ (ユニット0、1) (TMR)	動作可能	動作可能 (注7)	停止 (保持)	停止 (不定)
電圧検出回路 (LVD)	動作可能	動作可能	動作可能 (注8)	動作可能 (注9)
パワーオンリセット回路	動作	動作	動作 (注8)	動作 (注8)
周辺モジュール	動作可能	停止 (保持)	停止 (保持)	停止 (不定)
I/Oポート	動作	保持 (注10)	保持 (注11)	保持 (注11)

動作可能は、制御レジスタ設定によって動作/停止を制御可能であることを示します。

停止 (保持) は、内部レジスタ値保持、内部状態は動作中断を示します。

停止 (不定) は、内部レジスタ値不定、内部状態は電源オフを示します。

- 注1. 外部端子割り込み (NMI、IRQ0~IRQ7)、周辺機能割り込み (8ビットタイマ、RTCアラーム、RTC周期、IWDT、電圧監視1、電圧監視2、発振停止検出)。
- 注2. 外部端子割り込み (NMI、IRQ0~IRQ7)、周辺機能割り込み (RTCアラーム、RTC周期、IWDT、電圧監視1、電圧監視2)。
- 注3. 外部端子割り込み発生元となる一部の端子 (NMI、IRQ0-DS~IRQ7-DS、SCL-DS、SDA-DS)、周辺機能割り込み (RTCアラーム、RTC周期、電圧監視1、電圧監視2)。ただし、ディープスタンバイインタラプトイネーブルレジスタ*i* (DPSIER*i*) (*i*=0、2)の当該ビットが“1”のときのみ有効。端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。
- 注4. RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除は除きます。RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除の場合は、リセット状態に遷移します。
- 注5. RTCコントロールレジスタ3のサブクロック発振器制御ビット (RCR3.RTCEN) の設定によって、動作/停止が選択できません。
- 注6. IWDTオートスタートモード時、オプション機能選択レジスタ0のIWDTスリープモードカウント停止制御ビット (OFS0.IWDTSLCSTP) の設定により、動作/停止を選択することができます。OFS0.IWDTSLCSTPビットが“0” (低消費電力モード移行時カウント継続) に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。IWDTオートスタートモードではないとき、IWDTカウント停止コントロールレジスタのスリープモードカウント停止制御ビット (IWDTCSLTPR.SLCSTP) の設定により、動作/停止を選択することができます。IWDTCSLTPR.SLCSTPビットが“0” (低消費電力モード遷移時カウント継続) に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。
- 注7. モジュールストップコントロールレジスタAの8ビットタイマ1、0 (ユニット0) モジュールストップ設定ビット (MSTPCRA.MSTPA5)、8ビットタイマ3、2 (ユニット1) モジュールストップ設定ビット (MSTPCRA.MSTPA4) の設定によって、動作/停止を選択することができます。
- 注8. フラッシュHOCOソフトウェアスタンバイコントロールレジスタのソフトカットビット (FHSSBYCR.SOFTCUT2) が“1”の設定で、ソフトウェアスタンバイモードに移行した場合、もしくはディープスタンバイコントロールレジスタのディープ

カットビット (DPSBYCR.DEEPCUT1) が“1”の設定で、ディープソフトウェアスタンバイモードに移行した場合、電圧検出回路は停止し、パワーオンリセット回路は低消費電力機能が有効になります。

- 注9. 電圧監視1回路制御レジスタ0の電圧監視1回路モード選択ビット (LVD1CR0.LVD1RI) が“1”、もしくは電圧監視2回路制御レジスタ0の電圧監視2回路モード選択ビット (LVD2CR0.LVD2RI) が“1”に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。
- 注10. P53をBCLKとして使用している場合は、BCLK出力のまま動作を継続します。8ビットタイマ、RTCを動作させている場合、関連する端子は動作を継続します。
- 注11. スタンバイコントロールレジスタの出力ポートイネーブルビット (SBYCR.OPE) の設定によって、アドレスバス、バス制御信号 (CS0#~CS3#、RD#、WR0#、WR1#、WR#、BC0#、BC1#、ALE) の保持/ハイインピーダンスを選択することができます。

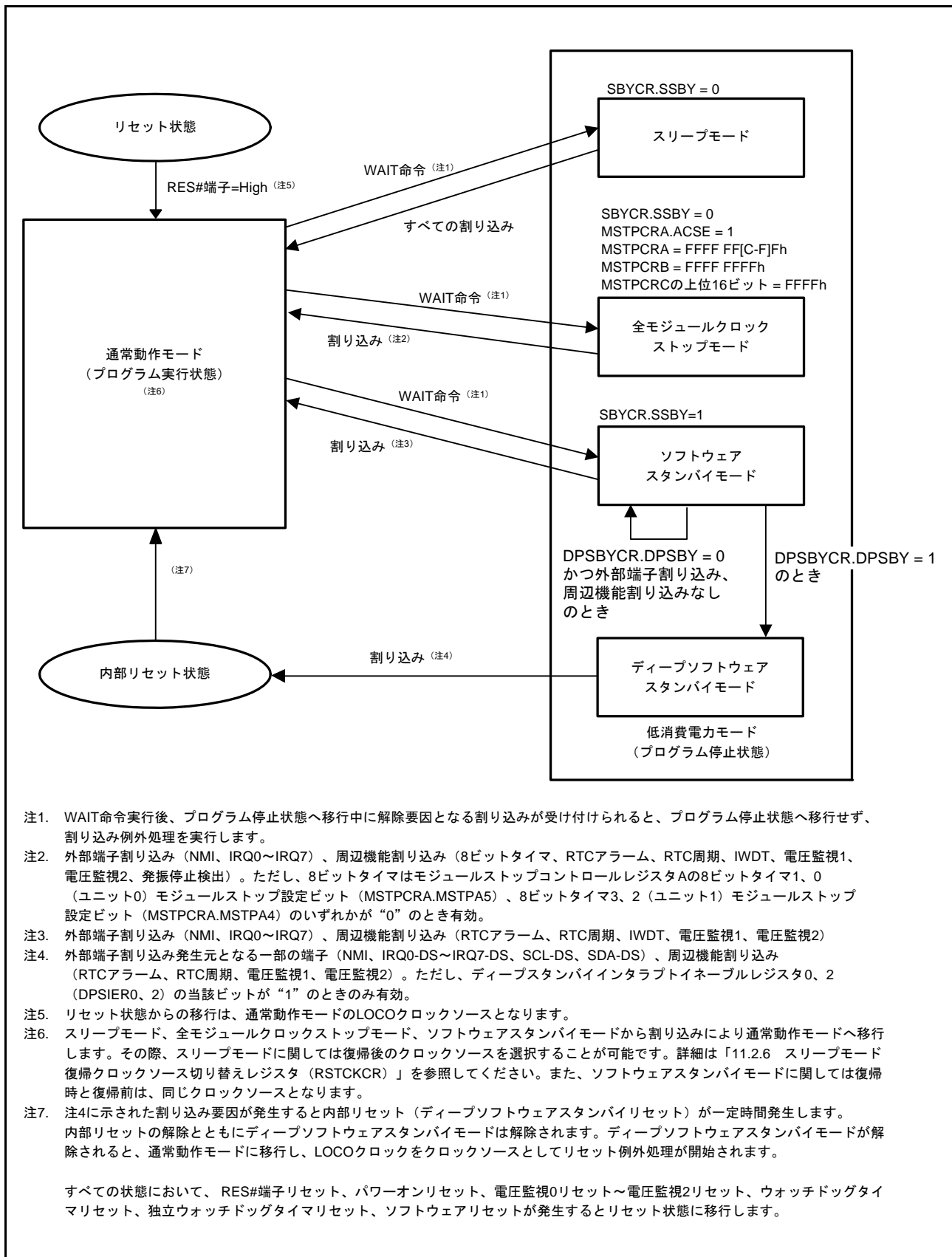


図 11.1 モード遷移

11.2 レジスタの説明

11.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	OPE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	OPE	出力ポート許可ビット	0: ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス 1: ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持	R/W
b15	SSBY	ソフトウェアスタンバイビット	0: WAIT 命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1: WAIT 命令実行後、ソフトウェアスタンバイモードに移行	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

OPE ビット（出力ポート許可ビット）

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時に、アドレスバス、バス制御信号（CS0#～CS3#、RD#、WR0#、WR1#、WR#、BC0#、BC1#、ALE）の出力を保持するか、ハイインピーダンスにするかを選択します。

SSBY ビット（ソフトウェアスタンバイビット）

WAIT 命令実行後の移行先を設定します。

SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードへ移行します。

なお、割り込みによってソフトウェアスタンバイモードが解除され通常モードに移行したときは、SSBY ビットは“1”のままです。SSBY ビットを“0”にするときは“0”を書いてください。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット（OSTDCR.OSTDE）が“1”のときは、SSBY ビットに設定された値は無効になります。SSBY ビットが“1”のときも、WAIT 命令実行後は、スリープモードまたは全モジュールクロックストップモードに移行します。

11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ACSE	—	MSTPA 29	MSTPA 28	MSTPA 27	—	—	MSTPA 24	—	—	—	—	MSTPA 19	—	MSTPA 17	—
リセット後の値	0	1	0	0	0	1	1	0	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA 15	MSTPA 14	MSTPA 13	—	—	—	MSTPA 9	—	—	—	MSTPA 5	MSTPA 4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPA4	8ビットタイマ3、2 (ユニット1) モジュールストップ設定ビット	対象モジュール：TMR3、TMR2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPA5	8ビットタイマ1、0 (ユニット0) モジュールストップ設定ビット	対象モジュール：TMR1、TMR0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPA9	マルチファンクションタイマパルス ユニットモジュール ストップ設定ビット	対象モジュール：MTU (MTU0～MTU5) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b12-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b13	MSTPA13	16ビットタイマパルスユニット モジュールストップ設定ビット	対象モジュール：TPU (TPU0～TPU5) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14	MSTPA14	コンペアマッチタイマ (ユニット1) モジュールストップ設定ビット	対象モジュール：CMTユニット1 (CMT2、CMT3) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	MSTPA15	コンペアマッチタイマ (ユニット0) モジュールストップ設定ビット	対象モジュール：CMTユニット0 (CMT0、CMT1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPA17	12ビットA/Dコンバータモジュール ストップ設定ビット	対象モジュール：S12AD 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPA19	D/Aコンバータモジュールストップ設定 ビット	対象モジュール：DA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b23-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b24	MSTPA24	モジュールストップA24設定ビット	読み出し、書き込みともに有効です。全モジュールク ロックストップモードへ移行させる場合は、本ビット に“1”を書き込んでおく必要があります	R/W
b26-b25	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b27	MSTPA27	モジュールストップA27設定ビット	読み出し、書き込みともに有効です。全モジュールク ロックストップモードへ移行させる場合は、本ビット に“1”を書き込んでおく必要があります	R/W
b28	MSTPA28	DMAコントローラ/データ転送ファ コントローラモジュールストップ設定 ビット	対象モジュール：DMAC/DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPA29	モジュールストップA29設定ビット	読み出し、書き込みともに有効です。全モジュールク ロックストップモードへ移行させる場合は、本ビット に“1”を書き込んでおく必要があります	R/W
b30	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b31	ACSE	全モジュールクロックストップモード許可ビット	0: 全モジュールクロックストップモード禁止 1: 全モジュールクロックストップモード許可	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

ACSE ビット（全モジュールクロックストップモード許可ビット）

ACSE ビットにて、全モジュールクロックストップモードへの移行の許可または禁止を設定します。ACSE ビットを“1”にして、SBYCR.SSBY ビット、MSTPCRA、MSTPCRB、MSTPCRC レジスタが所定の条件を満たした状態で、CPU が WAIT 命令を実行した場合、全モジュールクロックストップモードに移行します。詳細は「11.6.2 全モジュールクロックストップモード」を参照してください。

8 ビットタイマは、MSTPA5、MSTPA 4 ビットの設定によって、動作 / 停止を選択することができます。SBYCR.SSBY=0 で、MSTPCRA.ACSE=0 の場合は WAIT 命令実行後、スリープモードに移行します。

11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス 0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPB31	MSTPB30	MSTPB29	MSTPB28	MSTPB27	MSTPB26	MSTPB25	MSTPB24	MSTPB23	—	MSTPB21	—	—	—	MSTPB17	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MSTPB10	MSTPB9	MSTPB8	—	MSTPB6	—	MSTPB4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPB4	シリアルコミュニケーション インタフェース SCId モジュール ストップ設定ビット	対象モジュール：SCId (SC12) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	MSTPB6	DOCモジュールストップ設定ビット	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b8	MSTPB8	温度センサモジュールストップ設定 ビット	対象モジュール：温度センサ 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9	MSTPB9	ELCモジュールストップ設定ビット	対象モジュール：ELC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	MSTPB10	コンパレータBモジュールストップ設定 ビット	対象モジュール：コンパレータB 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16-b11	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPB17	シリアルペリフェラルインタフェース0 モジュールストップ設定ビット	対象モジュール：RSPI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20-b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b21	MSTPB21	I2Cバスインタフェース0モジュール ストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPB23	CRC演算器モジュールストップ設定 ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24	MSTPB24	シリアルコミュニケーション インタフェース7モジュールストップ 設定ビット	対象モジュール：SCI7 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25	MSTPB25	シリアルコミュニケーション インタフェース6モジュールストップ 設定ビット	対象モジュール：SCI6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPB26	シリアルコミュニケーション インタフェース5モジュールストップ 設定ビット	対象モジュール：SCI5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPB27	シリアルコミュニケーション インタフェース4モジュールストップ 設定ビット	対象モジュール：SCI4 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b28	MSTPB28	シリアルコミュニケーション インタフェース3モジュールストップ 設定ビット	対象モジュール：SCI3 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPB29	シリアルコミュニケーション インタフェース2モジュールストップ 設定ビット	対象モジュール：SCI2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	MSTPB30	シリアルコミュニケーション インタフェース1モジュールストップ 設定ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーション インタフェース0モジュールストップ 設定ビット	対象モジュール：SCI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	MSTPC 27	MSTPC 26	MSTPC 25	MSTPC 24	—	—	—	—	MSTPC 19	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC 1	MSTPC 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAM0 モジュールストップ設定ビット (注1)	対象モジュール：RAM0 (0000 0000h～0000 FFFFh) 0：RAM0動作 1：RAM0停止	R/W
b1	MSTPC1	RAM1 モジュールストップ設定ビット (注1)	対象モジュール：RAM1 (0001 0000h～0001 7FFFh) 0：RAM1動作 1：RAM1停止	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPC19	クロック周波数精度測定回路モジュールストップ設定ビット (注2)	対象モジュール：CAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b23-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b24	MSTPC24	シリアルコミュニケーションインタフェース11モジュールストップ設定ビット	対象モジュール：SCI11 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25	MSTPC25	シリアルコミュニケーションインタフェース10モジュールストップ設定ビット	対象モジュール：SCI10 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPC26	シリアルコミュニケーションインタフェース9モジュールストップ設定ビット	対象モジュール：SCI9 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPC27	シリアルコミュニケーションインタフェース8モジュールストップ設定ビット	対象モジュール：SCI8 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b28	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. RAMアクセス中に該当するMSTPC1ビット、MSTPC0ビットを“1”にしないでください。また、MSTPC1ビット、MSTPC0ビットが“1”の状態、該当するRAMにアクセスしないでください。

注2. MSTPC19ビットの書き換えは、本ビットによって制御するクロックの発振が安定しているときに行ってください。本ビットを書き換えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後、そのときに発振している発振器のうち、最も遅いクロックを出力する発振器の出力クロックで2サイクル経過したのち、WAIT命令を実行してください。

11.2.5 動作電力コントロールレジスタ (OPCCR)

アドレス 0008 00A0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	OPCM TSF	—	OPCM[2:0]		
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	OPCM[2:0]	動作電力制御モード 選択ビット	[チップバージョンA、Cの場合] b2 b0 0 0 0: 高速動作モード 0 1 0: 中速動作モード1A 0 1 1: 中速動作モード1B 1 1 0: 低速動作モード1 1 1 1: 低速動作モード2 [チップバージョンBの場合] b2 b0 0 0 0: 高速動作モード 0 1 0: 中速動作モード1A 0 1 1: 中速動作モード1B 1 0 0: 中速動作モード2A 1 0 1: 中速動作モード2B 1 1 0: 低速動作モード1 1 1 1: 低速動作モード2 上記以外は設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	OPCMTSF	動作電力制御モード 遷移状態フラグ	<ul style="list-style-type: none"> リード時 0: 遷移完了 1: 遷移中 ライト時 書き込みは“0”としてください 	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

OPCCR レジスタは、通常動作モード、スリープモード、全モジュールクロックストップモード時の消費電力を低減させるためのレジスタです。

OPCCR レジスタの設定によって、使用する動作周波数、動作電圧に応じて消費電力を低減させることができます。

以下に該当する場合、OPCCR レジスタの書き換えは禁止です。

- 動作電力制御モード遷移状態フラグ (OPCMTSF) が“1”（動作電力制御モード切り替え遷移中）のとき
- フラッシュ P/E モードエントリレジスタの ROM P/E モードエントリビット i (FENTRYR.FENTRYi) が“1” (ROM P/E モード、E2 データフラッシュ P/E モード) のとき (i = 0、1、D)
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

フラッシュメモリがプログラム/イレーズ (P/E) 中は、OPCCR レジスタのライトアクセスはできません。書き込みは無効になります。

動作電力制御モードへの遷移手順は、「11.5 動作電力低減機能」を参照してください。

OPCM[2:0] ビット (動作電力制御モード選択ビット)

通常動作モード、スリープモード、全モジュールクロックストップモード時の動作電力制御モードを選択します。

表 11.3、表 11.4 に動作電力制御モード、OPCM ビット設定値と、動作周波数範囲、動作電圧範囲、消費電力の関係を示します。

表 11.3 動作電力制御モードと動作範囲・消費電力の関係 [チップバージョンA、Cの場合]

動作電力 制御モード	OPCM[2:0] ビット	動作電圧範囲	動作周波数範囲						消費 電力
			フラッシュメモリリード時					フラッシュ メモリP/E時	
			ICLK	FCLK	PCLKD	PCLKB	BCLK	FCLK	
高速動作モード	000b	3.6~5.5V	50MHz max	32MHz max	50MHz max	32MHz max	25MHz max	4MHz~32MHz	大 ↓ 小
		2.7~3.6V						4MHz~32MHz	
		1.8~2.7V	—	—	—	—	—	—	
		1.62~1.8V	—	—	—	—	—	—	
中速動作モード1A	010b	3.6~5.5V	32MHz max	32MHz max	32MHz max	32MHz max	25MHz max	4MHz~32MHz	
		2.7~3.6V						4MHz~32MHz	
		1.8~2.7V						—	
		1.62~1.8V	20MHzmax	20MHzmax	20MHzmax	20MHzmax	20MHzmax	—	
中速動作モード1B	011b	3.6~5.5V	32MHz max	32MHz max	32MHz max	32MHz max	25MHz max	—	
		2.7~3.6V						4MHz~32MHz	
		1.8~2.7V						4MHz~32MHz	
		1.62~1.8V	20MHzmax	20MHzmax	20MHzmax	20MHzmax	20MHzmax	4MHz~20MHz	
低速動作モード1	110b	3.6~5.5V	1MHz max	1MHz max	1MHz max	1MHz max	1MHz max	—	
		2.7~3.6V						—	
		1.8~2.7V						—	
		1.62~1.8V						—	
低速動作モード2	111b	3.6~5.5V	32.768kHz max	32.768kHz max	32.768kHz max	32.768kHz max	32.768kHz max	—	
		2.7~3.6V						—	
		1.8~2.7V						—	
		1.62~1.8V						—	

表 11.4 動作電力制御モードと動作範囲・消費電力の関係[チップバージョンBの場合]

動作電力制御モード	OPCM[2:0]ビット	動作電圧範囲	動作周波数範囲						消費電力
			フラッシュメモリリード時					フラッシュメモリP/E時	
			ICLK	FCLK	PCLKD	PCLKB	BCLK	FCLK	
高速動作モード	000b	3.6~5.5V	50MHz max	32MHz max	50MHz max	32MHz max	25MHz max	4MHz~32MHz	大
		2.7~3.6V						4MHz~32MHz	
		1.8~2.7V	—	—	—	—	—	—	
		1.62~1.8V	—	—	—	—	—	—	
中速動作モード1A	010b	3.6~5.5V	32MHz max	32MHz max	32MHz max	32MHz max	25MHz max	4MHz~32MHz	
		2.7~3.6V						4MHz~32MHz	
		1.8~2.7V						—	
		1.62~1.8V	20MHzmax	20MHzmax	20MHzmax	20MHzmax	20MHzmax	—	
中速動作モード1B	011b	3.6~5.5V	32MHz max	32MHz max	32MHz max	32MHz max	25MHz max	—	
		2.7~3.6V						4MHz~32MHz	
		1.8~2.7V						4MHz~32MHz	
		1.62~1.8V	20MHzmax	20MHzmax	20MHzmax	20MHzmax	20MHzmax	4MHz~20MHz	
中速動作モード2A	100b	3.6~5.5V	32MHz max	32MHz max	32MHz max	32MHz max	25MHz max	4MHz~32MHz	
		2.7~3.6V						4MHz~32MHz	
		1.8~2.7V	16MHz max	16MHz max	16MHz max	16MHz max	16MHz max	—	
		1.62~1.8V	8MHz max	8MHz max	8MHz max	8MHz max	8MHz max	—	
中速動作モード2B	101b	3.6~5.5V	32MHz max	32MHz max	32MHz max	32MHz max	25MHz max	—	
		2.7~3.6V						4MHz~32MHz	
		1.8~2.7V	16MHz max	16MHz max	16MHz max	16MHz max	16MHz max	4MHz~16MHz	
		1.62~1.8V	8MHz max	8MHz max	8MHz max	8MHz max	8MHz max	4MHz~8MHz	
低速動作モード1	110b	3.6~5.5V	8MHz max	8MHz max	8MHz max	8MHz max	8MHz max	—	
		2.7~3.6V						—	
		1.8~2.7V	4MHz max	4MHz max	4MHz max	4MHz max	4MHz max	—	
		1.62~1.8V	2MHz max	2MHz max	2MHz max	2MHz max	2MHz max	—	
低速動作モード2	111b	3.6~5.5V	32.768kHz max	32.768kHz max	32.768kHz max	32.768kHz max	32.768kHz max	—	小
		2.7~3.6V						—	
		1.8~2.7V						—	
		1.62~1.8V						—	

以下に動作電力制御モードを示します。

・高速動作モード（チップバージョンA、B、Cの場合）

高速動作可能なモードです。

フラッシュメモリ（FLASH）リード時の最大動作周波数は、ICLK、PCLKDが50MHz、FCLK、PCLKBが32MHz、BCLKが25MHzです。FLASHプログラム/イレーズ（P/E）時のFCLKは、4~32MHzでの動作が可能です。動作電圧範囲は、FLASHリード時、P/E時とも2.7V~5.5Vです。1.62V~2.7V未満の電圧範囲でご使用の場合は、本モードは設定禁止です。

図 11.2 に高速動作モードにおける動作電圧と動作周波数の関係を示します。

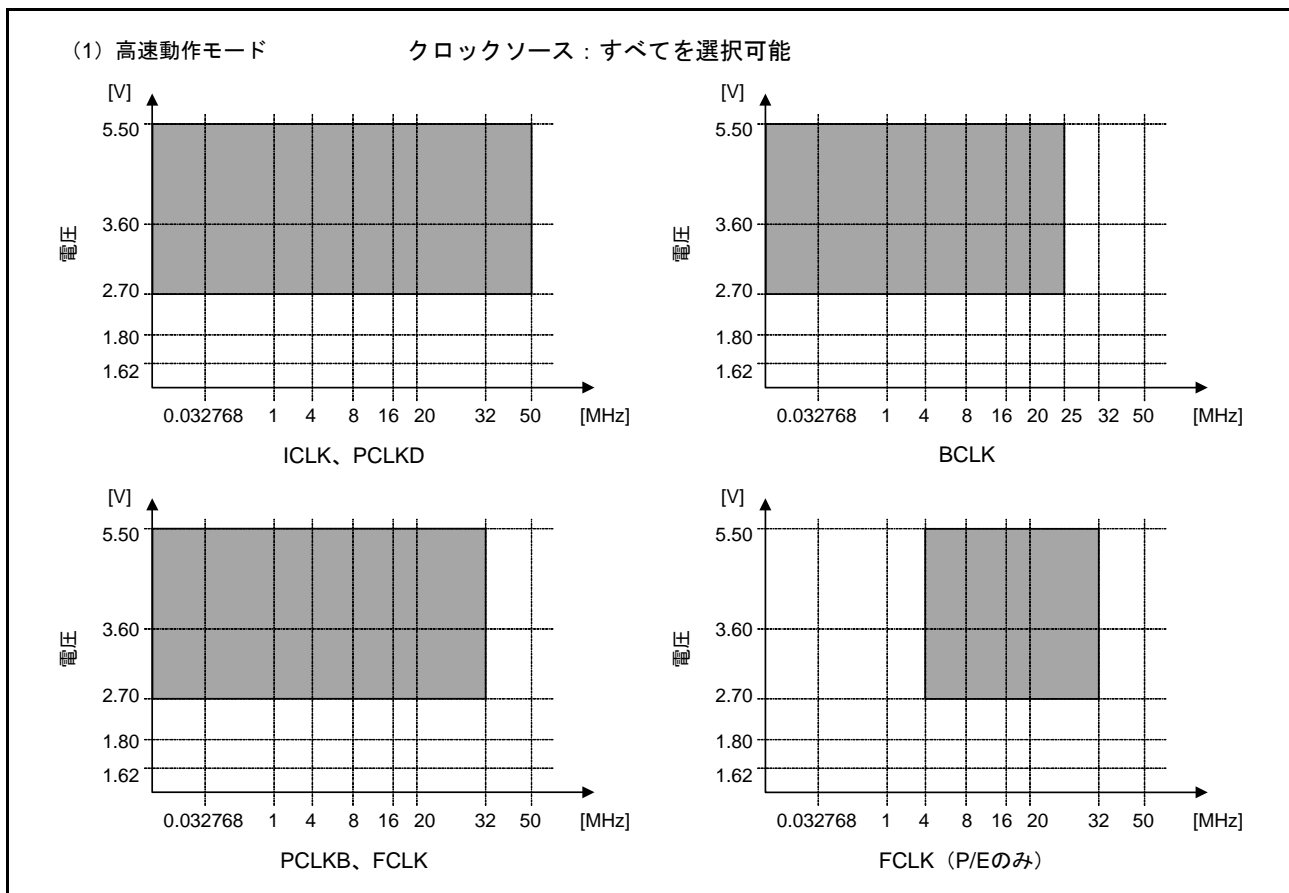


図 11.2 高速動作モードにおける動作電圧と動作周波数の関係

・中速動作モード A (チップバージョン A、B、C の場合)

広い電圧範囲での動作可能なモードです。

FLASH リード時の最大動作周波数は、ICLK、FCLK、PCLKD、PCLKB が 32MHz、BCLK が 25MHz です。FLASH リード時の動作電圧範囲は 1.62V ~ 5.5V です。ただし、1.62V ~ 1.8V 未満の電圧範囲での FLASH リード時の最大動作周波数は、ICLK、FCLK、PCLKD、PCLKB、BCLK とも 20MHz に制限されます。

P/E 時の動作周波数範囲は 4 ~ 32MHz、動作電圧範囲は 2.7V ~ 5.5V です。

リセット解除後は、本モードで起動します。

・中速動作モード 1B (チップバージョン A、B、C の場合)

中速動作モード 1A をベースに、低速・低電圧動作範囲での FLASH P/E 向けに消費電力を低減したモードです。

FLASH リード時の動作周波数範囲・動作電圧範囲は、中速動作モード 1A と同じです。

一方、P/E 時は、動作周波数範囲が 4 ~ 32MHz、動作電圧範囲が 1.62V ~ 3.6V となります。ただし、1.62V ~ 1.8V 未満の電圧範囲での P/E 時の最大動作周波数は 20MHz に制限されます。

図 11.3 に中速動作モード 1A、1B における動作電圧と動作周波数の関係を示します。

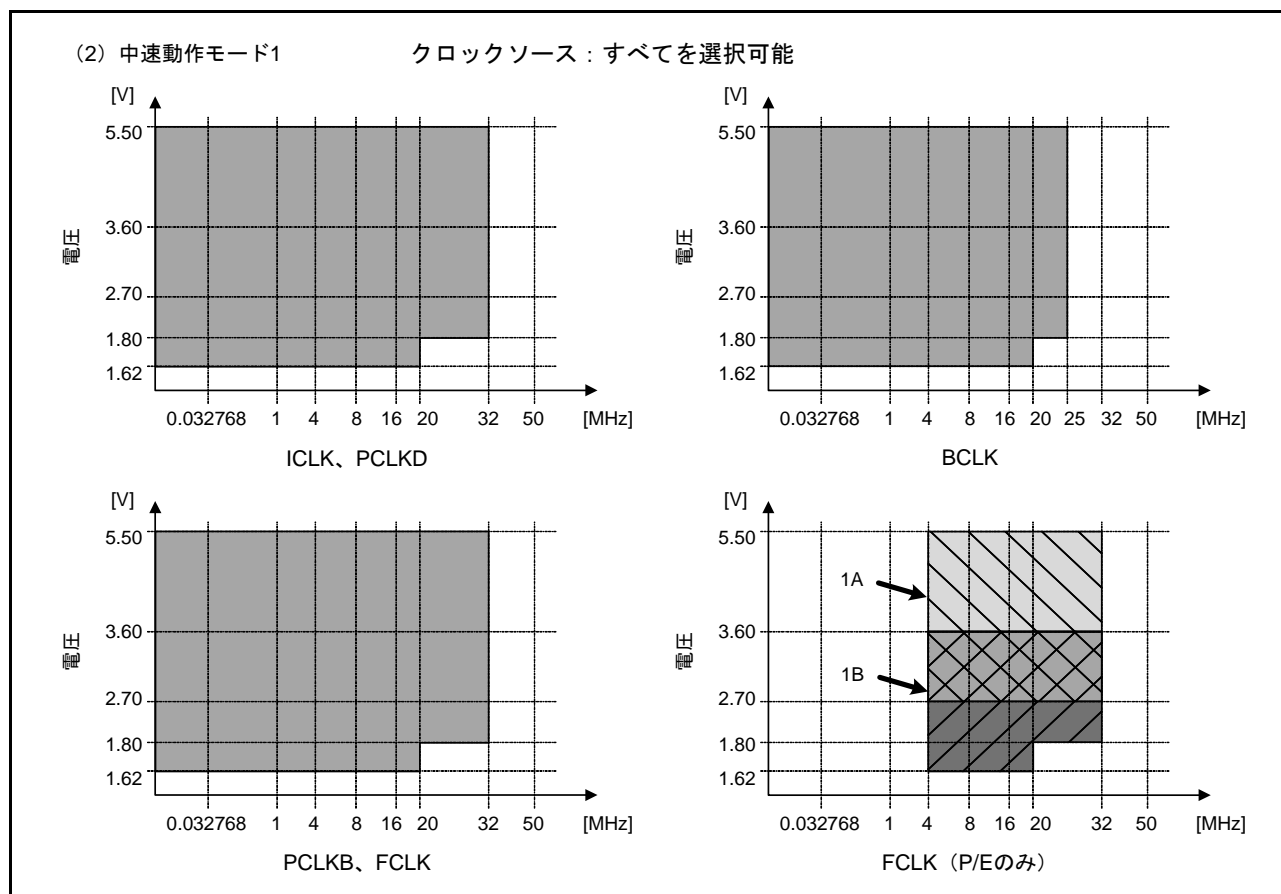


図 11.3 中速動作モード 1A、1B における動作電圧と動作周波数の関係

・中速動作モード 2A (チップバージョン B の場合)

中速動作モード 1A/1B よりも低速動作向けに消費電力を低減したモードです。

FLASH リード時の最大動作周波数は、ICLK、FCLK、PCLKD、PCLKB が 32MHz、BCLK が 25MHz です。FLASH リード時の動作電圧範囲は 1.62V ~ 5.5V です。ただし、1.8V ~ 2.7V 未満の電圧範囲での FLASH リード時の最大動作周波数は、ICLK、FCLK、PCLKD、PCLKB、BCLK とも 16MHz に制限されます。また、1.62V ~ 1.8V 未満の電圧範囲での FLASH リード時の最大動作周波数は、ICLK、FCLK、PCLKD、PCLKB、BCLK とも 8MHz に制限されます。

P/E 時の動作周波数範囲は 4 ~ 32MHz、動作電圧範囲は 2.7V ~ 5.5V です。

同条件 (周波数・電圧) で同じ動作をさせる場合、中速動作モード 1A/1B よりも消費電力を低減できます。

・中速動作モード 2B (チップバージョン B の場合)

中速動作モード 2A をベースに、低速・低電圧動作範囲での FLASH P/E 向けに消費電力を低減したモードです。

FLASH リード時の動作周波数範囲・動作電圧範囲は、中速動作モード 2A と同じです。

一方、P/E 時は、動作周波数範囲が 4 ~ 32MHz、動作電圧範囲が 1.62V ~ 3.6V となります。ただし、1.8V ~ 2.7V 未満の電圧範囲での P/E 時の最大動作周波数は 16MHz に制限されます。また、1.62V ~ 1.8V 未満の電圧範囲での P/E 時の最大動作周波数は 8MHz に制限されます。

図 11.4 に中速動作モード 2A、2B における動作電圧と動作周波数の関係を示します。

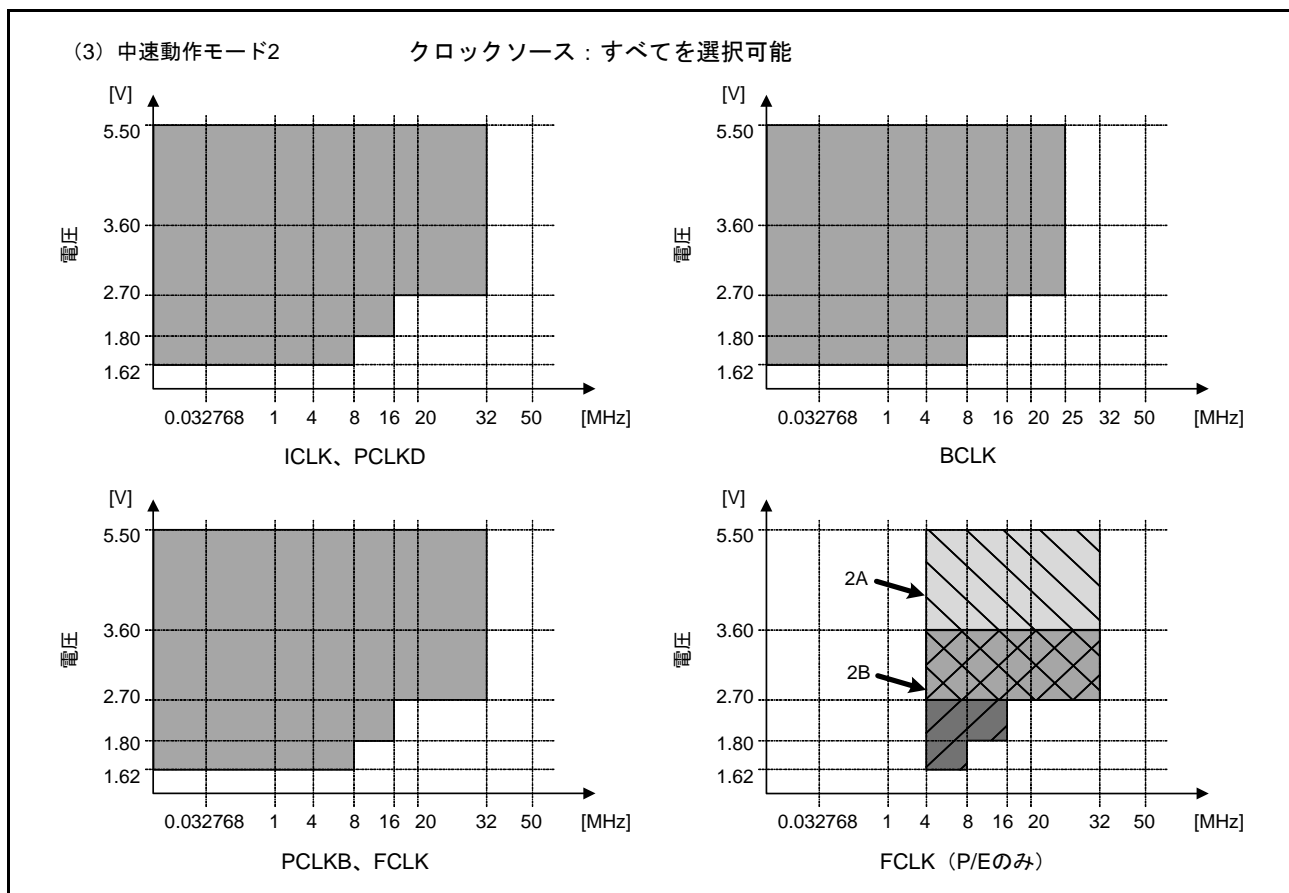


図 11.4 中速動作モード 2A、2B における動作電圧と動作周波数の関係

・低速動作モード1（チップバージョンA、Cの場合）

中速動作モード1A/1Bよりも更に低速動作向けに消費電力を低減したモードです。

FLASHリード時の最大動作周波数は、ICLK、FCLK、PCLKB、PCLKD、BCLKとも1MHzで、動作電圧範囲は、1.62V～5.5Vです。

本モードでは、FLASHのP/E動作はできません。また、本モードではPLLCR2.PLLENビットを“0”（PLL動作）にする書き込みは禁止です。

同条件（周波数・電圧）で同じ動作をさせる場合、中速動作モード1A/1Bよりも消費電力を低減できます。

図11.5に低速動作モード1（チップバージョンA、Cの場合）における動作電圧と動作周波数の関係を示します。

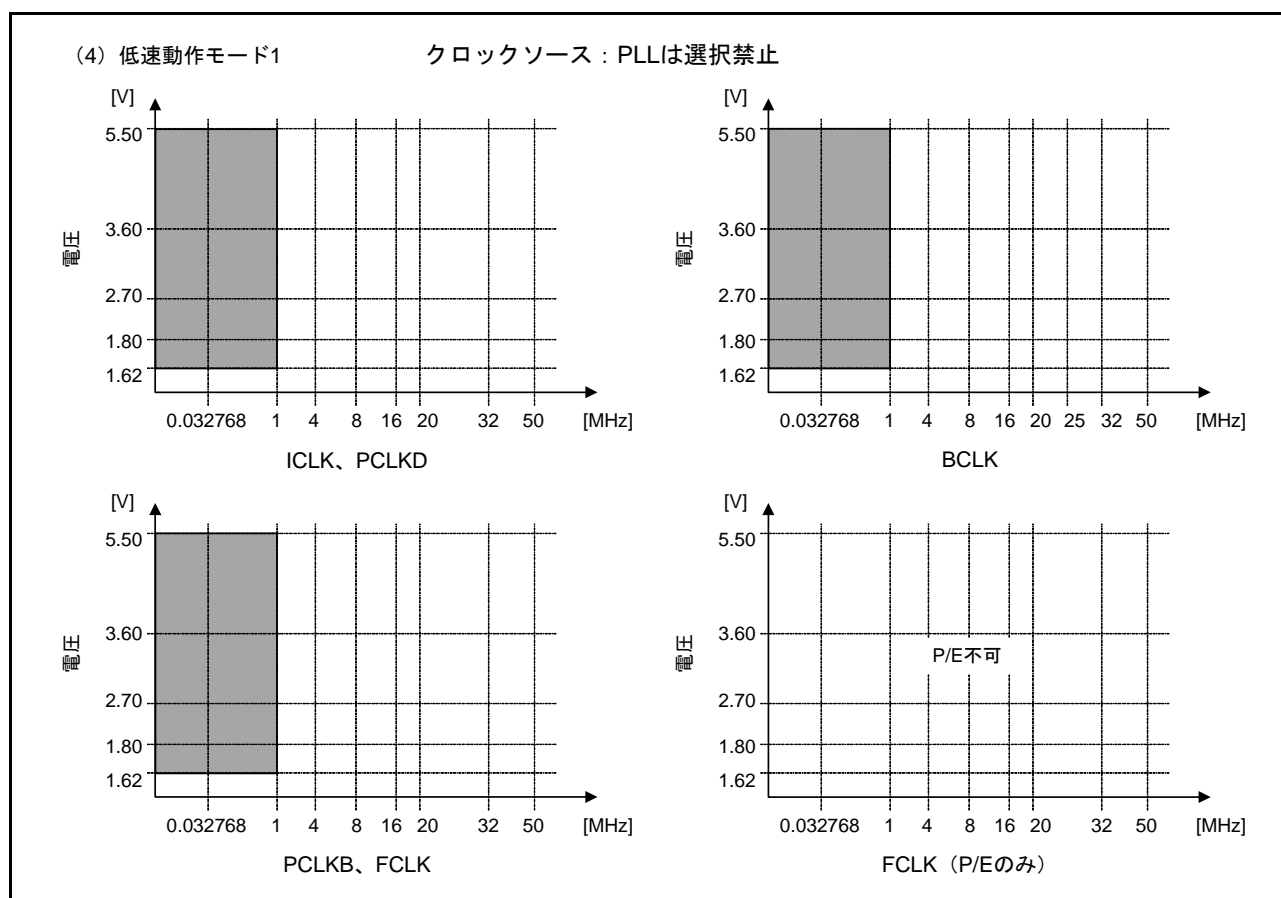


図 11.5 低速動作モード1（チップバージョンA、Cの場合）における動作電圧と動作周波数の関係

・低速動作モード1 (チップバージョンBの場合)

中速動作モード2A/2Bよりも更に低速動作向けに消費電力を低減したモードです。

FLASH リード時の最大動作周波数は、ICLK、FCLK、PCLKD、PCLKB、BCLKとも8MHzで、動作電圧範囲は、1.62V～5.5Vです。ただし、1.8V～2.7V未満の電圧範囲でのFLASH リード時の最大動作周波数は、ICLK、FCLK、PCLKD、PCLKB、BCLKとも4MHzに制限されます。また、1.62V～1.8V未満の電圧範囲でのFLASH リード時の最大動作周波数は、ICLK、FCLK、PCLKD、PCLKB、BCLKとも2MHzに制限されます。

本モードでは、FLASHのP/E動作はできません。また、本モードではPLLCR2.PPLENビットを“0”(PLL動作)にする書き込みは禁止です。

同条件(周波数・電圧)で同じ動作をさせる場合、中速動作モード2A/2Bよりも消費電力を低減できます。

図11.6に低速動作モード1(チップバージョンBの場合)における動作電圧と動作周波数の関係を示します。

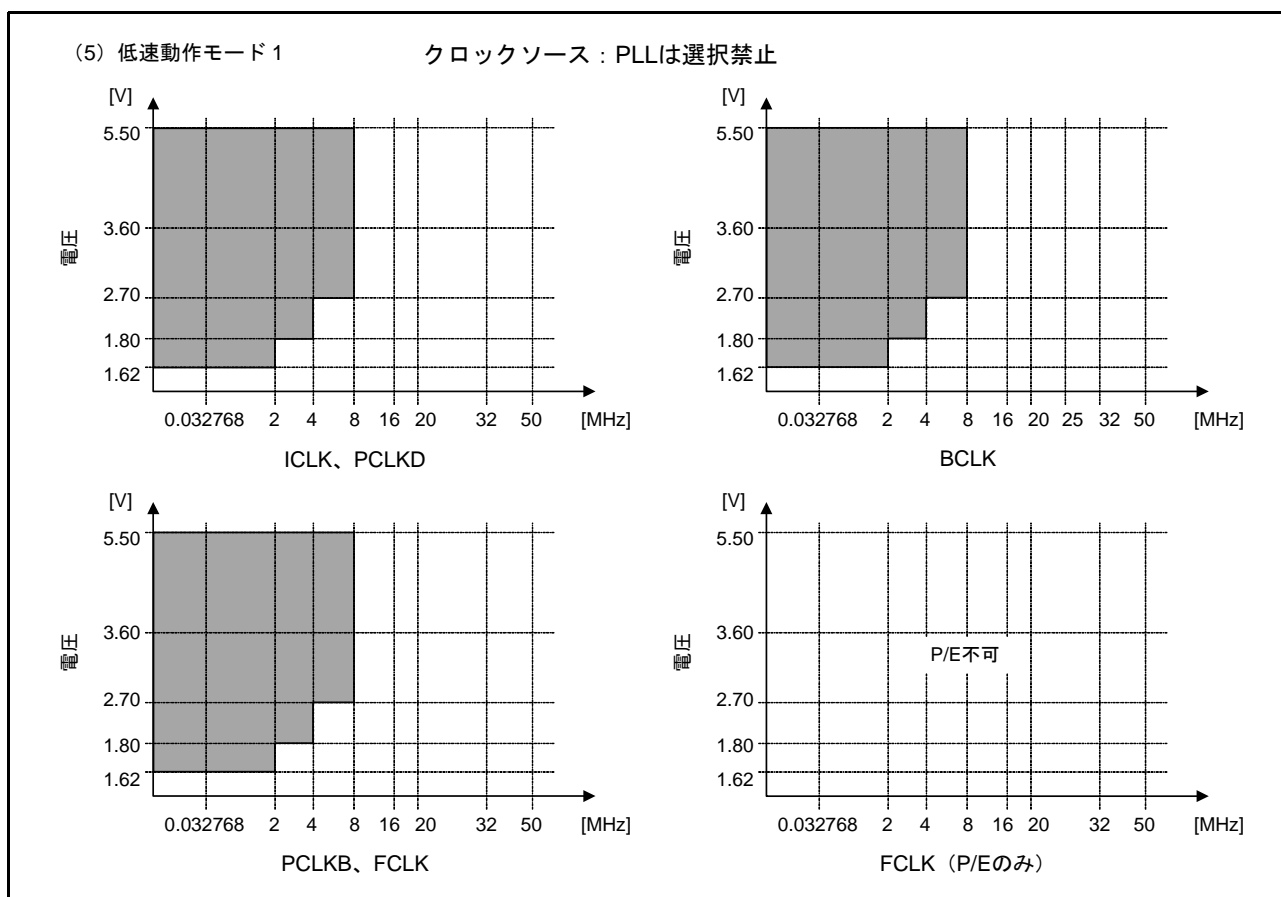


図 11.6 低速動作モード1 (チップバージョンBの場合)における動作電圧と動作周波数の関係

・低速動作モード2（チップバージョンA、B、Cの場合）

低速動作モード1よりも更に低速動作向けに消費電力を低減したモードです。

FLASH リード時の最大動作周波数は、ICLK、FCLK、PCLKD、PCLKB、BCLKとも32.768kHzで、動作電圧範囲は、1.62V～5.5Vです。

低速動作モード2選択時には下記の制限事項があります。

- ・フラッシュメモリのP/E動作は禁止です。
- ・PLLおよびHOCOは使用禁止です。
- ・メインクロック発振器の発振停止検出機能は使用禁止です。
- ・ELCでのクロックソース切替機能は使用禁止です。

同条件（周波数・電圧）で同じ動作をさせる場合、低速動作モード1よりも消費電力を低減できます。

注． PLLCR2.PLLEN ビットが“0”（PLL動作）のとき、OPCM[2:0]ビットに“110b”（低速動作モード1）および“111b”（低速動作モード2）を書くことができません。

HOCOCR.HCSTP ビットが“0”（HOCO動作）のとき、OPCM[2:0]ビットに“111b”（低速動作モード2）を書くことができません。

図11.7に低速動作モード2における動作電圧と動作周波数の関係を示します。

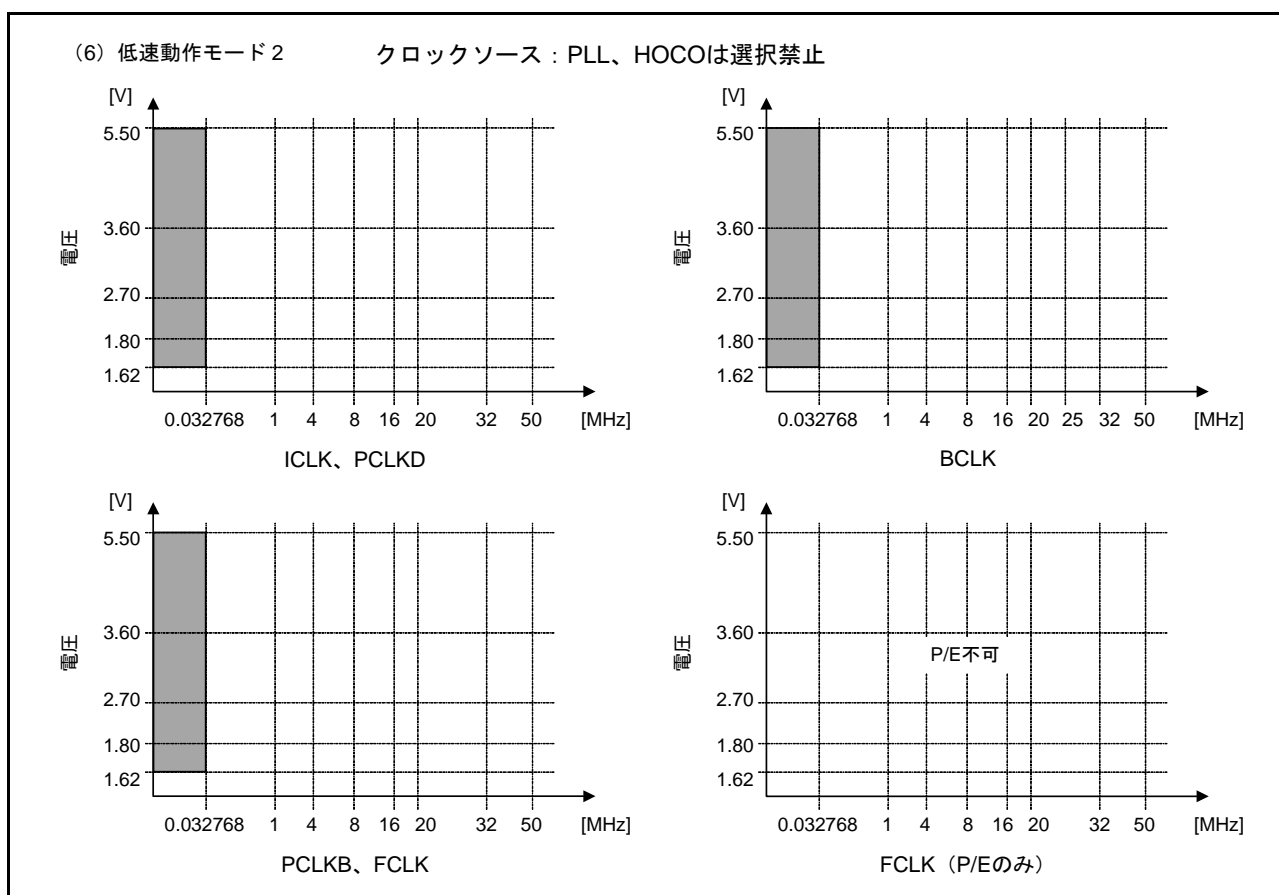


図11.7 低速動作モード2における動作電圧と動作周波数の関係

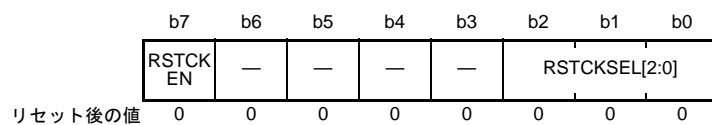
OPCMTSF フラグ（動作電力制御モード遷移状態フラグ）

動作電力制御モード切り替え時の切り替え制御状態を表します。

動作電力制御モード変更の書き込みを行うと、OPCMTSF フラグが“1”になり、変更後の動作電力制御モードへの遷移が完了すると“0”になります。OPCMTSF フラグが“0”（動作電力制御モード遷移完了）を確認してから次の処理を行ってください。

11.2.6 スリープモード復帰クロックソース切り替えレジスタ（RSTCKCR）

アドレス 0008 00A1h



ビット	シンボル	ビット名	機能	R/W
b2-b0	RSTCKSEL[2:0]	スリープモード復帰クロックソース選択ビット	[チップバージョンAの場合] b2 b0 0 0 1: HOCO 選択 [チップバージョンB、Cの場合] b2 b0 0 0 1: HOCO 選択 0 1 0: メインクロック発振器選択 RSTCKEN ビットが“1”のとき、上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RSTCKEN	スリープモード復帰クロックソース切り替え許可ビット	0: スリープモード解除時クロックソース切り替え無効 1: スリープモード解除時クロックソース切り替え有効	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

RSTCKCR レジスタは、スリープモード解除時のクロックソース切り替えの制御を行うレジスタです。

RSTCKCR レジスタの設定によってスリープモードから復帰する場合、復帰するクロックソースに対応したメインクロック発振器コントロールレジスタのメインクロック停止ビット（MOSCCR.MOSTP）（チップバージョンB、Cの場合）、高速オンチップオシレータコントロールレジスタのHOCO停止ビット（HOCOCCR.HCSTP）は、自動的に動作状態に書き換えられます。また、RSTCKSEL[2:0] ビットの値が自動的にシステムクロックコントロールレジスタ3のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）にリロードされます。

RSTCKCR レジスタの設定によってスリープモードからHOCOで復帰する場合、HOCO電源は自動的にONになりません。HOCOで復帰する場合は、HOCO電源ONの状態ですリープモードに移行してください。

スリープモードから復帰する場合でかつRSTCKENビットが“1”のとき、SCKCRレジスタの設定とRSTCKSEL[2:0]ビットの設定に応じてOPCCR.OPCM[2:0]ビットは自動的に中速動作モード1A（“010b”）に切り替えられます。スリープモードから復帰する場合でかつRSTCKENビットが“0”のとき、スリープモードに遷移する前と同じ動作モードで復帰します。

RSTCKSEL[2:0]ビットに“001b”（HOCO選択）を設定してスリープモード復帰クロックソース切り替えを許可にする場合、スリープモードへ移行する前にSCKCR.FCK[3:0], ICK[3:0], BCK[3:0], PCKD[3:0], PCKB[3:0]ビットをすべて2分周以上に設定してください。

スリープモード復帰時クロックソース切り替え機能と、ELCによるクロックソース切り替え機能とを同時

に使用することは禁止です。

スリープモード復帰時クロックソース切り替え機能を有効にする場合、ELCによるクロックソース切り替え機能が無効の状態ではRSTCKENビットを“1”にしてください。また、ELCによるクロックソース切り替え機能を有効にする場合、RSTCKENビットが“0”の状態では有効にしてください。

RSTCKSEL[2:0] ビット (スリープモード復帰クロックソース選択ビット)

スリープモード解除時のクロックソースを選択します。

RSTCKSEL[2:0] ビットでのクロックソース選択は、RSTCKENビットが“1”の場合のみ有効です。

SCKCR.FCK[3:0], ICK[3:0], BCK[3:0], PCKD[3:0], PCKB[3:0] ビットのいずれかが“0000b” (1分周) の場合は、RSTCKSEL = “001b” (HOCO 選択) は設定禁止です。

RSTCKEN ビット (スリープモード復帰クロックソース切り替え許可ビット)

スリープモード解除時のクロックソース切り替えの有効/無効を制御します。

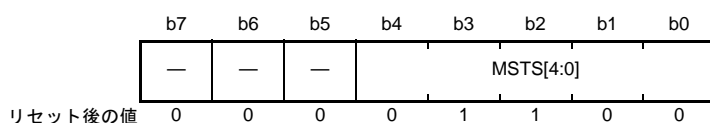
スリープモード解除時にクロックソースの切り替えを行うのは、スリープモード移行時のクロックとしてLOCO、サブクロックを選択している場合のみとしてください。HOCO、メインクロック (チップバージョンB、Cの場合)、PLLをクロックソースに選択している状態でスリープモードに移行する場合には、RSTCKENビットを“1”にしないでください。

本ビットを有効に設定した状態でスリープモードから復帰する場合は、OPCCR.OPCM[2:0] ビットは自動的に中速動作モード1Aに書き換えられます。

ただし、高速動作モードに設定した状態でスリープモードに移行した場合は、中速動作モード1Aには書き換えられず、復帰後も高速動作モードを保持します。

11.2.7 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス 0008 00A2h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MSTS[4:0]	メインクロック発振器 ウェイト時間設定ビット	b4 b0 0 0 0 0 0 : 待機時間=2サイクル 0 0 0 0 1 : 待機時間=4サイクル 0 0 0 1 0 : 待機時間=8サイクル 0 0 0 1 1 : 待機時間=16サイクル 0 0 1 0 0 : 待機時間=32サイクル 0 0 1 0 1 : 待機時間=256サイクル 0 0 1 1 0 : 待機時間= 512サイクル 0 0 1 1 1 : 待機時間= 1024サイクル 0 1 0 0 0 : 待機時間= 2048サイクル 0 1 0 0 1 : 待機時間= 4096サイクル 0 1 0 1 0 : 待機時間= 16384サイクル 0 1 0 1 1 : 待機時間= 32768サイクル 0 1 1 0 0 : 待機時間= 65536サイクル 0 1 1 0 1 : 待機時間= 131072サイクル 0 1 1 1 0 : 待機時間= 262144サイクル 0 1 1 1 1 : 待機時間= 524288サイクル 上記以外は設定しないでください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

MOSCWTCR レジスタは、メインクロック発振器の発振安定待機時間を選択するレジスタです。

MOSCWTCR レジスタで設定したサイクル分、メインクロックをカウントした後、LSI 内部へのメインクロック供給が開始されます。

MSTS[4:0] ビットは、メインクロック発振安定時間 (tMAINOSC) 以上の待機時間となるように設定してください。たとえば、使用している発振子の発振周波数が 10MHz（周期 100ns）の場合、

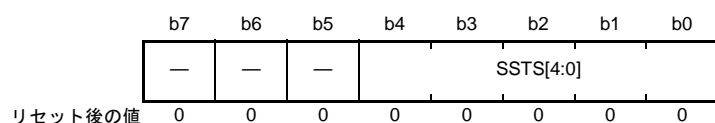
MSTS[4:0] ビットを“01101b”に設定すると、待機時間は $100\text{ns} \times 131072$ サイクル $\approx 13.11\text{ms}$ となります。

メインクロックを外部入力で使用している場合は、待機時間は必要ありません。

MOSCWTCR レジスタは、MOSCCR.MOSTP ビットが“1”のときのみ書き換え可能です。それ以外では書き換えしないでください。

11.2.8 サブクロック発振器ウェイトコントロールレジスタ (SOSCWTCR)

アドレス 0008 00A3h



ビット	シンボル	ビット名	機能	R/W
b4-b0	SSTS[4:0]	サブクロック発振器 ウェイト時間設定ビット	b4 b0 0 0 0 0 0 : 待機時間 = 2s + 2サイクル 0 0 0 0 1 : 待機時間 = 2s + 4サイクル 0 0 0 1 0 : 待機時間 = 2s + 8サイクル 0 0 0 1 1 : 待機時間 = 2s + 16サイクル 0 0 1 0 0 : 待機時間 = 2s + 32サイクル 0 0 1 0 1 : 待機時間 = 2s + 64サイクル 0 0 1 1 0 : 待機時間 = 2s + 512サイクル 0 0 1 1 1 : 待機時間 = 2s + 1024サイクル 0 1 0 0 0 : 待機時間 = 2s + 2048サイクル 0 1 0 0 1 : 待機時間 = 2s + 4096サイクル 0 1 0 1 0 : 待機時間 = 2s + 16384サイクル 0 1 0 1 1 : 待機時間 = 2s + 32768サイクル 0 1 1 0 0 : 待機時間 = 2s + 65536サイクル 0 1 1 0 1 : 待機時間 = 2s + 131072サイクル 0 1 1 1 0 : 待機時間 = 2s + 262144サイクル 0 1 1 1 1 : 待機時間 = 2s + 524288サイクル 上記以外は設定しないでください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

SOSCWTCR レジスタは、サブクロック発振器の発振安定待機時間を選択するレジスタです。

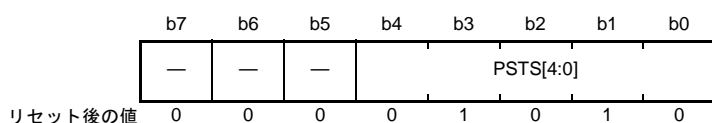
SOSCWTCR レジスタで設定したサイクル分、サブクロックをカウントした後、LSI 内部へのサブクロック供給が開始されます。

SSTS[4:0] ビットは、サブクロック発振安定時間 (tSUBOSC) 以上の待機時間となるように設定してください。たとえば、使用している発振子の発振周波数が 32.768kHz (周期 30.5μs) の場合、SSTS[4:0] ビットを“01011b”に設定すると、待機時間は $2s + 30.5\mu s \times 32768$ サイクル $\approx 2s + 1s = 3s$ となります。

SOSCWTCR レジスタは、SOSCCR.SOSTP ビットが“1”のときのみ書き換え可能です。それ以外では書き換えしないでください。

11.2.9 PLL ウェイトコントロールレジスタ (PLLWTCR)

アドレス 0008 00A6h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSTS[4:0]	PLLウェイト時間設定ビット	b4 b0 0 0 0 0 0 : 待機時間=16サイクル 0 0 0 0 1 : 待機時間=32サイクル 0 0 0 1 0 : 待機時間=64サイクル 0 0 0 1 1 : 待機時間=512サイクル 0 0 1 0 0 : 待機時間=1024サイクル 0 0 1 0 1 : 待機時間=2048サイクル 0 0 1 1 0 : 待機時間= 4096サイクル 0 0 1 1 1 : 待機時間= 16384サイクル 0 1 0 0 0 : 待機時間= 32768サイクル 0 1 0 0 1 : 待機時間= 65536サイクル 0 1 0 1 0 : 待機時間= 131072サイクル 0 1 0 1 1 : 待機時間= 262144サイクル 0 1 1 0 0 : 待機時間= 524288サイクル 0 1 1 0 1 : 待機時間=1048576サイクル 0 1 1 1 0 : 待機時間=2097152サイクル 0 1 1 1 1 : 待機時間=4194304サイクル 上記以外は設定しないでください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

PLLWTCR レジスタは、PLL の発振安定待機時間を選択するレジスタです。

PLLWTCR レジスタで設定したサイクル分、PLL クロックをカウントした後、LSI 内部への PLL クロック供給が開始されます。

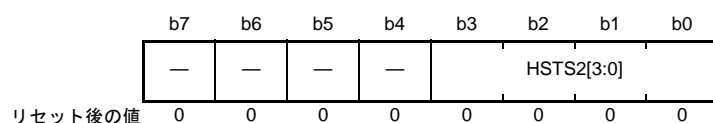
発振子に水晶振動子を使用しており、メインクロックの発振安定を待たずに PLL を動作設定にする場合、PSTS[4:0] ビットは、PLL 発振安定時間（メインクロックの発振安定を待たずに PLLON したとき）(tPLL2) 以上の待機時間となるように設定してください。たとえば、PLL 発振周波数が 100MHz（周期 10ns）の場合、PSTS[4:0] ビットを“01101b”に設定すると、待機時間は 10ns×1048576 サイクル≒ 10.48ms となります。

発振子に水晶振動子を使用しており、メインクロック発振安定を待ってから PLL を動作設定にする場合、メインクロックを外部入力で使用している場合、リファレンスクロック分の発振安定時間を待つ必要がないので、PLL 発振安定時間（メインクロック発振安定後に PLLON したとき）(tPLL1) 以上の待機時間となるように PSTS[4:0] ビットを設定してください。

PLLWTCR レジスタは、PLLCR2.PLEN ビットが“1”（PLL 停止）のときのみ書き換え可能です。それ以外では書き換えしないでください。

11.2.10 HOCO ウェイトコントロールレジスタ 2 (HOCOWTCR2)

アドレス 0008 00A9h



ビット	シンボル	ビット名	機能	R/W
b3-b0	HSTS2[3:0]	HOCOウェイト時間設定2ビット	b3 b0 0 0 0 0: 待機時間=3072サイクル 0 0 0 1: 待機時間=5120サイクル 0 0 1 0: 待機時間=7168サイクル HOCOクロックの周波数が ^g 32MHz/36.864MHz/40MHz のいずれかの場合は、“0010b”を設定してください(注1) 0 0 1 1: 待機時間=9216サイクル HOCOクロックの周波数が ^g 50MHzの場合は、“0011b” を設定してください(注1) 0 1 0 0: 待機時間=11264サイクル 0 1 0 1: 待機時間=13312サイクル 0 1 1 0: 待機時間=15360サイクル 0 1 1 1: 待機時間=17408サイクル 1 0 0 0: 待機時間=19456サイクル 1 0 0 1: 待機時間=21504サイクル 1 0 1 0: 待機時間=23552サイクル 1 0 1 1: 待機時間=25600サイクル 1 1 0 0: 待機時間=27648サイクル 1 1 0 1: 待機時間=29696サイクル 1 1 1 0: 待機時間=31744サイクル 1 1 1 1: 待機時間=33792サイクル	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. この値を設定するとHOCO発振安定時間2(tHOCO2)が確保され、クロック供給開始直後から電氣的特性に記載のHOCO発振周波数(fHOCO)の精度のクロックが供給されます。

この設定値よりもサイクル数の少ない設定をした場合もクロックの供給は可能ですが、HOCO発振安定時間2(tHOCO2)を確保できないため、クロック供給開始当初は電氣的特性に記載のHOCO周波数精度は保証されません。この場合でも、発振開始からtHOCO2経過後には、電氣的特性に記載のHOCO周波数精度となります。

HOCOWTCR2レジスタは、HOCOの発振安定待機時間を選択するレジスタです。

このレジスタで設定したサイクル分、HOCOクロックをカウントした後、LSI内部へのHOCOクロック供給が開始されます。

HOCOWTCR2レジスタは、HOCOCR.HCSTPビットが“1”（HOCO停止）のときのみ書き換え可能です。それ以外では書き換えしないでください。

11.2.11 ディープスタンバイコントロールレジスタ (DPSBYCR)

アドレス 0008 C280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSBY	IOKEEP	—	—	—	—	DEEPCUT1	—
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b1	DEEPCUT1	ディープカットビット	0: ディープソフトウェアスタンバイモード時、LVD、PORは動作可能 1: ディープソフトウェアスタンバイモード時、LVDは動作停止。PORは低消費モードで動作	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	IOKEEP	I/Oポート保持ビット	0: ディープソフトウェアスタンバイモードの解除と同時にI/Oポートの保持を解除 1: ディープソフトウェアスタンバイモード解除後もI/Oポートの状態を保持する。その後IOKEEPビットへの“0”を書くとI/Oポートの保持を解除	R/W
b7	DPSBY	ディープソフトウェアスタンバイビット	SSBY b7 0 0: WAIT命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 0 1: WAIT命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1 0: WAIT命令実行後、ソフトウェアスタンバイモードに移行 1 1: WAIT命令実行後、ディープソフトウェアスタンバイモードに移行	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

DEEPCUT1 ビット (ディープカットビット)

ディープソフトウェアスタンバイモード時の LVD、パワーオンリセット回路の状態を制御します。

ディープソフトウェアスタンバイモード時に LVD を使用する場合は、DEEPCUT1 ビットを“0”にしてください。低消費電力化のため、LVD を停止させ、パワーオンリセット回路の低消費電力機能を有効にする場合は、DEEPCUT1 ビットを“1”にしてください。

IOKEEP ビット (I/O ポート保持ビット)

ディープソフトウェアスタンバイモード時、I/O ポートはソフトウェアスタンバイモードと同じ状態を保持します。IOKEEP ビットは、ディープソフトウェアスタンバイモード時に保持した I/O ポートの状態をディープソフトウェアスタンバイモード解除後も保持し続けるか、解除するかを選択します。

DPSBY ビット (ディープソフトウェアスタンバイビット)

ディープソフトウェアスタンバイモードへの移行を制御します。

SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”の状態、WAIT 命令を実行するとソフトウェアスタンバイモードを経由してディープソフトウェアスタンバイモードへ移行します。

外部端子割り込み発生元となる一部の端子 (NMI、IRQ0-DS ~ IRQ7-DS、SCL-DS、SDA-DS)、周辺機能割り込み (RTC アラーム、RTC 周期、電圧監視 1、電圧監視 2) によってディープソフトウェアスタンバイモードを解除したときは、DPSBY ビットは“1”のままです。“0”にするときは、“0”を書いてください。

IWDT がオートスタートモードかつ OFS0.IWDTSLCSTP ビットが“0” (カウント継続)、またはレジスタ

スタートモードかつ IWDTCSTPR.SLCSTP ビットが“0”のときは、DPSBY ビットに設定された値は無効になります。この場合、SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”であっても、WAIT 命令実行後は、ソフトウェアスタンバイモードに移行します。

また、電圧監視 1 回路モードに電圧監視 1 リセットを選択しているとき (LVD1CR0.LVD1RI=1)、あるいは電圧監視 2 回路モードに電圧監視 2 リセットを選択しているとき (LVD2CR0.LVD2RI=1) は、DPSBY ビットに設定された値は無効になります。この場合、SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”であっても、WAIT 命令実行後は、ソフトウェアスタンバイモードに移行します。

11.2.12 ディープスタンバイインタラプトイネーブルレジスタ 0 (DPSIER0)

アドレス 0008 C282h

b7	b6	b5	b4	b3	b2	b1	b0
DIRQ7 E	DIRQ6 E	DIRQ5 E	DIRQ4 E	DIRQ3 E	DIRQ2 E	DIRQ1 E	DIRQ0 E

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0E	IRQ0-DS 端子許可 ビット	0 : IRQ0-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ0-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DIRQ1E	IRQ1-DS 端子許可 ビット	0 : IRQ1-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ1-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b2	DIRQ2E	IRQ2-DS 端子許可 ビット	0 : IRQ2-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ2-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b3	DIRQ3E	IRQ3-DS 端子許可 ビット	0 : IRQ3-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ3-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b4	DIRQ4E	IRQ4-DS 端子許可 ビット	0 : IRQ4-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ4-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b5	DIRQ5E	IRQ5-DS 端子許可 ビット	0 : IRQ5-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ5-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b6	DIRQ6E	IRQ6-DS 端子許可 ビット	0 : IRQ6-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ6-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b7	DIRQ7E	IRQ7-DS 端子許可 ビット	0 : IRQ7-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ7-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

DPSIER0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

なお、DPSIER0 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR0 レジスタが“1”になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR0 レジスタを“0”にしてください。

また、DPSIER0 レジスタが“0”であっても、ディープソフトウェアスタンバイモードに移行する際、端子の状態によっては内部的に立ち上がりエッジが発生し、DPSIFR0 レジスタが“1”になる場合があります。ただし、DPSIEGR0 レジスタが“0”に設定されている場合は、立ち上がりエッジを検出しないため、DPSIFR0 レジスタは“1”になりません。

11.2.13 ディープスタンバイインタラプトイネーブルレジスタ 2 (DPSIER2)

アドレス 0008 C284h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DRIICC IE	DRIICD IE	DNMIE	DRTCA IE	DRTCII E	DLVD2I E	DLVD1I E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1IE	LVD1ディープスタンバイ解除信号許可ビット	0: 電圧監視1信号によるディープソフトウェアスタンバイモード解除を禁止 1: 電圧監視1信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DLVD2IE	LVD2ディープスタンバイ解除信号許可ビット	0: 電圧監視2信号によるディープソフトウェアスタンバイモード解除を禁止 1: 電圧監視2信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b2	DRTCIE	RTC 周期割り込みディープスタンバイ解除信号許可ビット	0: RTC 周期割り込み信号によるディープソフトウェアスタンバイモード解除を禁止 1: RTC 周期割り込み信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b3	DRTCAIE	RTCアラーム割り込みディープスタンバイ解除信号許可ビット	0: RTC アラーム割り込み信号によるディープソフトウェアスタンバイモード解除を禁止 1: RTC アラーム割り込み信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b4	DNMIE	NMI 端子許可ビット	0: NMI 端子によるディープソフトウェアスタンバイモード解除を禁止 1: NMI 端子によるディープソフトウェアスタンバイモード解除を許可	R/W (注1)
b5	DRIICDIE	SDA-DSディープスタンバイ解除信号許可ビット	0: SDA-DS 信号によるディープソフトウェアスタンバイモード解除を禁止 1: SDA-DS 信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b6	DRIICCIE	SCL-DSディープスタンバイ解除信号許可ビット	0: SCL-DS 信号によるディープソフトウェアスタンバイモード解除を禁止 1: SCL-DS 信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. 一度だけ“1”を書くことができます。以後のライトアクセスは無効です。

DPSIER2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については「表 6.2 リセット種別ごとの初期化対象」を参照してください。

なお、DPSIER2 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR2 レジスタが“1”になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR2 レジスタを“0”にしてください。

また、DPSIER2 レジスタが“0”であっても、ディープソフトウェアスタンバイモードに移行する際、端子の状態によっては内部的に立ち上がりエッジが発生し、DPSIFR2 レジスタが“1”になる場合があります。ただし、DPSIEGR2 レジスタが“0”に設定されている場合は、立ち上がりエッジを検出しないため、DPSIFR2 レジスタは“1”になりません。

11.2.14 ディープスタンバイインタラプトフラグレジスタ 0 (DPSIFR0)

アドレス 0008 C286h

b7	b6	b5	b4	b3	b2	b1	b0
DIRQ7	DIRQ6	DIRQ5	DIRQ4	DIRQ3	DIRQ2	DIRQ1	DIRQ0
F	F	F	F	F	F	F	F

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0F	IRQ0-DS 端子ディープスタンバイ解除フラグ	0 : IRQ0-DS 端子による解除要求の発生なし 1 : IRQ0-DS 端子による解除要求の発生あり	R/(W) (注1)
b1	DIRQ1F	IRQ1-DS 端子ディープスタンバイ解除フラグ	0 : IRQ1-DS 端子による解除要求の発生なし 1 : IRQ1-DS 端子による解除要求の発生あり	R/(W) (注1)
b2	DIRQ2F	IRQ2-DS 端子ディープスタンバイ解除フラグ	0 : IRQ2-DS 端子による解除要求の発生なし 1 : IRQ2-DS 端子による解除要求の発生あり	R/(W) (注1)
b3	DIRQ3F	IRQ3-DS 端子ディープスタンバイ解除フラグ	0 : IRQ3-DS 端子による解除要求の発生なし 1 : IRQ3-DS 端子による解除要求の発生あり	R/(W) (注1)
b4	DIRQ4F	IRQ4-DS 端子ディープスタンバイ解除フラグ	0 : IRQ4-DS 端子による解除要求の発生なし 1 : IRQ4-DS 端子による解除要求の発生あり	R/(W) (注1)
b5	DIRQ5F	IRQ5-DS 端子ディープスタンバイ解除フラグ	0 : IRQ5-DS 端子による解除要求の発生なし 1 : IRQ5-DS 端子による解除要求の発生あり	R/(W) (注1)
b6	DIRQ6F	IRQ6-DS 端子ディープスタンバイ解除フラグ	0 : IRQ6-DS 端子による解除要求の発生なし 1 : IRQ6-DS 端子による解除要求の発生あり	R/(W) (注1)
b7	DIRQ7F	IRQ7-DS 端子ディープスタンバイ解除フラグ	0 : IRQ7-DS 端子による解除要求の発生なし 1 : IRQ7-DS 端子による解除要求の発生あり	R/(W) (注1)

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。

DPSIEGR0 レジスタで設定した解除要求が発生したときに“1”になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば“1”になる場合があります。また、DPSIER0 レジスタの設定変更によっても“1”になる場合があります。そのため、DPSIFR0 レジスタを“00h”にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER0 レジスタの設定変更後に DPSIFR0 レジスタを“00h”にする場合は、PCLKB の6サイクル以上経過後、DPSIFR0 レジスタを読んだ後、“0”を書いてください。たとえば、DPSIER0 レジスタを読むことで PCLKB の6サイクル以上を確保することができます。

DPSIFR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

DIRQnF (IRQn ディープスタンバイ解除フラグ) (n=0 ~ 7)

IRQn-DS 端子による解除要求が発生したことを示します。

[“1”になる条件]

- DPSIEGR0 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

11.2.15 ディープスタンバイインタラプトフラグレジスタ 2 (DPSIFR2)

アドレス 0008 C288h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DRIICC IF	DRIICD IF	DNMIF	DRTCA IF	DRTCII F	DLVD2I F	DLVD1I F
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1IF	LVD1ディープスタンバイ解除フラグ	0: 電圧監視1信号による解除要求の発生なし 1: 電圧監視1信号による解除要求の発生あり	R/(W) (注1)
b1	DLVD2IF	LVD2ディープスタンバイ解除フラグ	0: 電圧監視2信号による解除要求の発生なし 1: 電圧監視2信号による解除要求の発生あり	R/(W) (注1)
b2	DRTCIF	RTC周期割り込みディープスタンバイ解除フラグ	0: RTC周期割り込み信号による解除要求の発生なし 1: RTC周期割り込み信号による解除要求の発生あり	R/(W) (注1)
b3	DRTCAIF	RTCアラーム割り込みディープスタンバイ解除フラグ	0: RTCアラーム割り込み信号による解除要求の発生なし 1: RTCアラーム割り込み信号による解除要求の発生あり	R/(W) (注1)
b4	DNMIF	NMIディープスタンバイ解除フラグ	0: NMI端子による解除要求の発生なし 1: NMI端子による解除要求の発生あり	R/(W) (注1)
b5	DRIICDIF	SDA-DSディープスタンバイ解除フラグ	0: SDA-DS信号による解除要求の発生なし 1: SDA-DS信号による解除要求の発生あり	R/(W) (注1)
b6	DRIICCIF	SCL-DSディープスタンバイ解除フラグ	0: SCL-DS信号による解除要求の発生なし 1: SCL-DS信号による解除要求の発生あり	R/(W) (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。

DPSIEGR2レジスタで設定した解除要求が発生したときに“1”になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば“1”になる場合があります。また、DPSIER2レジスタの設定変更によっても“1”になる場合があります。そのため、DPSIFR2レジスタを“00h”にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER2レジスタの設定変更後にDPSIFR2レジスタを“00h”にする場合は、PCLKBの6サイクル以上経過後、DPSIFR2レジスタを読んだ後、“0”を書いてください。たとえば、DPSIER2レジスタを読むことでPCLKBの6サイクル以上を確保することができます。

DPSIFR2レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

DLVDmIF (LVDmディープスタンバイ解除フラグ) (m = 1, 2)

電圧監視 m 信号による解除要求が発生したことを示します。

[“1”になる条件]

- DPSIEGR2レジスタで選択した電圧監視 m 信号による解除要求が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

DRTCIF (RTC 周期割り込みディープスタンバイ解除フラグ)

RTC 周期割り込み信号による解除要求が発生したことを示します。

["1" になる条件]

- RTC 周期割り込み信号による解除要求が発生したとき

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき

DRTCAIF (RTC アラーム割り込みディープスタンバイ解除フラグ)

RTC アラーム割り込み信号による解除要求が発生したことを示します。

["1" になる条件]

- RTC アラーム割り込み信号による解除要求が発生したとき

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき

DNMIF (NMI ディープスタンバイ解除フラグ)

NMI 端子による解除要求が発生したことを示します。

["1" になる条件]

- DPSIEGR2 レジスタで設定した NMI 端子による解除要求が発生したとき

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき

DRIICDIF (SDA-DS ディープスタンバイ解除フラグ)

SDA-DS の割り込み信号による解除要求が発生したことを示します。

["1" になる条件]

- DPSIEGR2 レジスタで選択した SDA-DS 端子による解除要求が発生したとき

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき

DRIICCIF (SCL-DS ディープスタンバイ解除フラグ)

SCL-DS の割り込み信号による解除要求が発生したことを示します。

["1" になる条件]

- DPSIEGR2 レジスタで選択した SCL-DS 端子による解除要求が発生したとき

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき

11.2.16 ディープスタンバイインタラプトエッジレジスタ 0 (DPSIEGR0)

アドレス 0008 C28Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7 EG	DIRQ6 EG	DIRQ5 EG	DIRQ4 EG	DIRQ3 EG	DIRQ2 EG	DIRQ1 EG	DIRQ0 EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0EG	IRQ0-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b1	DIRQ1EG	IRQ1-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b2	DIRQ2EG	IRQ2-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b3	DIRQ3EG	IRQ3-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b4	DIRQ4EG	IRQ4-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b5	DIRQ5EG	IRQ5-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b6	DIRQ6EG	IRQ6-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b7	DIRQ7EG	IRQ7-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

注. このレジスタはPRCR.PRC1ビットを"1"（書き込み許可）にした後で書き換えてください。

DPSIEGR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

11.2.17 ディープスタンバイインタラプトエッジレジスタ 2 (DPSIEGR2)

アドレス 0008 C28Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DRIICC EG	DRIICD EG	DNMIE G	—	—	DLVD2 EG	DLVD1 EG
リセット後の値	0	0	0	0	0	0	0	0

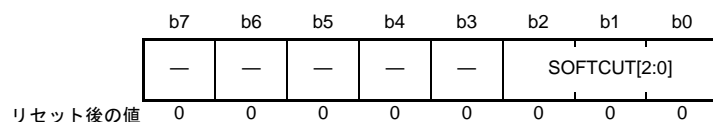
ビット	シンボル	ビット名	機能	R/W
b0	DLVD1EG	LVD1エッジ選択ビット	0 : $VCC < Vdet1$ (下降) 検出時に解除要求を発生 1 : $VCC \geq Vdet1$ (上昇) 検出時に解除要求を発生	R/W
b1	DLVD2EG	LVD2エッジ選択ビット	0 : $VCC < Vdet2$ (下降) 検出時に解除要求を発生 1 : $VCC \geq Vdet2$ (上昇) 検出時に解除要求を発生	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DNMIEG	NMIエッジ選択ビット	0 : 立ち下がリエッジで解除要求を発生 1 : 立ち上がリエッジで解除要求を発生	R/W
b5	DRIICDEG	SDA-DSエッジ選択ビット	0 : 立ち下がリエッジで解除要求を発生 1 : 立ち上がリエッジで解除要求を発生	R/W
b6	DRIICCEG	SCL-DSエッジ選択ビット	0 : 立ち下がリエッジで解除要求を発生 1 : 立ち上がリエッジで解除要求を発生	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

DPSIEGR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

11.2.18 フラッシュ HOCO ソフトウェアスタンバイコントロールレジスタ (FHSSBYCR)

アドレス 0008 C28Fh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SOFTCUT[2:0]	ソフトカットビット	<p>[チップバージョンA、Cの場合]</p> <p>b2 b0</p> <p>0 0 0: ソフトウェアスタンバイモード時、フラッシュメモリ、HOCOへの電源供給をオフしない。また、電圧検出回路が動作し、PORの低消費電力機能は無効</p> <p>0 1 0: ソフトウェアスタンバイモード時、フラッシュメモリへの電源供給をオフせず、HOCOへの電源供給をオフする。また、電圧検出回路が動作し、PORの低消費電力機能は無効</p> <p>0 1 1: ソフトウェアスタンバイモード時、フラッシュメモリ、HOCOへの電源供給をオフする。また、電圧検出回路が動作し、PORの低消費電力機能は無効</p> <p>1 0 0: ソフトウェアスタンバイモード時、フラッシュメモリ、HOCOへの電源供給をオフしない。また、電圧検出回路が停止し、PORの低消費電力機能は有効</p> <p>1 1 0: ソフトウェアスタンバイモード時、フラッシュメモリへの電源供給をオフせず、HOCOへの電源供給をオフする。また、電圧検出回路が停止し、PORの低消費電力機能は有効</p> <p>1 1 1: ソフトウェアスタンバイモード時、フラッシュメモリ、HOCOへの電源供給をオフする。また、電圧検出回路が停止し、PORの低消費電力機能は有効</p> <p>[チップバージョンBの場合]</p> <p>b2 b0</p> <p>0 0 0: ソフトウェアスタンバイモード時、HOCOへの電源供給をオフしない。また、電圧検出回路が動作し、PORの低消費電力機能は無効</p> <p>0 1 x: ソフトウェアスタンバイモード時、HOCOへの電源供給をオフする。また、電圧検出回路が動作し、PORの低消費電力機能は無効</p> <p>1 0 0: ソフトウェアスタンバイモード時、HOCOへの電源供給をオフしない。また、電圧検出回路が停止し、PORの低消費電力機能は有効</p> <p>1 1 x: ソフトウェアスタンバイモード時、HOCOへの電源供給をオフする。また、電圧検出回路が停止し、PORの低消費電力機能は有効</p> <p>上記以外は設定しないでください</p>	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

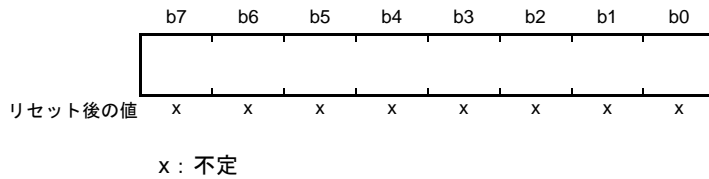
ソフトウェアスタンバイモード時に電圧検出回路を使用する場合には SOFTCUT[2] ビットを“0”にしてください。

低消費電力化のため、電圧検出回路を停止させ、パワーオンリセット回路の低消費電力機能を有効にする場合は、SOFTCUT[2] ビットを“1”にしてください。

FHSSBYCR レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

11.2.19 ディープスタンバイバックアップレジスタ (DPSBKRY) (y=0 ~ 31)

アドレス 0008 C2A0h ~ 0008 C2BFh



DPSBKRY レジスタは、ディープソフトウェアスタンバイモード中、データを退避するための 32 バイトのレジスタで、読み出し、書き込みいずれも可能です。

DPSBKRY レジスタは初期化されません。電源投入直後のレジスタ値は不定となります。

11.3 クロックの切り替えによる消費電力の低減

SCKCR.FCK[3:0], ICK[3:0], BCK[3:0], PCKB[3:0], PCKD[3:0] ビットを設定すると、クロック周波数が切り替わります。CPU、DMAC、DTC、ROM、RAM は、ICK[3:0] ビットで設定した動作クロックで動作します。

周辺モジュールは、PCKB[3:0], PCKD[3:0] ビットで設定した動作クロックで動作します。

フラッシュインタフェースは FCK[3:0] ビットで設定した動作クロックで動作します。

外部バスクロックは、BCK[3:0] ビットで設定した動作クロックで動作します。詳細は「9. クロック発生回路」を参照してください。

11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ~ MSTPCRC レジスタに対応する MSTPmi ビット (m=A ~ C, i=31 ~ 0) を“1”にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を継続します。対応する MSTPmi ビットを“0”にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット解除後は、DMAC、DTC、RAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできませんが、モジュールストップ設定直後に書き込みを行った場合、書き込める場合がありますので注意してください。

11.5 動作電力低減機能

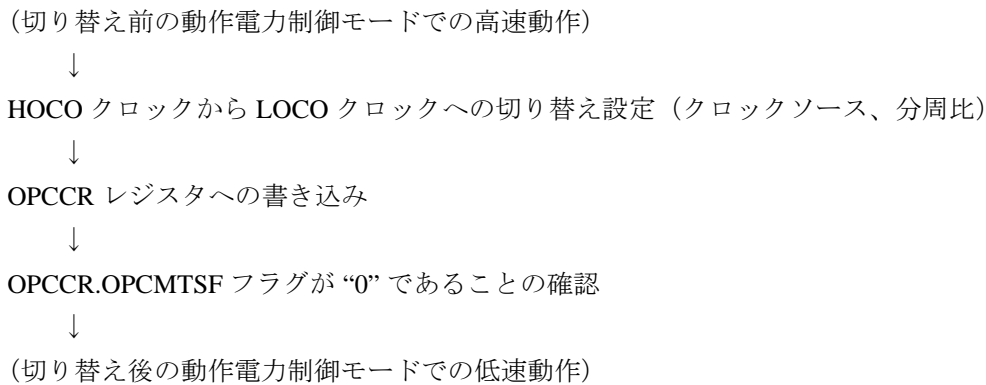
動作周波数、動作電圧に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、および全モジュールクロックストップモード時の消費電力を低減することができます。

11.5.1 動作電力制御モードの設定方法

動作電力制御モードの移行手順例を以下に示します。

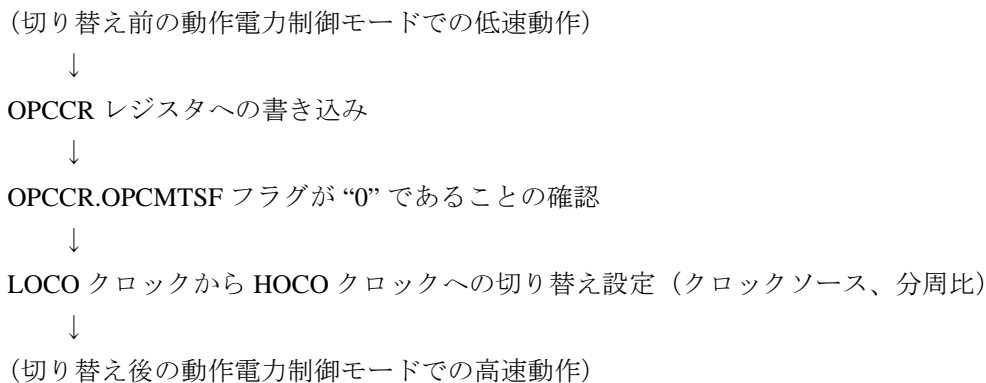
(1) 消費電力が大きいモードから消費電力が小さいモードへ切り替える場合

例：高速動作モードから低速動作モード1への切替



(2) 消費電力が小さいモードから消費電力が大きいモードへ切り替える場合

例：低速動作モード2から高速動作モードへの切替



本 LSI で、モード切替時間を短くする方法を以下に示します。

- 消費電力が大きいモードから消費電力が小さいモードへ切り替える場合、切り替え後のモードでシステムクロックの周波数を設定可能な最大値に設定すると、モード切替時間が最も短くなります。
- 消費電力が小さいモードから消費電力が大きいモードへ切り替える場合、切り替え前のモードでシステムクロックの周波数を設定可能な最大値に設定すると、モード切替時間が最も短くなります。

11.6 低消費電力状態

11.6.1 スリープモード

11.6.1.1 スリープモードへの移行

SBYCR.SSBY ビットが“0”の状態では WAIT 命令を実行すると、スリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

WDT を使用しているとき、スリープモードへ移行すると WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSSTPR.SLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、スリープモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSSTPR.SLCSTP ビットが“0”のときは、スリープモードへ移行後も IWDT はカウントを継続します。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット（注1）を“0”にする。
- (2) スリープモードからの復帰に使用する割込みの伝達先を CPU に設定する。
- (3) スリープモードからの復帰に使用する割込みの優先レベル（注2）を、CPU の PSW.IPL[3:0] ビット（注1）よりも高く設定する。
- (4) スリープモードからの復帰に使用する割込みの IERm.IENj ビット（注2）を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令の実行（WAIT 命令の実行により CPU の PSW.I ビット（注1）は自動的に“1”になります）。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

11.6.1.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除
割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。マスカブル割り込みが CPU でマスクされている場合（割り込み優先レベルが（注1）CPU の PSW.IPL[3:0] ビット（注2）以下に設定されている場合）には、スリープモードは解除されません。
- RES# 端子リセットによる解除
RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。
- パワーオンリセットによる解除
パワーオンリセットによって、スリープモードが解除されます。
- 電圧監視リセットによる解除
電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。
- 独立ウォッチドッグタイマリセットによる解除
IWDT のアンダフローの内部リセットによって、スリープモードが解除されます。ただし、スリープモード時に IWDT がカウントを停止する条件（OFS0.IWDTSTRTP=0 かつ OFS0.IWDTSLCSTP=1、または OFS0.IWDTSTRTP=1 かつ IWDTCSLTP.SLCSTP=1）では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注1. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注2. 詳細は「2. CPU」を参照してください。

11.6.1.3 スリープモード復帰クロックソース切り替え機能

スリープモード復帰クロックソース切り替えを行うには、スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR) による復帰後のクロックの設定と、各クロックのウェイトコントロールレジスタの設定が必要となります。復帰割り込みが発生すると、復帰クロックとして設定された発振器の発振安定を待った後、自動的にクロックソースを切り替え、スリープモードから復帰します。その際、クロックソース切り替えに関連するレジスタが自動的に書き換えられます。

詳細は「11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)」を参照してください。また、発振安定待機時間の設定については、「11.2.7 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) (チップバージョン B、C の場合)」、「11.2.10 HOCO ウェイトコントロールレジスタ 2 (HOCOWTCR2)」を参照してください。

なお、SBYCR.SSBY ビットが“1”で、スリープモードへ移行した場合（発振停止検出機能有効時）、本機能（スリープ復帰クロックソース切り替え機能）は無効となります。

11.6.2 全モジュールクロックストップモード

11.6.2.1 全モジュールクロックストップモードへの移行

MSTPCRA.ACSE ビットを“1”にして、かつ MSTPCRA、MSTPCRB、MSTPCRC レジスタで制御されるモジュールをモジュールストップ状態 (MSTPCRA = FFFF FF[C-F]Fh、MSTPCRB = FFFF FFFFh、MSTPCRC[31:16] = FFFFh) にしたときに、SBYCR.SSBY ビットを“0”にした状態で WAIT 命令を実行すると、バスサイクルの終了時点で 8 ビットタイマ (注1)、POE (注5)、IWDT、RTC、パワーオンリセット回路、電圧検出回路を除く全モジュールと、バスコントローラおよび I/O ポートの動作が停止して、全モジュールクロックストップモードへ移行します (注2)。

WDT を使用しているとき、全モジュールクロックストップモードへ移行すると、WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに全モジュールクロックストップモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときに全モジュールクロックストップモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、全モジュールクロックストップモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、全モジュールクロックストップモードへ移行後も IWDT はカウントを継続します。

全モジュールクロックストップモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注3) を“0”にする。
- (2) 全モジュールクロックストップモードからの復帰に使用する割り込みの伝達先を CPU に設定する。
- (3) 全モジュールクロックストップモードからの復帰に使用する割り込みの優先レベル (注4) を CPU の PSW.IPL[3:0] ビット (注3) よりも高く設定する。
- (4) 全モジュールクロックストップモードからの復帰に使用する割り込みの IERm.IENj ビット (注4) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令を実行する (WAIT 命令の実行によって CPU の PSW.I ビット (注3) は自動的に“1”になります)。

注 1. MSTPCRA.MSTPA5、MSTPA4 ビットで動作 / 停止を選択できます。

注 2. DTC、DMAC の動作状態によっては、全モジュールクロックストップモードに移行できない場合があります。MSTPCRA.MSTPA28 ビットを“1”にする前に、DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にして、DTC、DMAC が起動していない状態で行ってください。

注 3. 詳細は「2. CPU」を参照してください。

注 4. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 5. POE 割り込みを有効に設定した状態で、全モジュールクロックストップモード中に POE 割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生フラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後に POE 割り込みが発生します。

11.6.2.2 全モジュールクロックストップモードの解除

全モジュールクロックストップモードの解除は、外部端子割り込み (NMI、IRQ0～IRQ7)、周辺機能割り込み (8ビットタイマ (注1)、RTCアラーム、RTC周期、IWDT (注2)、電圧監視1、電圧監視2、発振停止検出)、RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われ、例外処理を経て通常のプログラム実行状態へ遷移します。マスクブル割り込みがCPUでマスクされている場合 (割り込みの優先レベル (注3) がCPUのPSW.IPL[3:0]ビット (注4) 以下に設定されている場合)、またはDTC、DMACの起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

- 注1. MSTPCRA.MSTPA5, MSTPA 4ビットで動作/停止を選択できます。
- 注2. 全モジュールクロックストップ時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTSTRT=0かつOFS0.IWDTSLCSTP=1、またはOFS0.IWDTSTRT=1かつIWDTCSTPR.SLCSTP=1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。
- 注3. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。
- 注4. 詳細は「2. CPU」を参照してください。

11.6.3 ソフトウェアスタンバイモード

11.6.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを“1”にし、DPSBYCR.DPSBY ビットを“0”にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの値と RAM のデータ、内蔵周辺機能と I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンスとするか、出力状態を保持するかを、SBYCR.OPE ビットで選択できます。ソフトウェアスタンバイモードでは、発振器が停止するため、消費電力は著しく低減されます。また、FHSSBYCR レジスタの設定により、更に消費電流を低減することが可能です。

[チップバージョン A、C の場合]

ソフトウェアスタンバイモード時、FHSSBYCR.SOFTCUT0 ビットに“1”が設定されている場合には、フラッシュメモリへの内部電源供給が停止し、FHSSBYCR.SOFTCUT1 ビットに“1”が設定されている場合には高速オンチップオシレータへの電源供給が停止します。FHSSBYCR.SOFTCUT2 ビットに“1”が設定されている場合には電圧検出回路 (LVD) を停止するとともに、パワーオンリセット回路の低消費電力機能が有効になります。このときパワーオンリセット回路の電圧検知特性が変わります。詳細は「42. 電气的特性」を参照ください。

[チップバージョン B の場合]

ソフトウェアスタンバイモード時、FHSSBYCR.SOFTCUT[2:0] ビットに“000b”を設定した場合は、高速オンチップオシレータ、パワーオンリセット回路への内部電源供給は継続され、復帰時の電源立ち上がり安定時間を待たないため、ソフトウェアスタンバイモードからの復帰時間が他のモードに比べ速くなります。SOFTCUT[2:0] ビットに“010b”を設定した場合は、高速オンチップオシレータへの電源供給を停止し、内部電源の低消費電力機能が有効になるため、消費電流が低減されます。

SOFTCUT[2:0] ビットに“100b”を設定した場合は、電圧検出回路 (LVD) を停止するとともに、パワーオンリセット回路の低消費電力機能が有効になるため、消費電流が低減されます。このときパワーオンリセット回路の電圧検知特性が変わります。詳細は「42. 電气的特性」を参照ください。

SOFTCUT[2:0] ビットに“110b”を設定した場合は、高速オンチップオシレータへの電源供給を停止し、内部電源の低消費電力機能が有効になります。さらに電圧検出回路 (LVD) を停止するとともに、パワーオンリセット回路の低消費電力機能が有効になるため、消費電流が著しく低減されます。このときパワーオンリセット回路の電圧検知特性が変わります。詳細は「42. 電气的特性」を参照ください。

PLL、高速オンチップオシレータを使用しない場合は、PLLPCR、PLLPCNT ビット、HOCOPCR、HOCOPCNT で電源を OFF にすることでさらに消費電流を低減できます。詳細は「9. クロック発生回路」を参照ください。

WAIT 命令を実行する前に DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にしてください。

WDT を使用しているとき、ソフトウェアスタンバイモードへ移行すると、発振器が停止するため WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに、ソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSSTPR.SLCSTP ビットが“1”のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウ

ントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSR.SLCSTP ビットが“0”のときは、ソフトウェアスタンバイモードへ移行後もIWDTはカウントを継続します。

また、発振停止検出機能有効 (OSTDCR.OSTDE = 1) の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、発振停止検出機能無効 (OSTDCR.OSTDE = 0) に設定後、WAIT 命令を実行してください。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注1) を“0”にする。
- (2) ソフトウェアスタンバイモードからの復帰に使用する割り込みの伝達先を CPU に設定する。
- (3) ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル (注2) を CPU の PSW.IPL[3:0] ビット (注1) よりも高く設定する。
- (4) ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENj ビット (注2) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
- (6) WAIT 命令を実行する (WAIT 命令の実行によって CPU の PSW.I ビット (注1) は自動的に“1”になります)。

注1. 詳細は、「2. CPU」を参照してください。

注2. 詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

11.6.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み（NMI、IRQ0～IRQ7）、周辺機能割り込み（RTC アラーム、RTC 周期、IWDT、電圧監視 1、電圧監視 2）、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。割り込みによってソフトウェアスタンバイモードを解除した場合、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、これらすべての発振器の発振が安定するのを待ってソフトウェアスタンバイモードから復帰します。

- 割り込みによる解除

NMI、IRQ0～IRQ7、RTC アラーム、RTC 周期、IWDT および電圧監視 1、電圧監視 2 の割り込み要求が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、MOSCWTCR.MSTS[4:0] ビット、SOSCWTCR.SSTS[4:0] ビット、HOCOWTCR2.HSTS2[3:0] ビット、PLLWTCR.PSTS[4:0] ビットで設定した各発振器の発振安定待機時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、LSI にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されません。

- 電圧監視リセットによる解除

電源電圧の低下によって電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除されません。

- 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、ソフトウェアスタンバイモードが解除されます。ただし、ソフトウェアスタンバイモード時に独立ウォッチドッグタイマがカウントを停止する条件（OFS0.IWDTSTRT=0 かつ OFS0.IWDTSLCSTP=1、または OFS0.IWDTSTRT=1 かつ IWDTCSTPR.SLCSTP=1）では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

11.6.3.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がリエッジでソフトウェアスタンバイモードに移行し、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 11.8 に示します。

この例では、ICU の IRQCRI.IRQMD[1:0] ビットが“01b”（立ち下がリエッジ）の状態、IRQn 割り込みを受け付けた後、IRQCRI.IRQMD[1:0] ビットを“10b”（立ち上がりエッジ）に設定し、SBYCR.SSBY ビットを“1”にした後、WAIT 命令を実行してソフトウェアスタンバイモードに移行しています。その後、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

なお、ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ（ICU）の設定も必要となります。詳細は、「14. 割り込みコントローラ（ICU）」を参照してください。

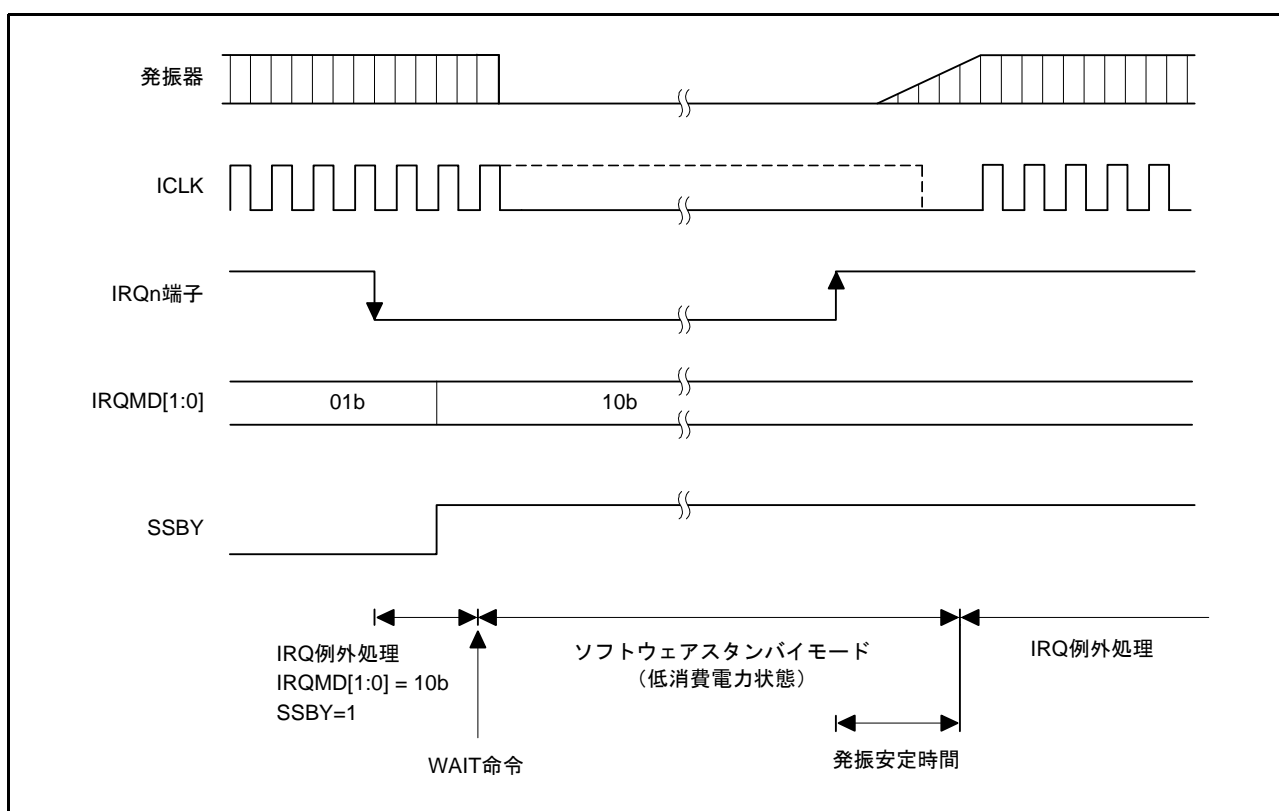


図 11.8 ソフトウェアスタンバイモードの応用例

11.6.4 ディープソフトウェアスタンバイモード

11.6.4.1 ディープソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します (注1)。このとき、DPSBYCR.DPSBY ビットが“1”なら、ディープソフトウェアスタンバイモードに移行します。

ディープソフトウェアスタンバイモードは、CPU、内蔵周辺機能 (RTC アラーム、RTC 周期、SCL-DS、SDA-DS を除く)、および発振器のすべての機能が停止し、さらにこれらの内部電源の供給を停止しますので、消費電力は著しく低減されます。このとき、CPU、内蔵周辺機能 (RTC アラーム、RTC 周期、SCL-DS、SDA-DS を除く) のレジスタ内容、RAM のデータはすべて不定となります。

DEEPCUT1 ビットを“1”に設定した場合は、電圧検出回路を停止し、パワーオンリセット回路の低消費電力機能を有効にしますので、消費電力はさらに低減されます。このとき、パワーオンリセット回路の電圧検出特性が変わります。詳細は「42. 電氣的特性」を参照ください。

WDT を使用しているとき、ディープソフトウェアスタンバイモードへ移行すると発振器は停止し、また WDT への電源供給が停止され、カウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに、ディープソフトウェアスタンバイモードへ移行すると、IWDT 専用クロック、IWDT とともに電源供給が停止され、カウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときに、ディープソフトウェアスタンバイモードへ移行すると、IWDT 専用クロック、IWDT とともに電源供給が停止され、カウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、ディープソフトウェアスタンバイモードへ移行せず、ソフトウェアスタンバイモードへ移行し、カウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ディープソフトウェアスタンバイモードへ移行せず、ソフトウェアスタンバイモードへ移行し、カウントを継続します。

また、電圧検出回路において電圧監視 1 リセットの機能 (LVD1CR0.LVD1RI=1)、または電圧監視 2 リセットの機能 (LVD2CR0.LVD2RI=1) を選択している場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合はソフトウェアスタンバイモードへ移行します。

ポートの状態は、ソフトウェアスタンバイモード時の状態を保持します。

注 1. WAIT 命令実行前に、ソフトウェアスタンバイモードへ移行する際の DTC、DMAC、IWDT に関する条件を満たしておく必要があります。詳細は、「11.6.3 ソフトウェアスタンバイモード」を参照してください。

11.6.4.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードの解除は、外部端子割り込み発生元となる一部の端子（NMI、IRQ0-DS ~ IRQ7-DS、SCL-DS、SDA-DS）、周辺機能割り込み（RTC アラーム、RTC 周期、電圧監視 1、電圧監視 2）、RES# 端子リセット、パワーオンリセット、電圧監視 0 リセットによって行われます。

(1) 外部割り込み端子および内部割り込み信号による解除

ディープソフトウェアスタンバイモードの解除は、DPSIERn(n=0、2) レジスタと DPSIFRn(n=0、2) レジスタで制御されます。ディープソフトウェアスタンバイモードを解除可能な割り込み要求が発生すると、DPSIFRn レジスタの当該フラグが“1”になります。このとき、DPSIERn レジスタで解除要因が許可されている場合にディープソフトウェアスタンバイモードは解除されます。また、立ち上がりエッジと立ち下がりエッジの選択は、DPSIEGRn(n=0、2) にて設定可能です。エッジ選択可能な割り込みは、NMI、IRQ0-DS ~ IRQ7-DS、SCL-DS、SDA-DS、電圧監視 1、電圧監視 2 となります。

ディープソフトウェアスタンバイモードの解除要求が発生すると、内部電源の供給と LOCO クロックの発振を開始し、LSI 全体に対して内部リセット（ディープソフトウェアスタンバイリセット）を発生します。その後、安定した LOCO クロックが LSI 全体に供給され、ディープソフトウェアスタンバイリセットが解除されます。ディープソフトウェアスタンバイリセットの解除とともにディープソフトウェアスタンバイモードは解除され、リセット例外処理が開始されます。

外部割り込み端子および内部割り込み信号によってディープソフトウェアスタンバイモードが解除されると、RSTSR0.DPSRSTF フラグが“1”になります。

(2) RES# 端子による解除

RES# 端子を Low にすると、ディープソフトウェアスタンバイモードは解除されます。このとき RES# 端子は「42. 電気的特性」に従って Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

(3) パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

(4) 電圧監視 0 リセットによる解除

電源電圧の低下によって電圧監視 0 リセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

11.6.4.3 ディープソフトウェアスタンバイモード解除時の端子状態

ディープソフトウェアスタンバイモード時、I/Oポートの状態はソフトウェアスタンバイモード時の状態を保持しています。ディープソフトウェアスタンバイモードに伴う内部リセットによって、LSI内部は初期化され、ディープソフトウェアスタンバイモードが解除されるとリセット例外処理が開始されます。このときのポートの状態を、以下に示します。

DPSBYCR.IOKEEPビットによって、I/Oポートを初期状態とするか、ソフトウェアスタンバイモード時のI/Oポートの状態を保持するかを選択することができます。

- DPSBYCR.IOKEEPビットが“0”のとき

ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、I/Oポートの状態は初期状態になります。

- DPSBYCR.IOKEEPビットが“1”のとき

ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、LSI内部は初期化されていますが、I/OポートはLSI内部の状態にかかわらずソフトウェアスタンバイモード時の状態を保持します。このとき、I/Oポート、周辺モジュールの設定を行っても、ソフトウェアスタンバイモード時のI/Oポートの状態を保持します。その後、IOKEEPビットを“0”にすることによって、I/Oポートの状態保持は解除され、内部状態に応じた動作となります。

DPSBYCR.IOKEEPビットは、ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって初期化されません。

11.6.4.4 ディープソフトウェアスタンバイモードの応用例

IRQn-DS 端子の立ち下がりエッジでディープソフトウェアスタンバイモードに移行し、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードの解除を行う例を図 11.9 に示します。

この例では、ICU の IRQCRI.IRQMD[1:0] ビットが “01b” (立ち下がりエッジ) に設定されている状態で、IRQn 割り込みを受け付けた後、DPSIEGR0.DIRQnEG ビット (n=0 ~ 7) を “1” (立ち上がりエッジ) に設定し、SBYCR.SSBY ビットと、DPSBYCR.DPSBY ビットを “1” にした後、WAIT 命令を実行してディープソフトウェアスタンバイモードに移行しています。

その後、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードが解除されます。

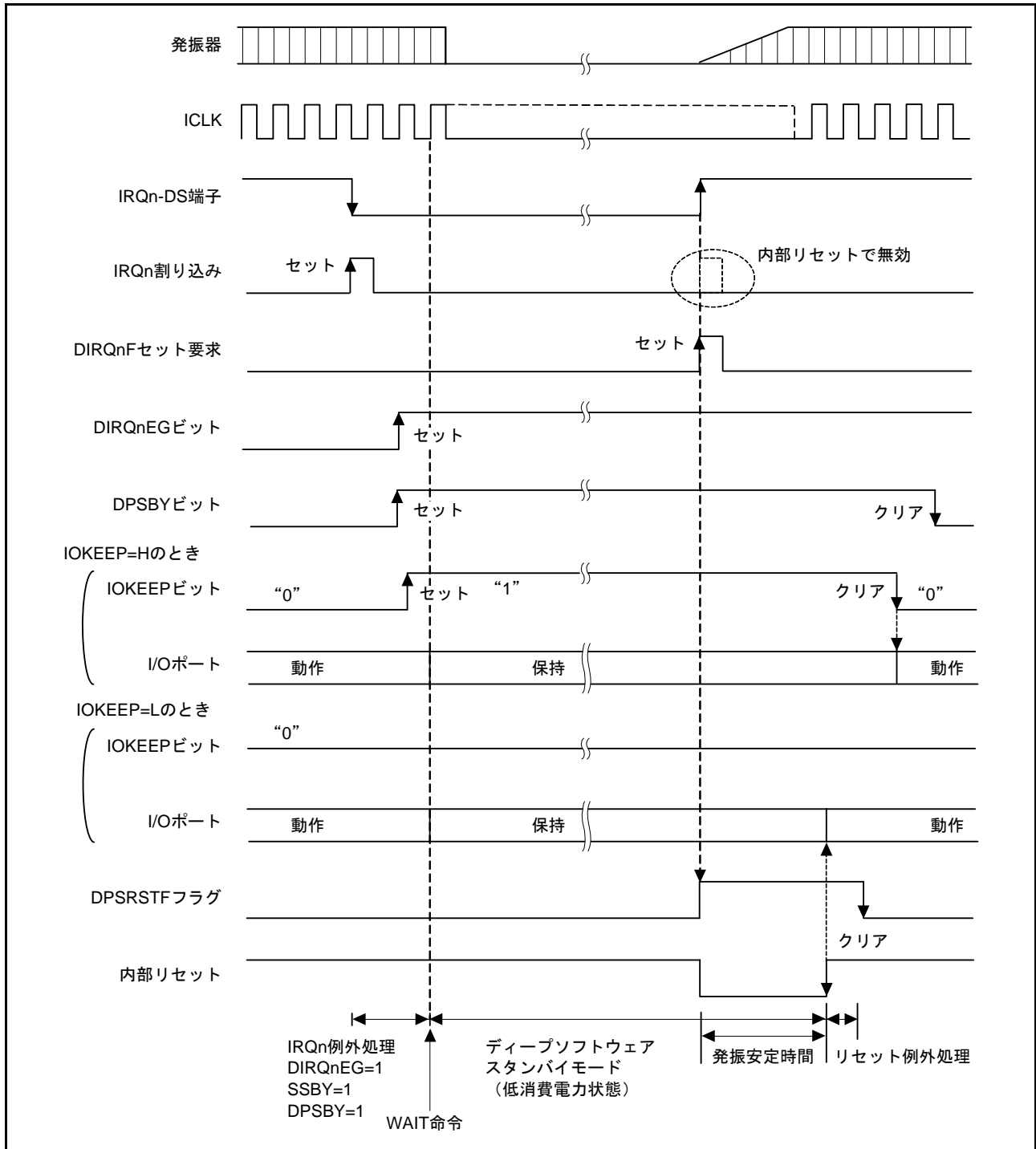


図 11.9 ディープソフトウェアスタンバイモードの応用例

11.6.4.5 ディープソフトウェアスタンバイモードのフローチャート

図 11.10 にディープソフトウェアスタンバイモードを使用する場合のフローチャートの例を示します。

この例では、リセット例外処理の後、リセット機能の RSTSR0.DPSRSTF フラグにて RES# 端子によるリセットか、ディープソフトウェアスタンバイモード解除によるリセットかを判定しています。

RES# 端子によるリセットの場合は、各種設定後、ディープソフトウェアスタンバイモードへ移行しています。

ディープソフトウェアスタンバイモード解除によるリセットの場合は、I/O ポートの設定をした上で DPSBYCR.IOKEEP ビットを“0”にしています。

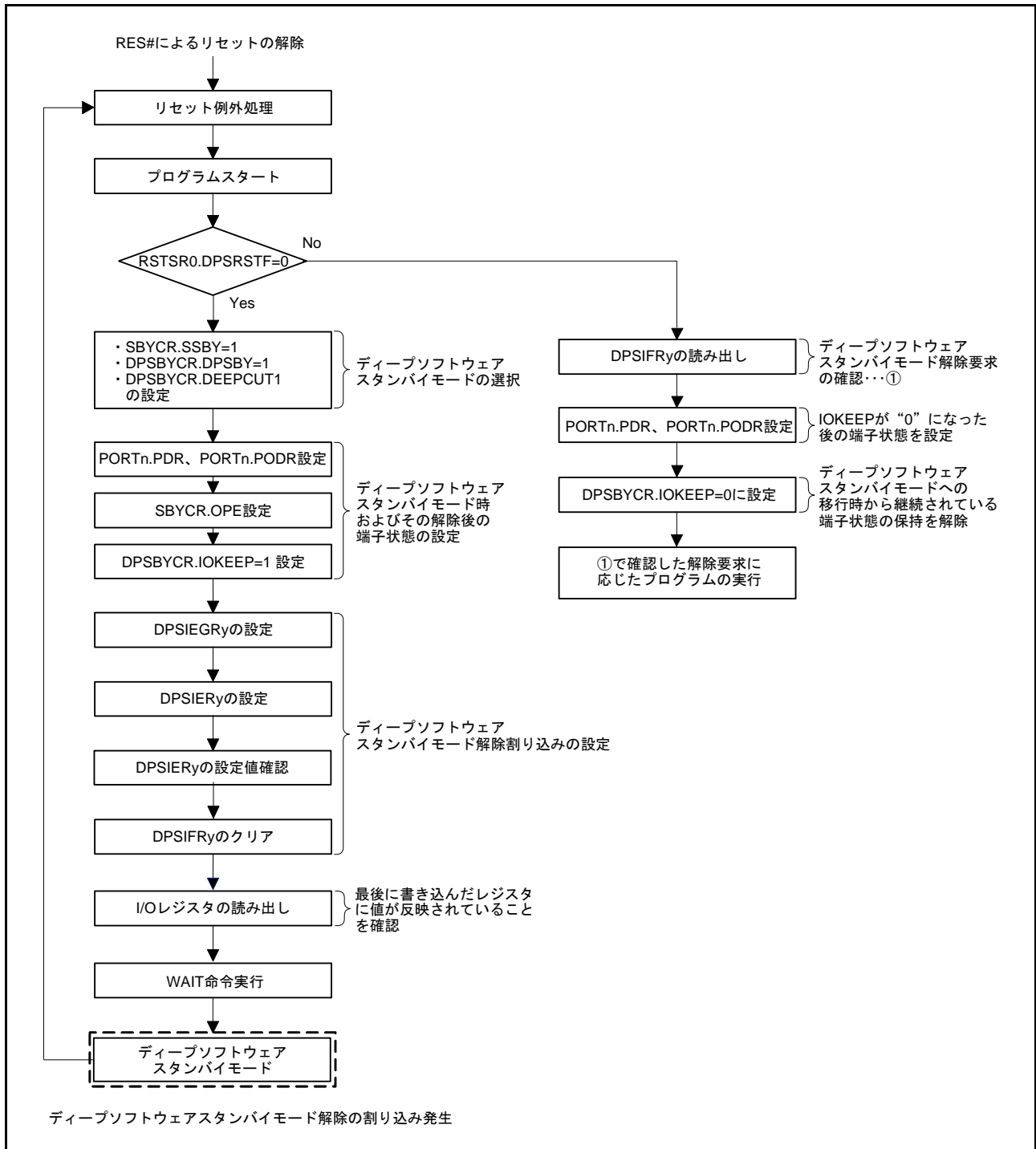


図 11.10 ディープソフトウェアスタンバイモードのフローチャート例

11.7 使用上の注意事項

11.7.1 I/O ポートの状態

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。したがって、High を出力している場合は出力電流分の消費電流は低減されません。

11.7.2 DMAC、DTC のモジュールストップ

MSTPCRA.MSTPA28 ビットを“1”にする前に、DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にして、DTC、DMAC が起動していない状態にしてください。

詳細は「16. DMA コントローラ (DMACA)」、「17. データトランスファコントローラ (DTCa)」を参照してください。

11.7.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

11.7.4 MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み

MSTPCRA、MSTPCRB および MSTPCR レジスタへの書き込みは、CPU のみで行ってください。

11.7.5 DIRQnE ビット (n=0 ~ 7) による入力バッファ制御

DPSIER0.DIRQnE (n=0 ~ 7) ビットを“1”にすることで、IRQ0-DS ~ IRQ7-DS 端子の入力バッファを有効にすることができます。これにより、当該端子の入力は、DPSIFR0.DIRQnF (n=0 ~ 7) ビットに伝わりませんが、割り込みコントローラや周辺モジュール、I/O ポートには伝わりませんので注意してください。

11.7.6 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

11.7.7 スリープモード中の DMAC、DTC によるレジスタの書き換えについて

スリープモード中は WDT が停止します。スリープモード中に DMAC、DTC によって WDT 関連のレジスタを書き換えしないでください。

スリープモード中は OFS0.IWDTSLCSTP ビット、IWDTCTSTPR.SLCSTP ビットの設定によって IWDT が停止します。その場合、スリープモード中に DMAC、DTC によって IWDT 関連のレジスタを書き換えしないでください。

RSTCKCR レジスタはスリープモードから復帰するときにクロックソースを切り替える機能に関するレジスタです。そのため、スリープモード中に書き換えを行うと意図しない動作となる可能性がありますので、スリープモード中は RSTCKCR レジスタを書き換えしないでください。

11.7.8 全モジュールクロックストップモードの解除

ICLK が PCLKB よりも遅く設定されている場合には、全モジュールクロックストップモードの解除に TMR 割り込みを使用することができません。全モジュールクロックストップモードの解除に TMR 割り込みを使用する場合は、あらかじめ ICLK を PCLKB 以上の周波数に変更してから、全モジュールクロックストップモードに移行してください。

11.7.9 サブクロックをシステムクロックのクロックソースに使用する際の注意事項

サブクロックをシステムクロックのクロックソースに使用する場合は、ソフトウェアスタンバイモードへ移行する際に、RTC (RCR3.RTCEN = 1)、または低速オンチップオシレータ (LOCOCR.LCSTP = 0) を動作させておいてください。

12. レジスタライトプロテクション機能

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ（PRCR）で設定します。

表 12.1 に PRCR レジスタと保護されるレジスタの対応を示します。

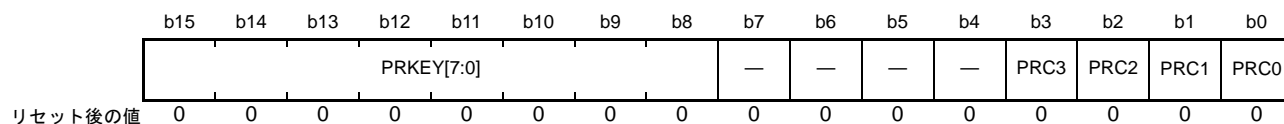
表 12.1 PRCR レジスタと保護されるレジスタの対応

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> クロック発生回路関連レジスタ SCKCR、SCKCR3、PLLCR、PLLCR2、BCKCR、MOSCCR、SOSCCR、LOCOCR、ILOCOCR、HOCOGR、OSTDCR、OSTDSR、HOCOGR2
PRC1 ビット	<ul style="list-style-type: none"> 動作モード関連レジスタ SYSCR0、SYSCR1 消費電力低減機能関連レジスタ SBYCR、MSTPCRA、MSTPCRB、MSTPCRC、OPCCR、RSTCKCR、MOSCWTCR、SOSCWTCR、PLLWTCR、DPSBYCR、DPSIER0、DPSIER2、DPSIFR0、DPSIFR2、DPSIEGR0、DPSIEGR2、FHSSBYCR、HOCOWTCR2 クロック発生回路関連レジスタ MOFCR、HOCOPCR、PLLPCR（チップバージョンBの場合） ソフトウェアリセットレジスタ SWRR
PRC2 ビット	<ul style="list-style-type: none"> VRCCR レジスタ
PRC3 ビット	<ul style="list-style-type: none"> LVD 関連レジスタ LVCMPCCR、LVDLVLRL、LVD1CR0、LVD1CR1、LVD1SR、LVD2CR0、LVD2CR1、LVD2SR

12.1 レジスタの説明

12.1.1 プロテクトレジスタ (PRCR)

アドレス 0008 03FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、消費電力低減機能、ソフトウェアリセット関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	PRC2	プロテクトビット2	VRCRレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	PRCキーコードビット	PRCRレジスタの書き換えの可否を制御します。 PRCRレジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/W (注1)

注1. 書き込みデータは保持されません。

PRCi ビット (プロテクトビット i) (i=0 ~ 3)

保護するレジスタへの書き込み許可/禁止を選択します。

PRCi ビットが“1”のとき、保護されるレジスタへの書き込みができます。PRCi ビットが“0”のとき、レジスタへの書き込みができません。

13. 例外処理

13.1 例外事象

CPU が通常プログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して例外事象と呼びます。

RX CPU は、6 種類の例外に対応します。図 13.1 に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパーバイザモードに移行します。

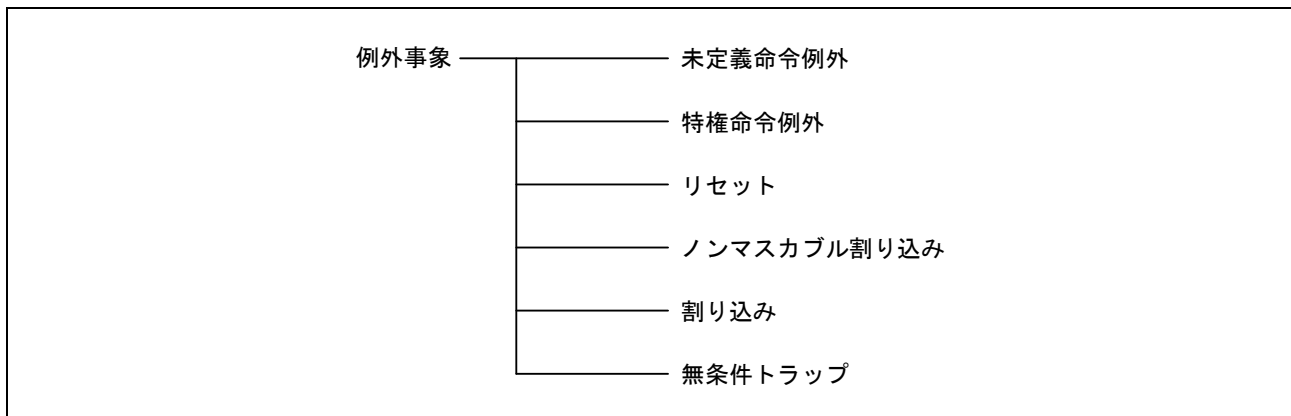


図 13.1 例外事象の種類

13.1.1 未定義命令例外

未定義命令例外は、未定義命令（実装されていない命令）の実行を検出した場合に発生します。

13.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパーバイザモードでのみ実行可能です。

13.1.3 リセット

CPUにリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

13.1.4 ノンマスカブル割り込み

CPUにノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合にのみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

13.1.5 割り込み

CPUに割り込み信号を入力することによって発生します。割り込みのうち1つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは15（最高）です。

PSWのIビットが“0”のとき、割り込みの受け付けは禁止されます。

13.1.6 無条件トラップ

INT命令、およびBRK命令を実行すると無条件トラップが発生します。

13.2 例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム（例外処理ルーチン）によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 13.2 に示します。

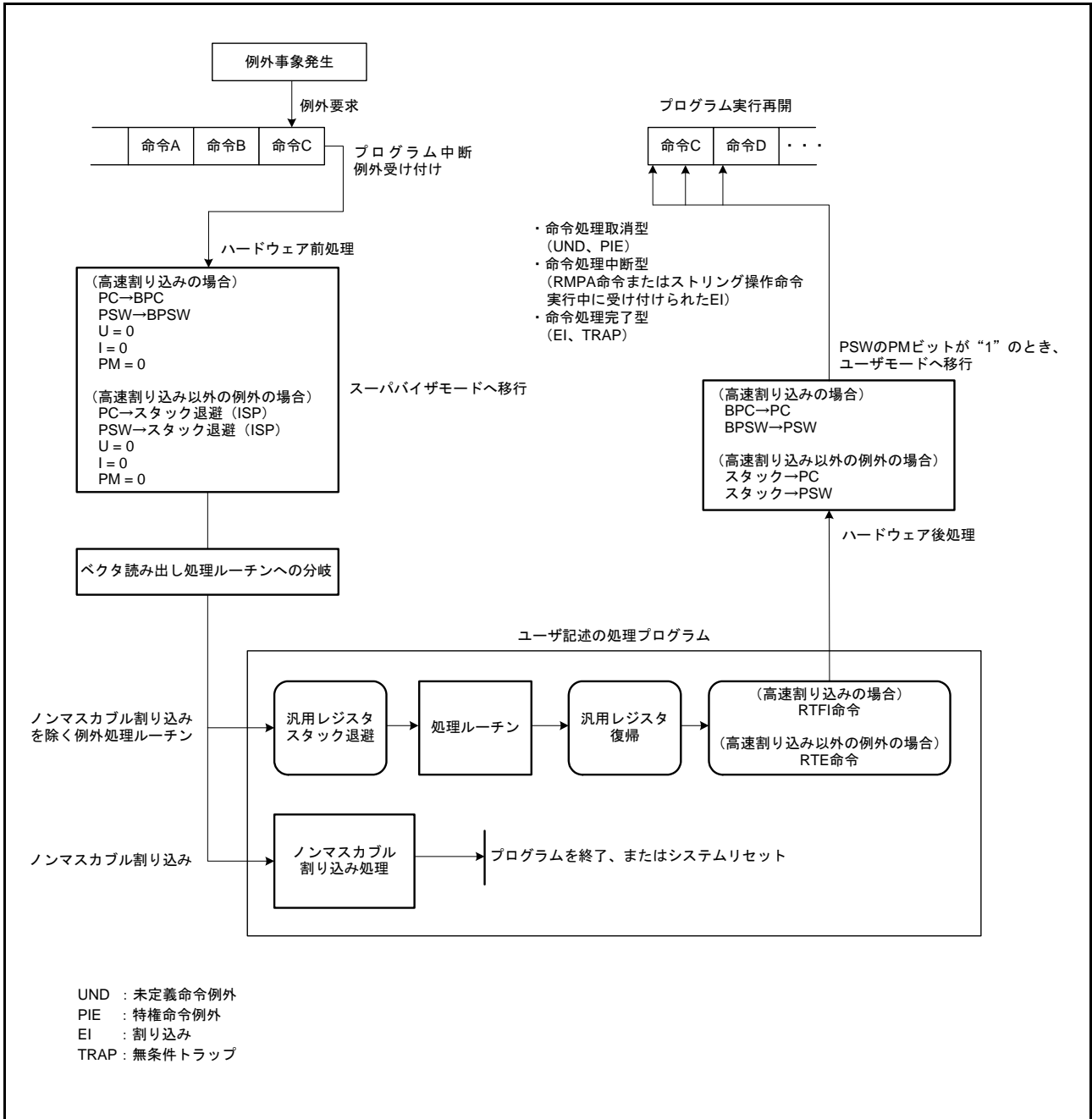


図 13.2 例外の処理手順の概要

例外が受け付けられると、RX CPUはハードウェア処理を行った後、ベクタにアクセスし、分岐先アドレスを取得します。ベクタには各例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RX CPUのハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ (PC) の内容をバックアップ PC (BPC) に、プロセッサステータスワード (PSW) の内容をバックアップ PSW (BPSW) へ退避します。高速割り込み以外の例外では、PC、PSW をスタック領域に退避します。例外処理ルーチン中で使用する汎用レジスタ、および PC、PSW 以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによってスタックに退避してください。

例外処理ハンドラ処理完了後、スタックに退避したレジスタを復帰して RTE 命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI 命令を実行します。ただし、ノンマスカブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RX CPUのハードウェア後処理では、高速割り込みの場合は BPC を PC に、また、BPSW の値を PSW に戻します。高速割り込み以外の例外では、スタック領域から PC、PSW の値を復帰します。

13.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチンに分岐します。

13.3.1 受け付けタイミングと退避される PC 値

各例外事象の受け付けタイミングと退避されるプログラムカウンタ (PC) の値を表 13.1 に示します。

表 13.1 受け付けタイミングと退避される PC 値

例外事象		処理型	受け付け タイミング	BPC / スタックに退避される PC 値
未定義命令例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
特権命令例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
リセット		命令処理放棄型	各マシンサイクル	なし
ノンマスカブル 割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令の PC 値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令の PC 値
割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令の PC 値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令の PC 値
無条件トラップ		命令処理完了型	命令の区切り	次の命令の PC 値

13.3.2 ベクタと PC、PSW の退避場所

各例外事象のベクタとプログラムカウンタ (PC)、プロセッサステータスワード (PSW) の退避場所を表 13.2 に示します。

表 13.2 ベクタと PC、PSW の退避場所

例外事象		ベクタ	PC、PSW の退避場所
未定義命令例外		固定ベクタテーブル	スタック
特権命令例外		固定ベクタテーブル	スタック
リセット		固定ベクタテーブル	なし
ノンマスカブル割り込み		固定ベクタテーブル	スタック
割り込み	高速割り込み	FINTV	BPC、BPSW
	高速割り込み以外	可変ベクタテーブル (INTB)	スタック
無条件トラップ		可変ベクタテーブル (INTB)	スタック

13.4 例外の受け付け／復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1) 例外受け付け時のハードウェア前処理

(a) PSW の退避

(高速割り込みの場合)

PSW → BPSW

(高速割り込み以外の例外の場合)

PSW → スタック領域

(b) PSW の PM、U、I ビットの更新

I : 0 にする

U : 0 にする

PM : 0 にする

(c) PC の退避

(高速割り込みの場合)

PC → BPC

(高速割り込み以外の例外の場合)

PC → スタック領域

(d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

(2) RTE 命令、RTFI 命令実行時のハードウェア後処理

(a) PSW の復帰

(高速割り込みの場合)

BPSW → PSW

(高速割り込み以外の例外の場合)

スタック領域 → PSW

(b) PC の復帰

(高速割り込みの場合)

BPC → PC

(高速割り込み以外の例外の場合)

スタック領域 → PC

13.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

13.5.1 未定義命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. FFFFFFFDCh 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.2 特権命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. FFFFFFFD0h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.3 リセット

1. 制御を初期化します。
2. FFFFFFFFCh 番地からベクタを取得します。
3. 取得したベクタをプログラムカウンタ (PC) にセットします。

13.5.4 ノンマスカブル割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) を“Fh”にします。
5. FFFFFFF8h 番地からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.5 割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PSW (BPSW) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PC (BPC) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) に、受け付けた割り込みの割り込み優先レベルを設定します。
5. 可変ベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ (FINTV) からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.6 無条件トラップ

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. 次の命令のプログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. INT 命令の場合は、可変ベクタテーブルから INT 命令番号に対応したベクタを取得します。BRK 命令の場合は、可変ベクタテーブルの先頭番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で表 13.3 に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ（BPC、BPSW）に退避されていたプログラムカウンタ（PC）とプロセッサステータスワード（PSW）の内容が復帰されます。

表 13.3 例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		復帰不可能
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

13.7 例外事象の優先順位

例外事象の優先順位を表 13.4 に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表 13.4 例外事象の優先順位

優先順位	例外事象
高い ↑ 低い	1 リセット
	2 ノンマスカブル割り込み
	3 割り込み
	4 未定義命令例外 特権命令例外
	5 無条件トラップ

14. 割り込みコントローラ (ICUb)

14.1 概要

割り込みコントローラは、周辺モジュール、外部端子からの割り込みを受け付け、CPU への割り込みおよび DTC、DMAC の起動を行います。

表 14.1 に割り込みコントローラの仕様を、図 14.1 に割り込みコントローラのブロック図を示します。

表 14.1 割り込みコントローラの仕様

項目	内容	
割り込み	周辺機能割り込み	<ul style="list-style-type: none"> 周辺モジュールからの割り込み 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定
	外部端子割り込み	<ul style="list-style-type: none"> IRQ0～IRQ7端子からの割り込み 要因数：8 割り込み検出：Low/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 デジタルフィルタ機能：あり
	ソフトウェア割り込み	<ul style="list-style-type: none"> レジスタ書き込みによる割り込み 要因数：1
	イベントリンク割り込み	ELC イベントより、ELSR18I、ELSR19I 割り込みを発生
	割り込み優先順位	レジスタにより優先順位を設定
	高速割り込み機能	CPU の割り込み処理を高速化可能。1 要因にのみ設定
	DTC、DMAC 制御	割り込み要因により DTC や DMAC を起動可能 (注1)
ノンマスクابل 割り込み	NMI 端子割り込み	<ul style="list-style-type: none"> NMI 端子からの割り込み 割り込み検出：立ち下がりエッジ/立ち上がりエッジ デジタルフィルタ機能：あり
	発振停止検出割り込み	発振停止検出時の割り込み
	WDT アンダフロー/ リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	IWDT アンダフロー/ リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	電圧監視1割り込み	電圧検出回路1 (LVD1) の電圧監視割り込み
	電圧監視2割り込み	電圧検出回路2 (LVD2) の電圧監視割り込み
低消費電力状態からの復帰	<ul style="list-style-type: none"> スリープモード：ノンマスクابل割り込み、全割り込み要因で復帰 全モジュールクロックストップモード：ノンマスクابل割り込み、IRQ0～IRQ7 割り込み、TMR 割り込み、RTC アラーム/周期割り込みで復帰 ソフトウェアスタンバイモード：ノンマスクابل割り込み、IRQ0～IRQ7 割り込み、RTC アラーム/周期割り込みで復帰 	

注1. DTC および DMAC の起動要因については、「表 14.3 割り込みのベクタテーブル」を参照してください。

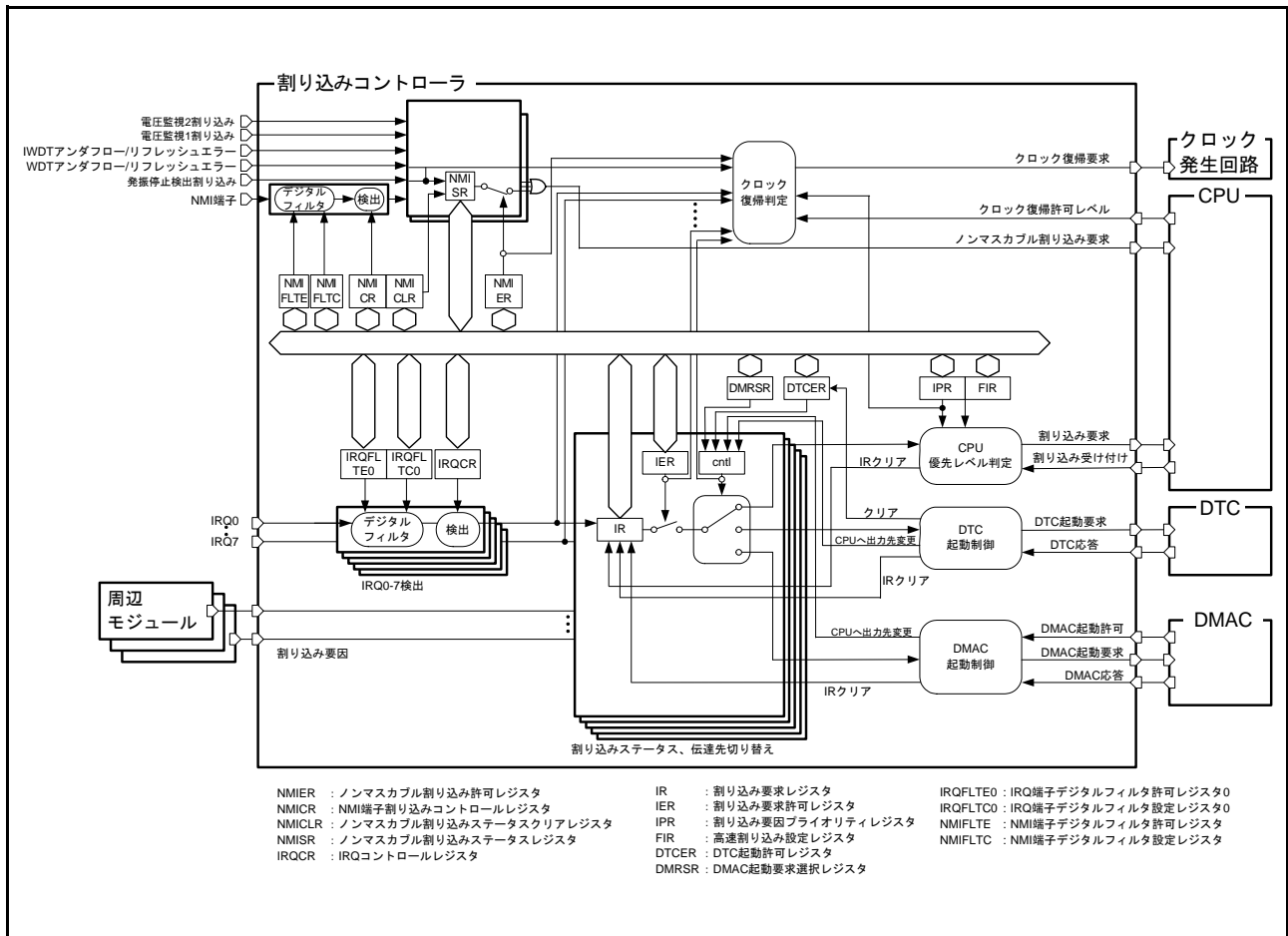


図 14.1 割り込みコントローラのブロック図

表 14.2 に割り込みコントローラで使用する入出力端子を示します。

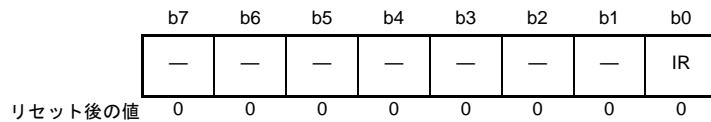
表 14.2 割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスク割込み要求端子
IRQ0～IRQ7	入力	外部割り込み要求端子

14.2 レジスタの説明

14.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)

アドレス 0008 7010h~0008 70FDh



ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. エッジ検出要因の場合、“0”のみ書けます。“1”を書かないでください。
レベル検出要因の場合、書き込みできません。

IRn レジスタは割り込み要因ごとに存在し、n は割り込みベクタ番号に対応しています。

割り込み要因と割り込みベクタ番号の対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

IR フラグ (割り込みステータスフラグ)

割り込み要求のステータスフラグです。割り込み要求が発生すると“1”になります。割り込み要求を検出するためには、周辺モジュールの割り込みイネーブルビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法は、エッジ検出とレベル検出があります。周辺モジュールからの割り込みは、要因ごとにエッジ検出/レベル検出が決まっています。IRQi 端子からの割り込みは、IRQCRI.IRQMD[1:0] ビット (i=0~7) の設定によって、エッジ検出とレベル検出が切り替わります。各要因の検出方法については、「表 14.3 割り込みのベクタテーブル」を参照してください。

(1) エッジ検出の場合

["1"になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生すると“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

["0"になる条件]

- 割り込み要求先が割り込み要求を受け付けると“0”になります。
- IR フラグに“0”を書くと“0”になります。ただし、割り込み要求先をDTCまたはDMACに設定している場合、IR フラグへの“0”書き込みは禁止です。

(2) レベル検出の場合

["1"になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生している間は“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

["0"になる条件]

- 割り込み要求の出力元をクリアすると“0”になります。(割り込み要求先が割り込み要求を受け付けても“0”になりません。) 周辺モジュールごとの割り込み要求クリアについては、各周辺モジュールの章を参照してください。

IRQ_i 端子をレベル検出で使用する場合に、割り込みを取り下げるには IRQ_i 端子を High にしてください。レベル検出時は、IR フラグへの“0”、“1”ともに書き込みは禁止です。

14.2.2 割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)

アドレス 0008 7202h ~ 0008 721Fh

b7	b6	b5	b4	b3	b2	b1	b0
IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット0	0 : 割り込み要求禁止 1 : 割り込み要求許可	R/W
b1	IEN1	割り込み要求許可ビット1		R/W
b2	IEN2	割り込み要求許可ビット2		R/W
b3	IEN3	割り込み要求許可ビット3		R/W
b4	IEN4	割り込み要求許可ビット4		R/W
b5	IEN5	割り込み要求許可ビット5		R/W
b6	IEN6	割り込み要求許可ビット6		R/W
b7	IEN7	割り込み要求許可ビット7		R/W

注. 予約となっているベクタ番号に対応するビットへの書き込みは“0”としてください。読むと“0”が読み出されます。

IEN_j ビット (割り込み要求許可ビット) (j = 7 ~ 0)

IEN_j ビットが“1”のとき、割り込み要求先に割り込み要求を出力します。

IEN_j ビットが“0”のとき、割り込み要求先に割り込み要求を出力しません。

IR_n.IR フラグは、IEN_j ビットの影響を受けません。IEN_j ビットが“0”であっても、「14.2.1 割り込み要求レジスタ n (IR_n) (n = 割り込みベクタ番号)」に示す条件で IR フラグは変化します。

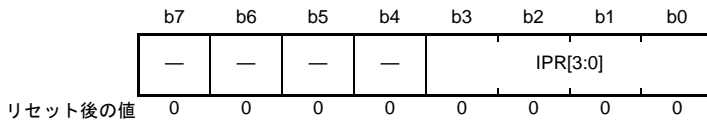
IER_m.IEN_j ビットは、割り込み要因 (ベクタ番号) ごとに存在します。

割り込み要因と IER_m.IEN_j ビットの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

割り込み要求先の選択における IER_m.IEN_j ビットの設定手順は、「14.4.3 割り込み要求先の選択」を参照してください。

14.2.3 割り込み要因プライオリティレジスタ n (IPRn) (n = 000 ~ 250)

アドレス 0008 7300h~0008 73FA



ビット	シンボル	ビット名	機能	R/W
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	b3 b0 0 0 0 0 : レベル0 (割り込み禁止) (注1) 0 0 0 1 : レベル1 0 0 1 0 : レベル2 0 0 1 1 : レベル3 0 1 0 0 : レベル4 0 1 0 1 : レベル5 0 1 1 0 : レベル6 0 1 1 1 : レベル7 1 0 0 0 : レベル8 1 0 0 1 : レベル9 1 0 1 0 : レベル10 1 0 1 1 : レベル11 1 1 0 0 : レベル12 1 1 0 1 : レベル13 1 1 1 0 : レベル14 1 1 1 1 : レベル15 (最高)	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 高速割り込みに設定している場合は、レベル0であっても割り込みの発行が可能です。

割り込み要因と IPRn レジスタの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

IPR[3:0] ビット (割り込み優先レベル設定ビット)

対応する割り込み要因の優先レベルを選択するビットです。

IPR[3:0] ビットで選択した優先レベルは、CPU への割り込み要求の優先順位判定にのみ参照され、DTC や DMAC への起動要求には影響を与えません。

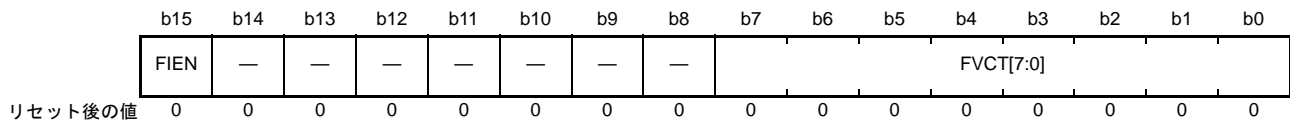
CPU は、PSW.IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみを受け付け、割り込み処理を行います。

複数の割り込み要求が同時に発生した場合、IPR[3:0] ビットの設定値で優先順位比較を行います。同一レベルの割り込み要求が同時に発生した場合には、ベクタ番号の小さい割り込み要因が優先となります。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = “0”) した状態で行ってください。

14.2.4 高速割り込み設定レジスタ (FIR)

アドレス 0008 72F0h



ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みにするベクタ番号を指定します	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0 : 高速割り込みを禁止 1 : 高速割り込みを許可	R/W

FIR レジスタの設定による高速化の機能は、CPU への割り込みにのみ有効です。DTC や DMAC への起動要求には影響を与えません。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = “0”) した状態で行ってください。

FVCT[7:0] ビット (高速割り込みベクタ設定ビット)

高速割り込み機能を使用する割り込みのベクタ番号を指定するビットです。

FIEN ビット (高速割り込み許可ビット)

高速割り込みを許可するビットです。

FIEN ビットを“1”にすると、FVCT[7:0] ビットに設定したベクタ番号の割り込みが高速割り込みになります。

FIEN ビットが“1”のとき、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定したベクタ番号の割り込み要求が発生すると、IPRn レジスタ の設定に関係なく、高速割り込みとして CPU に要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合については「14.6.3 ソフトウェアスタンバイモードからの復帰」を参照してください。

IERm.IENj ビット (m=02h ~ 1Fh, j=7 ~ 0) で割り込み要求が禁止されている割り込み要因は、CPU に割り込み要求が出力されません。

設定できるベクタ番号は、「表 14.3 割り込みのベクタテーブル」を参照してください。

FVCT[7:0] ビットには、予約のベクタ番号を指定しないでください。

高速割り込みの詳細は、「13. 例外処理」および「14.4.6 高速割り込み」を参照してください。

14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)

アドレス 0008 72E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読み出されます。“1”書き込みでソフトウェア割り込み要求を発行します。“0”書き込みは無効です	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

SWINT ビット (ソフトウェア割り込み起動ビット)

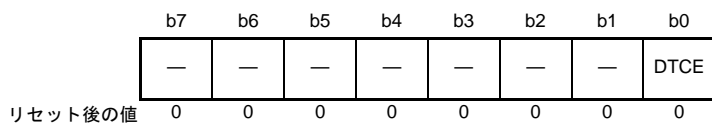
SWINT ビットに“1”を書くと、割り込み要求レジスタ 027 (IR027)が“1”になります。

DTC 起動許可レジスタ 027 (DTCER027) を“0”にして、SWINT ビットに“1”を書くと CPU への割り込みが発生します。

DTC 起動許可レジスタ 027 (DTCER027) を“1”にして、SWINT ビットに“1”を書くと DTC 起動要求を発行します。

14.2.6 DTC 起動許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)

アドレス 0008 711Bh~0008 71FCh



ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC 起動許可ビット	0 : DTC 起動禁止 1 : DTC 起動許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMAC 起動要求に選択したものと同一の要因に DTC 起動許可を設定するのは禁止です。割り込み要因との対応は「表 14.3 割り込みのベクタテーブル」を参照してください。

DTCE ビット (DTC 起動許可ビット)

DTCE ビットを“1”にすると、対応する割り込み要因が DTC 起動要因として選択されます。

["1" になる条件]

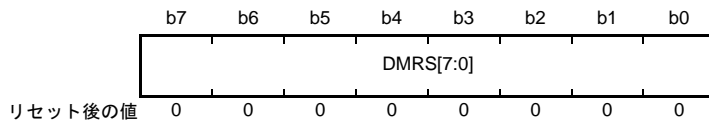
- DTCE ビットに“1”を書いたとき

["0" になる条件]

- 指定した回数のデータ転送が終了したとき (チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき)
- DTCE ビットに“0”を書いたとき

14.2.7 DMAC 起動要求選択レジスタ m (DMRSRm) (m = DMAC チャネル番号)

アドレス DMRSR0 0008 7400h, DMRSR1 0008 7404h
DMRSR2 0008 7408h, DMRSR3 0008 740Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	DMRS[7:0]	DMAC起動要因選択ビット	DMAC起動要求ベクタ番号を設定します	R/W

複数の DMRSRm レジスタに同一要因を設定するのは禁止です。DMRSRm レジスタに設定したものと同一要因に DTC 起動許可を設定するのは禁止です。これらの禁止事項に違反した場合の動作は保証されません。

DMRS[7:0] ビット (DMAC 起動要因選択ビット)

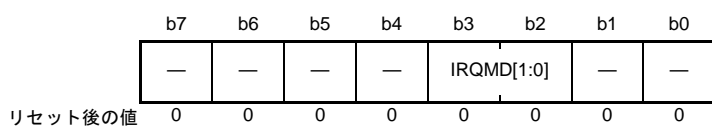
DMAC を起動する割り込み要因のベクタ番号を 8 ビットで指定します。DMAC の起動要因として割り当てられていないベクタ番号は、設定しないでください。

割り込み要因のベクタ番号は、「表 14.3 割り込みのベクタテーブル」を参照してください。

DMRSRm レジスタへの書き込みは、DMA 転送許可レジスタの DMA 転送許可ビット (DMACm.DMCNT.DTE) が“0”のときに状態で行ってください。

14.2.8 IRQ コントロールレジスタ i (IRQCRI) (i=0 ~ 7)

アドレス 0008 7500h~0008 7507h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ検出設定ビット	b3 b2 0 0 : Low 0 1 : 立ち下がりエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

該当する割り込み要求許可ビットが割り込み要求禁止 (IERm.IENj ビットが“0”) の状態でこのレジスタの設定変更を行ってください。レジスタ変更後は IR フラグをクリアし、その後割り込み要求許可ビットを許可に設定してください。ただし、Low に変更する場合は、IR フラグをクリアする必要はありません。

IRQMD[1:0] ビット (IRQ 検出設定ビット)

外部端子割り込み要因 (IRQ0 ~ IRQ7) の検出方法を設定します。

外部端子割り込みの検出設定手順は、「14.4.8 外部端子割り込み」を参照してください。

14.2.9 IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)

アドレス 0008 7510h

	b7	b6	b5	b4	b3	b2	b1	b0
	FLTEN 7	FLTEN 6	FLTEN 5	FLTEN 4	FLTEN 3	FLTEN 2	FLTEN 1	FLTEN 0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0 デジタルフィルタ許可ビット	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W
b1	FLTEN1	IRQ1 デジタルフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2 デジタルフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3 デジタルフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4 デジタルフィルタ許可ビット		R/W
b5	FLTEN5	IRQ5 デジタルフィルタ許可ビット		R/W
b6	FLTEN6	IRQ6 デジタルフィルタ許可ビット		R/W
b7	FLTEN7	IRQ7 デジタルフィルタ許可ビット		R/W

FLTEN_i ビット (IRQ_i デジタルフィルタ許可ビット) (i = 0 ~ 7)

外部端子割り込み要因 (IRQ0 ~ IRQ7) のデジタルフィルタの使用を許可するビットです。

FLTEN_i ビットが“1”のとき、デジタルフィルタが有効になります。FLTEN_i ビットが“0”のとき、デジタルフィルタ機能は無効です。

IRQFLTC0.FCLKSEL_i[1:0] ビットで設定したサンプリングクロックごとに IRQ_i 端子のレベルをサンプリングし、レベルが3回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.10 IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)

アドレス 0008 7514h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FCLKSEL7[1:0]		FCLKSEL6[1:0]		FCLKSEL5[1:0]		FCLKSEL4[1:0]		FCLKSEL3[1:0]		FCLKSEL2[1:0]		FCLKSEL1[1:0]		FCLKSEL0[1:0]	
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0 デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1 デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4 デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5 デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7 デジタルフィルタサンプリングクロック設定ビット		R/W

FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 0 ~ 7)

外部端子割り込み要求端子 (IRQ0 ~ IRQ7) のデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8 クロックに 1 回)、PCLK/32 (32 クロックに 1 回)、PCLK/64 (64 クロックに 1 回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.11 ノンマスクابل割り込みステータスレジスタ (NMISR)

アドレス 0008 7580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2S T	LVD1S T	IWDTS T	WDTST	OSTST	NMIST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0: NMI端子割り込み要求なし 1: NMI端子割り込み要求あり	R
b1	OSTST	発振停止検出割り込みステータスフラグ	0: 発振停止検出割り込み要求なし 1: 発振停止検出割り込み要求あり	R
b2	WDTST	WDTアンダフロー/リフレッシュエラーステータスフラグ	0: WDTアンダフロー/リフレッシュエラー割り込み要求なし 1: WDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b3	IWDTS	IWDTアンダフロー/リフレッシュエラーステータスフラグ	0: IWDTアンダフロー/リフレッシュエラー割り込み要求なし 1: IWDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b4	LVD1ST	電圧監視1割り込みステータスフラグ	0: 電圧監視1割り込み要求なし 1: 電圧監視1割り込み要求あり	R
b5	LVD2ST	電圧監視2割り込みステータスフラグ	0: 電圧監視2割り込み要求なし 1: 電圧監視2割り込み要求あり	R
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスクابل割り込み要因のステータスをモニタするレジスタです。NMISR レジスタへの書き込みは無視されます。

ノンマスクابل割り込み許可レジスタ (NMIER) の設定はこれらステータスフラグには影響しません。

ノンマスクابل割り込みハンドラが終了する前に NMISR レジスタを読み出し、他のノンマスクابل割り込みの発生状況を確認してください。NMISR レジスタの全ビットが“0”であることを確認してから、ハンドラを終了してください。

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求を示します。

NMIST フラグは読み出しのみ可能で、クリアは NMICLR.NMICLR ビットによって行います。

[“1”になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

[“0”になる条件]

- NMICLR.NMICLR ビットに“1”を書いたとき

OSTST フラグ (発振停止検出割り込みステータスフラグ)

発振停止検出割り込み要求を示します。

OSTST フラグは読み出しのみ可能で、クリアは NMICLR.OSTCLR ビットによって行います。

[“1”になる条件]

- 発振停止検出割り込みが発生したとき

[“0”になる条件]

- NMICLR.OSTCLR ビットに“1”を書いたとき

WDTST フラグ (WDT アンダフロー/リフレッシュエラーステータスフラグ)

WDT アンダフロー/リフレッシュエラー割り込み要求を示します。

WDTST フラグは読み出しのみ可能で、クリアは NMICLR.WDTCLR ビットによって行います。

["1" になる条件]

- WDT アンダフロー/リフレッシュエラー割り込みが発生したとき

["0" になる条件]

- NMICLR.WDTCLR ビットに "1" を書いたとき

IWDTST フラグ (IWDT アンダフロー/リフレッシュエラーステータスフラグ)

IWDT アンダフロー/リフレッシュエラー割り込み要求を示します。

IWDTST フラグは読み出しのみ可能で、クリアは NMICLR.IWDTCLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、IWDT アンダフロー/リフレッシュエラー割り込みが発生したとき

["0" になる条件]

- NMICLR.IWDTCLR ビットに "1" を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータスフラグ)

電圧監視 1 割り込み要求を示します。

LVD1ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD1CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 1 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD1CLR ビットに "1" を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータスフラグ)

電圧監視 2 割り込み要求を示します。

LVD2ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD2CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 2 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD2CLR ビットに "1" を書いたとき

14.2.12 ノンマスクابل割り込み許可レジスタ (NMIER)

アドレス 0008 7581h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2E N	LVD1E N	IWDTE N	WDTE N	OSTEN	NMIEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI端子割り込み許可ビット	0: NMI端子割り込み禁止 1: NMI端子割り込み許可	R/(W) (注1)
b1	OSTEN	発振停止検出割り込み許可ビット	0: 発振停止検出割り込み禁止 1: 発振停止検出割り込み許可	R/(W) (注1)
b2	WDTEN	WDTアンダフロー/リフレッシュエラー許可ビット	0: WDTアンダフロー/リフレッシュエラー割り込み禁止 1: WDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b3	IWDTEN	IWDTアンダフロー/リフレッシュエラー許可ビット	0: IWDTアンダフロー/リフレッシュエラー割り込み禁止 1: IWDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b4	LVD1EN	電圧監視1割り込み許可ビット	0: 電圧監視1割り込み禁止 1: 電圧監視1割り込み許可	R/(W) (注1)
b5	LVD2EN	電圧監視2割り込み許可ビット	0: 電圧監視2割り込み禁止 1: 電圧監視2割り込み許可	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 1回だけ“1”を書くことができます。以後の書き込みは無効です。

NMIEN ビット (NMI 端子割り込み許可ビット)

NMI 端子割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

OSTEN ビット (発振停止検出割り込み許可ビット)

発振停止検出割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

WDTEN ビット (WDT アンダフロー/リフレッシュエラー許可ビット)

WDT アンダフロー/リフレッシュエラー割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

IWDTEN ビット (IWDT アンダフロー/リフレッシュエラー許可ビット)

IWDT アンダフロー/リフレッシュエラー割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD1EN ビット (電圧監視 1 割り込み許可ビット)

電圧監視 1 割り込みの使用を許可するビットです。

1 回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD2EN ビット (電圧監視 2 割り込み許可ビット)

電圧監視 2 割り込みの使用を許可するビットです。

1 回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

14.2.13 ノンマスクابل割り込みステータスクリアレジスタ (NMICLR)

アドレス 0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2C LR	LVD1C LR	IWDTC LR	WDTCL R	OSTCL R	NMICL R
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.NMISTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b1	OSTCLR	OSTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.OSTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b2	WDTCLR	WDTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.WDTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b3	IWDTCCLR	IWDTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.IWDTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b4	LVD1CLR	LVD1クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD1STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b5	LVD2CLR	LVD2クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD2STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

NMICLR ビット (NMI クリアビット)

“1”を書くと、NMISR.NMIST フラグは“0”になります。読むと“0”が読めます。

OSTCLR ビット (OST クリアビット)

“1”を書くと、NMISR.OSTST フラグは“0”になります。読むと“0”が読めます。

WDTCLR ビット (WDT クリアビット)

“1”を書くと、NMISR.WDTST フラグは“0”になります。読むと“0”が読めます。

IWDTCCLR ビット (IWDT クリアビット)

“1”を書くと、NMISR.IWDTST フラグは“0”になります。読むと“0”が読めます。

LVD1CLR ビット (LVD1 クリアビット)

“1”を書くと、NMISR.LVD1ST フラグは“0”になります。読むと“0”が読めます。

LVD2CLR ビット (LVD2 クリアビット)

“1”を書くと、NMISR.LVD2ST フラグは“0”になります。読むと“0”が読めます。

14.2.14 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス 0008 7583h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI検出設定ビット	0: 立ち下がリエッジ 1: 立ち上がリエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタによる設定変更は、NMI 端子割り込みの使用を許可 (NMIER.NMIEN ビットを“1”にする) する前に行ってください。

NMIMD ビット (NMI 検出設定ビット)

NMI 端子割り込みの検出方法を設定します。

14.2.15 NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)

アドレス 0008 7590h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NFLTE N
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMI デジタルフィルタ許可ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFLTEN ビット (NMI デジタルフィルタ許可ビット)

NMI 端子割り込みのデジタルフィルタの使用を許可するビットです。

NFLTEN ビットが“1”のとき、デジタルフィルタが有効になります。NFLTEN ビットが“0”のとき、デジタルフィルタ機能は無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロックごとに NMI 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.16 NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)

アドレス 0008 7594h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	NFCLKSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMI デジタルフィルタ サンプリングクロック設定ビット	b1 b0 0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFCLKSEL[1:0] ビット (NMI デジタルフィルタサンプリングクロック設定ビット)

NMI 端子割り込みのデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8クロックに1回)、PCLK/32 (32クロックに1回)、PCLK/64 (64クロックに1回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.3 ベクタテーブル

割り込みコントローラで検出する例外事象には、割り込みとノンマスカブル割り込みがあります。

CPU が割り込み、またはノンマスカブル割り込みを受け付けた場合は、ベクタテーブルから4バイトのベクタアドレスを取得します。

14.3.1 割り込みのベクタテーブル

割り込みのベクタテーブルは、CPU の割り込みテーブルレジスタ (INTB) に設定した番地から、1024 バイト (4 バイト × 256 要因分) の領域に連続に配置されます。INTB レジスタは割り込みを許可する前に設定してください。INTB レジスタに4の倍数を設定してください。

なお、INT 命令、および BRK 命令を実行すると無条件トラップが発生します。無条件トラップのベクタは、表 14.3 の割り込みのベクタテーブルと同じ領域を利用します。BRK 命令はベクタ番号0のみ、INT 命令は指定した番号 (0 ~ 255) のベクタとなります。

表 14.3 に割り込みのベクタテーブルを示します。表 14.3 の各項目の内容は以下のとおりです。

項目	内容
割り込み要求発生元	割り込み要求発生元の名称を示します
名称	割り込み名称を示します
ベクタ番号	ベクタ番号を示します。
ベクタアドレスオフセット	ベクタベースアドレスオフセット値を示します。
割り込みの検出方法	割り込みの検出方法を“エッジ”、“レベル”で示します
CPU割り込み	CPU割り込み要因を“○”で示します
DTC起動	DTC起動要因を“○”で示します
DMAC起動	DMAC起動要因を“○”で示します
sstb復帰	ソフトウェアスタンバイモードからの復帰要因を“○”で示します
sacs復帰	全モジュールクロックストップモードからの復帰要因を“○”で示します
IER	ベクタ番号に対応するIERレジスタ、ビット名を示します。
IPR	割り込み要因に対応するIPRレジスタを示します
DTCER	DTC起動要因に対応するDTCERレジスタを示します

表 14.3 割り込みのベクタテーブル (1 / 6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssfb 復帰	sacs 復帰	IER	IPR	DTCER
—	無条件トラップ専用	0	0000h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	1	0004h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	2	0008h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	3	000Ch	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	4	0010h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	5	0014h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	6	0018h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	7	001Ch	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	8	0020h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	9	0024h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	10	0028h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	11	002Ch	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	12	0030h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	13	0034h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	14	0038h	—	x	x	x	x	x	—	—	—
—	無条件トラップ専用	15	003Ch	—	x	x	x	x	x	—	—	—
BSC	BUSERR	16	0040h	レベル	○	x	x	x	x	IER02.IEN0	IPR000	—
—	予約	17	0044h	—	x	x	x	x	x	—	—	—
—	予約	18	0048h	—	x	x	x	x	x	—	—	—
—	予約	19	004Ch	—	x	x	x	x	x	—	—	—
—	予約	20	0050h	—	x	x	x	x	x	—	—	—
FCU	FIFERR	21	0054h	レベル	○	x	x	x	x	IER02.IEN5	IPR001	—
—	予約	22	0058h	—	x	x	x	x	x	—	—	—
FCU	FRDYI	23	005Ch	エッジ	○	x	x	x	x	IER02.IEN7	IPR002	—
—	予約	24	0060h	—	x	x	x	x	x	—	—	—
—	予約	25	0064h	—	x	x	x	x	x	—	—	—
—	予約	26	0068h	—	x	x	x	x	x	—	—	—
ICU	SWINT	27	006Ch	エッジ	○	○	x	x	x	IER03.IEN3	IPR003	DTCER027
CMT0	CMI0	28	0070h	エッジ	○	○	○	x	x	IER03.IEN4	IPR004	DTCER028
CMT1	CMI1	29	0074h	エッジ	○	○	○	x	x	IER03.IEN5	IPR005	DTCER029
CMT2	CMI2	30	0078h	エッジ	○	○	○	x	x	IER03.IEN6	IPR006	DTCER030
CMT3	CMI3	31	007Ch	エッジ	○	○	○	x	x	IER03.IEN7	IPR007	DTCER031
CAC	FERRF	32	0080h	レベル	○	x	x	x	x	IER04.IEN0	IPR032	—
	MENDF	33	0084h	レベル	○	x	x	x	x	IER04.IEN1	IPR033	—
	OVFF	34	0088h	レベル	○	x	x	x	x	IER04.IEN2	IPR034	—
—	予約	35	008Ch	—	x	x	x	x	x	—	—	—
—	予約	36	0090h	—	x	x	x	x	x	—	—	—
—	予約	37	0094h	—	x	x	x	x	x	—	—	—
—	予約	38	0098h	—	x	x	x	x	x	—	—	—
—	予約	39	009Ch	—	x	x	x	x	x	—	—	—
—	予約	40	00A0h	—	x	x	x	x	x	—	—	—
—	予約	41	00A4h	—	x	x	x	x	x	—	—	—
—	予約	42	00A8h	—	x	x	x	x	x	—	—	—
—	予約	43	00ACh	—	x	x	x	x	x	—	—	—

表 14.3 割り込みのベクタテーブル (2 / 6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssfb 復帰	sacs 復帰	IER	IPR	DTCER
RSPiO	SPEiO	44	00B0h	レベル	○	×	×	×	×	IER05.IEN4	IPR044	—
	SPRiO	45	00B4h	エッジ	○	○	○	×	×	IER05.IEN5		DTCER045
	SPTiO	46	00B8h	エッジ	○	○	○	×	×	IER05.IEN6		DTCER046
	SPIiO	47	00BCCh	レベル	○	×	×	×	×	IER05.IEN7		—
—	予約	48	00C0h	—	×	×	×	×	×	—	—	—
—	予約	49	00C4h	—	×	×	×	×	×	—	—	—
—	予約	50	00C8h	—	×	×	×	×	×	—	—	—
—	予約	51	00CCh	—	×	×	×	×	×	—	—	—
—	予約	52	00D0h	—	×	×	×	×	×	—	—	—
—	予約	53	00D4h	—	×	×	×	×	×	—	—	—
—	予約	54	00D8h	—	×	×	×	×	×	—	—	—
—	予約	55	00DCh	—	×	×	×	×	×	—	—	—
—	予約	56	00E0h	—	×	×	×	×	×	—	—	—
DOC	DOPCF	57	00E4h	レベル	○	×	×	×	×	IER07.IEN1	IPR057	—
CMPB	CMPB0	58	00E8h	エッジ	○	○	○	×	×	IER07.IEN2	IPR058	DTCER058
	CMPB1	59	00ECh	エッジ	○	○	○	×	×	IER07.IEN3	IPR059	DTCER059
—	予約	60	00F0h	—	×	×	×	×	×	—	—	—
—	予約	61	00F4h	—	×	×	×	×	×	—	—	—
—	予約	62	00F8h	—	×	×	×	×	×	—	—	—
RTC	CUP	63	00FCh	エッジ	○	×	×	×	×	IER07.IEN7	IPR063	—
ICU	IRQ0	64	0100h	エッジ/レベル	○	○	○	○	○	IER08.IEN0	IPR064	DTCER064
	IRQ1	65	0104h	エッジ/レベル	○	○	○	○	○	IER08.IEN1	IPR065	DTCER065
	IRQ2	66	0108h	エッジ/レベル	○	○	○	○	○	IER08.IEN2	IPR066	DTCER066
	IRQ3	67	010Ch	エッジ/レベル	○	○	○	○	○	IER08.IEN3	IPR067	DTCER067
	IRQ4	68	0110h	エッジ/レベル	○	○	×	○	○	IER08.IEN4	IPR068	DTCER068
	IRQ5	69	0114h	エッジ/レベル	○	○	×	○	○	IER08.IEN5	IPR069	DTCER069
	IRQ6	70	0118h	エッジ/レベル	○	○	×	○	○	IER08.IEN6	IPR070	DTCER070
	IRQ7	71	011Ch	エッジ/レベル	○	○	×	○	○	IER08.IEN7	IPR071	DTCER071
—	予約	72	0120h	—	×	×	×	×	×	—	—	—
—	予約	73	0124h	—	×	×	×	×	×	—	—	—
—	予約	74	0128h	—	×	×	×	×	×	—	—	—
—	予約	75	012Ch	—	×	×	×	×	×	—	—	—
—	予約	76	0130h	—	×	×	×	×	×	—	—	—
—	予約	77	0134h	—	×	×	×	×	×	—	—	—
—	予約	78	0138h	—	×	×	×	×	×	—	—	—
—	予約	79	013Ch	—	×	×	×	×	×	—	—	—
—	予約	80	0140h	—	×	×	×	×	×	—	—	—
—	予約	81	0144h	—	×	×	×	×	×	—	—	—
—	予約	82	0148h	—	×	×	×	×	×	—	—	—
—	予約	83	014Ch	—	×	×	×	×	×	—	—	—
—	予約	84	0150h	—	×	×	×	×	×	—	—	—
—	予約	85	0154h	—	×	×	×	×	×	—	—	—
—	予約	86	0158h	—	×	×	×	×	×	—	—	—
—	予約	87	015Ch	—	×	×	×	×	×	—	—	—
LVD/CMPA	LVD1/CMPA1	88	0160h	エッジ	○	×	×	○	○	IER0B.IEN0	IPR088	—
	LVD2/CMPA2	89	0164h	エッジ	○	×	×	○	○	IER0B.IEN1	IPR089	—
—	予約	90	0168h	—	×	×	×	×	×	—	—	—

表 14.3 割り込みのベクタテーブル (3 / 6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssfb復帰	sacs復帰	IER	IPR	DTCER
—	予約	91	016Ch	—	x	x	x	x	x	—	—	—
RTC	ALM	92	0170h	エッジ	○	x	x	○	○	IER0B.IEN4	IPR092	—
	PRD	93	0174h	エッジ	○	x	x	○	○	IER0B.IEN5	IPR093	—
—	予約	94	0178h	—	x	x	x	x	x	—	—	—
—	予約	95	017Ch	—	x	x	x	x	x	—	—	—
—	予約	96	0180h	—	x	x	x	x	x	—	—	—
—	予約	97	0184h	—	x	x	x	x	x	—	—	—
—	予約	98	0188h	—	x	x	x	x	x	—	—	—
—	予約	99	018Ch	—	x	x	x	x	x	—	—	—
—	予約	100	0190h	—	x	x	x	x	x	—	—	—
—	予約	101	0194h	—	x	x	x	x	x	—	—	—
S12AD	S12ADI0	102	0198h	エッジ	○	○	○	x	x	IER0C.IEN6	IPR102	DTCER102
	GBADI	103	019Ch	エッジ	○	○	○	x	x	IER0C.IEN7	IPR103	DTCER103
—	予約	104	01A0h	—	x	x	x	x	x	—	—	—
—	予約	105	01A4h	—	x	x	x	x	x	—	—	—
ELC	ELSR18I	106	01A8h	エッジ	○	○	○	x	x	IER0D.IEN2	IPR106	DTCER106
	ELSR19I	107	01ACh	エッジ	○	○	○	x	x	IER0D.IEN3	IPR107	DTCER107
—	予約	108	01B0h	—	x	x	x	x	x	—	—	—
—	予約	109	01B4h	—	x	x	x	x	x	—	—	—
—	予約	110	01B8h	—	x	x	x	x	x	—	—	—
—	予約	111	01BCh	—	x	x	x	x	x	—	—	—
—	予約	112	01C0h	—	x	x	x	x	x	—	—	—
—	予約	113	01C4h	—	x	x	x	x	x	—	—	—
MTU0	TGIA0	114	01C8h	エッジ	○	○	○	x	x	IER0E.IEN2	IPR114	DTCER114
	TGIB0	115	01CCh	エッジ	○	○	x	x	x	IER0E.IEN3		DTCER115
	TGIC0	116	01D0h	エッジ	○	○	x	x	x	IER0E.IEN4		DTCER116
	TGID0	117	01D4h	エッジ	○	○	x	x	x	IER0E.IEN5		DTCER117
	TCIV0	118	01D8h	エッジ	○	x	x	x	x	IER0E.IEN6	IPR118	—
	TGIE0	119	01DCh	エッジ	○	x	x	x	x	IER0E.IEN7		—
	TGIF0	120	01E0h	エッジ	○	x	x	x	x	IER0F.IEN0		—
MTU1	TGIA1	121	01E4h	エッジ	○	○	○	x	x	IER0F.IEN1	IPR121	DTCER121
	TGIB1	122	01E8h	エッジ	○	○	x	x	x	IER0F.IEN2		DTCER122
	TCIV1	123	01ECh	エッジ	○	x	x	x	x	IER0F.IEN3	IPR123	—
	TCIU1	124	01F0h	エッジ	○	x	x	x	x	IER0F.IEN4		—
MTU2	TGIA2	125	01F4h	エッジ	○	○	○	x	x	IER0F.IEN5	IPR125	DTCER125
	TGIB2	126	01F8h	エッジ	○	○	x	x	x	IER0F.IEN6		DTCER126
	TCIV2	127	01FCh	エッジ	○	x	x	x	x	IER0F.IEN7	IPR127	—
	TCIU2	128	0200h	エッジ	○	x	x	x	x	IER10.IEN0		—
MTU3	TGIA3	129	0204h	エッジ	○	○	○	x	x	IER10.IEN1	IPR129	DTCER129
	TGIB3	130	0208h	エッジ	○	○	x	x	x	IER10.IEN2		DTCER130
	TGIC3	131	020Ch	エッジ	○	○	x	x	x	IER10.IEN3		DTCER131
	TGID3	132	0210h	エッジ	○	○	x	x	x	IER10.IEN4		DTCER132
	TCIV3	133	0214h	エッジ	○	x	x	x	x	IER10.IEN5		IPR133

表 14.3 割り込みのベクタテーブル (4 / 6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssfb 復帰	sacs 復帰	IER	IPR	DTCER
MTU4	TGIA4	134	0218h	エッジ	○	○	○	×	×	IER10.IEN6	IPR134	DTCER134
	TGIB4	135	021Ch	エッジ	○	○	×	×	×	IER10.IEN7		DTCER135
	TGIC4	136	0220h	エッジ	○	○	×	×	×	IER11.IEN0		DTCER136
	TGID4	137	0224h	エッジ	○	○	×	×	×	IER11.IEN1		DTCER137
	TCIV4	138	0228h	エッジ	○	○	×	×	×	IER11.IEN2	IPR138	DTCER138
MTU5	TGIU5	139	022Ch	エッジ	○	○	×	×	×	IER11.IEN3	IPR139	DTCER139
	TGIV5	140	0230h	エッジ	○	○	×	×	×	IER11.IEN4		DTCER140
	TGIW5	141	0234h	エッジ	○	○	×	×	×	IER11.IEN5		DTCER141
TPU0	TGIOA	142	0238h	エッジ	○	○	○	×	×	IER11.IEN6	IPR142	DTCER142
	TGIOB	143	023Ch	エッジ	○	○	×	×	×	IER11.IEN7		DTCER143
	TGIOC	144	0240h	エッジ	○	○	×	×	×	IER12.IEN0		DTCER144
	TGIOD	145	0244h	エッジ	○	○	×	×	×	IER12.IEN1		DTCER145
	TCIOV	146	0248h	エッジ	○	×	×	×	×	IER12.IEN2	IPR146	—
TPU1	TGI1A	147	024Ch	エッジ	○	○	○	×	×	IER12.IEN3	IPR147	DTCER147
	TGI1B	148	0250h	エッジ	○	○	×	×	×	IER12.IEN4		DTCER148
	TCI1V	149	0254h	エッジ	○	×	×	×	×	IER12.IEN5	IPR149	—
	TCI1U	150	0258h	エッジ	○	×	×	×	×	IER12.IEN6		—
TPU2	TGI2A	151	025Ch	エッジ	○	○	○	×	×	IER12.IEN7	IPR151	DTCER151
	TGI2B	152	0260h	エッジ	○	○	×	×	×	IER13.IEN0		DTCER152
	TCI2V	153	0264h	エッジ	○	×	×	×	×	IER13.IEN1	IPR153	—
	TCI2U	154	0268h	エッジ	○	×	×	×	×	IER13.IEN2		—
TPU3	TGI3A	155	026Ch	エッジ	○	○	○	×	×	IER13.IEN3	IPR155	DTCER155
	TGI3B	156	0270h	エッジ	○	○	×	×	×	IER13.IEN4		DTCER156
	TGI3C	157	0274h	エッジ	○	○	×	×	×	IER13.IEN5		DTCER157
	TGI3D	158	0278h	エッジ	○	○	×	×	×	IER13.IEN6		DTCER158
	TCI3V	159	027Ch	エッジ	○	×	×	×	×	IER13.IEN7	IPR159	—
TPU4	TGI4A	160	0280h	エッジ	○	○	○	×	×	IER14.IEN0	IPR160	DTCER160
	TGI4B	161	0284h	エッジ	○	○	×	×	×	IER14.IEN1		DTCER161
	TCI4V	162	0288h	エッジ	○	×	×	×	×	IER14.IEN2	IPR162	—
	TCI4U	163	028Ch	エッジ	○	×	×	×	×	IER14.IEN3		—
TPU5	TGI5A	164	0290h	エッジ	○	○	○	×	×	IER14.IEN4	IPR164	DTCER164
	TGI5B	165	0294h	エッジ	○	○	×	×	×	IER14.IEN5		DTCER165
	TCI5V	166	0298h	エッジ	○	×	×	×	×	IER14.IEN6	IPR166	—
	TCI5U	167	029Ch	エッジ	○	×	×	×	×	IER14.IEN7		—
—	予約	168	02A0h	—	×	×	×	×	×	—	—	—
—	予約	169	02A4h	—	×	×	×	×	×	—	—	—
POE	OEI1	170	02A8h	レベル	○	×	×	×	×	IER15.IEN2	IPR170	—
	OEI2	171	02ACh	レベル	○	×	×	×	×	IER15.IEN3		IPR171
—	予約	172	02B0h	—	×	×	×	×	×	—	—	—
—	予約	173	02B4h	—	×	×	×	×	×	—	—	—
TMR0	CMIA0	174	02B8h	エッジ	○	○	×	×	○	IER15.IEN6	IPR174	DTCER174
	CMIB0	175	02BCh	エッジ	○	○	×	×	○	IER15.IEN7		DTCER175
	OVI0	176	02C0h	エッジ	○	×	×	×	○	IER16.IEN0		—
TMR1	CMIA1	177	02C4h	エッジ	○	○	×	×	○	IER16.IEN1	IPR177	DTCER177
	CMIB1	178	02C8h	エッジ	○	○	×	×	○	IER16.IEN2		DTCER178
	OVI1	179	02CCh	エッジ	○	×	×	×	○	IER16.IEN3		—

表 14.3 割り込みのベクタテーブル (5 / 6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssfb 復帰	sacs 復帰	IER	IPR	DTCER
TMR2	CMIA2	180	02D0h	エッジ	○	○	×	×	○	IER16.IEN4	IPR180	DTCER180
	CMIB2	181	02D4h	エッジ	○	○	×	×	○	IER16.IEN5		DTCER181
	OVI2	182	02D8h	エッジ	○	×	×	×	○	IER16.IEN6		—
TMR3	CMIA3	183	02DCh	エッジ	○	○	×	×	○	IER16.IEN7	IPR183	DTCER183
	CMIB3	184	02E0h	エッジ	○	○	×	×	○	IER17.IEN0		DTCER184
	OVI3	185	02E4h	エッジ	○	×	×	×	○	IER17.IEN1		—
SCI2	ERI2	186	02E8h	レベル	○	×	×	×	×	IER17.IEN2	IPR186	—
	RXI2	187	02ECh	エッジ	○	○	○	×	×	IER17.IEN3		DTCER187
	TXI2	188	02F0h	エッジ	○	○	○	×	×	IER17.IEN4		DTCER188
	TEI2	189	02F4h	レベル	○	×	×	×	×	IER17.IEN5		—
SCI3	ERI3	190	02F8h	レベル	○	×	×	×	×	IER17.IEN6	IPR190	—
	RXI3	191	02FCh	エッジ	○	○	○	×	×	IER17.IEN7		DTCER191
	TXI3	192	0300h	エッジ	○	○	○	×	×	IER18.IEN0		DTCER192
	TEI3	193	0304h	レベル	○	×	×	×	×	IER18.IEN1		—
SCI4	ERI4	194	0308h	レベル	○	×	×	×	×	IER18.IEN2	IPR194	—
	RXI4	195	030Ch	エッジ	○	○	○	×	×	IER18.IEN3		DTCER195
	TXI4	196	0310h	エッジ	○	○	○	×	×	IER18.IEN4		DTCER196
	TEI4	197	0314h	レベル	○	×	×	×	×	IER18.IEN5		—
DMAC	DMAC0I	198	0318h	エッジ	○	○	×	×	×	IER18.IEN6	IPR198	DTCER198
	DMAC1I	199	031Ch	エッジ	○	○	×	×	×	IER18.IEN7	IPR199	DTCER199
	DMAC2I	200	0320h	エッジ	○	○	×	×	×	IER19.IEN0	IPR200	DTCER200
	DMAC3I	201	0324h	エッジ	○	○	×	×	×	IER19.IEN1	IPR201	DTCER201
—	予約	202	0328h	—	×	×	×	×	×	—	—	—
—	予約	203	032Ch	—	×	×	×	×	×	—	—	—
—	予約	204	0330h	—	×	×	×	×	×	—	—	—
—	予約	205	0334h	—	×	×	×	×	×	—	—	—
SCI7	ERI7	206	0338h	レベル	○	×	×	×	×	IER19.IEN6	IPR206	—
	RXI7	207	033Ch	エッジ	○	○	○	×	×	IER19.IEN7		DTCER207
	TXI7	208	0340h	エッジ	○	○	○	×	×	IER1A.IEN0		DTCER208
	TEI7	209	0344h	レベル	○	×	×	×	×	IER1A.IEN1		—
SCI10	ERI10	210	0348h	レベル	○	×	×	×	×	IER1A.IEN2	IPR210	—
	RXI10	211	034Ch	エッジ	○	○	○	×	×	IER1A.IEN3		DTCER211
	TXI10	212	0350h	エッジ	○	○	○	×	×	IER1A.IEN4		DTCER212
	TEI10	213	0354h	レベル	○	×	×	×	×	IER1A.IEN5		—
SCI0	ERI0	214	0358h	レベル	○	×	×	×	×	IER1A.IEN6	IPR214	—
	RXI0	215	035Ch	エッジ	○	○	○	×	×	IER1A.IEN7		DTCER215
	TXI0	216	0360h	エッジ	○	○	○	×	×	IER1B.IEN0		DTCER216
	TEI0	217	0364h	レベル	○	×	×	×	×	IER1B.IEN1		—
SCI1	ERI1	218	0368h	レベル	○	×	×	×	×	IER1B.IEN2	IPR218	—
	RXI1	219	036Ch	エッジ	○	○	○	×	×	IER1B.IEN3		DTCER219
	TXI1	220	0370h	エッジ	○	○	○	×	×	IER1B.IEN4		DTCER220
	TEI1	221	0374h	レベル	○	×	×	×	×	IER1B.IEN5		—
SCI5	ERI5	222	0378h	レベル	○	×	×	×	×	IER1B.IEN6	IPR222	—
	RXI5	223	037Ch	エッジ	○	○	○	×	×	IER1B.IEN7		DTCER223
	TXI5	224	0380h	エッジ	○	○	○	×	×	IER1C.IEN0		DTCER224
	TEI5	225	0384h	レベル	○	×	×	×	×	IER1C.IEN1		—

表 14.3 割り込みのベクタテーブル (6 / 6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssfb 復帰	sacs 復帰	IER	IPR	DTCER
SCI6	ERI6	226	0388h	レベル	○	×	×	×	×	IER1C.IEN2	IPR226	—
	RXI6	227	038Ch	エッジ	○	○	○	×	×	IER1C.IEN3		DTCER227
	TXI6	228	0390h	エッジ	○	○	○	×	×	IER1C.IEN4		DTCER228
	TEI6	229	0394h	レベル	○	×	×	×	×	IER1C.IEN5		—
SCI8	ERI8	230	0398h	レベル	○	×	×	×	×	IER1C.IEN6	IPR230	—
	RXI8	231	039Ch	エッジ	○	○	○	×	×	IER1C.IEN7		DTCER231
	TXI8	232	03A0h	エッジ	○	○	○	×	×	IER1D.IEN0		DTCER232
	TEI8	233	03A4h	レベル	○	×	×	×	×	IER1D.IEN1		—
SCI9	ERI9	234	03A8h	レベル	○	×	×	×	×	IER1D.IEN2	IPR234	—
	RXI9	235	03ACh	エッジ	○	○	○	×	×	IER1D.IEN3		DTCER235
	TXI9	236	03B0h	エッジ	○	○	○	×	×	IER1D.IEN4		DTCER236
	TEI9	237	03B4h	レベル	○	×	×	×	×	IER1D.IEN5		—
SCI12	ERI12	238	03B8h	レベル	○	×	×	×	×	IER1D.IEN6	IPR238	—
	RXI12	239	03BCh	エッジ	○	○	○	×	×	IER1D.IEN7		DTCER239
	TXI12	240	03C0h	エッジ	○	○	○	×	×	IER1E.IEN0		DTCER240
	TEI12	241	03C4h	レベル	○	×	×	×	×	IER1E.IEN1		—
	SCIX0	242	03C8h	レベル	○	×	×	×	×	IER1E.IEN2	IPR242	—
	SCIX1	243	03CCh	レベル	○	×	×	×	×	IER1E.IEN3	IPR243	—
	SCIX2	244	03D0h	レベル	○	×	×	×	×	IER1E.IEN4	IPR244	—
	SCIX3	245	03D4h	レベル	○	×	×	×	×	IER1E.IEN5	IPR245	—
RIIC0	EEI0	246	03D8h	レベル	○	×	×	×	×	IER1E.IEN6	IPR246	—
	RXI0	247	03DCh	エッジ	○	○	○	×	×	IER1E.IEN7	IPR247	DTCER247
	TXI0	248	03E0h	エッジ	○	○	○	×	×	IER1F.IEN0	IPR248	DTCER248
	TEI0	249	03E4h	レベル	○	×	×	×	×	IER1F.IEN1	IPR249	—
SCI11	ERI11	250	03E8h	レベル	○	×	×	×	×	IER1F.IEN2	IPR250	—
	RXI11	251	03ECh	エッジ	○	○	○	×	×	IER1F.IEN3		DTCER251
	TXI11	252	03F0h	エッジ	○	○	○	×	×	IER1F.IEN4		DTCER252
	TEI11	253	03F4h	レベル	○	×	×	×	×	IER1F.IEN5		—
—	予約	254	03F8h	—	×	×	×	×	×	—	—	—
—	予約	255	03FCh	—	×	×	×	×	×	—	—	—

注1. ベクタ番号が小さいほど、優先順位は高くなります。

14.3.2 高速割り込みのベクタテーブル

高速割り込みに設定された割り込みのベクタテーブルは、CPUの高速割り込みベクタレジスタ (FINTV) です。

14.3.3 ノンマスクابل割り込みのベクタテーブル

ノンマスクابل割り込みのベクタテーブルは“FFFF FFF8h”です。

14.4 割り込みの動作説明

割り込みコントローラは次の処理を行います。

- 割り込み検出
- 割り込み許可 / 禁止制御
- 割り込み要求先 (CPU 割り込み、DTC 起動、DMAC 起動) の選択
- 割り込み優先順位判定

14.4.1 割り込み検出

割り込み要求の検出方法は、レベル検出とエッジ検出の2種類があります。

IRQ_i 端子 (i=0 ~ 7) からの外部割り込み要求は、IRQCRi.IRQMD[1:0] ビットの設定によってエッジ検出とレベル検出を切り替えることができます。

周辺モジュールからの割り込み要求は、要因ごとにエッジ検出 / レベル検出が決まっています。

各要因に対応する検出方法は、「表 14.3 割り込みのベクタテーブル」を参照してください。

14.4.1.1 エッジ検出の割り込みステータスフラグ

周辺機能割り込みと、外部端子割り込みのエッジ検出の IR_n.IR フラグの動作を図 14.2 に示します。

割り込み要求が発生したときの割り込み信号の変化点で IR_n.IR フラグが“1”になります。割り込み要求先が CPU の場合、割り込みを受け付けると IR_n.IR フラグは自動的に“0”になります。割り込み要求先が DMAC、DTC の場合は、DMAC/DTC の転送設定、転送回数によって異なります。詳細は「表 14.4 DMAC/DTC 起動時の動作」を参照してください。ソフトウェアで IR_n.IR フラグをクリアする必要はありません。

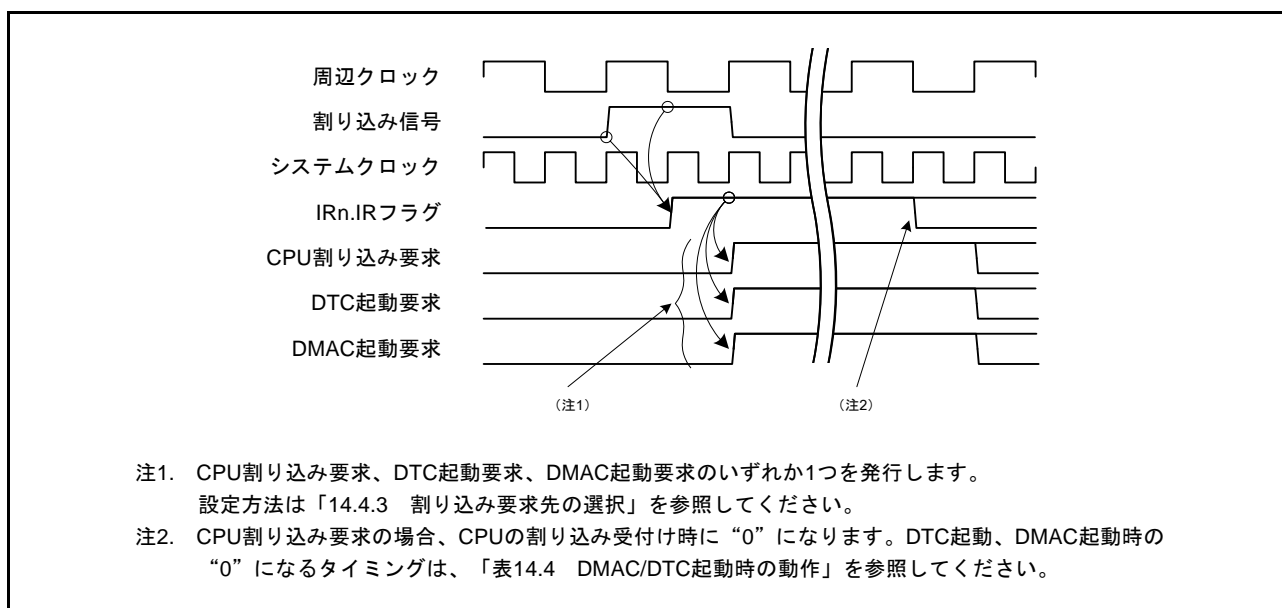


図 14.2 エッジ検出の IR_n.IR フラグの動作

図 14.3 ~ 図 14.6 の割り込み信号は、割り込みコントローラの信号です。割り込みベクタ番号 64 ~ 95 の割り込みでは、タイミングが他の割り込みと異なります。割り込みベクタ番号 64 ~ 79 の IRQ 端子割り込みの場合、IRQ 端子入力から内部遅延 + 2PCLK 分の遅延が増加します。割り込みベクタ番号 80 ~ 95 の割り込みの場合、2PCLK 分の遅延が増加します。

毎サイクル割り込み信号が発生した場合、後続する割り込みの検出はできません。連続する割り込み要求はシステムクロック、周辺クロックの周波数の遅い方のクロックで 2 サイクル以上間隔をあけてください。

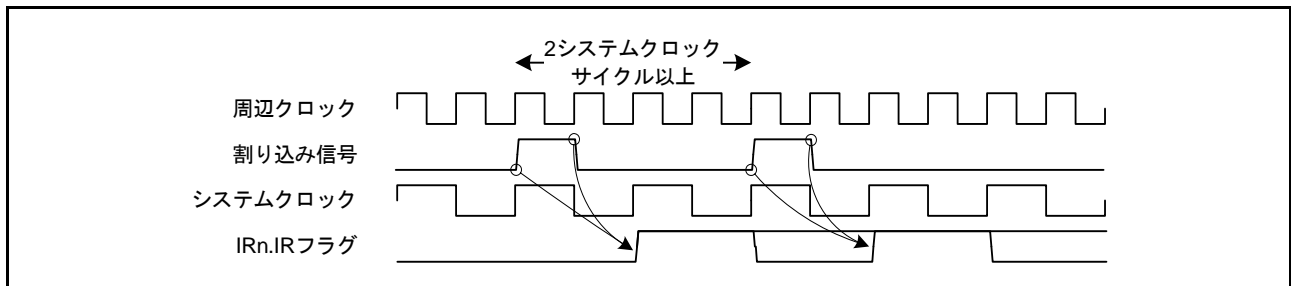


図 14.3 連続する割り込み要求発行の間隔（システムクロック周波数 < 周辺クロック周波数の場合）

割り込み要求が発生し IRn.IR フラグが“1”の状態では、再度発生した割り込み要求は無視されます。（注 1）

IRn.IR フラグの再セットのタイミングを図 14.4 に示します。

注 1. ただし、SCI、RSPI、RIIC の各送信割り込み / 受信割り込みの場合、IRn.IR フラグが“1”の状態が発生した割り込み要求は保持され、IRn.IR フラグが“0”になった後、保持された要求によって再度 IRn.IR フラグが“1”になります。詳細は、「29. シリアルコミュニケーションインタフェース (SCIc、SCId)」、「30. I²C バスインタフェース (RIIC)」、「31. シリアルペリフェラルインタフェース (RSPI)」の各割り込みの説明を参照してください。

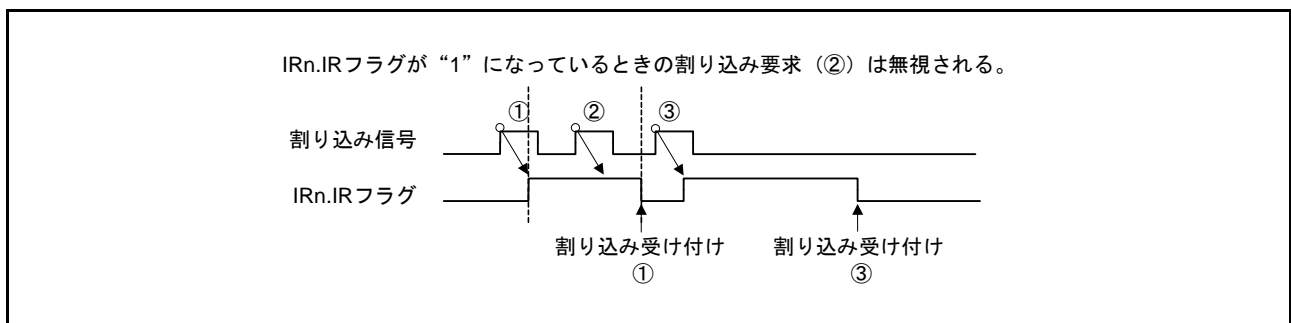


図 14.4 IRn.IR フラグの再セットのタイミング

IRn.IR フラグが“1”になった後、割り込みを禁止（周辺モジュールの割り込み許可ビットで割り込み要求の出力を禁止）としても、IRn.IR フラグは影響を受けず保持されます。割り込みを禁止した場合の動作を図 14.5 に示します。

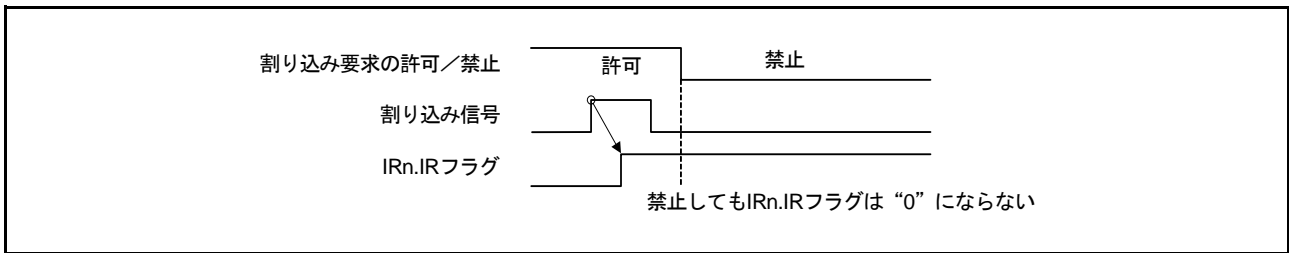


図 14.5 割り込み要求の禁止と IRn.IR フラグの関係

14.4.1.2 レベル検出の割り込みステータスフラグ

周辺機能割り込みと外部端子割り込みのレベル検出時の IRn.IR フラグの動作を図 14.6 に示します。

割り込み信号がアサートされている間、IRn.IR フラグを“1”にし続けます。IRn.IR フラグを“0”にするためには、割り込み発生元の割り込み要求を“0”にしてください。割り込み要求発生元の割り込み要求フラグが“0”になったことを確認、および IRn.IR フラグが“0”になったことを確認してから、割り込みハンドラを終了してください。

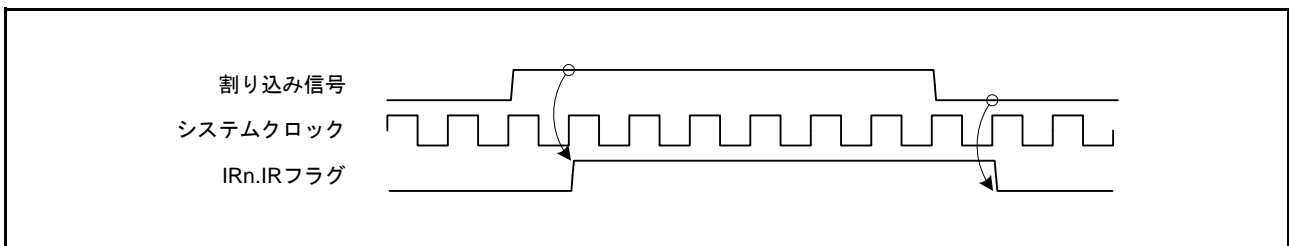


図 14.6 レベル検出時の IRn.IR フラグの動作

レベル検出割り込みの処理手順を図 14.7 に示します

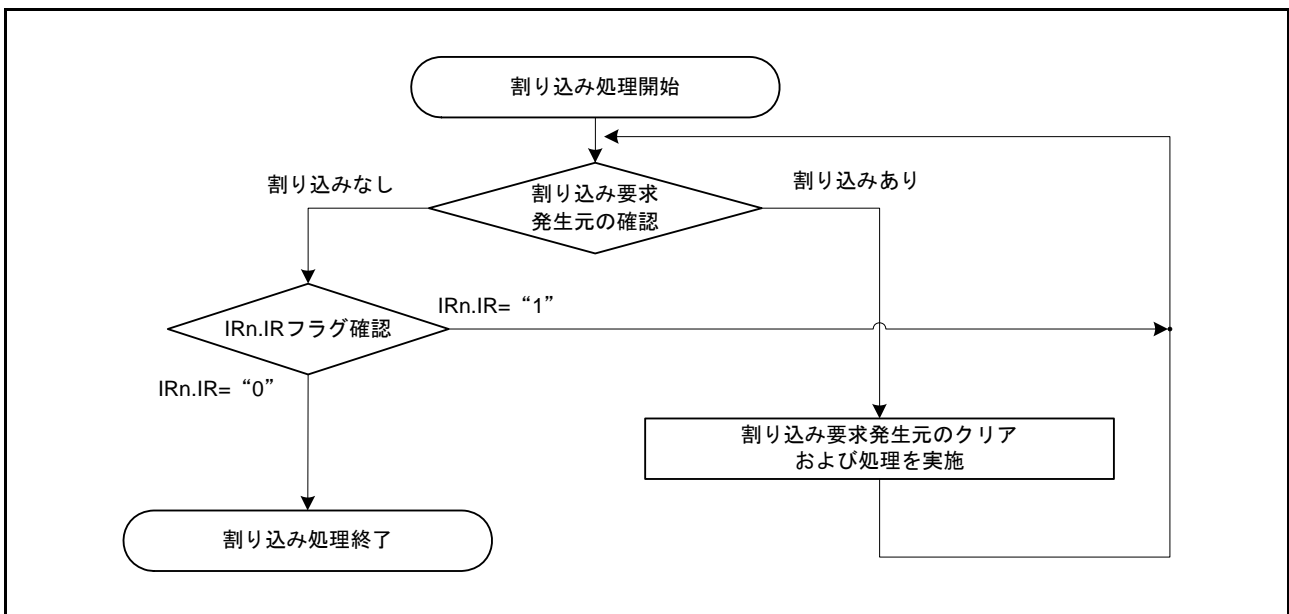


図 14.7 レベル検出割り込み処理手順

14.4.2 割り込み要求の許可 / 禁止

割り込み要求を許可するためには、以下の設定が必要です。

1. 周辺機能割り込みの場合、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可
2. IERm.IENj ビットによって割り込み要求を許可

割り込み発生元で割り込み出力が許可された割り込み要求が発生すると、対応する IRn.IR フラグが“1”になります。

IERm.IENj ビットで割り込み要求を許可することで、IRn.IR フラグが“1”である割り込み要求が割り込み要求先へ出力されます。また、IERm.IENj ビットで割り込み要求を禁止することで、IRn.IR フラグが“1”になった割り込み要求は保留されます。

IRn.IR フラグは、IERm.IENj ビットの影響を受けません。

割り込み要求を禁止にする手順は以下のとおりです。

1. IERm.IENj ビットを割り込み要求禁止に設定する。
2. 周辺モジュールの割り込み出力許可ビットを禁止に設定し、書き込みを行ったレジスタを読んで、書き込み完了を確認する。
3. 必要に応じて、IRn.IR フラグを確認、もしくは IRn.IR フラグを“0”にする。(注1)

注1. SCI、RSPI、RIIC の各送信割り込み / 受信割り込みを許可状態から禁止状態に変更する場合、上記の手順で IRn.IR フラグを“0”にしてください。詳細は、「29. シリアルコミュニケーションインタフェース (SCId、SCId)」、「30. I²C バスインタフェース (RIIC)」、「31. シリアルペリフェラルインタフェース (RSPI)」の各割り込みの説明を参照してください。

14.4.3 割り込み要求先の選択

割り込み要因ごとに設定できる割り込み要求先は決められており、「表 14.3 割り込みのベクタテーブル」に示された要求先が設定できます。表 14.3 に「○」の記載がない割り込み要求先を選択しないでください。

IRQ 端子で DTC/DMAC を割り込み要求先に設定する場合は、IRQCRi.IRQMD[1:0] ビットをエッジ検出に設定してください。

割り込み要求先の設定方法を以下に示します。

(1) DMAC 起動

各要因ごとに、IERm.IENj ビットが“0”のときに以下の設定を行ってください。

1. DMAC のチャンネルごとに用意されている DMAC 起動要求選択レジスタ (DMRSRm) に該当割り込み要因ベクタ番号を指定 (注1)
2. DMAC 該当チャンネルの起動要因 (DMACm.DMTMD.DCTG[1:0]) を“01b” (割り込みモジュール検出) に設定
3. DMAC の該当チャンネルの DMAC 起動許可 (DMACm.DMCNT.DTE) を“1”に設定する

上記の状態、IERm.IENj ビットを“1”にしてください。

また、DMAC 動作許可ビット (DMAST.DMST) を“1”にしてください。各要因ごとの設定と DMAC 動作許可ビットの設定はどちらを先に行っても構いません。

DMAC の設定手順は、「16. DMA コントローラ (DMACA)」の「16.3.7 DMAC の起動」を参照してください。

(2) DTC 起動

各要因ごとに、IERm.IENj ビットが“0”のときに以下の設定を行ってください。

1. 当該要因の DTC 起動許可レジスタの DTC 転送許可ビット (DTCERn.DTCE) を“1”に設定する (注1)

上記の状態、IERm.IENj ビットを“1”にしてください。

また、DTC モジュール起動ビット (DTCST.DTCST) を“1”にしてください。各要因ごとの設定と DTC モジュール起動ビットの設定はどちらを先に行っても構いません。

DTC の設定手順は、「17. データトランスファコントローラ (DTCa)」の「17.5 DTC の設定手順」を参照してください。

- 注1. DTC 起動許可 (DTCERn.DTCE) と DMAC 起動要求選択 (DMRSRm) に同一の要因を設定しないでください。また、複数の DMRSRm に同一の要因を設定しないでください。

(3) CPU 割り込み要求

割り込み要求先が DMAC でも DTC でもない要因は、CPU 割り込み対象となります。

上記の DMAC 起動、DTC 起動の設定がされていない状態で、IERm.IENj ビットを“1”にしてください。

DMAC や DTC を割り込み要求先に設定した場合の動作は、表 14.4 に示すとおりになります。

表 14.4 DMAC/DTC 起動時の動作

割り込み要求先	DISEL	残り転送回数	1 要求ごとの動作	IR (注1)	転送後の割り込み要求先
DMAC	1	≠ 0	DMA 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DMAC
		= 0	DMA 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DMACm.DMCNT.DTE ビットがクリアされCPUに切り替え
	0	≠ 0	DMA 転送	DMAC 転送開始時にクリア	DMAC
		= 0	DMA 転送 (注2)	DMAC 転送開始時にクリア (注2)	DMACm.DMCNT.DTE ビットがクリアされCPUに切り替え
DTC (注3)	1	≠ 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTC
		= 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCER.DTCE ビットがクリアされCPUに切り替え
	0	≠ 0	DTC 転送	DTC 転送情報読み出し後の DTC データ転送開始時にクリア	DTC
		= 0	DTC 転送→CPU 割り込み (注2)	CPU 割り込み受け付け時にクリア (注2)	DTCER.DTCE ビットがクリアされCPUに切り替え

DMAC の DISEL は DMACm.DMCSL.DISEL ビットで、DTC の DISEL は DTC.MRB.DISEL ビットで設定します。

注1. IRn.IR フラグが“1”のとき、再度発生した割り込み要求 (DTC/DMAC 起動要求) は無視されます。

注2. DISEL=“0”で、残り転送回数が“0”のときの動作は DTC と DMAC で異なります。

注3. チェーン転送の場合は、チェーン最終転送まで DTC 転送を継続します。チェーン最終転送時の CPU 割り込みの有無、IRn.IR フラグのクリア、転送後の割り込み要求先の各動作は、チェーン最終転送の DISEL、および残り転送回数によって決まります。チェーン転送については、「17. データトランスファコントローラ (DTCa)」の「表 17.3 チェーン転送の条件」を参照してください。

割り込み要求先を変更する場合は IERm.IENj ビットが“0”のときに行ってください。

「(1) DMAC 起動」を設定してから転送が完了していない状態 (DMACm.DMCNT.DTE ビットがクリアされていない状態) で、割り込み要求先を変更する場合、または DMA 起動要因を別要因に変更する場合は、次の手順で変更を行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを“0”にする。
2. DMAC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. 「(1) DMAC 起動」の設定を行う。

「(2) DTC 起動」を設定してから転送が完了していない状態 (DTCERn.DTCE ビットがクリアされていない状態) で、割り込み要求先を変更する場合、または DTC 転送設定内容を変更する場合は、以下の手順で行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを“0”にする。
2. DTC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. 「(2) DTC 起動」の設定を行う。

14.4.4 優先順位の判定

割り込みコントローラは、割り込み要求先ごとに優先順位の判定を行います。それぞれの割り込み要求先に対する優先順位判定方法は以下のとおりです。

(1) 割り込み要求先が CPU の場合の優先順位判定

高速割り込みに設定された要因が最も優先されます。その次に割り込み優先レベル設定ビット (IPRn.IPR[3:0]) の値が大きい要因が優先されます。IPRn.IPR[3:0] ビットの値が同一レベルの要因が複数ある場合には、ベクタ番号が小さい要因が優先されます。

(2) 割り込み要求先が DTC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。ベクタ番号が小さい要因が優先されます。

(3) 割り込み要求先が DMAC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。DMAC チャンネルの優先順位については「16. DMA コントローラ (DMACA)」を参照してください。

14.4.5 多重割り込み

CPU の多重割り込みを許可するには、受け付けた割り込みの処理ルーチン内で PSW.I ビットを“1” (割り込み許可) にしてください。

割り込み処理ルーチンに分岐した直後の PSW.IPL[3:0] ビットは、受け付けた割り込み要求の割り込み優先レベルと同じ値になっています。このとき、PSW.IPL[3:0] ビットより高い割り込み優先レベルの割り込み要求が発生すると、この割り込み要求の受け付け (多重割り込み) が行われます。

受け付けた割り込み要求の割り込み優先レベルが 15 (高速割り込み、IPR[3:0] を“1111b”に設定した割り込み) の場合は、多重割り込みは発生しません。

14.4.6 高速割り込み

高速割り込みは、CPU の割り込み応答を高速に実行できる割り込みで、割り込み要因のうちの 1 つだけを割り当てることができます。

高速割り込みの割り込み優先レベルは、IPRn.IPR[3:0] ビットの設定にかかわらず、15 (最高) です。また、他のレベル 15 の割り込み要因よりも優先的に受け付けられます。ただし、PSW.IPL[3:0] ビットの値が“1111b” (優先レベル 15) の場合は、高速割り込みも受け付けられません。

割り込み要因を高速割り込みに割り当てするには、FIR.FVCT[7:0] ビットにその要因のベクタ番号を設定し、FIR.FIEN ビットを“1” (高速割り込みを許可) にしてください。

高速割り込みについては「2. CPU」や「13. 例外処理」も参照してください。

14.4.7 デジタルフィルタ

外部割り込み要求端子 $IRQ_i(i=0 \sim 7)$ と NMI 端子割り込みには、デジタルフィルタ機能を持っています。デジタルフィルタは入力信号をフィルタ用サンプリングクロック (PCLK) でサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

IRQ_i 端子のデジタルフィルタを使用する場合、 $IRQFLTC0.FCLKSEL_i[1:0]$ ビット ($i=0 \sim 7$) でサンプリング周波数 (PCLK、PCLK/8、PCLK/32、PCLK/64) を設定し、 $IRQFLTE0.FLTEN_i$ ビットを“1” (デジタルフィルタ有効) にしてください。

NMI 端子割り込みのデジタルフィルタを使用する場合、 $NMIFLTC.NFCLKSEL[1:0]$ ビットでサンプリング周波数 (PCLK、PCLK/8、PCLK/32、PCLK/64) を設定し、 $NMIFLTC.NFLTEN$ ビットを“1” (デジタルフィルタ有効) にしてください。

図 14.8 にデジタルフィルタの動作例を示します。

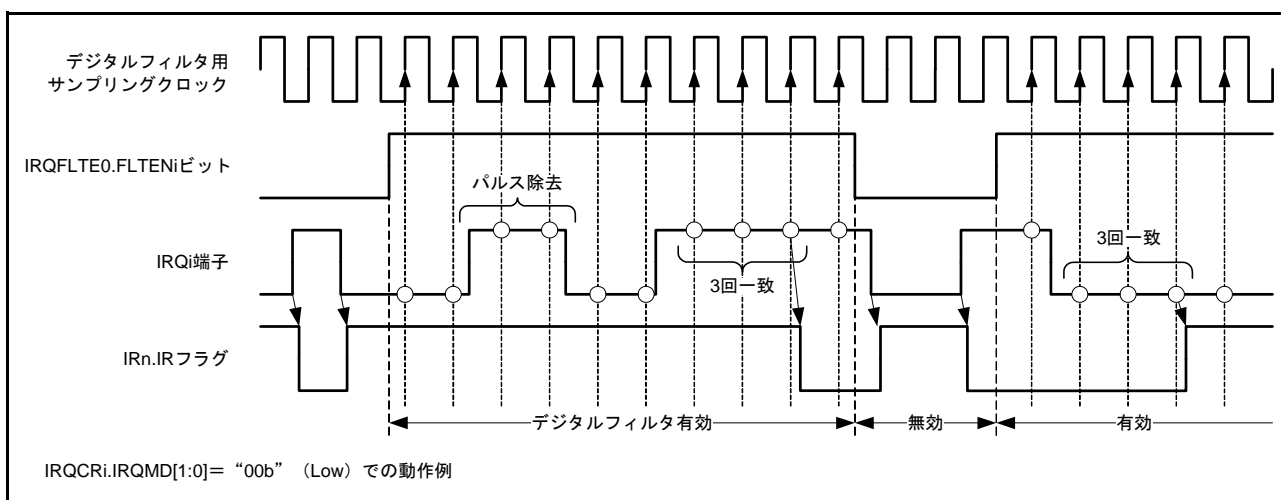


図 14.8 デジタルフィルタ動作例

ソフトウェアスタンバイモードに移行する際は、 $IRQFLTE0.FLTEN_i$ ビット、および $NMIFLTC.NFLTEN$ ビットを“0” (デジタルフィルタ無効) にしてください。ソフトウェアスタンバイモードからの復帰後に再度デジタルフィルタを使用する場合は、 $IRQFLTE0.FLTEN_i$ ビット、もしくは $NMIFLTC.NFLTEN$ ビットを“1” (デジタルフィルタ有効) にしてください。

14.4.8 外部端子割り込み

外部端子割り込みを使用する手順は以下のとおりです。

1. $IER_m.IEN_j$ ビットを“0” (割り込み要求禁止) にする。
2. $IRQFLTE0.FLTEN_i$ ビット ($i=0 \sim 7$) を“0” (デジタルフィルタ無効) にする。
3. $IRQFLTE0.FCLKSEL_i[1:0]$ ビットでデジタルフィルタのサンプリングクロックを設定する。
4. I/O ポートの設定、および確認を行う。
5. $IRQCR_i.IRQMD[1:0]$ ビットで検出方法を設定する。
6. $IR_n.IR$ フラグを“0”にする (エッジ検出の場合)。
7. $IRQFLTE0.FLTEN_i$ ビットを“1” (デジタルフィルタ有効) にする。
8. DMAC 起動の場合 $DMRSR_m.DMRS[7:0]$ ビットを、DTC 起動の場合 $DTCER_n.DTCE$ ビットを設定する (どちらも設定しない場合は CPU 割り込み)。
9. $IER_m.IEN_j$ ビットを“1” (割り込み要求許可) にする。

14.5 ノンマスカブル割り込みの動作説明

ノンマスカブル割り込みにはNMI端子割り込み、発振停止検出割り込み、WDTアンダフロー/リフレッシュエラー、IWDTアンダフロー/リフレッシュエラー、電圧監視1割り込み、電圧監視2割り込みがあります。ノンマスカブル割り込みはCPUへの割り込みのみであり、DTCやDMACの起動はできません。高速割り込みを含むすべての割り込みの中で最優先の割り込みです。

ノンマスカブル割り込み要求は、CPUのPSW.Iビット(割り込み許可ビット)、PSW.IPL[3:0]ビット(プロセッサ割り込み優先レベル)の状態にかかわらず受け付けられます。ノンマスカブル割り込みの有無はノンマスカブル割り込みステータスレジスタ(NMISR)で確認できます。

ノンマスカブル割り込みハンドラでは、NMISRレジスタの全ビットが“0”であることを確認してください。

初期状態では「ノンマスカブル割り込み禁止」となっています。ノンマスカブル割り込みを使用するシステムでは、プログラム処理の先頭で以下の手順に従ってください。

ノンマスカブル割り込み使用手順

1. スタックポインタ(SP)を設定する。
2. NMI端子を使用する場合は、NMIFLTE.NFLTENビットを“0”(デジタルフィルタ無効)にする。
3. NMI端子を使用する場合は、NMIFLTC.NFCLKSEL[1:0]ビットでデジタルフィルタのサンプリングロックを設定する。
4. NMI端子を使用する場合は、NMICR.NMIMDビットでNMI端子の検出センスを設定する。
5. NMI端子を使用する場合は、NMICLR.NMICLRビットに“1”を書いて、NMISR.NMISTフラグを“0”にする。
6. NMI端子を使用する場合は、NMIFLTE.NFLTENビットを“1”(デジタルフィルタ有効)にする。
7. ノンマスカブル割り込み許可レジスタ(NMIER)の許可する割り込みに対応するビットを“1”にして、ノンマスカブル割り込みの使用を許可する。

NMIERレジスタに“1”を書くと、以後のNMIERレジスタへの書き込みは無視されます。ノンマスカブル割り込みを禁止することはできません。リセットでのみ禁止になります。

ノンマスカブル割り込みの処理の流れは、「13. 例外処理」を参照してください。

NMIステータスフラグ(NMISR.NMIST)は、NMICLR.NMICLRビットに“1”を書くことで“0”になります。

発振停止検出割り込みステータスフラグ(NMISR.OSTST)は、NMICLR.OSTCLRビットに“1”を書くことで“0”になります。

WDTアンダフロー/リフレッシュエラーステータスフラグ(NMISR.WDTST)は、NMICLR.WDTCLRビットに“1”を書くことで“0”になります。

IWDTアンダフロー/リフレッシュエラーステータスフラグ(NMISR.IWDTST)は、NMICLR.IWDTCCLRビットに“1”を書くことで“0”になります。

電圧監視1割り込みステータスフラグ(NMISR.LVD1ST)は、NMICLR.LVD1CLRビットに“1”を書くことで“0”になります。

電圧監視2割り込みステータスフラグ(NMISR.LVD2ST)は、NMICLR.LVD2CLRビットに“1”を書くことで“0”になります。

14.6 低消費電力状態からの復帰

スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモードからの復帰割り込みとして使用可能な割り込み要因を「表 14.3 割り込みのベクタテーブル」に示します。

詳細は「11. 消費電力低減機能」を参照してください。各低消費電力モードにおける、復帰対象割り込みの設定方法は以下のとおりです。

14.6.1 スリープモードからの復帰

ノンマスカブル割り込み、および全要因の割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
 - (1) 割り込み要求先が CPU であること
 - (2) IERm.IENj ビットによって該当する割り込み要求が許可されていること
 - (3) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
- ノンマスカブル割り込み
 - NMIER レジスタによって該当する割り込み要求が許可されていること

14.6.2 全モジュールクロックストップモードからの復帰

ノンマスカブル割り込み、および全モジュールクロックストップモードからの復帰可能な割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
 - (1) 全モジュールクロックストップモードから復帰可能な要因であること
 - (2) 割り込み要求先が CPU であること
 - (3) IERm.IENj ビットによって該当する割り込み要求が許可されていること
 - (4) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
- ノンマスカブル割り込み
 - NMIER レジスタによって該当する割り込み要求が許可されていること

14.6.3 ソフトウェアスタンバイモードからの復帰

ノンマスカブル割り込み、およびソフトウェアスタンバイモードからの復帰可能な割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
 - (1) ソフトウェアスタンバイモードから復帰可能な要因であること
 - (2) 割り込み要求先が CPU であること
 - (3) IERm.IENj ビットによって該当する割り込み要求が許可されていること
 - (4) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
(高速割り込みに設定した要因には高速割り込み設定レジスタ (FIR) だけでなく、対応する割り込み優先レベル (IPRn) も CPU.PSW.IPL より高い設定にしてください。)

上記条件を満たさない IRQ 端子では、ソフトウェアスタンバイモードでクロック停止期間中に発生した割り込み要因は検出されません。

- ノンマスカブル割り込み
NMIER レジスタによって該当する割り込み要求が許可されていること
- ソフトウェアスタンバイモードへの移行 / 復帰の手順
 - (1) ソフトウェアスタンバイモードに移行する前に、復帰対象の割り込み要因のデジタルフィルタを無効 (IRQFLTE0.FLTEN_i ビットを “0”、NMIFLTE.NFLTEN ビットを “0”) にしてください。
 - (2) ソフトウェアスタンバイモードから復帰後に再度デジタルフィルタを使用する場合は、デジタルフィルタを有効 (IRQFLTE0.FLTEN_i ビットを “1”、NMIFLTE.NFLTEN ビットを “1”) にしてください。

14.7 使用上の注意事項

14.7.1 ノンマスカブル割り込み使用時の WAIT 命令の注意事項

WAIT 命令を実行する場合は、NMISR レジスタのすべてのステータスフラグが “0” であることを確認した後で行ってください。

15. バス

15.1 概要

表 15.1 にバスの仕様を、図 15.1 にバスの構成図を、表 15.2 にバス種類別アドレス対応表を示します。

表 15.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	<ul style="list-style-type: none"> • CPU (命令) を接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック (ICLK) に同期して動作
	オペランドバス	<ul style="list-style-type: none"> • CPU (オペランド) を接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック (ICLK) に同期して動作
メモリバス	メモリバス1	<ul style="list-style-type: none"> • RAMを接続
	メモリバス2	<ul style="list-style-type: none"> • ROMを接続
内部メインバス	内部メインバス1	<ul style="list-style-type: none"> • CPUを接続 • システムクロック (ICLK) に同期して動作
	内部メインバス2	<ul style="list-style-type: none"> • DMAC、DTCを接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック (ICLK) に同期して動作
内部周辺バス	内部周辺バス1	<ul style="list-style-type: none"> • 周辺機能 (DTC、DMAC、割り込みコントローラ、バスマスタ監視部) を接続 • システムクロック (ICLK) に同期して動作
	内部周辺バス2	<ul style="list-style-type: none"> • 周辺機能 (内部周辺バス1以外の周辺機能) を接続 • 周辺モジュールクロック (PCLKB、PCLKD^(注1)) に同期して動作
	内部周辺バス6	<ul style="list-style-type: none"> • ROM (P/E時)、E2データフラッシュを接続 • FlashIFクロック (FCLK) に同期して動作
外部バス	CS領域	<ul style="list-style-type: none"> • 外部デバイスを接続 • 外部バスクロック (BCLK) に同期して動作

注1. 周辺モジュールクロック (PCLKD) は、S12ADの動作クロックです。

P/E : プログラム/イレーズ

BCLK (外部バスクロック) : 最大 25MHz のクロックです。CSC (CS 領域エリアコントローラ) は、BCLK に同期して動作します。

BCLK 端子出力 : リセット後、BCLK と同じ周波数です。外部バスクロックコントロールレジスタの BCLK 端子出力選択ビット (BCKCR.BCLKDIV) で、BCLK の 2 分周が可能です。詳細は、「9. クロック発生回路」を参照してください。

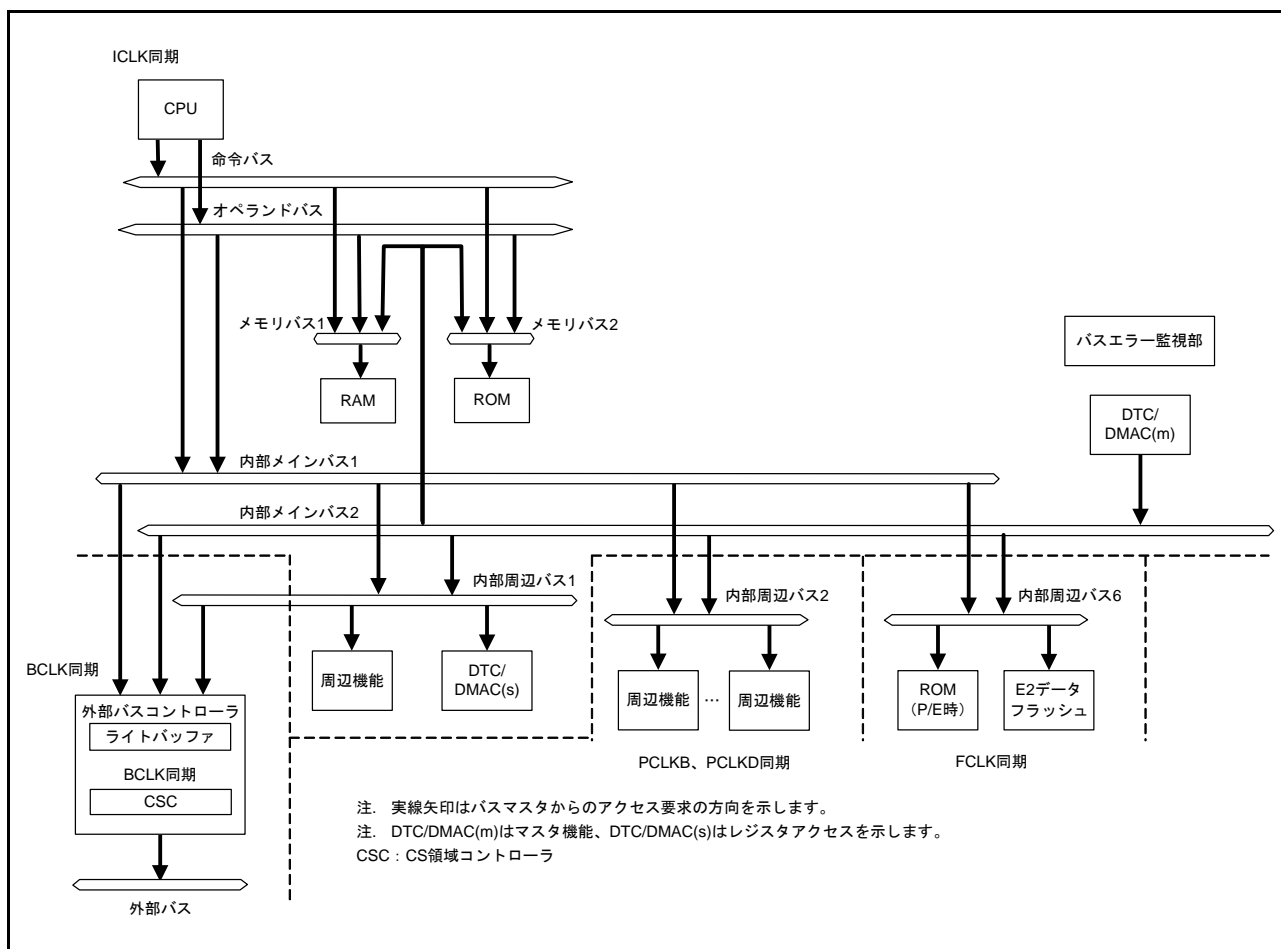


図 15.1 バスの構成図

表 15.2 バス種類別アドレス対応表

アドレス	バス		内容	
	内蔵ROM有効	内蔵ROM無効	内蔵ROM有効	内蔵ROM無効
0000 0000h ~ 0000 FFFFh	メモリバス 1		RAM	
0001 0000h ~ 0007 FFFFh			予約領域	
0008 0000h ~ 0008 7FFFh	内部周辺バス 1		周辺 I/O レジスタ	
0008 8000h ~ 0009 FFFFh	内部周辺バス 2			
0010 0000h ~ 00FF FFFFh	内部周辺バス 6	予約領域	E2 データフラッシュ、FCU-RAM、ROM (プログラム/イレーズ用)	予約領域
0500 0000h ~ 07FF FFFFh	外部バス		外部アドレス空間 (CS1 ~ CS3)	
0800 0000h ~ 0FFF FFFFh			予約領域	
1000 0000h ~ 7FFF FFFFh	予約領域		予約領域	
8000 0000h ~ FFFF FFFFh	メモリバス 2	予約領域	ROM (読み出し専用)	予約領域
FF00 0000h ~ FFFF FFFFh		外部バス		外部アドレス空間 (CS0)

15.2 バスの説明

15.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。

命令バスとオペランドバスは、RAM、ROM に接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、ROM は読み出しのみ CPU からの直接アクセスが可能であり、書き込み/消去は内部周辺バスを介して行います。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス（メモリバス 1、メモリバス 2、内部メインバス 1）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、ROM と RAM、ROM と外部アクセスなどの並列動作が可能となります。

15.2.2 メモリバス

メモリバスには、メモリバス 1 とメモリバス 2 があり、メモリバス 1 には RAM、メモリバス 2 には ROM が接続されています。メモリバス 1 とメモリバス 2 は、CPU バス（命令フェッチとオペランド）、内部メインバス 2 からのバス権要求を調停します。

2 本のバスの優先順位は、それぞれバスプライオリティ制御レジスタのメモリバス 1 (RAM) プライオリティ制御ビット (BUSPRI.BPRA[1:0])、メモリバス 2 (ROM) プライオリティ制御ビット (BUSPRI.BPRO[1:0]) により設定可能です。優先順位固定の場合は、2 本のバスの優先順位は、内部メインバス 2 > CPU バス（オペランド > 命令フェッチ）の順となります。優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

15.2.3 内部メインバス

内部メインバスは、CPU が使用するバス（内部メインバス 1）と、CPU 以外のバスマスタ（DTC、DMAC）が使用するバス（内部メインバス 2）の 2 本で構成されます。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

内部メインバス 2 では、DTC、DMAC のバス権要求を調停します。優先順位は、表 15.3 に示すように、DMAC > DTC の順となります。

DTC と DMAC については、起動要求を受け付けたいずれかの一方のみがバス権要求を行います。DTC と DMAC の起動要求の優先順位は、BUSPRI レジスタの設定に関わらず、DMAC0 > DMAC1 > DMAC2 > DMAC3 > DTC の順となります。

CPU と CPU 以外のバスマスタからの要求が異なるバス（内蔵メモリ、内部周辺バス 1～内部周辺バス 2、内部周辺バス 6、外部バス）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

ただし、CPU により XCHG 命令が実行された場合には、バスプライオリティ制御レジスタ (BUSPRI) の設定にかかわらず、XCHG 命令によるバスアクセスが完了するまで、CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表 15.3 バスマスタ優先順位

優先度	バスマスタ
高	DMAC
↑	DTC
低	CPU

15.2.4 内部周辺バス

表 15.4 に内部周辺バスに接続される周辺機能を示します。

表 15.4 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス1	DTC、DMAC、割り込みコントローラ、バスエラー監視部
内部周辺バス2	内部周辺バス1以外の周辺機能
内部周辺バス6	ROM(P/E時)/E2データフラッシュ、FCU-RAM

内部周辺バス1～2、6は、それぞれ、CPU（内部メインバス1）とCPU以外のバスマスタ（内部メインバス2）からのバス権要求を調停します。

2本の内部メインバスの優先順位は、バスプライオリティ制御レジスタ（BUSPRI）により設定可能です。優先順位は、内部周辺バス1プライオリティ制御ビット（BUSPRI.BPIB[1:0]）、内部周辺バス2、3プライオリティ制御ビット（BUSPRI.BPGB[1:0]）、内部周辺バス6プライオリティ制御ビット（BUSPRI.BPFB[1:0]）によりバスごとに設定できます。優先順位固定の場合は、内部メインバス2 > 内部メインバス1の順となります。優先順位トグルの場合は、内部メインバス1と内部メインバス2とでバス要求を受け付けられた方の優先順位が低くなります。

BUSPRIレジスタの設定の違いにより、受け付けられる要求の順番が変わることがありますので注意してください。図 15.2 に示すとおり、受け付けられたバス要求の優先順位が低い場合は、その優先順位は変わりません。

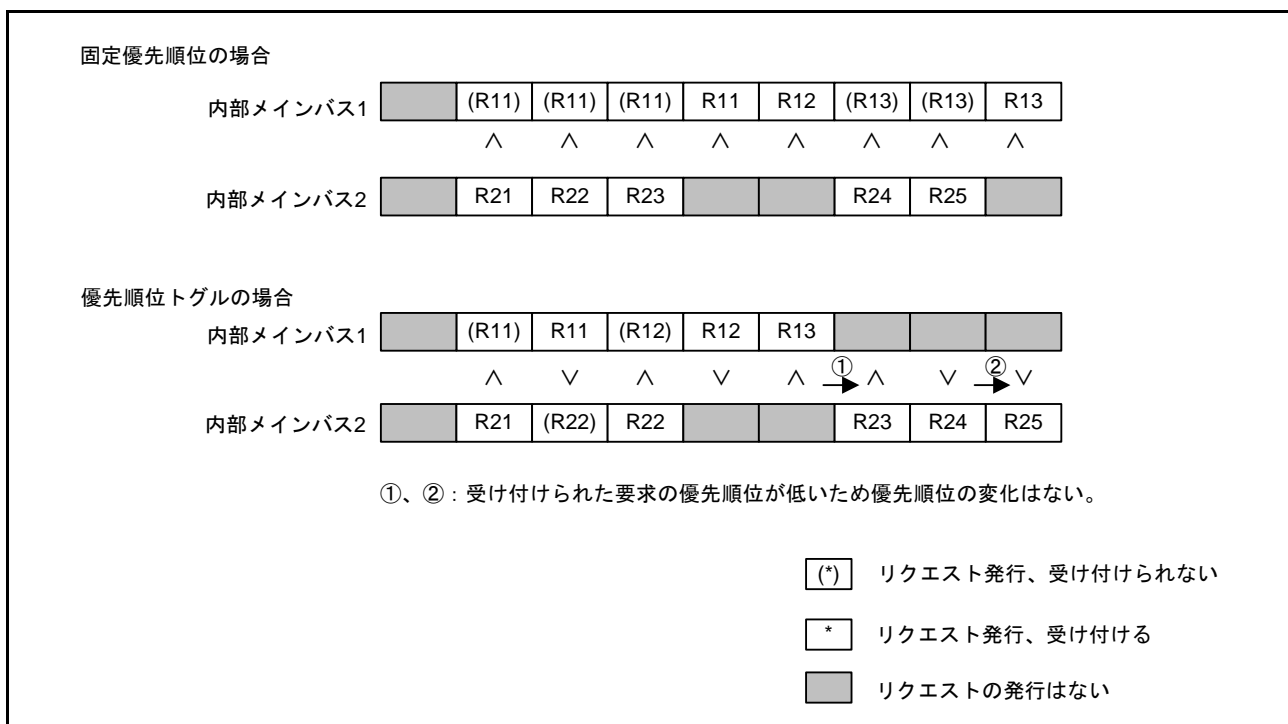


図 15.2 内部周辺バス優先順位

15.2.5 ライトバッファ機能（内部周辺バス）

内部周辺バスはライトバッファ機能を持っており、ライトアクセスの場合は、動作の終了を待たずに、次のアクセスを受け付けることができます。ただし、同じバスマスタからのアクセスの場合、ライトアクセスの次のアクセスが異なる内部周辺バスに対するものであれば、ライトアクセスが終了するまで次のアクセスは、待たされます。CPU から内部周辺バスのライトアクセス後に内蔵メモリへのリードアクセスがある場合には、動作の終了を待たずに次のアクセスが受け付けられるため、アクセスの順番が入れ替わることがありますので注意してください（図 15.3 参照）。

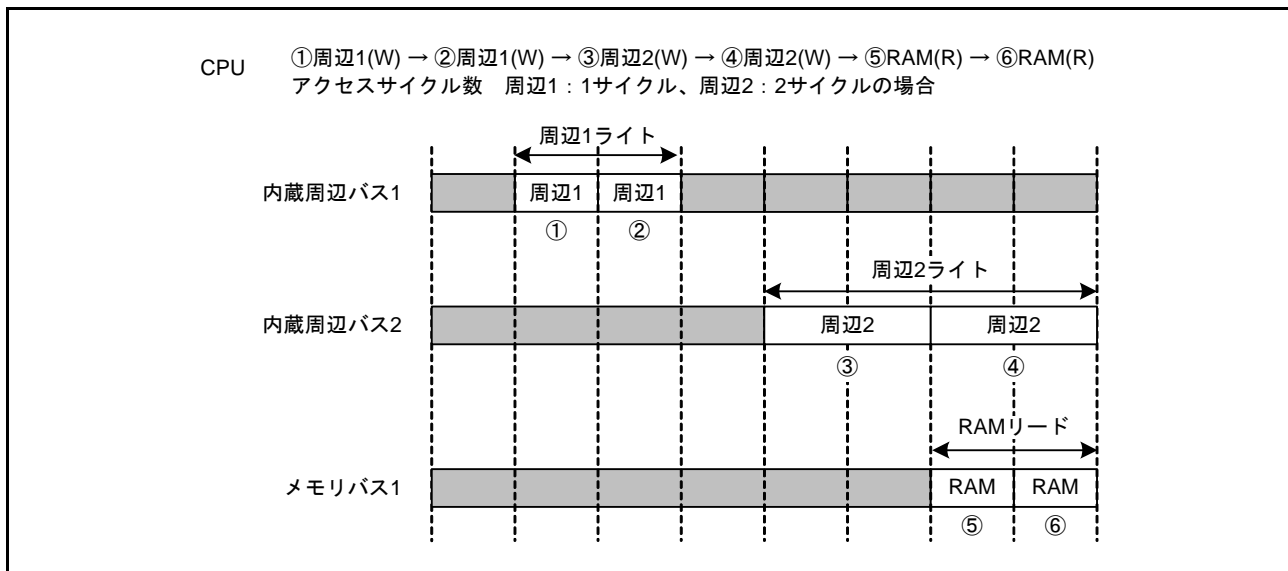


図 15.3 ライトバッファ機能

15.2.6 外部バス

表 15.5 に外部バスの仕様を示します。

外部バスコントローラは、内部メインバス 1、内部メインバス 2 からのバス権要求を調停します。

2 本のバスの優先順位は、バスプライオリティ制御レジスタの外部バスプライオリティ制御ビット (BUSPRI.BPEB[1:0]) により設定可能です。優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 の順となります。優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

バスプライオリティ制御レジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください。図 15.4 に示すとおり、受け付けられたバス要求の優先順位が低い場合は、その優先順位は変わりません。

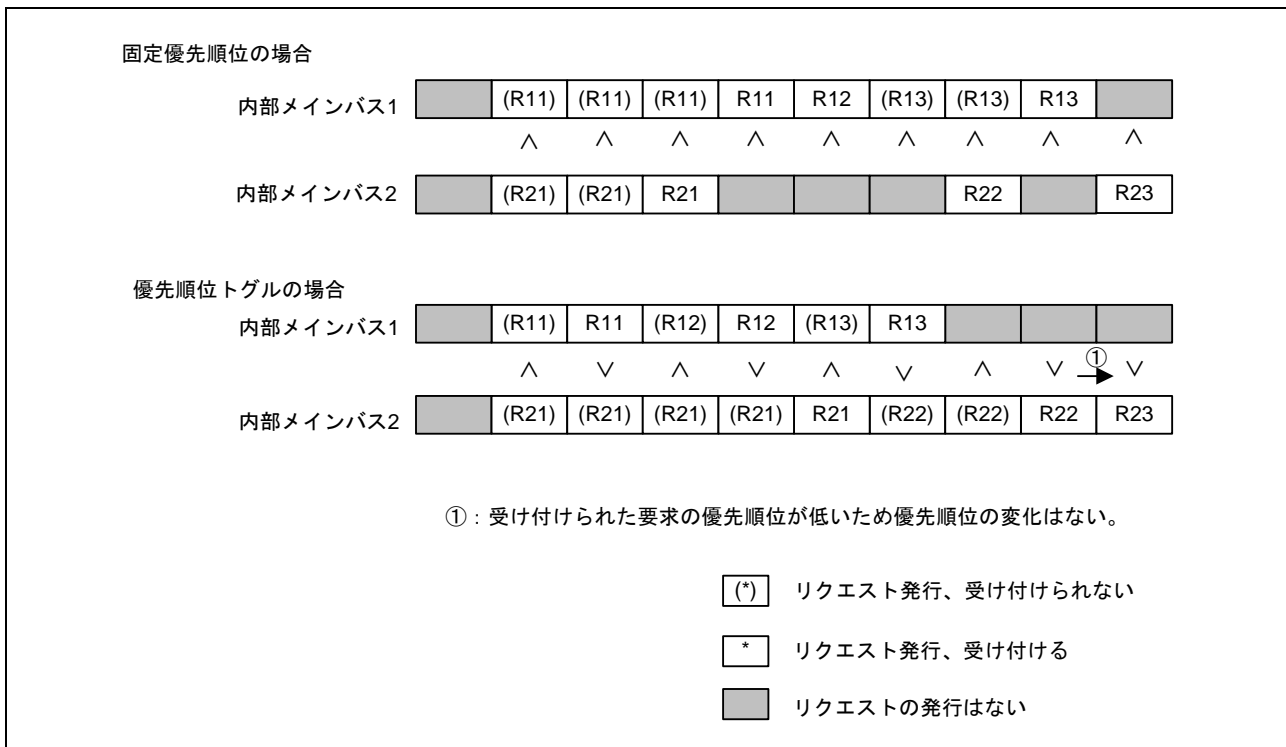


図 15.4 内部メインバス優先順位

表 15.5 外部バスの仕様

項目	内容
外部アドレス空間	<ul style="list-style-type: none"> 外部アドレス空間を4つのCS領域（CS0～CS3）に分割して管理 領域ごとにチップセレクトを出力可能 領域ごとにバス幅を選択可能 セパレートバス：8ビットバス空間/16ビットバス空間を選択可能 アドレスデータマルチプレクスバス：8ビットバス空間/16ビットバス空間を選択可能 領域ごとにエンディアンを設定可能
CS領域コントローラ	<ul style="list-style-type: none"> リカバリサイクル挿入可能 リードリカバリ最大15サイクル挿入 ライトリカバリ最大15サイクル挿入 サイクルウェイト機能：最大31サイクルウェイト（ページアクセス最大7サイクルウェイト） ウェイト制御 チップセレクト信号（CS0#～CS3#）のアサート/ネゲートタイミング設定可能 リード信号（RD#）、ライト信号（WR0#/WR#、WR1#）のアサートタイミング設定可能 データ出力の開始/終了タイミング設定可能 ライトアクセスモード：1ライトストローブモード/バイトストローブモード セパレートバス/アドレスデータマルチプレクスバスを領域ごとに設定可能
ライトバッファ機能	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了
周波数	<ul style="list-style-type: none"> CS領域コントローラ（CSC）は、BCLKに同期して動作

表 15.6 に外部バスの入出力端子を示します。

表 15.6 外部バスの入出力端子

端子名	入出力	機能
A23～A0 (注1)	出力	アドレス出力端子です
D15～D0	入出力	データ入出力端子です 16ビットバス空間を設定した場合、D15～D0が有効となります 8ビットバス空間を設定した場合、D7～D0が有効となります
BC0# (注1)	出力	1ライトストロープモード時、外部アドレス空間をアクセス中で (BC0#信号がLowの場合)、D7～D0が有効であることを示すストロープ信号です 8ビットバス空間を設定した場合、ライトアクセスモードに関係なく常にLow出力となります
BC1#	出力	1ライトストロープモード時、外部アドレス空間をアクセス中で (BC1#信号がLowの場合)、D15～D8が有効であることを示すストロープ信号です 8ビットバス空間を設定した場合、使用しません
CS0#	出力	領域0 (CS0) チップセレクト信号です
CS1#	出力	領域1 (CS1) チップセレクト信号です
CS2#	出力	領域2 (CS2) チップセレクト信号です
CS3#	出力	領域3 (CS3) チップセレクト信号です
RD#	出力	外部アドレス空間 (CS0～CS3) をリード中であることを示すストロープ信号です
WR0#/WR# (注2)	出力	WR0#信号は、バイトストロープモード時、外部アドレス空間をライト中で (WR0#信号がLowの場合)、D7～D0が有効であることを示すストロープ信号です WR#信号は、1ライトストロープモード時、外部アドレス空間をライト中であることを示すストロープ信号です。 8ビットバス空間を設定した場合、ライトアクセスモードに関係なくライトアクセス時にLowが出力されます
WR1#	出力	バイトストロープモード時、外部アドレス空間をライト中で (WR1#信号がLowの場合)、D15～D8が有効であることを示すストロープ信号です 1ライトストロープモード時、無効となります 8ビットバス空間を設定した場合、使用しません
ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号です
WAIT#	入力	外部アドレス空間 (CS0～CS3) をアクセスするときのウェイト要求信号です。(Low : ウェイト要求)

注1. A0端子とBC0#端子は兼用しており、領域ごとにバイトストロープモード時はA0端子、1ライトストロープモード時はBC0#端子が有効になります。ただし、1ライトストロープモード時は、8ビット外部バス幅の設定は禁止です。その他の兼用端子については、「20. マルチファンクションピンコントローラ (MPC)」を参照してください。

注2. WR0#端子とWR#端子は、同じ信号です。WR#端子は、1ライトストロープモード時のWR0#のことを示します。

15.2.7 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPU の命令フェッチが ROM を、オペランドが RAM をアクセス中に、DMAC は周辺-外部バス間の転送を行うことができます。図 15.5 に並列動作の例を示します。この例の場合、CPU は命令バスとオペランドバスを使って、それぞれ ROM と RAM を同時にアクセスすることが可能です。また、CPU が ROM と RAM をアクセス中に、DMAC は内部メインバス 2 を使って、周辺バスあるいは外部バスを同時にアクセスすることができます。

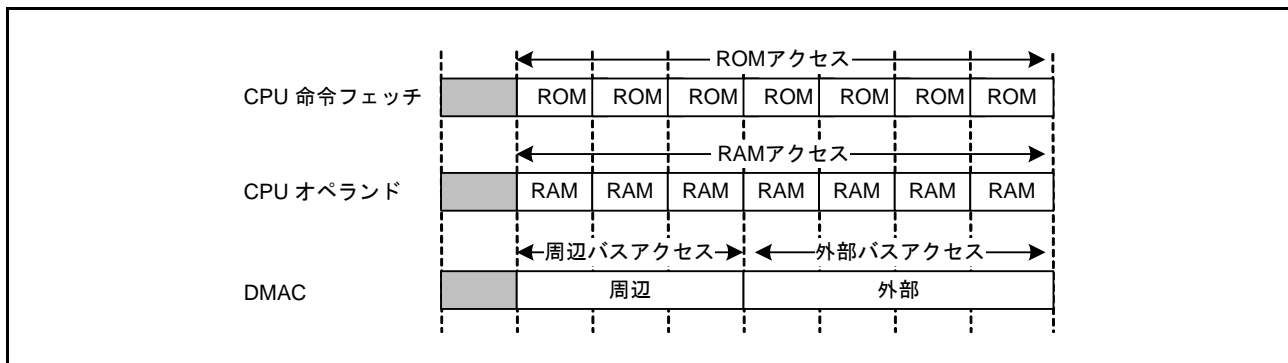


図 15.5 並列動作の例

15.2.8 バスの設定

- (1) 外部バスのモードを、CSn モードレジスタ (CSnMOD)、CSn ウェイト制御レジスタ 1 (CSnWCR1)、CSn ウェイト制御レジスタ 2 (CSnWCR2)、CSn 制御レジスタ (CSnCR)、CSn リカバリサイクル設定レジスタ (CSnREC)、CS リカバリサイクル挿入許可レジスタ (CSRECEN)、バスエラー監視許可レジスタ (BEREN)、バスプライオリティ制御レジスタ (BUSPRI) で設定します。
- (2) 端子の設定を、CS 出力許可レジスタ (PFCSE)、アドレス出力許可レジスタ 0 (PFAOE0)、アドレス出力許可レジスタ 1 (PFAOE1)、外部バス制御レジスタ 0 (PFBCR0)、外部バス制御レジスタ 1 (PFBCR1) で行います。
- (3) 使用する端子を入力ポートに設定します。
- (4) システムコントロールレジスタ 0 (SYSCR0) の外部バス許可ビット (EXBE) を“1” (外部バス有効) に設定します。

15.2.9 制約事項

(1) アドレス空間の複数領域にまたがるアクセスの禁止

1つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで2つの領域にまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

- (a) 外部空間には領域ごとのエンディアン切り替え機能 (データのみ) がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA 命令、ストリング操作命令の操

作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

- (b) RMPA 命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

(3) エンディアンに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

15.3 レジスタの説明

15.3.1 CSn 制御レジスタ (CSnCR) (n = 0 ~ 3)

アドレス CS0CR 0008 3802h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	MPXEN	—	—	—	EMOD E	—	—	BSIZE[1:0]	—	—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1

アドレス CS1CR 0008 3812h、CS2CR 0008 3822h、CS3CR 0008 3832h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	MPXEN	—	—	—	EMOD E	—	—	BSIZE[1:0]	—	—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXENB	動作許可ビット	0: 動作禁止 1: 動作許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BSIZE[1:0]	外部バス幅選択ビット	b5 b4 0 0: 16ビットバス空間に設定 0 1: 設定しないでください 1 0: 8ビットバス空間に設定 1 1: 設定しないでください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	EMODE	エンディアンモード指定ビット	0: 領域nのエンディアンは動作モードのエンディアンと同じ (n = 0~3) 1: 領域nのエンディアンは動作モードのエンディアンと異なる	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	MPXEN	アドレス/データマルチプレクス I/O インタフェース選択ビット	0: 領域nはセパレートバスインタフェース 1: 領域nはアドレス/データマルチプレクスI/O インタフェース (n = 0~3)	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnCR レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

EXENB ビット (動作許可ビット)

各領域の動作許可 / 禁止を設定します。

なお、リセット後は、領域 0 (CS0) のみ動作許可 (“1”) になり、それ以外の領域は動作禁止 (“0”) になります。

動作禁止に設定した領域をアクセスした場合は、外部バスアクセスは発生しません。このとき、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビット (BEREN.IGAEN = 1) が検出許可に設定されていれば、不正アドレスエラーとなります。

BSIZE[1:0] ビット (外部バス幅選択ビット)

各領域のデータバス幅を設定します。

なお、リセット後の領域 0 (CS0) のデータバス幅は、8 ビットバス空間になります。

MPXEN ビットでアドレス/データマルチプレクス I/O インタフェースを設定した場合、32 ビットバス空間に設定することを禁止しており、設定した場合の動作を保証しません。

EMODE ビット (エンディアンモード指定ビット)

各領域のエンディアンを設定します。

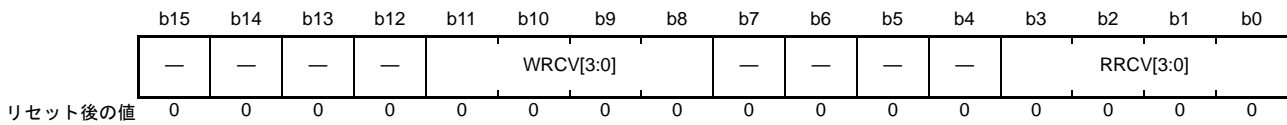
領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

MPXEN ビット (アドレス/データマルチプレクス I/O インタフェース選択ビット)

各領域のバスインタフェースを設定します。

15.3.2 CSn リカバリサイクル設定レジスタ (CSnREC) (n = 0 ~ 3)

アドレス CS0REC 0008 380Ah, CS1REC 0008 381Ah, CS2REC 0008 382Ah, CS3REC 0008 383Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	RRCV[3:0]	リードリカバリ設定ビット	b3 b0 0 0 0 0 : リカバリサイクルを挿入しない 0 0 0 1 : リカバリサイクルを1サイクル挿入 0 0 1 0 : リカバリサイクルを2サイクル挿入 0 0 1 1 : リカバリサイクルを3サイクル挿入 0 1 0 0 : リカバリサイクルを4サイクル挿入 0 1 0 1 : リカバリサイクルを5サイクル挿入 0 1 1 0 : リカバリサイクルを6サイクル挿入 0 1 1 1 : リカバリサイクルを7サイクル挿入 1 0 0 0 : リカバリサイクルを8サイクル挿入 1 0 0 1 : リカバリサイクルを9サイクル挿入 1 0 1 0 : リカバリサイクルを10サイクル挿入 1 0 1 1 : リカバリサイクルを11サイクル挿入 1 1 0 0 : リカバリサイクルを12サイクル挿入 1 1 0 1 : リカバリサイクルを13サイクル挿入 1 1 1 0 : リカバリサイクルを14サイクル挿入 1 1 1 1 : リカバリサイクルを15サイクル挿入	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	WRCV[3:0]	ライトリカバリ設定ビット	b11 b8 0 0 0 0 : リカバリサイクルを挿入しない 0 0 0 1 : リカバリサイクルを1サイクル挿入 0 0 1 0 : リカバリサイクルを2サイクル挿入 0 0 1 1 : リカバリサイクルを3サイクル挿入 0 1 0 0 : リカバリサイクルを4サイクル挿入 0 1 0 1 : リカバリサイクルを5サイクル挿入 0 1 1 0 : リカバリサイクルを6サイクル挿入 0 1 1 1 : リカバリサイクルを7サイクル挿入 1 0 0 0 : リカバリサイクルを8サイクル挿入 1 0 0 1 : リカバリサイクルを9サイクル挿入 1 0 1 0 : リカバリサイクルを10サイクル挿入 1 0 1 1 : リカバリサイクルを11サイクル挿入 1 1 0 0 : リカバリサイクルを12サイクル挿入 1 1 0 1 : リカバリサイクルを13サイクル挿入 1 1 1 0 : リカバリサイクルを14サイクル挿入 1 1 1 1 : リカバリサイクルを15サイクル挿入	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnREC レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

前バスアクセスがセパレートバスの場合、CS リカバリサイクル挿入許可レジスタのセパレートバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENj) (j=0 ~ 7) により、アドレス/データマルチプレクスバスの場合、CS リカバリサイクル挿入許可レジスタのマルチプレクスバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENMj) により、リカバリサイクル挿入許可に設定されている場合に有効となります。

RRCV[3:0] ビット (リードリカバリ設定ビット)

外部バスに対するリードアクセス後に挿入するリカバリサイクル数を設定します。

リカバリサイクル挿入許可を設定し、“0000b”以外を設定すると、以下の場合に1～15サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合

WRCV[3:0] ビット (ライトリカバリ設定ビット)

外部バスに対するライトアクセス後に挿入するリカバリサイクル数を設定します。

リカバリサイクル挿入許可を設定し、“0000b”以外を設定すると、以下の場合に1～15サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合

15.3.3 CS リカバリサイクル挿入許可レジスタ (CSRECEN)

アドレス 0008 3880h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCVEN M7	RCVEN M6	RCVEN M5	RCVEN M4	RCVEN M3	RCVEN M2	RCVEN M1	RCVEN M0	RCVEN 7	RCVEN 6	RCVEN 5	RCVEN 4	RCVEN 3	RCVEN 2	RCVEN 1	RCVEN 0
リセット後の値	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	RCVEN0	セパレートバス用リカバリサイクル挿入許可0ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b1	RCVEN1	セパレートバス用リカバリサイクル挿入許可1ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b2	RCVEN2	セパレートバス用リカバリサイクル挿入許可2ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b3	RCVEN3	セパレートバス用リカバリサイクル挿入許可3ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b4	RCVEN4	セパレートバス用リカバリサイクル挿入許可4ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b5	RCVEN5	セパレートバス用リカバリサイクル挿入許可5ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b6	RCVEN6	セパレートバス用リカバリサイクル挿入許可6ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b7	RCVEN7	セパレートバス用リカバリサイクル挿入許可7ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b8	RCVENM0	マルチプレクスバス用リカバリサイクル挿入許可0ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b9	RCVENM1	マルチプレクスバス用リカバリサイクル挿入許可1ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b10	RCVENM2	マルチプレクスバス用リカバリサイクル挿入許可2ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b11	RCVENM3	マルチプレクスバス用リカバリサイクル挿入許可3ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b12	RCVENM4	マルチプレクスバス用リカバリサイクル挿入許可4ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b13	RCVENM5	マルチプレクスバス用リカバリサイクル挿入許可5ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b14	RCVENM6	マルチプレクスバス用リカバリサイクル挿入許可6ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b15	RCVENM7	マルチプレクスバス用リカバリサイクル挿入許可7ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W

CSRECEN レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

RCVEN0 ビット (セパレートバス用リカバリサイクル挿入許可 0 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN1 ビット (セパレートバス用リカバリサイクル挿入許可 1 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN2 ビット (セパレートバス用リカバリサイクル挿入許可 2 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN3 ビット (セパレートバス用リカバリサイクル挿入許可 3 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN4 ビット (セパレートバス用リカバリサイクル挿入許可 4 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN5 ビット (セパレートバス用リカバリサイクル挿入許可 5 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN6 ビット (セパレートバス用リカバリサイクル挿入許可 6 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN7 ビット (セパレートバス用リカバリサイクル挿入許可 7 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM0 ビット (マルチプレクスバス用リカバリサイクル挿入許可 0 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM1 ビット (マルチプレクスバス用リカバリサイクル挿入許可 1 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM2 ビット (マルチプレクスバス用リカバリサイクル挿入許可 2 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM3 ビット (マルチプレクスバス用リカバリサイクル挿入許可 3 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM4 ビット (マルチプレクスバス用リカバリサイクル挿入許可 4 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM5 ビット (マルチプレクスバス用リカバリサイクル挿入許可 5 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM6 ビット (マルチプレクスバス用リカバリサイクル挿入許可 6 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM7 ビット (マルチプレクスバス用リカバリサイクル挿入許可 7 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

表 15.7 リカバリサイクルの挿入

アクセスの種類	外部アドレス空間	リカバリサイクルの挿入	対応ビット (セパレート/マルチプレクス)
リードアクセス後のリードアクセス	同じ領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN0/RCVENM0
	異なる領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN1/RCVENM1
リードアクセス後のライトアクセス	同じ領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN2/RCVENM2
	異なる領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN3/RCVENM3
ライトアクセス後のリードアクセス	同じ領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN4/RCVENM4
	異なる領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN5/RCVENM5
ライトアクセス後のライトアクセス	同じ領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN6/RCVENM6
	異なる領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN7/RCVENM7

15.3.4 CSn モードレジスタ (CSnMOD) (n = 0 ~ 3)

アドレス CS0MOD 0008 3002h、CS1MOD 0008 3012h、CS2MOD 0008 3022h、CS3MOD 0008 3032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRMOD	—	—	—	—	—	PWENB	PRENB	—	—	—	—	EWENB	—	—	WRMOD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRMOD	ライトアクセスモード選択ビット	0 : バイトストローブモード 1 : 1ライトストローブモード	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	EWENB	外部ウェイト許可ビット	0 : 外部ウェイト禁止 1 : 外部ウェイト許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PRENB	ページリードアクセス許可ビット	0 : ページリードアクセス禁止 1 : ページリードアクセス許可	R/W
b9	PWENB	ページライトアクセス許可ビット	0 : ページライトアクセス禁止 1 : ページライトアクセス許可	R/W
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	PRMOD	ページリードアクセスモード選択ビット	0 : ノーマルアクセス互換モード 1 : 外部データリード連続アサートモード	R/W

CSnMOD レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

WRMOD ビット (ライトアクセスモード選択ビット)

ライトアクセス時の動作モードを選択します。

“0”を設定すると、バイトストローブモードになります。このとき、それぞれのバイト位置に対応した WRn# 信号 (n=0、1) によりデータの書き込みの制御を行います。

“1”を設定すると、1ライトストローブモードになります。このとき、それぞれのバイト位置に対応した BCn# 信号 (n=0、1) と WR# 信号によりデータの書き込みの制御を行います。ただし、1ライトストローブモード時は、8ビット外部バス幅の設定は禁止です。

表 15.8 ライトアクセスモードの制御信号

モード	端子名			
	WR1#	WR0#/WR#	BC1#	BC0#
ライトアクセスモード				
バイトストローブモード	○	○	×	×
1ライトストローブモード	×	○	○	○

○ : 有効、× : 無効

EWENB ビット (外部ウェイト許可ビット)

外部ウェイトの許可/禁止を設定します。

“1”を設定すると、外部ウェイト許可となり、WAIT# 信号により各サイクルのウェイト数を任意に制御することが可能になります。この場合、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。

“0”を設定すると、WAIT# 信号は無効となります。

PRENB ビット (ページリードアクセス許可ビット)

ページリードアクセスの許可/禁止を設定します。

注. CSn 制御レジスタのアドレス/データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) でアドレス/データマルチプレクス I/O インタフェースを選択している場合、ページリードアクセスを許可しないでください。アドレス/データマルチプレクス I/O インタフェースでは、ページアクセスには対応していません。

PWENB ビット (ページライトアクセス許可ビット)

ページライトアクセスの許可/禁止を設定します。

注. CSn 制御レジスタのアドレス/データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) でアドレス/データマルチプレクス I/O インタフェースを選択している場合、ページライトアクセスを許可しないでください。アドレス/データマルチプレクス I/O インタフェースでは、ページアクセスには対応していません。

PRMOD ビット (ページリードアクセスモード選択ビット)

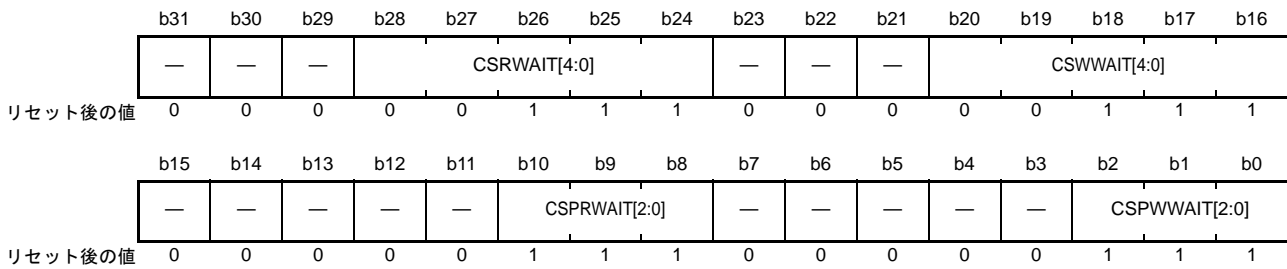
ページリードアクセス時の動作モードを選択します。

“0”を設定すると、ノーマルアクセス互換モードになります。このとき、1つのデータをリードするごとに RD# 信号がネゲートされ、RD アサートウェイトが挿入されます。ただし、RD アサートウェイトが 0 の場合は、外部バスアクセスの最後の転送以外 RD# 信号はネゲートされません。

“1”を設定すると、外部データリード連続アサートモードになります。このとき、RD アサートウェイトは挿入されますが、その間 RD# 信号がアサートされ続けます。

15.3.5 CSn ウェイト制御レジスタ 1 (CSnWCR1) (n = 0 ~ 3)

アドレス CS0WCR1 0008 3004h, CS1WCR1 0008 3014h, CS2WCR1 0008 3024h, CS3WCR1 0008 3034h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CSPWWAIT[2:0]	ページライトサイクルウェイト選択ビット (注1)	b2 b0 0 0 0 : ウェイトを挿入しない 0 0 1 : ウェイトを1サイクル挿入 0 1 0 : ウェイトを2サイクル挿入 0 1 1 : ウェイトを3サイクル挿入 1 0 0 : ウェイトを4サイクル挿入 1 0 1 : ウェイトを5サイクル挿入 1 1 0 : ウェイトを6サイクル挿入 1 1 1 : ウェイトを7サイクル挿入	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CSPRWAIT[2:0]	ページリードサイクルウェイト選択ビット (注2)	b10 b8 0 0 0 : ウェイトを挿入しない 0 0 1 : ウェイトを1サイクル挿入 0 1 0 : ウェイトを2サイクル挿入 0 1 1 : ウェイトを3サイクル挿入 1 0 0 : ウェイトを4サイクル挿入 1 0 1 : ウェイトを5サイクル挿入 1 1 0 : ウェイトを6サイクル挿入 1 1 1 : ウェイトを7サイクル挿入	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b20-b16	CSWWAIT[4:0]	ノーマルライトサイクルウェイト 選択ビット	b20 b16 0 0 0 0 0: ウェイトを挿入しない 0 0 0 0 1: ウェイトを1サイクル挿入 0 0 0 1 0: ウェイトを2サイクル挿入 0 0 0 1 1: ウェイトを3サイクル挿入 0 0 1 0 0: ウェイトを4サイクル挿入 0 0 1 0 1: ウェイトを5サイクル挿入 0 0 1 1 0: ウェイトを6サイクル挿入 0 0 1 1 1: ウェイトを7サイクル挿入 0 1 0 0 0: ウェイトを8サイクル挿入 0 1 0 0 1: ウェイトを9サイクル挿入 0 1 0 1 0: ウェイトを10サイクル挿入 0 1 0 1 1: ウェイトを11サイクル挿入 0 1 1 0 0: ウェイトを12サイクル挿入 0 1 1 0 1: ウェイトを13サイクル挿入 0 1 1 1 0: ウェイトを14サイクル挿入 0 1 1 1 1: ウェイトを15サイクル挿入 1 0 0 0 0: ウェイトを16サイクル挿入 1 0 0 0 1: ウェイトを17サイクル挿入 1 0 0 1 0: ウェイトを18サイクル挿入 1 0 0 1 1: ウェイトを19サイクル挿入 1 0 1 0 0: ウェイトを20サイクル挿入 1 0 1 0 1: ウェイトを21サイクル挿入 1 0 1 1 0: ウェイトを22サイクル挿入 1 0 1 1 1: ウェイトを23サイクル挿入 1 1 0 0 0: ウェイトを24サイクル挿入 1 1 0 0 1: ウェイトを25サイクル挿入 1 1 0 1 0: ウェイトを26サイクル挿入 1 1 0 1 1: ウェイトを27サイクル挿入 1 1 1 0 0: ウェイトを28サイクル挿入 1 1 1 0 1: ウェイトを29サイクル挿入 1 1 1 1 0: ウェイトを30サイクル挿入 1 1 1 1 1: ウェイトを31サイクル挿入	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28-b24	CSRWAIT[4:0]	ノーマルリードサイクルウェイト 選択ビット	b28 b24 0 0 0 0 0: ウェイトを挿入しない 0 0 0 0 1: ウェイトを1サイクル挿入 0 0 0 1 0: ウェイトを2サイクル挿入 0 0 0 1 1: ウェイトを3サイクル挿入 0 0 1 0 0: ウェイトを4サイクル挿入 0 0 1 0 1: ウェイトを5サイクル挿入 0 0 1 1 0: ウェイトを6サイクル挿入 0 0 1 1 1: ウェイトを7サイクル挿入 0 1 0 0 0: ウェイトを8サイクル挿入 0 1 0 0 1: ウェイトを9サイクル挿入 0 1 0 1 0: ウェイトを10サイクル挿入 0 1 0 1 1: ウェイトを11サイクル挿入 0 1 1 0 0: ウェイトを12サイクル挿入 0 1 1 0 1: ウェイトを13サイクル挿入 0 1 1 1 0: ウェイトを14サイクル挿入 0 1 1 1 1: ウェイトを15サイクル挿入 1 0 0 0 0: ウェイトを16サイクル挿入 1 0 0 0 1: ウェイトを17サイクル挿入 1 0 0 1 0: ウェイトを18サイクル挿入 1 0 0 1 1: ウェイトを19サイクル挿入 1 0 1 0 0: ウェイトを20サイクル挿入 1 0 1 0 1: ウェイトを21サイクル挿入 1 0 1 1 0: ウェイトを22サイクル挿入 1 0 1 1 1: ウェイトを23サイクル挿入 1 1 0 0 0: ウェイトを24サイクル挿入 1 1 0 0 1: ウェイトを25サイクル挿入 1 1 0 1 0: ウェイトを26サイクル挿入 1 1 0 1 1: ウェイトを27サイクル挿入 1 1 1 0 0: ウェイトを28サイクル挿入 1 1 1 0 1: ウェイトを29サイクル挿入 1 1 1 1 0: ウェイトを30サイクル挿入 1 1 1 1 1: ウェイトを31サイクル挿入	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CSPWWAIT[2:0]ビットの設定値は、CSnMOD.PWENBビットが“1”の場合のみ有効となります。

注2. CSPRWAIT[2:0]ビットの設定値は、CSnMOD.PRENBビットが“1”の場合のみ有効となります。

CSnWCR1 レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

各ビットは、バスインタフェースにあわせて、「15.6.1 セパレートバスインタフェースの場合の制約事項」あるいは、「15.6.2 アドレス/データマルチプレクスバスの場合の制約事項」に示す制約の範囲内で設定してください。

CSPWAIT[2:0] ビット (ページライトサイクルウェイト選択ビット)

ページライトサイクルの2サイクル目以降のアクセスに挿入するサイクル数を設定します。

CSPWAIT[2:0] ビットの設定は、CSnMOD.PWENB ビットが“1”のとき有効になります。

注. $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ 、
また $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ と
なるように設定してください。

CSPRWAIT[2:0] ビット (ページリードサイクルウェイト選択ビット)

ページリードサイクルの2サイクル目以降のアクセスに挿入するサイクル数を設定します。

CSPRWAIT[2:0] ビットの設定は、CSnMOD.PRENB ビットが“1”のとき有効になります。

注. $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.RDON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPRWAIT}[2:0] \text{ ビット}$ となるよ
うに設定してください。

CSWWAIT[4:0] ビット (ノーマルライトサイクルウェイト選択ビット)

ノーマルライトサイクルおよびページライトサイクルの最初のアクセスに挿入するサイクル数を設定します。

注. $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[4:0] \text{ ビット}$ 、ま
た $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[4:0] \text{ ビット}$ となる
ように設定してください。

CSRWAIT[4:0] ビット (ノーマルリードサイクルウェイト選択ビット)

ノーマルリードサイクルおよびページリードサイクルの最初のアクセスに挿入するサイクル数を設定します。

注. $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.RDON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSRWAIT}[4:0] \text{ ビット}$ となるよ
うに設定してください。

15.3.6 CSn ウェイト制御レジスタ 2 (CSnWCR2) (n = 0 ~ 3)

アドレス CS0WCR2 0008 3008h、CS1WCR2 0008 3018h、CS2WCR2 0008 3028h、CS2WCR2 0008 3038h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	CSON[2:0]			—	WDON[2:0]			—	WRON[2:0]			—	RDON[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	AWAIT[1:0]		—	WDOFF[2:0]			—	CSWOFF[2:0]			—	CSROFF[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CSROFF[2:0]	リード時CS延長サイクル選択ビット	b2 b0 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	CSWOFF[2:0]	ライト時CS延長サイクル選択ビット	b6 b4 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	WDOFF[2:0]	ライトデータ出力延長サイクル選択ビット	b10 b8 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	AWAIT[1:0]	アドレスサイクルウェイト選択ビット	b13 b12 0 0: ウェイトを挿入しない 0 1: ウェイトを1サイクル挿入 1 0: ウェイトを2サイクル挿入 1 1: ウェイトを3サイクル挿入	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	RDON[2:0]	RDアサートウェイト選択ビット	b18 b16 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b22-b20	WRON[2:0]	WRアサートウェイト選択ビット	b22 b20 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26-b24	WDON[2:0]	ライトデータ出力ウェイト選択ビット	b26 b24 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30-b28	CSON[2:0]	CSアサートウェイト選択ビット	b30 b28 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnWCR2 レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

各ビットは、バスインタフェースにあわせて、「15.6 制約事項 15.6.1 セパレートバスインタフェースの場合の制約事項」あるいは、「15.6 制約事項 15.6.2 アドレス/データマルチプレクスバスの場合の制約事項」に示す制約の範囲内で設定してください。

CSROFF[2:0] ビット (リード時 CS 延長サイクル選択ビット)

リードアクセス時のウェイトサイクル終了時 (RD# 信号のネゲート時) から CSn# 信号 (n = 0 ~ 3) をネゲートするまでのサイクル数を設定します。

CSWOFF[2:0] ビット (ライト時 CS 延長サイクル選択ビット)

ライトアクセス時のウェイトサイクル終了時 (WRn# 信号 (n = 0, 1) のネゲート時) から CSn# 信号 (n = 0 ~ 3) をネゲートするまでのサイクル数を設定します。

注. WDOFF[2:0] ビット ≤ CSWOFF[2:0] ビットとなるように設定してください。

WDOFF[2:0] ビット (ライトデータ出力延長サイクル選択ビット)

ライトアクセス時のウェイトサイクル終了時 (WRn# 信号 (n = 0, 1) のネゲート時) からライトデータ出力を終了するまでのサイクル数を設定します。

注. WDOFF[2:0] ビット ≤ CSWOFF[2:0] ビットとなるように設定してください。

AWAIT[1:0] ビット (アドレスサイクルウェイト選択ビット)

アドレス/データマルチプレクス I/O インタフェースのアドレス出力サイクルにウェイトステートを挿入します。

- 注. CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.AWAIT[1:0] ビット
 リードアクセス時、CSnWCR2.AWAIT[1:0] ビット + 2 \leq CSnWCR2.RDON[2:0] ビット
 \leq CSnWCR1.CSRWAIT[4:0] ビット
 ライトアクセス時、CSnWCR2.AWAIT[1:0] ビット + 2 \leq CSnWCR2.WRON[2:0] ビット
 \leq CSnWCR1.CSWWAIT[4:0] ビット、また、CSnWCR2.AWAIT[1:0] ビット + 2
 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR1.CSWWAIT[4:0] ビット
 となるように設定してください。

RDON[2:0] ビット (RD アサートウェイト選択ビット)

RD# 信号のアサート前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.RDON[2:0] ビット
 \leq CSnWCR1.CSRWAIT[4:0] ビット
 ページリードアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.RDON[2:0] ビット
 \leq CSnWCR1.CSPRWAIT[2:0] ビット
 となるように設定してください。
- 注. アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 \leq
 CSnWCR2.RDON[2:0] ビット \leq CSnWCR1.CSRWAIT[4:0] ビットとなるように設定してください。

WRON[2:0] ビット (WR アサートウェイト選択ビット)

WRn# 信号 (n = 0, 1) のアサート前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルライトアクセス時、 $1 \leq$ CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット
 \leq CSnWCR1.CSWWAIT[4:0] ビット、また、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット
 \leq CSnWCR1.CSWWAIT[4:0] ビット
 ページライトアクセス時、 $1 \leq$ CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSPWAIT[2:0] ビット、また、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット
 \leq CSnWCR1.CSPWAIT[2:0] ビット
 となるように設定してください。
- 注. アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 \leq
 CSnWCR2.WRON[2:0] ビット \leq CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

WDON[2:0] ビット (ライトデータ出力ウェイト選択ビット)

ライトデータ出力の前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルライトアクセス時、 $1 \leq$ CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット
 \leq CSnWCR1.CSWWAIT[4:0] ビット
 ページライトアクセス時、 $1 \leq$ CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSPWAIT[2:0] ビット
 となるように設定してください。
- 注. アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 \leq
 CSnWCR2.WDON[2:0] ビット \leq CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

CSON[2:0] ビット (CS アサートウェイト選択ビット)

CSn# 信号 (n = 0 ~ 3) のアサート前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.RDON[2:0] ビット
 \leq CSnWCR1.CSRWAIT[4:0] ビット
 ページリードアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.RDON[2:0] ビット
 \leq CSnWCR1.CSPRWAIT[2:0] ビット
 ノーマルライトアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット
 \leq CSnWCR1.CSWWAIT[4:0] ビット
 ページライトアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット

≦ CSnWCR1.CSPWAIT[2:0] ビット
となるように設定してください。

注. アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.CSON[2:0] ビット
≦ CSnWCR2.AWAIT[1:0] ビットとなるように設定してください。

15.3.7 バスエラーステータスクリアレジスタ (BERCLR)

アドレス 0008 1300h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	STSCLR

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	ステータスクリアビット	0: 無効 1: バスエラーステータスレジスタクリア	(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”書き込みのみ有効で、“0”書き込みは無効です。

STSCLR ビット (ステータスクリアビット)

“1”を書き込むと、バスエラーステータスレジスタ 1 (BERSR1) とバスエラーステータスレジスタ 2 (BERSR2) がクリアされます。

“0”書き込みは無効です。読むと“0”が読み出されます。

15.3.8 バスエラー監視許可レジスタ (BEREN)

アドレス 0008 1304h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TOEN	IGAEN

リセット後の値 0 0 0 0 0 0 0 0

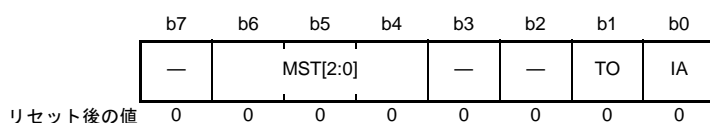
ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0: 不正アドレスアクセス検出禁止 1: 不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット (注1、注2)	0: バスタイムアウト検出禁止 1: バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 検出禁止 (TOENビット=0) にしてバスアクセスを行った場合、バスがフリーズすることがあります。

注2. タイムアウトエラー検出中にTOENビットを“0” (検出禁止) にしないようにしてください。

15.3.9 バスエラーステータスレジスタ 1 (BERSR1)

アドレス 0008 1308h



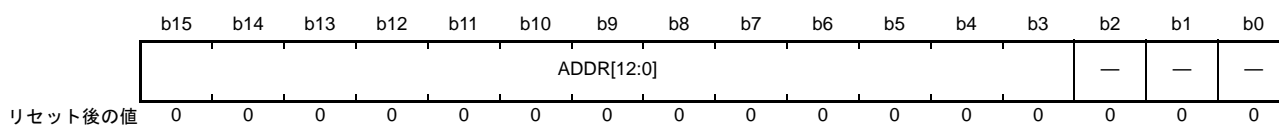
ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0: 不正アドレスアクセスの発生なし 1: 不正アドレスアクセスの発生あり	R
b1	TO	タイムアウトビット	0: タイムアウトの発生なし 1: タイムアウトの発生あり	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6 b4 0 0 0: CPU 0 0 1: 予約 0 1 0: 予約 0 1 1: DTC/DMAC 1 0 0: 予約 1 0 1: 予約 1 1 0: 予約 1 1 1: 予約	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MST[2:0] ビット (バスマスタコードビット)

バスエラーを発生させたアクセスのバスマスタを示します。

15.3.10 バスエラーステータスレジスタ 2 (BERSR2)

アドレス 0008 130Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位13ビット (512Kバイト単位)	R

15.3.11 バスプライオリティ制御レジスタ (BUSPRI)

アドレス 0008 1310h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	BPEB[1:0]	BPFB[1:0]	—	—	BPGB[1:0]	BPIB[1:0]	BPRO[1:0]	BPRA[1:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BPRA[1:0]	メモリバス1 (RAM) プライオリティ制御ビット	b1 b0 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b3-b2	BPRO[1:0]	メモリバス2 (ROM) プライオリティ制御ビット	b3 b2 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b5-b4	BPIB[1:0]	内部周辺バス1プライオリティ制御ビット	b5 b4 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b7-b6	BPGB[1:0]	内部周辺バス2プライオリティ制御ビット	b7 b6 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b9-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b10	BPFB[1:0]	内部周辺バス6プライオリティ制御ビット	b11 b10 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b13-b12	BPEB[1:0]	外部バスプライオリティ制御ビット	b13 b12 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DTC、DMACが停止した状態で、1回のみ書き込みできます。2回以上、書き込んだ場合、動作は保証されません。

BPRA[1:0] ビット (メモリバス 1 (RAM) プライオリティ制御ビット)

メモリバス 1 (RAM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > CPU バスとなります。

優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

BPRO[1:0] ビット (メモリバス 2 (ROM) プライオリティ制御ビット)

メモリバス 2 (ROM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > CPU バスとなります。

優先順位トグルの場合は、内部メインバス 1 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

BPIB[1:0] ビット (内部周辺バス 1 プライオリティ制御ビット)

内部周辺バス 1 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPGB[1:0] ビット (内部周辺バス 2 プライオリティ制御ビット)

内部周辺バス 2 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPFB[1:0] ビット (内部周辺バス 6 プライオリティ制御ビット)

内部周辺バス 6 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPEB[1:0] ビット (外部バスプライオリティ制御ビット)

外部バスに対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

15.4 エンディアンとデータアライメント

外部バスは、データアライメント機能を持っており、外部アドレス空間（CS 領域）をアクセスするときデータバス D15～D8、D7～D0 のどれを使用するかを、アクセスする領域のバス仕様（8 ビットバス空間、16 ビットバス空間）とデータサイズ、およびエンディアンモードによって制御します。

15.4.1 CS 領域のデータアライメント制御

(1) 16 ビットバス空間

CSnCR.BSIZE[1:0] ビットで 16 ビットバス空間を選択すると、アドレスバス（A23～A1）が 16 ビット単位のアドレス出力信号として有効になり、アドレスバス（A0）は無効（Low 固定）になります。

バイトストロブモード（CSnMOD.WRMOD ビット＝“0”）を選択した場合、WR0#、WR1# 端子が有効になります。BC0#、BC1# 端子は使用しません。

1 ライトストロブモード（CSnMOD.WRMOD ビット＝“1”）を選択した場合、WR0# 端子のみ有効となり、データサイズにかかわらずライトアクセス時には WR0# 端子より Low が出力されます。このとき、WR1# 端子は無効（High 固定）になります。有効なバイト位置は、BC0#、BC1# 端子により表します。

16 ビットバス空間では、32 ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが 32 ビット境界を越えず、かつ BC0#、BC1# 信号の変化しない転送がページアクセスの対象となります。ページアクセスが発生する場合は図 15.6、図 15.7 に (p) で示します。

16 ビットバス空間では、ビッグエンディアンとリトルエンディアンでチップ外部のデータ、制御信号の有効位置は異なります。

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1# WR0#/BC0#
						RD#
						データバス
						D15 D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	[7 0]
	4n+1	1回	1回目	8bit	4n	[7 0]
	4n+2	1回	1回目	8bit	4n+2	[7 0]
	4n+3	1回	1回目	8bit	4n+2	[7 0]
16bit	4n	1回	1回目	16bit	4n	[15 8 7 0]
	4n+1	2回	1回目	8bit	4n	[7 0]
			2回目	8bit	4n+2	[15 8]
	4n+2	1回	1回目	16bit	4n+2	[15 8 7 0]
	4n+3	2回	1回目	8bit	4n+2	[7 0]
			2回目	8bit	4n+4	[15 8]
32bit	4n	2回	1回目	16bit	4n	[15 8 7 0]
			2回目	16bit	4n+2 (p)	[31 24 23 16]
	4n+1	3回	1回目	8bit	4n	[7 0]
			2回目	16bit	4n+2	[23 16 15 8]
			3回目	8bit	4n+4	[31 24]
	4n+2	2回	1回目	16bit	4n+2	[15 8 7 0]
			2回目	16bit	4n+4	[31 24 23 16]
	4n+3	3回	1回目	8bit	4n+2	[7 0]
			2回目	16bit	4n+4	[23 16 15 8]
			3回目	8bit	4n+6	[31 24]

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 15.6 16ビットバス空間のデータアライメント（リトルエンディアン）

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1#	WR0#/BC0#	
						RD#		
						データバス		
						D15	D8 D7	D0
8bit	4n	1回	1回目	8bit	4n	[7	0]	
	4n+1	1回	1回目	8bit	4n		[7 0]	
	4n+2	1回	1回目	8bit	4n+2	[7	0]	
	4n+3	1回	1回目	8bit	4n+2		[7 0]	
16bit	4n	1回	1回目	16bit	4n	[15	8 7	0]
	4n+1	2回	1回目	8bit	4n		[15 8]	
			2回目	8bit	4n+2	[7	0]	
	4n+2	1回	1回目	16bit	4n+2	[15	8 7	0]
	4n+3	2回	1回目	8bit	4n+2		[15 8]	
			2回目	8bit	4n+4	[7	0]	
32bit	4n	2回	1回目	16bit	4n	[31	24 23	16]
			2回目	16bit	4n+2 (p)	[15	8 7	0]
	4n+1	3回	1回目	8bit	4n		[31	24]
			2回目	16bit	4n+2	[23	16 15	8]
			3回目	8bit	4n+4	[7	0]	
	4n+2	2回	1回目	16bit	4n+2	[31	24 23	16]
			2回目	16bit	4n+4	[15	8 7	0]
	4n+3	3回	1回目	8bit	4n+2		[31	24]
			2回目	16bit	4n+4	[23	16 15	8]
3回目			8bit	4n+6	[7	0]		

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 15.7 16 ビットバス空間のデータアライメント (ビッグエンディアン)

(2) 8ビットバス空間

CSnCR.BSIZE[1:0] ビットで8ビットバス空間を選択すると、アドレスバス (A23 ~ A0) がバイト単位のアドレス信号として有効になります。

8ビットバス空間ではライトアクセスモードの設定にかかわらず、WR0# 端子のみが有効になります。WR0# 端子にはライトアクセス時に Low が出力されます。WR1#、BC0#、BC1# 端子は使用しません。

8ビットバス空間では、16ビット、32ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが32ビット境界を越えない転送がページアクセスの対象となります。ページアクセスが発生する場合を図 15.8、図 15.9 に (p) で示します。

8ビットバス空間では、エンディアンにかかわらずチップの外部データは D7 ~ D0、制御信号は WR0# 信号を使用します。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス	WR1#/BC1# WR0#/BC0#	
						RD#	
						データバス	
						D15	D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	7	0
	4n+1	1回	1回目	8bit	4n+1	7	0
	4n+2	1回	1回目	8bit	4n+2	7	0
	4n+3	1回	1回目	8bit	4n+3	7	0
16bit	4n	2回	1回目	8bit	4n	7	0
			2回目	8bit	4n+1 (p)	15	8
	4n+1	2回	1回目	8bit	4n+1	7	0
			2回目	8bit	4n+2 (p)	15	8
	4n+2	2回	1回目	8bit	4n+2	7	0
			2回目	8bit	4n+3 (p)	15	8
	4n+3	2回	1回目	8bit	4n+3	7	0
			2回目	8bit	4n+4	15	8
32bit	4n	4回	1回目	8bit	4n	7	0
			2回目	8bit	4n+1 (p)	15	8
			3回目	8bit	4n+2 (p)	23	16
			4回目	8bit	4n+3 (p)	31	24
	4n+1	4回	1回目	8bit	4n+1	7	0
			2回目	8bit	4n+2 (p)	15	8
			3回目	8bit	4n+3 (p)	23	16
			4回目	8bit	4n+4	31	24
	4n+2	4回	1回目	8bit	4n+2	7	0
			2回目	8bit	4n+3 (p)	15	8
			3回目	8bit	4n+4	23	16
			4回目	8bit	4n+5 (p)	31	24
	4n+3	4回	1回目	8bit	4n+3	7	0
			2回目	8bit	4n+4	15	8
			3回目	8bit	4n+5 (p)	23	16
			4回目	8bit	4n+6 (p)	31	24

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 15.8 8ビットバス空間のデータアライメント (リトルエンディアン)

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1# WR0#/BC0#			
						RD#			
						データバス			
D15	D8	D7	D0						
8bit	4n	1回	1回目	8bit	4n	7	0		
	4n+1	1回	1回目	8bit	4n+1	7	0		
	4n+2	1回	1回目	8bit	4n+2	7	0		
	4n+3	1回	1回目	8bit	4n+3	7	0		
16bit	4n	2回	1回目	8bit	4n	15	8		
			2回目	8bit	4n+1 (p)	7	0		
	4n+1	2回	1回目	8bit	4n+1	15	8		
			2回目	8bit	4n+2 (p)	7	0		
	4n+2	2回	1回目	8bit	4n+2	15	8		
			2回目	8bit	4n+3 (p)	7	0		
	4n+3	2回	1回目	8bit	4n+3	15	8		
			2回目	8bit	4n+4	7	0		
32bit	4n	4回	1回目	8bit	4n	31	24		
			2回目	8bit	4n+1 (p)	23	16		
			3回目	8bit	4n+2 (p)	15	8		
			4回目	8bit	4n+3 (p)	7	0		
	4n+1	4回	1回目	8bit	4n+1	31	24		
			2回目	8bit	4n+2 (p)	23	16		
			3回目	8bit	4n+3 (p)	15	8		
			4回目	8bit	4n+4	7	0		
	4n+2	4回	1回目	8bit	4n+2	31	24		
			2回目	8bit	4n+3 (p)	23	16		
			3回目	8bit	4n+4	15	8		
			4回目	8bit	4n+5 (p)	7	0		
	4n+3	4回	1回目	8bit	4n+3	31	24		
			2回目	8bit	4n+4	23	16		
			3回目	8bit	4n+5 (p)	15	8		
			4回目	8bit	4n+6 (p)	7	0		

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 15.9 8ビットバス空間のデータアライメント（ビッグエンディアン）

15.5 CS 領域コントローラの動作説明

15.5.1 セパレートバス

タイミング図に記載する各サイクルの説明を以下に示します。

CSC (CS 領域コントローラ) は外部バスクロック (BCLK) に同期して動作します。したがって、CSC のレジスタで設定したウェイト数などは、BCLK でカウントされます。以下、特に断らない限り、外部バスクロック (BCLK) と BCLK 端子出力は、同一周波数であるものとします。

外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になります。ただし、外部バスクロック (BCLK) と BCLK 端子出力が異なる周波数の場合で、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合の 2 回目以降の外部バスアクセスの開始は、ウェイト設定によっては BCLK 端子出力の立ち下がり時点になる可能性があります (図 15.15 ~ 図 15.19 参照)。

① Tw1 ~ Twn (ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト)

外部バスアクセス開始からストロブ信号有効サイクルの 1 サイクル前までのサイクル期間です。0 ~ 31 サイクルを選択できます。この期間内に CSn#、RD#、WRn# 信号が、ウェイト設定に応じて "Low" アサートされます。アサートするタイミングは、CSn ウェイト制御レジスタ 2 (CSnWCR2) の CS アサートウェイト選択ビット (CSON)、RD アサートウェイト選択ビット (RDON)、WR アサートウェイト選択ビット (WRON)、ライトデータ出力ウェイト選択ビット (WDON) によって制御可能です。各ウェイトのサイクル数は、外部バスアクセス開始のサイクルを起点に数え、0 ~ 7 サイクルを選択可能です。選択可能なサイクル数は、リード/ライトサイクルウェイトのサイクル数以内です。

② Tend (ストロブ信号有効サイクル)

Tend はノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト期間、あるいはページリードサイクルウェイト、ページライトサイクルウェイト期間が終了した次のサイクルです。ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト、あるいはページリードサイクルウェイト、ページライトサイクルウェイトの各選択ビットが "0" の場合、バスアクセス開始のサイクルがストロブ信号有効サイクルとなります。ストロブ信号有効サイクルの次のサイクルで RD#、WRn# 信号がネゲートされます。リードアクセスの場合は、リードデータのサンプルサイクルとなります。

外部ウェイト許可の場合、ストロブ信号有効サイクル時点でウェイト信号がサンプリングされます。ウェイト信号が Low の場合、バスサイクルを延長し、ウェイト信号が High になると次のサイクルでバスサイクルを終了します。(Tend) は、ウェイト信号のサンプリングを開始するサイクルを示します。

ページアクセスで 1 回目のストロブ信号有効サイクルの場合、ライトアクセス時のライトデータ出力延長サイクルが設定されている ("0" 以外の値) 場合 (④) を除いて、次のサイクル 2 回目以降のページアクセス (⑤) が開始されます。RD アサートウェイト、WR アサートウェイトの設定が "0" 以外の場合、次のサイクルで RD#、WRn# 信号がネゲートされます。"0" の場合、アサートが継続されます。また、CSn# 信号はネゲートされず、アサートを継続します。

③ Tn1 ~ Tnm (CS 延長サイクル)

ノーマルアクセスの場合、ストロブ信号有効サイクル (Tend) の次のサイクルから CSn# 信号をネゲートするまでのサイクル期間です。ネゲートするタイミングは、リードアクセス時、CSn ウェイト制御レジスタ 2 (CSnWCR2) のリード時 CS 延長サイクル選択ビット (CSROFF)、ライトアクセス時、ライト時 CS 延長サイクル選択ビット (CSWOFF) により制御可能です。

サイクル数は、ストロブ信号有効サイクルの次のサイクルを起点に数えます。

ページアクセスの場合、最後のストロブ信号有効サイクルから CSn# 信号をネゲートするまでのサイクル期間です。

ライトアクセス時は、ライトデータ出力延長サイクル選択ビット (WDOFF) により、アドレス、出力データが延長されます。

④ Tdw1 ~ Tdwn (ライトデータ出力延長サイクル)

ライトアクセス時、ライトデータ出力延長ウェイトが“0”以外の設定の場合、ライトデータ出力延長サイクルがストロブ信号有効サイクル (Tend) の次のサイクルから挿入されます。

ノーマルアクセスの場合、CS 延長サイクル (③) の期間内に挿入されます。

ページアクセスの場合、ストロブ信号有効サイクル (Tend) と後続のページアクセスの間、および CS 延長サイクル (③) の期間内に挿入されます。この期間、アドレス、出力データが延長され、WRn# 信号はネゲートされます。

⑤ Tpw1 ~ TpwN (ページリードサイクルウェイト、ページライトサイクルウェイト)

ページアクセスの2回目以降のバスサイクルについては、ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイトの代わりに、ページリードサイクルウェイト、ページライトサイクルウェイトの値が使用されます。WR アサートウェイトの設定は、1回目のアクセスと同様に有効となります。RD アサートの設定は、ページリードアクセスモード (CSnMOD.PRMOD ビット) の設定により動作が異なります。

CDnMOD.PRMOD ビット = 0 の場合 : 1回目と同様に RD アサートウェイトが挿入され、RD# 信号がネゲートされます。

CDnMOD.PRMOD ビット = 1 の場合 : ノーマルアクセス互換モードと同様に、RD アサートウェイトが挿入されますが、その間、RD# 信号がアサートされ続けます。

⑥ Tr1 ~ Trn (リカバリサイクル)

バスサイクルの終了時点 (CSn# 信号のネゲート時点) からリカバリサイクルの挿入ができます。リカバリサイクル数は、CSn リカバリサイクル設定レジスタ (CSnREC) のリードリカバリ設定ビット (RRCV)、ライトリカバリ設定ビット (WRCV) により制御可能です。各リカバリサイクル数は、バスサイクルの終了時点 (CSn# 信号のネゲート時点) を起点に数え、0 ~ 15 サイクルを選択可能です。リカバリサイクルの詳細は、「15.5.4 リカバリサイクルの挿入」を参照してください。

(1) ノーマルアクセス

CSnMOD.PRENB ビットを“0” (ページリードアクセス禁止)、CSnMOD.PWENB ビットを“0” (ページライトアクセス禁止) に設定した場合、すべてのバスアクセスはノーマルアクセスを行います。

CSnMOD.PRENB ビットを“1” (ページリードアクセス許可)、CSnMOD.PWENB ビットを“1” (ページライトアクセス許可) に設定した場合でも、ページアクセスに該当しないバスアクセスは、ノーマルアクセスとなります。

図 15.10 ~ 図 15.12 にノーマルアクセスの動作例を示します。

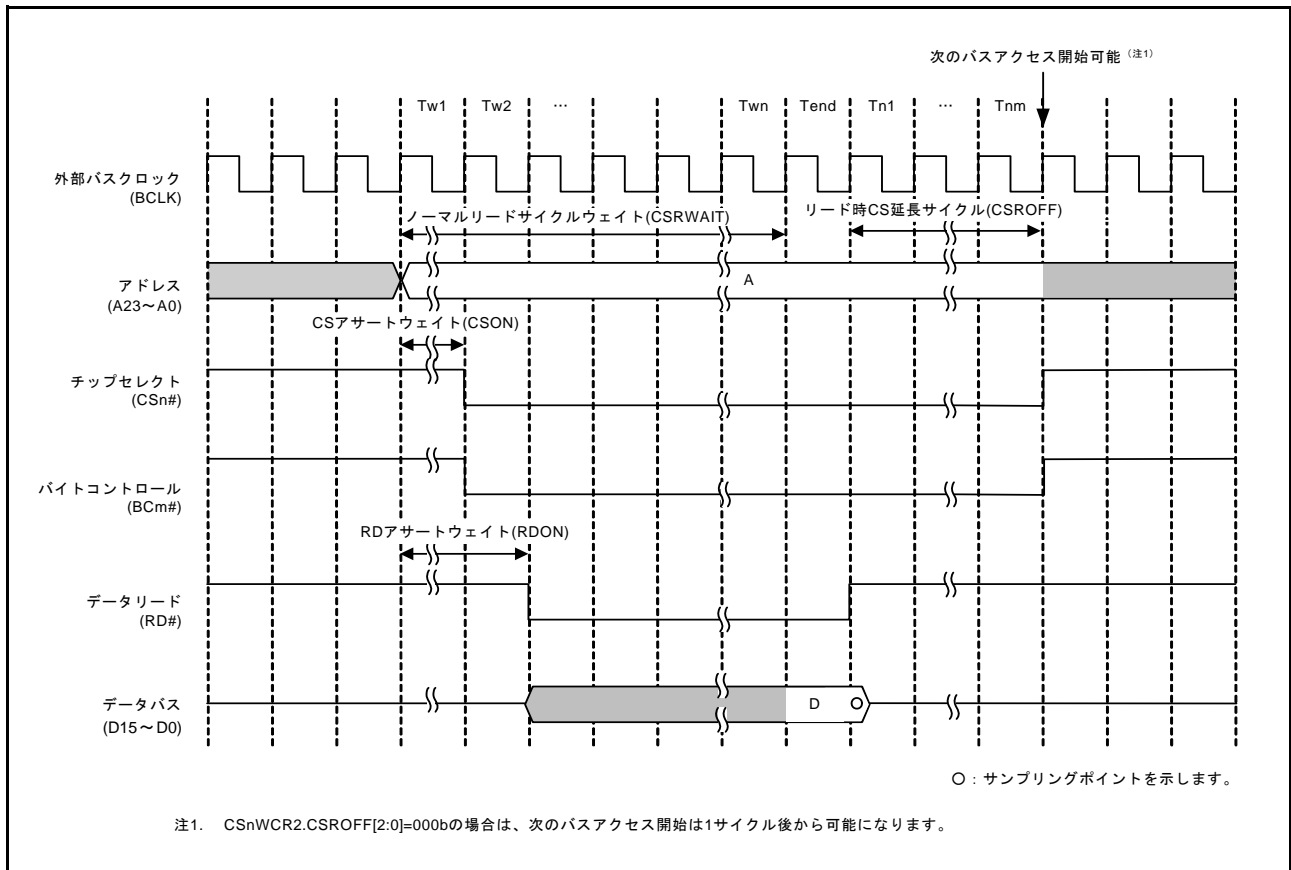


図 15.10 バスタイミング (ノーマルリード) (n=0 ~ 3、m=0、1)

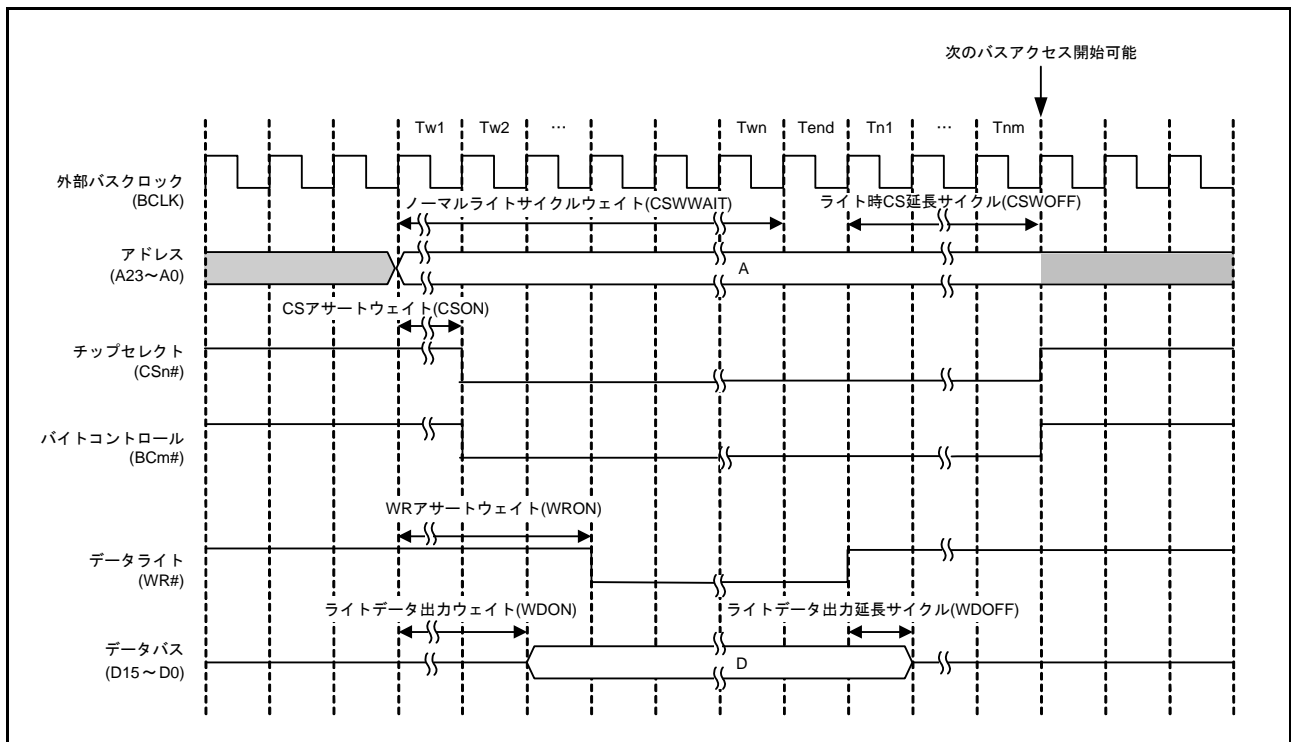


図 15.11 バスタイミング (ノーマルライト、1ライトストロブモード) (n=0 ~ 3、m=0、1)

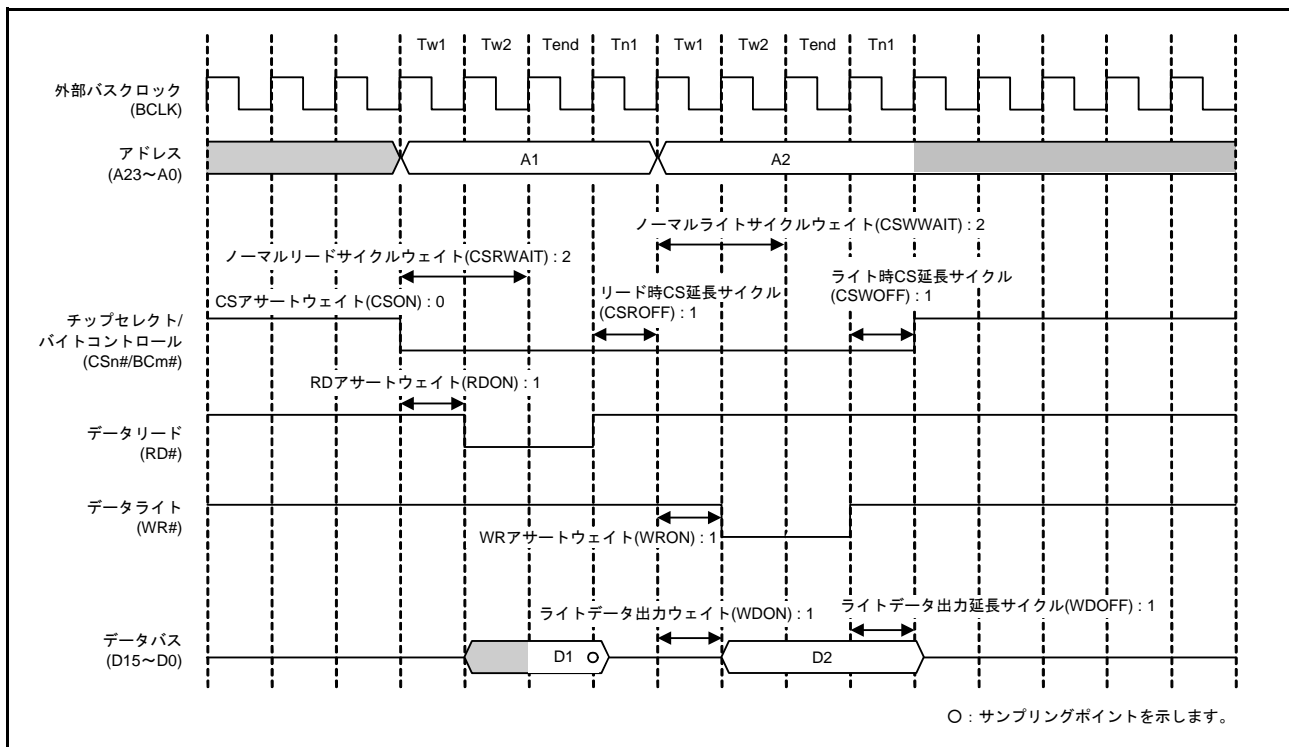


図 15.12 ノーマルアクセスの動作例（リード、ライト）（ $n=0 \sim 3$ 、 $m=0、1$ ）

バスマスタからの1転送要求に対して2回以上の外部バスアクセスが必要となる場合は、ノーマルアクセス動作（①から④）を繰り返します。図 15.13、図 15.14 に、1転送要求に対して2回バスアクセスが発生する場合の動作例を示します。ただし、リカバリサイクル挿入条件が成り立つ場合は、2回目以降の外部バスアクセスにもリカバリサイクル（⑥）の挿入が行われます（図 15.31 参照）。

各ウェイト制御レジスタの値は設定例です。接続するデバイスの仕様にあわせてレジスタの値は設定してください。

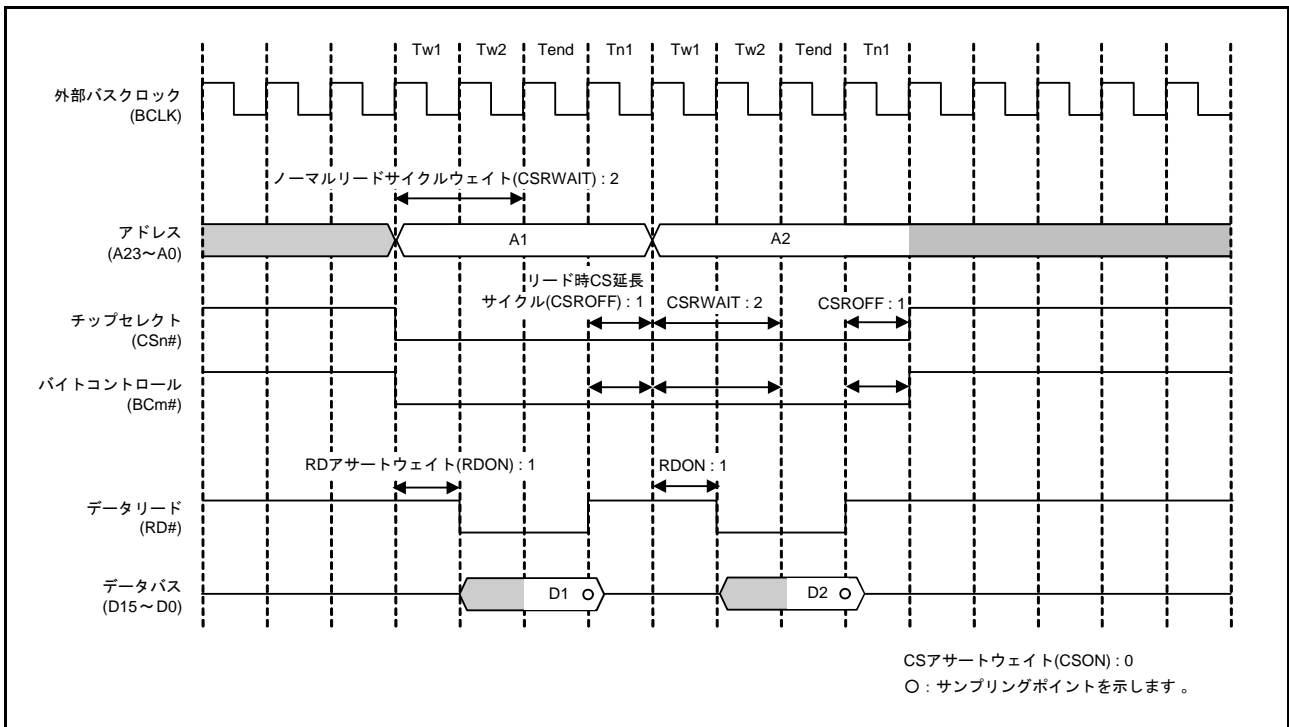


図 15.13 ノーマルリードアクセスの動作例 (1 転送要求に対して 2 回バスアクセスが発生する場合) (n=0 ~ 3、m=0、1)

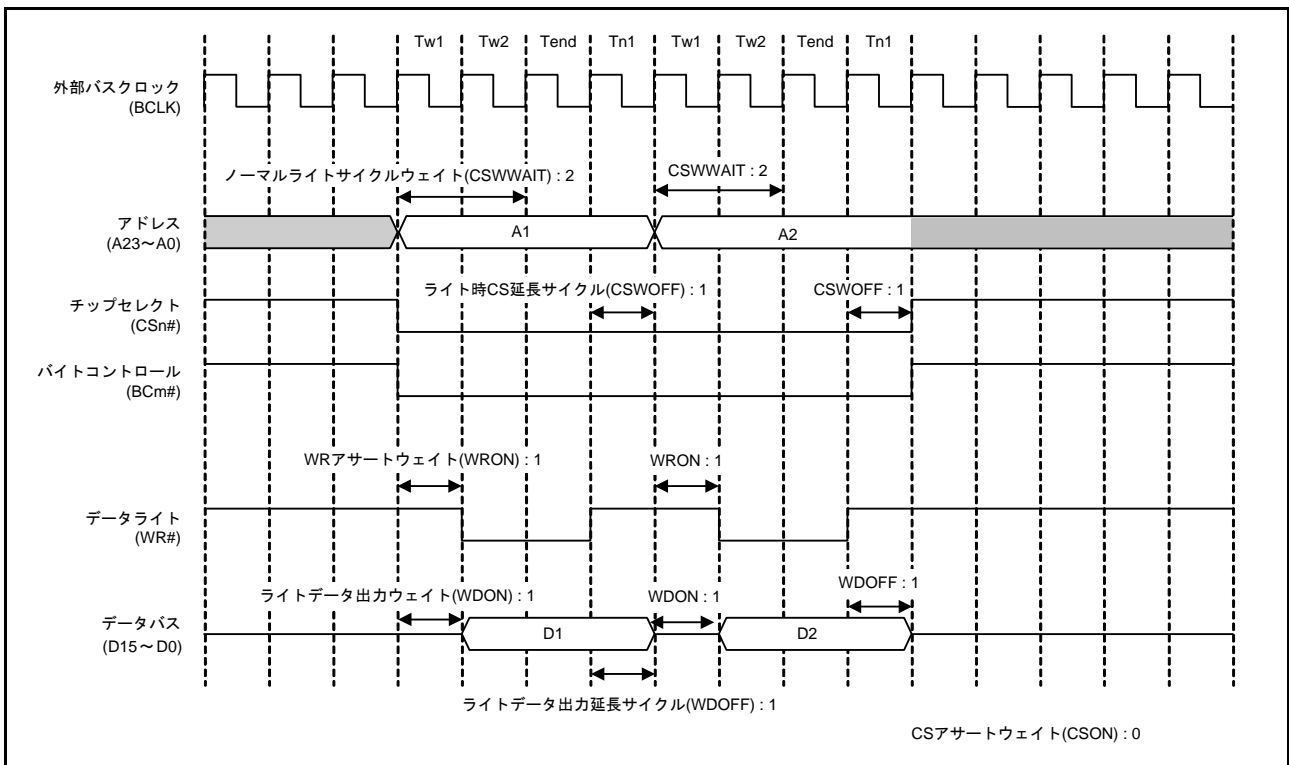


図 15.14 ノーマルライトアクセスの動作例 (1 転送要求に対して 2 回バスアクセスが発生する場合: 1 ライトストロブモード時) (n=0 ~ 3、m=0、1)

図 15.15 ~ 図 15.19 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

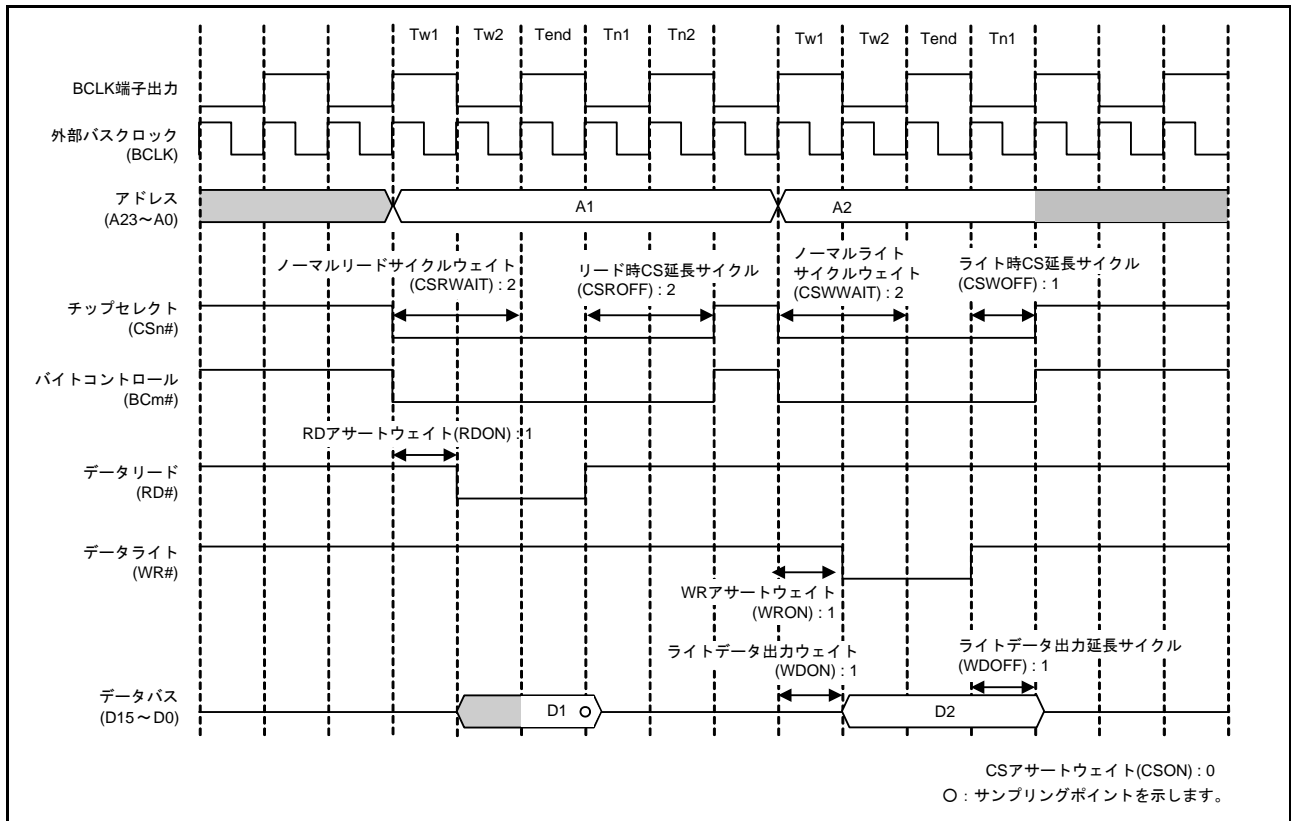


図 15.15 ノーマルアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n=0 ~ 3, m=0, 1)

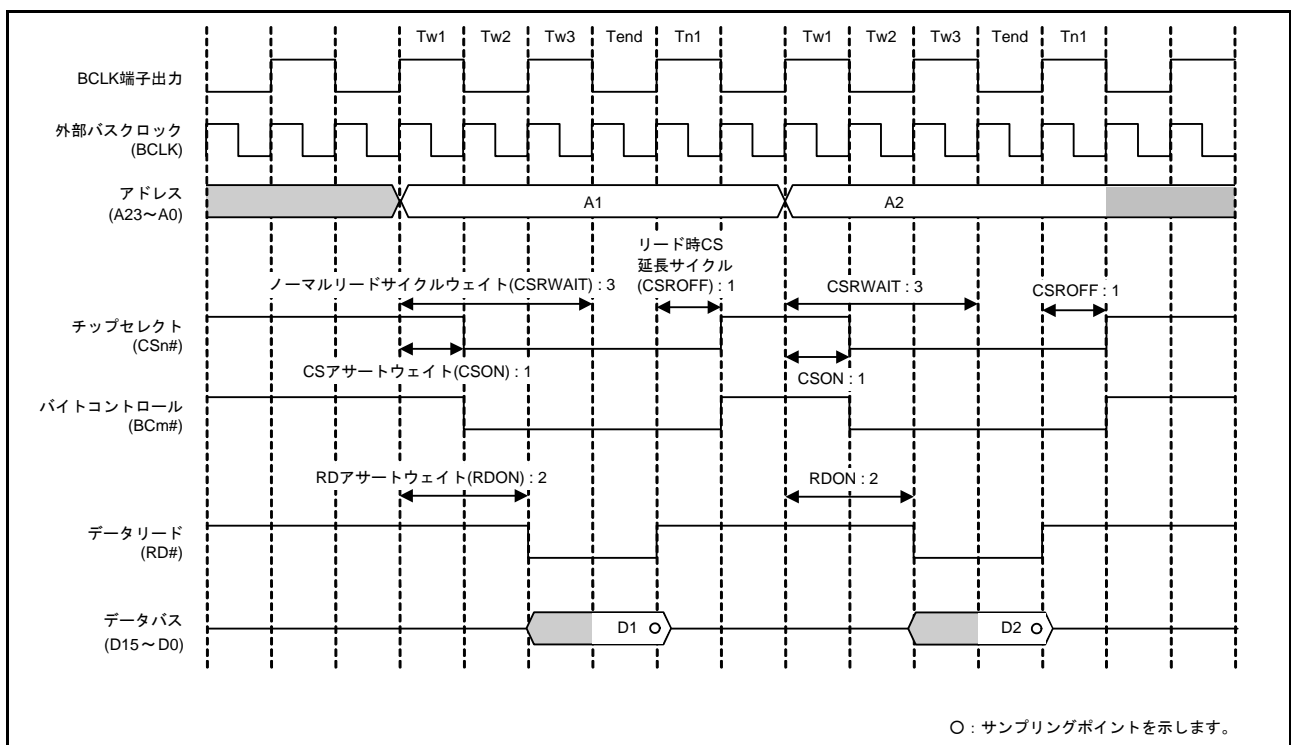


図 15.16 ノーマルリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n=0 ~ 3, m=0, 1)

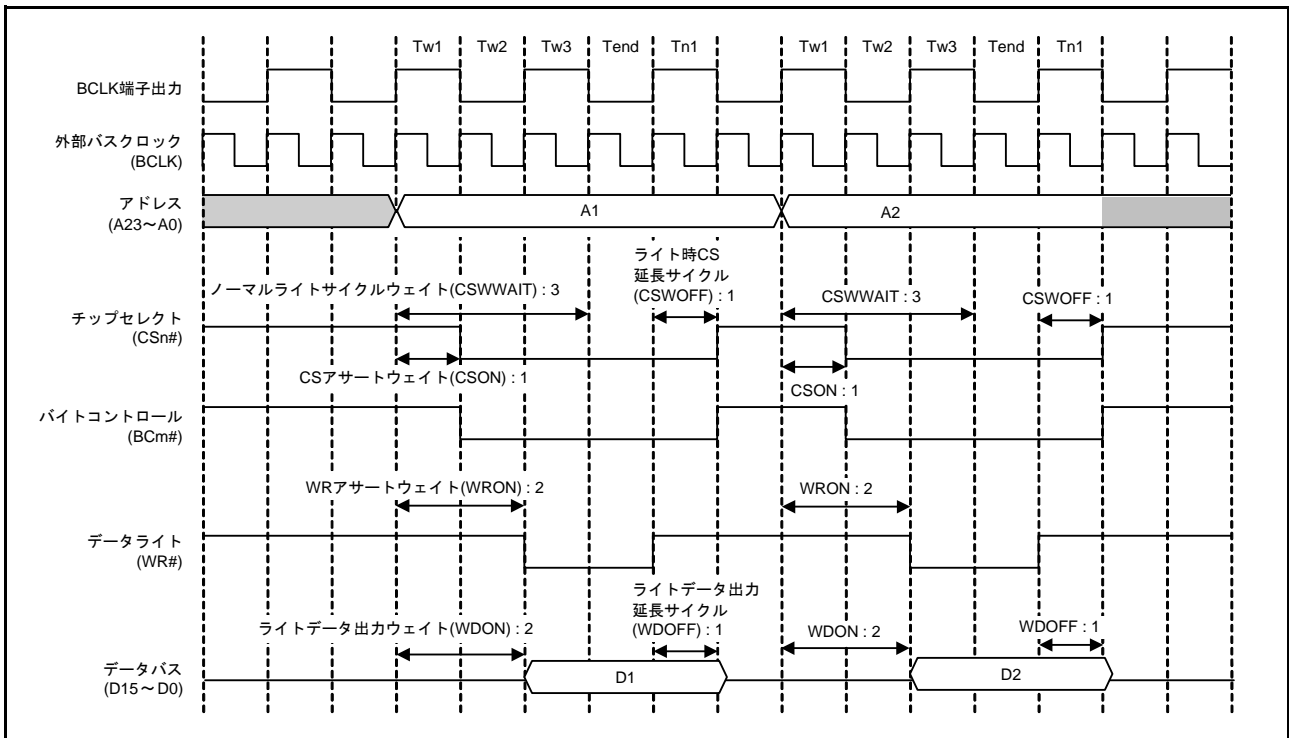


図 15.17 ノーマルライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n=0 ~ 3、m=0、1)

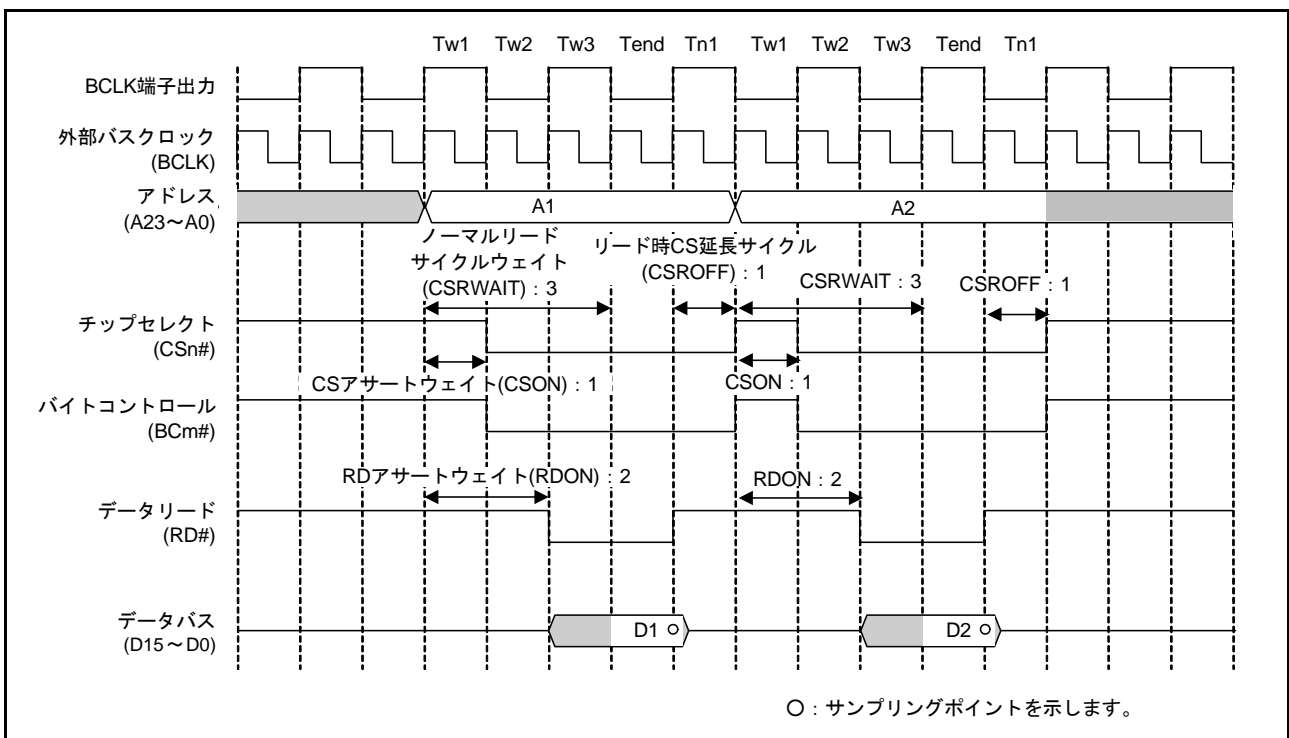


図 15.18 ノーマルリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) (n=0 ~ 3、m=0、1)

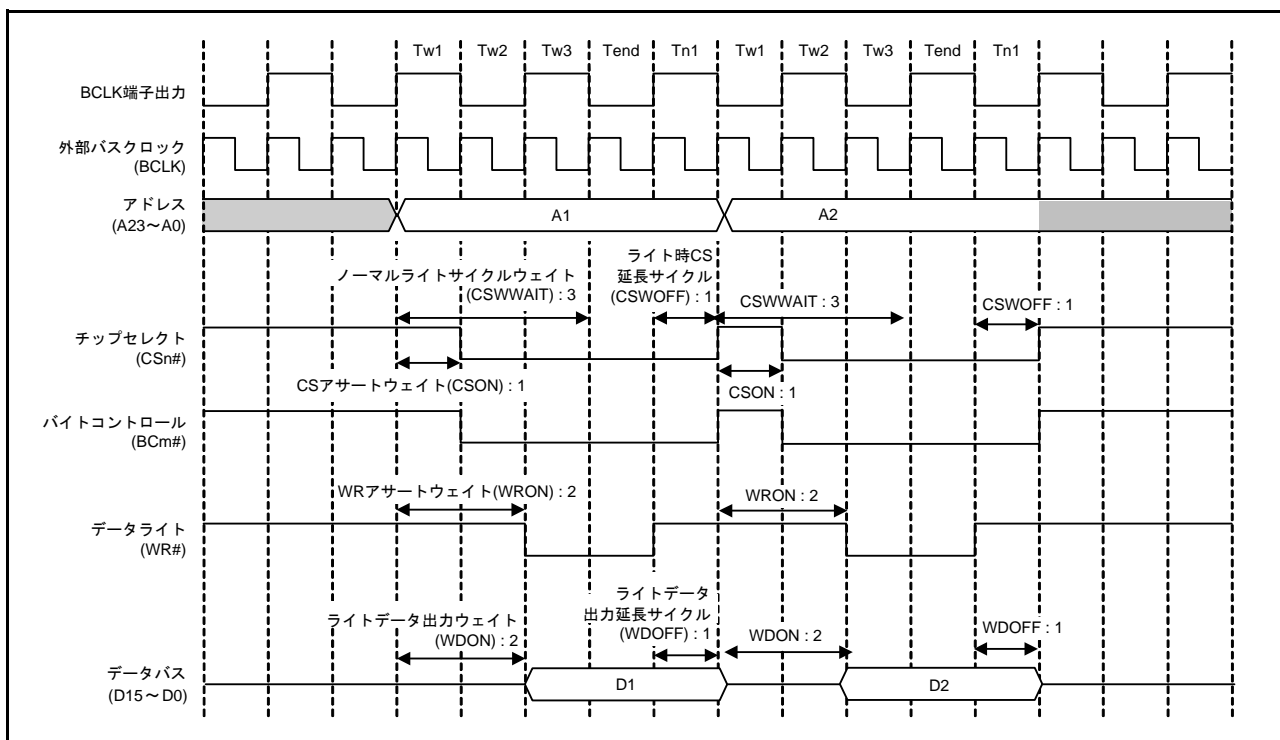


図 15.19 ノーマルライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) (n=0 ~ 3、m=0、1)

(2) ページアクセス

CSnMOD.PRENB ビットを“1” (ページリードアクセス許可)、CSnMOD.PWENB ビットを“1” (ページライトアクセス許可) に設定した場合、ページアクセスに該当するバスアクセスはページアクセスとなります。バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合がページアクセスの対象となります。ただし、分割されたアクセスが非ラインアクセスになる場合、および 32 ビット境界を越えるアクセスの場合、ページアクセスの対象とはならずノーマルアクセスとなります。ページアクセスが発生する条件の詳細は、図 15.6 ~ 図 15.9 を参照してください。

図 15.20、図 15.21 にページアクセスの動作例を示します。

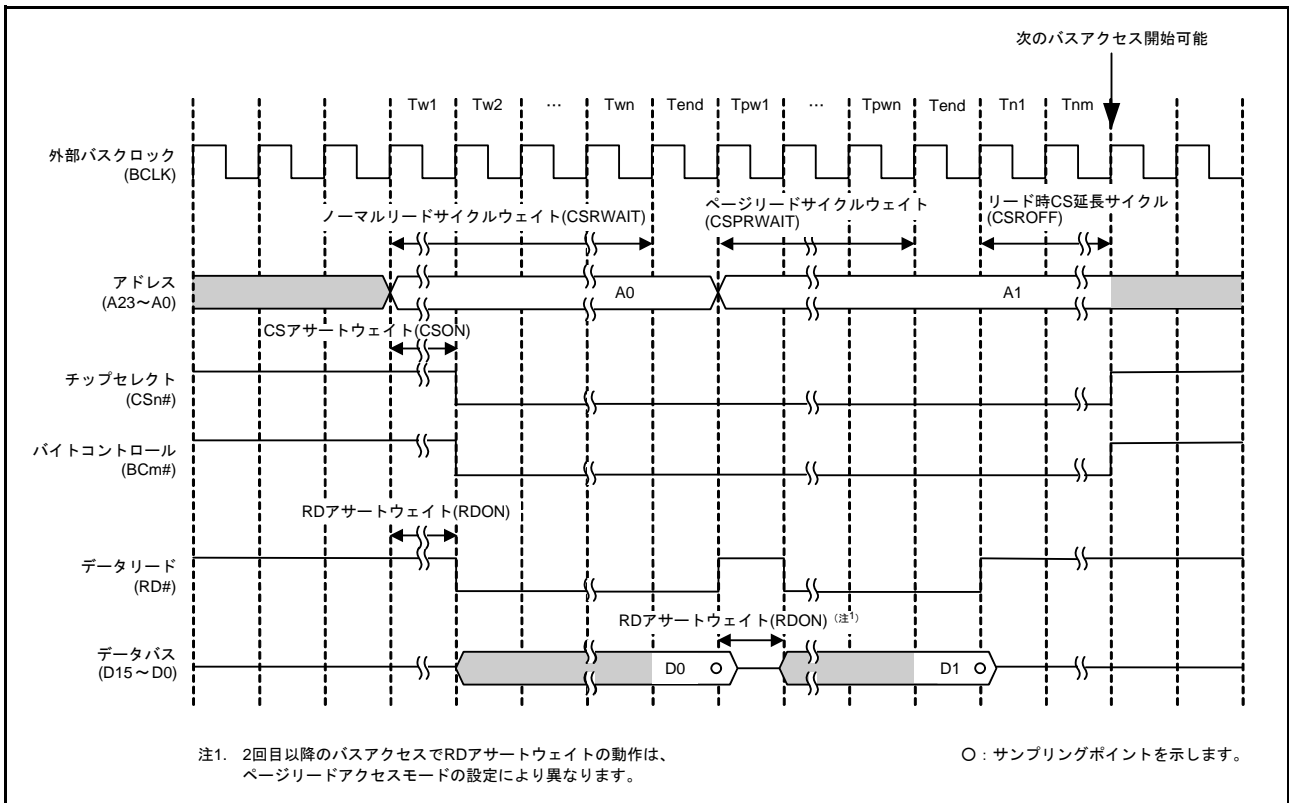


図 15.20 ページリードアクセスタイミング (n=0 ~ 3、m=0、1)

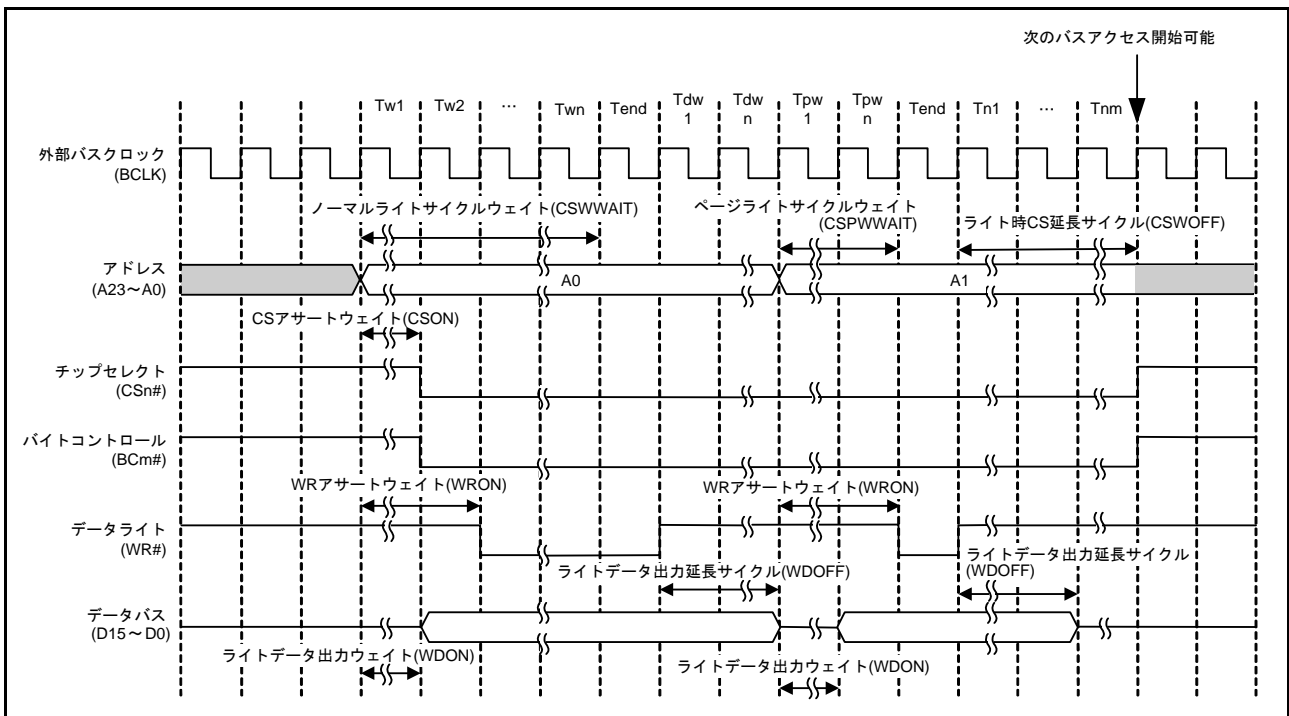


図 15.21 ページライトアクセスタイミング (n=0 ~ 3、m=0、1)

図 15.22、図 15.23 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

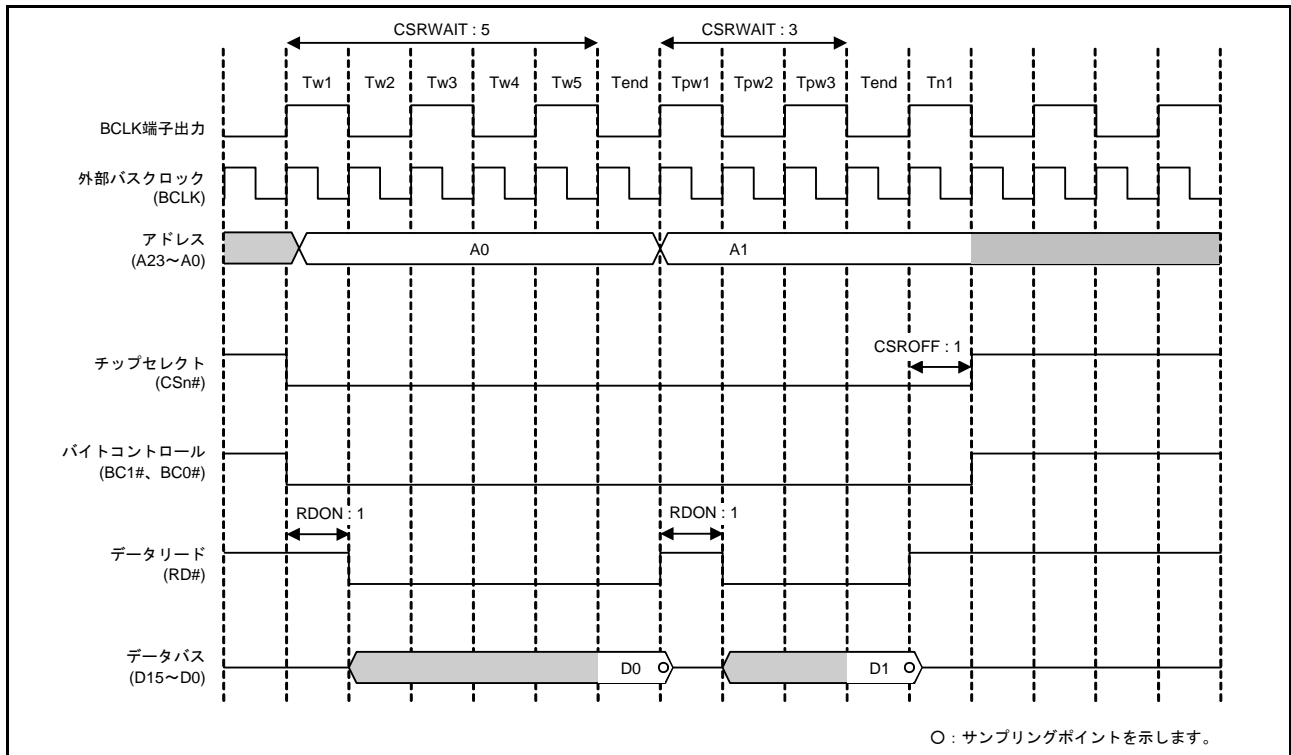


図 15.22 ページリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) (n=0 ~ 3)

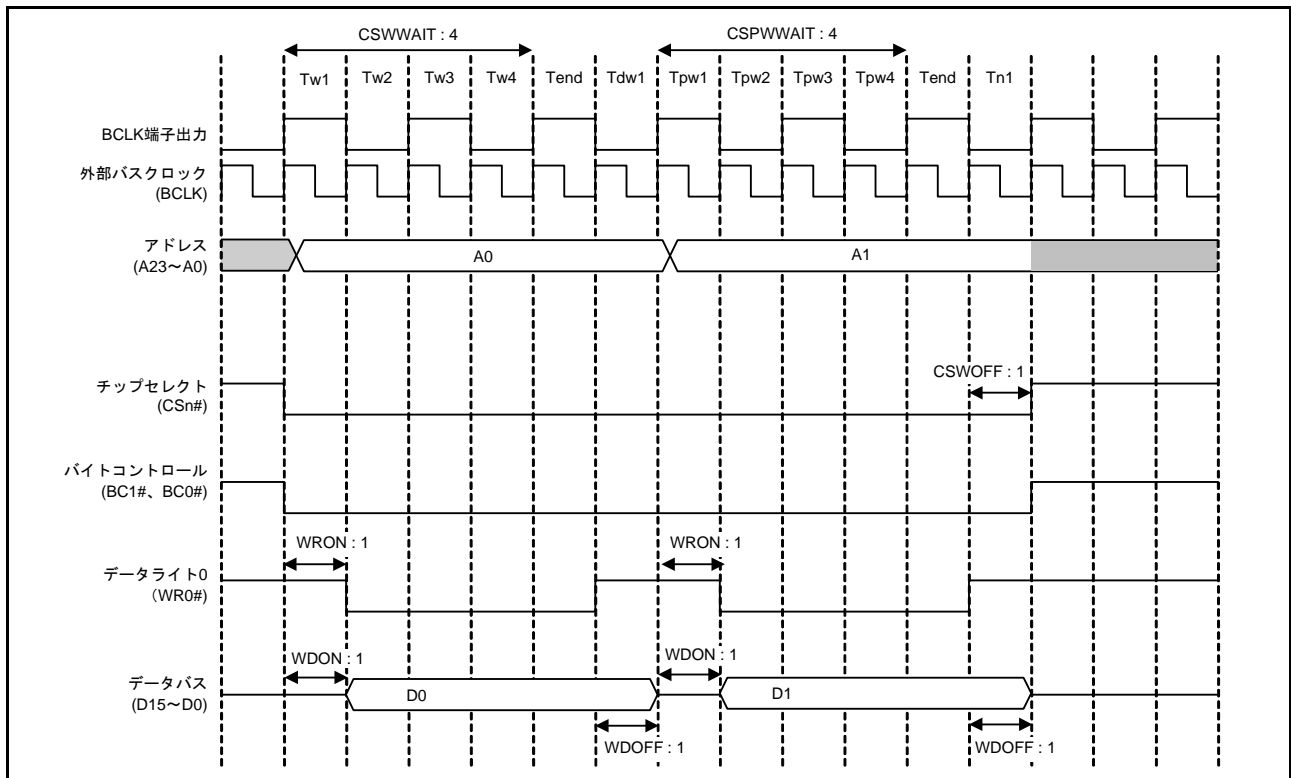


図 15.23 ページライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合 : 1 ライトストローブモード時) (n=0 ~ 3)

15.5.2 アドレス / データマルチプレクスバス

CSn 制御レジスタのアドレス / データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) を“1”に設定することにより、対応する領域で D15 ~ D0 端子にアドレスとデータをマルチプレクスして入出力する機能を備えています。これにより、アドレス / データマルチプレクスが必要な周辺 LSI を本 LSI に直結できます。CSnCR.BSIZE[1:0] ビットで 8 ビットを選択した領域では、D7 ~ D0 が A7 ~ A0 とマルチプレクスされます。CSnCR.BSIZE[1:0] ビットで 16 ビットを選択した領域では、D15 ~ D0 が A15 ~ A0 とマルチプレクスされます。アドレス / データマルチプレクス I/O 空間では、ALE、RD#、WRn#、BCn# 信号でアクセスが制御されます。

セパレートバスと同様、バイトストローブモードと 1 ライトストローブモードを選択可能です。ただし、アドレスサイクル中の BCn # 信号については、リードデータ、ライトデータに対するバイトコントロール信号が出力されます。

アドレス / データマルチプレクス I/O 空間のアクセスでは、アドレス出力が CSn ウェイト制御レジスタ 2 のアドレスサイクルウェイト選択ビット (CSnWCR2.AWAIT[1:0]) で設定されたサイクル挿入後、続けてデータのアクセスが行われます。

- Ta1 ~ Tan (アドレスサイクルウェイト)

アドレス / データマルチプレクス I/O 空間設定時のみ有効なサイクルで、外部バスアクセス開始からアドレスラッチ (ALE) 信号がネゲートされる 1 サイクル前までの期間です。0 ~ 3 サイクルを選択できます。ALE 信号がネゲートされた次のサイクルまでアドレスが出力されます (アドレスサイクル)。ALE 信号は、CS# 信号のアサートタイミングと同じになります。アドレスサイクル後はデータサイクルになります。アドレスサイクルとデータサイクルが重ならないように CSnWCR1、CSnWCR2 レジスタの値を設定する必要があります。

アドレス / データマルチプレクス I/O 空間では、ページアクセスは無効です。ページリードアクセス許可 (CSnMOD.PRENB ビット = 1)、ページライトアクセス許可 (CSnMOD.PWENB ビット = 1) に設定した場合、設定は無視されノーマルアクセスを行います。

図 15.24 ~ 図 15.26 にアドレス / データマルチプレクス I/O インタフェース時の動作例を示します。

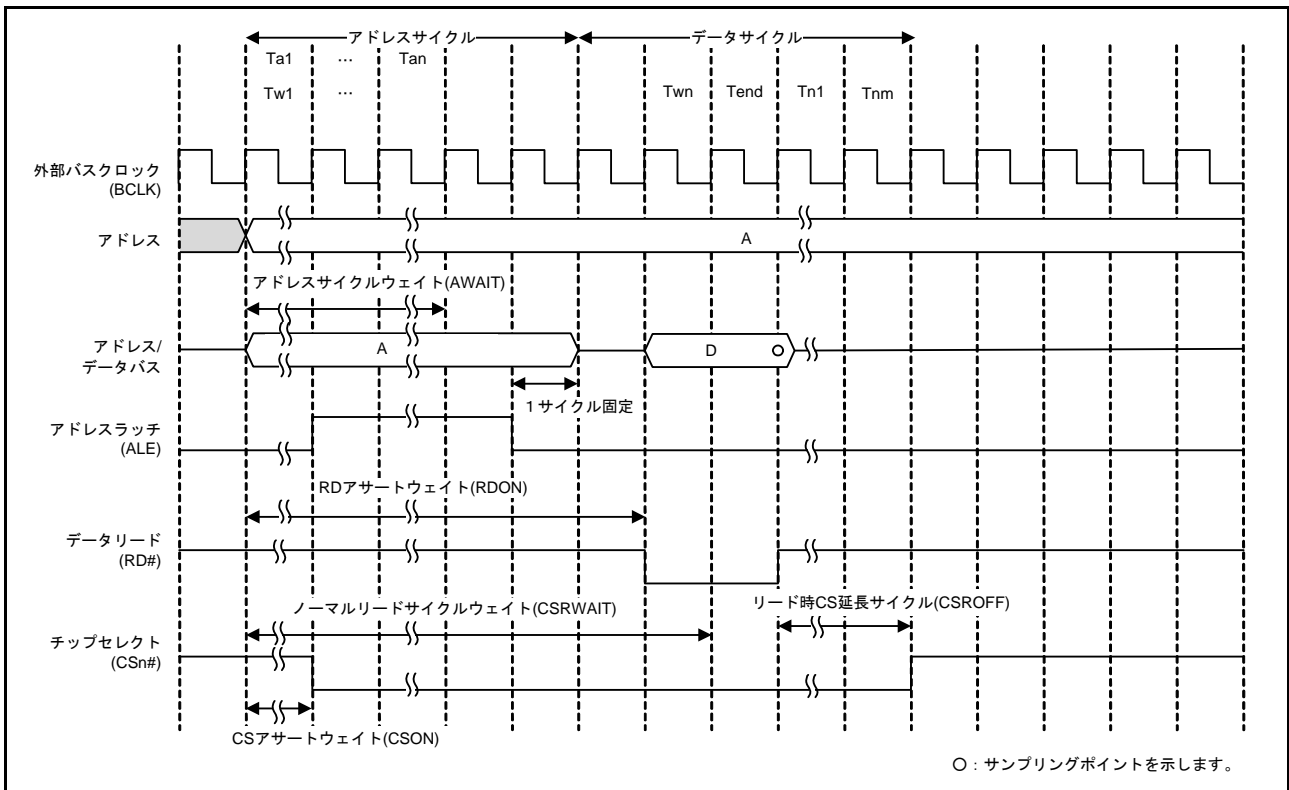


図 15.24 アドレス / データマルチプレクス I/O インタフェース時のリードアクセスの動作例 (n=0 ~ 3)

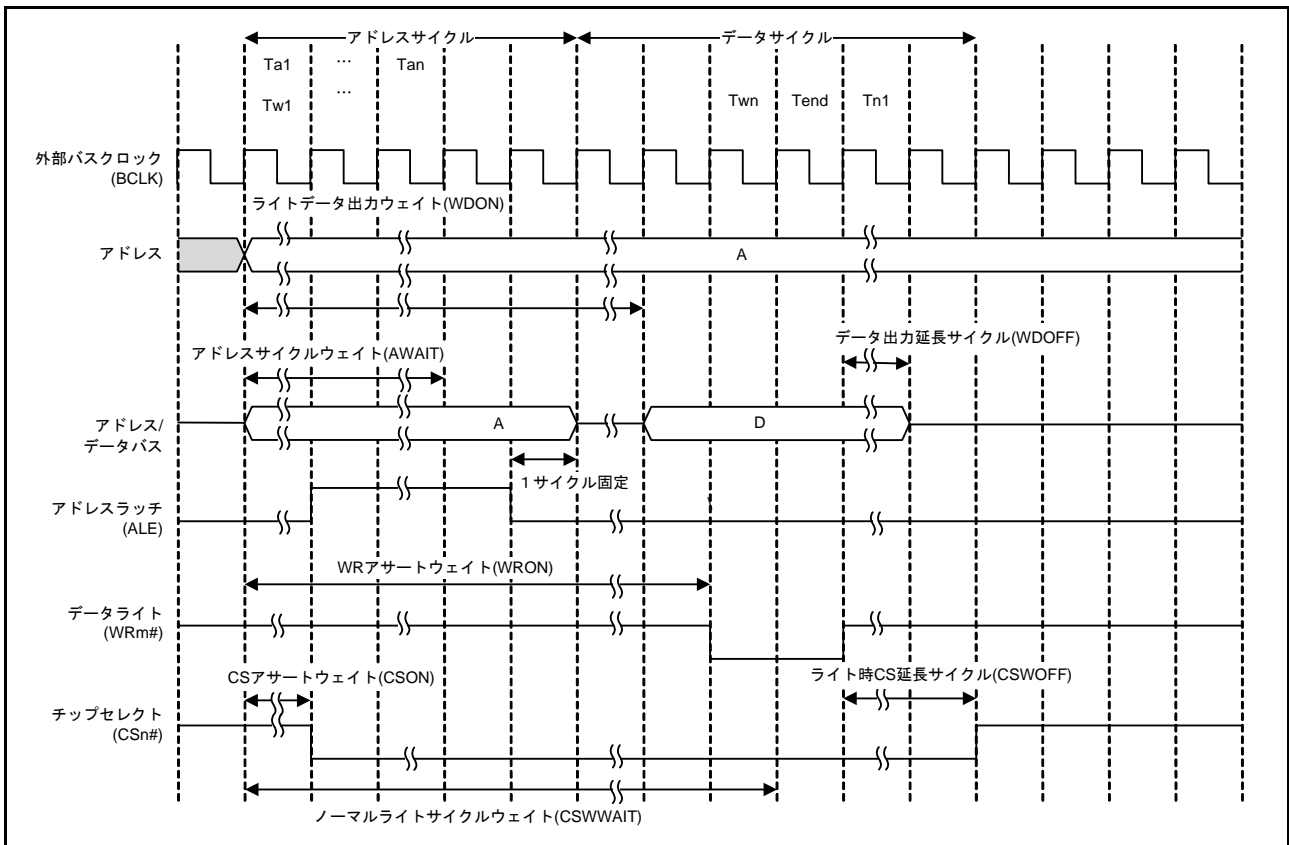


図 15.25 アドレス / データマルチプレクス I/O インタフェース時のライトアクセスの動作例 (n=0 ~ 3, m=0, 1)

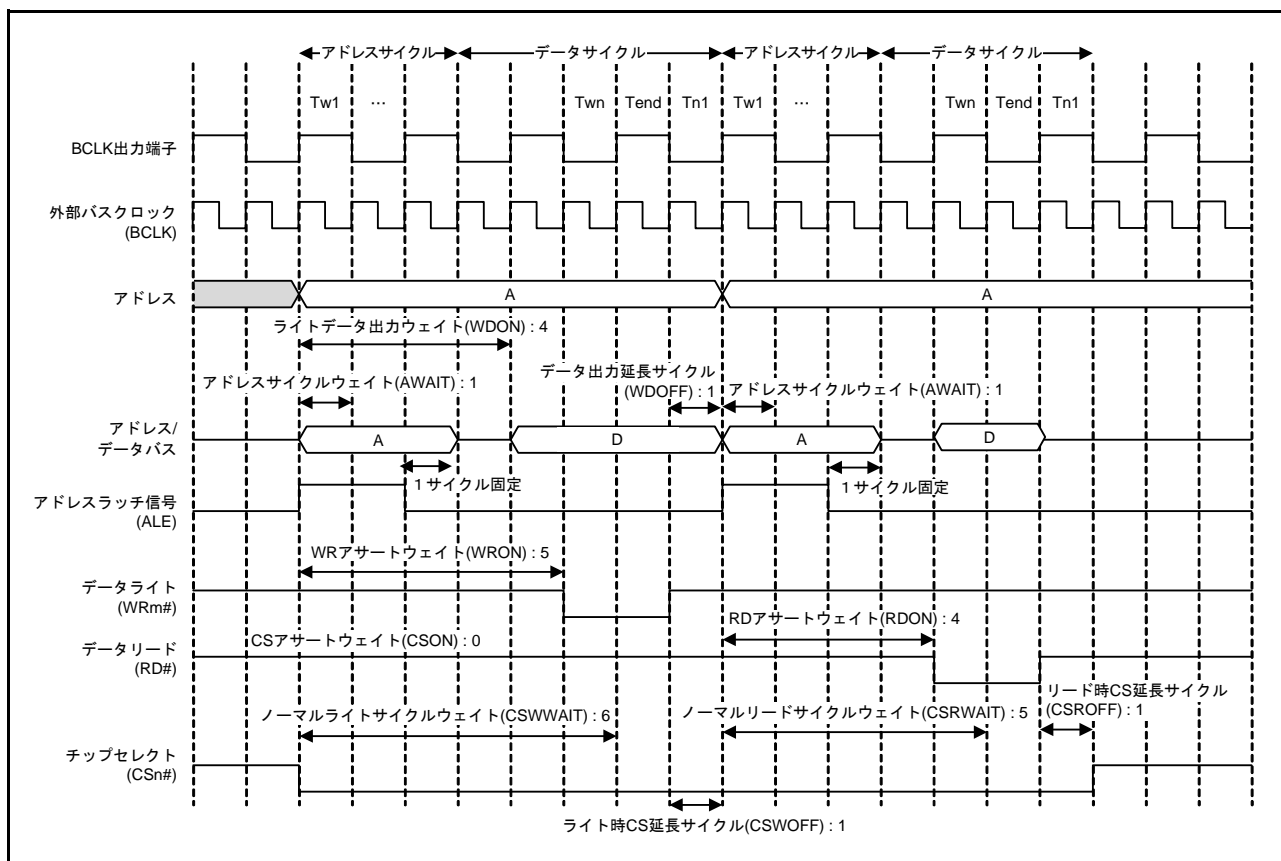


図 15.26 アドレス / データマルチプレクス I/O インタフェース時のバスタイミング例 (n=0 ~ 3、m=0、1)

15.5.3 外部ウェイト機能

WAIT# 信号により、CSn ウェイト制御レジスタ 1 (CSnWCR1) で設定したノーマルアクセスサイクルウェイト (CSRWAIT[4:0] ビット、CSWWAIT[4:0] ビット) や、ページアクセスサイクルウェイト (CSPRWAIT[2:0] ビット、CSPWWAIT[2:0] ビット) を超えて、ウェイトサイクルを延長することができます。

外部ウェイト許可 (CSnMOD.EWENB ビット = 1) にすると、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。外部ウェイト禁止 (CSnMOD.EWENB ビット = 0) であれば WAIT# 信号は無効です。

なお、CSnWCR1 レジスタで設定した各サイクルウェイトは、WAIT# 信号にかかわらず挿入されます。

(1) ノーマルアクセス

CSnWCR1 レジスタで設定したサイクルウェイト数が完了した時点 (Tend) から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

(2) ページアクセス

最初のアクセスは、ノーマルアクセスと同じです。ウェイト制御レジスタに設定したサイクルウェイト数が完了した時点 (Tend) から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

2 番目以降のアクセスに関しては、ページアクセスのウェイトサイクルが完了した時点 (Tend) から WAIT# 信号がサンプリングされます。WAIT# 信号が Low の間、ページアクセスのウェイトサイクルを延長し、WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

図 15.27、図 15.28 にセパレートバスインタフェース時の外部ウェイトサイクルの動作例を示します。

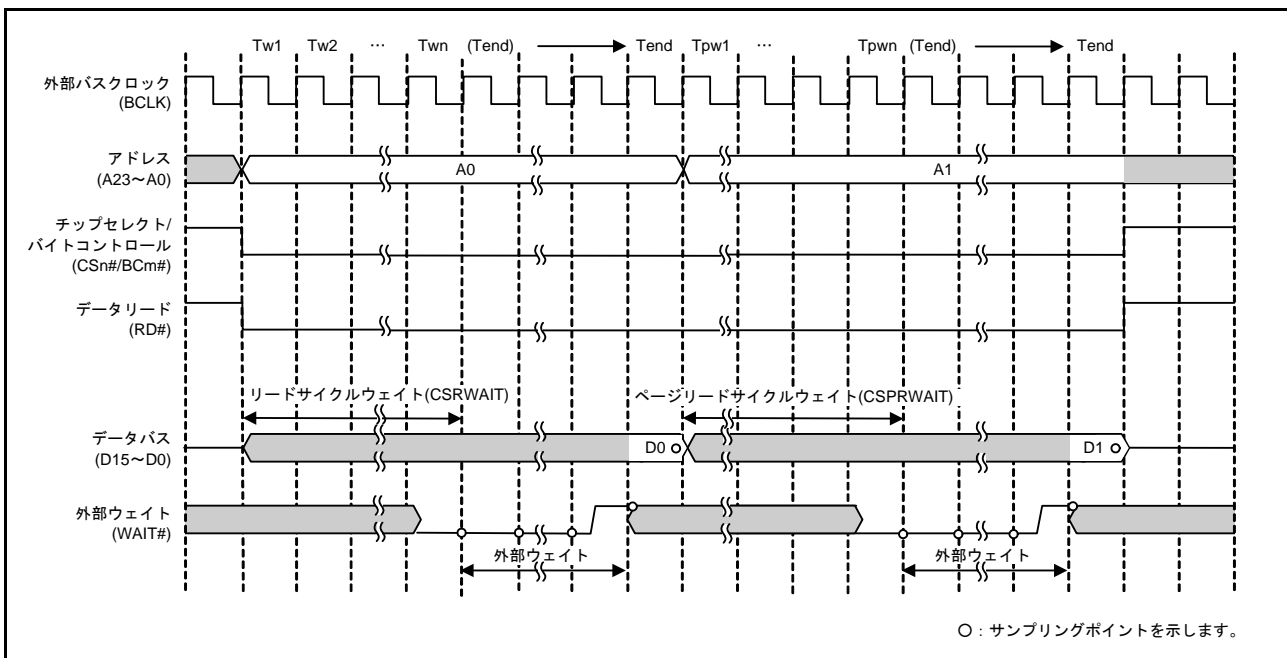


図 15.27 外部ウェイトタイミング例 (16 ビットバス空間へのページリードアクセス)
(n=0 ~ 3, m=0, 1)

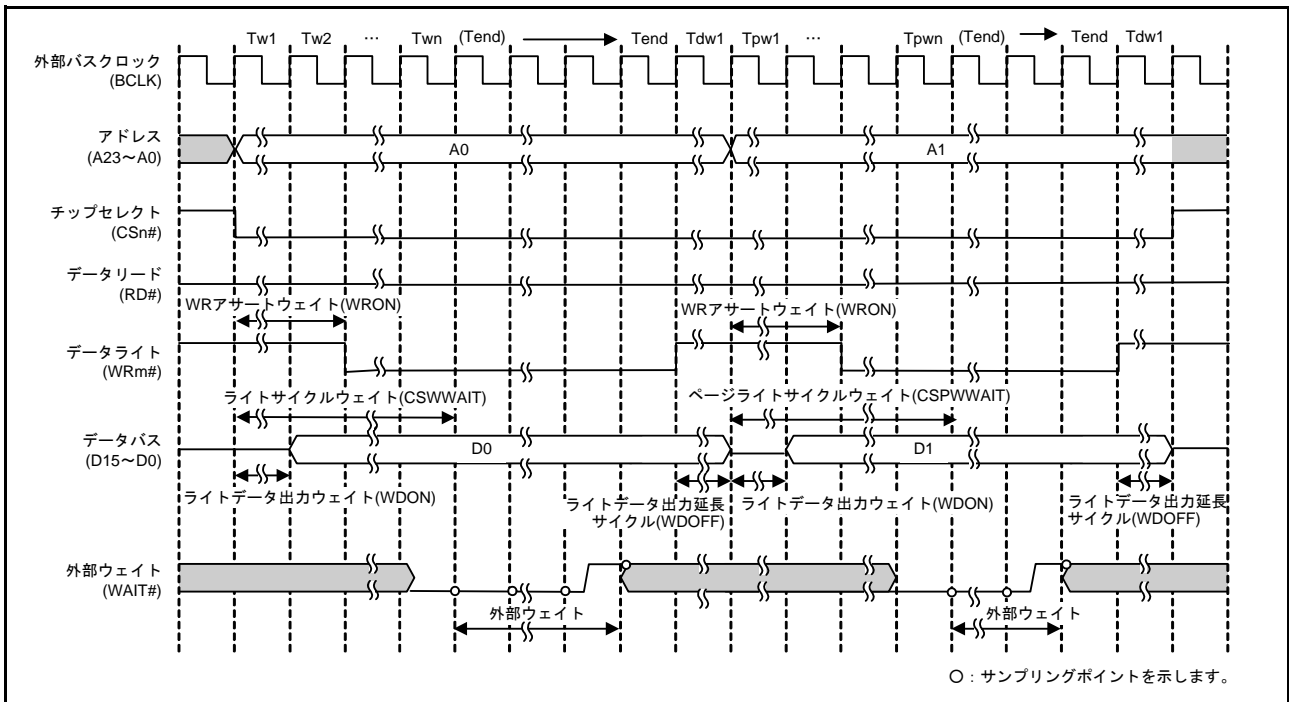


図 15.28 外部ウェイトタイミング例 (16 ビットバス空間へのページライトアクセス : バイトストローブモード時) (n=0 ~ 3, m=0, 1)

(3) アドレス / データマルチプレクス I/O インタフェース

アドレス / データマルチプレクス I/O インタフェースのデータサイクルには、セパレートバスインタフェースと同様にプログラムウェイトの挿入、WAIT 端子による端子ウェイトの挿入が可能です。

ウェイト制御の設定は、アドレスサイクルに影響を与えません。図 15.29 にアドレス / データマルチプレクス I/O インタフェース時の外部ウェイトサイクルの動作例を示します。

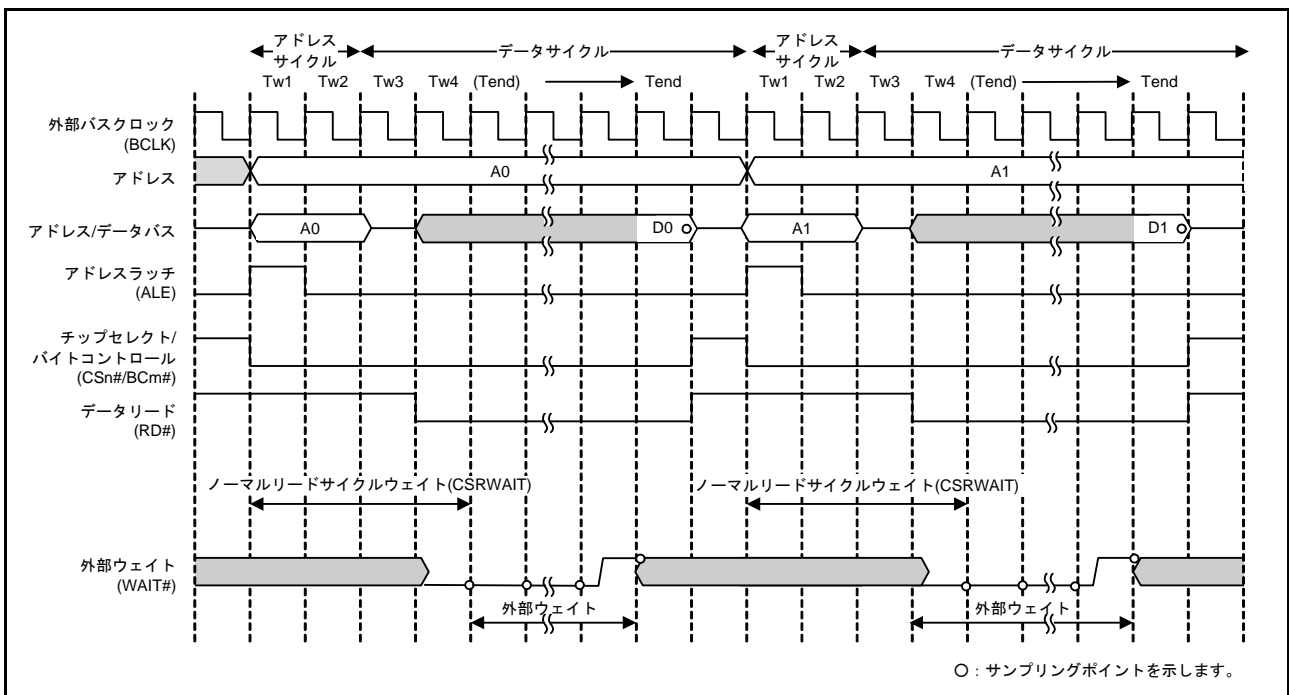


図 15.29 アドレス / データマルチプレクス I/O インタフェース時の外部ウェイト挿入の動作例 (n=0 ~ 3, m=0, 1)

15.5.4 リカバリサイクルの挿入

CS リカバリサイクル挿入許可レジスタ (CSRECEN) のリカバリサイクル挿入許可ビットを“1”に設定することにより、連続する外部バスアクセスの間にリカバリサイクルを挿入することができます。

挿入するリカバリサイクル数は、ライトサイクル後とリードサイクル後を領域ごとに設定でき、CSn リカバリサイクル設定レジスタ (CSnREC) で設定します。前バスサイクルがライトアクセスの場合、その領域のライトリカバリサイクル設定ビット (CSnREC.WRCV[3:0]) で設定し、前バスサイクルがリードアクセスの場合、その領域のリードリカバリサイクル設定ビット (CSnREC.RRCV[3:0]) で設定します。たとえば、CS0 リードアクセス後、CS1 リードアクセスがある場合、この間に入るリカバリサイクルは、CS0 の CS0REC.RRCV[3:0] ビットで設定されたサイクル数になります。

リカバリサイクル挿入可能な条件は、以下の 8 通りです。前バスアクセスがセパレートバスの場合、CS リカバリサイクル挿入許可レジスタのセパレートバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENj) (j=0 ~ 7) により、アドレス/データマルチプレクスバスの場合、CS リカバリサイクル挿入許可レジスタのマルチプレクスバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENMj) (j=0 ~ 7) により、リカバリサイクル挿入の許可、禁止を設定できます。

- 外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合

リカバリサイクルの起点は、前バスサイクルの終了時点 (CSn# 信号 (n=0 ~ 3) のネゲート時点) です。終了時点から設定したリカバリサイクル間は、CSn# 信号の High 期間が挿入されます。

最短でリカバリサイクルの終了直後に、次のバスアクセスのチップセレクト CSn# 信号がアサートされます。リカバリサイクル中に次の外部アドレス領域へのアクセス要求が発生した場合も、リカバリサイクル終了直後に次の外部バスアクセスを開始します。

バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。ただし、ページリードアクセス許可 (CSnMOD.PRENB = 1)、あるいは、ページライトアクセス許可 (CSnMOD.PWENB = 1) に設定された場合、リカバリサイクル挿入条件が成り立つ場合でも途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます (図 15.32 参照)。

ページアクセス許可設定時でノーマルアクセスとなる場合についても、セパレートバス時は、途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。アドレス/データマルチプレクス I/O インタフェース時は、ページアクセス許可設定に関わらず、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。

図 15.30 ~ 図 15.32 にセパレートバスインタフェース時のリカバリサイクルの動作例を示します。

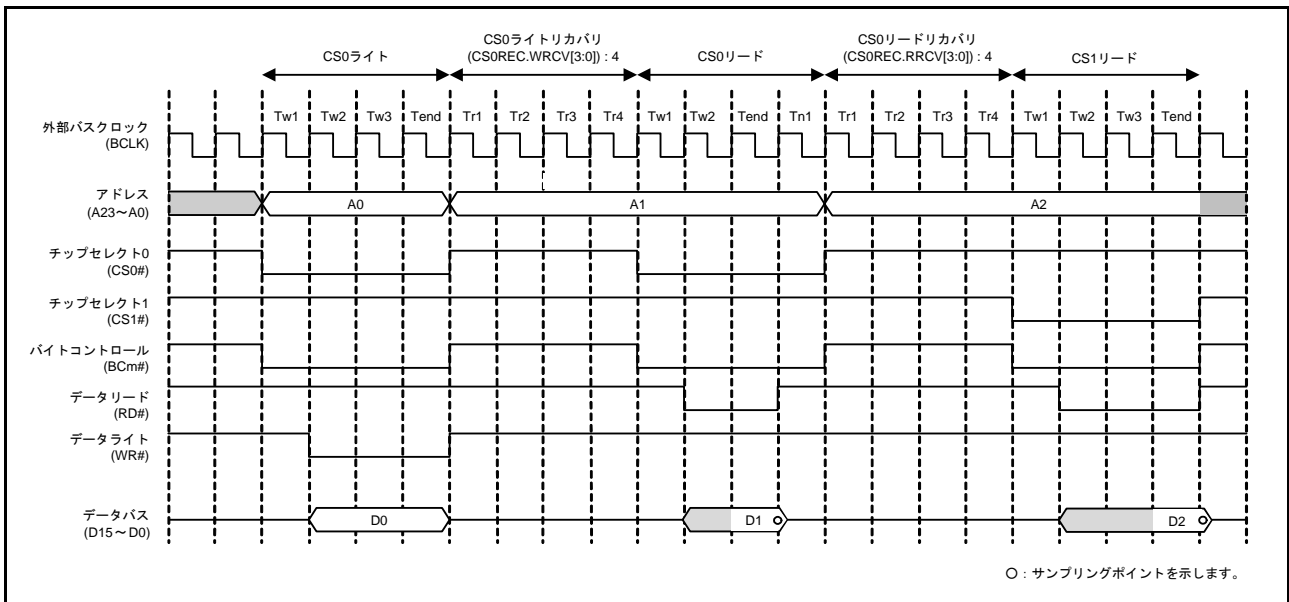


図 15.30 セパレートバスインタフェース時のリカバリサイクルの動作例 (m=0、1)

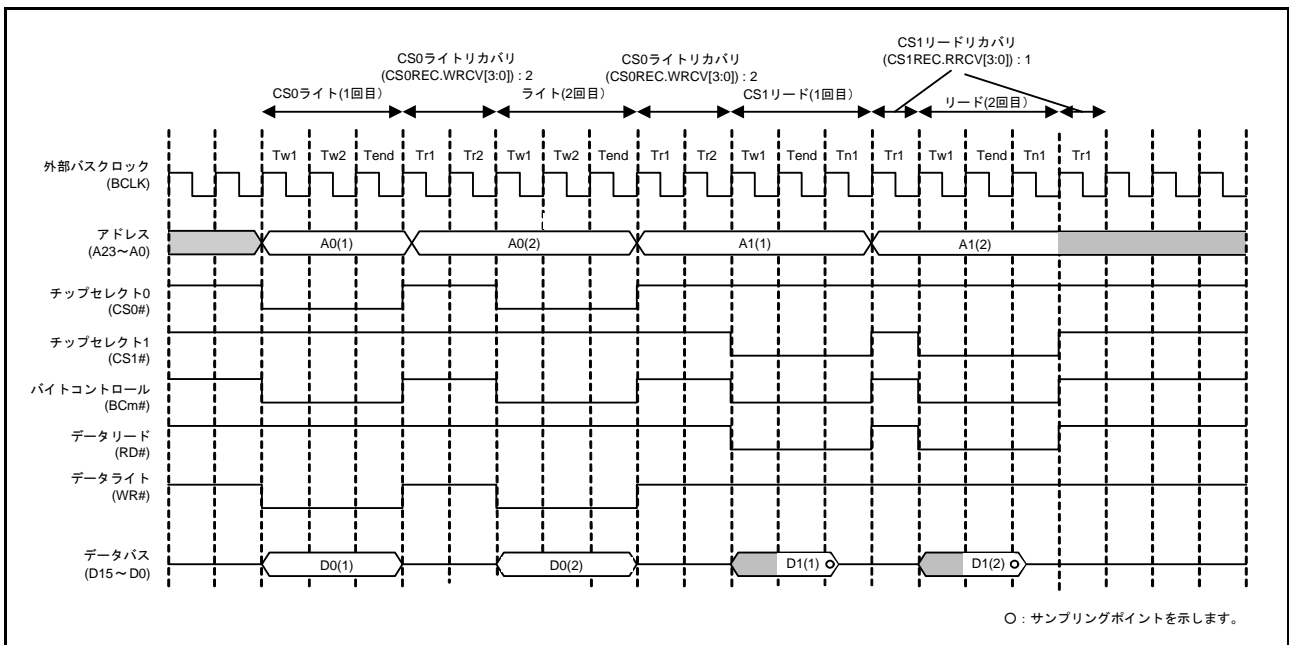


図 15.31 バスアクセスが分割された場合のリカバリサイクルの動作例 (セパレートバスインタフェース、ノーマルアクセスの場合) (m=0、1)

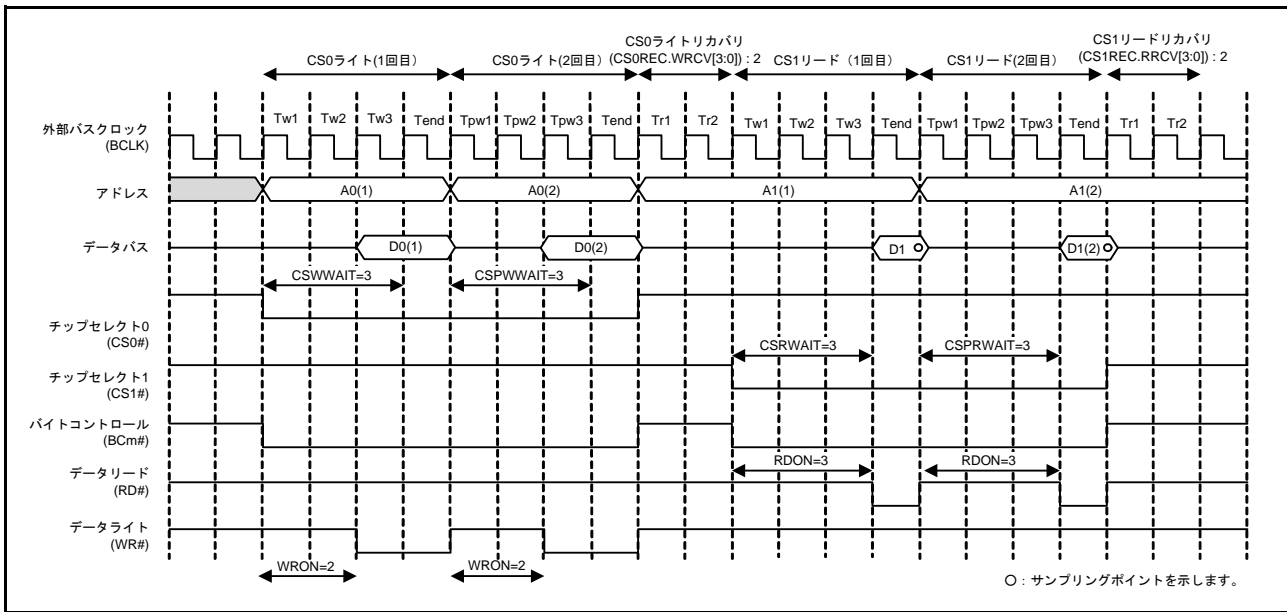


図 15.32 バスアクセスが分割された場合のリカバリサイクルの動作例（セパレートバスインタフェース、ページアクセスの場合）（m=0、1）

図 15.33 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

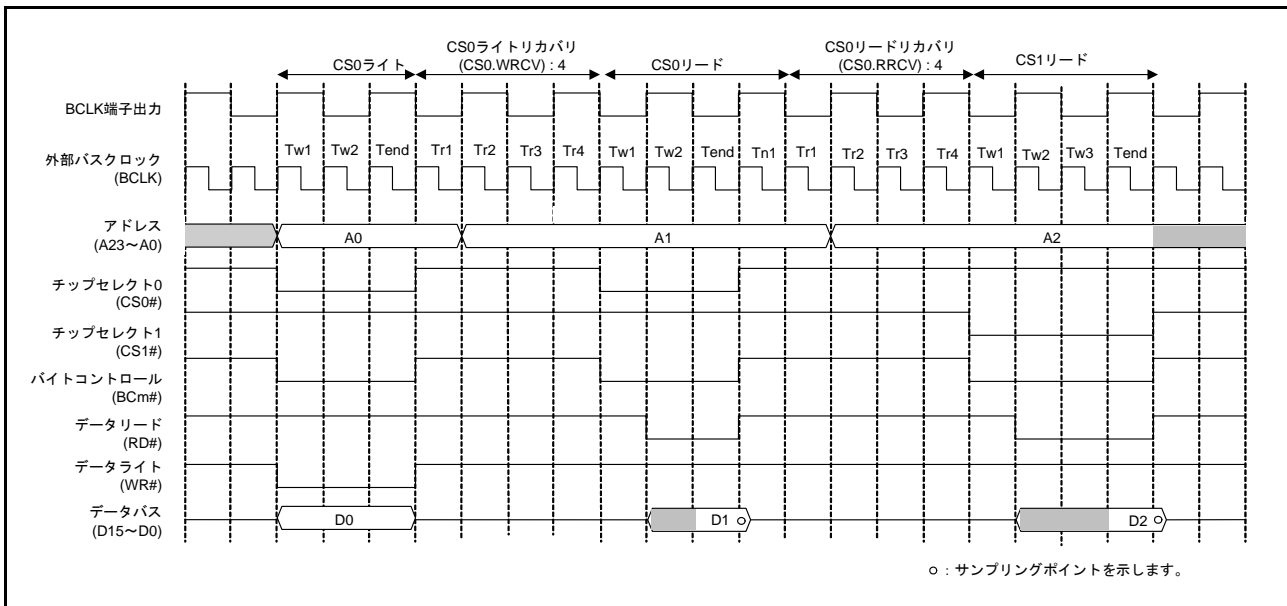


図 15.33 BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合のリカバリサイクルの動作例（セパレートバスインタフェース、ノーマルアクセスの場合）（m=0、1）

アドレス/データマルチプレクス I/O インタフェースのリカバリサイクルの挿入もセパレートバスインタフェースと同様に行われます。図 15.34、図 15.35 に、アドレス/データマルチプレクス I/O インタフェース時のリカバリサイクルの動作例を示します。

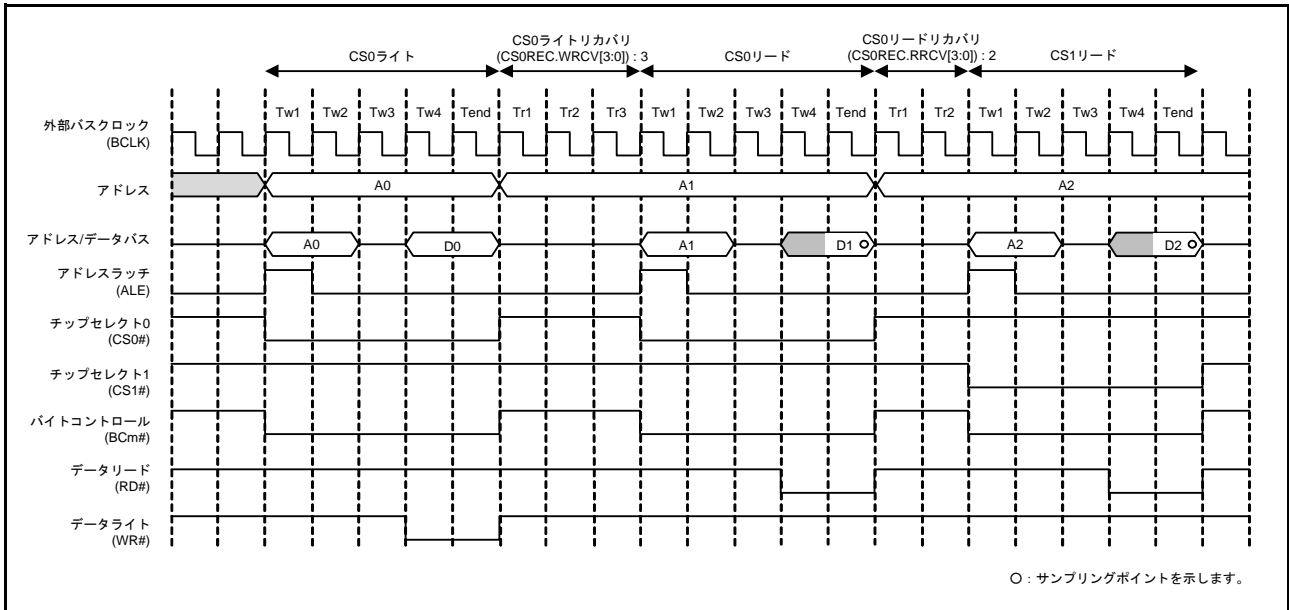


図 15.34 アドレス/データマルチプレクス I/O インタフェース時のリカバリサイクルの動作例 (m=0、1)

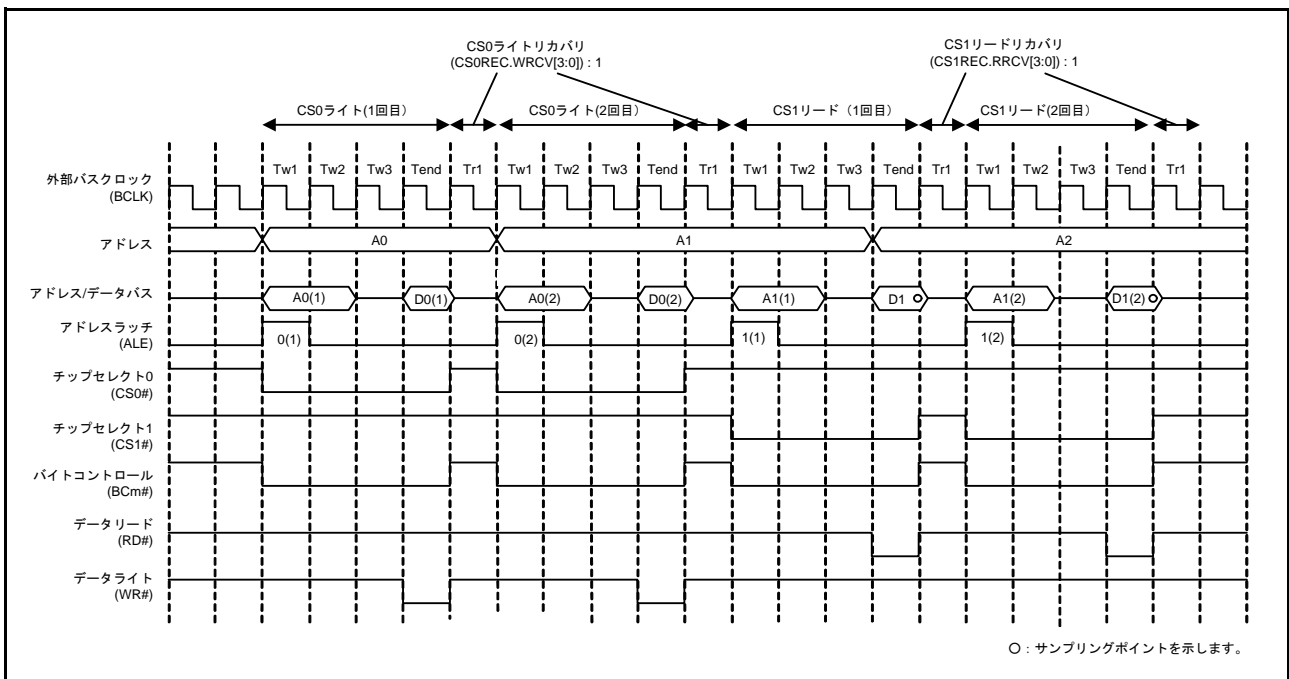


図 15.35 アドレス/データマルチプレクス I/O インタフェース時、バスアクセスが分割された場合のリカバリサイクルの動作例 (m=0、1)

15.5.5 非アクセス時の状態

表 15.9 に外部アドレス空間に対して処理を行っていないときの外部バス信号の状態を示します。

表 15.9 非アクセス時の外部バス信号の状態

信号線名	信号の状態	
	セパレートバス	アドレス/データマルチプレクスバス
CSn#, BCn#, WRn#, RD#	High	
ALE	Low	
A23~A16	不定	
A15~A0	不定	Hi-Z
D15~D0	Hi-Z	

15.5.6 ライトバッファ機能（外部バス）

ライトアクセスの場合、データをライトバッファに書き込むことにより、動作の終了を待たずに内部メインバスを解放するので、次のバスアクセスを開始することができます。ただし、次のバスアクセスが外部アドレス空間、あるいは外部バスコントローラのレジスタへのアクセスであった場合は、前の外部バス動作が終了するまで待たされます。

図 15.36 にライトバッファ機能を使用したときの動作例を示します。この機能を使用したとき、外部ライトの次に内部アクセスがある場合は、外部ライトの終了を待たずに内部アクセス（内蔵メモリ、周辺モジュールのアクセス）が並列して実行されます。

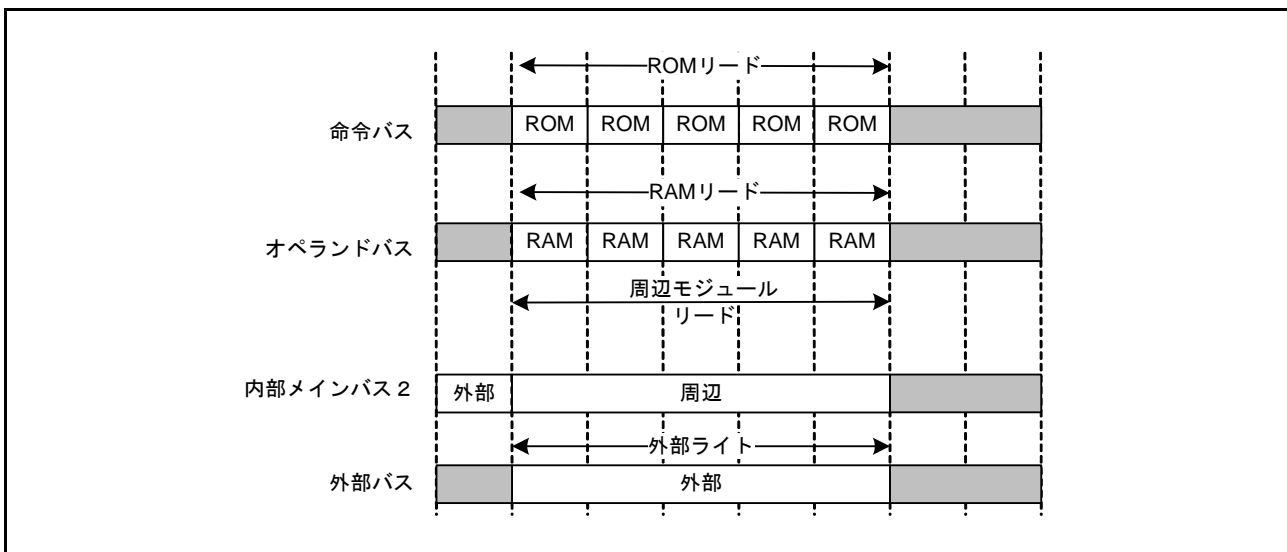


図 15.36 ライトバッファ機能使用時の動作例

15.6 制約事項

15.6.1 セパレートバスインタフェースの場合の制約事項

- (1) 表 15.10 にノーマルアクセス時とページアクセス時の CSn ウェイト制御レジスタ 1 (CSnWCR1) と、CSn ウェイト制御レジスタ 2 (CSnWCR2) の各ビットの設定値の制約事項を示します。CSn モードレジスタのページリードアクセス許可ビットが有効 (CSnMOD.PRENB="1")、あるいはページライトアクセス許可ビットが有効 (CSnMOD.PWENB="1") であっても、ページアクセスの 1 回目のアクセス、あるいはページアクセスの対象とならないアクセス時はノーマルアクセス動作となり、ノーマルアクセスの制約条件を満たす必要があります。

表 15.10 ノーマル/ページアクセス時の制約事項

ノーマルアクセス時の制約条件		ページアクセス時の制約条件	
リード	ライト	リード	ライト
CSON[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSON[2:0] ≤ RDON	1 ≤ WDON[2:0] CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON	CSON[2:0] ≤ CSPRWAIT RDON[2:0] ≤ CSPRWAIT CSON[2:0] ≤ RDON	1 ≤ WDON[2:0] CSON[2:0] ≤ CSPWWAIT WRON[2:0] ≤ CSPWWAIT WDON[2:0] ≤ CSPWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON

- (2) バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、ページリードアクセス許可 (CSnMOD.PRENB = "1")、あるいは、ページライトアクセス許可 (CSnMOD.PWENB = "1") に設定された場合、途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。

15.6.2 アドレス / データマルチプレクスバスの場合の制約事項

- (1) アドレス / データマルチプレクス I/O 空間では、ページアクセスは無効です。ページアクセスの設定は、無視されノーマルアクセスを行います。

表 15.11 ノーマルアクセス時の制約事項

ノーマルアクセス時の制約条件	
リード	ライト
CSON[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSON[2:0] ≤ RDON AWAIT[1:0]+2 ≤ RDON CSON[2:0] ≤ AWAIT	CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON AWAIT[1:0]+2 ≤ WRON AWAIT[1:0]+2 ≤ WDON CSON[2:0] ≤ AWAIT

15.6.3 A0 端子と BC0# 端子を兼用する製品の場合の制約事項

A0 端子と BC0# 端子を兼用する製品の場合、8 ビットバス空間では 1 ライトストロブモードの設定は禁止しており、設定した場合の動作は保証していません。

15.6.4 BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の制約事項

BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になりますが、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合、2 回目以降の外部バスアクセスの開始は、ウェイト数の設定によっては、BCLK 端子出力の立ち下がり時点になる可能性があります。接続するデバイスの仕様にあわせて、レジスタの値を設定してください。

15.6.5 アドレス空間の各領域をまたがるアクセスの禁止

1 つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1 つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで 2 つの領域にまたがらないようにしてください。

15.6.6 RMPA 命令、ストリング操作命令に関する制約事項

- (1) 外部空間には領域ごとのエンディアン切り替え機能（データのみ）がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。
- (2) RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

15.6.7 命令コードに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

15.7 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合、バスマスタへ通知します。

15.7.1 バスエラーの種類

バスエラーには、不正アドレスアクセス、タイムアウトの2種類のバスエラーがあります。

不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出し、タイムアウトはバスアクセスが768 サイクル以内に終了しない場合に検出します。

15.7.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効 (BEREN.IGAEN = 1) に設定された場合で、以下のアクセスが起こった場合に発生します。

- 外部領域については、動作禁止 (CSnCR.EXENB = 0) に設定した領域をアクセスした場合
- 上記以外の領域については、不正アドレス領域にアクセスした場合どの領域が不正アドレスアクセスエラーを発生するかを表 15.12 に示します。

15.7.1.2 タイムアウト

タイムアウトは、バスエラー監視許可レジスタのタイムアウト検出許可ビットが有効 (BEREN.TOEN = 1) に設定された場合で、バスアクセスが768 サイクル以内に終了しない場合に発生します。

- CS 領域 (CS0 ~ CS3) : バスアクセス開始後、外部バスクロック (BCLK) で768 サイクル以内にバスアクセスが終了しない (WAIT# 信号がネゲートされない) 場合
タイムアウトが発生すると BCLK で256 サイクル間、バスマスタからのアクセスは受け付けられません。バスマスタからの1回のリクエストで、複数の外部バスアクセスが発生する転送では、タイムアウトが発生しても、後続のバスアクセスを中断できません。この場合、連続してタイムアウトが発生する可能性があります。

15.7.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知 :
割り込みが発生します。割り込みを発生させるかどうかは、ICU.IERn レジスタで制御できます。

15.7.3 バスエラーの発生条件

表 15.12 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態（バスエラーステータスレジスタ n (BERSR n) ($n=1, 2$) がクリアされている場合) で、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると、BERSR n レジスタにその時点の状態が記憶されます。一度バスエラーが発生すると、その後バスエラーが発生しても BERSR n がクリアされていない場合はその状態を記憶しません。

2つ以上のバスマスタについてバスエラーが同時に発生する場合は、1つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSR n レジスタがクリアされるまで状態を保持します。

表 15.12 発生するバスエラーの種類

アドレス	内容		種類			
			不正アドレスアクセス		タイムアウト	
	内蔵ROM有効	内蔵ROM無効	内蔵ROM有効	内蔵ROM無効	内蔵ROM有効	内蔵ROM無効
0000 0000h ~ 0007 FFFFh	メモリバス1		—		—	
0008 0000h ~ 0008 7FFFh	内部周辺バス1		—		—	
0008 8000h ~ 0009 FFFFh	内部周辺バス2		△		—	
000A 0000h ~ 000B FFFFh	予約領域		—		—	
000C 0000h ~ 000D FFFFh	予約領域		△		—	
000E 0000h ~ 000F FFFFh	予約領域		△		—	
0010 0000h ~ 00FF FFFFh	内部周辺バス6	予約領域	△	○	—	—
0500 0000h ~ 07FF FFFFh	外部バス (CS1~CS3)		[IA]		[TO]	
0800 0000h ~ 0FFF FFFFh	予約領域		—		—	—
1000 0000h ~ 7FFF FFFFh	予約領域		○		—	—
8000 0000h ~ FEFF FFFFh	メモリバス2	予約領域	—	○	—	—
FF00 0000h ~ FF7F FFFFh		外部バス (CS0)	—	[IA]	—	[TO]
FF80 0000h ~ FFFF FFFFh			—		—	

— : バスエラーは発生しません。

△ : バスエラーは不定です。

○ : バスエラーを発生します。

[IA] : これらの領域を動作禁止 (CSnCR.EXENB = 0 ($n=0 \sim 3$)) に設定している場合にバスエラーを検出します。

[TO] : 768 サイクル以内にバスアクセスが終了しない場合にバスエラーを検出します。

注. 実装されるRAM、E2データフラッシュ、ROMの容量は製品により異なります。製品ごとの仕様については、「39. RAM」、「40. ROM (コード格納用フラッシュメモリ)」、「41. E2データフラッシュ (データ格納用フラッシュメモリ)」を参照してください。

16. DMAコントローラ (DMACA)

RX210グループは、4チャンネルのDMAC (Direct Memory Access Controller) を内蔵しています。

DMACは、CPUを介さずにデータ転送を行います。DMACは転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

16.1 概要

表 16.1 に DMAC の仕様を、図 16.1 に DMAC のブロック図を示します。

表 16.1 DMACの仕様

項目		内容
チャンネル数		4チャンネル (DMAC _m (m = 0~3))
転送空間		512Mバイト (00000000h~0FFFFFFFhとF0000000h~FFFFFFFhのうち予約領域を除く領域)
最大転送データ数		1Mデータ (ブロック転送モード最大総転送数: 1024データ×1024ブロック)
DMA起動要因		<ul style="list-style-type: none"> チャンネルごとに起動要因を選択可能 ソフトウェアトリガ 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力 (注1)
チャンネル優先順位		チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3 (チャンネル0が最優先)
転送データ	1データ	ビット長: 8ビット、16ビット、32ビット
	ブロックサイズ	データ数: 1~1024データ
転送モード	ノーマル転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 総データ転送数を指定しない設定 (フリーランニングモード) が可能
	リピート転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 リピートサイズは最大1024回設定可能
	ブロック転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1ブロックのデータを転送 ブロックサイズは最大1024データ設定可能
選択機能	拡張リピートエリア機能	<ul style="list-style-type: none"> 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 拡張リピートエリアは2バイトから128Mバイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	転送カウンタで設定したデータ数を転送終了時に発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバーフローしたときに発生
消費電力低減機能		モジュールストップ状態への設定が可能
イベントリンク機能		1回のデータ転送後 (ブロックの場合は1ブロック転送後)、イベントリンク要求を発生

注1. DMACの起動要因は、「14. 割り込みコントローラ (ICUb)」の表 14.3 割り込みのベクタテーブルを参照してください。

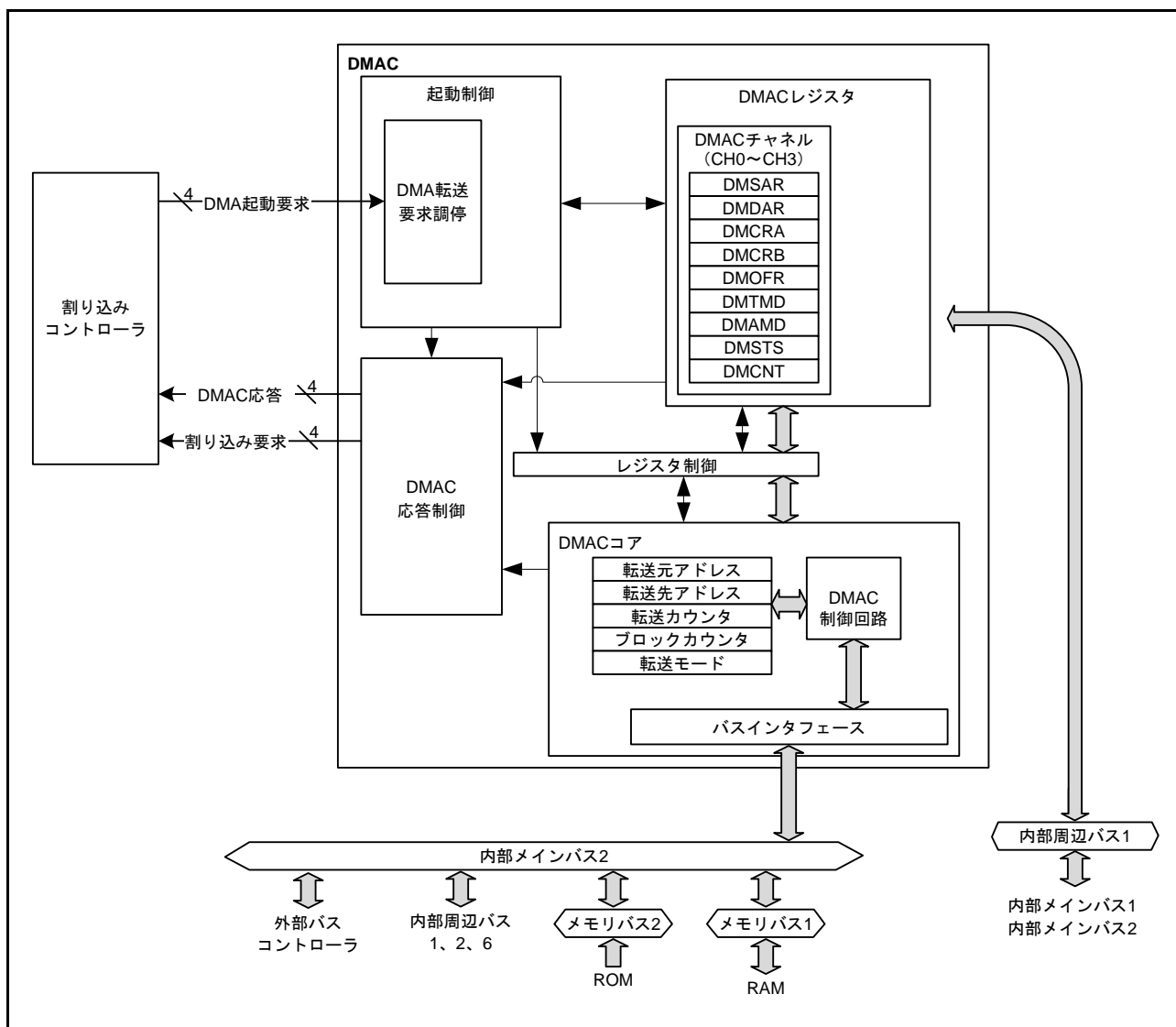
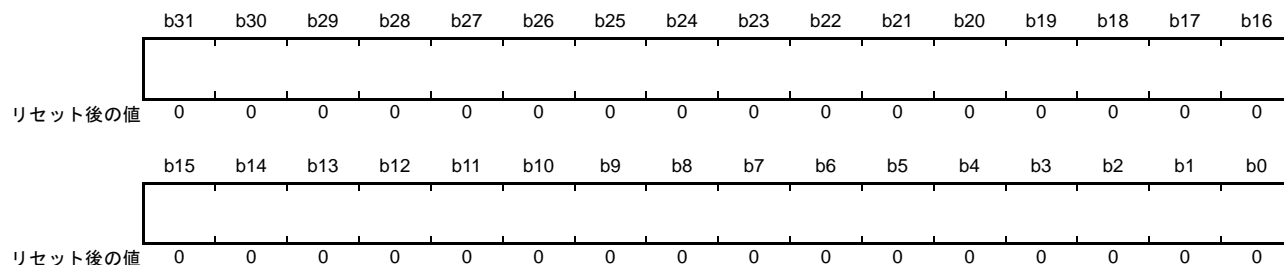


図 16.1 DMAC のブロック図

16.2 レジスタの説明

16.2.1 DMA 転送元アドレスレジスタ (DMSAR)

アドレス DMAC0.DMSAR 0008 2000h、DMAC1.DMSAR 0008 2040h
DMAC2.DMSAR 0008 2080h、DMAC3.DMSAR 0008 20C0h



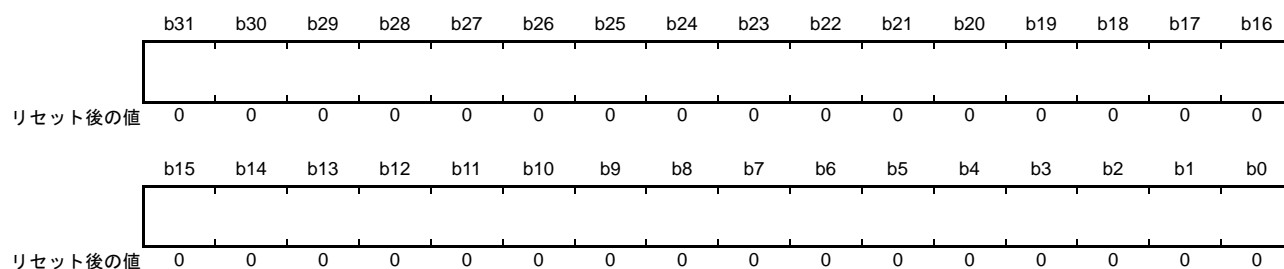
ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	00000000h~0FFFFFFFh (256Mバイト) F0000000h~FFFFFFFh (256Mバイト)	R/W

DMSAR レジスタを設定する場合は、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ~ 29 への設定値は無効です。ビット 31 ~ 29 へはビット 28 の値がビット拡張されます。DMSAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

16.2.2 DMA 転送先アドレスレジスタ (DMDAR)

アドレス DMAC0.DMDAR 0008 2004h、DMAC1.DMDAR 0008 2044h
DMAC2.DMDAR 0008 2084h、DMAC3.DMDAR 0008 20C4h



ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	00000000h~0FFFFFFFh (256Mバイト) F0000000h~FFFFFFFh (256Mバイト)	R/W

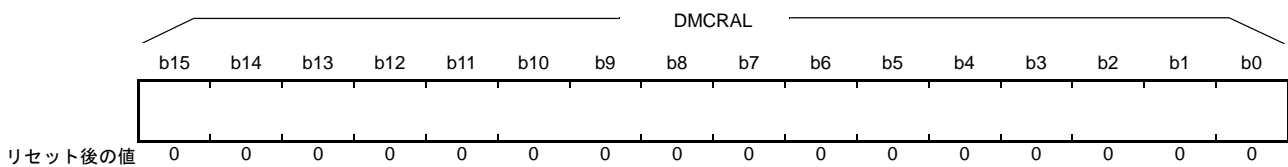
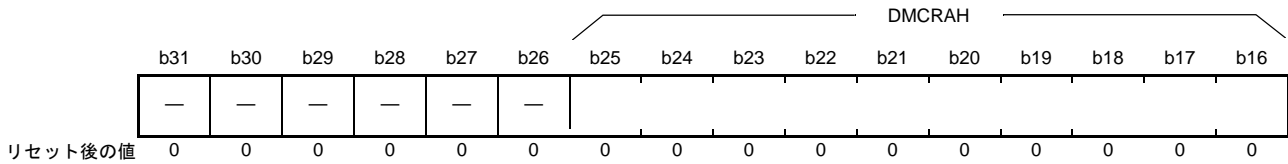
DMDAR レジスタを設定する場合は、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ~ 29 への設定値は無効です。ビット 31 ~ 29 へはビット 28 の値がビット拡張されます。DMDAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

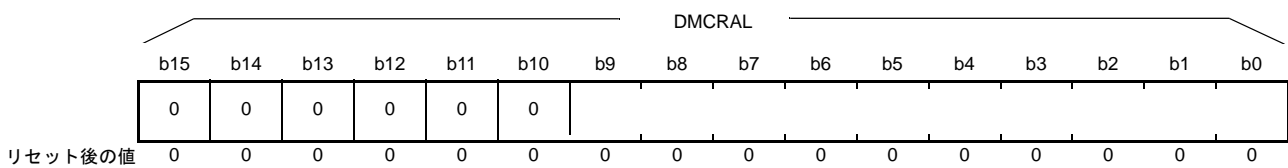
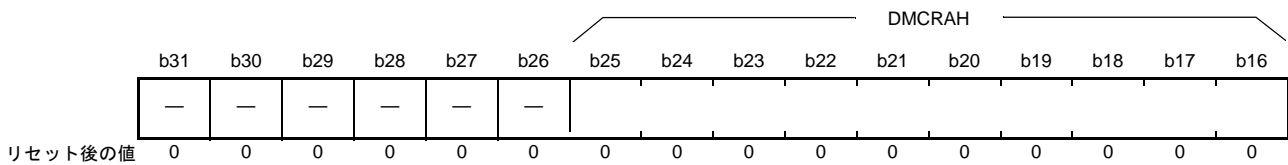
16.2.3 DMA 転送カウントレジスタ (DMCRA)

アドレス DMCRA0.DMCRA 0008 2008h、DMAC1.DMCRA 0008 2048h
DMAC2.DMCRA 0008 2088h、DMAC3.DMCRA 0008 20C8h

・ノーマル転送モード



・リピート転送モード、ブロック転送モード



シンボル	ビット名	機能	R/W
DMCRAH	転送カウンタ上位ビット	転送回数を設定します	R/W
DMCRAH	転送カウンタ下位ビット		R/W

注. リピート転送モード時およびブロック転送モード時は、DMCRAH、DMCRAHレジスタには同じ値を設定してください。

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] ビット = 00b) のとき

DMCRAH レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が“0001h”のときは 1 回、“FFFFh”のときは 65535 回となります。1 回のデータ転送を行う度にデクリメント (-1) します。

設定値が“0000h”のときは転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います (フリーランニングモード)。

ノーマル転送モードでは DMCRAH レジスタを使用しません。DMCRAH レジスタへは“0000h”を書いてください。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] ビット = 01b) のとき

DMCRAHレジスタはリピートサイズを保持し、DMCRALレジスタは10ビットの転送カウンタとして機能します。

転送回数は、設定値が“001h”のときは1回、“3FFh”のときは1023回、“000h”のときは1024回となります。リピート転送モード時のDMCRAH、DMCRALレジスタの設定範囲はいずれも000h～3FFh(1回～1024回)です。

DMCRALレジスタのビット15～10の設定値は無効です。DMCRALレジスタのビット15～10へは“0”を書いてください。

DMCRALレジスタは1回のデータ転送を行う度にデクリメント(-1)され、“000h”になるとDMCRAHレジスタの値が転送されます。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] ビット = 10b) のとき

DMCRAHレジスタはブロックサイズを保持し、DMCRALレジスタは10ビットのブロックサイズカウンタとして機能します。

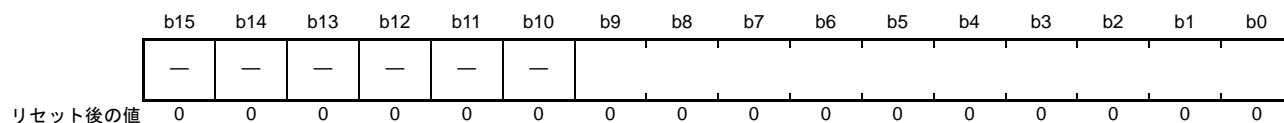
設定値が“001h”のときはブロックサイズ1、“3FFh”のときはブロックサイズ1023、“000h”のときはブロックサイズ1024となります。ブロック転送モード時のDMCRAH、DMCRALレジスタの設定範囲はいずれも000h～3FFhです。

DMCRALレジスタのビット15～10の設定値は無効です。DMCRALレジスタのビット15～10へは“0”を書いてください。

DMCRALレジスタは1回のデータ転送を行う度にデクリメント(-1)され、“000h”になるとDMCRAHレジスタの値が転送されます。

16.2.4 DMA ブロック転送カウントレジスタ (DMCRB)

アドレス DMAC0.DMCRB 0008 200Ch, DMAC1.DMCRB 0008 204Ch
DMAC2.DMCRB 0008 208Ch, DMAC3.DMCRB 0008 20CCh



ビット	機能	設定範囲	R/W
b9-b0	ブロック転送回数、リピート転送回数を設定します	001h~3FFh (1~1023回) 000h (1024回)	R/W
b15-b10	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMCRB レジスタは、ブロック転送モード時のブロック転送回数、またはリピート転送モード時のリピート転送回数を指定するレジスタです。

転送回数は、設定値が“001h”のときは1回、“3FFh”のときは1023回、“000h”のときは1024回となります。

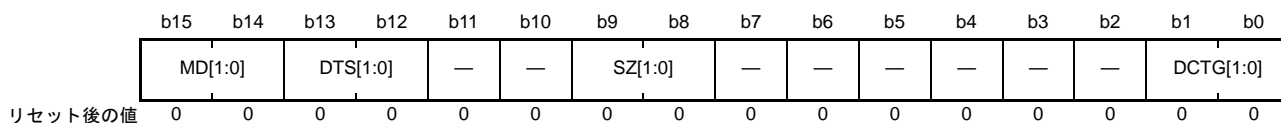
リピート転送モードの場合、1リピートサイズの最終データ転送時にデクリメント（-1）されます。

ブロック転送モードの場合、1ブロックサイズの最終データ転送時にデクリメント（-1）されます。

ノーマル転送モード設定時は、DMCRB レジスタを使用しません。設定値は無効です。

16.2.5 DMA 転送モードレジスタ (DMTMD)

アドレス DMAC0.DMTMD 0008 2010h、DMAC1.DMTMD 0008 2050h
DMAC2.DMTMD 0008 2090h、DMAC3.DMTMD 0008 20D0h



ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求選択ビット	b1 b0 0 0 : ソフトウェア 0 1 : 周辺モジュールおよび外部割り込み入力端子からの割り込み (注1) 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SZ[1:0]	データ転送サイズビット	b9 b8 0 0 : 8ビット転送 0 1 : 16ビット転送 1 0 : 32ビット転送 1 1 : 設定しないでください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	DTS[1:0]	リピート領域選択ビット	b13 b12 0 0 : 転送先側がリピート領域またはブロック領域 0 1 : 転送元側がリピート領域またはブロック領域 1 0 : リピート領域、ブロック領域は設定しない 1 1 : 設定しないでください	R/W
b15-b14	MD[1:0]	転送モード設定ビット	b15 b14 0 0 : ノーマル転送 0 1 : リピート転送 1 0 : ブロック転送 1 1 : 設定しないでください	R/W

注1. DMACの起動要因はICU.DMRSRmレジスタで設定します。詳細は、「14. 割り込みコントローラ (ICUb)」の表14.3 割り込みのベクタテーブルを参照してください。

DTS[1:0] ビット (リピート領域選択ビット)

リピート転送モードあるいはブロック転送モードにおいて、転送元、転送先のいずれか一方をリピート領域に選択することができます。ノーマル転送モードではこのビットの設定値は無効です。

16.2.6 DMA 割り込み設定レジスタ (DMINT)

アドレス DMAC0.DMINT 0008 2013h, DMAC1.DMINT 0008 2053h
DMAC2.DMINT 0008 2093h, DMAC3.DMINT 0008 20D3h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b1	SARIE	転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可ビット	0: リピートサイズ終了割り込みを禁止 1: リピートサイズ終了割り込みを許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可ビット	0: エスケープ割り込みを禁止 1: エスケープ割り込みを許可	R/W
b4	DTIE	転送終了割り込み許可ビット	0: 転送終了割り込みを禁止 1: 転送終了割り込みを許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DARIE ビット (転送先アドレス拡張リピートエリアオーバーフロー割り込み許可ビット)

DARIE ビットを“1”に設定したとき、転送先アドレスの拡張リピートエリアオーバーフローが発生すると、DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、転送先アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャンネルの DMACm.DMCNT.DTE ビットを“1”にセットすると、転送終了した状態から再び転送を開始することができます。

転送先アドレスに拡張リピートエリアを設定していない場合、DARIE ビットの設定値は無効です。

SARIE ビット (転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット)

SARIE ビットを“1”に設定したとき、転送元アドレスの拡張リピートエリアオーバーフローが発生すると、DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、転送元アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャンネルの DMACm.DMCNT.DTE ビットを“1”にセットすると、転送終了した状態から再び転送を開始することができます。

転送元アドレスに拡張リピートエリアを設定していない場合は、SARIE ビットの設定値は無効です。

RPTIE ビット (リピートサイズ終了割り込み許可ビット)

リピート転送モードにおいて、RPTIE ビットを“1”に設定したとき、1 リピートサイズ分の転送終了後に DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが“10b” (リピート領域、ブロック領域に指定しない) のときでも、リピートサイズ終了割り込み要求が発生させることができます。

ブロック転送モードで、DMINT.RPTIE ビットを“1”に設定したときも同様に1ブロックの転送終了後に DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが“10b” (リピート領域、ブロック領域に指定しない) に設定したときでも、リピートサイズ終了割り込み要求が発生させることができます。

ESIE ビット (転送エスケープ終了割り込み許可ビット)

DMA 転送中に発生したエスケープ割り込み要求 (リピートサイズ終了割り込み、拡張リピートエリアオーバーフロー割り込み) を許可または禁止します。

ESIE ビットを“1”にセットすると、DMSTS.ESIF フラグに“1”がセットされたとき、転送エスケープ終了割り込みが発生します。転送エスケープ終了割り込みは、ESIE ビットを“0”にクリアするか、DMSTS.ESIF フラグを“0”にクリアすると解除されます。

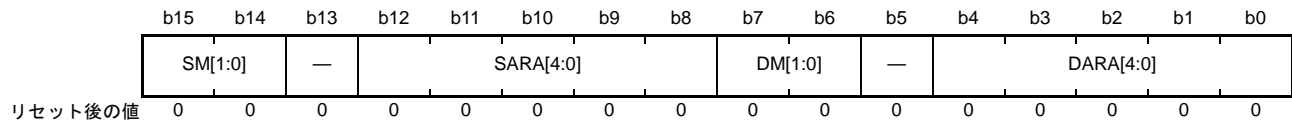
DTIE ビット (転送終了割り込み許可ビット)

指定した回数のデータ転送が終了したときの転送終了割り込み要求を許可または禁止します。

DTIE ビットを“1”にセットすると、DMSTS.DTIF フラグに“1”がセットされたとき、転送終了割り込みが発生します。転送終了割り込みは、DTIE ビットを“0”にクリアするか、DMSTS.DTIF フラグを“0”にクリアすると解除されます。

16.2.7 DMA アドレスモードレジスタ (DMAMD)

アドレス DMAC0.DMAMD 0008 2014h, DMAC1.DMAMD 0008 2054h
DMAC2.DMAMD 0008 2094h, DMAC3.DMAMD 0008 20D4h



ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピートエリア設定ビット	転送先アドレスに拡張リピートエリアを設定することができません 設定値の詳細は表 16.2を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定	b7 b6 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピートエリア設定ビット	転送元アドレスに拡張リピートエリアを設定することができません 設定値の詳細は表 16.2を参照してください	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定	b15 b14 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W

注1. オフセット加算設定はDMAC0のみ可能です。

DARA[4:0] ビット (転送先アドレス拡張リピートエリア設定ビット)

転送先アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは常に固定値をとるようにして実現しています。拡張リピートエリアのサイズは2バイトから 128M バイトまで設定可能です。設定間隔は2のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 00b (転送先側がリピート領域またはブロック領域) に設定している場合、DARA[4:0] ビットには“00000b”を書いてください。

DMINT.DARIE ビットが“1”のとき、拡張リピートエリアのオーバフローが発生したときに割り込みを発生させることができます。表 16.2 に拡張リピートエリアの設定と範囲を示します。

DM[1:0] ビット (転送先アドレス更新モード設定ビット)

転送先アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき -1、DMTMD.SZ[1:0] = 01b のとき -2、DMTMD.SZ[1:0] = 10b のとき -4 されます。

オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

SARA[4:0] ビット (転送元アドレス拡張リピートエリア設定ビット)

転送元アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは常に固定値をとるようにして実現しています。拡張リピートエリアのサイズは2バイトから128Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスはアドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 01b (転送元側がリピート領域またはブロック領域) に設定している場合、SARA[4:0] ビットには“00000b”を書いてください。

DMINT.SARIE ビットが“1”のとき、拡張リピートエリアのオーバーフローが発生したときに割り込みを発生させることができます。表 16.2 に拡張リピートエリアの設定と範囲を示します。

SM ビット (転送元アドレス更新モード設定ビット)

転送元アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき -1、DMTMD.SZ[1:0] = 01b のとき -2、DMTMD.SZ[1:0] = 10b のとき -4 されます。

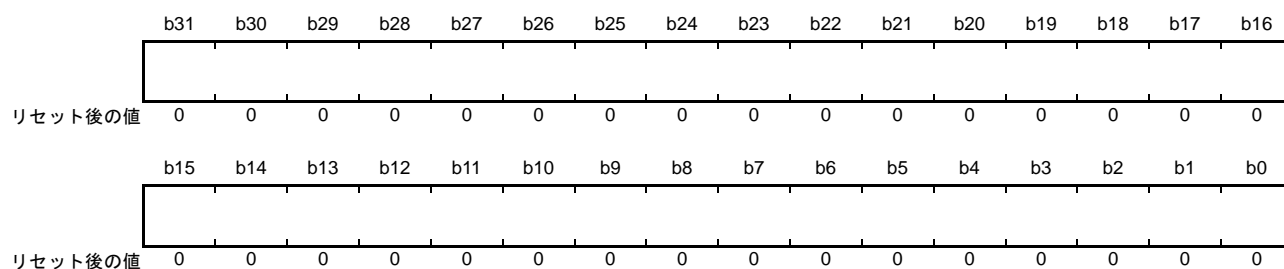
オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

表 16.2 拡張リピートエリアの設定と範囲

SARA[4:0] / DARA[4:0]の値	拡張リピートエリアの範囲
00000b	拡張リピートエリアを設定しない
00001b	当該アドレスの下位1ビット (2バイト) を拡張リピートエリアに設定する
00010b	当該アドレスの下位2ビット (4バイト) を拡張リピートエリアに設定する
00011b	当該アドレスの下位3ビット (8バイト) を拡張リピートエリアに設定する
00100b	当該アドレスの下位4ビット (16バイト) を拡張リピートエリアに設定する
00101b	当該アドレスの下位5ビット (32バイト) を拡張リピートエリアに設定する
00110b	当該アドレスの下位6ビット (64バイト) を拡張リピートエリアに設定する
00111b	当該アドレスの下位7ビット (128バイト) を拡張リピートエリアに設定する
01000b	当該アドレスの下位8ビット (256バイト) を拡張リピートエリアに設定する
01001b	当該アドレスの下位9ビット (512バイト) を拡張リピートエリアに設定する
01010b	当該アドレスの下位10ビット (1Kバイト) を拡張リピートエリアに設定する
01011b	当該アドレスの下位11ビット (2Kバイト) を拡張リピートエリアに設定する
01100b	当該アドレスの下位12ビット (4Kバイト) を拡張リピートエリアに設定する
01101b	当該アドレスの下位13ビット (8Kバイト) を拡張リピートエリアに設定する
01110b	当該アドレスの下位14ビット (16Kバイト) を拡張リピートエリアに設定する
01111b	当該アドレスの下位15ビット (32Kバイト) を拡張リピートエリアに設定する
10000b	当該アドレスの下位16ビット (64Kバイト) を拡張リピートエリアに設定する
10001b	当該アドレスの下位17ビット (128Kバイト) を拡張リピートエリアに設定する
10010b	当該アドレスの下位18ビット (256Kバイト) を拡張リピートエリアに設定する
10011b	当該アドレスの下位19ビット (512Kバイト) を拡張リピートエリアに設定する
10100b	当該アドレスの下位20ビット (1Mバイト) を拡張リピートエリアに設定する
10101b	当該アドレスの下位21ビット (2Mバイト) を拡張リピートエリアに設定する
10110b	当該アドレスの下位22ビット (4Mバイト) を拡張リピートエリアに設定する
10111b	当該アドレスの下位23ビット (8Mバイト) を拡張リピートエリアに設定する
11000b	当該アドレスの下位24ビット (16Mバイト) を拡張リピートエリアに設定する
11001b	当該アドレスの下位25ビット (32Mバイト) を拡張リピートエリアに設定する
11010b	当該アドレスの下位26ビット (64Mバイト) を拡張リピートエリアに設定する
11011b	当該アドレスの下位27ビット (128Mバイト) を拡張リピートエリアに設定する
11100b ~ 11111b	設定しないでください

16.2.8 DMA オフセットレジスタ (DMOFR)

アドレス DMAC0.DMOFR 0008 2018h



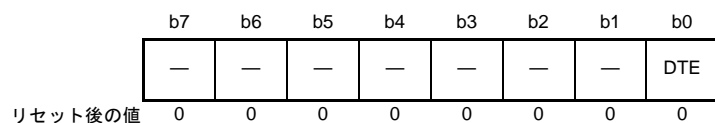
ビット	機能	設定範囲	R/W
b31-b0	転送元、転送先いずれかのアドレス更新モードがオフセット加算の場合のオフセット値を設定する	00000000h ~ 00FFFFFFh (0バイト~(16M-1)バイト) FF000000h ~ FFFFFFFFh (-16Mバイト~-1バイト)	R/W

DMOFR レジスタを設定する場合は、データ転送中ではなく、DMAC 停止中、または DMA 転送が禁止されているときに書いてください。

ビット 31 ~ 25 への設定値は無効です、ビット 31 ~ 25 へはビット 24 の値がビット拡張されます。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

16.2.9 DMA 転送許可レジスタ (DMCNT)

アドレス DMAC0.DMCNT 0008 201Ch、DMAC1.DMCNT 0008 205Ch
DMAC2.DMCNT 0008 209Ch、DMAC3.DMCNT 0008 20DCh



ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA 転送許可ビット	0 : DMA 転送を禁止 1 : DMA 転送を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTE ビット (DMA 転送許可ビット)

DMAST.DMST ビットが“1” (DMAC 起動を許可) で、DTE ビットが“1” (DMA 転送を許可) のとき、対応するチャンネルの DMA 転送を開始することができます。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- “0”を書き込んだとき
- 設定の総転送データ数の転送を終了したとき
- リポートサイズ終了割り込みにより DMA 転送が停止したとき
- 拡張リポートエリアオーバフロー割り込みにより DMA 転送が停止したとき

16.2.10 DMA ソフトウェア起動レジスタ (DMREQ)

アドレス DMAC0.DMREQ 0008 201Dh、DMAC1.DMREQ 0008 205Dh
DMAC2.DMREQ 0008 209Dh、DMAC3.DMREQ 0008 20DDh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	CLRS	—	—	—	SWREQ

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMAソフトウェア起動ビット	0 : DMA転送要求なし 1 : DMA転送要求あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CLRS	DMAソフトウェア起動ビット 自動クリア選択	0 : ソフトウェア起動後にSWREQビットをクリアする 1 : ソフトウェア起動後にSWREQビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWREQ ビット (DMA ソフトウェア起動ビット)

SWREQ ビットに“1”を書き込むと DMA の転送要求が発生し、その要求に対する転送が開始されると、CLRS ビットが“0”に設定されている場合、SWREQ ビットは“0”にクリアされます。CLRS ビットが“1”に設定されている場合、SWREQ ビットは“0”にクリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

ただし、DMTMD.DCTG[1:0] ビットを“00b” (DMA 起動要因がソフトウェア) に設定している場合のみ SWREQ ビットの値が有効となり、ソフトウェアによる DMA 転送が可能となります。

DMTMD.DCTG[1:0] ビットが“00b”以外に設定されている場合は、SWREQ ビットの設定値は無効です。

CLRS ビットが“0”でソフトウェア起動を行う場合、SWREQ ビットが“0”であることを確認してから SWREQ ビットに“1”を書いてください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- CLRS ビットが“0” (ソフトウェア起動後に SWREQ ビットをクリアする) に設定されているときに、ソフトウェアによる要求が受け付けられデータ転送が開始されたとき
- “0”を書き込んだとき

CLRS ビット (DMA ソフトウェア起動ビット自動クリア選択)

SWREQ ビットへ“1”書き込みによる DMA 転送要求に対する転送を開始したときに、SWREQ ビットを“0”にクリアするかしないを設定します。CLRS ビットが“0”に設定されている場合、転送が開始されると SWREQ ビットは“0”にクリアされます。CLRS ビットが“1”に設定されている場合は、SWREQ ビットは“0”クリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

16.2.11 DMA ステータスレジスタ (DMSTS)

アドレス DMAC0.DMSTS 0008 201Eh、DMAC1.DMSTS 0008 205Eh
DMAC2.DMSTS 0008 209Eh、DMAC3.DMSTS 0008 20DEh

b7	b6	b5	b4	b3	b2	b1	b0
ACT	—	—	DTIF	—	—	—	ESIF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ割り込みフラグ	0 : 転送エスケープ割り込み発生なし 1 : 転送エスケープ割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	DTIF	転送終了割り込みフラグ	0 : 転送終了割り込みなし 1 : 転送終了割り込みあり	R/W (注1)
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	ACT	DMA アクティブフラグ	0 : DMACが停止中 1 : DMACが動作中	R

注1. “0”のみ書けます。

ESIF フラグ (転送エスケープ割り込みフラグ)

転送エスケープ割り込みが発生したことを示すフラグです。

["1"になる条件]

- DMINT.RPTIE ビットが“1”に設定されており、リピート転送モードにおいて1リピートサイズ分の転送終了後
- DMINT.RPTIE ビットが“1”に設定されており、ブロック転送モードにおいて1ブロックの転送終了後
- DMINT.SARIE ビットが“1”に設定され、DMAMD.SARA[4:0] ビットに“00000b”以外(転送元アドレスを拡張リピートエリアに指定)に設定されているときに、転送元アドレスの拡張リピートエリアオーバーフローが発生したとき
- DMINT.DARIE ビットが“1”に設定され、DMAMD.DARA[4:0] ビットに“00000b”以外(転送先アドレスを拡張リピートエリアに指定)に設定されているときに、転送先アドレスの拡張リピートエリアオーバーフローが発生したとき

["0"になる条件]

- “0”を書いたとき
- DMCNT.DTE ビットに“1”を書いたとき

DTIF フラグ (転送終了割り込みフラグ)

転送終了割り込みが発生したことを示すフラグです。

[“1”になる条件]

- ノーマル転送モードにおいて指定回数の転送が終了したとき (DMCRAL レジスタが “0” になり転送が終了したとき)
- リピート転送モードにおいて指定リピート回数の転送が終了したとき (DMCRB レジスタが “0” になり転送が終了したとき)
- ブロック転送モードにおいて指定ブロック数の転送が終了したとき (DMCRB レジスタが “0” になり転送が終了したとき)

[“0”になる条件]

- “0” を書いたとき
- DMCNT.DTE ビットに “1” を書いたとき

ACT フラグ (DMA アクティブフラグ)

DMAC が動作中か停止中であることを示すフラグです。

[“1”になる条件]

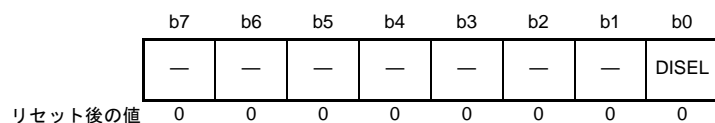
- DMAC が転送動作を開始したとき

[“0”になる条件]

- 1 転送要求に対する転送がすべて終了したとき

16.2.12 DMA 起動要因フラグ制御レジスタ (DMCSL)

アドレス DMAC0.DMCSL 0008 201Fh、DMAC1.DMCSL 0008 205Fh
DMAC2.DMCSL 0008 209Fh、DMAC3.DMCSL 0008 20DFh



ビット	シンボル	ビット名	機能	R/W
b0	DISEL	インタラプト選択ビット	0: 転送開始時に起動要因となった割り込みフラグを“0”クリアする 1: 転送終了時に起動要因となった割り込みフラグによりCPUに割り込み要求が発生する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DISEL ビット (インタラプト選択ビット)

DMAC の転送開始時に起動要因となった割り込みフラグを“0”クリアするか、割り込みフラグによりCPUへ割り込みを発生するかを選択します。

なお、DMTMD.DCTG[1:0] = 00b (ソフトウェアによる起動) に設定している場合は、DISEL ビットの設定値は無効です。

16.2.13 DMA モジュール起動レジスタ (DMAST)

アドレス 0008 2200h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DMST

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	DMAC動作許可ビット	0: DMAC起動を禁止 1: DMAC起動を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMST ビット (DMAC 動作許可ビット)

DMST ビットが“1”のとき、DMAC 全チャンネルの起動が許可されます。

複数チャンネルの DMACm.DMCNT.DTE ビットに“1” (DMA 転送を許可) を書いた後に DMST ビットを“1” (DMAC 起動を許可) にすると、複数チャンネルを同時に転送要求受け付け可能状態にすることができます。

また、DMST ビットを DMAC 動作中に“0”にすると、実行中の 1 転送要求に対するデータ転送が終了した後に DMA 動作が一時停止します。この状態で、再度 DMST ビットを“1”にすることにより継続して DMA 転送を行うことが可能です。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- “0”を書き込んだとき

16.3 動作説明

16.3.1 転送モード

(1) ノーマル転送モード

ノーマル転送モードは1回の転送要求について1データの転送を行います。DMACm.DMCRALレジスタの設定により、最大65535データの指定転送回数を設定できます。また、DMACm.DMCRALレジスタを“0000h”に設定すると、転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います(フリーランニングモード)。DMACm.DMCRBレジスタの設定はノーマル転送モードのときは無効です。フリーランニングモードを除き、指定転送回数の転送終了後に転送終了割り込み要求を発生させることができます。ノーマル転送モードでのレジスタ更新値を表16.3に、ノーマル転送モードの動作を図16.2に示します。

表16.3 ノーマル転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMCRAL	転送カウンタ	1減算/更新なし (フリーランニングモード時)
DMACm.DMCRAH	—	更新されません。(ノーマル転送モードでは使用しません)
DMACm.DMCRB	—	更新されません。(ノーマル転送モードでは使用しません)

注1. オフセット加算はDMAC0のみ指定可能です。

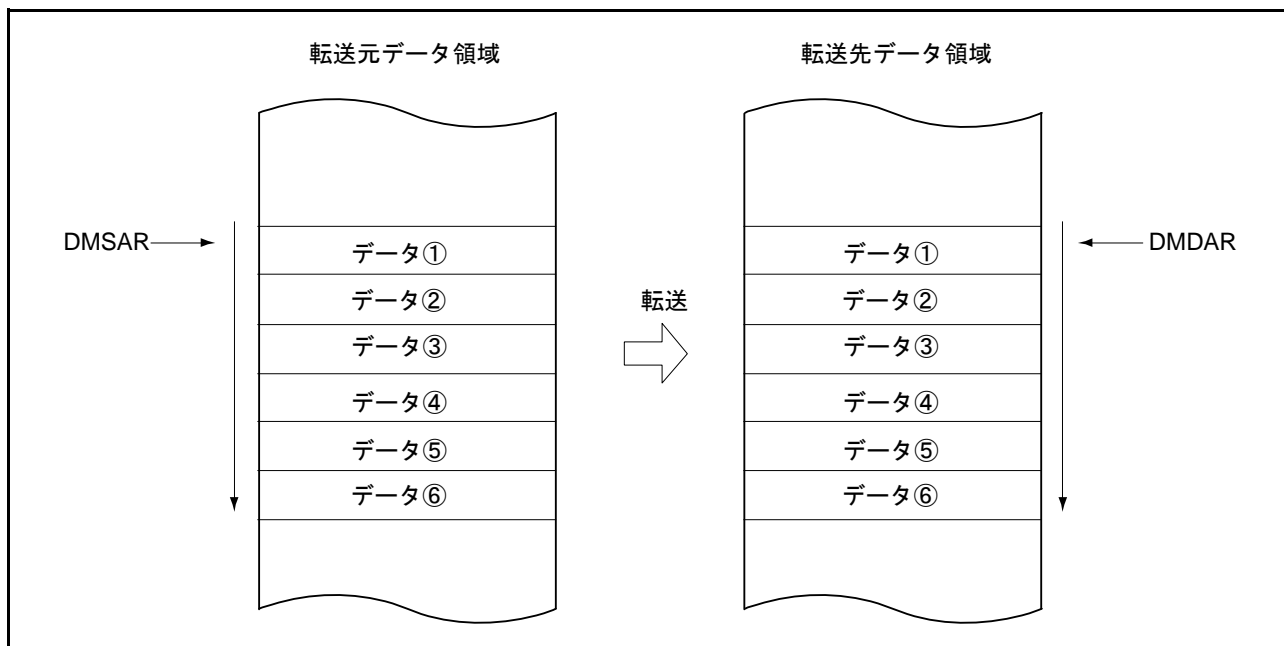


図16.2 ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは1回の転送要求について1データの転送を行います。

DMACm.DMCRA レジスタで最大1Kデータのリピートサイズを設定できます。

また、DMACm.DMCRB レジスタで最大1K回の指定リピート回数を設定できます。総データ転送数は最大1Kデータ×1Kリピート回数=1Mデータの指定が可能です。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、リピートサイズ分のデータ転送が終了すると、初期アドレスに回復します。リピート転送モードでは、リピートサイズ分のデータ転送が終了した後に、DMA転送を停止しリピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに“1”を書き込むとDMA転送を再開することができます。

また、指定リピート回数の転送終了後に転送終了割り込み要求を発生させることができます。

リピート転送モードでのレジスタ更新値を表16.4に、リピート転送モードの動作を図16.3に示します。

表16.4 リピート転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値	
		DMACm.DMCRALレジスタが1以外のとき	DMACm.DMCRALレジスタが1のとき (リピートサイズの最終データ転送)
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/ オフセット加算 (注1)	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/ オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/ オフセット加算 (注1)	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/ オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算 (注1)
DMACm.DMCRAH	リピートサイズ	保持	保持
DMACm.DMCRAL	転送カウント	1減算	DMACm.DMCRAH
DMACm.DMCRB	リピート回数カウント	保持	1減算

注1. オフセット加算はDMAC0のみ指定可能です。

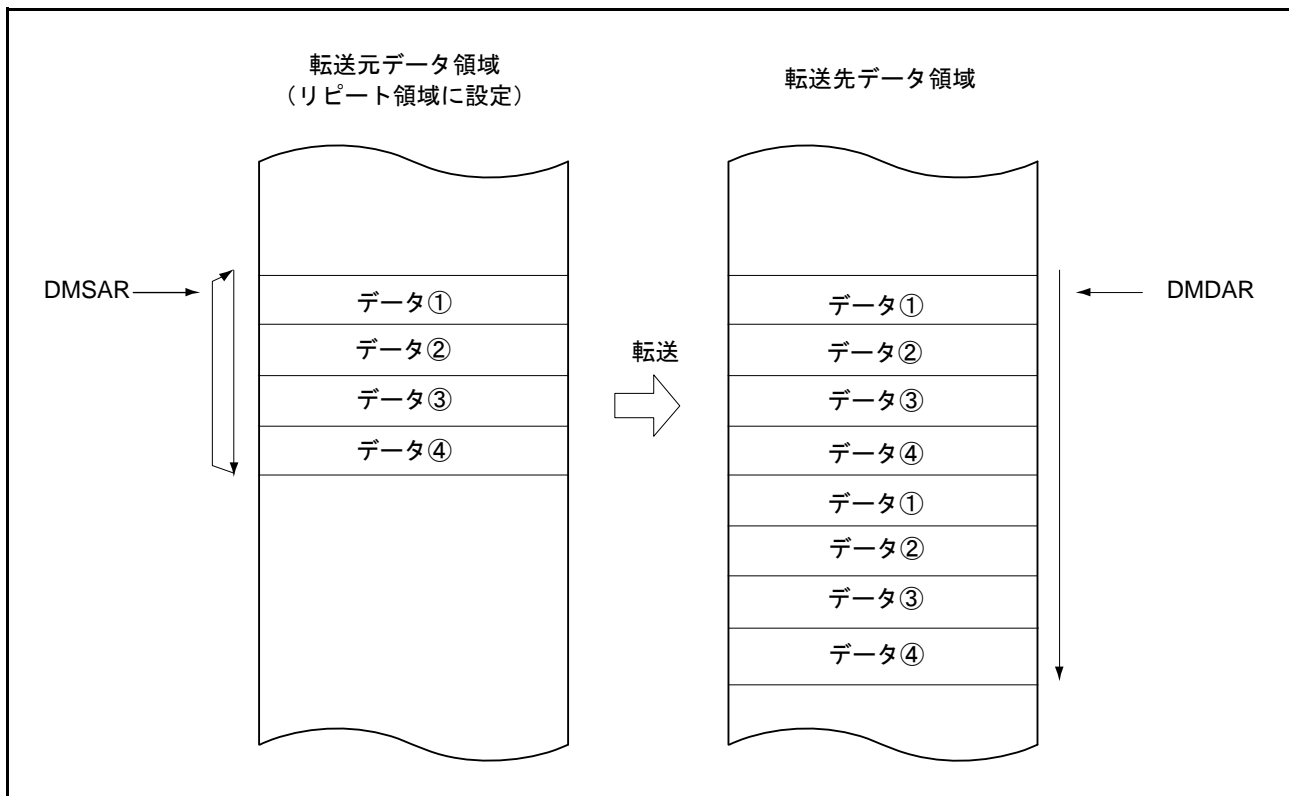


図 16.3 リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1回の転送要求について1ブロックのデータ転送を行います。

DMACm.DMCRA レジスタで最大 1K データのブロックサイズを設定できます。

また、DMACm.DMCRB レジスタで最大 1K 回の指定ブロック回数を設定できます。総データ転送数は最大 1K データ × 1K ブロック回数 = 1M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、1ブロックのデータ転送が終了すると初期アドレスに回復します。ブロック転送モードでは、1ブロックのデータ転送が終了した後に DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに“1”を書き込むと DMA 転送を再開することができます。

また、指定ブロック回数の転送終了後に転送終了割り込み要求を発生させることができます。

ブロック転送モードでのレジスタ更新値を表 16.5 に、ブロック転送モードの動作を図 16.4 に示します。

表 16.5 ブロック転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新値
DMACm.DMSAR	転送元アドレス	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00 b DMACm.DMDARの初期値 DMACm.DMTMD.DTS[1:0] = 01 b インクリメント/デクリメント/固定/オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 10 b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMCRAH	ブロックサイズ	保持
DMACm.DMCRAL	転送カウント	DMACm.DMCRAH
DMACm.DMCRB	ブロック回数カウント	1減算

注1. オフセット加算はDMAC0のみ指定可能です。

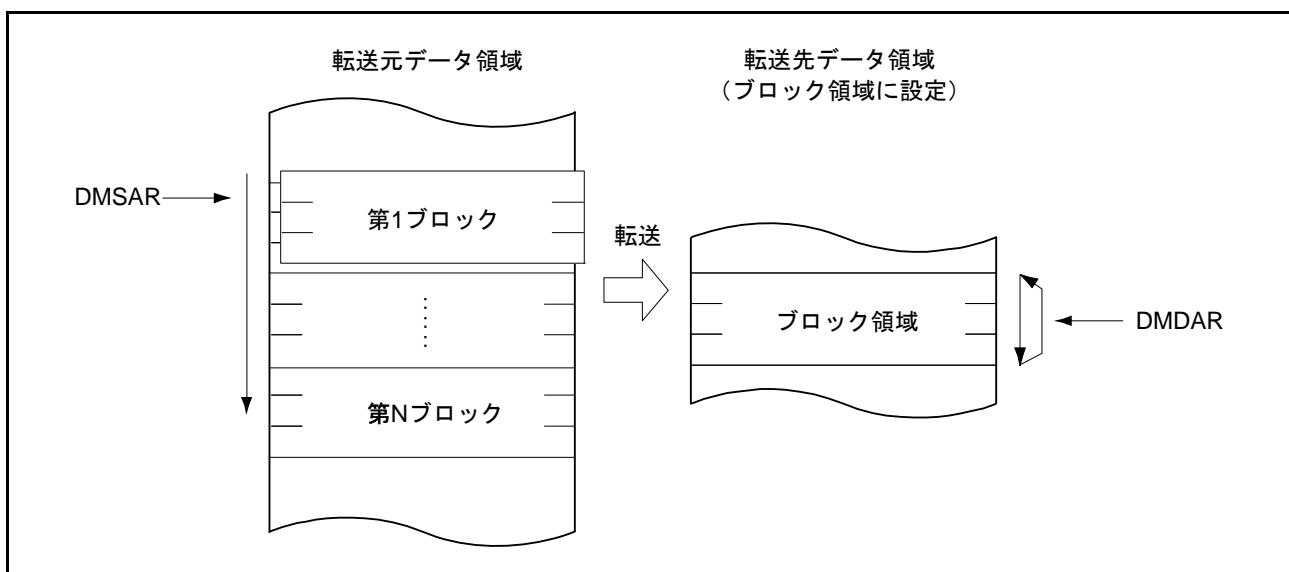


図 16.4 ブロック転送モードの動作

16.3.2 拡張リピートエリア機能

DMACには転送元アドレス、転送先アドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定した範囲のアドレス値を繰り返します。

拡張リピートエリア機能は、DMACm.DMSARレジスタ（転送元アドレスレジスタ）、DMACm.DMDARレジスタ（転送先アドレスレジスタ）に独立して設定できます。

転送元アドレスの拡張リピートエリアはDMACm.DMAMD.SARA[4:0]ビットで設定します。転送先アドレスの拡張リピートエリアはDMACm.DMAMD.DARA[4:0]ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。ただし、リピート領域またはブロック領域に指定したエリア（転送元または転送先）を拡張リピートエリアには指定しないでください。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバーフローすると、DMA転送を一時停止させて、拡張リピートエリアオーバーフロー割り込み要求が発生することができます。DMACm.DMINT.SARIEビットを“1”にすると、転送元アドレスの拡張リピートエリアがオーバーフローしたときにDMACm.DMSTS.ESIFフラグが“1”になり、DMACm.DMCNT.DTEビットを“0”にしてDMA転送を終了します。このとき、DMACm.DMINT.ESIEビットが“1”になっていると、拡張リピートエリアオーバーフロー割り込み要求が発生します。

DMACm.DMINT.DARIEビットを“1”にすると転送先アドレスレジスタが対象になります。

拡張リピートエリアオーバーフロー割り込み処理で、DMACm.DMCNT.DTEビットを“1”にすると、DMA転送を再開することができます。

図16.5に拡張リピートエリア機能の例を示します。

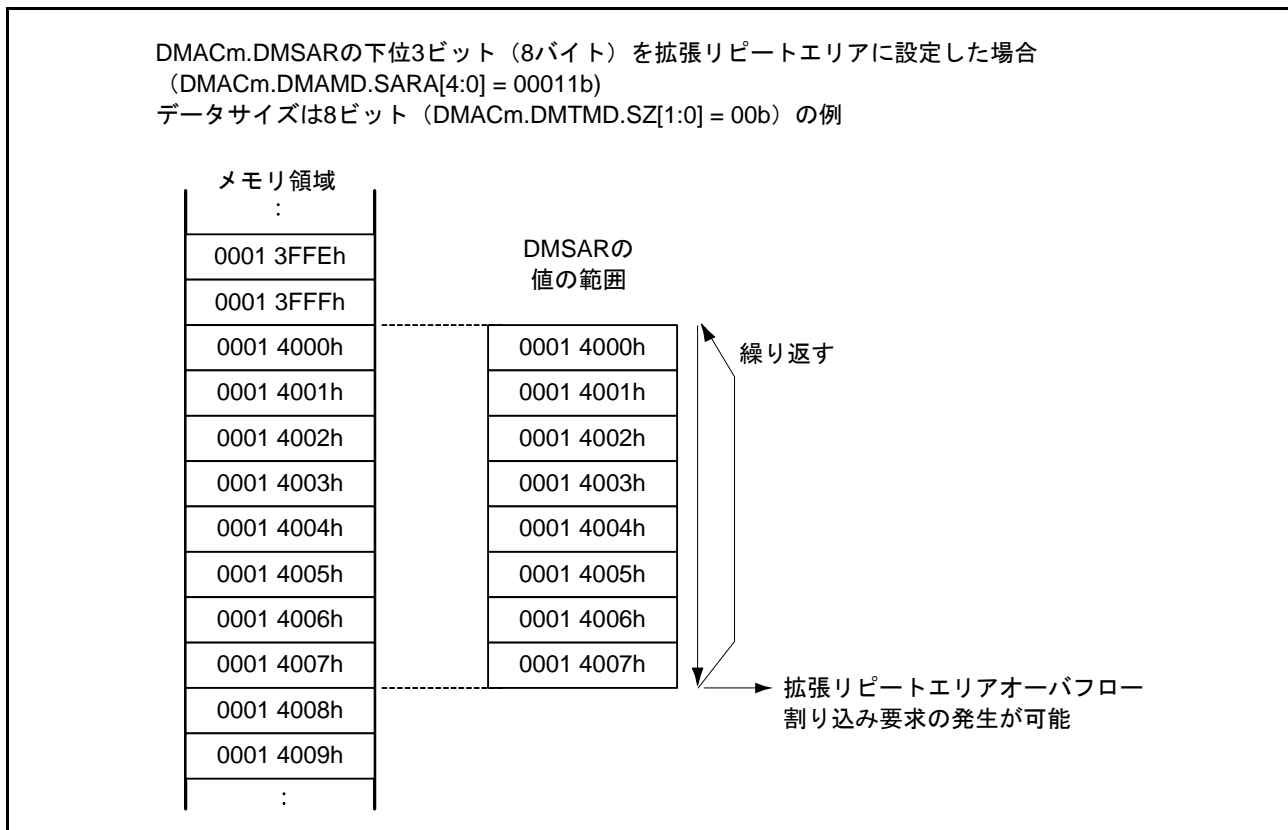


図 16.5 拡張リピートエリア機能の例

拡張リポートエリアオーバーフロー割り込みをブロック転送モードと併用する場合は、以下の注意が必要です。

拡張リポートエリアのオーバーフローの発生で転送を終了させる場合は、ブロックサイズを2のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リポートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックのデータを転送中に拡張リポートエリアにオーバーフローが発生した場合は、1ブロックのデータ転送が終了するまで拡張リポートエリアオーバーフロー割り込み要求は保留され、転送はオーバーランします。

図 16.6 にブロック転送モードと拡張リポートエリア機能を併用した例を示します。

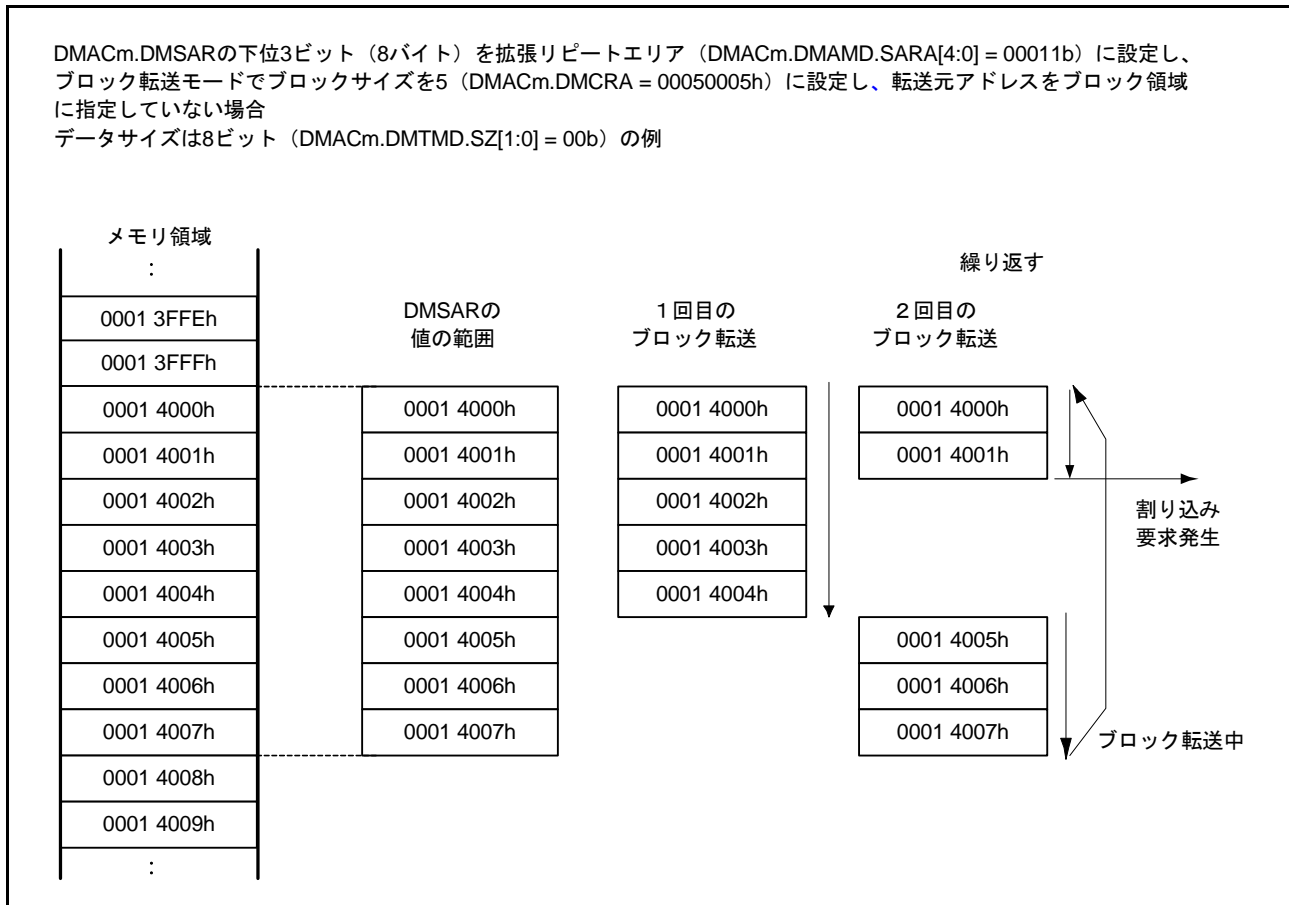


図 16.6 ブロック転送モードと拡張リポートエリア機能を併用した例

16.3.3 オフセットを使ったアドレス更新機能

転送元アドレス、転送先アドレスの更新方法の種類として、固定/インクリメント/デクリメントの他にオフセット加算があります。オフセット加算では、1データの転送を行うたびにDMA オフセットレジスタ (DMAC0.DMOFR) に設定した値を加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

また、DMAC0.DMOFR に2の補数で負の値を設定すると、オフセットによる減算も実現可能です。

オフセットを使ったアドレス更新機能が使用できるチャンネルはDMAC0のみです。

各アドレス更新モードでのアドレス更新方法を表 16.6 に示します。

表 16.6 各アドレス更新モードでのアドレス更新方法

アドレス更新モード	DMACm.DMAMD.SM[1:0] DMACm.DMAMD.DM[1:0] アドレス更新モード設定値	更新方法 (DMACm.DMTMD.SZ[1:0] 設定値別更新方法)		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMACm.DMOFR (注1)		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注1. オフセットレジスタに負の値を設定する場合は、2の補数で設定してください。2の補数は次式で求められます。
負のオフセット値の2の補数表現 = \sim (オフセット値) + 1 (\sim : ビット反転)

(1) オフセット加算を使用した基本的な転送

オフセットによるアドレス更新機能の動作例を図 16.7 に示します。

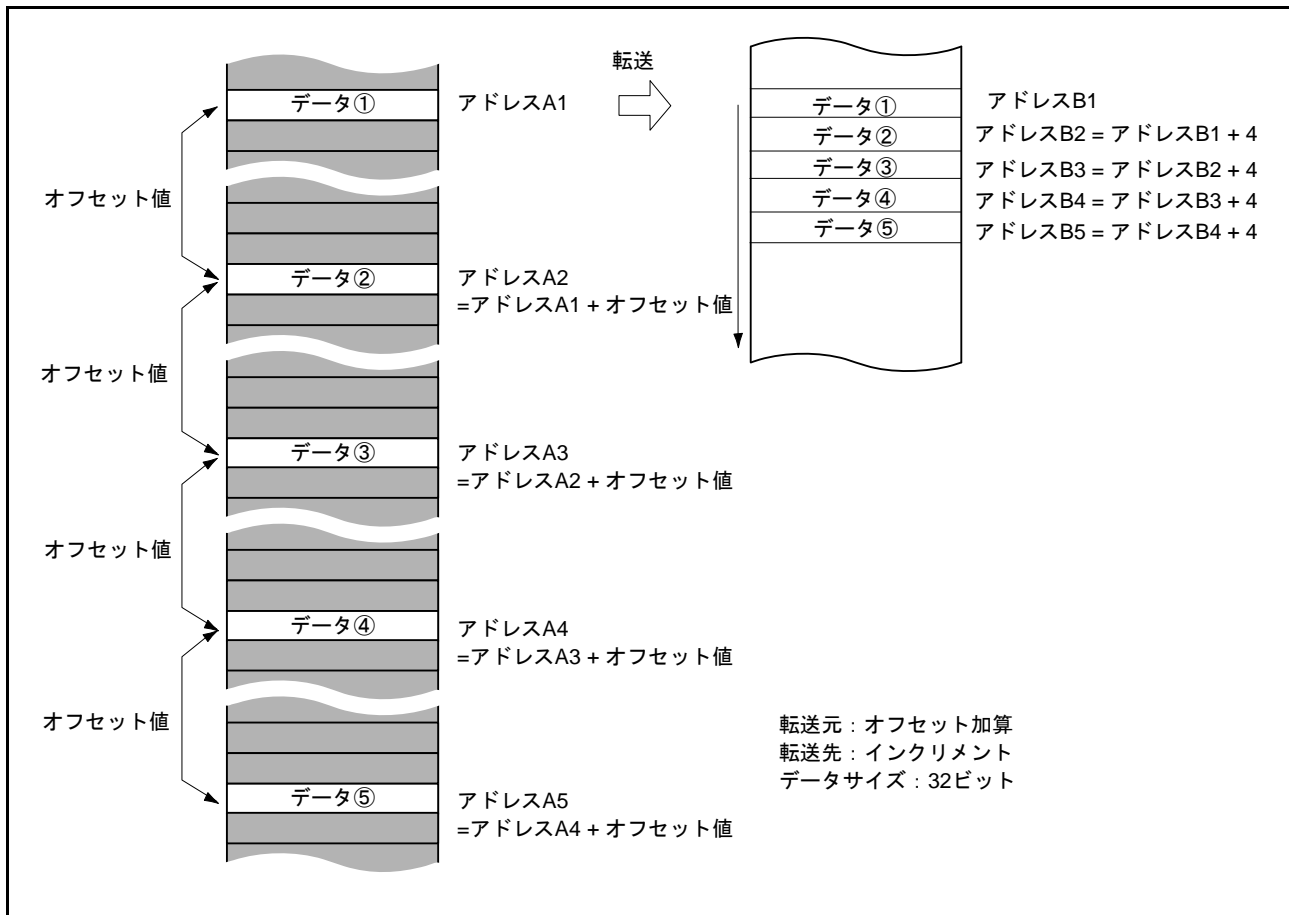


図 16.7 オフセットによるアドレス更新機能の動作例

図 16.7 では、転送データサイズは「32 ビット」、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「インクリメント」を設定しています。転送元アドレスの 2 回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

(2) オフセット加算を使った XY 変換例

図 16.8 にリピート転送モードとオフセット加算を組み合わせると XY 変換を行うときの動作を示します。設定方法は以下のとおりです。

- DMAC0.DMAMD レジスタ：転送元アドレス更新モード設定：オフセット加算
- DMAC0.DMAMD レジスタ：転送先アドレス更新モード設定：インクリメント
- DMAC0.DMTMD レジスタ：転送データサイズビット：32 ビット転送
- DMAC0.DMTMD レジスタ：転送モード設定ビット：リピート転送
- DMAC0.DMTMD レジスタ：リピート領域選択ビット：転送元側がリピート領域
- DMAC0.DMOFR レジスタ：オフセットアドレス：10h
- DMAC0.DMCRA レジスタ：リピートサイズ：4h
- DMAC0.DMINT レジスタ：リピートサイズ終了割り込みを許可に設定

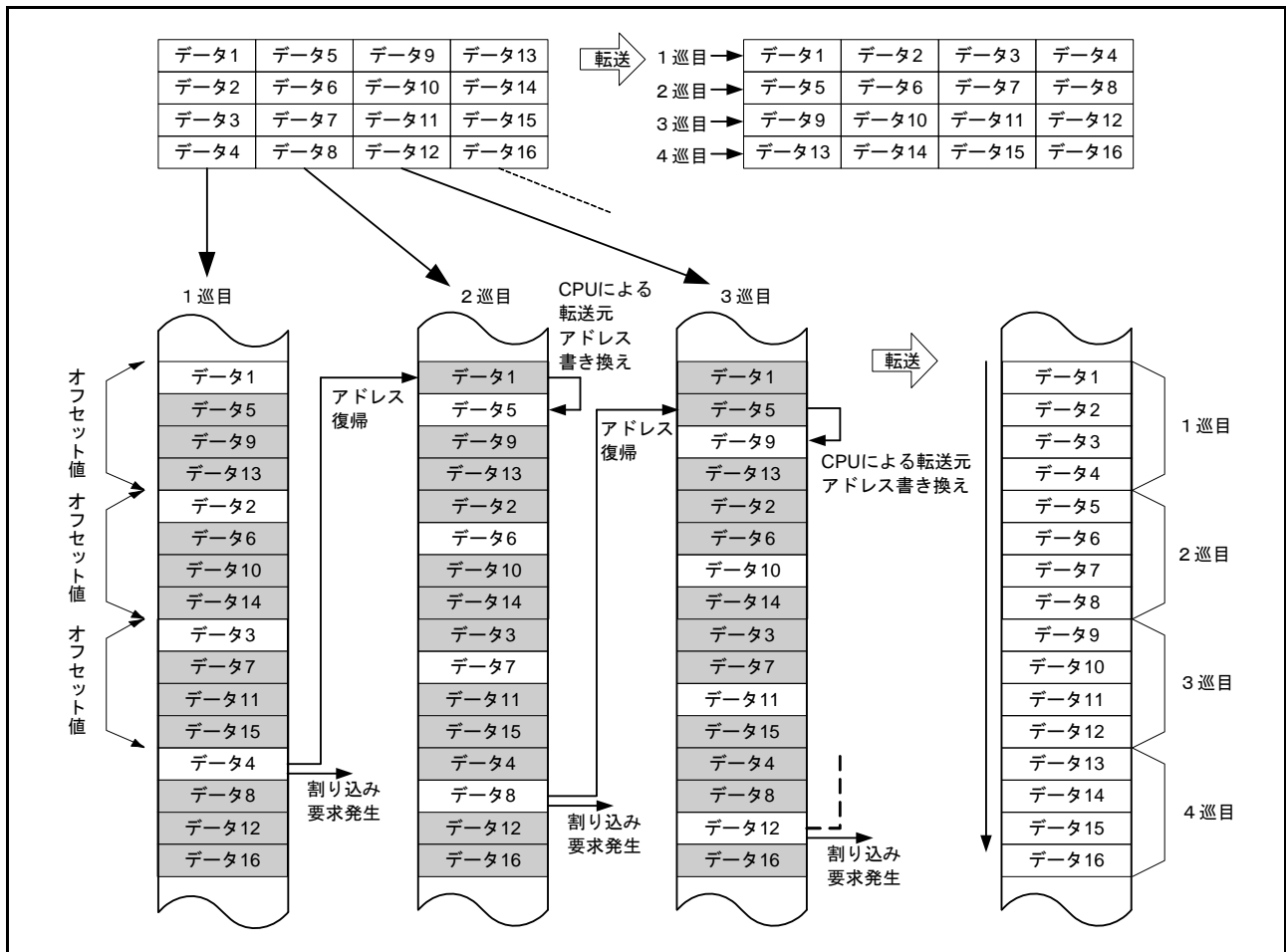


図 16.8 リピート転送モード+オフセット加算によるXY変換のときの動作

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。“データ4”までのデータが転送されると、リピートサイズ分のデータを転送したことになり、DMACは転送元のアドレスを転送開始時のアドレス（転送元“データ1”のアドレス）に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求により、いったん転送が中断します。割り込みで以下の処理を行ってください。

- DMAC0.DMSAR レジスタ：DMA 転送元アドレスを“データ5”のアドレスに書き換え
（上記の例では“データ1”のアドレスに4を加算した値に書き換え）
- DMAC0.DMCNT レジスタ：DTE ビットに“1”書き込み

DMA 転送が中断した状態から引き続き DMA 転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先に XY 変換されて転送されます。

図 16.9 に XY 変換の処理フローを示します。

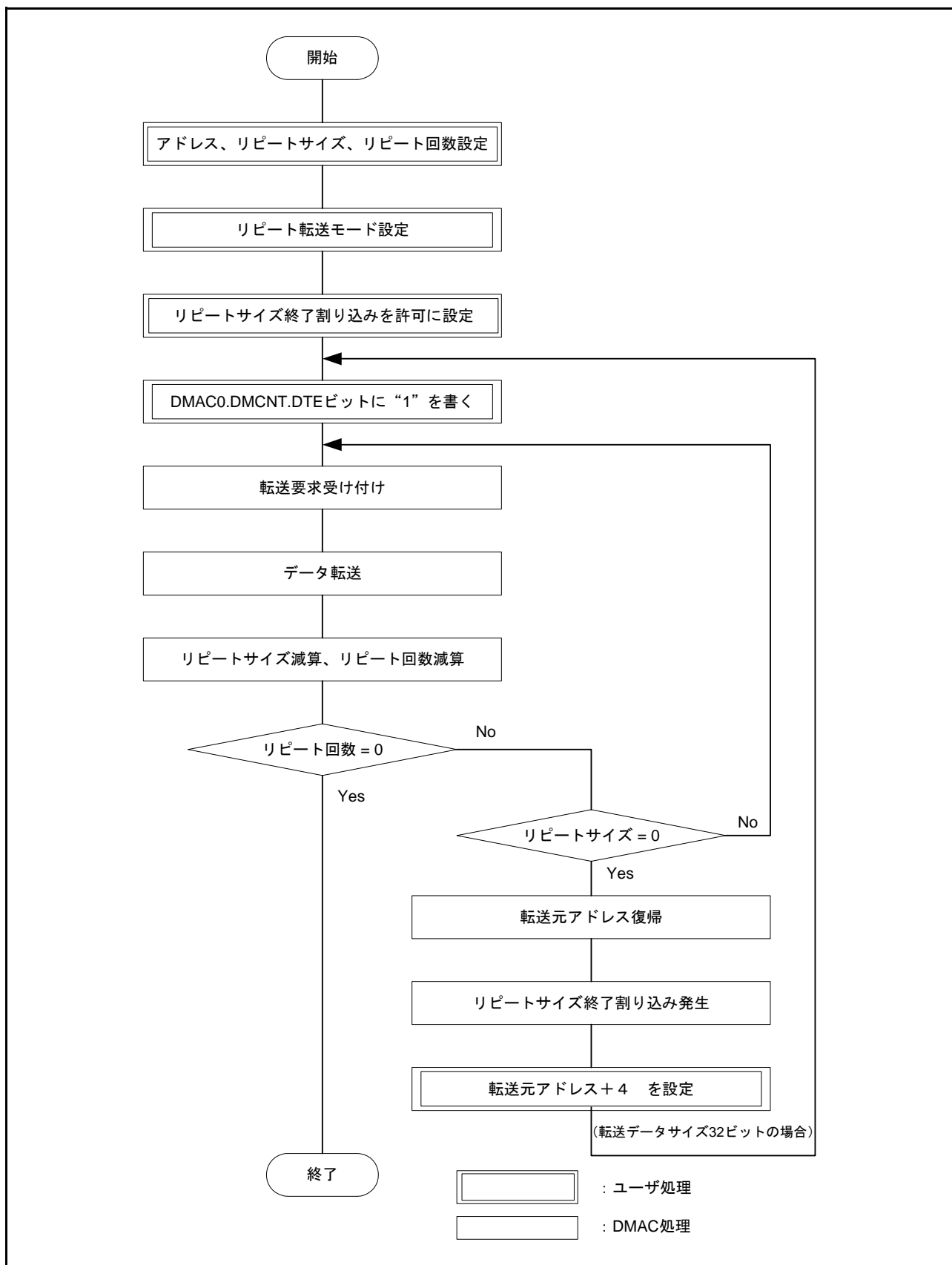


図 16.9 リピート転送モード + オフセット加算による XY 変換のフロー

16.3.4 起動要因

DMACの起動要因には、ソフトウェア、周辺モジュールからの割り込み要求、外部割り込み要求があります。これらの起動要因の選択はDMACm.DMTMD.DCTG[1:0]ビットで設定できます。

(1) ソフトウェアによる起動

DMACm.DMTMD.DCTG[1:0]ビットを“00b”にするとソフトウェアによる起動が可能となります。

ソフトウェアによる起動によりDMA転送を開始するには、DMACm.DMTMD.DCTG[1:0]ビットを“00b”にした後に、DMACm.DMCNT.DTEビットを“1”（DMA転送許可）にしてください。また、DMAST.DMSTビットを“1”（DMAC起動許可）にしてください。その後、DMACm.DMREQ.SWREQビットに“1”（DMA転送要求あり）を書くとDMA動作が開始します。

DMACm.DMREQ.CLRSビットが“0”でソフトウェア起動を行った場合、DMA転送要求に対する転送が開始されるとDMACm.DMREQ.SWREQビットが“0”になります。DMACm.DMREQ.CLRSビットが“1”でソフトウェア起動を行った場合は、転送を開始してもDMACm.DMREQ.SWREQビットは“0”になりません。要求に対する転送終了後、再びDMA転送要求が発生します。

(2) 周辺モジュール/外部割り込み要求による起動

周辺モジュールからの割り込み要求、または外部割り込み要求をDMA転送起動要因に指定することができます。起動要因の選択は割り込みコントローラ (ICU) のICU.DMRSRmレジスタ (m=0~3) で選択します。チャンネルごとに独立して設定可能です。

周辺モジュールからの割り込み要求、外部割り込み要求によりDMAを起動するには、DMACm.DMTMD.DCTG[1:0]ビットを“01b”（周辺モジュールおよび外部割り込み端子からの割り込み）にした後に、DMACm.DMCNT.DTEビットを“1”（DMA転送を許可）にしてください。また、DMAST.DMSTビットを“1”（DMAC起動を許可）にしてください。その後に割り込み要求が発生すると、DMA動作を開始します。

DMACの起動要因となる割り込み要因一覧は、「14. 割り込みコントローラ (ICUb)」の表 14.3 割り込みのベクタテーブルを参照してください。

16.3.5 動作タイミング

図 16.10、図 16.11 に DMAC の動作タイミングの例を示します。

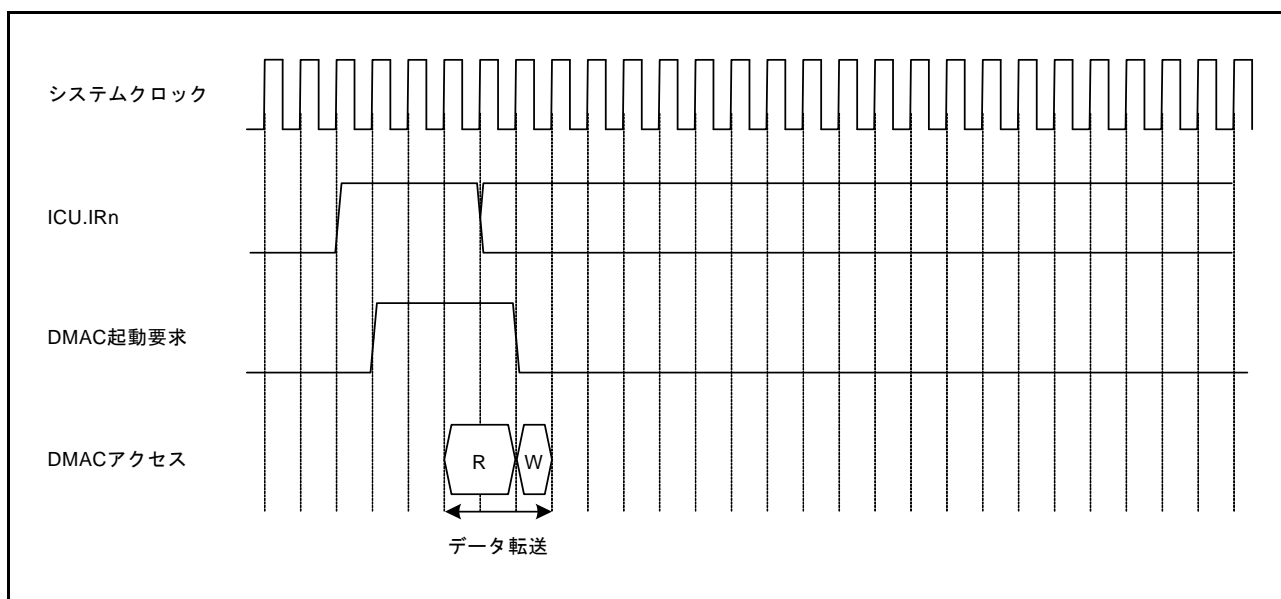


図 16.10 DMAC 動作タイミング例 (1) (周辺モジュール/外部割り込み入力端子からの割り込みによる DMA 起動、ノーマル転送モード、リピート転送モードの場合)

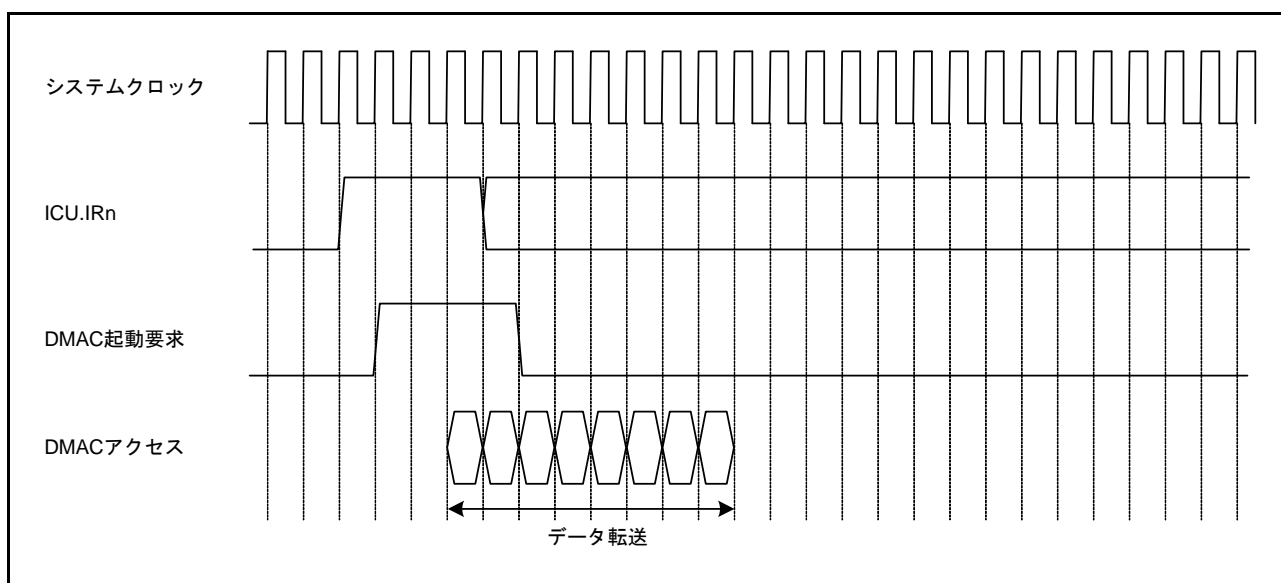


図 16.11 DMAC 動作タイミング例 (2) (周辺モジュール/外部割り込み入力端子からの割り込みによる DMA 起動、ブロック転送モード、ブロックサイズ=4 の場合)

16.3.6 DMACの実行サイクル

表 16.7 に DMAC の 1 回のデータ転送の実行状態を示します。

表 16.7 DMACの実行サイクル

転送モード	データ転送 (リード)	データ転送 (ライト)
ノーマル	Cr + 1	Cw
リピート	Cr + 1	Cw
ブロック (注1)	P × Cr	P × Cw

注1. ブロックサイズが2以上の場合です。ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

【記号説明】

P : ブロックサイズ (DMCRAH レジスタの設定値)

Cr : データリード先アクセスサイクル

Cw : データライト先アクセスサイクル

Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「39. RAM」、「40. ROM (コード格納用フラッシュメモリ)」、「5. I/O レジスタ」、「15.2.6 外部バス」を参照してください。

データ転送 (リード) の「+1」の単位はシステムクロック (ICLK) です。

動作例は「16.3.5 動作タイミング」を参照してください。

16.3.7 DMACの起動

図 16.12 にレジスタの設定手順を示します。



図 16.12 レジスタの設定手順

16.3.8 DMA 転送の開始

DMACm.DMCNT.DTE ビットを“1” (DMA 転送許可) にして、DMAST.DMST ビットを“1” (DMAC 起動許可) にすると、チャンネル m ($m=0\sim 3$) の DMA 転送が可能になります。

他の DMAC チャンネル、DTC の転送中は新たな起動要求は受け付けません。先行する転送が終了した時点で最も優先順位の高いチャンネルの DMA 転送要求が受け付けられ、DMA 転送を開始します。DMA 転送が開始すると、DMACm.DMSTS.ACT ビットが“1” (DMAC 動作中) になります。

16.3.9 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、DMACm.DMSAR、DMACm.DMDAR、DMACm.DMCRA、DMACm.DMCRB、DMACm.DMCNT、DMACm.DMSTS です。

(1) DMA 転送元アドレスレジスタ (DMACm.DMSAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は表 16.3 ~ 表 16.5 を参照してください。

(2) DMA 転送先アドレスレジスタ (DMACm.DMDAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は表 16.3 ~ 表 16.5 を参照してください。

(3) DMA 転送カウントレジスタ (DMACm.DMCRA)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は表 16.3 ~ 表 16.5 を参照してください。

(4) DMA ブロック転送カウントレジスタ (DMACm.DMCRB)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は表 16.3 ~ 表 16.5 を参照してください。

(5) DMA 転送許可ビット (DMACm.DMCNT.DTE)

DMACm.DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可 / 禁止を制御しますが、DMA 転送状態によって以下のいずれかの条件が成立した場合は、自動的に DMACm.DMCNT.DTE ビットが“0”になります。

- 設定の総転送データ数の転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバーフロー割り込み要求が発生し、転送が終了したとき

DMACm.DMCNT.DTE ビットが“1”になっているチャンネルのレジスタの書き込みは禁止です (DMACm.DMCNT レジスタを除く)。DMACm.DMCNT.DTE ビットに“0”を設定した状態で、各レジスタの設定を変更してください。

(6) DMA アクティブフラグ (DMACm.DMSTS.ACT ビット)

DMACm が停止中か動作中であることを示します。DMACm.DMSTS.ACT ビットは DMAC が転送動作を開始すると“1”にセットされ、1 転送要求に対するデータ転送を終了すると“0”になります。

DMA 転送中に DMACm.DMCNT.DTE ビットに“0”をライトし、DMA 転送を停止させた場合でも、DMA 転送が終了するまで“1”を保持します。

(7) 転送終了割り込みフラグ (DMACm.DMSTS.DTIF フラグ)

DMA 転送によって総転送サイズ分の転送を終了すると、DMACm.DMSTS.DTIF フラグは“1”にセットされます。

DMACm.DMSTS.DTIF フラグが“1”にセットされ、DMACm.DMINT.DTIE ビットが“1”にセットされていると転送終了割り込み要求が発生します。

DMACm.DMSTS.DTIF フラグが“1”にセットされるタイミングは、DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT ビットが“0”になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに“1”を書き込んだ場合、自動的に DMACm.DMSTS.DTIF フラグが“0”クリアされます。

(8) 転送エスケープ割り込みフラグ (DMACm.DMSTS.ESIF)

リピートサイズ終了割り込み、拡張リピートエリアオーバーフロー割り込み要求が発生したとき、DMACm.DMSTS.ESIF フラグは“1”にセットされます。DMACm.DMSTS.ESIF フラグが“1”にセットされ、DMACm.DMINT.ESIE ビットが“1”にセットされていると転送エスケープ割り込み要求が発生します。

DMACm.DMSTS.ESIF フラグに“1”がセットされるタイミングは、割り込み要求が発生させる要因になった DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT フラグが“0”になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに“1”を書き込んだ場合、自動的に DMACm.DMSTS.ESIF フラグが“0”にクリアされます。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

16.3.10 チャネルの優先順位

DMAC は複数の DMA 転送要求があるとき、DMA 転送要求のあるチャネルの優先順位を判断します。チャネルの優先順位は、チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3 の順で固定です。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送終了後にチャネル調停を行ない、優先順位の高いチャネルの転送が開始されます。

16.4 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMACm.DMCNT.DTE ビットと DMACm.DMSTS.ACT フラグが“1”から“0”になり、DMA 転送が終了したことを示します。

16.4.1 設定した総データ転送による転送終了

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] = 00b) のとき

DMACm.DMCRAL レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に転送終了割り込み要求が発生します。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] = 01b) のとき

DMACm.DMCRB レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] = 10b) のとき

DMACm.DMCRB レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

16.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMACm.DMINT.RPTIE ビットが“1”にセットされているときに、1 リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求が発生します。割り込み要求の発生により DMA 転送を終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.ESIF フラグが“1”にセットされます。このとき DMACm.DMINT.ESIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。またこの状態から DMACm.DMCNT.DTE ビットを“1”にセットすると転送を再開させることができます。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に、同様にリピートサイズ終了割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

16.4.3 拡張リピートエリアオーバフロー割り込みによる転送終了

拡張リピートエリアを指定し、DMACm.DMINT.SARIE ビットまたは DMACm.DMINT.DARIE ビットが“1”にセットされているときに、アドレスの拡張リピートエリアがオーバフローすると、拡張リピートエリアオーバフロー割り込み要求が発生します。割り込み要求の発生により DMA 転送は終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.ESIF フラグが“1”にセットされます。このとき DMACm.DMINT.ESIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

リードサイクル中に拡張リピートエリアオーバフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1 ブロック分の転送中に拡張リピートエリアオーバフロー割り込み要求が発生しても、1 ブロック分の転送は実行されます。拡張リピートエリアオーバフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

16.5 割り込み

DMACはチャンネルごとに、1要求分の転送完了後にCPUまたはDTCに割り込み要求を出力させることができます。転送先が外部バス、または内部周辺バスの場合、実転送先への書き込み完了ではなく、ライトバッファへの書き込みが完了した時点で、割り込み要求を発行します。

割り込みの要因、フラグ、許可ビットの関係を表16.8に、割り込み出力の概略論理図を図16.13に示します。また、DMAC割り込み処理で、DMA転送を再開/中止する手順を図16.14に示します。

表16.8 割り込みの要因、フラグ、許可ビットの関係

割り込み要因		許可ビット	ステータスフラグ	要求出力許可
転送終了		—	DMACm.DMSTS.DTIF	DMACm.DMINT.DTIE
エスケープ 転送終了	リピートサイズ終了	DMACm.DMINT.RPTIE	DMACm.DMSTS.ESIF	DMACm.DMINT.ESIE
	転送元アドレス拡張リピート エリアオーバーフロー	DMACm.DMINT.SARIE		
	転送先アドレス拡張リピート エリアオーバーフロー	DMACm.DMINT.DARIE		

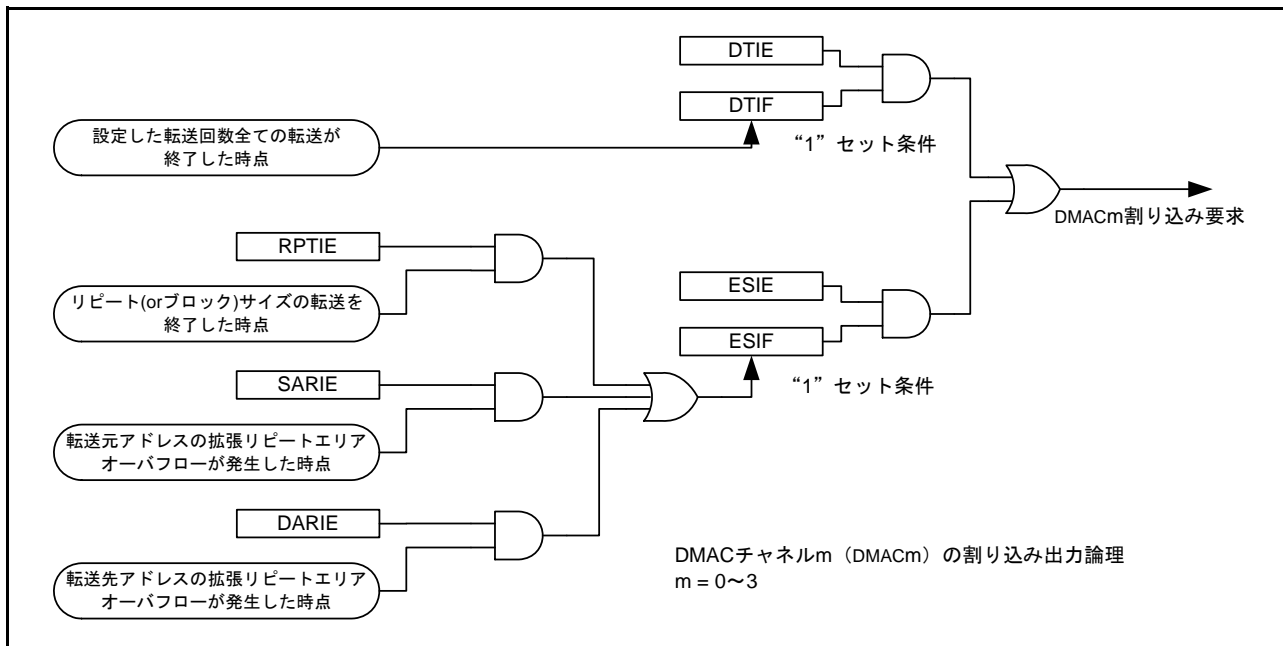


図16.13 割り込み出力の概略論理図

割り込み処理ルーチンで、割り込みを解除して DMA 転送を再開する方法は、DMA 転送を終了または中止させるときと、転送を継続させる場合で異なります。

(1) DMA 転送を終了または中止させる場合

転送終了割り込みの場合は DMACm.DMSTS.DTIF フラグに、リポートサイズ割り込みおよび拡張リポートエリアオーバーフロー割り込みの場合は DMACm.DMSTS.ESIF フラグに“0”を書いてください。割り込み要因がクリアされます。DMACm は停止状態を保ちます。その後新たな DMA 転送を行う場合は、必要なレジスタに設定値を書き込み、DMACm.DMCNT.DTE ビットに“1” (DMA 転送許可) を書き込んでください。

(2) DMA 転送を継続させる場合

DMACm.DMCNT.DTE ビットに“1”を書き込んでください。自動的に DMACm.DMSTS.ESIF フラグが“0”にクリア (割り込み要因がクリア) され、転送が再開します。

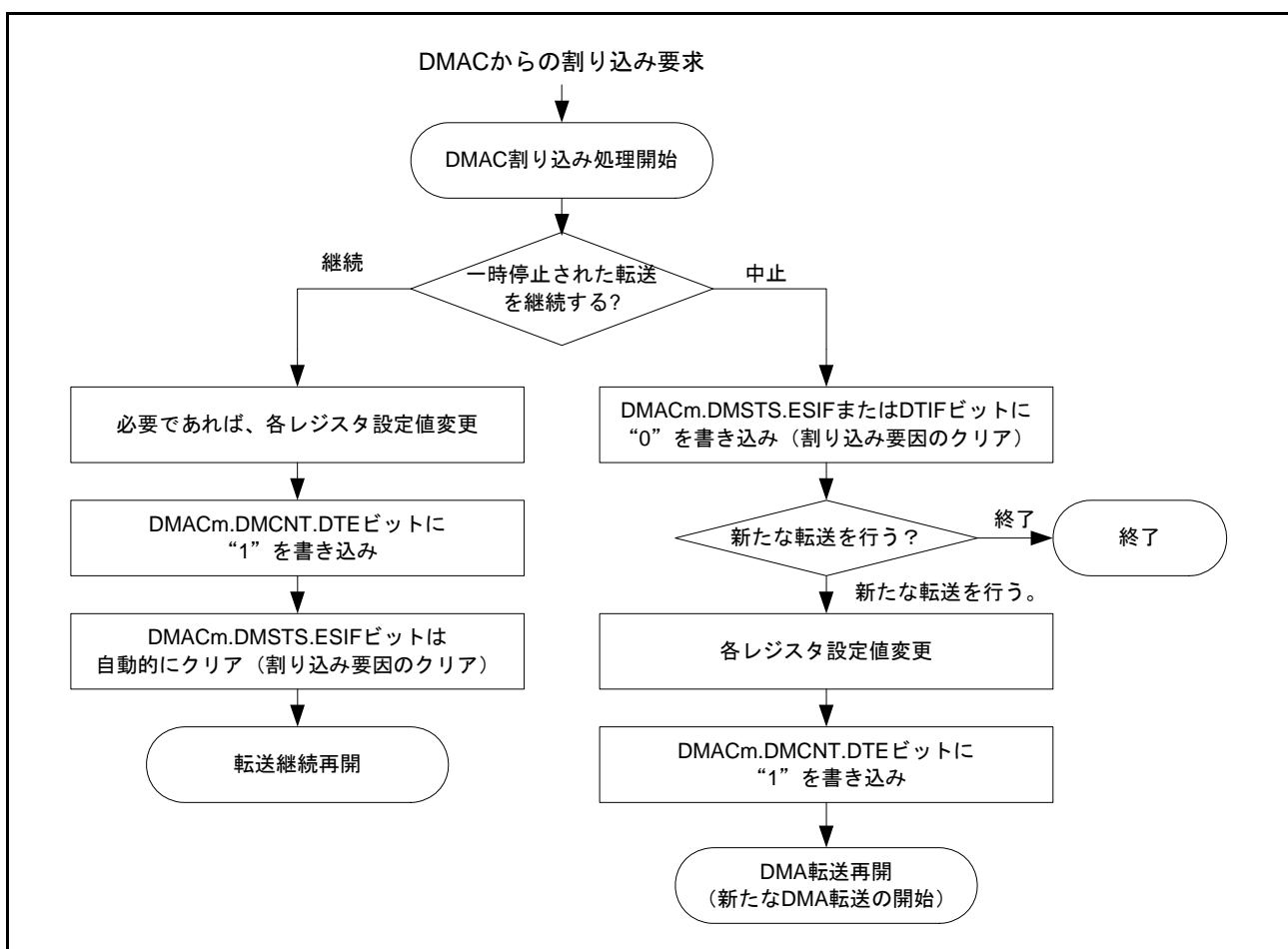


図 16.14 DMAC 割り込み処理で DMA 転送を再開/中止する手順

16.6 イベントリンク機能

各 DMAC チャンネルは、1 回のデータ転送後 (ブロックの場合は 1 ブロック転送後)、イベントリンク要求を出力します。ただし、転送先が外部バスまたは内部周辺バスの場合、ライトバッファへの書き込みが受け付けられた時点で、イベントリンク要求を発行します。

16.7 消費電力低減機能

モジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DMAST.DMST ビットに“0” (DMAC モジュール停止) を書いた後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1” (モジュールストップ状態への遷移) を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1” を書いたときに DMA 転送動作中の場合、DMA 転送の終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1” のとき、DMAC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0” (モジュールストップ状態の解除) を書くことにより、DMAC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

「11. 消費電力低減機能」の「11.6.2.1 全モジュールクロックストップモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合は、DMA 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに“0” を書くことにより、DMAC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの移行」、もしくは「11.6.4.1 ディープソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合、DMA 転送終了後にソフトウェアスタンバイモード、もしくはディープソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「11. 消費電力低減機能」の「11.7.6 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットに“1” を書いてください。

全モジュールクロックストップモード期間、ソフトウェアスタンバイモード期間に発生した要求を DMAC 起動でなく CPU 割り込みとする場合は、「14. 割り込みコントローラ (ICUb)」の「14.4.3 割り込み要求先の選択」の設定方法にそって、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

16.8 使用上の注意事項

16.8.1 外部デバイスを使用する場合

外部デバイスへの DMA 転送では、最後のデータライトが開始されてから外部バスアクセスが終了する前に、DMACm.DMSTS.ACT フラグが“0” (DMAC 停止中) になることがあります。

16.8.2 周辺モジュールへ DMA 転送する場合

周辺モジュールへの DMA 転送では、最後のデータライトが開始されてから周辺バスアクセスが終了する前に、DMACm.DMSTS.ACT フラグが“0” (DMAC 停止中) になることがあります。

16.8.3 DMA 動作中のレジスタアクセスについて

DMACm.DMSTS.ACT フラグが“1” (DMAC 動作中)、または DMACm.DMCNT.DTE ビットが“1” (DMA 転送許可) の状態で、同じチャンネルの設定レジスタ (DMSAR、DMDAR、DMCRA、DMCRB、DMTMD、DMINT、DMAMD、DMOFR、DMCSL) へのアクセスは行わないでください。

16.8.4 予約領域への DMA 転送について

予約領域への DMA 転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域についての詳細は「4. アドレス空間」を参照してください。

16.8.5 DMA 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの割り込み要求について

DMACm.DMCSL.DISEL ビットを“1”に設定すると、1回の DMA 起動要求に対する転送が終了する度に CPU へ割り込み要求を発生させることができます。このとき発生する割り込みは、DMAC が出力する転送終了割り込み、エスケープ終了割り込みとは異なり、DMAC の起動要因となった割り込みフラグを DMA 転送終了時に“0”クリアせずに割り込み要求先を CPU に切り替えることにより、CPU への割り込み要求が発生します。割り込みフラグは、CPU 割り込み受け付け時にクリアされます。

割り込みフラグ、割り込み要求先変更については、「14. 割り込みコントローラ (ICUb)」を参照してください。また、DMACm.DMCSL.DISEL ビットの設定は、「16.2.12 DMA 起動要因フラグ制御レジスタ (DMCSL)」を参照してください。

16.8.6 割り込みコントローラの DMAC 起動要求レジスタ (ICU.DMRSRm) の設定

DMAC 起動要求レジスタ (ICU.DMRSRm) の設定は、DMA 転送許可ビット (DMACm.DMCNT.DTE ビット) が“0” (DMA 転送を禁止) のときに行なってください。また、ICU.DMRSRm レジスタで設定したベクタ番号と同じベクタ番号に対応する DTC 起動許可レジスタ (ICU.DTCERn) を“1”にしないでください。ICU.DTCERn、ICU.DMRSRm レジスタの詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

16.8.7 DMA 起動の保留 / 再開方法

DMA 起動要求を保留する場合は、起動要因の割り込み許可ビット (ICU.IERn.IENj ビット) を“0”にしてください。DMA 転送を再開する場合は「16.3.7 DMAC の起動」を設定した状態で、ICU.IERn.IENj ビットを“1”にしてください。

17. データトランスファコントローラ (DTCa)

RX210 グループは、データトランスファコントローラ (DTC) を内蔵しています。
DTC は、割り込み要求によって起動し、データ転送を行うことができます。

17.1 概要

表 17.1 に DTC の仕様を、図 17.1 に DTC のブロック図を示します。

表 17.1 DTCの仕様

項目	内容
転送モード	<ul style="list-style-type: none"> ノーマル転送モード 1回の起動で1データ転送する リピート転送モード 1回の起動で1データ転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピートサイズは最大256データ設定可能 ブロック転送モード 1回の起動で1ブロックのデータを転送する ブロックサイズは最大256データ設定可能
転送チャンネル	<ul style="list-style-type: none"> 割り込み要因に対応するチャンネルの転送が可能 (ICUからのDTC起動要求で転送) 1つの起動要因に対して複数のデータ転送が可能 (チェーン転送) チェーン転送は「カウンタ=0のとき実施」/「毎回実施」のいずれかを選択可能
転送空間	<ul style="list-style-type: none"> ショートアドレスモードのとき16Mバイト (0000 0000h~007F FFFFhとFF80 0000h~FFFF FFFFhのうち、予約領域以外の領域) フルアドレスモードのとき4Gバイト (0000 0000h~FFFF FFFFhのうち、予約領域以外の領域)
データ転送単位	<ul style="list-style-type: none"> 1データのビット長: 8ビット、16ビット、32ビット 1ブロックサイズのデータ数: 1~256データ
CPU割り込み要求	<ul style="list-style-type: none"> DTCを起動した割り込みでCPUへの割り込み要求を発生可能 1回のデータ転送終了後にCPUへの割り込み要求を発生可能 指定したデータ数のデータ転送終了後にCPUへの割り込み要求を発生可能
イベントリンク機能	1回のデータ転送後 (ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを指定可能
ライトバックスキップ	転送元アドレス固定の場合、または転送先アドレス固定の場合、ライトバックスキップを実行可能
消費電力低減機能	モジュールストップ状態への設定が可能

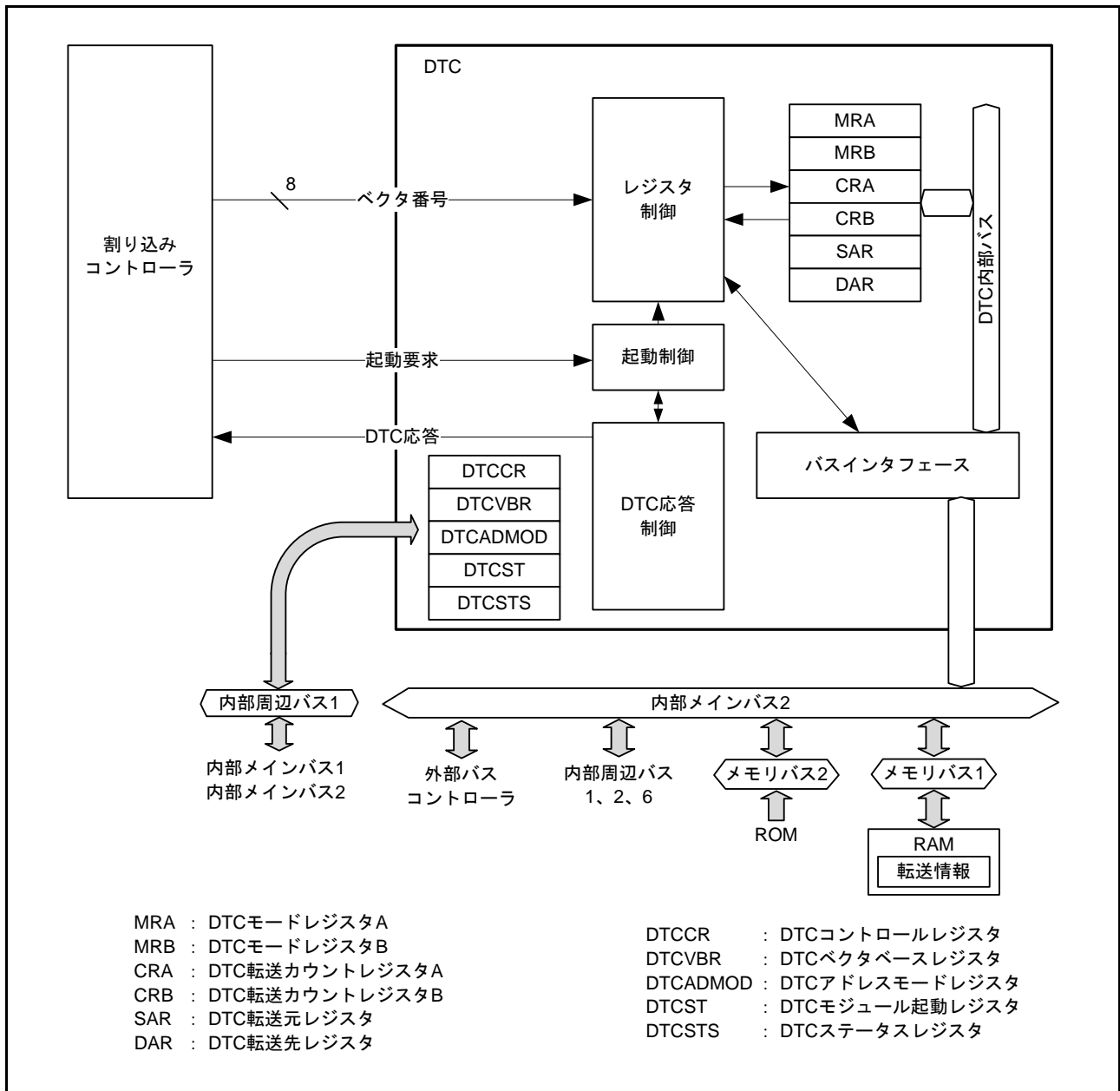


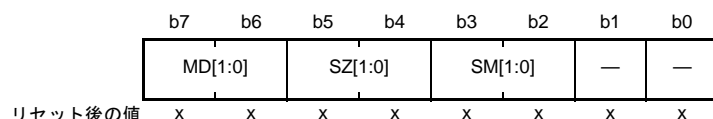
図 17.1 DTC のブロック図

17.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB レジスタはDTCの内部レジスタです。CPUから直接アクセスすることはできません。これら内部レジスタの設定値はRAM領域に転送情報として配置します。DTCは起動要求が発生すると、RAM領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、DTCの内部レジスタは転送情報としてRAM領域にライトバックされます。

17.2.1 DTC モードレジスタ A (MRA)

アドレス (CPUから直接アクセス不可)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 0 0: SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 0 1: SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 1 0: 転送後SARレジスタをインクリメント (SZ[1:0]ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1: 転送後SARレジスタをデクリメント (SZ[1:0]ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4)	—
b5-b4	SZ[1:0]	DTCデータトランスファサイズビット	b5 b4 0 0: 8ビット (バイト) 転送 0 1: 16ビット (ワード) 転送 1 0: 32ビット (ロングワード) 転送 1 1: 設定しないでください	—
b7-b6	MD[1:0]	DTC転送モード選択ビット	b7 b6 0 0: ノーマル転送モード 0 1: リピート転送モード 1 0: ブロック転送モード 1 1: 設定しないでください	—

MRA レジスタは、DTC の動作モードの選択を行うレジスタです。

MRA レジスタは、CPU から直接アクセスすることはできません。

SM[1:0] ビット (転送元アドレスアドレッシングモードビット)

データ転送後の SAR レジスタの動作を指定します。

SZ[1:0] ビット (DTC データトランスファサイズビット)

転送データのサイズを指定します。

MD[1:0] ビット (DTC 転送モード選択ビット)

DTC の転送モードを指定します。

17.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可)

b7	b6	b5	b4	b3	b2	b1	b0
CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—	

リセット後の値 x x x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモードビット	b3 b2 0 0 : DARレジスタはアドレス固定 (DARレジスタのライトバックはスキップされます) 0 1 : DARレジスタはアドレス固定 (DARレジスタのライトバックはスキップされます) 1 0 : 転送後、DARレジスタをインクリメント (MAR.SZ[1:0]ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1 : 転送後DARレジスタをデクリメント (MAR.SZ[1:0]ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4)	—
b4	DTS	DTC転送モード選択ビット	0 : 転送先がリピート領域またはブロック領域 1 : 転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC割り込み選択ビット	0 : 指定されたデータ転送終了時、CPUへの割り込みが発生 1 : DTCデータ転送のたびに、CPUへの割り込みが発生	—
b6	CHNS	DTCチェーン転送選択ビット	0 : 連続してチェーン転送を行う 1 : 転送カウンタが1→0、または1→CRAHとなったとき、 チェーン転送を行う	—
b7	CHNE	DTCチェーン転送許可ビット	0 : チェーン転送禁止 1 : チェーン転送許可	—

MRB レジスタは、DTC の動作モードを選択するレジスタです。

MRB レジスタは、CPU から直接アクセスすることはできません。

DM[1:0] ビット (転送先アドレスアドレッシングモードビット)

データ転送後の DAR レジスタの動作を指定します。

DTS ビット (DTC 転送モード選択ビット)

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域とするかを指定します。

DISEL ビット (DTC 割り込み選択ビット)

DTC データ転送のたびに CPU への割り込み要求を発生させるのか、データ転送を終了したときだけ CPU への割り込み要求を発生させるのかを指定します。

CHNS ビット (DTC チェーン転送選択ビット)

チェーン転送の条件を選択します。

CHNE ビットが“0”のときは CHNS ビットの設定は無視されます。チェーン転送が選択される条件の詳細は、「表 17.3 チェーン転送の条件」を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPU への割り込み要求は発生しません。

CHNE ビット (DTC チェーン転送許可ビット)

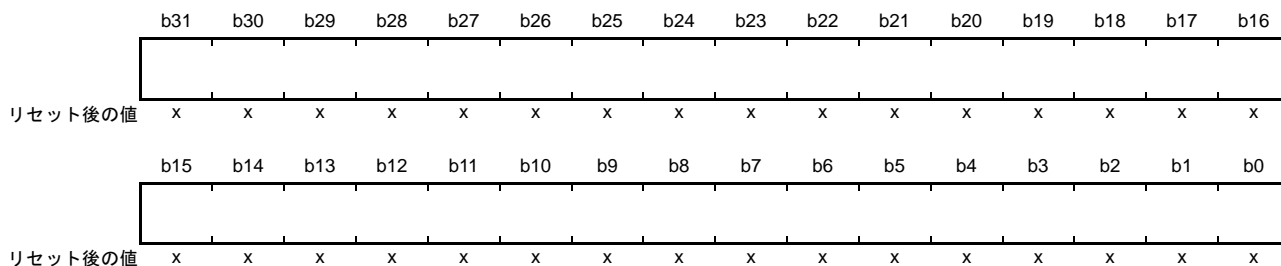
チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。

チェーン転送の詳細は、「17.4.6 チェーン転送」を参照してください。

17.2.3 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可)



x : 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。

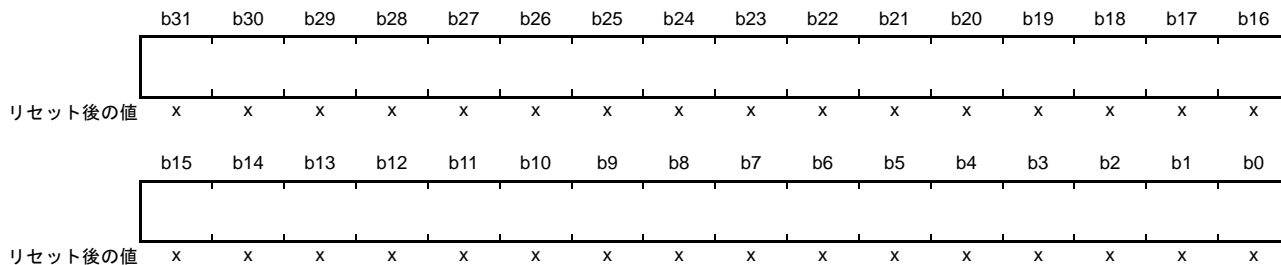
フルアドレスモードでは 32 ビット有効です。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31~b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

17.2.4 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可)



x : 不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビット有効です。

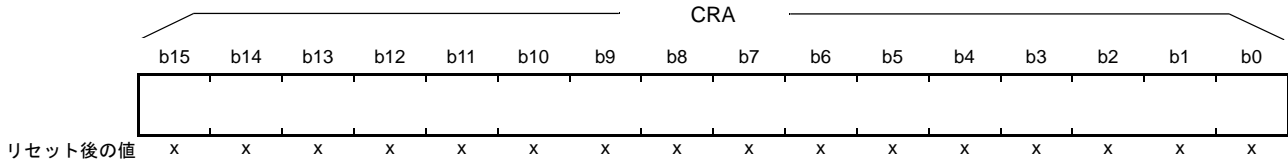
ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31~b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

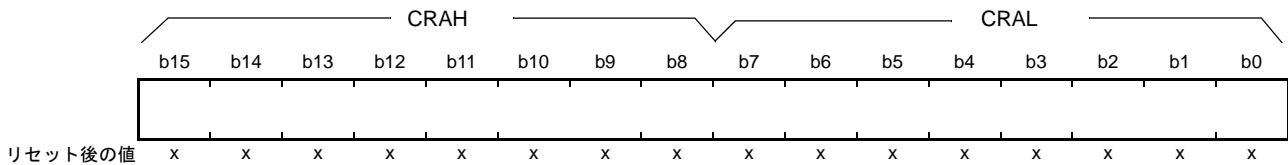
17.2.5 DTC 転送カウンタレジスタ A (CRA)

アドレス (CPUから直接アクセス不可)

・ノーマル転送モード



・リピート転送モード、ブロック転送モード



x: 不定

注. 転送モードによって機能が異なります。

シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタ A 下位レジスタ	転送回数を設定する	—
CRAH	転送カウンタ A 上位レジスタ		—

注. リピート転送モード時およびブロック転送モード時は、CRAH、CRALレジスタには同じ値を設定してください。

CRA レジスタは DTC の転送回数を指定するレジスタです。

転送モードによって機能が異なります。

CRA レジスタは CPU から直接アクセスすることはできません。

(1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = “00b”)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回、“0000h” のときは 65536 回となります。

1 回のデータ転送を行うたびにデクリメント (−1) します。

(2) リピート転送モードの場合 (MRA.MD[1:0] ビット = “01b”)

CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (−1) され、“00h” になると CRAH レジスタの値が転送されます。

(3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = “10b”)

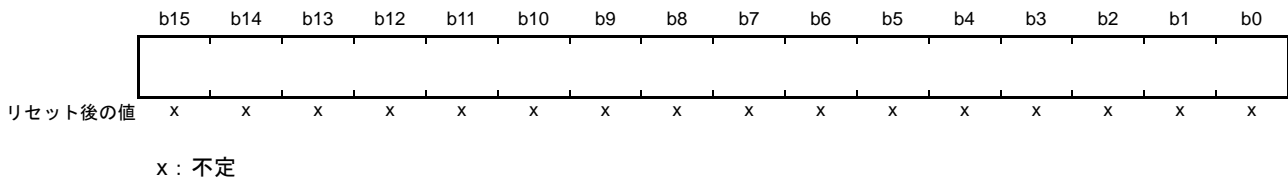
CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (−1) され、“00h” になると CRAH レジスタの値が転送されます。

17.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可)



CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。

転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。

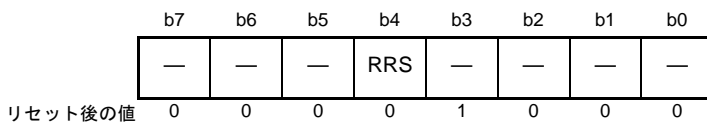
1ブロックサイズの最終データ転送時にデクリメント (-1) されます。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。

CRB レジスタは、CPU から直接アクセスすることはできません。

17.2.7 DTC コントロールレジスタ (DTCCR)

アドレス 0008 2400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC転送情報リードスキップ許可ビット	0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCCR レジスタは、DTC を制御するレジスタです。

RRS ビット (DTC 転送情報リードスキップ許可ビット)

DTC ベクタ番号は、常に前回起動のベクタ番号と比較されます。

ベクタ番号が一致し RRS ビットが“1”のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

また、前回の転送が、ノーマル転送で転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。

17.2.8 DTC ベクタベースレジスタ (DTCVBR)

アドレス 0008 2404h

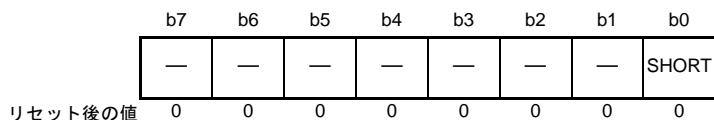


ビット	ビット名	機能	R/W
b11-b0	DTC ベクタベースアドレス (下位12ビット)	読むと“0”が読めます。書く場合、“0”としてください	R
b31-b12	DTC ベクタベースアドレス (上位20ビット)	上位4ビット (b31~b28) への書き込みは無視され、b27で指定した値で拡張されます	R/W

DTCVBR レジスタは、DTC ベクタテーブルアドレス算出時のベースアドレスを設定するレジスタです。0000 0000h ~ 07FF F000h、および F800 0000h ~ FFFF F000h の範囲で、4K バイト単位で設定可能です。

17.2.9 DTC アドレスモードレジスタ (DTCADMOD)

アドレス 0008 2408h



ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット	0: フルアドレスモード 1: ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCADMOD レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

SHORT ビット (ショートアドレスモード設定ビット)

フルアドレスモードでは、4G バイト空間 (00000000h ~ FFFFFFFFh) のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間 (00000000h ~ 007FFFFFFFh と FF800000h ~ FFFFFFFFh) のアクセスが可能です。

17.2.10 DTC モジュール起動レジスタ (DTCST)

アドレス 0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCST ビット (DTC モジュール起動ビット)

DTC を転送要求受け付け可能とするためには、DTCST ビットを“1”にしてください。DTCST ビットを“0”にすると新たな転送要求を受け付けません。

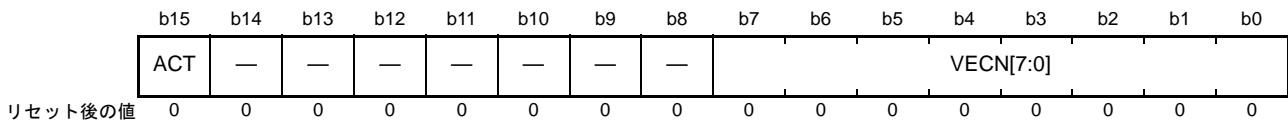
動作中に“0”に書き換えた場合、受け付け済みの転送要求は処理が終わるまで動作します。

モジュールストップ機能、および全モジュールクロックストップモード、またはソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST ビットを“0”にしてください。

モジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへの移行については「17.9 消費電力低減機能」、および「11. 消費電力低減機能」を参照してください。

17.2.11 DTC ステータスレジスタ (DTCSTS)

アドレス 0008 240Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTCアクティブベクタ番号 モニタビット	DTC転送動作中にその起動要因をベクタ番号で示します DTC転送動作中 (ACTフラグが“1”のとき) にのみ有効値を示し ます	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ACT	DTCアクティブフラグ	0 : DTC転送動作なし 1 : DTC転送動作中	R

VECN[7:0] ビット (DTC アクティブベクタ番号モニタビット)

DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが“1” (DTC 転送動作中) であれば、読み出された VECN[7:0] は有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが“0” (DTC 転送動作なし) であれば、読み出された VECN[7:0] は無効値です。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUb)」の「表 14.3 割り込みのベクタテーブル」を参照してください。

ACT フラグ (DTC アクティブフラグ)

DTC の転送動作状態を示します。

[“1”になる条件]

- 転送要求に対して DTC が起動したとき

[“0”になる条件]

- 1回の転送要求に対する DTC 動作が終了したとき

17.3 起動要因

DTC は割り込み要求によって起動します。DTC を起動する割り込みに対応する割り込みコントローラ (ICU) の DTCERn.DTCE ビット (n = 割り込みベクタ番号) を“1”にすると DTC 起動要因となります。

DTC 起動要因とベクタアドレスの関係は、「表 14.3 割り込みのベクタテーブル」を参照してください。また、ソフトウェア起動については、「14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)」を参照してください。

DTC が一度、起動要求を受け付けると、その 1 要求分の転送が終わるまでは、優先順位に関わりなく新たな起動要求を受け付けません。DMAC/DTC 転送中に複数の起動要因が発生した場合、その転送が終わった時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が“0”の状態に複数の起動要求が発生した場合、その後、DTCST.DTCST ビットを“1”にした時点で最も優先順位の高い要求が受け付けられます。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) を行うごとに、DTC は以下の動作を行います。

- 指定した総転送数の最終終了時は、データ転送後に DTCERn.DTCE ビットを“0”にして CPU に割り込みを要求します。
- MRB.DISEL ビットが“1”のときは、データ転送後に CPU に割り込みを要求します。
- 上記のいずれでもない場合は、データ転送開始時に起動要因となった割り込みステータスフラグを“0”にします。

17.3.1 転送情報の配置と DTC ベクタテーブル

DTC は起動要因別にベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報を読みます。

ベクタテーブルのベースアドレス (先頭アドレス) は下位 12 ビットが“0”になるように配置してください。DTC ベクタベースレジスタ (DTCVBR) に DTC ベクタテーブルのベースアドレスを設定してください。

転送情報は、RAM 領域に配置します。ベクタ番号 n の転送情報 (n) の先頭アドレスは、ベクタテーブルのベースアドレスに対し、+4n 番地としてください。

転送情報は、ショートアドレスモード (3 ロングワード)、フルアドレスモード (4 ロングワード) のいずれかで配置できます。DTCADM.SHORT ビットで、ショートアドレスモード (SHORT ビット = 1)、フルアドレスモード (SHORT ビット = 0) の設定を行います。

DTC ベクタテーブルと転送情報の対応を図 17.2 に示します。

RAM 領域上の転送情報の配置を図 17.3 に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は、「17.10.2 転送情報の配置」を参照してください。

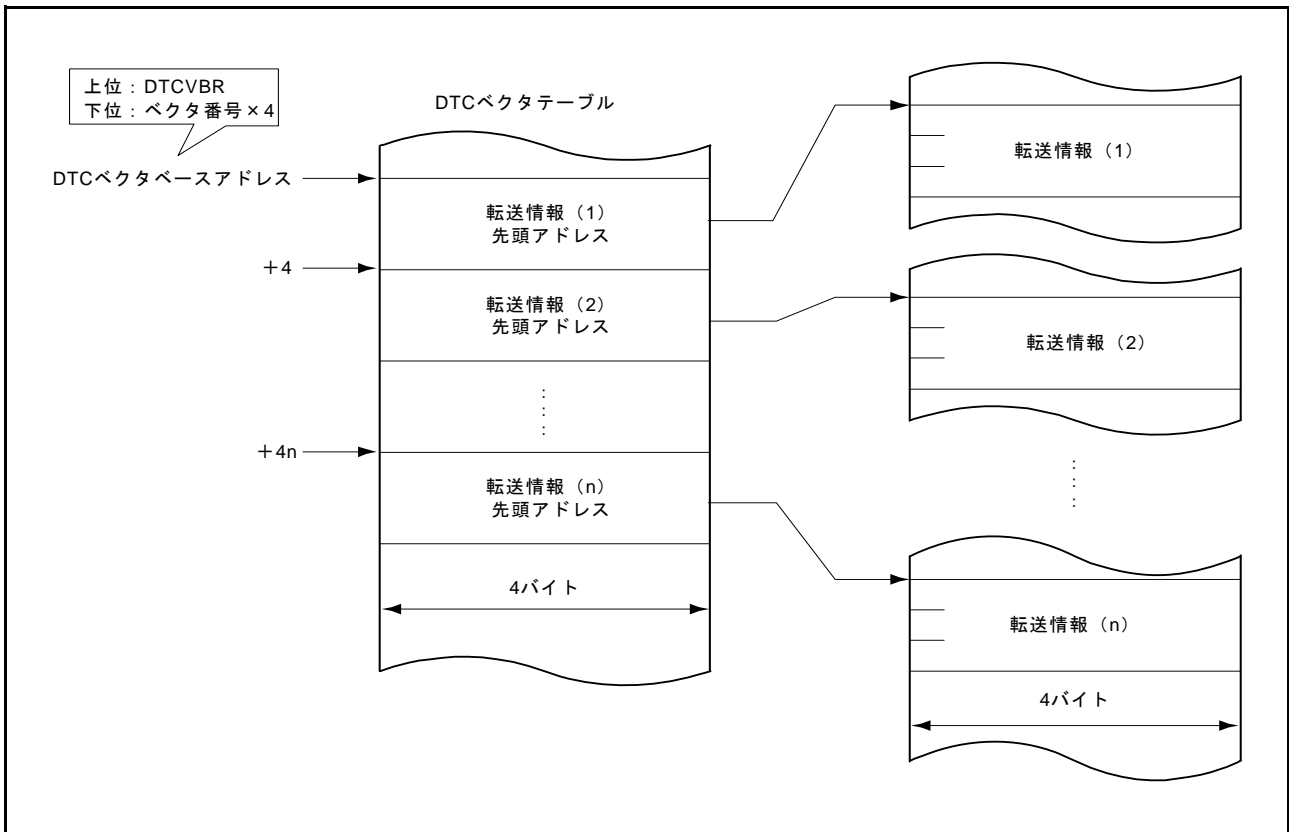


図 17.2 DTC ベクタテーブルと転送情報の対応

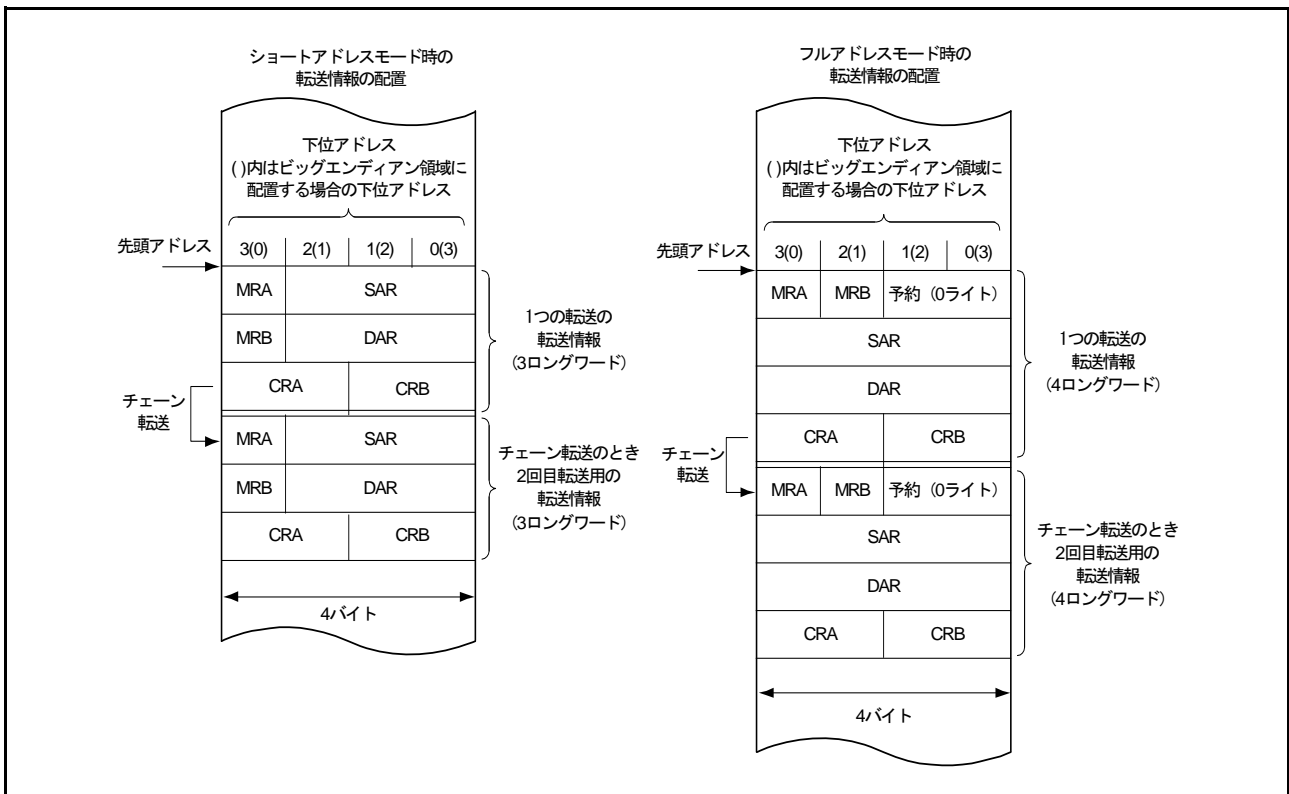


図 17.3 RAM 領域上の転送情報の配置

17.4 動作説明

DTC は、転送情報を元にデータを転送します。DTC を動作させるためには、あらかじめ転送情報を RAM 領域に格納しておく必要があります。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読みます。次に DTC ベクタが示す転送情報格納アドレスから転送情報を読んでデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報を RAM 領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、転送後個々にインクリメント、デクリメント、あるいはアドレス固定になります。

DTC の転送モードを表 17.2 に示します。

表 17.2 DTC の転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト/ワード/ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード (注1)	1バイト/ワード/ロングワード	1、2または4増減あるいはアドレス固定	1～256回 (注3)
ブロック転送モード (注2)	CRAH レジスタで指定したブロックサイズ (1～256 バイト/ワード/ロングワード)	1、2または4増減あるいはアドレス固定	1～65536回

注1. 転送元または転送先のいずれかをリピート領域に設定

注2. 転送元または転送先のいずれかをブロック領域に設定

注3. 指定回数の転送終了後は、初期状態を回復し動作を継続 (リピート) する。

また、MRB.CHNE ビットを“1”にしておくことにより、1つの起動要因で複数の転送を行うことができます (チェーン転送)。MRB.CHNS ビットの設定で、指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

DTC 動作フローチャートを図 17.4 に示します。チェーン転送の条件を表 17.3 に示します。

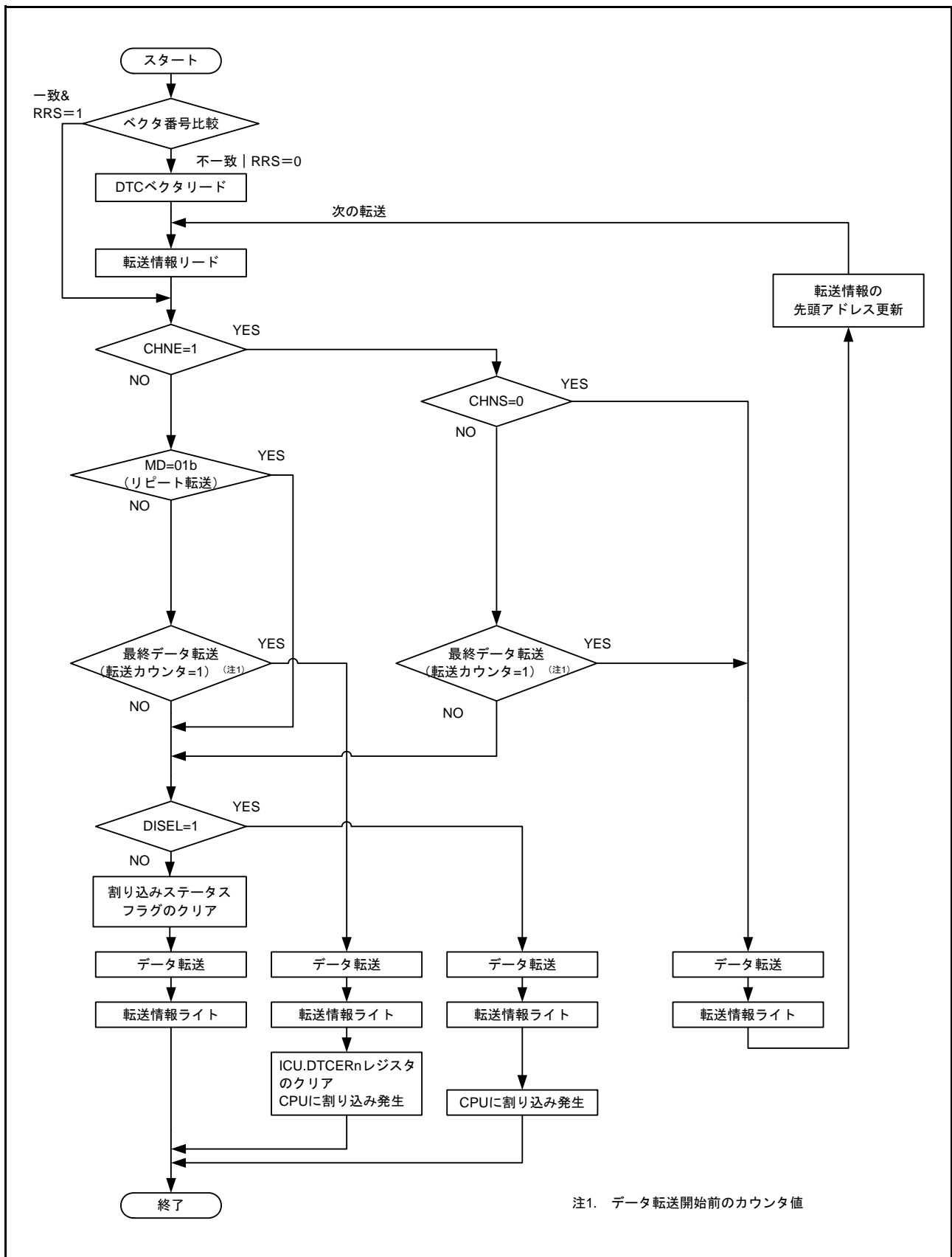


図 17.4 DTC 動作フローチャート

表 17.3 チェーン転送の条件

第1の転送				第2の転送 (注3)				DTC転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	
0	—	0	(1→0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1→0)	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	0	(1→*) 以外	—	—	—	—	第1転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	1	(1→*) 以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

- 注1. 転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。
 ノーマル転送モード：CRAレジスタ、リピート転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ
- 注2. 転送終了時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは(1→0)、リピート転送モードでは(1→CRAH)となります。表中の(1→*)はこの両方を指しています。
- 注3. 第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNEビットが“1”の組み合わせを省略しています。

17.4.1 転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、ベクタアドレスのリードと転送情報のリードをスキップすることができます。

DTC 起動要求時、今回起動の DTC ベクタ番号と前回起動の DTC ベクタ番号は常に比較されます。比較結果が一致し、RRS ビットが“1”のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を行います。前回の起動がチェーン転送のときは、ベクタアドレスのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が 0 になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が 0 になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を図 17.13 に示します。

DTC ベクタテーブルと転送情報を更新する場合には、一度 RRS ビットを“0”にして、DTC ベクタテーブルと転送情報を更新した後、RRS ビットを設定してください。RRS ビットを“0”にすると、保持されていたベクタ番号は破棄され、次回の起動時に更新された DTC ベクタテーブルおよび転送情報がリードされます。

17.4.2 転送情報ライトバックスキップ機能

MRA.SM[1:0] ビット、またはMRB.DM[1:0] ビットをアドレス固定に設定すると、転送情報の一部はライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを表 17.4 に示します。

なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。また、フルアドレスモードでは、MRA レジスタ、MRB レジスタはライトバックスキップされます。

表 17.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット		SARレジスタ	DARレジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

17.4.3 ノーマル転送モード

1つの起動要因で、1バイト、1ワード、1ロングワードの転送を行います。転送回数は1～65536です。転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表17.5に、ノーマル転送モードのメモリマップを図17.5に示します。

表17.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)
CRA	転送カウンタA	CRA - 1
CRB	転送カウンタB	更新されない

注1. アドレス固定のときはライトバックはスキップされます。

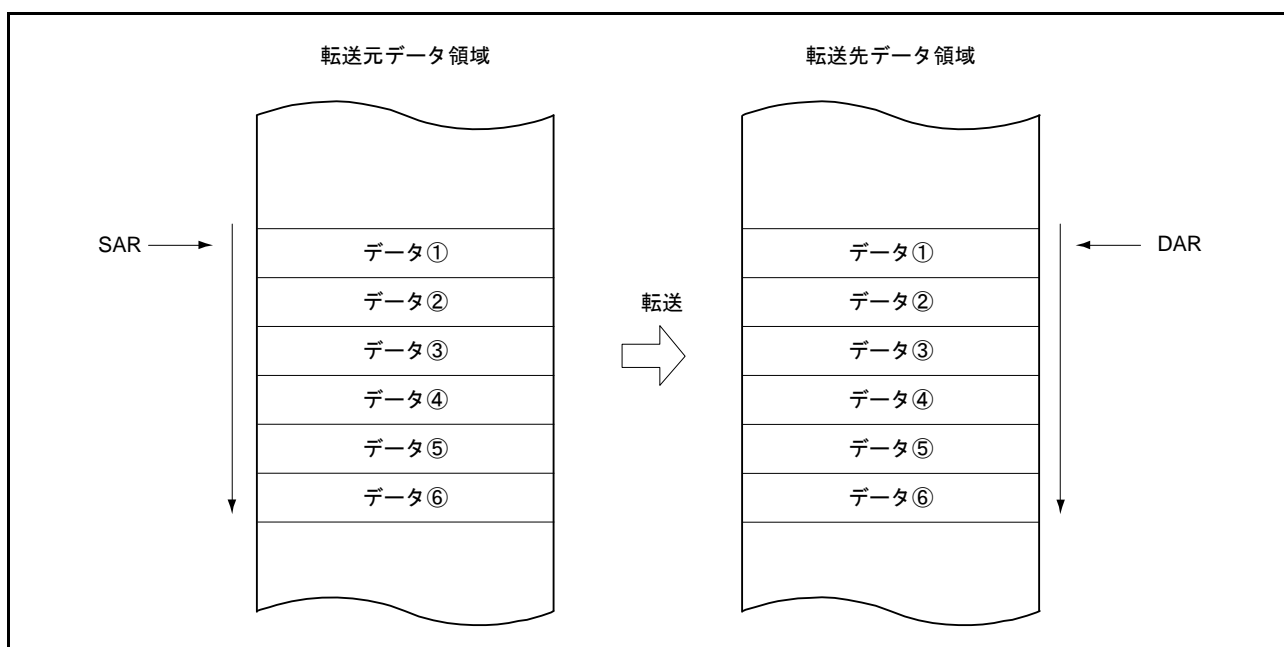


図17.5 ノーマル転送モードのメモリマップ

17.4.4 リピート転送モード

1つの起動要因で、1バイト、1ワードまたは1ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は1～256まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが“00h”になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは“00h”にならないので、MRB.DISEL ビットが“0”（指定されたデータ転送終了時、CPU への割り込みが発生）のときに CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 17.6 に、リピート転送モードのメモリマップを図 17.6 に示します。

表 17.6 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値	
		CRALが1以外のとき	CRALが1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTS ビット = “0” のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTS ビット = “1” のとき) SAR レジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTS ビット = “0” のとき) DAR レジスタの初期値 (MRB.DTS ビット = “1” のとき) インクリメント/デクリメント/固定 (注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL - 1	CRAH
CRB	転送カウンタ B	更新されない	更新されない

注1. アドレス固定のときは、ライトバックはスキップされます。

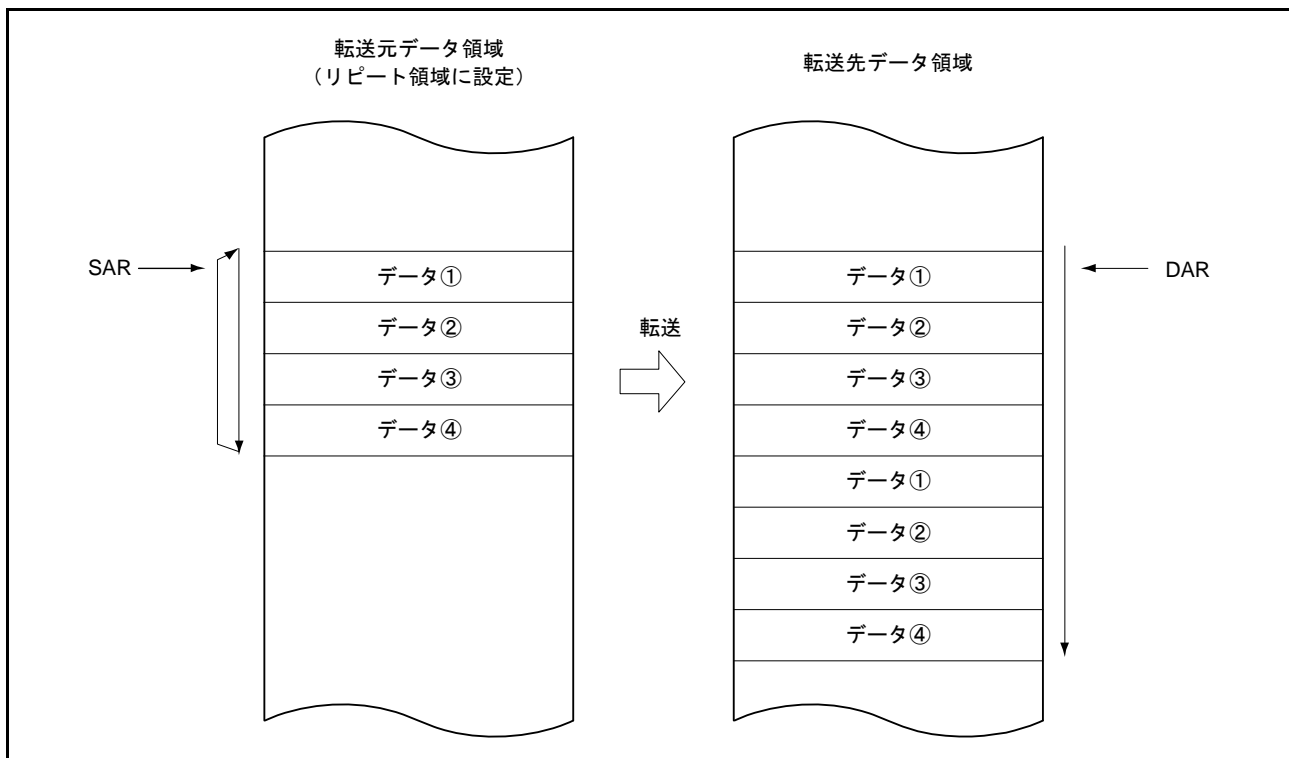


図 17.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合)

17.4.5 ブロック転送モード

1つの起動要因で、1ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは1～256バイト（または1～256ワード、1～256ロングワード）の指定が可能です。

指定された1ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ（MRB.DTS ビットが“1”のとき SAR レジスタ、DTS ビットが“0”のとき DAR レジスタ）の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

転送回数（ブロック回数）は、1～65536まで指定可能です。指定回数のブロック転送が終了すると、CPUへの割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表 17.7 に、ブロック転送モードのメモリマップを図 17.7 に示します。

表 17.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値
SAR	転送元アドレス	(MRB.DTS ビット = “0” のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTS ビット = “1” のとき) SAR レジスタの初期値
DAR	転送先アドレス	(MRB.DTS ビット = “0” のとき) DAR レジスタの初期値 (MRB.DTS ビット = “1” のとき) インクリメント/デクリメント/固定 (注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB-1

注1. アドレス固定のときは、ライトバックはスキップされます。

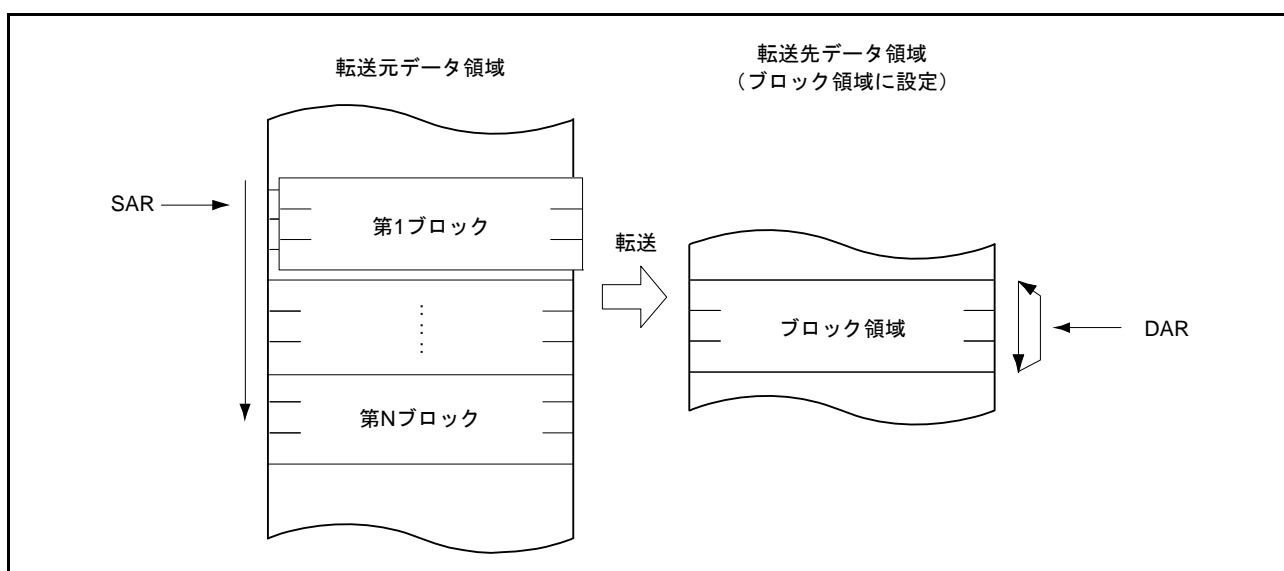


図 17.7 ブロック転送モードのメモリマップ（転送先をブロック領域に指定した場合）

17.4.6 チェーン転送

MRB.CHNE ビットを“1”にするとチェーン転送ができます。チェーン転送は、1つの起動要因で複数のデータ転送を行います。

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“0”にした場合、指定した転送回数の終了によるCPUへの割り込み要求や、MRB.DISEL ビット=“1” (DTC データ転送のたびに、CPUに割り込み要求を発生) によるCPUへの割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグに影響を与えません。

データ転送を定義するSAR、DAR、CRA、CRB、およびMRA、MRBレジスタはそれぞれ個別に設定できます。図17.8にチェーン転送の動作を示します。

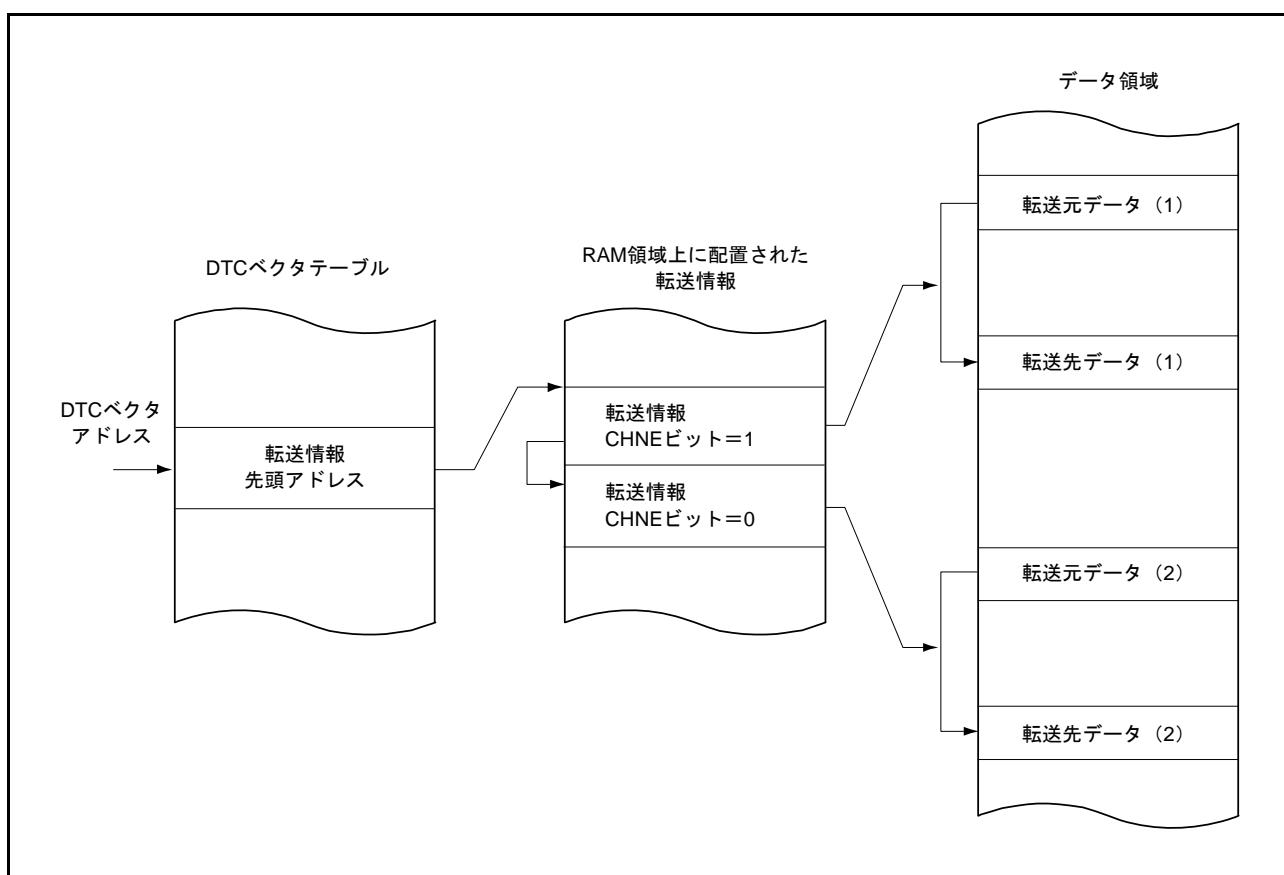


図 17.8 チェーン転送の動作

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“1”にした場合、指定されたデータ転送終了時のみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送終了時にチェーン転送を行います。

チェーン転送の条件の詳細については、表 17.3 のチェーン転送の条件を参照してください。

17.4.7 動作タイミング

DTC の動作タイミングの例を図 17.9 ~ 図 17.13 に示します。

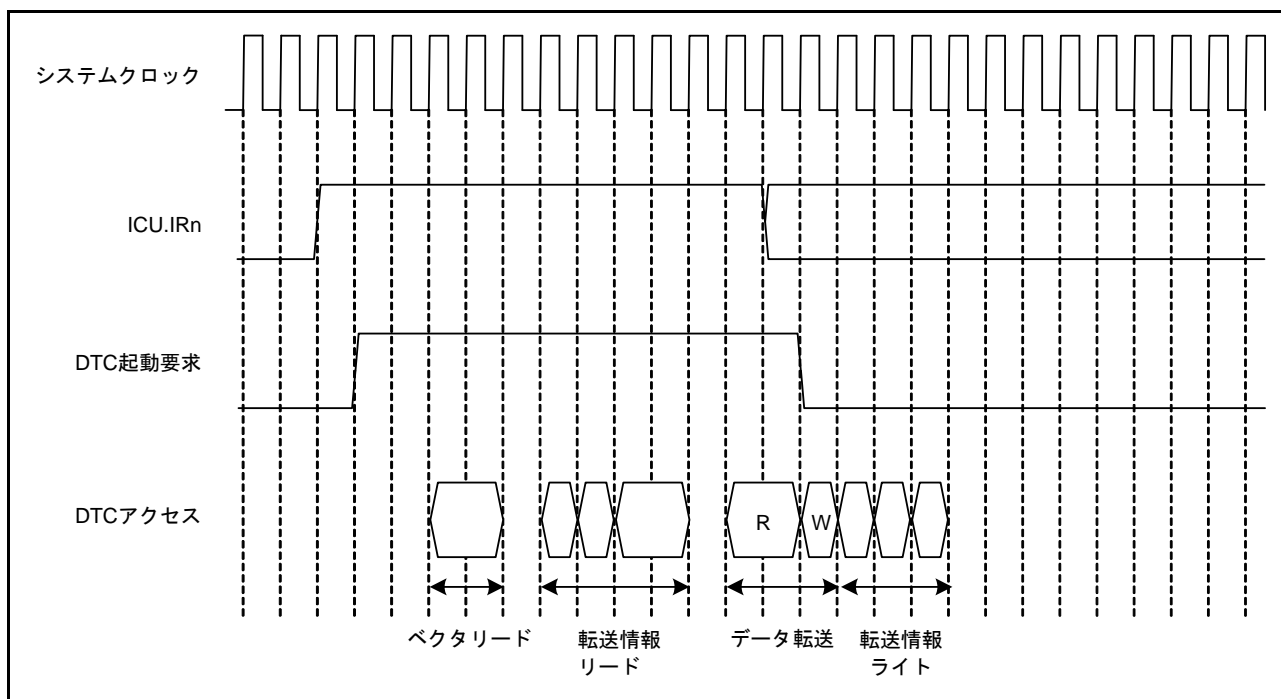


図 17.9 DTC 動作タイミング例 (1)
(ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合)

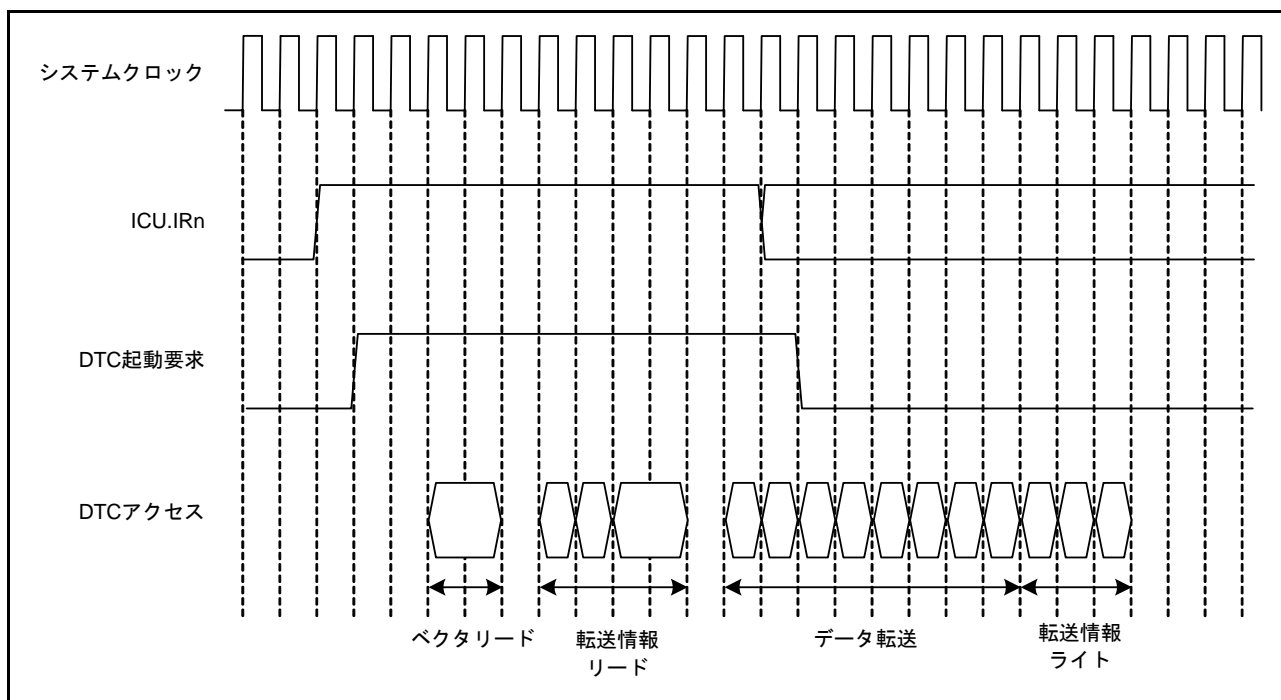


図 17.10 DTC 動作タイミング例 (2)
(ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合)

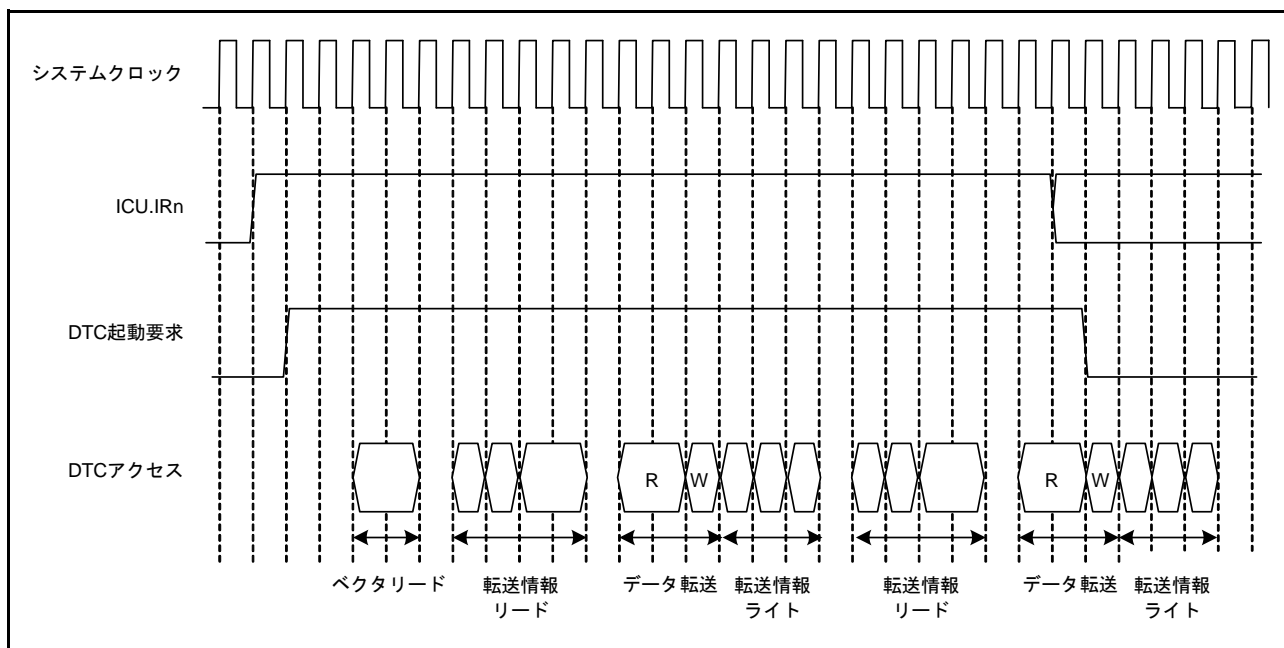


図 17.11 DTC 動作タイミング例 (3) (ショートアドレスモード、チェーン転送の場合)

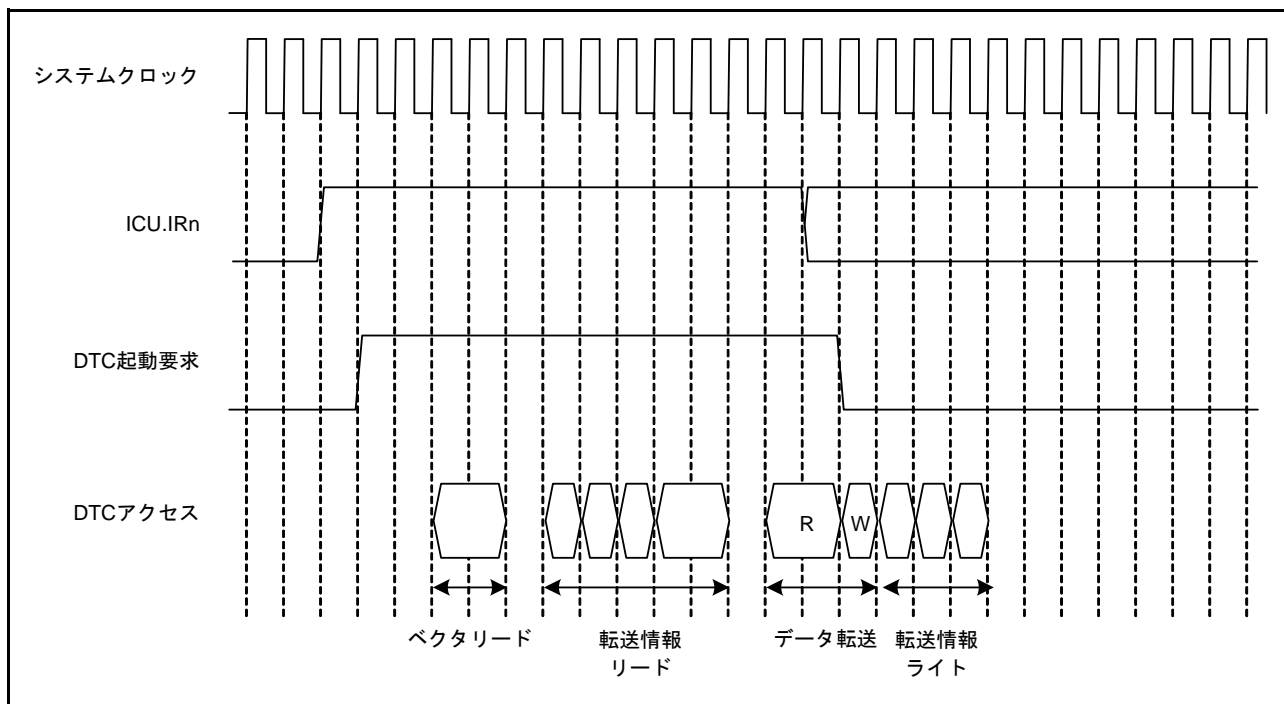


図 17.12 DTC 動作タイミング例 (4)
(フルアドレスモード、ノーマル転送モード、リピート転送モードの場合)

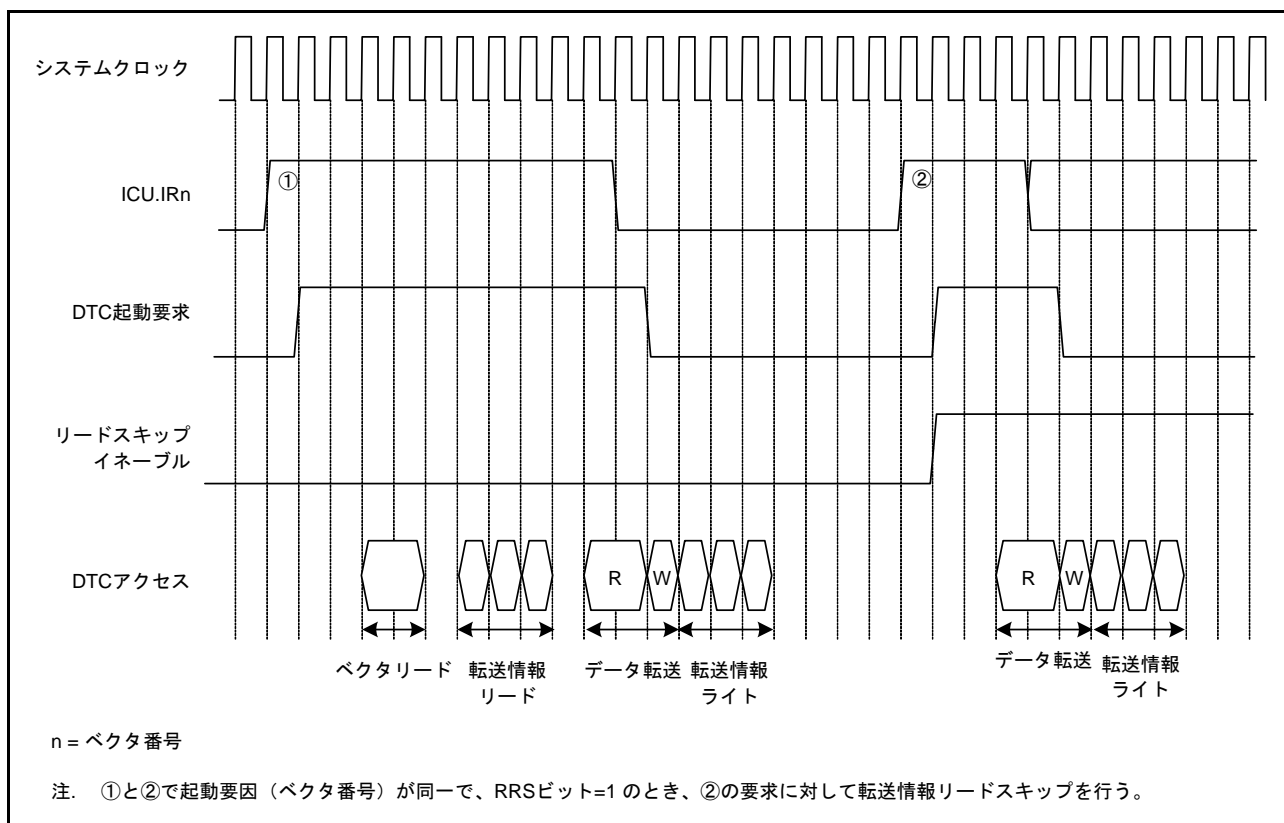


図 17.13 転送情報スキップ時の動作例
 (ベクタ、転送情報、転送先が RAM、転送元は周辺モジュールの場合)

17.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 17.8 に示します。

各処理状態の実施順序は、「17.4.7 動作タイミング」を参照してください。

表 17.8 DTC の実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データ転送		内部動作	
									リード	ライト		
ノーマル	Cv+1	0 (注1)	4xCi+1 (注2)	3xCi+1 (注3)	0 (注1)	3xCi (注4)	2xCi (注5)	Ci (注6)	Cr+1	Cw	2	0 (注1)
リピート									Cr+1	Cw		
ブロック (注7)									PxCr	PxCw		

- 注1. 転送情報スキップのとき
 注2. フルアドレスモード動作のとき
 注3. ショートアドレスモード動作のとき
 注4. SARレジスタ、DARレジスタがともにアドレス固定でないとき
 注5. SARレジスタ、またはDARレジスタがアドレス固定のとき
 注6. SARレジスタとDARレジスタがともにアドレス固定のとき
 注7. ブロックサイズが2以上の場合は、ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

【記号説明】

P：ブロックサイズ (CRAH、CRAL レジスタの設定値)

Cv：ベクタ転送情報格納先アクセスサイクル

Ci：転送情報格納先アドレスアクセスサイクル

Cr：データリード先アクセスサイクル

Cw：データライト先アクセスサイクル

(ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック (ICLK) です。)

(Cv、Ci、Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「39. RAM」、「40. ROM (コード格納用フラッシュメモリ)」、「5. I/O レジスタ」、「15.2.6 外部バス」を参照してください。)

17.4.9 DTC のバス権解放タイミング

DTC は、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。

バス調停については、「15. バス」を参照してください。

17.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。

図 17.14 に DTC の起動に必要な設定手順を示します。

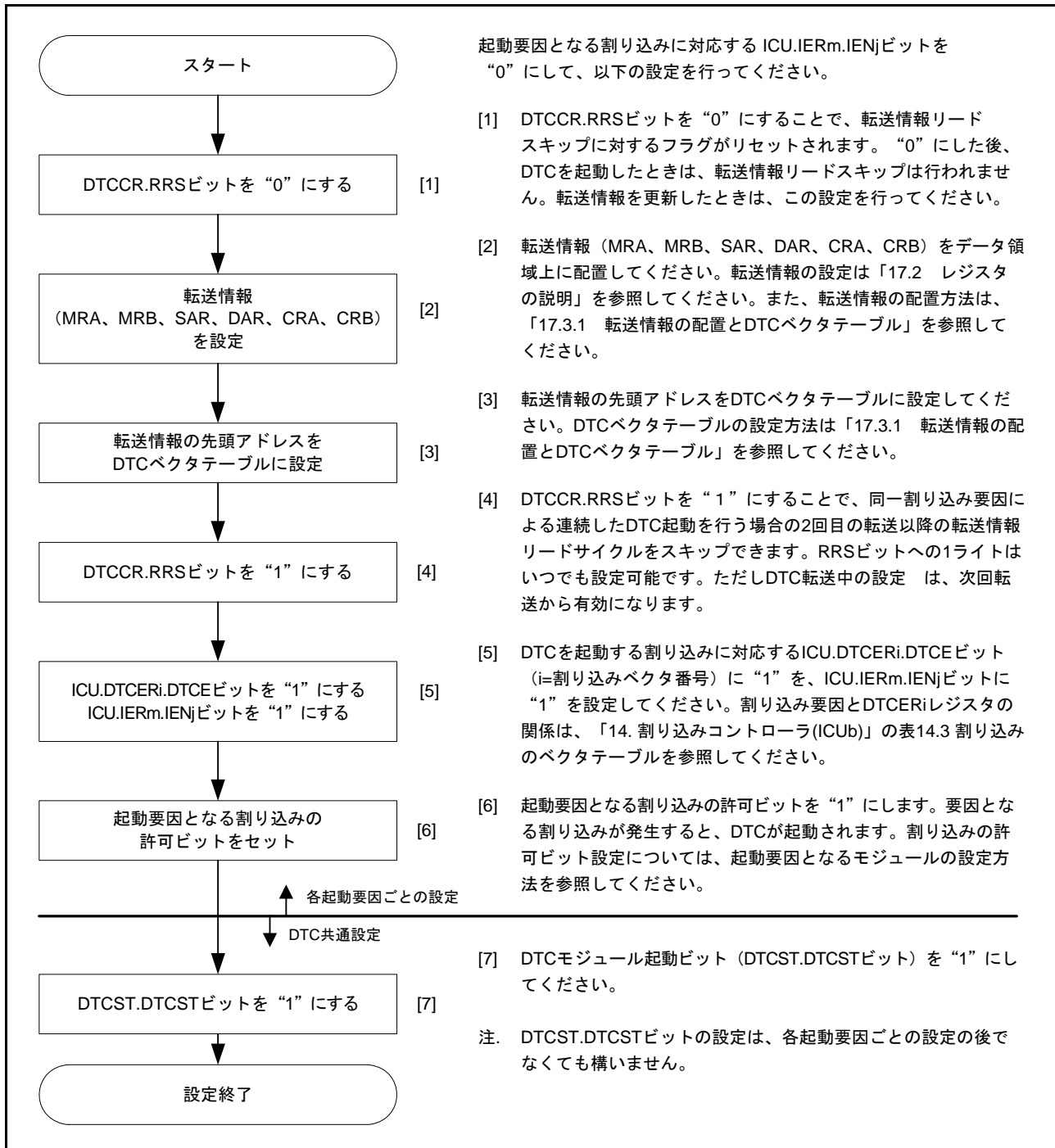


図 17.14 DTC の設定手順

17.6 DTC 使用例

17.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] ビット = “00b”)、ノーマル転送モード (MRA.MD[1:0] ビット = “00b”)、バイトサイズ (MRA.SZ[1:0] ビット = “00b”) を設定します。MRB レジスタは、転送先アドレスインクリメント (MRB.DM[1:0] ビット = “10b”)、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE ビット = “0”、MRB.DISEL ビット = “0”) を行います。MRB.DTS ビットは、任意の値とすることができます。SAR レジスタには SCIm.RDR レジスタ (m = 0 ~ 12) のアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128 (“0080h”) を設定します。CRB レジスタは、任意の値とすることができます。

(2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動

対応する ICU.DTCERi.DTCE ビットを “1” に、ICU.IERi.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定

SCIm.SCR.RIE ビットを “1” にして、受信完了 (RXI) 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送

SCI の 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動されます。DTC によって、受信データが SCIm.RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理

128 回のデータ転送終了後、CRA レジスタが “0” になると、CPU に RXI 割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

17.6.2 カウンタ = 0 のときのチェーン転送

カウンタが0になったときのみ第2のデータ転送を行い、第1のデータ転送の再設定を行うことによって、転送回数が256回以上のリピート転送を行うことができます。

128Kバイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレス“0000h”から始まるように設定するものとします。カウンタ=0のときのチェーン転送を図17.15に示します。

- (1) 第1のデータ転送として、入力データ用のノーマル転送モードを設定します。転送元アドレスは固定、CRAレジスタ=“0000h” (65536回)、MRB.CHNEビット=“1” (チェーン転送許可)、MRB.CHNSビット=“1” (転送カウンタ=0のときのみチェーン転送を行う)、MRB.DISELビット=“0” (指定されたデータ転送終了時、CPUへの割り込みが発生)としてください。
- (2) 第1のデータ転送の転送先アドレスの65536回ごとの先頭アドレスの上位8ビットアドレスを別の領域 (ROMなど) に用意してください。たとえば、入力バッファを“200000h”～“21FFFFh”とするときには、“21h”、“20h”を用意します。
- (3) 第2のデータ転送として、第1のデータ転送の転送先アドレス再設定用のリピート転送モード (転送元をリピート領域) とします。転送先は第1の転送情報領域のDARレジスタの上位8ビットとします。このときMRB.CHNEビット=“0” (チェーン転送禁止)、MRB.DISELビット=“0” (指定されたデータ転送終了時、CPUへの割り込みが発生)としてください。上記入力バッファを“200000h”～“21FFFFh”とする場合には、転送カウンタ=2としてください。
- (4) 割り込みによって第1のデータ転送を65536回実行します。第1のデータ転送の転送カウンタが“0”になると、第2のデータ転送が起動します。第1のデータ転送の転送元アドレス上位8ビットを“21h”にします。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタは、“0000h”になっています。
- (5) 引き続き割り込みによって第1のデータ転送を、第1のデータ転送で指定した65536回実行します。第1のデータ転送の転送カウンタが“0”になると、第2のデータ転送が起動します。第1のデータ転送の転送元アドレス上位8ビットを“20h”にします。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタは“0000h”になっています。
- (6) 上記(4)、(5)を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPUには割り込みを要求しません。

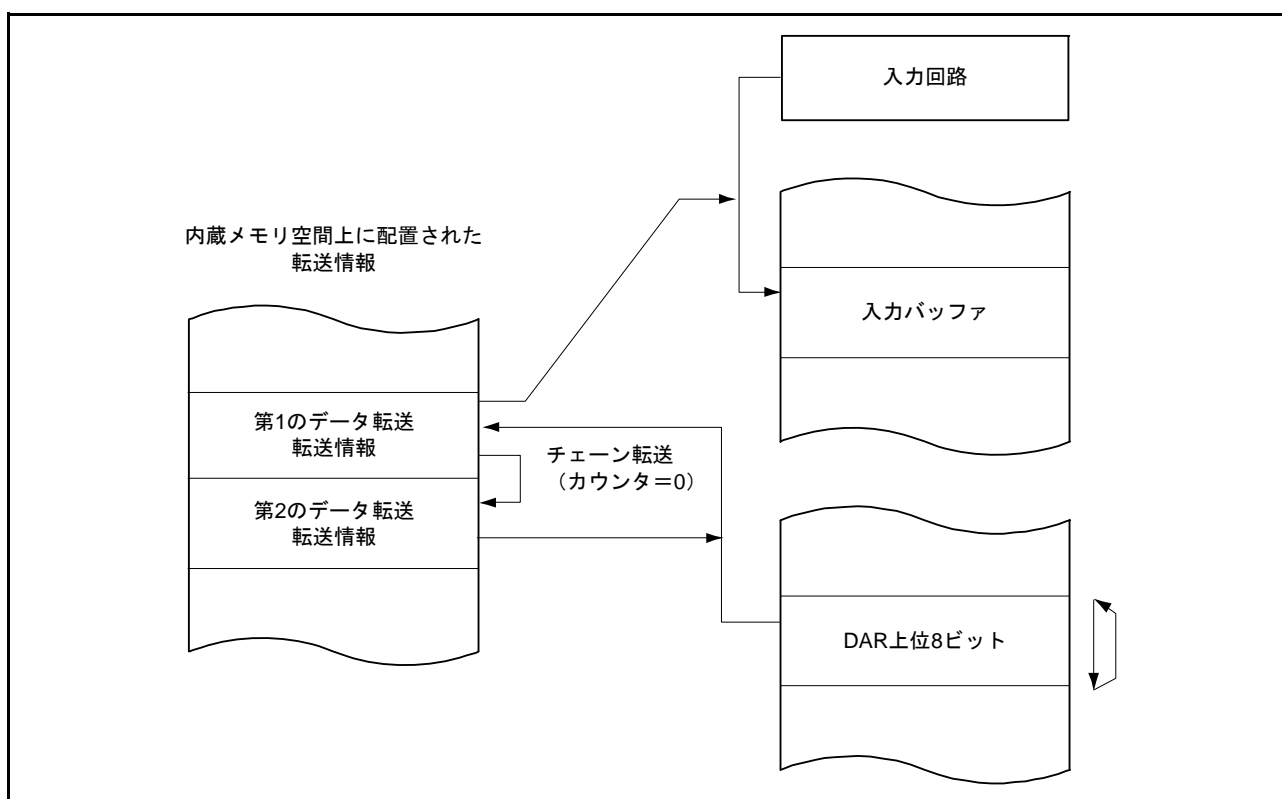


図 17.15 カウンタ = 0 のときのチェーン転送

17.7 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および MRB.DISEL ビットが“1” (DTC データ転送のたびに、CPU への割り込みが発生) のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは、CPU の PSW.I ビット (割り込み許可ビット)、PSW.IPL[3:0] ビット (プロセッサ割り込み優先レベル)、および割り込みコントローラの優先順位の制御を受けます。

17.8 イベントリンク 機能

DTC は 1 要求分の転送完了後にイベントリンク要求を出力します。ただし、転送先が外部バスの場合、ライトバッファへの書き込みが完了した時点で、イベントリンク要求を発行します。

17.9 消費電力低減機能

モジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットを“0” (DTC モジュール停止) を書いた後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1” (モジュールストップ状態への遷移) を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1” を書いたときに DTC が転送動作中の場合、DTC 転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1” のとき、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0” (モジュールストップ状態の解除) を書くことにより、DTC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

「11. 消費電力低減機能」の「11.6.2.1 全モジュールクロックストップモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DTC が転送動作中の場合は、DTC 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに“0” を書くことにより、DTC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの移行」、もしくは「11.6.4.1 ディープソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DTC が転送動作中の場合、DTC 転送終了後にソフトウェアスタンバイモード、もしくはディープソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「11. 消費電力低減機能」の「11.7.6 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DTC 転送を行うには、再度 DTCST.DTCST ビットに“1” を書いてください。

全モジュールクロックストップモード期間、ソフトウェアスタンバイモード期間に発生した要求を DTC 起動でなく CPU 割り込みとする場合は、「14. 割り込みコントローラ (ICUb)」の「14.4.3 割り込み要求先の選択」の設定方法にそって、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

17.10 使用上の注意事項

17.10.1 転送情報先頭アドレス

ベクタテーブルに指定する転送情報の先頭アドレスは、 $4n$ 番地を指定してください。 $4n$ 番地以外を指定すると、アドレスの最下位2ビットは“00b”としてアクセスします。

17.10.2 転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、図 17.16 に示すとおり配置してください。

たとえば、CRA、CRB 設定データを 16 ビットで書く場合、ビッグエンディアンの場合は下位アドレス 0 に CRA 設定データ、下位アドレス 2 に CRB 設定データを書いてください。リトルエンディアンの場合は下位アドレス 0 に CRB 設定データ、下位アドレス 2 に CRA 設定データを書いてください。32 ビットで書く場合は、エンディアンにかかわらず 32 ビットの MSB 側に CRA 設定データ、LSB 側に CRB 設定データを配置して下位アドレス 0 に書いてください。

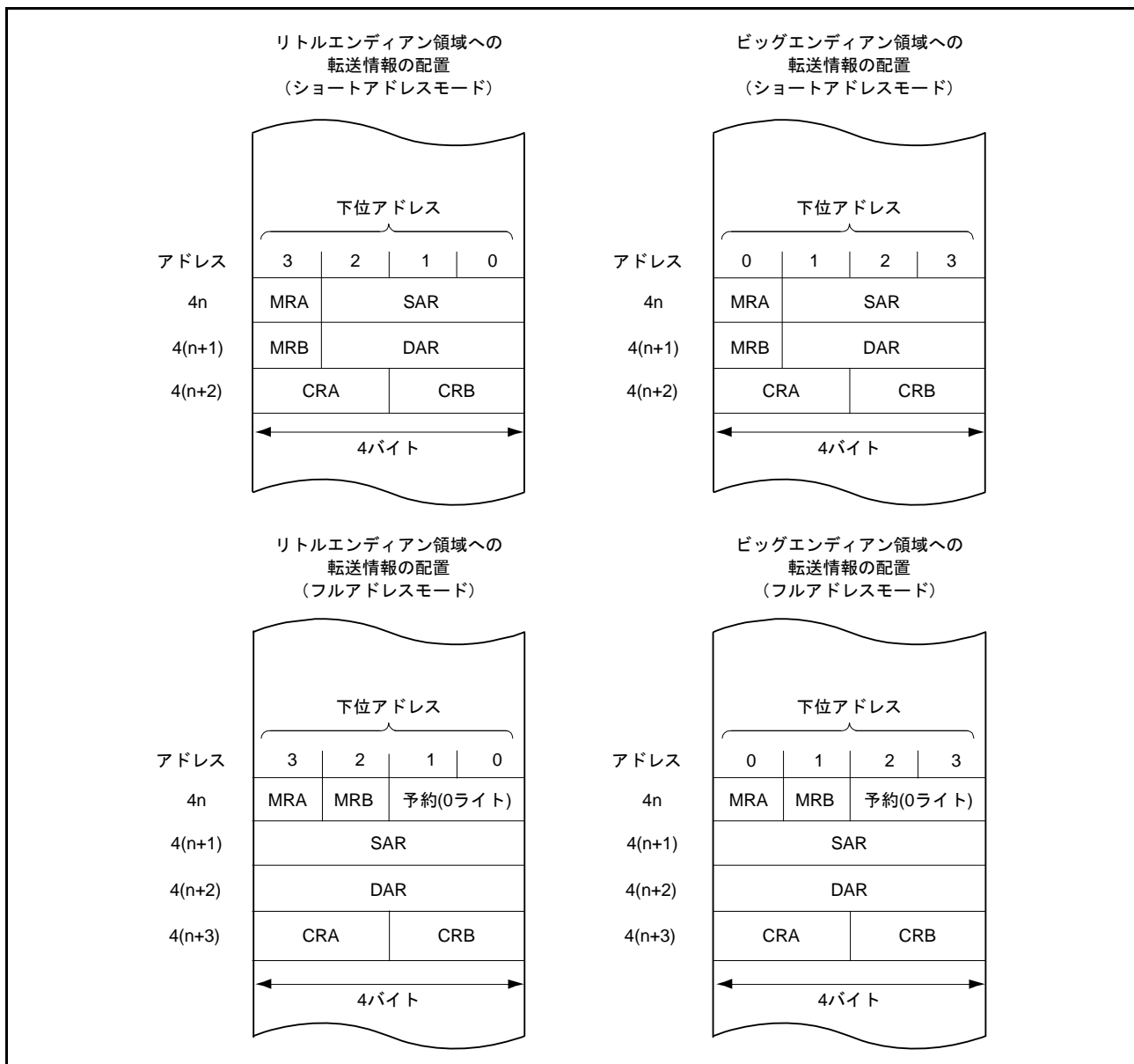


図 17.16 転送情報の配置

17.10.3 割り込みコントローラの DTC 起動許可レジスタ (ICU.DTCERn) の設定

ICU.DTCERn レジスタで“1” (DTC 転送許可) にした割り込みベクタ番号と同じベクタ番号を DMAC 起動要求選択レジスタ (ICU.DMRSRn(n = DMAC チャンネル番号)) に設定して DMAC を起動しないでください。ICU.DTCERn レジスタ、ICU.DMRSRn レジスタの詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

18. イベントリンクコントローラ (ELC)

18.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールが出力するイベントをモジュール間で相互に接続 (リンク) します。イベントリンクにより、CPU を介さず直接モジュール間での連携動作が可能になります。

表 18.1 に ELC の仕様を示します。図 18.1 に ELC のブロック図を示します。

表 18.1 ELCの仕様

項目	内容
イベントリンク機能	<ul style="list-style-type: none"> 59種類のイベント信号を、直接モジュールへリンク可能 タイマ系のモジュールは、イベント入力時の動作の選択が可能 ポートB、ポートEのイベントリンク動作が可能 シングルポート (注1) : 指定した1ビットのポートにイベントリンクの動作設定が可能 ポートグループ (注1) : 8ビットポート内で、指定した複数ビットをグループ化してイベントリンクの動作設定が可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. 入力に指定されている、シングルポート、ポートグループでは、接続している信号値の変化により、イベントが発生しません。

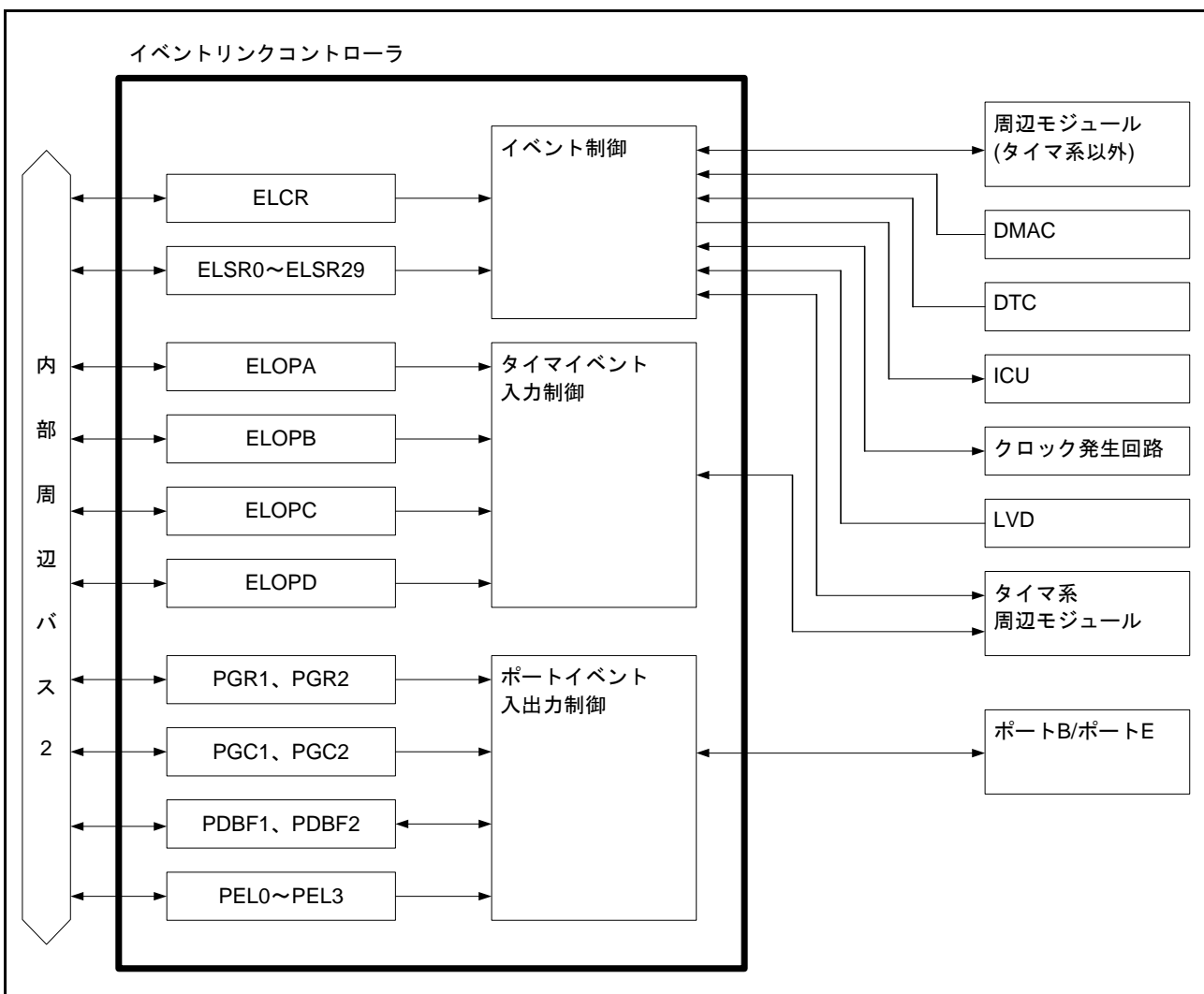


図 18.1 ELC のブロック図

18.2 レジスタの説明

18.2.1 イベントリンクコントロールレジスタ (ELCR)

アドレス 0008 B100h

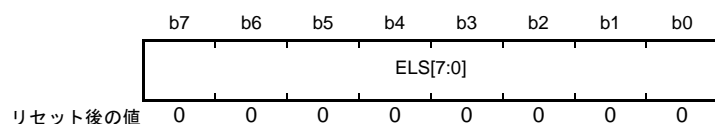
	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	ELCON	全イベントリンクイネーブルビット	0 : 全イベントリンク無効 1 : 全イベントリンク有効	R/W

ELCR レジスタは、イベントリンクコントローラ (ELC) の動作を制御するレジスタです。

18.2.2 イベントリンク設定レジスタ n (ELSRn) (n= 1 ~ 4、7、10、12、15、16、18 ~ 29)

アドレス ELSR1 : 0008 B102h、ELSR2 : 0008 B103h、ELSR3 : 0008 B104h、ELSR4 : 0008 B105h、
 ELSR7 : 0008 B108h、ELSR10 : 0008 B10Bh、ELSR12 : 0008 B10Dh、ELSR15 : 0008 B110h、
 ELSR16 : 0008 B111h、ELSR18 : 0008 B113h、ELSR19 : 0008 B114h、ELSR20 : 0008 B115h、
 ELSR21 : 0008 B116h、ELSR22 : 0008 B117h、ELSR23 : 0008 B118h、ELSR24 : 0008 B119h、
 ELSR25 : 0008 B11Ah、ELSR26 : 0008 B11Bh、ELSR27 : 0008 B11Ch、ELSR28 : 0008 B11Dh、
 ELSR29 : 0008 B11Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	ELS[7:0]	イベントリンク選択ビット	b7 b0 00000000 : イベントリンク機能停止 00000001 ~ 01101001 : リンクするイベント信号の番号を指定 上記以外は設定しないでください	R/W

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を表 18.2 に示します。また、ELSRn レジスタに設定するイベント信号の名称と信号番号の対応を表 18.3 に示します。

表 18.2 ELSRn レジスタと周辺機能の対応

レジスタ名	周辺機能 (モジュール)
ELSR1	MTU1
ELSR2	MTU2
ELSR3	MTU3
ELSR4	MTU4
ELSR7	CMT1
ELSR10	TMR0
ELSR12	TMR2
ELSR15	12ビット A/D コンバータ
ELSR16	DA0
ELSR18	割り込み1
ELSR19	割り込み2
ELSR20	出力ポートグループ1
ELSR21	出力ポートグループ2
ELSR22	入力ポートグループ1
ELSR23	入力ポートグループ2
ELSR24	シングルポート0
ELSR25	シングルポート1
ELSR26	シングルポート2
ELSR27	シングルポート3
ELSR28	クロックソースを LOCO へ切り替え
ELSR29	POE

表 18.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (1 / 2)

ELS[7:0]ビットの値	ELSR設定イベント信号
00001000 (08h)	MTU1・コンペアマッチ1A信号
00001001 (09h)	MTU1・コンペアマッチ1B信号
00001010 (0Ah)	MTU1・オーバフロー信号
00001011 (0Bh)	MTU1・アンダフロー信号
00001100 (0Ch)	MTU2・コンペアマッチ2A信号
00001101 (0Dh)	MTU2・コンペアマッチ2B信号
00001110 (0Eh)	MTU2・オーバフロー信号
00001111 (0Fh)	MTU2・アンダフロー信号
00010000 (10h)	MTU3・コンペアマッチ3A信号
00010001 (11h)	MTU3・コンペアマッチ3B信号
00010010 (12h)	MTU3・コンペアマッチ3C信号
00010011 (13h)	MTU3・コンペアマッチ3D信号
00010100 (14h)	MTU3・オーバフロー信号
00010101 (15h)	MTU4・コンペアマッチ4A信号
00010110 (16h)	MTU4・コンペアマッチ4B信号
00010111 (17h)	MTU4・コンペアマッチ4C信号
00011000 (18h)	MTU4・コンペアマッチ4D信号
00011001 (19h)	MTU4・オーバフロー信号
00011010 (1Ah)	MTU4・アンダフロー信号
00011111 (1Fh)	CMT1・コンペアマッチ1信号
00100010 (22h)	TMR0・コンペアマッチA0信号
00100011 (23h)	TMR0・コンペアマッチB0信号
00100100 (24h)	TMR0・オーバフロー信号
00101000 (28h)	TMR2・コンペアマッチA2信号
00101001 (29h)	TMR2・コンペアマッチB2信号
00101010 (2Ah)	TMR2・オーバフロー信号
00101110 (2Eh)	RTC・周期信号
00110001 (31h)	IWDT・アンダフロー・リフレッシュエラー信号
00111010 (3Ah)	SCI5・エラー (受信エラー・エラーシグナル検出) 信号
00111011 (3Bh)	SCI5・受信データフル信号
00111100 (3Ch)	SCI5・送信データエンプティ信号
00111101 (3Dh)	SCI5・送信完了信号
01001110 (4Eh)	RIIC0・通信エラー、イベント発生信号
01001111 (4Fh)	RIIC0・受信データフル信号
01010000 (50h)	RIIC0・送信データエンプティ信号
01010001 (51h)	RIIC0・送信終了信号
01010010 (52h)	RSPI0・エラー (モードフォルト・オーバラン・パリティエラー) 信号
01010011 (53h)	RSPI0・アイドル信号
01010100 (54h)	RSPI0・受信データフル信号
01010101 (55h)	RSPI0・送信データエンプティ信号
01010110 (56h)	RSPI0・送信完了信号 (クロック同期式動作のスレープモード時を除く)
01011000 (58h)	12ビット A/Dコンバータ・A/D変換終了信号
01011001 (59h)	コンパレータ B0・比較結果変化信号
01011010 (5Ah)	コンパレータ B0・B1 共通比較結果変化信号
01011011 (5Bh)	LVD1・電圧検出信号

表 18.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (2 / 2)

ELS[7:0]ビットの値	ELSR設定イベント信号
01011100 (5Ch)	LVD2・電圧検出信号
01011101 (5Dh)	DMAC0・転送終了信号
01011110 (5Eh)	DMAC1・転送終了信号
01011111 (5Fh)	DMAC2・転送終了信号
01100000 (60h)	DMAC3・転送終了信号
01100001 (61h)	DTC・転送終了信号
01100010 (62h)	クロック発生回路・発振停止検出信号
01100011 (63h)	入力ポートグループ1・入力エッジ検出信号
01100100 (64h)	入力ポートグループ2・入力エッジ検出信号
01100101 (65h)	シングル入力ポート0・入力エッジ検出信号
01100110 (66h)	シングル入力ポート1・入力エッジ検出信号
01100111 (67h)	シングル入力ポート2・入力エッジ検出信号
01101000 (68h)	シングル入力ポート3・入力エッジ検出信号
01101001 (69h)	ソフトウェアイベント信号
上記以外は設定しないでください	

18.2.3 イベントリンクオプション設定レジスタ A (ELOPA)

アドレス 0008 B11Fh

b7	b6	b5	b4	b3	b2	b1	b0
MTU3MD [1:0]	MTU2MD [1:0]	MTU1MD [1:0]	—	—			

リセット後の値 1 1 1 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	MTU1MD [1:0]	MTU1動作選択ビット	b3 b2 0 0: カウントスタート 0 1: カウンtristart 1 0: インพุットキャプチャ (注1) 1 1: イベント無効	R/W
b5-b4	MTU2MD [1:0]	MTU2動作選択ビット	b5 b4 0 0: カウントスタート 0 1: カウンtristart 1 0: インพุットキャプチャ (注2) 1 1: イベント無効	R/W
b7-b6	MTU3MD [1:0]	MTU3動作選択ビット	b7 b6 0 0: カウントスタート 0 1: カウンtristart 1 0: インพุットキャプチャ (注3) 1 1: イベント無効	R/W

注1. MTU1.TCNTレジスタの値がMTU1.TGRAレジスタにキャプチャされます。

注2. MTU2.TCNTレジスタの値がMTU2.TGRAレジスタにキャプチャされます。

注3. MTU3.TCNTレジスタの値がMTU3.TGRAレジスタにキャプチャされます。

ELOPAレジスタは、MTUのMTU1～MTU3のイベント入力時の動作を設定するレジスタです。ELC機能を未使用時は、イベント無効に設定してください。

18.2.4 イベントリンクオプション設定レジスタ B (ELOPB)

アドレス 0008 B120h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MTU4MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU4MD[1:0]	MTU4動作選択ビット	b1 b0 0 0: カウントスタート 0 1: カウントリスタート 1 0: インพุットキャプチャ (注1) 1 1: イベント無効	R/W
b7-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU4.TCNTレジスタの値がMTU4.TGRAレジスタにキャプチャされます。

ELOPB レジスタは、MTU の MTU4 のイベント入力時の動作を設定するレジスタです。ELC 機能を未使用時は、イベント無効に設定してください。

18.2.5 イベントリンクオプション設定レジスタ C (ELOPC)

アドレス 0008 B121h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CMT1MD[1:0]		—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	CMT1MD[1:0]	CMT1動作選択ビット	b3 b2 0 0: カウントスタート 0 1: カウントリスタート 1 0: イベントカウンタ 1 1: イベント無効	R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPC レジスタは、CMT の CMT1 のイベント入力時の動作を設定するレジスタです。ELC 機能を未使用時は、イベント無効に設定してください。

18.2.6 イベントリンクオプション設定レジスタ D (ELOPD)

アドレス 0008 B122h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	TMR2MD[1:0]	—	—	—	TMR0MD[1:0]	—

リセット後の値 1 1 1 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TMR0MD[1:0]	TMR0動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウンtrリスタート 1 0 : イベントカウンタ 1 1 : イベント無効	R/W
b3-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5-b4	TMR2MD[1:0]	TMR2動作選択ビット	b5 b4 0 0 : カウントスタート 0 1 : カウンtrリスタート 1 0 : イベントカウンタ 1 1 : イベント無効	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPD レジスタは、TMR の TMR0、TMR2 のイベント入力時の動作を設定するレジスタです。
ELC 機能を未使用時は、イベント無効に設定してください。

18.2.7 ポートグループ指定レジスタ n (PGRn) (n=1、2)

アドレス PGR1 : 0008 B123h、PGR2 : 0008 B124h

b7	b6	b5	b4	b3	b2	b1	b0
PGR7	PGR6	PGR5	PGR4	PGR3	PGR2	PGR1	PGR0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PGR0	ポートグループ指定0ビット	0 : ポートグループ指定しない 1 : ポートグループ指定する	R/W
b1	PGR1	ポートグループ指定1ビット		R/W
b2	PGR2	ポートグループ指定2ビット		R/W
b3	PGR3	ポートグループ指定3ビット		R/W
b4	PGR4	ポートグループ指定4ビット		R/W
b5	PGR5	ポートグループ指定5ビット		R/W
b6	PGR6	ポートグループ指定6ビット		R/W
b7	PGR7	ポートグループ指定7ビット		R/W

PGRn レジスタは、入出力ポートのグループ設定をするレジスタです。8 ビットポート内の個々のポート (1 ビット) に対してグループ指定を行います。1 ~ 8 ビットの任意のポートを同一グループに指定できます。表 18.4 に PGRn レジスタとポートの対応を示します。

18.2.8 ポートグループコントロールレジスタ n (PGCn) (n=1, 2)

アドレス PGC1 : 0008 B125h, PGC2 : 0008 B126h



ビット	シンボル	ビット名	機能	R/W
b1-b0	PGCI[1:0]	イベント出力エッジ 選択ビット	b1 b0 0 0 : 外部入力信号の立ち上がりエッジを検出して、イベント発生 0 1 : 外部入力信号の立ち下がりエッジを検出して、イベント発生 1 X : 外部入力信号の立ち上がり／立ち下がりの両エッジを検出して、 イベント発生	R/W
b2	PGCOVE	PDBF上書き指定 ビット	0 : PDBFレジスタへの上書き無効 1 : PDBFレジスタへの上書き有効	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6-b4	PGCO[2:0]	ポートグループ動作 セレクトビット	b6 b4 0 0 0 : イベント入力時、0を出力 0 0 1 : イベント入力時、1を出力 0 1 0 : イベント入力時、トグル（反転）出力 0 1 1 : イベント入力時、バッファ値を出力 1 X X : イベント入力時、グループ内でビットローテート出力 (MSB→LSBへローテート)	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

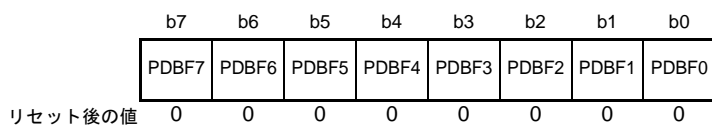
X : Don't care

PGCn レジスタは、出力に設定されたポートグループに対して、イベント信号入力時のポートから外部へ出力する信号の出力形式を指定します。また、入力ポートグループに対して、PDBF レジスタへの上書き有効／無効の指定およびイベント発生する条件（外部からの入力する信号の変化）を設定します。

表 18.4 に PGCn レジスタとポートの対応を示します。

18.2.9 ポートバッファレジスタ n (PDBFn) (n=1、2)

アドレス PDBF1 : 0008 B127h、PDBF2 : 0008 B128h



ビット	シンボル	ビット名	機能	R/W
b0	PDBF0	ポートバッファ 0ビット	PODRとPDBFの間で、イベント入力により、データが転送されま す。入力ポートグループに指定したビットへのCPUライトは無効 となります。 詳細は、「18.3 動作説明」を参照してください	R/W
b1	PDBF1	ポートバッファ 1ビット		R/W
b2	PDBF2	ポートバッファ 2ビット		R/W
b3	PDBF3	ポートバッファ 3ビット		R/W
b4	PDBF4	ポートバッファ 4ビット		R/W
b5	PDBF5	ポートバッファ 5ビット		R/W
b6	PDBF6	ポートバッファ 6ビット		R/W
b7	PDBF7	ポートバッファ 7ビット		R/W

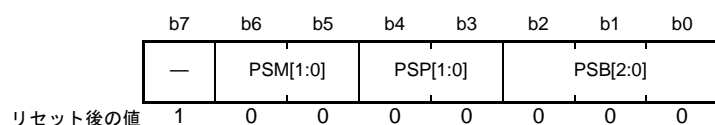
PDBFn レジスタは、PGRn レジスタと対になる 8 ビットのレジスタです。PDBFn レジスタの動作については、「18.3 動作説明」を参照してください。表 18.4 にポートグループ関連レジスタとポート番号の対応を示します。

表 18.4 ポートグループ関連レジスタとポート番号の対応

ポートグループ指定レジスタ (PGR)	ポートグループコントロールレジスタ (PGC)	ポートバッファレジスタ (PDBF)	ポート番号
PGR1 レジスタ	PGC1 レジスタ	PDBF1 レジスタ	ポート B
PGR2 レジスタ	PGC2 レジスタ	PDBF2 レジスタ	ポート E

18.2.10 イベント接続ポート指定レジスタ n (PELn) (n=0 ~ 3)

アドレス PEL0 : 0008 B129h、PEL1 : 0008 B12Ah、PEL2 : 0008 B12Bh、PEL3 : 0008 B12Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	PSB[2:0]	ビット番号指定ビット	8ビットポートのビット番号を指定	R/W
b4-b3	PSP[1:0]	ポート番号指定ビット	b4 b3 0 0 : 設定無効 0 1 : ポートB (PGR1レジスタに対応) 1 0 : ポートE (PGR2レジスタに対応) 1 1 : 設定しないでください	R/W
b6-b5	PSM[1:0]	イベントリンク指定ビット	<ul style="list-style-type: none"> ● ポート出力設定時：ポート出力データを指定 b6 b5 0 0 : イベント入力時、0を出力 0 1 : イベント入力時、1を出力 1 X : イベント入力時、トグル (反転) 出力 ● ポート入力設定時：イベント出力エッジ選択 b6 b5 0 0 : 立ち上がりエッジを検出して、イベント出力 0 1 : 立ち下がりエッジを検出して、イベント出力 1 X : 立ち上がり/立ち下がりの両エッジを検出して、イベント出力 	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

X : Don't care

PELn レジスタは、イベントをリンクする1ビットポート (以下、シングルポート) の指定とイベント入力時の動作および、イベント発生条件を設定するレジスタです。RX210グループでは、ポートB、E (8ビットポート) の内、いずれかのビットに対して、全4つのシングルポートを設定できます。

18.2.11 イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)

アドレス 0008 B12Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生ビット	0: 通常動作 1: ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	WE	SEGビット書き込み許可ビット	0: SEGビットへの書き込み禁止 1: SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止ビット	0: ELSEGRレジスタへの書き込み許可 1: ELSEGRレジスタへの書き込み禁止	W

本レジスタへの書き込みは MOV 命令を使用してください。

SEG ビット (ソフトウェアイベント発生ビット)

WE ビットが“1”の状態、本ビットに“1”を書き込むとソフトウェアイベントが発生します。本ビットは読むと“0”が読み出されます。“1”を書き込んでもデータは格納されません。

WE ビット (SEG ビット書き込み許可ビット)

WE ビットが“1”のときのみ、SEG ビットに対する書き込みが可能になります。

[1 になる条件]

WI ビットに“0”、WE ビットに“1”を書き込んだとき

[0 になる条件]

WI ビットに“0”、WE ビットに“0”を書き込んだとき

WI ビット (ELSEGR レジスタ書き込み禁止ビット)

WI ビットの書き込み値が“0”のときのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと“1”が読み出されます。

18.3 動作説明

18.3.1 割り込み処理とイベントリンクの関係

RX210 グループに内蔵しているモジュールには、割り込み要求ステータスフラグと、これらの割り込みの許可/禁止を制御するイネーブルビットがあります。各モジュールで割り込み要求が発生すると、割り込み要求ステータスフラグがセットされ、当該割り込み要求がイネーブルのとき、CPU に対して割り込みを要求します。

これに対して、ELC は、各モジュールで発生する割り込み要求（以下イベント）を、直接他のモジュールを起動するイベント信号として使用します。イベント信号は、割り込み制御を許可していなくても使用できます。図 18.2 に割り込み処理と ELC の関係を示します。

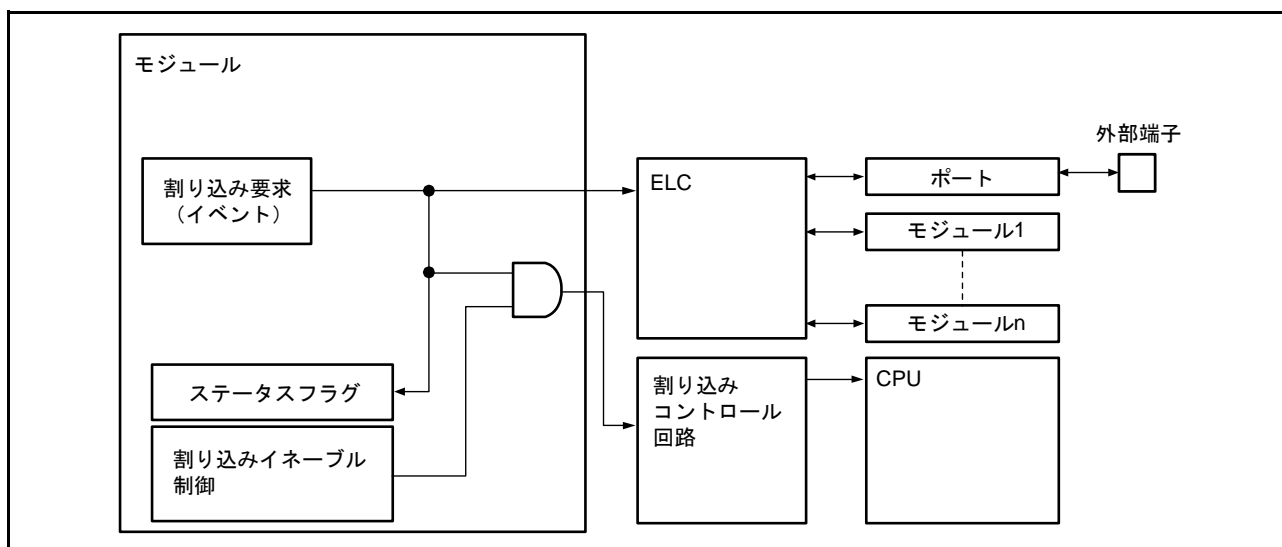


図 18.2 割り込み処理と ELC の関係

18.3.2 イベントのリンク

ELSRn レジスタにイベント要因を設定することにより、設定したイベントが発生した場合、対応するモジュールがリンク（起動）します。1つのモジュールに、1種類のイベントのみリンクできます。起動するモジュールの初期設定が完了してから ELC でモジュールを起動してください。表 18.5 にイベントを入力したときのモジュール別動作一覧を示します。

表 18.5 イベント入力時のモジュール別動作一覧

モジュール	イベント入力時の動作		
MTU CMT TMR	ELOPA～ELOPDレジスタの設定により以下の動作となります <ul style="list-style-type: none"> • イベント信号入力により、カウントスタート • イベント信号入力により、カウントリスタート • 入力したイベント数をカウント (CMT、TMR) • イベント入力により、キャプチャ動作 (MTU) 		
A/Dコンバータ	イベント信号入力により、A/D変換開始		
D/Aコンバータ	イベント信号入力により、D/A変換開始		
出力ポート	イベント信号入力により、PODRレジスタ（出力ポートレジスタ）の値が変化 （外部端子への信号出力値変化）	ポートグループ	動作設定により以下の動作となります <ul style="list-style-type: none"> • PODRレジスタの値が、指定された値に変化 • PDBFnレジスタの値をPODRレジスタに転送 • ローテート出力
		シングルポート	PODRレジスタの値が指定された値に変化
入力ポート	入力端子の信号値が変化	ポートグループ	イベント発生
		シングルポート	
	イベント入力時	ポートグループ	外部端子の信号値をPDBFnレジスタに転送
		シングルポート	イベントの接続はできません
クロック発振器	クロックソースを低速オンチップオシレータへ切り替え（注1）		
割り込み制御	CPUへ割り込み要求、DMACデータ転送開始、DTCデータ転送開始		
POE	MTU相補PWM出力端子およびMTU0の出力端子がハイインピーダンス状態		

注1. プロテクトレジスタ (PRCR.PRC0) の値にかかわらず、SCKCR3.CKSEL[2:0] ビットが"000b"(LOC0選択)に書き換わりません。

18.3.3 タイマ系周辺機能のイベント入力時の動作

ELOPA ~ ELOPD レジスタによりイベント入力時の動作を設定します。

(1) カウントスタート動作

イベント入力により、タイマのカウントをスタートし、各タイマの制御レジスタのカウントスタートビット (注1) が“1”にセットされます。カウントスタートビットが“1”の状態を入力されたイベントは、無効です。

(2) カウントリスタート動作

イベント入力により、タイマのカウンタ (注1) を初期化します。各タイマの制御レジスタのカウントスタートビット (注1) は保持されるため、カウントスタートビットが“1”の状態イベント入力するとカウントリスタート動作します。

(3) イベントカウンタ動作

タイマのクロックソースとして、イベント入力を選択されタイマが動作します。

(4) インพุットキャプチャ動作

イベント入力により、キャプチャ動作します。

注1. 各タイマ章のビット説明を参照してください。

18.3.4 A/D コンバータ、D/A コンバータのイベント入力時の動作

ADCSR.ADST ビット、DACR.DAE ビット (注1) が“1”にセットされ、A/D 変換またはD/A の変換がスタートします。

注1. A/D コンバータ、D/A コンバータ章のビット説明を参照してください。

18.3.5 ポートのイベント入力動作とイベント発生動作

ポートは、イベント入力による動作の設定とイベントを発生させる動作の設定ができます。

(1) シングルポートとポートグループ

ポートへのイベントリンクは、8ビットポート内にある任意の1ビットポートへのイベントリンク (シングルポートへのイベントリンク) と、8ビットポート内の任意の複数ビットをまとめたグループへのイベントリンク (ポートグループへのイベントリンク) ができます。

シングルポートの設定は、PEL0 ~ PEL3 レジスタでイベント接続が可能なポート (注1) 内の任意のビットを指定します。ポートグループの設定は、PGCn レジスタにより、イベント接続が可能なポート (注1) の任意のビット (1ビット以上) を指定します。グループ指定は、同一ポート内で入力ポートグループと出力ポートグループ、それぞれ1つのグループが設定できます。

当該ビットがシングルポートとポートグループの両方の指定があるとき、入力ポートは、両方の機能が有効となり、出力ポートの場合は、ポートグループの機能のみが有効となります。

ポートの入力、出力は、PDR レジスタにより設定してください。

注1. ポートB、ポートEです。

(2) 入力シングルポートでのイベント発生

入力に設定されているシングルポートは当該ポートに接続している外部端子（外部ピン）の信号値の変化により、イベントを発生します。イベント発生条件は、PEL0～PEL3レジスタにより設定します。図18.3にシングルポートのイベントリンク動作を示します。

(3) 出力シングルポートのイベント入力動作

出力に設定されているシングルポートにイベントが入力されると、当該ポートのPODRレジスタの値が変化します。PODRレジスタの値の変化をPEL0～PEL3レジスタにより設定します。これにより、当該ポートに接続している外部端子（外部ピン）の信号値が変化します。図18.3にシングルポートのイベントリンク動作を示します。

(4) 入力ポートグループのイベントの入力と発生

入力に設定されているポートグループは当該ポートに接続しているいずれかの外部端子（外部ピン）の信号値の変化により、イベントを発生します。イベント発生条件はPGCnレジスタにより、設定します。また入力ポートグループにイベントが入力されると、イベント入力時の外部端子の信号値がPDBFnレジスタに転送されます。転送は、入力ポートグループに指定されたビットのみ転送されます。図18.4に入力ポートグループのイベントリンク動作を示します。

(5) 出力ポートグループのイベントの入力

出力ポートグループにイベントが入力されると、PODRレジスタの値がPGCnレジスタで設定された値に変化します。図18.5に出力ポートグループのイベントリンク動作を示します。

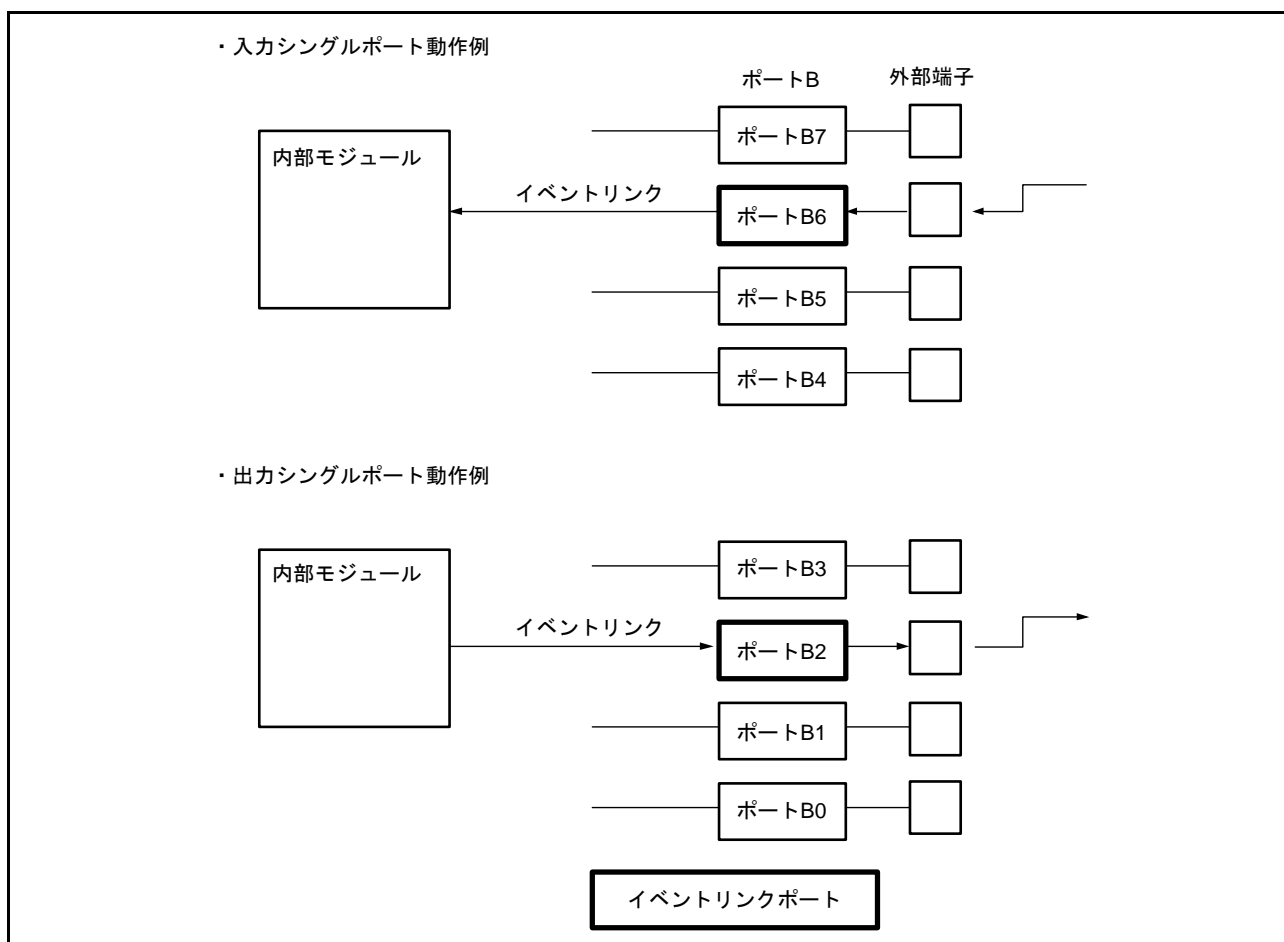


図 18.3 シングルポートのイベントリンク動作

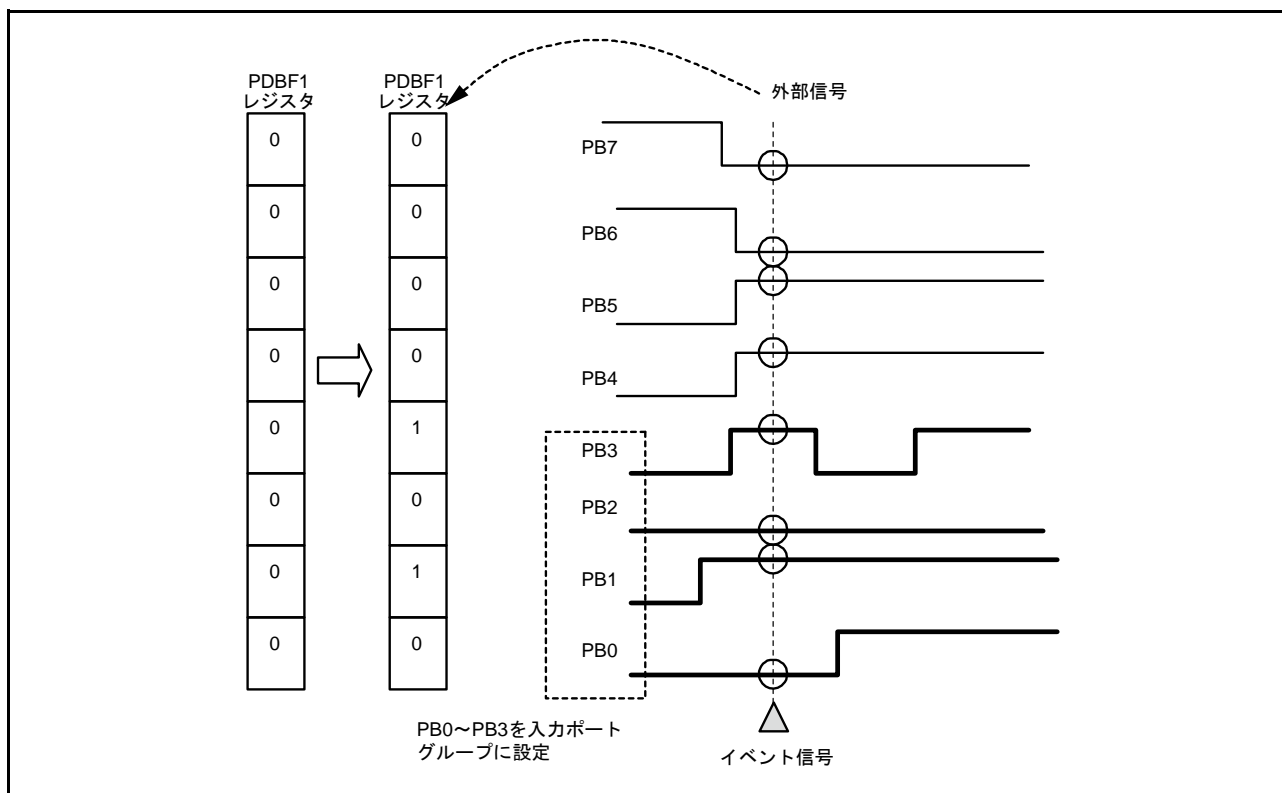


図 18.4 入力ポートグループのイベントリンク動作

(6) ポートバッファレジスタの動作

(a) 入力ポートグループ

入力ポートグループにイベントが入力されると、入力ポートグループに指定されているビットの外部端子の信号値が、PDBFn レジスタに転送されます。この状態で、再度入力ポートグループにイベントが入力されたとき、PGCn.PGCOVE ビットの設定により、以下の動作となります。

- PGCn.PGCOVE = 0 (上書き無効) のとき
 前回のイベント入力により PDBFn レジスタに転送された値が、CPU によりリード (DTC による転送を含む) されているとき、外部端子の信号値が、PDBFn レジスタに転送されます。リードされていないときは、外部端子の信号値は PDBFn レジスタに転送されず、入力したイベントは無効となります。
- PGCn.PGCOVE = 1 (上書き有効) のとき
 入力ポートグループにイベントが入力されると、外部端子の信号値が、PDBFn レジスタに転送されます。

(b) 出力ポートグループ

出力ポートグループが PDBFn レジスタの値を出力する設定になっているとき、出力ポートグループにイベントが入力されると、PDBFn レジスタの値が PODR レジスタに転送されます。このとき出力ポートグループに設定されているビットのみが、PODR レジスタに転送されます。

出力ポートグループがグループ内でのビットローテート出力 (PGCn.PGCO[2:0] ビット = 1xx) に設定されていると、PDBFn レジスタから PODR レジスタにデータ転送後に、当該グループ内で PODR レジスタ値が MSB → LSB にローテートします。ポートに出力する初期値を PDBFn レジスタに設定しておいてください。

図 18.5 と図 18.6 に動作を示します。

(7) PODR レジスタ、PDBF レジスタへの CPU でのライト制限

ELCR.ELCON ビットが“1”のとき、下記レジスタへの書き込みが無効となります。

- 入力ポートグループに指定し、イベントリンクを設定すると、PDBFn レジスタの入力ポートグループに指定されたビットへの CPU での書き込みは無効になります。
- 出力ポートグループに指定すると、PODR レジスタの当該ビットへの CPU での書き込みは無効になります。
- 出力シングルポートに指定されているとき、当該ポートへイベント接続設定 (ELSRn レジスタの設定) をすると、PODR レジスタの当該ビットへの CPU での書き込みは無効になります。

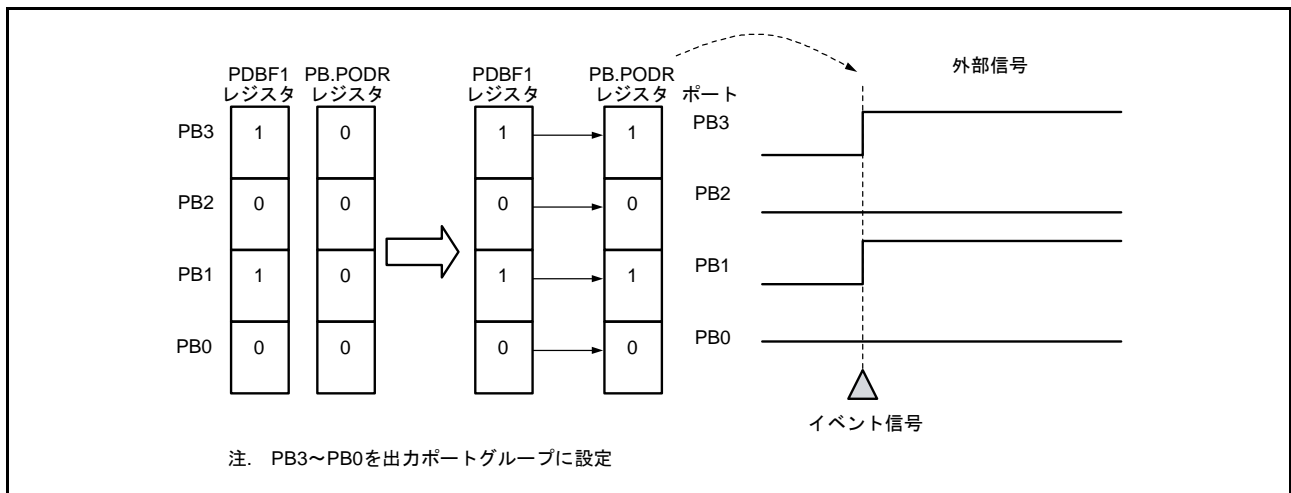


図 18.5 出力ポートグループのイベントリンク動作

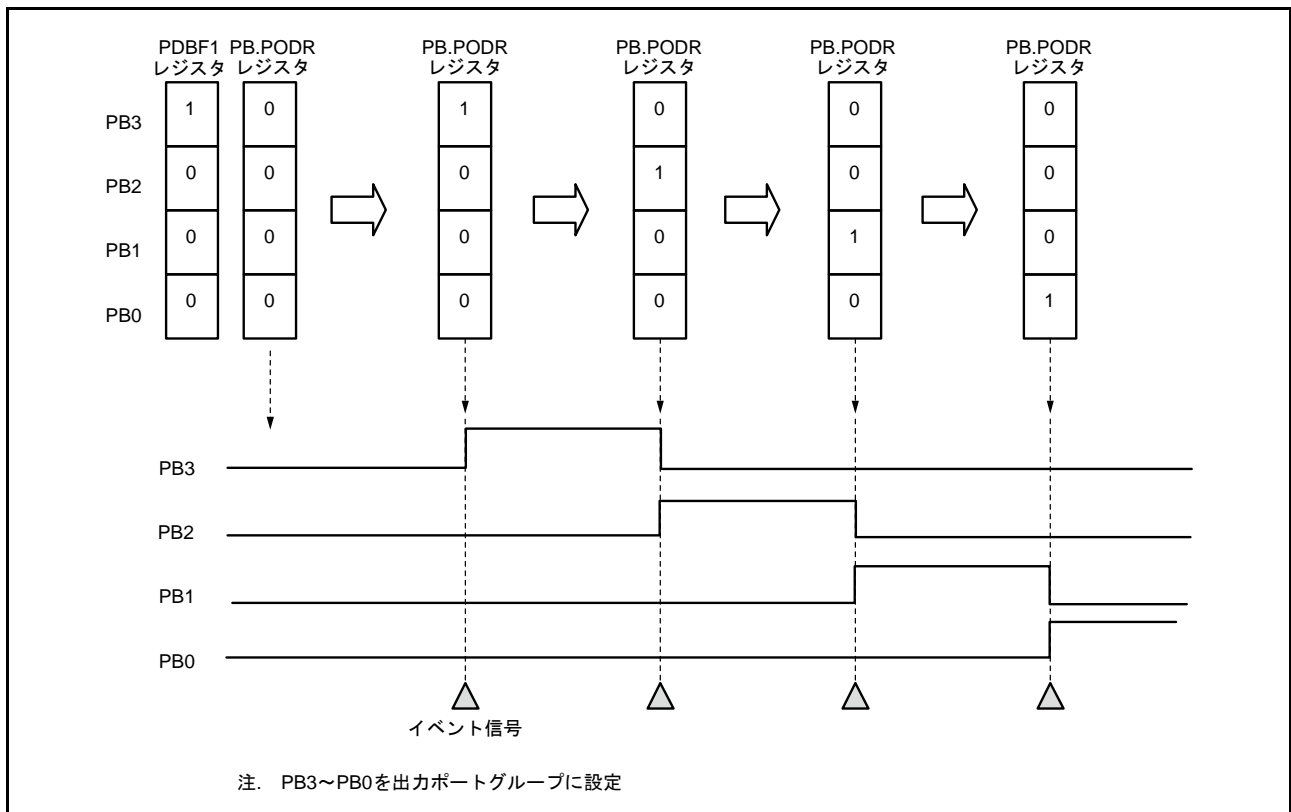


図 18.6 出力ポートグループのビットローテート動作

18.3.6 イベントリンクの動作設定手順

イベントリンク動作手順を以下に示します。

1. イベントをリンクするモジュールの初期設定をします。
 2. ポートに対してイベントリンクを設定するときは、対応するポートの下記レジスタを設定します。
PODR レジスタ：出力に設定したポートの初期値を設定します。
PDR レジスタ：ポートの入力または出力の設定をします。
PGR_n レジスタ：ポートグループとして動作させるときに、グルーピング対象となるポート（ビット単位）を設定します。
PGC_n レジスタ：ポートグループとして動作させるときの動作を設定します。
PELn レジスタ：シングルポートとして動作させるときの対象とするポートとイベント入力の動作およびイベント発生条件の設定をします。
 3. イベントをリンクするモジュールの ELSR_n レジスタに、リンクするイベント信号の番号を設定します。
 4. イベントをリンクするモジュールがタイマのときは、必要に応じて対応する ELOPA ~ ELOPD レジスタを設定をします。
 5. ELCR.ELCON ビットを 1 にします。これによりイベントリンクが設定されている全モジュールのイベントリンク動作がイネーブルとなります。
 6. イベント出力元のモジュールの初期設定をし、起動させます。モジュールから出力されるイベントにより、イベントリンク先のモジュールが規定の動作を開始します。
 7. 個別のモジュールのイベントリンク動作を停止するときは、対応する ELSR_n.ELS[7:0] ビットに 0000000b を設定してください。また ELCR.ELCON ビットを “0” にすることにより、全モジュールのイベントリンク動作が停止します。
- 注． RTC のイベントリンク出力機能を使用する場合は、RTC の設定（初期化、時刻設定など）を行った後、ELC の設定を行ってください。ELC 設定後に RTC の設定を行うと、意図しないイベントが出力することがあります。

18.4 使用上の注意事項

18.4.1 ELSR18、ELSR19 レジスタの設定について

イベント信号は 01100011 (63h) ~ 01101001 (69h) の中から指定してください。それ以外の値は、設定禁止です。

18.4.2 出力ポートグループのビットローテート動作の設定について

出力ポートグループのビットローテート動作モードで、PDBFn レジスタの値を変更する場合、ELSRn レジスタを再度設定してください。ビットローテート動作に使用するイベントは発生間隔を PCLK の 1 サイクル分空けないと正常動作できません。

18.4.3 DMAC/DTC 転送終了のイベントリンク使用時の注意事項

DMAC/DTC 転送終了のイベントリンクを使用する場合、その DMAC/DTC 転送先とイベントリンク起動先を同一周辺モジュールに設定しないでください。周辺モジュールへの DMAC/DTC 転送が完了する前に周辺モジュールが起動する可能性があります。

18.4.4 クロック設定について

各周辺モジュールが出力するイベントをモジュール間で相互に接続 (リンク) させて動作するためには ELC の設定の他に ELC と対象モジュールが動作可能状態である必要があります。対象のモジュールがモジュールストップ状態の場合や低消費電力状態の中でモジュールが停止状態となるモード (全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード) の場合では動作できません。

18.4.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、イベントリンクコントローラの動作禁止/許可を設定することが可能です。初期値では、イベントリンクコントローラの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

19. I/Oポート

19.1 概要

I/Oポートは、汎用入出力ポートと周辺機能の入出力、割り込み入力端子、またはバス制御端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/Oポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入力/出力を指定するポート方向レジスタ (PDR)、出力データを格納するポート出力データレジスタ (PODR)、端子の状態を反映するポート入力データレジスタ (PIDR)、端子の出力形態を選択するオープンドレイン制御レジスタ y (ODRy) (y=0,1)、入力プルアップ MOS のオン/オフを制御するプルアップ制御レジスタ (PCR)、駆動能力の切り替えを制御する駆動能力制御レジスタ (DSCR)、機能端子を指定するポートモードレジスタ (PMR) を備えています。PMR レジスタの詳細については、「20. マルチファンクションピンコントローラ (MPC)」を参照してください。

パッケージによって、I/Oポートの構成が異なります。表 19.1 に I/Oポートの仕様を、表 19.2、表 19.3 に I/Oポートの機能を示します。

表 19.1 I/Oポートの仕様

ポート シンボル	パッケージ		パッケージ		パッケージ		パッケージ		パッケージ					
	145ピン、144ピン	本数	100ピン	本数	80ピン	本数	69ピン、64ピン	本数	48ピン	本数				
PORT0	P00~P03、P05、P07	6	P03、P05、P07	3	P03、P05、P07	3	P03、P05	2	なし	0				
PORT1	P12~P17	6	P12~P17	6	P12~P17	6	P14~P17	4	P14~P17	4				
PORT2	P20~P27	8	P20~P27	8	P20、P21、P26、P27	4	P26、P27	2	P26、P27	2				
PORT3	P30~P37	8	P30~P37	8	P30~P32、P34~P37	7	P30~P32、P35~P37	6	P30、P31、P35~P37	5				
PORT4	P40~P47	8	P40~P47	8	P40~P47	8	P40~P44、P46	6	P40~P42、P46	4				
PORT5	P50~P56	7	P50~P55	6	P54、P55	2	P54、P55	2	なし	0				
PORT6	P60~P67	8	なし	0	なし	0	なし	0	なし	0				
PORT7	P70~P77	8	なし	0	なし	0	なし	0	なし	0				
PORT8	P80~P83、P86、P87	6	なし	0	なし	0	なし	0	なし	0				
PORT9	P90~P93	4	なし	0	なし	0	なし	0	なし	0				
PORTA	PA0~PA7	8	PA0~PA7	8	PA0~PA6	7	PA0、PA1、PA3、PA4、PA6	5	PA1、PA3、PA4、PA6	4				
PORTB	PB0~PB7	8	PB0~PB7	8	PB0~PB7	8	PB0、PB1、PB3、PB5~PB7	6	PB0、PB1、PB3、PB5	4				
PORTC	PC0~PC7	8	PC0~PC7	8	PC2~PC7	6	PC2~PC7	6	PC4~PC7	4				
PORTD	PD0~PD7	8	PD0~PD7	8	PD0~PD2	3	なし	0	なし	0				
PORTE	PE0~PE7	8	PE0~PE7	8	PE0~PE5	6	PE0~PE5	6	PE1~PE4	4				
PORTF	PF5	1	なし	0	なし	0	なし	0	なし	0				
PORTH	PH0~PH3	4	PH0~PH3	4	PH0~PH3	4	PH0~PH3	4	PH0~PH3	4				
PORTJ	PJ1、PJ3、PJ5	3	PJ1、PJ3	2	PJ1	1	なし	0	なし	0				
PORTK	PK2~PK5	4	なし	0	なし	0	なし	0	なし	0				
PORTL	PL0、PL1	2	なし	0	なし	0	なし	0	なし	0				
ポートの合計数		123	ポートの合計数		85	ポートの合計数		65	ポートの合計数		49	ポートの合計数		35

表 19.2 I/Oポートの機能（ピン数が48ピン～100ピンの場合）

ポートシンボル	ポート	入力プルアップ機能	オープンドレイン出力機能	駆動能力切り替え機能	5Vトレラント
PORT0	P03、P05、P07	○	—	通常出力固定	—
PORT1	P12、P13、P16、P17（注1）	○	○	○	○
	P14、P15	○	○	○	—
PORT2	P20～P27	○	○	○	—
PORT3	P30～P34、P36、P37	○	○	○	—
	P35	—	—	—	—
PORT4	P40～P47	○	—	通常出力固定	—
PORT5	P50～P55	○	—	○	—
PORTA	PA0～PA7	○	○	○	—
PORTB	PB0～PB7	○	○	○	—
PORTC	PC0～PC7	○	○	○	—
PORTD	PD0～PD7	○	—	○	—
PORTE	PE0～PE7	○	○	○	—
PORTH	PH0～PH3	○	—	○	—
PORTJ	PJ1、PJ3	○	—	○	—

注1. 以下のチップバージョンAの製品では、P17は5Vトレラントに対応していません。
R5F52108ADFM、R5F52107ADFM、R5F52106ADFM、R5F52105ADFM

表 19.3 I/Oポートの機能（ピン数が144ピン以上の場合）

ポートシンボル	ポート	入力プルアップ機能	オープンドレイン出力機能	駆動能力切り替え機能	5Vトレラント
PORT0	P00～P02	○	○	○	—
	P03、P05、P07	○	—	通常出力固定	—
PORT1	P12、P13、P16、P17（注1）	○	○	○	○
	P14、P15	○	○	○	—
PORT2	P20～P27	○	○	○	—
PORT3	P30～P34、P36、P37	○	○	○	—
	P35	—	—	—	—
PORT4	P40～P47	○	—	通常出力固定	—
PORT5	P50～P52、P54	○	○	○	—
	P53、P55、P56	○	—	○	—
PORT6	P60、P61	○	○	○	—
	P62～P67	○	—	通常出力固定	—
PORT7	P70、P74～P77	○	○	○	—
	P71～P73	○	—	通常出力固定	—
PORT8	P80～P83	○	○	○	—
	P86、P87	○	—	○	—
PORT9	P90～P93	○	○	○	—
PORTA	PA0～PA7	○	○	○	—
PORTB	PB0～PB7	○	○	○	—
PORTC	PC0～PC7	○	○	○	—
PORTD	PD0～PD7	○	—	○	—
PORTE	PE0～PE7	○	○	○	—
PORTF	PF5	○	—	通常出力固定	—
PORTH	PH0～PH3	○	—	○	—
PORTJ	PJ1、PJ3	○	—	○	—
	PJ5	○	—	通常出力固定	—
PORTK	PK2～PK5	○	○	○	—
PORTL	PL0、PL1	○	—	通常出力固定	—

入力プルアップ機能、オープンドレイン出力機能、駆動能力切り替え機能、5Vトレラントの設定は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

19.2 入出力ポートの構成

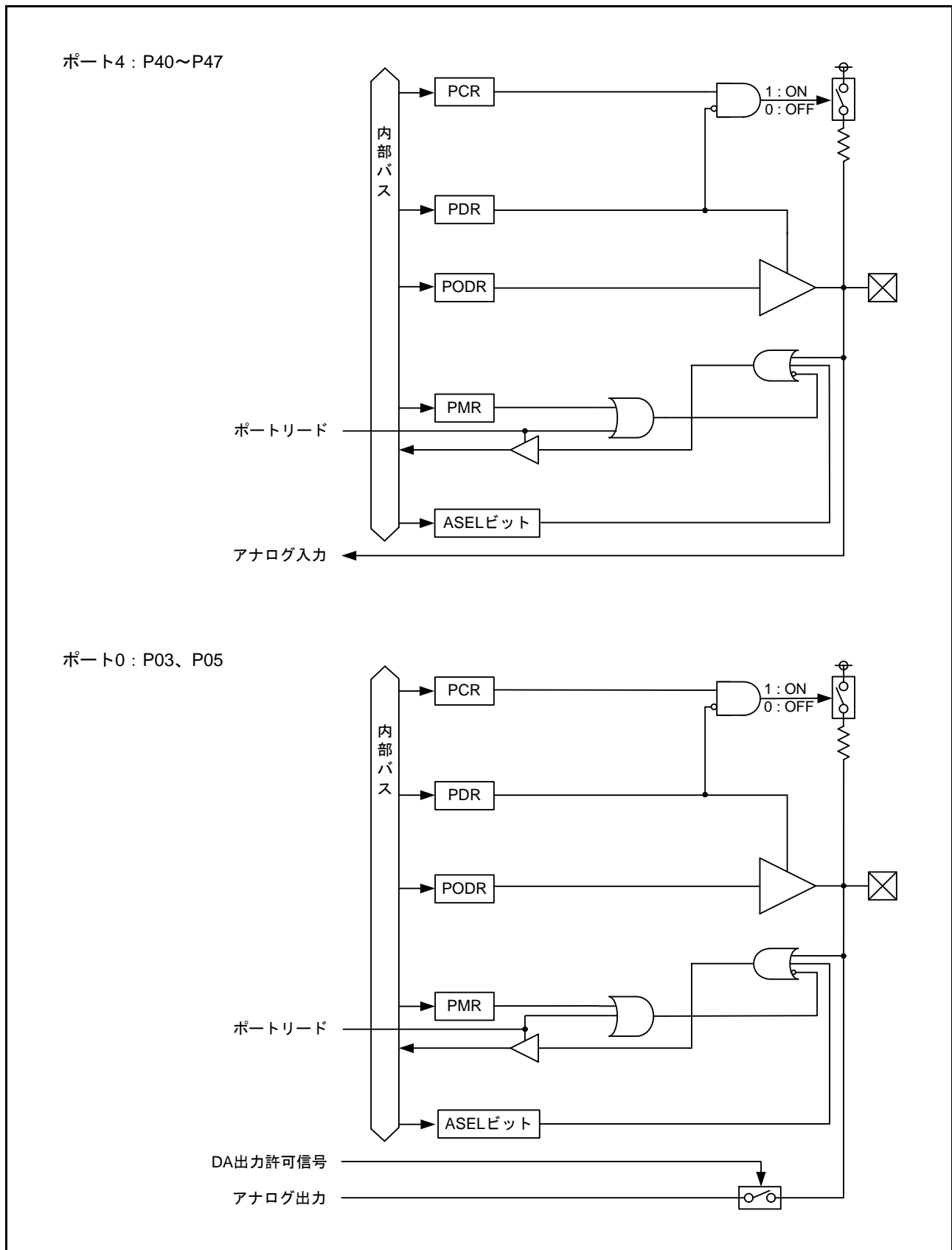


図 19.1 入出力ポートの構成 (1)

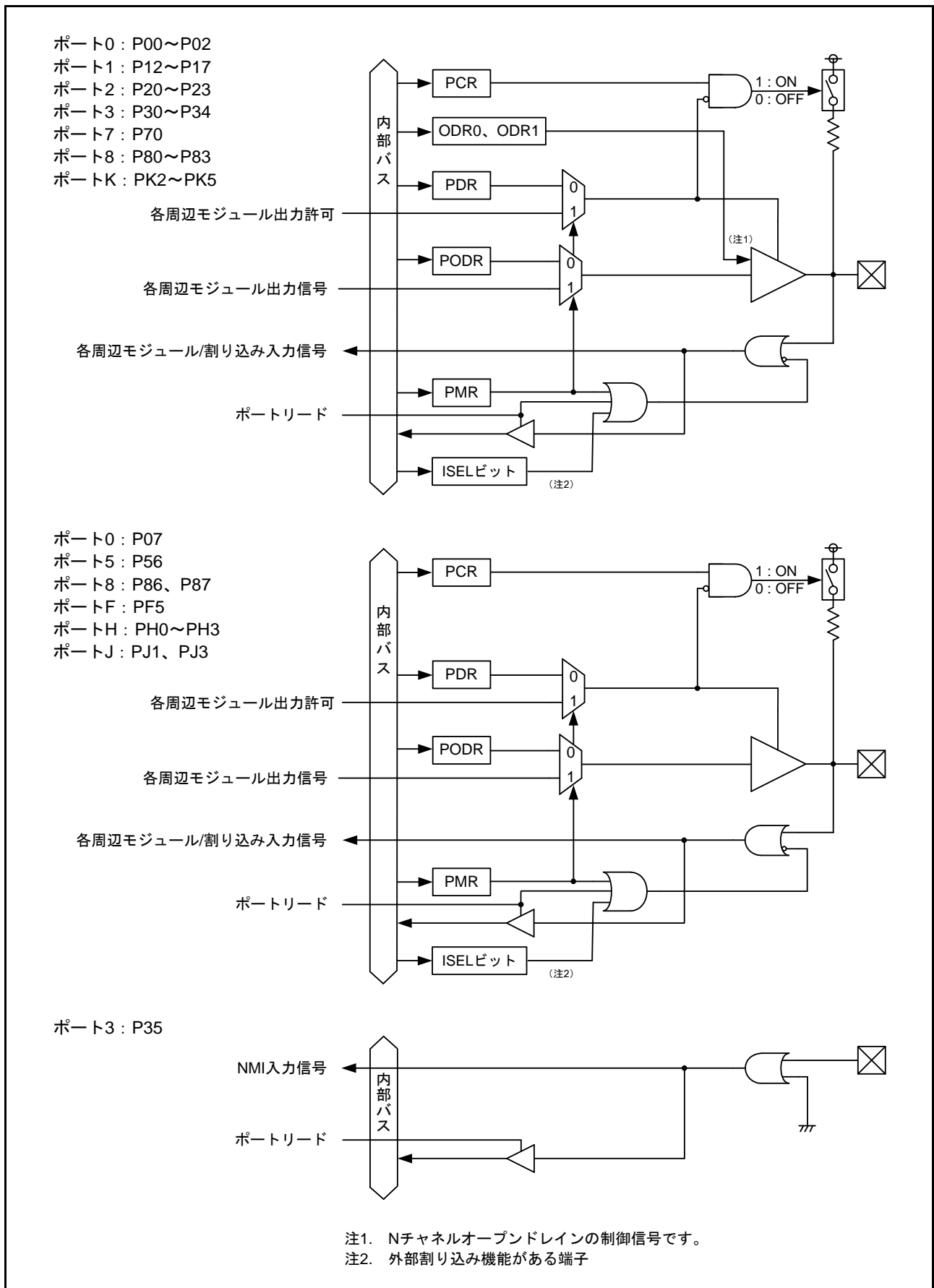


図 19.2 入出力ポートの構成 (2)

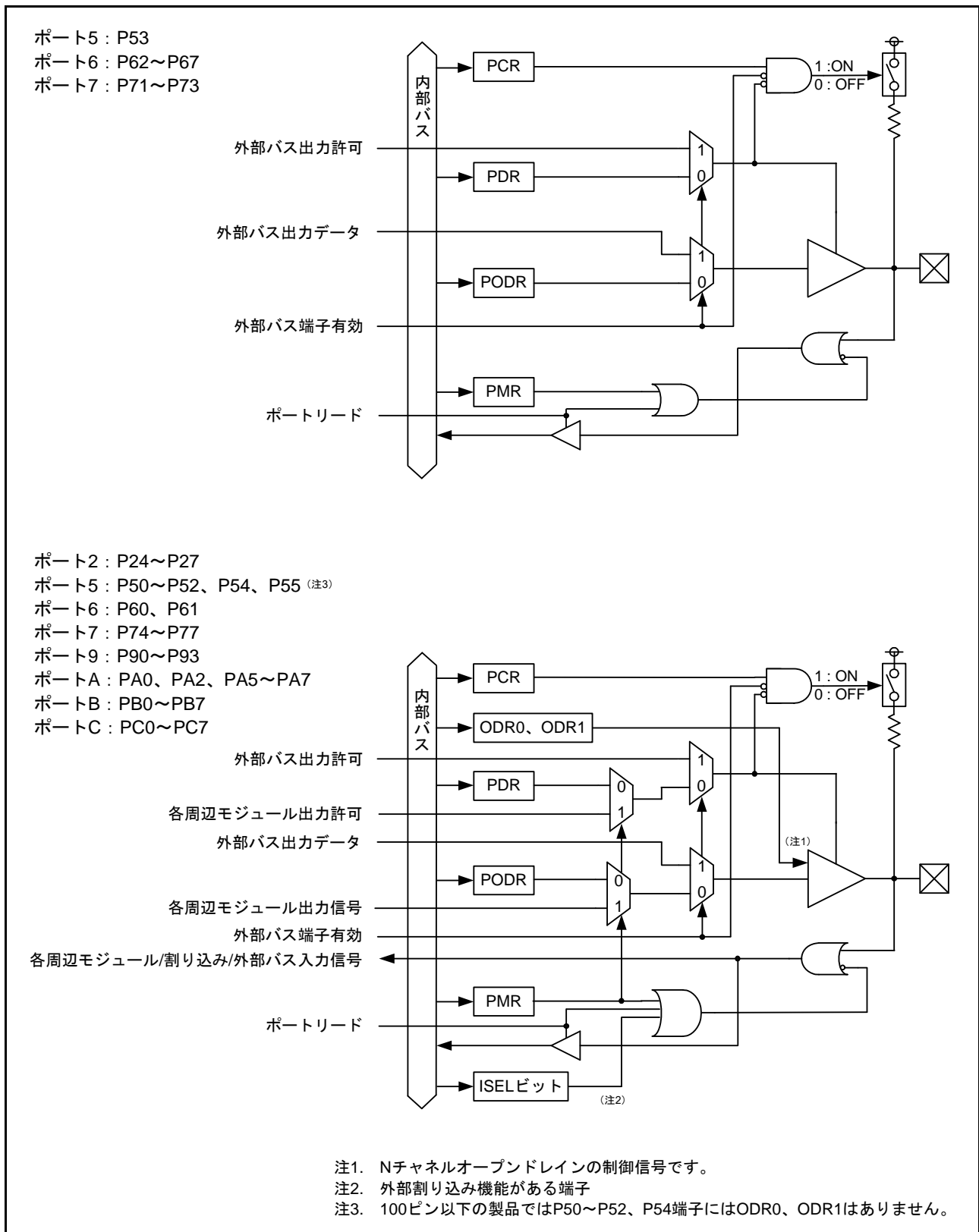


図 19.3 入出力ポートの構成 (3)

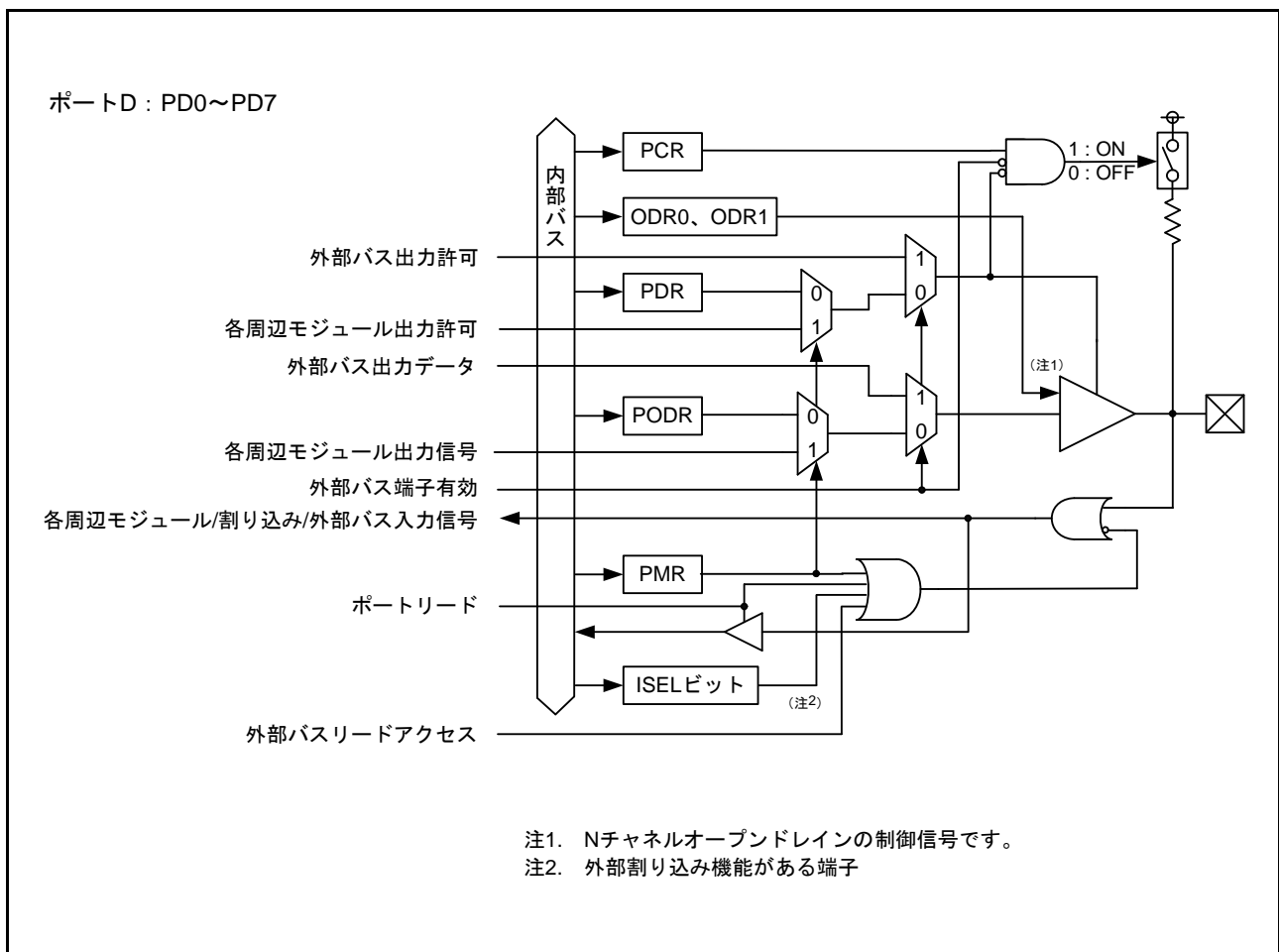


図 19.4 入出力ポートの構成 (4)

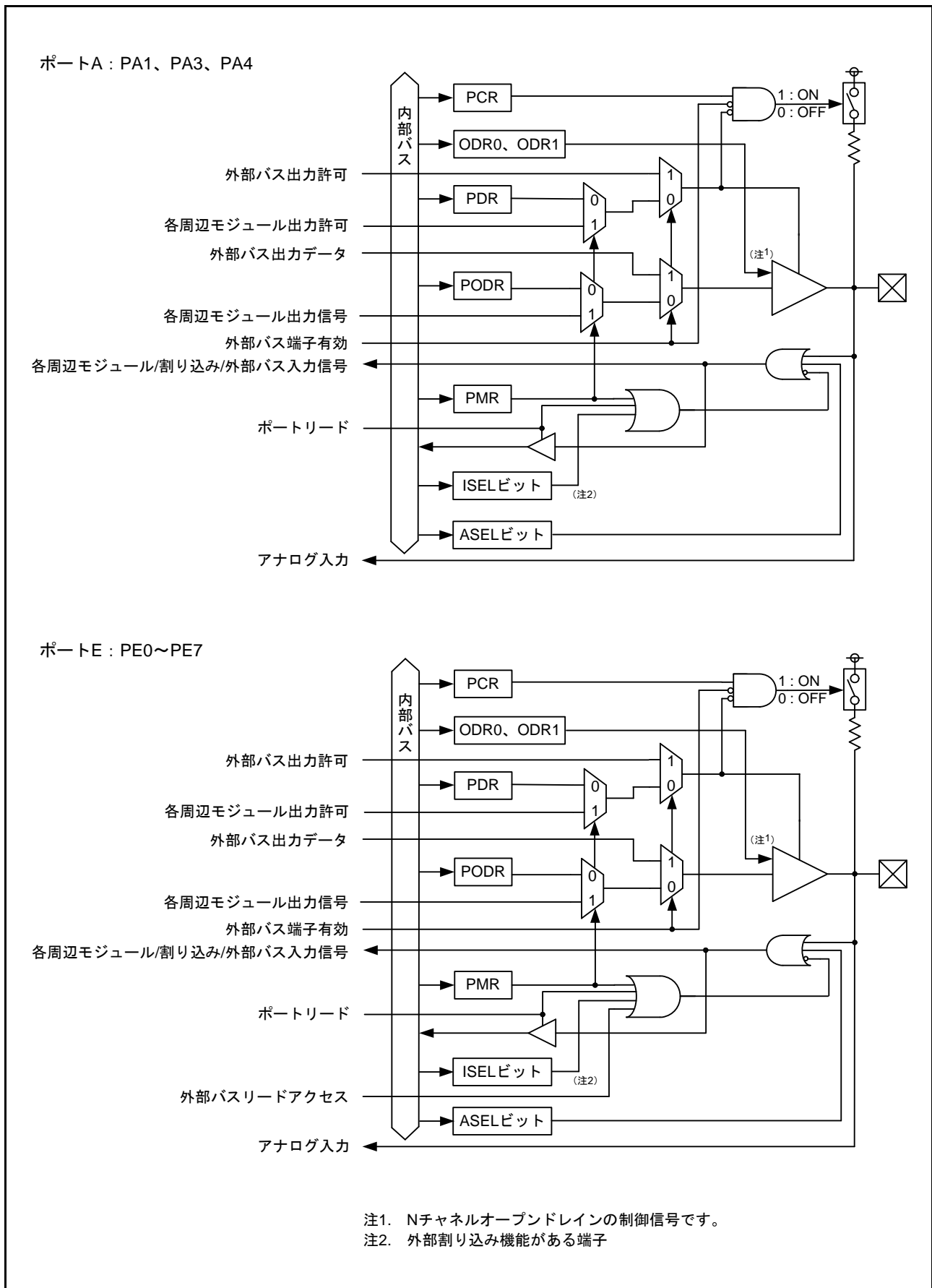


図 19.5 入出力ポートの構成 (5)

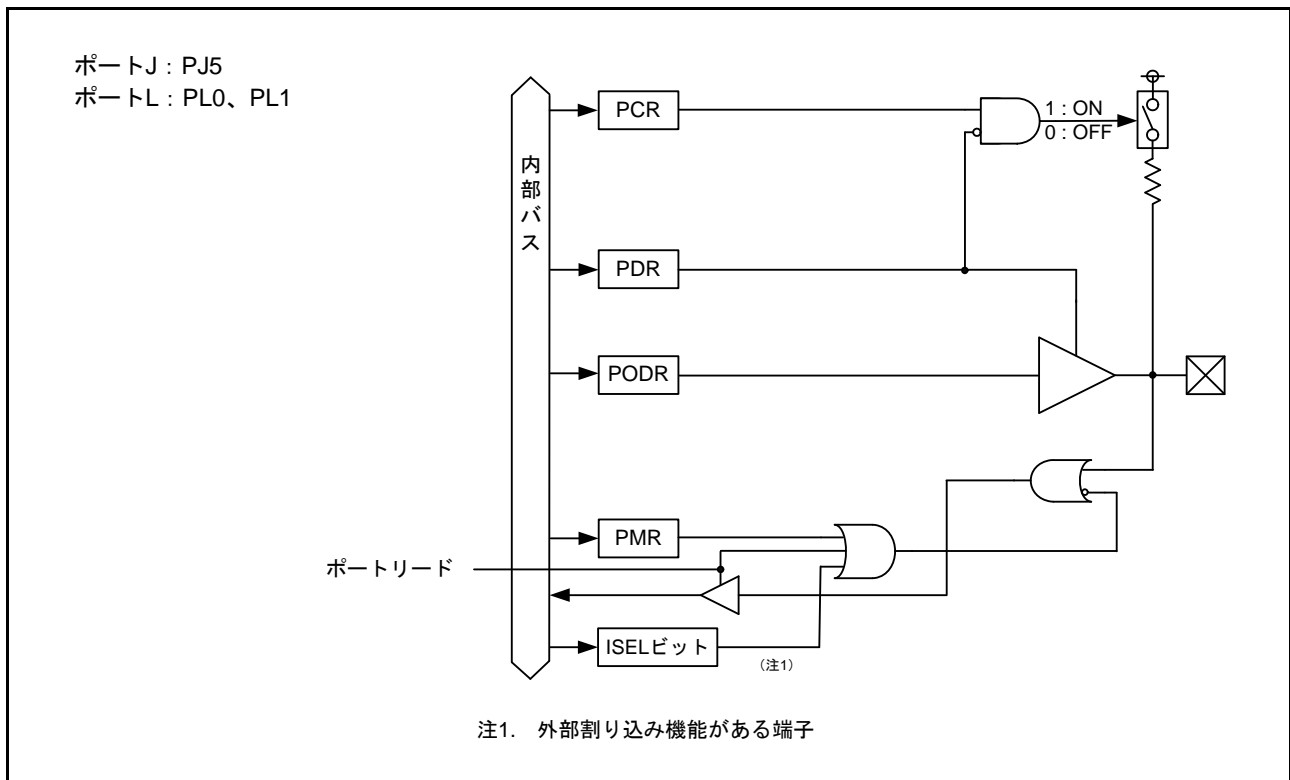


図 19.6 入出力ポートの構成 (6)

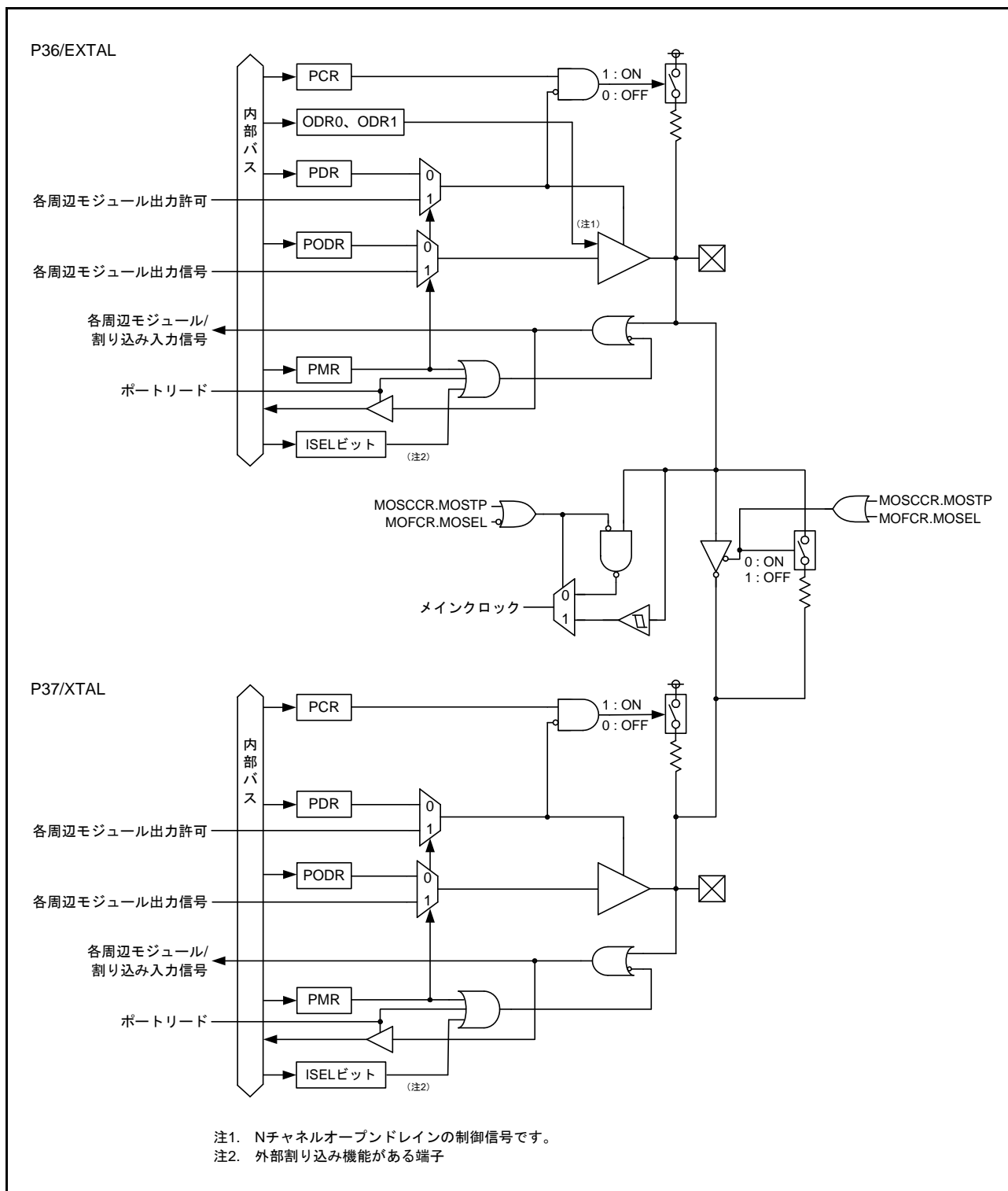


図 19.7 入出力ポートの構成 (7)

19.3 レジスタの説明

19.3.1 ポート方向レジスタ (PDR)

アドレス PORT0.PDR 0008 C000h、PORT1.PDR 0008 C001h、PORT2.PDR 0008 C002h、PORT3.PDR 0008 C003h、PORT4.PDR 0008 C004h、PORT5.PDR 0008 C005h、PORT6.PDR 0008 C006h、PORT7.PDR 0008 C007h、PORT8.PDR 0008 C008h、PORT9.PDR 0008 C009h、PORTA.PDR 0008 C00Ah、PORTB.PDR 0008 C00Bh、PORTC.PDR 0008 C00Ch、PORTD.PDR 0008 C00Dh、PORTE.PDR 0008 C00Eh、PORTF.PDR 0008 C00Fh、PORTH.PDR 0008 C011h、PORTJ.PDR 0008 C012h、PORTK.PDR 0008 C013h、PORTL.PDR 0008 C014h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0方向制御ビット	0 : 入力 (入力ポートとして機能) 1 : 出力 (出力ポートとして機能)	R/W
b1	B1	Pm1方向制御ビット		R/W
b2	B2	Pm2方向制御ビット		R/W
b3	B3	Pm3方向制御ビット		R/W
b4	B4	Pm4方向制御ビット		R/W
b5	B5	Pm5方向制御ビット		R/W
b6	B6	Pm6方向制御ビット		R/W
b7	B7	Pm7方向制御ビット		R/W

m = 0 ~ 9, A ~ F, H, J ~ L

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

PORTm.PDR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

フラッシュメモリ容量が 768K バイト以上の製品では、144 ピン未満のピン数の製品については、145 ピン、144 ピンに対して存在しないポート m の端子のビットは予約ビットです。“1” (出力) を書いてください。フラッシュメモリ容量が 512K バイト以下の製品では、100 ピン未満のピン数の製品については、100 ピンに対して存在しないポート m の端子のビットは予約ビットです。“1” (出力) を書いてください。

ソフトウェア互換のために、フラッシュメモリ容量が 512K バイト以下の製品で 100 ピンの製品については、145 ピン、144 ピンに対して存在しないポート m の端子のビットに“1” (出力) を書いてもかまいません。

ただし、フラッシュメモリ容量が 512K バイト以下の製品では、PORT6.PDR、PORT7.PDR、PORT8.PDR、PORT9.PDR、PORTF.PDR、PORTK.PDR、PORTL.PDR レジスタは、読むと不定値が読めますので注意してください。

P35 端子は入力専用のため、PORT3.PDR.B5 ビットは予約ビットです。存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

19.3.2 ポート出力データレジスタ (PODR)

アドレス PORT0.PODR 0008 C020h、PORT1.PODR 0008 C021h、PORT2.PODR 0008 C022h、PORT3.PODR 0008 C023h、
PORT4.PODR 0008 C024h、PORT5.PODR 0008 C025h、PORT6.PODR 0008 C026h、PORT7.PODR 0008 C027h、
PORT8.PODR 0008 C028h、PORT9.PODR 0008 C029h、PORTA.PODR 0008 C02Ah、PORTB.PODR 0008 C02Bh、
PORTC.PODR 0008 C02Ch、PORTD.PODR 0008 C02Dh、PORTE.PODR 0008 C02Eh、PORTF.PODR 0008 C02Fh、
PORTH.PODR 0008 C031h、PORTJ.PODR 0008 C032h、PORTK.PODR 0008 C033h、PORTL.PODR 0008 C034h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m = 0 ~ 9, A ~ F, H, J ~ L

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

144ピン未満のピン数の製品については、145ピン、144ピンに対して存在しないポート m の端子のビットは予約ビットです。書く場合は、“0”を書いてください。

P35端子は入力専用のため、PORT3.PODR.B5ビットは予約ビットです。存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

19.3.3 ポート入力データレジスタ (PIDR)

アドレス PORT0.PIDR 0008 C040h、PORT1.PIDR 0008 C041h、PORT2.PIDR 0008 C042h、PORT3.PIDR 0008 C043h、PORT4.PIDR 0008 C044h、PORT5.PIDR 0008 C045h、PORT6.PIDR 0008 C046h、PORT7.PIDR 0008 C047h、PORT8.PIDR 0008 C048h、PORT9.PIDR 0008 C049h、PORTA.PIDR 0008 C04Ah、PORTB.PIDR 0008 C04Bh、PORTC.PIDR 0008 C04Ch、PORTD.PIDR 0008 C04Dh、PORTE.PIDR 0008 C04Eh、PORTF.PIDR 0008 C04Fh、PORTH.PIDR 0008 C051h、PORTJ.PIDR 0008 C052h、PORTK.PIDR 0008 C053h、PORTL.PIDR 0008 C054h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 x x x x x x x x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 ビット	ポートの端子状態を反映	R
b1	B1	Pm1 ビット		R
b2	B2	Pm2 ビット		R
b3	B3	Pm3 ビット		R
b4	B4	Pm4 ビット		R
b5	B5	Pm5 ビット		R
b6	B6	Pm6 ビット		R
b7	B7	Pm7 ビット		R

m = 0 ~ 9、A ~ F、H、J ~ L

PIDR レジスタは、ポートの端子の状態を反映するレジスタです。

PORTm.PIDR レジスタを読むと、PORTm.PDR レジスタ、PORTm.PMR の値に関係なく端子の状態が読めます。

P35 は NMI 端子の状態が読み出されます。

存在しない端子のビットは予約ビットです。予約ビットは、読んだ場合、その値は不定です。書き込みは無効になります。

19.3.4 ポートモードレジスタ (PMR)

アドレス PORT0.PMR 0008 C060h、PORT1.PMR 0008 C061h、PORT2.PMR 0008 C062h、PORT3.PMR 0008 C063h、
PORT4.PMR 0008 C064h、PORT5.PMR 0008 C065h、PORT6.PMR 0008 C066h、PORT7.PMR 0008 C067h、
PORT8.PMR 0008 C068h、PORT9.PMR 0008 C069h、PORTA.PMR 0008 C06Ah、PORTB.PMR 0008 C06Bh、
PORTC.PMR 0008 C06Ch、PORTD.PMR 0008 C06Dh、PORTE.PMR 0008 C06Eh、PORTF.PMR 0008 C06Fh、
PORTH.PMR 0008 C071h、PORTJ.PMR 0008 C072h、PORTK.PMR 0008 C073h、PORTL.PMR 0008 C074h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 端子モード制御ビット	0 : 汎用入出力ポートとして使用 1 : 周辺機能として使用	R/W
b1	B1	Pm1 端子モード制御ビット		R/W
b2	B2	Pm2 端子モード制御ビット		R/W
b3	B3	Pm3 端子モード制御ビット		R/W
b4	B4	Pm4 端子モード制御ビット		R/W
b5	B5	Pm5 端子モード制御ビット		R/W
b6	B6	Pm6 端子モード制御ビット		R/W
b7	B7	Pm7 端子モード制御ビット		R/W

m = 0 ~ 9, A ~ F, H, J ~ L

PORTm.PMR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

144 ピン未満のピン数の製品については、145 ピン、144 ピンに対して存在しないポート m の端子のビットは予約ビットです。書く場合は、“0” を書いてください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

19.3.5 オープンドレイン制御レジスタ 0 (ODR0)

アドレス PORT0.ODR0 0008 C080h、PORT1.ODR0 0008 C082h、PORT2.ODR0 0008 C084h、PORT3.ODR0 0008 C086h、
PORT5.ODR0 0008 C08Ah、PORT6.ODR0 0008 C08Ch、PORT7.ODR0 0008 C08Eh、PORT8.ODR0 0008 C090h、
PORT9.ODR0 0008 C092h、PORTA.ODR0 0008 C094h、PORTB.ODR0 0008 C096h、PORTC.ODR0 0008 C098h、
PORTE.ODR0 0008 C09Ch、
PORTK.ODR0 0008 C0A6h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	B1	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	B2	Pm1出力形態指定ビット	<ul style="list-style-type: none"> • P01, P21, P31, P51, P61, P81, P91, PA1, PB1, PC1 	R/W
b3	B3		b2 0 : CMOS出力 1 : Nチャネルオープンドレイン b3 読むと“0”が読めます。書く場合、“0”としてください <ul style="list-style-type: none"> • PE1 b3 b2 0 0 : CMOS出力 0 1 : Nチャネルオープンドレイン 1 0 : Pチャネルオープンドレイン 1 1 : Hi-Z	R/W
b4	B4	Pm2出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b5	B5	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm3出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b7	B7	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 0 ~ 3、6 ~ 9、A ~ C、E、K

144ピン未満のピン数の製品については、145ピン、144ピンに対して存在しないポート m の端子のビットは予約ビットです。書く場合は、“0”を書いてください。

存在しない端子やオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

19.3.6 オープンドレイン制御レジスタ 1 (ODR1)

アドレス PORT1.ODR1 0008 C083h、PORT2.ODR1 0008 C085h、PORT3.ODR1 0008 C087h、PORT5.ODR0 0008 C08Bh、
PORT7.ODR1 0008 C08Fh、PORTA.ODR1 0008 C095h、PORTB.ODR1 0008 C097h、PORTC.ODR1 0008 C099h、
PORTE.ODR1 0008 C09Dh、PORTK.ODR1 0008 C0A7h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm4出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	B1	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	B2	Pm5出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b3	B3	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	B4	Pm6出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b5	B5	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm7出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b7	B7	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 1 ~ 3, 7, A ~ C, E, K

144ピン未満のピン数の製品については、145ピン、144ピンに対して存在しないポート m の端子のビットは予約ビットです。書く場合は、“0”を書いてください。

P35端子は入力専用のため、PORT3.ODR1.B2ビットは予約ビットです。存在しない端子やオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めず。書く場合、“0”としてください。

19.3.7 プルアップ制御レジスタ (PCR)

アドレス PORT0.PCR 0008 C0C0h、PORT1.PCR 0008 C0C1h、PORT2.PCR 0008 C0C2h、PORT3.PCR 0008 C0C3h、
PORT4.PCR 0008 C0C4h、PORT5.PCR 0008 C0C5h、PORT6.PCR 0008 C0C6h、PORT7.PCR 0008 C0C7h、
PORT8.PCR 0008 C0C8h、PORT9.PCR 0008 C0C9h、PORTA.PCR 0008 C0CAh、PORTB.PCR 0008 C0CBh、
PORTC.PCR 0008 C0CCh、PORTD.PCR 0008 C0CDh、PORTE.PCR 0008 C0CEh、PORTF.PCR 0008 C0CFh、
PORTH.PCR 0008 C0D1h、PORTJ.PCR 0008 C0D2h、PORTK.PCR 0008 C0D3h、PORTL.PCR 0008 C0D4h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0入力プルアップ抵抗制御ビット	0 : 入力プルアップ抵抗無効 1 : 入力プルアップ抵抗有効	R/W
b1	B1	Pm1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pm2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pm3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pm4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pm5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pm6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pm7入力プルアップ抵抗制御ビット		R/W

m = 0 ~ 9, A ~ F, H, J ~ L

端子が入力状態のとき、PORTm.PCR レジスタが“1”のビットに対応する端子の入力プルアップ抵抗が有効になります。

PCR レジスタは、ディープソフトウェアスタンバイモードになってもプルアップ状態を保持します。

WAIT# 端子を除く外部バス端子、汎用ポート出力、周辺機能出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。

リセット中もプルアップ抵抗は無効になります。

PORT3.PCR.B5 ビットは予約ビットです。また、存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

19.3.8 駆動能力制御レジスタ (DSCR)

アドレス PORT0.DSCR 0008 C0E0h、PORT1.DSCR 0008 C0E1h、PORT2.DSCR 0008 C0E2h、PORT3.DSCR 0008 C0E3h、
PORT5.DSCR 0008 C0E5h、PORT6.DSCR 0008 C0E6h、PORT7.DSCR 0008 C0E7h、PORT8.DSCR 0008 C0E8h、
PORT9.DSCR 0008 C0E9h、PORTA.DSCR 0008 C0EAh、PORTB.DSCR 0008 C0EBh、PORTC.DSCR 0008 C0ECh、
PORTD.DSCR 0008 C0EDh、PORTE.DSCR 0008 C0EEh、PORTH.DSCR 0008 C0F1h、PORTJ.DSCR 0008 C0F2h、
PORTK.DSCR 0008 C0F3h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 駆動能力制御ビット	0 : 通常出力 1 : 高駆動出力	R/W
b1	B1	Pm1 駆動能力制御ビット		R/W
b2	B2	Pm2 駆動能力制御ビット		R/W
b3	B3	Pm3 駆動能力制御ビット		R/W
b4	B4	Pm4 駆動能力制御ビット		R/W
b5	B5	Pm5 駆動能力制御ビット		R/W
b6	B6	Pm6 駆動能力制御ビット		R/W
b7	B7	Pm7 駆動能力制御ビット		R/W

m = 0 ~ 3、5 ~ 9、A ~ E、H、J、K

駆動能力が固定されている端子の当該ビットは、読み出し/書き込み可能ですが、駆動能力の切り替えはできません。

ディープソフトウェアスタンバイモードになると、全ビット通常出力になります。解除後も通常出力となります。

高駆動出力を選択した場合、標準出力を選択した場合に比べてスイッチングノイズが増えます。高駆動能力を選択する場合は、近隣端子にノイズによる影響がないか十分に評価してください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

19.4 未使用端子の処理

表 19.4 に未使用端子の処理内容を示します。

表 19.4 未使用端子の処理内容

端子名	処理内容
MD	(モード端子として使用)
RES#	抵抗を介してVCCに接続 (プルアップ)
P35/NMI	抵抗を介してVCCに接続 (プルアップ)
P36/EXTAL	メインクロックを使用しない場合は、MOSCCR.MOSTP ビットを“1”(汎用ポート P36)に設定 ポート P36 としても使用しない場合は、ポート 0~9 の処理と同様
P37/XTAL	メインクロックを使用しない場合は、MOSCCR.MOSTP ビットを“1”(汎用ポート P37)に設定 ポート P37 としても使用しない場合は、ポート 0~9 の処理と同様 EXTAL 端子に外部クロックを入力する場合は、端子を開放
XCIN	抵抗を介してVSSに接続 (プルダウン)
XCOU	端子を開放
ポート 0~9 ポート A~F、H、 ポート J~L	<ul style="list-style-type: none"> • 入力に設定 (PORTn.PDR ビット=“0”) し、1 端子ごとに抵抗を介してVCCに接続 (プルアップ)、または 1 端子ごとに抵抗を介してVSSに接続 (プルダウン) (注1) • 出力に設定 (PORTn.PDR ビット=“1”) し、端子を開放 (注1) (注2)
VREFH0	VCCに接続
VREFL0	VSSに接続
VREFH	VCCに接続
VREFL	VSSに接続

注1. PORTn.PMR ビットを“0”、およびPmnPFS.ISEL, ASEL ビットを“0”にしてください。

注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

20. マルチファンクションピンコントローラ (MPC)

20.1 概要

マルチファンクションピンコントローラ (MPC) は、周辺機能入出力、および割り込み入力信号を複数のポートから選択し割り付ける機能です。また、外部バス関連信号のポート割り付けも行います。

表 20.1 にマルチプル端子の割り当て端子一覧を示します。パッケージの違いによる端子の有無については、表内で○、×で示します。同一機能を複数端子で有効にすることは禁止です。

表 20.1 マルチプル端子の割り当て端子一覧 (1 / 1 2)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ				
				145ピン、 144ピン	100ピン	80ピン	69ピン、 64ピン	48ピン
割り込み		NMI(入力)	P35	○	○	○	○	○
割り込み	IRQ0	IRQ0-DS(入力)	P30	○	○	○	○	○
		IRQ0(入力)	PD0	○	○	○	×	×
			PH1	○	○	○	○	○
	IRQ1	IRQ1-DS(入力)	P31	○	○	○	○	○
		IRQ1(入力)	PD1	○	○	○	×	×
			PH2	○	○	○	○	○
	IRQ2	IRQ2-DS(入力)	P32	○	○	○	○	×
		IRQ2(入力)	P12	○	○	○	×	×
			PD2	○	○	○	×	×
	IRQ3	IRQ3-DS(入力)	P33	○	○	×	×	×
		IRQ3(入力)	P13	○	○	○	×	×
			PD3	○	○	×	×	×
	IRQ4	IRQ4-DS(入力)	PB1	○	○	○	○	○
		IRQ4(入力)	P14	○	○	○	○	○
			P34	○	○	○	×	×
			PD4	○	○	×	×	×
			PF5	○	×	×	×	×
	IRQ5	IRQ5-DS(入力)	PA4	○	○	○	○	○
		IRQ5(入力)	P15	○	○	○	○	○
			PD5	○	○	×	×	×
			PE5	○	○	○	○	×
	IRQ6	IRQ6-DS(入力)	PA3	○	○	○	○	○
		IRQ6(入力)	P16	○	○	○	○	○
PD6			○	○	×	×	×	
PE6			○	○	×	×	×	
IRQ7	IRQ7-DS(入力)	PE2	○	○	○	○	○	
	IRQ7(入力)	P17	○	○	○	○	○	
		PD7	○	○	×	×	×	
		PE7	○	○	×	×	×	

表20.1 マルチプル端子の割り当て端子一覧 (2 / 1 2)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ					
				145ピン、 144ピン	100ピン	80ピン	69ピン、 64ピン	48ピン	
マルチファンクション タイマユニット2	MTU0	MTIOC0A(入出力)	P34	○	○	○	×	×	
			PB3	○	○	○	○	○	
		MTIOC0B(入出力)	P13	○	○	○	×	×	
			P15	○	○	○	○	○	
			PA1	○	○	○	○	○	
		MTIOC0C(入出力)	P32	○	○	○	○	×	
			PB1	○	○	○	○	○	
		MTIOC0D(入出力)	P33	○	○	×	×	×	
			PA3	○	○	○	○	○	
		MTU1	MTIOC1A(入出力)	P20	○	○	○	×	×
				PE4	○	○	○	○	○
			MTIOC1B(入出力)	P21	○	○	○	×	×
	PB5			○	○	○	○	○	
	MTU2	MTIOC2A(入出力)	P26	○	○	○	○	○	
			PB5	○	○	○	○	○	
		MTIOC2B(入出力)	P27	○	○	○	○	○	
			PE5	○	○	○	○	×	
	MTU3	MTIOC3A(入出力)	P14	○	○	○	○	○	
			P17	○	○	○	○	○	
			PC1	○	○	×	×	×	
			PC7	○	○	○	○	○	
			PJ1	○	○	○	×	×	
		MTIOC3B(入出力)	P17	○	○	○	○	○	
			P22	○	○	×	×	×	
			P80	○	×	×	×	×	
			PB7	○	○	○	○	×	
			PC5	○	○	○	○	○	
		MTIOC3C(入出力)	P16	○	○	○	○	○	
			P56	○	×	×	×	×	
			PC0	○	○	×	×	×	
			PC6	○	○	○	○	○	
			PJ3	○	○	×	×	×	
		MTIOC3D(入出力)	P16	○	○	○	○	○	
			P23	○	○	×	×	×	
			P81	○	×	×	×	×	
			PB6	○	○	○	○	×	
			PC4	○	○	○	○	○	

表20.1 マルチプル端子の割り当て端子一覧 (3 / 1 2)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				145ピン、 144ピン	100ピン	80ピン	69ピン、 64ピン	48ピン
マルチファンクション タイマユニット2	MTU4	MTIOC4A(入出力)	P24	○	○	×	×	×
			P82	○	×	×	×	×
			PA0	○	○	○	○	×
			PB3	○	○	○	○	○
			PE2	○	○	○	○	○
		MTIOC4B(入出力)	P30	○	○	○	○	○
			P54	○	○	○	○	×
			PC2	○	○	○	○	×
			PD1	○	○	○	×	×
			PE3	○	○	○	○	○
		MTIOC4C(入出力)	P25	○	○	×	×	×
			P83	○	×	×	×	×
			PB1	○	○	○	○	○
			PE1	○	○	○	○	○
			PE5	○	○	○	○	×
		MTIOC4D(入出力)	P31	○	○	○	○	○
			P55	○	○	○	○	×
			PC3	○	○	○	○	×
			PD2	○	○	○	×	×
			PE4	○	○	○	○	○
	MTU5	MTIC5U(入力)	PA4	○	○	○	○	○
			PD7	○	○	×	×	×
		MTIC5V(入力)	PA6	○	○	○	○	○
			PD6	○	○	×	×	×
		MTIC5W(入力)	PB0	○	○	○	○	○
			PD5	○	○	×	×	×
	MTU	MTCLKA(入力)	P14	○	○	○	○	○
			P24	○	○	×	×	×
			PA4	○	○	○	○	○
			PC6	○	○	○	○	○
		MTCLKB(入力)	P15	○	○	○	○	○
			P25	○	○	×	×	×
			PA6	○	○	○	○	○
			PC7	○	○	○	○	○
		MTCLKC(入力)	P22	○	○	×	×	×
			PA1	○	○	○	○	○
			PC4	○	○	○	○	○
		MTCLKD(入力)	P23	○	○	×	×	×
			PA3	○	○	○	○	○
	PC5		○	○	○	○	○	

表20.1 マルチプル端子の割り当て端子一覧 (4 / 1 2)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				145ピン、 144ピン	100ピン	80ピン	69ピン、 64ピン	48ピン
ポートアウトプット イネーブル2	POE0	POE0#(入力)	PC4	○	○	○	○	○
			PD7	○	○	×	×	×
	POE1	POE1#(入力)	PB5	○	○	○	○	○
			PD6	○	○	×	×	×
	POE2	POE2#(入力)	P34	○	○	○	×	×
			PA6	○	○	○	○	○
			PD5	○	○	×	×	×
	POE3	POE3#(入力)	P33	○	○	×	×	×
			PB3	○	○	○	○	○
			PD4	○	○	×	×	×
	POE8	POE8#(入力)	P17	○	○	○	○	○
			P30	○	○	○	○	○
			PD3	○	○	×	×	×
			PE3	○	○	○	○	○

表20.1 マルチプル端子の割り当て端子一覧 (5 / 1 2)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ				
				145ピン、 144ピン	100ピン	80ピン	69ピン、 64ピン	48ピン
16ビットタイマパルスユニット	TPU0	TIOCA0(入出力)	P86	○	×	×	×	×
			PA0	○	×	×	×	×
		TIOCB0(入出力)	P17	○	×	×	×	×
			PA1	○	×	×	×	×
		TIOCC0(入出力)	P32	○	×	×	×	×
		TIOCD0(入出力)	P33	○	×	×	×	×
	PA3		○	×	×	×	×	
	TPU1	TIOCA1(入出力)	P56	○	×	×	×	×
			PA4	○	×	×	×	×
		TIOCB1(入出力)	P16	○	×	×	×	×
			PA5	○	×	×	×	×
	TPU2	TIOCA2(入出力)	P87	○	×	×	×	×
			PA6	○	×	×	×	×
		TIOCB2(入出力)	P15	○	×	×	×	×
			PA7	○	×	×	×	×
	TPU3	TIOCA3(入出力)	P21	○	×	×	×	×
			PB0	○	×	×	×	×
		TIOCB3(入出力)	P20	○	×	×	×	×
			PB1	○	×	×	×	×
		TIOCC3(入出力)	P22	○	×	×	×	×
			PB2	○	×	×	×	×
	TIOCD3(入出力)	P23	○	×	×	×	×	
		PB3	○	×	×	×	×	
	TPU4	TIOCA4(入出力)	P25	○	×	×	×	×
			PB4	○	×	×	×	×
		TIOCB4(入出力)	P24	○	×	×	×	×
			PB5	○	×	×	×	×
	TPU5	TIOCA5(入出力)	P13	○	×	×	×	×
			PB6	○	×	×	×	×
		TIOCB5(入出力)	P14	○	×	×	×	×
			PB7	○	×	×	×	×
	TPU	TCLKA(入力)	P14	○	×	×	×	×
PC2			○	×	×	×	×	
TCLKB(入力)		P15	○	×	×	×	×	
		PA3	○	×	×	×	×	
		PC3	○	×	×	×	×	
TCLKC(入力)		P16	○	×	×	×	×	
		PB2	○	×	×	×	×	
		PC0	○	×	×	×	×	
TCLKD(入力)	P17	○	×	×	×	×		
	PB3	○	×	×	×	×		
	PC1	○	×	×	×	×		

表 20.1 マルチプル端子の割り当て端子一覧 (6 / 1 2)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ					
				145ピン、 144ピン	100ピン	80ピン	69ピン、 64ピン	48ピン	
8ビットタイマ	TMR0	TMO0(出力)	P22	○	○	×	×	×	
			PB3	○	○	○	○	○	
			PH1	○	○	○	○	○	
		TMC10(入力)	P01	○	×	×	×	×	
			P21	○	○	○	×	×	
			PB1	○	○	○	○	○	
		TMR10(入力)	PH3	○	○	○	○	○	
			P00	○	×	×	×	×	
			P20	○	○	○	×	×	
			PA4	○	○	○	○	○	
		PH2	○	○	○	○	○		
			TMR1	TMO1(出力)	P17	○	○	○	○
	P26				○	○	○	○	○
	TMC11(入力)		P02	○	×	×	×	×	
		P12	○	○	○	×	×		
		P54	○	○	○	○	×		
		PC4	○	○	○	○	○		
	TMR11(入力)	P24	○	○	×	×	×		
		PB5	○	○	○	○	○		
	TMR2	TMO2(出力)	P16	○	○	○	○	○	
			PC7	○	○	○	○	○	
		TMC12(入力)	P15	○	○	○	○	○	
			P31	○	○	○	○	○	
			PC6	○	○	○	○	○	
		TMR12(入力)	P14	○	○	○	○	○	
	PC5		○	○	○	○	○		
	TMR3	TMO3(出力)	P13	○	○	○	×	×	
			P32	○	○	○	○	×	
			P55	○	○	○	○	×	
		TMC13(入力)	P27	○	○	○	○	○	
			P34	○	○	○	×	×	
			PA6	○	○	○	○	○	
		TMR13(入力)	P30	○	○	○	○	○	
P33			○	○	×	×	×		

表 20.1 マルチプル端子の割り当て端子一覧 (7 / 1 2)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				145ピン、 144ピン	100ピン	80ピン	69ピン、 64ピン	48ピン
シリアルコミュニケーション インタフェース	SCI0	RXD0(入力)/ SMISO0(入出力)/ SSCL0(入出力)	P21	○	○	○ (ただし、 SMISO0 機能はあり ません)	×	×
			P33	○	×	×	×	×
		TXD0(出力)/ SMOSI0(入出力)/ SSDA0(入出力)	P20	○	○	○ (ただし、 SMOSI0機 能はありま せん)	×	×
			P32	○	×	×	×	×
		SCK0(入出力)	P22	○	○	×	×	×
			P34	○	×	×	×	×
		CTS0#(入力)/ RTS0#(出力)/ SS0#(入力)	P23	○	○	×	×	×
	PJ3		○	×	×	×	×	
	SCI1	RXD1(入力)/ SMISO1(入出力)/ SSCL1(入出力)	P15	○	○	○	○	○
			P30	○	○	○	○	○
		TXD1(出力)/ SMOSI1(入出力)/ SSDA1(入出力)	P16	○	○	○	○	○
			P26	○	○	○	○	○
		SCK1(入出力)	P17	○	○	○	○	○
			P27	○	○	○	○	○
		CTS1#(入力)/ RTS1#(出力)/ SS1#(入力)	P14	○	○	○	○	○
	P31		○	○	○	○	○	
	SCI2	RXD2(入力)/ SMISO2(入出力)/ SSCL2(入出力)	P12	○	×	×	×	×
			P52	○	×	×	×	×
		TXD2(出力)/ SMOSI2(入出力)/ SSDA2(入出力)	P13	○	×	×	×	×
			P50	○	×	×	×	×
		SCK2(入出力)	P51	○	×	×	×	×
CTS2#(入力)/ RTS2#(出力)/ SS2#(入力)		P54	○	×	×	×	×	
SCI3	RXD3(入力)/ SMISO3(入出力)/ SSCL3(入出力)	P16	○	×	×	×	×	
		P25	○	×	×	×	×	
	TXD3(出力)/ SMOSI3(入出力)/ SSDA3(入出力)	P17	○	×	×	×	×	
		P23	○	×	×	×	×	
	SCK3(入出力)	P15	○	×	×	×	×	
		P24	○	×	×	×	×	
CTS3#(入力)/ RTS3#(出力)/ SS3#(入力)	P26	○	×	×	×	×		

表20.1 マルチプル端子の割り当て端子一覧 (8 / 1 2)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ					
				145ピン、 144ピン	100ピン	80ピン	69ピン、 64ピン	48ピン	
シリアルコミュニケーション インタフェース	SCI4	RXD4(入力)/ SMISO4(入出力)/ SSCL4(入出力)	PB0	○	×	×	×	×	
			PK4	○	×	×	×	×	
		TXD4(出力)/ SMOSI4(入出力)/ SSDA4(入出力)	PB1	○	×	×	×	×	
			PK5	○	×	×	×	×	
		SCK4(入出力)	P70	○	×	×	×	×	
			PB3	○	×	×	×	×	
		CTS4#(入力)/ RTS4#(出力)/ SS4#(入力)	PB2	○	×	×	×	×	
			PE6	○	×	×	×	×	
		SCI5	RXD5(入力)/ SMISO5(入出力)/ SSCL5(入出力)	PA2	○	○	○	×	×
				PA3	○	○	○	○	○
	PC2			○	○	○	○	×	
	TXD5(出力)/ SMOSI5(入出力)/ SSDA5(入出力)		PA4	○	○	○	○	○	
			PC3	○	○	○	○	×	
	SCK5(入出力)		PA1	○	○	○	○	○	
			PC1	○	○	×	×	×	
			PC4	○	○	○	○	○	
	CTS5#(入力)/ RTS5#(出力)/ SS5#(入力)		PA6	○	○	○	○	○	
			PC0	○	○	×	×	×	
	SCI6	RXD6(入力)/ SMISO6(入出力)/ SSCL6(入出力)	P01	○	×	×	×	×	
			P33	○	○	×	×	×	
			PB0	○	○	○	○	○	
		TXD6(出力)/ SMOSI6(入出力)/ SSDA6(入出力)	P00	○	×	×	×	×	
			P32	○	○	○	○	×	
			PB1	○	○	○	○	○	
		SCK6(入出力)	P02	○	×	×	×	×	
			P34	○	○	○	×	×	
			PB3	○	○	○	○	○	
		CTS6#(入力)/ RTS6#(出力)/ SS6#(入力)	PB2	○	○	○	×	×	
	PJ3		○	○	×	×	×		
	SCI7	RXD7(入力)/ SMISO7(入出力)/ SSCL7(入出力)	P92	○	×	×	×	×	
			P90	○	×	×	×	×	
			P91	○	×	×	×	×	
P93			○	×	×	×	×		

表20.1 マルチプル端子の割り当て端子一覧 (9 / 1 2)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				145ピン、 144ピン	100ピン	80ピン	69ピン、 64ピン	48ピン
シリアルコミュニケーション インタフェース	SCI8	RXD8(入力)/ SMISO8(入出力)/ SSCL8(入出力)	PC6	○	○	○	○	○
		TXD8(出力)/ SMOSI8(入出力)/ SSDA8(入出力)	PC7	○	○	○	○	○
		SCK8(入出力)	PC5	○	○	○	○	○
		CTS8#(入力)/ RTS8#(出力)/ SS8#(入力)	PC4	○	○	○	○	○
	SCI9	RXD9(入力)/ SMISO9(入出力)/ SSCL9(入出力)	PB6	○	○	○	○	×
			PK3	○	×	×	×	×
		TXD9(出力)/ SMOSI9(入出力)/ SSDA9(入出力)	PB7	○	○	○	○	×
			PK2	○	×	×	×	×
		SCK9(入出力)	P60	○	×	×	×	×
			PB5	○	○	○	○	×
	CTS9#(入力)/ RTS9#(出力)/ SS9#(入力)	P61	○	×	×	×	×	
		PB4	○	○	○	×	×	
	SCI10	RXD10(入力)/ SMISO10(入出力)/ SSCL10(入出力)	P81	○	×	×	×	×
			P82	○	×	×	×	×
			P80	○	×	×	×	×
			P83	○	×	×	×	×
	SCI11	RXD11(入力)/ SMISO11(入出力)/ SSCL11(入出力)	P76	○	×	×	×	×
			P77	○	×	×	×	×
			P75	○	×	×	×	×
			P74	○	×	×	×	×

表20.1 マルチプル端子の割り当て端子一覧 (10 / 12)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ				
				145ピン、 144ピン	100ピン	80ピン	69ピン、 64ピン	48ピン
シリアルコミュニケーション インタフェース	SCI12	RXD12(入力)/ SMISO12(入出力)/ SSCL12(入出力)/ RXDX12(入力)	PE2	○	○	○	○	○ (ただし、 SMISO12 機能はあり ません)
		TXD12(出力)/ SMOSI12(入出力)/ SSDA12(入出力)/ TXDX12(出力)/ SIOX12(入出力)	PE1	○	○	○	○	○ (ただし、 SMOSI12 機能はあり ません)
		SCK12(入出力)	PE0	○	○	○	○	×
		CTS12#(入力)/ RTS12#(出力)/ SS12#(入力)	PE3	○	○	○	○	○ (ただし、 SS12#機能 はありません)
I ² Cバスインタフェース	RIIC0	SCL-DS(入出力)	P16	○	○	○	○	○
		SCL(入出力)	P12	○	○	○	×	×
		SDA-DS(入出力)	P17	○	○	○	○	○
		SDA(入出力)	P13	○	○	○	×	×
シリアルペリフェラル インタフェース	RSPI0	RSPCKA(入出力)	PA5	○	○	○	×	×
			PB0	○	○	○	○	○
			PC5	○	○	○	○	○
		MOSIA(入出力)	P16	○	○	○	○	○
			PA6	○	○	○	○	○
			PC6	○	○	○	○	○
		MISOA(入出力)	P17	○	○	○	○	○
			PA7	○	○	×	×	×
			PC7	○	○	○	○	○
		SSLA0(入出力)	PA4	○	○	○	○	○
			PC4	○	○	○	○	○
		SSLA1(出力)	PA0	○	○	○	○	×
			PC0	○	○	×	×	×
		SSLA2(出力)	PA1	○	○	○	○	○
			PC1	○	○	×	×	×
		SSLA3(出力)	PA2	○	○	○	×	×
PC2	○		○	○	○	×		
リアルタイムクロック		RTCOUT(出力)	P16	○	○	○	○	×
			P32	○	○	○	○	×
		RTCIC0(入力) (注1)	P30	○	○	○	○	×
		RTCIC1(入力) (注1)	P31	○	○	○	○	×
		RTCIC2(入力) (注1)	P32	○	○	○	○	×

表20.1 マルチプル端子の割り当て端子一覧 (11 / 12)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				145ピン、 144ピン	100ピン	80ピン	69ピン、 64ピン	48ピン
12ビットA/Dコンバータ		AN000(入力) (注1)	P40	○	○	○	○	○
		AN001(入力) (注1)	P41	○	○	○	○	○
		AN002(入力) (注1)	P42	○	○	○	○	○
		AN003(入力) (注1)	P43	○	○	○	○	×
		AN004(入力) (注1)	P44	○	○	○	○	×
		AN005(入力) (注1)	P45	○	○	○	×	×
		AN006(入力) (注1)	P46	○	○	○	○	○
		AN007(入力) (注1)	P47	○	○	○	×	×
		AN008(入力) (注1)	PE0	○	○	○	○	×
		AN009(入力) (注1)	PE1	○	○	○	○	○
		AN010(入力) (注1)	PE2	○	○	○	○	○
		AN011(入力) (注1)	PE3	○	○	○	○	○
		AN012(入力) (注1)	PE4	○	○	○	○	○
		AN013(入力) (注1)	PE5	○	○	○	○	×
		AN014(入力) (注1)	PE6	○	○	×	×	×
		AN015(入力) (注1)	PE7	○	○	×	×	×
	D/Aコンバータ		ADTRG0#(入力)	P07	○	○	○	×
			P16	○	○	○	○	○
			P25	○	○	×	×	×
D/Aコンバータ		DA0(出力) (注1)	P03	○	○	○	○	×
		DA1(出力) (注1)	P05	○	○	○	○	×
クロック周波数精度測定回路		CACREF(入力)	PA0	○	○	○	○	×
			PC7	○	○	○	○	○
			PH0	○	○	○	○	○
コンパレータA		CMPA1(入力) (注1)	PE3	○	○	○	○	○
		CMPA2(入力) (注1)	PE4	○	○	○	○	○
		CVREFA(入力) (注1)	PA1	○	○	○	○	○
コンパレータB		CMPB0(入力) (注1)	PE1	○	○	○	○	○
		CVREFB0(入力) (注1)	PE2	○	○	○	○	○
		CMPB1(入力) (注1)	PA3	○	○	○	○	○
		CVREFB1(入力) (注1)	PA4	○	○	○	○	○

表20.1 マルチプル端子の割り当て端子一覧 (12 / 12)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				145ピン、 144ピン	100ピン	80ピン	69ピン、 64ピン	48ピン
外部バス (注2)		CS0#(出力)	P24	○	○	×	×	×
			PC7	○	○	×	×	×
	CS1#(出力)	P25	○	○	×	×	×	
		PC6	○	○	×	×	×	
	CS2#(出力)	P26	○	○	×	×	×	
		PC5	○	○	×	×	×	
	CS3#(出力)	P27	○	○	×	×	×	
		PC4	○	○	×	×	×	
	A0~A7(出力)	PA0~PA7	○	○	×	×	×	
	A8~A15(出力)	PB0~PB7	○	○	×	×	×	
	A16~A23(出力)	PC0~PC7	○	○	×	×	×	
	D0~D7(入出力)	PD0~PD7	○	○	×	×	×	
	D8~D15(入出力)	PE0~PE7	○	○	×	×	×	
	BCLK(出力)	P53	○	○	×	×	×	
	RD#(出力)	P52	○	○	×	×	×	
	WR#(出力)	P50	○	○	×	×	×	
	WR0#(出力)	P50	○	○	×	×	×	
	WR1#(出力)	P51	○	○	×	×	×	
	BC0#(出力)	PA0	○	○	×	×	×	
	BC1#(出力)	P51	○	○	×	×	×	
	WAIT#(入力)	P51	○	○	×	×	×	
		P55	○	○	×	×	×	
		PC5	○	○	×	×	×	
ALE(出力)	P54	○	○	×	×	×		

注1. この端子機能を使用する場合は、該当端子の設定を汎用入力にしてください (PORT.PDR.BmビットおよびPORT.PMR.Bmビットを“0”にする)。

注2. 外部バスの設定については、「20.3 外部バスインタフェース設定方法」を参照してください。

20.2 レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書く場合は、リセット後の値を書いてください。

20.2.1 書き込みプロテクトレジスタ (PWPR)

アドレス 0008 C11Fh

b7	b6	b5	b4	b3	b2	b1	b0
B0WI	PFSWE	—	—	—	—	—	—

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PFSWE	PFSレジスタ書き込み許可ビット	0 : PFSレジスタへの書き込みを禁止 1 : PFSレジスタへの書き込みを許可	R/W
b7	B0WI	PFSWEビット書き込み禁止ビット	0 : PFSWEビットへの書き込みを許可 1 : PFSWEビットへの書き込みを禁止	R/W

PFSWE ビット (PFS レジスタ書き込み許可ビット)

PFSWE ビットを“1”にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。

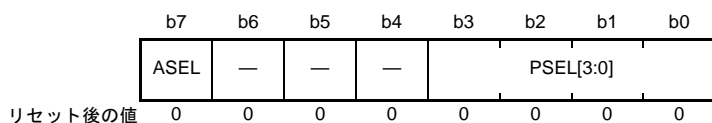
PFSWE ビットを“1”にする場合は、B0WI ビットに“0”を書いた後、PFSWE ビットを“1”にしてください。

B0WI ビット (PFSWE ビット書き込み禁止ビット)

B0WI ビットを“0”にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

20.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n=0 ~ 3、5、7)

アドレス P00PFS 0008 C140h、P01PFS 0008 C141h、P02PFS 0008 C142h、
P03PFS 0008 C143h、P05PFS 0008 C145h、P07PFS 0008 C147h



ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P03 : DA0 (145/144/100/80/69/64ピン) P05 : DA1 (145/144/100/80/69/64ピン)	R/W

Pmn 端子機能制御レジスタ (PmnPFS) は、端子の機能を選択します。

PSEL[3:0] ビットで端子に割り付ける周辺機能を設定します。

ISEL ビットは、IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせても使用できません。ただし、同じ番号の IRQn (外部端子割り込み) を2つ以上の端子で許可することは禁止です。

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。ASEL ビットでアナログ端子として設定する場合、ポートモードレジスタ (PORTm.PMR) で汎用入出力ポートを選択し、ポート方向レジスタ (PORTm.PDR) で入力としてください。このとき、端子状態を読むことはできません。PmnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

IRQn 機能のない端子の ISEL ビットは予約です。アナログ入出力機能のない端子の ASEL ビットは予約です。

表20.2 145ピン、144ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子					
	P00	P01	P02	P03	P05	P07
0000b (初期値)	Hi-Z					
0101b	TMRI0	TMCI0	TMC11	—	—	—
1001b	—	—	—	—	—	ADTRG0#
1010b	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	SCK6	—	—	—

— : 設定しないでください。

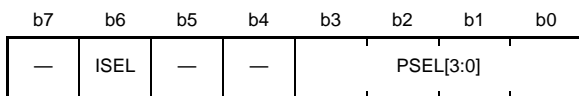
表20.3 100ピン、80ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子		
	P03	P05	P07
0000b (初期値)	Hi-Z		
1001b	—	—	ADTRG0#

— : 設定しないでください。

20.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n=2 ~ 7)

アドレス P12PFS 0008 C14Ah, P13PFS 0008 C14Bh, P14PFS 0008 C14Ch,
P15PFS 0008 C14Dh, P16PFS 0008 C14Eh, P17PFS 0008 C14Fh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P12: IRQ2 (145/144/100/80ピン) P13: IRQ3 (145/144/100/80ピン) P14: IRQ4 (145/144/100/80//69/64/48ピン) P15: IRQ5 (145/144/100/80//69/64/48ピン) P16: IRQ6 (145/144/100/80//69/64/48ピン) P17: IRQ7 (145/144/100/80/69/64/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表20.4 145ピン、144ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子					
	P12	P13	P14	P15	P16	P17
0000b (初期値)	Hi-Z					
0001b	—	MTIOC0B	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
0010b	—	—	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
0011b	—	TIOCA5	TIOCB5	TIOCB2	TIOCB1	TIOCB0
0100b	—	—	TCLKA	TCLKB	TCLKC	TCLKD
0101b	TMCI1	TMO3	TMRI2	TMCI2	TMO2	TMO1
0111b	—	—	—	—	RTCOUT	POE8#
1001b	—	—	—	—	ADTRG0#	—
1010b	RXD2 SMISO2 SSCL2	TXD2 SMOSI2 SSDA2	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
1011b	—	—	CTS1# RTS1# SS1#	SCK3	RXD3 SMISO3 SSCL3	TXD3 SMOSI3 SSDA3
1101b	—	—	—	—	MOSIA	MISOA
1111b	SCL	SDA	—	—	SCL-DS	SDA-DS

— : 設定しないでください。

表 20.5 100ピン、80ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子					
	P12	P13	P14	P15	P16	P17
0000b (初期値)	Hi-Z					
0001b	—	MTIOC0B	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
0010b	—	—	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
0101b	TMCI1	TMO3	TMRI2	TMCI2	TMO2	TMO1
0111b	—	—	—	—	RTCOUT	POE8#
1001b	—	—	—	—	ADTRG0#	—
1010b	—	—	—	RXD1 SMISO1 SSCL1	TXD1 SMOS1 SSDA1	SCK1
1011b	—	—	CTS1# RTS1# SS1#	—	—	—
1101b	—	—	—	—	MOSIA	MISOA
1111b	SCL	SDA	—	—	SCL-DS	SDA-DS

— : 設定しないでください。

表 20.6 69ピン、64ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子			
	P14	P15	P16	P17
0000b (初期値)	Hi-Z			
0001b	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
0010b	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
0101b	TMRI2	TMCI2	TMO2	TMO1
0111b	—	—	RTCOUT	POE8#
1001b	—	—	ADTRG0#	—
1010b	—	RXD1 SMISO1 SSCL1	TXD1 SMOS1 SSDA1	SCK1
1011b	CTS1# RTS1# SS1#	—	—	—
1101b	—	—	MOSIA	MISOA
1111b	—	—	SCL-DS	SDA-DS

— : 設定しないでください。

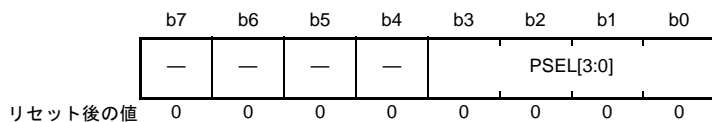
表 20.7 48ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子			
	P14	P15	P16	P17
0000b (初期値)	Hi-Z			
0001b	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
0010b	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
0101b	TMR12	TMC12	TMO2	TMO1
0111b	—	—	—	POE8#
1001b	—	—	ADTRG0#	—
1010b	—	RXD1 SMISO1 SSCL1	TXD1 SMOS11 SSDA1	SCK1
1011b	CTS1# RTS1# SS1#	—	—	—
1101b	—	—	MOSIA	MISOA
1111b	—	—	SCL-DS	SDA-DS

— : 設定しないでください。

20.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n=0 ~ 7)

アドレス P20PFS 0008 C150h、P21PFS 0008 C151h、P22PFS 0008 C152h、
P23PFS 0008 C153h、P24PFS 0008 C154h、P25PFS 0008 C155h、
P26PFS 0008 C156h、P27PFS 0008 C157h



ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、 下表を参照してください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 20.8 145ピン、144ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子							
	P20	P21	P22	P23	P24	P25	P26	P27
0000b (初期値)	Hi-Z							
0001b	MTIOC1A	MTIOC1B	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	MTIOC2A	MTIOC2B
0010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB	—	—
0011b	TIOCB3	TIOCA3	TIOCC3	TIOCD3	TIOCB4	TIOCA4	—	—
0101b	TMRI0	TMCIO	TMO0	—	TMRI1	—	TMO1	TMCIO3
1001b	—	—	—	—	—	ADTRG0#	—	—
1010b	TXD0 SMOSIO SSDA0	RXD0 SMISO0 SSCL0	SCK0	TXD3 SMOSI3 SSDA3	SCK3	RXD3 SMISO3 SSCL3	TXD1 SMOSI1 SSDA1	SCK1
1011b	—	—	—	CTS0# RTS0# SS0#	—	—	CTS3# RTS3# SS3#	—

— : 設定しないでください。

表 20.9 100ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子							
	P20	P21	P22	P23	P24	P25	P26	P27
0000b (初期値)	Hi-Z							
0001b	MTIOC1A	MTIOC1B	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	MTIOC2A	MTIOC2B
0010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB	—	—
0101b	TMRI0	TMCIO	TMO0	—	TMRI1	—	TMO1	TMCIO3
1001b	—	—	—	—	—	ADTRG0#	—	—
1010b	TXD0 SMOSIO SSDA0	RXD0 SMISO0 SSCL0	SCK0	—	—	—	TXD1 SMOSI1 SSDA1	SCK1
1011b	—	—	—	CTS0# RTS0# SS0#	—	—	—	—

— : 設定しないでください。

表 20.10 80ピン 端子入出力機能レジスタ設定

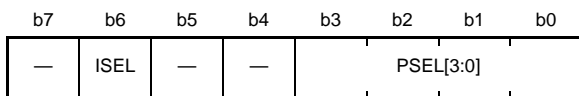
PSEL[3:0]ビット 設定値	端子			
	P20	P21	P26	P27
0000b (初期値)	Hi-Z			
0001b	MTIOC1A	MTIOC1B	MTIOC2A	MTIOC2B
0101b	TMRIO	TMCI0	TMO1	TMCI3
1010b	TXD0 SSDA0	RXD0 SSCL0	TXD1 SMOSI1 SSDA1	SCK1

表 20.11 69ピン、64ピン、48ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子	
	P26	P27
0000b (初期値)	Hi-Z	
0001b	MTIOC2A	MTIOC2B
0101b	TMO1	TMCI3
1010b	TXD1 SMOSI1 SSDA1	SCK1

20.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n=0 ~ 4)

アドレス P30PFS 0008 C158h、P31PFS 0008 C159h、P32PFS 0008 C15Ah、
P33PFS 0008 C15Bh、P34PFS 0008 C15Ch



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P30: IRQ0-DS (145/144/100/80/69/64/48ピン) P31: IRQ1-DS (145/144/100/80/69/64/48ピン) P32: IRQ2-DS (145/144/100/80/69/64ピン) P33: IRQ3-DS (145/144/100ピン) P34: IRQ4 (145/144/100/80ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 20.12 145ピン、144ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子				
	P30	P31	P32	P33	P34
0000b (初期値)	Hi-Z				
0001b	MTIOC4B	MTIOC4D	MTIOC0C	MTIOC0D	MTIOC0A
0011b	—	—	TIOCC0	TIOC0D	—
0101b	TMRI3	TMCI2	TMO3	TMRI3	TMCI3
0111b	POE8#	—	RTCOUT	POE3#	POE2#
1010b	RXD1 SMISO1 SSCL1	—	TXD0 SMOSI0 SSDA0	RXD0 SMIS00 SSCL0	SCK0
1011b	—	CTS1# RTS1# SS1#	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	SCK6

— : 設定しないでください。

表 20.13 100ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子				
	P30	P31	P32	P33	P34
0000b (初期値)	Hi-Z				
0001b	MTIOC4B	MTIOC4D	MTIOC0C	MTIOC0D	MTIOC0A
0101b	TMRI3	TMCI2	TMO3	TMRI3	TMCI3
0111b	POE8#	—	RTCOUT	POE3#	POE2#
1010b	RXD1 SMISO1 SSCL1	—	—	—	—
1011b	—	CTS1# RTS1# SS1#	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	SCK6

— : 設定しないでください。

表 20.14 80ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子			
	P30	P31	P32	P34
0000b (初期値)	Hi-Z			
0001b	MTIOC4B	MTIOC4D	MTIOC0C	MTIOC0A
0101b	TMRI3	TMCI2	TMO3	TMCI3
0111b	POE8#	—	RTCOUT	POE2#
1010b	RXD1 SMISO1 SSCL1	—	—	—
1011b	—	CTS1# RTS1# SS1#	TXD6 SMOSI6 SSDA6	SCK6

— : 設定しないでください。

表 20.15 69ピン、64ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子		
	P30	P31	P32
0000b (初期値)	Hi-Z		
0001b	MTIOC4B	MTIOC4D	MTIOC0C
0101b	TMRI3	TMCI2	TMO3
0111b	POE8#	—	RTCOUT
1010b	RXD1 SMISO1 SSCL1	—	—
1011b	—	CTS1# RTS1# SS1#	TXD6 SMOSI6 SSDA6

— : 設定しないでください。

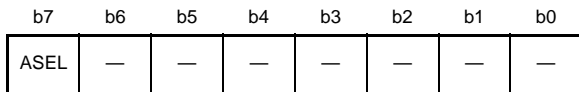
表 20.16 48ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子	
	P30	P31
0000b (初期値)	Hi-Z	
0001b	MTIOC4B	MTIOC4D
0101b	TMRI3	TMCI2
0111b	POE8#	—
1010b	RXD1 SMISO1 SSCL1	—
1011b	—	CTS1# RTS1# SS1#

— : 設定しないでください。

20.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n=0 ~ 7)

アドレス P40PFS 0008 C160h、P41PFS 0008 C161h、P42PFS 0008 C162h、
P43PFS 0008 C163h、P44PFS 0008 C164h、P45PFS 0008 C165h、
P46PFS 0008 C166h、P47PFS 0008 C167h

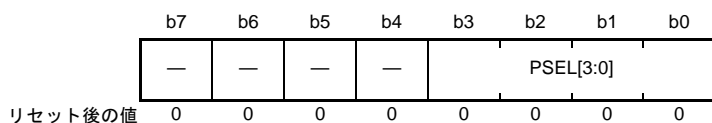


リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40 : AN000 (145/144/100/80/69/64/48ピン) P41 : AN001 (145/144/100/80/69/64/48ピン) P42 : AN002 (145/144/100/80/69/64/48ピン) P43 : AN003 (145/144/100/80/69/64ピン) P44 : AN004 (145/144/100/80/69/64ピン) P45 : AN005 (145/144/100/80ピン) P46 : AN006 (145/144/100/80/69/64/48ピン) P47 : AN007 (145/144/100/80ピン)	R/W

20.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n=0 ~ 2, 4 ~ 6)

アドレス P50PFS 0008 C168h、P51PFS 0008 C169h、P52PFS 0008 C16Ah、
P54PFS 0008 C16Ch、P55PFS 0008 C16Dh、P56PFS 0008 C16Eh



ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表20.17 145ピン、144ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子					
	P50	P51	P52	P54	P55	P56
0000b (初期値)	Hi-Z					
0001b	—	—	—	MTIOC4B	MTIOC4D	MTIOC3C
0011b	—	—	—	—	—	TIOCA1
0101b	—	—	—	TMCI1	TMO3	—
1010b	TXD2 SMOSI2 SSDA2	SCK2	RXD2 SMISO2 SSCL2	—	—	—
1011b	—	—	—	CTS2# RTS2# SS2#	—	—

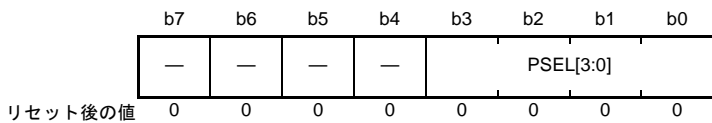
— : 設定しないでください。

表20.18 100ピン、80ピン、69ピン、64ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子	
	P54	P55
0000b (初期値)	Hi-Z	
0001b	MTIOC4B	MTIOC4D
0101b	TMCI1	TMO3

20.2.8 P6n 端子機能制御レジスタ (P6nPFS) (n=0、1)

アドレス P60PFS 0008 C170h、P61PFS 0008 C171h



ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

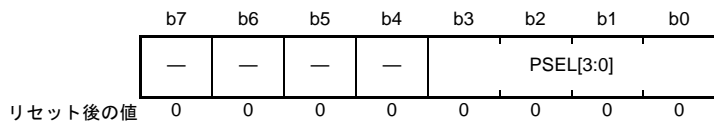
表 20.19 145ピン、144ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子	
	P60	P61
0000b (初期値)	Hi-Z	
1010b	SCK9	—
1011b	—	CTS9# RTS9# SS9#

— : 設定しないでください。

20.2.9 P7n 端子機能制御レジスタ (P7nPFS) (n=0、4～7)

アドレス P70PFS 0008 C178h、P74PFS 0008 C17Ch、P75PFS 0008 C17Dh、P76PFS 0008 C17Eh、P77PFS 0008 C17Fh



ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

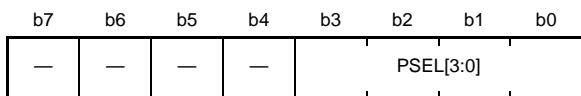
表20.20 145ピン、144ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子				
	P70	P74	P75	P76	P77
0000b (初期値)	Hi-Z				
1010b	SCK4	—	SCK11	RXD11 SMISO11 SSCL11	TXD11 SMOSI11 SSDA11
1011b	—	CTS11# RTS11# SS11#	—	—	—

— : 設定しないでください。

20.2.10 P8n 端子機能制御レジスタ (P8nPFS) (n=0 ~ 3、6、7)

アドレス P80PFS 0008 C180h、P81PFS 0008 C181h、P82PFS 0008 C182h、P83PFS 0008 C183h、
P86PFS 0008 C186h、P87PFS 0008 C187h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

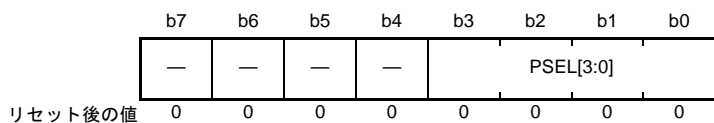
表20.21 145ピン、144ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子					
	P80	P81	P82	P83	P86	P87
0000b (初期値)	Hi-Z					
0001b	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	—	—
0011b	—	—	—	—	TIOCA0	TIOCA2
1010b	SCK10	RXD10 SMISO10 SSCL10	TXD10 SMOS110 SSDA10	—	—	—
1011b	—	—	—	CTS10# RTS10# SS10#	—	—

— : 設定しないでください。

20.2.11 P9n 端子機能制御レジスタ (P9nPFS) (n=0 ~ 3)

アドレス P90PFS 0008 C188h、P91PFS 0008 C189h、P92PFS 0008 C18Ah、P93PFS 0008 C18Bh



ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

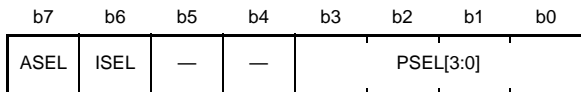
表 20.22 145ピン、144ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子			
	P90	P91	P92	P93
0000b (初期値)	Hi-Z			
1010b	TXD7 SMOSI7 SSDA7	SCK7	RXD7 SMISO7 SSCL7	—
1011b	—	—	—	CTS7# RTS7# SS7#

— : 設定しないでください。

20.2.12 PAn 端子機能制御レジスタ (PAnPFS) (n=0 ~ 7)

アドレス PA0PFS 0008 C190h、PA1PFS 0008 C191h、PA2PFS 0008 C192h、
PA3PFS 0008 C193h、PA4PFS 0008 C194h、PA5PFS 0008 C195h、
PA6PFS 0008 C196h、PA7PFS 0008 C197h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PA3: IRQ6-DS (145/144/100/80/69/64/48ピン) PA4: IRQ5-DS (145/144/100/80/69/64/48ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PA1 : CVREFA (145/144/100/80/69/64/48ピン) PA3 : CMPB1 (145/144/100/80/69/64/48ピン) PA4 : CVREFB1 (145/144/100/80/69/64/48ピン)	R/W

表 20.23 145ピン、144ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子							
	PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7
0000b (初期値)	Hi-Z							
0001b	MTIOC4A	MTIOC0B	—	MTIOC0D	MTIC5U	—	MTIC5V	—
0010b	—	MTCLKC	—	MTCLKD	MTCLKA	—	MTCLKB	—
0011b	TIOCA0	TIOCB0	—	TIOC0D	TIOCA1	TIOCB1	TIOCA2	TIOCB2
0100b	—	—	—	TCLKB	—	—	—	—
0101b	—	—	—	—	TMRI0	—	TMCi3	—
0111b	CACREF	—	—	—	—	—	POE2#	—
1010b	—	SCK5	RXD5 SMISO5 SSCL5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—	—	—
1011b	—	—	—	—	—	—	CTS5# RTS5# SS5#	—
1101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA

— : 設定しないでください。

表20.24 100ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子							
	PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7
0000b (初期値)	Hi-Z							
0001b	MTIOC4A	MTIOC0B	—	MTIOC0D	MTIC5U	—	MTIC5V	—
0010b	—	MTCLKC	—	MTCLKD	MTCLKA	—	MTCLKB	—
0101b	—	—	—	—	TMR10	—	TMCI3	—
0111b	CACREF	—	—	—	—	—	POE2#	—
1010b	—	SCK5	RXD5 SMISO5 SSCL5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—	—	—
1011b	—	—	—	—	—	—	CTS5# RTS5# SS5#	—
1101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA

— : 設定しないでください。

表20.25 80ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子						
	PA0	PA1	PA2	PA3	PA4	PA5	PA6
0000b (初期値)	Hi-Z						
0001b	MTIOC4A	MTIOC0B	—	MTIOC0D	MTIC5U	—	MTIC5V
0010b	—	MTCLKC	—	MTCLKD	MTCLKA	—	MTCLKB
0101b	—	—	—	—	TMR10	—	TMCI3
0111b	CACREF	—	—	—	—	—	POE2#
1010b	—	SCK5	RXD5 SMISO5 SSCL5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—	—
1011b	—	—	—	—	—	—	CTS5# RTS5# SS5#
1101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA

— : 設定しないでください。

表20.26 69ピン、64ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子				
	PA0	PA1	PA3	PA4	PA6
0000b (初期値)	Hi-Z				
0001b	MTIOC4A	MTIOC0B	MTIOC0D	MTIC5U	MTIC5V
0010b	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
0101b	—	—	—	TMR10	TMCI3
0111b	CACREF	—	—	—	POE2#
1010b	—	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—
1011b	—	—	—	—	CTS5# RTS5# SS5#
1101b	SSLA1	SSLA2	—	SSLA0	MOSIA

— : 設定しないでください。

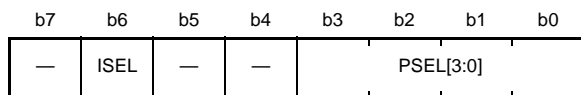
表 20.27 48ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子			
	PA1	PA3	PA4	PA6
0000b (初期値)	Hi-Z			
0001b	MTIOC0B	MTIOC0D	MTIC5U	MTIC5V
0010b	MTCLKC	MTCLKD	MTCLKA	MTCLKB
0101b	—	—	TMRI0	TMCI3
0111b	—	—	—	POE2#
1010b	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—
1011b	—	—	—	CTS5# RTS5# SS5#
1101b	SSLA2	—	SSLA0	MOSIA

— : 設定しないでください。

20.2.13 PBn 端子機能制御レジスタ (PBnPFS) (n=0 ~ 7)

アドレス PB0PFS 0008 C198h、PB1PFS 0008 C199h、PB2PFS 0008 C19Ah、
PB3PFS 0008 C19Bh、PB4PFS 0008 C19Ch、PB5PFS 0008 C19Dh、
PB6PFS 0008 C19Eh、PB7PFS 0008 C19Fh、



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、 下表を参照してください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PB1: IRQ4-DS (145/144/100/80/69/64/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表20.28 145ピン、144ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
0000b (初期値)	Hi-Z							
0001b	MTIC5W	MTIOC0C	—	MTIOC0A	—	MTIOC2A	MTIOC3D	MTIOC3B
0010b	—	MTIOC4C	—	MTIOC4A	—	MTIOC1B	—	—
0011b	TIOCA3	TIOCB3	TIOCC3	TIOCD3	TIOCA4	TIOCB4	TIOCA5	TIOCB5
0100b	—	—	TCLKC	TCLKD	—	—	—	—
0101b	—	TMCIO	—	TMO0	—	TMRI1	—	—
0111b	—	—	—	POE3#	—	POE1#	—	—
1010b	RXD4 SMISO4 SSCL4	TXD4 SMOSI4 SSDA4	CTS4# RTS4# SS4#	SCK4	—	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
1011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	CTS6# RTS6# SS6#	SCK6	CTS9# RTS9# SS9#	—	—	—
1101b	RSPCKA	—	—	—	—	—	—	—

— : 設定しないでください。

表 20.29 100ピン、80ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
0000b (初期値)	Hi-Z							
0001b	MTIC5W	MTIOC0C	—	MTIOC0A	—	MTIOC2A	MTIOC3D	MTIOC3B
0010b	—	MTIOC4C	—	MTIOC4A	—	MTIOC1B	—	—
0101b	—	TMCI0	—	TMO0	—	TMR11	—	—
0111b	—	—	—	POE3#	—	POE1#	—	—
1010b	—	—	—	—	—	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
1011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	CTS6# RTS6# SS6#	SCK6	CTS9# RTS9# SS9#	—	—	—
1101b	RSPCKA	—	—	—	—	—	—	—

— : 設定しないでください。

表 20.30 69ピン、64ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子					
	PB0	PB1	PB3	PB5	PB6	PB7
0000b (初期値)	Hi-Z					
0001b	MTIC5W	MTIOC0C	MTIOC0A	MTIOC2A	MTIOC3D	MTIOC3B
0010b	—	MTIOC4C	MTIOC4A	MTIOC1B	—	—
0101b	—	TMCI0	TMO0	TMR11	—	—
0111b	—	—	POE3#	POE1#	—	—
1010b	—	—	—	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
1011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	—	—	—
1101b	RSPCKA	—	—	—	—	—

— : 設定しないでください。

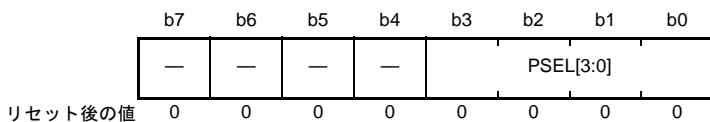
表 20.31 48ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子			
	PB0	PB1	PB3	PB5
0000b (初期値)	Hi-Z			
0001b	MTIC5W	MTIOC0C	MTIOC0A	MTIOC2A
0010b	—	MTIOC4C	MTIOC4A	MTIOC1B
0101b	—	TMCI0	TMO0	TMR11
0111b	—	—	POE3#	POE1#
1011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	—
1101b	RSPCKA	—	—	—

— : 設定しないでください。

20.2.14 PCn 端子機能制御レジスタ (PCnPFS) (n=0 ~ 7)

アドレス PC0PFS 0008 C1A0h、PC1PFS 0008 C1A1h、PC2PFS 0008 C1A2h、
PC3PFS 0008 C1A3h、PC4PFS 0008 C1A4h、PC5PFS 0008 C1A5h、
PC6PFS 0008 C1A6h、PC7PFS 0008 C1A7h



ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、 下表を参照してください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 20.32 145ピン、144ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子							
	PC0	PC1	PC2	PC3	PC4	PC5	PC6	PC7
0000b (初期値)	Hi-Z							
0001b	MTIOC3C	MTIOC3A	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
0010b	—	—	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
0011b	TCLKC	TCLKD	TCLKA	TCLKB	—	—	—	—
0101b	—	—	—	—	TMCI1	TMRI2	TMCI2	TMO2
0111b	—	—	—	—	POE0#	—	—	CACREF
1010b	—	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
1011b	CTS5# RTS5# SS5#	—	—	—	CTS8# RTS8# SS8#	—	—	—
1101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA

— : 設定しないでください。

表 20.33 100ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子							
	PC0	PC1	PC2	PC3	PC4	PC5	PC6	PC7
0000b (初期値)	Hi-Z							
0001b	MTIOC3C	MTIOC3A	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
0010b	—	—	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
0101b	—	—	—	—	TMCI1	TMRI2	TMCI2	TMO2
0111b	—	—	—	—	POE0#	—	—	CACREF
1010b	—	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
1011b	CTS5# RTS5# SS5#	—	—	—	CTS8# RTS8# SS8#	—	—	—
1101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA

— : 設定しないでください。

表 20.34 80ピン、69ピン、64ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子					
	PC2	PC3	PC4	PC5	PC6	PC7
0000b (初期値)	Hi-Z					
0001b	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
0010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
0101b	—	—	TMCI1	TMRI2	TMCI2	TMO2
0111b	—	—	POE0#	—	—	CACREF
1010b	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
1011b	—	—	CTS8# RTS8# SS8#	—	—	—
1101b	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA

— : 設定しないでください。

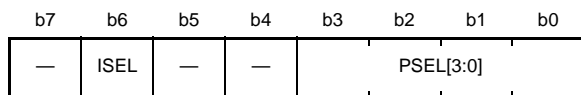
表 20.35 48ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子			
	PC4	PC5	PC6	PC7
0000b (初期値)	Hi-Z			
0001b	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
0010b	MTCLKC	MTCLKD	MTCLKA	MTCLKB
0101b	TMCI1	TMRI2	TMCI2	TMO2
0111b	POE0#	—	—	CACREF
1010b	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
1011b	CTS8# RTS8# SS8#	—	—	—
1101b	SSLA0	RSPCKA	MOSIA	MISOA

— : 設定しないでください。

20.2.15 PDn 端子機能制御レジスタ (PDnPFS) (n=0 ~ 7)

アドレス PD0PFS 0008 C1A8h、PD1PFS 0008 C1A9h、PD2PFS 0008 C1AAh、
PD3PFS 0008 C1ABh、PD4PFS 0008 C1ACh、PD5PFS 0008 C1ADh、
PD6PFS 0008 C1AEh、PD7PFS 0008 C1AFh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PD0: IRQ0 (145/144/100/80ピン) PD1: IRQ1 (145/144/100/80ピン) PD2: IRQ2 (145/144/100/80ピン) PD3: IRQ3 (145/144/100ピン) PD4: IRQ4 (145/144/100ピン) PD5: IRQ5 (145/144/100ピン) PD6: IRQ6 (145/144/100ピン) PD7: IRQ7 (145/144/100ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 20.36 145ピン、144ピン、100ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子						
	PD1	PD2	PD3	PD4	PD5	PD6	PD7
0000b (初期値)	Hi-Z						
0001b	MTIOC4B	MTIOC4D	—	—	MTIC5W	MTIC5V	MTIC5U
0111b	—	—	POE8#	POE3#	POE2#	POE1#	POE0#

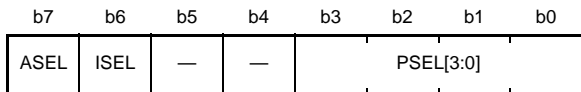
— : 設定しないでください。

表 20.37 80ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子	
	PD1	PD2
0000b (初期値)	Hi-Z	
0001b	MTIOC4B	MTIOC4D

20.2.16 PEn 端子機能制御レジスタ (PEnPFS) (n=0 ~ 7)

アドレス PE0PFS 0008 C1B0h、PE1PFS 0008 C1B1h、PE2PFS 0008 C1B2h、
PE3PFS 0008 C1B3h、PE4PFS 0008 C1B4h、PE5PFS 0008 C1B5h、
PE6PFS 0008 C1B6h、PE7PFS 0008 C1B7h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PE2: IRQ7-DS (145/144/100/80/69/64/48ピン) PE5: IRQ5 (145/144/100/80/69/64ピン) PE6: IRQ6 (145/144/100ピン) PE7: IRQ7 (145/144/100ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PE0 : AN008 (145/144/100/80/69/64ピン) PE1 : AN009、CMPB0 (145/144/100/80/69/64/48ピン) PE2 : AN010、CVREFB0 (145/144/100/80/69/64/48ピン) PE3 : AN011、CMPA1 (145/144/100/80/69/64/48ピン) PE4 : AN012、CMPA2 (145/144/100/80/69/64/48ピン) PE5 : AN013 (145/144/100/80/69/64ピン) PE6 : AN014 (145/144/100ピン) PE7 : AN015 (145/144/100ピン)	R/W

表20.38 145ピン、144ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子						
	PE0	PE1	PE2	PE3	PE4	PE5	PE6
0000b (初期値)	Hi-Z						
0001b	—	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D	MTIOC4C	—
0010b	—	—	—	—	MTIOC1A	MTIOC2B	—
0111b	—	—	—	POE8#	—	—	—
1011b	—	—	—	—	—	—	CTS4# RTS4# SS4#
1100b	SCK12	TXD12 TXDX12 SIOX12 SMOS12 SSDA12	RXD12 RXDX12 SMISO12 SSCL12	CTS12# RTS12# SS12#	—	—	—

— : 設定しないでください。

表 20.39 100ピン、80ピン、69ピン、64ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子					
	PE0	PE1	PE2	PE3	PE4	PE5
0000b (初期値)	Hi-Z					
0001b	—	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D	MTIOC4C
0010b	—	—	—	—	MTIOC1A	MTIOC2B
0111b	—	—	—	POE8#	—	—
1100b	SCK12	TXD12 TXDX12 SIOX12 SMOSI12 SSDA12	RXD12 RXDX12 SMISO12 SSCL12	CTS12# RTS12# SS12#	—	—

— : 設定しないでください。

表 20.40 48ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子			
	PE1	PE2	PE3	PE4
0000b (初期値)	Hi-Z			
0001b	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D
0010b	—	—	—	MTIOC1A
0111b	—	—	POE8#	—
1100b	TXD12 TXDX12 SIOX12 SSDA12	RXD12 RXDX12 SSCL12	CTS12# RTS12#	—

— : 設定しないでください。

20.2.17 PF5 端子機能制御レジスタ (PF5PFS)

アドレス PF5PFS 0008 C1BDh

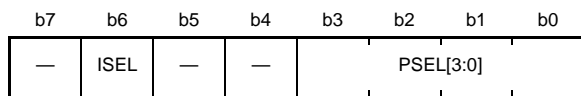
b7	b6	b5	b4	b3	b2	b1	b0
—	ISEL	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PF5: IRQ4 (145/144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

20.2.18 PHn 端子機能制御レジスタ (PHnPFS) (n=0 ~ 3)

アドレス PH0PFS 0008 C1C8h、PH1PFS 0008 C1C9h、PH2PFS 0008 C1CAh、PH3PFS 0008 C1CBh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PH1: IRQ0 (145/144/100/80/69/64/48ピン) PH2: IRQ1 (145/144/100/80/69/64/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

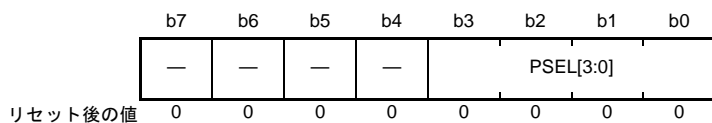
表20.41 145ピン、144ピン、100ピン、80ピン、69ピン、64ピン、48ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子			
	PH0	PH1	PH2	PH3
0000b (初期値)	Hi-Z			
0101b	—	TMO0	TMR10	TMC10
0111b	CACREF	—	—	—

— : 設定しないでください。

20.2.19 PJn 端子機能制御レジスタ (PJnPFS) (n=1, 3)

アドレス PJ1PFS 0008 C1D1h, PJ3PFS 0008 C1D3h



ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 20.42 145ピン、144ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子	
	PJ1	PJ3
0000b (初期値)	Hi-Z	
0001b	MTIOC3A	MTIOC3C
1010b	—	CTS0# RTS0# SS0#
1011b	—	CTS6# RTS6# SS6#

— : 設定しないでください。

表 20.43 100ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子	
	PJ1	PJ3
0000b (初期値)	Hi-Z	
0001b	MTIOC3A	MTIOC3C
1011b	—	CTS6# RTS6# SS6#

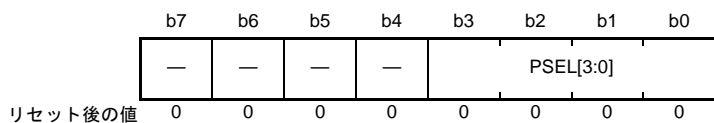
— : 設定しないでください。

表 20.44 80ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子
	PJ1
0000b (初期値)	Hi-Z
0001b	MTIOC3A

20.2.20 PKn 端子機能制御レジスタ (PKnPFS) (n=2 ~ 5)

アドレス PK2PFS 0008 C1DAh、PK3PFS 0008 C1DBh、PK4PFS 0008 C1DCh、PK5PFS 0008 C1DDh



ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 20.45 145ピン、144ピン 端子入出力機能レジスタ設定

PSEL[3:0]ビット 設定値	端子			
	PK2	PK3	PK4	PK5
0000b (初期値)	Hi-Z			
1010b	TXD9 SMOSI9 SSDA9	RXD9 SMISO9 SSCL9	RXD4 SMISO4 SSCL4	TXD4 SMOSI4 SSDA4

20.2.21 CS 出力許可レジスタ (PFCSE)

アドレス 0008 C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CS0E	PC7のCS0許可ビット	0: PC7をI/Oポートとして設定 1: PC7をCS0#信号として設定	R/W
b1	CS1E	PC6のCS1許可ビット	0: PC6をI/Oポートとして設定 1: PC6をCS1#信号として設定	R/W
b2	CS2E	P26のCS2許可ビット	0: P26をI/Oポートとして設定 1: P26をCS2#信号として設定	R/W
b3	CS3E	P27のCS3許可ビット	0: P27をI/Oポートとして設定 1: P27をCS3#信号として設定	R/W
b4	CS4E	P24のCS0許可ビット	0: P24をI/Oポートとして設定 1: P24をCS0#信号として設定	R/W
b5	CS5E	P25のCS1許可ビット	0: P25をI/Oポートとして設定 1: P25をCS1#信号として設定	R/W
b6	CS6E	PC5のCS2許可ビット	0: PC5をI/Oポートとして設定 1: PC5をCS2#信号として設定	R/W
b7	CS7E	PC4のCS3許可ビット	0: PC4をI/Oポートとして設定 1: PC4をCS3#信号として設定	R/W

PFCSE レジスタは、CSn# (n=0 ~ 3) 出力を許可 / 禁止を選択するレジスタです。

CSn 信号を出力する場合には、PFCSE レジスタを設定後にシステムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にしてください。SYSCR0.EXBE ビットについては、「3.2.3 システムコントロールレジスタ 0 (SYSCR0)」を参照してください。

表 20.46 に PC5 の CS2# 出力と WAIT# 入力の設定方法を示します。

表 20.46 PC5のCS2#出力とWAIT#入力の設定方法

外部バス許可ビット (SYSCR0.EXBE) 有効		外部バス制御レジスタ 1 (PFBCR1) WAITS[1:0]ビット	
		10	左記以外
CS 出力許可レジスタ (PFCSE) CS6E ビット	1	(注 1)	CS2# (出力)
	0	WAIT# (入力)	(注 2)

注 1. 設定しないでください。

注 2. 汎用ポートと周辺モジュールの切り換えができます。

20.2.22 アドレス出力許可レジスタ 0 (PFAOE0)

アドレス 0008 C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	A15E	A14E	A13E	A12E	A11E	A10E	A9E	A8E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	A8E	アドレスA8出力許可ビット	0 : A8出力禁止 1 : A8出力許可	R/W
b1	A9E	アドレスA9出力許可ビット	0 : A9出力禁止 1 : A9出力許可	R/W
b2	A10E	アドレスA10出力許可ビット	0 : A10出力禁止 1 : A10出力許可	R/W
b3	A11E	アドレスA11出力許可ビット	0 : A11出力禁止 1 : A11出力許可	R/W
b4	A12E	アドレスA12出力許可ビット	0 : A12出力禁止 1 : A12出力許可	R/W
b5	A13E	アドレスA13出力許可ビット	0 : A13出力禁止 1 : A13出力許可	R/W
b6	A14E	アドレスA14出力許可ビット	0 : A14出力禁止 1 : A14出力許可	R/W
b7	A15E	アドレスA15出力許可ビット	0 : A15出力禁止 1 : A15出力許可	R/W

PFAOE0 レジスタは、アドレス出力の許可/禁止を選択するレジスタです。

AnE ビット (アドレス An 出力許可ビット) (n=8 ~ 15)

アドレス出力 (An) の出力許可/禁止を選択します。

An 信号を出力する場合には、PFAOE0 レジスタを設定後にシステムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にしてください。SYSCR0.EXBE ビットについては、「3.2.3 システムコントロールレジスタ 0 (SYSCR0)」を参照してください。

20.2.23 アドレス出力許可レジスタ 1 (PFAOE1)

アドレス 0008 C105h

	b7	b6	b5	b4	b3	b2	b1	b0
	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	A16E	アドレスA16出力許可ビット	0 : A16出力禁止 1 : A16出力許可	R/W
b1	A17E	アドレスA17出力許可ビット	0 : A17出力禁止 1 : A17出力許可	R/W
b2	A18E	アドレスA18出力許可ビット	0 : A18出力禁止 1 : A18出力許可	R/W
b3	A19E	アドレスA19出力許可ビット	0 : A19出力禁止 1 : A19出力許可	R/W
b4	A20E	アドレスA20出力許可ビット	0 : A20出力禁止 1 : A20出力許可	R/W
b5	A21E	アドレスA21出力許可ビット	0 : A21出力禁止 1 : A21出力許可	R/W
b6	A22E	アドレスA22出力許可ビット	0 : A22出力禁止 1 : A22出力許可	R/W
b7	A23E	アドレスA23出力許可ビット	0 : A23出力禁止 1 : A23出力許可	R/W

PFAOE1 レジスタは、アドレス出力の許可/禁止を選択するレジスタです。

AnE ビット (アドレス An 出力許可ビット) (n=16 ~ 23)

アドレス出力 (An) の出力許可/禁止を選択します。

An 信号を出力する場合には、PFAOE1 レジスタを設定後にシステムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にしてください。SYSCR0.EXBE ビットについては、「3.2.3 システムコントロールレジスタ 0 (SYSCR0)」を参照してください。

20.2.24 外部バス制御レジスタ 0 (PFBCR0)

アドレス 0008 C106h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	WR1B C1E	—	DHE	—	—	—	ADRLE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADRLE	A0～A7出力許可ビット	0 : PA0～PA7をI/Oポートとして設定 1 : PA0～PA7を外部アドレスバスA0～A7として設定	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DHE	D8～D15出力許可ビット	0 : PE0～PE7をI/Oポートとして設定 1 : PE0～PE7を外部データバスD8～D15として設定	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	WR1BC1E	WR1#/BC1#出力許可ビット	0 : P51をI/Oポートとして設定 1 : P51をWR1#またはBC1#として設定	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFBCR0 レジスタは、外部バスの入出力端子を制御するレジスタです。

ADRLE ビット (A0～A7 出力許可ビット)

アドレスバス (A0～A7) の出力許可 / 禁止を選択します。

DHE ビット (D8～D15 出力許可ビット)

データ入出力 (D8～D15) の入出力許可 / 禁止を選択します。

設定は、CSi 制御レジスタの外部バス幅選択ビット (CSnCR.BSIZE[1:0]) で設定した外部バス幅に合わせてください。外部 16 ビットバスに設定した状態で DHE ビットを“0”にすると、動作は保証できません。CSnCR.BSIZE[1:0] ビットについては、「15.3.1 CSn 制御レジスタ (CSnCR) (n = 0～3)」を参照してください。

WR1BC1E ビット (WR1#/BC1# 出力許可ビット)

WR1#/BC1# 出力の許可 / 禁止を選択します。

データ D8～D15 許可、WR1#/BC1# 出力許可を有効にするには、PFBCR0 レジスタを設定後にシステムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にしてください。SYSCR0.EXBE ビットについては「3.2.3 システムコントロールレジスタ 0 (SYSCR0)」を参照してください。

表 20.47 に P51 の WR1#/BC1# 出力と WAIT# 入力の設定方法を示します。

表 20.47 P51 の WR1#/BC1# 出力と WAIT# 入力の設定方法

外部バス許可ビット (SYSCR0.EXBE) 有効		外部バス制御レジスタ 1 (PFBCR1) WAITS[1:0] ビット	
		11	左記以外
外部バス制御レジスタ 0 (PFBCR0) WR1BC1E ビット	1	(注 1)	WR1#/BC1# (出力)
	0	WAIT# (入力)	(注 2)

注1. 設定しないでください。

注2. 汎用ポートと周辺モジュールの切り換えができます。

20.2.25 外部バス制御レジスタ 1 (PFBCR1)

アドレス 0008 C107h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	ALEOE	WAITS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	WAITS[1:0]	WAIT選択ビット	b1 b0 0 0 : 設定しないでください (注1) 0 1 : P55をWAIT#入力端子として設定 1 0 : PC5をWAIT#入力端子として設定 1 1 : P51をWAIT#入力端子として設定	R/W
b2	ALEOE	ALE出力許可ビット	0 : P54をI/Oポートとして設定 1 : P54をALE端子として設定	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “00b”を設定した場合も、P55がWAIT#入力端子になります。

PFBCR1 レジスタは、外部バスの入出力端子を制御するレジスタです。

WAITS[1:0] ビット (WAIT 選択ビット)

外部バス有効時、WAITS[1:0] ビットで指定したポートは WAIT# 端子になります。ただし、指定したポートを WAIT# 端子として使用しない場合は、CSn モードレジスタの外部ウェイト許可ビット (CSnMOD.EWENB) を“0” (外部ウェイト禁止) に設定することで、汎用入力ポートとして使用できます。

WAIT# 信号を入力する場合には、PFBCR1 レジスタを設定後にシステムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にしてください。SYSCR0.EXBE ビットについては、「3.2.3 システムコントロールレジスタ 0 (SYSCR0)」を参照してください。

表 20.48 に PC5 の CS2# 出力と WAIT# 入力の設定方法を示し、表 20.49 に P51 の WR1#/BC1# 出力と WAIT# 入力の設定方法を示します。

表 20.48 PC5のCS2#出力とWAIT#入力の設定方法

外部バス許可ビット (SYSCR0.EXBE) 有効		外部バス制御レジスタ 1 (PFBCR1) WAITS[1:0] ビット	
		10	左記以外
CS 出力許可レジスタ (PFCSE) CS6E ビット	1	(注1)	CS2# (出力)
	0	WAIT# (入力)	(注2)

表 20.49 P51のWR1#/BC1#出力とWAIT#入力の設定方法

外部バス許可ビット (SYSCR0.EXBE) 有効		外部バス制御レジスタ 1 (PFBCR1) WAITS[1:0] ビット	
		11	左記以外
外部バス制御レジスタ 0 (PFBCR0) WR1BC1E ビット	1	(注1)	WR1#/BC1# (出力)
	0	WAIT# (入力)	(注2)

注1. 設定しないでください。

注2. 汎用ポートと周辺モジュールの切り換えができます。

20.3 外部バスインタフェース設定方法

外部バスインタフェースを使用する場合は、MPCのレジスタを表20.50のとおりを設定して、システムコントロールレジスタ0の外部バス有効ビット (SYSCR0.EXBE) を“1”にしてください。

表20.50に各ポートの外部バスインタフェース設定方法を示します。

該当するMPCのレジスタの詳細は、「20.2 レジスタの説明」を参照してください。

表20.50 外部バスインタフェース設定方法 (1 / 2)

ポート	モジュール名	信号名	外部バスインタフェース制御レジスタ
P24	外部バス (CS)	CS0#	PFCSE.CS4E = 1
P25	外部バス (CS)	CS1#	PFCSE.CS5E = 1
P26	外部バス (CS)	CS2#	PFCSE.CS2E = 1
P27	外部バス (CS)	CS3#	PFCSE.CS3E = 1
P50	外部バス	WR# WR0#	
P51	外部バス	WR1# BC1#	PFBCR0.WR1BC1E = 1 PFBCR1.WAITS[1:0] = 00 or 01 or 10
	外部バス (WAIT)	WAIT#	PFBCR0.WR1BC1E = 0 PFBCR1.WAITS[1:0] = 11
P52	外部バス	RD#	
P53	外部バス	BCLK	
P54	外部バス	ALE	PFBCR1.ALEOE=1
P55	外部バス (WAIT)	WAIT#	PFBCR1.WAITS[1:0] = 00 or 01
PA0	外部バス (アドレス)	A0 BC0#	PFBCR0.ADRLE=1
PA1	外部バス (アドレス)	A1	PFBCR0.ADRLE=1
PA2	外部バス (アドレス)	A2	PFBCR0.ADRLE=1
PA3	外部バス (アドレス)	A3	PFBCR0.ADRLE=1
PA4	外部バス (アドレス)	A4	PFBCR0.ADRLE=1
PA5	外部バス (アドレス)	A5	PFBCR0.ADRLE=1
PA6	外部バス (アドレス)	A6	PFBCR0.ADRLE=1
PA7	外部バス (アドレス)	A7	PFBCR0.ADRLE=1
PB0	外部バス (アドレス)	A8	PFAOE0.A8E = 1
PB1	外部バス (アドレス)	A9	PFAOE0.A9E = 1
PB2	外部バス (アドレス)	A10	PFAOE0.A10E = 1
PB3	外部バス (アドレス)	A11	PFAOE0.A11E = 1
PB4	外部バス (アドレス)	A12	PFAOE0.A12E = 1
PB5	外部バス (アドレス)	A13	PFAOE0.A13E = 1
PB6	外部バス (アドレス)	A14	PFAOE0.A14E = 1
PB7	外部バス (アドレス)	A15	PFAOE0.A15E = 1
PC0	外部バス (アドレス)	A16	PFAOE1.A16E = 1
PC1	外部バス (アドレス)	A17	PFAOE1.A17E = 1
PC2	外部バス (アドレス)	A18	PFAOE1.A18E = 1
PC3	外部バス (アドレス)	A19	PFAOE1.A19E = 1
PC4	外部バス (アドレス)	A20	PFAOE1.A20E = 1 PFCSE.CS7E = 0
	外部バス (CS)	CS3#	PFAOE1.A20E = 0 PFCSE.CS7E = 1

表20.50 外部バスインタフェース設定方法 (2 / 2)

ポート	モジュール名	信号名	外部バスインタフェース制御レジスタ
PC5	外部バス(アドレス)	A21	PFAOE1.A21E = 1 PFCSE.CS6E = 0 PFBCR1.WAITS[1:0] = 00 or 01 or 11
	外部バス (CS)	CS2#	PFAOE1.A21E = 0 PFCSE.CS6E = 1 PFBCR1.WAITS[1:0] = 00 or 01 or 11
	外部バス(WAIT)	WAIT#	PFAOE1.A21E = 0 PFCSE.CS6E = 0 PFBCR1.WAITS[1:0] = 10
PC6	外部バス(アドレス)	A22	PFAOE1.A22E = 1 PFCSE.CS1E = 0
	外部バス (CS)	CS1#	PFAOE1.A22E = 0 PFCSE.CS1E = 1
PC7	外部バス(アドレス)	A23	PFAOE1.A23E = 1 PFCSE.CS0E = 0
	外部バス (CS)	CS0#	PFAOE1.A23E = 0 PFCSE.CS0E = 1
PD0	外部バス (データ)	D0	
PD1	外部バス (データ)	D1	
PD2	外部バス (データ)	D2	
PD3	外部バス (データ)	D3	
PD4	外部バス (データ)	D4	
PD5	外部バス (データ)	D5	
PD6	外部バス (データ)	D6	
PD7	外部バス (データ)	D7	
PE0	外部バス (データ)	D8	PFBCR0.DHE = 1
PE1	外部バス (データ)	D9	PFBCR0.DHE = 1
PE2	外部バス (データ)	D10	PFBCR0.DHE = 1
PE3	外部バス (データ)	D11	PFBCR0.DHE = 1
PE4	外部バス (データ)	D12	PFBCR0.DHE = 1
PE5	外部バス (データ)	D13	PFBCR0.DHE = 1
PE6	外部バス (データ)	D14	PFBCR0.DHE = 1
PE7	外部バス (データ)	D15	PFBCR0.DHE = 1

20.4 使用上の注意事項

20.4.1 端子入出力機能設定手順

端子入出力機能の設定は下記の手順で行ってください。

1. ポートモードレジスタ (PMR) を“0”にして汎用入出力ポートに設定します。
2. 周辺機能モジュールにおいて、当該端子にアサインする入出力信号を設定します。
3. 書き込みプロテクトレジスタ (PWPR) を設定して、Pmn 端子機能制御レジスタ (PmnPFS) を書き込み有効にします (m=0～9、A～F、H、J、K、n=0～7)。
4. PmnPFS.PSEL[3:0] ビットにより端子入出力機能を設定します。
5. PWPR.PFSWE ビットを“0”設定し、PmnPFS レジスタへの書き込み禁止してください。
6. 必要に応じて PMR を“1”に設定し、選択された端子入出力機能に切り替えます。

20.4.2 MPC レジスタ設定する場合の注意事項

1. Pmn 端子機能制御レジスタ (PmnPFS) を設定するときは、当該端子の PMR レジスタが“0”の状態を設定してください。PMR レジスタが“1”の状態では PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は、意図しないパルスが出力されたりする可能性があります。
2. PmnPFS レジスタで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合、動作は保証されません。
3. MPC により同一の機能を複数の端子に割り当てる設定はしないでください。
4. ポート 4、E は A/D コンバータのアナログ入力端子の機能も兼ねています。アナログ入力端子として使用する場合は、精度劣化させないために、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”にして当該端子を汎用入力にし、PmnPFS.ASEL ビットを“1”にしてください。
5. 時間キャプチャ制御レジスタ y (RTCCRy) (y=0～2) の時間キャプチャイベント入力端子イネーブルビット (TCEN) は、リセット後の初期値は不定です。不要な入力を禁止するために、同ビットを“0”に設定してください。

6. マルチプル端子のポートモードレジスタ (PMR)、ポート方向レジスタ (PDR) と、Pmn 端子機能制御レジスタ (PmnPFS) の設定および注意事項を表 20.51 に示します。

表 20.51 レジスタの設定

項目	PMR.Bn	PDR.Bn	PmnPFS			注意事項
			ASEL	ISEL	PSEL[3:0]	
リセット解除後	0	0	0	0	0000b	リセット解除後は汎用入力ポートとして機能します
汎用入力ポート	0	0	0	0/1	x	割り込み入力と併用する場合は、ISELビットを“1”にしてください
汎用出力ポート	0	1	0	0	x	
周辺機能	1	x	0	0/1	周辺機能 (表 20.2~ 表 20.45参照)	割り込み入力と併用する場合は、ISELビットを“1”にしてください
割り込み入力	0	0	0	1	x	
NMI	x	x	x	x (注1)	x	レジスタの設定は不要です
アナログ入出力	0	0	1	x (注1)	x	出力バッファをOFFにするため、汎用入力ポートに設定してください
RTCの時間キャプチャイベント入力	0	0	x	0/1	x	出力バッファをOFFにするため、汎用入力ポートに設定してください
外部バス	0	0	0	0	x	PMR.Bnビットを“0”にして、周辺機能を選択しないでください
EXTAL/XTAL	0	0	x	x (注1)	x	出力バッファをOFFするため、汎用入力ポートに設定してください
XCIN/XCOUT	0	0	x	x (注1)	x	出力バッファをOFFするため、汎用入力ポートに設定してください

x : 設定不要

0/1 : PmnPFS.ISEL ビットを“0”にすれば、IRQ 端子として機能しません

PmnPFS.ISEL ビットを“1”にすれば、IRQ 端子として機能します (IRQ がマルチプルされている場合)

注1. PmnPFS.ISELビットを“1”にしても、IRQn入力端子として機能しません。

- 注.
- 端子状態の読み出しは、PmnPFS.ASEL ビットが“0”のとき可能です。
 - PmnPFS.PSEL[3:0] ビットの変更は、PMR.Bn ビットが“0”の状態で行ってください。
 - RIIC をアサインしたポートは、PCR.Bn ビットを“0”にしてください (RIIC 以外の周辺機能出力では自動的にプルアップが OFF になります)。
 - 時間キャプチャイベント入力端子を使用しない場合は、同入力の時間キャプチャ制御レジスタ y の時間キャプチャイベント入力端子イネーブルビット (RTCCRY.TCEN) を“0” (無効) にしてください。
 - 同一端子に複数の外部バス信号を設定しないでください。

20.4.3 アナログ機能を使う場合の注意事項

- アナログ機能を使用するときは、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”にし、当該端子を汎用入力にしてから、Pmn 端子機能制御レジスタ (PmnPFS) の ASEL ビットを“1”にしてください。

21. マルチファンクションタイマパルスユニット2 (MTU2a)

21.1 概要

RX210グループは、6チャンネル (MTU0～MTU5) の16ビットタイマにより構成されるマルチファンクションタイマパルスユニット2 (MTU) を内蔵しています。

表 21.1 に MTU の仕様を、表 21.2 に MTU の機能一覧を示します。また、図 21.1 に MTU のブロック図を示します。

表21.1 MTUの仕様

項目	内容
パルス入出力	最大16本
パルス入力	3本
カウントクロック	チャンネルごとに8または7種類 (MTU5は4種類)
設定可能動作	【MTU0～4】 <ul style="list-style-type: none"> コンペアマッチによる波形出力 インプットキャプチャ機能 (ノイズフィルタ設定機能) カウンタクリア動作 複数のタイマカウンタ (TCNT) への同時書き込み コンペアマッチ/インプットキャプチャによる同時クリア カウンタの同期動作による各レジスタの同期入出力 同期動作と組み合わせることによる最大12相のPWM出力
	【MTU0、3、4】 <ul style="list-style-type: none"> バッファ動作を設定可能 相補PWM、リセット同期PWMを用いたAC同期モータ (ブラシレスDCモータ) 駆動モードが設定可能で、2種類 (チョッピング、レベル) の波形出力が選択可能
	【MTU1、2】 <ul style="list-style-type: none"> 独立に位相計数モードを設定可能 カスケード接続動作
	【MTU3、4】 <ul style="list-style-type: none"> 連動動作による相補PWM、リセットPWM3相のポジ、ネガ計6相の出力が可能
	【MTU5】 <ul style="list-style-type: none"> デッドタイム補償用カウンタ機能
相補PWMモード	<ul style="list-style-type: none"> カウンタの山/谷での割り込み A/Dコンバータの変換スタートトリガを間引き機能
割り込み要因	28種類
バッファ動作	レジスタデータの自動転送
トリガ生成	A/Dコンバータの変換スタートトリガを生成可能
消費電力低減機能	モジュールストップ状態への設定が可能

表21.2 MTUの機能一覧 (1 / 2)

項目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
カウントクロック	PCLK/1 PCLK/4 PCLK/16 PCLK/64 MTCLKA MTCLKB MTCLKC MTCLKD	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 MTCLKA MTCLKB MTCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64
ジェネラルレジスタ (TGR)	TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW
ジェネラルレジスタ/ バッファレジスタ	TGRC TGRD TGRF	—	—	TGRC TGRD	TGRC TGRD	—
入出力端子	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	入力端子 MTIC5U MTIC5V MTIC5W
カウンタクリア機能	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ
コンペア	Low出力	○	○	○	○	—
マッチ出力	High出力	○	○	○	○	—
	トグル出力	○	○	○	○	—
インプットキャプチャ機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	—
PWMモード1	○	○	○	○	○	—
PWMモード2	○	○	○	—	—	—
相補PWMモード	—	—	—	○	○	—
リセット同期PWM	—	—	—	○	○	—
AC同期モータ駆動 モード	○	—	—	○	○	—
位相計数モード	—	○	○	—	—	—
バッファ動作	○	—	—	○	○	—
デッドタイム補償用 カウンタ機能	—	—	—	—	—	○
DMACの起動	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	—
DTCの起動	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャと TCNT オーバフロー/ アンダフロー	TGRの コンペアマッチ または インプット キャプチャ
A/D変換開始トリガ	TGRAの コンペアマッチ または インプット キャプチャ TGRBの コンペアマッチ またはインプット キャプチャ TGREの コンペアマッチ TGRFのコンペア マッチ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ 相補PWM モード時TCNTの アンダフロー (谷)	—

表21.2 MTUの機能一覧 (2 / 2)

項目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
割り込み要因	7要因 <ul style="list-style-type: none"> コンペアマッチ /インプット キャプチャ 0A コンペアマッチ /インプット キャプチャ 0B コンペアマッチ /インプット キャプチャ 0C コンペアマッチ /インプット キャプチャ 0D コンペアマッチ 0E コンペアマッチ 0F オーバフロー 	4要因 <ul style="list-style-type: none"> コンペアマッチ /インプット キャプチャ 1A コンペアマッチ /インプット キャプチャ 1B オーバフロー アンダフロー 	4要因 <ul style="list-style-type: none"> コンペアマッチ /インプット キャプチャ 2A コンペアマッチ /インプット キャプチャ 2B オーバフロー アンダフロー 	5要因 <ul style="list-style-type: none"> コンペアマッチ /インプット キャプチャ 3A コンペアマッチ /インプット キャプチャ 3B コンペアマッチ /インプット キャプチャ 3C コンペアマッチ /インプット キャプチャ 3D オーバフロー 	5要因 <ul style="list-style-type: none"> コンペアマッチ /インプット キャプチャ 4A コンペアマッチ /インプット キャプチャ 4B コンペアマッチ /インプット キャプチャ 4C コンペアマッチ /インプット キャプチャ 4D オーバフロー / アンダフロー 	3要因 <ul style="list-style-type: none"> コンペアマッチ /インプット キャプチャ 5U コンペアマッチ /インプット キャプチャ 5V コンペアマッチ /インプット キャプチャ 5W
イベントリンク機能(出力)	—	4要因 <ul style="list-style-type: none"> コンペアマッチ 1A コンペアマッチ 1B オーバフロー アンダフロー 	4要因 <ul style="list-style-type: none"> コンペアマッチ 2A コンペアマッチ 2B オーバフロー アンダフロー 	6要因 <ul style="list-style-type: none"> コンペアマッチ 3A コンペアマッチ 3B コンペアマッチ 3C コンペアマッチ 3D オーバフロー アンダフロー 	6要因 <ul style="list-style-type: none"> コンペアマッチ 4A コンペアマッチ 4B コンペアマッチ 4C コンペアマッチ 4D オーバフロー アンダフロー 	—
イベントリンク機能(入力)	—	(1) カウント スタート動作 (2) インプット キャプチャ動作 (TRGAにキャプチャ) (3) カウントリスタート動作	(1) カウント スタート動作 (2) インプット キャプチャ動作 (TRGAにキャプチャ) (3) カウントリスタート動作	(1) カウント スタート動作 (2) インプット キャプチャ動作 (TRGAにキャプチャ) (3) カウントリスタート動作	(1) カウント スタート動作 (2) インプット キャプチャ動作 (TRGAにキャプチャ) (3) カウントリスタート動作	—
A/D変換開始要求ディレイド機能	—	—	—	—	<ul style="list-style-type: none"> TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求 	—
割り込み間引き機能	—	—	—	<ul style="list-style-type: none"> TGRAのコンペアマッチ割り込みを間引き 	<ul style="list-style-type: none"> TCIV割り込みを間引き 	—
モジュールストップ	MSTPCRA.MSTPA9 (注1)					

○：可能
 —：不可能

注1. モジュールストップの詳細については、「11. 消費電力低減機能」を参照してください。

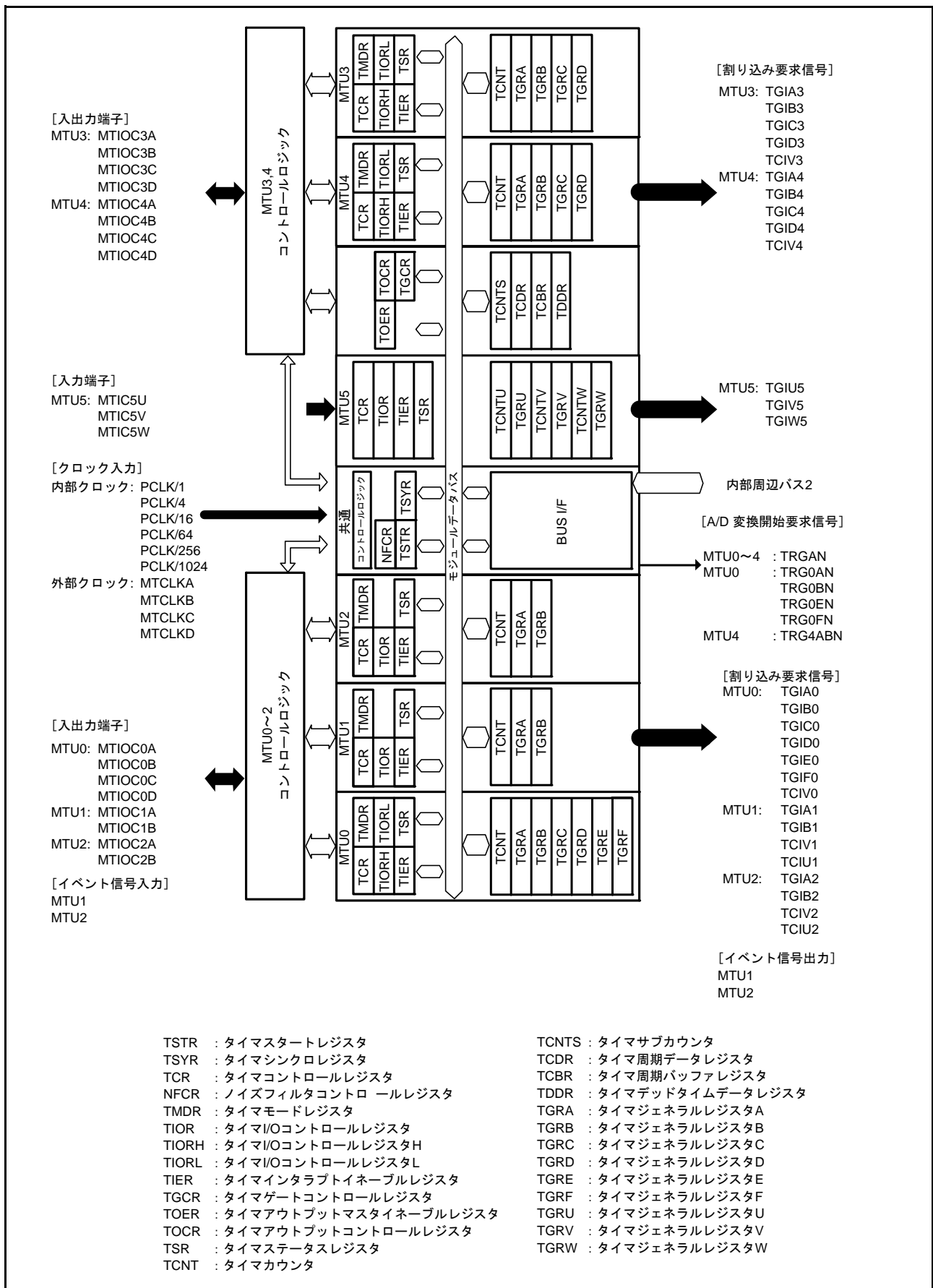


図 21.1 MTUのブロック図

表 21.3 に MTU で使用する入出力端子を示します。

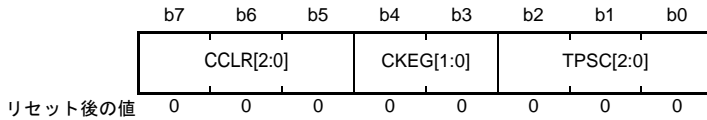
表 21.3 MTUの入出力端子

モジュール シンボル	端子名	入出力	機能
MTU	MTCLKA	入力	外部クロックA入力端子 (MTU1の位相計数モードA相入力)
	MTCLKB	入力	外部クロックB入力端子 (MTU1の位相計数モードB相入力)
	MTCLKC	入力	外部クロックC入力端子 (MTU2の位相計数モードA相入力)
	MTCLKD	入力	外部クロックD入力端子 (MTU2の位相計数モードB相入力)
MTU0	MTIOC0A	入出力	TGRA0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0B	入出力	TGRB0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0C	入出力	TGRC0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0D	入出力	TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU1	MTIOC1A	入出力	TGRA1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1B	入出力	TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU2	MTIOC2A	入出力	TGRA2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2B	入出力	TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU3	MTIOC3A	入出力	TGRA3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3B	入出力	TGRB3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3C	入出力	TGRC3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3D	入出力	TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU4	MTIOC4A	入出力	TGRA4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4B	入出力	TGRB4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4C	入出力	TGRC4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4D	入出力	TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU5	MTIC5U	入力	TGRU5のインプットキャプチャ入力/外部パルス入力端子
	MTIC5V	入力	TGRV5のインプットキャプチャ入力/外部パルス入力端子
	MTIC5W	入力	TGRW5のインプットキャプチャ入力/外部パルス入力端子

21.2 レジスタの説明

21.2.1 タイマコントロールレジスタ (TCR)

アドレス MTU0.TCR 0008 8700h、MTU1.TCR 0008 8780h、MTU2.TCR 0008 8800h
MTU3.TCR 0008 8600h、MTU4.TCR 0008 8601h、MTU5.TCRU 0008 8884h
MTU5.TCRV 0008 8894h、MTU5.TCRW 0008 88A4h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケラ選択ビット	表 21.6～表 21.10 を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリアビット	表 21.4、表 21.5 を参照してください	R/W

x : Don't care

MTU には、MTU0～MTU4 に各 1 本、MTU5 には TCRU/V/W の 3 本、計 8 本の TCR レジスタがあります。

TCR レジスタは、各チャンネルの TCNT を制御する 8 ビットの読み出し/書き込み可能なレジスタです。TCR レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC[2:0] ビット (タイマプリスケラ選択ビット)

TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 21.6～表 21.10 を参照してください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: PCLK/4 の両エッジ = PCLK/2 の立ち上がりエッジ)。MTU1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが PCLK/4 もしくはそれより遅い場合に有効です。入力クロックに PCLK/1、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合、値は書き込めますが、動作は初期値になりません。

CCLR[2:0] ビット (カウンタクリアビット)

TCNT のカウンタクリア要因を選択します。詳細は表 21.4、表 21.5 を参照してください。

表21.4 CCLR[2:0] (MTU0、MTU3、MTU4)

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR2	CCLR1	CCLR0	
MTU0 MTU3 MTU4	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア (注1)
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア (注2)
	1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア (注2)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア (注1)

注1. 同期動作の設定は、TSYR.SYNCビットを“1”にすることにより行います。

注2. TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

表21.5 CCLR[2:0] (MTU1、MTU2)

チャンネル	ビット7	ビット6	ビット5	説明
	予約ビット (注2)	CCLR1	CCLR0	
MTU1 MTU2	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア (注1)

注1. 同期動作の設定は、TSYR.SYNCビットを“1”にすることにより行います。

注2. MTU1、MTU2ではb7は予約ビットです。読み出すと常に“0”が読み出されます。書き込みは“0”としてください。

表21.6 TPSC[2:0] (MTU0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU0	0	0	0	内部クロック：PCLK/1でカウント
	0	0	1	内部クロック：PCLK/4でカウント
	0	1	0	内部クロック：PCLK/16でカウント
	0	1	1	内部クロック：PCLK/64でカウント
	1	0	0	外部クロック：MTCLKA端子入力でカウント
	1	0	1	外部クロック：MTCLKB端子入力でカウント
	1	1	0	外部クロック：MTCLKC端子入力でカウント
	1	1	1	外部クロック：MTCLKD端子入力でカウント

表21.7 TPSC[2:0] (MTU1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU1	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : MTCLKA端子入力でカウント
	1	0	1	外部クロック : MTCLKB端子入力でカウント
	1	1	0	内部クロック : PCLK/256でカウント
	1	1	1	MTU2.TCNTのオーバフロー/アンダフローでカウント

注. MTU1が位相計数モード時、この設定は無効になります。

表21.8 TPSC[2:0] (MTU2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU2	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : MTCLKA端子入力でカウント
	1	0	1	外部クロック : MTCLKB端子入力でカウント
	1	1	0	外部クロック : MTCLKC端子入力でカウント
	1	1	1	内部クロック : PCLK/1024でカウント

注. MTU2が位相計数モード時、この設定は無効になります。

表21.9 TPSC[2:0] (MTU3, MTU4)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU3 MTU4	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	内部クロック : PCLK/256でカウント
	1	0	1	内部クロック : PCLK/1024でカウント
	1	1	0	外部クロック : MTCLKA端子入力でカウント
	1	1	1	外部クロック : MTCLKB端子入力でカウント

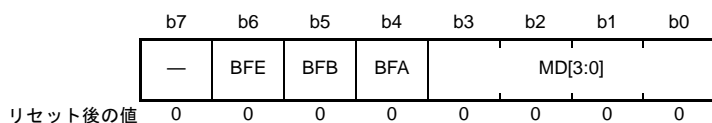
表21.10 TPSC[1:0] (MTU5)

チャンネル	ビット1	ビット0	説明
	TPSC1	TPSC0	
MTU5	0	0	内部クロック : PCLK/1でカウント
	0	1	内部クロック : PCLK/4でカウント
	1	0	内部クロック : PCLK/16でカウント
	1	1	内部クロック : PCLK/64でカウント

注. MTU5では、b7-b2は予約ビットです。読み出すと常に“0”が読み出されます。書き込みは“0”としてください。

21.2.2 タイマモードレジスタ (TMDR)

アドレス MTU0.TMDR 0008 8701h、MTU1.TMDR 0008 8781h、MTU2.TMDR 0008 8801h
MTU3.TMDR 0008 8602h、MTU4.TMDR 0008 8603h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表21.11を参照してください	R/W
b4	BFA	バッファ動作Aビット	0: TGRAとTGRCレジスタは通常動作 1: TGRAとTGRCレジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0: TGRBとTGRDレジスタは通常動作 1: TGRBとTGRDレジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0: MTU0.TGREとMTU0.TGRFは通常動作 1: MTU0.TGREとMTU0.TGRFはバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR レジスタは、8ビットの読み出し/書き込み可能なレジスタで、各チャネルの動作モードの設定を行います。TMDR レジスタの設定は、TCNT の動作が停止した状態で行ってください。

表21.11 MD[3:0]ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説明
MD3	MD2	MD1	MD0	
0	0	0	0	ノーマルモード
0	0	0	1	設定しないでください
0	0	1	0	PWMモード1
0	0	1	1	PWMモード2 (注1)
0	1	0	0	位相計数モード1 (注2)
0	1	0	1	位相計数モード2 (注2)
0	1	1	0	位相計数モード3 (注2)
0	1	1	1	位相計数モード4 (注2)
1	0	0	0	リセット同期PWMモード (注3)
1	0	0	1	設定しないでください。
1	0	1	x	設定しないでください。
1	1	0	0	設定しないでください。
1	1	0	1	相補PWMモード1 (山で転送) (注3)
1	1	1	0	相補PWMモード2 (谷で転送) (注3)
1	1	1	1	相補PWMモード3 (山・谷で転送) (注3)

x: Don't care

注1. MTU3、MTU4では、PWMモード2の設定はできません。

注2. MTU0、MTU3、MTU4では、位相計数モードの設定はできません。

注3. リセット同期PWMモード、相補PWMモードの設定は、MTU3のみ可能です。

MTU3をリセット同期PWMモードまたは相補PWMモードに設定した場合、MTU4の設定は無効となりMTU3の設定に従います。MTU4には初期値を設定してください。

MTU0、MTU1、MTU2では、リセット同期PWMモード、相補PWMモードの設定はできません。

BFA ビット (バッファ動作 A ビット)

TGRA を通常動作にするか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ (MTU4.TIER) の TGIEC ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モードの MTU3 および MTU4 のバッファ動作は、MTU3 の設定に従います。MTU4.TMDR の BFA ビットには“0”を書いてください。

TGRC を持たない MTU1、MTU2 では、このビットは予約ビットです。読むと“0”が読み出されます。書き込みは“0”としてください。相補 PWM モードの Tb 区間については、図 21.40 を参照してください。

BFB ビット (バッファ動作 B ビット)

TGRB を通常動作にするか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD のコンペアマッチが発生します。また、コンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ 3、4 (MTU3.TIER、MTU4.TIER) の TGIED ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モードの MTU3 および MTU4 のバッファ動作は、MTU3 の設定に従います。MTU4 の TMDR.BFB ビットには“0”にしてください。

TGRD を持たない MTU1、MTU2 では、このビットは予約ビットです。読むと“0”が読み出されます。書き込みは“0”としてください。相補 PWM モードの Tb 区間については、図 21.40 を参照してください。

BFE ビット (バッファ動作 E ビット)

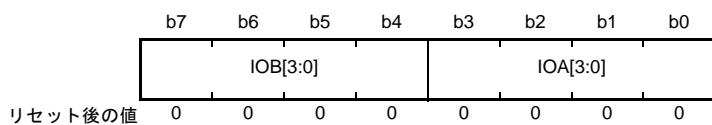
MTU0.TGRE と MTU0.TGRF を通常動作またはバッファ動作させるかどうかを選択します。TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。

MTU1 ~ MTU4 では予約ビットです。読むと“0”が読み出されます。書き込みは“0”としてください。

21.2.3 タイマ I/O コントロールレジスタ (TIOR)

- MTU0.TIORH、MTU1.TIOR、MTU2.TIOR、MTU3.TIORH、MTU4.TIORH

アドレス MTU0.TIORH 0008 8702h、MTU1.TIOR 0008 8782h、MTU2.TIOR 0008 8802h
MTU3.TIORH 0008 8604h、MTU4.TIORH 0008 8606h

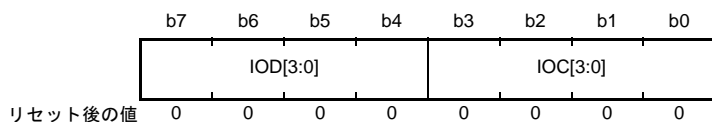


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/OコントロールAビット	下記の表を参照してください(注1) MTU0.TIORH: 表21.20 MTU1.TIOR: 表21.22 MTU2.TIOR: 表21.23 MTU3.TIORH: 表21.24 MTU4.TIORH: 表21.26	R/W
b7-b4	IOB[3:0]	I/OコントロールBビット	下記の表を参照してください(注1) MTU0.TIORH: 表21.12 MTU1.TIOR: 表21.14 MTU2.TIOR: 表21.15 MTU3.TIORH: 表21.16 MTU4.TIORH: 表21.18	R/W

注1. コンペアマッチでLow/High/トグル出力中に、IO_n[3:0]ビット(n=A、B)の値を出力禁止("0000b"または"0100b")へ変更するとHi-Zになります。

- MTU0.TIORL、MTU3.TIORL、MTU4.TIORL

アドレス MTU0.TIORL 0008 8703h、MTU3.TIORL 0008 8605h、MTU4.TIORL 0008 8607h

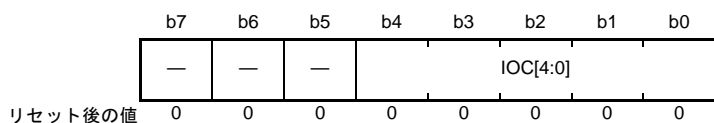


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/OコントロールCビット	下記の表を参照してください(注1) MTU0.TIORL: 表21.21 MTU3.TIORL: 表21.25 MTU4.TIORL: 表21.27	R/W
b7-b4	IOD[3:0]	I/OコントロールDビット	下記の表を参照してください(注1) MTU0.TIORL: 表21.13 MTU3.TIORL: 表21.17 MTU4.TIORL: 表21.19	R/W

注1. コンペアマッチでLow/High/トグル出力中に、IO_n[3:0]ビット(n=C、D)の値を出力禁止("0000b"または"0100b")へ変更するとHi-Zになります。

• MTU5.TIORU、MTU5.TIORV、MTU5.TIORW

アドレス MTU5.TIORU 0008 8886h、MTU5.TIORV 0008 8896h、MTU5.TIORW 0008 88A6h



ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/OコントロールCビット	下記の表を参照してください MTU5.TIORU、MTU5.TIORV、MTU5.TIORW : 表21.28	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU0、MTU3、MTU4に各2本、MTU1、MTU2に各1本、MTU5にはMTU5.TIORU/V/Wの3本、計11本のTIORレジスタがあります。

TIORレジスタはTMDRレジスタの設定が、ノーマルモード、PWMモード、位相計数モードの場合に設定します。

TIORレジスタで指定した初期出力はカウンタ停止した (TSTR.CST ビットを“0”にした) 状態で有効になります。また、PWMモード2の場合にはカウンタが“0”になった時点での出力を指定します。

TGRCあるいはTGRDをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表21.12 TIORH (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU0.TGRBの機能	MTIOC0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ

x : Don't care

表21.13 TIORL (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU0.TGRDの機能	MTIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ

x : Don't care

注1. MTU0.TMDR.BFBビットを“1”にしてMTU0.TGRDをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表21.14 TIOR (MTU1)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU1.TGRBの機能	MTIOC1B端子の機能
0	0	0	0	MTU1.TGRBはアウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRCのコンペアマッチ/インプットキャプ チャの発生でインプットキャプチャ

x : Don't care

表21.15 TIOR (MTU2)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU2.TGRBの機能	MTIOC2B端子の機能
0	0	0	0	MTU2.TGRBはアウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表21.16 TIORH (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU3.TGRBの機能	MTIOC3B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表21.17 TIORL (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU3.TGRDの機能	MTIOC3D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU3.TMDR.BFBビットを“1”にしてMTU3.TGRDをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表21.18 TIORH (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU4.TGRBの機能	MTIOC4B端子の機能
0	0	0	0	MTU4.TGRBはアウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表21.19 TIORL (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU4.TGRDの機能	MTIOC4D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU4.TMDR.BFB ビットを“1”にして、MTU4.TGRDをバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ/アウトプットコンペアは発生しません。

表21.20 TIORH (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU0.TGRAの機能	MTIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ

x : Don't care

表21.21 TIORL (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU0.TGRCの機能	MTIOC0Cの端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ

x : Don't care

注1. MTU0.TMDR.BFAビットを“1”にしてMTU0.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表21.22 TIOR (MTU1)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU1.TGRAの機能	MTIOC1A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRAのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

表21.23 TIOR (MTU2)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU2.TGRAの機能	MTIOC2A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表21.24 TIORH (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU3.TGRAの機能	MTIOC3A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表21.25 TIORL (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU3.TGRCの端子	MTIOC3C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ (注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU3.TMDR.BFAビットを“1”にしてMTU3.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表21.26 TIORH (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU4.TGRAの機能	MTIOC4A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表21.27 TIORL (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU4.TGRCの機能	MTIOC4C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ (注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU4.TMDR.BFAビットを“1”にして、MTU4.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表21.28 TIORU、TIORV、TIORW (MTU5)

ビット4	ビット3	ビット2	ビット1	ビット0	説明	
IOC4	IOC3	IOC2	IOC1	IOC0	MTU5.TGRU、MTU5.TGRV、 MTU5.TGRWの機能	MTIC5U、MTIC5V、MTIC5W 端子の機能
0	0	0	0	0	コンペアマッチレジスタ	コンペアマッチ
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャレジスタ	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定しないでください
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用 相補PWMモードの山と谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用 相補PWMモードの山と谷でキャプチャ

x : Don't care

21.2.4 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

アドレス MTU5.TCNTCMPCLR 0008 88B6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCL R5U	CMPCL R5V	CMPCL R5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア 5Wビット	0 : MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャ プチャによる、MTU5.TCNTWの0000hクリアを禁止 1 : MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャ プチャによる、MTU5.TCNTWの0000hクリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア 5Vビット	0 : MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャ プチャによる、MTU5.TCNTVの0000hクリアを禁止 1 : MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャ プチャによる、MTU5.TCNTVの0000hクリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア 5Uビット	0 : MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャ プチャによる、MTU5.TCNTUの0000hクリアを禁止 1 : MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャ プチャによる、MTU5.TCNTUの0000hクリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCNTCMPCLR レジスタは8ビットの読み出し/書き込み可能なレジスタで、MTU5.TCNTU、MTU5.TCNTV、MTU5.TCNTWのクリア要求を設定することができます。

21.2.5 タイマ割り込み許可レジスタ (TIER)

- TIER (MTU0 ~ MTU4)

アドレス MTU0.TIER 0008 8704h、MTU1.TIER 0008 8784h、MTU2.TIER 0008 8804h
MTU3.TIER 0008 8608h、MTU4.TIER 0008 8609h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	TTGE2	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR 割り込み許可 A ビット	0: 割り込み要求 (TGIA) を禁止 1: 割り込み要求 (TGIA) を許可	R/W
b1	TGIEB	TGR 割り込み許可 B ビット	0: 割り込み要求 (TGIB) を禁止 1: 割り込み要求 (TGIB) を許可	R/W
b2	TGIEC	TGR 割り込み許可 C ビット	0: 割り込み要求 (TGIC) を禁止 1: 割り込み要求 (TGIC) を許可	R/W
b3	TGIED	TGR 割り込み許可 D ビット	0: 割り込み要求 (TGID) を禁止 1: 割り込み要求 (TGID) を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0: 割り込み要求 (TCIV) を禁止 1: 割り込み要求 (TCIV) を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0: 割り込み要求 (TCIU) を禁止 1: 割り込み要求 (TCIU) を許可	R/W
b6	TTGE2	A/D変換開始要求許可2ビット	0: MTU4.TCNTのアンダフロー (谷) によるA/D変換要求を禁止 1: MTU4.TCNTのアンダフロー (谷) によるA/D変換要求を許可	R/W
b7	TTGE	A/D変換開始要求許可ビット	0: A/D変換開始要求の発生を禁止 1: A/D変換開始要求の発生を許可	R/W

MTUには、MTU0に2本、MTU1～MTU5に各1本、計7本のTIERレジスタがあります。

TIERレジスタは8ビットの読み出し/書き込み可能なレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。

TGIEA、TGIEB ビット (TGR 割り込み許可 A、B ビット)

割り込み要求 (TGIn) を許可または禁止します。(n = A、B)

TGIEC、TGIED ビット (TGR 割り込み許可 C、D ビット)

MTU0、MTU3、MTU4で割り込み要求 (TGIn) を許可または禁止します。(n = C、D)

MTU1、MTU2では予約ビットです。読むと“0”が読み出されます。書き込みは“0”としてください。

TCIEV ビット (オーバフロー割り込み許可ビット)

割り込み要求 (TCIV) を許可または禁止します。

TCIEU ビット (アンダフロー割り込み許可ビット)

MTU1、MTU2 で割り込み要求 (TCIU) を許可または禁止します。

MTU0、MTU3、MTU4 では予約ビットです。読むと“0”が読み出されます。書き込みは“0”としてください。

TTGE2 ビット (A/D 変換開始要求許可 2 ビット)

相補 PWM モードで、MTU4.TCNT のアンダフロー (谷) による A/D 変換要求の発生を許可または禁止します。

MTU0 ~ MTU3 では予約ビットです。読むと“0”が読み出されます。書き込みは“0”としてください。

TTGE ビット (A/D 変換開始要求許可ビット)

TGRA レジスタのインプットキャプチャ/コンペアマッチによる A/D コンバータ開始要求の発生を許可または禁止します。

- TIER2 (MTU0)

アドレス MTU0.TIER2 0008 8724h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TGIEF	TGIEE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR 割り込み許可 E ビット	0 : 割り込み要求 (TGIE) を禁止 1 : 割り込み要求 (TGIE) を許可	R/W
b1	TGIEF	TGR 割り込み許可 F ビット	0 : 割り込み要求 (TGIF) を禁止 1 : 割り込み要求 (TGIF) を許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIEE、TGIEF ビット (TGR 割り込み許可 E、F ビット)

MTU0.TCNT と MTU0.TGRm のコンペアマッチによる割り込み要求の発生を許可または禁止します。

(m = E、F)

- TIER (MTU5)

アドレス MTU5.TIER 0008 88B2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TGIE5 U	TGIE5V	TGIE5 W
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR 割り込み許可 5W ビット	0 : TGIE5W 割り込み要求を禁止 1 : TGIE5W 割り込み要求を許可	R/W
b1	TGIE5V	TGR 割り込み許可 5V ビット	0 : TGIE5V 割り込み要求を禁止 1 : TGIE5V 割り込み要求を許可	R/W
b2	TGIE5U	TGR 割り込み許可 5U ビット	0 : TGIE5U 割り込み要求を禁止 1 : TGIE5U 割り込み要求を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIE5W、TGIE5V、TGIE5U ビット (TGR 割り込み許可 5m ビット)

割り込み要求 (TGIm5) を許可または禁止します。(m = W、V、U)

21.2.6 タイマステータスレジスタ (TSR)

- TSR (MTU0 ~ MTU4)

アドレス MTU0.TSR 0008 8705h、MTU1.TSR 0008 8785h、MTU2.TSR 0008 8805h
MTU3.TSR 0008 862Ch、MTU4.TSR 0008 862Dh

b7	b6	b5	b4	b3	b2	b1	b0
TCFD	—	—	—	—	—	—	—

リセット後の値 1 1 x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0 : TCNTはダウンカウント 1 : TCNTはアップカウント	R

MTU には、MTU0 ~ MTU4 に各 1 本、計 5 本の TSR レジスタがあります。

TSR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルのステータスの表示を行います。

TCFD フラグ (カウント方向フラグ)

MTU1 ~ MTU4 の TCNT カウンタのカウント方向を示すステータスフラグです。

MTU0 では予約ビットです。読むと“1”が読み出されます。書き込みは“1”としてください。

21.2.7 タイマバッファ動作転送モードレジスタ (TBTM)

アドレス MTU0.TBTM 0008 8726h、MTU3.TBTM 0008 8638h、MTU4.TBTM 0008 8639h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TTSE	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0: TGRCからTGRAへの転送タイミングは各チャンネルのコンペアマッチA発生時 1: TGRCからTGRAへの転送タイミングは各チャンネルのTCNTクリア時	R/W
b1	TTSB	タイミング選択Bビット	0: TGRDからTGRBへの転送タイミングは各チャンネルのコンペアマッチB発生時 1: TGRDからTGRBへの転送タイミングは各チャンネルのTCNTクリア時	R/W
b2	TTSE	タイミング選択Eビット	0: MTU0.TGRFからMTU0.TGREへの転送タイミングは各チャンネルのMTU0のコンペアマッチE発生時 1: MTU0.TGRFからMTU0.TGREへの転送タイミングは各チャンネルのMTU0.TCNTクリア時	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU0、MTU3、MTU4に各1本、計3本のTBTMレジスタがあります。

TBTMレジスタは、PWMモード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定します。

TTSA ビット (タイミング選択 A ビット)

各チャンネルのバッファ動作時のTGRCからTGRAへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSAビットを“1”に設定しないでください。

TTSB ビット (タイミング選択 B ビット)

各チャンネルのバッファ動作時のTGRDからTGRBへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSBビットを“1”に設定しないでください。

TTSE ビット (タイミング選択 E ビット)

バッファ動作時のMTU0.TGRFからMTU0.TGREへの転送タイミングを設定します。MTU3、MTU4では予約ビットです。読むと“0”が読み出されます。書き込みは“0”にしてください。なお、MTU0をPWMモード以外で使用する場合は、TTSEビットを“1”に設定しないでください。

21.2.8 タイムインプットキャプチャコントロールレジスタ (TICCR)

アドレス MTU1.TICCR 0008 8790h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0 : MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加しない 1 : MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0 : MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加しない 1 : MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0 : MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加しない 1 : MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0 : MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加しない 1 : MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU1に1本のTICCRレジスタがあります。

TICCRレジスタは、MTU1.TCNTとMTU2.TCNTのカスケード接続時のインプットキャプチャ条件を制御します。

21.2.9 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

アドレス MTU4.TADCR 0008 8640h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	—	—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE	TCIV4 割り込み間引き連動許可ビット	0: TCIV4 割り込み間引き機能と連動しない 1: TCIV4 割り込み間引き機能と連動する	R/W (注1)
b1	ITB3AE	TGI3A 割り込み間引き連動許可ビット	0: TGI3A 割り込み間引き機能と連動しない 1: TGI3A 割り込み間引き機能と連動する	R/W (注1)
b2	ITA4VE	TCIV4 割り込み間引き連動許可ビット	0: TCIV4 割り込み間引き機能と連動しない 1: TCIV4 割り込み間引き機能と連動する	R/W (注1)
b3	ITA3AE	TGI3A 割り込み間引き連動許可ビット	0: TGI3A 割り込み間引き機能と連動しない 1: TGI3A 割り込み間引き機能と連動する	R/W (注1)
b4	DT4BE	ダウンカウント TRG4BN 許可ビット	0: MTU4.TCNT のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1: MTU4.TCNT のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可	R/W (注1)
b5	UT4BE	アップカウント TRG4BN 許可ビット	0: MTU4.TCNT のアップカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1: MTU4.TCNT のアップカウント時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b6	DT4AE	ダウンカウント TRG4AN 許可ビット	0: MTU4.TCNT のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1: MTU4.TCNT のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可	R/W (注1)
b7	UT4AE	アップカウント TRG4AN 許可ビット	0: MTU4.TCNT のアップカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1: MTU4.TCNT のアップカウント時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/B 転送タイミング 選択ビット	詳細は表 21.29 を参照してください	R/W

注. ・TADCR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

注. ・割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを“0”に設定したとき、または TITCR の間引き回数設定ビット (T3ACOR、T4VCOR) を“0”に設定したとき) は、割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを“0”に設定) 設定にしてください。

注. ・割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。

注1. b6、b4～b0 は、相補 PWM モード以外では、“1”に設定しないでください。

TADCR レジスタは、16 ビットの読み出し / 書き込み可能なレジスタで、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定します。

表21.29 BF0[1:0]ビットによる転送タイミングの設定

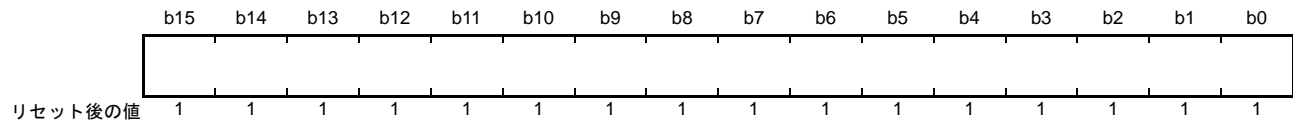
ビット15	ビット14	説明
BF1	BF0	
0	0	周期設定バッファレジスタから周期設定レジスタへ転送しない
0	1	MTU4.TCNTの山で周期設定バッファレジスタから周期設定レジスタへ転送する (注1)
1	0	MTU4.TCNTの谷で周期設定バッファレジスタから周期設定レジスタへ転送する (注2)
1	1	MTU4.TCNTの山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する (注2)

注1. 相補PWMモードではMTU4.TCNTの山、リセット同期PWMモードではMTU3.TCNTがMTU3.TGRAとコンペアマッチしたとき、PWMモード1/ノーマルモードではMTU4.TCNTがMTU4.TGRAとコンペアマッチしたときに、周期設定バッファレジスタから周期設定レジスタへ転送します。

注2. 相補PWMモード以外では設定禁止です。

21.2.10 タイマ A/D 変換開始要求周期設定レジスタ A、B (TADCORA/B)

アドレス MTU4.TADCORA 0008 8644h、MTU4.TADCORB 0008 8646h



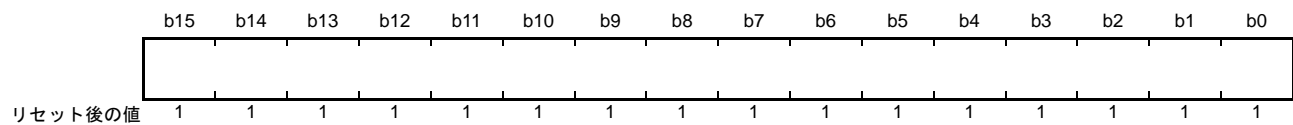
注. MTU4.TADCORA/Bの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

TADCORA/B レジスタは、16ビットの読み出し/書き込み可能なレジスタです。MTU4.TCNTと一致したとき、対応するA/D変換開始要求を発生します。

TADCORA/Bのリセット後の値はFFFFhです。

21.2.11 タイマ A/D 変換開始要求周期設定バッファレジスタ A、B (TADCOBRA/B)

アドレス MTU4.TADCOBRA 0008 8648h、MTU4.TADCOBRB 0008 864Ah



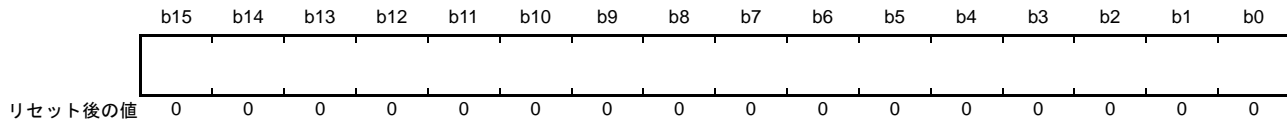
注. MTU4.TADCOBRA/Bの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

TADCOBRA/B レジスタは、16ビットの読み出し/書き込み可能なレジスタです。TADCORA/Bのバッファレジスタから山か谷でTADCORA/Bに転送します。

TADCOBRA/Bレジスタのリセット後の値はFFFFhです。

21.2.12 タイマカウンタ (TCNT)

アドレス MTU0.TCNT 0008 8706h, MTU1.TCNT 0008 8786h, MTU2.TCNT 0008 8806h,
MTU3.TCNT 0008 8610h, MTU4.TCNT 0008 8612h, MTU5.TCNTU 0008 8880h,
MTU5.TCNTV 0008 8890h, MTU5.TCNTW 0008 88A0h



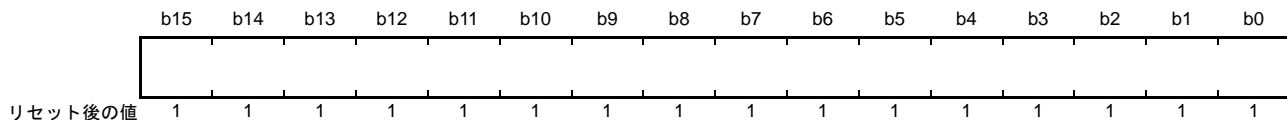
注. TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

MTUには、MTU0～MTU4に各1本、MTU5にMTU5.TCNTU/V/Wの3本、計8本のTCNTがあります。

TCNTは、16ビットの読み出し/書き込み可能なカウンタです。TCNTは、リセット時に0000hに初期化されます。

21.2.13 タイマジェネラルレジスタ (TGR)

アドレス MTU0.TGRA 0008 8708h, MTU0.TGRB 0008 870Ah, MTU0.TGRC 0008 870Ch,
MTU0.TGRD 0008 870Eh, MTU0.TGRE 0008 8720h, MTU0.TGRF 0008 8722h,
MTU1.TGRA 0008 8788h, MTU1.TGRB 0008 878Ah, MTU2.TGRA 0008 8808h,
MTU2.TGRB 0008 880Ah, MTU3.TGRA 0008 8618h, MTU3.TGRB 0008 861Ah,
MTU3.TGRC 0008 8624h, MTU3.TGRD 0008 8626h, MTU4.TGRA 0008 861Ch,
MTU4.TGRB 0008 861Eh, MTU4.TGRC 0008 8628h, MTU4.TGRD 0008 862Ah,
MTU5.TGRU 0008 8882h, MTU5.TGRV 0008 8892h, MTU5.TGRW 0008 88A2h



注. TGRレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。
TGRの初期値は、FFFFhです。

MTUには、MTU0に6本、MTU1、MTU2に各2本、MTU3、MTU4に各4本、MTU5に3本、計21本のジェネラルレジスタがあります。

TGRは、16ビットの読み出し/書き込み可能なレジスタです。TGRA、TGRB、TGRC、TGRDはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。MTU0、MTU3、MTU4のTGRCとTGRDは、バッファレジスタとして動作設定することができます。TGRとバッファレジスタの組み合わせは、TGRA－TGRC、TGRB－TGRDになります。

MTU0.TGRE、MTU0.TGRFはコンペアレジスタとして機能し、MTU0.TCNTとMTU0.TGREが一致したとき、A/D変換開始要求を発生することができます。TGRFは、バッファレジスタとして動作設定することができます。TGRとバッファレジスタの組み合わせは、TGRE－TGRFになります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRWはコンペアマッチ/インプットキャプチャ/外部パルス幅測定兼用のレジスタです。

21.2.14 タイマスタートレジスタ (TSTR)

- TSTR (MTU0 ~ MTU4)

アドレス MTU.TSTR 0008 8680h

b7	b6	b5	b4	b3	b2	b1	b0
CST4	CST3	—	—	—	CST2	CST1	CST0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0 : MTU0.TCNTのカウンタ停止 1 : MTU0.TCNTはカウンタ動作	R/W
b1	CST1	カウンタスタート1ビット	0 : MTU1.TCNTのカウンタ停止 1 : MTU1.TCNTはカウンタ動作	R/W
b2	CST2	カウンタスタート2ビット	0 : MTU2.TCNTのカウンタ停止 1 : MTU2.TCNTはカウンタ動作	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST3	カウンタスタート3ビット	0 : MTU3.TCNTのカウンタ停止 1 : MTU3.TCNTはカウンタ動作	R/W
b7	CST4	カウンタスタート4ビット	0 : MTU4.TCNTのカウンタ停止 1 : MTU4.TCNTはカウンタ動作	R/W

TSTR レジスタは MTU0 ~ MTU4 の TCNT の動作 / 停止を選択します。

TMDR レジスタへ動作モードを設定する場合や TCR レジスタへ TCNT のカウンタクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

CSTn ビット (カウンタスタート n ビット) (n=0 ~ 4)

各チャンネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタは停止しますが、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- TSTR (MTU5)

アドレス MTU5.TSTR 0008 88B4h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CSTU5	CSTV5	CSTW5

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0 : MTU5.TCNTWのカウンタ停止 1 : MTU5.TCNTWはカウンタ動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0 : MTU5.TCNTVのカウンタ停止 1 : MTU5.TCNTVはカウンタ動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0 : MTU5.TCNTUのカウンタ停止 1 : MTU5.TCNTUはカウンタ動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

21.2.15 タイマシンクロレジスタ (TSYR)

アドレス MTU.TSYR 0008 8681h

b7	b6	b5	b4	b3	b2	b1	b0
SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0: MTU0.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1: MTU0.TCNTは同期動作 TCNTの同期プリセット/同期クリアが可能	R/W
b1	SYNC1	タイマ同期1ビット	0: MTU1.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1: MTU1.TCNTは同期動作 TCNTの同期プリセット/同期クリアが可能	R/W
b2	SYNC2	タイマ同期2ビット	0: MTU2.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1: MTU2.TCNTは同期動作 TCNTの同期プリセット/同期クリアが可能	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC3	タイマ同期3ビット	0: MTU3.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1: MTU3.TCNTは同期動作 TCNTの同期プリセット/同期クリアが可能	R/W
b7	SYNC4	タイマ同期4ビット	0: MTU4.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1: MTU4.TCNTは同期動作 TCNTの同期プリセット/同期クリアが可能	R/W

TSYR レジスタはMTU0～MTU4のTCNTの独立動作または同期動作を選択します。
対応するビットを“1”にしたチャンネルが同期動作を行います。

SYNCn ビット (タイマ同期 n ビット) (n=0～4)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数のTCNTの同期プリセットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低2チャンネルのSYNCnビットを“1”にする必要があります。同期クリアの設定には、SYNCnビットの他にTCR.CCLR[2:0]ビットで、TCNTのクリア要因を設定する必要があります。

21.2.16 タイマリードライト許可レジスタ (TRWER)

アドレス MTU.TRWER 0008 8684h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RWE
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0: レジスタの読み出し/書き込みを禁止する 1: レジスタの読み出し/書き込みを許可する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRWER レジスタは、MTU3、MTU4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を設定します。

RWE ビット (リードライト許可ビット)

誤書き込み防止のレジスタへの読み出し / 書き込みの許可 / 禁止を設定します。

[“0”になる条件]

- RWE ビット = “1” を読み出し後、RWE ビットに “0” を書いたとき
- 誤書き込み防止の対象レジスタおよび対象カウンタ

MTUm.TCR、MTUm.TMDR、MTUm.TIORH、MTUm.TIORL、MTUm.TIER、MTUm.TGRA、MTUm.TGRB、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR と MTUm.TCNT の計 22 レジスタです。
(m = 3、4)

21.2.17 タイマアウトプットマスタ許可レジスタ (TOER)

アドレス MTU.TOER 0008 860Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B

リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3Bビット	0 : MTU出力禁止 (非アクティブレベル) (注1) 1 : MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4Aビット	0 : MTU出力禁止 (非アクティブレベル) (注1) 1 : MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4Bビット	0 : MTU出力禁止 (非アクティブレベル) (注1) 1 : MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3Dビット	0 : MTU出力禁止 (非アクティブレベル) (注1) 1 : MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4Cビット	0 : MTU出力禁止 (非アクティブレベル) (注1) 1 : MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4Dビット	0 : MTU出力禁止 (非アクティブレベル) (注1) 1 : MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. 非アクティブレベルは、タイマアウトプットコントロールレジスタ1/2 (TOCR1/2) の設定によります。詳細は、「21.2.18 タイマアウトプットコントロールレジスタ1 (TOCR1)」、「21.2.19 タイマアウトプットコントロールレジスタ2 (TOCR2)」を参照してください。なお、相補PWMモード/リセット同期PWMモード以外でMTU出力する場合は“1”に設定してください。“0”に設定した場合はタイマアウトプットコントロールレジスタ1/2 (TOCR1/2) の設定によって非アクティブレベルが出力されます。

TOER レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可/禁止を行います。

これらの端子は TOER レジスタの各ビットの設定をしないと正しく出力されません。MTU3、MTU4 において、TOER レジスタは MTU3、MTU4 の TIOR レジスタ設定の前に値をセットしてください。

TOER レジスタは、TSTR レジスタの CST3、CST4 ビットを“0”にした後で設定してください (図 21.35、図 21.38 を参照)。

21.2.18 タイマアウトプットコントロールレジスタ 1 (TOCR1)

アドレス MTU.TOCR1 0008 860Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット (注2、注3)	表 21.30を参照してください	R/W
b1	OLSN	出力レベル選択Nビット (注2、注3)	表 21.31を参照してください	R/W
b2	TOCS	TOC選択ビット	0 : TOCR1の設定を有効にする 1 : TOCR2の設定を有効にする	R/W
b3	TOCL	TOCレジスタ書き込み禁止ビット (注1)	0 : TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1 : TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止	R/W (注4)
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSYE	PWM同期出力許可ビット	0 : トグル出力を禁止 1 : トグル出力を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TOCR1.TOCLビットを“1”に設定することにより、CPU暴走時の誤書き込みを防止することができます。

注2. TOCR1.TOCSビットを“0”に設定することにより、本設定が有効になります。

注3. デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、OLSPビットのみ有効となります。

注4. リセット後、1回だけ“1”を書き込むことができます。“1”書き込み後は、“0”を書き込むことはできません。

TOCR1 レジスタは、8ビットの読み出し/書き込み可能なレジスタで、相補PWMモード/リセット同期PWMモードのPWM周期に同期したトグル出力の許可/禁止、およびPWM出力の出力レベル反転の制御を行います。

OLSP ビット (出力レベル選択 P ビット)

リセット同期PWMモード/相補PWMモード時に、正相の出力レベルを選択します。

OLSN ビット (出力レベル選択 N ビット)

リセット同期PWMモード/相補PWMモード時に、逆相の出力レベルを選択します。

TOCS ビット (TOC 選択ビット)

相補PWMモード/リセット同期PWMモードの出力レベルの設定をTOCR1とTOCR2のどちらの設定を有効にするか選択します。

TOCL ビット (TOC レジスタ書き込み禁止ビット)

TOCR1レジスタのTOCSビット、OLSNビット、OLSPビットへの書き込み禁止/許可の設定をします。

PSYE ビット (PWM 同期出力許可ビット)

PWM 周期に同期したトグル出力の許可/禁止を設定します。

表21.30 出力レベル選択機能

ビット0	機能			
	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表21.31 出力レベル選択機能

ビット1	機能			
	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN = 1、OLSP = 1 の場合の相補 PWM モードの出力例 (1 相分) を図 21.2 に示します。

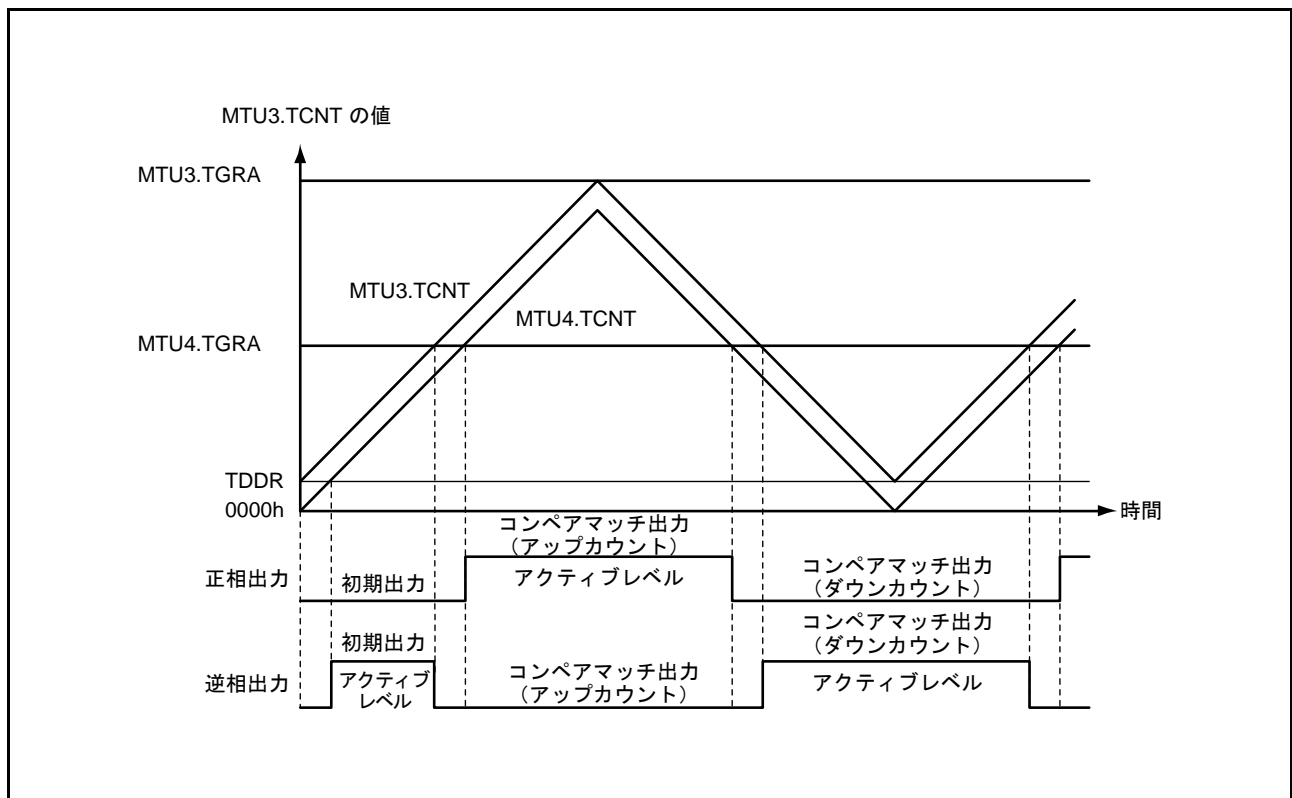


図 21.2 相補 PWM モードの出力レベルの例

21.2.19 タイマアウトプットコントロールレジスタ 2 (TOCR2)

アドレス MTU.TOCR2 0008 860Fh

b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択 1P ビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3Bの出力レベルを選択します。表21.32を参照してください	R/W
b1	OLS1N	出力レベル選択 1N ビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3Dの出力レベルを選択します。表21.33を参照してください	R/W
b2	OLS2P	出力レベル選択 2P ビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Aの出力レベルを選択します。表21.34を参照してください	R/W
b3	OLS2N	出力レベル選択 2N ビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Cの出力レベルを選択します。表21.35を参照してください	R/W
b4	OLS3P	出力レベル選択 3P ビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Bの出力レベルを選択します。表21.36を参照してください	R/W
b5	OLS3N	出力レベル選択 3N ビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Dの出力レベルを選択します。表21.37を参照してください	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング選択ビット	TOLBRからTOCR2へのバッファ転送タイミングを選択します。詳細は表21.38を参照してください	R/W

注1. TOCR1.TOCSビットを“1”に設定することにより、本設定が有効になります。

注2. デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、OLS*i*Pビットのみ有効となります。(i=1~3)

TOCR2 レジスタは、相補 PWM モード/リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行います。

表21.32 MTIOC3B出力レベル選択機能

ビット0	機能			
OLS1P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表21.33 MTIOC3D出力レベル選択機能

ビット1	機能			
OLS1N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表21.34 MTIOC4A出力レベル選択機能

ビット2	機能			
OLS2P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表21.35 MTIOC4C出力レベル選択機能

ビット3	機能			
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表21.36 MTIOC4B出力レベル選択機能

ビット4	機能			
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 21.37 MTIOC4D出力レベル選択機能

ビット5	機能			
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 21.38 TOCR2.BF[1:0]ビットの設定

ビット7	ビット6	説明	
BF1	BF0	相補PWMモード時	リセットPWMモード時
0	0	バッファレジスタ (TOLBR) からTOCR2へ転送しない	バッファレジスタ (TOLBR) からTOCR2へ転送しない
0	1	MTU4.TCNTの山でバッファレジスタ (TOLBR) からTOCR2へ転送する	MTU4.TCNT、MTU3.TCNTカウンタクリア時にバッファレジスタ (TOLBR) からTOCR2へ転送する
1	0	MTU4.TCNTの谷でバッファレジスタ (TOLBR) からTOCR2へ転送する	設定しないでください
1	1	MTU4.TCNTの山と谷でバッファレジスタ (TOLBR) からTOCR2へ転送する	設定しないでください

21.2.20 タイマアウトプットレベルバッファレジスタ (TOLBR)

アドレス MTU.TOLBR 0008 8636h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット	TOCR2のOLS1Pビットにバッファ転送する値を設定してください	R/W
b1	OLS1N	出力レベル選択1Nビット	TOCR2のOLS1Nビットにバッファ転送する値を設定してください	R/W
b2	OLS2P	出力レベル選択2Pビット	TOCR2のOLS2Pビットにバッファ転送する値を設定してください	R/W
b3	OLS2N	出力レベル選択2Nビット	TOCR2のOLS2Nビットにバッファ転送する値を設定してください	R/W
b4	OLS3P	出力レベル選択3Pビット	TOCR2のOLS3Pビットにバッファ転送する値を設定してください	R/W
b5	OLS3N	出力レベル選択3Nビット	TOCR2のOLS3Nビットにバッファ転送する値を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TOLBR レジスタは TOCR2 のバッファレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力レベルの設定を行います。TOLBR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 21.3 に示します。

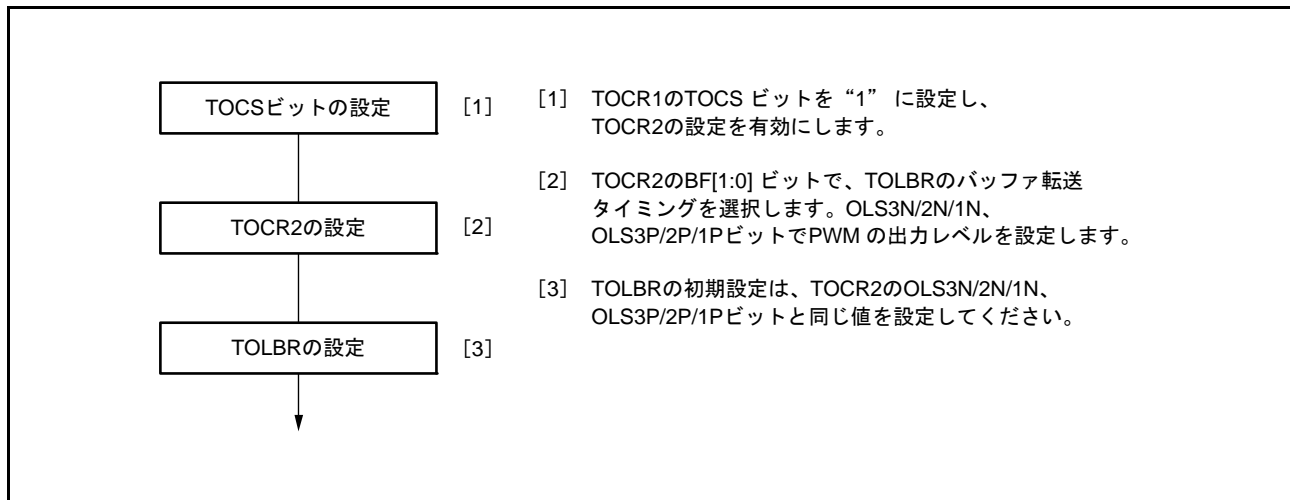


図 21.3 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

21.2.21 タイマゲートコントロールレジスタ (TGCR)

アドレス MTU.TGCR 0008 860Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	BDC	N	P	FB	WF	VF	UF

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相/逆相の出力相のON/OFFを設定します。これらのビットの設定はTGCR.FBビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりにになります。表21.39を参照してください	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0：出力の切り換えは、外部入力（入力元は、MTU0のTGRA、TGRB、TGRCのインプットキャプチャ信号） 1：出力の切り換えはソフトウェアで行う（TGCRのUF、VF、WFの設定値）	R/W
b4	P	正相出力（P）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b5	N	逆相出力（N）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0：通常出力 1：本レジスタの機能を有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

TGCR レジスタは、リセット同期 PWM モード/相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。相補 PWM モード/リセット同期 PWM モード以外では、TGCR レジスタの設定は無効です。

UF、VF、WF ビット（出力切り替えビット）

これらのビットの設定は TGCR.FB ビットが“1”のときのみ有効です。このときは、ビット 0～2 の設定が、外部入力の代わりにになります。表 21.39 を参照してください。

FB ビット（外部フィードバック信号許可ビット）

正相/逆相の出力の切り替えを MTU0.TGRA、TGRB、TGRC のインプットキャプチャ信号で自動的に行うか、TGCR レジスタのビット 2～0 に“0”または“1”を書き込むことによって行うかを選択します。

P ビット（正相出力（P）制御ビット）

正相端子の出力（MTIOC3B 端子、MTIOC4A 端子、MTIOC4B 端子）を出力時、レベル出力をするか、リセット同期 PWM/相補 PWM 出力するかを選択します。

N ビット（逆相出力（N）制御ビット）

逆相端子（MTIOC3D 端子、MTIOC4C 端子、MTIOC4D 端子）を出力時、レベル出力するか、リセット同期 PWM/相補 PWM 出力するかを選択します。

BDC ビット（ブラシレス DC モータビット）

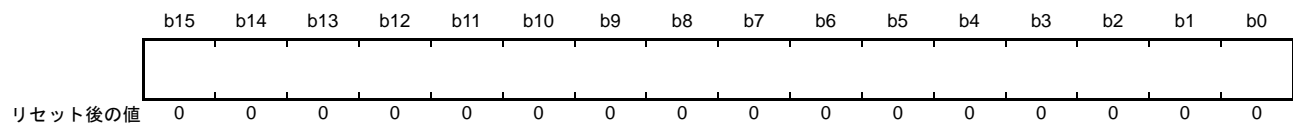
TGCR レジスタの機能を有効にするか、無効にするかを選択します。

表21.39 出力レベル選択機能

ビット2	ビット1	ビット0	機能					
			MTIOC3B	MTIOC4A	MTIOC4B	MTIOC3D	MTIOC4C	MTIOC4D
WF	VF	UF	U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

21.2.22 タイマサブカウンタ (TCNTS)

アドレス MTU.TCNTS 0008 8620h

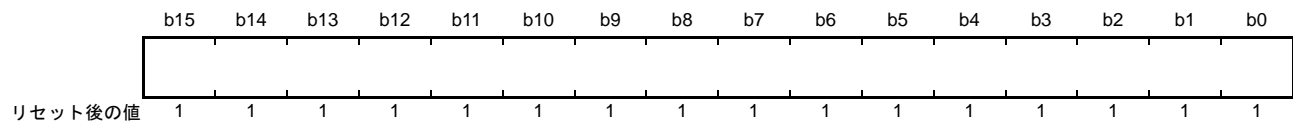


注. TCNTSレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

TCNTS レジスタは、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTS レジスタのリセット後の値は 0000h です。

21.2.23 タイマデッドタイムデータレジスタ (TDDR)

アドレス MTU.TDDR 0008 8616h



注. TDDRレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

TDDR レジスタは、相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 MTU3.TCNT と MTU4.TCNT カウンタのオフセット値を設定します。相補 PWM モード時に MTU3.TCNT、MTU4.TCNT カウンタをクリアして再スタートするときは、TDDR レジスタの値が MTU3.TCNT カウンタにロードされカウント動作を開始します。TDDR レジスタのリセット後の値は FFFFh です。

21.2.24 タイマ周期データレジスタ (TCDR)

アドレス MTU.TCDR 0008 8614h



注. TCDRレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

TCDR レジスタは、相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。TCDR レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り換えます (ダウンカウント→アップカウント)。TCDR のリセット後の値は FFFFh です。

21.2.25 タイマ周期バッファレジスタ (TCBR)

アドレス MTU.TCBR 0008 8622h

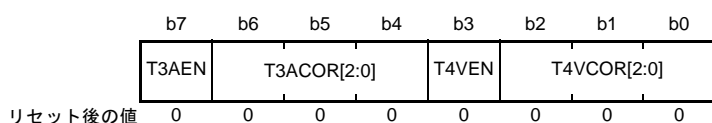


注. TCBRレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

TCBR レジスタは、相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。TCBR レジスタのリセット後の値は FFFFh です。

21.2.26 タイマ割り込み間引き設定レジスタ (TITCR)

アドレス MTU.TITCR 0008 8630h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCOR[2:0]	TCIV4割り込み間引き回数設定ビット	TCIV4割り込みの間引き回数を0~7回で設定します。(注1) 詳細は表21.40を参照してください	R/W
b3	T4VEN	T4VENビット	0: TCIV4割り込みの間引きを禁止する 1: TCIV4割り込みの間引きを許可する	R/W
b6-b4	T3ACOR[2:0]	TGIA3割り込み間引き回数設定ビット	TGIA3割り込みの間引き回数を0~7回で設定します。(注1) 詳細は表21.41を参照してください	R/W
b7	T3AEN	T3AENビット	0: TGIA3割り込みの間引きを禁止する 1: TGIA3割り込みの間引きを許可する	R/W

注1. 割り込み間引き回수에“0”を設定すると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR.T3AEN、TITCR.T4VENビットを“0”に設定して間引き回数カウンタ (TITCNT) をクリアしてください。

T4VCOR[2:0] ビット (TCIV4 割り込み間引き回数設定ビット)

T3ACOR[2:0] ビット (TGIA3 割り込み間引き回数設定ビット)

TCIV3 および TGIA4 の割り込みの間引き回数を0~7回で設定します。詳細は表 21.40、表 21.41 を参照してください。

表21.40 T4VCOR[2:0]ビットによる割り込み間引き回数の設定

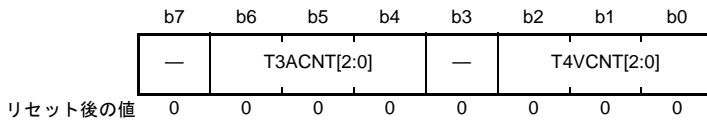
ビット2	ビット1	ビット0	説明
T4VCOR2	T4VCOR1	T4VCOR0	
0	0	0	TCIV4の割り込み間引きを行わない
0	0	1	TCIV4の割り込み間引き回数を1回に設定
0	1	0	TCIV4の割り込み間引き回数を2回に設定
0	1	1	TCIV4の割り込み間引き回数を3回に設定
1	0	0	TCIV4の割り込み間引き回数を4回に設定
1	0	1	TCIV4の割り込み間引き回数を5回に設定
1	1	0	TCIV4の割り込み間引き回数を6回に設定
1	1	1	TCIV4の割り込み間引き回数を7回に設定

表21.41 T3ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6 T3ACOR2	ビット5 T3ACOR1	ビット4 T3ACOR0	説明
0	0	0	TGIA3の割り込み間引きを行わない
0	0	1	TGIA3の割り込み間引き回数を1回に設定
0	1	0	TGIA3の割り込み間引き回数を2回に設定
0	1	1	TGIA3の割り込み間引き回数を3回に設定
1	0	0	TGIA3の割り込み間引き回数を4回に設定
1	0	1	TGIA3の割り込み間引き回数を5回に設定
1	1	0	TGIA3の割り込み間引き回数を6回に設定
1	1	1	TGIA3の割り込み間引き回数を7回に設定

21.2.27 タイマ割り込み間引き回数カウンタ (TITCNT)

アドレス MTU.TITCNT 0008 8631h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCNT[2:0]	TCIV4割り込みカウンタビット	TITCRのT4VENビットに1を設定時、TCIV4割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	T3ACNT[2:0]	TGIA3割り込みカウンタビット	TITCRのT3AENビットに1を設定時、TGIA3割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. TITCNTの値をクリアするには、TITCR.T3AENビットとTITCR.T4VENビットを“0”にしてください。

TITCNTは、8ビットの読み出し可能なカウンタです。TITCNTは、MTU3.TCNTおよびMTU4.TCNTのカウンタ動作停止後も、値を保持します。

T4VCNT[2:0] ビット (TCIV4 割り込みカウンタビット)

[0になる条件]

- TITCRのT4VCOR[2:0]とTITCNTのT4VCNT[2:0]が一致したとき
- TITCRのT4VENビットが“0”のとき
- TITCRのT4VCOR[2:0]が“000b”のとき

T3ACNT[2:0] ビット (TGIA3 割り込みカウンタビット)

[0になる条件]

- TITCRのT3ACOR[2:0]とTITCNTのT3ACNT[2:0]が一致したとき
- TITCRのT3AENビットが“0”のとき
- TITCRのT3ACOR[2:0]が“000b”のとき

21.2.28 タイマバッファ転送設定レジスタ (TBTER)

アドレス MTU.TBTER 0008 8632h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	BTE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能と連動する/しないを設定します。詳細は表21.42を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TBTER レジスタは、8ビットの読み出し/書き込み可能なレジスタで、相補PWMモードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能と連動する/しないを設定します。

表21.42 TBTER.BTE[1:0]ビットの設定

ビット1	ビット0	説明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない (注1) また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する (注2)
1	1	設定しないでください

注1. TMDRのMD[3:0]ビットの設定に従い転送します。詳細は「21.3.8 相補PWMモード」を参照してください。

注2. 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) のT3AEN、T4VENビットを0に設定したとき、またはTITCRの間引き回数設定ビット (T3ACOR、T4VCOR) を0に設定したとき) は、バッファ転送を割り込み間引きと連動しない設定 (タイマバッファ転送レジスタ (TBTER) のBTE1を0に設定) にしてください。
割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

21.2.29 タイマデッドタイム許可レジスタ (TDER)

アドレス MTU.TDER 0008 8634h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDER
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイム許可レジスタビット	0: デッドタイムを生成しない 1: デッドタイムを生成する (注1)	R/(W)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TDDR ≥ 1に設定してください。

TDER レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。TDER レジスタは MTU3 に 1 本あり、相補 PWM モードのデッドタイム生成を制御できます。TDER レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TDER ビット (デッドタイム許可レジスタビット)

デッドタイムの生成をする / しないを設定します。

[“0”になる条件]

- TDER = “1” を読み出し後、TDER ビットに “0” を書いたとき

21.2.30 タイマ波形コントロールレジスタ (TWCR)

アドレス MTU.TWCR 0008 8660h

	b7	b6	b5	b4	b3	b2	b1	b0
	CCE	—	—	—	—	—	—	WRE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	初期出力抑止許可ビット	0 : TOCRレジスタで設定した初期出力値を出力 1 : 初期出力を抑止する	R/(W) (注1)
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CCE	コンペアマッチクリア許可ビット	0 : MTU3.TGRAのコンペアマッチによるカウンタクリアをしない 1 : MTU3.TGRAのコンペアマッチによるカウンタクリアをする	R/(W) (注2)

注1. 相補PWMモードのとき以外は、“1”に設定しないでください。

注2. 相補PWMモード1のとき以外は、“1”に設定しないでください。

TWCRレジスタは、8ビットの読み出し/書き込み可能なレジスタです。TWCRレジスタは相補PWMモードでMTU3.TNCT、MTU4.TNCTの同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRAのコンペアマッチによるカウンタクリアをする/しないを設定します。

TWCR.CCEビット、TWCR.WREビットの設定は、TCNTの動作が停止した状態で行ってください。

WREビット (初期出力抑止許可ビット)

相補PWMモードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補PWMモードの谷のT_b区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WREビットの設定によらず、TOCRレジスタで設定した初期値を出力します。また、MTU3.TCNT、MTU4.TCNTスタート直後の谷のT_b区間で同期クリアが発生した場合も、TOCRレジスタで設定した初期値を出力します。

相補PWMモードの谷のT_b区間については、[図 21.40](#)を参照してください。

[“1”になる条件]

- WRE = “0”を読み出し後、WREビットに“1”を書いたとき

CCEビット (コンペアマッチクリア許可ビット)

相補PWMモードで、TGRA3のコンペアマッチによるカウンタクリアをする/しないを設定します。

[“1”になる条件]

- CCE = “0”を読み出し後、CCEビットに“1”を書いたとき

21.2.31 ノイズフィルタコントロールレジスタ (NFCR)

• NFCR (MTU0 ~ MTU4)

アドレス MTU0.NFCR 0008 8690h, MTU1.NFCR 0008 8691h, MTU2.NFCR 0008 8692h
MTU3.NFCR 0008 8693h, MTU4.NFCR 0008 8694h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタA許可ビット	0: MTIOCnA端子のノイズフィルタは停止 1: MTIOCnA端子のノイズフィルタを許可	R/W
b1	NFBEN	ノイズフィルタB許可ビット	0: MTIOCnB端子のノイズフィルタは停止 1: MTIOCnB端子のノイズフィルタを許可	R/W
b2	NFCEN	ノイズフィルタC許可ビット	0: MTIOCnC端子のノイズフィルタは停止 1: MTIOCnC端子のノイズフィルタを許可	R/W (注1)
b3	NFDEN	ノイズフィルタD許可ビット	0: MTIOCnD端子のノイズフィルタは停止 1: MTIOCnD端子のノイズフィルタを許可	R/W (注1)
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	00: PCLK/1 01: PCLK/8 10: PCLK/32 11: カウントソースを外部クロックに設定	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. MTU1.NFCRレジスタ、MTU2.NFCRレジスタでは予約ビットになります。読むと“0”が読みだされます。書き込み値は無効です。

MTUn.NFCR レジスタ (n=0 ~ 4) は、8 ビットの読み出し / 書き込み可能なレジスタです。MTUn.NFCR レジスタは、MTIOCnm 端子のノイズフィルタを許可 / 停止を制御します。また、ノイズフィルタのサンプリングクロックを設定します。(n = 0 ~ 4、m = A ~ D)

NFAEN ビット (ノイズフィルタ A 許可ビット)

MTIOCnA 端子の入力のノイズフィルタ機能の許可 / 停止を設定します。NFAEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR.MD[3:0] ビットでノーマルモード (0000b) 以外に設定した状態で、NFAEN ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ B 許可ビット)

MTIOCnB 端子の入力のノイズフィルタ機能の許可 / 停止を設定します。NFBEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR.MD[3:0] ビットでノーマルモード (0000b) 以外に設定した状態で、NFBEN ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ C 許可ビット)

MTIOCnC 端子の入力のノイズフィルタ機能の許可 / 停止を設定します。NFCEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定または、TMDR.MD[3:0] ビットでノーマルモード (0000b) 以外に設定した状態で、NFCEN ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ D 許可ビット)

MTIOcND 端子の入力のノイズフィルタ機能の許可/停止を設定します。NFDEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定または、TMDR.MD[3:0] ビットでノーマルモード (0000b) 以外に設定した状態で、NFDEN ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロック選択ビット)

ノイズフィルタのサンプリング周期を設定します。NFCS ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。NFCS[1:0] ビットを“11b”に設定しカウントソースを外部クロックとした場合、NFCS ビット設定後外部クロックを2回入力した後インプットキャプチャ機能に設定してください。

- NFCR (MTU5)

アドレス MTU5.NFCR 0008 8695h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	—	—	NFWEN	NFVEN	NFUEN

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NFUEN	ノイズフィルタU許可ビット	0 : MTIC5U端子のノイズフィルタは停止 1 : MTIC5U端子のノイズフィルタを許可	R/W
b1	NFVEN	ノイズフィルタV許可ビット	0 : MTIC5V端子のノイズフィルタは停止 1 : MTIC5V端子のノイズフィルタを許可	R/W
b2	NFWEN	ノイズフィルタW許可ビット	0 : MTIC5W端子のノイズフィルタは停止 1 : MTIC5W端子のノイズフィルタを許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	00 : PCLK/1 01 : PCLK/8 10 : PCLK/32 11 : カウントソースを外部クロックに設定	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTU5.NFCR レジスタは、8ビットの読み出し/書き込み可能なレジスタです。MTU5.NFCR レジスタは、MTIC5m 端子のノイズフィルタを許可/停止を制御します。また、ノイズフィルタのサンプリングクロックを設定します。(m = U、V、W)

NFUEN ビット (ノイズフィルタ U 許可ビット)

MTIC5U 端子の入力のノイズフィルタ機能の許可/停止を設定します。NFUEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFUEN ビットを切り替えてください。

NFVEN ビット (ノイズフィルタ V 許可ビット)

MTIC5V 端子の入力のノイズフィルタ機能の許可/停止を設定します。NFVEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFVEN ビットを切り替えてください。

NFWEN ビット (ノイズフィルタ W 許可ビット)

MTIC5W 端子の入力のノイズフィルタ機能の許可/停止を設定します。NFWEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFWEN ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロック選択ビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。NFCS[1:0] ビットの設定後、設定したサンプリング周期の2周期分待った後インプットキャプチャ機能に設定してください。

21.2.32 バスマスタとのインタフェース

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR)、タイマサブカウンタ (TCNTS)、タイマ周期バッファレジスタ (TCBR)、タイマデッドタイムデータレジスタ (TDDR)、タイマ周期データレジスタ (TCDR)、タイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B)、およびタイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。8 ビット単位での読み出し / 書き込みを行ってください。

21.3 動作説明

21.3.1 基本動作

各チャンネルには、TCNTとTGRがあります。TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGRは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTRのCST0～CST4ビット、MTU5.TSTRのCSTU5、CSTV5、CSTW5ビットを“1”にすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウンタ動作設定手順例を図21.4に示します。

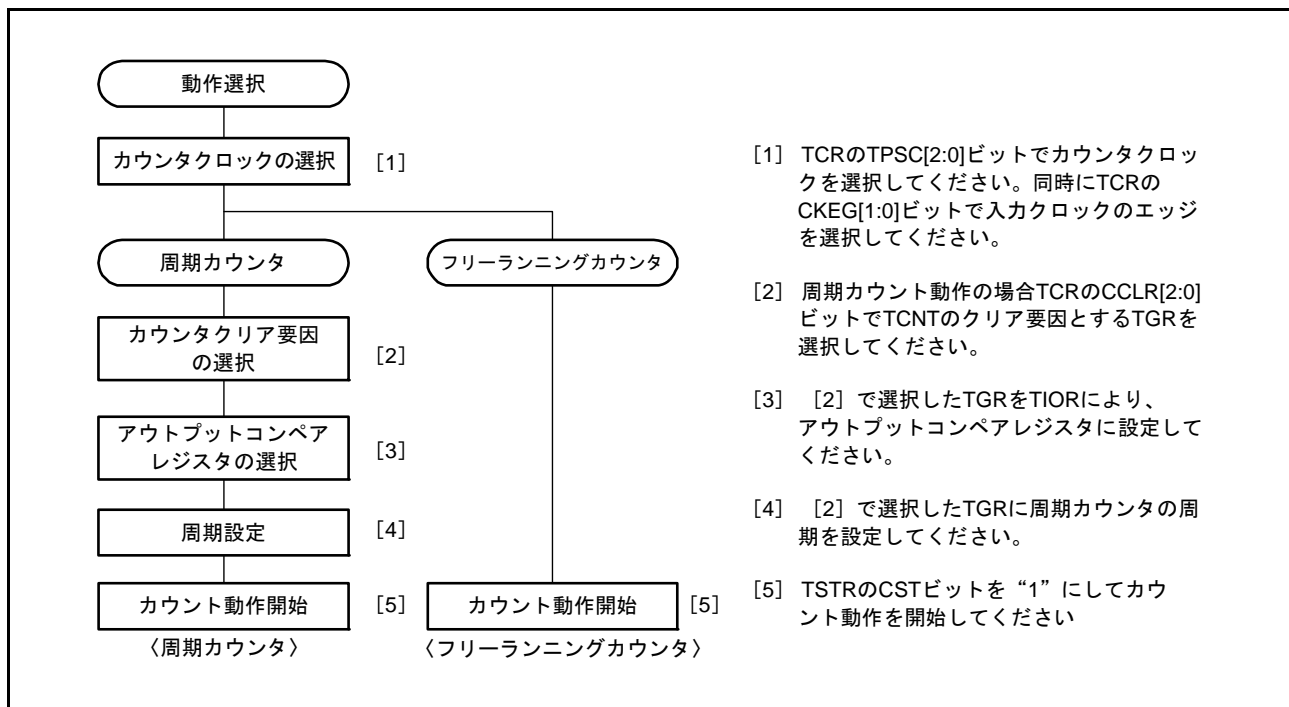


図 21.4 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

MTUのTCNTは、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRの対応するビットを“1”にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー（FFFFh → 0000h）すると、対応するTIERのTCIEVビットが“1”ならば、MTUは割り込みを要求します。TCNTはオーバーフロー後、0000hからアップカウント動作を継続します。

フリーランニングカウンタの動作を図21.5に示します。

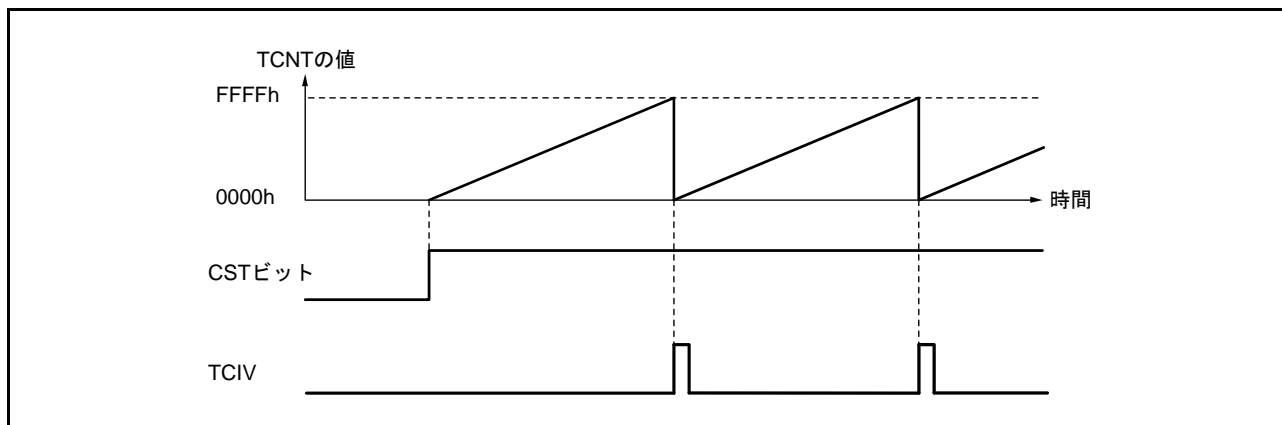


図 21.5 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウンタ動作を行います。周期設定用のTGRをアウトプットコンペアレジスタに設定し、TCRのCCLR[2:0]ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRの対応するビットを“1”にすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRの値と一致すると、TCNTは0000hになります。

このとき対応するTIERのTGIEビットが“1”ならば、MTUは割り込みを要求します。TCNTはコンペアマッチ後、0000hからアップカウント動作を継続します。

周期カウンタの動作を図21.6に示します。

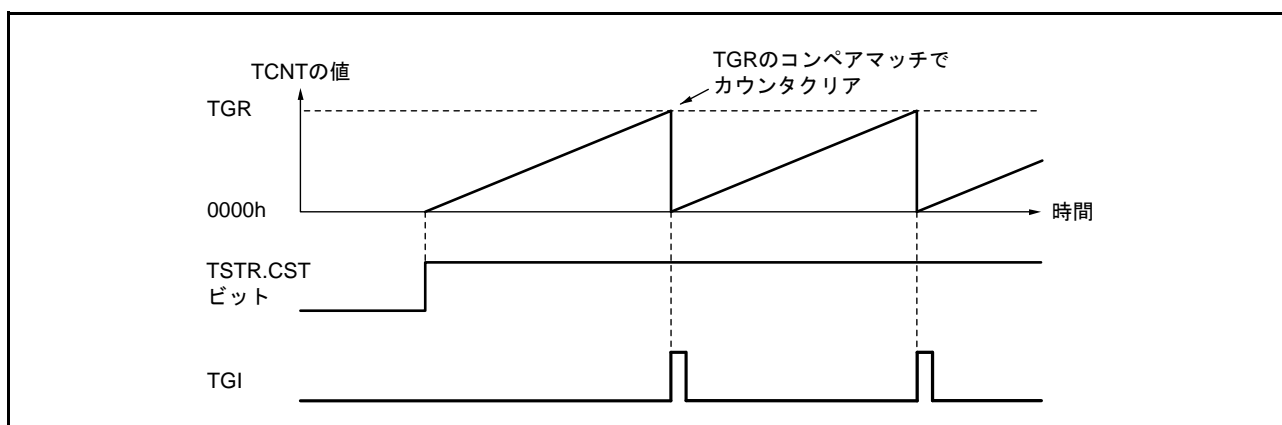


図 21.6 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTUは、コンペアマッチにより対応する出力端子からLow出力/High出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 21.7 に示します。

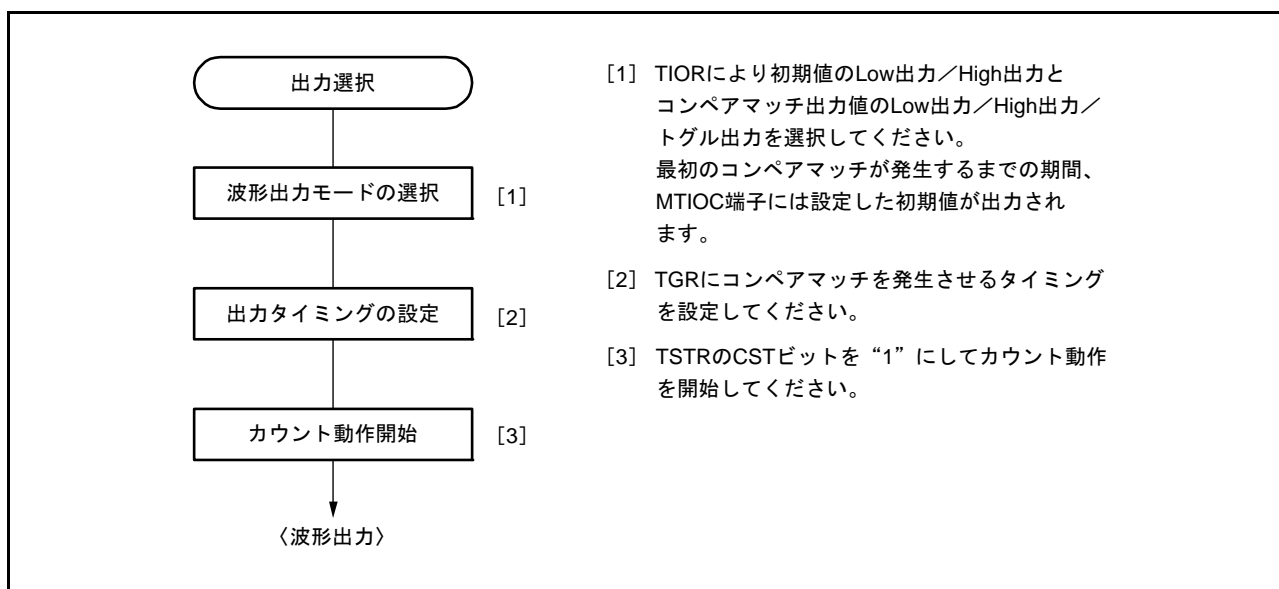


図 21.7 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

Low 出力/High 出力例を図 21.8 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により High 出力、コンペアマッチ B により Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

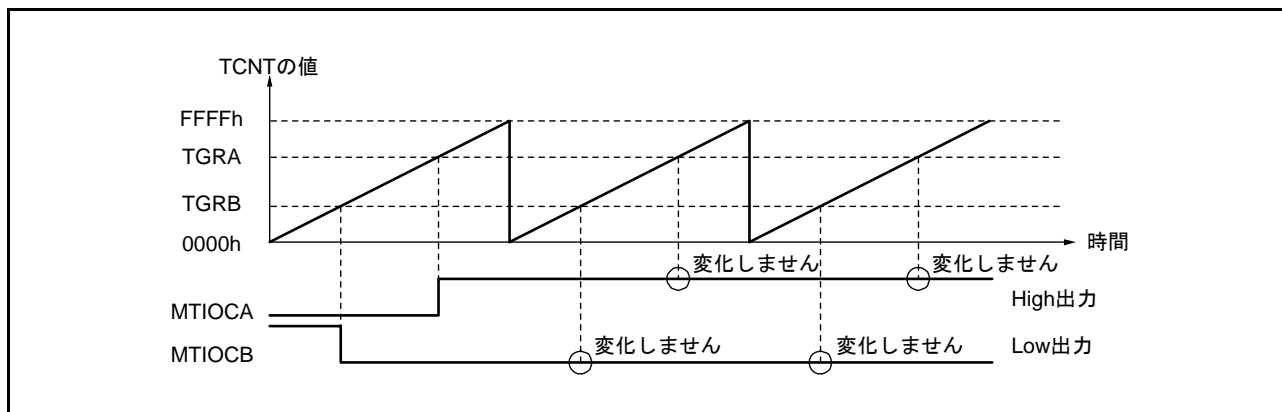


図 21.8 Low 出力/High 出力の動作例

トグル出力の例を図 21.9 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

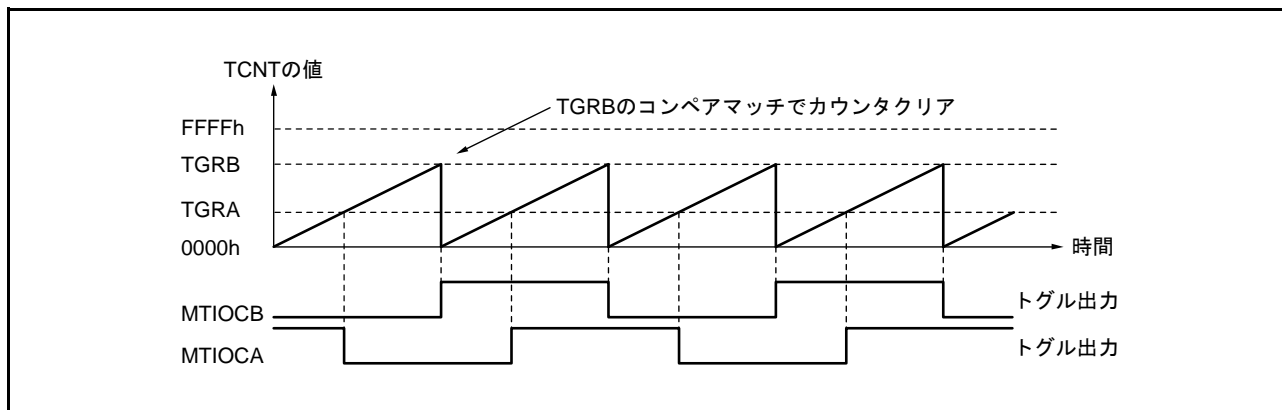


図 21.9 トグル出力の動作例

(3) インพุットキャプチャ機能

MTIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、MTU0、MTU1 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

注. MTU0、MTU1 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに PCLK/1 を選択しないでください。PCLK/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 21.10 に示します。

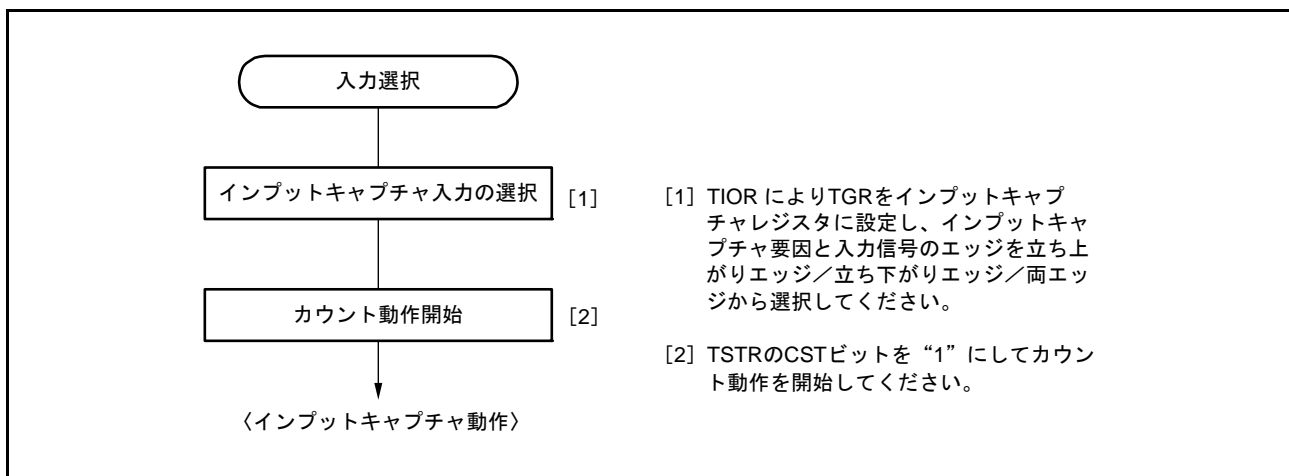


図 21.10 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 21.11 に示します。

MTIOcNA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、また MTIOcNB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

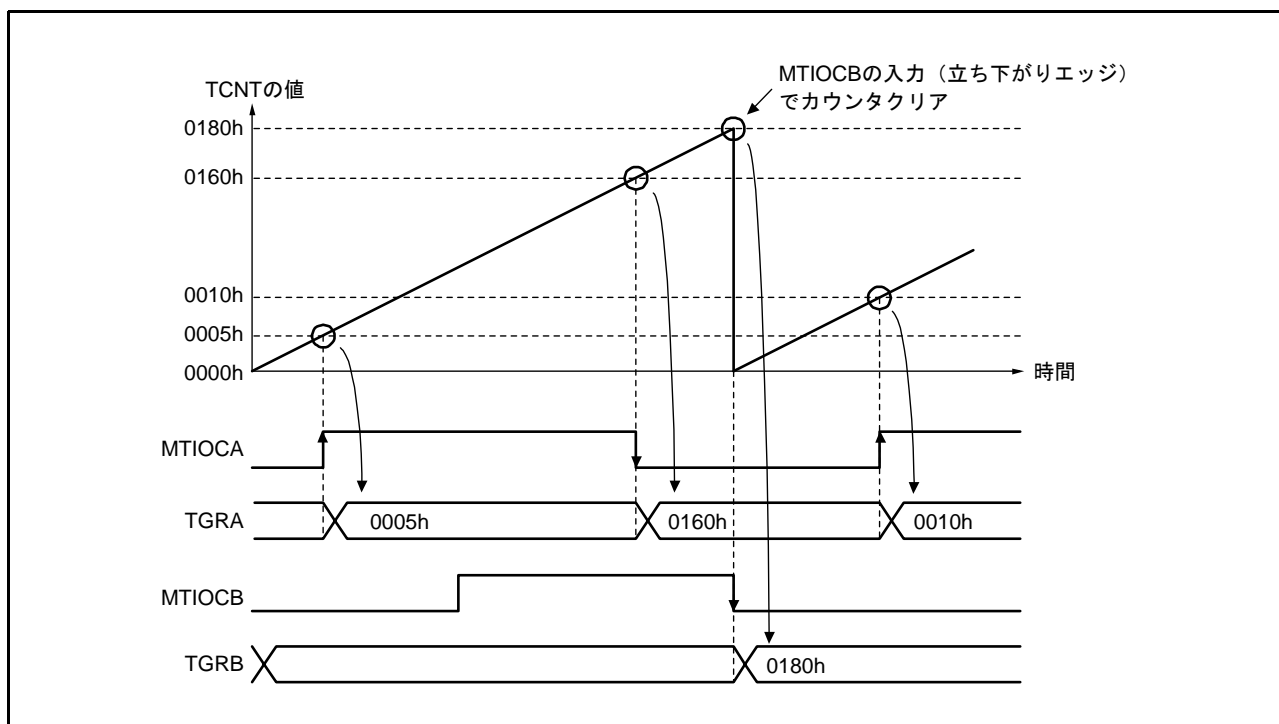


図 21.11 インพุットキャプチャ動作例

21.3.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対して動作する TGR の本数を増加することができます。

MTU0 ~ MTU4 はすべて同期動作の設定が可能です。

MTU5 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 21.12 に示します。

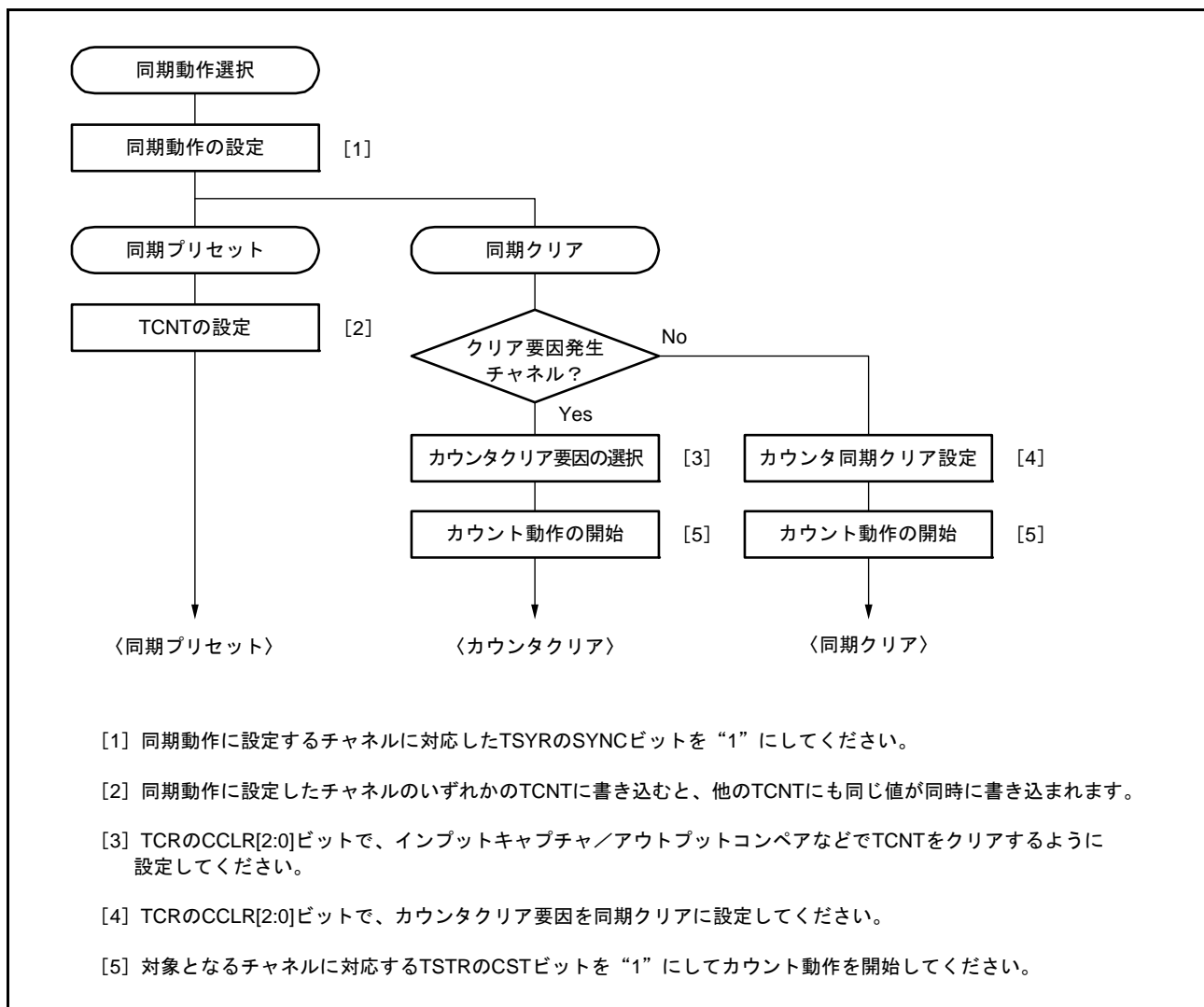


図 21.12 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 21.13 に示します。

MTU0 ~ 2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB のコンペアマッチ、また MTU1、MTU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ~ MTU2 の TCNT は同期プリセット、MTU0.TGRB のコンペアマッチによる同期クリアを行い、MTU0.TGRB に設定したデータが PWM 周期となります。

PWM モードについては、「21.3.5 PWM モード」を参照してください。

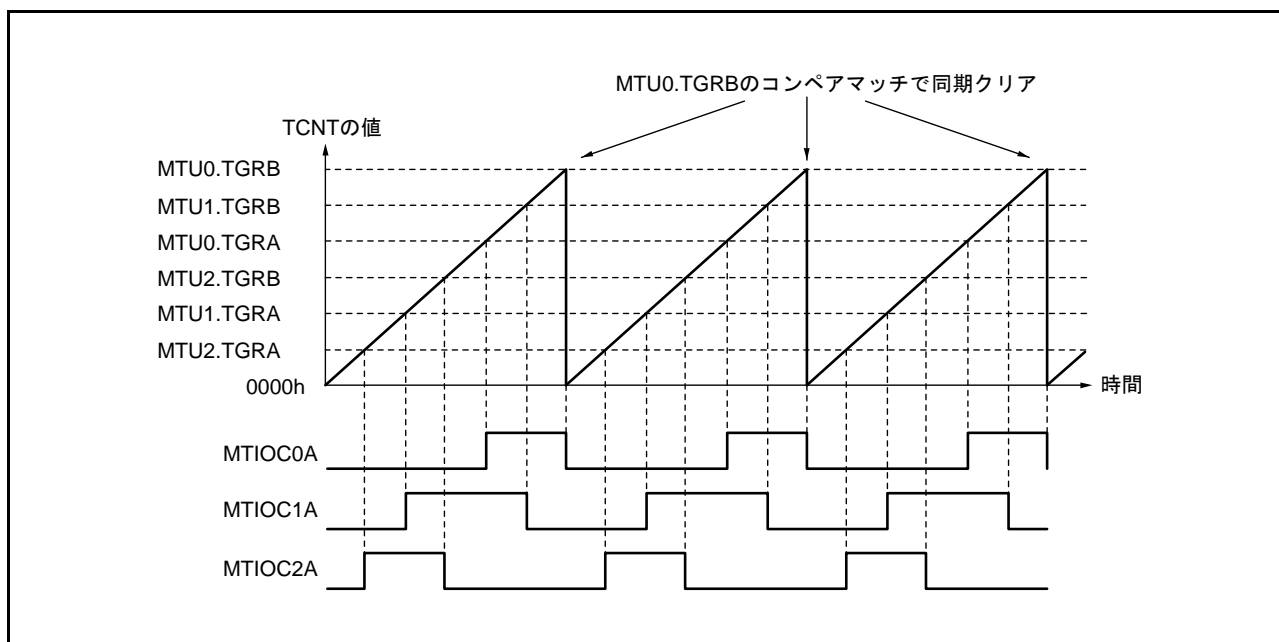


図 21.13 同期動作の動作例

21.3.3 バッファ動作

バッファ動作は、MTU0、MTU3、MTU4 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。また、MTU0 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR を入力キャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注． MTU0.TGRE は入力キャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 21.43 にバッファ動作時のレジスタの組み合わせを示します。

表21.43 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD

- TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 21.14 に示します。

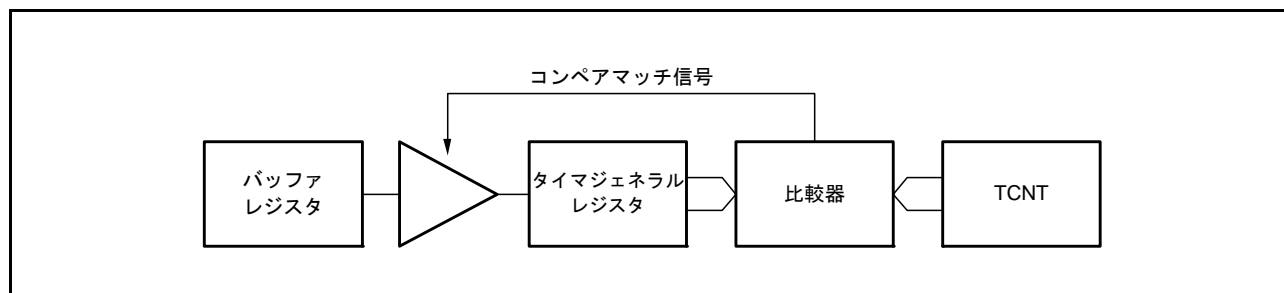


図 21.14 コンペアマッチバッファ動作

• TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 21.15 に示します。

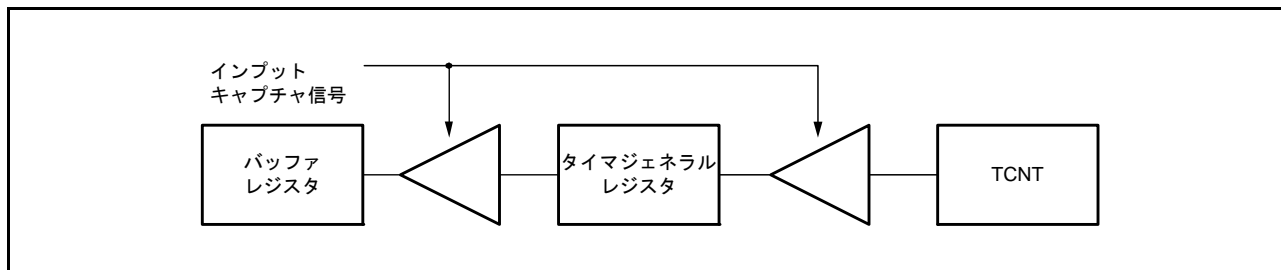


図 21.15 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 21.16 に示します。

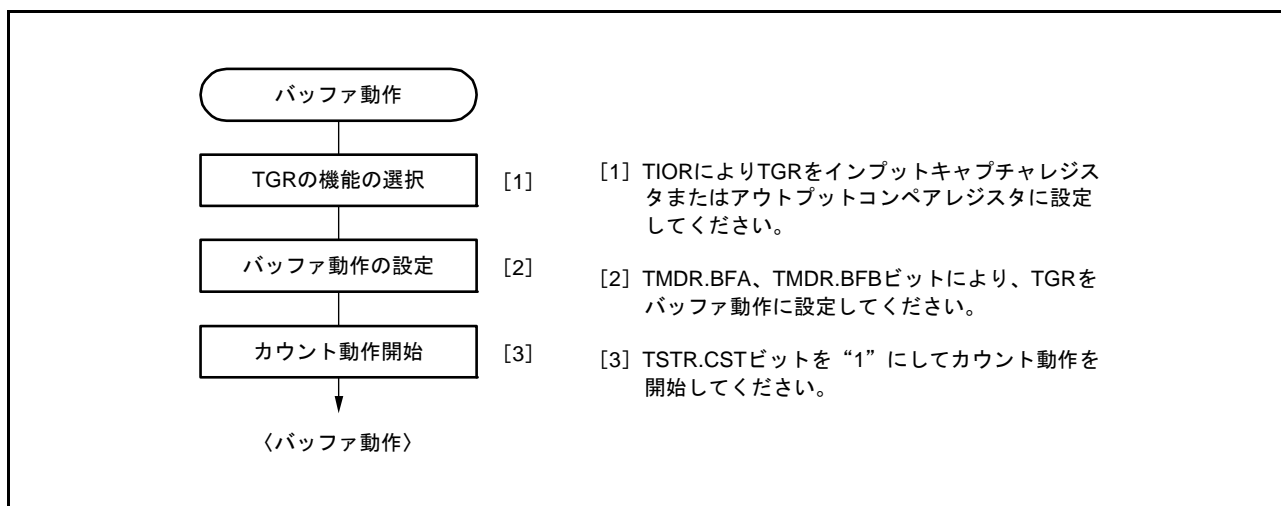


図 21.16 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

MTU0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 21.17 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。この例では、TBTM の TTSA ビットは“0”に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「21.3.5 PWM モード」を参照してください。

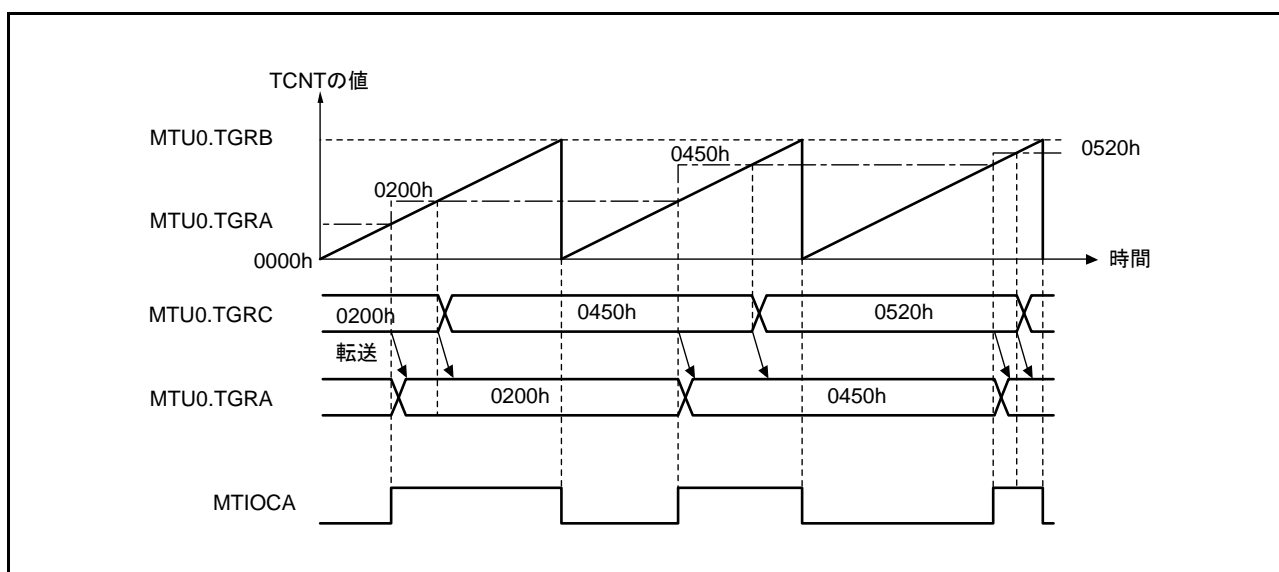


図 21.17 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TCNT を入力キャプチャレジスタに設定し、TCNT と TGRA をバッファ動作に設定したときの動作例を図 21.18 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、MTIOCA 端子の入力キャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

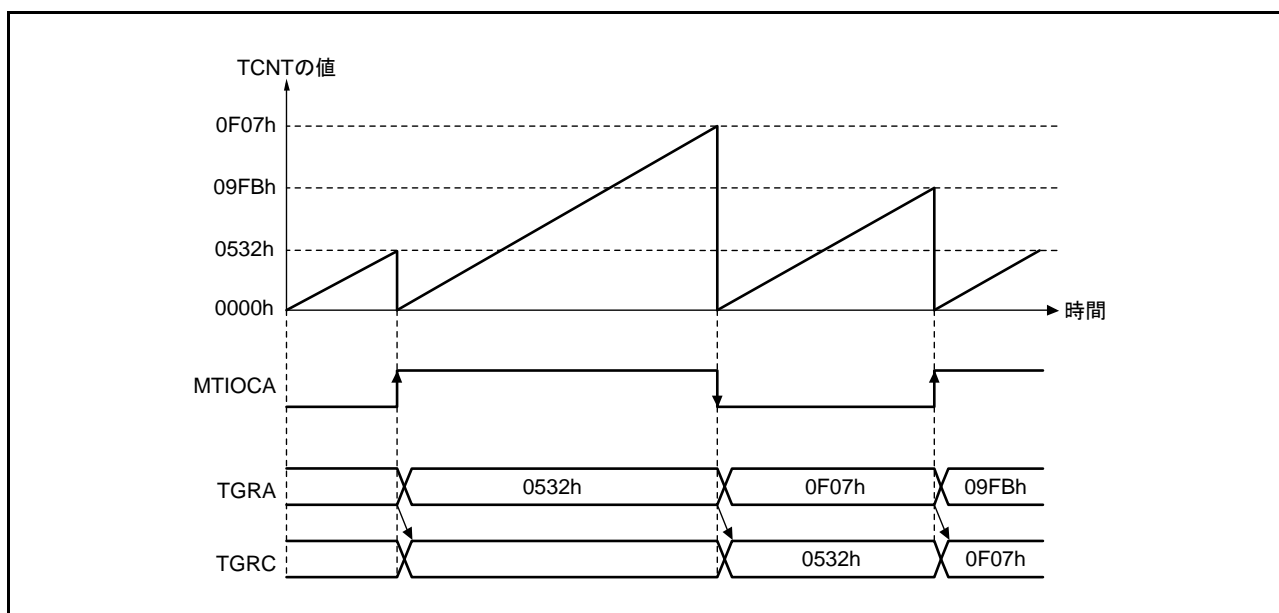


図 21.18 バッファ動作例 (2)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (MTU0.TBTM、MTU3.TBTM、MTU4.TBTM) を設定することで、MTU0 では PWM モード 1、2 時の、MTU3、MTU4 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時 (初期値) と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNT がオーバーフローしたとき (FFFFh → 0000h)
- カウンタ動作中、TCNT に 0000h が書き込まれたとき
- TCR の CCLR[2:0] ビットで設定したクリア要因で、TCNT が 0000h になったとき

注. TBTM レジスタの設定は TCNT が停止した状態で行ってください。

MTU0 を PWM モード 1 に設定し、MTU0.TGRA と MTU0.TGRC をバッファ動作に設定した場合の動作例を図 21.19 に示します。MTU0.TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM の TTSA ビットは“1”に設定しています。

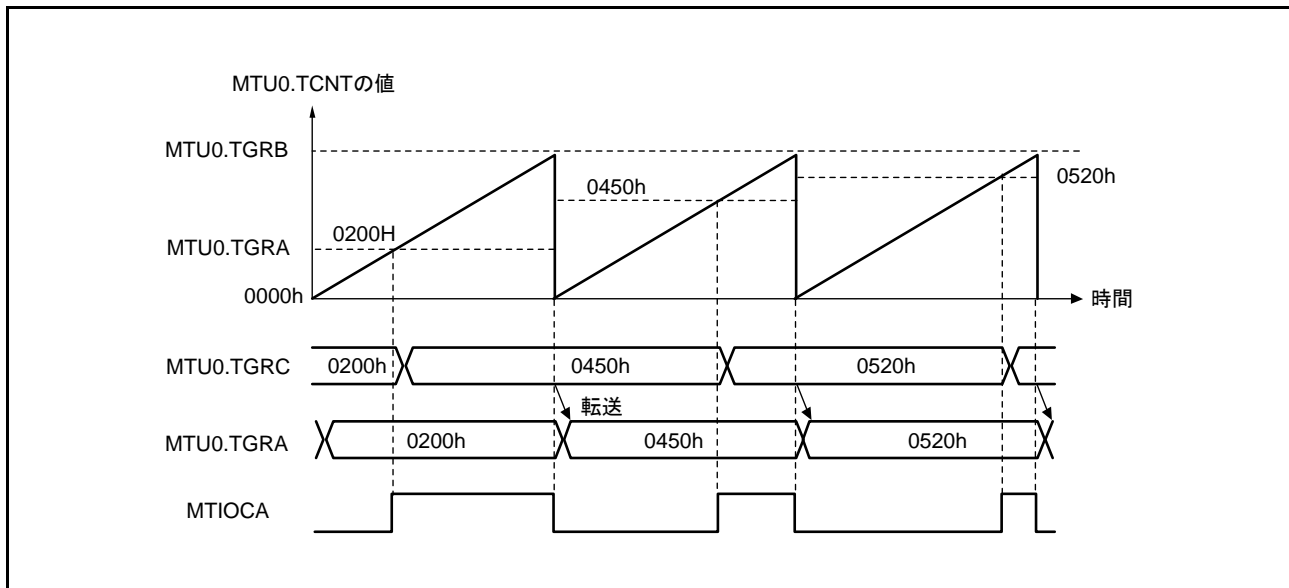


図 21.19 MTU0.TGRC から MTU0.TGRA のバッファ転送タイミングを MTU0.TCNT クリア時に選択した場合の動作例

21.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、MTU1のカウントクロックをTCRレジスタのTPSC[2:0]ビットで(MTU2.TCNT)のオーバフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTが位相計数モードのときのみです。

表 21.44 にカスケード接続の組み合わせを示します。

注. MTU1、MTU2を位相計数モードに設定した場合は、カウントクロックの設定は無効となり、独立して位相計数モードで動作します。

表21.44 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
MTU1とMTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNTとMTU2.TCNTの同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ(TICCR)で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和をとった信号に対して行われます。したがって、いずれか一方がHighのとき、もう一方が変化してもエッジ検出は行われません。詳細は「(4) カスケード接続動作例(c)」を参照してください。カスケード接続時のインプットキャプチャについては「21.6.22 カスケード接続におけるMTU1.TCNT、MTU2.TCNT同時インプットキャプチャ」を参照してください。

TICCRレジスタ設定値とインプットキャプチャ入力端子の対応を表 21.45 に示します。

表21.45 TICCRレジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCRレジスタ設定値	インプットキャプチャ入力端子
MTU1.TCNTからMTU1.TGRAへのインプットキャプチャ	I2AEビット=0(初期値)	MTIOC1A
	I2AEビット=1	MTIOC1A、MTIOC2A
MTU1.TCNTからMTU1.TGRBへのインプットキャプチャ	I2BEビット=0(初期値)	MTIOC1B
	I2BEビット=1	MTIOC1B、MTIOC2B
MTU2.TCNTからMTU2.TGRAへのインプットキャプチャ	I1AEビット=0(初期値)	MTIOC2A
	I1AEビット=1	MTIOC2A、MTIOC1A
MTU2.TCNTからMTU2.TGRBへのインプットキャプチャ	I1BEビット=0(初期値)	MTIOC2B
	I1BEビット=1	MTIOC2B、MTIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 21.20 に示します。

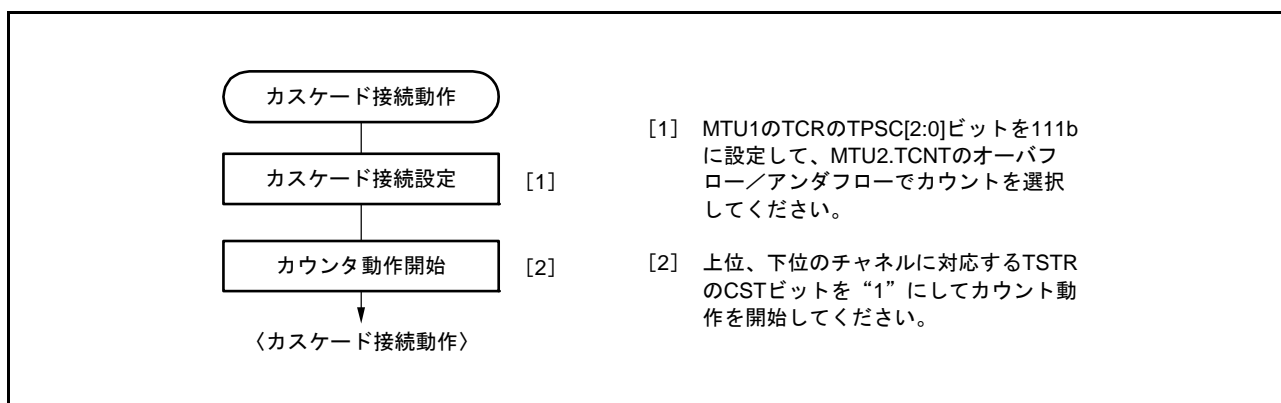


図 21.20 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

MTU1.TCNT は MTU2.TCNT のオーバーフロー/アンダフローでカウント、MTU2 を位相計数モードに設定したときの動作を図 21.21 に示します。

MTU1.TCNT は MTU2.TCNT のオーバーフローでアップカウント、MTU2.TCNT のアンダフローでダウンカウントされます。

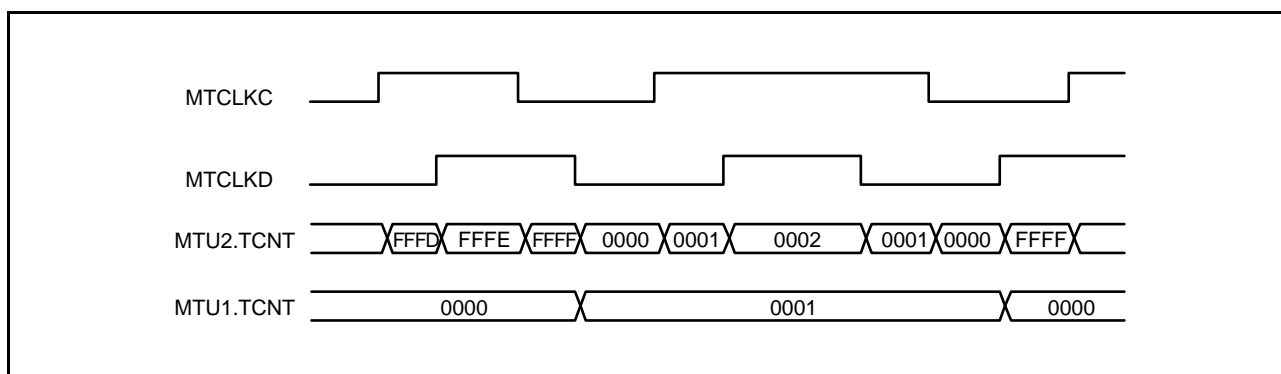


図 21.21 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットに“1”をセットして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加した場合の動作を図 21.22 に示します。この例では MTU1.TIOR の IOA[3:0] の設定は、(MTIOC1A の) 立ち上がりエッジで入力キャプチャに設定しています。また、MTU2.TIOR の IOA[3:0] の設定は、(MTIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA の入力キャプチャ条件に設定されます。また、MTU2.TGRA の入力キャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

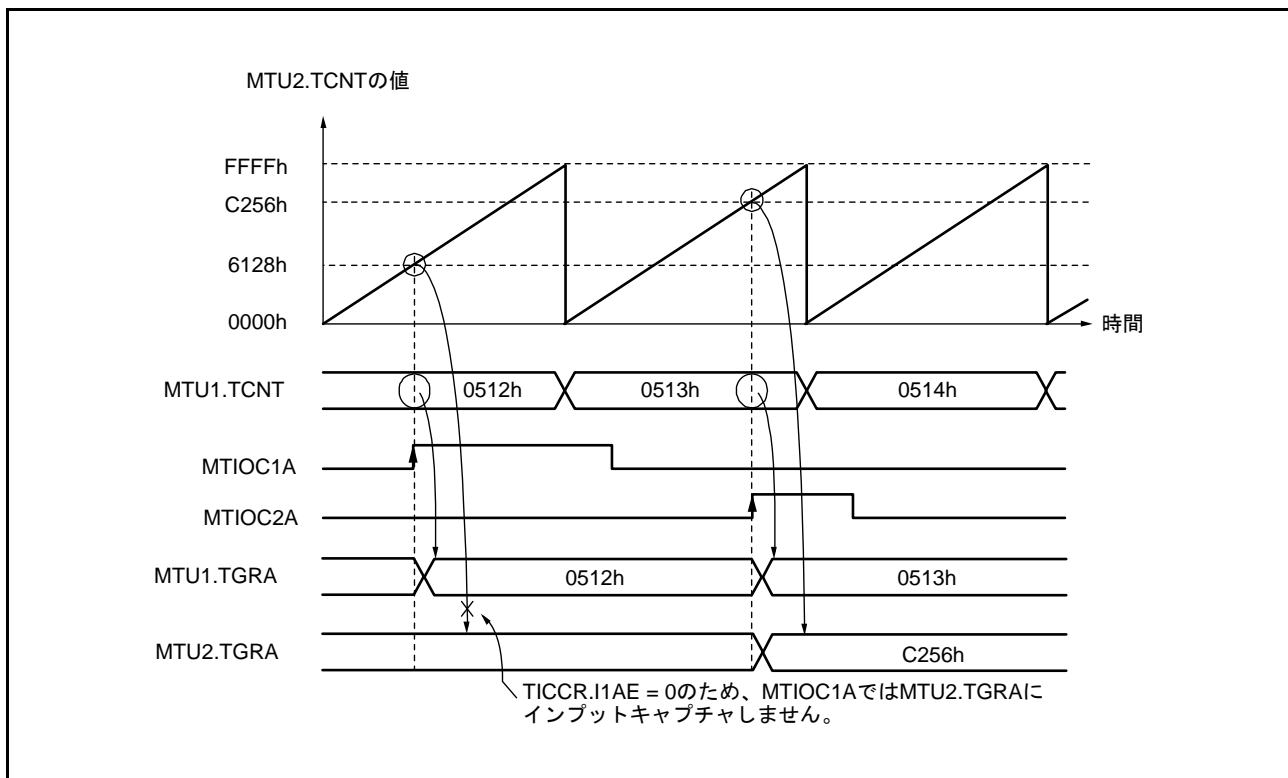


図 21.22 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットと TICCR.I1AE に“1” をセットして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加し、MTIOC1A 端子を MTU2.TGRA の入力キャプチャ条件に追加した場合の動作を図 21.23 に示します。この例では MTU1.TIOR、MTU2.TIOR の IOA[3:0] ビットの設定は、どちらも両エッジで入力キャプチャに設定しています。この場合、MTIOC1A と MTIOC2A 入力の OR が MTU1.TGRA および MTU2.TGRA の入力キャプチャ条件となります。

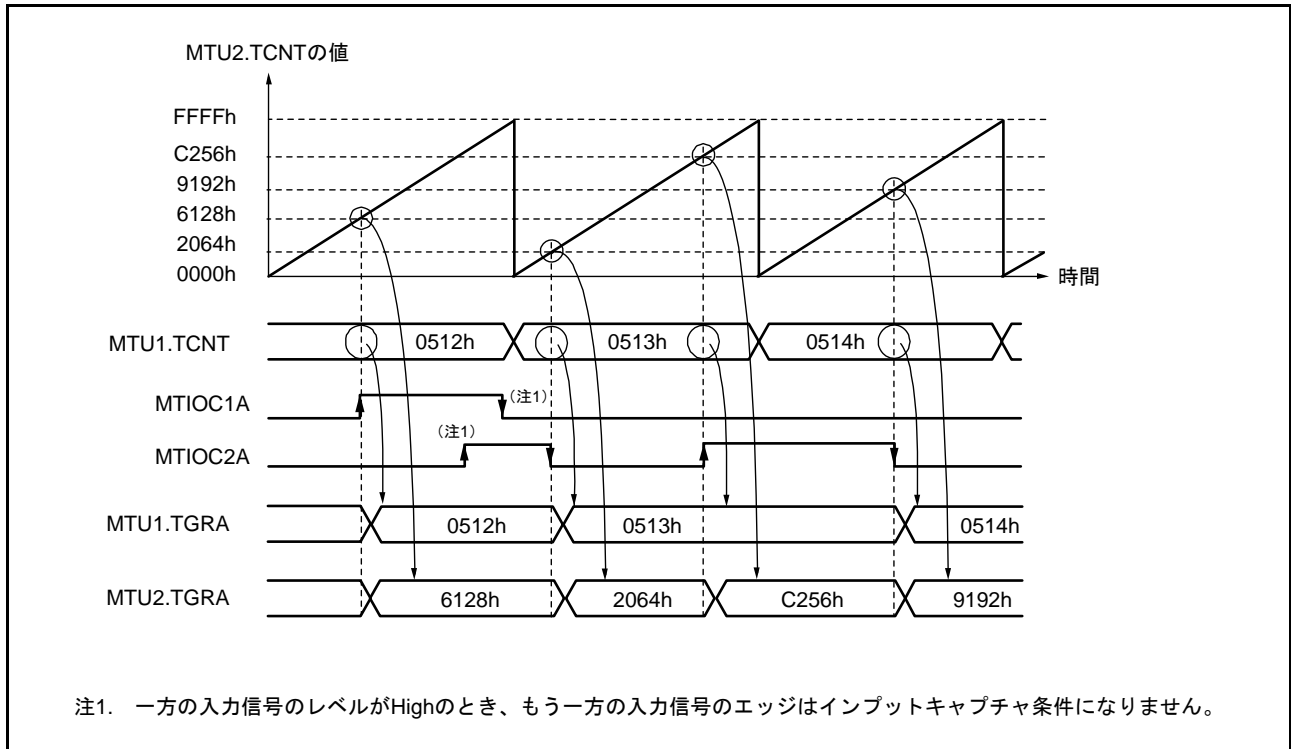


図 21.23 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR レジスタの I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加した場合の動作を図 21.24 に示します。この例では MTU1.TIOR の IOA[3:0] ビットの設定は、MTU0.TGRA のコンペアマッチ/入力キャプチャの発生で入力キャプチャに設定しています。また、MTU2.TIOR の IOA[3:0] ビットの設定は、(MTIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA のコンペアマッチ/入力キャプチャの発生で入力キャプチャのため、TICCR レジスタの I2AE ビットを“1”にしても MTIOC2A のエッジが MTU1.TGRA の入力キャプチャ条件になることはありません。

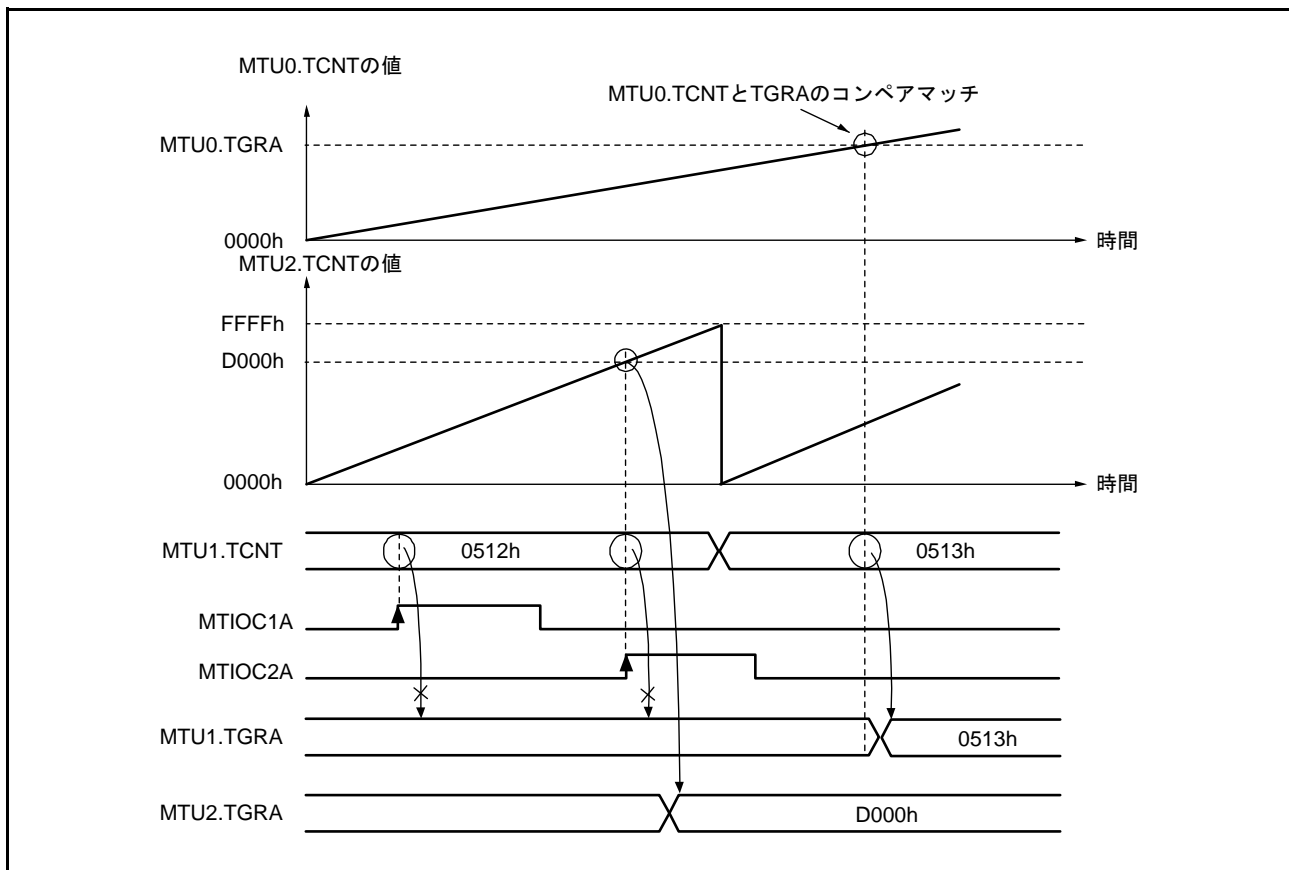


図 21.24 カスケード接続動作例 (d)

21.3.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、MTIOCnA、MTIOCnC 端子から PWM 出力を生成します。MTIOCnA、MTIOCnC 端子からコンペアマッチ A、C によって TIOR の IOA[3:0]、IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB[3:0]、IOD[3:0] ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 波形出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 21.46 に示します。

表 21.46 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
MTU0	MTU0.TGRA	MTIOC0A	MTIOC0A
	MTU0.TGRB		MTIOC0B
	MTU0.TGRC	MTIOC0C	MTIOC0C
	MTU0.TGRD		MTIOC0D
MTU1	MTU1.TGRA	MTIOC1A	MTIOC1A
	MTU1.TGRB		MTIOC1B
MTU2	MTU2.TGRA	MTIOC2A	MTIOC2A
	MTU2.TGRB		MTIOC2B
MTU3	MTU3.TGRA	MTIOC3A	設定できません
	MTU3.TGRB		
	MTU3.TGRC	MTIOC3C	
	MTU3.TGRD		
MTU4	MTU4.TGRA	MTIOC4A	
	MTU4.TGRB		
	MTU4.TGRC	MTIOC4C	
	MTU4.TGRD		

注. PWMモード2のとき、周期を設定したTGRのPWM出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 21.25 に示します。

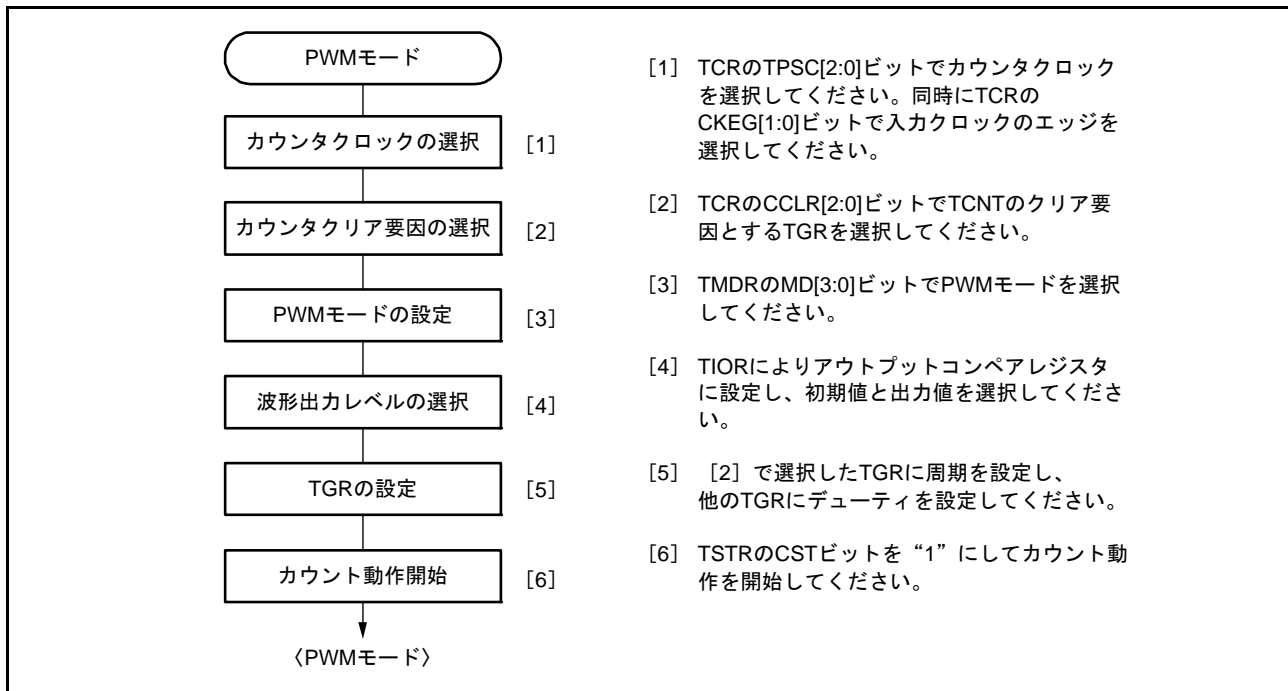


図 21.25 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図 21.26 に示します。

この図は、TCNTのクリア要因をTGRAのコンペアマッチとし、TGRAの初期出力値と出力値をLow、TGRBの出力値をHighに設定した場合の例です。

この場合、TGRAに設定した値が周期となり、TGRBに設定した値がデューティになります。

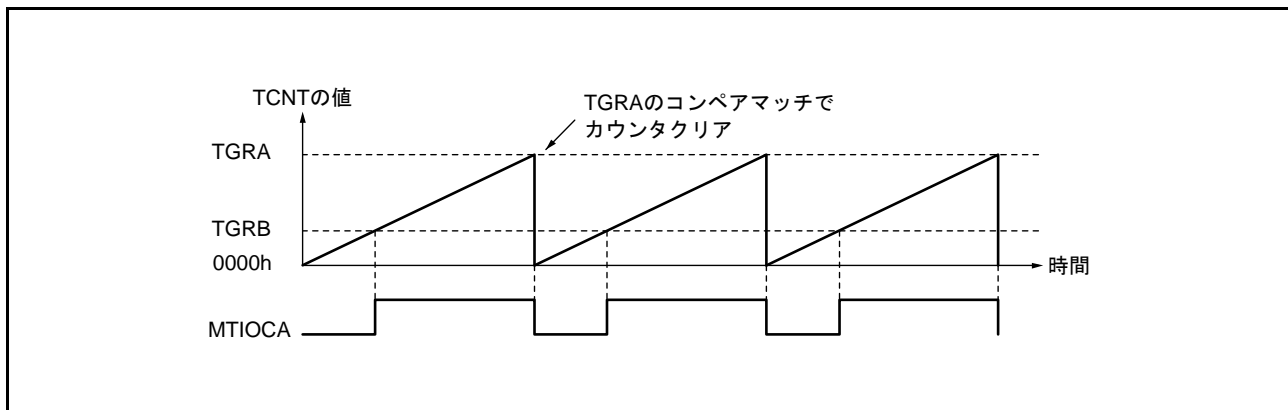


図 21.26 PWM モードの動作例

PWM モード2の動作例を図 21.27 に示します。

この図は、MTU0 と MTU1 を同期動作させ、TCNT のクリア要因を MTU1.TGRB のコンペアマッチとし、他の TGR (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) の初期出力値を Low、出力値を High に設定して5相のPWM 波形を出力させた場合の例です。

この場合、MTU1.TGRB に設定した値が周期となり、他の TGR に設定した値がデューティになります。

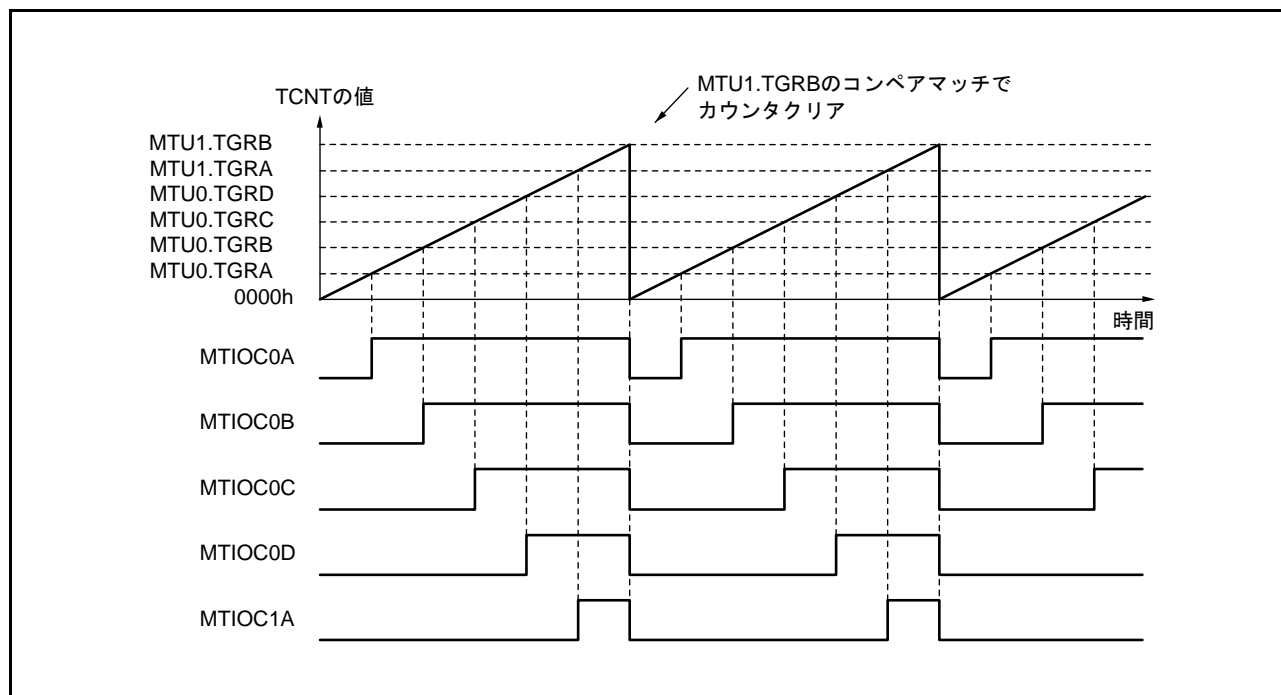


図 21.27 PWM モードの動作例

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を図 21.28 に示します。

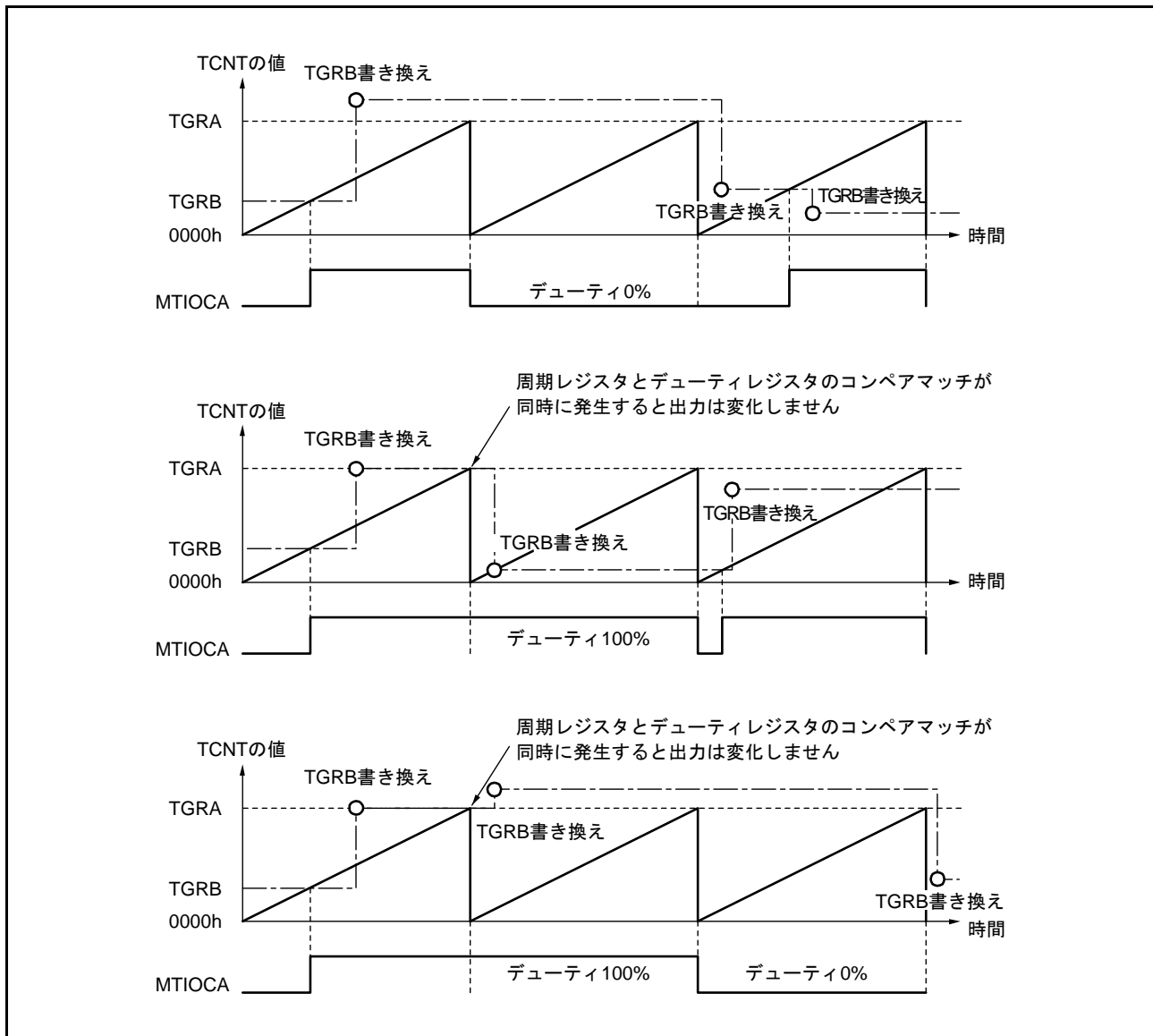


図 21.28 PWM モード動作例

21.3.6 位相計数モード

位相計数モードは、MTU1、MTU2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップカウント/ダウンカウントします。

位相計数モードに設定すると、TCR レジスタの TPSC[2:0] ビット、CKEG[1:0] ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップカウンタ/ダウンカウンタとして動作します。ただし、TCR レジスタの CCLR[1:0] ビット、TIOR、TIER、TGR レジスタの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生すると、対応する TIER レジスタの TCIEV ビットが“1”ならば、TCIV 割り込みが発生します。また、ダウンカウント時アンダフローが発生すると、対応する TIER レジスタの TCIEU ビットが“1”ならば TCIU 割り込みが発生します。

TSR レジスタの TCFD ビットはカウント方向フラグです。TCFD フラグの読み出しにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 21.47 に外部クロック端子とチャンネルの対応を示します。

表21.47 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
MTU1	MTCLKA	MTCLKB
MTU2	MTCLKC	MTCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 21.29 に示します。

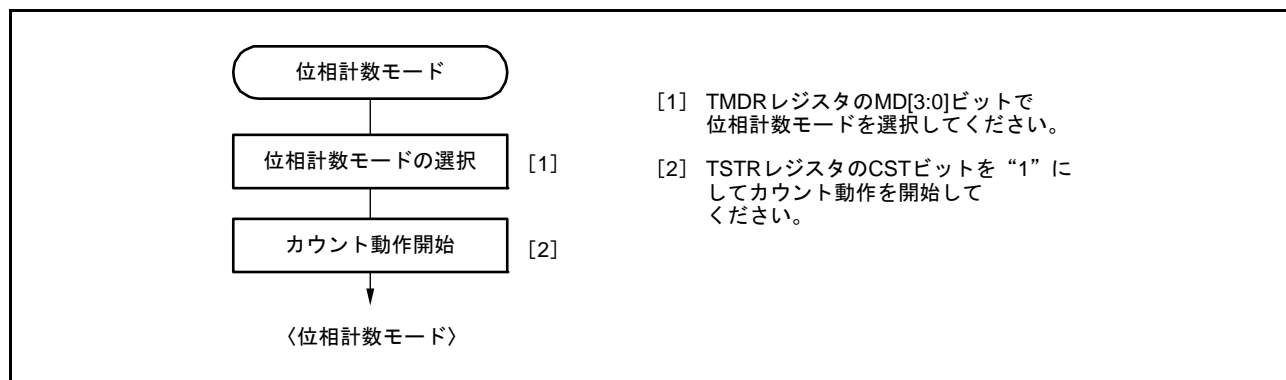


図 21.29 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップカウント/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図21.30に、TCNTのアップカウント/ダウンカウント条件を表21.48に示します。

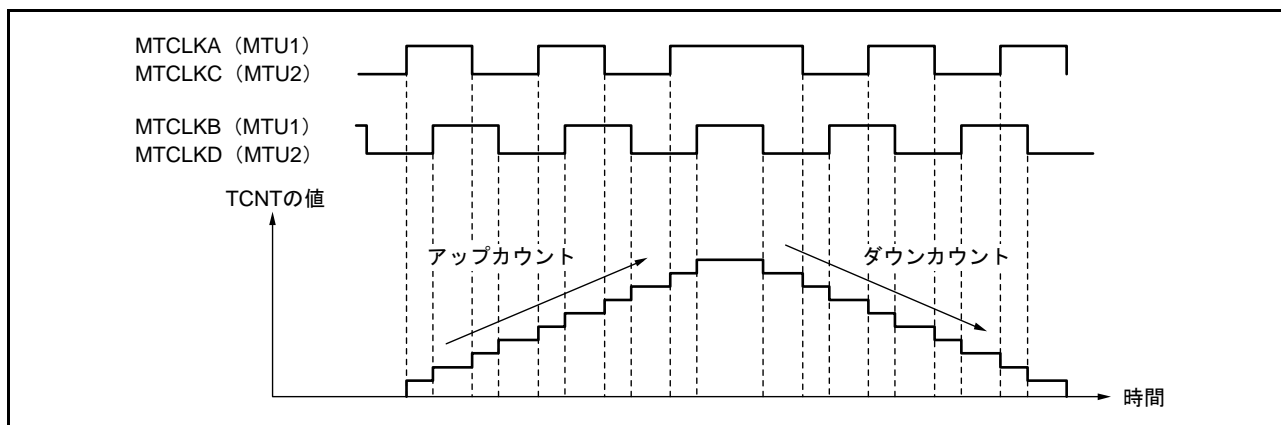


図 21.30 位相計数モード1の動作例

表21.48 位相計数モード1のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑ : 立ち上がりエッジ
 ↓ : 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図21.31に、TCNTのアップカウント/ダウンカウント条件を表21.49に示します。

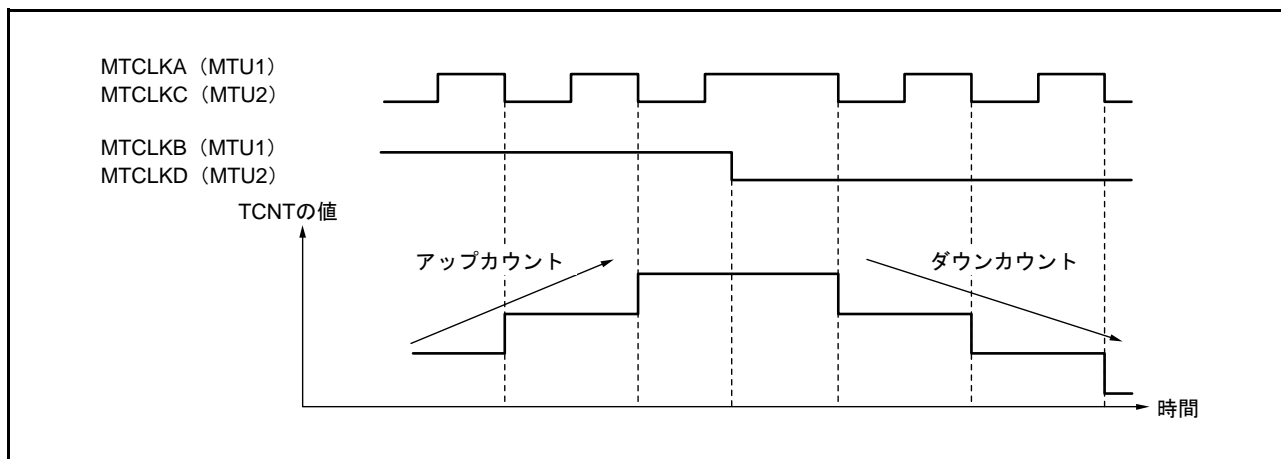


図 21.31 位相計数モード2の動作例

表21.49 位相計数モード2のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	カウントしない (Don't care)
Low	↓	カウントしない (Don't care)
↑	Low	カウントしない (Don't care)
↓	High	アップカウント
High	↓	カウントしない (Don't care)
Low	↑	カウントしない (Don't care)
↑	High	カウントしない (Don't care)
↓	Low	ダウンカウント

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図21.32に、TCNTのアップカウント/ダウンカウント条件を表21.50に示します。

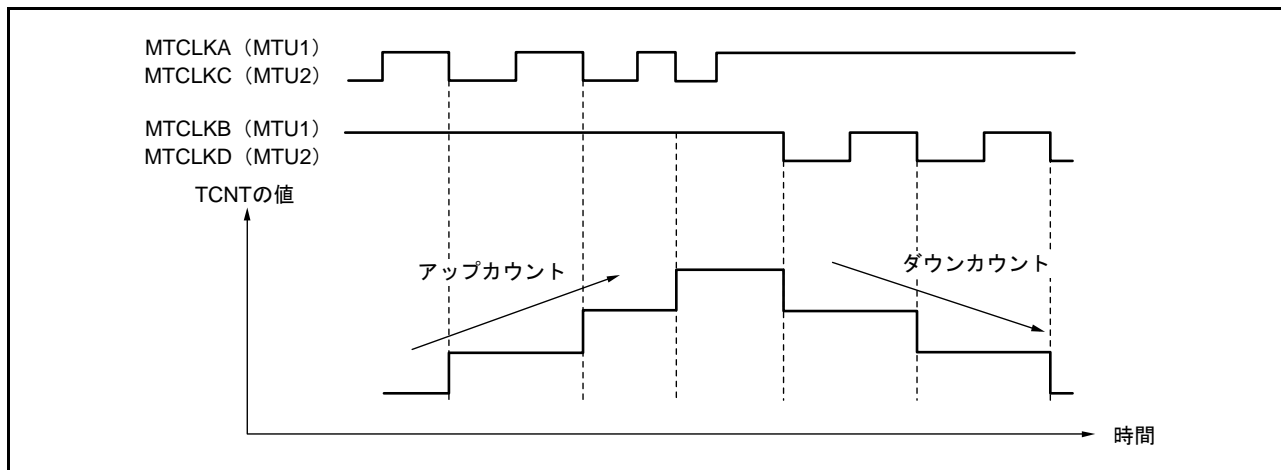


図 21.32 位相計数モード3の動作例

表 21.50 位相計数モード3のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	カウントしない (Don't care)
Low	↓	カウントしない (Don't care)
↑	Low	カウントしない (Don't care)
↓	High	アップカウント
High	↓	ダウンカウント
Low	↑	カウントしない (Don't care)
↑	High	カウントしない (Don't care)
↓	Low	カウントしない (Don't care)

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図21.33に、TCNTのアップカウント/ダウンカウント条件を表21.51に示します。

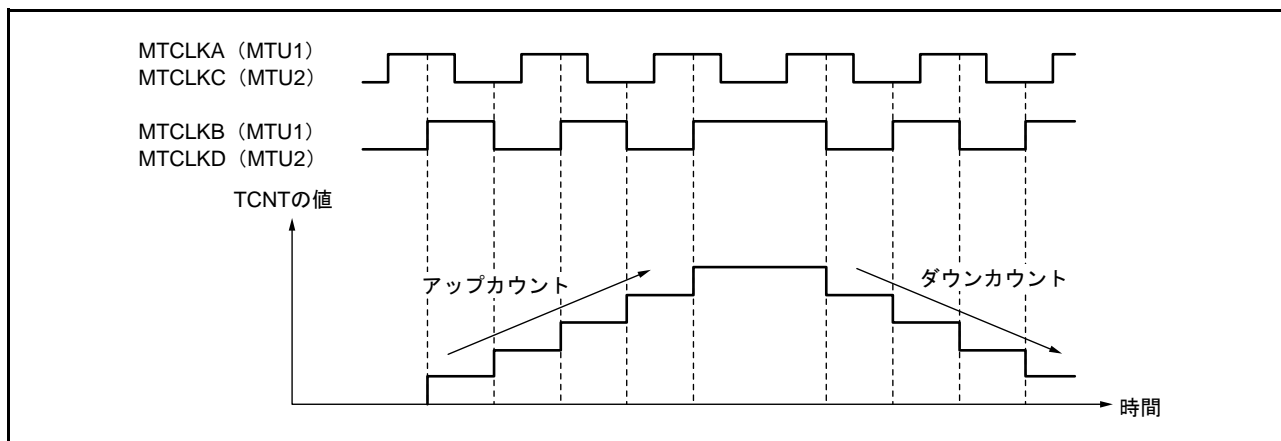


図 21.33 位相計数モード4の動作例

表21.51 位相計数モード4のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	カウントしない (Don't care)
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	カウントしない (Don't care)
↓	Low	

↑ : 立ち上がりエッジ
↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

MTU1 を位相計数モードに設定し、MTU0 と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図 21.34 に示します。

MTU1 は位相計数モード1に設定し、MTCLKA と MTCLKB にエンコーダパルスのA相、B相を入力します。

MTU0 は TCNT を MTU0.TGRC のコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRA と TGRC はコンペアマッチ機能で使用する、速度制御周期と位置制御周期を設定します。MTU0.TGRB は入力キャプチャ機能で使用し、MTU0.TGRB と TGRD をバッファ動作させます。MTU0.TGRB の入力キャプチャ要因は、MTU1 のカウンタ入力クロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

MTU1 の MTU1.TGRA と TGRB は、入力キャプチャ機能に設定し、入力キャプチャ要因は MTU0 の MTU0.TGRA と TGRC のコンペアマッチを選択し、それぞれの制御周期時のアップカウンタ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

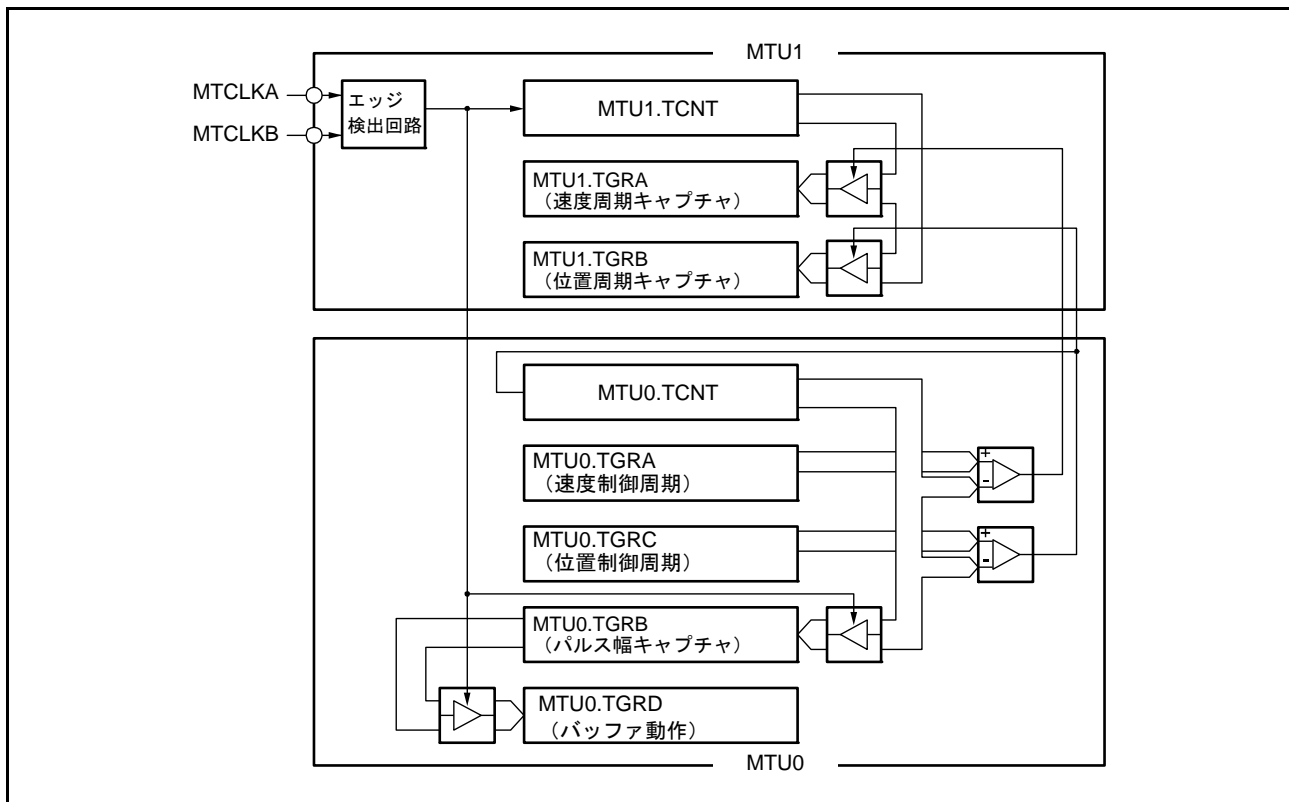


図 21.34 位相計数モードの応用例

21.3.7 リセット同期 PWM モード

リセット同期 PWM モードは、MTU3、MTU4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、および MTIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3 (MTU3.TCNT) はアップカウンタとして機能します。

PWM 出力端子を表 21.52 に、レジスタの設定を表 21.53 に示します。

表21.52 リセット同期PWMモード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3B	PWM出力端子1
	MTIOC3D	PWM出力端子1' (PWM出力1の逆相波形)
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2' (PWM出力2の逆相波形)
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3' (PWM出力3の逆相波形)

表21.53 リセット同期PWMモード時のレジスタ設定

レジスタ	設定内容
MTU3.TCNT	0000hを初期設定
MTU4.TCNT	0000hを初期設定
MTU3.TGRA	MTU3.TCNTのカウンタ周期を設定
MTU3.TGRB	MTIOC3B、MTIOC3D端子より出力されるPWM波形の変化点を設定
MTU4.TGRA	MTIOC4A、MTIOC4C端子より出力されるPWM波形の変化点を設定
MTU4.TGRB	MTIOC4B、MTIOC4D端子より出力されるPWM波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 21.35 に示します。

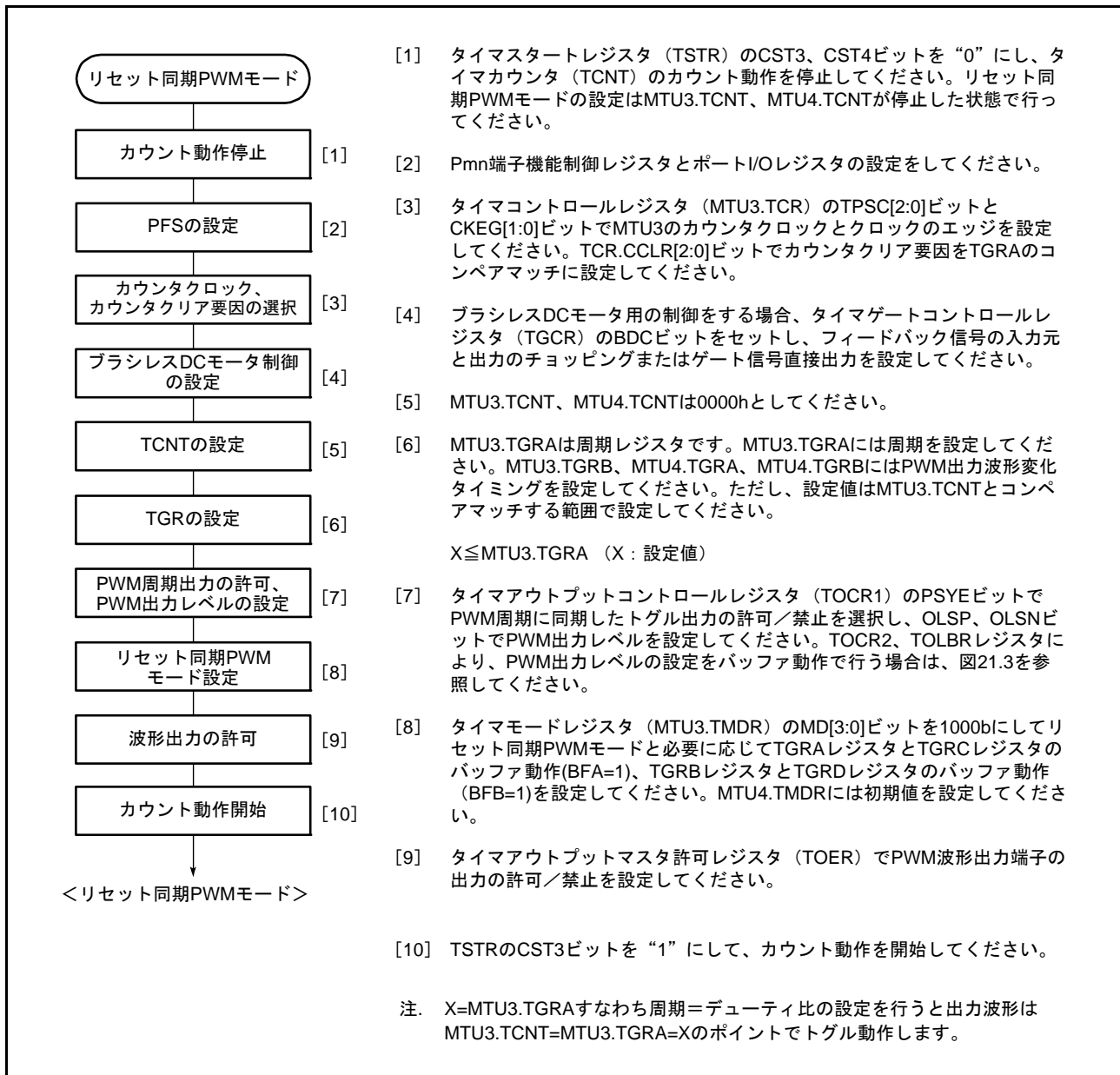


図 21.35 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 21.36 に示します。

リセット同期 PWM モードでは、MTU3.TCNT と MTU4.TCNT はアップカウンタとして動作します。MTU3.TCNT が MTU3.TGRA とコンペアマッチするとカウンタはクリアされ 0000h からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB、MTU4.TGRA、MTU4.TGRB のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

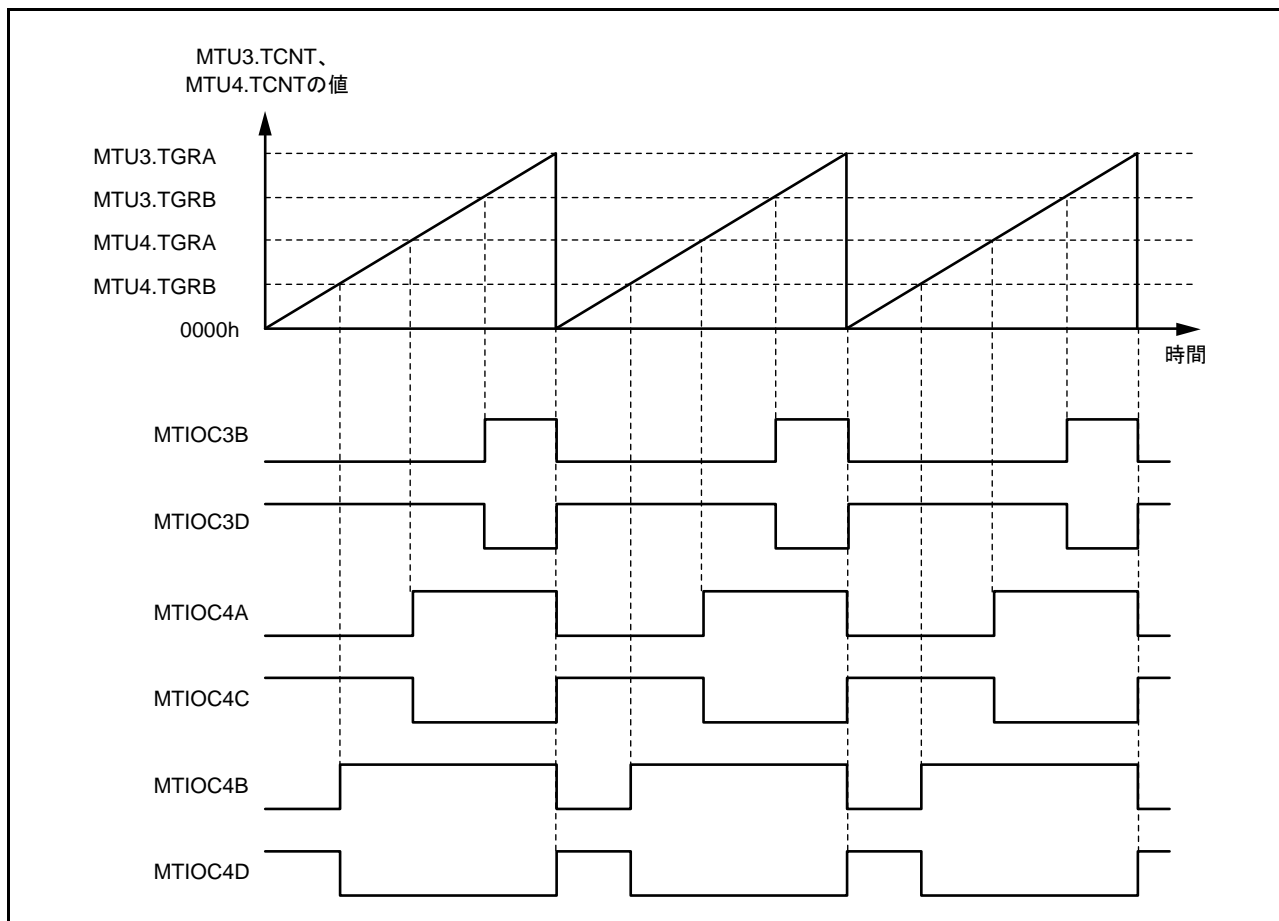


図 21.36 リセット同期 PWM モードの動作例 (TOCR1 の OLSN = 1、OLSP = 1 に設定した場合)

21.3.8 相補 PWM モード

相補 PWM モードは、MTU3、MTU4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。ノンオーバーラップ時間を持たない設定も可能です。

相補 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子は PWM 出力端子となり、MTIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTU3.TCNT と MTU4.TCNT はアップカウンタ / ダウンカウンタとして機能します。

使用される PWM 出力端子を表 21.54 に、使用するレジスタの設定を表 21.55 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表21.54 相補PWMモード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM出力端子1
	MTIOC3C	入出力ポート（注1）
	MTIOC3D	PWM出力端子1'（PWM出力1とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能）
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2'（PWM出力2とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能）
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3'（PWM出力3とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能）

注1. MTIOC3C端子は相補PWMモード時、タイマ入出力端子に設定しないでください。

表21.55 相補PWMモード時のレジスタ設定

チャンネル	カウンタ/ レジスタ	説明	CPUからの 読み出し/書き込み
MTU3	MTU3. TCNT	デッドタイムレジスタに設定した値からカウント アップスタート	TRWERレジスタの設定 ^(注1) によりマスク可能
	MTU3. TGRA	MTU3.TCNTの上限値を設定 (キャリア周期の1/2 +デッドタイム)	TRWERレジスタの設定 ^(注1) によりマスク可能
	MTU3. TGRB	PWM出力1のコンペアレジスタ	TRWERレジスタの設定 ^(注1) によりマスク可能
	MTU3. TGRC	MTU3.TGRAのバッファレジスタ	常に読み出し/書き込み可能
	MTU3. TGRD	PWM出力1/MTU3.TGRBのバッファレジスタ	常に読み出し/書き込み可能
MTU4	MTU4. TCNT	0000hを初期設定しカウントアップスタート	TRWERレジスタの設定 ^(注1) によりマスク可能
	MTU4. TGRA	PWM出力2のコンペアレジスタ	TRWERレジスタの設定 ^(注1) によりマスク可能
	MTU4. TGRB	PWM出力3のコンペアレジスタ	TRWERレジスタの設定 ^(注1) によりマスク可能
	MTU4. TGRC	PWM出力2/MTU4.TGRAのバッファレジスタ	常に読み出し/書き込み可能
	MTU4. TGRD	PWM出力3/MTU4.TGRBのバッファレジスタ	常に読み出し/書き込み可能
タイマデッドタイムデータ レジスタ (TDDR)	MTU4.TCNTとMTU3.TCNTのオフセット値 (デッ ドタイムの値) を設定	TRWERレジスタの設定 ^(注1) によりマスク可能	
タイマ周期データレジスタ (TCDR)	MTU4.TCNTの上限値の値を設定 (キャリア周期の 1/2)	TRWERレジスタの設定 ^(注1) によりマスク可能	
タイマ周期バッファレジス タ (TCBR)	TCDRレジスタのバッファレジスタ	常に読み出し/書き込み可能	
サブカウンタ (TCNTS)	デッドタイム生成のためのサブカウンタ	読み出しのみ可能	
テンポラリレジスタ1 (TEMP1)	PWM出力1/MTU3.TGRBのテンポラリレジスタ	読み出し/書き込み不可	
テンポラリレジスタ2 (TEMP2)	PWM出力2/MTU4.TGRAのテンポラリレジスタ	読み出し/書き込み不可	
テンポラリレジスタ3 (TEMP3)	PWM出力3/MTU4.TGRBのテンポラリレジスタ	読み出し/書き込み不可	

注1. TRWERレジスタ (タイマリードライト許可レジスタ) の設定によりアクセスの許可/禁止が可能です。

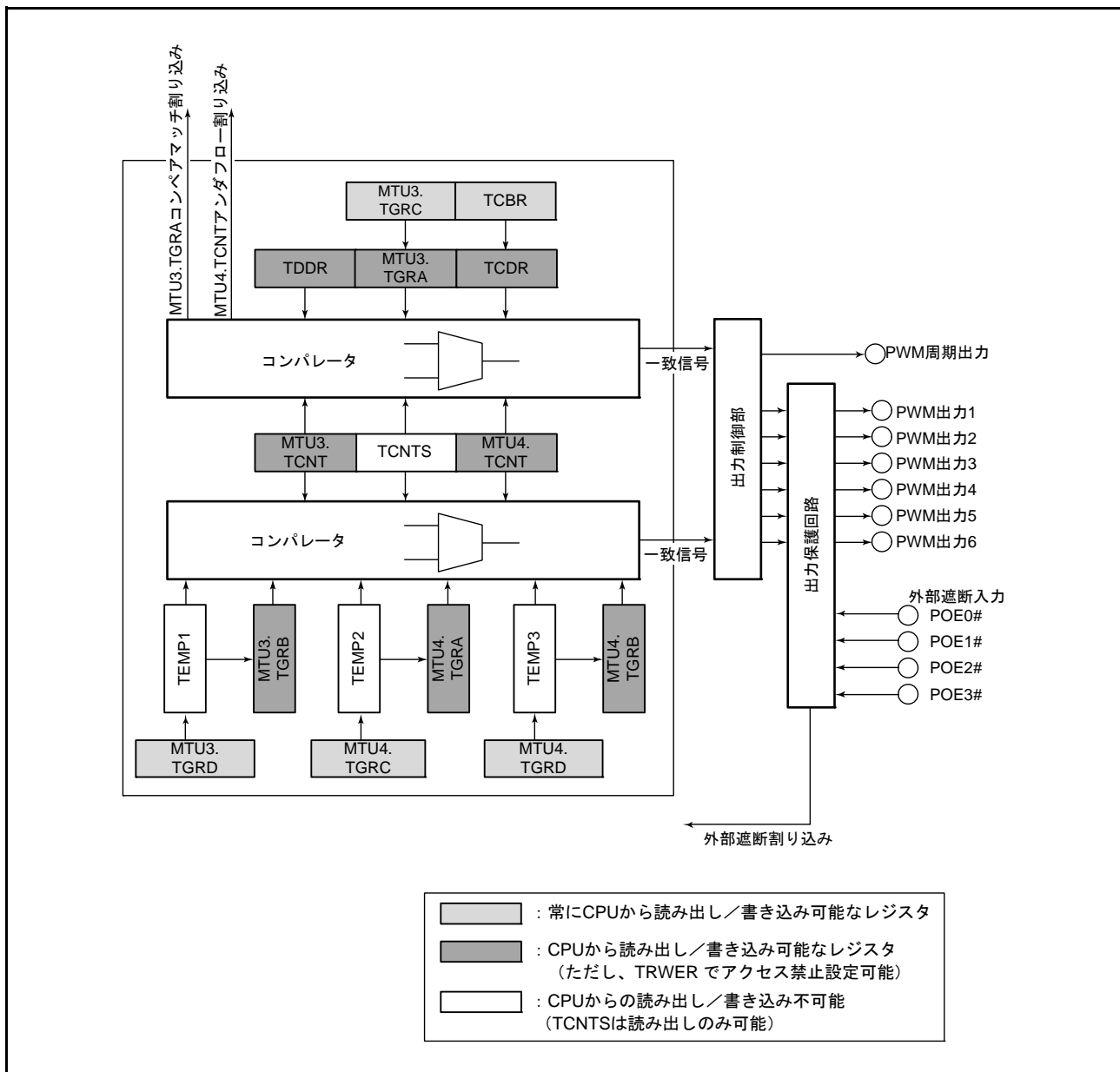


図 21.37 相補 PWM モード時の MTU3、4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 21.38 に示します。



図 21.38 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6相の PWM 出力が可能です。図 21.39 に相補 PWM モードのカウンタ動作を示します。図 21.40 に相補 PWM モード動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、MTU3.TCNT、MTU4.TCNT および TCNTS の 3 本のカウンタがアップダウンカウント動作を行います。

MTU3.TCNT は、相補 PWM モードに設定され TSTR レジスタの CST ビットが“0”のとき、TDDR レジスタに設定された値が自動的に初期値として設定されます。

CST ビットが“1”に設定されると、MTU3.TGRA に設定された値までアップカウント動作を行い、MTU3.TGRA と一致するとダウンカウントに切り替わります。その後、TDDR レジスタと一致するとアップカウントに切り替わり、この動作を繰り返します。

また、MTU4.TCNT は、初期値として 0000h を設定します。

CST ビットが“1”に設定されると、MTU3.TCNT に同期して動作しアップカウントを行い、TCDR レジスタと一致するとダウンカウントに切り替わります。この後、0000h と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

MTU3 と MTU4 の TCNT がアップダウンカウント時、MTU3.TCNT が TCDR レジスタと一致するとダウンカウントを開始し、TCNTS が TCDR レジスタと一致するとアップカウントに切り替わります。また、MTU3.TGRA と一致すると 0000h になります。

MTU3.TCNT、MTU4.TCNT がダウンカウント時、MTU4.TCNT が TDDR レジスタと一致するとアップカウントを開始し、TCNTS が TDDR レジスタと一致するとダウンカウントに切り替わります。また、0000h に一致すると TCNTS は MTU3.TGRA の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

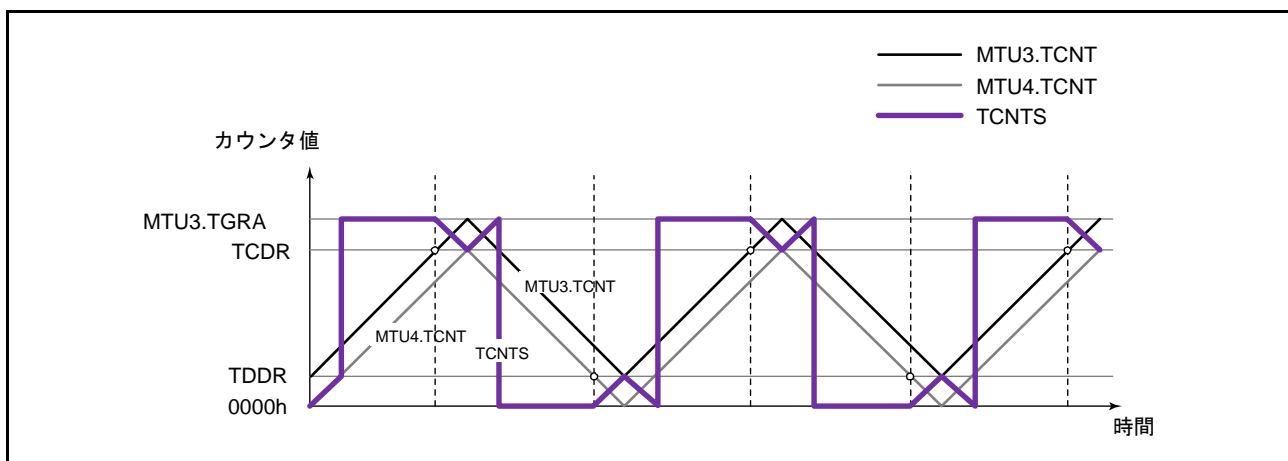


図 21.39 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの9本のレジスタを使用します。図 21.40 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、MTU3.TGRB、MTU4.TGRA、MTU4.TGRB です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し/書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に MTU3.TGRA が一致したとき、またはダウンカウント時に 0000h と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ (TMDR) の MD[3:0] ビットで選択できます。図 21.40 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 21.40 では Tb2) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MTU3.TCNT、MTU4.TCNT および TCNTS の 3 本、カウンタとコンペアレジスタ、テンポラリレジスタの各 2 本のレジスタが比較され、PWM 出力を制御します。

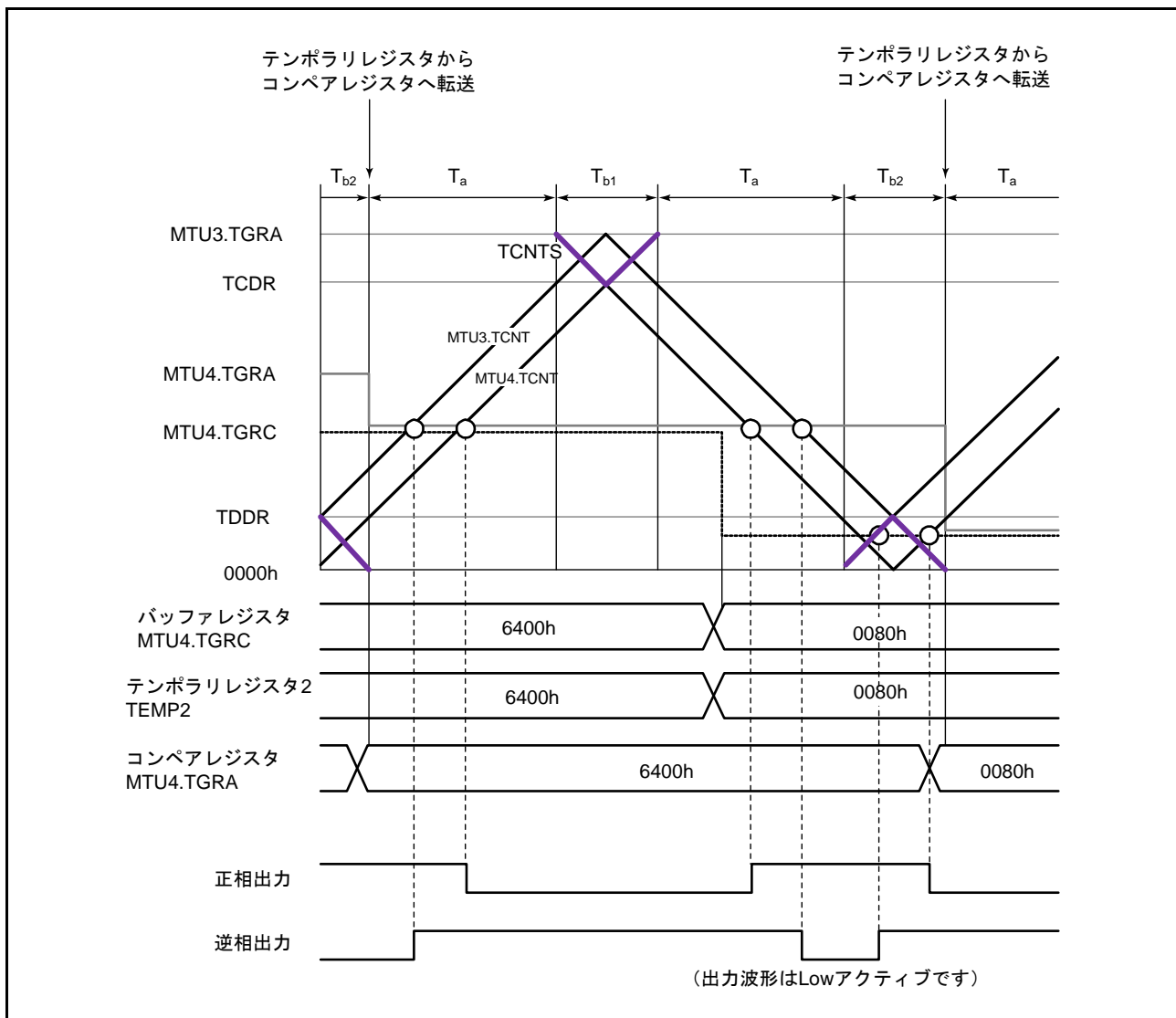


図 21.40 相補 PWM モード動作例

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

タイマモードレジスタ (TMDR) の MD[3:0] ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

MTU3.TGRC は MTU3.TGRA のバッファレジスタとして動作し、PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ (TCBR) は、タイマ周期データレジスタ (TCDR) のバッファレジスタとして動作し、PWM キャリア周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDR) には、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、タイマデッドタイム許可レジスタ (TDER) の TDER ビットを“0”に設定し、MTU3.TGRC、MTU3.TGRA には、PWM キャリア周期の $1/2 + 1$ を、TDDR レジスタには“1”を設定します。

バッファレジスタ MTU3.TGRD、MTU4.TGRC、MTU4.TGRD の 3 本には、それぞれ PWM デューティの初期値を設定します。

TDDR レジスタを除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTU4.TCNT は、相補 PWM モードに設定する前に 0000h に設定してください。

表21.56 初期設定の必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
MTU3.TGRC	PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ (TDER でデッドタイム生成をなしに設定した場合は PWM キャリア周期の $1/2+1$)
TDDR	デッドタイム T_d (TDER でデッドタイム生成をなしに設定した場合 1)
TCBR	PWM キャリア周期の $1/2$
MTU3.TGRD、 MTU4.TGRC、 MTU4.TGRD	各相の PWM デューティの初期値
MTU4.TCNT	0000h

注. MTU3.TGRC の設定値は、TCBR レジスタに設定する PWM キャリア周期の $1/2$ の値と TDDR レジスタに設定するデッドタイム T_d の値の和としてください。ただし、TDER レジスタでデッドタイム生成をなしに設定した場合は、PWM キャリア周期の $1/2+1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1P ~ OLS3P、OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイム時間と呼びます。

ノンオーバーラップ時間は、タイマデッドタイムデータレジスタ (TDDR) に設定します。TDDR レジスタに設定した値が、MTU3.TCNT のカウンタスタート値となり、MTU3.TCNT と MTU4.TCNT のノンオーバーラップを生成します。TDDR レジスタの内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイム許可レジスタ (TDER) の TDER ビットを “0” に設定します。TDER は、TDER = “1” を読み出し後、TDER ビットに “0” を書いたときのみ、“0” に設定できます。

MTU3.TGRA、MTU3.TGRC には PWM キャリア周期の $1/2+1$ を設定し、タイマデッドタイムデータレジスタ (TDDR) には “1” を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 21.41 にデッドタイムを生成しない場合の動作例を示します。

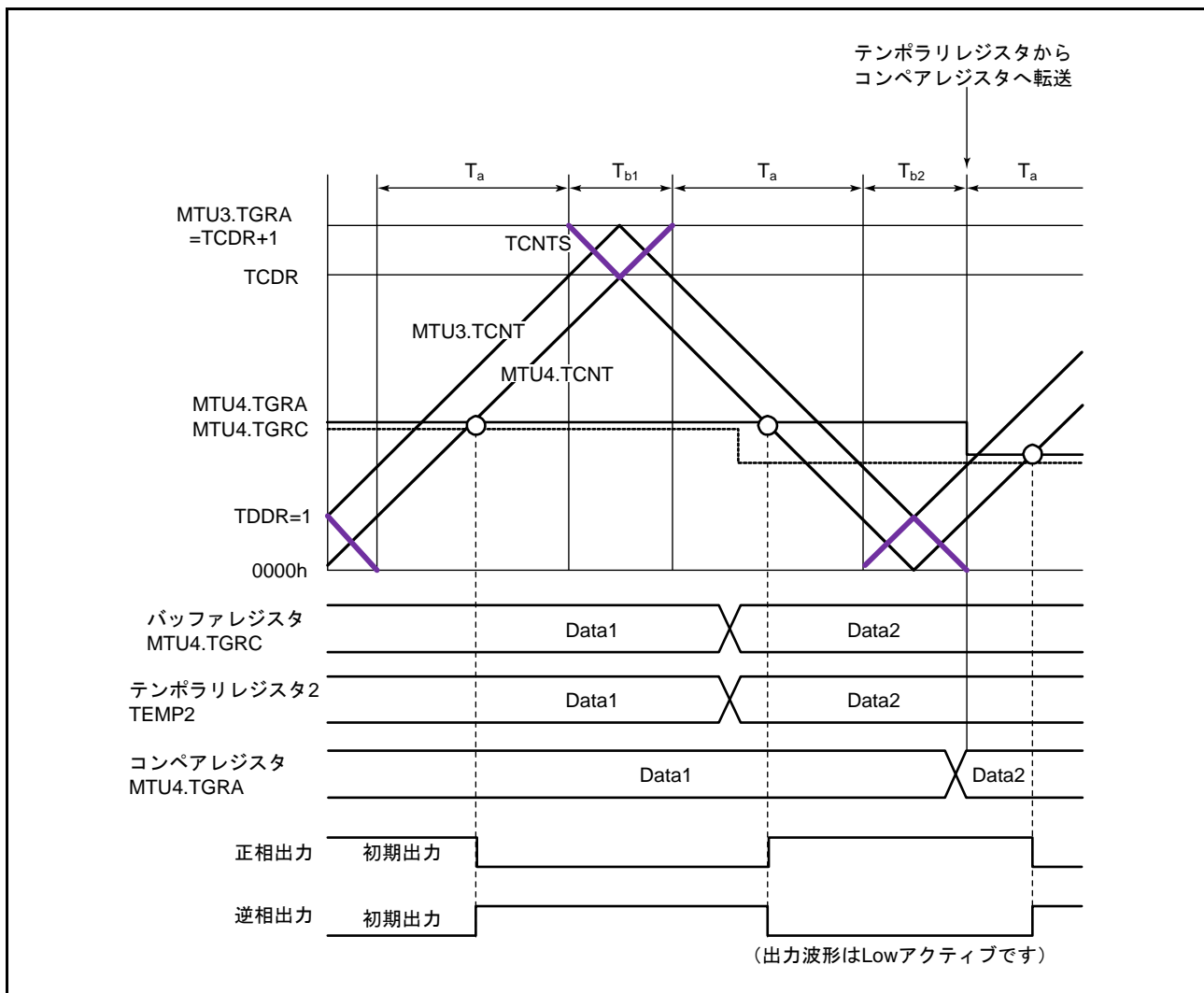


図 21.41 デッドタイムを生成しない場合の動作例

(g) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を MTU3.TCNT の上限値を設定する MTU3.TGRA と MTU4.TCNT の上限値を設定する TCDR レジスタの 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり : $\text{MTU3.TGRA の設定値} = \text{TCDR の設定値} + \text{TDDR の設定値}$

デッドタイム生成なし : $\text{MTU3.TGRA の設定値} = \text{TCDR の設定値} + 1$

TCDR レジスタと TDDR レジスタの関係が、次の関係になるように設定してください。

$\text{TCDR の設定値} > \text{TDDR の設定値} \times 2 + 2$

また、MTU3.TGRA、MTU3.TCDR レジスタの設定は、バッファレジスタの MTU3.TGRC、MTU3.TCGR に値を設定することで行ってください。MTU3.TGRC、MTU3.TCGR レジスタに設定した値は、TMDR.MD[3:0] ビットで選択した転送タイミングで MTU3.TGRA、MTU3.TCDR レジスタに同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 21.42 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(h) レジスタデータの更新」の項を参照してください。

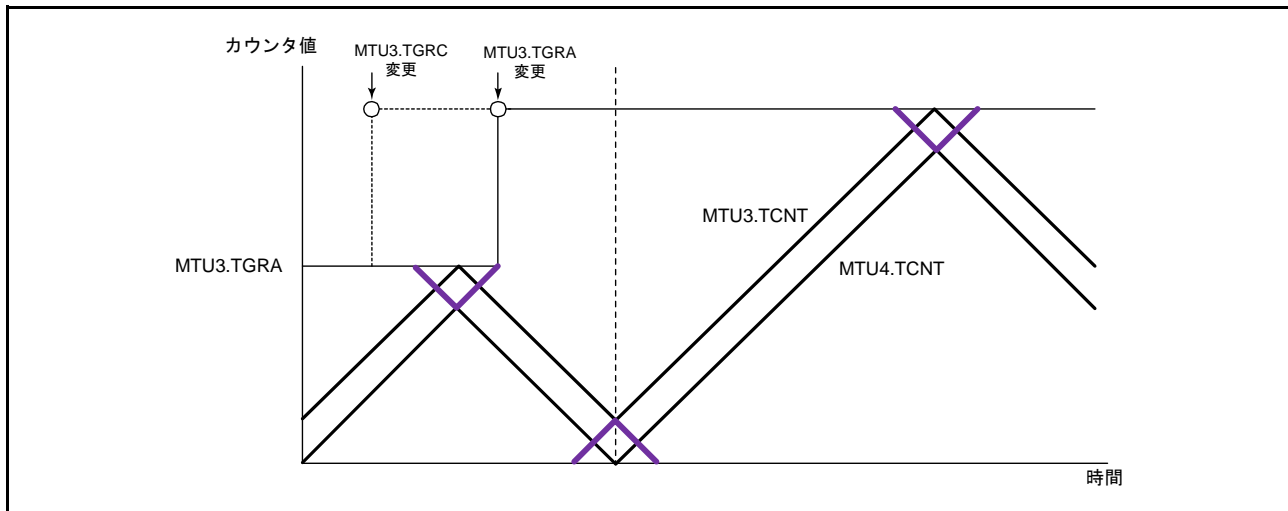


図 21.42 PWM 周期の変更例

(h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えます。TCNTS がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ (TMDR) の MD[3:0] ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 21.43 に相補 PWM モードのデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に MTU4.TGRD への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTU4.TGRD に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MTU4.TGRD のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTU4.TGRD に書き込み動作を行ってください。またこのとき、MTU4.TGRD に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

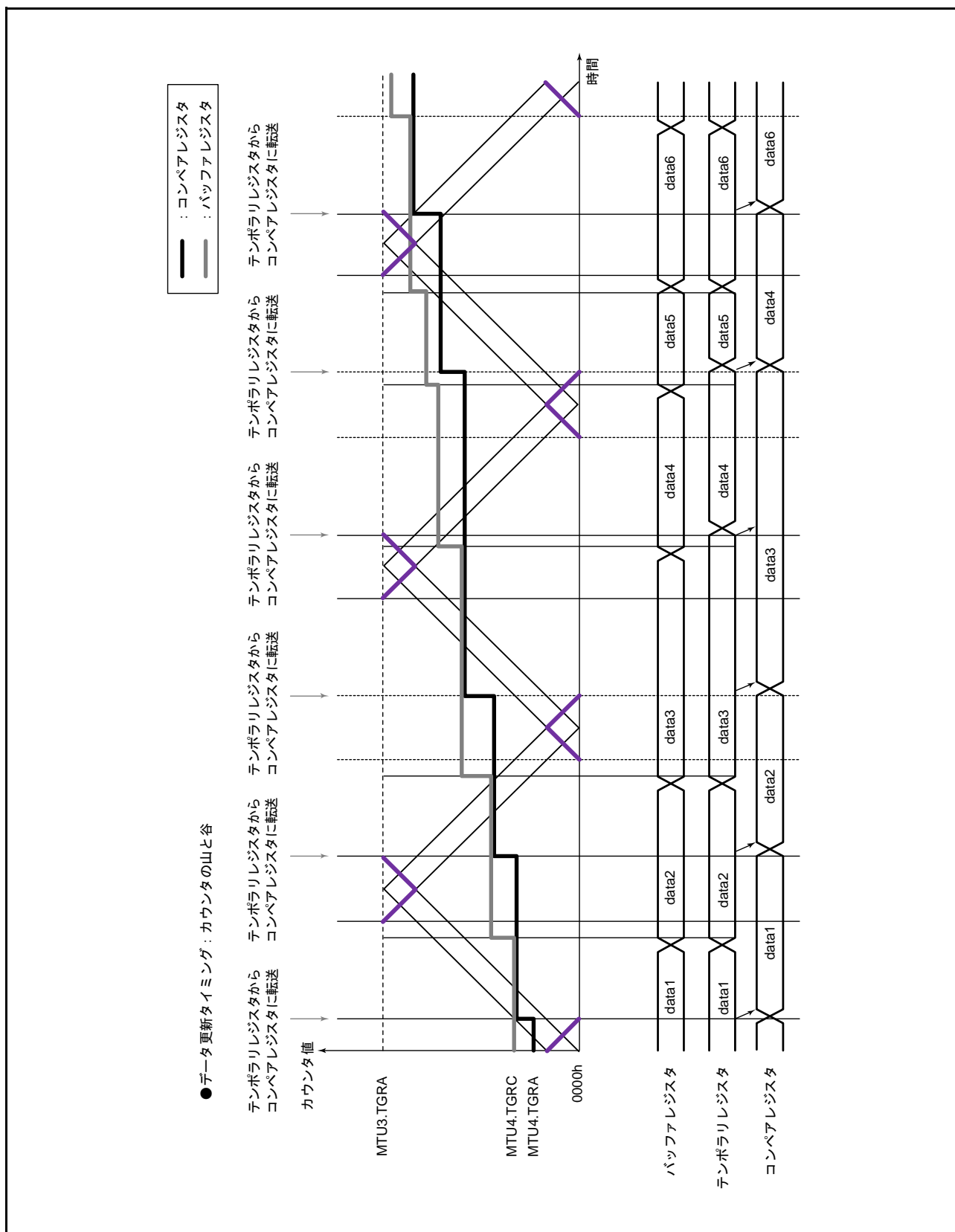


図 21.43 相補 PWM モードのデータ更新例

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビットの設定または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1N ~ OLS3N、OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、タイマモードレジスタ (TMDR) で相補 PWM モードを設定してから MTU4.TCNT がデッドタイムレジスタ (TDDR) に設定された値より大きくなるまで出力されます。図 21.44 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR レジスタの値より小さい場合の波形例を図 21.45 に示します。

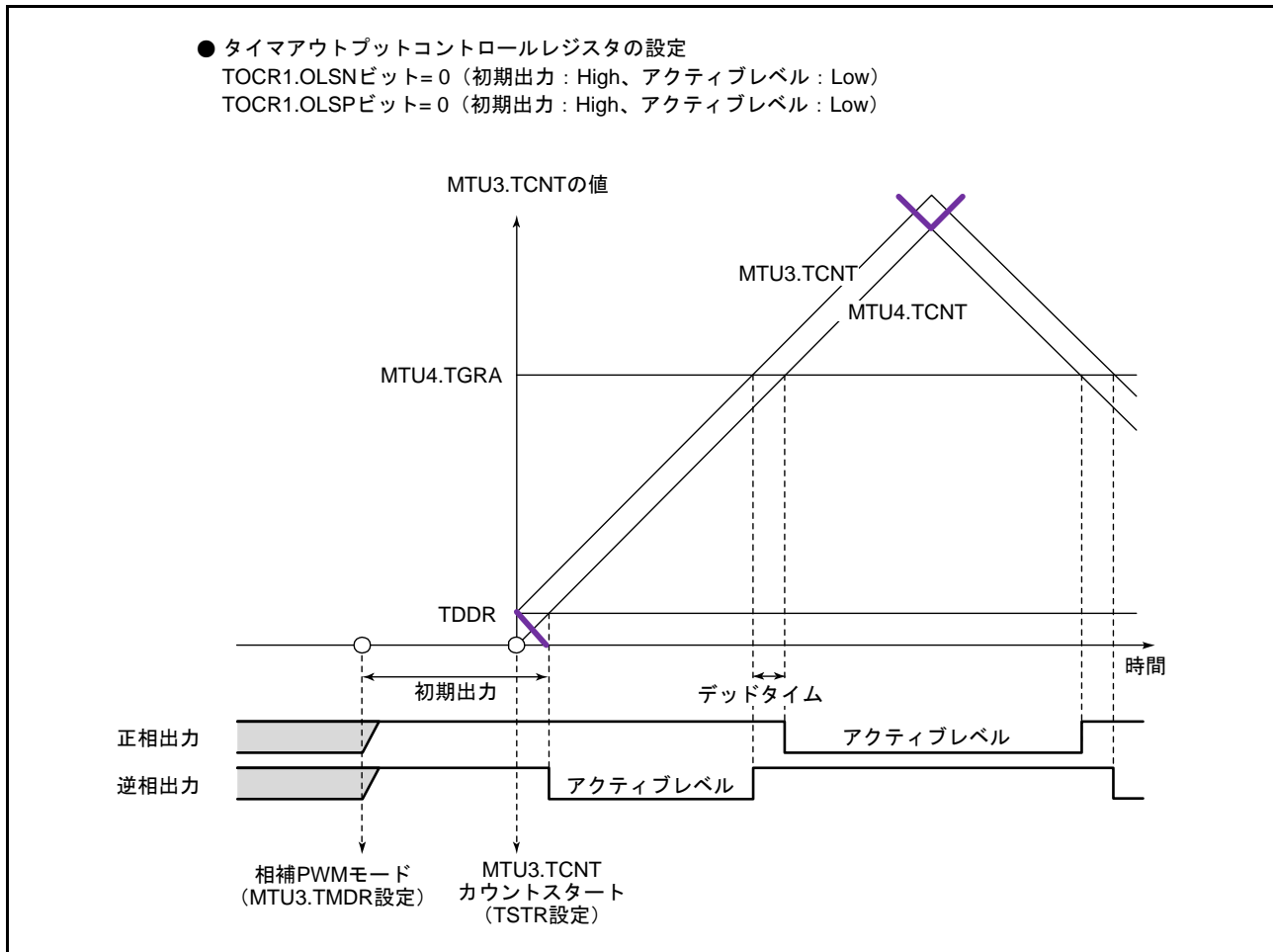


図 21.44 相補 PWM モードの初期出力例 (1)

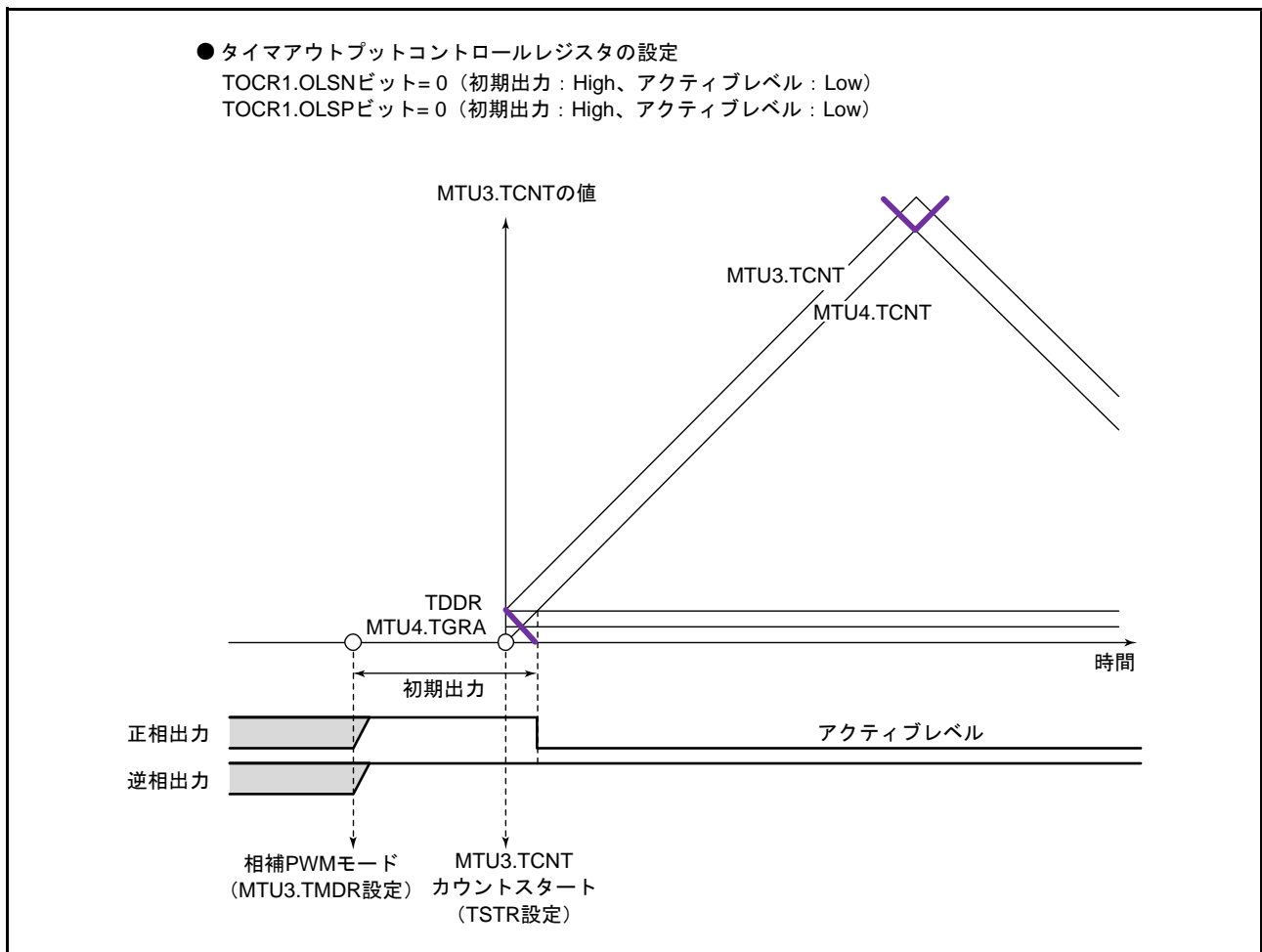


図 21.45 相補 PWM モードの初期出力例 (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバーラップ時間を持った PWM 波形を 3 相出力します。このノンオーバーラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0 ~ 100% まで連続した PWM パルスを作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 21.46 ~ 図 21.48 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、MTU3.TCNT カウンタとのコンペアマッチで生成され、ON タイミングは MTU3.TCNT カウンタからデッドタイム分遅れて動作している MTU4.TCNT カウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 21.46 に示すように通常の場合のコンペアマッチは、 $a \rightarrow b \rightarrow c \rightarrow d$ (または $c \rightarrow d \rightarrow a' \rightarrow b'$) の順番で発生します。

コンペアマッチが $a \rightarrow b \rightarrow c \rightarrow d$ の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または $c \rightarrow d \rightarrow a' \rightarrow b'$ の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 21.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです (ゆえに正相は OFF から OFF のため波形は変化しません)。

同様に、図 21.48 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

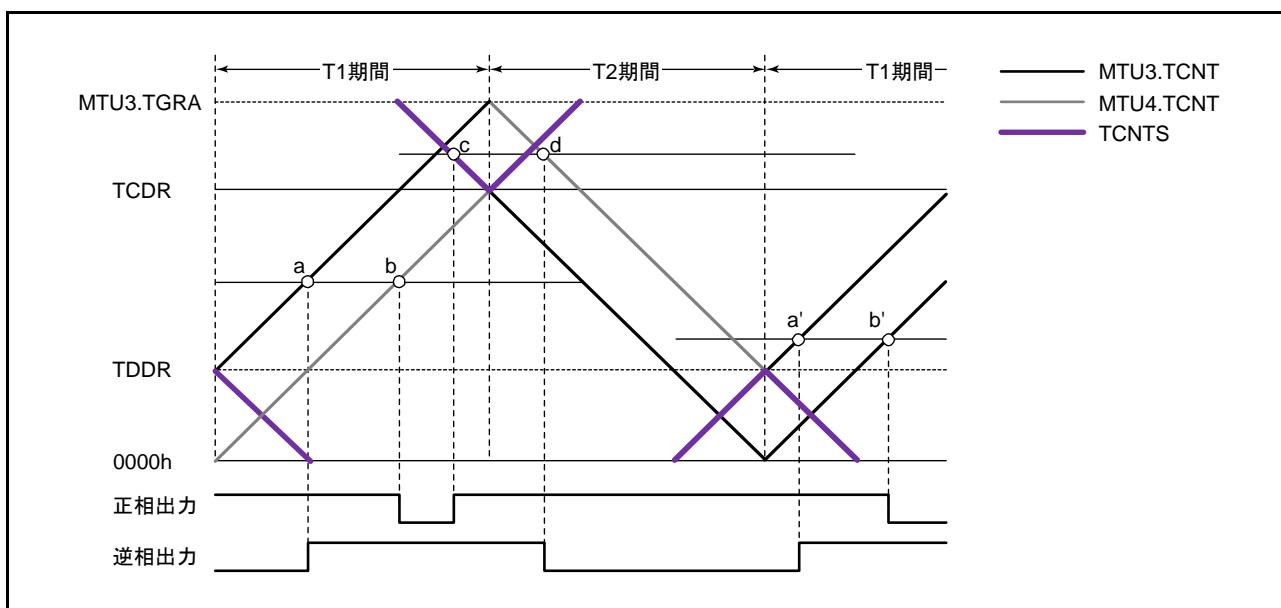


図 21.46 相補 PWM モード波形出力例 (1)

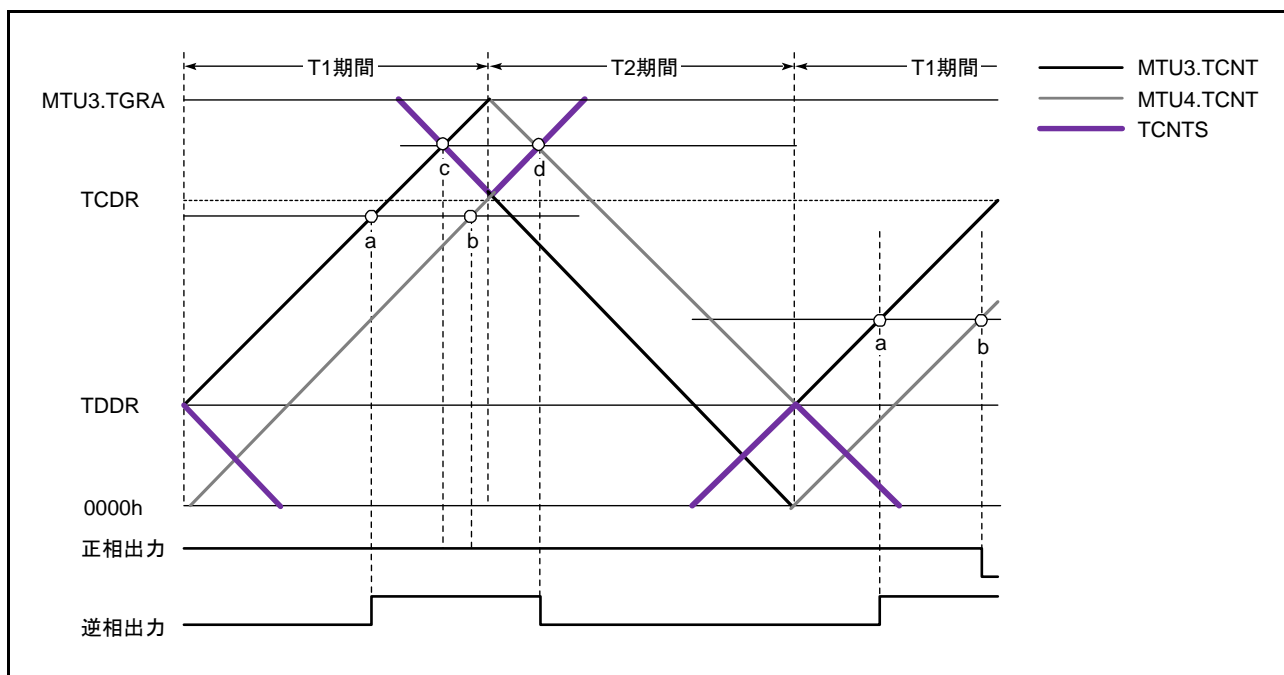


図 21.47 相補 PWM モード波形出力例 (2)

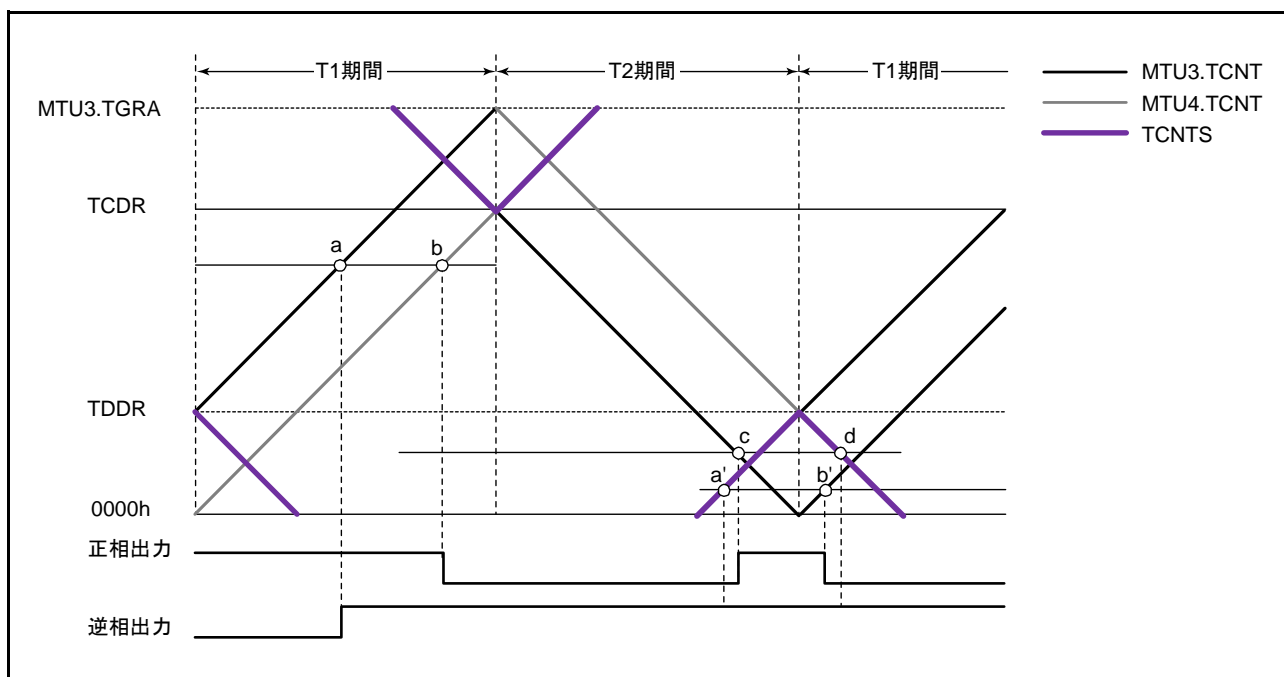


図 21.48 相補 PWM モード波形出力例 (3)

(k) 相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% を任意に出力可能です。図 21.49 ~ 図 21.53 に出力例を示します。

デューティ比 100% 出力は、コンペアレジスタの値を 0000h に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、コンペアレジスタの値を MTU3.TGRA の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視され波形は変化しません。

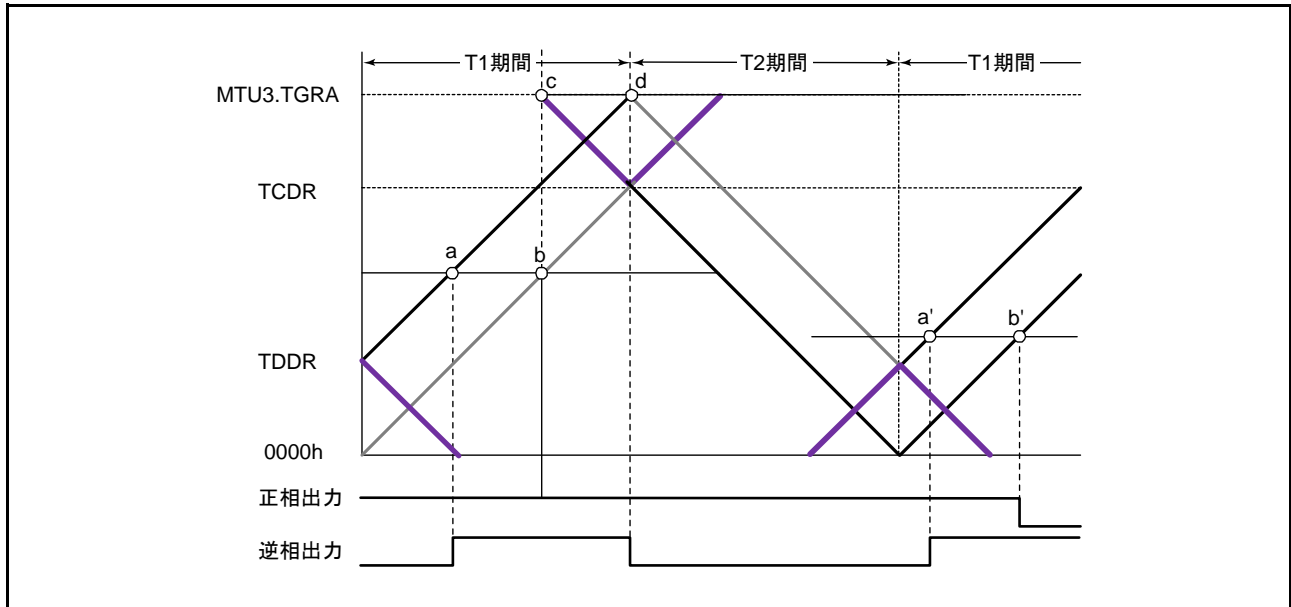


図 21.49 相補 PWM モード 0%、100% 波形出力例 (1)

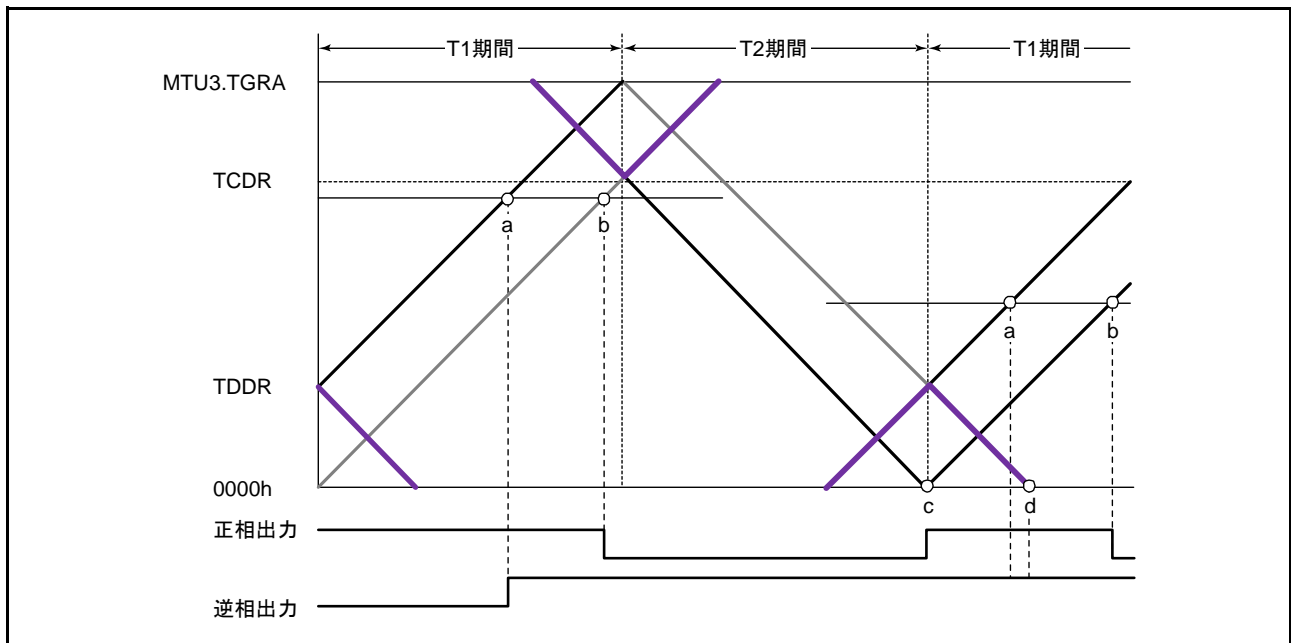


図 21.50 相補 PWM モード 0%、100% 波形出力例 (2)

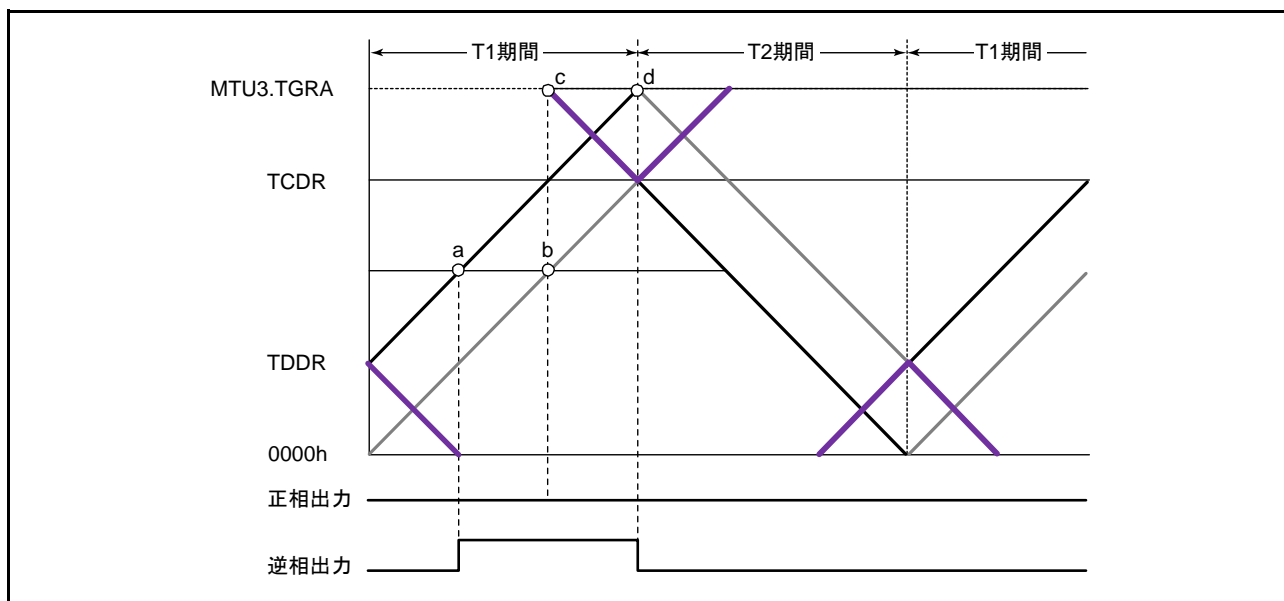


図 21.51 相補 PWM モード 0%、100% 波形出力例 (3)

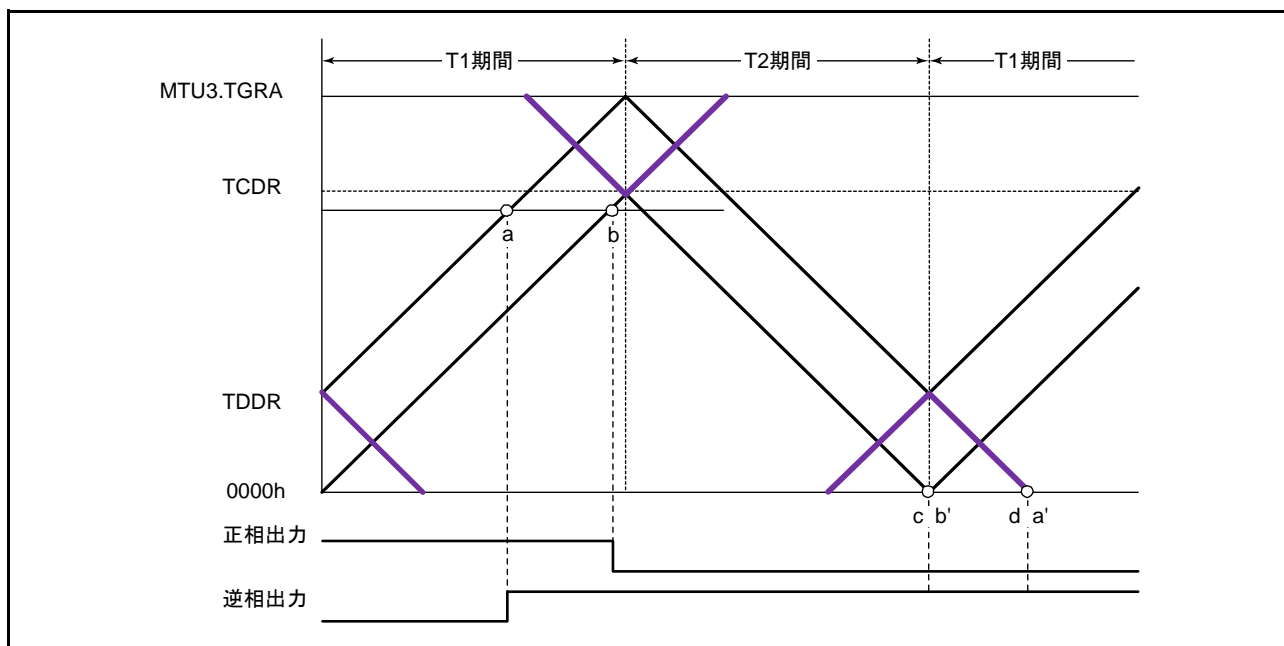


図 21.52 相補 PWM モード 0%、100% 波形出力例 (4)

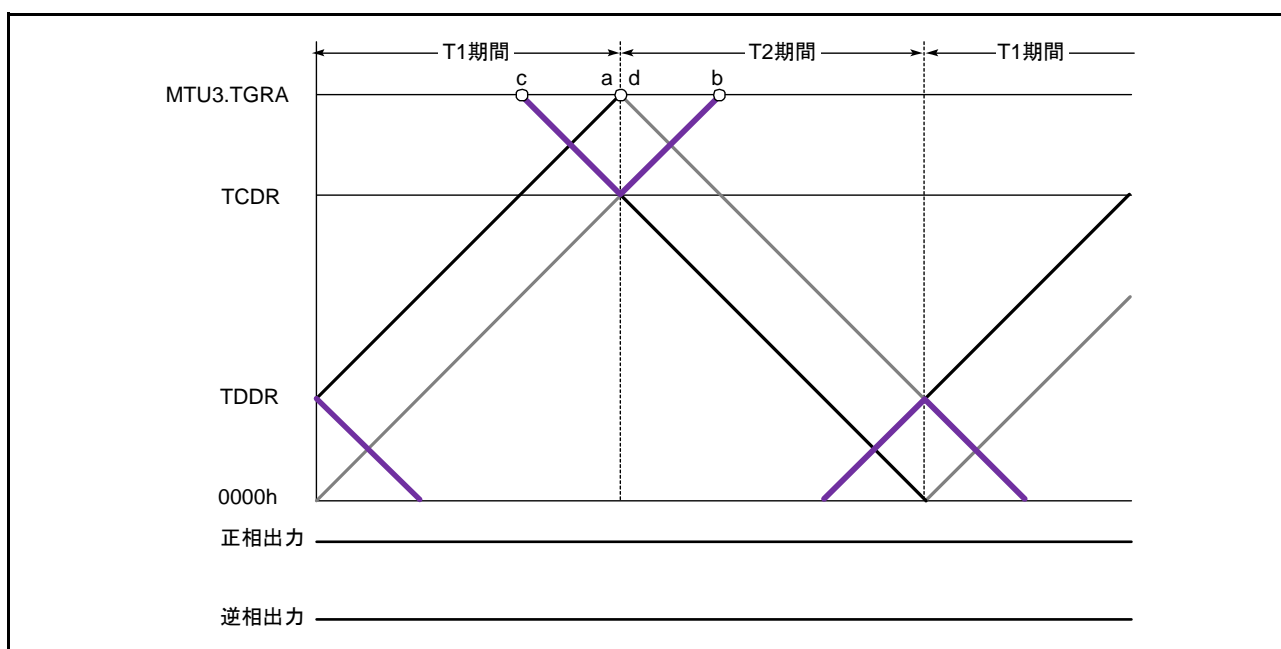


図 21.53 相補 PWM モード 0%、100% 波形出力例 (5)

(I) PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の PSYE ビットを“1”にすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 21.54 に示します。

この出力は、MTU3.TCNT と MTU3.TGRA のコンペアマッチと MTU4.TCNT と 0000h のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOC3A 端子です。また、初期出力は High 出力です。

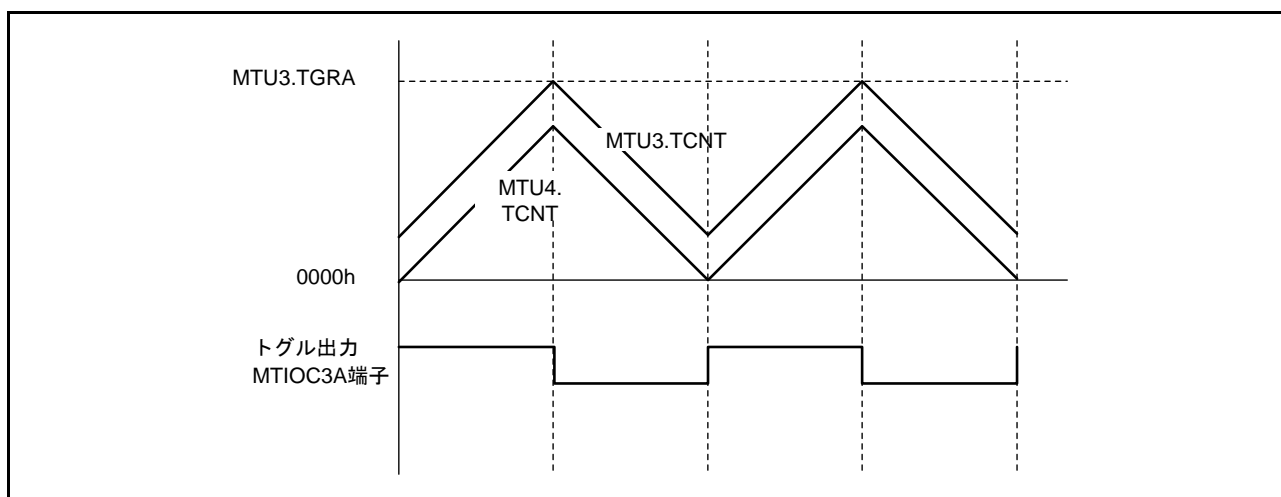


図 21.54 PWM 出力に同期したトグル出力波形例

(m) 他のチャネルによるカウンタクリア

相補PWMモード時、タイマシンクロレジスタ (TSYR) により他のチャネルとの同期モードに設定し、またタイマコントロールレジスタ (TCR) の CCLR[2:0] ビットにより同期クリアを選択することにより他のチャネルによる MTU3.TCNT、MTU4.TCNT および TCNTS のクリアをすることが可能です。

図 21.55 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

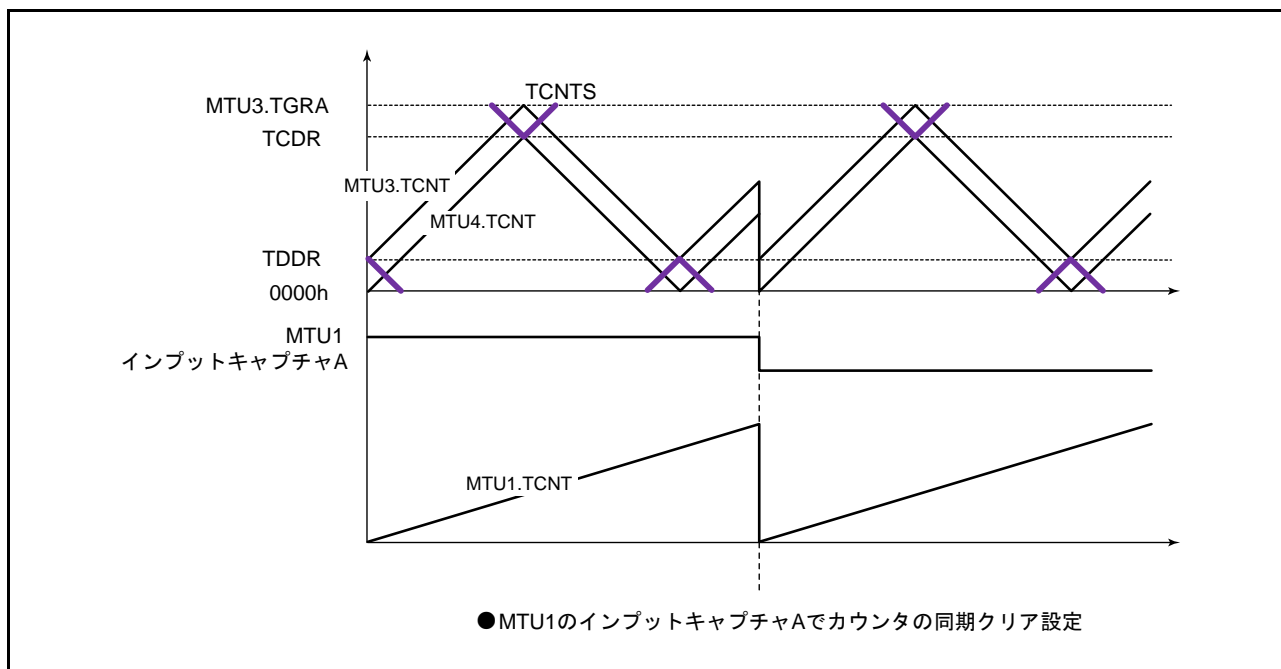


図 21.55 他のチャネルに同期したカウンタクリア

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR レジスタの WRE ビットを“1”に設定することにより、相補 PWM モードの谷の T_b 区間で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

WRE ビットを“1”に設定することで初期出力を抑止することができるのは、同期クリアが図 21.56 の⑩、⑪のような谷の T_b 区間に入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1 レジスタの OLSN、OLSP ビットで設定した初期値が出力されます。また、谷の T_b 区間であっても、図 21.56 の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

MTU のカウンタクリア要因は MTU0 ~ 2 の同期クリアです。

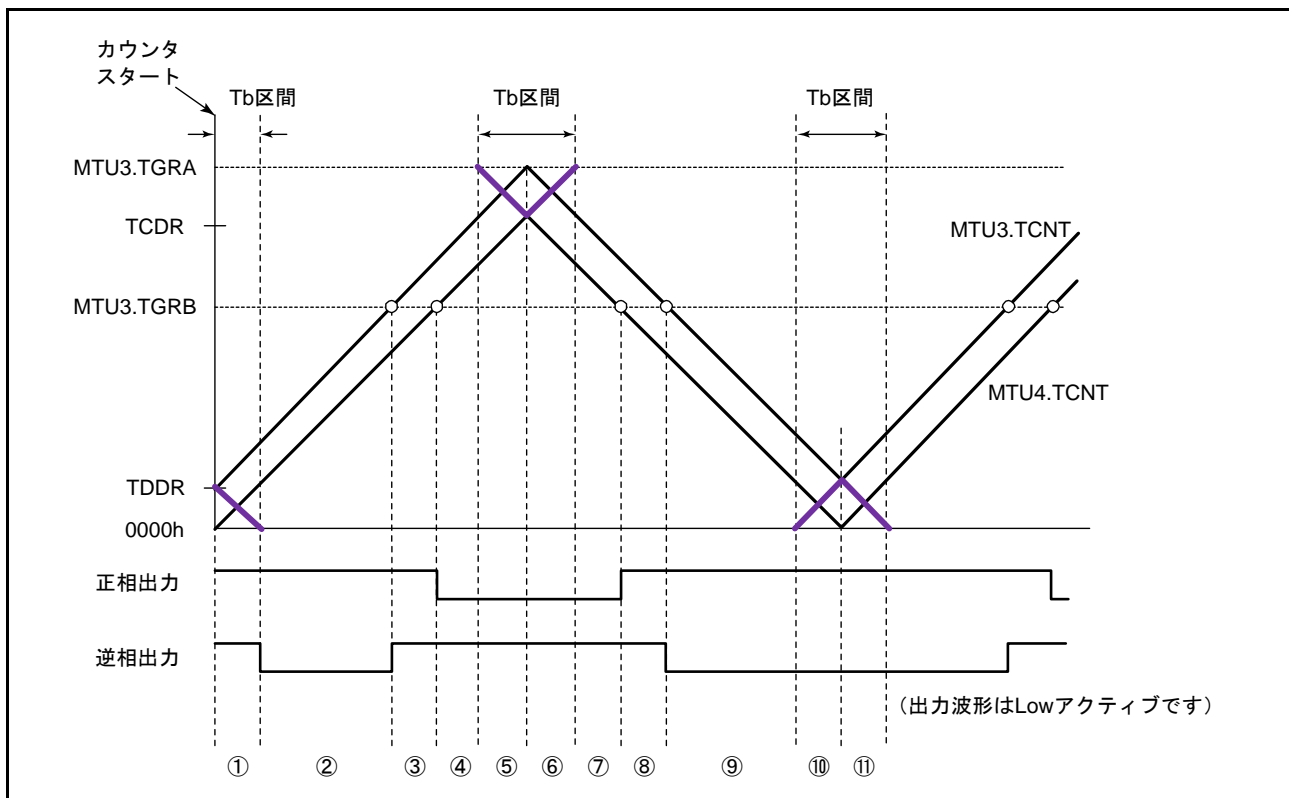


図 21.56 同期カウンタクリアタイミング

● 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 21.57 に示します。

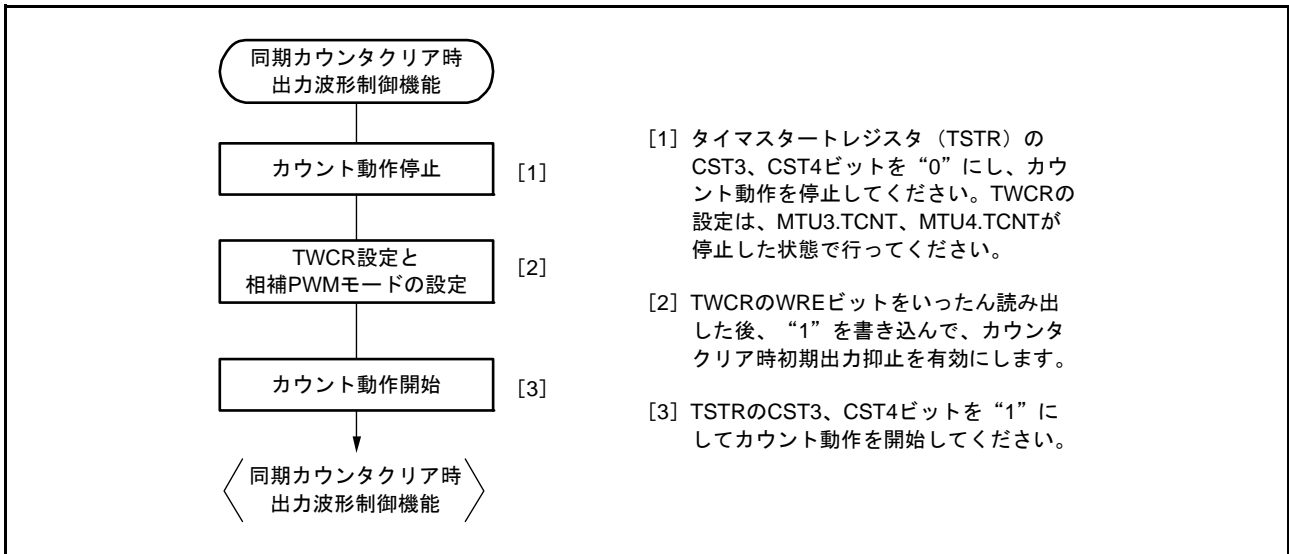


図 21.57 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

● 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 21.58 ~ 図 21.61 に、TWCR の WRE ビットを“1”に設定した状態で MTU を相補 PWM 動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 21.58 ~ 図 21.61 の同期カウンタクリアのタイミングは、それぞれ図 21.56 の③、⑥、⑧、⑪で示したタイミングです。

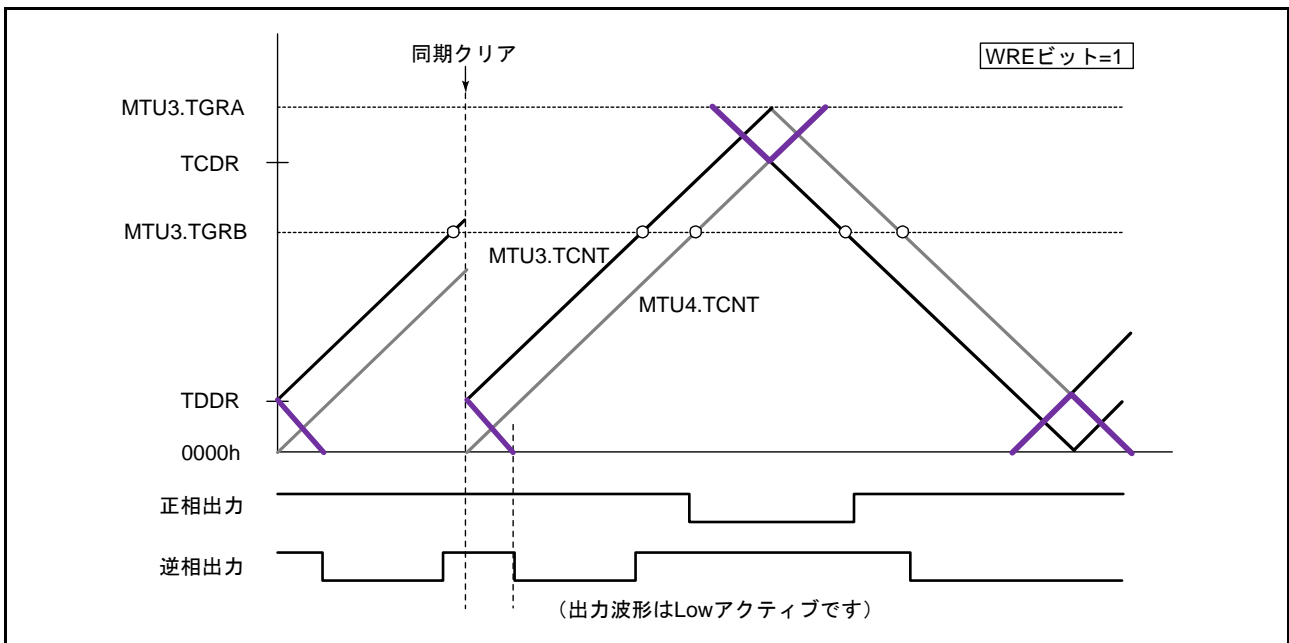


図 21.58 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 21.56 のタイミング③、MTU の TWCR レジスタの WRE ビット = “1”)

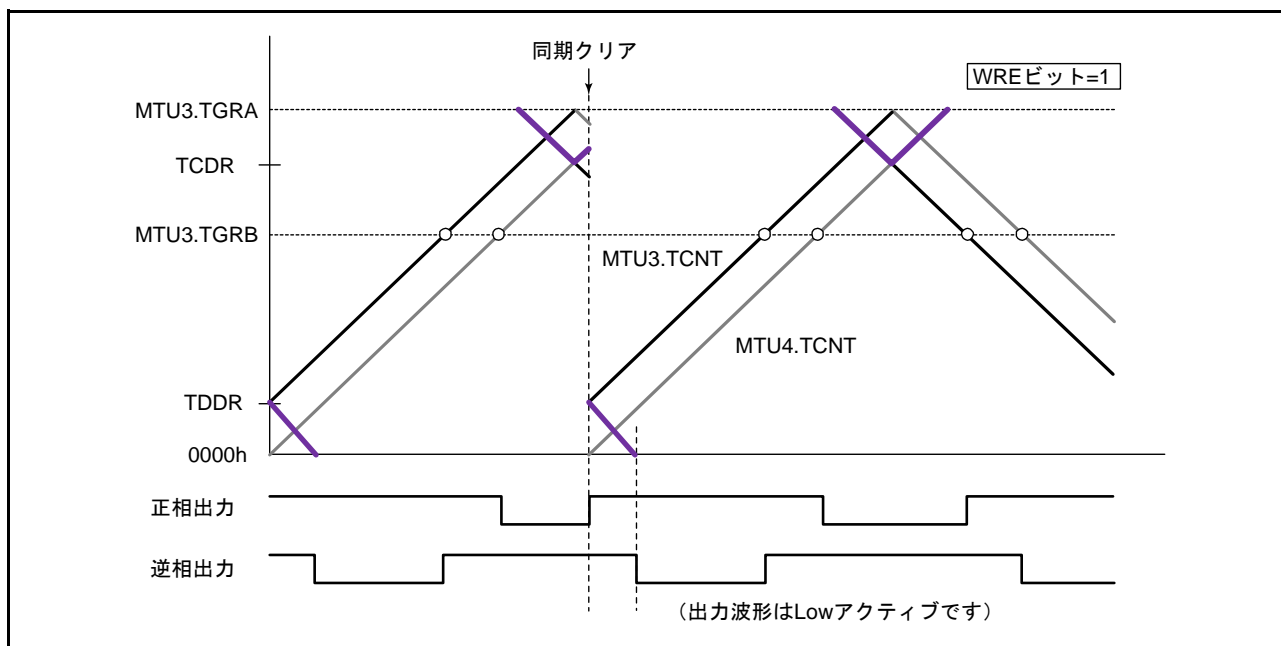


図 21.59 山の Tb 区間で同期クリアが発生した場合
 (図 21.56 のタイミング⑥、MTU の TWCR レジスタの WRE ビット=“1”)

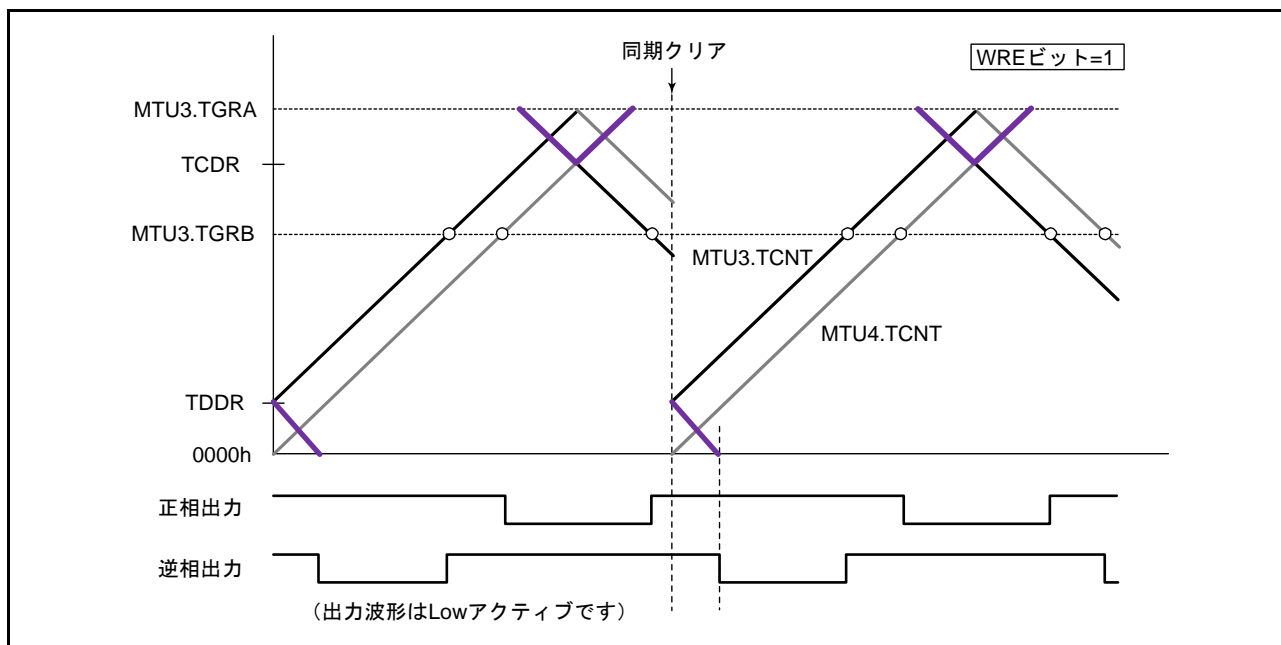


図 21.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
 (図 21.56 のタイミング⑧、TWCR レジスタの WRE ビット=“1”)

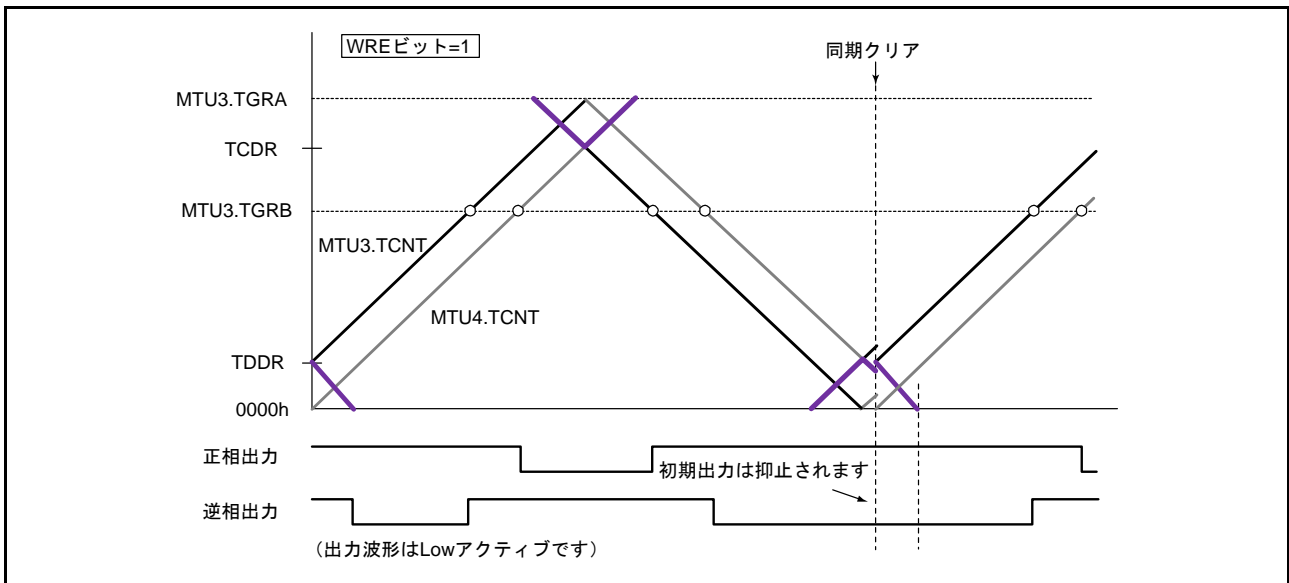


図 21.61 谷の Tb 区間で同期クリアが発生した場合
 (図 21.56 のタイミング①、TWCR レジスタの WRE ビット=“1”)

(o) MTU3.TGRA のコンペアマッチによるカウンタクリア

相補 PWM モードでは、タイマ波形コントロールレジスタ (TWCR) の CCE ビットを設定することにより、MTU3.TGRA のコンペアマッチで MTU3.TCNT、MTU4.TCNT および TCNTS をクリアすることが可能です。図 21.62 に動作例を示します。

- 注． 相補 PWM モード 1 (山で転送) でのみ使用してください。
- 注． 他のチャンネルとの同期クリア機能に設定しないでください。(タイマシンクロレジスタ (TSYR) の SYNC0 ~ SYNC4 ビットを“1”に設定しないでください)
- 注． PWM デューティ比は、0000h を設定しないでください。
- 注． タイマアウトプットコントロールレジスタ 1 (TOCR1) の PSYE ビットを“1”に設定しないでください。

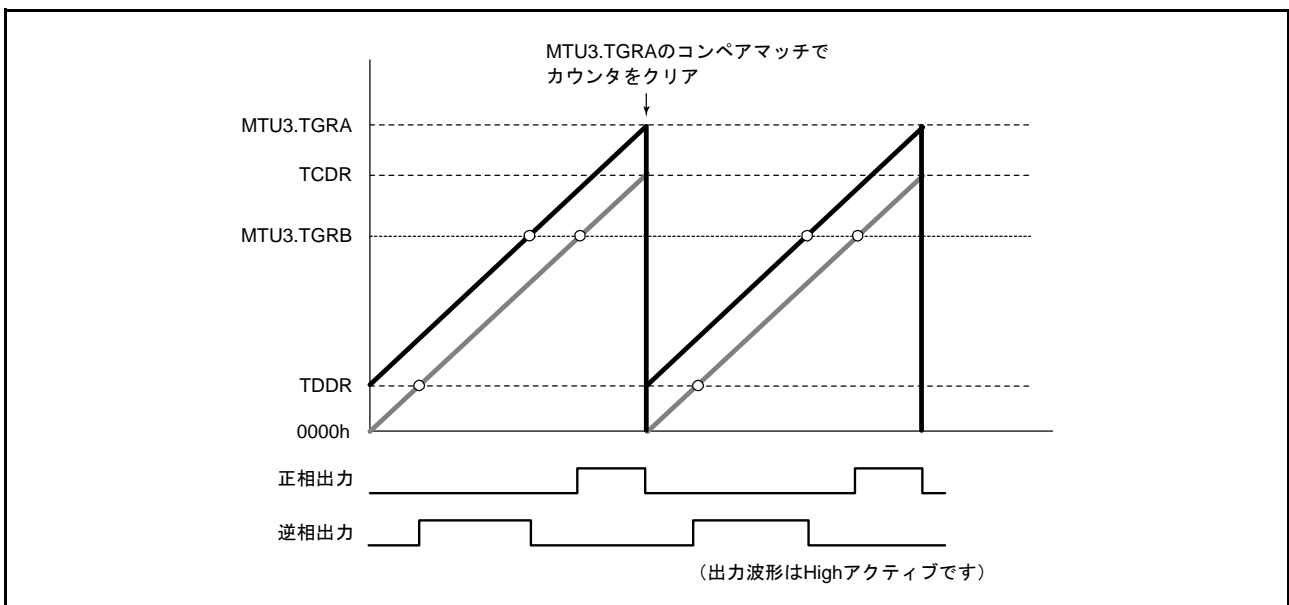


図 21.62 MTU3.TGRA のコンペアマッチにおけるカウンタクリアの動作例

(p) AC同期モータ（ブラシレスDCモータ）の駆動波形出力例

相補PWMモードでは、タイマゲートコントロールレジスタ (TGCR) を使ってブラシレスDCモータを簡単に制御することができます。図 21.63 ~ 図 21.66 に TGCR を使用したブラシレスDCモータの駆動波形例を示します。

3相ブラシレスDCモータの出力相の切り換えに、ホール素子などで検出した外部信号で行う場合、TGCRレジスタのFBビットを“0”に設定します。この場合、磁極位置を示す外部信号をMTU0のタイマ入力端子MTIOC0A、MTIOC0B、MTIOC0C端子に入力します (PFSレジスタで設定してください)。MTIOC0A、MTIOC0B、MTIOC0C端子の3つの端子にエッジが発生すると、出力のON/OFFが自動的に切り替わります。

FBビットが“1”の場合は、TGCRのUF、VF、WFビットの各ビットに“0”または“1”を設定すると、出力のON/OFFが切り替わります。

駆動波形の出力は、相補PWMモードの6相出力端子から出力されます。

この6相出力はTGCRのNビットまたはPビットを“1”に設定することにより、ON出力時、相補PWMモードの出力を使用し、チョッピング出力を行うことが可能です。NビットまたはPビットが“0”の場合は、レベル出力になります。

また、6相出力のアクティブレベル (ON出力時レベル) は、NビットおよびPビットの設定にかかわらず、タイマアウトプットコントロールレジスタ1 (TOCR1) のOLSNビット、OLSPビットで設定できます。

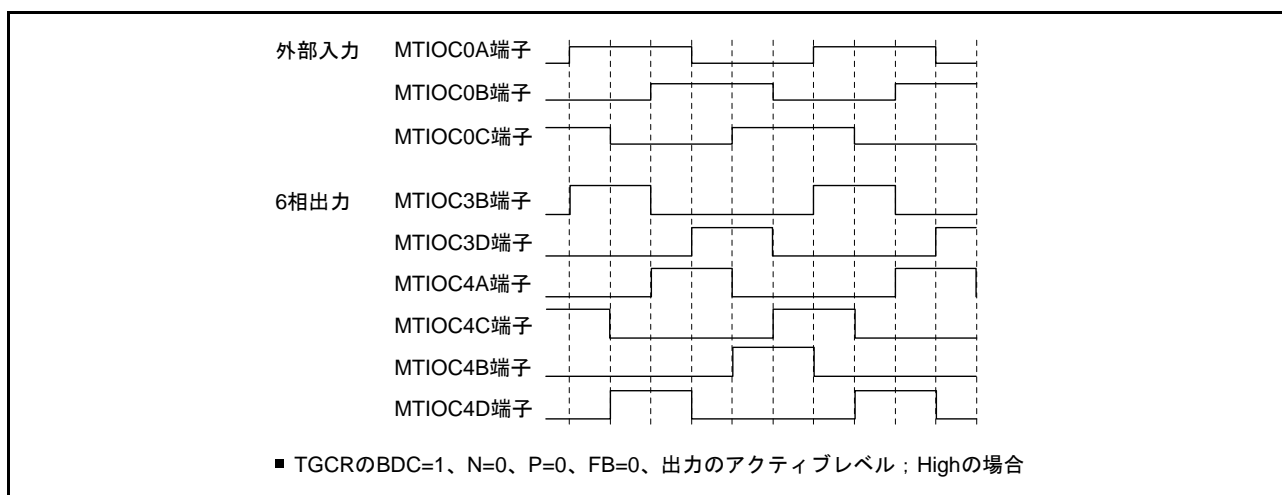


図 21.63 外部入力による出力相の切り換え動作例 (1)

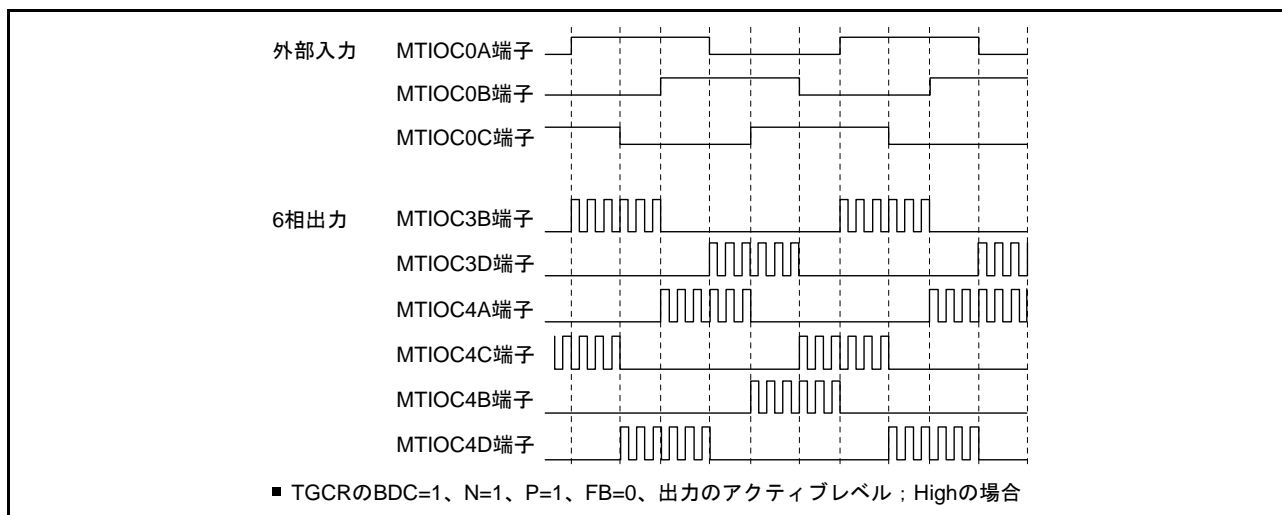


図 21.64 外部入力による出力相の切り換え動作例 (2)

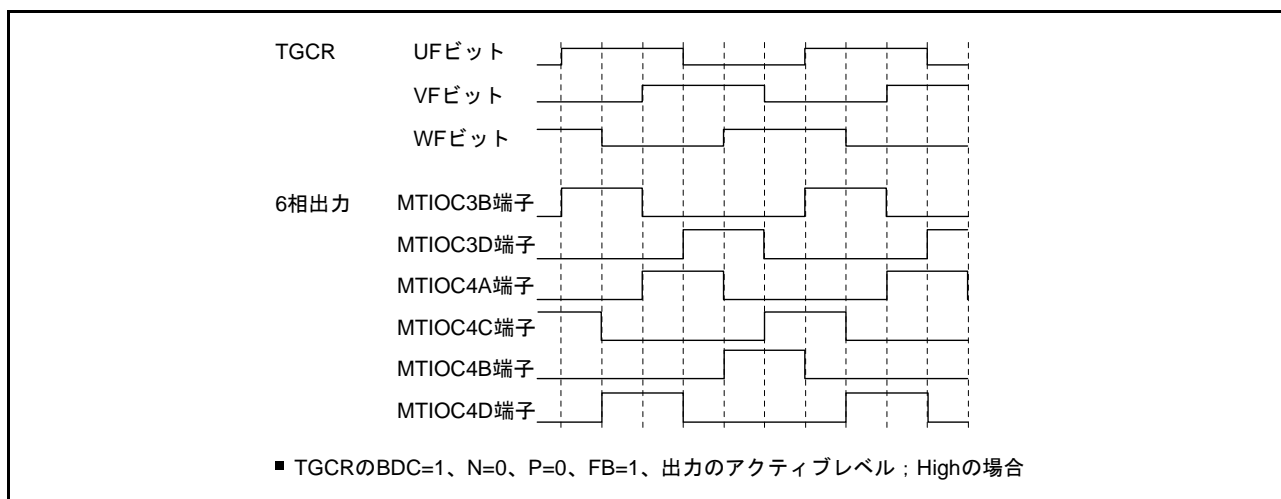


図 21.65 UF、VF、WF ビット設定による出力相の切り換え動作例 (1)

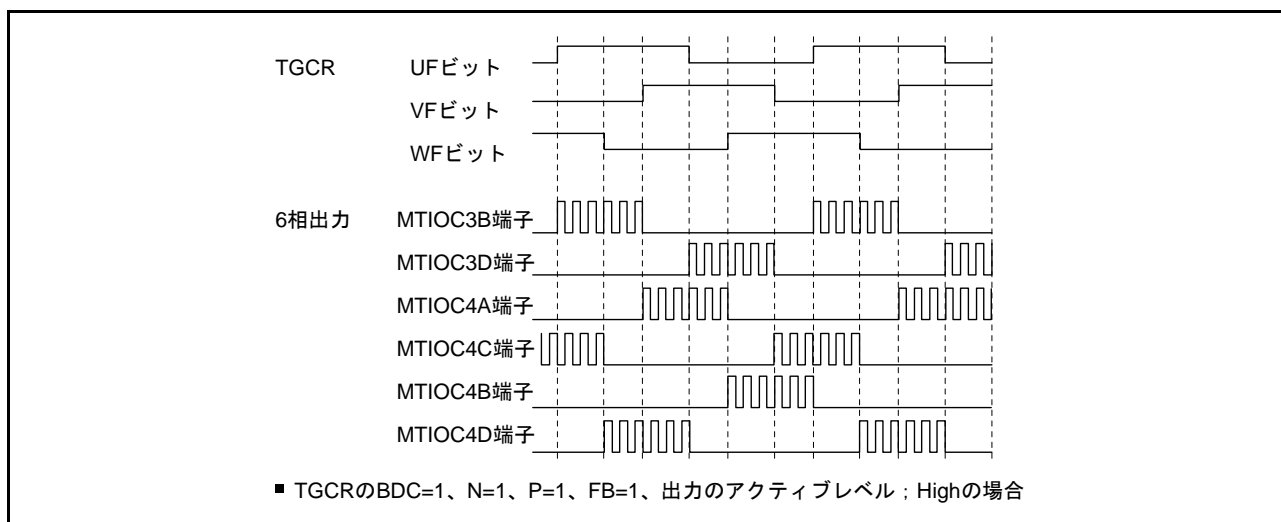


図 21.66 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(q) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTU3.TGRA のコンペアマッチ、MTU4.TCNT のアンダフロー（谷）、MTU3、MTU4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

MTU3.TGRA のコンペアマッチを使用して開始要求を設定すると、MTU3.TCNT の山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、タイマ割り込み許可レジスタ (TIER) の TTGE ビットを“1”にすることで設定できます。MTU4.TCNT のアンダフロー（谷）の A/D 変換の開始要求は、MTU4.TIER の TTGE2 ビットを“1”にすることで設定できます。

(3) 相補 PWM モードの割り込み間引き機能

MTU3 と MTU4 の TGIA3（山の割り込み）、および TCIV4（谷の割り込み）は、タイマ割り込み間引き設定レジスタ (TITCR) を設定することにより、最大で7回まで割り込みを間引くことが可能です。

タイマバッファ転送レジスタ (TBTER) を設定することにより、バッファレジスタからテンポラリレジスタ/コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

タイマ A/D 変換要求コントロールレジスタ (TADCR) を設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「21.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

タイマ割り込み間引き設定レジスタ (TITCR) の設定は、MTU3.TIER、MTU4.TIER レジスタの設定で TGIA3 と TCIV4 割り込み要求を禁止した状態、かつコンペアマッチが発生しない状態、かつコンペアマッチによる TGIA3、TGIA4 割り込み要求が発生しない状態で行ってください。また、間引き回数の変更前に、TITCR の T3AEN、T4VEN ビットを“0”にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を図 21.67 に示します。また、割り込み間引き回数の変更可能期間を図 21.68 に示します。

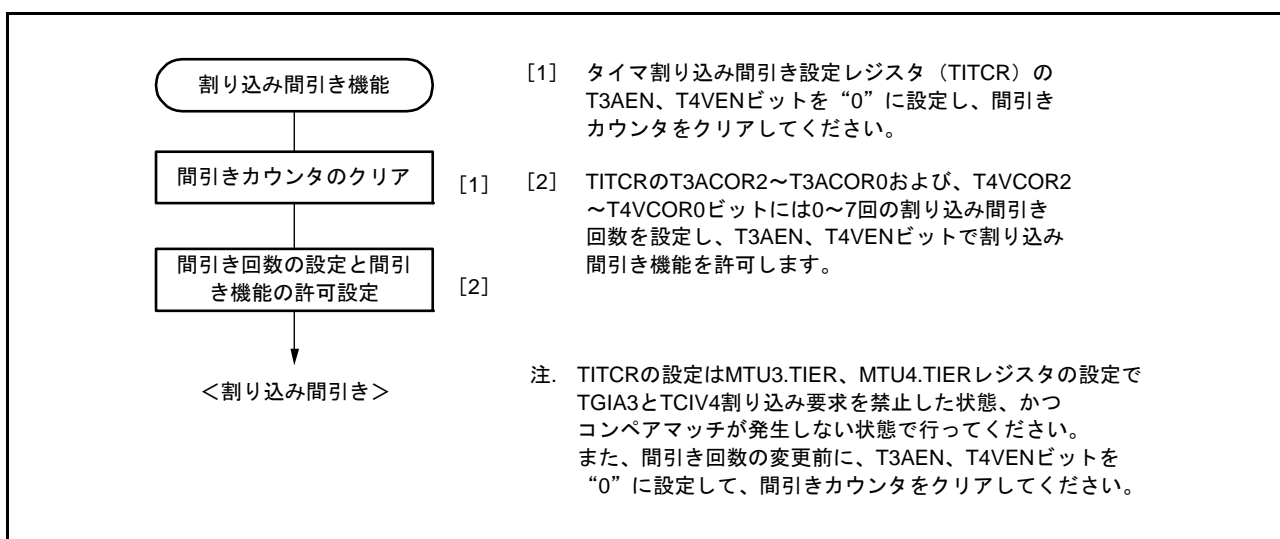


図 21.67 割り込み間引き機能の設定手順例

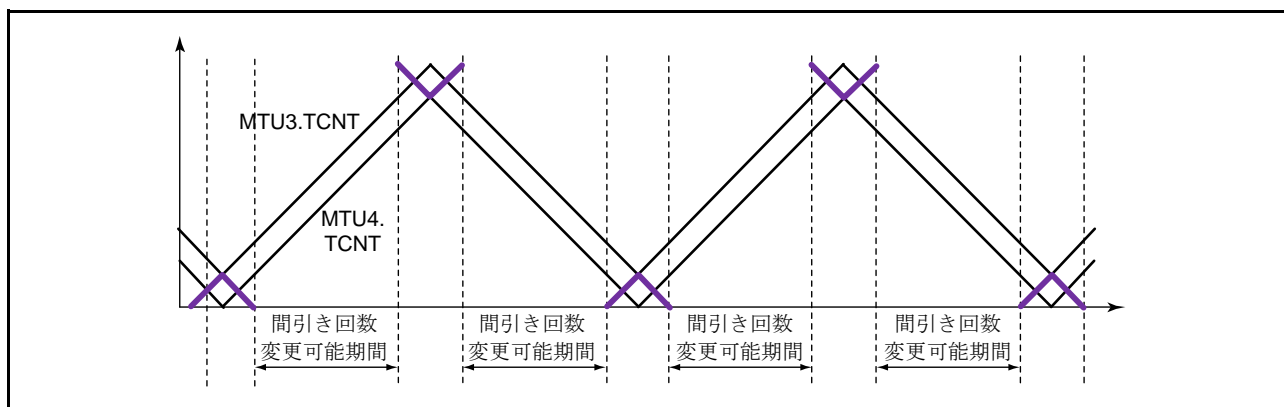


図 21.68 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能の動作例

タイマ割り込み間引き設定レジスタ (TITCR) の T3ACOR ビットで割り込みの間引き回数を 3 回に設定し、T3AEN ビットを“1”に設定した場合の、MTU3.TGIA 割り込み間引きの動作例を図 21.69 に示します。

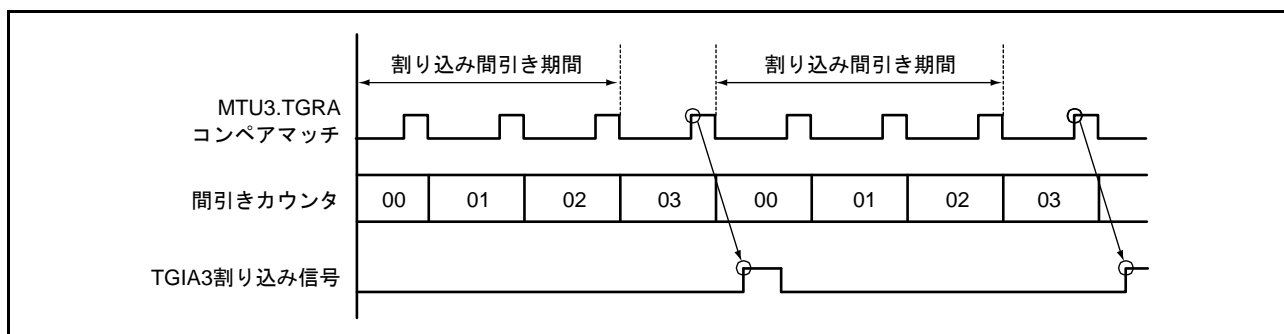


図 21.69 割り込み間引き機能の動作例

(c) 割り込み間引きと連動したバッファ転送制御

タイマバッファ転送設定レジスタ (TBTER) の BTE[1:0] ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする/しない、または割り込み間引きと連動する/しないを選択することが可能です。

バッファ転送を抑制する設定 (BTE[1:0] = "01b") にした場合の動作例を図 21.70 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = "10b") にした場合の動作例を図 21.71 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

なお、タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN ビットを "1" に設定した場合、T4VEN ビットを "1" に設定した場合、T3AEN/T4VEN ビットを "1" に設定した場合で、それぞれバッファ転送許可期間が異なります。TITCR レジスタの T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係を図 21.72 に示します。

- 注. 本機能は、割り込み間引き機能と組み合わせて使用してください。
 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを "0" に設定したとき、または TITCR の間引き回数設定ビット (T3ACOR、T4VCOR) を "0" に設定したとき) は、バッファ転送を割り込み間引きと連動しない設定 (タイマバッファ転送設定レジスタ (TBTER) の BTE1 を "0" に設定) してください。
 割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

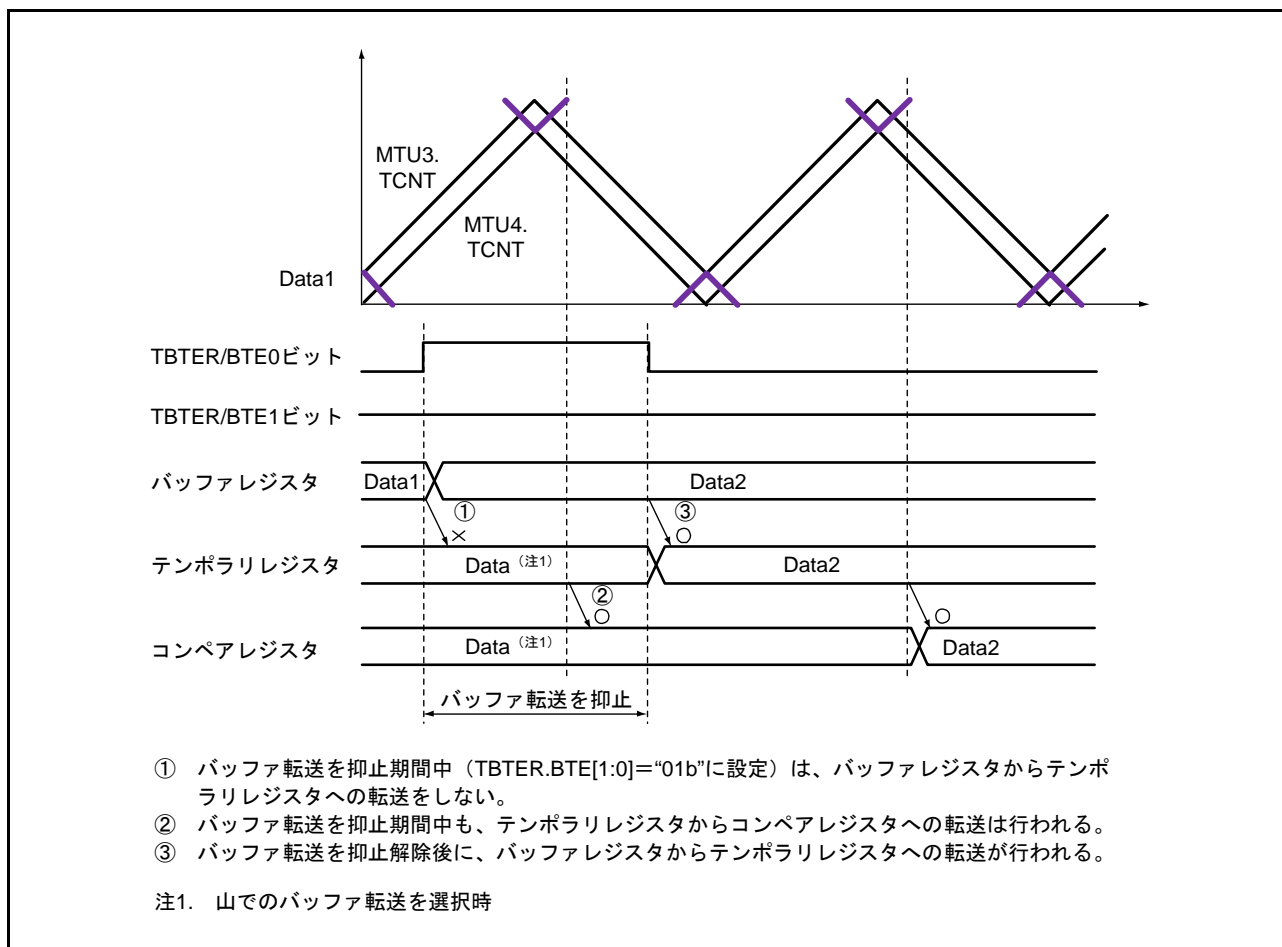


図 21.70 バッファ転送を抑制する設定 (BTE[1:0] = "01b") にした場合の動作例

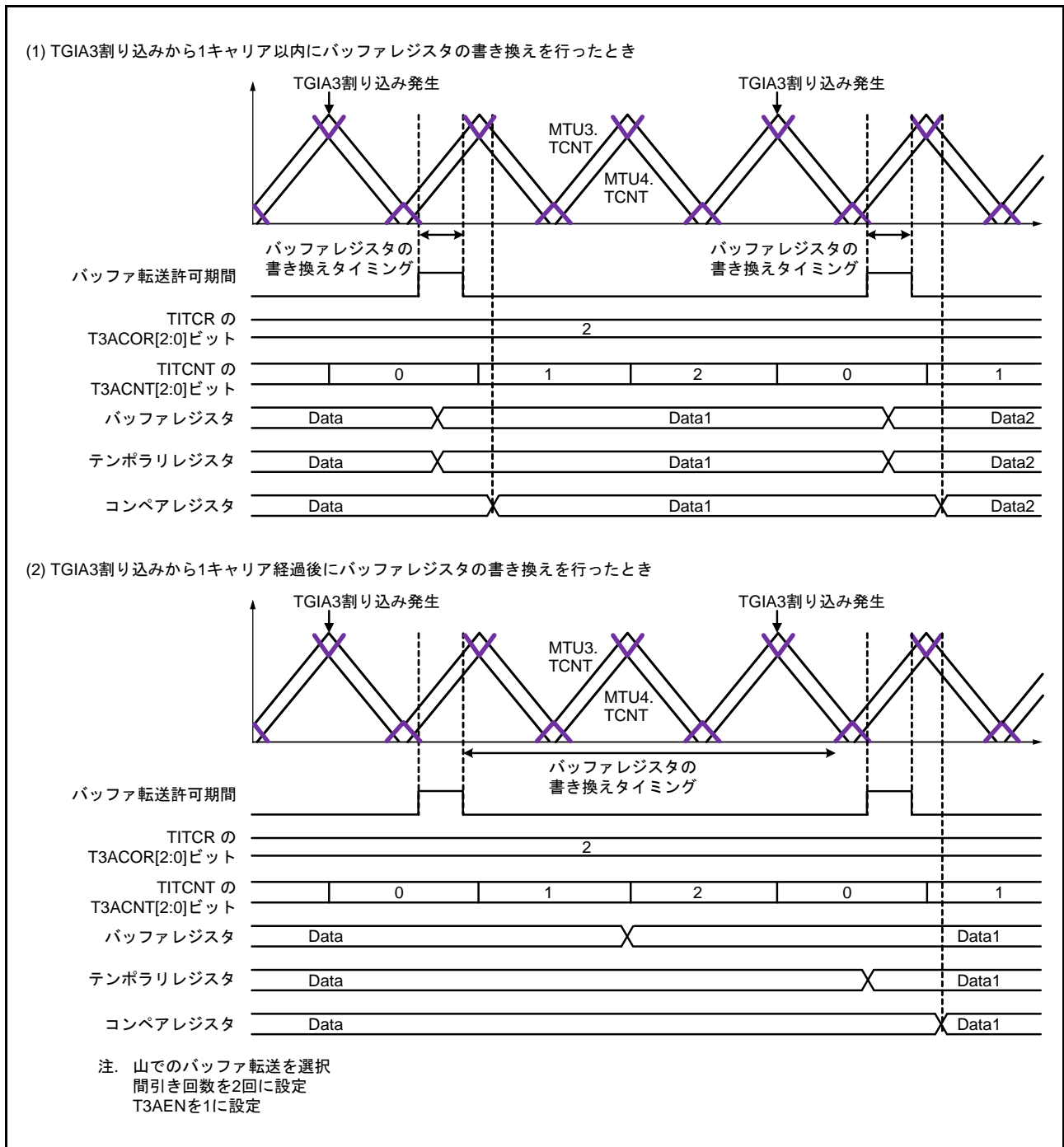


図 21.71 バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = "10b") にした場合の動作例

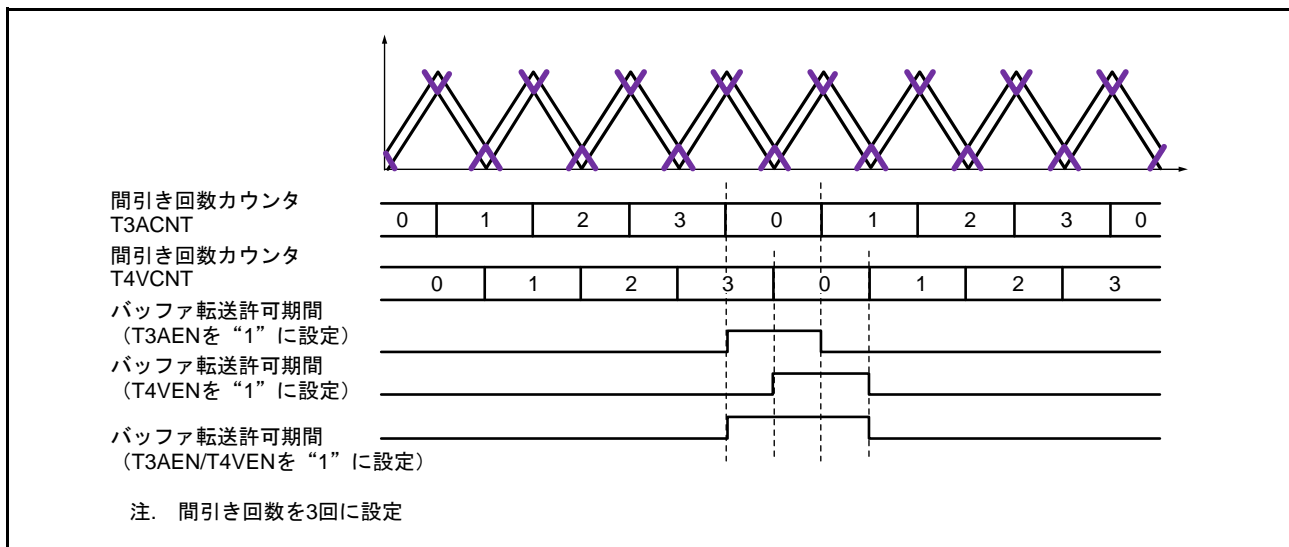


図 21.72 タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、タイマリードライト許可レジスタ (TRWER) の RWE ビットの設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタは MTU3 および MTU4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MTU3.TCR および MTU4.TCR、MTU3.TMDR および MTU4.TMDR、MTU3.TIORH および MTU4.TIORH、MTU3.TIORL および MTU4.TIORL、MTU3.TIER および MTU4.TIER、MTU3.TCNT および MTU4.TCNT、MTU3.TGRA および MTU4.TGRA、MTU3.TGRB および MTU4.TGRB、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR

計 22 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し値は不定で、書き込みは無効です。

(b) 外部信号による PWM 出力の停止機能

6 相 PWM 出力端子は、指定した外部信号が入力されることにより出力端子を自動的にハイインピーダンス状態にすることが可能です。

詳細は、「22. ポートアウトプットイネーブル 2 (POE2a)」を参照してください。

(c) 発振停止時の PWM 出力の停止機能

6 相 PWM 出力端子は、RX210 に入力されているクロックが停止したことを検出して出力端子を自動的にハイインピーダンス状態になります。ただし、クロックが再発振を開始すると端子の状態は、保証されません。

詳細は、「9.5 発振停止検出機能」を参照してください。

21.3.9 A/D 変換開始要求ディレイド機能

MTU4 のタイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 起動要求用周期レジスタ (MTU4.TADCORA、MTU4.TADCORB)、タイマ A/D 起動要求用周期バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB を比較し、これらが一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN) を行います。

また、TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を間引くことが可能です。

(1) A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 21.73 に示します。

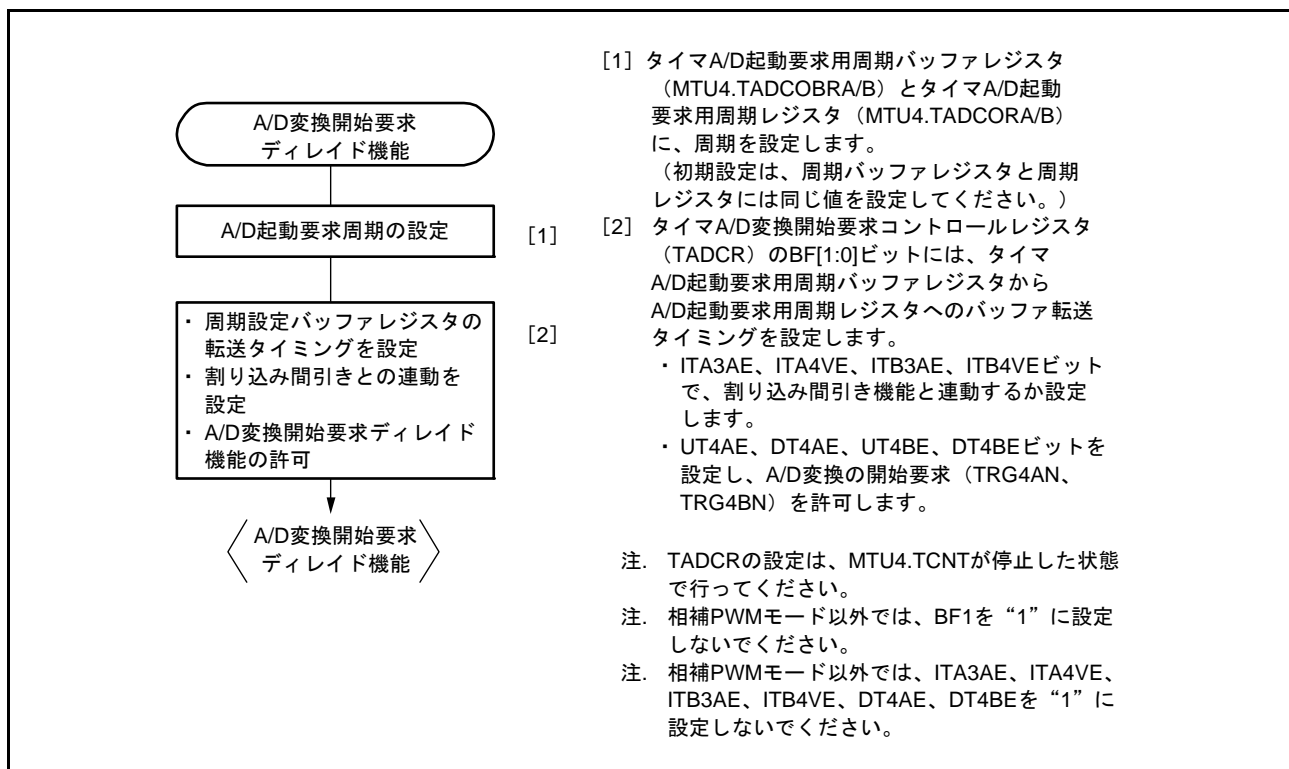


図 21.73 A/D 変換開始要求ディレイド機能の設定手順例

(2) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT の谷に設定し、MTU4.TCNT のダウンカウント時に A/D 変換の開始要求信号 (TRG4AN) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN) の基本動作例を図 21.74 に示します。

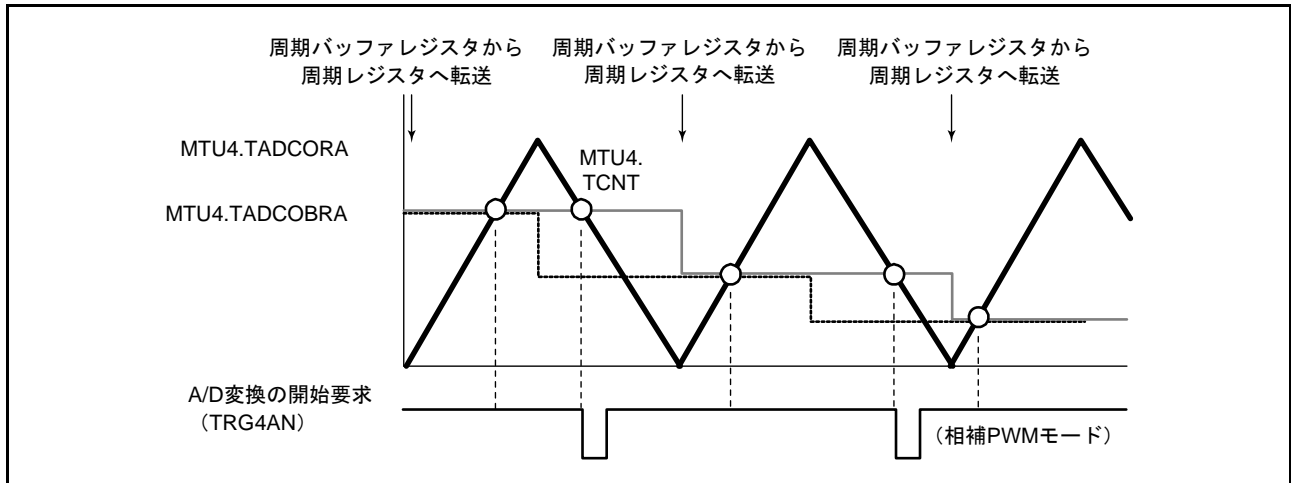


図 21.74 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(3) バッファ転送

タイマ A/D 起動要求用周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、タイマ A/D 変換開始要求コントロールレジスタ (MTU4.TADCR) の BF[1:0] ビットを設定することにより選択することができます。

(4) 割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能

タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を行うことが可能です。MTU4.TCNT のアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 21.75 に示します。

また、MTU4.TCNT のアップカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 21.76 に示します。

- 注． 本機能は割り込み間引き機能と組み合わせて使用してください。
 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを "0" に設定したとき、または TITCR の間引き回数設定ビット (T3ACOR、T4VCOR) を "0" に設定したとき) は、割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを "0" に設定) 設定にしてください。
 A/D コンバータへの変換要求信号は、TRG4ABN (TRG4AN または TRG4BN) になりますので注意してください。

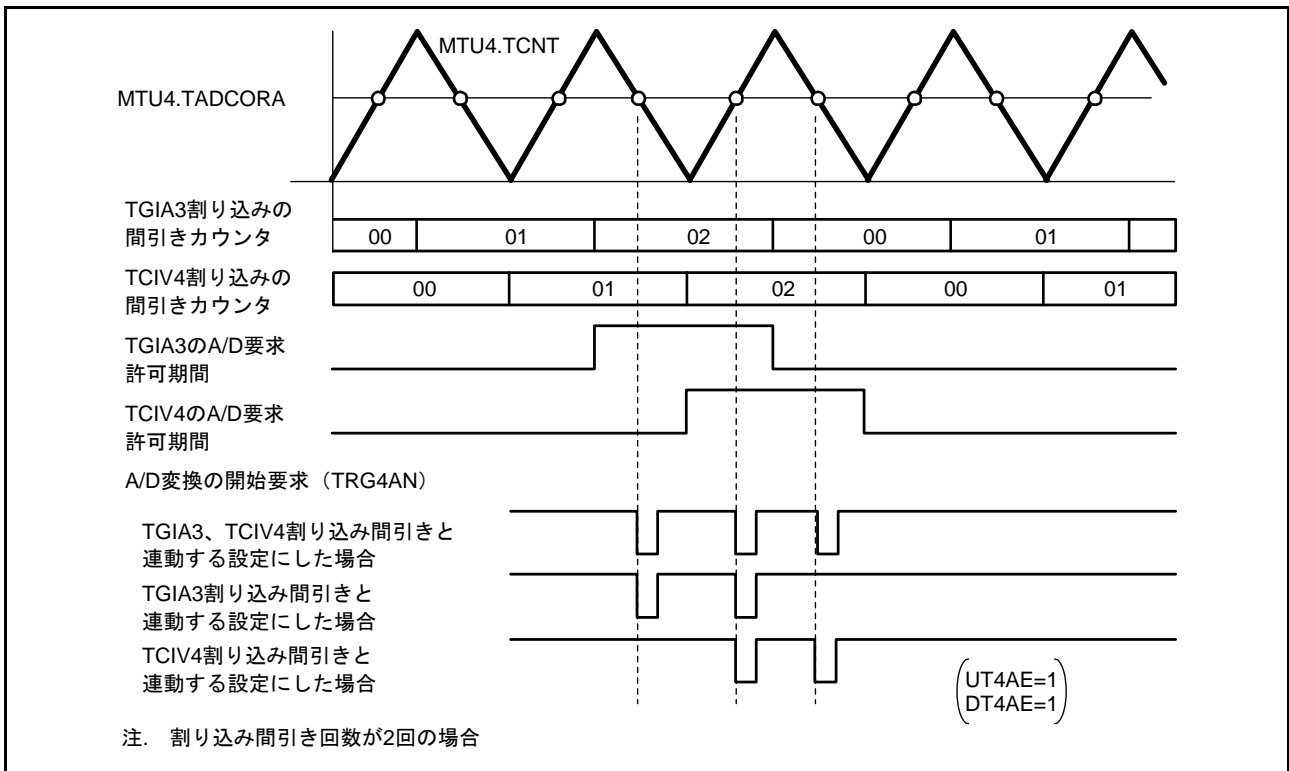


図 21.75 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (TCNT のアップカウント時およびダウンカウント時に TRG4AN 出力を許可したとき)

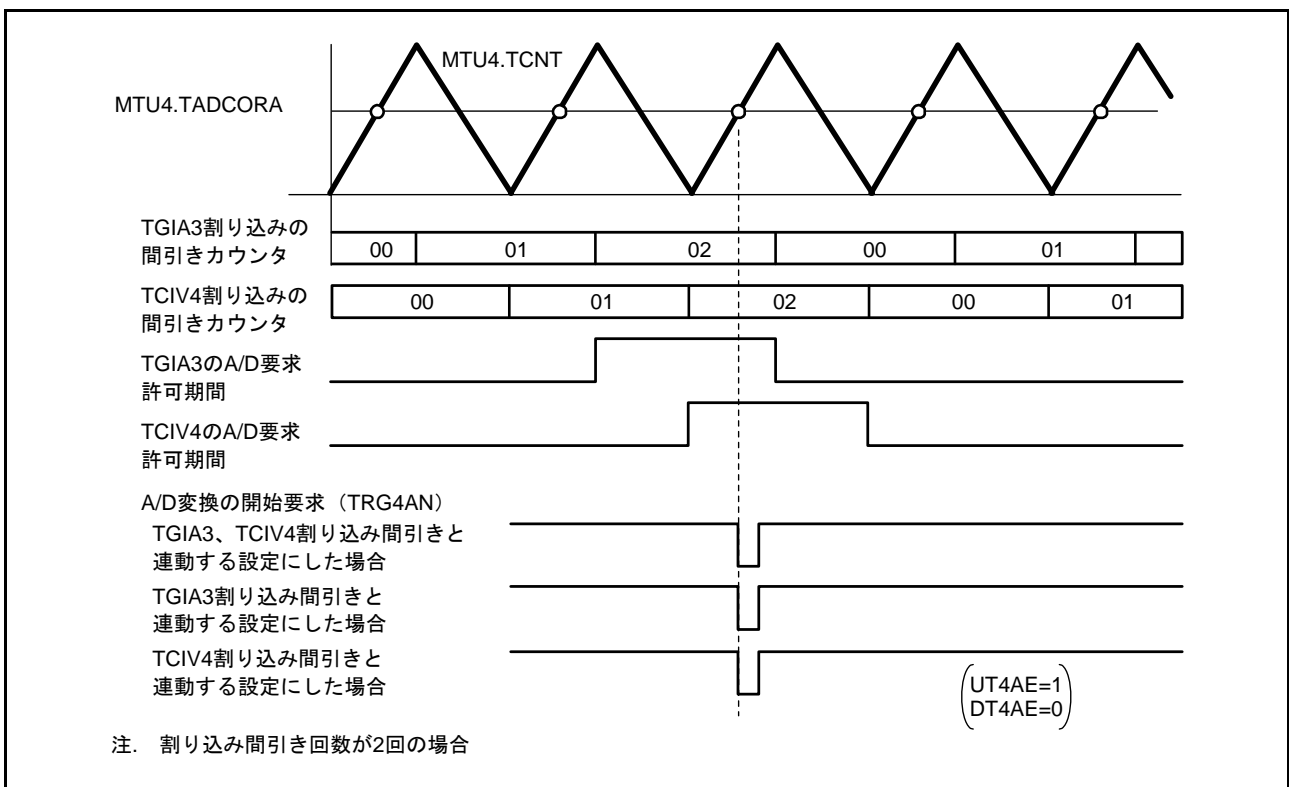


図 21.76 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (TCNT のアップカウント時に TRG4AN 出力を許可したとき)

21.3.10 外部パルス幅測定機能

MTU5 は、最大 3 本の外部パルス幅を測定することができます。

(1) 外部パルス幅測定の設定手順例

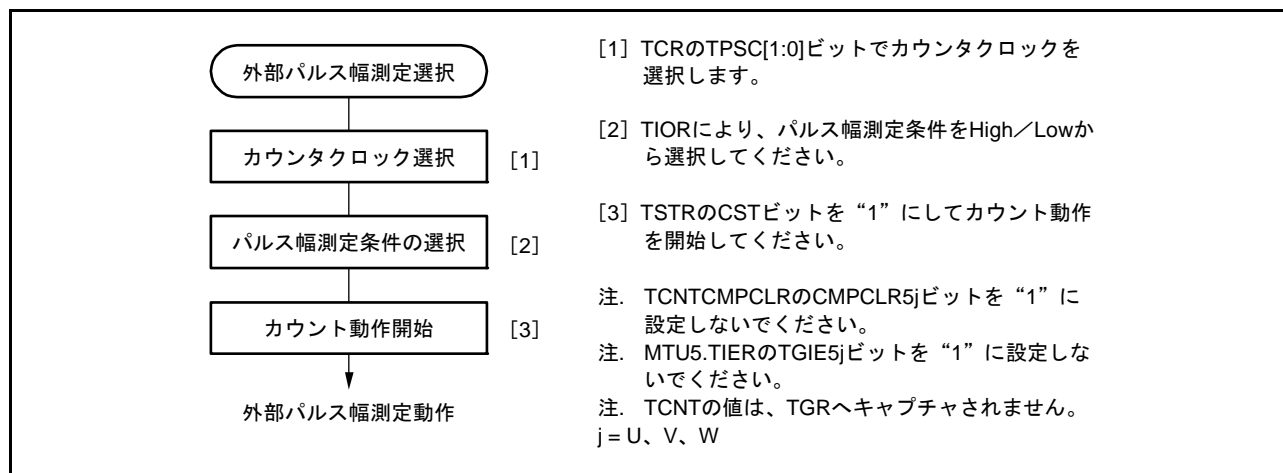


図 21.77 外部パルス幅測定の設定手順例

(2) 外部パルス幅測定動作例

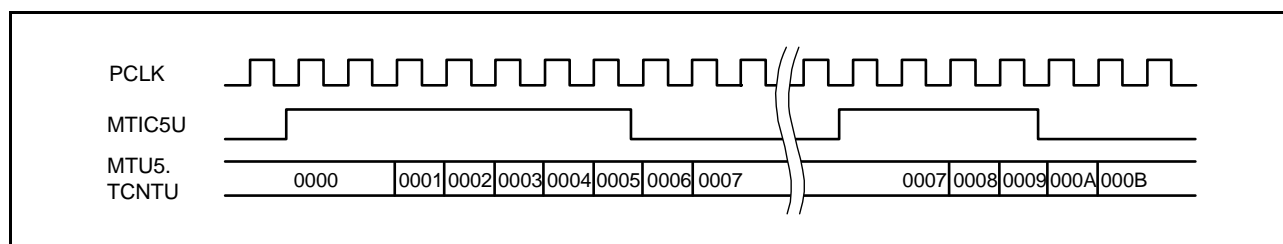


図 21.78 外部パルス幅測定動作例 (High 幅測定)

21.3.11 デッドタイム補償機能

出力波形の遅れを測定してデューティに反映することで、外部パルス幅測定機能を相補 PWM モード動作時の PWM 出力波形に対するデッドタイム補償機能として使用することができます。

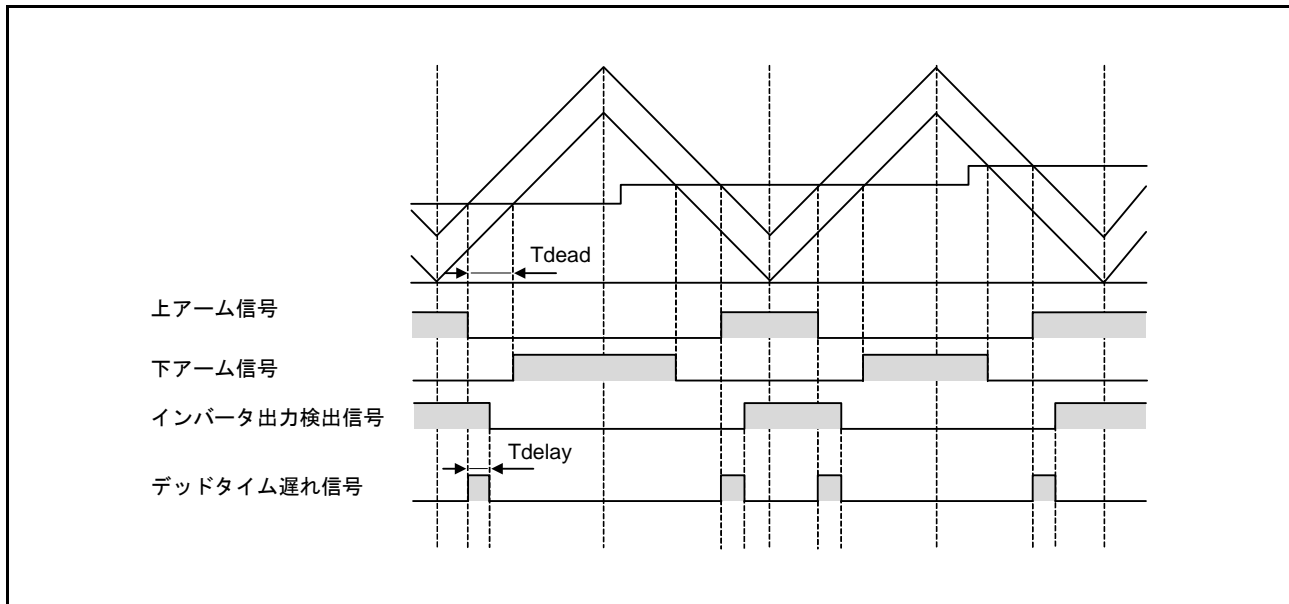


図 21.79 相補 PWM モード動作時のデッドタイム遅れ

(1) デッドタイム補償機能の設定手順例

MTU5の3本のカウンタを使用したデッドタイム補償機能の設定手順例を図21.80に示します。

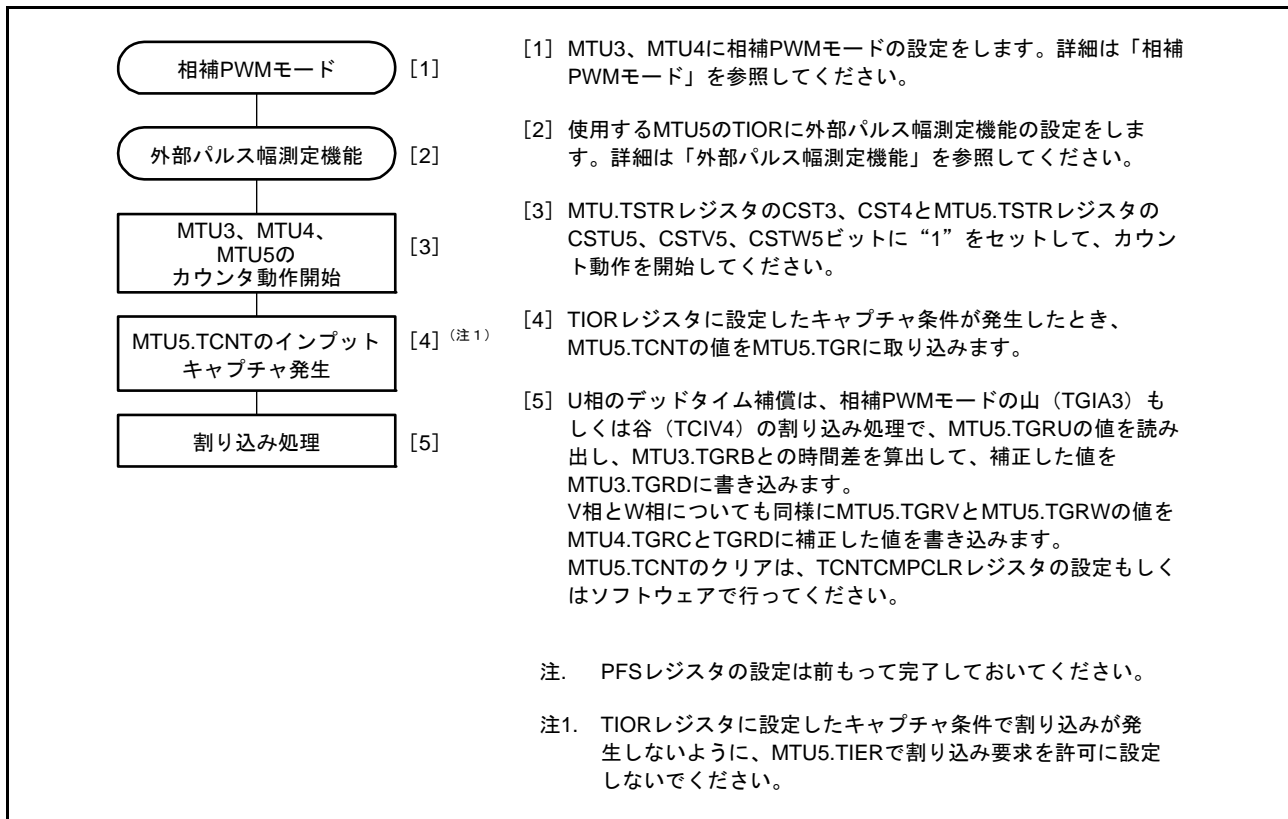


図 21.80 デッドタイム補償機能の設定手順例

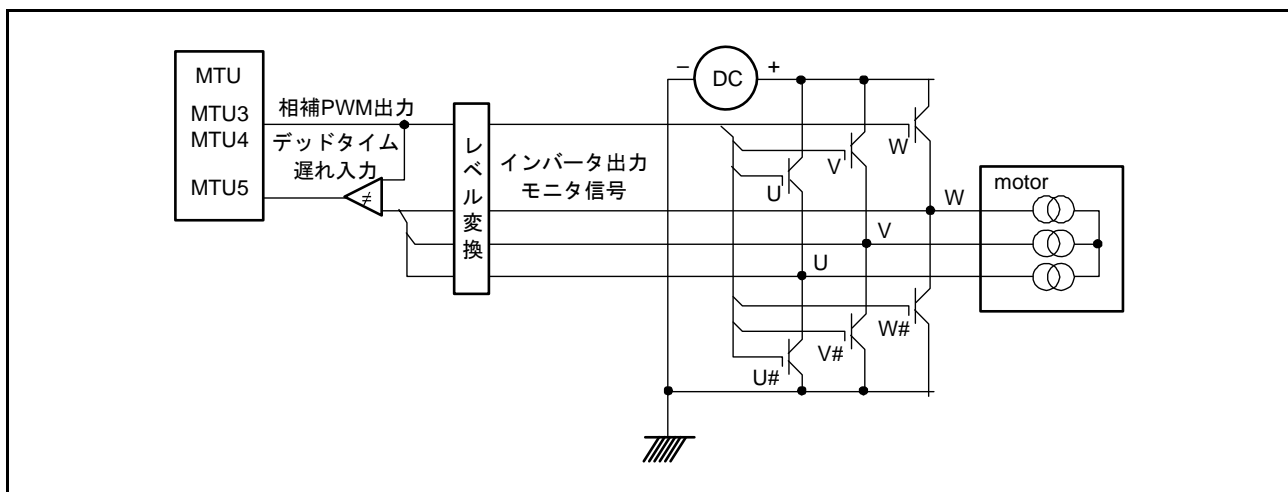


図 21.81 モータ制御回路構成例

(2) 相補 PWM の「山/谷」での TCNT キャプチャ動作

相補 PWM モード動作時、MTU5.TCNT の値を「山、谷、山谷」で MTU5.TGR へ保存します。MTU5.TGR に取り込むタイミングの切り替えは、TIOR レジスタで選択します。

図 21.82 に相補 PWM モード時の「山/谷」での MTU5.TCNT キャプチャ動作を示します。

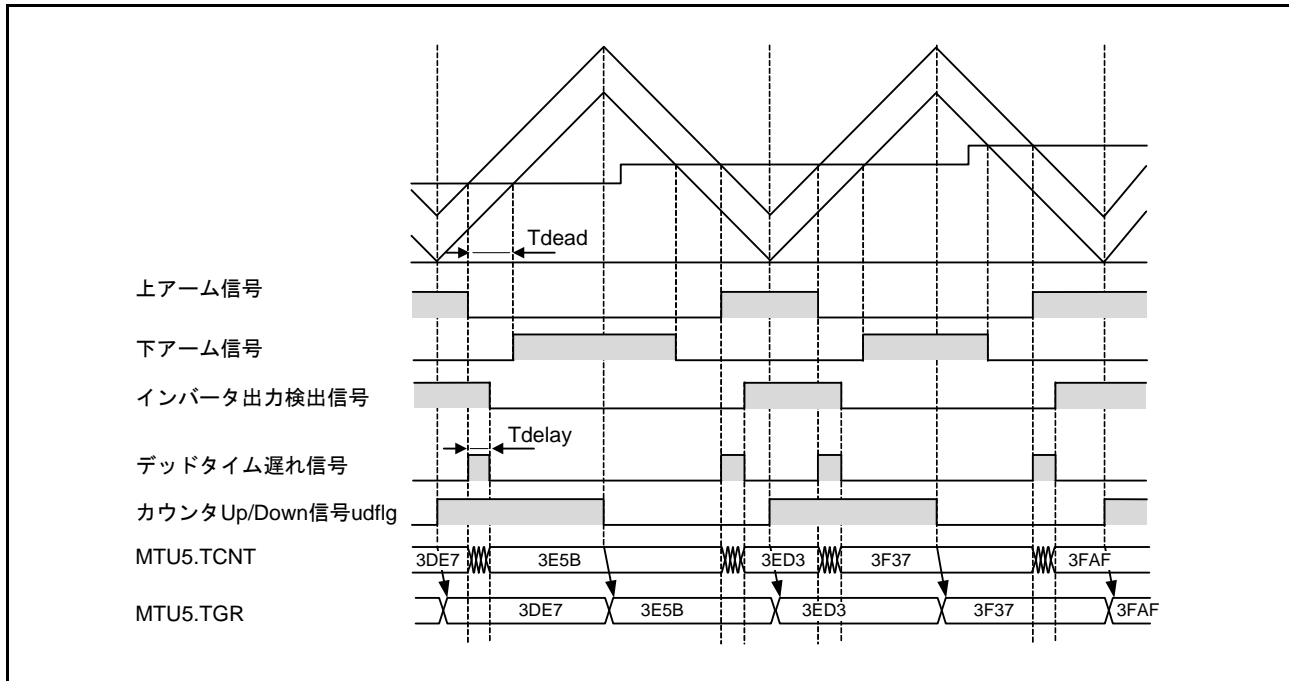


図 21.82 相補 PWM モード時の「山/谷」での MTU5.TCNT キャプチャ動作

21.3.12 ノイズフィルタ機能

MTU の入力キャプチャ入力端子または外部パルス入力端子には、ノイズフィルタ機能を持っています。ノイズフィルタ機能は、入力信号をサンプリングクロックでサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

ノイズフィルタ機能は端子ごとにノイズフィルタ機能の許可/停止が設定でき、サンプリングクロックは、チャンネルごとに設定が可能です。図 21.83 にノイズフィルタのタイミングを示します。

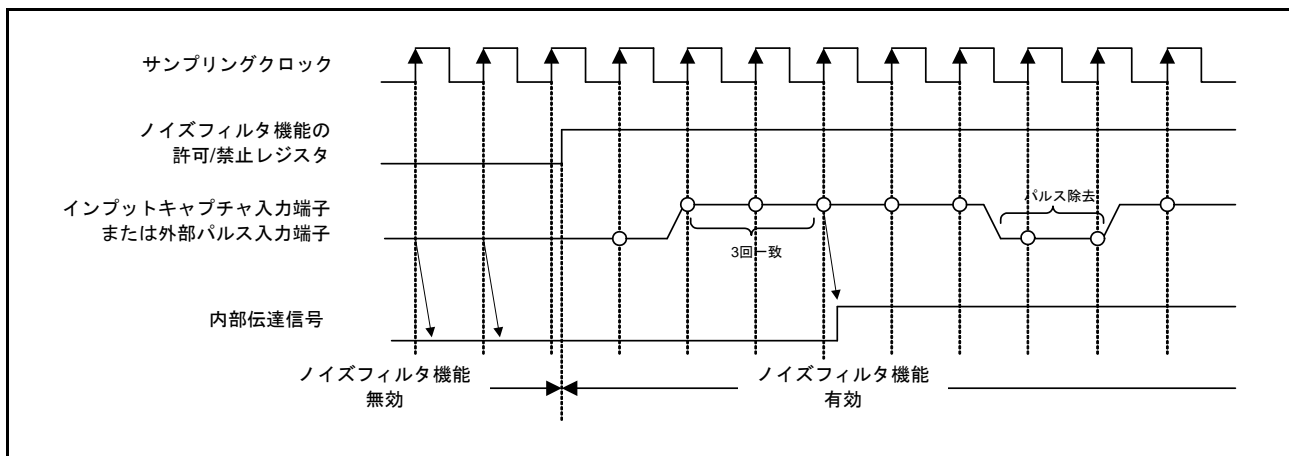


図 21.83 ノイズフィルタのタイミング

21.4 割り込み要因

21.4.1 割り込み要因と優先順位

MTU の割り込み要因には、TGR のインプットキャプチャ/コンペアマッチ、TCNT のオーバフロー、アンドフローの3種類があります。各割り込み要因は、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TIER レジスタの対応する許可/禁止ビットが“1”であれば、割り込みを要求します。チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

表 21.57 に MTU の割り込み要因の一覧を示します。

表21.57 MTU割り込み要因 (1)

チャンネル	名称	割り込み要因	DMACの起動	DTCの起動	優先順位
MTU0	TGIA0	MTU0.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能	高 ↑
	TGIB0	MTU0.TGRBのインプットキャプチャ/コンペアマッチ	不可能	可能	
	TGIC0	MTU0.TGRCのインプットキャプチャ/コンペアマッチ	不可能	可能	
	TGID0	MTU0.TGRDのインプットキャプチャ/コンペアマッチ	不可能	可能	
	TCIV0	MTU0.TCNTのオーバフロー	不可能	不可能	
	TGIE0	MTU0.TGREのコンペアマッチ	不可能	不可能	
	TGIF0	MTU0.TGRFのコンペアマッチ	不可能	不可能	
MTU1	TGIA1	MTU1.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能	↑
	TGIB1	MTU1.TGRBのインプットキャプチャ/コンペアマッチ	不可能	可能	
	TCIV1	MTU1.TCNTのオーバフロー	不可能	不可能	
	TCIU1	MTU1.TCNTのアンダフロー	不可能	不可能	
MTU2	TGIA2	MTU2.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能	
	TGIB2	MTU2.TGRBのインプットキャプチャ/コンペアマッチ	不可能	可能	
	TCIV2	MTU2.TCNTのオーバフロー	不可能	不可能	
	TCIU2	MTU2.TCNTのアンダフロー	不可能	不可能	
MTU3	TGIA3	MTU3.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能	
	TGIB3	MTU3.TGRBのインプットキャプチャ/コンペアマッチ	不可能	可能	
	TGIC3	MTU3.TGRCのインプットキャプチャ/コンペアマッチ	不可能	可能	
	TGID3	MTU3.TGRDのインプットキャプチャ/コンペアマッチ	不可能	可能	
	TCIV3	MTU3.TCNTのオーバフロー	不可能	不可能	
MTU4	TGIA4	MTU4.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能	
	TGIB4	MTU4.TGRBのインプットキャプチャ/コンペアマッチ	不可能	可能	
	TGIC4	MTU4.TGRCのインプットキャプチャ/コンペアマッチ	不可能	可能	
	TGID4	MTU4.TGRDのインプットキャプチャ/コンペアマッチ	不可能	可能	
	TCIV4	MTU4.TCNTのオーバフロー/アンダフロー	不可能	可能	
MTU5	TGIU5	MTU5.TGRUのインプットキャプチャ/コンペアマッチ	不可能	可能	低
	TGIV5	MTU5.TGRVのインプットキャプチャ/コンペアマッチ	不可能	可能	
	TGIW5	MTU5.TGRWのインプットキャプチャ/コンペアマッチ	不可能	可能	

注. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチの発生により、TIER レジスタの TGIE ビットが“1”であれば、割り込みを要求します。MTU には、MTU0 に 6 本、MTU3、MTU4 に各 4 本、MTU1、MTU2 に各 2 本、MTU5 に各 3 本、計 21 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TIER の TCIEV ビットが“1”であれば、割り込みを要求します。MTU には、各チャンネルに 1 本、計 5 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TIER レジスタの TCIEU ビットが“1”であれば、割り込みを要求します。MTU には、MTU1、MTU2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

21.4.2 DTC/DMAC の起動

(1) DTC の起動

各チャンネルの TGR のインプットキャプチャ/コンペアマッチ割り込み、MTU4 のオーバフロー割り込みによって、DTC を起動することができます。詳細は「17. データトランスファコントローラ (DTCa)」を参照してください。

MTU では、MTU0、MTU3 が各 4 本、MTU1、MTU2 が各 2 本、MTU4 が 5 本、MTU5 が 3 本、計 20 本のインプットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みを DTC の起動要因とすることができます。

(2) DMAC の起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「16. DMA コントローラ (DMACA)」を参照してください。

MTU では、MTU0 ~ MTU4 の各チャンネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

MTU による DMAC 起動時は、DMAC が内部バス権を要求するときに起動要因をクリアします。したがって、内部バスの状態によっては、起動要因がクリアされても DMAC 転送が開始待ち状態になる期間が発生します。

21.4.3 A/D コンバータの起動

MTU では、次の 5 種類の方法で A/D コンバータを起動できます。

各割り込み要因と A/D 変換開始要求の対応を、表 21.58 に示します。

(1) TGRA のインプットキャプチャ/コンペアマッチと、相補 PWM モード時の MTU4.TCNT の谷での A/D コンバータの起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチによって、A/D コンバータを起動できます。また、MTU4.TIER の TTGE2 ビットを“1”にした状態で、相補 PWM モード動作をさせた場合は MTU4.TCNT が谷 (MTU4.TCNT = 0000h) になったときも A/D コンバータを起動できます。

次に示す条件で、A/D コンバータに対して A/D 変換開始要求 TRGAN を発生します。

- 各チャンネルの TGRA のインプットキャプチャ/コンペアマッチが発生したとき、TIER の TTGE ビットが“1”にされていた場合
- MTU4.TIER の TTGE2 ビットを“1”にした状態で、相補 PWM モード動作をさせ、MTU4.TCNT が谷 (MTU4.TCNT = 0000h) になった場合

これらのとき A/D コンバータ側で MTU の変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2) MTU0.TCNT と MTU0.TGRE のコンペアマッチによる A/D コンバータの起動

MTU0.TCNT と MTU0.TGRE のコンペアマッチによって、A/D コンバータを起動できます。

MTU0.TCNT と MTU0.TGRE のコンペアマッチの発生により、A/D 変換開始要求 TRG0EN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0EN が選択されていれば、A/D 変換が開始されます。

(3) MTU0.TCNT と MTU0.TGRF のコンペアマッチによる A/D コンバータの起動

MTU0.TCNT と MTU0.TGRF のコンペアマッチによって、A/D コンバータを起動できます。

MTU0.TCNT と MTU0.TGRF のコンペアマッチの発生により、A/D 変換開始要求 TRG0FN を発生します。

このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0FN が選択されていれば、A/D 変換が開始されます。

(4) MTU0.TGRA, MTU0.TGRB のインプットキャプチャ/コンペアマッチによる A/D コンバータの起動

MTU0.TCNT と MTU0.TGRA, MTU0.TGRB のインプットキャプチャ/コンペアマッチによって、A/D コンバータを起動できます。

MTU0.TCNT と MTU0.TGRA, MTU0.TGRB のインプットキャプチャ/コンペアマッチの発生により、A/D 変換開始要求 TRG0AN, TRG0BN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0AN, TRG0BN が選択されていれば、A/D 変換が開始されます。

(5) A/D 変換開始要求ディレイド機能による A/D コンバータの起動

A/D 変換開始要求コントロールレジスタ (TADCR) の UT4AE、DT4AE、UT4BE、DT4BE ビットを“1”にした場合、TADCORA、TADCORB と MTU4.TCNT の一致によって、TRG4AN、TRG4BN を発生し、A/D コンバータを起動できます。詳細は「21.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN または TRG4BN が発生したとき、TRG4ABN が発生します。A/D コンバータ側で MTU の変換開始トリガ TRG4ABN が選択されていれば、A/D 変換が開始されます。

表 21.58 各割り込み要因と A/D 変換開始要求の対応

対象	A/D コンバータ起動要因	A/D 変換開始要求
MTU0.TGRA と MTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRGAN
MTU1.TGRA と MTU1.TCNT		
MTU2.TGRA と MTU2.TCNT		
MTU3.TGRA と MTU3.TCNT		
MTU4.TGRA と MTU4.TCNT		
MTU4.TCNT	相補 PWM モード時の MTU4.TCNT の谷	
MTU0.TGRA と MTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRG0AN
MTU0.TGRB と MTU0.TCNT		TRG0BN
MTU0.TGRE と MTU0.TCNT	コンペアマッチ	TRG0EN
MTU0.TGRF と MTU0.TCNT		TRG0FN
TADCORA と MTU4.TCNT または TADCORB と MTU4.TCNT		TRG4ABN

21.5 動作タイミング

21.5.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TGI 割り込みのカウントタイミングを図 21.84、図 21.85 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 21.86 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 21.87 に示します。

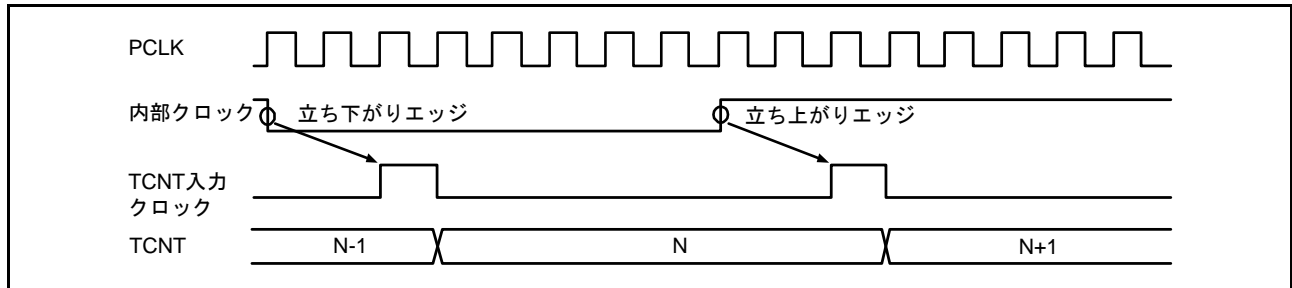


図 21.84 内部クロック動作時のカウントタイミング (MTU0 ~ MTU4)

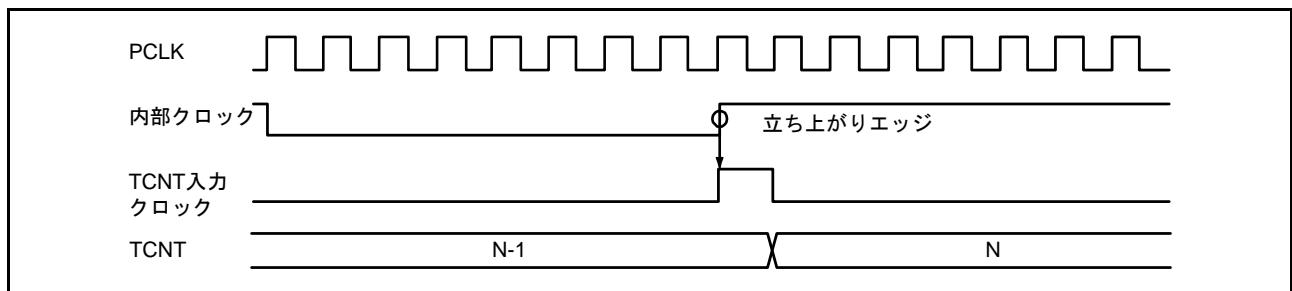


図 21.85 内部クロック動作時のカウントタイミング (MTU5)

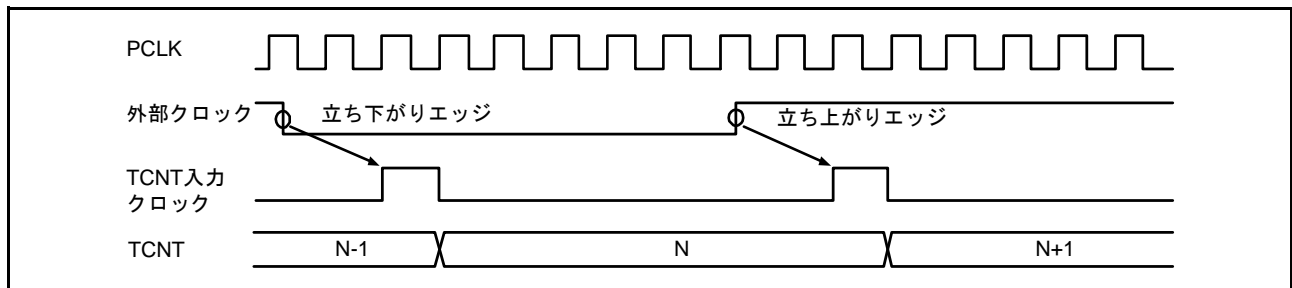


図 21.86 外部クロック動作時のカウントタイミング (MTU0 ~ MTU4)

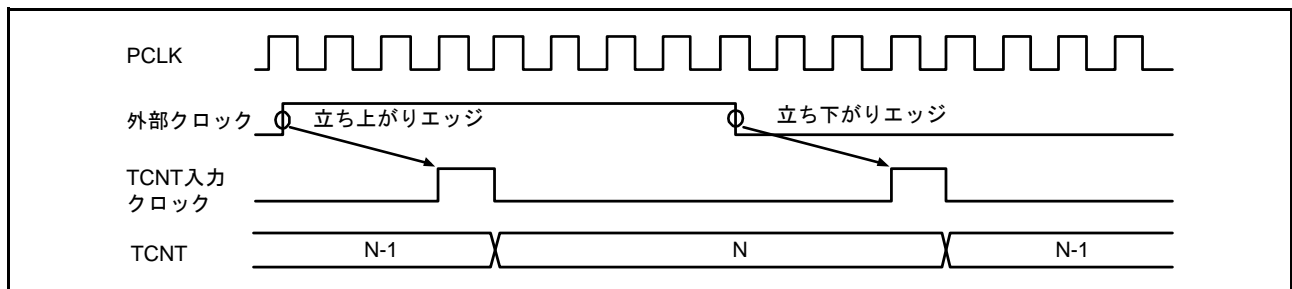


図 21.87 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOCR レジスタで設定した出力値がアウトプットコンペア出力端子（MTIOC 端子）に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 21.88 に、アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）を図 21.89 に示します。

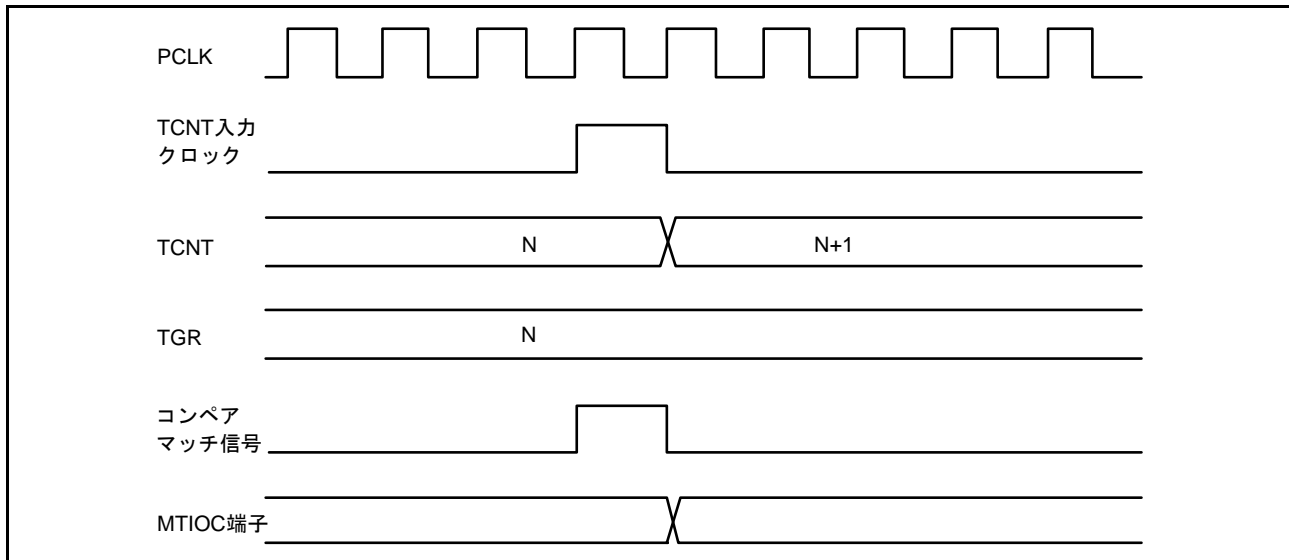


図 21.88 アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）

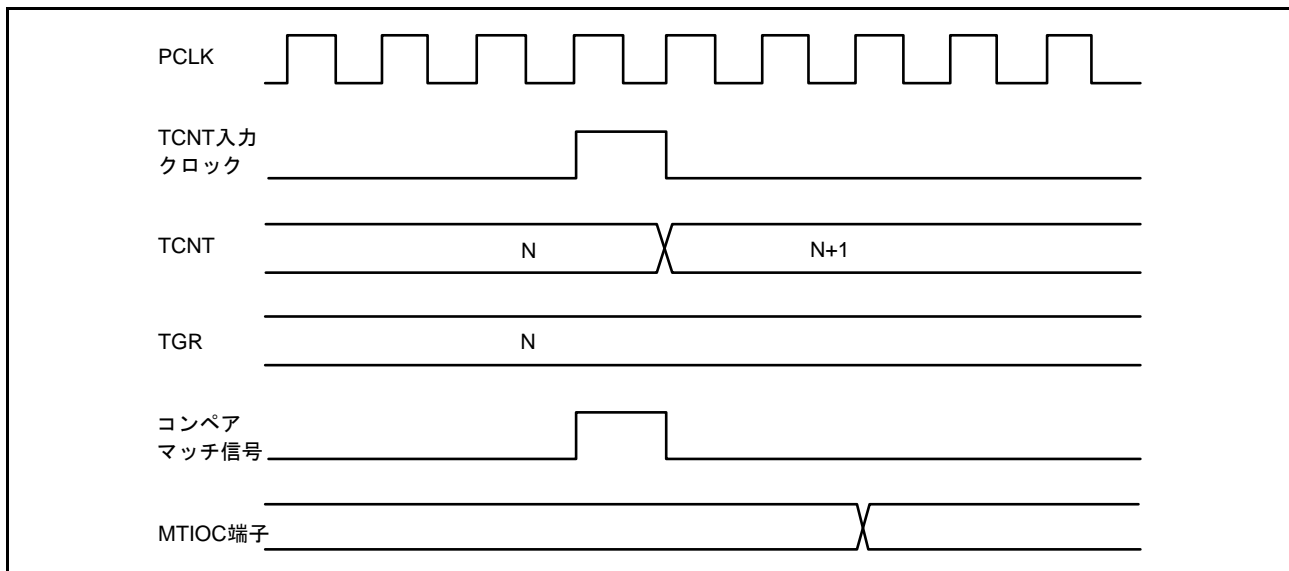


図 21.89 アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 21.90 に示します。

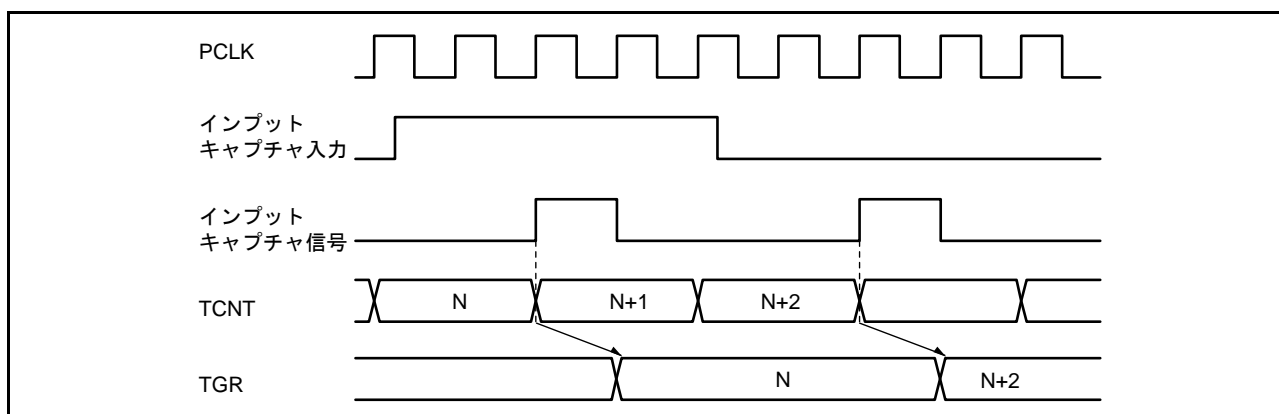


図 21.90 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インพุットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 21.91、図 21.92 に示します。

インพุットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 21.93 に示します。

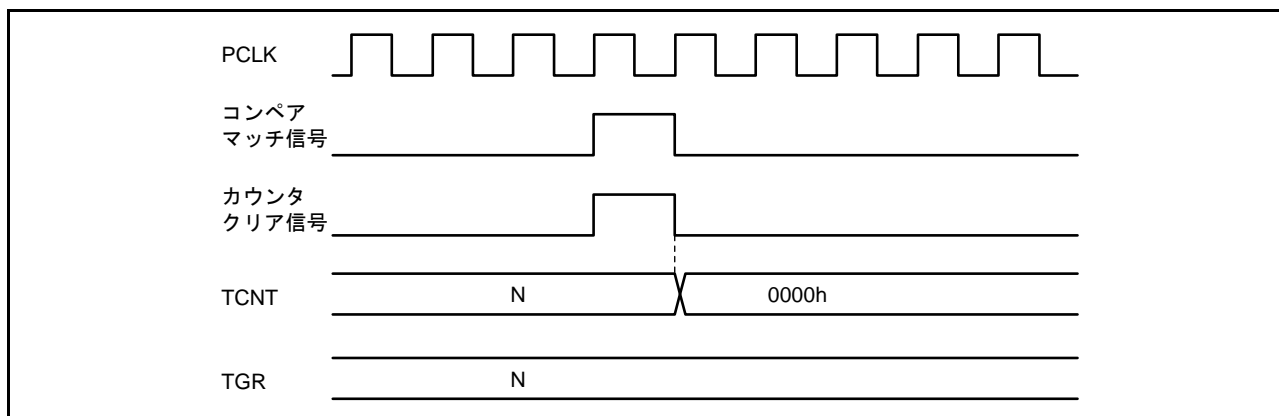


図 21.91 カウンタクリアタイミング (コンペアマッチ) (MTU0 ~ MTU4)

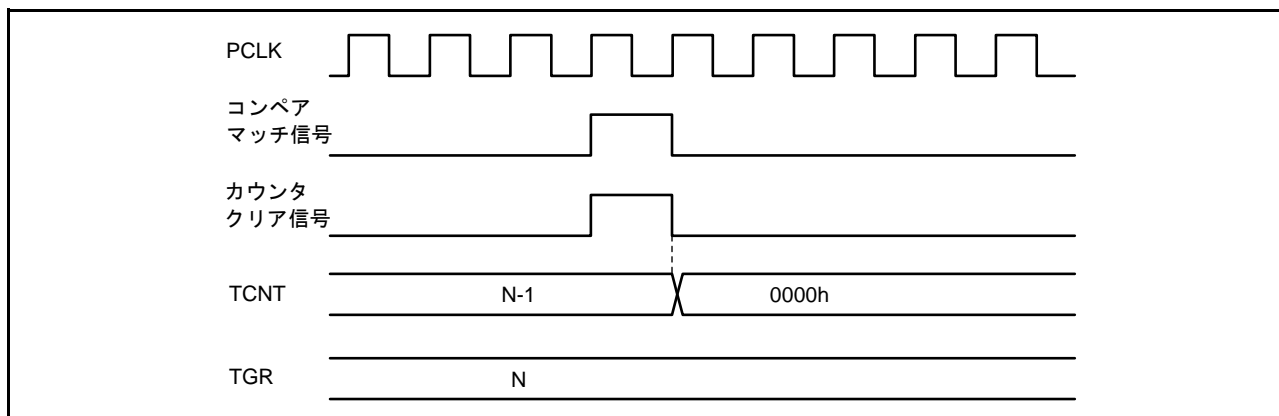


図 21.92 カウンタクリアタイミング (コンペアマッチ) (MTU5)

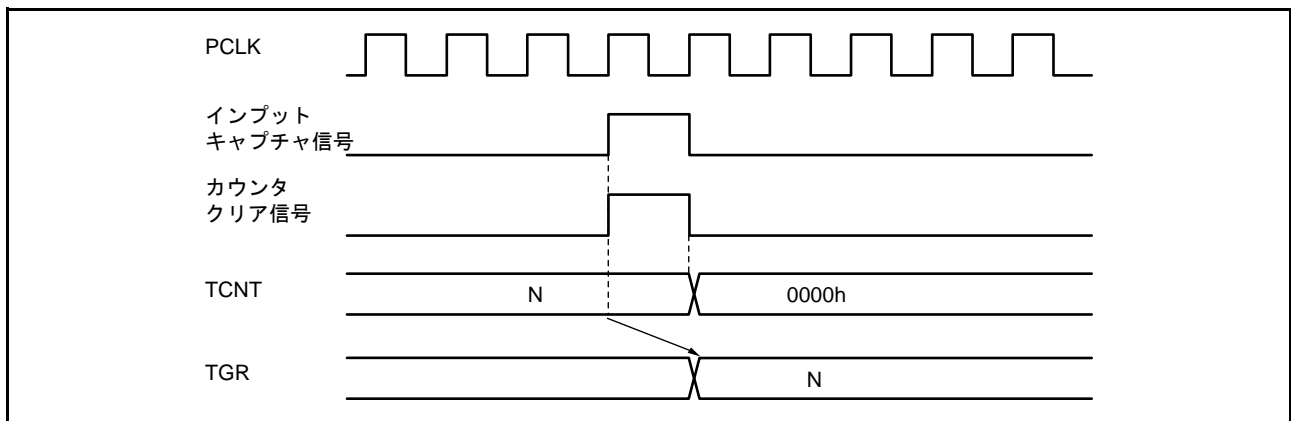


図 21.93 カウンタクリアタイミング (インプットキャプチャ) (MTU0 ~ MTU5)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 21.94 ~ 図 21.96 に示します。

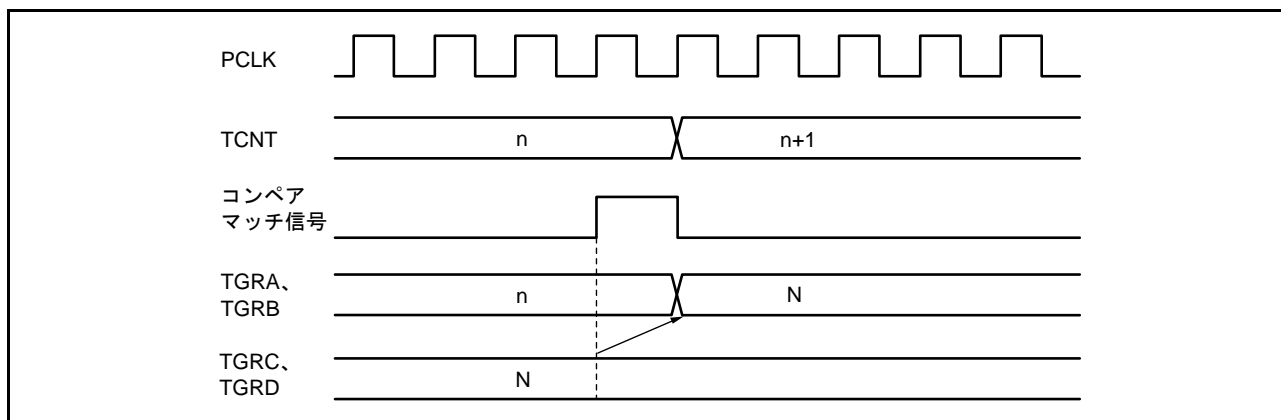


図 21.94 バッファ動作タイミング (コンペアマッチ)

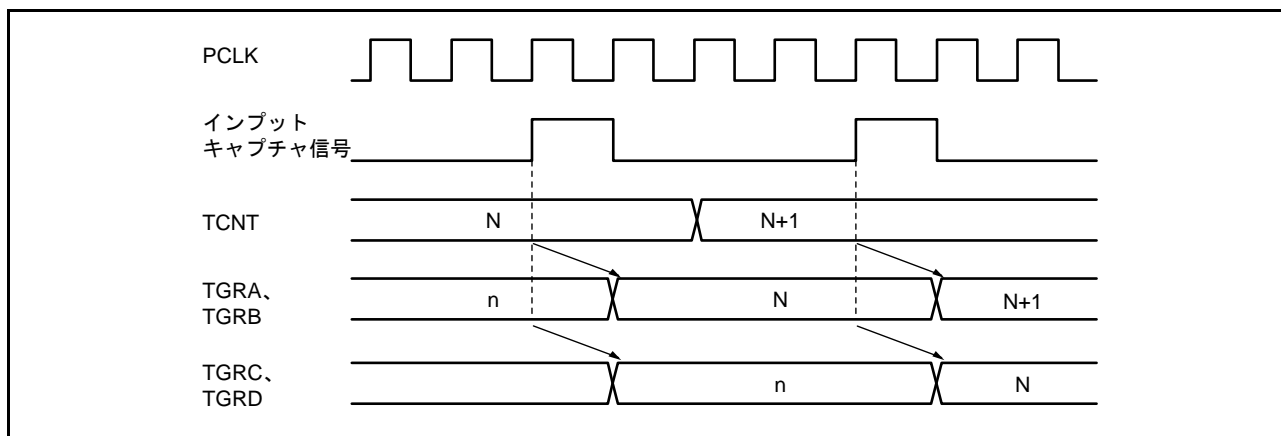


図 21.95 バッファ動作タイミング (インพุットキャプチャ)

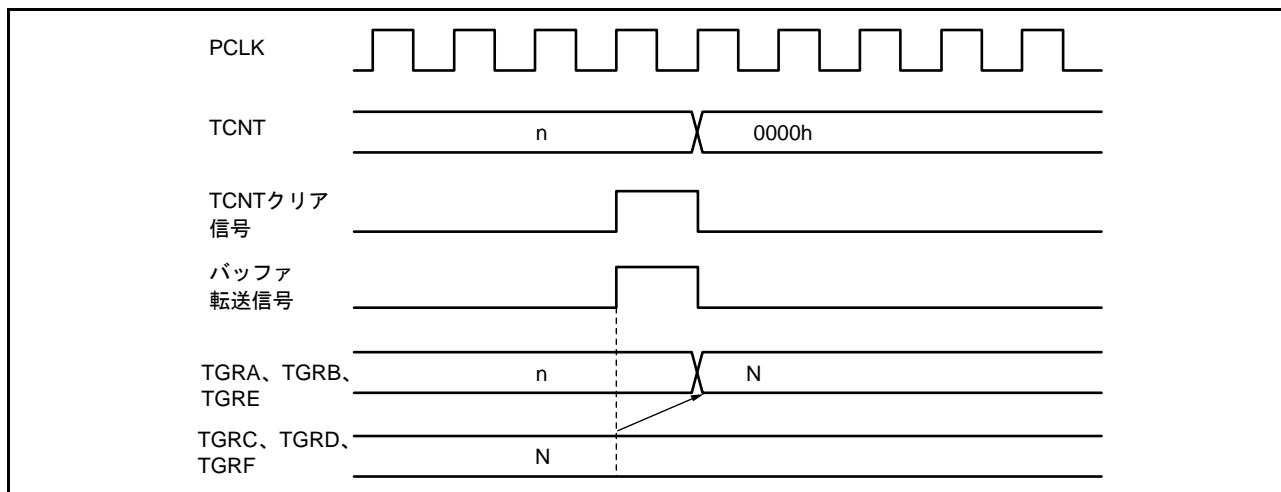


図 21.96 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 21.97 ~ 図 21.99 に示します。

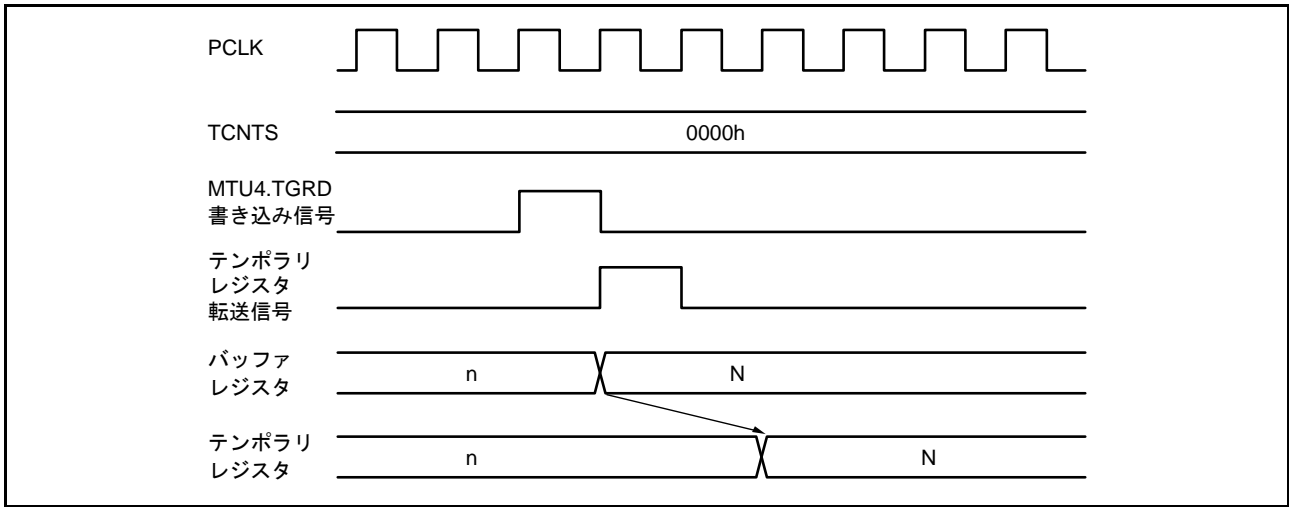


図 21.97 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 停止中)

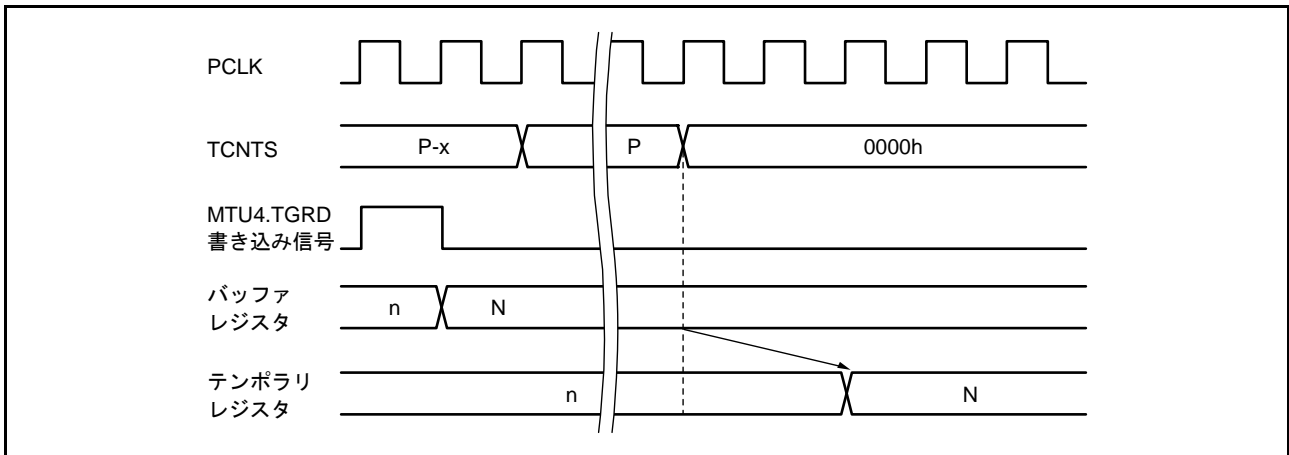


図 21.98 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 動作中)

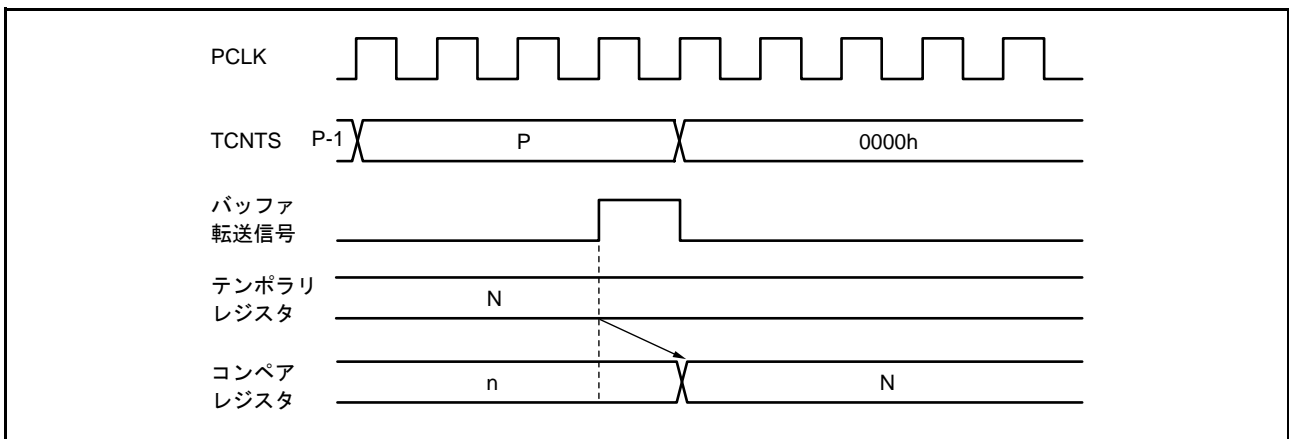


図 21.99 テンポラリレジスタからコンペアレジスタへの転送タイミング

21.5.2 割り込み信号タイミング

(1) コンペアマッチ時の TGI 割り込みタイミング

コンペアマッチの発生による TGI 割り込み要求信号のタイミングを図 21.100、図 21.101 に示します。

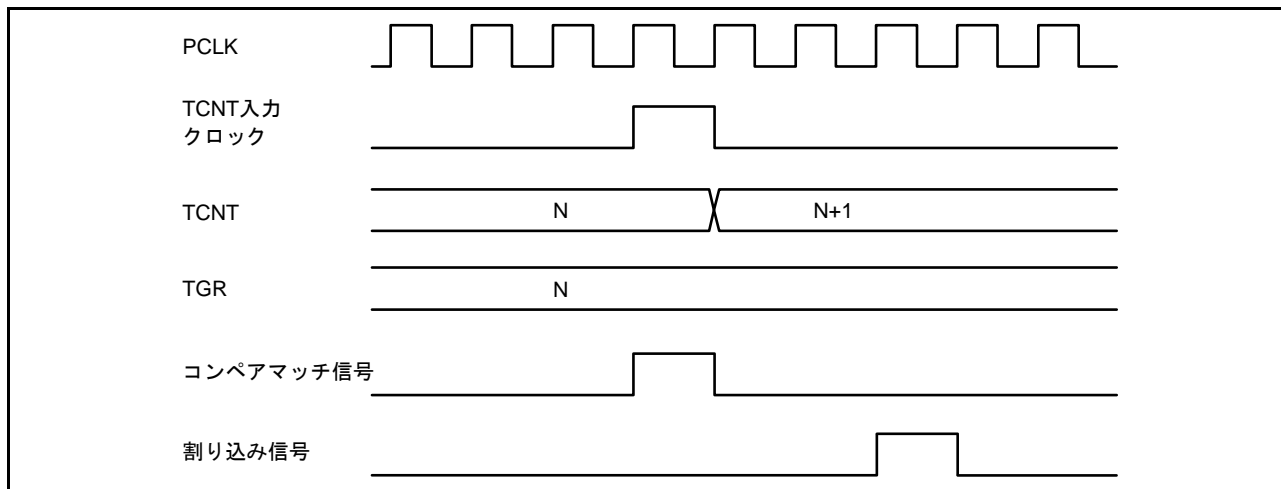
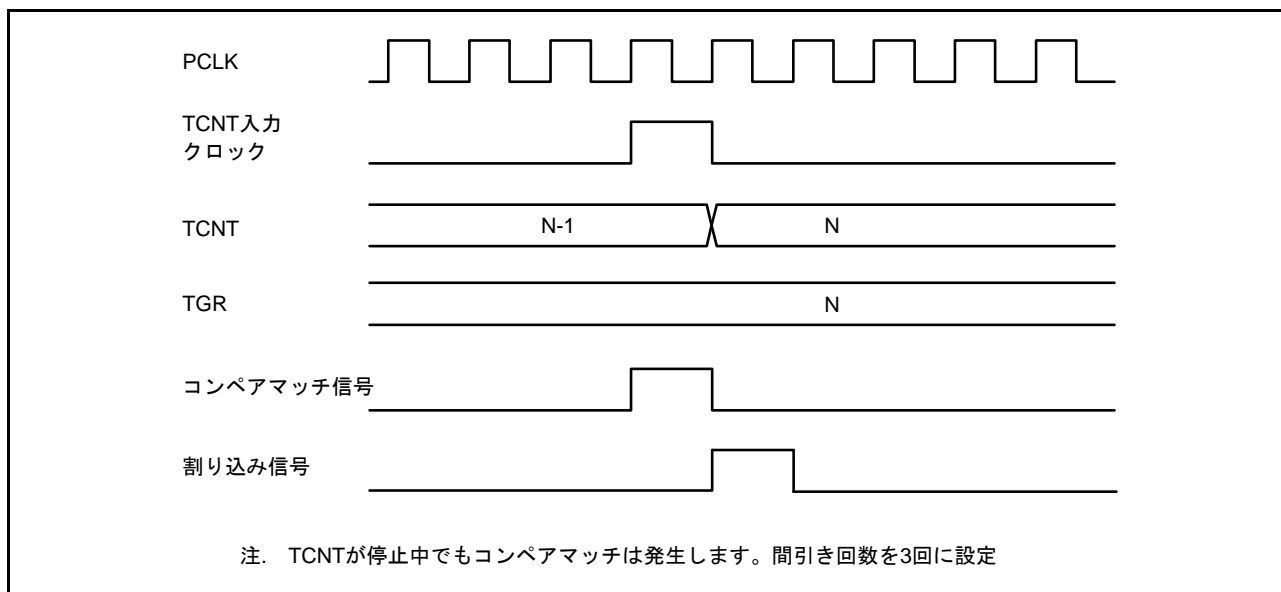


図 21.100 TGI 割り込みタイミング (コンペアマッチ) (MTU0 ~ MTU4)



注. TCNTが停止中でもコンペアマッチは発生します。間引き回数を3回に設定

図 21.101 TGI 割り込みタイミング (コンペアマッチ) (MTU5)

(2) インพุットキャプチャ時の TGI 割り込みタイミング

インพุットキャプチャの発生による TGI 割り込み要求信号のタイミングを図 21.102、図 21.103 に示します。

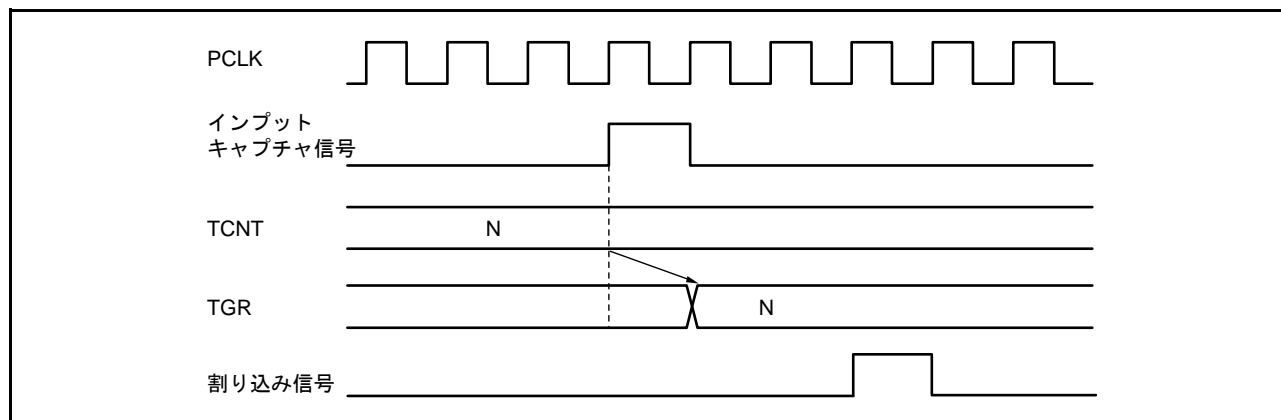


図 21.102 TGI 割り込みタイミング (インพุットキャプチャ) (MTU0 ~ MTU4)

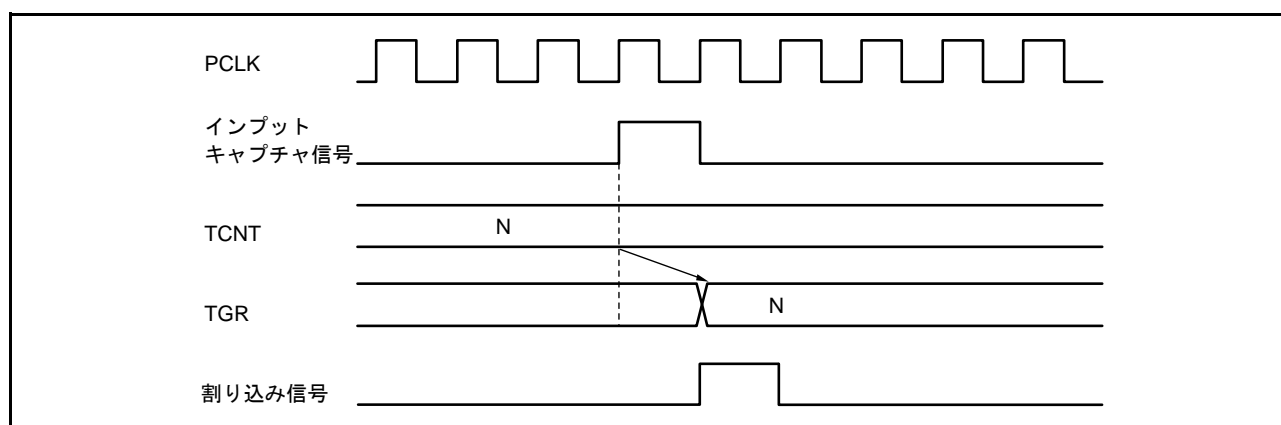


図 21.103 TGI 割り込みタイミング (インพุットキャプチャ) (MTU5)

(3) TCIV/TCIU 割り込みタイミング

オーバーフローの発生による TCIV 割り込み要求信号のタイミングを図 21.104 に示します。
アンダフローの発生による TCIU 割り込み要求信号のタイミングを図 21.105 に示します。

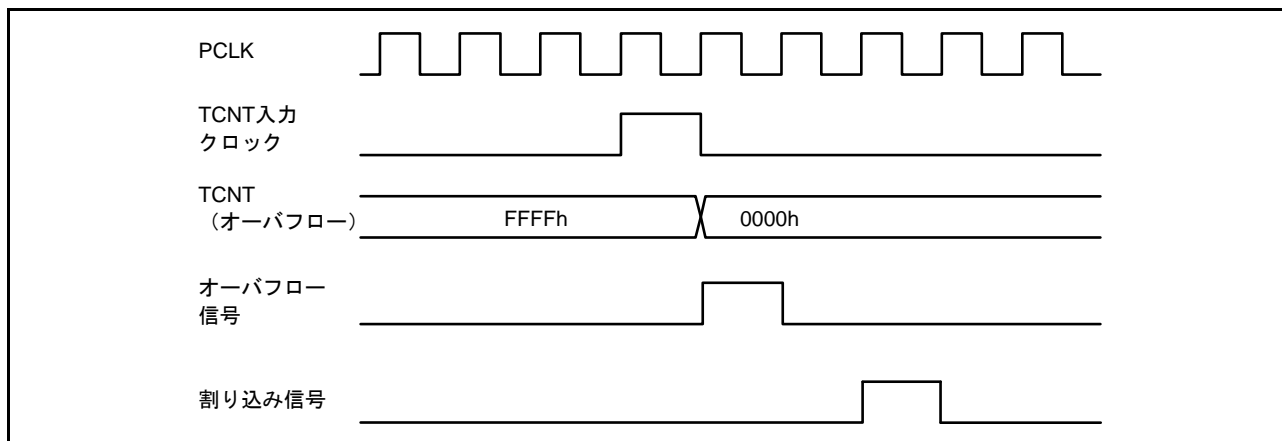


図 21.104 TCIV 割り込みタイミング

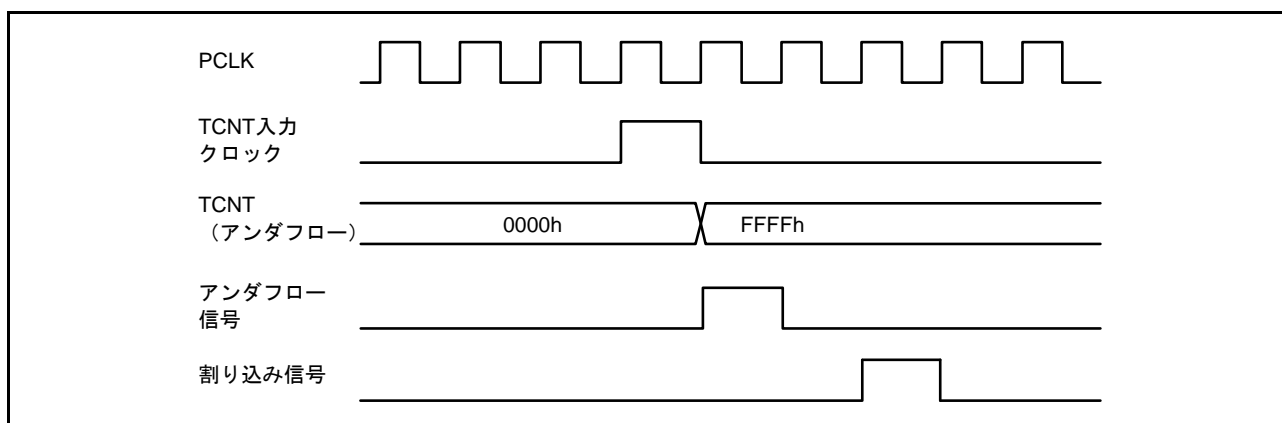


図 21.105 TCIU 割り込みタイミング

21.6 使用上の注意事項

21.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、MTUの動作禁止/許可を設定することが可能です。初期値では、MTUの動作は停止します。モジュールクロックストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

21.6.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は $1.5PCLK$ 以上、両エッジの場合は $2.5PCLK$ 以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2本の入力クロックの位相差およびオーバーラップはそれぞれ $1.5PCLK$ 以上、パルス幅は $2.5PCLK$ 以上必要です。位相計数モードの入力クロックの条件を図 21.106 に示します。

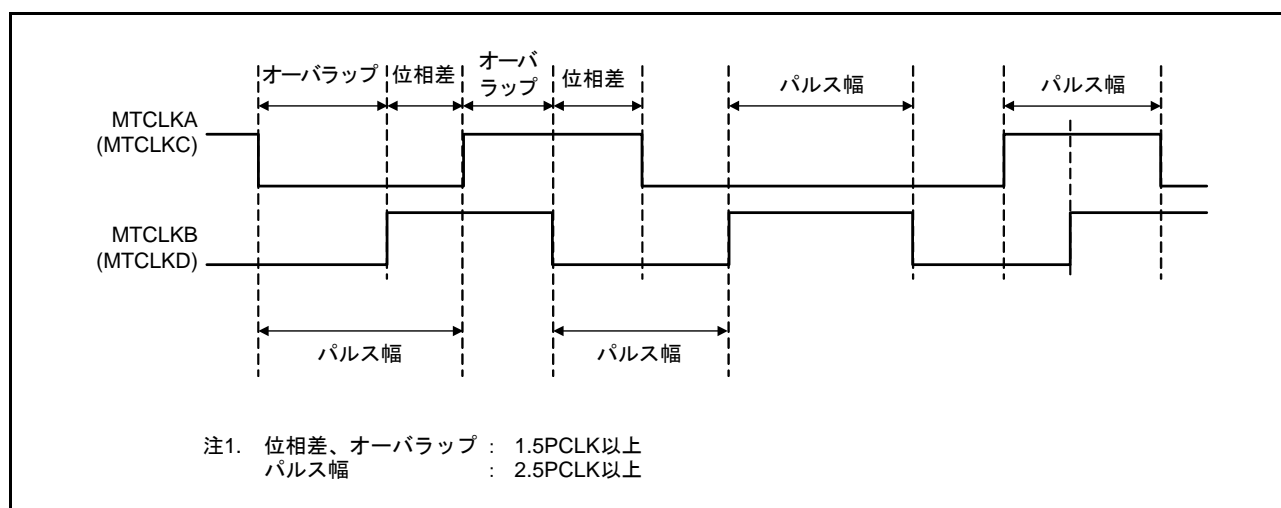


図 21.106 位相計数モード時の位相差、オーバーラップ、およびパルス幅

21.6.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはTGRの値と一致した最後のステータ（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

- MTU0～4の場合

$$f = \frac{\text{CNTCLK}}{(N+1)}$$

- MTU5の場合

$$f = \frac{\text{CNTCLK}}{N}$$

f : カウンタ周波数

CNTCLK : TCRのTPSC[2:0]ビットで設定したカウンタクロックの周波数

N : TGRの設定値

21.6.4 TCNTの書き込みとクリアの競合

TCNTの書き込みサイクル中で、カウンタクリア信号が発生すると、TCNTへの書き込みは行われずに、TCNTのクリアが優先されます。

このタイミングを図21.107に示します。

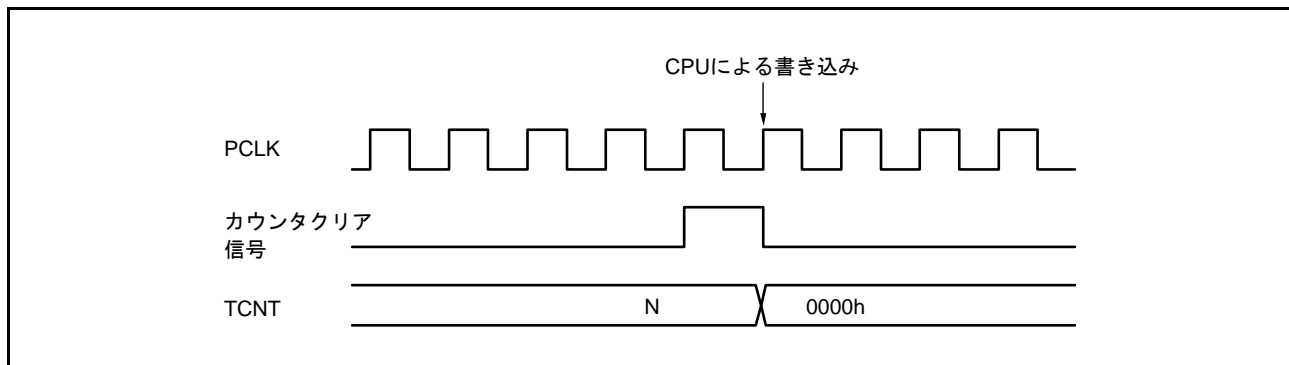


図 21.107 TCNTの書き込みとカウンタクリアの競合

21.6.5 TCNT の書き込みとカウントアップの競合

TCNT の書き込みサイクル中にカウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 21.108 に示します。

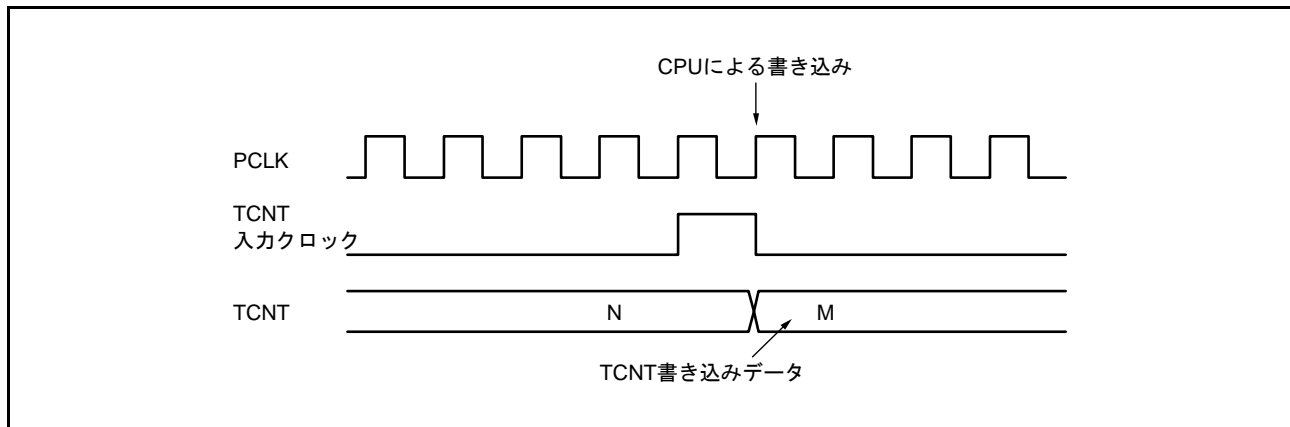


図 21.108 TCNT の書き込みとカウントアップの競合

21.6.6 TGR の書き込みとコンペアマッチの競合

TGR の書き込みサイクル中にコンペアマッチが発生した場合、TGR の書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 21.109 に示します。

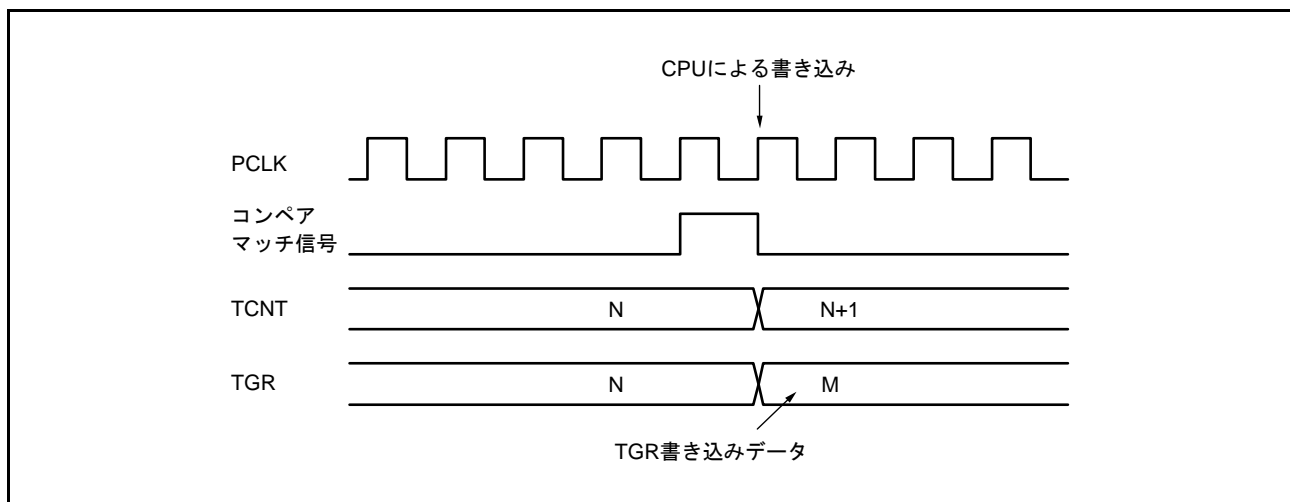


図 21.109 TGR の書き込みとコンペアマッチの競合

21.6.7 バッファレジスタの書き込みとコンペアマッチの競合

TGR の書き込みサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 21.110 に示します。

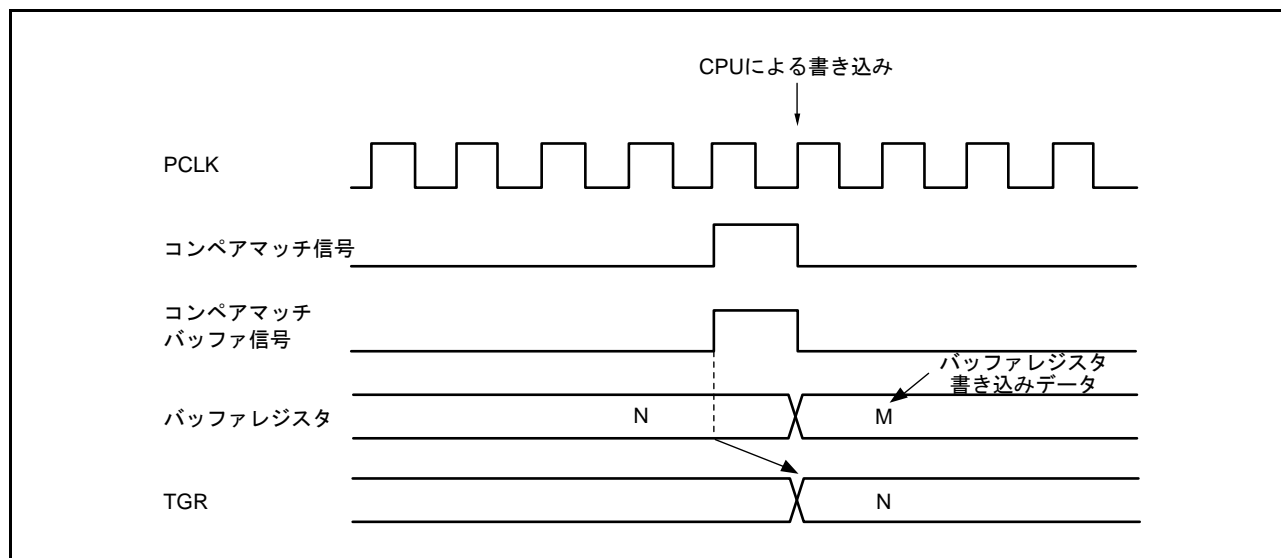


図 21.110 バッファレジスタの書き込みとコンペアマッチの競合

21.6.8 バッファレジスタの書き込みと TCNT クリアの競合

バッファ転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR の書き込みサイクル中に TCNT クリアが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 21.111 に示します。

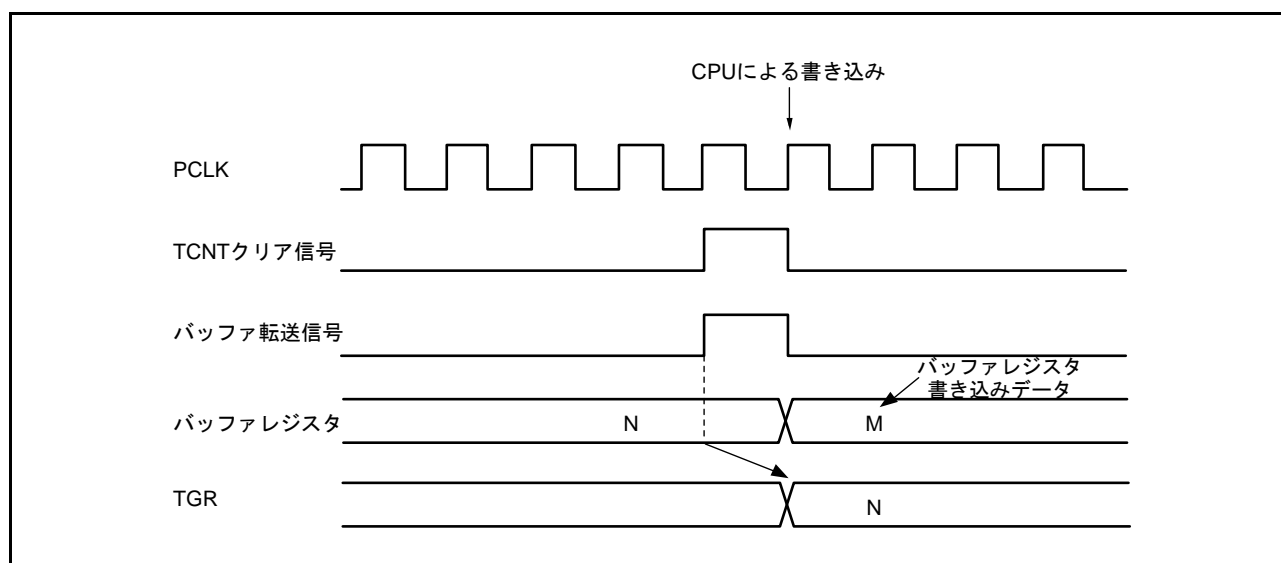


図 21.111 バッファレジスタの書き込みと TCNT クリアの競合

21.6.9 TGR の読み出しとインプットキャプチャの競合

TGR の読み出しサイクル中にインプットキャプチャ信号が発生すると、読み出しされるデータは、MTU0 ~ MTU5 ではインプットキャプチャ転送前のデータとなります。

このタイミングを図 21.112 に示します。

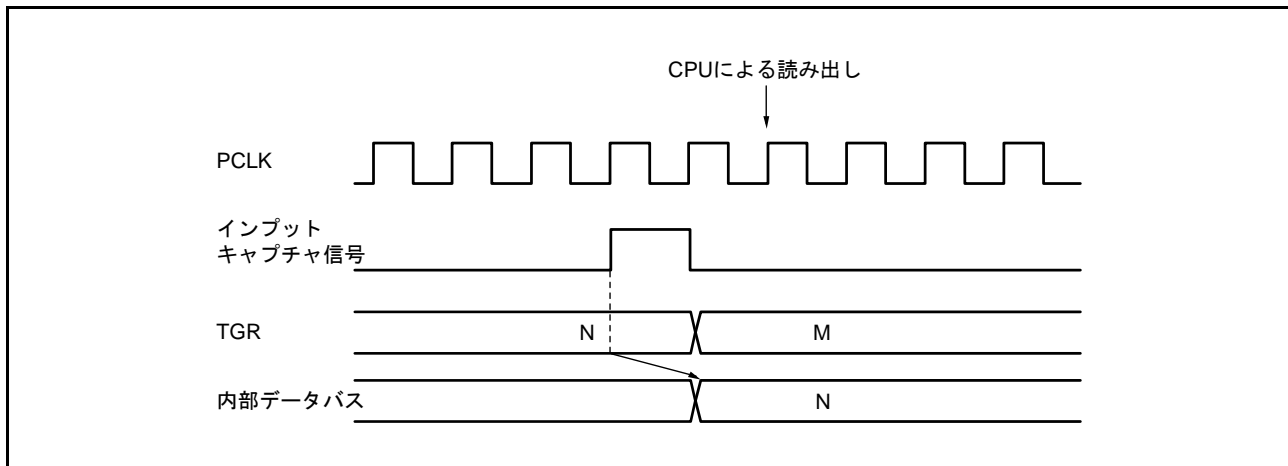


図 21.112 TGR の読み出しとインプットキャプチャの競合 (MTU0 ~ MTU5)

21.6.10 TGR の書き込みとインプットキャプチャの競合

TGR の書き込みサイクル中にインプットキャプチャ信号が発生すると、MTU0 ~ MTU4 では TGR への書き込みは行われず、インプットキャプチャが優先され、MTU5 では TGR への書き込みが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 21.113、図 21.114 に示します。

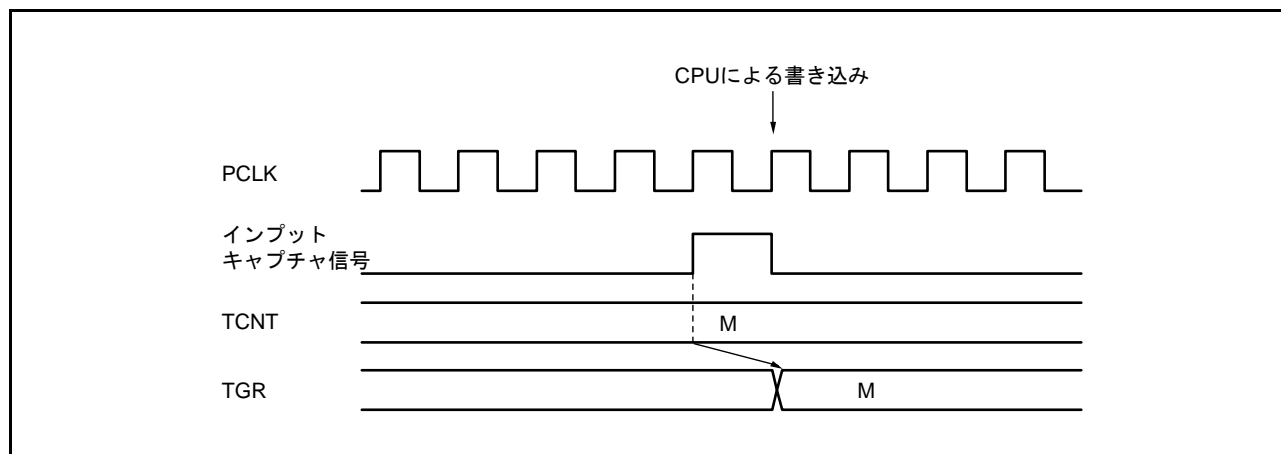


図 21.113 TGR の書き込みとインプットキャプチャの競合 (MTU0 ~ MTU4)

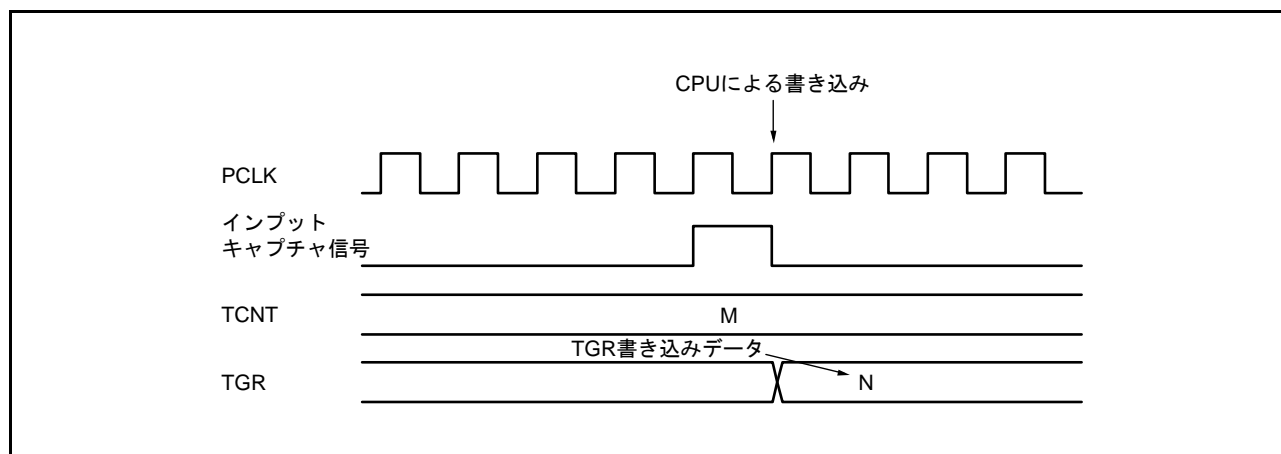


図 21.114 TGR の書き込みとインプットキャプチャの競合 (MTU5)

21.6.11 バッファレジスタの書き込みと入力キャプチャの競合

バッファの書き込みサイクル中に入力キャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 21.115 に示します。

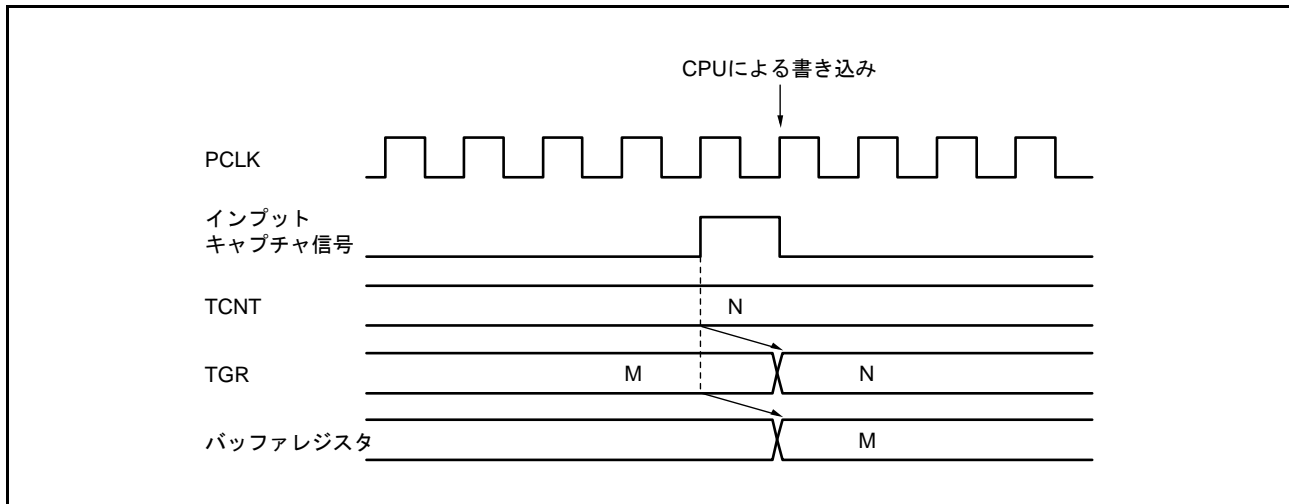


図 21.115 バッファレジスタの書き込みと入力キャプチャの競合

21.6.12 カスケード接続における MTU2.TCNT の書き込みとオーバフロー/アンダフローの競合

タイマカウンタ (MTU1.TCNT と MTU2.TCNT) をカスケード接続し、MTU1.TCNT がカウントする瞬間 (MTU2.TCNT がオーバフロー/アンダフローする瞬間) と MTU2.TCNT の書き込みが競合すると、MTU2.TCNT への書き込みが行われ、MTU1.TCNT のカウント信号が禁止されます。このとき、MTU1.TGRA がコンペアマッチレジスタとして動作し MTU1.TCNT の値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0 のインプットキャプチャ要因に MTU1.TCNT カウントクロックを選択した場合には、MTU0.TGRA ~ TGRD はインプットキャプチャ動作します。さらに MTU1.TGRB のインプットキャプチャ要因に MTU0.TGRC のコンペアマッチ/インプットキャプチャを選択した場合には、MTU1.TGRB はインプットキャプチャ動作します。

このタイミングを図 21.116 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

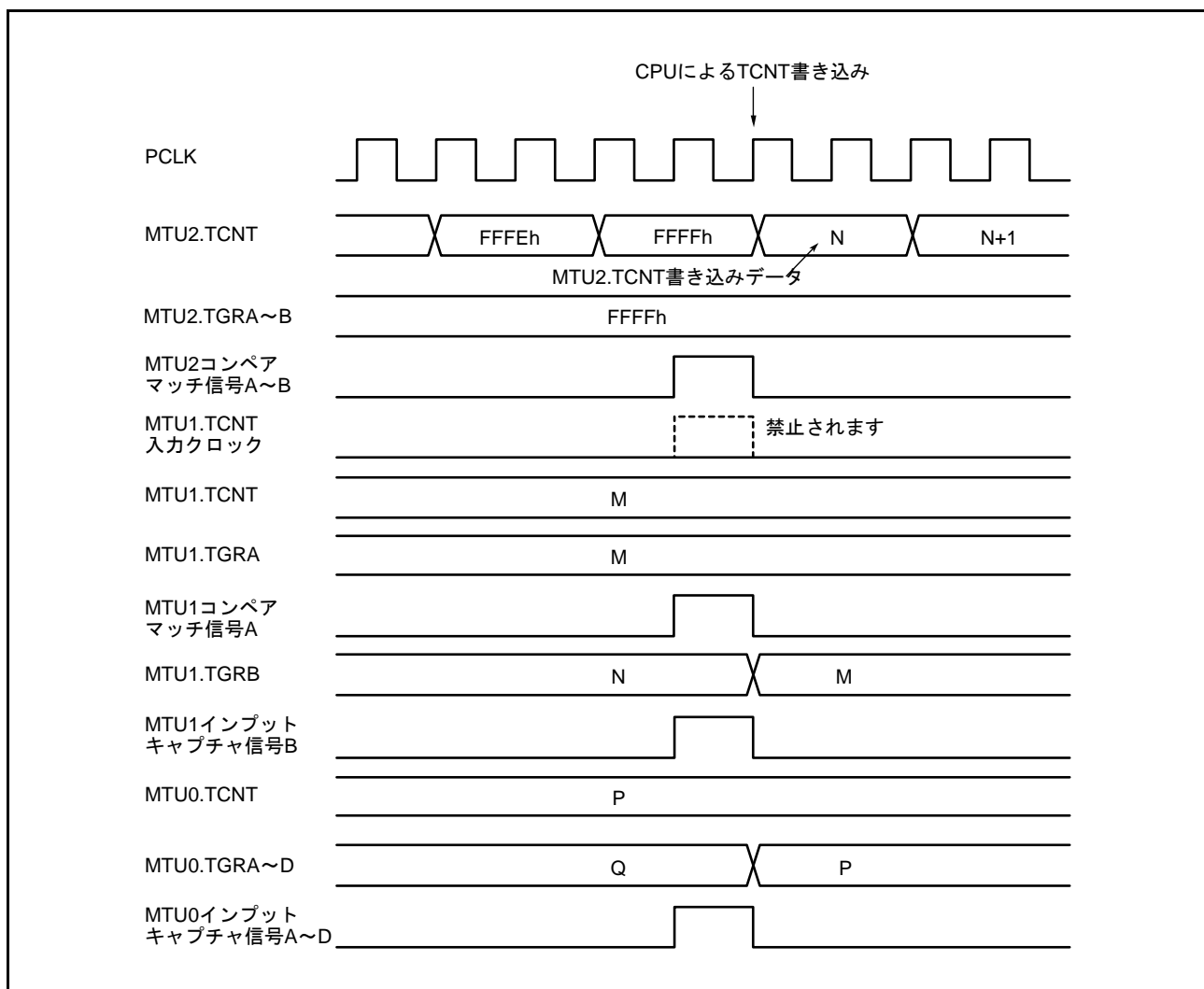


図 21.116 カスケード接続における MTU2.TCNT の書き込みとオーバフロー/アンダフローの競合

21.6.13 相補 PWM モード停止時のカウンタ値

MTU3.TCNT、MTU4.TCNT が相補 PWM モードで動作している時にカウント動作を停止すると、MTU3.TCNT はタイマデッドタイムレジスタ (TDDR) の値、MTU4.TCNT は 0000h になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 21.117 に示します。

また、他の動作モードでカウントを開始する場合は MTU3.TCNT、MTU4.TCNT にカウント初期値の設定を行ってください。

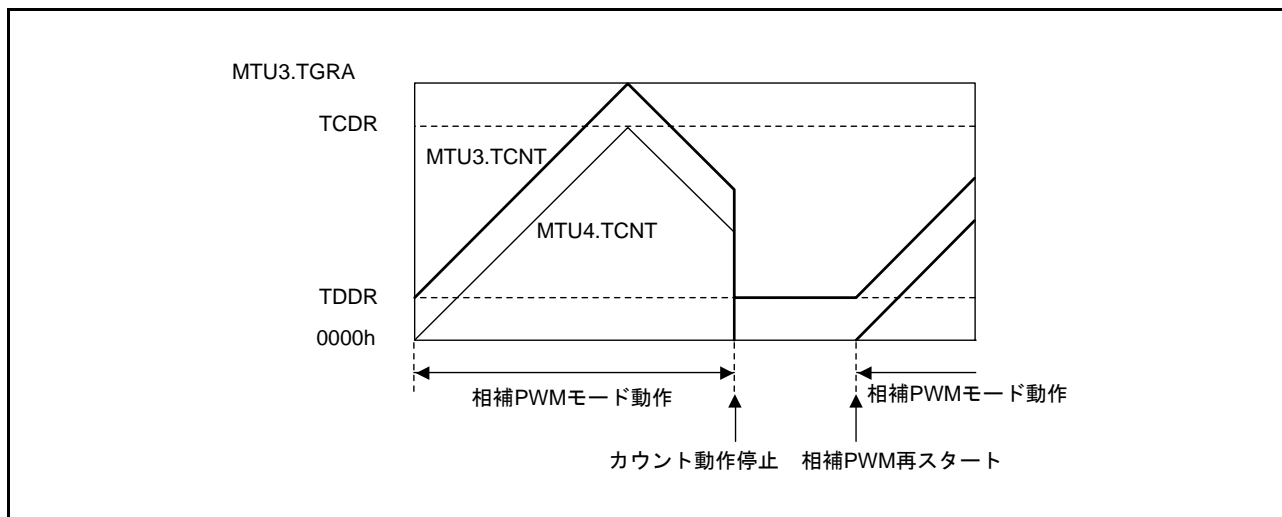


図 21.117 相補 PWM モード停止時のカウンタ値 (MTU3、MTU4 動作)

21.6.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (MTU3.TGRA)、タイマ周期データレジスタ (TCDR)、コンペアレジスタ (MTU3.TGRB、MTU4.TGRA、MTU4.TGRB) の書き換えは、バッファ動作で行ってください。また、MTU4.TMDR の BFA、BFB ビットは“0”にしてください。MTU4.TMDR.BFA ビットを“1”に設定すると MTIOC4C 端子の波形出力ができなくなります。同様に MTU4.TMDR.BFB ビットを“1”に設定すると MTIOC4D 端子の波形出力ができなくなります。

相補 PWM モード時の MTU3 および MTU4 のバッファ動作は、MTU3.TMDR レジスタの BFA、BFB ビットの設定に従い動作します。MTU3.TMDR レジスタの BFA ビットを“1”にした場合、MTU3.TGRC は MTU3.TGRA のバッファレジスタとして機能します。同時に MTU4.TGRC は MTU4.TGRA のバッファレジスタとして機能し、さらに TCBR は TCDR のバッファレジスタとして機能します。

21.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTU4.TMDR の BFA、BFB ビットを“0”に設定してください。MTU4.TMDR の BFA ビットを“1”に設定すると、MTIOC4C 端子の波形出力ができなくなります。同様に MTU4.TMDR.BFB ビットを“1”に設定すると MTIOC4D 端子の波形出力ができなくなります。

リセット同期 PWM モード時の MTU3 および MTU4 のバッファ動作は MTU3.TMDR の BFA、BFB ビットの設定に従い動作します。たとえば、MTU3.TMDR の BFA ビットを“1”にした場合、MTU3.TGRC は MTU3.TGRA のバッファレジスタとして機能します。同時に MTU4.TGRC は MTU4.TGRA のバッファレジスタとして機能します。

MTU3.TGRC、MTU3.TGRD がバッファレジスタとして動作している場合、対応する TGIC、TGID 割り込み要求は発生しません。

MTU3.TMDR の BFA、BFB ビットを“1”にし、MTU4.TMDR の BFA、BFB ビットを“0”にした場合の MTU3.TGR、MTU4.TGR、MTIOC3m、MTIOC4m の動作例を図 21.118 に示します。(m=A ~ D)

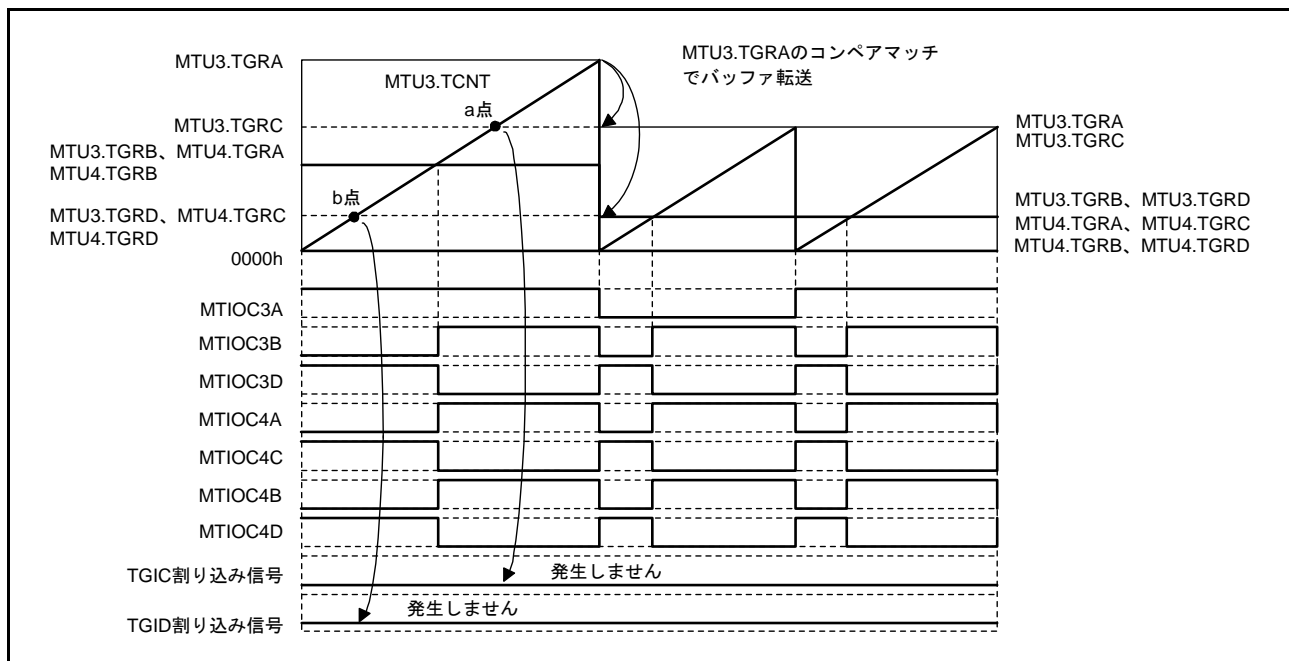


図 21.118 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

21.6.16 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTR レジスタの CST3 ビットを“1”に設定すると、MTU3.TCNT と MTU4.TCNT のカウント動作が開始します。このとき、MTU4.TCNT のカウントクロックソースとカウントエッジは MTU3.TCR の設定に従います。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA の設定値を FFFFh とし、カウンタクリア要因に MTU3.TGRA のコンペアマッチを指定した場合、MTU3.TCNT、MTU4.TCNT がアップカウントし FFFFh になると、MTU3.TGRA とのコンペアマッチが発生し、MTU3.TCNT、MTU4.TCNT とともにカウントクリアされます。このとき、対応する TCIV 割り込み要求は発生しません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA の設定値を FFFFh とし、カウンタクリア要因に MTU3.TGRA のコンペアマッチを指定し、同期設定していない場合の動作例を図 21.119 に示します。

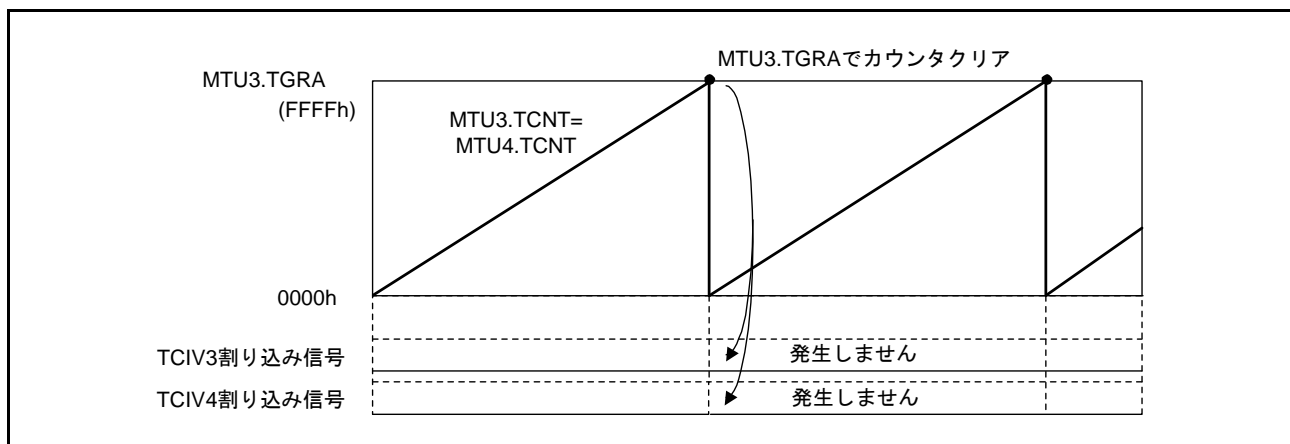


図 21.119 リセット同期 PWM モードのオーバーフローフラグ

21.6.17 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TCNTのクリアが優先されて、対応するTCIV割り込みは発生しません。

TGRのコンペアマッチをクリア要因とし、TGRにFFFFhを設定した場合の動作タイミングを図21.120に示します。

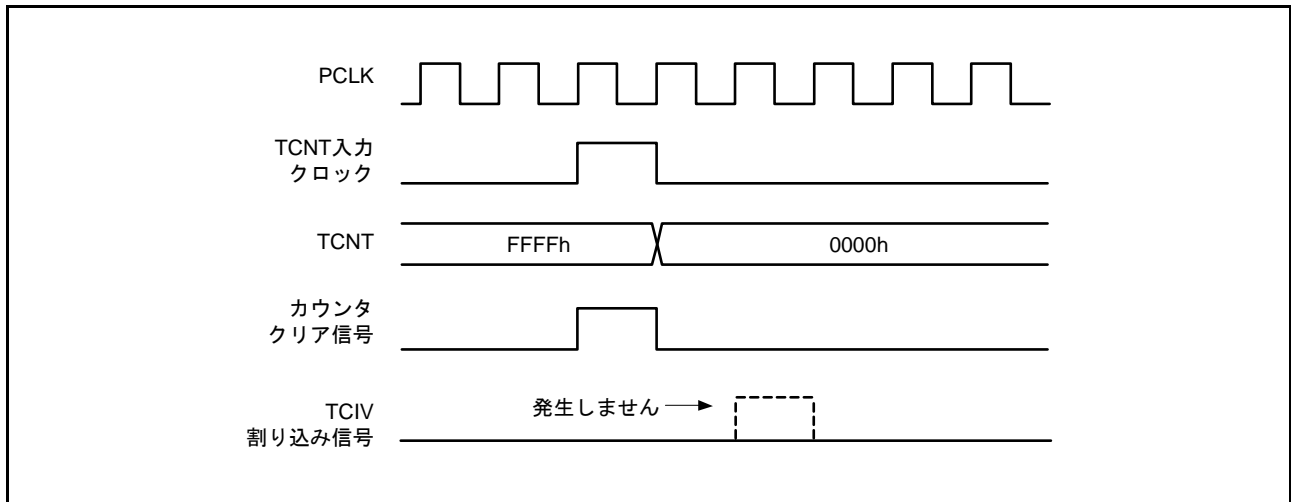


図 21.120 オーバフローとカウンタクリアの競合

21.6.18 TCNTの書き込みとオーバーフロー/アンダフローの競合

TCNTの書き込みサイクルで、アップカウント/ダウンカウントが発生し、オーバーフロー/アンダフローが発生しても、TCNTへの書き込みが優先されます。対応する割り込みは発生しません。

TCNTの書き込みとオーバーフロー競合時の動作タイミングを図21.121に示します。

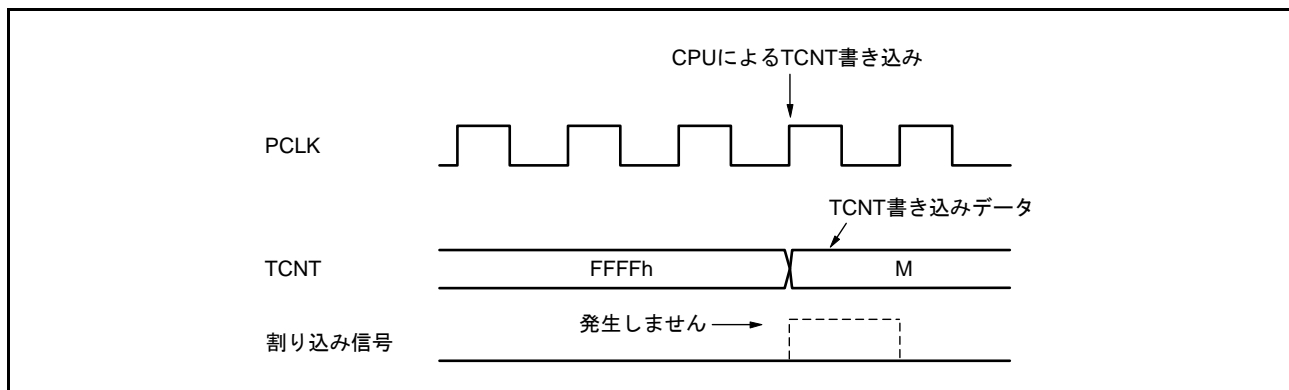


図 21.121 TCNTの書き込みとオーバーフローの競合

21.6.19 ノーマルモードまたはPWMモード1からリセット同期PWMモードへ遷移する場合の注意事項

MTU3、MTU4のノーマルモードまたはPWMモード1からリセット同期PWMモードへ遷移する場合、出力端子 (MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D) を High の状態にしたままカウンタを止め、リセット同期PWMモードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

ノーマルモードからリセット同期PWMモードに遷移する場合には、MTU3.TIORH、MTU3.TIORL、MTU4.TIORH、MTU4.TIORLレジスタに11hを書いて出力端子をLowに初期化した後、レジスタの初期値00hを設定してからモード遷移を行ってください。

PWMモード1からリセット同期PWMモードに遷移する場合には、いったんノーマルモードに遷移してから出力端子をLowへ初期化した後、レジスタの初期値00hを設定してからリセット同期PWMモードに遷移してください。

21.6.20 相補PWMモード、リセット同期PWMモードの出力レベル

MTU3、MTU4が相補PWMモードまたはリセット同期PWMモードの場合、PWM波形の出力レベルはタイマアウトプットコントロールレジスタ1 (TOCR1) のOLSP、OLSNビットで設定します。相補PWMモードまたはリセット同期PWMモードの場合、TIOCRレジスタは00hにしてください。

21.6.21 モジュールストップ状態時の割り込み

割り込みが要求された状態でモジュールストップ状態になると、CPUの割り込み要因、またはDMAC/DTCの起動要因のクリアができません。

事前に割り込みを無効にするなどしてからモジュールストップ状態に設定してください。

21.6.22 カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ

タイマカウンタ (MTU1.TCNT と MTU2.TCNT) をカスケード接続して、32 ビットカウンタとして動作させている場合、MTIOC1A と MTIOC2A または MTIOC1B と MTIOC2B に同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNT に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、または MTIOC1B と MTIOC2B の取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNT (上位 16 ビットのカウンタ) が MTU2.TCNT (下位 16 ビットのカウンタ) のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくは MTU1.TCNT=FFF1h、MTU2.TCNT=0000h の値を MTU1.TGRA と MTU2.TGRA、もしくは MTU1.TGRB と MTU2.TGRB に転送すべきところを誤って MTU1.TCNT=FFF0h、MTU2.TCNT=0000h の値を転送します。

MTU では 1 本のインプットキャプチャ入力に MTU1.TCNT と MTU2.TCNT を同時にキャプチャできる機能を追加しており、本機能を使用すれば、MTU1.TCNT と MTU2.TCNT のキャプチャタイミングのずれなく、32 ビットカウンタの取り込みを行うことができます。詳細は、「21.2.8 タイマインプットキャプチャコントロールレジスタ (TICCR)」を参照してください。

21.6.23 相補 PWM モードの出力保護機能未使用時の注意事項

相補 PWM モードの出力保護機能は、初期状態では有効になっています。本機能を使用しない場合、POE.POECR2 レジスタに 00h を書いてください。

21.6.24 MTU5.TCNT と MTU5.TGR の注意事項

MTU5.TCNT_m (m = U, V, W) のカウント動作を停止した状態で、MTU5.TGR_m (m = U, V, W) に MTU5.TCNT_m 値 (m = U, V, W) + “1” の値を設定しないでください。MTU5.TCNT_m (m = U, V, W) のカウント動作を停止した状態で、MTU5.TGR_m (m = U, V, W) に MTU5.TCNT_m 値 (m = U, V, W) + “1” の値を設定した場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。

このとき、コンペアマッチ割り込み許可ビット (MTU5.TIER.TGIE5_m ビット (m = U, V, W) が “1” (許可) になっていると、コンペアマッチ割り込みが発生します。なお、タイマコンペアマッチクリアレジスタが “1” (許可) になっていると、MTU5.TCNT_m (m = U, V, W) は、コンペアマッチ割り込みの禁止 / 許可にかかわらず、コンペアマッチが発生すると “0000h” に自動クリアされます。

21.6.25 相補 PWM モード同期クリアするときの異常動作防止について

相補 PWM モードで、同期カウンタクリア時出力波形制御が有効 (TWCR.WRE ビット = 1) である状態で、条件 1、条件 2 のいずれかを満たすと、以下の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる (もしくは消失する)
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される

条件 1 : 初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に同期クリアした場合 (図 21.122 参照)。

条件 2 : 初期出力の抑止期間⑩、⑪にて、 $MTU3.TGRB \leq TDDR$ 、 $MTU4.TGRA \leq TDDR$ 、 $MTU4.TGRB \leq TDDR$ のいずれかが成立する状態で、同期クリアした場合 (図 21.123 参照)。

本現象は以下の方法により、回避することができます。

- コンペアレジスタ $MTU3.TGRB$ 、 $MTU4.TGRA$ 、 $MTU4.TGRB$ のすべてが、デッドタイムデータレジスタ ($TDDR$) の 2 倍以上になるように設定した状態で、同期クリアする

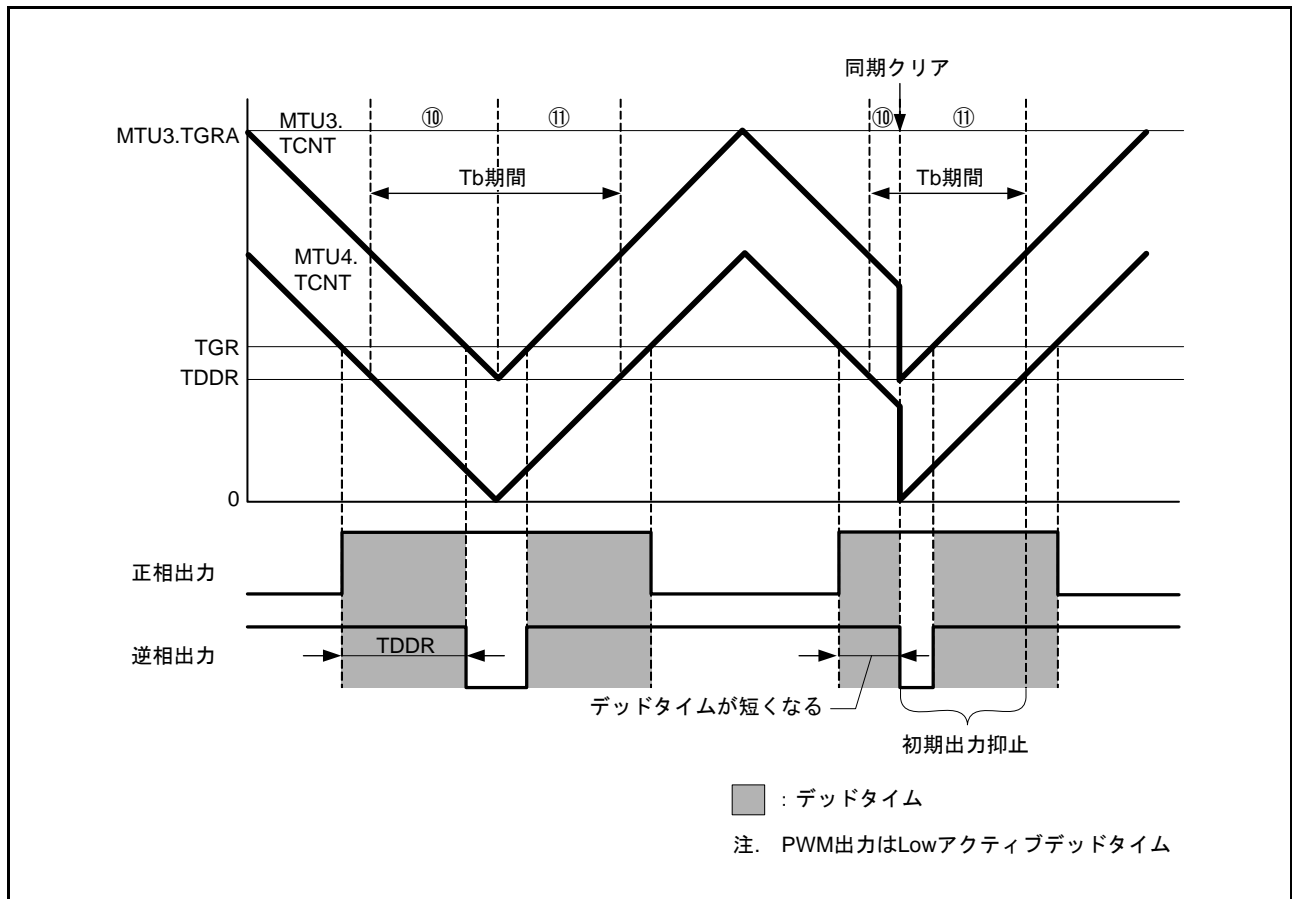


図 21.122 同期クリア例 (条件 1 の場合)

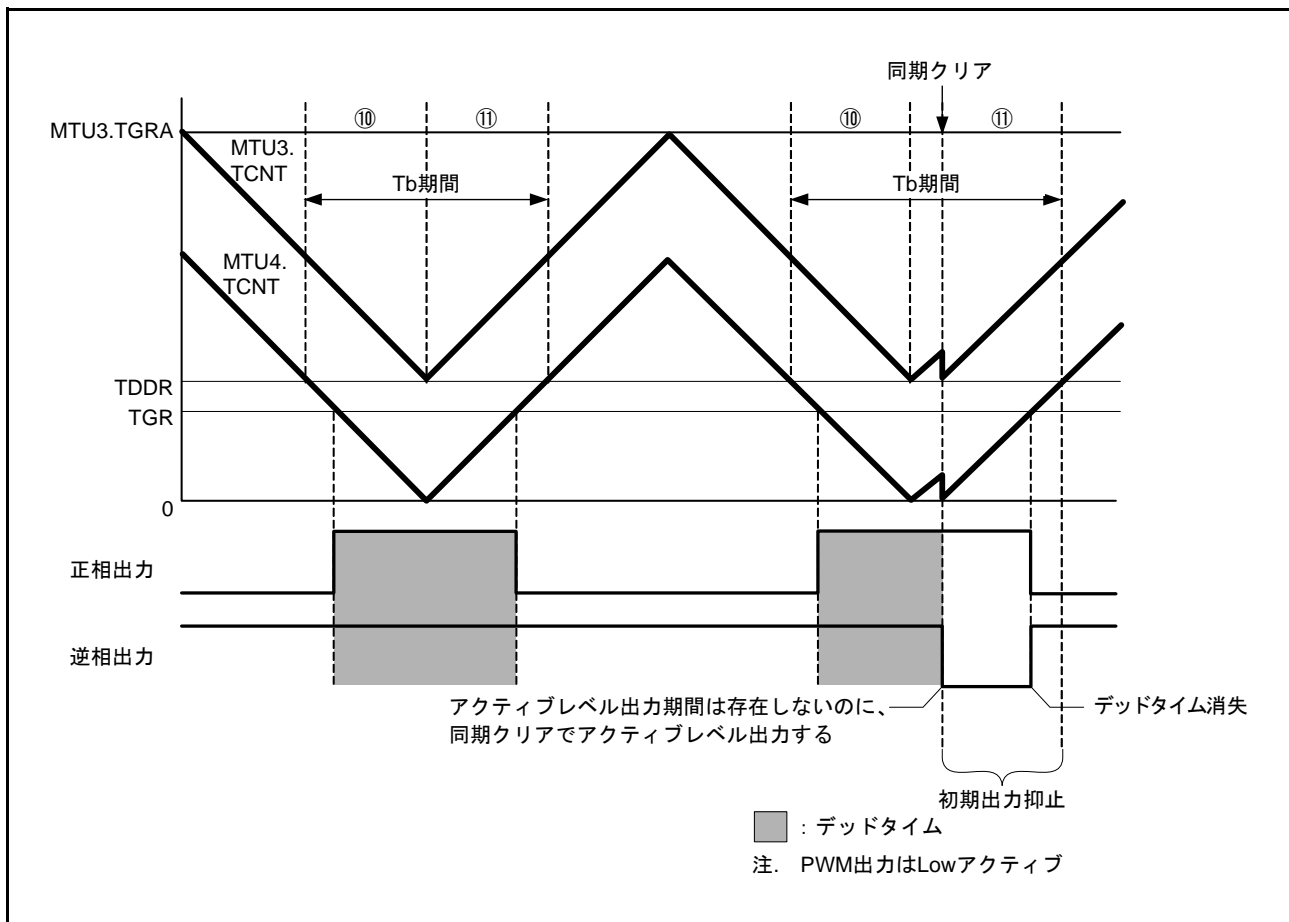


図 21.123 同期クリア例 (条件 2 の場合)

21.6.26 コンペアマッチによる割り込み信号の連続出力

TGR レジスタに“0000h”、カウンタクロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“0000h”のままとなり、割り込み信号は1サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

図 21.124 にコンペアマッチによる割り込み信号の連続出力タイミングを示します。

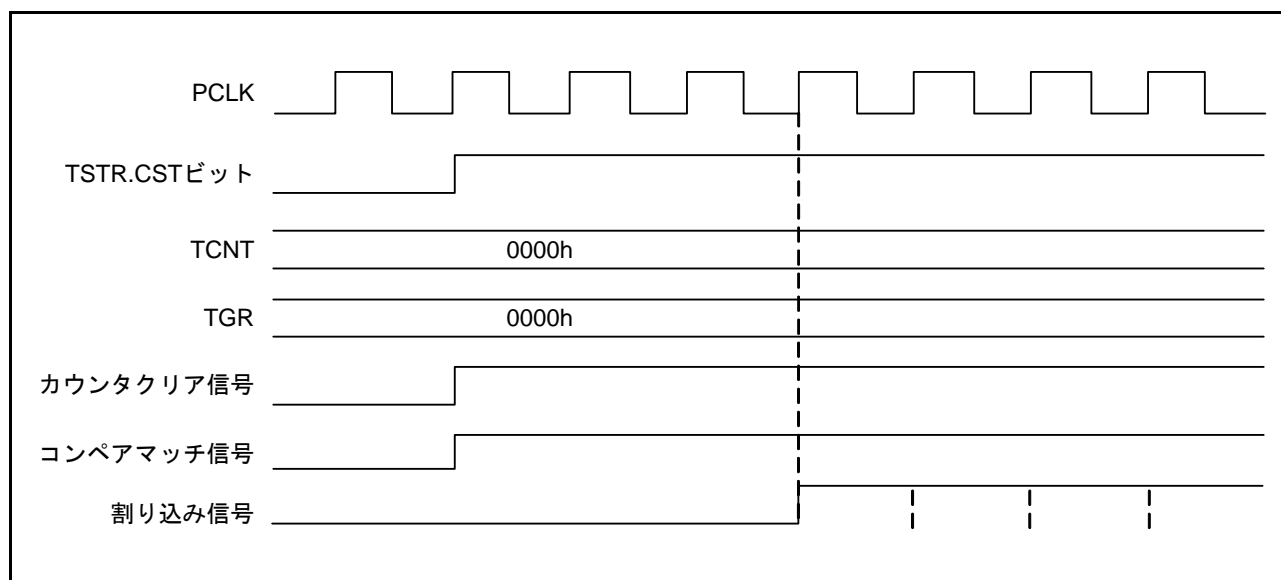


図 21.124 コンペアマッチによる割り込み信号の連続出力

21.7 MTU 出力端子の初期化方法

21.7.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (MTU0 ~ MTU4)
- PWM モード 1 (MTU0 ~ MTU4)
- PWM モード 2 (MTU0 ~ MTU2)
- 位相計数モード 1 ~ 4 (MTU1、MTU2)
- 相補 PWM モード (MTU3、MTU4)
- リセット同期 PWM モード (MTU3、MTU4)

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

21.7.2 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は端子の出力をポートに切り換え、アクティブレベルの反転を出力することにより行います。また、モータ駆動端子に関してはポートアウトプットイネーブル (POE) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 21.59 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2

PCM : 位相計数モード 1 ~ 4 CPWM : 相補 PWM モード RPWM : リセット同期 PWM モード

表 21.59 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

21.7.3 動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマ I/O コントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に移行する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 1 に移行してください。
- PWM モード 2 では周期レジスタの端子に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 2 に移行してください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、TIOR を設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、TIOR を設定しても TGRC の端子は初期化されません。TGRC の端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- タイマアウトプットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に移行する場合は、ノーマルモードに移行し TIOR で初期化、TIOR を初期値に戻したのちタイマアウトプットマスタ許可レジスタ (TOER) で MTU3、MTU4 を一度出力禁止としてください。その後モード設定手順 (TOCR 設定、TMDR 設定、TOER 設定) に従い動作させてください。

注. 特に断りがない場合、本項記述中の n にはチャンネル番号が入ります。

以下、表 21.59 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 21.125 に示します。

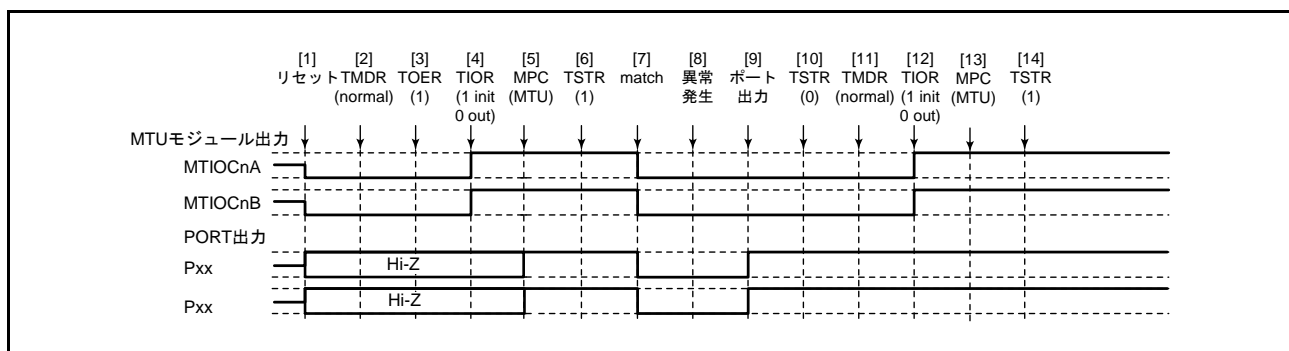


図 21.125 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- [1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- [2] リセットにより TMDR はノーマルモード設定になります。
- [3] MTU3、MTU4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- [4] TIOR で端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- [5] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [6] TSTR でカウント動作を開始します。
- [7] コンペアマッチの発生により Low を出力します。
- [8] 異常が発生しました。
- [9] I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- [10] TSTR でカウント動作を停止します。
- [11] ノーマルモードで再スタートする場合は必要ありません。
- [12] TIOR で端子を初期化してください。
- [13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [14] TSTR で再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 21.126 に示します。

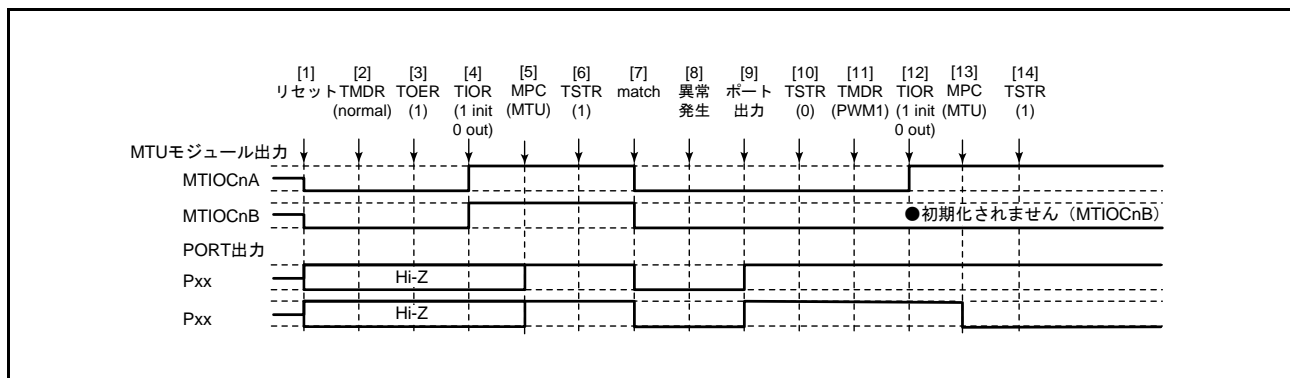


図 21.126 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

[1] ~ [10] は図 21.125 と共通です。

- [11] PWM モード 1 を設定します。
- [12] TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOcNB (MTIOcND) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。
- [13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [14] TSTR で再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード2で再スタートする場合の説明図を図 21.127 に示します。

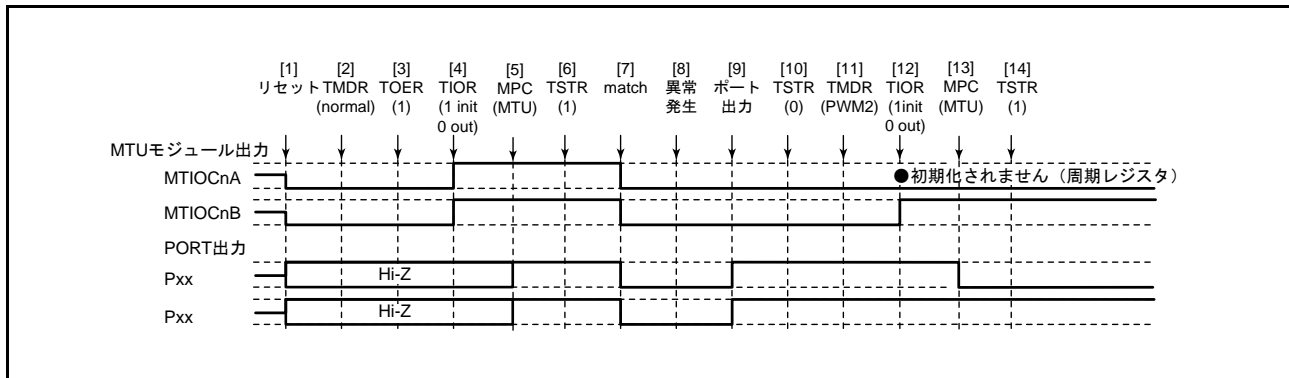


図 21.127 ノーマルモードで異常が発生し、PWM モード2で復帰する場合

[1] ~ [10] は図 21.125 と共通です。

[11] PWM モード2を設定します。

[12] TIOR で端子を初期化してください (PWM モード2では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード2に移行してください)。

[13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[14] TSTR で再スタートします。

注. PWM モード2は MTU0 ~ 2でのみ設定可能です。したがって TOER の設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 21.128 に示します。

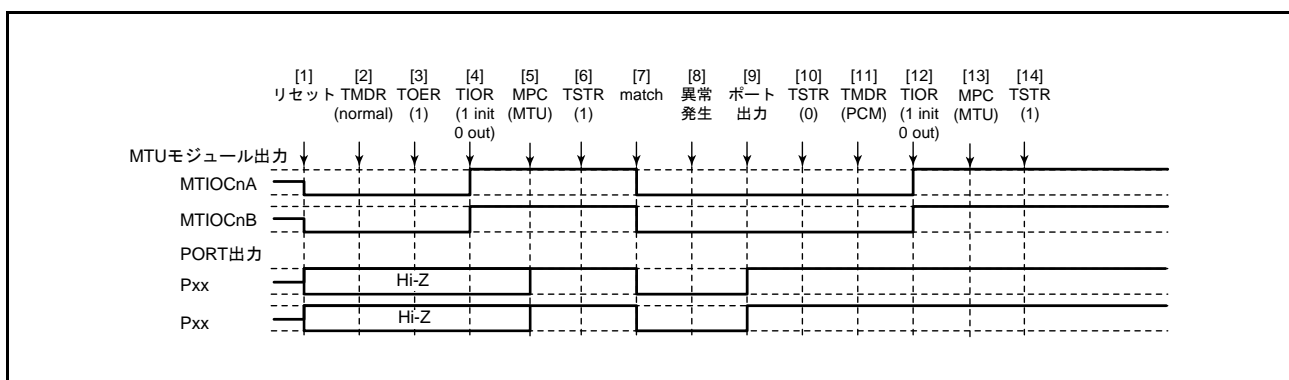


図 21.128 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

[1] ~ [10] は図 21.125 と共通です。

[11] 位相計数モードを設定します。

[12] TIOR で端子を初期化してください。

[13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[14] TSTR で再スタートします。

注. 位相計数モードは MTU1、2でのみ設定可能です。したがって TOER の設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 21.129 に示します。

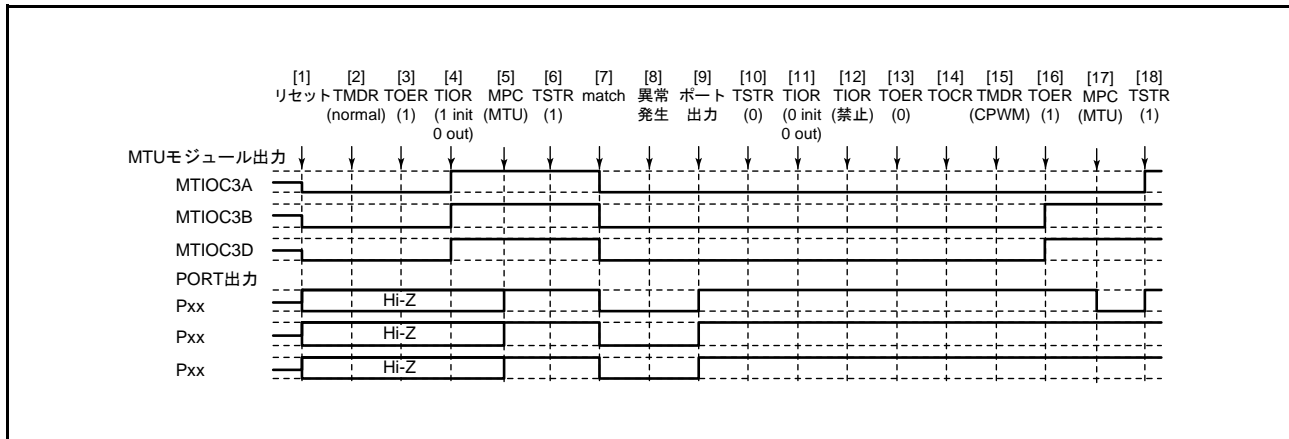


図 21.129 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

[1] ~ [10] は図 21.125 と共通です。

[11] TIOR でノーマルモードの波形生成部を初期化してください。

[12] TIOR でノーマルモードの波形生成部の動作を禁止してください。

[13] TOER で MTU3、MTU4 の出力を禁止してください。

[14] TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

[15] 相補 PWM を設定します。

[16] TOER で MTU3、MTU4 の出力を許可してください。

[17] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[18] TSTR で再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 21.130 に示します。

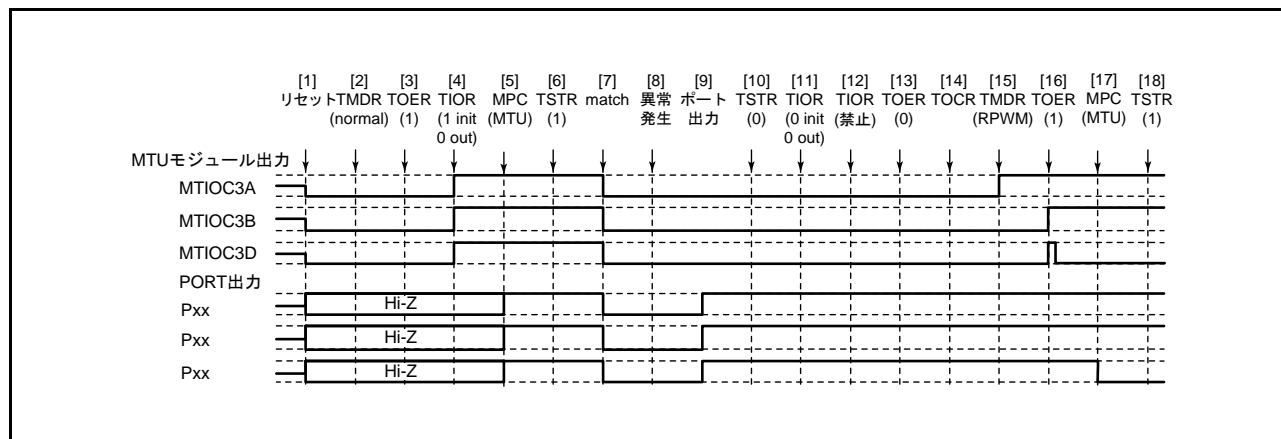


図 21.130 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

[1] ~ [13] は図 21.125 と共通です。

[14] TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

[15] リセット同期 PWM を設定します。

[16] TOER で MTU3、MTU4 の出力を許可してください。

[17] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[18] TSTR で再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 21.131 に示します。

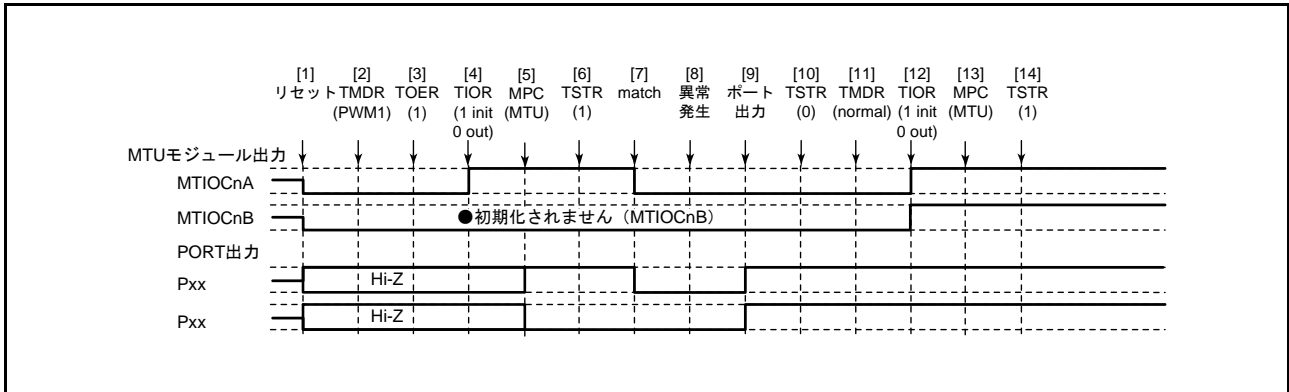


図 21.131 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- [1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- [2] PWM モード 1 を設定してください。
- [3] MTU3、MTU4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- [4] TIOR で端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。（PWM モード 1 では MTIOCnB 側は初期化されません）。
- [5] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- [6] TSTR でカウント動作を開始します。
- [7] コンペアマッチの発生により Low を出力します。
- [8] 異常が発生しました。
- [9] I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- [10] TSTR でカウント動作を停止します。
- [11] ノーマルモードを設定してください。
- [12] TIOR で端子を初期化してください。
- [13] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- [14] TSTR で再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 21.132 に示します。

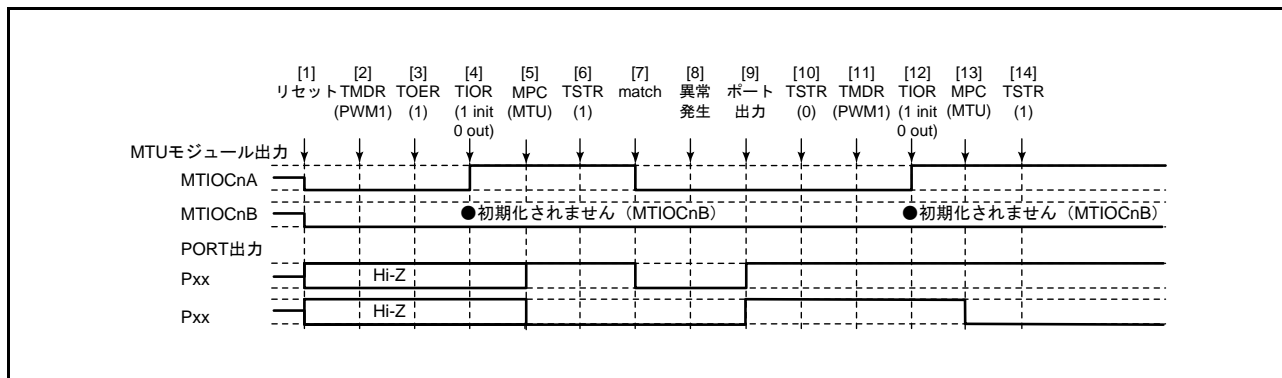


図 21.132 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

[1] ~ [10] は図 21.131 と共通です。

[11] PWM モード 1 で再スタートする場合には必要ありません。

[12] TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOcNB (MTIOcND) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)

[13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[14] TSTR で再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 21.133 に示します。

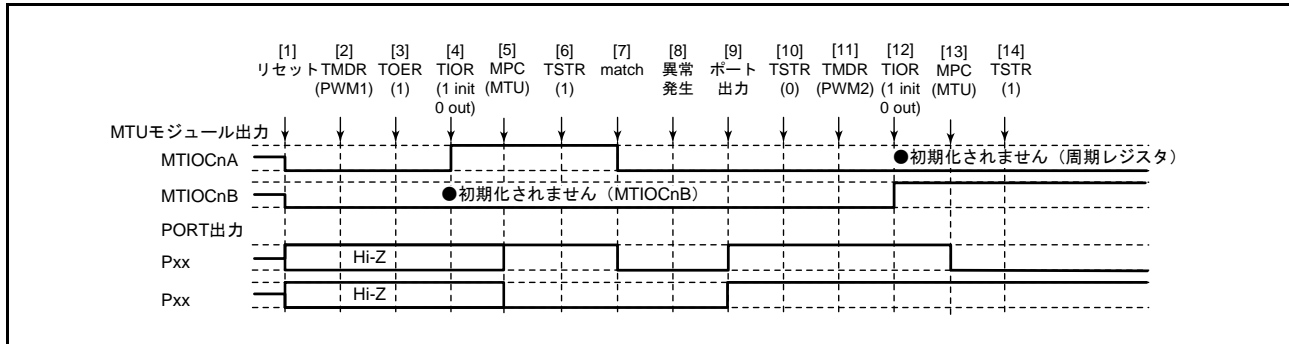


図 21.133 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

[1] ~ [10] は図 21.131 と共通です。

[11] PWM モード 2 を設定します。

[12] TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)

[13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[14] TSTR で再スタートします。

注. PWM モード 2 は MTU0 ~ 2 でのみ設定可能です。したがって TOER の設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 21.134 に示します。

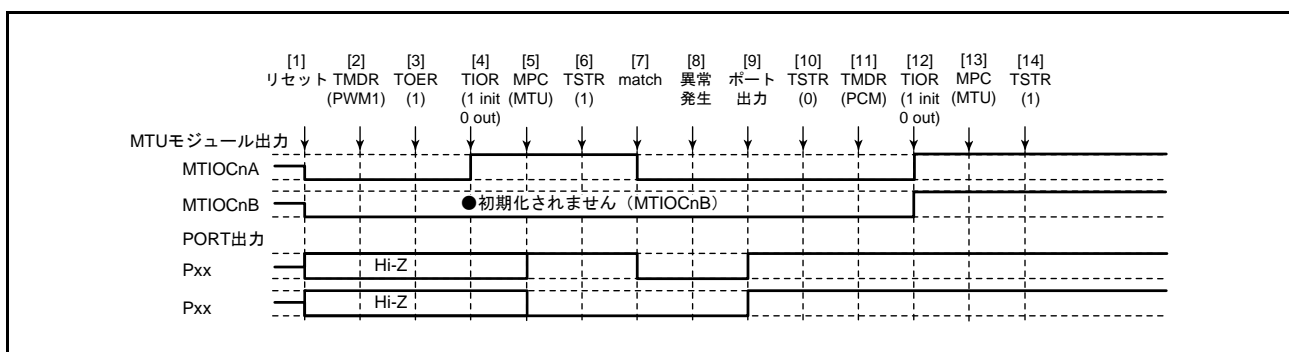


図 21.134 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

[1] ~ [10] は図 21.131 と共通です。

[11] 位相計数モードを設定します。

[12] TIOR で端子を初期化してください。

[13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[14] TSTR で再スタートします。

注. 位相計数モードは MTU1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 21.135 に示します。

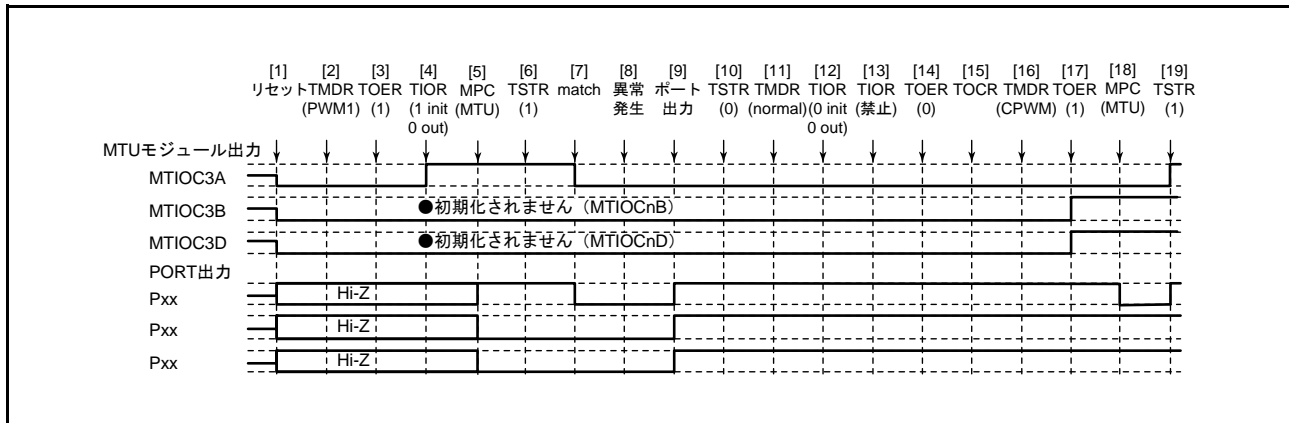


図 21.135 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

[1] ~ [10] は図 21.131 と共通です。

- [11] 波形生成部の初期化のためノーマルモードを設定してください。
- [12] TIOR で PWM モード 1 の波形生成部を初期化してください。
- [13] TIOR で PWM モード 1 の波形生成部の動作を禁止してください。
- [14] TOER で MTU3、MTU4 の出力を禁止してください。
- [15] TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- [16] 相補 PWM を設定します。
- [17] TOER で MTU3、MTU4 の出力を許可してください。
- [18] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [19] TSTR で再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 21.136 に示します。

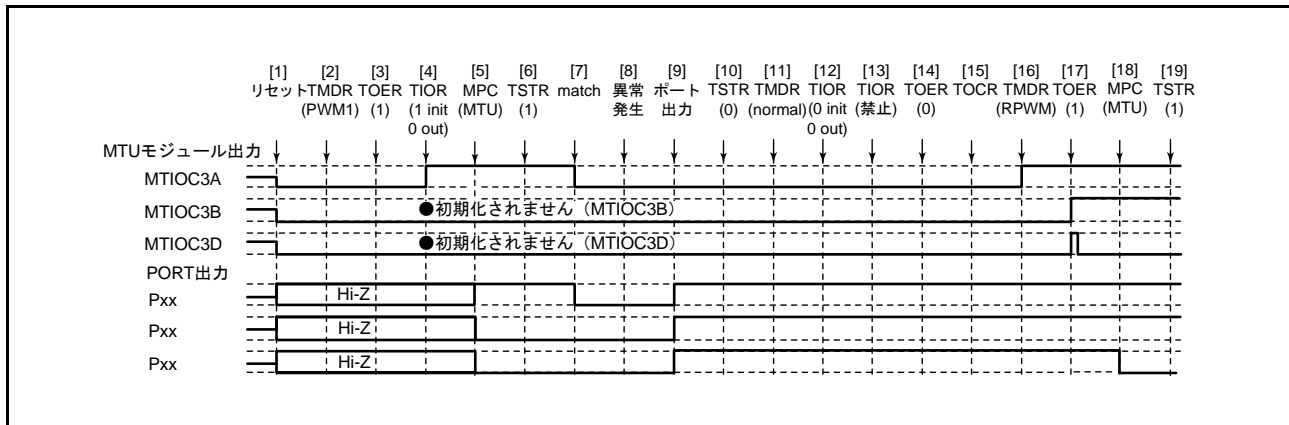


図 21.136 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

[1] ~ [14] は図 21.135 と共通です。

[15] TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

[16] リセット同期 PWM を設定します。

[17] TOER で MTU3、MTU4 の出力を許可してください。

[18] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[19] TSTR で再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 21.137 に示します。

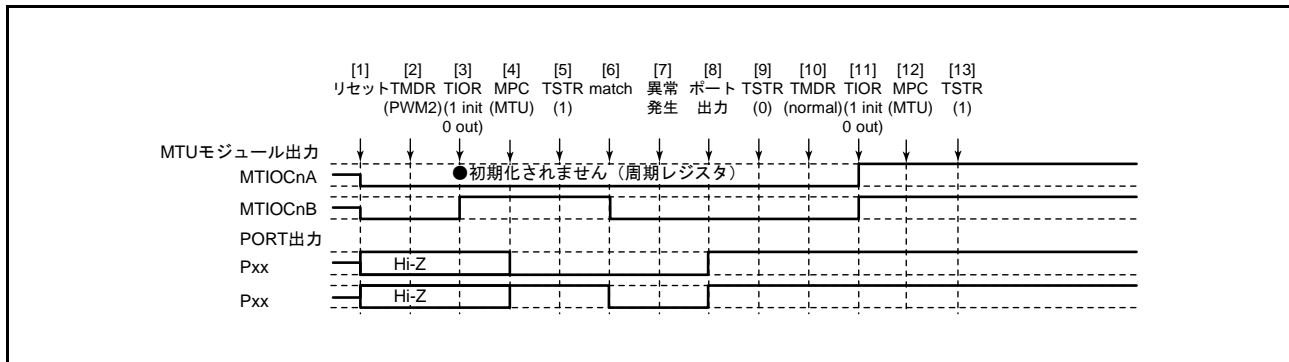


図 21.137 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- [1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- [2] PWM モード 2 を設定してください。
- [3] TIOR で端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタの端子は初期化されません。例は MTIOcNA が周期レジスタの場合です）。
- [4] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- [5] TSTR でカウント動作を開始します。
- [6] コンペアマッチの発生により Low を出力します。
- [7] 異常が発生しました。
- [8] I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- [9] TSTR でカウント動作を停止します。
- [10] ノーマルモードを設定してください。
- [11] TIOR で端子を初期化してください。
- [12] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- [13] TSTR で再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 21.138 に示します。

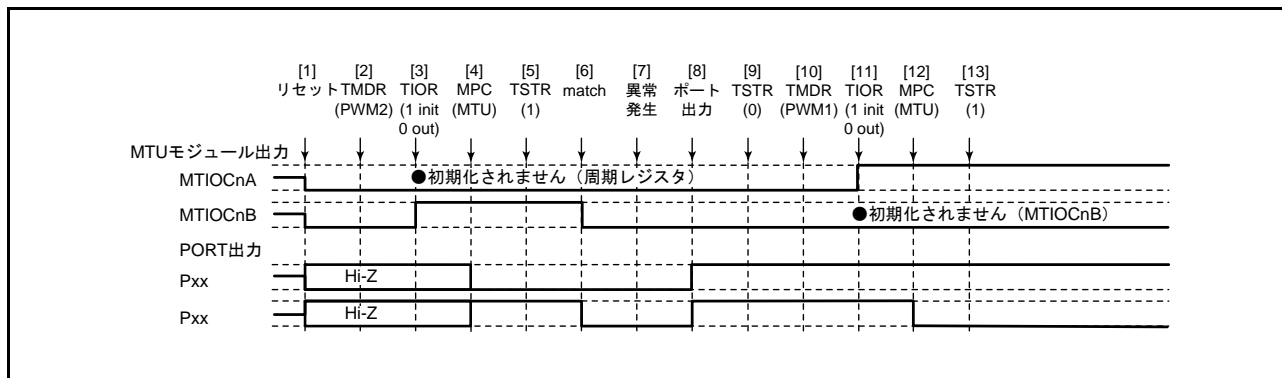


図 21.138 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

[1] ~ [9] は図 21.137 と共通です。

[10] PWM モード 1 を設定します。

[11] TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR で再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 21.139 に示します。

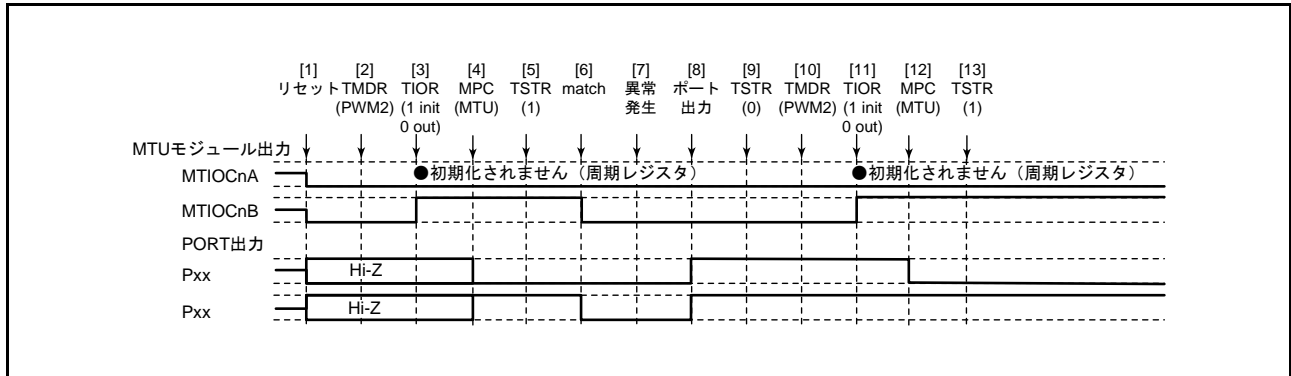


図 21.139 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

[1] ~ [9] は図 21.137 と共通です。

[10] PWM モード 2 で再スタートする場合には必要ありません。

[11] TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR で再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 21.140 に示します。

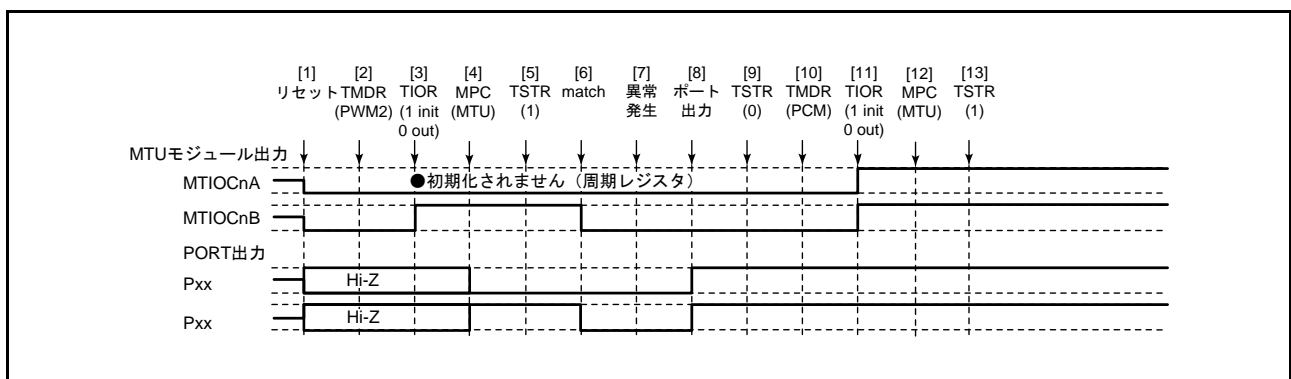


図 21.140 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

[1] ~ [9] は図 21.137 と共通です。

[10] 位相計数モードを設定します。

[11] TIOR で端子を初期化してください。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR で再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 21.141 に示します。

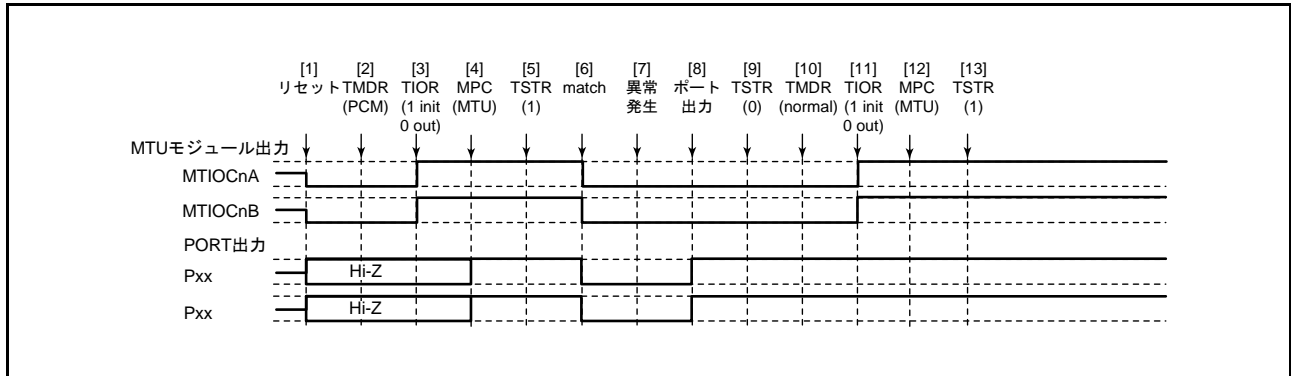


図 21.141 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- [1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- [2] 位相計数モードを設定してください。
- [3] TIOR で端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- [4] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [5] TSTR でカウント動作を開始します。
- [6] コンペアマッチの発生により Low を出力します。
- [7] 異常が発生しました。
- [8] I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- [9] TSTR でカウント動作を停止します。
- [10] ノーマルモードで設定してください。
- [11] TIOR で端子を初期化してください。
- [12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [13] TSTR で再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード1で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード1で再スタートする場合の説明図を図 21.142 に示します。

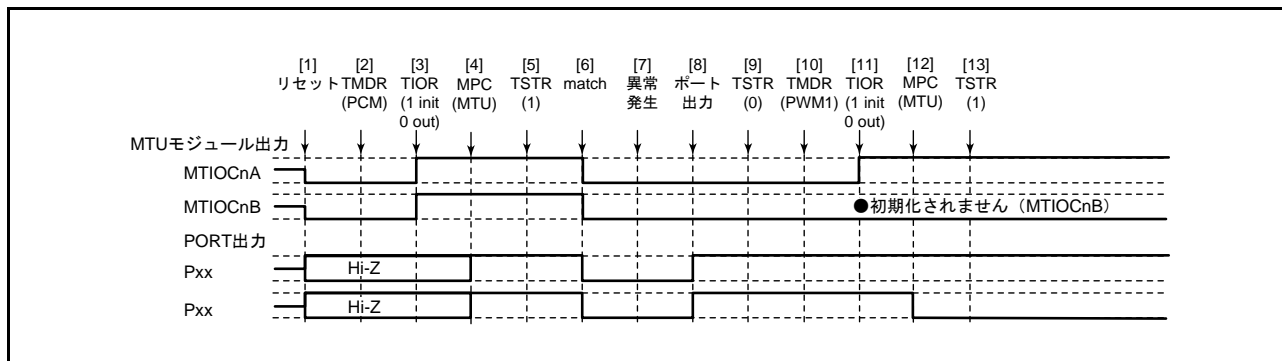


図 21.142 位相計数モードで異常が発生し、PWM モード1で復帰する場合

[1] ~ [9] は図 21.141 と共通です。

[10] PWM モード1を設定します。

[11] TIOR レジスタで端子を初期化してください (PWM モード1では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR で再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 21.143 に示します。

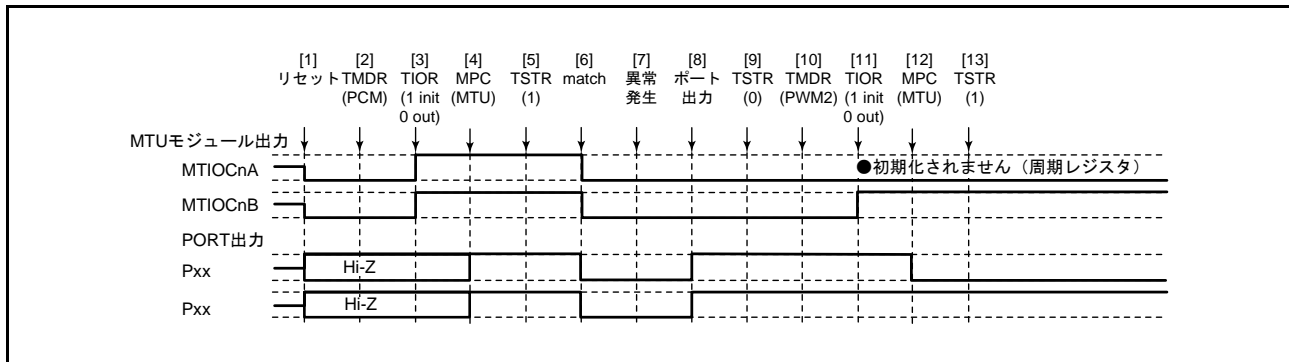


図 21.143 位相計数モードで異常が発生し、PWM モード2で復帰する場合

[1] ~ [9] は図 21.141 と共通です。

[10] PWM モード2を設定します。

[11] TIOR レジスタで端子を初期化してください (PWM モード1では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR で再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 21.144 に示します。

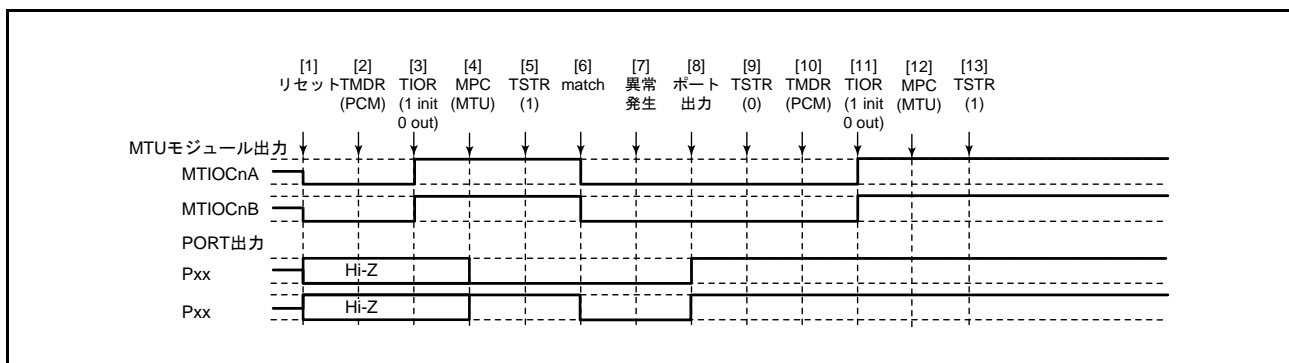


図 21.144 位相計数モードで異常が発生し、位相計数モードで復帰する場合

[1] ~ [9] は図 21.141 と共通です。

[10] 位相計数モードで再スタートする場合には必要ありません。

[11] TIOR で端子を初期化してください。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR で再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 21.145 に示します。

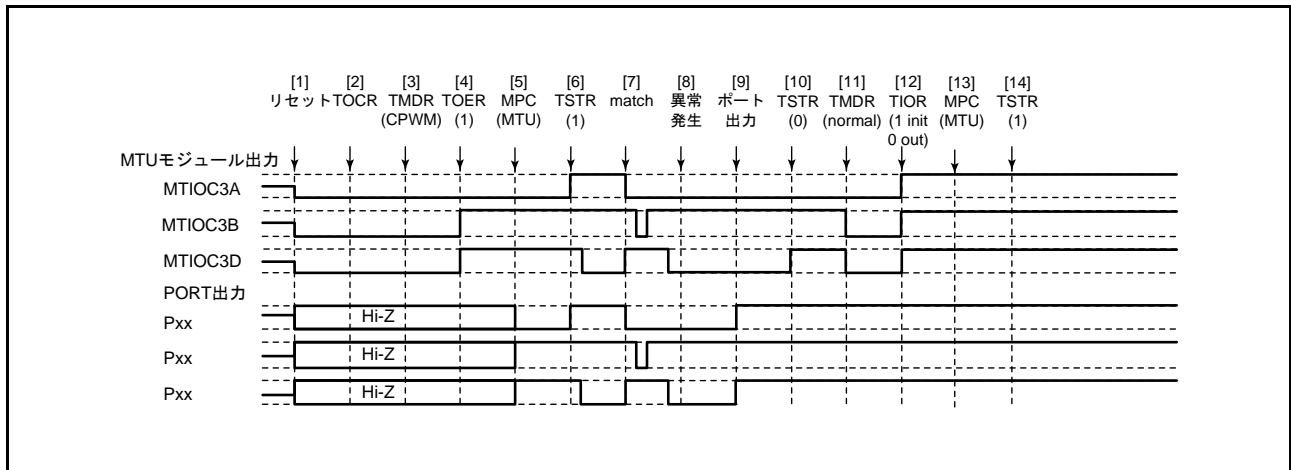


図 21.145 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- [1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- [2] TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- [3] 相補 PWM を設定します。
- [4] TOER で MTU3、MTU4 の出力を許可してください。
- [5] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [6] TSTR でカウント動作を開始します。
- [7] コンペアマッチの発生により相補 PWM 波形を出力します。
- [8] 異常が発生しました。
- [9] I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- [10] TSTR でカウント動作を停止します (MTU 出力は相補 PWM 出力初期値となります)。
- [11] ノーマルモードを設定してください (MTU 出力は Low となります)。
- [12] TIOR で端子を初期化してください。
- [13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [14] TSTR で再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 21.146 に示します。

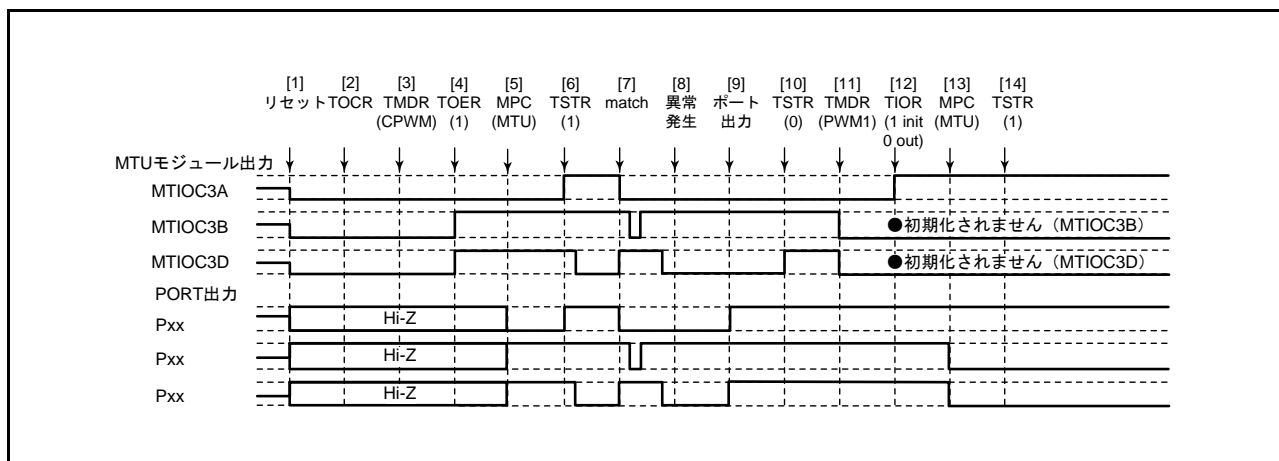


図 21.146 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

[1] ~ [10] は図 21.145 と共通です。

[11] PWM モード 1 を設定してください (MTU 出力は Low となります)。

[12] TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

[13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[14] TSTR で再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 21.147 に示します (周期、デューティ設定をカウンタを止めたときの値から再スタートする場合)。

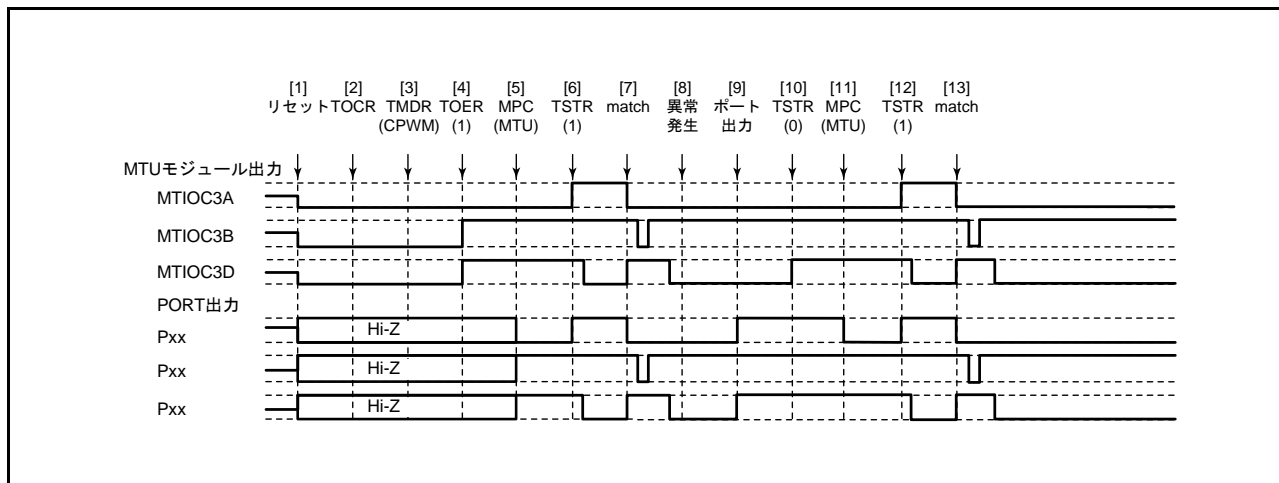


図 21.147 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

[1] ~ [10] は図 21.145 と共通です。

[11] MPC と IO ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[12] TSTR で再スタートします。

[13] コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 21.148 に示します (周期、デューティ設定を全く新しい設定値で再スタートする場合)。

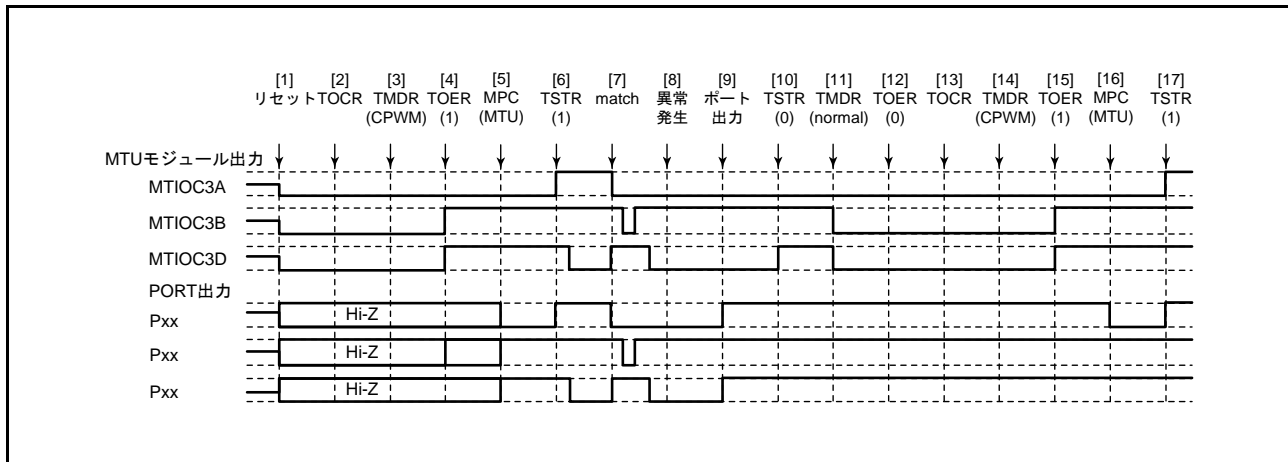


図 21.148 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

[1] ~ [10] は図 21.145 と共通です。

[11] ノーマルモードを設定し新しい設定値を設定してください (MTU 出力は Low となります)。

[12] TOER で MTU3、MTU4 の出力を禁止してください。

[13] TOCR で相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

[14] 相補 PWM を設定します。

[15] TOER で MTU3、MTU4 の出力を許可してください。

[16] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[17] TSTR で再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 21.149 に示します。

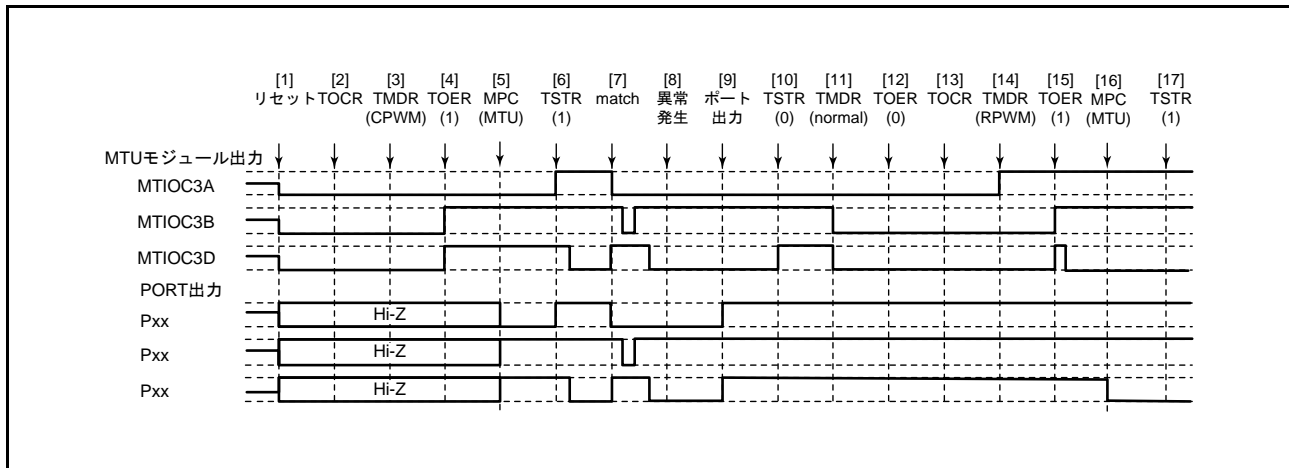


図 21.149 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

[1] ~ [10] は図 21.145 と共通です。

[11] ノーマルモードを設定してください (MTU 出力は Low となります)。

[12] TOER で MTU3、MTU4 の出力を禁止してください。

[13] TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

[14] リセット同期 PWM を設定します。

[15] TOER で MTU3、MTU4 の出力を許可してください。

[16] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[17] TSTR で再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 21.150 に示します。

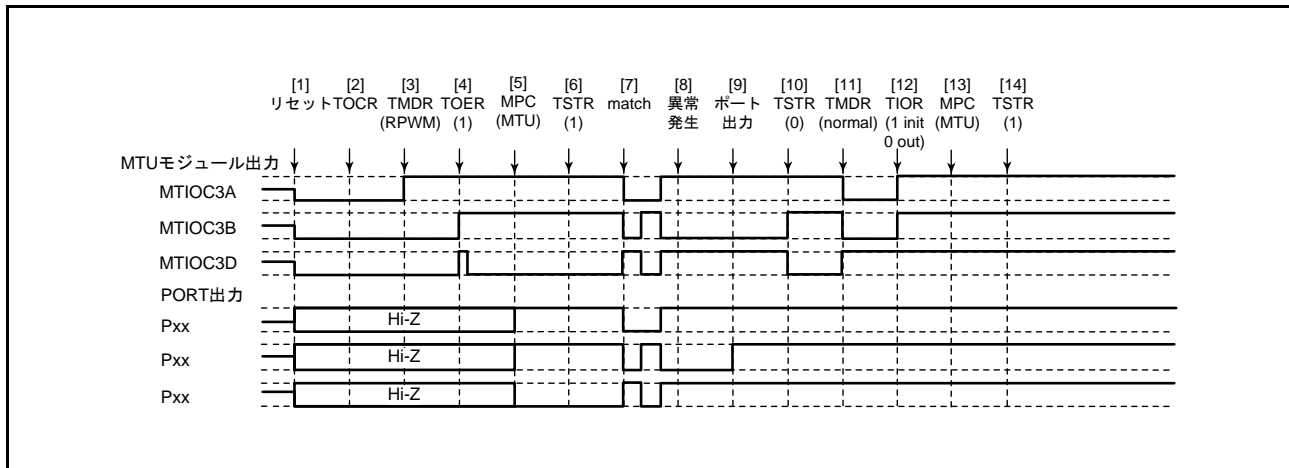


図 21.150 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- [1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- [2] TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- [3] リセット同期 PWM を設定します。
- [4] TOER で MTU3、MTU4 の出力を許可してください。
- [5] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [6] TSTR でカウント動作を開始します。
- [7] コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- [8] 異常が発生しました。
- [9] I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- [10] TSTR でカウント動作を停止します (MTU 出力はリセット同期 PWM 出力初期値となります)。
- [11] ノーマルモードを設定してください (MTU 出力は正相側が Low、逆相側が High となります)。
- [12] TIOR で端子を初期化してください。
- [13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [14] TSTR で再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード1 で再スタートする場合の説明図を図 21.151 に示します。

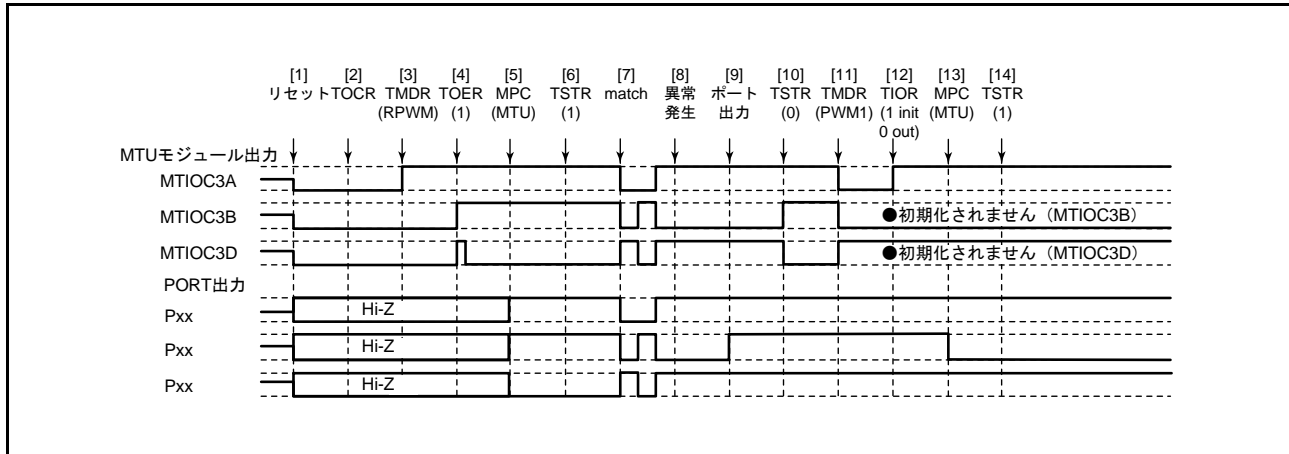


図 21.151 リセット同期 PWM モードで異常が発生し、PWM モード1 で復帰する場合

[1] ~ [10] は図 21.150 と共通です。

[11] PWM モード1 を設定してください (MTU 出力は正相側が Low、逆相側が High となります)。

[12] TIOR レジスタで端子を初期化してください (PWM モード1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

[13] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[14] TSTR で再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 21.152 に示します。

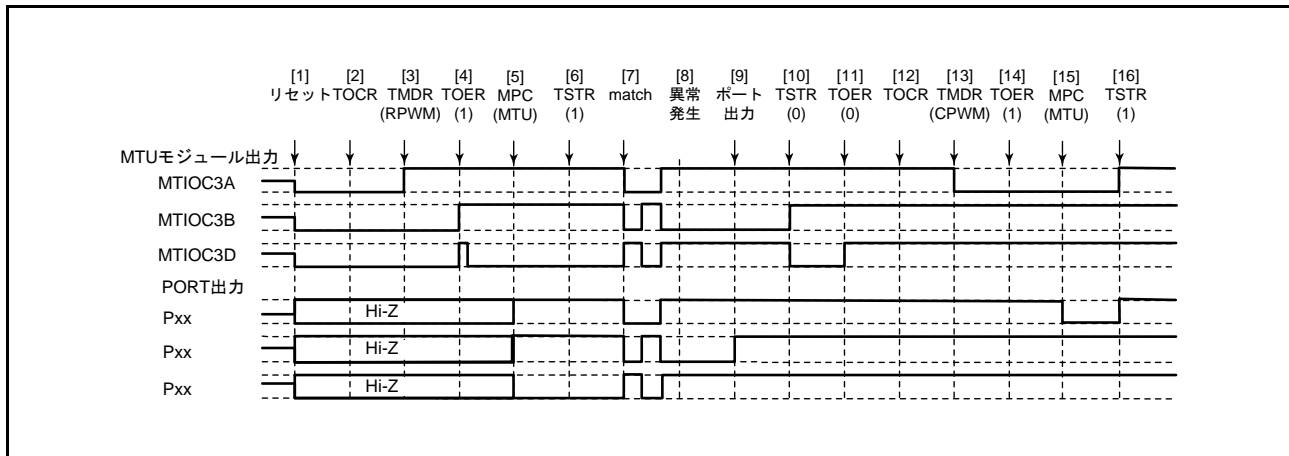


図 21.152 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

[1] ~ [10] は図 21.150 と共通です。

[11] TOER で MTU3、MTU4 の出力を禁止してください。

[12] TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

[13] 相補 PWM を設定します (MTU の周期出力端子は Low になります)。

[14] TOER で MTU3、MTU4 の出力を許可してください。

[15] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[16] TSTR で再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 21.153 に示します。

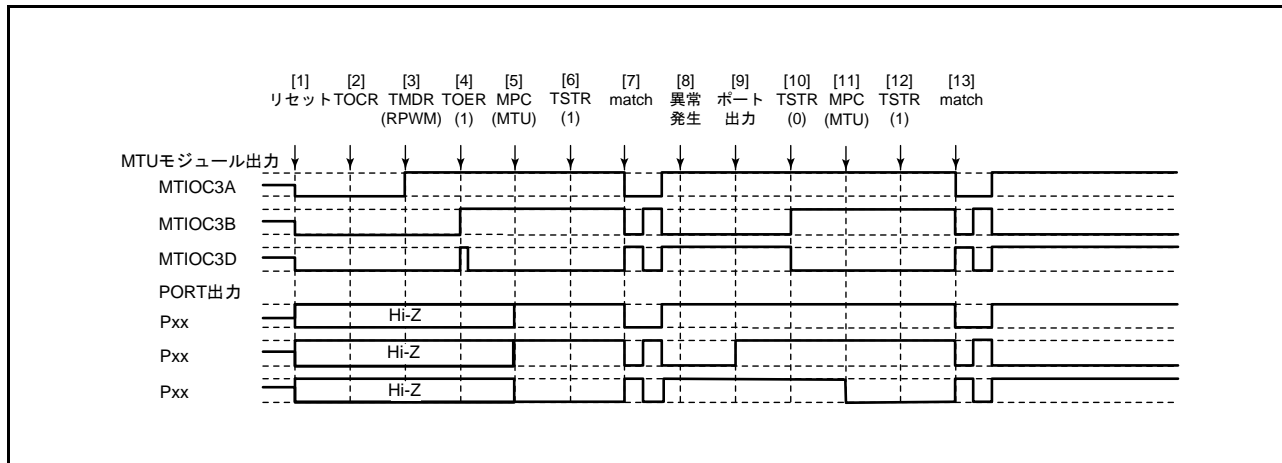


図 21.153 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

[1] ~ [10] は図 21.150 と共通です。

[11] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[12] TSTR で再スタートします。

[13] コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

21.8 ELC によるリンク動作

21.8.1 ELC へのイベント信号出力

MTU はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

21.8.2 ELC からのイベント信号受信による MTU の動作

MTU は ELC の ELSRn レジスタ の設定により、あらかじめ設定したイベントによる次の動作が可能です。

(1) カウントスタート動作

ELC の ELOPA、ELOPB レジスタ で MTU のカウントスタート動作を選択します。ELOPA レジスタ はチャンネル 1～3、ELOPB レジスタ はチャンネル 4 へ機能します。MTU の設定するチャンネルの TMDR レジスタ はリセット後の値 (00h) にしてください。ELSRn レジスタ で指定したイベントが発生すると、表 21.60 に示した TSTR.CSTn ビットが“1”にされ、MTU のカウントがスタートします。

ただし、TSTR.CSTn ビットが“1”にされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。各チャンネルに対して使用する TSTR レジスタのビット名は表 21.60 を参照してください。

カウントスタート動作の設定手順の詳細については「21.3.1(1) カウンタの動作」を参照ください。

表21.60 ELC とリンク動作するタイマスタートレジスタ

チャンネル番号	タイマスタートレジスタ
チャンネル 1	TSTR.CST1 ビット
チャンネル 2	TSTR.CST2 ビット
チャンネル 3	TSTR.CST3 ビット
チャンネル 4	TSTR.CST4 ビット

(2) インพุットキャプチャ動作

ELC の ELOPA、ELOPB レジスタ で MTU2 のインพุットキャプチャ動作を選択します。ELOPA レジスタ はチャンネル 1～3、ELOPB レジスタ はチャンネル 4 へ対応します。MTU の設定するチャンネルの TMDR レジスタ はリセット後の値 (00h) にしてください。ELSRn レジスタ で指定したイベントが発生すると、TCNT カウンタの値を TGR レジスタ へキャプチャします。イベントリンクによるインพุットキャプチャ動作を使用する場合は、MTU の TIOR レジスタ のビットをインพุットキャプチャに設定し、TSTR.CSTn ビットを“1”にしカウンタをスタートさせてください。

このとき TIOcNA 端子 (インพุットキャプチャ端子) の入力は無効となります。

各チャンネルに対して使用する TGR レジスタ、TIOR レジスタのビット名は表 21.61 を参照してください。

インพุットキャプチャの設定手順の詳細については「21.3.1(3) インพุットキャプチャ機能」を参照ください。

表21.61 ELC 動作時のインพุットキャプチャ動作において使用する各チャンネルでのタイマジェネラルレジスタ、タイマ I/O コントロールレジスタ

チャンネル番号	レジスタ名	TIOR レジスタのビット名
チャンネル 1	TGRA レジスタ	TIOR.IOA[3:0] ビット
チャンネル 2	TGRA レジスタ	TIOR.IOA[3:0] ビット
チャンネル 3	TGRA レジスタ	TIORH.IOA[3:0] ビット
チャンネル 4	TGRA レジスタ	TIORH.IOA[3:0] ビット

(3) カウントリスタート動作

ELC の ELOPA、ELOPB レジスタで MTU のカウントリスタート動作を選択します。ELOPA レジスタはチャンネル1～3、ELOPB レジスタはチャンネル4へ対応します。MTU の設定するチャンネルの TMDR レジスタはリセット後の値 (00h) にしてください。ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタの値が初期値に書き換わります。TSTR レジスタの CSTn ビットを“1”にしていればカウント動作を継続することができます。対応する TSTR.CSTn ビットは表 21.60 を参照ください。

21.8.3 ELC からのイベント信号受信による MTU の注意事項

以下に MTU をイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

TSTR.CSTn ビットへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TSTR.CSTn ビットへの書き込みサイクルは行われずイベント発生による 1 セットが優先されます。

(2) カウントリスタート動作

TCNT カウンタへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタへの書き込みサイクルは行われずイベント発生によるカウント値の初期化が優先されます。

22. ポートアウトプットイネーブル2 (POE2a)

ポートアウトプットイネーブル2 (POE) は、POE0# ~ POE3#、POE8# 端子の入力変化、MTU 相補 PWM 出力端子 (MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D) の出力状態、クロック発生回路の発振停止検出、レジスタ設定 (SPOER レジスタ) またはイベントリンクコントローラ (ELC) からのイベント信号入力によって MTU 相補 PWM 出力端子および MTU0 出力端子 (MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D) をハイインピーダンスにすることができます。

また、同時に割り込み要求を発行することができます。

22.1 概要

表 22.1 に POE の仕様を、図 22.1 に POE のブロック図を示します。

表 22.1 POE の仕様

項目	内容
入力レベル検出による ハイインピーダンス制御	<ul style="list-style-type: none"> POE0# ~ POE3#、POE8# の各入力端子に立ち下がリエッジ、PCLK/8 ごとに 16 回、PCLK/16 ごとに 16 回、PCLK/128 ごとに 16 回の Low サンプリングが設定可能 POE0# ~ POE3# 端子の立ち下がリエッジまたは Low サンプリングによって、MTU 相補 PWM 出力端子をハイインピーダンスに設定可能 POE8# 端子の立ち下がリエッジまたは Low サンプリングによって、MTU0 出力端子をハイインピーダンスに設定可能
出力レベル比較による ハイインピーダンス制御	<ul style="list-style-type: none"> MTU 相補 PWM 出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 相補 PWM 出力端子をハイインピーダンスに設定可能
発振停止検出による ハイインピーダンス制御	<ul style="list-style-type: none"> クロック発生回路が発振停止した場合、MTU 相補 PWM 出力端子および MTU0 出力端子をハイインピーダンスに設定可能
ソフトウェア (レジスタ) による ハイインピーダンス制御	<ul style="list-style-type: none"> POE のレジスタ書き込みをすることで、MTU 相補 PWM 出力端子および MTU0 出力端子をハイインピーダンスに設定可能
イベント信号による ハイインピーダンス制御	<ul style="list-style-type: none"> イベントリンクコントローラ (ELC) からのイベント信号により、MTU 相補 PWM 出力端子および MTU0 出力端子をハイインピーダンス状態に設定可能
割り込み	<ul style="list-style-type: none"> POE0# ~ POE3#、POE8# の入力レベル検出結果または MTU 相補 PWM 出力端子の出力レベルの比較結果により、それぞれの割り込みを発生

POE は、図 22.1 のブロック図に示すように入力レベル検出回路、出力レベル比較回路、クロック発生回路の発振停止検出信号の入力、およびハイインピーダンス要求 / 割り込み要求生成回路から構成されます。

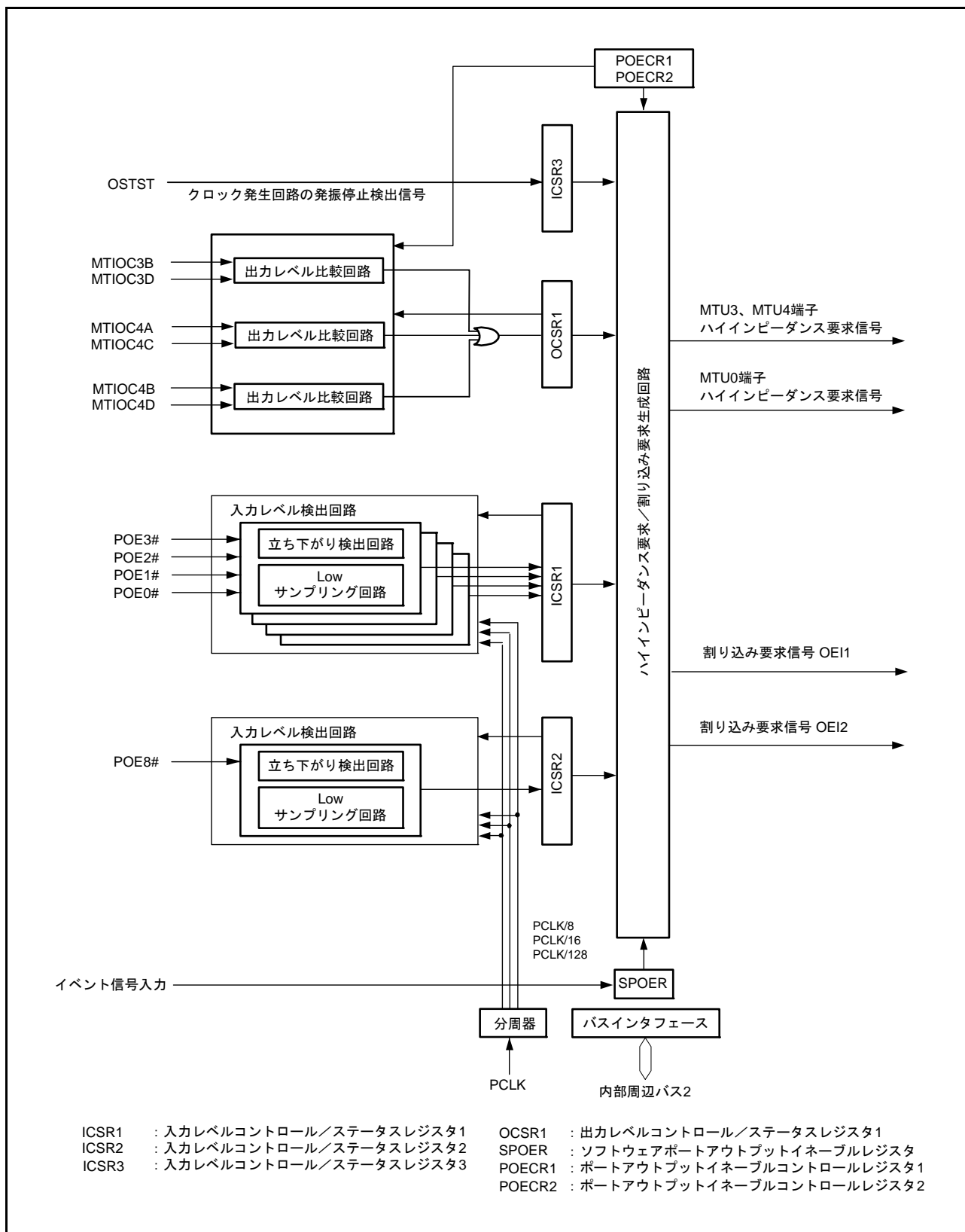


図 22.1 POE のブロック図

表 22.2 に POE で使用する入出力端子を示します。

表 22.2 POEの入出力端子

端子名	入出力	機能
POE0#～POE3#	入力	MTU相補PWM出力端子をハイインピーダンスにする要求信号
POE8#	入力	MTU0用端子をハイインピーダンスにする要求信号
MTIOC3B	出力	MTU3相補PWM出力端子
MTIOC3D	出力	MTU3相補PWM出力端子
MTIOC4A	出力	MTU4相補PWM出力端子
MTIOC4B	出力	MTU4相補PWM出力端子
MTIOC4C	出力	MTU4相補PWM出力端子
MTIOC4D	出力	MTU4相補PWM出力端子
MTIOC0A	出力	MTU0出力端子
MTIOC0B	出力	MTU0出力端子
MTIOC0C	出力	MTU0出力端子
MTIOC0D	出力	MTU0出力端子

表 22.3 に示す端子の組み合わせで出力レベルの比較を行います。

表 22.3 端子の組み合わせ

端子の組み合わせ	入出力	機能
MTIOC3BとMTIOC3D	出力	どの組み合わせに対して出力レベル比較を行いハイインピーダンス制御を行うかは、POEのレジスタで設定できます。 PCLK1サイクル以上同時にアクティブレベル出力が続いた場合、MTU相補PWM出力端子をハイインピーダンスにします。 (MTU.TOCR1.TOCSビット="0"のときに、MTU.TOCR1.OLSP,OLSNビットが"0"の場合はLow出力、"1"の場合はHigh出力。 MTU.TOCR1.TOCSビット="1"のときに、MTU.TOCR2.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが"0"の場合はLow出力、"1"の場合はHigh出力)
MTIOC4AとMTIOC4C	出力	
MTIOC4BとMTIOC4D	出力	

22.2 レジスタの説明

22.2.1 入力レベルコントロール/ステータスレジスタ 1 (ICSR1)

アドレス 0008 8900h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
POE3F	POE2F	POE1F	POE0F	—	—	—	PIE1	POE3M[1:0]	POE2M[1:0]	POE1M[1:0]	POE0M[1:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE0M[1:0]	POE0モード選択ビット	b1 b0 0 0 : POE0#入力の立ち下がりエッジで要求を受け付ける 0 1 : POE0#の入力レベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 0 : POE0#の入力レベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 1 : POE0#の入力レベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける	R/W (注1)
b3-b2	POE1M[1:0]	POE1モード選択ビット	b3 b2 0 0 : POE1#入力の立ち下がりエッジで要求を受け付ける 0 1 : POE1#の入力レベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 0 : POE1#の入力レベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 1 : POE1#の入力レベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける	R/W (注1)
b5-b4	POE2M[1:0]	POE2モード選択ビット	b5 b4 0 0 : POE2#入力の立ち下がりエッジで要求を受け付ける 0 1 : POE2#の入力レベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 0 : POE2#の入力レベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 1 : POE2#の入力レベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける	R/W (注1)
b7-b6	POE3M[1:0]	POE3モード選択ビット	b7 b6 0 0 : POE3#入力の立ち下がりエッジで要求を受け付ける 0 1 : POE3#の入力レベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 0 : POE3#の入力レベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 1 : POE3#の入力レベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける	R/W (注1)
b8	PIE1	ポート割り込み許可1ビット	0 : 入力レベル検出によるOEI1 割り込み要求を禁止 1 : 入力レベル検出によるOEI1 割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE0F	POE0フラグ	0 : POE0#端子にハイインピーダンス要求なし 1 : POE0#端子にハイインピーダンス要求あり	R/(W) (注2)
b13	POE1F	POE1フラグ	0 : POE1#端子にハイインピーダンス要求なし 1 : POE1#端子にハイインピーダンス要求あり	R/(W) (注2)
b14	POE2F	POE2フラグ	0 : POE2#端子にハイインピーダンス要求なし 1 : POE2#端子にハイインピーダンス要求あり	R/(W) (注2)
b15	POE3F	POE3フラグ	0 : POE3#端子にハイインピーダンス要求なし 1 : POE3#端子にハイインピーダンス要求あり	R/(W) (注2)

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

POE0M[1:0] ~ POE3M[1:0] ビットで Low サンプリングを設定している場合、POE0F ~ POE3F フラグに“0”を書き込むには、POE0# ~ POE3# 端子に High を入力する必要があります。

詳細は「22.3.6 ハイインピーダンスからの解除」を参照してください。

PIE1 ビット (ポート割り込み許可 1 ビット)

POE3F ~ POE0F フラグに 1 ビットでも“1”がセットされたときに、OEI1 割り込みを要求するかどうかを指定します。

POE0F フラグ (POE0 フラグ)

POE0# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

[“1”になる条件]

- POE0# 端子に POE0M[1:0] ビットで設定した入力が発生したとき

POE1F フラグ (POE1 フラグ)

POE1# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

[“1”になる条件]

- POE1# 端子に POE1M[1:0] ビットで設定した入力が発生したとき

POE2F フラグ (POE2 フラグ)

POE2# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

[“1”になる条件]

- POE2# 端子に POE2M[1:0] ビットで設定した入力が発生したとき

POE3F フラグ (POE3 フラグ)

POE3# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

[“1”になる条件]

- POE3# 端子に POE3M[1:0] ビットで設定した入力が発生したとき

22.2.2 出力レベルコントロール/ステータスレジスタ 1 (OCSR1)

アドレス 0008 8902h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE1	出力短絡割り込み許可1ビット	0：出力レベル比較によるOIE1割り込み要求を禁止 1：出力レベル比較によるOIE1割り込み要求を許可	R/W
b9	OCE1	出力短絡ハイインピーダンス許可1ビット	0：端子をハイインピーダンスにしない 1：端子をハイインピーダンスにする	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF1	出力短絡フラグ1	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読んだ後に“0”のみ書けます。

OIE1 ビット (出力短絡割り込み許可 1 ビット)

OSF1 フラグが“1”のときに、OIE1 割り込みを要求するかどうかを指定します。

OCE1 ビット (出力短絡ハイインピーダンス許可 1 ビット)

OSF1 フラグが“1”のときに、MTU 相補 PWM 出力端子をハイインピーダンスにするかどうかを指定します。

OSF1 フラグ (出力短絡フラグ 1)

表 22.3 端子の組み合わせ MTU 相補 PWM 出力端子の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。POE2.PnCZEA (n=1,2,3) ビットが“0”のとき、または MTU のアウトプットコンペア機能を有効にしていないとき、対応する MTU 相補 PWM 出力端子が同時にアクティブレベルになっても OSF1 フラグは“1”になりません。

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- “0”を書くには、MTU 相補 PWM 出力端子から非アクティブを出力する必要があります。
詳細は「22.3.6 ハイインピーダンスからの解除」参照してください。

[“1”になる条件]

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき

22.2.3 入力レベルコントロール/ステータスレジスタ 2 (ICSR2)

アドレス 0008 8908h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE8F	—	—	POE8E	PIE2	—	—	—	—	—	—	—	POE8M[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE8M[1:0]	POE8モード選択ビット	b1 b0 0 0 : POE8#入力の立ち下がりエッジで要求を受け付ける 0 1 : POE8#の入力レベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 0 : POE8#の入力レベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 1 : POE8#の入力レベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE2	ポート割り込み許可2ビット	0 : OEI2割り込み要求を禁止 1 : OEI2割り込み要求を許可	R/W
b9	POE8E	POE8ハイインピーダンス許可ビット	0 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D端子をハイインピーダンスにしない 1 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE8F	POE8フラグ	0 : POE8#端子にハイインピーダンス要求なし 1 : POE8#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

PIE2 ビット (ポート割り込み許可 2 ビット)

POE8F フラグが“1”になったときに、OEI2 割り込みを要求するかどうかを指定します。

POE8E ビット (POE8 ハイインピーダンス許可ビット)

POE8F フラグが“1”になったときに、MTU0 用端子をハイインピーダンスにするかどうかを指定します。

POE8F フラグ (POE8 フラグ)

POE8# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“0”になる条件]

“1”を読んだ後、“0”を書いたとき

POE8M[1:0] ビットで Low サンプリングを設定している場合、“0”を書くには、POE8# 端子に High を入力する必要があります。

詳細は「22.3.6 ハイインピーダンスからの解除」参照してください。

[“1”になる条件]

- POE8# 端子に POE8M[1:0] ビットで設定した入力が発生したとき

22.2.4 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

アドレス 0008 890Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CH0HI Z	CH34HI Z
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH34HIZ	MTU3、MTU4出力ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W
b1	CH0HIZ	MTU0出力ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CH34HIZ ビット (MTU3、MTU4 出力ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子 (MTIOC3B/MTIOC3D/MTIOC4A/MTIOC4B/MTIOC4C/MTIOC4D) をハイインピーダンスにする制御を行います。

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

[“1”になる条件]

- “1”を書いたとき
- イベントリンクコントローラ (ELC) からのイベント信号を受信したとき

CH0HIZ ビット (MTU0 出力ハイインピーダンス許可ビット)

MTU0 用端子 (MTIOC0A/MTIOC0B/MTIOC0C/MTIOC0D) をハイインピーダンスにする制御を行います。

[“0”になる条件]

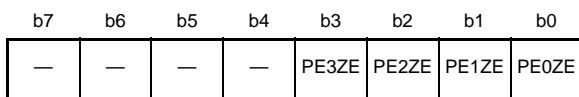
- “1”を読んだ後、“0”を書いたとき

[“1”になる条件]

- “1”を書いたとき
- イベントリンクコントローラ (ELC) からのイベント信号を受信したとき

22.2.5 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)

アドレス 0008 890Bh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PE0ZE	MTIOC0Aハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b1	PE1ZE	MTIOC0Bハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b2	PE2ZE	MTIOC0Cハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b3	PE3ZE	MTIOC0Dハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

22.2.6 ポートアウトプットイネーブルコントロールレジスタ 2 (POE2CR2)

アドレス 0008 890Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	P1CZEA A	P2CZEA A	P3CZEA A	—	—	—	—
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	P3CZEA	MTUポート3ハイインピーダンス許可ビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b5	P2CZEA	MTUポート2ハイインピーダンス許可ビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b6	P1CZEA	MTUポート1ハイインピーダンス許可ビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

本機能を使用しない場合、“00h”を書いてください。

P3CZEA ビット (MTU ポート 3 ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子の MTIOC4B と MTIOC4D をハイインピーダンスするかどうかを許可します。また、MTIOC4B と MTIOC4D の出力レベル比較を行うかどうかを許可します。

P2CZEA ビット (MTU ポート 2 ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子の MTIOC4A と MTIOC4C をハイインピーダンスするかどうかを許可します。また、MTIOC4A と MTIOC4C の出力レベル比較を行うかどうかを許可します。

P1CZEA ビット (MTU ポート 1 ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子の MTIOC3B と MTIOC3D をハイインピーダンスするかどうかを許可します。また、MTIOC3B と MTIOC3D の出力レベル比較を行うかどうかを許可します。

22.2.7 入力レベルコントロール/ステータスレジスタ 3 (ICSR3)

アドレス 0008 890Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	OSTST F	—	—	OSTST E	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	OSTSTE	OSTSTハイインピーダンス許可ビット	0 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子をハイインピーダンスにしない 1 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	OSTSTF	OSTSTハイインピーダンスフラグ	0 : 発振停止ハイインピーダンス要求なし 1 : 発振停止ハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

OSTSTE ビット (OSTST ハイインピーダンスイネーブルビット)

発振停止検出時に MTU 相補 PWM 出力端子、MTU0 用端子をハイインピーダンスにするかどうかを許可します。

OSTSTF フラグ (OSTST ハイインピーダンスフラグ)

OSTSTF フラグは、発振停止ハイインピーダンス要求を示すステータスフラグです。発振停止状態になると“1”になります。OSTSTF フラグを“0”にするときは、発振停止検出信号がネゲート状態のときに“0”を書いてください。発振停止検出信号がアサート中に OSTSTF フラグに“0”を書いても“0”になりません。アサート中とは、発振停止を検出後、PCLK で 10 サイクル経過するまでの期間です。

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

[“1”になる条件]

- 発振停止状態を検出したとき

22.3 動作説明

以下にハイインピーダンスの対象になる端子と条件を示します。

(1) MTU0 用端子 (MTIOC0A)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
POECR1.PE0ZE ビットと ICSR2.POE8E ビットが“1”の状態、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
POECR1.PE0ZE ビットが“1”の状態、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出
POECR1.PE0ZE ビットと ICSR3.OSTSTE ビットが“1”の状態、OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(2) MTU0 用端子 (MTIOC0B)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
POECR1.PE1ZE ビットと ICSR2.POE8E ビットが“1”の状態、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
POECR1.PE1ZE ビットが“1”の状態、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出
POECR1.PE1ZE ビットと ICSR3.OSTSTE ビットが“1”の状態、OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(3) MTU0 用端子 (MTIOC0C)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
POECR1.PE2ZE ビットと ICSR2.POE8E ビットが“1”の状態、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
POECR1.PE2ZE ビットが“1”の状態、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出
POECR1.PE2ZE ビットと ICSR3.OSTSTE ビットが“1”の状態、OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(4) MTU0 用端子 (MTIOC0D)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
POECR1.PE3ZE ビットと ICSR2.POE8E ビットが“1”の状態、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
POECR1.PE3ZE ビットが“1”の状態、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出
POECR1.PE3ZE ビットと ICSR3.OSTSTE ビットが“1”の状態、OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(5) MTU3 用端子 (MTIOC3B、MTIOC3D)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ~ POE3# 端子の入力レベル検出
POE2R.P1CZEA ビットが“1”の状態、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが“1”になったとき
- MTIOC3B 端子と MTIOC3D 端子の出力レベル比較
POE2R.P1CZEA ビットと OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
POE2R.P1CZEA ビットが“1”の状態、SPOER.CH34HIZ ビットを“1”にしたとき
- 発振停止検出
POE2R.P1CZEA ビットと ICSR3.OSTSTE ビットが“1”の状態、ICSR3.OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(6) MTU4 用端子 (MTIOC4A、MTIOC4C)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ~ POE3# 端子の入力レベル検出
POE2R.P2CZEA ビットが“1”の状態、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが“1”になったとき
- MTIOC4A 端子と MTIOC4C 端子の出力レベル比較
POE2R.P2CZEA ビットと OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
POE2R.P2CZEA ビットが“1”の状態、SPOER.CH34HIZ ビットを“1”にしたとき
- 発振停止検出
POE2R.P2CZEA ビットと ICSR3.OSTSTE ビットが“1”の状態、ICSR3.OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(7) MTU4 用端子 (MTIOC4B、MTIOC4D)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ~ POE3# 端子の入力レベル検出
POE2R.P3CZEA ビットが“1”の状態、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが“1”になったとき
- MTIOC4B 端子と MTIOC4D 端子の出力レベル比較
POE2R.P3CZEA ビットと OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
POE2R.P3CZEA ビットが“1”の状態、SPOER.CH34HIZ ビットを“1”にしたとき
- 発振停止検出
POE2R.P3CZEA ビットと ICSR3.OSTSTE ビットが“1”の状態、ICSR3.OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

22.3.1 入力レベル検出動作

ICSR1、ICSR2 レジスタで設定した入力条件が POE0# ~ POE3#、POE8# 端子に発生した場合、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンスにします。

(1) 立ち下がリエッジ検出

POE0# ~ POE3#、POE8# 端子に High から Low の変化が入力されたとき、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンスにします。

立ち下がリエッジは、PCLK でサンプリングを行った後、検出します。POE0# ~ POE3#、POE8# 端子に PCLK の 1 サイクル未満の Low が入力された場合、立ち下がリエッジが検出できるかどうかは保証できません。

POE0# ~ POE3#、POE8# 端子入力から端子のハイインピーダンスまでのタイミング例を図 22.2 に示します。

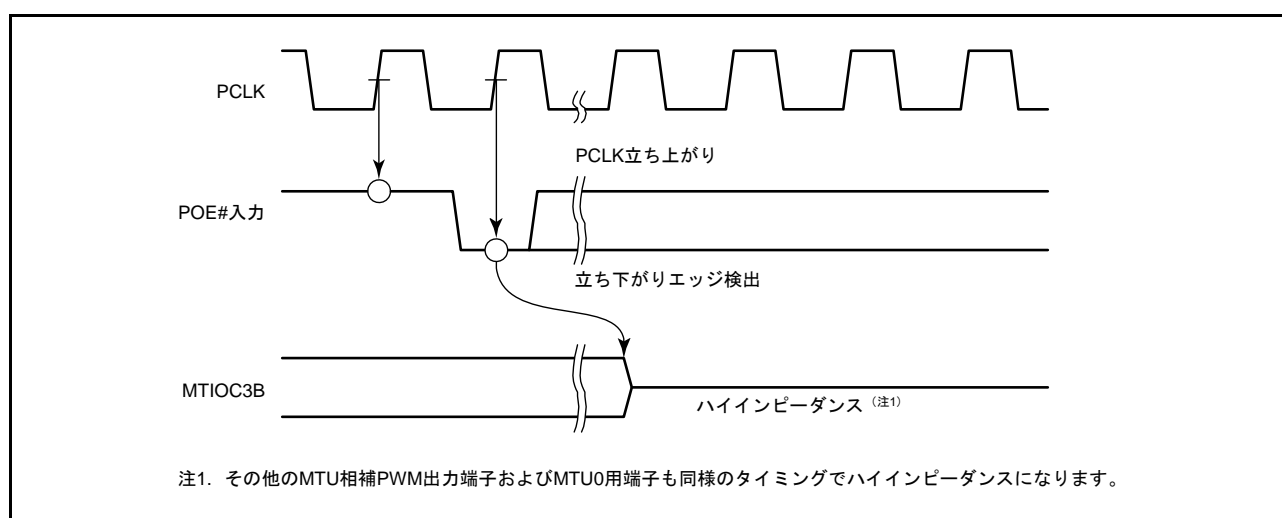


図 22.2 立ち下がリエッジ検出動作

(2) Low 検出

図 22.3 に Low 検出動作を示します。ICSR1、ICSR2 レジスタで設定したサンプリングクロックで、16回連続した Low をサンプリングします。このとき、一度でも High レベルを検出した場合は受け付けられません。また、サンプリングクロックが出力されていない期間は、POE0# ~ POE3#、POE8# 端子が変化しても無視されます。

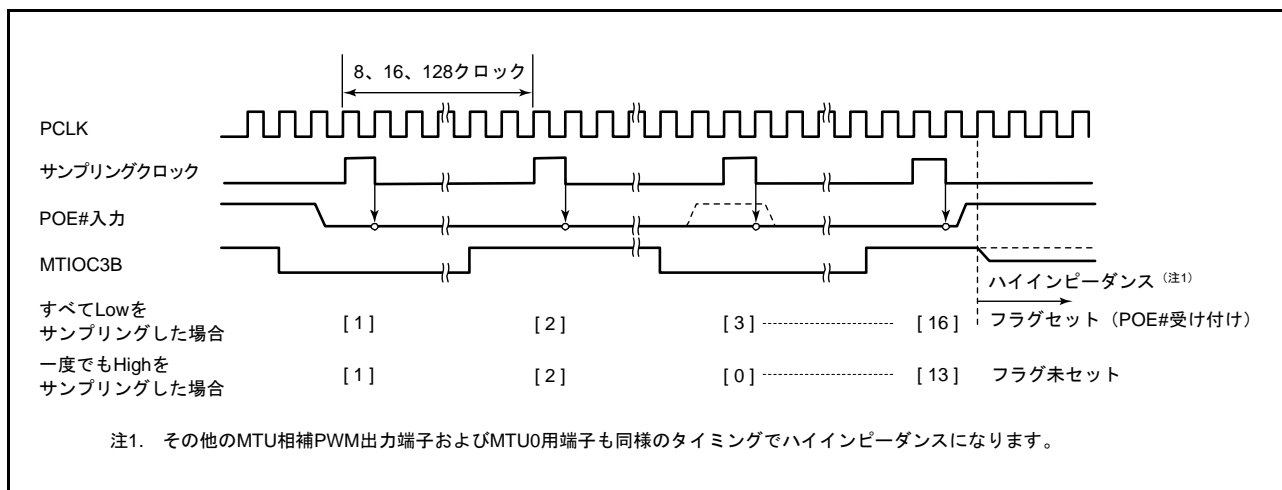


図 22.3 Low 検出動作

22.3.2 出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、MTU 相補 PWM 出力端子の出力レベル比較動作を図 22.4 に示します。他の端子の組み合わせについても同様です。

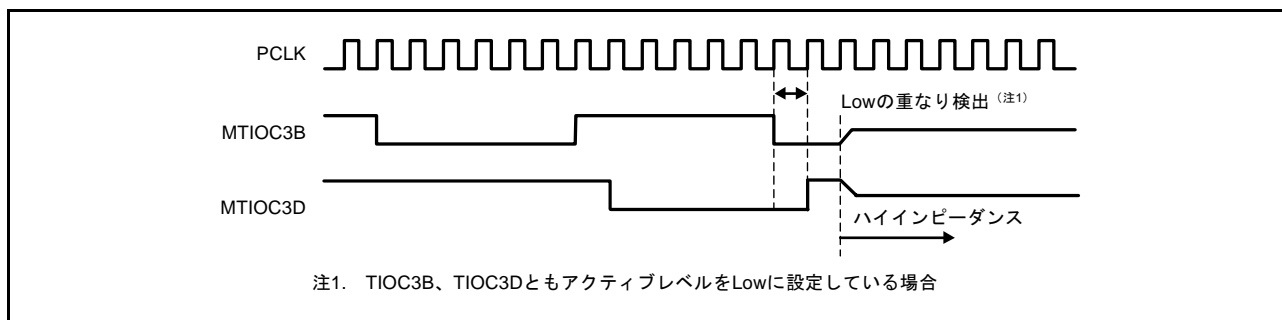


図 22.4 出力レベル比較動作

22.3.3 レジスタによるハイインピーダンス制御

ソフトウェアポートアウトプットイネーブルレジスタ (SPOER) への書き込みによって、MTU 相補 PWM 出力端子および MTU0 用端子のハイインピーダンス制御をします。

SPOER.CH34HIZ ビットを“1”にすることで、ポートアウトプットイネーブルコントロールレジスタ 2 (POE2R2) で設定した MTU 相補 PWM 出力の端子 (MTU3、MTU4) をハイインピーダンスにします。

SPOER.CH0HIZ ビットを“1”にすることで、POE2R1 レジスタで設定した MTU0 用出力端子をハイインピーダンスにします。

22.3.4 発振停止検出によるハイインピーダンス制御

クロック発生回路の発振停止検出機能により、発振停止が検出されると、POE2R2 レジスタで設定した MTU 相補 PWM 出力端子および POE2R1 レジスタで設定した MTU0 用端子をハイインピーダンスにします。

22.3.5 ELC からのイベント信号受信によるハイインピーダンス制御

ELC からのイベント信号により、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンス状態にすることができます。

ELC による MTU 相補 PWM 出力端子および MTU0 用端子のハイインピーダンス制御を行う場合は、対応するレジスタ (POE2R1 または POE2R2) をあらかじめ、ハイインピーダンス許可に設定してください。ELC からイベント信号を受信すると、対応するビット (SPOER.CH0HIZ または SPOER.CH34HIZ) が“1”となり、MTU 相補 PWM 出力端子または MTU0 用端子がハイインピーダンスとなります。

22.3.6 ハイインピーダンスからの解除

入力レベル検出でハイインピーダンスになった MTU 相補 PWM 出力端子および MTU0 用端子は、リセットで初期状態に戻るか、ICSR1.POE3F、POE2F、POE1F、POE0F フラグ、ICSR2.POE8F フラグを“0”にすることにより解除されます。ただし、ICSR1.POE3M[1:0]、POE2M[1:0]、POE1M[1:0]、POE0M[1:0] ビット、ICSR2.POE8M[1:0] ビットで Low サンプリングに設定している場合には、POE0# ~ POE3#、POE8# 端子から High を入力して High をサンプリングした後でないと、フラグに対して“0”書き込みを行っても無効となりフラグは“0”になりません。

出力レベル比較でハイインピーダンスになった MTU 相補 PWM 出力端子は、リセットで初期状態に戻るか、OCSR1.OSF1 フラグを“0”にすることにより解除されます。ただし、MTU 相補 PWM 出力端子から非アクティブレベルを出力するようにした後でないと、フラグに対して“0”書き込みを行っても無効となりフラグは“0”になりません。非アクティブレベル出力は、MTU のレジスタを設定することで行うことができます。

クロック発生回路の発振停止によりハイインピーダンスになった MTU 相補 PWM 出力端子および MTU0 用端子は、ICSR3.OSTSTF ビットまたは ICSR3.OSTSTE ビットを“0”にすることによりハイインピーダンスが解除されます。

SPOER.CH34HIZ ビットまたは SPOER.CH0HIZ ビットによりハイインピーダンスになった MTU 相補 PWM 出力端子または MTU0 用端子は、端子に対応するビット (SPOER.CH34HIZ、SPOER.CH0HIZ) を“0”にすることによりハイインピーダンスが解除されます。

22.4 割り込み

POE は入力レベル検出動作、出力レベル比較動作、クロック発生回路の発振停止において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。表 22.4 に割り込みの種類と割り込み要求を出す条件を示します。OEI1 割り込みと OEI2 割り込みを受け付けたとき、当該割り込みの例外処理ルーチンの先頭で当該フラグに“1”がセットされていることを確認してください。

表 22.4 割り込み要求の種類と条件

名称	割り込み要因	該当フラグ	条件
OEI1	アウトプットイネーブル割り込み1	POE0F、POE1F、POE2F、POE3F、OSF1	ICSR1.PIE1ビットが“1”の状態(ICSR1.POE0F、POE1F、POE2F、またはPOE3Fフラグが“1”になったとき、もしくはOCSR1.OIE1ビットが“1”の状態OCSR1.OSF1フラグが“1”になったとき)
OEI2	アウトプットイネーブル割り込み2	POE8F	ICSR2.PIE2ビットが“1”の状態(ICSR2.POE8Fフラグが“1”になったとき)

22.5 使用上の注意事項

22.5.1 ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへの移行について

POE を使用する場合は、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行しないでください。ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、POE の動作が停止するため、端子のハイインピーダンス制御はできません。

22.5.2 POE を使用しない場合について

POE を使用しない場合は、ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1) に“00h”を、ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2) に“00h”をそれぞれ書き込んでください。

22.5.3 端子の MTU 機能設定について

POE によるハイインピーダンス制御は、端子がポートモードレジスタ (PMR) によって MTU の該当端子に選択されている場合のみ機能します。汎用入出力ポートに選択されている場合は、ハイインピーダンス制御されません。

22.5.4 ELC からのイベント信号受信によるハイインピーダンス制御の注意事項

SPOER.CH34HIZ ビットまたは SPOER.CH0HIZ ビットへの“0”書き込みとイベント信号の受信が競合すると、イベント信号が優先され、対応するビットが“1”になります。ELC からのイベント信号の受信により MTU 相補 PWM 出力端子および MTU0 用端子がハイインピーダンスになったときは、割り込み要求は発生しません。

23. 16ビットタイマパルスユニット (TPUa)

RX210グループは、6チャンネルの16ビットタイマで構成される16ビットタイマパルスユニット (TPU) を内蔵しています。

TPUは、144ピン以上のピン数を持つ製品に内蔵しています。

23.1 概要

表 23.1 に TPU の仕様を、表 23.2 に TPU の機能一覧を示します。

図 23.1 に TPU のブロック図を示します。

表 23.1 TPUの仕様

項目	内容
パルス入出力	最大16本
カウントクロック	各チャンネルに7種類または8種類
設定可能動作	<ul style="list-style-type: none"> • コンペアマッチによる波形出力 • インพุットキャプチャ機能 (ノイズフィルタ設定可能) • カウンタクリア動作 • 複数のタイマカウンタ (TCNT) への同時書き込み • コンペアマッチ/インพุットキャプチャによる同時クリア • カウンタの同期動作による各レジスタの同期入出力 • 同期動作と組み合わせることによる最大15相のPWM出力 • カスケード接続動作
チャンネル0、3	バッファ動作を設定可能
チャンネル1、2、4、5	位相計数モードを設定可能
割り込み要因	26種類
バッファ動作	レジスタデータの自動転送
トリガ生成	A/Dコンパータの変換開始トリガを生成可能
消費電力低減機能	ユニットごとにモジュールストップ状態の設定が可能

表 23.2 TPUの機能一覧

項目	TPU0	TPU1	TPU2	TPU3	TPU4	TPU5
カウントクロック	PCLK/1 PCLK/4 PCLK/16 PCLK/64 TCLKA TCLKB TCLKC TCLKD	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKA TCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKA TCLKB TCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 PCLK/4096 TCLKA	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKA TCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKA TCLKC TCLKD
タイマジェネラルレジスタ (TGRy) (y=A~D)	TGRA TGRB TGRC (注1) TGRD (注1)	TGRA TGRB	TGRA TGRB	TGRA TGRB TGRC (注1) TGRD (注1)	TGRA TGRB	TGRA TGRB
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア機能	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ
コンペア マッチ 出力	Low出力	○	○	○	○	○
	High出力	○	○	○	○	○
	トグル出力	○	○	○	○	○
インプットキャプチャ機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	○
PWMモード	○	○	○	○	○	○
位相計数モード	—	○	○	—	○	○
バッファ動作	○	—	—	○	—	—
DTCの起動	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ
DMACの起動	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ
A/D変換開始トリガ (TGRy) (y=A~D)	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	—
割り込み要因	5要因 ・コンペアマッチ /インプット キャプチャ 0A ・コンペアマッチ /インプット キャプチャ 0B ・コンペアマッチ /インプット キャプチャ 0C ・コンペアマッチ /インプット キャプチャ 0D ・オーバフロー	4要因 ・コンペアマッチ /インプット キャプチャ 1A ・コンペアマッチ /インプット キャプチャ 1B ・オーバフロー ・アンダフロー	4要因 ・コンペアマッチ /インプット キャプチャ 2A ・コンペアマッチ /インプット キャプチャ 2B ・オーバフロー ・アンダフロー	5要因 ・コンペア マッチ /インプット キャプチャ 3A ・コンペア マッチ /インプット キャプチャ 3B ・コンペア マッチ /インプット キャプチャ 3C ・コンペア マッチ /インプット キャプチャ 3D ・オーバフロー	4要因 ・コンペアマッチ /インプット キャプチャ 4A ・コンペアマッチ /インプット キャプチャ 4B ・オーバフロー ・アンダフロー	4要因 ・コンペアマッチ /インプット キャプチャ 5A ・コンペアマッチ /インプット キャプチャ 5B ・オーバフロー ・アンダフロー
モジュールストップの設定 (注2)	MSTPCRA.MSTPA13ビット					

○：可能 —：不可能

注1. TGRCレジスタとTGRDレジスタは、バッファレジスタとして設定できます。

注2. 詳細は「11. 消費電力低減機能」を参照してください。

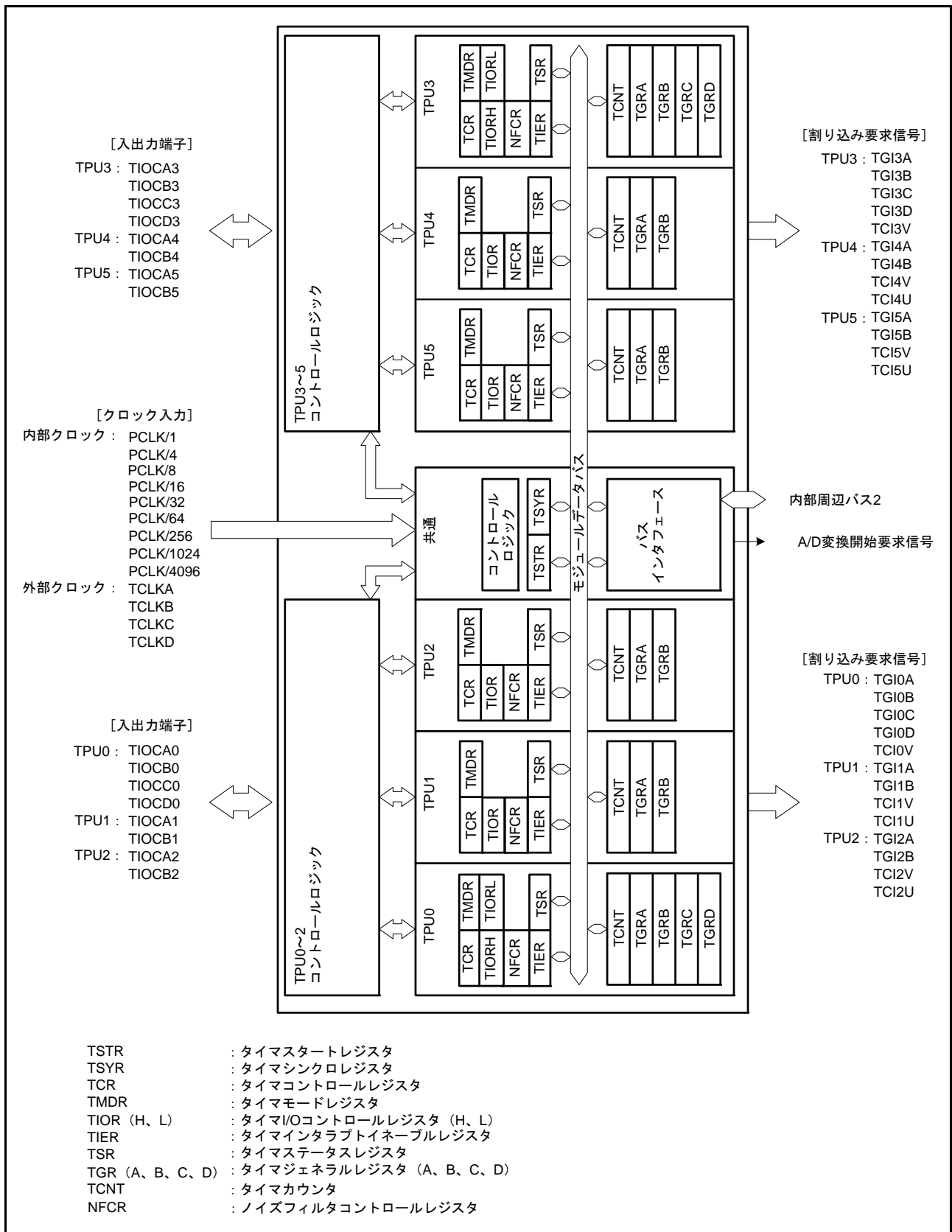


図 23.1 TPUのブロック図

表 23.3 に TPU で使用する入出力端子を示します。

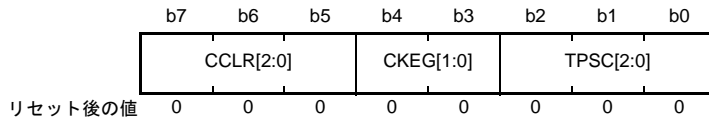
表 23.3 TPUの入出力端子

チャンネル	端子名	入出力	機能
共通	TCLKA	入力	外部クロックA入力端子 (TPU1、TPU5の位相計数モードA相入力)
	TCLKB	入力	外部クロックB入力端子 (TPU1、TPU5の位相計数モードB相入力)
	TCLKC	入力	外部クロックC入力端子 (TPU2、TPU4の位相計数モードA相入力)
	TCLKD	入力	外部クロックD入力端子 (TPU2、TPU4の位相計数モードB相入力)
TPU0	TIOCA0	入出力	TPU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB0	入出力	TPU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCC0	入出力	TPU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCD0	入出力	TPU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU1	TIOCA1	入出力	TPU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB1	入出力	TPU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU2	TIOCA2	入出力	TPU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB2	入出力	TPU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU3	TIOCA3	入出力	TPU3.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB3	入出力	TPU3.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCC3	入出力	TPU3.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCD3	入出力	TPU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU4	TIOCA4	入出力	TPU4.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB4	入出力	TPU4.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU5	TIOCA5	入出力	TPU5.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB5	入出力	TPU5.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

23.2 レジスタの説明

23.2.1 タイマコントロールレジスタ (TCR)

アドレス TPU0.TCR 0008 8110h、TPU1.TCR 0008 8120h、TPU2.TCR 0008 8130h
TPU3.TCR 0008 8140h、TPU4.TCR 0008 8150h、TPU5.TCR 0008 8160h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケーラ選択ビット	表23.4～表23.9を参照してください	R/W
b4-b3	CKEG[1:0]	入力クロックエッジ選択ビット	表23.10を参照してください	R/W
b7-b5	CCLR[2:0] (注1)	カウンタクリア要因選択ビット	表23.11、表23.12を参照してください	R/W

注1. TPU1.TCR、TPU2.TCR、TPU4.TCR、TPU5.TCRレジスタのb7は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TPUm.TCR レジスタの設定は、TPUm.TCNT カウンタの動作が停止した状態で行ってください。

TPSC[2:0] ビット (タイマプリスケーラ選択ビット)

TCNT カウンタのクロックを選択します。各チャンネル個々にクロックを選択することができます。

クロックに外部クロックを選択する場合は、該当する端子のポート方向レジスタ (PDR) のビットを“0” (入力ポート) に、ポートモードレジスタ (PMR) のビットを“1” (周辺機能として使用) にしてください。詳細は、「19. I/O ポート」を参照してください。

CKEG[1:0] ビット (入力クロックエッジ選択ビット)

入力クロックのエッジを選択します。

内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: PCLK/4 の両エッジ=PCLK/2 の立ち上がりエッジ)。

内部クロックのエッジ選択は、入力クロックが PCLK/4、もしくはそれより遅い場合に有効です。入力クロックに PCLK/1、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合、この設定は無視されます。

表23.4 TPSC[2:0]ビット (TPU0)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU0	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック • TPU0 : TCLKA 端子入力でカウント
	1	0	1	外部クロック • TPU0 : TCLKB 端子入力でカウント
	1	1	0	外部クロック • TPU0 : TCLKC 端子入力でカウント
	1	1	1	外部クロック • TPU0 : TCLKD 端子入力でカウント

表23.5 TPSC[2:0]ビット (TPU1)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU1	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック • TPU1 : TCLKA 端子入力でカウント
	1	0	1	外部クロック • TPU1 : TCLKB 端子入力でカウント
	1	1	0	内部クロック : PCLK/256でカウント
	1	1	1	• TPU1 TPU2.TCNTカウンタのオーバフロー/アンダフローでカウント

注. TPU1が位相計数モード時、この設定は無効になります。

表23.6 TPSC[2:0]ビット (TPU2)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU2	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック • TPU2 : TCLKA 端子入力でカウント
	1	0	1	外部クロック • TPU2 : TCLKB 端子入力でカウント
	1	1	0	外部クロック • TPU2 : TCLKC 端子入力でカウント
	1	1	1	内部クロック : PCLK/1024でカウント

注. TPU2が位相計数モード時、この設定は無効になります。

表23.7 TPSC[2:0]ビット (TPU3)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU3	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック • TPU3 : TCLKA端子入力でカウント
	1	0	1	内部クロック : PCLK/1024でカウント
	1	1	0	内部クロック : PCLK/256でカウント
	1	1	1	内部クロック : PCLK/4096でカウント

表23.8 TPSC[2:0]ビット (TPU4)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU4	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック • TPU4 : TCLKA端子入力でカウント
	1	0	1	外部クロック • TPU4 : TCLKC端子入力でカウント
	1	1	0	内部クロック : PCLK/1024でカウント
	1	1	1	• TPU4 TPU5.TCNTカウンタのオーバフロー/アンダフローでカウント

注. TPU4が位相計数モード時、この設定は無効になります。

表23.9 TPSC[2:0]ビット (TPU5)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU5	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック • TPU5 : TCLKA端子入力でカウント
	1	0	1	外部クロック • TPU5 : TCLKC端子入力でカウント
	1	1	0	内部クロック : PCLK/256でカウント
	1	1	1	外部クロック • TPU5 : TCLKD端子入力でカウント

注. TPU5が位相計数モード時、この設定は無効になります。

表23.10 CKEG[1:0]ビット

CKEG[1:0]ビット		入カクロック	
b4	b3	内部クロック	外部クロック
0	0	立ち下がりエッジでカウント	立ち上がりエッジでカウント
0	1	立ち上がりエッジでカウント	立ち下がりエッジでカウント
1	0	両エッジでカウント	両エッジでカウント
1	1	両エッジでカウント	両エッジでカウント

表23.11 CCLR[2:0]ビット (TPU0、TPU3)

チャンネル	CCLR[2:0]ビット			機能
	b7	b6	b5	
TPU0、TPU3	0	0	0	TCNTカウンタのクリア禁止
	0	0	1	TGRAレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア
	0	1	0	TGRBレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTカウンタをクリア (注2)
	1	0	0	TCNTカウンタのクリア禁止
	1	0	1	TGRCレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア (注1)
	1	1	0	TGRDレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア (注1)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTカウンタをクリア (注2)

- 注1. TGRC、またはTGRDレジスタをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTカウンタはクリアされません。
- 注2. 同期動作の設定はTPU.TSYR.SYNCjビット (j=0, 3) を“1”にすることによって行います。

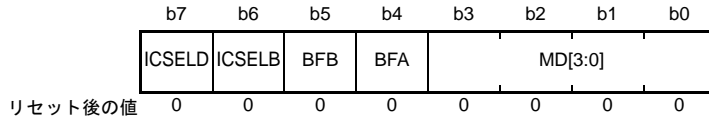
表23.12 CCLR[2:0]ビット (TPU1、TPU2、TPU4、TPU5)

チャンネル	CCLR[2:0]ビット (注1)			機能
	b7	b6	b5	
TPU1、TPU2、 TPU4、TPU5	0	0	0	TCNTカウンタのクリア禁止
	0	0	1	TGRAレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア
	0	1	0	TGRBレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTカウンタをクリア (注2)
	1	0	0	設定しないでください
	1	0	1	設定しないでください
	1	1	0	設定しないでください
	1	1	1	設定しないでください

- 注1. TPU1.TCR、TPU2.TCR、TPU4.TCR、TPU5.TCRレジスタのb7は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
- 注2. 同期動作の設定は、TPU.TSYR.SYNCjビット (j=1, 2, 4, 5) を“1”にすることによって行います。

23.2.2 タイマモードレジスタ (TMDR)

アドレス TPU0.TMDR 0008 8111h, TPU1.TMDR 0008 8121h, TPU2.TMDR 0008 8131h
TPU3.TMDR 0008 8141h, TPU4.TMDR 0008 8151h, TPU5.TMDR 0008 8161h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	b3 (注1) b0 0 0 0 0 : 通常動作 0 0 0 1 : 設定しないでください 0 0 1 0 : PWMモード1 0 0 1 1 : PWMモード2 0 1 0 0 : 位相計数モード1 (注2) 0 1 0 1 : 位相計数モード2 (注2) 0 1 1 0 : 位相計数モード3 (注2) 0 1 1 1 : 位相計数モード4 (注2) 上記以外は設定しないでください	R/W
b4	BFA (注3)	バッファ動作Aビット	0 : TPUm.TGRAレジスタは通常動作 1 : TPUm.TGRAレジスタとTPUm.TGRCレジスタはバッファ動作 (m=0, 3)	R/W
b5	BFB (注4)	バッファ動作Bビット	0 : TPUm.TGRBレジスタは通常動作 1 : TPUm.TGRBレジスタとTPUm.TGRDレジスタはバッファ動作 (m=0, 3)	R/W
b6	ICSELB	TGRBインプットキャプチャ入力選択ビット	0 : インプットキャプチャ入力元はTIOCBn端子 1 : インプットキャプチャ入力元はTIOCAn端子 (n=0~5)	R/W
b7	ICSELD (注4)	TGRDインプットキャプチャ入力選択ビット	0 : インプットキャプチャ入力元はTIOCDn端子 1 : インプットキャプチャ入力元はTIOCCn端子 (n=0, 3)	R/W

注1. b3は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注2. TPU0、TPU3では、位相計数モードの設定はできません。b2は“0”にしてください。

注3. TGRCレジスタを持たないTPU1、TPU2、TPU4、TPU5では、b4は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注4. TGRDレジスタを持たないTPU1、TPU2、TPU4、TPU5では、b5、b7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TPUm.TMDR レジスタの設定は、TPUm.TCNT カウンタの動作が停止した状態で行ってください。

BFA ビット (バッファ動作 A ビット)

TPUm.TGRA レジスタ (m=0, 3) を通常動作させるか、TPUm.TGRA レジスタと TPUm.TGRC レジスタ (m=0, 3) を組み合わせてバッファ動作させるかを選択します。

TGRC レジスタをバッファレジスタとして使用した場合は、TGRC レジスタのインプットキャプチャ/アウトプットコンペアは発生しません。

BFB ビット (バッファ動作 B ビット)

TPUm.TGRB レジスタ (m=0, 3) を通常動作させるか、TPUm.TGRB レジスタと TPUm.TGRD レジスタ (m=0, 3) を組み合わせてバッファ動作させるかを選択します。

TGRD レジスタをバッファレジスタとして使用した場合は、TGRD レジスタのインプットキャプチャ/アウトプットコンペアは発生しません。

ICSELB ビット (TGRB インพุットキャプチャ入力選択ビット)

TPUm.TGRB レジスタ (m=0~5) のインพุットキャプチャ入力を選択します。この機能を使用して1本の TIOCA_n 入力端子で入力パルスの High 幅と周期を測定できます。

ICSELD ビット (TGRD インพุットキャプチャ入力選択ビット)

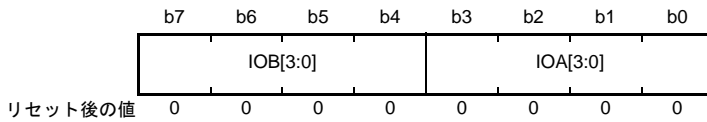
TPUm.TGRD レジスタ (m=0,3) のインพุットキャプチャ入力を選択します。

この機能を使用して1本の TIOCC_n 入力端子で入力パルスの High 幅と周期を測定できます。

23.2.3 タイマ I/O コントロールレジスタ (TIORH、TIORL、TIOR)

- TPU0.TIORH、TPU1.TIOR、TPU2.TIOR、TPU3.TIORH、TPU4.TIOR、TPU5.TIOR

アドレス TPU0.TIORH 0008 8112h、TPU1.TIOR 0008 8122h、TPU2.TIOR 0008 8132h
TPU3.TIORH 0008 8142h、TPU4.TIOR 0008 8152h、TPU5.TIOR 0008 8162h

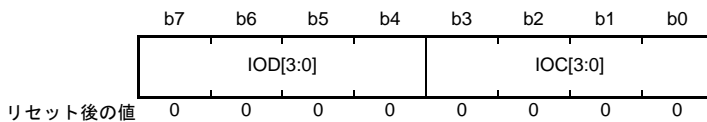


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	TGRAレジスタコントロールビット	表 23.13～表 23.18を参照してください (注1)	R/W
b7-b4	IOB[3:0]	TGRBレジスタコントロールビット	表 23.13～表 23.18を参照してください (注1)	R/W

注1. コンペアマッチでLow/High/トグル出力中に、IO[n:3:0]ビット(n=A、B)の値を出力禁止 (“0000b”または“0100b”)へ変更するとHi-Zになります。

- TPU0.TIORL、TPU3.TIORL

アドレス TPU0.TIORL 0008 8113h、TPU3.TIORL 0008 8143h



ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	TGRCレジスタコントロールビット	表 23.19、表 23.20を参照してください (注1)	R/W
b7-b4	IOD[3:0]	TGRDレジスタコントロールビット	表 23.19、表 23.20を参照してください (注1)	R/W

注1. コンペアマッチでLow/High/トグル出力中に、IO[n:3:0]ビット(n=C、D)の値を出力禁止 (“0000b”または“0100b”)へ変更するとHi-Zになります。

TPUには、TPU0、TPU3に各1本、計2本のTIORHレジスタ、TPU0、TPU3に各1本、計2本のTIORLレジスタ、TPU1、TPU2、TPU4、TPU5に各1本、計4本のTIORレジスタがあります。総計8本のタイマI/Oコントロールレジスタがあります。

TIORH、TIORL、TIORレジスタは、TGRA～TGRDレジスタを制御します。

TIORH、TIORL、TIORレジスタは、TMDRレジスタの設定の影響を受けますので注意してください。

詳細は表 23.13～表 23.20を参照してください。

TIORH、TIORL、TIORレジスタで指定した初期出力は、カウンタのカウント動作が停止した状態 (TPU.TSTR.CSTj ビット (j=0～5) が“0”) で有効になります。また、PWMモード2の場合の初期出力には、TCNTカウンタが“0”になった時点での出力を指定します。

TGRCレジスタまたはTGRDレジスタをバッファ動作に設定した場合、IOC[3:0]ビットまたはIOD[3:0]ビットで設定したレジスタの機能は無効となり、TGRCレジスタまたはTGRDレジスタはバッファレジスタとして動作します。

TIORH、TIORL、TIORレジスタでインプットキャプチャとしての機能を選択する場合は、該当する端子のポート方向レジスタ (PDR) のビットを“0” (入力ポート) に、ポートモードレジスタ (PMR) のビットを“1” (周辺機能として機能) にしてください。詳細は、「19. I/Oポート」を参照してください。

IOA[3:0]ビット (TGRAレジスタコントロールビット)

TPUm.TGRAレジスタ (m=0～5) の機能を選択します。

IOB[3:0] ビット (TGRB レジスタコントロールビット)

TPUm.TGRB レジスタ (m=0 ~ 5) の機能を選択します。

IOC[3:0] ビット (TGRC レジスタコントロールビット)

TPUm.TGRC レジスタ (m=0, 3) の機能を選択します。

IOD[3:0] ビット (TGRD レジスタコントロールビット)

TPUm.TGRD レジスタ (m=0, 3) の機能を選択します。

表23.13 TPU0.TIORH

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU0.TGRAレジスタの機能	TIOCA0端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA0端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA0端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA0端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU1のカウンタクロック TPU1.TCNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ (注1)

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU0.TGRBレジスタの機能	TIOCB0端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB0/TIOCA0端子 (注2)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB0/TIOCA0端子 (注2)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB0/TIOCA0端子 (注2)、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU1のカウンタクロック TPU1.TCNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ (注1)

x : Don't care

- 注1. TPU1.TCR.TPSC[2:0]ビットを“000b”とし、TPUm.TCNTカウンタのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません。
- 注2. TPU0.TMDR.ICSELBビットで選択します。

表23.14 TPU1.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU1.TGRAレジスタの機能	TIOCA1端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA1端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA1端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA1端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU0.TGRAレジスタのコンペアマッチ/インプットキャプチャ TPU0.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU1.TGRBレジスタの機能	TIOCB1端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB1/TIOCA1端子 ^(注1) 、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB1/TIOCA1端子 ^(注1) 、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB1/TIOCA1端子 ^(注1) 、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU0.TGRCレジスタのコンペアマッチ/インプットキャプチャ TPU0.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

注1. TPU1.TMDR.ICSELBビットで選択します。

表23.15 TPU2.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU2.TGRAレジスタの機能	TIOCA2端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA2端子、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCA2端子、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCA2端子、両エッジでインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU2.TGRBレジスタの機能	TIOCB2端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB2/TIOCA2端子 ^(注1) 、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCB2/TIOCA2端子 ^(注1) 、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCB2/TIOCA2端子 ^(注1) 、両エッジでインプットキャプチャ

x : Don't care

注1. TPU2.TMDR.ICSELBビットで選択します。

表23.16 TPU3.TIORH

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU3.TGRAレジスタの機能	TIOCA3端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA3端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA3端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA3端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ (注1)

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU3.TGRBレジスタの機能	TIOCB3端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB3/TIOCA3端子 (注2)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB3/TIOCA3端子 (注2)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB3/TIOCA3端子 (注2)、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ (注1)

x : Don't care

- 注1. TPU4.TCR.TPSC[2:0]ビットを“000b”とし、TPU4.TCNTのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません。
- 注2. TPU3.TMDR.ICSELBビットで選択します。

表 23.17 TPU4.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU4.TGRAレジスタの機能	TIOCA4端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA4端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA4端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA4端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU3.TGRAレジスタのコンペアマッチ/インプットキャプチャ TPU3.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU4.TGRBレジスタの機能	TIOCB4端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB4/TIOCA4端子 (注1)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB4/TIOCA4端子 (注1)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB4/TIOCA4端子 (注1)、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU3.TGRCレジスタのコンペアマッチ/インプットキャプチャ TPU3.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

注1. TPU4.TMDR.ICSELBビットで選択します。

表 23.18 TPU5.TIOR、TPU11.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU5.TGRAレジスタの機能	TIOCA5端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA5端子、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCA5端子、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCA5端子、両エッジでインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU5.TGRBレジスタの機能	TIOCB5端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB5/TIOCA5端子 (注1)、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCB5/TIOCA5端子 (注1)、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCB5/TIOCA5端子 (注1)、両エッジでインプットキャプチャ

x : Don't care

注1. TPU5.TMDR.ICSELBビットで選択します。

表23.19 TPU0.TIORL

IOC[3:0]ビット				説明	
b3	b2	b1	b0	TPU0.TGRCレジスタの機能	TIOCC0端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	キャプチャ入力元はTIOCC0端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCC0端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCC0端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ (注3)

IOD[3:0]ビット				説明	
b7	b6	b5	b4	TPU0.TGRDレジスタの機能	TIOCD0端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注2)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注2)	キャプチャ入力元はTIOCD0/TIOCC0端子 (注4)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCD0/TIOCC0端子 (注4)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCD0/TIOCC0端子 (注4)、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ (注3)

x : Don't care

- 注1. TPU0.TMDR.BFAビットを“1” (TPU0.TGRAレジスタとTPU0.TGRCレジスタはバッファ動作) にして、TPU0.TGRCレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。
- 注2. TPU0.TMDR.BFBビットを“1” (TPU0.TGRBレジスタとTPU0.TGRDレジスタはバッファ動作) にして、TPU0.TGRDレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。
- 注3. TPU1.TCR.TPSC[2:0]ビットを“000b”とし、TPU1.TCNTカウンタのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません。
- 注4. TPU0.TMDR.ICSELDビットの設定で選択します。

表23.20 TPU3.TIORL

IOC[3:0]ビット				説明	
b3	b2	b1	b0	TPU3.TGRCレジスタの機能	TIOCC3端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	キャプチャ入力元はTIOCC3端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCC3端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCC3端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ (注3)

IOD[3:0]ビット				説明	
b7	b6	b5	b4	TPU3.TGRDレジスタの機能	TIOCD3端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注2)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注2)	キャプチャ入力元はTIOCD3/TIOCC3端子 (注4)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCD3/TIOCC3端子 (注4)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCD3/TIOCC3端子 (注4)、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ (注3)

x : Don't care

- 注1. TPU3.TMDR.BFAビットを“1” (TPU3.TGRAレジスタとTPU3.TGRCレジスタはバッファ動作) にして、TPU3.TGRCレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。
- 注2. TPU3.TMDR.BFBビットを“1” (TPU3.TGRBレジスタとTPU3.TGRDレジスタはバッファ動作) にして、TPU3.TGRDレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。
- 注3. TPU4.TCR.TPSC[2:0]ビットを“000b”とし、TPU4.TCNTのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません。
- 注4. TPU3.TMDR.ICSELDビットの設定で選択します。

23.2.4 タイマ割り込み許可レジスタ (TIER)

アドレス TPU0.TIER 0008 8114h、TPU1.TIER 0008 8124h、TPU2.TIER 0008 8134h
TPU3.TIER 0008 8144h、TPU4.TIER 0008 8154h、TPU5.TIER 0008 8164h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE	—	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGRA割り込み許可ビット	0: 割り込み (TGImA) を禁止 1: 割り込み (TGImA) を許可 (m=0~5)	R/W
b1	TGIEB	TGRB割り込み許可ビット	0: 割り込み (TGImB) を禁止 1: 割り込み (TGImB) を許可 (m=0~5)	R/W
b2	TGIEC (注1)	TGRC割り込み許可ビット	0: 割り込み (TGImC) を禁止 1: 割り込み (TGImC) を許可 (m=0, 3)	R/W
b3	TGIED (注1)	TGRD割り込み許可ビット	0: 割り込み (TGImD) を禁止 1: 割り込み (TGImD) を許可 (m=0, 3)	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0: 割り込み (TCImV) を禁止 1: 割り込み (TCImV) を許可 (m=0~5)	R/W
b5	TCIEU (注2)	アンダフロー割り込み許可ビット	0: 割り込み (TCImU) を禁止 1: 割り込み (TCImU) を許可 (m=1, 2, 4, 5)	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TTGE	A/D変換開始要求許可ビット	0: A/D変換開始要求の発生を禁止 1: A/D変換開始要求の発生を許可	R/W

注1. TPU1.TIER、TPU2.TIER、TPU4.TIER、TPU5.TIERレジスタのb3、b2は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注2. TPU0.TIER、TPU3.TIERレジスタのb5は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE ビット (A/D 変換開始要求許可ビット)

TPUm.TGRA レジスタ (m=0~5) のインプットキャプチャ/コンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。

23.2.5 タイマステータスレジスタ (TSR)

アドレス TPU0.TSR 0008 8115h、TPU1.TSR 0008 8125h、TPU2.TSR 0008 8135h
 TPU3.TSR 0008 8145h、TPU4.TSR 0008 8155h、TPU5.TSR 0008 8165h

b7	b6	b5	b4	b3	b2	b1	b0
TCFD	—	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA

リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGFA	インプットキャプチャ/ アウトプットコンペア フラグA	0 : TPUm.TGRAのインプットキャプチャまたはコンペアマッチが発生 していない 1 : TPUm.TGRAのインプットキャプチャまたはコンペアマッチが発生 (m=0~5)	R/W (注2)
b1	TGFB	インプットキャプチャ/ アウトプットコンペア フラグB	0 : TPUm.TGRBのインプットキャプチャまたはコンペアマッチが発生 していない 1 : TPUm.TGRBのインプットキャプチャまたはコンペアマッチが発生 (m=0~5)	R/W (注2)
b2	TGFC (注4)	インプットキャプチャ/ アウトプットコンペア フラグC	0 : TPUm.TGRCのインプットキャプチャまたはコンペアマッチが発生 していない 1 : TPUm.TGRCのインプットキャプチャまたはコンペアマッチが発生 (m=0, 3)	R/W (注2)
b3	TGFD (注4)	インプットキャプチャ/ アウトプットコンペア フラグD	0 : TPUm.TGRDのインプットキャプチャまたはコンペアマッチが発生 していない 1 : TPUm.TGRDのインプットキャプチャまたはコンペアマッチが発生 (m=0, 3)	R/W (注2)
b4	TCFV	オーバフローフラグ	0 : TPUm.TCNTのオーバフローが発生していない 1 : TPUm.TCNTのオーバフローが発生 (m=0~5)	R/W (注2)
b5	TCFU (注3)	アンダフローフラグ	0 : TPUm.TCNTのアンダフローが発生していない 1 : TPUm.TCNTのアンダフローが発生 (m=1, 2, 4, 5)	R/W (注2)
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD (注1)	カウント方向フラグ	0 : TPUm.TCNTカウンタはダウンカウント 1 : TPUm.TCNTカウンタはアップカウント (m=1, 2, 4, 5)	R

注1. TPU0.TSR、TPU3.TSRレジスタのb7は、予約ビットです。読むと“1”が読めます。書く場合、“1”としてください。

注2. フラグをクリアするための“0”を書くことのみ可能です。

注3. TPU0.TSR、TPU3.TSRレジスタのb5は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注4. TPU1.TSR、TPU2.TSR、TPU4.TSR、TPU5.TSRレジスタのb2, b3は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TGFA フラグ (インプットキャプチャ/アウトプットコンペアフラグ A)

TPUm.TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

(m=0 ~ 5)

["1" になる条件]

- TPUm.TGRA がアウトプットコンペアコンペアレジスタとして機能している場合、TPUm.TCNT=TPUm.TGRA になったとき
- TPUm.TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRA に転送されたとき

["0" になる条件]

- TGImA 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが "0" のとき
- TGFA=1 を読んだ後、TGFA フラグに "0" を書いたとき

TGFB フラグ (インプットキャプチャ/アウトプットコンペアフラグ B)

TPUm.TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

(m=0 ~ 5)

["1" になる条件]

- TPUm.TGRB がアウトプットコンペアコンペアレジスタとして機能している場合、TPUm.TCNT=TPUm.TGRB になったとき
- TPUm.TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRB に転送されたとき

["0" になる条件]

- TGImB 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが "0" のとき
- TGFB=1 を読んだ後、TGFB フラグに "0" を書いたとき

TGFC フラグ (インプットキャプチャ/アウトプットコンペアフラグ C)

TPUm.TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

(m=0, 3)

["1" になる条件]

- TPUm.TGRC がアウトプットコンペアコンペアレジスタとして機能している場合、TPUm.TCNT=TPUm.TGRC になったとき
- TPUm.TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRC に転送されたとき

["0" になる条件]

- TGImC 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが "0" のとき
- TGFC=1 を読んだ後、TGFC フラグに "0" を書いたとき

TGFD フラグ (インプットキャプチャ/アウトプットコンペアフラグ D)

TPUm.TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

(m=0, 3)

["1" になる条件]

- TPUm.TGRD がアウトプットコンペアコンペアレジスタとして機能している場合、TPUm.TCNT=TPUm.TGRD になったとき
- TPUm.TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRD に転送されたとき

["0" になる条件]

- TGImD 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが "0" のとき
- TGFD=1 を読んだ後、TGFD フラグに "0" を書いたとき

TCFV フラグ (オーバフローフラグ)

TPUm.TCNT (m=0 ~ 5) のオーバフローの発生を示すステータスフラグです。

["1" になる条件]

- TPUm.TCNT の値がオーバフローしたとき (FFFFh → 0000h)

["0" になる条件]

- TCFV=1 を読んだ後、TCFV フラグに "0" を書いたとき

TCFU フラグ (アンダフローフラグ)

TPUm.TCNT (m=1, 2, 4, 5) のアンダフローの発生を示すステータスフラグです。

["1" になる条件]

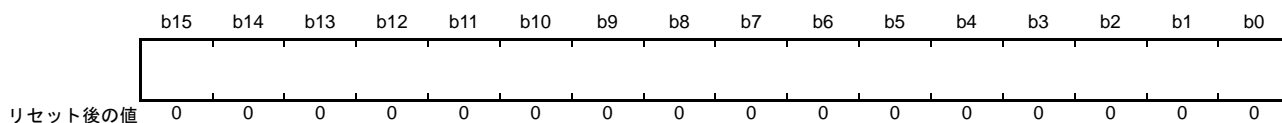
- TPUm.TCNT の値がアンダフローしたとき (0000h → FFFFh)

["0" になる条件]

- TCFU=1 を読んだ後、TCFU フラグに "0" を書いたとき

23.2.6 タイマカウンタ (TCNT)

アドレス TPU0.TCNT 0008 8116h, TPU1.TCNT 0008 8126h, TPU2.TCNT 0008 8136h
TPU3.TCNT 0008 8146h, TPU4.TCNT 0008 8156h, TPU5.TCNT 0008 8166h

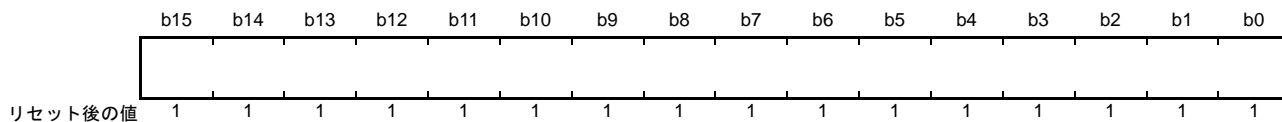


TPUm.TCNT カウンタは、内部クロックまたは外部イベントをカウントできる 16 ビットのカウンタです。16 ビット単位で読み出し / 書き込みが可能です。

リセット時に “0000h” になります。

23.2.7 タイマジェネラルレジスタ A (TGRA) タイマジェネラルレジスタ B (TGRB) タイマジェネラルレジスタ C (TGRC) タイマジェネラルレジスタ D (TGRD)

アドレス TPU0.TGRA 0008 8118h, TPU0.TGRB 0008 811Ah, TPU0.TGRC 0008 811Ch, TPU0.TGRD 0008 811Eh
TPU1.TGRA 0008 8128h, TPU1.TGRB 0008 812Ah
TPU2.TGRA 0008 8138h, TPU2.TGRB 0008 813Ah
TPU3.TGRA 0008 8148h, TPU3.TGRB 0008 814Ah, TPU3.TGRC 0008 814Ch, TPU3.TGRD 0008 814Eh
TPU4.TGRA 0008 8158h, TPU4.TGRB 0008 815Ah
TPU5.TGRA 0008 8168h, TPU5.TGRB 0008 816Ah



TPU には、TPU0、3 に各 4 本、TPU1、2、4、5 に各 2 本、計 16 本のタイマジェネラルレジスタがあります。

TPUm.TGRA (m=0~5)、TPUm.TGRB (m=0~5)、TPUm.TGRC (m=0,3)、TPUm.TGRD (m=0,3) レジスタは、16 ビットのアウトプットコンペア / インพุットキャプチャ兼用のレジスタです。

16 ビット単位で読み出し / 書き込みが可能です。

TPUm.TGRC レジスタと TPUm.TGRD レジスタは、バッファレジスタとして動作設定することができます。バッファ動作時のレジスタの組み合わせは、TPUm.TGRA レジスタと TPUm.TGRC レジスタ、TPUm.TGRB レジスタと TPUm.TGRD レジスタになります。

23.2.8 タイマスタートレジスタ (TSTR)

アドレス TPU.TSTR 0008 8100h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	CST5	CST4	CST3	CST2	CST1	CST0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0 : TCNTカウンタのカウンタ動作は停止 1 : TCNTカウンタはカウンタ動作	R/W
b1	CST1	カウンタスタート1ビット		R/W
b2	CST2	カウンタスタート2ビット		R/W
b3	CST3	カウンタスタート3ビット		R/W
b4	CST4	カウンタスタート4ビット		R/W
b5	CST5	カウンタスタート5ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TPU.TSTR レジスタは、TPU0 ~ 5 の TCNT カウンタの動作 / 停止を選択するレジスタです。

TPUm.TMDR レジスタで動作モードを設定する場合や、TPUm.TCR レジスタで TPUm.TCNT カウンタのカウントクロックを設定する場合は、TPUm.TCNT カウンタのカウント動作を停止させてから行ってください。

CSTn ビット (カウンタスタートビット) (n=0 ~ 5)

TCNT カウンタの動作 / 停止を選択します。

CSTn ビットが“1”で、対応する TIOCyn 端子 (y = A ~ D, n = 0 ~ 5) が出力状態のときに、CSTn ビットを“0”にするとカウンタ動作は停止しますが、対応する TIOCyn 端子のアウトプットコンペア出力レベルは保持されます。

CSTn ビットが“0”のとき、TIORH、TIORL、TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

23.2.9 タイマシンクロレジスタ (TSYR)

アドレス TPU.TSYR 0008 8101h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0 : TCNTカウンタは単独動作 (TCNTカウンタのプリセット/クリアは、他のチャネルとは無関係) 1 : TCNTカウンタは同期動作 (注1) (TCNTカウンタの同期プリセット/同期クリアが可能)	R/W
b1	SYNC1	タイマ同期1ビット		R/W
b2	SYNC2	タイマ同期2ビット		R/W
b3	SYNC3	タイマ同期3ビット		R/W
b4	SYNC4	タイマ同期4ビット		R/W
b5	SYNC5	タイマ同期5ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 同期動作の設定には、最低2チャンネルのSYNCnビット (n=0~5) を“1”にする必要があります。同期クリアの設定には、SYNCnビットの他にTCR.CCLR[2:0]ビットで、TCNTのクリア要因を選択する必要があります。

TPU.TSYR レジスタは TPU0~5 の TCNT カウンタの単独動作または同期動作を選択するレジスタです。

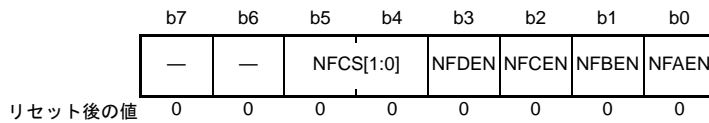
SYNCn ビット (タイマ同期ビット) (n = 0 ~ 5)

TCNT カウンタが他のチャンネルの TCNT カウンタと同期動作をするか、単独動作にするかを選択します。

同期動作を選択すると、複数の TCNT カウンタの同期プリセットや、他のチャンネルのカウンタクリアによる同期クリアが可能となります。

23.2.10 ノイズフィルタコントロールレジスタ (NFCR)

アドレス TPU0.NFCR 0008 8108h、TPU1.NFCR 0008 8109h、TPU2.NFCR 0008 810Ah
TPU3.NFCR 0008 810Bh、TPU4.NFCR 0008 810Ch、TPU5.NFCR 0008 810Dh



ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ許可Aビット	0 : TIOCAmのノイズフィルタは停止 1 : TIOCAmのノイズフィルタは許可 (m=0~5)	R/W
b1	NFBEN	ノイズフィルタ許可Bビット	0 : TIOCBmのノイズフィルタは停止 1 : TIOCBmのノイズフィルタは許可 (m=0~5)	R/W
b2	NFCEN (注1)	ノイズフィルタ許可Cビット	0 : TIOCCmのノイズフィルタは停止 1 : TIOCCmのノイズフィルタは許可 (m=0, 3)	R/W
b3	NFDEN (注1)	ノイズフィルタ許可Dビット	0 : TIOCDmのノイズフィルタは停止 1 : TIOCDmのノイズフィルタは許可 (m=0, 3)	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	b5 b4 0 0 : PCLK/1 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みはできません	R

注. TPU1.NFCR、TPU2.NFCR、TPU4.NFCR、TPU5.NFCR レジスタのb2, b3は予約ビットです。読むと“0”が読めます。書き込みはできません。

TPUm.NFCR レジスタの設定は、TPUm.TCNT カウンタの動作が停止した状態で行ってください。

NFAEN ビット (ノイズフィルタ許可 A ビット)

TIOCAm 端子のノイズフィルタを許可または停止します。(n=0 ~ 5)

NFAEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFAEN ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ許可 B ビット)

TIOCBm 端子のノイズフィルタを許可または停止します。(n=0 ~ 5)

NFBEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFBEN ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ許可 C ビット)

TIOCCm 端子のノイズフィルタを許可または停止します。(n=0, 3)

NFCEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFCEN ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ許可 D ビット)

TIOCDm 端子のノイズフィルタを許可または停止します。(n=0, 3)

NFDEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFDEN ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロック選択ビット)

ノイズフィルタのサンプリングクロックを選択します。

NFCS[1:0] ビットを“11b”としてカウントソースを選択した場合、サンプリングクロックの対象となるのは、TPSC[2:0] ビットで設定される PCLK/1 以外の内部クロックおよび外部クロックです。カウンタクロックとサンプリングクロックを両方とも PCLK/1 にしたい場合は、NFCS[1:0] ビットを“00b”としてください。

選択されたクロックの立ち上がりエッジでインプットキャプチャ入力信号をサンプリングします。サンプリングしたレベルが 3 回連続して一致した場合に、そのレベルをインプットキャプチャ信号として通過し、一致しない場合は前のレベルを保持します。

NFCS[1:0] ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。

23.3 動作説明

23.3.1 概要

各チャンネルには、TPUm.TCNT カウンタと TPUm.TGRy レジスタ (y=A ~ D) があります。

TCNT カウンタは、16 ビットのアップカウンタで、フリーランカウンタ、周期カウンタ、またはイベントカウンタとして動作させることができます。

TGRy レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TPU.TSTR.CSTj ビット (j=0 ~ 5) を“1”にすると、対応するチャンネルの TCNT カウンタはカウント動作を開始します。

(a) カウント動作の設定手順例

カウント動作設定手順例を図 23.2 に示します。

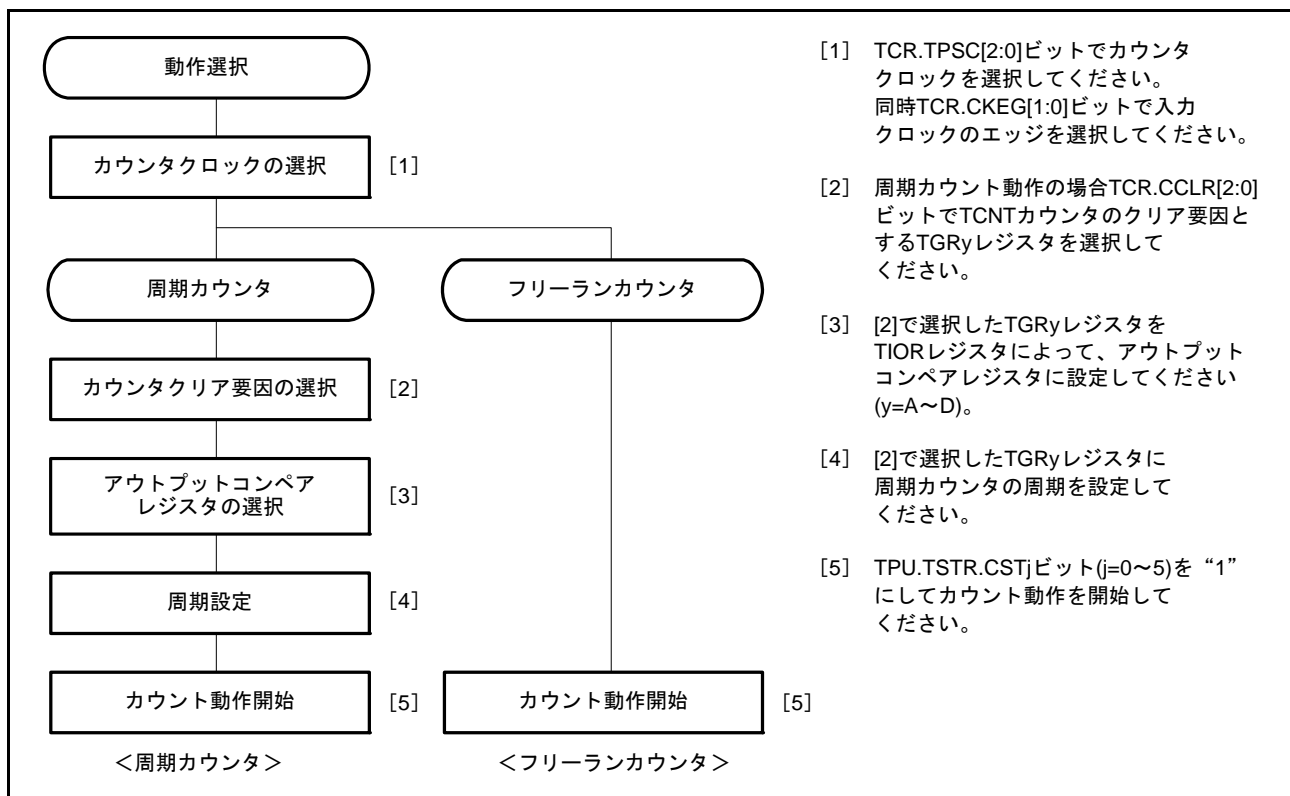


図 23.2 カウント動作設定手順例

(b) フリーランカウンタ動作と周期カウンタ動作

TPUm.TCNT カウンタは、リセット直後はすべてフリーランカウンタの設定となっており、TPU.TSTR レジスタの対応するビットを“1”にするとフリーランカウンタとしてアップカウントを開始します。TCNT カウンタがオーバーフロー (“FFFFh” → “0000h”) すると、TPU は割り込みを要求します。TCNT カウンタはオーバーフロー後、“0000h” からアップカウントを継続します。

フリーランカウンタの動作を図 23.3 に示します。

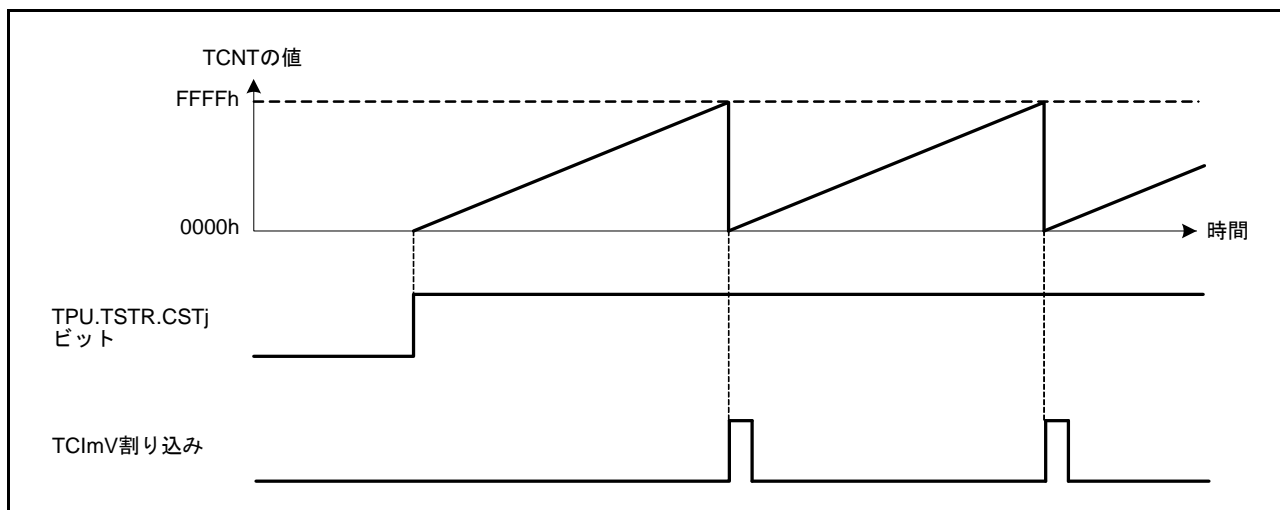


図 23.3 フリーランカウンタの動作

TCNT カウンタのクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT カウンタは周期カウンタ動作を行います。周期設定用の TPUm.TGRy レジスタをアウトプットコンペアレジスタに設定し、TPUm.TCR.CCLR[2:0] ビットでコンペアマッチによるカウンタクリアを選択します。設定後、TPU.TSTR レジスタの対応するビットを“1”にすると、周期カウンタとしてアップカウントを開始します。カウント値が TGRy レジスタの値と一致すると TCNT カウンタは“0000h”になります。

このとき、TPU は割り込みを要求します。TCNT カウンタはコンペアマッチ後、“0000h” からアップカウントを継続します。

周期カウンタの動作を図 23.4 に示します。

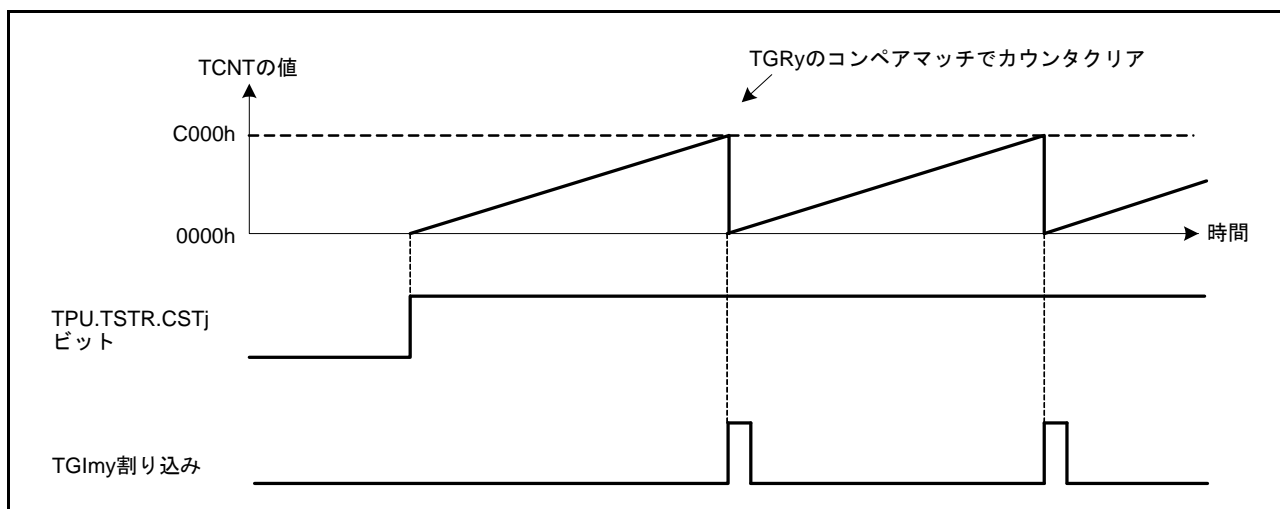


図 23.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPUは、コンペアマッチによって対応する出力端子からLow出力/High出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 23.5 に示します。

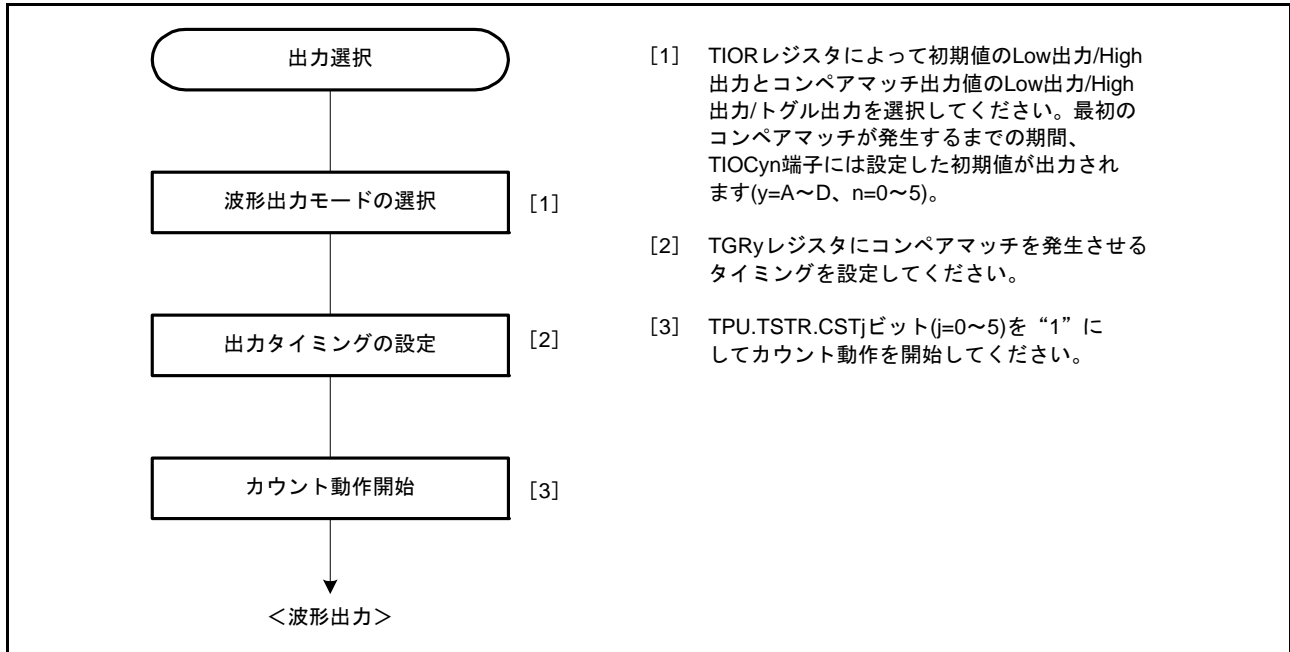


図 23.5 コンペアマッチによる波形出力動作の設定手順例

(b) 波形出力動作例

Low出力/High出力の動作例を図 23.6 に示します。

TPUm.TCNTをフリーランニングカウント動作とし、コンペアマッチAでHigh出力、コンペアマッチBでLow出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

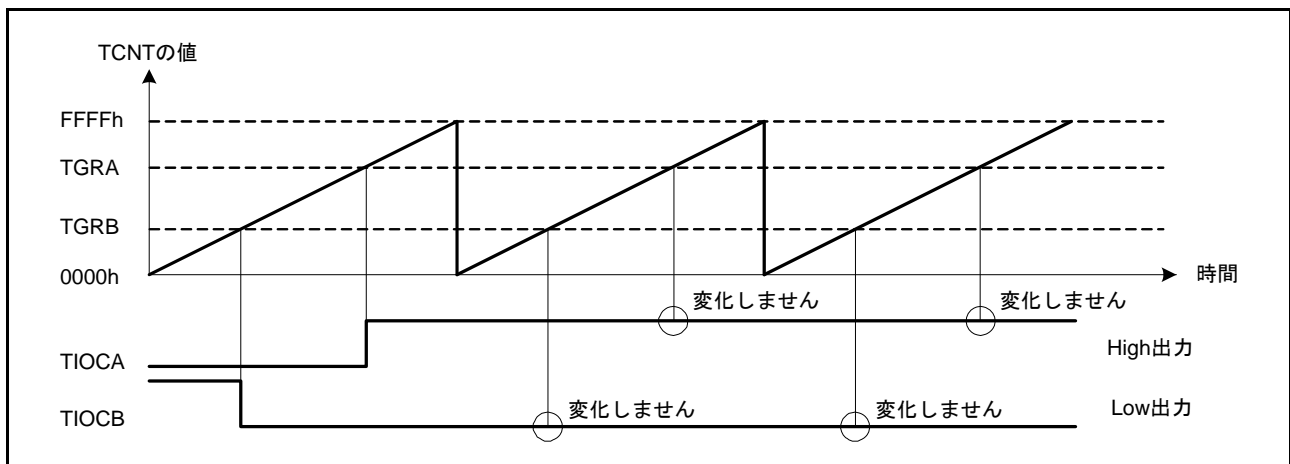


図 23.6 Low出力/High出力の動作例

トグル出力の動作例を図 23.7 に示します。

TPUm.TCNT カウンタを周期カウント動作（コンペアマッチ B によってカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

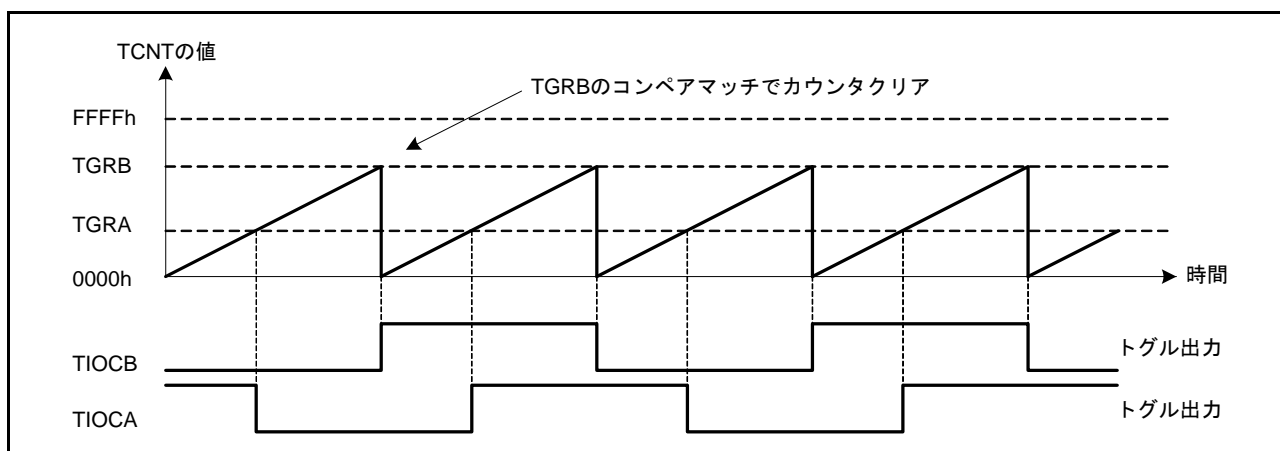


図 23.7 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOCyn 端子 (y=A ~ D、n=0 ~ 5) の入力エッジを検出して TPUm.TCNT カウンタの値を TPUm.TGRy レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、TPU0、1、3、4 のカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。また、インพุットキャプチャ入力にノイズフィルタをかけることができます。

- 注． カウンタが停止していても、インพุットキャプチャは発生し、フラグおよび割り込み信号を生成します。
- 注． TPU0、3 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに PCLK/1 を選択しないでください。PCLK/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 23.8 に示します。

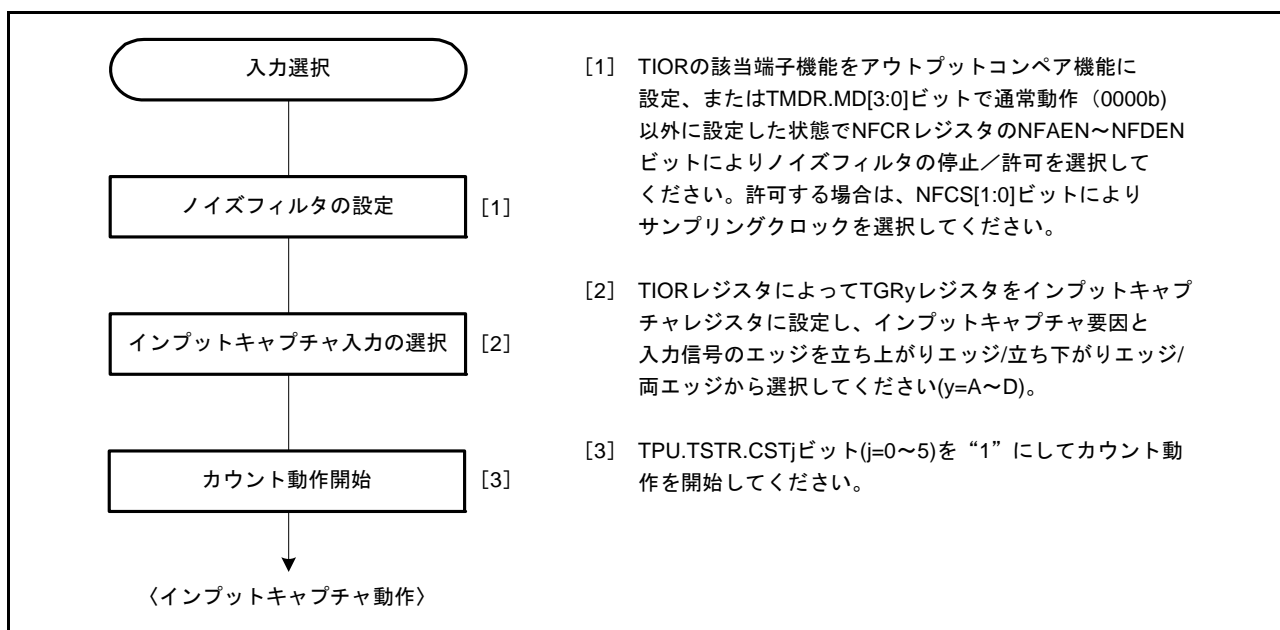


図 23.8 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

ノイズフィルタを停止した場合のインพุットキャプチャ動作例を図 23.9 に示します。

TIOCA_n 端子のインพุットキャプチャ入力エッジは立ち上がり/立ち下りの両エッジ、また TIOCB_n 端子のインพุットキャプチャ入力エッジは立ち下りエッジを選択し、TPUm.TCNT カウンタは TPUm.TGRB レジスタのインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

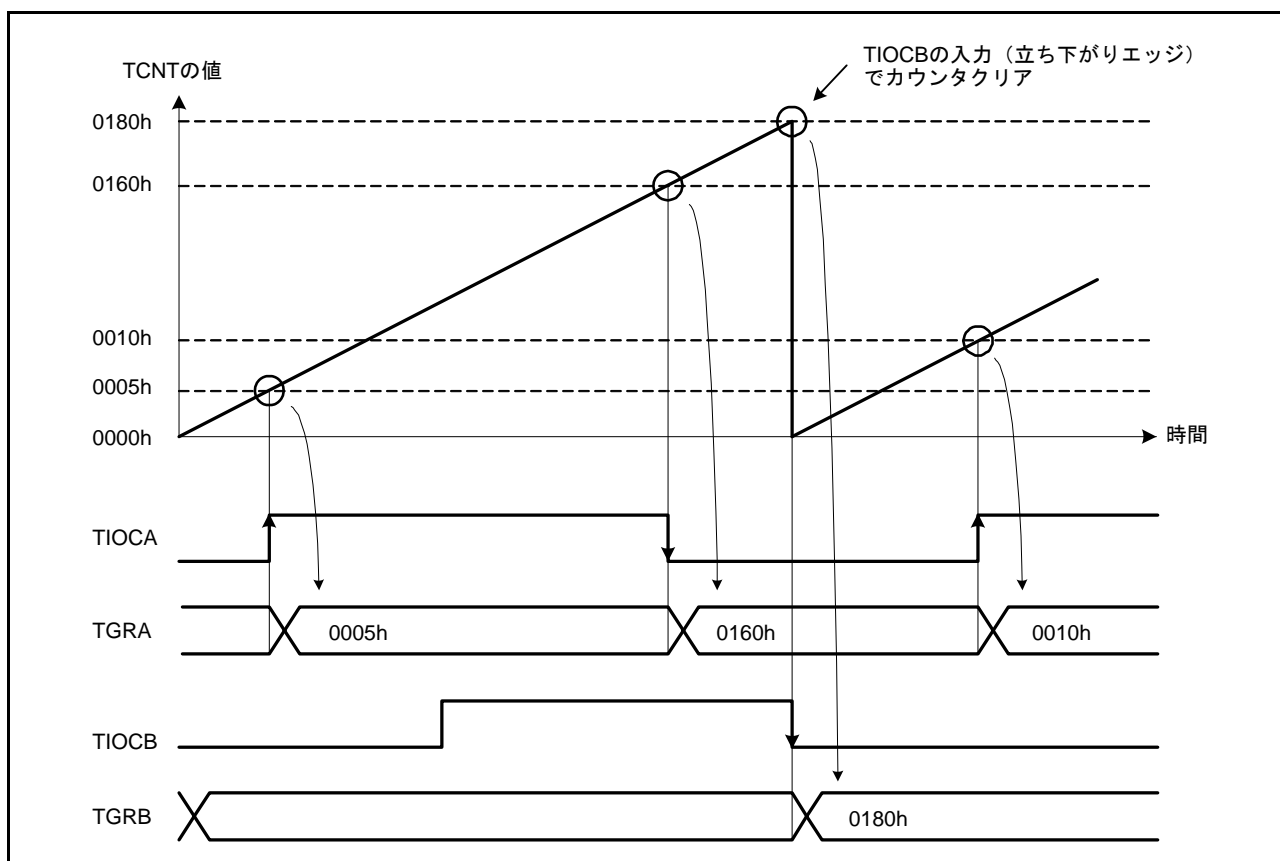


図 23.9 インพุットキャプチャ動作例 (ノイズフィルタ停止)

ノイズフィルタを許可した場合は、インพุットキャプチャ入力に対するノイズフィルタリングによって、「最短サンプリングサイクル×2 + PCLK」だけ遅延したノイズフィルタ後の信号のエッジに対してインพุットキャプチャ動作が行われます。

23.3.2 同期動作

同期動作を使って、複数の TPUm.TCNT カウンタの値を同時に書き換えることができます (同期プリセット)。また、TPUm.TCR レジスタの設定によって複数の TCNT カウンタを同時にクリアすることができます (同期クリア)。

同期動作によって、1つのタイムベースに対して TPUm.TGRy レジスタを増加させることができます。TPU0～5は、すべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 23.10 に示します。

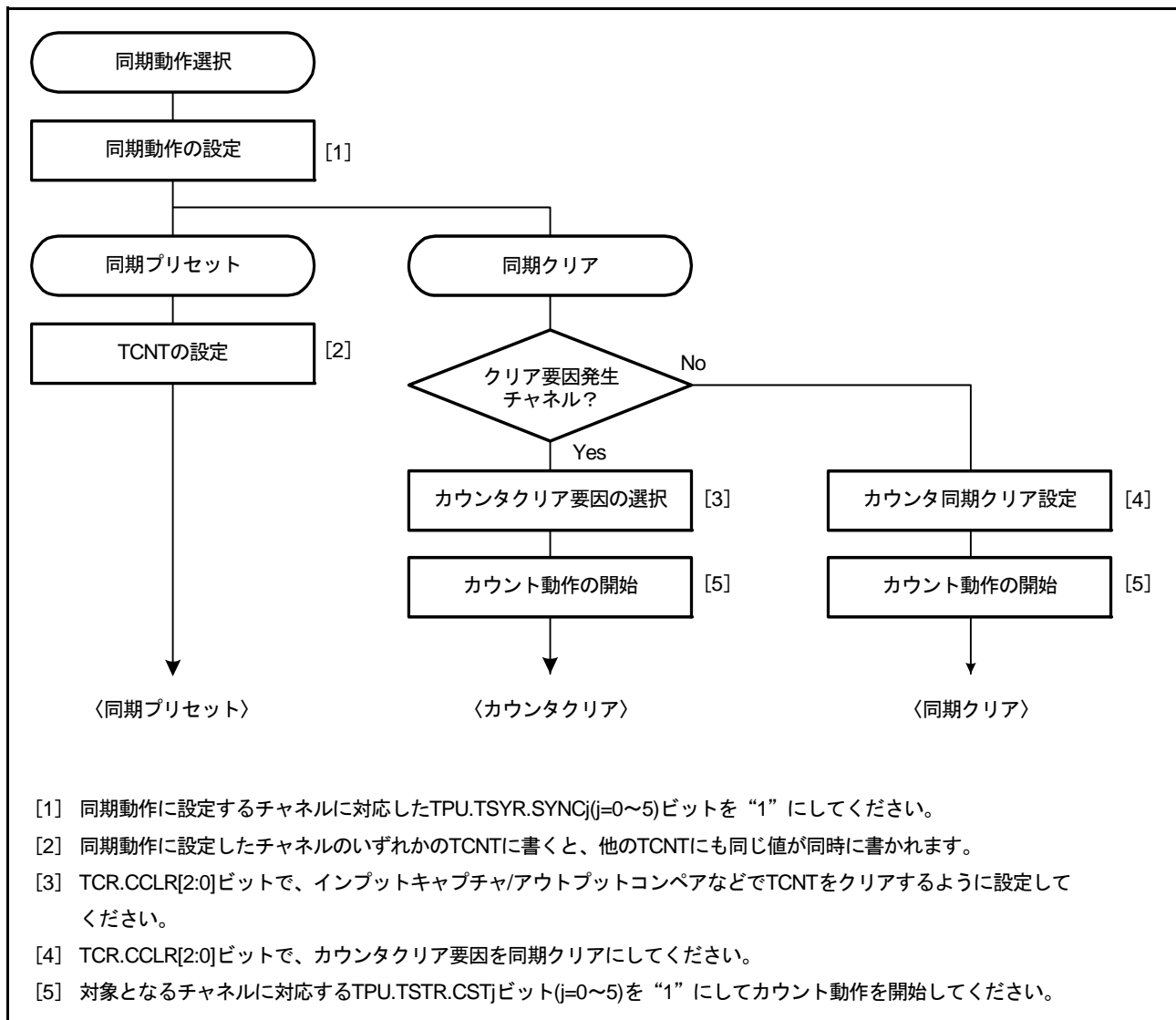


図 23.10 同期動作の設定手順例

(2) 同期動作の例

同期動作の動作例を図 23.11 に示します。

TPU0～2を同期動作かつPWMモード1に設定し、TPU0のカウントクリア要因をTPU0.TGRBレジスタのコンペアマッチ、またTPU1、2のカウントクリア要因を同期クリアに設定した場合の例です。

3相のPWM波形をTIOCA0、TIOCA1、TIOCA2端子から出力します。このとき、TPU0～2のTPUm.TCNTは同期プリセット、TPU0.TGRBレジスタのコンペアマッチによる同期クリアを行い、TPU0.TGRBレジスタに設定したデータがPWM周期となります。

PWMモードについては、「23.3.5 PWMモード」を参照してください。

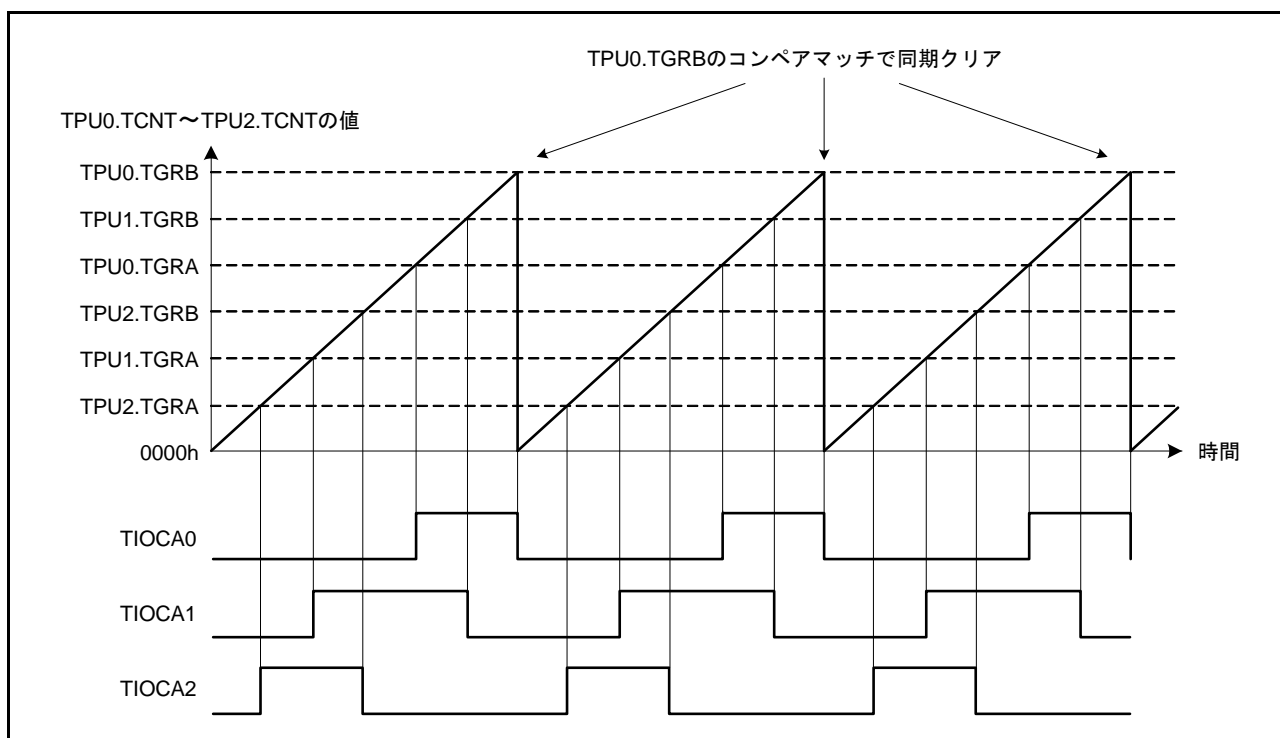


図 23.11 同期動作の動作例

23.3.3 バッファ動作

バッファ動作は、TPU0、3 が持つ機能です。TPUm.TGRC レジスタと TPUm.TGRD レジスタをバッファレジスタとして使用することができます。

バッファ動作は、TPUm.TGRy レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合で動作内容が異なります。

表 23.21 にバッファ動作時のレジスタの組み合わせを示します。

表 23.21 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
TPU0	TPU0.TGRA	TPU0.TGRC
	TPU0.TGRB	TPU0.TGRD
TPU3	TPU3.TGRA	TPU3.TGRC
	TPU3.TGRB	TPU3.TGRD

- TPUm.TGRy レジスタがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 23.12 に示します。

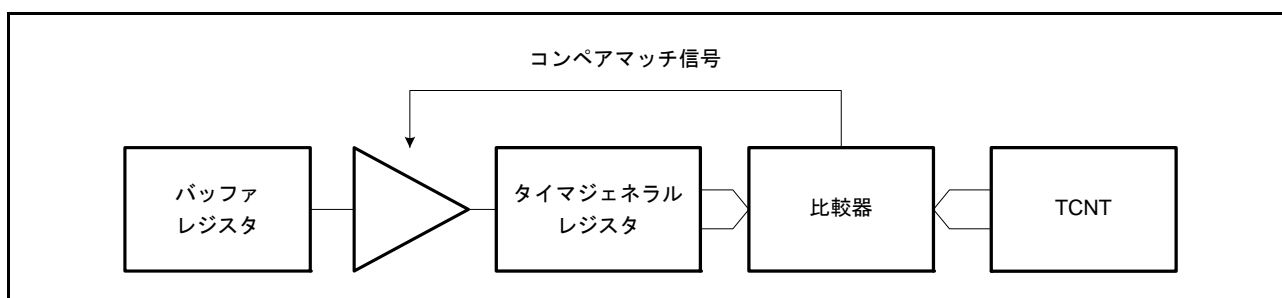


図 23.12 コンペアマッチバッファ動作

- TPUm.TGRy レジスタがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TPUm.TCNT カウンタの値を TGRy レジスタに転送すると同時に、それまで格納されていた TGRy レジスタの値をバッファレジスタに転送します。

この動作を図 23.13 に示します。

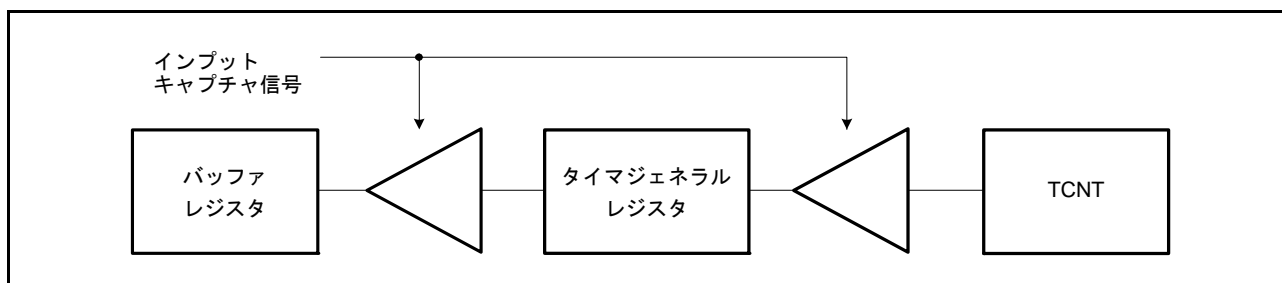


図 23.13 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 23.14 に示します。

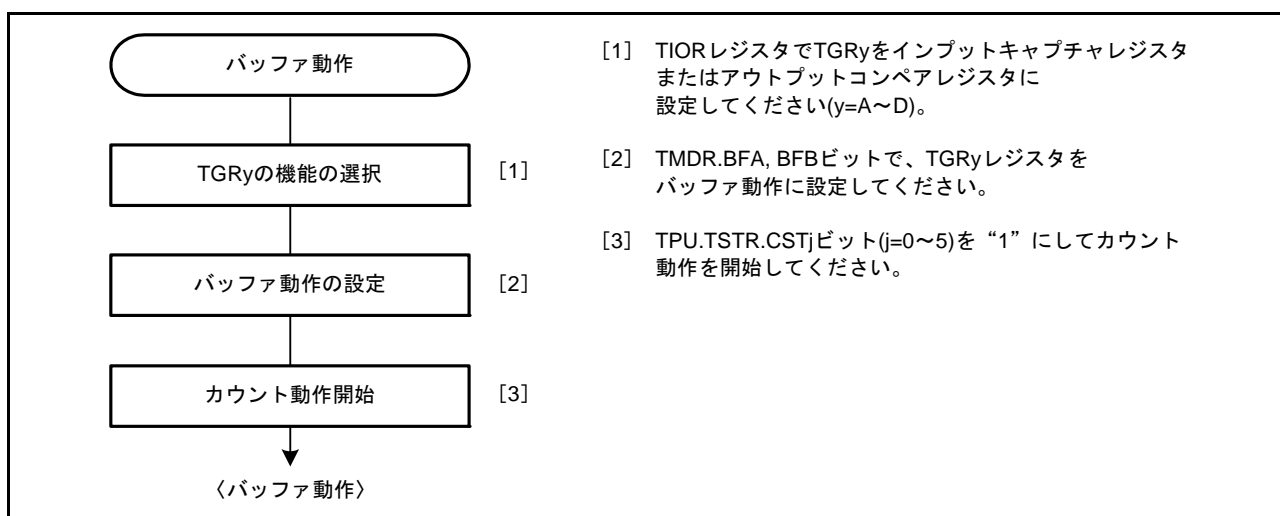


図 23.14 バッファ動作の設定手順例

(2) バッファ動作例

(a) TPUm.TGRy レジスタがアウトプットコンペアレジスタの場合

TPU0 を PWM モード 1 に設定し、TPU0.TGRA レジスタと TPU0.TGRC レジスタをバッファ動作に設定した場合の動作例を図 23.15 に示します。TPU0.TCNT カウンタはコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、TPU0.TGRC レジスタの値が TPU0.TGRA レジスタに転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「23.3.5 PWM モード」を参照してください。

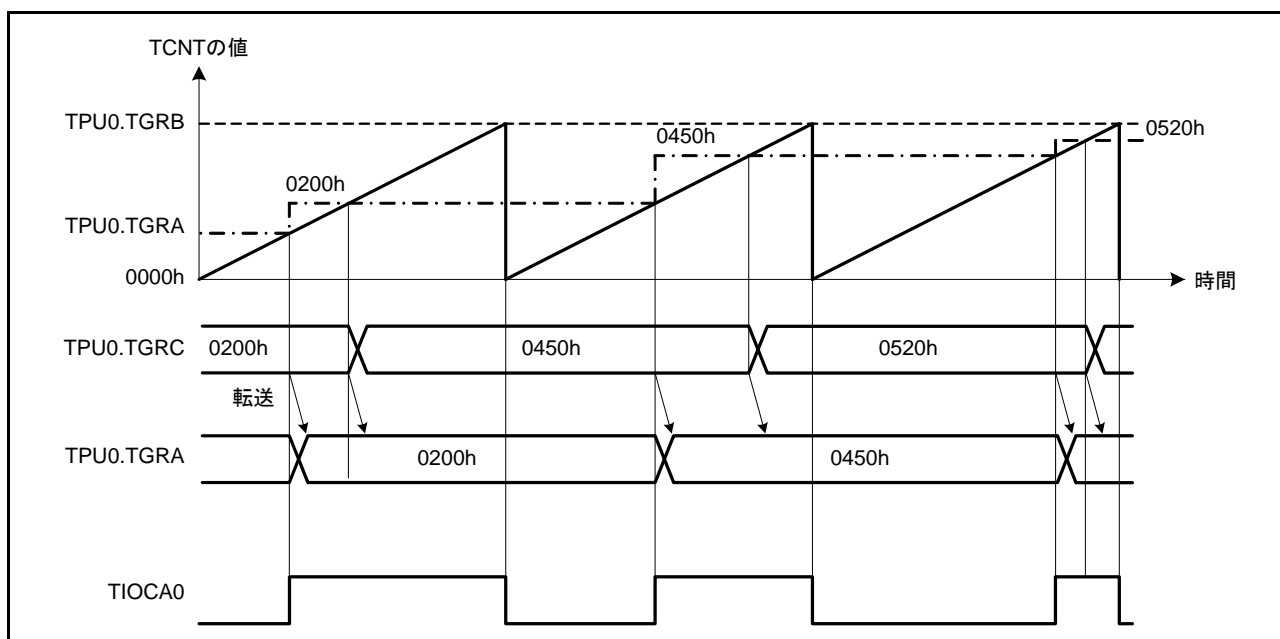


図 23.15 バッファ動作例 (1)

(b) TPUm.TGRy レジスタがインプットキャプチャレジスタの場合

TPUm.TGRA レジスタをインプットキャプチャレジスタに設定し、TGRA レジスタと TPUm.TGRC レジスタをバッファ動作に設定したときの動作例を図 23.16 に示します。

TPUm.TCNT カウンタは TGRA レジスタのインプットキャプチャでカウンタクリア、TIOCA_n 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT カウンタの値が TGRA レジスタに格納されると同時に、それまで TGRA レジスタに格納されていた値が TGRC レジスタに転送されます。

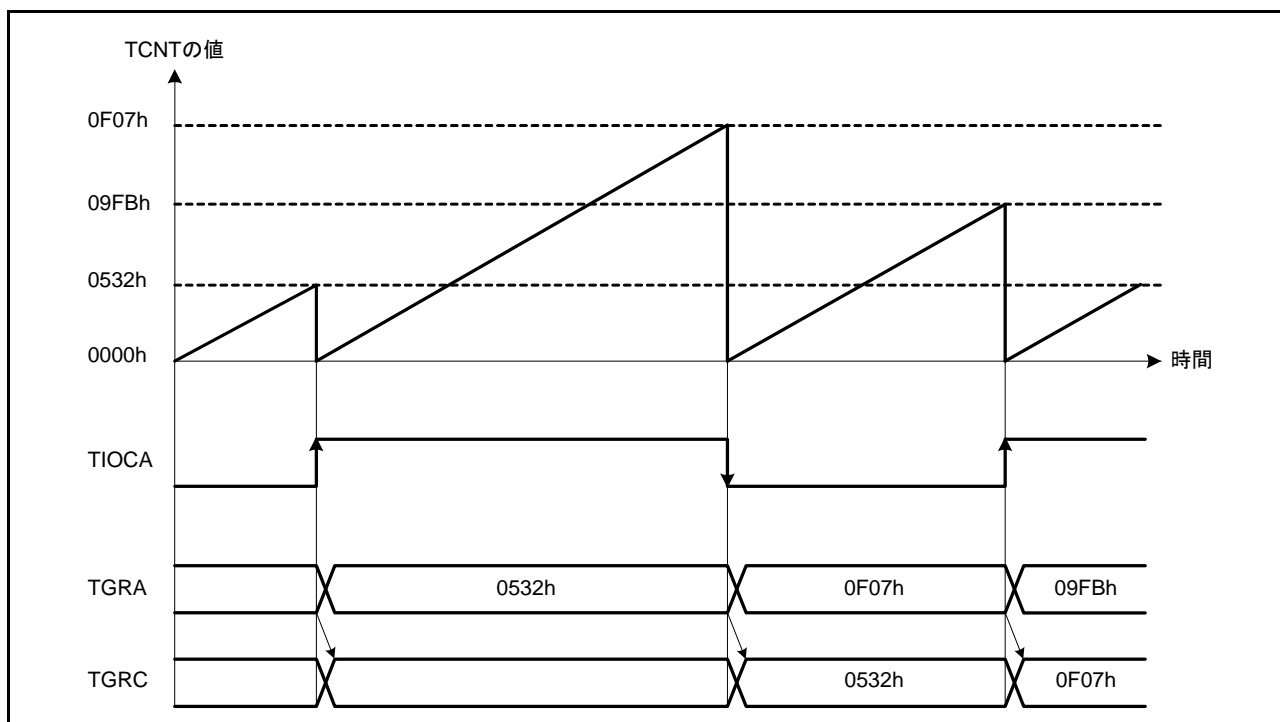


図 23.16 バッファ動作例 (2)

23.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

TPU1 (TPU4) のカウンタクロックを TPU1.TCR.TPSC[2:0] (TPU4.TCR.TPSC[2:0]) ビットで、TPU2.TCNT (TPU5.TCNT) カウンタのオーバフロー/アンダフローでカウントに設定することによって動作します。

アンダフローが発生するのは、下位16ビットの TPU m .TCNT カウンタが位相計数モードのときのみです。表 23.22 にカスケード接続組み合わせを示します。

注. TPU1, 4 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 23.22 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
TPU1 と TPU2	TPU1.TCNT	TPU2.TCNT
TPU4 と TPU5	TPU4.TCNT	TPU5.TCNT

(1) カスケード接続動作の設定手順例

カスケード接続動作設定手順例を図 23.17 に示します。

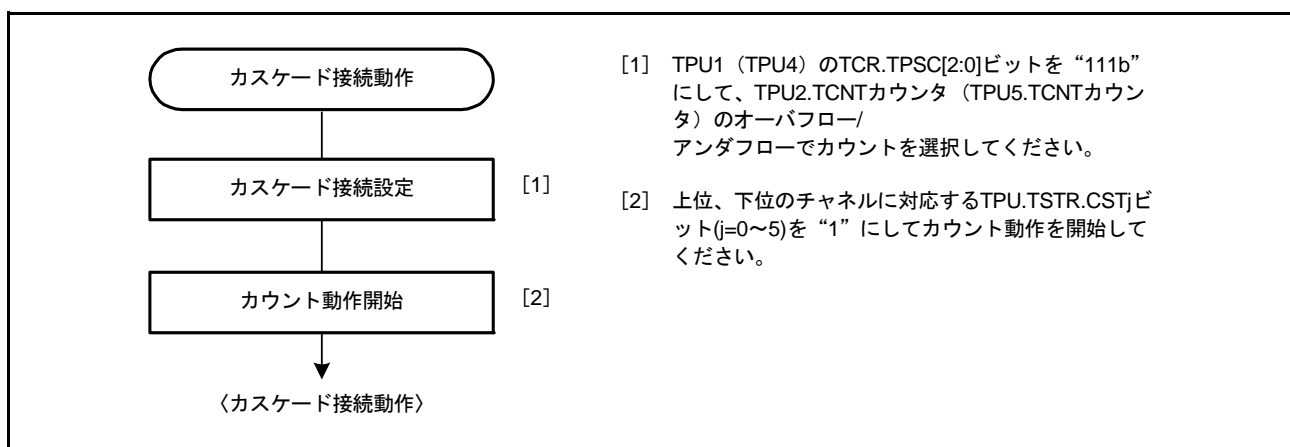


図 23.17 カスケード接続動作設定手順例

(2) カスケード接続動作例

TPU1.TCNT カウンタは TPU2.TCNT カウンタのオーバフロー/アンダフローでカウント、TPU1.TGRA レジスタと TPU2.TGRA レジスタをインプットキャプチャレジスタに設定し、TIOCA1 端子と TIOCA2 端子の立ち上がりエッジを選択したときの動作を図 23.18 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TPU1.TGRA レジスタに上位 16 ビット、TPU2.TGRA レジスタに下位 16 ビットの 32 ビットデータが転送されます。

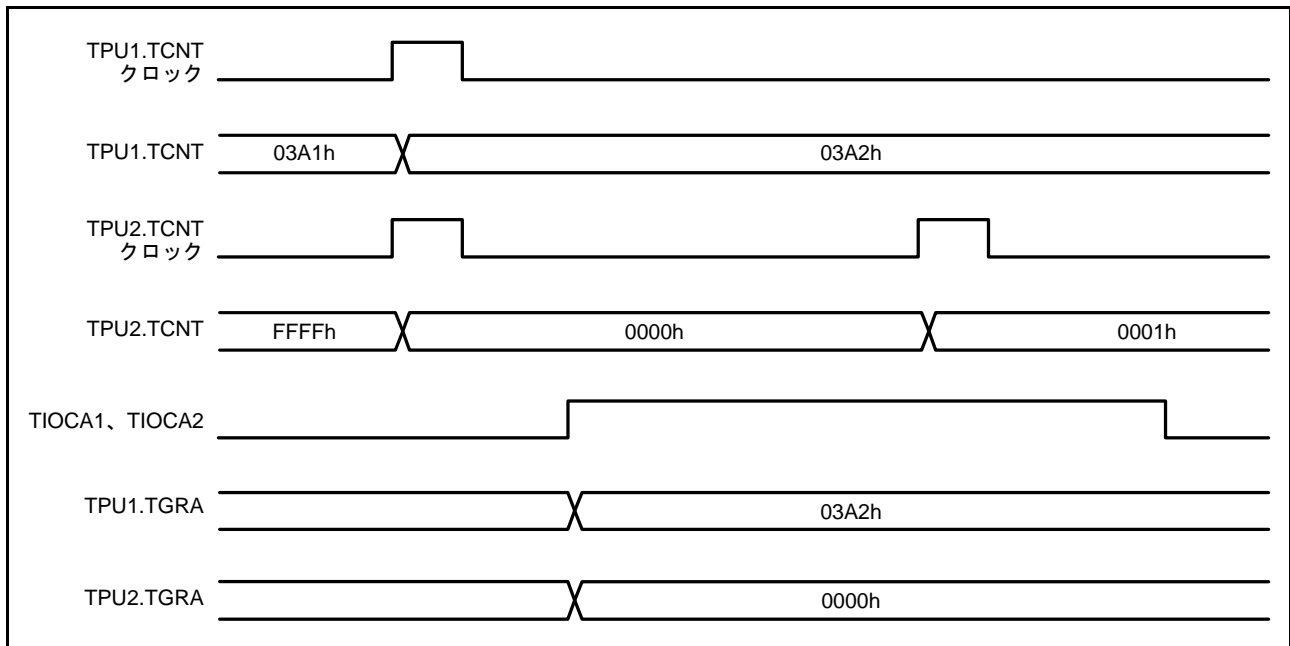


図 23.18 カスケード接続動作例 (1)

TPU1.TCNT カウンタは TPU2.TCNT カウンタのオーバフロー/アンダフローでカウント、TPU2 を位相計数モードに設定したときの動作を図 23.19 に示します。

TPU1.TCNT カウンタは、TPU2.TCNT カウンタのオーバフローでアップカウント、TPU2.TCNT カウンタのアンダフローでダウンカウントされます。

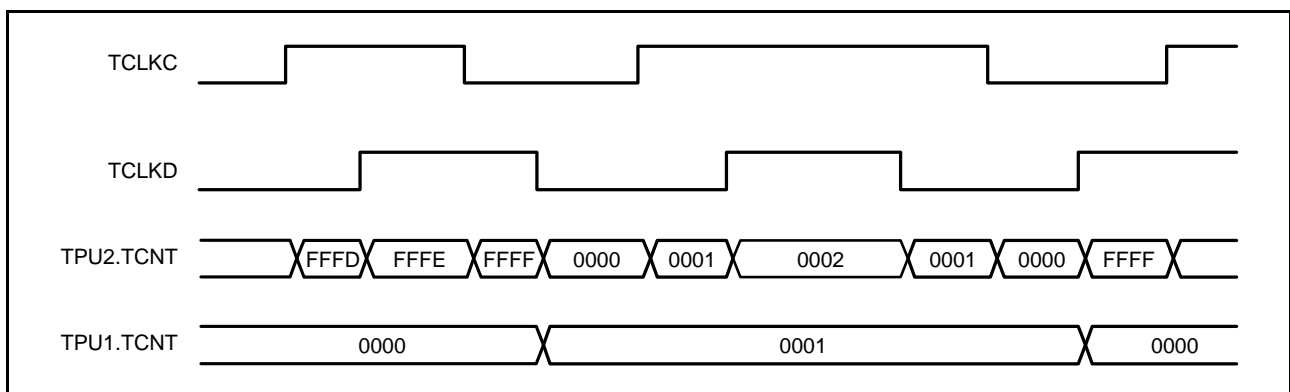


図 23.19 カスケード接続動作例 (2)

23.3.5 PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TPUm.TGRy レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGRy レジスタの設定により、デューティ比 0 ~ 100% の PWM 波形が出力できます。

TGRy レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル個々に PWM モードに設定できます。同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

1. PWM モード 1

TPUm.TGRA レジスタと TPUm.TGRB レジスタ、TPUm.TGRC レジスタと TPUm.TGRD レジスタをペアで使用して、TIOCA_n、TIOCC_n 端子から PWM 波形を出力します。TIOCA_n、TIOCC_n 端子からコンペアマッチ A、C によって TPUm.TIOR(H).IOA[3:0] ビット、TPUm.TIORL.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TPUm.TIOR(H).IOB[3:0] ビット、TPUm.TIORL.IOD[3:0] ビットで指定した出力を行います。初期出力値は TGRA レジスタ、TGRC レジスタに設定した値になります。ペアで使用する TGRy レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

2. PWM モード 2

TPUm.TGRy レジスタの 1 本を周期レジスタ、他の TGRy レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TPUm.TIORH、TPUm.TIORL、TPUm.TIOR レジスタで指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIORH、TIORL、TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 波形の出力が可能です。

PWM の出力端子とレジスタの対応を表 23.23 に示します。

表 23.23 各PWM出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
TPU0	TPU0.TGRA	TIOCA0	TIOCA0
	TPU0.TGRB		TIOCB0
	TPU0.TGRC	TIOCC0	TIOCC0
	TPU0.TGRD		TIOCD0
TPU1	TPU1.TGRA	TIOCA1	TIOCA1
	TPU1.TGRB		TIOCB1
TPU2	TPU2.TGRA	TIOCA2	TIOCA2
	TPU2.TGRB		TIOCB2
TPU3	TPU3.TGRA	TIOCA3	TIOCA3
	TPU3.TGRB		TIOCB3
	TPU3.TGRC	TIOCC3	TIOCC3
	TPU3.TGRD		TIOCD3
TPU4	TPU4.TGRA	TIOCA4	TIOCA4
	TPU4.TGRB		TIOCB4
TPU5	TPU5.TGRA	TIOCA5	TIOCA5
	TPU5.TGRB		TIOCB5

注. PWMモード2のとき、周期を設定したTPUm.TGRyレジスタのPWM波形は出力できません。

(1) PWMモードの設定手順例

PWMモードの設定手順例を図23.20に示します。

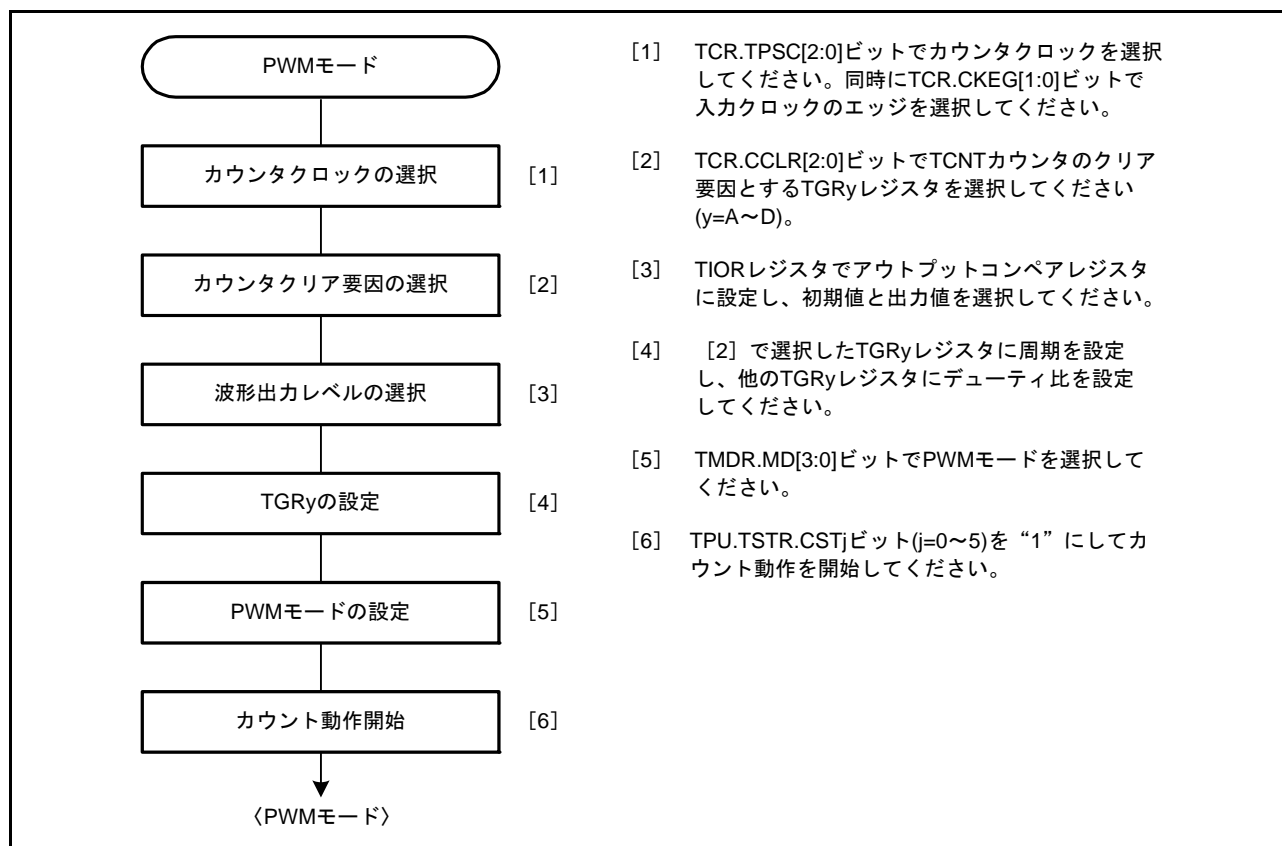


図 23.20 PWMモードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図 23.21 に示します。

この図は、TPUm.TCNT カウンタのクリア要因を TPUm.TGRA レジスタのコンペアマッチとし、TGRA レジスタの初期出力値と出力値を Low、TPUm.TGRB レジスタの出力値を High に設定した場合の例です。

この場合、TGRA レジスタで周期を設定し、TGRB レジスタでデューティ比を設定しています。

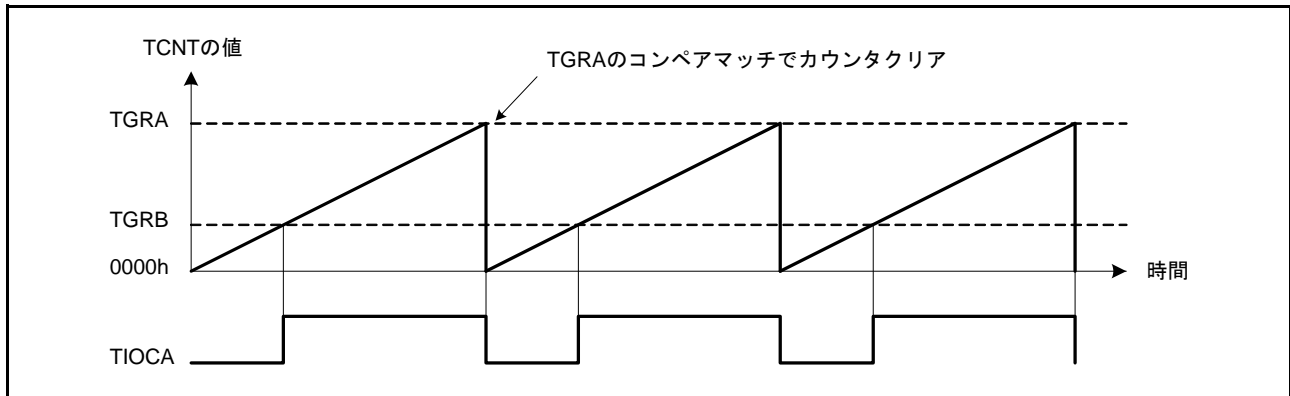


図 23.21 PWM モードの動作例 (1)

PWM モード2の動作例を図 23.22 に示します。

この図は、TPU0 と 1 を同期動作させ、TPUm.TCNT カウンタのクリア要因を TPU1.TGRB のコンペアマッチとし、他の TPUm.TGRy レジスタ (TPU0.TGRA ~ TPU0.TGRD、TPU1.TGRA) の初期出力値を Low、出力値を High にして 5 相の PWM 波形を出力させた場合の例です。

この場合、TPU1.TGRB レジスタに設定した値が周期となり、他の TGRy レジスタに設定した値がデューティ比になります。

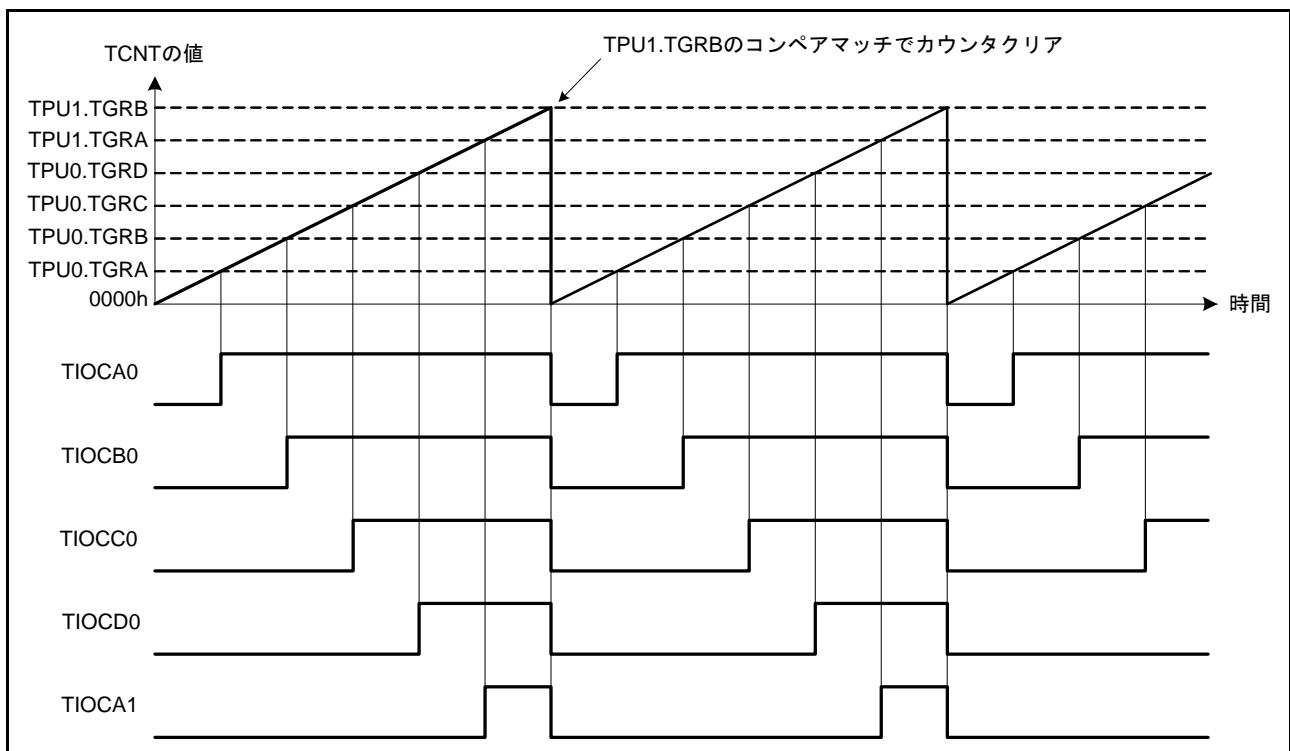


図 23.22 PWM モードの動作例 (2)

PWM モードで、デューティ比 0%、デューティ比 100%の PWM 波形を出力する例を図 23.23 に示します。

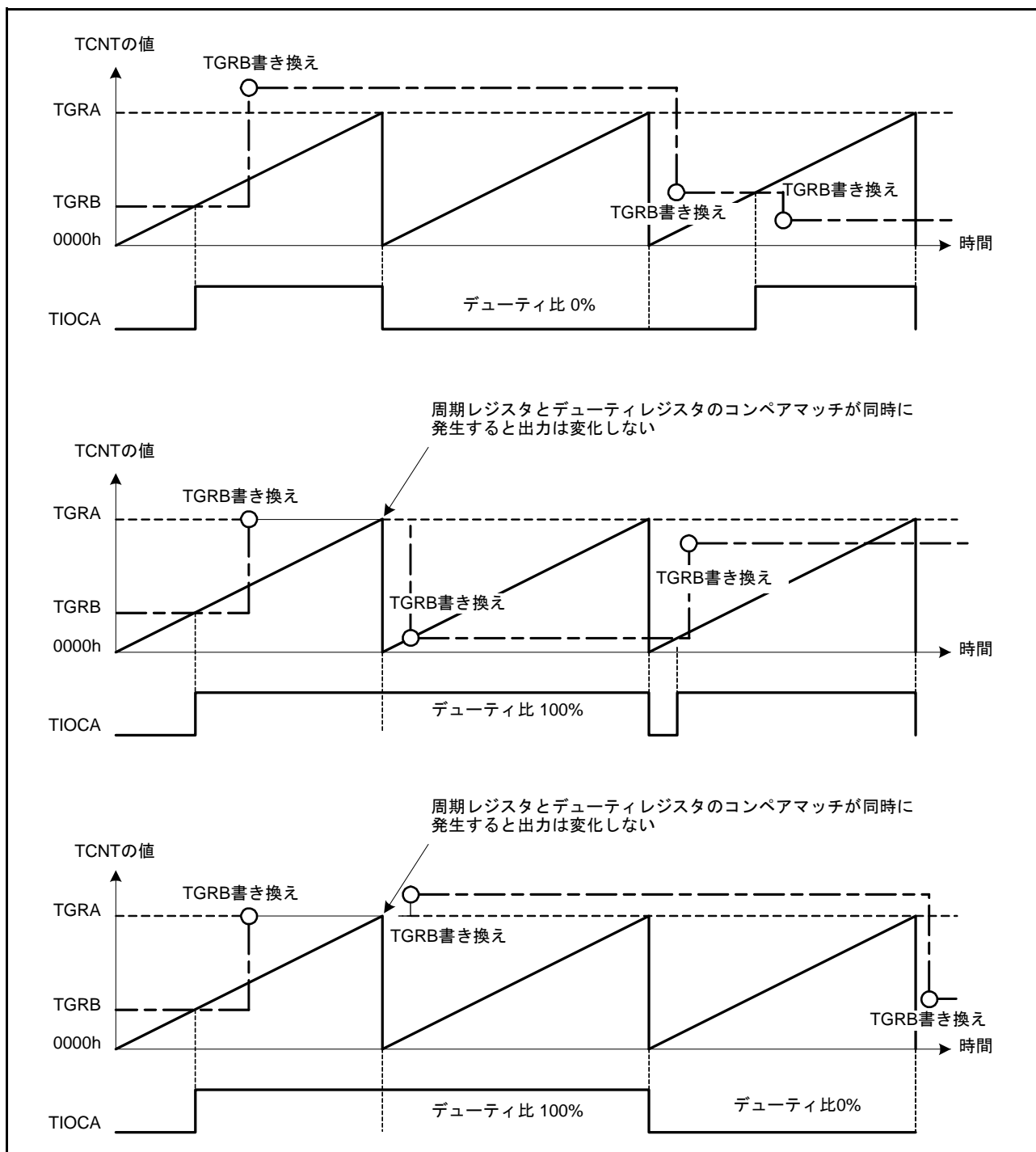


図 23.23 PWM モード動作例 (3)

23.3.6 位相計数モード

位相計数モードでは、チャンネル1、2、4、5の設定によって、2本の外部クロック入力の位相差を検出し、TPUm.TCNT カウンタをアップ/ダウンカウントします。

位相計数モードに設定すると、TPUm.TCR.TPSC[2:0], CKEG[1:0] ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT カウンタはアップ/ダウンカウンタとして動作します。ただし、TPUm.TCR.CCLR[2:0] ビットの下位2ビット、TPUm.TIORH、TPUm.TIORL、TPUm.TIOR レジスタ、TPUm.TIER レジスタ、TPUm.TGRy レジスタの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができません。

2相エンコーダパルスの入力として使用できます。

TCNT カウンタがアップカウント時、オーバフローが発生するとすると TCIV 割り込み要求が発生します。また、ダウンカウント時にアンダフローが発生すると、TCIU 割り込み要求が発生します。TPUm.TSR.TCFD フラグはカウント方向フラグです。TCFD フラグを読むことにより、TCNT カウンタがアップカウントしているかダウンカウントしているかを確認することができます。

表 23.24 に外部クロック端子とチャンネルの対応を示します。

表23.24 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
TPU1またはTPU5を位相計数モードとするとき	TCLKA	TCLKB
TPU2またはTPU4を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 23.24 に示します。

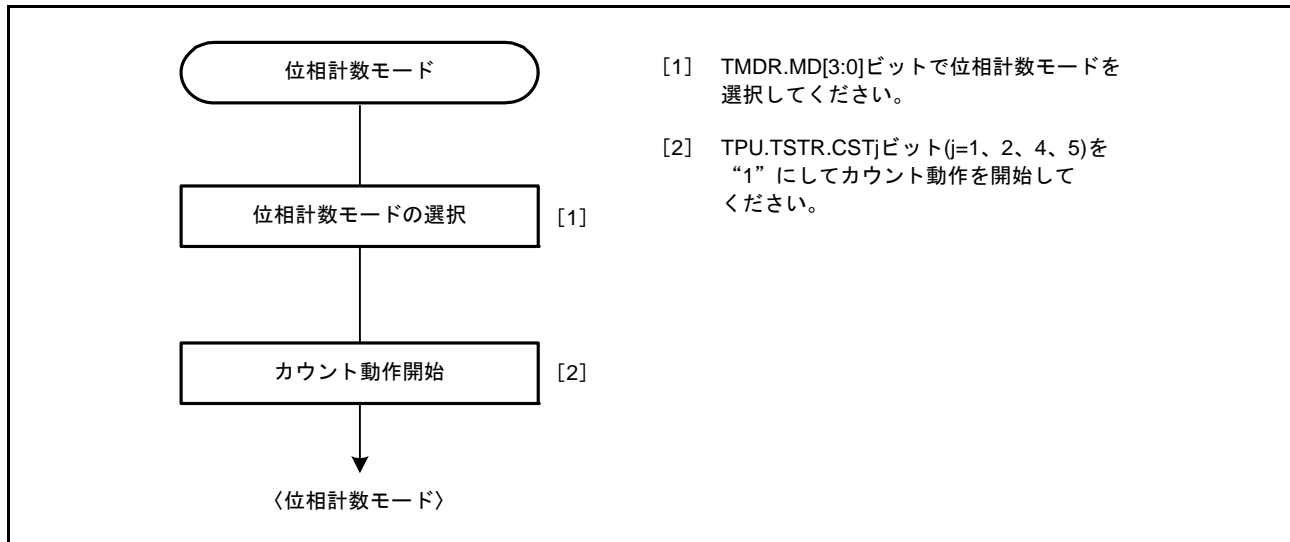


図 23.24 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTPUm.TCNTがアップ/ダウンカウントします。なお、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図23.25に、TPUm.TCNTのアップ/ダウンカウント条件を表23.25に示します。

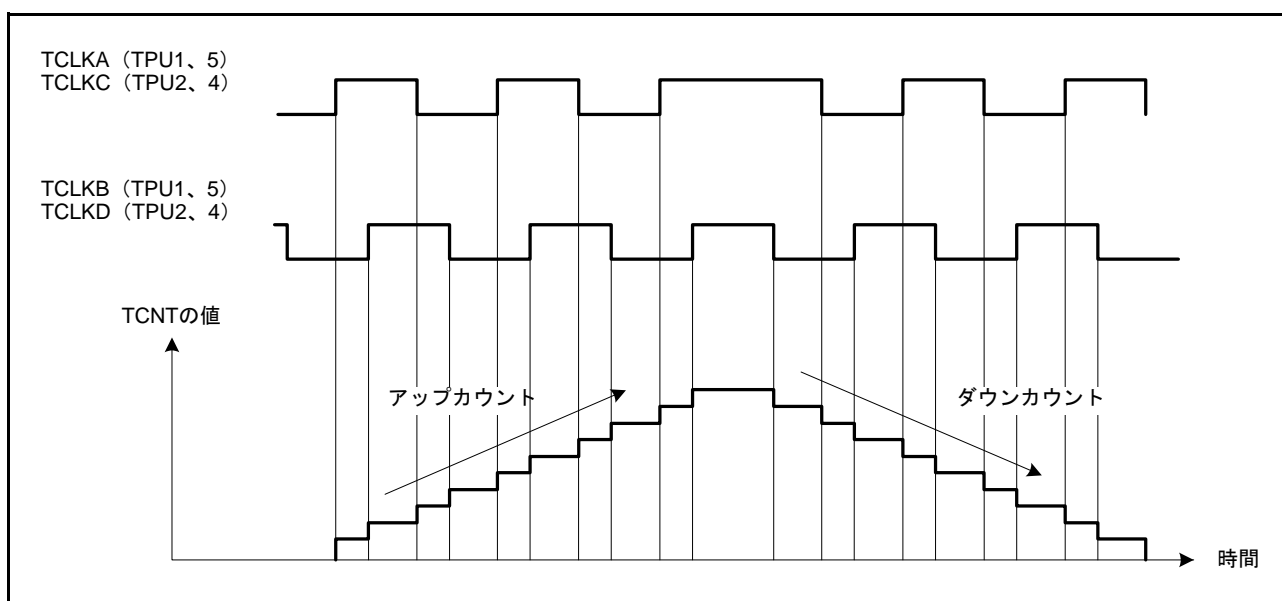


図 23.25 位相計数モード1の動作例

表23.25 位相計数モード1のアップ/ダウンカウント条件

TCLKA (TPU1, 5) TCLKC (TPU2, 4)	TCLKB (TPU1, 5) TCLKD (TPU2, 4)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図23.26に、TPUm.TCNTのアップ/ダウンカウント条件を表23.26に示します。

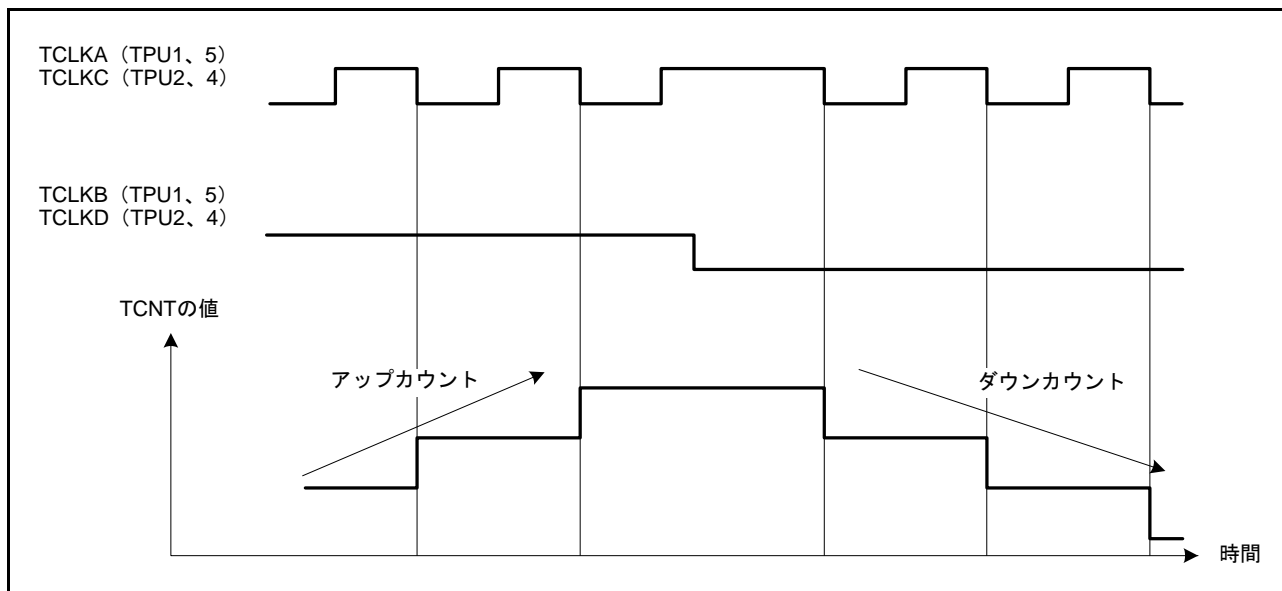


図 23.26 位相計数モード2の動作例

表 23.26 位相計数モード2のアップ/ダウンカウント条件

TCLKA (TPU1, 5) TCLKC (TPU2, 4)	TCLKB (TPU1, 5) TCLKD (TPU2, 4)	動作内容
High		Don't care
Low		Don't care
	Low	Don't care
	High	アップカウント
High		Don't care
Low		Don't care
	High	Don't care
	Low	ダウンカウント

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図23.27に、TPUm.TCNTのアップ/ダウンカウント条件を表23.27に示します。

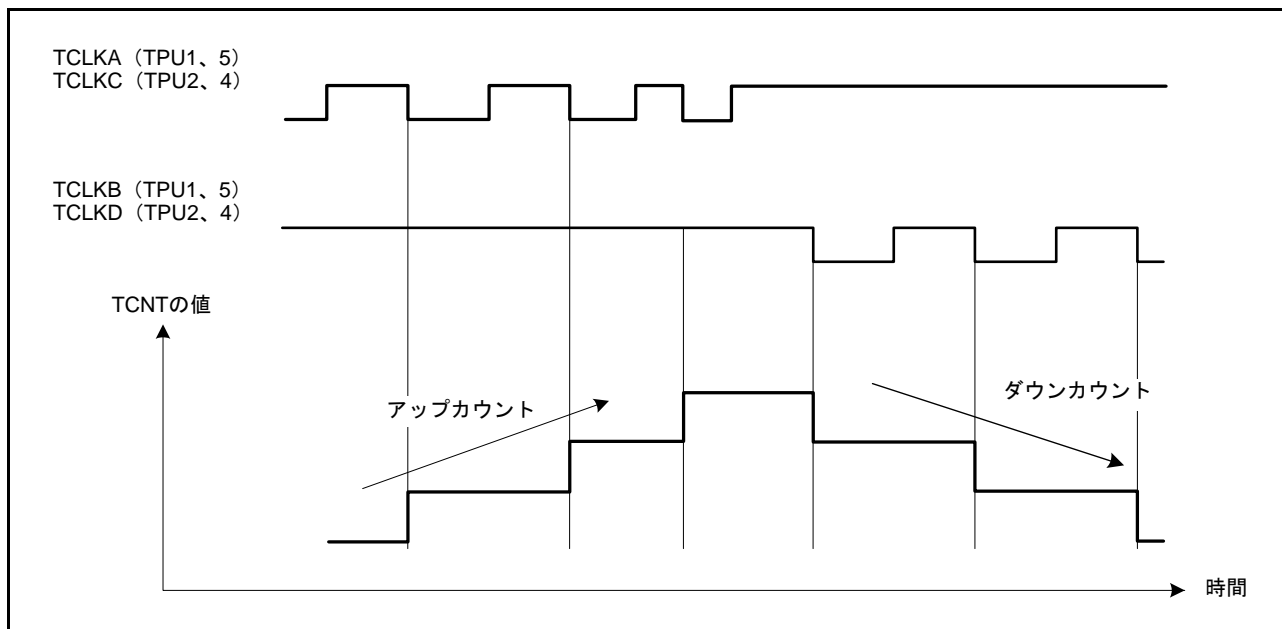


図 23.27 位相計数モード3の動作例

表 23.27 位相計数モード3のアップ/ダウンカウント条件

TCLKA (TPU1, 5) TCLKC (TPU2, 4)	TCLKB (TPU1, 5) TCLKD (TPU2, 4)	動作内容
High		Don't care
Low		Don't care
	Low	Don't care
	High	アップカウント
High		ダウンカウント
Low		Don't care
	High	Don't care
	Low	Don't care

: 立ち上がりエッジ

: 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図23.28に、TPUm.TCNTのアップ/ダウンカウント条件を表23.28に示します。

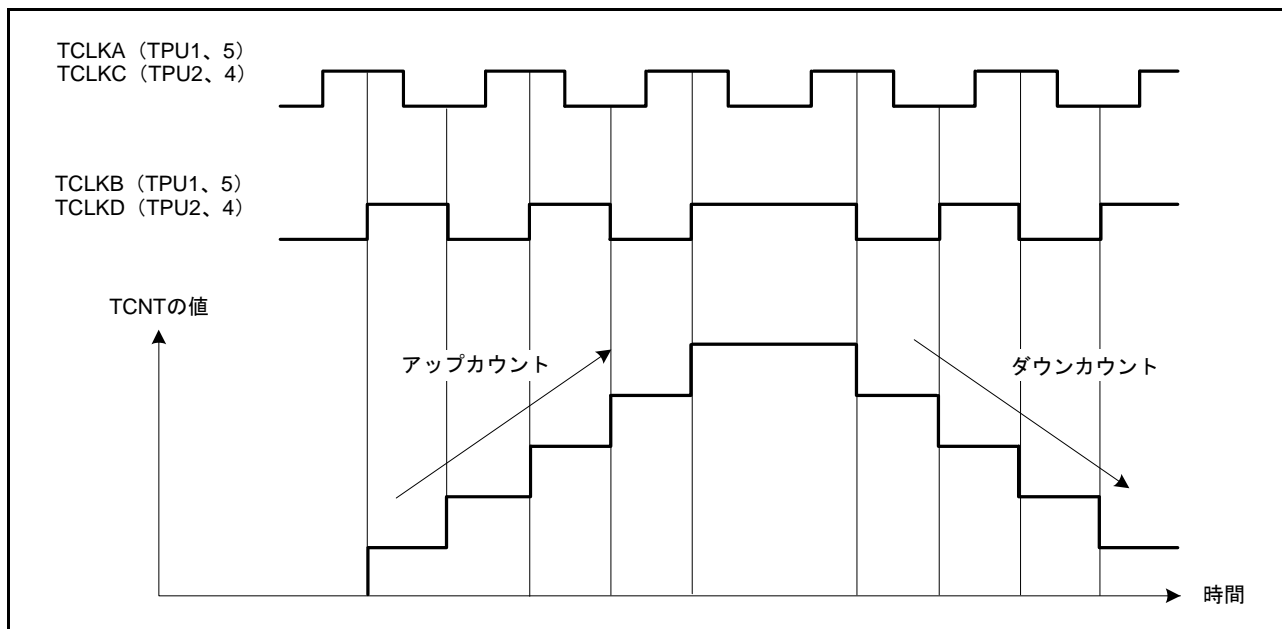


図 23.28 位相計数モード4の動作例

表 23.28 位相計数モード4のアップ/ダウンカウント条件

TCLKA (TPU1, 5) TCLKC (TPU2, 4)	TCLKB (TPU1, 5) TCLKD (TPU2, 4)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	Don't care
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	Don't care
↓	Low	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

23.3.6.1 位相計数モード応用例

TPU1 を位相計数モードに設定し、TPU0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 23.29 に示します。

TPU1 は位相計数モード 1 に設定し、TCLKA 端子と TCLKB 端子にエンコーダパルスの A 相、B 相を入力します。

TPU0 は TPU0.TCNT カウンタを TPU0.TGRC レジスタのコンペアマッチでカウンタクリアとして動作させ、TPU0.TGRA レジスタと TPU0.TGRC レジスタはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TPU0.TGRB レジスタは入力キャプチャ機能で使用し、TPU0.TGRB レジスタと TPU0.TGRD レジスタをバッファ動作させます。TPU0.TGRB レジスタの入力キャプチャ要因は、TPU1 のカウンタ入力クロックとし、2 相エンコーダの 4 通倍パルスのパルス幅を検出します。

TPU1 の TPU1.TGRA レジスタと TPU1.TGRB レジスタは、入力キャプチャ機能に設定し、入力キャプチャ要因は TPU0 の TPU0.TGRA レジスタと TPU0.TGRC レジスタのコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

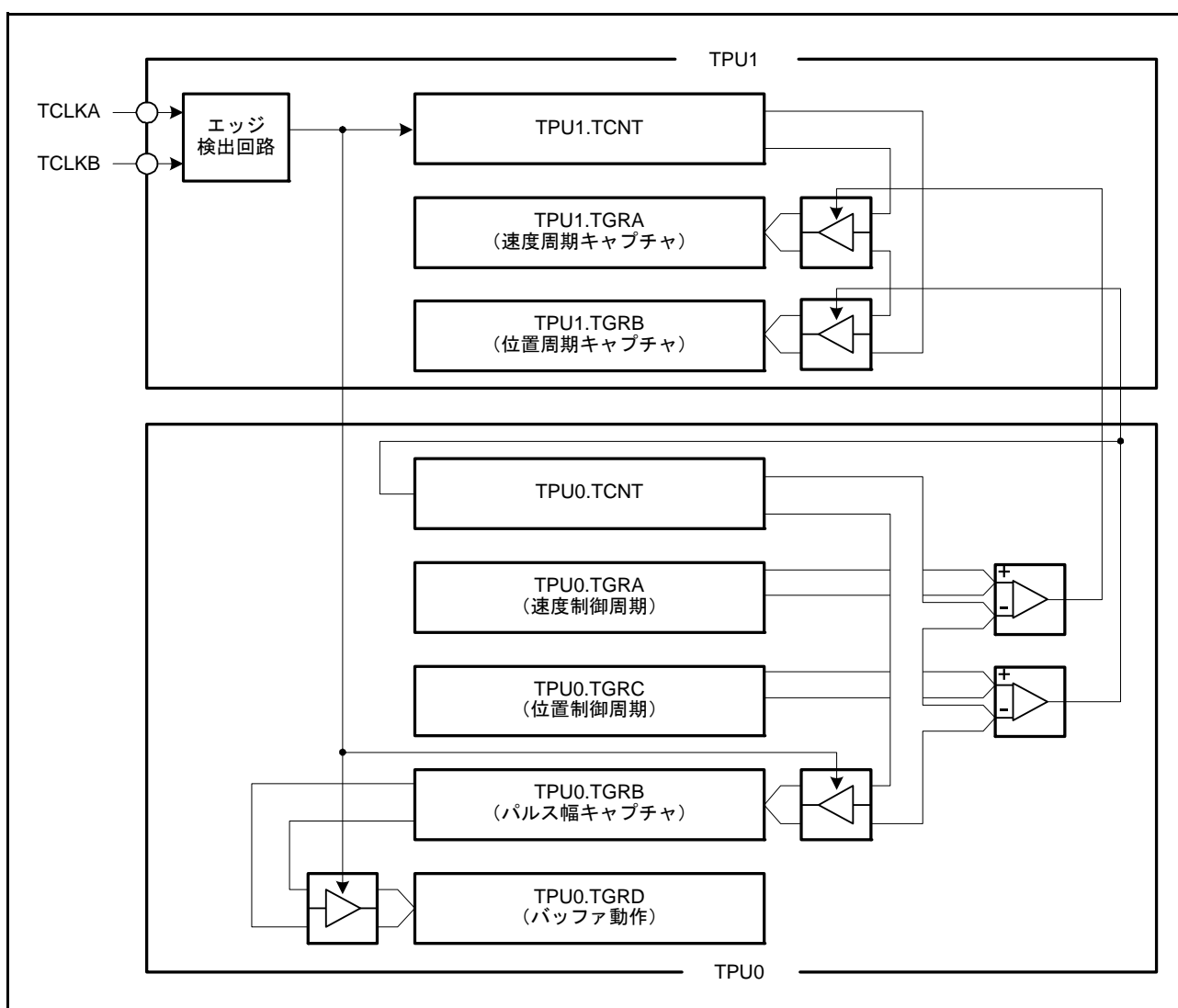


図 23.29 位相計数モードの応用例

23.3.7 ノイズフィルタ機能

TPUのインプットキャプチャ入力端子には、ノイズフィルタ機能があります。ノイズフィルタ機能は、設定したサンプリング周期に応じて3回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度3回のサンプリングした端子レベルが一致するまで、内部へは同じレベルを伝達し続けます。

ノイズフィルタ機能は、端子ごとにノイズフィルタ機能の許可/停止が設定できます。また、サンプリングクロックは、チャンネル単位での設定が可能です。

図 23.30 にノイズフィルタのタイミングチャートを示します。

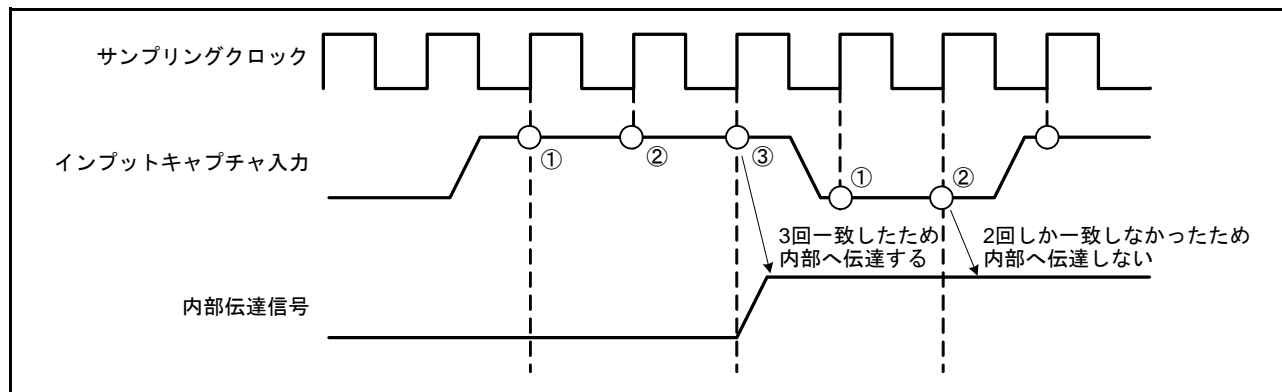


図 23.30 ノイズフィルタのタイミングチャート

23.4 割り込み要因

TPUの割り込み要因には、TPUm.TGRyレジスタのインプットキャプチャ/コンペアマッチ、TPUm.TCNTカウンタのオーバフロー、アンダフローの3種類があります。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は変更できません。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

表 23.29 に TPU の割り込み要因の一覧を示します。

表 23.29 TPU 割り込み一覧

チャンネル	名称	割り込み要因	DTCの起動	DMACの起動
TPU0	TGI0A	TPU0.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI0B	TPU0.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TGI0C	TPU0.TGRCのインプットキャプチャ/コンペアマッチ	可能	不可能
	TGI0D	TPU0.TGRDのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI0V	TPU0.TCNTのオーバフロー	不可能	不可能
TPU1	TGI1A	TPU1.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI1B	TPU1.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI1V	TPU1.TCNTのオーバフロー	不可能	不可能
	TCI1U	TPU1.TCNTのアンダフロー	不可能	不可能
TPU2	TGI2A	TPU2.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI2B	TPU2.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI2V	TPU2.TCNTのオーバフロー	不可能	不可能
	TCI2U	TPU2.TCNTのアンダフロー	不可能	不可能
TPU3	TGI3A	TPU3.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI3B	TPU3.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TGI3C	TPU3.TGRCのインプットキャプチャ/コンペアマッチ	可能	不可能
	TGI3D	TPU3.TGRDのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI3V	TPU3.TCNTのオーバフロー	不可能	不可能
TPU4	TGI4A	TPU4.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI4B	TPU4.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI4V	TPU4.TCNTのオーバフロー	不可能	不可能
	TCI4U	TPU4.TCNTのアンダフロー	不可能	不可能
TPU5	TGI5A	TPU5.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI5B	TPU5.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI5V	TPU5.TCNTのオーバフロー	不可能	不可能
	TCI5U	TPU5.TCNTのアンダフロー	不可能	不可能

注. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ/コンペアマッチ割り込み

各チャンネルのTPUm.TGRyレジスタのインプットキャプチャ/コンペアマッチの発生により、TPUm.TIER.TGIEyビット (y=A, B, C, D) が“1”なら、割り込みを要求します。TPUには、TPU0、3に各4本、TPU1、2、4、5に各2本、計16本のインプットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルのTPUm.TCNTカウンタのオーバフローの発生により、TPUm.TIER.TCIEVビットが“1”なら、

割り込みを要求します。TPUには、各チャンネルに1本、計6本のオーバーフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルのTPUm.TCNTカウンタのアンダフローの発生により、TPUm.TIER.TCIEUビットが“1”なら、割り込みを要求します。TPUには、TPU1、2、4、5に各1本、計4本のアンダフロー割り込みがあります。

23.5 DTCの起動

各チャンネルのTPUm.TGRyレジスタのインプットキャプチャ/コンペアマッチ割り込みによって、DTCを起動することができます。詳細は「17. データトランスファコントローラ (DTCa)」を参照してください。

TPUでは、TPU0、3が各4本、TPU1、2、4、5が各2本、計16本のインプットキャプチャ/コンペアマッチ割り込みをDTCの起動要因とすることができます。

23.6 DMACの起動

各チャンネルのTPUm.TGRAレジスタのインプットキャプチャ/コンペアマッチ割り込みによって、DMACを起動することができます。詳細は「16. DMAコントローラ (DMACA)」を参照してください。

TPUでは、各チャンネルに1本、計6本のTPUm.TGRAレジスタのインプットキャプチャ/コンペアマッチ割り込みをDMACの起動要因とすることができます。

23.7 A/Dコンバータの起動

TPUは、各チャンネルのTPUm.TGRAレジスタのインプットキャプチャ/コンペアマッチによって、A/Dコンバータを起動することができます。また、TPU0のTGRA～TGRDレジスタのインプットキャプチャ/コンペアマッチによって、A/Dコンバータを起動することができます。

各チャンネルのTPUm.TGRAレジスタのインプットキャプチャ/コンペアマッチが発生したとき、TPUm.TIER.TTGEビットが“1”なら、TPUはA/Dコンバータに対してA/D変換の開始を要求します。また、TPU0のTGRA～TGRDレジスタのインプットキャプチャ/コンペアマッチが発生したとき、TPUは対応するA/Dコンバータに対してA/D変換の開始を要求します。このときA/Dコンバータ側で、TPUの変換開始トリガが選択されていれば、A/D変換が開始されます。これら4本のA/D変換開始要求信号は、TIER.TTGEビットによる要求信号発生の禁止/許可の制御はできません。

23.8 動作タイミング

23.8.1 入出力タイミング

(1) TPUm.TCNT カウンタのカウントタイミング

内部クロック動作の場合の TPUm.TCNT カウンタのカウントタイミングを図 23.31 に示します。また、外部クロック動作の場合の TCNT カウンタのカウントタイミングを図 23.32 に示します。

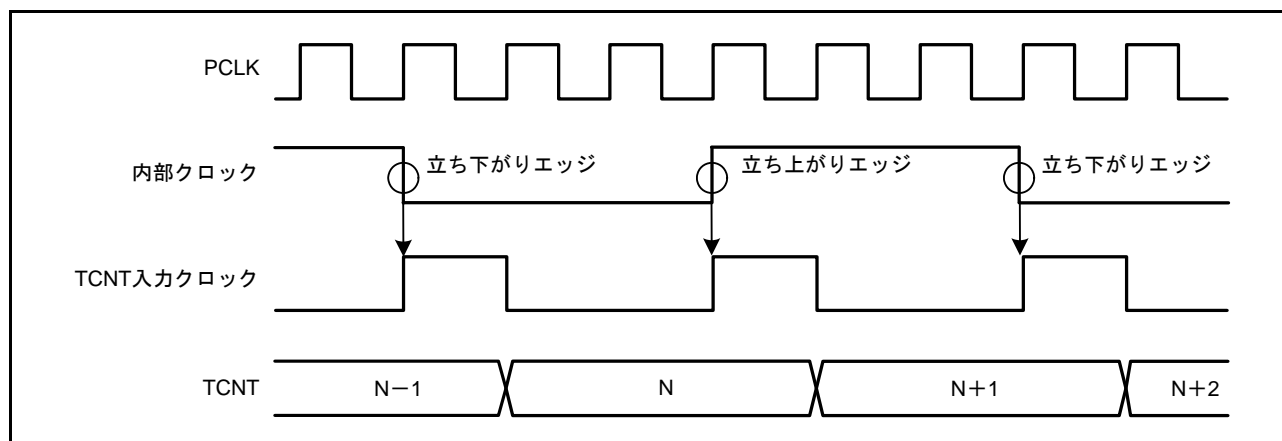


図 23.31 内部クロック動作時のカウントタイミング

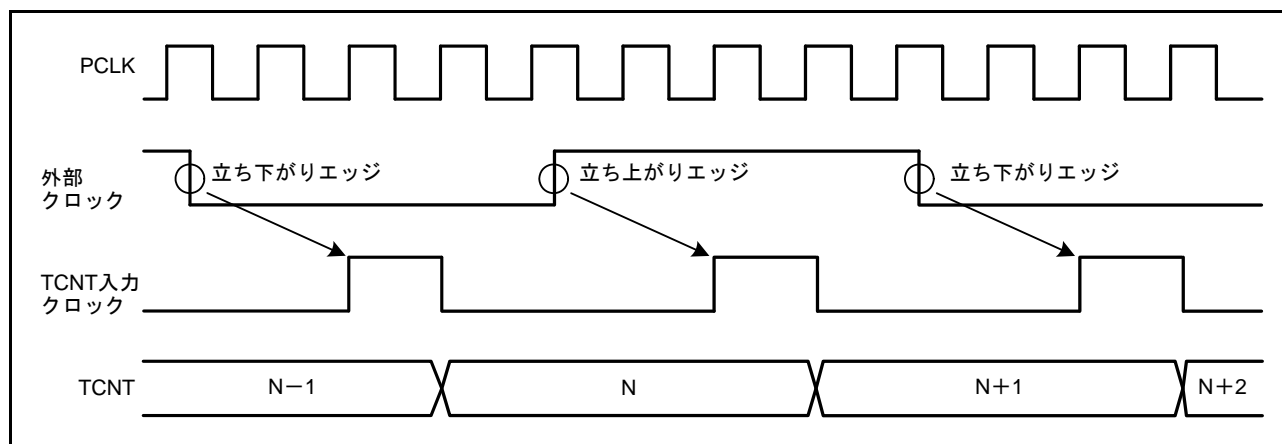


図 23.32 外部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TPUm.TCNT カウンタと TPUm.TGRy レジスタが一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TPUm.TIORH、TPUm.TIORL、TPUm.TIOR レジスタで設定した出力値がアウトプットコンペア出力端子 (TIOCyn (y=A~D, n=0~11) 端子) に出力されます。TCNT カウンタと TGRy レジスタが一致した後、TCNT カウンタ入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 23.33 に示します。

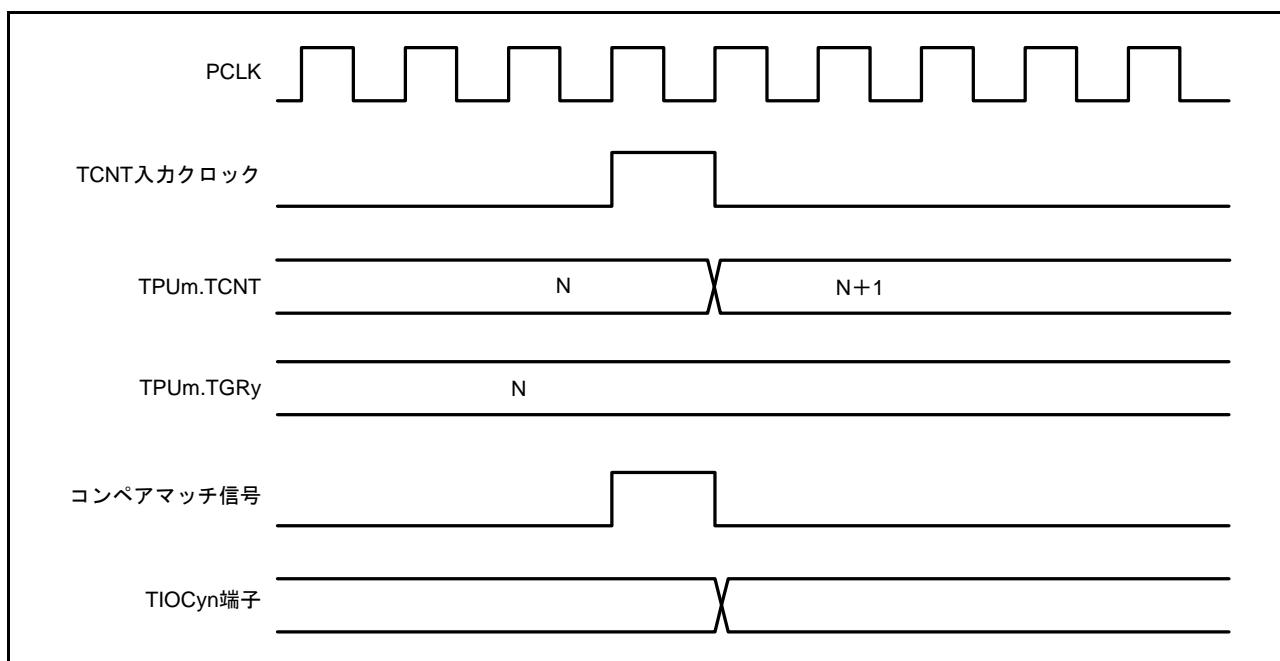


図 23.33 アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 23.34 に示します。

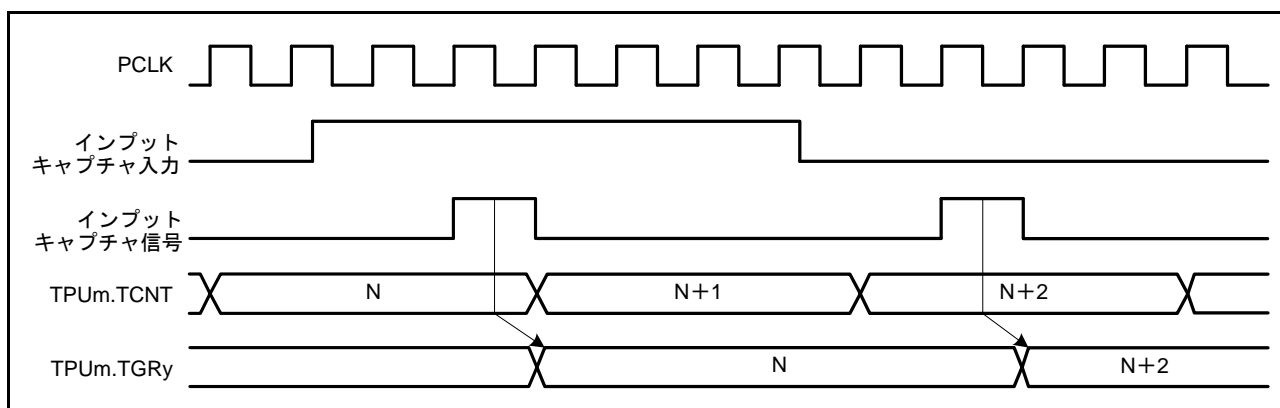


図 23.34 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 23.35 に示します。
 インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 23.36 に示します。

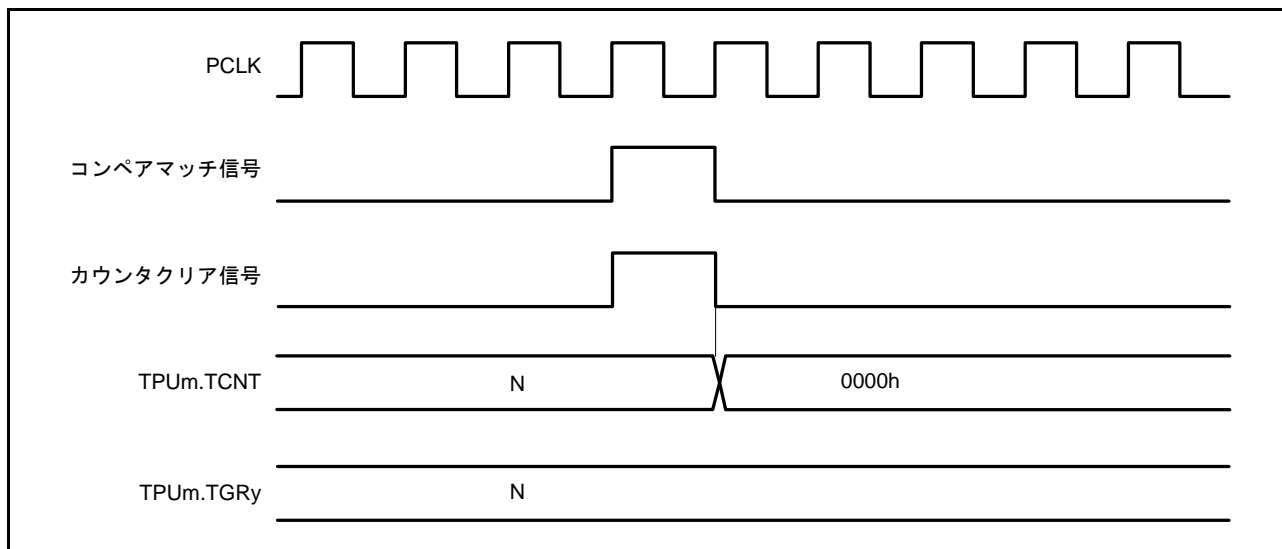


図 23.35 カウンタクリアタイミング (コンペアマッチ)

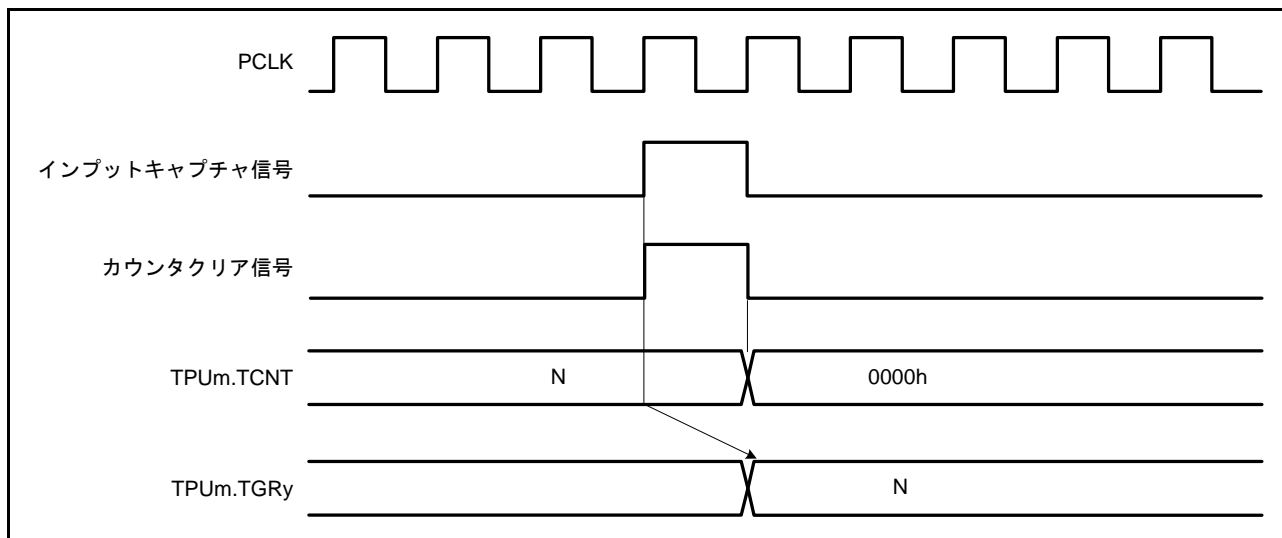


図 23.36 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 23.37、図 23.38 に示します。

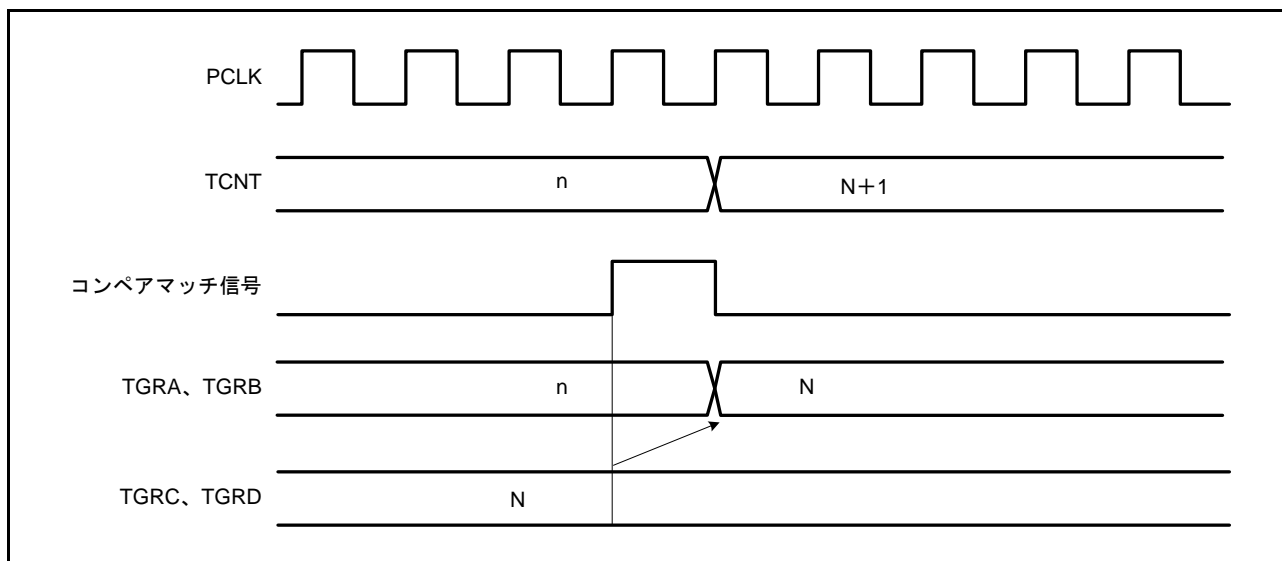


図 23.37 バッファ動作タイミング (コンペアマッチ)

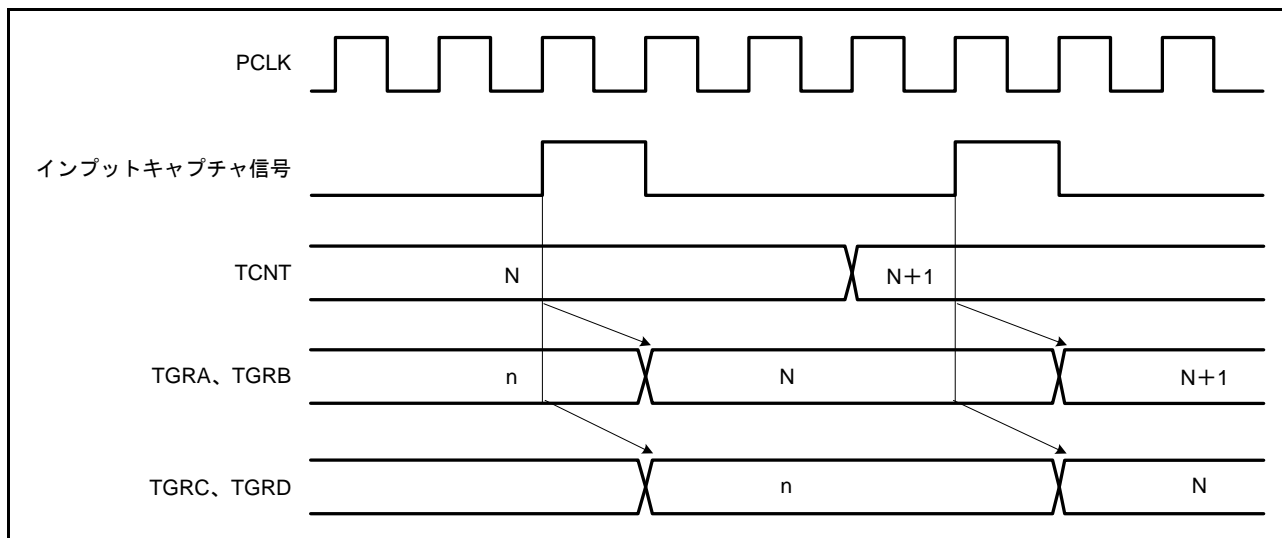


図 23.38 バッファ動作タイミング (インพุットキャプチャ)

23.8.2 割り込み信号タイミング

(1) コンペアマッチ時の割り込みタイミング

コンペアマッチの発生による割り込み信号のタイミングを図 23.39 に示します。

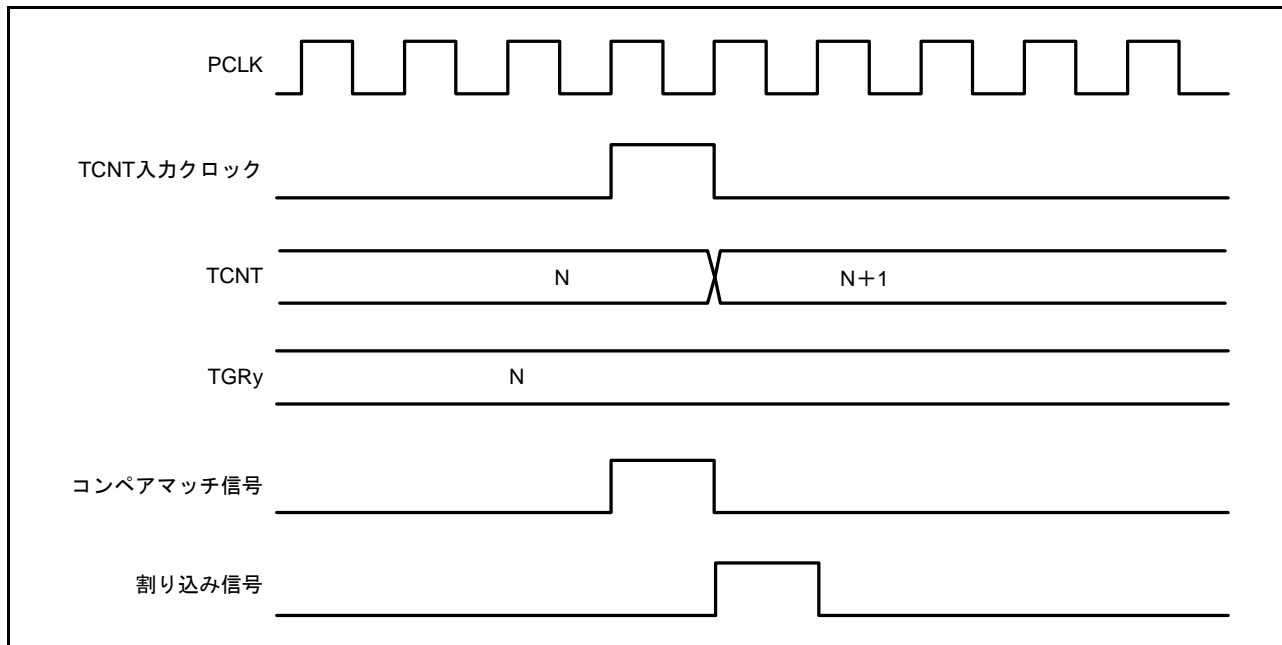


図 23.39 TGI_{my} 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の割り込みタイミング

インพุットキャプチャの発生による割り込み信号のタイミングを図 23.40 に示します。

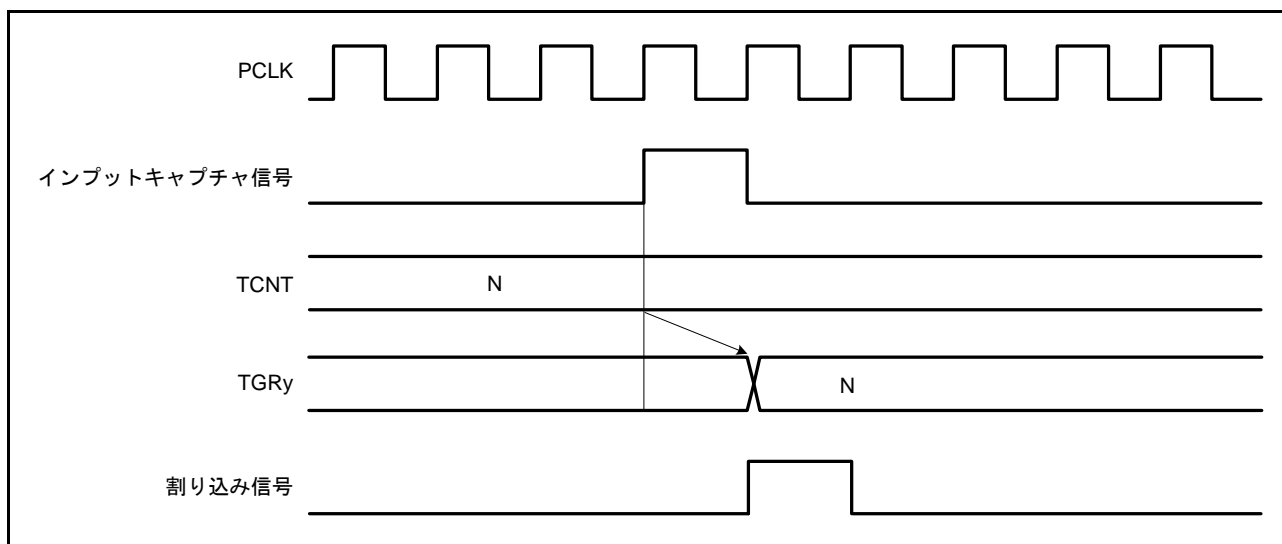


図 23.40 TGI_{my} 割り込みタイミング (インพุットキャプチャ)

(3) TCImV、TCImU 割り込みタイミング

オーバーフローの発生による TCImV 割り込み信号のタイミングを図 23.41 に示します。
 アンダフローの発生による TCImU 割り込み信号のタイミングを図 23.42 に示します。

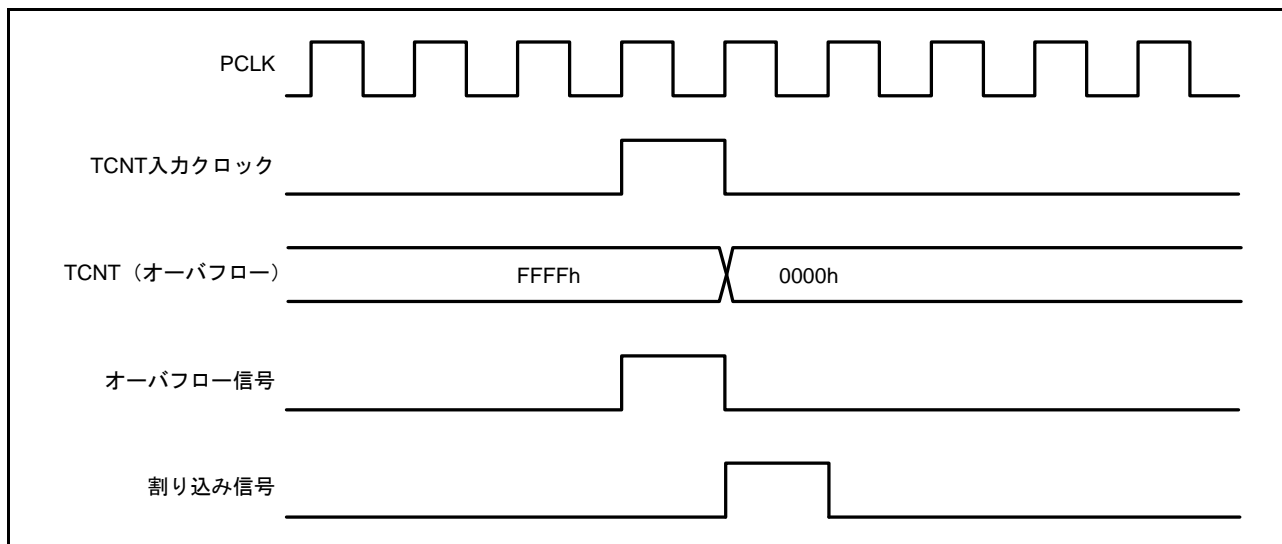


図 23.41 TCImV 割り込みのセットタイミング

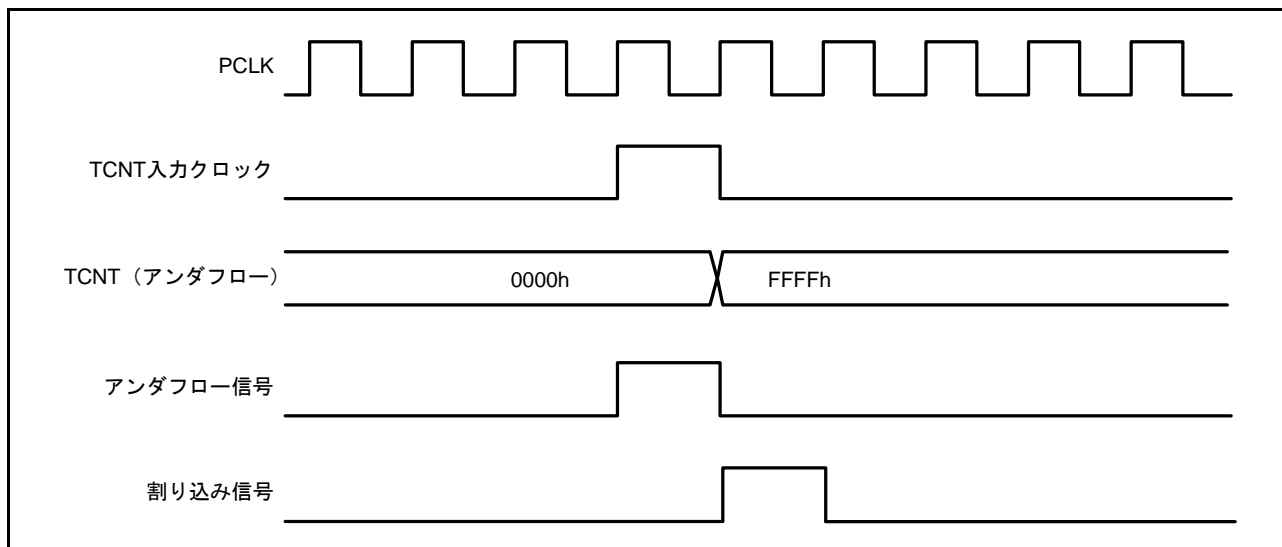


図 23.42 TCImU 割り込みのセットタイミング

23.9 使用上の注意事項

23.9.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、TPUの動作禁止/許可を設定することが可能です。初期値では、TPUの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

23.9.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は1.5PCLK以上、両エッジの場合は2.5PCLK以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2本の入力クロックの位相差およびオーバーラップはそれぞれ1.5PCLK以上、パルス幅は2.5PCLK以上必要です。位相計数モードの入力クロックの条件を図23.43に示します。

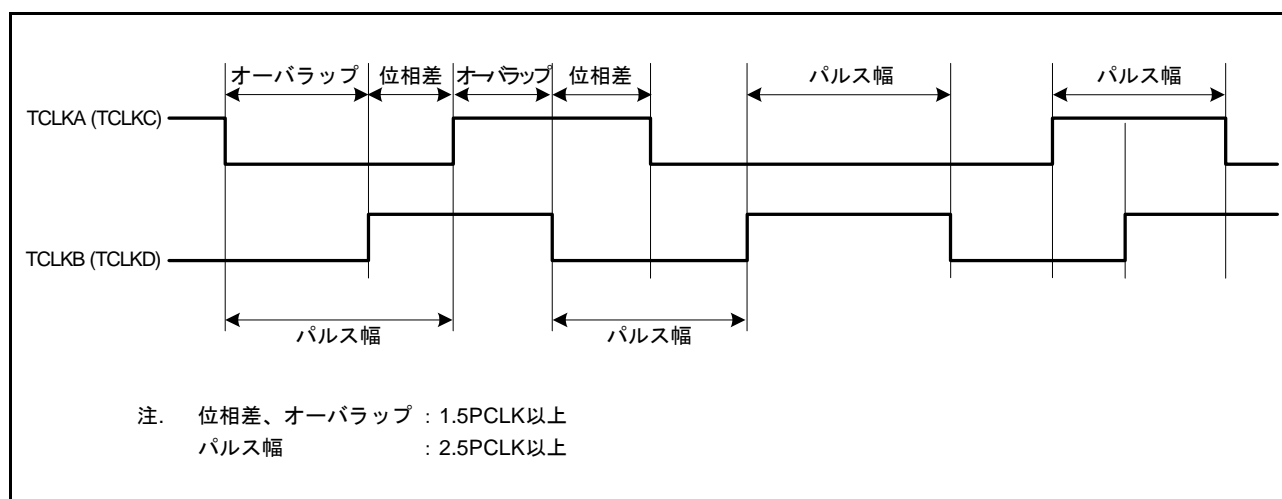


図 23.43 位相計数モード時の位相差、オーバーラップ、およびパルス幅

23.9.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TPUm.TCNT カウンタは TPUm.TGRy レジスタの値と一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は以下の式のようにになります。

$$f = \frac{f_{\text{TCNT_CLK}}}{(N+1)}$$

f : カウンタ周波数

$f_{\text{TCNT_CLK}}$: カウンタクロックの周波数

N : TGRy レジスタの設定値

23.9.4 TPUm.TCNT カウンタへの書き込みとクリアの競合

TCNT カウンタのライトサイクルでカウンタクリア信号が発生すると、TCNT カウンタへの書き込みは行われずに TCNT カウンタのクリアが優先されます。このタイミングを図 23.44 に示します。

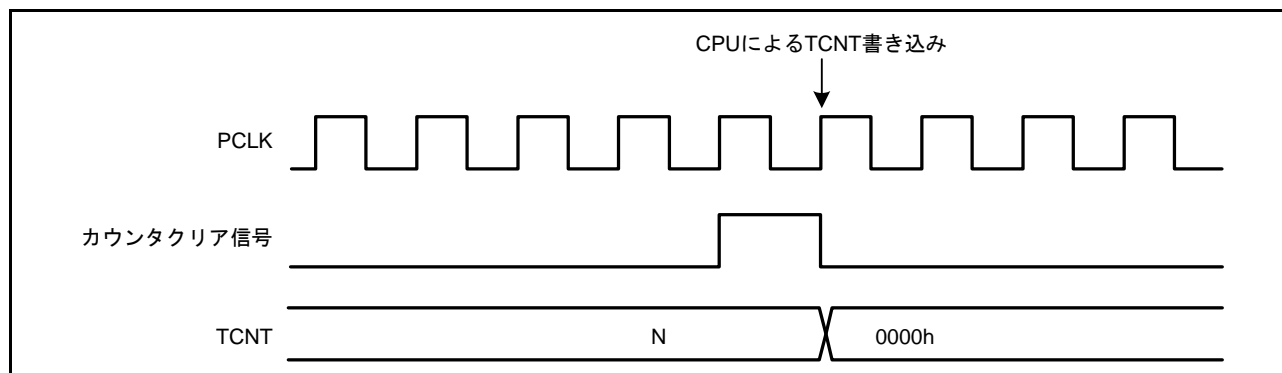


図 23.44 TPUm.TCNT カウンタへの書き込みとクリアの競合

23.9.5 TPUm.TCNT カウンタへの書き込みとカウントアップの競合

TCNT カウンタのライトサイクルでカウントアップが発生してもカウントアップされず、TCNT カウンタへの書き込みが優先されます。このタイミングを図 23.45 に示します。

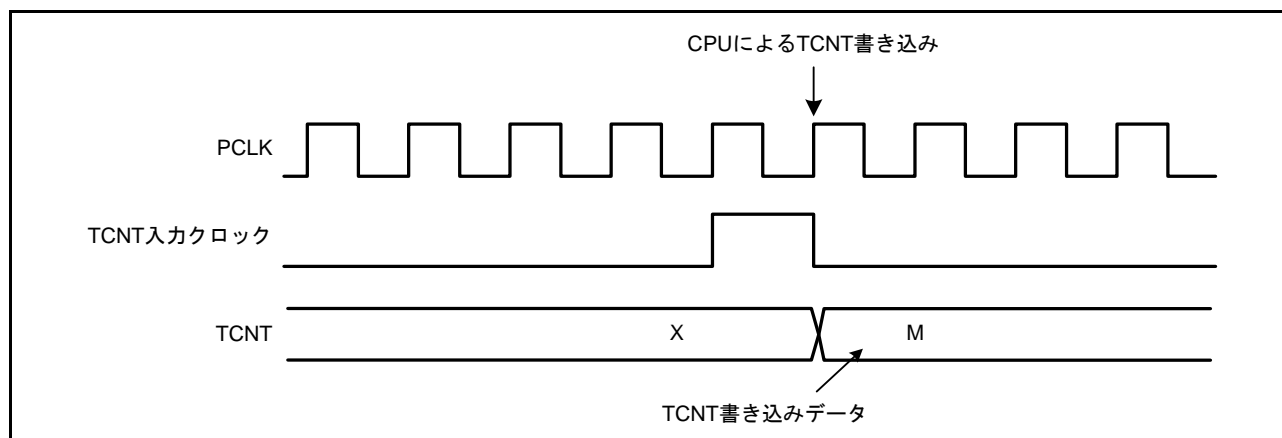


図 23.45 TPUm.TCNT カウンタへの書き込みとカウントアップの競合

23.9.6 TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合

TGRy レジスタのライトサイクルでコンペアマッチが発生しても TGRy レジスタへの書き込みが優先され、コンペアマッチ信号は禁止されます。前回と同じ値を書いた場合でもコンペアマッチは発生しません。このタイミングを図 23.46 に示します。

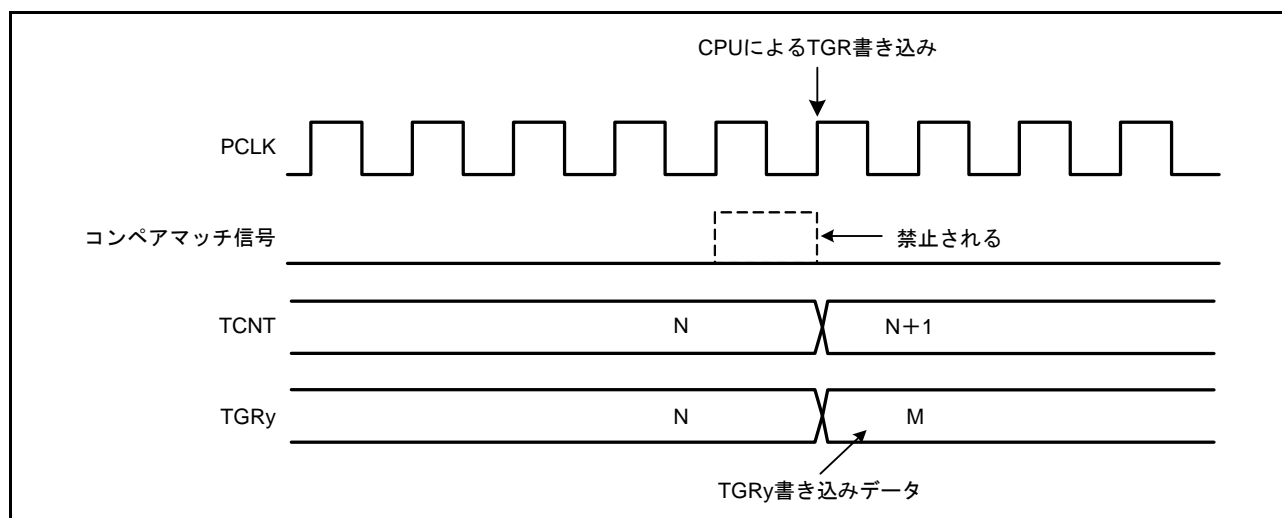


図 23.46 TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合

23.9.7 バッファレジスタへの書き込みとコンペアマッチの競合

TPUm.TGRy レジスタのライトサイクルでコンペアマッチが発生すると、バッファ動作によって TGRy レジスタに転送されるデータは書き込み前のデータとなります。このタイミングを図 23.47 に示します。

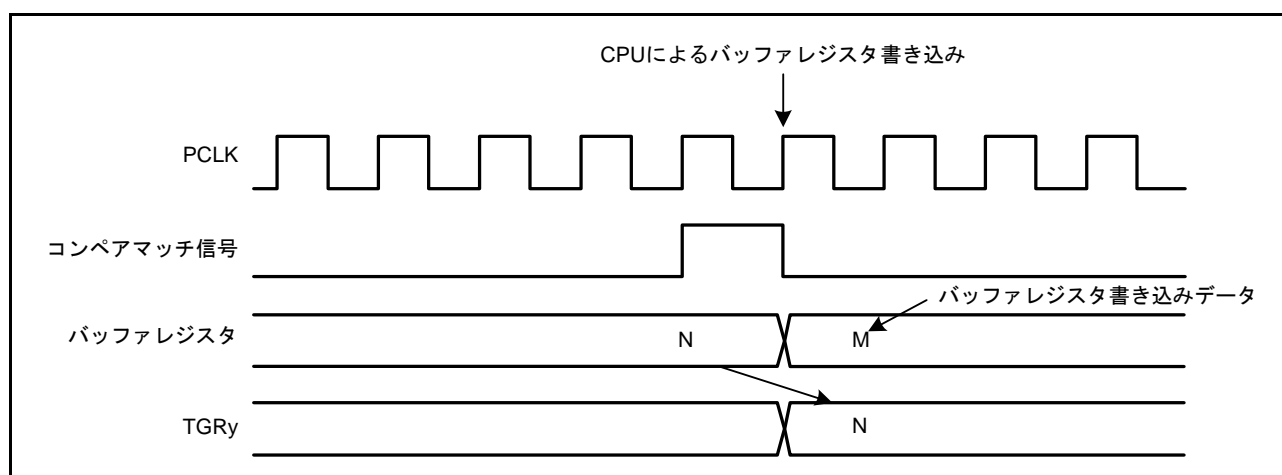


図 23.47 バッファレジスタへの書き込みとコンペアマッチの競合

23.9.8 TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合

TGRy レジスタのリードサイクルでインプットキャプチャ信号が発生すると、読み出しデータはインプットキャプチャ転送前のデータとなります。

このタイミングを図 23.48 に示します。

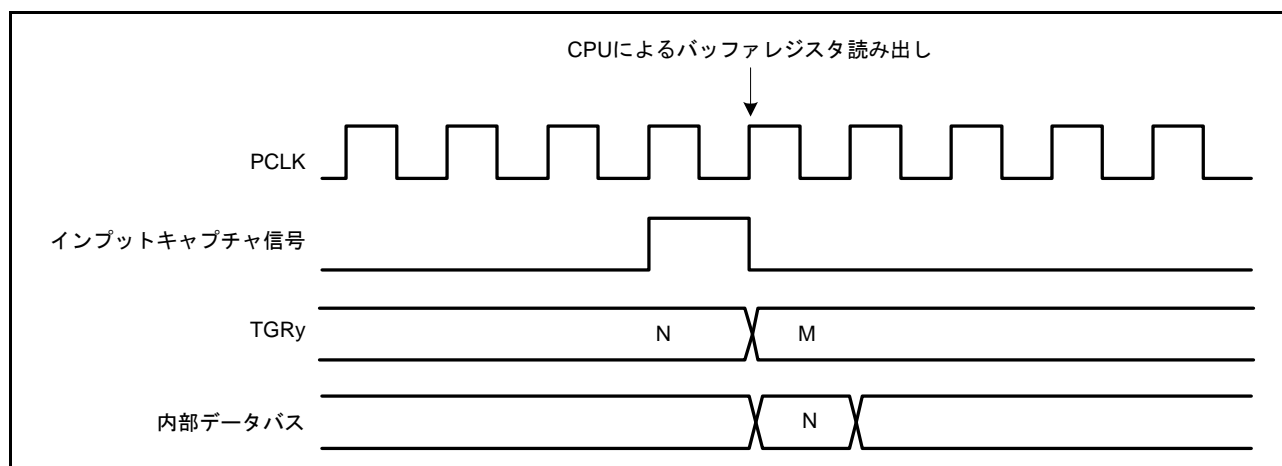


図 23.48 TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合

23.9.9 TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合

TGRy レジスタのライトサイクルでインプットキャプチャ信号が発生すると、TGRy レジスタへの書き込みは行われず、インプットキャプチャが優先されます。このタイミングを図 23.49 に示します。

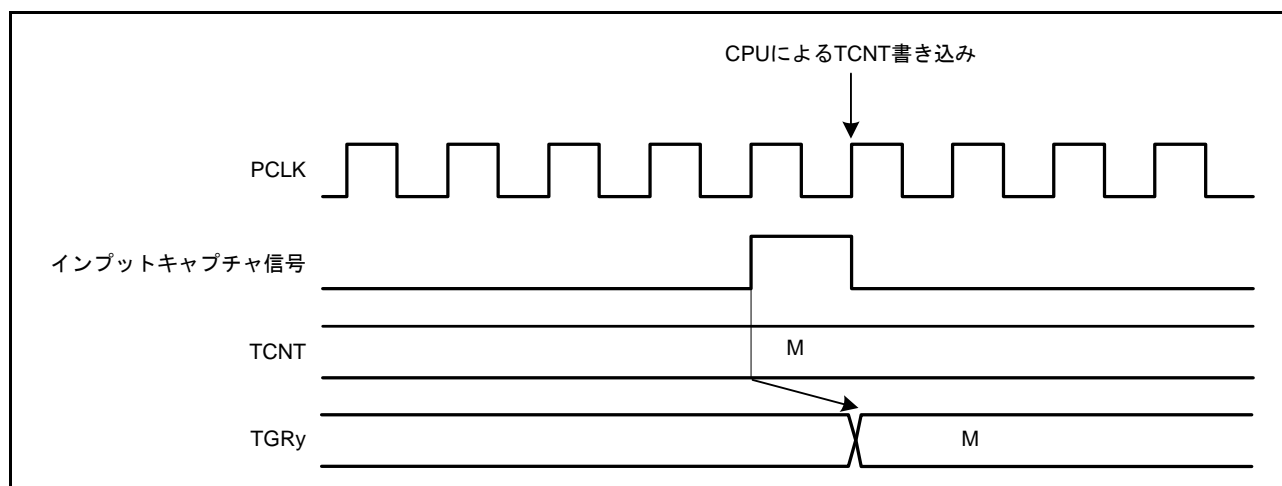


図 23.49 TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合

23.9.10 バッファレジスタへの書き込みとインプットキャプチャの競合

バッファレジスタのライトサイクルでインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。このタイミングを図 23.50 に示します。

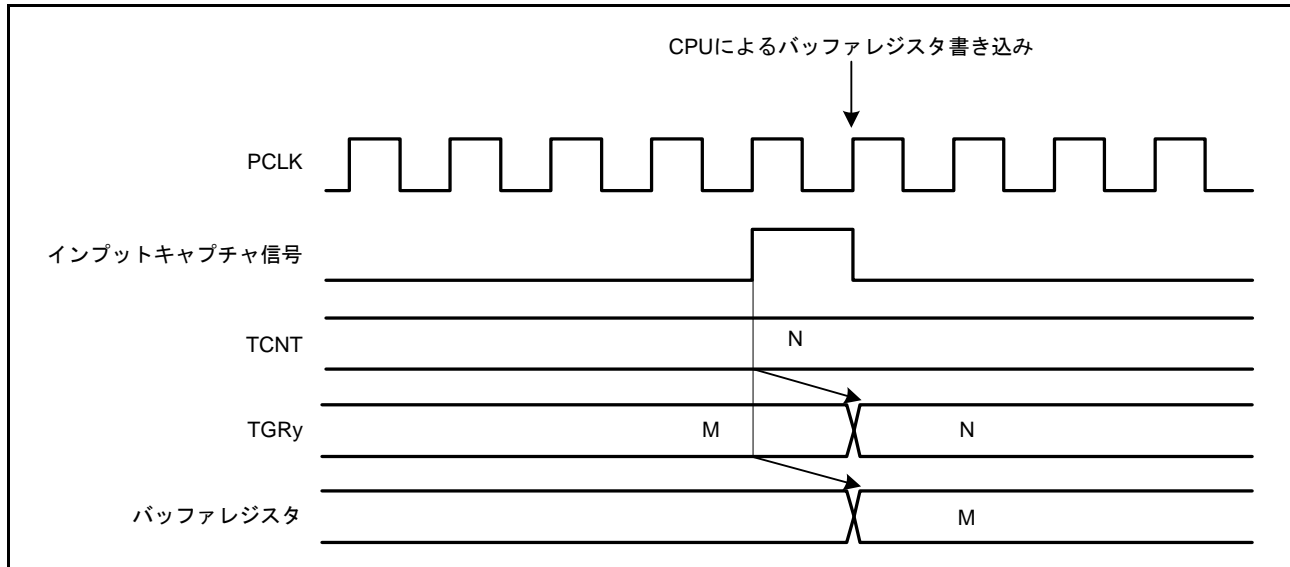


図 23.50 バッファレジスタへの書き込みとインプットキャプチャの競合

23.9.11 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、コンペアマッチ割り込みが発生するとともに、TPUm.TCNT カウンタのクリアが行われオーバフロー割り込みが発生します。

TPUm.TGRy レジスタのコンペアマッチをクリア要因とし、TGRy レジスタを“FFFFh”にした場合の動作タイミングを図 23.51 に示します。

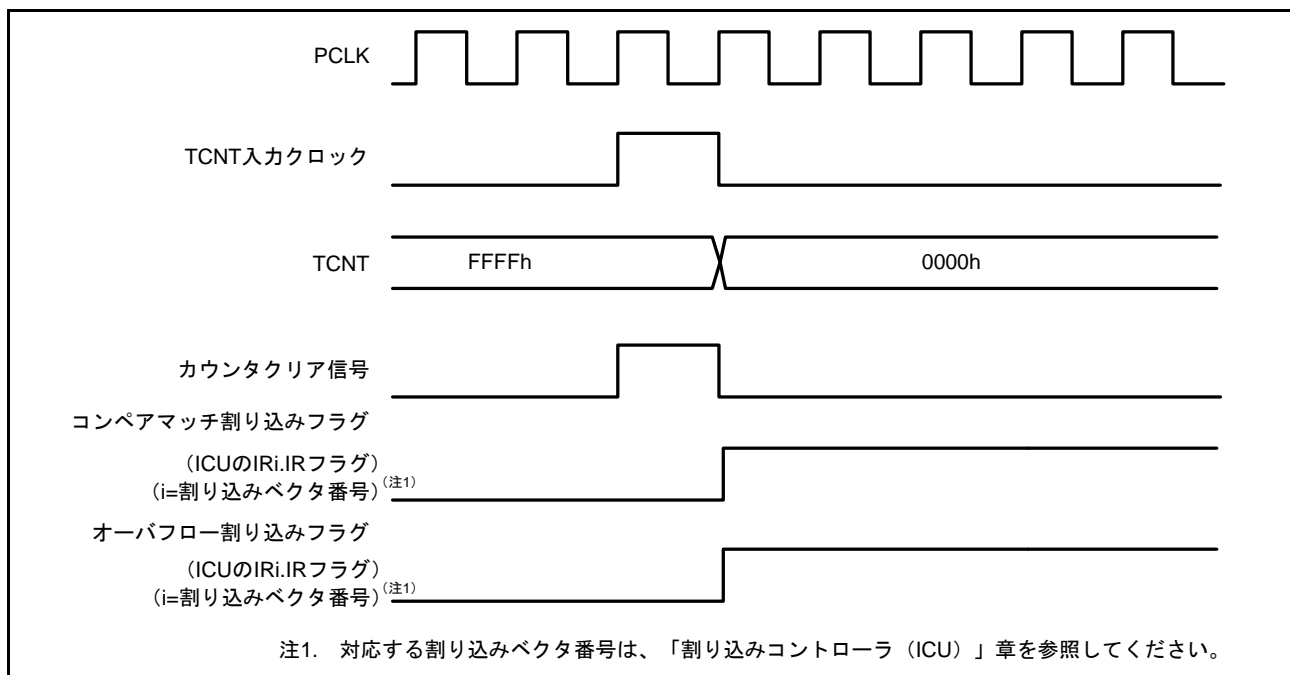


図 23.51 オーバフローとカウンタクリアの競合

23.9.12 TPUm.TCNT カウンタへの書き込みとオーバフロー/アンダフローの競合

TCNT カウンタのライトサイクルでカウントアップ/カウントダウンが発生し、オーバフロー/アンダフローが発生しても TCNT カウンタへの書き込みが優先されます。

TCNT カウンタへの書き込みとオーバフロー競合時の動作タイミングを図 23.52 に示します。

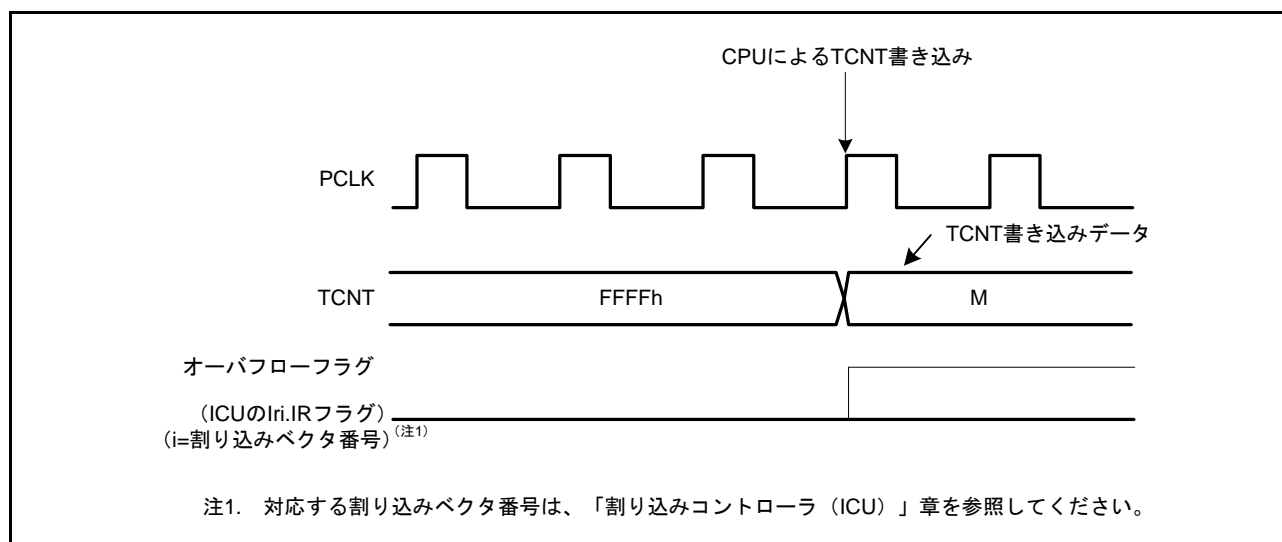


図 23.52 TPUm.TCNT カウンタへの書き込みとオーバフローの競合

23.9.13 入出力端子の兼用

RX210 グループでは、TCLKA 入力 と TIOCB5 入出力、TCLKB 入力 と TIOCB2 入出力、TCLKC 入力 と TIOCB1 入出力、TCLKD 入力 と TIOCB0 入出力、TCLKB 入力 と TIOCD0 入出力、TCLKC 入力 と TIOCC3 入出力、TCLKD 入力 と TIOCD3 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

23.9.14 コンペアマッチパルス割り込みの連続出力

TGR を“0”に設定して、カウンタクロックを PCLK/1 としたコンペアマッチでカウンタクリアすると、TCNT カウンタは“0000h”のまま更新されず、パルスのコンペアマッチ割り込みを連続してレベル状に出力します。

パルス割り込みを使用している場合、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

コンペアマッチパルス割り込みが連続出力する動作タイミングを図 23.53 に示します。

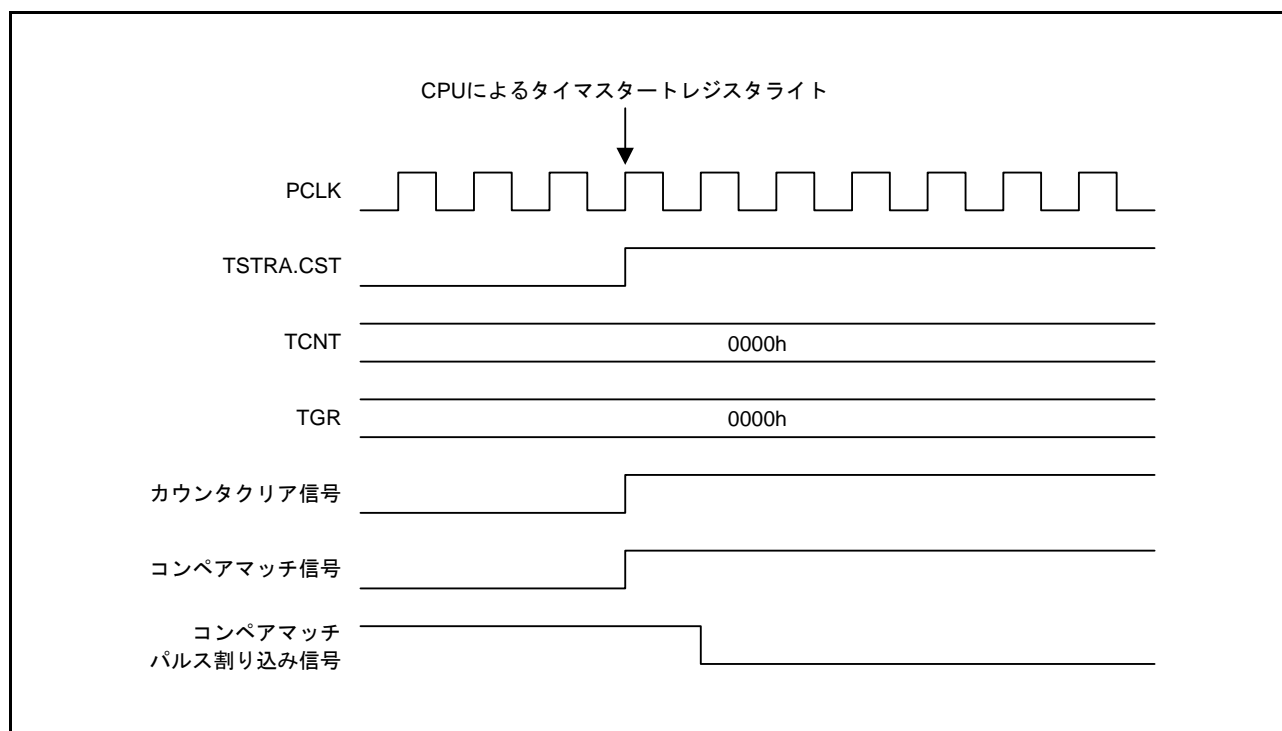


図 23.53 コンペアマッチパルス割り込みの連続出力

23.9.15 インพุットキャプチャパルス割り込みの連続出力

インพุットキャプチャを両エッジに指定し、インพุットキャプチャ入力が内部サンプリングによって1PCLK サイクルとして検出されるパルス幅の場合、立ち上がりエッジと立ち下がりエッジによるインพุットキャプチャが連続して発生するために、パルスのインพุットキャプチャ割り込みを連続してレベル状に出力します。

パルス割り込みを使用している場合、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

インพุットキャプチャパルス割り込みが連続出力する動作タイミングを図 23.54 に示します。

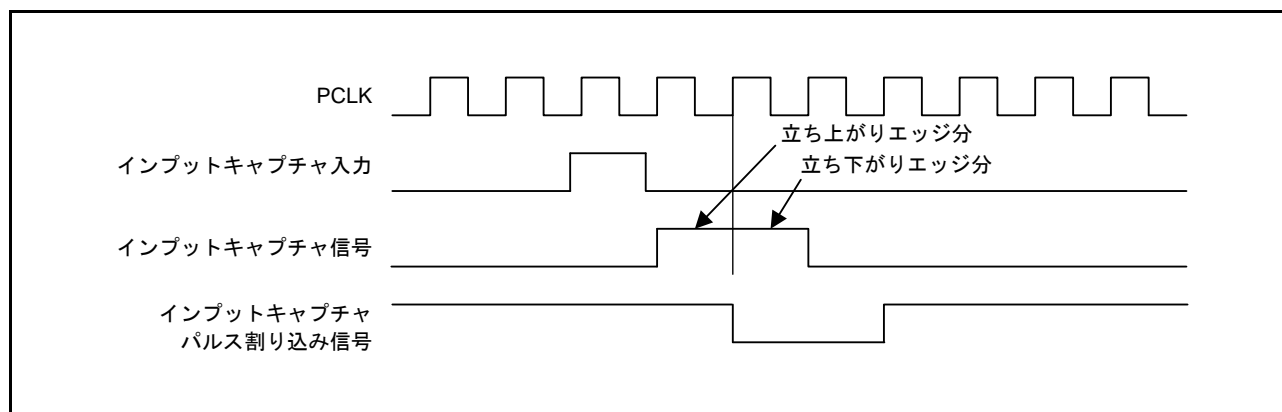


図 23.54 インพุットキャプチャパルス割り込みの連続出力

23.9.16 アンダフローパルス割り込みの連続出力

位相計数モード1で、TGRを“0000h”、カウンタクリア要因をコンペアマッチとして動作させ、TCNTカウンタが“0000h”のときに、位相計数の対象となる2本の外部クロックの同方向のエッジがPCLKの2サイクル内で発生した場合、TCNTカウンタは“0000h”のまま更新されず、パルスのコンペアマッチ割り込みとアンダフロー割り込みを連続してレベル状に出力します。

パルス割り込みを使用している場合、割り込みコントローラは連続する割り込みの2つ目を検出できなくなります。

アンダフローパルス割り込みが連続出力する動作タイミングを図23.55に示します。

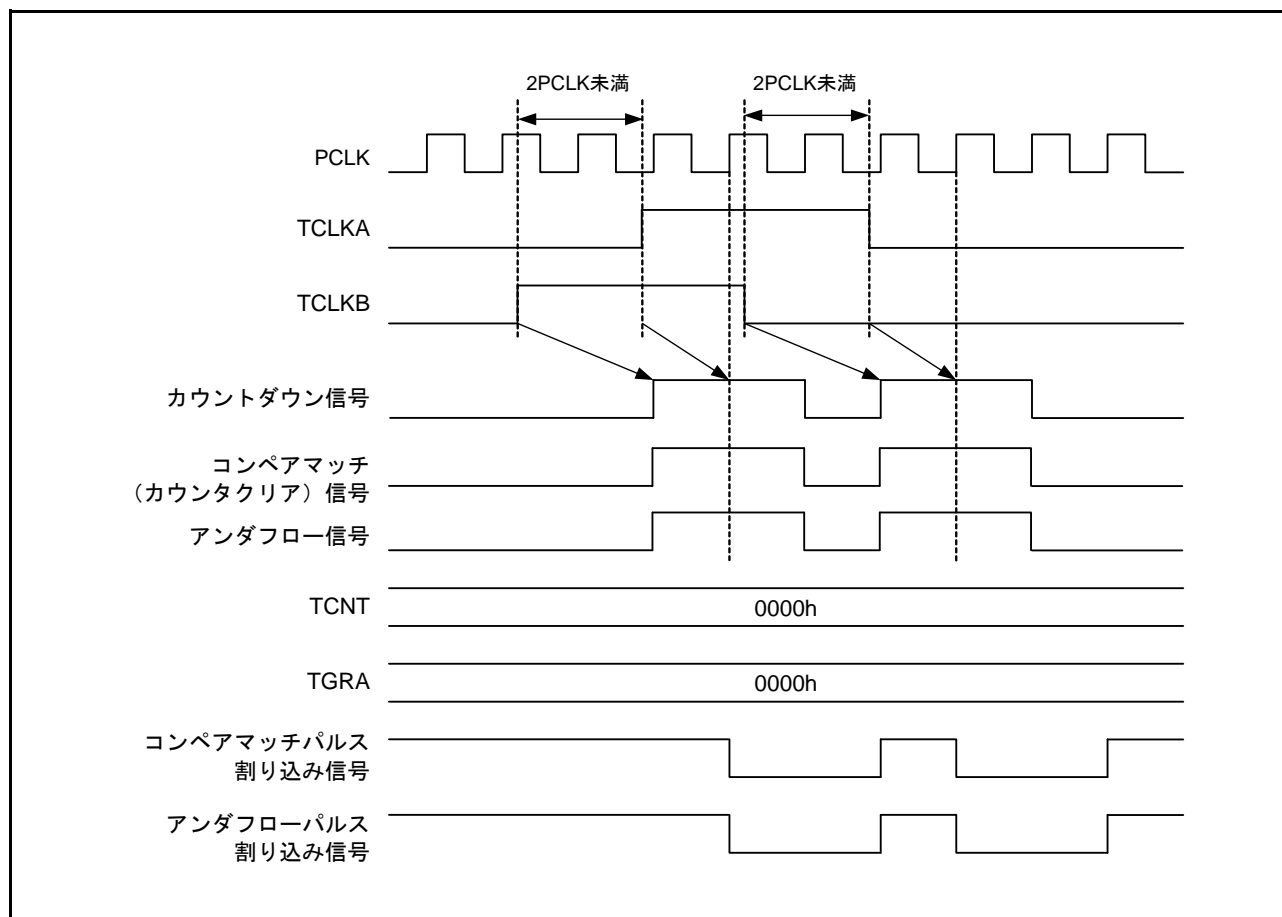


図 23.55 アンダフローパルス割り込みの連続出力

24. 8ビットタイマ (TMR)

RX210グループは、8ビットのカウンタをベースにした2チャンネルの8ビットタイマ (TMR) を2ユニット (ユニット0、ユニット1)、合計4チャンネル内蔵しています。外部イベントのカウントが可能のほか、2本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

ユニット0、1は同一機能で、SCIのポーレートクロックが生成可能です。

24.1 概要

表24.1にTMRの仕様を示します。

図24.1にユニット0、図24.2にユニット1のブロック図を示します。

表24.1 TMRの仕様

項目	仕様
カウントクロック	<ul style="list-style-type: none"> 分周クロック : PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 外部クロック
チャンネル数	(8ビット×2チャンネル) × 2ユニット
コンペアマッチ	<ul style="list-style-type: none"> 8ビットモード (コンペアマッチA、コンペアマッチB) 16ビットモード (コンペアマッチA、コンペアマッチB)
カウンタクリア	コンペアマッチA、コンペアマッチB、外部リセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM出力
2チャンネルのカスケード接続	<ul style="list-style-type: none"> 16ビットカウントモード TMR0を上位、TMR1を下位 (TMR2を上位、TMR3を下位) とする16ビットタイマ コンペアマッチカウントモード TMR1はTMR0のコンペアマッチをカウント (TMR3はTMR2のコンペアマッチをカウント)
割り込み要因	コンペアマッチA、コンペアマッチB、オーバフロー
イベントリンク機能(出力)	コンペアマッチA、コンペアマッチB、オーバフロー (TMR0、TMR2)
イベントリンク機能(入力)	(1) カウントスタート動作 (TMR0、TMR2) (2) イベントカウンタ動作 (TMR0、TMR2) (3) カウンタリスタート動作 (TMR0、TMR2)
DTCの起動	コンペアマッチA割り込み、コンペアマッチB割り込みにより起動可能
SCIのポーレートクロック生成	SCIのポーレートクロックを生成 (注1)
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

注1. 詳細は「29. シリアルコミュニケーションインタフェース (SCIc、SCIId)」を参照してください。

表24.2 TMRの機能一覧

項目		ユニット0			ユニット1		
		8ビット		16ビット	8ビット		16ビット
カウンタモード		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
チャネル		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
カウントクロック		PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi0	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi2	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi3	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi3
カウンタクリア		TMR0.TCORA TMR0.TCORB TMRi0	TMR1.TCORA TMR1.TCORB TMRi1	TMR0.TCORA + TMR1.TCORA TMR0.TCORB+ TMR1.TCORB TMRi0	TMR2.TCORA TMR2.TCORB TMRi2	TMR3.TCORA TMR3.TCORB TMRi3	TMR2.TCORA + TMR3.TCORA TMR2.TCORB+ TMR3.TCORB TMRi2
コンペア マッチ	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
タイマ出力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
DTCの起動	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフロー	—	—	—	—	—	—
割り込み	コンペアマッチA	CMIA0	CMIA1	CMIA0	CMIA2	CMIA3	CMIA2
	コンペアマッチB	CMIB0	CMIB1	CMIB0	CMIB2	CMIB3	CMIB2
	TCNTのオーバフロー	OVI0	OVI1	OVI0	OVI2	OVI3	OVI2
カスケード接続		TMR1の オーバフロー	TMR0の コンペアマッチA	—	TMR3の オーバフロー	TMR2の コンペアマッチA	—
SCIのポーレートクロックの生成 (注1)		○		—	○		—
モジュールストップの設定 (注2)		(ユニット0) MSTPCRA.MSTPA5ビット、(ユニット1) MSTPCRA.MSTPA4ビット					

○：可能

—：不可能

注1. 詳細は「29. シリアルコミュニケーションインタフェース (SCIc、SCId)」を参照してください。

注2. 詳細は「11. 消費電力低減機能」を参照してください。

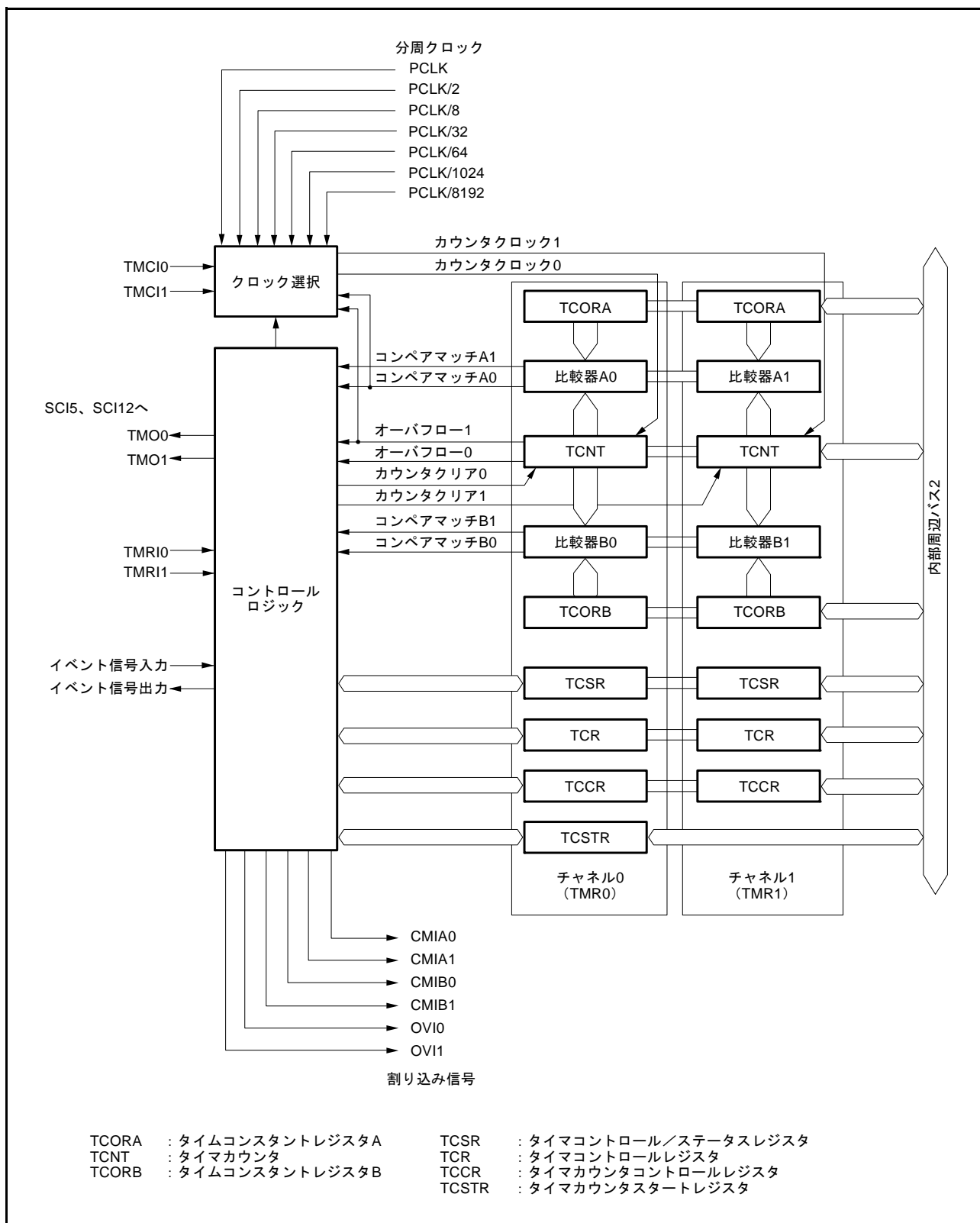


図 24.1 TMR (ユニット0) のブロック図

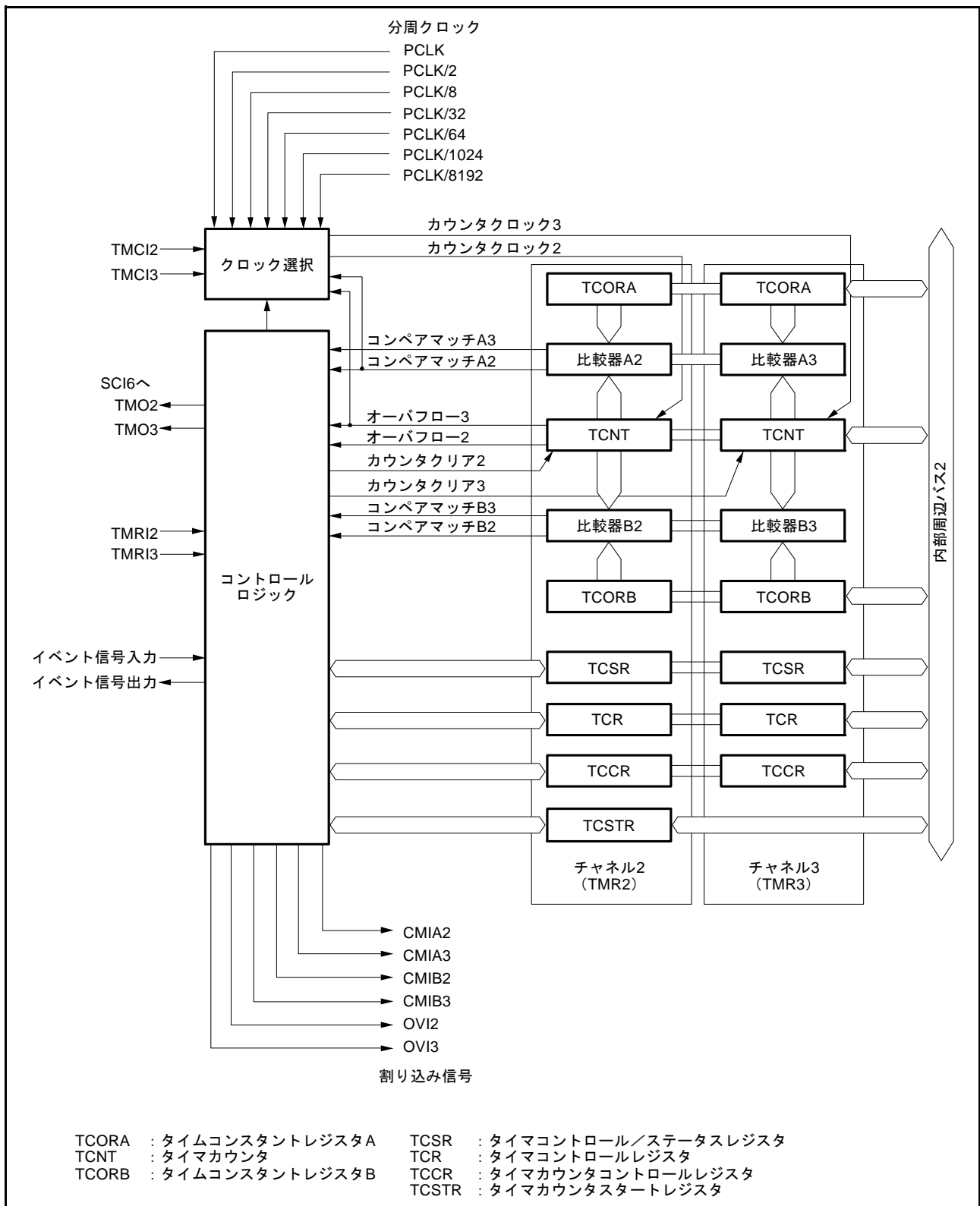


図 24.2 TMR (ユニット 1) のブロック図

表 24.3 に TMR で使用する入出力端子を示します。

表 24.3 TMRの入出力端子

ユニット	チャネル	端子名	入出力	機能
ユニット0	TMR0	TMO0	出力	コンペアマッチ出力
		TMCi0	入力	カウンタ外部クロック入力
		TMRi0	入力	カウンタ外部リセット入力
	TMR1	TMO1	出力	コンペアマッチ出力
		TMCi1	入力	カウンタ外部クロック入力
		TMRi1	入力	カウンタ外部リセット入力
ユニット1	TMR2	TMO2	出力	コンペアマッチ出力
		TMCi2	入力	カウンタ外部クロック入力
		TMRi2	入力	カウンタ外部リセット入力
	TMR3	TMO3	出力	コンペアマッチ出力
		TMCi3	入力	カウンタ外部クロック入力
		TMRi3	入力	カウンタ外部リセット入力

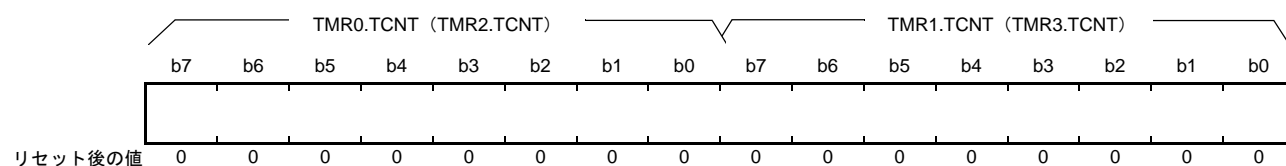
24.2 レジスタの説明

表 24.4 16ビットアクセスのレジスタ配置

アドレス	上位8ビット	下位8ビット
0008 8208h	TMR0.TCNT	TMR1.TCNT
0008 8204h	TMR0.TCORA	TMR1.TCORA
0008 8206h	TMR0.TCORB	TMR1.TCORB
0008 820Ah	TMR0.TCCR	TMR1.TCCR
0008 8218h	TMR2.TCNT	TMR3.TCNT
0008 8214h	TMR2.TCORA	TMR3.TCORA
0008 8216h	TMR2.TCORB	TMR3.TCORB
0008 821Ah	TMR2.TCCR	TMR3.TCCR

24.2.1 タイマカウンタ (TCNT)

アドレス TMR0.TCNT 0008 8208h、TMR1.TCNT 0008 8209h、TMR2.TCNT 0008 8218h、TMR3.TCNT 0008 8219h



TCNT カウンタは、8 ビットのリード/ライト可能なアップカウンタです。

TMR0.TCNT カウンタと TMR1.TCNT カウンタ (TMR2.TCNT カウンタと TMR3.TCNT カウンタ) を 16 ビットカウンタとしてワードアクセスすることも可能です。

カウントクロックは、TCCR.CSS[1:0] ビット、CKS[2:0] ビットで選択します。

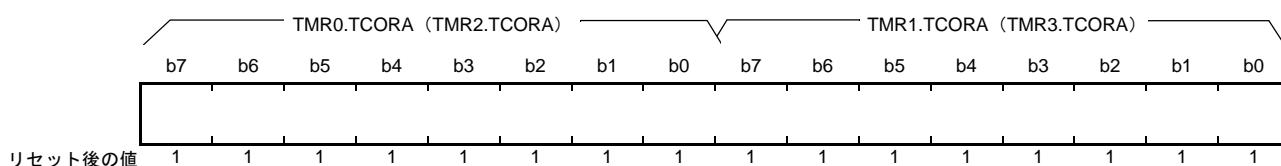
TCNT カウンタは、外部リセット入力信号、またはコンペアマッチ A、コンペアマッチ B によりクリアすることができます。どのコンペアマッチでクリアするかは、TCR.CCLR[1:0] ビットにより選択します。

TCNT カウンタのオーバーフロー (“FFh” → “00h”) が発生すると、TCR.OVIE ビットで割り込み要求が許可されていれば、オーバーフロー割り込み (Low パルス) を出力します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と「表 24.6 TMR の割り込み要因」を参照してください。

24.2.2 タイムコンスタントレジスタ A (TCORA)

アドレス TMR0.TCORA 0008 8204h, TMR1.TCORA 0008 8205h, TMR2.TCORA 0008 8214h, TMR3.TCORA 0008 8215h



TCORA レジスタは、8 ビットのリード/ライト可能なレジスタです。

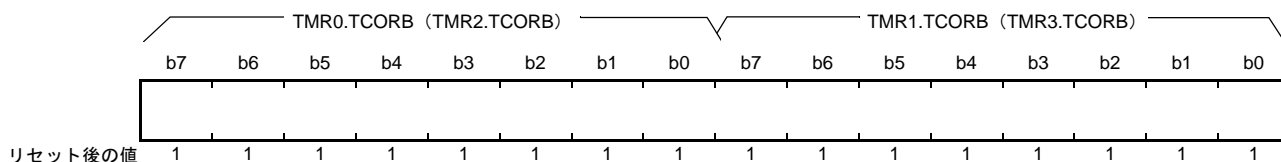
TMR0.TCORA レジスタと TMR1.TCORA レジスタ (TMR2.TCORA レジスタと TMR3.TCORA レジスタ) を 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORA レジスタの値は TCNT カウンタと常に比較され、一致するとコンペアマッチ A が発生し、TCR.CMIEA ビットで割り込み要求が許可されていれば、コンペアマッチ A 割り込み (Low パルス) を出力します。

ただし、TCORA レジスタへの書き込み時には比較しません。また、このコンペアマッチ A と TCSR.OSA[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

24.2.3 タイムコンスタントレジスタ B (TCORB)

アドレス TMR0.TCORB 0008 8206h, TMR1.TCORB 0008 8207h, TMR2.TCORB 0008 8216h, TMR3.TCORB 0008 8217h



TCORB レジスタは、8 ビットのリード/ライト可能なレジスタです。

TMR0.TCORB レジスタと TMR1.TCORB レジスタ (TMR2.TCORB レジスタと TMR3.TCORB レジスタ) を 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORB レジスタの値は TCNT カウンタと常に比較され、一致するとコンペアマッチ B が発生し、TCR.CMIEB ビットで割り込み要求が許可されていれば、コンペアマッチ B 割り込み (Low パルス) を出力します。

ただし、TCORB_n レジスタへの書き込み時には比較しません。また、このコンペアマッチ B と TCSRn.OSB[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

24.2.4 タイマコントロールレジスタ (TCR)

アドレス TMR0.TCR 0008 8200h、TMR1.TCR 0008 8201h、TMR2.TCR 0008 8210h、TMR3.TCR 0008 8211h

b7	b6	b5	b4	b3	b2	b1	b0
CMIEB	CMIEA	OVIE	CCLR[1:0]	—	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4-b3	CCLR[1:0]	カウンタクリアビット (注1)	b4 b3 0 0: クリアを禁止 0 1: コンペアマッチAによりクリア 1 0: コンペアマッチBによりクリア 1 1: 外部リセット入力によりクリア (TCCR.TMRISビットでエッジまたはレベルを選択)	R/W
b5	OVIE	タイマオーバーフロー割り込み許可ビット	0: オーバフローによる割り込み要求 (OVIn) を禁止 1: オーバフローによる割り込み要求 (OVIn) を許可	R/W
b6	CMIEA	コンペアマッチ割り込み許可Aビット	0: コンペアマッチAによる割り込み要求 (CMIA _n) を禁止 1: コンペアマッチAによる割り込み要求 (CMIA _n) を許可	R/W
b7	CMIEB	コンペアマッチ割り込み許可Bビット	0: コンペアマッチBによる割り込み要求 (CMIB _n) を禁止 1: コンペアマッチBによる割り込み要求 (CMIB _n) を許可	R/W

注1. カウンタ外部リセットを使用する場合は、該当する端子のPORTn.PDR.Bnビットを“0”に、PORTn.PMR.Bnビットを“1”にしてください。詳細については「19. I/Oポート」を参照してください。

CCLR[1:0] ビット (カウンタクリアビット)

TCNT カウンタのクリア条件を指定します。

OVIE ビット (タイマオーバーフロー割り込み許可ビット)

TCNT カウンタのオーバーフローによる割り込み要求 (OVIn) の許可または禁止を選択します。

CMIEA ビット (コンペアマッチ割り込み許可 A ビット)

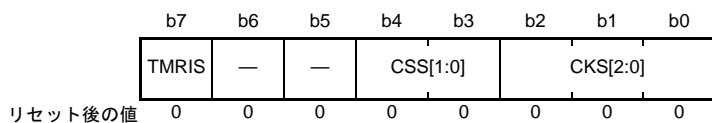
TCORA レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ A による割り込み要求 (CMIA_n) の許可または禁止を選択します。

CMIEB ビット (コンペアマッチ割り込み許可 B ビット)

TCORB レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ B による割り込み要求 (CMIB_n) の許可または禁止を選択します。

24.2.5 タイマカウンタコントロールレジスタ (TCCR)

アドレス TMR0.TCCR 0008 820Ah、TMR1.TCCR 0008 820Bh、TMR2.TCCR 0008 821Ah、TMR3.TCCR 0008 821Bh



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット (注1)	表24.5を参照してください	R/W
b4-b3	CSS[1:0]	クロックソース選択ビット	表24.5を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TMRIS	タイマリセット検出条件選択ビット	0 : 外部リセットの立ち上がりでクリア 1 : 外部リセットのHighでクリア	R/W

注1. カウンタ外部リセットを使用する場合は、該当する端子のPORTn.PDR.Bnビットを“0”に、PORTn.PMR.Bnビットを“1”にしてください。詳細については「19. I/Oポート」を参照してください。

CKS[2:0] ビット (クロック選択ビット)

CSS[1:0] ビット (クロックソース選択ビット)

CKS[2:0] ビットおよびCSS[1:0] ビットは、クロックを選択します。詳細は、表 24.5 を参照してください。

TMRIS ビット (タイマリセット検出条件選択ビット)

TCR.CCLR [1:0] ビットが“11b” (外部リセット入力によりクリア) のとき有効となり、外部リセット検出条件 (レベルまたはエッジ) を選択します。

表24.5 TCNTカウンタに入力するクロックとカウント条件

チャンネル	TCCR レジスタ					機能		
	CSS[1:0]		CKS[2:0]					
	b4	b3	b2	b1	b0			
TMR0 (TMR2)	0	0	—	0	0	クロック入力を禁止		
					1	外部クロックの立ち上がりエッジでカウント (注1)		
				1	0	外部クロックの立ち下がりエッジでカウント (注1)		
					1	外部クロックの立ち上がり/立ち下がり両エッジでカウント (注1)		
	0	1	0	0	0	分周クロック : PCLKでカウント		
					1	分周クロック : PCLK/2でカウント		
					1	0	分周クロック : PCLK/8でカウント	
						1	分周クロック : PCLK/32でカウント	
				1	0	0	分周クロック : PCLK/64でカウント	
						1	分周クロック : PCLK/1024でカウント	
						1	0	分周クロック : PCLK/8192でカウント
							1	クロック入力を禁止
	1	0	—	—	—	設定しないでください		
	1	1	—	—	—	TMR1.TCNT (TMR3.TCNT) のオーバフロー信号でカウント (注2)		
TMR1 (TMR3)	0	0	—	0	0	クロック入力を禁止		
					1	外部クロックの立ち上がりエッジでカウント (注1)		
				1	0	外部クロックの立ち下がりエッジでカウント (注1)		
					1	外部クロックの立ち上がり/立ち下がり両エッジでカウント (注1)		
	0	1	0	0	0	分周クロック : PCLKでカウント		
					1	分周クロック : PCLK/2でカウント		
					1	0	分周クロック : PCLK/8でカウント	
						1	分周クロック : PCLK/32でカウント	
				1	0	0	分周クロック : PCLK/64でカウント	
						1	分周クロック : PCLK/1024でカウント	
						1	0	分周クロック : PCLK/8192でカウント
							1	クロック入力を禁止
	1	0	—	—	—	設定しないでください		
	1	1	—	—	—	TMR0.TCNT (TMR2.TCNT) のコンペアマッチAでカウント (注2)		

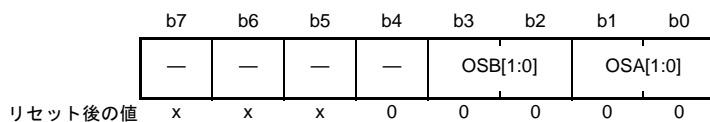
注1. カウンタ外部リセットを使用する場合は、該当する端子のPORTn.PDR.Bnビットを“0”に、PORTn.PMR.Bnビットを“1”にしてください。詳細については「19. I/Oポート」を参照してください。

注2. TMR0 (TMR2) のクロック入力をTMR1.TCNT (TMR3.TCNT) カウンタのオーバフロー信号とし、TMR1 (TMR3) のクロック入力をTMR0.TCNT (TMR2.TCNT) カウンタのコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

24.2.6 タイマコントロール/ステータスレジスタ (TCSR)

- TMR0.TCSR、TMR2.TCSR レジスタ

アドレス TMR0.TCSR 0008 8202h、TMR2.TCSR 0008 8212h



ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力 (トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力 (トグル出力)	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMRn端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”とすると、リセット後の最初のコンペアマッチが起こるまでのタイマ出力はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

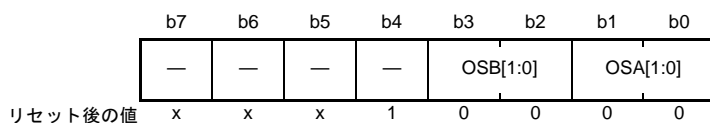
TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMRn 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMRn 端子の出力方法を選択します。

- TMR1.TCSR、TMR3.TCSR レジスタ

アドレス TMR1.TCSR 0008 8203h、TMR3.TCSR 0008 8213h



ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力 (トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力 (トグル出力)	R/W
b4	—	予約ビット	読むと“1”が読めず。書く場合、“1”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO_n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”とすると、リセット後の最初のコンペアマッチが起こるまでのタイマ出力はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

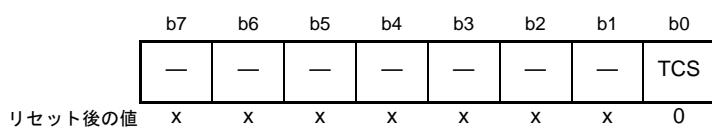
TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

24.2.7 タイムカウンタスタートレジスタ (TCSTR)

アドレス TMR0.TCSTR 0008 820Ch、TMR2.TCSTR 0008 821Ch



ビット	シンボル	ビット名	機能	R/W
b0	TCS	タイマカウンタステータスビット	0 : ELCによるカウント停止状態 1 : ELCによるカウント開始状態	R/W
b7-b1	—	(予約ビット)	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

TCS ビット (タイマカウンタステータスビット)

ELC によるタイマカウントの状態を確認できます。

読み出し値が“1”のとき、ELC によるタイマ開始状態で、“0”のとき、タイマカウント停止状態です。

このビットをクリアするには、“0”を書いてください。“1”の書き込みは無効です。

TCS ビットは、イベントリンクコントローラ (ELC) の ELOPD レジスタでカウントスタート動作が選択されたときのみ有効となります。

詳細は、「24.7 ELC によるリンク動作」および、「18. イベントリンクコントローラ (ELC)」を参照してください。

24.3 動作説明

24.3.1 パルス出力

任意のデューティパルスを出力させる例を図 24.3 に示します。

1. TCORA レジスタのコンペアマッチにより TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを“01b” (コンペアマッチ A によりクリア) に設定します。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを“10b” (High 出力)、TCSR.OSB[1:0] ビットを“01b” (Low 出力) にします。

以上の設定により周期が TCORA レジスタ、パルス幅が TCORB レジスタの波形をソフトウェアの介入なしに出力できます。

TCSR.OSA[1:0] ビットまたは TCSR.OSB[1:0] ビットを設定してから、リセット後の最初のコンペアマッチが起こるまでのタイマ出力は Low です。

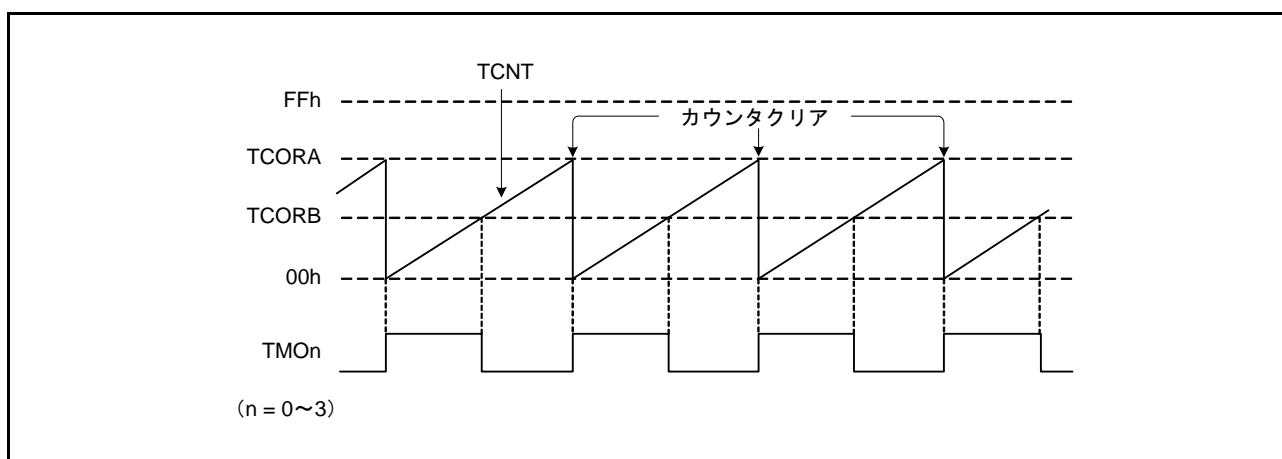


図 24.3 パルス出力例

24.3.2 リセット入力

TMRIn 入力に対する任意の遅延時間のパルスを出力させる例を図 24.4 に示します。

1. TMRIn 入力の High で TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを“11b” (外部リセット入力によりクリア) にし、TCCR.TMRIS ビットを“1” (外部リセットの High でクリア) にします。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを“10b” (High 出力)、TCSR.OSB[1:0] ビットを“01b” (Low 出力) にします。

以上の設定により TMRIn 入力からの遅延が TCORA レジスタ、パルス幅が (TCORB - TCORA) の波形を出力できます。

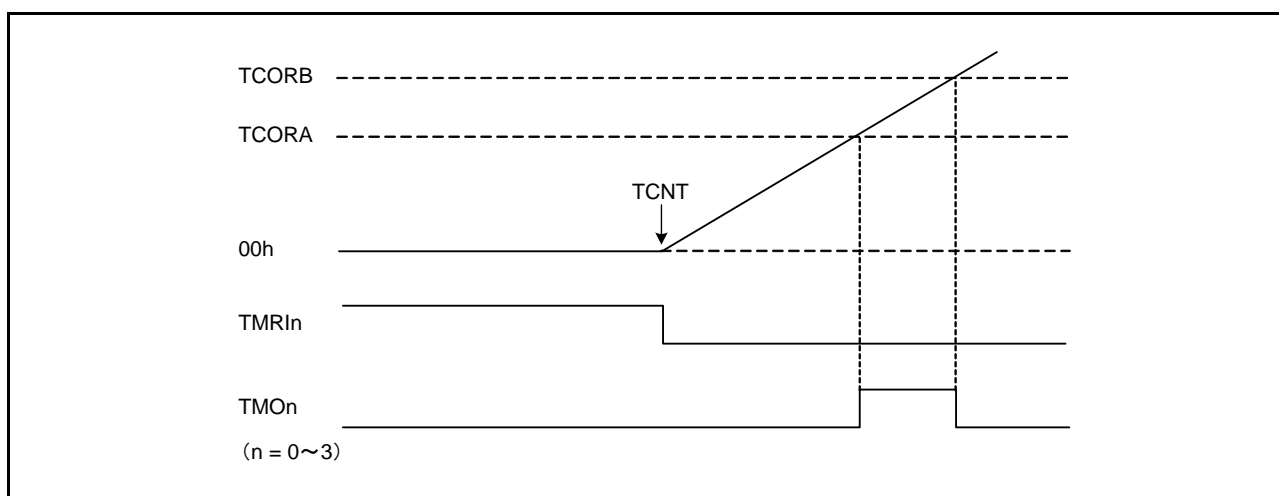


図 24.4 リセット入力例

24.4 動作タイミング

24.4.1 TCNT カウンタのカウントタイミング

分周クロック動作の場合の TCNT カウンタのカウントタイミングを図 24.5 に示します。また、外部クロック動作の場合の TCNT カウンタのカウントタイミングを図 24.6 に示します。

なお外部クロックのパルス幅は、単エッジの場合は $1.5PCLK$ 以上、両エッジの場合は $2.5PCLK$ 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

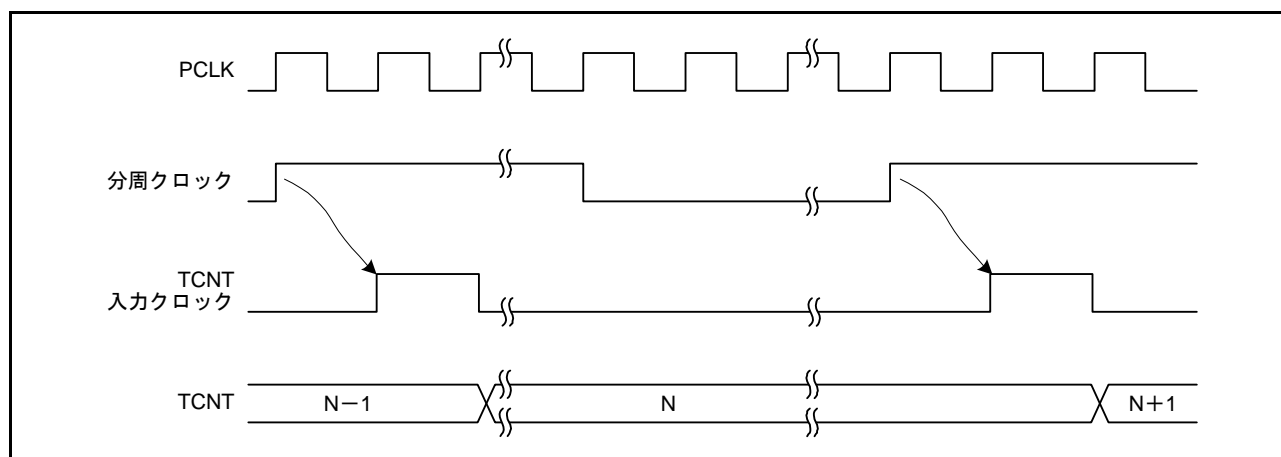


図 24.5 分周クロック動作時のカウントタイミング

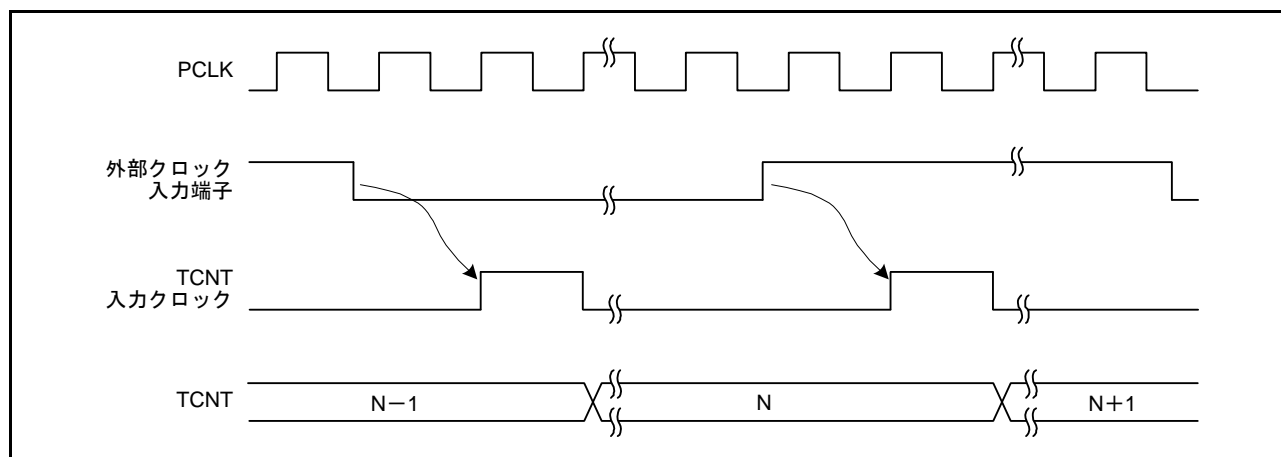


図 24.6 外部クロック動作時のカウントタイミング (両エッジの場合)

24.4.2 コンペアマッチ時の割り込みタイミング

TCORA または TCORB レジスタが TCNT カウンタの値と一致したときコンペアマッチが発生し、割り込み要求が許可されていればコンペアマッチ割り込み信号が出力されます。コンペアマッチは、一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、TCNT カウンタと TCORA、TCORB レジスタの値が一致した後、TCNT カウンタ入力クロックが発生するまでコンペアマッチは発生しません。割り込み信号の出力タイミングを図 24.7 に示します。

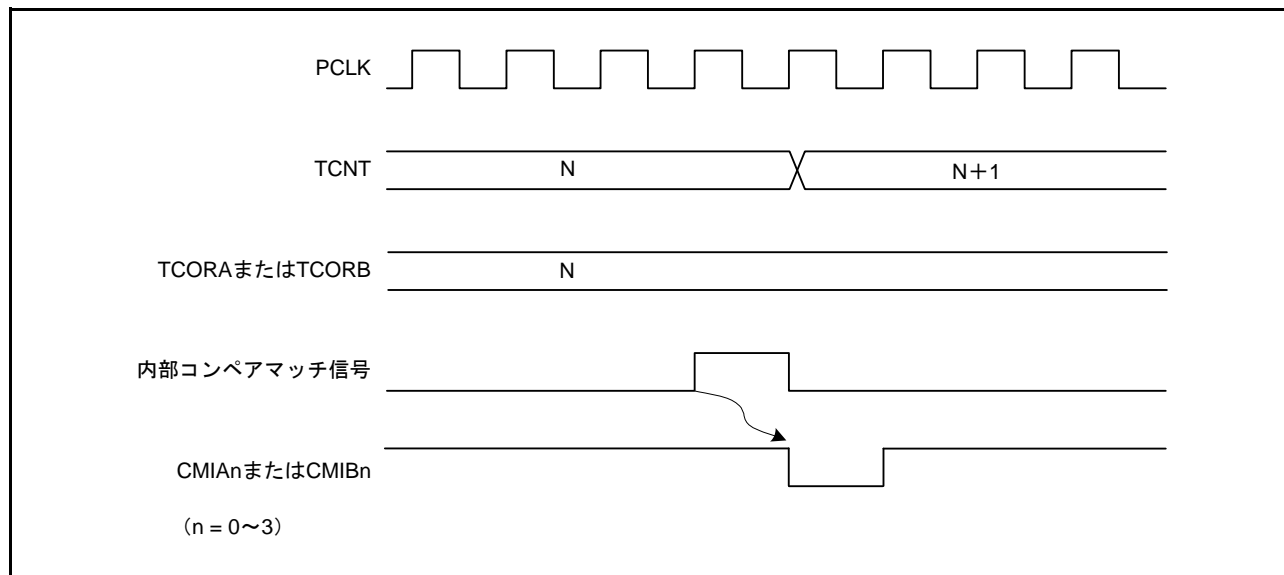


図 24.7 コンペアマッチ時の割り込みタイミング

24.4.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR.OSA[1:0], OSB[1:0] ビットで設定される出力値がタイマ出力端子 (TMO_n) に出力されます。

コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 24.8 に示します。

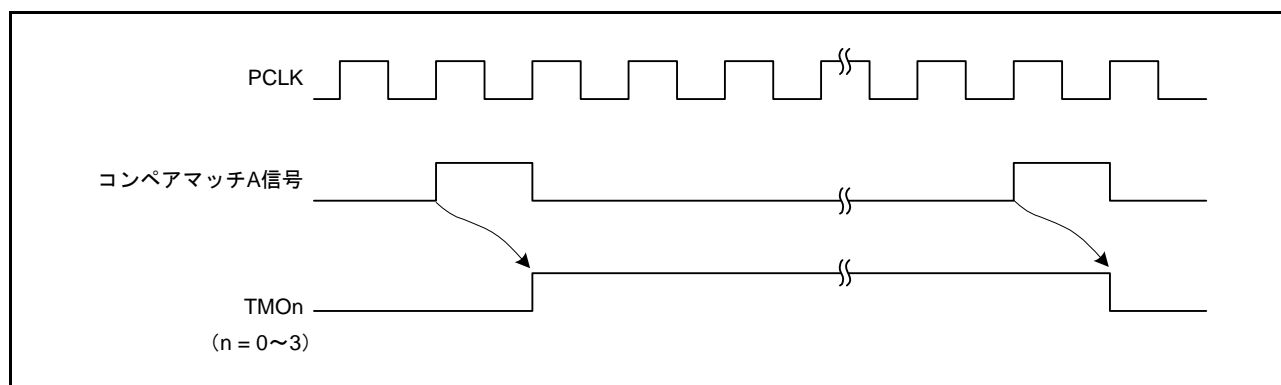


図 24.8 コンペアマッチ A 信号によるタイマ出力タイミング

24.4.4 コンペアマッチによるカウンタクリアタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。

コンペアマッチによるカウンタクリアタイミングを図 24.9 に示します。

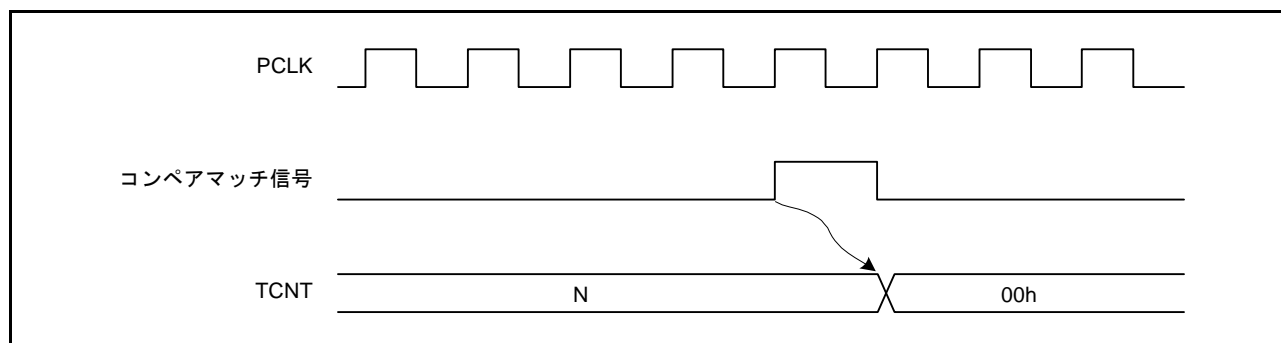


図 24.9 コンペアマッチによるカウンタクリアタイミング

24.4.5 TCNT カウンタの外部リセットタイミング

TCNT カウンタは、TCRn.CCLR[1:0] ビットの選択により外部リセット入力の立ち上がりエッジ、または High でクリアされます。外部リセットの入力から TCNT カウンタのクリアまでは $2PCLK$ 以上必要となります。

外部リセット入力によるクリアタイミングを図 24.10、図 24.11 に示します。

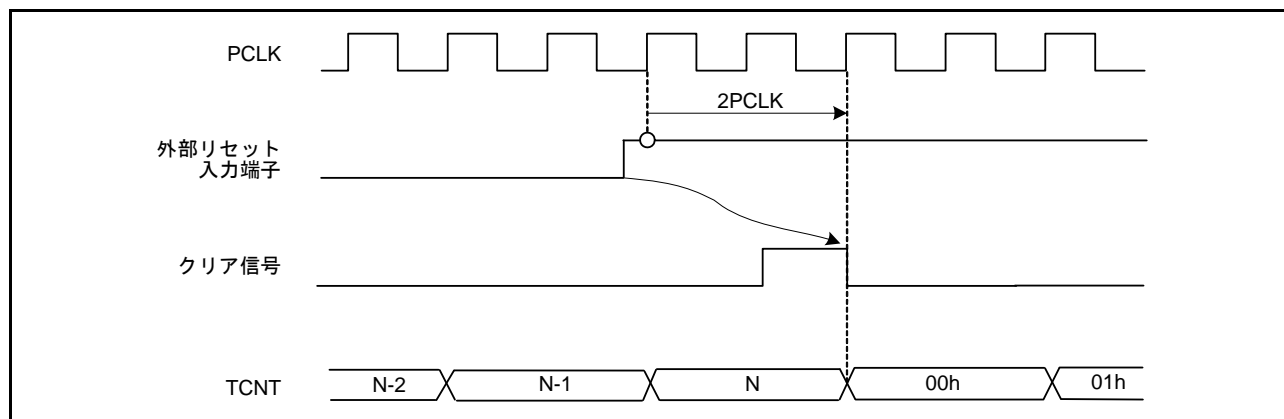


図 24.10 外部リセット入力によるクリアタイミング (立ち上がりエッジ)

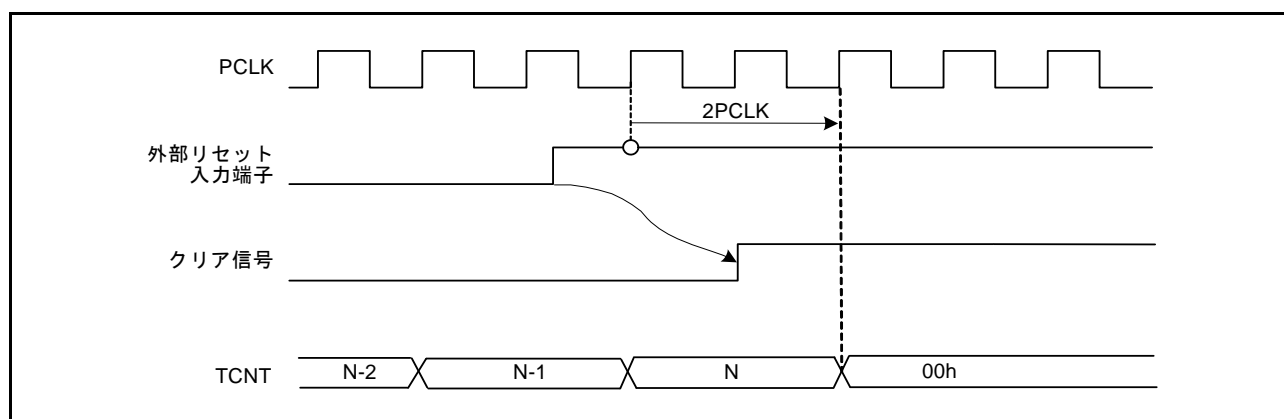


図 24.11 外部リセット入力によるクリアタイミング (High)

24.4.6 オーバフローによる割り込みタイミング

TCNT カウンタのオーバフロー (“FFh” → “00h”) が発生すると、割り込み要求が許可されていれば、オーバフロー割り込み信号が出力されます。

割り込み信号の出力タイミングを図 24.12 に示します。

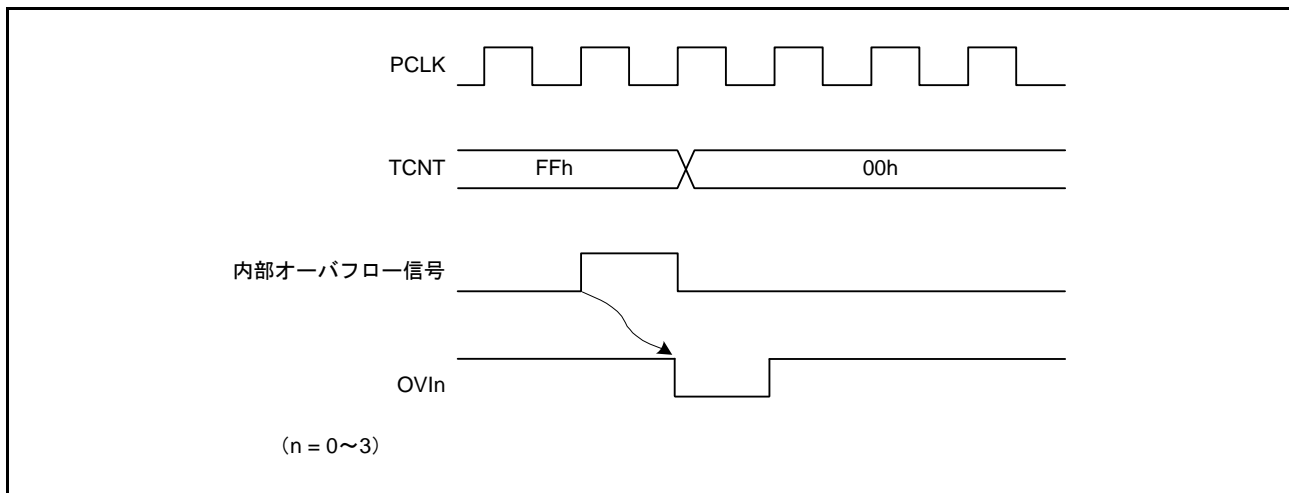


図 24.12 オーバフローによる割り込みタイミング

24.5 カスケード接続時の動作

TMR0.TCCR、TMR1.TCCR レジスタのいずれか一方の CSS[1:0] ビットを“11b”にすると、2チャンネルの TMR はカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットカウントモードか、または TMR0 のコンペアマッチを TMR1 でカウントするコンペアマッチカウントモードにすることができます。

【補足】 「24.5 カスケード接続時の動作」は、ユニット0について説明しています。ユニット1のカスケード接続時の動作は、ユニット0と同様です。

24.5.1 16ビットカウントモード

TMR0.TCCR.CSS[1:0] ビットが“11b”のとき、TMR0 を上位8ビット、TMR1 を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(1) カウンタクリア指定

- TMR0.TCR.CCLR[1:0] ビットの設定が16ビットカウンタに対して有効になります。
TMR0.TCR.CCLR[1:0] ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生すると16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。また、TMR10 端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。
- TMR1.TCR.CCLR[1:0] ビットの設定は無効になります。

(2) 端子出力

- TMR0.TCSR.OSA[1:0], OSB[1:0] ビットによる TMR0 端子の出力制御は、16ビットのコンペアマッチ条件に従います。
- TMR1.TCSR.OSA[1:0], OSB[1:0] ビットによる TMR1 端子の出力制御は、下位8ビットのコンペアマッチ条件に従います。

24.5.2 コンペアマッチカウントモード

TMR1.TCCR.CSS[1:0] ビットが“11b”のとき、TMR1.TCNT カウンタは TMR0 のコンペアマッチ A の発生回数をカウントします。TMR0、TMR1 の制御はそれぞれ個別に行われ、割り込みの発生、TMRn (n=0、1) 端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

24.6 割り込み要因

24.6.1 割り込み要因と DTC 起動

TMRn の割り込み要因は、CMIA_n、CMIB_n、OVIn の 3 種類があります。表 24.6 に各割り込み要因と優先順位を示します。

なお、CMIA_n、CMIB_n 割り込みにより DTC を起動することができます。TMRn の割り込み要因による DMAC の起動はできません。

表 24.6 TMR の割り込み要因

名称	割り込み要因	DTC の起動	優先順位
CMIA0	TMR0.TCORA のコンペアマッチ	可能	
CMIB0	TMR0.TCORB のコンペアマッチ	可能	
OVI0	TMR0.TCNT のオーバーフロー	不可能	
CMIA1	TMR1.TCORA のコンペアマッチ	可能	
CMIB1	TMR1.TCORB のコンペアマッチ	可能	
OVI1	TMR1.TCNT のオーバーフロー	不可能	
CMIA2	TMR2.TCORA のコンペアマッチ	可能	
CMIB2	TMR2.TCORB のコンペアマッチ	可能	
OVI2	TMR2.TCNT のオーバーフロー	不可能	
CMIA3	TMR3.TCORA のコンペアマッチ	可能	
CMIB3	TMR3.TCORB のコンペアマッチ	可能	
OVI3	TMR3.TCNT のオーバーフロー	不可能	

24.7 ELC によるリンク動作

24.7.1 ELC へのイベント信号出力

TMR はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。TMR はコンペアマッチ A、コンペアマッチ B、および、オーバフローのイベント信号を出力します。対応するチャンネルは TMR0 と TMR2 です。

イベント信号は該当する割り込み要求許可ビット (TMR0.TCR.OVIE / TMR2.TCR.OVIE、TMR0.TCR.CMIEA / TMR2.TCR.CMIEA、TMR0.TCR.CMIEB / TMR2.TCR.CMIEB) の設定に関係なく出力することができます。詳細は、「18. イベントリンクコントローラ (ELC)」を参照してください。

カスケード接続の動作にも、イベント出力機能は対応しています。

24.7.2 ELC からのイベント信号受信による TMR 動作

TMR は ELC の ELSRn レジスタの設定により、あらかじめ設定したイベントによる次の動作が可能です。ただし、カスケード接続の動作には ELC は対応しておりません。

(1) カウントスタート動作

ELC の ELOPD レジスタで TMR のカウントスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCSTR.TCS ビットが“1”にセットされ、TMR のカウントがスタートします。カウントソースは、ELC の ELOPD レジスタで TMR のカウントスタート動作を選択した後、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定により選択してください。

TCS ビットが“1”にセットされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。

カウントを停止させるためには、TCSTR.TCS ビットへ“0”を書いてください。

カウント停止状態でカウントスタートのイベントが入力されると、再び CKS[2:0]、CSS[1:0] ビットに従ってカウントします。

TCS ビットは、ELC の ELOPD.TMR0MD、ELOPD.TMR2MD ビットにおいてカウントスタートが選択されたときのみ有効となります。

(2) イベントカウンタ動作

ELC の ELOPD レジスタで TMR のイベントカウンタ動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定に関係なくそのイベントをカウントソースとして、イベントカウンタ動作します。カウント値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウントリスタート動作

ELC の ELOPD レジスタで TMR のカウントリスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタの値が初期値に書き換わります。CKS[2:0] ビット、CSS[1:0] ビットの設定が「クロック入力禁止」以外になっていれば、カウント動作を継続することができます。

24.7.3 ELC からのイベント信号受信による TMR の注意事項

以下に TMR をイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

TCSTR.TCS ビットへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCSTR.TCS ビットへの書き込みサイクルは行われずイベント発生による“1”の設定が優先されます。

(2) イベントカウンタ動作

TCNT カウンタへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタへの書き込みサイクルは行われずイベント発生によるカウント動作が優先されます。

(3) カウントリスタート動作

TCNT カウンタへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタへの書き込みサイクルは行われずイベント発生によるカウント値の初期化が優先されます。

24.8 使用上の注意事項

24.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMRの動作禁止/許可を設定することが可能です。初期値では、TMRの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

24.8.2 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNTカウンタはTCORA、TCORBレジスタの値と一致した最後のPCLK (TCNTカウンタが一致したカウント値を更新するタイミング) でクリアされます。このため、カウンタの周波数は以下の式になります (f: カウンタ周波数、PCLK: 動作周波数、N: TCORA、TCORBレジスタの設定値)。

$$f = \text{PCLK}/(N+1)$$

24.8.3 TCNTカウンタへの書き込みとカウンタクリアの競合

図 24.13 のように CPU による TCNT カウンタへの書き込みと同時にカウンタクリアが発生すると、カウンタへの書き込みは行われずクリアが優先されます。

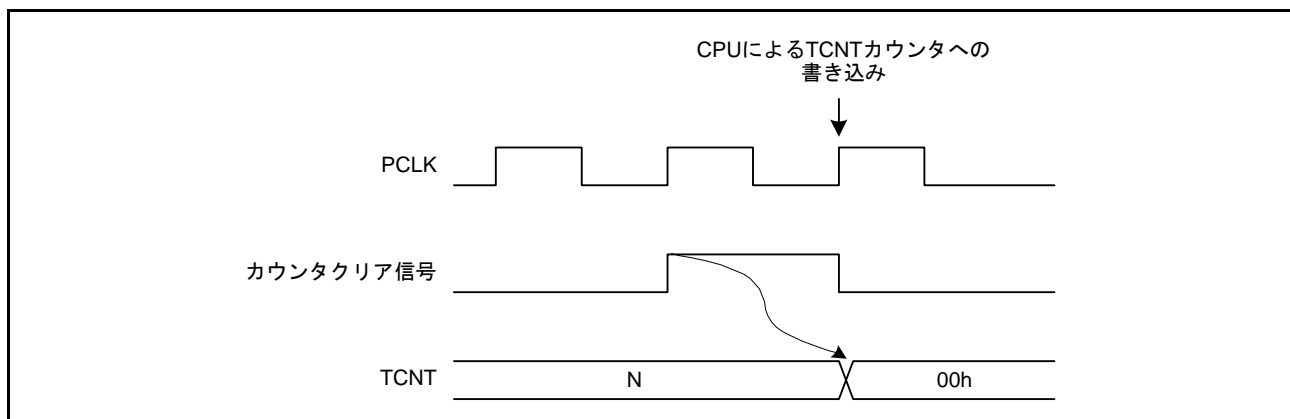


図 24.13 TCNT カウンタへの書き込みとカウンタクリアの競合

24.8.4 TCNT カウンタへの書き込みとカウントアップの競合

図 24.14 のように CPU による TCNT カウンタへの書き込みと同時にカウントアップが発生しても、カウントアップされず TCNT カウンタへの書き込みが優先されます。

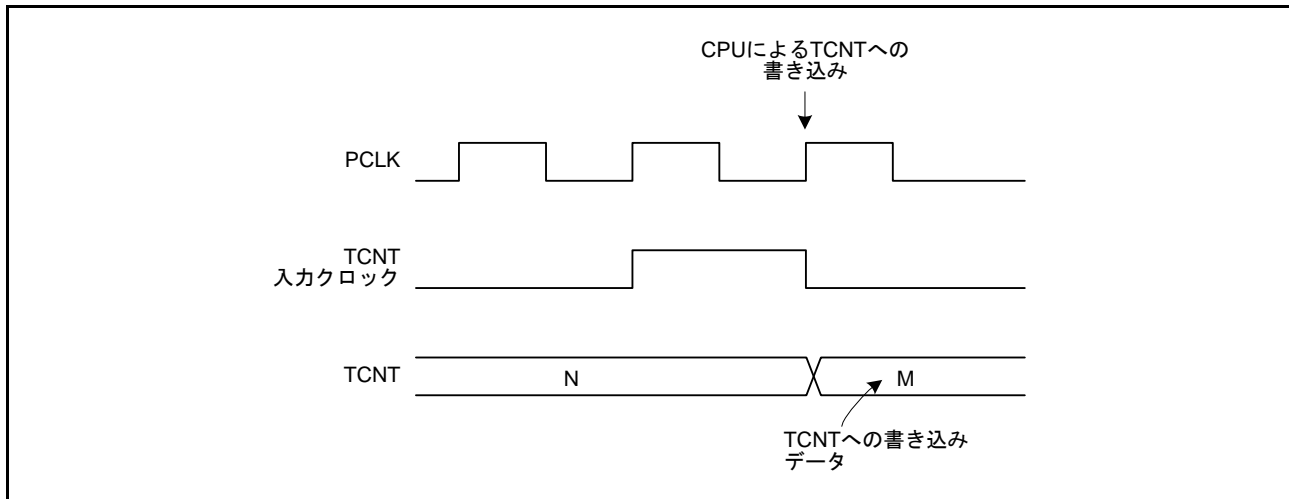


図 24.14 TCNT カウンタへの書き込みとカウントアップの競合

24.8.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

図 24.15 のように CPU による TCORA、TCORB レジスタへの書き込みと同時にコンペアマッチが発生するタイミングとなっても、TCORA、TCORB レジスタへの書き込みが優先されコンペアマッチは発生しません。

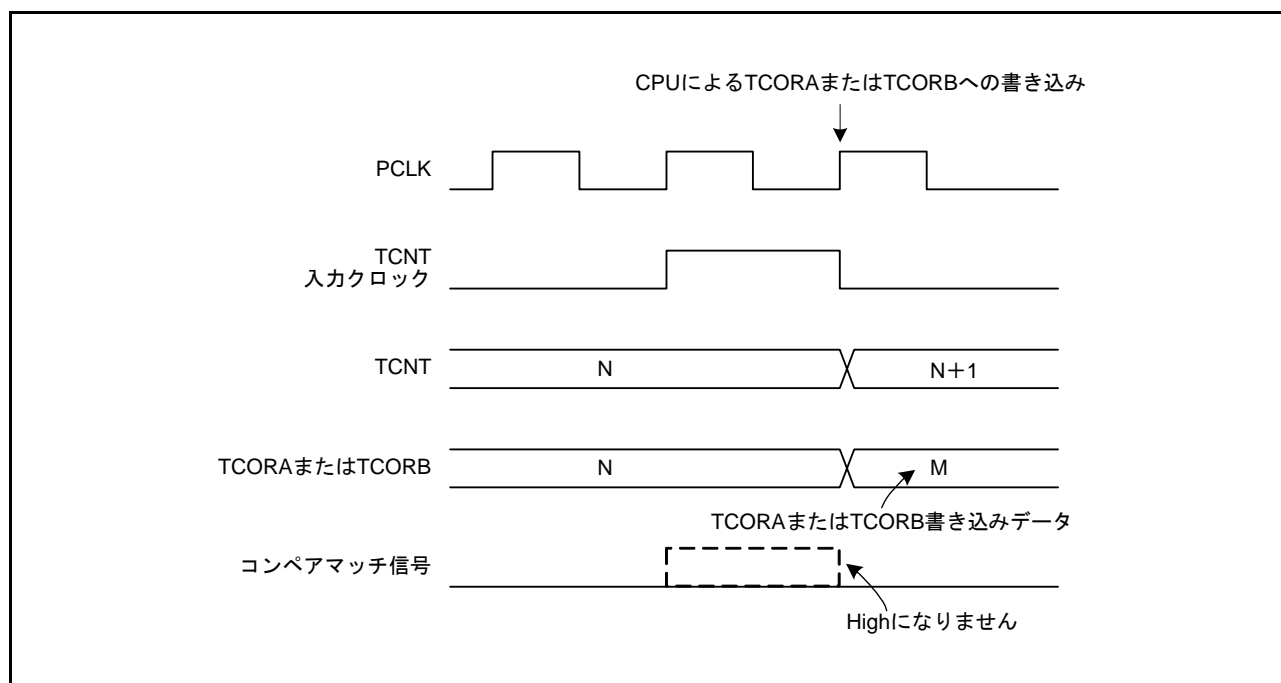


図 24.15 TCORA、TCORB レジスタのライトとコンペアマッチの競合

24.8.6 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 24.7 に示すタイマ出力の優先順位の高い方が出力されます。

表 24.7 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
High出力	
Low出力	
変化しない	

24.8.7 分周クロックの切り替えと TCNT カウンタの動作

分周クロックを切り替えるタイミングによっては、TCNT カウンタがカウントアップされてしまう場合があります。分周クロックの切り替えタイミング (TCCR.CKS[2:0] ビットの書き換え) と、TCNT カウンタ動作の関係を表 24.8 に示します。

分周クロックから TCNT カウンタのクロックを生成する場合、分周クロックの立ち上がりエッジを検出しています。そのため、たとえば表 24.8 の No.2 のように、Low → High になるようなクロックの切り替えを行うと、切り替えタイミングをエッジと見なして TCNT カウンタクロックが発生し、TCNT カウンタがカウントアップされてしまいます。

また、分周クロックと外部クロックを切り替えるときも、TCNT カウンタがカウントアップされることがあります。

表 24.8 分周クロックの切り替えと TCNT カウンタの動作 (1 / 2)

No	TCCR.CKS[2:0] ビット書き換えタイミング	TCNT クロックの動作
1	Low → Low (注1) の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT 入力クロック</p> <p>TCNT</p> <p>N N+1 N+2</p> <p>TCCR.CKS[2:0] ビット書き換え</p>
2	Low → High (注2) の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT 入力クロック</p> <p>TCNT</p> <p>N N+1 N+2 N+3</p> <p>TCCR.CKS[2:0] ビット書き換え</p> <p>(注3)</p>

表24.8 分周クロックの切り替えとTCNTカウンタの動作 (2 / 2)

No	TCCR.CKS[2:0]ビット書き換えタイミング	TCNTクロックの動作
3	High→Low (注4)の切り替え	
4	High→Highの切り替え	

注1. Low→停止、および停止→Lowの場合を含みます。

注2. 停止→Highの場合を含みます。

注3. 切り替えのタイミングをエッジとみなすために発生し、TCNTはカウントアップされてしまいます。

注4. High→停止の場合を含みます。

24.8.8 カスケード接続時のクロックソース設定

16ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TMR0.TCNT、TMR1.TCNT カウンタ (TMR2.TCNT、TMR3.TCNT カウンタ) の入力クロックが発生しなくなるため、カウンタが停止して動作しません。この設定はしないでください。

24.8.9 コンペアマッチ割り込みの連続出力

TCORA または TCORB レジスタを“00h”に、分周クロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“00h”のまま更新されず、コンペアマッチ割り込みを連続してレベル状に出力します。

このとき、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

コンペアマッチ割り込みが連続出力する場合の動作タイミングを図 24.16 に示します。

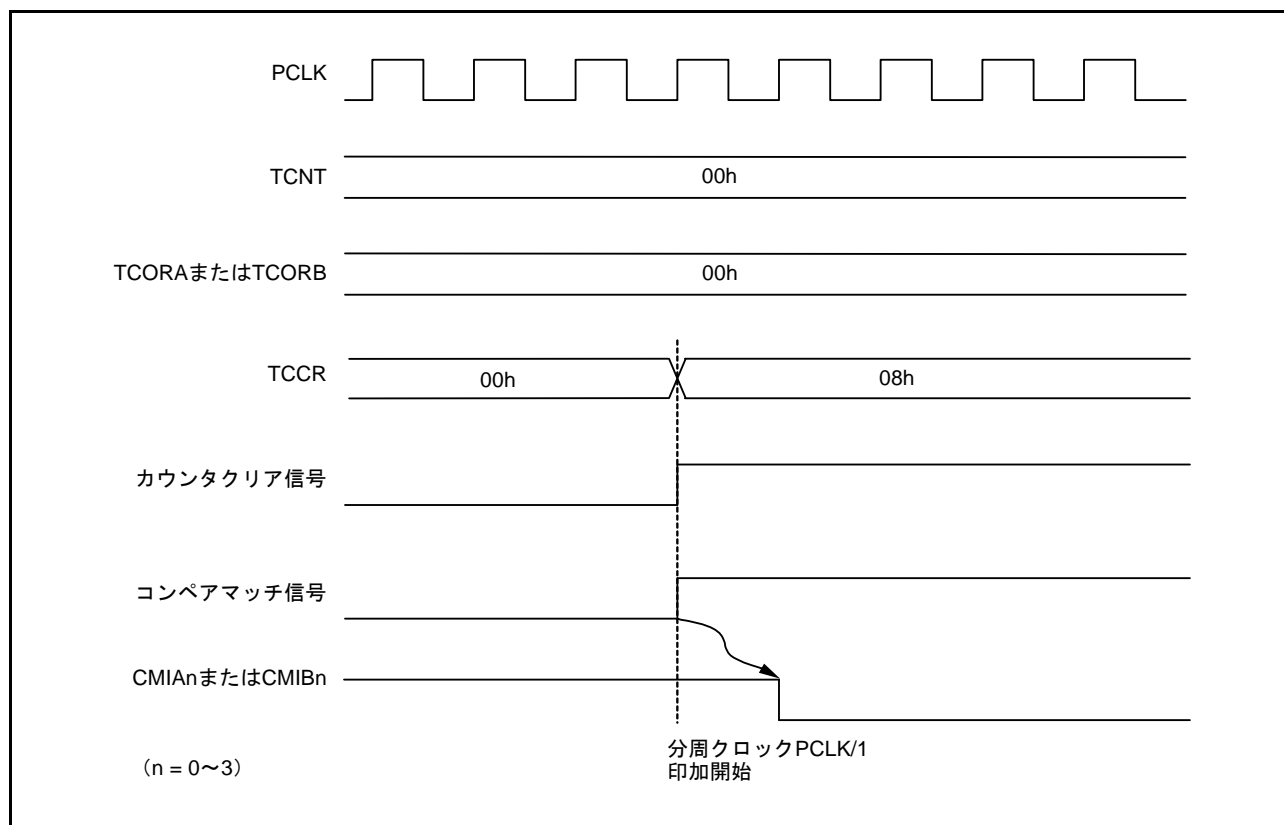


図 24.16 コンペアマッチ割り込みの連続出力

25. コンペアマッチタイマ (CMT)

RX210グループは、2チャンネルの16ビットタイマにより構成されるコンペアマッチタイマ (CMT) を2ユニット (ユニット0、ユニット1)、合計4チャンネル内蔵しています。CMTは、16ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

25.1 概要

表 25.1 に CMT の仕様を示します。

図 25.1 に CMT (ユニット0) のブロック図を示します。2チャンネルのCMTで1ユニットを構成し、ユニット0とユニット1は同じ仕様です。

表 25.1 CMTの仕様

項目	機能
カウントクロック	<ul style="list-style-type: none"> 4種類の分周クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512の中から各チャンネル独立に選択可能
割り込み	コンペアマッチ割り込みを各チャンネル独立に要求することが可能
イベントリンク機能 (出力)	CMT1のコンペアマッチによりイベント信号出力
イベントリンク機能 (入力)	設定したモジュールに対してリンク動作が可能 設定したイベントによる(1) カウントスタート、(2) イベントカウンタ、(3) カウントリスタート動作が可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

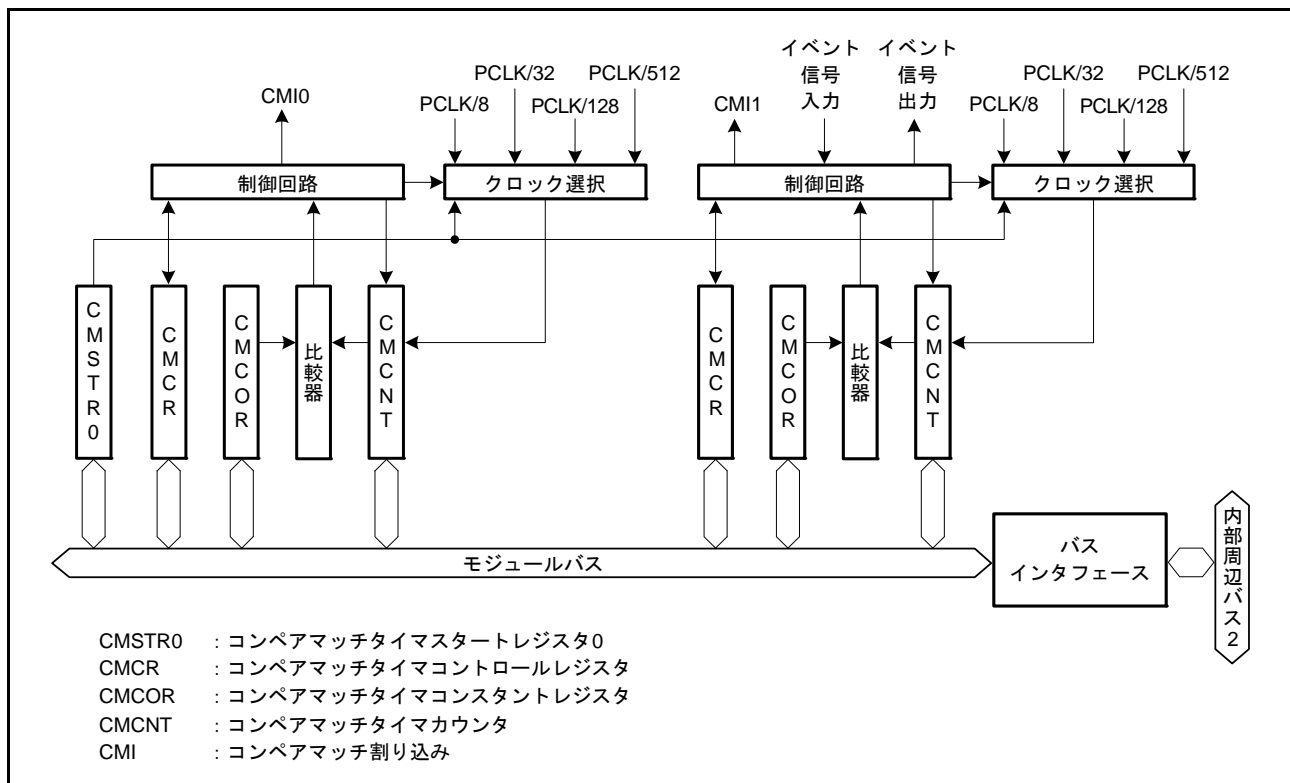


図 25.1 CMT (ユニット0) のブロック図

25.2 レジスタの説明

25.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

アドレス 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0 : CMT0.CMCNTカウンタのカウンタ動作停止 1 : CMT0.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR1	カウントスタート1ビット	0 : CMT1.CMCNTカウンタのカウンタ動作停止 1 : CMT1.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

25.2.2 コンペアマッチタイマスタートレジスタ 1 (CMSTR1)

アドレス 0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	0 : CMT2.CMCNTカウンタのカウンタ動作停止 1 : CMT2.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR3	カウントスタート3ビット	0 : CMT3.CMCNTカウンタのカウンタ動作停止 1 : CMT3.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

25.2.3 コンペアマッチタイマコントロールレジスタ (CMCR)

アドレス CMT0.CMCR 0008 8002h、CMT1.CMCR 0008 8008h、
CMT2.CMCR 0008 8012h、CMT3.CMCR 0008 8018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLK/8 0 1 : PCLK/32 1 0 : PCLK/128 1 1 : PCLK/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0 : コンペアマッチ割り込み (CMIn) を禁止 1 : コンペアマッチ割り込み (CMIn) を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周して得られる 4 種類の分周クロックから CMCNT カウンタに入力するカウントクロックを選択します。

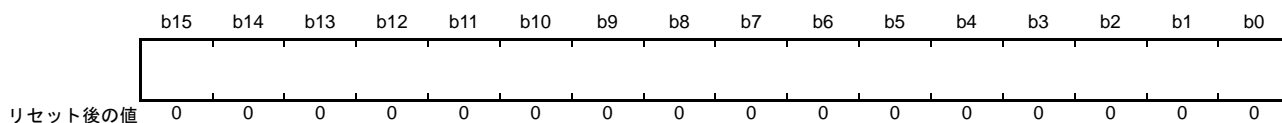
CMSTRm.STRn ビット (m=0, 1, n=0~3) を“1”に設定すると、CKS[1:0] ビットで選択されたクロックにより対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット (コンペアマッチ割り込み許可ビット)

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み (CMIn) (n=0~3) の発生を許可するか禁止するかを選択します。

25.2.4 コンペアマッチタイマカウンタ (CMCNT)

アドレス CMT0.CMCNT 0008 8004h, CMT1.CMCNT 0008 800Ah,
CMT2.CMCNT 0008 8014h, CMT3.CMCNT 0008 801Ah



CMCNT カウンタは、割り込み要求を発生させるための読み出し / 書き込み可能なアップカウンタです。

CMCR.CKS[1:0] ビットで分周クロックを選択して、CMSTRm.STRn ビット (m = 0, 1、n = 0 ~ 3) を“1”にすると、そのクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは“0000h”になります。このとき、コンペアマッチ割り込み (CMI_n) (n = 0 ~ 3) が発生します。

25.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR)

アドレス CMT0.CMCOR 0008 8006h, CMT1.CMCOR 0008 800Ch,
CMT2.CMCOR 0008 8016h, CMT3.CMCOR 0008 801Ch



CMCOR レジスタは、CMCNT カウンタとのコンペアマッチ周期を設定する読み出し / 書き込み可能なレジスタです。

25.3 動作説明

25.3.1 周期カウント動作

CMCR.CKS[1:0] ビットで分周クロックを選択し、CMSTRm.STRn ビット ($m=0, 1$, $n=0\sim 3$) を“1”にすると、選択したクロックによってCMCNTカウンタはカウントアップを開始します。

CMCNTカウンタの値がCMCORレジスタの値と一致すると、CMCNTカウンタは“0000h”になります。このとき、コンペアマッチ割り込み (CMI_n) ($n=0\sim 3$) が発生します。CMCNTカウンタは“0000h”からカウントアップを再開します。CMCNTカウンタの動作を図 25.2 に示します。

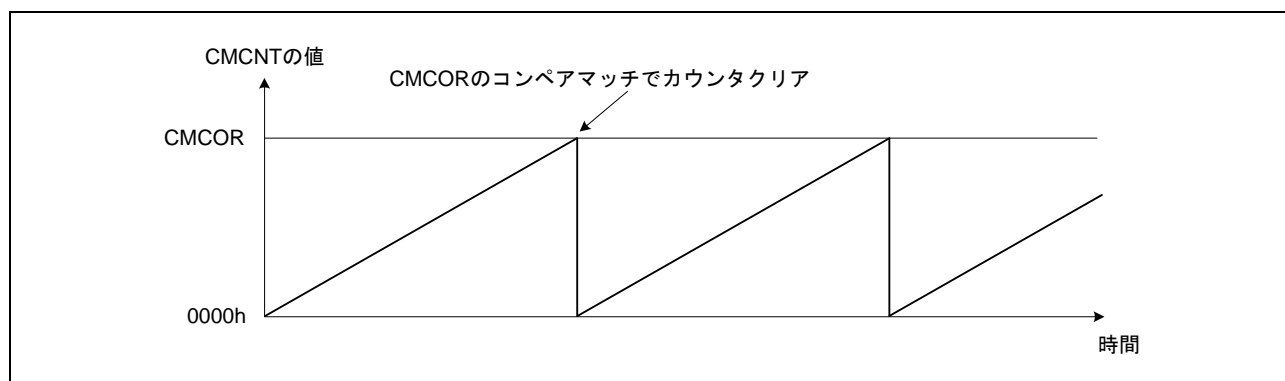


図 25.2 CMCNT カウンタの動作

25.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック (PCLK) を分周した 4 種類の分周クロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) から CMCNT カウンタに入力するカウントクロックを選択できます。このときの CMCNT カウンタのカウントタイミングを図 25.3 に示します。

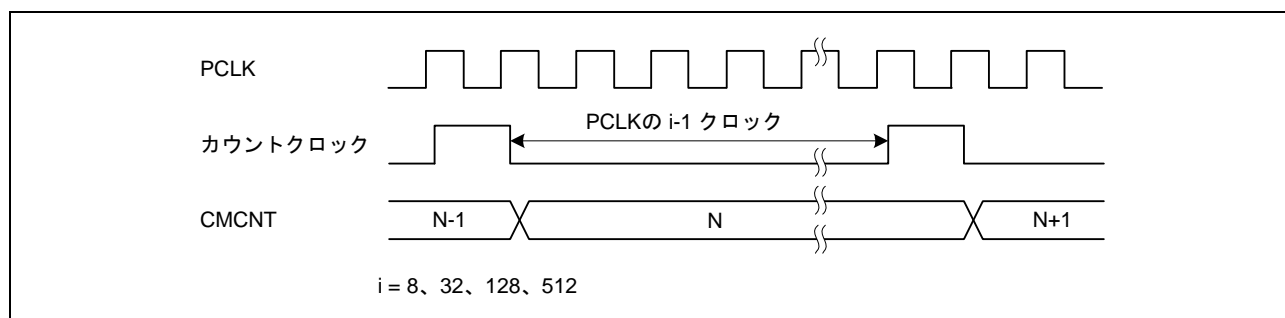


図 25.3 CMCNT カウンタのカウントタイミング

25.4 割り込み

25.4.1 割り込み要因

CMTは、チャンネルごとにコンペアマッチ割り込み (CMI_n) ($n = 0 \sim 3$) を持ち、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「14. 割り込みコントローラ (ICUb)」を参照してください。

表 25.2 CMTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
CMI0	CMT0.CMCNTとCMT0.CMCORのコンペアマッチ	可能	可能
CMI1	CMT1.CMCNTとCMT1.CMCORのコンペアマッチ	可能	可能
CMI2	CMT2.CMCNTとCMT2.CMCORのコンペアマッチ	可能	可能
CMI3	CMT3.CMCNTとCMT3.CMCORのコンペアマッチ	可能	可能

25.4.2 コンペアマッチ割り込みの発生タイミング

CMCNT カウンタの値と CMCOR レジスタの値が一致したときに、コンペアマッチ割り込み (CMI_n) ($n = 0 \sim 3$) が発生します。

コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタの値と CMCOR レジスタの値とが一致した後、CMCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのタイミングを図 25.4 に示します。

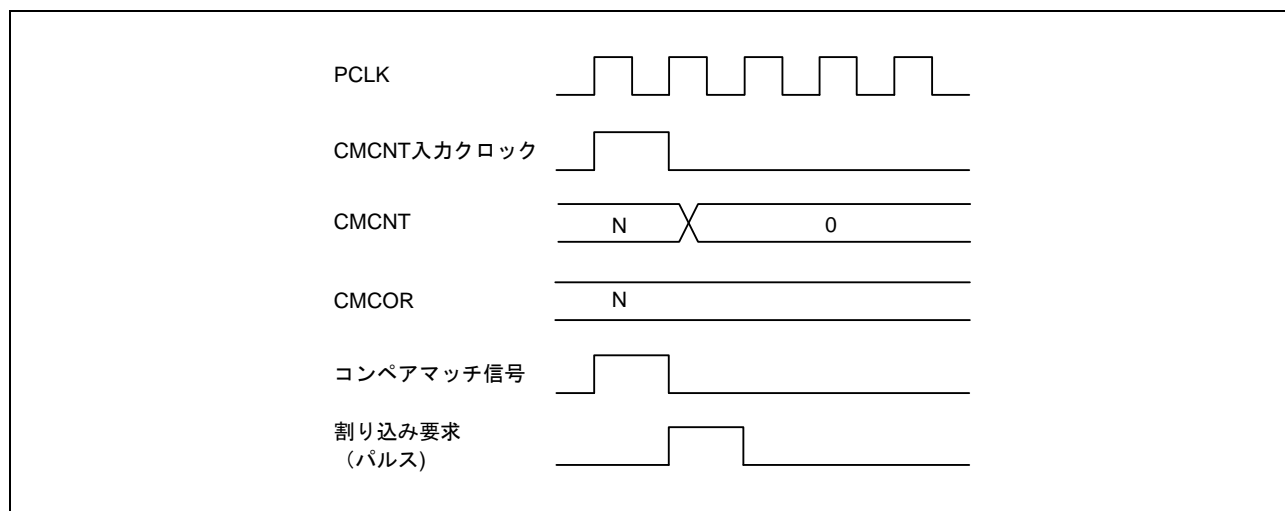


図 25.4 コンペアマッチ割り込みタイミング

25.5 ELCによるリンク動作

25.5.1 ELC へのイベント信号出力

CMT はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。CMT1 のコンペアマッチによりイベント信号を出力します。

イベント信号は該当する割り込み要求許可ビット (CMTn.CMCR.CMIE ビット) の設定に関係なく出力することができます。

25.5.2 ELC からのイベント信号受信による CMT の動作

CMT は ELC の ELSR7 レジスタにあらかじめ設定したイベントにより次の動作が可能です。

(1) カウントスタート動作

ELC の ELOPC レジスタで CMT のカウントスタート動作を選択します。ELSR7 レジスタ で指定したイベントが発生すると、CMSTR0.STR1 ビットが“1”になり、CMT のカウントがスタートします。

ただし、CMSTR0.STR1 ビットが“1”になった状態で指定したイベントが発生した場合は、そのイベントは無効となります。

(2) イベントカウンタ動作

ELC の ELOPC レジスタで CMT のイベントカウンタ動作を選択します。CMSTR0.STR1 ビットが“1”の状態、ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCR.CKS[1:0] ビットの設定に関係なくそのイベントをカウンタソースとして、イベントカウンタ動作を行います。カウンタ値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウントリスタート動作

ELC の ELOPC レジスタで CMT のカウントリスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタ の値が初期値に書き換わります。CMSTR0.STR1 ビットが“1”の状態であればカウンタ動作を継続することができます。

25.5.3 ELC からのイベント信号受信による CMT の注意事項

以下に CMT をイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

CMSTR0.STR1 ビットへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットへの書き込みは行われずイベント発生による“1”の設定が優先されます。

(2) イベントカウンタ動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウンタ動作が優先されます。

(3) カウントリスタート動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウンタ値の初期化が優先されます。

25.6 使用上の注意事項

25.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMTの動作禁止/許可を設定することが可能です。初期値では、CMTの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

25.6.2 CMCNTカウンタへの書き込みとコンペアマッチの競合

CMCNTカウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNTカウンタへの書き込みは行われずCMCNTカウンタのクリアが優先されます。このタイミングを図25.5に示します。

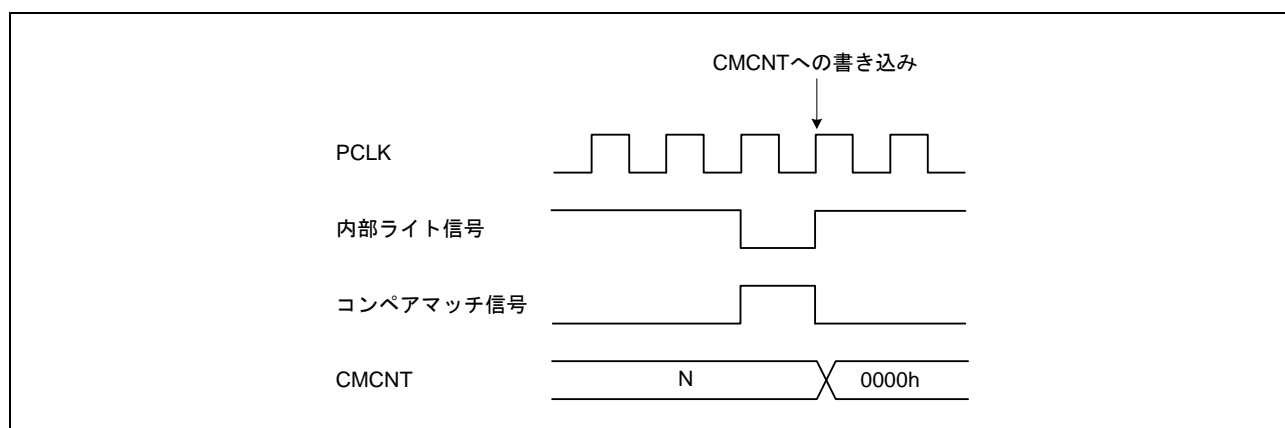


図 25.5 CMCNT カウンタへの書き込みとコンペアマッチの競合

25.6.3 CMCNTカウンタへの書き込みとカウントアップの競合

CMCNTカウンタへの書き込み中にカウントアップが発生しても、CMCNTカウンタはカウントアップされずにCMCNTカウンタへの書き込みが優先されます。このタイミングを図25.6に示します。

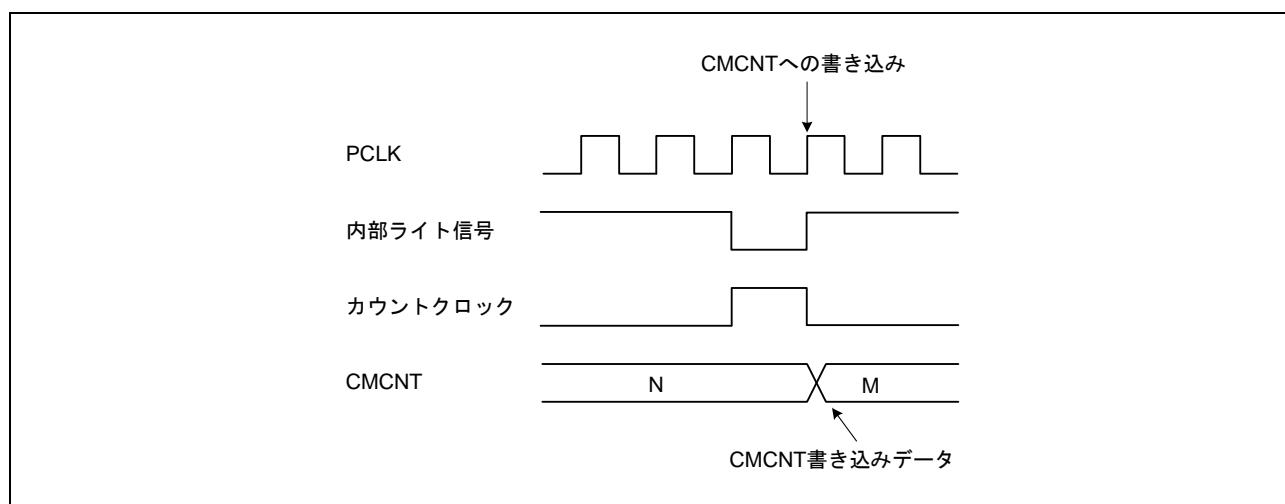


図 25.6 CMCNT カウンタへの書き込みとカウントアップの競合

26. リアルタイムクロック (RTCb)

26.1 概要

RTCは、00年から99年の100年をカウントできる時計カウンタです。年の千と百の位を“20”とみなして2000年から2099年のうるう年を自動で補正しカウントします。

RTCは、カウントソースをプリスケアラで分周した128Hzクロックを基準クロックとして年、月、日、曜日、午前/午後（12時間モード時）、時、分、秒、1/128秒単位でカウントします。

表 26.1 に RTC の仕様を、図 26.1 に RTC のブロック図を、表 26.2 に RTC の入出力端子を示します。

表 26.1 RTCの仕様

項目	内容
カウントソース (注1)	サブクロック (XCIN)
時計/カレンダー機能	<ul style="list-style-type: none"> 年、月、日、曜日、時、分、秒をカウント、BCD表示 1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hzの状態をバイナリで表示 12時間/24時間モード切り替え機能 スタート/ストップ機能 30秒調整機能（30秒未満は00秒に切り捨て、30秒以降は1分に桁上げ） うるう年自動補正機能 1Hzクロック出力 時計誤差補正機能
割り込み	<ul style="list-style-type: none"> アラーム割り込み (ALM) アラーム割り込み条件として、年、月、日、曜日、時、分、秒のいずれと比較するか選択可能 周期割り込み (PRD) 割り込み周期として、2秒、1秒、1/2秒、1/4秒、1/8秒、1/16秒、1/32秒、1/64秒、1/128秒、1/256秒周期から選択可能 桁上げ割り込み (CUP) 秒カウンタへの桁上げ、または64Hzカウンタの読み出しと64Hzカウンタへの桁上げが重なったとき、発生したことを示す アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能
時間キャプチャ機能	<ul style="list-style-type: none"> 3本のイベント入力によって、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、秒をキャプチャ
イベントリンク機能	周期イベント出力

注1. 周辺モジュールクロック (PCLKB) 周波数 \geq カウントソースクロック周波数となるようにしてください。

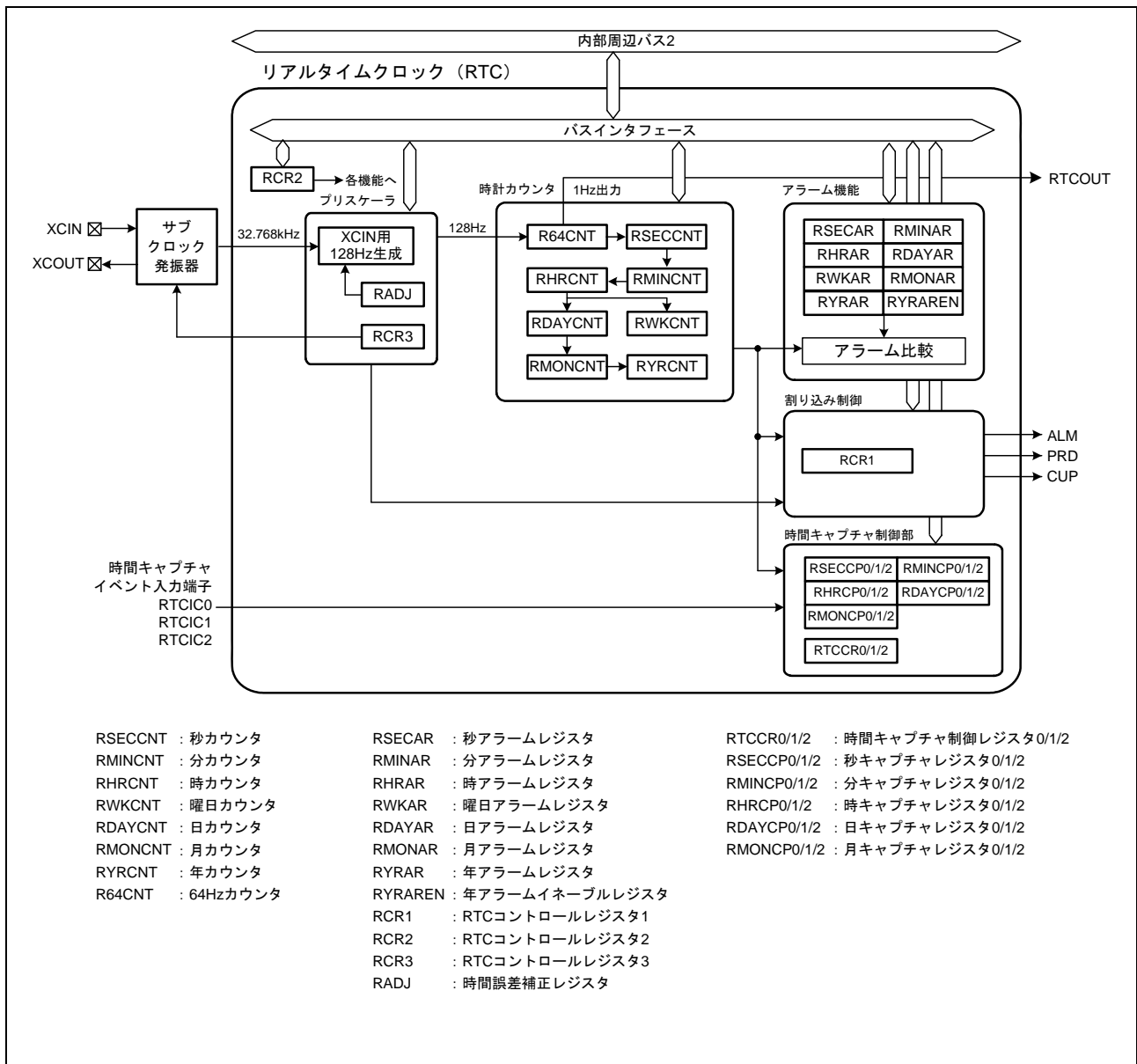


図 26.1 RTC のブロック図

表 26.2 RTCの入出力端子

端子名	入出力	機能
XCIN	入力	RTC用に32.768kHzの水晶振動子を接続します。
XCOUT	出力	
RTCOUT	出力	1Hzのクロックを出力します。ディープソフトウェアスタンバイモード時には出力しません。
RTCIC0	入力	時間キャプチャイベント入力端子です
RTCIC1	入力	
RTCIC2	入力	

26.2 レジスタの説明

RTC のレジスタの書き込み / 読み出しは、「26.6.5 レジスタの書き込み / 読み出し時の注意事項」に従って行う必要があります。

RTC のレジスタのビットで、リセット後の値が x (不定) のビットは、リセット、ディープソフトウェアスタンバイモードでは初期化されません。また、カウント動作時 (RCR2.START ビット = “1” のとき) にリセット状態または低消費電力状態へ遷移した場合、年 / 月 / 曜日 / 日 / 時 / 分 / 秒 / 64Hz カウンタは動作を継続します。ただし、レジスタ書き込みおよびレジスタ更新処理中にリセットが発生した場合は、レジスタ値を破壊する可能性がありますので、ご注意ください。また、レジスタ設定直後にソフトウェアスタンバイモードやディープソフトウェアスタンバイモードへ遷移しないでください。詳細は、「26.6.4 レジスタ設定後の低消費電力モード移行について」を参照ください。

26.2.1 64Hz カウンタ (R64CNT)

アドレス 0008 C400h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
リセット後の値	0	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	F64HZ	64Hz ビット	1Hz～64Hzの状態を示します	R
b1	F32HZ	32Hz ビット		R
b2	F16HZ	16Hz ビット		R
b3	F8HZ	8Hz ビット		R
b4	F4HZ	4Hz ビット		R
b5	F2HZ	2Hz ビット		R
b6	F1HZ	1Hz ビット		R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

R64CNT カウンタは、128Hz クロックでアップカウントするカウンタで、秒周期を生成します。

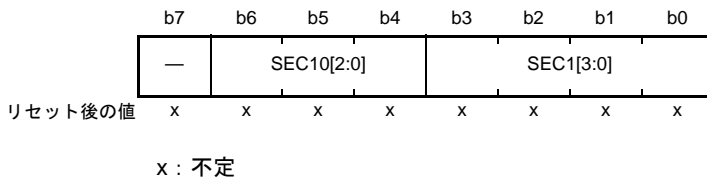
R64CNT カウンタを読み出すことで、秒以下の状態が確認できます。

RTC ソフトウェアリセットまたは 30 秒調整を実行すると “00h” になります。

読み出し時は、「26.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

26.2.2 秒カウンタ (RSECCNT)

アドレス 0008 C402h



ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	秒一位カウントビット	秒一位は1秒ごとに0から9をカウントします。桁上がりが発生すると、秒十位が+1されます	R/W
b6-b4	SEC10[2:0]	秒十位カウントビット	秒十位は0から5をカウントして、60秒のカウントを行います	R/W
b7	—	予約ビット	"0"を設定してください。読むと同値が読めます。	R/W

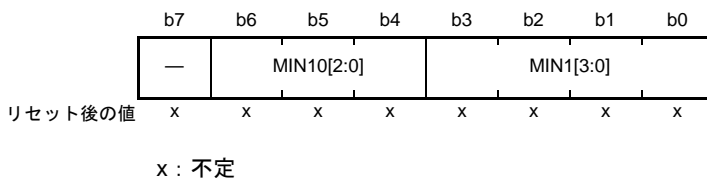
RSECCNT カウンタは、BCD コード化された秒部分の設定・カウント用のカウンタであり、64Hz カウンタの1秒ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“00”～“59”です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「26.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

26.2.3 分カウンタ (RMINCNT)

アドレス 0008 C404h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	分一位カウントビット	分一位は1分ごとに0から9をカウントします。桁上がりが発生すると、分十位が+1されます	R/W
b6-b4	MIN10[2:0]	分十位カウントビット	分十位は0から5をカウントして、60分のカウントを行います	R/W
b7	—	予約ビット	"0"を設定してください。読むと同値が読めます。	R/W

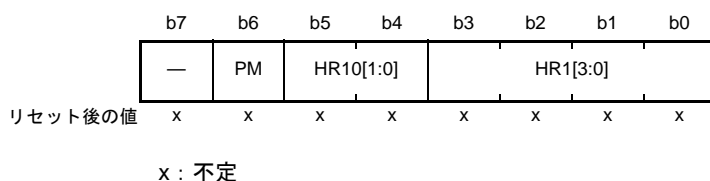
RMINCNT カウンタは、BCD コード化された分部分の設定、カウント用のカウンタであり、秒カウンタの1分ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“00”～“59”です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「26.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

26.2.4 時カウンタ (RHRCNT)

アドレス 0008 C406h



ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	時一位カウントビット	時一位は1時間ごとに0から9をカウントします。桁上がりが発生すると、時十位が+1されます	R/W
b5-b4	HR10[1:0]	時十位カウントビット	時十位は時一位の桁上がりごとに0から2をカウントします	R/W
b6	PM	PMビット	時カウンタのAM/PMの設定 0 : 午前 1 : 午後	R/W
b7	—	予約ビット	“0”を設定してください。読むと同値が読めます。	R/W

RHRCNT カウンタは、BCD コード化された時部分の設定・カウント用のカウンタであり、分カウンタの1時間ごとのキャリーによってカウント動作を行います。

時の設定可能範囲は、時間モードビット (RCR2.HR24) によってそれぞれ以下の範囲となります。

RCR2.HR24 ビットが“0” : 10進 (BCD) で“00” ~ “11”

RCR2.HR24 ビットが“1” : 10進 (BCD) で“00” ~ “23”

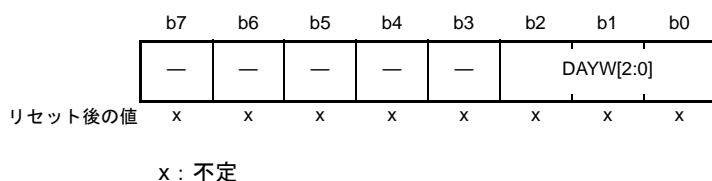
上記以外の値が設定されると、正常に動作しません。また、書き込みの処理は、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RHRCNT カウンタを読み出す場合は、RCR2.HR24 ビットが“0”の場合のみ PM ビットが有効になります。RCR2.HR24 ビットが“1”の場合は、PM ビットの値を無視してください。

読み出し時は、「26.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

26.2.5 曜日カウンタ (RWKCNT)

アドレス 0008 C408h



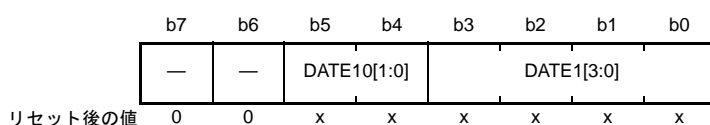
ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日カウントビット	b2 b0 0 0 0 : 日 0 0 1 : 月 0 1 0 : 火 0 1 1 : 水 1 0 0 : 木 1 0 1 : 金 1 1 0 : 土 1 1 1 : 設定しないでください	R/W
b7-b3	—	予約ビット	“0”を設定してください。読むと同値が読めます。	R/W

RWKCNT カウンタは BCD コード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。設定可能範囲は、10 進 (BCD) で “0” ~ “6” です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「26.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

26.2.6 日カウンタ (RDAYCNT)

アドレス 0008 C40Ah



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	日一位カウントビット	日一位は1日ごとに0~9をカウントします。桁上がりが発生すると日十位が+1されます	R/W
b5-b4	DATE10[1:0]	日十位カウントビット	日十位は日一位の桁上がりごとに0~3をカウントします	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RDAYCNT カウンタは、BCD コード化された日部分の設定・カウント用のカウンタであり、時カウンタの1日ごとのキャリーによってカウント動作を行います。また、うるう年、月に対応したカウント動作を行います。

うるう年は年カウンタ (RYRCNT) の00を2000年とみなして2000年から2099年を、400、100、4で割り切れるかどうかによって計算されます。

設定可能範囲は、10進 (BCD) で01~31です。それ以外の値が設定されると、正常に動作しません (月ごとおよびうるう年によって設定可能範囲が変化しますので、確認の上、設定してください)。また、書き込みの処理は、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「26.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

26.2.7 月カウンタ (RMONCNT)

アドレス 0008 C40Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MON10		MON1[3:0]		
リセット後の値	0	0	0	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	月一位カウントビット	月一位は1月ごとに0~9をカウントします。桁上がりが発生すると月十位が+1されます	R/W
b4	MON10	月十位カウントビット	月十位は月一位の桁上がりごとに0~1をカウントします	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMONCNT カウンタは、BCD コード化された月部分の設定・カウント用のカウンタであり、日カウンタの月ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で01~12です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「26.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

26.2.8 年カウンタ (RYRCNT)

アドレス 0008 C40Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]			YR1[3:0]				
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	年一位カウントビット	年一位は1年ごとに0~9をカウントします。桁上がりが発生すると年十位が+1されます	R/W
b7-b4	YR10[3:0]	年十位カウントビット	年十位は年一位の桁上がりごとに0~9をカウントします。	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

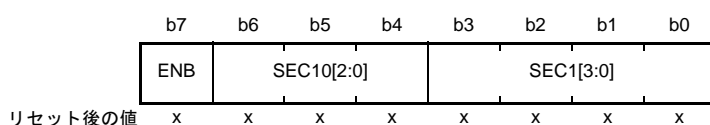
RYRCNT カウンタは、BCD コード化された年部分の設定・カウント用のカウンタであり、月カウンタの1年ごとのキャリーによって、カウント動作を行います。

設定可能範囲は、10進 (BCD) で00~99です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「26.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

26.2.9 秒アラームレジスタ (RSECAR)

アドレス 0008 C410h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒ビット	秒一位の設定値	R/W
b6-b4	SEC10[2:0]	10秒ビット	秒十位の設定値	R/W
b7	ENB	ENBビット	“1”であれば、RSECCNTカウンタの値と比較を行います	R/W

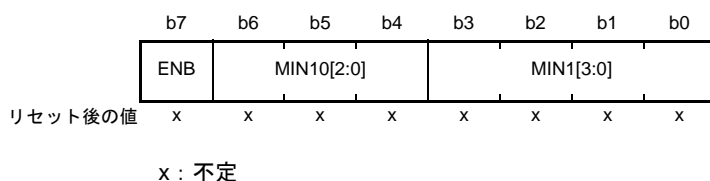
RSECAR レジスタは、BCD コード化された秒部分のカウンタ (RSECCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RSECAR レジスタの値と RSECCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが“1”になります。

秒の設定可能範囲は、10進 (BCD) で 00 ~ 59 であり、それ以外の値が設定されると、正常に動作しません。

RTC ソフトウェアリセットを実行すると 00h になります。

26.2.10 分アラームレジスタ (RMINAR)

アドレス 0008 C412h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分ビット	分一位の設定値	R/W
b6-b4	MIN10[2:0]	10分ビット	分十位の設定値	R/W
b7	ENB	ENBビット	“1”であれば、RMINCNTカウンタの値と比較を行います	R/W

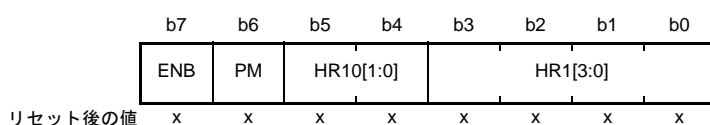
RMINAR レジスタは、BCD コード化された分部分のカウンタ (RMINCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RMINAR レジスタの値と RMINCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが“1”になります。

分の設定可能範囲は、10進 (BCD) で 00 ~ 59 ビットであり、それ以外の値が設定されると、正常に動作しません。

RTC ソフトウェアリセットを実行すると 00h になります。

26.2.11 時アラームレジスタ (RHRAR)

アドレス 0008 C414h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間ビット	時一位の設定値	R/W
b5-b4	HR10[1:0]	10時間ビット	時十位の設定値	R/W
b6	PM	PMビット	時アラームのAM/PMの設定 0 : 午前 1 : 午後	R/W
b7	ENB	ENBビット	“1”であれば、RHCNTカウンタの値と比較を行います	R/W

RHRAR レジスタは、BCD コード化された時部分のカウンタ (RHCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RHRAR レジスタの値と RHCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) のうち、ENB ビットが“1”になっているもののみカウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが“1”になります。

時の設定可能範囲は、時間モードビット (RCR2.HR24) によってそれぞれ以下の範囲となります。

RCR2.HR24 ビットが“0” : 10進 (BCD) で 00 ~ 11

RCR2.HR24 ビットが“1” : 10進 (BCD) で 00 ~ 23

上記以外の値が設定されると、正常に動作しません。

RCR2.HR24 ビットが“0”の場合は、PM ビットの設定も行ってください。

RCR2.HR24 ビットが“1”の場合は、PM ビットの値は無効となります。

RTC ソフトウェアリセットを実行すると 00h になります。

26.2.12 曜日アラームレジスタ (RWKAR)

アドレス 0008 C416h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	DAYW[2:0]		
リセット後の値	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日の設定値ビット	b2 b0 0 0 0 : 日 0 0 1 : 月 0 1 0 : 火 0 1 1 : 水 1 0 0 : 木 1 0 1 : 金 1 1 0 : 土 1 1 1 : 設定しないでください	R/W
b6-b3	—	予約ビット	“0”を設定してください。読むと同値が読めます。	R/W
b7	ENB	ENBビット	“1”であれば、RWKCNTカウンタの値と比較を行います	R/W

RWKAR レジスタは、BCD コード化された曜日部分のカウンタ (RWKCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RWKAR レジスタの値と RWKCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが“1”になります。

曜日の設定可能範囲は、10 進 (BCD) で 0 ~ 6 であり、それ以外の値が設定されると、正常に動作しません。

RTC ソフトウェアリセットを実行すると 00h になります。

26.2.13 日アラームレジスタ (RDAYAR)

アドレス 0008 C418h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	DATE10[1:0]			DATE1[3:0]		
リセット後の値	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日ビット	日一位の設定値	R/W
b5-b4	DATE10[1:0]	10日ビット	日十位の設定値	R/W
b6	—	予約ビット	“0”を設定してください。読むと同値が読めます。	R/W
b7	ENB	ENBビット	“1”であれば、RDAYCNTカウンタの値と比較を行います	R/W

RDAYAR レジスタは、BCD コード化された日部分のカウンタ (RDAYCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RDAYAR レジスタの値と RDAYCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが“1”になります。

日の設定可能範囲は、10進 (BCD) で 01 ~ 31 であり、それ以外の値が設定されると、正常に動作しません。

RTC ソフトウェアリセットを実行すると 00h になります。

26.2.14 月アラームレジスタ (RMONAR)

アドレス 0008 C41Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	MON10		MON1[3:0]		
リセット後の値	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月ビット	月一位の設定値	R/W
b4	MON10	10月ビット	月十位の設定値	R/W
b6-b5	—	予約ビット	“0”を設定してください。読むと同値が読めます。	R/W
b7	ENB	ENBビット	“1”であれば、RMONCNTカウンタの値と比較を行います	R/W

RMONAR レジスタは、BCD コード化された月部分のカウンタ (RMONCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RMONAR レジスタの値と RMONCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが“1”になります。

月の設定可能範囲は、10進 (BCD) で 01 ~ 12 であり、それ以外の値が設定されると、正常に動作しません。

RTC ソフトウェアリセットを実行すると 00h になります。

26.2.15 年アラームレジスタ (RYRAR)

アドレス 0008 C41Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
リセット後の値	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年ビット	年一位の設定値	R/W
b7-b4	YR10[3:0]	10年ビット	年十位の設定値	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RYRAR レジスタは、BCD コード化された年部分のカウンタ (RYRCNT) に対応するアラームレジスタです。

年の設定可能範囲は、10進 (BCD) で 00～99 であり、それ以外の値が設定されると、正常に動作しません。

RTC ソフトウェアリセットを実行すると 0000h になります。

26.2.16 年アラームイネーブルレジスタ (RYRAREN)

アドレス 0008 C41Eh

b7	b6	b5	b4	b3	b2	b1	b0
ENB	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x

x : 不定

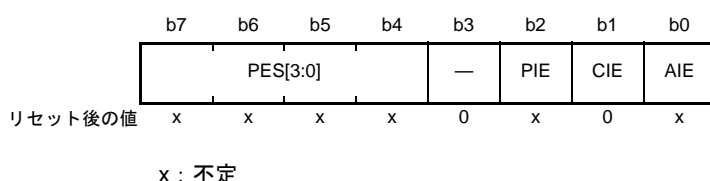
ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	“0”を設定してください。読むと同値が読めます。	R/W
b7	ENB	ENB ビット	“1”であれば、RYRCNT カウンタの値と比較を行います	R/W

RYRAREN レジスタは、ENB ビットが“1”であれば、RYRAR レジスタの値と RYRCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、それぞれがすべて一致するとき、ICU の IR92.IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると 00h になります。

26.2.17 RTC コントロールレジスタ 1 (RCR1)

アドレス 0008 C422h



ビット	シンボル	ビット名	機能	R/W																																	
b0	AIE	アラーム割り込み許可ビット	0 : アラーム割り込み要求を許可しない 1 : アラーム割り込み要求を許可する	R/W																																	
b1	CIE	桁上げ割り込み許可ビット	0 : 桁上げ割り込み要求を許可しない 1 : 桁上げ割り込み要求を許可する	R/W																																	
b2	PIE	周期割り込み許可ビット	0 : 周期割り込み要求を許可しない 1 : 周期割り込み要求を許可する	R/W																																	
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																	
b7-b4	PES[3:0]	周期割り込み選択ビット	<table border="0"> <tr> <td>b7</td> <td>b4</td> <td></td> </tr> <tr> <td>0 1 1 0</td> <td>:</td> <td>周期割り込み発生周期を1/256秒ごとにする</td> </tr> <tr> <td>0 1 1 1</td> <td>:</td> <td>周期割り込み発生周期を1/128秒ごとにする</td> </tr> <tr> <td>1 0 0 0</td> <td>:</td> <td>周期割り込み発生周期を1/64秒ごとにする</td> </tr> <tr> <td>1 0 0 1</td> <td>:</td> <td>周期割り込み発生周期を1/32秒ごとにする</td> </tr> <tr> <td>1 0 1 0</td> <td>:</td> <td>周期割り込み発生周期を1/16秒ごとにする</td> </tr> <tr> <td>1 0 1 1</td> <td>:</td> <td>周期割り込み発生周期を1/8秒ごとにする</td> </tr> <tr> <td>1 1 0 0</td> <td>:</td> <td>周期割り込み発生周期を1/4秒ごとにする</td> </tr> <tr> <td>1 1 0 1</td> <td>:</td> <td>周期割り込み発生周期を1/2秒ごとにする</td> </tr> <tr> <td>1 1 1 0</td> <td>:</td> <td>周期割り込み発生周期を1秒ごとにする</td> </tr> <tr> <td>1 1 1 1</td> <td>:</td> <td>周期割り込み発生周期を2秒ごとにする</td> </tr> </table> 上記以外は、周期割り込みを発生しない	b7	b4		0 1 1 0	:	周期割り込み発生周期を1/256秒ごとにする	0 1 1 1	:	周期割り込み発生周期を1/128秒ごとにする	1 0 0 0	:	周期割り込み発生周期を1/64秒ごとにする	1 0 0 1	:	周期割り込み発生周期を1/32秒ごとにする	1 0 1 0	:	周期割り込み発生周期を1/16秒ごとにする	1 0 1 1	:	周期割り込み発生周期を1/8秒ごとにする	1 1 0 0	:	周期割り込み発生周期を1/4秒ごとにする	1 1 0 1	:	周期割り込み発生周期を1/2秒ごとにする	1 1 1 0	:	周期割り込み発生周期を1秒ごとにする	1 1 1 1	:	周期割り込み発生周期を2秒ごとにする	R/W
b7	b4																																				
0 1 1 0	:	周期割り込み発生周期を1/256秒ごとにする																																			
0 1 1 1	:	周期割り込み発生周期を1/128秒ごとにする																																			
1 0 0 0	:	周期割り込み発生周期を1/64秒ごとにする																																			
1 0 0 1	:	周期割り込み発生周期を1/32秒ごとにする																																			
1 0 1 0	:	周期割り込み発生周期を1/16秒ごとにする																																			
1 0 1 1	:	周期割り込み発生周期を1/8秒ごとにする																																			
1 1 0 0	:	周期割り込み発生周期を1/4秒ごとにする																																			
1 1 0 1	:	周期割り込み発生周期を1/2秒ごとにする																																			
1 1 1 0	:	周期割り込み発生周期を1秒ごとにする																																			
1 1 1 1	:	周期割り込み発生周期を2秒ごとにする																																			

AIE、PIE、PES[3:0] ビットは、カウントソースに同期して更新されます。RCR1 レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

AIE ビット (アラーム割り込み許可ビット)

アラーム割り込み要求の許可または禁止を選択します。

ディープソフトウェアスタンバイモード中にカウンタとアラーム時刻が一致した場合、AIE ビットの設定に関係なくディープソフトウェアスタンバイモードから復帰します。

CIE ビット (桁上げ割り込み許可ビット)

秒カウンタ (RSECCNT) / バイナリカウンタ 0 (BCNT0) への桁上げ、または 64Hz カウンタ (R64CNT) 読み出しと、64Hz カウンタへの桁上げが重なったときの割り込み要求の許可または禁止を選択します。

PIE ビット (周期割り込み許可ビット)

周期割り込み要求の許可または禁止を選択します。

ディープソフトウェアスタンバイモード中に PES[3:0] ビットで選択した周期と一致した場合、PIE ビットの設定に関係なくディープソフトウェアスタンバイモードから復帰します。

PES[3:0] ビット (周期割り込み選択ビット)

周期割り込みの周期を設定します。PES[3:0] ビットで設定した周期に応じて周期割り込み (PRD) の要因を定期的に発生します。

26.2.18 RTC コントロールレジスタ 2 (RCR2)

アドレス 0008 C424h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタートビット	0 : 年、月、曜日、日、時、分、秒、64Hzカウンタおよびプリスケアラは停止 1 : 年、月、曜日、日、時、分、秒、64Hzカウンタおよびプリスケアラは通常動作	R/W
b1	RESET	RTCソフトウェアリセットビット	<ul style="list-style-type: none"> 書き込み時 0 : 書き込み無効 1 : プリスケアラおよびRTCソフトウェアリセット対象レジスタ (R64CNT、RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAR、RYRAREN、RADJ、RTCCRY、RSECCPY、RMINCPY、RHRCPY、RDAYCPY、RMONCPY、RCR2.ADJ30、RCR2.AADJE、RCR2.AADJP) をリセット 読み出し時 0 : 通常の時計動作またはRTCソフトウェアリセット完了 1 : RTCソフトウェアリセット中 	R/W
b2	ADJ30	30秒調整ビット	<ul style="list-style-type: none"> 書き込み時 0 : 書き込み無効 1 : 30秒調整の実行 読み出し時 0 : 通常の時計動作または30秒調整が完了 1 : 30秒調整中 	R/W
b3	RTCOE	RTCOUT出力許可ビット	0 : RTCOUT出力禁止 1 : RTCOUT出力許可	R/W
b4	AADJE	自動補正機能許可ビット	0 : 自動補正機能禁止 1 : 自動補正機能許可	R/W
b5	AADJP	自動補正周期選択ビット	0 : 1分ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウンタ値から加減する 1 : 10秒ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウンタ値から加減する	R/W
b6	HR24	時間モードビット	0 : RTCは12時間モードで動作 1 : RTCは24時間モードで動作	R/W
b7	—	予約ビット	"0"を設定してください。読むと同値が読めます。	R/W

START ビット (スタートビット)

プリスケアラおよびカウンタ (時計) の停止または動作を制御するビットです。

START ビットは、カウントソースに同期して更新されます。START ビットを書き換えた場合は、値が更新されたことを確認してから次の処理を実行してください。

RESET ビット (RTC ソフトウェアリセットビット)

プリスケアラおよびRTC ソフトウェアリセット対象レジスタを初期化するビットです。

RESET ビットに“1”が書き込まれた場合、カウントソースに同期して初期化が実行され、初期化が完了すると RESET ビットは自動的に“0”になります。

RESET ビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。

ADJ30 ビット (30 秒調整ビット)

30 秒調整を行うビットです。

ADJ30 ビットに“1”が書き込まれたときの RSECCNT カウンタの値が 30 秒未満の場合は 00 秒に切り捨て、30 秒以上の場合は 1 分に桁上げします。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに“1”が書き込まれた場合、30 秒調整が完了すると ADJ30 ビットは自動的に“0”になります。ADJ30 ビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。

30 秒調整が行われると、プリスケアラおよび R64CNT カウンタもリセットされます。

RTC ソフトウェアリセットを実行すると ADJ30 ビットは、“0”になります。

RTC OE ビット (RTCOUT 出力許可ビット)

RTCOUT (1Hz クロック) の出力を許可するビットです。

RTC OE ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。カウント動作を停止 (START ビットへの“0”書き込み) するときは、同時に RTC OE ビットの値を書き換えしないでください。

RTCOUT を外部端子に出力する場合は、RTC OE ビットを許可にし、かつポート制御の設定もしてください。

AADJE ビット (自動補正機能許可ビット)

自動補正機能の禁止、許可を制御するビットです。

AADJE ビットの書き換えは、プラスマイナスビット (RADJ.PMADJ[1:0]) を“00b” (補正しない) にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJE ビットは、“0”になります。

AADJP ビット (自動補正周期選択ビット)

自動補正周期を選択するビットです。

AADJP ビットの書き換えは、プラスマイナスビット (RADJ.PMADJ[1:0]) を“00b” (補正しない) にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJP ビットは、“0”になります。

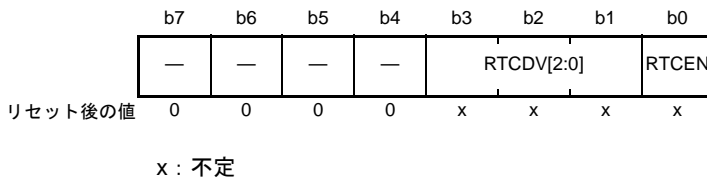
HR24 ビット (時間モードビット)

RTC の時間モードを 12 時間モードで動作するか、24 時間モードで動作するかを指定するビットです。

HR24 ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。START ビットと同時に HR24 ビットの値を書き換えしないでください。

26.2.19 RTC コントロールレジスタ 3 (RCR3)

アドレス 0008 C426h



ビット	シンボル	ビット名	機能	R/W
b0	RTCEN	サブクロック発振器制御ビット	0 : サブクロック発振器停止 1 : サブクロック発振器動作	R/W
b3-b1	RTCDV[2:0]	サブクロック発振器ドライブ能力制御ビット	b3 b1 0 0 0 : 設定しないでください 0 0 1 : 低CL用ドライブ能力 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 標準CL用ドライブ能力 1 1 1 : 設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RTCEN ビット (サブクロック発振器制御ビット)

サブクロック発振器の動作/停止は、RTCEN ビットおよびクロック発生回路のレジスタで制御されます。

サブクロックを RTC のカウントソースとして使用する場合は、RTCEN ビットでサブクロック発振器の動作設定を行ってください。

RTCDV[2:0] ビット (サブクロック発振器ドライブ能力制御ビット)

サブクロック発振器のドライブ能力を制御します。標準 CL の水晶発振子を接続する場合は“110b” (標準 CL 用ドライブ能力)、低 CL の水晶発振子を接続する場合は“001b” (低 CL 用ドライブ能力) を設定してください。RTCDV[2:0] ビットの設定は、SOSCCR.SOSTP ビットが“1”、かつ RCR3.RTCEN ビットが“0”のときに行ってください。

(1) 低 CL 水晶発振子の使用に関する注意事項

RCR3.RTCDV[2:0] ビットを“001b”(低 CL 用ドライブ能力)にした場合、ノイズの影響を受けやすくなります。特に、XCIN 端子や XCOOUT 端子の近傍の信号が変化すると、サブクロック発振器の発振精度に影響する可能性があります。影響の大きさは、基板の配線パターンや近傍の信号変化の状況により異なります。低 CL 水晶発振子を使用した基板を作成する際には、アプリケーションノート「低 CL サブクロック回路のデザインガイド」(R01AN1012JJ) を参考に、ノイズ対策を実施してください。

発振精度に与える影響が大きい例を以下に示します。

- FINED 端子にオンチップデバッグエミュレータを接続する場合

FINED 端子 (FINE インタフェース端子) は、XCIN 端子、XCOOUT 端子の近傍に存在するため、この端子を使用してデバッグを行うと、サブクロック発振器の発振精度に影響します。FINED 端子を使用してデ

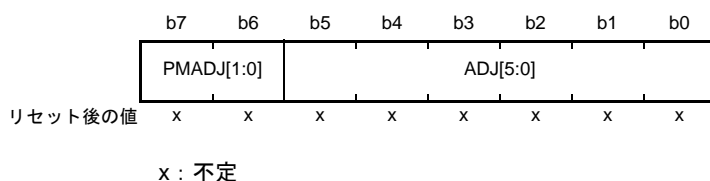
バグを行う際は、低 CL 水晶発振子はそのままで、RCR3.RTCDV[2:0] ビットに“110b”（標準 CL 用ドライブ能力）を設定してください。ただし、この対策は、発振子の信頼性に影響を与える可能性があるため、オンチップデバッグエミュレータを使用するときのみ実施し、量産プログラムでは“001b”（低 CL 用ドライブ能力）に戻してください。

- メインクロック発振器に外部クロックを供給する場合

EXTAL 端子に外部クロックを入力すると、サブクロック発振器の発振精度に影響を与える可能性があります。

26.2.20 時間誤差補正レジスタ (RADJ)

アドレス 0008 C42Eh



ビット	シンボル	ビット名	機能	R/W
b5-b0	ADJ[5:0]	補正值ビット	誤差補正值を設定します	R/W
b7-b6	PMADJ[1:0]	プラスマイナスビット	b7 b6 0 0 : 補正動作を行いません 0 1 : 時計を進める 1 0 : 時計を遅らせる 1 1 : 設定しないでください	R/W

時計を誤差補正值に応じて進めるか、遅らせることによって、補正を行います。

自動補正機能許可ビット (RCR2.AADJE) が“0”の場合は、RADJ レジスタを書き込むときに補正動作を行います。

RCR2.AADJE ビットが“1”の場合は、自動補正周期選択ビット (RCR2.AADJP) で設定した間隔で補正動作を行います。

ソフトウェア設定による補正時は、レジスタ設定後、カウントソースで 320 サイクル以内に次の補正值を設定すると前回の補正設定が無効となる場合があります。連続して補正を行う場合は、レジスタ設定後、カウントソースで 320 サイクル以上待ってから再設定してください。

RADJ レジスタは、カウントソースに同期して更新されます。RADJ レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTC ソフトウェアリセットを実行すると 00h になります。

ADJ[5:0] ビット (補正值ビット)

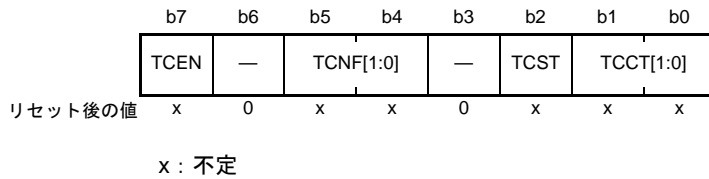
時計の誤差に応じて補正值 (サブクロックのクロックサイクル数) を設定します。

PMADJ[1:0] ビット (プラスマイナスビット)

ADJ[5:0] ビットで設定した誤差補正值に応じて時計を進めるか、遅らせるかを選択します。

26.2.21 時間キャプチャ制御レジスタ y (RTCCRY) (y=0 ~ 2)

アドレス RTCCR0 0008 C440h、RTCCR1 0008 C442h、RTCCR2 0008 C444h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TCCT[1:0]	時間キャプチャ制御ビット	b1 b0 0 0 : イベント検出しない 0 1 : 立ち上がりエッジ検出 1 0 : 立ち下がりエッジ検出 1 1 : 両エッジ検出	R/W
b2	TCST	時間キャプチャステータスビット	イベント検出されたことを示します “0”を書き込むことで“0”にすることが可能です 0 : イベント検出なし 1 : イベント検出あり (注1)	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	TCNF[1:0]	時間キャプチャノイズフィルタ制御ビット	b5 b4 0 0 : ノイズフィルタ OFF 0 1 : 設定しないでください 1 0 : ノイズフィルタ ON (カウントソース) 1 1 : ノイズフィルタ ON (カウントソースの32分周)	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TCEN	時間キャプチャイベント入力端子イネーブルビット	0 : RTCICn端子が時間キャプチャイベント入力端子として無効になります 1 : RTCICn端子が時間キャプチャイベント入力端子として有効になります (n = 0 ~ 2)	R/W

注1. “1”の書き込みは無効です。

RTCCR0 レジスタが RTCIC0 端子、RTCCR1 レジスタが RTCIC1 端子、RTCCR2 レジスタが RTCIC2 端子をそれぞれ制御します。

RTCCRY レジスタは、カウントソースに同期して更新されます。RTCCRY レジスタを書き換えた場合は、TCST ビットを除く全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

TCCT[1:0] ビット (時間キャプチャ制御ビット)

時間キャプチャイベント入力端子 (RTCIC0、RTCIC1、RTCIC2) のエッジ検出を制御するビットです。

検出するエッジの選択が可能です。TCCT[1:0] ビットは、TCEN ビットが“1”の状態を設定してください。

TCST ビット (時間キャプチャステータスビット)

時間キャプチャイベント入力端子 (RTCIC0、RTCIC1、RTCIC2) のイベントが検出されたことを示すビットです。

TCST ビットが“0”の場合は、イベント検出されていないことを示します。

TCST ビットが“1”の場合は、該当する端子のイベントが検出されたことを示し、そのキャプチャレジスタが有効になります。複数回イベントが検出された場合は、最初のキャプチャ時刻を保持します。

カウント動作停止中 (RCR2.START ビットが“0”) にイベントが検出された場合は、キャプチャした値を保証できません。キャプチャした値を破棄するために TCST ビットを“0”にしてから使用してください。

TCST ビットに“0”を書き込むことで、TCST ビットを“0”にできます。また、“0”以外の値の書き込みは無効になります。

TCST ビットを“0”にするときは、TCCT[1:0] ビットを“00b” (イベント検出しない) にした状態で行ってください。

TCST ビットは、カウントソースに同期して“0”になります。TCST ビットを“0”にした場合は、値が更新されたことを確認してから次の処理を実行してください。

TCNF[1:0] ビット (時間キャプチャノイズフィルタ制御ビット)

時間キャプチャイベント入力端子 (RTCIC0、RTCIC1、RTCIC2) のノイズフィルタを制御するビットです。

ノイズフィルタが ON の場合、カウントソースの 1 分周、32 分周のどちらかを選択することが可能です。このとき、時間キャプチャイベント入力端子の入力レベルが選択されたサンプル間隔で 3 回一致すると、入力レベルを決定します。

TCNF[1:0] ビットの設定は、TCCT[1:0] ビットを“00b” (イベント検出しない) にした状態で行ってください。ノイズフィルタを使用する場合は、TCNF[1:0] ビットの設定後、設定したサンプリング周期の 3 周期分待った後、TCCT[1:0] ビットの設定を行ってください。また、TCNF[1:0] ビットは、TCEN ビットが“1”の状態を設定してください。

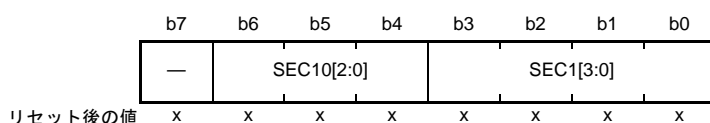
TCEN ビット (時間キャプチャイベント入力端子イネーブルビット)

時間キャプチャイベント入力端子 (RTCIC0、RTCIC1、RTCIC2) の有効/無効を制御するビットです。

時間キャプチャイベント入力端子 (RTCIC0、RTCIC1、RTCIC2) がマルチプルされている場合、ポート制御の設定をし、かつ TCEN ビットも有効にしてください。このとき、ポート制御の設定を先に行ってください。TCEN ビットを“0”にする場合、TCCT[1:0] ビットも“00b”にしてください。

26.2.22 秒キャプチャレジスタ y (RSECCPy) (y=0 ~ 2)

アドレス RSECCP0 0008 C452h, RSECCP1 0008 C462h, RSECCP2 0008 C472h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	秒一位キャプチャビット	秒一位のキャプチャ値を示します	R
b6-b4	SEC10[2:0]	秒十位キャプチャビット	秒十位のキャプチャ値を示します	R
b7	—	予約ビット	“0”を設定してください。読むと同値が読めます。	R/W

RSECCPy レジスタは、時間キャプチャイベント検出時に RSECCNT カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

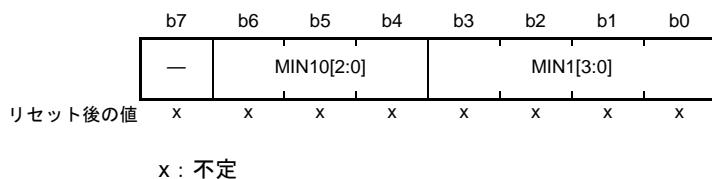
RTCIC0 端子によるイベント検出時は RSECCP0 レジスタに、RTCIC1 端子によるイベント検出時は RSECCP1 レジスタに、RTCIC2 端子によるイベント検出時は RSECCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出し処理は、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

26.2.23 分キャプチャレジスタ y (RMINCPy) (y=0 ~ 2)

アドレス RMINCP0 0008 C454h、RMINCP1 0008 C464h、RMINCP2 0008 C474h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	分一位キャプチャビット	分一位のキャプチャ値を示します	R
b6-b4	MIN10[2:0]	分十位キャプチャビット	分十位のキャプチャ値を示します	R
b7	—	予約ビット	“0”を設定してください。読むと同値が読めます。	R/W

RMINCPy レジスタは、時間キャプチャイベント検出時に RMINCNT カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

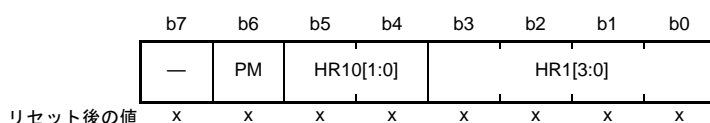
RTCIC0 端子によるイベント検出時は RMINCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMINCP1 レジスタに、RTCIC2 端子によるイベント検出時は RMINCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出し処理は、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

26.2.24 時キャプチャレジスタ y (RHRCPy) (y=0 ~ 2)

アドレス RHRCp0 0008 C456h、RHRCp1 0008 C466h、RHRCp2 0008 C476h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	時一位キャプチャビット	時一位のキャプチャ値を示します	R
b5-b4	HR10[1:0]	時十位キャプチャビット	時十位のキャプチャ値を示します	R
b6	PM	PMビット	0 : 午前 1 : 午後	R
b7	—	予約ビット	“0”を設定してください。読むと同値が読めます。	R/W

RHRCPy レジスタは、時間キャプチャイベント検出時に RHRCNT カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は RHRCp0 レジスタに、RTCIC1 端子によるイベント検出時は RHRCp1 レジスタに、RTCIC2 端子によるイベント検出時は RHRCp2 レジスタにそれぞれのイベント検出時刻を格納します。

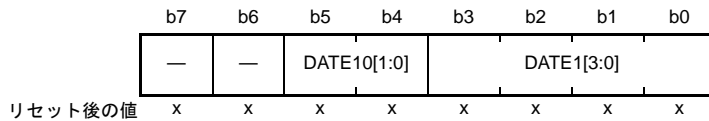
RCR2.HR24 ビットが“0”（12時間モードで動作）の場合のみ、PM ビットが有効になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出し処理は、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

26.2.25 日キャプチャレジスタ y (RDAYCPy) (y=0 ~ 2)

アドレス RDAYCP0 0008 C45Ah, RDAYCP1 0008 C46Ah, RDAYCP2 0008 C47Ah



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	日一位キャプチャビット	日一位のキャプチャ値を示します	R
b5-b4	DATE10[1:0]	日十位キャプチャビット	日十位のキャプチャ値を示します	R
b7-b6	—	予約ビット	“0”を設定してください。読むと同値が読めます。	R/W

RDAYCPy レジスタは、時間キャプチャイベント検出時に RDAYCNT カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

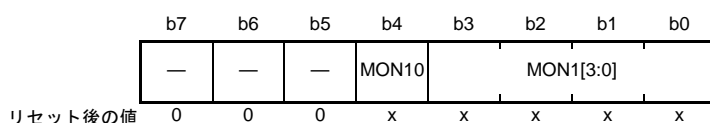
RTCIC0 端子によるイベント検出時は RDAYCP0 レジスタに、RTCIC1 端子によるイベント検出時は RDAYCP1 レジスタに、RTCIC2 端子によるイベント検出時は RDAYCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出し処理は、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

26.2.26 月キャプチャレジスタ y (RMONCPy) (y=0 ~ 2)

アドレス RMONCP0 0008 C45Ch、RMONCP1 0008 C46Ch、RMONCP2 0008 C47Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	月一位キャプチャビット	月一位のキャプチャ値を示します	R
b4	MON10	月十位キャプチャビット	月十位のキャプチャ値を示します	R
b7-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

RMONCPy レジスタは、時間キャプチャイベント検出時に RMONCNT カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は RMONCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMONCP1 レジスタに、RTCIC2 端子によるイベント検出時は RMONCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出し処理は、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

26.3 動作説明

26.3.1 電源投入後のレジスタの初期設定概要

電源投入後、クロック設定、時刻設定、時計誤差補正、アラーム、割り込み、時間キャプチャ制御レジスタの初期設定をしてください。

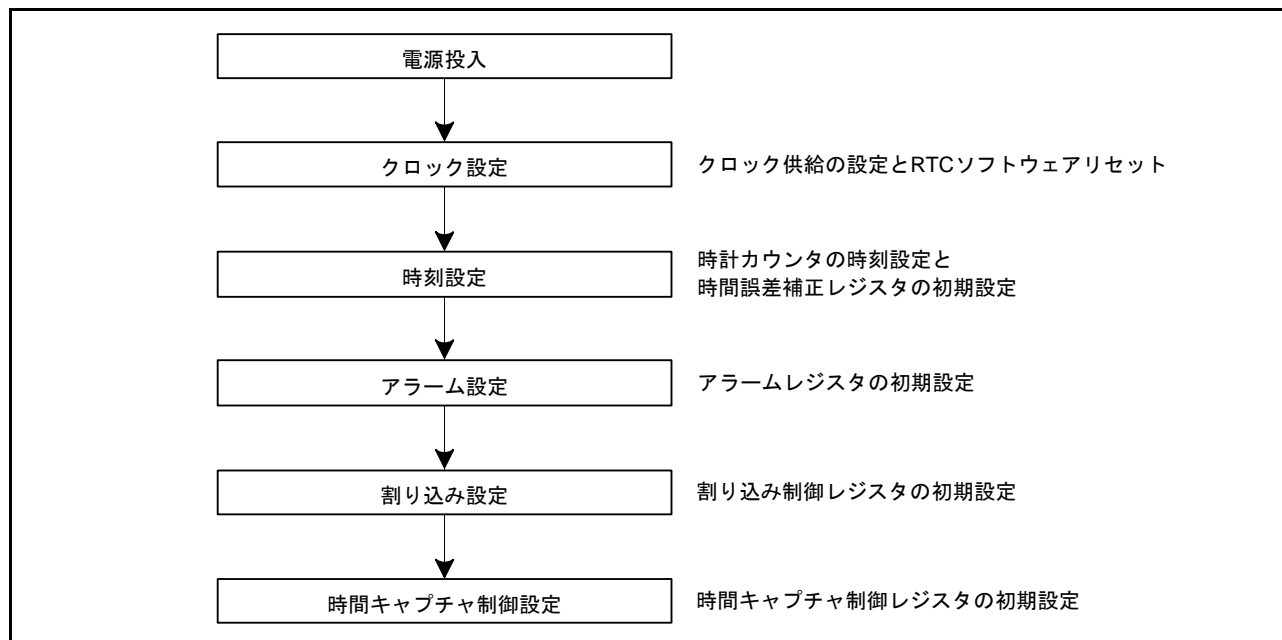


図 26.2 電源投入後の初期設定概要

26.3.2 クロック設定手順

図 26.3 にクロック設定手順を示します。

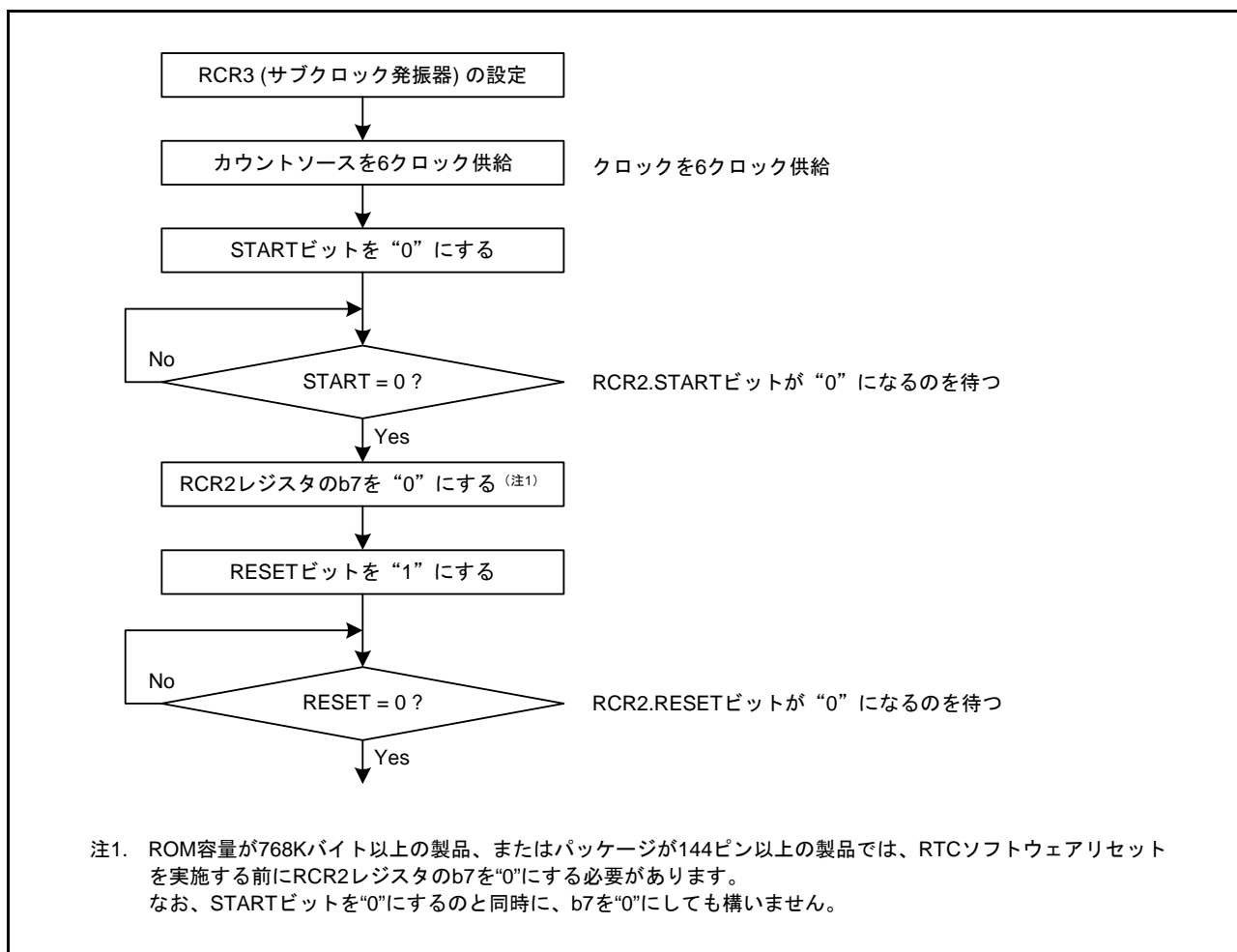


図 26.3 クロック設定手順

26.3.3 時刻設定手順

図 26.4 に時刻設定手順を示します。

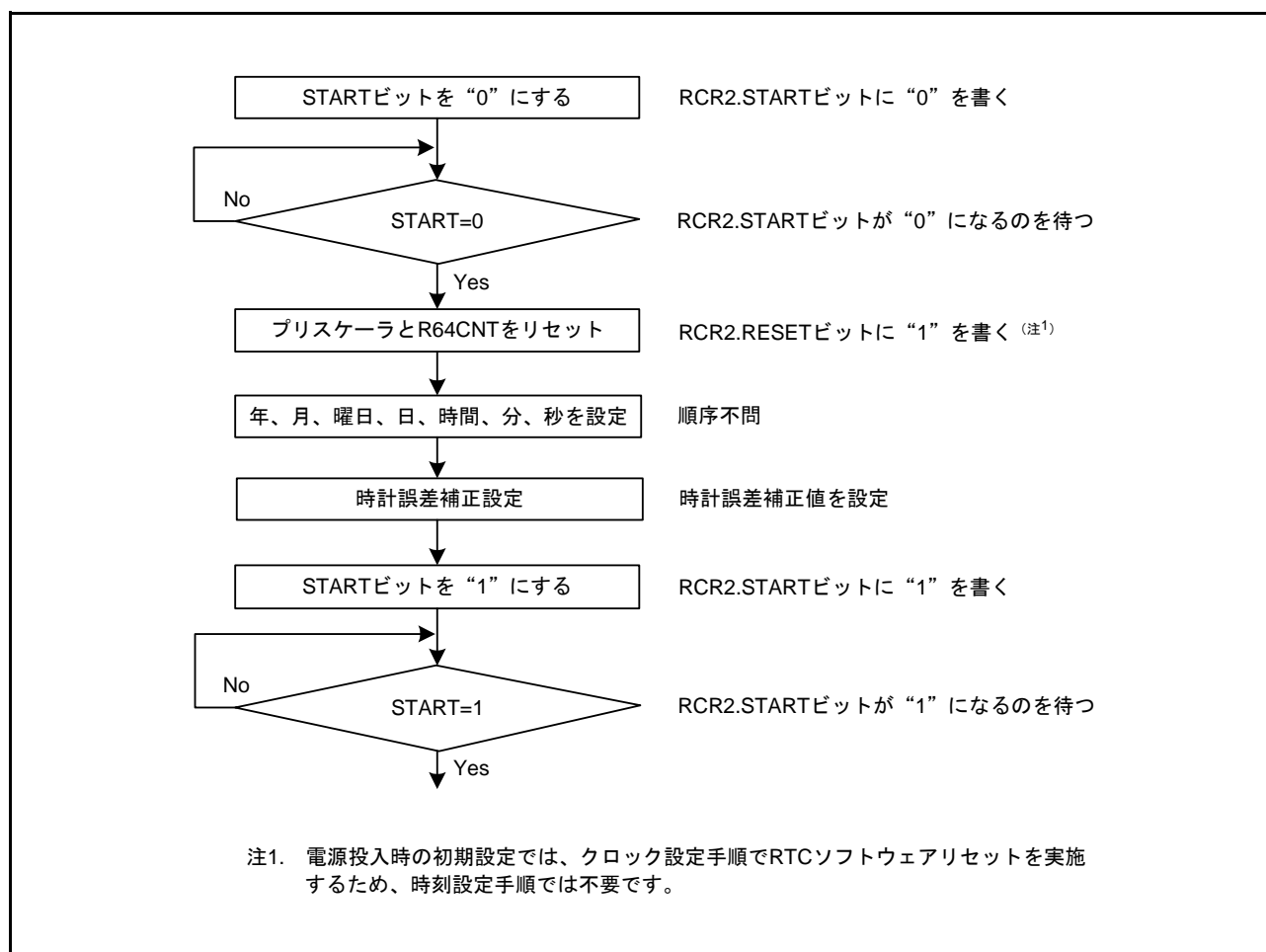


図 26.4 時刻設定手順

26.3.4 30秒調整手順

図 26.5 に30秒調整手順を示します。

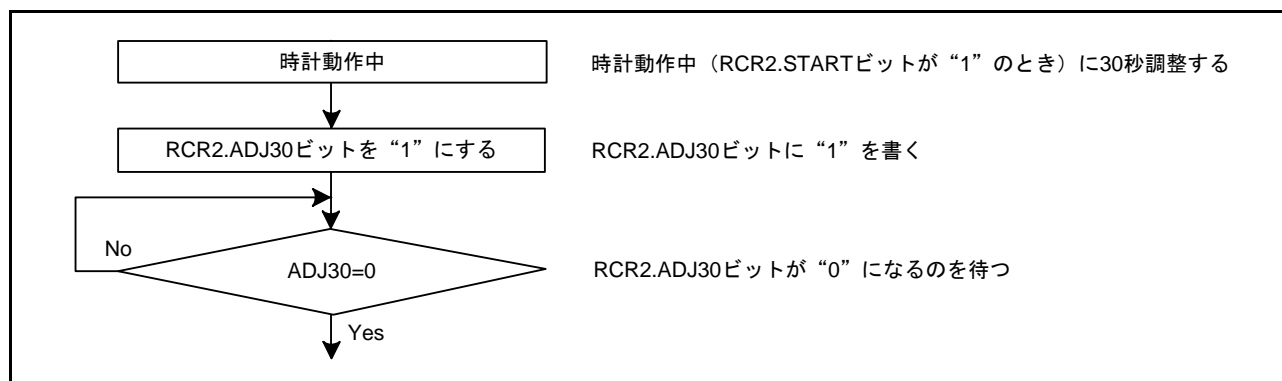


図 26.5 30秒調整手順

26.3.5 64Hz カウンタおよび時刻読み出し手順

図 26.6 に 64Hz カウンタおよび時刻読み出し手順を示します。

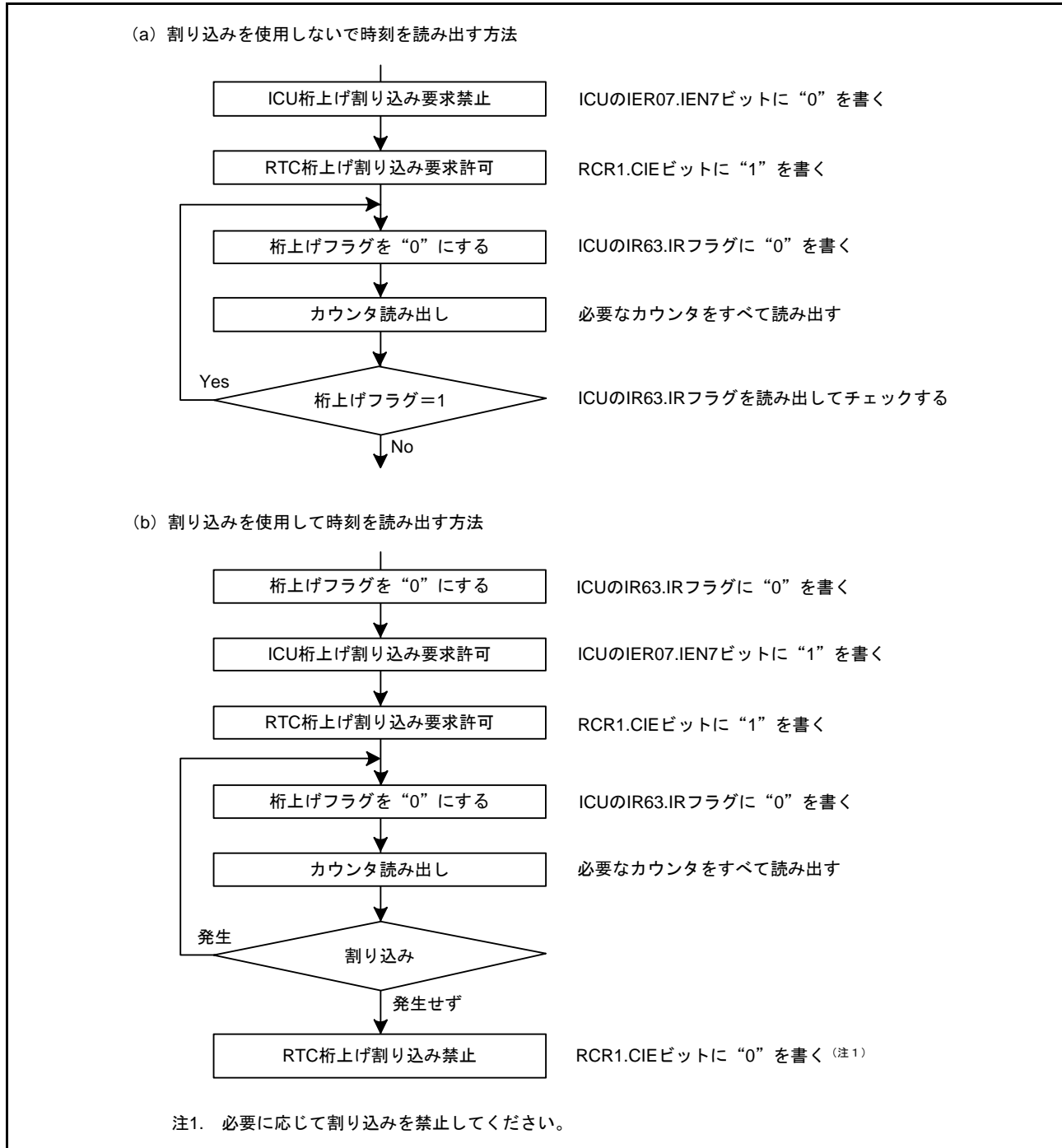


図 26.6 時刻読み出し手順

64Hz カウンタおよび時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 26.6 の (a) に、桁上げ割り込みを使用する方法を図 26.6 の (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

26.3.6 アラーム機能

図 26.7 にアラーム機能の使用方法を示します。

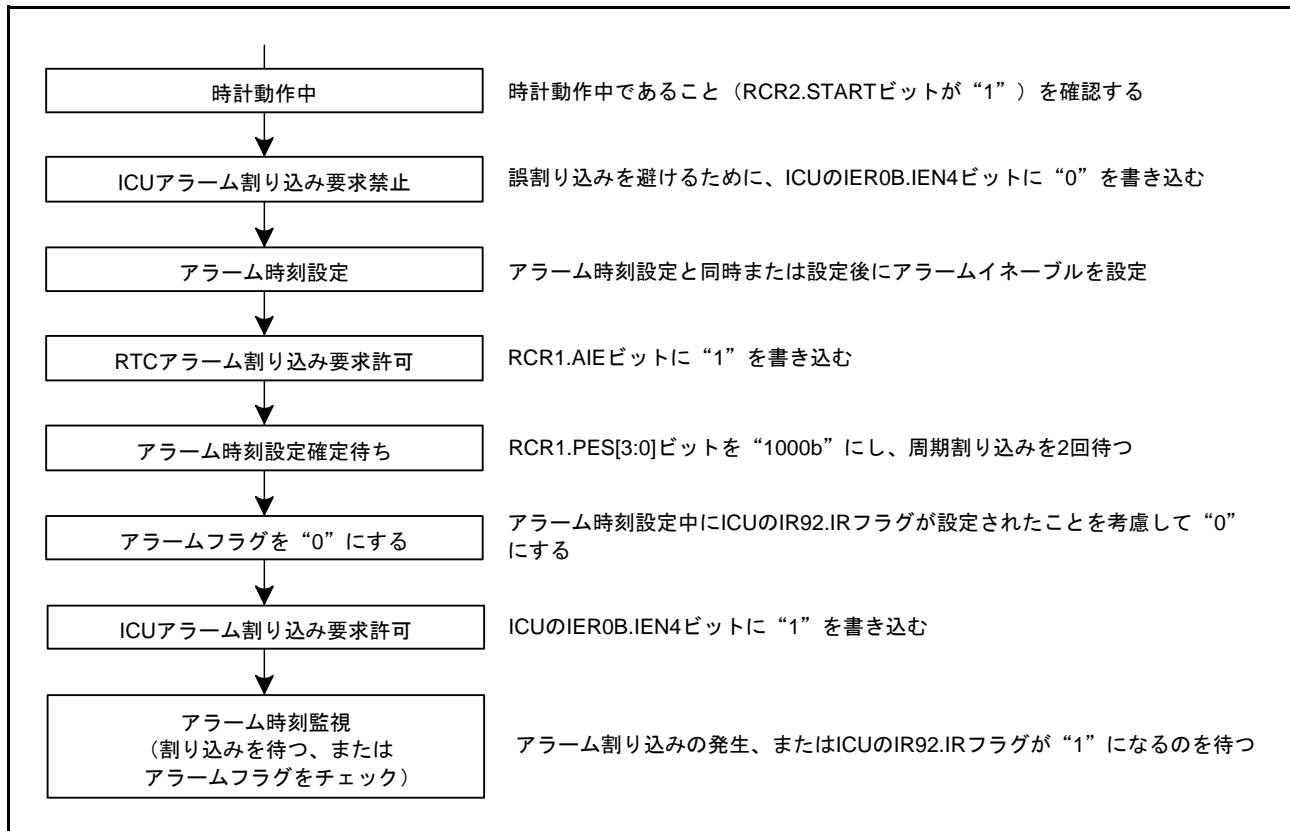


図 26.7 アラーム機能の使用方法

アラームは、年、月、日、曜日、時、分、秒のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とする各アラームレジスタの ENB ビットに“1”を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENB ビットに“0”を書き込みます。

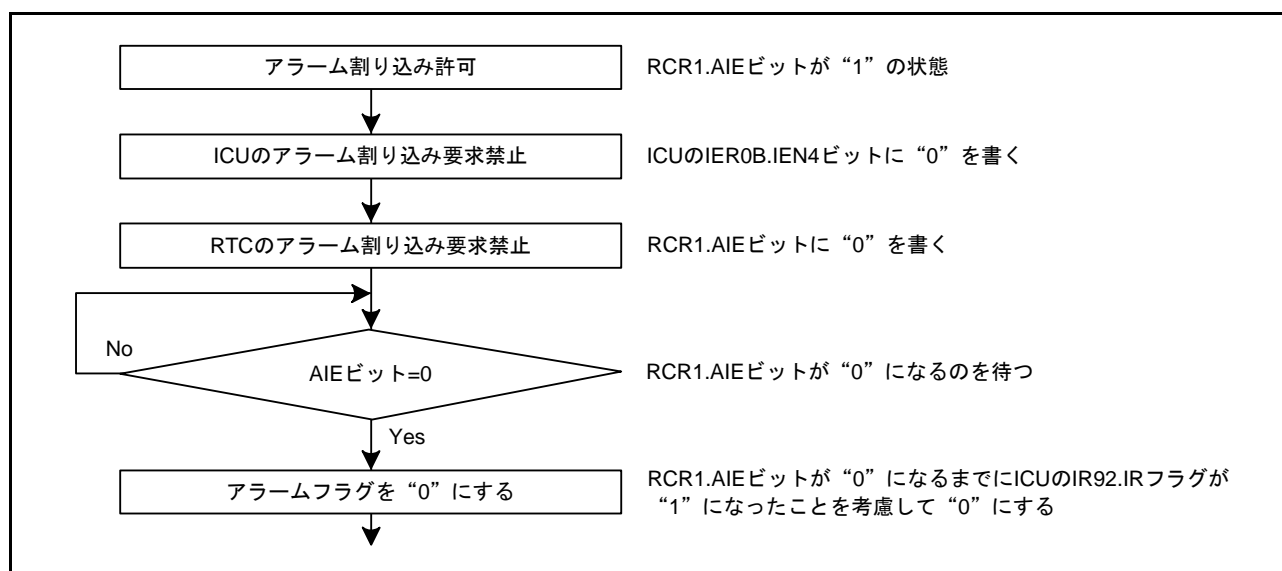
カウンタとアラーム時刻が一致した場合は、ICU の IR92.IR フラグが“1”になります。アラームの検出はこのフラグを読み出すことによって確認できますが、通常は割り込みで行います。ICU の IER0B.IEN4 ビットに“1”が書き込まれている場合、アラーム割り込みが発生しアラームを検出することができます。

ICU の IR92.IR フラグは“0”を書き込むと“0”になります。

低消費電力状態のときにカウンタとアラーム時刻が一致すると低消費電力状態から復帰します。

26.3.7 アラーム割り込み禁止手順

図 26.8 に許可状態のアラーム割り込み要求を禁止する手順を示します。



26.3.8 時計誤差補正機能

時計誤差補正機能は、サブクロックの発振精度による時計の誤差（遅れる / 進む）を補正します。32,768 クロックサイクルを 1 秒として動作するため、サブクロックの周波数が高い場合は時計が進み、低い場合は時計が遅れます。本機能により、時計を進めるか、遅らせることで誤差を補正することができます。

時計誤差補正機能には、自動補正とソフトウェアによる補正の 2 種類の補正機能があります。

自動補正、ソフトウェアによる補正の選択は、RCR2.AADJE ビットで設定してください。

26.3.8.1 自動補正機能

RCR2.AADJE ビットが“1”の場合、自動補正機能が有効です。

自動補正機能では、RCR2.AADJP ビットで選択した補正周期ごとに RADJ レジスタ設定に応じて時計を進めるか、遅らせます。以下に例を示します。

例 1) サブクロック = 32.769kHz

補正方法：

サブクロックの周波数が 32.769kHz の場合、32,769 クロックサイクルで 1 秒になりますが、RTC は、32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みます。1 分なら 60 クロックサイクル分、時計が進むため、1 分ごとに 60 クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：

- RCR2.AADJP ビット = 0 (1 分ごとに補正)
- RADJ.PMADJ[1:0] ビット = 10b (遅らせる)
- RADJ.ADJ[5:0] ビット = 60 (3Ch)

例 2) サブクロック = 32.766kHz

補正方法：

サブクロックの周波数が 32.766kHz の場合、32,766 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 2 クロックサイクル分、時計が遅れます。10 秒なら 20 クロックサイクル分、時計が遅れるため、10 秒ごとに 20 クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：

- RCR2.AADJP ビット = 1 (10 秒ごとに補正)
- RADJ.PMADJ[1:0] ビット = 01b (進める)
- RADJ.ADJ[5:0] ビット = 20 (14h)

26.3.8.2 ソフトウェアによる補正

RCR2.AADJE ビットが“0”の場合、ソフトウェアによる補正が有効です。

ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで RADJ レジスタ設定に応じて時計を進めるか、遅らせます。

例 1) サブクロック = 32.769kHz

補正方法：

サブクロックの周波数が 32.769kHz の場合、32,769 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みます。1 秒ごとに 1 クロックサイクル分、時計が進むため、1 秒ごとに 1 クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：

- RADJ.PMADJ[1:0] ビット = 10b (遅らせる)
- RADJ.ADJ[5:0] ビット = 1 (01h)

1 秒の割り込みごとに RADJ レジスタに書き込む

26.3.8.3 補正モードの変更手順

補正モードを変更する場合は、RADJ.PMADJ[1:0] ビットを“00b”（補正しない）にした後、RCR2.AADJE ビットを変更してください。

ソフトウェアによる補正から、自動補正に切り替える場合

- (1) RADJ.PMADJ[1:0] ビットを“00b”（補正しない）にする
- (2) RCR2.AADJE ビットを“1”（自動補正機能許可）にする
- (3) RCR2.AADJP ビットで補正周期を選択する
- (4) RADJ.PMADJ[1:0] ビットに補正方向を、RADJ.ADJ[5:0] ビットで時計誤差補正値を設定する

自動補正から、ソフトウェアによる補正に切り替える場合

- (1) RADJ.PMADJ[1:0] ビットを“00b”（補正しない）にする
- (2) RCR2.AADJE ビットを“0”（ソフトウェアによる補正機能有効）にする
- (3) 任意のタイミングで RADJ.PMADJ[1:0] ビットに補正方向を、RADJ.ADJ[5:0] ビットで時計誤差補正値を書き込むと補正を行う。以降、RADJ レジスタに書き込むごとに補正を行う。

26.3.8.4 補正機能の停止手順

補正機能を停止する場合は、RADJ.PMADJ[1:0] ビットを“00b”（補正しない）にしてください。

26.3.8.5 時間キャプチャ機能

RTCは時間キャプチャイベント入力端子のエッジ検出によって、月、日、時、分、秒の値を格納します。

また、RTCの時間キャプチャイベント入力端子には、ノイズフィルタを使用することができます。ノイズフィルタは、設定したサンプリング周期に応じてサンプリングした端子のレベルが3回一致した場合、RTC内部に一致したレベルを伝達し、サンプリングした端子のレベルが3回一致するまでRTC内部のレベルを維持します。

時間キャプチャイベント入力端子は、端子ごとにノイズフィルタのON/OFFを設定できます。

ノイズフィルタOFFの場合の動作を図26.9に、ノイズフィルタONの場合の動作を図26.10に示します。

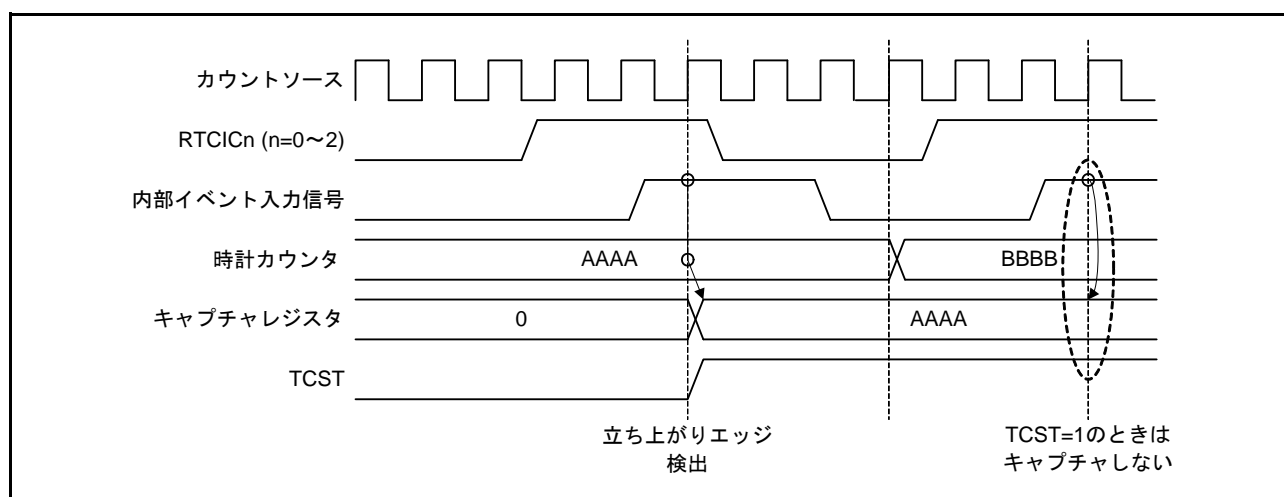


図 26.9 時間キャプチャ機能動作タイミング (フィルタ OFF)

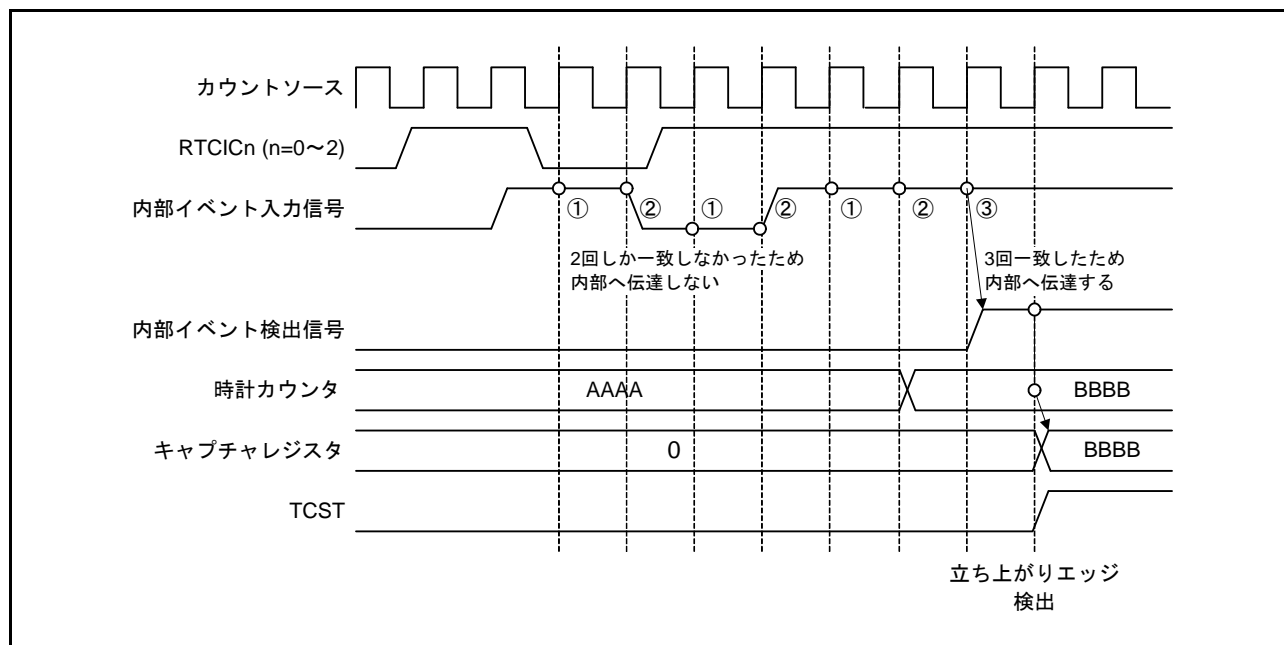


図 26.10 時間キャプチャ機能動作タイミング (フィルタ ON)

26.4 割り込み要因

RTC の割り込み要因には、以下の 3 種類があります。表 26.3 に RTC の割り込み要因を示します。

表 26.3 RTCの割り込み要因

名称	割り込み要因
ALM	アラーム割り込み
PRD	周期割り込み
CUP	桁上げ割り込み

(1) アラーム割り込み (ALM)

アラームレジスタと時計カウンタとの比較結果によって割り込みを発生します（詳細は各アラームレジスタの説明を参照してください）。

アラームレジスタの設定中に時計カウンタと一致し、割り込みフラグがセットされる可能性があるため、アラームレジスタの変更後、一度当該割り込みの IR92.IR フラグを“0”にしてください。アラーム割り込みの割り込みフラグは、一度“0”にすると、再度アラームレジスタと時計カウンタが不一致状態になった後、再び一致するかアラームの再設定を行うまで“1”になりません。

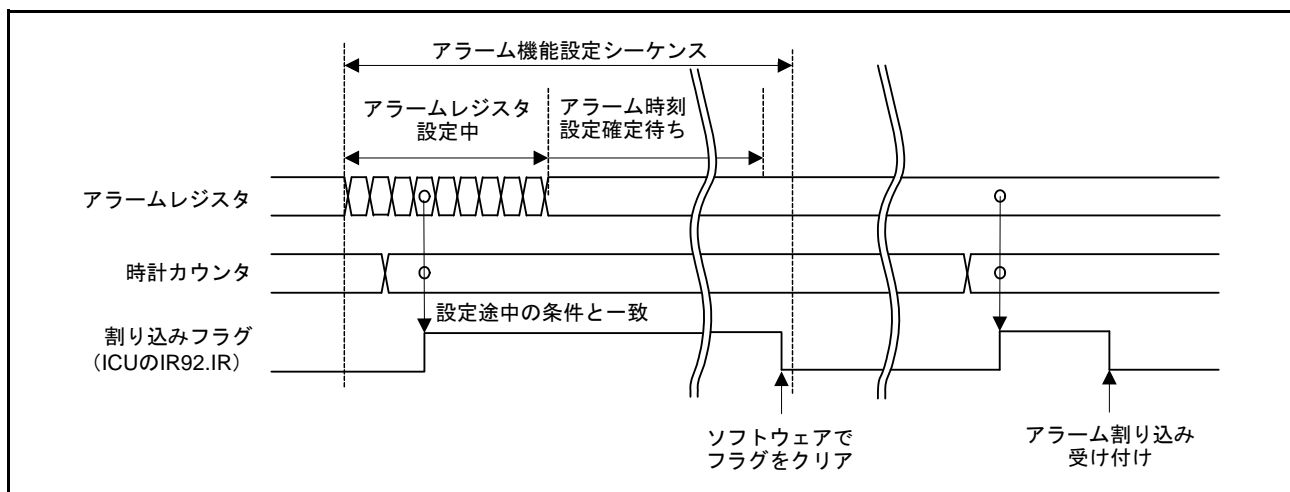


図 26.11 アラーム割り込み (ALM) のタイミングチャート

(2) 周期割り込み (PRD)

2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期で発生する割り込みです。RCR1.PES[3:0] ビットによって周期の選択が可能です。

(3) 桁上げ割り込み (CUP)

秒カウンタへの桁上げが発生したとき、または 64Hz カウンタ読み出しと R64CNT カウンタへの桁上げが重なったときにアサートされる割り込みです。

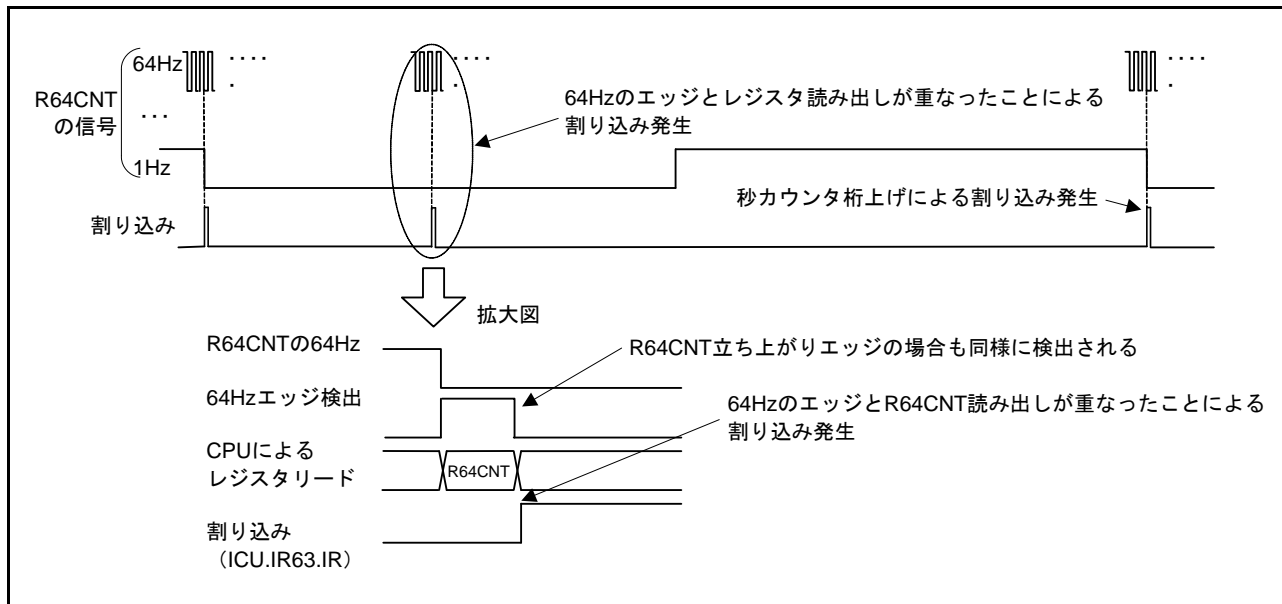


図 26.12 桁上げ割り込み (CUP) のタイミングチャート

26.5 イベントリンク出力機能

RTC はイベントリンクコントローラ (ELC) へ以下のイベントを出力し、あらかじめ設定していたモジュールを動作させることができます。

(1) 周期イベント出力

RCR1.PES[3:0] ビットの設定により、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期から選択された周期でイベントを出力します。

注． RTC のイベントリンク出力機能を使用する場合は、RTC の設定（初期化、時刻設定など）後、ELC を設定して行ってください。ELC 設定後に RTC を設定すると、意図しないイベントが出力することがあります。

26.5.1 割り込み処理とイベントリンクの関係

RTC には、周期割り込みに割り込み許可 / 禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

注． ソフトウェアスタンバイモード中、ディープソフトウェアスタンバイモード中もアラーム割り込み、周期割り込み出力することができますが、ELC 用の周期イベント信号は出力しません。

26.6 使用上の注意事項

26.6.1 カウント動作時のレジスタ書き込みについて

カウント動作時 (RCR2.START ビット=1 のとき) は、以下のレジスタに書き込みを行わないでください。

RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCNT、
RCR2.RTCOE、RCR2.HR24

上記のレジスタへの書き込みを行う場合は、一度カウント動作を停止してから書き込んでください。

26.6.2 周期割り込みの使用について

周期割り込みの使用方法を図 26.13 に示します。

周期割り込みは、RCR1.PES[3:0] ビットの設定によって割り込みの発生および周期を切り替えることができます。しかし、割り込み発生にプリスケアラ、R64CNT、RSECCNT カウンタを使用しているため、RCR1.PES[3:0] ビット設定直後の割り込み発生周期は保証されません。

RCR2 レジスタによって、カウント動作の停止 / 動作、RTC ソフトウェアリセット、30 秒調整を行うと、割り込み発生周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正值の分だけ周期がずれます。

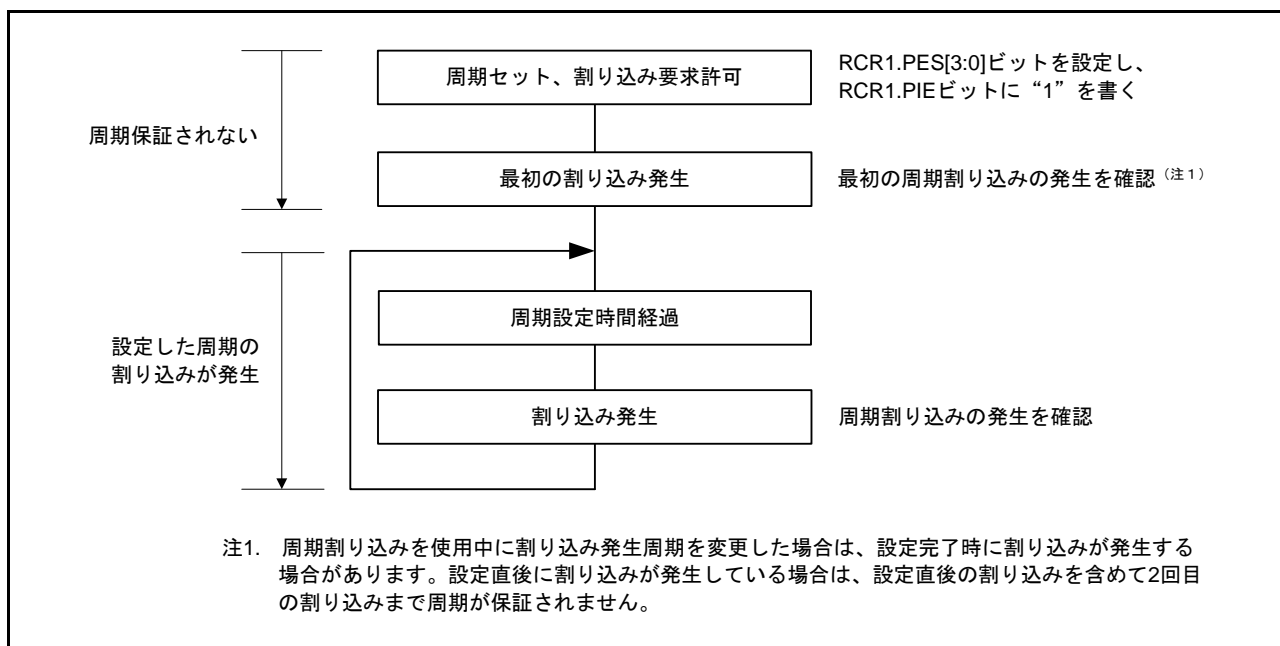


図 26.13 周期割り込み機能の使用方法

26.6.3 RTCOUT (1Hz) 出力について

RCR2 レジスタによって、カウント動作の停止 / 動作、RTC ソフトウェアリセット、30 秒調整を行うと、RTCOUT (1Hz) 出力の周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後の RTCOUT (1Hz) 出力の周期は、補正值の分だけ周期がずれます。

26.6.4 レジスタ設定後の低消費電力モード移行について

RTC 内レジスタへの書き込み、およびレジスタ更新処理中に低消費電力状態（ソフトウェアスタンバイモード/ディープソフトウェアスタンバイモード）へ遷移すると、レジスタ値を破壊する可能性があります。レジスタ設定後は、設定されたことを確認してから低消費電力状態に遷移してください。

26.6.5 レジスタの書き込み / 読み出し時の注意事項

- 秒カウンタなど、カウンタレジスタの読み出しは、「26.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。
- カウンタレジスタ、アラームレジスタ、年アラームイネーブルレジスタ、RCR2.AADJE, AADJP, HR24 ビット、RCR3 レジスタの書き込み後の読み出しは、空読み出し 3 回後の読み出しから書き込み値が反映されます。
- RCR1.CIE ビット、RCR2.RTCOE ビットは、書き込み直後の読み出しで書き込み値を読み出すことができます。
- リセットまたはソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードから復帰した後に時計カウンタの値を読み出すときは、時計動作中（RCR2.START ビット = “1”）で 1/128 秒待ってから読み出しを行ってください。

27. ウォッチドッグタイマ (WDTA)

ウォッチドッグタイマ (WDT) は、プログラムの暴走を検知します。

WDTは14ビットのダウンカウンタを内蔵しており、ダウンカウントしたカウント値がアンダフローに到達すると、リセット出力によって本LSIをリセットすることができます。または、カウント値がアンダフローに到達することによって、割り込み要求の発生を選択することもできます。ダウンカウンタのカウント値をリフレッシュすることによってカウント値を初期値に戻し再びカウントすることができます。また、リフレッシュ可能な期間を設定することができます。リフレッシュ可能な期間にリフレッシュを行うとカウンタを初期化し再度カウントすることができますが、リフレッシュ可能期間外にリフレッシュを行うとリセットまたは割り込み要求を出力します。これによってリフレッシュ間隔を加味したプログラムの暴走を検知できます。なお、アンダフローもしくはリフレッシュ可能期間外のリフレッシュ後は、WDTはカウントを停止します。カウントの再開は、レジスタスタートモードの場合にはリフレッシュ実施後に、オートスタートモードの場合にはリセット出力/割り込み要求出力後に自動的に行います。

27.1 概要

WDTはリセット解除後、自動的にカウント開始を行うオートスタートモードと、リフレッシュ (レジスタ書き込み) によるカウント開始を行うレジスタスタートモードの2種類のモードがあります。

オートスタートモードでは、リセット解除前にオプション機能選択レジスタ0 (OFS0) に対して、クロック分周比、リフレッシュのウィンドウ開始/終了位置、タイムアウト期間、アンダフロー時のリセット出力/ノンмасカブル割り込み要求出力の設定を行います。

レジスタスタートモードでは、リセット解除後にリフレッシュによるカウント開始前にレジスタに対して、クロック分周比、リフレッシュのウィンドウ開始/終了位置、タイムアウト期間、アンダフロー時のリセット出力/ノンмасカブル割り込み要求出力の設定を行います。

オートスタートモード、もしくはレジスタスタートモードの選択は、オプション機能選択レジスタ0 (OFS0) のWDTスタートモード選択ビット (OFS0.WDTSTRT) で行います。

オートスタートモード選択時 (OFS0.WDTSTRT = 0)、WDTコントロールレジスタ (WDTCR)、WDTリセットコントロールレジスタ (WDTRCR) の設定は無効となり、オプション機能選択レジスタ0 (OFS0) の設定が有効となります。

レジスタスタートモード選択時 (OFS0.WDTSTRT = 1)、オプション機能選択レジスタ0 (OFS0) の設定は無効となり、WDTCR、WDTRCRレジスタの設定が有効となります。

表 27.1 に WDT の仕様を示します。図 27.1 に WDT のブロック図を示します。

表27.1 WDTの仕様 (1 / 2)

項目	内容
カウントソース	周辺クロック (PCLK)
クロック分周比	4分周/64分周/128分周/512分周/2048分周/8192分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> リセット後、自動的にカウント開始 (オートスタートモード) リフレッシュ (WDTRRレジスタに00hを書き込み後、FFhを書き込む) により、カウント開始 (レジスタスタートモード)
カウント停止条件	<ul style="list-style-type: none"> リセット (ダウンカウンタ、レジスタは初期値に戻る) アンダフロー、リフレッシュエラー発生時 カウント再開 (オートスタートモード: リセットもしくはノンмасカブル割り込み要求を出力後に自動でカウント再開、レジスタスタートモード: リフレッシュ後にカウント再開)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローした場合 リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
割り込み要求出力要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローした場合、ノンмасカブル割り込み (WUNI) を発生 リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
カウンタ値の読み出し	WDTSRレジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能

表27.1 WDTの仕様 (2 / 2)

項目	内容
出力信号 (内部信号)	<ul style="list-style-type: none"> リセット出力 割り込み要求出力
オートスタートモード (オプション機能選択レジスタ0 (OFS0) 制御)	<ul style="list-style-type: none"> リセット後のクロック分周比の選択 (OFS0.WDTCKS[3:0]ビット) ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.WDTPPS[1:0]ビット) ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.WDTRPSS[1:0]ビット) ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.WDTRPES[1:0]ビット) リセット出力、または割り込み要求出力の選択 (OFS0.WDTRSTIRQSビット)
レジスタスタートモード (WDTレジスタ制御)	<ul style="list-style-type: none"> リフレッシュ動作後のクロック分周比の選択 (WDTCR.CKS[3:0]ビット) ウォッチドッグタイマのタイムアウト期間の選択 (WDTCR.TOPS[1:0]ビット) ウォッチドッグタイマのウィンドウ開始位置の選択 (WDTCR.RPSS[1:0]ビット) ウォッチドッグタイマのウィンドウ終了位置の選択 (WDTCR.RPES[1:0]ビット) リセット出力、または割り込み要求出力の選択 (WDTCCR.RSTIRQSビット)

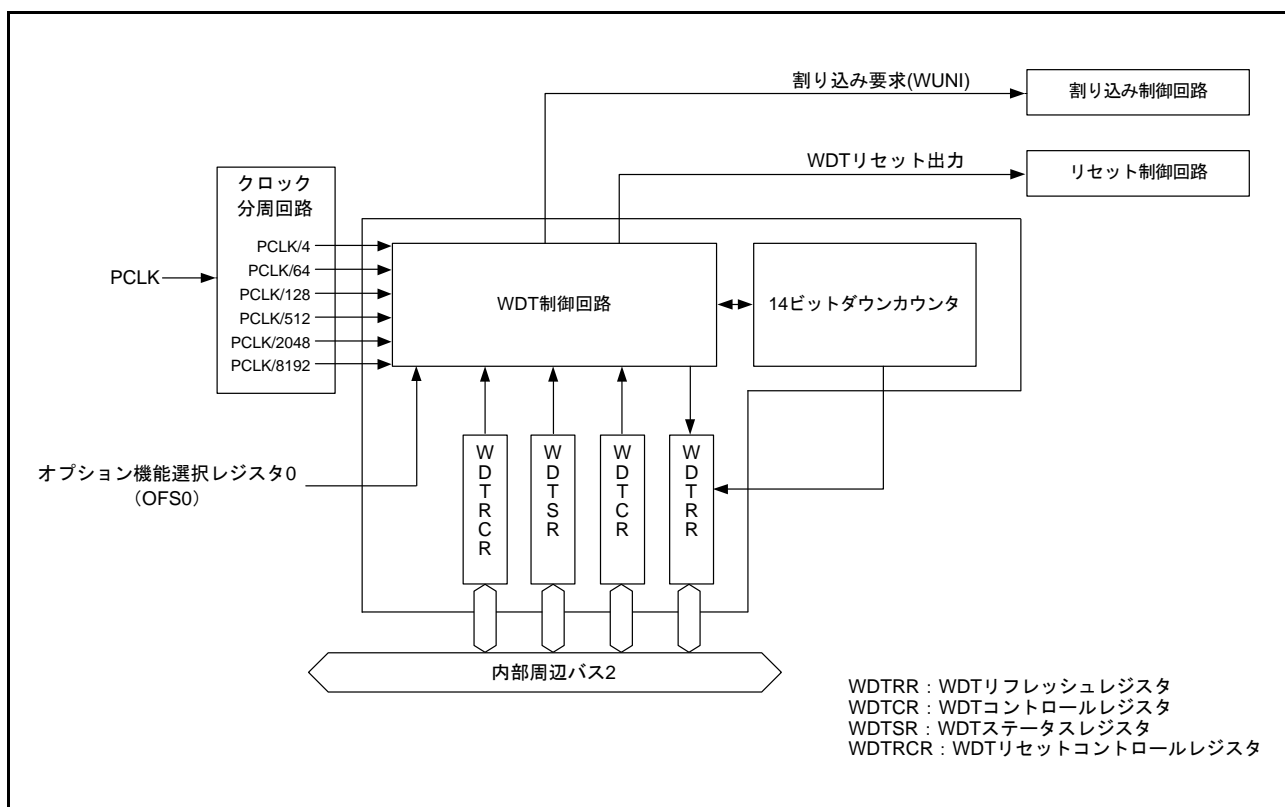
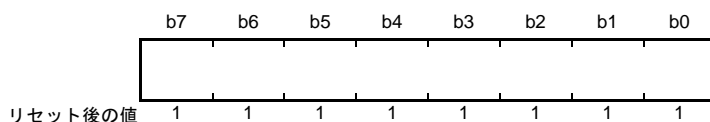


図 27.1 WDTのブロック図

27.2 レジスタの説明

27.2.1 WDT リフレッシュレジスタ (WDTRR)

アドレス 0008 8020h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、WDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む（リフレッシュ動作）ことにより WDT のダウンカウンタをリフレッシュします。

ダウンカウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の WDT タイムアウト期間選択ビット (OFS0.WDTTOPS[1:0]) で設定した値からダウンカウントを行います。レジスタスタートモードの場合、WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、WDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「27.3.3 リフレッシュ動作」を参照してください。

27.2.2 WDT コントロールレジスタ (WDTCR)

アドレス 0008 8022h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]				
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 1 : PCLK/4 0 1 0 0 : PCLK/64 1 1 1 1 : PCLK/128 0 1 1 0 : PCLK/512 0 1 1 1 : PCLK/2048 1 0 0 0 : PCLK/8192 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

WDTCR レジスタへの書き込みには制限があります。詳細については、「27.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、WDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、WDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「27.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを1サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (PCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 27.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および PCLK 数の関係を示します。

表 27.2 タイムアウト期間設定表

CKS[3:0] ビット				TOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	PCLK 数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	PCLK/4	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	PCLK/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	PCLK/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	PCLK/512	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	PCLK/2048	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	PCLK/8192	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

CKS[3:0] ビット (クロック分周比選択ビット)

WDT は、周辺クロック (PCLK) を分周する分周比設定を 4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周から選択します。TOPS[1:0] ビット設定と合わせて、WDT のカウント期間を PCLK の 4096 ~ 134217728 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始/終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 27.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始/終了位置のカウンタ値を示します。

表27.3 タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 27.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可/禁止期間の関係を示します。

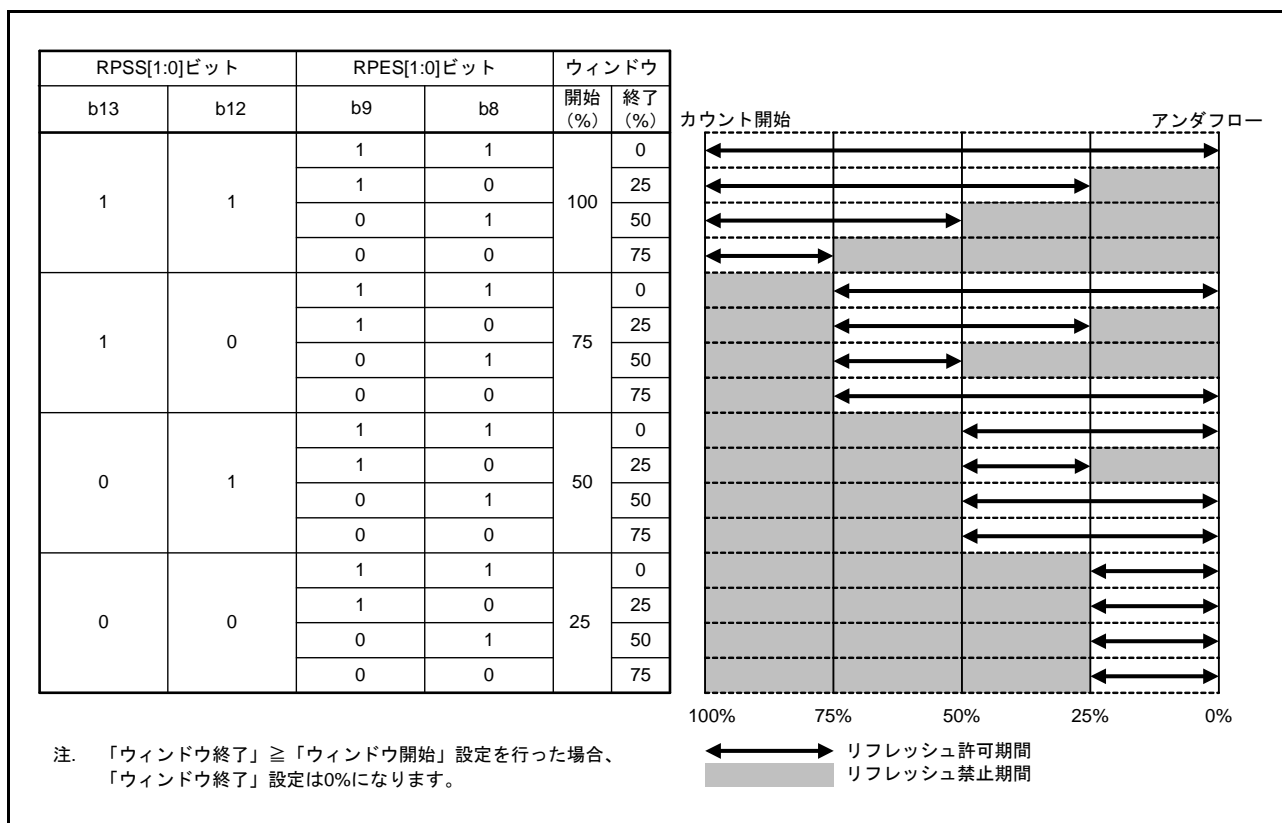
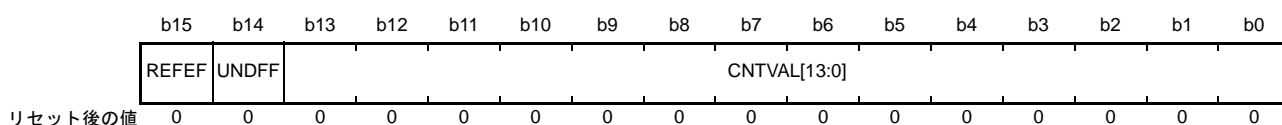


図 27.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

27.2.3 WDT ステータスレジスタ (WDTSR)

アドレス 0008 8024h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値ビット	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0: アンダフローなし 1: アンダフロー発生	R(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーなし 1: リフレッシュエラー発生	R(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

WDTSR レジスタは、WDT へのリセット要因により初期化されます。それ以外のリセット要因では初期化されません。

CNTVAL[13:0] ビット (ダウンカウンタ値ビット)

ダウンカウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

ダウンカウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、ダウンカウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

27.2.4 WDT リセットコントロールレジスタ (WDTRCR)

アドレス 0008 8026h

	b7	b6	b5	b4	b3	b2	b1	b0
RSTIR QS	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0 : ノンマスクابل割り込み要求出力を許可 1 : リセット出力を許可	R/W

WDTRCR レジスタへの書き込みには制限があります。詳細については、「27.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、WDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、WDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「27.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

27.2.5 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) については、「27.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

27.3 動作説明

27.3.1 カウント開始条件別の各動作

WDT のスタートモードの選択は、オプション機能選択レジスタ 0 (OFS0) の WDT スタートモード選択ビット (OFS0.WDTSTRT) で行います。

OFS0.WDTSTRT ビットが“1” (レジスタスタートモード) の場合、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) の設定が有効となり、WDT リフレッシュレジスタ (WDTRR) へのリフレッシュ動作でカウントが開始されます。OFS0.WDTSTRT ビットが“0” (オートスタートモード) の場合、OFS0 レジスタが有効となり、リセット後、自動的にカウントが開始されます。

27.3.1.1 レジスタスタートモード

オプション機能選択レジスタ 0 (OFS0) の WDT スタートモード選択ビット (OFS0.WDTSTRT) が“1” の場合、レジスタスタートモードとなり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) が有効となります。

リセット解除後、WDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、また WDTRCR レジスタにリセット出力/割り込み要求出力の設定を行います。その後、リフレッシュ動作でダウンカウンタにタイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。リセット出力、または割り込み要求出力の選択は、リセット割り込み要求選択ビット (WDTRCR.RSTIRQS) の設定により行います。

図 27.3 に以下の条件での動作例を示します。

- WDT スタートモード選択ビット (OFS0.WDTSTRT) : “1” (レジスタスタートモード)
- リセット割り込み要求選択ビット (WDTRCR.RSTIRQS) : “1” (リセット出力許可)
- ウィンドウ開始位置選択ビット (WDTCR.RPSS[1:0]) : “10b” (75%)
- ウィンドウ終了位置選択ビット (WDTCR.RPES[1:0]) : “10b” (25%)

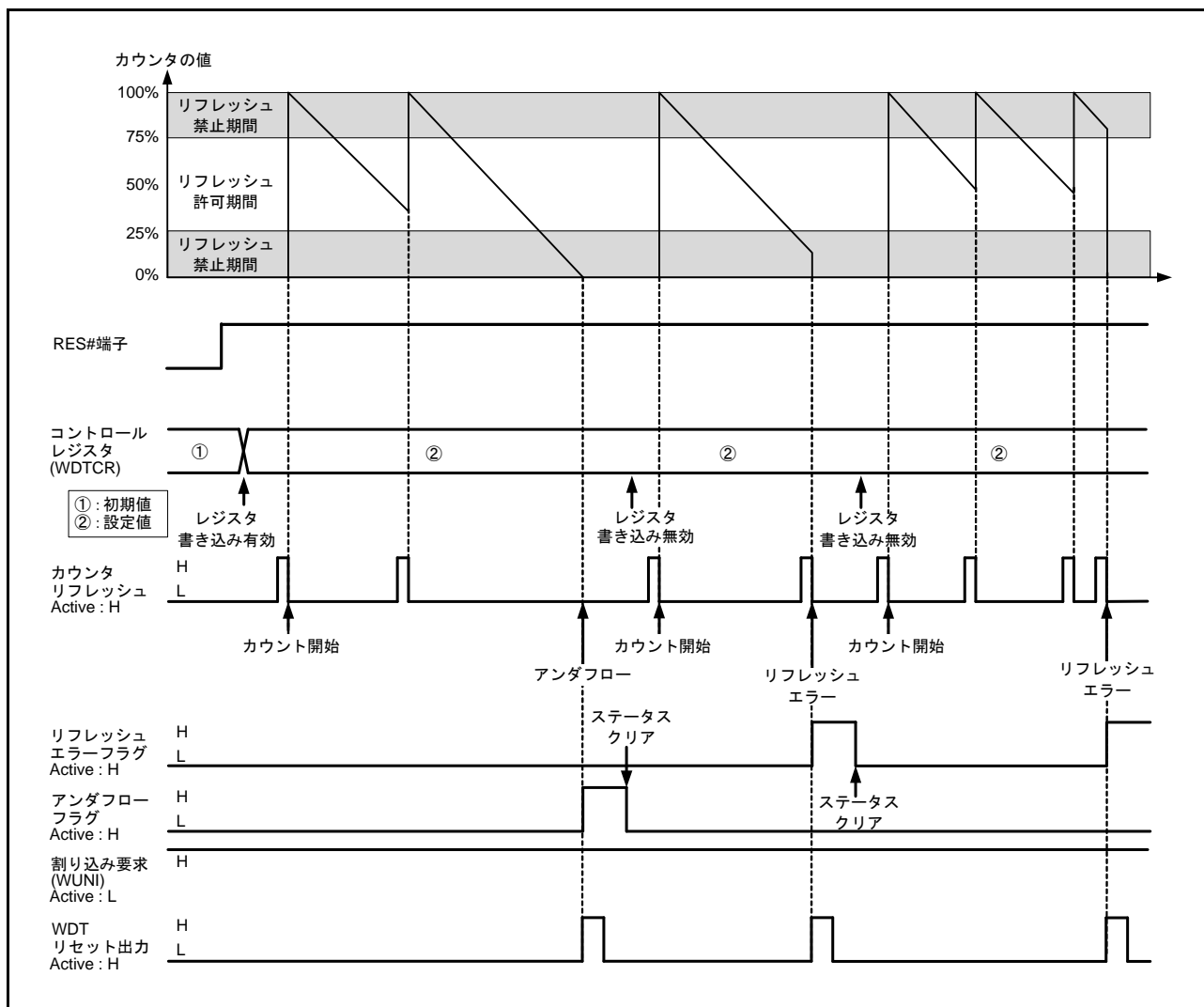


図 27.3 レジスタスタートモード動作例

27.3.1.2 オートスタートモード

オプション機能選択レジスタ0のWDTスタートモード選択ビット (OFS0.WDTSTRT) が“0”の場合、オートスタートモードとなり、WDTコントロールレジスタ (WDTCR)、WDTリセットコントロールレジスタ (WDTRCR) が無効となります。

また、リセット期間中にオプション機能選択レジスタ0 (OFS0) によって、クロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求出力が設定されます。その後、リセット解除でダウンカウンタにWDTタイムアウト期間選択ビット (OFS0.WDTPS[1:0]) で設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDTはリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDTはリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。リセットまたはノンマスカブル割り込み要求を1カウントサイクル出力後、ダウンカウンタはタイムアウト期間をリロードし、カウント動作を再開します。リセット出力、または割り込み要求出力の選択は、WDTリセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) の設定により行います。

図 27.4 に以下の条件での動作例を示します。

- WDT スタートモード選択ビット (OFS0.WDTSTRT) : “0” (オートスタートモード)
- リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) : “0” (ノンマスカブル割り込み要求出力許可)
- ウィンドウ開始位置選択ビット (OFS0.WDTRPSS[1:0]) : “10b” (75%)
- ウィンドウ終了位置選択ビット (OFS0.WDTRPES[1:0]) : “10b” (25%)

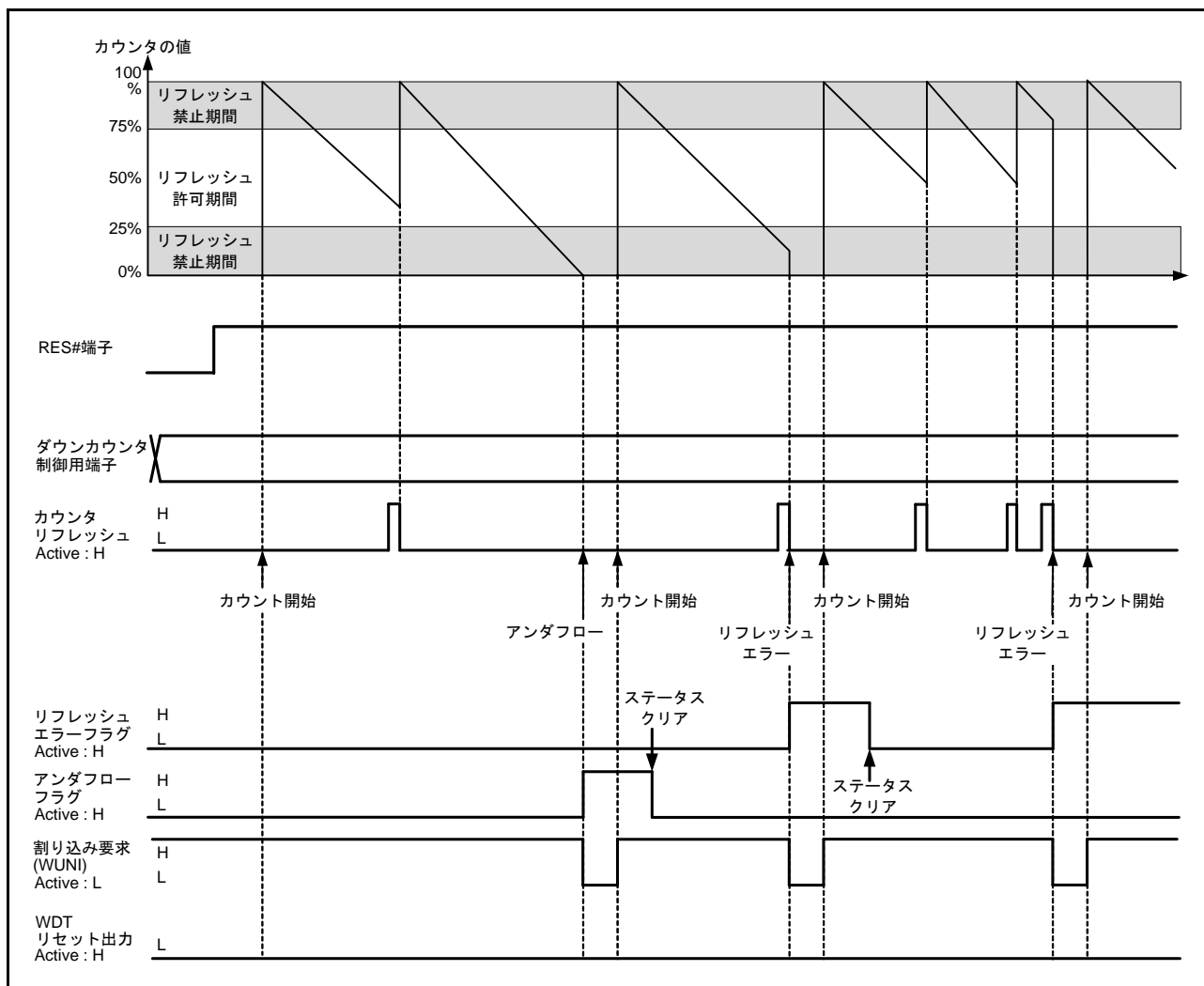


図 27.4 オートスタートモード動作例

27.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは WDTCR、WDTRCR レジスタへ書き込みを行うと、WDT 内部のプロテクト信号が“1”となり、以後 WDTCR、WDTRCR レジスタへの書き込みをプロテクトします。

WDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 27.5 に WDTCR レジスタ書き込み制御波形を示します。

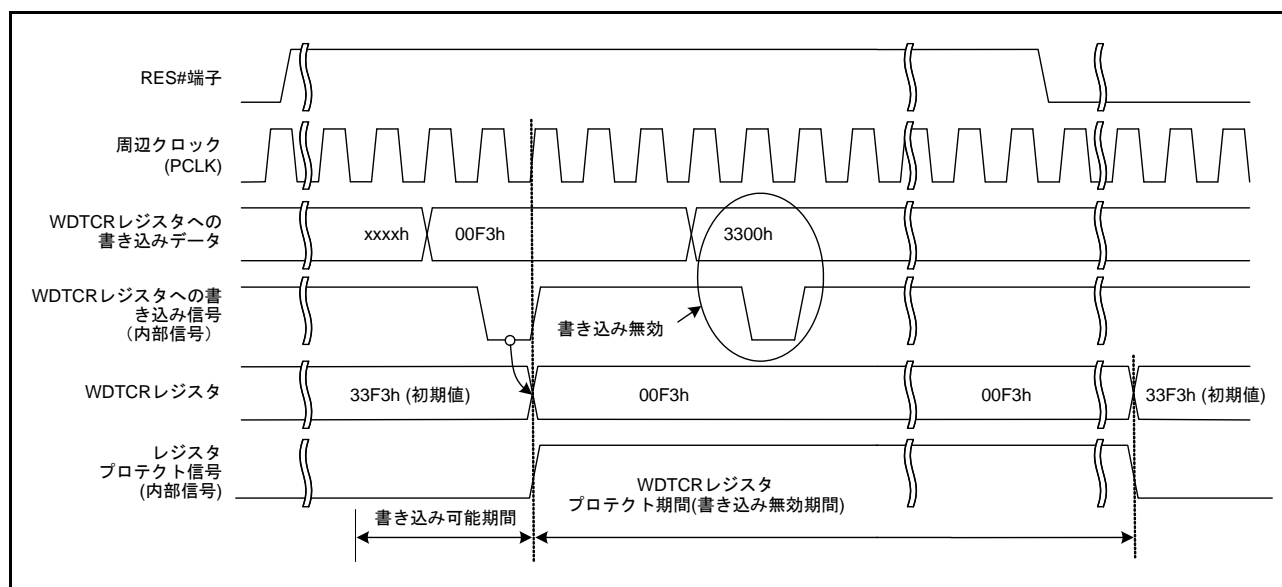


図 27.5 WDTCR レジスタ書き込み制御波形

27.3.3 リフレッシュ動作

ダウンカウンタのリフレッシュ、およびダウンカウンタ動作開始（リフレッシュによるカウント開始）を行うには、WDT リフレッシュレジスタ (WDTRR) へ“00h”書き込みに続けて“FFh”書き込みを行います。“00h”書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、WDTRR レジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h”（1回目）→“00h”（2回目）の書き込みを行った場合でも、その後“FFh”を書き込むことにより、“00h”→“FFh”順の書き込み動作が成立するため、“00h”（n-1回目）→“00h”（n回目）→“FFh”のような書き込み動作も有効となり、リフレッシュを行います。“00h”以前の書き込みが“00h”以外でも同様に、“00h”→“FFh”順の書き込み動作が成立すると、リフレッシュを行います。また、WDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、WDTRR レジスタ以外へのアクセス、またはWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h”（n-1回目） → “00h”（n回目） → “FFh”
- “00h” → 別レジスタアクセスまたはWDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h”（“00h”以外） → “FFh”
- “00h” → “54h”（“FFh”以外）
- “00h” → “AAh”（“00h”および“FFh”以外） → “FFh”

リフレッシュ動作として、WDTRR レジスタへの“00h”の書き込みがリフレッシュ許可期間外であっても、WDTRR レジスタへの“FFh”の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、ダウンカウンタがリフレッシュされるタイミングは、WDTRR レジスタに“FFh”を書き込み後、カウントサイクル数で最大4サイクル必要となります（1サイクル間の周辺クロック（PCLK）数は、クロック分周比選択ビット（WDTCR.CKS[3:0]）の設定値により異なります）。そのため、リフレッシュ許可期間終了位置から4カウント前、もしくはダウンカウンタがアンダフローする4カウント前までに、WDTRR レジスタへの“FFh”書き込みを完了してください。ダウンカウンタの値はダウンカウンタ値ビット（WDTSR.CNTVAL[13:0]）で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置が“1FFFh”とした場合、WDTRR レジスタへの“00h”の書き込みが“1FFFh”より前（たとえば“2002h”）であっても、WDTSR.CNTVAL[13:0] ビットの値が“1FFFh”になってから、WDTRR レジスタへ“FFh”を書き込めばリフレッシュを行います。
- ウィンドウ終了位置が“1FFFh”とした場合、WDTRR レジスタへ“00h” → “FFh”を書き込み直後にWDTSR.CNTVAL[13:0] ビットの値を読み出して“2003h”（“1FFFh”の4カウント前）以上であればリフレッシュを行います。
- “0000h”までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能となりますが、この場合WDTRR レジスタへ“00h” → “FFh”を書き込み直後にWDTSR.CNTVAL[13:0] ビットの値を読み出して“0003h”（アンダフローの4カウント前）以上であればアンダフローは発生せず、リフレッシュを行います。

図 27.6 にクロック分周比が PCLK /64 の場合の WDT リフレッシュ動作波形を示します。

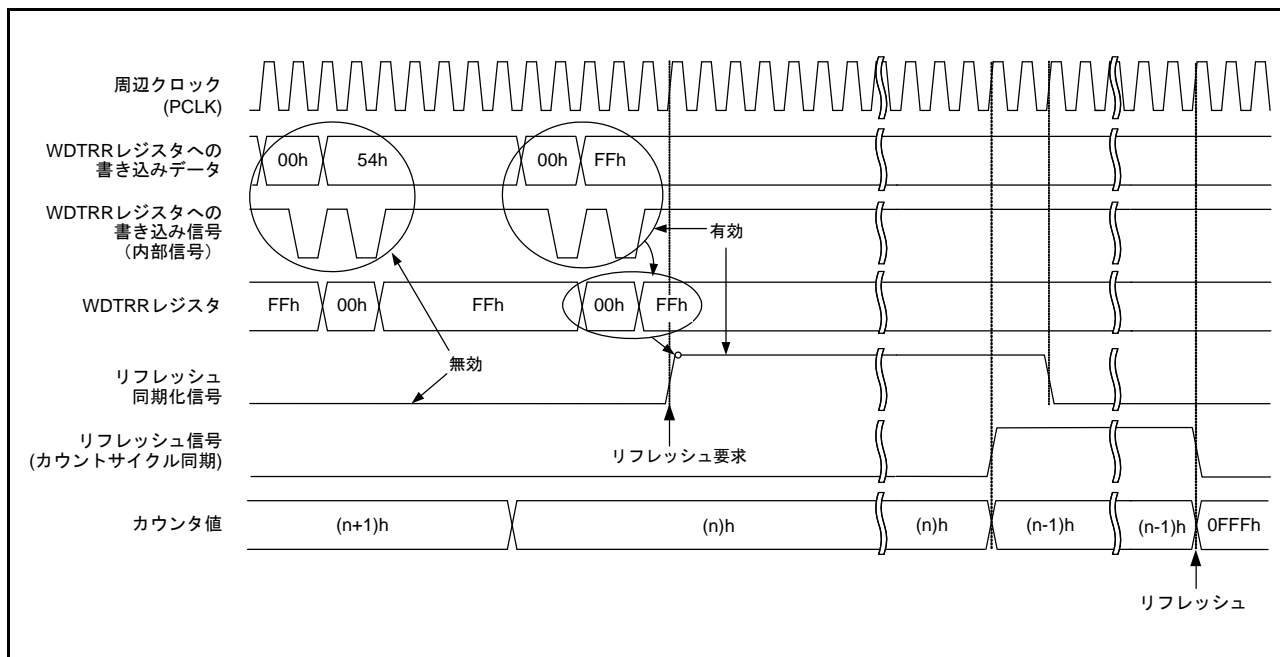


図 27.6 WDT リフレッシュ動作波形 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)

27.3.4 ステータスフラグ

リフレッシュエラーフラグ (WDTSR.REFEF)、アンダフローフラグ (WDTSR.UNDFE) は、WDT がリセットを出力した場合のリセット要因、または WDT の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に WDTSR.REFEF フラグ、または WDTSR.UNDFE フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を“0”にするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、“0”にしなくても動作に影響を与えません。“0”にしない場合は、次に WDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に WDT の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、“0”書き込みによるフラグクリア反映後の値を読み出すためには、PCLK で数クロック (最小 5 クロック) 必要となります。

27.3.5 リセット出力

レジスタスタートモード時、リセット割り込み選択ビット (WDTRCR.RSTIRQS) を“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を“1”にした場合、ダウンカウンタのアンダフロー、またはリフレッシュエラーにより、1 カウントサイクル間リセットを出力します。

レジスタスタートモードでは、リセット出力後、ダウンカウンタは初期状態 (ALL“0”) で保持されます。リセットを解除し再起動後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

27.3.6 割り込み要因

レジスタスタートモード時、リセット割り込み選択ビット (WDTRCR.RSTIRQS) を“0”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を“0”にした場合、ダウンカウンタのアンダフローまたはリフレッシュエラーが発生したとき、ノンマスカブル割り込み (WUNI) が発生します。

表 27.4 WDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
WUNI	ダウンカウンタのアンダフロー リフレッシュエラー	不可能	不可能

27.3.7 ダウンカウンタ値の読み出し

WDTはカウンタ値をWDTステータスレジスタのダウンカウンタ (WDTSR.CNTVAL[13:0] ビット) へ格納します。WDTSR.CNTVAL[13:0] ビットへ格納された値を読み出すことで、カウンタ値を確認することができます。

図 27.7 にクロック分周比が PCLK /64 の場合のダウンカウンタ値の読み出し処理を示します。

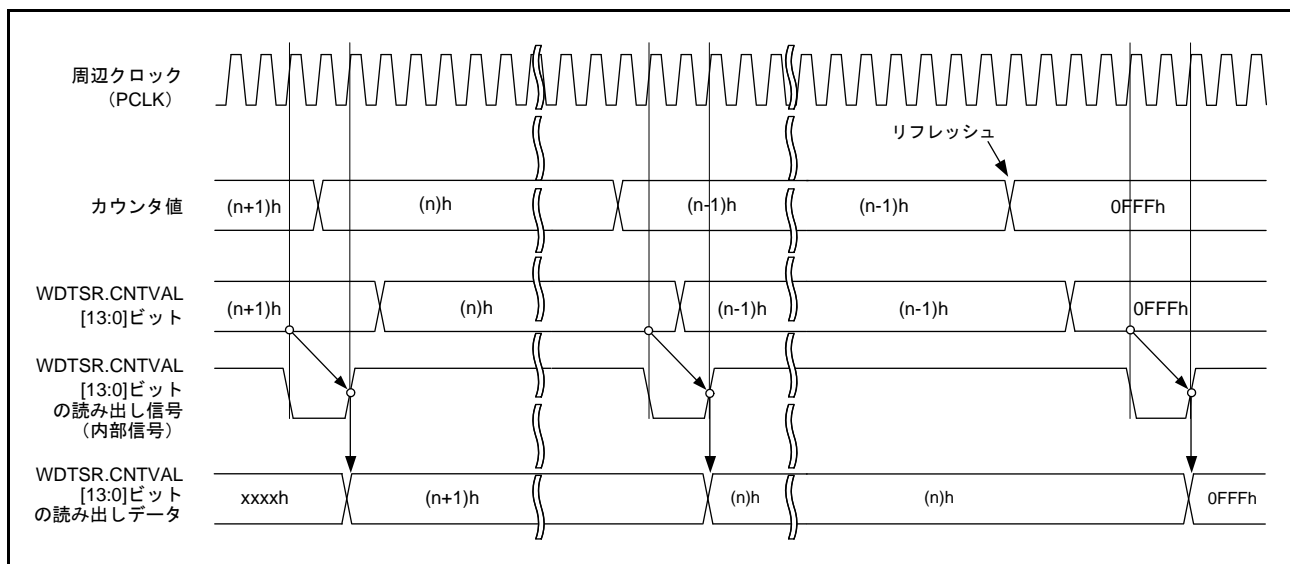


図 27.7 WDT ダウンカウンタ値の読み出し処理 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)

27.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

表 27.5 にオプション機能選択レジスタ 0 (OFS0) によるダウンカウンタ制御、リセット出力または割り込み要求出力制御と WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) の対応を示します。オプション機能選択レジスタ 0 (OFS0) と WDTCR、WDTRCR レジスタ制御の有効/無効切り替えは、WDT スタートモード選択ビット (OFS0.WDTSTRT) にて行います。

なお、オプション機能選択レジスタ 0 (OFS0) の設定は、WDT 動作中は固定してください。

OFS0 レジスタについては、「7.2.1 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表27.5 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.WDTSTRT = 0	WDT レジスタ (レジスタスタートモード時有効) OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTTOPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.WDTRSTIRQS	WDTRCR.RSTIRQS

28. 独立ウォッチドッグタイマ (IWDTa)

独立ウォッチドッグタイマ (IWDT) は、プログラムの暴走を検知するために従来のウォッチドッグタイマとは独立して使用するウォッチドッグタイマです。

IWDT は 14 ビットのダウンカウンタを内蔵しており、ダウンカウントしたカウント値がアンダフローに到達すると、リセット出力によって本 LSI をリセットすることができます。または、カウント値がアンダフローに到達することによって、割り込み要求の発生を選択することもできます。ダウンカウンタのカウント値をリフレッシュすることによってカウント値を初期値に戻し再びカウントすることができます。また、リフレッシュ可能な期間を設定することができます。リフレッシュ可能な期間にリフレッシュを行うとカウンタを初期化し再度カウントすることができますが、リフレッシュ可能期間外にリフレッシュを行うとリセットまたは割り込み要求を出力します。これによってリフレッシュ間隔を加味したプログラムの暴走を検知できます。なお、アンダフローもしくはリフレッシュ可能期間外のリフレッシュ後は、IWDT はカウントを停止します。カウントの再開は、レジスタスタートモードの場合にはリフレッシュ実施後に、オートスタートモードの場合にはリセット出力 / 割り込み要求出力後に自動的に行います。

28.1 概要

IWDT はリセット解除後、自動的にカウント開始を行うオートスタートモードと、リフレッシュ (レジスタ書き込み) によるカウント開始を行うレジスタスタートモードの 2 種類のモードがあります。

オートスタートモードでは、リセット解除前にオプション機能選択レジスタ 0 (OFS0) に対して、クロック分周比、リフレッシュのウィンドウ開始 / 終了位置、タイムアウト期間、アンダフロー時のリセット出力 / ノンマスカブル割り込み要求出力、およびスリープモードカウント停止制御の設定を行います。

レジスタスタートモードでは、リセット解除後にリフレッシュによるカウント開始前にレジスタに対して、クロック分周比、リフレッシュのウィンドウ開始 / 終了位置、タイムアウト期間、アンダフロー時のリセット出力 / ノンマスカブル割り込み要求出力、およびスリープモードカウント停止制御の設定を行います。

オートスタートモード、もしくはレジスタスタートモードの選択は、オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) で行います。

オートスタートモード選択時 (OFS0.IWDTSTRT = 0)、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSTPR) の設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。

レジスタスタートモード選択時 (OFS0.IWDTSTRT = 1)、オプション機能選択レジスタ 0 (OFS0) の設定は無効となり、IWDTCR、IWDTRCR、および IWDTCSTPR レジスタの設定が有効となります。

表 28.1 に IWDT の仕様を示します。

表28.1 IWDTの仕様

項目	内容
カウントソース (注1)	IWDT専用クロック (IWDTCLK)
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> リセット後、自動的にカウント開始 (オートスタートモード) リフレッシュ (IWDTRRレジスタに00hを書き込み後、FFhを書き込む) により、カウント開始 (レジスタスタートモード)
カウント停止条件	<ul style="list-style-type: none"> リセット (ダウンカウンタ、レジスタは初期値に戻る) アンダフロー、リフレッシュエラー発生時 カウント再開 (オートスタートモード: リセットもしくはノンマスカブル割り込み要求を出力後に自動でカウント再開、レジスタスタートモード: リフレッシュ後にカウント再開)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
割り込み要求出力要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローしたときノンマスカブル割り込み (WUNI) を発生 リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
カウンタ値の読み出し	IWDTSRレジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
イベントリンク機能 (出力)	<ul style="list-style-type: none"> ダウンカウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
出力信号 (内部信号)	<ul style="list-style-type: none"> リセット出力 割り込み要求出力 スリープモードカウント停止制御出力
オートスタートモード (オプション機能選択レジスタ0 (OFS0) 制御)	<ul style="list-style-type: none"> リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット) ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット) ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDRPSS[1:0]ビット) ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0]ビット) リセット出力、または割り込み要求出力の選択 (OFS0.IWDRSTIRQSビット) スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択 (OFS0.IWDTSLCSTPビット)
レジスタスタートモード (IWDTレジスタ制御)	<ul style="list-style-type: none"> リフレッシュ動作後のクロック分周比の選択 (IWDTCR.CKS[3:0]ビット) ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0]ビット) ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCR.RPSS[1:0]ビット) ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCR.RPES[1:0]ビット) リセット出力、または割り込み要求出力の選択 (IWDTCR.RSTIRQSビット) スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択 (IWDTCR.SLCSTPビット)

注1. 周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

IWDT 使用時は、周辺クロック (PCLK) が停止した場合でも動作するように、周辺クロック (PCLK) と IWDT 専用クロック (IWDTCLK) の2つのクロックが必要です。バスインタフェース部とレジスタ部は PCLK で動作し、14ビットのダウンカウンタと制御回路は IWDTCLK で動作します。

周辺クロック動作ブロック、IWDT 専用クロック動作ブロック間の信号は、同期化回路を介して接続されます。

図 28.1 に IWDT のブロック図を示します。

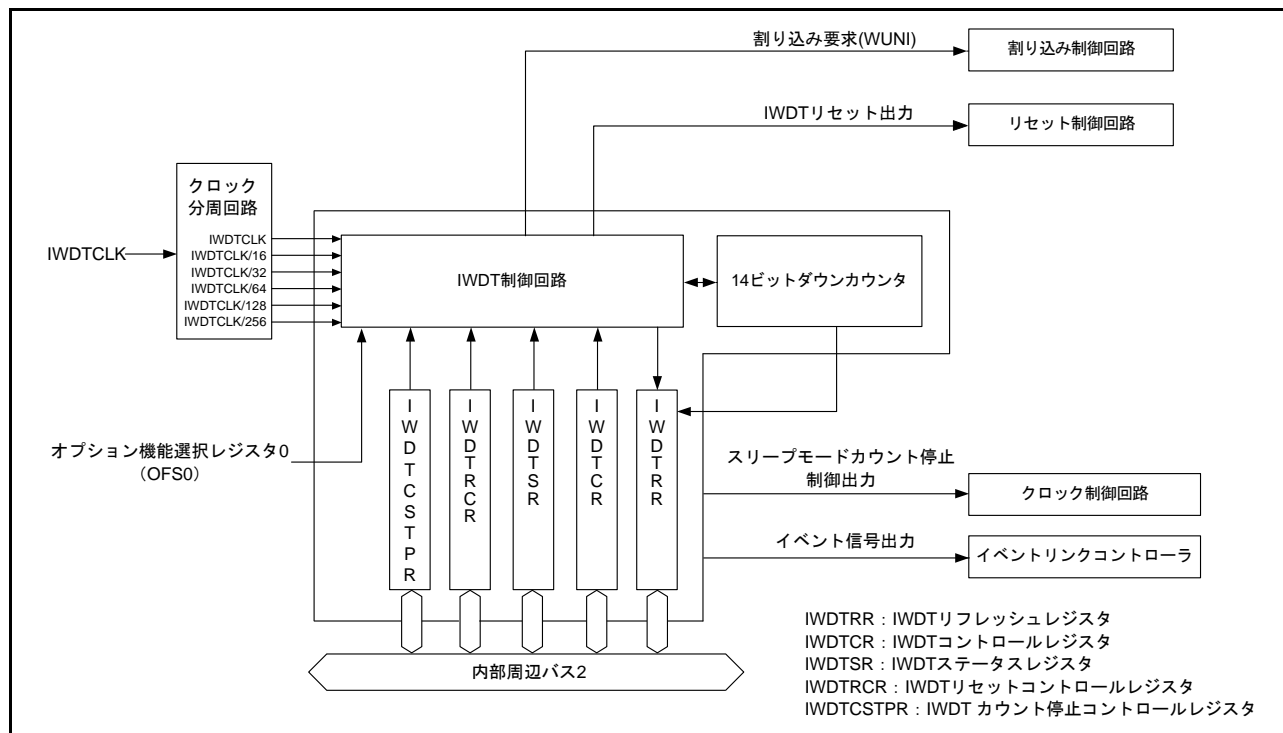
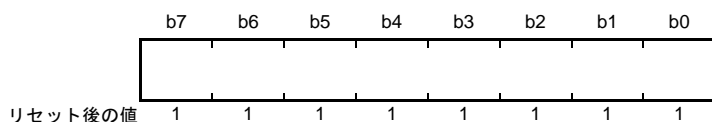


図 28.1 IWDT のブロック図

28.2 レジスタの説明

28.2.1 IWDt リフレッシュレジスタ (IWDtRR)

アドレス 0008 8030h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

IWDtRR レジスタは、IWDt のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、IWDtRR レジスタに“00h”を書き込み後、“FFh”を書き込む（リフレッシュ動作）ことにより IWDt のダウンカウンタをリフレッシュします。

ダウンカウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の IWDt タイムアウト期間選択ビット (OFS0.IWDtTOPS[1:0]) で設定した値からダウンカウントを行います。レジスタスタートモードの場合、IWDt コントロールレジスタのタイムアウト期間選択ビット (IWDtCR.TOPS[1:0]) で設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、IWDtCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「28.3.3 リフレッシュ動作」を参照してください。

28.2.2 IWDT コントロールレジスタ (IWDTCR)

アドレス 0008 8032h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]				
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 0 : IWDTCLK 0 0 1 0 : IWDTCLK/16 0 0 1 1 : IWDTCLK/32 0 1 0 0 : IWDTCLK/64 1 1 1 1 : IWDTCLK/128 0 1 0 1 : IWDTCLK/256 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

IWDTCR レジスタへの書き込みには制限があります。詳細については、「28.3.2 IWDTCR レジスタ、IWDTCR レジスタ、IWDTGSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「28.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを1サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDTCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 28.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および IWDTCLK 数の関係を示します。

表 28.2 タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK 数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	IWDTCLK	1024	1024
				0	1		4096	4096
				1	0		8192	8192
				1	1		16384	16384
0	0	1	0	0	0	IWDTCLK/16	1024	16384
				0	1		4096	65536
				1	0		8192	131072
				1	1		16384	262144
0	0	1	1	0	0	IWDTCLK/32	1024	32768
				0	1		4096	131072
				1	0		8192	262144
				1	1		16384	524288
0	1	0	0	0	0	IWDTCLK/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	IWDTCLK/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	0	1	0	0	IWDTCLK/256	1024	262144
				0	1		4096	1048576
				1	0		8192	2097152
				1	1		16384	4194304

CKS[3:0] ビット (クロック分周比選択ビット)

IWDT は、IWDTCLK を分周する分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。TOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDTCLK の 1024 ~ 4194304 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始/終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 28.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始/終了位置のカウンタ値を示します。

表28.3 タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 28.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可/禁止期間の関係を示します。

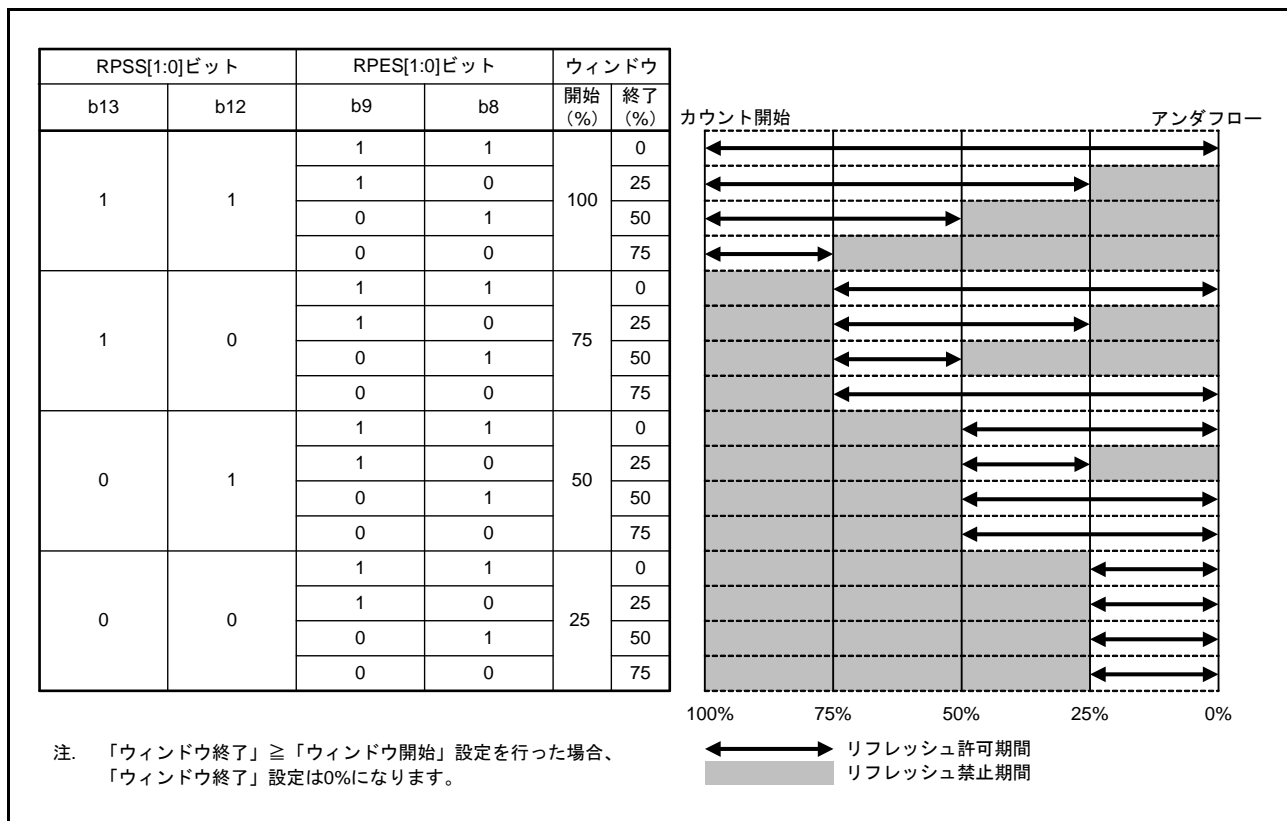
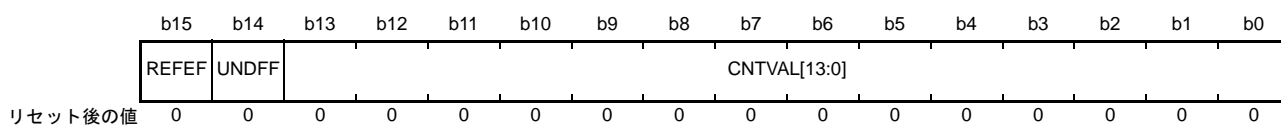


図 28.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

28.2.3 IWDT ステータスレジスタ (IWDTSR)

アドレス 0008 8034h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値ビット	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0: アンダフローなし 1: アンダフロー発生	R(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーなし 1: リフレッシュエラー発生	R(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

IWDTSR レジスタは、IWDT へのリセット要因により初期化されます。それ以外のリセット要因では初期化されません。

CNTVAL[13:0] ビット (ダウンカウンタ値ビット)

ダウンカウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

ダウンカウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、ダウンカウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

28.2.4 IWDT リセットコントロールレジスタ (IWDTRCR)

アドレス 0008 8036h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIR QS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0 : ノンマスクブル割り込み要求出力を許可 1 : リセット出力を許可	R/W

IWDTRCR レジスタへの書き込みには制限があります。詳細については、「28.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「28.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

28.2.5 IWDT カウント停止コントロールレジスタ (IWDTCSSTPR)

アドレス 0008 8038h

	b7	b6	b5	b4	b3	b2	b1	b0
	SLCST P	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	SLCSTP	スリープモードカウント停止制御ビット	0: カウント停止無効 1: スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード遷移時のカウント停止有効	R/W

IWDTCSSTPR レジスタは、低消費電力モードへの遷移時での IWDT のダウンカウンタのカウント停止制御を設定するレジスタです。なお、IWDTCSSTPR レジスタへの書き込みには制限があります。詳細については、「28.3.2 IWDTCSR レジスタ、IWDTRCR レジスタ、IWDTCSSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCSSTPR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTCSSTPR レジスタの各ビットと同様の設定が可能です。詳細については、「28.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

SLCSTP ビット (スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード遷移時のカウント停止を選択します。

28.2.6 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) については、「28.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

28.3 動作説明

28.3.1 カウント開始条件別の各動作

IWDT のスタートモードの選択は、オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) で行います。

OFS0.IWDTSTRT ビットが“1” (レジスタスタートモード) の場合、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、IWDT カウント停止コントロールレジスタ (IWDTCSPTPR) の設定が有効となり、IWDT リフレッシュレジスタ (IWDTRR) へのリフレッシュ動作でカウントが開始されます。OFS0.IWDTSTRT ビットが“0” (オートスタートモード) の場合、オプション機能選択レジスタ 0 (OFS0) が有効となり、リセット後、自動的にカウントが開始されます。

28.3.1.1 レジスタスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が“1” の場合、レジスタスタートモードとなり、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSPTPR) が有効となります。

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、IWDTRCR レジスタにリセット出力/割り込み要求出力、また IWDTCSPTPR レジスタに低消費電力モードへの遷移時での IWDT のダウンカウンタのカウント停止制御の設定を行います。その後、リフレッシュ動作でダウンカウンタにタイムアウト期間選択ビット (IWDTCR.TOPS[1:0]) で選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。リセット出力、または割り込み要求出力の選択は、リセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) の設定により行います。

図 28.3 に以下の条件での動作例を示します。

- IWDT スタートモード選択ビット (OFS0.IWDTSTRT) : “1” (レジスタスタートモード)
- リセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) : “1” (リセット出力許可)
- ウィンドウ開始位置選択ビット (IWDTCR.RPSS[1:0]) : “10b” (75%)
- ウィンドウ終了位置選択ビット (IWDTCR.RPES[1:0]) : “10b” (25%)

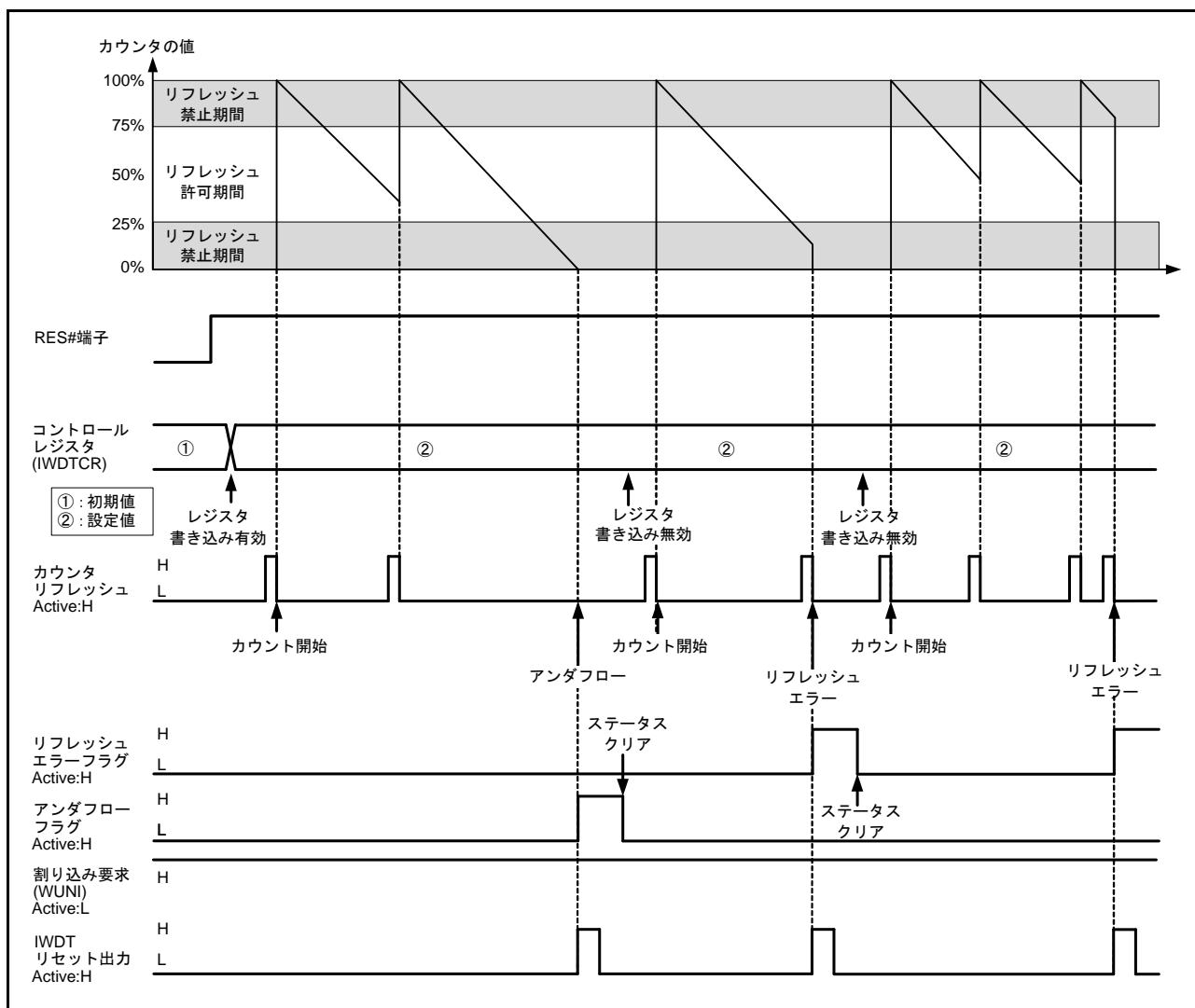


図 28.3 レジスタスタートモード動作例

28.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が “0” の場合、オートスタートモードとなり、IWDT コントロールレジスタ 0 (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSSTPR) が無効となります。

また、リセット期間中にオプション機能選択レジスタ 0 (OFS0) にクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求出力、また低消費電力モードへの遷移時での IWDT のダウンカウンタのカウント停止制御の設定を行います。その後、リセット解除でダウンカウンタに IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスクブル割り込み要求 (WUNI) を出力します。リセットまたはノンマスクブル割り込み要求を 1 カウントサイクル出力後、ダウンカウンタはタイムアウト期間をリロードし、カウント動作を再開します。リセット出力、または割り込み要求出力の選択は、IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) の設定により行います。

図 28.4 に以下の条件での動作例を示します。

- IWDT スタートモード選択ビット (OFS0.IWDTSTRT) : “0” (オートスタートモード)
- リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) : “0” (ノンマスクブル割り込み要求出力許可)
- ウィンドウ開始位置選択ビット (OFS0.IWDRPSS[1:0]) : “10b” (75%)
- ウィンドウ終了位置選択ビット (OFS0.IWDRPES[1:0]) : “10b” (25%)

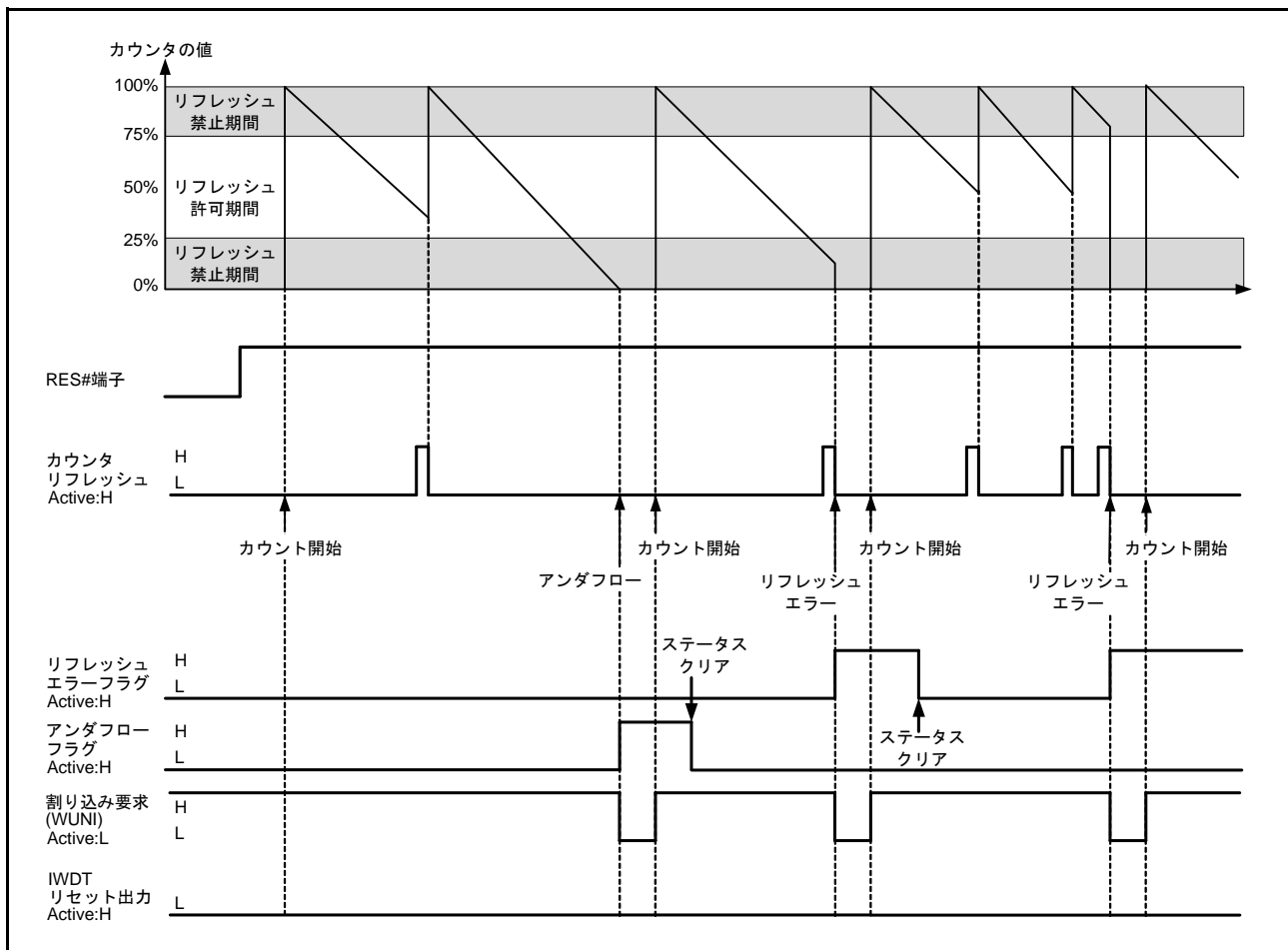


図 28.4 オートスタートモード動作例

28.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSPTPR レジスタ書き込み制御

IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSPTPR) への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは IWDTCR、IWDTRCR、または IWDTCSPTPR レジスタへ書き込みを行うと、IWDT 内部のプロテクト信号が“1”となり、以後 IWDTCR、IWDTRCR、および IWDTCSPTPR レジスタへの書き込みをプロテクトします。

IWDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 28.5 に IWDTCR レジスタ書き込み制御波形を示します。

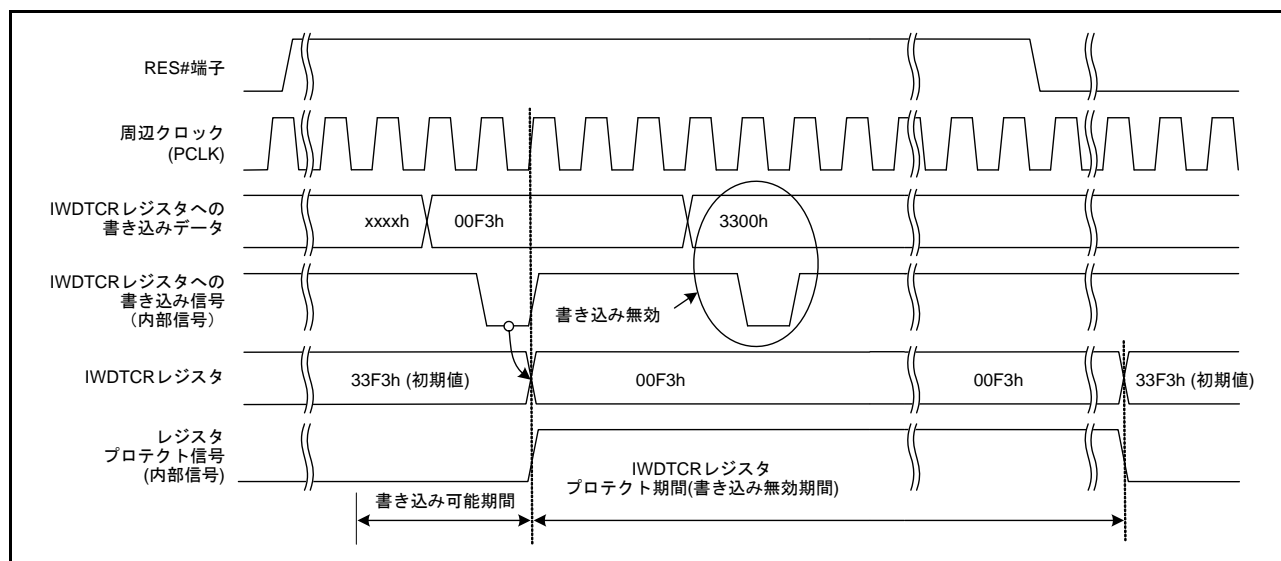


図 28.5 IWDTCR レジスタ書き込み制御波形

28.3.3 リフレッシュ動作

ダウンカウンタのリフレッシュ、およびダウンカウンタ動作開始（リフレッシュによるカウント開始）を行うには、IWDTR リフレッシュレジスタ (IWDTRR) へ“00h”書き込みに続けて“FFh”書き込みを行います。“00h”書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h”（1回目）→“00h”（2回目）の書き込みを行った場合でも、その後“FFh”を書き込むことにより、“00h”→“FFh”順の書き込み動作が成立するため、“00h”（n-1回目）→“00h”（n回目）→“FFh”のような書き込み動作も有効となり、リフレッシュを行います。“00h”以前の書き込みが“00h”以外でも同様に、“00h”→“FFh”順の書き込み動作が成立すると、リフレッシュを行います。また、IWDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、IWDTRR レジスタ以外へのアクセス、またはIWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h”（n-1回目） → “00h”（n回目） → “FFh”
- “00h” → 別レジスタアクセスまたは IWDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h”（“00h”以外） → “FFh”
- “00h” → “54h”（“FFh”以外）
- “00h” → “AAh”（“00h”および“FFh”以外） → “FFh”

リフレッシュ動作として、IWDTRR レジスタへの“00h”の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへの“FFh”の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、ダウンカウンタがリフレッシュされるタイミングは、IWDTRR レジスタに“FFh”を書き込み後、カウントサイクル数で最大4サイクル必要となります（1サイクル間のIWDTR専用クロック（IWDTRCLK）数は、クロック分周比選択ビット（IWDTR.CKS[3:0]）の設定値により異なります）。そのため、リフレッシュ許可期間終了位置から4カウント前、もしくはダウンカウンタがアンダフローする4カウント前までに、IWDTRR レジスタへの“FFh”書き込みを完了してください。ダウンカウンタの値はダウンカウンタ値ビット（IWDTR.CNTVAL[13:0]）で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置が“1FFFh”とした場合、IWDTRR レジスタへの“00h”の書き込みが“1FFFh”より前（たとえば“2002h”）であっても、IWDTR.CNTVAL[13:0] ビットの値が“1FFFh”になってから、IWDTRR レジスタへ“FFh”を書き込めばリフレッシュを行います。
- ウィンドウ終了位置が“1FFFh”とした場合、IWDTRR レジスタへ“00h”→“FFh”を書き込み直後にIWDTR.CNTVAL[13:0] ビットの値を読み出して“2003h”（“1FFFh”の4カウント前）以上であればリフレッシュを行います。
- “0000h”までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能となりますが、この場合IWDTRR レジスタへ“00h”→“FFh”を書き込み直後にIWDTR.CNTVAL[13:0] ビットの値を読み出して“0003h”（アンダフローの4カウント前）以上であればアンダフローは発生せず、リフレッシュを行います。

図 28.6 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT リフレッシュ動作波形を示します。

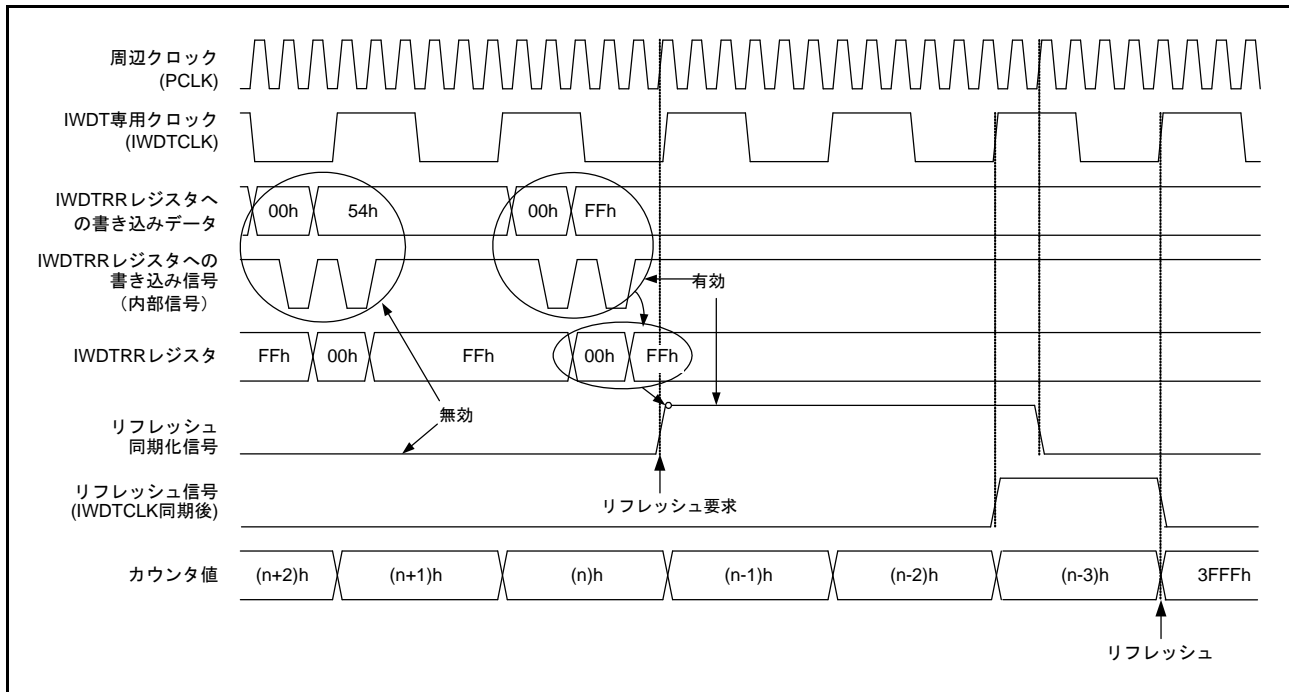


図 28.6 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

28.3.4 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEEF)、アンダフローフラグ (IWDTSR.UNDFE) は、IWDT がリセットを出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に IWDTSR.REFEEF フラグ、または IWDTSR.UNDFE フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を“0”にするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、“0”にしなくても動作に影響を与えません。“0”にしない場合は、次に IWDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に IWDT の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、各フラグに“0”を書いた後、その値が反映されるまでには、最大で IWDTCLK 3 クロックと PCLK 2 クロック必要です。

28.3.5 リセット出力

レジスタスタートモード時、リセット割り込み選択ビット (IWDTSCR.RSTIRQS) を“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を“1”にした場合、ダウンカウンタのアンダフロー、またはリフレッシュエラーにより、1 カウントサイクル間リセットを出力します。

レジスタスタートモードでは、リセット出力後、ダウンカウンタは初期状態 (ALL“0”) で保持されます。リセットを解除し再起動後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

28.3.6 割り込み要因

レジスタスタートモード時、リセット割り込み選択ビット (IWDTRCR.RSTIRQS) を“0”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を“0”にした場合、ダウンカウンタのアンダフローまたはリフレッシュエラーが発生したとき、ノンマスカブル割り込み (WUNI) が発生します。

表 28.4 IWDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
WUNI	ダウンカウンタのアンダフロー リフレッシュエラー	不可能	不可能

28.3.7 ダウンカウンタ値の読み出し

IWDT のダウンカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。そのため、IWDT はカウンタ値を周辺クロック (PCLK) で同期化し、IWDT ステータスレジスタのダウンカウンタ (IWDTSR.CNTVAL[13:0] ビット) へ格納します。

IWDTSR.CNTVAL[13:0] ビットへ格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しには PCLK で数クロック (最大4クロック) 必要となるため、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し 1 カウントずれることがあります。

図 28.7 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT ダウンカウンタ値の読み出し処理を示します。

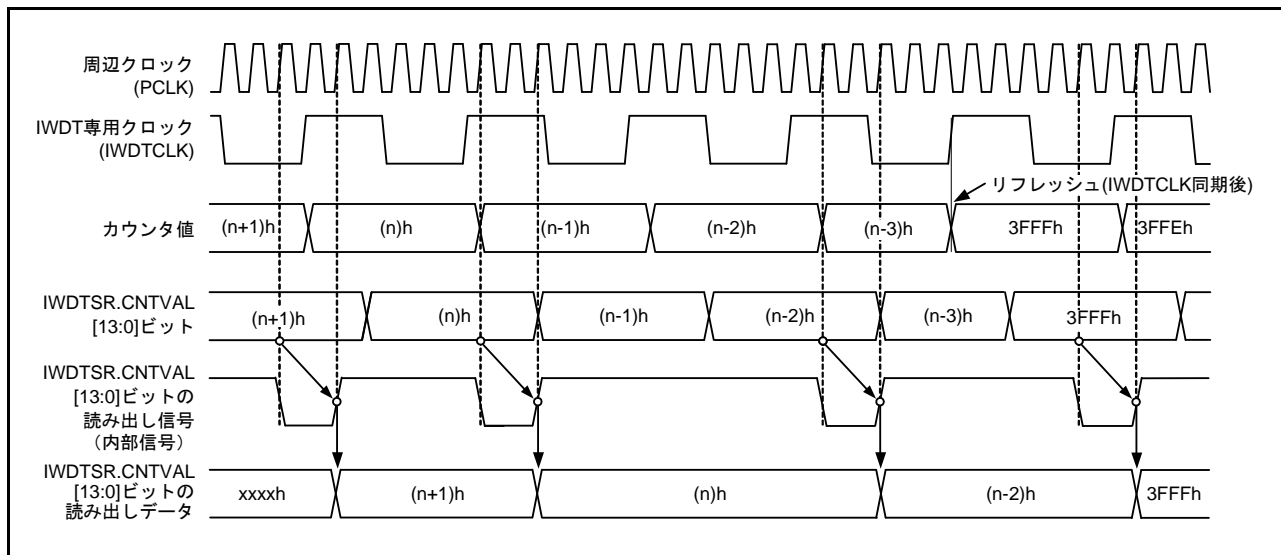


図 28.7 IWDT ダウンカウンタ値の読み出し処理 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

28.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

表 28.5 にオプション機能選択レジスタ 0 (OFS0) によるダウンカウンタ制御、リセット出力または割り込み要求出力制御、カウント停止制御と IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDCSTPR) の対応を示します。オプション機能選択レジスタ 0 (OFS0) と IWDTCR、IWDTRCR、IWDCSTPR レジスタ制御の有効/無効切り替えは、IWDT スタートモード選択ビット (OFS0.IWDTSTRT) にて行います。

なお、オプション機能選択レジスタ 0 (OFS0) の設定は、IWDT 動作中は固定してください。

オプション機能選択レジスタ 0 (OFS0) については、「7.2.1 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表 28.5 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.IWDTSTRT = 0	IWDT レジスタ (レジスタスタートモード時有効) OFS0.IWDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.IWDRSTIRQS	IWDRCR.RSTIRQS
カウント停止	スリープモードカウント停止選択	OFS0.IWDTSLCSTP	IWDCSTPR.SLCSTP

28.4 ELC によるリンク動作

IWDT は ELC により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。ダウンカウンタのアンダフローおよび、リフレッシュエラーによりイベント信号を出力します。

レジスタスタートモード時のリセット割り込み選択ビット (IWDTRCR.RSTIRQS)、もしくはオートスタートモード時のリセット割り込み選択ビットの設定に関わらず、イベント信号を出力します。また、リフレッシュエラーフラグ (IWDTSR.REFEF)、またはアンダフローフラグ (IWDTSR.UNDF) が、“1” の状態で、次の割り込み要因が発生した場合でもイベント信号出力が可能です。

詳細は、「18. イベントリンクコントローラ (ELC)」を参照してください。

28.5 使用上の注意事項

28.5.1 リフレッシュ動作について

リフレッシュタイミングの設定においては、PCLK と IWDTCLK の精度を考慮し、誤差の範囲で周期が変化してもリフレッシュできる値を設定してください。

29. シリアルコミュニケーションインタフェース (SCIc、SCId)

RX210 グループは、独立した 13 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、SCIc モジュール (SCI0 ~ SCI11) と、SCId モジュール (SCI12) から構成されています。

SCIc (SCI0 ~ SCI11) は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。さらに、簡易 I²C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。

SCId (SCI12) は、SCIc の機能に加えて、Start Frame、Information Frame から構成される拡張シリアル通信プロトコルに対応しています。

29.1 概要

表 29.1 に SCIc の仕様を、表 29.2 に SCId の仕様を、表 29.3 に SCI チャンネル別機能一覧を示します。

図 29.1 に SCI0 ~ SCI4、SCI7 ~ SCI11 のブロック図を、図 29.2 に SCI5、SCI6 のブロック図を、図 29.3 に SCI12 (SCId) のブロック図を示します。

表 29.1 SCIc の仕様 (1 / 2)

項目		内容
シリアル通信方式		<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I²C バス 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表 29.4 ~ 表 29.6 参照
データ転送		LSB ファースト / MSB ファースト 選択可能 (注1)
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件 / 再開条件 / 停止条件生成終了 (簡易 I ² C モード用)
消費電力低減機能		チャンネルごとにモジュールストップ状態への設定が可能
調歩同期式モード	データ長	7ビット / 8ビット
	送信ストップビット	1ビット / 2ビット
	パリティ機能	偶数パリティ / 奇数パリティ / パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTS _n 端子、RTS _n 端子を用いた送受信制御が可能
	ブレイク検出	フレーミングエラー発生時、RXD _n 端子のレベルを直接リードすることでブレイクを検出可能
	クロックソース	内部クロック / 外部クロックの選択が可能 TMR からの転送レートクロック入力が可能 (SCI5、SCI6)
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTS _n 端子、RTS _n 端子を用いた送受信制御が可能
	ノイズ除去	RXD _n 端子入力経路にデジタルノイズフィルタを内蔵

表 29.1 SCIcの仕様 (2 / 2)

項目		内容
スマートカード インタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信
簡易I ² Cモード	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
	通信フォーマット	I ² Cバスフォーマット (MSBファースト限定)
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	最大384 kbps
簡易SPIモード	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
イベントリンク機能 (SCI5のみ対応)	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
	エラー (受信エラー・エラーシグナル検出) イベント出力	受信データフルイベント出力
		送信データエンプティイベント出力
		送信完了イベント出力

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表 29.2 SCIdの仕様 (1 / 2)

項目		内容
シリアル通信方式		<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易I²Cバス 簡易SPIバス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表 29.4～表 29.7 参照
データ転送		LSBファースト/MSBファースト選択可能 (注1)
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了 (簡易I ² Cモード用)
消費電力低減機能		モジュールストップ状態への設定が可能
調歩同期式モード	データ長	7ビット/8ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn端子、RTSn端子を用いた送受信制御が可能
	ブレーク検出	フレーミングエラー発生時、RXDn端子のレベルを直接リードすることでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMRからの転送レートクロック入力が可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
クロック同期式モード	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn端子、RTSn端子を用いた送受信制御が可能

表29.2 SCIdの仕様 (2 / 2)

項目	内容	
スマートカード インタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット (MSBファースト限定)
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	最大384 kbps
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
拡張シリアルモード	Start Frame 送信	<ul style="list-style-type: none"> Break Field Low widthの出力が可能/出力完了割り込み機能あり バス衝突検出機能あり/検出割り込み機能あり
	Start Frame 受信	<ul style="list-style-type: none"> Break Field Low widthの検出が可能/検出完了割り込み機能あり Control Field 0、Control Field 1のデータ比較/一致割り込み機能あり Control Field 1にはプライマリ/セカンダリの2種類の比較データを設定可能 Control Field 1にプライオリティインタラプトビットを設定可能 Break FieldがないStart Frameにも対応可能 Control Field 0がないStart Frameにも対応可能 ビットレート測定機能あり
	入出力制御機能	<ul style="list-style-type: none"> TXDX12/RXDX12信号の極性選択が可能 RXDX12信号にデジタルフィルタ機能を設定可能 RXDX12端子とTXDX12端子を兼用した半二重通信が可能 RXDX12端子受信データサンプリングタイミング選択可能 拡張シリアルモード制御部 OFF時、RXDX12受信信号をSCIcへスルー出力可能
	タイマ機能	<ul style="list-style-type: none"> リロードタイマ機能として使用可能

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表29.3 SCIチャンネル別機能一覧

項目	SCI0~SCI4、SCI7~ SCI11	SCI5	SCI6	SCI12
調歩同期式モード	○	○	○	○
クロック同期式モード	○	○	○	○
スマートカードインタフェースモード	○	○	○	○
簡易I ² Cモード	○	○	○	○
簡易SPIモード	○	○	○	○
拡張シリアルモード	—	—	—	○
TMRクロック入力	—	○	○	○
イベントリンク機能	—	○	—	—

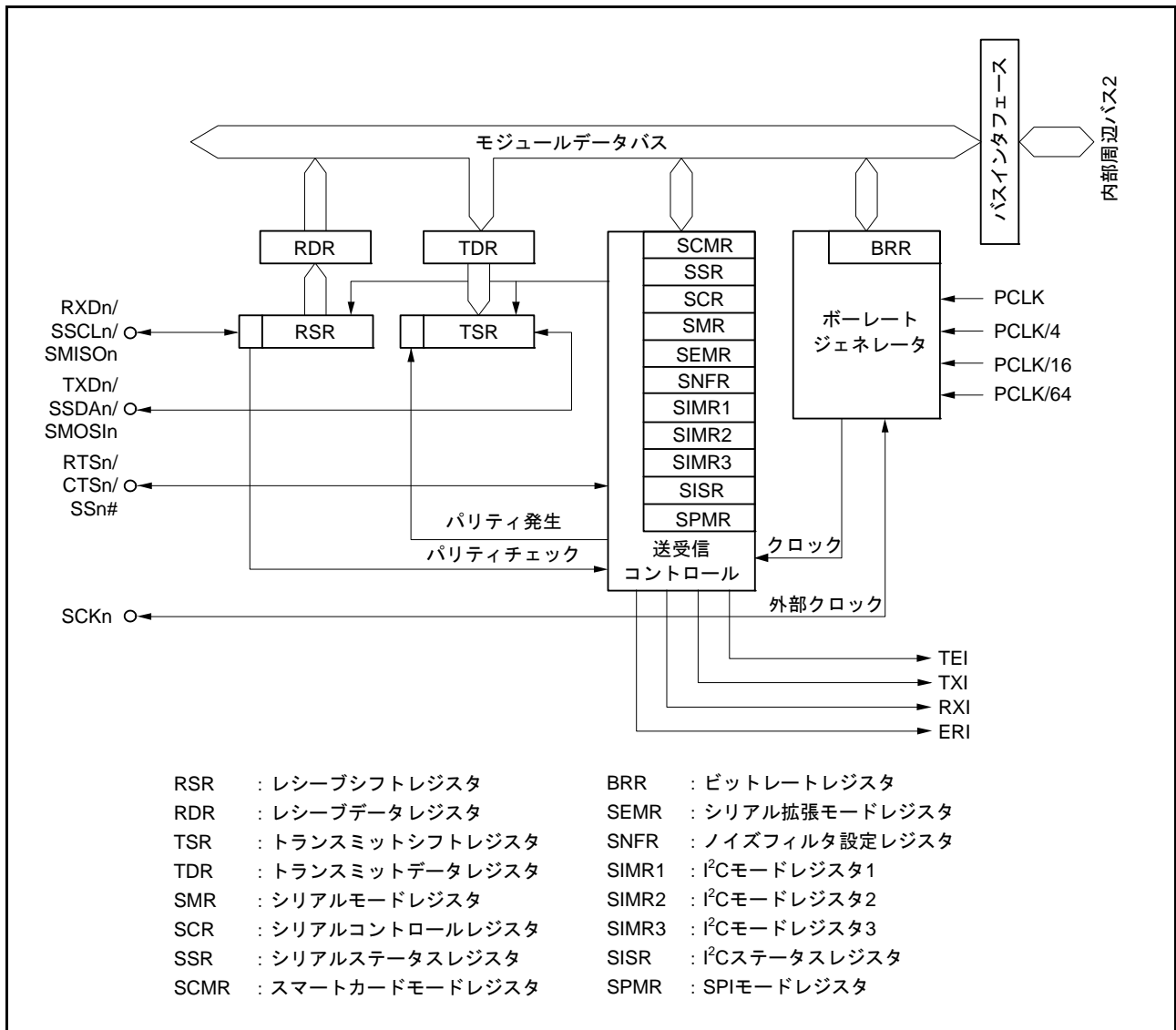


図 29.1 SCI0 ~ SCI4、SCI7 ~ SCI11 のブロック図

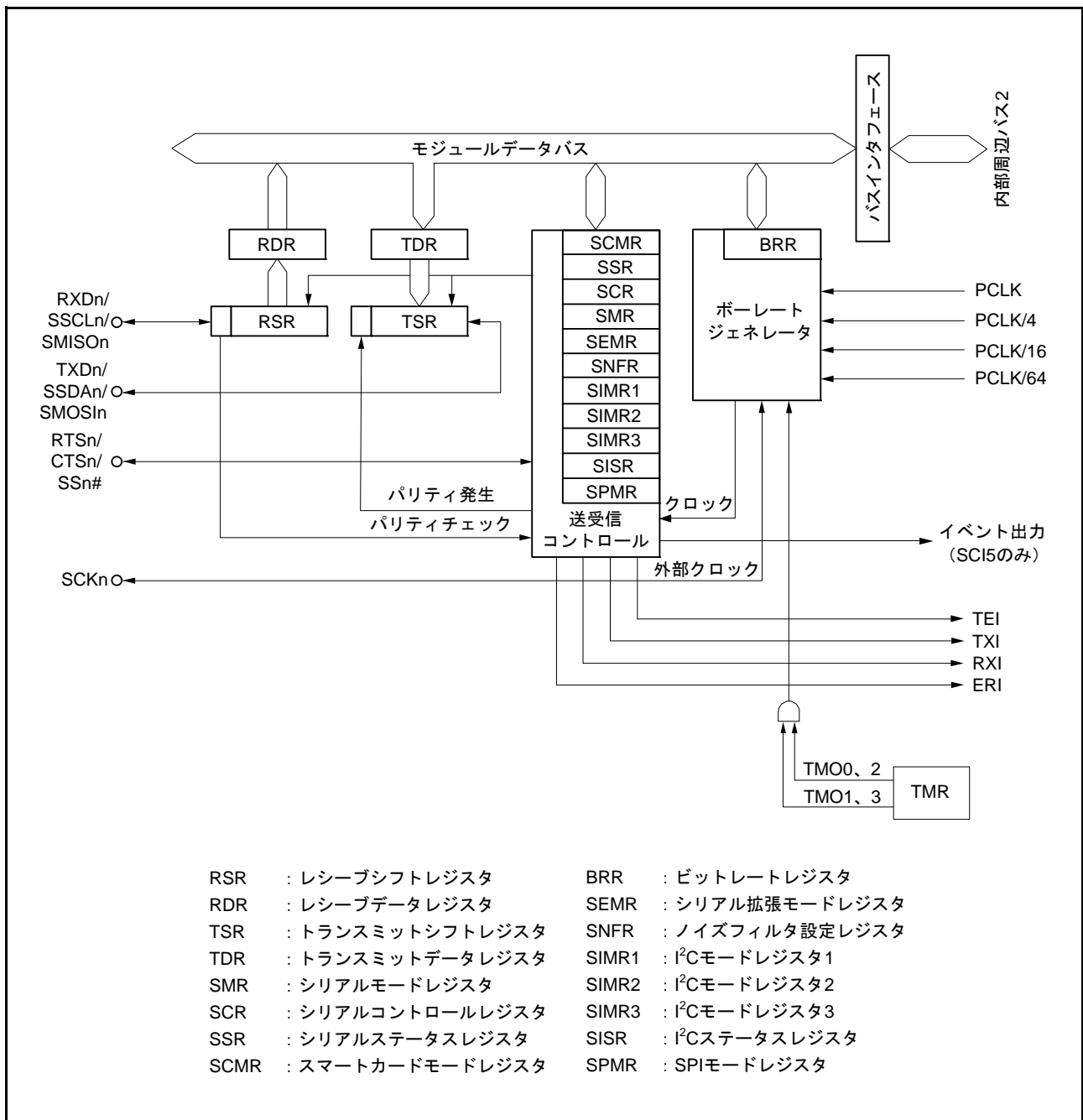


図 29.2 SCI5、SCI6 のブロック図

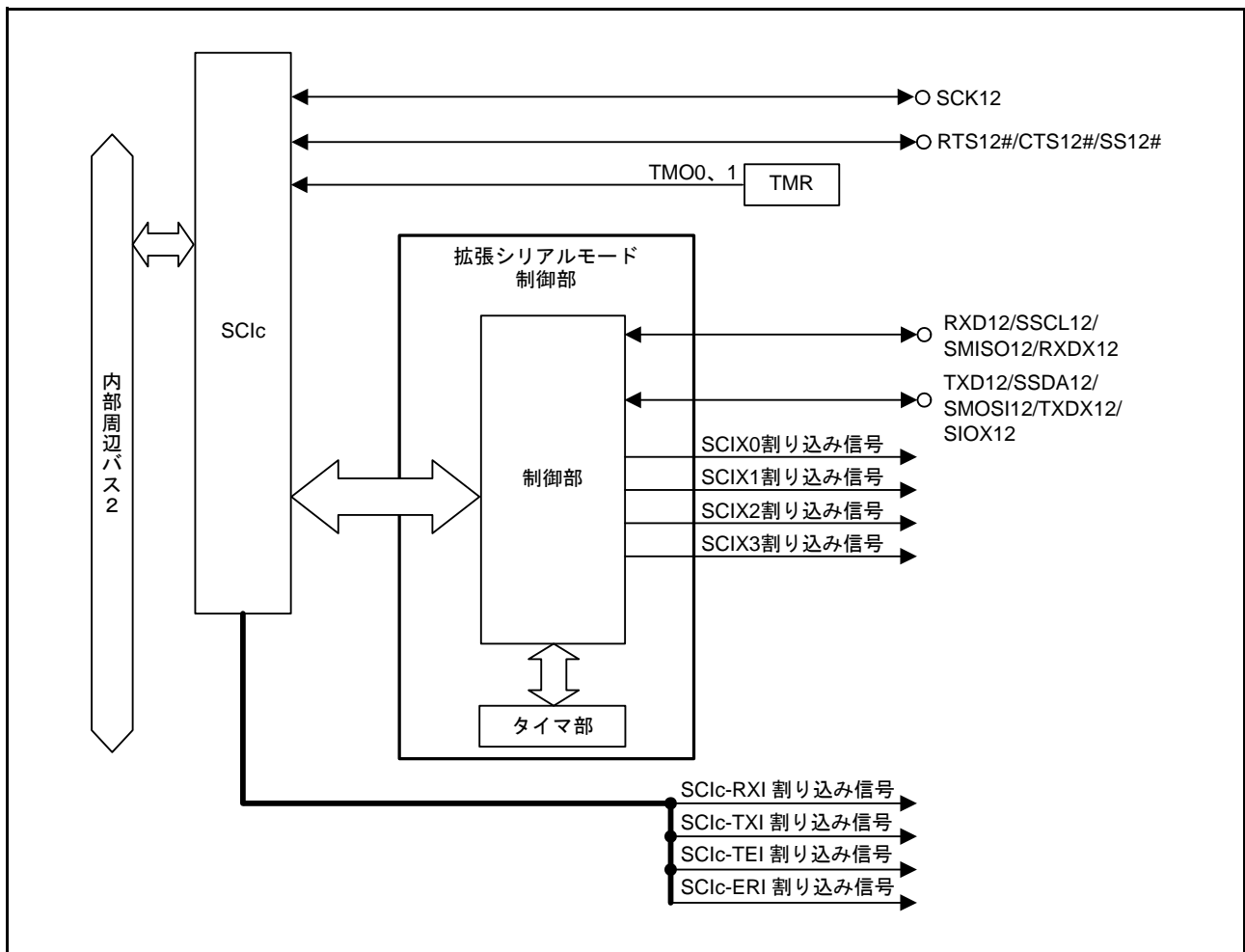


図 29.3 SC12 (SCId) のブロック図

表 29.4 ~ 表 29.7 に SCI の入出力端子をモード別に示します。

表 29.4 SCI の入出力端子 (調歩同期式/クロック同期式モード) (1 / 2)

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	RXD0	入力	SCI0の受信データ入力端子
	TXD0	出力	SCI0の送信データ出力端子
	CTS0#/RTS0#	入出力	SCI0送受信開始制御用入出力端子
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1	入力	SCI1の受信データ入力端子
	TXD1	出力	SCI1の送信データ出力端子
	CTS1#/RTS1#	入出力	SCI1送受信開始制御用入出力端子
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	RXD2	入力	SCI2の受信データ入力端子
	TXD2	出力	SCI2の送信データ出力端子
	CTS2#/RTS2#	入出力	SCI2送受信開始制御用入出力端子
SCI3	SCK3	入出力	SCI3のクロック入出力端子
	RXD3	入力	SCI3の受信データ入力端子
	TXD3	出力	SCI3の送信データ出力端子
	CTS3#/RTS3#	入出力	SCI3送受信開始制御用入出力端子
SCI4	SCK4	入出力	SCI4のクロック入出力端子
	RXD4	入力	SCI4の受信データ入力端子
	TXD4	出力	SCI4の送信データ出力端子
	CTS4#/RTS4#	入出力	SCI4送受信開始制御用入出力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	RXD5	入力	SCI5の受信データ入力端子
	TXD5	出力	SCI5の送信データ出力端子
	CTS5#/RTS5#	入出力	SCI5送受信開始制御用入出力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	RXD6	入力	SCI6の受信データ入力端子
	TXD6	出力	SCI6の送信データ出力端子
	CTS6#/RTS6#	入出力	SCI6送受信開始制御用入出力端子
SCI7	SCK7	入出力	SCI7のクロック入出力端子
	RXD7	入力	SCI7の受信データ入力端子
	TXD7	出力	SCI7の送信データ出力端子
	CTS7#/RTS7#	入出力	SCI7送受信開始制御用入出力端子
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	RXD8	入力	SCI8の受信データ入力端子
	TXD8	出力	SCI8の送信データ出力端子
	CTS8#/RTS8#	入出力	SCI8送受信開始制御用入出力端子
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	RXD9	入力	SCI9の受信データ入力端子
	TXD9	出力	SCI9の送信データ出力端子
	CTS9#/RTS9#	入出力	SCI9送受信開始制御用入出力端子

表 29.4 SCIの入出力端子 (調歩同期式/クロック同期式モード) (2 / 2)

チャンネル	端子名	入出力	機能
SCI10	SCK10	入出力	SCI10のクロック入出力端子
	RXD10	入力	SCI10の受信データ入力端子
	TXD10	出力	SCI10の送信データ出力端子
	CTS10#/RTS10#	入出力	SCI10送受信開始制御用入出力端子
SCI11	SCK11	入出力	SCI11のクロック入出力端子
	RXD11	入力	SCI11の受信データ入力端子
	TXD11	出力	SCI11の送信データ出力端子
	CTS11#/RTS11#	入出力	SCI11送受信開始制御用入出力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	RXD12	入力	SCI12の受信データ入力端子
	TXD12	出力	SCI12の送信データ出力端子
	CTS12#/RTS12#	入出力	SCI12送受信開始制御用入出力端子

表 29.5 SCIの入出力端子 (簡易I²Cモード)

チャンネル	端子名	入出力	機能
SCI0	SSCL0	入出力	SCI0のI ² Cクロック入出力端子
	SSDA0	入出力	SCI0のI ² Cデータ入出力端子
SCI1	SSCL1	入出力	SCI1のI ² Cクロック入出力端子
	SSDA1	入出力	SCI1のI ² Cデータ入出力端子
SCI2	SSCL2	入出力	SCI2のI ² Cクロック入出力端子
	SSDA2	入出力	SCI2のI ² Cデータ入出力端子
SCI3	SSCL3	入出力	SCI3のI ² Cクロック入出力端子
	SSDA3	入出力	SCI3のI ² Cデータ入出力端子
SCI4	SSCL4	入出力	SCI4のI ² Cクロック入出力端子
	SSDA4	入出力	SCI4のI ² Cデータ入出力端子
SCI5	SSCL5	入出力	SCI5のI ² Cクロック入出力端子
	SSDA5	入出力	SCI5のI ² Cデータ入出力端子
SCI6	SSCL6	入出力	SCI6のI ² Cクロック入出力端子
	SSDA6	入出力	SCI6のI ² Cデータ入出力端子
SCI7	SSCL7	入出力	SCI7のI ² Cクロック入出力端子
	SSDA7	入出力	SCI7のI ² Cデータ入出力端子
SCI8	SSCL8	入出力	SCI8のI ² Cクロック入出力端子
	SSDA8	入出力	SCI8のI ² Cデータ入出力端子
SCI9	SSCL9	入出力	SCI9のI ² Cクロック入出力端子
	SSDA9	入出力	SCI9のI ² Cデータ入出力端子
SCI10	SSCL10	入出力	SCI10のI ² Cクロック入出力端子
	SSDA10	入出力	SCI10のI ² Cデータ入出力端子
SCI11	SSCL11	入出力	SCI11のI ² Cクロック入出力端子
	SSDA11	入出力	SCI11のI ² Cデータ入出力端子
SCI12	SSCL12	入出力	SCI12のI ² Cクロック入出力端子
	SSDA12	入出力	SCI12のI ² Cデータ入出力端子

表 29.6 SCIの入出力端子 (簡易SPIモード) (1 / 2)

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	SMISO0	入出力	SCI0のスレーブ送出データ入出力端子
	SMOSI0	入出力	SCI0のマスタ送出データ入出力端子
	SS0#	入力	SCI0チップセレクト入力端子
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	SMISO1	入出力	SCI1のスレーブ送出データ入出力端子
	SMOSI1	入出力	SCI1のマスタ送出データ入出力端子
	SS1#	入力	SCI1チップセレクト入力端子
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	SMISO2	入出力	SCI2のスレーブ送出データ入出力端子
	SMOSI2	入出力	SCI2のマスタ送出データ入出力端子
	SS2#	入力	SCI2チップセレクト入力端子
SCI3	SCK3	入出力	SCI3のクロック入出力端子
	SMISO3	入出力	SCI3のスレーブ送出データ入出力端子
	SMOSI3	入出力	SCI3のマスタ送出データ入出力端子
	SS3#	入力	SCI3チップセレクト入力端子
SCI4	SCK4	入出力	SCI4のクロック入出力端子
	SMISO4	入出力	SCI4のスレーブ送出データ入出力端子
	SMOSI4	入出力	SCI4のマスタ送出データ入出力端子
	SS4#	入力	SCI4チップセレクト入力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	SMISO5	入出力	SCI5のスレーブ送出データ入出力端子
	SMOSI5	入出力	SCI5のマスタ送出データ入出力端子
	SS5#	入力	SCI5チップセレクト入力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	SMISO6	入出力	SCI6のスレーブ送出データ入出力端子
	SMOSI6	入出力	SCI6のマスタ送出データ入出力端子
	SS6#	入力	SCI6チップセレクト入力端子
SCI7	SCK7	入出力	SCI7のクロック入出力端子
	SMISO7	入出力	SCI7のスレーブ送出データ入出力端子
	SMOSI7	入出力	SCI7のマスタ送出データ入出力端子
	SS7#	入力	SCI7チップセレクト入力端子
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	SMISO8	入出力	SCI8のスレーブ送出データ入出力端子
	SMOSI8	入出力	SCI8のマスタ送出データ入出力端子
	SS8#	入力	SCI8チップセレクト入力端子
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	SMISO9	入出力	SCI9のスレーブ送出データ入出力端子
	SMOSI9	入出力	SCI9のマスタ送出データ入出力端子
	SS9#	入力	SCI9チップセレクト入力端子
SCI10	SCK10	入出力	SCI10のクロック入出力端子
	SMISO10	入出力	SCI10のスレーブ送出データ入出力端子
	SMOSI10	入出力	SCI10のマスタ送出データ入出力端子
	SS10#	入力	SCI10チップセレクト入力端子

表 29.6 SCIの入出力端子 (簡易SPIモード) (2 / 2)

チャンネル	端子名	入出力	機能
SCI11	SCK11	入出力	SCI11のクロック入出力端子
	SMISO11	入出力	SCI11のスレーブ送出データ入出力端子
	SMOSI11	入出力	SCI11のマスタ送出データ入出力端子
	SS11#	入力	SCI11チップセレクト入力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	SMISO12	入出力	SCI12のスレーブ送出データ入出力端子
	SMOSI12	入出力	SCI12のマスタ送出データ入出力端子
	SS12#	入力	SCI12チップセレクト入力端子

表 29.7 SCIの入出力端子 (拡張シリアルモード)

チャンネル	端子名	入出力	機能
SCI12	RXDX12	入力	SCI12の受信データ入力端子
	TXDX12	出力	SCI12の送信データ出力端子
	SIOX12	入出力	SCI12送受信データ入出力端子

29.2 レジスタの説明

29.2.1 レシーブシフトレジスタ (RSR)

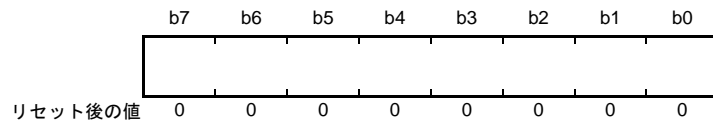
RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

29.2.2 レシーブデータレジスタ (RDR)

アドレス SCI0.RDR 0008 A005h, SCI1.RDR 0008 A025h, SCI2.RDR 0008 A045h, SCI3.RDR 0008 A065h,
SCI4.RDR 0008 A085h, SCI5.RDR 0008 A0A5h, SCI6.RDR 0008 A0C5h, SCI7.RDR 0008 A0E5h,
SCI8.RDR 0008 A105h, SCI9.RDR 0008 A125h, SCI10.RDR 0008 A145h, SCI11.RDR 0008 A165h,
SCI12.RDR 0008 B305h



RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

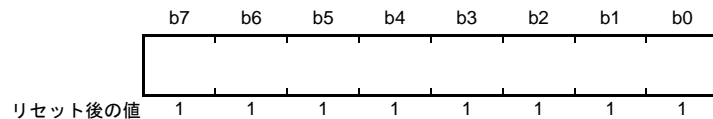
RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

29.2.3 トランスミットデータレジスタ (TDR)

アドレス SCI0.TDR 0008 A003h, SCI1.TDR 0008 A023h, SCI2.TDR 0008 A043h, SCI3.TDR 0008 A063h,
SCI4.TDR 0008 A083h, SCI5.TDR 0008 A0A3h, SCI6.TDR 0008 A0C3h, SCI7.TDR 0008 A0E3h,
SCI8.TDR 0008 A103h, SCI9.TDR 0008 A123h, SCI10.TDR 0008 A143h, SCI11.TDR 0008 A163h,
SCI12.TDR 0008 B303h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

TDR レジスタは CPU から常にリード/ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンpty割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

29.2.4 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

29.2.5 シリアルモードレジスタ (SMR)

注. SMR レジスタは、シリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なります。

(1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI0.SMR 0008 A000h、SCI1.SMR 0008 A020h、SCI2.SMR 0008 A040h、SCI3.SMR 0008 A060h、SCI4.SMR 0008 A080h、SCI5.SMR 0008 A0A0h、SCI6.SMR 0008 A0C0h、SCI7.SMR 0008 A0E0h、SCI8.SMR 0008 A100h、SCI9.SMR 0008 A120h、SCI10.SMR 0008 A140h、SCI11.SMR 0008 A160h、SCI12.SMR 0008 B300h

b7	b6	b5	b4	b3	b2	b1	b0
CM	CHR	PE	PM	STOP	MP	CKS[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLKクロック (n=0) (注1) 0 1 : PCLK/4クロック (n=1) (注1) 1 0 : PCLK/16クロック (n=2) (注1) 1 1 : PCLK/64クロック (n=3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモードビット	(調歩同期式モードのみ有効) 0 : マルチプロセッサ通信機能を禁止 1 : マルチプロセッサ通信機能を許可	R/W (注4)
b3	STOP	ストップビットレングスビット	(調歩同期式モードのみ有効) 0 : 1ストップビット 1 : 2ストップビット	R/W (注4)
b4	PM	パリティモードビット	(調歩同期式モードで、PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注4)
b5	PE	パリティイネーブルビット	(調歩同期式モードのみ有効) ● 送信時 0 : パリティビットなし 1 : パリティビットを付加 ● 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタレングスビット	(調歩同期式モードのみ有効) 0 : データ長8ビットで送受信 (注2) 1 : データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	コミュニケーションモードビット	0 : 調歩同期式モードで動作 1 : クロック同期式モードで動作	R/W (注4)

注1. nは設定値の10進表示で、「29.2.9 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. クロック同期式モードでは、設定は無効でデータ長は8ビット固定です。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB (b7) は送信されません。

注4. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「29.2.9 ビットレートレジスタ (BRR)」を参照してください。

MP ビット (マルチプロセッサモードビット)

マルチプロセッサ通信機能の禁止 / 許可を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット (ストップビットレングスビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの1ビット目のみチェックし、2ビット目が“0”の場合は次の送信フレームのスタートビットと見なします。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット (パリティイネーブルビット)

PE ビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット (キャラクタレングスビット)

送受信データのデータ長を選択します。

クロック同期式モードでは、データ長は8ビット固定です。

CM ビット (コミュニケーションモードビット)

調歩同期式モード / クロック同期式モードを選択します。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット =1)

アドレス SC10.SMR 0008 A000h、SC11.SMR 0008 A020h、SC12.SMR 0008 A040h、SC13.SMR 0008 A060h、
SC14.SMR 0008 A080h、SC15.SMR 0008 A0A0h、SC16.SMR 0008 A0C0h、SC17.SMR 0008 A0E0h、
SC18.SMR 0008 A100h、SC19.SMR 0008 A120h、SC110.SMR 0008 A140h、SC111.SMR 0008 A160h、
SC112.SMR 0008 B300h

	b7	b6	b5	b4	b3	b2	b1	b0
	GM	BLK	PE	PM	BCP[1:0]	CKS[1:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLKクロック (n=0) (注1) 0 1 : PCLK/4クロック (n=1) (注1) 1 0 : PCLK/16クロック (n=2) (注1) 1 1 : PCLK/64クロック (n=3) (注1)	R/W (注3)
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 SCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定値 BCP2 b3 b2 0 0 0 : 93クロック (S=93) (注2) 0 0 1 : 128クロック (S=128) (注2) 0 1 0 : 186クロック (S=186) (注2) 0 1 1 : 512クロック (S=512) (注2) 1 0 0 : 32クロック (S=32) (注2) (初期値) 1 0 1 : 64クロック (S=64) (注2) 1 1 0 : 372クロック (S=372) (注2) 1 1 1 : 256クロック (S=256) (注2)	R/W (注3)
b4	PM	パリティモードビット	(調歩同期モードで、PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注3)
b5	PE	パリティイネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W (注3)
b6	BLK	ブロック転送モードビット	0 : 通常モードで動作します 1 : ブロック転送モードで動作します	R/W (注3)
b7	GM	GSMモードビット	0 : 通常モードで動作します 1 : GSMモードで動作します	R/W (注3)

注1. nは設定値の10進表示で、「29.2.9 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. Sは「29.2.9 ビットレートレジスタ (BRR)」中のSの値を表します。

注3. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「29.2.9 ビットレートレジスタ (BRR)」を参照してください。

BCP[1:0] ビット (基本クロックパルスビット)

スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2ビットと組み合わせて選択します。

詳細は、「29.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「29.6.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。

PE ビット (パリティイネーブルビット)

PE ビットは“1”に設定してください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット (ブロック転送モードビット)

BLK ビットを“1”に設定すると、ブロック転送モードで動作します。

ブロック転送モードについては、「29.6.3 ブロック転送モード」を参照してください。

GM ビット (GSM モードビット)

GM ビットを“1”に設定すると、GSM モードで動作します。

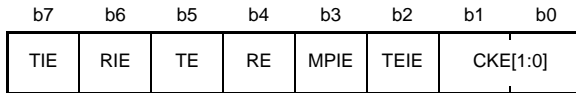
GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0etu (etu : Elementary Time Unit、1 ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「29.6.6 シリアルデータの送信 (ブロック転送モードを除く)」、「29.6.8 クロック出力制御」を参照してください。

29.2.6 シリアルコントロールレジスタ (SCR)

注. SCRレジスタは、シリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なります。

(1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI0.SCR 0008 A002h、SCI1.SCR 0008 A022h、SCI2.SCR 0008 A042h、SCI3.SCR 0008 A062h、SCI4.SCR 0008 A082h、SCI5.SCR 0008 A0A2h、SCI6.SCR 0008 A0C2h、SCI7.SCR 0008 A0E2h、SCI8.SCR 0008 A102h、SCI9.SCR 0008 A122h、SCI10.SCR 0008 A142h、SCI11.SCR 0008 A162h、SCI12.SCR 0008 B302h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> SCI0～SCI4、SCI7～SCI11の場合 (調歩同期式の場合) b1 b0 0 0: 内蔵ポーレートジェネレータ I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できません 0 1: 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x: 外部クロック SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください <p>(クロック同期式の場合) b1 b0 0 x: 内部クロック SCKn端子はクロック出力端子となります</p> <p>1 x: 外部クロック SCKn端子はクロック入力端子となります</p>	R/W (注1)
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> SCI5、SCI6、SCI12の場合 (調歩同期式の場合) b1 b0 0 0: 内蔵ポーレートジェネレータ I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できません 0 1: 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x: 外部クロックまたはTMRクロック ・外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。 SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください ・TMRクロックを使用可能 <p>(クロック同期式の場合) b1 b0 0 x: 内部クロック: SCKn端子はクロック出力端子となります</p> <p>1 x: 外部クロック SCKn端子はクロック入力端子となります</p>	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	<p>0: TEI割り込み要求を禁止</p> <p>1: TEI割り込み要求を許可</p>	R/W

ビット	シンボル	ビット名	機能	R/W
b3	MPIE	マルチプロセッサインタラプトイネーブルビット	(調歩同期式モードで、SMR.MPビット="1"のとき有効) 0: 通常受信動作 1: マルチプロセッサビットが"0"の受信データは読み飛ばし、SSR.ORER,FERの各ステータスフラグのセット("1")を禁止します。マルチプロセッサビットが"1"のデータを受信すると、MPIEビットは自動的にクリア("0")され、通常受信動作に戻ります	R/W
b4	RE	レシーブイネーブルビット	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブルビット	0: RXIおよびERI割り込み要求を禁止 1: RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプトイネーブルビット	0: TXI割り込み要求を禁止 1: TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. SMR.CMビットが"1"のときは、TEビット=0、REビット=0の場合のみ"1"を書き込み可能です。一度、TE、REビットのいずれかを"1"に設定した後は、TEビット=0、REビット=0の書き込みのみ可能になります。SMR.CMビットが"0"かつSIMR1のIICMビットが"0"のときは、任意のタイミングで書き込みが可能です。

CKE[1:0] ビット (クロックイネーブルビット)

クロックソースおよび SCKn 端子の機能を選択します。

内蔵 TMR クロックは SEMR.ACS0 ビットと組み合わせて設定します。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを"0"にすることで行うことができます。

簡易 I²C モード (SIMR1.IICM="1") では、開始/再開始/停止条件生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も TEIE ビットにより STI 割り込み要求を許可、または禁止することができます。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

MPIE ビットを"1"に設定すると、マルチプロセッサビットが"0"の受信データは読み飛ばし、SSR.ORER、FER の各ステータスフラグは"1"にされません。マルチプロセッサビットが"1"のデータを受信すると、MPIE ビットは自動的にクリアされ、通常受信動作に戻ります。詳細は「29.4 マルチプロセッサ通信機能」を参照してください。

SSR.MPB ビット=0 を含む受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、ORER、FER の各フラグのセット("1")は行いません。

MPB ビット=1 を含む受信データを受信すると、MPB ビットを"1"にし、MPIE ビットを自動的に"0"にし、RXI、ERI 割り込み要求 (SCR の RIE ビットが"1"に設定されている場合) と、ORER、FER フラグのセット("1")が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには"0"を書き込んでください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”に設定すると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを“1”に設定する前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR.ORER, FER, PER の各フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”に設定すると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”に設定する前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR.ORER, FER, PER の各フラグから“1”を読み出した後、“0”にするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求の通知を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット =1)

アドレス SC10.SCR 0008 A002h、SC11.SCR 0008 A022h、SC12.SCR 0008 A042h、SC13.SCR 0008 A062h、
SC14.SCR 0008 A082h、SC15.SCR 0008 A0A2h、SC16.SCR 0008 A0C2h、SC17.SCR 0008 A0E2h、
SC18.SCR 0008 A102h、SC19.SCR 0008 A122h、SC10.SCR 0008 A142h、SC11.SCR 0008 A162h、
SC12.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> SMR.GMビット=0の場合 b1 b0 0 0 : 出力ディスエーブル (I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できません) 0 1 : クロック出力 1 x : (設定しないでください) <ul style="list-style-type: none"> SMR.GMビット=1の場合 b1 b0 0 0 : Low出力固定 x 1 : クロック出力 1 0 : High出力固定 	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	レシーブイネーブルビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブル ビット	0 : RXIおよびERI割り込み要求を禁止 1 : RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0 : TXI割り込み要求を禁止 1 : TXI割り込み要求を許可	R/W

x : Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. SMR.CMビットが“1”のときは、TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。

一度、TE、REビットのいずれかを“1”に設定した後は、TEビット=0、REビット=0の書き込みのみ可能になります。SMR.CMビットが“0”のときは、任意のタイミングで書き込みが可能です。

各割り込み要求については、「29.11 割り込み要因」を参照してください。

CKE[1:0] ビット (クロックイネーブルビット)

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「29.6.8 クロック出力制御」を参照してください。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”に設定すると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを“1”に設定する前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR.ORER, FER, PER の各フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”に設定すると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”に設定する前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR.ORER, FER, PER の各フラグから“1”を読み出した後、“0”にするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求の通知を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

29.2.7 シリアルステータスレジスタ (SSR)

注. SSRレジスタは、シリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なります。

(1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI0.SSR 0008 A004h、SCI1.SSR 0008 A024h、SCI2.SSR 0008 A044h、SCI3.SSR 0008 A064h、SCI4.SSR 0008 A084h、SCI5.SSR 0008 A0A4h、SCI6.SSR 0008 A0C4h、SCI7.SSR 0008 A0E4h、SCI8.SSR 0008 A104h、SCI9.SSR 0008 A124h、SCI10.SSR 0008 A144h、SCI11.SSR 0008 A164h、SCI12.SSR 0008 B304h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	ORER	FER	PER	TEND	MPB	MPBT

リセット後の値 x x 0 0 0 1 0 0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b7-b6	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

MPBT ビット (マルチプロセッサビットトランスファビット)

送信フレームに付加するマルチプロセッサビットの値を設定します。

MPB ビット (マルチプロセッサビット)

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが“0”のときは変化しません。

TEND フラグ (トランスミットエンドフラグ)

送信が終了したことを表示します。

["1"になる条件]

- SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき

TDR レジスタへの送信データの書き込みにより TEND フラグをクリアしたときは、以下の順序で SSR レジスタをダミーリードしてください。

- (1) TDR レジスタに送信データを書く
- (2) SSR レジスタを汎用レジスタに読み出す
- (3) 読み出した値を使って何らかの演算を実行する

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1" になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが "1" にされた状態では、以降の受信データは RDR レジスタに転送されません。

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき ("0" を書き込んだ後に PER フラグがクリアされたことを確認してください)。
SCR.RE ビットを "0" (シリアル受信動作を禁止) にクリアしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

["1" になる条件]

- ストップビットが "0" のとき
2 ストップモードのときは、1 ビット目のストップビットが "1" であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが "1" にされた状態では、以降の受信データは RDR レジスタに転送されません。

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき ("0" を書き込んだ後に FER フラグがクリアされたことを確認してください)。
SCR.RE ビットを "0" にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1" になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに "1" がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき ("0" を書き込んだ後に ORER フラグがクリアされたことを確認してください)。
SCR.RE ビットを "0" にしても、ORER フラグは影響を受けず以前の状態を保持します。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット =1)

アドレス SCI0.SSR 0008 A004h、SCI1.SSR 0008 A024h、SCI2.SSR 0008 A044h、SCI3.SSR 0008 A064h、
SCI4.SSR 0008 A084h、SCI5.SSR 0008 A0A4h、SCI6.SSR 0008 A0C4h、SCI7.SSR 0008 A0E4h、
SCI8.SSR 0008 A104h、SCI9.SSR 0008 A124h、SCI10.SSR 0008 A144h、SCI11.SSR 0008 A164h、
SCI12.SSR 0008 B304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ORER	ERS	PER	TEND	MPB	MPBT
リセット後の値	x	x	0	0	0	1	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは“0”としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。“0” としてください	R
b2	TEND	トランスミットエンドフラグ	0 : キャラクタを送信中 1 : キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0 : パリティエラーの発生なし 1 : パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0 : エラーシグナルLow応答なし 1 : エラーシグナルLow応答あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0 : オーバランエラーの発生なし 1 : オーバランエラーの発生あり	R/(W) (注1)
b7-b6	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

MPBT ビット (マルチプロセッサビットトランスファビット)

スマートカードインタフェースモードでは“0”としてください。

MPB ビット (マルチプロセッサビット)

スマートカードインタフェースモードでは使用しません。“0”としてください。

TEND フラグ (トランスミットエンドフラグ)

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき“1”になります。

[“1”になる条件]

- SCR.TE ビット =0 (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ =0 かつ TDR レジスタが更新されていないとき
セットされるタイミングは、レジスタの設定により以下のように異なります。
SMR.GM ビット =0、SMR.BLK ビット =0 のとき、送信開始から 12.5etu 後
SMR.GM ビット =0、SMR.BLK ビット =1 のとき、送信開始から 11.5etu 後
SMR.GM ビット =1、SMR.BLK ビット =0 のとき、送信開始から 11.0etu 後
SMR.GM ビット =1、SMR.BLK ビット =1 のとき、送信開始から 11.0etu 後

["0" になる条件]

- SCR.TE ビットが“1”の状態では TDR レジスタへ送信データを書き込んだとき

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1" になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが“1”にされた状態では、以降の受信データは RDR レジスタに転送されません。

["0" になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき (“0”を書き込んだ後に PER フラグがクリアされたことを確認してください)。
SCR.RE ビットを“0” (シリアル受信動作を禁止) にクリアしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ (エラーシグナルステータスフラグ)

["1" になる条件]

- エラーシグナル Low をサンプリングしたとき

["0" になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1" になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに“1”がセットされた状態では、以降のシリアル受信を続けることはできません。

["0" になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき (“0”を書き込んだ後に ORER フラグがクリアされたことを確認してください)。
SCR.RE ビットを“0”にしても、ORER フラグは影響を受けず以前の状態を保持します。

29.2.8 スマートカードモードレジスタ (SCMR)

アドレス SCI0.SCMR 0008 A006h、SCI1.SCMR 0008 A026h、SCI2.SCMR 0008 A046h、SCI3.SCMR 0008 A066h、SCI4.SCMR 0008 A086h、SCI5.SCMR 0008 A0A6h、SCI6.SCMR 0008 A0C6h、SCI7.SCMR 0008 A0E6h、SCI8.SCMR 0008 A106h、SCI9.SCMR 0008 A126h、SCI10.SCMR 0008 A146h、SCI11.SCMR 0008 A166h、SCI12.SCMR 0008 B306h

b7	b6	b5	b4	b3	b2	b1	b0
BCP2	—	—	—	SDIR	SINV	—	SMIF

リセット後の値 1 1 1 1 0 0 1 0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモードセレクトビット	0: シリアルコミュニケーションインタフェースモード 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	送受信データインパートビット	0: TDRレジスタの内容をそのまま送信、受信データをそのままRDRレジスタに格納 1: TDRレジスタの内容を反転して送信、受信データを反転してRDRレジスタに格納	R/W (注1)
b3	SDIR	送受信データトランスファディレクションビット	0: LSBファーストで送受信 1: MSBファーストで送受信	R/W (注1)
b6-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせて選択します。 SCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定値 BCP2 BCP1 BCP0 0 0 0: 93クロック (S=93) (注2) 0 0 1: 128クロック (S=128) (注2) 0 1 0: 186クロック (S=186) (注2) 0 1 1: 512クロック (S=512) (注2) 1 0 0: 32クロック (S=32) (注2) (初期値) 1 0 1: 64クロック (S=64) (注2) 1 1 0: 372クロック (S=372) (注2) 1 1 1: 256クロック (S=256) (注2)	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

注2. Sは「29.2.9 ビットレートレジスタ (BRR)」中のSの値を表します。

SMIF ビット (スマートカードインタフェースモードセレクトビット)

スマートカードインタフェースモードで動作させるときは、“1”を設定します。

調歩同期式またはクロック同期式モードで動作させるときは、“0”を設定します。

SINV ビット (送受信データインパートビット)

送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PM ビットを反転してください。

SDIR ビット (送受信データトランスファディレクションビット)

シリアル/パラレル変換の方向を選択します。

以下のモードで使用可能です。

- 調歩同期式モード
- クロック同期式モード
- スマートカードインタフェースモード
- マルチプロセッサモード

• 簡易 SPI モード

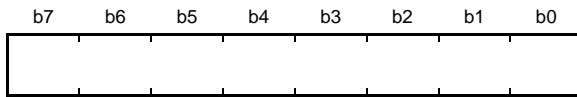
簡易 I²C モードで動作させる場合は、“1” を設定します。

BCP2 ビット (基本クロックパルスビット 2)

スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR.BCP[1:0] ビットと組み合わせて選択します。

29.2.9 ビットレートレジスタ (BRR)

アドレス SCI0.BRR 0008 A001h, SCI1.BRR 0008 A021h, SCI2.BRR 0008 A041h, SCI3.BRR 0008 A061h, SCI4.BRR 0008 A081h, SCI5.BRR 0008 A0A1h, SCI6.BRR 0008 A0C1h, SCI7.BRR 0008 A0E1h, SCI8.BRR 0008 A101h, SCI9.BRR 0008 A121h, SCI10.BRR 0008 A141h, SCI11.BRR 0008 A161h, SCI12.BRR 0008 B301h



リセット後の値

BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モードおよび簡易 I²C モードにおける BRR レジスタの設定値 N とビットレート B の関係を表 29.8 に示します。

BRR レジスタの初期値は FFh です。

BRR レジスタは、CPU から読み出しは常に可能ですが、書き込みは SCR.TE ビット =0、SCR.RE ビット =0 の場合のみ可能です。

表 29.8 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR.ABCSビット	BRRレジスタの設定値	誤差
調歩同期式、 マルチプロ セッサ通信	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、 簡易SPI		$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカード インタフェース		$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易I ² C (注1)		$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

注. B : ビットレート (bps)

N : ボーレートジェネレータのBRRの設定値 (0 ≤ N ≤ 255)

PCLK : 動作周波数 (MHz)

nとS : 下表のとおりSMRの設定値によって決まります。

注1. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C規格を満たすようビットレートを調整してください。

表 29.9 SCL High/Low幅算出式

モード	SCL	算出式 (秒(s))
I ² C	High幅 (min値)	$(N + 1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{\text{PCLK} \times 10^6}$
	Low幅 (min値)	$(N + 1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{\text{PCLK} \times 10^6}$

表 29.10 クロックソースの設定

SMRレジスタの設定値 CKS[1:0]ビット	クロックソース	n
0 0	PCLKクロック	0
0 1	PCLK/4クロック	1
1 0	PCLK/16クロック	2
1 1	PCLK/64クロック	3

表 29.11 スマートカードインタフェースモード時の基本クロックの設定

SCMRレジスタの設定値 BCP2ビット	SMRレジスタの設定値 BCP[1:0]ビット	1ビット期間中の 基本クロックパルス数	S
0	0 0	93クロック	93
0	0 1	128クロック	128
0	1 0	186クロック	186
0	1 1	512クロック	512
1	0 0	32クロック	32
1	0 1	64クロック	64
1	1 0	372クロック	372
1	1 1	256クロック	256

通常の調歩同期式モードにおける BRR レジスタの値 N の設定例を表 29.12 に、各動作周波数における設定可能な最大ビットレートを表 29.13 に示します。また、クロック同期式モードおよび簡易 SPI モードにおける BRR レジスタの値 N の設定例を表 29.14 に、スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を表 29.15 に、簡易 I²C モードにおける BRR レジスタの値 N の設定例を表 29.19 に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「29.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 29.14、表 29.16 に外部クロック入力時の最大ビットレートを示します。

調歩同期式モードでシリアル拡張モードレジスタ (SEMR) の調歩同期基本クロックセレクトビット (ABCS) を“1”に設定したときのビットレートは表 29.12 の 2 倍になります。

表29.12 ビットレートに対するBRRの設定例 (調歩同期式モード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

ビット レート (bps)	動作周波数PCLK (MHz)								
	20			25			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13
150	3	64	0.16	3	80	0.47	3	97	-0.35
300	2	129	0.16	2	162	-0.15	2	194	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35
1200	1	129	0.16	1	162	-0.15	1	194	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35
4800	0	129	0.16	0	162	-0.15	0	194	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35
31250	0	19	0.00	0	24	0.00	0	29	0
38400	0	15	1.73	0	19	1.73	0	23	1.73

注. SEMR.ABCSビット=0のときの例です。
 ABCSビット=1に設定したときは、ビットレートが2倍になります。

表29.13 各動作周波数における最大ビットレート (調歩同期式モード)

PCLK (MHz)	最大ビットレート (bps)	n	N
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
19.6608	614400	0	0
20	625000	0	0
25	781250	0	0
30	937500	0	0

注. SEMR.ABCSビット=1に設定したときは、ビットレートが2倍になります。

表29.14 外部クロック入力時の最大ビットレート (調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)	
		SEMR.ABCSビット=0	SEMR.ABCSビット=1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500

表29.15 ビットレートに対するBRRの設定例 (クロック同期式モード、簡易SPIモード)

ビットレート (bps)	動作周波数PCLK (MHz)											
	8		10		16		20		25		30	
	n	N	n	N	n	N	n	N	n	N	n	N
110												
250	3	124	—	—	3	249						
500	2	249	—	—	3	124	—	—			3	233
1k	2	124	—	—	2	249	—	—	3	97	3	116
2.5k	1	199	1	249	2	99	2	124	2	155	2	187
5k	1	99	1	124	1	199	1	249	2	77	2	93
10k	0	199	0	249	1	99	1	124	1	155	1	187
25k	0	79	0	99	0	159	0	199	0	249	1	74
50k	0	39	0	49	0	79	0	99	0	124	0	149
100k	0	19	0	24	0	39	0	49	0	62	0	74
250k	0	7	0	9	0	15	0	19	0	24	0	29
500k	0	3	0	4	0	7	0	9	—	—	0	14
1M	0	1			0	3	0	4	—	—	—	—
2M	0	0 (注1)	—	—	0	1	—	—	—	—	—	—
2.5M			0	0 (注1)			0	1	—	—	0	2
4M					0	0 (注1)	—	—	—	—	—	—
5M							0	0 (注1)	—	—	—	—
6.25M									0	0 (注1)	—	—
7.5M											0	0 (注1)

空欄：設定できません。

—：設定可能ですが誤差がでます。

注1. シリアル転送クロック出力時にのみ設定できますが、連続送信/連続受信はできません。1フレームの送信/受信終了後、次のフレームの送信/受信を開始するまで1ビット期間の間隔が空きます (シリアル転送クロックの出力が1ビット期間停止します)。そのため、1フレーム (8ビット) のデータ転送に9ビット分の時間がかかり、平均した転送レートは8/9倍になります。

表29.16 外部クロック入力時の最大ビットレート (クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3
25	4.1667	4166666.7
30	5.0000	5000000.0

表 29.17 ビットレートに対するBRRの設定例 (スマートカードインタフェースモードでn=0、S=372のとき)

ビットレート (bps)	PCLK (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	30
	10.7136	0	1	25
	13.00	0	1	8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	15.99
	20.00	0	2	6.66
	25.00	0	3	12.49
	30.00	0	3	5.01

表 29.18 各動作周波数における最大ビットレート (スマートカードインタフェースモードでS=372のとき)

PCLK (MHz)	最大ビットレート (bps)	n	N
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
16.00	21505	0	0
18.00	24194	0	0
20.00	26882	0	0
25.00	33602	0	0
30.00	40323	0	0

表 29.19 ビットレートに対するBRRの設定例 (簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	31	-2.3	1	12	-3.8	1	15	-2.3	1	19	-2.3
25k	0	9	0.0	0	12	-3.8	1	4	0.0	1	6	-10.7	1	7	-2.3
50k	0	4	0.0	0	6	-10.7	1	2	-16.7	1	3	-21.9	1	3	-2.3
100k	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	1	-37.5	0	1	0.0	0	2	-16.7	0	3	-21.9
350k										0	1	-10.7	0	2	-25.6

ビット レート (bps)	動作周波数PCLK (MHz)		
	30		
	n	N	誤差 (%)
10k	1	23	-2.3
25k	1	9	-6.3
50k	1	4	-6.3
100k	1	2	-21.9
250k	0	3	-6.3
350k	0	2	-10.7

表29.20 各ビットレート設定でのSCL High/Low幅最小値 (簡易I²Cモード)

SCL High/Low幅 min値 (μs)	動作周波数PCLK (MHz)											
	8			10			16			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.5/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.2/20.80	1	4	17.50/20.00	1	6	19.60/22.40
50k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00	1	3	11.20/12.80
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60

SCL High/Low幅 min値 (μs)	動作周波数PCLK (MHz)					
	25			30		
	n	N	誤差 (%)	n	N	誤差 (%)
10k	1	19	44.80/51.20	1	23	44.80/51.20
25k	1	7	17.92/20.48	1	9	18.66/21.33
50k	1	3	8.96/10.24	1	4	9.33/10.66
100k	1	1	4.48/5.12	1	2	5.60/6.40
250k	0	3	2.24/2.56	0	3	1.86/2.13
350k	0	2	1.68/1.92	0	2	1.40/1.60

29.2.10 シリアル拡張モードレジスタ (SEMR)

アドレス SCI0.SEMR 0008 A007h、SCI1.SEMR 0008 A027h、SCI2.SEMR 0008 A047h、SCI3.SEMR 0008 A067h、SCI4.SEMR 0008 A087h、SCI5.SEMR 0008 A0A7h、SCI6.SEMR 0008 A0C7h、SCI7.SEMR 0008 A0E7h、SCI8.SEMR 0008 A107h、SCI9.SEMR 0008 A127h、SCI10.SEMR 0008 A147h、SCI11.SEMR 0008 A167h、SCI12.SEMR 0008 B307h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFEN	ABCS	—	—	—	ACS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W												
b0	ACS0	調歩同期クロックソースセレクトビット	(調歩同期式モードのみ有効) 0: 外部クロック入力 1: TMRクロック入力 (SCI5、SCI6、SCI12のみ有効) SCIチャンネルとコンペアマッチ出力の対応を示します <table border="1"> <thead> <tr> <th>SCI</th> <th>TMR</th> <th>コンペアマッチ出力</th> </tr> </thead> <tbody> <tr> <td>SCI5</td> <td>ユニット0</td> <td>TMO0、TMO1</td> </tr> <tr> <td>SCI6</td> <td>ユニット1</td> <td>TMO2、TMO3</td> </tr> <tr> <td>SCI12</td> <td>ユニット0</td> <td>TMO0、TMO1</td> </tr> </tbody> </table>	SCI	TMR	コンペアマッチ出力	SCI5	ユニット0	TMO0、TMO1	SCI6	ユニット1	TMO2、TMO3	SCI12	ユニット0	TMO0、TMO1	R/W (注1)
SCI	TMR	コンペアマッチ出力														
SCI5	ユニット0	TMO0、TMO1														
SCI6	ユニット1	TMO2、TMO3														
SCI12	ユニット0	TMO0、TMO1														
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W												
b4	ABCS	調歩同期基本クロックセレクトビット	(調歩同期式モードのみ有効) 0: 基本クロック16サイクルの期間が1ビット期間の転送レートになります 1: 基本クロック8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)												
b5	NFEN	デジタルノイズフィルタ機能イネーブルビット	(調歩同期式モード) 0: RXDn入力信号のノイズ除去機能無効 1: RXDn入力信号のノイズ除去機能有効 (簡易I ² Cモード) 0: SSCLn、SSDAn入力信号のノイズ除去機能無効 1: SSCLn、SSDAn入力信号のノイズ除去機能有効 上記以外のモードでは、NFENビットを“0”にしてください。	R/W (注1)												
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W												

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SEMRレジスタは、調歩同期式モード時の1ビット期間のクロックを選択するためのレジスタです。

SCI5、SCI6、SCI12では、TMRユニット0、1のTMO_n(n=0~3)出力をシリアル転送ベースクロックに設定することができます。

TMR_n(n=0~3)のTMO_n出力を選択したときの設定例を図29.4に示します。

ACS0ビット (調歩同期クロックソースセレクトビット)

調歩同期式モードにおける、クロックソースを選択します。

ACS0ビットは、調歩同期式モード (SMR.CMビット=0) で、外部クロック入力 (SCR.CKE[1:0]ビット=10b、11b) のときに有効です。外部クロック入力または、内蔵TMRクロック入力を選択できます。

調歩同期式モード以外では、“0”としてください。

SCI5、SCI6、SCI12以外は予約ビットです。SCI5、SCI6、SCI12以外では書き込みは“0”にしてください。

ABCSビット (調歩同期基本クロックセレクトビット)

1ビット期間の基本クロックのパルス数を選択します。

NFEN ビット (デジタルノイズフィルタ機能イネーブルビット)

デジタルノイズフィルタ機能の有効、無効を選択します。

有効にすると、調歩同期式モードの場合は、RXDn 入力信号のノイズを除去し、簡易 I²C モードの場合は SSDAn、SSCLn の入力信号のノイズを除去します。

上記以外のモードでは NFEN ビットを“0”にし、デジタルノイズフィルタ機能を無効にしてください。

デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

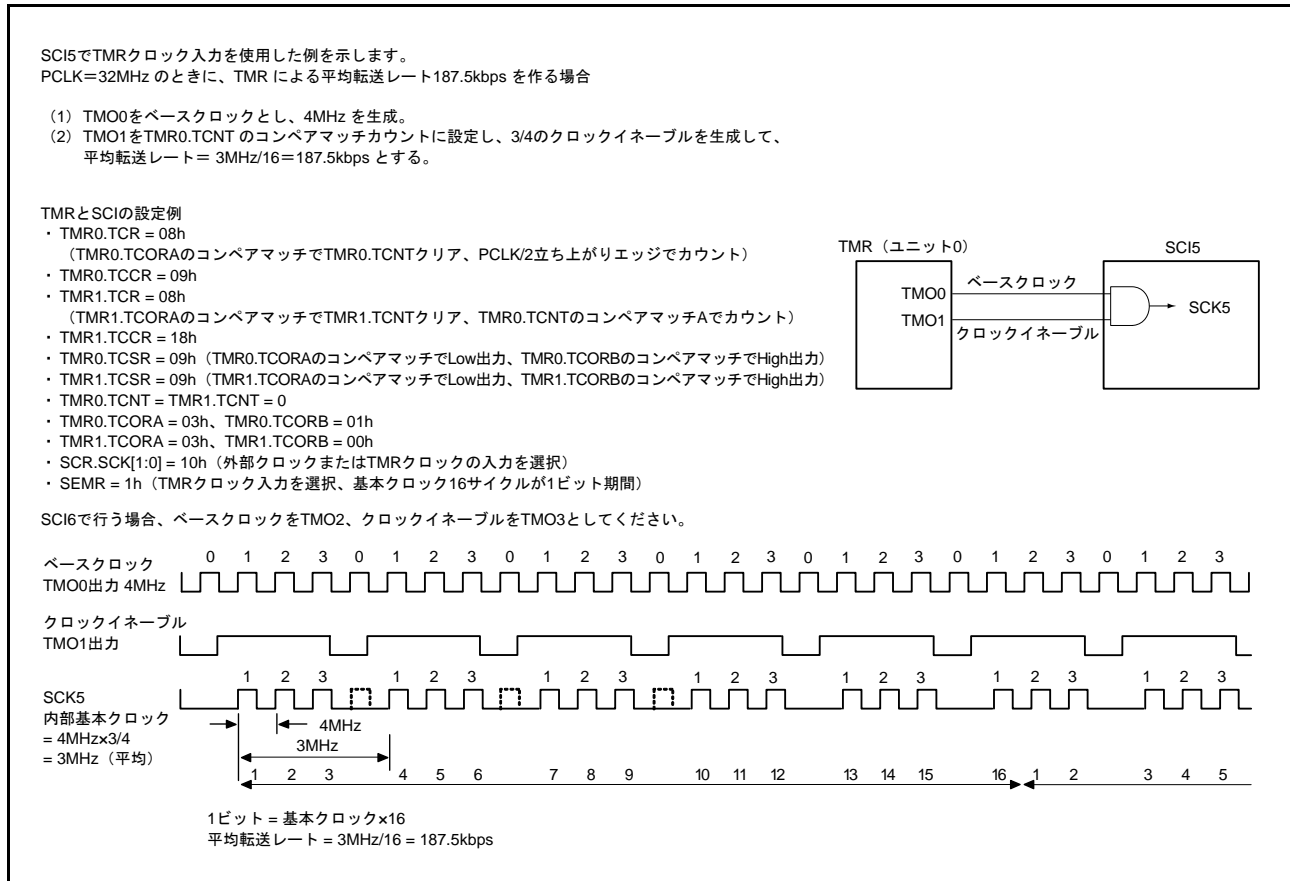
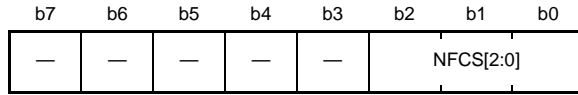


図 29.4 TMR クロック入力時の平均転送レート設定例

29.2.11 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI0.SNFR 0008 A008h、SCI1.SNFR 0008 A028h、SCI2.SNFR 0008 A048h、SCI3.SNFR 0008 A068h、SCI4.SNFR 0008 A088h、SCI5.SNFR 0008 A0A8h、SCI6.SNFR 0008 A0C8h、SCI7.SNFR 0008 A0E8h、SCI8.SNFR 0008 A108h、SCI9.SNFR 0008 A128h、SCI10.SNFR 0008 A148h、SCI11.SNFR 0008 A168h、SCI12.SNFR 0008 B308h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロックセレクトビット	調歩同期式モード時、基本クロック基準で b2 b0 0 0 0 : 1分周のクロックをノイズフィルタに使用 簡易I ² Cモード時、SMR.CKS[1:0]ビットで選択した内蔵 ボーレートジェネレータのクロックソース基準で b2 b0 0 0 1 : 1分周のクロックをノイズフィルタに使用 0 1 0 : 2分周のクロックをノイズフィルタに使用 0 1 1 : 4分周のクロックをノイズフィルタに使用 1 0 0 : 8分周のクロックをノイズフィルタに使用 上記以外：設定しないでください	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TEビット=0、SCR.REビット=0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

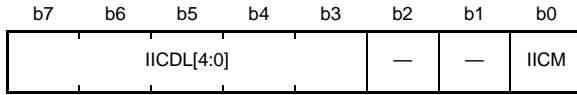
NFCS[2:0] ビット（ノイズフィルタクロックセレクトビット）

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード時にノイズフィルタを使用する場合、“000b”を設定してください。簡易I²Cモード時は“001b”～“100b”の中で設定してください。

29.2.12 I²C モードレジスタ 1 (SIMR1)

アドレス SCI0.SIMR1 0008 A009h、SCI1.SIMR1 0008 A029h、SCI2.SIMR1 0008 A049h、SCI3.SIMR1 0008 A069h、SCI4.SIMR1 0008 A089h、SCI5.SIMR1 0008 A0A9h、SCI6.SIMR1 0008 A0C9h、SCI7.SIMR1 0008 A0E9h、SCI8.SIMR1 0008 A109h、SCI9.SIMR1 0008 A129h、SCI10.SIMR1 0008 A149h、SCI11.SIMR1 0008 A169h、SCI12.SIMR1 0008 B309h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易I ² Cモードセレクトビット	SMIF IICM 0 0 : シリアルインタフェースモード (調歩同期式、クロック同期式モードまたは簡易SPIモード) 0 1 : 簡易I ² Cモード 1 0 : スマートカードインタフェースモード 1 1 : 設定しないでください	R/W (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b3	IICDL[4:0]	SSDA出力遅延セレクトビット	(内蔵ポーレートジェネレータのクロックソース基準) b7 b3 0 0 0 0 0 : 出力遅延なし 0 0 0 0 1 : 0~1サイクル 0 0 0 1 0 : 1~2サイクル 0 0 0 1 1 : 2~3サイクル 0 0 1 0 0 : 3~4サイクル 0 0 1 0 1 : 4~5サイクル : 1 1 1 1 0 : 29~30サイクル 1 1 1 1 1 : 30~31サイクル	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SIMR1 レジスタは、簡易 I²C モード、および SSDA 出力遅延段数を選択するためのレジスタです。

IICM ビット (簡易 I²C モードセレクトビット)

SCMR.SMIF ビットとの組み合わせで、動作モードを選択します。

IICDL[4:0] ビット (SSDA 出力遅延セレクトビット)

SSCLn 端子出力の立ち上がりに対する SSDAn 端子出力の遅延を選択します。内蔵ポーレートジェネレータのクロックソースを1サイクルとし、遅延なし~31サイクルまでの選択が可能です。内蔵ポーレートジェネレータのクロックソースとは、PCLKをSMR.CKS[1:0]ビットの設定により分周されたクロックを指します。簡易I²Cモード以外では“00000b”を設定してください。簡易I²Cモード時は、“00001b”~“11111b”のいずれかを設定してください。

29.2.13 I²C モードレジスタ 2 (SIMR2)

アドレス SCI0.SIMR2 0008 A00Ah、SCI1.SIMR2 0008 A02Ah、SCI2.SIMR2 0008 A04Ah、SCI3.SIMR2 0008 A06Ah、SCI4.SIMR2 0008 A08Ah、SCI5.SIMR2 0008 A0AAh、SCI6.SIMR2 0008 A0CAh、SCI7.SIMR2 0008 A0EAh、SCI8.SIMR2 0008 A10Ah、SCI9.SIMR2 0008 A12Ah、SCI10.SIMR2 0008 A14Ah、SCI11.SIMR2 0008 A16Ah、SCI12.SIMR2 0008 B30Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACK T	—	—	—	IICCCSC	IICINT M
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I ² C 割り込みモードセレクトビット	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCCSC	クロック同期化ビット	0 : クロック同期を行わない 1 : クロック同期を行う	R/W (注1)
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	IICACKT	ACK送信データビット	0 : ACK送信 1 : NACK送信またはACK/NACK受信	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SIMR2 レジスタは、簡易 I²C モードの送受信制御を選択するためのレジスタです。

IICINTM ビット (I²C 割り込みモードセレクトビット)

簡易 I²C モード時の割り込み要求の要因を選択します。

IICCCSC ビット (クロック同期化ビット)

他のデバイスがウェイトを挿入するなどの目的で、SSCLn 端子を Low にしたとき、内部で生成する SSCLn クロックを同期化する場合は、IICCCSC ビットに“1”を設定します。

IICCCSC ビットに“0”を設定すると、SSCLn クロックの同期化は行いません。SSCLn 端子入力に関わらず、BRR レジスタで設定したビットレートにしたがって SSCLn クロックを生成します。

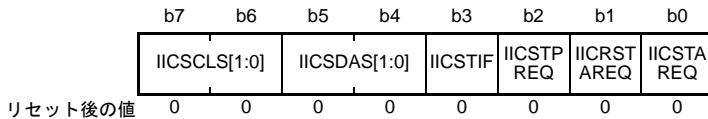
デバッグ時を除いて IICCCSC ビットには“1”を設定してください。

IICACKT ビット (ACK 送信データビット)

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は“1”を設定してください。

29.2.14 I²C モードレジスタ 3 (SIMR3)

アドレス SCI0.SIMR3 0008 A00Bh、SCI1.SIMR3 0008 A02Bh、SCI2.SIMR3 0008 A04Bh、SCI3.SIMR3 0008 A06Bh、SCI4.SIMR3 0008 A08Bh、SCI5.SIMR3 0008 A0ABh、SCI6.SIMR3 0008 A0CBh、SCI7.SIMR3 0008 A0EBh、SCI8.SIMR3 0008 A10Bh、SCI9.SIMR3 0008 A12Bh、SCI10.SIMR3 0008 A14Bh、SCI11.SIMR3 0008 A16Bh、SCI12.SIMR3 0008 B30Bh



ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成ビット	0 : 開始条件を生成しない 1 : 開始条件を生成 (注1、注3、注4)	R/W
b1	IICRSTAREQ	再開条件生成ビット	0 : 再開条件を生成しない 1 : 再開条件を生成 (注2、注3、注4)	R/W
b2	IICSTPREQ	停止条件生成ビット	0 : 停止条件を生成しない 1 : 停止条件を生成 (注2、注3、注4)	R/W
b3	IICSTIF	開始/再開/停止条件生成完了フラグ	0 : 各条件生成要求がない状態、または生成中の状態 1 : 各条件生成が完了した状態	R/W
b5-b4	IICSDAS[1:0]	SSDA出力セレクトビット	b5 b4 0 0 : シリアルデータ出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSDAn端子はLowを出力 1 1 : SSDAn端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SSCL出力セレクトビット	b7 b6 0 0 : シリアルクロック出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSCLn端子はLowを出力 1 1 : SSCLn端子はハイインピーダンス状態	R/W

- 注1. バスの状態を確認し、バスフリー状態のときに開始条件生成を行ってください。
 注2. バスの状態を確認し、バスビジー状態のときに再開条件生成または停止条件生成を行ってください。
 注3. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。
 注4. IICSTIFフラグを“0”にしてから、各条件生成を行ってください。

SIMR3 レジスタは、簡易 I²C モードの開始条件、停止条件生成、および、SSDAn 端子、SSCLn 端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット (開始条件生成ビット)

開始条件の生成を行うときは、IICSTAREQ ビットを“1”に設定するとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”に設定してください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット (再開条件生成ビット)

再開条件の生成を行うときは、IICRSTAREQ ビットを“1”に設定するとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”に設定してください。

[“1”になる条件]

- “1”を書き込んだとき

["0" になる条件]

- 再開始条件の生成が完了したとき

IICSTPREQ ビット (停止条件生成ビット)

停止条件の生成を行うときは、IICSTPREQ ビットを“1”に設定するとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”に設定してください。

["1" になる条件]

- “1”を書き込んだとき

["0" になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ (開始 / 再開始 / 停止条件生成完了フラグ)

各条件生成実行後、生成完了した状態を示します。IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各条件の生成を行うときは、IICSTIF フラグを“0”にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可された状態で、IICSTIF フラグが“1”の場合に開始 / 再開始 / 停止条件生成完了割り込み (STI) 要求が出力されます。

["1" になる条件]

- 開始 / 再開始 / 停止の各条件の生成が完了したとき (ただし“0”になる条件と競合した場合は“0”になる条件が優先されます。)

["0" になる条件]

- “0”を書き込んだとき (IICSTIF フラグが“0”になったことを確認してください。)
- SIMR1.IICM ビットが“0”のとき (簡易 I²C モード以外の場合)
- SCR.TE ビットが“0”のとき

IICSDAS ビット (SSDA 出力セレクトビット)

SSDAn 端子からの出力を制御します。

通常動作時は、IICSDAS ビットと IICSCLS ビットは同じ値に設定してください。

IICSCLS ビット (SSCL 出力セレクトビット)

SSCLn 端子からの出力を制御します。

通常動作時は、IICSCLS ビットと IICSDAS ビットは同じ値に設定してください。

29.2.15 I²C ステータスレジスタ (SISR)

アドレス SCI0.SISR 0008 A00Ch、SCI1.SISR 0008 A02Ch、SCI2.SISR 0008 A04Ch、SCI3.SISR 0008 A06Ch、SCI4.SISR 0008 A08Ch、SCI5.SISR 0008 A0ACh、SCI6.SISR 0008 A0CCh、SCI7.SISR 0008 A0ECh、SCI8.SISR 0008 A10Ch、SCI9.SISR 0008 A12Ch、SCI10.SISR 0008 A14Ch、SCI11.SISR 0008 A16Ch、SCI12.SISR 0008 B30Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACK R
リセット後の値	0	0	x	x	0	x	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0 : ACK受信 1 : NACK受信	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読み出し値は不定です	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読み出し値は不定です	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

SISR レジスタは、簡易 I²C モード関連のステータスをモニタします。

IICACKR フラグ (ACK 受信データフラグ)

受信された ACK/NACK ビットを読み出すことができます。

IICACK フラグは、ACK/NACK を受信するビットの SSCL_n クロックの立ち上がりのタイミングで更新されます。

29.2.16 SPI モードレジスタ (SPMR)

アドレス SCI0.SPMR 0008 A00Dh、SCI1.SPMR 0008 A02Dh、SCI2.SPMR 0008 A04Dh、SCI3.SPMR 0008 A06Dh、SCI4.SPMR 0008 A08Dh、SCI5.SPMR 0008 A0ADh、SCI6.SPMR 0008 A0CDh、SCI7.SPMR 0008 A0EDh、SCI8.SPMR 0008 A10Dh、SCI9.SPMR 0008 A12Dh、SCI10.SPMR 0008 A14Dh、SCI11.SPMR 0008 A16Dh、SCI12.SPMR 0008 B30Dh

b7	b6	b5	b4	b3	b2	b1	b0
CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SS端子機能イネーブルビット	0: SS端子機能禁止 1: SS端子機能許可	R/W (注1)
b1	CTSE	CTSイネーブルビット	0: CTS機能禁止 (RTS出力機能有効) 1: CTS機能許可	R/W (注1)
b2	MSS	マスタスレーブセレクトビット	0: TXDn端子: 送信、RXDn端子: 受信 (マスタモード) 1: TXDn端子: 受信、RXDn端子: 送信 (スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MFF	モードフォルトフラグ	0: モードフォルトエラーなし 1: モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CKPOL	クロック極性セレクトビット	0: クロック極性反転なし 1: クロック極性反転あり	(注1) R/W
b7	CKPH	クロック位相セレクトビット	0: クロック遅れなし 1: クロック遅れあり	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

注2. フラグをクリアするための“0”書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット (SS 端子機能イネーブルビット)

SSn# 端子を用いて送受信制御を行う場合 (簡易 SPI モード) は“1”を設定します。それ以外の通信モードでは“0”を設定してください。なお、簡易 SPI モードでも、マスタモード (SCR.CKE[1:0] ビット=“00b” かつ MSS ビット=“0”) かつシングルマスタで使用するとき、マスタ側の SSn# 端子を用いた送受信制御は不要であり、SSE ビットは“0”を設定します。SSE ビット、CTSE ビットの両方を有効にしないでください (設定した場合、両ビット共に無効になります)。

CTSE ビット (CTS イネーブルビット)

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は“1”を設定します。“0”を設定している状態では RTS 信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I²C モード時は“0”を設定してください。CTSE ビット、SSE ビットの両方を有効にしないでください (設定しても無効になります)。

MSS ビット (マスタスレーブセレクトビット)

簡易 SPI モード時にマスタモード、スレーブモードを選択します。MSS ビットを“1”に設定すると、TXDn 端子、RXDn 端子の機能が逆になり、TXDn 端子から受信データを入力し、RXDn 端子から送信データを出力します。

簡易 SPI モード以外のモード時は“0”を設定してください。

MFF フラグ (モードフォルトフラグ)

モードフォルトエラーが発生したことを表示します。

マルチマスタ時は MFF フラグの読み出しにより、モードフォルトエラーを判定してください。

[“1”になる条件]

- 簡易 SPI モードのマスタモード設定時 (SSE ビット=“1”かつ MSS ビット=“0”)に、SSn# 端子入力が Low になったとき

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

CKPOL ビット (クロック極性セレクトビット)

SCKn 端子からのクロック出力の極性を選択します。詳細は、図 29.52 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“0”としてください。

CKPH ビット (クロック位相セレクトビット)

SCKn 端子からのクロック出力の位相設定を選択します。詳細は、図 29.52 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“0”としてください。

29.2.17 拡張シリアルモード有効レジスタ (ESMER)

アドレス SCI12.ESMER 0008 B320h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ESME

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ESME	拡張シリアルモード有効ビット	0 : 拡張シリアルモード無効 1 : 拡張シリアルモード有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ESME ビット (拡張シリアルモード有効ビット)

ESME ビットが“1”の場合、拡張シリアルモード制御部が有効となります。

ESME ビットを“0”にすると、以下の状態になります。

- 拡張シリアルモード制御部は初期化された状態になる

表29.21 ESMEビットの設定とタイマ動作モードの動作保証

ESMEビット	タイマモード	Break Field Low width判定モード	Break Field Low width出力モード
0	○ (注1)	×	×
1	○	○	○

○：動作保証必要、×：動作保証不要

注1. PCLK選択時のみ動作します。

29.2.18 コントロールレジスタ 0 (CR0)

アドレス SCI12.CR0 0008 B321h

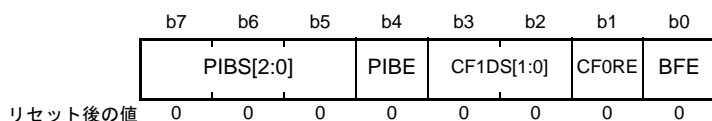
b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	BRME	RXDSF	SFSF	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	SFSF	Start Frameステータスフラグ	0：Start Frame検出機能無効状態 1：Start Frame検出機能有効状態	R
b2	RXDSF	RXDX12入カステータスフラグ	0：RXDX12入力許可状態 1：RXDX12入力禁止状態	R
b3	BRME	ビットレート測定イネーブルビット	0：ビットレート測定無効 1：ビットレート測定有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

29.2.19 コントロールレジスタ 1 (CR1)

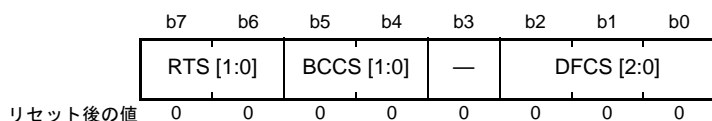
アドレス SCI12.CR1 0008 B322h



ビット	シンボル	ビット名	機能	R/W
b0	BFE	Break Fieldイネーブルビット	0 : Break Field の検出が無効 1 : Break Field の検出が有効	R/W
b1	CF0RE	Control Field 0受信イネーブルビット	0 : Control Field 0受信無効 1 : Control Field 0受信有効	R/W
b3-b2	CF1DS[1:0]	Control Field 1データレジスタ選択ビット	b3 b2 00 : PCF1DR を比較データに選択 01 : SCF1DR を比較データに選択 10 : PCF1DR およびSCF1DR を比較データに選択 11 : 設定しないでください	R/W
b4	PIBE	プライオリティインタラプトビットイネーブルビット	0 : プライオリティインタラプトビット無効 1 : プライオリティインタラプトビット有効	R/W
b7-b5	PIBS[2:0]	プライオリティインタラプトビットセレクトビット	b7 b5 000 : Control Field 1 0ビット目 001 : Control Field 1 1ビット目 010 : Control Field 1 2ビット目 011 : Control Field 1 3ビット目 100 : Control Field 1 4ビット目 101 : Control Field 1 5ビット目 110 : Control Field 1 6ビット目 111 : Control Field 1 7ビット目	R/W

29.2.20 コントロールレジスタ 2 (CR2)

アドレス SCI12.CR2 0008 B323h



ビット	シンボル	ビット名	機能	R/W
b2-b0	DFCS [2:0]	RXDX12信号デジタルフィルタクロック選択ビット	b2 b0 0 0 0 : フィルタ無効 0 0 1 : フィルタ有効 (SCI基本クロック) 0 1 0 : フィルタ有効 (PCLK/8) 0 1 1 : フィルタ有効 (PCLK/16) 1 0 0 : フィルタ有効 (PCLK/32) 1 0 1 : フィルタ有効 (PCLK/64) 1 1 0 : フィルタ有効 (PCLK/128) 1 1 1 : 設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BCCS [1:0]	バス衝突検出クロック選択ビット	b5 b4 0 0 : SCI基本クロック 0 1 : SCI基本クロックの2分周 1 0 : SCI基本クロックの4分周 1 1 : 設定しないでください	R/W
b7-b6	RTS [1:0]	RXDX12受信サンプリングタイミング選択ビット	<ul style="list-style-type: none"> • SCI12.SEMR.ABCSビット=0の場合 b7 b6 0 0 : SCI基本クロックの8クロック目の立ち上がり 0 1 : SCI基本クロックの10クロック目の立ち上がり 1 0 : SCI基本クロックの12クロック目の立ち上がり 1 1 : SCI基本クロックの14クロック目の立ち上がり <ul style="list-style-type: none"> • SCI12.SEMR.ABCSビット=1の場合 b7 b6 0 0 : SCI基本クロックの4クロック目の立ち上がり 0 1 : SCI基本クロックの5クロック目の立ち上がり 1 0 : SCI基本クロックの6クロック目の立ち上がり 1 1 : SCI基本クロックの7クロック目の立ち上がり	R/W

注. SCI基本クロックとは、SCI12.SEMR.ABCS=0のとき、1データ期間の1/16の周期、SCI12.SEMR.ABCS=1のとき、1データ期間の1/8の周期です。また、SCI基本クロックを使用する場合、SCI12.SCR.TEビットを“1”にしてください。

29.2.21 コントロールレジスタ 3 (CR3)

アドレス SCI12.CR3 0008 B324h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SDST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SDST	Start Frame検出開始ビット	0 : Start Frameの検出を行わない 1 : Start Frameの検出を行う	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDST ビット (Start Frame 検出開始ビット)

SDST ビットを“1”にすると Start Frame の検出を開始します。読むと“0”が読み出されます。

29.2.22 ポートコントロールレジスタ (PCR)

アドレス SCI12.PCR 0008 B325h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SHARPS	—	—	RXDXP S	TXDXP S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXDXPS	TXDX12信号極性選択ビット	0 : TXDX12信号極性を反転せずに出力 1 : TXDX12信号極性を反転して出力	R/W
b1	RXDXP S	RXD12信号極性選択ビット	0 : RXDX12極性を反転せずに入力 1 : RXDX12極性を反転して入力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SHARPS	TXDX12/RXD12端子兼用選択ビット	0 : TXDX12端子、RXDX12端子独立 1 : TXDX12/RXD12端子兼用	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SHARPS ビット (TXDX12/RXD12 端子兼用選択ビット)

SHARPS ビットが“1”の場合、TXDX12/RXD12 端子を兼用した半二重通信が可能となります。

29.2.23 割り込みコントロールレジスタ (ICR)

アドレス SCI12.ICR 0008 B326h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDIE	BCDIE	PIBDIE	CF1MIE	CF0MIE	BFDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDIE	Break Field Low width検出割り込み許可ビット	0 : Break Field Low width検出割り込み禁止 1 : Break Field Low width検出割り込み許可	R/W
b1	CF0MIE	Control Field 0一致割り込み許可ビット	0 : Control Field 0一致割り込み禁止 1 : Control Field 0一致割り込み許可	R/W
b2	CF1MIE	Control Field 1一致割り込み許可ビット	0 : Control Field 1一致割り込み禁止 1 : Control Field 1一致割り込み許可	R/W
b3	PIBDIE	プライオリティインタラプトビット検出割り込み許可ビット	0 : プライオリティインタラプトビット検出割り込み禁止 1 : プライオリティインタラプトビット検出割り込み許可	R/W
b4	BCDIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
b5	AEDIE	有効エッジ検出割り込み許可ビット	0 : 有効エッジ検出割り込み禁止 1 : 有効エッジ検出割り込み許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

29.2.24 ステータスレジスタ (STR)

アドレス SCI12.STR 0008 B327h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDF	BCDF	PIBDF	CF1MF	CF0MF	BFDF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFDF	Break Field Low width検出フラグ	["1"]になる条件 • Break Field Low width検出したとき • Break Field Low width出力完了したとき • タイマがアンダフローしたとき ["0"]になる条件 • STCR.BFDCLビットに"1"を書いたとき	R
b1	CF0MF	Control Field 0一致フラグ	["1"]になる条件 • Control Field 0受信データが設定データと一致したとき ["0"]になる条件 • STCR.CF0MCLビットに"1"を書いたとき	R
b2	CF1MF	Control Field 1一致フラグ	["1"]になる条件 • Control Field 1受信データが設定データと一致したとき ["0"]になる条件 • STCR.CF1MCLビットに"1"を書いたとき	R
b3	PIBDF	プライオリティインタラプトビット検出フラグ	["1"]になる条件 • プライオリティインタラプトビットを検出したとき ["0"]になる条件 • STCR.PIBDCLビットに"1"を書いたとき	R
b4	BCDF	バス衝突検出フラグ	["1"]になる条件 • バス衝突を検出したとき ["0"]になる条件 • STCR.BCDCLビットに"1"を書いたとき	R
b5	AEDF	有効エッジ検出フラグ	["1"]になる条件 • 有効エッジを検出したとき ["0"]になる条件 • STCR.AEDCLビットに"1"を書いたとき	R
b7-b6	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R

29.2.25 ステータスクリアレジスタ (STCR)

アドレス SCI12.STCR 0008 B328h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDCL	BCDCL	PIBDC L	CF1MC L	CF0MC L	BFDCCL

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFDCCL	BFDFクリアビット	BFDCCLビットを“1”にするとSTR.BFDFフラグをクリアします。読むと“0”が読み出されます	R/W
b1	CF0MCL	CF0MFクリアビット	CF0MCLビットを“1”にするとSTR.CF0MFフラグをクリアします。読むと“0”が読み出されます	R/W
b2	CF1MCL	CF1MFクリアビット	CF1MCLビットを“1”にするとSTR.CF1MFフラグをクリアします。読むと“0”が読み出されます	R/W
b3	PIBDCCL	PIBDFクリアビット	PIBDCCLビットを“1”にするとSTR.PIBDFフラグをクリアします。読むと“0”が読み出されます	R/W
b4	BCDCL	BCDFクリアビット	BCDCLビットを“1”にするとSTR.BCDFフラグをクリアします。読むと“0”が読み出されます	R/W
b5	AEDCL	AEDFクリアビット	AEDCLビットを“1”にするとSTR.AEDFフラグをクリアします。読むと“0”が読み出されます	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

29.2.26 Control Field 0 データレジスタ (CF0DR)

アドレス SCI12.CF0DR 0008 B329h

b7	b6	b5	b4	b3	b2	b1	b0
[Empty Register]							

リセット後の値 0 0 0 0 0 0 0 0

CF0DR レジスタは、Control Field 0 の比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

29.2.27 Control Field 0 コンペアイネーブルレジスタ (CF0CR)

アドレス SCI12.CF0CR 0008 B32Ah

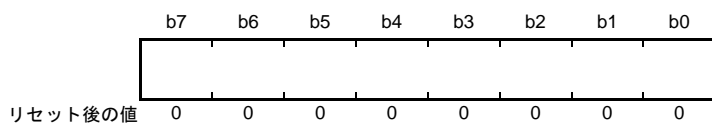
b7	b6	b5	b4	b3	b2	b1	b0
CF0CE7	CF0CE6	CF0CE5	CF0CE4	CF0CE3	CF0CE2	CF0CE1	CF0CE0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CF0CE0	Control Field 0 0ビットコンペアイネーブルビット	0 : Control Field 0 ビット0コンペ無効 1 : Control Field 0 ビット0コンペ有効	R/W
b1	CF0CE1	Control Field 0 1ビットコンペアイネーブルビット	0 : Control Field 0 ビット1コンペ無効 1 : Control Field 0 ビット1コンペ有効	R/W
b2	CF0CE2	Control Field 0 2ビットコンペアイネーブルビット	0 : Control Field 0 ビット2コンペ無効 1 : Control Field 0 ビット2コンペ有効	R/W
b3	CF0CE3	Control Field 0 3ビットコンペアイネーブルビット	0 : Control Field 0 ビット3コンペ無効 1 : Control Field 0 ビット3コンペ有効	R/W
b4	CF0CE4	Control Field 0 4ビットコンペアイネーブルビット	0 : Control Field 0 ビット4コンペ無効 1 : Control Field 0 ビット4コンペ有効	R/W
b5	CF0CE5	Control Field 0 5ビットコンペアイネーブルビット	0 : Control Field 0 ビット5コンペ無効 1 : Control Field 0 ビット5コンペ有効	R/W
b6	CF0CE6	Control Field 0 6ビットコンペアイネーブルビット	0 : Control Field 0 ビット6コンペ無効 1 : Control Field 0 ビット6コンペ有効	R/W
b7	CF0CE7	Control Field 0 7ビットコンペアイネーブルビット	0 : Control Field 0 ビット7コンペ無効 1 : Control Field 0 ビット7コンペ有効	R/W

29.2.28 Control Field 0 受信データレジスタ (CF0RR)

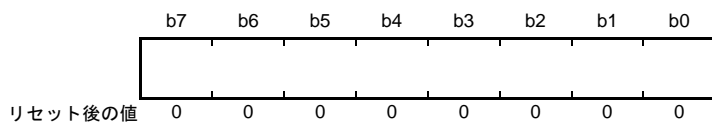
アドレス SCI12.CF0RR 0008 B32Bh



CF0RR レジスタは、Control Field 0 の受信データを格納する 8 ビットのリード可能なレジスタです。CF0RR レジスタは CPU、DTC からライトできません。

29.2.29 プライマリ Control Field 1 データレジスタ (PCF1DR)

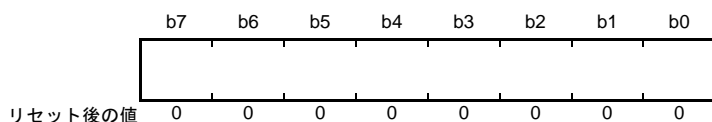
アドレス SCI12.PCF1DR 0008 B32Ch



PCF1DR レジスタは、Control Field 1 のプライマリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

29.2.30 セカンダリ Control Field 1 データレジスタ (SCF1DR)

アドレス SCI12.SCF1DR 0008 B32Dh



SCF1DR レジスタは、Control Field 1 のセカンダリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

29.2.31 Control Field 1 コンペアイネーブルレジスタ (CF1CR)

アドレス SCI12.CF1CR 0008 B32Eh

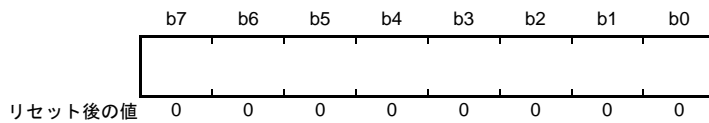
b7	b6	b5	b4	b3	b2	b1	b0
CF1CE7	CF1CE6	CF1CE5	CF1CE4	CF1CE3	CF1CE2	CF1CE1	CF1CE0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CF1CE0	Control Field 1 0ビットコンペアイネーブル	0 : Control Field 1 ビット0コンペア無効 1 : Control Field 1 ビット0コンペア有効	R/W
b1	CF1CE1	Control Field 1 1ビットコンペアイネーブル	0 : Control Field 1 ビット1コンペア無効 1 : Control Field 1 ビット1コンペア有効	R/W
b2	CF1CE2	Control Field 1 2ビットコンペアイネーブル	0 : Control Field 1 ビット2コンペア無効 1 : Control Field 1 ビット2コンペア有効	R/W
b3	CF1CE3	Control Field 1 3ビットコンペアイネーブル	0 : Control Field 1 ビット3コンペア無効 1 : Control Field 1 ビット3コンペア有効	R/W
b4	CF1CE4	Control Field 1 4ビットコンペアイネーブル	0 : Control Field 1 ビット4コンペア無効 1 : Control Field 1 ビット4コンペア有効	R/W
b5	CF1CE5	Control Field 1 5ビットコンペアイネーブル	0 : Control Field 1 ビット5コンペア無効 1 : Control Field 1 ビット5コンペア有効	R/W
b6	CF1CE6	Control Field 1 6ビットコンペアイネーブル	0 : Control Field 1 ビット6コンペア無効 1 : Control Field 1 ビット6コンペア有効	R/W
b7	CF1CE7	Control Field 1 7ビットコンペアイネーブル	0 : Control Field 1 ビット7コンペア無効 1 : Control Field 1 ビット7コンペア有効	R/W

29.2.32 Control Field 1 受信データレジスタ (CF1RR)

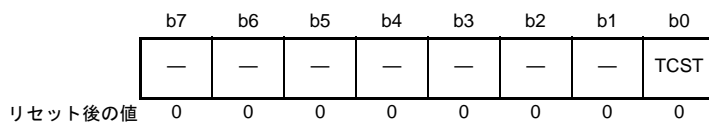
アドレス SCI12.CF1RR 0008 B32Fh



CF1RR レジスタは Control Field 1 の受信データを格納する 8 ビットのリード可能なレジスタです。CF1RR レジスタは CPU、DTC からライトできません。

29.2.33 タイマコントロールレジスタ (TCR)

アドレス SCI12.TCR 0008 B330h



ビット	シンボル	ビット名	機能	R/W
b0	TCST	タイマカウント開始ビット	0 : タイマカウント停止 1 : タイマカウント開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

29.2.34 タイマモードレジスタ (TMR)

アドレス SCI12.TMR 0008 B331h

b7	b6	b5	b4	b3	b2	b1	b0
—	TCSS[2:0]		TWRC	—	TOMS[1:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOMS[1:0]	タイマ動作モード選択ビット (注1)	b1 b0 0 0 : タイマモード 0 1 : Break Field Low width 判定モード 1 0 : Break Field Low width 出力モード 1 1 : 設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	TWRC	カウンタ書き込み制御ビット	0 : リロードレジスタとカウンタへの書き込み 1 : リロードレジスタのみ書き込み	R/W
b6-b4	TCSS[2:0]	タイマカウントクロックソース選択ビット (注1)	b6 b4 0 0 0 : PCLK 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

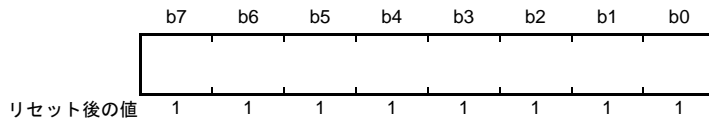
注1. TOMS[1:0]およびTCSS[2:0]ビットの書き換えは、タイマカウント停止時 (TCST=0) に行ってください。

TWRC ビット (カウンタ書き込み制御ビット)

TCNT、TPRE レジスタにライトしたときに、リロードレジスタのみ書き込むのか、リロードレジスタとカウンタに書き込むのか選択します。

29.2.35 タイムプリスケアラレジスタ (TPRE)

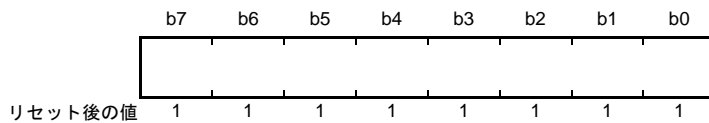
アドレス SCI12.TPRE 0008 B332h



TPRE レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TMR.TCSS[2:0] ビットで選択されたカウントクロックソースでダウンカウントを行い、アンダフローするとカウンタへリロードレジスタの値がロードされます。またアンダフローは TCNT レジスタのカウントクロックソースとなります。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、システム動作クロックの 1 クロックが必要です。

29.2.36 タイマカウントレジスタ (TCNT)

アドレス SCI12.TCNT 0008 B333h



TCNT レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TPRE レジスタのアンダフローをダウンカウントし、TCNT レジスタがアンダフローするとカウンタへリロードレジスタの値がロードされます。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、システム動作クロックの 1 クロックが必要です。

29.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 29.5 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

SCI は通信回線を監視し、スペース (Low) を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

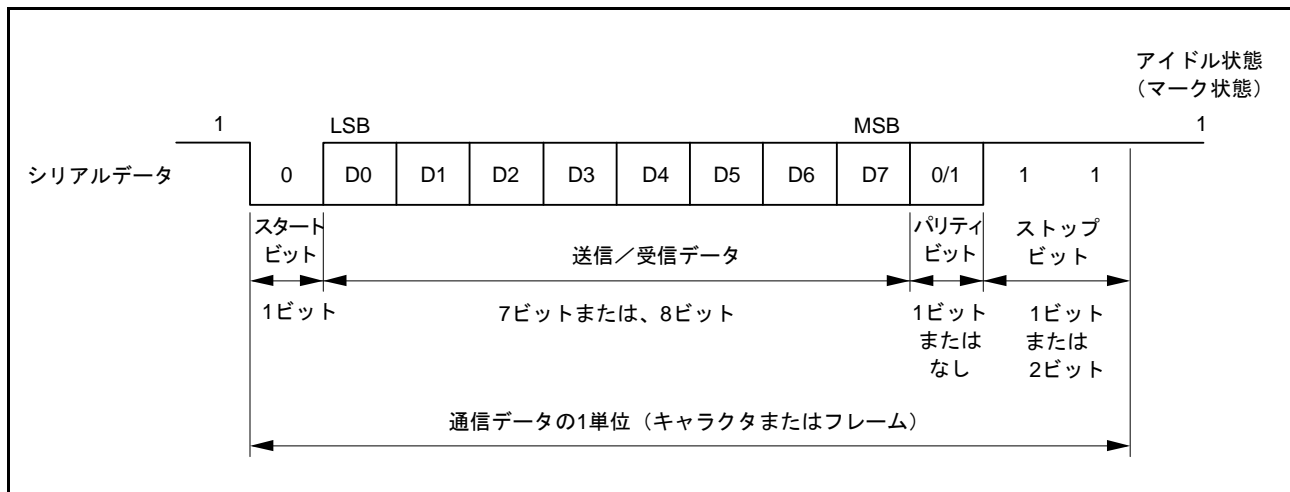


図 29.5 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

29.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 29.22 に示します。

フォーマットは 12 種類あり、SMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については「29.4 マルチプロセッサ通信機能」を参照してください。

表29.22 シリアル送信/受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信/受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	—	1	0	S	8ビットデータ								MPB	STOP		
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	—	1	0	S	7ビットデータ							MPB	STOP			
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP		

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセスビット

29.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図29.6に示すように受信データを基本クロックの8サイクル目(注1)の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5)F - \frac{|D-0.5|}{N}(1+F) \right| \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

M : 受信マージン

N : クロックに対するビットレートの比

(SEMR.ABCSビット=0のときN=16、ABCSビット=1のときN=8)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値) = 0、D(クロックのデューティ) = 0.5とすると、

$$M = \left\{ 0.5 - \frac{1}{2 \times 16} \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

注1. SEMR.ABCSビット=0のときの例です。ABCSビット=1のときは、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4番目の立ち上がりエッジでサンプリングします。

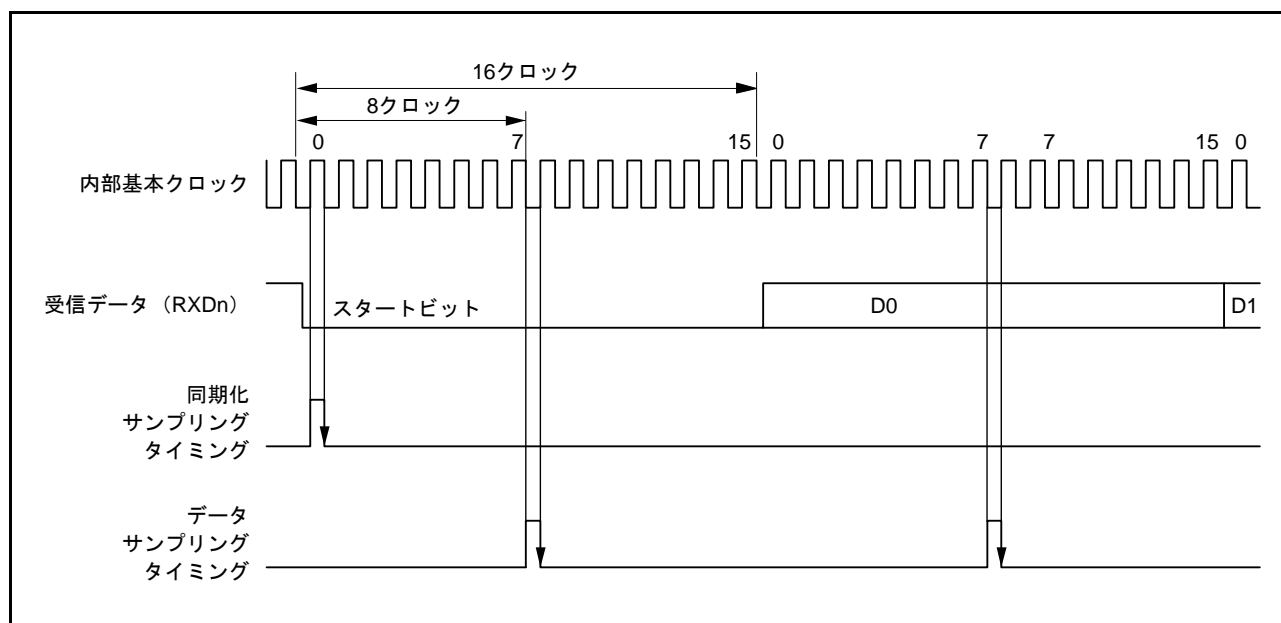


図 29.6 調歩同期式モードの受信データサンプリングタイミング

29.3.3 クロック

SCIの送受信クロックは、SMR.CMビットとSCR.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたはSCKn端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍（SEMR.ABCSビット=0のとき）、8倍（SEMR.ABCSビット=1のとき）の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCIn.SEMR.ACS0ビット（n=5、6、12）の設定により、TMR0、TMR1からの基本クロックを選択することが可能です。

内部クロックで動作させるときはSCKn端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図29.7に示すように送信データの中央でクロックが立ち上がります。

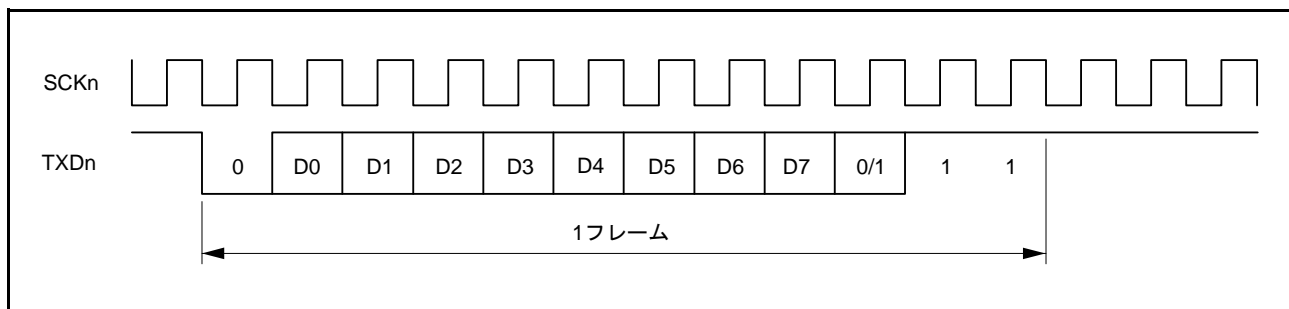


図 29.7 出力クロックと送信データの位相関係（調歩同期式モード：SMR.CHR=0,PE=1,MP=0,STOP=1）

29.3.4 CTS、RTS 機能

CTS機能は、CTS#端子入力を使用して送信制御を行う機能です。

SPMR.CTSEビットを“1”にするとCTS機能が有効になります。CTS機能が有効のとき、CTS#端子入力がLowのときのみ送信動作を開始します。

送信動作中にCTS#端子をLowにした場合、送信中のフレームは影響を受けず送信を続けます。

RTS機能は、RTS#端子出力を使用して受信要求を行う機能で、受信可能状態になるとLowを出力します。Low、Highを出力する条件は以下の通りです。

[Lowになる条件]

以下の条件をすべて満たす場合

- SCR.REビットが“1”
- 受信動作中でない
- 読み出し前の受信データがない
- SSR.ORER、FER、PERフラグがすべて“0”

[Highになる条件]

- Lowになる条件を満たさない場合

29.3.5 SCIの初期化（調歩同期式モード）

データの送受信前にSCRレジスタに初期値00hを書き込み、図29.8のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCRレジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.REビットを“0”に設定しても、SSR.ORER, FER, PERの各フラグおよびRDRレジスタは初期化されませんので注意してください。

SCR.TEビットを“1”から“0”、または“0”から“1”に設定すると、SCR.TIEビットが“1”の場合、TXI割り込み要求が発生しますので注意してください。

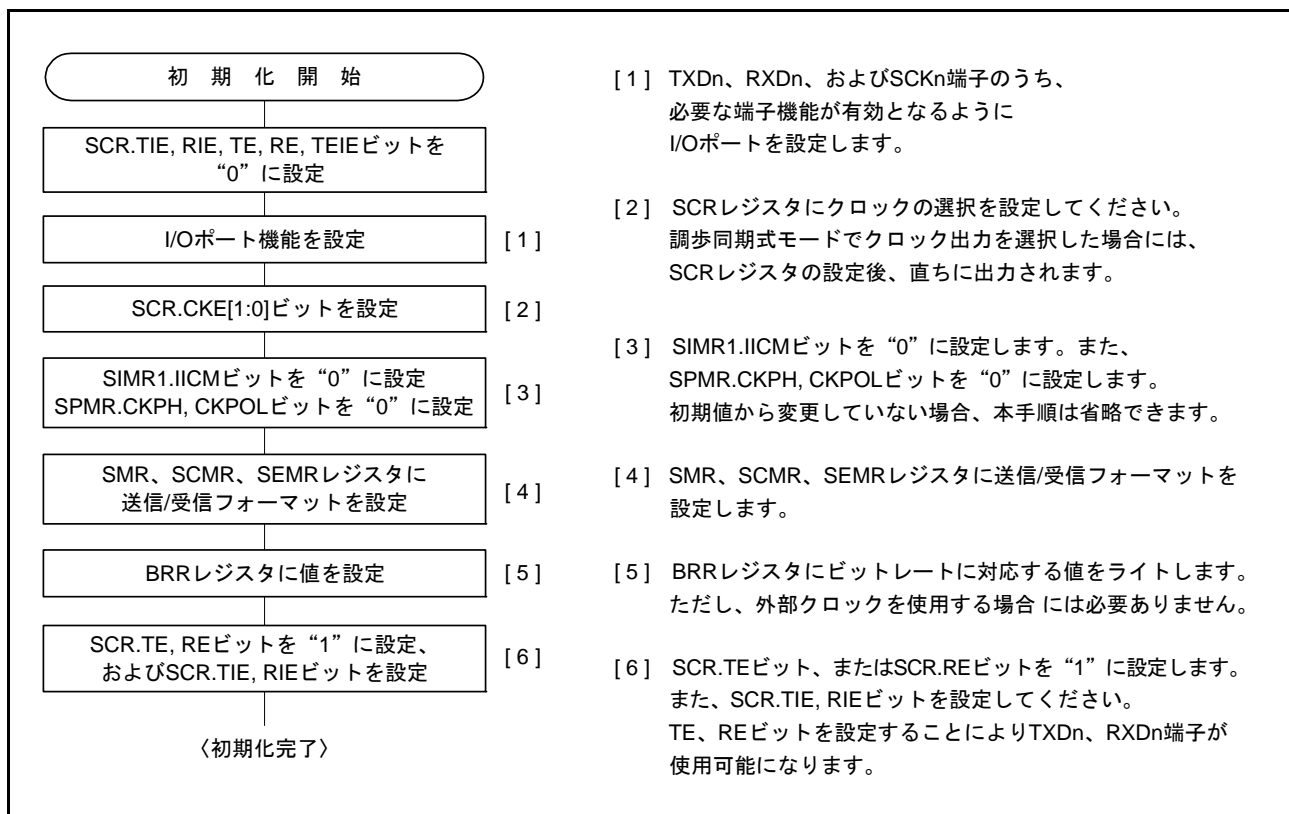


図 29.8 SCIの初期化フローチャートの例（調歩同期式モード）

29.3.6 シリアルデータの送信 (調歩同期式モード)

図 29.9 に調歩同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを “1” に設定した後に SCR.TE ビットを “1” にするか、1 命令で同時に “1” に設定することで発生します。
2. SPMR.CTSE ビットが “0” (CTS 機能禁止)、または CTSn# 端子入力が Low で、TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが “1” に設定されていると、TXI 割り込み要求を発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを “0” (TXI 割り込み要求を禁止) に、SCR.TEIE ビットを “1” (TEI 割り込み要求を許可) にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタの更新 (書き込み) をチェックします。
5. TDR レジスタが更新されていると、SPMR.CTSE ビットが “0” (CTS 機能禁止)、または CTSn# 端子入力が Low で、次の送信データを TDR レジスタから TSR レジスタにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを “1” にし、ストップビット送出後、“1” を出力してマーク状態になります。このとき、SCR.TEIE ビットが “1” にされていると、SSR.TEND フラグが “1” にされ TEI 割り込み要求を発生します。

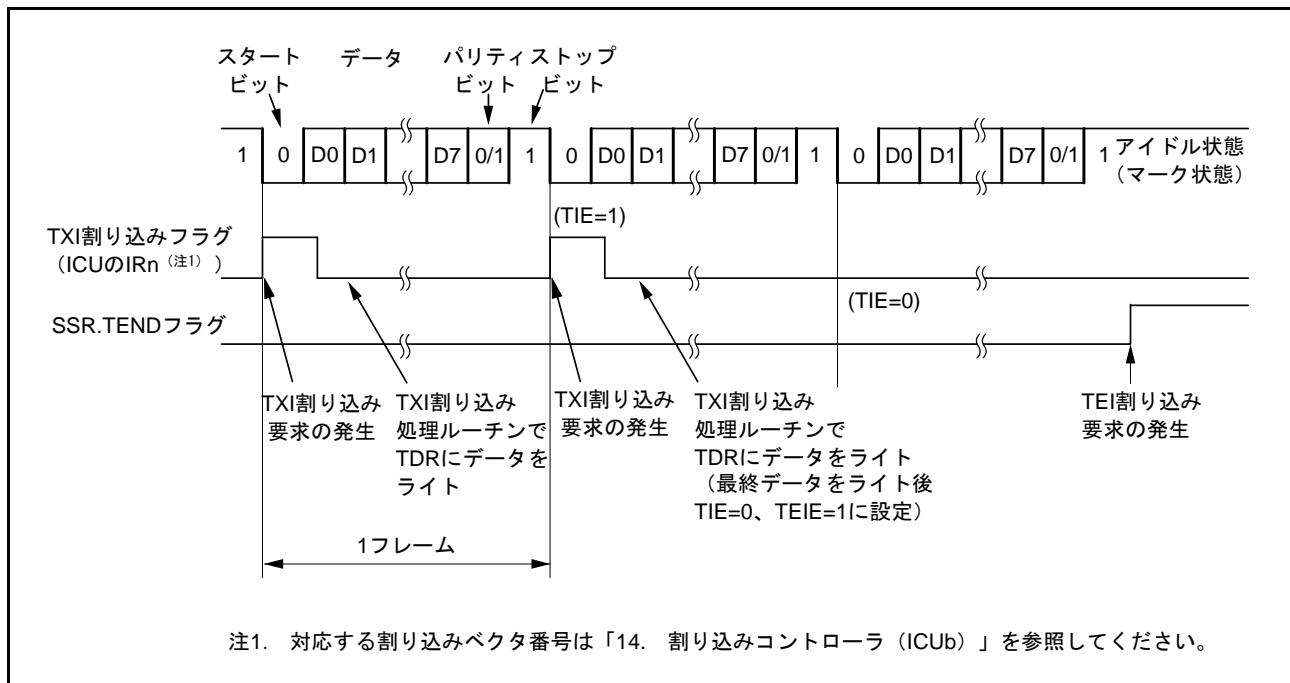


図 29.9 調歩同期式モードのシリアル送信 (送信中～送信終了時) の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

図 29.10 にシリアル送信のフローチャートの例を示します。

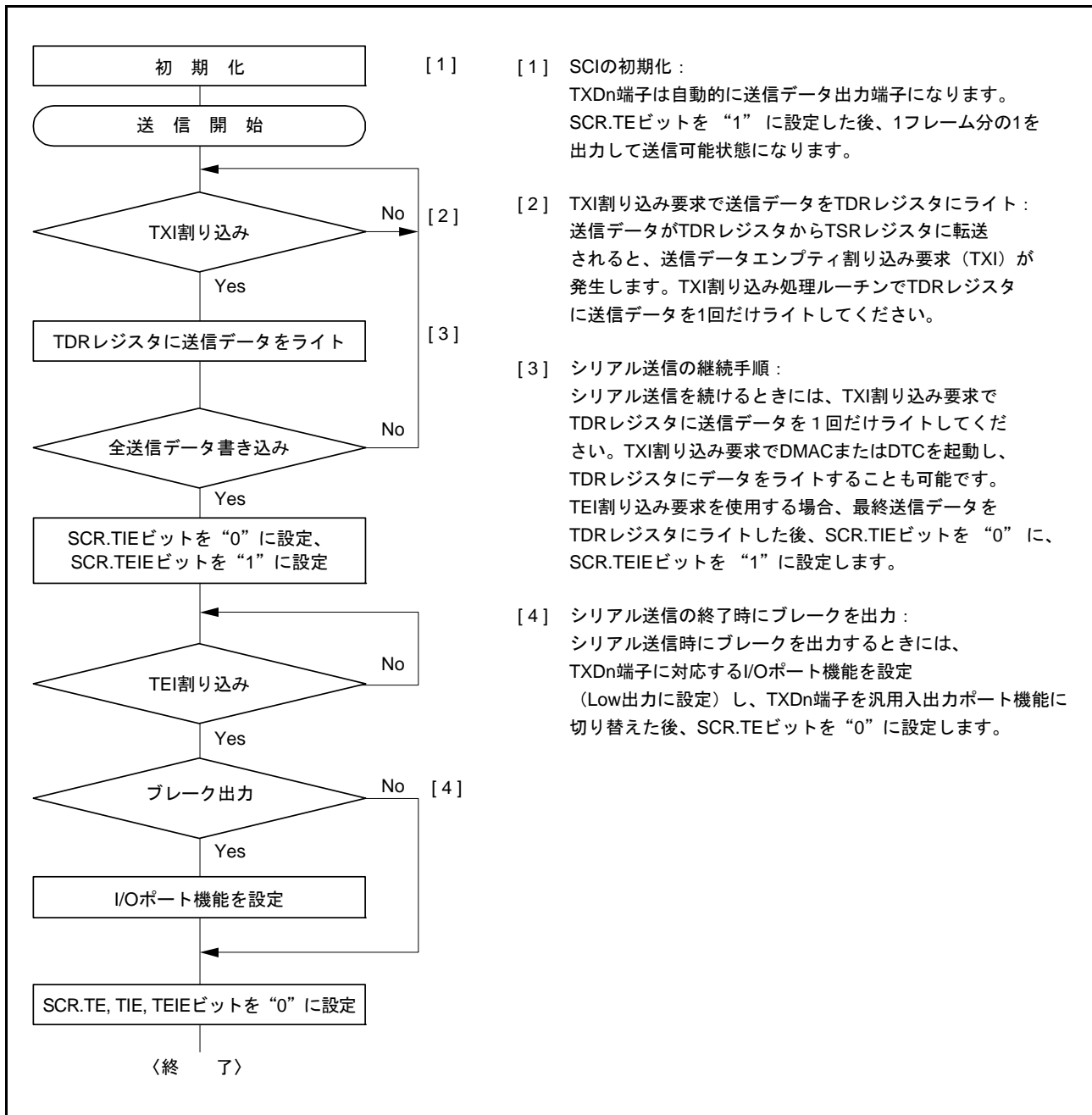


図 29.10 調歩同期式モードのシリアル送信のフローチャート例

29.3.7 シリアルデータの受信（調歩同期式モード）

図 29.11、図 29.12 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットを“1”にして、RTSn# 端子出力を Low にします。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.OPER フラグをセットします。このとき、SCR.RIE ビットが“1”にされていると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”にされていると、ERI 割り込み要求が発生します。
5. フレーミングエラー（ストップビットが 0 のとき）を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”にされていると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”にされていると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 端子出力を Low にします。

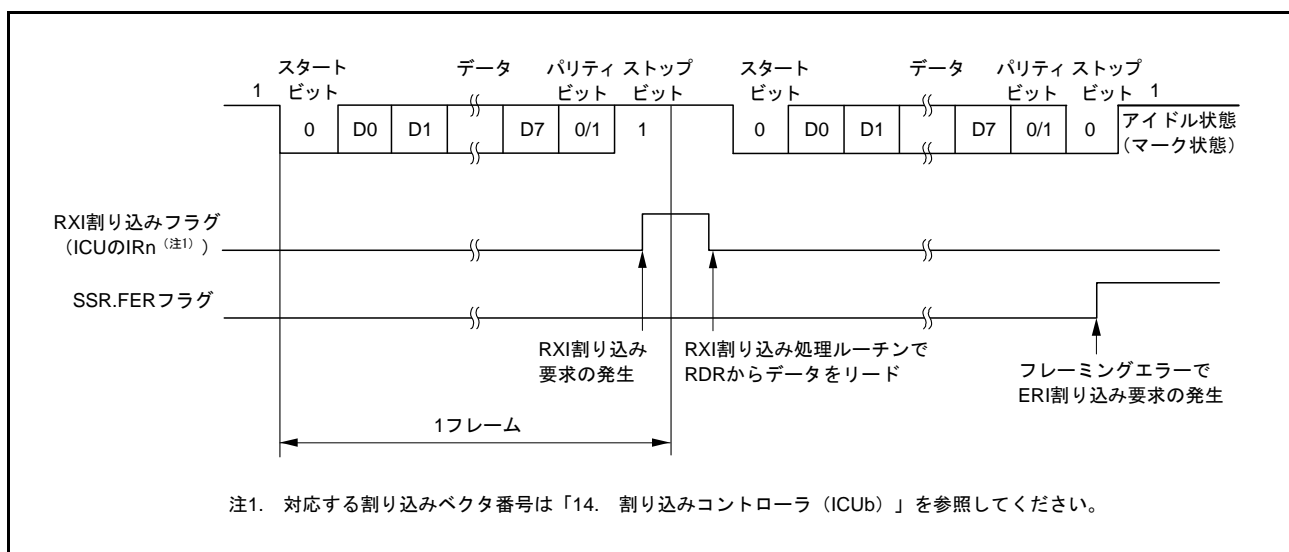


図 29.11 調歩同期式モードのシリアル受信時の動作例（1）（RTS 機能未使用時）
（8 ビットデータ / パリティあり / 1 ストップビットの例）

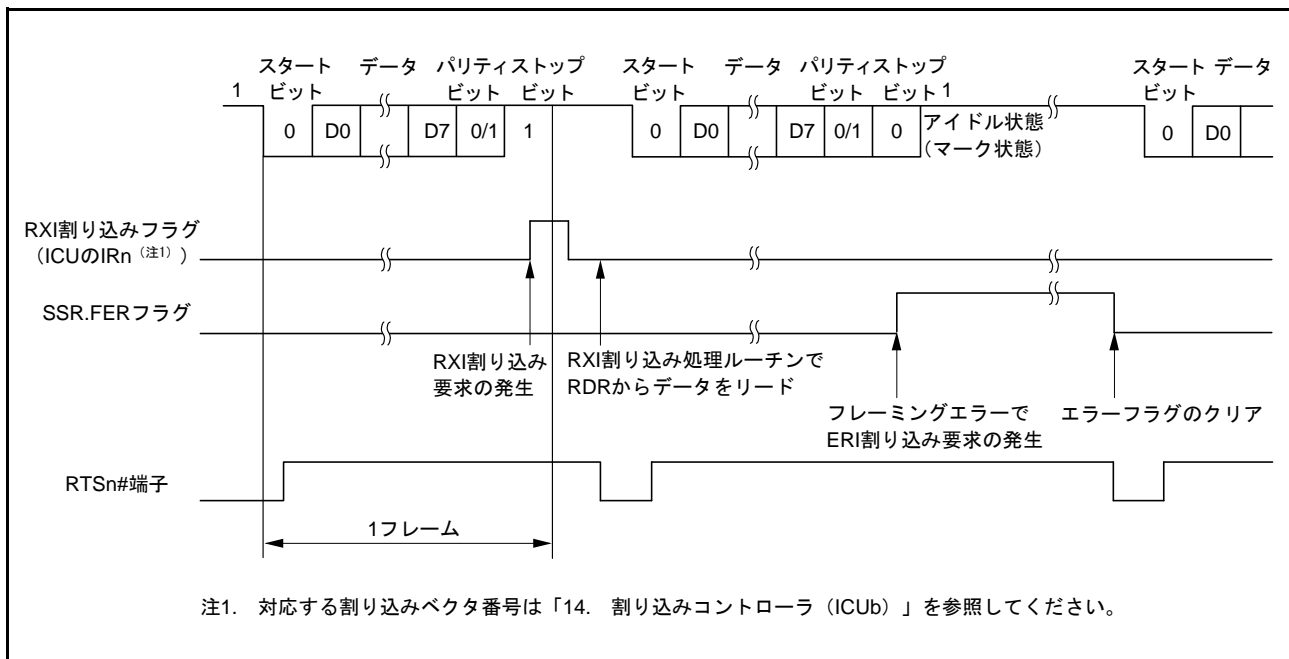


図 29.12 調歩同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)
(8 ビットデータ / パリティあり / 1 ストップビットの例)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 29.23 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを“0”に設定してください。また、オーバランエラー処理では RDR レジスタをリードしてください。

図 29.13、図 29.14 にシリアル受信のフローチャートの例を示します。

表 29.23 SSR レジスタのステータスフラグの状態と受信データの処理

SSR レジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバランエラー + フレーミングエラー
1	0	1	消失	オーバランエラー + パリティエラー
0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

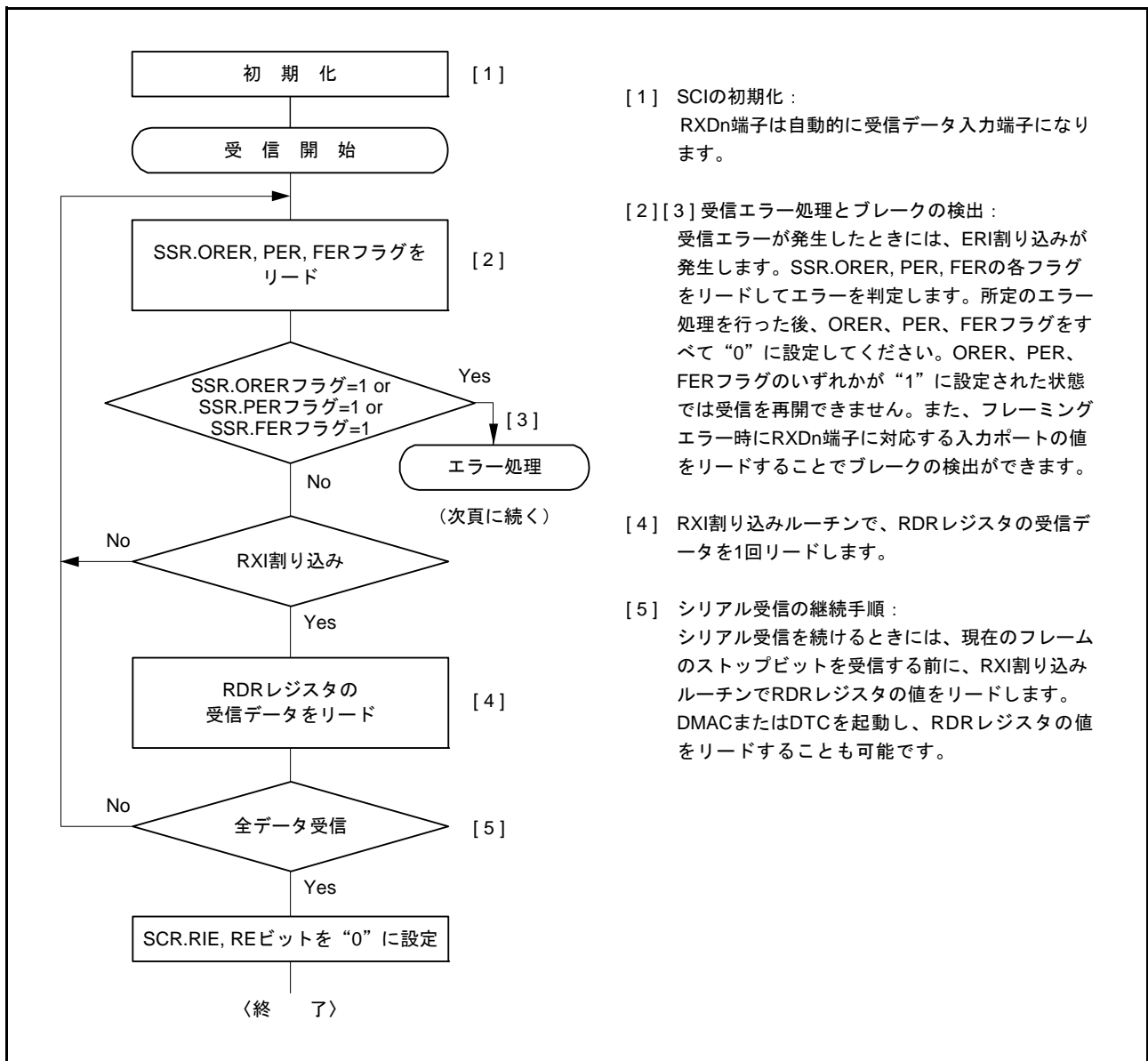


図 29.13 調歩同期式モードのシリアル受信のフローチャート例 (1)

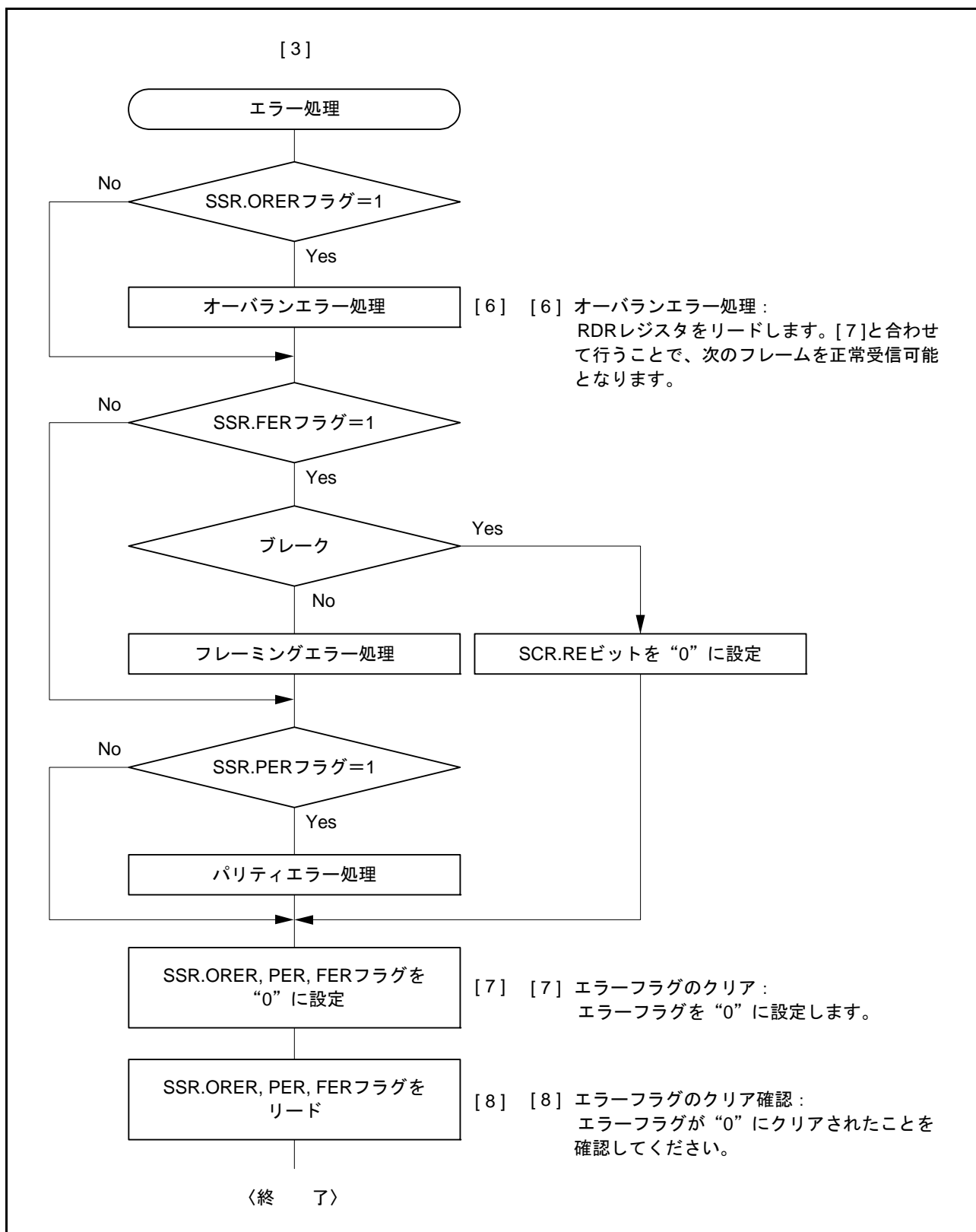


図 29.14 調歩同期式モードのシリアル受信のフローチャート例 (2)

29.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 29.15 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCIはこの機能をサポートするため、SCR.MPIE ビットが設けてあります。MPIE ビットを“1”に設定すると、マルチプロセッサビットが 1 のデータを受け取るまで RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と SSR.ORER、FER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR.MPBT ビットが“1”にされるとともに SCR.MPIE ビットが自動的にクリアされて通常の受信動作に戻ります。このとき SCR.RIE ビットがセットされていると RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

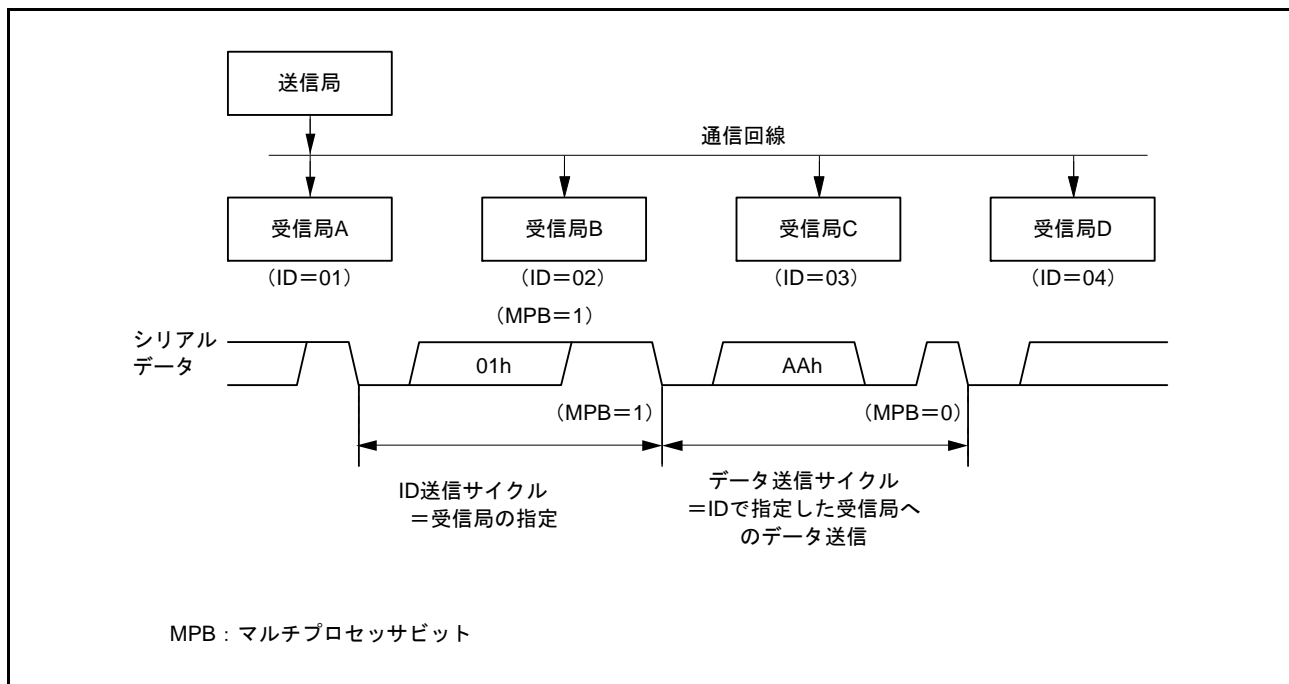


図 29.15 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ AAh の送信の例）

29.4.1 マルチプロセッサシリアルデータ送信

図 29.16 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを“1”に設定して送信してください。データ送信サイクルでは SSR.MPBT ビットを“0”に設定して送信してください。その他の動作は調歩同期式モードの動作と同じです。

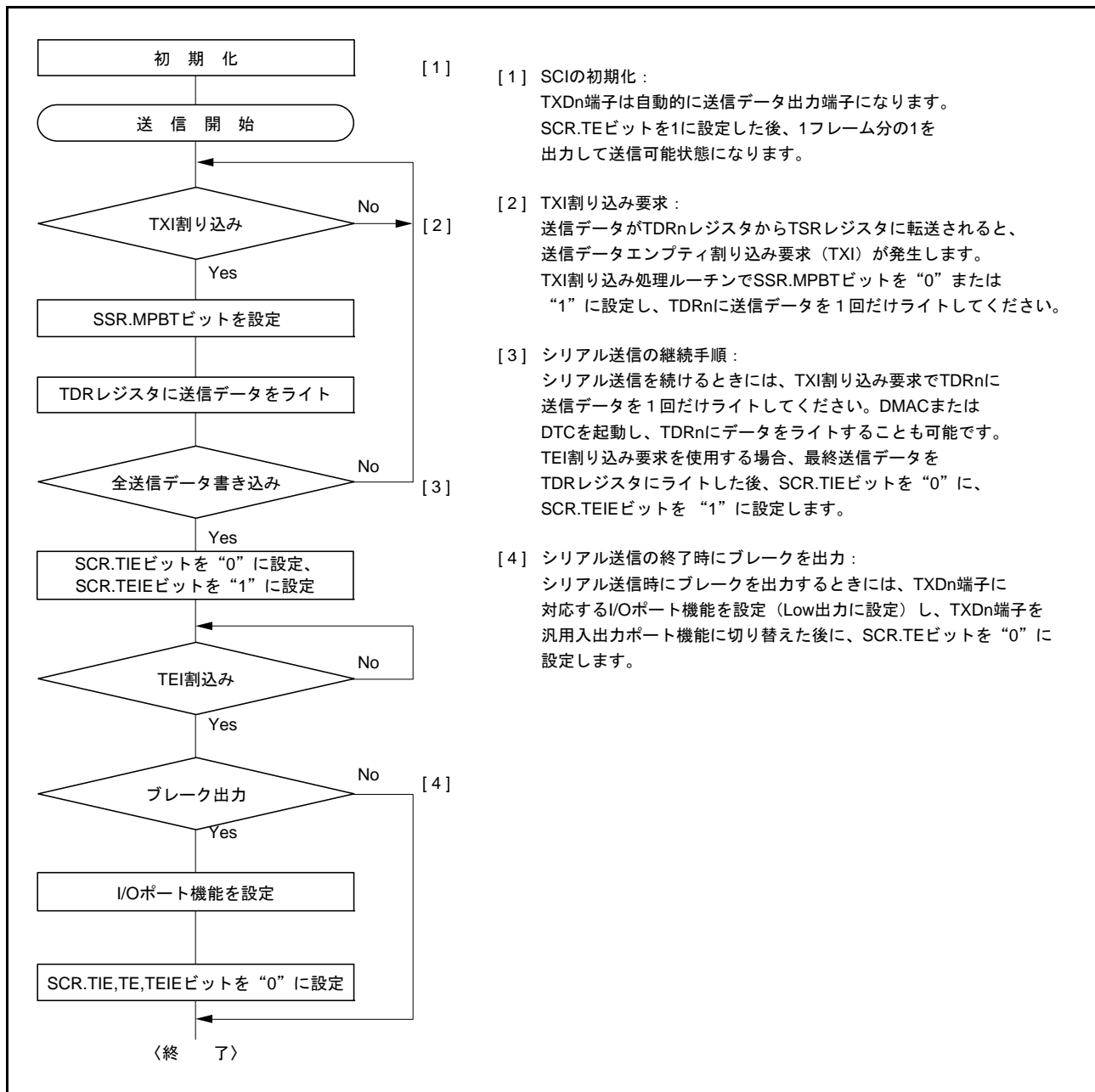


図 29.16 マルチプロセッサシリアル送信のフローチャートの例

29.4.2 マルチプロセッサシリアルデータ受信

図 29.18、図 29.19 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを“1”に設定するとマルチプロセッサビットが1の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが1の通信データを受信すると受信データを RDR レジスタに転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。

図 29.17 に受信時の動作例を示します。

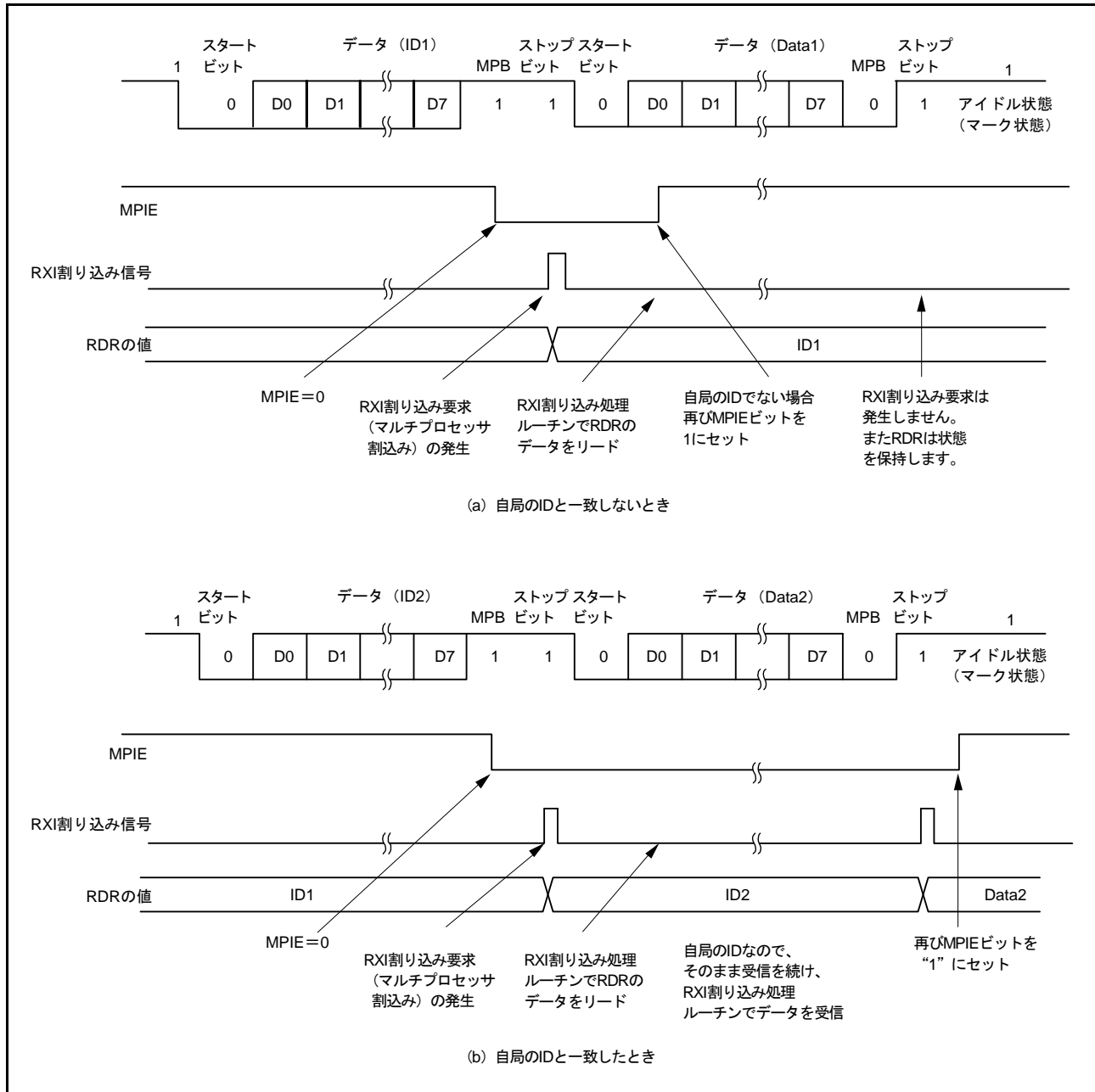


図 29.17 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

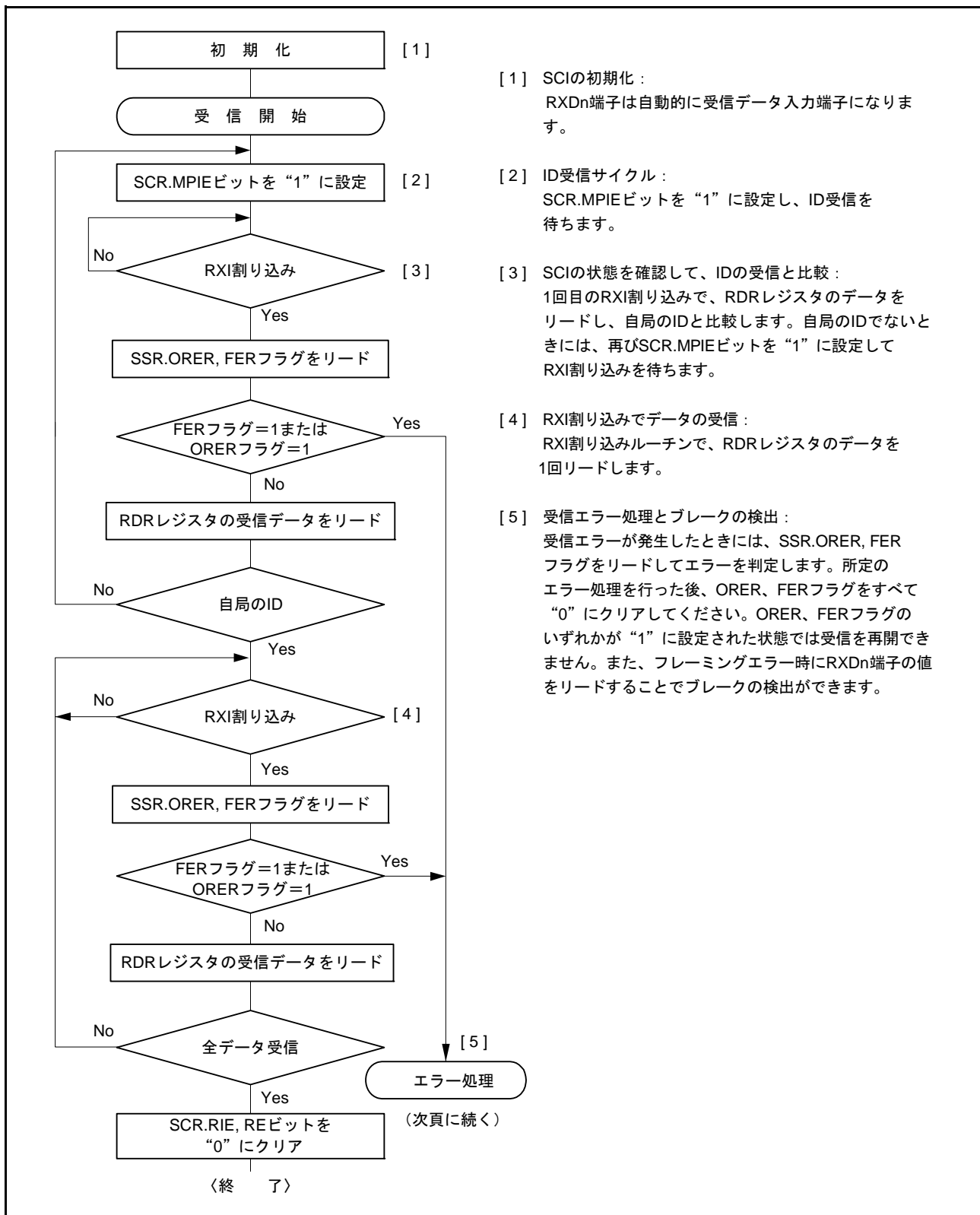


図 29.18 マルチプロセッサシリアル受信のフローチャートの例 (1)

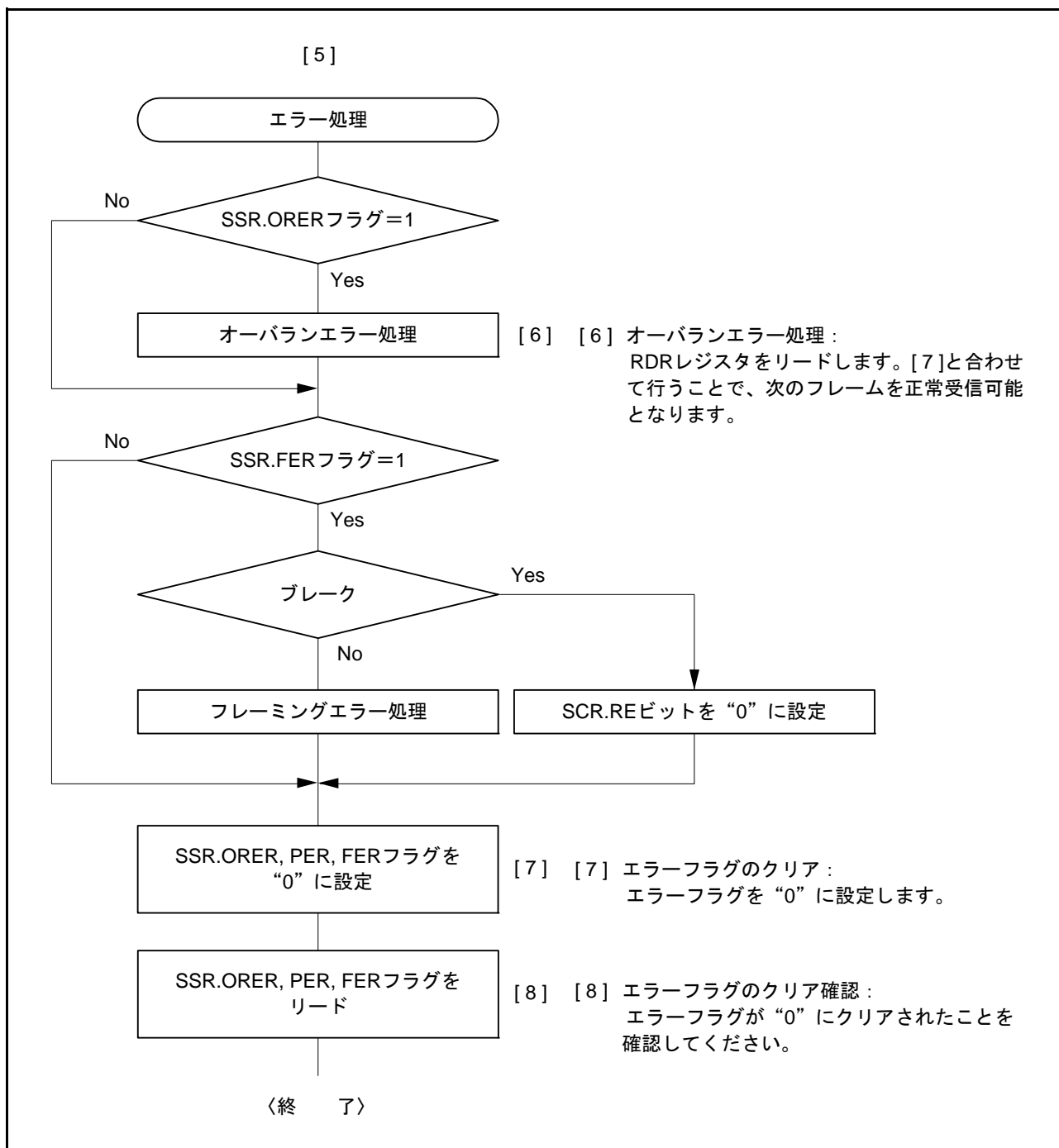


図 29.19 マルチプロセッサシリアル受信のフローチャートの例 (2)

29.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 29.20 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCIは、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

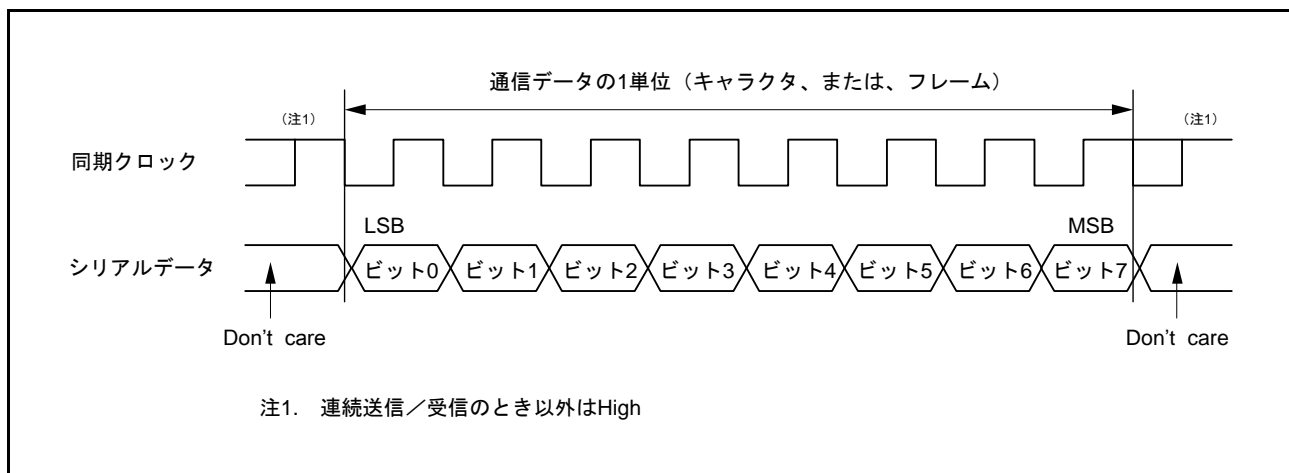


図 29.20 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

29.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは CTS 機能有効で CTSn# 端子入力が High か、オーバランエラーが発生するか、SCR.RE ビットを“0”に設定するまで同期クロックは出力されます。CTS 機能が有効な場合は、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を停止します。

29.5.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SPMR.CTSE ビット“1”に設定すると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが“1”
- 送受信動作中でない
- 読み出し前の受信データがない (SCR.RE ビットが“1”のとき)
- 送信データを書き込み済 (SCR.TE ビットが“1”のとき)
- SSR.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

29.5.3 SCIの初期化（クロック同期式モード）

データの送受信前に SCR レジスタに初期値 00h を書き込み、図 29.21 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを“0”に設定しても、SSR.ORER, FER, PER の各フラグおよび RDR レジスタは初期化されませんので注意してください。

SCR.TE ビットを“1”から“0”、または“0”から“1”に設定すると、SCR.TIE ビットが“1”の場合、TXI 割り込みが発生しますので注意してください。

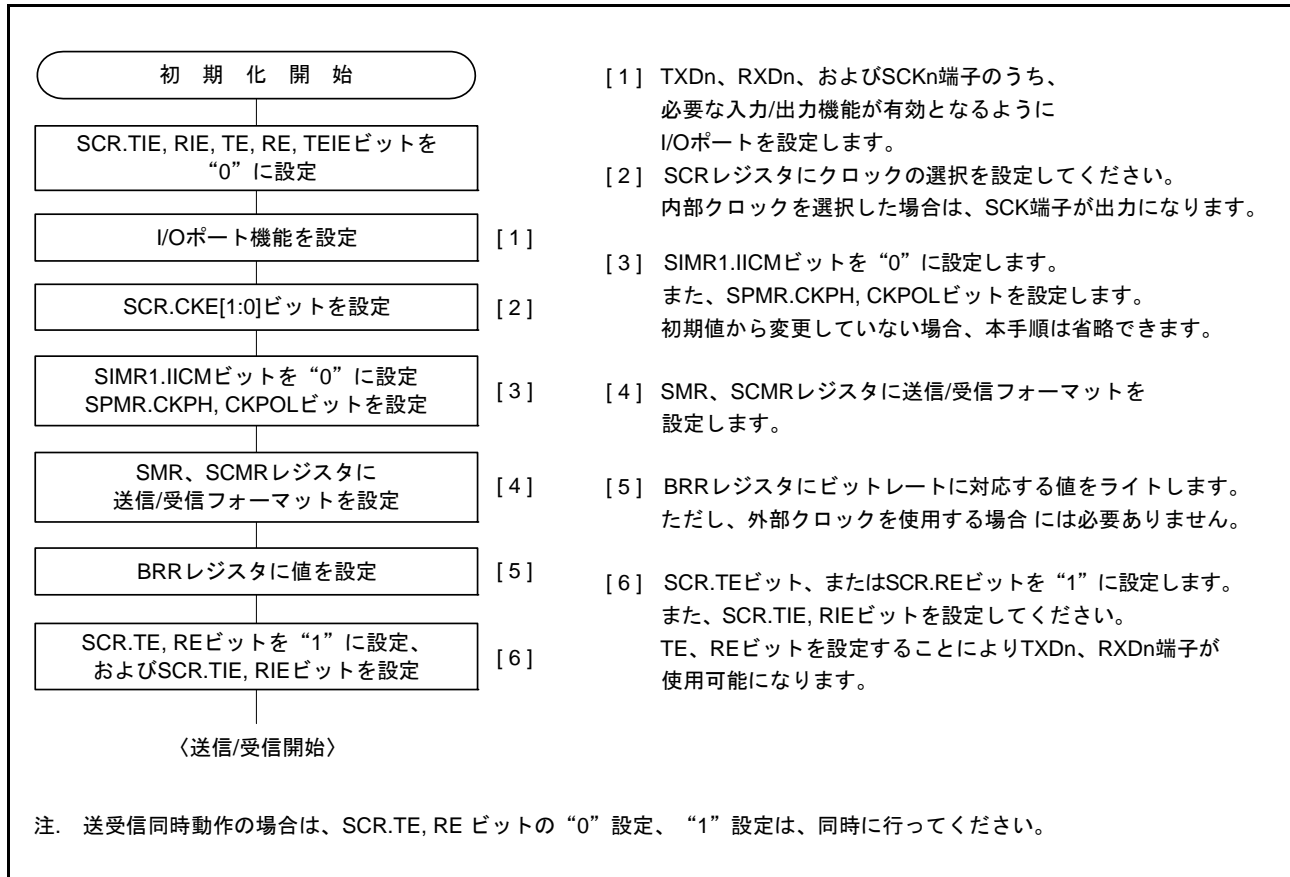


図 29.21 SCIの初期化フローチャートの例（クロック同期式モード）

29.5.4 シリアルデータの送信（クロック同期式モード）

図 29.22 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”に設定した後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”に設定することで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”に設定されていると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを“0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを“1”（TEI 割り込み要求を許可）にします。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SPMR.CTSE ビットが“1”（CTS 機能許可）のとき、CTS 信号入力 Low になるまで待つてから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが“1”にされていると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 29.23 にシリアル送信のフローチャートの例を示します。

受信エラーフラグ（SSR.ORER, FER, PER）が“1”にされた状態では送信を開始しません。送信開始の前に、受信エラーフラグを“0”に設定してください。また、受信エラーフラグは SCR.RE ビットを“0”にしただけではクリアされませんので注意してください。

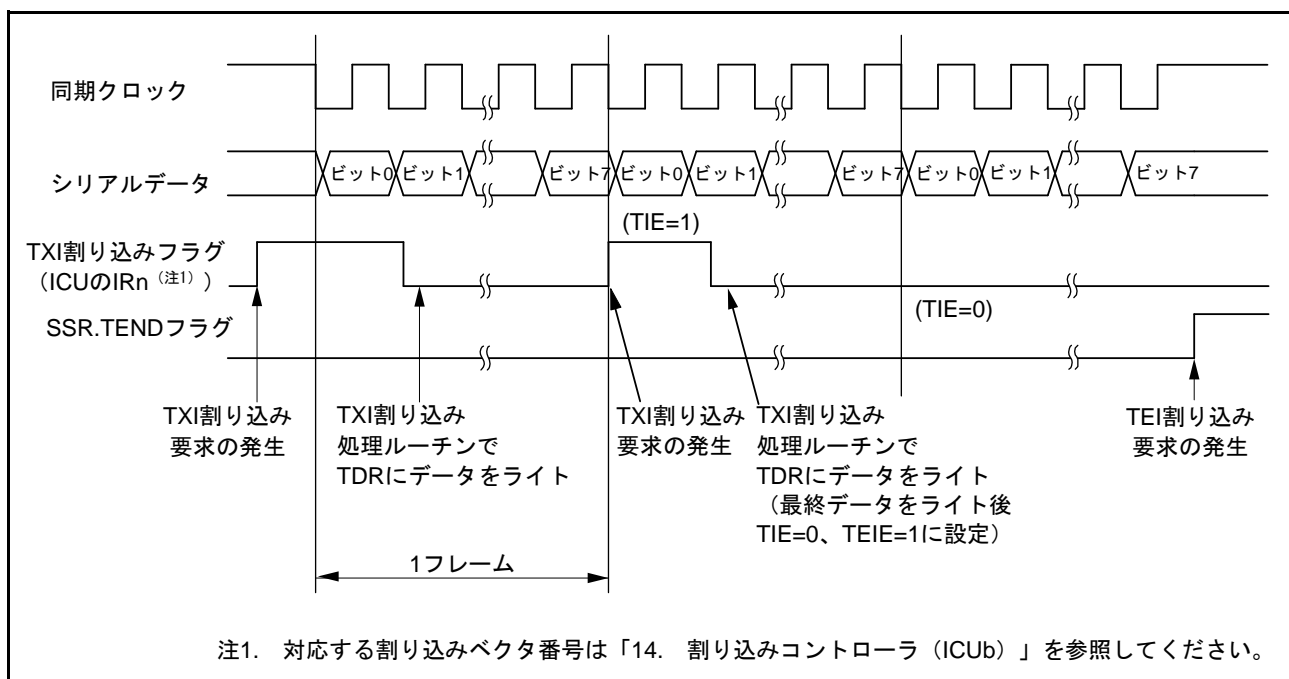


図 29.22 クロック同期式モードのシリアル送信（送信中～送信終了時）の動作例

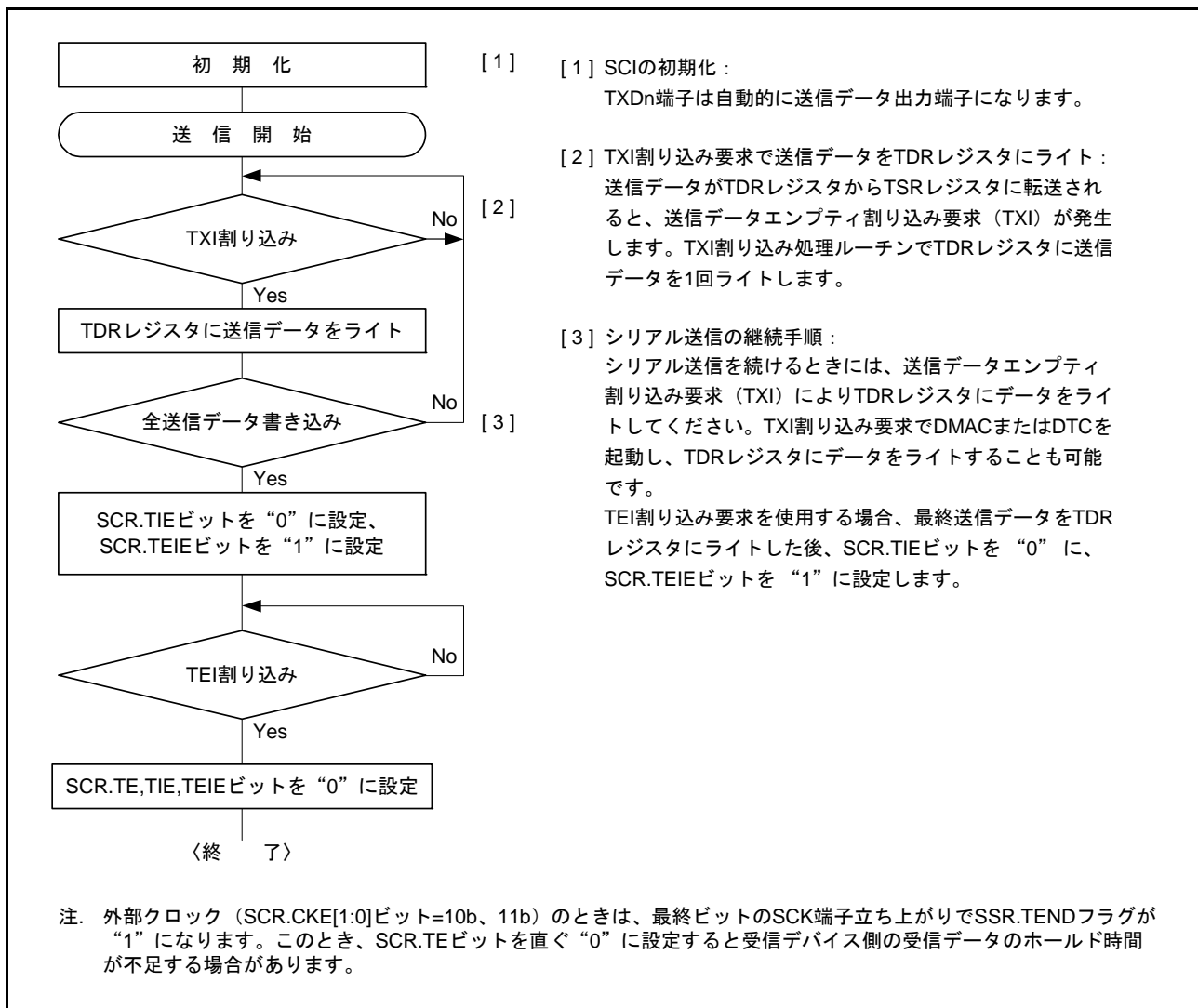


図 29.23 クロック同期式モードのシリアル送信のフローチャート例

29.5.5 シリアルデータの受信（クロック同期式モード）

図 29.24、図 29.25 にクロック同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTS 信号出力を Low にします（RTS 機能使用時）。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR.RIE ビットが“1”にされていると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”にされていると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTS 信号出力を Low にします（RTS 機能使用時）。

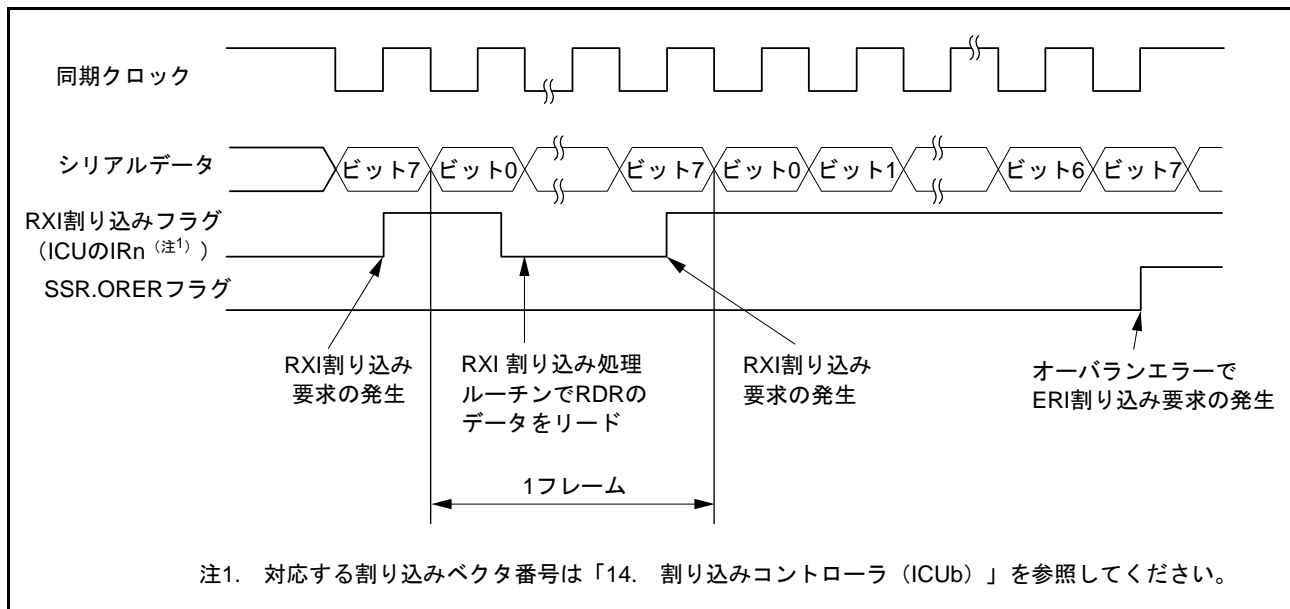


図 29.24 クロック同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)

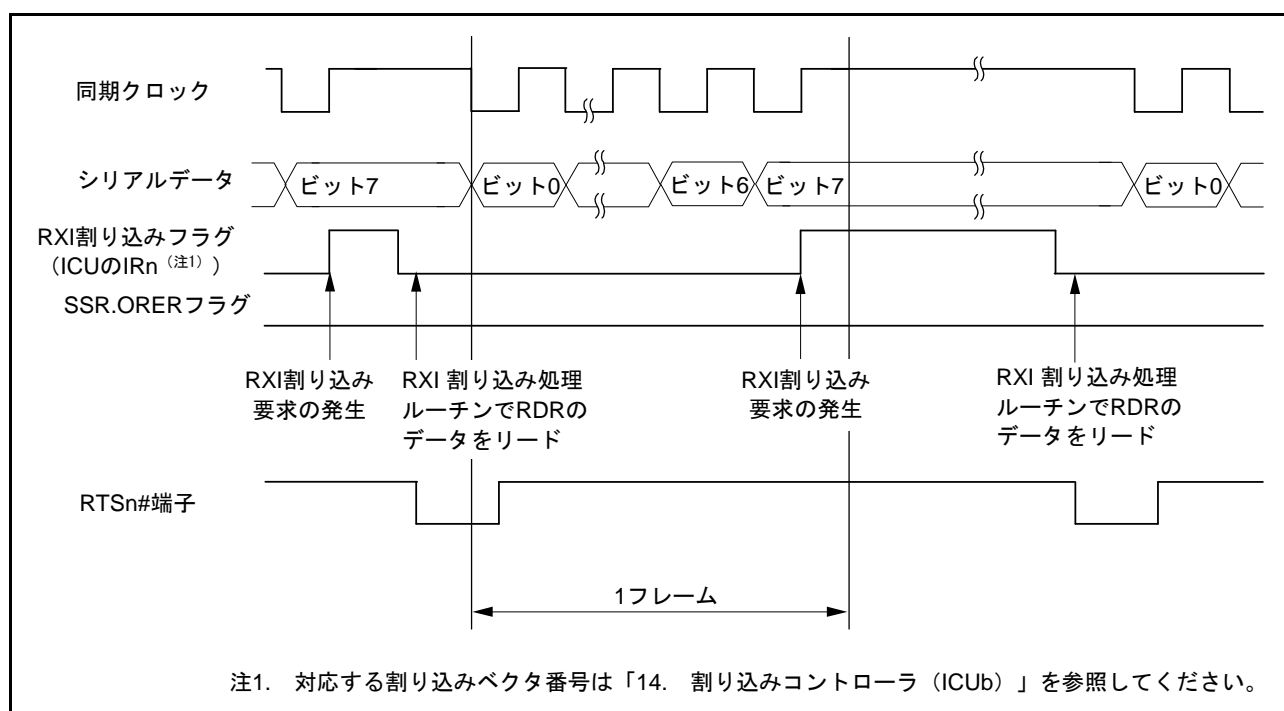


図 29.25 クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR.ORER, FER, PER フラグを“0”に設定してください。また、オーバランエラー処理では RDR レジスタをリードしてください。

図 29.26 にシリアル受信のフローチャートの例を示します。

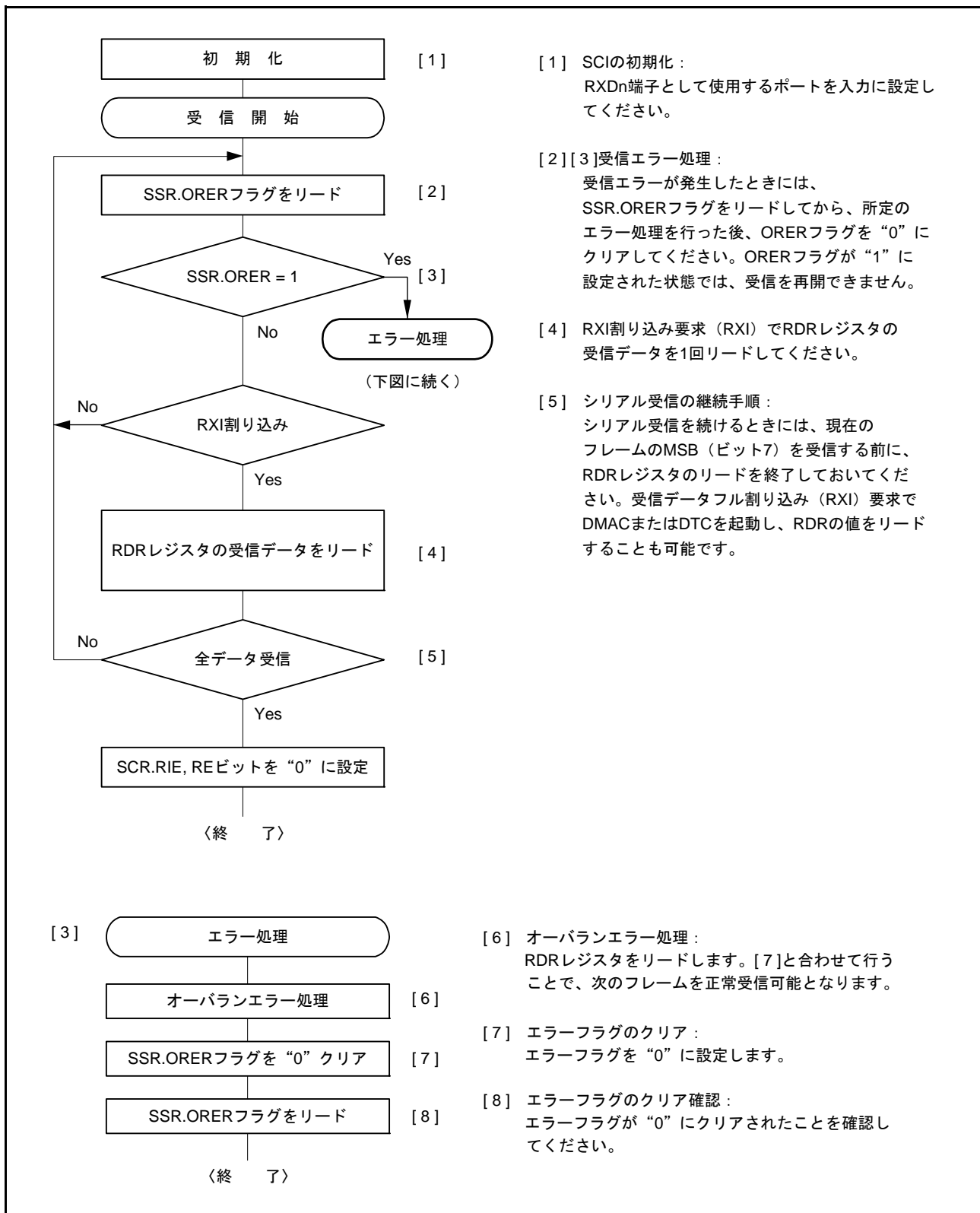


図 29.26 クロック同期式モードのシリアル受信のフローチャート例

29.5.6 シリアルデータの送受信同時動作 (クロック同期式モード)

図 29.27 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCIの初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCIが送信終了状態であることをSSR.TENDフラグが“1”に設定されていることで確認してください。その後、SCRレジスタを初期化してからSCR.TIE, RIE, TE, REビットを1命令で同時に“1”に設定してください。

受信から同時送受信へ切り替えるときには、SCIが受信完了状態であることを確認した後、SCR.RIE, REビットを“0”に設定してから、エラーフラグ(SSR.ORER, FER, PER)が“0”に設定されていることを確認した後、SCR.TIE, RIE, TE, REビットを1命令で同時に“1”に設定してください。

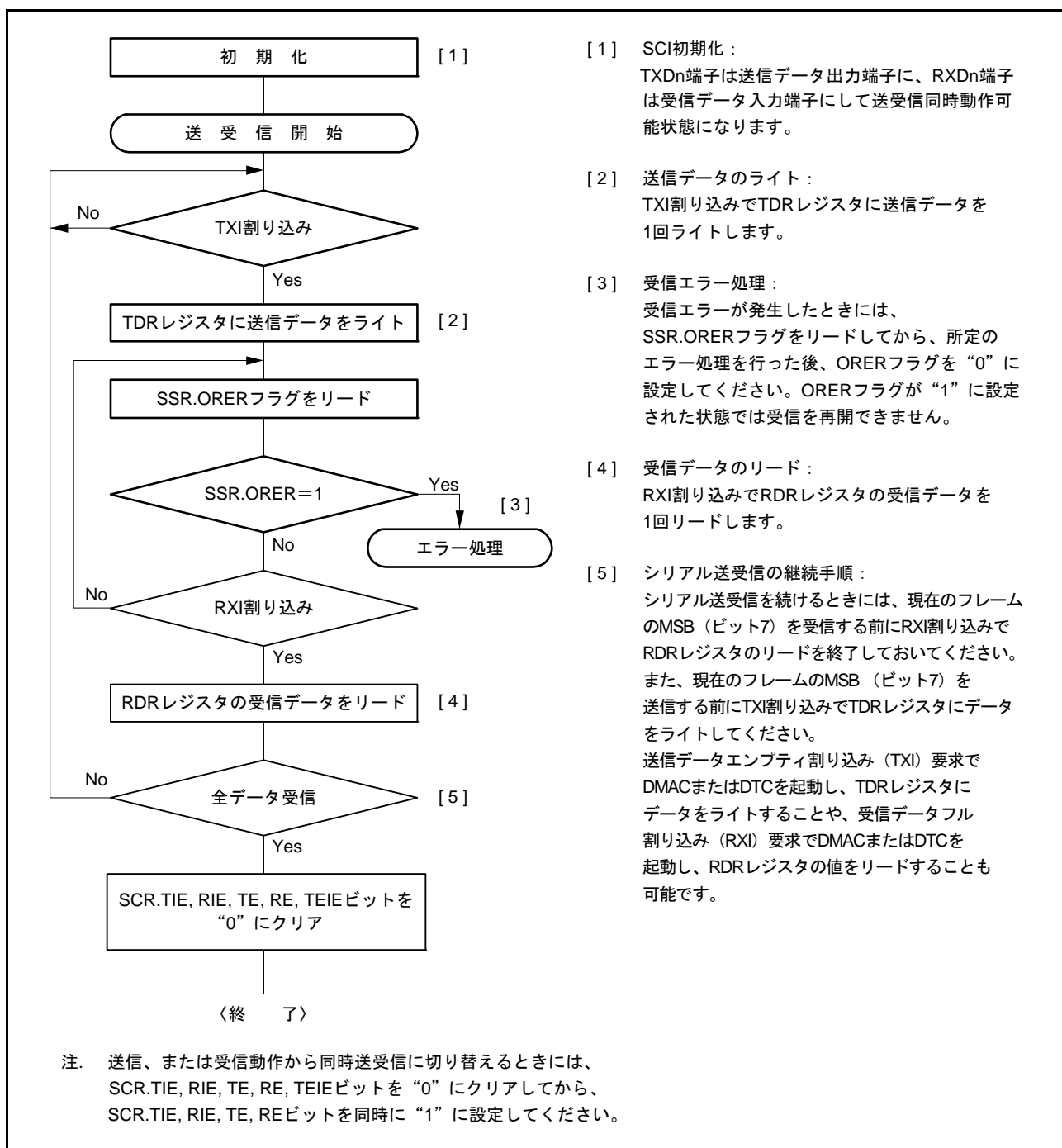


図 29.27 クロック同期式モードのシリアル送受信同時動作のフローチャート例

29.6 スマートカードインタフェースモードの動作

SCIの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (ICカード) とのインタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

29.6.1 接続例

図 29.28 にスマートカード (ICカード) との接続例を示します。

ICカードとは1本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

ICカードを接続しない状態で SCR.TE ビット = 1、SCR.RE ビット = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

SCIで生成するクロックを ICカードに供給する場合は、SCKn 端子出力を ICカードの CLK 端子に入力してください。

リセット信号の出力には RX210 グループの出力ポートを使用できます。

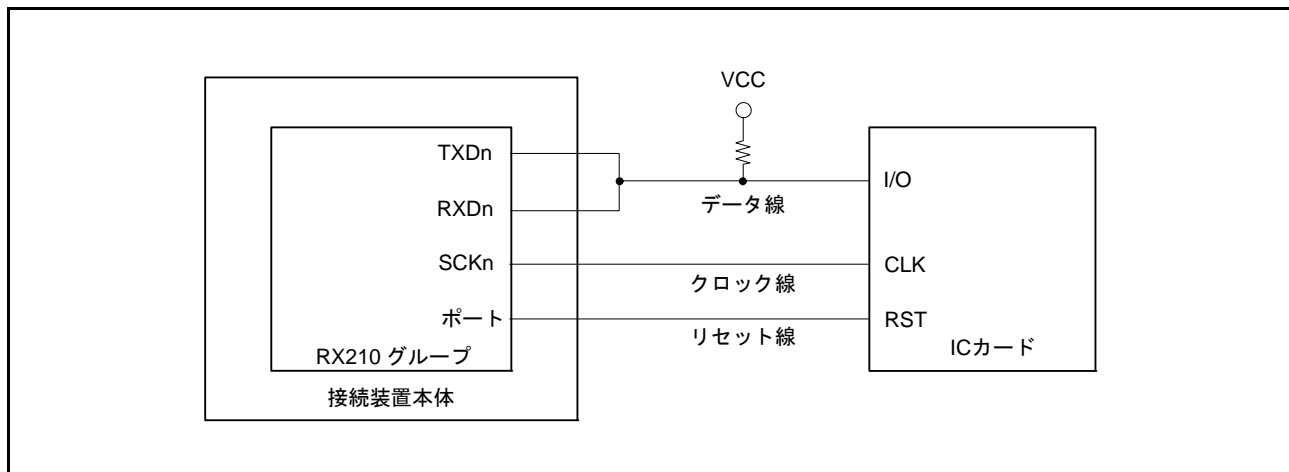


図 29.28 スマートカード (ICカード) との接続例

29.6.2 データフォーマット (ブロック転送モード時を除く)

図 29.29 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5etu 経過後、エラーシグナル (Low) を 1etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2etu 以上経過後、自動的に同じデータを再送信します。

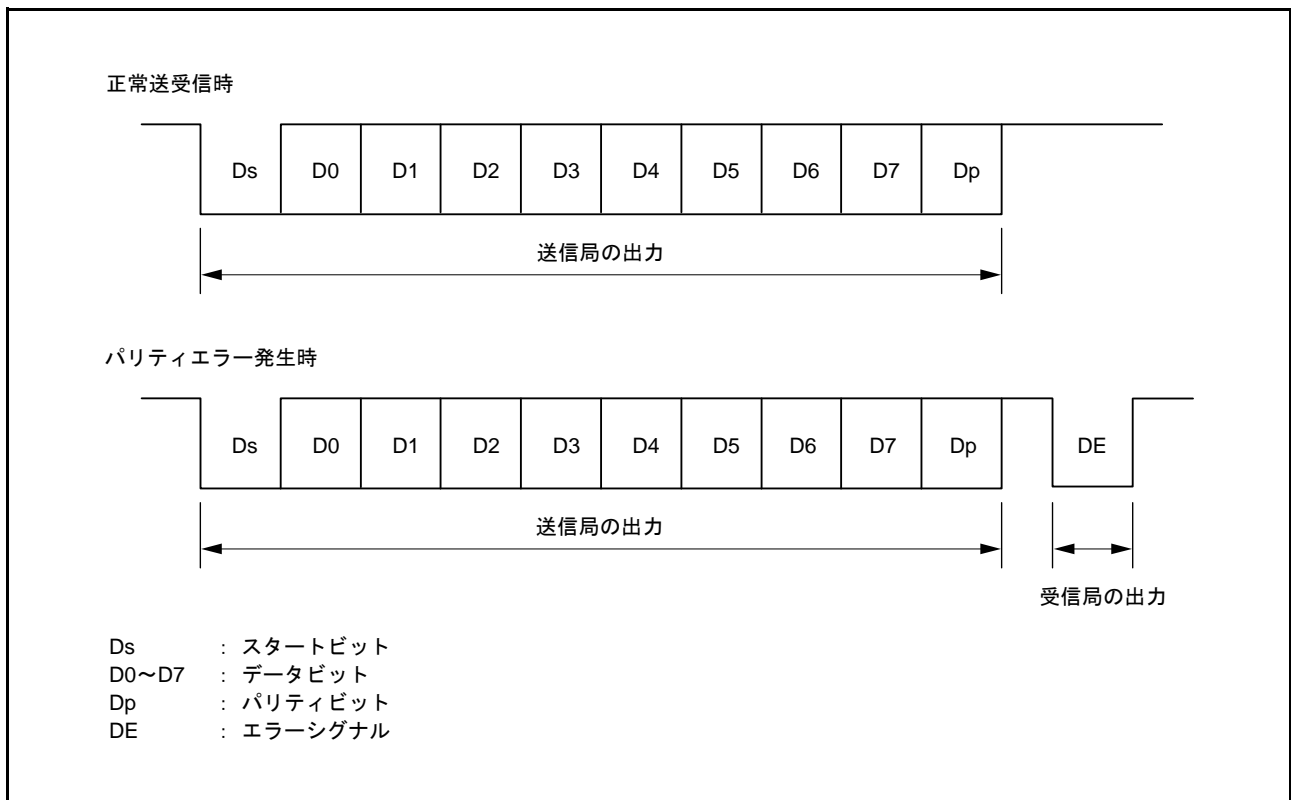


図 29.29 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、**図 29.30** に示す開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。**図 29.30** の開始キャラクタでは、データは3Bhとなります。

ダイレクトコンベンションタイプでは、SCMR.SDIR、SINVビットをともに“0”に設定してください。また、スマートカードの規定により偶数パリティとなるようSMR.PMビットには“0”を設定してください。

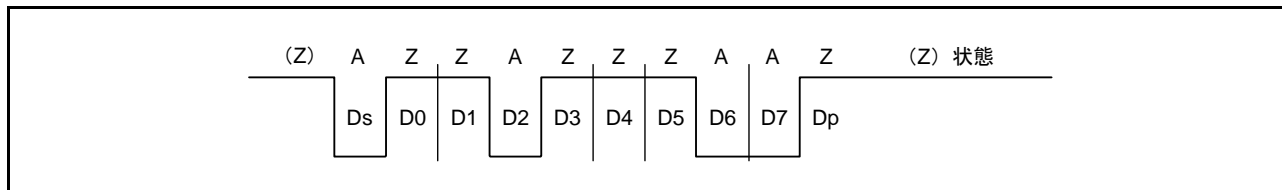


図 29.30 ダイレクトコンベンション (SCMR.SDIR ビット=0、SCMR.SINV ビット=0、SMR.PM ビット=0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信します。**図 29.31** の開始キャラクタでは、データは3Fhとなります。

インバースコンベンションタイプでは、SCMR.SDIR、SINVビットをともに“1”に設定してください。パリティビットはスマートカードの規定により偶数パリティで論理0となり、状態Zが対応します。RX210グループでは、SINVビットはデータビットD7～D0のみ反転させます。このため、送受信ともSMR.PMビットに“1”を設定してパリティビットを反転させてください。

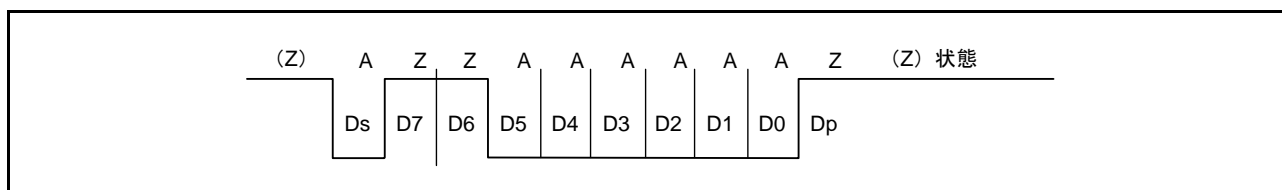


図 29.31 インバースコンベンション (SCMR.SDIR ビット=1、SCMR.SINV ビット=1、SMR.PM ビット=1)

29.6.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信時にパリティチェックを行いますが、エラーを検出してもエラーシグナルは出力しません。
SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小1etu以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から11.5etu後にセットされます。
- SSR.ERS フラグは通常のスマートカードインタフェースモードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に“0”となります。

29.6.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロックのみです。

スマートカードインタフェースモードでは、SCIはSCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定により、ビットレートの32倍、64倍、372倍、256倍、93倍、128倍、186倍、512倍（通常の調歩同期式モードでは16倍に固定されています）の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、**図 29.32**に示すように、受信データを基本クロックのそれぞれ16、32、186、128、46、64、93、256サイクルの立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%]$$

- M : 受信マージン(%)
- N : クロックに対するビットレートの比(N=32, 64, 372, 256)
- D : クロックデューティ (D=0~1.0)
- L : フレーム長(L=10)
- F : クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372とすると、受信マージンは次のようになります。

$$M = \left\{ 0.5 - 1 / (2 \times 372) \right\} \times 100 [\%] = 49.866\%$$

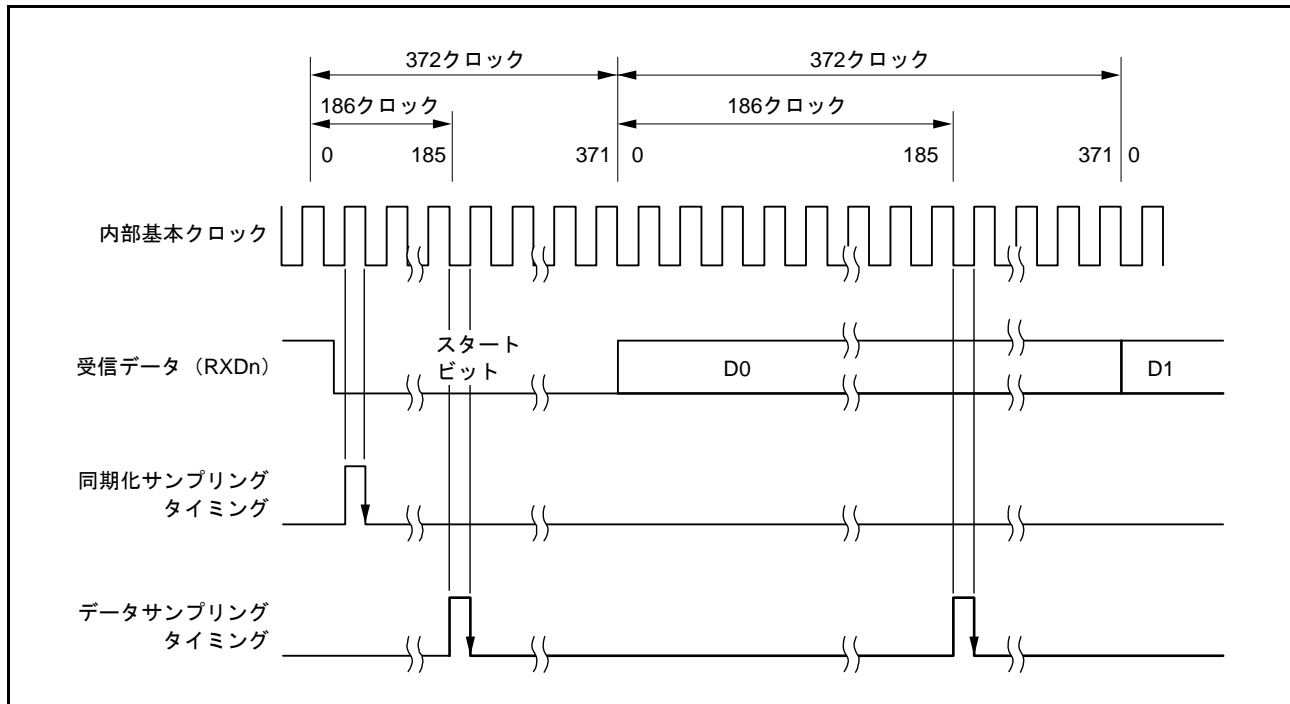


図 29.32 スマートカードインタフェースモード時の受信データサンプリングタイミング (372倍のクロック使用時)

29.6.5 SCIの初期化（スマートカードインタフェースモード）

データの送受信の前に、以下の手順でSCIを初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRレジスタに初期値00hを書き込みます。
2. TXDn、RXDn、およびSCKn端子のうち、必要な入力/出力機能が有効となるようにI/Oポートを設定してください。
3. SSRレジスタのエラーフラグ（ORER、ERS、PER）を“0”に設定してください。
4. SIMR1.IICMビットを“0”に、SPMR.CKPH、CKPOLビットを“0”に設定してください。
（初期値から値を変更していない場合、本手順は省略可能です。）
5. SMR.GM、BLK、PM、BCP[1:0]、CKS[1:0]ビット、およびSCMR.BCP2ビットを設定してください。このとき、SMR.PEビットは“1”に設定してください。
6. SCMR.SDIR、SINV、SMIFビットを設定してください。TXDn端子およびRXDn端子は、ハイインピーダンス状態となります。
7. ビットレートに対応する値をBRRレジスタに設定します。
8. SCR.CKE[1:0]ビットを設定してください。このとき、SCR.TIE、RIE、TE、RE、TEIEビットは“0”に設定してください。
CKE[0]ビットを“1”に設定した場合は、SCKn端子からクロックを出力します。
9. SCR.TIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、TEビット=1、REビット=0に設定してください。受信動作の完了は、RXI割り込み要求、SSR.ORERフラグ、あるいはSSR.PERフラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TEビット=0、REビット=1に設定してください。送信動作の完了はSSR.TENDフラグで確認できます。

29.6.6 シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースモードとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を図 29.33 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると **SSR.ERS** フラグが“1”に設定されます。このとき **SCR.RIE** ビットが“1”にされていると、**ERI** 割り込み要求を発生します。次のパリティビットのサンプリングまでに **ERS** フラグをクリアしてください。
- 2 エラーシグナルを受信したフレームでは、**SSR.TEND** フラグはセットされません。**TDR** レジスタから **TSR** レジスタに再度データが転送され、自動的に再送信を行います。
- 3 受信側からエラーシグナルが返ってこない場合は、**ERS** フラグはセットされません。
- 4 再転送を含む 1 フレームの送信が完了したと判断して、**SSR.TEND** フラグがセットされます。このとき、**SCR.TIE** ビットが“1”にされていると、**TXI** 割り込み要求を発生します。送信データを **TDR** レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 29.35 に示します。これらの一連の処理は、**TXI** 割り込み要因によって **DTC** または **DMAC** を起動することで自動的に行うことができます。

送信動作では、**SSR.TEND** フラグが“1”にされると、**SCR.TIE** ビットを“1”にしておくと、**TXI** 割り込み要求を発生します。あらかじめ **DTC** または **DMAC** の起動要因に **TXI** 割り込み要求を設定しておけば、**TXI** 割り込み要求により **DTC** または **DMAC** が起動されて送信データの転送を行います。**TEND** フラグは、**DTC** または **DMAC** によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は **SCI** が自動的に同じデータを再送信します。この間、**TEND** フラグは“0”のまま保持され、**DTC** または **DMAC** は起動されません。したがって、エラー発生時の再送信を含め、**SCI** と **DTC** または **DMAC** が指定されたバイト数を自動的に送信します。ただし、エラー発生時、**ERS** フラグは自動的にクリアされませんので、**RIE** ビットを“1”にしておき、エラー発生時に **ERI** 割り込み要求を発生させ、**ERS** フラグをクリアしてください。

なお、**DTC** または **DMAC** を使って送受信を行う場合は、先に **DTC** または **DMAC** を設定し、許可状態にしてから **SCI** の設定を行ってください。

DTC または **DMAC** の設定方法は「16. DMA コントローラ (DMACA)」、「17. データトランスファコントローラ (DTCa)」を参照してください。

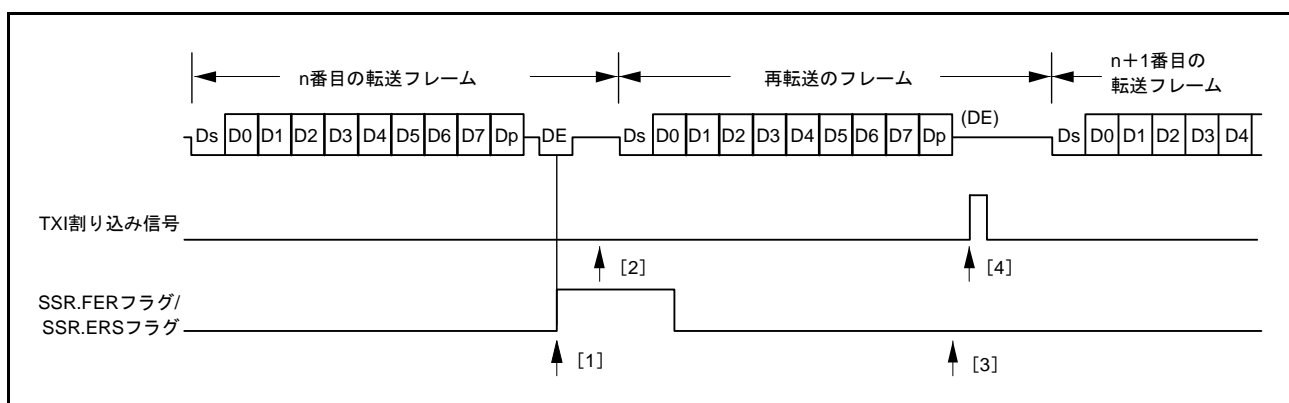


図 29.33 SCI 送信モードの場合の再転送動作（送信時の再転送動作）

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 29.34 に TEND フラグ発生タイミングを示します。

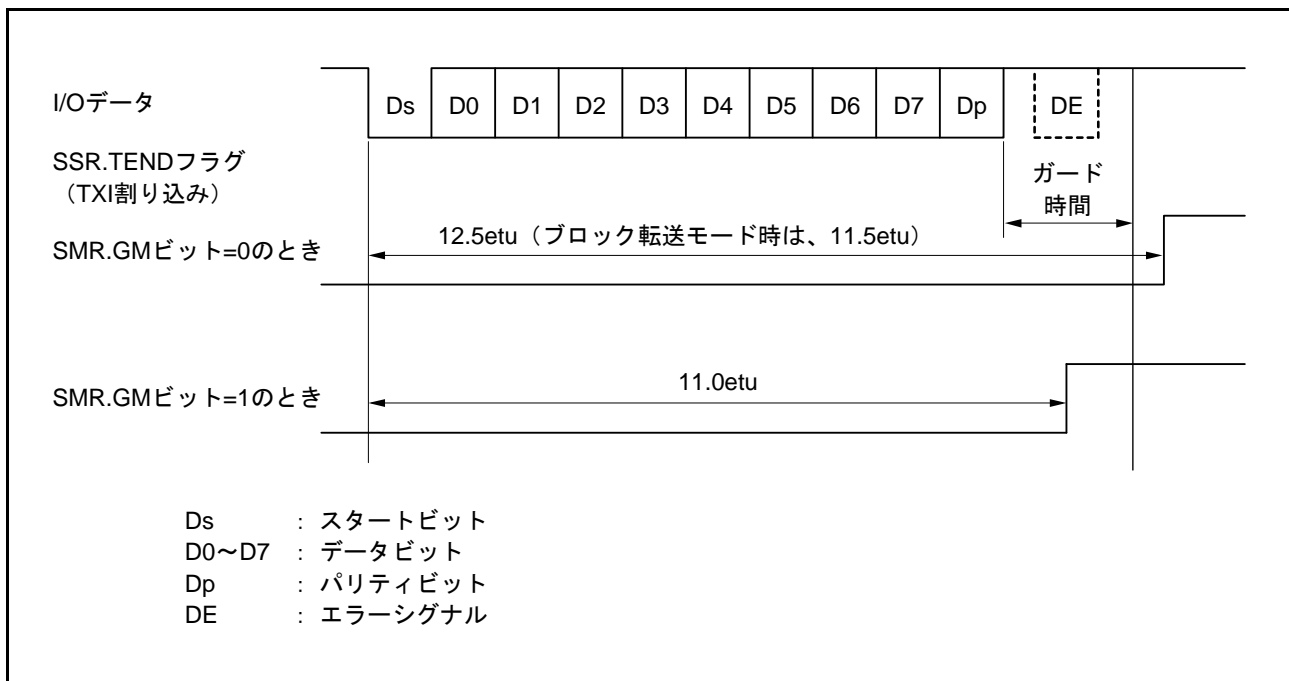


図 29.34 送信時の SSR.TEND フラグの発生タイミング

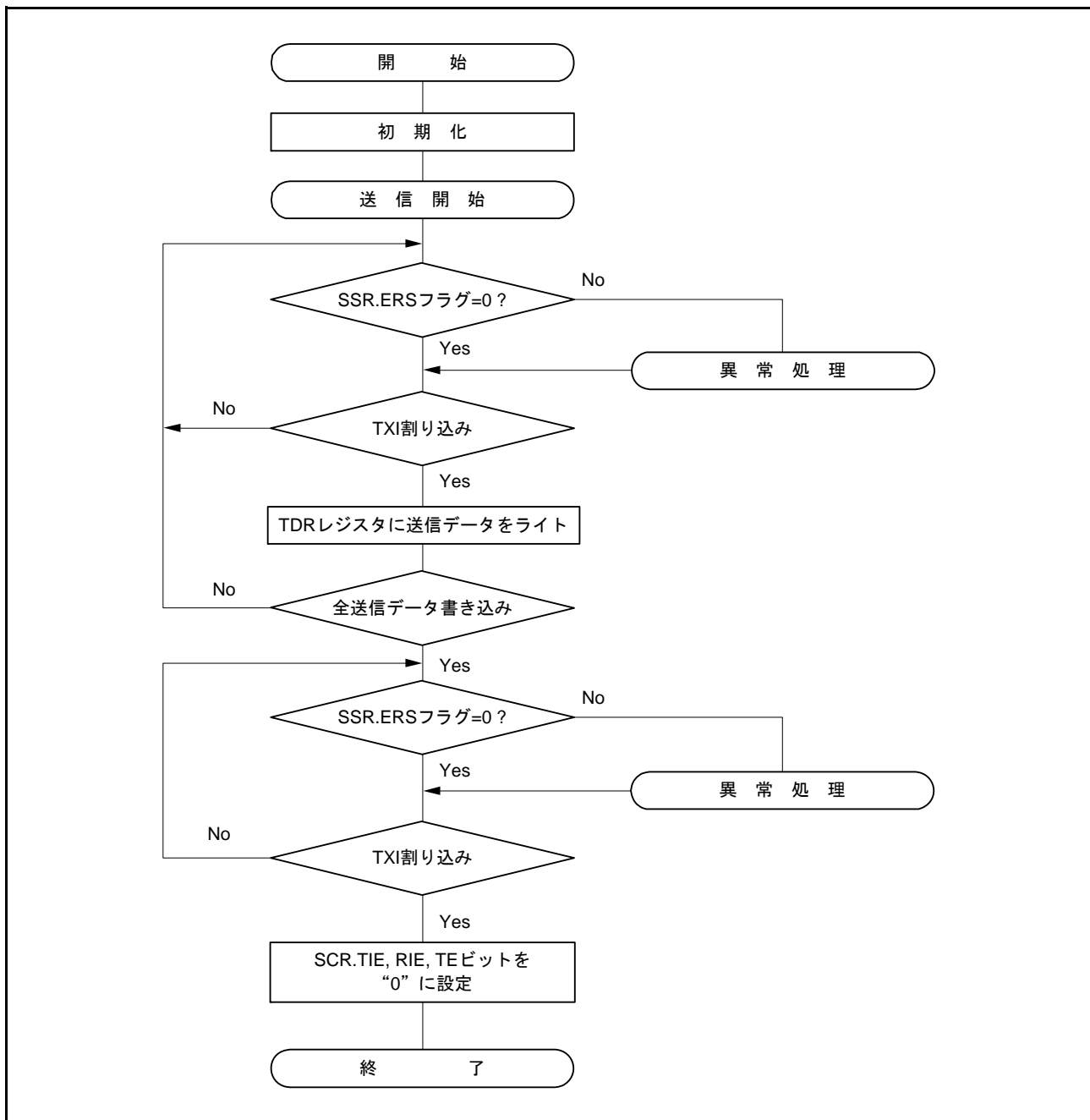


図 29.35 スマートカードインタフェース送信のフローチャート例

29.6.7 シリアル受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル受信は、シリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 29.36 に示します。

1. 受信データにパリティエラーを検出すると **SSR.PER** フラグが“1”に設定されます。このとき、**SCR.RIE** ビットが“1”にされていると、**ERI** 割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでに **PER** フラグをクリアしてください。
2. パリティエラーを検出したフレームでは **RXI** 割り込みは発生しません。
3. パリティエラーが検出されない場合は、**SSR.PER** フラグはセットされません。
4. 正常に受信を完了したと判断して、**RIE** ビットが“1”にされていると、**RXI** 割り込み要求を発生します。

シリアル受信のフローチャートの例を図 29.37 に示します。これらの一連の処理は、**RXI** 割り込み要求によって **DTC** または **DMAC** を起動することで自動的に行うことができます。

受信動作では、**RIE** ビットを“1”にしておくと、**RXI** 割り込み要求を発生します。あらかじめ **DTC** または **DMAC** の起動要因に **RXI** 割り込み要求を設定しておけば、**RXI** 割り込み要求により **DTC** または **DMAC** が起動されて受信データの転送を行います。

また、受信時にエラーが発生し **SSR.ORER**, **PER** フラグのいずれかが“1”に設定されると、受信エラー割り込み（**ERI**）要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は **DTC** または **DMAC** は起動されず、受信データはスキップされるため **DTC** または **DMAC** に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し **PER** フラグが“1”に設定された場合でも、受信したデータは **RDR** レジスタに転送されるのでこのデータをリードすることは可能です。

注． ブロック転送モードの場合は、「29.3 調歩同期式モードの動作」を参照してください。

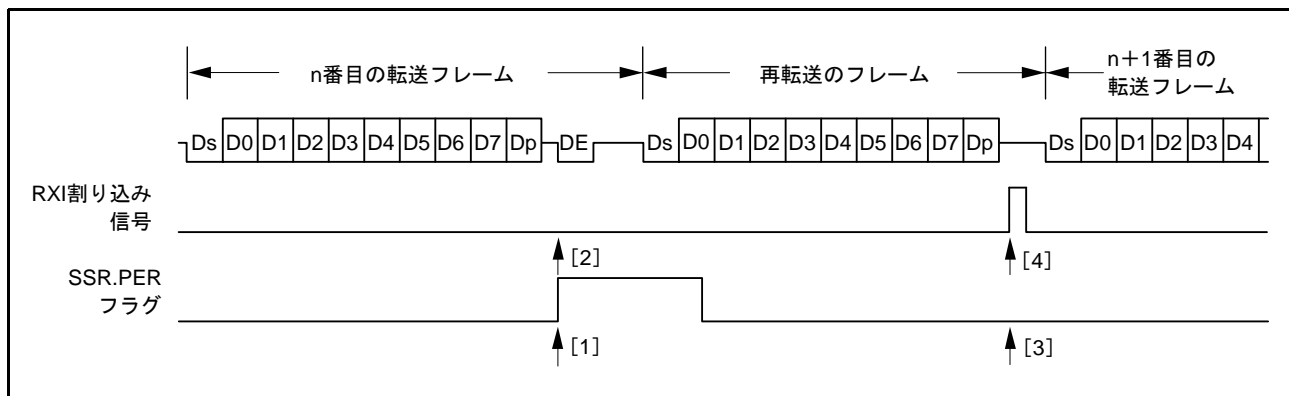


図 29.36 SCI 受信モードの場合の再転送動作（受信時の再転送動作）

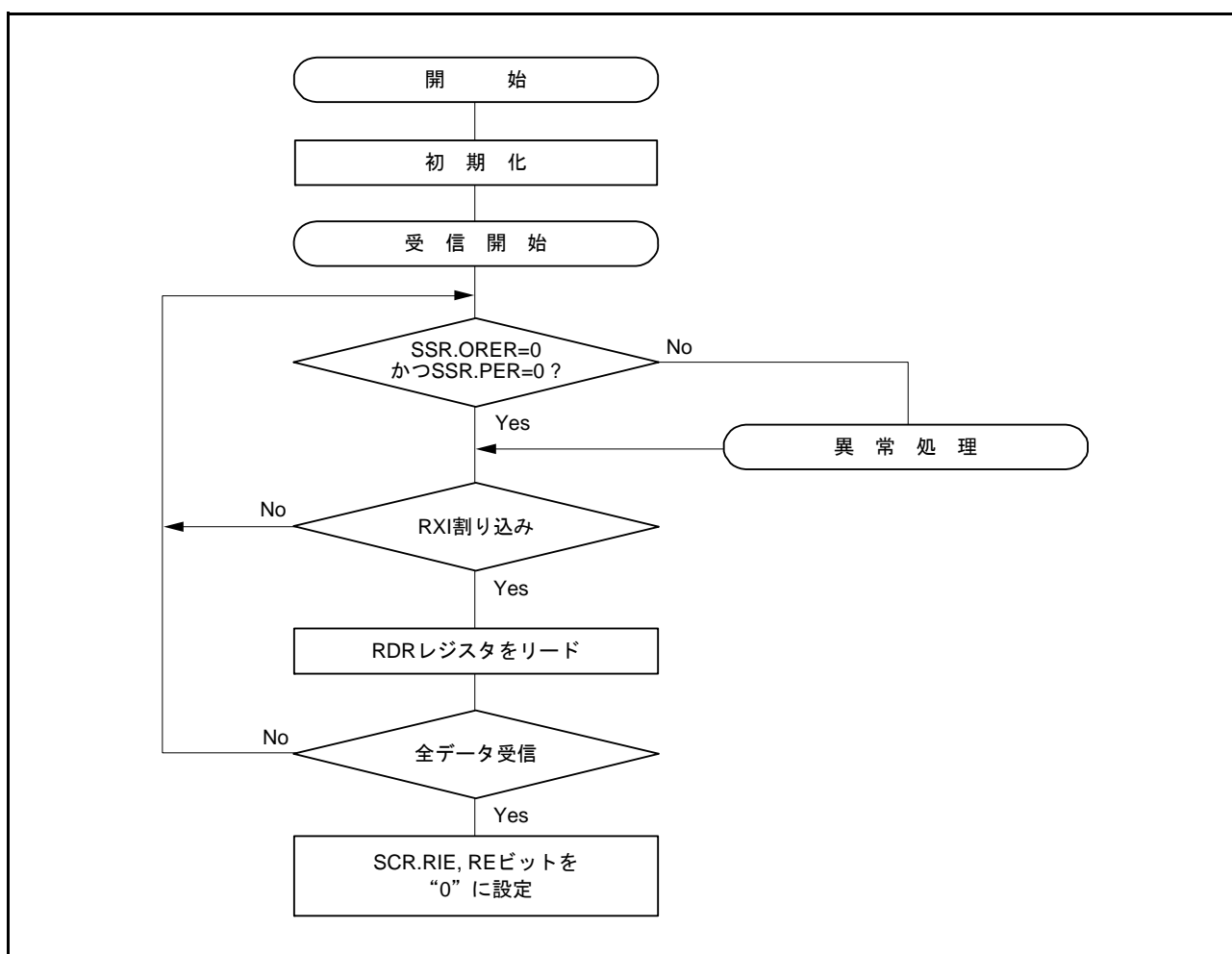


図 29.37 スマートカードインタフェース受信のフローチャート例

29.6.8 クロック出力制御

SMR.GM ビットが“1”に設定されているとき、SCR.CKE[1:0] ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 29.38 にクロック出力の固定タイミングを示します。GM ビット = 1、CKE1 ビット = 0 とし、CKE0 ビットを制御した場合の例です。

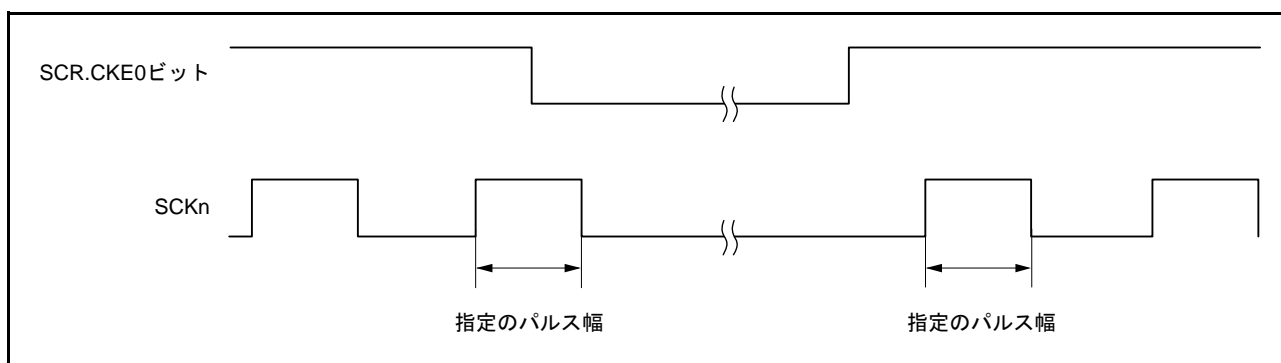


図 29.38 クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移、またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

(1) 電源投入時

電源投入時からクロックデューティを確保するため、以下の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCR.CKE[1] ビットおよび I/O ポート機能を設定し、SCKn 端子を指定の出力に固定してください。
3. SMR レジスタと SCMR レジスタを設定し、スマートカードインタフェースモードの動作に切り替えてください。
4. SCR.CKE[0] ビットを“1”に設定して、クロック出力を開始させてください。

(2) モード切り替え時

(a) スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. I/O ポート機能を設定し、SCKn 端子がソフトウェアスタンバイモード時に所望の出力固定状態の値になるようにしてください。
2. SCR.TE, RE ビットに“0”をライトし、送信/受信動作を停止させてください。
同時に、SCR.CKE[1] ビットをソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
3. SCR.CKE[0] ビットに“0”をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. SCKn 端子を汎用入出力ポート機能に切り替えた後、ソフトウェアスタンバイモードの状態に遷移させてください。

(b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

6. ソフトウェアスタンバイモードの状態を解除してください。
7. SCR.CKE[0] ビットに“1”を設定し、クロックを出力させてください。正常なデューティにて信号発生を開始します

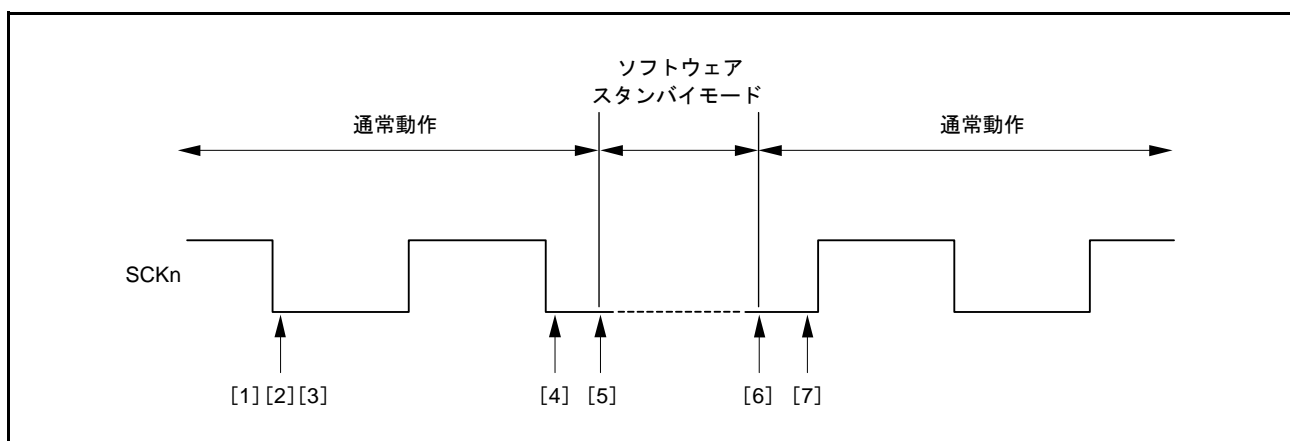


図 29.39 クロック停止・再起動手順

29.7 簡易 I²C モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開条件に続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、停止条件まで有効です。各フレーム中の 8 ビットのデータは、**MSB** から順に送信されます。

図 29.40 に I²C バスフォーマットを、図 29.41 に I²C バスタイミングを示します。

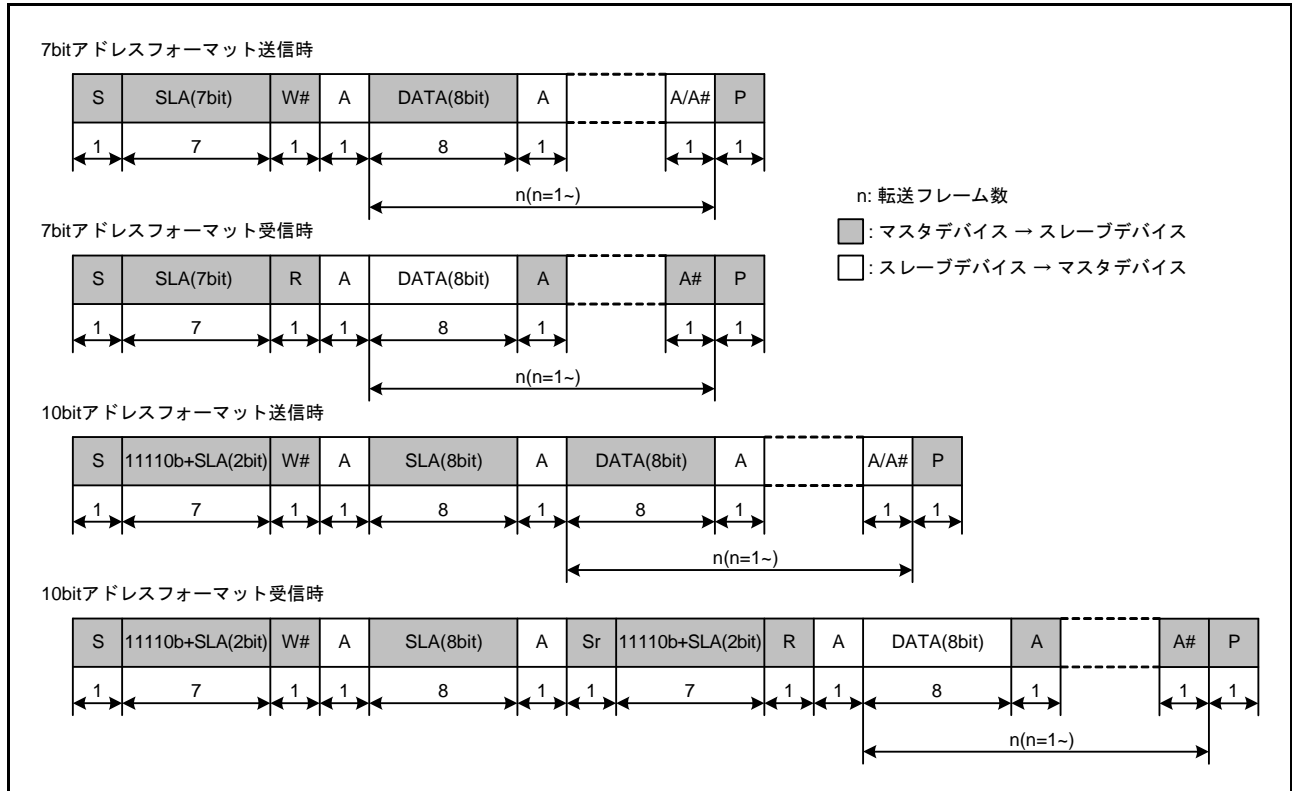


図 29.40 I²C バスフォーマット

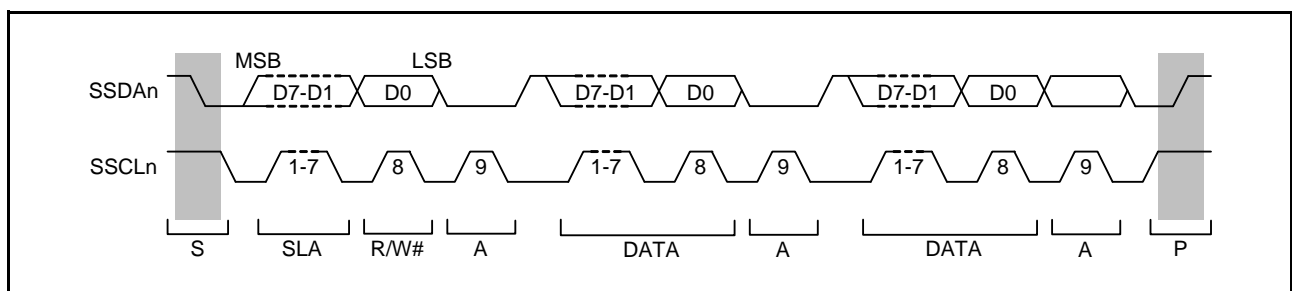


図 29.41 I²C バスタイミング (SLA=7 ビットの場合)

S	: スタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではSSDAnラインがHighからLowに変化します。
SLA	: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W#	: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
A/A#	: アクノリッジを示します。(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Lowを返すことをACK、Highを返すことをNACKと言います。
Sr	: リスタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではセットアップ時間経過後にSSDAnラインがHighからLowに遷移します。
DATA	: 送受信データを示します。
P	: ストップコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではSSDAnラインがLowからHighに変化します。

29.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに“1”を書き込むことにより、開始条件生成を行います。開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートの半分の時間、開始条件のホールド時間を確保
- SSCLn ラインの立ち下げ (High から Low に遷移)、SIMR3.IICSTAREQ ビットは“0”に、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに“1”を書き込むことにより、再開条件生成を行います。再開条件の生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、再開条件のセットアップ時間を確保
- SSDAn ラインを立ち下げ (High から Low に遷移)
- BRR レジスタで設定したビットレートの半分の時間、再開条件のホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR3.IICRSTAREQ ビットは“0”に、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに“1”を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、停止条件のセットアップ時間を確保
- SSDAn ラインを開放 (Low から High に遷移)、SIMR3.IICSTPREQ ビットは“0”に、停止条件生成割り込み要求を出力

図 29.42 に開始条件、再開条件、停止条件生成の動作タイミングを示します。

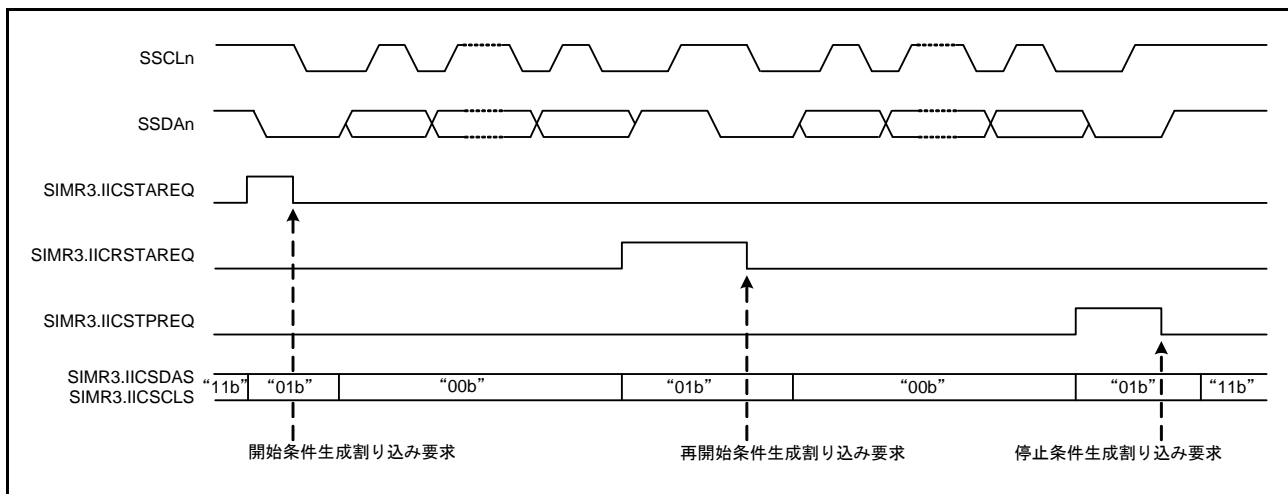


図 29.42 開始条件、再開条件、停止条件生成の動作タイミング

29.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR2.IICCSC ビットに“1”を設定すると、内部 SSCLn クロックが SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが“1”の場合、内部 SSCLn クロックが Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで 2～3 サイクル）、内部処理遅延（PCLK で 1～2 サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SSCLn クロックの High 期間は延長されます。

SIMR2.IICCSC ビットが“1”の場合、データ送信および受信は、SSCLn 端子入力と内部 SSCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが“0”の場合、データ受信および送信は、内部 SSCLn クロックに同期して行われます。

開始条件、再開条件および停止条件生成要求発行後、内部 SSCLn クロックが Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SSCLn クロックが High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 29.43 にクロック同期化の動作例を示します。

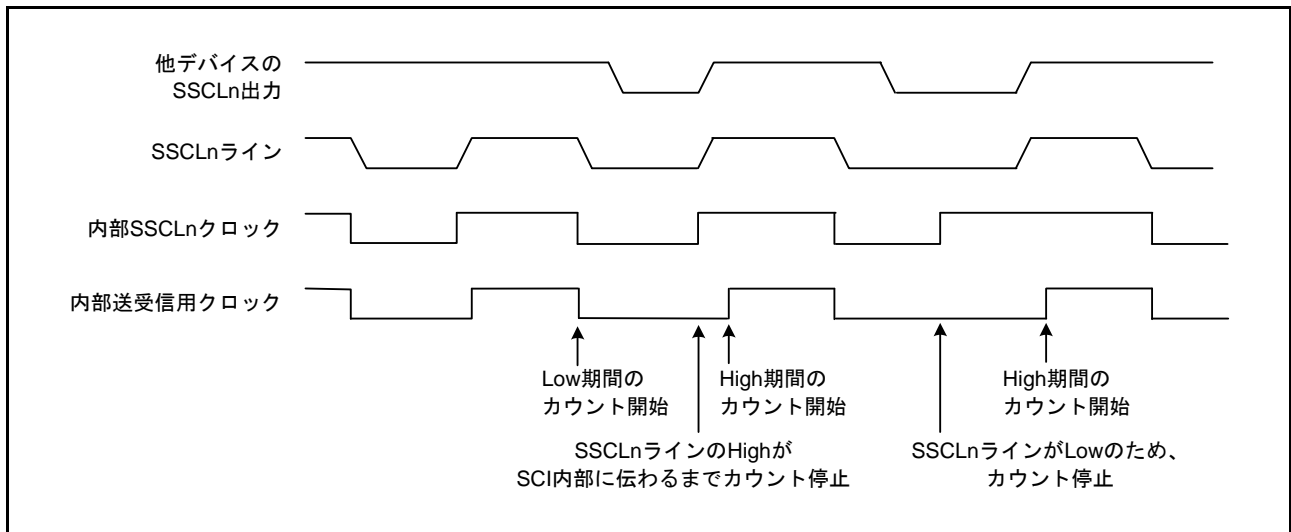


図 29.43 クロック同期化の動作例

29.7.3 SSSDA 出力遅延

SIMR1.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ポーレートジェネレータのクロックソース基準 (PCLK ベースに SMR.CKS[1:0] で選択された分周クロック) で 0 ~ 31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、開始条件 / 再開始条件 / 停止条件信号と 8 ビットの送信データおよびアクノリッジです。

SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値 (I²C の標準モード、ファストモードでは 300ns) より大きくなるように設定してください。

図 29.44 に SSDA 出力遅延のタイミングを示します。

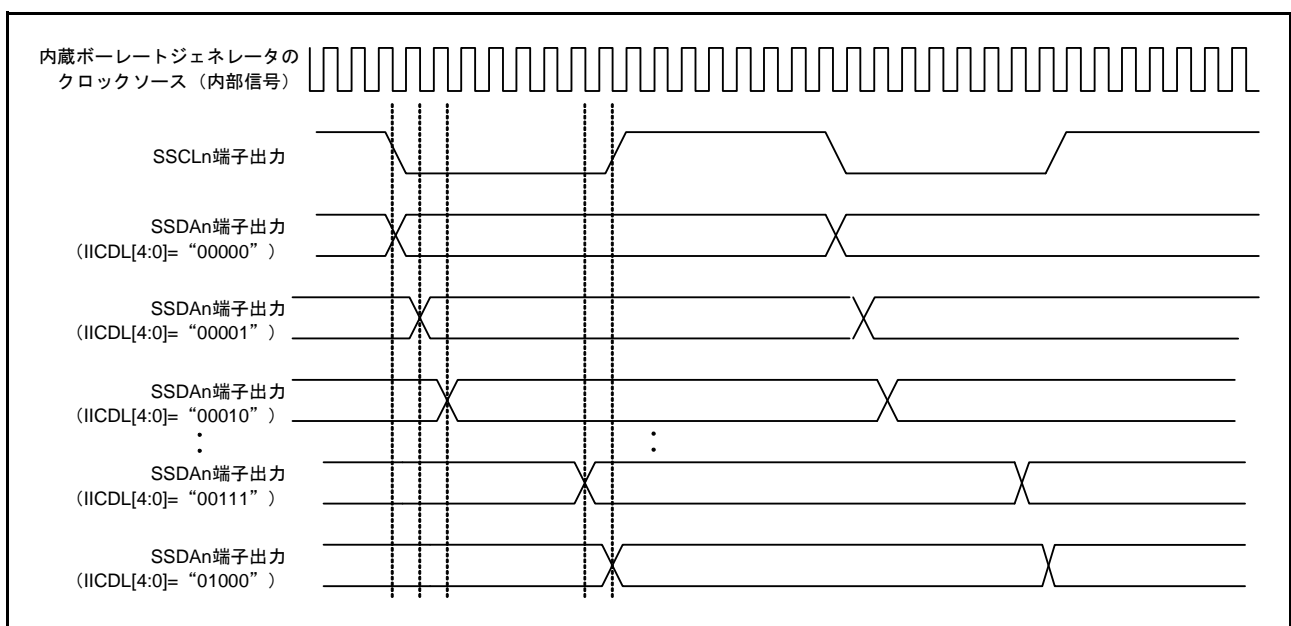


図 29.44 SSDA 出力遅延のタイミング

29.7.4 SCIの初期化（簡易I²Cモード）

データの送受信前に、SCRレジスタに初期値“00h”を書き込み、図29.45のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCRレジスタを初期値にしてから変更してください。また、簡易I²Cモード時の通信ポートのオープンドレイン設定は、ポート側でしてください。

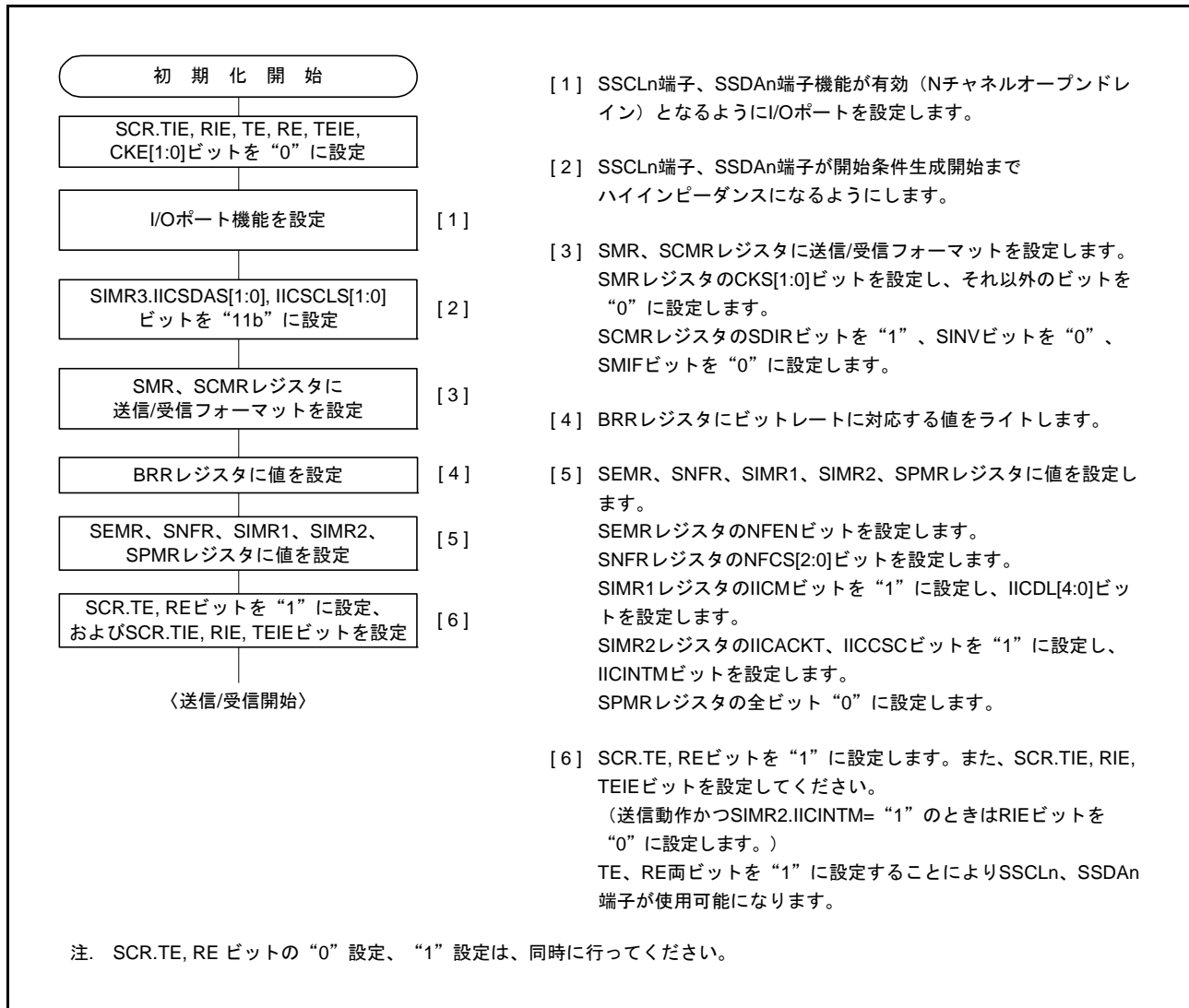


図29.45 SCIの初期化フローチャート例（簡易I²Cモード）

29.7.5 マスタ送信動作 (簡易 I²C モード)

図 29.46 と図 29.47 に簡易 I²C モードのマスタ送信の動作例を、図 29.48 にデータ送信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを“1” (受信割り込み、送信割り込みを使用)、SCR.RIE ビットを“0” (受信割り込み要求を禁止) を想定しています。STI 割り込みについては、表 29.28 を参照してください。

10 ビットスレーブアドレス時は、図 29.48 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 I²C モードでの送信完了割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

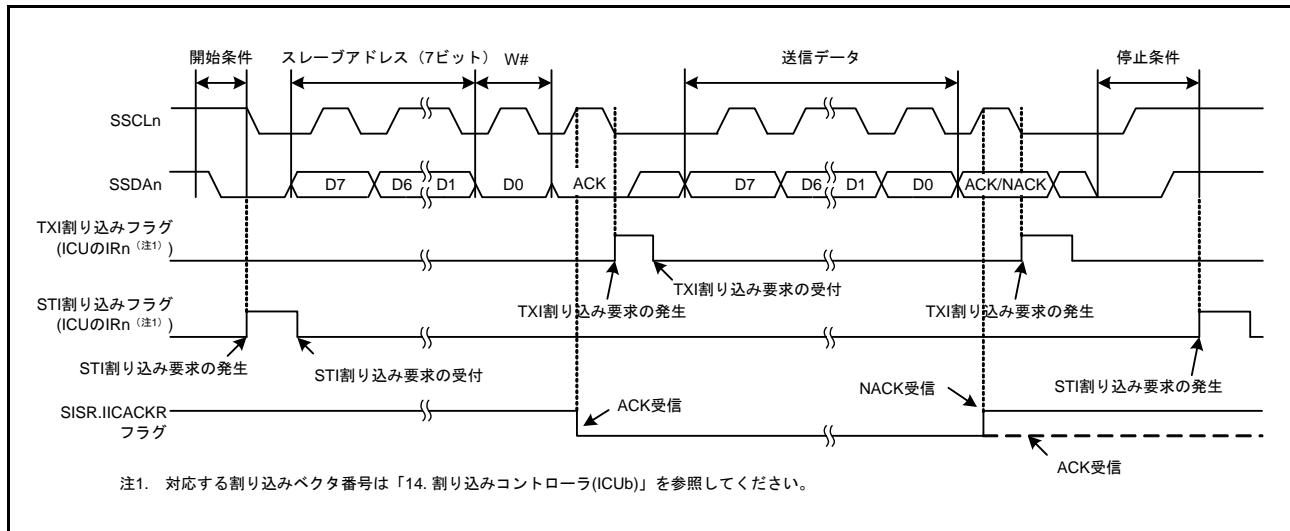


図 29.46 簡易 I²C バスモードのマスタ送信の動作例 1 (7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを“0” (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガに DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

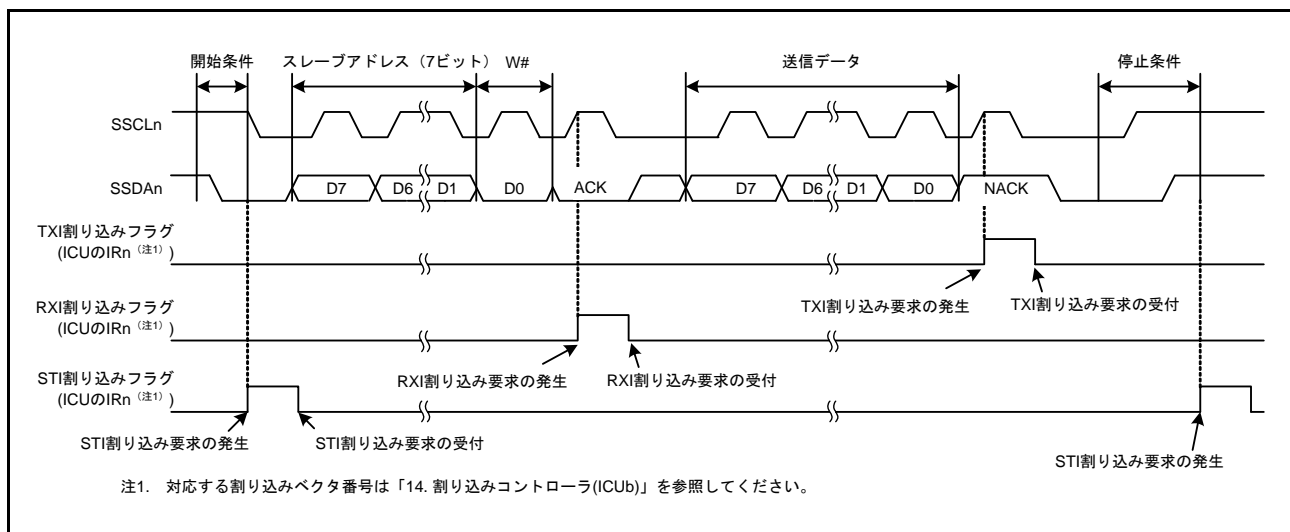


図 29.47 簡易 I²C バスモードのマスタ送信の動作例 2 (7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)

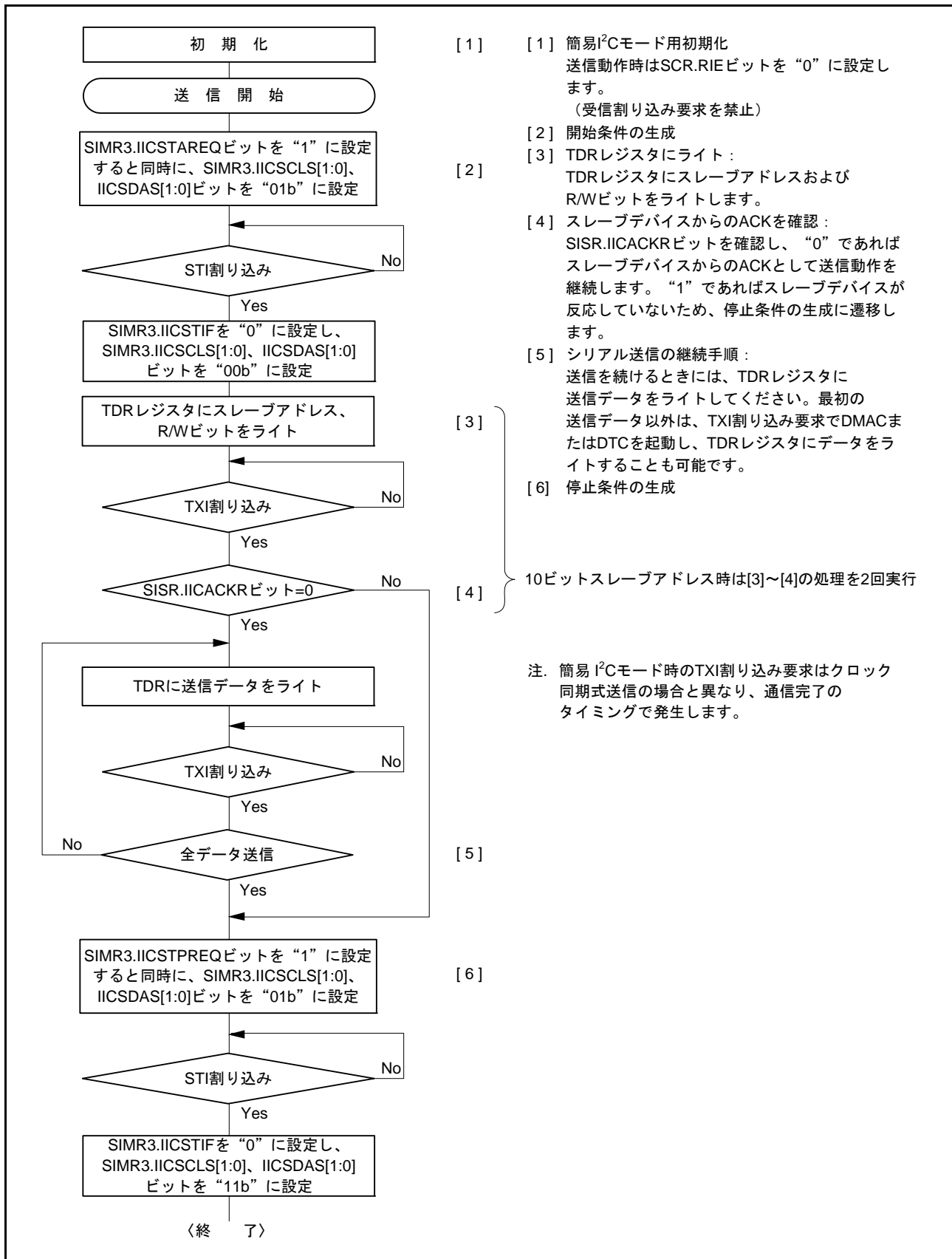


図 29.48 簡易 I²C モードのマスタ送信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

29.7.6 マスタ受信動作 (簡易 I²C モード)

図 29.49 に簡易 I²C モードのマスタ受信の動作例を、図 29.50 にマスタ受信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを“1” (受信割り込み、送信割り込みを使用) を想定しています。

簡易 I²C モードでの送信完了割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

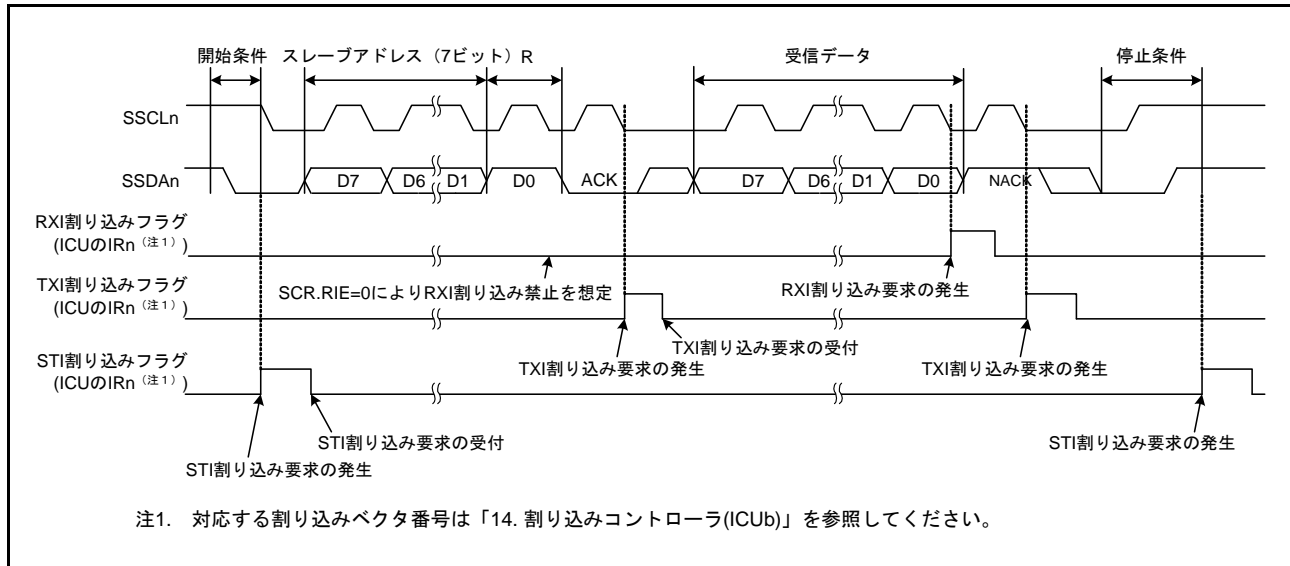


図 29.49 簡易 I²C バスモードのマスタ受信の動作例 (7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

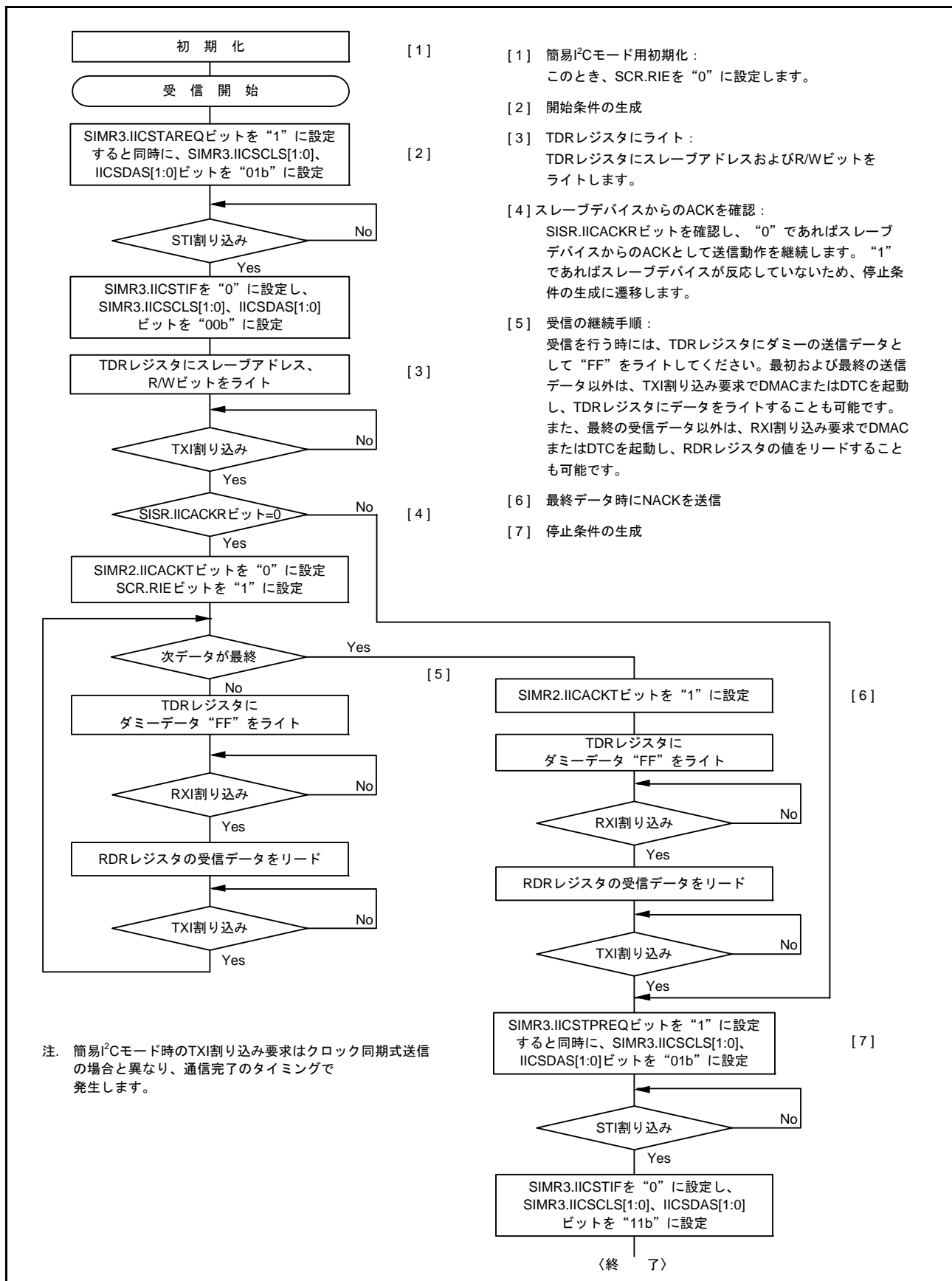


図 29.50 簡易 I²C モードのマスタ受信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

29.8 簡易 SPI モードの動作

SCI の拡張機能として、1 つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

クロック同期式モードの設定 (SCMR.SMIF ビット = "0"、SIMR1.IICM ビット = "0"、SMR.CM ビット = "1")、かつ、SPMR.SSE ビットを "1" に設定することにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SPMR.SSE ビットを "0" にします。

図 29.51 に簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを "1" にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部 / 受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

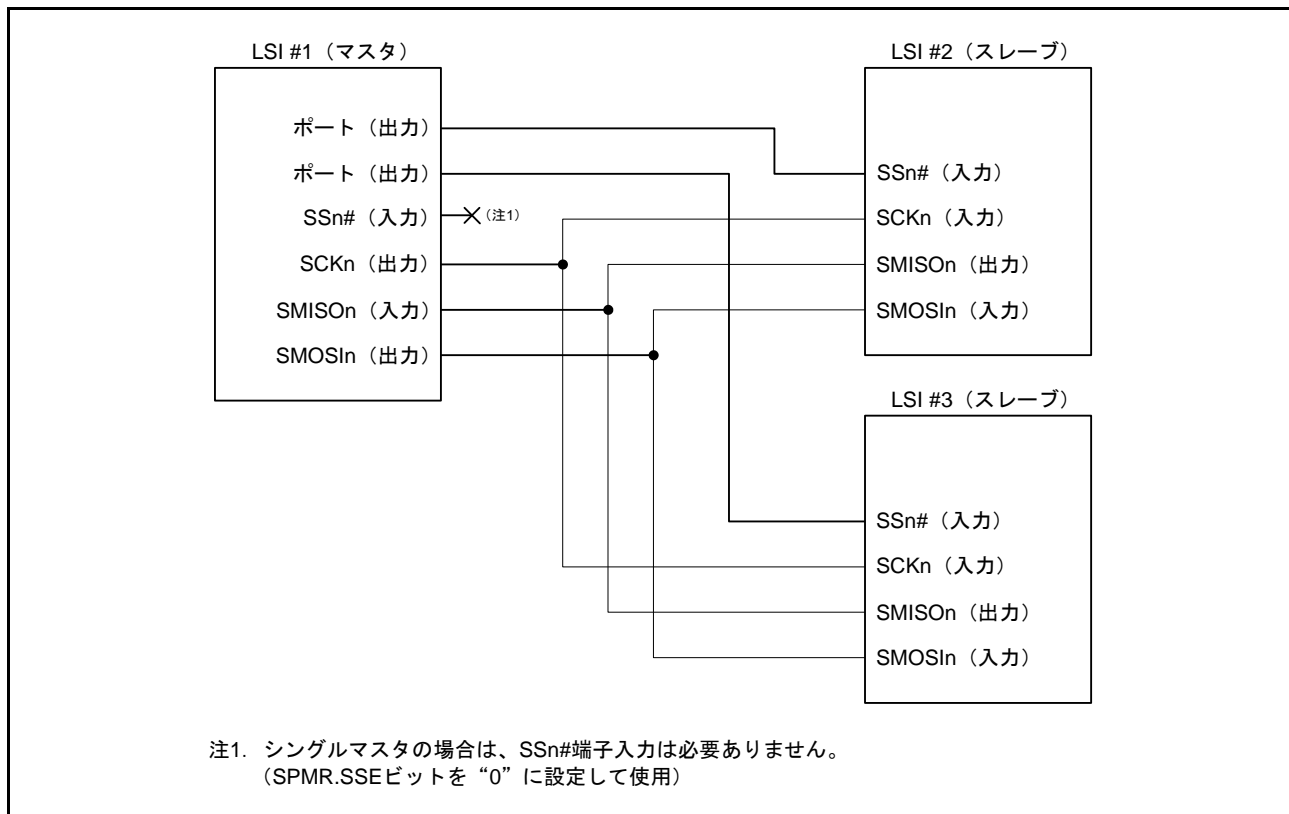


図 29.51 簡易 SPI モードの接続例 (シングルマスタ時 (SPMR.SSE ビット = 0))

29.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] ビット = “00” または “01”、かつ SPMR.MSS ビット = “0”) とスレーブモード (SCR.CKE[1:0] ビット = “10” または “11”、かつ、SPMR.MSS ビット = “1”) で各端子の入出力方向が変わります。

表 29.24 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表 29.24 モードおよび SSn# 端子入力と各端子の状態の関係

モード	SSn#端子入力	SMOSIn端子状態	SMISOn端子状態	SCKn端子状態
マスタモード (注1)	High (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low (通信可能)	受信データ入力	送信データ出力	クロック入力

注1. シングルマスタ時 (SPMR.SSE ビット = “0”) は、SSn# 端子の入力レベルに関わらず通信可能 (SSn# 端子入力が High のときと等価) となります。SSn# 端子は未使用であり、別の用途として使用できます。

注2. 送信禁止時 (SCR.TE ビット = “0”) はハイインピーダンスです。

注3. マルチマスタ (SPMR.SSE ビット = “1”)、かつ送受信禁止時 (SCR.TE, RE ビット = “00b”) はハイインピーダンスです。

29.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] = “00b”、かつ SPMR.MSS = “0” を設定することで、マスタモードになります。

シングルマスタ時 (SPMR.SSE ビット = “0”) は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。

マルチマスタ時 (SPMR.SSE ビット = “1”)、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を受信動作を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時 (SPMR.SSE ビット = “1”)、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき SCI は SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトエラーとして SPMR.MFF フラグが “1” になります。マルチマスタ時は SPMR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスになります。

マスタからの SS 信号出力については、汎用ポートで制御してください。

29.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] = “10b”、かつ SPMR.MSS = “1” を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、SMISOn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、SMISOn 端子出力をハイインピーダンスにします。なお、内部の送受信動作は継続し、SCKn 端子からのクロック入力にしたがって 1 キャラクタ分の送受信動作完了後動作を停止します。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

29.8.4 クロックと送受信データの関係

SPMR.CKPOL, CKPH ビットにより、送受信に用いるクロックを 4 種類から選択可能です。クロックと送受信データの間を 図 29.52 に示します。マスタモード、スレーブモードともクロックと送受信データの間は同じです。(SSn# 端子入力が High のときと等価) です。SSn# 端子は別用途で使用可能です。詳細は「29.8.2 マスタモード時の SS 機能」を参照してください。

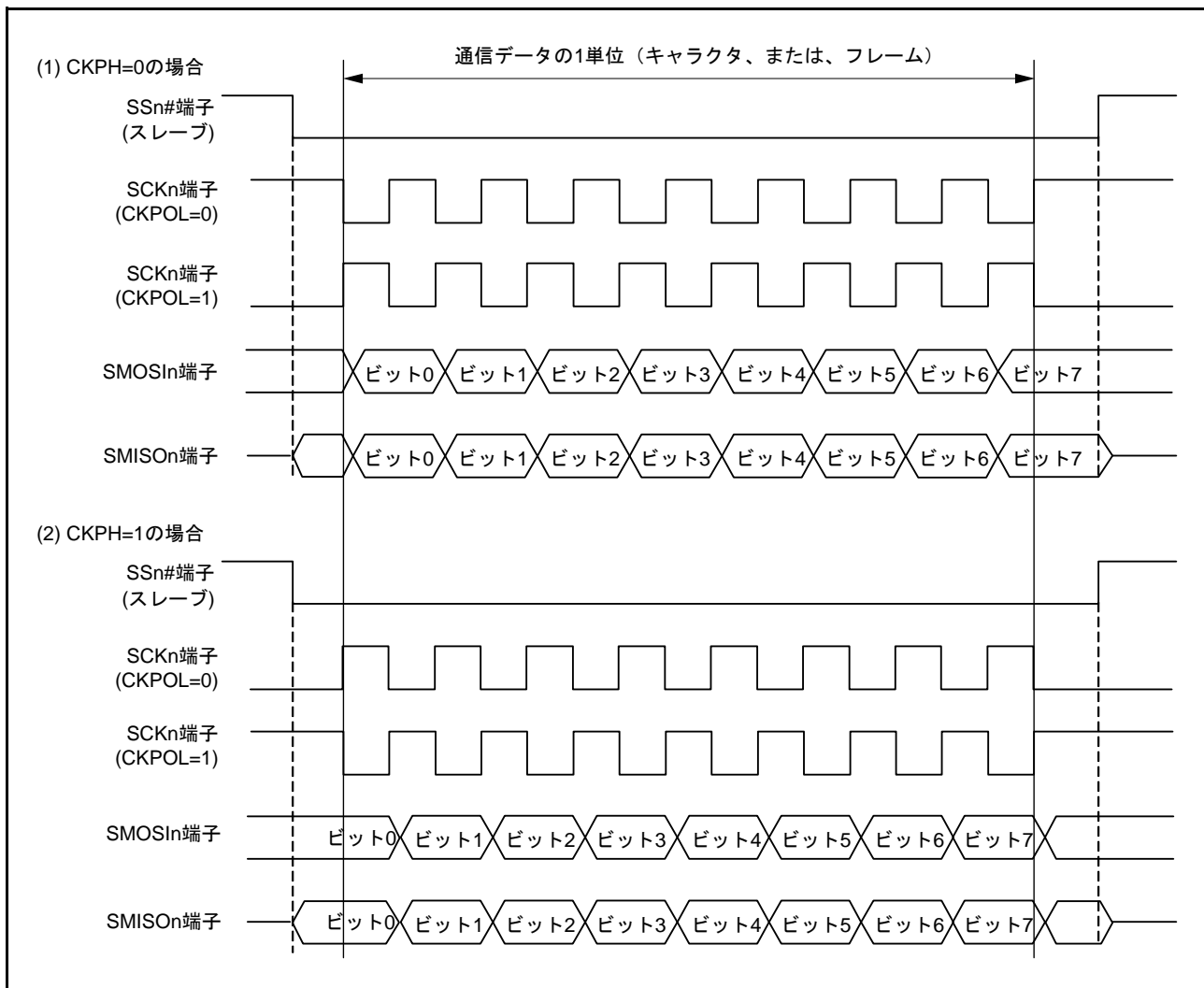


図 29.52 簡易 SPI モードのクロックと送受信データの関係

29.8.5 SCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順 (図 29.21 の SCI の初期化フローチャート例) と同様です。

SPMR.CKPOL,CKPH ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、SCR レジスタを初期値にしてから変更してください。

RE ビットを“0”に設定しても、SSR.ORER, FER, PER の各フラグ、および RDR レジスタは初期化されませんので注意してください。

TE ビットを“1”から“0”または“0”から“1”に設定すると、SCR.TIE ビットが“1”の場合、TXI 割り込みが発生しますので注意してください。

29.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にし、送受信が終了すると送受信先のスレーブデバイスの SSn# 端子を High にします。それ以外の手順はクロック同期式モードと同様です。

29.9 拡張シリアルモード制御部の動作説明

29.9.1 シリアル通信プロトコル

SCId の拡張シリアルモード制御部は、SCIc と連携し、図 29.53 に示すような Start Frame、Information Frame から構成されるシリアル通信プロトコルを実現します。

Start Frame は Break Field と Control Field 0、Control Field 1 で構成されています。また、Information Frame はいくつかの Data Field と CRC16 Upper Field、CRC16 Lower Field で構成することができます。

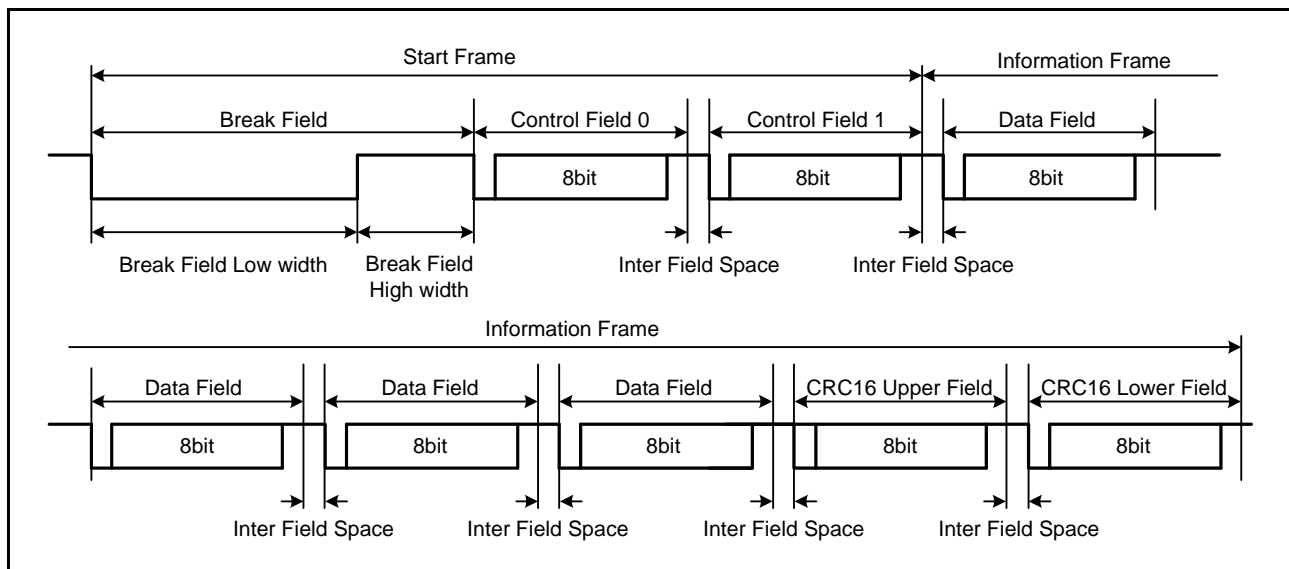


図 29.53 拡張シリアルモード制御部シリアル通信プロトコル

29.9.2 Start Frame 送信

図 29.54 に Break Field Low width、Control Field0 および Control Filed1 で構成される Start Frame の送信時の動作例を示します。また、図 29.55、図 29.56 に Start Frame の送信を行うためのフローチャートを示します。

拡張シリアルモード制御部は、Start Frame 送信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

- (1) タイマの動作モードを Break Field Low width 出力モードにした状態で、TCR の TCST に“1”を書き込むと、タイマがカウントを開始し、TCNT、TPRE に設定した期間、TXDX12 端子から Low を出力します。
- (2) タイマがアンダフローすると TXDX12 端子の出力を反転し、STR の BFDf が“1”になります。また、ICR の BFDIE を“1”に設定している場合は、SCIX0 割り込みが発生します。
- (3) TCR の TCST に 0 を書き込みタイマのカウントを停止し、SCI12 を使用して Control Field 0 のデータを送信します。Break Field Low width 出力後、次にアンダーフローするまでにカウントを停止してください。
- (4) Control Field 0 のデータの送信が完了後、SCI12 を使用して Control Field 1 のデータを送信します。
- (5) Control Field 1 のデータの送信が完了後、SCI12 を使用して Information Frame の通信を行います。

Start Frame の構成にあわせて Break Field および Control Field0 を省略してください。

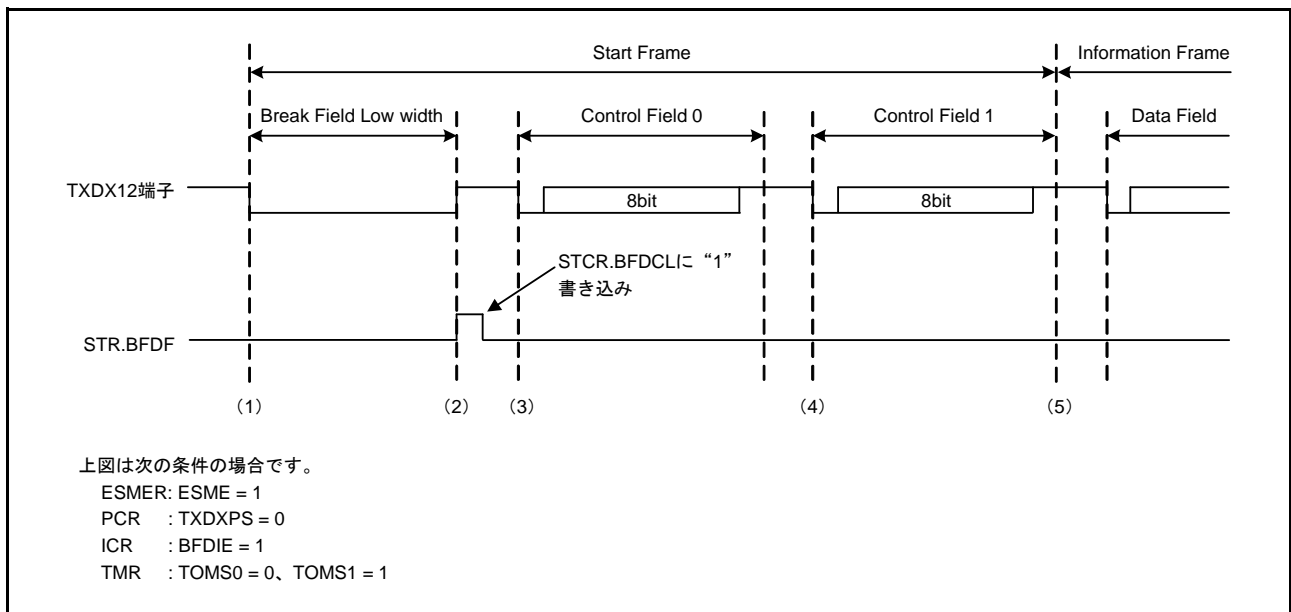


図 29.54 Start Frame 送信時の動作例

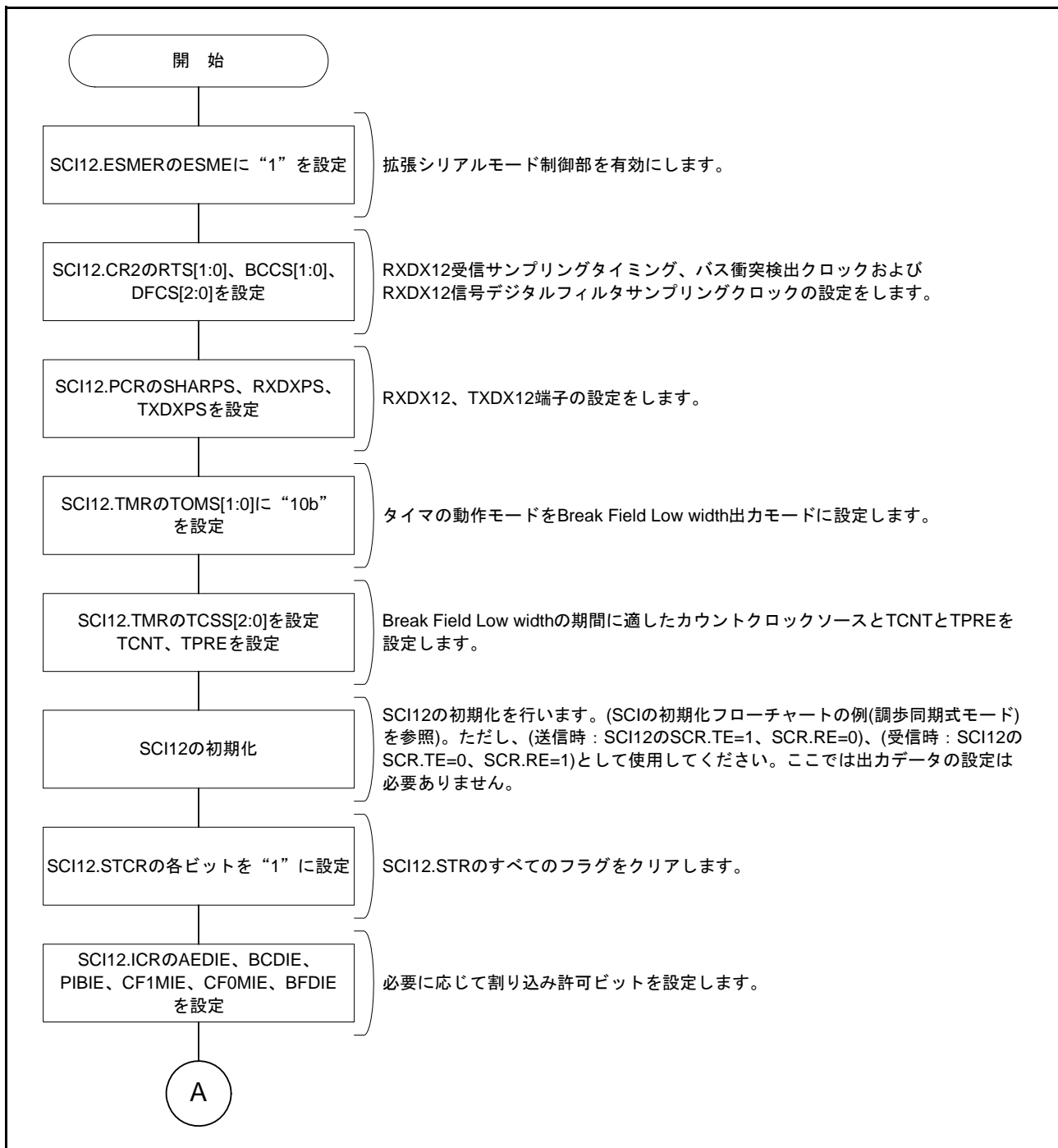


図 29.55 Start Frame 送信フローチャート例 (1)

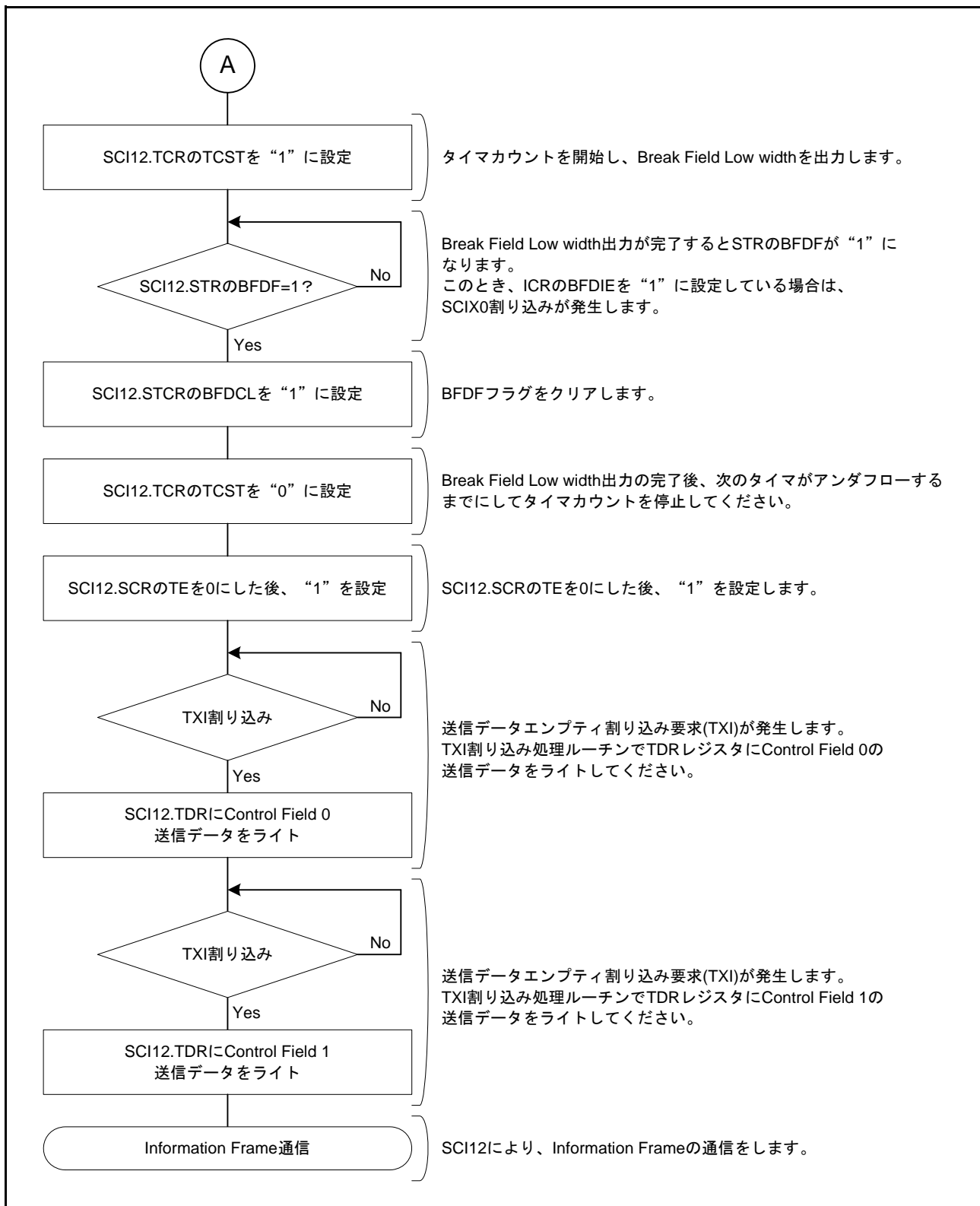


図 29.56 Start Frame 送信フローチャート例 (2)

29.9.3 Start Frame 受信

拡張シリアルモード制御部では、表 29.25 のような構成の Start Frame を検出することができます。

表 29.25 Start Frame の構成

ビットの設定		Start Frame の構成
BFE	CF0RE	
0	0	
0	1	
1	0	
1	1	

図 29.57 に Break Field Low width、Control Field0 および Control Field1 で構成される Start Frame の受信時の動作例を示します。また、図 29.58、図 29.59 に Start Frame の受信を行うためのフローチャート、図 29.60 に拡張シリアルモード制御部の状態遷移図を示します。

拡張シリアルモード制御部は、Start Frame 受信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

- (1) タイマの動作モードを Break Field Low width 検出モードに設定して、CR3 の SDST に“1”を書き込むと、Break Field Low width 検出が可能になります。このとき、SCI12 への RXDX12 入力は禁止となります。
- (2) タイマの TCNT、TPRE に設定した期間以上の Low が RXDX12 端子から入力されると、Break Field Low width として検出します。このとき、STR の BDFD が“1”になります。また、ICR の BFDIE を“1”に設定している場合は、SCIX0 割り込みが発生します。
- (3) Break Field Low width 検出後、RXDX12 端子からの入力が High になると CR0 の RXDSF が“0”になり、SCI12 により、Control Field 0 の受信を開始します。
- (4) Control Field 0 で受信したデータが CF0DR に設定したデータと一致した場合、STR の CF0MF が“1”になります。また、ICR の CF0MIE を“1”に設定している場合は、SCIX1 割り込みが発生します。そして、SCI12 により Control Field 1 の受信を開始します。Control Field 0 で受信したデータが CF0DR に設定したデータと一致しない場合は、Break Field Low width 検出前の状態に遷移します。
- (5) Control Field 1 で受信したデータが PCF1DR または SCF1DR に設定したデータと一致した場合、STR の CF1MF が“1”になります。また、ICR の CF1MIE を“1”に設定している場合は、SCIX1 割り込みが発生します。そして、SCI12 を使用して Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR または SCF1DR に設定したデータのどちらとも一致しない場合は、Break Field Low width 検出前の状態に遷移します。

Start Frame の構成にあわせ、Break Field および Control Field0 の処理を省略してください。

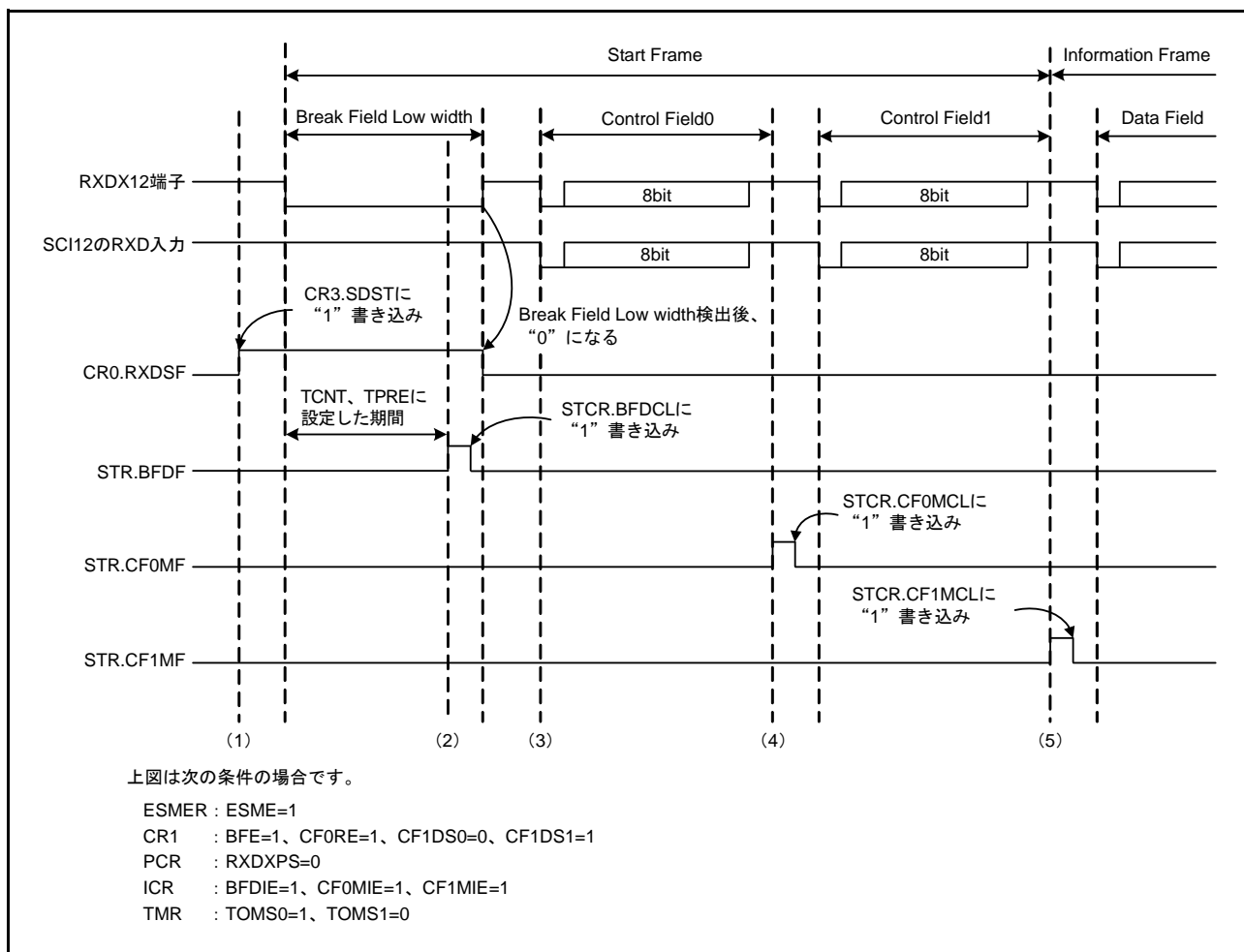


図 29.57 Start Frame 受信時の動作例

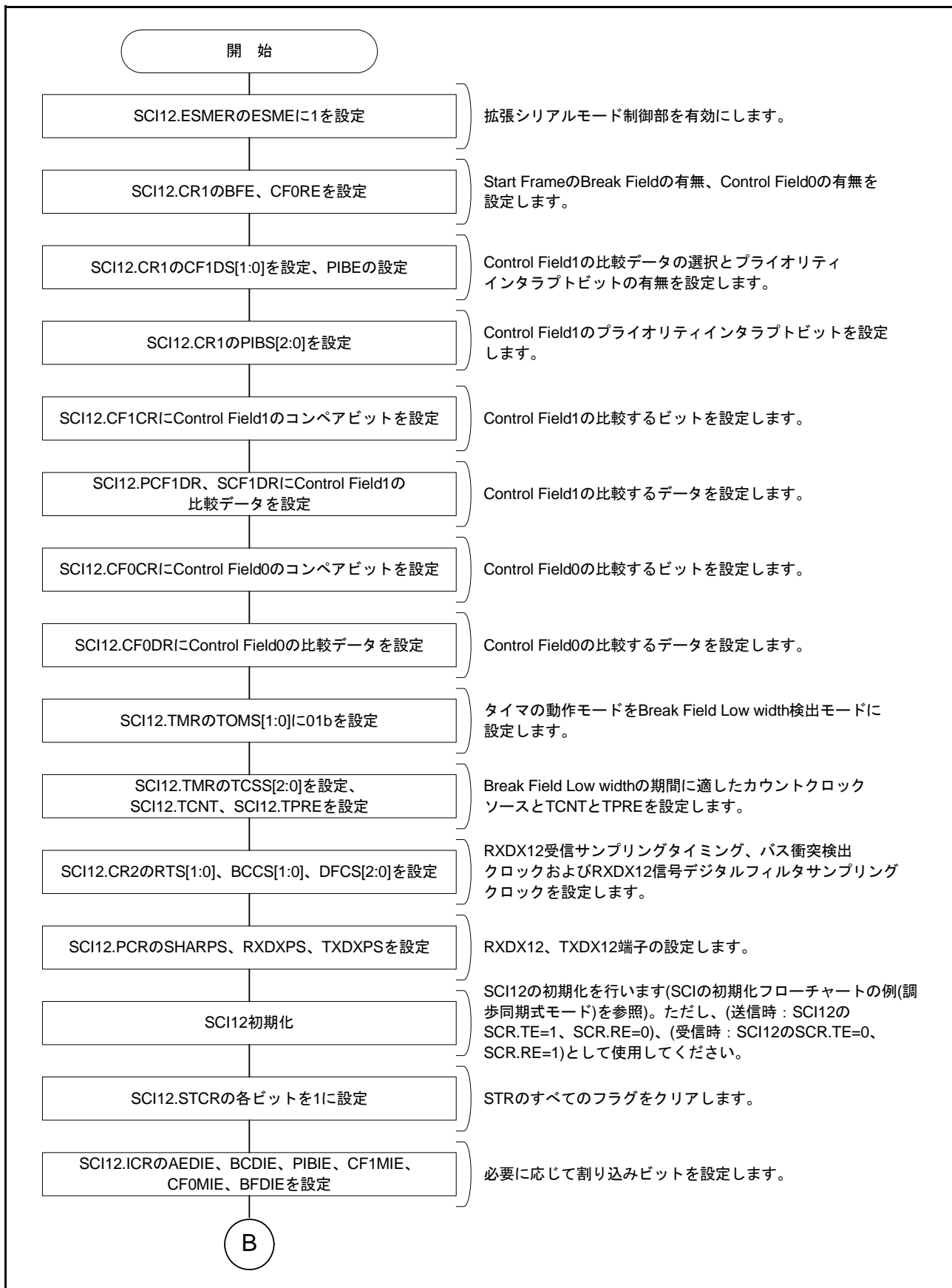


図 29.58 Start Frame 受信フローチャート例 (1)

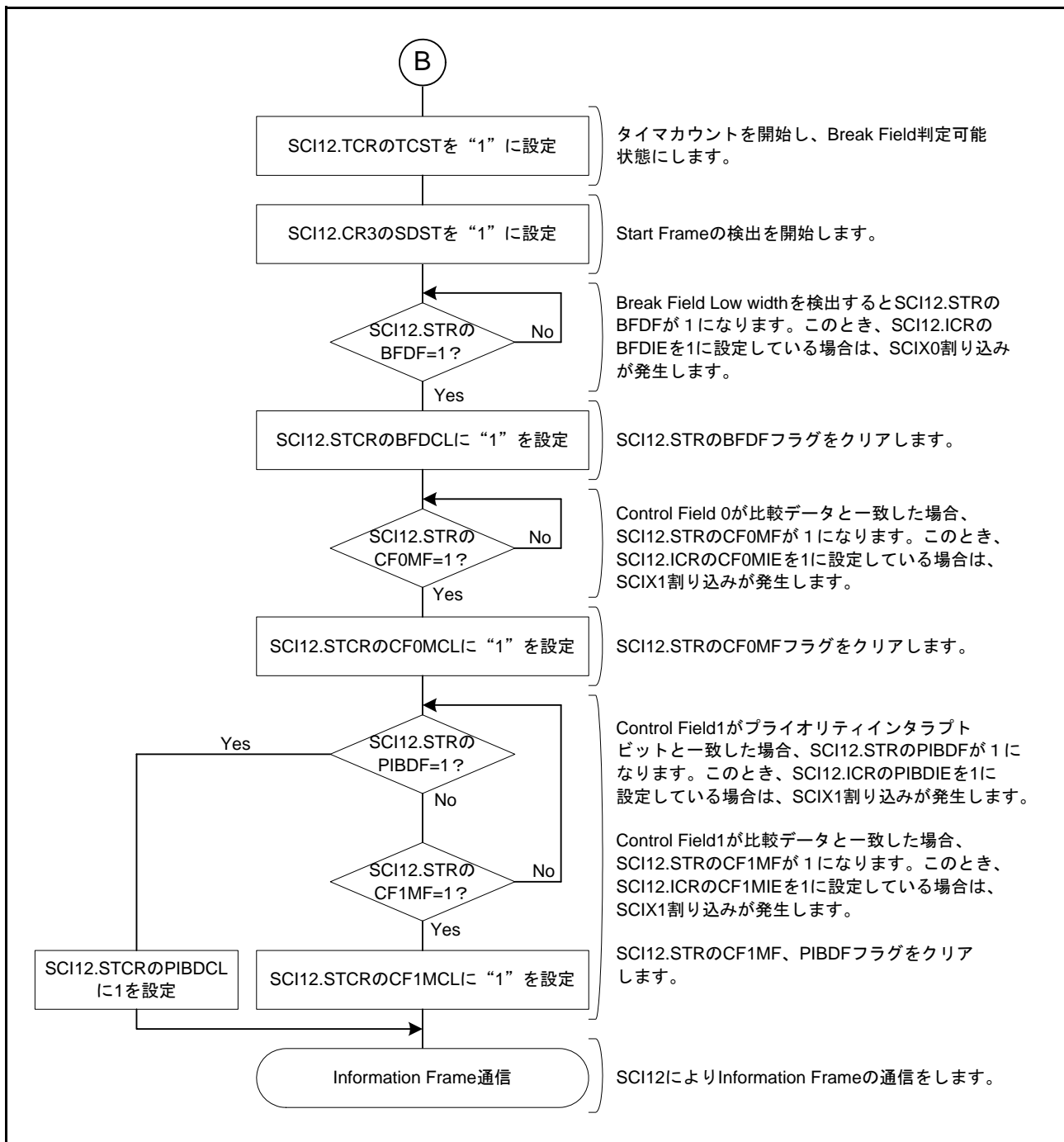


図 29.59 Start Frame 受信フローチャート例 (2)

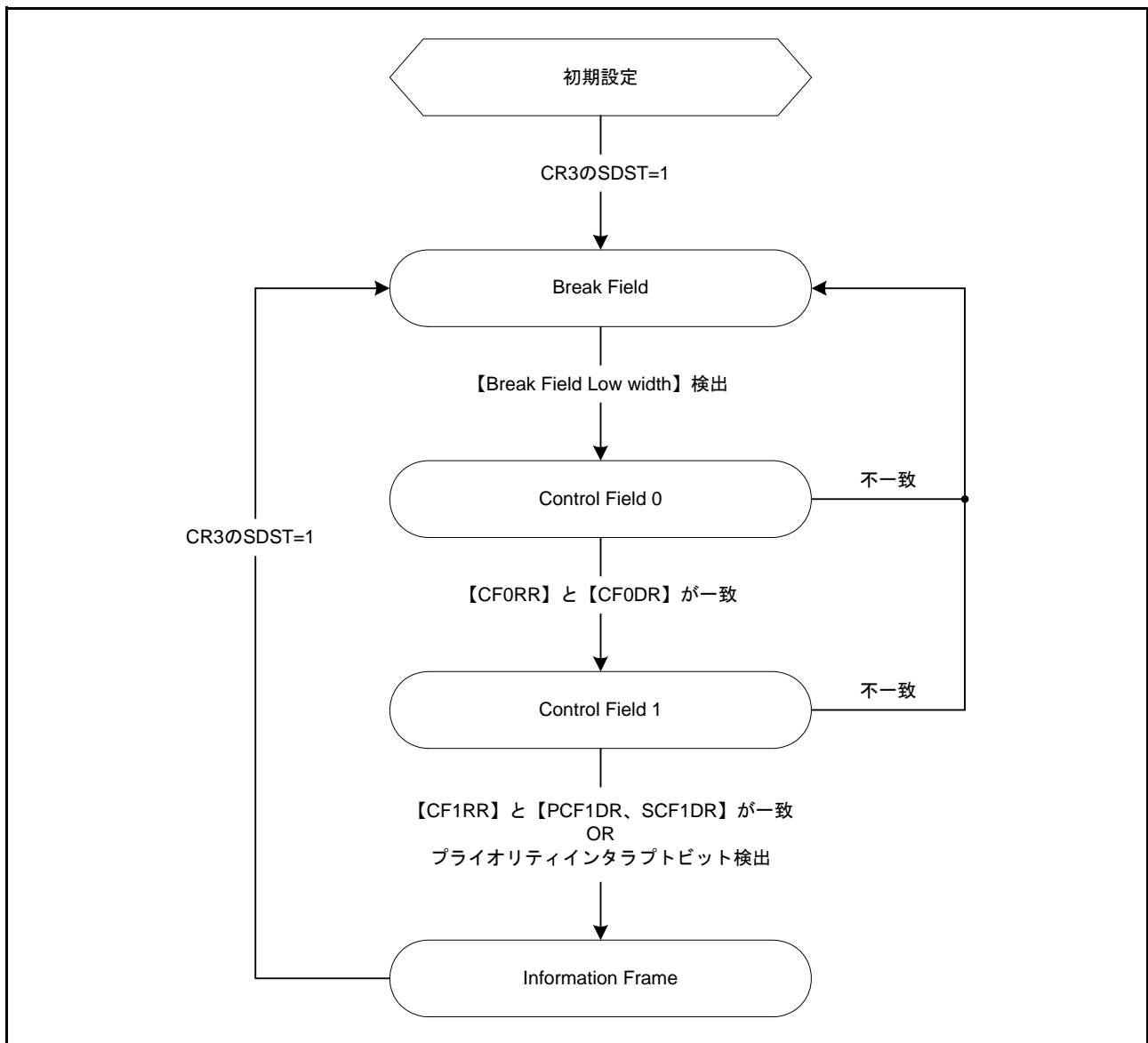


図 29.60 Start Frame 受信時の状態遷移図

29.9.3.1 プライオリティインタラプトビット

図 29.61 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは CR1 の PIBE を “1” にすることで有効となります。

拡張シリアルモード制御部は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のよう動作します。

(1) ~ (4) は図 29.57 の Start Frame 受信時の動作例 (1) ~ (4) と同様になります。

(5) CR1 の PIBS[2:0] で指定したビットのデータが PCF1DR に設定したデータと一致した場合、STR の PIBDF が “1” になります。また、ICR の PIBDIE を 1 に設定している場合は、SCIX1 割り込みが発生します。そして、SCI12 により、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR または SCF1DR に設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field Low width 検出前の状態に遷移します。

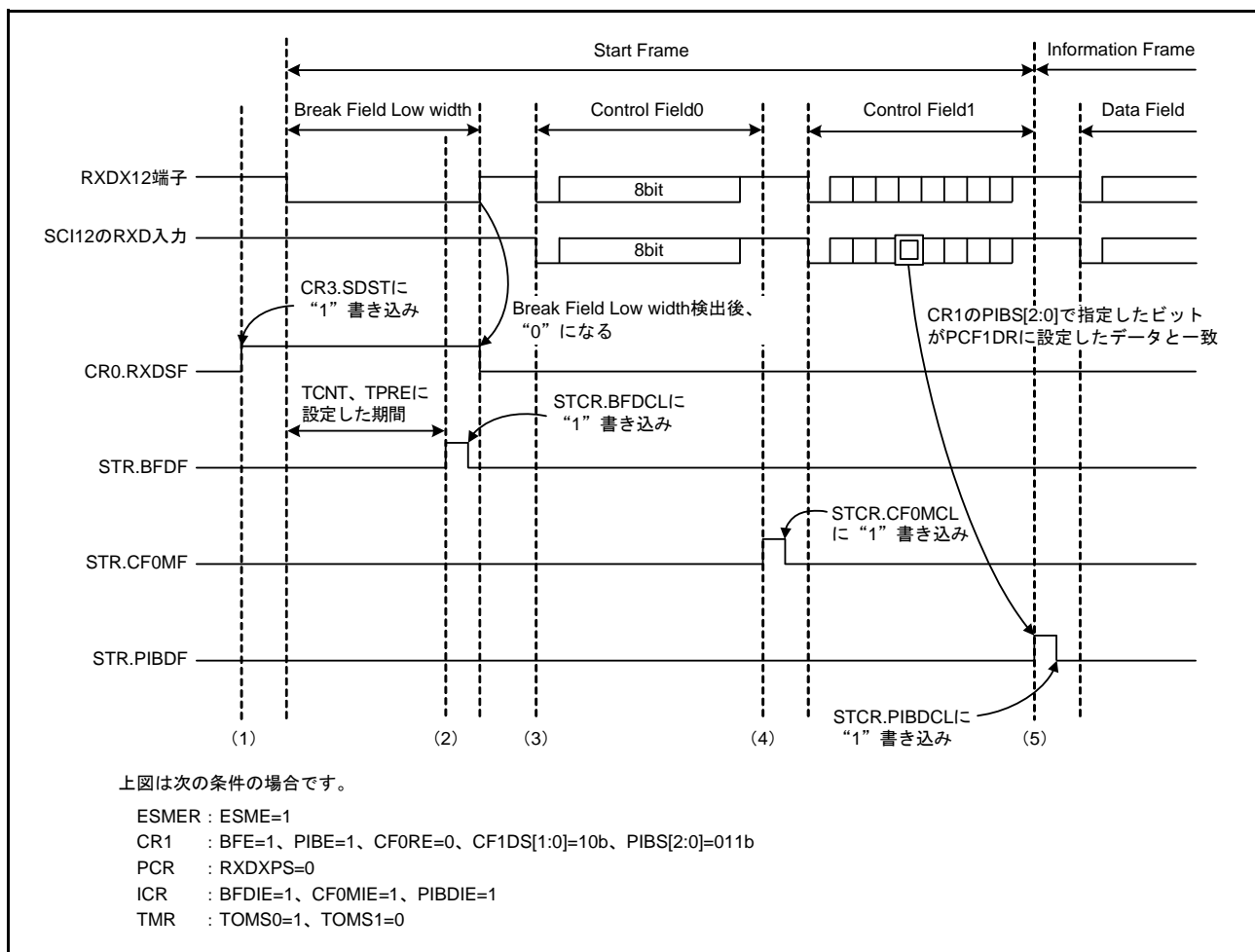


図 29.61 Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)

29.9.4 バス衝突検出機能

ESMER の ESME=1、かつ SCI12.SCR の TE=1 の状態で、Break Field Low width 出力中および SCI12 によりデータを送信中にバス衝突検出機能が働きます。

図 29.62 にバス衝突検出機能の動作例を示します。TXDX12 端子の出力と RXDX12 端子の入力を CR2 の BCCS[1:0] で設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると STR の BCDF が“1”になります。また、ICR の BCDIE を“1”に設定している場合は、SCIX2 割り込みが発生します。

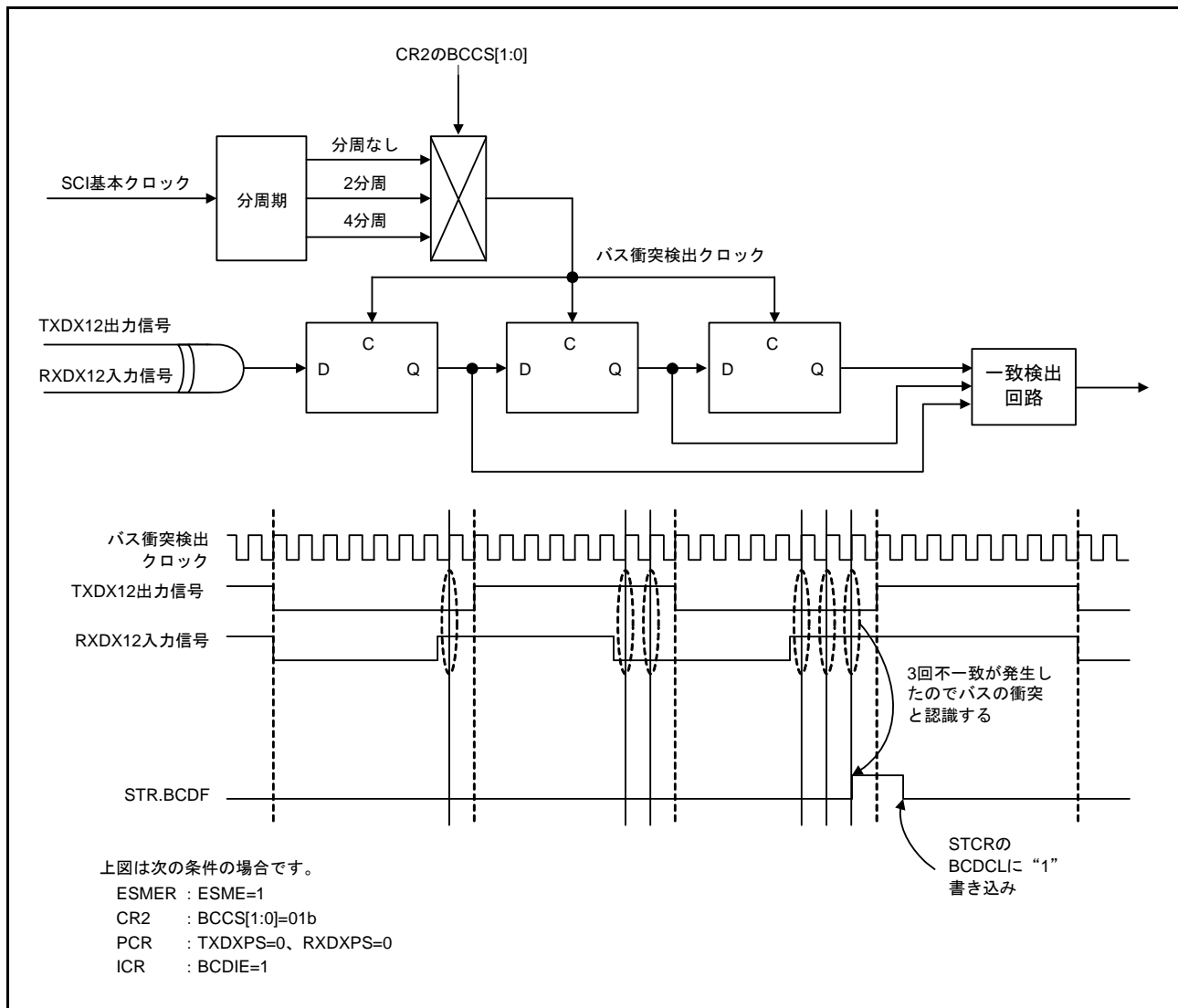


図 29.62 バス衝突検出機能の動作例

29.9.5 RXDX12 端子入力デジタルフィルタ機能

RXDX12 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3 段直列に接続されたフリップフロップ回路と一致検出回路で構成されます。RXDX12 端子入力信号は CR2 の DFCS[2:0] によって選択されたクロックでサンプリングされ、3 つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3 サンプルクロック以上同一のレベルを保持した場合は信号として認識しますが、3 サンプルクロック以下の信号変化はノイズとして判断し、信号変化として認識しません。図 29.63 にデジタルフィルタ機能の動作例を示します。

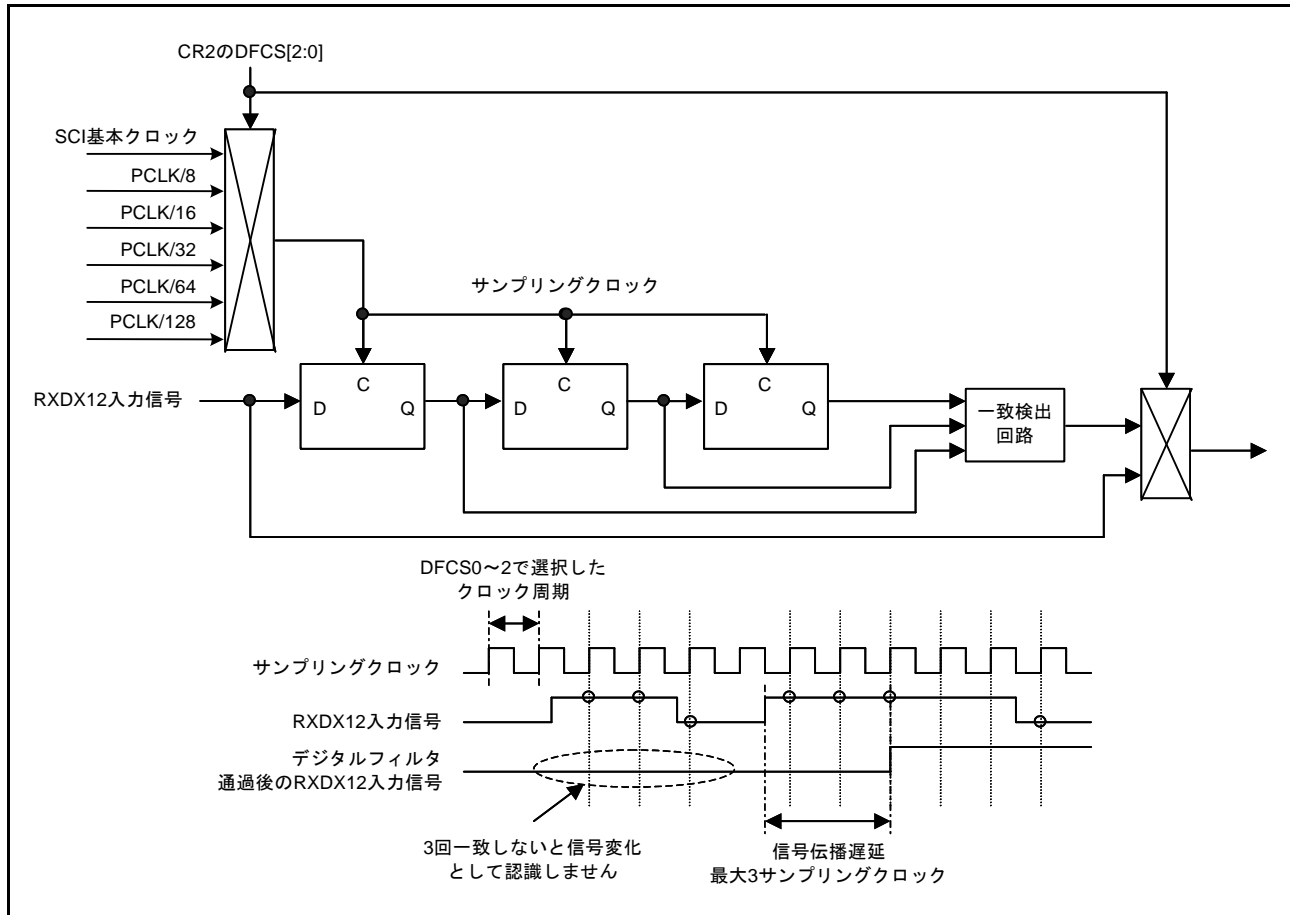


図 29.63 デジタルフィルタ機能の動作例

29.9.6 ビットレート測定機能

RXDX12 端子から入力される信号の立ち上がりー立ち下がり間または、立ち下がりー立ち上がり間を測定する機能です。図 29.64 にビットレート測定機能の動作例を示します。

- (1) CR0 の BRME に “1” を書き込むとビットレート測定が有効となります。BRME は、測定を行いたいときのみ 1 を設定してください。また、BRME を 1 に設定しても Break Field 中は、ビットレートの測定動作を行いません。
- (2) Break Field Low width を検出後、RXDX12 端子の入力が High になると、ビットレート測定が開始します。
- (3) ビットレート測定開始後、RXDX12 端子から有効エッジ (立ち上がりエッジおよび立ち下がりエッジ) が入力されるとタイマはそのときのカウンタ値をリードバッファに保持し、カウンタをリロードします。ICR の AEDIE を “1” に設定している場合は、SCIX3 割り込みが発生します。TCNT、TPRE をリードすることで保持は解除されます。
- (4) 有効エッジ間のカウンタ値からビットレートを算出し、SCI12 の設定を変更することで、ビットレートを調整することができます。Control Field 1 一致後、ビットレート測定機能を無効にする場合は CR0 の BRME に “0” を書き込んでください。

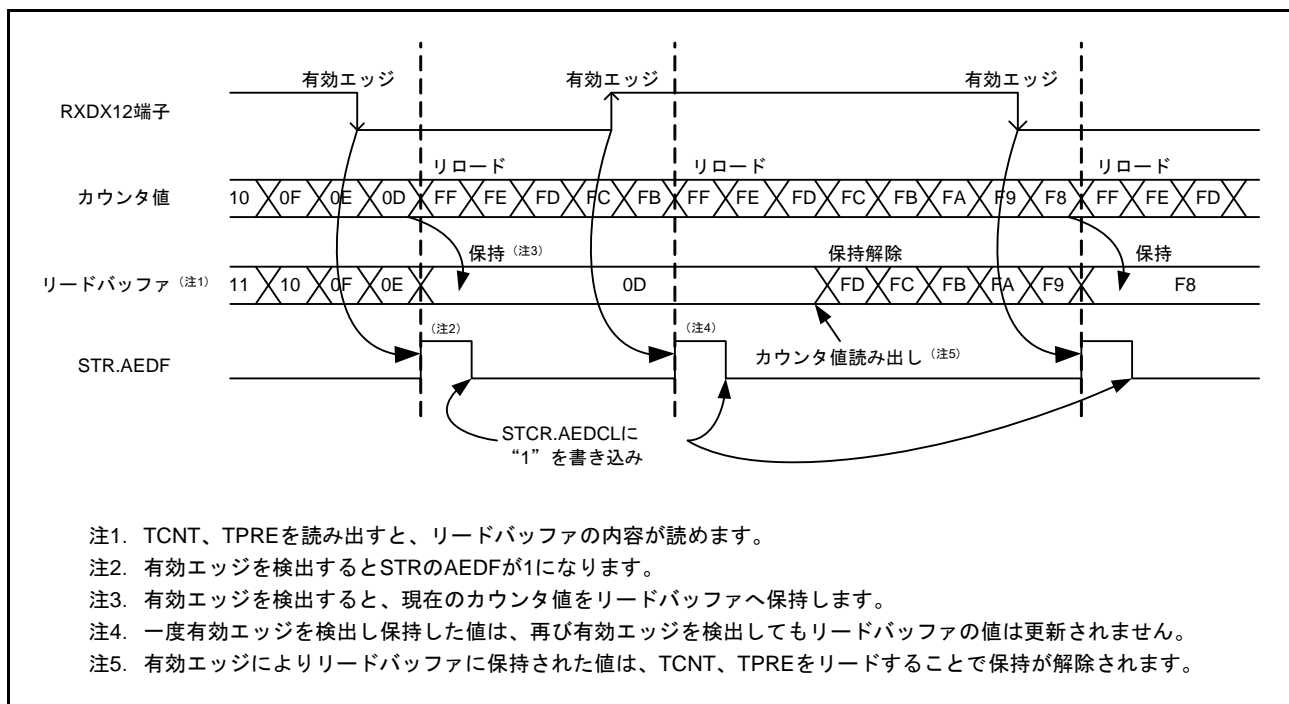


図 29.64 ビットレート測定機能動作例

29.9.7 RXDX12 受信データサンプリングタイミング選択機能

拡張シリアルモード制御部では、SCI12のRXDX12受信データのサンプリングタイミングをCR2のRTS0およびRTS1により、SCI基本クロックの8クロックの立ち上がり、10クロックの立ち上がり、12クロックの立ち上がりおよび14クロックの立ち上がりから選択することができます。SCI12のSEMRのABCSが“1”の場合はPCLKの4クロックの立ち上がり、5クロックの立ち上がり、6クロックの立ち上がりおよび7クロックの立ち上がりから選択することができます。図29.65にRXDX12受信データサンプリングタイミングを示します。

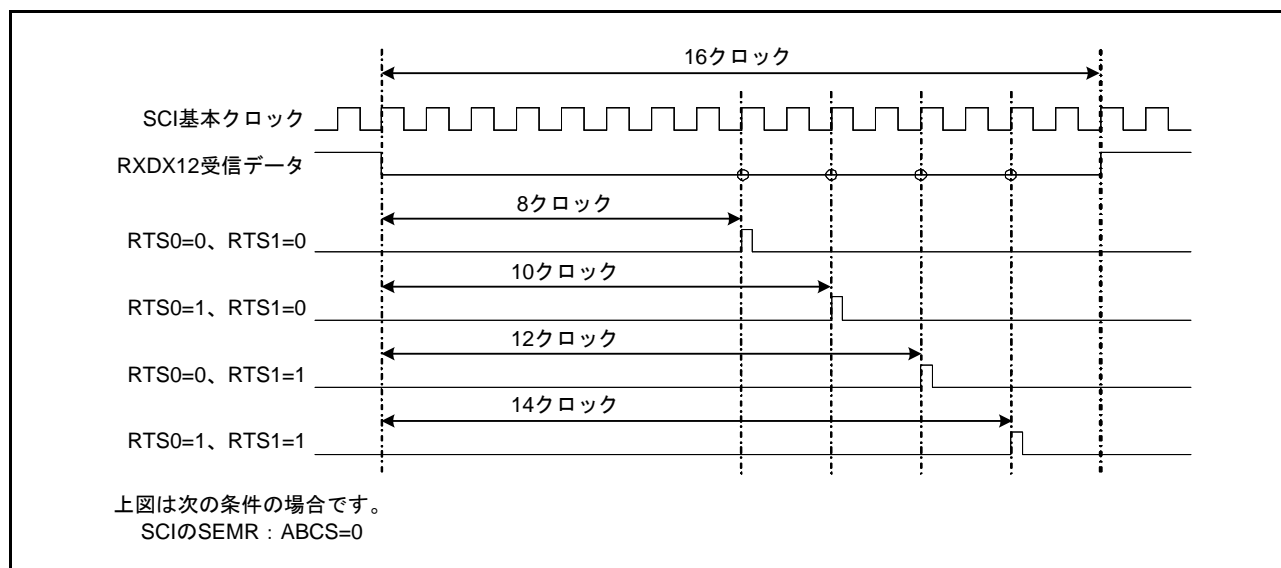


図 29.65 RXDX12 受信データサンプリングタイミング

29.9.8 タイマ

タイマには次の動作モードがあります。

(1) Break Field Low width 出力モード

Start Frame 送信時、Break Field Low width の Low を TXDX12 端子から出力するモードです。TMR の TOMS0=0、TOMS1=1 に設定すると、Break Field Low width 出力モード動作になります。カウントクロックソースは TMR の TCSS[2:0] で選択します。TCR の TCST に“1”を書き込むと、TXDX12 端子の出力を Low にし、カウントを開始します。タイマがアンダフローすると TXDX12 端子の出力を High にし、STR の BFDF が“1”になります。また、ICR の BFDIE を“1”に設定している場合は、SCIX0 割り込みが発生します。TCR の TCST に“0”を書き込むと、TPRE および TCNT はリロード後カウントを停止します。Break Field Low width 出力完了後、タイマが再度アンダフローする前にカウントを停止してください。図 29.66 に Break Field Low width 出力モードの動作例を示します。

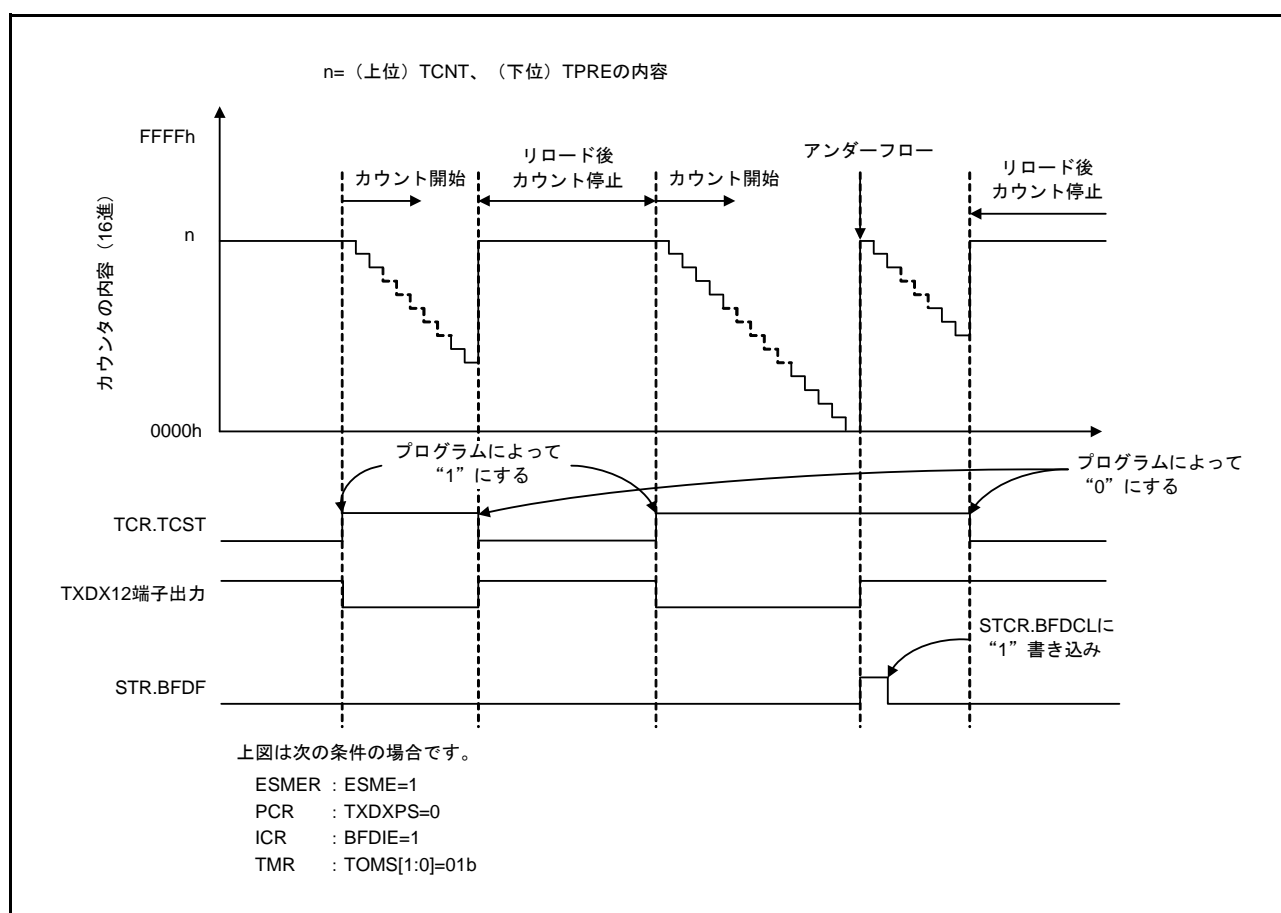


図 29.66 Break Field Low width 出力モードの動作例

(2) Break Field Low width 判定モード

Start Frame 受信時、RXDX12 端子から入力される Break Field Low width 判定するモードです。TMR の TOMS0=1、TOMS1=0 に設定すると、Break Field Low width 判定モード動作になります。カウントクロックソースは TMR の TCSS[2:0] で選択します。TCR の TCST に“1”を書き込むと、Break Field Low width 判定可能状態になります。RXDX12 端子から Low が入力されると判定を開始します。RXDX12 端子から High が入力されると TPRE および TCNT はリロードを行い Break Field Low width 判定可能状態になります。Break Field Low width 判定中にタイマがアンダフローすると STR の BFDLDF が“1”になります。また、ICR の BFDIE を“1”に設定している場合は、SCIX0 割り込みが発生します。データ通信中にタイマがアンダフローし、割り込みが発生することが問題となる場合は、Break Field Low width 判定後、タイマを停止してください。図 29.67 に Break Field Low width 判定モードの動作例を示します。

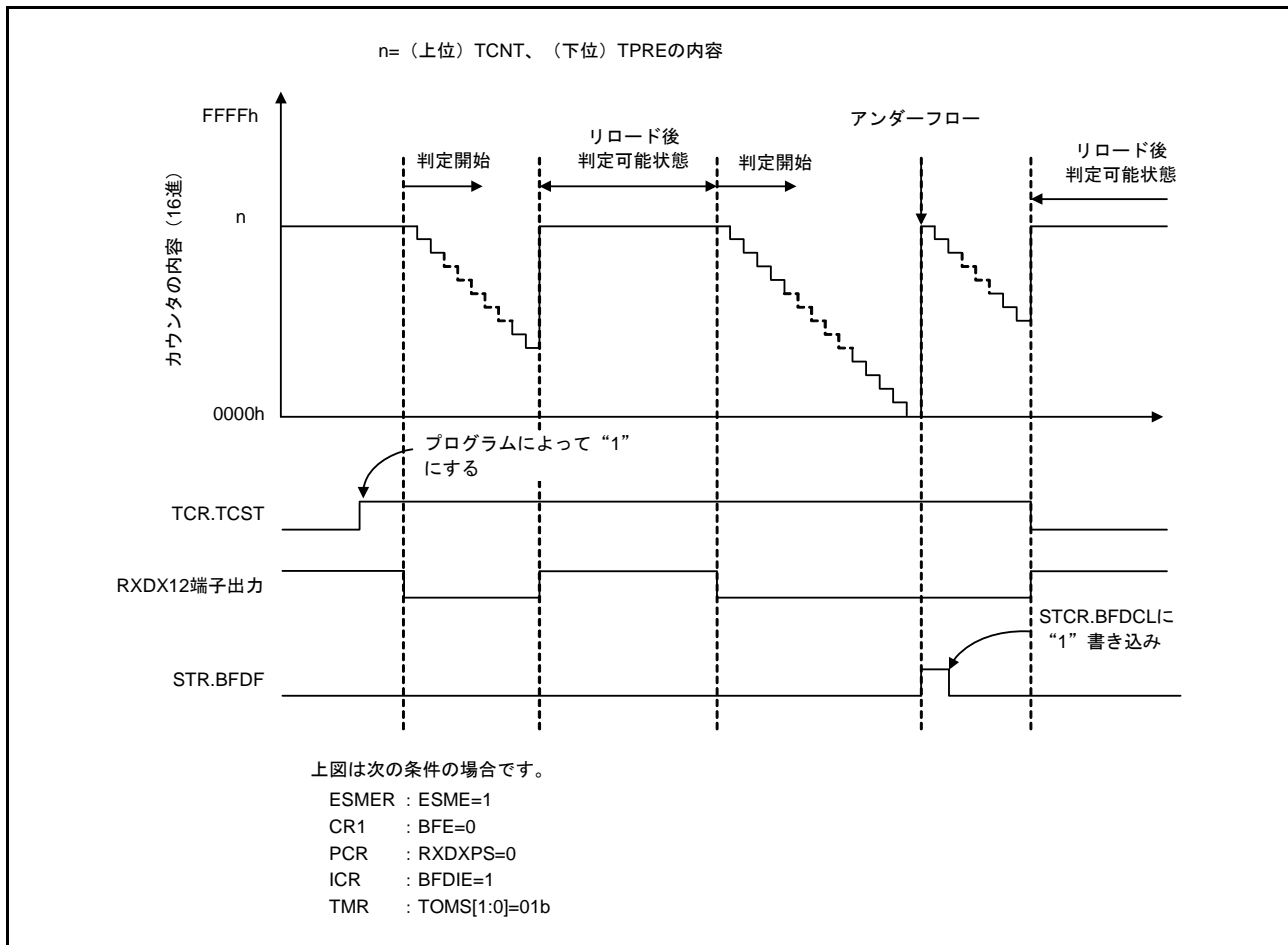


図 29.67 Break Field Low width 判定モードの動作例

(3) タイマモード

内部クロックをカウントクロックソースとしてカウントするモードです。TMR の TOMS0=0、TOMS1=0 に設定すると、タイマモード動作になります。カウントクロックソースは TMR の TCSS[2:0] で選択します。TCR の TCST に“1”を書き込むと、カウントを開始し、TCST に 0 を書き込むとカウントを停止します。TPRE に入力するカウントクロックソースの周期で TPRE がダウンカウントします。TPRE のアンダフローをカウントクロックソースにして、TCNT がダウンカウントします。タイマがアンダフローすると STR の BFDLDF が“1”になります。また、ICR の BFDIE を“1”に設定している場合は、SCIX0 割り込みが発生します。

29.10 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 29.68 に示します。ノイズフィルタは2段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて3回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度3回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDnの入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期 (SEMR.ABCS=0 のとき1ビット期間の1/16、SEMR.ABCS=1 のとき1ビット期間の1/8) となります。

簡易 I²C モード時は SSDAn、SSCLn の入力信号に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ポーレートジェネレータのクロックソースの1/2/4/8分周クロックから SNFR.NFCS[2:0] ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.TE ビット=0、SCR.RE=0 ビットにした場合、ノイズフィルタのフリップフロップはすべて“1”に初期化され、受信再開時の入力データが“1”の場合は一致検出として内部信号に伝えられます。“0”の場合は3回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

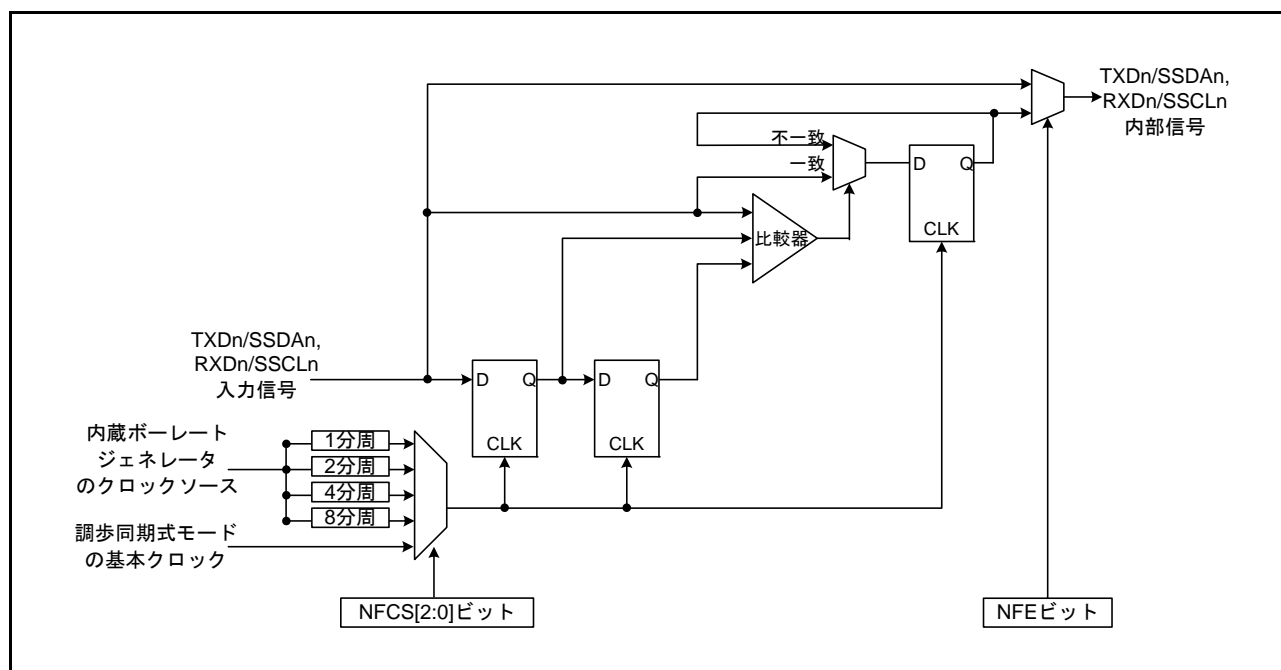


図 29.68 デジタルノイズフィルタ回路のブロック図

29.11 割り込み要因

29.11.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、割り込みコントローラの割り込みステータスフラグが“1”のときに割り込み発生条件となっても、割り込みコントローラに対して割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

割り込みコントローラの割り込みステータスフラグが“0”になると、割り込みコントローラに対して保持していた割り込み要求を出力します。保持していた割り込み要求を出力すると、その割り込みの内部の保持は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を“0”にすることでクリアが可能です。

29.11.2 シリアルコミュニケーションインタフェースモードおよび簡易 SPI モードにおける割り込み

表 29.26 にシリアルコミュニケーションインタフェースモードおよび簡易 SPI モードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR レジスタのイネーブルビットにより独立にイネーブルにすることができます。

SCR.TIE ビットが“1”のとき、送信データが TDR レジスタから TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを“1”に設定した後で SCR.TE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に“1”に設定することでも発生します。TXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが“0”の状態でも SCR.TE ビットを“1”に設定した場合、および SCR.TE ビットが“1”の状態でも SCR.TIE ビットを“1”に設定した場合には発生しません。（注 1）

SCR.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタに次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを“1”に設定してから TDR レジスタに送信データをライトするまでの間は、SSR.TEND フラグは“1”を保持しており、SCR.TEIE ビットを“1”にすると TEI 割り込み要求が発生します。

TDR にデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが“1”のとき、受信データが RDR レジスタに格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

SCR.RIE ビットが“1”のとき、SSR.ORER、FER、PER フラグのいずれかが“1”にセットされると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR.ORER、FER、PER のすべてのビットをクリアすることにより ERI 割り込み要求を取り下げることができます。

- 注 1. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

表 29.26 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位
ERI	受信エラー	ORER、FER、PER	不可能	不可能	高 ↑ 低
RXI	受信データフル	—	可能	可能	
TXI	送信データエンプティ	—	可能	可能	
TEI	送信終了	TEND	不可能	不可能	

29.11.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 29.27 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 29.27 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位
ERI	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可能	不可能	高 ↑ 低
RXI	受信データフル	—	可能	可能	
TXI	送信データエンプティ	TEND	可能	可能	

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”にされると、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「16. DMA コントローラ (DMACA)」、「17. データトランスファコントローラ (DTCa)」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC または DMAC は起動されず、代わりに CPU に対し ERI 割り込み要求を発生しますのでエラーフラグをクリアしてください。

29.11.4 簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 29.28 の割り込み要因があります。STI 割り込みは、送信終了割り込み (TEI) 要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。

簡易 I²C モードも、DTC または DMAC を使って送受信を行うことができます。

SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCLn 端子立ち下がりで、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。また、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち下がりで、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。

SIMR2.IICINTM ビットが“0”のとき、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち上がりで、SSDAn 端子入力が Low だと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力が High だと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データまたは送信データの転送が可能です。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 29.28 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位
RXI	受信、ACK検出	—	可能	可能	高 ↑ 低
TXI	送信、NACK検出	—	可能 (注1)	可能 (注1)	
STI	開始条件、再開条件、 停止条件生成終了	IICSTIF	不可能	不可能	

注1. SIMR2.IICINTM ビット=“1” (受信割り込み、送信割り込みを選択) の場合のみ DTC、DMAC の起動が可能です。

29.11.5 拡張シリアルモード制御部の割り込み要求

SCId の拡張シリアルモード制御部が生成する割り込み要求には、SCIX0 割り込み (Break Field Low width 検出)、SCIX1 割り込み (Control Field 0 一致、Control Field 1 一致、プライオリティインタラプトビット検出)、SCIX2 割り込み (バス衝突検出) および SCIX3 割り込み (有効エッジ検出) の計 6 種類があります。各割り込み要因が発生するとステータスフラグが“1”になります。表 29.29 に各割り込み要求の内容を示します。

表 29.29 拡張シリアルモード制御部の割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
SCIX0 割り込み (Break Field Low width 検出)	BFDF	<ul style="list-style-type: none"> • タイマに設定した期間より長い Break Field Low width を検出したとき • タイマに設定した期間、Break Field Low width 出力が完了したとき • タイマがアンダフローしたとき
SCIX1 割り込み (Control Field 0 一致)	CF0MF	Control Field 0 の受信データが CF0DR に設定したデータと一致したとき
SCIX1 割り込み (Control Field 1 一致)	CF1MF	Control Field 1 の受信データが PCF1DR または SCF1DR に設定したデータと一致したとき
SCIX1 割り込み (プライオリティ インタラプトビット検出)	PIBDF	プライオリティインタラプトビットに指定したビットのデータが PCF1DR に設定したデータと一致したとき
SCIX2 割り込み (バス衝突検出)	BCDF	TXDX12 端子の出力と RXDX12 端子の入力をバス衝突検出クロックでサンプリングし、3 回連続不一致が発生するとき
SCIX3 割り込み (有効エッジ検出)	AEDF	ビットレート測定中、有効エッジを検出したとき

29.12 イベントリンク機能

SCI5 はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。

(1) エラー (受信エラー・エラーシグナル検出) イベント出力

- 受信時にパリティエラーが発生して異常終了したことを示します。
- 受信時にフレーミングエラーが発生して異常終了したことを示します。
- 受信時にオーバランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで、送信時にエラーシグナルを検出したことを示します。

(2) 受信データフルイベント出力

- 受信データが受信データレジスタ (RDR レジスタ) にセットされたことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“0”のとき、ACK を検出したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCL5 端子立ち下がりを検出したことを示します。

簡易 I²C モードのマスタ送信かつ SIMR2.IICINTM ビットが“1”のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

(3) 送信データエンプティイベント出力

- SCR.TE ビットが“0”から“1”に変化したことを示します。
- 送信データレジスタ (TDR レジスタ) から送信シフトレジスタ (TSR レジスタ) に送信データを転送したことを示します。
- スマートカードインタフェースモードで送信が完了したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“0”のとき、NACK を検出したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“1”のとき、9 ビット目の SSCL5 端子立ち下がりを検出したことを示します。

(4) 送信完了イベント出力

- 送信が完了したことを示します。
- 簡易 I²C モードで、開始条件、再開条件、停止条件の生成が完了したことを示します。

29.13 使用上の注意事項

29.13.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) とモジュールストップコントロールレジスタ C (MSTPCRC) により、SCI の動作を禁止 / 許可することができます。リセット後の値では、SCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

29.13.2 ブレークの検出と処理について

フレーミングエラー検出時に、RXDn 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて 0 になりますので、SSR.FER フラグが“1” (フレーミングエラーの発生あり) に設定され、また SSR.PER フラグも“1” (パリティエラーの発生あり) に設定される可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER フラグを“0” (フレーミングエラーの発生なし) に設定しても、再び FER フラグが“1” になりますので注意してください。

29.13.3 マーク状態とブレークの送出

SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき、I/O ポート機能を設定することにより、TXDn 端子を入出力方向とレベルを選択できる I/O ポートとして使用できます。これを利用して TXDn 端子をマーク状態にしたりデータ送信時にブレークを送出することができます。SCR.TE ビットを“1” (シリアル送信動作を許可) に設定するまで、通信回線をマーク状態 (1 の状態) にするためには、I/O ポート機能により TXDn 端子を“1” を出力に設定し、端子モードを汎用入出力ポートに設定します。一方、データ送信時にブレークを送出したいときは、I/O ポート機能設定により TXDn 端子を“0” を出力に設定し、端子モードを汎用入出力ポートに設定します。SCR.TE ビットを“0” に設定すると現在の送信状態とは無関係に送信部は初期化されます。

29.13.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (SSR.ORER) が“1” に設定された状態では、TDR レジスタにデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを“0” に設定しておいてください。また、SCR.RE ビットを“0” (シリアル受信動作を禁止) に設定しても受信エラーフラグは“0” に設定できませんので注意してください。

29.13.5 TDR レジスタへのライトについて

TDR レジスタへのデータのライトは、常に行うことができます。しかし、TDR レジスタに送信データが残っている状態で新しいデータを TDR レジスタにライトすると、TDR レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって TDR レジスタへの送信データのライトは、TXI 割り込み要求によって行ってください。

29.13.6 クロック同期送信時の制約事項

同期クロックに外部クロックソースを使用する場合、DMAC または DTC による TDR レジスタの更新後、PCLK クロックで 5 クロック以上経過した後に送信クロックを入力してください。TDR レジスタの更新後、4 クロック以内に送信クロックを入力すると誤動作することがあります。

29.13.7 DMAC または DTC 使用上の制約事項

DMAC または DTC により、RDR レジスタのリードを行うときは起動要因を当該 SCI の受信完了割り込み (RXI) に設定してください。

29.13.8 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグが“1”のときは、動作許可 (SCR.TE ビットを“1”に設定、または SCR.RE ビットを“1”に設定) 前に以下の手順で割り込み要求をクリアしてください。

- 通信が停止していること (SCR.TE ビットまたは SCR.RE ビットが“0”となっていること) を確認
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を“0”に設定
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を読み出し、“0”を確認
- 割り込みコントローラの割り込みステータスフラグに“0”を設定

29.13.9 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態への設定、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えた後、動作を停止 (SCR.TIE ビット=0、TE ビット=0、TEIE ビット=0) してから行ってください。TE ビットを“0”にすることによって、TSR レジスタおよび SSR.TEND フラグはリセットされます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態からの解除の後、送信モードを変えないで送信する場合は、TE ビット=1 に設定し、SSR レジスタリード→TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 29.69 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。図 29.70、図 29.71 にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

また、DTC 転送による送信からモジュールストップ状態への設定、または、ソフトウェアスタンバイモード遷移は、動作を停止 (TE ビット=0) してから行ってください。解除後 DTC による送信をする場合は、TE ビット=1 に設定すると TXI 割り込みフラグが立ち、DTC による送信が始まります。

(2) 受信

モジュールストップ状態への設定または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止 (SCR.RE ビット=0) してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE ビット=1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 29.72 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。

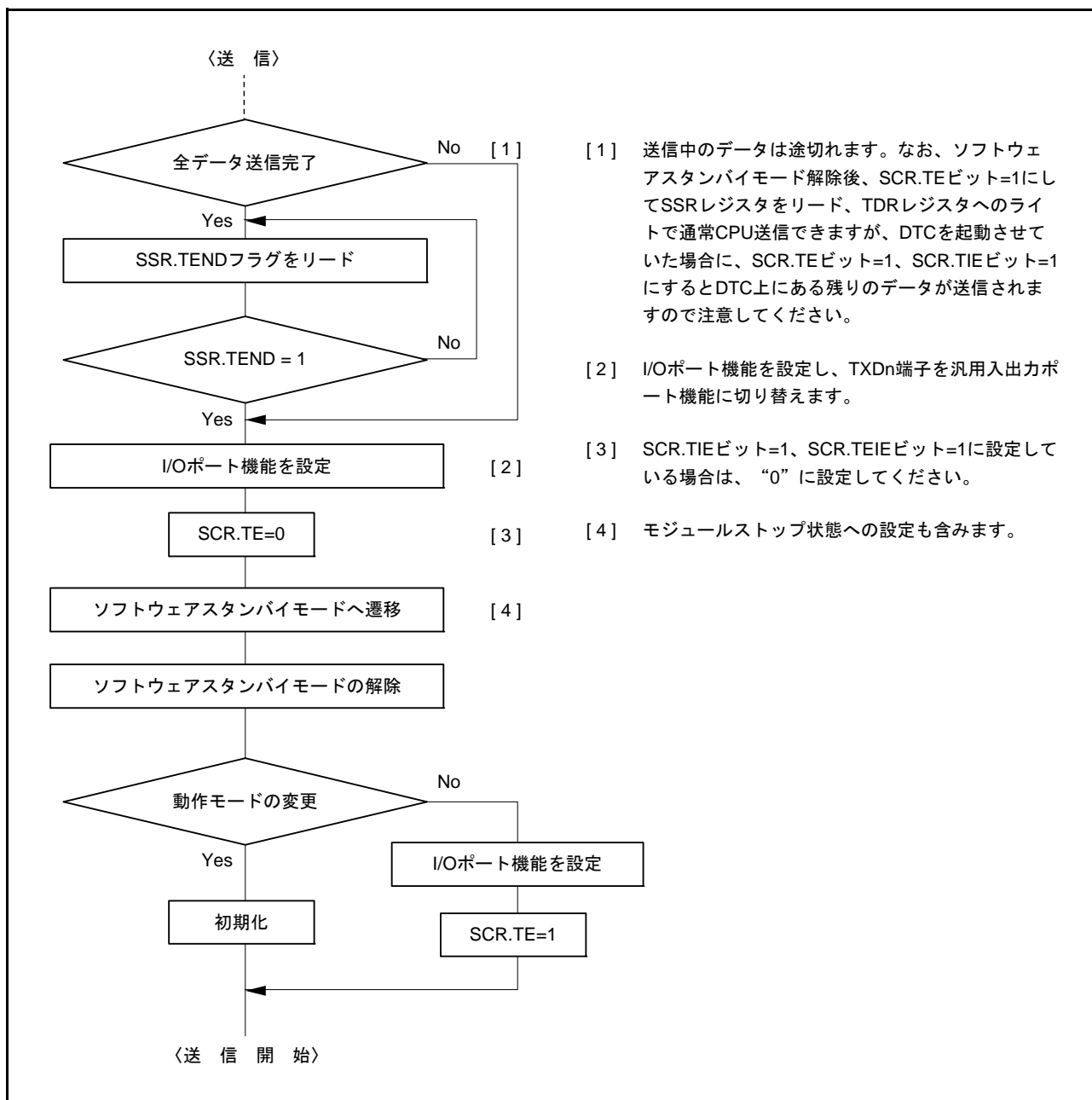


図 29.69 送信時のソフトウェアスタンバイモード遷移フローチャートの例

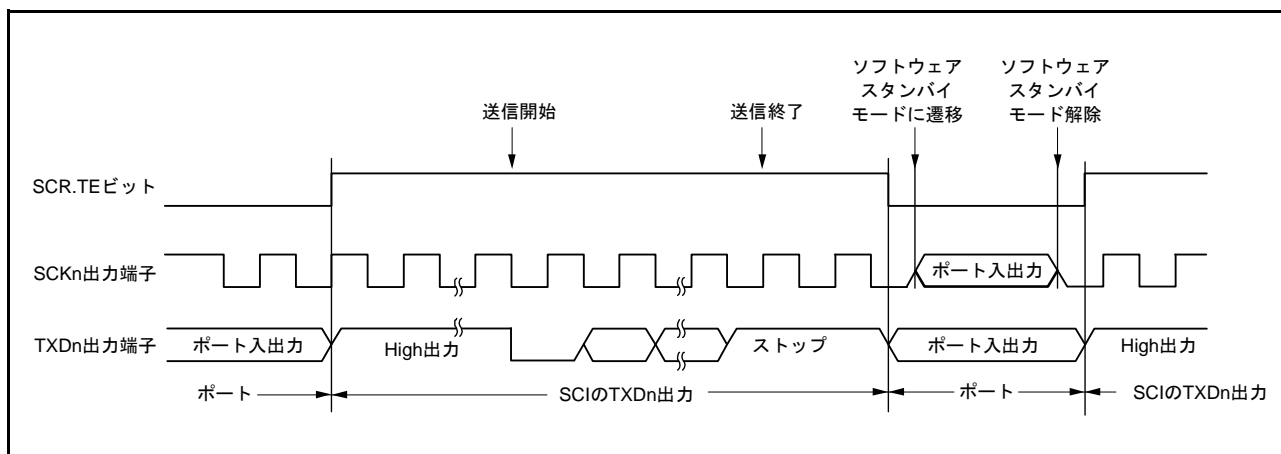


図 29.70 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

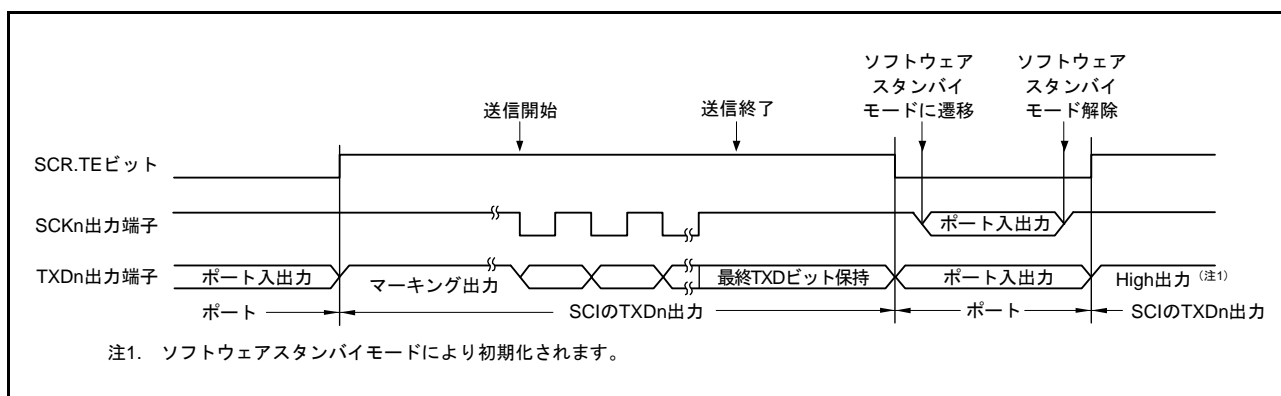


図 29.71 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

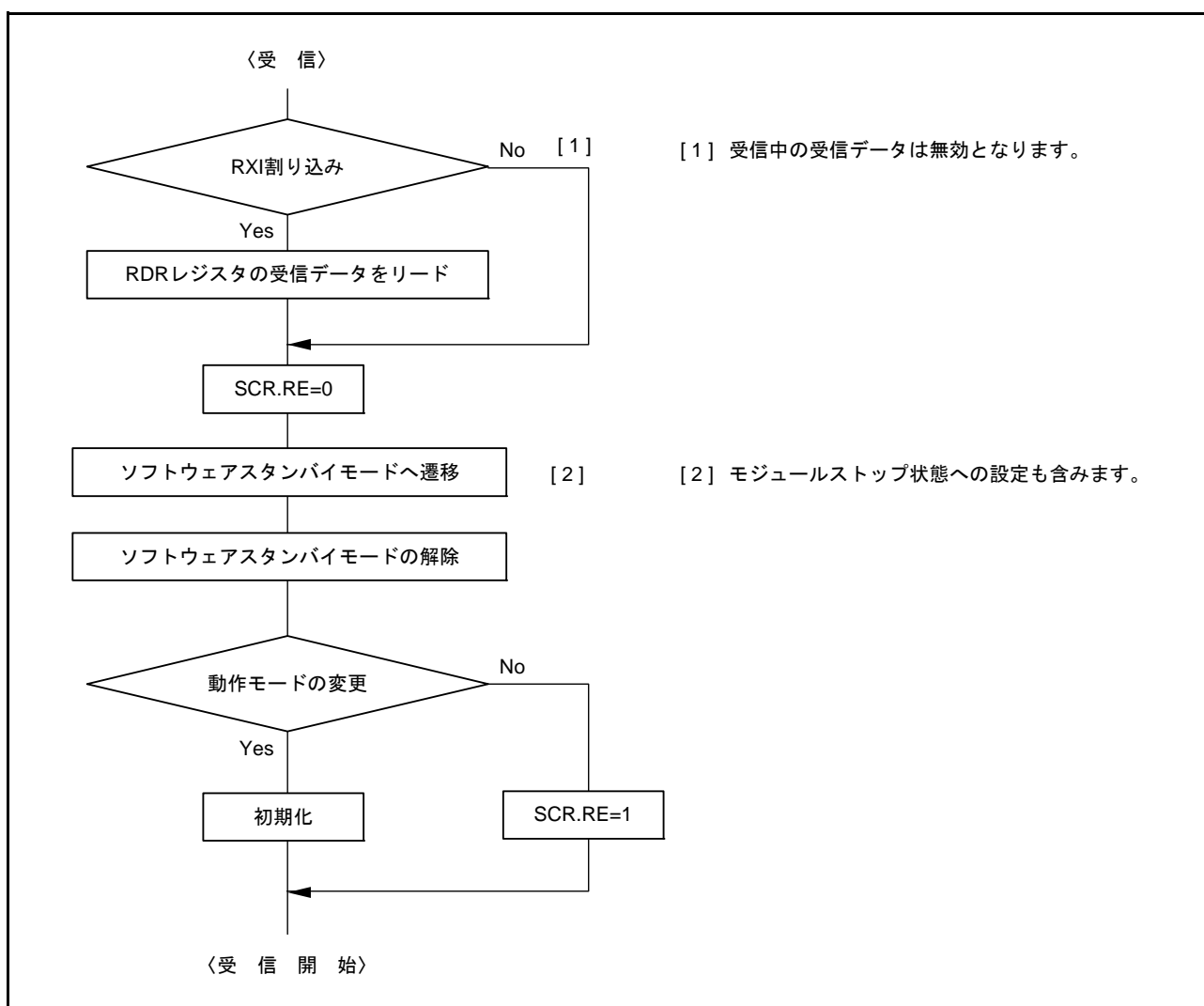


図 29.72 受信時のソフトウェアスタンバイモード遷移フローチャートの例

29.13.10 クロック同期式モード外部クロック入力

クロック同期式モード時、外部クロック SCKn 入力は、High パルス期間および Low パルス期間を 2PCLK 以上、周期を 6PCLK 以上としてください。

29.13.11 簡易 SPI モードの制約事項

(1) マスタモード

- SPMR.CKPH, CKPOL ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ (プルダウン) してください。
- クロック遅れあり設定 (SPMR.CKPH ビット = “1”) の場合、**図 29.73** に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (RXI 割り込み) が発生します。このとき、SCR.TE, RE ビットを SCKn 端子の最終クロックエッジより前に “0” に設定すると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタモード時、送受信キャラクタの途中でモードフォルトエラーが発生すると、SS# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

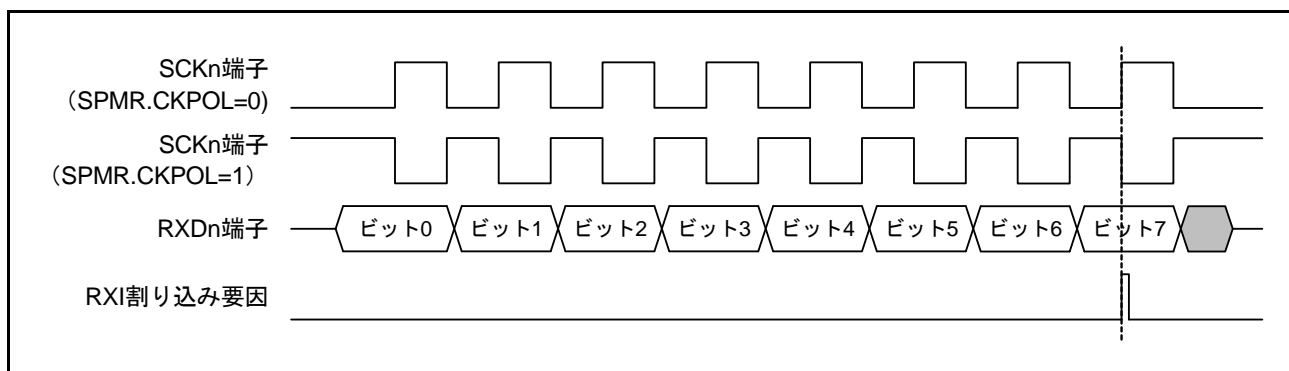


図 29.73 簡易 SPI モード (クロック遅れあり) RXI 割り込み発生タイミング

(2) スレーブモード

- TDR レジスタへの送信データの書き込みと、SSn# 端子への Low 入力から外部クロック入力開始まで、5 PCLK 以上の時間を確保してください。
- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR.TE, RE ビットを “0” に設定し、再設定後、1 バイト目から転送をやり直してください。

29.13.12 拡張シリアルモード制御部の使用上の制約事項 1

PCR の SHARPS を “1” に設定した場合、TXDX12/RXDX12 端子は以下のときのみ出力となります。

- SCId タイマを Break Field Low width 出力モードで TCR の TCST を “1” にしたとき (TCR の TCST を “1” にし、Low が出力されるまで、最大でタイマカウントクロックソースの 1 サイクルの High が出力されます。)
- SCI12.SCR の TE が “1” のとき

29.13.13 拡張シリアルモード制御部の使用上の制約事項 2

拡張シリアルモードを有効にした場合も、SCIc の割り込み要求は生成されます。スタートフレーム受信中は SCId が SCIc の割り込み要求イベントを使用するため、SCIc の割り込み要求は使用しないでください。この対応として下記 2 つがあります。なお、受信エラーを検出したときは、図 29.74 のフローチャートの例に従って SCIc のエラーフラグのクリアおよび SCId 制御部を初期化してください。

- (1) SCIc の SCR.RIE ビットを“0”にし、割り込み要求出力を禁止してください。この場合受信エラーが発生した場合に ERI 割り込みが発生しないため、スタートフレームの受信終了タイミングで、SCIc の SSR レジスタのエラーフラグをチェックしてください。スタートフレーム受信完了後インフォメーションフレームの第 1 バイト受信完了するまでの間に、SCIc の SCR.RIE ビットを“1”に切り換えてください。
- (2) SCIc の SCR.RIE ビットを“1”にし、ICU の RXI 割り込みを禁止し、ICU の ERI 割り込みを許可してください。スタートフレーム受信完了後インフォメーションフレームの第 1 バイト受信完了するまでの間に、ICU の RXI 割り込みに対応する IRn.IR フラグをクリアし、ICU の RXI 割り込みを許可に切り換えてください。

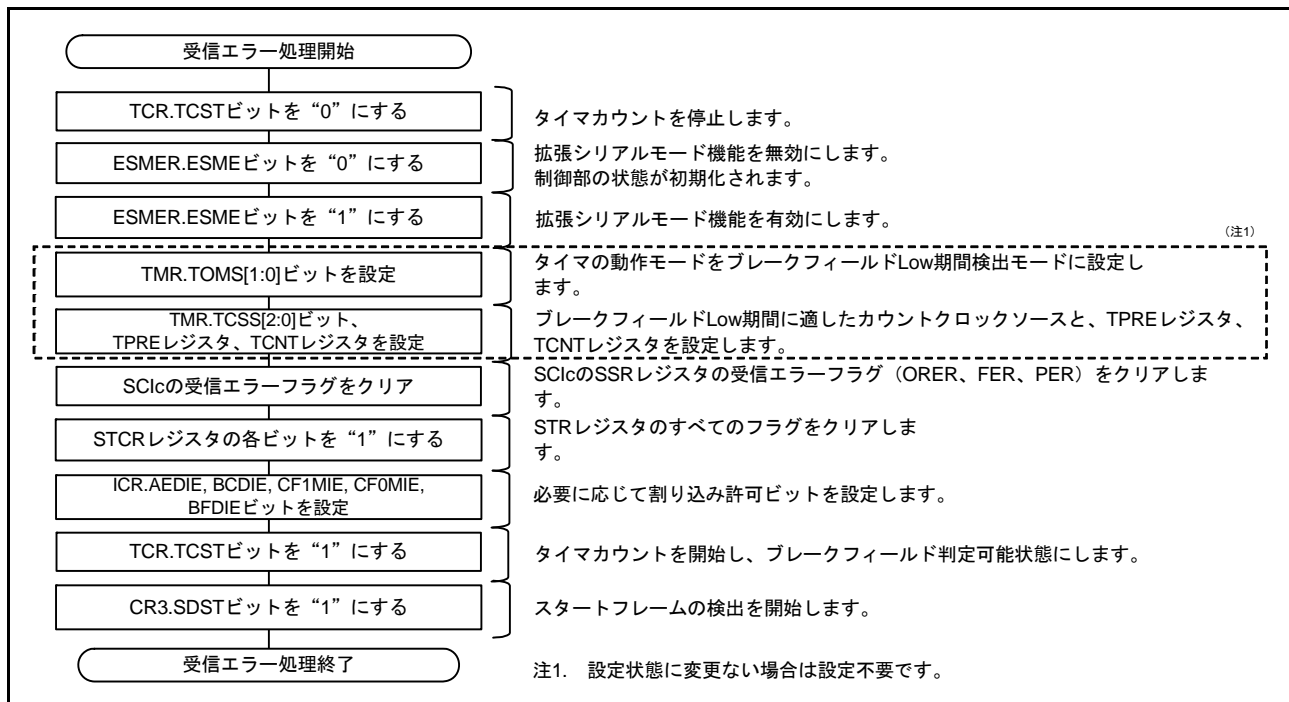


図 29.74 受信エラー処理のフローチャートの例 (スタートフレーム受信時)

30. I²Cバスインタフェース (RIIC)

RX210グループは、1チャンネルのI²Cバスインタフェース (RIIC) を内蔵しています。

RIICは、NXP社が提唱するI²Cバス (Inter-IC-Bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

30.1 概要

表 30.1 に RIIC の仕様を、図 30.1 に RIIC のブロック図を、図 30.2 に入出力端子の外部回路接続例 (I²Cバス構成例) を示します。表 30.2 に RIIC で使用する入出力端子を示します。

表 30.1 RIICの仕様

項目	内容
通信フォーマット	<ul style="list-style-type: none"> I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	~400kbps
SCLクロック	マスタ時、SCLクロックのデューティ比を4%~96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション (リスタートコンディション含む) /ストップコンディション検出可能
スレーブアドレス	<ul style="list-style-type: none"> スレーブアドレスを3セット設定可能 7ビット/10ビットアドレスフォーマット対応 (混在可能) ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能
アクノリッジ応答	<ul style="list-style-type: none"> 送信時、アクノリッジビットの自動ロード ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクノリッジビットの自動送付 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能
ウェイト機能	<ul style="list-style-type: none"> 受信時、SCLクロックのLowホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト (WAIT機能)
SDA出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> マルチマスタ対応 他のマスタとのSCLクロック衝突時、SCLクロックの同期動作可能 スタートコンディション発行競合時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能 (スタートコンディションの二重発行防止) ノットアクノリッジ送信時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLクロックの長時間停止を検出可能
ノイズ除去	SCL、SDA入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能
割り込み要因	<ul style="list-style-type: none"> 4種類 通信エラー/イベント発生 (AL検出、NACK検出、タイムアウト検出、スタートコンディション検出 (リスタートコンディション含む)、ストップコンディション検出) 受信データフル (スレーブアドレス一致時含む) 送信データエンpty (スレーブアドレス一致時含む) 送信終了
消費電力低減機能	モジュールストップ状態への設定が可能
イベントリンク機能	<ul style="list-style-type: none"> 4種類 通信エラー/イベント発生 (AL検出、NACK検出、タイムアウト検出、スタートコンディション検出 (リスタートコンディション含む)、ストップコンディション検出) 受信データフル (スレーブアドレス一致時含む) 送信データエンpty (スレーブアドレス一致時含む) 送信終了

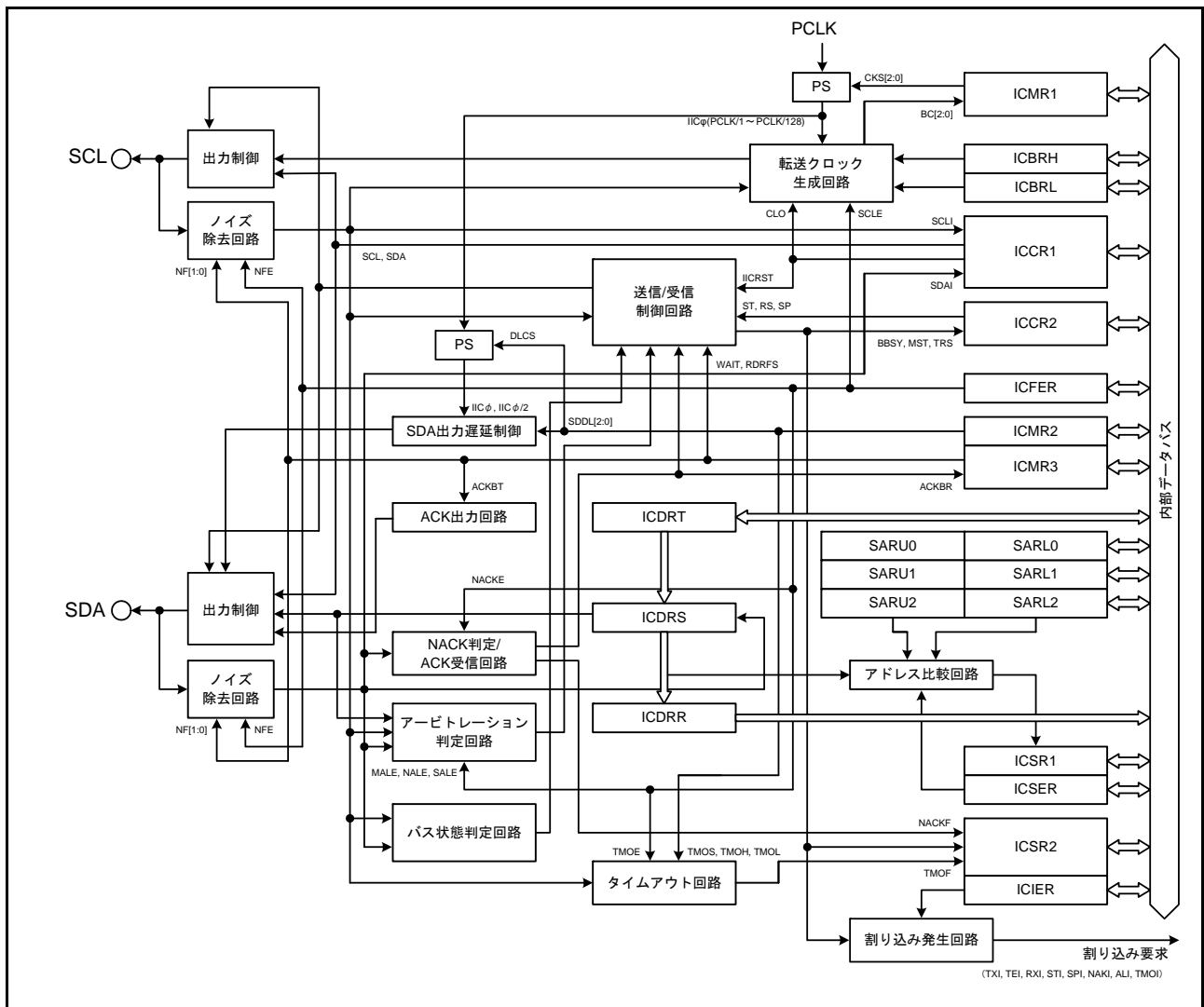


図 30.1 RIIC のブロック図

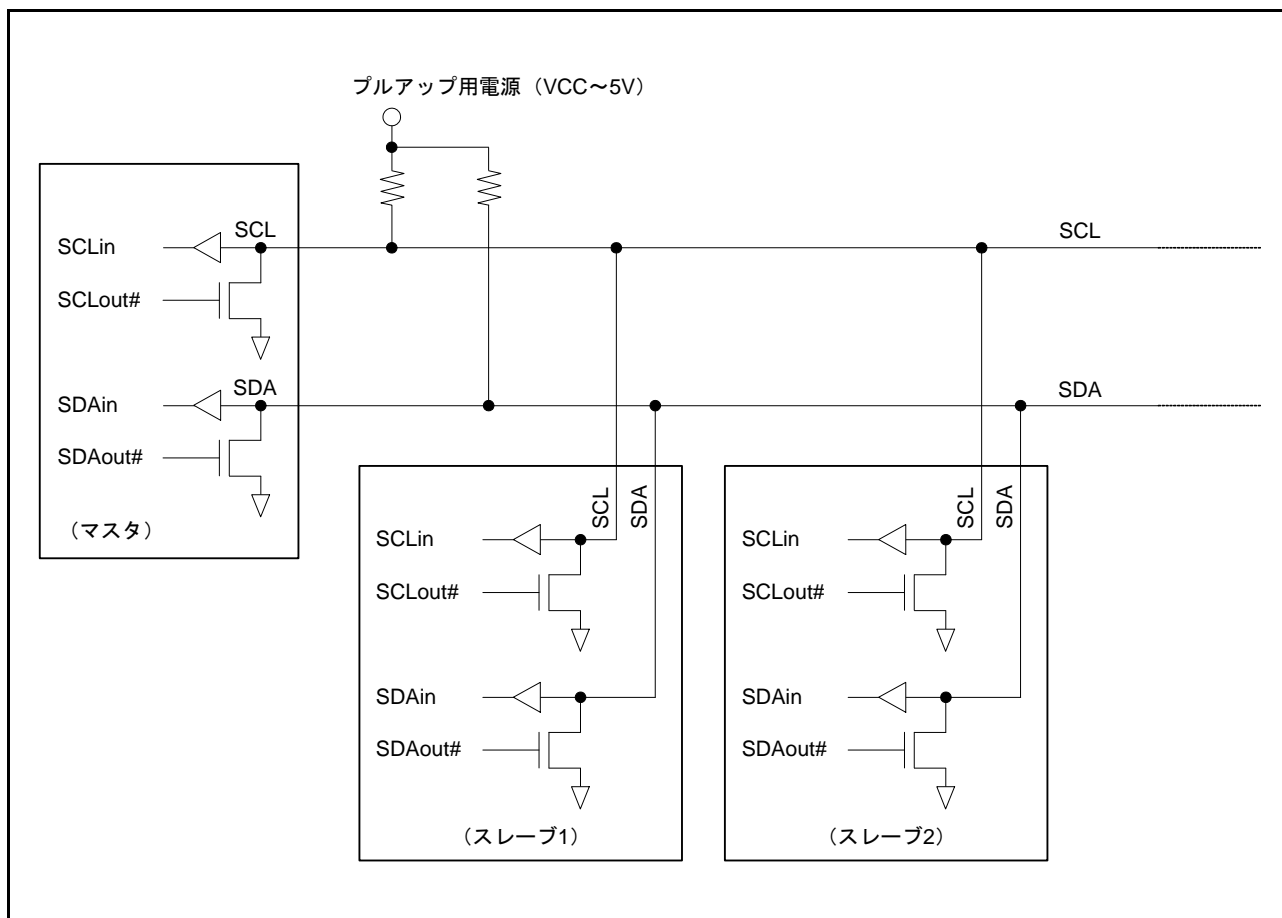


図 30.2 入出力端子の外部回路接続例 (I²C バス構成例)

RIIC の各信号の入力レベルは、I²C バス選択時 (SMBS ビット =0)、CMOS レベルであり、SMBus 選択時 (SMBS ビット =1)、TTL レベルです。

表 30.2 RIICの入出力端子

チャンネル	端子名	入出力	機能
RIIC0	SCL	入出力	RIIC0シリアルクロック入出力端子
	SDA	入出力	RIIC0シリアルデータ入出力端子

30.2 レジスタの説明

表30.3 16ビットアクセスのレジスタ配置

アドレス	上位8ビット	下位8ビット
0008 830Ah (注1)	RIIC0.TMOCNTU	RIIC0.TMOCNTL

注1. SARL0、SARU0レジスタと同一です。ご注意ください。

30.2.1 I²Cバスコントロールレジスタ 1 (ICCR1)

アドレス RIIC0.ICCR1 0008 8300h

b7	b6	b5	b4	b3	b2	b1	b0
ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI

リセット後の値 0 0 0 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0 : SDAラインはLow 1 : SDAラインはHigh	R
b1	SCLI	SCLラインモニタビット	0 : SCLラインはLow 1 : SCLラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0 : SDA端子をLowにしている 1 : SDA端子を解放している ライト時 0 : SDA端子をLowにする 1 : SDA端子を解放する 	R/W
b3	SCLO	SCL出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0 : SCL端子をLowにしている 1 : SCL端子を解放している ライト時 0 : SCL端子をLowにする 1 : SCL端子を解放する 	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0 : SCLO、SDAOビットの書き換え許可 1 : SCLO、SDAOビットを保護 (読むと“1”が読めます)	R/W
b5	CLO	SCLクロック追加出力ビット	0 : SCLクロックを追加で出力しない (通常状態) 1 : SCLクロックを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I ² Cバスインタフェース内部リセットビット	0 : RIIC/内部リセット解除 1 : RIIC/内部リセット状態 (ビットカウンタのクリア、SCL/SDA出力ラッチを解除)	R/W
b7	ICE	I ² Cバスインタフェース許可ビット	0 : 禁止 (SCL、SDA端子非駆動状態) 1 : 許可 (SCL、SDA端子駆動状態) <ul style="list-style-type: none"> IICRSTビットとの組合せで、RIICリセット、内部リセットを選択 	R/W

SDAO ビット (SDA 出力制御 / モニタビット)、SCLO ビット (SCL 出力制御 / モニタビット)

RIIC が出力する SDA_n 信号、SCL_n 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOWP ビットにも“0”を書いてください。

これらのビットを操作した結果は入力バッファを介して RIIC に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えしないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのとき RIIC が出力している信号の状態が読めます。

CLO ビット (SCL クロック追加出力ビット)

SCL クロックを 1 クロック単位で追加出力をする機能で、デバッグ時または異常処理時に使用します。

通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。

本機能の詳細については、「30.11.2 SCL クロック追加出力機能」を参照してください。

IICRST ビット (I²C バス内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 30.4 に RIIC のリセットの種類を示します。

RIIC リセットでは ICCR2.BBSY フラグを含めた全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (ICDRS)、I²C バスステータスレジスタ (ICSR1、ICSR2) および内部状態をリセットします。各レジスタのリセット状況については、「30.14 リセット状況」を参照してください。

動作中 (ICE ビット=1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCL 端子 /SDA 端子をハイインピーダンスにしてバスを解放することができます。

注． スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態（主に双方のビットカウンタ情報に差異が生じる）になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCL ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 30.4 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット (I²C バスインタフェース許可ビット)

SCL、SDA 端子の駆動状態、非駆動状態を選択します。また、本ビットは IICRST ビットとの組合せにより、2 種類のリセットを行うことができます。リセットの種類については表 30.4 の RIIC のリセットの種類を参照してください。

RIIC を使用するときは、ICE ビットを“1”に設定してください。ICE ビットが“1”のとき、SCL、SDA 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを“0”に設定してください。ICE ビットが“0”のとき、SCL、SDA 端子非駆動状態になります。また、マルチファンクションピンコントローラ (MPC) の設定で SCL 端子、SDA 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレス比較動作を行いますので注意してください。

30.2.2 I²Cバスコントロールレジスタ 2 (ICCR2)

アドレス RIIC0.ICCR2 0008 8301h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0: リスタートコンディションの発行を要求しない 1: リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I ² Cバスが解放状態 (バスフリー状態) 1: I ² Cバスが占有状態 (バスビジー状態)	R

注1. ICMR1.MTWPビットが“1”のとき、MST、TRSビットへの書き込みができます。

STビット (スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

STビットが“1”になるとスタートコンディションの発行を要求し、BBSYフラグが“0” (バスフリー) のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「30.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- “1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- スタートコンディションの発行が完了したとき
- ICSR2.ALフラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

注. STビットは、BBSYフラグが“0” (バスフリー) のとき、“1” (スタートコンディション発行要求) にしてください。

BBSYフラグが“1” (バスビジー) のとき、STビットを“1” (スタートコンディション発行要求) にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット (リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが“1”になるとリスタートコンディションの発行を要求し、BBSY フラグが“1” (バスビジー) でかつ MST ビットが“1” (マスタモード) のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「30.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[“1”になる条件]

- ICCR2.BBSY フラグが“1”の状態、“1”を書いたとき

[“0”になる条件]

- “0”を書いたとき
- リスタートコンディションの発行が完了したとき、またはスタートコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ストップコンディション発行中に RS ビットを“1”にしないでください。

注. マスタモード以外で RS ビットに“1” (リスタートコンディション発行要求) を書いた場合、リスタートコンディションはその動作モードでは発行されずに RS ビットは“1”のままになります。このまま動作モードをマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット (ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが“1”になるとストップコンディションの発行を要求し、BBSY フラグが“1” (バスビジー) でかつ MST ビットが“1” (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「30.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[“1”になる条件]

- ICCR2.BBSY フラグが“1”でかつ ICCR2.MST ビットが“1”の状態、“1”を書いたとき

[“0”になる条件]

- “0”を書いたとき
- ストップコンディションの発行が完了したとき、またはストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. BBSY フラグ=0 (バスフリー) のとき書き込みはできません。

注. リスタートコンディション発行中に SP ビットを“1”にしないでください。

TRS ビット (送信 / 受信モードビット)

送信 / 受信モードを示すビットです。

TRS ビットが“0”のとき受信モード、TRS ビットが“1”のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行 / 検出および R/W# ビットなどで“1”/“0”になり、動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1”になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき (ST ビットが“1”の状態、スタートコンディションを検出したとき)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“0”のとき
- スレーブモード時、受信したスレーブアドレスが ICSE_R レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“1”を受信したとき
- ICMR1.MTWP ビットが“1”の状態、“1”を書いたとき

[“0”になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“1”のとき
- スレーブモード時、受信したスレーブアドレスが ICSE_R レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“0”を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (ICCR2.BBSY=1、ICCR2.MST=0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

MST ビット (マスタ / スレーブモードビット)

マスタモード / スレーブモードを示すビットです。

MST ビットが“0”のときスレーブモード、MST ビットが“1”のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行 / 検出などで“1”/“0”になり、動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1”になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ST ビットが“1”の状態、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態、“1”を書いたとき

[“0”になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが“1”の状態、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスの占有 (バスビジー) / 解放状態 (バスフリー) を示します。

SCL ラインが High の状態で SDA ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して“1”になります。

SCL ラインが High の状態で SDA ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコンディション検出がないとき“0”になります。

[“1”になる条件]

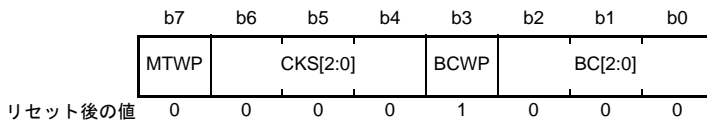
- スタートコンディションを検出したとき

[“0”になる条件]

- ストップコンディションを検出後、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコンディション検出がないとき
- ICCR1.ICE ビットが“0”の状態 ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

30.2.3 I²Cバスモードレジスタ 1 (ICMR1)

アドレス RIIC0.ICMR1 0008 8302h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可 (読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	b6 b4 0 0 0 : PCLK/1クロック 0 0 1 : PCLK/2クロック 0 1 0 : PCLK/4クロック 0 1 1 : PCLK/8クロック 1 0 0 : PCLK/16クロック 1 0 1 : PCLK/32クロック 1 1 0 : PCLK/64クロック 1 1 1 : PCLK/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRSビットへの書き込み禁止 1 : ICCR2.MST, TRSビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、BCWPビットを“0”にして、BC[2:0]ビットを書き換えてください。ビットの書き換えは、MOV命令で行います。

BC[2:0]ビット (ビットカウンタ)

SCLラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできませんが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数+1を指定し(データにアクノリッジ1ビットが付加されて転送される)、転送フレーム間でかつSCLラインがLowの状態で行ってください。

BC[2:0]ビットはアクノリッジを含むデータ転送終了時、またはスタートコンディション検出(リスタートコンディション含む)で自動的に“000b”に戻ります。

30.2.4 I²Cバスモードレジスタ 2 (ICMR2)

アドレス RIIC0.ICMR2 0008 8303h

b7	b6	b5	b4	b3	b2	b1	b0
DLCS	SDDL[2:0]		TMWE	TMOH	TMOL	TMOS	
リセット後の値	0	0	0	0	0	1	1
	0		0		1		0

ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0: ロングモードを選択 1: ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0: SCLラインがLowでカウント禁止 1: SCLラインがLowでカウント有効	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0: SCLラインがHighでカウント禁止 1: SCLラインがHighでカウント有効	R/W
b3	TMWE	タイムアウト内部カウンタ書き込み許可ビット	0: タイムアウト機能の内部カウンタへの書き込み禁止 1: タイムアウト機能の内部カウンタへの書き込み許可	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> ICMR2.DLCS=0 (IICφ) のとき b6 b4 0 0 0: 出力遅延なし 0 0 1: IICφの1サイクル 0 1 0: IICφの2サイクル 0 1 1: IICφの3サイクル 1 0 0: IICφの4サイクル 1 0 1: IICφの5サイクル 1 1 0: IICφの6サイクル 1 1 1: IICφの7サイクル ICMR2.DLCS=1 (IICφ/2) のとき b6 b4 0 0 0: 出力遅延なし 0 0 1: IICφの1~2サイクル 0 1 0: IICφの3~4サイクル 0 1 1: IICφの5~6サイクル 1 0 0: IICφの7~8サイクル 1 0 1: IICφの9~10サイクル 1 1 0: IICφの11~12サイクル 1 1 1: IICφの13~14サイクル 	R/W
b7	DLCS	SDA出力遅延クロックソース選択ビット	0: SDA出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1: SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周 (IICφ/2) を選択 (注1)	R/W

注1. SCL=LowのときのみDLCS=1 (IICφ/2) の設定が有効になります。SCL=HighのときDLCS=1の設定は無効となり内部基準クロック (IICφ) となります。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが16ビットカウンタとして、またショートモードでは14ビットカウンタとして動作し、SCLラインがTMOH、TMOLビットで選択された状態になったとき、内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「30.11.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウトLカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) に SCL ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMOH ビット (タイムアウトHカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) に SCL ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMWE ビット (タイムアウト内部カウンタ書き込み許可ビット)

スレーブアドレスレジスタ (SARL0/SARU0) のアドレスにタイムアウト内部カウンタ (TMOCNTL/TMOCNTU) を割り当てるかどうかを選択するビットです。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

本機能の詳細については、「30.5 SDA 出力遅延機能」を参照してください。

注. SDA 出力遅延の設定は、I²C バス規格 (データ有効時間 / アクノリッジ有効時間 (注¹) 内) または SMBus 規格 (データホールド時間 : 300ns 以上、かつ SCL クロックの Low 幅 - データセットアップ時間 : 250ns の範囲内) に収まるようにしてください。規格外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

注 1. データ有効時間 / アクノリッジ有効時間
3,450ns (~ 100kbps : スタンダードモード [Sm])
900ns (~ 400kbps : ファストモード [Fm])

30.2.5 I²Cバスモードレジスタ 3 (ICMR3)

アドレス RIIC0.ICMR3 0008 8304h

b7	b6	b5	b4	b3	b2	b1	b0
SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0 : 1IICφ以下のノイズを除去 (フィルタは1段) 0 1 : 2IICφ以下のノイズを除去 (フィルタは2段) 1 0 : 3IICφ以下のノイズを除去 (フィルタは3段) 1 1 : 4IICφ以下のノイズを除去 (フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0 : アクノリッジビットに“0”を受信 (ACK受信) 1 : アクノリッジビットに“1”を受信 (NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0 : アクノリッジビットに“0”を送出 (ACK送信) 1 : アクノリッジビットに“1”を送出 (NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0 : ACKBTビットへの書き込み禁止 1 : ACKBTビットへの書き込み許可	W (注1)
b5	RDRFS	RDRFフラグセット タイミング選択ビット	0 : SCLクロックの9クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりでSCLラインをLowにホールドしない) 1 : SCLクロックの8クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりでSCLラインをLowにホールドする) LowホールドはACKBTビットへの書き込みで解除	R/W (注2)
b6	WAIT	WAITビット	0 : WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1 : WAITあり (9クロック目と1クロック目の間をLowにホールドする) LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I ² Cバス選択ビット	0 : I ² Cバス選択 1 : SMBus選択	R/W

注1. ACKWPビットは、ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。

注2. WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

ICMR3レジスタは、アクノリッジ送受信機能、RIIC受信動作におけるRDRFフラグ、WAIT動作などを制御するレジスタです。

注. ノイズフィルタで除去するノイズ幅の設定は、SCLラインのHigh/Low幅よりも狭くしてください。
(SCLクロックの幅 : High幅またはLow幅のいずれか短い方) - {1.5内部基準クロック同期 (IICφ) + アナログノイズフィルタ : 120 ns (参考値)} と同じか、それ以上に設定した場合は、RIICのノイズフィルタ機能によりSCLクロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット (受信アクリッジビット)

送信モード時に受信デバイスから受け取ったアクリッジビットの内容を格納します。

[“1”になる条件]

- ICCR2.TRS ビットが“1”の状態であクリッジビットに“1”を受信したとき

[“0”になる条件]

- ICCR2.TRS ビットが“1”の状態であクリッジビットに“0”を受信したとき
- ICCR1.ICE ビットが“0”の状態であCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKBT ビット (送信アクリッジビット)

受信モード時にアクリッジのタイミングで送出するビットを設定します。

[“1”になる条件]

- ACKWP ビットが“1”の状態であクリッジを書いたとき

[“0”になる条件]

- ACKWP ビットが“1”の状態であクリッジを書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが“1”の状態であクリッジコンディションを検出したとき)
- ICCR1.ICE ビットが“0”の状態であCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

注. ACKBT ビットに書く場合には、ACKWP ビットが“1”の状態で行ってください。ACKWP ビットが“0”の状態であクリッジ書いた場合には、ACKBT ビットへの書き込みは無効となります。

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセットタイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで SCL ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが“0”のとき、8 クロック目の立ち下がりで SCL ラインの Low ホールドは行わず、9 クロック目の立ち上がりで RDRF フラグを“1”にします。

RDRFS ビットが“1”のとき、RDRF フラグは 8 クロック目の立ち上がりで“1”にし、8 クロック目の立ち下がりで SCL ラインを Low にホールドします。この SCL ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクリッジビット送出前に SCL ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが“0”) または NACK (ACKBT ビットが“1”) を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて1バイト受信ごとに受信データバッファ (ICDRR レジスタ) の読み出しが完了するまで、SCLクロックの9クロック目と1クロック目の間をLowにホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCLクロックの9クロック目と1クロック目の間のLowホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1”のとき、1バイト受信ごとに9クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCL ラインをLowにホールドします。これにより1バイトごとの受信動作が可能です。

注. WAIT ビットを“0”にする場合は、ICDRR を先に読んでから“0”にしてください。

SMBS ビット (SMBus/I²C バス選択ビット)

SMBS ビットを“1”にすると、SMBus が選択され IC SER.HOAE ビットが有効になります。

30.2.6 I²Cバスファンクションイネーブルレジスタ (ICFER)

アドレス RIIC0.ICFER 0008 8305h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0: タイムアウト検出機能無効 1: タイムアウト検出機能有効	R/W
b1	MALE	マスターアービトレーションロスト検出許可ビット	0: マスタのアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行わない) 1: マスタアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行う)	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0: NACK送信アービトレーションロスト検出禁止 1: NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0: NACK受信時、転送を中断しない(転送中断禁止) 1: NACK受信時、転送を中断する(転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ回路有効ビット	0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路有効ビット	0: SCL同期回路無効 1: SCL同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効/無効を選択します。

タイムアウト検出機能の詳細については、「30.11.1 タイムアウト検出機能」を参照してください。

MALE ビット (マスターアービトレーションロスト検出許可ビット)

マスタモード時にアービトレーションロスト検出機能の有効/無効を決定します。通常は“1”にしてください。

NALE ビット (NACK送信アービトレーションロスト検出許可ビット)

受信モード時、NACK送途中にACKが検出された場合(同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など)にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット (NACK 受信転送中断許可ビット)

送信モード時、スレーブデバイスから NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACKE ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが“0”のとき、受信アクリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「30.8.2 NACK 受信転送中断機能」を参照してください。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0” (SCL 同期回路無効) にすると、クロック同期を行いません。この設定の場合、RIIC は SCL ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、規格外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

30.2.7 I²Cバスステータスイネーブルレジスタ (ICSER)

アドレス RIIC0.ICSER 0008 8306h

b7	b6	b5	b4	b3	b2	b1	b0
HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E

リセット後の値 0 0 0 0 1 0 0 1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0許可ビット	0 : SARL0、SARU0の設定値は無効 1 : SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1許可ビット	0 : SARL1、SARU1の設定値は無効 1 : SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2許可ビット	0 : SARL2、SARU2の設定値は無効 1 : SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0 : デバイスIDアドレス検出は無効 1 : デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ~ 2)

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを“1”にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを“0”にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0[W] : All“0”) を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y=0 ~ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第1フレームにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第1フレームがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0”[W] のとき第2フレーム目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第1フレームがデバイス ID アドレスと一致しても無視され、第1フレームを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「30.7.3 デバイス ID アドレス検出機能」を参照してください。

HOAE ビット (ホストアドレス許可ビット)

ICMR3.SMBS ビットが“1”の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが“1”でかつ HOAE ビットが“1”の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y=0 ~ 2) で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが“0”または HOAE ビットが“0”の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

30.2.8 I²Cバスインタラプトイネーブルレジスタ (ICIER)

アドレス RIIC0.ICIER 0008 8307h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み許可ビット	0: タイムアウト割り込み (TMOI) の禁止 1: タイムアウト割り込み (TMOI) の許可	R/W
b1	ALIE	アービトレーションロスト割り込み許可ビット	0: アービトレーションロスト割り込み (ALI) の禁止 1: アービトレーションロスト割り込み (ALI) の許可	R/W
b2	STIE	スタートコンディション検出割り込み許可ビット	0: スタートコンディション検出割り込み (STI) の禁止 1: スタートコンディション検出割り込み (STI) の許可	R/W
b3	SPIE	ストップコンディション検出割り込み許可ビット	0: ストップコンディション検出割り込み (SPI) の禁止 1: ストップコンディション検出割り込み (SPI) の許可	R/W
b4	NAKIE	NACK受信割り込み許可ビット	0: NACK受信割り込み (NAKI) の禁止 1: NACK受信割り込み (NAKI) の許可	R/W
b5	RIE	受信データフル割り込み許可ビット	0: 受信データフル割り込み (RXI) の禁止 1: 受信データフル割り込み (RXI) の許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み (TEI) の禁止 1: 送信終了割り込み (TEI) の許可	R/W
b7	TIE	送信データエンプティ割り込み許可ビット	0: 送信データエンプティ割り込み (TXI) の禁止 1: 送信データエンプティ割り込み (TXI) の許可	R/W

TMOIE ビット (タイムアウト割り込み許可ビット)

ICSR2.TMOF フラグが“1”のとき、タイムアウト割り込み (TMOI) の許可 / 禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み許可ビット)

ICSR2.AL フラグが“1”のとき、アービトレーションロスト割り込み (ALI) の許可 / 禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み許可ビット)

ICSR2.START フラグが“1”のとき、スタートコンディション検出割り込み (STI) の許可 / 禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み許可ビット)

ICSR2.STOP フラグが“1”のとき、ストップコンディション検出割り込み (SPI) の許可 / 禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット (NACK 受信割り込み許可ビット)

ICSR2.NACKF フラグが“1”のとき、NACK 受信割り込み (NAKI) の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット (受信データフル割り込み許可ビット)

ICSR2.RDRF フラグが“1”のとき、受信データフル割り込み (RXI) の許可 / 禁止を選択します。

TEIE ビット (送信終了割り込み許可ビット)

ICSR2.TEND フラグが“1”のとき、送信終了割り込み (TEI) の許可 / 禁止を選択します。TEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット (送信データエンプティ割り込み許可ビット)

ICSR2.TDRE フラグが“1”のとき、送信データエンプティ割り込み (TXI) の許可 / 禁止を選択します。

30.2.9 I²Cバスステータスレジスタ 1 (ICSR1)

アドレス RIIC0.ICSR1 0008 8308h

b7	b6	b5	b4	b3	b2	b1	b0
HOA	—	DID	—	GCA	AAS2	AAS1	AAS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0: スレーブアドレス0未検出 1: スレーブアドレス0検出 • SARU0.FSビット=0 (7ビットアドレスフォーマット選択) の場合、受信したスレーブアドレスがSARL0.SVA[6:0]と一致したとき • SARU0.FSビット=1 (10ビットアドレスフォーマット選択) の場合、受信したスレーブアドレスが1111 0b + SARU0.SVA[1:0]に一致し、それに続くアドレスがSARL0レジスタと一致したとき (“1”になるタイミングは、SARL0一致判定フレームのSCLクロックの9クロック目の立ち上がり時)	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0: スレーブアドレス1未検出 1: スレーブアドレス1検出 • SARU1.FSビット=0 (7ビットアドレスフォーマット選択) の場合、受信したスレーブアドレスがSARL1.SVA[6:0]と一致したとき • SARU1.FSビット=1 (10ビットアドレスフォーマット選択) の場合、受信したスレーブアドレスが1111 0b + SARU1.SVA[1:0]に一致し、それに続くアドレスがSARL1レジスタと一致したとき (“1”になるタイミングは、SARL1一致判定フレームのSCLクロックの9クロック目の立ち上がり時)	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0: スレーブアドレス2未検出 1: スレーブアドレス2検出 • SARU2.FSビット=0 (7ビットアドレスフォーマット選択) の場合、受信したスレーブアドレスがSARL2.SVA[6:0]と一致したとき • SARU2.FSビット=1 (10ビットアドレスフォーマット選択) の場合、受信したスレーブアドレスが1111 0b + SARU2.SVA[1:0]に一致し、それに続くアドレスがSARL2レジスタと一致したとき (“1”になるタイミングは、SARL2一致判定フレームのSCLクロックの9クロック目の立ち上がり時)	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出 • 受信したスレーブアドレスがジェネラルコールアドレス (All“0”) と一致した場合	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスID アドレス検出フラグ	0: デバイスID アドレス未検出 1: デバイスID アドレス検出 • スタートコンディション直後の第1フレームがデバイスID アドレス (1111 100b) + 0[W]と一致した場合	R/(W) (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0: ホストアドレス未検出 1: ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス (0001 000b) と一致した場合	R/(W) (注1)

注1. “0”のみ書けます。

AASy フラグ (スレーブアドレス y 検出フラグ) (y= 0 ~ 2)

[“1”になる条件]

【7ビットアドレスフォーマット選択時: SARUy.FS ビット=0】

- ICSEr.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] と一致したとき、そのフレームの SCL クロックの9クロック目の立ち上がり

【10ビットアドレスフォーマット選択時: SARUy.FS ビット=1】

- ICSEr.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] と一致し、それに続くアドレスが SARLy レジスタと一致したとき、そのフレームの SCL クロックの9クロック目の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

【7ビットアドレスフォーマット選択時: SARUy.FS ビット=0】

- ICSEr.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] と不一致のとき、そのフレームの SCL クロックの9クロック目の立ち上がり

【10ビットアドレスフォーマット選択時: SARUy.FS ビット=1】

- ICSEr.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] と不一致のとき、そのフレームの SCL クロックの9クロック目の立ち上がり
- ICSEr.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] と一致し、それに続くアドレスが SARLy レジスタと不一致のとき、そのフレームの SCL クロックの9クロック目の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

[“1”になる条件]

- ICSEr.GCAE ビットが“1” (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致したとき、そのフレームの SCL クロックの9クロック目の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSEr.GCAE ビットが“1” (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と不一致のとき、そのフレームの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

[“1”になる条件]

- ICSEI.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス (1111 100b) + 0[W] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSEI.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス (1111 100b) と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICSEI.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス (1111 100b) + 0[W] と一致し、続く第 2 フレームがスレーブアドレス 0 ~ 2 のすべてと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ (ホストアドレス検出フラグ)

[“1”になる条件]

- ICSEI.HOAE ビットが“1” (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICMR3.SMBS ビットに“0”または ICSEI.HOAE ビットに“0”を書いたとき
- ICSEI.HOAE ビットが“1” (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

30.2.10 I²Cバスステータスレジスタ 2 (ICSR2)

アドレス RIIC0.ICSR2 0008 8309h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロストの発生なし 1: アービトレーションロストの発生あり	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRRレジスタに受信データなし 1: ICDRRレジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信終了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: ICDRTレジスタに送信データあり 1: ICDRTレジスタに送信データなし	R

注1. “0”のみ書けます。

TMOF フラグ (タイムアウト検出フラグ)

SCL ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1”になります。

[“1”になる条件]

- ICFER.TMOE ビットが“1” (タイムアウト検出機能有効) で、かつマスタモードまたはスレーブ指定された状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL ラインの状態に変化がないとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失 (アービトレーションロスト) したことを示します。RIIC は送信中に SDA ラインのレベルを監視し、出力データと SDA ラインのレベルが一致しない場合 AL フラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIIC では設定によりマスタモード時に NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

["1"になる条件]

【マスタアービトレイションロスト検出有効時：ICFER.MALE ビット= 1】

- マスタ送信モード時のデータ送信（スレーブアドレス送信含む）において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致（内部 SDA 出力が High 出力（= SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出）したとき
- ICCR2.ST ビットが“1”（スタートコンディション発行要求）の状態ですタートコンディションを検出したとき、自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき
- ICCR2.BBSY フラグが“1”の状態ですタートコンディション発行要求に設定したとき

【NACK アービトレイションロスト検出有効時：ICFER.NALE ビット= 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき

【スレーブアービトレイションロスト検出有効時：ICFER.SALE ビット= 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

表30.5 アービトレイションロスト発生要因と各アービトレイションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレイションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST=1の状態ですタートコンディション検出時に自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき ICCR2.BBSY=1の状態ですタートコンディションに設定したとき
			1	送信データ不一致	マスタ送信モードで送信データ（スレーブアドレス送信含む）とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x : Don't care

START フラグ（スタートコンディション検出フラグ）

["1"になる条件]

- スタートコンディション（リスタートコンディション含む）を検出したとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ (ストップコンディション検出フラグ)

[“1”になる条件]

- ストップコンディションを検出したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ (NACK 検出フラグ)

[“1”になる条件]

- ICFER.NACKF ビットが“1” (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジがなかった (NACK を受信した) とき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注 1. NACKF フラグが“1”になると RIIC は通信動作を中断します。NACKF フラグが“1”の状態でも送信モード時に ICDRT レジスタへの書き込みや、受信モード時に ICDRR レジスタの読み出しを行っても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0”にしてください。

RDRF フラグ (受信データフルフラグ)

[“1”になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により SCL クロックの 8 または 9 クロック目の立ち上がりで“1”になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが“0”のとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

[“1”になる条件]

- TDRE フラグが“1”の状態でも、SCL クロックの 9 クロック目の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

[“1”になる条件]

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが“1”になったとき
 - a. スタートコンディション (リスタートコンディション含む) 検出後、ICCR2.MST ビットが“1”のとき
 - b. 受信モードから送信モードになったとき
 - c. ICMR1.MTWP ビットが“1”の状態、 “1”を書いたとき
- 受信したスレーブアドレスが一致し、TRS ビットが“1”のとき

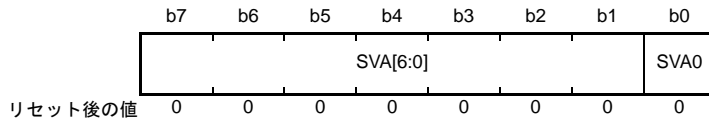
[“0”になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが“0”になったとき
 - a. ストップコンディションを検出したとき
 - b. 送信モードから受信モードになったとき
 - c. ICMR1.MTWP ビットが“1”の状態、 “0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注 . ICFER.NACKF ビットが“1”の状態、NACKF フラグが“1”になると RIIC は通信動作を中断します。このとき、TDRE フラグが“0”の状態 (次の送信データが既に書き込まれている状態) の場合、9クロック目の立ち上がりで ICDRS レジスタへのデータ転送が行われ ICDRT レジスタが空状態になりますが、TDRE フラグは“1”になりません。

30.2.11 スレーブアドレスレジスタ Ly (SARLy) (y= 0 ~ 2)

アドレス RIIC0.SARL0 0008 830Ah、RIIC0.SARL1 0008 830Ch、RIIC0.SARL2 0008 830Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。 <ul style="list-style-type: none"> • SARUy.FSビット=0 (7ビットアドレスフォーマット選択) のとき、SVA0ビットは無効になる • SARUy.FSビット=1 (10ビットアドレスフォーマット選択) のとき、SVA0ビットが有効になり、SVA[6:0]ビットと合わせて10ビットスレーブアドレスの下位8ビットアドレスになる 	R/W
b7-b1	SVA[6:0]	7ビットアドレス/10ビットアドレス下位ビット	スレーブアドレスを設定してください。 <ul style="list-style-type: none"> • SARUy.FSビット=0 (7ビットアドレスフォーマット選択) のとき、SVA[6:0]ビットは7ビットスレーブアドレスになる • SARUy.FSビット=1 (10ビットアドレスフォーマット選択) のとき、SVA[6:0]ビットはSVA0ビットと合わせて10ビットスレーブアドレスの下位8ビットアドレスになる 	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10ビットアドレスフォーマット選択時 (SARUy.FS ビット =1)、10ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて10ビットアドレス下位8ビットを設定します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

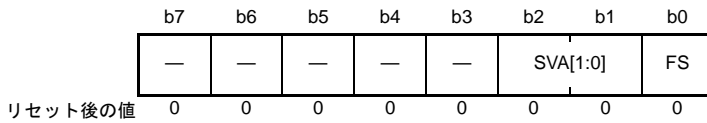
SVA[6:0] ビット (7 ビットアドレス /10 ビットアドレス下位ビット)

7ビットアドレスフォーマット選択時 (SARUy.FS ビット =0)、7ビットアドレスとして機能し、10ビットアドレスフォーマット選択時 (SARUy.FS ビット =1)、SVA0 ビットと合わせて10ビットアドレス下位8ビットとして機能します。

ICSER.SARyE ビットが“0” のとき設定値は無視されます。

30.2.12 スレーブアドレスレジスタ Uy (SARUy) (y= 0 ~ 2)

アドレス RIIC0.SARU0 0008 830Bh、RIIC0.SARU1 0008 830Dh、RIIC0.SARU2 0008 830Fh



ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0: 7ビットアドレスフォーマット選択 1: 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください <ul style="list-style-type: none"> • SARUy.FSビット=0 (7ビットアドレスフォーマット選択) のとき、SVA[1:0]ビットは無効になる • SARUy.FSビット=1 (10ビットアドレスフォーマット選択) のとき、SVA[1:0]ビットが有効になり、10ビットスレーブアドレスの上位2ビットアドレスになる 	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FS ビット (7ビット/10ビットアドレスフォーマット選択ビット)

スレーブアドレス y (SARLy、SARUy レジスタ) を7ビットアドレスにするか、10ビットアドレスにするかを選択します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“0”のとき、スレーブアドレス y は7ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“1”のとき、スレーブアドレス y は10ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが“0” (SARLy、SARUy レジスタ無効) のとき SARUy.FS ビットの設定値は無効です。

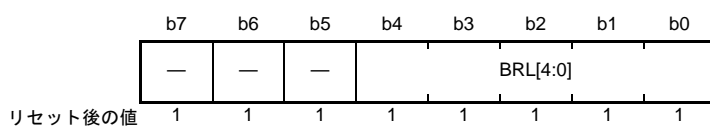
SVA[1:0] ビット (10ビットアドレス上位ビット)

10ビットアドレスフォーマット選択時 (FS ビット=1)、10ビットアドレスの上位2ビットアドレスとして機能します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“1”のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0”のとき設定値は無視されます。

30.2.13 I²Cバスビットレートローレベルレジスタ (ICBRL)

アドレス RIIC0.ICBRL 0008 8310h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLクロックのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL クロックの Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時（「30.8 SCL の自動 Low ホールド機能」参照）のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間（注1）以上の値を設定してください。

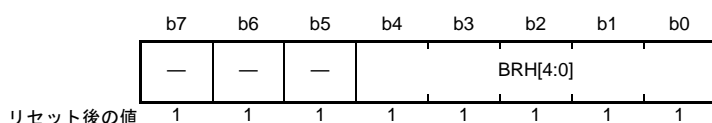
ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロックソース（IICφ）で Low 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可（ICFER.NFE ビット=1）した場合、ICBRL レジスタは、ノイズフィルタの段数+1以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

- 注1. データセットアップ時間 (t_{SU:DAT})
 250ns (~ 100kbps : スタンダードモード [Sm])
 100ns (~ 400kbps : ファストモード [Fm])

30.2.14 I²Cバスビットレートハイレベルレジスタ (ICBRH)

アドレス RIIC0.ICBRH 0008 8311h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLクロックのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”として下さい。	R/W

ICBRHレジスタはSCLクロックのHigh幅を設定するための5ビットのレジスタで、マスタモード時に有効です。RIICを常にスレーブモードで使用する場合には、High幅を設定する必要はありません。

ICBRHレジスタはICMR1.CKS[2:0]ビットで選択された内部基準クロックソース(IICφ)でHigh幅をカウントします。

デジタルノイズフィルタ回路の使用を許可(ICFER.NFEビット=1)した場合、ICBRHレジスタは、ノイズフィルタの段数+1以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0]ビットを参照してください。

I²C転送速度およびSCLクロックのデューティ比は以下の式で算定します。

$$\text{転送速度} = 1 / \{ (ICBRH+1) + (ICBRL+1) \} / IIC\phi \text{ (注1)} + \text{SCLライン立ち上がり時間 [tr]} + \text{SCLライン立ち下がり時間 [tf]}$$

$$\text{デューティ比} = \{ \text{SCLライン立ち上がり時間 [tr]} \text{ (注2)} + (ICBRH+1) / IIC\phi \} / \{ \text{SCLライン立ち下がり時間 [tf]} \text{ (注2)} + (ICBRL+1) / IIC\phi \}$$

注1. IICφ = PCLK × 分周比

注2. SCLライン立ち上がり時間 [tr]、SCLライン立ち下がり時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細についてはNXP社のI²Cバス規格書を参照してください。

ICBRH、ICBRLレジスタの値の設定例を表30.6に示します。

表 30.6 転送速度に対するICBRH、ICBRLレジスタの設定例

転送速度 (kbps)	動作周波数PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)

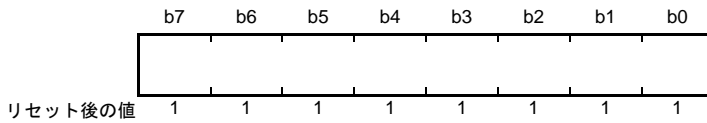
転送速度 (kbps)	動作周波数PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)

転送速度 (kbps)	動作周波数PCLK (MHz)		
	30		
	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)
50	100b	15 (EFh)	18 (F2h)
100	010b	2 (E2h)	3 (E3h)
400	001b	8 (E8h)	19 (F3h)

注. SCLラインの立ち上がり時間 (tr) を～100kbps以下[S_m]は1000ns、～400kbps[F_m]は300ns、SCLラインの立ち下がり時間 (tf) を～400kbps以下[S_m/F_m]は300nsとして計算した場合の設定例です。
SCLライン立ち上がり時間 (tr)、SCLライン立ち下がり時間 (tf) の規格値についてはNXP社のI²Cバス規格書を参照してください。

30.2.15 I²Cバス送信データレジスタ (ICDRT)

アドレス RIIC0.ICDRT 0008 8312h



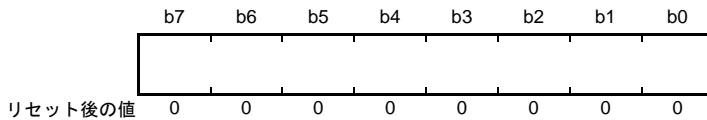
I²Cバスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データが ICDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書いておくと連続送信動作が可能です。

ICDRT レジスタは常に読み出し / 書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

30.2.16 I²Cバス受信データレジスタ (ICDRR)

アドレス RIIC0.ICDRR 0008 8313h

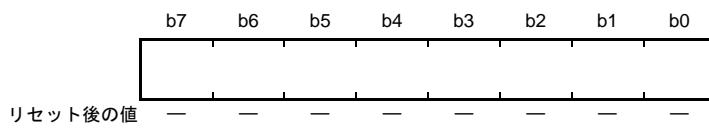


1 バイトのデータの受信が終了すると、受信したデータは I²Cバスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読んでおくと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。

受信データを ICDRR レジスタから読み出ししないまま (ICSR2.RDRF フラグが“1”の状態のまま) 次の受信データを受け取ると、RIIC は RDRF フラグを次に“1”になるタイミングの 1 つ手前の SCL クロックで自動的に Low ホールドを行います。

30.2.17 I²Cバスシフトレジスタ (ICDRS)

ICDRS レジスタは、データを送信 / 受信するためのシフトレジスタです。

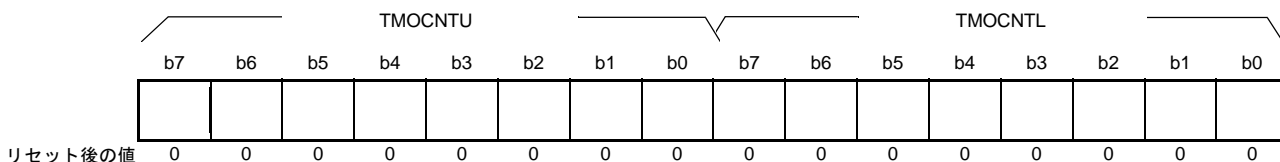
送信時は ICDRT レジスタから送信データが ICDRS レジスタに転送され、SDA 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS レジスタから ICDDR レジスタへ転送されます。

ICDRS レジスタは直接アクセスすることはできません。

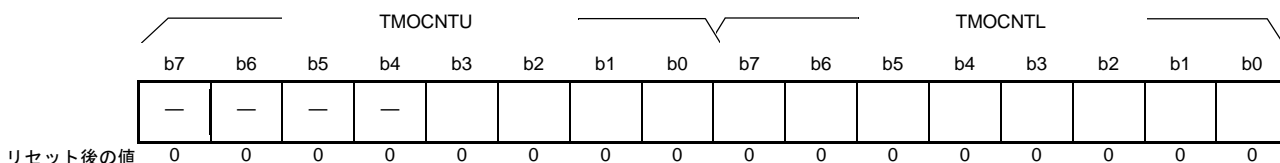
30.2.18 タイムアウト内部カウンタ (TMOCNT)

アドレス RIIC0.TMOCNTL 0008 830Ah、RIIC0.TMOCNTU 0008 830Bh

・ICMR2.TMOS=0 (ロングモード) 時



・ICMR2.TMOS=1 (ショートモード) 時



注: 本レジスタはSARL0、SARU0レジスタと同一です。ご注意ください。

● TMOCNTL レジスタ

ビット	シンボル	ビット名	機能	R/W
b7-b0	TMOCNTL	タイムアウト内部カウンタ	タイムアウト内部カウンタ下位	W (注1)

注1. タイムアウト内部カウンタの値は読み出しできません。読み出しを行った場合、FFhが読み出されます。

● TMOCNTU レジスタ

ビット	シンボル	ビット名	機能	R/W
b7-b0	TMOCNTU	タイムアウト内部カウンタ	タイムアウト内部カウンタ上位 (注1)	W (注2)

注1. TMOS = 1 (ショートモード) 時、b7-b4は予約ビットになります。書き込み可能ですが、書き込み値は無効です。

注2. タイムアウト内部カウンタの値は読み出しできません。読み出しを行った場合、FFhが読み出されます。

タイムアウト内部カウンタ (TMOCNTL/TMOCNTU) は、リセット時、ICCR1.IICRST = 1にしたとき、もしくはICFER.TMOE = 1でかつ、ICMR1.CKS[2:0] = 000bのPCLK/1で使用し、ICMR2のTMOH/TMOLビットで設定したカウンタクリア条件 (SCL立ち上がり/立ち下がりエッジ検出) が成立したとき、初期化 (TMOCNTL = 00h, TMOCNTU = 00h) されます。

TMOCNTLカウンタとTMOCNTUカウンタは、16ビットレジスタとして16ビットアクセスすることもできます。

30.3 動作説明

30.3.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続くフレームは、アドレスフレームでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 30.3 に I²C バスフォーマットを、図 30.4 に I²C バスタイミングを示します。

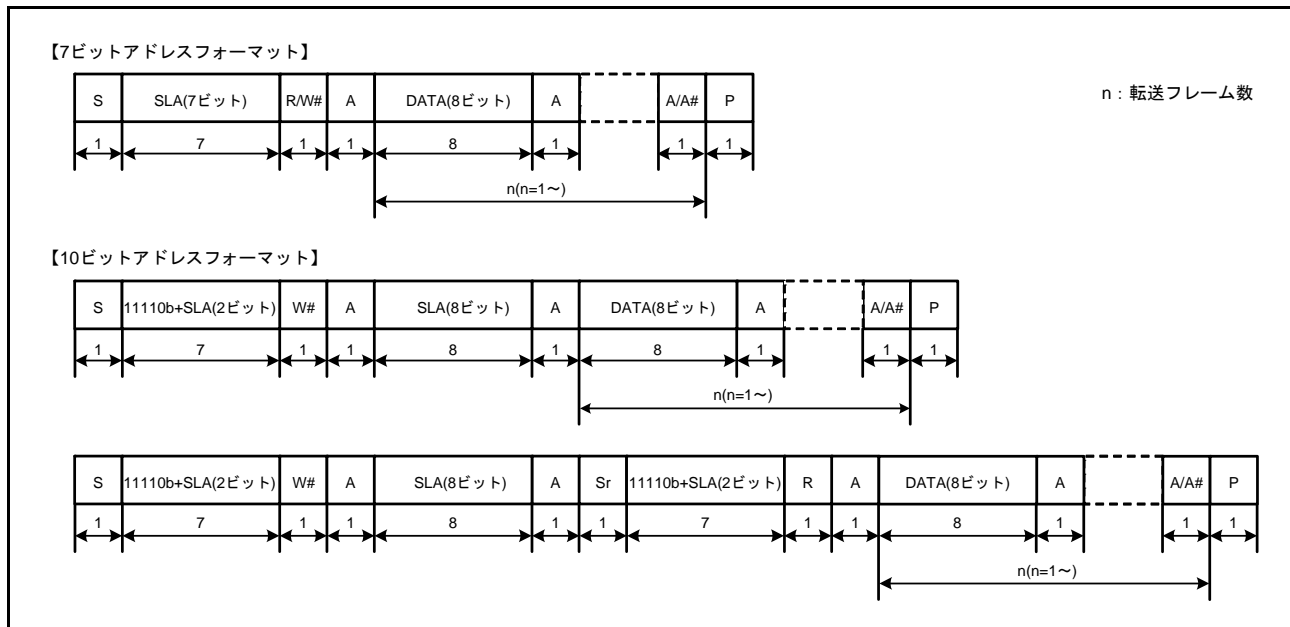


図 30.3 I²C バスフォーマット

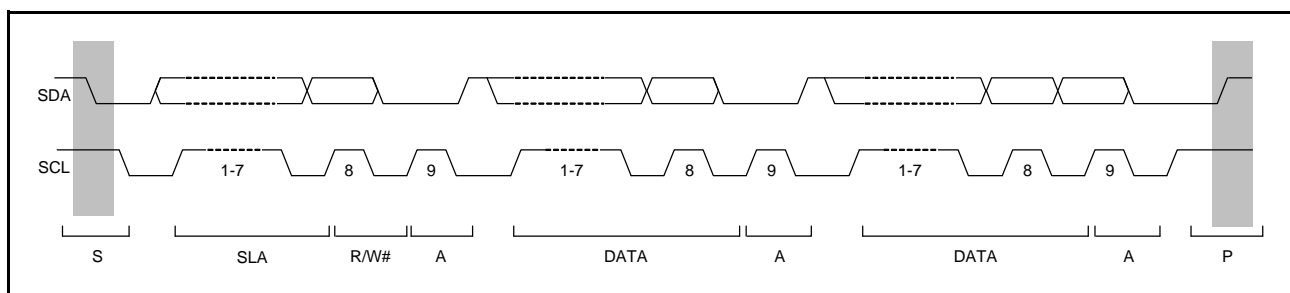


図 30.4 I²C バスタイミング (SLA=7 ビットの場合)

- S : スタートコンディションを示します。マスタデバイスが、SCLラインがHighの状態ですDAラインがHighからLowに変化します。
- SLA : スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- RW# : 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジを示します。受信デバイスがSDAラインをLowにします (マスタ送信モード時 : スレーブデバイスがアクノリッジを返します。マスタ受信モード時 : マスタデバイスがアクノリッジを返します)。
- Sr : リスタートコンディションを示します。マスタデバイスが、SCLラインがHighの状態ですセットアップ時間経過後にSDAラインがHighからLowに変化します。
- DATA : 送受信データを示します。
- P : ストップコンディションを示します。マスタデバイスが、SCLラインがHighの状態ですDAラインがLowからHighに変化します。

30.3.2 初期設定

データの送信/受信を開始する場合、図 30.5 に示す手順に従って RIIC を初期化してください。

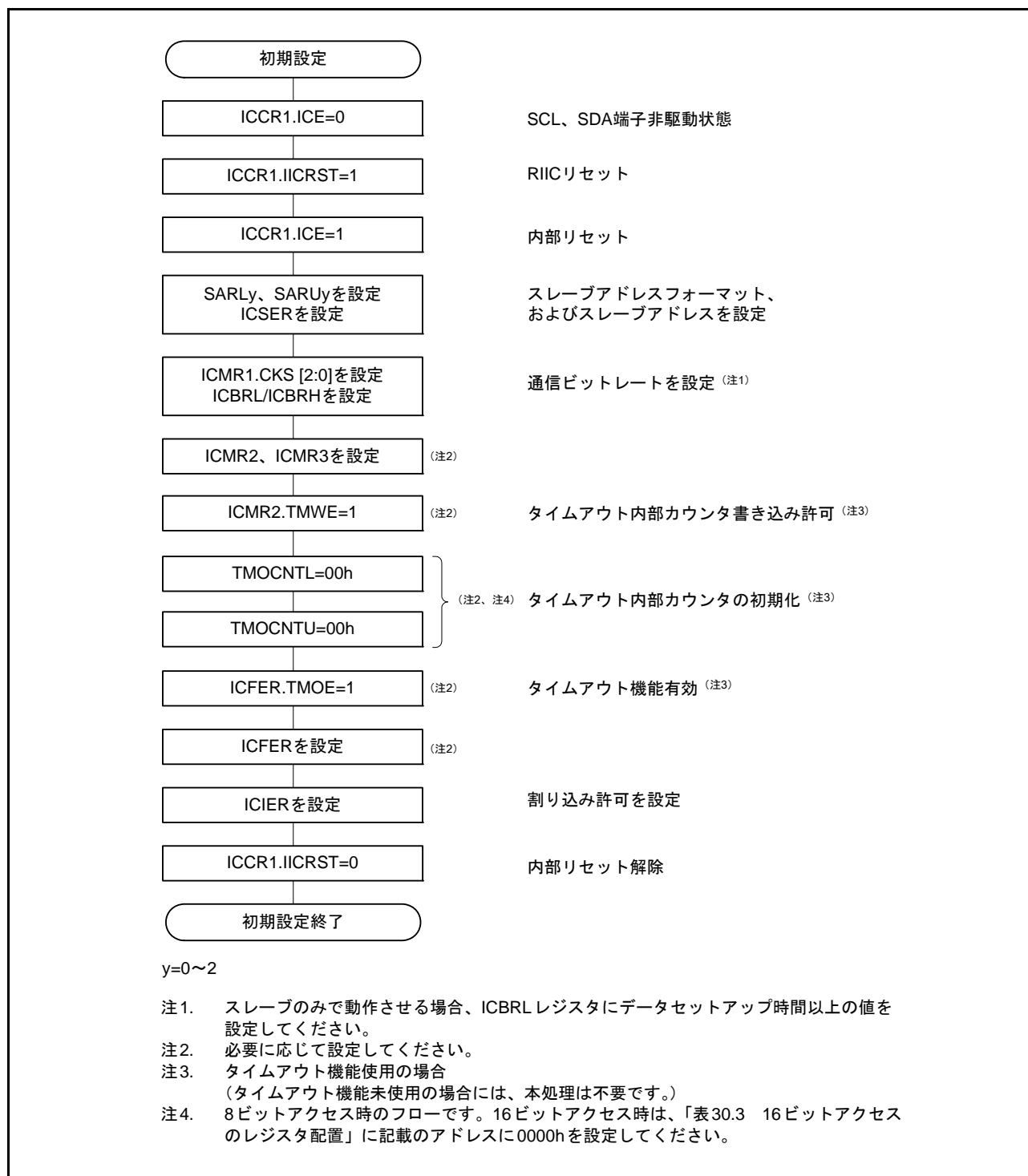


図 30.5 RIIC の初期化フローチャート例

30.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図 30.6 にマスタ送信の使用例を、図 30.7 ~ 図 30.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) ICCR1.ICE ビットを“0” (SCL、SDA 端子非駆動状態) にしたまま ICCR1.IICRST ビットを“1” (RIIC リセット) にした後、ICCR1.ICE ビットを“1” (内部リセット) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y=0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については図 30.5 を参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを“0” (リセット解除) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態で自分が出した SDA 信号と SDA ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビット=1 により自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビット=0 を受信すると、引き続きマスタ送信モードの状態を継続します。
このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行われます。
なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b+ スレーブアドレスの上位 2 ビット+ W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICSR2.TDRE フラグが“1”であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL ラインを Low にホールドします。
- (5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが“1”になるまで待つから ICCR2.SP ビットに“1”を書いてください (ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIIC はストップコンディションを検出すると、ICCR2.MST、TRS ビットが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE、TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF、STOP フラグを“0”にしてください。

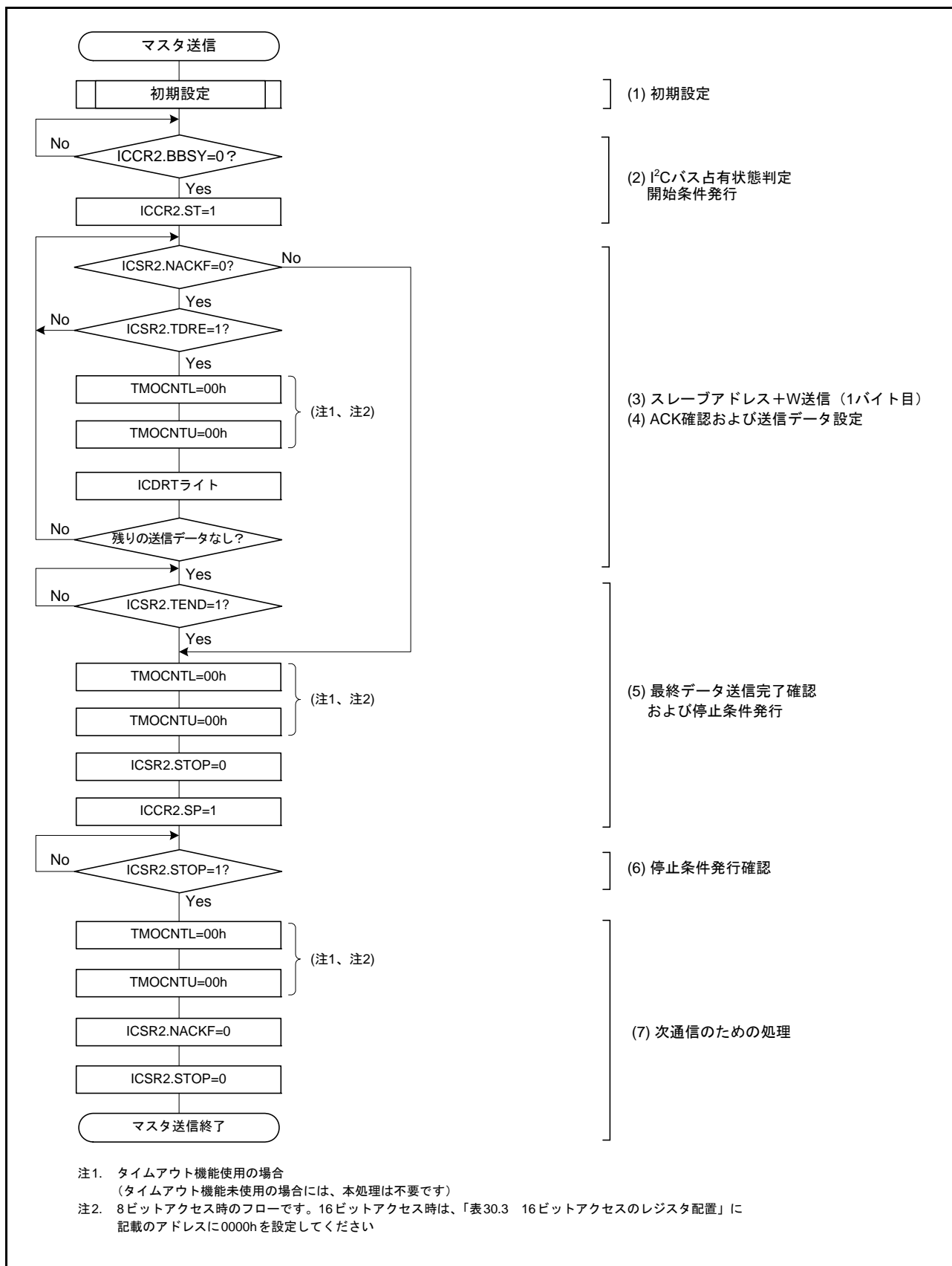


図 30.6 マスタ送信のフローチャート例

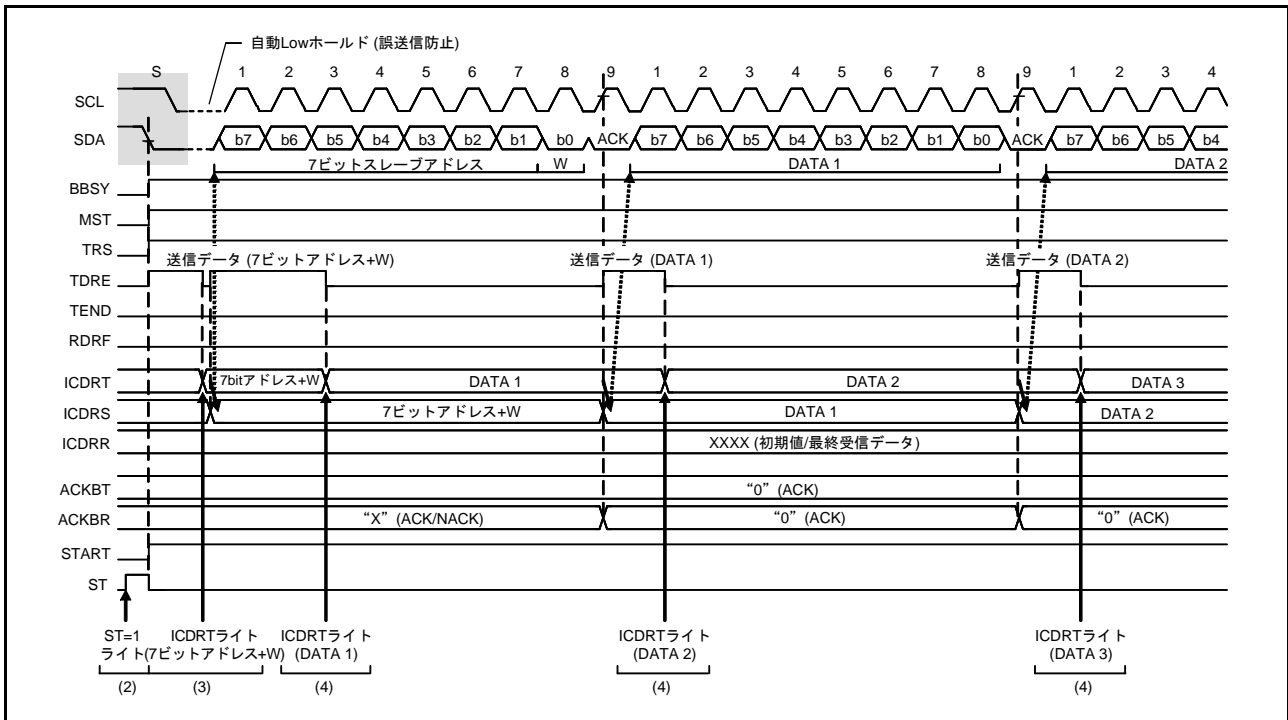


図 30.7 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマットのとき)

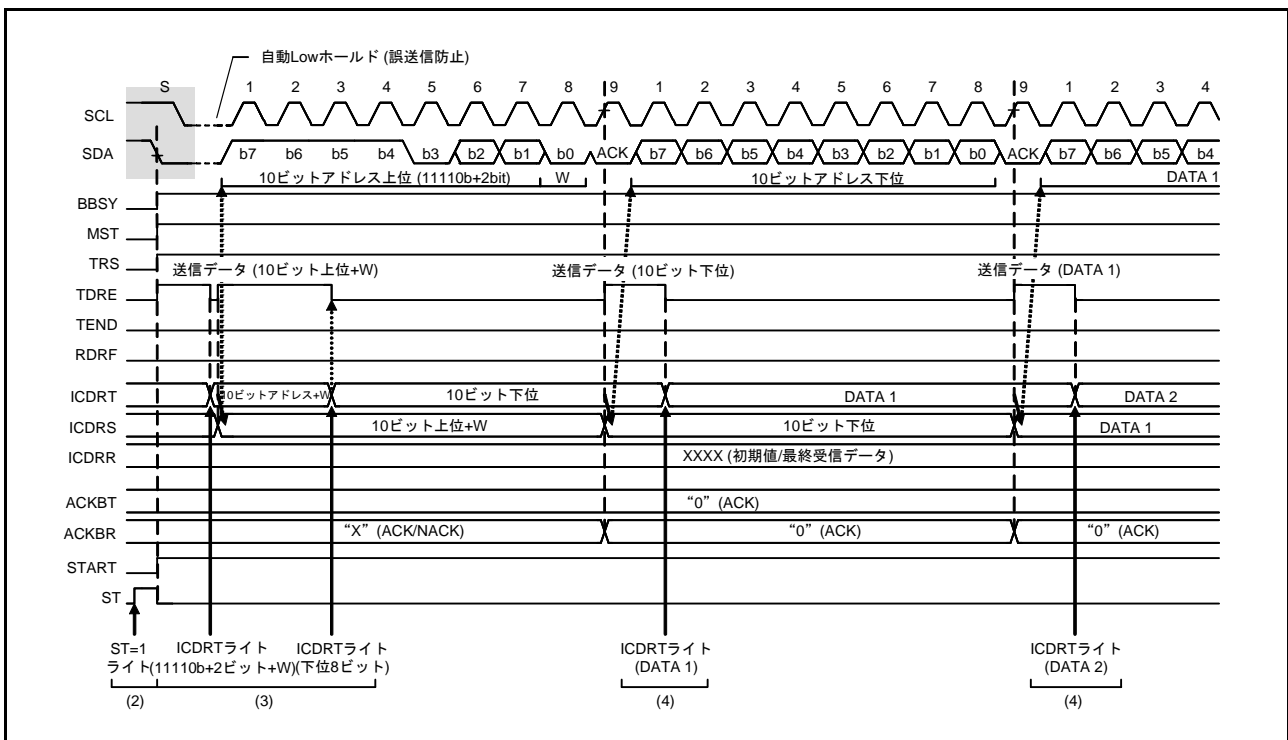


図 30.8 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマットのとき)

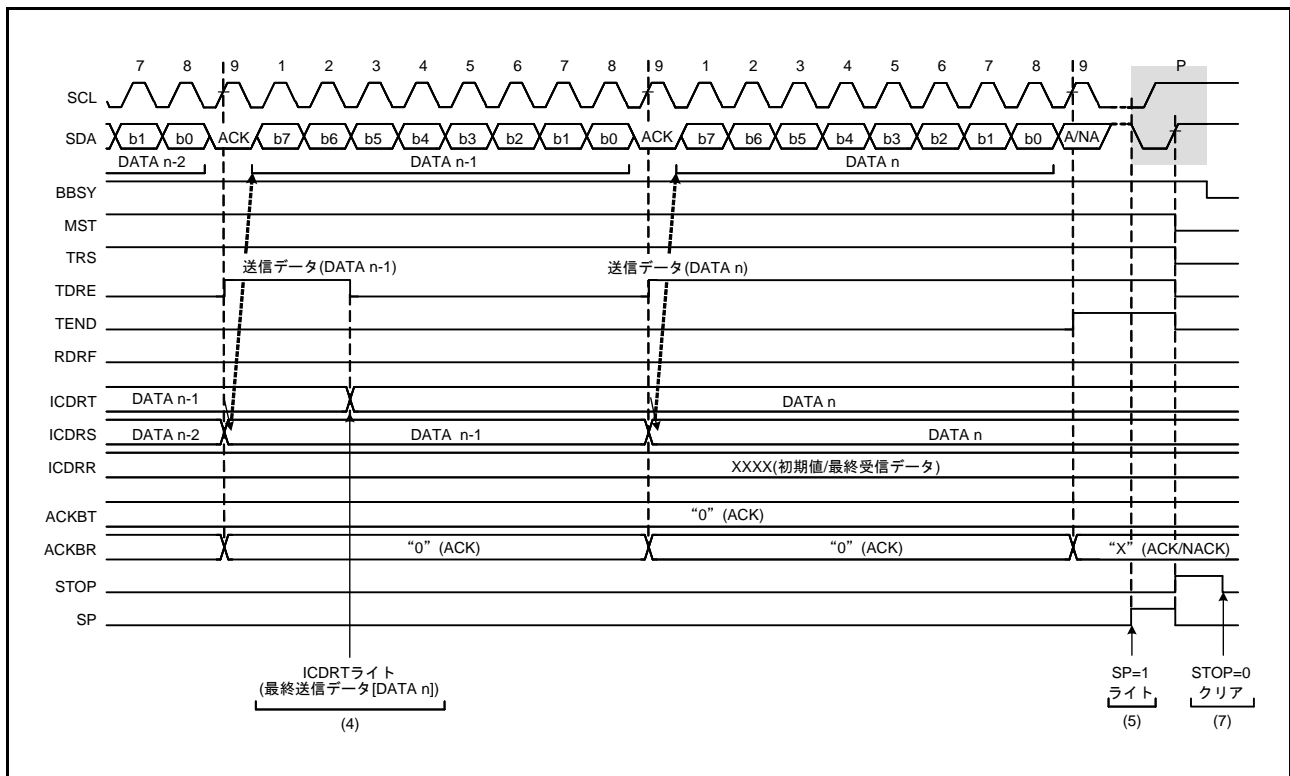


図 30.9 マスタ送信の動作タイミング (3)

30.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 30.11 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 30.12 ~ 図 30.14 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) ICCR1.ICE ビットを“0” (SCL、SDA 端子非駆動状態) にしたまま ICCR1.IICRST ビットを“1” (RIIC リセット) にした後、ICCR1.ICE ビットを“1” (内部リセット) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y=0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については図 30.5 を参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを“0” (リセット解除) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも自分が出した SDA 信号と SDA ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビット = 1 により自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビット = 1 を受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信モードに移行します。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。
なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b+ スレーブアドレスの上位 2 ビット + R を送信することで、マスタ受信モードに移行します。
- (4) ICSR2.RDRF フラグが“1”であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。
- (5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト - 1 の場合、ICDRR レジスタ (最終バイト - 2 バイト目) を読む前に ICMR3.WAIT ビットを“1” (WAIT あり) にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを“1” (NACK) にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がり SCL ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。

- (6) ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを“1” (NACK) にしてください。
- (7) ICDRR レジスタ (最終バイト-1 バイト目) 読み出し後、ICSR2.RDRF フラグが“1”であることを確認してから、ICCR2.SP ビットに“1”を書いて (ストップコンディション発行要求)、ICDRR レジスタ (最終バイト) を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

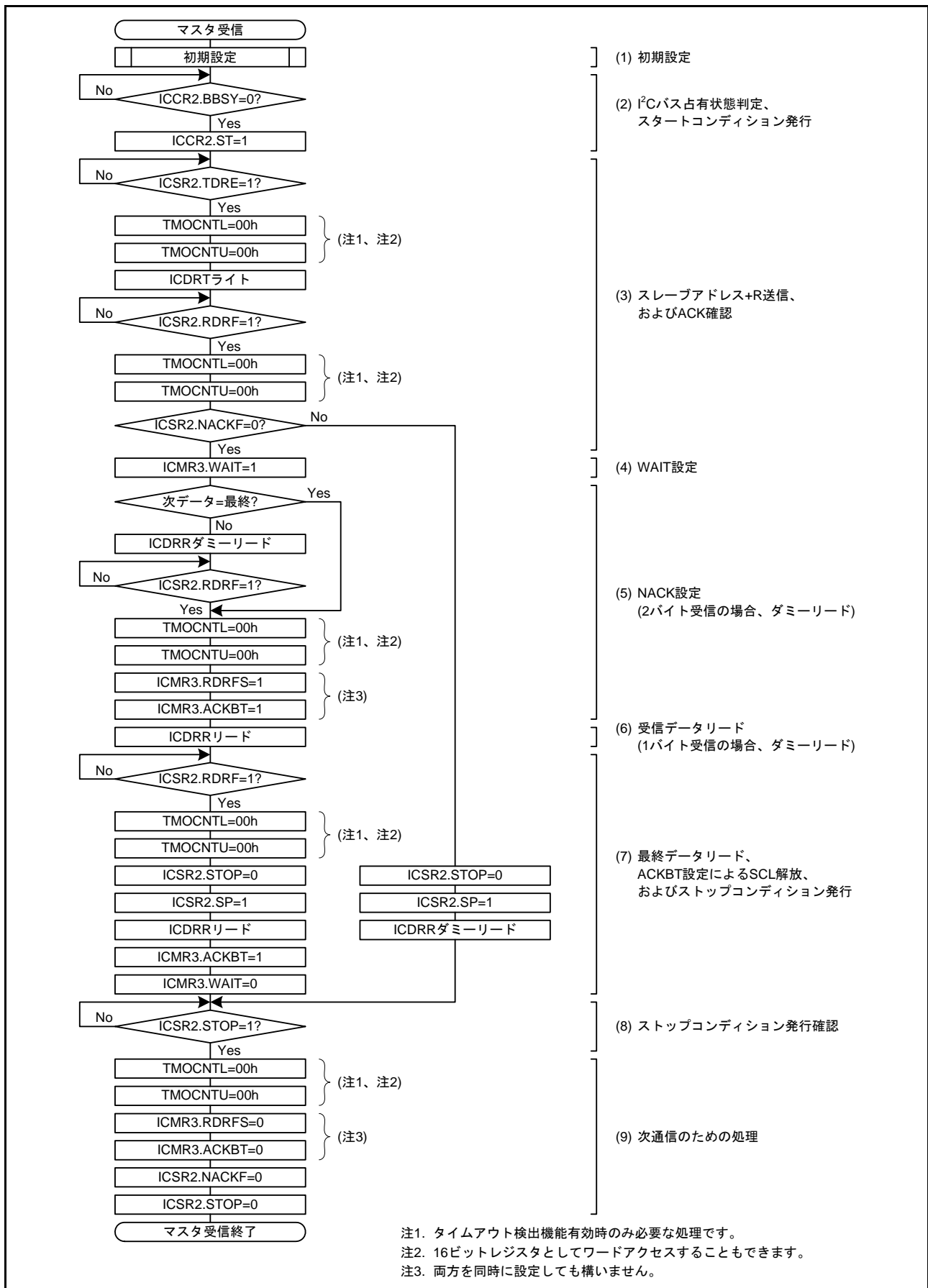


図 30.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマットの場合、2バイト以下の場合)

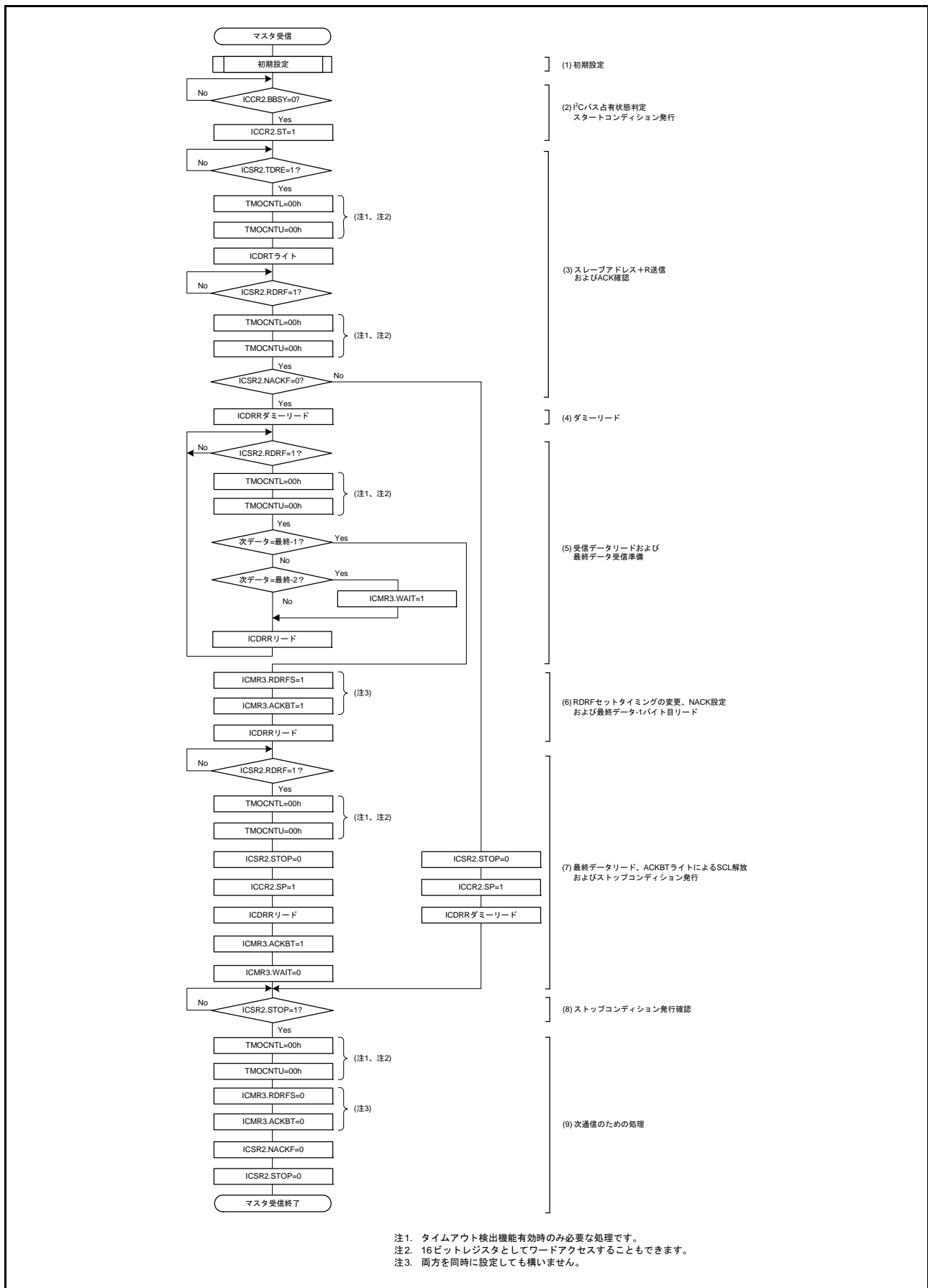


図 30.11 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、3バイト以上の場合)

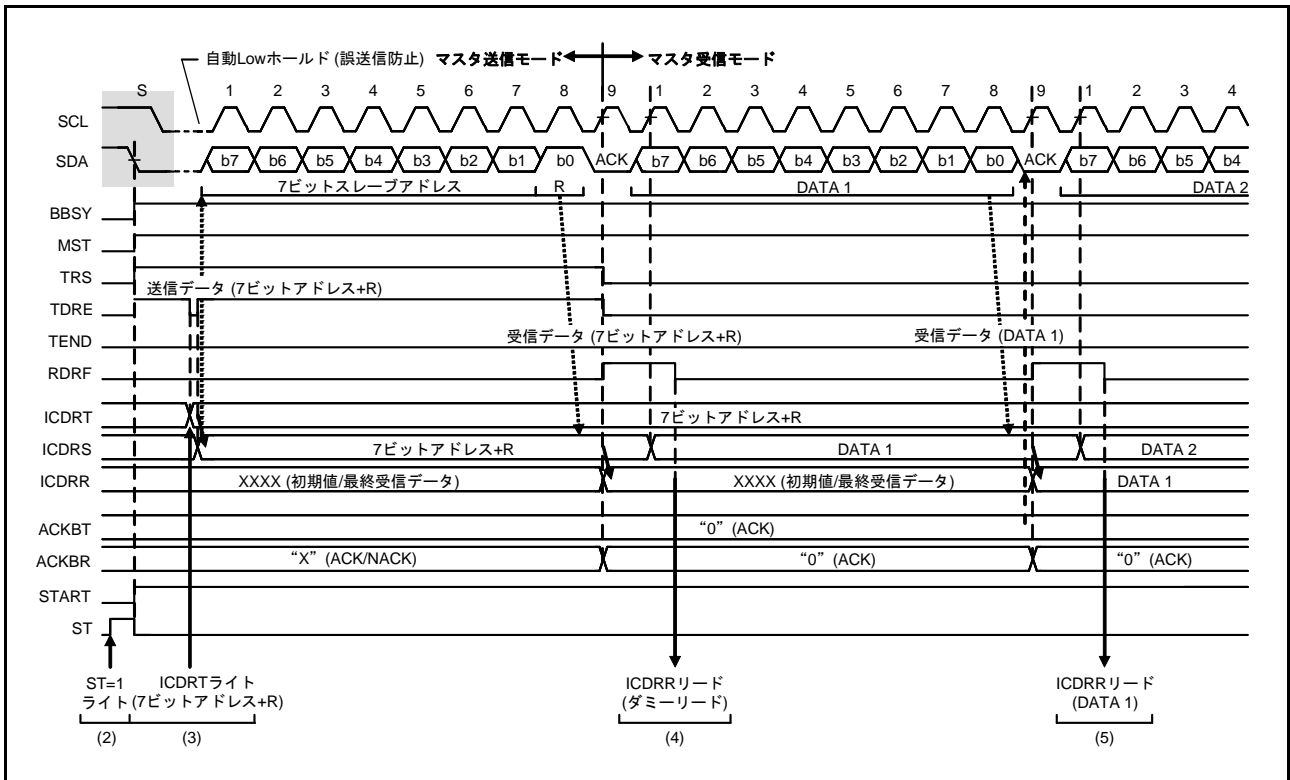


図 30.12 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS=0 のとき)

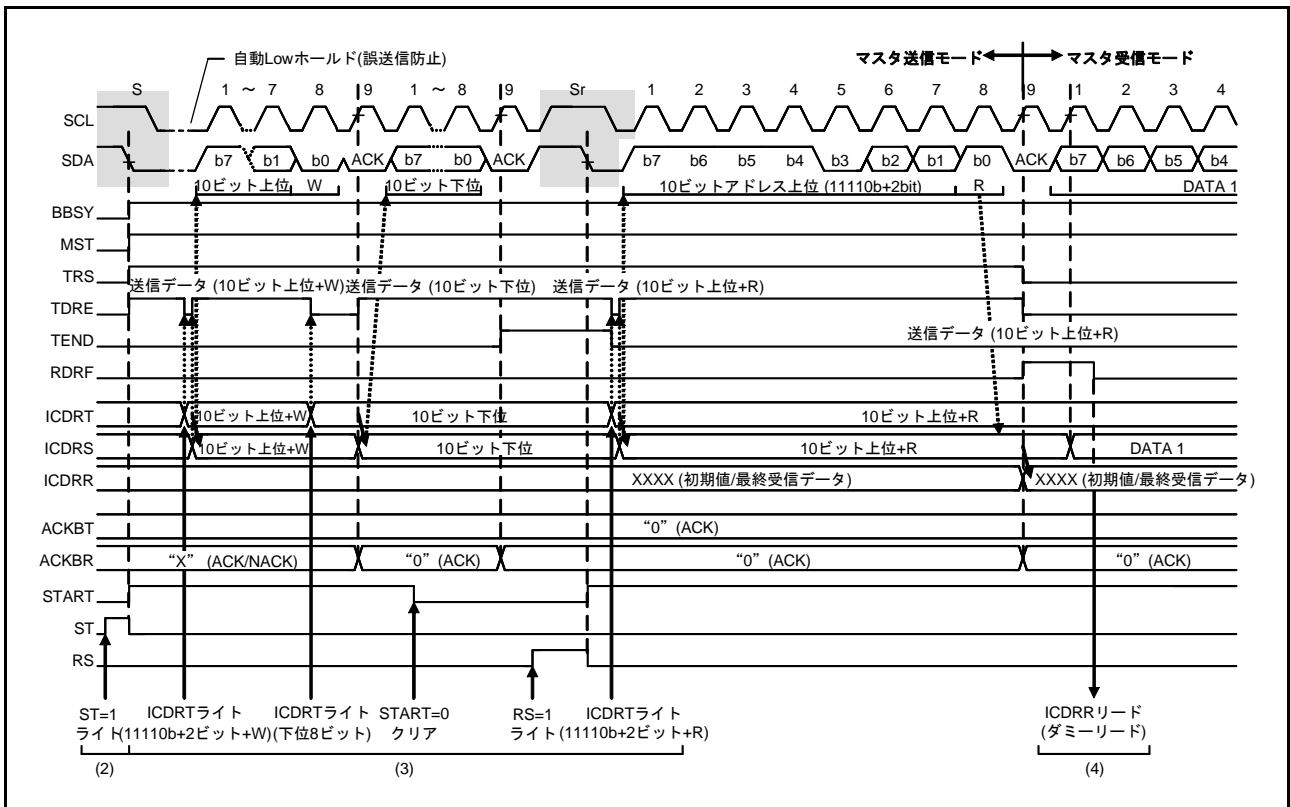


図 30.13 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマット、RDRFS=0 のとき)

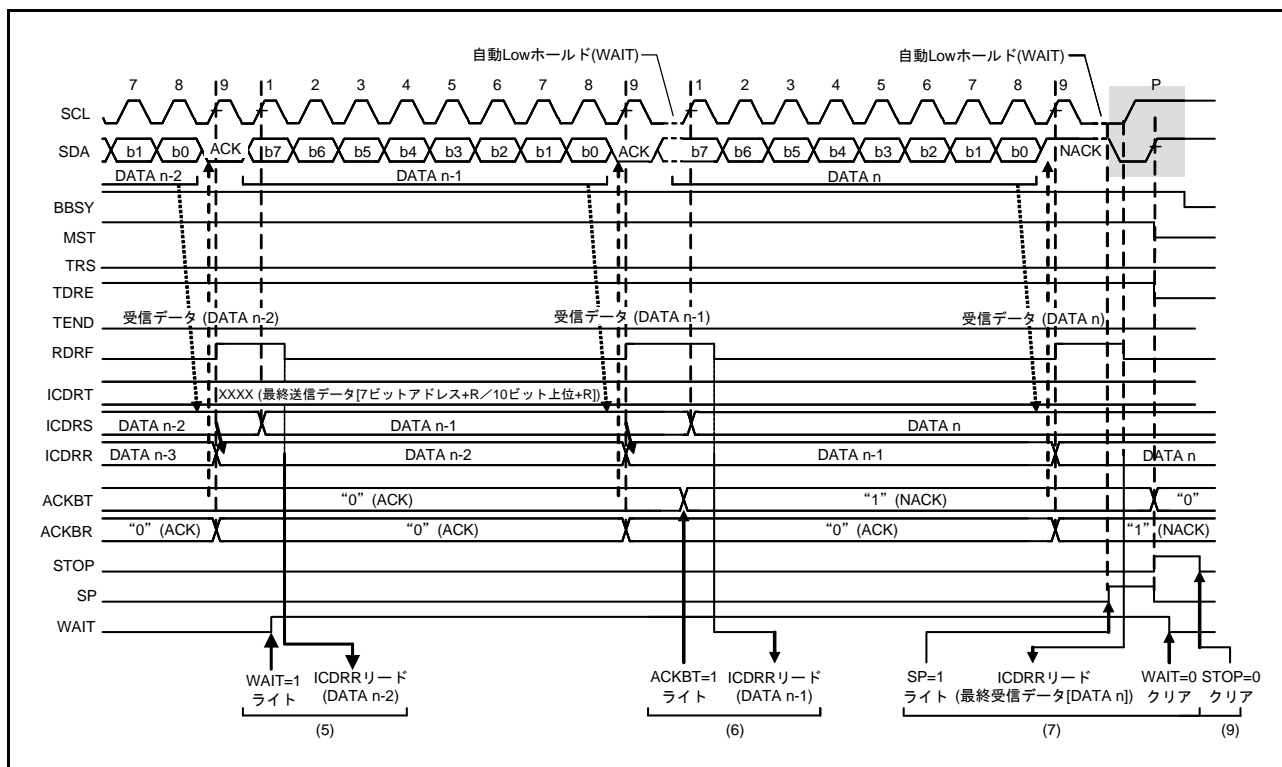


図 30.14 マスタ受信の動作タイミング (3) (RDRFS=0 のとき)

30.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 30.15 にスレーブ送信の使用例を示します。図 30.16、図 30.17 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 図 30.5 に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “1” のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを “1” にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKF ビットが “1” の状態でマスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが “1” になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが “1” の状態で、ICSR2.TEND フラグが “1” になるまで待ってください。ICSR2.NACKF フラグが “1” または TEND フラグが “1” の場合、RIIC は 9 クロック目の立ち下がり以降 SCL ラインを Low にホールドします。
- (5) ICSR2.NACKF フラグが “1” または ICSR2.TEND フラグが “1” の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCL ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に “0” にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

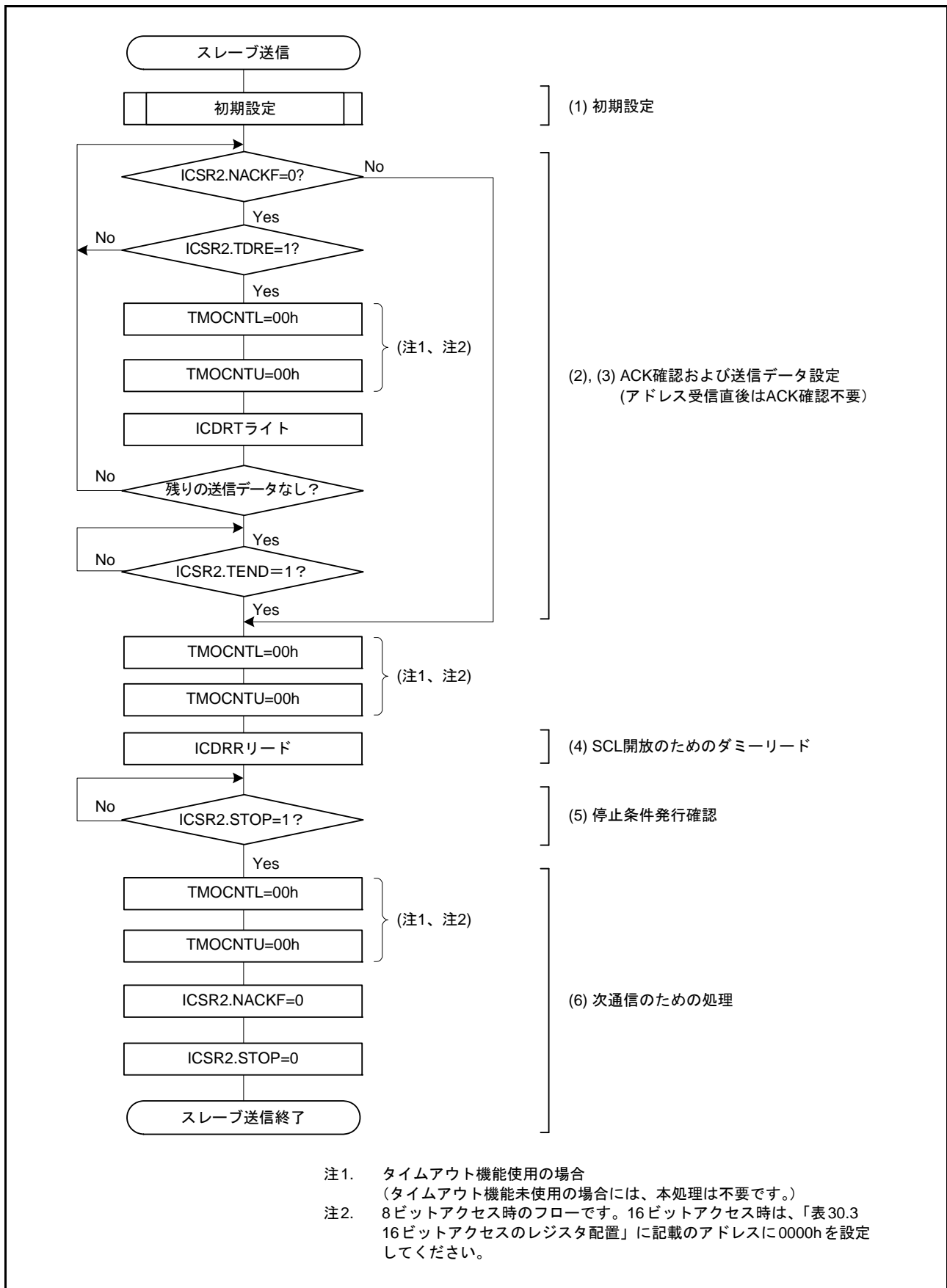


図 30.15 スレーブ送信のフローチャート例

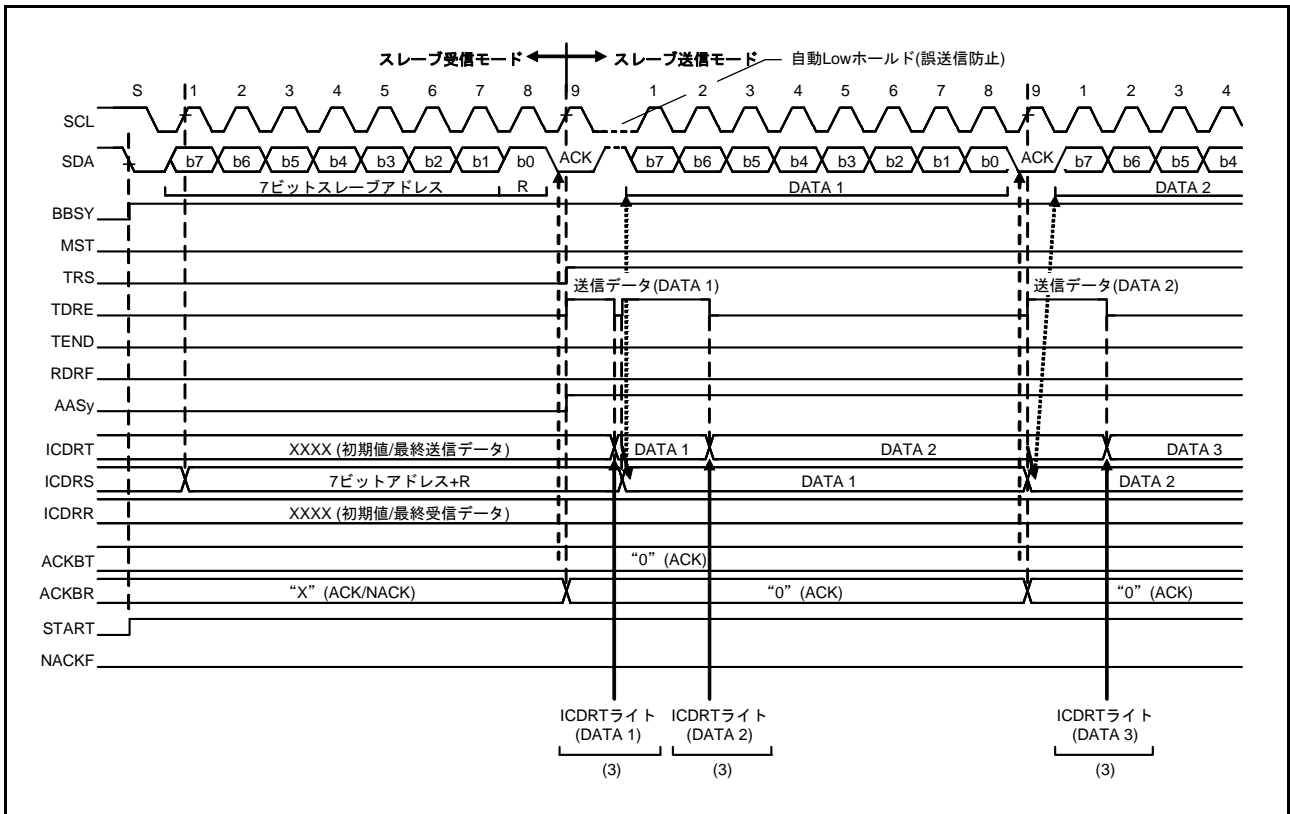


図 30.16 スレープ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

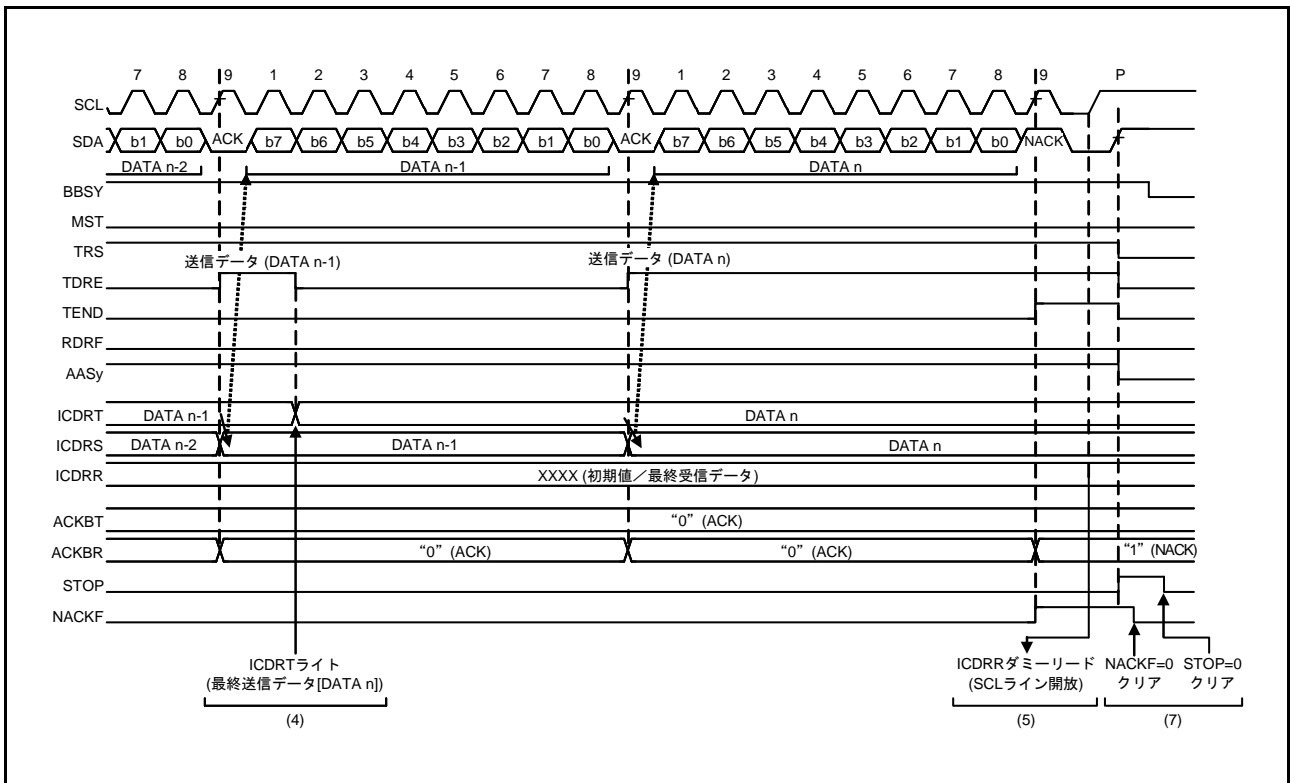


図 30.17 スレープ送信の動作タイミング (2)

30.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 30.18 にスレーブ受信の使用例を図 30.19、図 30.20 にスレーブ受信の動作タイミングを示します。以下にスレーブ受信の受信手順と動作を示します。

- (1) 図 30.5 に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“0”なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを“1”にします。
- (3) ICSR2.STOP フラグが“0”で、かつ ICSR2.RDRF フラグが“1”であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください（なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります）。
- (4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に“0”にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが“1”になった状態で次のデータを受信すると、RIIC は RDRF フラグが“1”になるタイミングの 1 つ手前の SCL クロック立ち下がり で SCL ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCL ラインを開放します。ICSR2.STOP フラグが“1”で、かつ ICSR2.RDRF フラグが“1”の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) を自動的に“0”にします。
- (6) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.STOP フラグを“0”にしてください。

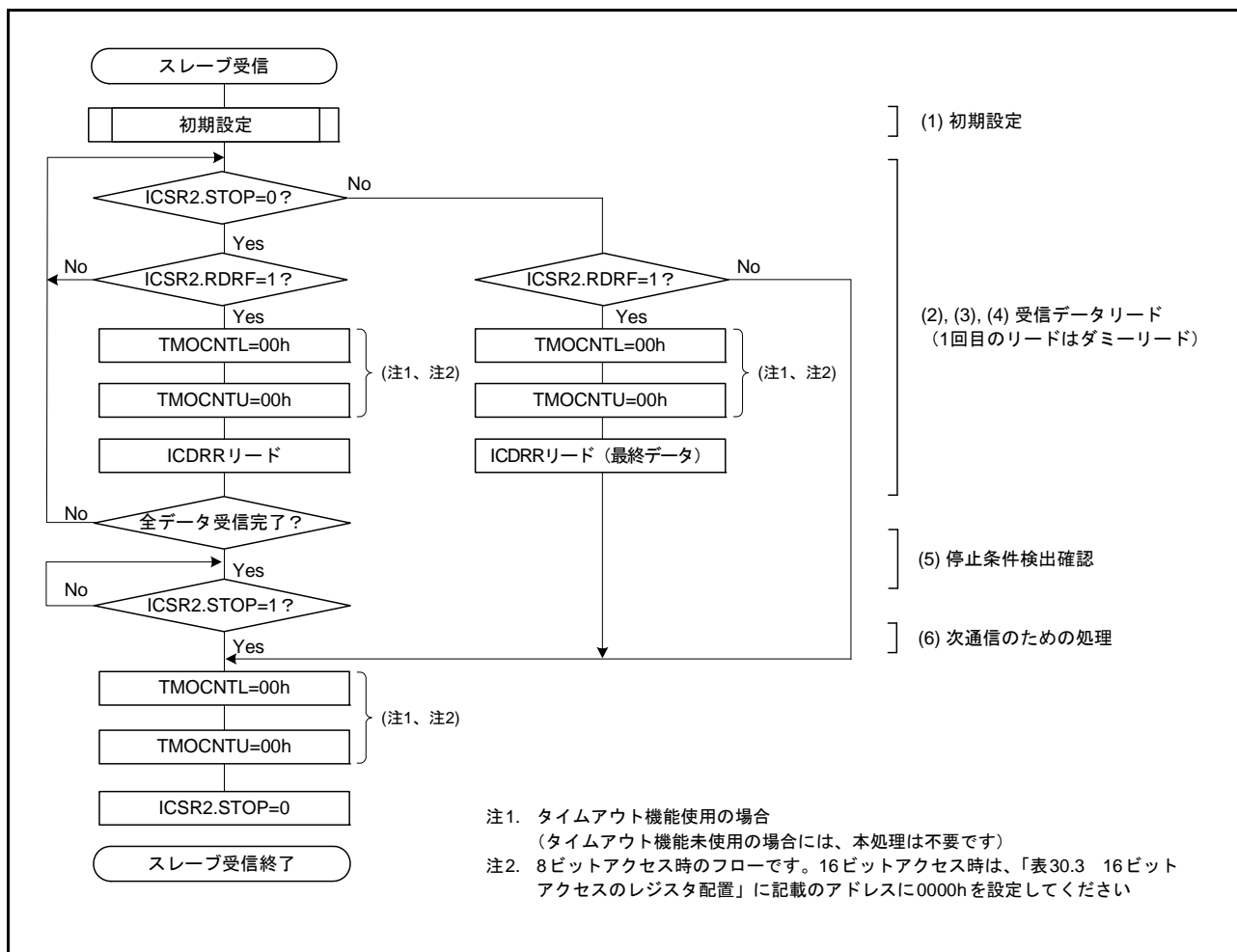


図 30.18 スレーブ受信のフローチャート例

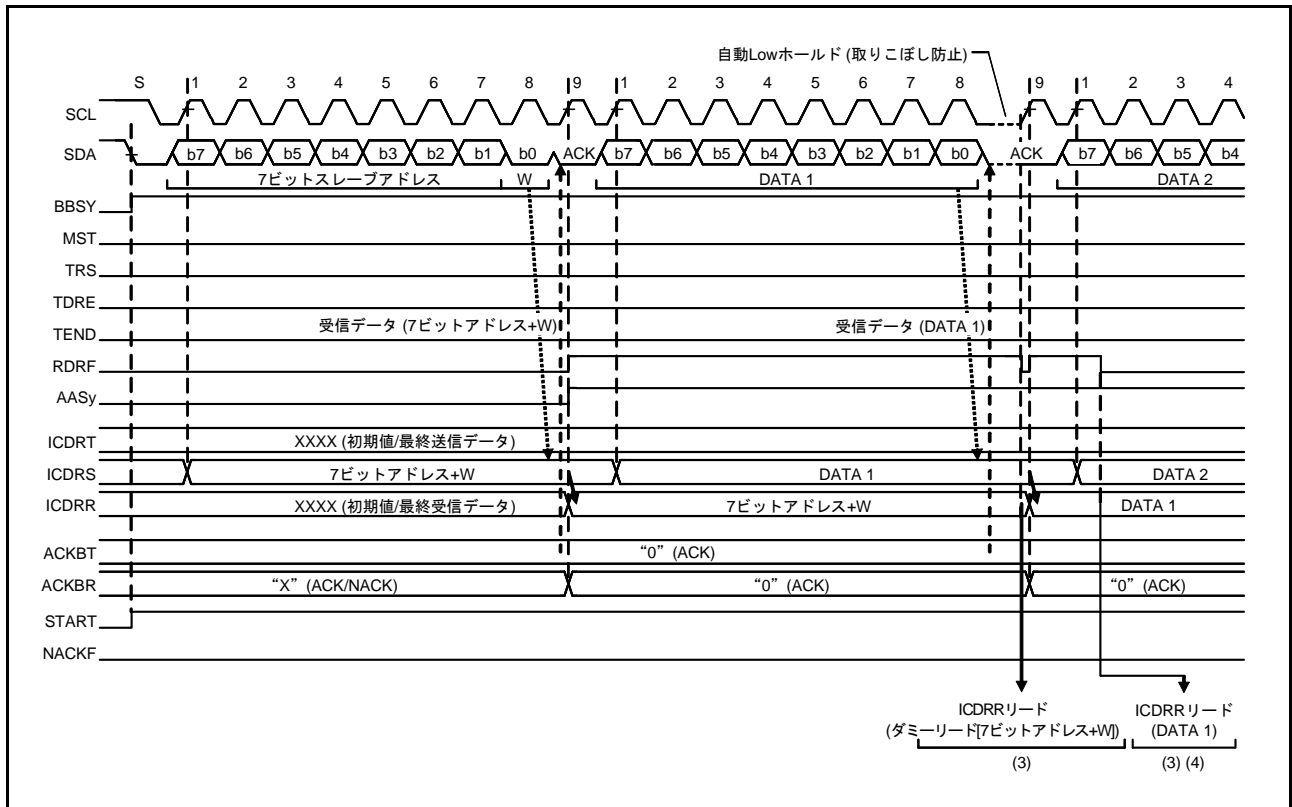


図 30.19 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS=0 のとき)

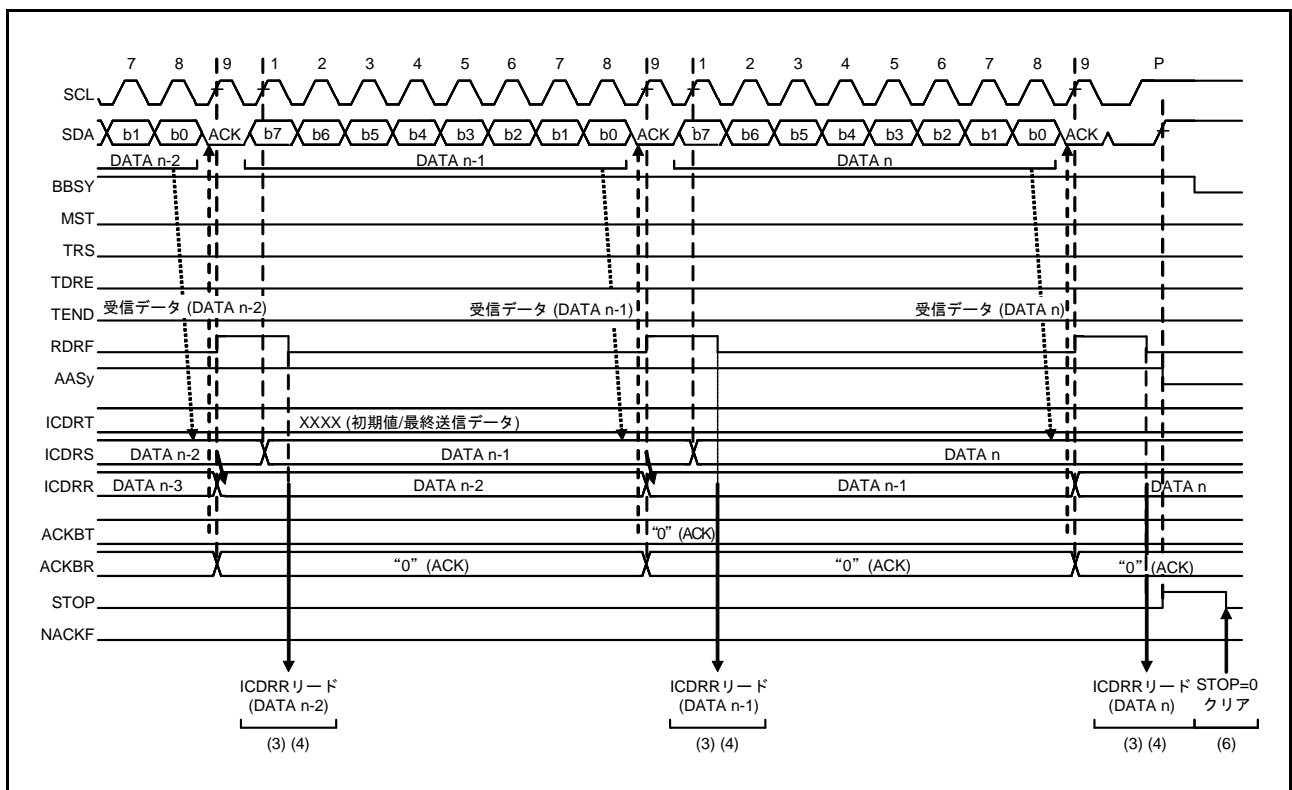


図 30.20 スレーブ受信の動作タイミング (2) (RDRFS=0 のとき)

30.4 SCL 同期回路

RIIC の SCL クロック生成は SCL ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウンタを開始し、High 幅のカウンタが終了すると SCL ラインを Low にドライブして立ち下げます。また SCL ラインの立ち下がり検出すると、ICBRL レジスタで設定された Low 幅のカウンタを開始し、Low 幅のカウンタが終了すると SCL ラインの Low ドライブを終了して SCL ラインを開放します。これにより SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL クロックの同期化を行う必要があります。この SCL クロックの同期はビットごとに行う必要があります。RIIC はマスタモード時に SCL ラインを監視してビットごとに同期を取りながら SCL クロックを生成する機能 (SCL 同期回路) を備えています。

RIIC が SCL ラインの立ち上がり検出し ICBRH レジスタで設定された High 幅のカウンタ中に他のマスタデバイスの SCL クロック出力により SCL ラインが立ち下げられた場合、RIIC は SCL ラインの立ち下げを検出すると High 幅のカウンタアップ動作を中断し、SCL ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウンタアップを開始します。Low 幅のカウンタが終了すると SCL ラインの Low ドライブを終了して SCL ラインを開放します。このとき他のマスタデバイスの SCL クロックの Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCL ラインが開放され SCL クロックが立ち上がります。そのため SCL クロック出力衝突時の SCL クロックの High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが“1”のとき有効です。

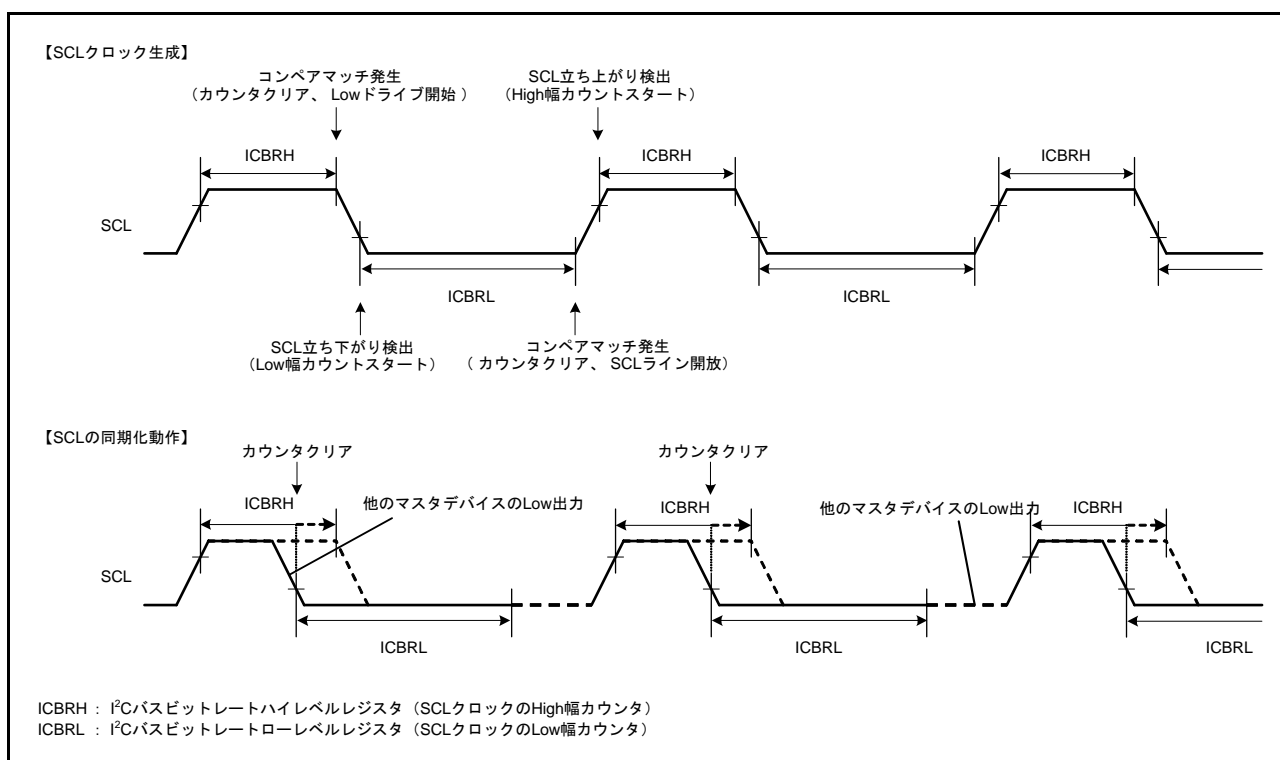


図 30.21 RIIC の SCL クロック生成および SCL 同期化動作

30.5 SDA 出力遅延機能

RIICにはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング（発行動作（開始/再開/停止）、データ出力、ACK/NACK出力）を遅延させることができます。

SDA出力遅延機能は、SCLクロックの立ち上がり検出からSDA出力を遅延させ、確実にSCLクロックのLow期間中にSDA出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用する機能で、SMBusのデータホールド時間:300ns (min)の規格を満たす目的でも使用することができます。

このSDA出力遅延機能はICMR2.SDDL[2:0]ビットが“000b”以外のとき有効で、SDDL[2:0]ビットが“000b”のとき無効です。

SDA出力遅延機能が有効（SDDL[2:0]ビットが“000b”以外）のとき、SDA出力遅延カウンタはICMR2.DLCSビットで選択された内部基準クロック（IICφ）またはその2分周クロック（IICφ/2）をカウントソースとしてSDDL[2:0]ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル数のカウントが終了した時点でRIICはSDA出力（発行動作（開始/再開/停止）、データ出力、ACK/NACK出力）を行います。

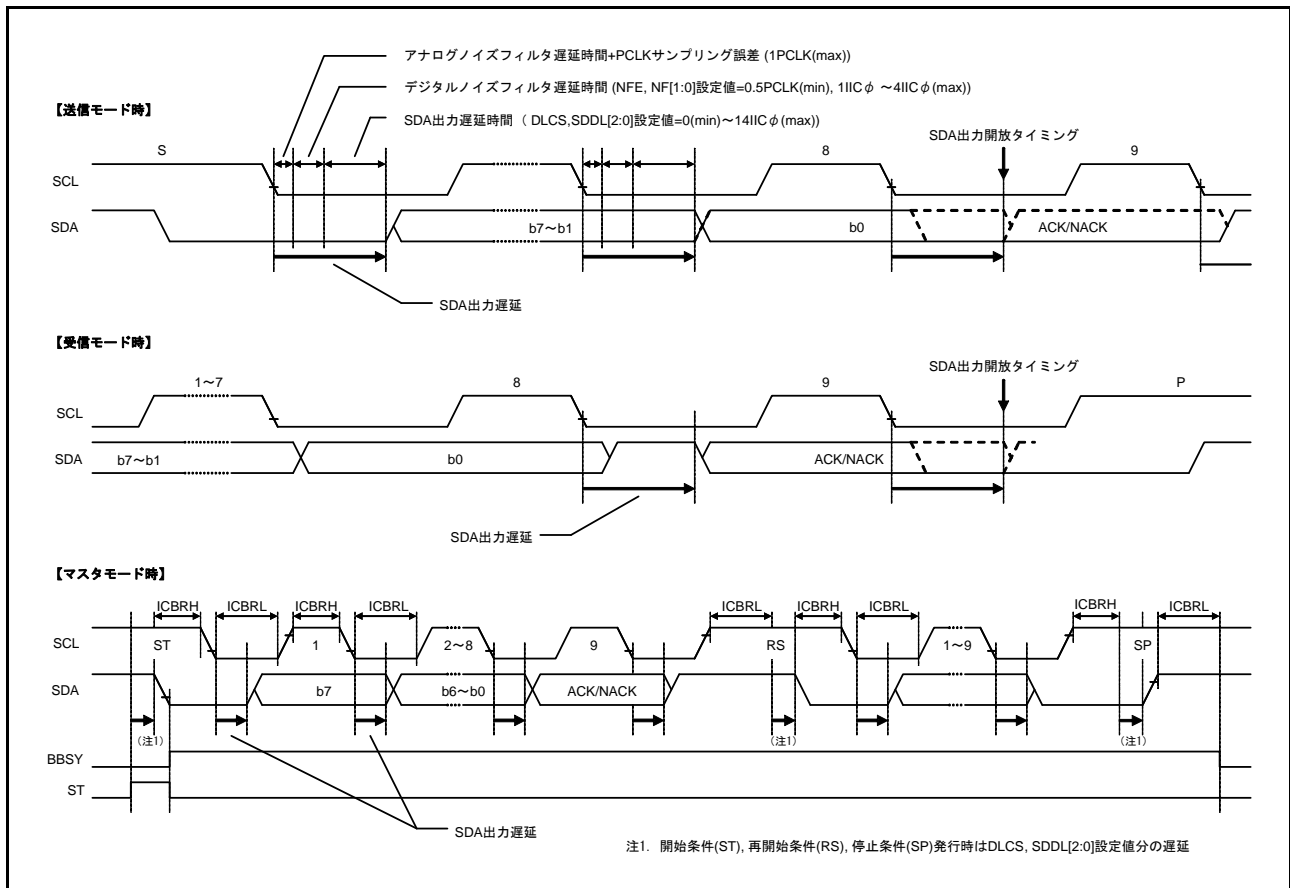


図 30.22 SDA 出力遅延タイミング

30.6 デジタルノイズフィルタ回路

SCL 端子および SDA 端子の状態は、アナログノイズフィルタ回路およびデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 30.23 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1IIC ϕ ~ 4IIC ϕ サイクル分となります。

SCL 端子入力信号（または SDA 端子入力信号）は IIC ϕ の立ち下がりでサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLK = 4MHz 時の 400kbps 通信のような内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止 (ICFER.NFE ビット = 0) し、アナログノイズフィルタ回路のみを使用することが可能です。

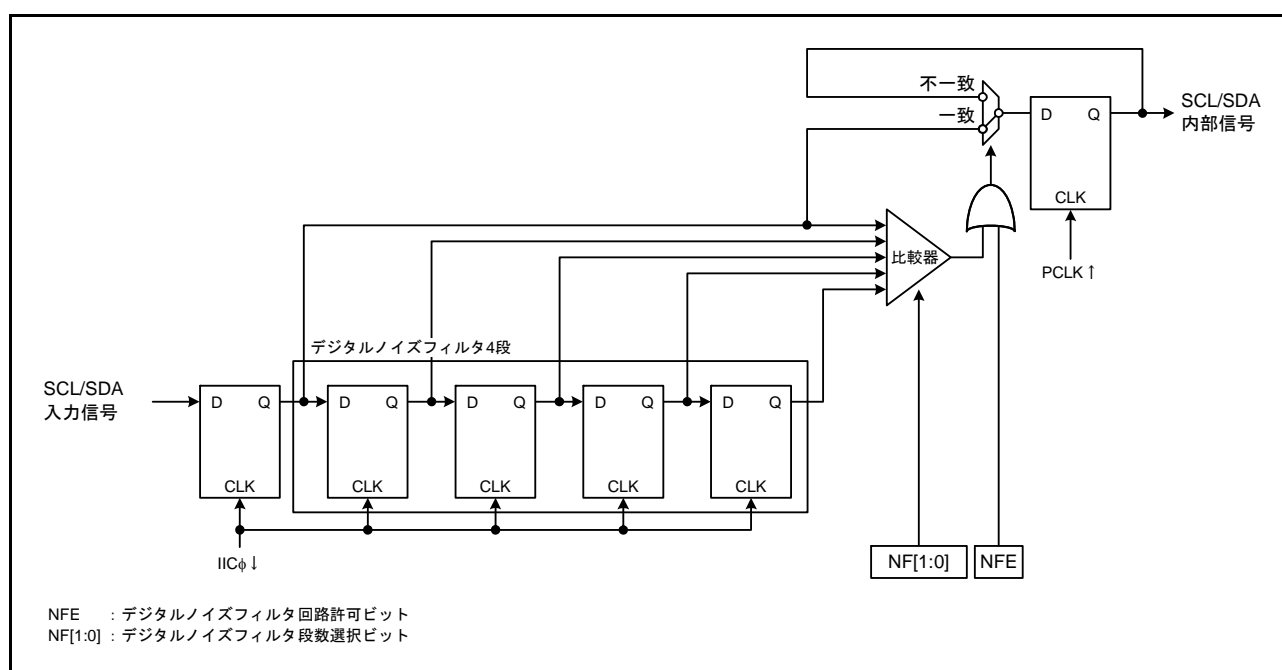


図 30.23 デジタルノイズフィルタ回路のブロック図

30.7 アドレス一致検出機能

RIICはジェネラルコールアドレス、ホストアドレスの他に3種類のスレーブアドレスを設定可能です。またスレーブアドレスには7ビットアドレスまたは10ビットアドレスの設定が可能です。

30.7.1 スレーブアドレス一致検出機能

RIICは3種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyEビット(y=0~2)が“1”のとき、SARUy/SARLyレジスタ(y=0~2)に設定されたスレーブアドレスを検出することができます。

RIICは設定されたスレーブアドレス一致を検出すると、SCLクロックの9クロック目の立ち下がりでご該当するICSR1.AASyフラグ(y=0~2)を“1”にし、続くR/W#ビットによりICSR2.RDRFフラグまたはICSR2.TDREフラグを“1”にします。これにより受信データフル割り込み(RXI)または送信データエンpty割り込み(TXI)を発生させることができ、AASyフラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図30.24~図30.26にAASyフラグが“1”になるタイミングを示します。

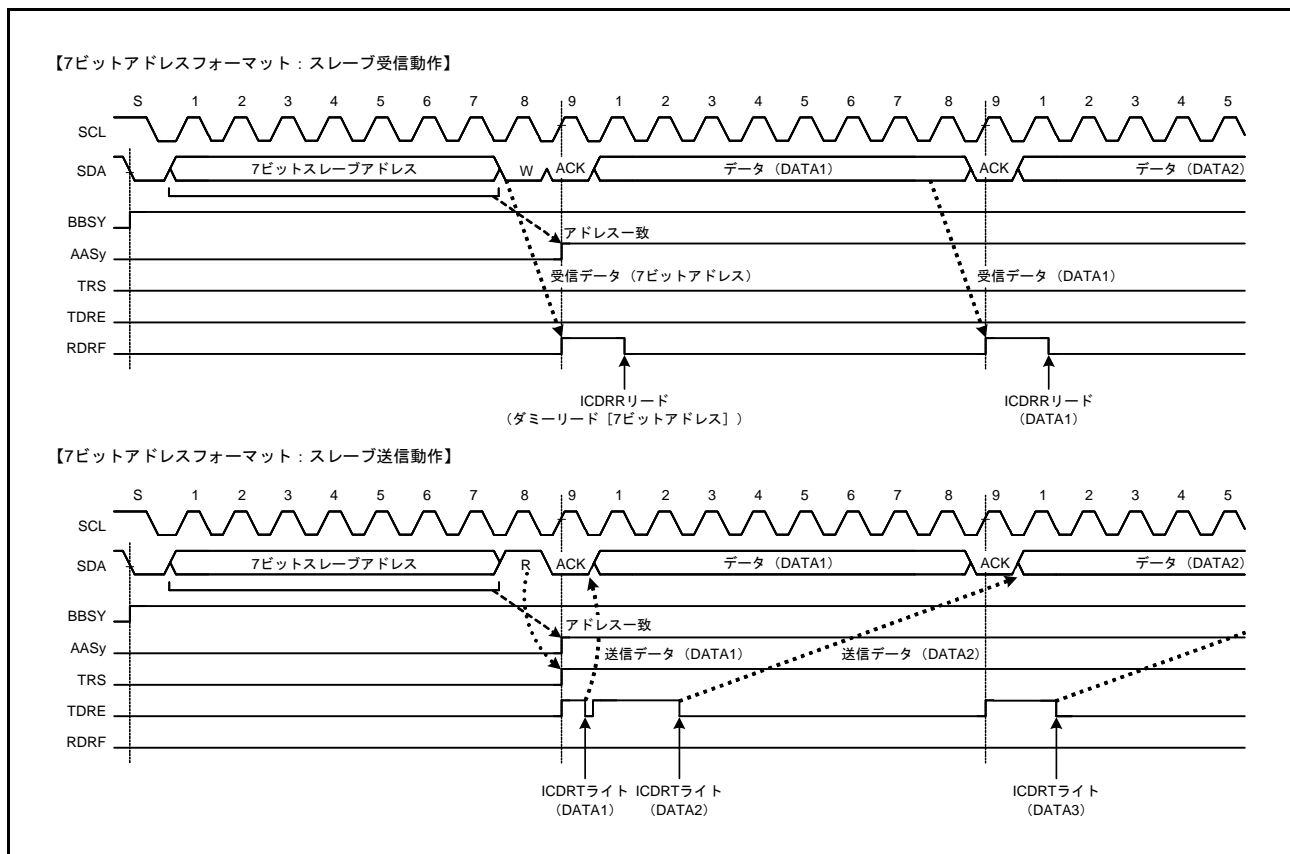


図 30.24 7ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

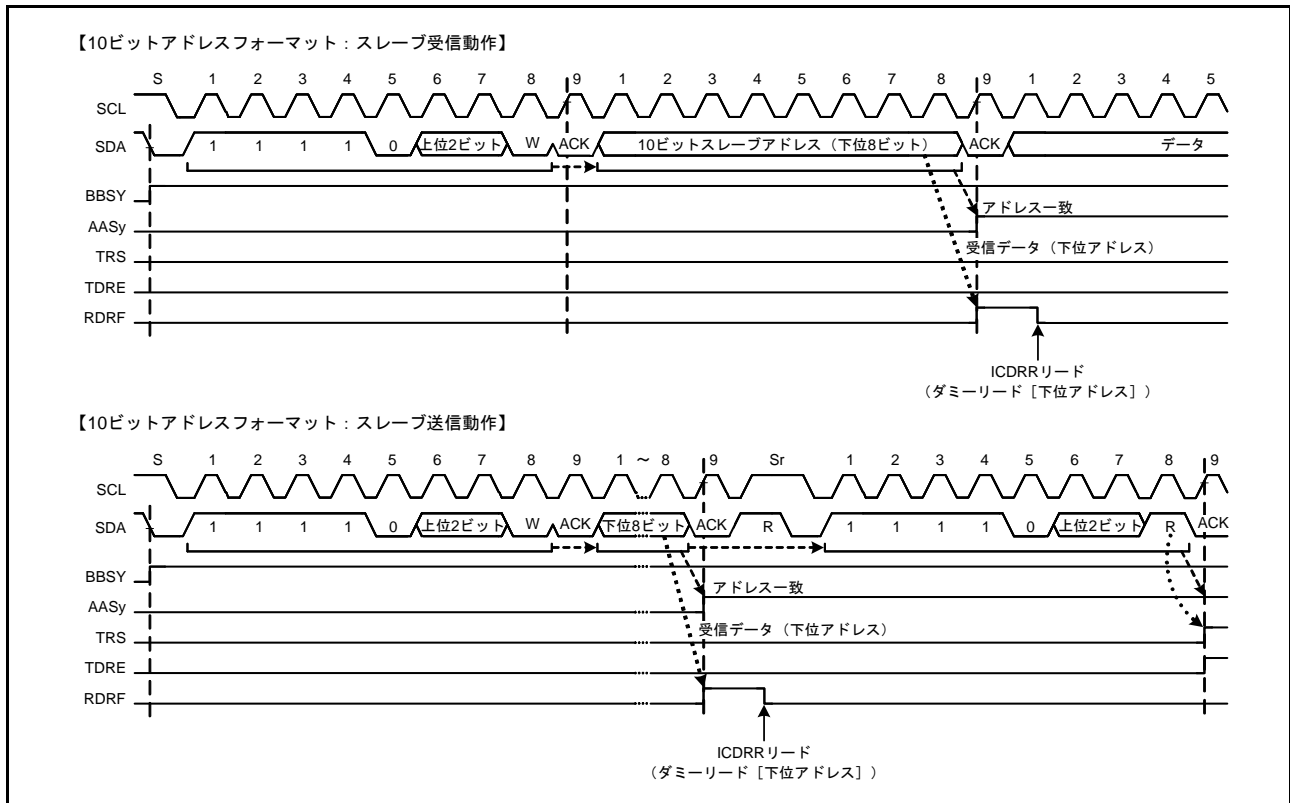


図 30.25 10ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

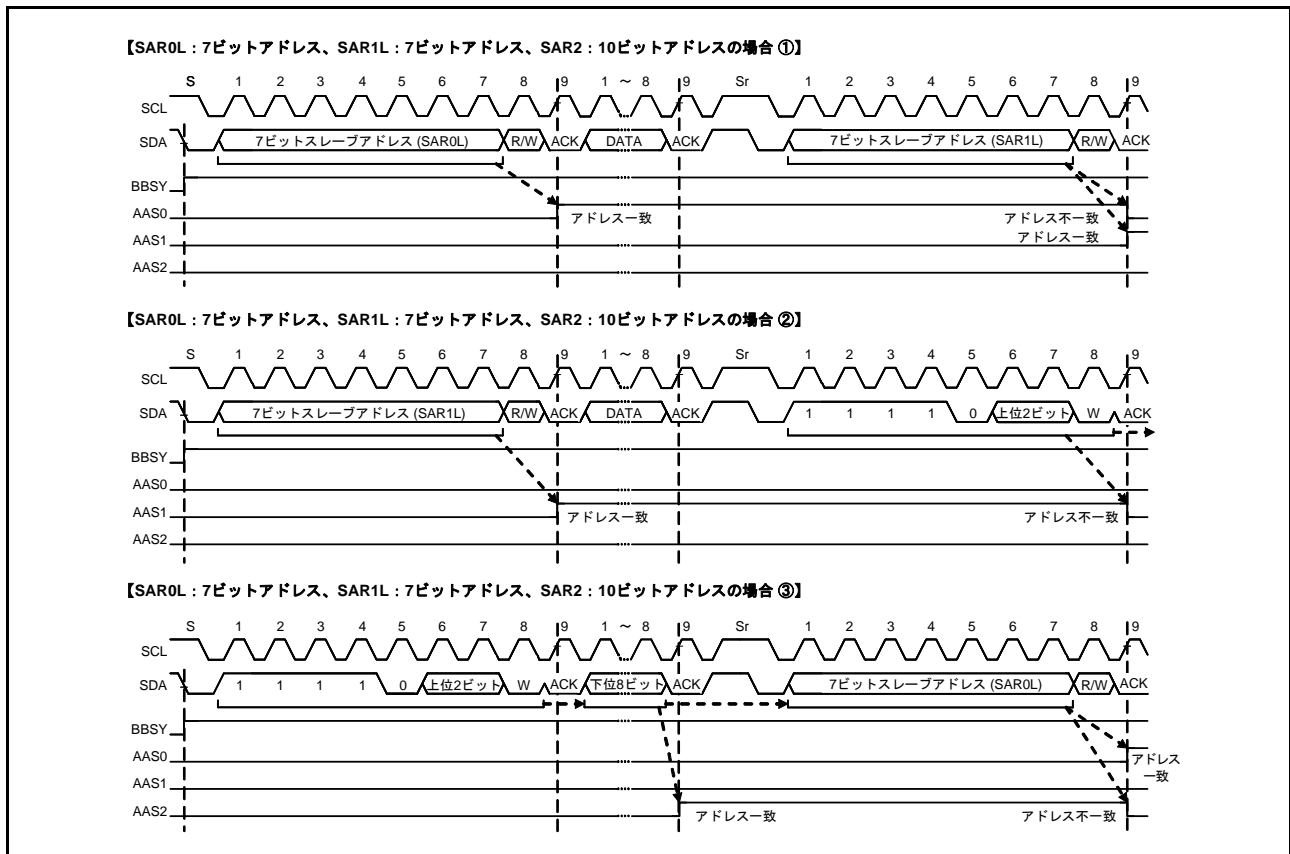


図 30.26 7ビット/10ビットアドレスフォーマット混在時に AASy フラグが“1”/“0”になるタイミング

30.7.2 ジェネラルコールアドレス検出機能

RIICはジェネラルコールアドレス (0000 000b + 0[W]) の検出機能を備えています。ICSR.GCAE ビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b + 1[R] (スタートバイト) だった場合、RIICはこのアドレスを All“0”のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIICはジェネラルコールアドレスを検出すると、SCLクロックの9クロック目の立ち下がりで ICSR1.GCA フラグを“1”にし、同時に ICSR2.RDRF フラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

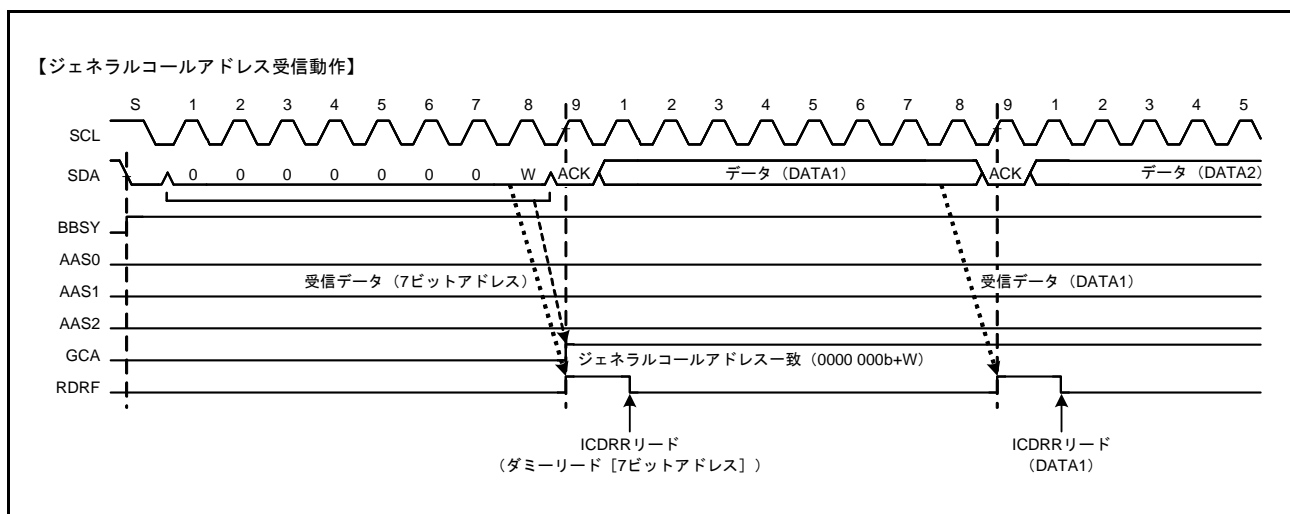


図 30.27 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

30.7.3 デバイス ID アドレス検出機能

RIICはI²Cバス(Rev.03)に準拠したデバイスIDアドレスの検出機能を備えています。ICSER.DIDEビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の1バイト目に1111 100bを受信すると、RIICはこのアドレスをデバイスIDアドレスと認識し、続くR/W#ビットが“0”のときSCLクロックの9クロック目の立ち上がりでICSR1.DIDフラグを“1”にした後、2バイト目以降と自スレーブアドレスとの比較動作を行います。この2バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当するICSR1.AAS_yフラグ(y=0~2)が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の1バイト目が再びデバイスIDアドレス(1111 100b)と一致し、続くR/W#ビットが“1”のときRIICは続く2バイト目以降はアドレス比較動作を行わず、ICSR2.TDREフラグを“1”にします。

デバイスIDアドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイスIDアドレスと不一致の場合、DIDフラグを“0”にし、スタートコンディションまたはリスタートコンディション後の1バイト目がデバイスIDアドレス(1111 100b)と一致し、かつR/W#ビットが“0”のときDIDフラグを“1”にセットし、続く2バイト目以降をスレーブアドレスと比較します。R/W#ビットが“1”の場合、DIDフラグは前値の状態を継続し、2バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE=1確認後DIDフラグをチェックすることで、デバイスIDを受信したことを確認することができます。

なお、一連のデバイスID受信後にホストに送信するデバイスIDフィールドとして必要な情報(3バイト分: メーカー[12ビット]+部品識別[9ビット]+リビジョン[3ビット])は、通常の送信データと同様あらかじめ準備してください。また、デバイスIDフィールドに必要な情報の詳細についてはNXP社にお問い合わせください。

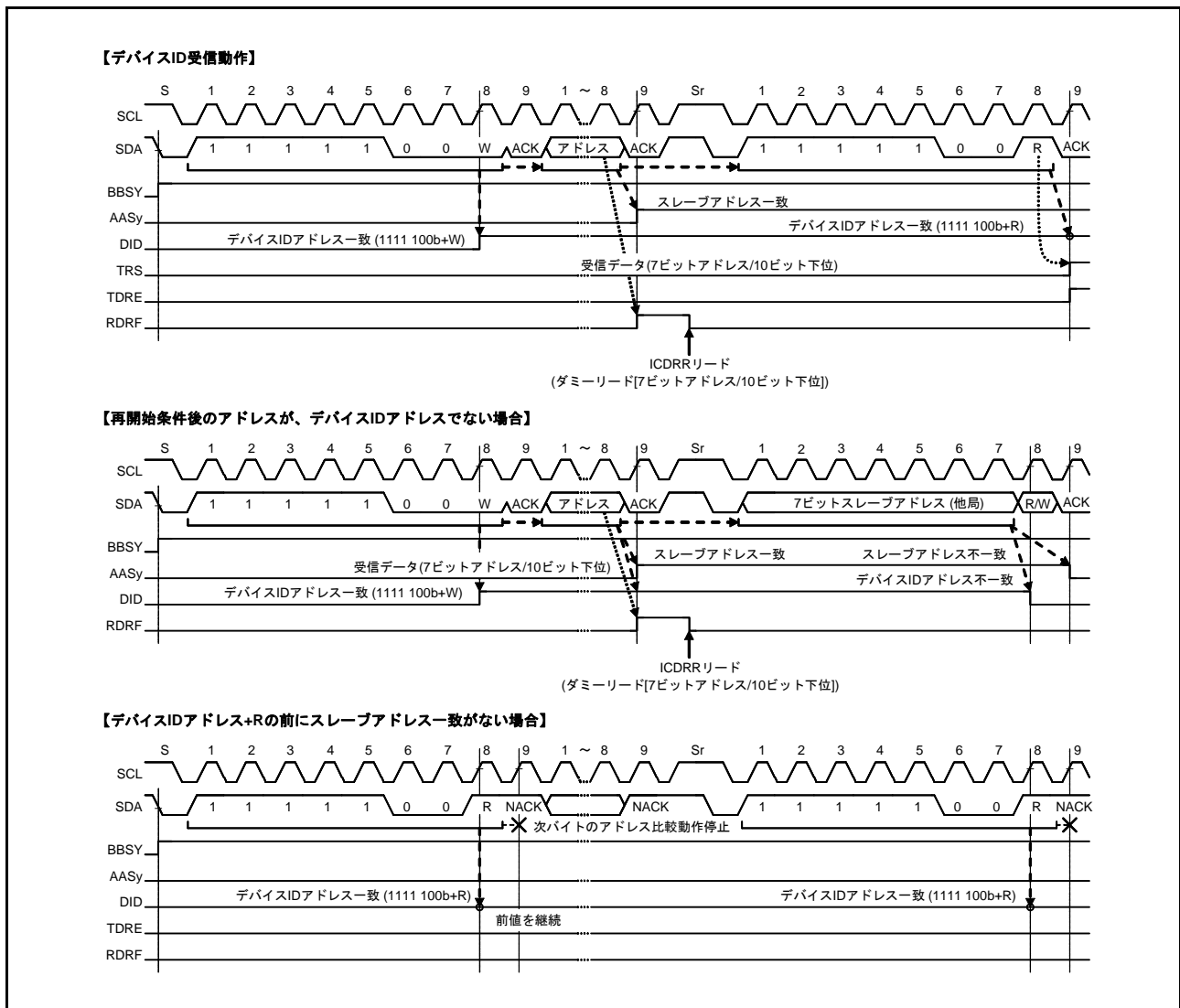


図 30.28 デバイス ID アドレス受信時の AASy、DID フラグセット/クリアタイミング

30.7.4 ホストアドレス検出機能

RIICにはSMBus動作時にホストアドレス検出機能を備えています。ICMR3.SMBSビットが“1”のときICSER.HOAEビットを“1”にすると、スレーブ受信モード (ICCR2.MST, TRSビット=00b) にホストアドレス (0001 000b) を検出することが可能です。

RIICはホストアドレスを検出すると、SCLクロックの9クロック目の立ち下がり (ICSR1.HOAフラグを“1”にし、Wrビット (R/W#ビットに“0”を受信) のときICSR2.RDRFフラグを“1”にします。これにより送信データエンプティ割り込み (TXI) を発生させることができ、HOAフラグを確認することでスマートバッテリーなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス (0001 000b) に続くビットがRdビット (R/W#ビットに“1”を受信) の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

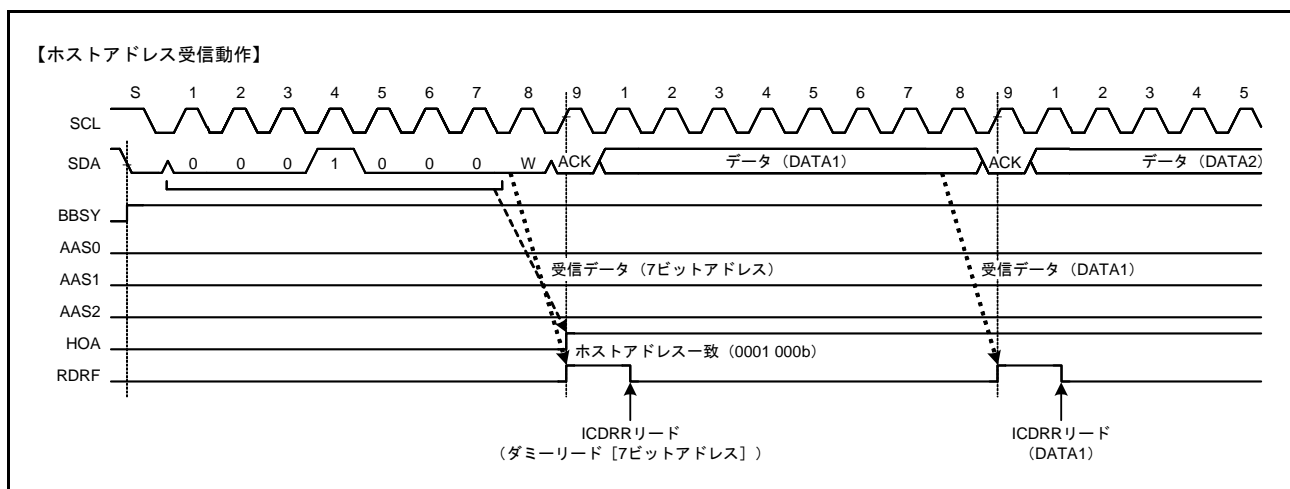


図 30.29 ホストアドレス受信時に HOA フラグが“1”になるタイミング

30.8 SCLの自動Lowホールド機能

30.8.1 送信データ誤送信防止機能

RIICは送信モード時 (ICCR2.TRS ビット=1)、シフトレジスタ (ICDRS レジスタ) が空の状態であつ送信データ (ICDRT レジスタ) が書かれていない場合、以下に示す区間、自動的に SCL ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション/リスタートコンディション発行後の Low 区間
- 9クロック目と1クロック目の Low 区間

《スレーブ送信モード》

- 9クロック目と1クロック目の Low 区間

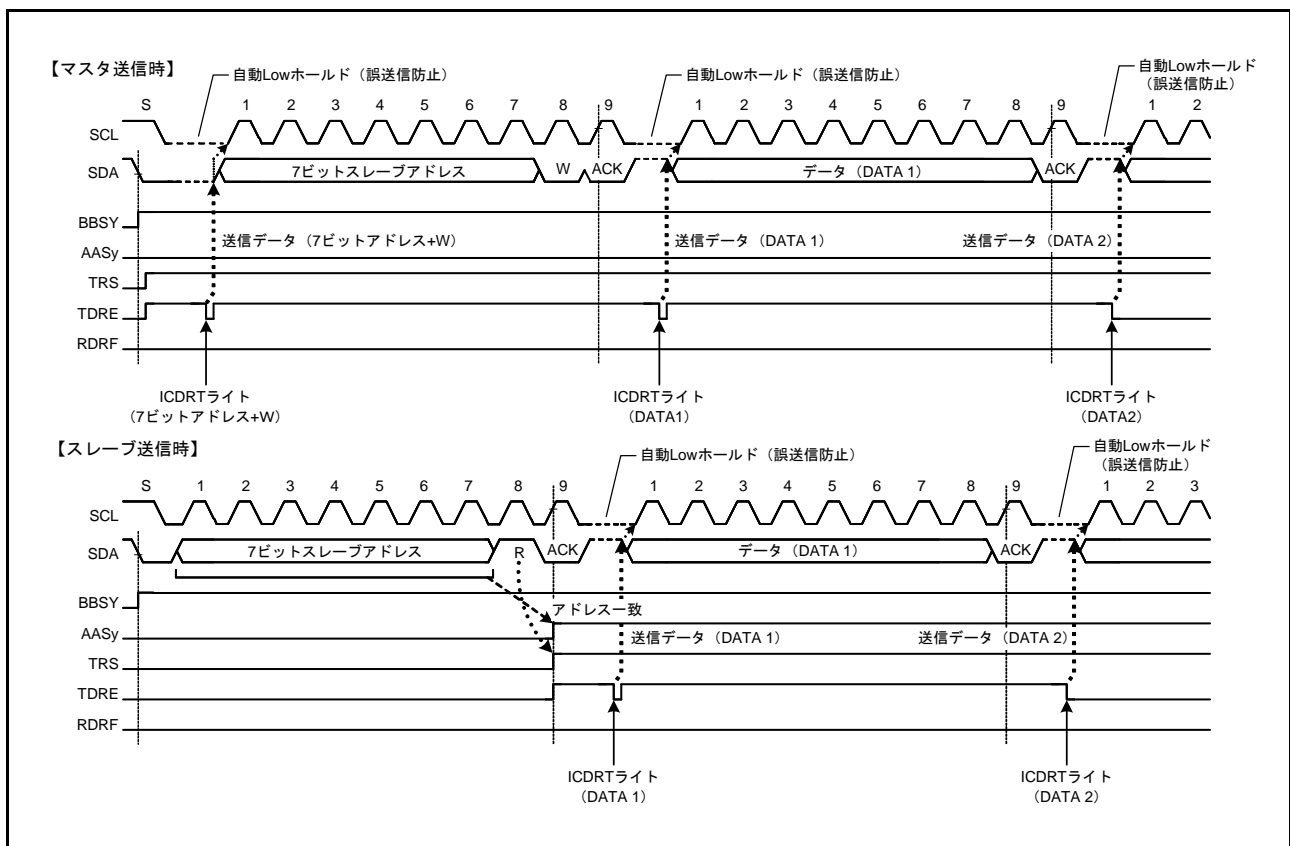


図 30.30 送信モードの自動 Low ホールド動作

30.8.2 NACK 受信転送中断機能

RIICは送信モード時 (ICCR2.TRS ビット=1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKC ビットが“1” (転送中断許可) のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ=0の状態)、SCL クロックの9クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が“0”のときの SDA ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ=1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを“0”にしてください。またマスタ送信モードの場合には NACKF フラグを“0”にした後、リスタートコンディション発行またはストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。

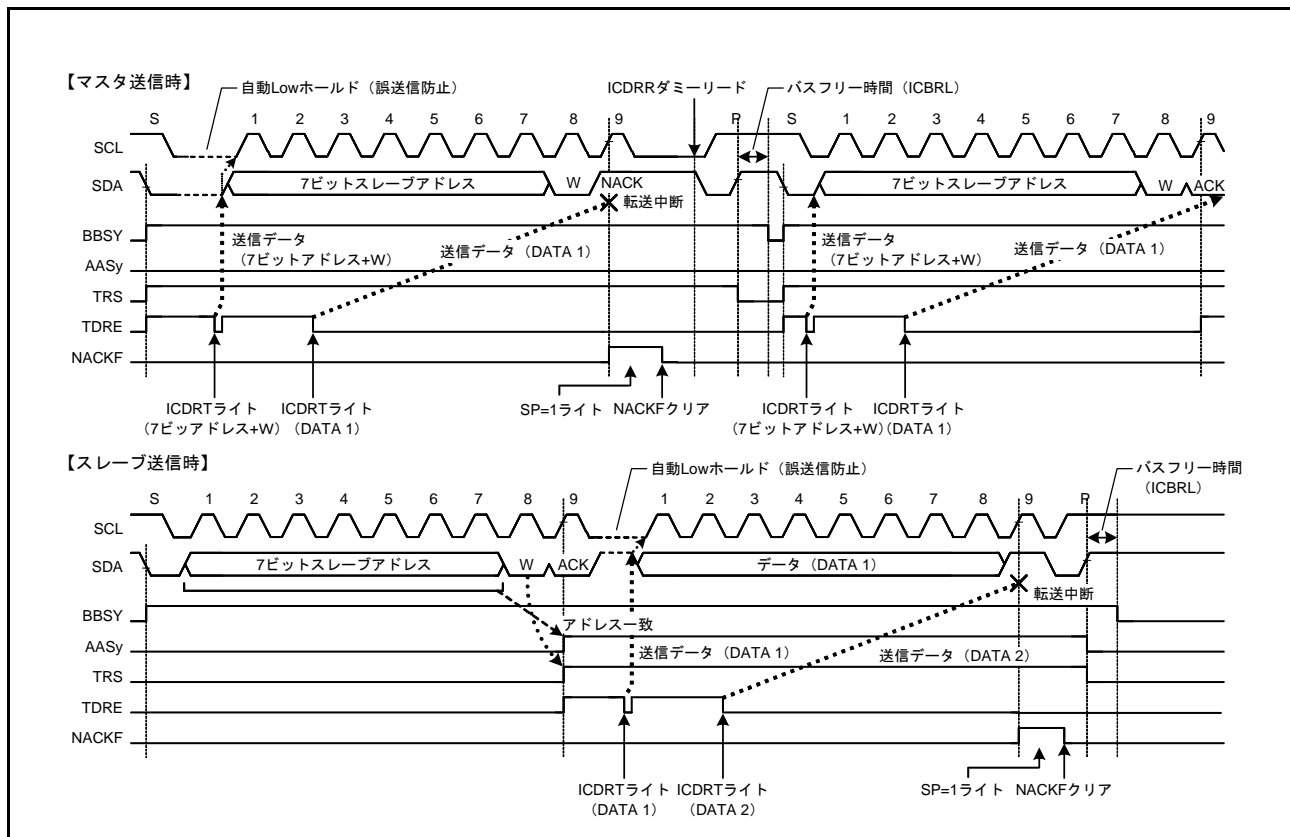


図 30.31 NACK 受信時の転送中断動作 (NACKC=1 のとき)

30.8.3 受信データ取りこぼし防止機能

RIICは受信モード時 (ICCR2.TRS ビット=0)、受信データフル (ICSR2.RDRF フラグ=1) の状態で受信データ (ICDRR レジスタ) の読み出しが1転送フレーム以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の1つ手前で自動的に SCL ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIICでは ICMR3.WAIT, RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる1バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを“1”にすると、RIICはWAIT ビット機能による1バイト受信動作になります。ICMR3.RDRFS ビットが“0”のとき、RIICはSCLクロックの8クロック目の立ち下がりから9クロック目の立ち下がり期間のアクノリッジビットには自動的にICMR3.ACKBT ビットの内容が送出され、9クロック目立ち下がりを検出するとWAIT ビット機能により自動的にSCLラインをLowにホールドします。このLowホールドはICDRRレジスタの読み出しによって解除されます。そのため1バイトごとの受信動作が可能となります。

なおWAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス(ジェネラルコールアドレス、ホストアドレス含む)と一致した以降の受信フレームから有効になります。

(2) RDRFS ビットによる1バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを“1”にすると、RIICはRDRFS ビット機能による1バイト受信動作になります。RDRFS ビットを“1”にすると、受信データフルフラグ(ICSR2.RDRF フラグ)が“1”になるタイミングがSCLクロックの8クロック目の立ち上がりに変更され、8クロック目の立ち下がりを検出すると自動的にSCLラインをLowにホールドします。このLowホールドはICMR3.ACKBT ビットへの書き込みによって解除され、ICDRRレジスタの読み出しでは解除されません。そのため1バイトごとに受信したデータの内容に応じたACK/NACK 送出の受信動作が可能となります。

なおRDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス(ジェネラルコールアドレス、ホストアドレス含む)と一致した以降の受信フレームから有効になります。

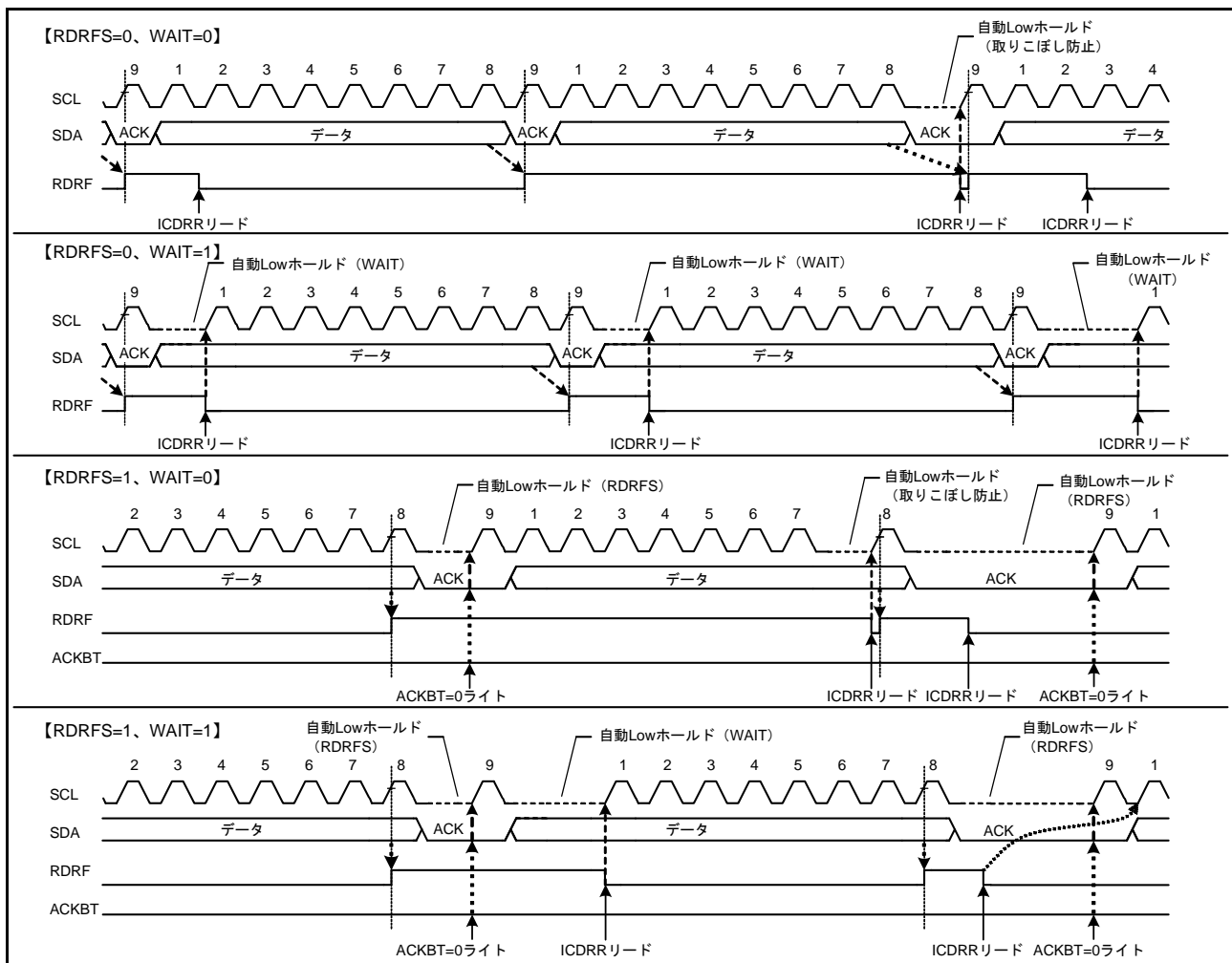


図 30.32 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

30.9 アービトレーションロスト検出機能

RIICにはI²Cバス規格で定めている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

30.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIICはスタートコンディション発行の際SDAラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDAラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICCR2.BBSYフラグが“1” (バスビジー中) のときにICCR2.STビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ (SDA信号) とSDAラインに不一致が生じた場合 (自分が出したSDA出力がHigh出力 (= SDA端子はハイインピーダンス) で、SDAラインにLowを検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICはスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、ICFER.MALEビットが“1” (マスタアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[マスタアービトレーションロスト条件]

- ICCR2.BBSYフラグ=0の状態(ICCR2.STビット=1によるスタートコンディション発行時にSDA信号とSDAライン上の信号の状態が不一致のとき (スタートコンディション発行エラー))
- ICCR2.BBSYフラグ=1でICCR2.STビットを“1”にしたとき (スタートコンディション二重発行エラー)
- マスタ送信モード時 (ICCR2.MST, TRSビット=11b)、アクノリッジを除く送信データ (SDA信号) とSDAライン上の信号の状態が不一致のとき

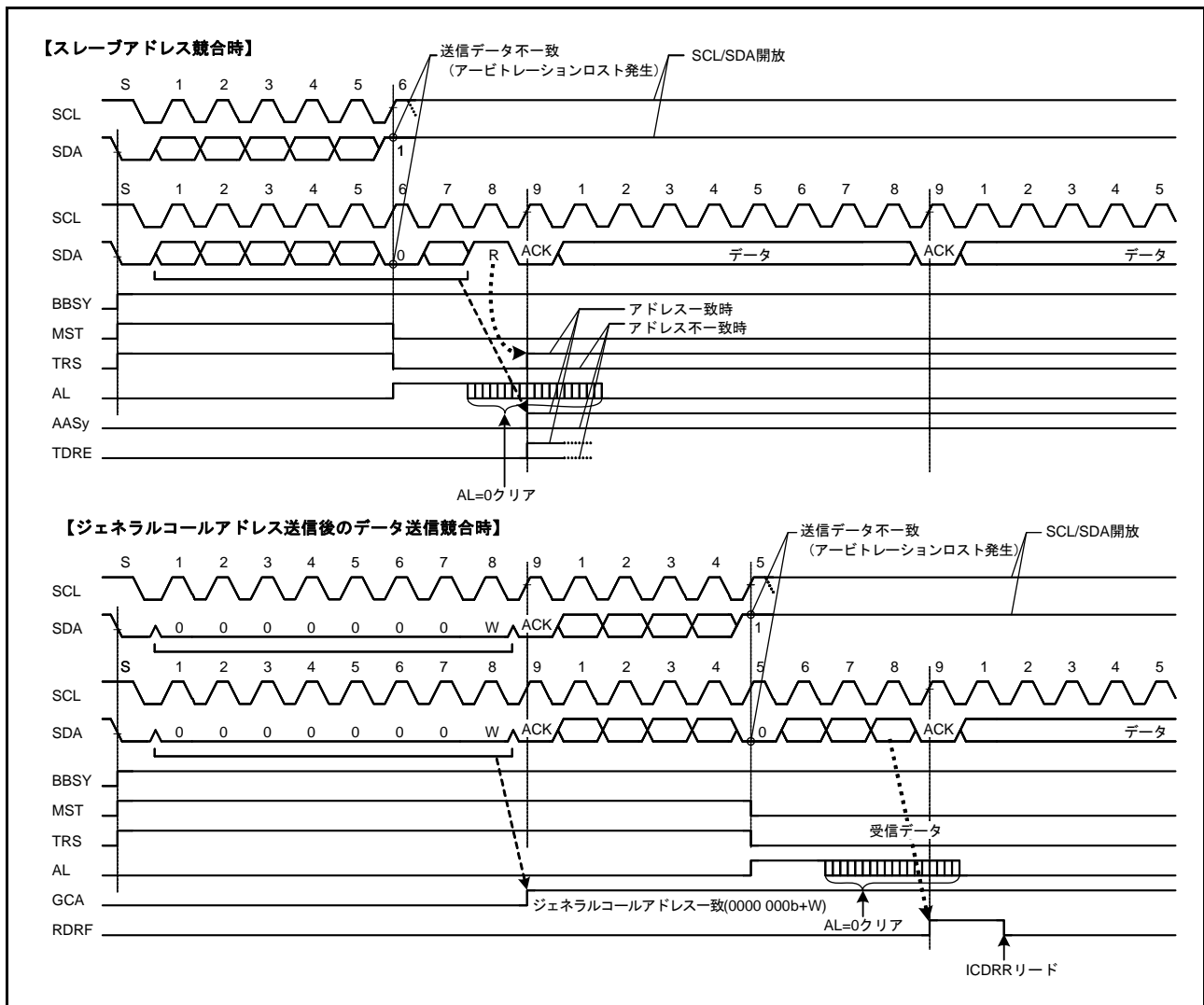


図 30.33 マスタアービトレーションロスト検出動作例 (MALE=1 のとき)

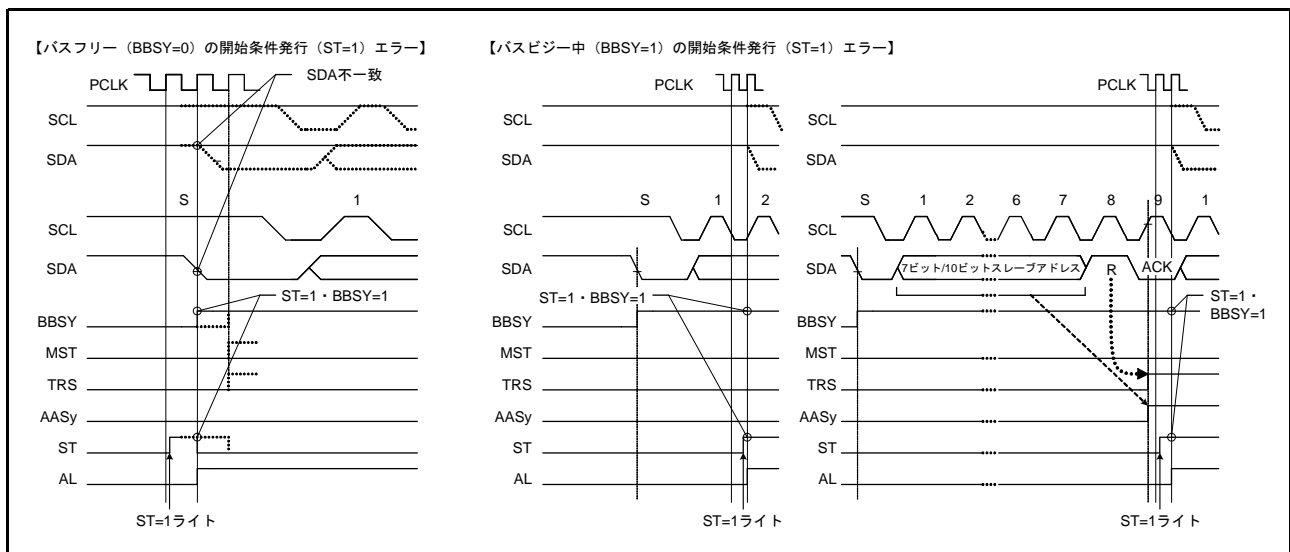


図 30.34 スタートコンディション発行時のアービトレーションロスト (MALE=1 のとき)

30.9.2 NACK 送信アービトレーションロスト検出機能 (NALE ビット)

RIICは受信モード時でNACK送信時に自分が出したSDA信号とSDAライン上の信号の状態が不一致の場合(自分が出したSDA出力がHigh出力(=SDA端子はハイインピーダンス)で、SDAラインにLowを検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主にマルチマスタのシステムにおいて2つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際にNACK送信とACK送信が衝突することで発生します。これは2つ以上のマスタデバイスが1つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図30.35にNACK送信アービトレーションロスト検出動作例を示します。

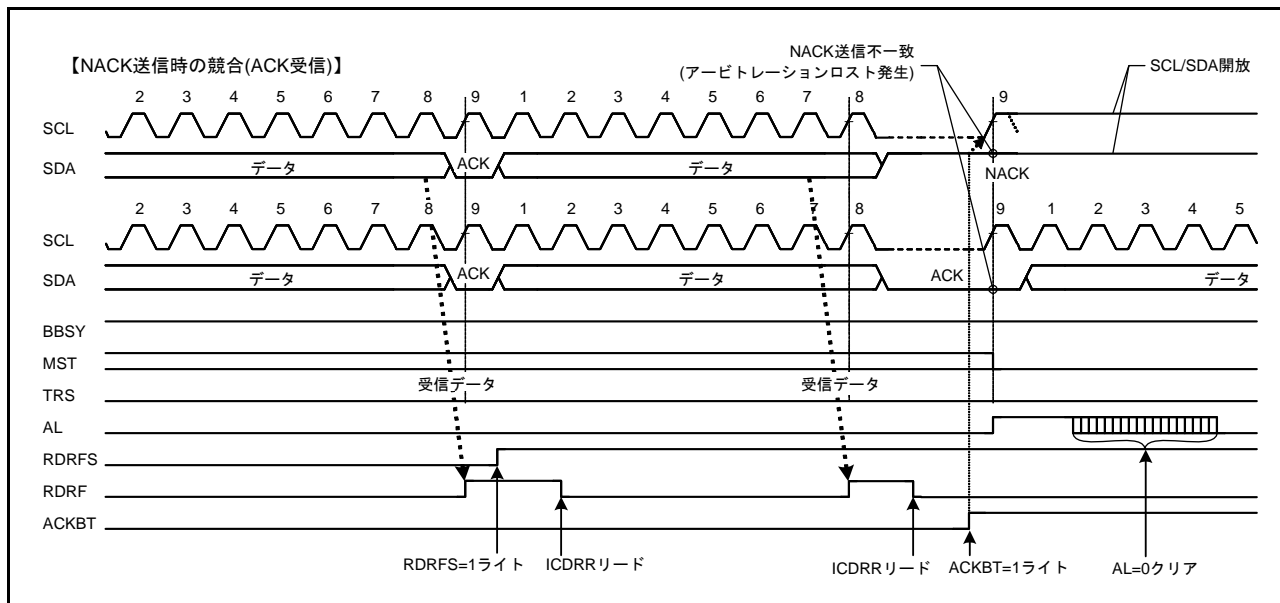


図 30.35 NACK 送信アービトレーションロスト検出動作例 (NALE=1 のとき)

2つのマスタデバイス(マスタA、マスタB)と1つのスレーブデバイスがバス上に接続されている場合に例を挙げて説明します。マスタAはスレーブデバイスから2バイト受信、マスタBはスレーブデバイスから4バイト分のデータ受信を行うものとします。

このときマスタAとマスタBが同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタA、マスタBともスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタA、マスタBともどちらもバス権を取得したものと認識して動作します。ここでマスタAは、スレーブデバイスから最終バイトである2バイト分の受信が完了した時点でNACKを送信します。一方マスタBは、スレーブデバイスから必要な4バイト受信に満たないためACK送信を行います。このときマスタAのNACK送信とマスタBのACK送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタAはマスタBが出したACK送信を検出できないままストップコンディション発行動作を行うため、マスタBのSCLクロック出力と競合し通信を障害します。

RIICはこのようなNACK送信時にACKを受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストを発生させることができます。

NACK送信アービトレーションロストが発生した場合、RIICはスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信障害を防止することが可能です。

またSMBusのARPコマンド処理において、アサインアドレスのUDID(ユニークデバイスアイデンティファイ)不一致時のNACK送信以降、およびアサインアドレス確定後のGetUDID(汎用)のNACK送信以降の余剰処理(FFh送信処理)を省くことができます。

なお NACK 送信アービトレーションロスト検出は、ICFER.NALE ビットが“1” (NACK 送信アービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[NACK 送信アービトレーションロスト条件]

- NACK 送信時 (ICMR3.ACKBT ビット=1)、自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき (ACK を受信したとき)

30.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (自分が出した SDA 信号) と SDA ライン上の信号の状態に不一致が生じた場合 (自分が出した SDA 出力が High 出力 (= SDA 端子はハイインピーダンス) で、SDA ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID (ユニークデバイスアイデンティファイ) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理 (FFh 送信処理) を省くことができます。

なおスレーブアービトレーションロスト検出は、ICFER.SALE ビットが“1” (スレーブアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時 (ICCR2.MST, TRS ビット =01b)、アクノリッジを除く送信データ (自分が出した SDA 信号) と SDA ライン上の信号の状態が不一致のとき

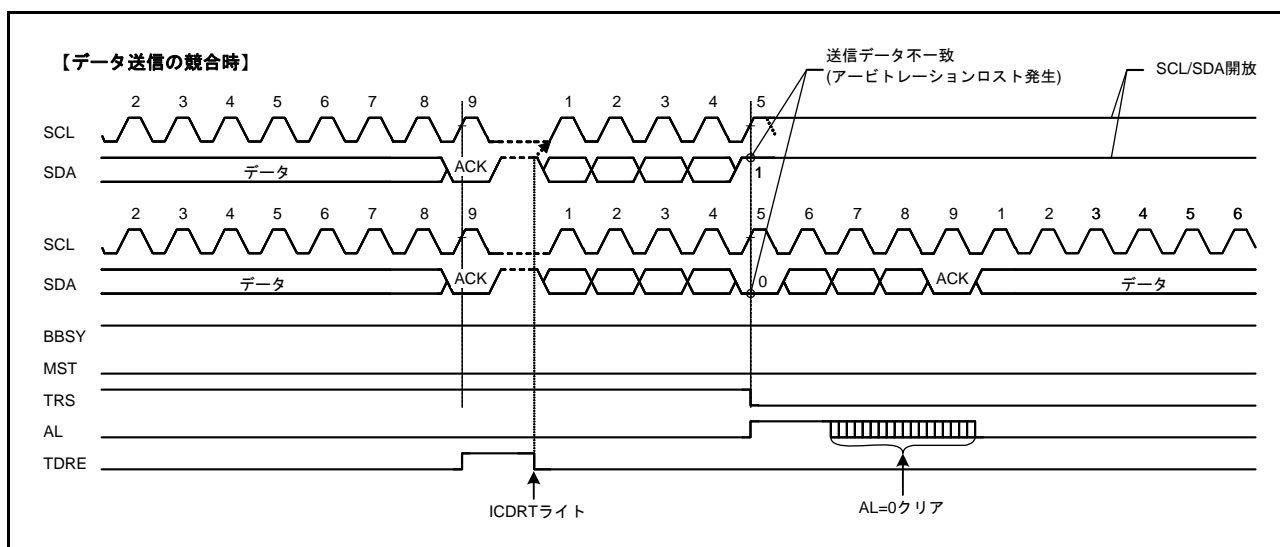


図 30.36 スレーブアービトレーションロスト検出動作例 (SALE=1 のとき)

30.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

30.10.1 スタートコンディション発行動作

IICは、ICCR2.STビットによりスタートコンディションの発行を行います。

STビットを“1”にすると、スタートコンディション発行の要求が行われICCR2.BBSYフラグが“0”（バスフリー）の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、IICは自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

[スタートコンディション発行動作]

- (1) SDAラインを立ち下げ（HighからLowに遷移）
- (2) ICBRHレジスタで設定した時間スタートコンディションのホールド時間を確保
- (3) SCLラインを立ち下げ（HighからLowに遷移）
- (4) SCLラインのLowを検出後、ICBRLレジスタで設定した時間SCLラインのLow幅を確保

30.10.2 リスタートコンディション発行動作

IICはICCR2.RSビットによりリスタートコンディションの発行を行います。

RSビットを“1”にするとリスタートコンディション発行の要求が行われ、IICはICCR2.BBSYフラグが“1”（バスビジー）の状態かつICCR2.MSTビットが“1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

[リスタートコンディション発行動作]

- (1) SDAラインを開放
- (2) ICBRLレジスタで設定した時間SCLラインのLow幅を確保
- (3) SCLラインを開放（LowからHighに遷移）
- (4) SCLラインのHigh検出後、ICBRLレジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- (5) SDAラインを立ち下げ（HighからLowに遷移）
- (6) ICBRHレジスタで設定した時間リスタートコンディションのホールド時間を確保
- (7) SCLラインを立ち下げ（HighからLowに遷移）
- (8) SCLラインのLowを検出後、ICBRLレジスタで設定した時間SCLラインのLow幅を確保

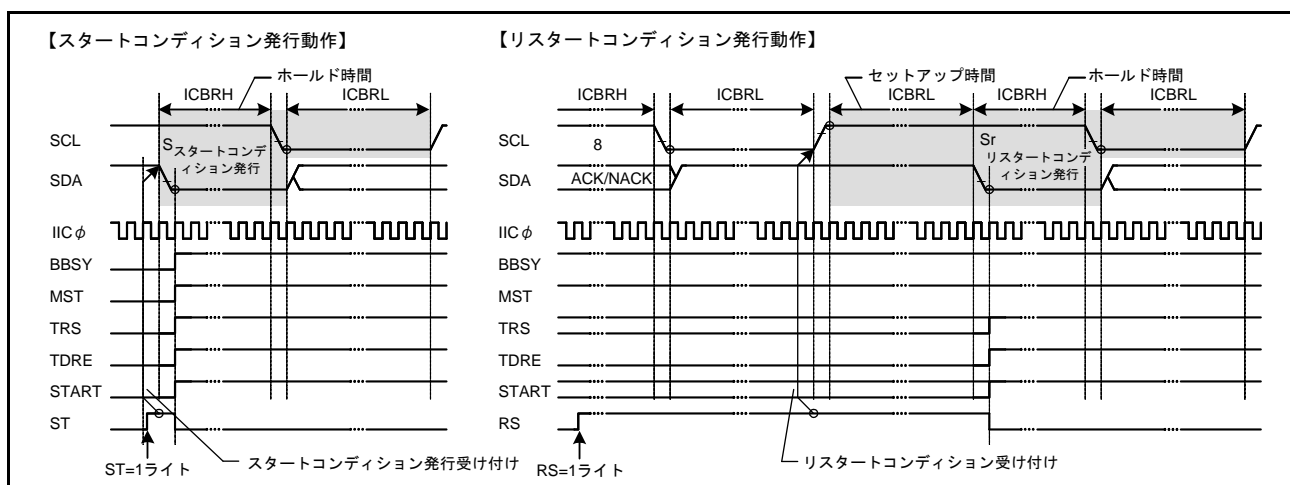


図 30.37 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

30.10.3 ストップコンディション発行動作

RIICはICCR2.SPビットによりストップコンディションの発行を行います。

SPビットを“1”にするとストップコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”（バスビジー）の状態であつICCR2.MSTビットが“1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

[ストップコンディション発行動作]

- SDAラインを立ち下げ（HighからLowに遷移）
- ICBRLレジスタで設定した時間SCLラインのLow幅を確保
- SCLラインを開放（LowからHighに遷移）
- SCLラインのHigh検出後、ICBRHレジスタで設定した時間ストップコンディションのセットアップ時間を確保
- SDAラインを開放（LowからHighに遷移）
- ICBRLレジスタで設定した時間バスフリー時間を確保
- BBSYフラグクリア（バス権解放）

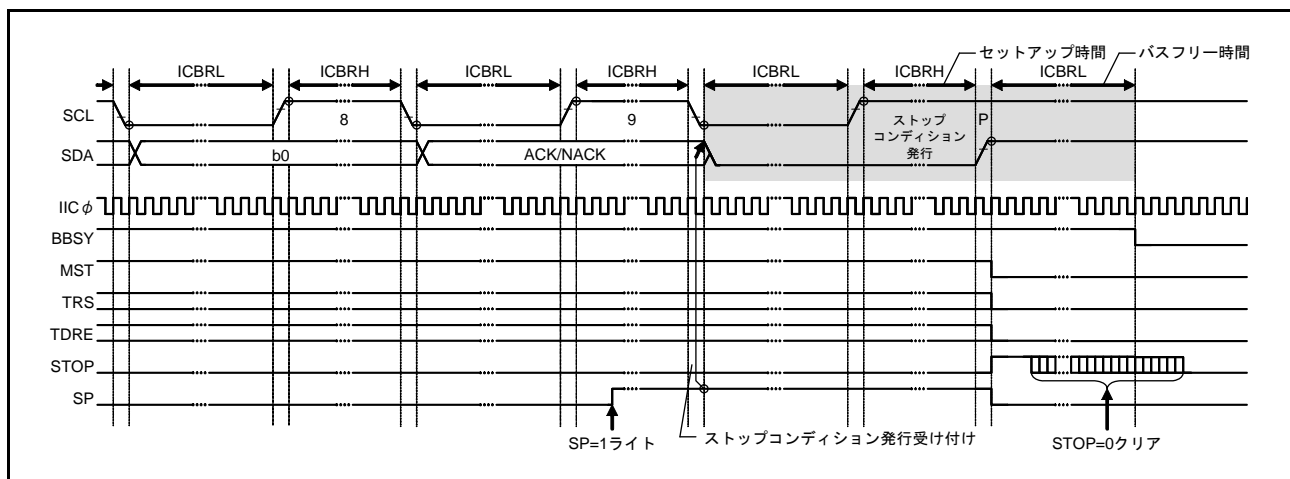


図 30.38 ストップコンディション発行動作タイミング (SP ビット)

30.11 バスハングアップ

I²Cバスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLラインやSDAラインが固定されたままバスハングアップを起こす場合があります。

RIICは、このバスハングアップ状態に対しSCLラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ズレによるバスハングアップ状態を解除するためのSCLクロック追加出力機能およびRIIC/内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAIビットを確認することで、RIIC自身がSCLライン/SDAラインにLow出力しているか、あるいは通信デバイス側がLow出力しているかどうかを確認することが可能です。

30.11.1 タイムアウト検出機能

RIICにはSCLラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIICは、SCLラインがLowまたはHighに固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能はSCLラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCLラインに変化（立ち上がり/立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLラインに変化がないまま内部カウンタがオーバフローすると、RIICはタイムアウトを検出しバス異常状態を知らせることができます。

このタイムアウト検出機能はICFER.TMOEビットが“1”のとき有効で、以下の期間にSCLラインのLow固定またはHigh固定のバスハングアップを検出します。

- マスタモード (ICCR2.MSTビット=1) で、バスビジー (ICCR2.BBSYフラグ=1)
- スレーブモード (ICCR2.MSTビット=0) で、自スレーブアドレス一致 (ICSR1レジスタ≠00h) かつバスビジー (ICCR2.BBSYフラグ=1)
- スタートコンディション発行要求中 (ICCR2.STビット=1) で、バスフリー (ICCR2.BBSYフラグ=0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (ICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOSビット=0) 16ビットカウンタ、ショートモード選択時 (TMOSビット=1) 14ビットカウンタとなります。

また内部カウンタのカウント動作は、SCLラインがLow状態のときカウントさせるか、High状態のときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH, TMOLビットの設定により選択することが可能です。なおTMOH, TMOLビットの両方を“0”にした場合は、内部カウント動作を行いません。

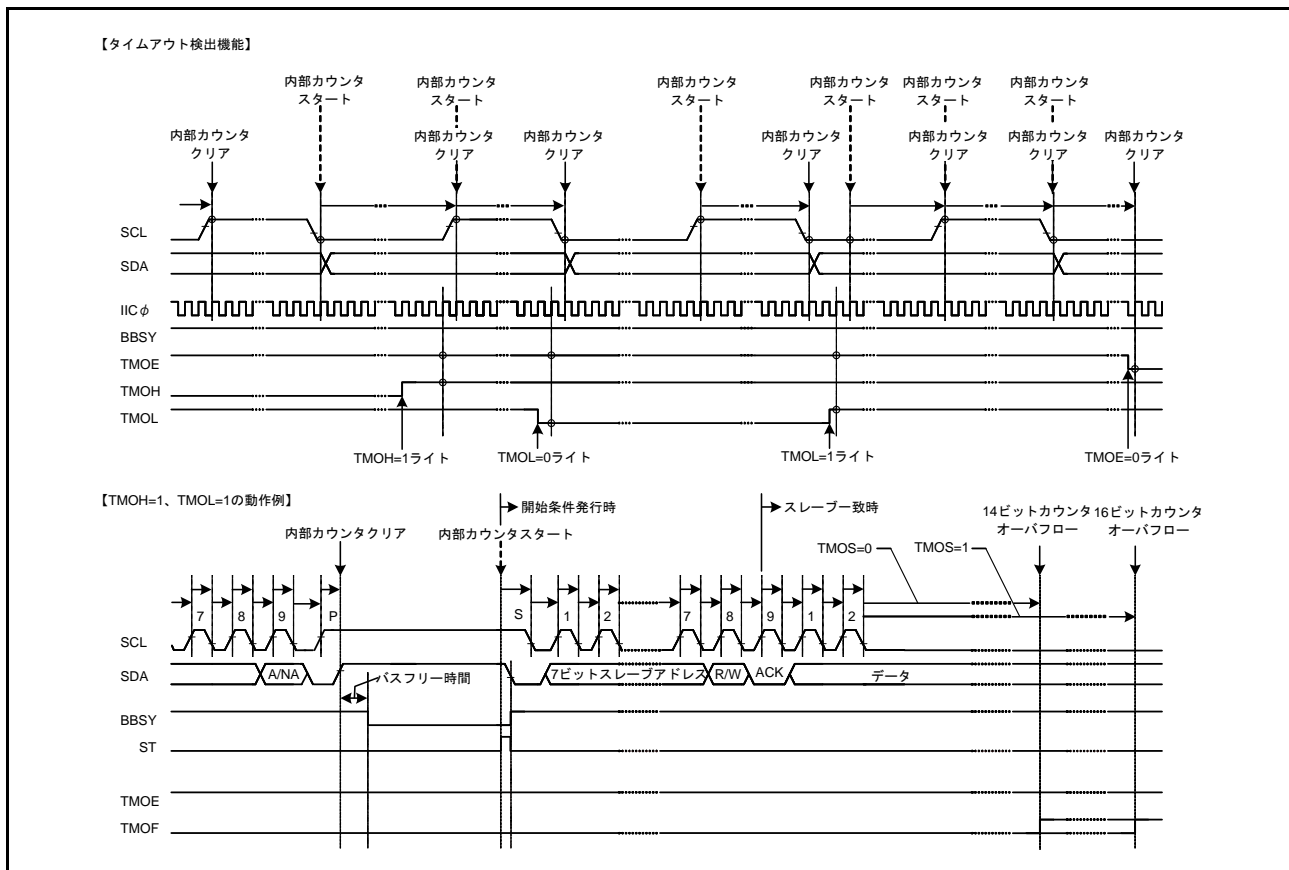


図 30.39 タイムアウト検出機能 (TMOE、TMOS、TMOH、TMOL ビット)

30.11.2 SCL クロック追加出力機能

RIICにはマスタモード時、スレーブデバイスとの同期ズレによるスレーブデバイスのSDAラインLow固定状態を開放するためのSCLクロック追加出力機能を備えています。

SCLクロック追加出力機能は、SCLクロックを1クロック単位で追加出力をする機能で、主にマスタモード時にスレーブデバイスがSDAラインをLow固定状態のままストップコンディションを発行できない場合に、スレーブデバイスのSDAライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCLクロック追加出力は、ICCR1.CLOビットを“1”にすると、ICMR1.CKS[2:0]ビット、ICBRH、ICBRLレジスタで設定された転送速度のSCLクロックが1クロック分追加クロックとして出力されます。1クロック分の追加クロック出力が終了するとCLOビットは自動的に“0”になります。そのためソフトウェアでCLOビットが“0”であることを確認後“1”を書くことにより、追加クロックを連続的に出力することができます。

RIICがマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ズレが原因でスレーブデバイスがSDAラインをLow固定状態のままストップコンディションを発行できないバス異常状態のとき、SCLクロック追加出力機能を使用して追加クロックを1クロックずつ出力することでスレーブデバイスのSDAラインのLow固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスのSDAライン開放はICCR1.SDAIビットをチェックすることで確認することができます。スレーブデバイスのSDAライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合はICFER.MALEビットを“0” (マスタアービトレーションロスト検出禁

止) にして使用してください。MALE ビットが“1” (マスタアービトレーションロスト検出許可) の場合、ICCR1.SDAO ビットの値と SDA ラインが不一致のときアービトレーションロストが発生しますので注意してください。

[ICCR1.CLO ビットの実出力条件]

- バスフリー状態 (ICCR2.BBSY フラグ =0) またはマスタモード (ICCR2.MST ビット =1、BBSY フラグ =1 の状態) のとき
- 通信デバイスが SCL ラインを Low ホールドにしていない状態のとき

図 30.40 に SCL クロック追加出力機能 (CLO ビット) を示します。

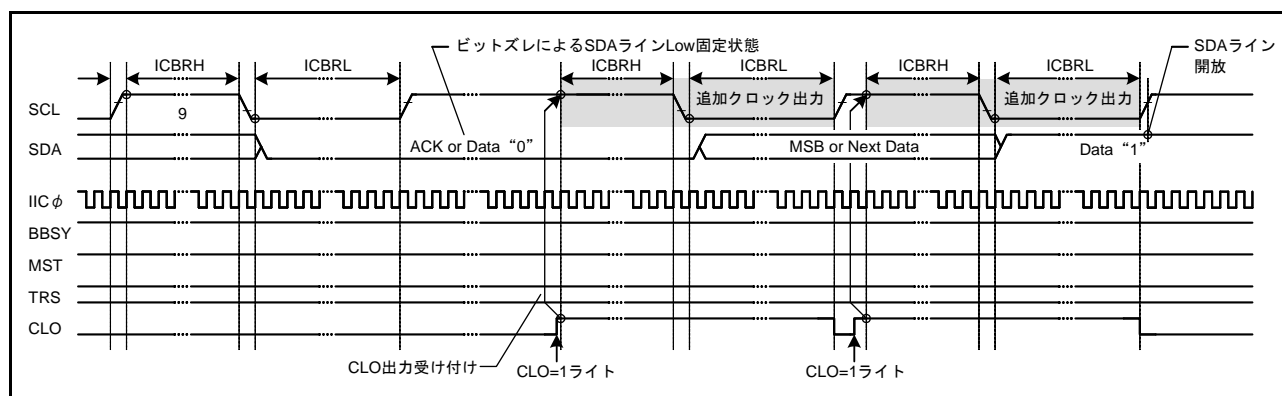


図 30.40 SCL クロック追加出力機能 (CLO ビット)

30.11.3 RIIC/ 内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを“0” にしてください。

いずれのリセットも SCL 端子 /SDA 端子の出力状態を解除しハイインピーダンスに戻すため、バスハンダアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット (ICCR1.ICE, IICRST ビット =01b) のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC/ 内部リセットの詳細については、「30.14 リセット状況」を参照してください。

30.12 SMBus 動作

RIICはSMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus通信を行うには、ICMR3.SMBS ビットを“1”にしてください。転送速度はSMBus規格の10kbps～100kbpsの範囲に収まるようICMR1.CKS[2:0] ビット、ICBRH、ICBRLレジスタを設定し、データホールド時間:300ns (min)の規格を守るようICMR2.DLCS ビットおよびICMR2.SDDL[2:0] ビットの値を決定してください。RIICをスレーブデバイスからの動作で使用する場合には、転送速度の設定は不要ですが、ICBRLはデータセットアップ時間 (250ns) 以上の値を設定してください。

なおSMBusデバイスデフォルトアドレス (1100 001b) はスレーブアドレスレジスタL0～L2 (SARL0、SARL1、SARL2) のいずれか1本を使用し、該当するSARUy.FS ビット (y=0～2) (7ビット/10ビットアドレスフォーマット選択ビット) を“0” (7ビットアドレスフォーマット) を選択してください。

また、UDID (ユニークデバイスアイデンティファイ) 送信時には、ICFER.SALE ビットを“1”にしてスレーブアービトラクションロスト検出機能を有効にしてください。

30.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus通信では、スレーブデバイスは以下に示す区間 (タイムアウト間隔: $T_{LOW:SEXT}$) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIICのスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI) を利用してスタートコンディション検出からストップコンディション検出までの時間をMTUまたはTMRタイマを使用してその区間を計測することで行います。このタイムアウト測定時間はSMBus規格のクロックLowの累積時間 [スレーブデバイス] $T_{LOW:SEXT}$: 25ms (max) 以内である必要があります。

MTUまたはTMRで計測した時間が、SMBus規格のクロックLow検出のタイムアウト $T_{TIMEOUT}: 25ms$ (min) を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うにはICCR1.IICRST ビットに“1”を書き、RIICの内部リセットを行ってください。内部リセットを行うとRIICはSCL端子/SDA端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus通信のマスタデバイスは以下に示す区間 (タイムアウト間隔: $T_{LOW:MEXT}$) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIICのスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI)、および送信終了割り込み (TEI) または受信データフル割り込み (RXI) を利用して、それぞれの区間をMTUまたはTMRタイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間はSMBus規格のクロックLowの累積時間 [マスタデバイス] $T_{LOW:MEXT}: 10ms$ (max) 以内である必要があります。スタートコンディションからストップコンディションまでのすべての $T_{LOW:MEXT}$ を加算した結果が $T_{LOW:SEXT}: 25ms$ (max) 以内である必要があります。

ACK 受信タイミング (SMBCLK の 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで見する必要があります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SMBCLK の 9 クロック目の立ち上がりで “1” になります。

MTU または TMR で計測した時間が、SMBus 規格のクロック Low の累積時間 [マスタデバイス]
 TLOW : MEXT : 10ms (max) または各計測時間の加算した結果が、SMBus 規格のクロック Low 検出のタイムアウト T_{TIMEOUT} : 25ms (min) を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDRT レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

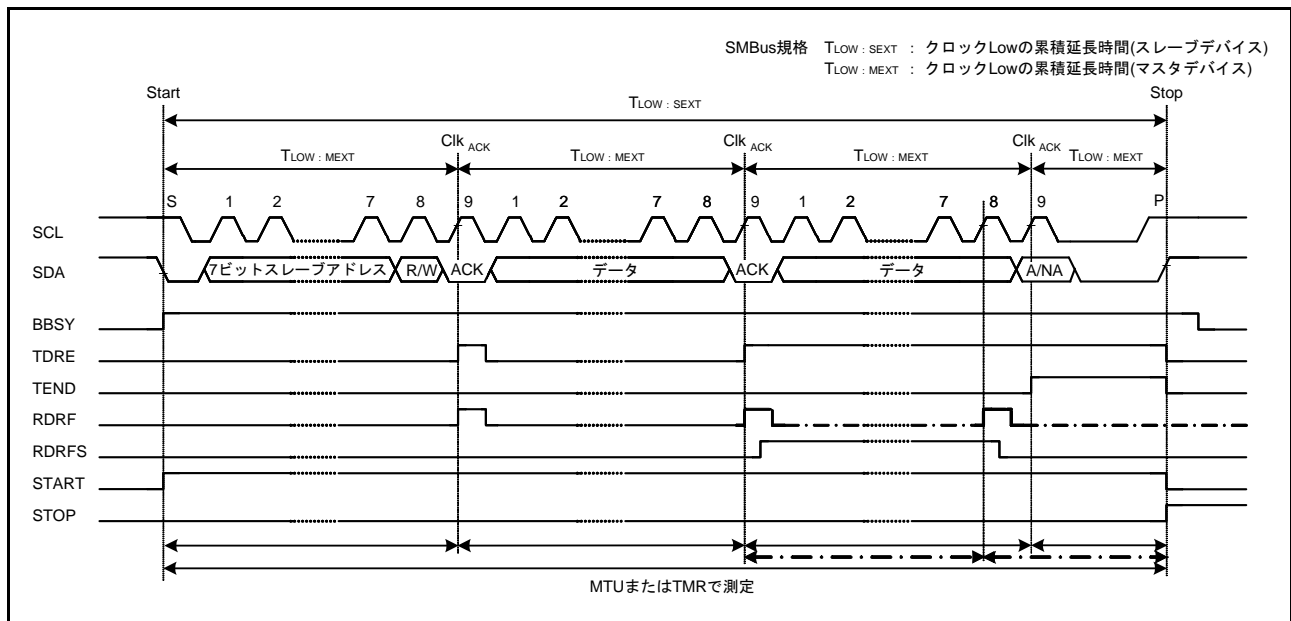


図 30.41 SMBus タイムアウト測定

30.12.2 パケットエラーコード (PEC)

RX210 グループは CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「32. CRC 演算器 (CRC)」を参照してください。

マスタ送信 (マスタトランスミッタ) の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信 (マスタレシーブ) の PEC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致 / 不一致に応じて ACK/NACK 送出を行う場合には、最終バイト受信の SMBCLK の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを “1” にし、8 クロック目の立ち下がり SCL ラインを Low にホールドしてください。

30.12.3 SMBus ホスト通知プロトコル /Notify ARP master

SMBus ではスレーブデバイスが SMBus ホスト (または ARP マスタ) に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知 (または要求) することができます。

RX210 グループを SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを “1”、ICSER.HOAE ビットを “1” にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

30.13 割り込み要因

RIICの割り込み要因には、通信エラー/イベント発生（アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信データフル、送信データエンプティ、送信終了の4種類があります。

表 30.7 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

表 30.7 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位	割り込み条件
EEI	通信エラー/ イベント発生	AL	不可能	不可能	↑ 高	AL=1 かつ ALIE=1
		NACKF				NACKF=1 かつ NAKIE=1
		TMOF				TMOF=1 かつ TMOIE=1
		START				START=1 かつ STIE=1
		STOP				STOP=1 かつ SPIE=1
RXI	受信データフル	—	可能	可能	↑	RDRF=1 かつ RIE=1
TXI	送信データ エンプティ	—	可能	可能		TDRE=1 かつ TIE=1
TEI	送信終了	TEND	不可能	不可能		低

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

【割り込み処理上の注意】

1. CPU から周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、レイテンシがあります。割り込みフラグをクリアまたはマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。
2. TXI 割り込みはエッジ割り込みのためクリアの必要はありません。また TXI 割り込みの条件となる ICSR2.TDRE フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ =1) で自動的に“0”になります。
3. RXI 割り込みはエッジ割り込みのためクリアの必要はありません。また RXI 割り込みの条件となる ICSR2.RDRF フラグは、ICDRR レジスタの読み出しで自動的に“0”になります。
4. TEI 割り込みを使用する場合、TEI 割り込み処理の中で ICSR2.TEND フラグをクリアしてください。なお ICSR2.TEND フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ =1) で自動的に“0”になります。

30.13.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、ICU.IRn.IR フラグが“1”のときに割り込み発生条件となっても、ICU に対して割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

ICU.IRn.IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアします。

また、内部で保持している割り込み要求は、対応する周辺側の割り込みイネーブルビットを“0”にすることでクリアが可能です。

30.14 リセット状況

RIICはチップリセット、RIICリセットおよび内部リセットのリセット機能を持っています。表30.8に各リセットのリセット範囲およびリセット状況を示します。

表30.8 リセット状況

		チップリセット	RIICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディション 条件検出	
ICCR1	ICE、 IICRST	リセット	保持	保持	動作 (保持)	動作 (保持)	
	SCLO、 SDAO		リセット	リセット			
	それ以外			保持			
ICCR2	BBSY	リセット	リセット	動作	動作	動作	
	ST			リセット	リセット	動作 (保持)	
	それ以外					リセット	
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	動作 (保持)	
	それ以外			保持	動作 (保持)		
ICMR2		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICMR3		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICFER		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICSER		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICIER		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICSR1		リセット	リセット	リセット	動作 (保持)	リセット	
ICSR2	TDRE、 TEND	リセット	リセット	リセット	動作 (保持)	リセット	
	START				動作		
	STOP				動作 (保持)		動作
	それ以外						動作 (保持)
SARL0、1、2 SARU0、1、2		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICBRH、ICBRL		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICDRT		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICDRR		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICDRS		リセット	リセット	リセット	動作 (保持)	動作 (保持)	
タイムアウト検出機能		リセット	リセット	動作	動作	動作	
バスフリー時間計測		リセット	リセット	動作	動作	動作	

30.15 イベントリンク出力機能

RIIC0はイベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。

(1) 通信エラー/イベント発生出力

通信エラー/イベント発生すると、ELCを介して他のモジュールにイベント信号として出力します。

(2) 受信データフル出力

受信データフルになると、ELCを介して他のモジュールにイベント信号として出力します。

(3) 送信データエンプティ出力

送信データエンプティになると、ELCを介して他のモジュールにイベント信号として出力します。

(4) 送信終了出力

送信終了すると、ELCを介して他のモジュールにイベント信号として出力します。

30.15.1 割り込み処理とイベントリンクの関係

RIICの割り込みには、通信エラー/イベント発生（アービトレーションロスト検出、NACK検出、タイムアウト検出、開始条件検出、停止条件検出）、受信データフル、送信データエンプティ、送信終了の4種類があり、それぞれに割り込み許可/禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合にCPUに対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELCを介して他のモジュールにイベント信号として出力します。

割り込み要因については、表 30.7を参照してください。

30.16 使用上の注意事項

30.16.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、モジュールストップ状態への遷移 / 解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、「11. 消費電力低減機能」を参照してください。

30.16.2 通信の開始に関する注意事項

通信開始 (ICCR1.ICE ビット = "1") 時点で ICU.IRn.IR フラグが "1" のときは、動作許可前に下記の手順で割り込み要求をクリアしてください。ICU.IRn.IR フラグが "1" で通信を開始 (ICCR1.ICE ビット = "1") すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

- (1) ICCR1.ICE ビットが "0" であることを確認
- (2) 対応する周辺側の割り込みイネーブルビット (ICIER.TIE など) を "0" にする
- (3) 対応する周辺側の割り込みイネーブルビット (ICIER.TIE など) を読み出し、"0" を確認
- (4) ICU.IRn.IR フラグを "0" にする

31. シリアルペリフェラルインタフェース (RSPI)

31.1 概要

RX210 グループは、独立した1チャンネルのシリアルペリフェラルインタフェース (RSPI) を内蔵しています。

RSPI は、全二重同期式のシリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 31.1 に RSPI の仕様を、図 31.1 に RSPI のブロック図を示します。

なお、本章では、端子名および信号名で使用している *i* は 0 ~ 3 と規定しています。また、RSPI コマンドレジスタ *m* (SPCMD*m*) で使用している *m* は、0 ~ 7 と規定しています。

表31.1 RSPIの仕様

項目	内容
チャンネル数	1チャンネル
RSPI転送機能	<ul style="list-style-type: none"> • MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) / クロック同期式動作 (3線式) でシリアル通信が可能 • 送信のみの動作が可能 • マスタ/スレーブモードでのシリアル通信が可能 • シリアル転送クロックの極性を変更可能 • シリアル転送クロックの位相を変更可能
データフォーマット	<ul style="list-style-type: none"> • MSBファースト/LSBファーストの切り替え可能 • 転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32ビットに変更可能 • 送信/受信バッファは128ビット • 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット)
ビットレート	<ul style="list-style-type: none"> • マスタモード時、内蔵ボーレートジェネレータでPCLKを分周してRSPCKを生成 (最大分周比は4096分周) • スレーブモード時、外部入力クロックをシリアルクロックとして使用 (最大周波数はPCLKの8分周) High幅: PCLKの4サイクル、Low幅: PCLKの4サイクル
バッファ構成	送信/受信バッファ構成はダブルバッファ
エラー検出	<ul style="list-style-type: none"> • モードフォルトエラー検出 • オーバランエラー検出 • パリティエラー検出
SSL制御機能	<ul style="list-style-type: none"> • 1チャンネルあたり4本のSSL信号 (SSLA0 ~ SSLA3) • シングルマスタ設定時には、SSLA0 ~ SSLA3信号を出力 • マルチマスタ設定時: SSLA0信号は入力、SSLA1 ~ SSLA3信号は出力または未使用 • スレーブ設定時: SSLA0信号は入力、SSLA1 ~ SSLA3信号は未使用 • SSL出力のアサートからRSPCK動作までの遅延 (RSPCK遅延) を設定可能 設定範囲: 1 ~ 8 RSPCK 設定単位: 1 RSPCK • RSPCK停止からSSL出力のネゲートまでの遅延 (SSLネゲート遅延) を設定可能 設定範囲: 1 ~ 8 RSPCK 設定単位: 1 RSPCK • 次アクセスのSSL出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲: 1 ~ 8 RSPCK 設定単位: 1 RSPCK • SSL極性変更機能
マスタ転送時の制御方式	<ul style="list-style-type: none"> • 最大8コマンドで構成された転送をシーケンシャルにループ実行可能 • 各コマンドに以下の項目を設定可能 SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延 • 送信バッファへのライトで転送を起動可能 • SSLネゲート時のMOSI信号値を設定可能
割り込み要因	<ul style="list-style-type: none"> • マスカブルな割り込み要因 RSPI受信割り込み (受信バッファフル) RSPI送信割り込み (送信バッファエンプティ) RSPIエラー割り込み (モードフォルト、オーバラン、パリティエラー) RSPIアイドル割り込み (RSPIアイドル)

表31.1 RSPIの仕様

項目	内容
イベントリンク機能	5種類のイベントをイベントリンクコントローラへ出力可能 <ul style="list-style-type: none">• 受信バッファフルイベント出力• 送信バッファエンプティイベント出力• モードフォルト/オーバーラン/パリティエラーイベント出力• RSPI アイドルイベント出力• 送信完了イベント出力
その他の機能	<ul style="list-style-type: none">• CMOS/オープンドレイン出力切り替え機能• RSPI初期化機能• ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能

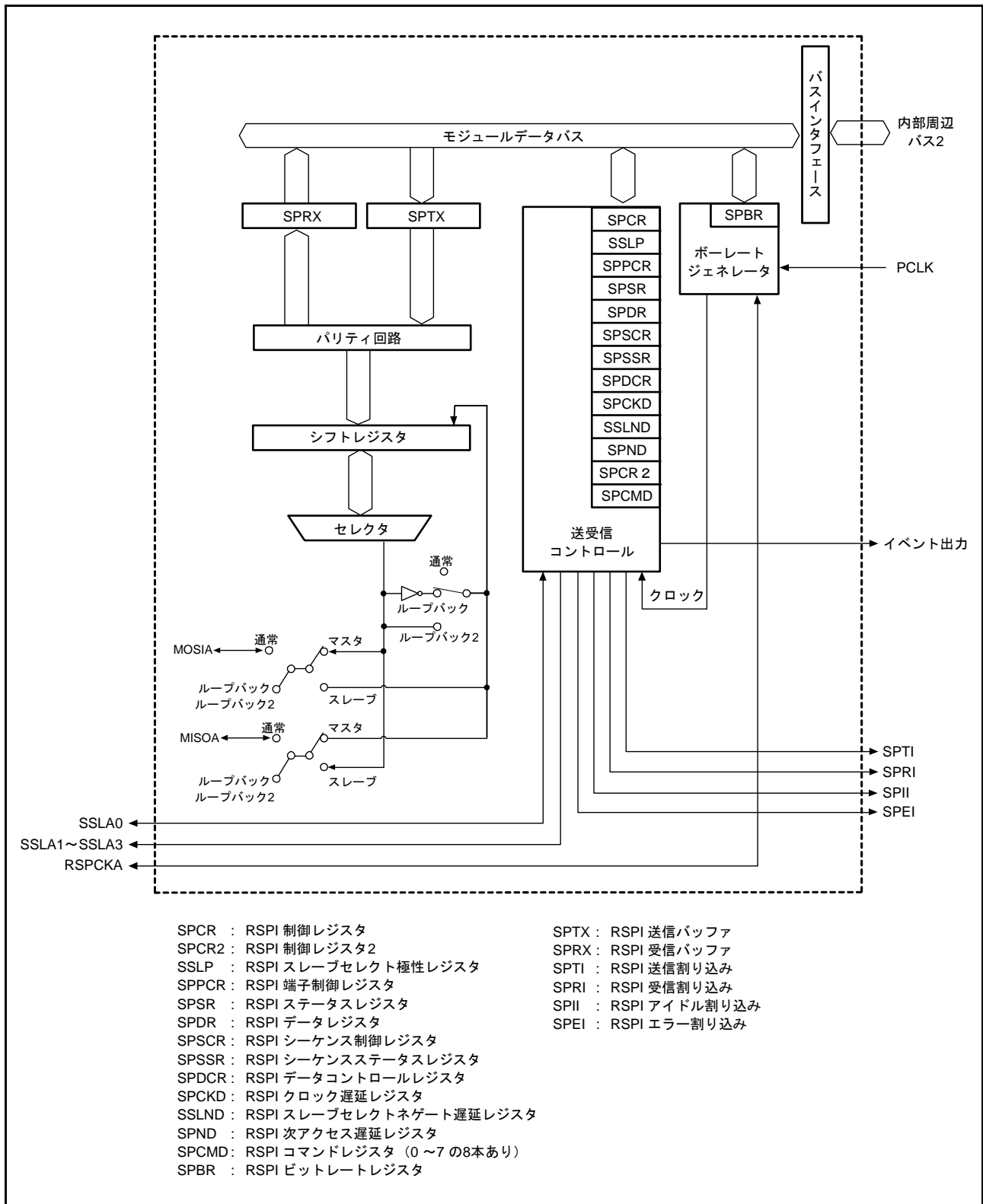


図 31.1 RSPI のブロック図

表 31.2 に RSPI で使用する入出力端子を示します。

SSLA0 端子の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKA、MOSIA、MISOA 端子の入出力方向は、マスタ/スレーブ設定と SSLA0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「31.3.2 RSPI 端子の制御」を参照してください。

表 31.2 RSPIの入出力端子

チャンネル	端子名	入出力	機能
RSPI0	RSPCKA	入出力	クロック入出力端子
	MOSIA	入出力	マスタ送出データ入出力端子
	MISOA	入出力	スレーブ送出データ入出力端子
	SSLA0	入出力	スレーブセレクト入出力端子
	SSLA1	出力	スレーブセレクト出力端子
	SSLA2	出力	スレーブセレクト出力端子
	SSLA3	出力	スレーブセレクト出力端子

31.2 レジスタの説明

31.2.1 RSPI 制御レジスタ (SPCR)

アドレス RSPI0.SPCR 0008 8380h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット	0: SPI動作 (4線式) 1: クロック同期式動作 (3線式)	R/W
b1	TXMD	通信動作モード選択ビット	0: 全二重同期式シリアル通信 1: 送信動作のみのシリアル通信	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	RSPIマスタ/スレーブモード選択ビット	0: スレーブモード 1: マスタモード	R/W
b4	SPEIE	RSPIエラー割り込み許可ビット	0: RSPIエラー割り込み要求の発生を禁止 1: RSPIエラー割り込み要求の発生を許可	R/W
b5	SPTIE	RSPI送信割り込み許可ビット	0: RSPI送信割り込み要求の発生を禁止 1: RSPI送信割り込み要求の発生を許可	R/W
b6	SPE	RSPI機能許可ビット	0: RSPI機能は無効 1: RSPI機能は有効	R/W
b7	SPRIE	RSPI受信割り込み許可ビット	0: RSPI受信割り込み要求の発生を禁止 1: RSPI受信割り込み要求の発生を許可	R/W

SPCR.SPE ビットが“1”の状態において、SPCR.MSTR ビット、SPCR.MODFEN ビット、SPCR.TXMD ビットの設定値を変更した場合は、以降の動作は保証されません。

SPMS ビット (RSPI モード選択ビット)

SPI 動作 (4線式) / クロック同期式動作 (3線式) を選択するためのビットです。

クロック同期式動作を行う場合は SSLA0 ~ 3 端子を使用せず、RSPCKA 端子、MOSIA 端子、MISOA 端子の3端子を用いて通信を行います。また、マスタモード時 (SPCR.MSTR=1) でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを“0”、“1”どちらにも設定できます。スレーブモード時 (SPCR.MSTR=0) でクロック同期式動作を行う場合は CPHA ビットを“1”に設定してください。スレーブモード時 (SPCR.MSTR=0) でクロック同期式動作を行う場合に、CPHA ビットを“0”に設定した場合の動作は保証されません。

TXMD ビット (送信動作モード選択ビット)

全二重同期式のシリアル通信、送信のみの動作を選択するためのビットです。

TXMD ビットを“1”にして、通信を行う場合は、送信動作のみを行い、受信動作を行いません (「31.3.6 通信動作モード」参照)。

また、TXMD ビットを“1”に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可/禁止するためのビットです (「31.3.8 エラー検出」を参照)。また、RSPI は MODFEN ビットと MSTR ビットとの組み合わせに従って、SSLA0 ~ 3 端子の入出力方向を決定します (「31.3.2 RSPI 端子の制御」を参照)。

MSTR ビット (RSPI マスタ/スレーブモード選択ビット)

RSPI のマスタ/スレーブモードを選択するためのビットです。また、RSPI は MSTR ビットの設定に従って、RSPCKA、MOSIA、MISOA、SSLA0 ~ 3 端子の方向を決定します。

SPEIE ビット (RSPI エラー割り込み許可ビット)

RSPI がモードフォルトエラーを検出して SPSR.MODF フラグを“1”にした場合、RSPI がオーバランエラーを検出して SPSR.OVRF フラグを“1”にした場合、またはパリティエラーを検出して SPSR.PERF フラグを“1”にした場合の RSPI エラー割り込み要求の発生を許可/禁止します。詳細については、「31.3.8 エラー検出」を参照してください。

SPE ビット (RSPI 機能許可ビット)

RSPI 機能の有効/無効を選択します。

SPSR.MODF ビットが“1”の場合には、SPE ビットを“1”にすることはできません。詳細は「31.3.8 エラー検出」を参照してください。

SPE ビットを“0”にすると、RSPI 機能が無効化され、モジュール機能の一部が初期化されます。詳細は「31.3.9 RSPI の初期化」を参照してください。また、SPE ビットを“0”の状態から“1”または“1”の状態から“0”になることで RSPI 送信割り込み要求が発生します。

31.2.2 RSPI スレーブセレクト極性レジスタ (SSLP)

アドレス RSPI0.SSLP 0008 8381h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0 : SSL0信号はアクティブLow 1 : SSL0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定ビット	0 : SSL1信号はアクティブLow 1 : SSL1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定ビット	0 : SSL2信号はアクティブLow 1 : SSL2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定ビット	0 : SSL3信号はアクティブLow 1 : SSL3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SSLP レジスタを書き換えた場合には、以降の動作は保証されません。

31.2.3 RSPI 端子制御レジスタ (SPPCR)

アドレス RSPI0.SPPCR 0008 8382h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0 : 通常モード 1 : ループバックモード (送信データの反転=受信データ)	R/W
b1	SPLP2	RSPIループバック2ビット	0 : 通常モード 1 : ループバックモード (送信データ=受信データ)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0 : MOSIアイドル時のMOSIA端子の出力値はLow 1 : MOSIアイドル時のMOSIA端子の出力値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0 : MOSI出力値は前回転送の最終データ 1 : MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SPPCR レジスタを書き換えた場合には、以降の動作は保証されません。

SPLP ビット (RSPI ループバックビット)

RSPI の端子モードを選択します。

SPLP ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、スレーブ動作の場合、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路 (反転) を接続します。(ループバックモード)

SPLP2 ビット (RSPI ループバック 2 ビット)

RSPI の端子モードを選択します。

SPLP2 ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、スレーブ動作の場合、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。(ループバックモード)

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードで MOIFE ビットが“1”の場合、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSIA 端子の出力値を選択します。

MOIFE ビット (MOSI アイドル値固定許可ビット)

マスタモードの RSPI が、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) に MOSIA 出力値を固定するために使用するビットです。MOIFE が“0”の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIA に出力します。MOIFE が“1”の場合には、RSPI は MOIFV ビットに設定された固定値を MOSIA に出力します。

31.2.4 RSPI ステータスレジスタ (SPSR)

アドレス RSPI0.SPSR 0008 8383h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PERF	MODF	IDLNF	OVRF
リセット後の値	x	0	x	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0 : オーバランエラーなし 1 : オーバランエラー発生	R/(W) (注1)
b1	IDLNF	RSPIアイドルフラグ	0 : RSPIがアイドル状態 1 : RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0 : モードフォルトエラーなし 1 : モードフォルトエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0 : パリティエラーなし 1 : パリティエラー発生	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	—	予約ビット	読むと不定値が読めます。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	—	予約ビット	読むと不定値が読めます。書く場合、“1”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

SPSR レジスタは、RSPI の動作状態を示すフラグを格納するレジスタです。SPSR レジスタへの書き込みは、一定条件下においてのみ有効です。

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。

["1" になる条件]

- SPCR.TXMD ビットが“0”、かつ受信バッファフル状態でシリアル転送が終了したとき

["0" になる条件]

- OVRF フラグが“1”になったときの SPSR レジスタを読んだ後、OVRF フラグに“0”を書いたとき

IDLNF フラグ (RSPI アイドルフラグ)

RSPI の転送状況を示します。

["1" になる条件]

【マスタモード】

- 下記「“0” になる条件」のマスタモード時の (条件 1) が満たされなく、かつ (条件 2) が満たされないとき

【スレーブモード】

- SPCR.SPE ビットが “1” (RSPI 機能が有効) のとき

["0" になる条件]

【マスタモード】

- 下記 1. が満たされたとき (条件 1)、または下記 2. ~ 4. がすべて満たされたとき (条件 2)

1. SPCR.SPE ビットが “0” (RSPI 初期化) のとき
2. 送信用バッファ (SPTX) が空 (次転送データがセットされていない) のとき
3. SPSSR.SPCP[2:0] ビットが “000b” (シーケンス制御の先頭) であるとき
4. RSPI 内部シーケンサがアイドル状態へ遷移したとき (次アクセス遅延までが動作完了された状態)

【スレーブモード】

- SPCR.SPE ビットが “0” (RSPI 初期化) のとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーの発生を示します。

["1" になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが “1” (マスタモード)、SPCR.MODFEN ビットが “1” (モードフォルトエラー検出を許可) の状態で、SSLAi 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが “0” (スレーブモード)、SPCR.MODFEN ビットが “1” (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLAi 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき

なお、SSLAi 信号のアクティブレベルは、SSLP.SSLiP ビット (SSL 信号極性設定ビット) によって決定されます。

["0" になる条件]

- MODF フラグが “1” の状態の SPSR レジスタを読んだ後、MODF フラグに “0” を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

["1" になる条件]

- SPCR.TXMD ビットが “0”、SPCR2.SPPE ビットが “1” の状態でシリアル転送が終了し、パリティエラーが検出されたとき

["0" になる条件]

- PERF フラグが “1” の状態の SPSR レジスタを読んだ後、PERF フラグに “0” を書いたとき

31.2.5 RSPI データレジスタ (SPDR)

アドレス RSPI0.SPDR 0008 8384h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24	SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SPDR レジスタは、RSPI 送受信用のデータを格納するバッファです。送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を図 31.2 に示します。

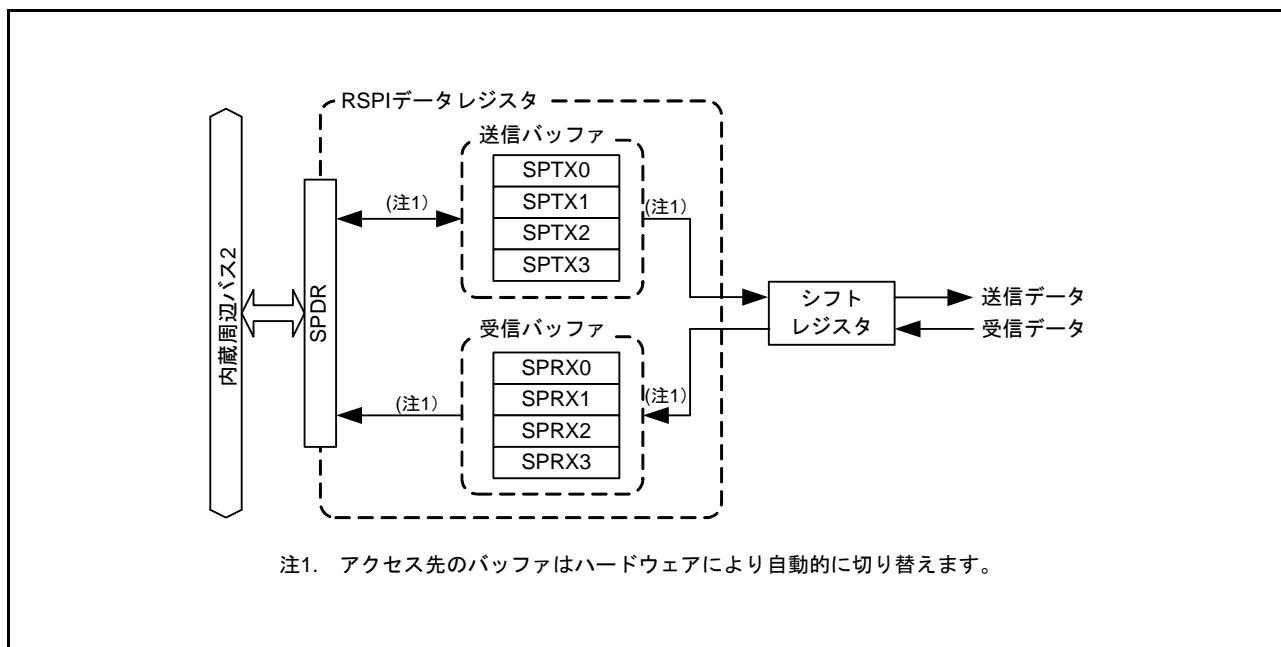


図 31.2 SPDR レジスタの構造図

送信バッファと受信バッファは、それぞれ 4 バッファあります。使用するバッファ数は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR レジスタには、これらの合計 8 バッファが 1 アドレスにマッピングされています。

送信バッファ (SPTX_n) は、SPDR レジスタへの書き込みによって送信バッファへ値を書くことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバラン発生時は、受信バッファの値を更新しません。

また、データ長が 32 ビット以外の場合、SPRX_n(n=0 ~ 3) の非参照ビットには、SPTX_n(n=0 ~ 3) の非参照ビットが格納されます。たとえば、データ長が 9 ビットの場合、SPRX_n[31:9] に SPTX_n[31:9] が格納されます (SPRX_n[8:0] には受信データが格納されます)。

(1) バスインタフェース

SPDR レジスタは、32 ビットの送信バッファと受信バッファをそれぞれ 4 バッファ分、合計 32 バイトあります。これらの 32 バイトを SPDR レジスタの 4 バイト空間にマッピングしています。また、SPDR レジスタへのアクセスサイズは、RSPI データコントロールレジスタの RSPI ロングワードアクセス/ワードアクセス設定ビット (SPDCR.SPLW) で設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

(a) 書き込み

SPDR レジスタに書き込むことによって、送信バッファ (SPTXn) に値を書くことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポイントがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

図 31.3 に送信バッファのバスインタフェース (ライト時) の構成図を示します。

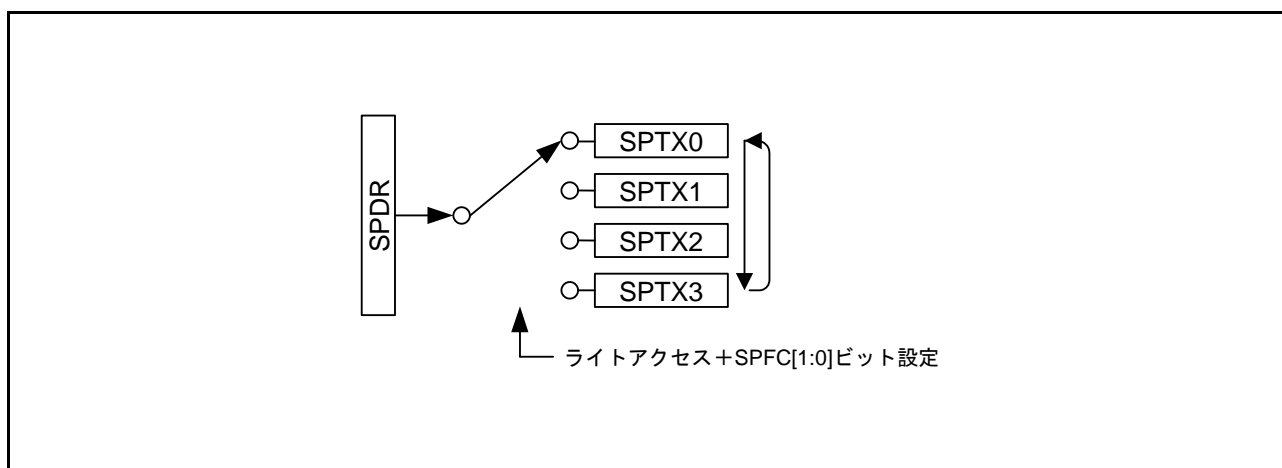


図 31.3 SPDR レジスタの構成図 (ライト時)

送信バッファライトポイントの切り替え順序は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 ~ 3 の切り替え順序

SPFC[1:0] ビットが “00b” のとき : SPTX0 → SPTX0 → SPTX0 → . . .

SPFC[1:0] ビットが “01b” のとき : SPTX0 → SPTX1 → SPTX0 → SPTX1 → . . .

SPFC[1:0] ビットが “10b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → . . .

SPFC[1:0] ビットが “11b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → . . .

RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTXn) への書き込みは、RSPI 送信割り込み発生後、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0]) で設定したフレーム数分の送信データを書き込んでください。次の RSPI 送信割り込み発生前に送信バッファ (SPTXn) に書き込みを行っても SPDR レジスタへのライトアクセスは破棄されます。

(b) 読み出し

SPDR レジスタを読み出すことによって、受信バッファ (SPRXn)、または送信バッファ (SPTXn) の値を読むことができます。RSPI データコントロールレジスタの RSPI 受信 / 送信データ選択ビット (SPDCR.SPRDTD) によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタへの読み出し構造には、2つの独立したポインタ (受信バッファリードポインタ、送信バッファリードポインタ) があります。SPDR レジスタの読み出しによって、ポインタが次のバッファに自動的に切り替わります。

図 31.4 に受信バッファと送信バッファのバスインタフェース (リード時) の構成図を示します。

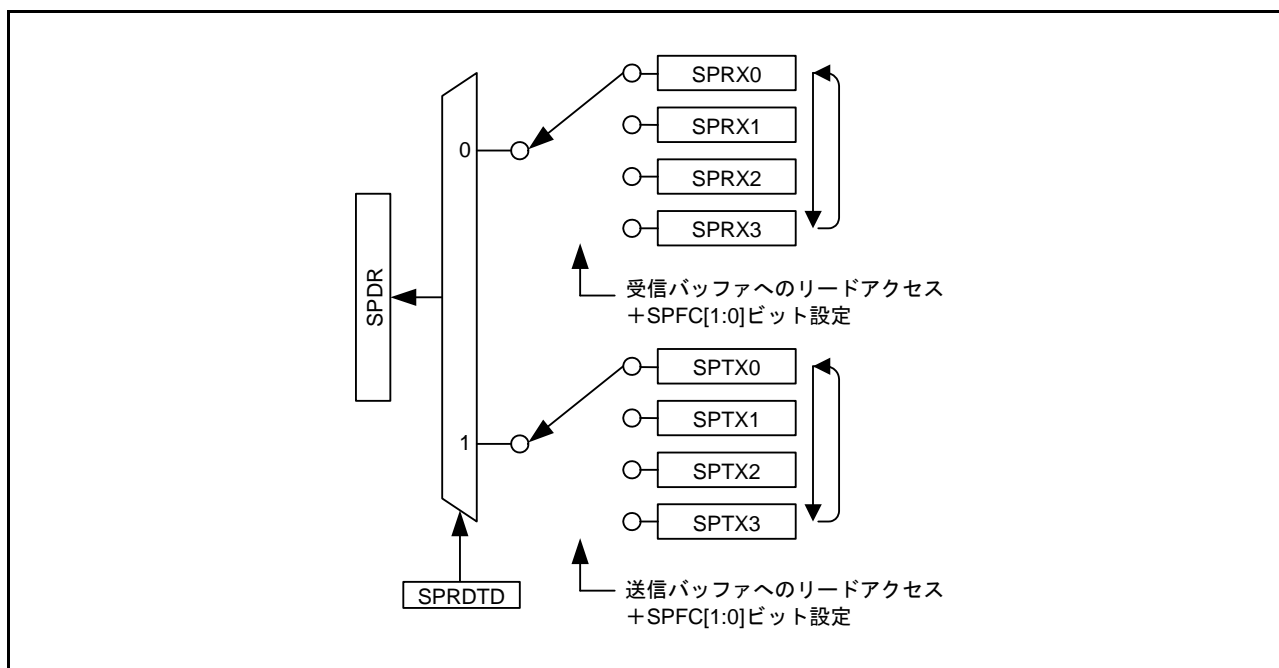


図 31.4 SPDR レジスタの構成図 (リード時)

受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。送信バッファを読み出すと、送信バッファに書いた直前の値が読めます。また、読み出し時、RSPI データコントロールレジスタの RSPI 受信 / 送信データ選択ビット (SPDCR.SPRDTD) で選択した読み出すバッファのバッファリードポインタのみが更新され、他のバッファリードポインタは状態を保持します。

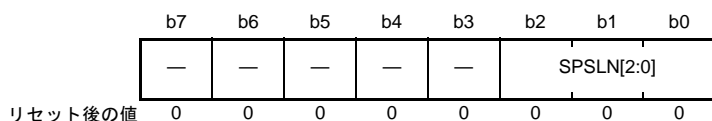
SPRXn のバッファリードポインタは、RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が“0”の状態で“1”を書くと、次の読み出し先は SPRX0 になります。

RSPI 送信割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分の送信データを書き込んだ後、次の RSPI 送信割り込み発生までの間、送信バッファを読み出すと、すべて“0”が読み出せます。

RSPI 送信割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分の送信データを書き込むと、SPTXn のバッファリードポインタはクリアされます。

31.2.6 RSPI シーケンス制御レジスタ (SPSCR)

アドレス RSPI0.SPSCR 0008 8388h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPSLN[2:0]	RSPIシーケンス長設定ビット	b2 b0 シーケンス長 参照するSPCMD0~7レジスタ (番号) 0 0 0 : 1 0→0→... 0 0 1 : 2 0→1→0→... 0 1 0 : 3 0→1→2→0→... 0 1 1 : 4 0→1→2→3→0→... 1 0 0 : 5 0→1→2→3→4→0→... 1 0 1 : 6 0→1→2→3→4→5→0→... 1 1 0 : 7 0→1→2→3→4→5→6→0→... 1 1 1 : 8 0→1→2→3→4→5→6→7→0→... 設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタと参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0~7レジスタの関係は上記のとおりです。 なお、スレーブモードのRSPIでは、常にSPCMD0レジスタが参照されます。	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPSCR レジスタは、RSPI がマスタ動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに“1”の状態において、SPSCR.SPSSLN[2:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”の状態書き換えてください。

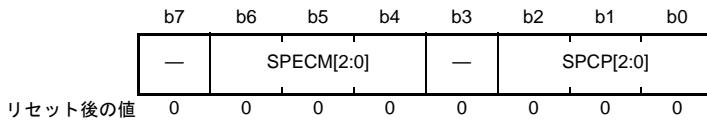
SPSLN[2:0] ビット (RSPI シーケンス長設定ビット)

マスタモードのRSPIがシーケンス動作する場合のシーケンス長を設定します。マスタモードのRSPIはSPSLN[2:0] ビットで設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタと参照順を変更します。

スレーブモードでは、常にSPCMD0レジスタが参照されます。

31.2.7 RSPI シーケンスステータスレジスタ (SPSSR)

アドレス RSPI0.SPSSR 0008 8389h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます	R

SPSSR レジスタは、RSPI がマスタ動作する場合のシーケンス制御の状態を示します。
SPSSR レジスタへの書き込みは無効です。

SPCP[2:0] ビット (RSPI コマンドポインタビット)

RSPI のシーケンス制御で、現在ポインタで指されている SPCMD_m レジスタを示します。
なお、RSPI のシーケンス制御については、「31.3.10.1 マスタモード動作」を参照してください。

SPECM[2:0] ビット (RSPI エラーコマンドビット)

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMD_m レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに“0”で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPI のエラー検出機能については、「31.3.8 エラー検出」を参照してください。また、RSPI のシーケンス制御については、「31.3.10.1 マスタモード動作」を参照してください。

31.2.8 RSPI ビットレートレジスタ (SPBR)

アドレス RSPI0.SPBR 0008 838Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
リセット後の値	1	1	1	1	1	1	1	1

SPBR レジスタは、マスタモード時のビットレート設定に使用します。SPCR.MSTR, SPE ビットがともに“1”の状態において、SPBR レジスタを書き換えた場合には、以降の動作は保証されません。

RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット (ビットレート分周設定ビット) の設定に関係なく、入力クロックのビットレートに依存します。(電気的特性を満足するビットレートを使用してください)

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値 (0、1、2、.....、255)、N は BRDV[1:0] ビットの設定値 (0、1、2、3) です。

$$\text{ビットレート} = \frac{f(\text{PCLK})}{2 \times (n + 1) 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 31.3 に示します。

表31.3 SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート (注1)

SPBR レジスタ の設定値 (n)	BRDV[1:0] ビット の設定値 (N)	分周比	ビットレート
			PCLK = 32MHz
0	0	2	16.0 Mbps (注1)
1	0	4	8.00 Mbps
2	0	6	5.33 Mbps
3	0	8	4.00 Mbps
4	0	10	3.20 Mbps
5	0	12	2.67 Mbps
5	1	24	1.33Mbps
5	2	48	667 kbps
5	3	96	333 kbps
255	3	4096	7.81 kbps

注1. ROM 容量が 768K バイト以上の製品、または、144/145 ピンパッケージの製品でのみ 16Mbps の設定が可能です。
それ以外の製品では 8Mbps 以下になるように設定してください。

31.2.9 RSPI データコントロールレジスタ (SPDCR)

アドレス RSPI0.SPDCR 0008 838Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	SPLW	SPRDT D	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0 : 1フレーム 0 1 : 2フレーム 1 0 : 3フレーム 1 1 : 4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SPRDTD	RSPI受信/送信データ選択ビット	0 : SPDRは受信バッファを読み出す 1 : SPDRは送信バッファを読み出す (ただし、送信バッファが空のとき)	R/W
b5	SPLW	RSPIロングワードアクセス/ ワードアクセス設定ビット	0 : SPDRレジスタへはワードアクセス 1 : SPDRレジスタへはロングワードアクセス	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCMDm.SPB[3:0] ビット、SPSCR.SPSSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから1回の送受信起動で最大4フレームを送受信できます。

SPCR.SPE ビットが“1”の状態において、SPDCR.SPFC[1:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”のときに書き換えてください。

SPFC[1:0] ビット (フレーム数設定ビット)

SPDR レジスタに格納できる (1回の転送起動) フレーム数を設定します。SPSCR.SPSSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により1回の送受信起動で最大4フレームを送受信できます。また、SPFC[1:0] ビットの設定により、RSPI受信割り込みが発生とRSPI送信割り込みが発生または送信開始するためのフレーム数も変更します。表 31.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定を行った場合、以後の動作は保証されません。

表31.4 SPSLN[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで転送するフレーム数	受信バッファフル割り込み発生、送信バッファにデータありになるフレーム数
1-1	000	00	1	1
1-2	000	01	2	2
1-3	000	10	3	3
1-4	000	11	4	4
2-1	001	01	2	2
2-2	001	11	4	4
3	010	10	3	3
4	011	11	4	4
5	100	00	5	1
6	101	00	6	1
7	110	00	7	1
8	111	00	8	1

SPRDTD ビット (RSPI 受信 / 送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、RSPI 送信割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前に行ってください。

詳細は、「31.2.5 RSPI データレジスタ (SPDR)」を参照してください。

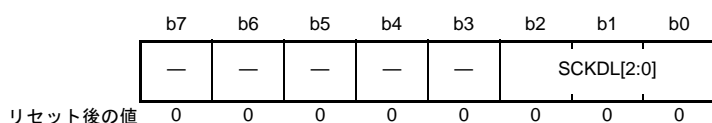
SPLW ビット (RSPI ロングワードアクセス / ワードアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが“0”のときはワードアクセス、SPLW ビットが“1”のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが“0”のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ~ 16 ビットに設定してください。20、24、32 ビットに設定した場合の動作は保証されません。

31.2.10 RSPI クロック遅延レジスタ (SPCKD)

アドレス RSPI0.SPCKD 0008 838Ch



ビット	シンボル	ビット名	説明	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCKD レジスタは、SPCMDm.SCKDEN ビットが“1”の状態における、SSLAi 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の状態において、SPCKD レジスタを書き換えた場合には、以降の動作は保証されません。

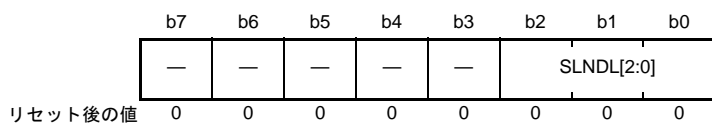
SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

SPCMDm.SCKDEN ビットが“1”の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを“000b”にしてください。

31.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

アドレス RSPI0.SSLND 0008 838Dh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定ビット	b2 b0 0 0 0: 1RSPCK 0 0 1: 2RSPCK 0 1 0: 3RSPCK 0 1 1: 4RSPCK 1 0 0: 5RSPCK 1 0 1: 6RSPCK 1 1 0: 7RSPCK 1 1 1: 8RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLNDレジスタは、マスタモードのRSPIがシリアル転送の最終RSPCKエッジを送出してからSSLAi信号をネゲートするまでの期間（SSLネゲート遅延）を設定するためのレジスタです。SPCR.MSTRビットと、SPCR.SPEビットが“1”の状態において、SSLNDレジスタを書き換えた場合には、以降の動作は保証されません。

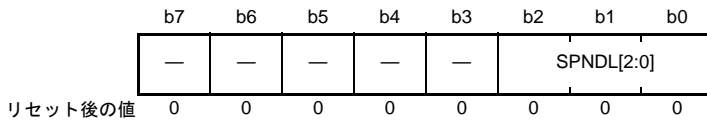
SLNDL[2:0] ビット (SSLネゲート遅延設定ビット)

マスタモードのRSPIのSSLネゲート遅延値を設定します。

RSPIをスレーブモードで使用する場合には、SLNDL[2:0]ビットを“000b”にしてください。

31.2.12 RSPI 次アクセス遅延レジスタ (SPND)

アドレス RSPI0.SPND 0008 838Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1RSPCK + 2PCLK 0 0 1 : 2RSPCK + 2PCLK 0 1 0 : 3RSPCK + 2PCLK 0 1 1 : 4RSPCK + 2PCLK 1 0 0 : 5RSPCK + 2PCLK 1 0 1 : 6RSPCK + 2PCLK 1 1 0 : 7RSPCK + 2PCLK 1 1 1 : 8RSPCK + 2PCLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが“1”の状態、シリアル転送終了後の SSLAi 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の状態において、SPND レジスタを書き換えた場合には、以降の動作は保証されません。

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが“1”の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを“000b”にしてください。

31.2.13 RSPI 制御レジスタ 2 (SPCR2)

アドレス RSPI0.SPCR2 0008 838Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット	0: 送信データパリティビットを付加しない 受信データのパリティチェックを行わない 1: 送信データにパリティビットを付加し、受信データのパリティチェックを行う (SPCR.TXMD=0のとき) 送信データにパリティビットを付加するが、受信データのパリティチェックは行わない (SPCR.TXMD=1のとき)	R/W
b1	SPOE	パリティモードビット	0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W
b2	SPIIE	RSPIアイドル割り込み許可ビット	0: アイドル割り込み要求の発生を禁止 1: アイドル割り込み要求の発生を許可	R/W
b3	PTE	パリティ自己診断ビット	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能が有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SPCR2 レジスタの SPPE、SPOE ビットの設定値を変更した場合には、以降の動作は保証されません。

SPPE ビット (パリティ許可ビット)

パリティ機能の有効、無効を選択するビットです。

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが“1”、SPCR2.SPPE ビットが“1”の場合、送信データにパリティビットを付加しますが、受信データのパリティチェックを行いません。

SPOE ビット (パリティモードビット)

偶数パリティ / 奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが“1”のときのみ有効です。

SPIIE ビット (RSPI アイドル割り込み許可ビット)

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが“0”になった場合に、RSPI アイドル割り込み要求の発生を許可 / 禁止します。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

31.2.14 RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)

アドレス RSPI0.SPCMD0 0008 8390h, RSPI0.SPCMD1 0008 8392h, RSPI0.SPCMD2 0008 8394h,
RSPI0.SPCMD3 0008 8396h, RSPI0.SPCMD4 0008 8398h, RSPI0.SPCMD5 0008 839Ah,
RSPI0.SPCMD6 0008 839Ch, RSPI0.SPCMD7 0008 839Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			SSLKP	SSLA[2:0]		BRDV[1:0]		CPOL	CPHA			
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0: 奇数エッジでデータサンプル、偶数エッジでデータ変化 1: 奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0: アイドル時のRSPCKがLow 1: アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0: ベースのビットレートを選択 0 1: ベースのビットレートの2分周を選択 1 0: ベースのビットレートの4分周を選択 1 1: ベースのビットレートの8分周を選択	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 1 x x: 設定しないでください x: Don't care	R/W
b7	SSLKP	SSL信号レベル保持ビット	0: 転送終了時に全SSL信号をネゲート 1: 転送終了後から次アクセス開始までSSL信号レベルを保持	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11 b8 0100 ~ 0111: 8ビット 1 0 0 0: 9ビット 1 0 0 1: 10ビット 1 0 1 0: 11ビット 1 0 1 1: 12ビット 1 1 0 0: 13ビット 1 1 0 1: 14ビット 1 1 1 0: 15ビット 1 1 1 1: 16ビット 0 0 0 0: 20ビット 0 0 0 1: 24ビット 0010、0011: 32ビット	R/W
b12	LSBF	RSPI LSB ファーストビット	0: MSB ファースト 1: LSB ファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延許可ビット	0: 次アクセス遅延は1RSPCK + 2PCLK 1: 次アクセス遅延はRSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0: SSLネゲート遅延は1RSPCK 1: SSLネゲート遅延はRSPIスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0: RSPCK遅延は1RSPCK 1: RSPCK遅延はRSPIクロック遅延レジスタ (SPCKD) の設定値	R/W

SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを設定します。1 チャンネルの RSPI には、RSPI コマンドレジスタが 8 本あります (SPCMD0 ~ SPCMD7 レジスタ)。また、SPCMD0 レジスタの一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は SPSCR.SPSSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の (次転送のデータがセットされていない) 状態でその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、SPCR.MSTR ビットが“0”、SPCR.SPE ビットが“1”の状態において、SPCMDm レジスタを書き換えた場合、以降の動作は保証されません。

CPHA ビット (RSPCK 位相設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 位相を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 極性を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するレジスタです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します (「31.2.8 RSPI ビットレートレジスタ (SPBR)」を参照)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし/2分周/4分周/8分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードの RSPI がシリアル転送する場合の SSLAi 信号のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSLAi 信号のアサートを制御します。SSLAi 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットを“000b”にした場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSLA0 端子は入力になるため)。

なお、RSPI をスレーブモードで使用する場合には、SSLA[2:0] ビットを“000b”にしてください。

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSLAi 信号レベルを保持するか、ネゲートするかを設定するビットです。

RSPI をスレーブモードで使用する場合には、SSLKP ビットを“0”にしてください。

SPB[3:0] ビット (RSPI データ長設定ビット)

マスタモード/スレーブモードの RSPI の転送データ長を設定します。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード/スレーブモードの RSPI のデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを選択します。

SPNDEN ビット (RSPI 次アクセス遅延許可ビット)

マスタモードの RSPI がシリアル転送を終了して SSLAi 信号を非アクティブにしてから、次アクセスの SSLAi 信号アサートが可能にするまでの期間 (次アクセス遅延) を設定します。SPNDEN ビットが“0”のとき、RSPI は次アクセス遅延を $1RSPCK+2PCLK$ にします。SPNDEN ビットが“1”のとき、RSPI は SPND レジスタの設定に従った次アクセス遅延を挿入します。

RSPI をスレーブモードで使用する場合には、SPNDEN ビットを“0”にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可ビット)

マスタモードの RSPI が、RSPCK を発振停止してから SSLAi 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定します。SLNDEN ビットが“0”のとき、RSPI は SSL ネゲート遅延を $1RSPCK$ にします。SLNDEN ビットが“1”のとき、RSPI は SSLND レジスタの設定に従った RSPCK 遅延で SSL をネゲートします。

RSPI をスレーブモードで使用する場合には、SLNDEN ビットを“0”にしてください。

SCKDEN ビット (RSPCK 遅延設定許可ビット)

マスタモードの RSPI が、SSLAi 信号をアクティブにしてから RSPCK を発振するまでの期間 (RSPCK 遅延) を設定します。SCKDEN ビットが“0”のとき、RSPI は RSPCK 遅延を $1RSPCK$ にします。SCKDEN ビットが“1”のとき、RSPI は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

RSPI をスレーブモードで使用する場合には、SCKDEN ビットを“0”にしてください。

31.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

31.3.1 RSPI 動作の概要

RSPI は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送ができます。RSPI のモードは、SPCR.MSTR, MODFEN, SPMS ビットによって設定できます。表 31.5 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表 31.5 RSPI のモードと SPCR レジスタの設定の関係および各モードの概要

モード	スレーブ (SPI動作)	シングルマスタ (SPI動作)	マルチマスタ (SPI動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
MSTRビットの設定	0	1	1	0	1
MODFENビットの設定	0 or 1	0	1	0	0
SPMSビットの設定	0	0	0	1	1
RSPCKA信号	入力	出力	出力/Hi-Z	入力	出力
MOSIA信号	入力	出力	出力/Hi-Z	入力	出力
MISOA信号	出力/Hi-Z	入力	入力	出力	入力
SSLA0信号	入力	出力	入力	Hi-Z (注1)	Hi-Z (注1)
SSLA1～SSLA3信号	Hi-Z (注1)	出力	出力/Hi-Z	Hi-Z (注1)	Hi-Z (注1)
SSL極性変更機能	あり	あり	あり	—	—
転送レート	～PCLK/8	～PCLK/2	～PCLK/2	～PCLK/8	～PCLK/2
クロックソース	RSPCK入力	内蔵ポーレート ジェネレータ	内蔵ポーレート ジェネレータ	RSPCK入力	内蔵ポーレート ジェネレータ
クロック極性	2種	2種	2種	2種	2種
クロック位相	2種	2種	2種	1種 (CPHA=1)	2種
先頭転送ビット	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB
転送データ長	8～32ビット	8～32ビット	8～32ビット	8～32ビット	8～32ビット
バースト転送	可能 (CPHA=1)	可能 (CPHA=0,1)	可能 (CPHA=0,1)	—	—
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL入力 アクティブ または RSPCK発振	送信バッファ エンプティ 割り込み要求で 送信バッファ書き込み	送信バッファ エンプティ 割り込み要求で 送信バッファ書き込み	RSPCK発振	送信バッファ エンプティ 割り込み要求で 送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ 検出	あり	あり	あり	あり	あり
受信バッファフル検出	あり (注2)	あり (注2)	あり (注2)	あり (注2)	あり (注2)
オーバランエラー検出	あり (注2)	あり (注2)	あり (注2)	あり (注2)	あり (注2)
パリティエラー検出	あり (注2) (注3)	あり (注2) (注3)	あり (注2) (注3)	あり (注2) (注3)	あり (注2) (注3)
モードフォルトエラー 検出	あり (MODFEN=1)	なし	あり	なし	なし

注1. 本モードでは使用しません。

注2. SPCR.TXMD ビットが“1”のときは、受信バッファフル検出、オーバランエラー検出、パリティエラー検出を行いません。

注3. SPCR2.SPPE ビットが“0”のときは、パリティエラー検出を行いません。

31.3.2 RSPI 端子の制御

RSPI は、SPCR.MSTR, MODFEN, SPMS ビットと I/O ポートの ODRn.Bi ビットの設定により、端子の状態を切り替えます。端子状態と各ビットの設定値の関係を表 31.6 に示します。I/O ポートの設定も同じとなるよう設定してください。

表31.6 RSPI端子の状態と制御ビット設定値の関係

モード	端子	端子状態 (注2)	
		I/OポートのODRn.Biビット=0	I/OポートのODRn.Biビット=1
シングルマスタ (SPI動作) (MSTR=1, MODFEN=0, SPMS=0)	RSPCKA	CMOS出力	オープンドレイン出力
	SSLA0~3	CMOS出力	オープンドレイン出力
	MOSIA	CMOS出力	オープンドレイン出力
	MISOA	入力	入力
マルチマスタ (SPI動作) (MSTR=1, MODFEN=1, SPMS=0)	RSPCKA (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	SSLA0	入力	入力
	SSLA1~3 (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	MOSIA (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	MISOA	入力	入力
スレーブ (SPI動作) (MSTR=0, SPMS=0)	RSPCKA	入力	入力
	SSLA0	入力	入力
	SSLA1~3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIA	入力	入力
	MISOA (注4)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
マスタ (クロック同期式動作) (MSTR=1, MODFEN=0, SPMS=1)	RSPCKA	CMOS出力	オープンドレイン出力
	SSLA0~3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIA	CMOS出力	オープンドレイン出力
	MISOA	入力	入力
スレーブ (クロック同期式動作) (MSTR=0, SPMS=1)	RSPCKA	入力	入力
	SSLA0~3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIA	入力	入力
	MISOA	CMOS出力	オープンドレイン出力

注1. 本モードでは使用しません。

注2. RSPI機能が選択されていないマルチファンクションピンには、RSPIの設定値は反映されません。

注3. SSLA0がアクティブレベルの場合、端子状態がHi-Zになります。

注4. SSLA0が非アクティブレベルまたはSPCR.SPEビットが“0”の場合、端子状態がHi-Zになります。

注5. I/Oポートとして使用できます。

シングルマスタモード (SPI動作)、マルチマスタモード (SPI動作) のRSPIは、SPPCR.MOIFE, MOIFV ビットの設定に従って、SSLネゲート期間 (バースト転送におけるSSL保持期間を含む) のMOSI信号値を表 31.7 のように決定します。

表31.7 SSLネゲート期間のMOSI信号値の決定方法

MOIFEビット	MOIFVビット	SSLネゲート期間のMOSIA信号値
0	0, 1	前回転送の最終データ
1	0	常にLow
1	1	常にHigh

31.3.3 RSPI システム構成例

31.3.3.1 シングルマスタ / シングルスレーブ (本 LSI = マスタ)

図 31.5 に、本 LSI をマスタとして使用した場合のシングルマスタ / シングルスレーブの RSPI システムの構成例を示します。シングルマスタ / シングルスレーブの構成では、本 LSI (マスタ) の SSLA0 ~ SSLA3 出力は使用しません。RSPI スレーブの SSL 入力 は Low に固定して、RSPI スレーブを常に選択できる状態にします。(注1)

本 LSI (マスタ) は、RSPCKA と MOSIA を常にドライブします。RSPI スレーブは、MISO を常にドライブします。

- 注 1. SPCMDm.CPHA ビットが“0”の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 LSI の SSLAi 出力をスレーブデバイスの SSL 入力に接続してください。

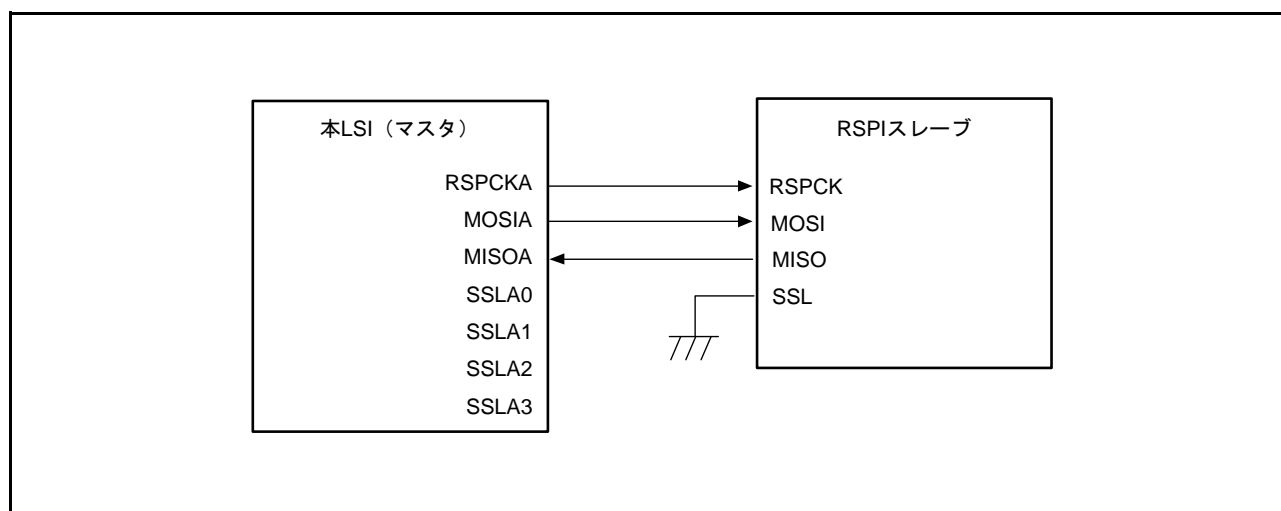


図 31.5 シングルマスタ / シングルスレーブの構成例 (本 LSI = マスタ)

31.3.3.2 シングルマスタ / シングルスレーブ (本 LSI = スレーブ)

図 31.6 に、本 LSI をスレーブとして使用した場合のシングルマスタ / シングルスレーブの RSPI システム構成例を示します。本 LSI をスレーブとして使用する場合には、SSLA0 端子を SSL 入力として使用します。RSPI マスタは、RSPCK と MOSI を常にドライブします。本 LSI (スレーブ) は、MISOA を常にドライブします。(注 1)

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合には、本 LSI (スレーブ) の SSLA0 入力を Low に固定して本 LSI (スレーブ) を常に選択できる状態とし、シリアル転送を実行することも可能です (図 31.7)。

注 1. SSLA0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

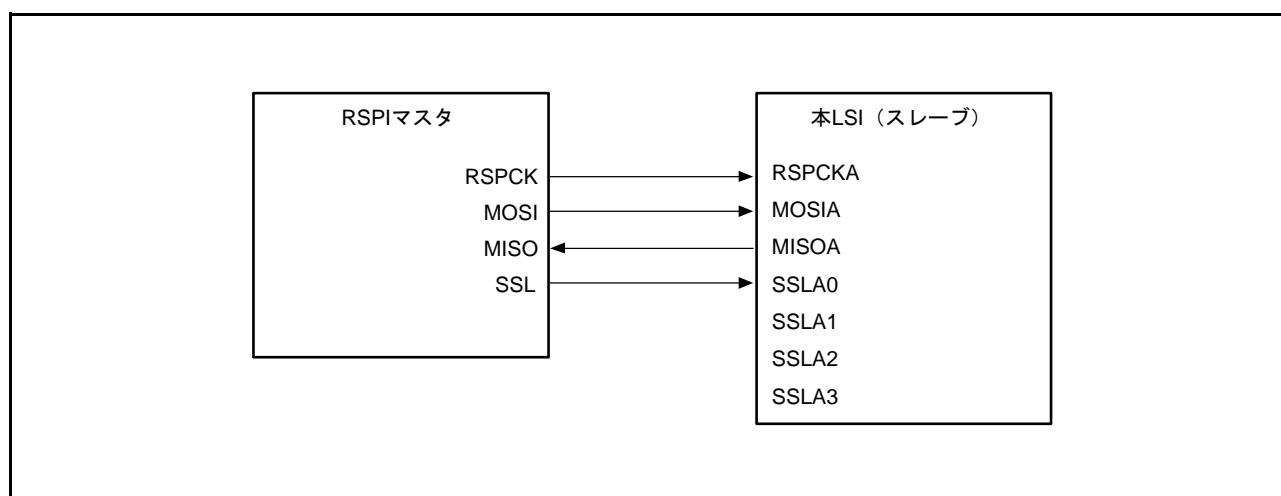


図 31.6 シングルマスタ / シングルスレーブの構成例 (本 LSI = スレーブ、CPHA = 0)

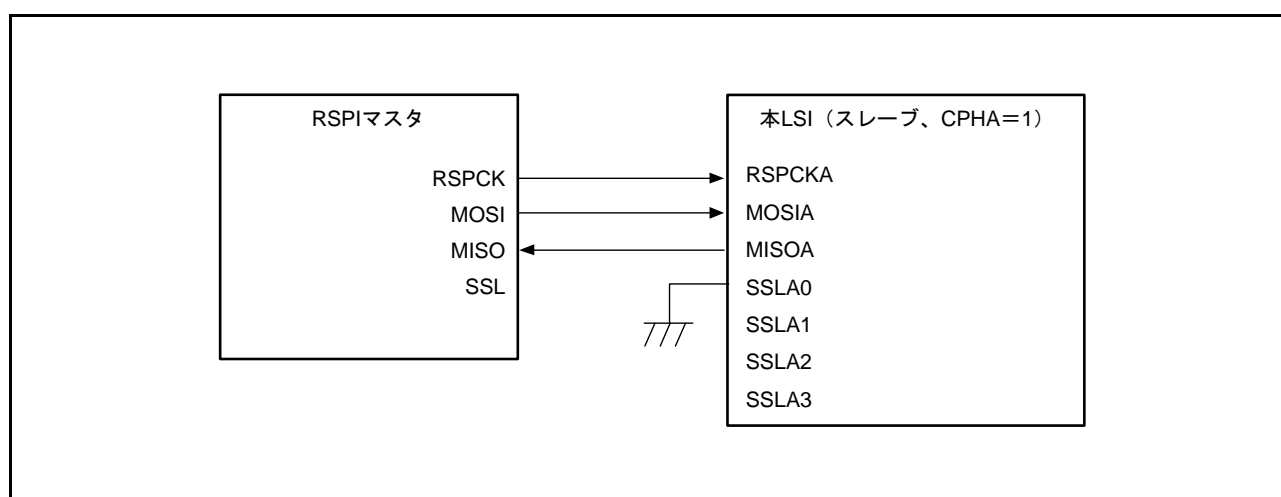


図 31.7 シングルマスタ / シングルスレーブの構成例 (本 LSI = スレーブ、CPHA = 1)

31.3.3.3 シングルマスタ / マルチスレーブ (本 LSI = マスタ)

図 31.8 に、本 LSI をマスタとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 31.8 の例では、本 LSI (マスタ) と 4 つのスレーブ (RSPI スレーブ 0 ~ RSPI スレーブ 3) から RSPI システムを構成しています。

本 LSI (マスタ) の RSPCKA 出力と MOSIA 出力は、RSPI スレーブ 0 ~ RSPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 0 ~ RSPI スレーブ 3 の MISO 出力は、すべて本 LSI (マスタ) の MISOA 入力に接続します。本 LSI (マスタ) の SSLA0 ~ SSLA3 出力は、それぞれ RSPI スレーブ 0 ~ RSPI スレーブ 3 の SSL 入力に接続します。

本 LSI (マスタ) は、RSPCK、MOSI、SSLA0 ~ SSLA3 を常にドライブします。RSPI スレーブ 0 ~ RSPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

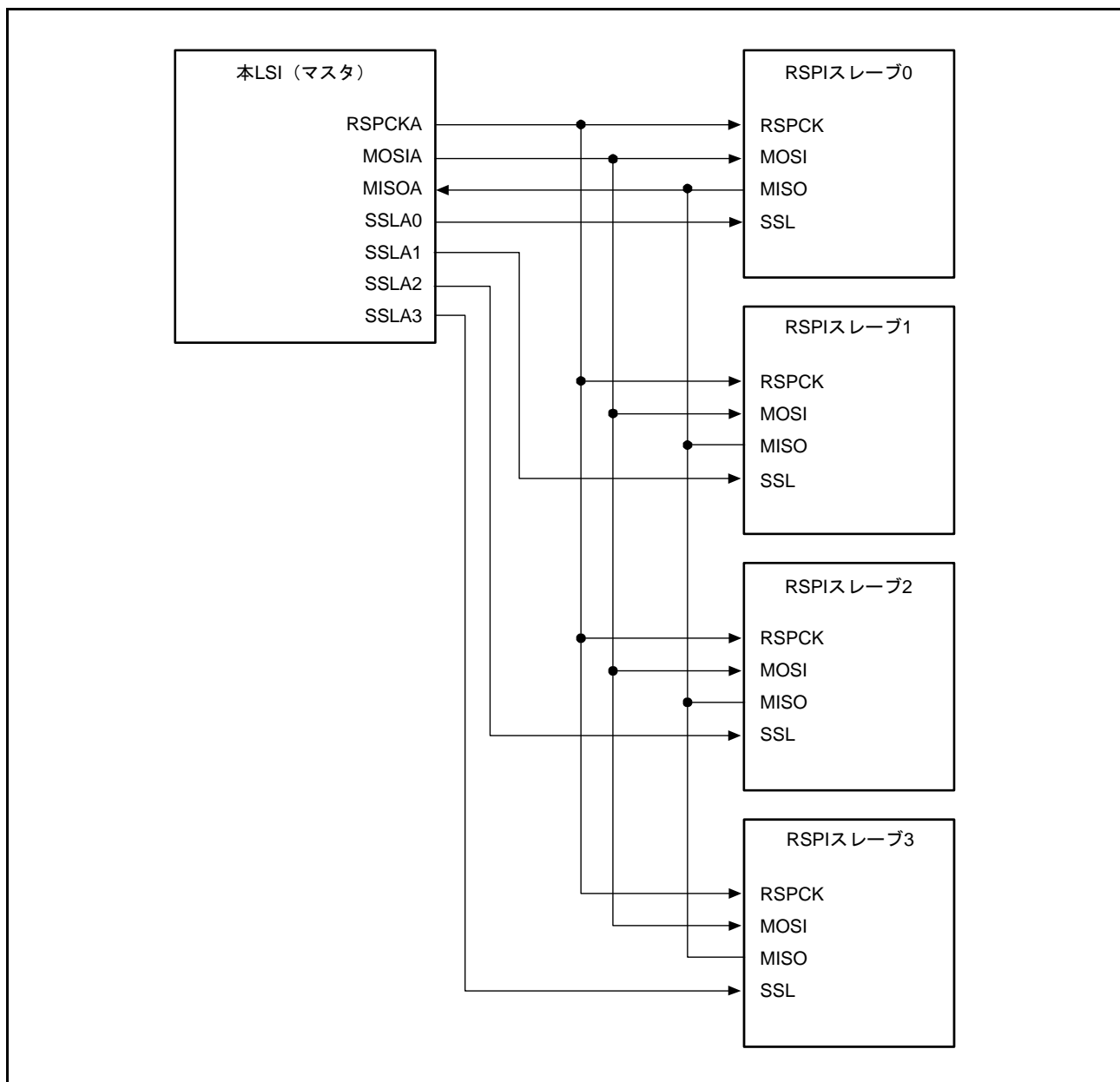


図 31.8 シングルマスタ / マルチスレーブの構成例 (本 LSI = マスタ)

31.3.3.4 シングルマスタ / マルチスレーブ (本 LSI = スレーブ)

図 31.9 に、本 LSI をスレーブとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 31.9 の例では、RSPI マスタと 2 つの本 LSI (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

RSPI マスタの RSPCK 出力と MOSI 出力は、本 LSI (スレーブ X、スレーブ Y) の RSPCKA 入力と MOSIA 入力に接続します。本 LSI (スレーブ X、スレーブ Y) の MISOA 出力は、RSPI マスタの MISO 入りに接続します。RSPI マスタの SSLX 出力、SSLY 出力は、本 LSI (スレーブ X、スレーブ Y) の SSLA0 入りに接続します。

RSPI マスタは、RSPCK、MOSI、SSLX、SSLY を常にドライブします。本 LSI (スレーブ X、スレーブ Y) のうち、SSLA0 入りに Low を入力されているスレーブが、MISOA をドライブします。

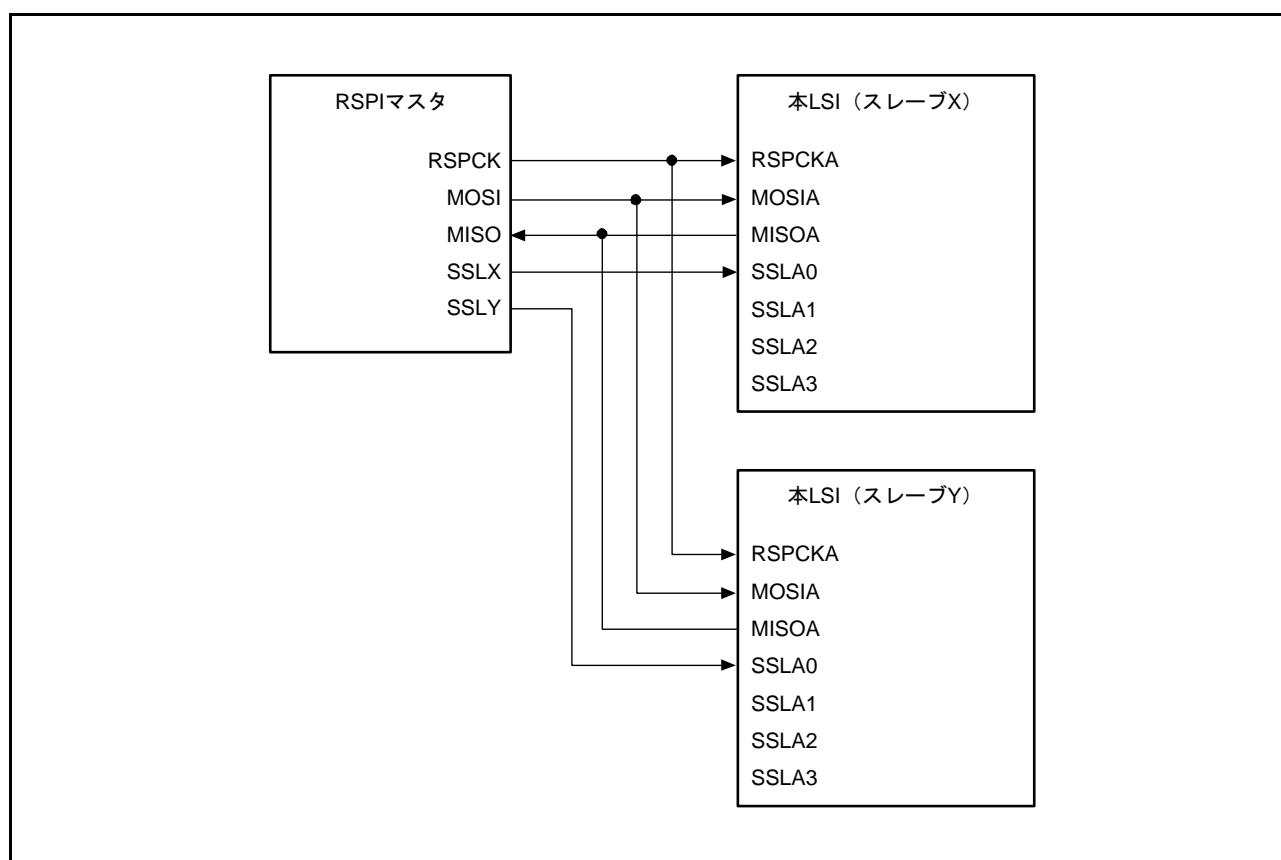


図 31.9 シングルマスタ / マルチスレーブの構成例 (本 LSI = スレーブ)

31.3.3.5 マルチマスタ / マルチスレーブ (本 LSI = マスタ)

図 31.10 に、本 LSI をマスタとして使用した場合のマルチマスタ / マルチスレーブの RSPI システム構成例を示します。図 31.10 の例では、2つの本 LSI (マスタ X、マスタ Y) と2つの RSPI スレーブ (RSPI スレーブ 1、RSPI スレーブ 2) から RSPI システムを構成しています。

本 LSI (マスタ X、マスタ Y) の RSPCKA 出力と MOSIA 出力は、RSPI スレーブ 1、RSPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 1、RSPI スレーブ 2 の MISO 出力は、本 LSI (マスタ X、マスタ Y) の MISOA 入力に接続します。本 LSI (マスタ X) の任意の汎用ポート Y 出力は、本 LSI (マスタ Y) の SSLA0 入力に接続します。本 LSI (マスタ Y) の任意の汎用ポート X 出力は、本 LSI (マスタ X) の SSLA0 入力に接続します。本 LSI (マスタ X、マスタ Y) の SSLA1 出力と SSLA2 出力は、RSPI スレーブ 1、RSPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLA0 入力、スレーブ接続用の SSLA1 出力、SSLA2 出力のみでシステムを構成できるので、本 LSI の SSLA3 出力を使用していません。

本 LSI は、SSLA0 入力レベルが High の場合には、RSPCKA、MOSIA、SSLA1、SSLA2 をドライブします。SSLA0 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCKA、MOSIA、SSLA1、SSLA2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。RSPI スレーブ 1、RSPI スレーブ 2 のうち、SSL 入力が Low を入力されているスレーブが、MISO をドライブします。

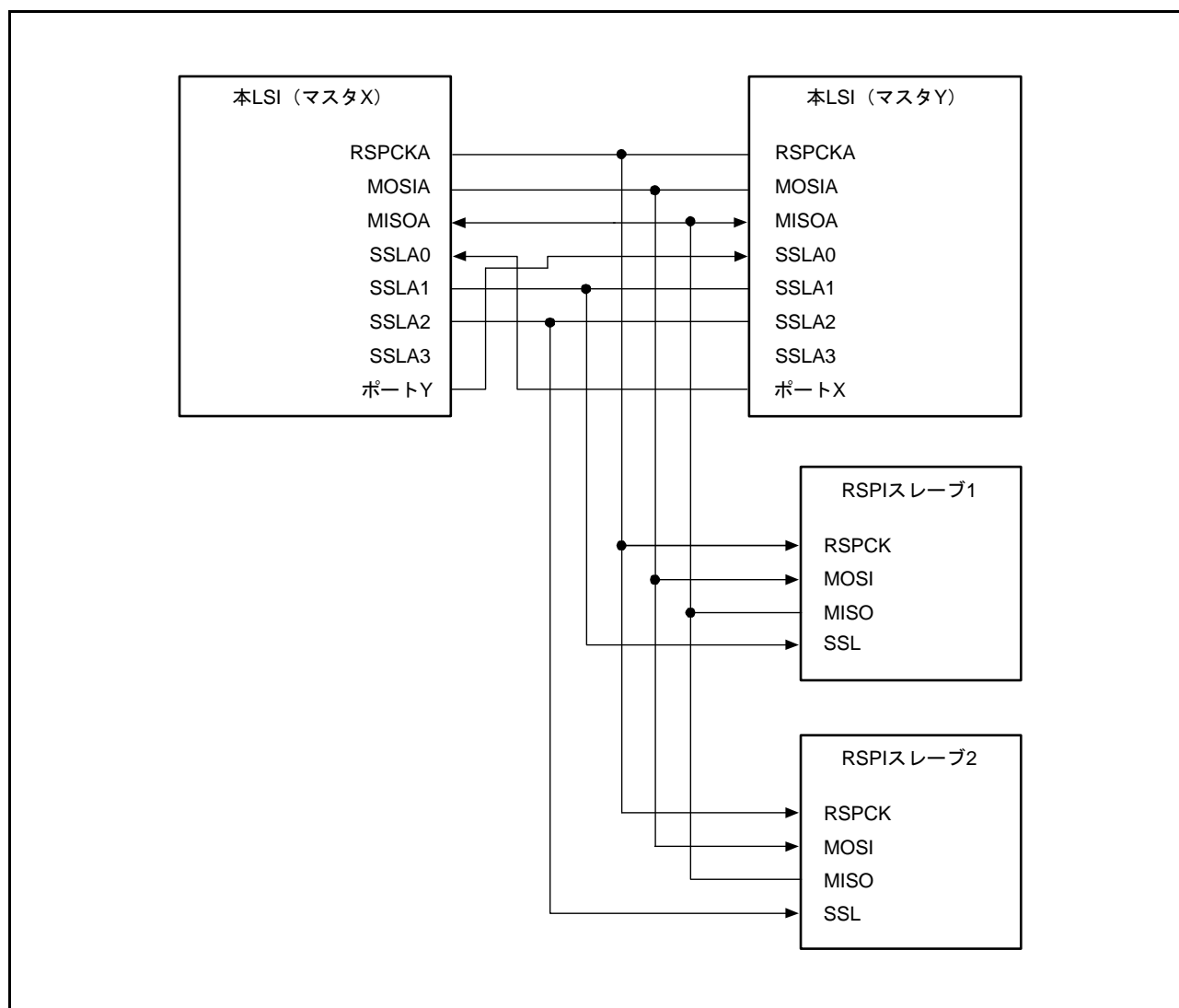


図 31.10 マルチマスタ / マルチスレーブの構成例 (本 LSI = マスタ)

31.3.3.6 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 LSI = マスタ)

図 31.11 に、本 LSI をマスタとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成では、本 LSI (マスタ) の SSLA0 ~ SSLA3 は使用しません。

本 LSI (マスタ) は、RSPCKA と MOSIA を常にドライブします。RSPI スレーブは、MISO を常にドライブします。

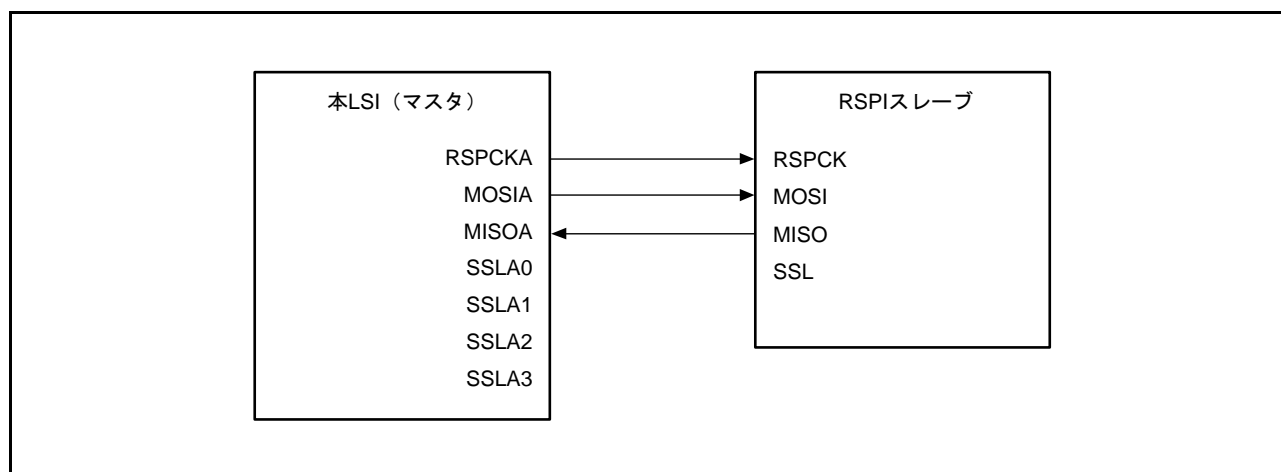


図 31.11 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 LSI = マスタ)

31.3.3.7 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 LSI = スレーブ)

図 31.12 に、本 LSI をスレーブとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 LSI をスレーブ (クロック同期式動作) として使用する場合には、本 LSI (スレーブ) は、MISOA を常にドライブし、RSPI マスタは、RSPCK と MOSI を常にドライブします。また、本 LSI (スレーブ) の SSLA0 ~ SSLA3 は使用しません。

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合のみ、本 LSI (スレーブ) はシリアル転送を実行することが可能です。

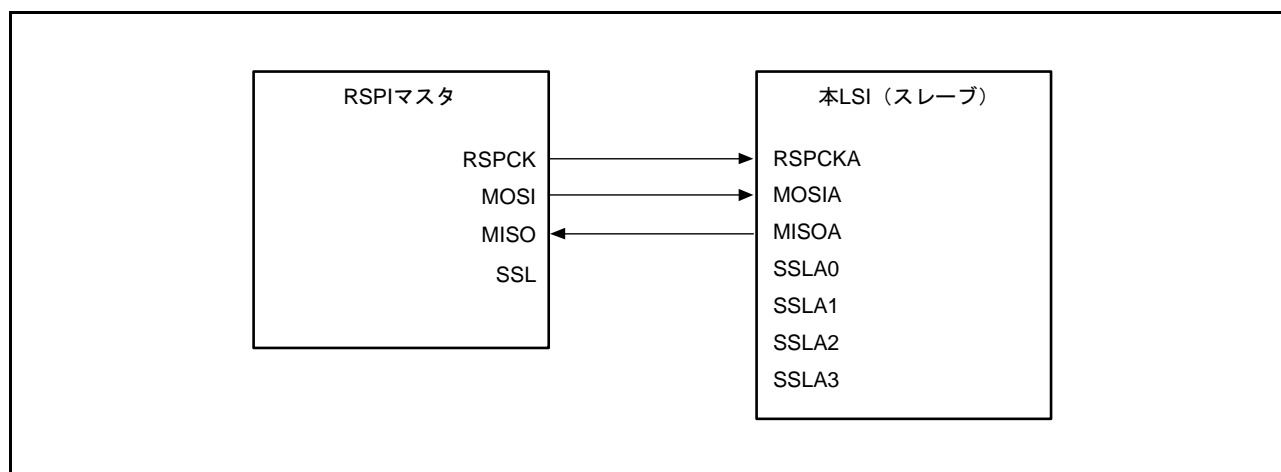


図 31.12 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例
(本 LSI = スレーブ、CPHA = 1)

31.3.4 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ m (SPCMD m) ($m=0 \sim 7$)、RSPI 制御レジスタ 2 のパリティ許可ビット (SPCR2.SPPE) の設定値に依存します。MSB/LSB ファーストに関わらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a) パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。

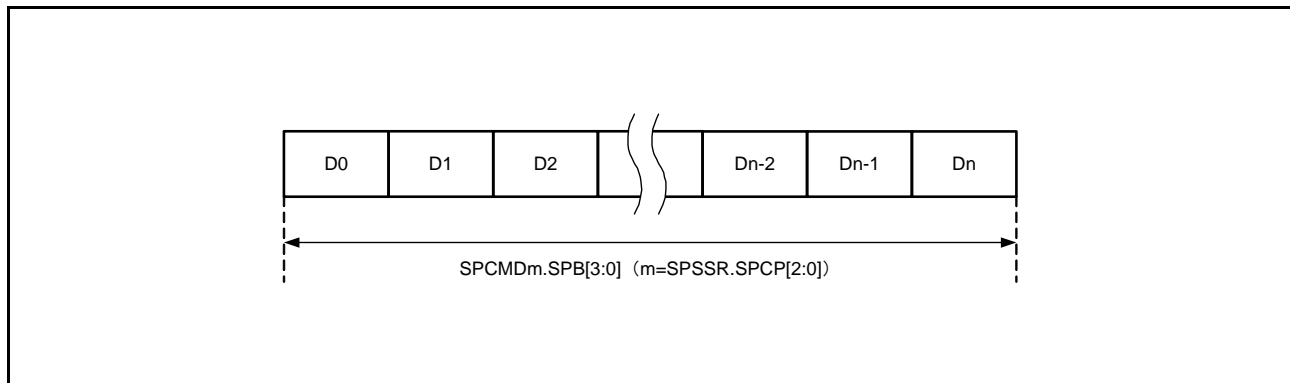


図 31.13 データフォーマット概要 (パリティ機能無効時)

(b) パリティ機能有効時

パリティ機能有効時は、SPCMD m .SPB[3:0] ビットで設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

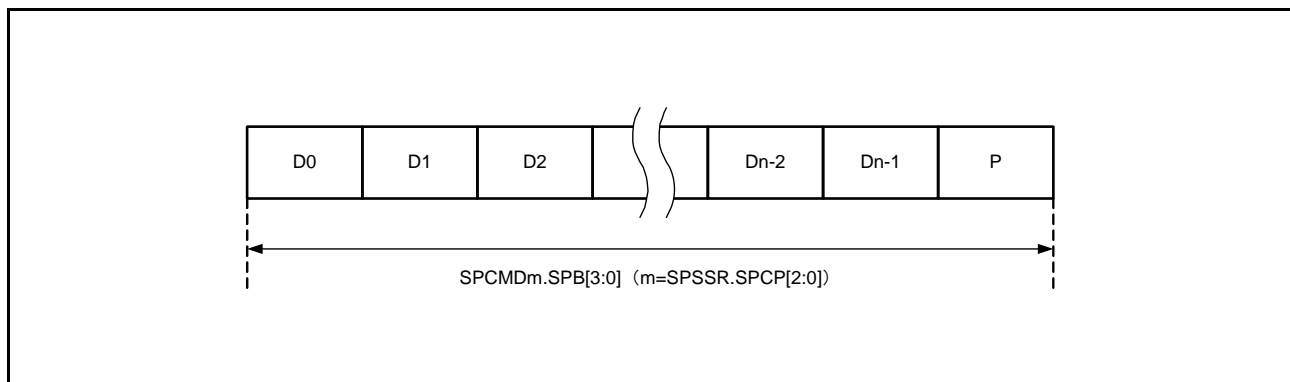


図 31.14 データフォーマット概要 (パリティ機能有効時)

31.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下にRSPIデータレジスタ (SPDR) とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1) MSB ファースト転送 (32 ビットデータ)

図 31.15 に、パリティ機能無効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ R00 までデータがたまと、シフトレジスタの値を受信バッファにコピーします。

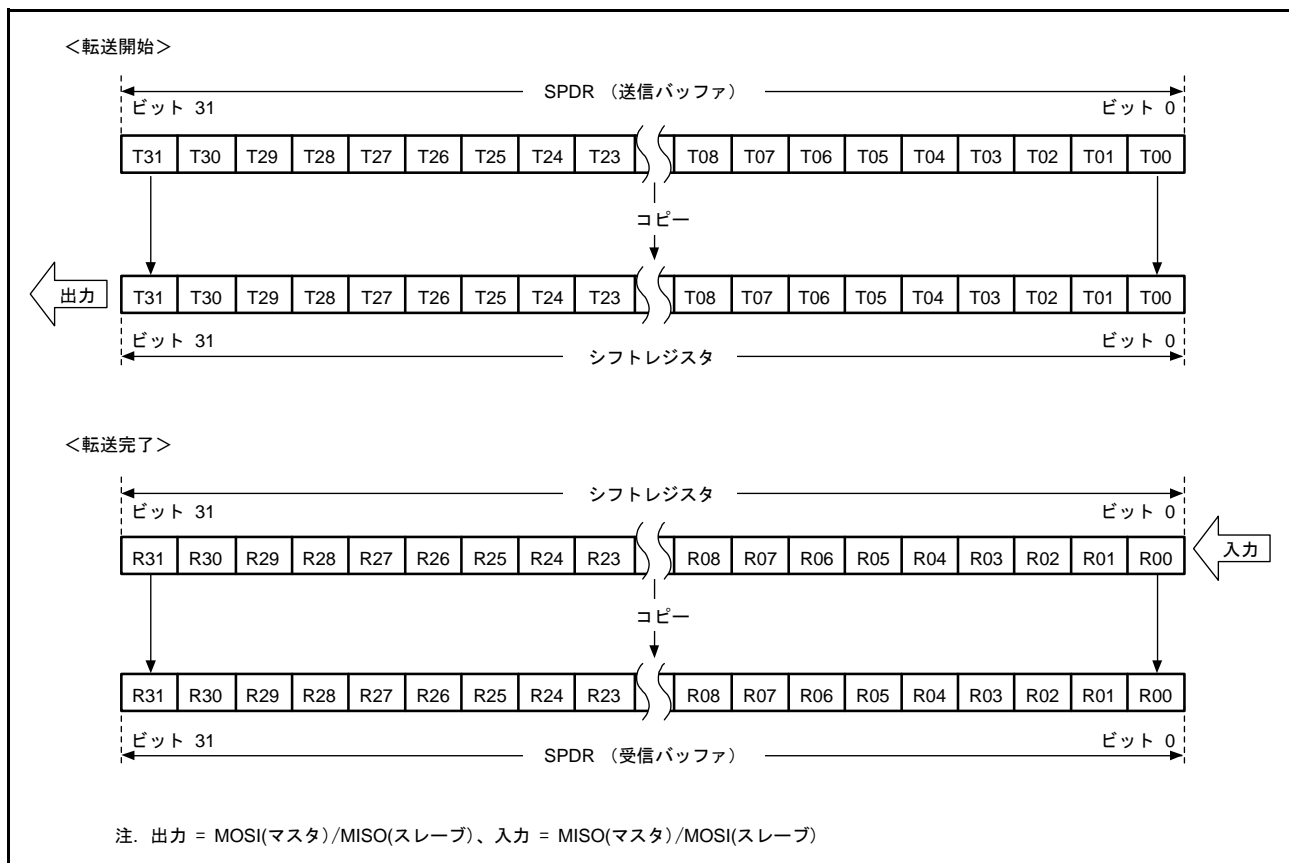


図 31.15 MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(2) MSB ファースト転送 (24 ビットデータ)

図 31.16 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に "0" を書き込んでおくことにより、受信バッファの上位 8 ビットに "0" を入れることができます。

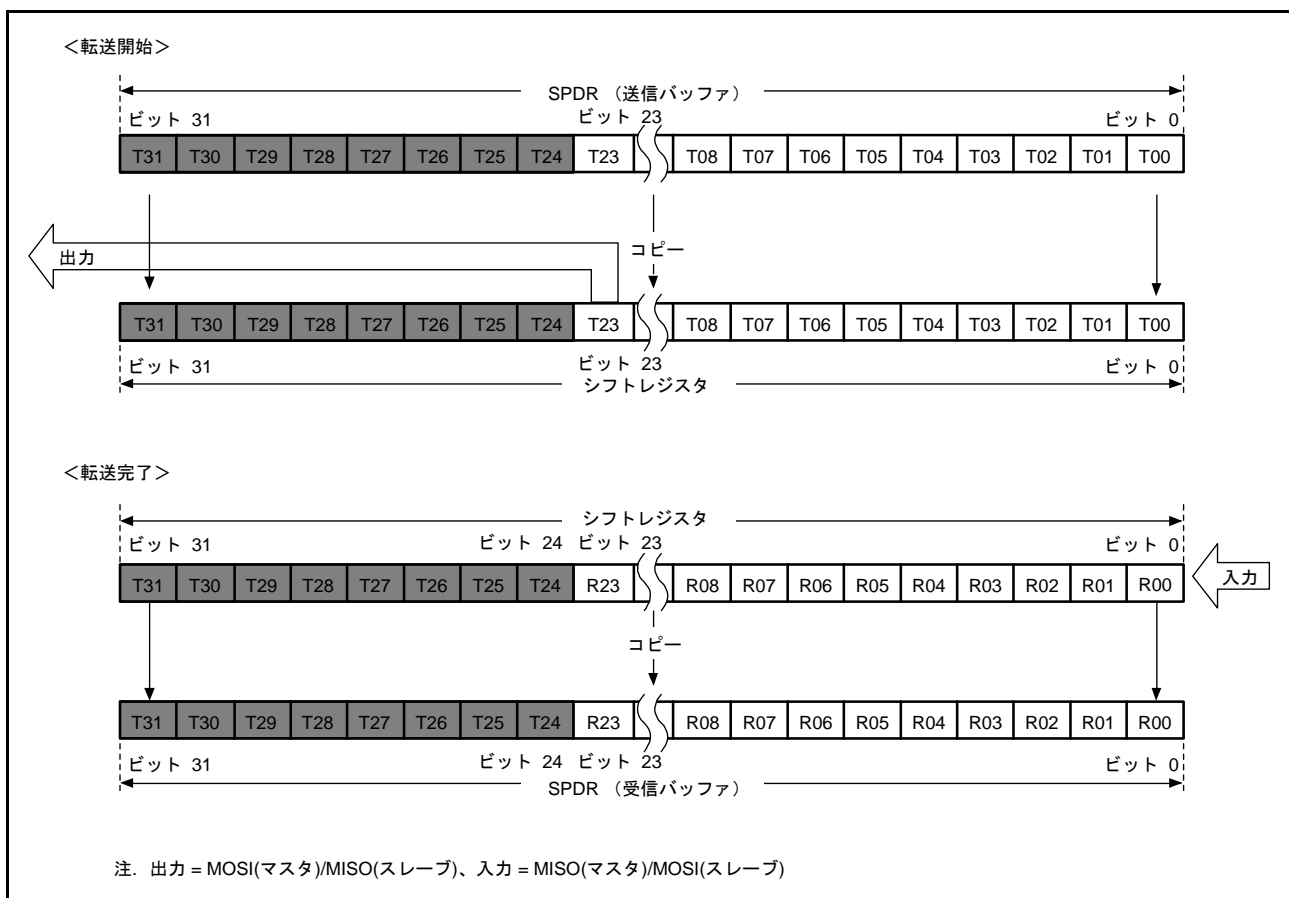


図 31.16 MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

(3) LSB ファースト転送 (32 ビットデータ)

図 31.17 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ~ T00) をビット単位で入れ替え、シフトレジスタに T00 ~ T31 の順番に並び替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

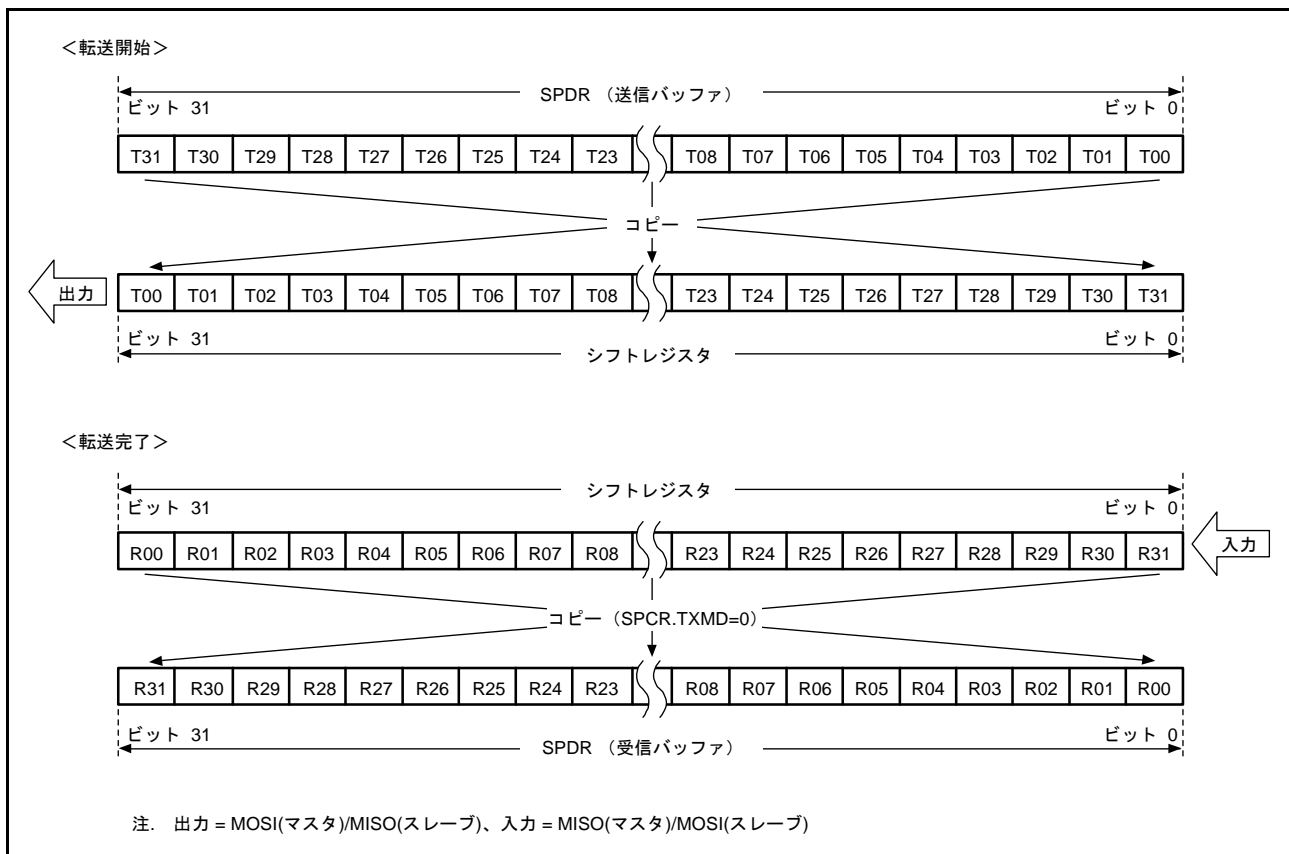


図 31.17 LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4) LSB ファースト転送 (24 ビットデータ)

図 31.18 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

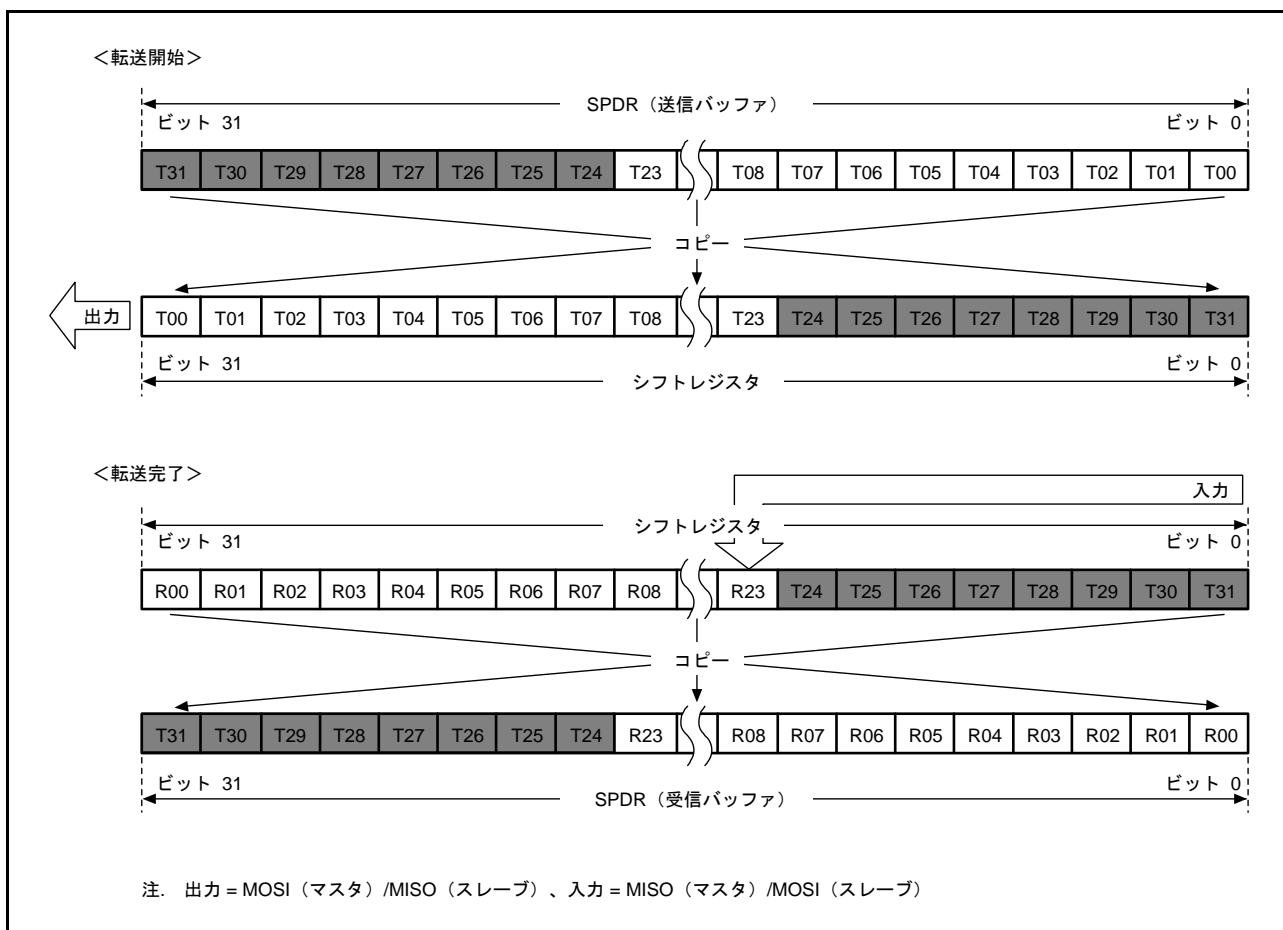


図 31.18 LSB ファースト (24 ビットデータ / パリティ機能無効)

31.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1) MSB ファースト転送 (32 ビットデータ)

図 31.19 に、パリティ機能有効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ~ P のデータをチェックし、パリティエラーの判定を行います。

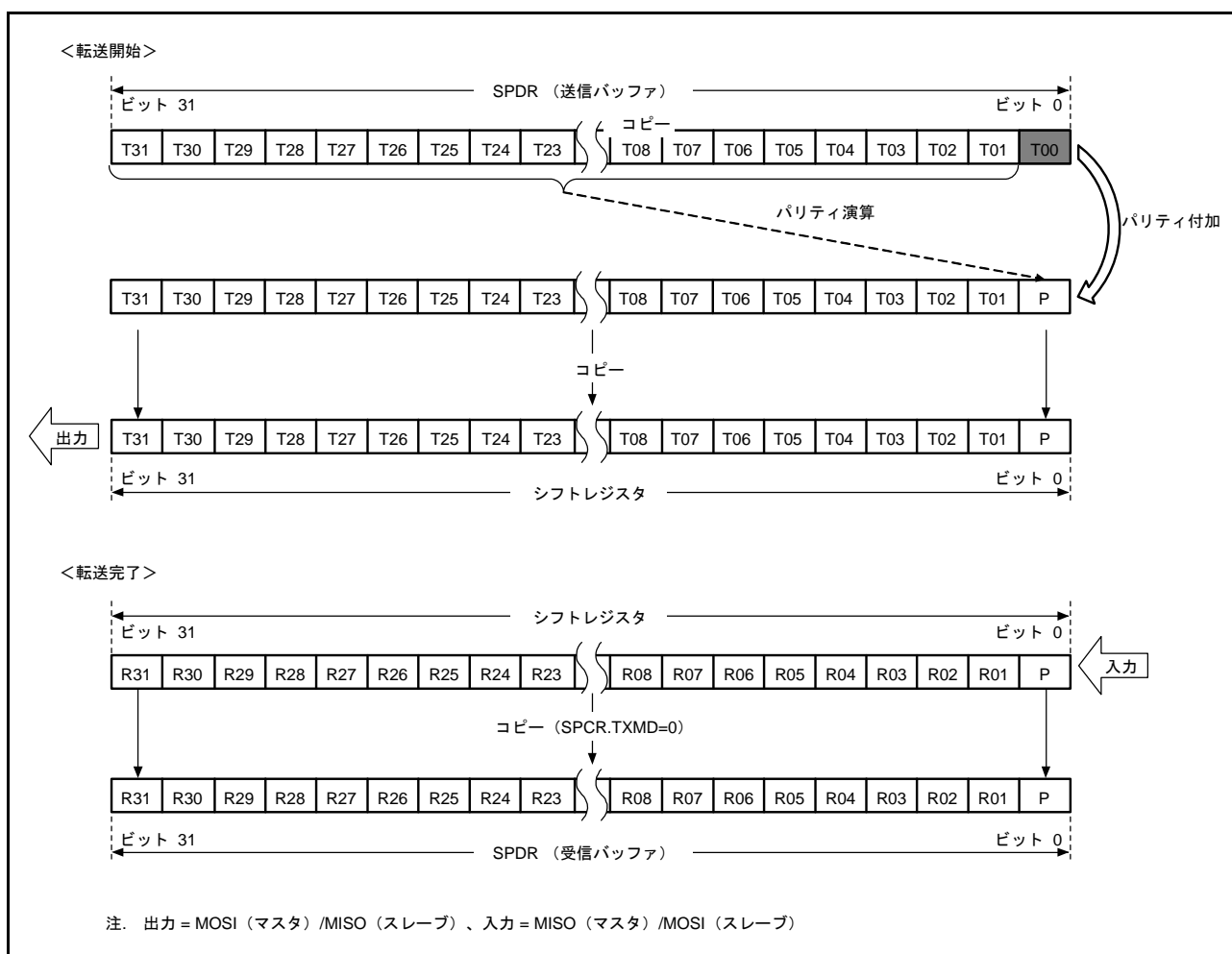


図 31.19 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) MSB ファースト転送 (24 ビットデータ)

図 31.20 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ P まで受信データがたまと、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

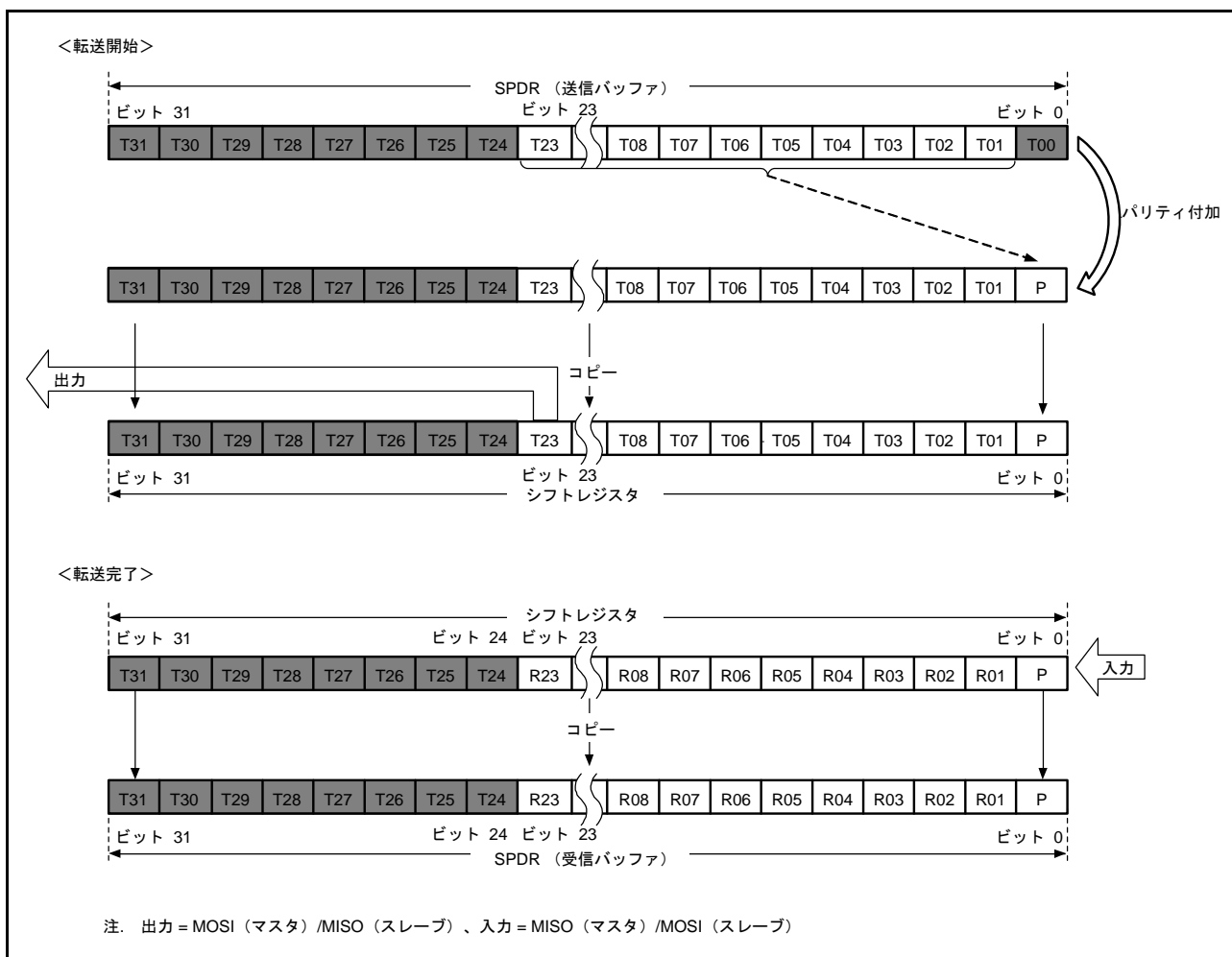


図 31.20 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) LSB ファースト転送 (32 ビットデータ)

図 31.21 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ~ P まで受信データがたまり、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。

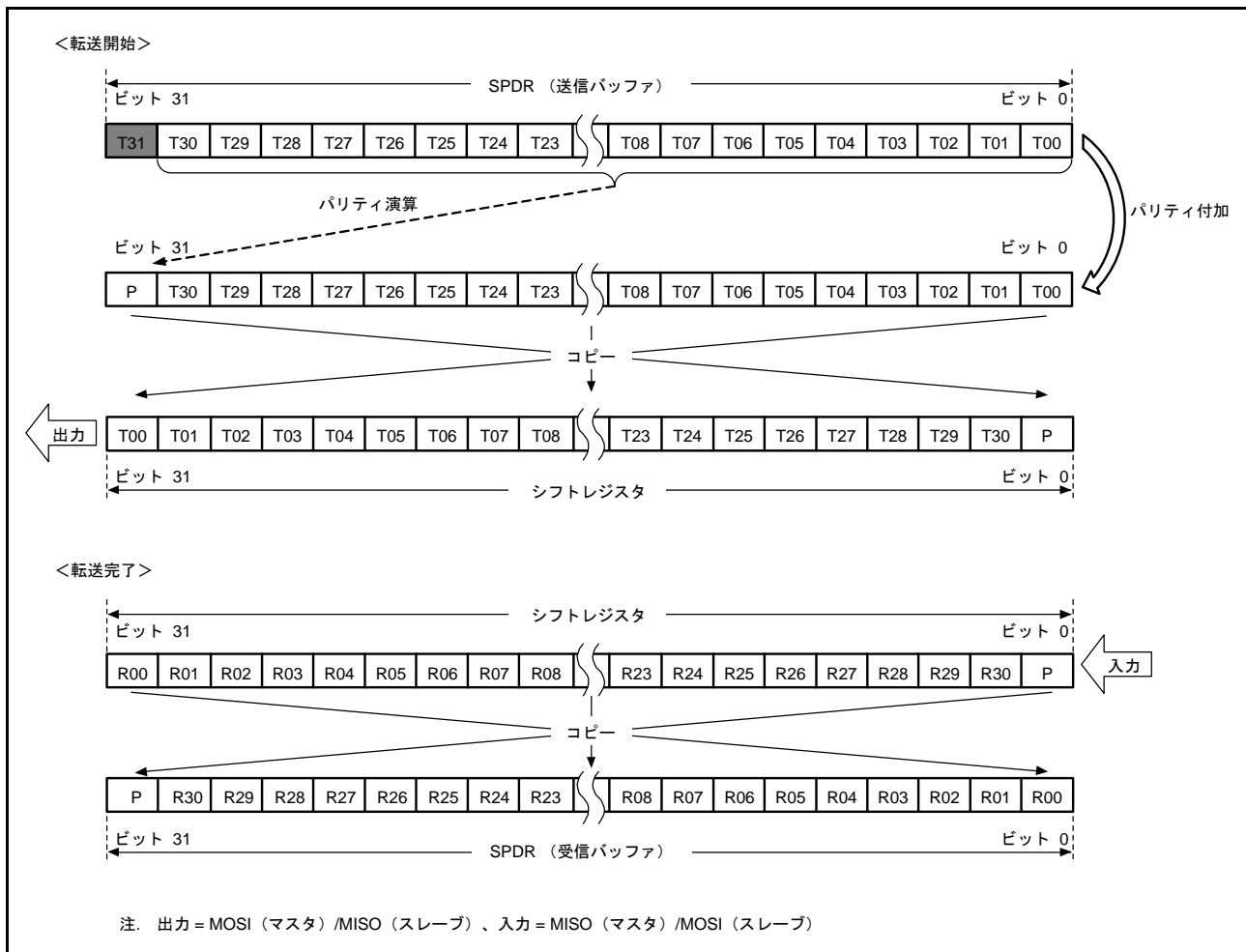


図 31.21 LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 31.22 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

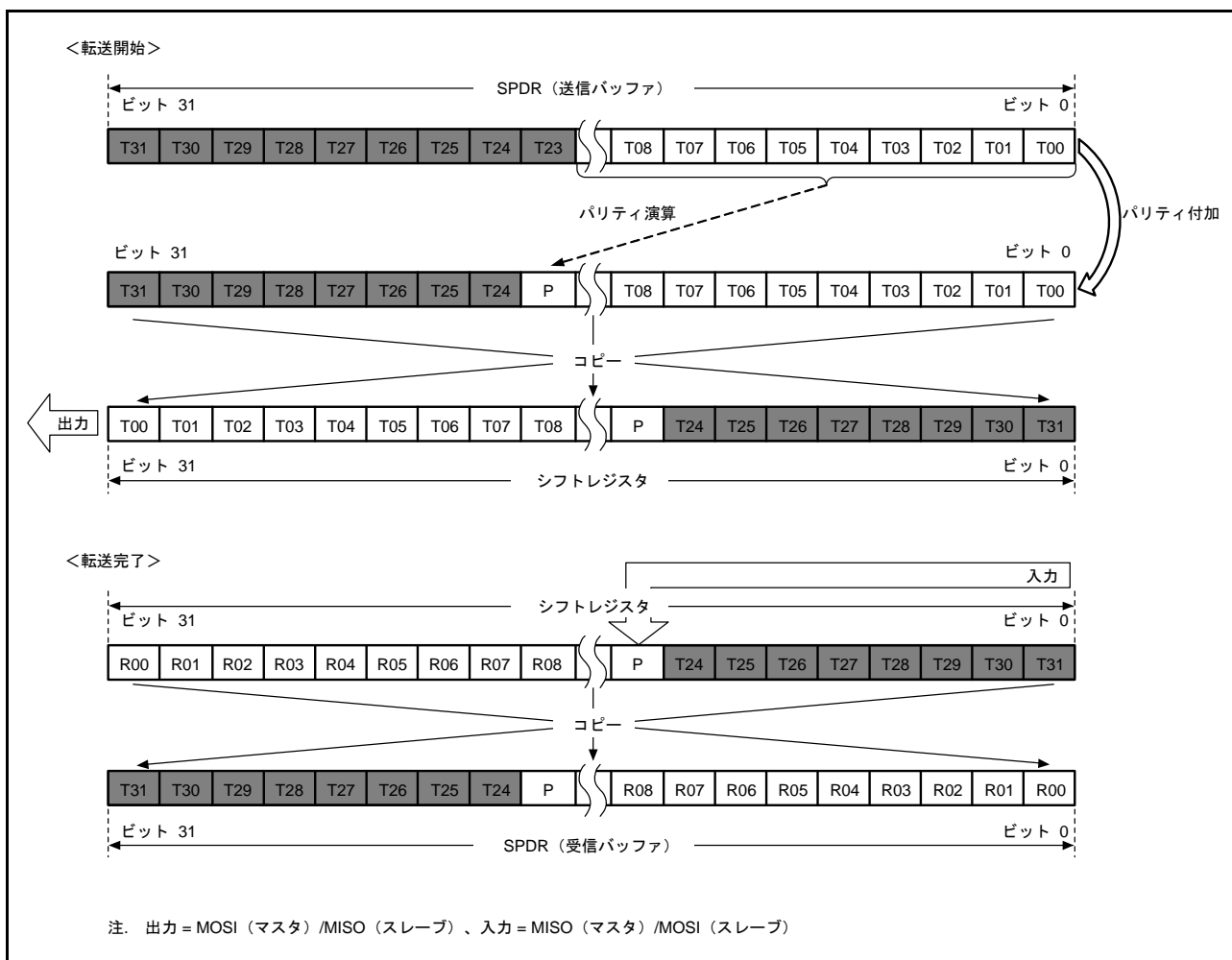


図 31.22 LSB ファースト (24 ビットデータ / パリティ機能有効)

31.3.5 転送フォーマット

31.3.5.1 CPHA ビット = 0 の場合

図 31.23 に SPCMDm.CPHA ビットが“0”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード (SPCR.MSTR=0) で CPHA ビットが“0”の場合のクロック同期式動作 (SPCR.SPMS ビットが“1”の場合) は保証しません。図 31.23 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「31.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“0”の場合には、SSLAi 信号のアサートタイミングで、MOSIA 信号と MISOA 信号への有効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1RSPCK 周期ごとにデータがサンプリングされます。MOSIA 信号と MISOA 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLAi 信号のアサートから RSPCKA 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKA 発振停止から SSLAi 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLAi 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「31.3.10.1 マスタモード動作」を参照してください。

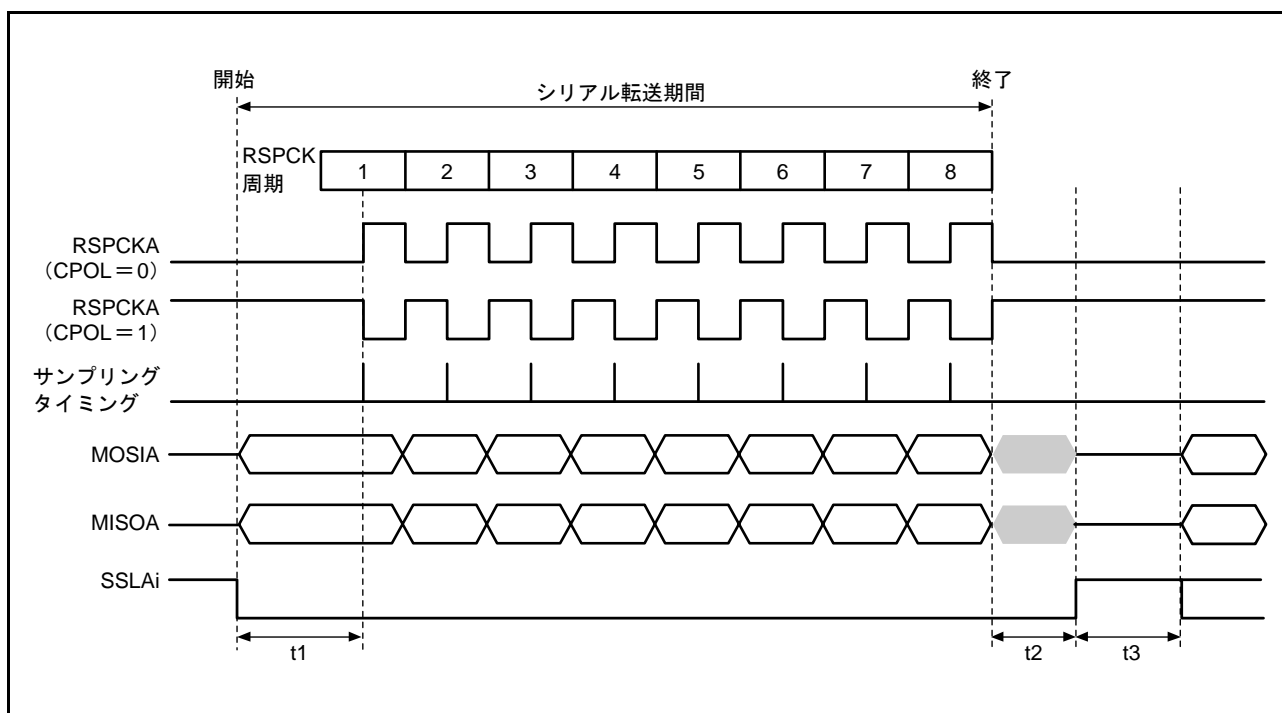


図 31.23 RSPI 転送フォーマット (CPHA ビット = 0)

31.3.5.2 CPHA ビット = 1 の場合

図 31.24 に SPCMDm.CPHA ビットが“1”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが“1”の場合は SSLAi 信号を用いず、RSPCKA 信号、MOSIA 信号、MISOA 信号のみで通信を行います。図 31.24 において、RSPCK (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCK (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード (マスタ/スレーブ) に依存します。詳細は「31.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“1”の場合には、SSLAi 信号のアサートタイミングで、MISOA 信号に無効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングで、MOSIA 信号と MISOA 信号への有効データへの出力が開始され、このタイミング以降 1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「31.3.10.1 マスタモード動作」を参照してください。

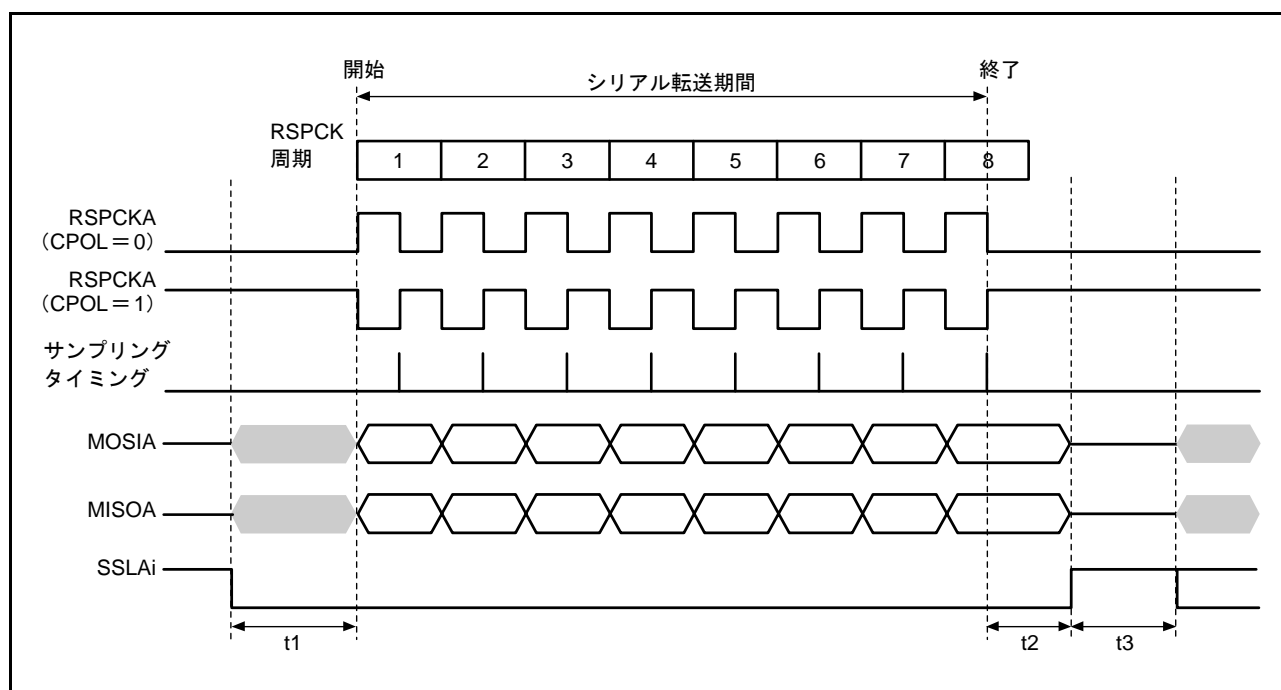


図 31.24 RSPI 転送フォーマット (CPHA ビット = 1)

31.3.6 通信動作モード

SPCR.TXMD ビットの設定により、全二重同期式シリアル通信または送信のみの動作を選択します。図 31.25、図 31.26 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクルを示しています。

31.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD=0)

図 31.25 に、SPCR.TXMD ビットを“0”にした場合の動作例を示します。図 31.25 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (=転送ビット数) を示しています。

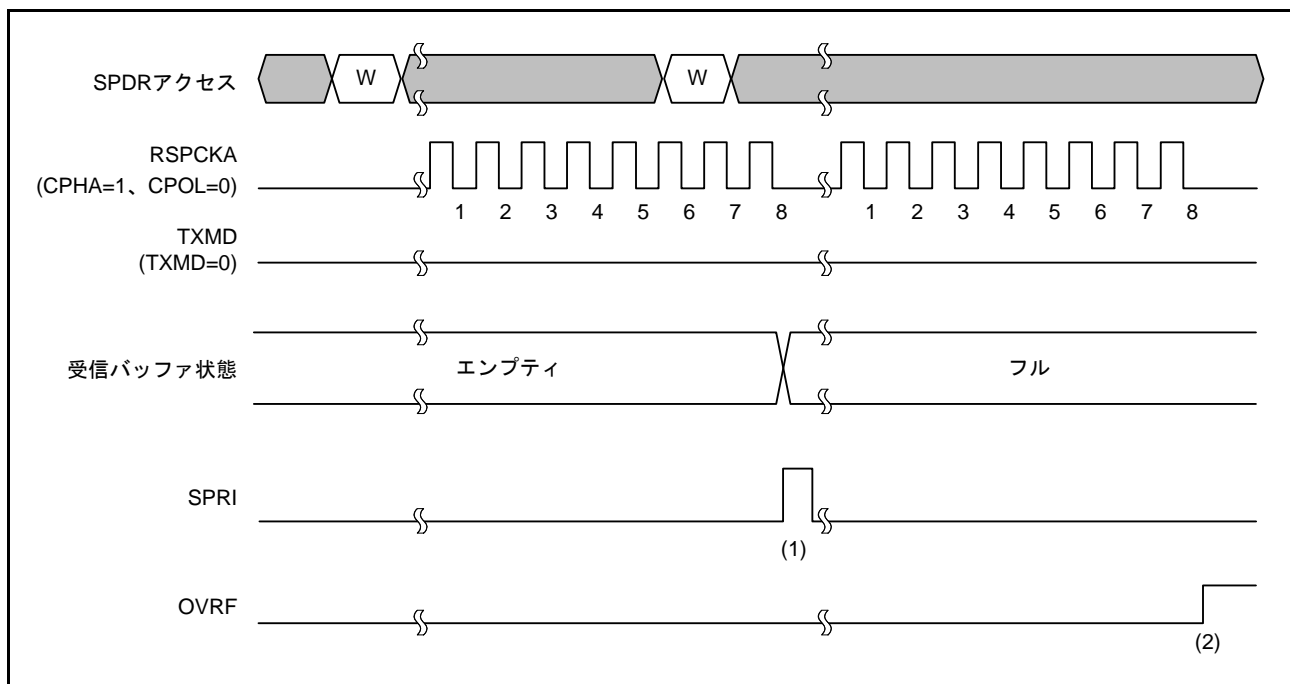


図 31.25 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を発生してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

31.3.6.2 送信のみ動作 (SPCR.TXMD=1)

図 31.26 に、SPCR.TXMD ビットを“1”に設定した場合の動作例を示します。図 31.26 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (=転送ビット数) を示しています。

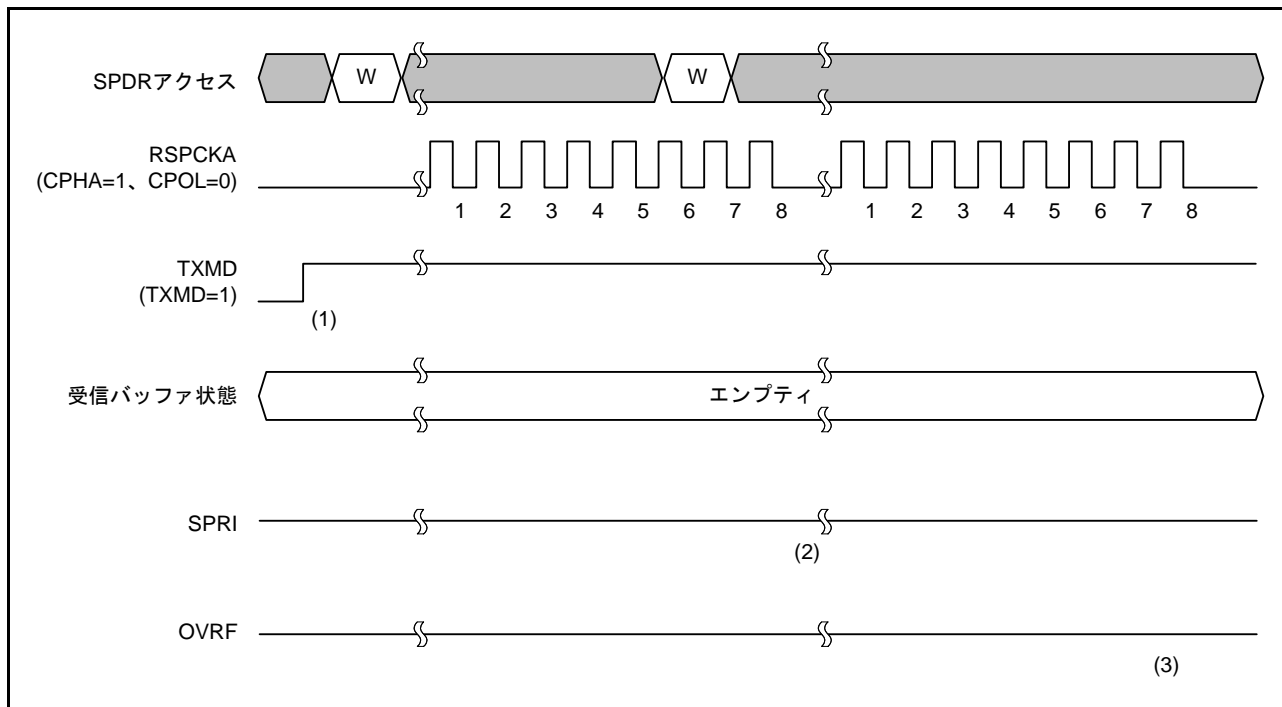


図 31.26 SPCR.TXMD = 1 の動作例

以下に、図中の (1) (2) (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信のみ動作 (SPCR.TXMD=1) への遷移は、受信バッファにデータが残っていないこと、SPSR.OVRF フラグが“0”であることを確認してから、行ってください。
- (2) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみ動作 (SPCR.TXMD=1) のときは、シフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作時 (SPCR.TXMD=1) は、送信データを送信し、受信データを受信しません。そのため、SPSR.OVRF フラグは (1) (2) (3) それぞれのタイミングで“0”を保持します。

31.3.7 送信バッファエンプティ/受信バッファフル割り込み

図 31.27 に RSPI 送信バッファエンプティ割り込み (SPTI) と RSPI 受信バッファフル割り込み (SPRI) の動作例を示します。図 31.27 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 31.27 の例では、SPCR.TXMD ビットが“0”、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (=転送ビット数) を示しています。

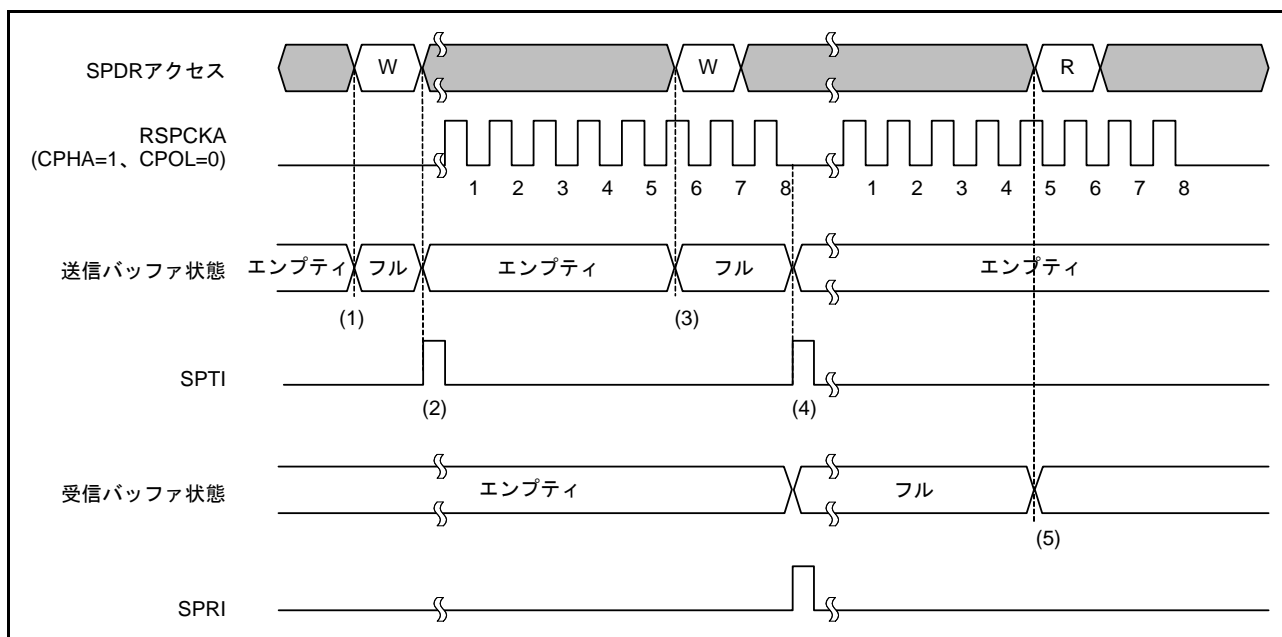


図 31.27 SPTI、SPRI 割り込みの動作例

以下に、図中の (1) ~ (5) に示したタイミングでの割り込みの動作内容を説明します。

1. SPDR レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込みます。
2. シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み (SPTI) を発生します。なお、シリアル転送の開始方法は、RSPI のモードに依存します。(「31.3.10 SPI 動作」、「31.3.11 クロック同期式動作」参照)
3. 送信バッファエンプティ割り込みルーチンで、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送されます。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を発生します。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が送信バッファのデータをシフトレジスタにコピーします。なお、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
5. 受信バッファフル割り込みルーチンで、SPDR レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある状態で、SPDR レジスタを書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR レジスタを書き込む場合には、送信バッファエンプティ割り込みルーチンで行ってください。また、RSPI 送信割り込みを利用する場合には、SPCR の SPTIE ビットを“1”にしてください。

RSPI 機能は無効 (SPCR の SPE ビットが“0”) の場合には、SPTIE ビットを“0”にしてください。

受信バッファフルの状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (「31.3.8 エラー検出」参照)。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また RSPI 受信割り込みを利用する場合には、SPCR.SPRIE ビットを“1”にしてください。

送信 / 受信バッファの状態は、送信 / 受信割り込み、または対応する ICU の IRn.IR フラグ (n = 割り込みベクタ番号) によって確認することができます。割り込みベクタ番号については、「14. 割り込みコントローラ (ICUb)」を参照してください。

31.3.8 エラー検出

通常のRSPIのシリアル転送では、SPDRレジスタの送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータをSPDRレジスタの受信バッファから読み出すことができます。SPDRレジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始/終了時のRSPIの状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPIはオーバランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表31.8に、通常以外の転送動作とRSPIのエラー検出機能の関係を示します。

表31.8 通常以外の転送の発生条件とRSPIのエラー検出機能

	発生条件	RSPI動作	エラー検出
A	送信バッファフルの状態ですPDRレジスタを書き込み	<ul style="list-style-type: none"> 送信バッファ内容を保持 書き込みデータ欠落 	なし
B	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始	前回シリアル転送時の受信データをシリアル送信	なし
C	受信バッファエンプティの状態ですPDRレジスタを読み出し	前回シリアル受信データを出力	なし
D	受信バッファフルの状態です、シリアル転送が終了	受信バッファ内容を保持 シリアル受信データ欠落	オーバランエラー検出
E	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出
F	マルチマスタモードでシリアル転送アイドル時にSSLA0入力信号アサート	<ul style="list-style-type: none"> RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
G	マルチマスタモードでシリアル転送中にSSLA0入力信号アサート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
H	スレーブモードでシリアル転送中にSSLA0入力信号がネゲート	<ul style="list-style-type: none"> シリアル転送中断 送受信データ欠落 MISOA出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出

表31.8のAに示した動作に対しては、RSPIはエラーを検出しません。SPDRレジスタへの書き込み時にデータを欠落させないために、送信割り込み要求でSPDRレジスタへの書き込みを実施してください。

Bに示した動作に対しても、RSPIはエラーを検出しません。RSPIでは、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、Bに示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データはSPDRレジスタの受信バッファに保持されているので、正しく読み出されます（シリアル転送が終了する前にSPDRレジスタを読み出さないと、オーバランエラーが発生します）。

Cに示した動作に対しても、RSPIはエラーを検出しません。不要なデータを読み出さないようにするためには、受信割り込みでSPDRレジスタの読み出しを実行するようにしてください。

Dに示したオーバランエラーについては、「31.3.8.1 オーバランエラー」で、Eに示したパリティエラーについては、「31.3.8.2 パリティエラー」で説明します。また、F～Hに示したモードフォルトエラーについては「31.3.8.3 モードフォルトエラー」で説明します。

なお、送受信の割り込みについては、「31.3.7 送信バッファエンプティ/受信バッファフル割り込み」を参照してください。

31.3.8.1 オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを“1”にします。OVRF フラグが“1”の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを“0”にするためには、OVRF フラグが“1”にセットされた状態の SPSR レジスタを読み出した後に、OVRF フラグに“0”を書く必要があります。

図 31.28 に、OVRF フラグの動作を示します。図 31.28 に記載した SPSR アクセスと SPDR アクセスは、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 31.28 の例では、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (=転送ビット数) を示しています。

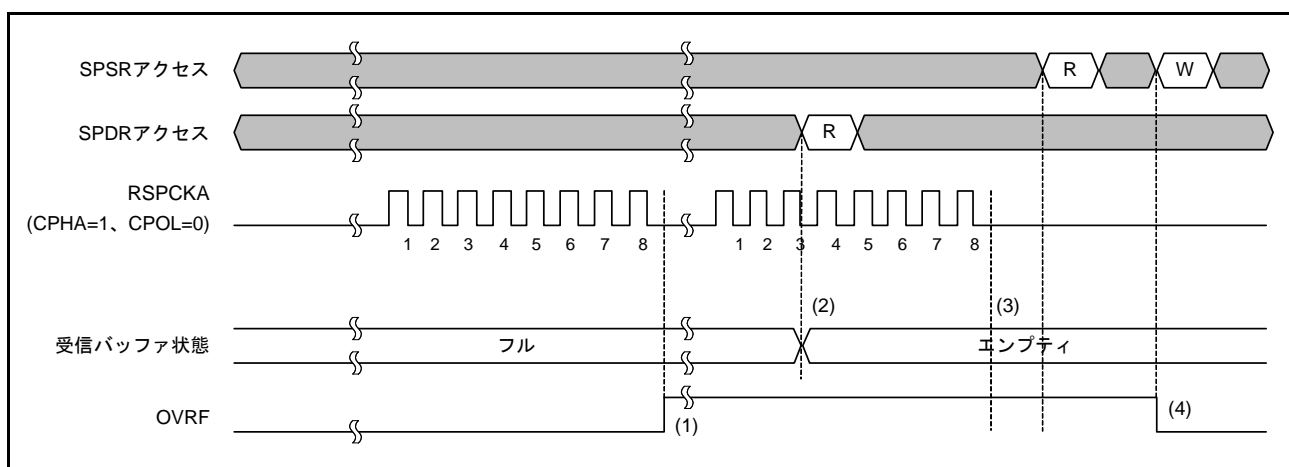


図 31.28 OVRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

1. 受信バッファフル状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを“1”にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
2. SPDR レジスタを読み出すと、RSPI は受信バッファのデータが読み出せます。受信バッファが空になっても、OVRF フラグは“0”になりません。
3. OVRF フラグが“1”の状態 (オーバランエラー) でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません。受信バッファフル割り込みも発生しません。また、SPPE ビット“1”であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
4. OVRF フラグが“1”の状態で SPSR レジスタを読んだ後、OVRF フラグに“0”を書くと、RSPI は OVRF フラグを“0”にします。

オーバーランの発生は、SPSRレジスタの読み出しあるいはRSPIエラー割り込みとSPSRレジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPDRレジスタの読み出し直後にSPSRレジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。RSPIをマスターモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。

オーバーランエラーが発生してOVRFフラグが“1”になると、OVRFフラグが“0”になるまで正常な受信動作ができなくなります。

31.3.8.2 パリティエラー

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態ですべて二重同期式シリアル通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPIは、受信データにパリティエラーを検出すると、SPSR.PERF フラグを“1”にします。SPSR.OVRF フラグが“1”の状態では、RSPIはシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを“0”にするためには、PERF フラグが“1”の状態のSPSRレジスタを読んだ後、PERF フラグに“0”を書く必要があります。

図 31.29 に、OVRF フラグと PERF フラグの動作を示します。図 31.29 に記載した“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 31.29 の例では、SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態ですべて二重同期式シリアル通信を行います。SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

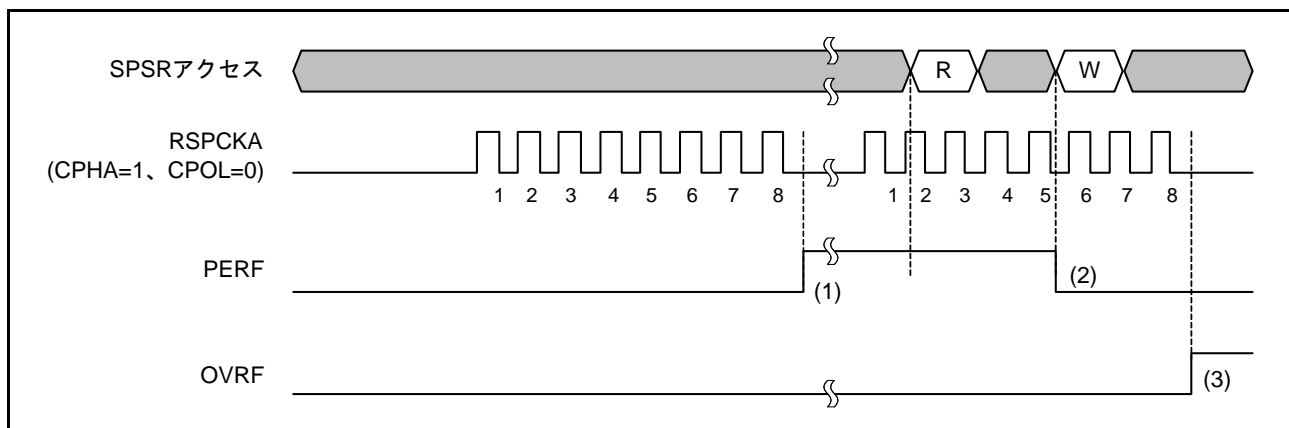


図 31.29 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

1. RSPI がオーバーランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを“1”にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
2. PERF フラグが“1”の状態ですべて SPSR レジスタを読んだ後、PERF フラグに“0”を書くと、PERF フラグが“0”になります。
3. RSPI がオーバーランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

31.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが“1”、SPCR.SPMS ビットが“0”、SPCR.MODFEN ビットが“1”の場合には、RSPIはマルチマスタモードで動作します。マルチマスタモードのRSPIのSSLA0入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPIはモードフォルトエラーを検出してSPSR.MODFフラグを“1”にします。モードフォルトエラーを検出すると、RSPIはSPSSR.SPECM[2:0]ビットに、SPCMDmレジスタに対するポインタの値をコピーします。なお、SSLA0信号のアクティブレベルは、SSLP.SSLOPビットによって決定されます。

MSTR ビットが“0”の場合には、RSPIはスレーブモードで動作します。スレーブモードのRSPIのMODFEN ビットが“1”、SPMS ビットが“0”の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）にSSLA0入力信号がネゲートされると、RSPIはモードフォルトエラーを検出します。

RSPIはモードフォルトエラーを検出すると、出力信号のドライブ停止およびSPCR.SPEビットのクリアを実施します（「31.3.9 RSPIの初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブとRSPI機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSRレジスタの読み出し、あるいはRSPIエラー割り込みとSPSRレジスタの読み出しによって確認できます。RSPIエラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSRレジスタをポーリングする必要があります。RSPIをマスタモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。

MODFフラグが“1”の状態では、RSPIはSPEビットへの“1”の書き込みを無視します。モードフォルトエラー検出後にRSPI機能を有効にするためには、MODFフラグを“0”にしてください。

31.3.9 RSPIの初期化

SPCR.SPE ビットに“0”を書いた場合、またはモードフォルトエラー検出によりRSPIがSPEビットを“0”にした場合には、RSPIはRSPI機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPIはモジュール機能をすべて初期化します。以下に、SPCR.SPEビットを“0”にすることによる初期化とシステムリセットによる初期化について説明します。

31.3.9.1 SPEビットのクリアによる初期化

SPCR.SPE ビットを“0”にしたとき、RSPIは以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI内部ステートの初期化
- RSPI送信バッファを空にする

SPEビットを“0”にする初期化では、RSPIの制御ビットは初期化されません。このため、再度SPEビットを“1”にすれば初期化前と同じ転送モードでRSPIを起動できます。

SPSR.OVRF, MODF フラグの値は初期化されません。また、SPSSRレジスタの値も初期化されません。このため、RSPIの初期化後も受信バッファのデータの読み出し、RSPI転送時のエラー発生状況の確認ができません。

送信バッファは空の状態に初期化されます。このため、RSPI初期化後にSPCR.SPTIEビットを“1”にしていると、RSPI送信割り込みが発生します。CPUでRSPIを初期化する場合に、RSPI送信割り込みを禁止するためには、SPEビットへの“0”書き込みと同時にSPTIEビットにも“0”を書いてください。モードフォルトエラー検出後のRSPI送信割り込みを禁止するためには、エラー処理ルーチンでSPTIEビットに“0”を書いてください。

31.3.9.2 システムリセット

システムリセットによる初期化では、「31.3.9.1 SPEビットのクリアによる初期化」に記載の事項に加え、RSPI制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPIが完全に初期化されます。

31.3.10 SPI 動作

31.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出（「31.3.8 エラー検出」を参照）のみです。シングルマスタモードの RSPI ではモードフォルトエラーを検出しません。マルチマスタモードの RSPI ではモードフォルトエラーを検出します。本節では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

RSPI 送信バッファが空（次転送のデータがセットされていない）の状態、SPDR レジスタへデータを書き込むと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については「31.3.5 転送フォーマット」を参照してください。SSLAi 出力端子の極性は、SSLP レジスタの設定値に依存します。

(2) シリアル転送の終了

SPCMDm.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに対応する RSPCKA エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。SSLAi 出力端子の極性は、SSLP レジスタの設定値に依存します。RSPI の転送フォーマットの詳細については「31.3.5 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードのRSPIで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタにはRSPIクロック遅延値、SSLND レジスタにはSSLネゲート遅延、SPND レジスタにはRSPI次アクセス遅延値が設定されています。

RSPIは、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPIには、シーケンスを構成しているSPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを“1”にしてRSPI機能を許可すると、RSPIはコマンドに対するポインタをSPCMD0 レジスタにセットし、シリアル転送の開始時にSPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIはポインタをSPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

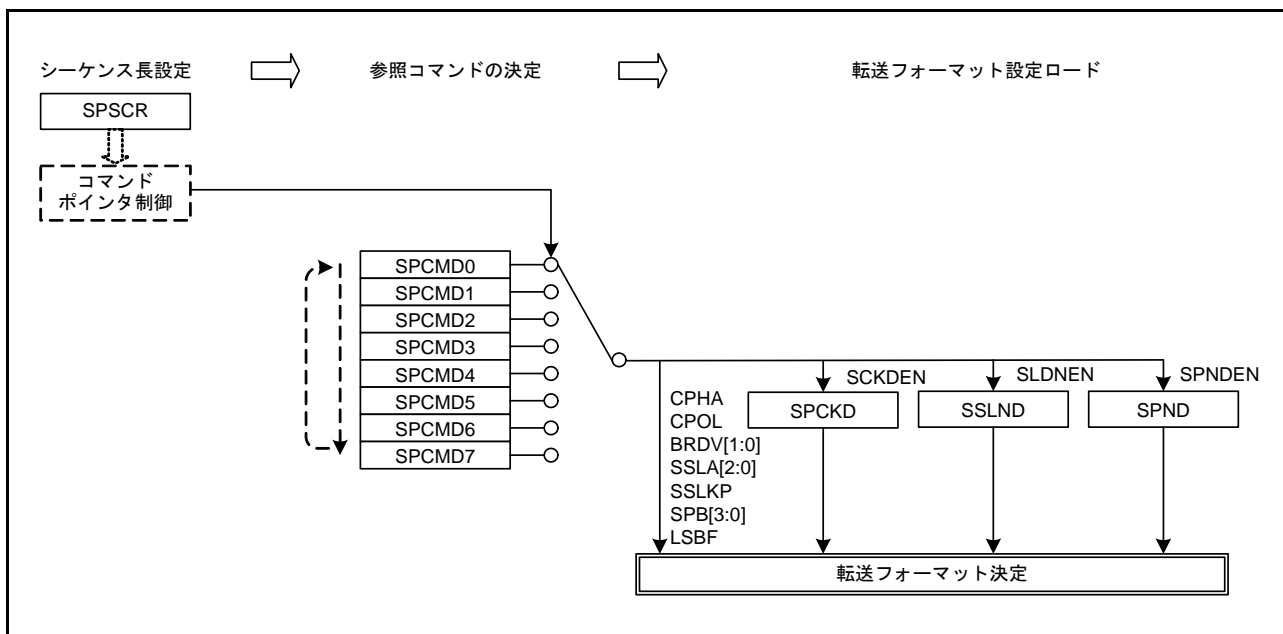


図 31.30 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

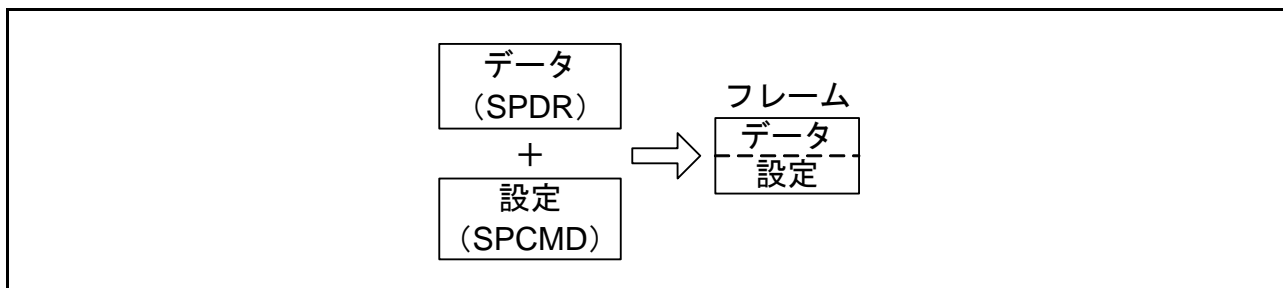


図 31.31 フレームの概念図

表 31.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 31.32 に示します。

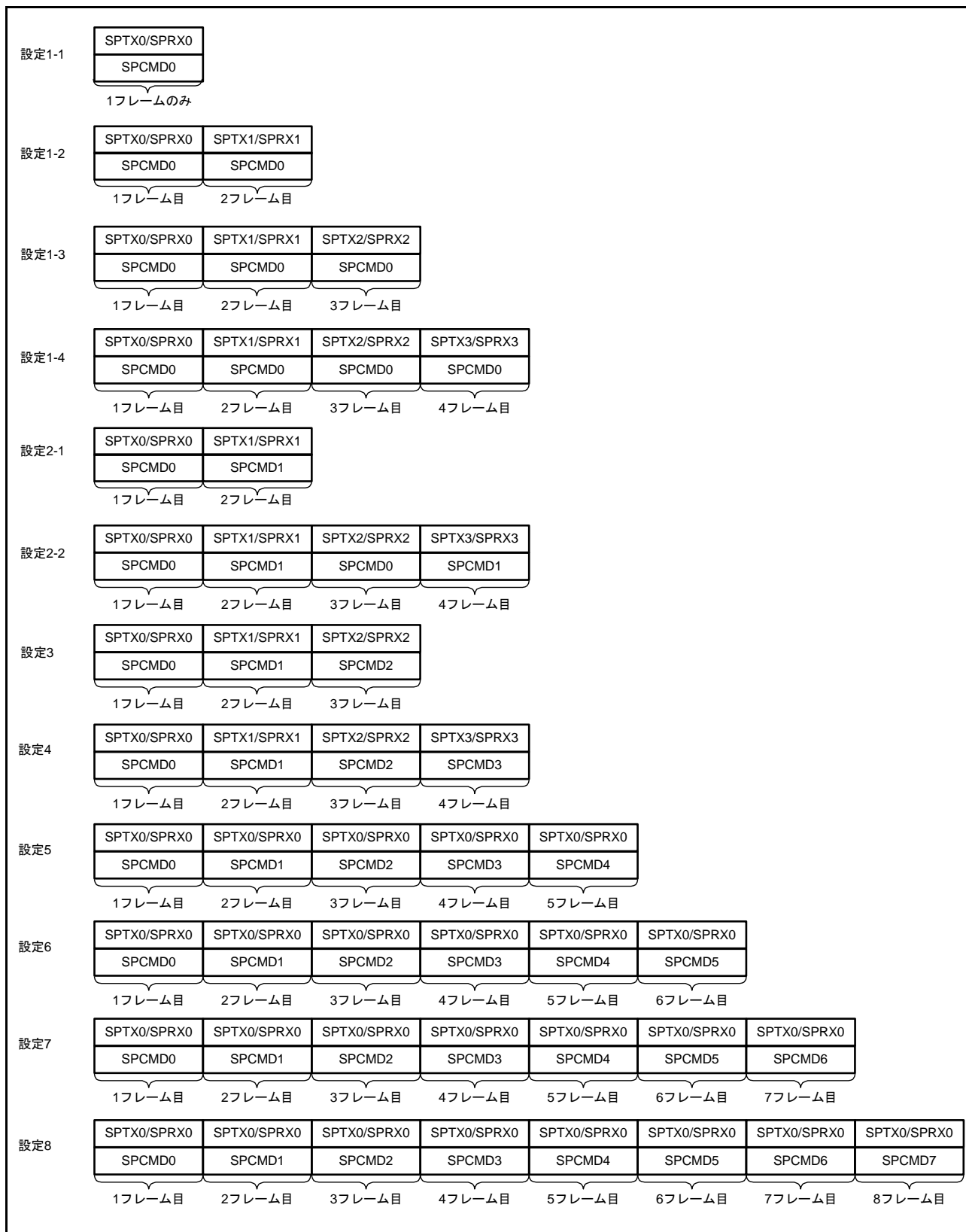


図 31.32 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) バースト転送

RSPiが現在のシリアル転送で参照しているSPCMDm.SSLKPビットが“1”の場合には、RSPiはシリアル転送中のSSLAi信号レベルを次のシリアル転送のSSLAi信号アサート開始まで保持します。次のシリアル転送でのSSLAi信号レベルが、現在のシリアル転送でのSSLAi信号レベルと同じであれば、RSPiはSSLAi信号アサート状態を保持したまま連続的にシリアル転送を実行することができます（バースト転送）。

図31.33に、SPCMD0、1レジスタの設定を使用してバースト転送を実現した場合のSSLAi信号動作例を示します。図31.33に記載した(1)～(7)のRSPi動作内容について、以下に説明します。なお、SSLAi出力信号の極性は、SSLPレジスタの設定値に依存します。

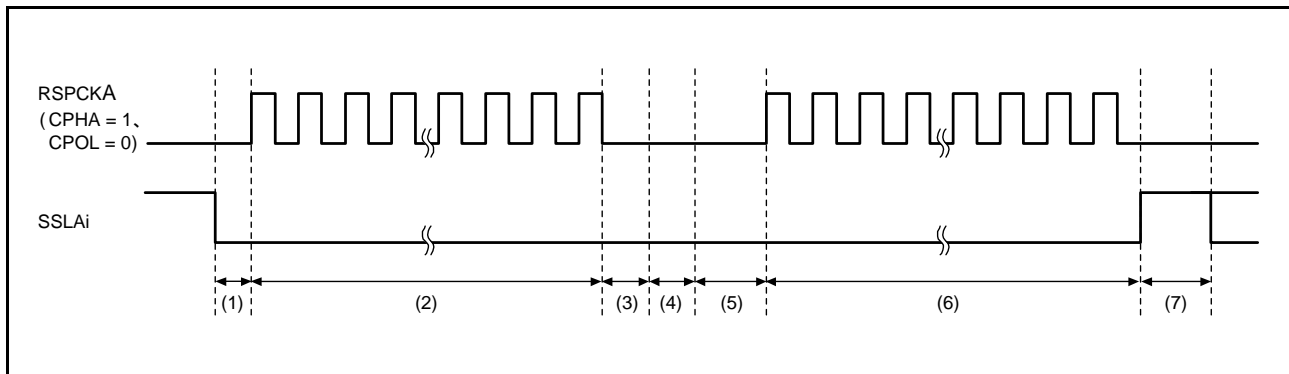


図 31.33 SSLKP ビットを利用したバースト転送動作の例

- (1) SPCMD0 レジスタに従った SSLAi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (2) SPCMD0 レジスタに従ったシリアル転送を実行します。
- (3) SSL ネゲート遅延を挿入します。
- (4) SPCMD0.SSLKP ビットが“1”であるため、SPCMD0 レジスタでの SSLAi 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
- (5) SPCMD1 レジスタに従った SSLAi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (6) SPCMD1 レジスタに従ったシリアル転送を実行します。
- (7) SPCMD1.SSLKP ビットが“0”であるため、SSLAi 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを“1”にした SPCMDm レジスタでの SSLAi 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLAi 信号出力設定が異なる場合、RSPi は次転送のコマンドに対応した SSLAi 信号のアサート時（図 31.33 の (5)）に SSLAi 信号状態を切り替えます。このような SSLAi 信号の切り替えが発生した場合、MISOA をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPi は、SSLKP ビットを使用しない場合の SSLAi 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが“0”の場合でも、RSPi は内部で検出した次転送の SSLAi 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます（「31.3.10 SPI 動作」を参照）。

(5) RSPCK 遅延 (t1)

マスタモードのRSPIのRSPCK遅延値は、SPCMDm.SCKDENビットの設定とSPCKDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SCKDENビットとSPCKDレジスタを使用して、表31.9のようにシリアル転送時のRSPCK遅延値を決定します。なお、RSPCK遅延の定義については、「31.3.5 転送フォーマット」を参照してください。

表31.9 SCKDENビット、SPCKDレジスタとRSPCK遅延値の関係

SPCMDm.SCKDENビット	SPCKD.SCKDL[2:0]ビット	RSPCK遅延値
0	000 ~ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(6) SSLネゲート遅延 (t2)

マスタモードのRSPIのSSLネゲート遅延値は、SPCMDm.SLN DENビットの設定とSSLNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SLN DENビットとSSLNDレジスタを使用して、表31.10のようにシリアル転送時のSSLネゲート遅延値を決定します。なお、SSLネゲート遅延の定義については、「31.3.5 転送フォーマット」を参照してください。

表31.10 SLNDENビット、SSLNDレジスタとSSLネゲート遅延値の関係

SPCMDm.SLN DENビット	SSLND.SLN DL[2:0]ビット	SSLネゲート遅延値
0	000 ~ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(7) 次アクセス遅延 (t3)

マスタモードのRSPIの次アクセス遅延は、SPCMDm.SPNDENビットの設定とSPNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SPNDENビットとSPNDレジスタを使用して、表31.11のようにシリアル転送時のRSPCK遅延を決定します。なお、次アクセス遅延の定義については、「31.3.5 転送フォーマット」を参照してください。

表31.11 SPNDENビット、SPNDレジスタと次アクセス遅延値の関係

SPCMDm.SPNDENビット	SPND.SPNDL[2:0]ビット	次アクセス遅延値
0	000 ~ 111	1RSPCK + 2PCLK
1	000	1RSPCK + 2PCLK
	001	2RSPCK + 2PCLK
	010	3RSPCK + 2PCLK
	011	4RSPCK + 2PCLK
	100	5RSPCK + 2PCLK
	101	6RSPCK + 2PCLK
	110	7RSPCK + 2PCLK
	111	8RSPCK + 2PCLK

(8) 初期化フロー

図 31.34 に、SPI 動作時、RSPI をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

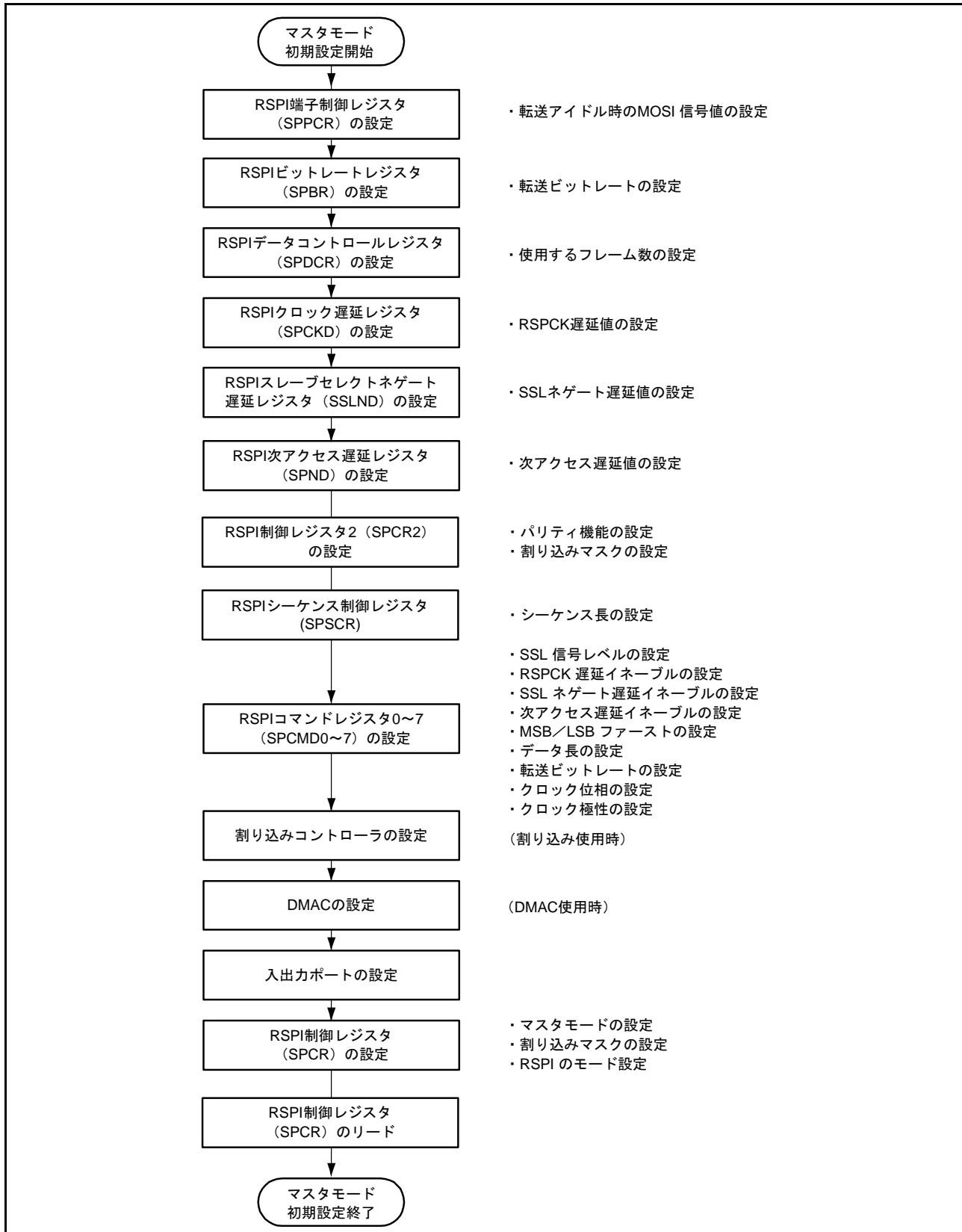


図 31.34 マスターモード時の初期化フロー例 (SPI 動作)

(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 31.35 ~ 図 31.37 に示します。

(a) 送信処理フロー

送信を行う場合、最終データの書き込み完了後 SPII 割り込みを許可することによって、全データ送信完了を CPU に通知することが可能です。

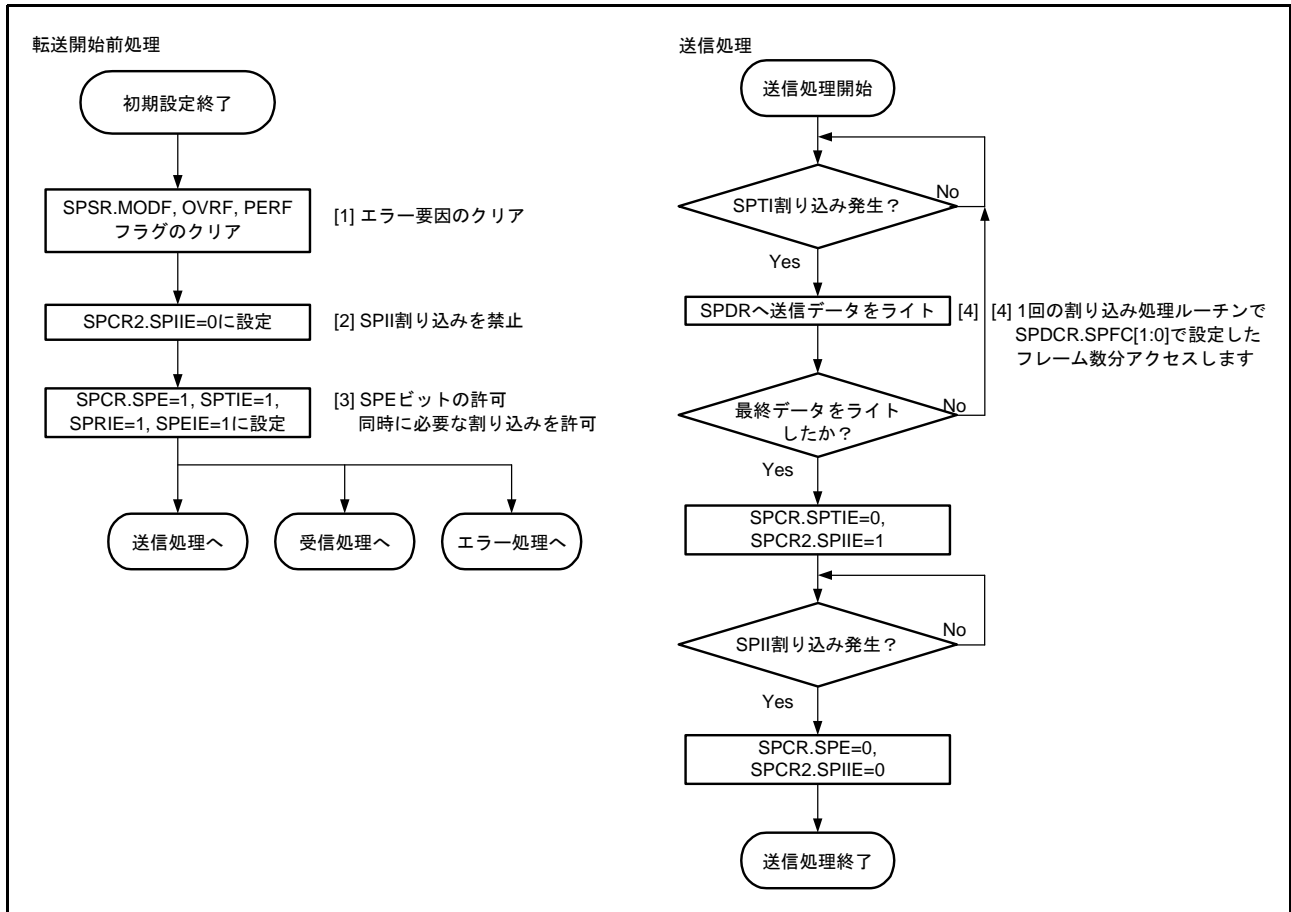


図 31.35 マスタモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの動作を持たないため、常に送信を必要とします。

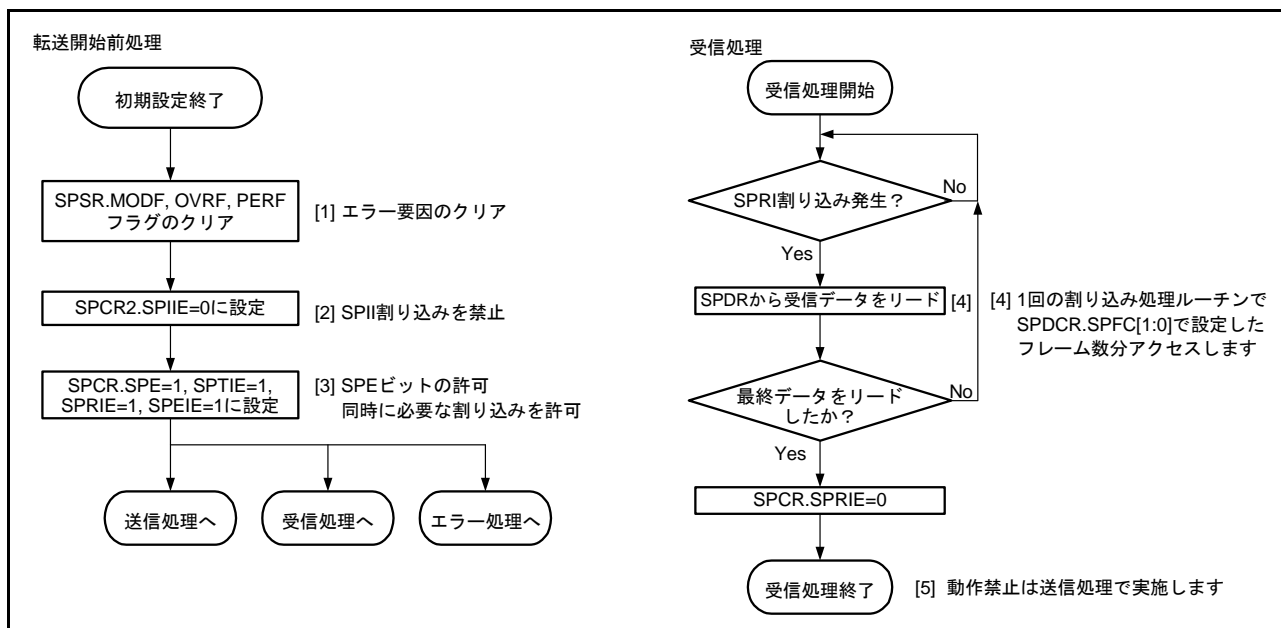


図 31.36 マスタモード時のフローチャート (受信)

(c) エラー処理フロー

RSPIは3種類のエラーを持ちます。モードフォルトエラー発生時は、SPCR.SPEビットが自動的にクリアされ、送信/受信動作を停止させます。しかし、その他のエラー要因ではSPCR.SPEビットはクリアされず送信/受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0]ビットが更新されてしまうため、SPCR.SPEビットをクリアし動作を停止することを推奨します。

エラー発生時は、ICU.IRn.IRフラグにSPTI割り込みまたはSPRI割り込み要求が保持されている可能性がありますので、エラー処理にてICU.IRn.IRフラグをクリアしてください。

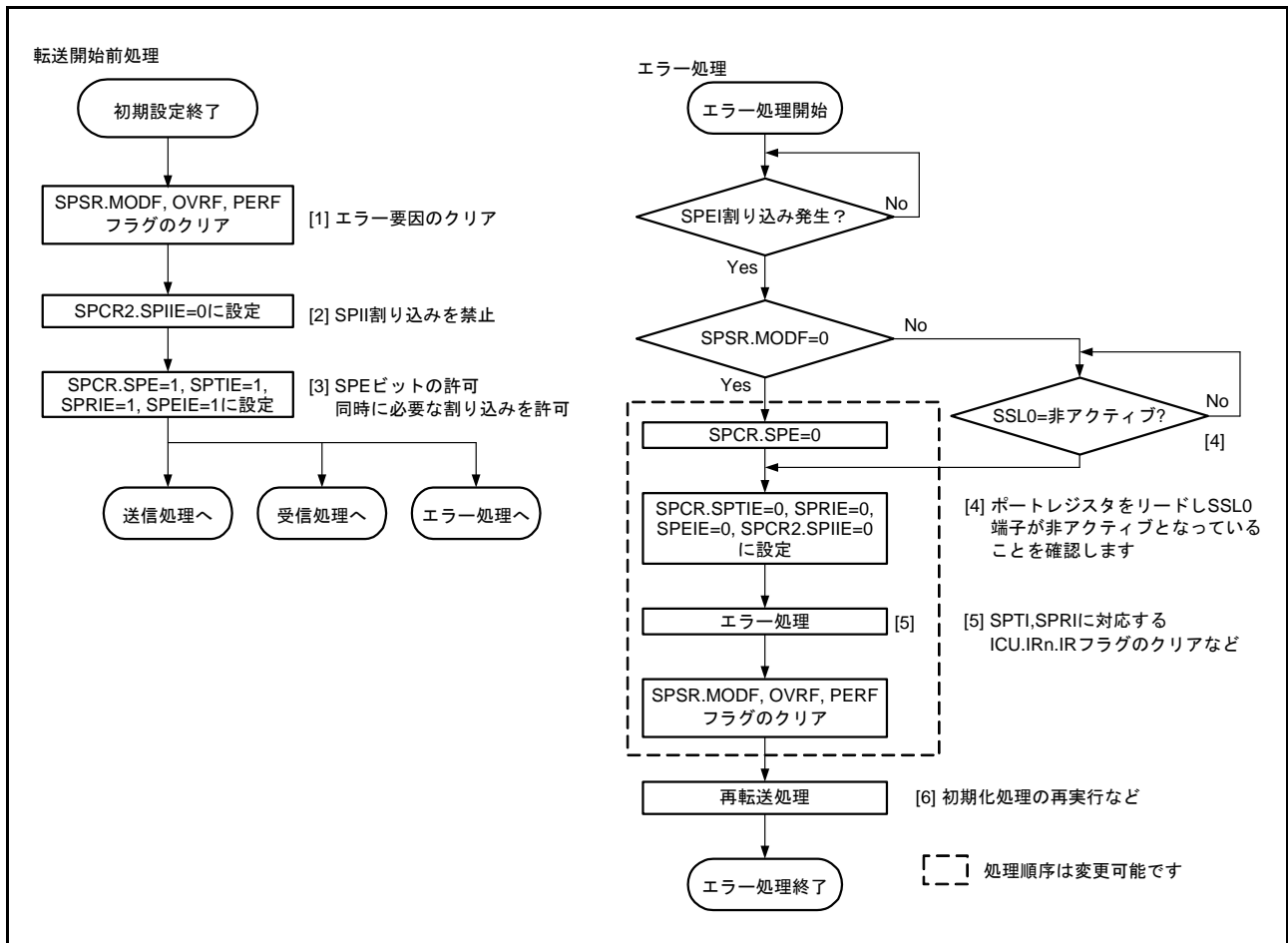


図 31.37 マスタモード時のフローチャート (エラー)

31.3.10.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが“0”の場合、RSPIはSSLA0入力信号のアサートを検出すると、MISOA出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが“0”の場合には、SSLA0入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが“1”の場合には、RSPIはSSLA0入力信号のアサート状態で最初のRSPCKAエッジを検出すると、MISOA出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが“1”の場合には、SSLA0信号アサート状態における最初のRSPCKAエッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、RSPIがMISOA出力信号のドライブを開始するタイミングは、SSLA0信号アサートタイミングです。CPHA ビットの設定によって、RSPIが出力するデータの有効/無効が異なります。

なお、RSPIの転送フォーマットの詳細については、「31.3.5 転送フォーマット」を参照してください。SSLA0入力信号の極性は、SSLP.SSLOPビットの設定値に依存します。

(2) シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、RSPIは最終サンプリングタイミングに相当するRSPCKAエッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態に関わらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間にRSPIがSSLA0入力信号のネゲートを検出するとモードフォルトエラーが発生します（「31.3.8 エラー検出」を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。SSLA0入力信号の極性は、SSLP.SSLOPビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「31.3.5 転送フォーマット」を参照してください。

(3) シングルスレーブ時の注意点

SPCMD0.CPHA ビットが“0”の場合には、RSPIはSSLA0入力信号のアサートエッジを検出するとシリアル転送を開始します。図31.7の例に示したような構成でRSPIをシングルスレーブで使用する場合には、SSLA0入力信号が常にアクティブ状態に固定されるため、CPHA ビットを“0”に設定したRSPIではシリアル転送を正しく開始できません。SSLA0入力信号をアクティブ状態に固定する構成で、スレーブモードRSPIの送受信を正しく実行するためには、CPHA ビットを“1”にしてください。CPHA ビットを“0”にする必要がある場合には、SSLA0入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが“1”の場合には、SSLA0 入力信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。CPHA ビットが“1”の場合には、SSLA0 入力信号アクティブ状態における最初の RSPCKA エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLA0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが“0”の場合には、バースト転送の2回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 31.38 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

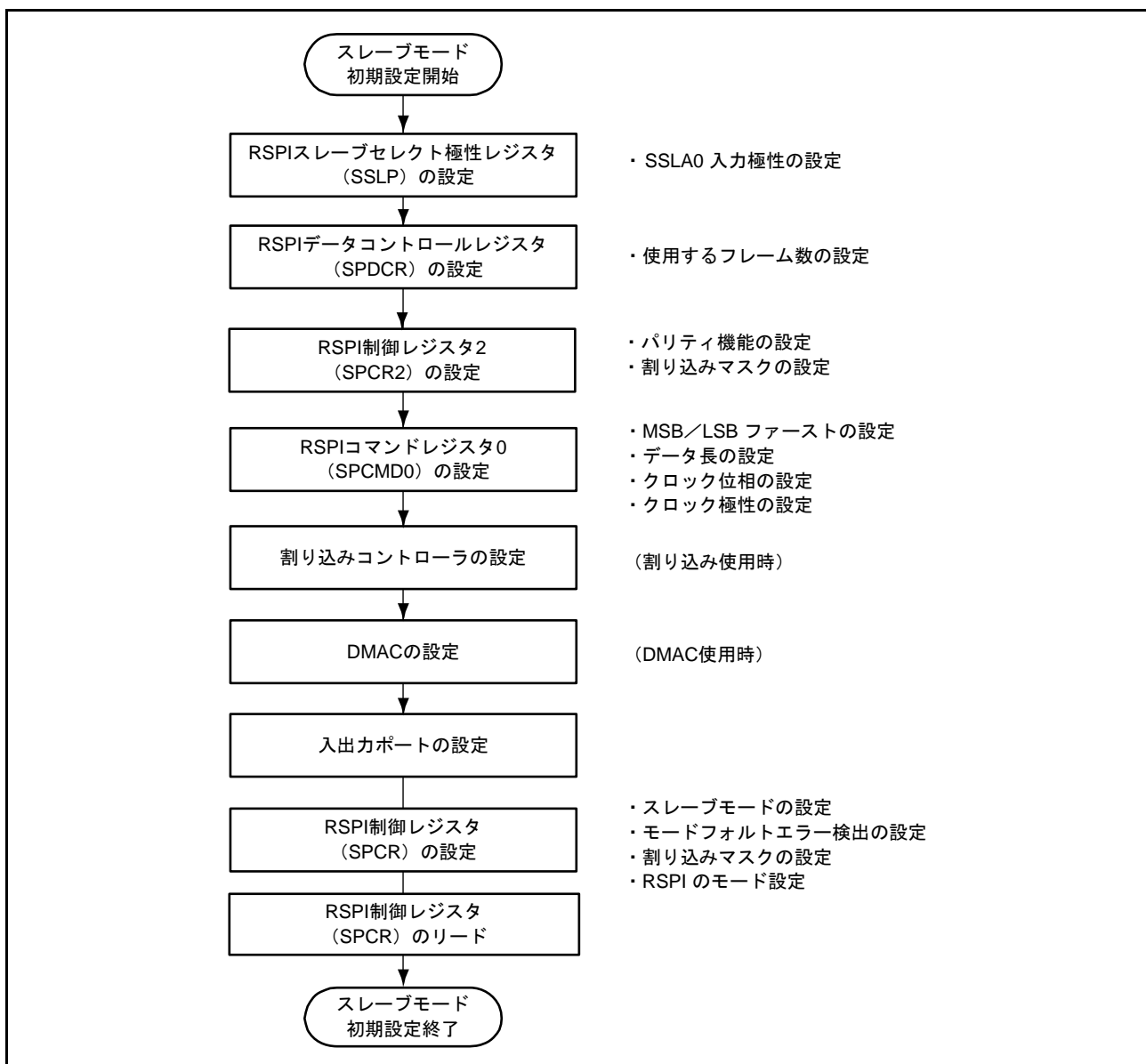


図 31.38 スレーブモード時の初期化フロー例 (SPI 動作)

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 31.39 ~ 図 31.41 に示します。

(a) 送信処理フロー

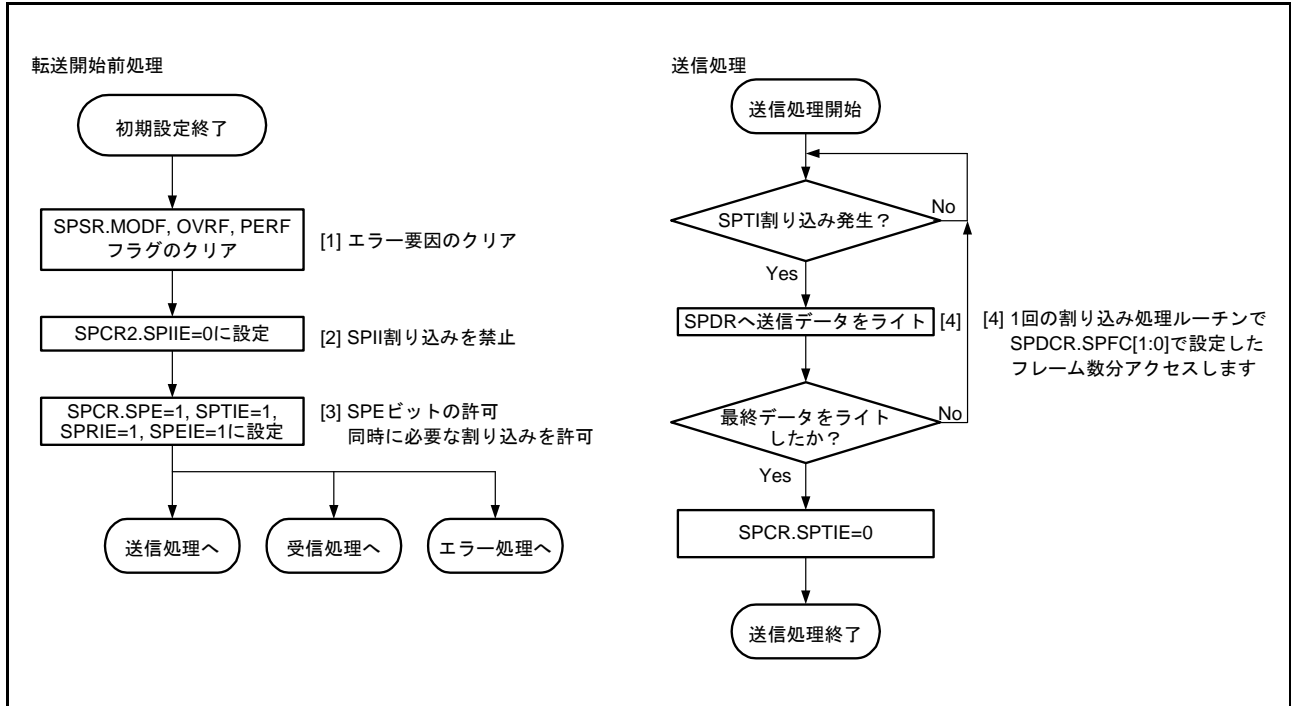


図 31.39 スレーブモード時のフローチャート (送信)

(b) 受信処理フロー

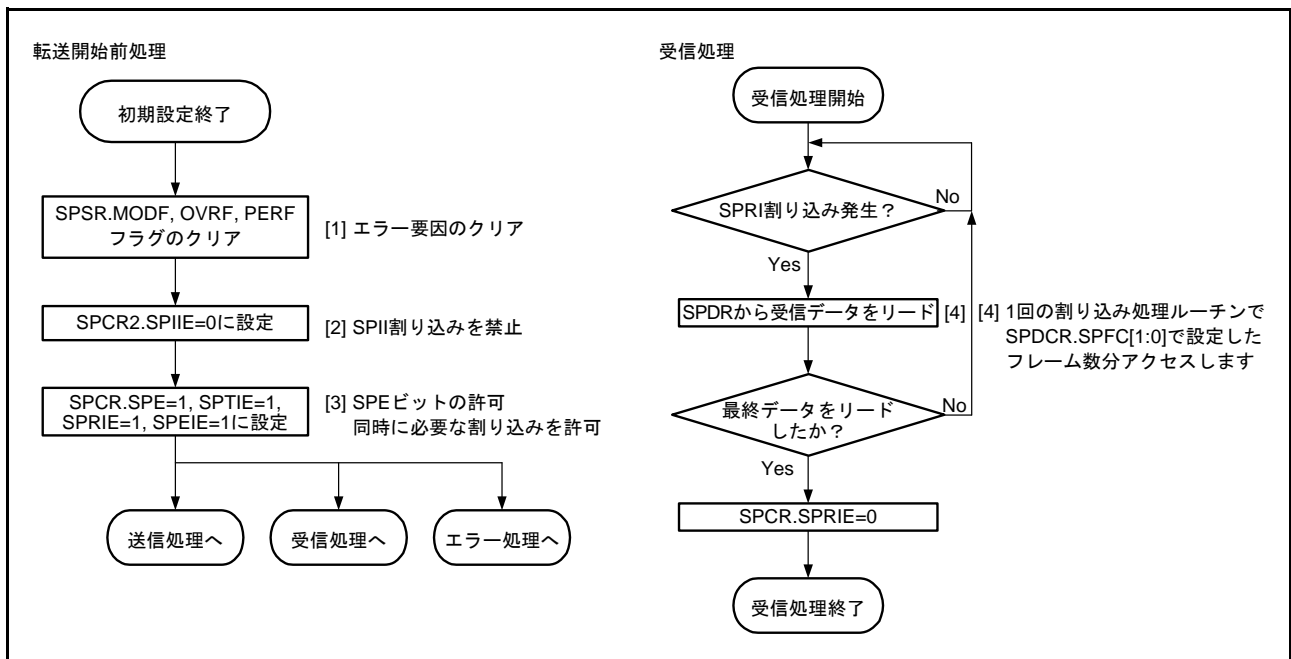


図 31.40 スレーブモード時のフローチャート (受信)

(c) エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても端子を非アサートにせず、SPSR.MODF フラグをクリアすることができます。

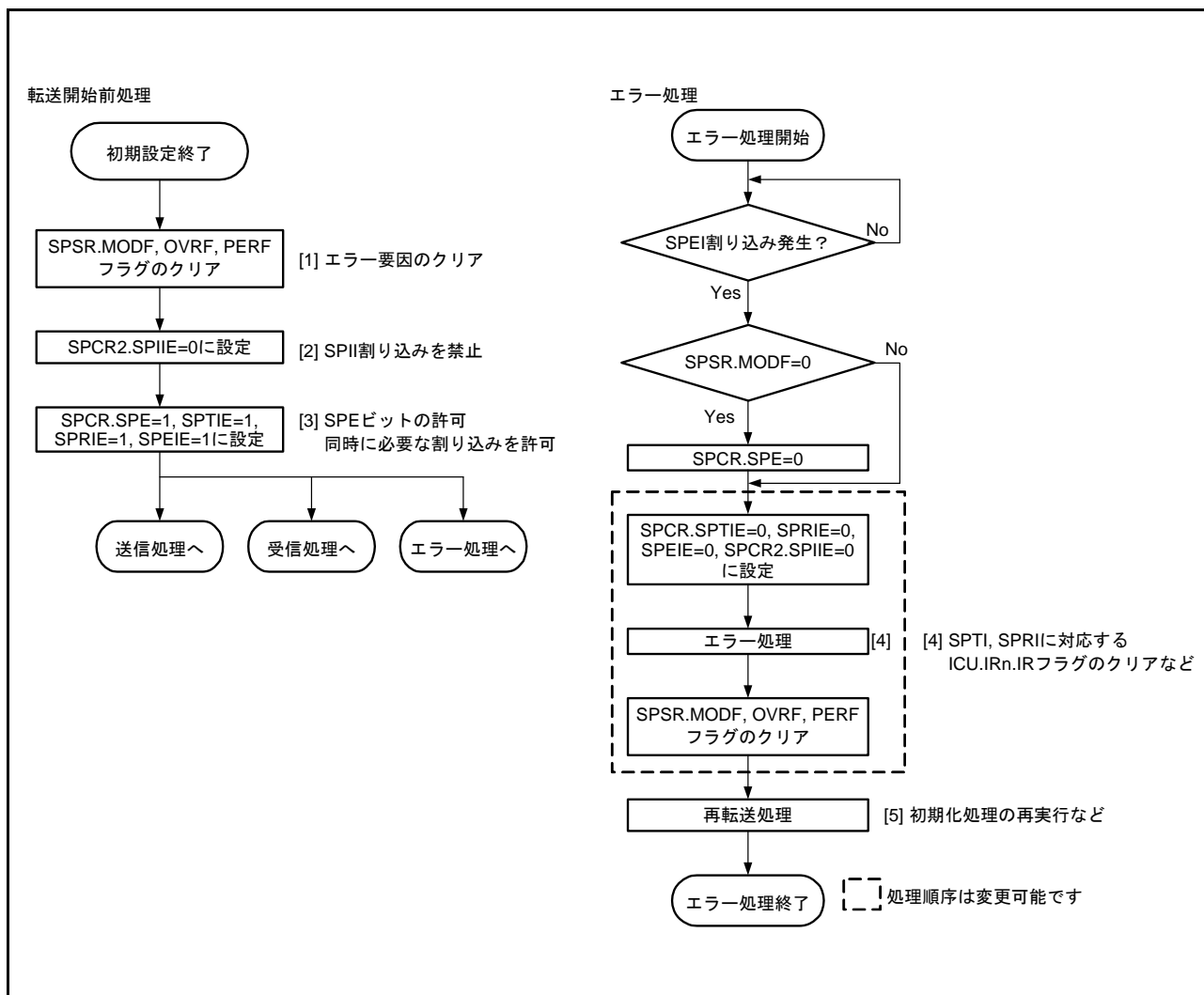


図 31.41 スレーブモード時のフローチャート (エラー処理)

31.3.11 クロック同期式動作

RSPIは、SPCR.SPMS ビットが“1”であるとき、クロック同期式動作となります。クロック同期式動作は、SSLAi 端子を使用せず、RSPCKA、MOSIA、MISOA の3本の端子を用いて通信を行い、SSLAi 端子はI/Oポートとして使用することができます。

クロック同期式動作は、SSLAi 端子を使用せず通信を行います。モジュール内部の動作はSPI動作と同様の動作を行います。マスタ動作、スレーブ動作において、SPI動作時と同様のフローで通信を行うことができますが、SSLAi 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR=0) に SPCMDm.CPHA ビットを“0”にした場合の動作について保証していません。

31.3.12 マスタモード動作

(1) シリアル転送の開始

送信バッファが空 (次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書くと、RSPIはSPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへSPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIの転送フォーマットの詳細については、「31.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに対応するRSPCKA エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空の場合には、シリアル転送終了後にシフトレジスタからSPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIのデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。

RSPIの転送フォーマットの詳細については、「31.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。クロック同期式動作時は、SSLAi 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードのRSPIで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCKA 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタにはRSPIクロック遅延値、SSLND レジスタにはSSLネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPIは、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPIには、シーケンスを構成しているSPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットが“1”でRSPI動作が許可された状態にすると、RSPIはコマンドに対するポインタをSPCMD0 レジスタにセットし、シリアル転送の開始時にSPCMD0 レジスタの設定内容を転送フォーマットに反映します。

RSPIは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIはポインタをSPCMD0レジスタにセットするので、シーケンスは繰り返し実行されます。

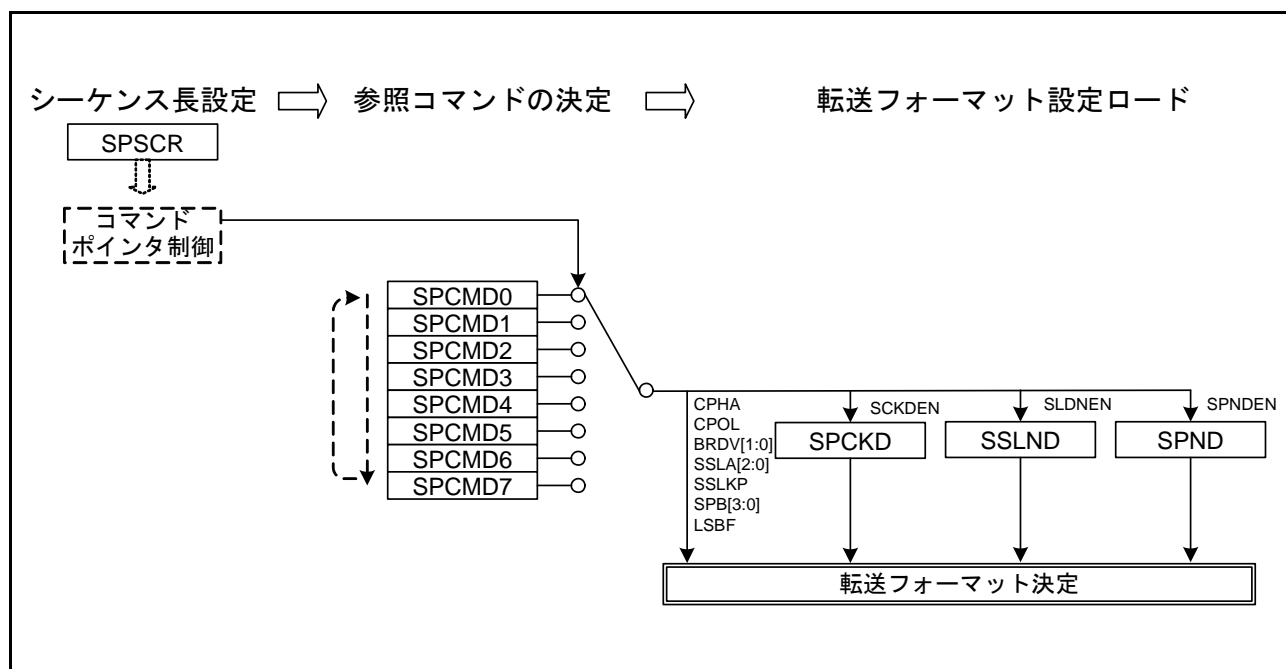


図 31.42 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

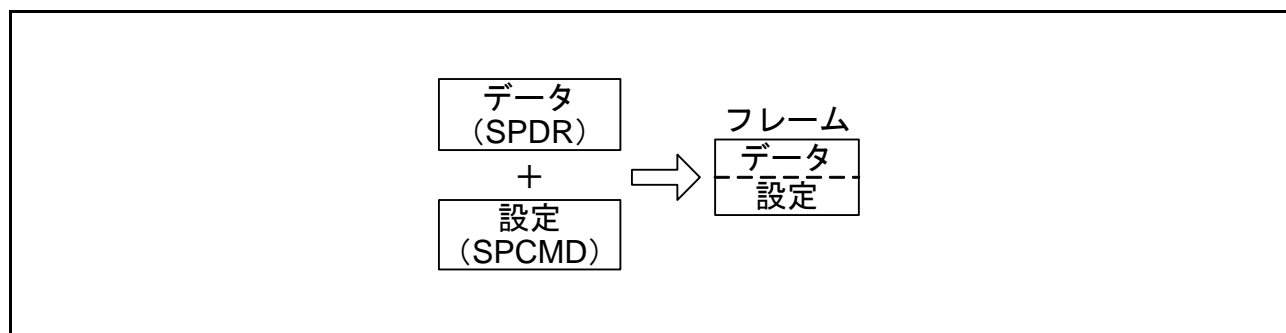


図 31.43 フレーム概念図

表 31.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 31.44 に示します。

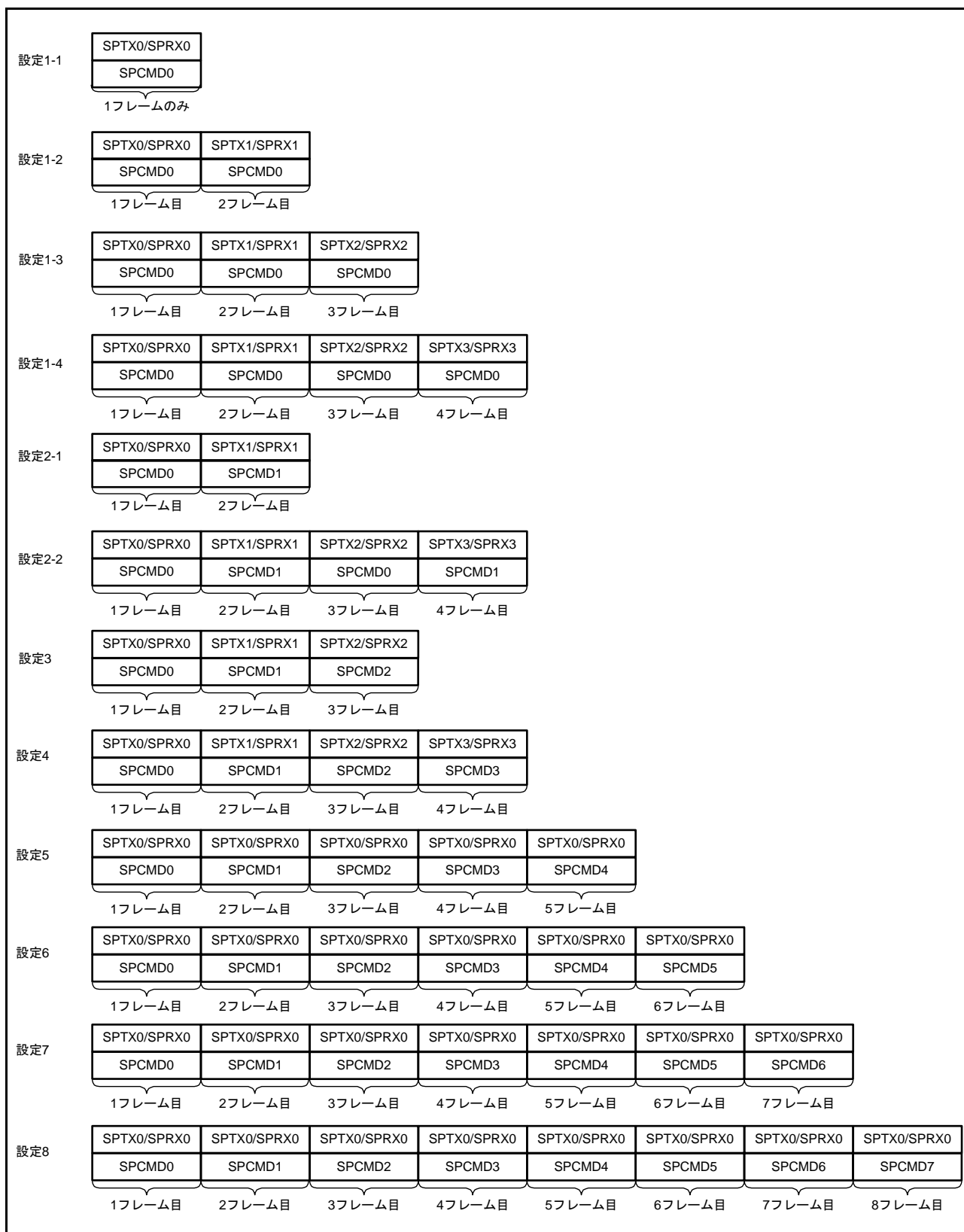


図 31.44 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) 初期化フロー

図 31.45 に、クロック同期式動作時の RSPI をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

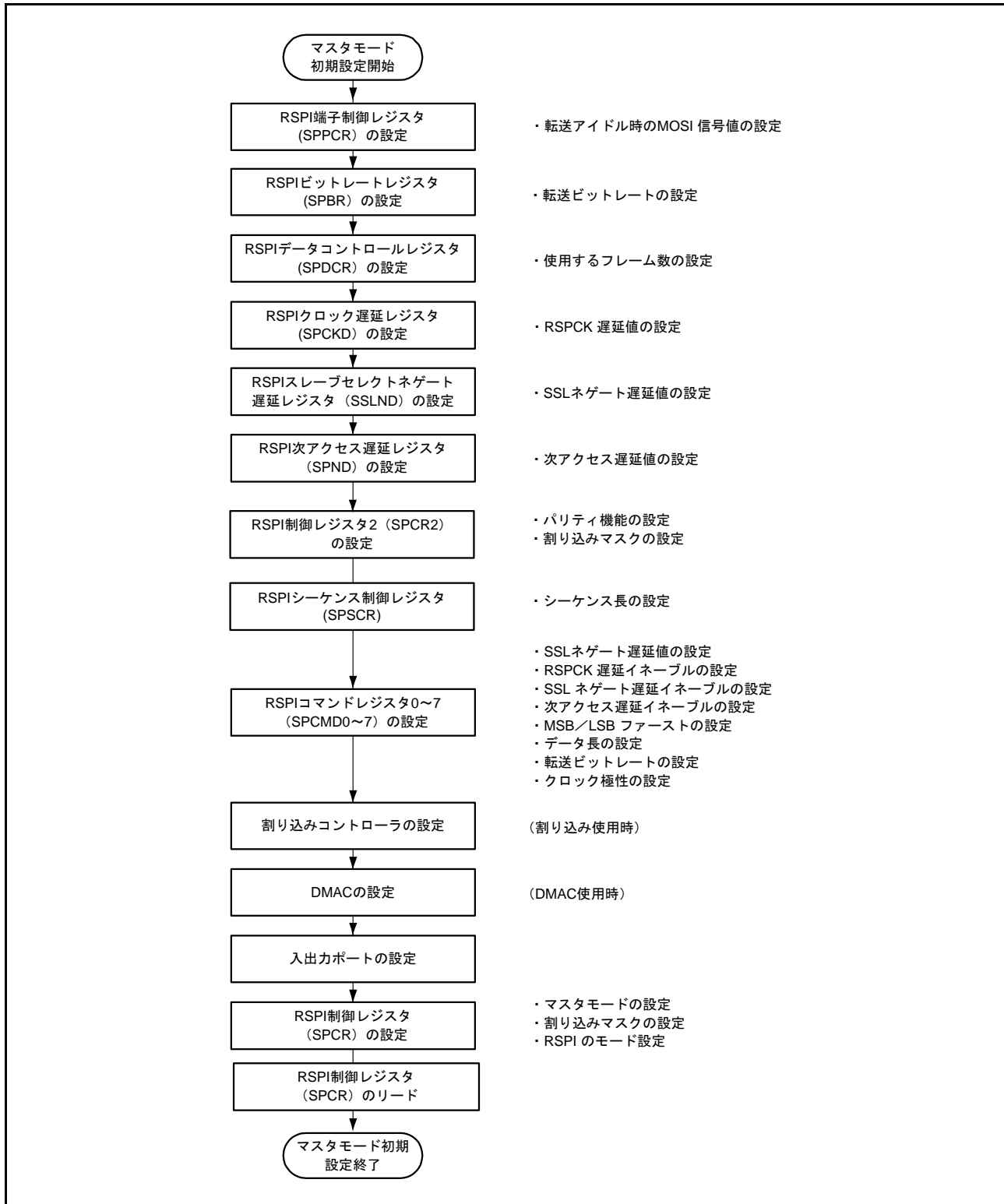


図 31.45 マスターモード時の初期化フロー例 (クロック同期式動作)

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「31.3.10.1 (9) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

31.3.13 スレーブモード動作

(1) シリアル転送の開始

RSPIは、SPCR.SPMSビットが“1”であるとき、最初のRSPCKAエッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

SPMSビットが“1”であるときは、RSPIはMISOA出力信号を常にドライブします。

なお、RSPIの転送フォーマットの詳細については、「31.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時はSSL0入力信号を使用しません。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに相当するRSPCKAエッジを検出するとシリアル転送を終了します。受信バッファが空の場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「31.3.5 転送フォーマット」を参照してください。

(3) 初期化フロー

図 31.46 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

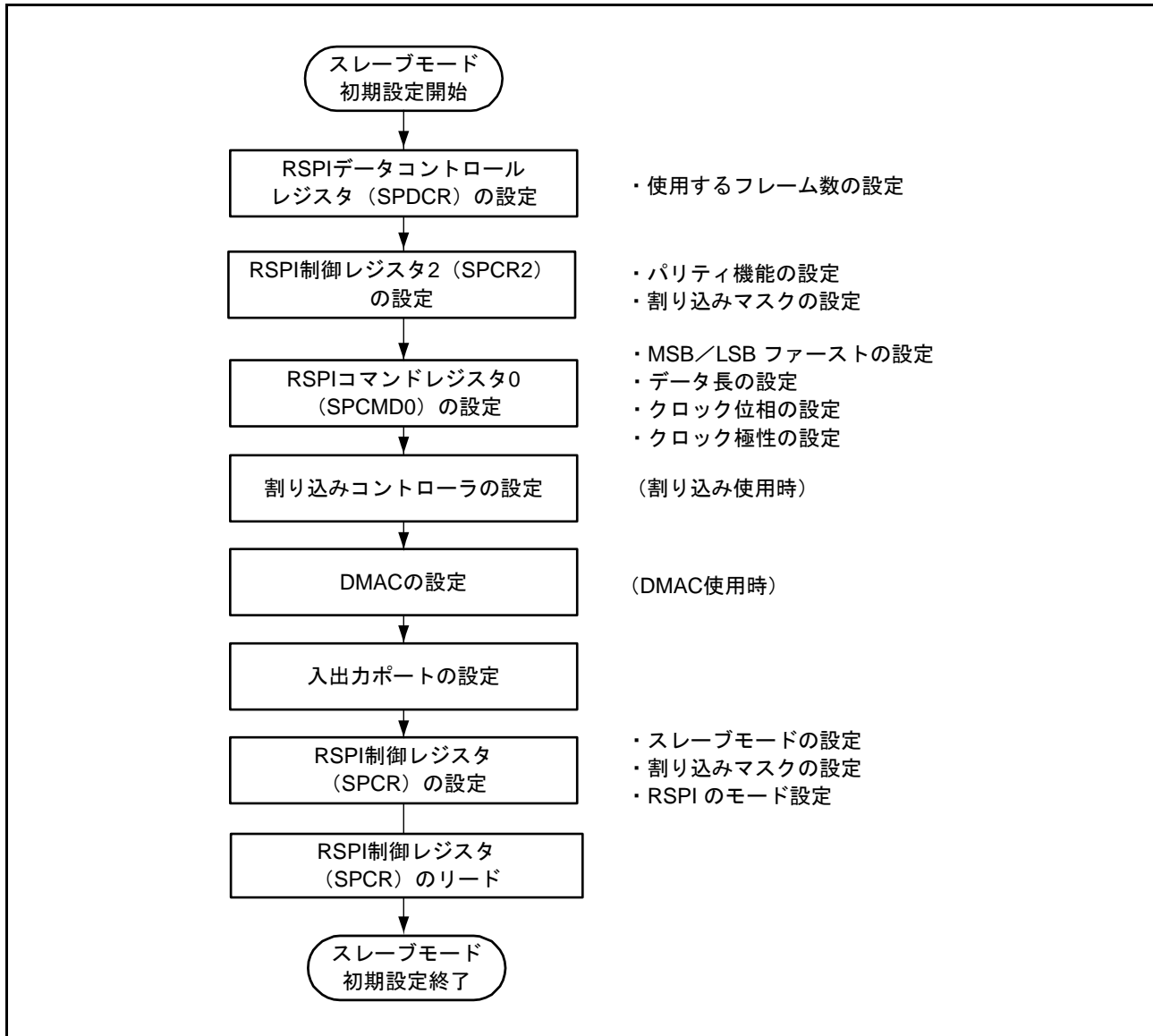


図 31.46 スレーブモード時の初期化フロー例 (クロック同期式動作)

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「31.3.10.2 (6) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

31.3.14 ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに“1”を書くと、RSPIは SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが“1”ならば、MOSIA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MISOA 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 31.12 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、図 31.47 に、マスターモードの RSPI をループバックモード (SPPCR.SPLP2 = 0、SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 31.12 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIA 端子または MISOA 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

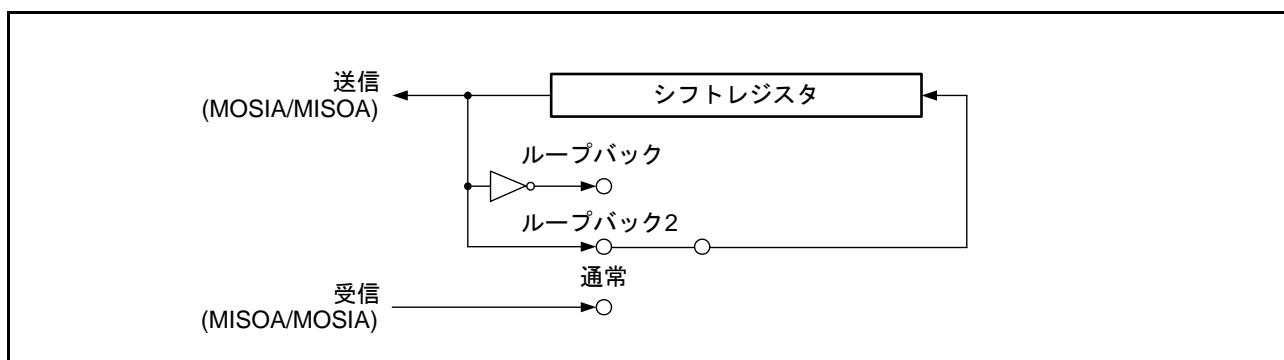


図 31.47 ループバックモード時のシフトレジスタ入出力構成 (マスターモード)

31.3.15 パリティビット機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 31.48 に示すのフローに従い、パリティ回路の自己診断を行います。

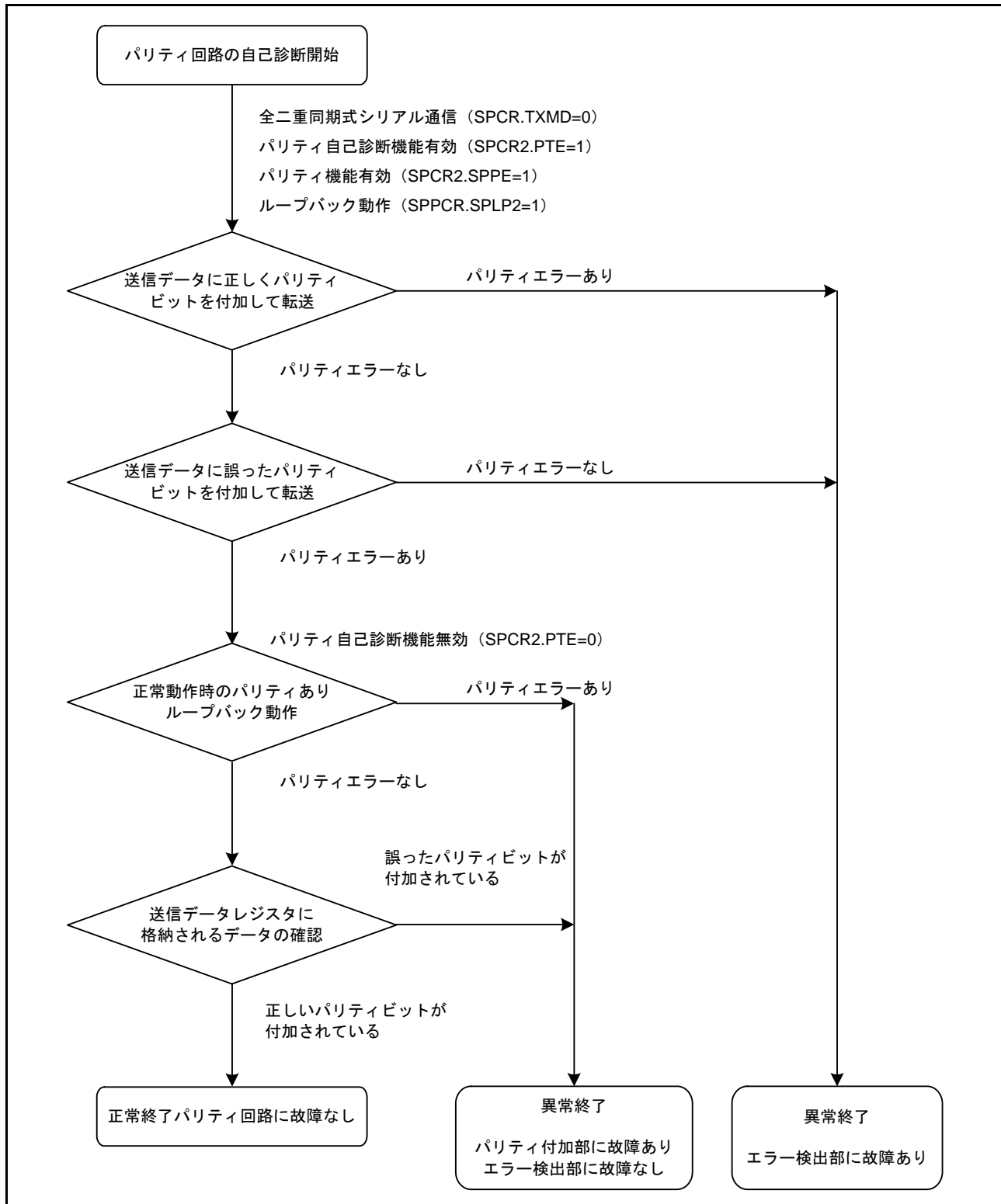


図 31.48 パリティ回路の自己診断フロー

31.3.16 割り込み要因

RSPI の割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバラン、パリティエラー、RSPI アイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC、DMAC を起動し、データ転送を行うことができます。

モードフォルト、オーバラン、パリティエラーの割り込み要求が SPEI のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表 31.13 に RSPI の割り込み要因を示します。表 31.13 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから RSPI の設定を行ってください。DTC または DMAC の設定方法は「16. DMA コントローラ (DMACA)」、「17. データトランスファコントローラ (DTCa)」を参照してください。

送信バッファエンプティ割り込み、および受信バッファフル割り込みは、ICU.IRn.IR フラグが“1”のときに割り込み発生条件となっても、ICU に対して割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。ICU.IRn.IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると、保持している割り込み要求は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にすることでクリアが可能です。

表31.13 RSPIの割り込み要因

割り込み要因	略称	割り込み条件	DMAC/DTC 起動
受信バッファフル	SPRI	SPCR.SPRIE ビットが“1”の状態を受信バッファフルになったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIE ビットが“1”の状態を送信バッファエンプティになったとき	可能
RSPIエラー (モードフォルト、オーバラン、パリティエラー)	SPEI	SPCR.SPEIE ビットが“1”の状態でSPSR.MODF、OVRF、またはPERF フラグが“1”になったとき	不可能
RSPIアイドル	SPII	SPCR2.SPIIE ビットが“1”の状態IDLNF フラグが“0”になったとき	不可能

31.4 イベントリンク出力機能

イベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。イベントリンク出力信号は、割り込み許可ビットに依存せず出力します。

31.4.1 受信バッファフルイベント出力

シリアル転送が終了してシフトレジスタから SPDR レジスタに受信データを転送したときに、イベントを出力します。

31.4.2 送信バッファエンプティイベント出力

送信バッファからシフトレジスタに送信データが転送されたとき、また、SPE ビットを“0”から“1”に変化させたときにイベントを出力します。

31.4.3 モードフォルト／オーバラン／パリティエラーイベント出力

(1) モードフォルト

表 31.14 にモードフォルトイベント出力の発生条件を示します。

表31.14 モードフォルトイベント出力の発生条件

	SPCR.MODFEN ビット	SSLA0端子	備考
マスタ (MSTRビットが“1”)	1	アクティブ	本条件 (MSTRビットが“1”かつSPCR.MODFENビットが“1”の時) では、モードフォルトエラーおよびオーバランエラー、パリティエラーイベント出力は使用できません。 ELSRnレジスタに“52h”を設定しないでください。
スレーブ (MSTRビットが“0”)	1	非アクティブ	通信動作中にSSL0端子が非アクティブになった場合のみイベント出力

モードフォルトイベント出力の発生条件として、マルチマスタモードのときは、SPCR.MSTR ビットが“1” (マスタモード)、SPCR.MODFEN ビットが“1” (モードフォルトエラー検出を許可) の状態で、SSL 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したときに、イベントを出力します。スレーブモードのときは、SPCR.MSTR ビットが“0” (スレーブモード)、SPCR.MODFEN ビットが“1” (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSL 端子がネゲートされ、RSPI がモードフォルトエラーを検出したときに、イベントを出力します。

(2) オーバラン

オーバランイベント出力の発生条件として、SPCR.TXMD ビットが“0”、かつ受信用バッファに未リードのデータがある状態でシリアル転送が終了したとき、OVRF フラグが“1”となり、イベントを出力します。

(3) パリティエラー

パリティエラーイベント出力の発生条件として、SPCR の TXMD ビットが“0”、SPCR2 の SPPE ビットが“1” の状態でシリアル転送が終了し、パリティエラーが検出されたとき、イベントを出力します。

31.4.4 RSPI アイドルイベント出力

(1) マスタモード時

マスタモードのときは、IDLNF フラグ (RSPI アイドルフラグ) が “0” になる条件が成立したときイベントを出力します。

(2) スレーブモード時

スレーブモードのときは、SPCR の SPE ビットが “0” (RSPI 初期化) のとき、イベントを出力します。

31.4.5 送信完了イベント出力

SPI 動作、クロック同期式動作ともマスタモードのときは、IDLNF フラグ (RSPI アイドルフラグ) が “1” から “0” になる条件でイベントを出力します。

表31.15 送信完了イベント出力の発生条件 (スレーブ)

	送信バッファ状態	シフトレジスタ状態	その他
SPI動作 (SPMS=0)	エンプティ	エンプティ	SSL0入力ネゲート
クロック同期式動作 (SPMS=1)	エンプティ	エンプティ	最終RSPCKのエッジ検出

マスタ/スレーブに関わらず、送信動作中に SPCR.SPE ビットへの “0” の書き込み時、またはモードフォルトエラー発生による SPCR.SPE ビットのクリア時はイベントを出力しません。

31.5 使用上の注意事項

31.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、RSPI の動作禁止/許可を設定できます。リセット後の値では、RSPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「11. 消費電力低減機能」を参照してください。

31.5.2 消費電力低減機能の注意事項

消費電力低減機能を使用し、RSPI の消費電力を低減する場合、SPCR.SPE ビットを“0”に設定し通信を終了させた後、消費電力低減機能を使用してください。

31.5.3 通信の開始に関する注意事項

ICU.IRn.IR フラグが“1”で通信を開始すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

通信開始時点で ICU.IRn.IR フラグが“1”のときは、動作許可 (SPCR.SPE ビットを“1”にする) 前に下記の手順で割り込み要求をクリアしてください。

- (1) 通信が停止していること (SPCR.SPE ビットが“0”となっていること) を確認
- (2) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にする
- (3) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出し、“0”を確認
- (4) ICU.IRn.IR フラグを“0”にする

32. CRC演算器 (CRC)

CRC (Cyclic Redundancy Check) 演算器は、データブロックのCRCコード生成を行います。

32.1 概要

表 32.1 に CRC 演算器の仕様を示します。図 32.1 に CRC 演算器のブロック図を示します。

表 32.1 CRC演算器の仕様

項目	内容
CRC演算対象データ (注1)	8nビットのデータに対してCRCコード生成 (n=自然数)
データブロックサイズ	8ビット
CRC演算処理方式	8ビット並列実行
CRC生成多項式	3つの多項式から選択可能 <ul style="list-style-type: none"> 8ビットCRC $X^8 + X^2 + X + 1$ 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$
CRC演算切り替え	LSBファースト/MSBファースト通信用CRCコード生成から選択可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. 演算対象データをデータブロックに分割する機能はありません。8ビット単位で書いてください。

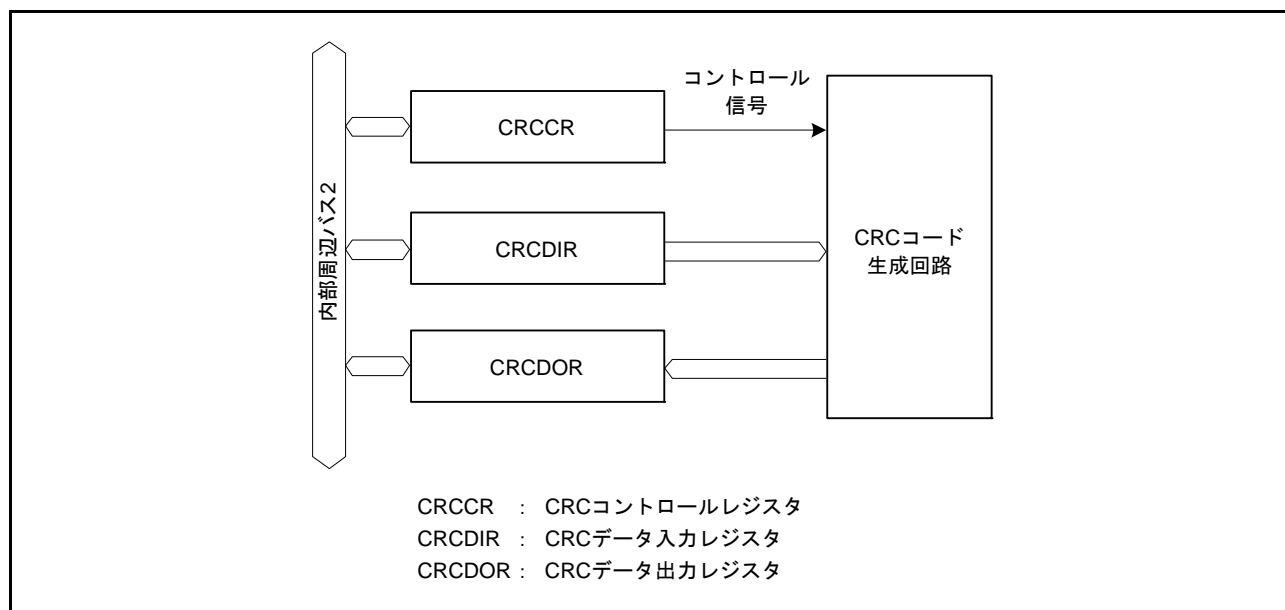
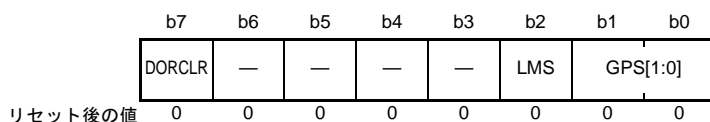


図 32.1 CRC演算器のブロック図

32.2 レジスタの説明

32.2.1 CRC コントロールレジスタ (CRCCR)

アドレス 0008 8280h



ビット	シンボル	ビット名	機能	R/W
b1-b0	GPS[1:0]	CRC生成多項式切り替えビット	b1 b0 00 : 演算しません 01 : $X^8 + X^2 + X + 1$ 10 : $X^{16} + X^{15} + X^2 + 1$ 11 : $X^{16} + X^{12} + X^5 + 1$	R/W
b2	LMS	CRC演算切り替えビット	0 : LSBファーストで通信する場合のCRC演算を行うCRCDORレジスタの値 (CRCコード) をバイト単位に分けて送信する場合、下位バイト (b7~b0) を先に送信してください 1 : MSBファーストで通信する場合のCRC演算を行うCRCDORレジスタの値 (CRCコード) をバイト単位に分けて送信する場合、上位バイト (b15~b8) を先に送信してください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DORCLR	CRCDORレジスタクリアビット	1 : CRCDORレジスタをクリア (注1) 読むと“0”が読めます	W

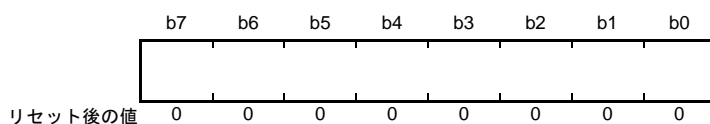
注1. “1”のみ書けます。

DORCLR ビット (CRCDOR レジスタクリアビット)

DORCLR ビットを“1”にすると、CRCDOR レジスタが“0000h”になります。
読むと“0”が読めます。“1”のみ書けます。

32.2.2 CRC データ入力レジスタ (CRCDIR)

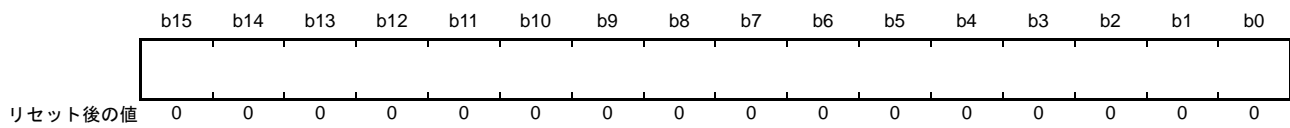
アドレス 0008 8281h



CRCDIR レジスタは、CRC 演算対象となるデータブロックを設定するための8ビットの読み出し/書き込み可能なレジスタです。

32.2.3 CRC データ出力レジスタ (CRCDOR)

アドレス 0008 8282h



CRCDOR レジスタは、演算結果を格納するための16ビットのリード/ライト可能なレジスタです。

一般に、通信データの検査のために通信データに続いてCRCコードを演算するとエラーがない場合には“0”となります。

8ビットCRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、下位バイト (b7 ~ b0) に有効なCRCコードが得られます。上位バイト (b15 ~ b8) は、更新されません。

32.3 CRC 演算器の動作説明

CRC 演算器は、LSB ファースト / MSB ファースト通信用 CRC コードを生成します。

以下に CRCCR.GPS[1:0] ビットを “11b” とし、16 ビット CRC ($X^{16} + X^{12} + X^5 + 1$ の多項式) を使用し、データ “F0h” について CRC コードを生成する場合の使用例を示します。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、CRCDOR レジスタの下位バイトに有効な CRC コードが得られます。

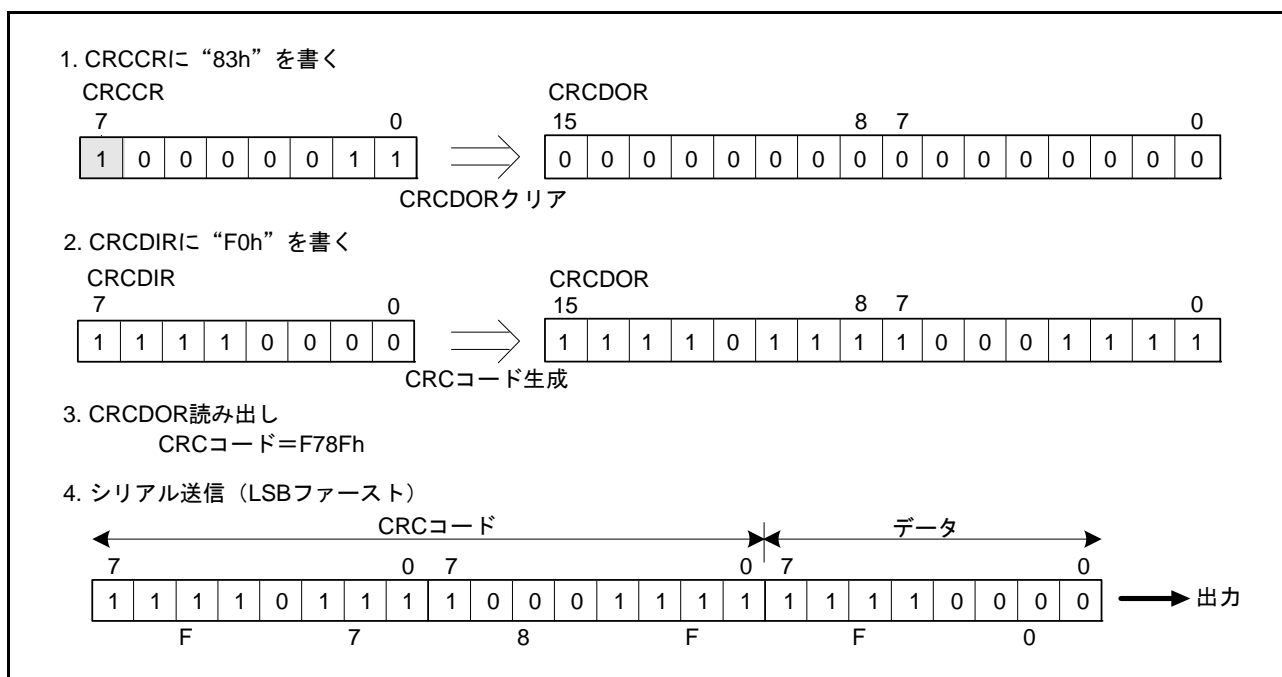


図 32.2 LSB ファーストでのデータ送信

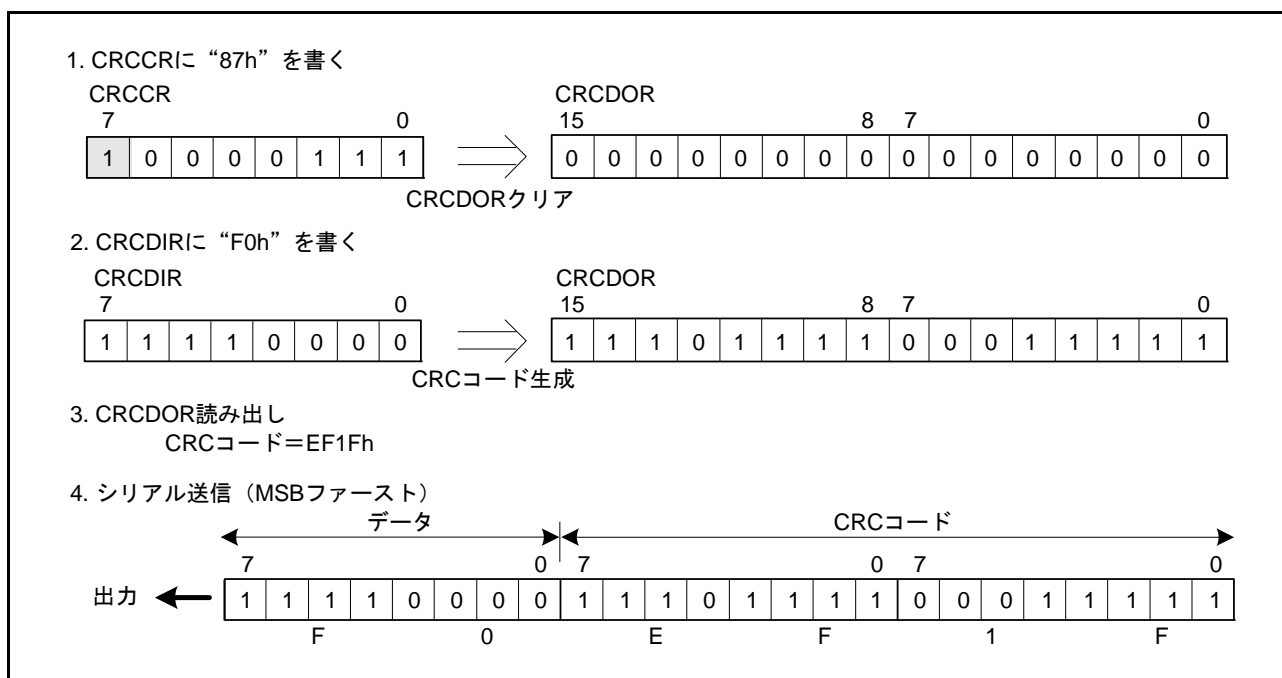


図 32.3 MSB ファーストでのデータ送信

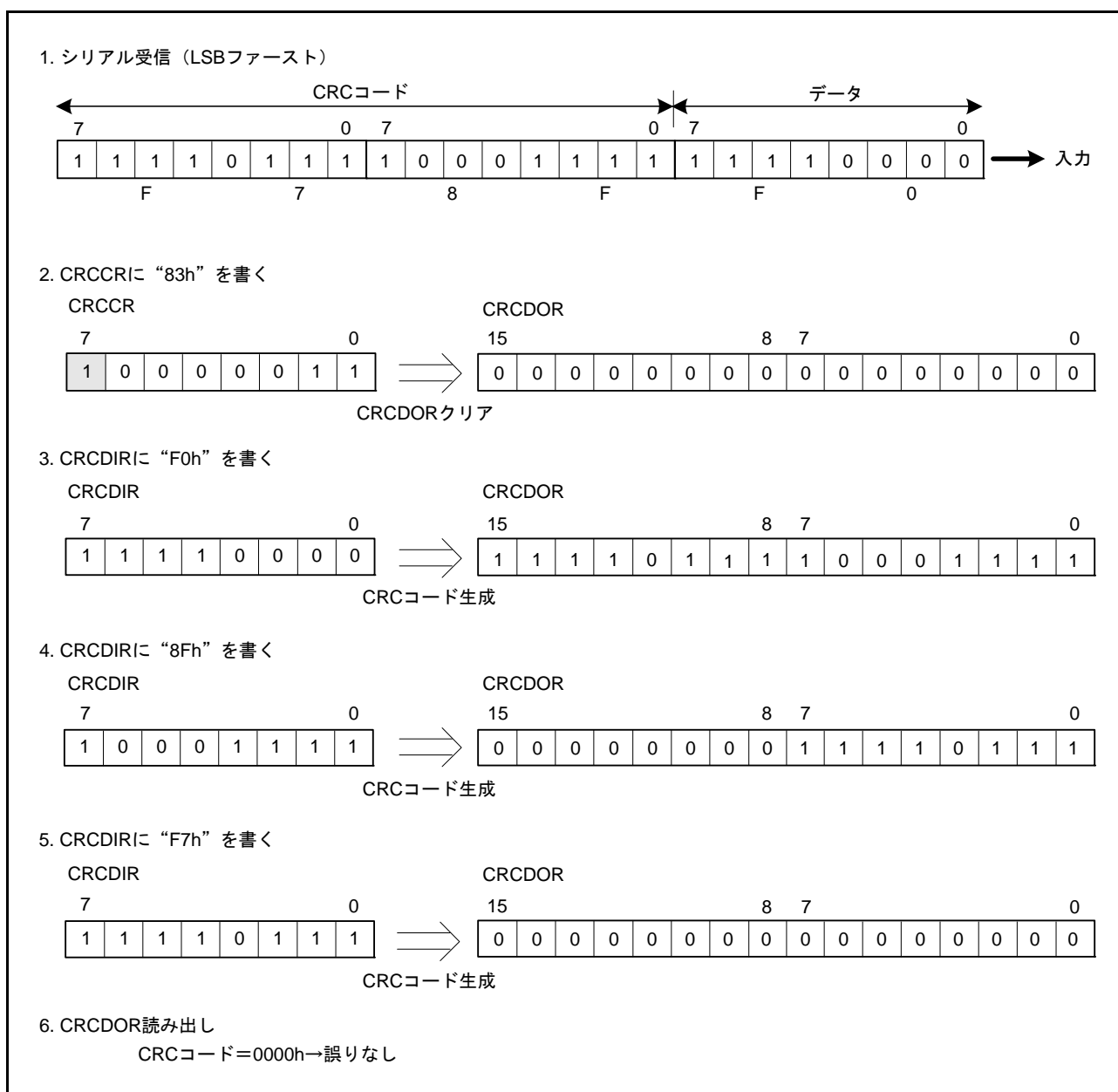


図 32.4 LSBファーストでのデータ受信

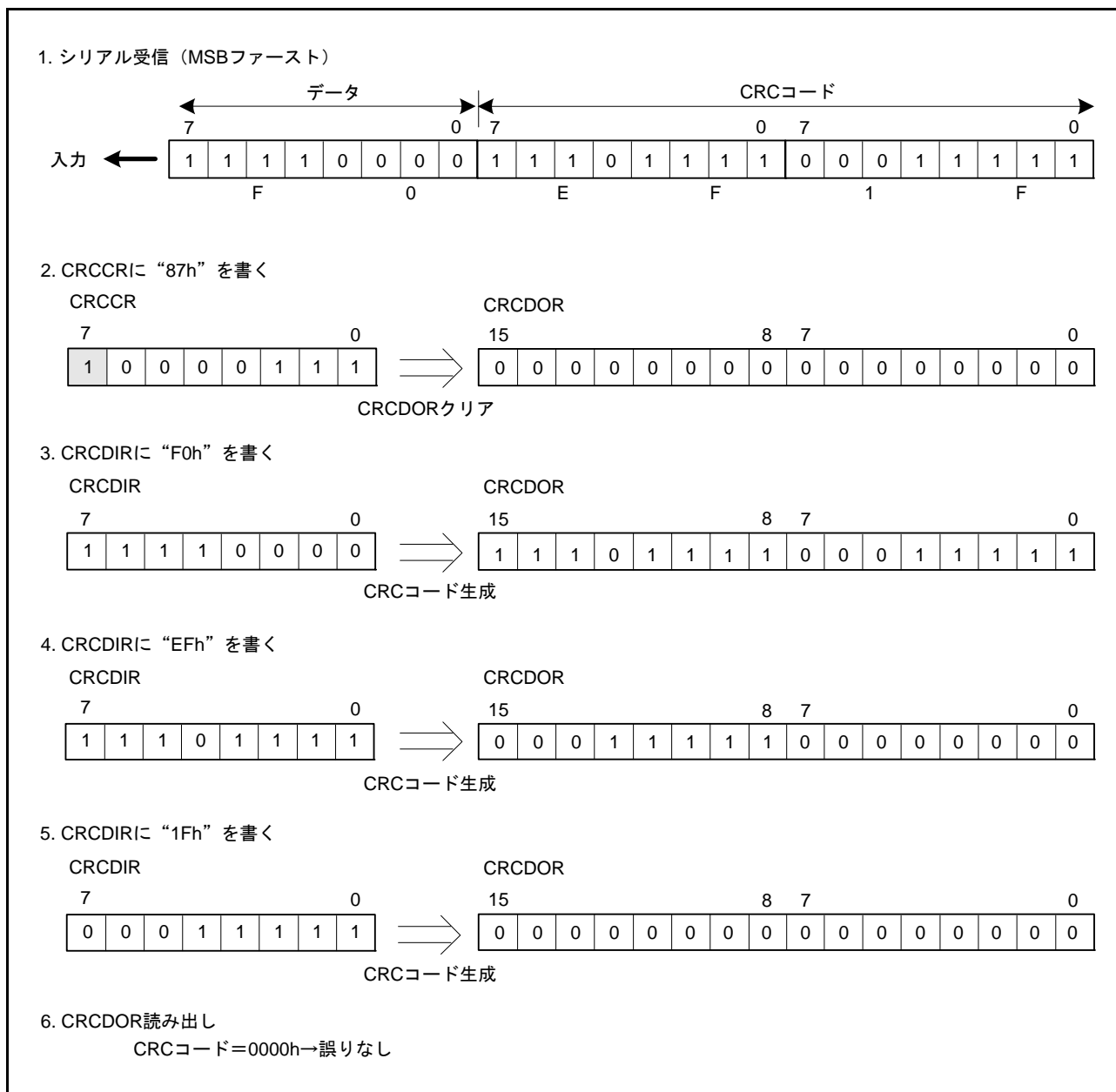


図 32.5 MSBファーストでのデータ受信

32.4 使用上の注意事項

32.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CRC 演算器の動作禁止/許可を設定することが可能です。初期値では、CRC 演算器の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

32.5 転送時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードを送る順序が異なりますので注意してください。

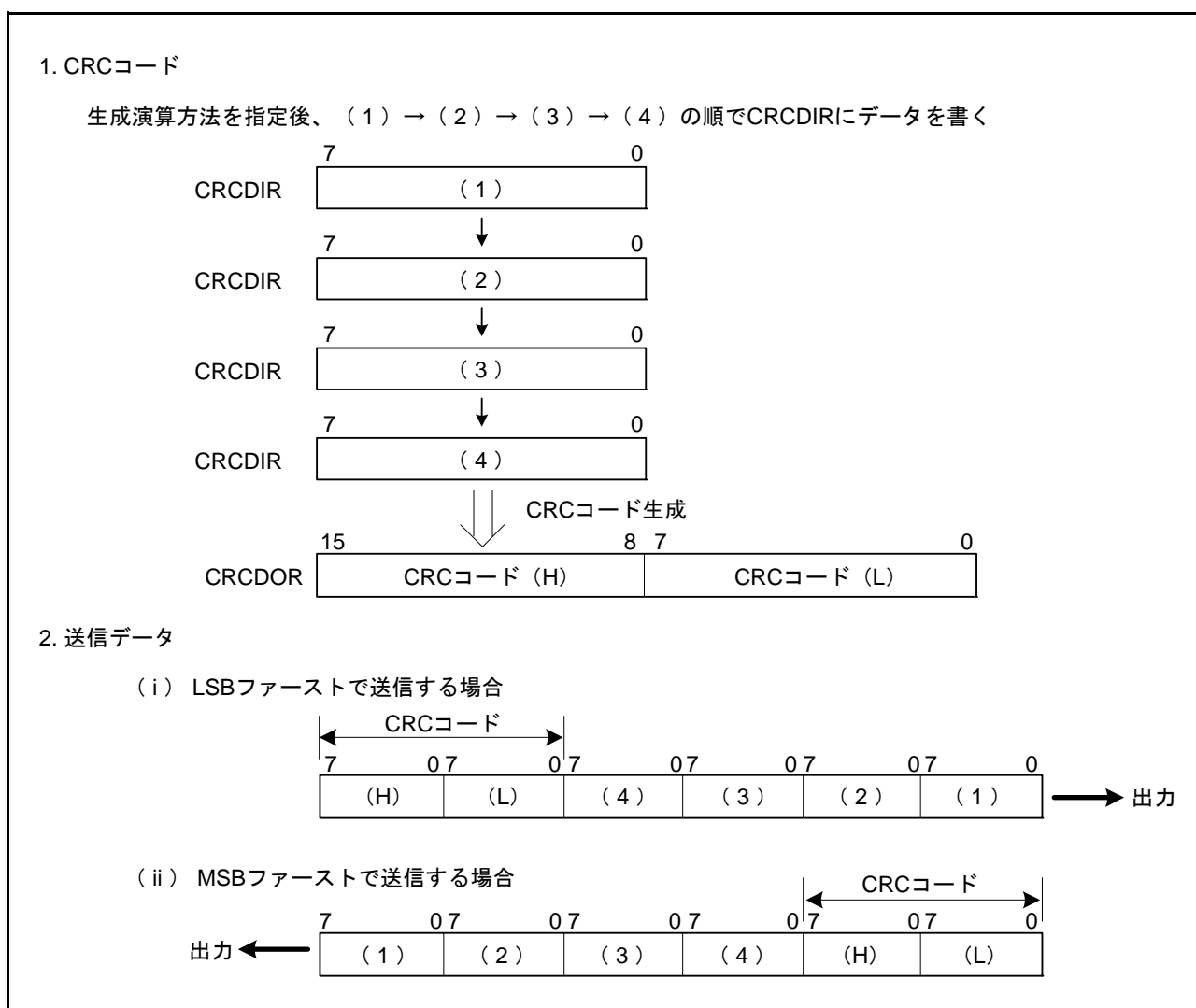


図 32.6 LSB ファーストと MSB ファーストの送信データ

33. 12ビットA/Dコンバータ (S12ADb)

33.1 概要

RX210グループは、逐次比較方式の12ビットのA/Dコンバータを1ユニット内蔵しています。最大16チャンネルのアナログ入力、温度センサ出力、または内部基準電圧を選択できます。

12ビットA/Dコンバータは、選択した最大16チャンネルのアナログ入力か、温度センサ出力または内部基準電圧を逐次比較方式で12ビットのデジタル値に変換します。動作モードは、任意に選択した最大16チャンネルのアナログ入力を若いチャンネル番号順に1回のみ変換するシングルスキャンモードと、任意に選択した最大16チャンネルのアナログ入力を順次若いチャンネル番号順に連続して変換する連続スキャンモードと、最大16チャンネルのアナログ入力を任意に選択して2つのグループ（グループAとグループB）に分け、グループ単位で選択したチャンネルのアナログ入力を若いチャンネル番号順に変換するグループスキャンモードがあります。

グループスキャンモードでは、グループAとグループBのスキャン開始条件を個別に選択することで、グループAとグループBは異なるタイミングでA/D変換を開始することができます。

ダブルトリガモードは、任意に選択した1チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード（グループA）で変換し、1回目のA/D変換開始トリガで変換したデータと2回目のA/D変換開始トリガで変換したデータを別々のレジスタに格納（A/D変換データの2重化）します。

自己診断は、スキャンごとの最初に1回実施され、12ビットA/Dコンバータ内部で生成する3つの電圧値のうち1つをA/D変換します。

温度センサ出力または内部基準電圧は、それぞれ単独でA/D変換を行います。

表33.1に12ビットA/Dコンバータの仕様を、表33.2に12ビットA/Dコンバータの機能概要を示します。図33.1に12ビットA/Dコンバータのブロック図を示します。

表33.1 12ビットA/Dコンバータの仕様 (1 / 2)

項目	内容
ユニット数	1ユニット
入力チャンネル	16チャンネル
拡張アナログ入力	温度センサ出力、内部基準電圧
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャンネル当たり1.0 μ s (A/D変換クロック ADCLK = 50MHz動作時)
A/D変換クロック	周辺モジュールクロックPCLK ^(注1) とA/D変換クロックADCLK ^(注1) を以下の分周比で設定可能 PCLK : ADCLK分周比 = 1 : 1、1 : 2、1 : 4、1 : 8、2 : 1、4 : 1 ADCLKの設定はクロック発生回路で行います
データレジスタ	アナログ入力用16本、ダブルトリガモードでのA/D変換データ2重化用1本 温度センサ用1本、内部基準電圧用1本 A/D変換結果を12ビットA/Dデータレジスタに保持 加算モード時はA/D変換結果の加算値を14ビットでA/Dデータレジスタに保持 A/D変換データの2重化 <ul style="list-style-type: none"> • 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目はA/Dデータレジスタyに保持、2回目のA/Dデータは2重化レジスタに保持 • シングルスキャンモードとグループスキャンモードでダブルトリガモード選択時のみ2重化が可能
動作モード	<ul style="list-style-type: none"> • シングルスキャンモード : 任意に選択した最大16チャンネルのアナログ入力を1回のみA/D変換 温度センサ出力を1回のみA/D変換 内部基準電圧を1回のみA/D変換 • 連続スキャンモード : 任意に選択した最大16チャンネルのアナログ入力を繰り返しA/D変換^(注2) • グループスキャンモード : 最大16チャンネルのアナログ入力をグループAとグループBに分け、グループ単位で選択した全チャンネルのアナログ入力を1回のみ変換 グループAとグループBは、各々の変換開始条件を選択することで異なるタイミングで変換開始可能

表33.1 12ビットA/Dコンバータの仕様 (2 / 2)

項目	内容
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ MTU、ELC、温度センサからのトリガ 非同期トリガ ADTRG0#端子によるA/D変換の開始が可能
機能	<ul style="list-style-type: none"> サンプル&ホールド機能 チャンネル専用サンプル&ホールド機能 (0.25V ≤ アナログ電圧入力 ≤ AVCC0-0.25V) サンプリングステート数可変機能 12ビットA/Dコンバータの自己診断機能 A/D変換値加算モード アナログ入力断線検出アシスト機能 ダブルトリガモード (A/D変換データ2重化機能)
割り込み要因	<ul style="list-style-type: none"> ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生 ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生 グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求 (GBADI) を発生 グループスキャンモードでダブルトリガモードの設定では、グループAの2回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求 (GBADI) を発生。 S12ADI0 またはGBADI割り込みでDMAコントローラ (DMAC)、データトランスファコントローラ (DTC) を起動可能
イベントリンク機能	<ul style="list-style-type: none"> グループスキャンモードでのグループBのスキャン終了を除くスキャン終了時にELCイベント発生可能 ELCからのトリガによりA/D変換開始可能
消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ状態への設定が可能 (注3)

- 注1. 周辺モジュールクロックPCLKはSCKCR.PCKB[3:0]ビットで設定した周波数、A/D変換クロックADCLKはSCKCR.PCKD[3:0]ビットで設定した周波数になります。
- 注2. 温度センサ出力または内部基準電圧を選択した場合は、連続スキャンモードおよびグループスキャンモードを使用しないでください。
- 注3. モジュールストップ状態を解除後は、1μs待ってからA/D変換を開始してください。

表33.2 12ビットA/Dコンバータの機能概要

項目			機能	
アナログ入力チャンネル			AN000～AN015、温度センサ出力、内部基準電圧	
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能	
	非同期トリガ	ADTRG0#	可能	
	同期トリガ	MTU0のTRGAのコンペアマッチ/インプットキャプチャ		TRG0AN
		MTU0のTRGBのコンペアマッチ/インプットキャプチャ		TRG0BN
		MTU0～MTU4のTRGAのコンペアマッチ/インプットキャプチャまたは相補PWMモード時のMTU4.TCNTのアンダフロー(谷)		TRGAN
		MTU0のTRGEのコンペアマッチ		TRG0EN
		MTU0のTRGFのコンペアマッチ		TRG0FN
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ(割り込み間引き機能1)		TRG4AN
		MTU4.TADCORBとMTU4.TCNTのコンペアマッチ(割り込み間引き機能1)		TRG4BN
		MTU4.TADCORAとMTU4.TCNT、MTU4.TADCORBとMTU4.TCNTコンペアマッチ(割り込み間引き機能1)		TRG4ABN
		TPU0～TPU4のTRGAのコンペアマッチ/インプットキャプチャまたはTPU0のTRGAのコンペアマッチ/インプットキャプチャ		TRGAN1 (注1) TRG4ABN1 (注1)
		ELCからのトリガ		可能
	温度センサからのトリガ		可能	
割り込み			S12ADI0、GBADI割り込み	
モジュールストップ機能の設定 (注2)			MSTPCRA.MSTPA17ビット	

注1. 144ピン以上のピン数を持つ製品に存在します。

注2. 詳細は「11. 消費電力低減機能」を参照してください。

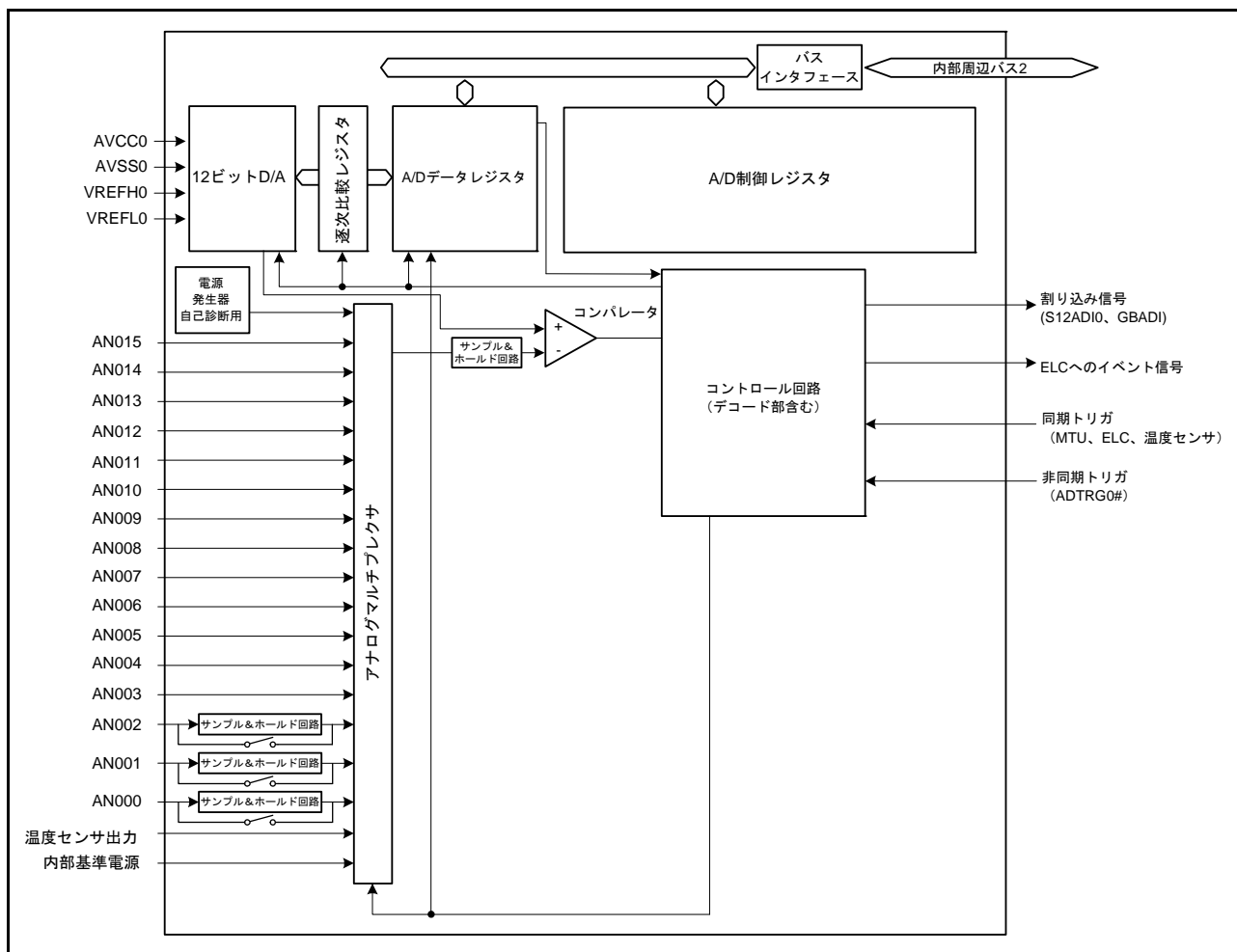


図 33.1 12ビットA/Dコンバータのブロック図

表 33.3 に 12 ビット A/D コンバータで使用する入力端子を示します。

表 33.3 12ビットA/Dコンバータの入力端子

端子名	入力	機能
AVCC0	入力	アナログ部の電源端子
AVSS0	入力	アナログ部のグランド端子
VREFH0	入力	基準電源端子
VREFL0	入力	基準グランド端子
AN000～AN015	入力	アナログ入力端子 (AN000、AN001、AN002はチャンネル専用サンプル&ホールド機能あり)
ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子

33.2 レジスタの説明

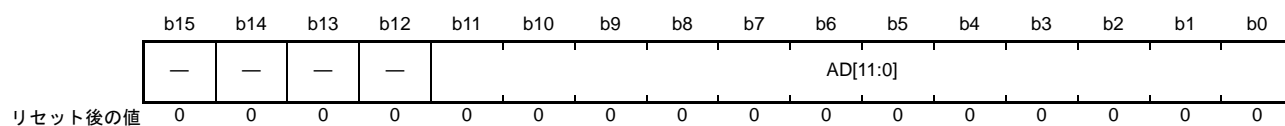
33.2.1 A/D データレジスタ y (ADDRy) (y = 0 ~ 15)

ADDRy レジスタは、チャンネルのアナログ入力 (AN000 ~ AN015) を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT)、A/D 変換値加算モードの設定によって、以下に示すフォーマットとなります。

- ADCER.ADRFMT=0 (右詰めフォーマットに設定)

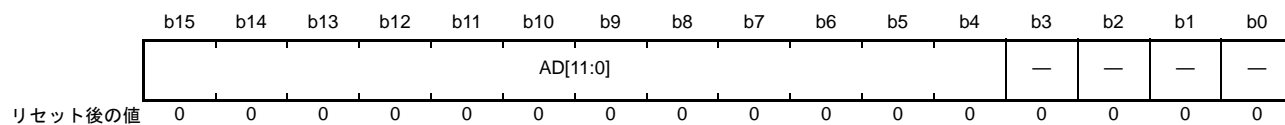
アドレス ADDR0 : 0008 9020h ~ ADDR15 : 0008 903Eh



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADRFMT=1 (左詰めフォーマットに設定)

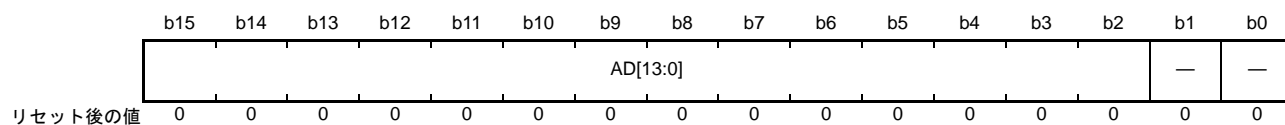
アドレス ADDR0 : 0008 9020h ~ ADDR15 : 0008 903Eh



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

- A/D 変換値加算モードを選択した場合

アドレス ADDR0 : 0008 9020h ~ ADDR15 : 0008 903Eh



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b2	AD[13:0]	—	14ビットA/D変換値加算結果	R

A/D変換値加算モードに設定した場合、ADDRy.AD[13:0]ビットは同一チャンネルのA/D変換値を加算した値を示します。A/D変換値加算モードに設定すると、ADCER.ADRFMTビットの設定は無効となり、左詰めのフォーマットになります。

A/D変換値加算モードを選択したチャンネルに対しての最小値と最大値を以下に示します。

1回変換時：0000h \leq ADDRy (y = 0 ~ 15) \leq 3FFCh

ADDRy (y = 0 ~ 15) : ビット 15、14 = 00b、ビット 13 ~ 2 = AD[11:0]、ビット 1、0 = 00b

2回変換時：0000h \leq ADDRy (y = 0 ~ 15) \leq 7FF8h

ADDRy (y = 0 ~ 15) : ビット 15 = 0、ビット 14 ~ 2 = AD[12:0]、ビット 1、0 = 00b

3回変換時：0000h \leq ADDRy (y = 0 ~ 15) \leq BFF4h

ADDRy (y = 0 ~ 15) : ビット 15 ~ 2 = AD[13:0]、ビット 1、0 = 00b

4回変換時：0000h \leq ADDRy (y = 0 ~ 15) \leq FFF0h

ADDRy (y = 0 ~ 15) : ビット 15 ~ 2 = AD[13:0]、ビット 1、0 = 00b

33.2.2 A/D データ 2重化レジスタ (ADDBLDR)

ADDBLDR レジスタは、2重化を選択したチャンネルのアナログ入力をダブルトリガモード選択時の2回目のトリガによってA/D変換した結果を格納する16ビットの読み出し専用レジスタです。

A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT)、A/D変換値加算モードの設定によって、以下に示すフォーマットとなります。

- ADCER.ADRFMT=0 (右詰めフォーマットに設定)

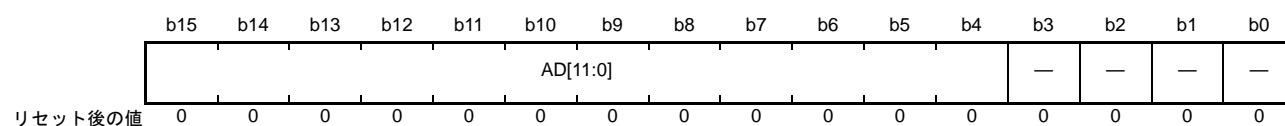
アドレス 0008 9018h



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADRFMT=1 (左詰めフォーマットに設定)

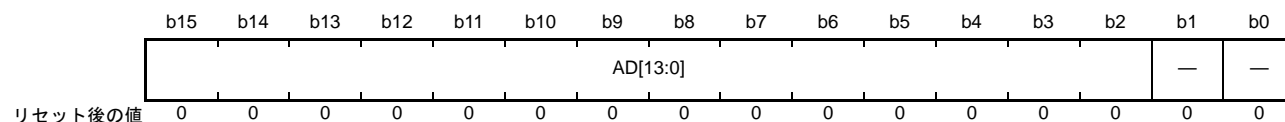
アドレス 0008 9018h



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

- A/D変換値加算モードを選択した場合

アドレス 0008 9018h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b2	AD[13:0]	—	14ビットA/D変換値加算結果	R

A/D変換値加算モードに設定した場合、ADDBLDR.AD[13:0]ビットは同一チャンネルのA/D変換値を加算した値を示します。A/D変換値加算モードに設定すると、ADCER.ADRFMTビットの設定は無効となり、左詰めフォーマットになります。

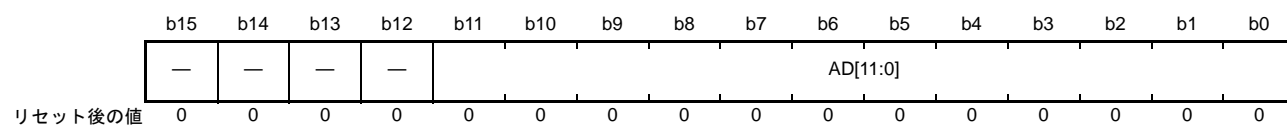
33.2.3 A/D 温度センサデータレジスタ (ADTSDR)

ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定によって、以下に示すフォーマットになります。ADTSDR レジスタは、A/D 変換加算モードには設定できません。

- ADCER.ADRFMT=0 (右詰めフォーマットに設定)

アドレス 0008 901Ah



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADRFMT=1 (左詰めフォーマットに設定)

アドレス 0008 901Ah



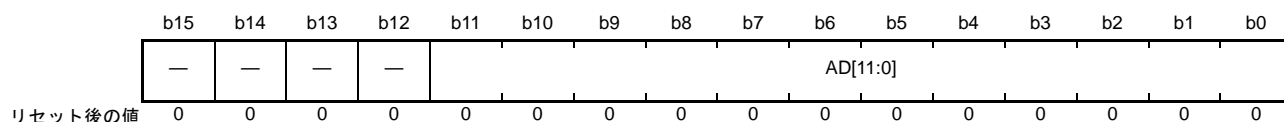
ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

33.2.4 A/D 内部基準電圧データレジスタ (ADOCDR)

ADOCDR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT)、A/D 変換値加算モードの設定によって、以下に示すフォーマットとなります。

- ADCER.ADRFMT=0 (右詰めフォーマットに設定)

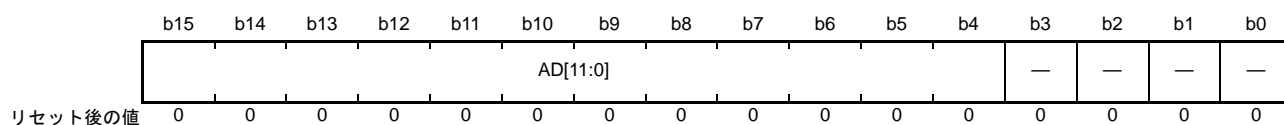
アドレス 0008 901Ch



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADRFMT=1 (左詰めフォーマットに設定)

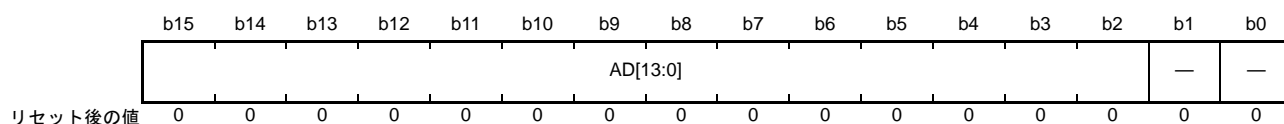
アドレス 0008 901Ch



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

- A/D 変換値加算モードを選択した場合

アドレス 0008 901Ch



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b2	AD[13:0]	—	14ビットA/D変換値加算結果	R

A/D 変換値加算モードに設定した場合、ADOCDR.AD[13:0] ビットは内部基準電圧の A/D 変換値を加算した値を示します。A/D 変換値加算モードに設定すると、ADCER.ADRFMT ビットの設定は無効となり、左詰めフォーマットになります。

33.2.5 A/D 自己診断データレジスタ (ADRD)

ADRD レジスタは、12ビットA/Dコンバータの自己診断でA/D変換した結果を格納する16ビットの読み出し専用レジスタです。

A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定によって、以下に示すフォーマットになります。ADRDレジスタは、A/D変換加算モードには設定できません。

- ADCER.ADRFMT=0 (右詰めフォーマットに設定)

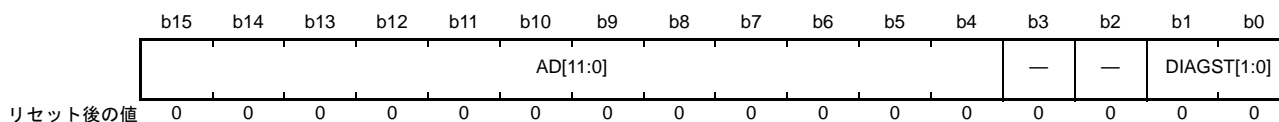
アドレス 0008 901Eh



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	DIAGST[1:0]	自己診断ステータスビット	b15 b14 0 0 : パワーオンから一度も自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : VREFH0×1/2の電圧値の自己診断を実施したことを示す 1 1 : VREFH0の電圧値の自己診断を実施したことを示す 自己診断の詳細については「33.2.11 A/Dコントロール拡張レジスタ (ADCER)」を参照してください	R

- ADCER.ADRFMT=1 (左詰めフォーマットに設定)

アドレス 0008 901Eh



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータスビット	b1 b0 0 0 : パワーオンから一度も自己診断を実施していないことを示す 0 1 : 0Vの電圧値の自己診断を実施したことを示す 1 0 : VREFH0×1/2の電圧値の自己診断を実施したことを示す 1 1 : VREFH0の電圧値の自己診断を実施したことを示す 自己診断の詳細については「33.2.11 A/Dコントロール拡張レジスタ (ADCER)」を参照してください	R
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

33.2.6 A/D コントロールレジスタ (ADCSR)

アドレス 0008 9000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS[1:0]	ADIE	—	—	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	A/D変換データ2重化チャンネル選択ビット	A/D変換データを2重化するアナログ入力を16チャンネルから1チャンネル選択します。ダブルトリガモード選択時のみ有効です	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	GBADIE	グループBスキャン終了割り込み許可ビット	0: グループBのスキャン終了後にGBADI割り込み発生を禁止 1: グループBのスキャン終了後にGBADI割り込み発生を許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット (注1)	0: 同期トリガ (MTU、ELC、温度センサ) によるA/D変換の開始を選択 1: 非同期トリガ (ADTRG0#) によるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b10-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0: スキャン終了後のS12ADIO割り込み発生を禁止 1: スキャン終了後のS12ADIO割り込み発生を許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタートビット	0: A/D変換停止 1: A/D変換開始	R/W

注1. 外部端子 (非同期トリガ) でA/D変換を開始する方法
外部端子 (ADTRG0#) にHighを入力した状態で、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。その後、ADTRG0#の信号をLowに変化させると、ADTRG0#の立ち下がりがエッジを検出し、スキャン変換を開始します。このときのLow入力のパルス幅は、1.5PCLKクロック以上が必要です。

DBLANS[4:0] ビット (A/D 変換データ 2 重化チャンネル選択ビット)

ダブルトリガモードでA/D変換データを2重化する1チャンネルを選択します。DBLANS[4:0]ビットで選択したチャンネルのアナログ入力を、ダブルトリガモードの1回目のA/D変換開始トリガで変換した結果がA/Dデータレジスタyに格納され、2回目のA/D変換開始トリガで変換した結果がA/Dデータ2重化レジスタに格納されます。表33.4にA/D変換データ2重化チャンネルの選択表を示します。ダブルトリガモードでの加算モードは、DBLANS[4:0]ビットで選択したチャンネルをADADSレジスタで選択することで可能です。ダブルトリガモードを選択した場合は、ADANSAレジスタで選択したチャンネルは無効になり、DBLANS[4:0]ビットで選択した1チャンネルがA/D変換を行うチャンネルとなります。チャンネルのアナログ入力をA/D変換する場合は、温度センサ出力および内部基準電圧のA/D変換は選択しないでください。DBLANS[4:0]ビットは、ADSTビットが“0”のときに設定してください (ADSTビットへの“1”書き込みと同時設定もしないでください)。

表33.4 DBLANSビット設定値とダブルトリガ有効チャンネルの関係

DBLANS[4:0]	2重化チャンネル	DBLANS[4:0]	2重化チャンネル
00000	AN000	01000	AN008
00001	AN001	01001	AN009
00010	AN002	01010	AN010
00011	AN003	01011	AN011
00100	AN004	01100	AN012
00101	AN005	01101	AN013
00110	AN006	01110	AN014
00111	AN007	01111	AN015

GBADIE ビット (グループ B スキャン終了割り込みイネーブルビット)

グループスキャンモードでのグループ B のスキャン終了割り込み (GBADI) の発生を許可 / 禁止します。

DBLE ビット (ダブルトリガモード選択ビット)

ダブルトリガモードは、ADSTRGR.TRSA[3:0] ビットで選択した MTU、ELC からのトリガでスキャンを開始したことを条件に以下 1 と 2 の動作となります。

1. ADIE ビットが“1”に設定されている場合に、1 回目のスキャン終了時はスキャン終了割り込みを出力せず、2 回目のスキャン終了時にスキャン終了割り込みを出力します。
2. DBLANS[4:0] ビットで選択したアナログ入力の A/D 変換データを、1 回目は A/D データレジスタ y に格納し、2 回目は A/D データ 2 重化レジスタに格納します。

DBLE ビットを“1”にすると ADANSA レジスタで選択したチャンネルは無効になります。連続スキャンモードではダブルトリガモードを選択しないでください。また、温度センサ出力および内部基準電圧の A/D 変換は選択しないでください。ダブルトリガモード選択中はソフトウェアトリガは使用しないでください。DBLE ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時に設定もしないでください)。

TRGE ビット (トリガ開始許可ビット)

同期トリガ、非同期トリガによる A/D 変換の開始を許可 / 禁止します。

グループスキャンモードでは、このビットを“1”にしてください。

ADIE ビット (スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B を除く、A/D スキャン変換終了割り込み (S12ADIO) の発生を許可 / 禁止します。

ダブルトリガモードを非選択に設定した場合は、1 回目のスキャンが終了したときに、ADIE ビットが“1”にセットされていれば、S12ADIO 割り込みが発生します。

温度センサ出力または内部基準電圧を選択した場合も A/D 変換が終了したときに、ADIE ビットが“1”にセットされていれば S12ADIO 割り込みが発生します。

ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[3:0] ビットで選択した MTU、ELC からのトリガで開始したスキャンに限り、2 回目のスキャンが終了したときに ADIE ビットが“1”にセットされていれば S12ADIO 割り込みが発生します。

ADCS[1:0] ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA レジスタで選択した最大 16 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADST ビットが“1”の間、ADANSA レジスタで選択した最大 16 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻り A/D 変換を続けます。ADCSR.ADST ビットを“0”にすると A/D 変換を停止します。

グループスキャンモードは ADSTRGR.TRSA[3:0] ビットで選択した MTU、ELC からのトリガを開始条件として、ADANSA レジスタで選択した最大 16 チャンネルのアナログ入力 (グループ A) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。また同様に ADSTRGR.TRSB[3:0] ビットで選択した MTU、ELC からのトリガを A/D 変換開始条件として、ADANSB レジスタで選択した最大 16 チャンネルのアナログ入力 (グループ B) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。グループスキャンモードを選択する場合は、グループ A とグループ B で異なるチャンネルと異なるトリガを選択してください。

温度センサ出力または内部基準電圧を選択した場合は、シングルスキャンモードを選択し、ADANSA レジスタで選択したチャンネルをすべて非選択としてから A/D 変換を行います。選択した温度センサ出力または内部基準電圧の A/D 変換が終了すると停止します。

ADCS ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時に設定もしないでください)。

ADST ビット (A/D 変換スタートビット)

A/D 変換の開始/停止を制御します。

ADST ビットを“1”に設定する前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

["1"になる条件]

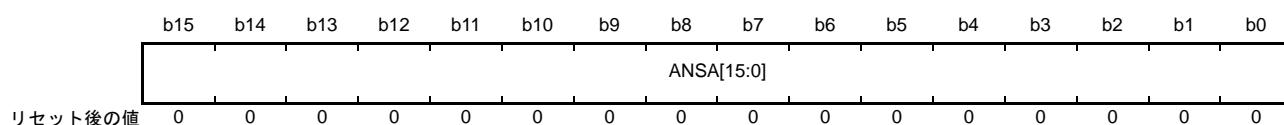
- ソフトウェアで“1”を書き込んだとき
- ADCSR.EXTRG に“0”、ADCSR.TRGE ビットに“1”を設定し、ADSTRGR.TRSA[3:0] ビットで選択した同期トリガ (MTU、ELC、温度センサ) を検出したとき
- グループスキャンモードで ADCSR.TRGE ビットに“1”を設定し ADSTRGR.TRSB[3:0] ビットで選択した同期トリガ (MTU、ELC) を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを“1”、ADSTRGR.TRSA[3:0] ビットを“0000b”に設定し、非同期トリガを検出したとき

["0"になる条件]

- ソフトウェアで“0”を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネルの A/D 変換が終了したとき
- シングルスキャンモードで、温度センサ出力または内部基準電圧の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき

33.2.7 A/D チャンネル選択レジスタ A (ADANSA)

アドレス 0008 9004h



ビット	シンボル	ビット名	機能	R/W
b15-b0	ANSA[15:0]	A/D変換チャンネル選択ビット	0 : AN000 ~ AN015 を変換対象から外す 1 : AN000 ~ AN015 を変換対象とする	R/W

ADANSA レジスタは、A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN015 を選択するレジスタです。グループスキャンモードでは、グループ A のチャンネルを選択します。

ANSA[15:0] ビット (A/D 変換チャンネル選択ビット)

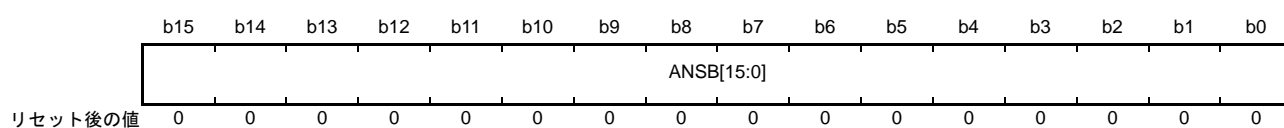
A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN015 の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA[0] ビットが AN000、ANSA[15] ビットが AN015 に対応します。チャンネルのアナログ入力を A/D 変換する場合は、温度センサ出力および内部基準電圧の A/D 変換は行わないでください。

ダブルトリガモードを選択した場合は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA[15:0] ビットの設定は無効になります。

ANSA[15:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

33.2.8 A/D チャンネル選択レジスタ B (ADANSB)

アドレス 0008 9014h



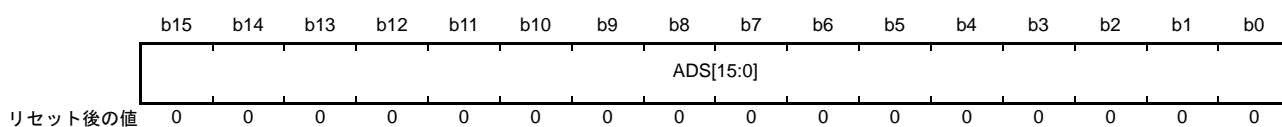
ビット	シンボル	ビット名	機能	R/W
b15-b0	ANSB[15:0]	A/D変換チャンネル選択ビット	0 : AN000 ~ AN015 を変換対象から外す 1 : AN000 ~ AN015 を変換対象とする	R/W

ADANSB レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネル AN000 ~ AN015 の選択を行います。ADANSB レジスタは他のスキャンモードでは使用しません。選択するチャンネル及びチャンネル数は、ADANSA レジスタまたはダブルトリガモードでの ADCSR.DBLANS[4:0] ビットで選択したグループ A のチャンネル以外から設定します。ANSB[0] ビットが AN000、ANSB[15] ビットが AN015 に対応します。チャンネルのアナログ入力を A/D 変換する場合は、温度センサ出力および内部基準電圧の A/D 変換はしないでください。

ANSB[15:0] ビットは、ADST ビットが“0”のときに設定してください。

33.2.9 A/D 変換値加算モード選択レジスタ (ADADS)

アドレス 0008 9008h



ビット	シンボル	ビット名	機能	R/W
b15-b0	ADS[15:0]	A/D変換値加算チャンネル選択ビット	0 : AN000～AN015のA/D変換値加算モード非選択 1 : AN000～AN015のA/D変換値加算モード選択	R/W

ADADS レジスタは、A/D 変換を連続 2～4 回実施して加算（積算）する A/D 変換チャンネル 0～15 を選択します。

ADS[15:0] ビット (A/D 変換値加算チャンネル選択ビット)

ADANSA.ANSA[n] ビット (n=0～15) または ADCSR.DBLANS[4:0] ビットと ADANSB.ANSB[n] ビット (n=0～15) で選択した A/D 変換チャンネルと同一番号の ADS[n] ビットを“1”にすると、ADADC.ADC[1:0] ビットで設定した回数 (2～4 回) 分、選択したチャンネルのアナログ入力を連続して A/D 変換し、加算（積算）した値を A/D データレジスタに返します。加算モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を返します。

ADS[15:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

図 33.2 にビット ADS[2] と ADS[6] を “1” にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (ADCSR.ADCS[1:0] = 10b) で、加算回数は 3 回に設定 (ADADC.ADC[1:0] = 11b)、AN000 ~ AN007 が選択 (ADANSA.ANSA[15:0] = 00FFh) されているものとします。AN000 から変換を開始します。AN002 の変換は 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 2 に返します。その後、AN003 の変換を開始し、AN006 の変換で 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 6 に返します。AN007 の変換後、再度 AN000 から同じシーケンスで動作します。

加算モードを選択しないチャンネルの A/D データレジスタのフォーマットは、ADCER.ADRFMT ビット (右詰め / 左詰め) の設定により決定されます。

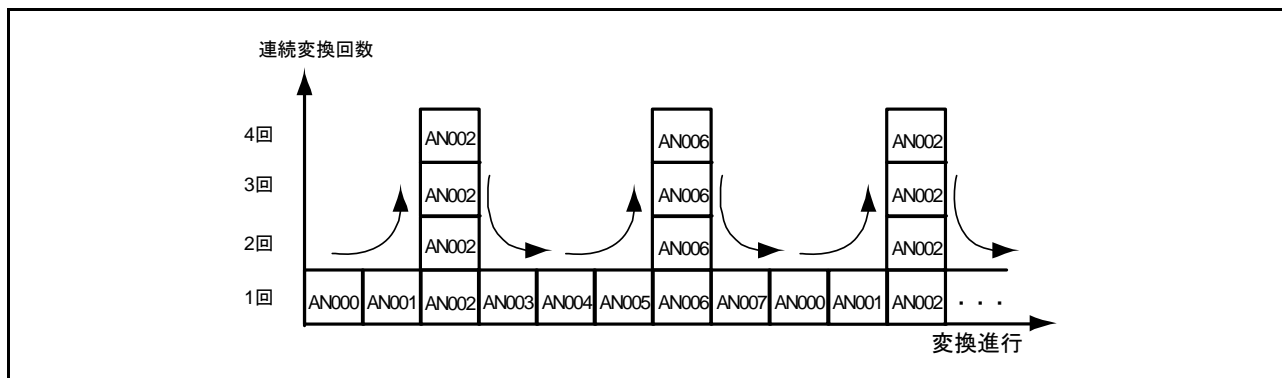
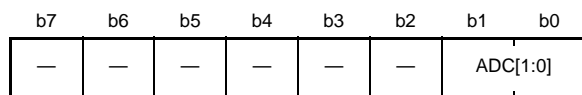


図 33.2 ADADC.ADC[1:0] = 11b、ADS[2] = 1、ADS[6] = 1 選択時のスキャン変換シーケンス

33.2.10 A/D 変換値加算回数選択レジスタ (ADADC)

アドレス 0008 900Ch



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADC[1:0]	加算回数選択ビット	b1 b0 0 0 : 1回変換 (加算なし。通常変換と同じ) 0 1 : 2回変換 (1回加算を行う) 1 0 : 3回変換 (2回加算を行う) 1 1 : 4回変換 (3回加算を行う)	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADC レジスタは、A/D 変換値加算モードが選択されたチャンネル、内部基準電圧の A/D 変換に対して加算回数の設定を行います。

ADC[1:0] ビット (加算回数選択ビット)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および加算モードが選択されたチャンネル、内部基準電圧の A/D 変換に対して共通の加算回数を設定します。

ADC[1:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

33.2.11 A/D コントロール拡張レジスタ (ADCER)

アドレス 0008 900Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	自動クリアイネーブルビット	0 : 自動クリアを禁止 1 : 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0 : 自己診断有効時は設定禁止 0 1 : 0Vの電圧を使って自己診断を行う 1 0 : VREFH0×1/2の電圧を使って自己診断を行う 1 1 : VREFH0の電圧を使って自己診断を行う	R/W
b10	DIAGLD	自己診断モード選択ビット	0 : 自己診断電圧ローテーションモード 1 : 自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブルビット	0 : 12ビットA/Dコンバータの自己診断を実施しない 1 : 12ビットA/Dコンバータの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/Dデータレジスタフォーマット選択ビット	0 : A/Dデータレジスタのフォーマットを右詰めにする 1 : A/Dデータレジスタのフォーマットを左詰めにする	R/W

ACE ビット (自動クリアイネーブルビット)

CPU、DTC および DMAC によって ADDRy、ADDRD、ADTSDR、ADOCDR、ADDBLDR レジスタを読み出した後、当該レジスタの自動クリア (All“0”) を行うか行わないかを選択します。自動クリアにより ADDRy、ADDRD、ADTSDR、ADOCDR、ADDBLDR レジスタの未更新故障を検出することができます。

DIAGVAL[1:0] ビット (自己診断変換電圧選択ビット)

詳細は ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが“00b”の状態では ADCER.DIAGLD ビットを“1”に設定して、自己診断を実施しないでください。

DIAGLD ビット (自己診断モード選択ビット)

自己診断で変換する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。

ADCER.DIAGLD ビットを“0”にすると 0V → VREFH0×1/2 → VREFH0 の順番にローテーションして変換していきます。リセット後、自己診断ローテーションモードを選択した場合は 0V から自己診断を行います。自己診断電圧固定モードを選択した場合は ADCER.DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても 0V に戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADST が“0”のときに行ってください。

DIAGM ビット (自己診断イネーブルビット)

自己診断を実施するかしないかを選択します。

自己診断は、12ビットA/Dコンバータの故障を検出するための機能です。内部で生成する0V、VREFH0×1/2、VREFH0の3つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ(ADRD)に変換した電圧の情報と変換値を格納します。その後、ソフトウェアでADRDレジスタを読み出し、変換値が正常の範囲にある(正常)かない(異常)かを判断します。自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。自己診断の実行時間は、1チャンネルのA/D変換時間と同じです。自己診断を実施する場合は、温度センサ出力および内部基準電圧のA/D変換は選択しないでください。選択した場合、自己診断は実施されません。グループスキャンモードで自己診断を選択した場合は、グループAとグループBのそれぞれで自己診断を実行します。

DIAGMビットの設定は、ADSTビットが“0”のときに行ってください。

ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

ADDRy、ADRD、ADTSDR、ADOCDR、ADDBLDRレジスタに格納するデータの右詰め/左詰めを選択します。

A/D変換値加算モードが選択されている場合、各データレジスタのフォーマットは、ADCER.ADRFMTビットの設定によらず左詰め固定です。

データレジスタのフォーマットの詳細は、「33.2.1 A/D データレジスタ y (ADDRy) (y = 0 ~ 15)」、「33.2.2 A/D データ 2 重化レジスタ (ADDBLDR)」、「33.2.3 A/D 温度センサデータレジスタ (ADTSDR)」、「33.2.4 A/D 内部基準電圧データレジスタ (ADOCDR)」、「33.2.5 A/D 自己診断データレジスタ (ADRD)」を参照してください。

33.2.12 A/D 開始トリガ選択レジスタ (ADSTRGR)

アドレス 0008 9010h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	TRSA[3:0]				—	—	—	—	TRSB[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	TRSB[3:0]	グループB専用A/D変換開始トリガ選択ビット	グループスキャンモードでグループBのA/D変換開始トリガを選択します	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	TRSA[3:0]	A/D変換開始トリガ選択ビット	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRSB[3:0] ビット (グループB専用A/D変換開始トリガ選択ビット)

グループBで選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[3:0]ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループBのスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定は禁止です。よって、グループスキャンモードでは、TRSB[3:0]ビットを“0000”以外に設定し、ADCSR.TRGEビットを“1”に設定してください。

表 33.5 に TRSB[3:0] ビットでの A/D 起動要因選択一覧を示します。

TRSA[3:0] ビット (A/D変換開始トリガ選択ビット)

シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガの選択を行います。グループスキャンモードではグループAで選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを実行する場合は、ソフトウェアトリガと非同期トリガは使用できません。

- 同期トリガ (MTU、ELC、温度センサ) のA/D変換起動要因を使用する場合は、ADCSR.TRGEビットを“1”に設定し、かつADCSR.EXTRGビットを“0”に設定してください。
- 非同期トリガ (ADTRG0#) を使用する場合は、ADCSR.TRGEビットを“1”に設定し、かつADCSR.EXTRGビットを“1”に設定してください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGEビット、ADCSR.EXTRGビット、TRSA[3:0]ビットの設定値にかかわらず有効です。

表 33.6 に TRSA[3:0] ビットでの A/D 起動要因選択一覧を示します。

表33.5 TRSB[3:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
MTU	TRG0AN	MTU0のTRGAのインプットキャプチャ/コンペアマッチ	0	0	0	1
	TRG0BN	MTU0のTRGBのインプットキャプチャ/コンペアマッチB	0	0	1	0
	TRGAN	MTU0～MTU4のTRGAのインプットキャプチャ/コンペアマッチまたは相補PWMモード時のMTU4.TCNTのアンダフロー(谷)	0	0	1	1
	TRG0EN	MTU0のTRGEのコンペアマッチ	0	1	0	0
	TRG0FN	MTU0のTRGFのコンペアマッチ	0	1	0	1
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ(割り込み間引き機能1)	0	1	1	0
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ(割り込み間引き機能1)	0	1	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNT、MTU4.TADCORBとMTU4.TCNTコンペアマッチ(割り込み間引き機能1)	1	0	0	0
ELC	ELC	ELCからのトリガ	1	0	0	1
TPU	TRGAN1	TPU0～TPU4のTRGAのコンペアマッチ/インプットキャプチャ(注1)	1	0	1	1
	TRG4ABN1	TPU0のTRGAのコンペアマッチ/インプットキャプチャ(注1)	1	1	0	0

注1. 144ピン以上のピン数を持つ製品に存在します。

表33.6 TRSA[3:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
ADC	ADST	ソフトウェアトリガ	—	—	—	—
外部入力	ADTRG0#	A/D変換起動トリガ端子	0	0	0	0
MTU	TRG0AN	MTU0のTRGAのインプットキャプチャ/コンペアマッチ	0	0	0	1
	TRG0BN	MTU0のTRGBのインプットキャプチャ/コンペアマッチB	0	0	1	0
	TRGAN	MTU0～MTU4のTRGAのインプットキャプチャ/コンペアマッチまたは相補PWMモード時のMTU4.TCNTのアンダフロー(谷)	0	0	1	1
	TRG0EN	MTU0のTRGEのコンペアマッチ	0	1	0	0
	TRG0FN	MTU0のTRGFのコンペアマッチ	0	1	0	1
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ(割り込み間引き機能1)	0	1	1	0
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ(割り込み間引き機能1)	0	1	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNT、MTU4.TADCORBとMTU4.TCNTコンペアマッチ(割り込み間引き機能1)	1	0	0	0
ELC	ELC	ELCからのトリガ	1	0	0	1
温度センサ	温度センサ	温度センサからのトリガ	1	0	1	0
TPU	TRGAN1	TPU0～TPU4のTRGAのコンペアマッチ/インプットキャプチャ(注1)	1	0	1	1
	TRG4ABN1	TPU0のTRGAのコンペアマッチ/インプットキャプチャ(注1)	1	1	0	0

注1. 144ピン以上のピン数を持つ製品に存在します。

33.2.13 A/D 変換拡張入力コントロールレジスタ (ADEXICR)

アドレス 0008 9012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OCS	TSS	—	—	—	—	—	—	OCSAD	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	OCSAD	内部基準電圧A/D変換値加算モード選択ビット	0：内部基準電圧A/D変換値加算モード非選択 1：内部基準電圧A/D変換値加算モード選択	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TSS	温度センサ出力A/D変換選択ビット	0：温度センサ出力をA/D変換しない 1：温度センサ出力をA/D変換する	R/W
b9	OCS	内部基準電圧A/D変換選択ビット	0：内部基準電圧をA/D変換しない 1：内部基準電圧をA/D変換する	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

OCSAD ビット (内部基準電圧 A/D 変換値加算モード選択ビット)

内部基準電圧の A/D 変換を選択し、OCSAD ビットを“1”にすると、ADADC.ADC[1:0] ビットで設定した回数 (2 ~ 4 回) 分、内部基準電圧を連続して A/D 変換し、積算した値を A/D 内部基準電圧データレジスタ (ADOCADR) に返します。OCSAD ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

TSS ビット (温度センサ出力 A/D 変換選択ビット)

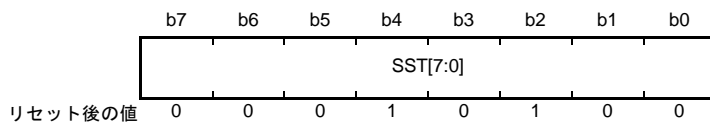
温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換を行う場合はシングルスキャンモードを選択し、ADANSA レジスタの全ビットと OCS ビットを“0”にしてください。TSS ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

OCS ビット (内部基準電圧 A/D 変換選択ビット)

内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換を行う場合は、シングルスキャンモードを選択し、ADANSA レジスタの全ビットと TSS ビットを“0”にしてください。OCS ビットの設定は、ADST ビットが“0”のときに行ってください。

33.2.14 A/D サンプリングステートレジスタ n (ADSSTRn) (n=0 ~ 7、L、T、O)

ADSSTR0 : 0008 9060h、ADSSTR1 : 0008 9073h、ADSSTR2 : 0008 9074h、ADSSTR3 : 0008 9075h、
 アドレス ADSSTR4 : 0008 9076h、ADSSTR5 : 0008 9077h、ADSSTR6 : 0008 9078h、ADSSTR7 : 0008 9079h、
 ADSSTR_L : 0008 9061h、ADSSTR_T : 0008 9070h、ADSSTR_O : 0008 9071h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SST[7:0]	サンプリング時間設定ビット	12~255ステートの間でサンプリング時間を設定します	R/W

ADSSTRn は、アナログ入力のサンプリング時間の設定を行うレジスタです。

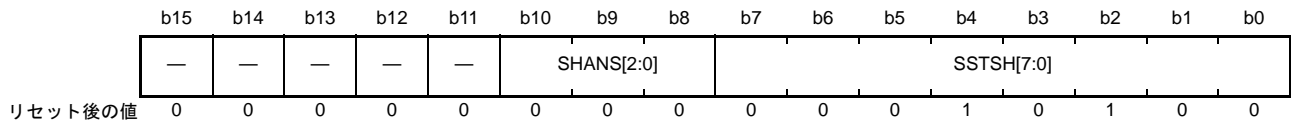
1 ステート = 1ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 50MHz であれば 1 ステート = 20ns になります。初期値は 20 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。本ビットの設定は ADCSR.ADST が “0” のときに行ってください。サンプリング時間の設定値は、12 ステート以上 255 ステート以下の値を設定してください。また、サンプリング時間が 0.4μs 以上となるように設定してください。表 33.7 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。

表 33.7 A/D サンプリングステートレジスタと対象チャネルの関係

ビット名	対象チャネル
ADSSTR0.SST[7:0] ビット	AN000/自己診断
ADSSTR1.SST[7:0] ビット	AN001
ADSSTR2.SST[7:0] ビット	AN002
ADSSTR3.SST[7:0] ビット	AN003
ADSSTR4.SST[7:0] ビット	AN004
ADSSTR5.SST[7:0] ビット	AN005
ADSSTR6.SST[7:0] ビット	AN006
ADSSTR7.SST[7:0] ビット	AN007
ADSSTR_L.SST[7:0] ビット	AN008 ~ AN015
ADSSTR_T.SST[7:0] ビット	温度センサ出力
ADSSTR_O.SST[7:0] ビット	内部基準電圧

33.2.15 サンプル & ホールド回路コントロールレジスタ (ADSHCR)

アドレス 0008 9066h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SSTSH[7:0]	サンプリング時間サンプル&ホールド回路設定ビット	4～255ステートの間でサンプリング時間を設定します	R/W
b10-b8	SHANS[2:0]	チャンネル専用サンプル&ホールド回路バイパス選択ビット	AN000～AN002のチャンネル専用サンプル&ホールド回路を使用するか、使用せずバイパスするかを選択します。 0：チャンネル専用サンプル&ホールド回路をバイパス 1：チャンネル専用サンプル&ホールド回路を使用	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSHCR レジスタは、チャンネル専用サンプル & ホールド回路のを設定するレジスタです。

SSTSH[7:0] ビット (サンプリング時間サンプル & ホールド回路設定ビット)

チャンネル専用サンプル&ホールド回路のサンプリング時間設定をします。1ステート=1ADCLKクロック(A/D変換クロック)幅でADCLKクロックが50MHzであれば1ステート=20nsになります。初期値は20ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLKクロックが低速な場合に、サンプリング時間を調整することができます。SSTSH[7:0]ビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。サンプリング時間の設定値は、4ステート以上255ステート以下の値を設定してください。また、サンプリング時間が0.4μs以上となるように設定してください。例えば、ADCLKが25MHzであれば、サンプリングステート設定値の下限は10ステートとなります。

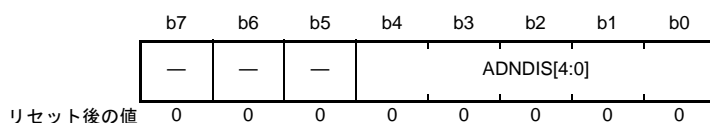
SHANS[2:0] ビット (チャンネル専用サンプル&ホールド回路バイパス選択ビット)

アナログ入力AN000～AN002のチャンネル専用サンプル&ホールド回路を使用するか、使用しないでバイパスするかを選択します。SHANS[0]ビットがAN000、SHANS[1]ビットがAN001、SHANS[2]ビットがAN002のチャンネル専用サンプル&ホールド回路の選択ビットになります。SHANS[2:0]ビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

AVCC0が2.7V未満の場合はチャンネル専用サンプル&ホールド回路は動作しません。SHANS[2:0]は“000b”にしてください。

33.2.16 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス 0008 907Ah



ビット	シンボル	ビット名	機能	R/W
b4-b0	ADNDIS[4:0]	断線検出アシスト設定ビット	断線検出アシスト機能を設定します	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADDISCR レジスタは、断線検出アシスト機能を設定するレジスタです。

ADNDIS[4:0] ビット (A/D 断線検出アシスト設定ビット)

A/D 断線検出アシスト機能のプリチャージ/ディスチャージの設定、プリチャージ/ディスチャージ期間を設定します。ADNDIS[4] ビット =1 でプリチャージ、ADNDIS[4] ビット =0 でディスチャージが選択されます。ADNDIS[3:0] ビットで、プリチャージ/ディスチャージ期間を設定します。ADNDIS[3:0] ビット =0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] ビット =0000b 以外では、設定した値が、プリチャージ/ディスチャージ期間のステート数となります。

温度センサ出力、または内部基準電圧を変換する場合は、断線検出アシスト機能は使用できません。ADNDIS[4:0] ビット =00000b としてください。

33.3 動作説明

33.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、シングルスキャンモードと連続スキャンモードとグループスキャンモードの3種類の動作モードがあります。シングルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを“0” (“1”の状態から“0”) にクリアするまで無制限に繰り返し実施するモードです。グループスキャンモードは、グループ A とグループ B のスキャンをそれぞれ選択したトリガで開始し、グループ A とグループ B で選択したチャンネルのスキャンをそれぞれ1回ずつ実施して終了するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。グループスキャンモードは、グループ A が ADANSA レジスタで選択した ANn の n が小さい番号順から、グループ B が ADANSB レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。

自己診断を選択した場合は、スキャンごとの最初に1回実施され、12ビット A/D コンバータ内部で生成する3つの電圧値のうち1つを A/D 変換します。

温度センサ出力、または内部基準電圧を選択する場合は、シングルスキャンモードで A/D 変換を行ってください。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可すると、ADSTRGR.TRSA[3:0] ビットで選択した、MTU、ELC からのトリガでのスキャン起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルの A/D 変換データを2重化します。

ADSHCR.SHANS[2:0] ビットで AN000 ~ AN002 のいずれかをチャンネル専用サンプル&ホールド回路使用に設定すると、スキャンごとに最初の A/D 変換開始前に対象となるアナログ入力のサンプル&ホールドを行います。

33.3.2 シングルスキャンモード

33.3.2.1 基本動作 (チャンネル専用サンプル&ホールドなし)

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。チャンネル選択でのスキャン時は、温度センサ出力A/D変換選択ビット (ADEXICR.TSS) と内部基準電圧A/D変換選択ビット (ADEXICR.OCS) はともに“0” (非選択) に設定します。

- (1) ソフトウェア、同期トリガ (MTU、ELC) または非同期トリガ入力によって、ADCSR.ADST ビットが“1” (A/D変換開始) になると、ADANSAレジスタで選択したANnのnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了によるS12ADI0割り込み許可) に設定されていると、S12ADI0割り込み要求を発生します。
- (4) ADCSR.ADST ビットはA/D変換中は“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

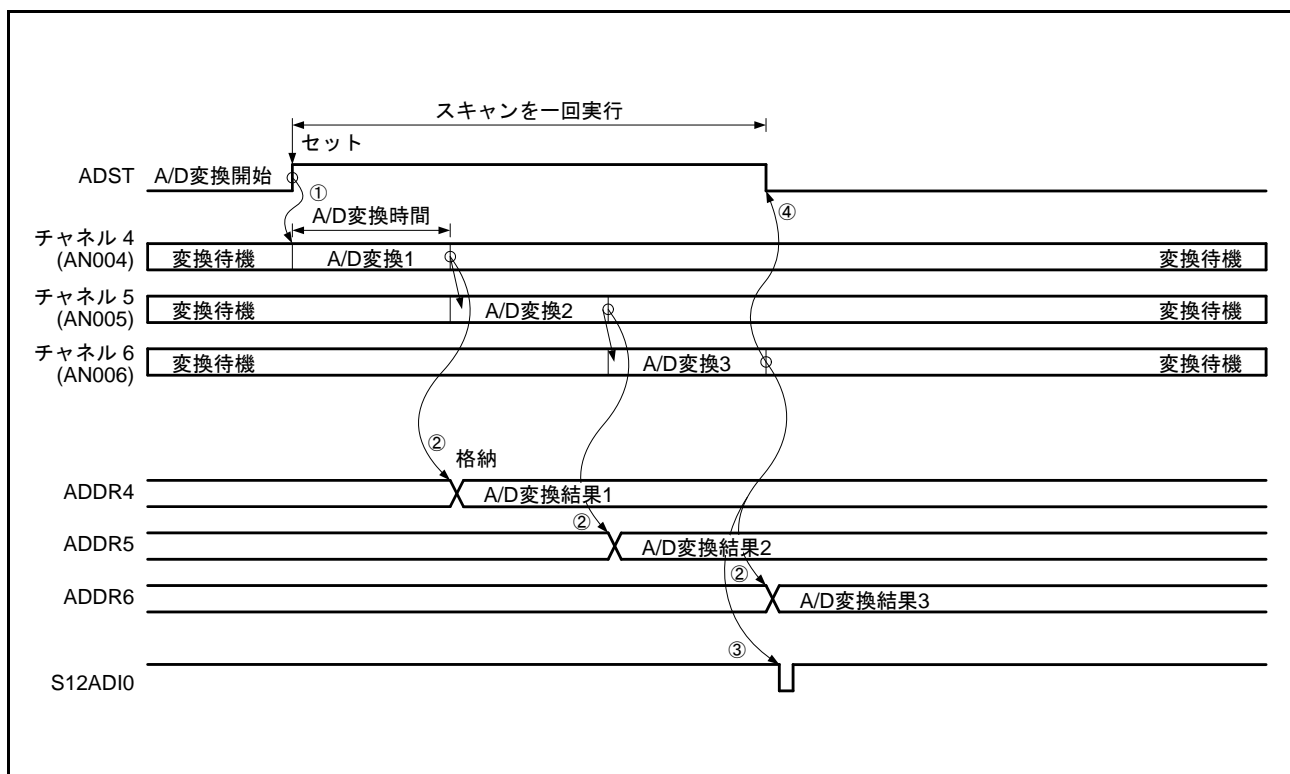


図 33.3 シングルスキャンモードの動作例 (基本動作 : AN004 ~ AN006 選択)

33.3.2.2 基本動作 (チャンネル専用サンプル&ホールドあり)

チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に選択したすべてのチャンネルのアナログ入力を1回のみA/D変換します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[2:0]ビットで選択します。

チャンネル選択でのスキャン時は、温度センサ出力A/D変換選択ビット (ADEXICR.TSS) と内部基準電圧A/D変換選択ビット (ADEXICR.OCS) はともに“0” (非選択) に設定します。

- (1) ソフトウェア、同期トリガ (MTU、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、ADANSAレジスタで選択したチャンネル ANn の n が小さい番号順にA/D変換を開始します。
- (3) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (4) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了によるS12ADI0割り込み許可) に設定されていると、S12ADI0割り込み要求を発生します。
- (5) ADCSR.ADST ビットはA/D変換中は“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

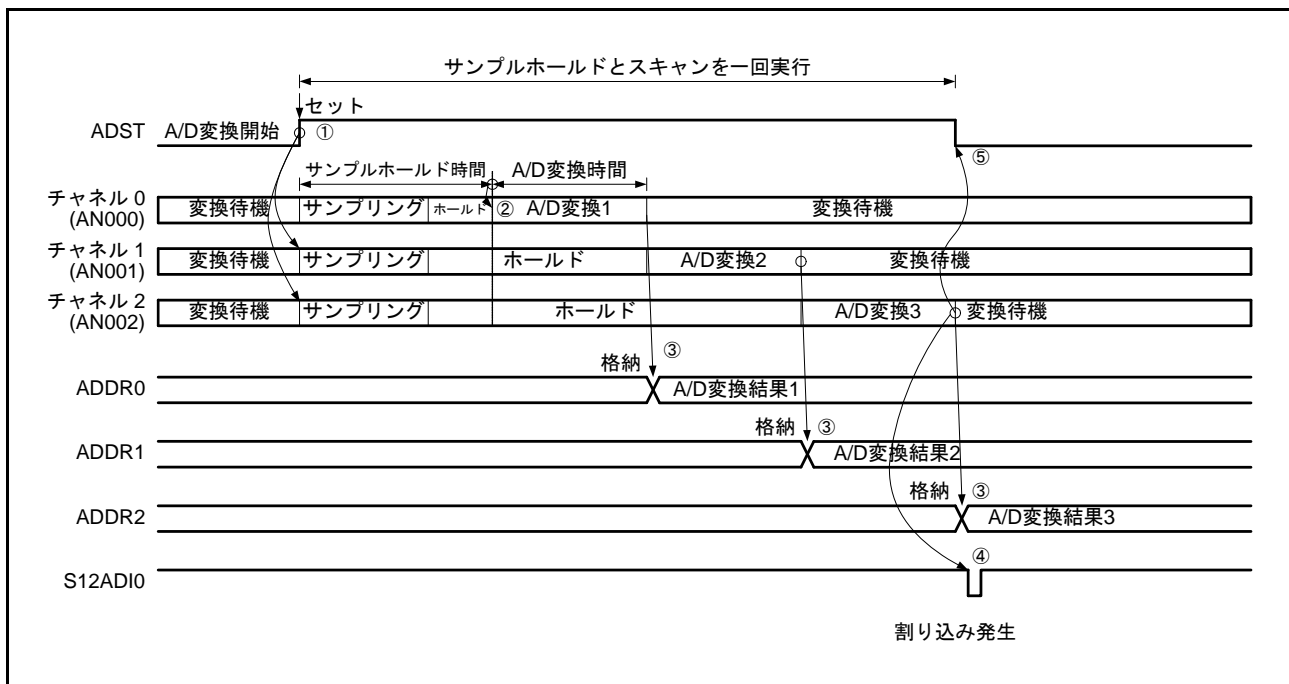


図 33.4 シングルスキャンモードの動作例 (チャンネル専用サンプル & ホールド回路あり)

33.3.2.3 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)

チャンネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧(VREFH0)から生成された自己診断電圧(VREFH0×0、VREFH0×1/2、VREFH0×1のいずれか)のA/D変換を行い、その後選択したチャンネルのアナログ入力を1回のみA/D変換します。

チャンネル選択でのスキャン時は、温度センサ出力A/D変換選択ビット(ADEXICR.TSS)と内部基準電圧A/D変換選択ビット(ADEXICR.OCS)はともに“0”(非選択)に設定します。

- (1) ソフトウェア、同期トリガ(MTU、ELC)または非同期トリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ(ADRD)に格納され、次にADANSAレジスタで選択したチャンネルAN_nのnが小さい番号順にA/D変換を開始します。
- (3) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDR_y)へ格納されます。
- (4) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI0割り込み許可)に設定されていれば、S12ADI0割り込み要求を発生します。
- (5) ADCSR.ADSTビットはA/D変換中は“1”(A/D変換開始)を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

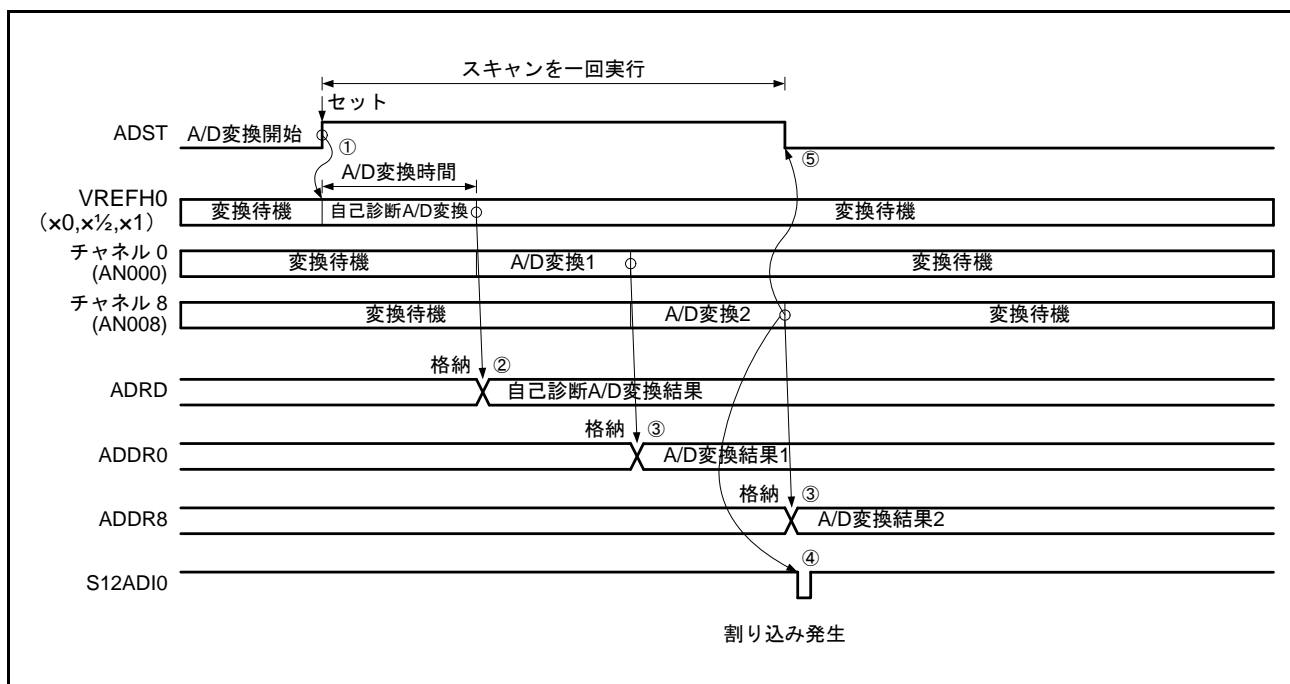


図 33.5 シングルスキャンモードの動作例 (基本動作+自己診断)

33.3.2.4 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)

チャンネル選択と共に自己診断を選択し、チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に12ビットA/Dコンバータに供給される基準電源電圧 (VREFH0) から生成された自己診断電圧 (VREFH0×0、VREFH0×1/2、VREFH0×1のいずれか) のA/D変換を行い、その後選択したチャンネルのアナログ入力を1回のみA/D変換します。

チャンネル選択でのスキャン時は、温度センサ出力A/D変換選択ビット (ADEXICR.TSS) と内部基準電圧A/D変換選択ビット (ADEXICR.OCS) はともに“0” (非選択) に設定します。

- (1) ソフトウェア、同期トリガ (MTU、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に自己診断でのA/D変換を開始します。
- (3) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、次に ADANSA レジスタで選択したチャンネル AN_n の n が小さい番号順に A/D変換を開始します。
- (4) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDR_y) へ格納されます。
- (5) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了によるS12ADI0割り込み許可) に設定されていると、S12ADI0割り込み要求を発生します。
- (6) ADCSR.ADST ビットはA/D変換中は“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

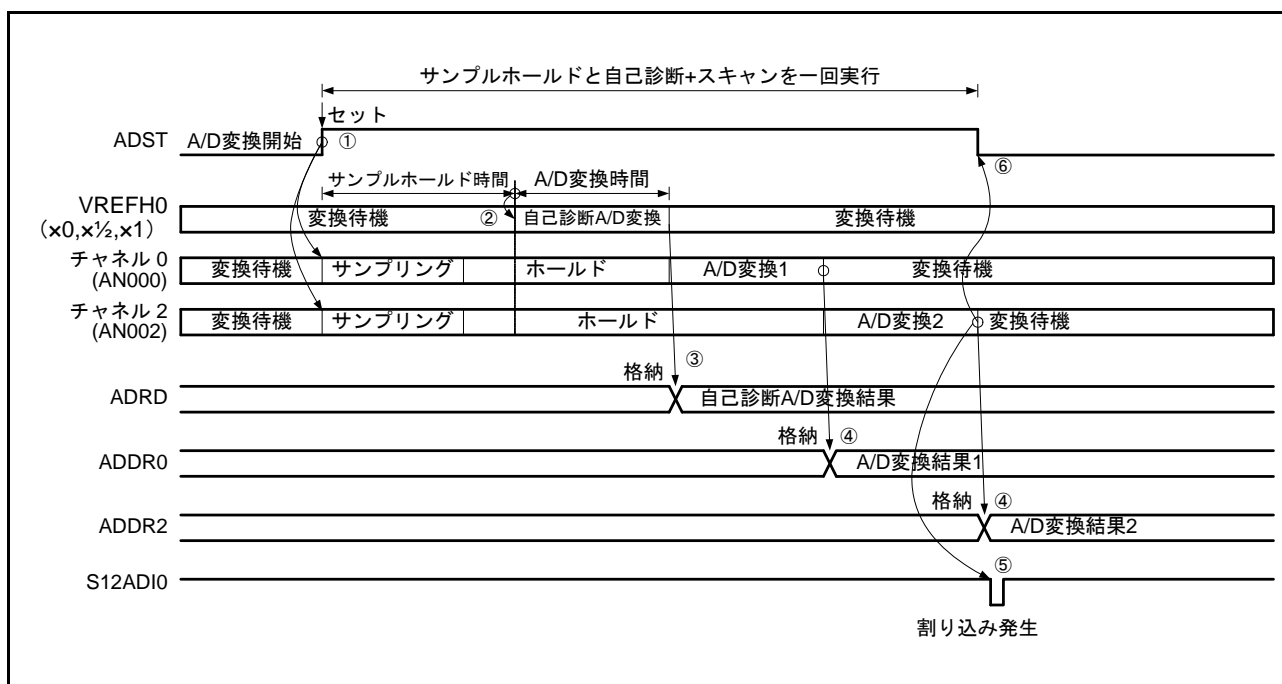


図 33.6 シングルスキャンモードの動作例 (チャンネル専用サンプル&ホールド回路あり+自己診断)

33.3.2.5 温度センサ出力選択時の A/D 変換動作

温度センサ出力の A/D 変換は、シングルスキャンモードで実行してください。動作は以下のようになります。

チャンネル選択はすべて非選択 (ADANSA.ANSA[15:0] ビットは“0000h” かつ ADCSR.DBLE ビットを“0”) にし、自己診断も非選択に設定してください。また、内部基準電圧 A/D 変換選択ビット (ADEXICR.OCS) も“0” (非選択) に設定してください。

- (1) 温度センサからのトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、温度センサ出力の A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D 温度センサデータレジスタ (ADTSDR) に格納され、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。
- (3) ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

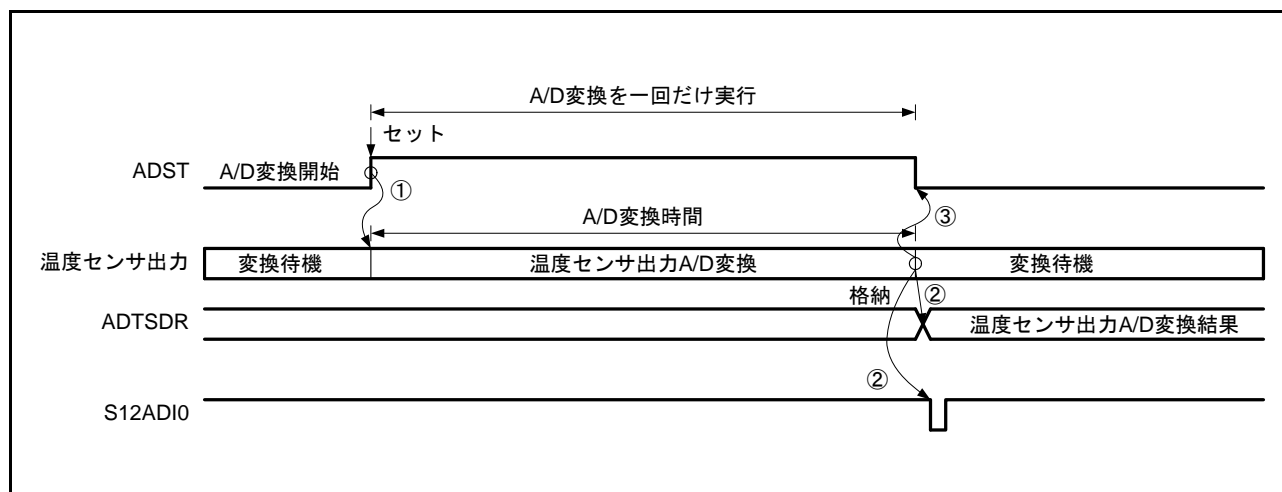


図 33.7 シングルスキャンモードの動作例 (温度センサ出力選択)

33.3.2.6 内部基準電圧選択時の A/D 変換動作

内部基準電圧の A/D 変換は、シングルスキャンモードで実行してください。動作は以下のようになります。

チャンネル選択はすべて非選択 (ADANSA.ANSA[15:0] ビットは “0000h” かつ ADCSR.DBLE ビットを “0”) にし、自己診断も非選択に設定してください。また、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSS) も “0” (非選択) に設定してください。

- (1) ソフトウェア、同期トリガ (MTU、ELC)、または非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、内部基準電圧の A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D 内部基準電圧データレジスタ (ADOCDR) に格納され、ADCSR.ADIE ビットが “1” (スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。
- (3) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

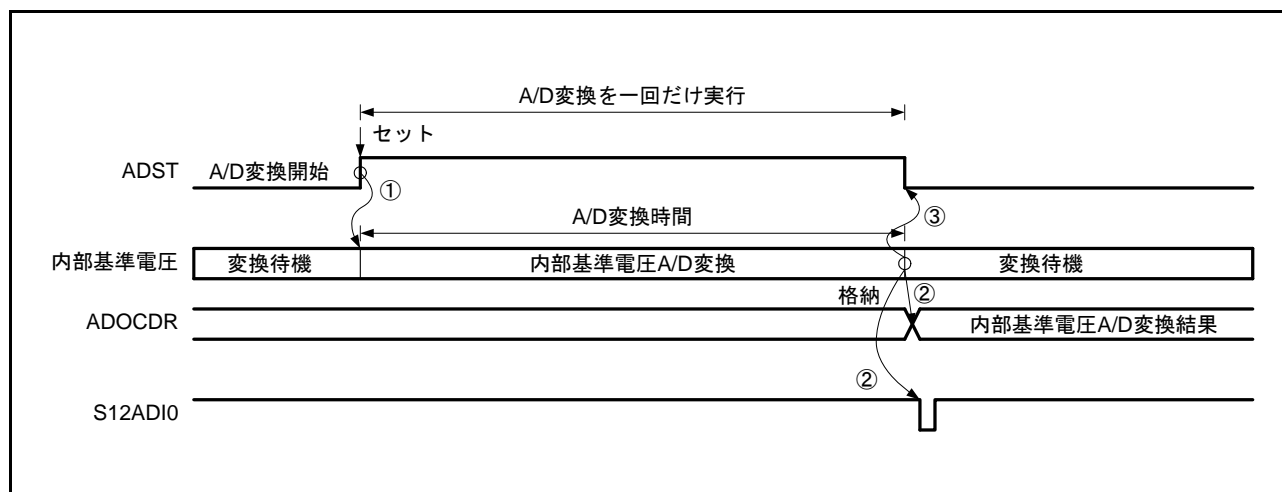


図 33.8 シングルスキャンモードの動作例 (内部基準電圧選択)

33.3.2.7 ダブルトリガモード選択時の動作

シングルスキャンモードでダブルトリガモードを選択した場合は、以下のようにMTU、ELCからのトリガで開始するシングルスキャンモードを2回行います。

自己診断は非選択とし、温度センサ出力A/D変換選択ビット (ADEXICR.TSS) と内部基準電圧A/D変換選択ビット (ADEXICR.OCS) はともに“0”に設定してください。

A/D変換データ2重化は、2重化するチャンネルの番号をADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLEビットを“1”にすると有効となります。ADCSR.DBLEを“1”にした場合はADANSAレジスタのチャンネル選択は無効になります。またダブルトリガモードを選択する場合は、ADSTRGR.TRSA[3:0]ビットでMTU、ELCからのトリガを選択し、ADCSR.EXTRGビットを“0”に、ADCSR.TRGEビットを“1”に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) MTU、ELCからのトリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始) にセットされると、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルのA/D変換を開始します。
- (2) A/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (3) ADSTは自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。このとき、ADCSR.ADIEビット (スキャン終了によるS12ADIO割り込み許可) の設定に関わらず、S12ADIO割り込みは発生しません。
- (4) 2回目のトリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始) になると、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルのA/D変換を開始します。
- (5) A/D変換が終了すると、A/D変換結果はダブルトリガモード専用のA/Dデータ2重化レジスタ (ADDBLDR) に格納されます。
- (6) ADCSR.ADIEビットが“1” (スキャン終了によるS12ADIO割り込み許可) に設定されていれば、S12ADIO割り込み要求を発生します。
- (7) ADCSR.ADSTビットはA/D変換中は“1” (A/D変換開始) を保持し、A/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

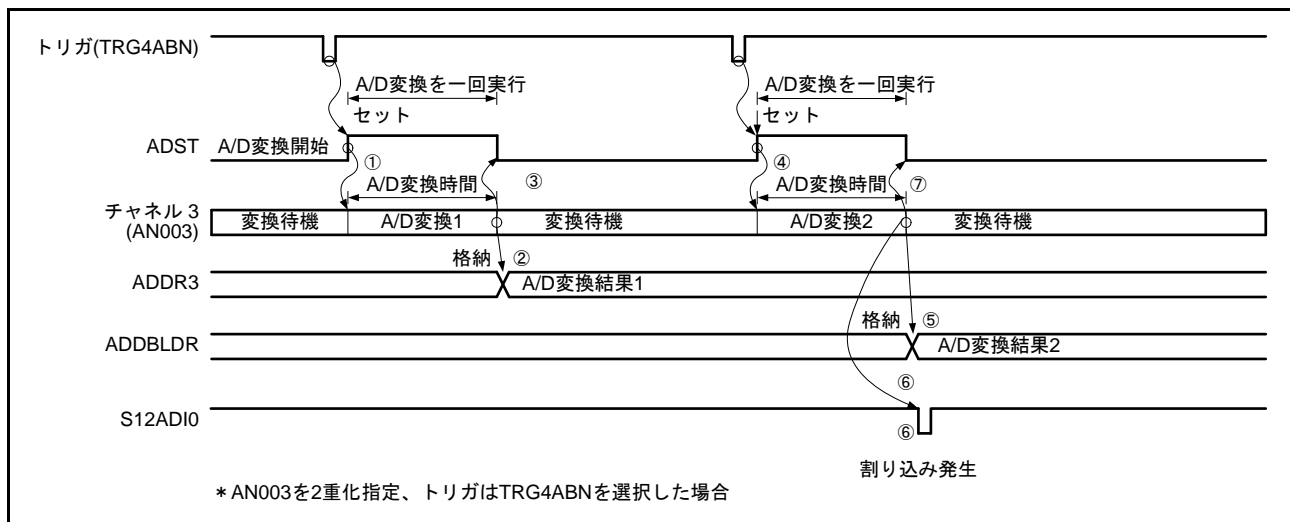


図 33.9 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003 を 2 重化)

33.3.3 連続スキャンモード

33.3.3.1 基本動作 (チャンネル専用サンプル&ホールドなし)

連続スキャンモードの基本動作は、選択されたチャンネルのアナログ入力を以下のように繰り返しA/D変換します。

連続スキャンモード時は、温度センサ出力A/D変換選択ビット (ADEXICR.TSS) と内部基準電圧A/D変換選択ビット (ADEXICR.OCS) はともに“0” (非選択) に設定します。

(1) ソフトウェア、同期トリガ (MTU、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D変換開始) になると、ADANSAレジスタで選択したANnのnが小さい番号順にA/D変換を開始します。

(2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。

(3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了によるS12ADIO割り込み許可) に設定されていると、S12ADIO割り込み要求を発生します。

また12ビットA/Dコンバータは、継続してADANSAレジスタで選択したANnのnが小さい番号順にA/D変換を開始します。

(4) ADCSR.ADSTビットは自動的にクリアされず、“1” (A/D変換開始) の間は (2) ~ (3) を繰り返します。ADCSR.ADSTビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。

(5) その後、ADCSR.ADSTビットを“1” (A/D変換開始) にセットすると再びADANSAレジスタで選択したANnのnが小さい番号順にA/D変換を開始します。

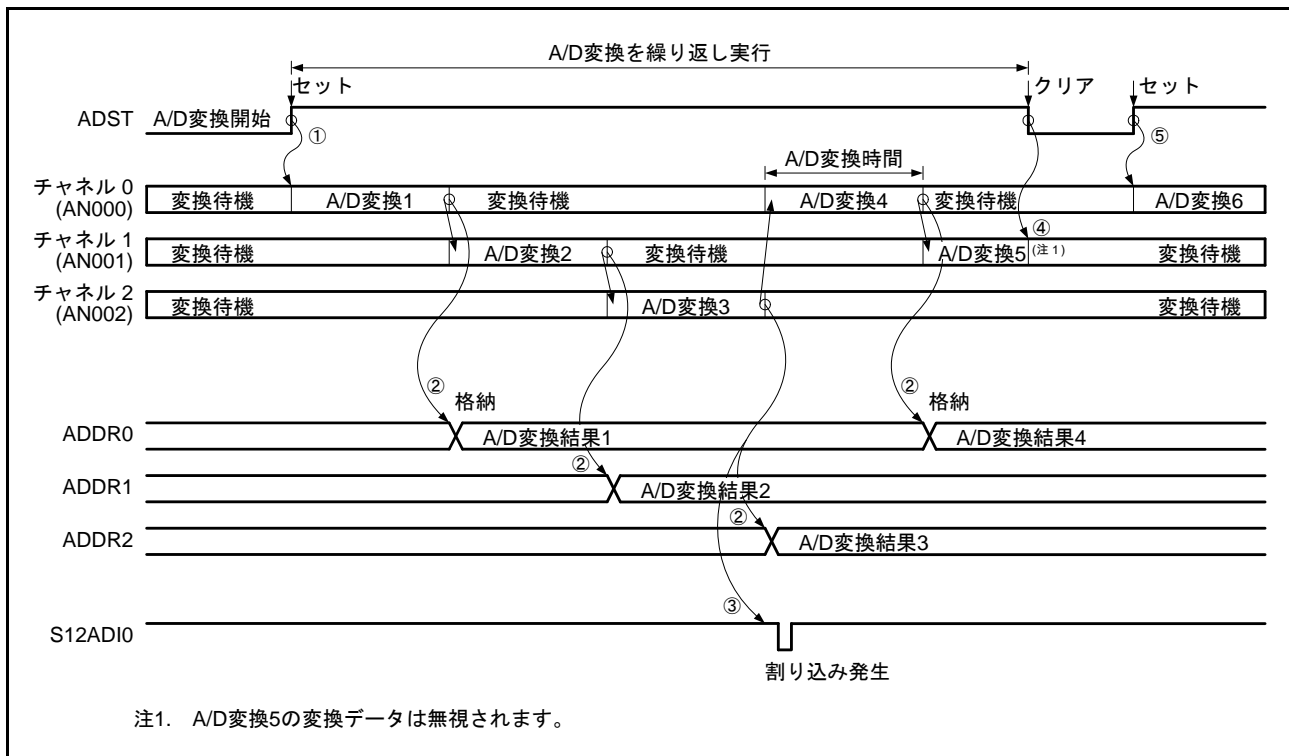


図 33.10 連続スキャンモードの動作例 (基本動作 : AN000 ~ AN002 選択)

33.3.3.2 基本動作 (チャンネル専用サンプル&ホールドあり)

チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に、選択したすべてのチャンネルのアナログ入力をA/D変換する動作を繰り返します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[2:0]ビットで選択します。

連続スキャンモード時は、温度センサ出力A/D変換選択ビット (ADEXICR.TSS) と内部基準電圧A/D変換選択ビット (ADEXICR.OCS) はともに“0” (非選択) に設定します。

- (1) ソフトウェア、同期トリガ (MTU、ELC) 入力によって ADCSR.ADST ビットが“1” (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、ADANSAレジスタで選択したチャンネル ANn の n が小さい番号順にA/D変換を開始します。
- (3) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (4) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了によるS12ADI0割り込み許可) に設定されていると、S12ADI0割り込み要求を発生します。また、チャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。
- (5) ADCSR.ADSTビットは自動的にクリアされず、“1”にセットされている間は(2)～(4)を繰り返します。ADCSR.ADSTビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (6) その後、ADCSR.ADSTビットが“1” (A/D変換開始) になると、再びチャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。

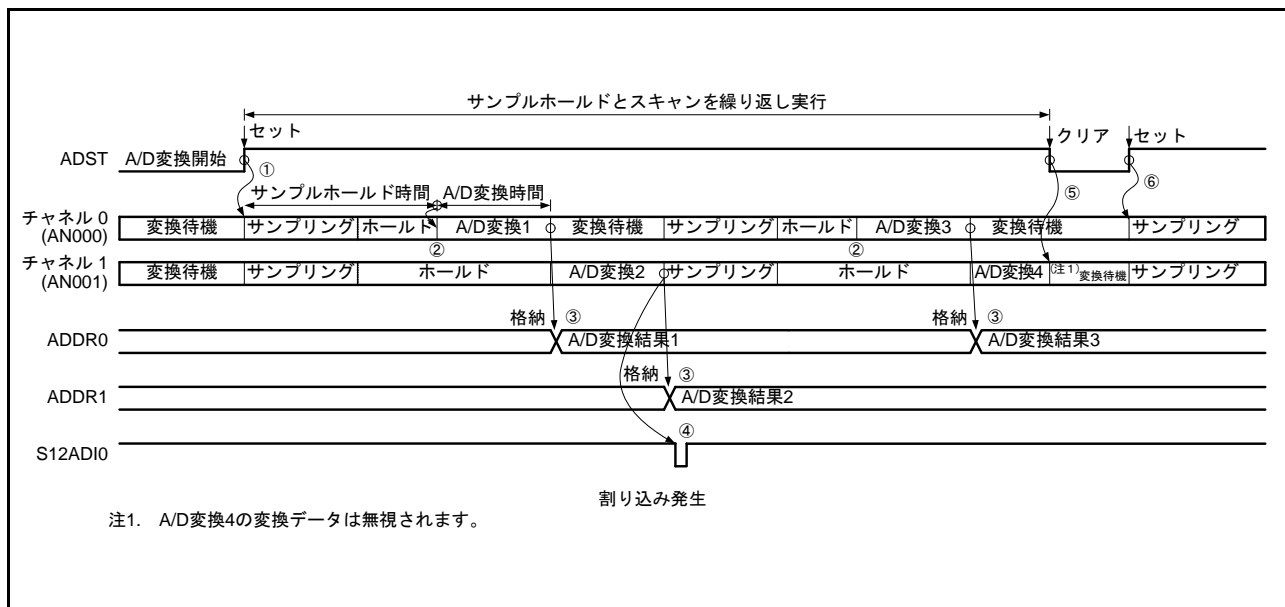


図 33.11 連続スキャンモードの動作例 (チャンネル専用サンプル&ホールド回路あり)

33.3.3.3 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)

チャンネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電源電圧 (VREFH0) から生成された自己診断電圧 (VREFH0×0、VREFH0×1/2、VREFH0×1のいずれか) のA/D変換を行い、その後選択したチャンネルのアナログ入力をA/D変換する動作を繰り返します。

連続スキャンモード時は、温度センサ出力A/D変換選択ビット (ADEXICR.TSS) と内部基準電圧A/D変換選択ビット (ADEXICR.OCS) はともに“0” (非選択) に設定します。

- (1) ソフトウェア、同期トリガ (MTU、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D変換開始) になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、次にADANSAレジスタで選択したチャンネルANnのnが小さい順にA/D変換を開始します。
- (3) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (4) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了によるS12ADI0割り込み許可) に設定されていれば、S12ADI0割り込み要求を発生します。また、12ビットA/Dコンバータは継続して自己診断でのA/D変換を開始し、終了後にADANSAレジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (5) ADSTビットは自動的にクリアされず、“1”にセットされている間は(2)～(4)を繰り返します。ADSTビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (6) その後、ADSTビットが“1” (A/D変換開始) にセットされると、再び自己診断でのA/D変換から開始します。

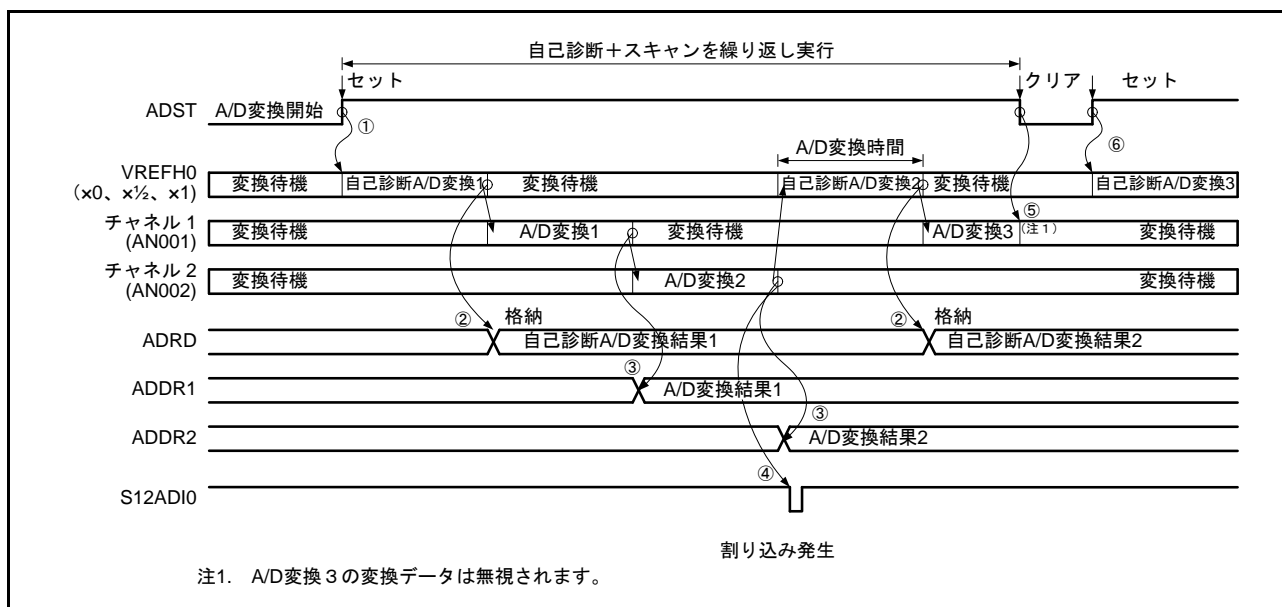


図 33.12 連続スキャンモードの動作 (基本動作+自己診断)

33.3.3.4 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)

チャンネル選択と共に自己診断を選択し、チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に、12ビットA/Dコンバータに供給される基準電源電圧 (VREFH0) から生成された自己診断電圧 (VREFH0×0、VREFH0×1/2、VREFH0×1のいずれか)のA/D変換を行い、その後選択したチャンネルのアナログ入力をA/D変換する動作を繰り返し行います。

連続スキャンモード時は、温度センサ出力A/D変換選択ビット (ADEXICR.TSS) と内部基準電圧A/D変換選択ビット (ADEXICR.OCS) はともに“0” (非選択) に設定します。

- (1) ソフトウェア、同期トリガ (MTU、ELC) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、自己診断でのA/D変換を開始します。
- (3) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、次に ADANSA レジスタで選択したチャンネル AN_n の n が小さい順に A/D変換を開始します。
- (4) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDR_y) へ格納されます。
- (5) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了によるS12ADIO 割り込み許可) に設定されていると、S12ADIO 割り込み要求を発生します。また、チャンネル専用サンプル&ホールド回路を使用する全てのチャンネルのアナログ入力のサンプリングが開始されます。
- (6) ADST ビットは自動的にクリアされず、“1”にセットされている間は (2) ~ (5) を繰り返します。ADST ビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (7) その後、ADST ビットが“1” (A/D変換開始) にセットされると、再びチャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。

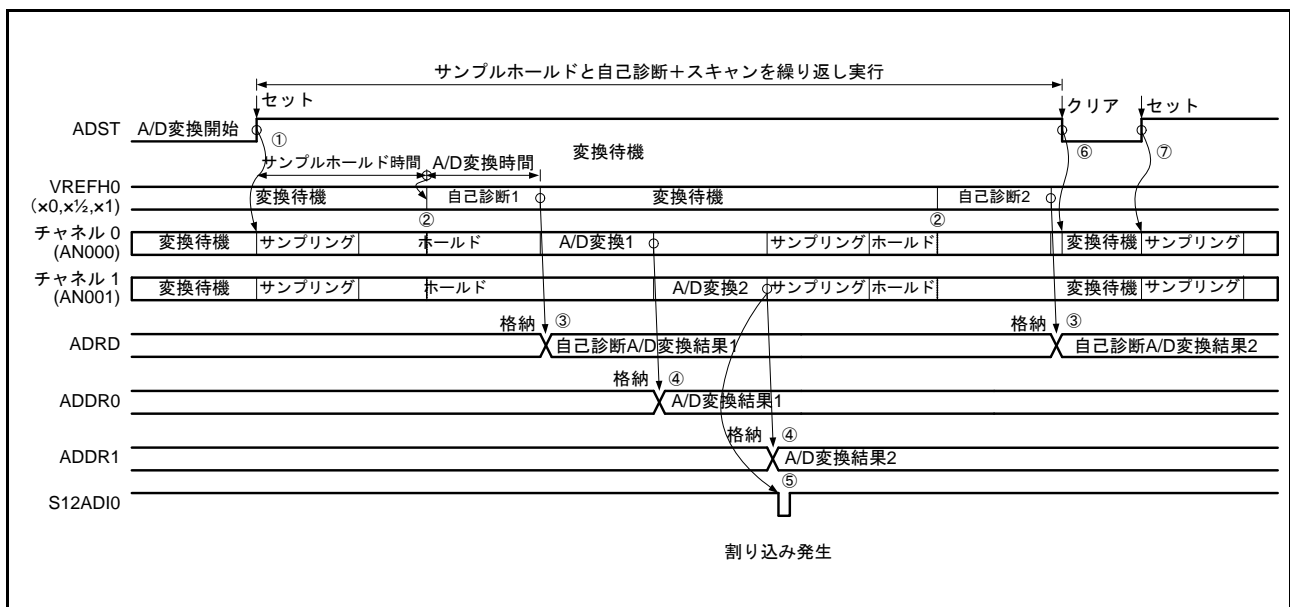


図 33.13 連続スキャンモードの動作 (チャンネル専用サンプル&ホールド回路動作+自己診断)

33.3.4 グループスキャンモード

33.3.4.1 基本動作

グループスキャンモードの基本動作は、MTU、ELCからのトリガをスキャン開始条件とし、グループAとグループBのそれぞれで選択したすべてのチャンネルのアナログ入力を以下のように1回のみA/D変換します。グループAとグループBのそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[3:0]ビットでグループAのトリガを選択し、ADSTRGR.TRSB[3:0]ビットでグループBのトリガを選択します。グループAとグループBのA/D変換が同時に起こらないように、グループAとグループBのトリガは別々のトリガにしてください。また、ソフトウェアトリガは使用しないでください。

A/D変換対象とするチャンネルは、ADANSAレジスタでグループAのチャンネルを選択し、ADANSBレジスタでグループBのチャンネルを選択します。グループAとグループBで同一のチャンネルを選択することはできません。

グループスキャンモード時は、温度センサ出力A/D変換選択ビット(ADEXICR.TSS)と内部基準電圧A/D変換選択ビット(ADEXICR.OCS)はともに“0”(非選択)に設定します。

グループスキャンモードで自己診断を選択した場合は、グループAとグループBそれぞれで自己診断を実施します。

以下にMTUからのトリガによるグループスキャンモードの動作例を示します。グループAはMTUからのTRG4ANトリガで変換開始し、グループBはMTUからのTRG4BNトリガで変換開始する設定です。

- (1) MTUからのTRG4ANトリガでグループAのスキャンを開始します。
- (2) グループAのスキャン終了時にADCSR.ADIEビットが“1”(S12ADI0割り込み許可)に設定されていると、S12ADI0割り込みを出力します。
- (3) MTUからのTRG4BNトリガでグループBのスキャンを開始します。
- (4) グループBのスキャン終了時にADCSR.GBADIEビットが“1”(GBADI割り込み許可)に設定されていると、GBADI割り込みを出力します。

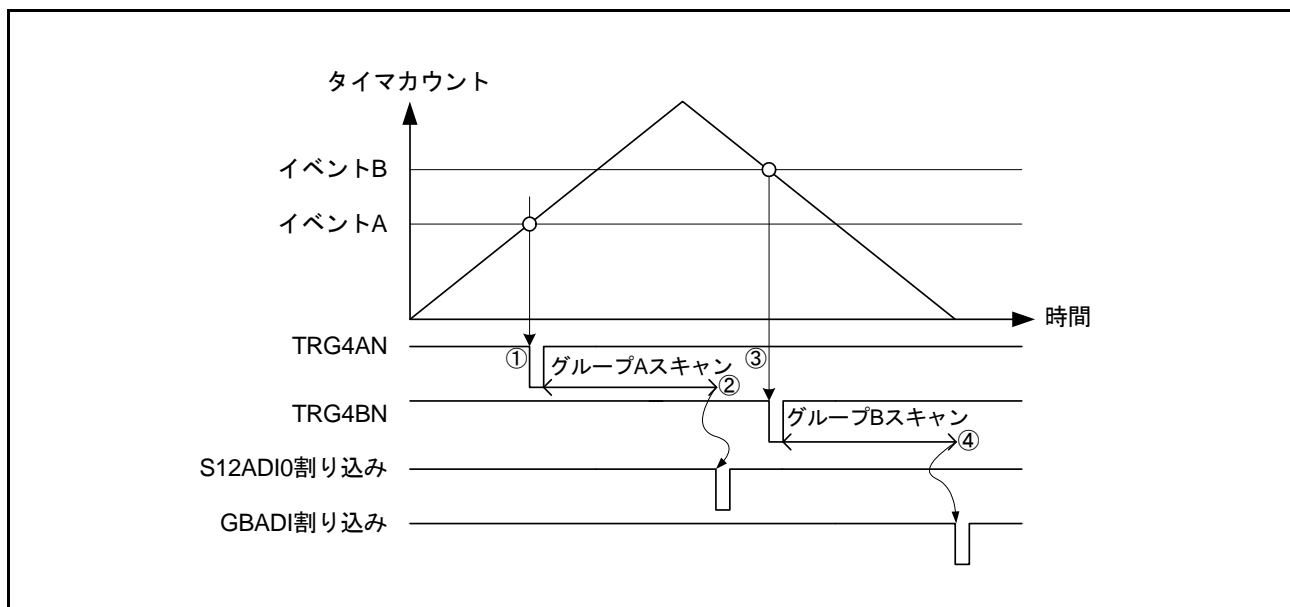


図 33.14 グループスキャンモードの動作 (MTUからのトリガ発生による基本動作)

33.3.4.2 ダブルトリガモード選択時の動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は MTU、ELC からのトリガで開始するシングルスキャンモードを 2 回行います。グループ B は MTU、ELC からのトリガで開始するシングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[3:0] ビットでグループ A のトリガを選択し、ADSTRGR.TRSB[3:0] ビットでグループ B のトリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。また、ソフトウェアトリガ、同期トリガ（温度センサ）、および非同期トリガ（ADTRG0#）は使用しないでください。

A/D 変換対象とするチャンネルは、ADCSR.DBLANS[4:0] ビットでグループ A のチャンネルを選択し、ADANSB レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモード時は、温度センサ出力 A/D 変換選択ビット（ADEXICR.TSS）と内部基準電圧 A/D 変換選択ビット（ADEXICR.OCS）はともに“0”（非選択）に設定してください。

グループスキャンモードでダブルトリガモード選択時は自己診断は選択できません。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。

以下に MTU からのトリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。グループ A は MTU からの TRG4ABN トリガで変換開始し、グループ B は MTU からの TRG0AN トリガで変換開始する設定です。

- (1) MTU からの TRG0AN トリガでグループ B のスキャンを開始します。
- (2) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1”（GBADI 割り込み許可）に設定されていると、GBADI 割り込みを出力します。
- (3) MTU からの 1 回目の TRG4ABN トリガでグループ A の 1 回目のスキャンを開始します。
- (4) グループ A の 1 回目のスキャン終了時は、変換データを ADDRy に格納し、ADCSR.ADIE ビットの設定に関わらず S12ADI0 割り込み要求は発生しません。
- (5) MTU からの 2 回目の TRG4ABN トリガでグループ A の 2 回目のスキャンを開始します。
- (6) グループ A の 2 回目のスキャン終了時は、変換データを ADDBLDR に格納し、ADCSR.ADIE ビットが“1”（S12ADI0 割り込み許可）に設定されていると、S12ADI0 割り込みを出力します。

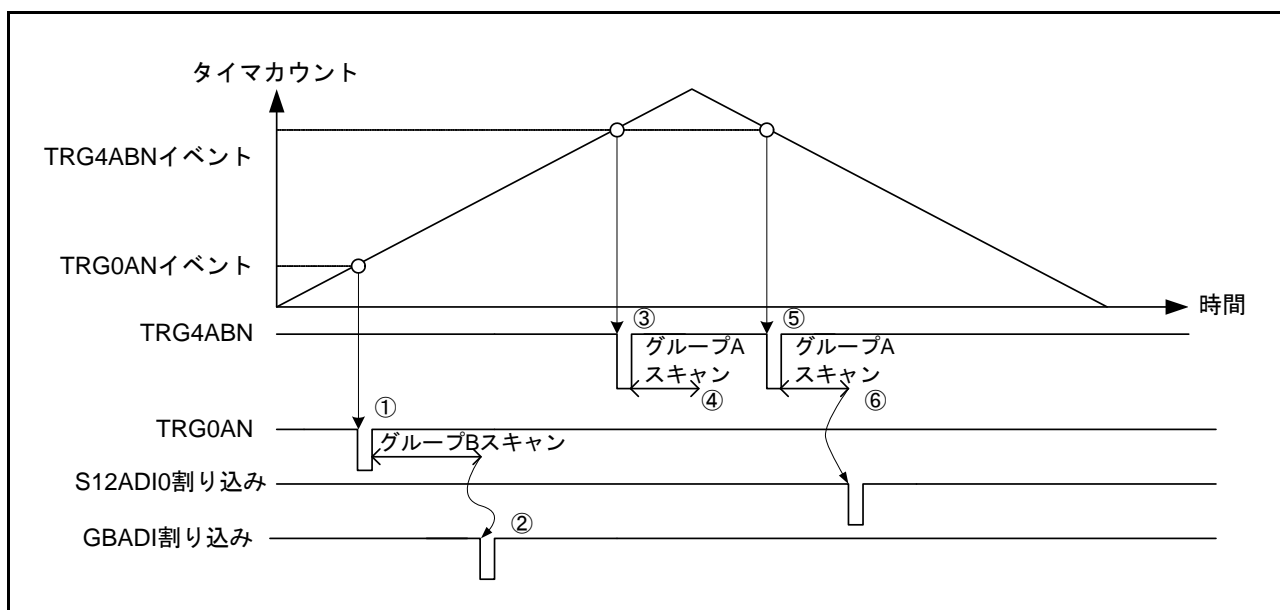


図 33.15 グループスキャンモードでダブルトリガモード選択時の動作（MTU からのトリガ発生による基本動作）

33.3.5 アナログ入力のサンプリングとスキャン変換時間

スキャン変換は、ソフトウェア起動、MTU、ELC、温度センサトリガによる起動およびADTRG0#（外部トリガ）による起動が選択できます。スキャン変換開始遅延時間（ t_D ）の後に、チャンネル専用サンプル&ホールド回路のサンプリング、断線検出アシスト処理、自己診断変換処理を行い、この後にA/D変換処理が開始されます。

図 33.16 にシングルスキャンモード、ソフトウェア起動とMTU、ELC、温度センサ起動によるスキャン変換を行う場合のタイミングを示します。また、図 33.17 にシングルスキャンモード、ADTRG0#（外部トリガ）要因によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間（ t_{SCAN} ）はスキャン変換開始遅延時間（ t_D ）、チャンネル専用サンプル&ホールド回路サンプリング時間（ t_{SH} ）（注1）、断線検出アシスト処理時間（ t_{DIS} ）（注2）自己診断変換時間（ t_{DIAG} ）（注3）、A/D変換処理時間（ t_{CONV} ）、チャンネル専用サンプル&ホールド回路終了処理時間（ t_{SHED} ）（注4）、スキャン変換終了遅延時間（ t_{ED} ）を含めた時間となります。スキャン変換時間を表 33.8 に示します。

選択チャンネル数が n のシングルスキャンのスキャン変換時間（ t_{SCAN} ）は、次のように表されます。

$$t_{SCAN} = t_D + t_{SH} + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n) + t_{ED}$$

連続スキャンの1サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省き t_{SHED} を加えた時間です。

連続スキャンの2サイクル目以降は、 $t_{SH} + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n) + t_{SHED}$ 固定となります。

断線検出アシスト処理時間（ t_{DIS} ）は、ADNDIS[3:0]設定値となります。

チャンネル専用サンプル&ホールド回路サンプリング時間（ t_{SH} ）は、10ステート（固定）+ADSHCR.SSTSH[7:0]設定値となります。

自己診断変換処理時間（ t_{DIAG} ）とA/D変換処理時間（ t_{CONV} ）は、以下となります。

自己診断変換処理時間（ t_{DIAG} ）：30ステート（固定）+ADSSTR0.SST[7:0]設定値

A/D変換処理時間（ t_{CONV} ）：30ステート（固定）+ADSSTRn.SST[7:0]（注5）設定値

注1. チャンネル専用サンプル&ホールド回路を使用しない場合は、 $t_{SH} = 0$ となります。

注2. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$ となります。

注3. 自己診断を設定しない場合は、 $t_{DIAG} = 0$ となります。

注4. チャンネル専用サンプル&ホールド回路を使用しない場合は、 $t_{SHED} = 0$ となります。

連続スキャンモード実行時の所要時間です。シングルスキャンとグループスキャンモード実行時は、スキャン終了処理時間（ t_{ED} ）に含まれます。

注5. 表 33.7 の各レジスタを示しています。

表33.8 スキャン変換時間 (PCLKとADCLKのサイクル数で示す)

項目	記号	種類/条件	サイクル
スキャン変換開始遅延時間 (注1)	t _D	MTU、ELC、温度センサトリガ、ソフトウェアトリガ	2 PCLK + 4 ADCLK
		外部トリガ	4 PCLK + 4 ADCLK
チャンネル専用サンプル&ホールド回路サンプリング時間	t _{SPL}	ADSHCR.SSTSH[7:0]ビット (初期設定値 14h)	30ADCLK
断線検出アシスト処理時間	t _{DIS}	ADNDIS[3:0]ビット (初期設定値 00h)	0 ADCLK
自己診断変換処理時間 (注1)	t _{DIAG}	ADSSTR0.SST[7:0]ビット (初期設定値 14h)	50 ADCLK
A/D変換処理時間 (注1)	t _{CONV}	ADSSTRn.SST[7:0]ビット (初期設定値 14h)	50 ADCLK
チャンネル専用サンプル&ホールド回路終了処理時間	t _{SHED}	—	2ADCLK
スキャン変換終了遅延時間 (注1)	t _{ED}	—	1 PCLK + 3 ADCLK
スキャン変換時間 (注2)	t _{SCAN}	—	5 PCLK + (50n + 87) ADCLK

注1. t_D、t_{DIAG}、t_{CONV}、t_{ED}の各タイミングについては図33.16、図33.17を参照してください。
 注2. 非同期トリガ起動、チャンネル専用サンプル&ホールド回路選択、断線検出アシスト非選択、自己診断変換選択、シングルスキャンモード選択した場合です。nはチャンネル数です。

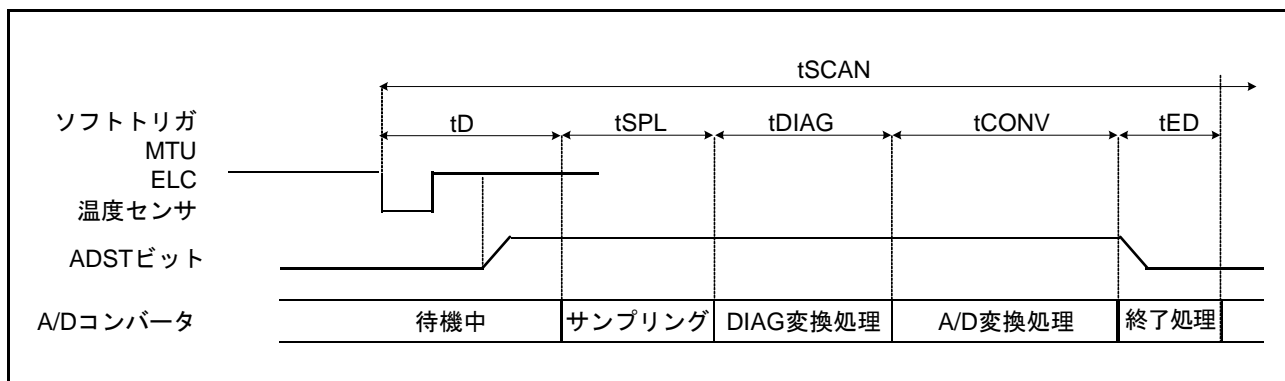


図 33.16 スキャン変換のタイミング (ソフトウェア起動、MTU、ELC、温度センサ起動の場合)

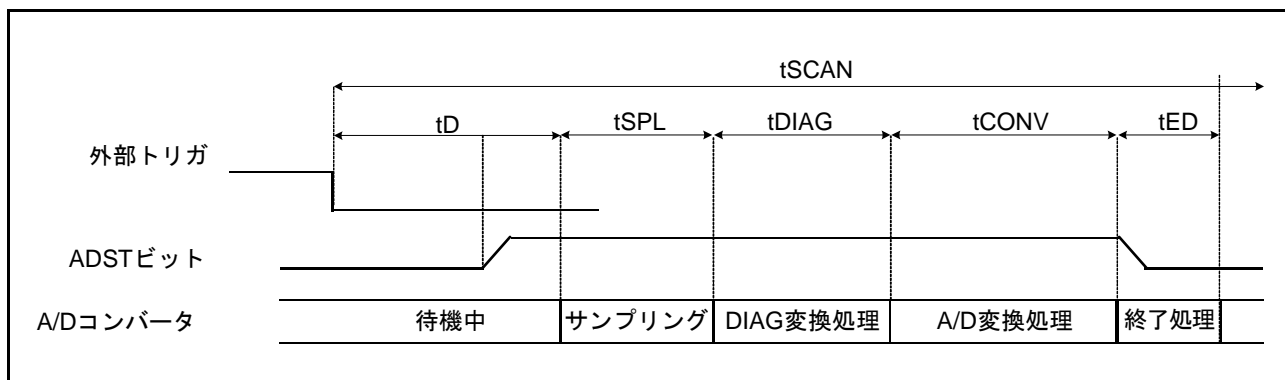


図 33.17 スキャン変換のタイミング (ADTRG# 要因の場合)

33.3.6 レジスタのオートクリア機能の使用例

ADCER.ACE ビットを“1”にすることにより、CPU、DTC および DMAC によって A/D データレジスタ (ADDRy、ADRD、ADTSDR、ADOCDR、ADDBLDR) を読み出す際、自動的に ADDRy、ADRD、ADTSDR、ADOCDR、ADDBLDR レジスタを 0000h にクリアできます。

この機能を使うことにより、ADDRy、ADRD、ADTSDR、ADOCDR、ADDBLDR レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効 / 有効時の例を示します。

ADCER.ACE ビットが“0” (自動クリア禁止) の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、古いデータ (0111h) が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) が汎用レジスタなどに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが“1” (自動クリア許可) の場合には、ADDRy = 0111h を CPU、DTC および DMAC により読み出す際、ADDRy レジスタは自動的に 0000h にクリアされます。その後、A/D 変換結果の 0222h が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、0000h が汎用レジスタなどに保持されます。読み出されたデータ値が 0000h であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

33.3.7 A/D 変換値加算機能

同じチャンネルを 2～4 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算機能は、チャンネル選択アナログ入力 A/D 変換、内部基準電圧 A/D 変換選択時に使用できます。

33.3.8 断線検出アシスト機能

A/D 変換開始前に、サンプリング容量の電荷を所定の状態 (VREFH0 または VREFL0) に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 33.18 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。また、図 33.19 に VREFH0 側での断線検出例 (プリチャージを選択) を、図 33.20 に VREFL0 側での断線検出例 (ディスチャージを選択) を示します。

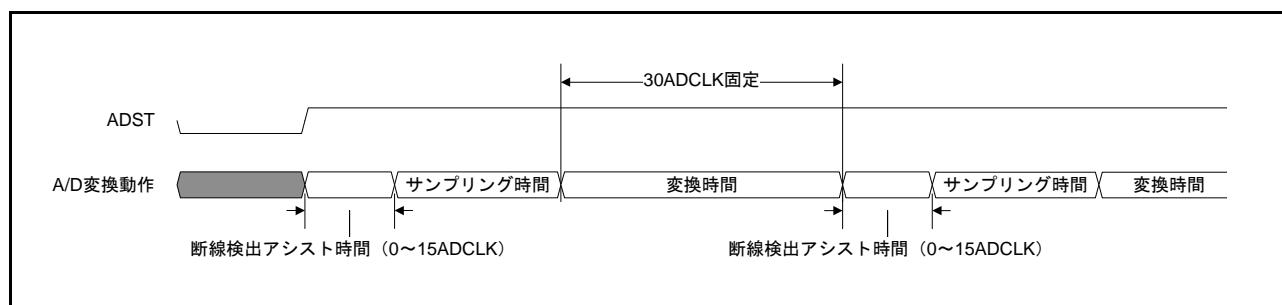


図 33.18 断線検出アシスト機能を使用した場合の A/D 変換動作図

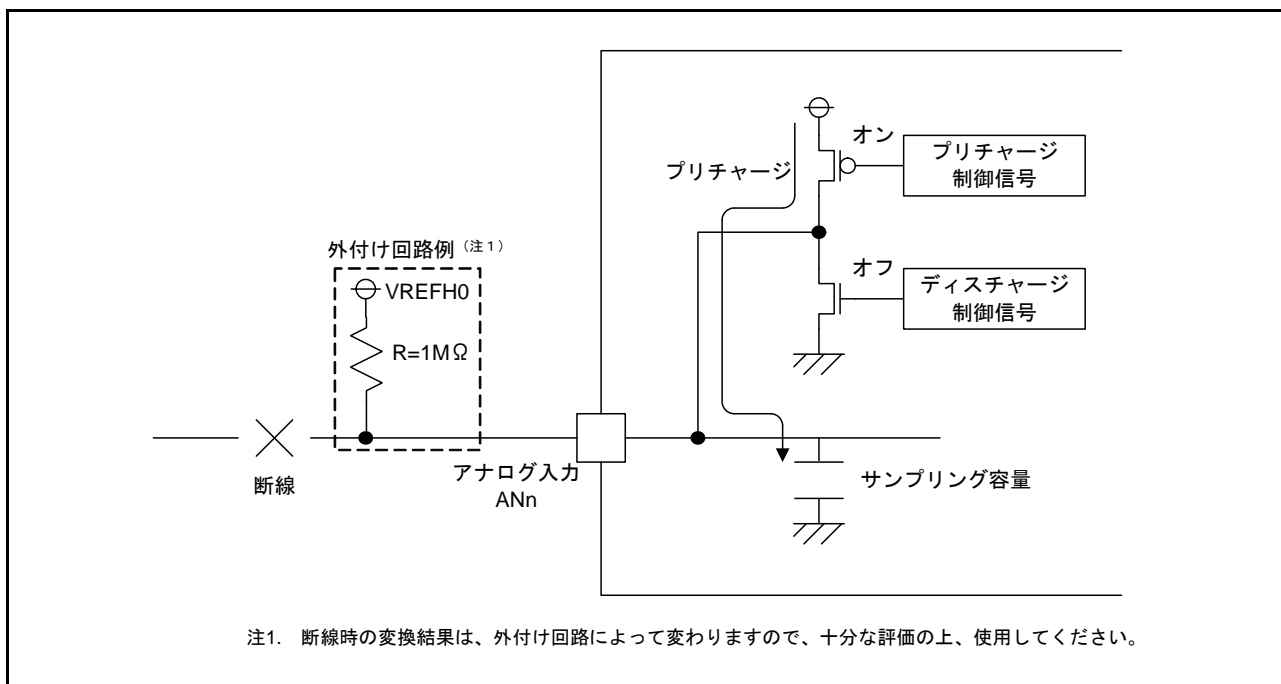


図 33.19 VREFH0 側での断線検出例 (プリチャージを選択)

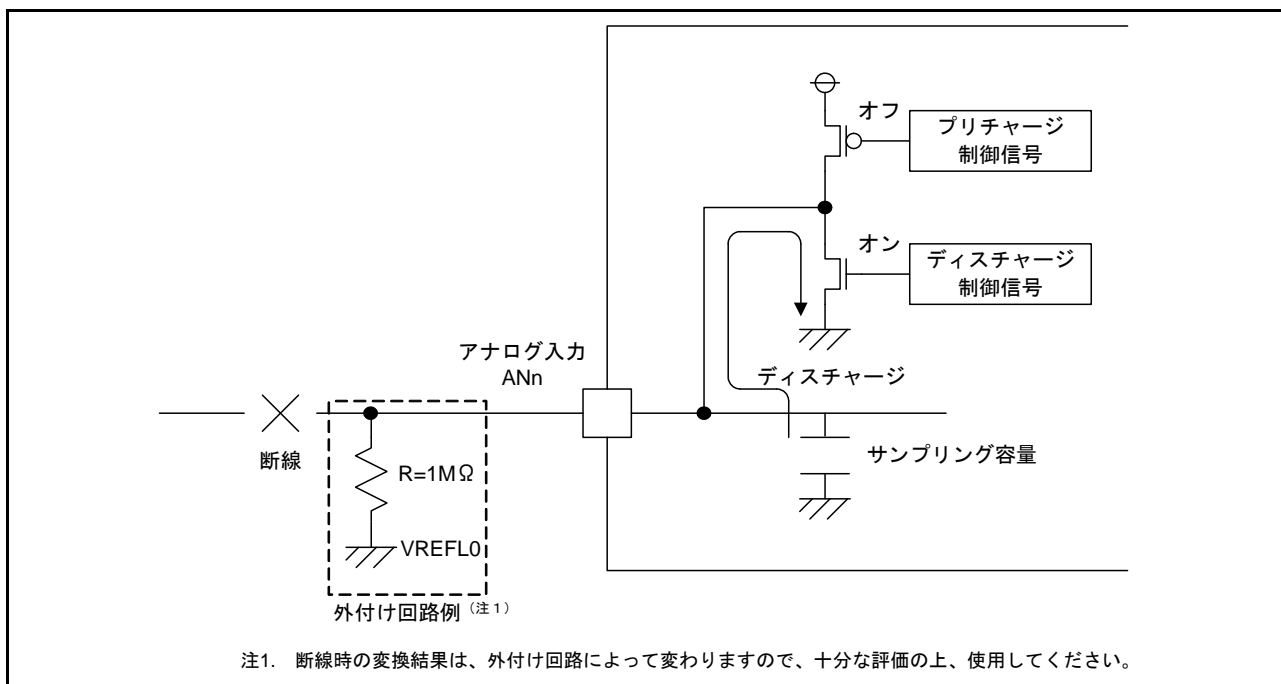


図 33.20 VREFL0 側での断線検出 (ディスチャージを選択)

33.3.9 非同期トリガによる A/D 変換の開始

非同期トリガの入力により A/D 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[3:0]) を “0000b” に設定し、非同期トリガ (ADTRG0# 端子) に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 33.21 に非同期トリガ入力タイミングを示します。

ADST ビットがセットされてから A/D 変換が開始するまでの時間は、「33.7.3 A/D 変換強制停止と開始時の動作タイミング」を参照してください。

グループスキャンモードで使用するグループ B 専用 A/D 変換開始トリガ選択ビット (ADSTRGR.TRSB[3:0]) は、非同期トリガを選択できません。

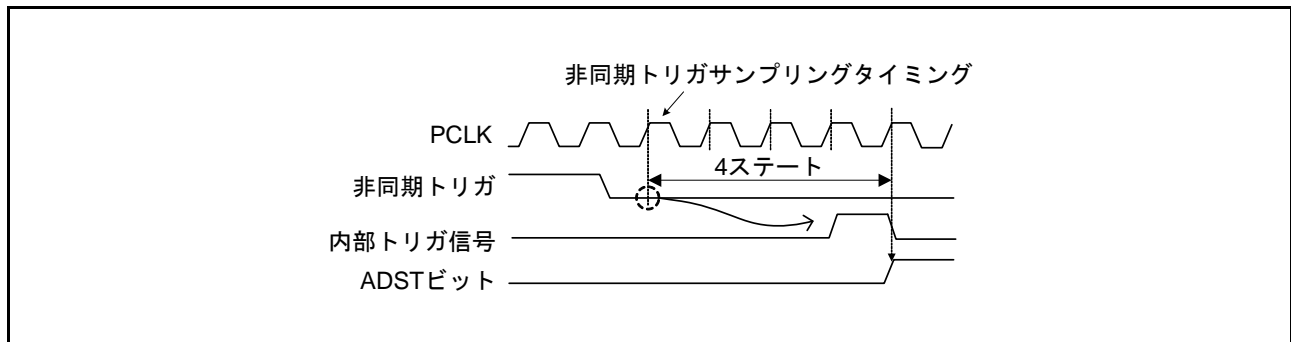


図 33.21 非同期トリガ入力タイミング

33.3.10 周辺モジュールからの同期トリガによる A/D 変換の開始

MTU、TPU、ELC、温度センサからの同期トリガによって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.TRSA[3:0]、TRSB[3:0] ビットで該当の起動要因にセットします。

温度センサ出力を変換する場合は、温度センサからのトリガで A/D 変換を開始してください。アナログ入力チャネルや内部基準電圧を変換する場合に温度センサからのトリガは使用できません。

33.4 割り込み要因と DMA 転送要求

33.4.1 スキャン終了時の割り込み要求

12ビットA/Dコンバータは、CPUへのスキャン終了割り込み要求であるS12ADI0、GBADI割り込みを発生することができます。

ADCSR.ADIEビットを“1”にするとS12ADI0を許可、“0”にするとS12ADI0を禁止できます。

ADCSR.GBADIEビットを“1”にするとGBADIを許可、“0”にするとGBADIを禁止できます。

また、S12ADI0、GBADI発生時にDTCまたはDMACを起動できます。S12ADI0、GBADI割り込みで変換されたデータの読み出しをDTCまたはDMACで行うと、連続変換がソフトウェアの負担なく実現できます。DTCの設定は「17. データトランスファコントローラ (DTCa)」を、DMACの設定は「16. DMAコントローラ (DMACA)」を参照してください。

33.5 イベントリンク機能

33.5.1 ELCへのイベント出力動作

ELCでは、S12ADI0割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。GBADI割り込み要求信号をイベント信号として使用することはできません。イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。12ビットA/Dコンバータは、A/D変換終了イベントを出力します。

33.5.2 ELCからのイベントによる12ビットA/Dコンバータの動作

12ビットA/DコンバータはELCのELSRnの設定により、あらかじめ設定したイベントによるA/D変換開始動作が可能です。

33.5.3 ELCからのイベントによる12ビットA/Dコンバータの注意事項

A/D変換中にイベントが発生した場合は、イベントは無効になります。

33.6 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- 分解能
12 ビット A/D コンバータのデジタル変換出力コード数
- オフセット誤差
デジタル出力が最小電圧値 000000000000 から 000000000001 に変化する時のアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない。
- フルスケール誤差
デジタル出力が 111111111110 から 111111111111 に変化する時のアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない。
- 量子化誤差
12 ビット A/D コンバータが本質的に有する誤差であり、1/2LSB で与えられる。
- 非直線性誤差
ゼロ電圧からフルスケール誤差までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線性誤差を含む。

33.7 使用上の注意事項

33.7.1 データレジスタの読出し注意事項

A/D データレジスタ、A/D データ2重化レジスタ、A/D 温度センサデータレジスタ、A/D 内部基準電圧データレジスタ、およびA/D 自己診断データレジスタの読み出しは、ワード単位で行ってください。バイト単位で上位バイト/下位バイトの2回に分けて読み出すことにより、1回目に読み出したA/D変換値と2回目に読み出したA/D変換値が変化するのを避けるため、バイト単位の読み出しは行わないでください。

33.7.2 A/D変換停止時の注意事項

A/D変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D変換を停止させるためには、ADCSR.TRGEビットを“0”に設定し、A/D変換開始条件をソフトウェアトリガにした後、ADCSR.ADSTビットを“0”（A/D変換停止）に設定してください。

33.7.3 A/D変換強制停止と開始時の動作タイミング

12ビットA/Dコンバータのアナログ部が停止した状態でADCSR.ADSTビットを“1”に設定し12ビットA/Dコンバータのアナログ部が動作を開始するのにADCLKで最大4クロックの時間を必要とします。ADCSR.ADSTビットを“0”に設定してA/D変換を強制停止させると、12ビットA/Dコンバータのアナログ部が動作を停止するのに、ADCLKで最大2クロックの時間を必要とします。

33.7.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合等で、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終えていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

33.7.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、12ビットA/Dコンバータの動作禁止/許可を設定することが可能です。初期値では、12ビットA/Dコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1μs待ってからA/D変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

33.7.6 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ移行する場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADSTビットを“0”に設定後、12ビットA/Dコンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

ADCSR.TRGEビットを“0”（ソフトウェアトリガ）に設定し、ADCSR.ADSTビットを“0”に設定してください。その後、A/D変換が停止していることを確認した後、モジュールストップやソフトウェアスタンバイモードへ遷移させてください。

33.7.7 許容信号源インピーダンスについて

本LSIのアナログ入力は、高速変換 $1.0\mu\text{s}$ を実現するために、信号源インピーダンスが $0.5\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。シングルスキャンモードで1端子のみ変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $3.0\text{k}\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5\text{mV}/\mu\text{s}$ 以上）には追従できないことがあります（図 33.22）。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

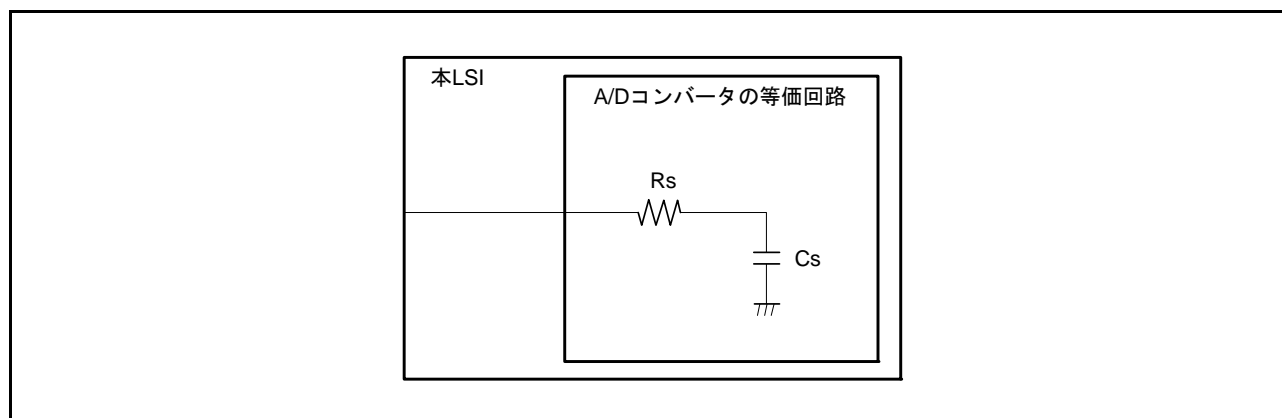


図 33.22 アナログ入力端子の内部等価回路

表 33.9 アナログ端子の規格

項目	min	max	単位	
許容信号源インピーダンス (注1)	—	0.5	k Ω	
端子の内部等価回路 (注2)	Rs	—	3.0	k Ω
	Cs	—	20	pF

注1. 高速変換 $1.0\mu\text{s}$ を実現するための値です。アナログ電源電圧とアナログ入力端子により異なります。詳細は「42. 電気的特性」を参照してください。

注2. 対応端子がAN003, AN004, AN006で、電圧条件が $\text{AVCC0} \geq 2.7\text{V}$ のときの値です。

33.7.8 絶対精度への影響

容量を付加することにより、GND とのカップリングを受け、ノイズがある GND だと絶対精度が悪化する可能性がありますので、AVSS0 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

33.7.9 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えてLSIを使用した場合は、LSIの信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

アナログ入力端子 AN_n に印加する電圧は、 $VREFL0 \leq VAN \leq VREFH0$ の範囲としてください。

- 各電源端子 (AVCC0 – AVSS0、VREFH0 – VREFL0、VCC – VSS) の関係

AVCC0、AVSS0とVCC、VSSとの関係は $AVCC0 = VCC$ かつ $AVSS0 = VSS$ としてください。また、**図 33.23** に示すように各々の電源間に最短で閉ループが形成できるように $0.1\mu\text{F}$ のコンデンサを接続し、供給元で $AVCC0 = VCC$ 、 $VREFL0 = AVSS0 = VSS$ になるように接続してください。12ビットA/Dコンバータを使用しない場合は、 $VREFH0 = AVCC0 = VCC$ 、 $VREFL0 = AVSS0 = VSS$ としてください。

- VREFH0 の設定範囲

VREFH0 端子によるリファレンス電圧の設定範囲は、 $VREFH0 \leq AVCC0$ にしてください。

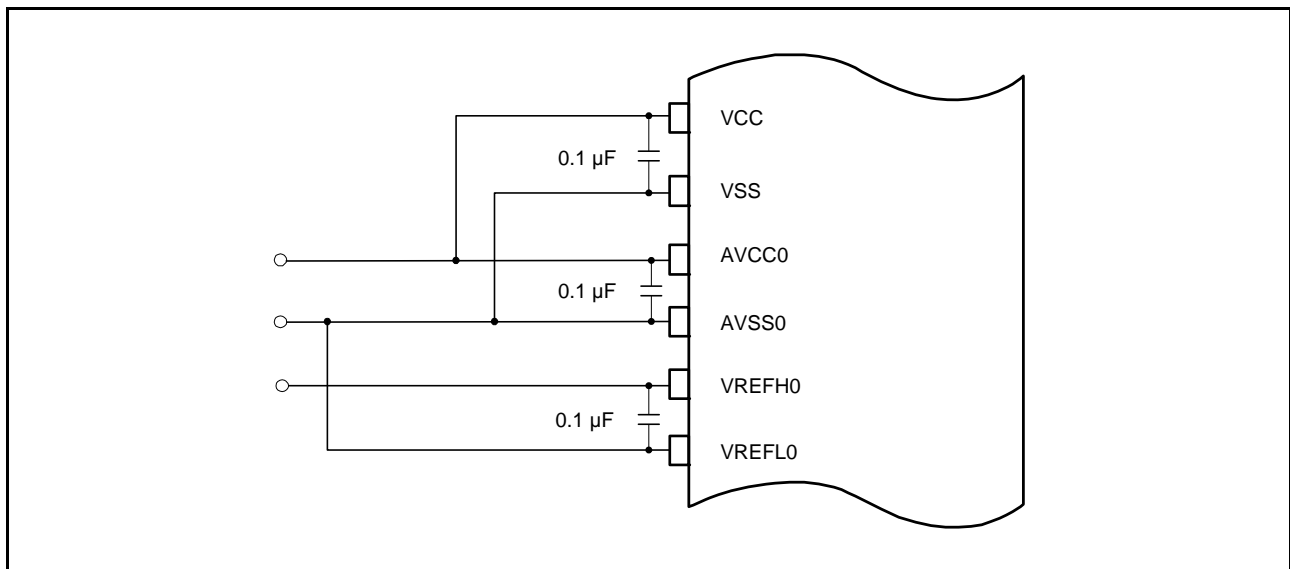


図 33.23 各電源端子の接続例

33.7.10 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D変換値の精度に悪影響を及ぼします。アナログ入力端子 (AN000 ~ AN015)、基準電源端子 (VREFH0)、基準グランド端子 (VREFL0)、アナログ電源 (AVCC0) は、アナロググランド (AVSS0) で、デジタル回路と分離してください。さらにアナロググランド (AVSS0) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

33.7.11 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN000 ~ AN015) の破壊を防ぐために、図 33.24 に示すように AVCC0 と AVSS0 間、VREFH0 と VREFL0 間に容量を、またアナログ入力端子 (AN000 ~ AN015) を基準に保護回路を接続してください。

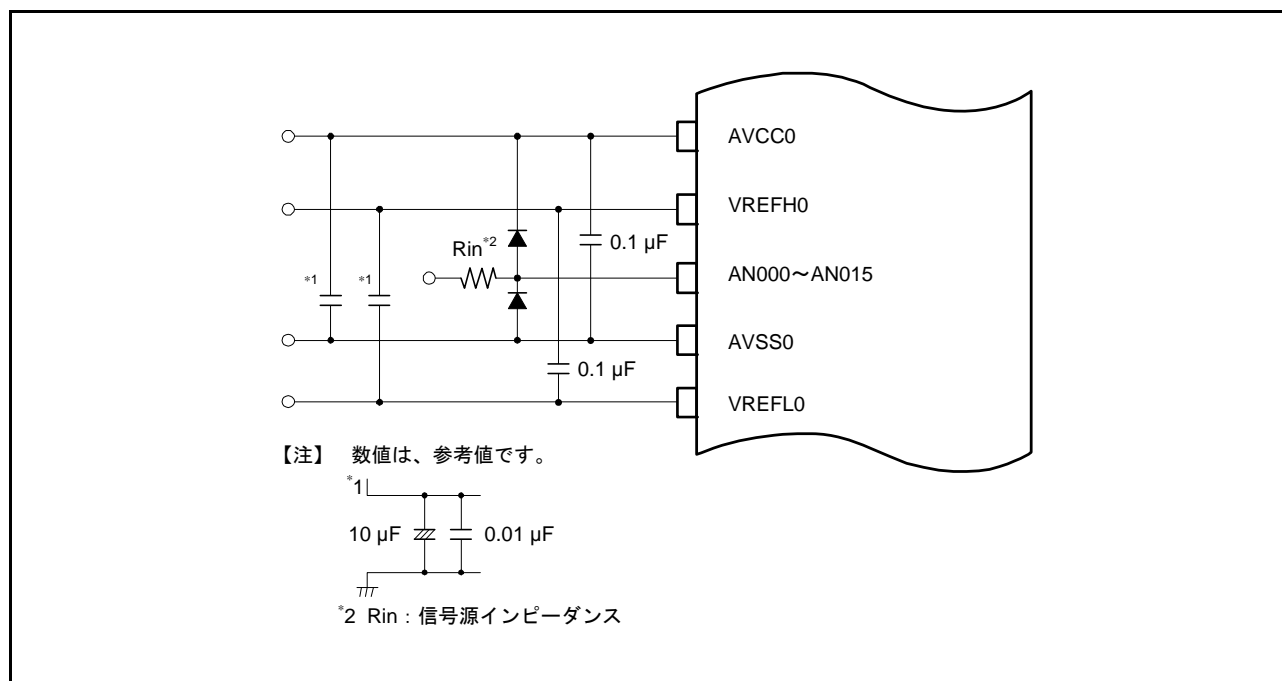


図 33.24 アナログ入力保護回路の例

33.7.12 12ビットA/Dコンバータ入力を使用する場合のポートの設定

ポート4、ポートEの端子の中で、1端子でも12ビットA/Dコンバータのアナログ入力端子として使用する場合は、ポート0、ポート4のポート出力は使用しないでください。ただし、D/Aコンバータの出力は使用できます。ポート0とポート4の回路の一部で、アナログ電源を使用しているためです。

33.7.13 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、アナログ入力端子にプルアップ/プルダウン抵抗 (R_p) と信号源抵抗 (R_s) の抵抗分圧分の誤差電圧が入力され、ADコンバータの絶対精度誤差が生じます。絶対精度の誤差は下式で表されます。断線検出アシスト機能は、十分な評価の上、使用してください。

$$\text{最大絶対精度誤差 (LSB)} = 4095 \times R_s / R_p$$

34. D/Aコンバータ (DA)

34.1 概要

RX210グループは、10ビットのD/Aコンバータを2チャンネル内蔵しています。

表34.1にD/Aコンバータの仕様を示します。図34.1にD/Aコンバータのブロック図を示します。

表34.1 D/Aコンバータの仕様

項目	内容
分解能	10ビット
出力チャンネル	2チャンネル
消費電力低減機能	モジュールストップ状態への設定が可能
イベントリンク機能 (入力)	イベント信号の入力により、D/A0変換開始が可能

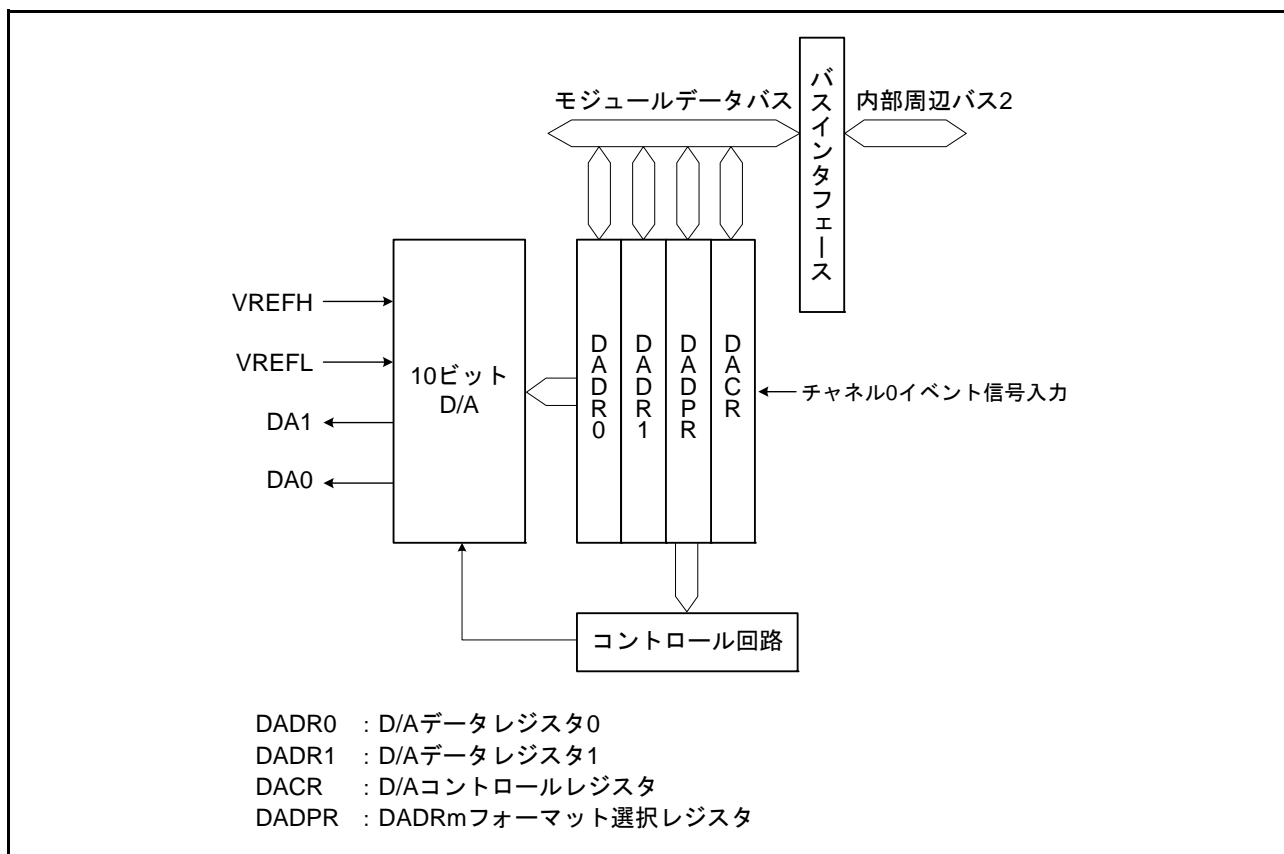


図 34.1 D/Aコンバータのブロック図

表 34.2 に D/A コンバータで使用する入出力端子を示します。

表 34.2 D/Aコンバータの入出力端子

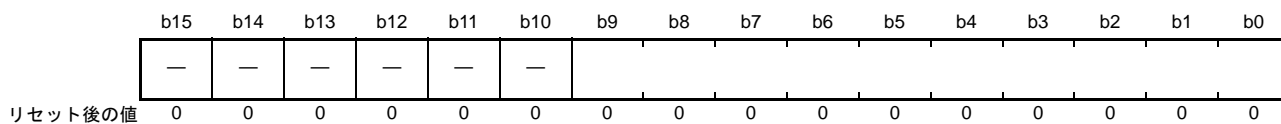
端子名	入出力	機能
VREFH	入力	D/A コンバータの基準電圧入力端子。アナログ電源としても使用します。D/A コンバータを使用しない場合は、VCCに接続してください。
VREFL	入力	D/A コンバータの基準電圧入力端子。アナロググランドとしても使用します。VSS端子と同電位にしてください
DA0	出力	チャンネル0のアナログ出力
DA1	出力	チャンネル1のアナログ出力

34.2 レジスタの説明

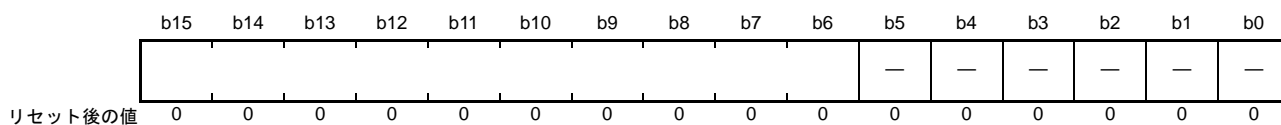
34.2.1 D/A データレジスタ m (DADRm) (m=0、1)

アドレス DADR0 0008 80C0h, DADR1 0008 80C2h

- ・ DADPR.DPSELビット="0" (データは右詰め)



- ・ DADPR.DPSELビット="1" (データは左詰め)



DADRm レジスタは、D/A 変換を行うデータを格納するための 16 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、DADRm レジスタの値が変換されアナログ出力端子に出力されます。

DADPR.DPSEL ビットの設定によって 10 ビットのデータの配置を変更できます。“—”のビットは、読むと“0”が読めます。書く場合、“0”としてください。

34.2.2 D/A コントロールレジスタ (DACR)

アドレス 0008 80C4h

b7	b6	b5	b4	b3	b2	b1	b0
DAOE1	DAOE0	DAE	—	—	—	—	—

リセット後の値 0 0 0 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	DAE (注1)	D/A許可ビット	0 : チャネル0、1のD/A変換を個別制御 1 : チャネル0、1のD/A変換を一括許可	R/W
b6	DAOE0	D/A出力許可0ビット	0 : チャネル0のアナログ出力 (DA0) を禁止 1 : チャネル0のD/A変換を許可 チャネル0のアナログ出力 (DA0) を許可 (注2)	R/W
b7	DAOE1	D/A出力許可1ビット	0 : チャネル1のアナログ出力 (DA1) を禁止 1 : チャネル1のD/A変換を許可 チャネル1のアナログ出力 (DA1) を許可 (注2)	R/W

注1. DAOEiビット (i=0, 1) との組み合わせで、D/A変換を制御します。変換結果の出力は、DAOEiビットにより制御されます。表34.3を参照してください。

注2. アナログ出力として使用する端子のPORT0.PDR.Bmビット (m=3, 5) は“0”にし、PORT0.PMR.Bmビット (m=3, 5) も“0”にしてください。また、P03PFS、P05PFSレジスタによって、アナログ端子に設定してください。詳細については「19. I/Oポート」および「20. マルチファンクションピンコントローラ (MPC)」を参照してください。

表 34.3 D/A変換の制御

b5	b7	b6	説明
DAE	DAOE1	DAOE0	
0	0	0	D/A変換とアナログ出力 (DA0、DA1) を禁止 (注1)
		1	チャネル0のD/A変換を許可、チャネル1のD/A変換を禁止 チャネル0のアナログ出力 (DA0) を許可、チャネル1のアナログ出力 (DA1) を禁止 (注1)
	1	0	チャネル0のD/A変換を禁止、チャネル1のD/A変換を許可 チャネル0のアナログ出力 (DA0) を禁止 (注1)、チャネル1のアナログ出力 (DA1) を許可
		1	チャネル0、1のD/A変換を許可 チャネル0、1のアナログ出力 (DA0、DA1) を許可
1	0	0	チャネル0、1のD/A変換を許可 チャネル0、1のアナログ出力 (DA0、DA1) を禁止 (注1)
		1	チャネル0、1のD/A変換を許可 チャネル0のアナログ出力 (DA0) を許可、チャネル1のアナログ出力 (DA1) を禁止 (注1)
	1	0	チャネル0、1のD/A変換を許可 チャネル0のアナログ出力 (DA0) を禁止 (注1)、チャネル1のアナログ出力 (DA1) を許可
		1	チャネル0、1のD/A変換を許可 チャネル0、1のアナログ出力 (DA0、DA1) を許可

注1. アナログ出力禁止時、アナログ出力はHi-Zになります。

DAE ビット (D/A 許可ビット)

DAOE_i ビット (i=0, 1) との組み合わせで、D/A 変換を制御します。

DAE ビットが“0”のとき、チャンネル0、1のD/A変換は個別に制御されます。DAE ビットが“1”のとき、チャンネル0、1のD/A変換は一括して制御されます。変換結果の出力は、DAOE_i ビットにより制御されます。

DAOE0 ビット (D/A 出力許可0ビット)

D/A 変換とアナログ出力を制御します。

イベントリンク機能により、DAOE0 ビットを“1”にできます。ELCのELSR16レジスタで設定されたイベントが発生すると、DAOE0 ビットが“1”になり、D/A変換出力を開始します。

DAOE1 ビット (D/A 出力許可1ビット)

D/A 変換とアナログ出力を制御します。

34.2.3 DADR_m フォーマット選択レジスタ (DADPR)

アドレス 0008 80C5h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSEL	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSEL	DADR _m フォーマット選択ビット	0 : D/A データレジスタは右詰め 1 : D/A データレジスタは左詰め	R/W

34.3 動作説明

2チャンネルのD/Aコンバータは、それぞれ独立して変換を行うことができます。DACR.DAOE_iビット (i=0, 1) を“1”にすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図34.2に示します。

1. DADR0レジスタに変換データを書きます。
2. DACR.DAOE0ビットを“1”にすると、D/A変換を開始します。t_{DCONV}時間経過後、変換結果をアナログ出力端子DA0より出力します。DADR0レジスタを書き換えるか、DAOE0ビットを“0”にするまで、この変換結果が出力され続けます。出力値は以下の式で計算します。

$$\frac{\text{DADR0レジスタの値}}{1024} \times \text{VREFH}$$

3. DADR0レジスタを書き換えると変換を開始します。t_{DCONV}時間経過後、変換結果が出力されます。
4. DAOE0ビットを“0”に設定するとアナログ出力を禁止します。

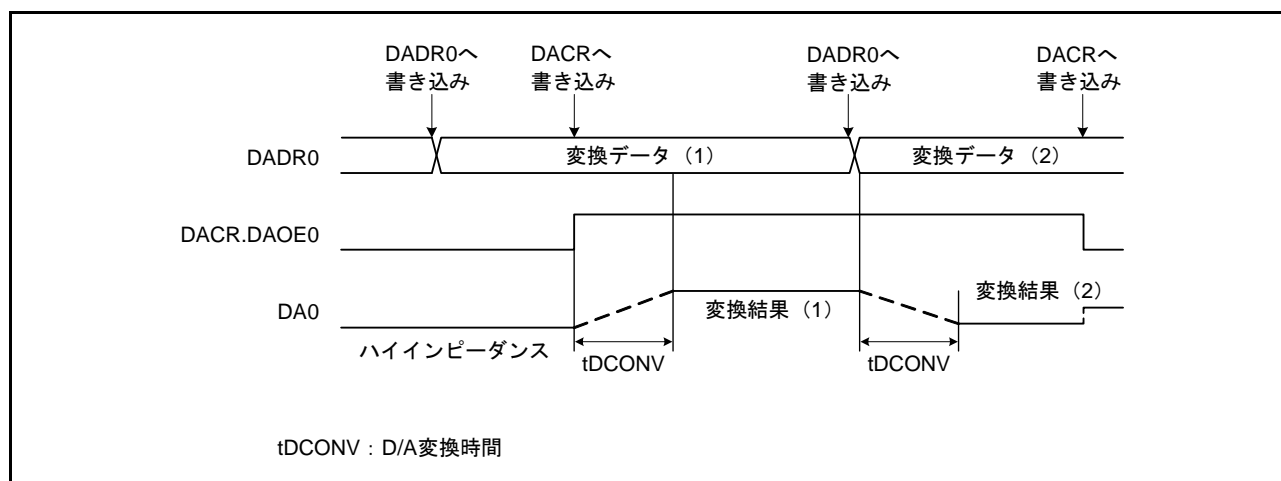


図 34.2 D/Aコンバータの動作例

34.4 イベントリンクの動作設定手順

以下にイベントリンク動作手順を示します。

1. DADPR.DPSEL ビットの設定と DADR0 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC の ELSR16 レジスタにリンクする ELS16 設定イベント信号のビットの値を設定します。
3. ELCR.ELCON ビットを“1”にします。これによりイベントリンクが設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、起動します。モジュールから出力されるイベントにより、DACR.DAOE0 ビットが“1”になり、チャンネル0のD/A変換が開始されます。
5. D/Aコンバータのチャンネル0のイベントリンク動作を停止するときは ELSR16.ELS[7:0] ビットに 0000 0000b を設定してください。また ELCR.ELCON ビットを“0”にすることにより、全モジュールのイベントリンク動作が停止します。

34.5 イベントリンク動作における注意事項

DACR.DAOE0 ビットへのライトサイクル中に ELSR16 レジスタで指定したイベントが発生すると、DACR.DAOE0 ビットへの書き込みサイクルは行われず、イベント発生による“1”セットが優先されます。

34.6 使用上の注意事項

34.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、D/Aコンバータの動作禁止/許可を設定することが可能です。初期値では、D/Aコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

34.6.2 モジュールストップ時のD/Aの動作

D/A変換を許可した状態でモジュールストップ状態になるとD/A出力は保持され、アナログ電源電流はD/A変換中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAEビットをすべて“0”にしてD/A出力を禁止してください。

34.6.3 ソフトウェアスタンバイモード時のD/Aの動作

D/A変換を許可した状態でRX210グループがソフトウェアスタンバイモードになるとD/A出力は保持され、アナログ電源電流はD/A変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAEビットをすべて“0”にしてD/A出力を禁止してください。

34.6.4 ディープソフトウェアスタンバイモード時の注意事項

D/A変換を許可した状態でRX210グループがディープソフトウェアスタンバイモードに移行すると、D/A出力はハイインピーダンスとなります。

34.6.5 D/Aコンバータ出力を使用する場合のポートの設定

ポート05、ポート03の1端子でもD/Aコンバータ出力として使用する場合は、ポート0、ポート4のポート出力は使用しないでください。ポート0とポート4の回路の一部で、アナログ電源を使用しているためです。

35. 温度センサ (TEMPSa)

35.1 概要

RX210 グループは、温度センサを内蔵しています。温度センサは温度により変化する電圧を出力します。温度センサの出力にはPGA (Programmable Gain Amp) が接続されており、温度センサの出力電圧を増幅します。この増幅された温度センサの出力電圧を12ビットA/Dコンバータでデジタル値に変換し、温度に換算することでLSI周辺の温度を求めることができます。

表 35.1 に温度センサの仕様を示します。図 35.1 に温度センサのブロック図を示します。

表 35.1 温度センサの仕様

項目	内容
温度センサ電圧出力	PGA (Programmable Gain Amp) を経由して12ビットA/Dコンバータへ出力
消費電力低減機能	モジュールストップ状態への設定が可能

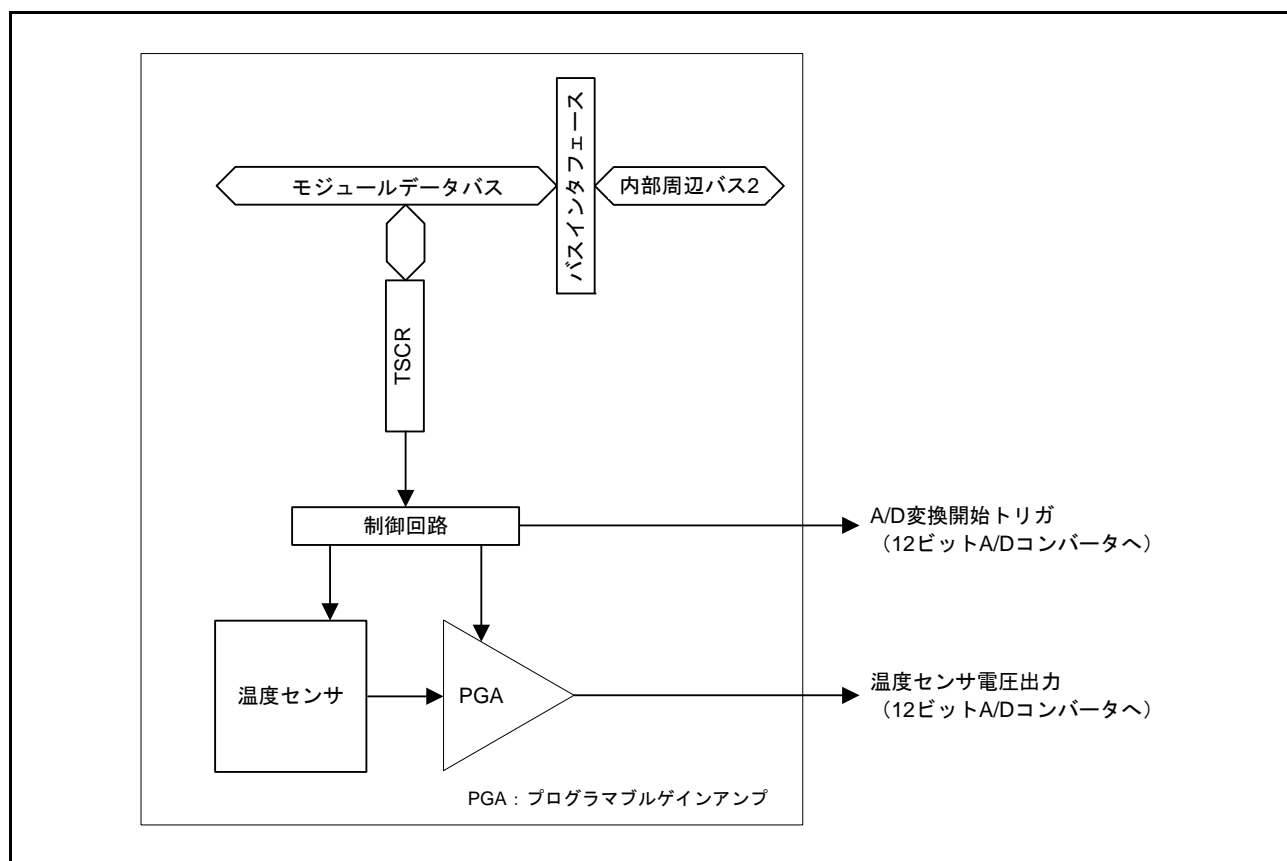


図 35.1 温度センサのブロック図

35.2 レジスタの説明

35.2.1 温度センサコントロールレジスタ (TSCR)

アドレス 0008 C500h

	b7	b6	b5	b4	b3	b2	b1	b0
	TSEN	PGAEN	—	—	—	—	PGAGAIN[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PGAGAIN[1:0]	PGA ゲイン選択ビット	b1 b0 0 0 : $1.8V \leq AVCC0 < 2.7V$ 0 1 : $2.7V \leq AVCC0 < 3.6V$ 1 0 : $3.6V \leq AVCC0 < 4.5V$ 1 1 : $4.5V \leq AVCC0 \leq 5.5V$	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PGAEN	PGA 許可ビット (注1)	0 : PGA が停止 1 : PGA が動作	R/W
b7	TSEN	温度センサ許可ビット (注2)	0 : 温度センサが停止 1 : 温度センサが動作	R/W

注1. PGAEN ビットは TSEN ビットが“1” (温度センサが動作) の状態で書き込んでください。

注2. TSEN ビットは PGAEN ビットが“0” (PGA が停止) の状態で書き込んでください。

PGAGAIN[1:0] ビット (PGA ゲイン選択ビット)

温度センサの出力を増幅し、A/D コンバータで十分な分解能を得るために、AVCC0 に応じて PGA のゲインを設定します。機能欄の AVCC0 電圧値は、目安です。AVCC0 の印加電圧が、設定電圧より高い場合は A/D コンバータの分解能 1LSB に対する温度は大きくなります。AVCC0 の印加電圧が、設定電圧より低い場合は A/D コンバータの分解能 1LSB に対する温度は小さくなりますが、レンジオーバーとなる場合がありますので、ご注意ください。

PGAEN ビット (PGA 許可ビット)

温度センサの PGA の動作/停止を選択します。本ビットは TSEN ビットが“1” (温度センサが動作) の状態で書き込んでください。本ビットが“0”のときに“1”を書き込むと PGA が動作し、それとともに 12 ビット A/D コンバータの起動トリガが発生します。A/D 変換が完了すると本ビットは自動的に“0”になります。A/D コンバータとの連動については「図 35.3 温度センサの A/D 変換タイミング例 (2 変換の場合)」を参照してください。

TSEN ビット (温度センサ許可ビット)

温度センサの動作/停止を選択します。

本ビットは PGAEN ビットが“0” (PGA が停止) の状態で書き込んでください。温度センサを動作させると定常電流が流れます。温度センサを使用しないときは、温度センサを停止させると消費電流を削減することができます。

35.3 温度センサの使用法

温度センサは、温度により変化する電圧を出力します。この電圧をPGAで増幅させ12ビットA/Dコンバータを用いてデジタル変換し、温度に換算することでLSIの周辺の温度を求めることができます。12ビットA/DコンバータはPGAを停止状態から動作させることにより起動トリガが発生し、A/D変換を開始します。

35.3.1 使用前の準備

温度センサの温度特性を示します。温度センサ出力電圧は、温度変化と比例関係にあり、以下の式で表されます。

温度特性の式

$$T=(V_s-V_1)/\text{Slope}+T_1$$

T：測定温度(°C)

V_s：温度測定時の温度センサの出力電圧(V)

T₁：1点目の試行測定時の温度(°C)

V₁：1点目の試行測定時の温度センサの出力電圧(V)

T₂：2点目の試行測定時の温度(°C)

V₂：2点目の試行測定時の温度センサの出力電圧(V)

Slope：温度センサの温度傾斜(V/°C) Slope=(V₂-V₁)/(T₂-T₁)

温度センサには個体間ばらつきがあるため、以下のような異なる温度2点の試行測定を実施しておくことを推奨します。

まず、温度T₁のときの温度センサの出力電圧V₁を12ビットA/Dコンバータで試行測定することで求めます。

次に、温度T₁と異なる温度T₂のときの温度センサの出力電圧V₂を12ビットA/Dコンバータにて試行測定することで求めます。

両者の測定結果から、温度傾斜(Slope=(V₂-V₁)/(T₂-T₁))を求めます。

このSlopeを温度特性の式に代入し、温度特性T=(V_s-V₁)/Slope +T₁を求めます。

また、「42. 電气的特性」に記載の温度傾斜を用いることで、温度T₁のときの温度センサの出力電圧V₁を、12ビットA/Dコンバータで試行測定することで求め、下記式により測定温度を算出します。なお、本測定温度精度は2点測定方法よりも劣ります。

$$T=(V_s-V_1)/\text{Slope} +T_1$$

35.3.2 12 ビット A/D コンバータの設定

温度センサは出力を A/D 変換することで温度を知ることができますが、温度センサの出力を A/D 変換するために、12 ビット A/D コンバータのレジスタを以下のように設定する必要があります。

- 温度センサ出力の A/D 変換対象への選択

ADEXICR.TSS ビットを“1”にし、温度センサを A/D 変換対象に選択します。このとき、ADANSA、ADANSB、および ADEXICR.OCS ビットはすべて“0”に設定し、変換対象から外してください。

- シングルスキャンモードの設定

ADCSR.ADCS[1:0] ビットを“00”にし、シングルスキャンモードを選択します。シングルスキャンモード以外には設定しないでください。

- 12 ビット A/D コンバータのサンプリングステート数の設定

温度センサの出力を A/D 変換する場合、「42.6 温度センサ特性」に記載のサンプリング時間が必要です。A/D コンバータの変換クロック (PCLKD) の周波数に応じてサンプリングステート数を設定してください。表 35.2 にサンプリング時間を 70 μ s (標準値) とした場合の設定例を示します。

表 35.2 A/D コンバータの変換クロック (PCLKD) の周波数と ADSSTRT レジスタの設定例

A/D コンバータの変換クロック (PCLKD) の周波数(MHz)	ADSSTRT レジスタ設定値
1	70
2	140
3	210

- A/D 変換開始トリガの設定

温度センサ出力を A/D 変換するためには、ADCSR.TRGE ビットに“1”、EXTRG ビットに“0”を設定し、温度センサからのトリガを有効にしてください。次に ADSTRGR.TRSA[3:0] ビットに“0101”を設定し、A/D 変換開始トリガに温度センサを選択してください。温度センサ以外の A/D 変換開始トリガは選択しないでください。ソフトウェアトリガも使用しないでください。

35.3.3 温度センサの A/D 変換結果

温度センサの A/D 変換が完了すると、変換結果が ADTSDR に格納されます。

35.3.4 温度センサの使用手順

図 35.2 に温度センサの使用手順フローを示します。

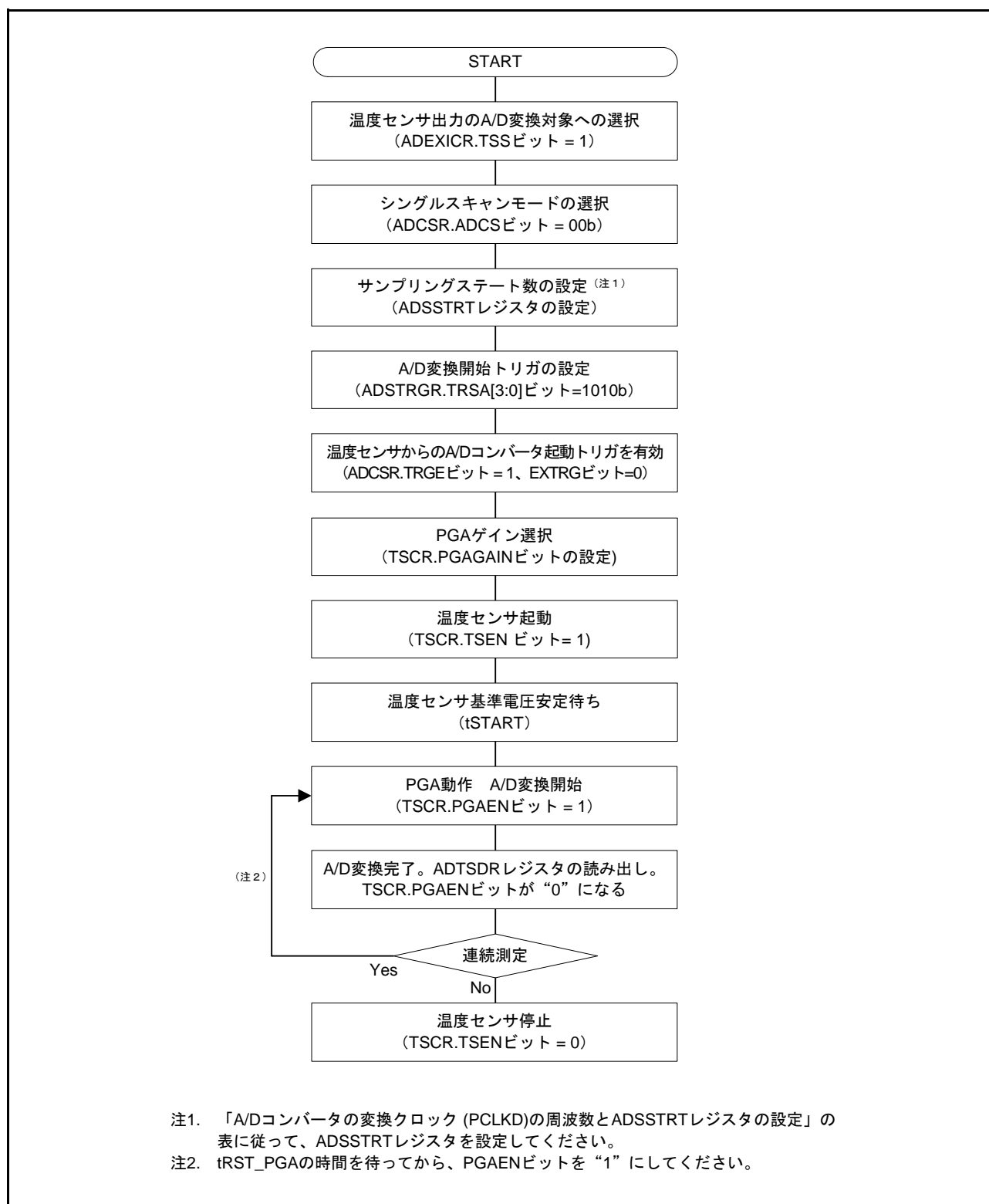


図 35.2 温度センサの使用手順フロー

35.3.5 温度センサ出力の A/D 変換タイミング

12 ビット A/D コンバータの起動トリガとして選択された状態で TSCR.PGAEN ビットを“0”から“1”に設定し、温度センサを動作させると、12 ビット A/D コンバータの起動トリガが発生し、A/D 変換が実施されます。

図 35.3 に、温度センサの A/D 変換タイミングを示します。

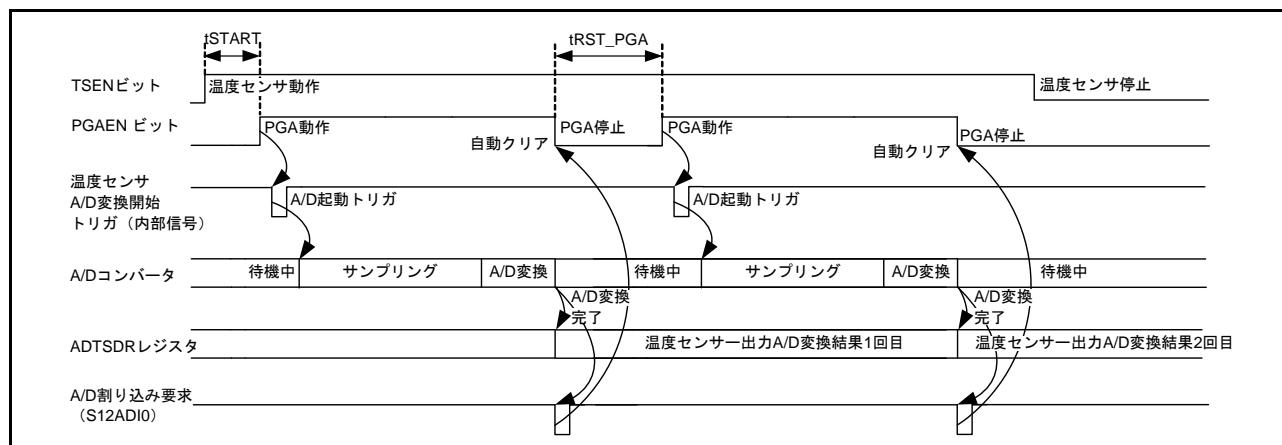


図 35.3 温度センサの A/D 変換タイミング例 (2 変換の場合)

35.4 使用上の注意事項

35.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、温度センサの動作禁止 / 許可を設定することが可能です。初期値では、温度センサの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

36. コンパレータ A (CMPA)

コンパレータ A はリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータ A1 とコンパレータ A2 の独立した 2 つのコンパレータです。ただし、コンパレータ A1、コンパレータ A2 は電圧検出回路を電圧監視 1、電圧監視 2 と兼用しています。コンパレータ A1、コンパレータ A2 と電圧監視 1、電圧監視 2 はどちらかを選択して使用できます。

36.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。また、リファレンス入力電圧として CVREFA 端子への入力電圧を選択できます。また、コンパレータ A1 割り込み、コンパレータ A2 割り込みを使用できます。

表 36.1 にコンパレータ A の仕様を、図 36.1 にコンパレータ A のブロック図を、表 36.2 にコンパレータ A の入出力を示します。

表 36.1 コンパレータ A の仕様

項目		コンパレータ A1	コンパレータ A2
アナログ入力電圧		CMPA1 端子への入力電圧	CMPA2 端子への入力電圧
リファレンス入力電圧		CVREFA 端子への入力電圧	
比較対象		アナログ入力電圧が上昇または下降してリファレンス入力電圧を通過したかを比較	
比較結果のモニタ		LVD1SR.LVD1MON ビット	LVD2SR.LVD2MON ビット
		アナログ入力電圧がリファレンス入力電圧より高いか低いかを表示	
割り込み要求		コンパレータ A1 割り込み (ノンマスクブルまたはマスクブルを選択可能)	コンパレータ A2 割り込み (ノンマスクブルまたはマスクブルを選択可能)
割り込み要求発生タイミング		CMPA1 端子への入力電圧が CVREFA 端子リファレンス入力電圧を上昇通過したとき、下降通過したとき、または上昇下降通過の両方	CMPA2 端子への入力電圧が CVREFA 端子リファレンス入力電圧を上昇通過したとき、下降通過したとき、または上昇下降通過の両方
ELC へのイベント発生タイミング		CMPA1 端子への入力電圧が CVREFA 端子リファレンス入力電圧を上昇通過したとき、下降通過したとき、または上昇下降通過の両方	CMPA2 端子への入力電圧が CVREFA 端子リファレンス入力電圧を上昇通過したとき、下降通過したとき、上昇下降通過の両方
デジタル フィルタ	有効/無効切り替え	あり	
	サンプリング時間	(LOCO の n 分周) × 2 n : 1、2、4、8	
比較結果の出力		イベントリンクコントローラ (ELC) を経由することにより、比較結果をポートより出力することができる	イベントリンクコントローラ (ELC) を経由することにより、比較結果をポートより出力することができる

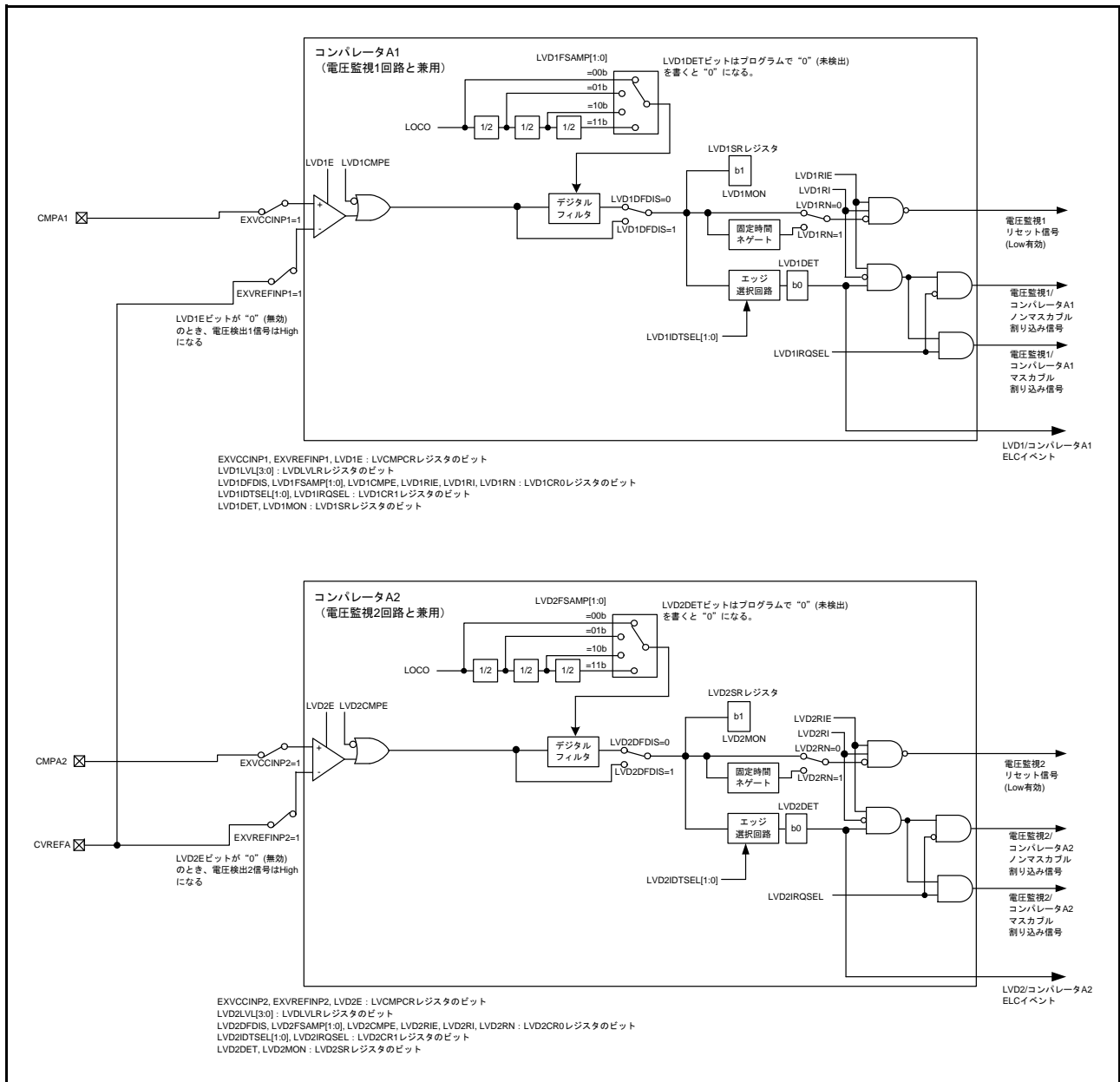


図 36.1 コンパレータ A のブロック図

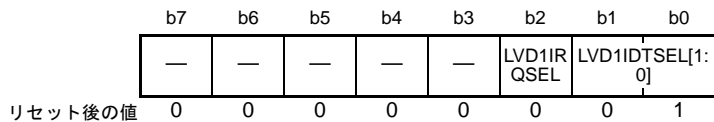
表 36.2 コンパレータ A の入出力

端子名	入出力	機能
CMPA1	入力	コンパレータ A1用アナログ端子
CMPA2	入力	コンパレータ A2用アナログ端子
CVREFA	入力	コンパレータ用リファレンス電圧端子

36.2 レジスタの説明

36.2.1 電圧監視 1 回路 / コンパレータ A1 制御レジスタ 1 (LVD1CR1)

アドレス 0008 00E0h



ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD1IDTSEL [1:0]	電圧監視 1/コンパレータ A1 割り込み/ ELC イベント発生条件選択ビット	b1 b0 0 0 : CMPA1 ≥ CVREFA 0 1 : CMPA1 < CVREFA 1 0 : 下降及び上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD1IRQSEL	電圧監視 1/コンパレータ A1 割り込み種類 選択ビット	0 : ノンマスクブル割り込み 1 : マスクブル割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

36.2.2 電圧監視 1 回路 / コンパレータ A1 ステータスレジスタ (LVD1SR)

アドレス 0008 00E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1M ON	LVD1D ET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD1DET	電圧監視1/コンパレータA1 電圧変化検出フラグ	0: 未検出 1: コンパレータA1電圧変化検出	R/W (注1)
b1	LVD1MON	電圧監視1/コンパレータA1 信号モニタフラグ	0: CMPA1 < CVREFA 1: CMPA1 ≥ CVREFA	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD1DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD1DET フラグ（電圧監視 1/ コンパレータ A1 電圧変化検出フラグ）

LVD1DET フラグは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

LVD1DET フラグを“0”にするときは、LVD1CR0.LVD1RIE ビットを“0”（禁止）にしてから行ってください。再度、LVD1CR0.LVD1RIE ビットを“1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD1MON フラグ（電圧監視 1/ コンパレータ A1 信号モニタフラグ）

LVD1MON フラグは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

36.2.3 電圧監視 2 回路 / コンパレータ A2 制御レジスタ 1 (LVD2CR1)

アドレス 0008 00E2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	LVD2IRQSEL	LVD2IDTSEL[1:0]	
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD2IDTSEL [1:0]	電圧監視2/コンパレータA2割り込み/ELCイベント発生条件選択ビット	b1 b0 0 0 : CMPA2 ≥ CVREFA 0 1 : CMPA2 < CVREFA 1 0 : 下降及び上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD2IRQSEL	電圧監視2/コンパレータA2割り込み種類選択ビット	0 : ノンマスクブル割り込み 1 : マスクブル割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

36.2.4 電圧監視 2 回路 / コンパレータ A2 ステータスレジスタ (LVD2SR)

アドレス 0008 00E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2MON	LVD2DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD2DET	電圧監視2/コンパレータA2電圧変化検出フラグ	0 : 未検出 1 : コンパレータA2電圧変化検出	R/W (注1)
b1	LVD2MON	電圧監視2/コンパレータA2信号モニタフラグ	0 : CMPA2 < CVREFA 1 : CMPA2 ≥ CVREFA	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD2DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD2DET フラグ（電圧監視 2/ コンパレータ A2 電圧変化検出フラグ）

LVD2DET フラグは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが“1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

LVD2DET フラグを“0”にするときは、LVD2CR0.LVD2RIE ビットを“0”（禁止）にしてから行ってください。再度、LVD2CR0.LVD2RIE ビットを“1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD2MON フラグ（電圧監視 2/ コンパレータ A2 信号モニタフラグ）

LVD2MON フラグは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが“1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

36.2.5 電圧監視回路 / コンパレータ A 制御レジスタ (LVCMPCR)

アドレス 0008 C297h

b7	b6	b5	b4	b3	b2	b1	b0
—	LVD2E	LVD1E	—	EXVCC INP2	EXVRE FINP2	EXVCC INP1	EXVRE FINP1

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	EXVREFINP1	コンパレータ A1 リファレンス電圧外部入力選択ビット	1: CVREFA 端子入力電圧 コンパレータ A1 で使用する場合、“1”にしてください	R/W
b1	EXVCCINP1	コンパレータ A1 比較電圧外部入力選択ビット	1: CMPA1 端子入力電圧 コンパレータ A1 で使用する場合、“1”にしてください	R/W
b2	EXVREFINP2	コンパレータ A2 リファレンス電圧外部入力選択ビット	1: CVREFA 端子入力電圧 コンパレータ A2 で使用する場合、“1”にしてください	R/W
b3	EXVCCINP2	コンパレータ A2 比較電圧外部入力選択ビット	1: CMPA2 端子入力電圧 コンパレータ A2 で使用する場合、“1”にしてください	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	LVD1E	電圧検出 1/コンパレータ A1 許可ビット	0: 電圧検出 1/コンパレータ A1 回路無効 1: 電圧検出 1/コンパレータ A1 回路有効	R/W
b6	LVD2E	電圧検出 2/コンパレータ A2 許可ビット	0: 電圧検出 2/コンパレータ A2 回路無効 1: 電圧検出 2/コンパレータ A2 回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタは PRCR.PRC3 ビットを“1”（書き込み許可）にした後で書き換えてください。

EXVREFINP1 ビット、EXVCCINP1 ビット、EXVREFINP2 ビット、および EXVCCINP2 ビットは、LVD1E ビット、LVD2E ビットと共に“0”（電圧検出回路無効）の場合にのみ変更可能です。

LVD1E ビット（電圧検出 1/コンパレータ A1 許可ビット）

電圧検出 1/コンパレータ A1 の割り込み/リセットを使用する場合、または LVD1SR.LVD1MON ビットを使用する場合、LVD1E ビットを“1”にしてください。LVD1E ビットを“0”から“1”にした後、td(E-A) 経過してから電圧検出 1/コンパレータ A1 回路が動作します。また、ディープソフトウェアスタンバイモード時に電圧検出 1/コンパレータ A1 回路を使用する場合、DPSBYCR.DEEPCUT1 ビットを“1”にしないでください。

LVD2E ビット（電圧検出 2/コンパレータ A2 許可ビット）

電圧検出 2/コンパレータ A2 の割り込み/リセットを使用する場合、または LVD2SR.LVD2MON ビットを使用する場合、LVD2E ビットを“1”にしてください。LVD2E ビットを“0”から“1”にした後、td(E-A) 経過してから電圧検出 2/コンパレータ A2 回路が動作します。また、ディープソフトウェアスタンバイモード時に電圧検出 2/コンパレータ A2 回路を使用する場合、DPSBYCR.DEEPCUT1 ビットを“1”にしないでください。

36.2.6 電圧監視 1 回路 / コンパレータ A1 制御レジスタ 0 (LVD1CR0)

アドレス 0008 C29Ah

b7	b6	b5	b4	b3	b2	b1	b0
LVD1RN	LVD1RI	LVD1FSAMP [1:0]	—	LVD1C MPE	LVD1D FDIS	LVD1RI E	
リセット後の値	1	0	0	0	x	0	1

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD1RIE	電圧監視1/コンパレータA1割り込み/リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	LVD1DFDIS	電圧監視1/コンパレータA1デジタルフィルタ無効モード選択ビット	0 : デジタルフィルタ有効 1 : デジタルフィルタ無効	R/W
b2	LVD1CMPE	電圧監視1回路/コンパレータA1比較結果出力許可ビット	0 : コンパレータA1回路比較結果出力禁止 1 : コンパレータA1回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	LVD1FSAMP [1:0]	サンプリングクロック選択ビット	b5 b4 0 0 : LOCOの1分周 0 1 : LOCOの2分周 1 0 : LOCOの4分周 1 1 : LOCOの8分周	R/W
b6	LVD1RI	電圧監視1回路/コンパレータA1モード選択ビット	0 : CMPA1がCVREFAを通過時にコンパレータA1割り込み 1 : CMPA1がCVREFAを通過時にコンパレータA1リセット	R/W
b7	LVD1RN	電圧監視1/コンパレータA1リセットネゲート選択ビット	0 : CMPA1 > CVREFA検出から一定時間 (tLVD1) 経過後にネゲート 1 : コンパレータA1リセットアサートから一定時間 (tLVD1) 経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVD1RIE ビット（電圧監視 1/ コンパレータ A1 割り込み / リセット許可ビット）

フラッシュメモリのプログラム / イレーズ中は、電圧監視 1 リセットおよび電圧監視 1 ノンマスクابل割り込みを発生させないでください。

LVD1DFDIS ビット（電圧監視 1/ コンパレータ A1 デジタルフィルタ無効モード選択ビット）

LVD1DFDIS ビットを“0”（デジタルフィルタ回路有効）にする場合は、LOCOCR.LCSTP ビットは“0”（LOCO 動作）にしてください。

電圧監視 1 回路をソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードに使用する場合、LVD1DFDIS ビットを“1”（デジタルフィルタ回路無効）にしてください。

LVD1FSAMP[1:0] ビット（サンプリングクロック選択ビット）

LVD1FSAMP[1:0] ビットは、LVD1DFDIS ビットが“1”（デジタルフィルタ回路無効）のときのみ書き換え可能です。LVD1DFDIS ビットが“0”（デジタルフィルタ回路有効）のときには、LVD1FSAMP[1:0] ビットを書き換えしないでください。

LVD1RI ビット (電圧監視 1 回路 / コンパレータ A1 モード選択ビット)

LVD1RI ビットが“1” (電圧監視 1 リセット選択)、または LVD2CR0.LVD2RI ビットが“1” (電圧監視 2 リセット選択) の場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合は、ソフトウェアスタンバイモードへ移行します。ディープソフトウェアスタンバイモードへ移行するには、LVD1RI ビットを“0” (電圧監視 1 割り込み選択)、かつ LVD2CR0.LVD2RI ビットを“0” (電圧監視 2 割り込み選択) にしてください。

LVD1RN ビット (電圧監視 1 / コンパレータ A1 リセットネゲート選択ビット)

LVD1RN ビットを“1” (電圧監視 1 リセットアサートから一定時間経過後にネゲート) にする場合は、LOCOCR.LCSTP ビットは“0” (LOCO 動作) にしてください。また、ソフトウェアスタンバイモードあるいはディープソフトウェアスタンバイモードへ移行する場合は、LVD1RN ビットを“0” (CMPA1 > CVREFA 検出から一定時間経過後にネゲート) にすることのみ可能です。LVD1RN ビットを“1” (電圧監視 1 リセットアサートから一定時間経過後にネゲート) にしないでください。

36.2.7 電圧監視 2 回路 / コンパレータ A2 制御レジスタ 0 (LVD2CR0)

アドレス 0008 C29Bh

b7	b6	b5	b4	b3	b2	b1	b0
LVD2RN	LVD2RI	LVD2FSAMP [1:0]	—	LVD2C MPE	LVD2D FDIS	LVD2RI E	
リセット後の値	1	0	0	0	x	0	1

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD2RIE	電圧監視2/コンパレータ A2 割り込み/リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	LVD2DFDIS	電圧監視2/コンパレータ A2 デジタルフィルタ無効モード選択ビット	0 : デジタルフィルタ有効 1 : デジタルフィルタ無効	R/W
b2	LVD2CMPE	電圧監視2回路/コンパレータ A2 比較結果出力許可ビット	0 : コンパレータ A2 回路比較結果出力禁止 1 : コンパレータ A2 回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	LVD2FSAMP [1:0]	サンプリングクロック選択ビット	b5 b4 0 0 : LOCO の1分周 0 1 : LOCO の2分周 1 0 : LOCO の4分周 1 1 : LOCO の8分周	R/W
b6	LVD2RI	電圧監視2回路/コンパレータ A2 モード選択ビット	0 : CMPA2 が CVREFA を通過時にコンパレータ A2 割り込み 1 : CMPA2 が CVREFA を通過時にコンパレータ A2 リセット	R/W
b7	LVD2RN	電圧監視2/コンパレータ A2 リセットネゲート選択ビット	0 : CMPA2 > CVREFA 検出から一定時間 (tLVD2) 経過後にネゲート 1 : コンパレータ A2 リセットアサートから一定時間 (tLVD2) 経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVD2RIE ビット（電圧監視 2 割り込み / コンパレータ A2 / リセット許可ビット）

フラッシュメモリのプログラム / イレーズ中は、電圧監視 2 リセットおよび電圧監視 2 ノンマスクابل割り込みを発生させないでください。

LVD2DFDIS ビット（電圧監視 2 / コンパレータ A2 デジタルフィルタ無効モード選択ビット）

LVD2DFDIS ビットを“0”（デジタルフィルタ回路有効）にする場合は、LOCOCR.LCSTP ビットは“0”（LOCO 動作）にしてください。

電圧監視 2 回路をソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードに使用する場合、LVD2DFDIS ビットを“1”（デジタルフィルタ回路無効）にしてください。

LVD2FSAMP[1:0] ビット（サンプリングクロック選択ビット）

LVD2FSAMP[1:0] ビットは、LVD2DFDIS ビットが“1”（デジタルフィルタ回路無効）のときのみ書き換え可能です。LVD2DFDIS ビットが“0”（デジタルフィルタ回路有効）のときには、LVD2FSAMP[1:0] ビットを書き換えしないでください。

LVD2RI ビット (電圧監視 2 回路 / コンパレータ A2 モード選択ビット)

LVD2RI ビットが“1” (電圧監視 2 リセット選択)、または LVD1CR0.LVD1RI ビットが“1” (電圧監視 1 リセット選択) の場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合は、ソフトウェアスタンバイモードへ移行します。ディープソフトウェアスタンバイモードへ移行するには、LVD2RI ビットを“0” (電圧監視 2 割り込み選択)、かつ LVD1CR0.LVD1RI ビットを“0” (電圧監視 1 割り込み選択) にしてください。

LVD2RN ビット (電圧監視 2 / コンパレータ A2 リセットネゲート選択ビット)

LVD2RN ビットを“1” (電圧監視 2 リセットアサートから一定時間経過後にネゲート) にする場合は、LOCOCR.LCSTP ビットは“0” (LOCO 動作) にしてください。また、ソフトウェアスタンバイモードあるいはディープソフトウェアスタンバイモードへ移行する場合は、LVD2RN ビットを“0” (CMPA2 > CVREFA 検出から一定時間経過後にネゲート) にすることのみ可能です。LVD2RN ビットを“1” (電圧監視 2 リセットアサートから一定時間経過後にネゲート) にしないでください。

36.3 比較結果のモニタ

36.3.1 コンパレータ A1 のモニタ

表 36.3 にコンパレータ A1 のモニタの設定手順を示します。設定後、LVD1SR.LVD1MON フラグでコンパレータ A1 の比較結果をモニタできます。

表 36.3 コンパレータ A1 のモニタの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	LVCMPCR.EXVREFINP1 ビットを“1” (CVREFA 端子入力電圧) にする。 LVCMPCR.EXVCCINP1 ビットを“1” (CMPA1 端子入力電圧) にする	
2	LVD1CR0.LVD1FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する	LVD1CR0.LVD1DFDIS ビットを“1” (デジタルフィルタ無効) にする
3	LVCMPCR.LVD1E ビットを“1” (コンパレータ A1 回路有効) にする	
4	td(E-A) 以上待つ	
5	LVD1CR0.LVD1CMPE ビットを“1” (コンパレータ A1 回路比較結果出力許可) にする	
6	LOCO の 1 サイクル以上待つ	—
7	LVD1CR0.LVD1DFDIS ビットを“0” (デジタルフィルタ有効) にする	—
8	LOCO の 2n+3 サイクル以上待つ (n=1、2、4、8 : デジタルフィルタのサンプリングクロック=LOCO の n 分周)	— (待ち時間なし)

36.3.2 コンパレータ A2 のモニタ

表 36.4 にコンパレータ A2 のモニタの設定手順を示します。設定後、LVD2SR.LVD2MON フラグでコンパレータ A2 の比較結果をモニタできます。

表 36.4 コンパレータ A2 のモニタの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	"LVCMPCR.EXVREFINP2 ビットを“1” (CVREFA 端子入力電圧) にする。 LVCMPCR.EXVCCINP2 ビットを“1” (CMPA2 端子入力電圧) にする"	
2	LVD2CR0.LVD2FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する	LVD2CR0.LVD2DFDIS ビットを“1” (デジタルフィルタ無効) にする
3	LVCMPCR.LVD2E ビットを“1” (コンパレータ A2 回路有効) にする	
4	td(E-A) 以上待つ	
5	LVD2CR0.LVD2CMPE ビットを“1” (コンパレータ A2 回路比較結果出力許可) にする	
6	LOCO の 1 サイクル以上待つ	—
7	LVD2CR0.LVD2DFDIS ビットを“0” (デジタルフィルタ有効) にする	—
8	LOCO の 2n+3 サイクル以上待つ (n=1、2、4、8 : デジタルフィルタのサンプリングクロック=LOCO の n 分周)	— (待ち時間なし)

36.4 動作説明

コンパレータ A1 とコンパレータ A2 はそれぞれ独立して動作できます。

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。リファレンス入力電圧として CVREFA 端子への入力電圧を使用できます。また、コンパレータ A1 割り込み、コンパレータ A2 割り込みを使用でき、それぞれノンマスクابل割り込み、またはマスクابل割り込みを選択できます。

36.4.1 コンパレータ A1

表 36.5 にコンパレータ A1 割り込み /ELC 関連ビットの動作設定手順を、表 36.6 にコンパレータ A1 割り込み /ELC 関連ビットの停止設定手順を、図 36.2 にコンパレータ A1 動作例を示します。

表 36.5 コンパレータ A1 割り込み /ELC 関連ビットの動作設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1 (注2)	LVCMPCR.EXVREFINP1 ビットを“1” (CVREFA 端子入力電圧)、LVCMPCR.EXVCCINP1 ビットを“1” (CMPA1 端子入力電圧) にする	
2 (注1)	LVD1CR0.LVD1FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する	—
3 (注1、注2)	LVD1CR0.LVD1RI ビットを“0” (コンパレータ A1 割り込み) にする	
4	LVD1CR1.LVD1IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する。 LVD1CR1.LVD1IRQSEL ビットで割り込みの種類を選択する	
5 (注2)	LVCMPCR.LVD1E ビットを“1” (コンパレータ A1 回路有効) にする	
6 (注2)	td(E-A) 待つ	
7	LVD1CR0.LVD1CMPE ビットを“1” (コンパレータ A1 回路比較結果出力許可) にする	
8	LOCO の 1 サイクル以上待つ	—
9	LVD1CR0.LVD1DFDIS ビットを“0” (デジタルフィルタ有効) にする	—
10	LOCO の $2n+3$ サイクル以上待つ (n=1, 2, 4, 8 : デジタルフィルタのサンプリングクロック = LOCO の n 分周)	—
11	LVD1SR.LVD1DET ビットを“0”にする	
12	LVD1CR0.LVD1RIE ビットを“1” (コンパレータ A1 割り込み許可) にする。 ELC へのイベントは本ビットの設定に関わらず出力されます	

注1. 手順2と3は同時に(1命令で)実行してもかまいません。

注2. コンパレータ A1 割り込み設定 (LVD1CR0.LVD1RI=“0”) で動作させている場合で、停止後に LVD1CR0.LVD1DFDIS, LVD1FSAMP ビットまたは LVD1CR1.LVD1IRQSEL, LVD1IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後にコンパレータ A1 回路関連の設定を変更せずに再動作させる場合は、手順1、3、5、6は不要です。

表 36.6 コンパレータ A1 割り込み /ELC 関連ビットの停止設定手順

手順	
1	LVD1CR0.LVD1RIE ビットを“0” (コンパレータ A1 割り込み禁止) にする
2	LVD1CR0.LVD1CMPE ビットを“0” (コンパレータ A1 回路比較結果出力禁止) にする
3 (注1)	LVCMPCR.LVD1E ビットを“0” (コンパレータ A1 回路無効) にする
4	LVCMPCR.LVD1E、LVD1CR0.LVD1RIE、LVD1CR0.LVD1CMPE を除く電圧検出回路関連レジスタの設定を変更する

注1. コンパレータ A1 割り込み設定 (LVD1CR0.LVD1RI=“0”) で動作させている場合で、停止後に LVD1CR0.LVD1DFDIS, LVD1FSAMP ビットまたは LVD1CR1.LVD1IRQSEL, LVD1IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後にコンパレータ A1 回路関連の設定を変更せずに再動作させる場合は、手順3は不要です。

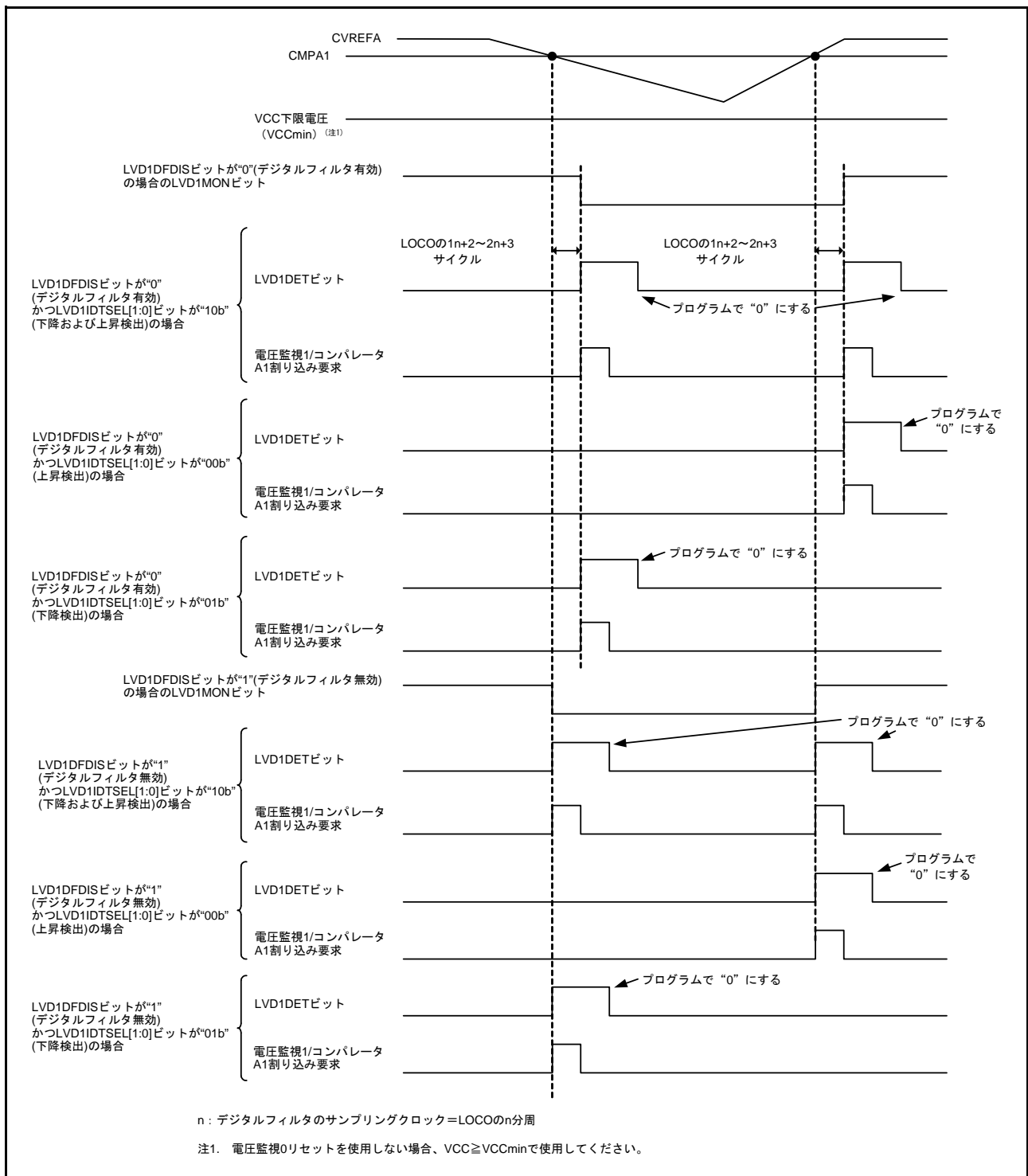


図 36.2 コンパレータ A1 動作例

36.4.2 コンパレータ A2

表 36.7 にコンパレータ A2 割り込み /ELC 関連ビットの動作設定手順を、表 36.8 にコンパレータ A2 割り込み /ELC 関連ビットの停止設定手順を、図 36.3 にコンパレータ A2 動作例を示します。

表 36.7 コンパレータ A2 割り込み/ELC 関連ビットの動作設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1 (注2)	LVCMPCR.EXVREFINP2 ビットを“1” (CVREFA 端子入力電圧)、LVCMPCR.EXVCCINP2 ビットを“1” (CMPA2 端子入力電圧) にする	
2 (注1)	LVD2CR0.LVD2FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する	—
3 (注1、注2)	LVD2CR0.LVD2RI ビットを“0” (コンパレータ A2 割り込み) にする	
4	LVD2CR1.LVD2IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する。 LVD2CR1.LVD2IRQSEL ビットで割り込みの種類を選択する	
5 (注2)	LVCMPCR.LVD2E ビットを“1” (コンパレータ A2 回路有効) にする	
6 (注2)	td(E-A) 待つ	
7	LVD2CR0.LVD2CMPE ビットを“1” (コンパレータ A2 回路比較結果出力許可) にする	
8	LOCO の 1 サイクル以上待つ	—
9	LVD2CR0.LVD2DFDIS ビットを“0” (デジタルフィルタ有効) にする	—
10	LOCO の 2n+3 サイクル以上待つ (n=1,2,4,8 : デジタルフィルタのサンプリングクロック=LOCO の n 分周)	—
11	LVD2SR.LVD2DET ビットを“0”にする	
12	LVD2CR0.LVD2RIE ビットを“1” (コンパレータ A2 割り込み許可) にする。 ELC へのイベントは本ビットの設定に関わらず出力されます	

注1. 手順2と3は同時に(1命令で)実行してもかまいません。

注2. コンパレータ A2 割り込み設定 (LVD2CR0.LVD2RI=“0”) で動作させている場合で、停止後に LVD2CR0.LVD2DFDIS, LVD2FSAMP ビットまたは LVD2CR1.LVD2IRQSEL, LVD2IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後にコンパレータ A2 回路関連の設定を変更せずに再動作させる場合は、手順1、3、5、6は不要です。

表 36.8 コンパレータ A2 割り込み/ELC 関連ビットの停止設定手順

手順	
1	LVD2CR0.LVD2RIE ビットを“0” (コンパレータ A2 割り込み禁止) にする
2	LVD2CR0.LVD2CMPE ビットを“0” (コンパレータ A2 回路比較結果出力禁止) にする
3 (注1)	LVCMPCR.LVD2E ビットを“0” (コンパレータ A2 回路無効) にする
4	LVCMPCR.LVD2E、LVD2CR0.LVD2RIE、LVD2CR0.LVD2CMPE を除く電圧検出回路関連レジスタの設定を変更する

注1. コンパレータ A2 割り込み設定 (LVD2CR0.LVD2RI=“0”) で動作させている場合で、停止後に LVD2CR0.LVD2DFDIS, LVD2FSAMP ビットまたは LVD2CR1.LVD2IRQSEL, LVD2IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後にコンパレータ A2 回路関連の設定を変更せずに再動作させる場合は、手順3は不要です。

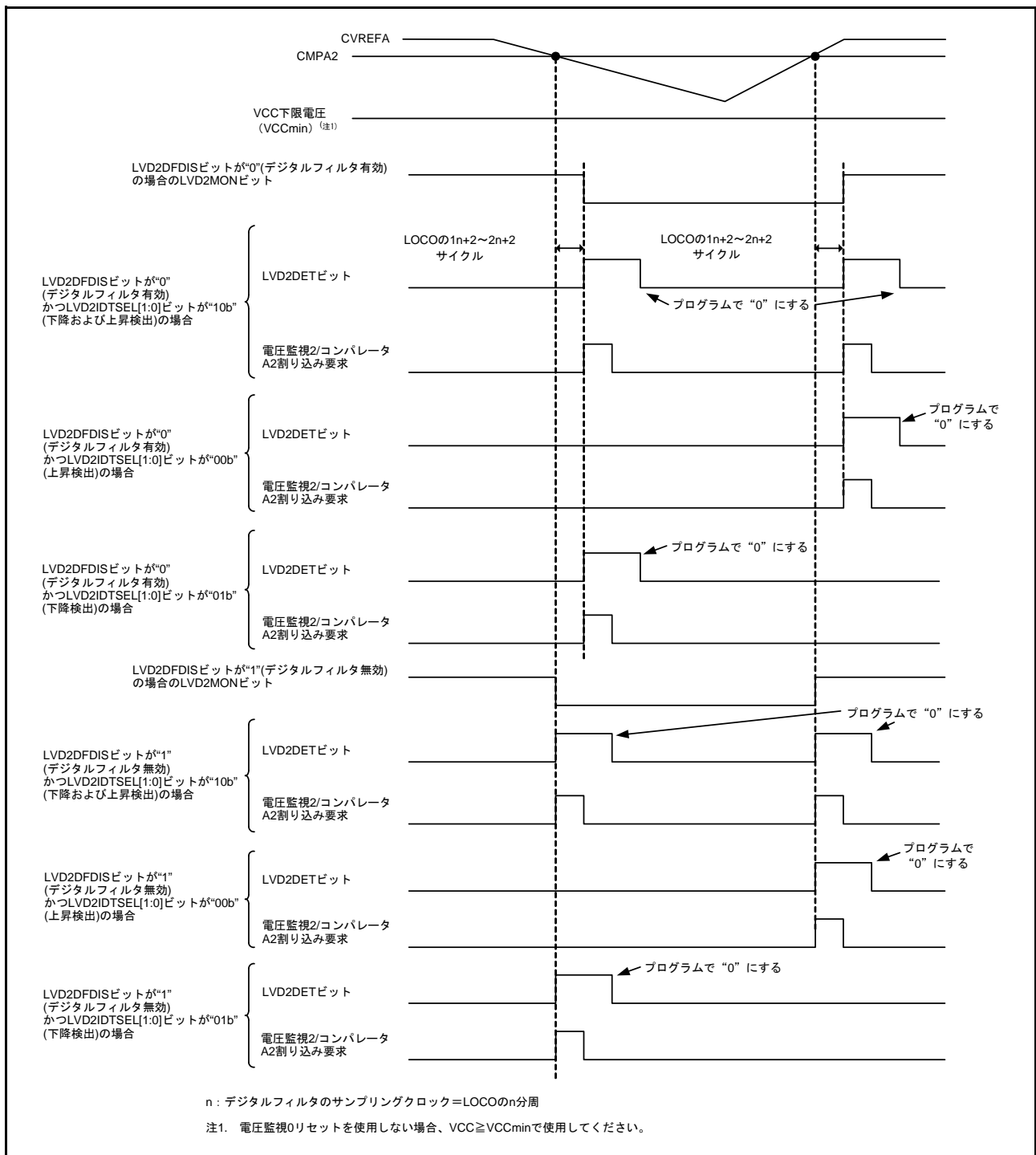


図 36.3 コンパレータ A2 動作例

36.5 コンパレータ A1、コンパレータ A2 割り込み

コンパレータ A1 およびコンパレータ A2 の 2 つの割り込み要求を以下のタイミングで発生します。

- (1) CMPA1 端子への入力電圧が CVREFA 端子リファレンス入力電圧を通過したとき
- (2) CMPA2 端子への入力電圧が CVREFA 端子リファレンス入力電圧を通過したとき

割り込み要求が発生する条件は LVDiCR1.LVDiDTSEL[1:0] ビットによって“上昇通過したとき”、“下降通過したとき”、“上昇通過したとき、または下降通過したときの両方”選択からできます。

それぞれの割り込みの種類としてノンマスクابل割り込み、またはマスクابل割り込みが選択できます。割り込みについては「14. 割り込みコントローラ (ICUb)」を参照してください。

36.5.1 ノンマスクابل割り込み

LVDiCR1.LVDiIRQSEL ビットを“0”にすると、コンパレータ Ai 割り込みはノンマスクابل割り込みとして機能します。選択した割り込み要求のタイミングが発生したとき、LVDiSR.LVDiMON ビットが“1”となり、割り込みコントローラ (ICU) の NMIER.LVDiEN ビットが“1”に設定されていれば、コンパレータ Ai のノンマスクابل割り込み要求が発生します。

36.5.2 マスクابل割り込み

LVDiCR1.LVDiIRQSEL ビットを“1”にすると、コンパレータ Ai 割り込みはマスクابل割り込みとして機能します。

コンパレータ Ai 割り込みは LVDiCR0.LVDiRIE ビットが“1”、LVDiCR0.LVDiDFDIS ビットが“0”のときに選択した割り込み要求のタイミングが発生すると LVDiSR.LVDiMON ビットが“1”となり割り込み要求が発生します。このとき、割り込みコントローラ (ICU) の IER0B.IEN0、IER0B.IEN1 ビットが“1” (割り込み許可) かつ、IPR088.IPR[3:0] ビット、IPR089.IPR[3:0] ビットが、CPU の PSW.IPL[3:0] ビットが示すレベルより高いレベルに設定されていれば、IR088.IR、IR089.IR ビットが“1” (割り込み要求あり) になり、コンパレータ Ai のマスクابل割り込み要求が発生します。

IEN0B、IR088、IR089、IPR088、IPR089 レジスタおよび割り込みベクタについては「14. 割り込みコントローラ (ICUb)」を参照してください。

36.6 イベントリンク出力機能

コンパレータ A1 およびコンパレータ A2 は以下のタイミングでイベントリンクコントローラ (ELC) へイベントを出力し、あらかじめ設定したモジュールを動作させることができます。

- (1) CMPA1 端子への入力電圧が CVREFA 端子リファレンス入力電圧を通過したとき
- (2) CMPA2 端子への入力電圧が CVREFA 端子リファレンス入力電圧を通過したとき

ELC へのイベントが発生する条件は割り込みと同様に LVDiCR1.LVDiDTSEL[1:0] ビットによって“上昇通過したとき”、“下降通過したとき”、“上昇通過したとき、または下降通過したときの両方”選択からできます。

コンパレータ A のイベントリンク出力機能を有効にする場合は、コンパレータ A の有効設定を行った後で、ELC 側のコンパレータ A イベントリンク機能を有効にしてください。また、コンパレータ A のイベントリンク出力機能を停止する場合は、コンパレータ A の停止設定を行う前に、ELC 側のコンパレータ A イベントリンク機能を無効にしてください。

36.7 割り込み処理とイベントリンクとの関係

イベントリンクコントローラ (ELC) へのイベント出力は割り込みコントローラへの割り込み要求とは独立の関係にあります。したがって、LVDiCR0.LVDiRIE、LVDiRI および LVDiCR1.LVDiRQSEL ビットの設定に関わらず ELC のイベントは出力されます。

37. コンパレータ B (CMPB)

コンパレータ B はリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータ B0 とコンパレータ B1 の独立した 2 つのコンパレータです。

37.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。リファレンス入力電圧として CVREFBn (n=0、1) 端子への入力を使用できます。

表 37.1 にコンパレータ B の仕様、図 37.1 にコンパレータ B のブロック図、表 37.2 にコンパレータ B の入出力端子を示します。

表37.1 コンパレータBの仕様

項目	内容
アナログ入力電圧	CMPBn 端子への入力電圧 (n=0、1)
リファレンス入力電圧	CVREFBn 端子への入力電圧 (n=0、1)
比較結果	CPBFLG.CPBiOUT フラグの読み出し (i=0、1)
割り込み要求発生タイミング	コンパレータ B0 の比較結果が変化するとき コンパレータ B1 の比較結果が変化するとき
ELC へのイベント発生タイミング	コンパレータ B0 の比較結果が変化するとき コンパレータ B0 または B1 の比較結果が変化するとき
選択機能	デジタルフィルタ機能 デジタルフィルタの有無、サンプリング周波数を選択可能
消費電力低減機能	モジュールストップ状態への設定が可能

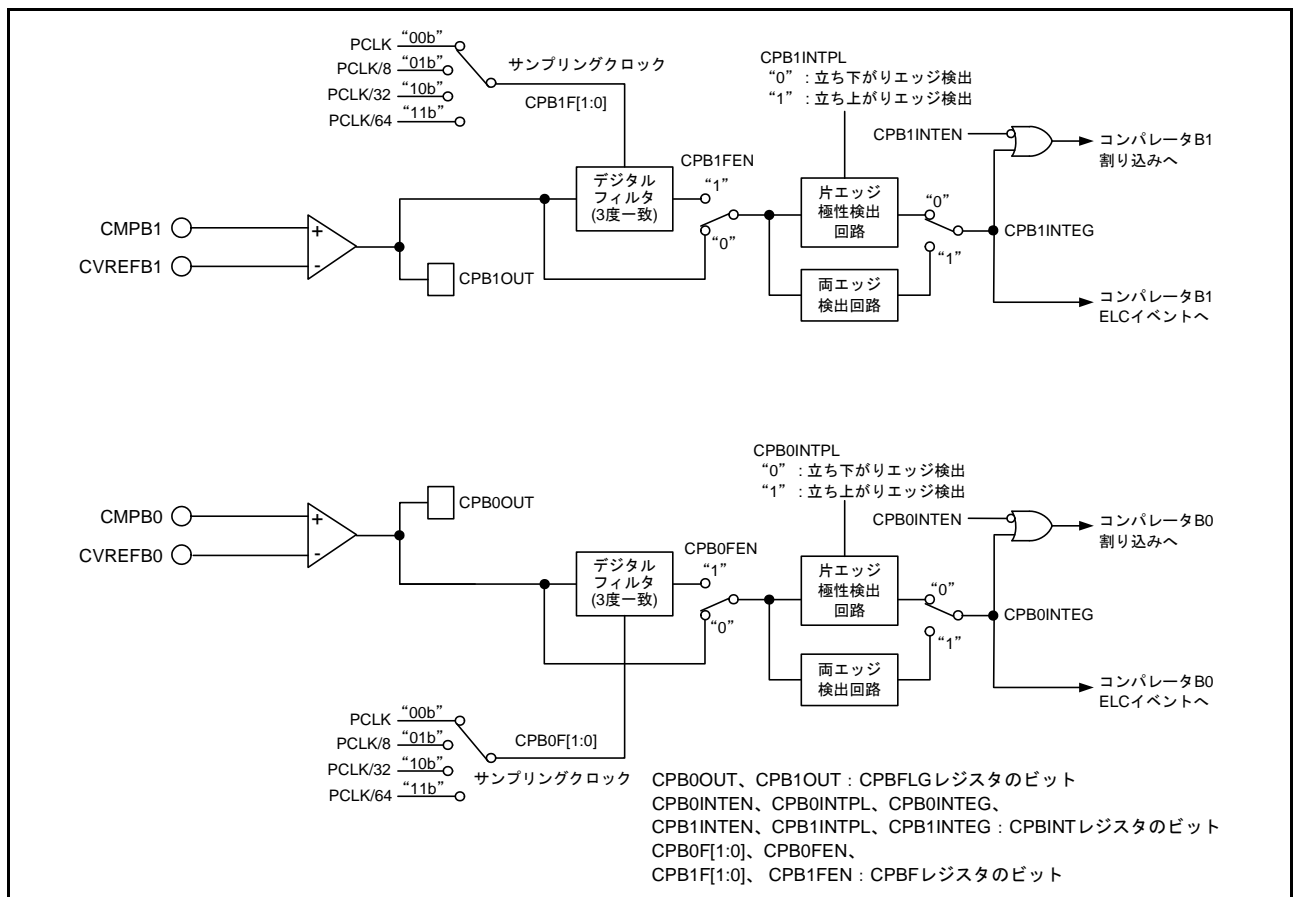


図 37.1 コンパレータ B のブロック図

表 37.2 コンパレータ B の入出力端子

端子名	入出力	機能
CMPB0	入力	コンパレータ B0 用アナログ端子
CVREFB0	入力	コンパレータ B0 用リファレンス電圧端子
CMPB1	入力	コンパレータ B1 用アナログ端子
CVREFB1	入力	コンパレータ B1 用リファレンス電圧端子

37.2 レジスタの説明

37.2.1 コンパレータ B 制御レジスタ 1 (CPBCNT1)

アドレス 0008 C580h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	CPB1I NI	—	—	—	CPB0I NI

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0INI	コンパレータ B0 許可ビット	0 : 禁止 1 : 許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB1INI	コンパレータ B1 許可ビット	0 : 禁止 1 : 許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

37.2.2 コンパレータ B フラグレジスタ (CPBFLG)

アドレス 0008 C582h

b7	b6	b5	b4	b3	b2	b1	b0
CPB1O UT	—	—	—	CPB0O UT	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	CPB0OUT	コンパレータ B0 モニタフラグ	0 : CMPB0 < CVREFB0 1 : CMPB0 > CVREFB0	R
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CPB1OUT	コンパレータ B1 モニタフラグ	0 : CMPB1 < CVREFB1 1 : CMPB1 > CVREFB1	R

37.2.3 コンパレータ B 割り込み制御レジスタ (CPBINT)

アドレス 0008 C583h

b7	b6	b5	b4	b3	b2	b1	b0
—	CPB11 NTPL	CPB11 NTEG	CPB11 NTEN	—	CPB01 NTPL	CPB01 NTEG	CPB01 NTEN

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0INTEN	コンパレータ B0 割り込み許可ビット	0 : 禁止 1 : 許可	R/W
b1	CPB0INTEG	コンパレータ B0 割り込み/ ELC エッジ選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	R/W
b2	CPB0INTPL	コンパレータ B0 割り込み/ ELC エッジ極性選択ビット (注2)	0 : 立ち下がりエッジ 1 : 立ち上がりエッジ	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB1INTEN	コンパレータ B1 割り込み許可ビット	0 : 禁止 1 : 許可	R/W
b5	CPB1INTEG	コンパレータ B1 割り込み/ ELC エッジ選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	R/W
b6	CPB1INTPL	コンパレータ B1 割り込み/ ELC エッジ極性選択ビット (注2)	0 : 立ち下がりエッジ 1 : 立ち上がりエッジ	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CPB0INTPL ビットを変更すると、IR058.IR ビットが“1”(割り込み要求あり)に、CPB1INTPL ビットを変更すると、IR059.IR ビットが“1”(割り込み要求あり)になることがあります。「14. 割り込みコントローラ (ICuB)」を参照してください。

注2. CPBiINTPL ビットはCPBiINTEG ビット=0 (コンパレータ割り込みエッジに片エッジを選択) のときのみ有効です。

37.2.4 コンパレータ B フィルタ選択レジスタ (CPBF)

アドレス 0008 C584h

b7	b6	b5	b4	b3	b2	b1	b0
CPB1F[1:0]	—	CPB1F EN	CPB0F[1:0]	—	CPB0F EN	—	CPB0F EN

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0FEN	コンパレータ B0 フィルタ有効/ 無効選択ビット	0 : フィルタ無効 1 : フィルタ有効	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	CPB0F[1:0]	コンパレータ B0 フィルタ選択ビット	b3 b2 0 0 : PCLK でサンプリング 0 1 : PCLK/8 でサンプリング 1 0 : PCLK/32 でサンプリング 1 1 : PCLK/64 でサンプリング	R/W
b4	CPB1FEN	コンパレータ B1 フィルタ有効/ 無効選択ビット	0 : フィルタ無効 1 : フィルタ有効	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	CPB1F[1:0]	コンパレータ B1 フィルタ選択ビット	b7 b6 0 0 : PCLK でサンプリング 0 1 : PCLK/8 でサンプリング 1 0 : PCLK/32 でサンプリング 1 1 : PCLK/64 でサンプリング	R/W

37.3 動作説明

コンパレータ B0 とコンパレータ B1 はそれぞれ独立して動作できます。動作は同じです。表 37.3 にコンパレータ B 関連レジスタの設定手順を示します。

表 37.3 コンパレータ B 関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	CPBCNT1	CPBiINI (i=0, 1)	電源 ON にする : 1
2	CPBF	フィルタ有無、サンプリングクロック選択	
3	CPBINT	CPBiINTEN (i=0, 1)	割り込みを使用する場合 : 1 (割り込み許可)
		CPBiINTEG (i=0, 1)	割り込み / ELC を使用する場合 : 入力エッジ (両エッジ / 片エッジ) 選択
		CPBiINTPL (i=0, 1)	割り込み / ELC を使用する場合 : CPBiINTEG=0 (片エッジ選択) の場合、入力極性を選択 (立ち上がりエッジ / 立ち下がりエッジ)
4	IPR058 (コンパレータ B0)、 IPR059 (コンパレータ B1)	IPR[3:0]	割り込みを使用する場合 : 割り込み優先レベル選択
	IR058 (コンパレータ B0)、 IR059 (コンパレータ B1)	IR	割り込みを使用する場合 : 0 (割り込み要求なし : 初期化)
	IER07	IEN2 (コンパレータ B0) IEN3 (コンパレータ B1)	割り込みを使用する場合 : 1 (割り込みコントローラ (ICU) 側の割り込み許可)
5	コンパレータ安定時間 (最大 100 μ s) 待ち		

図 37.2 にコンパレータ Bi (i = 0, 1) の動作例を示します。

リファレンス入力よりアナログ入力の電圧が高い場合は、CPBFLG.CPBiOUT ビットが“1”になり、リファレンス入力よりアナログ入力の電圧が低い場合は、CPBiOUT ビットが“0”になります。

コンパレータ Bi 割り込みを使用する場合は、CPBINT.CPBiINTEN ビットを“1” (割り込み許可) にしてください。このとき比較結果が変化すれば、コンパレータ Bi 割り込み要求が発生します。割り込みについては「37.4 コンパレータ B0、コンパレータ B1 割り込み」を参照してください。

コンパレータ Bi は ELC ヘイブントを出力し、他のモジュールを動作させることができます。ELC については「37.5 イベントリンク出力機能」を参照してください。

コンパレート中は、各レジスタの値は変更しないでください。

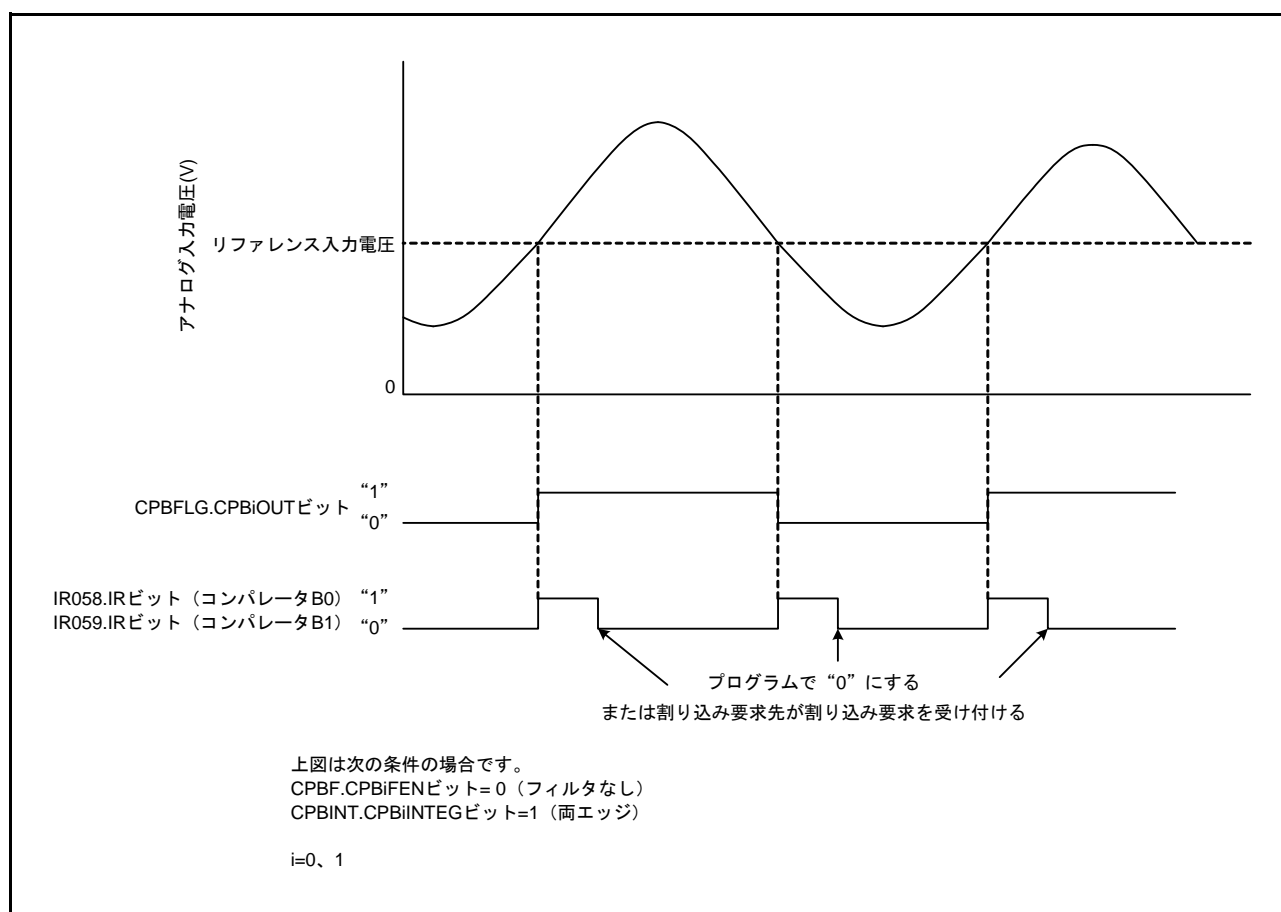


図 37.2 コンパレータ Bi (i = 0, 1) の動作例

37.3.1 コンパレータ Bi デジタルフィルタ (i=0, 1)

サンプリングクロックは、CPBF.CPBiF[1:0] ビットで選択できます。サンプリングクロックごとにコンパレータ Bi の CPBiOUT 出力信号 (内部信号) をサンプリングし、レベルが 3 度一致した時点で、IR058.IR ビット (コンパレータ B0 選択時)、IR059.IR ビット (コンパレータ B1 選択時) が “1” (割り込み要求あり) になり、ELC イベントが出力されます。

図 37.3 にコンパレータ Bi デジタルフィルタの構成を、図 37.4 にコンパレータ Bi デジタルフィルタ動作例を示します。

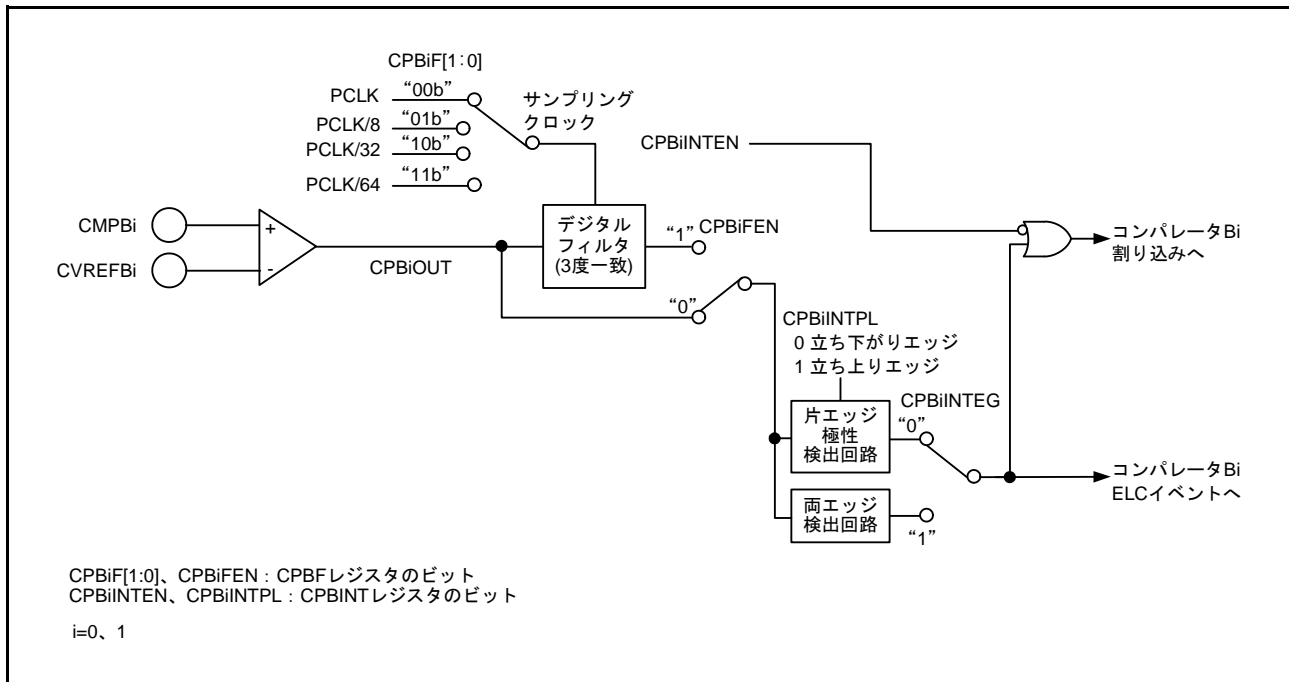


図 37.3 コンパレータ Bi デジタルフィルタの構成

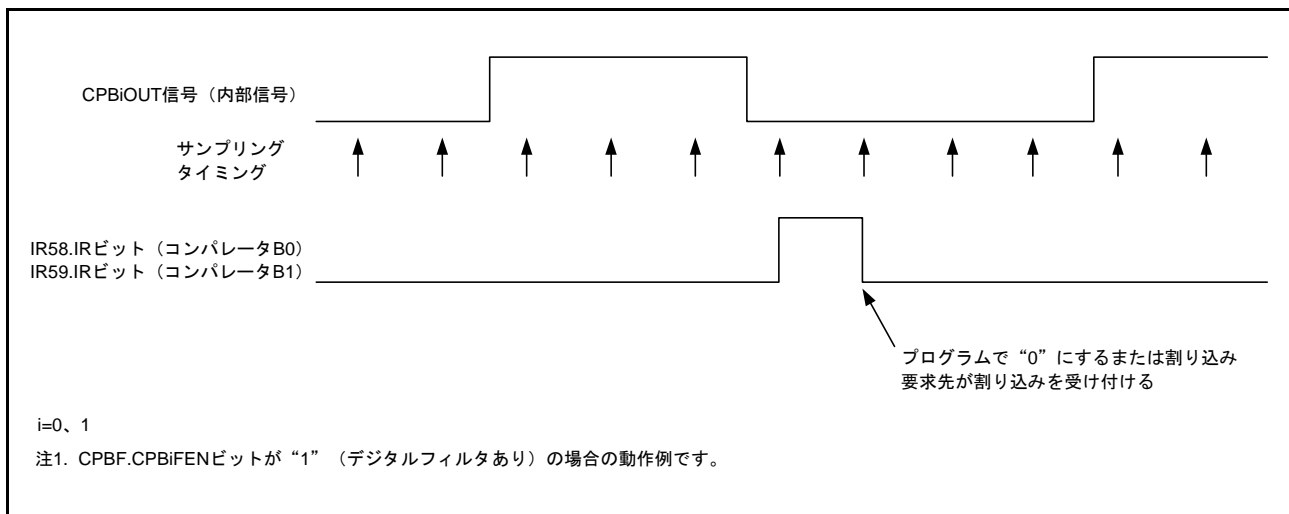


図 37.4 コンパレータ Bi デジタルフィルタ動作例

37.4 コンパレータ B0、コンパレータ B1 割り込み

コンパレータ B はコンパレータ B0、およびコンパレータ B1 の 2 つの割り込み要求を発生します。コンパレータ Bi (i=0, 1) 割り込みは、IR058.IR、IR059.IR、IPR058.IPR[3:0]、IPR059.IPR[3:0] ビットと、それぞれ 1 つの割り込みベクタを持ちます。

コンパレータ Bi 割り込みを使用するときは、CPBINT.CPBiINTEN ビットを "1" (割り込み許可) にしてください。さらに片エッジ検出か両エッジ検出かを CPBINT.CPBiINTEG ビットで選択できます。片エッジ選択時は極性を CPBINT.CPBiINTPL ビットで選択できます。

また、3 種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

37.5 イベントリンク出力機能

イベントリンクコントローラ (ELC) に対して以下のタイミングでイベント出力を行う機能を持っています。

- (1) コンパレータ B0 の比較結果が変化したとき
- (2) コンパレータ B0 または B1 の比較結果が変化したとき
コンパレータ B0、B1 からの結果が同時、あるいは連続して出力された場合、1 つのイベントとして出力されます。

37.5.1 割り込み処理とイベントリンクの関係

コンパレータ Bi は ELC (Even Link Controller) へイベントを出力し、あらかじめ設定したモジュールを動作させることができます。ELC へのイベントは CPBiINTEN ビットの値に関わらず出力されます。

コンパレータ Bi から ELC へのイベント出力信号は、割り込み要求信号と同様に片エッジ検出か両エッジ検出かを CPBINT.CPBiINTEG ビットで、選択できます。片エッジ選択時は極性を CPBINT.CPBiINTPL ビットで選択できます。

37.6 使用上の注意事項

37.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、コンパレータ B の動作禁止/許可を設定することが可能です。初期値では、コンパレータ B の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

38. データ演算回路 (DOC)

38.1 概要

データ演算回路 (DOC) は、16ビットのデータを比較、加算または減算をする機能です。

表 38.1 にデータ演算回路 (DOC) の仕様を示します。データ演算回路のブロック図を図 38.1 に示します。

- 16ビットのデータを比較し、選択した条件のとき割り込みを発生することができます。
- 16ビットのデータを加算することができます。
- 16ビットのデータを減算することができます。

表 38.1 データ演算回路 (DOC) の仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への設定が可能

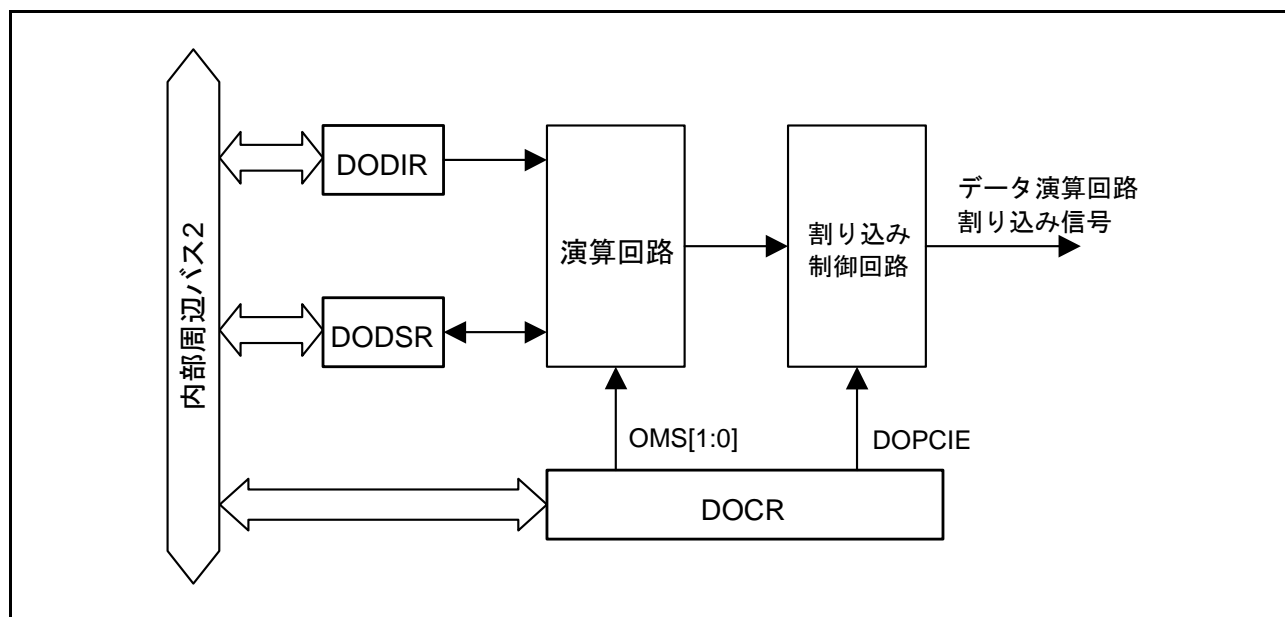


図 38.1 データ演算回路のブロック図

38.2 レジスタの説明

38.2.1 DOC コントロールレジスタ (DOCR)

アドレス 0008 B080h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCF CL	DOPCF	DOPCI E	—	DCSEL	OMS [1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS [1:0]	動作モード選択ビット	b1 b0 0 0 : データ比較モード 0 1 : データ加算モード 1 0 : データ減算モード 1 1 : 設定しないでください	R/W
b2	DCSEL (注1)	検出条件選択ビット	0 : データ比較の結果、不一致を検出 1 : データ比較の結果、一致を検出	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DOPCIE	データ演算回路割り込み許可ビット	0 : データ演算回路割り込み無効 1 : データ演算回路割り込み有効	R/W
b5	DOPCF	データ演算回路フラグ	演算結果を示します	R
b6	DOPCFCL	DOPCFクリアビット	0 : 何もしない 1 : DOPCFフラグをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	RW

注1. データ比較モード時のみ有効

OMS[1:0] ビット (動作モード選択ビット)

本ビットの設定によりデータ演算回路の動作モードを選択します。

DCSEL ビット (検出条件選択ビット)

データ比較モード時のみ有効です。

本ビットの設定のよりデータ比較モード時の結果の検出条件を選択します。

DOPCIE ビット (データ演算回路割り込み許可ビット)

本ビットが“1”の場合、データ演算回路割り込みを許可します。

DOPCF フラグ (データ演算回路フラグ)

[“1”になる条件]

- ・ DCSEL ビットで選択した条件になったとき
- ・ データ加算の結果が FFFFh より大きくなったとき
- ・ データ減算の結果が 0000h より小さくなったとき

[“0”になる条件]

- ・ DOPCFCL ビットに“1”を書き込んだとき

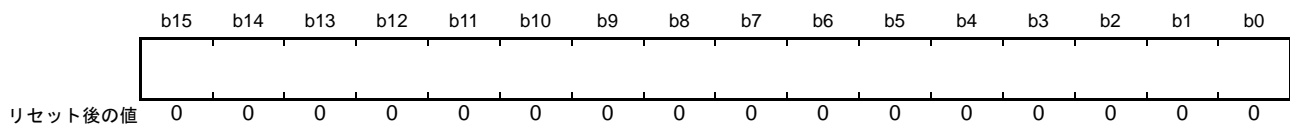
DOPCFCL ビット (DOPCF クリアビット)

本ビットを“1”にすると DOPCF フラグをクリアします。

読むと“0”が読めます。

38.2.2 DOC データインプットレジスタ (DODIR)

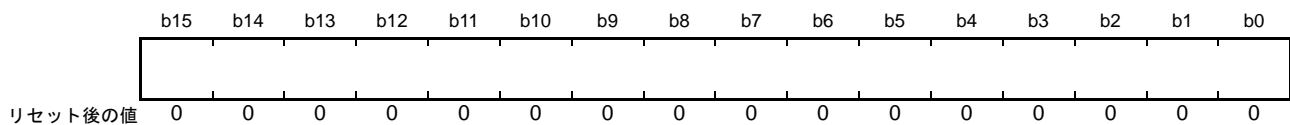
アドレス 0008 B082h



DODIR は、演算対象の 16 ビットのデータを格納する 16 ビットの読み出し／書き込み可能なレジスタです。

38.2.3 DOC データセッティングレジスタ (DODSR)

アドレス 0008 B084h



DODSR は、データ比較モード時、基準となる 16 ビットのデータを格納する 16 ビットの読み出し／書き込み可能なレジスタです。また、データ加算モードおよびデータ減算モード時、演算結果を格納するレジスタとなります。

38.3 動作説明

38.3.1 データ比較モード

図 38.2 にデータ比較モードの動作例を示します。

データ演算回路は、データ比較モード時、以下のように動作します。

1. DOCR.OMS[1:0] ビットに 00b 書き込むと、データ比較モードになります。
2. DODSR レジスタに基準となる 16 ビットのデータを設定します。
3. DODIR レジスタに比較する 16 ビットのデータを書き込みます。
4. すべての比較するデータの書き込みが完了するまで、DODIR レジスタに比較する 16 ビットのデータを書き込みます。
5. DODIR レジスタに書き込まれたデータが DODSR レジスタに設定されているデータと一致しなかった (注1) とき DOCR.DOPCF フラグに“1”がセットされます。また、DOCR.DOPCF ビットを“1”に設定している場合は、データ演算回路割り込みが発生します。

注 1. DOCR.DCSEL = 0 の場合

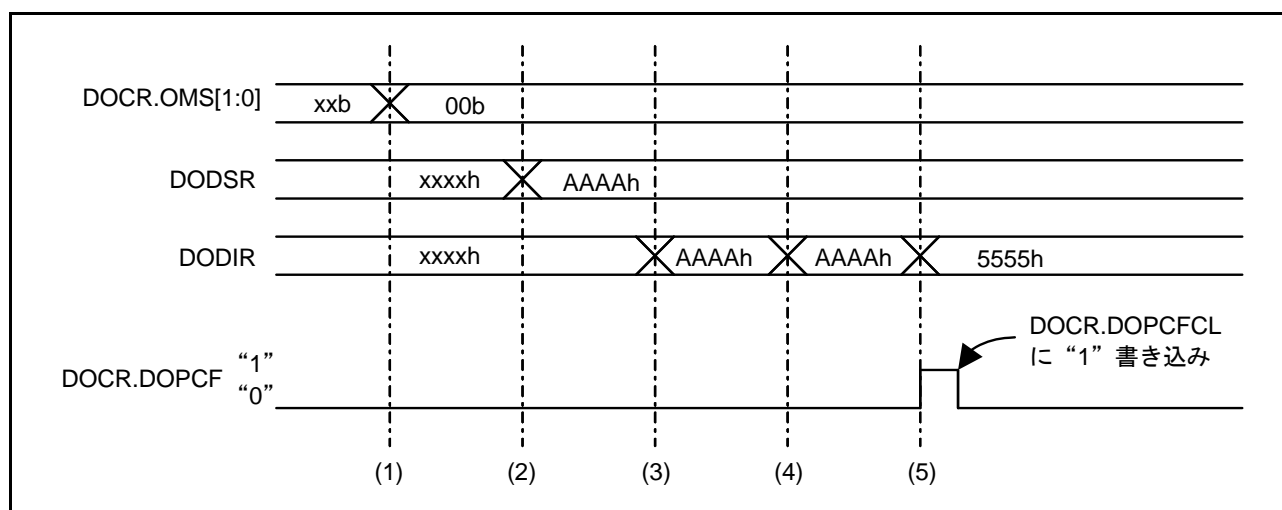


図 38.2 データ比較モードの動作例

38.3.2 データ加算モード

図 38.3 にデータ加算モードの動作例を示します。

データ演算回路は、データ加算モード時、以下のように動作します。

1. DOCR.OMS[1:0] ビットに 01b を書き込むと、データ加算モードになります。
2. DODSR レジスタに初期値となる 16 ビットのデータを設定します。
3. DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. すべての加算するデータの書き込みが完了するまで、DODIR レジスタに加算する 16 ビットのデータを書き込みます。
5. 演算結果が FFFFh よりも大きくなったとき DOCR.DOPCF フラグに “1” がセットされます。また、DOCR.DOPCIE ビットを “1” に設定している場合は、データ演算回路割り込みが発生します。

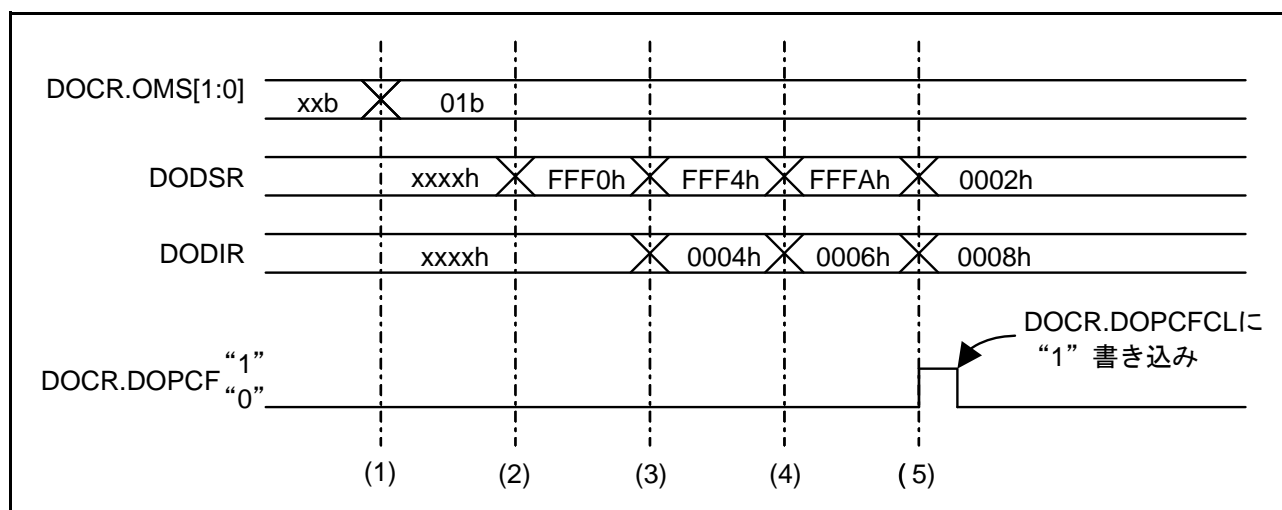


図 38.3 データ加算モードの動作例

38.3.3 データ減算モード

図 38.4 にデータ減算モードの動作例を示します。

データ演算回路は、データ減算モード時、以下のように動作します。

1. DOCR.OMS[1:0] ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR レジスタに初期値となる 16 ビットのデータを設定します。
3. DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. すべての減算するデータの書き込みが完了するまで、DODIR レジスタに減算する 16 ビットのデータを書き込みます。
5. 演算結果が 0000h よりも小さくなったとき DOCR.DOPCF フラグに“1”がセットされます。また、DOCR.DOPCIE ビットを“1”に設定している場合は、データ演算回路割り込みが発生します。

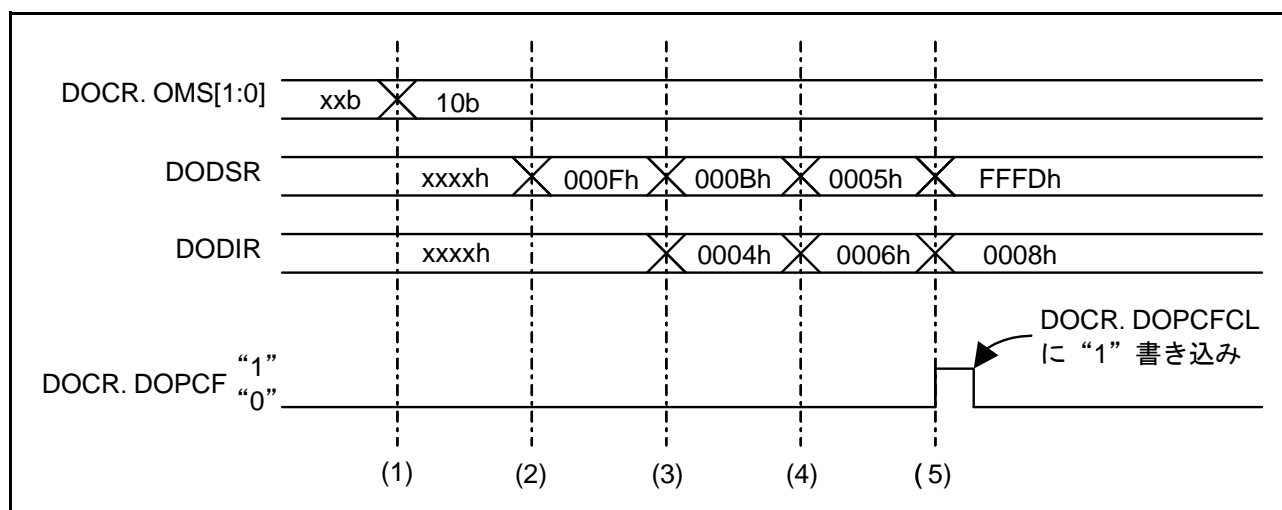


図 38.4 データ減算モードの動作例

38.4 割り込み要求

データ演算回路が生成する割り込み要求には、データ演算回路割り込みがあります。割り込み要因が発生するとデータ演算回路フラグが“1”にセットされます。表 38.2 に割り込み要求の内容を示します。

表 38.2 データ演算回路割り込み要求

割り込み要求	データ演算回路フラグ	割り込み要因
データ演算回路割り込み	DOPCF	<ul style="list-style-type: none"> • DOCR.DCSELビットで選択した条件になったとき • データ加算の結果がFFFFhより大きくなったとき • データ減算の結果が0000hより小さくなったとき

38.5 使用上の注意事項

38.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、データ演算回路の動作禁止/許可を設定することが可能です。初期値では、データ演算回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

39. RAM

RX210 グループは、高速スタティック RAM を内蔵しています。

39.1 概要

表 39.1 に RAM の仕様を示します。

表 39.1 RAMの仕様

項目	内容
RAM容量	最大96Kバイト (RAM0 : 64Kバイト、RAM1 : 32Kバイト) (注2)
アクセス	<ul style="list-style-type: none"> 読み出し、書き込みともに1サイクルで動作 RAM有効/無効選択可能 (注1)
消費電力低減機能	RAM0、RAM1個別にモジュールストップ状態への設定が可能

注1. SYSCR1.RAMEビットにより選択可能です。SYSCR1レジスタについては、「3.2.4 システムコントロールレジスタ1 (SYSCR1)」を参照してください。

注2. 製品によってRAM容量が異なります。

RAM容量	RAMアドレス
96Kバイト	RAM0 : 0000 0000h ~ 0000 FFFFh RAM1 : 0001 0000h ~ 0001 7FFFh
64Kバイト	RAM0 : 0000 0000h ~ 0000 FFFFh
32Kバイト	RAM0 : 0000 0000h ~ 0000 7FFFh
20Kバイト	RAM0 : 0000 0000h ~ 0000 4FFFh
16Kバイト	RAM0 : 0000 0000h ~ 0000 3FFFh
12Kバイト	RAM0 : 0000 0000h ~ 0000 2FFFh

39.2 動作説明

39.2.1 データ保持

RAM は、ディープソフトウェアスタンバイモード時、RAM への内部電源の供給は停止しますので、RAM のデータを保持できません。

39.2.2 消費電力低減機能

モジュールストップコントロールレジスタ C (MSTPCRC) の設定により、RAM へのクロック供給を停止させることで、消費電力を低減ができます。

MSTPCRC.MSTPC0 ビットを“1”にセットすると RAM0 に供給されるクロックが停止します。MSTPCRC.MSTPC1 ビットを“1”にすると RAM1 に供給されるクロックが停止します。

クロック供給の停止により、RAM0、RAM1 はモジュールストップ状態になります。リセット後の初期値では、RAM は動作状態です。

モジュールストップ状態になると、RAM へのアクセスができなくなります。RAM のアクセス中にモジュールストップ状態へ遷移しないでください。

MSTPCRC レジスタの詳細については、「11. 消費電力低減機能」を参照してください。

40. ROM（コード格納用フラッシュメモリ）

RX210グループは、最大1Mバイトのコード格納用フラッシュメモリ（ROM）を内蔵しています。本章では、コード格納用フラッシュメモリについて説明します。E2データフラッシュについては、「41. E2データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。

40.1 概要

表 40.1 に ROM の仕様を、表 40.2 に ROM 容量と ROM アドレスの対応表を、図 40.1 に ROM および E2 データフラッシュ周りのブロック図を示します。

表 40.1 ROMの仕様

項目	内容	
メモリ空間	<ul style="list-style-type: none"> ユーザ領域：最大1Mバイト ユーザブート領域：16Kバイト 	
高速読み出し可能	ICLK 1 サイクルの高速読み出しが可能	
プログラム/イレーズ方式	<ul style="list-style-type: none"> ROMの書き換えを行う専用のシーケンサ（FCU）を内蔵 FCUにコマンドを発行することにより、ROMへのプログラム/イレーズを実行可能 消去状態のROMを読むと、32ビットでFFFF FFFFhが読み出し可能 	
BGO（バックグラウンドオペレーション）機能	<ul style="list-style-type: none"> E2データフラッシュへのプログラム/イレーズを実行している期間、ROM領域に配置したプログラムを実行可能 ROMへのプログラム/イレーズを実行している期間、CPUはROM/E2データフラッシュ以外の領域に配置したプログラムを実行可能 	
サスペンド/レジューム機能	<ul style="list-style-type: none"> ROMへのプログラム/イレーズ動作を中断し、CPUはROM領域のプログラムを実行可能（サスペンド） 中断した後、ROMへのプログラム/イレーズを再開可能（レジューム） 	
プログラム/イレーズ単位	<ul style="list-style-type: none"> ユーザ領域およびユーザブート領域の書き込み単位：2/8/128バイト ユーザ領域の消去単位：ブロック単位 ユーザブート領域の消去単位：16Kバイト 	
オンボードプログラミング (3種類)	ブートモードによる書き換え <ul style="list-style-type: none"> 調歩同期式シリアルインタフェース（SCI1）を使用 通信速度は自動調整 ユーザブート領域も書き換え可能 	
	ユーザブートモードによる書き換え <ul style="list-style-type: none"> ユーザ独自のブートプログラムを作成可能 	
	ユーザプログラム中のROM書き換えルーチンによる書き換え <ul style="list-style-type: none"> システムをリセットすることなくROMの書き換えが可能 	
オフボードプログラミング	PROMライターを使用して、ユーザ領域とユーザブート領域の書き換えが可能	
プロテクト機能	ソフトウェアプロテクト機能	FENTRYR.FENTRY0, FENTRY1ビット、FWEPROR.FLWE[1:0]ビット、ロックビットにより意図しない書き換えを防ぐことが可能
	コマンドロック状態	プログラム/イレーズ中に異常動作を検出した場合、以後のプログラム/イレーズ処理を禁止
プログラム時間/イレーズ時間/書き換え回数	「42. 電気的特性」を参照	

表 40.2 ROM容量とROMアドレスの対応表

ROM容量	ROMアドレス
64Kバイト	FFFF 0000h～FFFF FFFFh
96Kバイト	FFFE 8000h～FFFF FFFFh
128Kバイト	FFFE 0000h～FFFF FFFFh
256Kバイト	FFFC 0000h～FFFF FFFFh
384Kバイト	FFFA 0000h～FFFF FFFFh
512Kバイト	FFF8 0000h～FFFF FFFFh
768Kバイト	FFF4 0000h～FFFF FFFFh
1Mバイト	FFF0 0000h～FFFF FFFFh

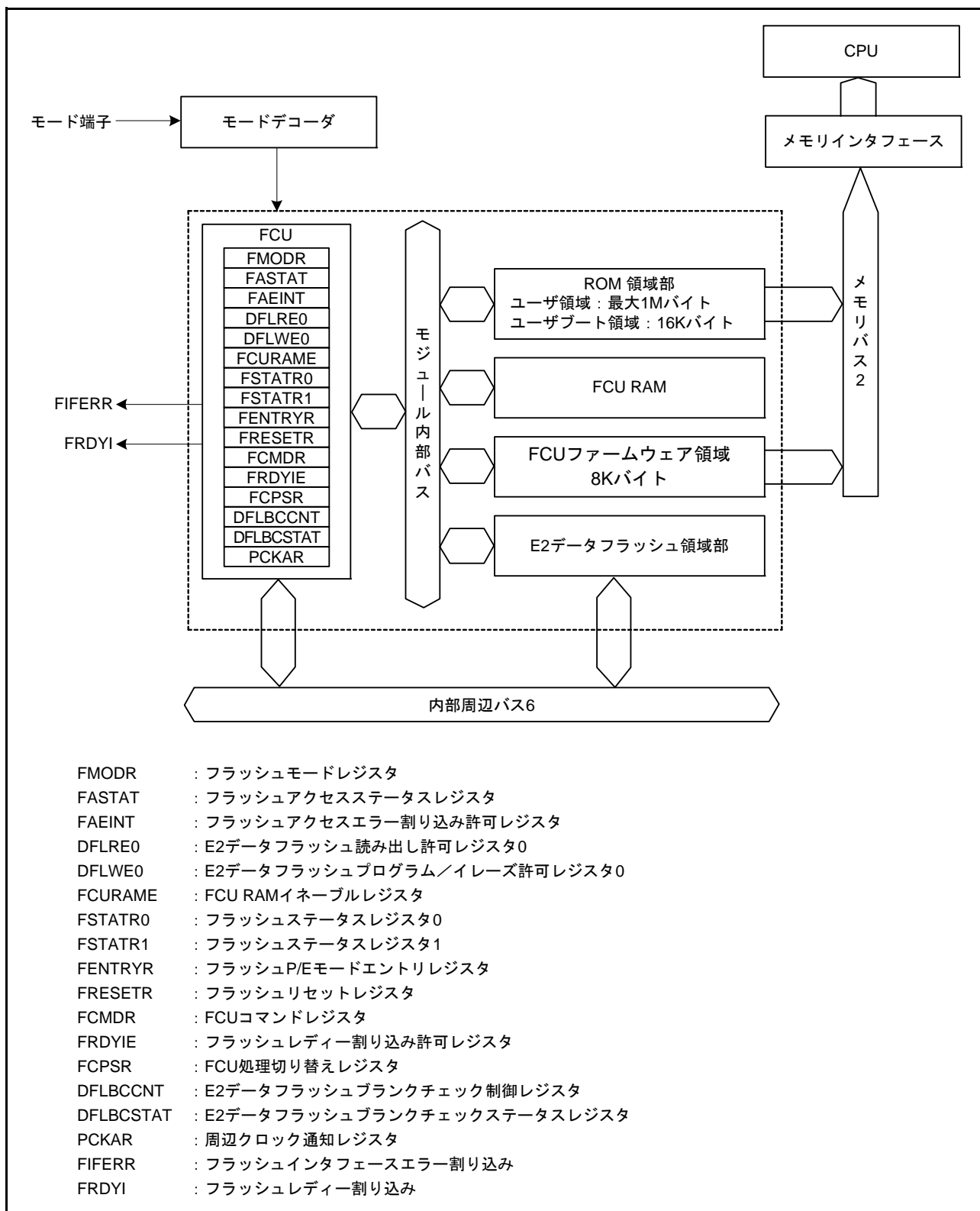


図 40.1 ROM のブロック図

40.2 レジスタの説明

一部のレジスタはE2データフラッシュ関連のビットも持ちますが、本章ではROM関連のビット機能のみ説明します。E2データフラッシュ関連のビット機能の詳細は、「41. E2データフラッシュ（データ格納用フラッシュメモリ）」の「41.2 レジスタの説明」を参照してください。

P/Eは、プログラム/イレーズを示します。

40.2.1 フラッシュライトイレーズプロテクトレジスタ（FWEPROR）

アドレス 0008 C296h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	FLWE[1:0]	
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FLWE[1:0]	フラッシュプログラム/イレーズビット	b1 b0 0 0: プログラム/イレーズ不可能 0 1: プログラム/イレーズ可能 1 0: プログラム/イレーズ不可能 1 1: プログラム/イレーズ不可能	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FWEPRORレジスタは、RES#端子リセット、ソフトウェアスタンバイモード移行時、ディープソフトウェアスタンバイモード移行時、電源電圧低下時にも初期化されます。

FLWE[1:0] ビット（フラッシュプログラム/イレーズビット）

フラッシュプログラム/イレーズ実行をソフトウェアによってプロテクトします。

40.2.2 フラッシュモードレジスタ（FMODR）

アドレス 007F C402h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FRDM D	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FRDMD	FCUリードモード選択ビット	0：メモリ領域リード方式 ROMロックビットリードモードでROMのロックビット を読む場合に設定します 1：レジスタリード方式 ロックビットリード2コマンドを使用してROMのロック ビットを読む場合に設定します	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

内蔵ROMが無効のとき、FMODRレジスタの読み出しデータは“00h”になり、書き込みはできません。

FRDMD ビット（FCU リードモード選択ビット）

ロックビットの読み出し方法を指定するビットです。

E2 データフラッシュのブランクチェックコマンド使用時は、レジスタリード方式に設定する必要があります。詳細は「41. E2 データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。

40.2.3 フラッシュアクセスステータスレジスタ（FASTAT）

アドレス 007F C410h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPE	E2データフラッシュプログラム/イレーズプロテクト違反ビット	「41. E2データフラッシュ（データ格納用フラッシュメモリ）」を参照してください	R/(W) (注1)
b1	DFLRPE	E2データフラッシュリードプロテクト違反ビット	「41. E2データフラッシュ（データ格納用フラッシュメモリ）」を参照してください	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFLAE	E2データフラッシュアクセス違反ビット	「41. E2データフラッシュ（データ格納用フラッシュメモリ）」を参照してください	R/(W) (注1)
b4	CMDLK	FCUコマンドロックビット	0：FCUはコマンドロック状態ではない 1：FCUはコマンドロック状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ROMAE	ROMアクセス違反ビット	0：ROMアクセスエラーなし 1：ROMアクセスエラーあり	R/(W) (注1)

注1. フラグを“0”にするために、“1”を読んだ後に“0”を書くことのみ可能です。

内蔵ROMが無効のとき、FASTATレジスタの読み出しデータは“00h”になり、書き込みはできません。

FASTAT.DFLWPE, DFLRPE, DFLAE, ROMAE ビットのいずれかのビットが“1”になると、FSTATR0.ILGLERR ビットが“1”になり、FCUはコマンドロック状態になります（「40.8.2 コマンドロック状態」を参照）。コマンドロック状態を解除するためには、FASTATレジスタを“10h”に設定した後、FCUにステータスレジスタクリアコマンドを発行する必要があります。

CMDLK ビット（FCU コマンドロックビット）

FCUがコマンドロック状態であることを示すビットです（「40.8.2 コマンドロック状態」を参照）。

【“1”になる条件】

- FCUがエラーを検出してコマンドロック状態に遷移した後

【“0”になる条件】

- FASTATレジスタが“10h”の状態、FCUがステータスレジスタクリアコマンドを発行した後

ROMAE ビット（ROM アクセス違反ビット）

ROMに対するアクセス違反の有無を示すビットです。

ROMAEビットが“1”になると、FSTATR0.ILGLERR ビットが“1”になり、FCUはコマンドロック状態になります。

[“1”になる条件]

- ROM P/E ノーマルモードの状態、ROM プログラム/イレーズ用アドレスに対してリードアクセスを発行したとき（注1）

ROM容量	ROMプログラム/イレーズ用アドレス	
	FENTRY0ビットが“1”	FENTRY1ビットが“1”
64Kバイト	00FF 0000h～00FF FFFFh	—
96Kバイト	00FE 8000h～00FF FFFFh	—
128Kバイト	00FE 0000h～00FF FFFFh	—
256Kバイト	00FC 0000h～00FF FFFFh	—
384Kバイト	00FA 0000h～00FF FFFFh	—
512Kバイト	00F8 0000h～00FF FFFFh	—
768Kバイト	00F8 0000h～00FF FFFFh	00F4 0000h～00F7 FFFFh
1Mバイト	00F8 0000h～00FF FFFFh	00F0 0000h～00F7 FFFFh

- ROM 書き込み/消去用アドレスに対するリードアクセスおよびライトアクセスを発行したとき（注1）

ROM容量	ROMプログラム/イレーズ用アドレス	
	FENTRY0ビットが“0”	FENTRY1ビットが“0”
64Kバイト	00FF 0000h～00FF FFFFh	—
96Kバイト	00FE 8000h～00FF FFFFh	—
128Kバイト	00FE 0000h～00FF FFFFh	—
256Kバイト	00FC 0000h～00FF FFFFh	—
384Kバイト	00FA 0000h～00FF FFFFh	—
512Kバイト	00F8 0000h～00FF FFFFh	—
768Kバイト	00F8 0000h～00FF FFFFh	00F4 0000h～00F7 FFFFh
1Mバイト	00F8 0000h～00FF FFFFh	00F0 0000h～00F7 FFFFh

- FENTRYR レジスタを設定して ROM P/E モードに移行した状態で、ROM 読み出し用アドレスに対してリードアクセスを発行したとき

ROM容量	ROMプログラム/イレーズ用アドレス
64Kバイト	FFFF 0000h～FFFF FFFFh
96Kバイト	FFFE 8000h～FFFF FFFFh
128Kバイト	FFFE 0000h～FFFF FFFFh
256Kバイト	FFFC 0000h～FFFF FFFFh
384Kバイト	FFFA 0000h～FFFF FFFFh
512Kバイト	FFF8 0000h～FFFF FFFFh
768Kバイト	FFF4 0000h～FFFF FFFFh
1Mバイト	FFF0 0000h～FFFF FFFFh

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

注1. FENTRY1 ビットはユーザ領域の容量が 512K バイトを超える場合に存在します。

40.2.4 フラッシュアクセスエラー割り込み許可レジスタ（FAEINT）

アドレス 007F C411h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE
リセット後の値	1	0	0	1	1	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPEIE	E2データフラッシュ書き込み/消去プロテクト違反割り込み許可ビット	「41. E2データフラッシュ（データ格納用フラッシュメモリ）」を参照してください	R/W
b1	DFLRPEIE	E2データフラッシュリードプロテクト違反割り込み許可ビット	「41. E2データフラッシュ（データ格納用フラッシュメモリ）」を参照してください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFLAEIE	E2データフラッシュアクセス違反割り込み許可ビット	「41. E2データフラッシュ（データ格納用フラッシュメモリ）」を参照してください	R/W
b4	CMDLKIE	FCUコマンドロック割り込み許可ビット	0：FASTAT.CMDLKビット=1で、FIFERR割り込み要求が発生しない 1：FASTAT.CMDLKビット=1で、FIFERR割り込み要求が発生する	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ROMAEIE	ROMアクセス違反割り込み許可ビット	0：FASTAT.ROMAEビット=1で、FIFERR割り込み要求が発生しない 1：FASTAT.ROMAEビット=1で、FIFERR割り込み要求が発生する	R/W

内蔵ROMが無効のとき、FAEINTレジスタの読み出しデータは“00h”になり、書き込みはできません。

CMDLKIE ビット（FCU コマンドロック割り込み許可ビット）

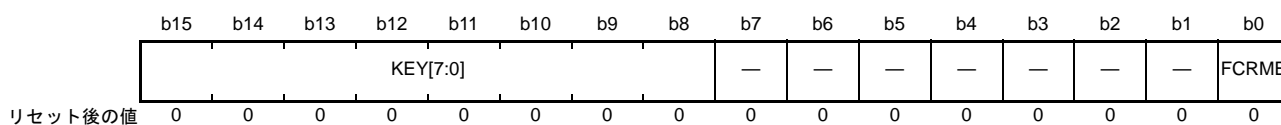
FCU コマンドロックが発生し、FASTAT.CMDLK ビットが“1”になった場合のFIFERR 割り込み要求の発生を許可/禁止するためのビットです。

ROMAEIE ビット（ROM アクセス違反割り込み許可ビット）

ROM アクセス違反が発生し、FASTAT.ROMAE ビットが“1”になった場合のFIFERR 割り込み要求の発生を許可/禁止するためのビットです。

40.2.5 FCU RAM イネーブルレジスタ（FCURAME）

アドレス 007F C454h



ビット	シンボル	ビット名	機能	R/W
b0	FCRME	FCU RAM許可ビット	0 : FCU RAMへのアクセス禁止 1 : FCU RAMへのアクセス許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコード	FCURAMEレジスタの書き換えの可否を制御します。 FCURAMEレジスタを書き換える場合、上位8ビットに“C4h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

内蔵ROMが無効のとき、FCURAMEレジスタの読み出しデータは“00h”になり、書き込みはできません。

FCRME ビット（FCU RAM 許可ビット）

FCU RAM へのアクセスを許可/禁止するためのビットです。

FCU RAM に書く場合は、FENTRYR レジスタを“0000h”に設定してFCUを停止させてください。

なお、FCU RAM へのアクセス許可/禁止に関わらず、FCU RAM のデータを読み出すことはできません。読み出した場合は、不定値が読めます。

40.2.6 フラッシュステータスレジスタ 0（FSTATR0）

アドレス 007F FFB0h

	b7	b6	b5	b4	b3	b2	b1	b0
	FRDY	ILGLER R	ERSER R	PRGER R	SUSR DY	—	ERSSP D	PRGSP D
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRGSPD	書き込みサスペンドステータスビット	0: 下記以外の状態 1: 書き込みの中断処理中、または書き込みサスペンド中	R
b1	ERSSPD	消去サスペンドステータスビット	0: 下記以外の状態 1: 消去の中断処理中、または消去サスペンド中	R
b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b3	SUSRDY	サスペンドレディービット	0: P/E サスペンドコマンド受け付け不可能 1: P/E サスペンドコマンド受け付け可能	R
b4	PRGERR	書き込みエラービット	0: 書き込み処理は正常終了 1: 書き込み処理中にエラー発生	R
b5	ERSERR	消去エラービット	0: 消去処理は正常終了 1: 消去処理中にエラー発生	R
b6	ILGLERR	イリーガルコマンドエラービット	0: FCUは不正なコマンドや、不正なROM/E2データフラッシュアクセスを検出していない 1: FCUは不正なコマンドや不正なROM/E2データフラッシュアクセスを検出	R
b7	FRDY	フラッシュレディービット	0: プログラム/イレーズ処理中、 プログラム/イレーズの中断処理中、 ロックビットリード2コマンド処理中、 周辺クロック通知コマンド処理中、 E2データフラッシュのブランクチェック処理中 (「41. E2データフラッシュ（データ格納用フラッシュメモリ）」を参照) 1: 上記の処理を実行していない	R

内蔵ROMが無効のとき、FSTATR0レジスタの読み出しデータは“00h”になります。

FSTATR0レジスタは、リセットもしくはFRESETR.FRESETビットを“1”にすることによって初期化されます。

PRGSPD ビット（書き込みサスペンドステータスビット）

FCUが書き込みの中断処理中、または書き込みサスペンド状態に遷移したことを示すビットです。詳細は「40.7 サスペンド動作」を参照してください。

["1"になる条件]

- 書き込みの中断処理を開始した

["0"になる条件]

- レジュームコマンドを受け付けた

ERSSPD ビット（消去サスペンドステータスビット）

FCU が消去の中断処理中または消去サスペンド状態に遷移したことを示すビットです。詳細は「40.7 サスペンド動作」を参照してください。

["1" になる条件]

- 消去の中断処理を開始した

["0" になる条件]

- レジュームコマンドを受け付けた

SUSRDY ビット（サスペンドレディービット）

FCU が P/E サスペンドコマンドを受け付け可能であるかどうかを示すビットです。

["1" になる条件]

- プログラム/イレーズ処理を開始後、P/E サスペンドコマンドの受け付けが可能な状態に遷移した

["0" になる条件]

- P/E サスペンドコマンドを受け付けた
- プログラム/イレーズ処理中に、コマンドロック状態に遷移した

PRGERR ビット（書き込みエラービット）

FCU による ROM/E2 データフラッシュ書き込み処理の結果を示すビットです。

PRGERR ビットが "1" の場合には、FCU はコマンドロック状態になります。詳細は「40.8.2 コマンドロック状態」を参照してください。

["1" になる条件]

- 書き込み中にエラーが発生した
- ロックビットでプロテクトされた領域に対する書き込みコマンドを発行した

["0" になる条件]

- FCU がステータスレジスタクリアコマンドを発行した後

ERSERR ビット（消去エラービット）

FCU による ROM/E2 データフラッシュ消去処理の結果を示すビットです。

ERSERR ビットが "1" の場合には、FCU はコマンドロック状態になります。詳細は「40.8.2 コマンドロック状態」を参照してください。

["1" になる条件]

- 消去中にエラーが発生した
- ロックビットでプロテクトされた領域に対するブロックイレーズコマンドを発行した

["0" になる条件]

- FCU がステータスレジスタクリアコマンドを発行した後

ILGLERR ビット（イリーガルコマンドエラービット）

FCU が不正なコマンドや、不正な ROM/E2 データフラッシュアクセスなどを検出したことを示すビットです。

ILGLERR ビットが“1”の場合には、FCU はコマンドロック状態になります。詳細は「40.8.2 コマンドロック状態」を参照してください。

["1" になる条件]

- FCU が不正なコマンドを検出した
- FCU が不正な ROM/E2 データフラッシュアクセスを検出した
(FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビットのいずれかが“1”)
- FENTRYR レジスタの設定が不正

["0" になる条件]

- FASTAT レジスタが 10h の状態で、FCU がステータスレジスタクリアコマンドを発行した後

FRDY ビット（フラッシュレディービット）

FCU の処理状態を確認するためのビットです。

40.2.7 フラッシュステータスレジスタ 1（FSTATR1）

アドレス 007F FFB1h

	b7	b6	b5	b4	b3	b2	b1	b0
	FCUER R	—	—	FLOCK ST	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	FLOCKST	ロックビットステータスビット	0：プロテクト状態 1：非プロテクト状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	FCUERR	FCUエラービット	0：FCUの処理でエラー未発生 1：FCUの処理でエラー発生	R

内蔵 ROM が無効のとき、FSTATR1 レジスタの読み出しデータは“00h”になります。

FSTATR1 レジスタは、リセットもしくはFRESETR.FRESET ビットを“1”にすることによって初期化されます。

FLOCKST ビット（ロックビットステータスビット）

ロックビットリード2 コマンドを使用した場合に、ロックビットの読み出したデータが反映されるビットです。

ロックビットリード2 コマンド発行後に、FSTATR0.FRDY ビットが“1”になった時点で、FLOCKST ビットに有効なデータが格納されます。FLOCKST ビットの値は、次のロックビットリード2 コマンドの終了まで保持されます。

FCUERR ビット（FCU エラービット）

FCU 内部の処理においてエラーが発生したことを示すビットです。

FCUERR ビットが“1”の場合には、FRESETR.FRESET ビットを“1”にして、FCU を初期化してください。

FCU ファームウェアを FCU ファームウェア領域から FCU RAM 領域へ再コピーしてください。

40.2.8 フラッシュレディー割り込み許可レジスタ（FRDYIE）

アドレス 007F C412h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FRDYI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRDYIE	フラッシュレディー割り込み許可ビット	0：FRDYI割り込み要求の発生を禁止 1：FRDYI割り込み要求の発生を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

内蔵ROMが無効のとき、FRDYIEレジスタの読み出しデータは“00h”になり、書き込みはできません。

FRDYIE ビット（フラッシュレディー割り込み許可ビット）

プログラム/イレーズ処理が終了した場合のFRDYI割り込み要求の発生を許可/禁止するためのビットです。

FRDYIEビットが“1”の設定で、FCUコマンドの実行が完了した場合（FSTATR0.FRDYビットが“0”から“1”に遷移した場合）、フラッシュレディー割り込み要求（FRDYI）が発生します。

40.2.9 フラッシュ P/E モードエントリレジスタ（FENTRYR）

アドレス 007F FFB2h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FEKEY[7:0]								FENTRYD	—	—	—	—	—	FENTRY1	FENTRY0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/Eモードエントリビット0 (注1)	0：ROM 64Kバイト、96Kバイト、128Kバイト、256Kバイト、384Kバイト、または512Kバイト（領域0（注2））はROM リードモード 1：ROM 64Kバイト、96Kバイト、128Kバイト、256Kバイト、384Kバイト、または512Kバイト（領域0（注2））はROM P/Eモード	R/W
b1	FENTRY1	ROM P/Eモードエントリビット1 (注1)	0：ROM 256Kバイトまたは512Kバイト（領域1（注3））はROM リードモード 1：ROM 256Kバイトまたは512Kバイト（領域1（注3））はROM P/Eモード	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	FENTRYD	E2データフラッシュ P/Eモードエントリビット	「41. E2データフラッシュ（データ格納用フラッシュメモリ）」を参照してください	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYRレジスタの書き換えの可否を制御します。FENTRYRレジスタを書き換える場合、上位8ビットに“AAh”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注4)

- 注1. FENTRY1ビットはユーザ領域の容量が512Kバイトを超える場合に存在します。FENTRY1ビットが存在しない場合、機能は予約ビットと同様になります。
- 注2. 領域0は、プログラム/イレーズ時00F8 0000h～00FF FFFFh、読み出し時FFF8 0000h～FFFF FFFFhのアドレスに対応します。
- 注3. 領域1（ROM容量が768Kバイトの場合）は、プログラム/イレーズ時00F4 0000h～00F7 FFFFh、読み出し時FFF4 0000h～FFF7 FFFFh、領域1（ROM容量が1Mバイトの場合）は、プログラム/イレーズ時00F0 0000h～00F7 FFFFh、読み出し時FFF0 0000h～FFF7 FFFFhのアドレスに対応します。
- 注4. 書き込みデータは保持されません。

ROM/E2 データフラッシュを P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRYD、FENTRY0、FENTRY1（注1）ビットのいずれかのビットを“1”にする必要があります。ただし、これらのビットを複数“1”にした場合、FSTATR0.ILGLERR ビットが“1”になり、FCU はコマンドロック状態になります。

FENTRYR レジスタをアクセスして、ROM リードモードに移行させる際には、FENTRYR レジスタを書き込み後、当該レジスタを読み出して設定値になっていることを確認後、ROM リード動作を行ってください。

内蔵 ROM が無効のとき、FENTRYR レジスタの読み出しデータは“0000h”になり、書き込みはできません。

FENTRYR レジスタは、リセットもしくは FRESETR.FRESETR ビットを“1”にすることによって初期化されます。

- 注1. FENTRY1 ビットはユーザ領域の容量が 512K バイトを超える場合に存在します。

FENTRY0 ビット（ROM P/E モードエントリビット0）

ROM 64K バイト（読み出し用アドレス：FFFF 0000h～FFFF FFFFh、プログラム/イレーズ用アドレス：00FF 0000h～00FF FFFFh）、ROM 96K バイト（読み出し用アドレス：FFFE 8000h～FFFF FFFFh、プログラム/イレーズ用アドレス：00FE 8000h～00FF FFFFh）、ROM 128K バイト（読み出し用アドレス：FFFE 0000h～FFFF FFFFh、プログラム/イレーズ用アドレス：00FE 0000h～00FF FFFFh）、ROM 256K バイト

（読み出し用アドレス：FFFC 0000h～FFFF FFFFh、プログラム/イレーズ用アドレス：00FC 0000h～00FF FFFFh）、ROM 384K バイト（読み出し用アドレス：FFFA 0000h～FFFF FFFFh、プログラム/イレーズ用アドレス：00FA 0000h～00FF FFFFh）、またはROM 512K バイト（読み出し用アドレス：FFF8 0000h～FFFF FFFFh、プログラム/イレーズ用アドレス：00F8 0000h～00FF FFFFh）を P/E モードに設定するためのビットです。

[書き込み有効条件（以下の全条件を満たす場合）]

- 内蔵 ROM が有効
- FSTATR0.FRDIY ビットが“1”
- ワードアクセスで FEKEY[7:0] ビットに“AAh”を書き込み

[“1”になる条件]

- 書き込み有効条件を満たし、かつ FENTRYR レジスタが“0000h”の状態、FENTRY0 ビットに“1”を書いた場合

[“0”になる条件]

- バイトアクセスで書いた場合
- ワードアクセスで FEKEY[7:0] ビットが“AAh”以外の状態で書いた場合
- 書き込み有効条件を満たした状態で、FENTRY0 ビットに“0”を書いた場合
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが“0000h”以外の状態で、FENTRYR レジスタに書いた場合

FENTRY1 ビット（ROM P/E モードエントリビット 1）

ROM 256K または 512K バイト（領域 1（ROM 容量が 768K バイトの場合）読み出し用アドレス：FFF4 0000h～FFF7 FFFFh、プログラム/イレーズ用アドレス：00F4 0000h～00F7 FFFFh）、（領域 1（ROM 容量が 1M バイトの場合）読み出し用アドレス：FFF0 0000h～FFF7 FFFFh、プログラム/イレーズ用アドレス：00F0 0000h～00F7 FFFFh）を P/E モードに設定するためのビットです。FENTRY1 ビットは、ユーザ領域の容量が 512K バイトを超える場合に存在します。

[書き込み有効条件（以下の全条件を満たす場合）]

- 内蔵 ROM が有効
- FSTATR0.FRDIY ビットが“1”
- ワードアクセスで FEKEY[7:0] ビットに“AAh”を書き込み

[“1”になる条件]

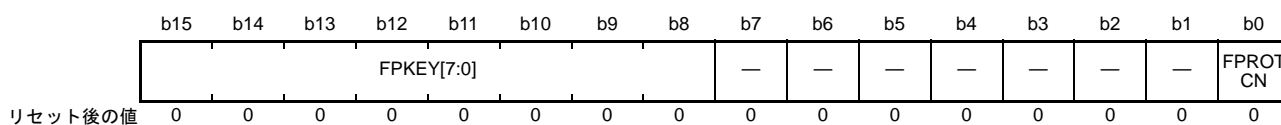
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが“0000h”の状態、FENTRY1 ビットに“1”を書いた場合

[“0”になる条件]

- バイトアクセスで書いた場合
- ワードアクセスで FEKEY[7:0] ビットが“AAh”以外の状態で書いた場合
- 書き込み有効条件を満たした状態で、FENTRY1 ビットに“0”を書いた場合
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが“0000h”以外の状態で、FENTRYR レジスタに書いた場合

40.2.10 フラッシュプロテクトレジスタ（FPROTR）

アドレス 007F FFB4h



ビット	シンボル	ビット名	機能	R/W
b0	FPROTCN	ロックビットプロテクトキャンセルビット	0：ロックビットによるプロテクト有効 1：ロックビットによるプロテクト無効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	FPKEY[7:0]	キーコード	FPROTRレジスタの書き換えの可否を制御します。 FPROTRレジスタを書き換える場合、上位8ビットに“55h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

内蔵ROMが無効のとき、FPROTRレジスタの読み出しデータは“0000h”になり、書き込みはできません。FPROTRレジスタは、リセットもしくはFRESETR.FRESETビットを“1”にすることによって初期化されます。

FPROTCNビット（ロックビットプロテクトキャンセルビット）

ロックビットによるプログラム/イレーズプロテクトを有効/無効にするためのビットです。

[“1”になる条件]

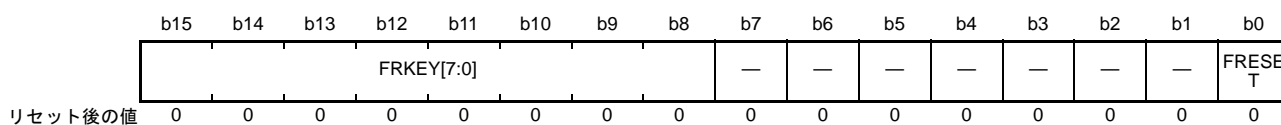
- FENTRYRレジスタの値が“0000h”以外の状態で、ワードアクセスでFPKEY[7:0]ビットに“55h”、FPROTCNビットに“1”を書いた場合

[“0”になる条件]

- バイトアクセスで書いた場合
- ワードアクセスでFPKEY[7:0]ビットが“55h”以外の状態で書いた場合
- ワードアクセスでFPKEY[7:0]ビットに“55h”、FPROTCNビットに“0”を書いた場合
- FENTRYRレジスタの値が“0000h”の場合

40.2.11 フラッシュリセットレジスタ（FRESETR）

アドレス 007F FFB6h



ビット	シンボル	ビット名	機能	R/W
b0	FRESET	フラッシュリセットビット	0 : FCUはリセットされない 1 : FCUはリセットされる	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	FRKEY[7:0]	キーコード	FRESETRレジスタの書き換えの可否を制御します。 FRESETRレジスタを書き換える場合、上位8ビットに“CCh”、 下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

内蔵ROMが無効のとき、FRESETRレジスタの読み出しデータは“0000h”になり、書き込みはできません。

FRESET ビット（フラッシュリセットビット）

FRESET ビットを“1”にすると、ROM/E2 データフラッシュのプログラム/イレーズ動作が強制終了され、FCU が初期化されます。

プログラム/イレーズ中のROM/E2 データフラッシュのメモリには、高電圧が印加されています。メモリに印加された電圧の降下に必要な期間を確保するために、FCU を初期化する場合には、FRESET ビットを“1”にした状態を tFCUR（「42. 電気的特性」を参照）保持してください。FRESET ビットが“1”にしている期間は、ROM/E2 データフラッシュへの読み出しを禁止してください。また、FRESET ビットが“1”の状態では、FENTRYR レジスタが初期化されているため、FCU コマンドを使用することはできません。

40.2.12 FCU コマンドレジスタ（FCMDR）

アドレス 007F FFBAh



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCMDR[7:0]	プレコマンド	FCUが受け付けた1つ前のコマンドを格納します	R
b15-b8	CMDR[7:0]	コマンド	FCUが受け付けた最新のコマンドを格納します	R

内蔵ROMが無効のとき、FCMDRレジスタの読み出しデータは“0000h”になり、書き込みは無効化されます。

FCMDRは、リセットもしくはFRESETR.FRESETビットを“1”にすることによって初期化されます。

表40.3に各コマンド受け付け後のFCMDRレジスタの状態を示します。ブランクチェックの内容は、E2データフラッシュの「41.6 E2データフラッシュへのプログラム/イレーズ」を参照してください。

表40.3 各コマンド受け付け後のFCMDRレジスタの状態

コマンド	CMDR[7:0]	PCMDR[7:0]
ノーマルモード移行	FFh	前回コマンド
ステータスリードモード移行	70h	前回コマンド
ロックビットリードモード移行（ロックビットリード1）	71h	前回コマンド
周辺クロック通知	E9h	前回コマンド
プログラム	E8h	前回コマンド
ブロックイレーズ	D0h	20h
P/Eサスペンド	B0h	前回コマンド
P/Eレジューム	D0h	前回コマンド
ステータスレジスタクリア	50h	前回コマンド
ロックビットリード2ブランクチェック	D0h	71h
ロックビットプログラム	D0h	77h

40.2.13 FCU 処理切り替えレジスタ（FCPSR）

アドレス 007F FFC8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESUSP MD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESUSPMD	書き込み/消去サスペンドモードビット	0: サスペンド優先モード 1: 書き込み/消去優先モード	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

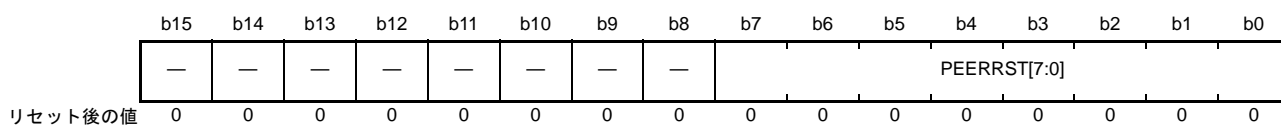
内蔵 ROM が無効のとき、FCPSR レジスタの読み出しデータは“0000h”になり、書き込みはできません。FCPSR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

ESUSPMD ビット（書き込み/消去サスペンドモードビット）

FCU が ROM/E2 データフラッシュの消去処理を実行中に、P/E サスペンドコマンドが発行された場合の消去中断処理モードを選択するためのビットです。詳細は「40.7 サスペンド動作」を参照してください。

40.2.14 フラッシュ P/E ステータスレジスタ（FPESTAT）

アドレス 007F FFCCh



ビット	シンボル	ビット名	機能	R/W
b7-b0	PEERRST[7:0]	P/E エラーステータスビット	00h：エラーなし 01h：ロックビットでプロテクトされた領域に対する書き込みエラー 02h：ロックビットプロテクト以外の要因による書き込みエラー 11h：ロックビットでプロテクトされた領域に対する消去によるエラー 12h：ロックビットプロテクト以外の要因による消去エラー (上記以外は予約)	R
b15-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

内蔵 ROM が無効のとき、FPESTAT レジスタの読み出しデータは“0000h”になり、書き込みはできません。

FPESTAT レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

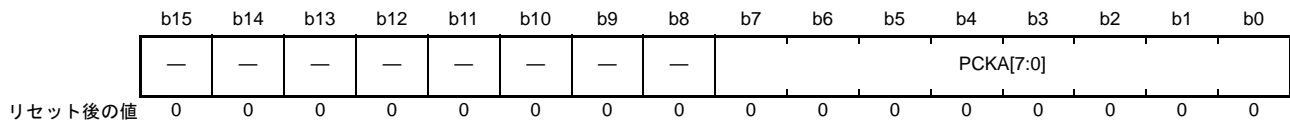
PEERRST[7:0] ビット（P/E エラーステータスビット）

ROM/E2 データフラッシュのプログラム/イレーズ処理中にエラーが発生した場合のエラー原因を示すビットです。

PEERRST[7:0] ビットの値は、FSTATR0.ERSERR ビット、または FSTATR0.PRGERR ビットが“1”の状態、かつ FSTATR0.FRDIY ビットが“1”になった時点でのみ有効です。ERSERR ビットと PRGERR ビットが“0”の場合の PEERRST[7:0] ビットには、過去に発生したエラー原因の値が保持されます。

40.2.15 周辺クロック通知レジスタ（PCKAR）

アドレス 007F FFE8h



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCKA[7:0]	周辺クロック通知ビット	ROM/E2データフラッシュへのプログラム/イレーズ時にFlashIFクロック（FCLK）を設定するためのビットです	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

内蔵ROMが無効のとき、PCKARレジスタの読み出しデータは“0000h”になり、書き込みはできません。PCKARレジスタは、リセットもしくはFRESETR.FRESETビットを“1”にすることによって初期化されます。

PCKA[7:0] ビット（周辺クロック通知ビット）

ROM/E2データフラッシュのプログラム/イレーズ時に、FlashIFクロック（FCLK）を設定するためのビットです。

プログラム/イレーズを行う前にPCKA[7:0]ビットにFCLKの周波数を設定して、周辺クロック通知コマンドを発行してください。ROM/E2データフラッシュのプログラム/イレーズ中は、周波数を変更しないでください。

設定値の算出は以下のようにしてください。

- MHz単位で表現した動作周波数を2進数に変換し、PCKA[7:0]ビットに書く。
具体例としてFlashIFクロックの動作周波数が29.9MHzの場合には以下ようになります。
- 29.9の小数第1位を切り上げ
- 30を2進数変換し、上位は“00h”で、下位は“1Eh”（0001 1110b）をPCKA[7:0]ビットに設定する。

注． PCKA[7:0]ビットを4MHz～32MHzの範囲外に設定した場合は、ROM/E2データフラッシュに対する書き換えコマンドを発行しないでください。

注． FCLKと異なる周波数をPCKA[7:0]ビットに設定した場合、ROM/E2データフラッシュのデータが破壊される可能性があります。

注． PCKA[7:0]ビットを活用しても、書き換え時間はある程度周波数に依存することをご了承ください。

40.3 ROMの領域構成

RX210グループのROMは、最大1Mバイトのユーザ領域と16Kバイトのユーザブート領域から構成されています。図40.2にROMの領域構成を示します。

ユーザ領域のアドレスは、リード時とプログラム/イレーズ時で異なりますので注意してください。

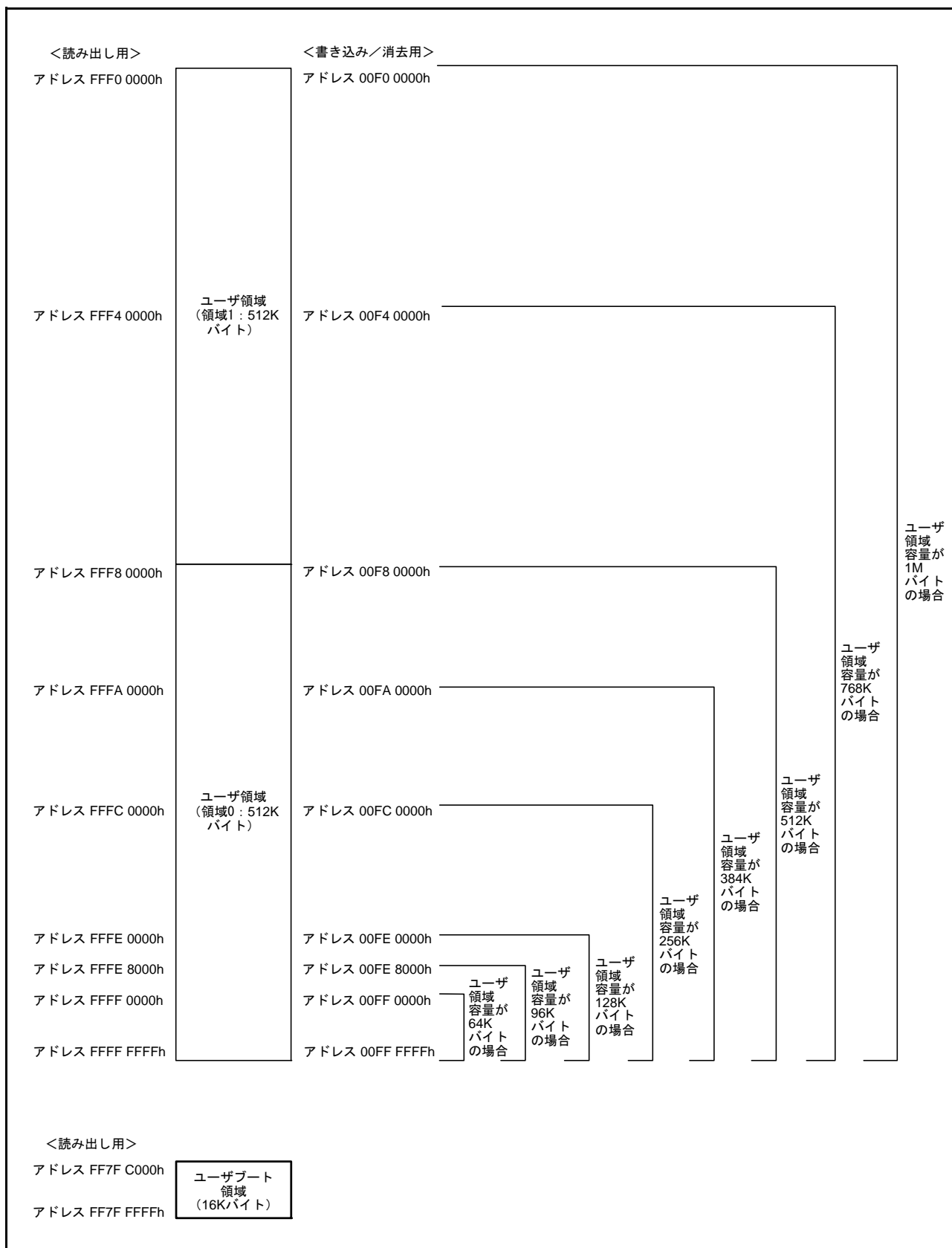


図 40.2 ROM の領域構成

40.4 ブロック構成

ユーザ領域の消去ブロックの構成を図 40.3 に示します。

ユーザ領域は ROM 容量によって、以下のブロックに分割されていて、消去はこのブロック単位で行います。書き込みは、下位アドレスが 00h で始まる 2/8/128 バイト単位で行います。

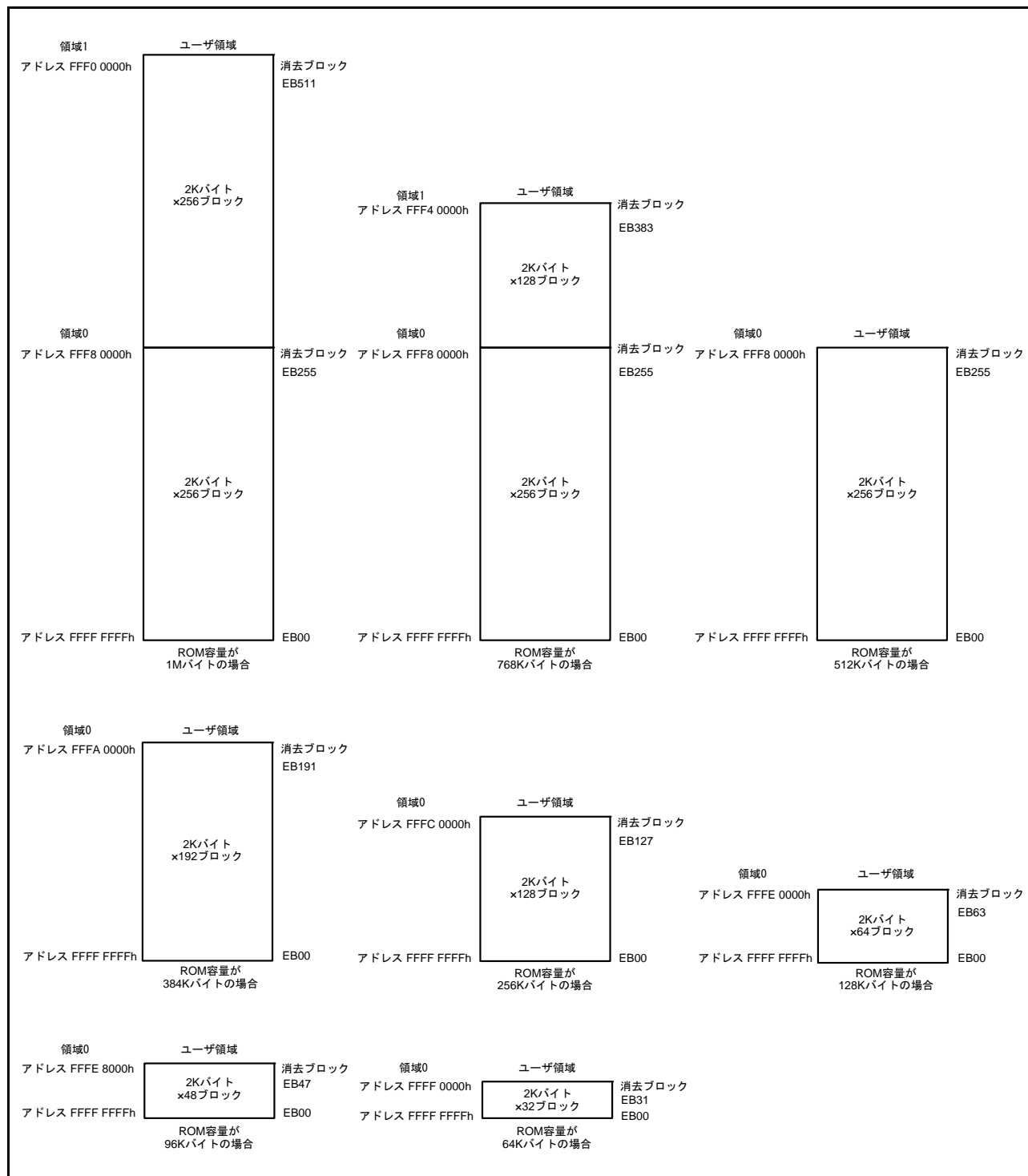


図 40.3 ユーザ領域の消去ブロックの構成

40.5 ROM 関連の動作モード

MD 端子の設定値と RX210 グループの動作モードの関係については、「3. 動作モード」を参照してください。

ブートモード/ユーザブートモード/シングルチップモード（内蔵 ROM 有効）/内蔵 ROM 有効拡張モードでは、オンボードで ROM の読み出し/プログラム/イレーズを実施できます。

各モードで、プログラム/イレーズ可能領域、リセット時の起動領域等が異なります。モードの相違点を表 40.4 に示します。

表 40.4 各モードの相違点

項目	ブートモード	ユーザブートモード	シングルチップモード （内蔵 ROM 有効）/ 内蔵 ROM 有効拡張モード
プログラム/イレーズ環境	オンボードプログラミング		
プログラム/イレーズ可能領域	ユーザ領域/ユーザブート領域/ データ領域	ユーザ領域/データ領域	ユーザ領域/データ領域
ブロック分割消去	○（注1）	○	○
リセット時の起動プログラム	ブートプログラム	ユーザブートプログラム	ユーザプログラム

注1. 起動時に全面消去される場合があります。その後、特定ブロックの消去ができます。詳細は「40.10.4 IDコードプロテクト（ブートモード）」を参照してください。

- ユーザブート領域のプログラム/イレーズは、ブートモードでのみ可能です。
- ブートモードでは、ホストから SCI 経由でのユーザ領域/ユーザブート領域/データ領域へのプログラム/イレーズ/読み出しが可能になります。
- ブートモードではブートプログラムで RAM を使用します。このため、RAM のデータは保持されません。
- ユーザブートモードは、（ブート領域から起動したあと）ユーザブート領域から起動し、任意のインタフェースでユーザ領域/データ領域の書き込み/読み出しが可能になります。

40.6 ROM へのプログラム/イレーズ

ROM へのプログラム/イレーズは、プログラム/イレーズ用の専用シーケンサ (FCU) にコマンド (FCU コマンド) を発行することで行います。FCU には、5 種類のモードがあります。プログラム/イレーズを行うためには、モードを移行させ、その後、プログラム/イレーズ用のコマンドを発行することで行います。

ROM へのプログラム/イレーズに必要なモード移行とコマンド体系について以下に説明します。これらはブートモード/ユーザブートモード/シングルチップモード (内蔵 ROM 有効) /内蔵 ROM 有効拡張モードで共通です。

40.6.1 FCU のモード

FCU には、5 種類のモードがあります。モードの移行は、FENTRYR レジスタへの書き込み、および FCU コマンドで行います。図 40.4 に FCU のモード遷移図を示します。

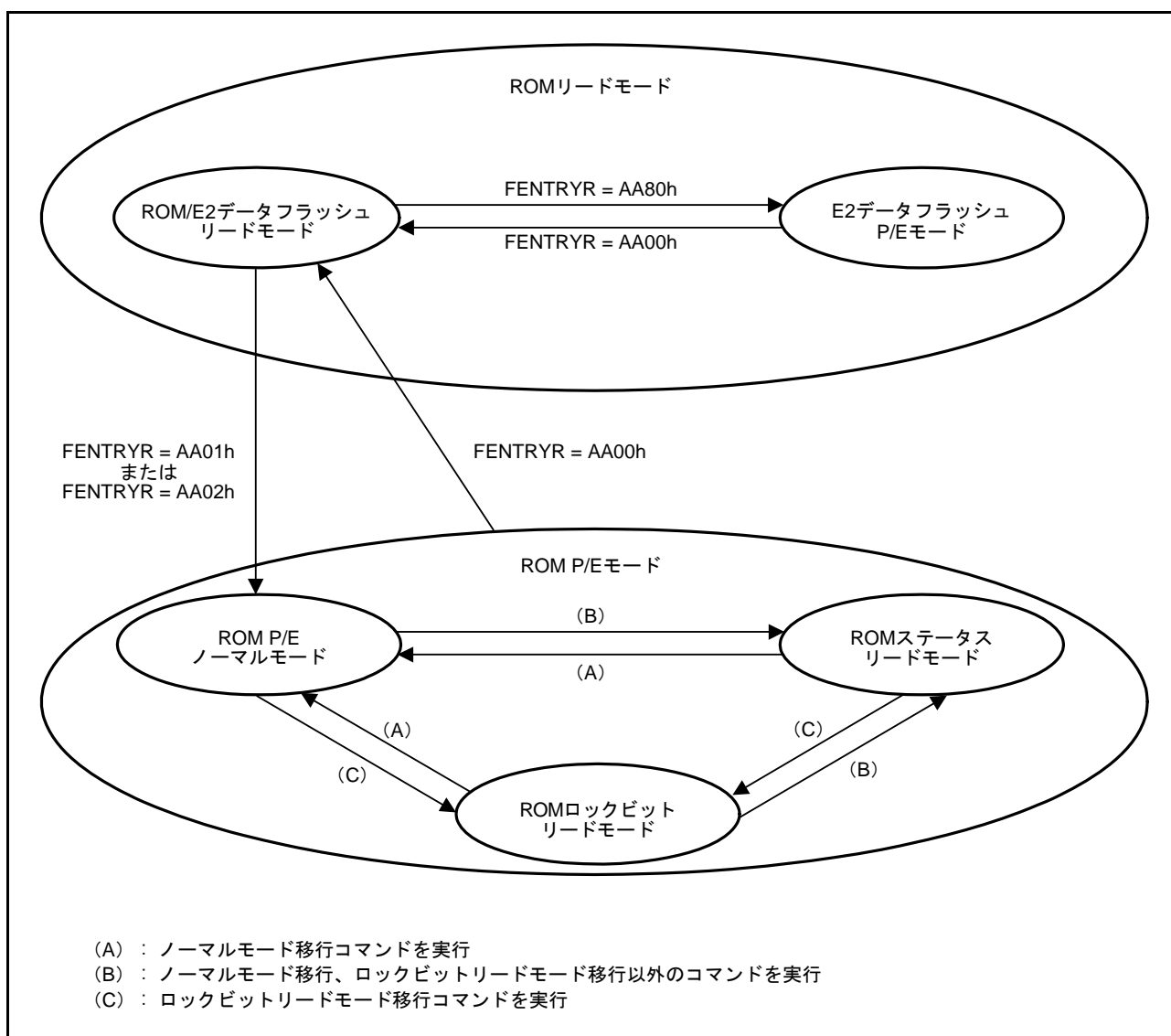


図 40.4 FCU のモード遷移図 (ROM 関連)

40.6.1.1 ROM リードモード

ROM リードモードは、ROM の高速読み出しを行うためのモードです。読み出し用アドレスに対してリードアクセスを実行した場合、ICLK 1 サイクルの高速読み出しが可能です。

ROM リードモードには、ROM/E2 データフラッシュリードモードと、E2 データフラッシュ P/E モードの 2 種類があります。

(1) ROM/E2 データフラッシュリードモード

ROM/E2 データフラッシュリードモードは、ROM および E2 データフラッシュの読み出しが可能なモードです。FCU コマンドは受け付けられません。FENTRYR.FENTRY0, FENTRY1 ビットをすべて“0”、かつ FENTRYR.FENTRYD ビットを“0”にした場合にこのモードに移行します。

(2) E2 データフラッシュ P/E モード

E2 データフラッシュ P/E モードは、E2 データフラッシュに対するプログラム/イレーズを行うモードです。ROM の高速読み出しは可能です。このモードは E2 データフラッシュに対する FCU コマンドは受け付けませんが、ROM に対する FCU コマンドは受け付けません。FENTRYR.FENTRY0, FENTRY1 ビットをすべて“0”、かつ FENTRYR.FENTRYD ビットを“1”にした場合にこのモードに移行します。

E2 データフラッシュ P/E モードの詳細は、「41. E2 データフラッシュ（データ格納用フラッシュメモリ）」の「41.6.1 FCU のモード」を参照してください。

40.6.1.2 ROM P/E モード

ROM P/E モードは、ROM に対するプログラム/イレーズを行うモードです。ROM の高速読み出しはできません。読み出し用アドレスに対してリードアクセスを実行した場合、ROM アクセス違反が発生して FCU はコマンドロック状態になります（「40.8.2 コマンドロック状態」を参照）。

ROM P/E モードには、ROM P/E ノーマルモード、ROM ステータスリードモード、ROM ロックビットリードモードの 3 種類のモードがあります。

(1) ROM P/E ノーマルモード

ROM P/E ノーマルモードは、ROM へのプログラム/イレーズをする上で最初に移行するモードです。ROM リードモード時に FENTRYR.FENTRYD ビットを“0”、かつ FENTRYR.FENTRY0, FENTRY1 ビットのいずれかを“1”にした場合、または ROM P/E モードでノーマルモード移行コマンドを受け付けた場合に移行します。表 40.7 に受け付け可能なコマンドを示します。

FENTRYR.FENTRY0, FENTRY1 ビットのいずれかが“1”の状態プログラム/イレーズ用のアドレスに対してリードアクセスを実行した場合は、ROM アクセス違反が発生して FCU はコマンドロック状態になります（「40.8.2 コマンドロック状態」を参照）。

(2) ROM ステータスリードモード

ROM ステータスリードモードは、ROM のステータスが読めるモードです。ROM P/E モードでノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に移行します。

FSTATR0.FRDY ビットが“0”の状態やエラー発生後のコマンドロック状態も、ROM ステータスリードモード中の状態です。表 40.7 に受け付け可能なコマンドを示します。

FENTRYR.FENTRY0, FENTRY1 ビットのいずれかが“1”の状態、対応するプログラム/イレーズ用のアドレスに対してリードアクセスを実行した場合は、FSTATR0 レジスタの値が読めます。

(3) ROM ロックビットリードモード

ROM ロックビットリードモードは、ROM への読み出しでロックビットが読めるモードです。ROM P/E モードでロックビットリードモード移行コマンドを受け付けた場合に移行します。表 40.7 に受け付け可能なコマンドを示します。

FENTRYR.FENTRY0, FENTRY1 ビットのいずれかが“1”の状態、対応するプログラム/イレーズ用のアドレスに対してリードアクセスを実行した場合は、読み出しデータの全ビットがアクセス先の消去ブロックのロックビット値になります。

40.6.2 FCU コマンド一覧

FCU コマンドには、FCU のモードを移行させるためのコマンドと、プログラム/イレーズを行うためのコマンドがあります。表 40.5 に ROM で使用可能な FCU コマンドの一覧を示します。

表 40.5 FCU コマンド一覧（ROM 関連）

コマンド	機能
P/E ノーマルモード移行	ノーマルモードに移行（「40.6.3 FCU のモードとコマンドの関係」を参照）
ステータスリードモード移行	ステータスリードモードに移行（「40.6.3 FCU のモードとコマンドの関係」を参照）
ロックビットリードモード移行 （ロックビットリード1）	ロックビットリードモードに移行（「40.6.3 FCU のモードとコマンドの関係」を参照）
周辺クロック通知	周辺クロックの周波数を設定
プログラム	ROM への書き込み（2/8/128 バイト単位）
ブロックイレーズ	ROM の消去（ブロック単位、ロックビットも同時に消去）
P/E サスペンド	プログラム/イレーズの中断
P/E レジューム	プログラム/イレーズの再開
ステータスレジスタクリア	FSTATR0.ILGLERR, ERSERR, PRGERR ビットのクリアとコマンドロック状態の解除
ロックビットリード2/ ブランクチェック	指定した消去ブロックのロックビット読み出し（FSTATR1.FLOCKST ビットにロックビットを反映）/E2 データフラッシュのブランクチェック
ロックビットプログラム	指定した消去ブロックのロックビットを書き込み

ロックビットリード2 コマンドは、E2 データフラッシュのブランクチェックコマンドを兼ねています。E2 データフラッシュに対してロックビットリード2 コマンドを発行した場合は、E2 データフラッシュのブランクチェックが実行されます（「41. E2 データフラッシュ（データ格納用フラッシュメモリ）」を参照）。

FCU コマンドの発行は、ROM プログラム/イレーズ用のアドレスに対しライトアクセスを行うことで実現されます。表 40.6 に FCU コマンドのフォーマットを示します。表 40.6 に示したライトアクセスを FCU の特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。

FCU の特定条件下については「40.6.3 FCU のモードとコマンドの関係」を、各 FCU コマンドの使用方法については「40.6.4 FCU コマンド使用方法」を参照してください。

表40.6 FCUコマンドのフォーマット

コマンド	バス サイクル 数	1 サイクル目		2 サイクル目		3 サイクル目		4~5 サイクル目		6 サイクル目		7~N+2 サイクル目		N+3 サイクル目	
		アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ
P/Eノーマルモード移行	1	RA	FFh	—	—	—	—	—	—	—	—	—	—	—	—
ステータスリードモード移行	1	RA	70h	—	—	—	—	—	—	—	—	—	—	—	—
ロックビットリードモード移行 (ロックビットリード1)	1	RA	71h	—	—	—	—	—	—	—	—	—	—	—	—
周辺クロック通知	6	RA	E9h	RA	03h	WA	0F0Fh	RA	0F0Fh	RA	D0h	—	—	—	—
プログラム(2バイト書き込み：N=1)	4	RA	E8h	RA	01h	WA	WDn	—	—	—	—	—	—	RA	D0h
プログラム(8バイト書き込み：N=4)	7	RA	E8h	RA	04h	WA	WDn	RA	WDn	RA	WDn	—	—	RA	D0h
プログラム(128バイト書き込み：N=64)	67	RA	E8h	RA	40h	WA	WDn	RA	WDn	RA	WDn	RA	WDn	RA	D0h
ブロックイレーズ	2	RA	20h	BA	D0h	—	—	—	—	—	—	—	—	—	—
P/Eサスペンド	1	RA	B0h	—	—	—	—	—	—	—	—	—	—	—	—
P/Eレジューム	1	RA	D0h	—	—	—	—	—	—	—	—	—	—	—	—
ステータスレジスタクリア	1	RA	50h	—	—	—	—	—	—	—	—	—	—	—	—
ロックビットリード2	2	RA	71h	BA	D0h	—	—	—	—	—	—	—	—	—	—
ロックビットプログラム	2	RA	77h	BA	D0h	—	—	—	—	—	—	—	—	—	—

アドレスの列 RA： ROM プログラム/イレーズ用のアドレス
ROM 容量が 64K バイトで FENTRYR.FENTRY0 ビットが“1”の場合：
00FF 0000h ~ 00FF FFFFh の任意アドレス
ROM 容量が 96K バイトで FENTRYR.FENTRY0 ビットが“1”の場合：
00FE 8000h ~ 00FF FFFFh の任意アドレス
ROM 容量が 128K バイトで FENTRYR.FENTRY0 ビットが“1”の場合：
00FE 0000h ~ 00FF FFFFh の任意アドレス
ROM 容量が 256K バイトで FENTRYR.FENTRY0 ビットが“1”の場合：
00FC 0000h ~ 00FF FFFFh の任意アドレス
ROM 容量が 384K バイトで FENTRYR.FENTRY0 ビットが“1”の場合：
00FA 0000h ~ 00FF FFFFh の任意アドレス
ROM 容量が 512K、768K、1M バイトで FENTRYR.FENTRY0 ビットが“1”の場合：
00F8 0000h ~ 00FF FFFFh の任意アドレス
ROM 容量が 768K バイトで FENTRYR.FENTRY1 ビットが“1”の場合：
00F4 0000h ~ 00F7 FFFFh の任意アドレス
ROM 容量が 1M バイトで FENTRYR.FENTRY1 ビットが“1”の場合：
00F0 0000h ~ 00F7 FFFFh の任意アドレス

WA： ROM 書き込み先アドレス
書き込みデータ 2/8/128 バイトの先頭アドレス

BA： ROM 消去ブロックアドレス
対象消去ブロック内の任意アドレス（プログラム/イレーズ用アドレスで指定）

データの列 WDn： 書き込みデータ n ワード目（n=1 ~ 64）

40.6.3 FCU のモードとコマンドの関係

FCU の各モードは、モードごとに受け付け可能な FCU コマンドが決められています。また、それらモードにおける FCU の状態によっても受け付け可能なコマンドは変わります。

FCU コマンドの発行は、FCU のモードを移行させた後、FCU の状態を確認してから発行する必要があります。

表 40.7 に FCU のモードおよび状態で受け付け可能なコマンドを示します。受け付け不可能なコマンドが発行された場合には、FCU はコマンドロック状態になります (「40.8.2 コマンドロック状態」を参照)。

FCU コマンドの発行は、受け付け可能なモードに移行した後、FSTATR0.FRDY, ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットの値を確認してから行ってください。なお、FASTAT.CMDLK ビットの値により、エラーの発生有無を確認することもできます。FASTAT.CMDLK ビットの値は、FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットの値の論理和です。

表 40.7 FCU のモード/状態と受け付け可能なコマンドの関係 (ROM P/E モード)

	P/E ノーマルモード			ステータスリードモード									ロックビットリードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	プログラム/イレーズの処理中	消去サスペンド中の書き込み処理中	プログラム/イレーズの中断処理中	ロックビットリード2処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態 (FRDY=0)	コマンドロック状態 (FRDY=1)	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATR0.FRDY ビット	1	1	1	0	0	0	0	1	1	0	1	1	1	1	1
FSTATR0.SUSRDY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
FSTATR0.ERSSPD ビット	0	1	0	0	1	0/1	0	0	1	0/1	0/1	0	0	1	0
FSTATR0.PRGSPD ビット	1	0	0	0	0	0/1	0	1	0	0/1	0/1	0	1	0	0
FASTAT.CMDLK ビット	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
ノーマルモード移行	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ロックビットリードモード移行 (ロックビットリード1)	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
周辺クロック通知	×	×	○	×	×	×	×	×	×	×	×	○	×	×	○
プログラム	×	△	○	×	×	×	×	×	△	×	×	○	×	△	○
ブロックイレーズ	×	×	○	×	×	×	×	×	×	×	×	○	×	×	○
P/E サスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×	×	×
P/E レジューム	○	○	×	×	×	×	×	○	○	×	×	×	○	○	×
ステータスレジスタクリア	○	○	○	×	×	×	×	○	○	×	○	○	○	○	○
ロックビットリード2	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ロックビットプログラム	×	△	○	×	×	×	×	×	△	×	×	○	×	△	○

○ : 受け付け可能、△ : 消去中断したブロック以外への書き込みのみ受け付け可能、× : 受け付け不可能

40.6.4 FCU コマンド使用方法

FCU コマンドには、FCU のモードを移行するコマンド、実際に ROM にプログラム / イレーズを行うコマンド、エラー処理のコマンド、サスペンド / レジュームのコマンドがあります。以下に各コマンドの説明をします。それぞれのコマンドの受け付け可能モードおよび状態については、「40.6.3 FCU のモードとコマンドの関係」を参照してください。

40.6.4.1 モード移行

ここではモード移行に関するコマンドを説明します。各モード移行の関係は、図 40.4 を参照してください。

(1) ROM P/E モード移行方法

ROM 関連の FCU コマンドを実行するためには、ROM P/E モードに移行する必要があります。

ROM P/E モードに移行するためには、プログラム / イレーズを行う ROM のアドレスに対応した FENTRYR.FENTRY0, FENTRY1 ビットを“1”にします。

プログラム / イレーズを行う場合は、FWEPROR レジスタにバイトで“01h”を書き込み、プログラム / イレーズ可能状態にしてください（「40.2.1 フラッシュライトイレーズプロテクトレジスタ（FWEPROR）」を参照）。

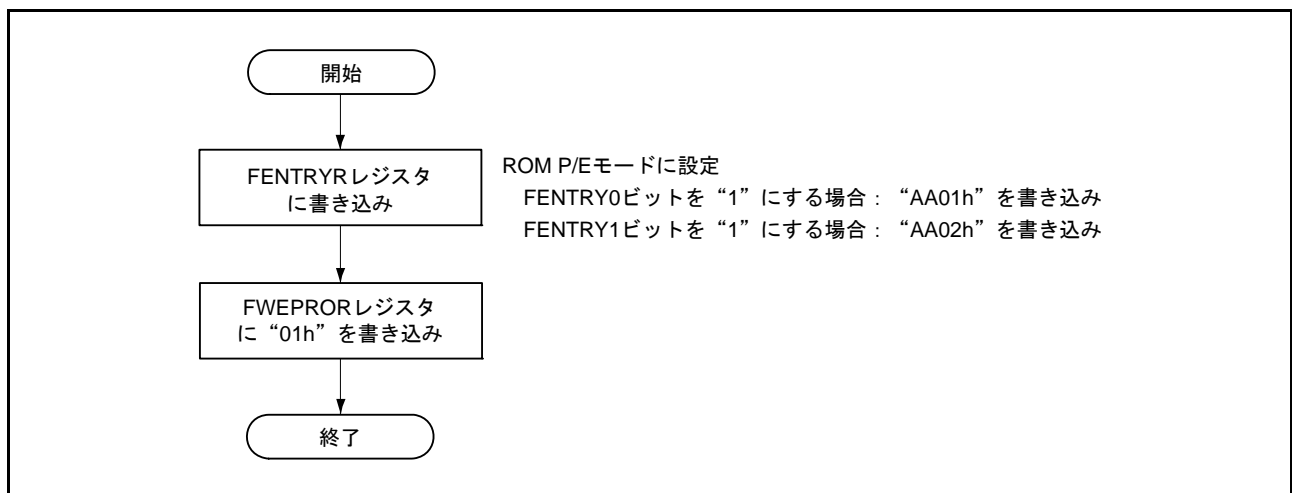


図 40.5 ROM P/E モード移行フロー

(2) ROM リードモード移行方法

ROM の高速読み出しを行うためには、FENTRYR.FENTRY0, FENTRY1 ビットを“0”にして、FCU を ROM リードモードに設定する必要があります。

また、FWEPROR レジスタにバイトで“02h”を書き込み、プログラム / イレーズ不可能状態にする必要があります（「40.2.1 フラッシュライトイレーズプロテクトレジスタ（FWEPROR）」を参照）。

ROM P/E モードから ROM リードモードへの移行は、FCU のコマンド処理が完了し、かつ FCU がエラー検出していない状態で実施してください。

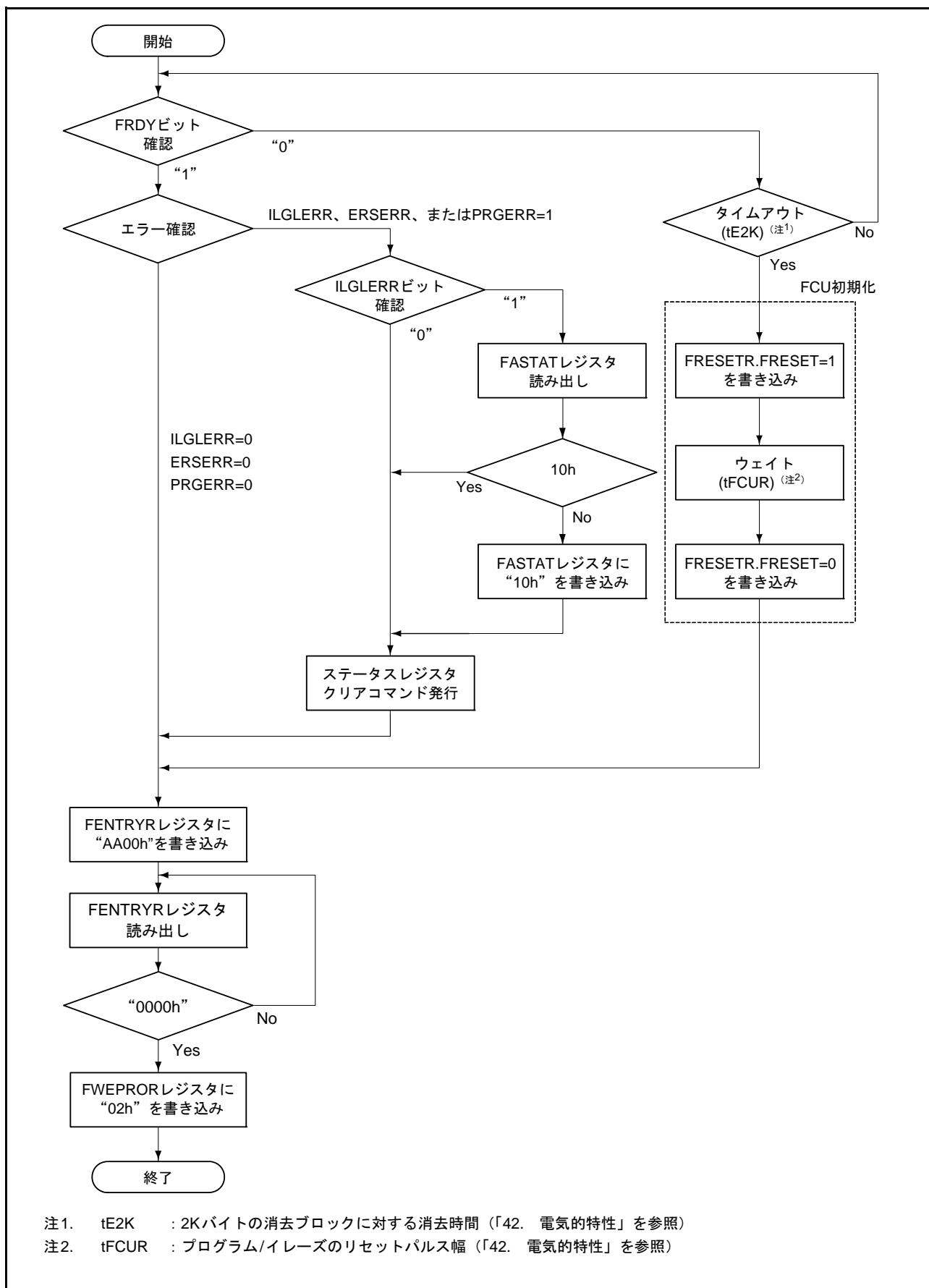


図 40.6 ROM リードモード移行フロー

(3) ROM P/E ノーマルモード移行方法

ROM P/E ノーマルモードへの移行方法には、ROM リードモード時に FENTRYR レジスタを設定する方法（「40.6.1 FCU のモード」を参照）と、ROM P/E モード時にノーマルモード移行コマンドを発行する方法（図 40.7）があります。ノーマルモード移行コマンドは、“FFh”をROM プログラム/イレーズ用のアドレスにバイト書き込みを行うことで実施されます。

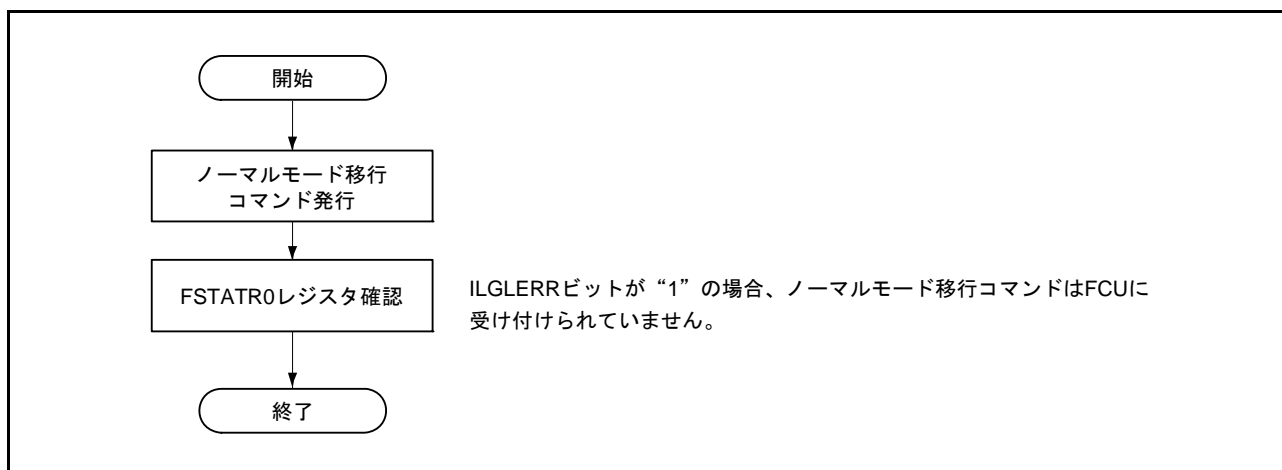


図 40.7 ROM P/E ノーマルモード移行フロー

(4) ROM ステータスリードモード移行方法

ノーマルモード移行、ロックビットリードモード移行以外のFCU コマンドを発行すると、FCU はROM ステータスリードモードに移行します。また、ステータスリードモード移行コマンドを発行することでも移行できます。図 40.8 に FSTATR0 レジスタの確認の例を示します。この例はステータスリードモード移行コマンドを発行してROM ステータスリードモードに移行した後で、ROM プログラム/イレーズ用アドレスに対してリードアクセスを実行して、FSTATR0 の内容を確認しています。

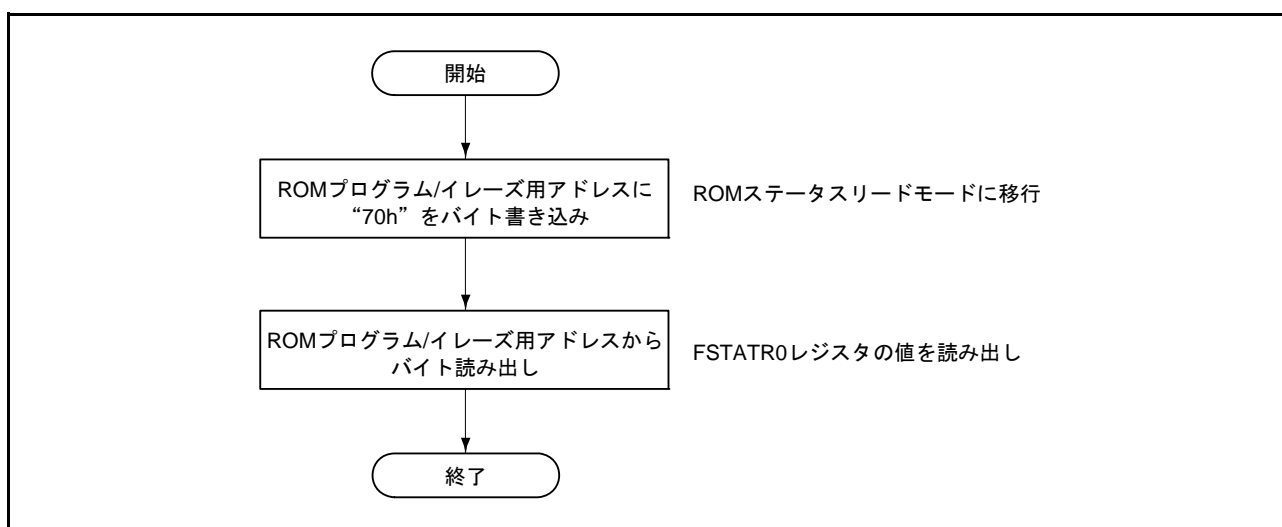


図 40.8 ROM ステータスリードモード移行フローおよびステータスの確認方法

(5) ROM ロックビットリードモード移行方法

FMODR.FRDMMD ビットが“0”（メモリ領域リード方式）で、ロックビットリードモード移行コマンド（ロックビットリード1）を発行することで移行します。ROM ロックビットリードモードに移行後にROM プログラム/イレーズ用のアドレスに対してリードアクセスを実行すると、アクセス先に対応する消去ブロックのロックビットが読み出され、読み出しデータの全ビットにコピーされます（図 40.9）。

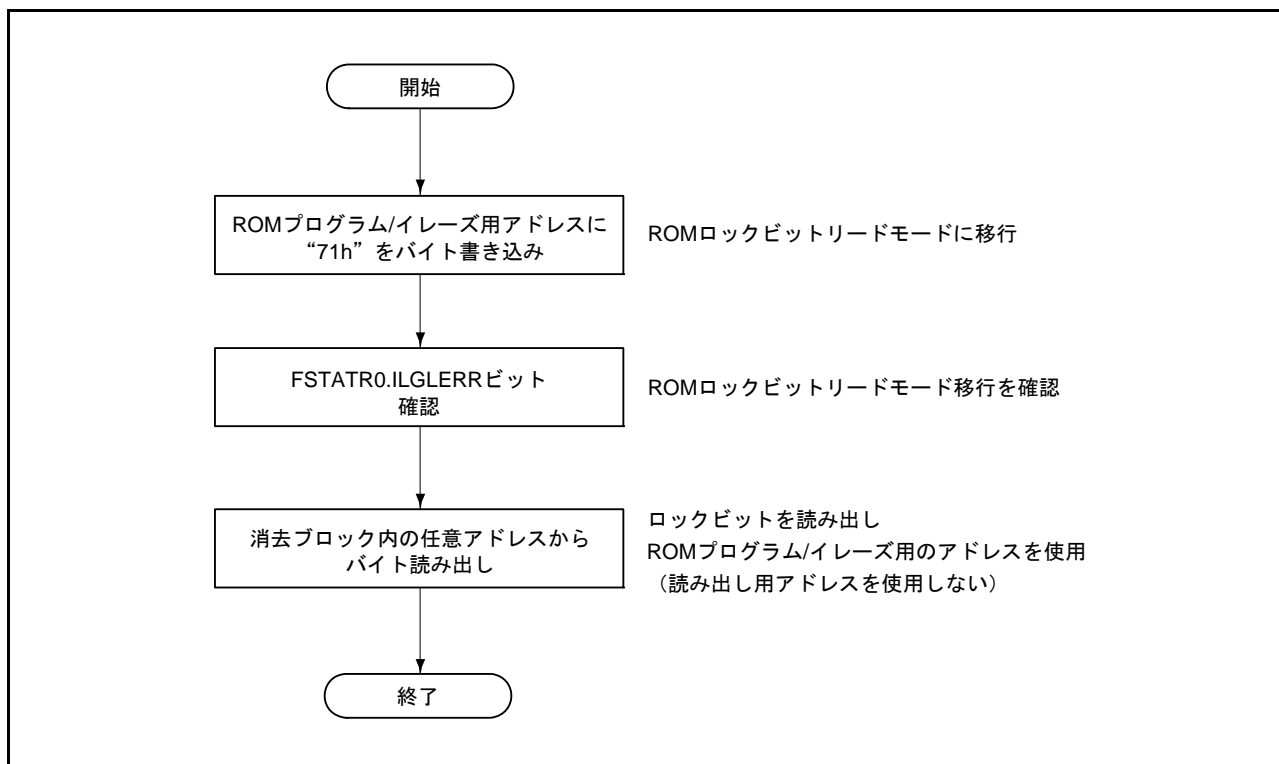


図 40.9 ROM ロックビットリードモード移行フローおよびロックビットを読む方法

40.6.4.2 プログラム/イレーズ方法手順

ここではROMへのプログラム/イレーズのフローについて説明します。FCUのコマンド受け付け条件については、「40.6.3 FCUのモードとコマンドの関係」を参照してください。

図40.10にFCUコマンドの概略フローを示します。

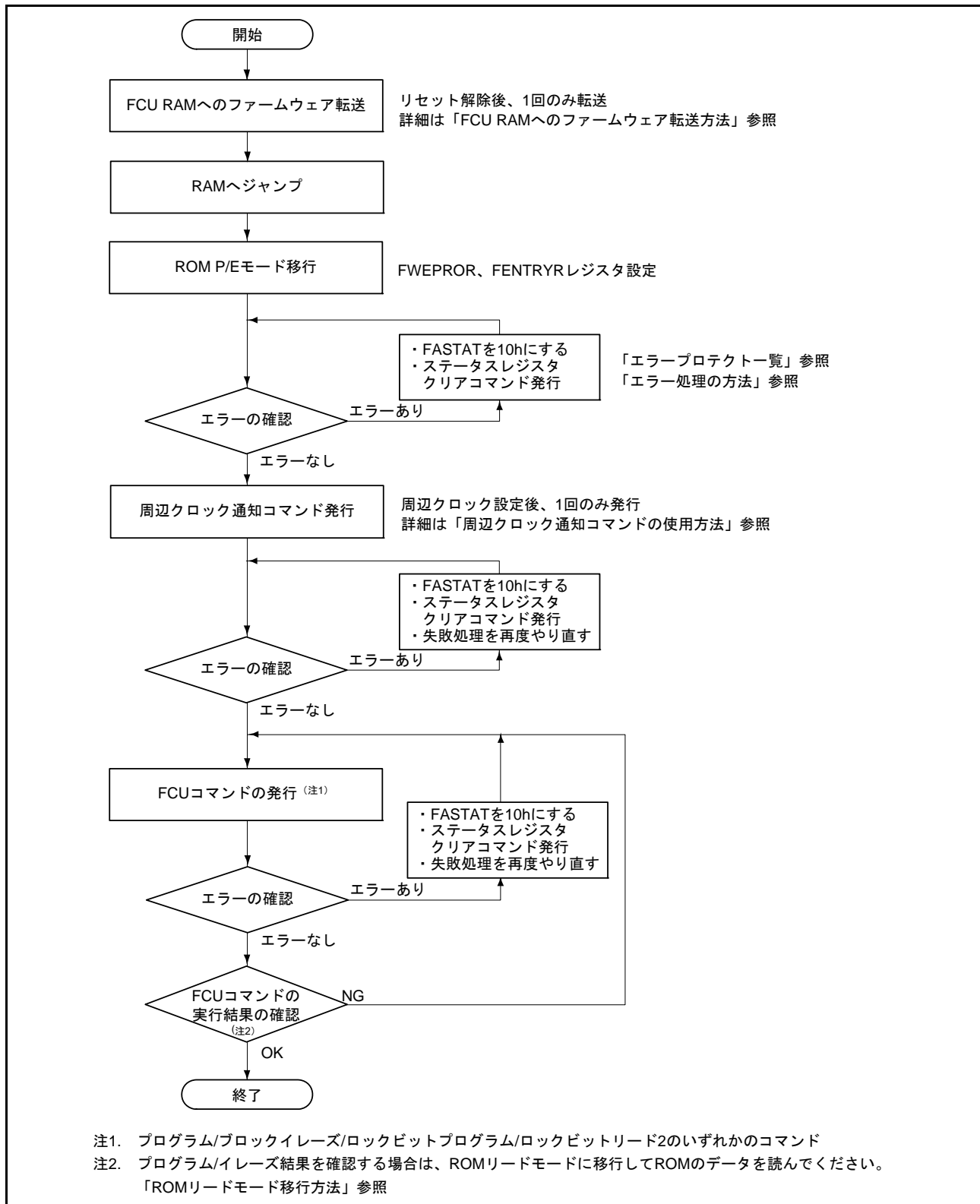


図 40.10 プログラム/イレーズ処理の概略フロー

(1) FCU RAM へのファームウェア転送方法

FCU コマンドを使用するためには、FCU RAM に FCU 用のファームウェアを格納する必要があります。チップ起動時には FCU RAM に FCU のファームウェアが格納されていないため、FCU ファーム領域に格納された FCU ファームウェアを FCU RAM にコピーする必要があります。また、FSTATR1.FCUERR ビットが“1”の場合には、FCU RAM に格納されたファームウェアが破壊されている可能性があるため、FCU をリセットし FCU ファームを再コピーする必要があります。

図 40.11 に FCU RAM へのファームウェア転送フローを示します。FCU RAM にデータを書く場合には、FENTRYR レジスタを“0000h”にして FCU を停止させてください。DMAC 設定方法の詳細は、「16. DMA コントローラ (DMACA)」を参照してください。

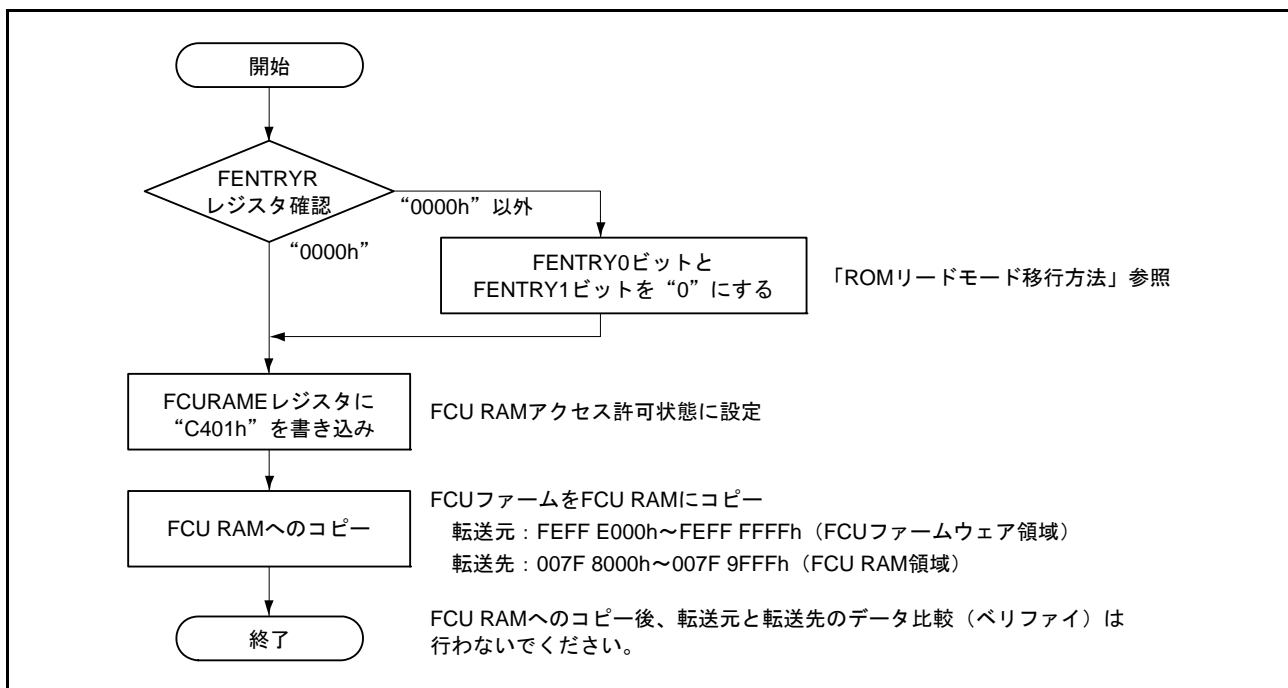


図 40.11 FCU RAM へのファームウェア転送フロー

(2) RAM へのジャンプ

ROM へのプログラム / イレージスを行う場合、ROM に対する命令フェッチを実行させないため、ROM 以外の領域に移る必要があります。必要な命令コードを RAM へコピーして RAM へジャンプしてください。

(3) ROM P/E モード移行

FENTRYR.FENTRY0, FENTRY1 ビット、FWEPROR レジスタを設定して、FCU を ROM P/E モードに設定する必要があります。詳細は「40.6.4.1 (1) ROM P/E モード移行方法」を参照してください。

(4) 周辺クロック通知コマンドの使用方法

ROM へのプログラム/イレーズ前に使用している FlashIF クロック（FCLK）の周波数を PCKAR レジスタに設定する必要があります。設定可能な周波数の範囲は 4MHz ～ 32MHz です。この範囲に設定しなかった場合には、FCU はエラーを検出しコマンドロック状態になります（「40.8.2 コマンドロック状態」を参照）。なお、PCKAR レジスタの PCKA[7:0] ビットが 4MHz ～ 32MHz の範囲外に設定された場合は、ROM/E2 データフラッシュに対する書き換えコマンドを発行しないでください。

PCKAR レジスタの設定後に周辺クロック通知コマンドを使用します。周辺クロック通知コマンドの第 1 サイクルでは“E9h”を、第 2 サイクルでは“03h”を ROM プログラム/イレーズ用のアドレスにバイト書き込みします。コマンドの第 3 サイクル～第 5 サイクルでは、ワードサイズで書き込みを実行します。ROM プログラム/イレーズ用のアドレスに対して“0F0Fh”データの 3 回ワード書き込みを実行後、第 6 サイクルで ROM プログラム/イレーズ用のアドレスに対して“D0h”をバイト書き込みすると、FCU が周辺クロックの周波数設定処理を開始します。設定完了は、FSTATR0.FRDY ビットで確認可能です。

第 1 サイクル～第 6 サイクルで指定可能なアドレスは、FENTRYR.FENTRY0, FENTRY1 ビットの設定によって異なります。FENTRYR.FENTRY0, FENTRY1 ビットに対応したアドレスを指定してください。誤った FENTRYR.FENTRY0, FENTRY1 ビットとアドレス指定の組み合わせでコマンドを発行した場合には、FCU はエラーを検出しコマンドロック状態になります（「40.8.2 コマンドロック状態」を参照）。

なお、この設定はリセット後、使用している周辺クロックの設定を変更しなければ、1 回の実行で後続の FCU コマンドで有効になります。

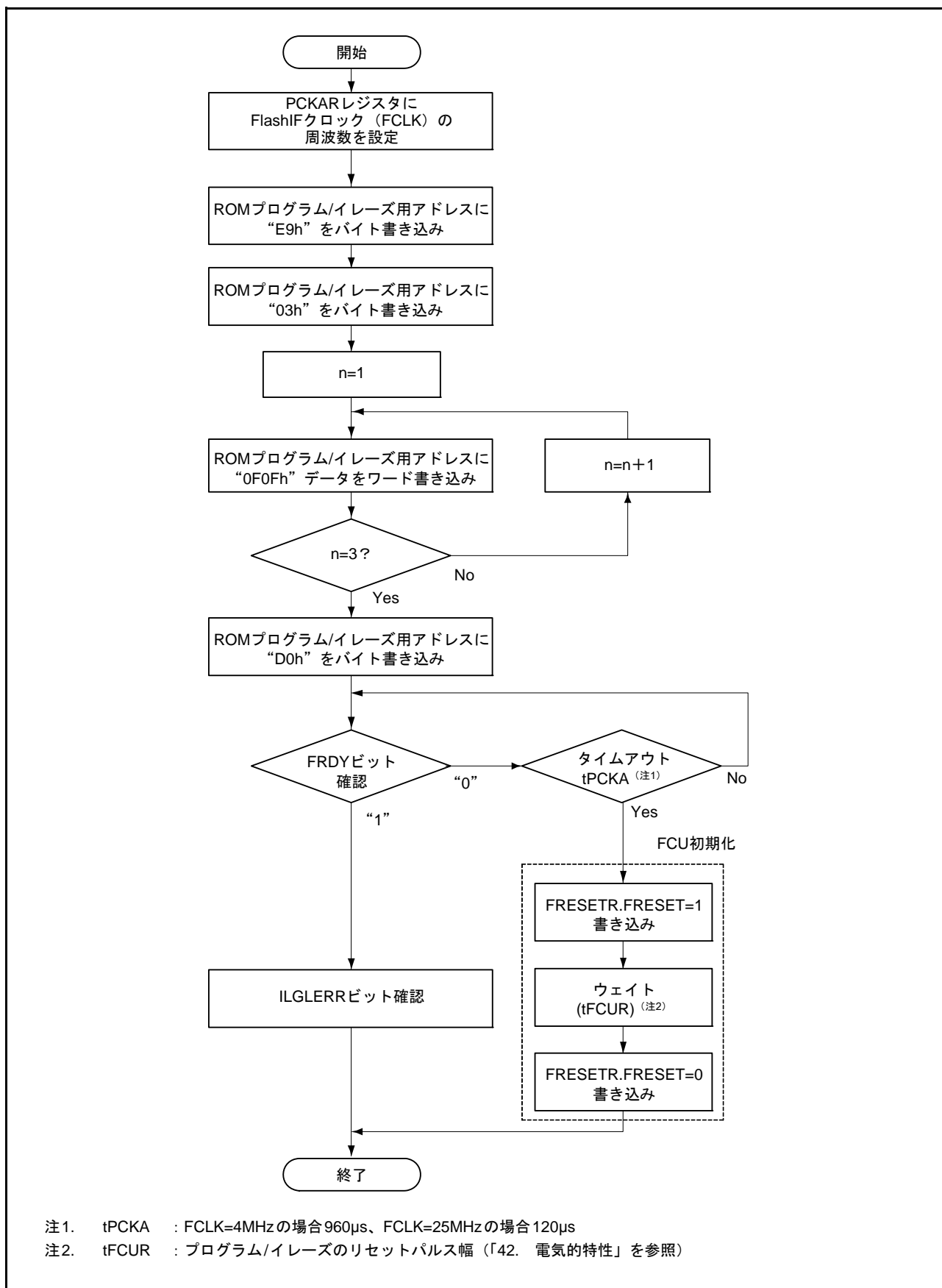


図 40.12 周辺クロック通知コマンドの使用法

(5) プログラム方法

ROM へのデータ書き込みには、プログラムコマンドを使用します。

プログラムコマンドの第1サイクルでは“E8h”を、第2サイクルでは、2バイト書き込みの場合は“01h”を、8バイト書き込みの場合は“04h”を、128バイト書き込みの場合は“40h”をROMプログラム/イレーズ用のアドレスにバイト書き込みします。第3サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータをワードサイズで書いてください。

128バイト書き込みの場合、第3サイクル～第66サイクルの64回に分けて128バイト(64ワード)のデータをROMにプログラムします。プログラムする128バイトの先頭アドレスは、第3サイクルで指定します。このとき指定するアドレスは128の整数倍である必要があります。第4サイクル～第66サイクルで指定するアドレスは、実際にプログラムするアドレスである必要はありません。

8バイト書き込みの場合、第3サイクル～第6サイクルの4回に分けて8バイト(4ワード)のデータをROMにプログラムします。プログラムする8バイトの先頭アドレスは、第3サイクルで指定します。このとき指定するアドレスは8の整数倍である必要があります。第4サイクル～第6サイクルで指定するアドレスは、実際にプログラムするアドレスである必要はありません。

2バイト書き込みの場合、第3サイクルでプログラムするアドレスとデータを指定します。アドレスは、偶数である必要があります。

第67サイクルでROMプログラム/イレーズ用のアドレスに対して“D0h”をバイト書き込みすると、FCUがROMへの書き込み処理を開始します。書き込みの完了は、FSTAT0.FRDIYビットで確認可能です。

第1サイクル～第67サイクルで指定可能なアドレスは、FENTRYR.FENTRY0, FENTRY1ビットの設定によって異なります。FENTRYR.FENTRY0, FENTRY1ビットに対応したアドレスを指定してください。誤ったFENTRYR.FENTRY0, FENTRY1ビットとアドレス指定の組み合わせでコマンドを発行した場合には、FCUはエラーを検出しコマンドロック状態になります（「40.8.2 コマンドロック状態」を参照）。

第3サイクル～第66サイクルでアクセスする領域に書き込み不要なアドレスが含まれる場合は、該当アドレスに対する書き込みデータを“FFFFh”にしてください。ロックビットによるプロテクトを無効化して書き込みを実施したい場合には、FPROTR.FPROTCNビットを“1”にしてから書き込みを行ってください。

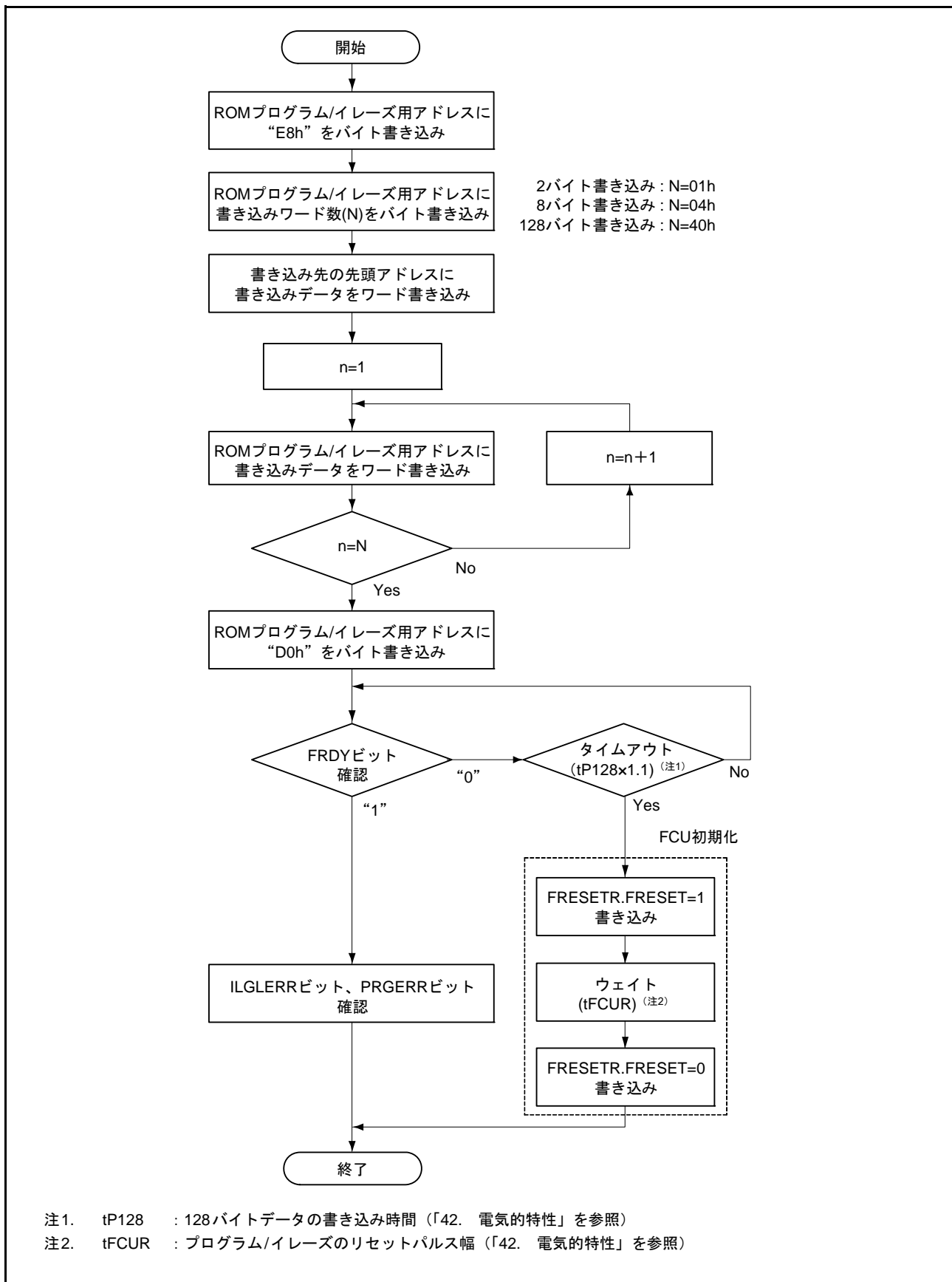


図 40.13 ROM プログラム方法

(6) イレーズ方法

ROMの消去には、ブロックイレーズコマンドを使用します。

ブロックイレーズコマンドの第1サイクルでは、“20h”をROMプログラム/イレーズ用アドレスにバイト書き込みします。第2サイクルで“D0h”を消去対象ブロック内の任意アドレスにバイト書き込みすると、FCUがROMの消去処理を開始します。消去の完了は、FSTATR0.FRDYビットで確認可能です。CPUで消去状態のROMを読むと32ビットでFFFF FFFFhが読めます。

ロックビットによるプロテクトを無効化して消去を実施したい場合には、FPROTR.FPROTCNビットをセットしてから消去を行ってください。

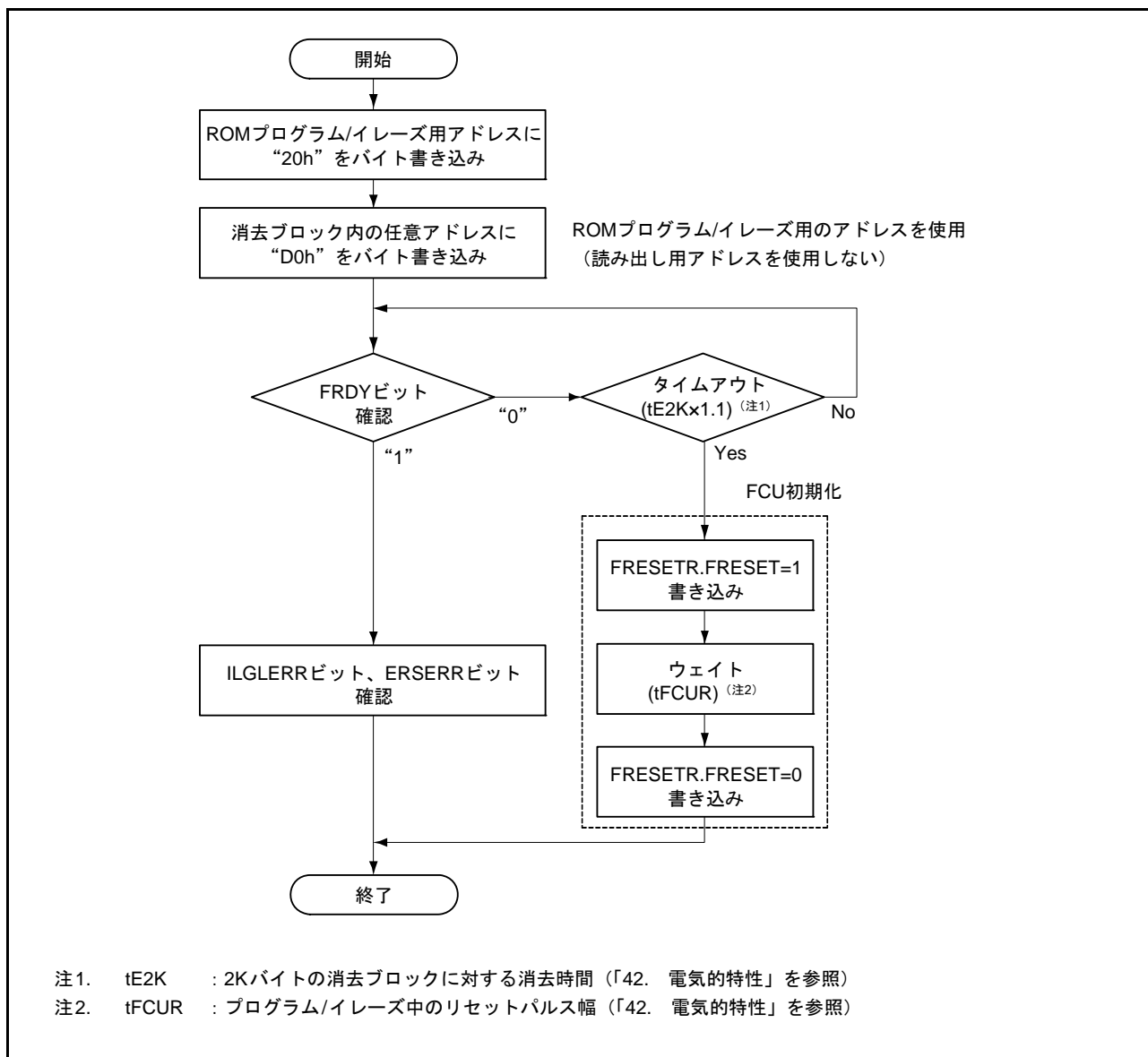


図 40.14 ROM イレーズ方法

(7) ロックビットのプログラム/イレーズ方法

ユーザ領域の各消去ブロックにはロックビットが内蔵されています。ロックビットに書き込みを行いたい場合には、ロックビットプログラムコマンドを使用します。ロックビットプログラムコマンドの第1サイクルでは、“77h”をROMプログラム/イレーズ用アドレスにバイト書き込みします。第2サイクルでロックビットを書き込みたい消去ブロック内の任意アドレスに対して“D0h”をバイト書き込みすると、FCUがロックビットの書き込み処理を開始します。書き込みの完了は、FSTATR0.FRDYビットで確認可能です。

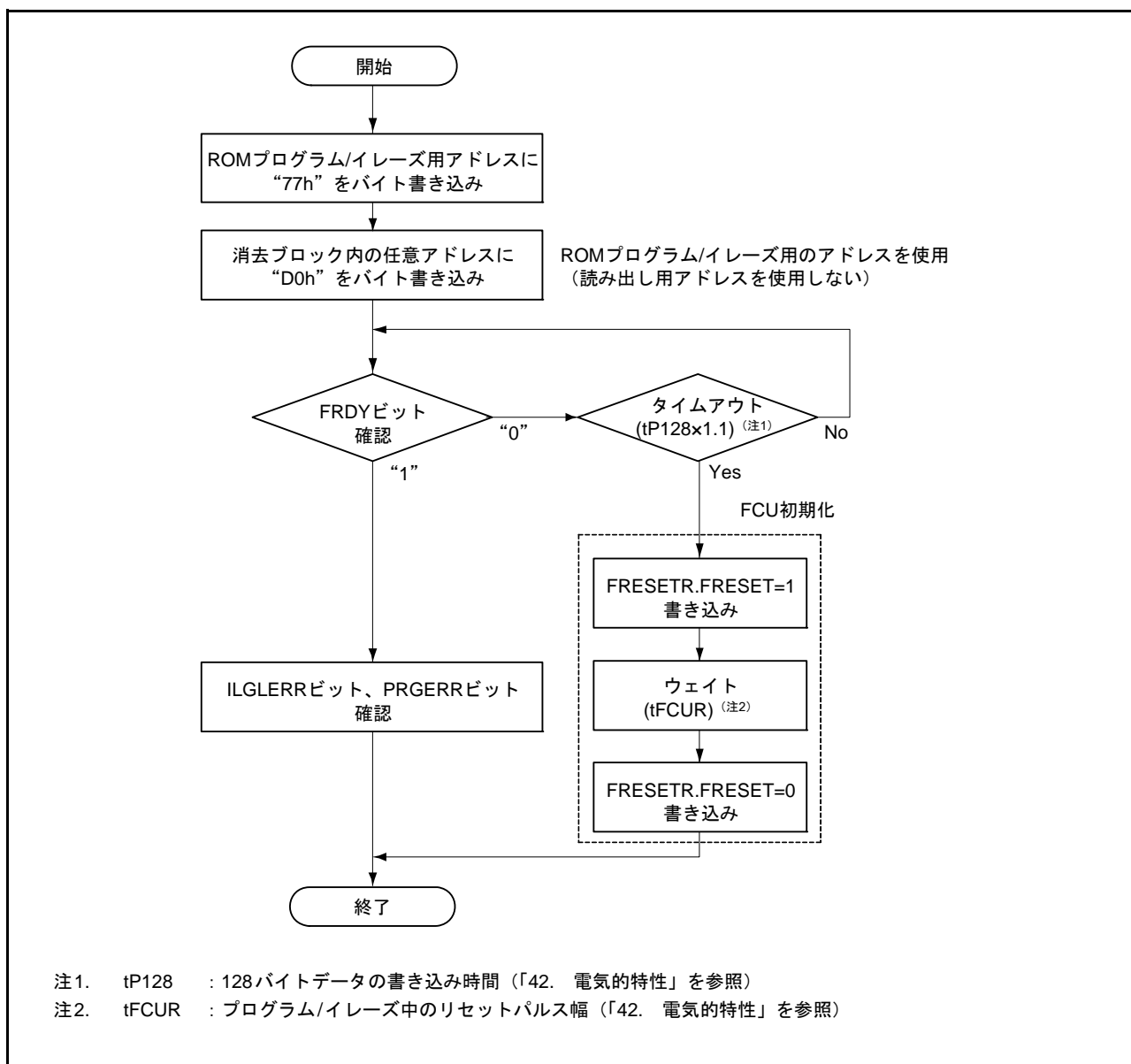


図 40.15 ロックビットのプログラムの設定方法

ロックビットの消去には、ブロックイレーズコマンドを使用します。

FPROTR.FPROTCNビットが“0”の状態では、ロックビットが“0”になった消去ブロックを消去することができません。ロックビットを消去する場合には、FPROTCNビットを“1”にした状態でブロックイレーズコマンドを発行してください。ブロックイレーズコマンドを使用すると消去ブロック内の全データが消去されます。ロックビットのみを消去することはできません。

(8) ロックビットの読み出し方法

ロックビットの読み出し方法には、メモリ領域リード方式とレジスタリード方式があります。

レジスタリード方式（FMODR.FRDMMD ビットが“1”）の場合には、ロックビットリード2コマンドを使用します。ロックビットリード2コマンドは、ロックビットを読み出したい消去ブロックのプログラム/イレーズ用アドレスに発行します。ロックビットリード2コマンドの第1サイクルでは“71h”を、第2サイクルでは“D0h”をそれぞれバイト書き込みすると、対応する消去ブロックのロックビットがFSTATR1.FLOCKST ビットにコピーされます。

メモリ領域リード方式（FMODR.FRDMMD ビットが“0”）の場合には、ロックビットリードモードに移行し、ROMへのプログラム/イレーズ用アドレスを読むことで行います。詳細については、「40.6.4.1 (5) ROMロックビットリードモード移行方法」を参照してください。

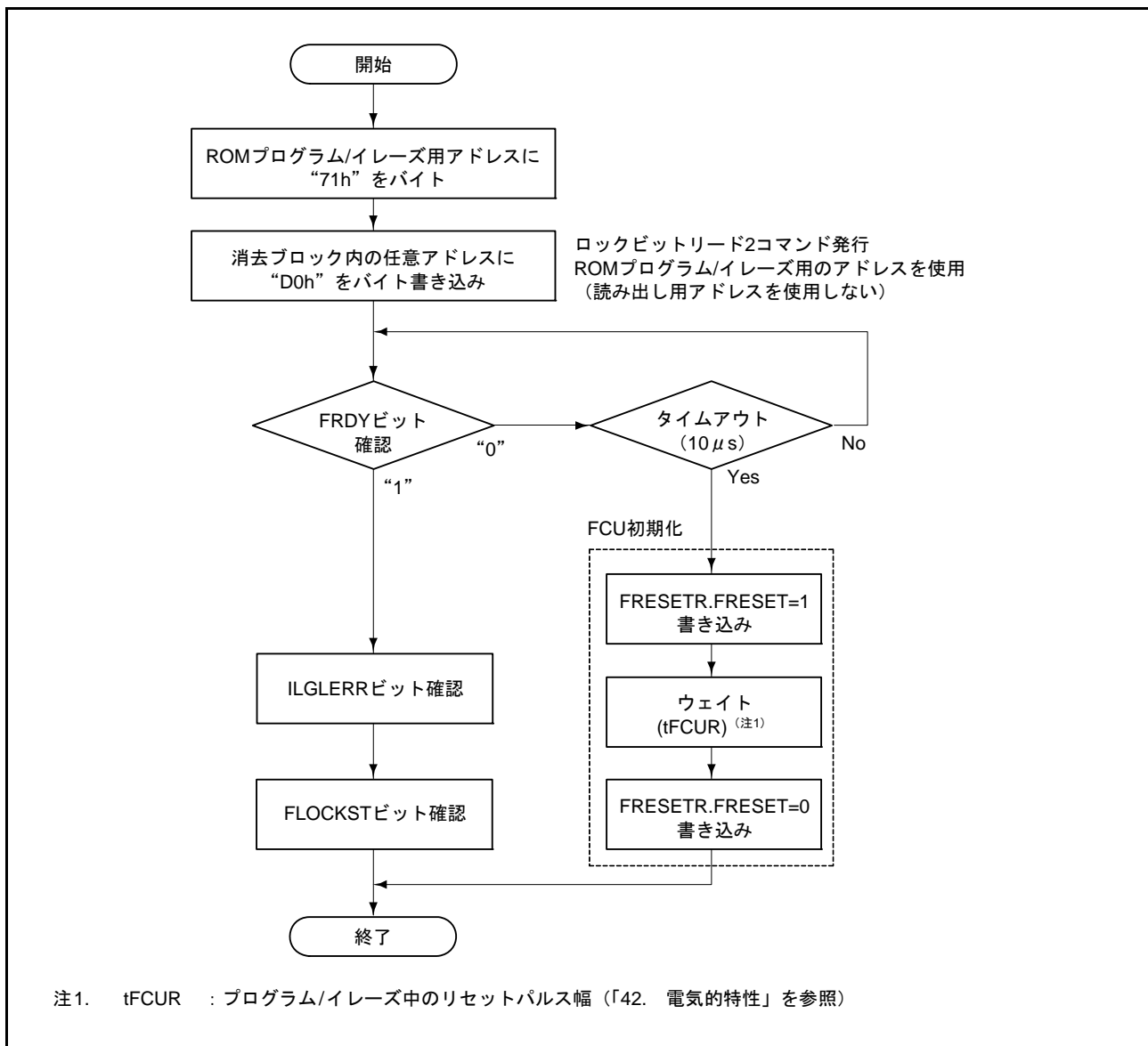


図 40.16 レジスタリード方式でロックビットを読み出す方法

40.6.4.3 エラー処理の方法

エラー発生時の処理方法を説明します。各種エラーの内容は「40.8 プロテクト」を参照してください。

(1) フラッシュステータスレジスタ 0 (FSTATR0) の確認方法

FSTATR0 レジスタの確認方法には、FSTATR0 レジスタを直接読み出す方法と、ROM ステータスリードモードでROM プログラム/イレーズ用アドレスを読み出す方法があります。

ROM ステータスリードモードで読み出す方法は、「40.6.4.1 (4) ROM ステータスリードモード移行方法」を参照してください。

(2) フラッシュステータスレジスタ 0 (FSTATR0) のクリア方法

FSTATR0.ILGLERR, ERSERR, PRGERR ビットを“0”にしたい場合には、ステータスレジスタクリアコマンドを使用します。

FSTATR0.ILGLERR, ERSERR, PRGERR ビットのいずれかが“1”の場合には、FCU はコマンドロック状態になり、ステータスレジスタクリアコマンド以外のFCU コマンドを受け付けません。ILGLERR ビットが“1”の場合には、FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビットの値も確認してください。これらのビットをクリアせずにステータスレジスタクリアコマンドを発行しても、ILGLERR ビットは“0”になりません。

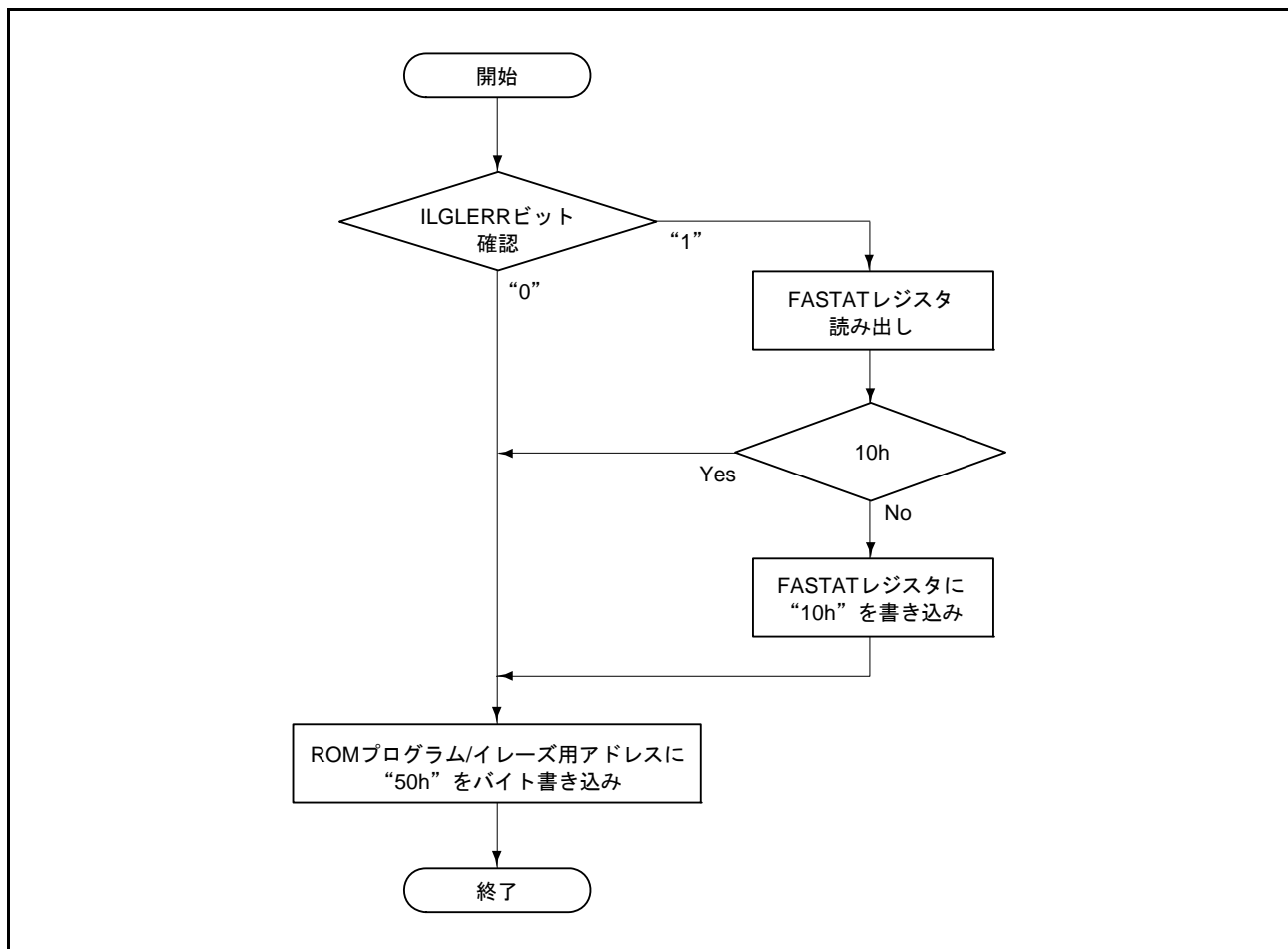


図 40.17 FSTATR0 レジスタのクリア方法

(3) FCUの初期化の方法

FCU コマンド発行後、タイムアウトにより FSTATR0.FRDY ビットが“1”にならない場合、FRESETR レジスタによる FCU の初期化が必要です。また、FSTATR1.FCUEERR ビットが“1”の場合も、FRESETR レジスタによる FCU 初期化が必要です。いずれの場合も FRESETR.FRESET ビットが“1”の状態を tFCUR 期間(「42. 電気的特性」を参照)保持してください。FRESET ビットを“1”に保持している期間は、ROM/E2 データフラッシュへの読み出しを禁止してください。また、FRESET ビットが“1”の状態では、FENTRYR レジスタが初期化されているため、FCU コマンドを使用することはできません。

図 40.10 の処理を先頭からやり直してください。

40.6.4.4 サスペンド/レジューム

(1) プログラム/イレーズのサスペンド方法

ROM へのプログラム/イレーズの中断には、P/E サスペンドコマンドを使用します。

P/E サスペンドコマンドを発行する場合には、事前に FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUEERR ビットが“0”でプログラム/イレーズ処理が正常に実行されていることを確認してください。また、サスペンドコマンドが受け付け可能であることを確認するために、FSTATR0.SUSRDY ビットが“1”であることも確認してください。P/E サスペンドコマンドの発行後は、FSTATR0 レジスタと FSTATR1 レジスタを読んでエラーが発生していないことを確認してください。

プログラム/イレーズ処理中に異常が発生した場合には、ILGLERR、PRGERR、ERSERR、FCUEERR ビットのうち少なくとも1つのビットが“1”になります。また、SUSRDY ビットが“1”であることを確認してから P/E サスペンドコマンドが受け付けられるまでの間にプログラム/イレーズ処理が完了していた場合には、発行した P/E サスペンドコマンドが不正コマンドとして検出されるため ILGLERR ビットが“1”になります。

P/E サスペンドコマンドの受け付けとプログラム/イレーズ処理の完了が同時であった場合にはエラーは発生せず、サスペンド状態にも遷移しません (FSTATR0.FRDY ビットが“1”、かつ FSTATR0.ERSSPD, PRGSPD ビットが“0”)。P/E サスペンドコマンドが受け付けられて、プログラム/イレーズの中断処理が正常に終了した場合には、FCU がサスペンド状態に遷移して FRDY ビットが“1”、かつ ERSSPD ビットまたは PRGSPD ビットが“1”になります。P/E サスペンドコマンド発行後には、ERSSPD ビットまたは PRGSPD ビットが“1”で、サスペンド状態に遷移していることを確認した後に、後続するフローを決定してください。サスペンド状態に遷移していないにも関わらず、後続するフローで P/E レジュームコマンドを発行すると、不正コマンドエラーが発生し FCU がコマンドロック状態に遷移します(「40.8.2 コマンドロック状態」を参照)。

消去サスペンド状態に遷移した場合には、消去対象外のブロックに対する書き込みを実行することができません。また、プログラム/イレーズサスペンド状態ともに、FENTRYR レジスタをクリアすることにより、ROM リードモードに移行することも可能です。

P/E サスペンドコマンド受け付け時の FCU 動作の内容については、「40.7 サスペンド動作」を参照してください。

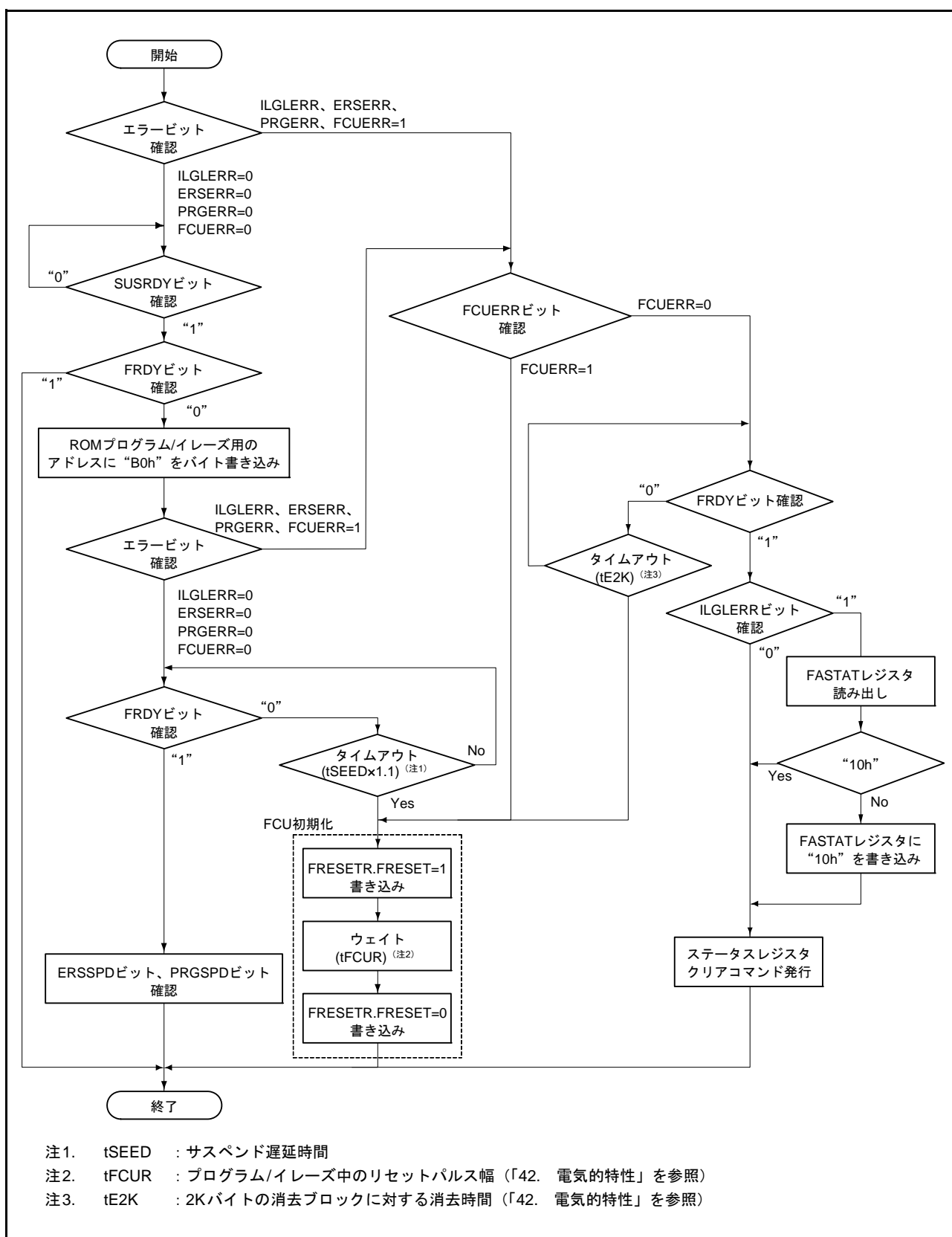


図 40.18 プログラム/イレーズのサスペンド方法

(2) プログラム/イレーズのレジューム方法

サスペンドしたプログラム/イレーズ処理を再開したい場合には、P/E レジュームコマンドを使用します。サスペンド中に FENTRYR レジスタの設定を変更した場合には、P/E レジュームコマンドを発行する前に FENTRYR レジスタを P/E サスペンドコマンド発行直前の値に再設定してください。

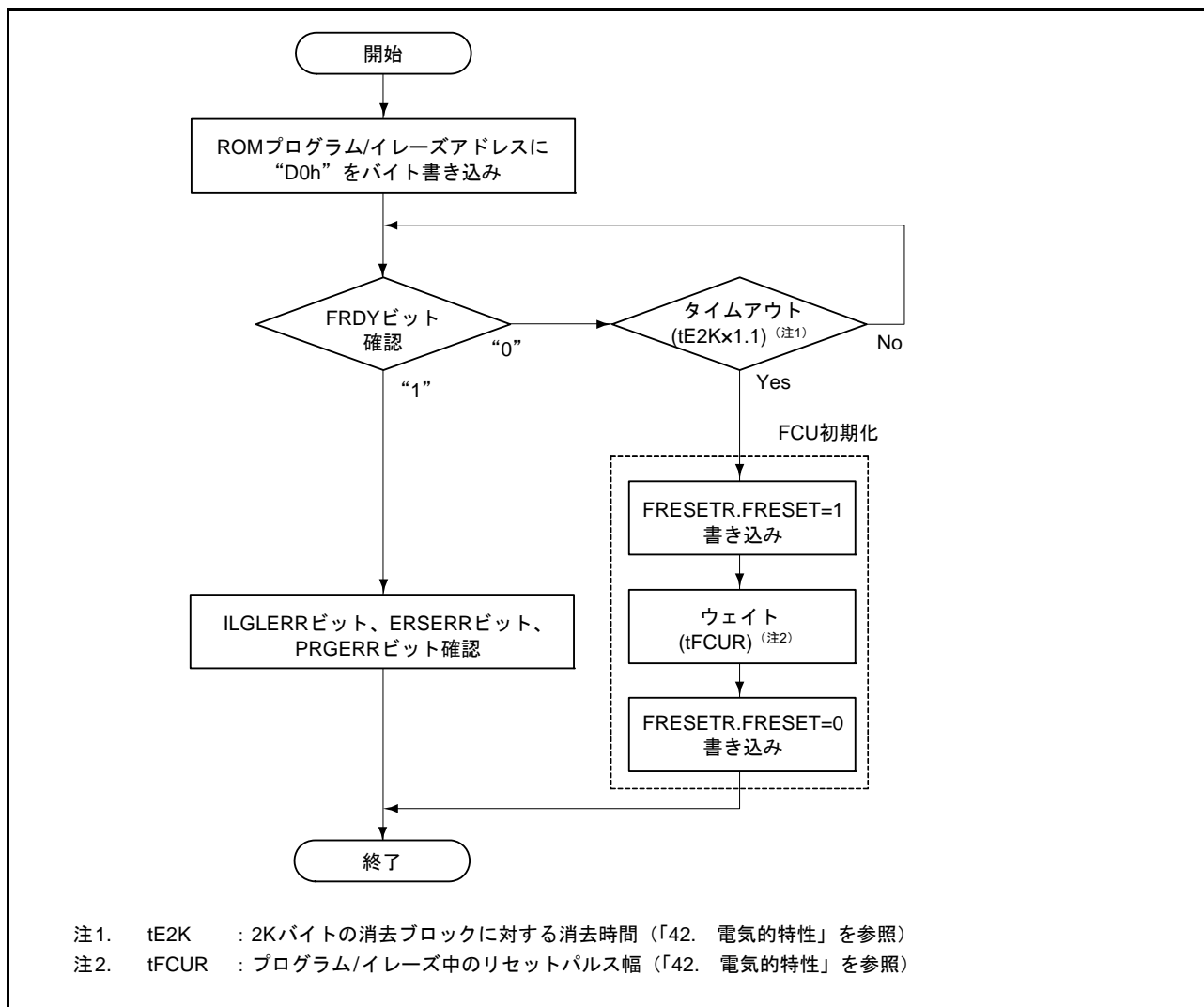


図 40.19 プログラム/イレーズのレジューム方法

40.7 サスペンド動作

プログラム/イレーズ処理中はROMの読み出しはできません。P/E サスペンドコマンドを発行し、ROMへのプログラム/イレーズ処理を中断させることによって、ROMの読み出しができるようになります。P/E サスペンドコマンドには、書き込み2種類（サスペンド優先モード、書き込み/消去優先モード）と消去2種類（サスペンド優先モード、書き込み/消去優先モード）のモードを用意しています。また、中断したプログラム/イレーズ処理を再開するP/E レジュームコマンドも用意しています。

(1) 消去中のサスペンド

- サスペンド優先モード：1パルス（注1）あたり、1回の割合で消去を中断してサスペンドが可能。
- 書き込み/消去優先モード：1パルス（注1）完了後、サスペンドを行う（図 40.20 参照）。

(2) 書き込み中のサスペンド

- サスペンド優先モード：1パルス（注1）あたり、1回の割合で書き込みを中断してサスペンドが可能。
- 書き込み/消去優先モード：1パルス（注1）完了後、サスペンドを行う。

注1. 1回のプログラム/イレーズコマンドに対し、複数回のパルスを発生させ、プログラム/イレーズを行います。

40.7.1 書き込み、および消去のサスペンド（サスペンド優先モード）

図 40.20 に消去サスペンドモードがサスペンド優先モード（FCPSR.ESUSPMD ビットが“0”）の場合の消去処理の中断動作を示します。

FCU は消去系のコマンドを受け付けると、FSTATR0.FRDY ビットを“0”にクリアして消去処理を開始します。消去処理の開始後に FCU が P/E サスペンドコマンドを受け付け可能な状態に移行すると、FCU は FSTATR0.SUSRDY ビットを“1”にします。P/E サスペンドコマンドが発行されると、FCU はサスペンドコマンドを受け付けて SUSRDY ビットを“0”にします。消去処理中にサスペンドコマンドを受け付けた場合には、FCU は消去パルス印加中でも中断処理を開始して FSTATR0.ERSSPD ビットを“1”にします。中断処理が完了すると、FCU は FRDY ビットを“1”にして、消去サスペンド状態に移行します。消去サスペンド状態で、FCU が P/E レジュームコマンドを受け付けた場合には、FCU は FRDY ビットと ERSSPD ビットを“0”にして、消去処理を再開します。消去処理の中断/再開時の FRDY、SUSRDY、ERSSPD ビット動作は、消去サスペンドモードに依存せず同様です。

消去サスペンドモードの設定は、消去パルスの制御方式に影響を与えます。サスペンド優先モードでは、過去に中断されたことのない消去パルス A を印加中に FCU が P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を中断して消去サスペンド状態に移行します。P/E レジュームコマンドにより消去が再開され、消去パルス A を再印加している期間に、FCU が P/E サスペンドコマンドを受け付けた場合には、FCU は消去パルス A の印加を継続します。所定のパルス印加時間を経過すると、FCU は消去パルスの印加を完了して消去サスペンド状態に移行します。次に FCU が P/E レジュームコマンドを受け付けて、新たな消去パルス B の印加が開始された後に、再び FCU が P/E サスペンドコマンドを受け付けた場合には、消去パルス B の印加は中断されます。サスペンド優先モードでは、1 パルスあたり 1 回の割合で消去パルスの印加を中断してサスペンド処理を優先するため、サスペンドの遅延を小さくできます。

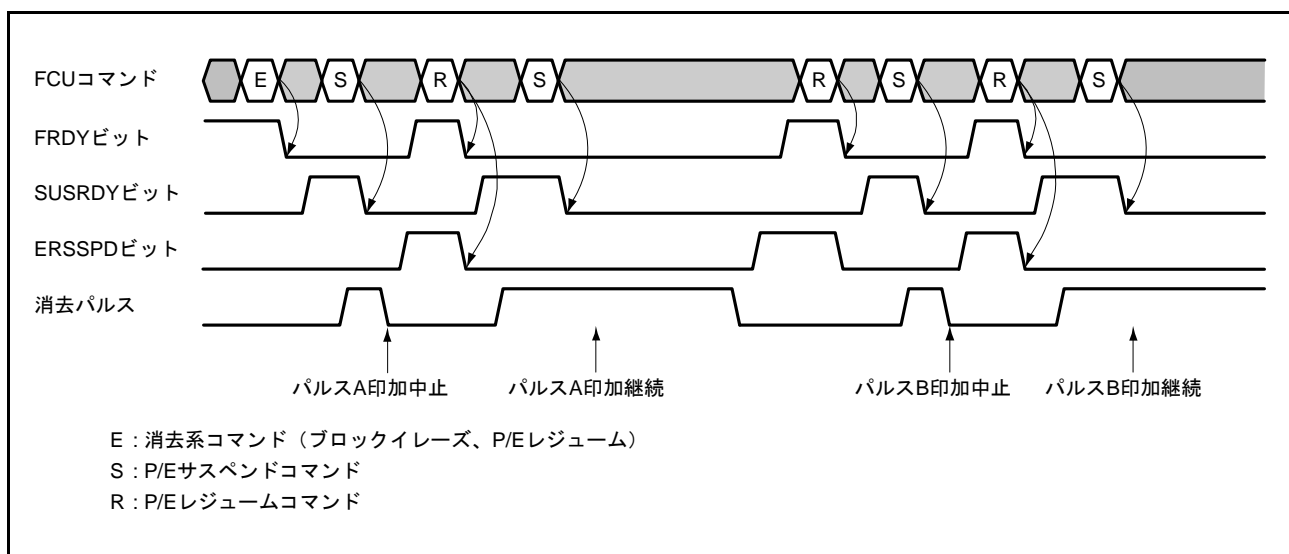


図 40.20 消去処理の中断動作（サスペンド優先モード）

40.7.2 書き込み、および消去のサスペンド（書き込み / 消去優先モード）

図 40.21 に書き込み / 消去優先モード（FCPSR.ESUSPMD ビットが“1”）の場合の消去処理の中断動作を示します。書き込み / 消去優先モードの消去パルス制御方式は、書き込み中断処理の書き込みパルス制御方式と同様です。

FCU が消去パルス印加中に P/E サスペンドコマンドを受け付けた場合には、消去パルスの印加を継続します。このモードでは P/E レジュームコマンド発行時に消去パルスの再印加が発生しないため、サスペンド優先モードと比較して消去処理全体に必要な時間を短縮可能です。

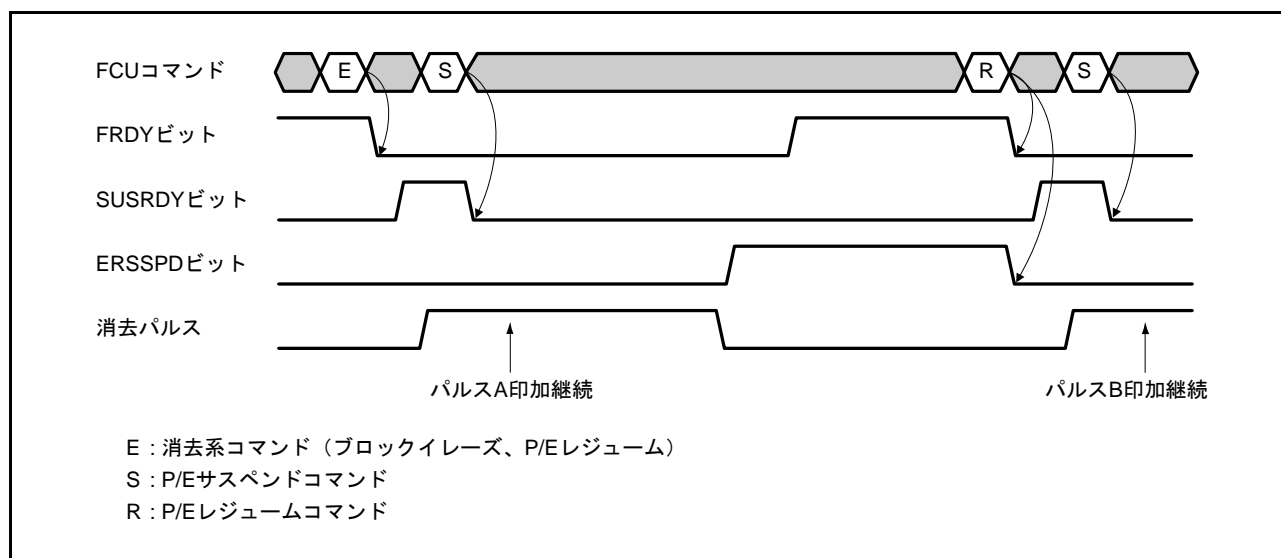


図 40.21 消去処理の中断動作（書き込み / 消去優先モード）

40.8 プロテクト

ROMに対するプログラム/イレーズのプロテクトには、ソフトウェアプロテクト、コマンドロック状態の2種類があります。

40.8.1 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定やユーザ領域のロックビット設定によってROMに対するプログラム/イレーズが禁止された状態です。ソフトウェアプロテクトに違反して、ROMに対するプログラム/イレーズ系コマンドを発行した場合には、FCUがエラーを検出してコマンドロック状態になります。

(1) FWEPROR レジスタによるプロテクト

FWEPROR.FLWE[1:0] ビットを“01b”にしないと、いずれのモードにおいても書き換えできません。

(2) FENTRYR レジスタによるプロテクト

FENTRYR.FENTRY0, FENTRY1 ビットが“0”の場合には、ROMリードモードになります。ROMリードモードではFCUコマンドが受け付けられないため、ROMへのプログラム/イレーズは禁止状態になります。ROMリードモードでFCUコマンドを発行すると、FCUは不正コマンドエラーを検出してコマンドロック状態になります（「40.8.2 コマンドロック状態」を参照）。

(3) ロックビットによるプロテクト

ユーザ領域の各消去ブロックにはロックビットが内蔵されています。FPROTR.FPROTCN ビットが“0”の場合には、ロックビットが“0”の消去ブロックに対するプログラム/イレーズは禁止状態になります。ロックビットが“0”の消去ブロックをプログラム/イレーズしたい場合には、FPROTCN ビットを“1”にしてください。ロックビットによるプロテクトに違反してROMに対するプログラム/イレーズ系コマンドを発行すると、FCUはプログラム/イレーズエラーを検出してコマンドロック状態になります（「40.8.2 コマンドロック状態」を参照）。

40.8.2 コマンドロック状態

コマンドロック状態は、FCUコマンドの誤発行、禁止アクセスの発生により、FCUが誤動作を検知してFCUコマンドの受け付けを禁止する状態です。

ステータスビット（FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FSTATR1.FCUERR ビット、FASTAT.ROMAE ビット）のいずれか、もしくはこれらのビットに複数“1”がセットされると、FCUがコマンドロック状態（FASTAT.CMDLK ビットが“1”）になり、ROMへのプログラム/イレーズが禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが“10h”の状態ですてータスレジスタクリアコマンドを発行する必要があります。

FAEINT.CMDLKIE ビットが“1”の場合には、FCUがコマンドロック状態（FASTAT.CMDLK ビットが“1”）になるとフラッシュインタフェースエラー（FIFERR）割り込みが発生します。また、FAEINT.ROMAEIE ビットが“1”の場合には、FASTAT.ROMAE ビットが“1”になった場合もFIFERR割り込みが発生します。

表 40.8 に ROM 関連のコマンドロック状態の内容とエラー検出時のステータスビット値（FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FSTATR1.FCUERR ビット、FASTAT.ROMAE ビット）の関係を示します。プログラム/イレーズ処理中にサスペンド以外のコマンドを発行するとコマンドロック状態に遷移しますが、FCUはプログラム/イレーズ処理を継続します。この状態でP/Eサスペンドコマンドを発行してプログラム/イレーズを中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビットが“1”になります。

表40.8 コマンドロック状態となるエラーの一覧 (ROM専用+ROM/E2データフラッシュ共通) (1 / 2)

分類	内容	ILGLERR	ERSERR	PRGERK	FCUERR	ROMAE
FENTRYR設定エラー	FENTRYR.FENTRYD, FENTRY0, FENTRY1ビットのうち複数“1”を設定	1	0	0	0	0
	サスペンド時とレジューム時でFENTRYRレジスタ設定が不一致	1	0	0	0	0
不正コマンドエラー	FCUコマンドの1サイクル目で未定義コードを指定	1	0	0	0	0
	複数サイクルのFCUコマンドの最終サイクルでD0h以外を指定	1	0	0	0	0
	PCKARレジスタに周辺クロック1~100MHz以外を設定 (1~4MHz、50~100MHzの設定ではエラー検出しません)	1	0	0	0	0
	プログラム/イレーズ処理中にサスペンド以外のコマンドを発行	1	0	0	0	0
	プログラム/イレーズ以外の処理中にサスペンドコマンドを発行	1	0	0	0	0
	サスペンド状態でサスペンドコマンドを発行	1	0	0	0	0
	サスペンド以外の状態でレジュームコマンドを発行	1	0	0	0	0
	書き込みサスペンド状態でプログラム/イレーズ系 (プログラム/ロックビットプログラム/ブロックイレーズ) コマンドを発行	1	0	0	0	0
	消去サスペンド状態でブロックイレーズコマンド発行	1	0	0	0	0
	消去サスペンド状態で消去サスペンド対象領域へのプログラム/ロックビットプログラムコマンドを発行	1	0	0	0	0
	プログラムコマンドの2サイクル目で01h、04h、40h以外を指定	1	0	0	0	0
	コマンドロック状態でコマンド発行	1	0/1	0/1	0/1	0/1
	消去エラー	消去処理中のエラー発生	0	1	0	0
FPROTR.FPROTCNビットが“0”の場合に、ロックビットが“0”に設定された消去ブロックにブロックイレーズコマンドを発行		0	1	0	0	0
書き込みエラー	書き込み処理中のエラー発生	0	0	1	0	0
	FPROTR.FPROTCNビットが“0”の場合に、ロックビットが“0”に設定された消去ブロックに対してプログラム/ロックビットプログラムコマンドを発行	0	0	1	0	0
FCUエラー	FCU内部の処理でエラー発生	0	0	0	1	0

表 40.8 コマンドロック状態となるエラーの一覧 (ROM専用+ROM/E2データフラッシュ共通) (2 / 2)

分類	内容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE
ROMアクセス違反	FENTRYR.FENTRY0ビット="1"、かつROM P/E ノーマルモードの場合に、ユーザ領域容量64Kバイトの場合00FF 0000h~00FF FFFFhに、ユーザ領域容量96Kバイトの場合00FE 8000h~00FF FFFFhに、ユーザ領域容量128Kバイトの場合00FE 0000h~00FF FFFFhに、ユーザ領域容量256Kバイトの場合00FC 0000h~00FF FFFFhに、ユーザ領域容量384Kバイトの場合00FA 0000h~00FF FFFFhに、ユーザ領域容量512K、768K、1Mバイトの場合00F8 0000h~00FF FFFFhに対するリードアクセスを発行	1	0	0	0	1
	FENTRYR.FENTRY1ビット="1"、かつROM P/E ノーマルモードの場合に、ユーザ領域容量768Kバイトの場合00F4 0000h~00F7 FFFFhに、ユーザ領域容量1Mバイトの場合00F0 0000h~00F7 FFFFhに対するリードアクセスを発行	1	0	0	0	1
	FENTRYR.FENTRY0ビット="0"で、ユーザ領域容量64Kバイトの場合00FF 0000h~00FF FFFFhに、ユーザ領域容量96Kバイトの場合00FE 8000h~00FF FFFFhに、ユーザ領域容量128Kバイトの場合00FE 0000h~00FF FFFFhに、ユーザ領域容量256Kバイトの場合00FC 0000h~00FF FFFFhに、ユーザ領域容量384Kバイトの場合00FA 0000h~00FF FFFFhに、ユーザ領域容量512K、768K、1Mバイトの場合00F8 0000h~00FF FFFFhに対するアクセスを発行	1	0	0	0	1
	FENTRYR.FENTRY0ビット="1"で、ユーザ領域容量768Kバイトの場合00F4 0000h~00F7 FFFFhに、ユーザ領域容量1Mバイトの場合00F0 0000h~00F7 FFFFhに対するアクセスを発行	1	0	0	0	1
	FENTRYRレジスタを設定してROM P/E モードに移行した状態で、ユーザ領域容量64Kバイトの場合FFFF 0000h~FFFF FFFFhに、ユーザ領域容量96Kバイトの場合FFFE 8000h~FFFF FFFFhに、ユーザ領域容量128Kバイトの場合FFFE 0000h~FFFF FFFFhに、ユーザ領域容量256Kバイトの場合FFFC 0000h~FFFF FFFFhに、ユーザ領域容量384Kバイトの場合FFFA 0000h~FFFF FFFFhに、ユーザ領域容量512Kバイトの場合FFF8 0000h~FFFF FFFFhに、ユーザ領域容量768Kバイトの場合FFF4 0000h~FFFF FFFFhに、ユーザ領域容量1Mバイトの場合FFF0 0000h~FFFF FFFFhに対してリードアクセスを発行	1	0	0	0	1

40.9 ユーザブートモード

MD 端子を Low、PC7 端子を High にしてリセットを解除すると、ユーザブートモードで起動します。このときのリセットベクタは、ユーザブート領域の FF7F FFFCh 番地になります。その他のベクタテーブルは、通常のベクタテーブルを参照します（「14. 割り込みコントローラ (ICUb)」を参照）。

ユーザブートモードでは、任意のインタフェースを使った書き換えプログラムを作成でき、FCU コマンドを発行してユーザ領域/データ領域へのプログラム/イレーズを実行することができます。なお、ユーザブート領域への書き込みは、ブートモードで実施してください。

40.10 ブートモード

40.10.1 システム構成

ブートモードでは、ホストから制御コマンドや書き込みデータを送信してユーザ領域/データ領域/ユーザブート領域へのプログラム/イレーズを実行可能です。ホストと RX210 間の通信には、内蔵の SCI を調歩同期モードで使用します。ホストには制御コマンドを送信するためのツールと書き込みデータを準備する必要があります。

RX210 をブートモードで起動すると、ブート領域上のプログラムが実行されます。ブート領域上のプログラムは、SCI のビットレートの自動調整とホストからの制御コマンドを受けて、プログラム/イレーズの制御をします。

図 40.22 にブートモード時のシステム構成を示します。

表 40.9 に ROM 関連の入出力端子を示します。

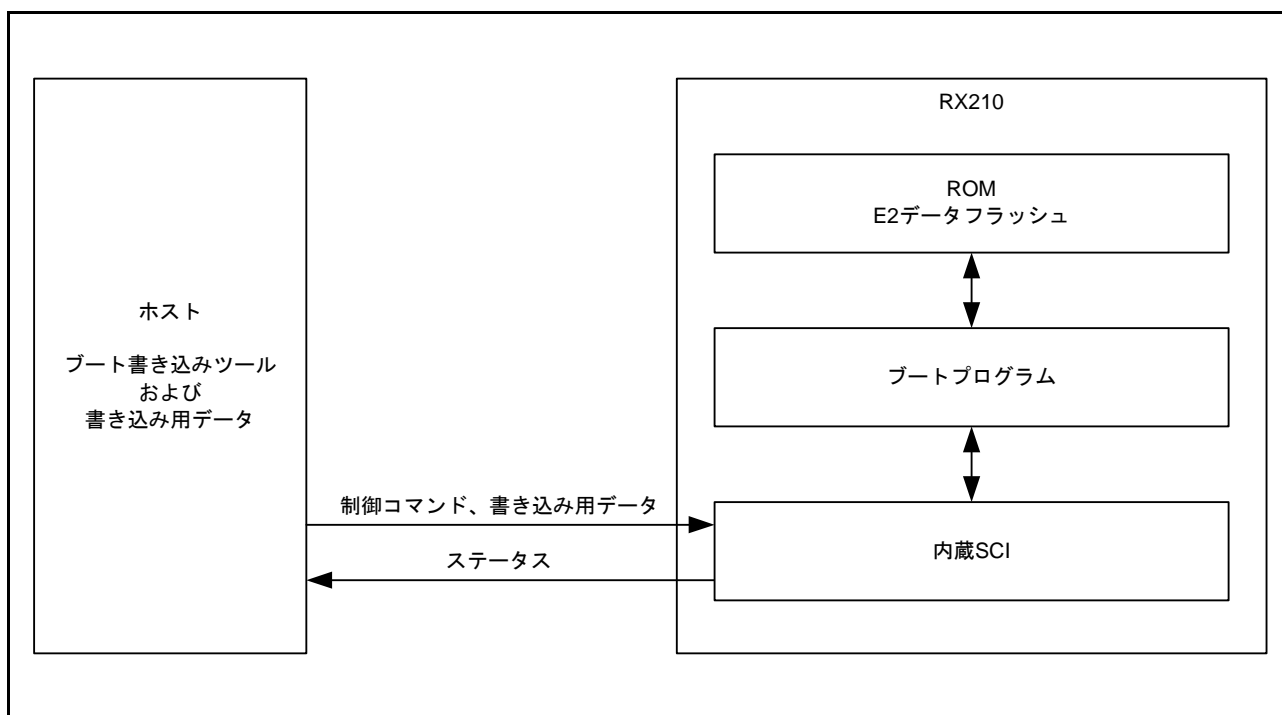


図 40.22 ブートモード時のシステム構成

表 40.9 ROM関連の入出力端子

端子名	入出力	機能
MD	入力	動作モードを設定
PC7	入力	ブートモード、ユーザブートモードを設定
P30/RXD1	入力	ブートモード時に使用。SCI1の受信データ（ホスト通信用）
P26/TXD1	出力	ブートモード時に使用。SCI1の送信データ（ホスト通信用）

40.10.2 ブートモードの状態遷移

図 40.23 にブートモードの状態遷移図を示します。

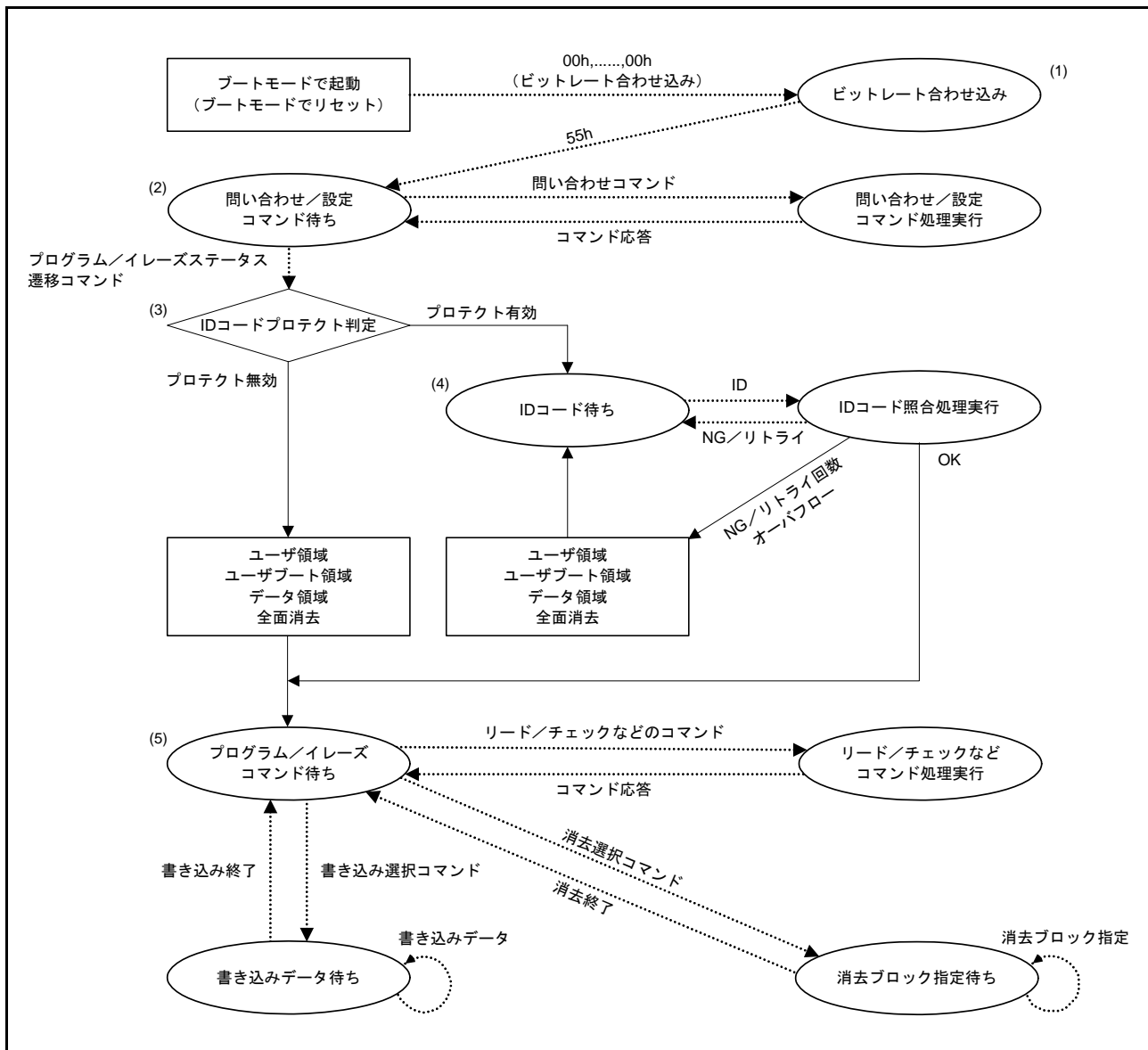


図 40.23 ブートモードの状態遷移図

(1) ビットレート合わせ込み

RX210 をブートモードで起動すると、ホストと SCI のビットレートの自動調整を実行します。ビットレートの自動調整が終了すると、RX210 からホストへ“00h”を送信します。その後、ホストから送信された“55h”を RX210 が正しく受信すると問い合わせ/設定コマンド待ちに遷移します。ビットレート合わせ込みの詳細は「40.10.3 ビットレートの自動調整」を参照してください。

(2) 問い合わせ/設定コマンド待ち

領域サイズ、領域構成、領域先頭アドレス、サポート状況などの問い合わせや、デバイス、クロックモード、ビットレートを選択するための状態です。ホストからプログラム/イレーズステータス遷移コマンドを発行すると、ID コードプロテクトの有効/無効判定に遷移します。問い合わせ/設定コマンドの詳細は「40.10.6 問い合わせ/設定コマンド待ち」を参照してください。

(3) ID コードプロテクト判定

ID コードプロテクトの有効/無効を判定します。ROM 上に書かれている制御コードおよび ID コードから ID コードプロテクトの有効/無効を判定し、有効時は ID コード待ち状態へ、無効時はユーザ領域/データ領域の全面消去を実行し、プログラム/イレーズコマンド待ちに遷移します。制御コードおよび ID コードの詳細は「40.10.4 ID コードプロテクト（ブートモード）」を参照してください。

(4) ID コード待ち

ホストから制御コードおよび ID コードが送られてくるのを待ちます。ホストから送られてくる制御コードおよび ID コードと ROM 上のコードを比較し、一致していればプログラム/イレーズコマンド待ちに遷移します。一致しなければ ID コード待ちに戻りますが、3 回数不一致が続いた場合かつプロテクト状態が認証方法 1 の場合、全面消去し、再び ID コード待ち状態に戻ります。この不一致状態を解除するには、リセットを入れる必要があります。制御コードおよび ID コードの詳細は「40.10.4 ID コードプロテクト（ブートモード）」を参照してください。

(5) プログラム/イレーズコマンド待ち

ホストからのコマンドにしたがって、プログラム/イレーズを実行する状態です。RX210 が受信したコマンドに応じて、書き込みデータ待ち、消去ブロック指定待ち、リード/チェックなどコマンド処理実行状態に遷移します。

RX210 が書き込み選択コマンドを受信した場合には、書き込みデータ待ちに遷移します。ホストから書き込み選択コマンドに続けて、書き込み先頭アドレス、書き込みデータを送信してください。書き込み先頭アドレスを FFFF FFFFh と設定すると、書き込みが終了して書き込みデータ待ちからプログラム/イレーズコマンド待ちに遷移します。

RX210 が消去選択コマンドを受信すると、消去ブロック指定待ち状態に遷移します。ホストから消去選択コマンドに続けて、消去ブロック番号を送信してください。消去ブロック番号を FFh と設定すると、消去が終了して消去ブロック指定待ちからプログラム/イレーズコマンド待ちに遷移します。ブートモードで起動してからプログラム/イレーズコマンド待ちに遷移する間にユーザ領域/ユーザブート領域/データ領域の全面が消去されていますので、ブートモードで新たに書き込んだデータをリセットせずに消去したい場合以外には消去を実行する必要はありません。

プログラム/イレーズ以外に、ユーザ領域/ユーザブート領域のチェックサム、ブランクチェック（消去チェック）、メモリリード、ステータス情報取得のためのコマンドもあります。

40.10.3 ビットレートの自動調整

RX210 をブートモードで起動すると、ホストから連続送信される調歩同期式 SCI 通信のデータ “00h” の Low 期間を測定します。Low 期間測定時のホストの SCI 送受信フォーマットは 8 ビットデータ、1 ストップビット、パリティなし、ビットレートは 9,600bps または 19,200bps に設定してください。RX210 は測定した Low 期間からホストの SCI のビットレートを計算し、ビットレート調整が終了すると “00h” をホストへ送信します。ホストが “00h” を正常に受信した場合には、ホストから RX210 に “55h” を送信してください。“00h” を正常に受信できなかった場合には、RX210 をブートモードで再起動し、ビットレートの自動調整を再実行してください。RX210 は “55h” を正常に受信すると “E6h” を送信し、“55h” を正常に受信できなかった場合には “FFh” を送信します。

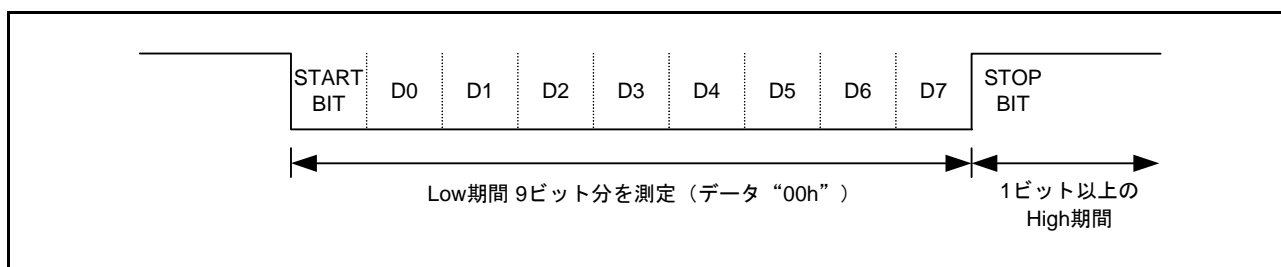


図 40.24 ビットレート自動調整時の SCI 送受信フォーマット

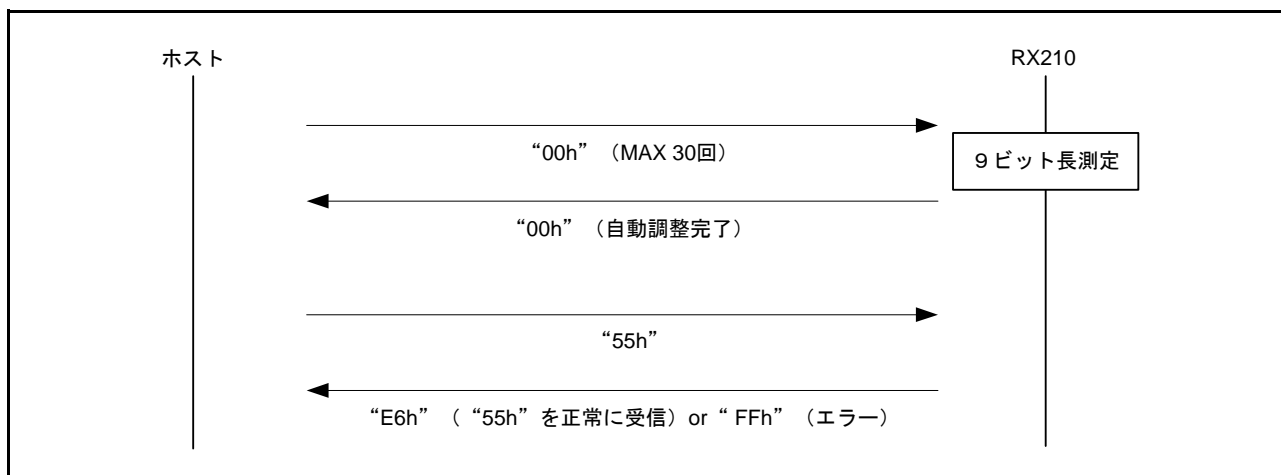


図 40.25 ホストと RX210 間の通信シーケンス

ホストの SCI のビットレートは、表 40.10 に示した条件で SCI の通信を行うようにしてください。

表 40.10 ビットレート自動調整が可能な条件

ホストの SCI のビットレート
9,600bps
19,200bps

40.10.4 IDコードプロテクト（ブートモード）

PCなどのホストからの読み出し/プログラム/イレーズを禁止するための機能です。

ブートモードで起動し、ビットレートを自動調整した後、ホストから送信されるIDコードとROM上に書かれている制御コードおよびIDコードを使い、IDコードプロテクトの有効/無効と、IDコードプロテクトの判定を行います。IDコードプロテクトが有効の場合、ホストから送られてくるコードとROM上の制御コードおよびIDコードの一致を判定し、一致した場合のみ読み出し/イレーズを許可します。

ROM上の制御コードおよびIDコードは、32ビット長4ワードのデータです。図40.26に制御コードおよびIDコードの構成を示します。IDコードは32ビット単位で設定してください。

	31	24	23	16	15	8	7	0
FFFF FFA0h	制御コード		IDコード1	IDコード2	IDコード3			
FFFF FFA4h	IDコード4	IDコード5	IDコード6	IDコード7				
FFFF FFA8h	IDコード8	IDコード9	IDコード10	IDコード11				
FFFF FFACh	IDコード12	IDコード13	IDコード14	IDコード15				

図 40.26 ROM上の制御コードおよびIDコードの構成

(1) 制御コード

制御コードは、IDコードプロテクトの有効/無効とホストとの認証方法を決定します。表40.11に制御コードと認証方法を示します。

表 40.11 IDコードプロテクト仕様

制御コード	IDコード	プロテクト状態	SCI接続時の動作
45h	任意	プロテクト有効 (認証方法1)	IDコード一致 : コマンド待ちへ遷移 IDコード不一致 : 再度IDコード待ちへ遷移。ただし、連続3回IDコード不一致の場合、全面消去を行う
52h	50h,72h,6Fh,74h,65h,63h, 74h,FFh,...,FFh以外	プロテクト有効 (認証方法2)	IDコード一致 : コマンド待ちへ遷移 IDコード不一致 : 再度IDコード待ちへ遷移
	50h,72h,6Fh,74h,65h,63h, 74h,FFh,...,FFh	プロテクト有効 (認証方法3)	常にIDコード不一致として判定する。
上記以外	—	プロテクト無効	全ブロック消去

(2) IDコード

IDコードは任意の値が設定できます。ただし、制御コードが52h、IDコード1から順に50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, ..., FFhを設定した場合は、IDコード一致判定をせず、常に不一致とし、ホストからの読み出し/プログラム/イレーズを禁止します。

(3) ID コードを設定するプログラム例

制御コードが 45h、ID コードが ID コード 1 から順に 01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h, 0Ah, 0Bh, 0Ch, 0Dh, 0Eh, 0Fh を設定する場合のプログラム例を示します。

```
.SECTION ID_CODE, CODE
.ORG 0FFFFFFA0h
.LWORD 45010203h
.LWORD 04050607h
.LWORD 08090A0Bh
.LWORD 0C0D0E0Fh
```

40.10.5 UB コード

UB コードについては、「7.3 UB コード」を参照してください。

40.10.6 問い合わせ / 設定コマンド待ち

表 40.12 に問い合わせ / 設定コマンド待ちで使用可能なコマンドの一覧を示します。ブートプログラムステータス問い合わせコマンドは、プログラム / イレーズコマンド待ちでも使用可能です。その他のコマンドは、問い合わせ / 設定コマンド待ちでのみ使用可能です。

表 40.12 問い合わせ / 設定コマンド

コマンド名	機能
サポートデバイス問い合わせ	デバイスコードとシリーズ名の問い合わせ
デバイス選択	デバイスコードの選択
クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
クロックモード選択	選択されているクロックモードの通知
逡倍比問い合わせ	クロック種類、逡倍比/分周比の種類、逡倍比/分周比の問い合わせ
動作周波数問い合わせ	クロック種類、最大/最低動作周波数の問い合わせ
ユーザブート領域情報問い合わせ	ユーザブート領域の個数、先頭/最終アドレスの問い合わせ
ユーザ領域情報問い合わせ	ユーザ領域の個数、先頭/最終アドレスの問い合わせ
消去ブロック情報問い合わせ	ブロック数、先頭/最終アドレスの問い合わせ
書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
新ビットレート選択	ホスト⇄RX210間のSCI通信のビットレートを変更
プログラム/イレーズステータス遷移	IDコードプロテクト判定に遷移
ブートプログラムステータス問い合わせ	処理状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、RX210 がコマンドエラーのレスポンスを送信します。コマンドエラーのレスポンスの内容は以下の通りです。コマンドには、ホストが送信したコマンドの先頭バイトが格納されています。

エラーレスポンス

80h	コマンド
-----	------

問い合わせ / 設定コマンド待ちでは、問い合わせコマンドのレスポンスを参考にして、デバイス選択→クロックモード選択→新ビットレート選択の順にホストから選択コマンドを送信し、RX210 の設定を行ってください。また、サポートデバイス問い合わせ / クロックモード問い合わせ以外の問い合わせコマンドは、クロックモード選択コマンドを発行前には使用できません。誤った順番でコマンドを送信した場合には、RX210 がコマンドエラーのレスポンスを送信します。図 40.27 に問い合わせ / 設定コマンド待ちでのコマンド使用例を示します。

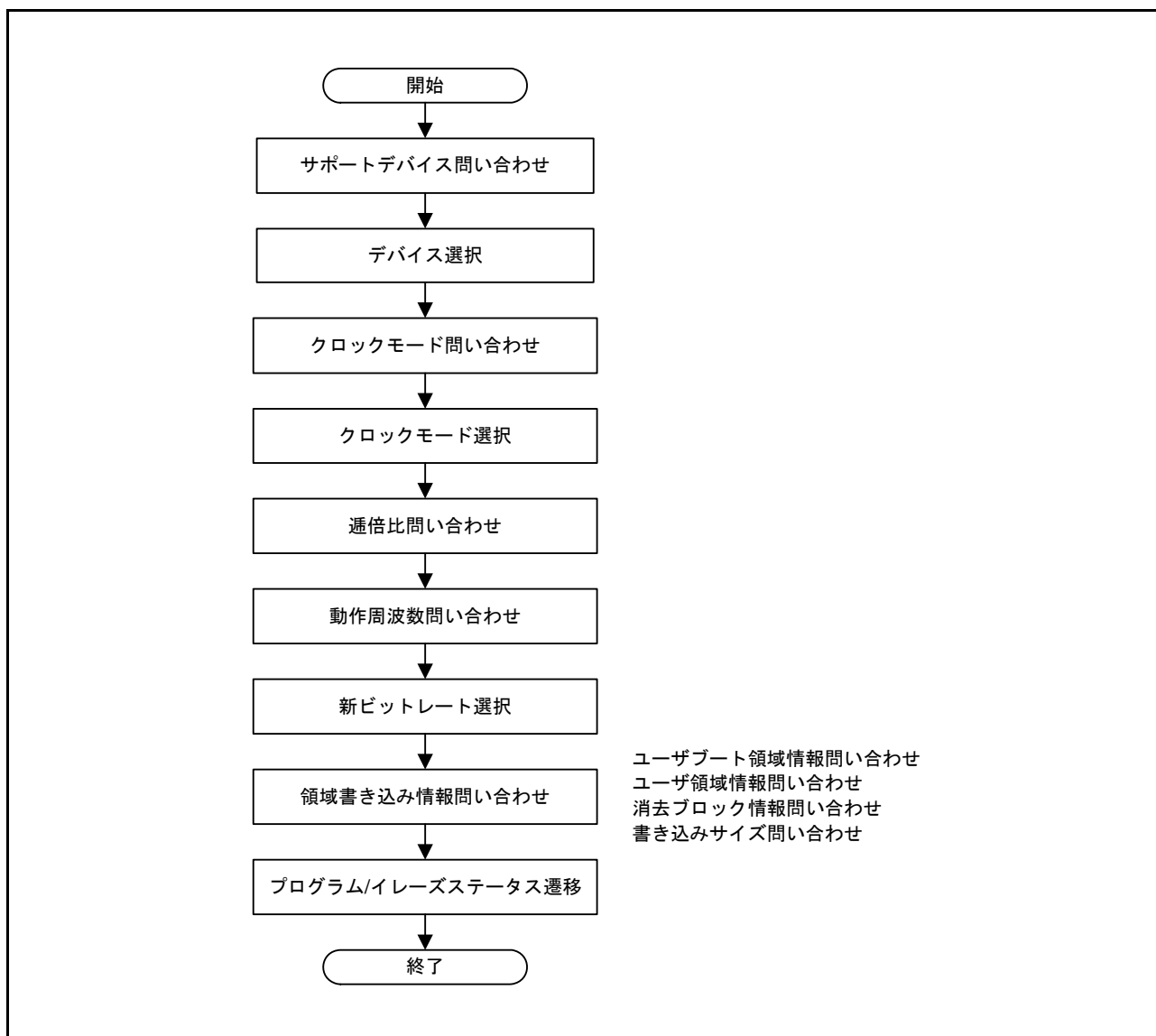


図 40.27 ユーザ領域 / ユーザブート領域 / 問い合わせ / 設定コマンドの使用例

各コマンドの詳細を以下に説明します。説明文中の“コマンド”はホストからRX210に送信するコマンド、“レスポンス”はRX210からホストに送信する応答です。“チェックサム”はRX210が送信した各バイトを合計した場合に、“00h”になるように計算されたバイトデータを指します。

(3) クロックモード問い合わせ

ホストがクロックモード問い合わせコマンドを送信すると、選択可能なクロックモードをRX210が送信します。ホストがクロックモードを選択した後に、クロックモード問い合わせコマンドを送信した場合には、RX210は選択したクロックモードの情報のみ送信します。

コマンド	21h	
レスポンス	31h	サイズ
	モード	
	SUM	

サイズ（1バイト）：モード数、モードの総バイト数

モード（1バイト）：選択可能なクロックモード（例：01h クロックモード1）

SUM（1バイト）：チェックサム

(4) クロックモード選択

ホストがクロックモード選択コマンドを送信すると、RX210は指定されたクロックモードがサポート可能なモードかを確認します。サポート可能なモードの場合、RX210はクロックモードを指定したモードに変更し、レスポンス（06h）を送信します。サポート可能なモードでなかった場合や、送信されたコマンドが不正であった場合には、RX210はエラーレスポンス（91h）を送信します。

クロックモード選択コマンドは、デバイス選択コマンドを送信した後に送信してください。クロックモード問い合わせの結果、クロックモード数が00hまたは01hであった場合も、クロックモード選択コマンドで、問い合わせ結果のモードの値を設定してください。

コマンド	11h	サイズ	モード	SUM
レスポンス	06h			
エラー レスポンス	91h	エラー		

サイズ（1バイト）：モードの文字数（固定値で1）

モード（1バイト）：クロックモード（クロックモード問い合わせコマンドの応答と同一のモード）

SUM（1バイト）：チェックサム

エラー（1バイト）：エラーコード
 11h：チェックサムエラー（コマンドが不正）
 22h：クロックモードエラー

(5) 通倍比問い合わせ

ホストが通倍比問い合わせコマンドを送信すると、クロック種類、通倍比/分周比の種類、通倍比/分周比の情報をRX210が送信します。

コマンド

22h

レスポンス	32h	サイズ	クロック数		
	通倍比種類	通倍比	通倍比	...	通倍比
	通倍比種類	通倍比	通倍比	...	通倍比
	SUM				

- サイズ (1バイト) : クロック数、通倍比種類、通倍比のデータの総バイト数
- クロック数 (1バイト) : クロックの種類 (例: 02h システムクロックと周辺クロックの2種類)
- 通倍比種類 (1バイト) : 選択可能な通倍比/分周比の種類
(例: 04h システムクロックは1通倍、2通倍、4通倍、8通倍の4種類)
- 通倍比 (1バイト) : 通倍比 (例: 04h = 4 4通倍) ← 正の数で指定
分周比 (例: FEh = -2 2分周) ← 負の数で指定
- SUM (1バイト) : チェックサム

(6) 動作周波数問い合わせ

ホストが動作周波数問い合わせコマンドを送信すると、各クロックの動作周波数の最小値と最大値の情報をRX210が送信します。

コマンド

23h

レスポンス	33h	サイズ	クロック数
	最小周波数		最大周波数
	最小周波数		最大周波数
	SUM		

- サイズ (1バイト) : クロック数、最小周波数、最大周波数のデータの総バイト数
- クロック数 (1バイト) : クロックの種類 (例: 02h システムクロックと周辺クロックの2種類)
- 最小周波数 (2バイト) : 動作周波数の最小値 (例: 07D0h 20.00MHz)
周波数 (MHz) の小数点第2位までの値を100倍した値
- 最大周波数 (2バイト) : 動作周波数の最大値
書式は最小周波数と同様
- SUM (1バイト) : チェックサム

(7) ユーザブート領域情報問い合わせ

ホストがユーザブート領域情報を問い合わせると、ユーザブート領域の領域数とアドレスの情報を RX210 が送信します。

コマンド	24h		
レスポンス	34h	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ（1バイト）：領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数

領域数（1バイト）：ユーザブート領域の領域数（連続した領域は1領域と数えます。）

領域先頭アドレス（4バイト）：ユーザブート領域の先頭アドレス

領域最終アドレス（4バイト）：ユーザブート領域の最終アドレス

SUM（1バイト）：チェックサム

(8) ユーザ領域情報問い合わせ

ホストがユーザ領域情報を問い合わせると、ユーザ領域の領域数とアドレスの情報を RX210 が送信します。

コマンド	25h		
レスポンス	35h	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ（1バイト）：領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数

領域数（1バイト）：ユーザ領域の領域数（連続した領域は1領域と数える）

領域先頭アドレス（4バイト）：ユーザ領域の先頭アドレス

領域最終アドレス（4バイト）：ユーザ領域の最終アドレス

SUM（1バイト）：チェックサム

(9) 消去ブロック情報問い合わせ

ホストが消去ブロック情報を問い合わせると、ユーザ領域とデータ領域を合計した消去ブロック数とアドレスの情報を RX210 が送信します。

コマンド	26h		
レスポンス	36h	サイズ	ブロック数
	ブロック先頭アドレス		
	ブロック最終アドレス		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	...		
	ブロック先頭アドレス		
	ブロック最終アドレス		
SUM			

サイズ (2バイト)	: ブロック数、ブロック先頭アドレス、ブロック最終アドレスのデータの総バイト数
ブロック数 (1バイト)	: ユーザ領域の消去ブロック数
ブロック先頭アドレス (4バイト)	: 消去ブロックの先頭アドレス
ブロック最終アドレス (4バイト)	: 消去ブロックの最終アドレス
SUM (1バイト)	: チェックサム

(10) 書き込みサイズ問い合わせ

ホストが書き込みサイズを問い合わせると、RX210 が書き込みサイズの情報を送信します。

コマンド	27h			
レスポンス	37h	サイズ	書き込みサイズ	SUM

サイズ (1バイト)	: 書き込みサイズの文字数 (固定値で2)
書き込みサイズ (2バイト)	: 書き込み単位 (バイト単位)
SUM (1バイト)	: チェックサム

(11) 新ビットレート選択

ホストが新ビットレート選択コマンドを送信すると、RX210 は内蔵 SCI を指定された新ビットレートに設定可能かをチェックします。新ビットレートの設定が可能な場合、RX210 はレスポンス (06h) を送信し、SCI を新ビットレートに設定します。新ビットレートの設定ができない場合や、送信されたコマンドが不正であった場合には、RX210 はエラーレスポンス (BFh) を送信します。ホストはレスポンス (06h) を受信すると、新ビットレート選択コマンド送信時のビットレートで1ビット期間ウェイトし、ホストのビットレートを新ビットレートに変更します。その後、ホストは新ビットレートで確認用のデータ (06h) を送信し、RX210 は確認データのレスポンス (06h) を送信します。

新ビットレート選択コマンドは、クロックモード選択コマンドを送信した後に送信してください。

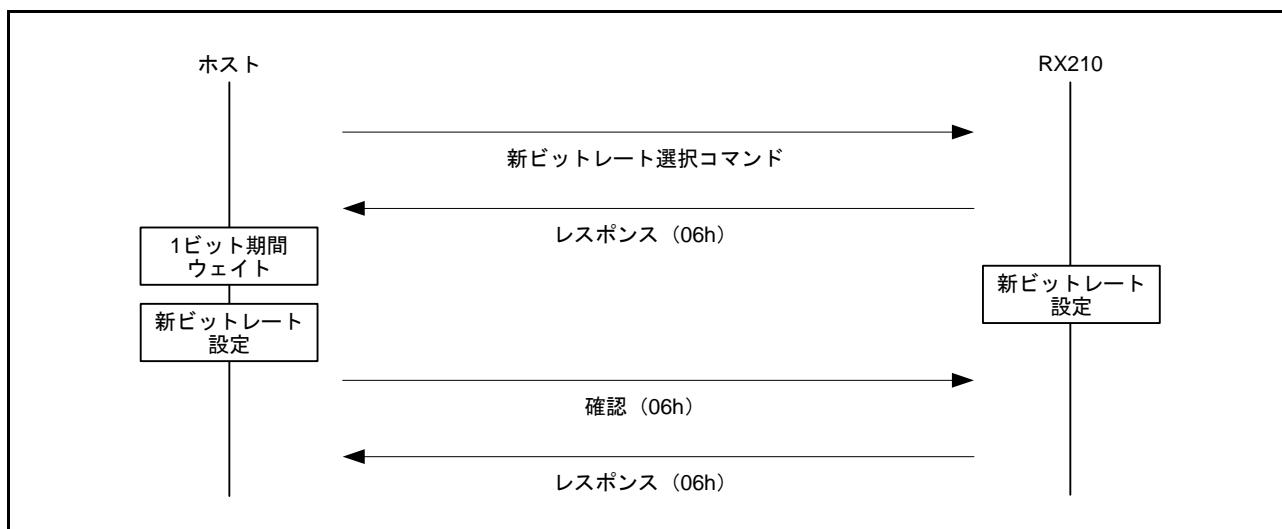


図 40.28 新ビットレート選択のシーケンス

コマンド	3Fh	サイズ	ビットレート		入力周波数
	クロック数	逡倍比 1	逡倍比 2		
	SUM				
レスポンス	06h				
エラー					
レスポンス	BFh	エラー			
確認	06h				
レスポンス	06h				

サイズ（1バイト）：ビットレート、入力周波数、クロック数、逡倍比のデータの総バイト数

ビットレート（2バイト）：新ビットレート（例：00C0h 19200bps）
ビットレート値を1/100した値を設定

入力周波数（2バイト）：RX210の入力周波数（例：04E2h 12.50MHz）
入力周波数の小数点第2位までを100倍した値を設定

クロック数（1バイト）：クロックの種類（例：02h システムクロックと周辺クロックの2種類）

逡倍比1（1バイト）：入力周波数に対するシステムクロック（ICLK）の逡倍比/分周比
逡倍比（例：04h = 4 4逡倍）← 正の数で指定
分周比（例：FEh = -2 2分周）← 負の数で指定

逡倍比2（1バイト）：入力周波数に対する周辺クロック（PCLK）の逡倍比/分周比
逡倍比1と同じフォーマット

SUM（1バイト）：チェックサム

エラー：エラーコード
11h：チェックサムエラー
24h：ビットレート選択不可エラー
25h：入力周波数エラー
26h：逡倍比エラー
27h：動作周波数エラー

- ビットレート選択不可エラー

新ビットレート選択コマンドで指定したビットレートを、RX210のSCIが誤差4%未満で設定できない場合にビットレート選択不可エラーが発生します。新ビットレート選択コマンドで指定したビットレートをB、入力周波数を f_{EX} 、逡倍比2を $M_{P\phi}$ 、SCIのビットレートレジスタ（BRR）の設定値をN、シリアルモードレジスタ（SMR）のCKS[1:0]ビットの設定値をnとした場合のビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{f_{EX} \times M_{P\phi} \times 10^6}{B \times 64 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$$

- 入力周波数エラー

新ビットレート選択コマンドで指定した入力周波数が、クロックモード選択コマンドで指定したクロックモードに対応する入力周波数の最小値と最大値の範囲外であった場合に入力周波数エラーが発生します。

- 通倍比エラー

新ビットレート選択コマンドで指定した通倍比が、クロックモード選択コマンドで指定したクロックモードに対応する通倍比でなかった場合に通倍比エラーが発生します。選択可能な通倍比を確認するためには通倍比問い合わせコマンドを使用してください。

- 動作周波数エラー

新ビットレート選択コマンドで指定した動作周波数でRX210が動作できない場合に動作周波数エラーが発生します。RX210は、新ビットレート選択コマンドで指定された入力周波数、通倍比から動作周波数を計算し、計算結果が各クロックの動作周波数の最小値から最大値の範囲内であることをチェックします。各クロックの動作周波数の最小値と最大値を確認するためには、動作周波数問い合わせコマンドを使用してください。

(12)プログラム/イレーズステータス遷移

ホストがプログラム/イレーズステータス遷移コマンドを送信すると、RX210はROM上に書かれている制御コードおよびIDコードにより、IDコードプロテクトの有効/無効を判定します。IDコードプロテクト有効時は、レスポンス（16h）を送信し、IDコード待ち状態へ遷移し、IDコードプロテクト無効時はユーザ領域/ユーザブート領域/データ領域を全面消去します。全面消去が完了すると、RX210はレスポンス（26h）を送信し、プログラム/イレーズコマンド待ちに遷移します。エラーが発生して消去が完了しなかった場合には、RX210はエラーレスポンス（C0h, 51h）を送信します。

デバイス選択、クロックモード選択、新ビットレート選択を実行する前に、プログラム/イレーズステータス遷移コマンドを発行しないでください。

コマンド	40h	
レスポンス	ACK	
エラー レスポンス	C0h	51h

ACK（1バイト） : ACKコード
 26h : IDコードプロテクト無効の場合
 16h : IDコードプロテクト有効の場合

(13) ブートプログラムステータス問い合わせ

ホストがブートプログラムステータス問い合わせコマンドを送信すると、RX210は現在のステータスを送信します。ブートプログラムステータス問い合わせコマンドは、問い合わせ/設定コマンド待ちとプログラム/イレースコマンド待ちで使用可能です。

コマンド	4Fh				
レスポンス	5Fh	サイズ	ステータス	エラー	SUM

サイズ (1バイト)	: ステータス、エラーのデータの総バイト数 (固定値で2)
ステータス (1バイト)	: RX210の状態 (表40.13を参照)
エラー (1バイト)	: RX210のエラー発生状況 (表40.14を参照)
SUM (1バイト)	: チェックサム

表40.13 ステータスの内容

コード	内容
11h	デバイス選択待ち
12h	クロックモード選択待ち
13h	ビットレート選択待ち
1Fh	プログラム/イレースコマンド待ちへの遷移待ち (ビットレート選択完了)
31h	ユーザ領域の消去中/ユーザブート領域の消去中
3Fh	プログラム/イレースコマンド待ち
4Fh	書き込みデータ受信待ち
5Fh	消去ブロック指定待ち

表40.14 エラーの内容

コード	内容
00h	エラーなし
11h	チェックサムエラー
21h	デバイスコード不一致エラー
22h	クロックモード不一致エラー
24h	ビットレート選択不可エラー
25h	入力周波数エラー
26h	逡倍比エラー
27h	動作周波数エラー
29h	ブロック番号エラー
2Ah	アドレスエラー
2Bh	データ長エラー
51h	消去エラー
52h	未消去エラー
53h	書き込みエラー
54h	選択処理エラー
80h	コマンドエラー
FFh	ビットレート合わせ込み確認エラー

40.10.7 IDコード待ち状態

表 40.15 に ID コード待ち状態で使用可能なコマンドの一覧を示します。

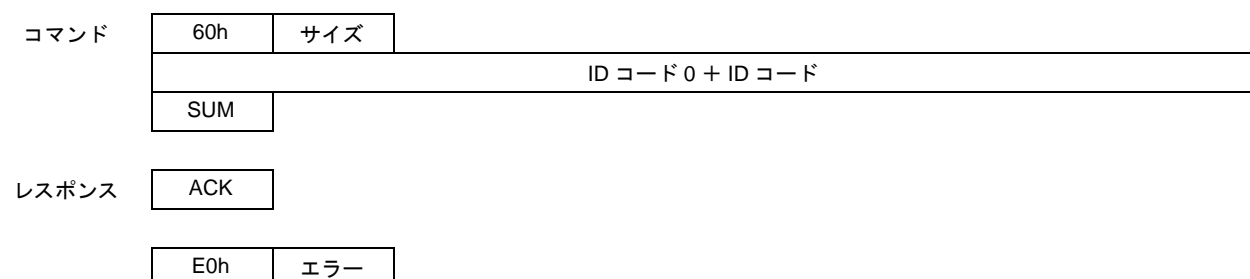
表40.15 IDコードチェックコマンド

コマンド名	機能
IDコードチェック	IDコードチェックを実施

ホストが未定義のコマンドを送信した場合は、RX210 がコマンドエラーのレスポンスを送信します。コマンドエラーの内容は、「40.10.6 問い合わせ / 設定コマンド待ち」を参照してください。

(1) IDコードチェック

ホストが ID コードチェックコマンドを送信すると、RX210 は ROM 上の制御コードおよび ID コードとホストから送られてきたコードを比較し、結果を返信します。



- サイズ（1バイト） : IDコードのバイト数（固定値で16）
- IDコード（16バイト） : IDコード0（1バイト） + IDコード（15バイト）
- SUM（1バイト） : チェックサム
- ACK（1バイト） : ACKコード
26h : プログラム/イレーズステータス遷移に対する応答
- エラー（1バイト） : エラーコード
11h : チェックサムエラー
61h : IDコード不一致
63h : IDコード不一致[消去エラー]
IDコード不一致で消去実行の結果、エラーとなった場合

40.10.8 プログラム/イレーズコマンド待ち

表 40.16 にプログラム/イレーズコマンド待ちで使用可能なコマンドの一覧を示します。

表40.16 プログラム/イレーズコマンド

コマンド名	機能
ユーザブート領域書き込み選択	ユーザブート領域書き込みを選択
ユーザ/データ領域書き込み選択	ユーザ/データ領域書き込みを選択
256バイト書き込み	256バイト書き込み
消去選択	消去を選択
ブロック消去	ブロックデータの消去
メモリリード	メモリの読み出し
ユーザブート領域チェックサム	ユーザブート領域のチェックサム
ユーザ領域チェックサム	ユーザ領域のチェックサム
ユーザブート領域ブランクチェック	ユーザブート領域のブランクチェック
ユーザ領域ブランクチェック	ユーザ領域のブランクチェック
リードロックビットステータス	ロックビットの読み出し
ロックビットプログラム	ロックビットの書き込み
ロックビット有効	ロックビットプロテクト有効設定
ロックビット無効	ロックビットプロテクト無効設定
ブートプログラムステータス問い合わせ	RX210の状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、RX210 がコマンドエラーのレスポンスを送信します。コマンドエラーの内容は、「40.10.6 問い合わせ/設定コマンド待ち」を参照してください。

ROM の書き込みを実行する場合には、ホストから書き込み選択コマンド（ユーザ/データ領域書き込み選択/ユーザブート領域書き込み選択）を送信後、256 バイト書き込みコマンドを送信します。ホストが書き込み選択コマンドを送信すると、RX210 は書き込みデータ待ち状態になります（「40.10.2 ブートモードの状態遷移」を参照）。書き込みデータ待ちの状態、ホストが 256 バイト書き込みコマンドを送信すると、RX210 は ROM にデータを書き込みます。ホストが書き込み先のアドレスを FFFF FFFFh に設定して 256 バイト書き込みコマンドを送信すると、RX210 は書き込み終了と判定し、プログラム/イレーズコマンド待ちに遷移します。

ROM の消去を実行する場合には、ホストから消去選択コマンドを送信後、ブロック消去コマンドを送信します。ホストが消去選択コマンドを送信すると、RX210 は消去ブロック指定待ち状態になります（「40.10.2 ブートモードの状態遷移」を参照）。消去ブロック指定待ちの状態、ホストがブロック消去コマンドを送信すると、RX210 は ROM をブロック消去します。ホストがブロック番号に FFh を設定してブロック消去コマンドを送信すると、RX210 は消去終了と判定し、プログラム/イレーズコマンド待ちに遷移します。

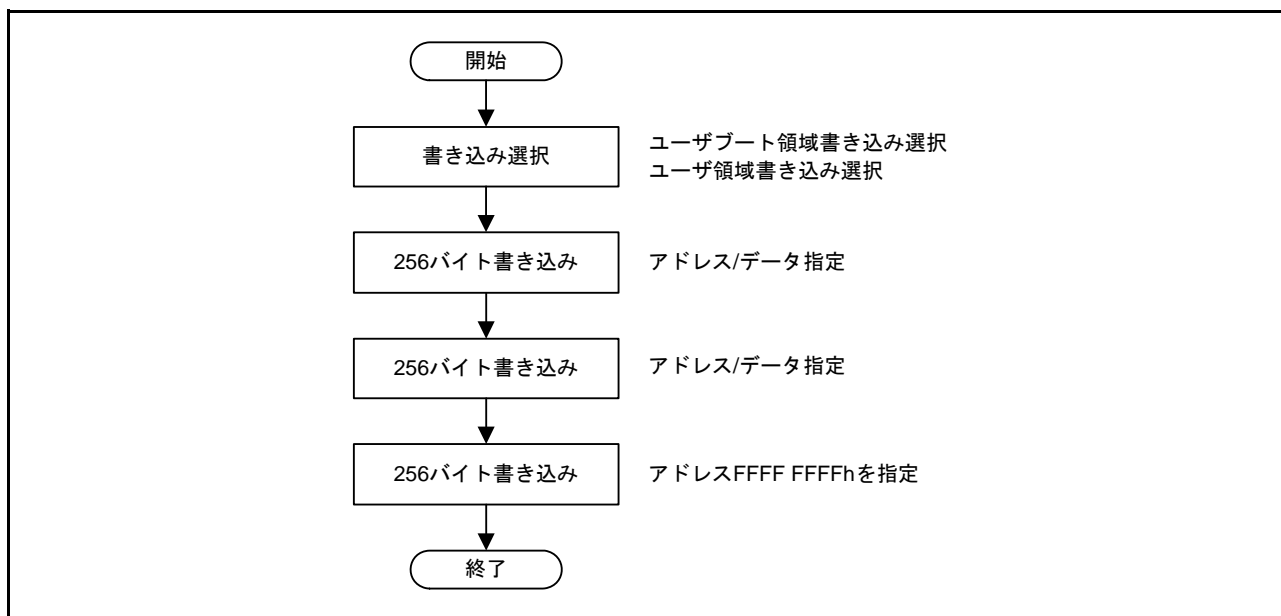


図 40.29 ブートモードでのROM 書き込み方法

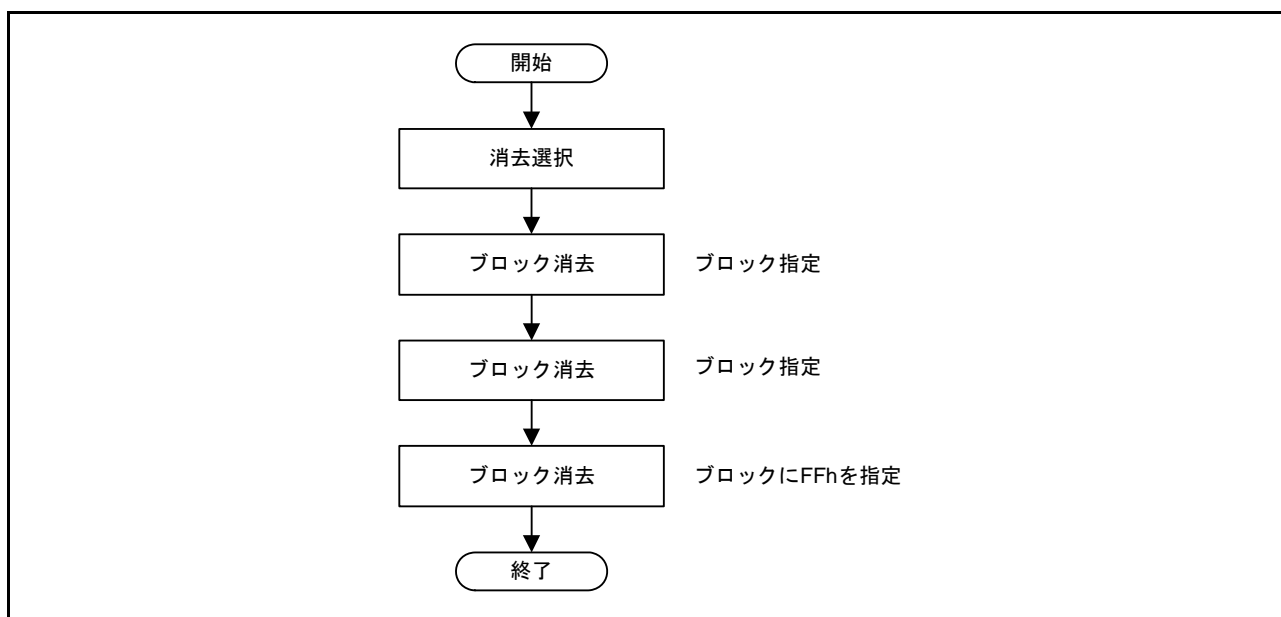


図 40.30 ブートモードでのROM 消去方法

各コマンドの詳細を以下に説明します。説明文中の“コマンド”はホストからRX210に送信するコマンド、“レスポンス”はRX210からホストに送信する応答です。“チェックサム”は、送信した各バイトを合計した場合に、00hになるように計算されたバイトデータを指します。

(1) ユーザブート領域書き込み選択

ホストがユーザブート領域書き込み選択コマンドを送信すると、RX210はユーザブート領域書き換えプログラムを選択し、書き込みデータ待ち状態になります。

コマンド

42h

レスポンス

06h

(2) ユーザ/データ領域書き込み選択

ホストがユーザ/データ領域書き込み選択コマンドを送信すると、RX210はユーザ領域書き換えプログラムを選択し、書き込みデータ待ち状態になります。

コマンド

43h

レスポンス

06h

(3) 256バイト書き込み

ホストが256バイト書き込みコマンドを送信すると、RX210はROMの書き込みを実行します。ROMの書き込みが正常に終了すると、RX210はレスポンス（06h）を送信します。書き込み処理中にエラーが発生すると、RX210はエラーレスポンス（D0h）を送信します。

コマンド	50h	書き込みアドレス		
	データ	データ	...	データ
	SUM			

レスポンス

06h

エラー
レスポンス

D0h	エラー
-----	-----

書き込みアドレス（4バイト） : 書き込み先のアドレス
書き込み実行時には256バイト境界にアラインしたアドレス
書き込み終了を指定する場合にはFFFF FFFFhを送信

データ（256バイト） : 書き込みデータ
書き込み不要なバイトにはFFhを指定
書き込み終了を指定する場合にはデータの送信は不要
（書き込みアドレス→SUMの順で送信する）

SUM（1バイト） : チェックサム

エラー（1バイト） : エラーコード
11h : チェックサムエラー
2Ah : アドレスエラー（アドレスが指定の領域内でない）
53h : 書き込みエラーが発生し書き込めない

(4) 消去選択

ホストが消去選択コマンドを送信すると、RX210は消去プログラムを選択し、消去ブロック指定待ち状態になります。

コマンド

48h

レスポンス

06h

(5) ブロック消去

ホストがブロック消去コマンドを送信すると、RX210はROMの消去を実行します。ROMの消去が正常に終了すると、RX210はレスポンス（06h）を送信します。消去処理中にエラーが発生すると、RX210はエラーレスポンス（D8h）を送信します。

コマンド

58h	サイズ	ブロック	SUM
-----	-----	------	-----

レスポンス

06h

エラー
レスポンス

D8h	エラー
-----	-----

- サイズ（1バイト） : ブロックのデータのバイト数（固定値で1）
- ブロック（1バイト） : 消去する消去ブロックの番号
消去終了を指定する場合にはFFhを送信
- SUM（1バイト） : チェックサム
- エラー（1バイト） : エラーコード
11h : チェックサムエラー
29h : ブロック番号エラー（ブロック番号が正しくない）
51h : 消去エラーが発生し消去できない

(6) メモリリード

ホストがメモリリードコマンドを送信すると、RX210はROMに対するリードを実行します。正常にリードが実行された場合には、RX210はメモリリードコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、RX210はエラーレスポンス（D2h）を送信します。

コマンド	52h	サイズ	領域	読み出し先頭アドレス
	読み出しサイズ			SUM

レスポンス	52h	読み出しサイズ		
	データ	データ	...	データ
	SUM			

エラー レスポンス	D2h	エラー
--------------	-----	-----

- サイズ（1バイト） : 領域、読み出しアドレス、読み出しサイズのデータの総バイト数
- 領域（1バイト） : 読み出し対象の領域
00h : ユーザブート領域
01h : ユーザ領域
- 読み出し先頭アドレス（4バイト） : 読み出し対象領域の先頭アドレス
- 読み出しサイズ（4バイト） : 読み出すデータのサイズ（バイト単位）
- SUM（1バイト） : チェックサム
- データ（1バイト） : ROMから読み出したデータ
- エラー（1バイト） : エラーコード
11h : チェックサムエラー
2Ah : アドレスエラー
・領域の選択で00h、01h以外を指定
・読み出し先頭アドレスが指定した領域の領域外
2Bh : サイズエラー
・読み出しサイズの選択で00hを指定
・読み出しサイズが領域のサイズを超えている
・読み出し先頭アドレスと読み出しサイズから計算されたアドレスが領域の領域外

(7) ユーザブート領域チェックサム

ホストがユーザブート領域チェックサムコマンドを送信すると、RX210 はユーザ領域のデータをバイト単位で加算した結果（チェックサム）を送信します。

コマンド	4Ah		
レスポンス	5Ah	サイズ	領域のチェックサム
			SUM

サイズ（1バイト） : 領域のチェックサムのバイト数（固定値で4）
 領域のチェックサム（4バイト） : ユーザブート領域のチェックサム結果
 SUM（1バイト） : チェックサム（レスポンスデータのチェックサム）

(8) ユーザ領域チェックサム

ホストがユーザ領域チェックサムコマンドを送信すると、RX210 はユーザ領域のデータをバイト単位で加算した結果（チェックサム）を送信します。

コマンド	4Bh		
レスポンス	5Bh	サイズ	領域のチェックサム
			SUM

サイズ（1バイト） : 領域のチェックサムのバイト数（固定値で4）
 領域のチェックサム（4バイト） : ユーザ領域のチェックサム結果
 ユーザ領域にはデバッグ機能認証用のキーコードも含まれています。
 加算結果にキーコード値が含まれることに注意してください。
 SUM（1バイト） : チェックサム（レスポンスデータのチェックサム）

(9) ユーザブート領域ブランクチェック

ホストがユーザブート領域ブランクチェックコマンドを送信すると、RX210 はユーザブート領域がすべて消去状態であるかをチェックします。ユーザブート領域がすべて消去状態であった場合には、RX210 はレスポンス（06h）を送信します。ユーザブート領域に未消去領域が存在した場合には、RX210 はエラーレスポンス（CCh、52h）を送信します。

コマンド	4Ch		
レスポンス	06h		
エラー レスポンス	CCh	52h	

(10) ユーザ領域ブランクチェック

ホストがユーザ領域ブランクチェックコマンドを送信すると、RX210はユーザ領域がすべて消去状態であるかをチェックします。ユーザ領域がすべて消去状態であった場合には、RX210はレスポンス（06h）を送信します。ユーザ領域に未消去領域が存在した場合には、RX210はエラーレスポンス（CDh、52h）を送信します。

コマンド	4Dh
レスポンス	06h
エラー レスポンス	CDh 52h

(11) リードロックビットステータス

ホストがリードロックビットステータスコマンドを送信すると、RX210はロックビットに対するリードを実行します。正常にリードが実行された場合には、RX210はリードロックビットステータスコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、RX210はエラーレスポンス（F1h）を送信します。

コマンド	71h	サイズ	領域	A15 ~ A8	A23 ~ A16	A31 ~ A24	SUM
	A15 ~ A8 (1バイト) : 指定ブロックの最後尾アドレス (15 ~ 8ビット) A23 ~ A16 (1バイト) : 指定ブロックの最後尾アドレス (23 ~ 16ビット) A31 ~ A24 (1バイト) : 指定ブロックの最後尾アドレス (31 ~ 24ビット)						
レスポンス	ステータス						
エラー レスポンス	F1h エラー						

サイズ (1バイト)	: 領域、A15 ~ A8、A23 ~ A16、A31 ~ A24のデータの総バイト数 (RX210では固定値で4)
領域 (1バイト)	: 読み出し対象の領域 01h : ユーザ領域
A15 ~ A8 (1バイト)	: 指定ブロックの最後尾のアドレスのA15 ~ A8 (15 ~ 8ビット)
A23 ~ A16 (1バイト)	: 指定ブロックの最後尾のアドレスのA23 ~ A16 (23 ~ 16ビット)
A31 ~ A24 (1バイト)	: 指定ブロックの最後尾のアドレスのA31 ~ A24 (31 ~ 24ビット)
SUM (1バイト)	: チェックサム
ステータス (1バイト)	: ビット6が“0”でロック状態 ビット6が“1”でアンロック状態
エラー (1バイト)	: エラーコード 11h : チェックサムエラー 2Ah : アドレスエラー (アドレスが指定の領域内でない)

(12) ロックビットプログラム

ホストがロックビットプログラムコマンドを送信すると、RX210はロックビットの書き込みを行い、指定ブロックをロック状態にします。正常にロックされた場合には、RX210はレスポンス（06h）を送信します。ロックされなかった場合には、RX210はエラーレスポンス（F7h）を送信します。

コマンド	77h	サイズ	領域	中位アドレス	上位アドレス	最上位アドレス	SUM
レスポンス	06h						
エラー レスポンス	F7h	エラー					

サイズ（1バイト）	: 領域、中位アドレス、上位アドレス、最上位アドレスのデータの総バイト数 （RX210では固定値で4）
領域（1バイト）	: ロック対象の領域 01h : ユーザ領域
中位アドレス（1バイト）	: 指定ブロックの最後尾のアドレスの中位アドレス（8～15ビット）
上位アドレス（1バイト）	: 指定ブロックの最後尾のアドレスの上位アドレス（16～23ビット）
最上位アドレス（1バイト）	: 指定ブロックの最後尾のアドレスの最上位アドレス（24～31ビット）
SUM（1バイト）	: チェックサム
エラー（1バイト）	: エラーコード 11h : チェックサムエラー 2Ah : アドレスエラー（アドレスが指定の領域内がない） 53h : 書き込みエラーが発生しロック状態にできない

(13) ロックビット有効

ホストがロックビット有効コマンドを送信すると、RX210はロックビットを有効にします。

コマンド	7Ah
レスポンス	06h

(14) ロックビット無効

ホストがロックビット無効コマンドを送信すると、RX210はロックビットを無効にします。

コマンド	75h
レスポンス	06h

(15) ブートプログラムステータス問い合わせ

「40.10.6 問い合わせ / 設定コマンド待ち」を参照してください。

40.11 オンチップデバッグ ID コードプロテクト

オンチップデバッグとの接続を禁止するための機能です。オンチップデバッグを接続する場合、ROM 上に書かれている制御コードおよび ID コードを使い、オンチップデバッグ ID コードプロテクトの有効/無効と、オンチップデバッグ ID コードプロテクトの判定を行います。ID コードプロテクトが有効の場合、オンチップデバッグから送られてくるコードと、ROM 上の制御コードおよび ID コードの一致を判定し、一致した場合、オンチップデバッグとの接続を許可します。一致しない場合、オンチップデバッグとの接続はできません。ただし、制御コードが 52h、ID コード 1 から ID コード 7 に 50h, 72h, 6Fh, 74h, 65h, 63h, 74h を設定した場合、ID コード判定をせずに常に不一致とし、オンチップデバッグとの接続を禁止します。また、制御コードおよび ID コードがすべて FFh の場合、ID コード判定をせずに常に一致とし、オンチップデバッグとの接続を許可します。フラッシュメモリ上の ID コードの構成は、図 40.26 と同じです。

表 40.17 オンチップデバッグ ID コードプロテクト仕様

制御コード	ID コード	プロテクト状態	オンチップデバッグ接続時の動作
FFh	FFh,...,FFh（すべてFFh）	プロテクト無効	常にIDコード一致とし、オンチップデバッグとの接続を許可する
52h	50h,72h,6Fh,74h,65h,63h,74h	プロテクト有効	常にIDコード不一致とし、オンチップデバッグとの接続を禁止する
上記以外	上記以外	プロテクト有効	IDコード一致：オンチップデバッグ認証を完了し、オンチップデバッグとの接続を許可する。 IDコード不一致：再度、IDコード待ちに遷移する

40.12 ROM コードプロテクト

ROM コードプロテクトは、PROM ライタを使用する場合にフラッシュメモリへのアクセスを制限する機能です。フラッシュメモリ上の ROM コードは、32 ビット長のデータです。図 40.31 に ROM コードの構成を示します。ROM コードは 32 ビット単位で設定してください。

ROM コードプロテクトを解除する場合、ROM コードを含むユーザ領域の EB00 ブロックをイレーズしてください。ROM コードが“0000 0000h”の場合は、ブートモードまたはユーザプログラムからイレーズする必要があります。

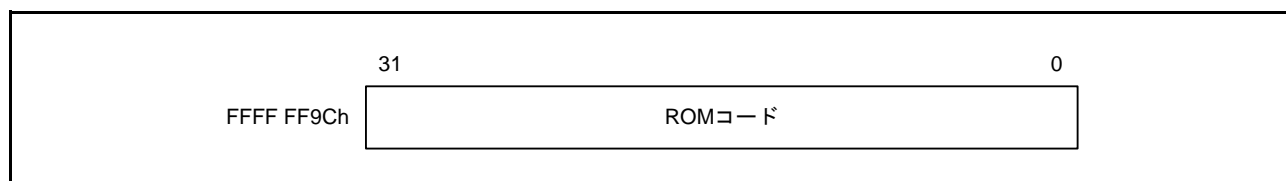


図 40.31 ROM コードの構成

表 40.18 ROMコードプロテクト仕様

ROMコード	プロテクト状態	PROMライタ接続時の動作
0000 0000h	ROMコードプロテクト有効 (ROMコードプロテクト1)	ユーザ領域/ユーザブート領域のリード、イレーズ、プログラムを禁止する
0000 0001h	ROMコードプロテクト有効 (ROMコードプロテクト2)	ユーザ領域/ユーザブート領域のリードを禁止する (イレーズ、プログラムは許可する)
上記以外	ROMコードプロテクト無効	ユーザ領域/ユーザブート領域のリード、イレーズ、プログラムを許可する

40.13 使用上の注意事項

(1) プログラム/イレーズサスペンド対象領域

プログラム/イレーズサスペンド中の領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、プログラム/イレーズサスペンド対象領域の命令実行や、データ読み出しが発生しないように注意してください。

(2) プログラム/イレーズサスペンドによる中断

プログラム/イレーズサスペンドコマンドによってプログラム/イレーズ処理を中断した場合は、レジュームコマンドにより動作を完了させてください。

(3) 追加書き込み禁止

同一領域に2回以上の書き込みを行うことはできません。書き込み済みの領域を書き換えたい場合には、当該領域を消去してください。

(4) プログラム/イレーズ中のリセット

プログラム/イレーズ中に RES# 端子リセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、tRESWF（「42. 電気的特性」を参照）以上のリセット入力期間の後にリセット解除してください。

プログラム/イレーズ中に FRESETR.FRESET ビットにより FCU をリセットする場合は、リセット状態を tFCUR（「42. 電気的特性」を参照）の時間保持してください。FCU をリセットしている期間は、プログラム/イレーズ対象の ROM の読み出しを行わないでください。

プログラム/イレーズ中の WDT リセット、IWDT リセット、ソフトウェアリセットについては、上記の時間保持に関係なく使用できます。

(5) プログラム/イレーズ中のノンマスカブル割り込み禁止

プログラム/イレーズ中にノンマスカブル割り込み（NMI 端子割り込み、発振停止検出割り込み、WDT アンダフロー/リフレッシュエラー、IWDT アンダフロー/リフレッシュエラー、電圧監視1割り込み、電圧監視2割り込み）が発生すると、ROM からのベクタのフェッチが発生し、不定データが読み出されます。このため、ROM へのプログラム/イレーズ中にノンマスカブル割り込みが発生しないようにしてください（本禁止事項は ROM にのみ適用されます）。

(6) プログラム/イレーズ中の割り込みベクタの配置

プログラム/イレーズ中に割り込みが発生すると ROM からのベクタのフェッチが発生する場合があります。ROM からのベクタのフェッチを回避するには、CPU の割り込みテーブルレジスタ（INTB）により割り込みベクタのフェッチ先を ROM 以外に設定する方法があります。

(7) 低速動作モード1/低速動作モード2でのプログラム/イレーズ

動作電力コントロールレジスタ（OPCCR）で低速動作モード1/2を選択した場合は、フラッシュへのプログラム/イレーズを行わないでください。

(8) プログラム/イレーズ中の異常終了

プログラム/イレーズ中、動作電圧範囲を超える電圧変動、リセット、FRESETR.FRESET ビットによる FCU リセット、エラー検出によるコマンドロック状態、および次項(9)の禁止事項により、プログラム/イレーズが正常に終了しなかった場合、ロックビットが“0”（プロテクト状態）になっている場合があります。この場合 FPROTR.FPROTCN ビットに“1”をセットした状態でブロックイレーズコマンドを発行し、ロックビットを消去してください。その後、正常終了しなかった書き込みを再度やり直してください。

(9) プログラム/イレーズ中の禁止事項

プログラム/イレーズ中はフラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。

- RX210 の電源を動作電圧範囲外にする。
- FWEPROR.FLWE[1:0] ビットの値を更新する。
- SYSCR0.ROME ビットの設定により、動作モードを変更する。
- OPCCR.OPCM[2:0] ビットの値を更新する。
- SCKCR3 レジスタのクロックソース選択ビットを変更する。
- ELSR28 レジスタにより「クロックソースを LOCO へ切り替え」を設定し、このイベントを発生させる。
- RSTCKCR.RSTCKEN ビットの設定により、スリープモード復帰時のクロックソース切り替えを有効にする。
- FlashIF クロック（FCLK）の分周比を変更する。
- FCLK と異なる周波数を PCKAR レジスタに設定する。
- 全モジュールクロックストップモード、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行する。

41. E2データフラッシュ（データ格納用フラッシュメモリ）

RX210グループは、8Kバイトのデータ格納用フラッシュメモリ（E2データフラッシュ）を内蔵しています。

本章では、E2データフラッシュについて説明します。ROMについては、「40. ROM（コード格納用フラッシュメモリ）」を参照してください。

41.1 概要

表 41.1 に E2データフラッシュの仕様を、図 41.1 に ROM および E2データフラッシュ周りのブロック図を示します。

表 41.1 E2データフラッシュの仕様

項目	内容
メモリ空間	データ領域：8Kバイト
周辺バス経由での読み出し	ワード、バイトアクセス時にはFCLK 4サイクルでの読み出し
プログラム/イレーズ方式	<ul style="list-style-type: none"> ROM/E2データフラッシュへ書き換えを行う専用のシーケンサ（FCU）を内蔵 FCUにコマンドを発行することにより、ROM/E2データフラッシュへのプログラム/イレーズを実行可能
BGO（バックグラウンドオペレーション）機能	<ul style="list-style-type: none"> E2データフラッシュへのプログラム/イレーズを実行している期間、ROM領域に配置したプログラムを実行可能 ROMへのプログラム/イレーズを実行している期間、CPUはROM/E2データフラッシュ以外の領域に配置したプログラムを実行可能
サスペンド/レジューム機能	<ul style="list-style-type: none"> E2データフラッシュへのプログラム/イレーズ動作を中断し、CPUはE2データフラッシュ領域の読み出しを実行可能（サスペンド） 中断した後、E2データフラッシュへのプログラム/イレーズを再開可能（レジューム）
プログラム/イレーズ単位	<ul style="list-style-type: none"> データ領域の書き込み単位：2バイトまたは8バイト データ領域の消去単位：128バイト
ブランクチェック機能	<ul style="list-style-type: none"> E2データフラッシュの消去状態を確認するブランクチェックコマンドが実行可能 ブランクチェックできる領域は2バイトまたは2Kバイト
オンボードプログラミング (3種類)	ブートモードによる書き換え <ul style="list-style-type: none"> 調歩同期式シリアルインタフェース（SCI1）を使用 通信速度は自動調整 ユーザブート領域も書き換え可能
	ユーザブートモードによる書き換え <ul style="list-style-type: none"> ユーザ独自のブートプログラムを作成可能
	ユーザプログラム中のROM書き換えルーチンによる書き換え <ul style="list-style-type: none"> システムをリセットすることなくE2データフラッシュの書き換えが可能
プロテクト機能	ソフトウェアプロテクト機能 <ul style="list-style-type: none"> FENTRYR.FENTRYDビット、FWEPROR.FLWE[1:0]ビット、DFLRE0レジスタ、DFLWE0レジスタにより意図しない書き換え/読み出しを防ぐことが可能 DFLRE0レジスタ、DFLWE0レジスタによるプロテクトの単位は2Kバイト
	コマンドロック状態 <p>プログラム/イレーズ中に異常動作を検出した場合、以後のプログラム/イレーズ処理を禁止</p>
プログラム時間/イレーズ時間/書き換え回数	「42. 電気的特性」を参照

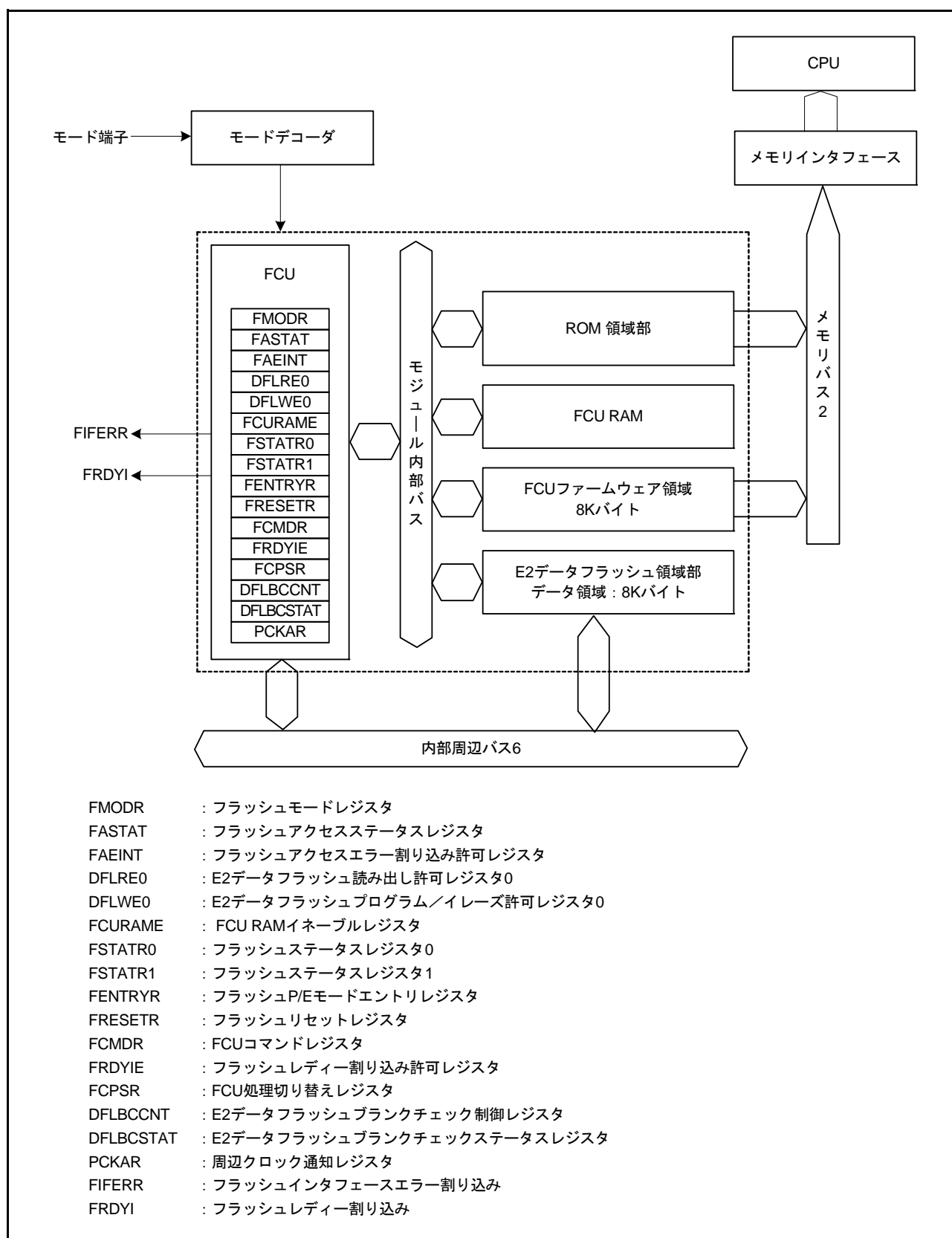


図 41.1 E2 データフラッシュのブロック図

E2 データフラッシュ関連の入出力端子については、「表 40.9 ROM 関連の入出力端子」を参照してください。

41.2 レジスタの説明

一部のレジスタはROM関連のビットも持ちますが、本章ではE2データフラッシュ関連のビット機能のみ説明します。ROM/E2データフラッシュ共用ビットで構成されるレジスタ（FRDYIE、FCURAME、FSTATR0、FSTATR1、FRESETR、FCMDR、FCPSR、PCKAR、FWEPROR）と、ROM専用のビット機能の詳細は、「40. ROM（コード格納用フラッシュメモリ）」の「40.2 レジスタの説明」を参照してください。

P/Eは、プログラム/イレーズを示します。

41.2.1 フラッシュモードレジスタ（FMODR）

アドレス 007F C402h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FRDMD	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FRDMD	FCUリードモード選択ビット	0：メモリ領域リード方式 E2データフラッシュロックビットリードモードに移行する場合に設定します。E2データフラッシュにはロックビットが存在しないため、ロックビットリードモードに移行してE2データフラッシュ領域から読み出しを実行した場合、不定データが読めます 1：レジスタリード方式 ブランクチェックコマンドを使用する場合に設定します	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ブランクチェックコマンドを使用する場合、FRDMDビットを“1”に設定してください。

内蔵ROMが無効のとき、FMODRレジスタの読み出しデータは“00h”になり、書き込みはできません。

FRDMDビット（FCUリードモード選択ビット）

E2データフラッシュロックビットリードモード移行処理かブランクチェック処理を選択するために使用します。

ROMのロックビット読み出し時には、ロックビット読み出し方法を選択するためにFRDMDビットを使用します（「40. ROM（コード格納用フラッシュメモリ）」を参照）。

41.2.2 フラッシュアクセスステータスレジスタ（FASTAT）

アドレス 007F C410h

b7	b6	b5	b4	b3	b2	b1	b0
ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPE	E2データフラッシュプログラム/イレーズプロテクト違反ビット	0: DFLWE0レジスタの設定に違反したE2データフラッシュプログラム/イレーズ系コマンドの発行なし 1: DFLWE0レジスタの設定に違反したE2データフラッシュプログラム/イレーズ系コマンドの発行あり	R/(W) (注1)
b1	DFLRPE	E2データフラッシュリードプロテクト違反ビット	0: DFLRE0レジスタの設定に違反したE2データフラッシュ読み出しなし 1: DFLRE0レジスタの設定に違反したE2データフラッシュ読み出しあり	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFLAE	E2データフラッシュアクセス違反ビット	0: E2データフラッシュアクセス違反なし 1: E2データフラッシュアクセス違反あり	R/(W) (注1)
b4	CMDLK	FCUコマンドロックビット	0: FCUはコマンドロック状態ではない 1: FCUはコマンドロック状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ROMAE	ROMアクセス違反ビット	「40. ROM（コード格納用フラッシュメモリ）」を参照してください	R/(W) (注1)

注1. フラグを“0”にするために、“1”を読んだ後に“0”を書くことのみ可能です。

内蔵ROMが無効のとき、FASTATレジスタの読み出しデータは“00h”になり、書き込みはできません。

FASTAT.DFLWPE, DFLRPE, DFLAE, ROMAE ビットのいずれかのビットが“1”になると、

FSTATR0.ILGLERR ビットが“1”になり、FCUはコマンドロック状態になります（「41.7.2 コマンドロック状態」を参照）。コマンドロック状態を解除するためには、FASTATレジスタを“10h”にした後、FCUにステータスレジスタクリアコマンドを発行する必要があります。

DFLWPE ビット（E2データフラッシュプログラム/イレーズプロテクト違反ビット）

DFLWE0レジスタで設定したプログラム/イレーズプロテクトに対する違反の有無を示すビットです。

DFLWPEビットが“1”になるとFSTATR0.ILGLERRビットが“1”になり、FCUはコマンドロック状態になります。

FSTATR0レジスタについては「40.2.6 フラッシュステータスレジスタ0（FSTATR0）」を参照してください。

[“1”になる条件]

- DFLWE0レジスタでプログラム/イレーズ禁止に設定したE2データフラッシュ領域に対して、プログラム/イレーズ系コマンドを発行

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

DFLRPE ビット（E2 データフラッシュリードプロテクト違反ビット）

DFLRE0 レジスタで設定した読み出しプロテクトに対する違反の有無を示すビットです。

DFLRPE ビットが“1”になると FSTAT0.ILGLERR ビットが“1”になり、FCU はコマンドロック状態になります。

FSTAT0 レジスタについては「40.2.6 フラッシュステータスレジスタ 0 (FSTAT0)」を参照してください。

[“1”になる条件]

- DFLRE0 レジスタで読み出し禁止に設定した E2 データフラッシュ領域に対して、リードアクセスを発行

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

DFLAE ビット（E2 データフラッシュアクセス違反ビット）

E2 データフラッシュに対するアクセス違反の有無を示すビットです。

DFLAE ビットが“1”になると FSTAT0.ILGLERR ビットが“1”になり、FCU はコマンドロック状態になります。

FSTAT0 レジスタについては「40.2.6 フラッシュステータスレジスタ 0 (FSTAT0)」を参照してください。

[“1”になる条件]

- FENTRYR.FENTRYD ビットが“1”、かつ E2 データフラッシュ P/E ノーマルモードで、E2 データフラッシュ領域に対してリードアクセスを発行
- FENTRYD ビットが“0”の状態、E2 データフラッシュ領域に対してライトアクセスを発行
- FENTRYR.FENTRY0, FENTRY1 ビットが“1”の状態、E2 データフラッシュ領域に対するアクセスを発行

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

CMDLK ビット（FCU コマンドロックビット）

FCU がコマンドロック状態であることを示すビットです（「41.7.2 コマンドロック状態」を参照）。

[“1”になる条件]

- FCU がエラーを検出してコマンドロック状態に遷移後

[“0”になる条件]

- FCU がステータスレジスタクリアコマンドを発行した後

41.2.3 フラッシュアクセスエラー割り込み許可レジスタ（FAEINT）

アドレス 007F C411h

b7	b6	b5	b4	b3	b2	b1	b0
ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE

リセット後の値 1 0 0 1 1 0 1 1

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPEIE	E2データフラッシュプログラム/イレーズプロテクト違反割り込み許可ビット	0 : FASTAT.DFLWPE ビット=1で、FIFERR 割り込み要求が発生しない 1 : FASTAT.DFLWPE ビット=1で、FIFERR 割り込み要求が発生する	R/W
b1	DFLRPEIE	E2データフラッシュリードプロテクト違反割り込み許可ビット	0 : FASTAT.DFLRPE ビット=1で、FIFERR 割り込み要求が発生しない 1 : FASTAT.DFLRPE ビット=1で、FIFERR 割り込み要求が発生する	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFLAEIE	E2データフラッシュアクセス違反割り込み許可ビット	0 : FASTAT.DFLAE ビット=1で、FIFERR 割り込み要求が発生しない 1 : FASTAT.DFLAE ビット=1で、FIFERR 割り込み要求が発生する	R/W
b4	CMDLKIE	FCUコマンドロック割り込み許可ビット	0 : FASTAT.CMDLK ビット=1で、FIFERR 割り込み要求が発生しない 1 : FASTAT.CMDLK ビット=1で、FIFERR 割り込み要求が発生する	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ROMAEIE	ROMアクセス違反割り込み許可ビット	「40. ROM（コード格納用フラッシュメモリ）」を参照してください	R/W

内蔵 ROM が無効のとき、FAEINT レジスタの読み出しデータは“00h”になり、書き込みはできません。

DFLWPEIE ビット（E2 データフラッシュプログラム/イレーズプロテクト違反割り込み許可ビット）

E2 データフラッシュプログラム/イレーズプロテクト違反が発生し、FASTAT.DFLWPE ビットが“1”になった場合の FIFERR 割り込み要求の発生を許可/禁止するためのビットです。

DFLRPEIE ビット（E2 データフラッシュリードプロテクト違反割り込み許可ビット）

E2 データフラッシュリードプロテクト違反が発生し、FASTAT.DFLRPE ビットが“1”になった場合の FIFERR 割り込み要求の発生を許可/禁止するためのビットです。

DFLAEIE ビット（E2 データフラッシュアクセス違反割り込み許可ビット）

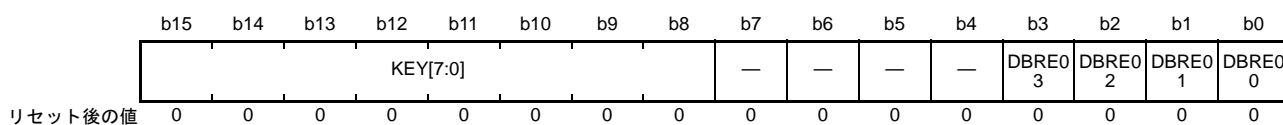
E2 データフラッシュアクセス違反が発生し、FASTAT.DFLAE ビットが“1”になった場合の FIFERR 割り込み要求の発生を許可/禁止するためのビットです。

CMDLKIE ビット（FCU コマンドロック割り込み許可ビット）

FCU コマンドロックが発生し、FASTAT.CMDLK ビットが“1”になった場合の FIFERR 割り込み要求の発生を許可/禁止するためのビットです。

41.2.4 E2 データフラッシュ読み出し許可レジスタ 0 (DFLRE0)

アドレス 007F C440h



ビット	シンボル	ビット名	機能	R/W
b0	DBRE00	DB00～DB15ブロック読み出し許可ビット	0：読み出し禁止 1：読み出し許可	R/W
b1	DBRE01	DB16～DB31ブロック読み出し許可ビット		R/W
b2	DBRE02	DB32～DB47ブロック読み出し許可ビット		R/W
b3	DBRE03	DB48～DB63ブロック読み出し許可ビット		R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコード	DFLRE0レジスタの書き換えの可否を制御します。DFLRE0レジスタを書き換える場合、上位8ビットに“2Dh”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

DFLRE0レジスタは、データ領域のDB00～DB63ブロック（図41.3を参照）の読み出しを許可/禁止するためのレジスタです。

内蔵ROMが無効のとき、DFLRE0レジスタの読み出しデータは“0000h”になり、書き込みはできません。

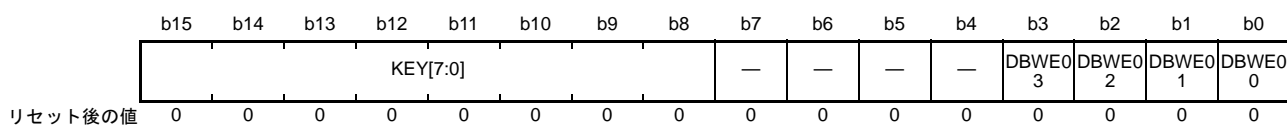
DBREjビット（DBjブロック読み出し許可ビット）（j=00～03）

データ領域のDB00～DB63ブロックに対する読み出しの許可/禁止を設定するビットです。

DBREjビットをDB00～DB63ブロックの読み出し制御に使用します。

41.2.5 E2 データフラッシュプログラム / イレーズ許可レジスタ 0 (DFLWE0)

アドレス 007F C450h



ビット	シンボル	ビット名	機能	R/W
b0	DBWE00	DB00～DB15ブロックプログラム/イレーズ許可ビット	0 : プログラム/イレーズ禁止 1 : プログラム/イレーズ許可	R/W
b1	DBWE01	DB16～DB31ブロックプログラム/イレーズ許可ビット		R/W
b2	DBWE02	DB32～DB47ブロックプログラム/イレーズ許可ビット		R/W
b3	DBWE03	DB48～DB63ブロックプログラム/イレーズ許可ビット		R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコード	DFLWE0レジスタの書き換えの可否を制御します。 DFLWE0レジスタを書き換える場合、上位8ビットに“1Eh”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

DFLWE0レジスタは、データ領域のDB00～DB63ブロック（図41.3を参照）のプログラム/イレーズを許可/禁止するためのレジスタです。

内蔵ROMが無効のとき、DFLWE0レジスタの読み出しデータは“0000h”になり、書き込みはできません。

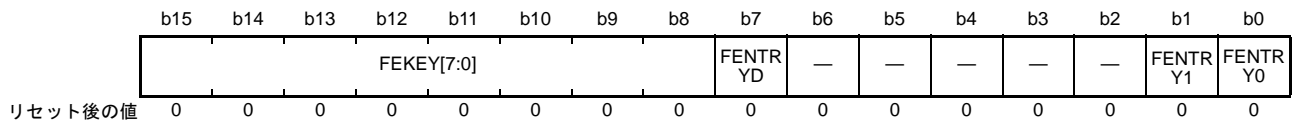
DBWEjビット（DBjブロックプログラム/イレーズ許可ビット）（j=00～03）

データ領域のDB00～DB63ブロックに対するプログラム/イレーズの許可/禁止を設定するビットです。

DBWEjビットをDB00～DB63ブロックのプログラム/イレーズ制御に使用します。

41.2.6 フラッシュ P/E モードエントリレジスタ（FENTRYR）

アドレス 007F FFB2h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/Eモードエントリビット0	「40. ROM（コード格納用フラッシュメモリ）」を参照してください	R/W
b1	FENTRY1	ROM P/Eモードエントリビット1	「40. ROM（コード格納用フラッシュメモリ）」を参照してください	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	FENTRYD	E2データフラッシュ P/Eモードエントリビット	0：E2データフラッシュはリードモード 1：E2データフラッシュはP/Eモード	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYRレジスタの書き換えの可否を制御します。FENTRYRレジスタを書き換える場合、上位8ビットに“AAh”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

ROM/E2データフラッシュをP/EモードにしてFCUのコマンド受け付けを可能にするためには、FENTRYD、FENTRY0、FENTRY1ビットのいずれかのビットを“1”にする必要があります。ただし、複数のビットに複数の“1”にした場合、FSTAT0.ILGLERRビットが“1”になって、FCUはコマンドロック状態になります。

FENTRYRレジスタをアクセスして、ROMリードモードに移行させる際には、FENTRYRレジスタを書き込み後、当該レジスタを読み出して設定値になっていることを確認後、ROMリード動作を行ってください。

内蔵ROMが無効のとき、FENTRYRレジスタの読み出しデータは“0000h”になり、書き込みはできません。

FENTRYRレジスタは、リセットもしくはFRESETR.FRESETRビットを“1”にすることによって初期化されます。

FSTAT0レジスタについては、「40.2.6 フラッシュステータスレジスタ0（FSTAT0）」を参照してください。

FRESETRレジスタについては、「40.2.11 フラッシュリセットレジスタ（FRESETR）」を参照してください。

FENTRYDビット（E2データフラッシュP/Eモードエントリビット）

FENTRYDビットは、E2データフラッシュをP/Eモードに設定するためのビットです。

[書き込み有効条件（以下の全条件を満たす場合）]

- 内蔵ROM有効時
- FSTAT0.FRDIYビットが“1”
- ワードアクセスでFEKEY[7:0]ビットに“AAh”を書き込み

[“1”になる条件]

- 書き込み有効条件を満たし、かつFENTRYRレジスタが“0000h”の状態、FENTRYDビットに“1”を書いた場合

[“0”になる条件]

- バイトアクセスで書いた場合
- ワードアクセスでFEKEY[7:0]ビットが“AAh”以外の状態で書いた場合

- 書き込み有効条件を満たした状態で、FENTRYD ビットに“0”を書いた場合
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが“0000h”以外の状態で、FENTRYR レジスタを書いた場合

41.2.7 E2 データフラッシュブランクチェック制御レジスタ（DFLBCCNT）

アドレス 007F FFCAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BCSIZE	—	—	—	—	BCADR[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	BCADR[10:0]	ブランクチェックアドレス設定ビット	チェック対象領域のアドレスを設定	R/W
b14-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	BCSIZE	ブランクチェックサイズ設定ビット	0：ブランクチェック対象領域は2バイト 1：ブランクチェック対象領域は2Kバイト	R/W

内蔵ROMが無効のとき、DFLBCCNTレジスタの読み出しデータは“0000h”になり、書き込みはできません。

DFLBCCNTレジスタは、リセットもしくはFRESETR.FRESETビットを“1”にすることによって初期化されます。

FRESETRレジスタについては、「40.2.11 フラッシュリセットレジスタ（FRESETR）」を参照してください。

BCADR[10:0] ビット（ブランクチェックアドレス設定ビット）

ブランクチェックコマンドのチェック対象領域のサイズが2バイト（BCSIZEビットが“0”）の場合に、チェック対象領域のアドレスを設定するためのビットです。BCADR[0]は、“0”を指定してください。

BCSIZEビットが“0”の場合には、DFLBCCNTレジスタの設定値と、ブランクチェックコマンド発行時に指定したブロック先頭アドレス（2Kバイト単位）を加算した値がチェック対象領域の先頭アドレスになります。

41.2.8 E2 データフラッシュブランクチェックステータスレジスタ（DFLBCSTAT）

アドレス 007F FFCEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BCST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCST	ブランクチェックステータスビット	0: ブランクチェック対象領域は消去状態（ブランク） 1: ブランクチェック対象領域は“0”データか“1”データが書き込まれた状態	R
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

内蔵ROMが無効のとき、DFLBCSTATレジスタの読み出しデータは“0000h”になり、書き込みはできません。

DFLBCSTATレジスタは、リセットもしくはFRESETR.FRESETRビットを“1”にすることによって初期化されます。

FRESETRレジスタについては、「40.2.11 フラッシュリセットレジスタ（FRESETR）」を参照してください。

41.3 E2 データフラッシュのメモリ領域構成

RX210 グループの E2 データフラッシュは、8K バイトのデータ領域で構成されています。図 41.2 に E2 データフラッシュのデータ領域構成を示します。

データ領域のアドレスはリード時とプログラム/イレーズ時で同一です。

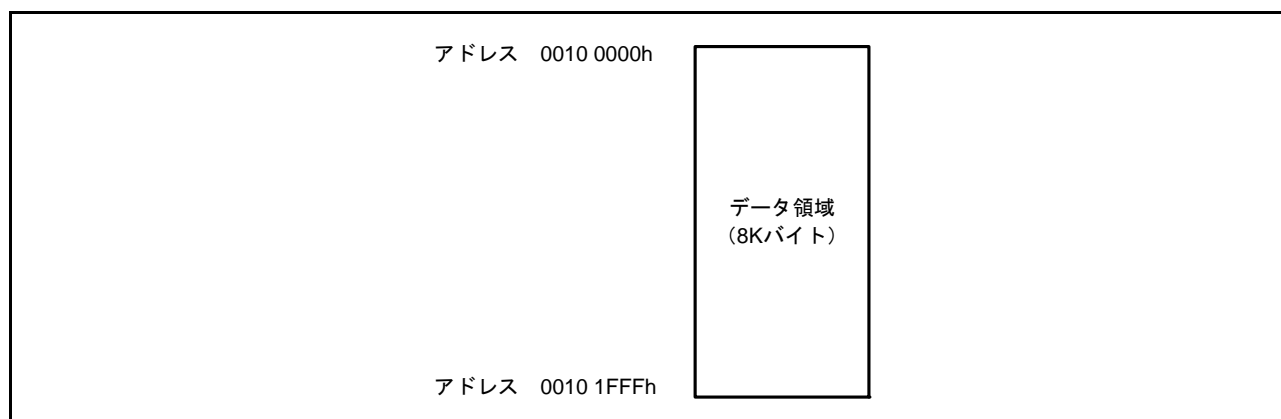


図 41.2 E2 データフラッシュのデータ領域構成

41.4 ブロック構成

データ領域の消去ブロックの構成を図 41.3 に示します。データ領域は 128 バイト（64 ブロック）に分割されていて、消去はこのブロック単位で行います。書き込みは 2 バイトまたは 8 バイト単位で行います。2 バイト書き込みでは、下位アドレスの 2 ビットが 0h または 2h で始まる 2 バイト単位で書き込みを行います。8 バイト書き込みでは、下位アドレスの 3 ビットがすべて 0 である 8 バイト単位で書き込みを行います。

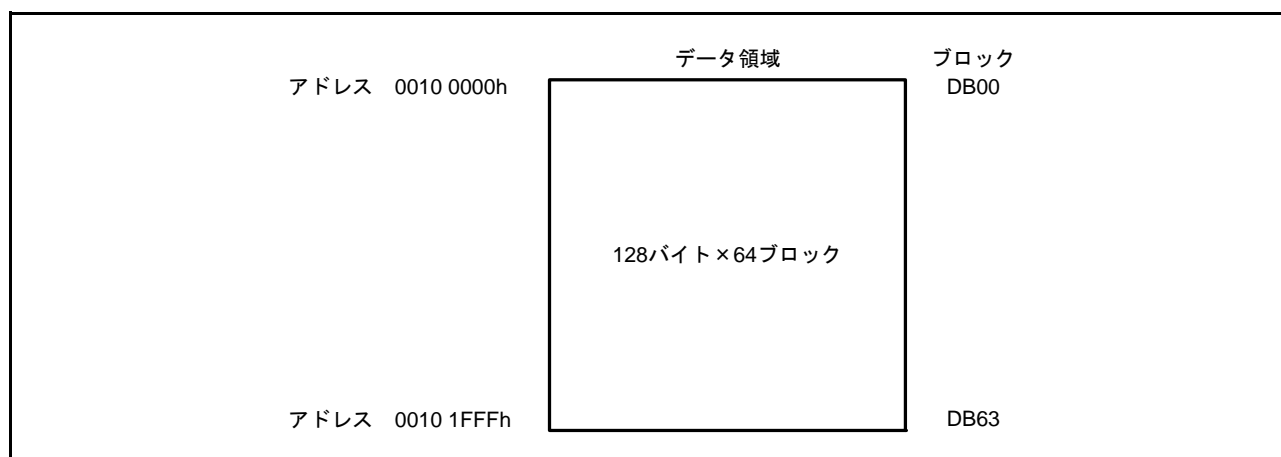


図 41.3 データ領域のブロック分割

41.5 E2 データフラッシュ関連の動作モード

動作モードの移行については、「40.5 ROM 関連の動作モード」を参照してください。

ブートモード/ユーザブートモード/シングルチップモード（内蔵ROM有効）/内蔵ROM有効拡張モードでは、オンボードでデータ領域の読み出し/プログラム/イレーズを実施できます。

各モードの相違点を表 41.2 に示します。

表 41.2 各モードの相違点

項目	ブートモード	ユーザブートモード	シングルチップモード （内蔵ROM有効）/ 内蔵ROM有効拡張モード
プログラム/イレーズ環境	オンボードプログラミング		
プログラム/イレーズ可能領域	データ領域	データ領域	データ領域
ブロック分割消去	○（注1）	○	○
リセット時の起動プログラム	ブートプログラム	ユーザブートプログラム	ユーザプログラム

注1. 起動時に全面消去される場合があります。その後、特定ブロックの消去を実施可能です。詳細は「40.10.4 IDコードプロテクト（ブートモード）」「40.10.2 ブートモードの状態遷移」を参照してください。

- ブートモードでは、ホストから SCI 経由でのデータ領域へのプログラム/イレーズ、読み出しが可能になります。
- ブートモードでは、ブートプログラムで RAM を使用します。このため、RAM のデータは保持されません。
- ユーザブートモードは、ユーザブート領域から起動し、任意のインタフェースでユーザ領域/データ領域の書き込み/読み出しが可能になります。

41.6 E2データフラッシュへのプログラム/イレーズ

E2データフラッシュへのプログラム/イレーズは、プログラム/イレーズ用の専用シーケンサ（FCU）にコマンド（FCUコマンド）を発行することで行います。FCUには、5種類のモードがあります。プログラム/イレーズを行うためには、モードを移行させ、その後、プログラム/イレーズ用のコマンドを発行することで行います。

E2データフラッシュのプログラム/イレーズに必要なモードの移行とコマンド体系について説明します。これらはブートモード/ユーザブートモード/シングルチップモード（内蔵ROM有効）/内蔵ROM有効拡張モードで共通です。

41.6.1 FCUのモード

FCUには、5種類のモードがあります。モードの移行は、FENTRYRレジスタへの書き込み、およびFCUコマンドで行います。図41.4にFCUのモード遷移図を示します。

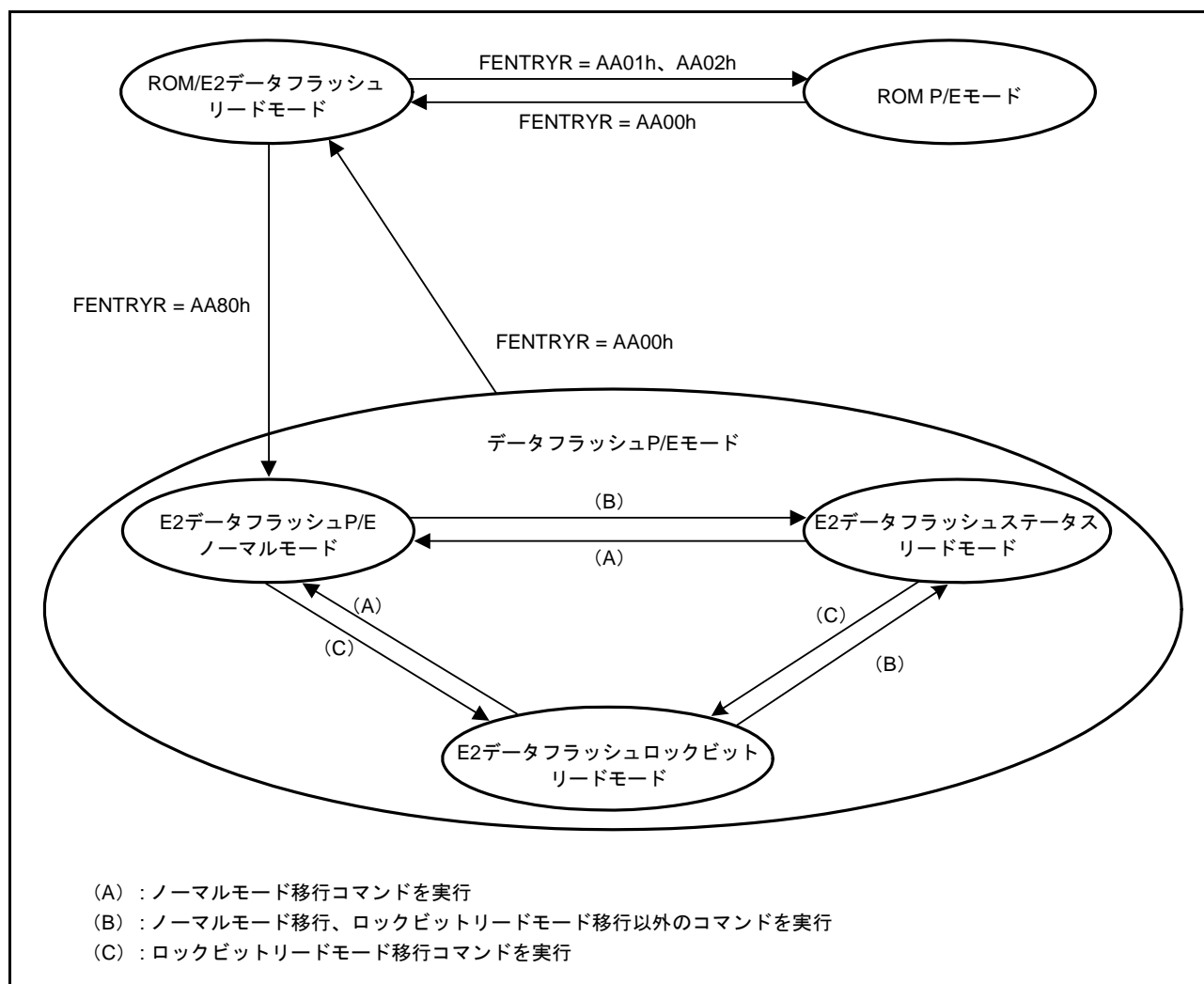


図 41.4 FCUのモード遷移図（E2データフラッシュ関連）

41.6.1.1 ROM P/E モード

ROM P/E モードは、ROM に対するプログラム / イレーズを行うモードです。
ROM P/E モードの詳細は、「40.6.1.2 ROM P/E モード」を参照してください。

41.6.1.2 ROM/E2 データフラッシュリードモード

ROM および E2 データフラッシュの読み出しが可能なモードです。FCU コマンドは受け付けられません。
FENTRYR.FENTRYD ビットを“0”、かつ FENTRYR.FENTRY0, FENTRY1 ビットを“0”にした場合にこの
モードに移行します。

41.6.1.3 E2 データフラッシュ P/E モード

E2 データフラッシュ P/E モードは、E2 データフラッシュに対するプログラム / イレーズを行うモードで
す。E2 データフラッシュの読み出しは実行できません。

E2 データフラッシュ P/E モードには、E2 データフラッシュ P/E ノーマルモード、E2 データフラッシュス
テータスリードモード、E2 データフラッシュロックビットリードモードの3種類のモードがあります。

(1) E2 データフラッシュ P/E ノーマルモード

E2 データフラッシュ P/E ノーマルモードは、E2 データフラッシュへのプログラム / イレーズの際、最初
に移行するモードです。

ROM/E2 データフラッシュリードモード時に FENTRYR.FENTRYD ビットを“1”、かつ FENTRYR.FENTRY0,
FENTRY1 ビットを“0”にした場合、または E2 データフラッシュ P/E モードでノーマルモード移行コマンド
を受け付けた場合に移行します。表 41.5 に受け付け可能なコマンドを示します。

(2) E2 データフラッシュステータスリードモード

E2 データフラッシュステータスリードモードは、E2 データフラッシュのステータスが読み出せるモード
です。

E2 データフラッシュ P/E モードでノーマルモード移行、ロックビットリードモード移行以外のコマンド
を受け付けた場合に移行します。FSTATR0.FRDY ビットが“0”の状態やエラー発生後のコマンドロック状態
も、E2 データフラッシュステータスリードモード中の状態です。表 41.5 に受け付け可能なコマンドを示し
ます。

E2 データフラッシュ領域に対してリードアクセスを発行した場合には、FSTATR0 レジスタの値が読み出
されます。ROM に対する高速読み出しは可能です。

(3) E2 データフラッシュロックビットリードモード

E2 データフラッシュロックビットリードモードは、E2 データフラッシュのロックビットが読み出せる
モードです。しかし、E2 データフラッシュにはロックビットが存在しないため、ロックビットの読み出し
はできません。

E2 データフラッシュロックビットリードモードへは、E2 データフラッシュ P/E モードでロックビット
リードモード移行コマンドを受け付けた場合に移行します。表 41.5 に受け付け可能なコマンドを示します。

E2 データフラッシュにはロックビットが存在しないため、E2 データフラッシュ領域に対してリードアク
セスを発行した場合には、読み出しデータは不定値になりますが、E2 データフラッシュアクセス違反は発
生しません。ROM に対する高速読み出しは可能です。

41.6.2 FCU コマンド一覧

FCU コマンドには、FCU のモードを移行させるためのコマンドと、プログラム/イレーズを行うためのコマンドがあります。表 41.3 に E2 データフラッシュへのプログラム/イレーズで使用可能な FCU コマンドの一覧を示します。

表41.3 FCUコマンド一覧（E2データフラッシュ関連）

コマンド	機能
P/E ノーマルモード移行	ノーマルモードに移行（「41.6.3 FCUのモードとコマンドの関係」を参照）
ステータスリードモード移行	ステータスリードモードに移行（「41.6.3 FCUのモードとコマンドの関係」を参照）
ロックビットリードモード移行 （ロックビットリード1）	ロックビットリードモードに移行（「41.6.3 FCUのモードとコマンドの関係」を参照）
周辺クロック通知	FlashIFクロック（FCLK）の周波数を設定
プログラム	E2データフラッシュ書き込み（2バイトまたは8バイト）
ブロックイレーズ	E2データフラッシュ消去（128バイト単位）
P/Eサスペンド	プログラム/イレーズの中断
P/Eレジューム	プログラム/イレーズの再開
ステータスレジスタクリア	FSTATR0.ILGLERR, ERSERR, PRGERR ビットのクリアとコマンドロック状態の解除
ロックビットリード2/ブランクチェック	指定した領域が消去状態（ブランク）であるかを確認

ブランクチェックコマンド以外の FCU コマンドは、ROM でも使用します。ロックビットリード2 コマンドは、E2 データフラッシュのブランクチェックコマンドを兼ねています。ROM に対してブランクチェックコマンドを発行した場合には、ROM のロックビット読み出しが実行されます。

FCU へのコマンド発行は、E2 データフラッシュ領域に対するライトアクセスで実現されます。

表 41.4 にプログラムコマンドとブランクチェックコマンドのフォーマットを示します。プログラムコマンドとブランクチェックコマンド以外の FCU コマンドのフォーマットは、「40. ROM（コード格納用フラッシュメモリ）」の「40.6.2 FCU コマンド一覧」を参照してください。

表 41.4 に示したライトアクセスを特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。FCU の特定条件下については、「41.6.3 FCU のモードとコマンドの関係」を参照してください。また、コマンドの使用方法については、「41.6.4 FCU コマンド使用方法」を参照してください。

表41.4 FCUコマンドのフォーマット（E2データフラッシュ専用コマンド）

コマンド	バス サイ クル 数	1サイクル目		2サイクル目		3サイクル目		4～N+2 サイクル目		N+3 サイクル目	
		ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ
プログラム (2バイト書き込み：N=1)	4	EA	E8h	EA	01h	WA	WDn	—	—	EA	D0h
プログラム (8バイト書き込み：N=4)	7	EA	E8h	EA	04h	WA	WDn	EA	WDn	EA	D0h
ブランクチェック	2	EA	71h	BA	D0h	—	—	—	—	—	—

アドレスの列 EA： E2 データフラッシュ領域のアドレス

0010 0000h ~ 0010 1FFFh の任意アドレス

WA： 書き込みデータのラインのとれた先頭アドレス

BA： E2 データフラッシュ領域のブロック先頭アドレス（ブロックは2K バイト単位）。

データの列 WDn： 書き込みデータ n ワード目（n=1 ~ N）

41.6.3 FCU のモードとコマンドの関係

FCU の各モードは、モードごとに受け付け可能な FCU コマンドが決められています。また、それらモードにおける FCU の状態によっても受け付け可能なコマンドは変わります。

FCU コマンドの発行は、FCU のモードを移行させた後、FCU の状態を確認してから発行する必要があります。

表 41.5 に FCU のモードおよび状態を受け付け可能なコマンドを示します。受け付け不可能なコマンドが発行された場合には、FCU はコマンドロック状態になります（「41.7.2 コマンドロック状態」を参照）。

FCU コマンドの発行は、受け付け可能なモードに移行した後、FSTATR0.FRDY, ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットの値を確認してから行ってください。なお、FASTAT.CMDLK ビットの値により、エラーの発生有無を確認することもできます。FASTAT.CMDLK ビットの値は、FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットの値の論理和です。

表41.5 FCUのモード/状態と受け付け可能なコマンドの関係（E2データフラッシュ P/Eモード）

	P/Eノーマルモード			ステータスリードモード									ロックビットリードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	プログラム/イレーズの処理中	消去サスペンド中の書き込み処理中	プログラム/イレーズの中断処理中	ブランクチェック処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態 (FRDY=0)	コマンドロック状態 (FRDY=1)	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATR0.FRDY ビット	1	1	1	0	0	0	0	1	1	0	1	1	1	1	1
FSTATR0.SUSRDY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
FSTATR0.ERSSPD ビット	0	1	0	0	1	0/1	0	0	1	0/1	0/1	0	0	1	0
FSTATR0.PRGSPD ビット	1	0	0	0	0	0/1	0	1	0	0/1	0/1	0	1	0	0
FASTAT.CMDLK ビット	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
P/Eノーマルモード移行	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ロックビットリードモード移行 (ロックビットリード1)	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
周辺クロック通知	×	×	○	×	×	×	×	×	×	×	×	○	×	×	○
プログラム	×	△	○	×	×	×	×	×	△	×	×	○	×	△	○
ブロックイレーズ	×	×	○	×	×	×	×	×	×	×	×	○	×	×	○
P/Eサスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×	×	×
P/Eレジャーム	○	○	×	×	×	×	×	○	○	×	×	×	○	○	×
ステータスレジスタクリア	○	○	○	×	×	×	×	○	○	×	○	○	○	○	○
ブランクチェック	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○

○：受け付け可能、△：消去中断したブロック以外への書き込みのみ受け付け可能、×：受け付け不可能

41.6.4 FCU コマンド使用方法

プログラムコマンドとブロックイレーズコマンドを使用して E2 データフラッシュをプログラム/イレーズする方法と、ブランクチェックコマンドを使用して E2 データフラッシュの消去状態を確認する方法を示します。FCU コマンド使用方法については、「40. ROM（コード格納用フラッシュメモリ）」の「40.6.4 FCU コマンド使用方法」を参照してください。

(1) 周辺クロック通知コマンドの使用方法

周辺クロックの周波数を通知します。詳細は「40. ROM（コード格納用フラッシュメモリ）」の「40.6.4 FCU コマンド使用方法」を参照してください。FENTRYR.FENTRYD ビットを“1”にして、アドレスは E2 データフラッシュ領域内のアドレスを指すように設定してください。

(2) プログラム方法

E2 データフラッシュへのデータプログラムには、プログラムコマンドを使用します。

プログラムコマンドの第 1 サイクルでは“E8h”を、第 2 サイクルでは書き込みワード数 (N) (注1) を E2 データフラッシュ領域のアドレスにバイト書き込みします。コマンドの第 3 ～第 N+2 サイクルでは、ワードサイズで書いてください。第 3 サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータを書いてください。

8 バイト書き込みの場合、第 3 サイクル～第 6 サイクルの 4 回に分けて 8 バイト (4 ワード) のデータを E2 データフラッシュにプログラムします。プログラムする 8 バイトの先頭アドレスは、第 3 サイクルで指定します。このとき指定するアドレスは 8 の整数倍である必要があります。第 4 サイクル～第 6 サイクルで指定するアドレスは、実際にプログラムするアドレスである必要はありません。

2 バイト書き込みの場合、第 3 サイクルでプログラムするアドレスとデータを指定します。アドレスは、偶数である必要があります。

E2 データフラッシュ領域のアドレスに対して N 回のワード書き込みを実行後、第 N+3 サイクルで E2 データフラッシュ領域のアドレスに対して“D0h”をバイト書き込みすると、FCU が E2 データフラッシュの書き込み処理を開始します。書き込みの完了は、FSTATR0.FRDY ビットで確認可能です。

第 3 サイクル～第 N+2 サイクルでアクセスする領域に書き込み不要なアドレスが含まれる場合は、当該アドレスに対する書き込みデータを“FFFFh”にしてください。また、DFLWE0 レジスタのプログラム/イレーズプロテクトを“1”にして、書き込みアドレスが含まれるブロックのプログラム/イレーズを許可する必要があります。

図 41.5 に E2 データフラッシュの書き込み方法を示します。

注 1. 2 バイト書き込みの場合は N = 01h、8 バイト書き込みの場合は N=04h です。

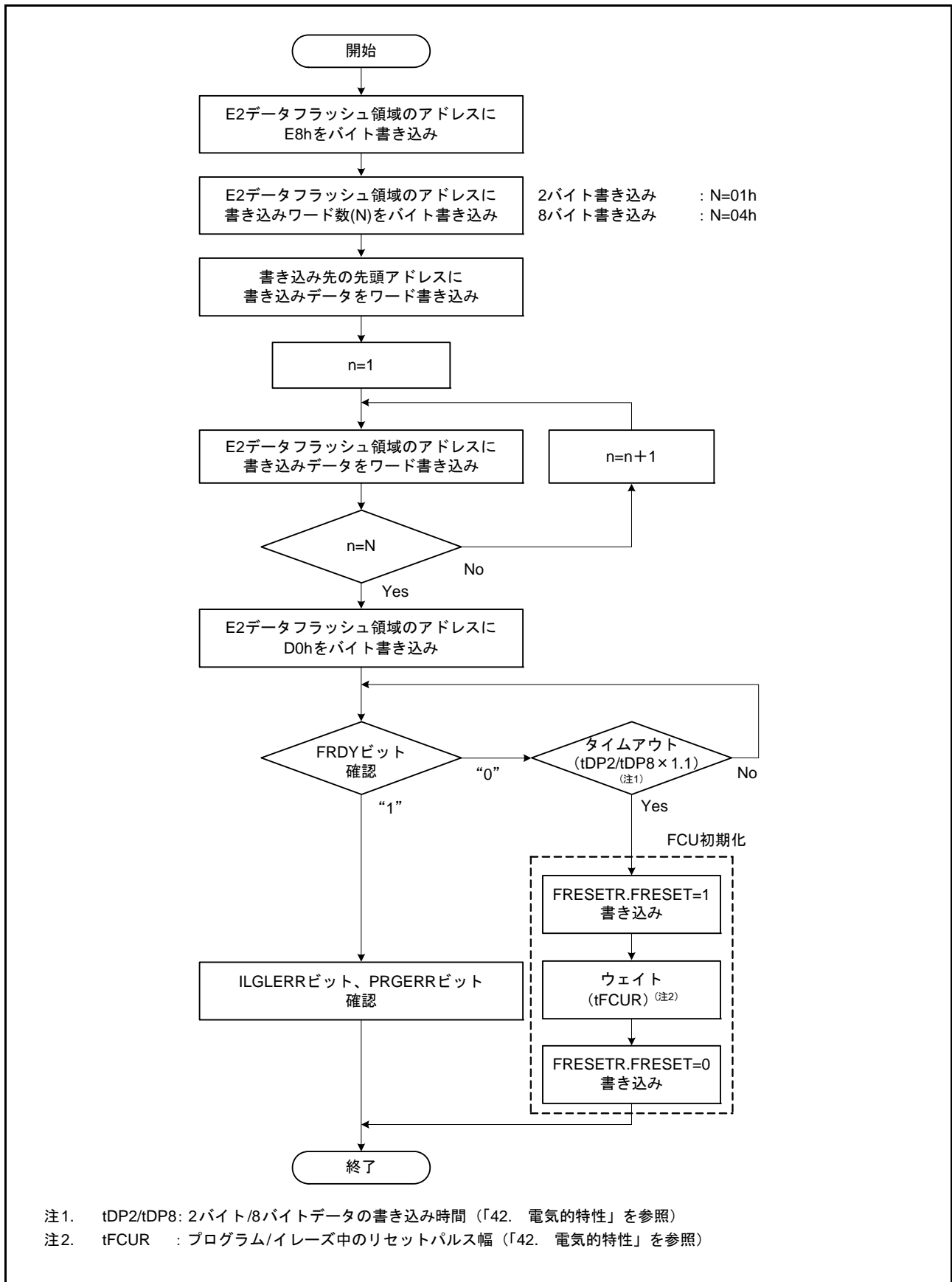


図 41.5 E2 データフラッシュの書き込み

(3) イレーズ方法

E2データフラッシュのイレーズには、ブロックイレーズコマンドを使用します。ブロックイレーズコマンドを使用した消去方法は、ROMの消去方法と同様です（「40. ROM（コード格納用フラッシュメモリ）」を参照）。

E2データフラッシュには、DFLWE0レジスタによるプログラム/イレーズプロテクト機能があることに注意してください。DFLWE0レジスタによるプロテクトを無効にして消去を実施したい場合には、消去対象ブロック用のプログラム/イレーズ許可ビットを“1”にしてから消去を行ってください。

(4) ブランクチェック

CPUで消去状態のE2データフラッシュを読んでも、その値は不定ですので、消去状態の確認にはブランクチェックコマンドを使用する必要があります。ブランクチェックコマンドを使用する場合には、事前にFMODR.FRDM Dビットを“1”にしてブランクチェックコマンドが使用可能な状態にし、DFLBCCNTレジスタにチェック対象領域のサイズとアドレスを設定してください。DFLBCCNT.BCSIZEビットが“1”の場合には、ブランクチェックコマンドの第2サイクルで指定した消去ブロック全体（2Kバイト）のブランクチェックを実行可能です。BCSIZEビットが“0”の場合には、ブランクチェックコマンドの第2サイクルで指定したブロックの先頭アドレスと、DFLBCCNTレジスタの値を加算したアドレスから2バイト分の領域のブランクチェックを実行できます。ブランクチェックコマンドの第1サイクルでは、“71h”をE2データフラッシュ領域のアドレスにバイト書き込みします。コマンドの第2サイクルでブランクチェック対象領域を含む消去ブロック内の任意アドレスに“D0h”をバイト書き込みすると、FCUがE2データフラッシュのブランクチェック処理を開始します。ブランクチェックの完了は、FSTATR0.FRDYビットで確認できます。ブランクチェックの完了後にDFLBCSTAT.BCSTビットの値を確認すると、チェック対象領域が消去状態であるか0データか1データを書いた状態であるかを確認することができます。

図 41.6 に E2 データフラッシュのブランクチェック方法を示します。

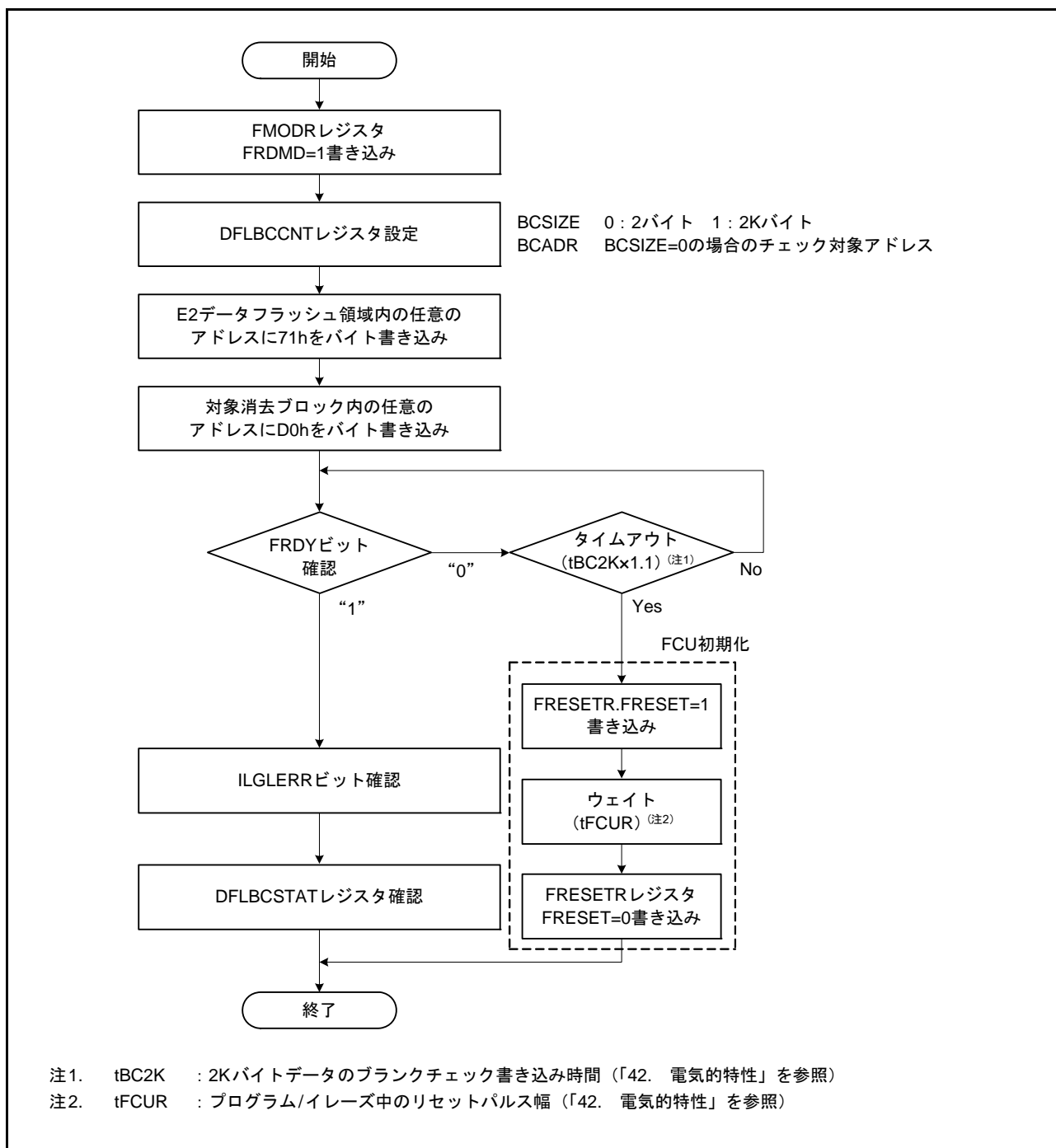


図 41.6 E2 データフラッシュのブランクチェック

41.7 プロテクト

E2データフラッシュに対するプログラム/イレーズのプロテクトには、ソフトウェアプロテクト、コマンドロック状態の2種類があります。

41.7.1 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定によってE2データフラッシュに対するプログラム/イレーズ/読み出しが禁止された状態です。ソフトウェアプロテクトに違反してE2データフラッシュに対するプログラム/イレーズ系コマンドを発行した場合、読み出しを行った場合には、FCUがエラーを検出してコマンドロック状態になります。

(1) FWEPROR レジスタによるプロテクト

FWEPROR.FLWE[1:0] ビットを“01b”に設定しないと、いずれのモードにおいても書き換えできません。

(2) FENTRYR レジスタによるプロテクト

FENTRYR.FENTRYD ビットが“0”の場合には、ROM/E2データフラッシュリードモードになります。ROM/E2データフラッシュリードモードではFCUコマンドが受け付けられないため、E2データフラッシュのプログラム/イレーズは禁止状態になります。ROM/E2データフラッシュリードモードでE2データフラッシュに対するFCUコマンドを発行すると、FCUは不正コマンドエラーを検出してコマンドロック状態になります（「41.7.2 コマンドロック状態」を参照）。

(3) DFLWE0 レジスタによるプロテクト

DFLWE0.DBWE_j (j=00～03) ビットが“0”の場合には、データ領域のDB_jブロックのプログラム/イレーズが禁止状態になります。DBWE_j ビットが“0”の状態ではDB_jブロックに対するプログラム/イレーズを実行すると、FCUはライトプロテクト違反を検出してコマンドロック状態になります（「41.7.2 コマンドロック状態」を参照）。

(4) DFLRE0 レジスタによるプロテクト

DFLRE0.DBRE_j (j=00～03) ビットが“0”の場合には、データ領域のDB_jブロックの読み出しが禁止状態になります。DBRE_j ビットが“0”の状態ではDB_jブロックに対する読み出しを実行すると、FCUはリードプロテクト違反を検出してコマンドロック状態になります（「41.7.2 コマンドロック状態」を参照）。

41.7.2 コマンドロック状態

コマンドロック状態は、FCU コマンドの誤発行、禁止アクセスの発生により、FCU が誤動作を検知して FCU コマンドの受け付けを禁止する状態です。

ステータスビット（FSTAT0.ILGLERR, ERSERR, PRGERR ビット、FSTAT1.FCUERR ビット、FASTAT.DFLAE, DFLRPE, DFLWPE ビット）のいずれか、もしくはこれらのビットに複数“1”がセットされると、FCU がコマンドロック状態（FASTAT.CMDLK ビットが“1”）になり、E2 データフラッシュのプログラム/イレーズが禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが“10h”の状態ですてータスレジスタクリアコマンドを発行する必要があります。

FAEINT.CMDLKIE ビットが“1”の場合には、FCU がコマンドロック状態（FASTAT.CMDLK ビットが“1”）になると、フラッシュインタフェースエラー（FIFERR）割り込みが発生します。また、FAEINT レジスタの E2 データフラッシュ関連の割り込み許可ビット（DFLAEIE, DFLRPEIE, DFLWPEIE ビット）が“1”の場合には、FASTAT レジスタの対応するビット（DFLAE, DFLRPE, DFLWPE ビット）が“1”になったときも FIFERR 割り込みが発生します。

表 41.6 に E2 データフラッシュ関連のコマンドロック状態の内容とエラー検出後のステータスビット値（FSTAT0.ILGLERR, ERSERR, PRGERR ビット、FASTAT.DFLAE, DFLRPE, DFLWPE ビット）の関係を示します。ROM/E2 データフラッシュ共通のコマンドロック状態の内容（FENTRYR 設定エラー、不正コマンドの大半、消去エラー、書き込みエラー、FCU エラー）については、「40. ROM（コード格納用フラッシュメモリ）」の「40.8.2 コマンドロック状態」を参照してください。

プログラム/イレーズ処理中にサスペンド以外のコマンドを発行するとコマンドロック状態に遷移しますが、FCU はプログラム/イレーズ処理を継続します。この状態で P/E サスペンドコマンドを発行してプログラム/イレーズを中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビットが“1”になります。

表 41.6 コマンドロック状態となるエラーの一覧（E2データフラッシュ専用）

分類	内容	ILGLERR	ERSERR	PRGERR	DFLAE	DFLRPE	DFLWPE
不正コマンドエラー	プログラムコマンドの2サイクル目で01h、04h以外を指定	1	0	0	0	0	0
	FENTRYR.FENTRYD ビットが“1”の状態、E2 データフラッシュ領域に対してロックビットプログラムコマンドを発行	1	0	0	0	0	0
E2 データフラッシュ アクセス違反	FENTRYD ビットが“1”、かつ E2 データフラッシュ P/E ノーマルモードで、E2 データフラッシュ領域に対してリードアクセスを発行	1	0	0	1	0	0
	FENTRYD ビットが“0”の状態、E2 データフラッシュ領域に対してライトアクセスを発行	1	0	0	1	0	0
	FENTRYR.FENTRY0, FENTRY1 ビットのいずれかが“1”の状態、E2 データフラッシュ領域に対するアクセスを発行	1	0	0	1	0	0
E2 データフラッシュ リードプロテクト違反	DFLRE0 レジスタで読み出し禁止に設定した E2 データフラッシュ領域に対してリードアクセスを発行	1	0	0	0	1	0
E2 データフラッシュ ライトプロテクト違反	DFLWE0 レジスタでプログラム/イレーズ禁止に設定した E2 データフラッシュ領域に対して、プログラム/ブロックイレーズコマンドを発行	1	0	0	0	0	1

41.8 ブートモード

ブートモードでは、ホストから制御コマンドや書き込みデータを送信してデータ領域のプログラム/イレーズを実行可能です。ブートモードのシステム構成や使用方法の詳細は、「40.10 ブートモード」を参照してください。以下にE2データフラッシュ固有のコマンドについて説明します。

41.8.1 問い合わせ/設定コマンド

表 41.7 に E2 データフラッシュ固有の問い合わせ/設定コマンド一覧を示します。データ領域有無問い合わせ/データ領域情報問い合わせコマンドは、「40.10.6 問い合わせ/設定コマンド待ち」「図 40.27 ユーザ領域/ユーザブート領域/問い合わせ/設定コマンドの使用例」に示したフロー中の“領域書き込み用の情報問い合わせ”を実施する箇所で使用します。

表41.7 問い合わせ/設定コマンド（E2データフラッシュ固有）

コマンド名	機能
データ領域有無問い合わせ	データ領域有無の問い合わせ
データ領域情報問い合わせ	データ領域の個数、先頭/最終アドレスの問い合わせ

各コマンドの詳細を以下に説明します。説明文中の“コマンド”はホストからRX210に送信するコマンド、“レスポンス”はRX210からホストに送信する応答です。“チェックサム”はRX210が送信した各バイトを合計した場合に、00hになるように計算されたバイトデータを指します。

(1) データ領域有無問い合わせ

ホストがデータ領域有無問い合わせコマンドを送信すると、データ領域が有ることを示す情報をRX210が送信します。

コマンド	2Ah			
レスポンス	3Ah	サイズ	領域有無	SUM

サイズ（1バイト） : 領域有無の文字数（固定値で1）

領域有無（1バイト） : データ領域の有無（固定値で21h）
21h : データ領域あり

SUM（1バイト） : チェックサム

(2) データ領域情報問い合わせ

ホストがデータ領域情報問い合わせコマンドを送信すると、データ領域の領域数とアドレスの情報をRX210が送信します。

コマンド	2Bh		
レスポンス	3Bh	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ (1バイト) : 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数

領域数 (1バイト) : データ領域の領域数（連続した領域は1領域と数えます。）

領域先頭アドレス (4バイト) : データ領域の先頭アドレス

領域最終アドレス (4バイト) : データ領域の最終アドレス

SUM (1バイト) : チェックサム

データ領域のブロック構成の情報は、消去ブロック情報問い合わせコマンド（「40.10.6 問い合わせ / 設定コマンド待ち」を参照）のレスポンスに含まれます。

41.8.2 プログラム/イレーズコマンド

表 41.8 に E2 データフラッシュ固有のプログラム/イレーズコマンド一覧を示します。E2 データフラッシュ固有のコマンドはデータ領域のチェックサム/ブランクチェック用のコマンドのみで、プログラム/イレーズ/読み出し用のコマンドは ROM と共用です。

データ領域の書き込みを行う場合は、ユーザ領域書き込み選択コマンドを発行後、256 バイト書き込みコマンドで書き込みアドレスにデータ領域のアドレスを指定します。データ領域の消去を行う場合は、消去選択コマンド発行後、ブロック消去コマンドでデータ領域の消去ブロックを指定します。データ領域の消去ブロック情報は、消去ブロック問い合わせコマンドのレスポンスに含まれます。データ領域の読み出しを行う場合は、メモリリードコマンドでユーザ領域を選択し、読み出し対象アドレスにデータ領域のアドレスを指定します。

ユーザ領域書き込み選択コマンド/ユーザブート領域書き込み選択コマンド/256 バイト書き込みコマンド/消去選択コマンド/ブロック消去コマンド/メモリリードコマンドの詳細は、「40.10.8 プログラム/イレーズコマンド待ち」を参照してください。消去ブロック情報問い合わせコマンドの詳細は、「40.10.6 問い合わせ / 設定コマンド待ち」を参照してください。

表41.8 プログラム/イレーズコマンド（E2データフラッシュ固有）

コマンド名	機能
データ領域チェックサム	データ領域のチェックサム
データ領域ブランクチェック	データ領域のブランクチェック

各コマンドの詳細を以下に説明します。説明文中の“コマンド”はホストからRX210に送信するコマンド、“レスポンス”はRX210からホストに送信する応答です。“チェックサム”は、RX210が送信した各バイトを合計した場合に、00hになるように計算されたバイトデータを指します。

(1) データ領域チェックサム

ホストがデータ領域チェックサムコマンドを送信すると、RX210はデータ領域のデータをバイト単位で加算した結果（チェックサム）を送信します。

コマンド	61h		
レスポンス	71h	サイズ	領域のチェックサム
			SUM

サイズ (1バイト) : 領域のチェックサムのバイト数 (固定値で4)
 領域のチェックサム (4バイト) : データ領域のチェックサム結果
 SUM (1バイト) : チェックサム (レスポンスデータのチェックサム)

(2) データ領域ブランクチェック

ホストがデータ領域ブランクチェックコマンドを送信すると、RX210はデータ領域がすべて消去状態であるかをチェックします。データ領域がすべて消去状態であった場合には、RX210はレスポンス (06h) を送信します。データ領域に未消去領域が存在した場合には、RX210はエラーレスポンス (E2h、52h) を送信します。

コマンド	62h	
レスポンス	06h	
エラー レスポンス	E2h	52h

41.9 使用上の注意事項

(1) リセット起動直後のデータ領域プロテクト状態

DFLRE0、DFLWE0レジスタの初期値が“0000h”であるため、リセット起動直後のデータ領域の読み出し/プログラム/イレーズは禁止状態です。データ領域の読み出しが必要な場合にはDFLRE0レジスタを設定してからデータ領域にアクセスしてください。また、データ領域のプログラム/イレーズが必要な場合には、DFLWE0レジスタを設定してからプログラム/イレーズ用のFCUコマンドを発行してください。レジスタを設定せずに読み出し/プログラム/イレーズを実行しようとする、FCUがエラーを検出してコマンドロック状態になります。

(2) その他の注意事項

その他の注意事項についてはROMと同じです。「40. ROM（コード格納用フラッシュメモリ）」の「40.13 使用上の注意事項」を参照してください。ただし、E2データフラッシュの場合、ブランクチェックが追加されます。プログラム/イレーズをプログラム/イレーズ/ブランクチェックと読み替えてください。

42. 電気的特性

42.1 絶対最大定格

表 42.1 絶対最大定格

条件：VSS = AVSS0 = VREFL = VREFL0 = 0V

項目	記号	定格値	単位
電源電圧	VCC	-0.3 ~ +6.5	V
入力電圧 (5Vトレラント対応ポート (注1) 以外)	V _{in}	-0.3 ~ VCC+0.3 (注3)	V
入力電圧 (5Vトレラント対応ポート (注1))	V _{in}	-0.3 ~ +6.5	V
リファレンス電源電圧	VREFH、VREFH0	-0.3 ~ VCC+0.3 (注3)	V
アナログ電源電圧	AVCC0 (注2)	-0.3 ~ +6.5	V
アナログ入力電圧	V _{AN}	-0.3 ~ VCC+0.3 (注3)	V
動作温度	T _{opr}	-40 ~ +105	°C
保存温度	T _{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0間、VREFH0端子とVREFL0間には周波特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近傍に配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL端子は、0.1μF (±20%精度)のコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。

注1. ポート12、13、16、17は、5Vトレラント対応です。

注2. AVCC0は、VCCに接続してください。また、A/DおよびD/Aコンバータ未使用時にAVCC0、VREFH、VREFH0、AVSS0、VREFL、VREFL0端子を開放しないでください。AVCC0、VREFH、VREFH0端子はVCCに、AVSS0、VREFL、VREFL0端子はVSSにそれぞれ接続してください。

注3. 最大値は6.5Vです。

42.2 DC 特性

表42.2 DC特性 (1)

条件: VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	RIIC入力端子 (SMBusを除く、 5Vトレラント)	V _{IH}	VCC × 0.7	—	5.8	V	
	ポート12, 13, 16, 17 (5Vトレ ラント)		VCC × 0.8	—	5.8		
	ポート0、ポート14, 15、 ポート2~ポート9、 ポートA~ポートL、RES#		VCC × 0.8	—	VCC + 0.3		
	RIIC入力端子 (SMBusを除く)	V _{IL}	-0.3	—	VCC × 0.3		
	RIIC入力端子以外		-0.3	—	VCC × 0.2		
	RIIC入力端子 (SMBusを除く)	ΔV _T	VCC × 0.05	—	—		
	RIIC入力端子以外		VCC × 0.1	—	—		
入力レベル電圧 (シュミットトリ ガ入力端子を除 く)	MD端子	V _{IH}	VCC × 0.9	—	VCC + 0.3	V	
	EXTAL、WAIT#		VCC × 0.8	—	VCC + 0.3		
	D0~D15		VCC × 0.7	—	VCC + 0.3		
	RIIC入力端子 (SMBus)	2.1	—	VCC + 0.3			
	MD端子	V _{IL}	-0.3	—	VCC × 0.1		
	EXTAL、WAIT#		-0.3	—	VCC × 0.2		
	D0~D15		-0.3	—	VCC × 0.3		
	RIIC入力端子 (SMBus)		-0.3	—	0.8		

表42.3 DC特性 (2)

条件: VCC = AVCC0 = 1.62 ~ 2.7V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件	
シュミットトリガ 入力電圧	ポート12, 13, 16, 17 (5Vトレラント)	V _{IH}	VCC × 0.8	—	5.8	V		
	ポート0、ポート14, 15、 ポート2~ポート9、 ポートA~ポートL、RES#		VCC × 0.8	—	VCC + 0.3			
	全端子	V _{IL}	-0.3	—	VCC × 0.2			
	ポート0~ポート9、 ポートA~ポートL	ΔV _T	VCC ≥ 2.2V	VCC × 0.05	—			—
			VCC < 2.2V	VCC × 0.01	—			—
RES#		VCC × 0.1	—	—				
入力レベル 電圧 (シュミット トリガ入力端子を 除く)	MD端子	V _{IH}	VCC × 0.9	—	VCC + 0.3	V		
	EXTAL、WAIT#		VCC × 0.8	—	VCC + 0.3			
	D0~D15		VCC × 0.7	—	VCC + 0.3			
	MD端子	V _{IL}	-0.3	—	VCC × 0.1			
	EXTAL、WAIT#		-0.3	—	VCC × 0.2			
	D0~D15		-0.3	—	VCC × 0.3			

表 42.4 DC特性 (3)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFLO = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, MD端子、P35/NMI	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0\text{V}$ 、VCC
スリーステートリーク電流 (オフ状態)	ポート4	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0\text{V}$ 、VCC
	5Vトレラント対応ポートとポート4以外		—	—	0.2		
	5Vトレラント対応ポート		—	—	1.0		
入力容量	全入力端子 (ポート12、13、16、17、ポート4、 ポートA1、A3、A4、ポートE以外)	C_{in}	—	—	15	pF	$V_{in} = 0\text{V}$ 、 $f = 1\text{MHz}$ 、 $T_a = 25^\circ\text{C}$
	ポート12、13、16、17、ポート4、 ポートA1、A3、A4、ポートE		—	—	30		

表 42.5 DC特性 (4)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFLO = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC						単位	測定条件	
		1.62 ~ 2.7V		2.7 ~ 4.0V		4.0 ~ 5.5V				
		min	max	min	max	min	max			
入力プルアップMOS電流	全ポート (ポート35を除く)	I_p	-150	-5	-200	-10	-400	-50	μA	$V_{in} = 0\text{V}$

[チップバージョンAの場合]

表 42.6 DC特性 (5)

条件: VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL = VREFLO = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目				記号	typ	max	単位	測定条件						
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	I_{CC}	10	—	mA							
			全周辺動作通常動作 (注3)						ICLK = 50MHz	31.5	—			
			全周辺動作最大動作 (注3)						ICLK = 50MHz	—	55			
		スリープモード	周辺動作なし						ICLK = 50MHz	7.5	—			
			全周辺動作通常動作						ICLK = 50MHz	17.5	—			
		全モジュールクロックストップモード	ICLK = 50MHz						6.7	—				
		BGO動作時の増加分 (注4)								25	—			

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKは64分周です。

注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKはICLKの2分周です。

注4. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。

[チップバージョン A の場合]

表 42.7 DC 特性 (6)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目					記号	typ	max	単位	測定条件
消費電流 (注1)	中速動作モード 1A、1B	通常動作 モード	周辺動作なし	ICLK = 32MHz (注2)	I _{CC}	7.0	—	mA	
				ICLK = 20MHz (注3)		6.0	—		
			全周辺動作 通常動作	ICLK = 32MHz (注4)		26	—		
				ICLK = 20MHz (注5)		18.5	—		
			全周辺動作 最大動作	ICLK = 32MHz (注4)		—	40		
				ICLK = 20MHz (注5)		—	30		
		スリープ モード	周辺動作なし	ICLK = 32MHz	5.0	—			
				ICLK = 20MHz	4.6	—			
			全周辺動作 通常動作	ICLK = 32MHz	15.5	—			
		全モジュールクロックストップ モード		ICLK = 32MHz	4.5	—			
	ICLK = 20MHz			4.3	—				
	BGO動作時の 増加分 (注6)	中速動作モード1A		25	—				
		中速動作モード1B		20	—				
	低速動作モード1	通常動作 モード	周辺動作なし (注7)	ICLK = 1MHz	0.68	—			
				ICLK = 1MHz	2.4	—			
			全周辺動作 最大動作 (注8)	ICLK = 1MHz	—	7			
		スリープ モード	周辺動作なし	ICLK = 1MHz	0.6	—			
				全周辺動作 通常動作	ICLK = 1MHz	2	—		
		全モジュールクロックストップモード			0.58	—			
		低速動作モード2	通常動作 モード	周辺動作なし (注9)	ICLK = 32kHz	0.024	—		
					ICLK = 32kHz	0.05	—		
全周辺動作 最大動作 (注10)	ICLK = 32kHz			—	3 (注11)				
スリープ モード	周辺動作なし		ICLK = 32kHz	0.02	—				
			全周辺動作 通常動作	ICLK = 32kHz	0.04	—			
全モジュールクロックストップモード			0.018	—					

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プリアップMOSをオフ状態にした場合の値です。

注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKは64分周です。

注3. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKは64分周です。

注4. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKはICLKと同じです。

注5. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKはICLKと同じです。

注6. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。

注7. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKは64分周です。

注8. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKはICLKと同じです。

注9. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKは64分周です。

注10. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKはICLKと同じです。

注11. メインクロックが12.5MHzで発振継続している場合の値です。

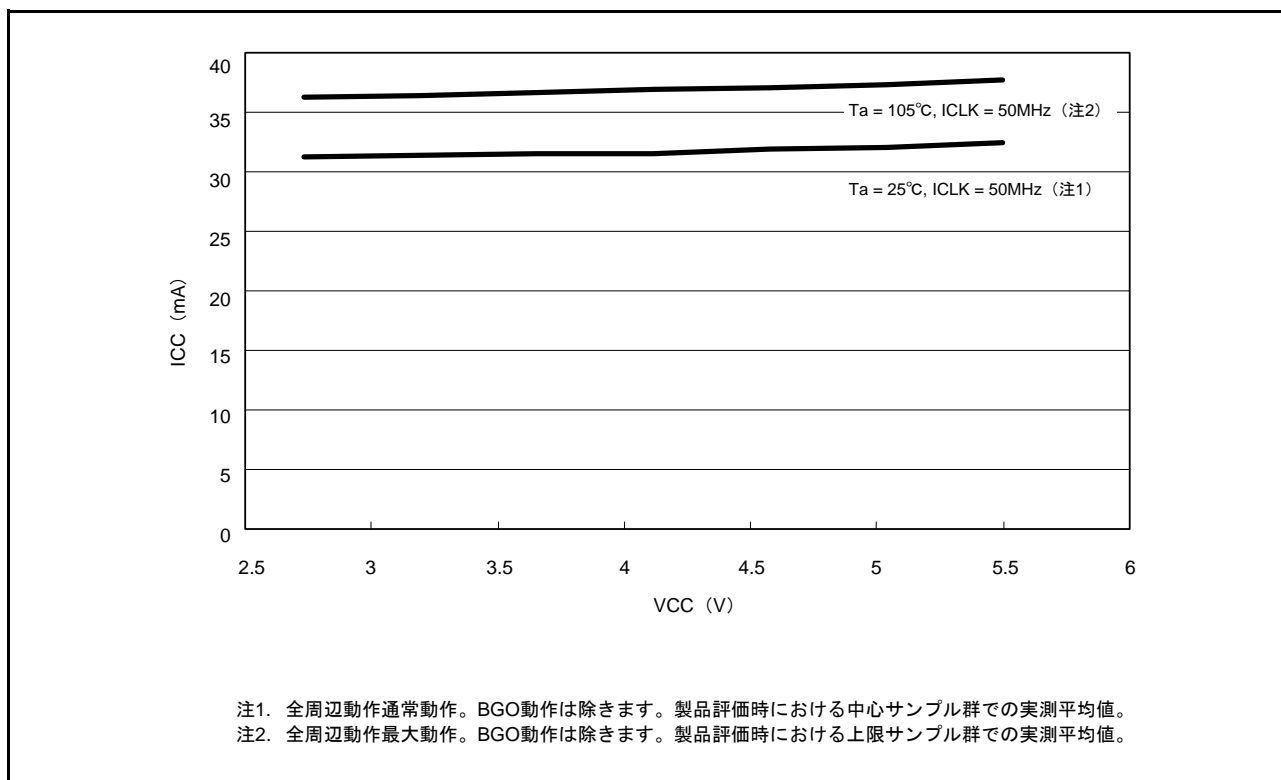


図 42.1 高速動作モードの電圧依存性 (参考データ) チップバージョン A

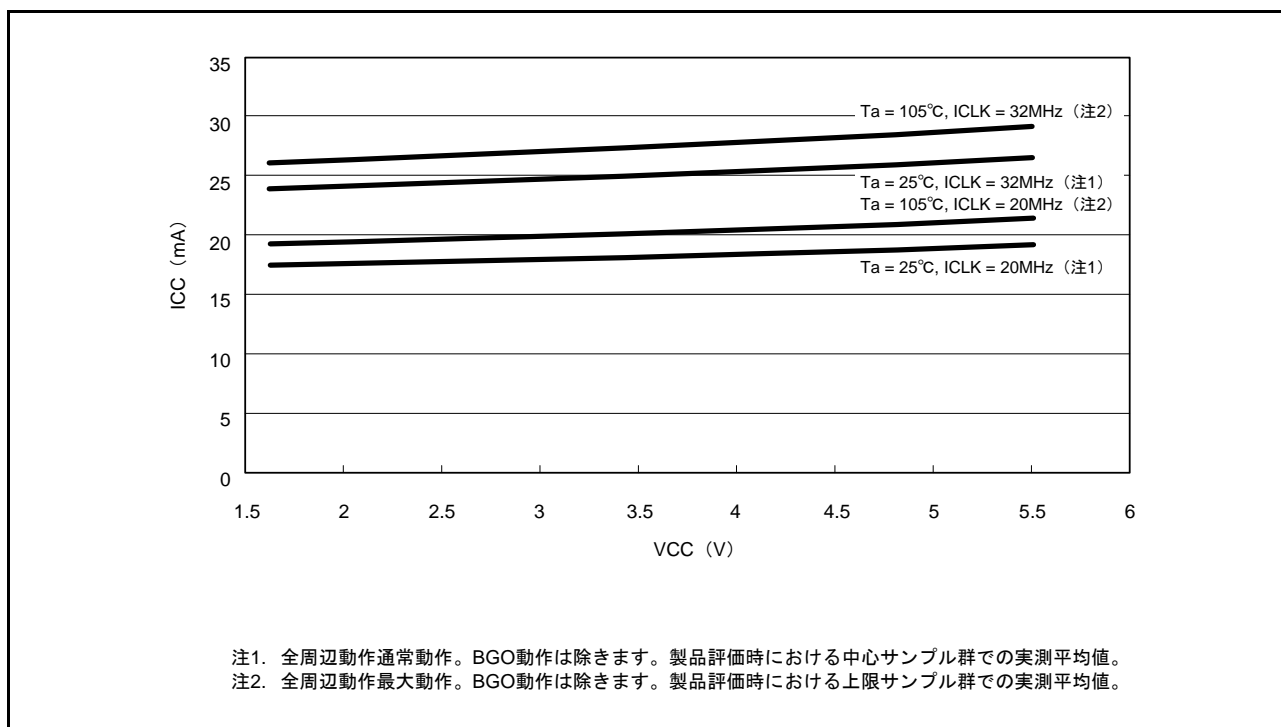


図 42.2 中速動作モード 1A、1B の電圧依存性 (参考データ) チップバージョン A

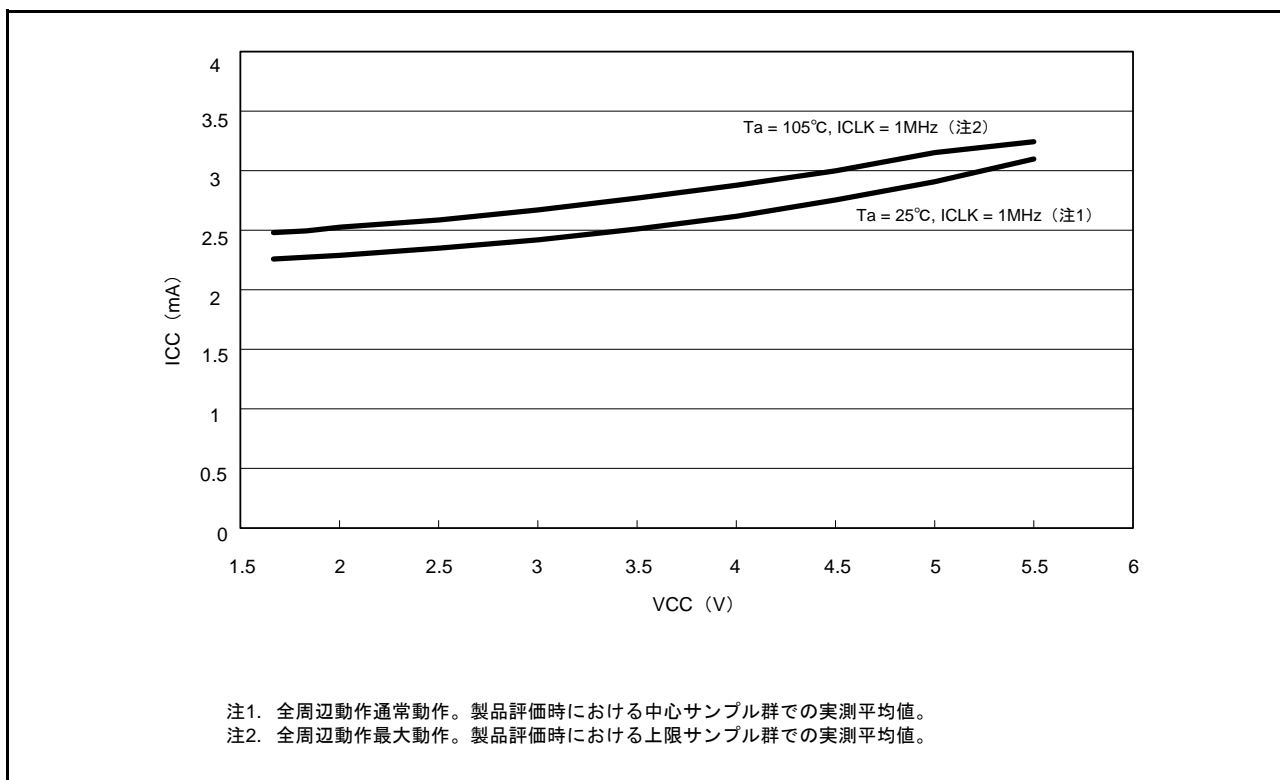


図 42.3 低速動作モード1の電圧依存性 (参考データ) チップバージョン A

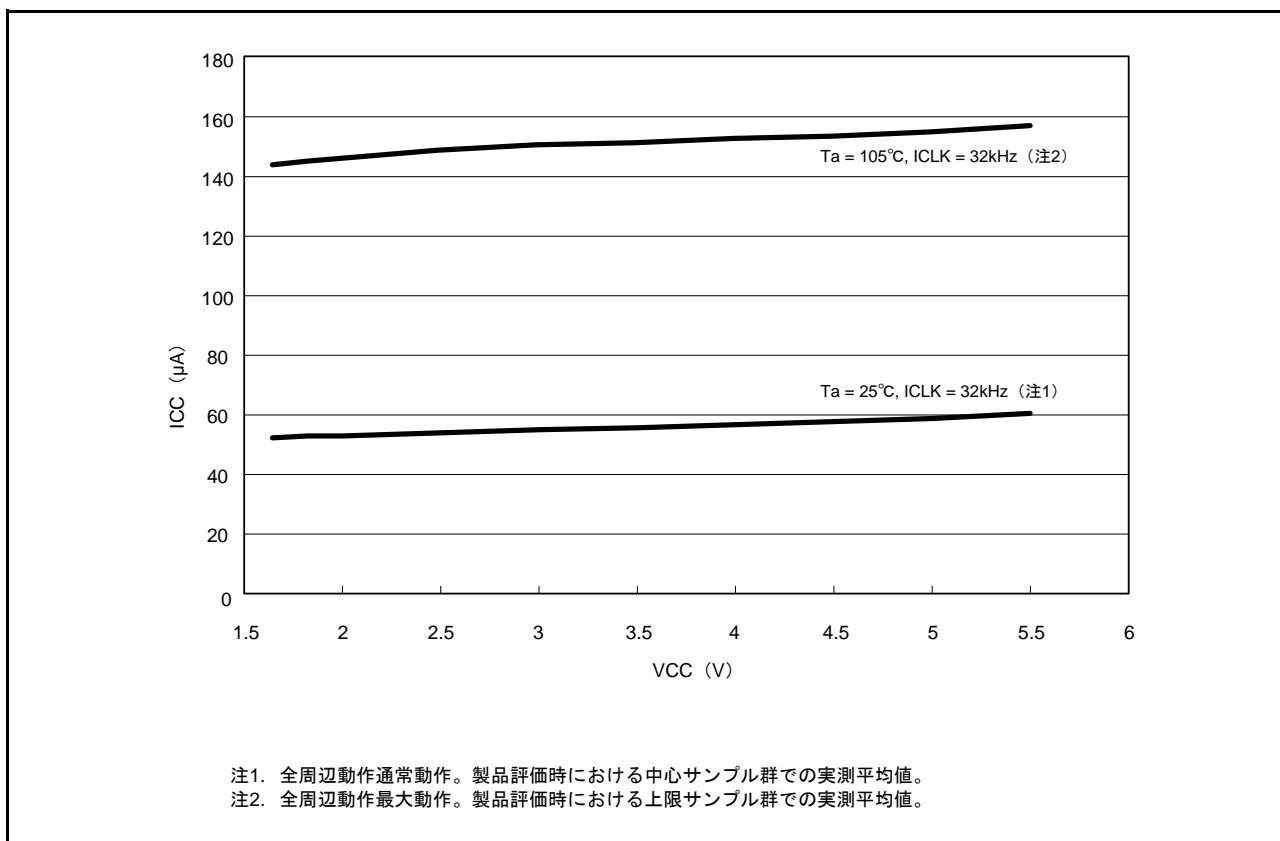


図 42.4 低速動作モード2の電圧依存性 (参考データ) チップバージョン A

[チップバージョン A の場合]

表 42.8 DC 特性 (7)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = 0V、T_a = -40 ~ +105°C

項目				記号	typ (注3)	max	単位	測定条件
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給、 HOCO電源供給、 PORの低消費電力機能無効 (SOFTCUT[2:0]ビット = 000b)	T _a = 25°C	I _{CC}	175	—	μA	
			T _a = 25°C		3.0	—		
			T _a = 85°C		—	130		
		フラッシュメモリ電源供給なし、 HOCO電源供給なし、 PORの低消費電力機能有効 (SOFTCUT[2:0]ビット = 110b)	T _a = 105°C		—	150		
			T _a = 25°C		2.0	—		
			T _a = 85°C		—	120		
		フラッシュメモリ電源供給なし、 HOCO電源供給なし、 PORの低消費電力機能有効 (SOFTCUT[2:0]ビット = 111b)	T _a = 105°C		—	140		
			T _a = 25°C		0.45	—		
			T _a = 85°C		—	20		
	ディープソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給なし、 HOCO電源供給なし、 PORの低消費電力機能有効 (DEEPCUT1ビット = 1)	T _a = 105°C	—	25			
			電圧検出回路動作、PORの低消費電力機能無効による増分			1.4	—	
			RTC動作の増加分 (低CLの場合)			0.8	—	
	RTC動作の増加分 (標準CLの場合)			2.0	—			

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プリアップMOSをオフ状態にした場合の値です。

注2. IWDT と LVD は動作停止です。

注3. VCC = 3.3V の場合です。

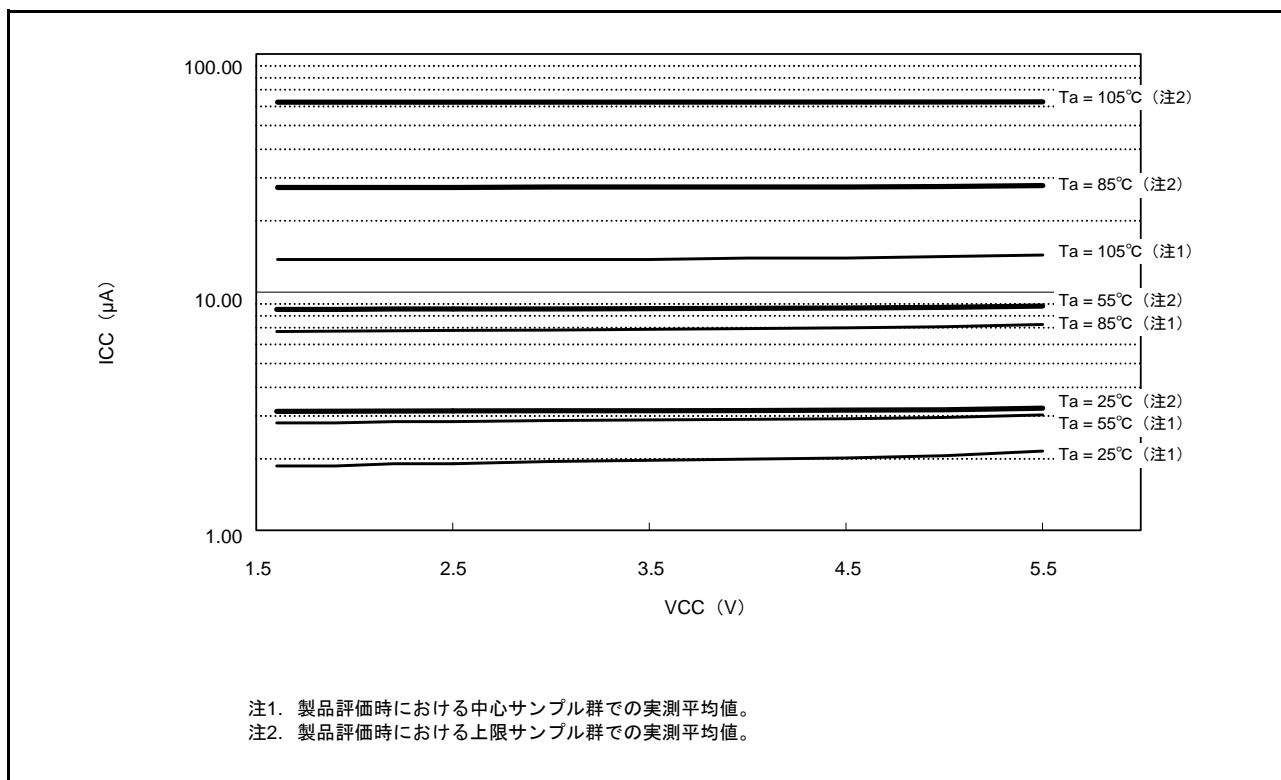


図 42.5 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 111b) 時の電圧依存性 (参考データ) チップバージョン A

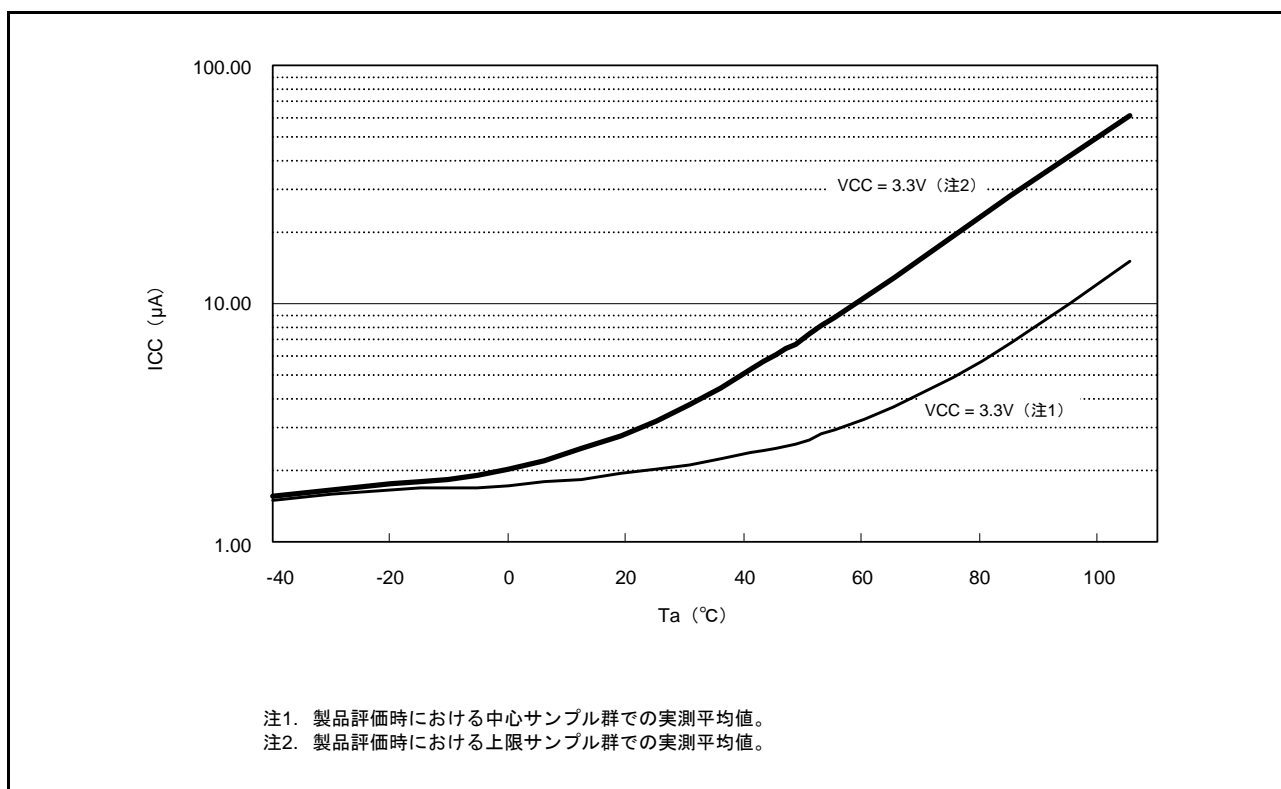


図 42.6 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 111b) 時の温度依存性 (参考データ) チップバージョン A

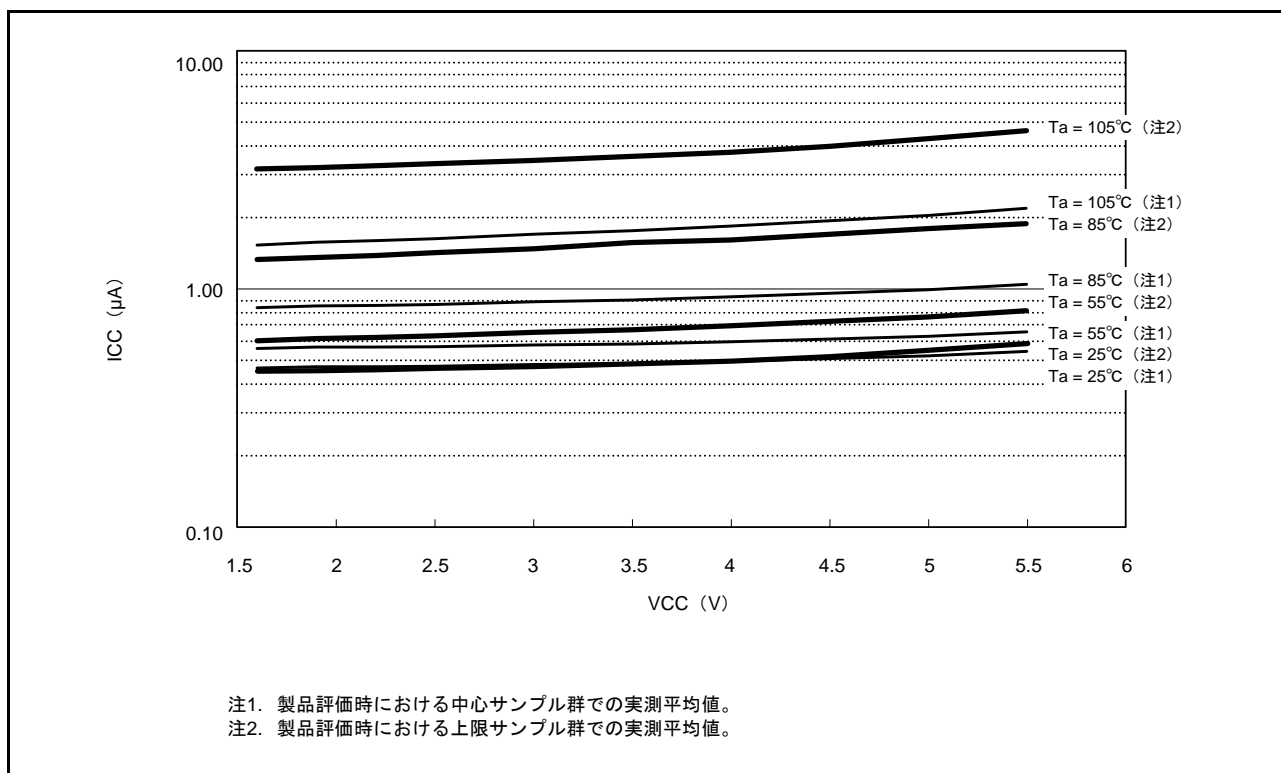


図 42.7 ディープソフトウェアスタンバイモード時の電圧依存性 (DEEPCUT1 ビット = 1) (参考データ) チップバージョン A

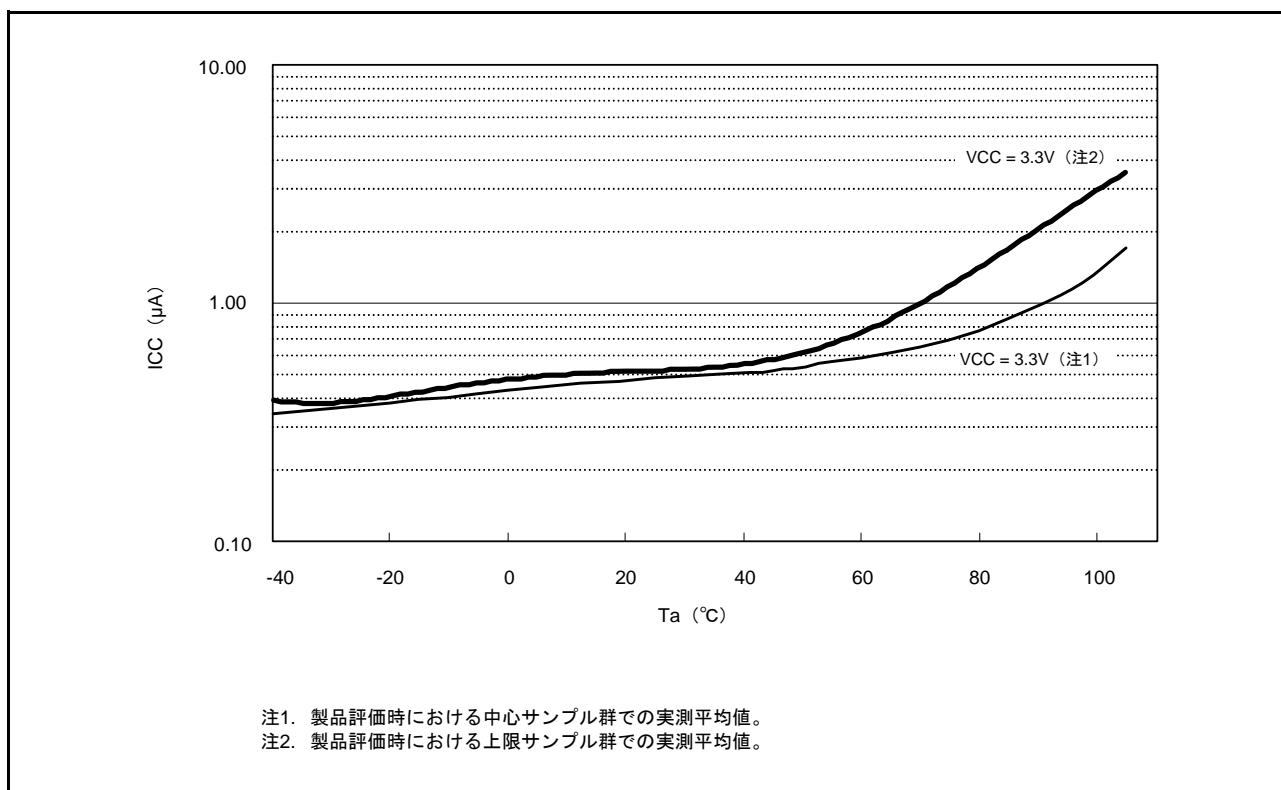


図 42.8 ディープソフトウェアスタンバイモード時の温度依存性 (DEEPCUT1 ビット = 1) (参考データ) チップバージョン A

[チップバージョン C の場合]

表 42.9 DC 特性 (8)

条件 : VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目				記号	typ	max	単位	測定条件						
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	I _{CC}	10	—	mA							
			全周辺動作 通常動作 (注3)						ICLK = 50MHz	31.5	—			
			全周辺動作 最大動作 (注3)						ICLK = 50MHz	—	55			
		スリープモード	周辺動作なし						ICLK = 50MHz	7.5	—			
			全周辺動作 通常動作						ICLK = 50MHz	17.5	—			
		全モジュールクロックストップ モード	ICLK = 50MHz						6.7	—				
		BGO動作時の増加分 (注4)								25	—			

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プリアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKは64分周です。
- 注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKはICLKの2分周です。
- 注4. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。

[チップバージョン C の場合]

表 42.10 DC 特性 (9)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目					記号	typ	max	単位	測定条件
消費電流 (注1)	中速動作モード 1A、1B	通常動作 モード	周辺動作なし	ICLK = 32MHz (注2)	I _{CC}	7.0	—	mA	
				ICLK = 20MHz (注3)		6.0	—		
			全周辺動作 通常動作	ICLK = 32MHz (注4)		26	—		
				ICLK = 20MHz (注5)		18.5	—		
			全周辺動作 最大動作	ICLK = 32MHz (注4)		—	40		
				ICLK = 20MHz (注5)		—	30		
		スリープ モード	周辺動作なし	ICLK = 32MHz	5.0	—			
				ICLK = 20MHz	4.6	—			
			全周辺動作 通常動作	ICLK = 32MHz	15.5	—			
		全モジュールクロックストップ モード		ICLK = 32MHz	4.5	—			
	ICLK = 20MHz			4.3	—				
	BGO動作時の 増加分 (注6)	中速動作モード1A		25	—				
		中速動作モード1B		20	—				
	低速動作モード1	通常動作 モード	周辺動作なし (注7)	ICLK = 1MHz	0.68	—			
				ICLK = 1MHz	2.4	—			
			全周辺動作 最大動作 (注8)	ICLK = 1MHz	—	7			
		スリープ モード	周辺動作なし	ICLK = 1MHz	0.6	—			
			全周辺動作 通常動作	ICLK = 1MHz	2	—			
		全モジュールクロックストップモード			0.58	—			
		低速動作モード2	通常動作 モード	周辺動作なし (注9)	ICLK = 32kHz	0.024	—		
					ICLK = 32kHz	0.05	—		
全周辺動作 最大動作 (注10)	ICLK = 32kHz			—	3 (注11)				
スリープ モード	周辺動作なし		ICLK = 32kHz	0.02	—				
	全周辺動作 通常動作		ICLK = 32kHz	0.04	—				
全モジュールクロックストップモード			0.018	—					

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プリアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKは64分周です。
- 注3. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKは64分周です。
- 注4. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注5. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注6. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注7. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKは64分周です。
- 注8. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注9. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKは64分周です。
- 注10. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKはICLKと同じです。
- 注11. メインクロックが12.5MHzで発振継続している場合の値です。

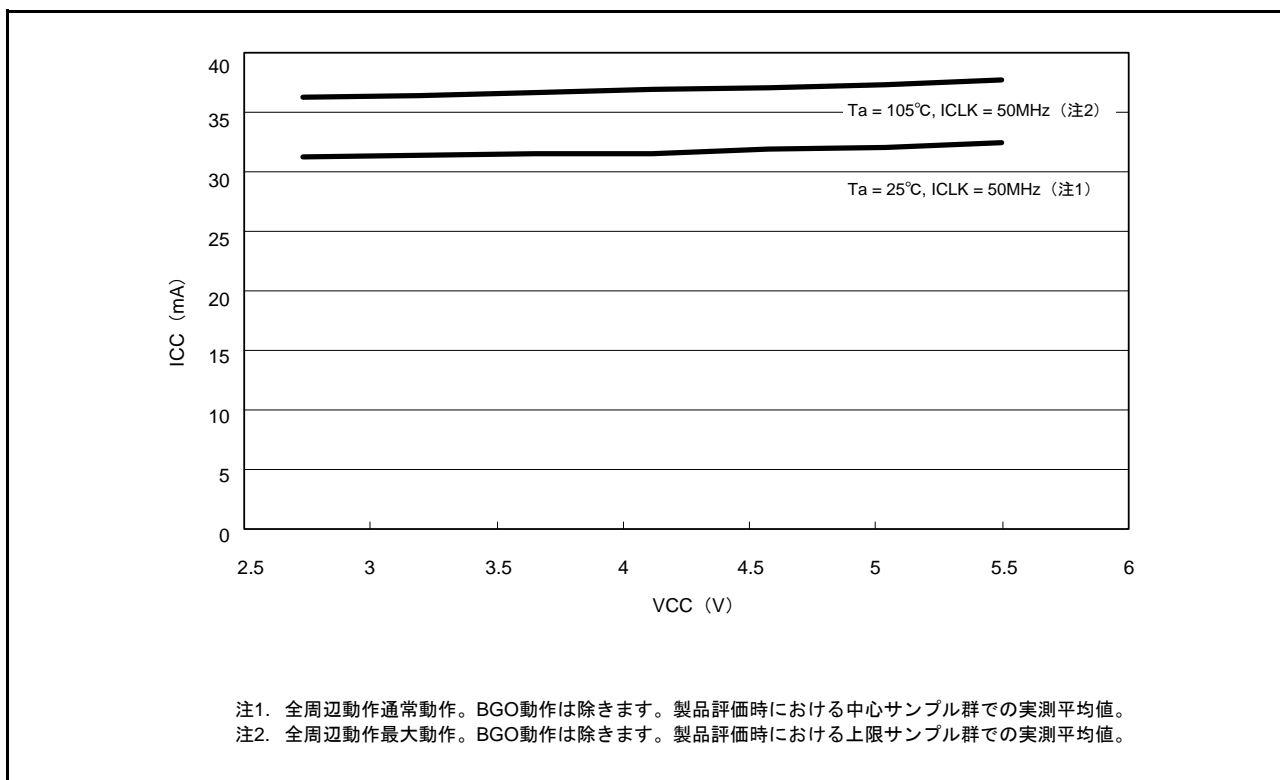


図 42.9 高速動作モードの電圧依存性 (参考データ) チップバージョン C

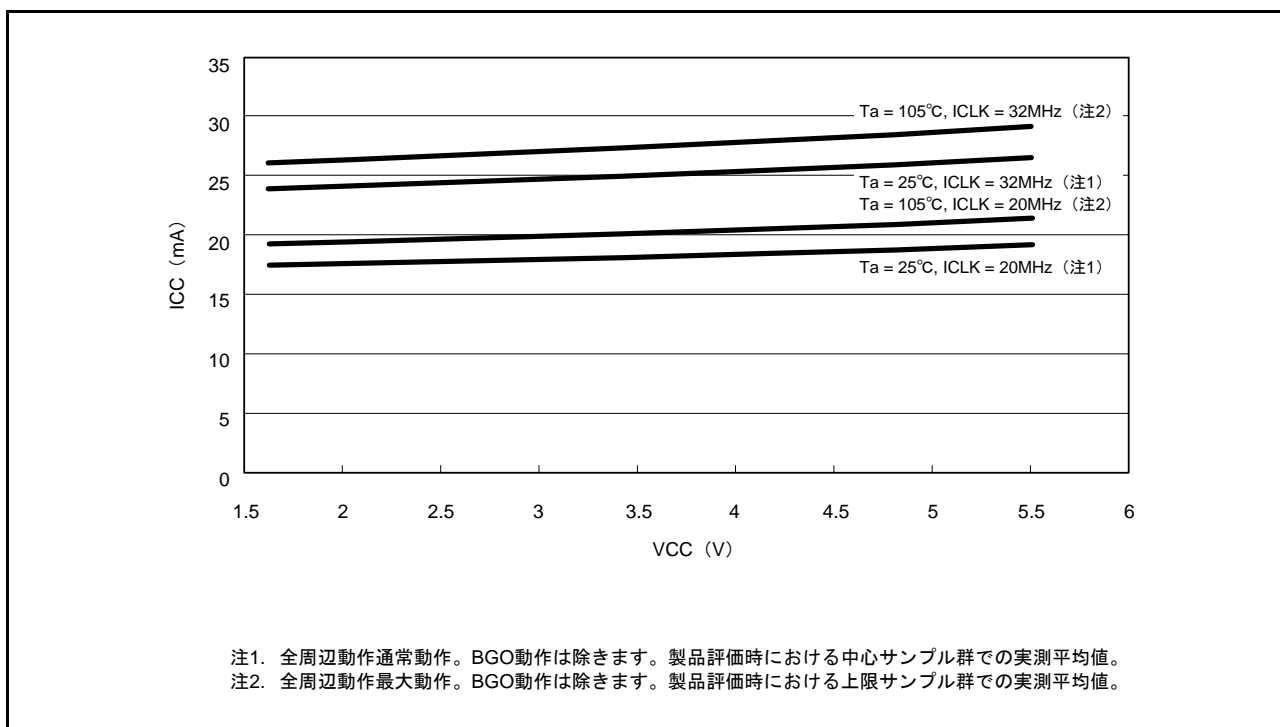


図 42.10 中速動作モード 1A、1B の電圧依存性 (参考データ) チップバージョン C

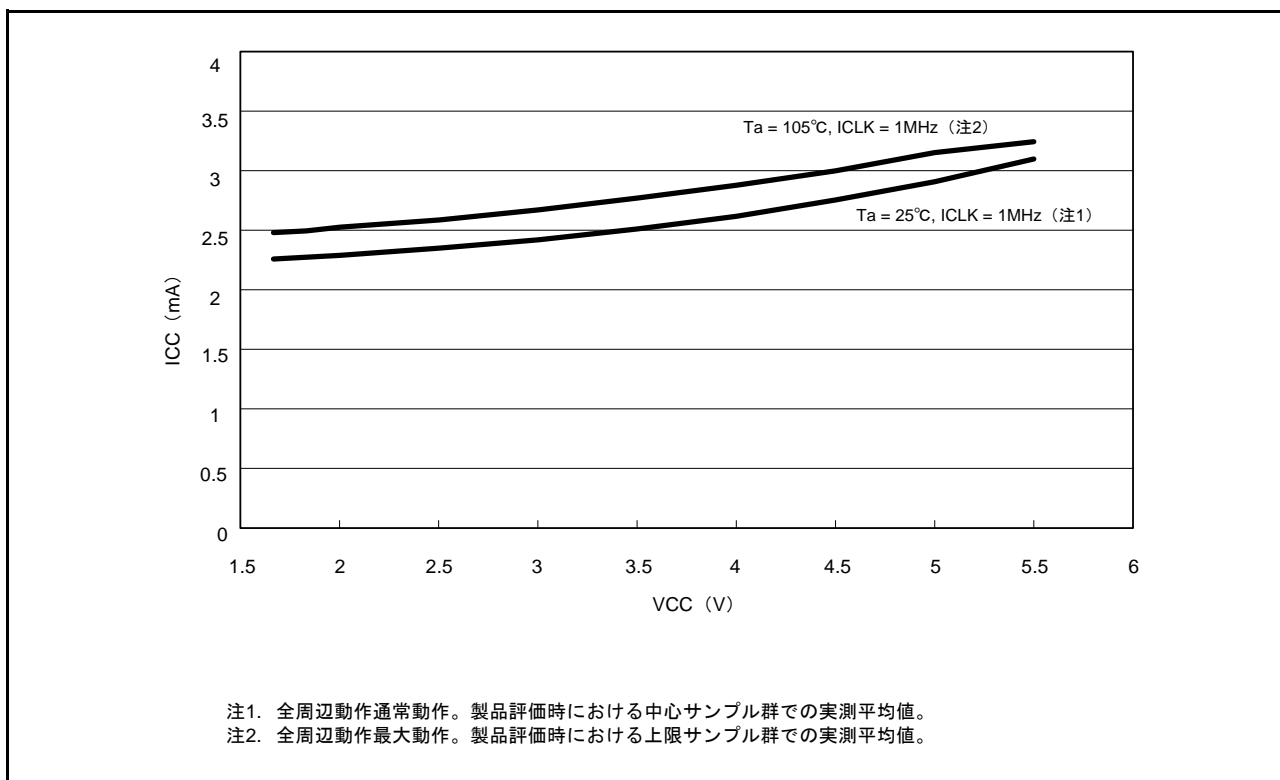


図 42.11 低速動作モード1の電圧依存性 (参考データ) チップバージョンC

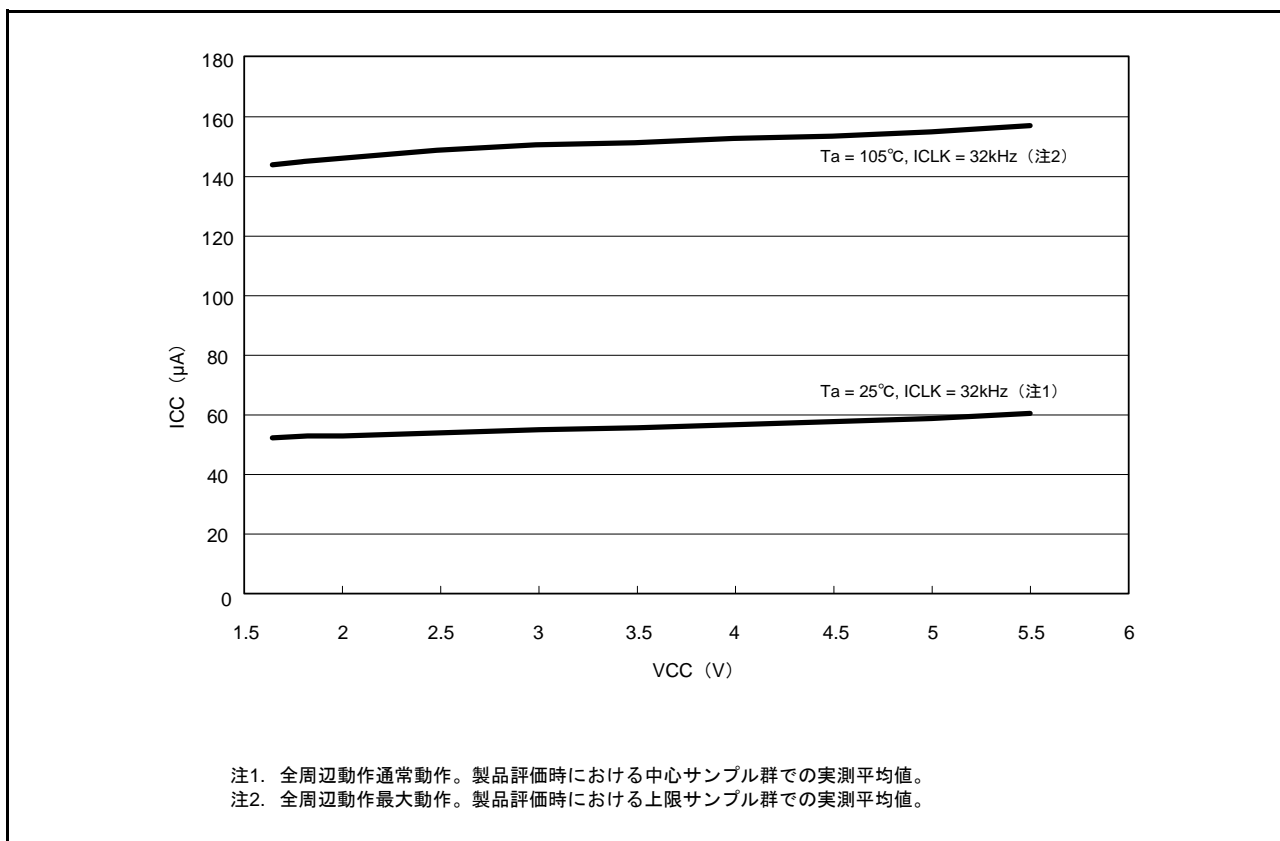


図 42.12 低速動作モード2の電圧依存性 (参考データ) チップバージョンC

[チップバージョン C の場合]

表 42.11 DC 特性 (10)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = 0V、T_a = -40 ~ +105°C

項目			記号	typ (注3)	max	単位	測定条件
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給、 HOCO電源供給、 PORの低消費電力機能無効 (SOFTCUT[2:0]ビット = 000b)	T _a = 25°C	I _{CC}	160	—	μA
			T _a = 55°C		188	—	
			T _a = 85°C		220	—	
			T _a = 105°C		250	—	
		フラッシュメモリ電源供給、 HOCO電源供給なし、 PORの低消費電力機能有効 (SOFTCUT[2:0]ビット = 110b)	T _a = 25°C		2.6	10.5	
			T _a = 55°C		3.8	22	
			T _a = 85°C		9.0	80	
			T _a = 105°C		20	150	
	フラッシュメモリ電源供給なし、 HOCO電源供給なし、 PORの低消費電力機能有効 (SOFTCUT[2:0]ビット = 111b)	T _a = 25°C	2.0	8.2			
		T _a = 55°C	2.9	17			
		T _a = 85°C	6.8	53			
		T _a = 105°C	15	115			
	ディープソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給なし、 HOCO電源供給なし、 PORの低消費電力機能有効 (DEEPCUT1ビット = 1)	T _a = 25°C	0.5	0.9		
			T _a = 55°C	0.6	1.2		
			T _a = 85°C	0.9	20		
			T _a = 105°C	1.8	25		
電圧検出回路動作、PORの低消費電力機能無効による増分				1.4	—		
RTC動作の増加分 (低CLの場合)				0.8	—		
RTC動作の増加分 (標準CLの場合)				2.0	—		

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。

注2. IWDT と LVD は動作停止です。

注3. VCC = 3.3 Vの場合です。

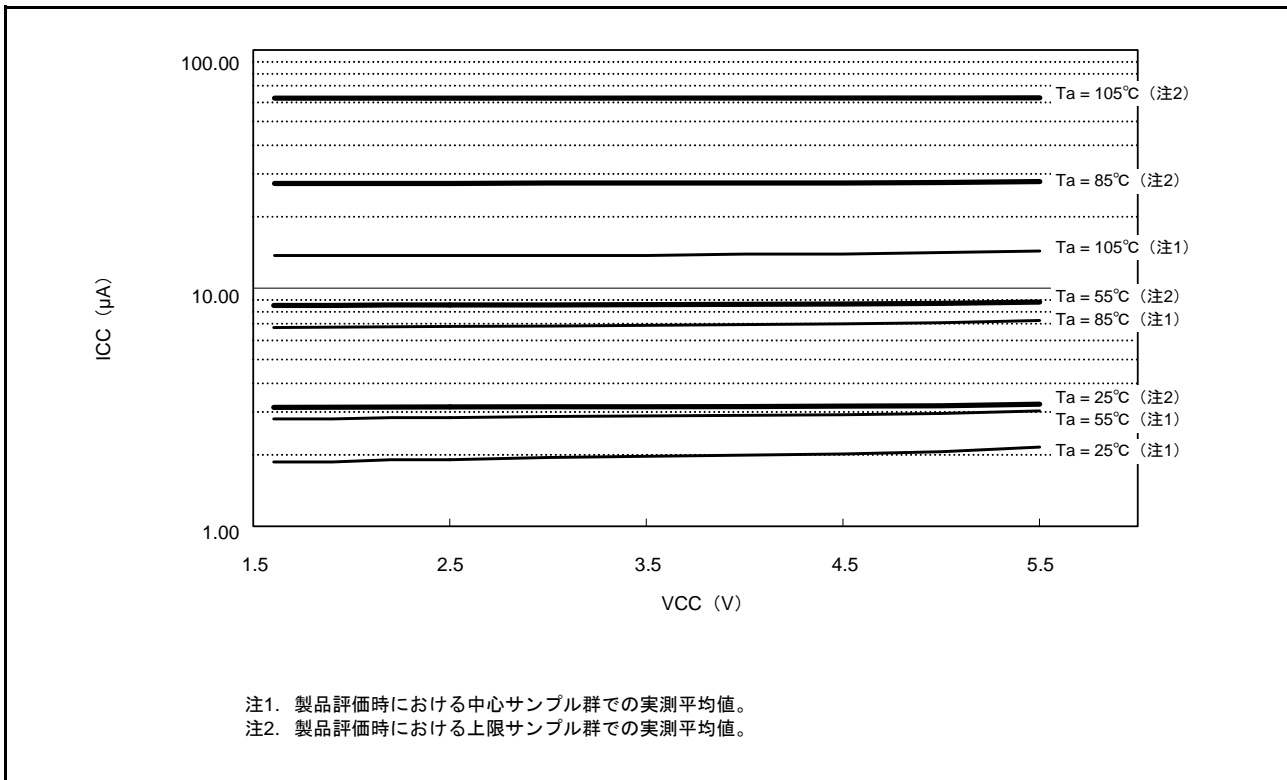


図 42.13 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 111b) 時の電圧依存性 (参考データ) チップバージョン C

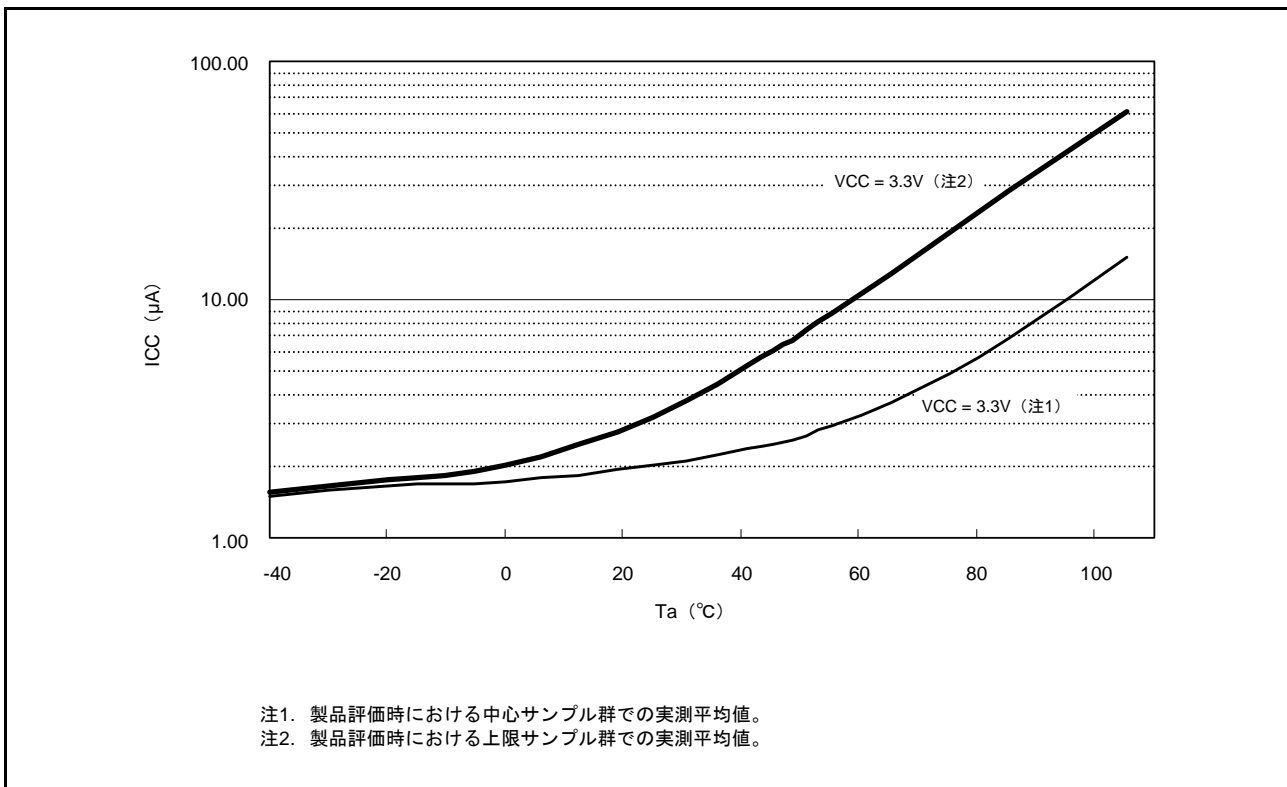


図 42.14 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 111b) 時の温度依存性 (参考データ) チップバージョン C

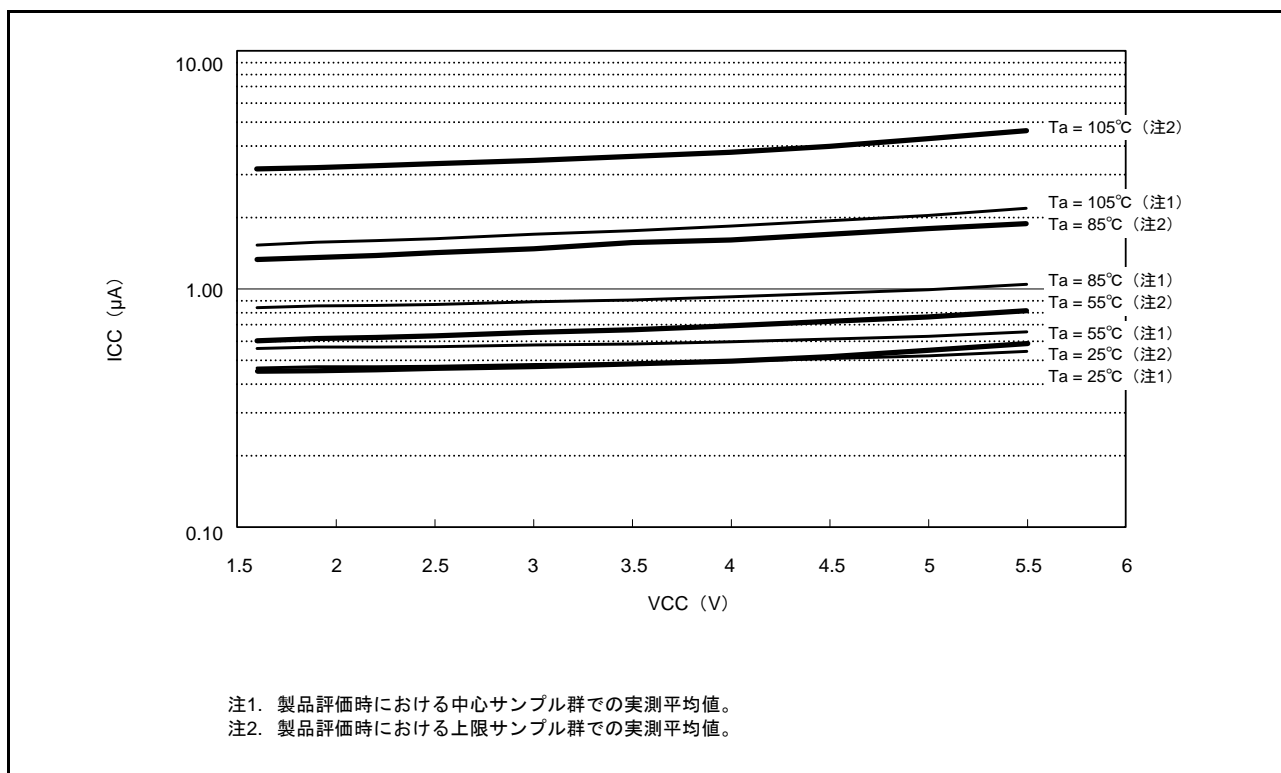


図 42.15 ディープソフトウェアスタンバイモード時の電圧依存性 (DEEPCUT1 ビット = 1) (参考データ) チップバージョン C

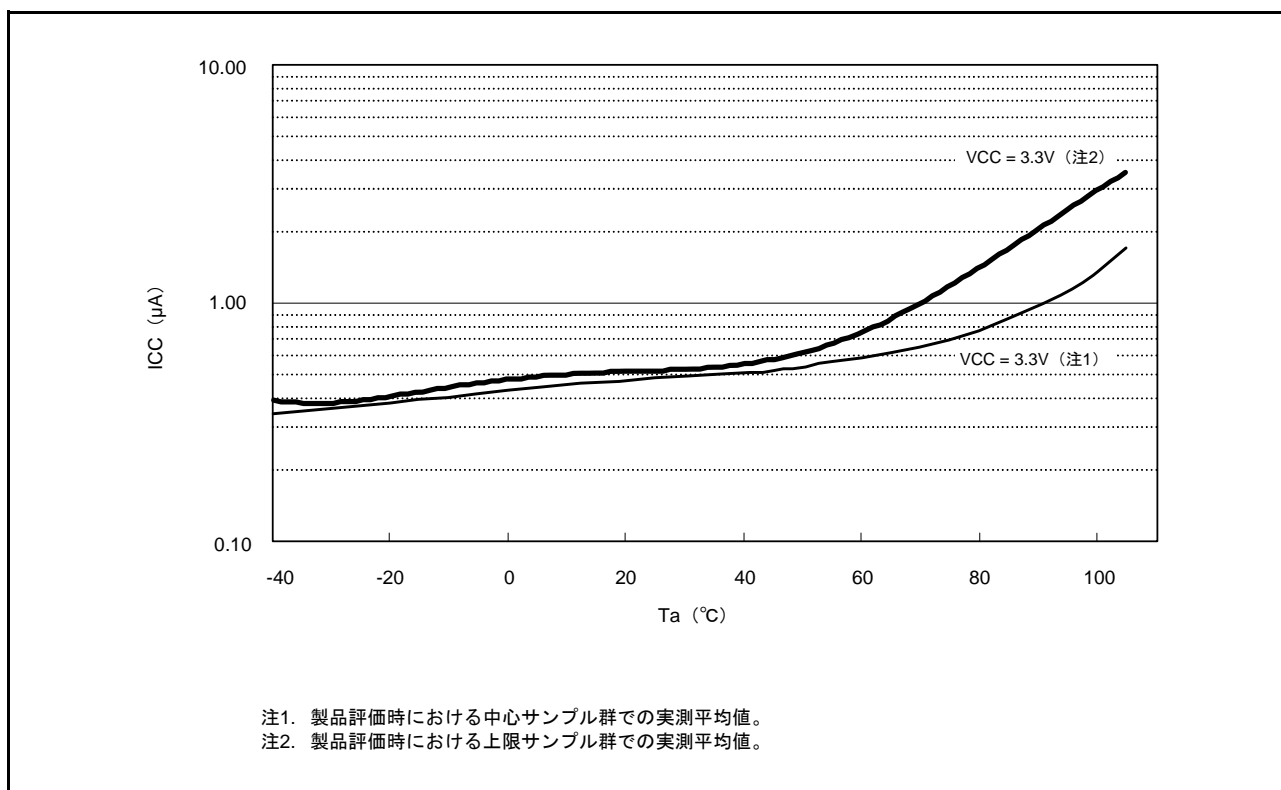


図 42.16 ディープソフトウェアスタンバイモード時の温度依存性 (DEEPCUT1 ビット = 1) (参考データ) チップバージョン C

[256Kバイト以下のフラッシュメモリで48ピン～100ピンのチップバージョンBの場合]

表42.12 DC特性 (11)

条件：VCC = AVCC0 = 2.7～5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40～+105°C

項目				記号	typ	max	単位	測定条件	
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	I _{CC}	7.2	—	mA		
			全周辺動作 通常動作 (注3)		23.5	—			
			全周辺動作 最大動作 (注3)		—	45			
		スリープモード	周辺動作なし		4.3	—			
			全周辺動作 通常動作		12	—			
		全モジュールクロックストップモード			3.7	—			
		BGO動作時の増加分 (注4)			20	—			

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKは64分周です。
- 注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKはICLKの2分周です。
- 注4. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。

[256Kバイト以下のフラッシュメモリで48ピン~100ピンのチップバージョンBの場合]

表42.13 DC特性 (12)

条件 : VCC = AVCC0 = 1.62~5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40~+105°C

項目					記号	typ	max	単位	測定条件
消費電流 (注1)	中速動作モード 1A、1B	通常動作 モード	周辺動作なし	ICLK = 32MHz (注2)	I _{CC}	5.3	—	mA	
				ICLK = 20MHz (注3)		4.6	—		
			全周辺動作 通常動作	ICLK = 32MHz (注4)		20.1	—		
				ICLK = 20MHz (注5)		14.3	—		
			全周辺動作 最大動作	ICLK = 32MHz (注4)		—	35		
				ICLK = 20MHz (注5)		—	—		
		スリープ モード	周辺動作なし	ICLK = 32MHz		3.4	—		
				ICLK = 20MHz		3.3	—		
			全周辺動作 通常動作	ICLK = 32MHz		11.5	—		
				ICLK = 20MHz		9	—		
		全モジュールロックストップ モード	ICLK = 32MHz			3	—		
			ICLK = 20MHz			3	—		
	BGO動作時の 増加分 (注6)	中速動作モード1A		17	—				
		中速動作モード1B		17	—				
	中速動作モード 2A、2B	通常動作 モード	周辺動作なし (注2)	ICLK = 32MHz	4.7	—			
				ICLK = 16MHz	3.4	—			
				ICLK = 8MHz	2.7	—			
			全周辺動作 通常動作 (注4)	ICLK = 32MHz	19.6	—			
				ICLK = 16MHz	11.3	—			
				ICLK = 8MHz	7.2	—			
			全周辺動作 最大動作 (注4)	ICLK = 32MHz	—	34			
				ICLK = 16MHz	—	—			
				ICLK = 8MHz	—	—			
		スリープ モード	周辺動作なし	ICLK = 32MHz	2.8	—			
ICLK = 16MHz				2.5	—				
ICLK = 8MHz				2.2	—				
全周辺動作 通常動作			ICLK = 32MHz	11	—				
			ICLK = 16MHz	7.2	—				
			ICLK = 8MHz	5.3	—				
全モジュールロックストップ モード		ICLK = 32MHz		2.4	—				
		ICLK = 16MHz		2.2	—				
		ICLK = 8MHz		2.1	—				
BGO動作時の 増加分 (注6)	中速動作モード2A		17	—					
	中速動作モード2B		17	—					

項目				記号	typ	max	単位	測定条件	
消費電流 (注1)	低速動作モード1	通常動作モード	周辺動作なし (注7)	ICLK = 8MHz	I _{CC}	2	—	mA	
				ICLK = 4MHz		1.6	—		
				ICLK = 2MHz		1.5	—		
			全周辺動作通常動作 (注8)	ICLK = 8MHz		6	—		
				ICLK = 4MHz		3.8	—		
				ICLK = 2MHz		2.8	—		
		全周辺動作最大動作 (注8)	ICLK = 8MHz	—		12			
			ICLK = 4MHz	—		—			
			ICLK = 2MHz	—		—			
		スリープモード	周辺動作なし	ICLK = 8MHz		1.5	—		
				ICLK = 4MHz		1.4	—		
				ICLK = 2MHz		1.3	—		
	全周辺動作通常動作		ICLK = 8MHz	3.6	—				
			ICLK = 4MHz	2.7	—				
			ICLK = 2MHz	2.2	—				
	全モジュールクロックストップモード	ICLK = 8MHz	1.4	—					
		ICLK = 4MHz	1.3	—					
		ICLK = 2MHz	1.2	—					
	低速動作モード2	通常動作モード	周辺動作なし (注9)	ICLK = 32kHz	0.021	—			
				ICLK = 32kHz	0.05	—			
			全周辺動作最大動作 (注10)	ICLK = 32kHz	—	3 (注11)			
スリープモード		周辺動作なし	ICLK = 32kHz	0.017	—				
		全周辺動作通常動作	ICLK = 32kHz	0.034	—				
全モジュールクロックストップモード		0.016	—						

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKは64分周です。
- 注3. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKは64分周です。
- 注4. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注5. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注6. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注7. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKは64分周です。
- 注8. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注9. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKは64分周です。
- 注10. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKはICLKと同じです。
- 注11. メインクロックが12.5MHzで発振継続している場合の値です。

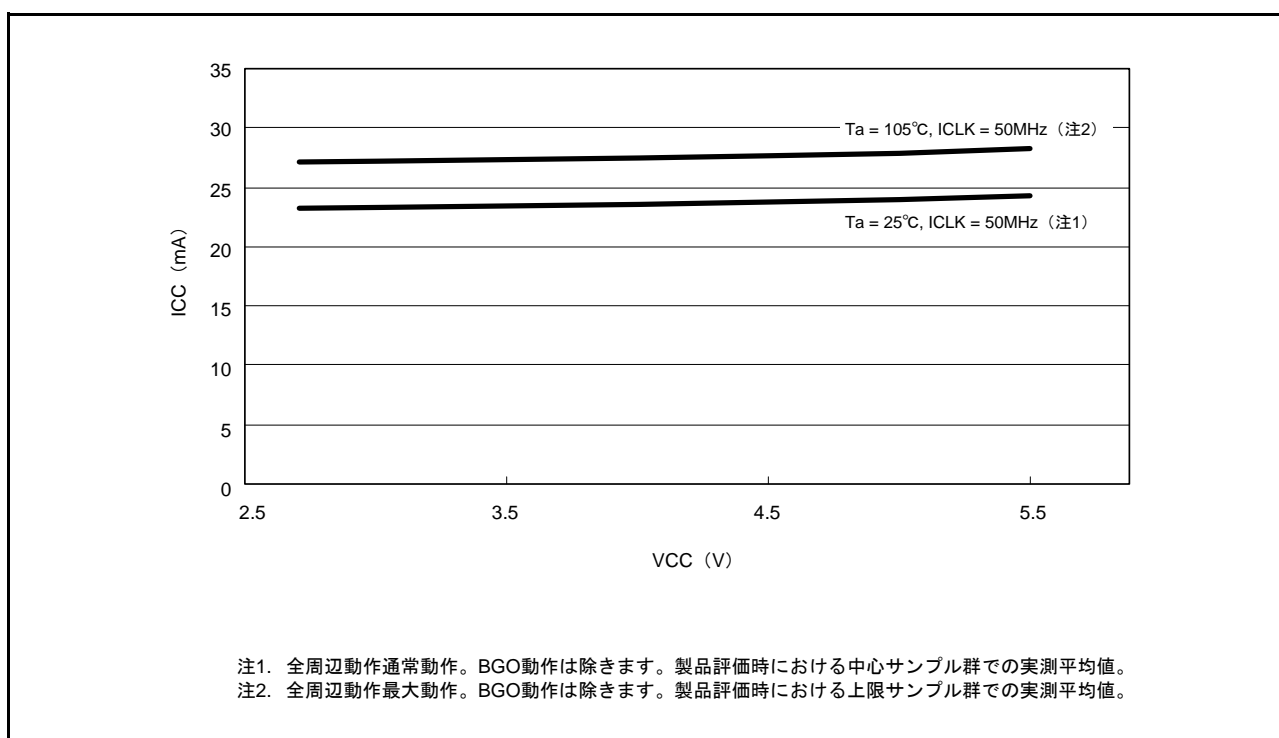


図 42.17 高速動作モードの電圧依存性（参考データ）256Kバイト以下のフラッシュメモリで48ピン～100ピンのチップバージョンBの場合

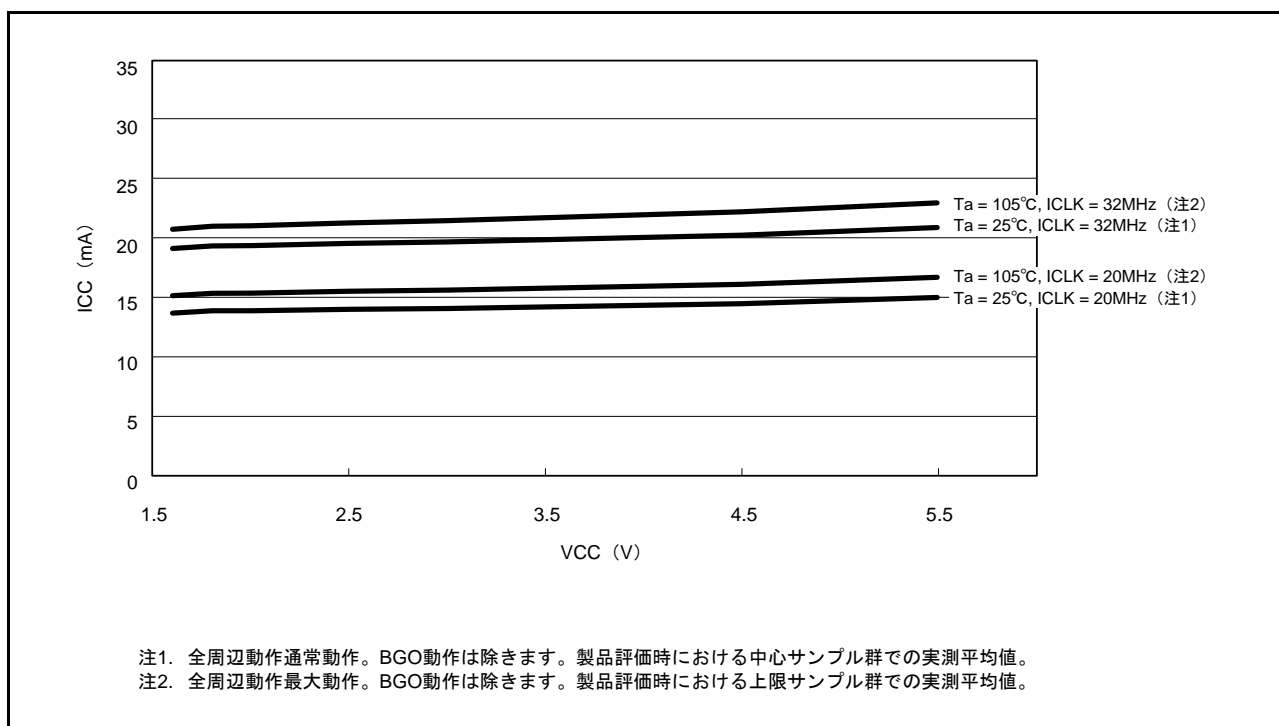


図 42.18 中速動作モード1A、1Bの電圧依存性（参考データ）256Kバイト以下のフラッシュメモリで48ピン～100ピンのチップバージョンBの場合

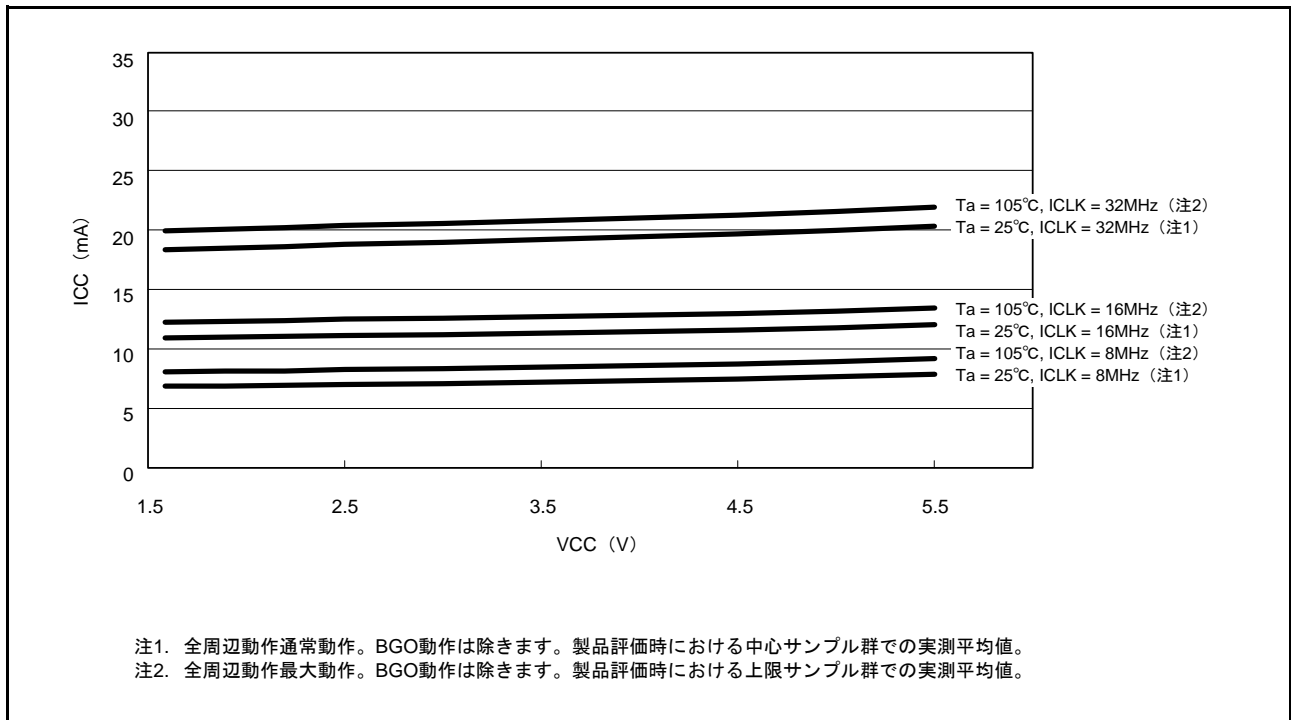


図 42.19 中速動作モード 2A、2B の電圧依存性 (参考データ) 256K バイト以下のフラッシュメモリで 48 ピン～100 ピンのチップバージョン B の場合

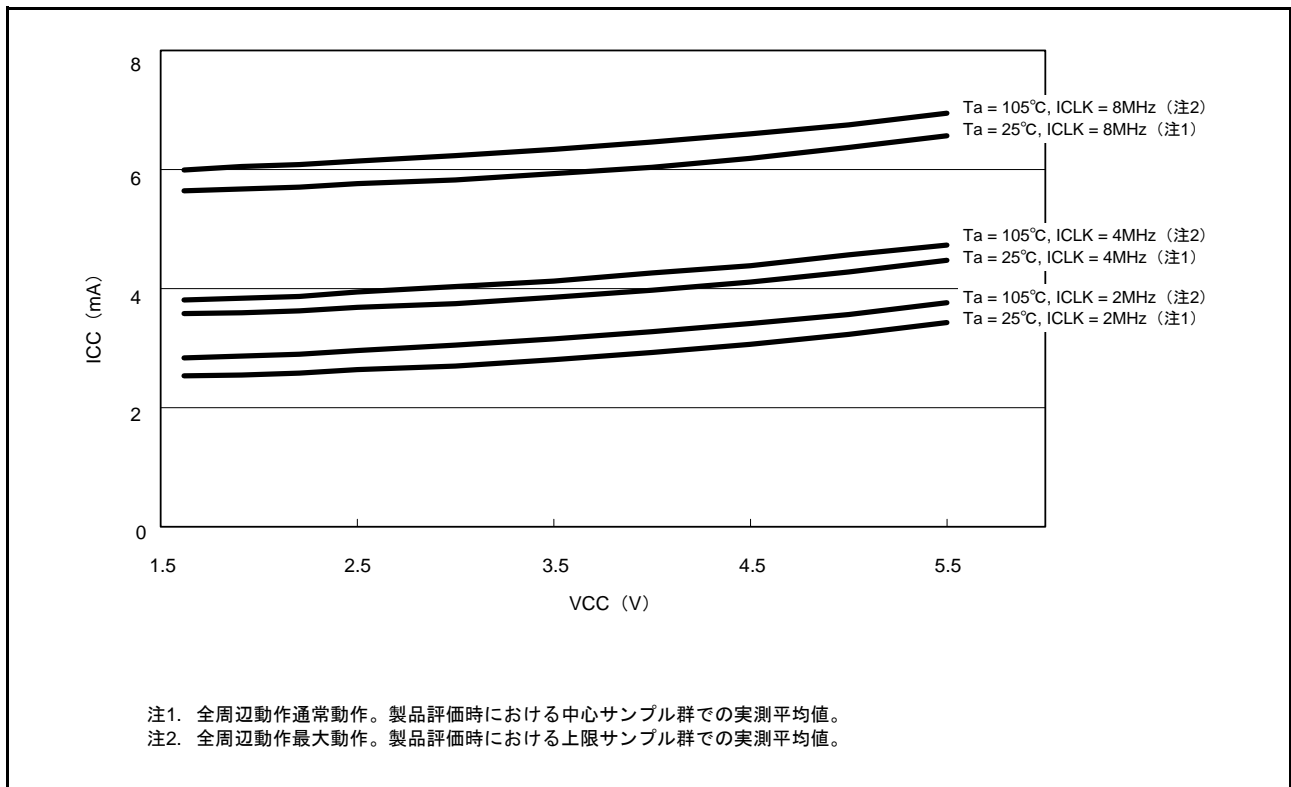


図 42.20 低速動作モード 1 の電圧依存性 (参考データ) 256K バイト以下のフラッシュメモリで 48 ピン～100 ピンのチップバージョン B の場合

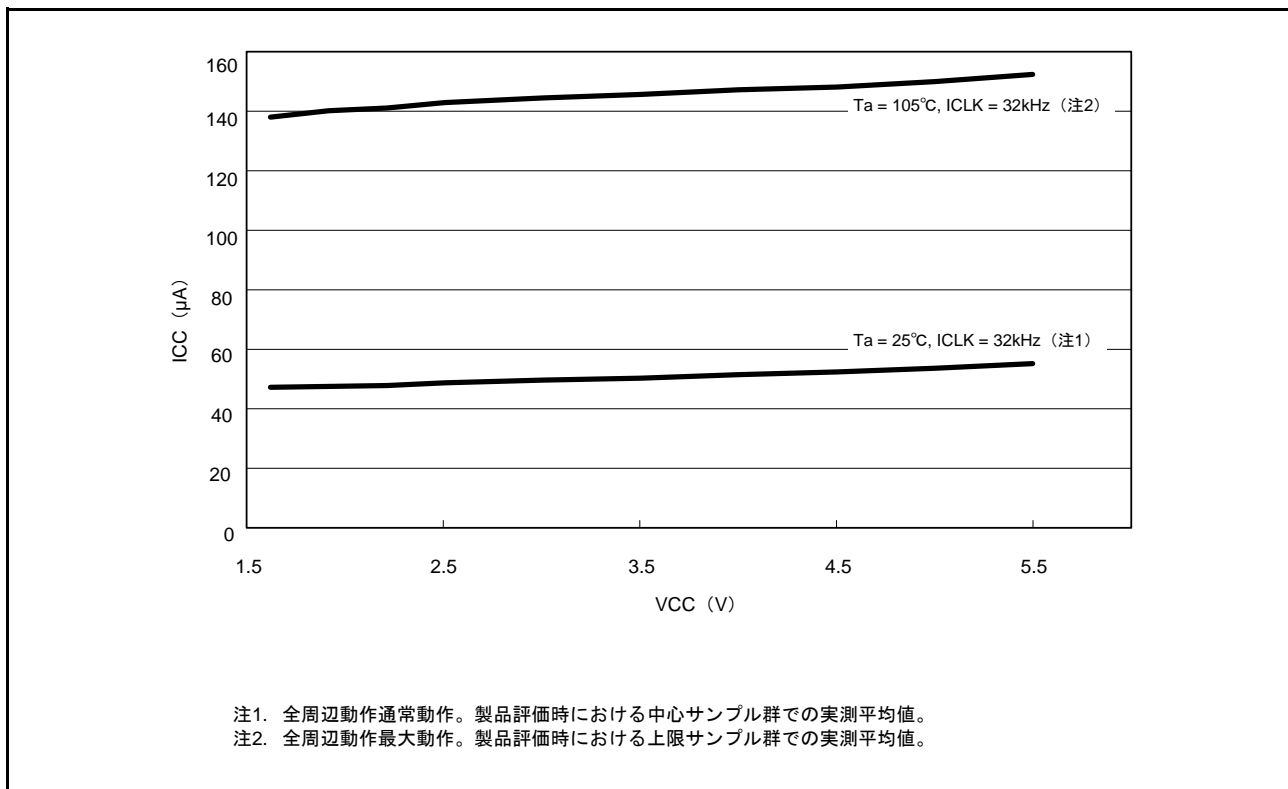


図 42.21 低速動作モード2の電圧依存性（参考データ）256Kバイト以下のフラッシュメモリで48ピン～100ピンのチップバージョンBの場合

[256Kバイト以下のフラッシュメモリで48ピン～100ピンのチップバージョンBの場合]

表42.14 DC特性 (13)

条件：VCC = AVCC0 = 1.62～5.5V、VSS = AVSS0 = 0V、T_a = -40～+105°C

項目				記号	typ (注3)	max	単位	測定条件	
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給、 HOCO電源供給、 PORの低消費電力機能無効 (SOFTCUT[2:0]ビット = 000b)	T _a = 25°C	I _{CC}	10	18	μA		
			T _a = 55°C		13	35			
			T _a = 85°C		20	81			
			T _a = 105°C		34	154			
		フラッシュメモリ電源供給、 HOCO電源供給なし、 PORの低消費電力機能有効 (SOFTCUT[2:0]ビット = 110b)	T _a = 25°C		1.8	7.7			
			T _a = 55°C		3.3	20			
			T _a = 85°C		9.2	60			
			T _a = 105°C		20	124			
	ディープソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給なし、 HOCO電源供給なし、 PORの低消費電力機能有効 (DEEPCUT1ビット = 1)	T _a = 25°C	0.4	0.8				
			T _a = 55°C	0.5	1.0				
			T _a = 85°C	0.7	2.5				
			T _a = 105°C	1.4	6.3				
	電圧検出回路動作、PORの低消費電力機能無効による増分					1.4			—
	RTC動作の増加分 (低CLの場合)					0.8			—
RTC動作の増加分 (標準CLの場合)					2.0	—			

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. IWDTとLVDは動作停止です。

注3. VCC = 3.3Vの場合です。

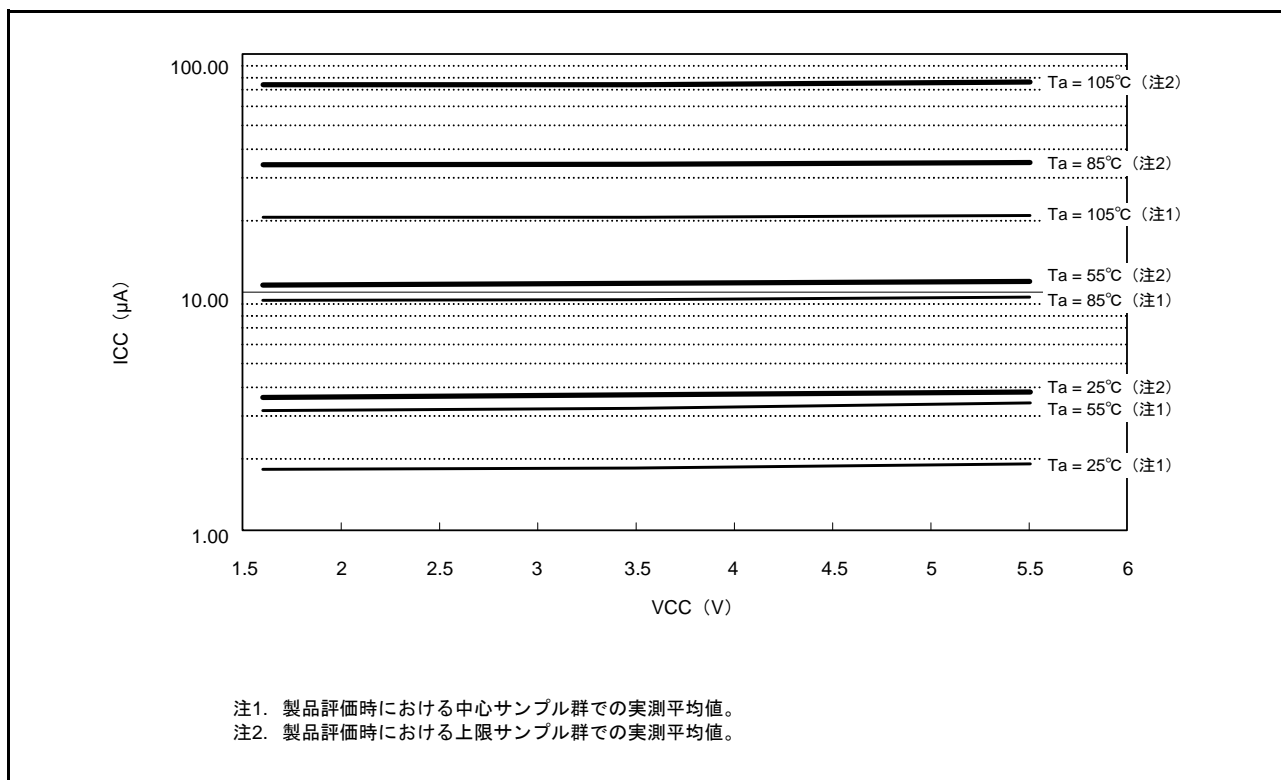


図 42.22 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 110b) 時の電圧依存性 (参考データ) 256K バイト以下のフラッシュメモリで 48 ピン~ 100 ピンのチップバージョン B の場合

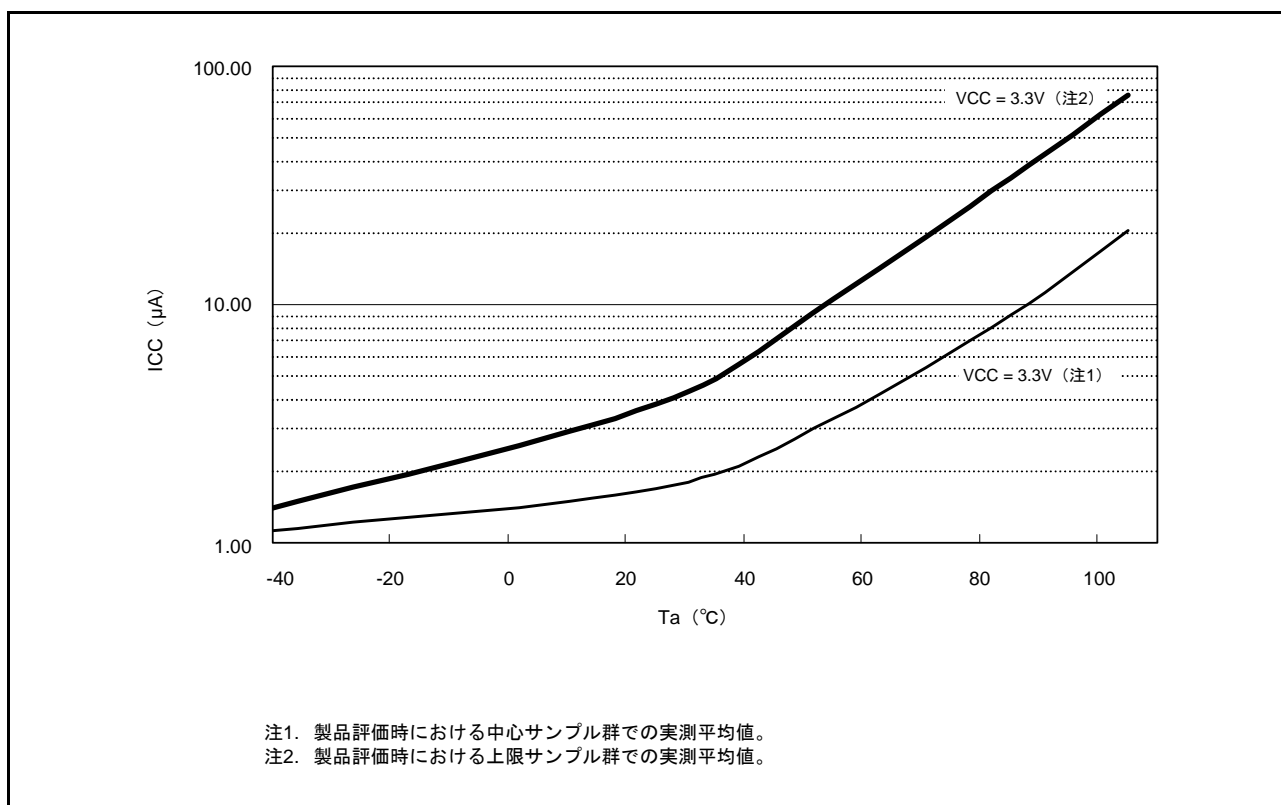


図 42.23 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 110b) 時の温度依存性 (参考データ) 256K バイト以下のフラッシュメモリで 48 ピン~ 100 ピンのチップバージョン B の場合

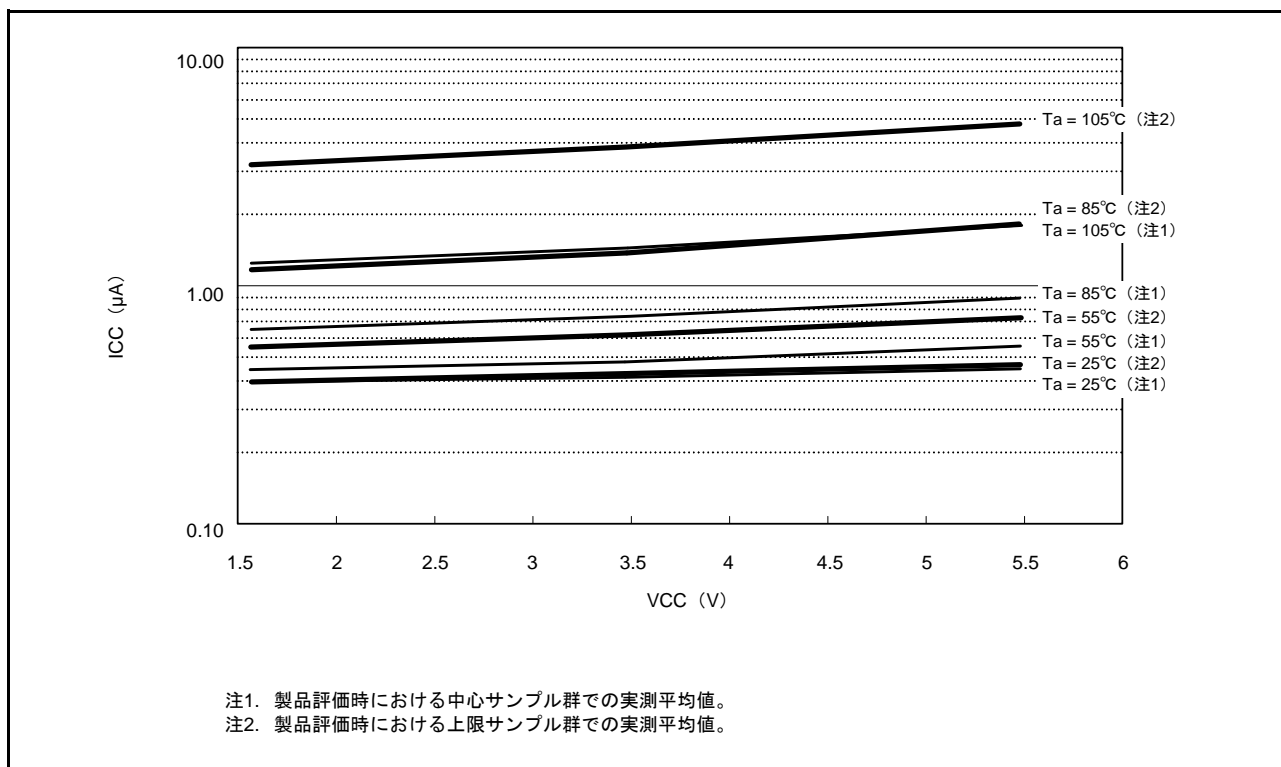


図 42.24 ディープソフトウェアスタンバイモード時の電圧依存性 (DEEPCUT1 ビット = 1) (参考データ) 256K バイト以下のフラッシュメモリで 48 ピン～ 100 ピンのチップバージョン B の場合

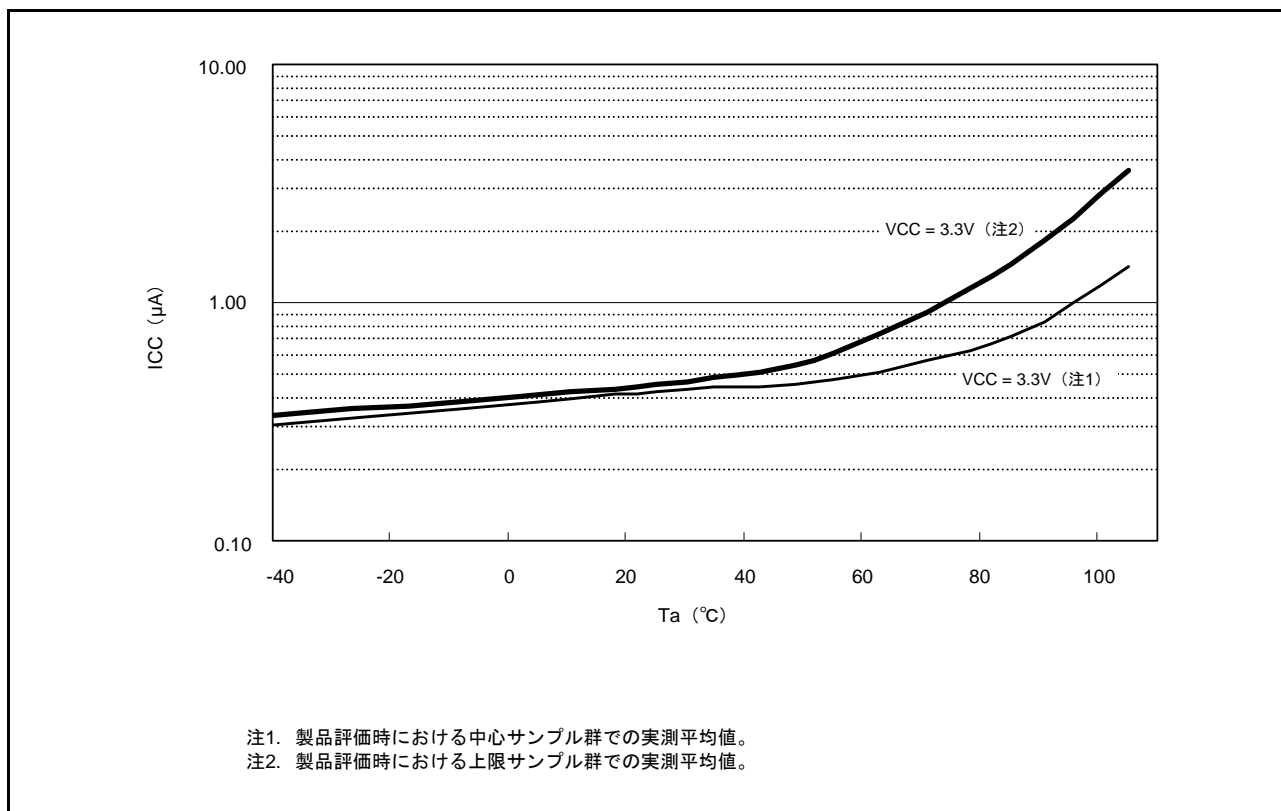


図 42.25 ディープソフトウェアスタンバイモード時の温度依存性 (DEEPCUT1 ビット = 1) (参考データ) 256K バイト以下のフラッシュメモリで 48 ピン～ 100 ピンのチップバージョン B の場合

[768K/1M バイトのフラッシュメモリで 100 ピン～ 145 ピンのチップバージョン B の場合]

表 42.15 DC 特性 (14)

条件 : VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目				記号	typ	max	単位	測定条件			
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	I _{CC}	7.8	—	mA				
			全周辺動作 通常動作 (注3)						ICLK = 50MHz	29.8	—
			全周辺動作 最大動作 (注3)						ICLK = 50MHz	—	45
		スリープモード	周辺動作なし						ICLK = 50MHz	4.3	—
			全周辺動作 通常動作						ICLK = 50MHz	13.5	—
		全モジュールクロックストップモード							3.7	—	
		BGO動作時の増加分 (注4)							23	—	

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKは64分周です。
- 注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKはICLKの2分周です。
- 注4. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。

[768K/1Mバイトのフラッシュメモリで100ピン～145ピンのチップバージョンBの場合]

表42.16 DC特性 (15)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目					記号	typ	max	単位	測定条件
消費電流 (注1)	中速動作モード 1A、1B	通常動作 モード	周辺動作なし	ICLK = 32MHz (注2)	I _{CC}	5.6	—	mA	
				ICLK = 20MHz (注3)		4.6	—		
			全周辺動作 通常動作	ICLK = 32MHz (注4)		25.5	—		
				ICLK = 20MHz (注5)		17.6	—		
			全周辺動作 最大動作	ICLK = 32MHz (注4)		—	35		
				ICLK = 20MHz (注5)		—	—		
		スリープ モード	周辺動作なし	ICLK = 32MHz		3.4	—		
				ICLK = 20MHz		3.3	—		
			全周辺動作 通常動作	ICLK = 32MHz		13.4	—		
				ICLK = 20MHz		10.2	—		
		全モジュールロックストップ モード	ICLK = 32MHz			3	—		
			ICLK = 20MHz			3	—		
		BGO動作時の 増加分 (注6)	中速動作モード1A			23	—		
			中速動作モード1B			20	—		
		中速動作モード 2A、2B	通常動作 モード	周辺動作なし (注2)		ICLK = 32MHz	5.1		
	ICLK = 16MHz				3.5	—			
	ICLK = 8MHz				2.7	—			
	全周辺動作 通常動作 (注4)			ICLK = 32MHz	25	—			
				ICLK = 16MHz	14	—			
				ICLK = 8MHz	8.5	—			
	全周辺動作 最大動作 (注4)			ICLK = 32MHz	—	34			
				ICLK = 16MHz	—	—			
				ICLK = 8MHz	—	—			
	スリープ モード		周辺動作なし	ICLK = 32MHz	2.9	—			
				ICLK = 16MHz	2.5	—			
				ICLK = 8MHz	2.2	—			
			全周辺動作 通常動作	ICLK = 32MHz	13	—			
ICLK = 16MHz				8.2	—				
ICLK = 8MHz				5.8	—				
全モジュールロックストップ モード	ICLK = 32MHz		2.5	—					
	ICLK = 16MHz		2.2	—					
	ICLK = 8MHz		2.1	—					
BGO動作時の 増加分 (注6)	中速動作モード2A		23	—					
	中速動作モード2B		20	—					

項目				記号	typ	max	単位	測定条件	
消費電流 (注1)	低速動作モード1	通常動作モード	周辺動作なし (注7)	ICLK = 8MHz	I _{CC}	2.1	—	mA	
				ICLK = 4MHz		1.7	—		
				ICLK = 2MHz		1.5	—		
			全周辺動作通常動作 (注8)	ICLK = 8MHz		7.3	—		
				ICLK = 4MHz		4.5	—		
				ICLK = 2MHz		3.1	—		
		全周辺動作最大動作 (注8)	ICLK = 8MHz	—		12			
			ICLK = 4MHz	—		—			
			ICLK = 2MHz	—		—			
		スリープモード	周辺動作なし	ICLK = 8MHz		1.5	—		
				ICLK = 4MHz		1.4	—		
				ICLK = 2MHz		1.3	—		
	全周辺動作通常動作		ICLK = 8MHz	4.1	—				
			ICLK = 4MHz	3.0	—				
			ICLK = 2MHz	2.3	—				
	全モジュールクロックストップモード	ICLK = 8MHz	1.4	—					
		ICLK = 4MHz	1.3	—					
		ICLK = 2MHz	1.2	—					
	低速動作モード2	通常動作モード	周辺動作なし (注9)	ICLK = 32kHz	0.022	—			
				ICLK = 32kHz	0.06	—			
			全周辺動作最大動作 (注10)	ICLK = 32kHz	—	3 (注11)			
スリープモード		周辺動作なし	ICLK = 32kHz	0.017	—				
		全周辺動作通常動作	ICLK = 32kHz	0.036	—				
全モジュールクロックストップモード		0.017	—						

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKは64分周です。
- 注3. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKは64分周です。
- 注4. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注5. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注6. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注7. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKは64分周です。
- 注8. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注9. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKは64分周です。
- 注10. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKはICLKと同じです。
- 注11. メインクロックが12.5MHzで発振継続している場合の値です。

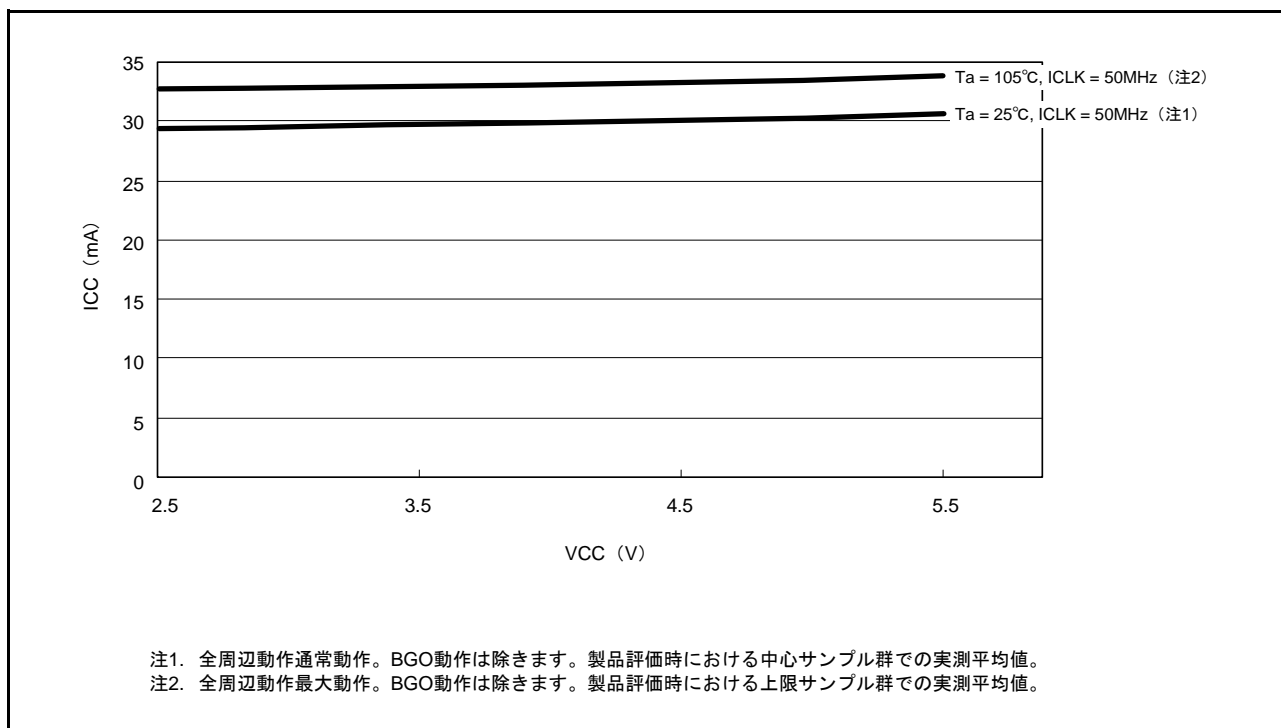


図 42.26 高速動作モードの電圧依存性（参考データ）768K/1M バイトのフラッシュメモリで 100 ピン～145 ピンのチップバージョン B

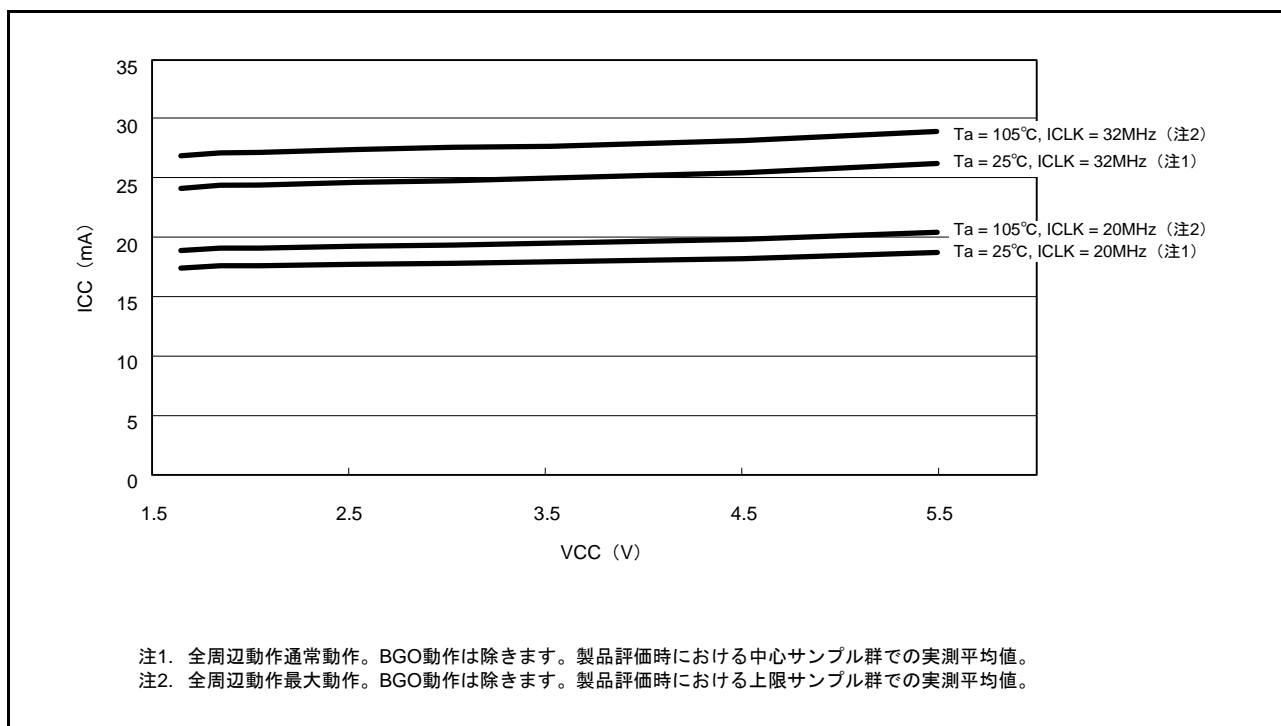


図 42.27 中速動作モード 1A、1B の電圧依存性（参考データ）768K/1M バイトのフラッシュメモリで 100 ピン～145 ピンのチップバージョン B

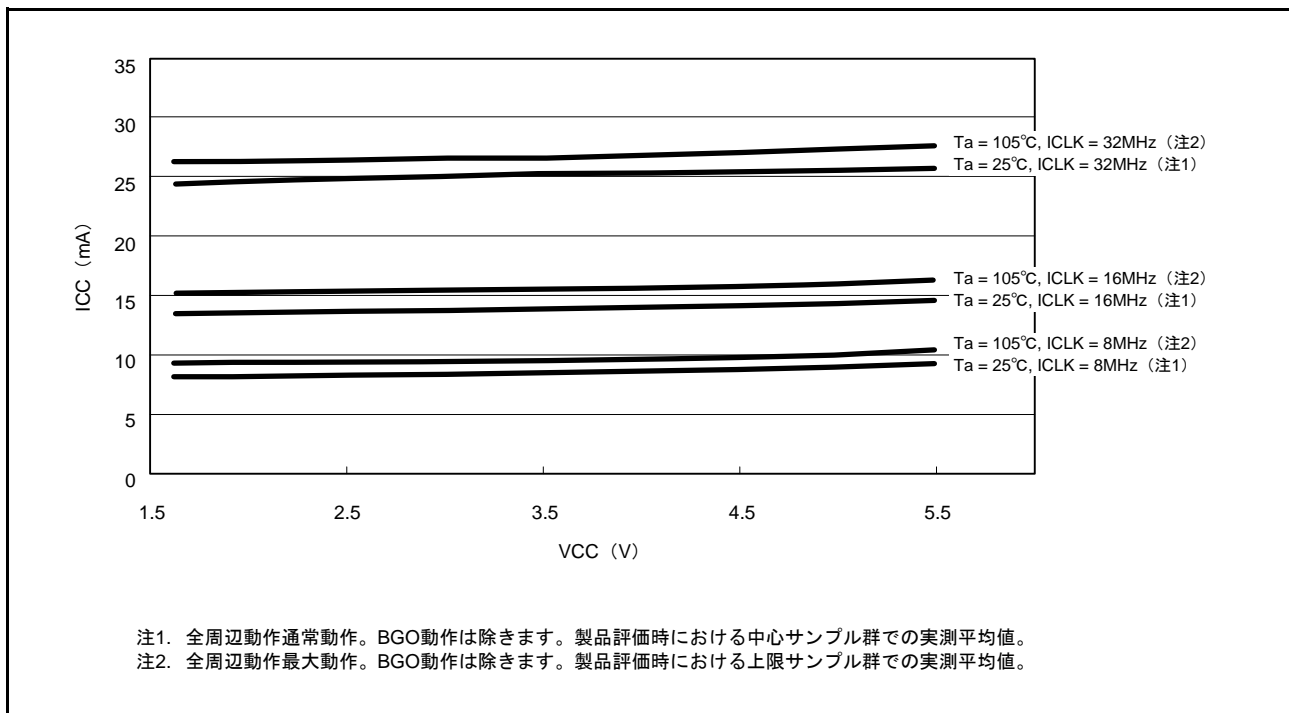


図 42.28 中速動作モード 2A、2B の電圧依存性 (参考データ) 768K/1M バイトのフラッシュメモリで 100 ピン～145 ピンのチップバージョン B

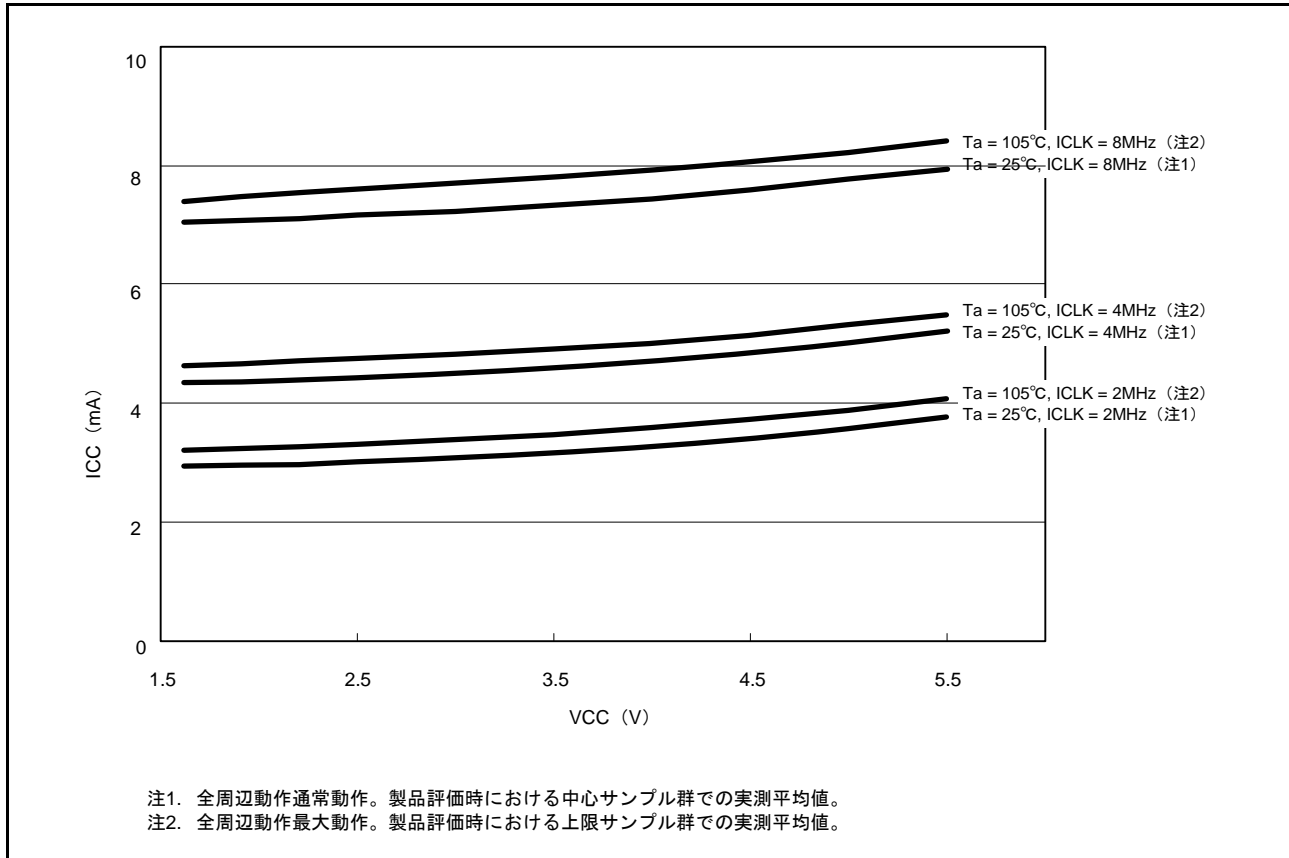


図 42.29 低速動作モード 1 の電圧依存性 (参考データ) 768K/1M バイトのフラッシュメモリで 100 ピン～145 ピンのチップバージョン B

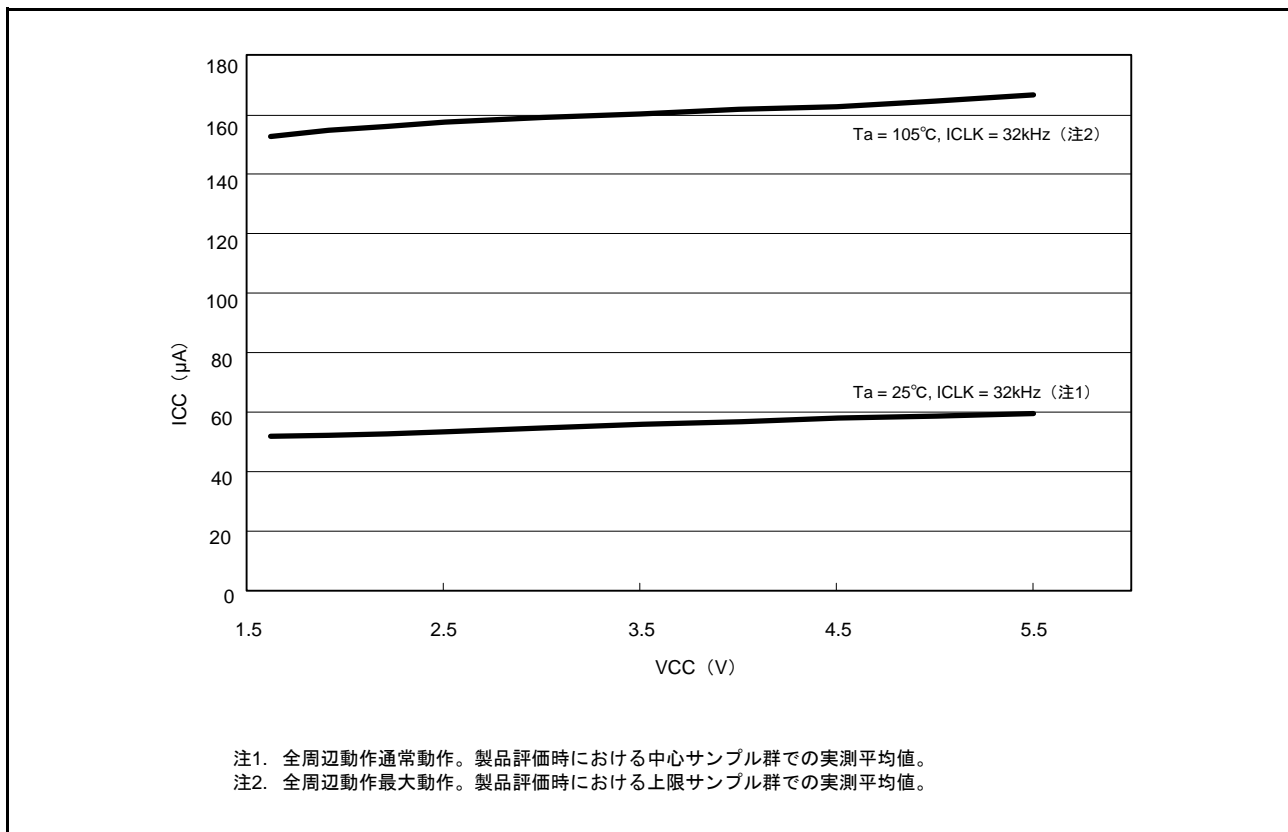


図 42.30 低速動作モード2の電圧依存性（参考データ）768K/1M バイトのフラッシュメモリで 100 ピン ~ 145 ピンのチップバージョン B

[768K/1M バイトのフラッシュメモリで 100 ピン～ 145 ピンのチップバージョン B の場合]

表 42.17 DC 特性 (16)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = 0V、T_a = -40 ~ +105°C

項目			記号	typ (注3)	max	単位	測定条件
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給、 HOCO電源供給、 PORの低消費電力機能無効 (SOFTCUT[2:0]ビット = 000b)	T _a = 25°C	I _{CC}	10	34	μA
			T _a = 55°C		13	87	
			T _a = 85°C		21	201	
			T _a = 105°C		40	352	
		フラッシュメモリ電源供給、 HOCO電源供給なし、 PORの低消費電力機能有効 (SOFTCUT[2:0]ビット = 110b)	T _a = 25°C		1.8	24	
			T _a = 55°C		3.3	70	
			T _a = 85°C		10	168	
			T _a = 105°C		25	302	
	ディープソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給なし、 HOCO電源供給なし、 PORの低消費電力機能有効 (DEEPCUT1ビット = 1)	T _a = 25°C	0.4	0.8		
			T _a = 55°C	0.5	1.0		
			T _a = 85°C	0.7	2.5		
			T _a = 105°C	1.4	6.3		
	電圧検出回路動作、PORの低消費電力機能無効による増分				1.4	—	
	RTC動作の増加分 (低CLの場合)				0.8	—	
RTC動作の増加分 (標準CLの場合)				2.0	—		

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. IWDT と LVD は動作停止です。

注3. VCC = 3.3V の場合です。

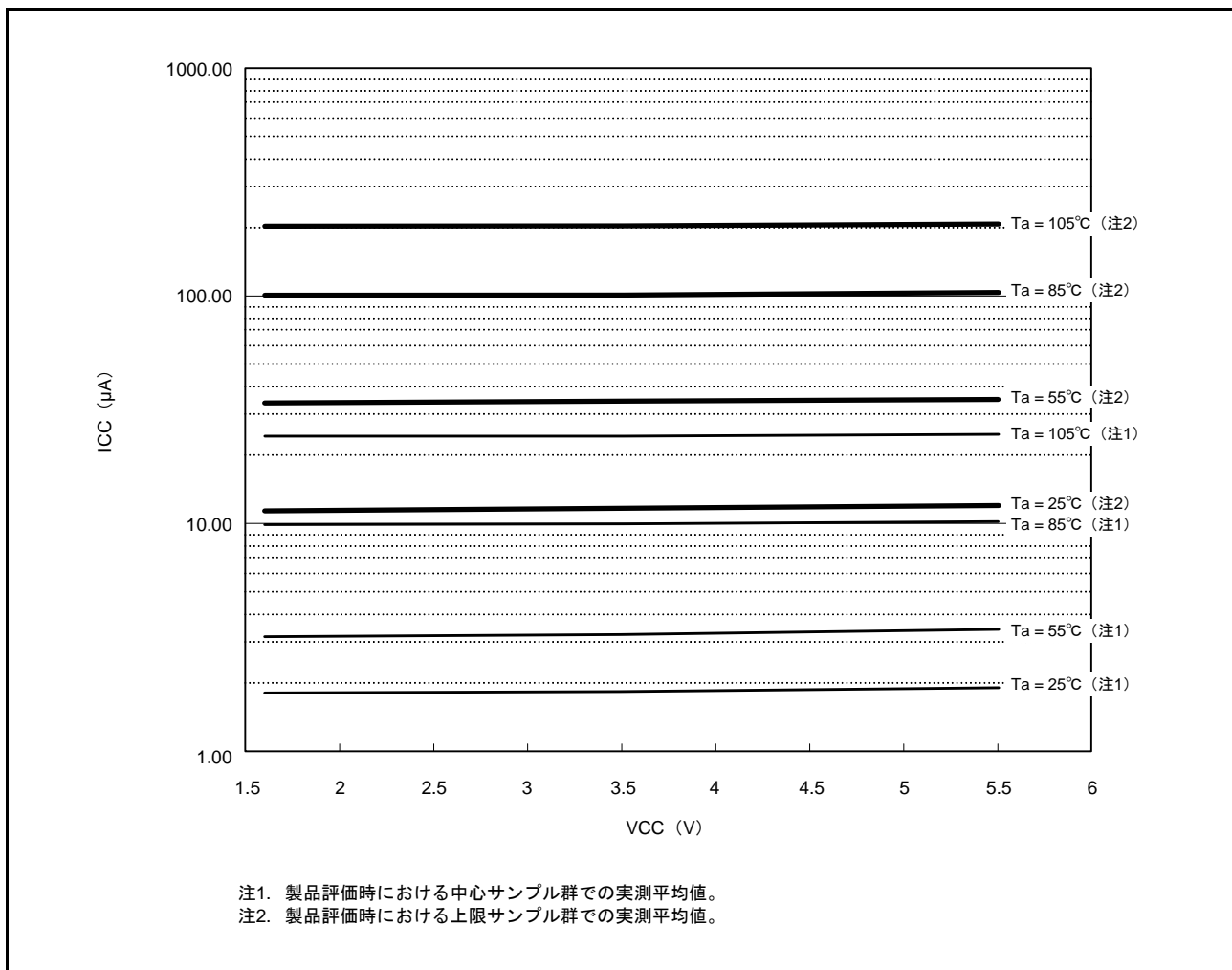


図 42.31 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 110b) 時の電圧依存性 (参考データ)
768K/1M バイトのフラッシュメモリで 100 ピン～145 ピンのチップバージョン B

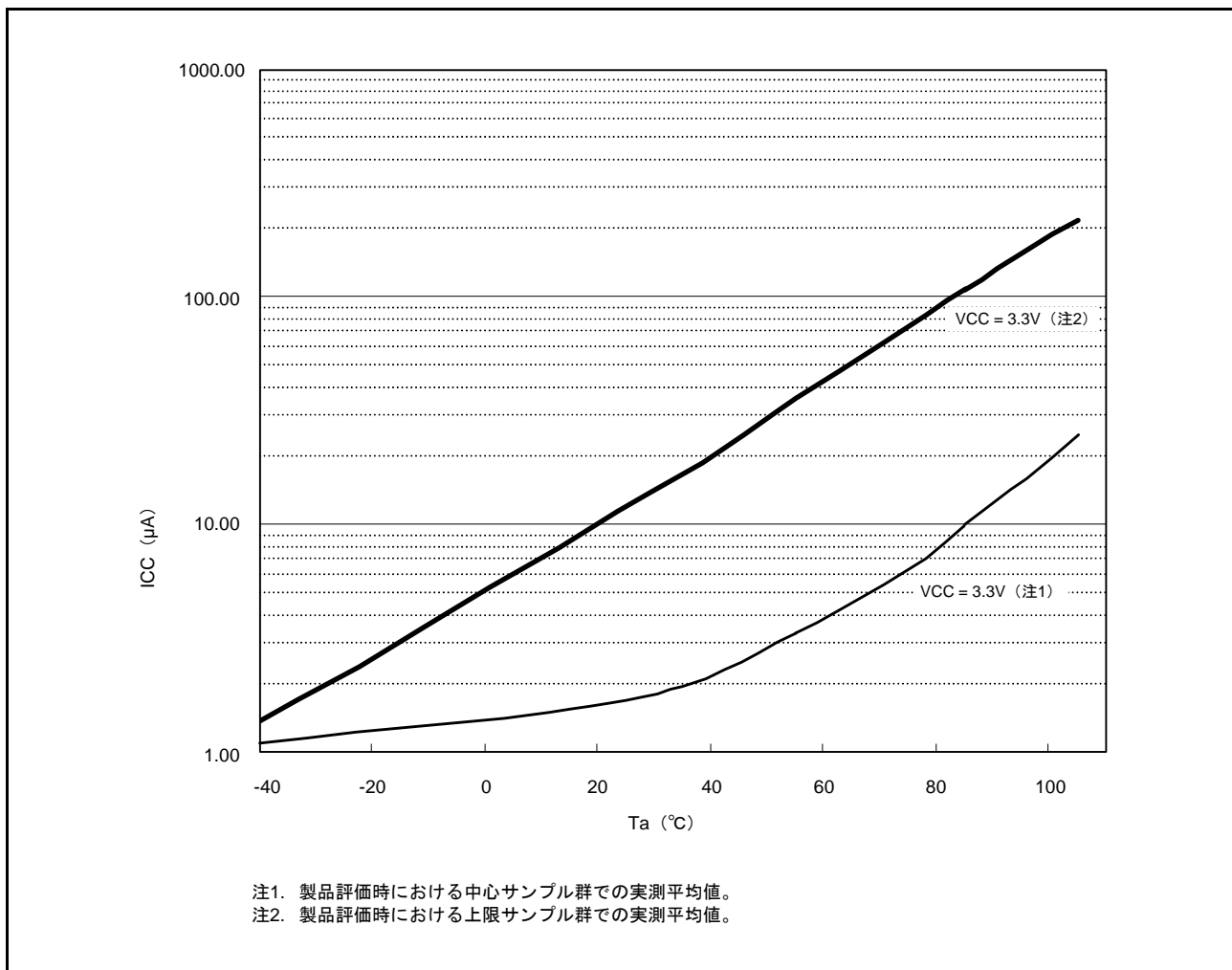


図 42.32 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 110b) 時の温度依存性 (参考データ)
768K/1M バイトのフラッシュメモリで 100 ピン ~ 145 ピンのチップバージョン B

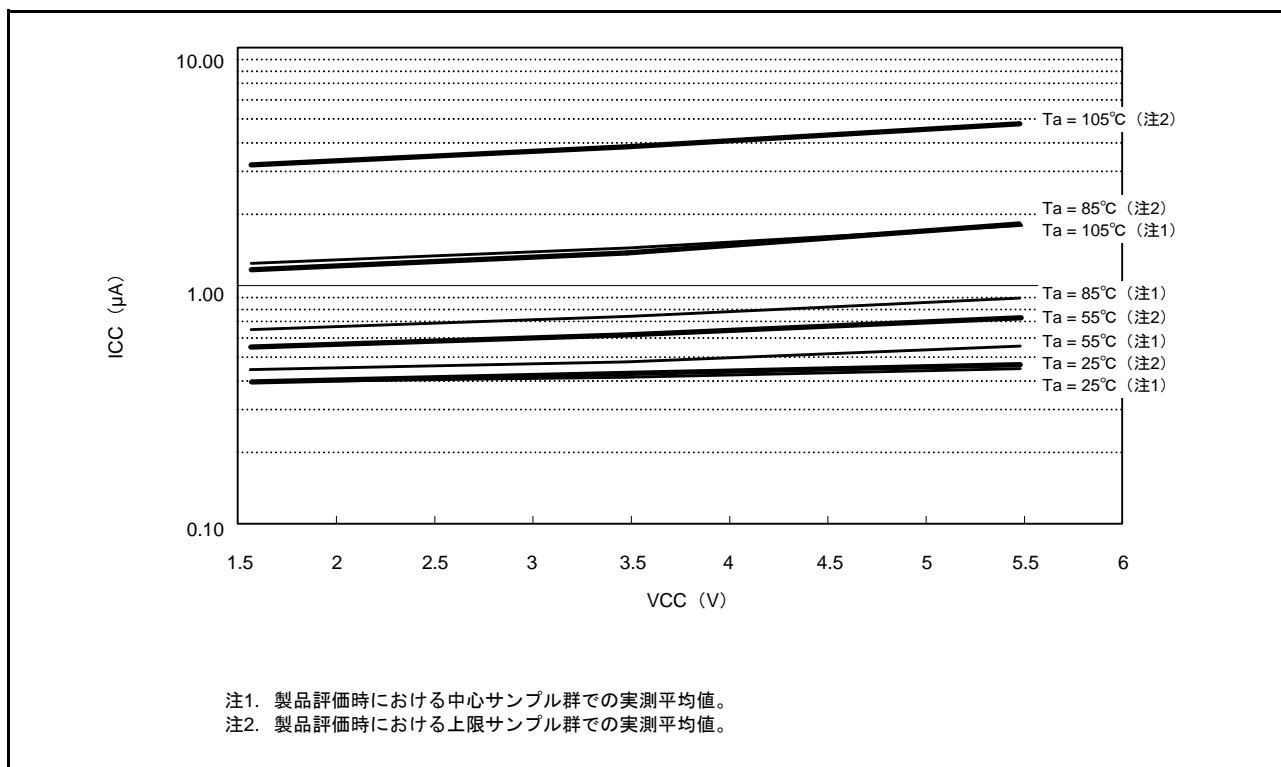


図 42.33 ディープソフトウェアスタンバイモード時の電圧依存性 (DEEPCUT1 ビット = 1) (参考データ) 768K/1M バイトのフラッシュメモリで 100 ピン～ 145 ピンのチップバージョン B

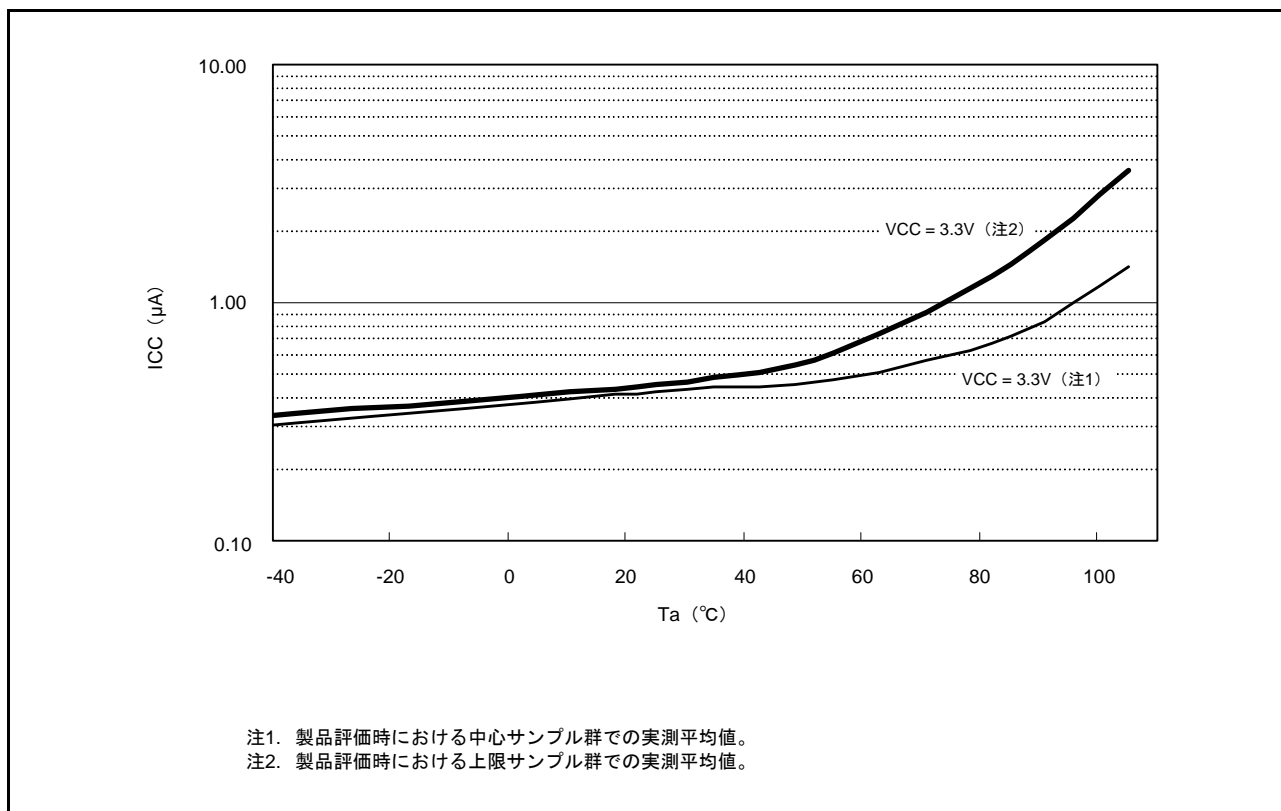


図 42.34 ディープソフトウェアスタンバイモード時の温度依存性 (DEEPCUT1 ビット = 1) (参考データ) 768K/1M バイトのフラッシュメモリで 100 ピン～ 145 ピンのチップバージョン B

[512Kバイト以下のフラッシュメモリで144ピン～145ピンのチップバージョンBの場合]

表42.18 DC特性 (17)

条件: VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目				記号	typ	max	単位	測定条件			
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	I _{CC}	7.2	—	mA				
			全周辺動作 通常動作 (注3)						ICLK = 50MHz	25.9	—
			全周辺動作 最大動作 (注3)						ICLK = 50MHz	—	45
		スリープモード	周辺動作なし						ICLK = 50MHz	4.3	—
			全周辺動作 通常動作						ICLK = 50MHz	13	—
		全モジュールクロックストップモード							3.7	—	
		BGO動作時の増加分 (注4)							21	—	

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。

注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKは64分周です。

注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は100MHzです。BCLK、FCLK、PCLKはICLKの2分周です。

注4. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。

[512Kバイト以下のフラッシュメモリで144ピン~145ピンのチップバージョンBの場合]

表42.19 DC特性 (18)

条件 : VCC = AVCC0 = 1.62~5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40~+105°C

項目					記号	typ	max	単位	測定条件
消費電流 (注1)	中速動作モード 1A、1B	通常動作 モード	周辺動作なし	ICLK = 32MHz (注2)	I _{CC}	5.3	—	mA	
				ICLK = 20MHz (注3)		4.6	—		
			全周辺動作 通常動作	ICLK = 32MHz (注4)		22.3	—		
				ICLK = 20MHz (注5)		15.6	—		
			全周辺動作 最大動作	ICLK = 32MHz (注4)		—	35		
				ICLK = 20MHz (注5)		—	—		
		スリープ モード	周辺動作なし	ICLK = 32MHz		3.4	—		
				ICLK = 20MHz		3.3	—		
			全周辺動作 通常動作	ICLK = 32MHz		12.8	—		
				ICLK = 20MHz		9.8	—		
		全モジュールロックストップ モード	ICLK = 32MHz			3	—		
			ICLK = 20MHz			3	—		
		BGO動作時の 増加分 (注6)	中速動作モード1A			21	—		
			中速動作モード1B			19	—		
		中速動作モード 2A、2B	通常動作 モード	周辺動作なし (注2)		ICLK = 32MHz	4.7		
	ICLK = 16MHz				3.4	—			
	ICLK = 8MHz				2.7	—			
	全周辺動作 通常動作 (注4)			ICLK = 32MHz	21.7	—			
				ICLK = 16MHz	12.3	—			
				ICLK = 8MHz	7.6	—			
	全周辺動作 最大動作 (注4)			ICLK = 32MHz	—	34			
				ICLK = 16MHz	—	—			
				ICLK = 8MHz	—	—			
	スリープ モード		周辺動作なし	ICLK = 32MHz	2.9	—			
				ICLK = 16MHz	2.5	—			
				ICLK = 8MHz	2.2	—			
			全周辺動作 通常動作	ICLK = 32MHz	12.3	—			
ICLK = 16MHz				7.8	—				
ICLK = 8MHz				5.6	—				
全モジュールロックストップ モード	ICLK = 32MHz		2.5	—					
	ICLK = 16MHz		2.2	—					
	ICLK = 8MHz		2.1	—					
BGO動作時の 増加分 (注6)	中速動作モード2A		21	—					
	中速動作モード2B		19	—					

項目				記号	typ	max	単位	測定条件
消費電流 (注1)	低速動作モード1	通常動作モード	周辺動作なし (注7)	ICLK = 8MHz	I _{CC}	2.0	—	mA
				ICLK = 4MHz		1.6	—	
				ICLK = 2MHz		1.5	—	
			全周辺動作通常動作 (注8)	ICLK = 8MHz		6.4	—	
				ICLK = 4MHz		4.0	—	
				ICLK = 2MHz		2.8	—	
		全周辺動作最大動作 (注8)	ICLK = 8MHz	—		12		
			ICLK = 4MHz	—		—		
			ICLK = 2MHz	—		—		
		スリープモード	周辺動作なし	ICLK = 8MHz		1.5	—	
				ICLK = 4MHz		1.4	—	
				ICLK = 2MHz		1.3	—	
	全周辺動作通常動作		ICLK = 8MHz	3.9	—			
			ICLK = 4MHz	2.8	—			
			ICLK = 2MHz	2.2	—			
	全モジュールクロックストップモード	ICLK = 8MHz	1.4	—				
		ICLK = 4MHz	1.3	—				
		ICLK = 2MHz	1.2	—				
	低速動作モード2	通常動作モード	周辺動作なし (注9)	ICLK = 32kHz	0.021	—		
				ICLK = 32kHz	0.06	—		
			全周辺動作最大動作 (注10)	ICLK = 32kHz	—	3 (注11)		
スリープモード		周辺動作なし	ICLK = 32kHz	0.017	—			
		全周辺動作通常動作	ICLK = 32kHz	0.035	—			
全モジュールクロックストップモード			0.016	—				

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKは64分周です。
- 注3. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKは64分周です。
- 注4. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLでVCO発振周波数は64MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注5. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで40MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注6. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注7. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKは64分周です。
- 注8. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOで発振周波数は32MHzです。BCLK、FCLK、PCLKはICLKと同じです。
- 注9. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKは64分周です。
- 注10. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKはICLKと同じです。
- 注11. メインクロックが12.5MHzで発振継続している場合の値です。

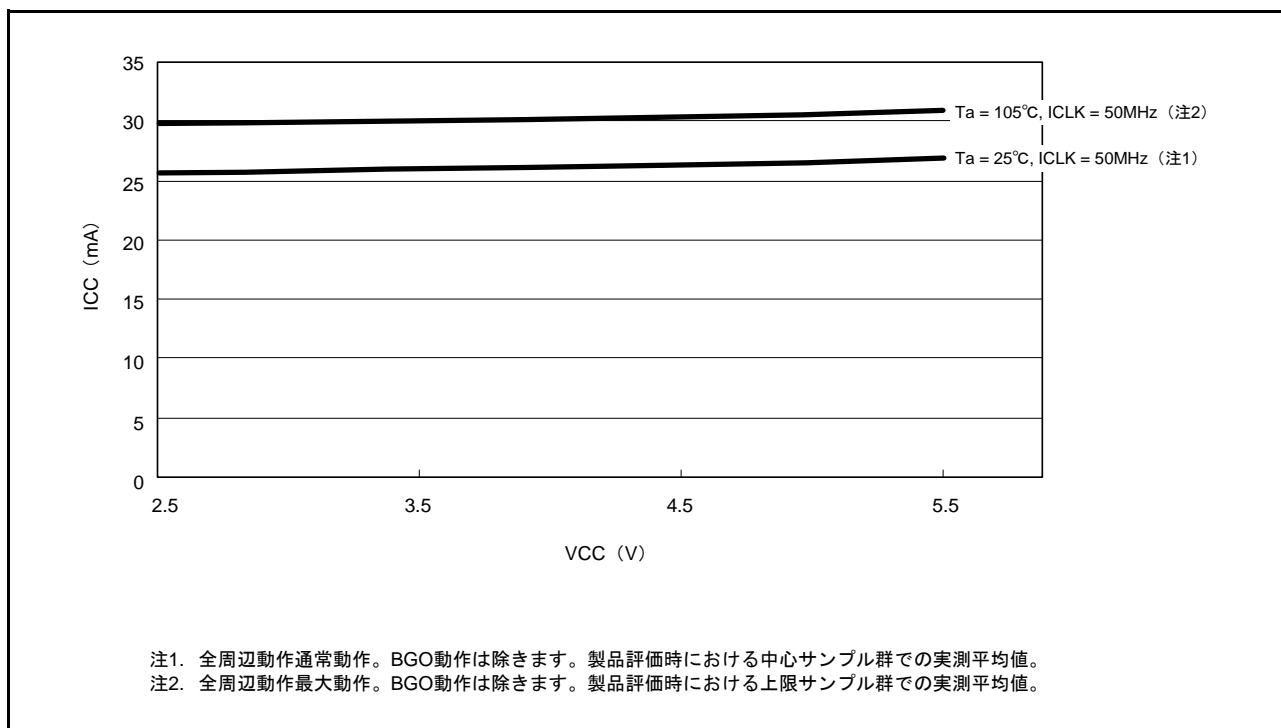


図 42.35 高速動作モードの電圧依存性（参考データ）512K バイト以下のフラッシュメモリで 144 ピン～145 ピンのチップバージョン B

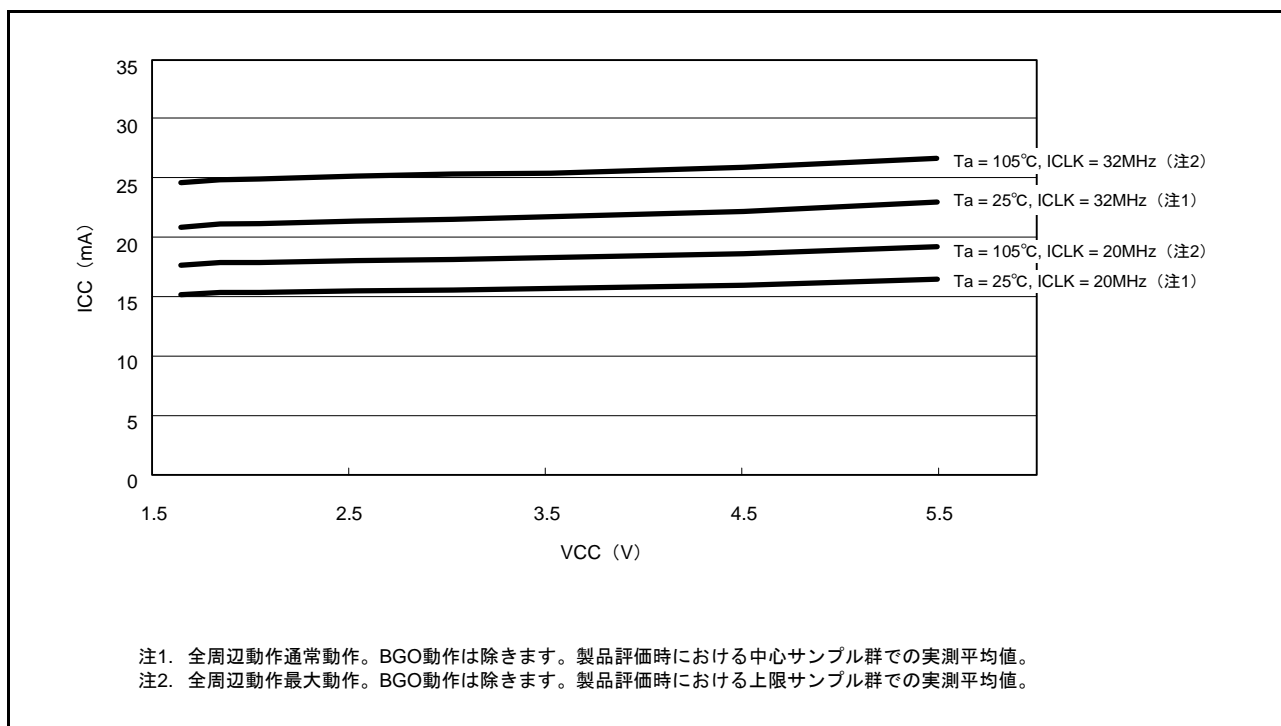


図 42.36 中速動作モード 1A、1B の電圧依存性（参考データ）512K バイト以下のフラッシュメモリで 144 ピン～ 145 ピンのチップバージョン B

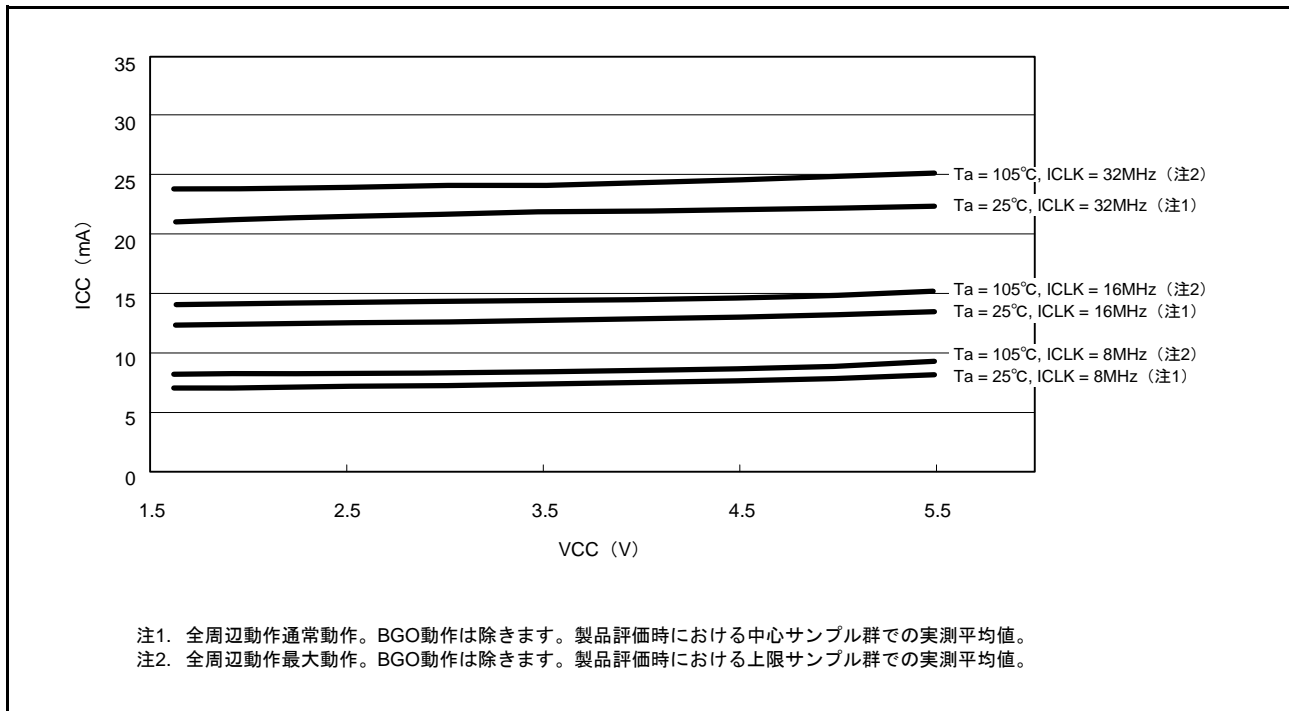


図 42.37 中速動作モード 2A、2B の電圧依存性 (参考データ) 512K バイト以下のフラッシュメモリで 144 ピン～ 145 ピンのチップバージョン B

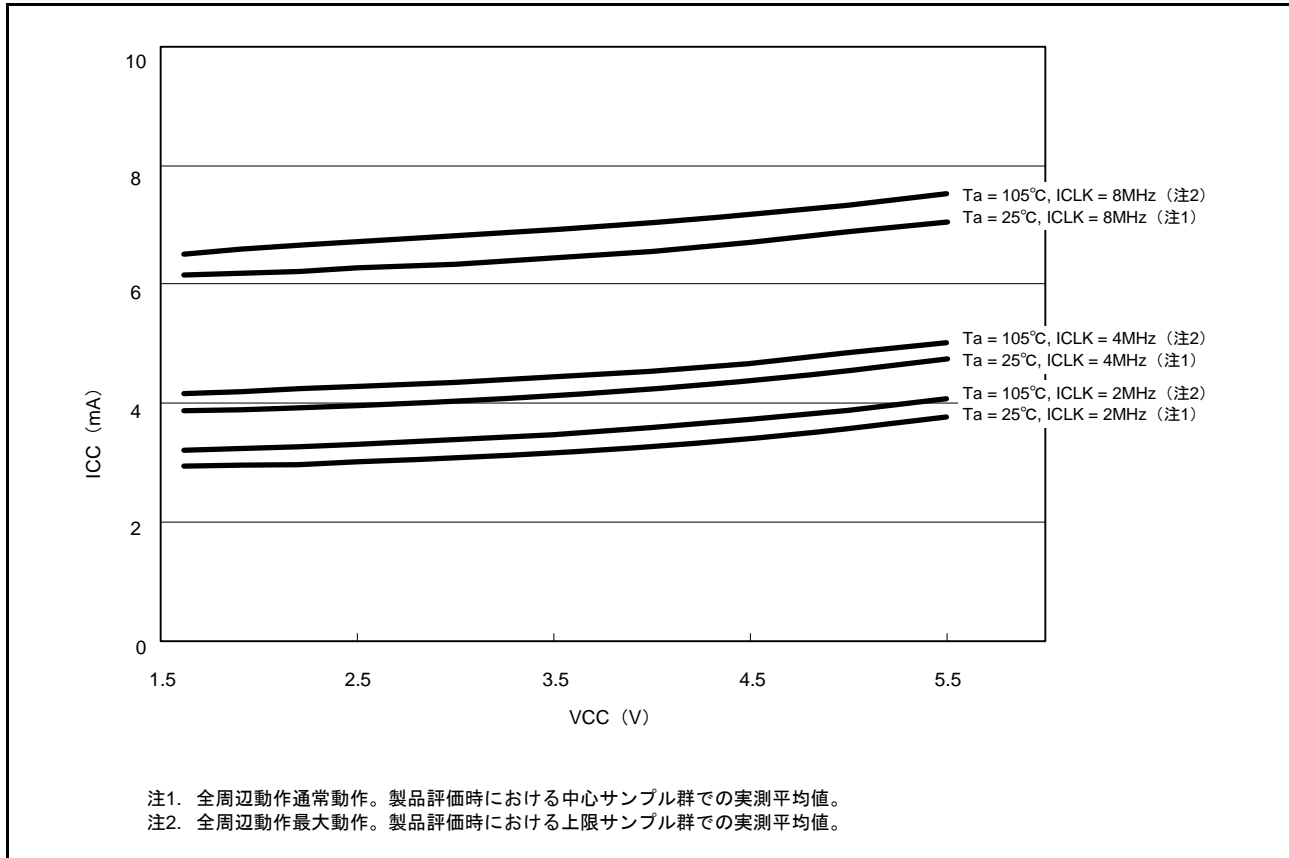


図 42.38 低速動作モード 1 の電圧依存性 (参考データ) 512K バイト以下のフラッシュメモリで 144 ピン～ 145 ピンのチップバージョン B

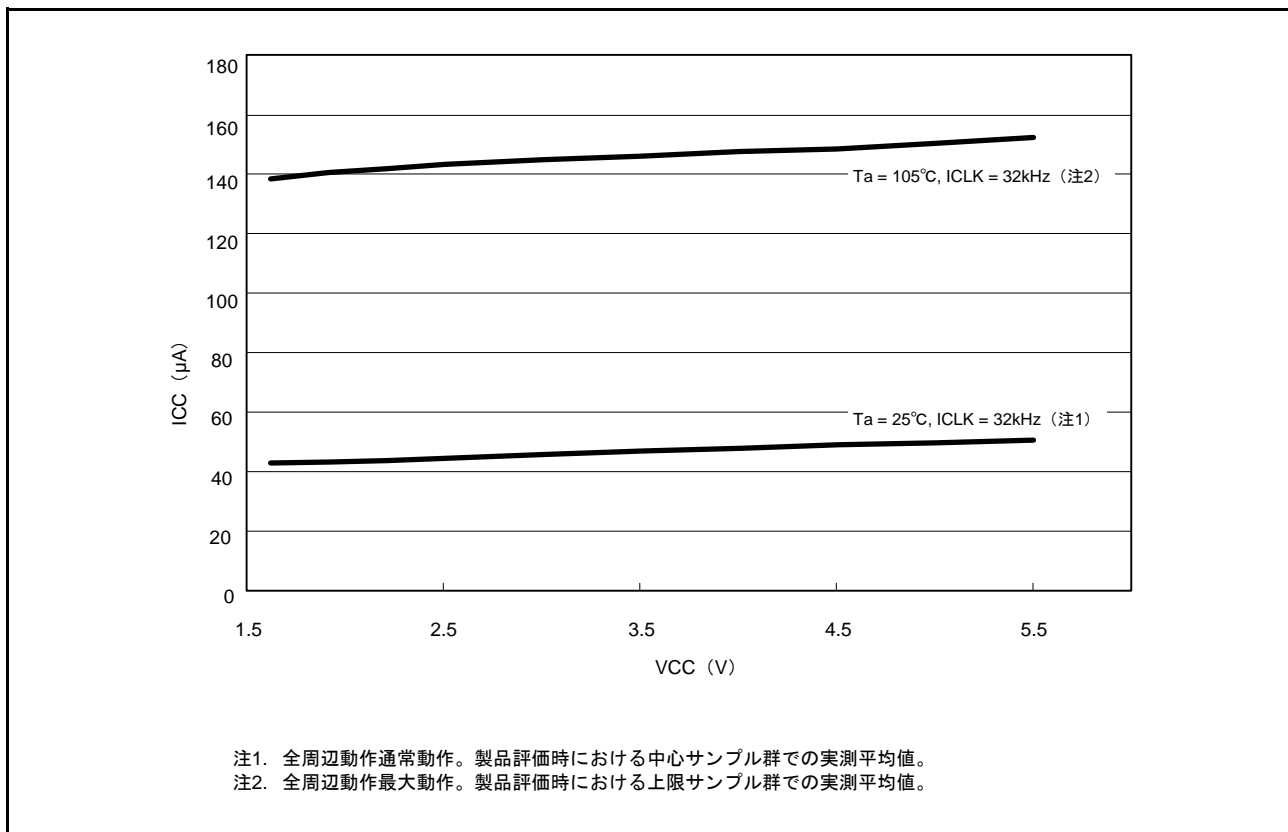


図 42.39 低速動作モード2の電圧依存性（参考データ）512Kバイト以下のフラッシュメモリで144ピン～145ピンのチップバージョンB

[512Kバイト以下のフラッシュメモリで144ピン～145ピンのチップバージョンBの場合]

表42.20 DC特性 (19)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = 0V、T_a = -40 ~ +105°C

項目				記号	typ (注3)	max	単位	測定条件	
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給、 HOCO電源供給、 PORの低消費電力機能無効 (SOFTCUT[2:0]ビット = 000b)	T _a = 25°C	I _{CC}	10	18	μA		
			T _a = 55°C		13	52			
			T _a = 85°C		20	101			
			T _a = 105°C		34	173			
		フラッシュメモリ電源供給、 HOCO電源供給なし、 PORの低消費電力機能有効 (SOFTCUT[2:0]ビット = 110b)	T _a = 25°C		1.8	7.7			
			T _a = 55°C		3.3	30			
			T _a = 85°C		9.2	75			
			T _a = 105°C		20	139			
	ディープソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給なし、 HOCO電源供給なし、 PORの低消費電力機能有効 (DEEPCUT1ビット = 1)	T _a = 25°C	0.4	0.8				
			T _a = 55°C	0.5	1.0				
			T _a = 85°C	0.7	2.5				
			T _a = 105°C	1.4	6.3				
	電圧検出回路動作、PORの低消費電力機能無効による増分					1.4			—
	RTC動作の増加分 (低CLの場合)					0.8			—
	RTC動作の増加分 (標準CLの場合)					2.0			—

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. IWDTとLVDは動作停止です。

注3. VCC = 3.3Vの場合です。

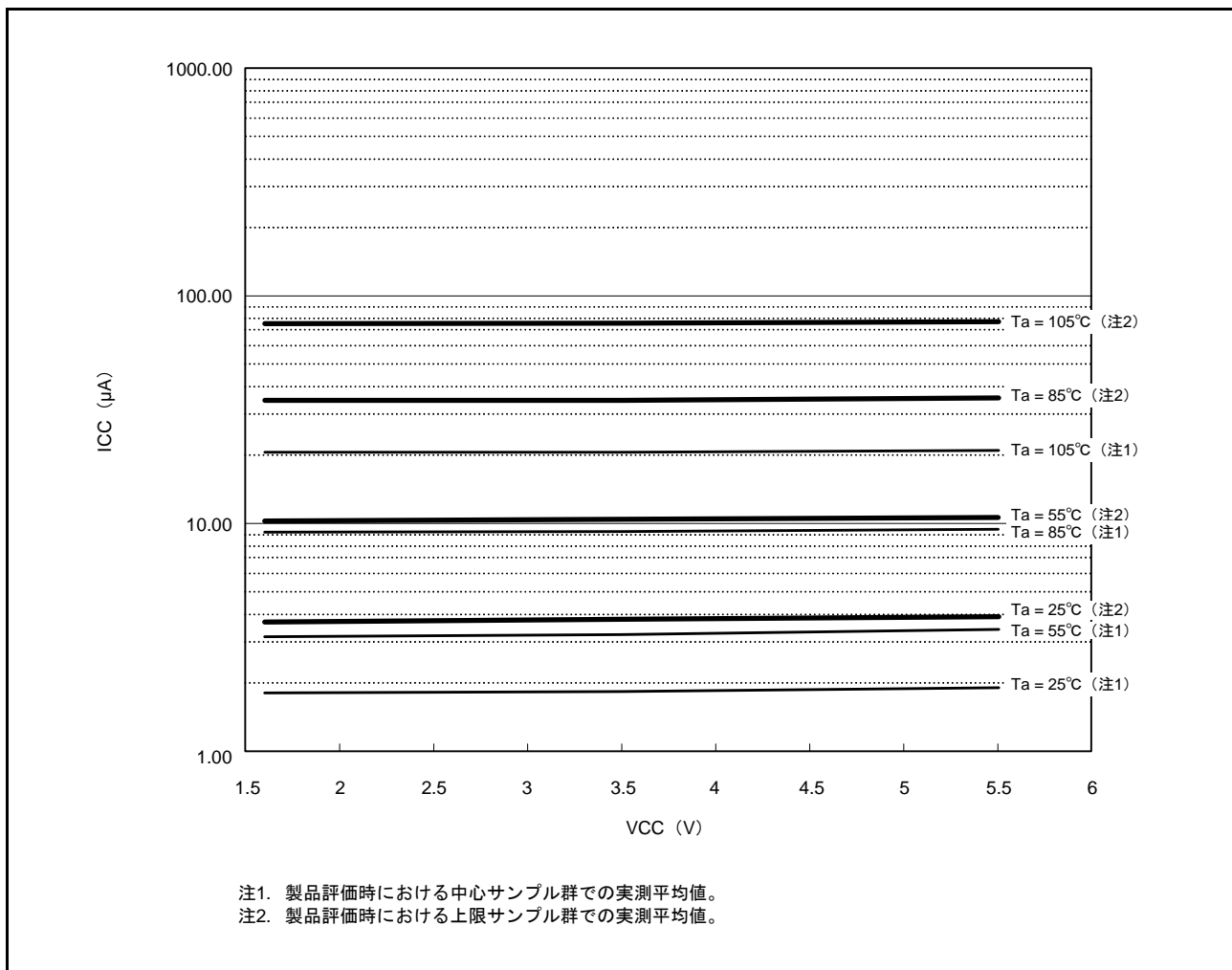


図 42.40 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 110b) 時の電圧依存性 (参考データ)
512K バイト以下のフラッシュメモリで 144 ピン ~ 145 ピンのチップバージョン B

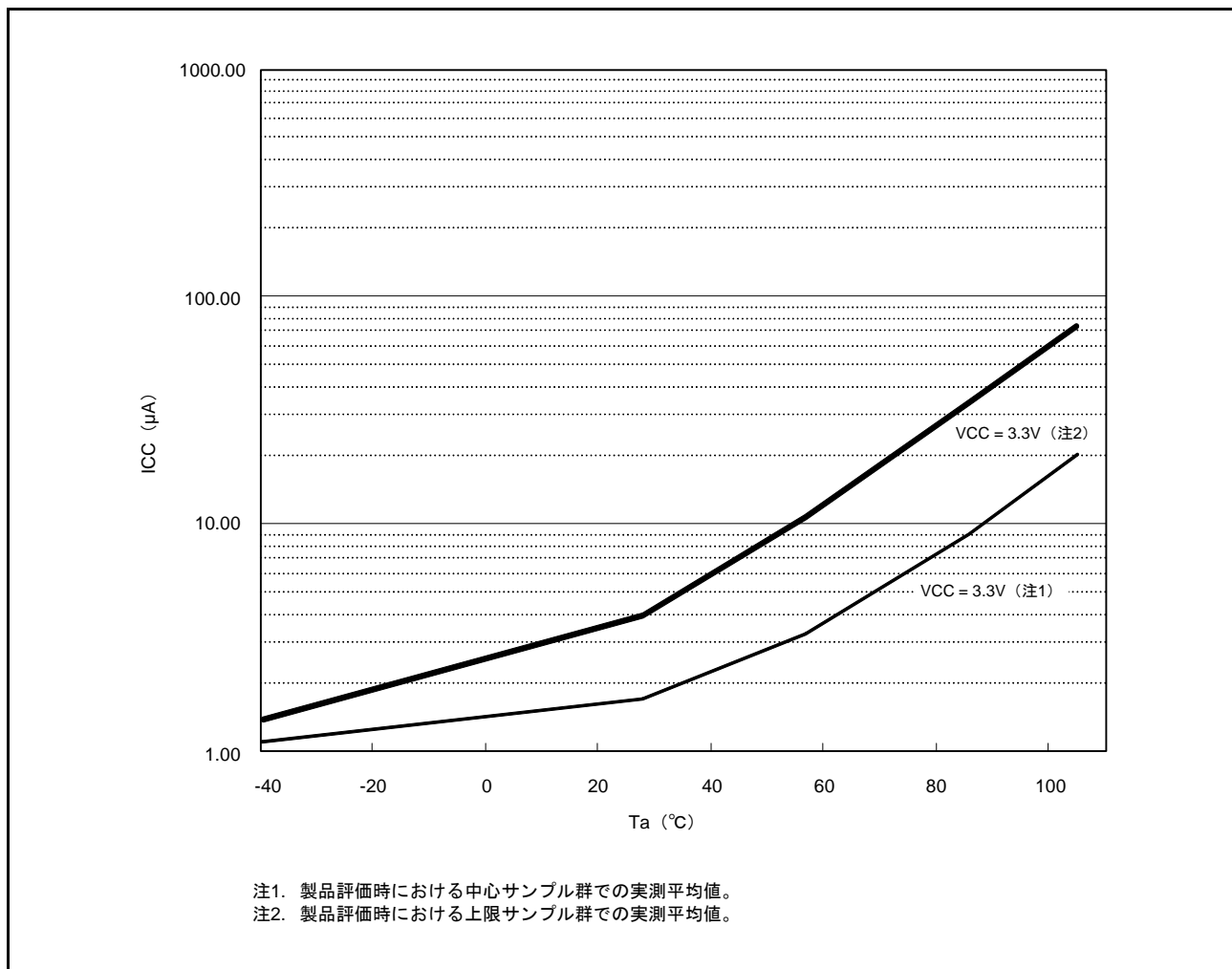


図 42.41 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 110b) 時の温度依存性 (参考データ)
512K バイト以下のフラッシュメモリで 144 ピン ~ 145 ピンのチップバージョン B

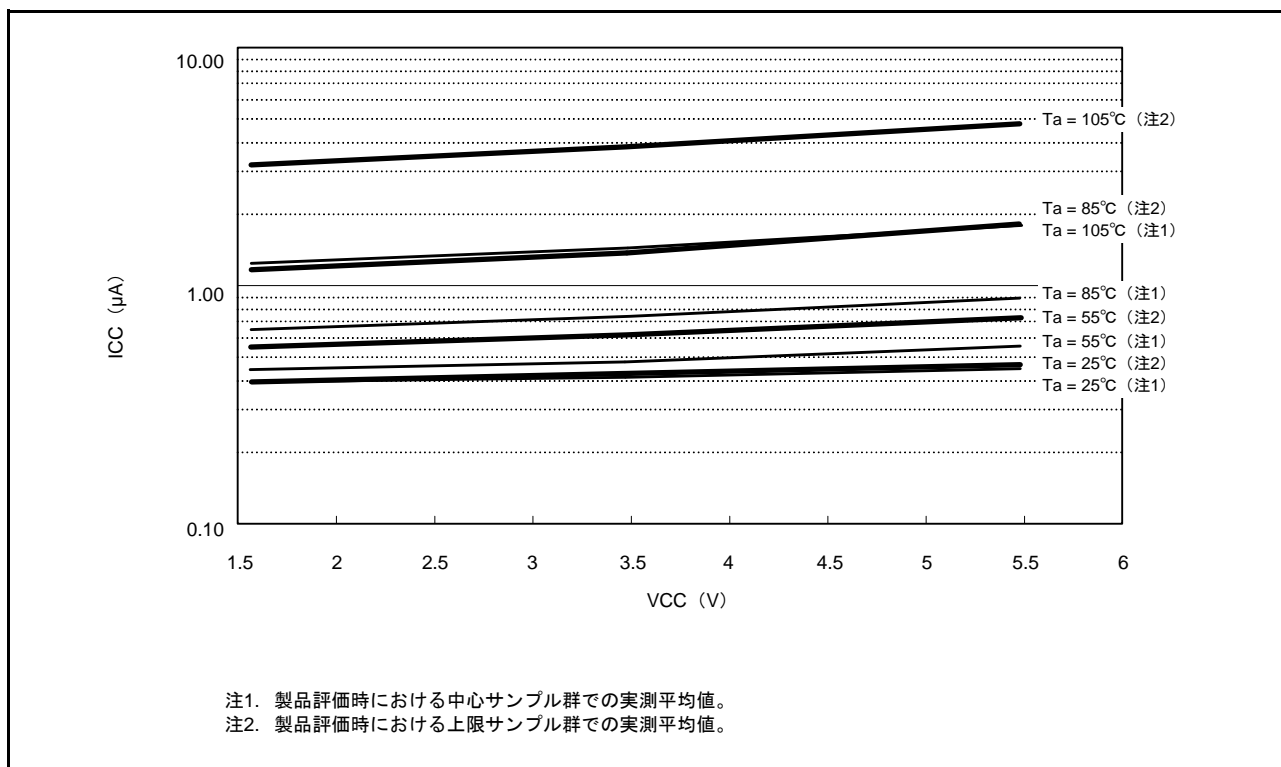


図 42.42 ディープソフトウェアスタンバイモード時の電圧依存性 (DEEPCUT1 ビット = 1) (参考データ) 512K バイト以下のフラッシュメモリで 144 ピン～ 145 ピンのチップバージョン B

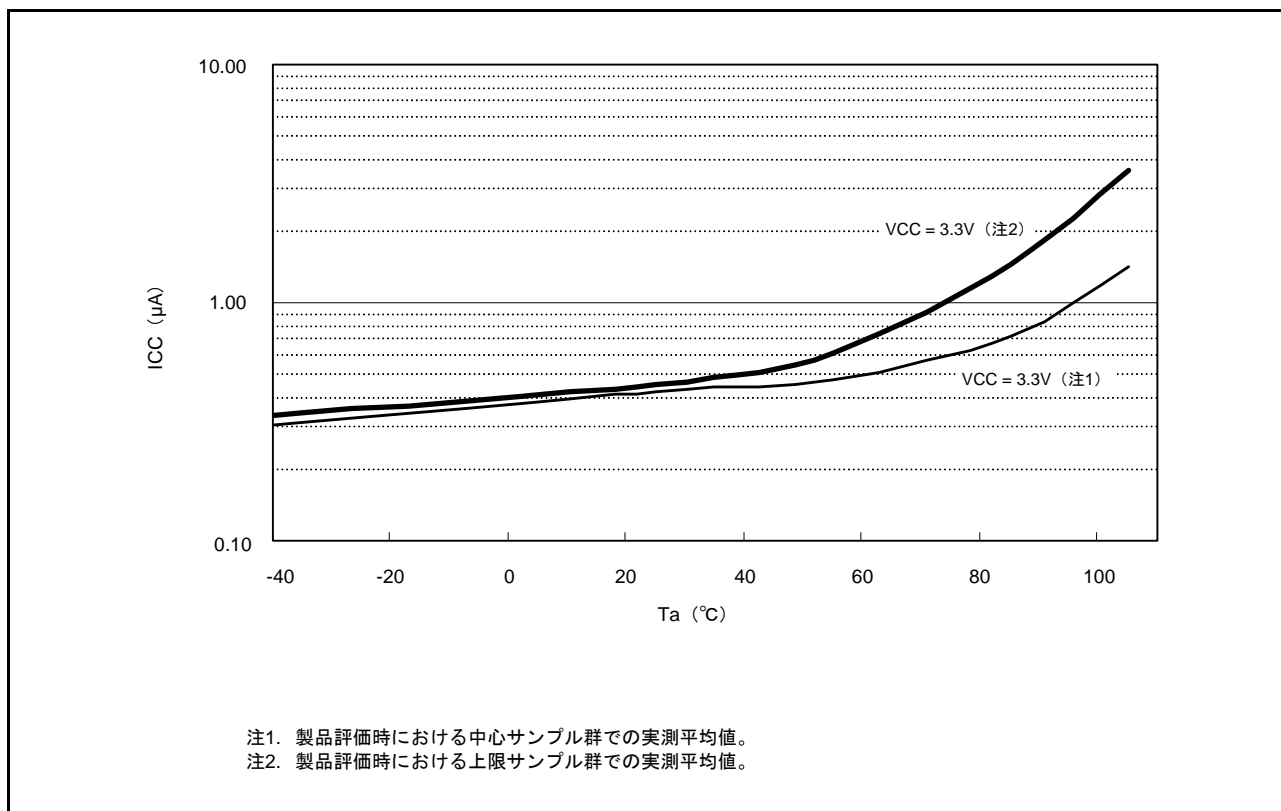


図 42.43 ディープソフトウェアスタンバイモード時の温度依存性 (DEEPCUT1 ビット = 1) (参考データ) 512K バイト以下のフラッシュメモリで 144 ピン～ 145 ピンのチップバージョン B

表 42.21 DC特性 (20)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	350	mW	$T_a = -40 \sim 85^\circ\text{C}$
		—	150		$85^\circ\text{C} < T_a \leq 105^\circ\text{C}$

注. $T_a = +85^\circ\text{C} \sim +105^\circ\text{C}$ で使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。

注1. チップ全体（出力電流を含む）の総電力です。

表 42.22 DC特性 (21)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VREFH = 1.8 ~ AVCC0、VREFH0 = 1.62 ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件
アナログ電源電流	A/D変換中	I_{AVCC0}	—	1.0	3.2	mA	
	温度センサ動作、A/D変換待機時		—	60	200	μA	
	D/A変換中（1チャンネル当り）	I_{VREFH} (注1)	—	0.25	0.75	mA	
	A/D、D/A変換待機時（全ユニット）(注2)		—	0.2	5.0	μA	
リファレンス電源電流	A/D変換中	I_{VREFH0}	—	0.1	0.2	mA	
	A/D変換待機時		—	0.2	0.4	μA	

注. A/Dコンバータは、サンプル&ホールドなしの値です。

注1. D/Aコンバータの電源電流の値はリファレンス電源電流も含まれます。

注2. 数値は I_{AVCC0} と I_{VREFH} の合計値です。

表 42.23 DC特性 (22)

条件: VCC = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
RAMスタンバイ電圧	V_{RAM}	1.62	—	—	V	

表 42.24 DC特性 (23)

条件: VCC = AVCC0 = 0 ~ 5.5V、VREFH = VREFH0 = 0 ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
VCC立ち上がり勾配	SrVCC	0.02	—	20	ms/V	コールドスタート時

表 42.25 DC特性 (24)

条件: $V_{CC} = AV_{CC0} = 1.62 \sim 5.5V$ 、 $V_{SS} = AV_{SS0} = V_{REFL} = V_{REFL0} = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 電源リップルは、 V_{CC} の上限 (5.5V) と下限 (1.62V) は超えない範囲で許容電源リップル周波数 $f_r (V_{CC})$ を満たしてください。 V_{CC} 変動が $V_{CC} \pm 10\%$ を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 dt/dV_{CC} を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_r (V_{CC})$	—	—	10	kHz	図 42.44 $V_{CC} \times 0.1 < V_r (V_{CC}) \leq V_{CC} \times 0.2$
		—	—	1	MHz	図 42.44 $V_{CC} \times 0.05 < V_r (V_{CC}) \leq V_{CC} \times 0.1$
		—	—	10	MHz	図 42.44 $V_r (V_{CC}) \leq V_{CC} \times 0.05$
許容電源変動立ち上がり/ 立ち下がり勾配	dt/dV_{CC}	1.0	—	—	ms/V	V_{CC} 変動が $V_{CC} \pm 10\%$ を超える場合

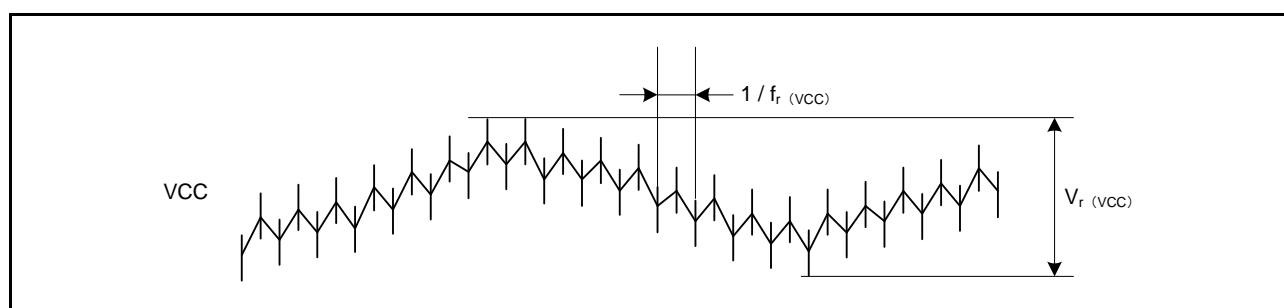


図 42.44 電源リップル波形

表 42.26 出力許容電流値 (1)

条件: $V_{CC} = AV_{CC0} = 1.62 \sim 5.5V$ 、 $V_{SS} = AV_{SS0} = V_{REFL} = V_{REFL0} = 0V$ 、総電力 (mW) $< 1000 - 10 \times T_a$ のとき

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	通常出力時	I_{OL}	4.0	mA
	高駆動出力時		8.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	通常出力時		4.0	mA
	高駆動出力時		8.0	
出力Lowレベル許容電流 (総和)	全出力端子の総和	ΣI_{OL}	80	mA
出力Highレベル許容電流 (1端子あたりの平均値)	通常出力時	I_{OH}	-4.0	mA
	高駆動出力時		-8.0	
出力Highレベル許容電流 (1端子あたりの最大値)	通常出力時		-4.0	mA
	高駆動出力時		-8.0	
出力Highレベル許容電流 (総和)	全出力端子の総和	ΣI_{OH}	-80	mA

表42.27 出力許容電流値 (2)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、総電力 (mW) $\geq 1000-10 \times T_a$ のとき

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	通常出力時	I_{OL}	2.0	mA
	高駆動出力時		4.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	通常出力時		2.0	mA
	高駆動出力時		4.0	
出力Lowレベル許容電流 (総和)	全出力端子の総和	ΣI_{OL}	40	mA
出力Highレベル許容電流 (1端子あたりの平均値)	通常出力時	I_{OH}	-2.0	mA
	高駆動出力時		-4.0	
出力Highレベル許容電流 (1端子あたりの最大値)	通常出力時		-2.0	mA
	高駆動出力時		-4.0	
出力Highレベル許容電流 (総和)	全出力端子の総和	ΣI_{OH}	-40	mA

[チップバージョン A の場合]

表42.28 出力電圧値 (1)

条件: VCC = AVCC0 = 1.62 ~ 2.7V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	max	単位	測定条件
出力Lowレベル	全出力端子 (RIIC以外)	V_{OL}	—	0.4	V	$I_{OL} = 0.5\text{mA}$
			—	0.4		$I_{OL} = 1.0\text{mA}$
出力Highレベル	全出力端子	V_{OH}	VCC - 0.4	—	V	$I_{OH} = -0.5\text{mA}$
			VCC - 0.4	—		$I_{OH} = -1.0\text{mA}$

[チップバージョン A の場合]

表42.29 出力電圧値 (2)

条件: VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	max	単位	測定条件	
						VCC = 2.7 ~ 4.0V	VCC = 4.0 ~ 5.5V
出力Lowレベル	全出力端子 (RIIC以外)	V_{OL}	—	1.0	V	$I_{OL} = 3.0\text{mA}$	$I_{OL} = 4.0\text{mA}$
			—	1.0		$I_{OL} = 5.0\text{mA}$	$I_{OL} = 8.0\text{mA}$
	RIIC端子		—	0.4		$I_{OL} = 3.0\text{mA}$	
			—	0.6		$I_{OL} = 6.0\text{mA}$	
出力Highレベル	全出力端子	V_{OH}	VCC - 1.0	—	V	$I_{OH} = -3.0\text{mA}$	$I_{OH} = -4.0\text{mA}$
			VCC - 1.0	—		$I_{OH} = -5.0\text{mA}$	$I_{OH} = -8.0\text{mA}$

[チップバージョン B、C の場合]

表42.30 出力電圧値 (3)

条件: VCC = AVCC0 = 1.62 ~ 2.7V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	max	単位	測定条件
出力Lowレベル	全出力端子 (RIIC以外)	V_{OL}	—	0.3	V	$I_{OL} = 0.5\text{mA}$
			—	0.3		$I_{OL} = 1.0\text{mA}$
出力Highレベル	全出力端子	V_{OH}	VCC - 0.3	—	V	$I_{OH} = -0.5\text{mA}$
			VCC - 0.3	—		$I_{OH} = -1.0\text{mA}$

[チップバージョン B、C の場合]

表 42.31 出力電圧値 (4)

条件 : VCC = AVCC0 = 2.7 ~ 4.0V, VSS = AVSS0 = VREFL = VREFL0 = 0V, Ta = -40 ~ +105°C

項目			記号	min	max	単位	測定条件
出力 Low レベル	全出力端子 (RIIC 以外)	通常出力時	VOL	—	0.5	V	IO _L = 1.0mA
		高駆動出力時		—	0.5		IO _L = 2.0mA
	RIIC 端子			—	0.4		IO _L = 3.0mA
				—	0.6		IO _L = 6.0mA
出力 High レベル	全出力端子	通常出力時	VOH	VCC - 0.5	—	V	IO _H = -1.0mA
		高駆動出力時	VOH	VCC - 0.5	—		IO _H = -2.0mA

[チップバージョン B、C の場合]

表 42.32 出力電圧値 (5)

条件 : VCC = AVCC0 = 4.0 ~ 5.5V, VSS = AVSS0 = VREFL = VREFL0 = 0V, Ta = -40 ~ +105°C

項目			記号	min	max	単位	測定条件
出力 Low レベル	全出力端子 (RIIC 以外)	通常出力時	VOL	—	0.8	V	IO _L = 2.0mA
		高駆動出力時		—	0.8		IO _L = 4.0mA
	RIIC 端子			—	0.4		IO _L = 3.0mA
				—	0.6		IO _L = 6.0mA
出力 High レベル	全出力端子	通常出力時	VOH	VCC - 0.8	—	V	IO _H = -2.0mA
		高駆動出力時	VOH	VCC - 0.8	—		IO _H = -4.0mA

42.2.1 標準 I/O 端子出力特性 (1)

図 42.45 ~ 図 42.49 に駆動能力制御レジスタで通常出力を選択したときの特性を示します。

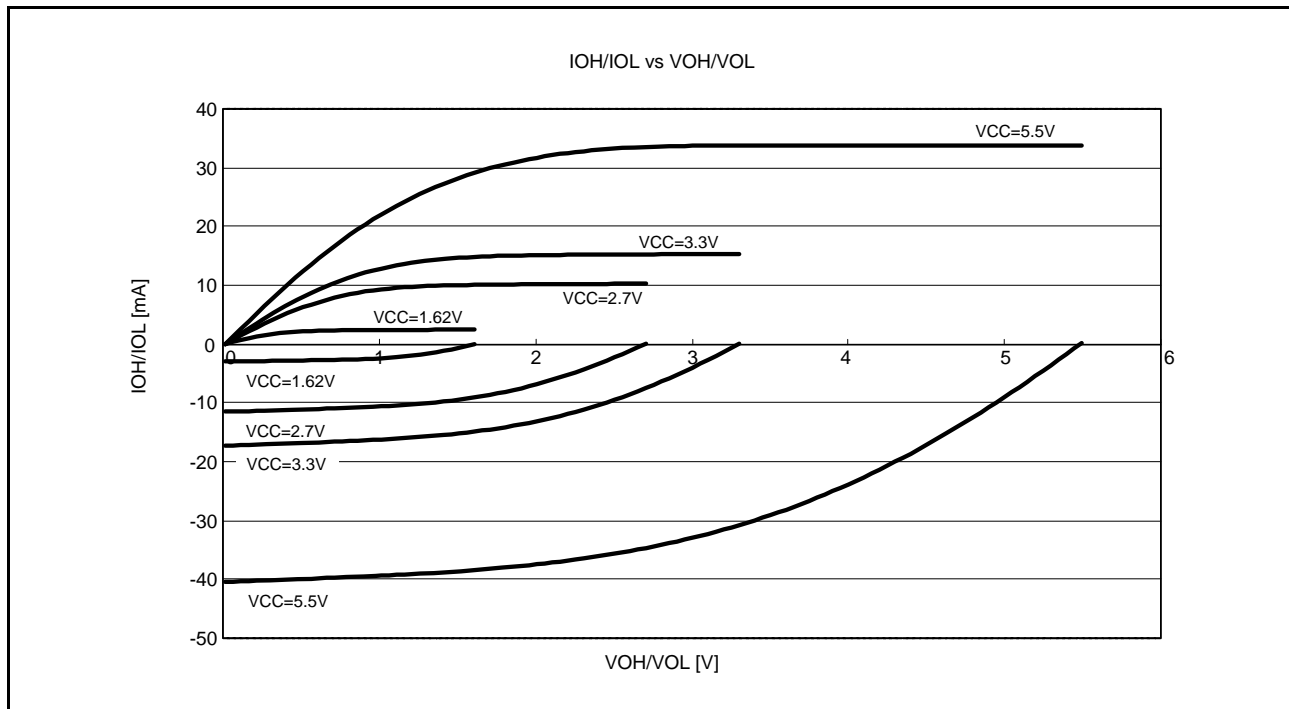


図 42.45 通常出力を選択したときの VOH/VOL、IOH/IOL 電圧特性 Ta = 25°C (参考データ)

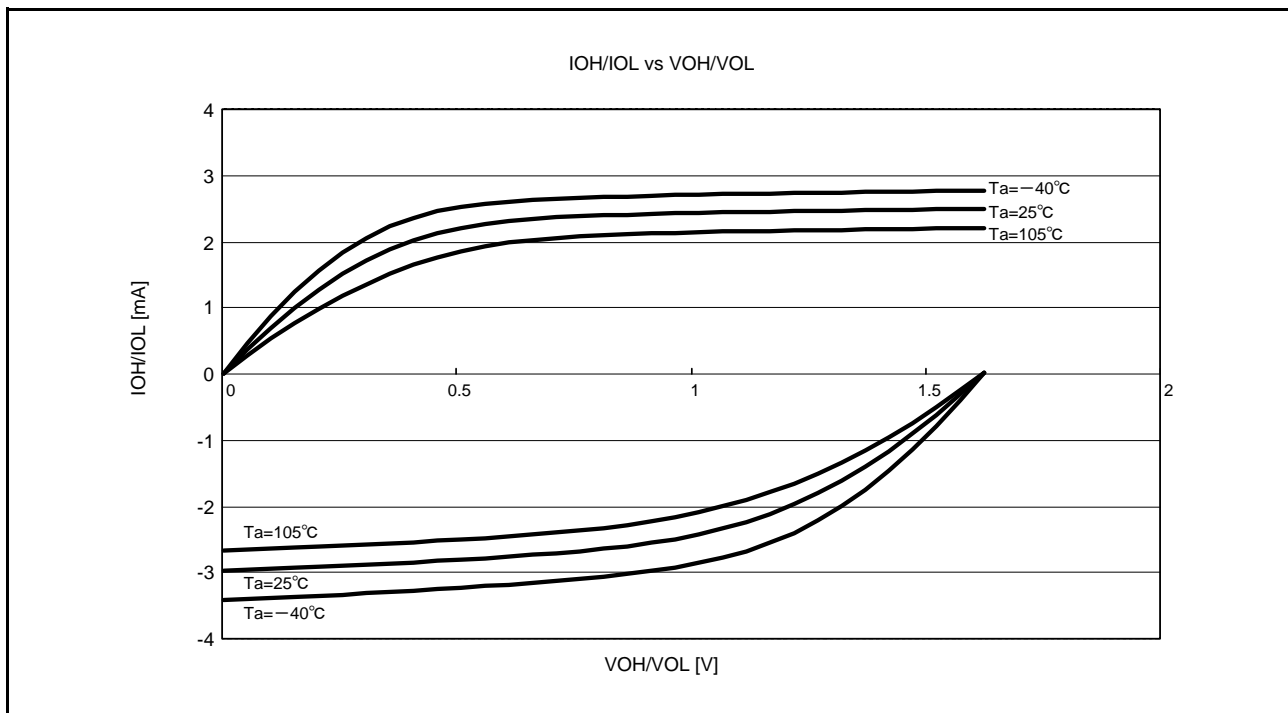


図 42.46 通常出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 1.62V (参考データ)

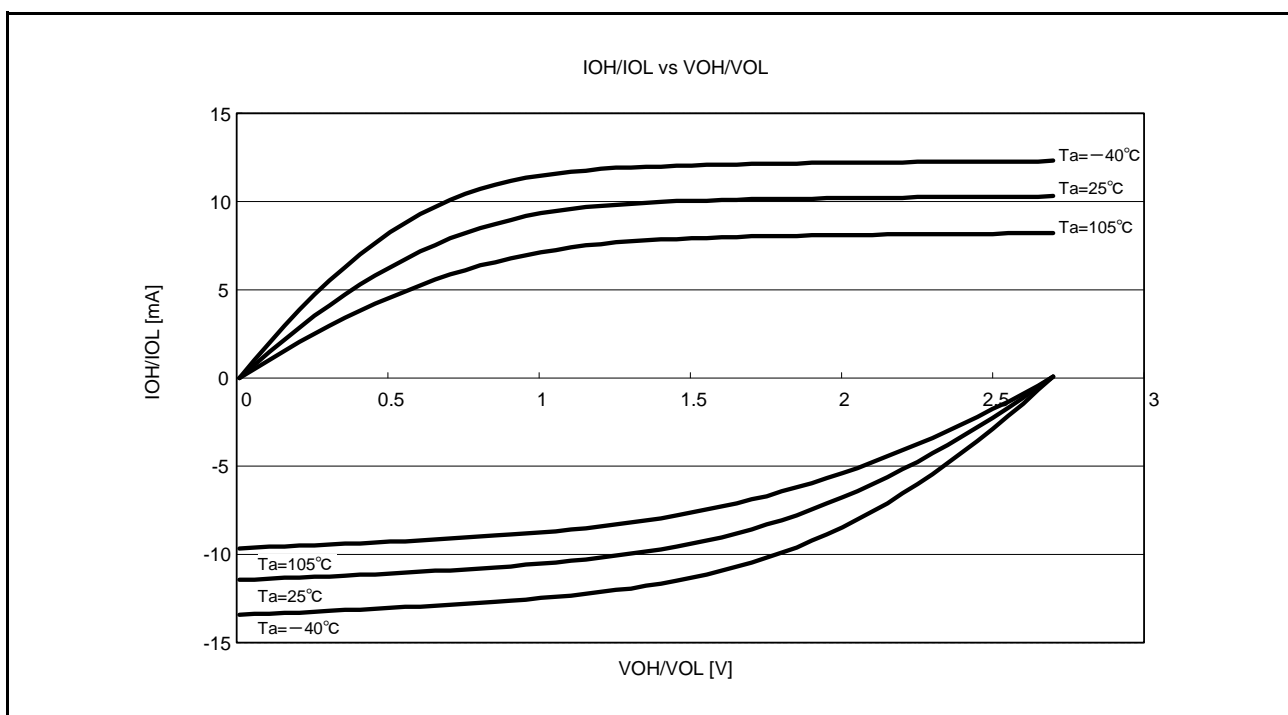


図 42.47 通常出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 2.7V (参考データ)

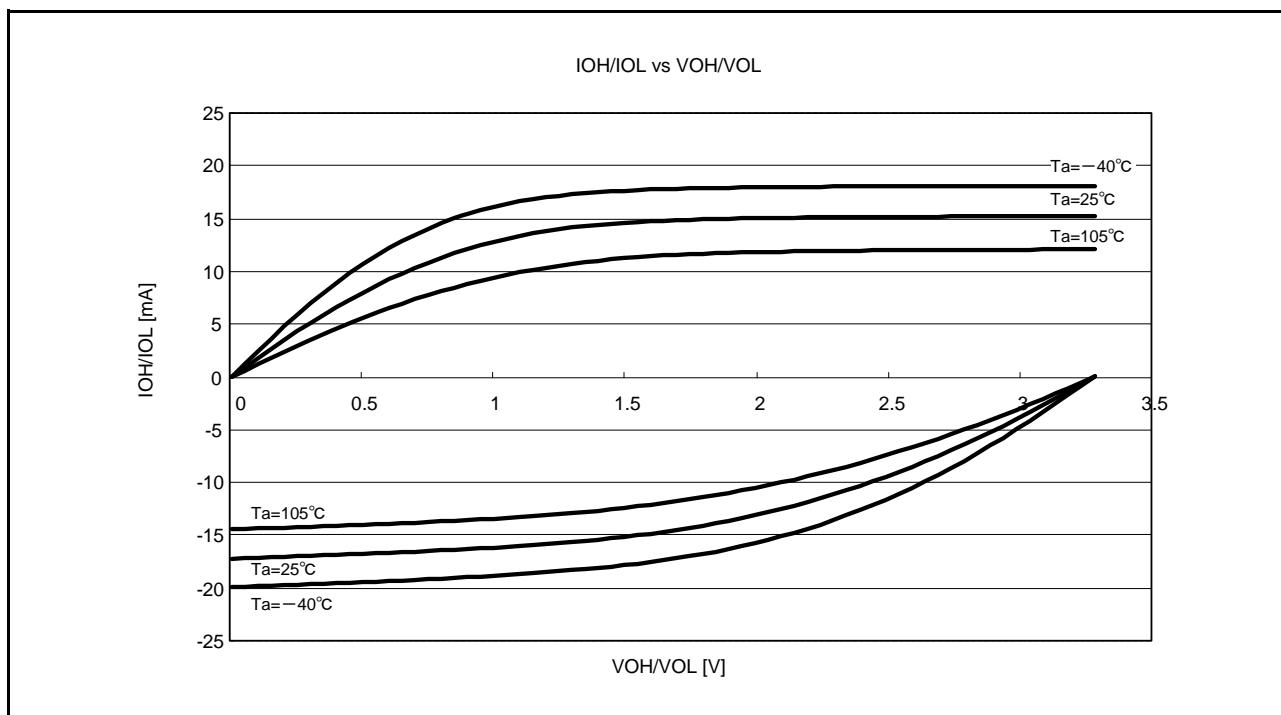


図 42.48 通常出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 3.3V (参考データ)

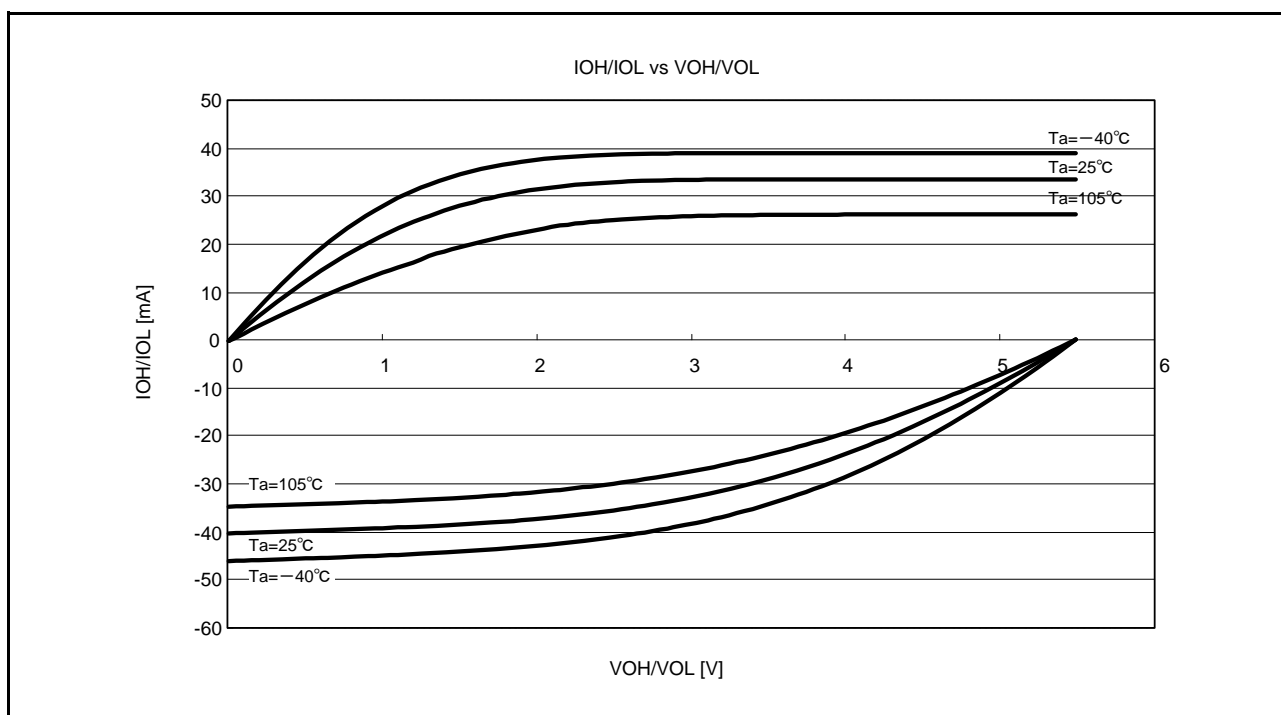


図 42.49 通常出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 5.5V (参考データ)

42.2.2 標準 I/O 端子出力特性 (2)

図 42.50 ~ 図 42.54 に駆動能力制御レジスタで高駆動出力を選択したときの特性を示します。

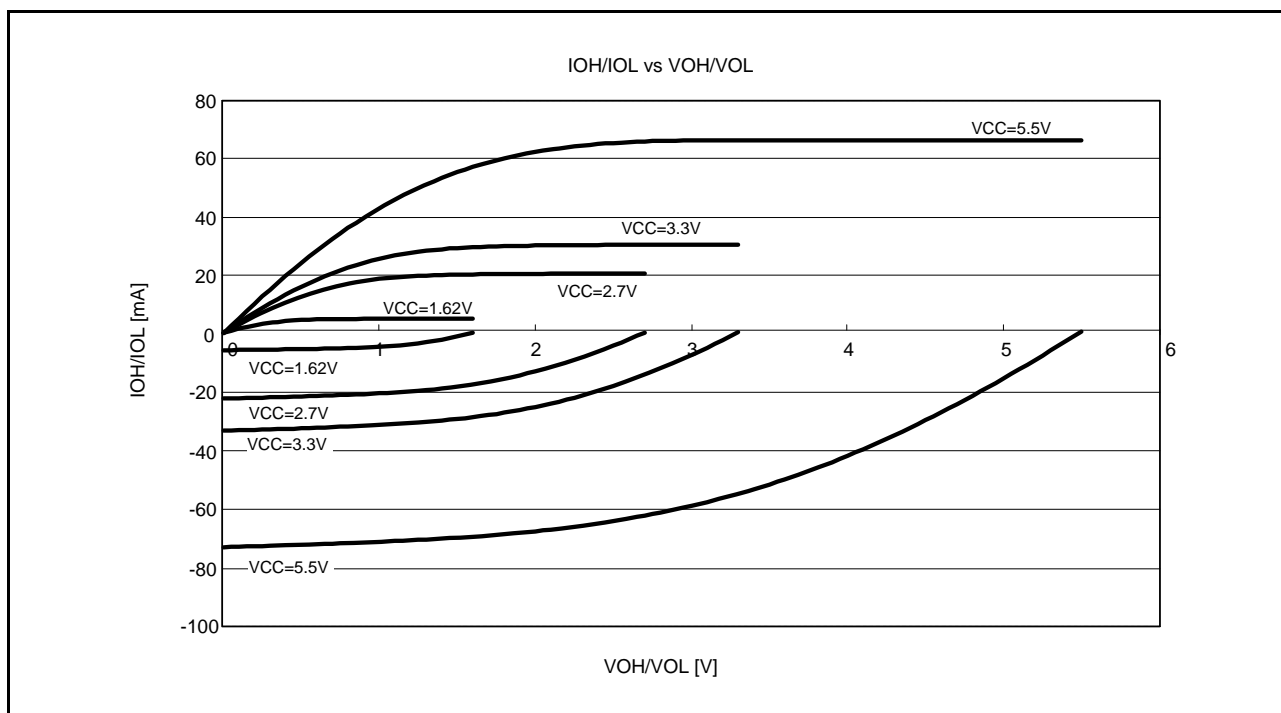


図 42.50 高駆動出力を選択したときの VOH/VOL、IOH/IOL 電圧特性 Ta = 25 °C (参考データ)

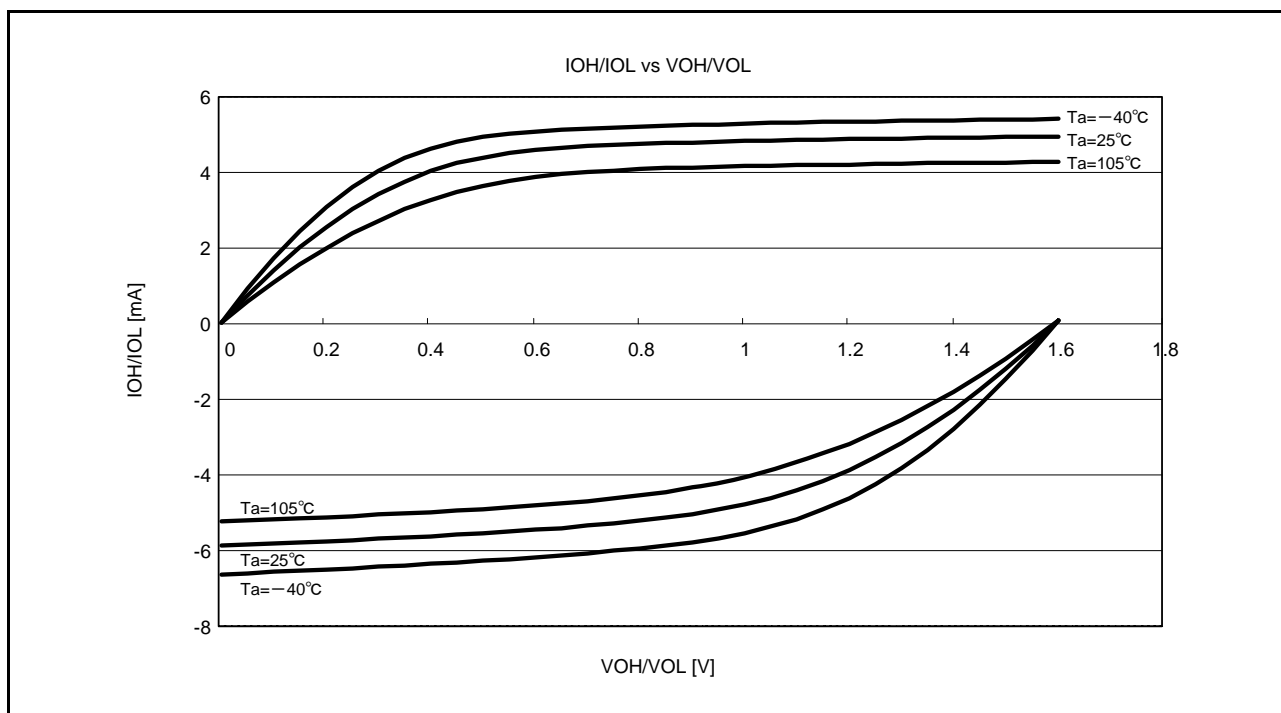


図 42.51 高駆動出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 1.62V (参考データ)

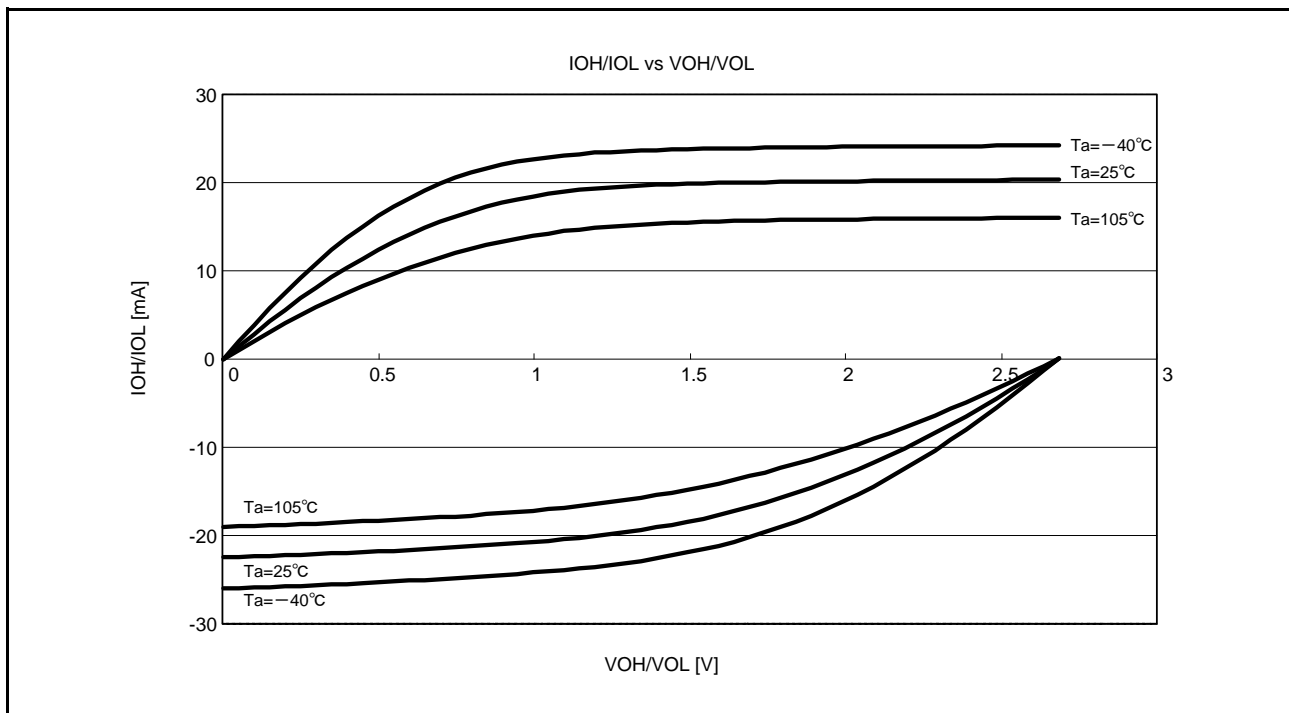


図 42.52 高駆動出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 2.7V (参考データ)

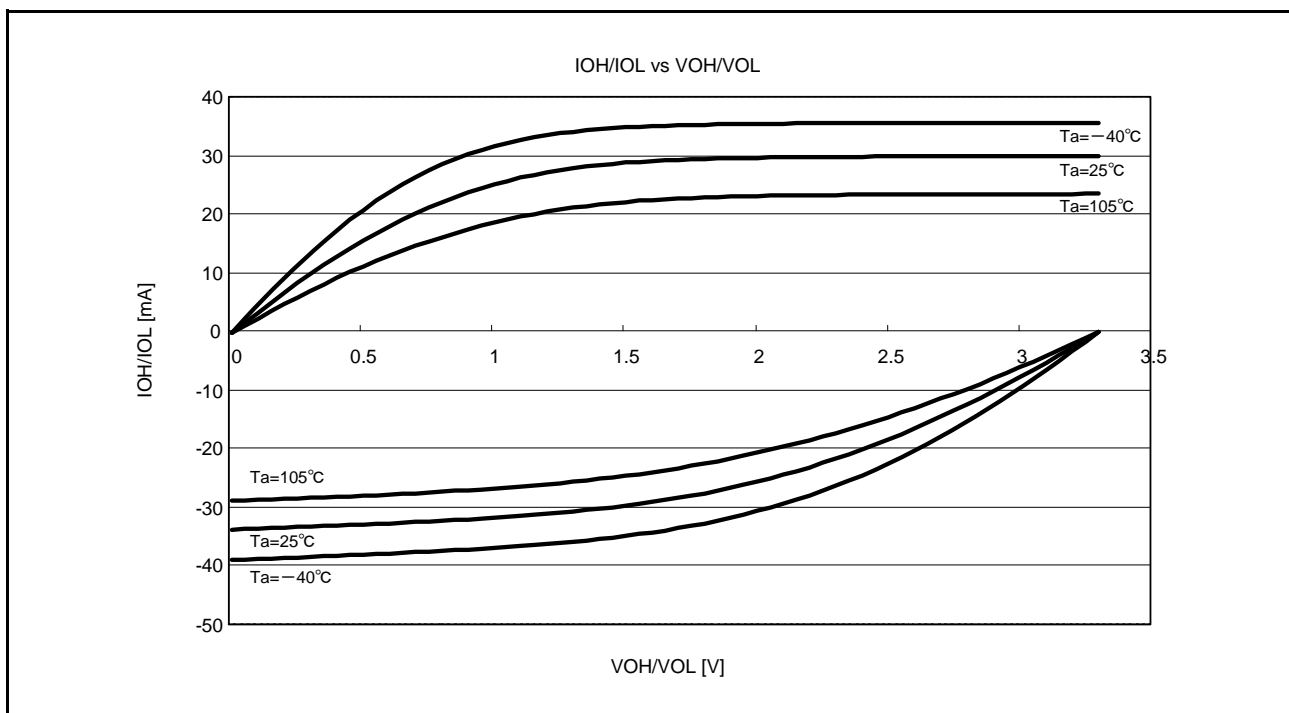


図 42.53 高駆動出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 3.3V (参考データ)

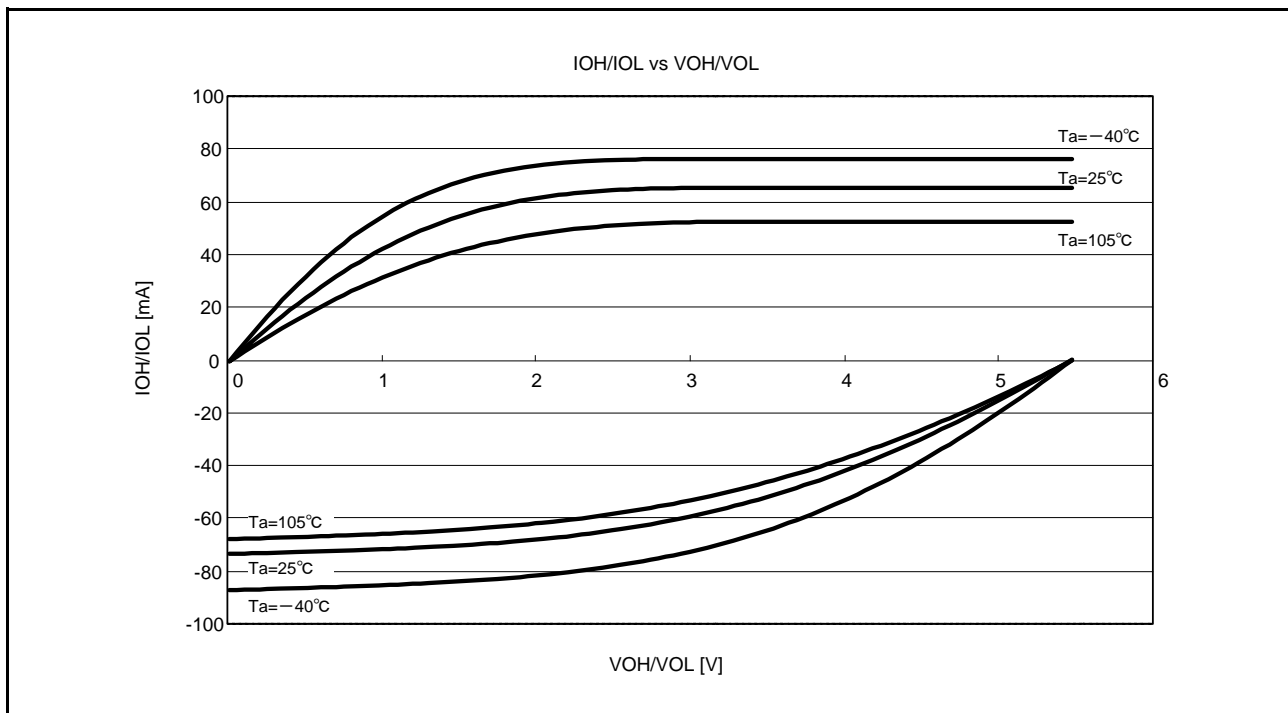


図 42.54 高駆動出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 5.5V (参考データ)

42.2.3 RIIC 端子出力特性

図 42.55 ~ 図 42.58 に RIIC 端子の出力特性を示します。

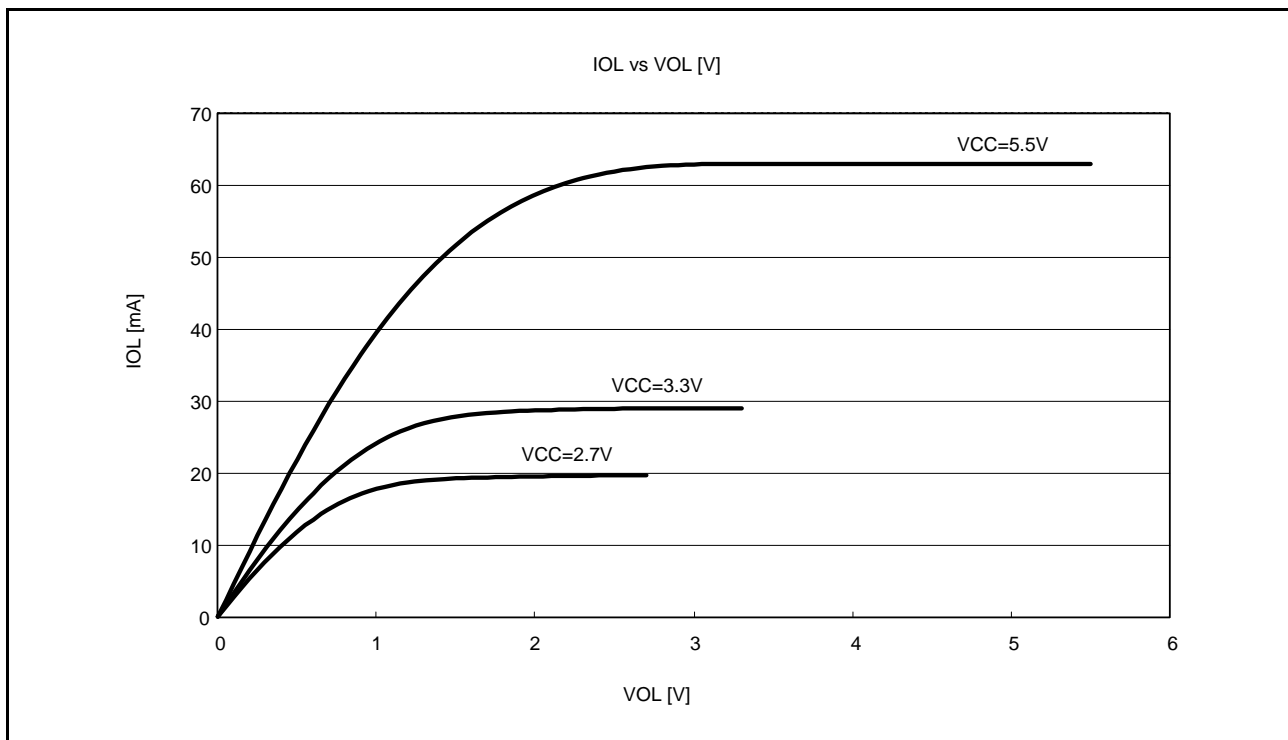


図 42.55 RIIC 出力端子の VOL、IOL 電圧特性 Ta = 25 °C (参考データ)

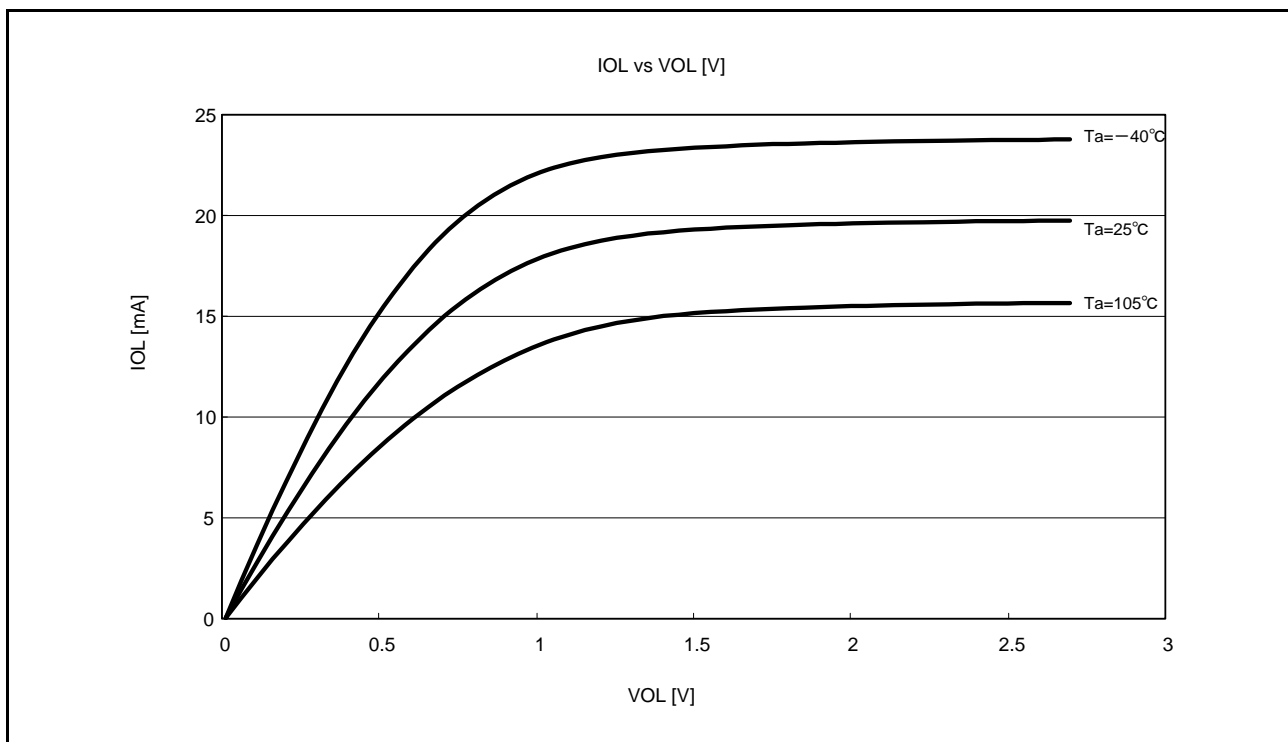


図 42.56 RIIC 出力端子の VOL、IOL 温度特性 VCC = 2.7V (参考データ)

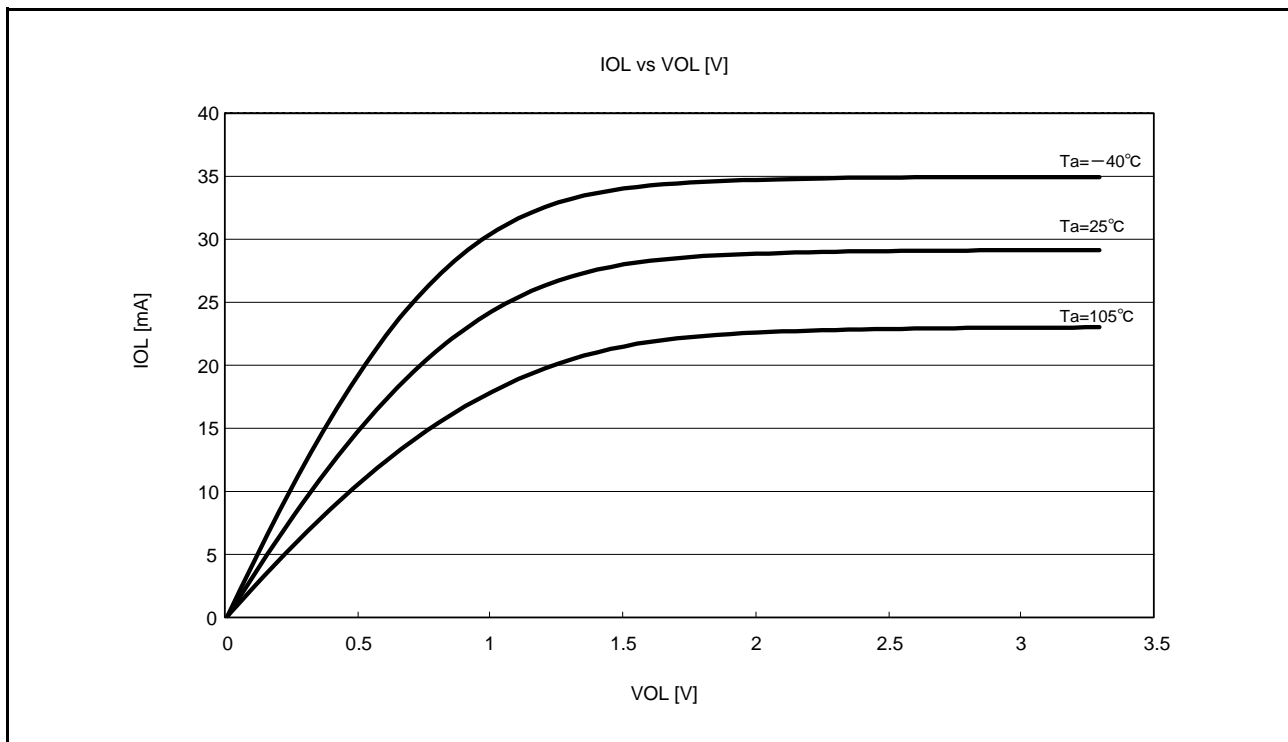


図 42.57 RIIC 出力端子の VOL、IOL 温度特性 VCC = 3.3V (参考データ)

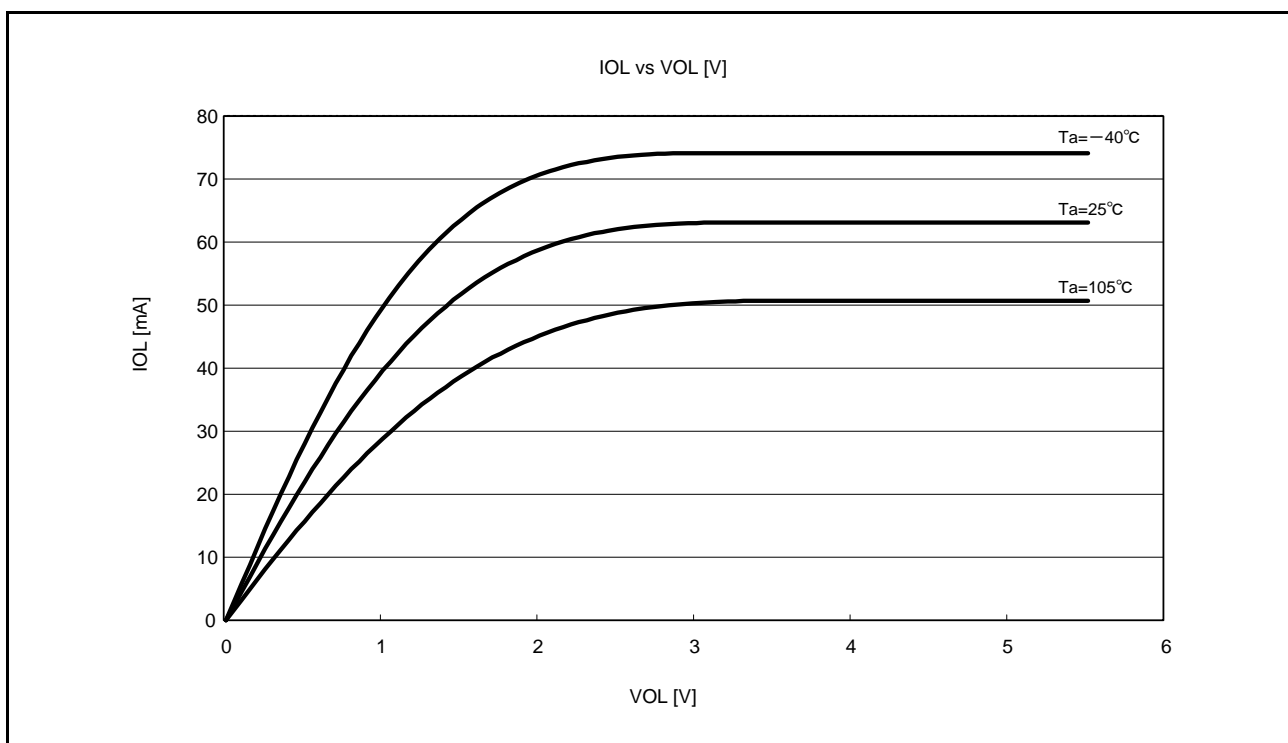


図 42.58 RIIC 出力端子の VOL、IOL 温度特性 VCC = 5.5V (参考データ)

42.3 AC 特性

[チップバージョン A、B、C の場合]

表 42.33 動作周波数 (高速動作モード)

条件 : VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC			単位	
		2.7 ~ 5.5V				
最大動作周波数	システムクロック (ICLK)	f_{\max}	50			MHz
	FlashIFクロック (FCLK) (注1)		32			
	周辺モジュールクロック (PCLKB)		32			
	周辺モジュールクロック (PCLKD) (注2)		50			
	外部バスクロック (BCLK)		25			
	BCLK端子出力		12.5			

注1. フラッシュメモリP/E時のFCLKの下限周波数は4MHzです。

注2. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

[チップバージョン A、B、C の場合]

表 42.34 動作周波数 (中速動作モード1A)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f_{\max}	20	32	32	MHz
	FlashIFクロック (FCLK) (注1)		20	32	32	
	周辺モジュールクロック (PCLKB)		20	32	32	
	周辺モジュールクロック (PCLKD) (注2)		20	32	32	
	外部バスクロック (BCLK)		12	16	25	
	BCLK端子出力		6	8	12.5	

注1. フラッシュメモリP/E時のVCCは2.7~5.5V、FCLKの下限周波数は4MHzです。

注2. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

[チップバージョン A、B、C の場合]

表 42.35 動作周波数 (中速動作モード1B)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f_{\max}	20	32	32	MHz
	FlashIFクロック (FCLK) (注1)		20	32	32	
	周辺モジュールクロック (PCLKB)		20	32	32	
	周辺モジュールクロック (PCLKD) (注2)		20	32	32	
	外部バスクロック (BCLK)		12	16	25	
	BCLK端子出力		6	8	12.5	

注1. フラッシュメモリP/E時のVCCは1.62~3.6V、FCLKの下限周波数は4MHzです。

注2. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

[チップバージョン B の場合]

表 42.36 動作周波数 (中速動作モード 2A)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f_{\max}	8	16	32	MHz
	FlashIFクロック (FCLK) (注1)		8	16	32	
	周辺モジュールクロック (PCLKB)		8	16	32	
	周辺モジュールクロック (PCLKD) (注2)		8	16	32	
	外部バスクロック (BCLK)		8	16	25	
	BCLK端子出力		8	8	12.5	

注1. フラッシュメモリ P/E 時の VCC は 2.7 ~ 5.5V、FCLK の下限周波数は 4MHz です。

注2. A/D コンバータ 使用時の PCLKD の下限周波数は 1MHz です。

[チップバージョン B の場合]

表 42.37 動作周波数 (中速動作モード 2B)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f_{\max}	8	16	32	MHz
	FlashIFクロック (FCLK) (注1)		8	16	32	
	周辺モジュールクロック (PCLKB)		8	16	32	
	周辺モジュールクロック (PCLKD) (注2)		8	16	32	
	外部バスクロック (BCLK)		8	16	25	
	BCLK端子出力		8	8	12.5	

注1. フラッシュメモリ P/E 時の VCC は 1.62 ~ 3.6V、FCLK の下限周波数は 4MHz です。

注2. A/D コンバータ 使用時の PCLKD の下限周波数は 1MHz です。

[チップバージョン A、C の場合]

表 42.38 動作周波数 (低速動作モード 1)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f_{\max}	1	1	1	MHz
	FlashIFクロック (FCLK) (注1)		1	1	1	
	周辺モジュールクロック (PCLKB)		1	1	1	
	周辺モジュールクロック (PCLKD) (注2)		1	1	1	
	外部バスクロック (BCLK)		1	1	1	
	BCLK端子出力		1	1	1	

注1. フラッシュメモリの P/E はできません。

注2. A/D コンバータ 使用時の PCLKD の下限周波数は 1MHz です。

[チップバージョン B の場合]

表 42.39 動作周波数 (低速動作モード1)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f _{max}	2	4	8	MHz
	FlashIFクロック (FCLK) (注1)		2	4	8	
	周辺モジュールクロック (PCLKB)		2	4	8	
	周辺モジュールクロック (PCLKD) (注2)		2	4	8	
	外部バスクロック (BCLK)		2	4	8	
	BCLK端子出力		2	4	8	

注1. フラッシュメモリのP/Eはできません。

注2. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

[チップバージョン A、B、C の場合]

表 42.40 動作周波数 (低速動作モード2)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f _{max}	32.768	32.768	32.768	kHz
	FlashIFクロック (FCLK) (注1)		32.768	32.768	32.768	
	周辺モジュールクロック (PCLKB)		32.768	32.768	32.768	
	周辺モジュールクロック (PCLKD) (注2)		32.768	32.768	32.768	
	外部バスクロック (BCLK)		32.768	32.768	32.768	
	BCLK端子出力		32.768	32.768	32.768	

注1. フラッシュメモリのP/Eはできません。

注2. A/Dコンバータは使用できません。

42.3.1 クロックタイミング

表42.41 BCLKタイミング (1)

条件：VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、
fBCLK ≤ 25MHz (BCLK 端子出力周波数 ≤ 12.5MHz)、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
BCLK 端子出力サイクル時間	t _{Bcyc}	80	—	—	ns	図 42.59
BCLK 端子出力 High レベルパルス幅 (注1)	t _{CH}	20	—	—	ns	
BCLK 端子出力 Low レベルパルス幅 (注1)	t _{CL}	20	—	—	ns	
BCLK 端子出力立ち上がり時間	t _{Cr}	—	—	15	ns	
BCLK 端子出力立ち下がり時間	t _{Cf}	—	—	15	ns	

注1. EXTAL外部クロック入力を使用して、BCLK端子から1分周(SCKCR.BCK[3:0]ビット="0000b"かつBCKCR.BCLKDIVビットが"0")で出力する場合は、デューティ比45~55%で上記を満たします。

表42.42 BCLKタイミング (2)

条件：VCC = AVCC0 = 1.8 ~ 2.7V、VSS = AVSS0 = VREFL = VREFL0 = 0V、
fBCLK ≤ 16MHz (BCLK 端子出力周波数 ≤ 8MHz)、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
BCLK 端子出力サイクル時間	t _{Bcyc}	125	—	—	ns	図 42.59
BCLK 端子出力 High レベルパルス幅 (注1)	t _{CH}	30	—	—	ns	
BCLK 端子出力 Low レベルパルス幅 (注1)	t _{CL}	30	—	—	ns	
BCLK 端子出力立ち上がり時間	t _{Cr}	—	—	25	ns	
BCLK 端子出力立ち下がり時間	t _{Cf}	—	—	25	ns	

注1. EXTAL外部クロック入力を使用して、BCLK端子から1分周(SCKCR.BCK[3:0]ビット="0000b"かつBCKCR.BCLKDIVビットが"0")で出力する場合は、デューティ比45~55%で上記を満たします。

表42.43 BCLKタイミング (3)

条件：VCC = AVCC0 = 1.62 ~ 1.8V、VSS = AVSS0 = VREFL = VREFL0 = 0V、
fBCLK ≤ 12MHz (BCLK 端子出力周波数 ≤ 6MHz)、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
BCLK 端子出力サイクル時間	t _{Bcyc}	166.6	—	—	ns	図 42.59
BCLK 端子出力 High レベルパルス幅 (注1)	t _{CH}	42	—	—	ns	
BCLK 端子出力 Low レベルパルス幅 (注1)	t _{CL}	42	—	—	ns	
BCLK 端子出力立ち上がり時間	t _{Cr}	—	—	35	ns	
BCLK 端子出力立ち下がり時間	t _{Cf}	—	—	35	ns	

注. BCLK 端子出力ポートの駆動能力は、高駆動出力にしてください。

注1. EXTAL外部クロック入力を使用して、BCLK端子から1分周(SCKCR.BCK[3:0]ビット="0000b"かつBCKCR.BCLKDIVビットが"0")で出力する場合は、デューティ比45~55%で上記を満たします。

表42.44 クロックタイミング

条件：VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
EXTAL外部クロック入力サイクル時間	t _{EXcyc}	50	—	—	ns	図42.60	
EXTAL外部クロック入力パルス幅Highレベル	t _{EXH}	20	—	—	ns		
EXTAL外部クロック入力パルス幅Lowレベル	t _{EXL}	20	—	—	ns		
EXTAL外部クロック立ち上がり時間	t _{EXr}	—	—	5	ns		
EXTAL外部クロック立ち下がり時間	t _{EXf}	—	—	5	ns		
EXTAL外部クロック入力待機時間 (注1)	t _{EXWT}	1	—	—	ms	図42.61	
メインクロック発振器発振周波数 (注2)	f _{MAIN}	1	—	20	MHz		
メインクロック発振安定時間 (水晶) (注2)	t _{MAINOSC}	—	3	—	ms		
メインクロック発振安定時間 (セラミック共振子) (注2)	t _{MAINOSC}	—	50	—	μs		
メインクロック発振安定待機時間 (水晶) (注2)	t _{MAINOSCWT}	—	6	—	ms		
メインクロック発振安定待機時間 (セラミック共振子) (注2)	t _{MAINOSCWT}	—	100	—	μs	図42.62	
LOCOクロックサイクル時間	t _{cyc}	7.27	8	8.89	μs		
LOCOクロック発振周波数 (注6)	f _{LOCO}	112.5	125	137.5	kHz		
LOCOクロック発振安定待機時間	t _{LOCOWT}	—	—	20	μs	図42.62	
HOCOクロック発振周波数 (注7)	f _{HOCO}	31.680	32	32.320	MHz		Ta = 0 ~ 50°C
		36.495	36.864	37.233			
		39.600	40	40.400			
		49.500	50	50.500			
		31.520	32	32.480			Ta = -40 ~ 105°C
		36.311	36.864	37.417			
		39.400	40	40.600			
49.250	50	50.750					
HOCOクロック発振安定時間1	t _{HOCO1}	—	—	300	μs	図42.63	
HOCOクロック発振安定時間2	t _{HOCO2}	—	—	175	μs	図42.64	
HOCOクロック発振安定待機時間	t _{HOCOWT}	—	—	350	μs	図42.64	
HOCOクロック電源安定時間	t _{HOCOP}	—	—	350	μs	図42.65	
PLL入力周波数	f _{PLLIN}	4	—	12.5	MHz	図42.66	
PLL回路発振周波数	f _{PLL}	50	—	100	MHz		
PLLクロック発振安定時間	メインクロック発振安定後にPLL動作開始	t _{PLL1}	—	—	500	μs	図42.66
PLLクロック発振安定待機時間		t _{PLLWT1}	1.5	—	—	ms	
PLLクロック発振安定時間 (注4)	メインクロック発振安定前にPLL動作開始	t _{PLL2}	—	3.5 (注3)	—	ms	図42.67
PLLクロック発振安定待機時間 (注4)		t _{PLLWT2}	—	7	—	ms	
PLLクロック電源安定時間 (チップバージョンBのみ)	t _{PLLPW}	—	—	30	μs	図42.68	
サブクロック発振器発振周波数	f _{SUB}	—	32.768	—	kHz	図42.69	
サブクロック発振安定時間 (注5)	t _{SUBOSC}	2	—	—	s		
サブクロック発振安定待機時間 (注5)	t _{SUBOSCWT}	4	—	—	s		

- 注1. P36、P37を入力に設定し、メインクロック発振器停止ビット (MOSCCR.MOSTP) を“0” (動作) に設定してから、使用できるまでの時間です。
- 注2. メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値を MOSCWTCR レジスタに設定してください。メインクロック発振安定待機時間は、メインクロック発振安定時間に十分なマージン (推奨2倍) を考慮してください。MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、メインクロック発振安定待機時間 (t_{MAINOSCWT}) が経過した後、メインクロックの使用を開始してください。
- 注3. 8MHzの発振子を使用した場合の参考値です。
- 注4. メインクロック発振安定時間とPLL発振安定時間を足した値です。
- 注5. 8MHzの発振子を使用した場合の参考値です。
- 注6. サブクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の待機時間になるように SOSCWTCR レジスタに設定してください。
- 注7. サブクロック発振安定待機時間は、サブクロック発振安定時間に十分なマージン (推奨2倍) を考慮して値を設定してください。SOSCCR.SOSTPビット、またはRCR3.RTCENビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定待機時間 (t_{SUBOSCWT}) が経過した後、サブクロックの使用を開始してください。
- 注8. 69ピンWLBGAについてはmin、maxの値はありません。
- 注9. 69ピンWLBGAについてはボード実装前の特性値です。

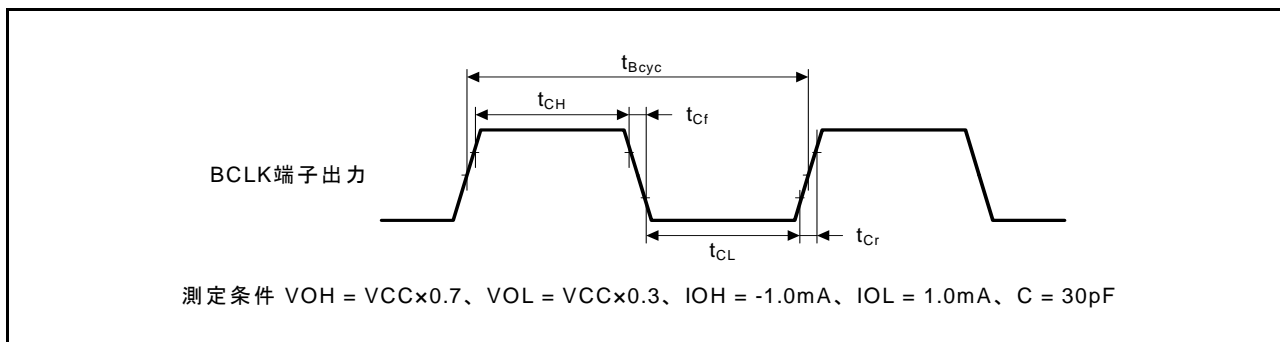


図 42.59 BCLK 端子出力タイミング

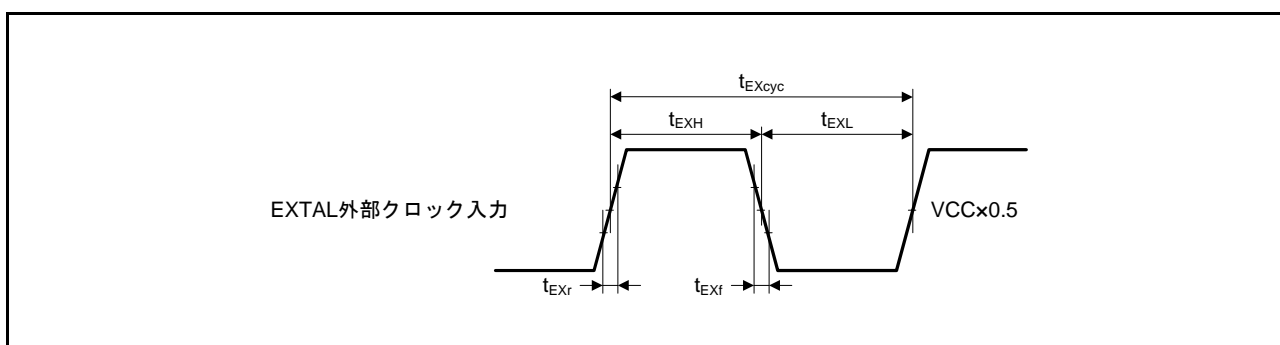


図 42.60 EXTAL 外部クロック入力タイミング

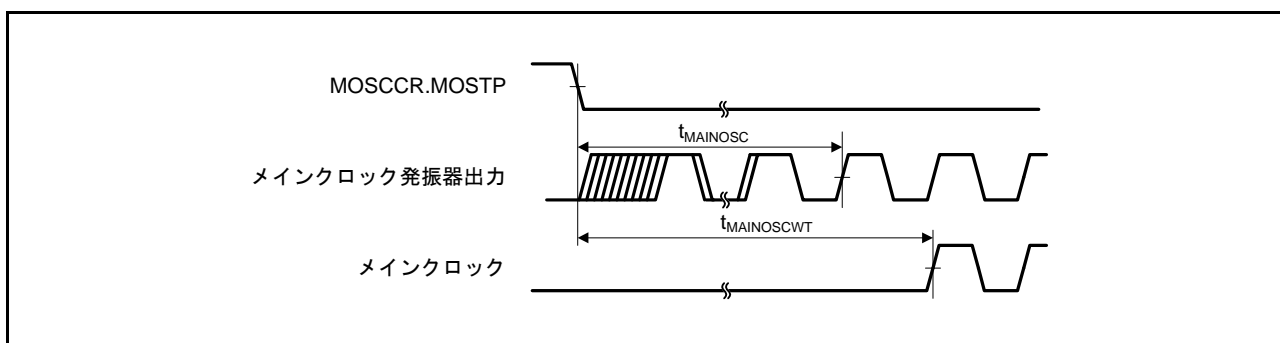


図 42.61 メインクロック発振開始タイミング

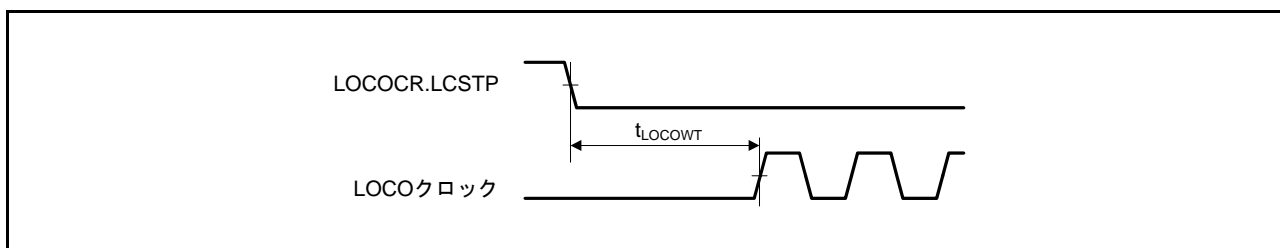


図 42.62 LOCO クロック発振開始タイミング

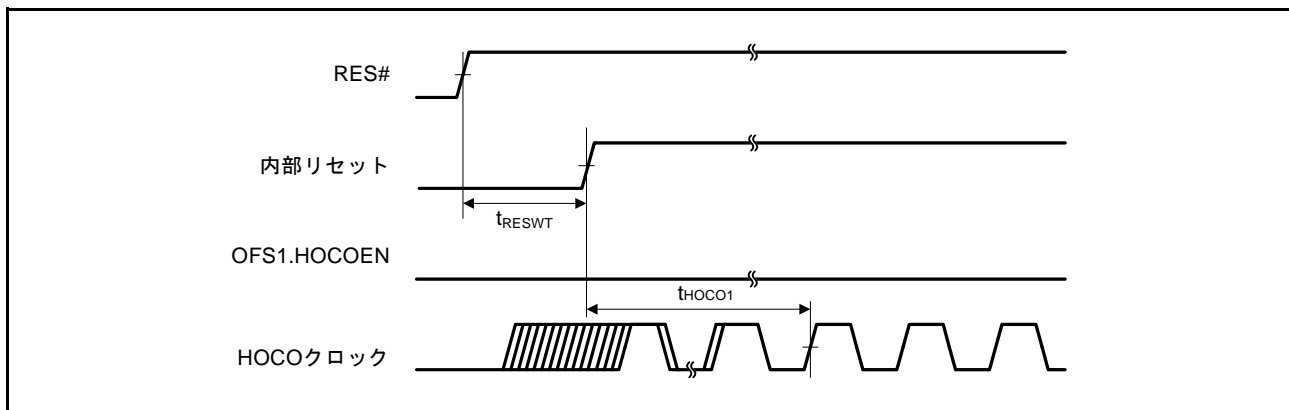


図 42.63 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0” 設定時のリセット解除後)

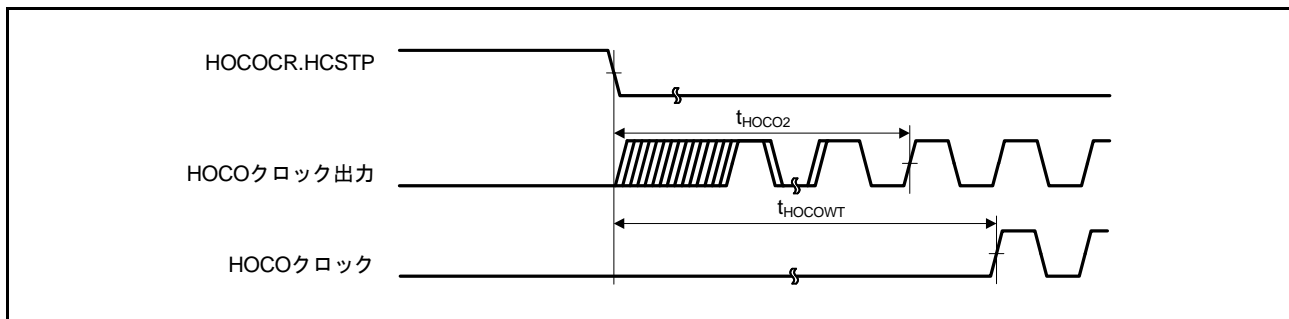


図 42.64 HOCO クロック発振開始タイミング (HOCOEN.HCSTP ビット設定による発振開始)

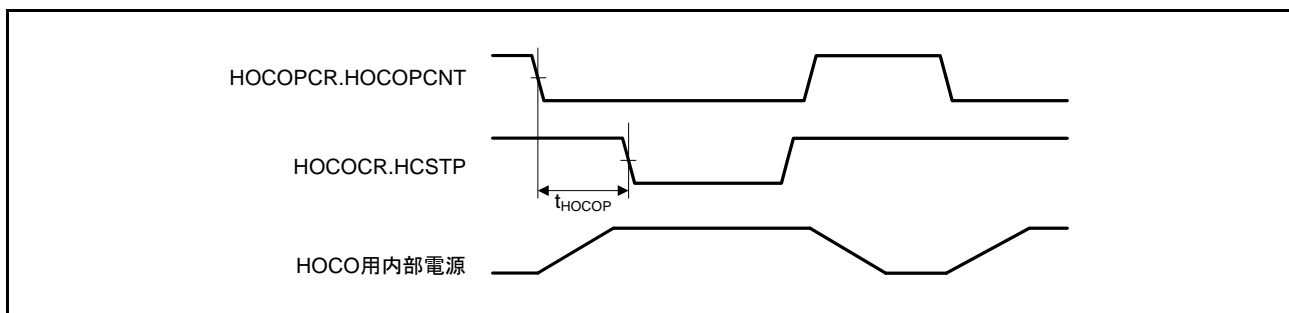


図 42.65 HOCO 電源制御タイミング

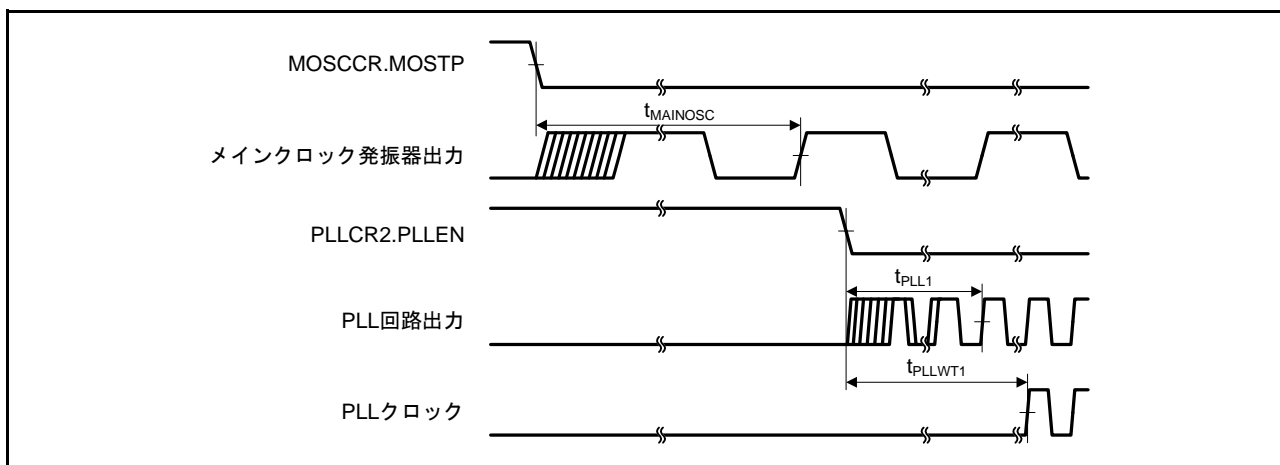


図 42.66 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

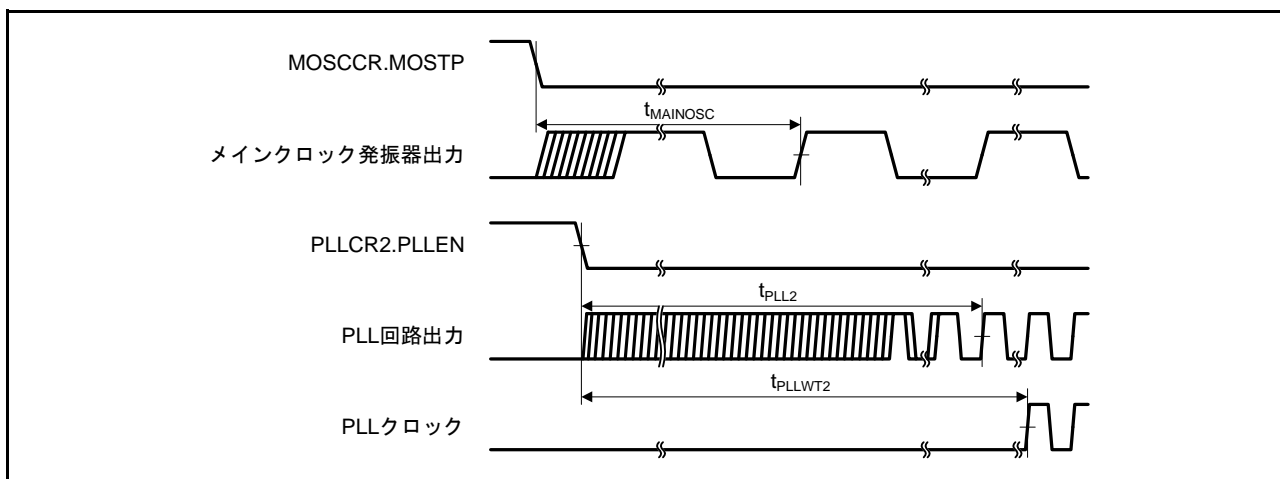


図 42.67 PLL クロック発振開始タイミング (メインクロック発振安定を待たずに PLL を動作させたとき)

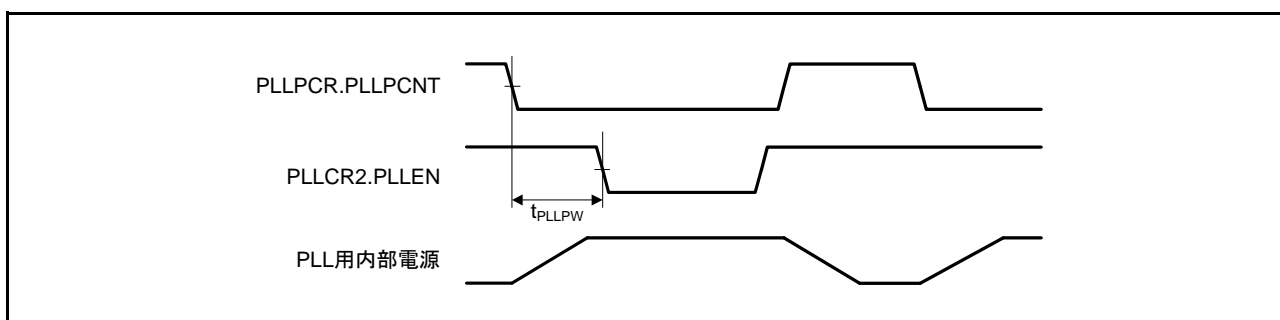


図 42.68 PLL 電源制御タイミング

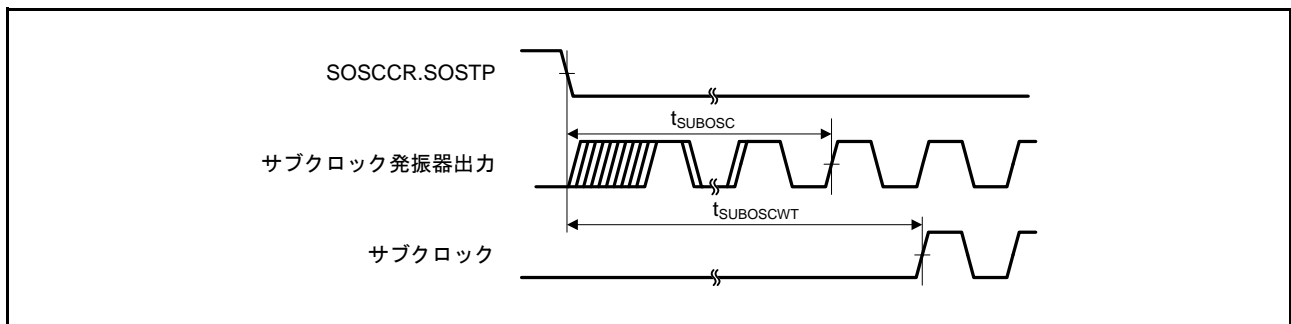


図 42.69 サブクロック発振開始タイミング

42.3.2 リセットタイミング

表42.45 リセットタイミング

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
RES#パルス幅	電源投入時	t _{RESWP}	8	—	—	ms	図 42.70
	ディープソフトウェアスタンバイモード	t _{RESWD}	8	—	—	ms	図 42.71
	ソフトウェアスタンバイモード、 低速動作モード1、2	t _{RESWS}	1	—	—	ms	
	ROMプログラム/イレーズ中、E2データフラッシュのプログラム/イレーズ/ブランクチェック中	t _{RESWF}	200	—	—	μs	
	上記以外	t _{RESW}	200	—	—	μs	
RES#解除後待機時間	t _{RESWT}	—	—	912	μs	図 42.70	
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット)	t _{RESW2}	—	—	1.4	ms		

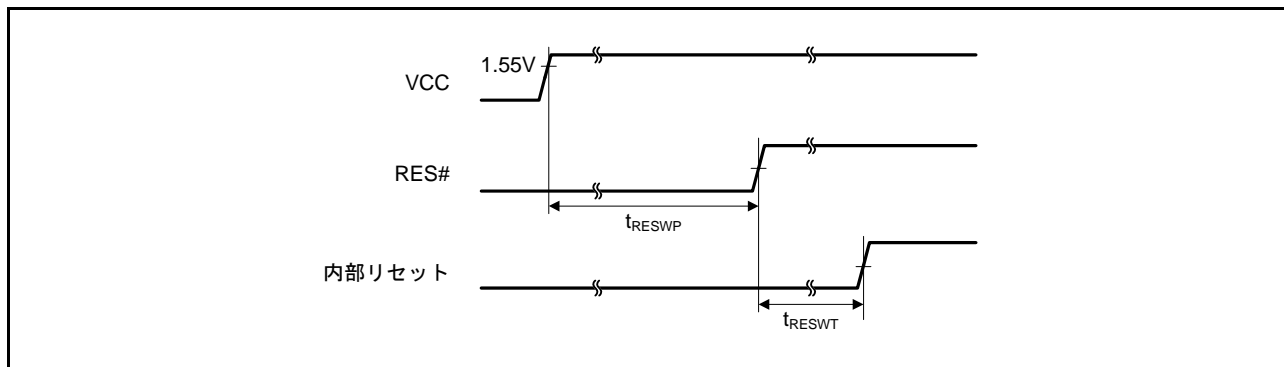


図 42.70 電源投入時リセット入力タイミング

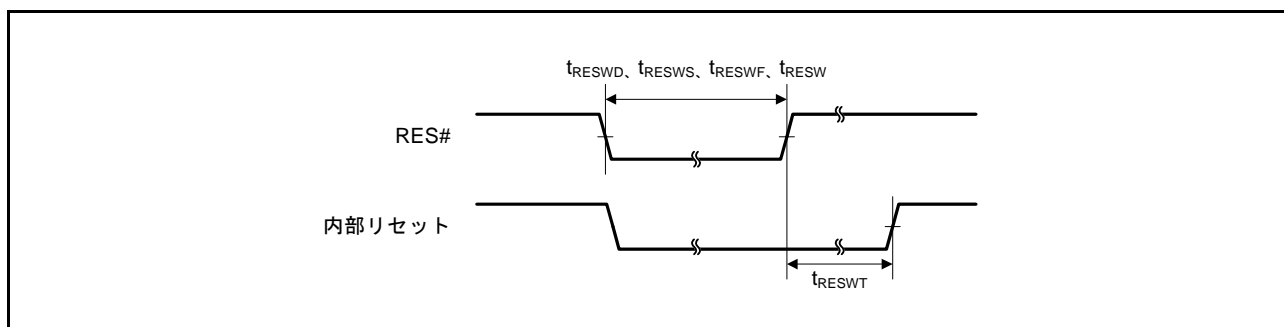


図 42.71 リセット入力タイミング

42.3.3 低消費電力状態からの復帰タイミング

[チップバージョン A、C の場合]

表 42.46 低消費電力状態からの復帰タイミング

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFLO = 0V、T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間 (フラッシュメモリ、HOCO電源供給) (SOFTCUT [2:0]ビット = 000b) (注1)	メインクロック発振器に水晶振動子を接続 (注2)	メインクロック発振器動作	t _{SBYMC}	—	3	—	ms	図 42.72
		メインクロック発振器、PLL回路動作	t _{SBYPC}	—	3.5	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t _{SBYEX}	10	—	—	μs	
		メインクロック発振器、PLL回路動作	t _{SBYPE}	0.5	—	—	ms	
	サブクロック発振器動作		t _{SBYSC}	2 (注3)	—	—	s	
	HOCOクロック動作		t _{SBYHO}	—	—	500	μs	
	LOCOクロック動作		t _{SBYLO}	—	—	90	μs	
ソフトウェアスタンバイモード解除後復帰時間 (フラッシュメモリ電源供給、HOCO電源供給なし) (SOFTCUT [2:0]ビット = 110b) (注1)	メインクロック発振器に水晶振動子を接続 (注2)	メインクロック発振器動作	t _{SBYMC}	—	3	—	ms	図 42.72
		メインクロック発振器、PLL回路動作	t _{SBYPC}	—	3.5	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t _{SBYEX}	40	—	—	μs	
		メインクロック発振器、PLL回路動作	t _{SBYPE}	0.5	—	—	ms	
	サブクロック発振器動作		t _{SBYSC}	2 (注3)	—	—	s	
	HOCOクロック動作		t _{SBYHO}	—	—	1.2	ms	
	LOCOクロック動作		t _{SBYLO}	—	—	90	μs	
ソフトウェアスタンバイモード解除後復帰時間 (フラッシュメモリ、HOCO電源供給なし) (SOFTCUT [2:0]ビット = 111b) (注1)	メインクロック発振器に水晶振動子を接続 (注2)	メインクロック発振器動作	t _{SBYMC}	—	3	—	ms	図 42.72
		メインクロック発振器、PLL回路動作	t _{SBYPC}	—	3.5	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t _{SBYEX}	100	—	—	μs	
		メインクロック発振器、PLL回路動作	t _{SBYPE}	0.5	—	—	ms	
	サブクロック発振器動作		t _{SBYSC}	2 (注4)	—	—	s	
	HOCOクロック動作		t _{SBYHO}	—	—	1.2	ms	
	LOCOクロック動作		t _{SBYLO}	—	—	10	ms	
ディープソフトウェアスタンバイモード解除後復帰時間		t _{DSBY}	—	—	8	ms	図 42.73	
ディープソフトウェアスタンバイモード解除後待機時間		t _{DSBYWT}	—	—	0.8	ms		

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なり、それぞれの発振器に対応したウェイトコントロールレジスタで設定した時間に依存します。

注2. 水晶振動子の周波数が8MHzの場合です。

注3. RCR3.RTCEN = 1 の場合はSOSCWTCRレジスタに設定した待機時間から2sを減算した時間になります。

注4. RCR3.RTCEN = 1 の場合はSOSCWTCRレジスタに設定した待機時間から2sを減算し、さらに31.25msを加算した時間になります。

[チップバージョン B の場合]

表 42.47 低消費電力状態からの復帰タイミング

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFLO = 0V、T_a = -40 ~ +105°C

項目			記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間 (HOCO電源供給) (SOFTCUT [2:0]ビット = 000b) (注1)	メインクロック発振器に水晶振動子を接続 (注2)	メインクロック発振器動作	t _{SBYMC}	—	3	—	ms	図 42.72
		メインクロック発振器、PLL回路動作	t _{SBYPC}	—	3.5	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t _{SBYEX}	10	—	—	μs	
		メインクロック発振器、PLL回路動作	t _{SBYPE}	0.5	—	—	ms	
	サブクロック発振器動作		t _{SBYSC}	2 (注3)	—	—	s	
	HOCOクロック動作		t _{SBYHO}	—	—	500	μs	
	LOCOクロック動作		t _{SBYLO}	—	—	90	μs	
ソフトウェアスタンバイモード解除後復帰時間 (HOCO電源供給なし) (SOFTCUT [2:0]ビット = 110b) (注1)	メインクロック発振器に水晶振動子を接続 (注2)	メインクロック発振器動作	t _{SBYMC}	—	3	—	ms	図 42.72
		メインクロック発振器、PLL回路動作	t _{SBYPC}	—	3.5	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t _{SBYEX}	40	—	—	μs	
		メインクロック発振器、PLL回路動作	t _{SBYPE}	0.5	—	—	ms	
	サブクロック発振器動作		t _{SBYSC}	2 (注3)	—	—	s	
	HOCOクロック動作		t _{SBYHO}	—	—	1.2	ms	
	LOCOクロック動作		t _{SBYLO}	—	—	90	μs	
ディープソフトウェアスタンバイモード解除後復帰時間			t _{DSBY}	—	—	8	ms	図 42.73
ディープソフトウェアスタンバイモード解除後待機時間			t _{DSBYWT}	—	—	0.8	ms	

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なり、それぞれの発振器に対応したウェイトコントロールレジスタで設定した時間に依存します。

注2. 水晶振動子の周波数が8MHzの場合です。

注3. RCR3.RTCEN = 1 の場合はSOSCWTCRレジスタに設定した待機時間から2sを減算した時間になります。

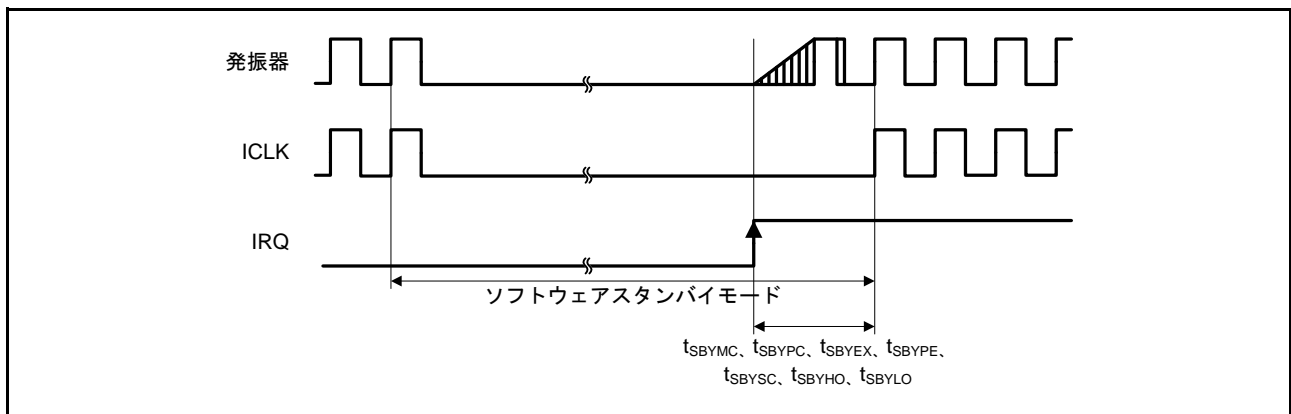


図 42.72 ソフトウェアスタンバイモード解除タイミング

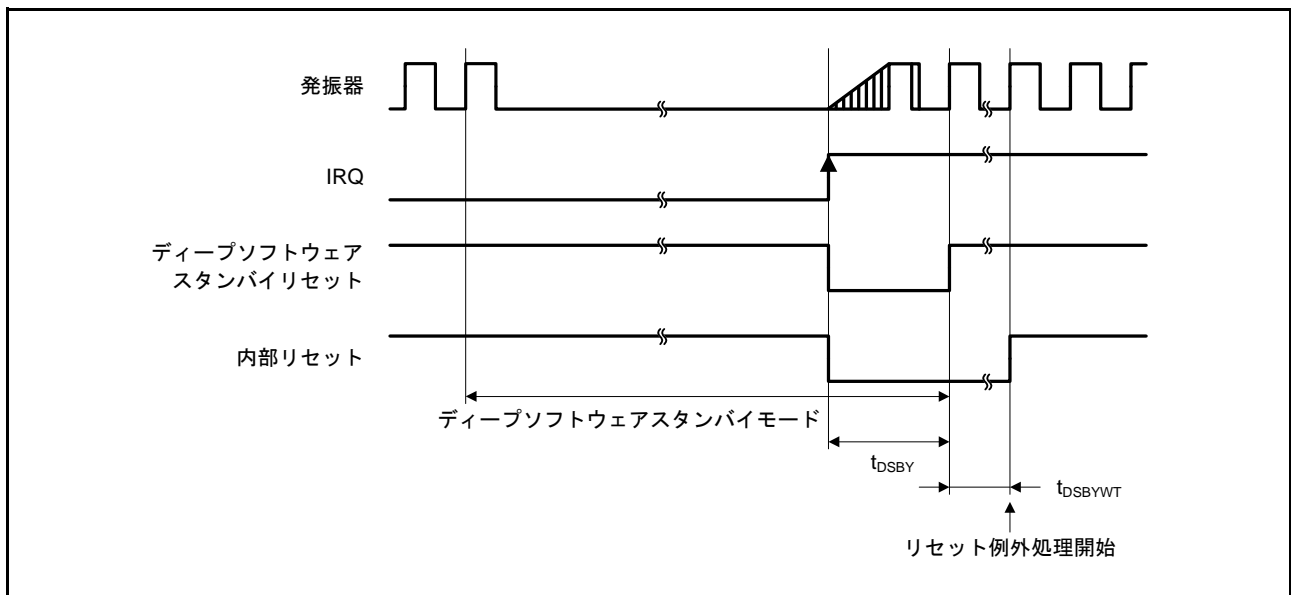


図 42.73 ディープソフトウェアスタンバイモード解除タイミング

42.3.4 制御信号タイミング

表42.48 制御信号タイミング

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
NMIパルス幅	t _{NMIW}	200	—	—	ns	t _c (PCLKB) × 2 ≤ 200ns、図 42.74
		t _c (PCLKB) × 2	—	—	ns	t _c (PCLKB) × 2 > 200ns、図 42.74
IRQパルス幅	t _{IRQW}	200	—	—	ns	t _c (PCLKB) × 2 ≤ 200ns、図 42.75
		t _c (PCLKB) × 2	—	—	ns	t _c (PCLKB) × 2 > 200ns、図 42.75

注. ディープソフトウェアスタンバイおよびソフトウェアスタンバイ時は、最小200nsです。

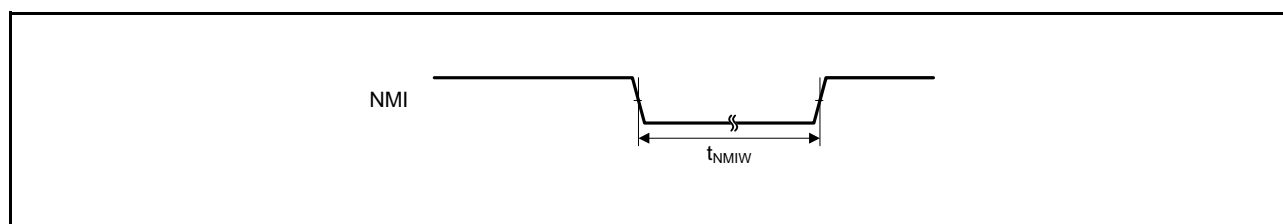


図 42.74 NMI 割り込み入カタイミング

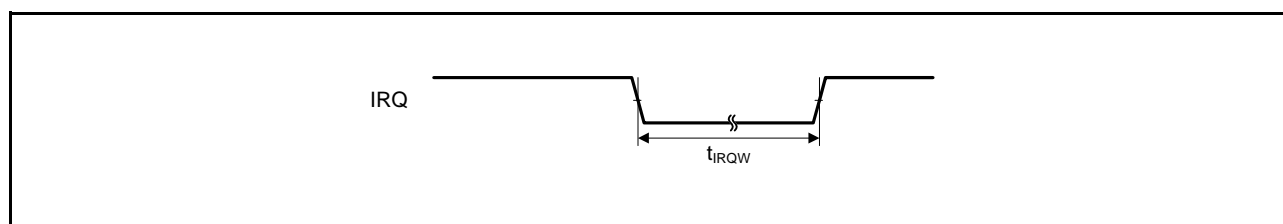


図 42.75 IRQ 割り込み入カタイミング

42.3.5 バスタイミング

表42.49 バスタイミング (1)

条件 : VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 fBCLK ≤ 25MHz (BCLK 端子出力周波数 ≤ 12.5MHz)、T_a = -40 ~ +105°C、V_{OH} = VCC×0.5、V_{OL} = VCC×0.5、
 I_{OH} = -1.0mA、I_{OL} = 1.0mA、C_L = 30pF
 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t _{AD}	—	60	ns	図 42.76 ~ 図 42.79
バイトコントロール遅延時間	t _{BCD}	—	60	ns	
CS#遅延時間	t _{CSD}	—	60	ns	
RD#遅延時間	t _{RSD}	—	60	ns	
リードデータセットアップ時間	t _{RDS}	40	—	ns	
リードデータホールド時間	t _{RDH}	0	—	ns	
WR#遅延時間	t _{WRD}	—	60	ns	
ライトデータ遅延時間	t _{WDD}	—	60	ns	
ライトデータホールド時間	t _{WDH}	0	—	ns	
WAIT#セットアップ時間	t _{WTS}	40	—	ns	図 42.80
WAIT#ホールド時間	t _{WTH}	0	—	ns	

表42.50 バスタイミング (2)

条件 : VCC = AVCC0 = 1.8 ~ 2.7V、VSS = AVSS0 = VREFL = VREFL0 = 0V、
 fBCLK ≤ 16MHz (BCLK 端子出力周波数 ≤ 8MHz)、T_a = -40 ~ +105°C、V_{OH} = VCC×0.5、V_{OL} = VCC×0.5、
 I_{OH} = -1.0mA、I_{OL} = 1.0mA、C_L = 30pF
 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t _{AD}	—	90	ns	図 42.76 ~ 図 42.79
バイトコントロール遅延時間	t _{BCD}	—	90	ns	
CS#遅延時間	t _{CSD}	—	90	ns	
RD#遅延時間	t _{RSD}	—	90	ns	
リードデータセットアップ時間	t _{RDS}	60	—	ns	
リードデータホールド時間	t _{RDH}	0	—	ns	
WR#遅延時間	t _{WRD}	—	90	ns	
ライトデータ遅延時間	t _{WDD}	—	90	ns	
ライトデータホールド時間	t _{WDH}	0	—	ns	
WAIT#セットアップ時間	t _{WTS}	60	—	ns	図 42.80
WAIT#ホールド時間	t _{WTH}	0	—	ns	

表 42.51 バスタイミング (3)

条件 : $V_{CC} = AV_{CC0} = 1.62 \sim 1.8V$ 、 $V_{SS} = AV_{SS0} = V_{REFL} = V_{REFL0} = 0V$ 、
 $f_{BCLK} \leq 12MHz$ (BCLK 端子出力周波数 $\leq 6MHz$)、 $T_a = -40 \sim +105^\circ C$ 、 $V_{OH} = V_{CC} \times 0.5$ 、 $V_{OL} = V_{CC} \times 0.5$ 、
 $I_{OH} = -0.5mA$ 、 $I_{OL} = 0.5mA$ 、 $C_L = 30pF$
 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	125	ns	図 42.76 ~ 図 42.79
バイトコントロール遅延時間	t_{BCD}	—	125	ns	
CS#遅延時間	t_{CSD}	—	125	ns	
RD#遅延時間	t_{RSD}	—	125	ns	
リードデータセットアップ時間	t_{RDS}	85	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	125	ns	
ライトデータ遅延時間	t_{WDD}	—	125	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	85	—	ns	図 42.80
WAIT#ホールド時間	t_{WTH}	0	—	ns	

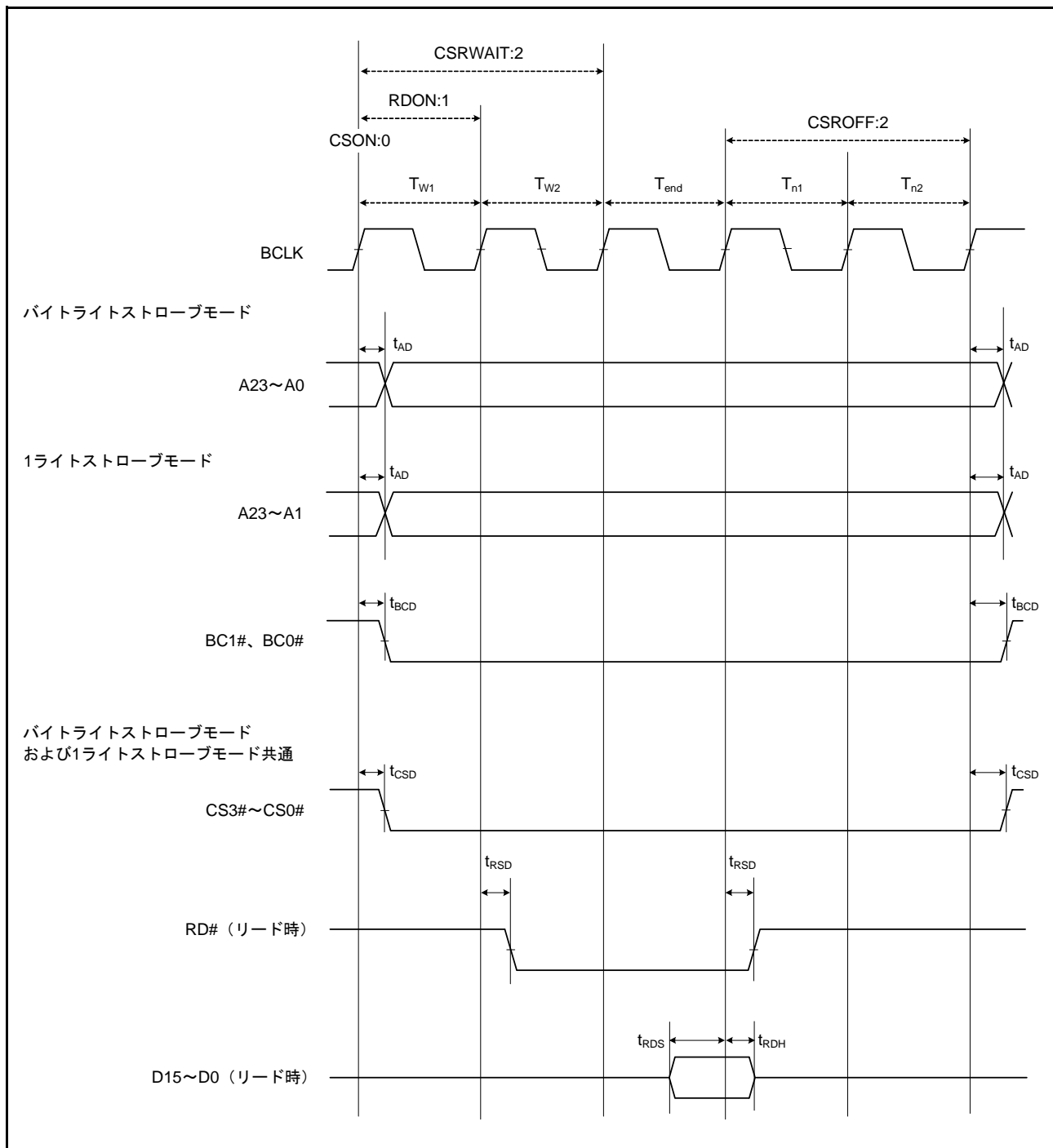


図 42.76 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

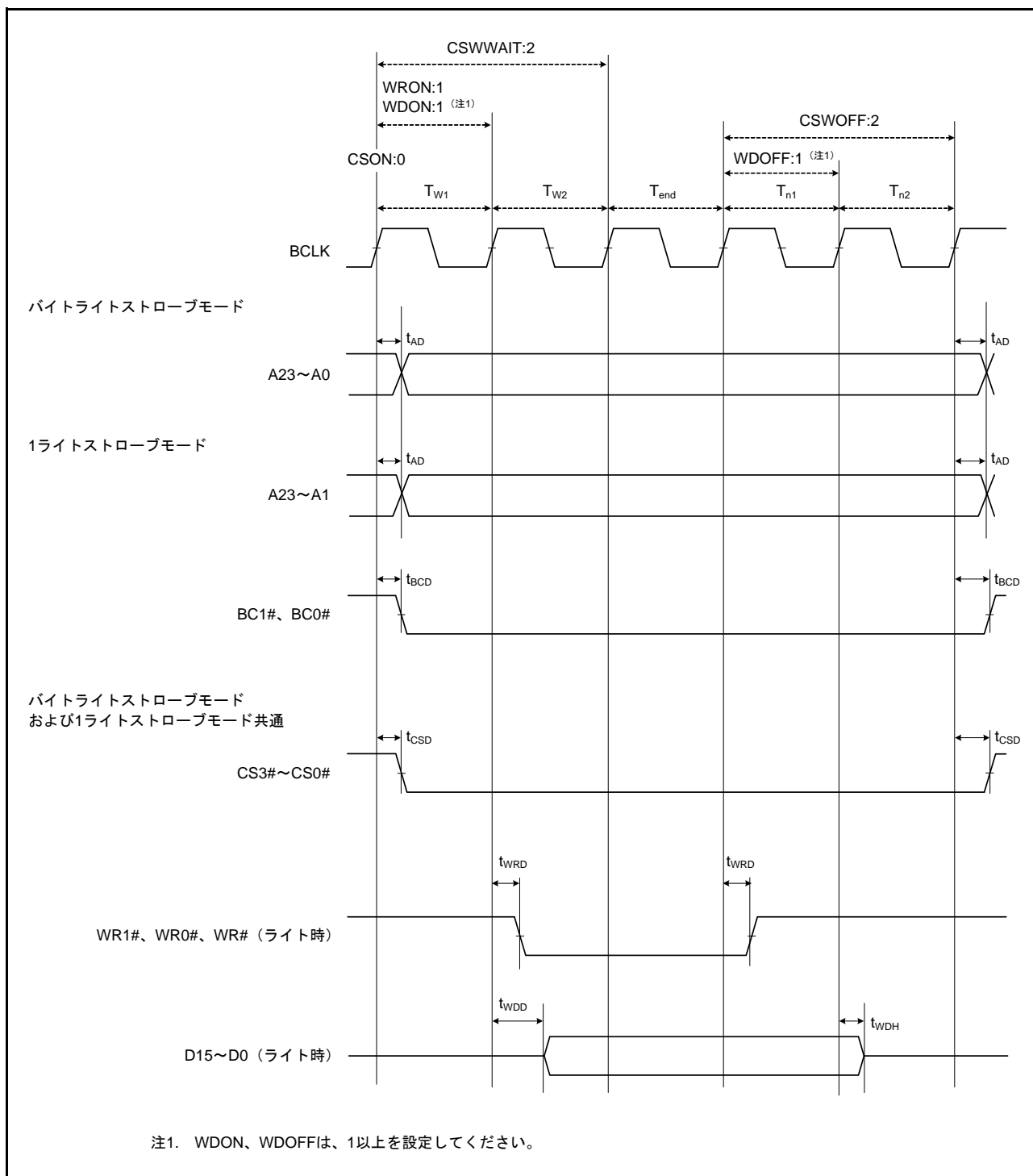


図 42.77 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

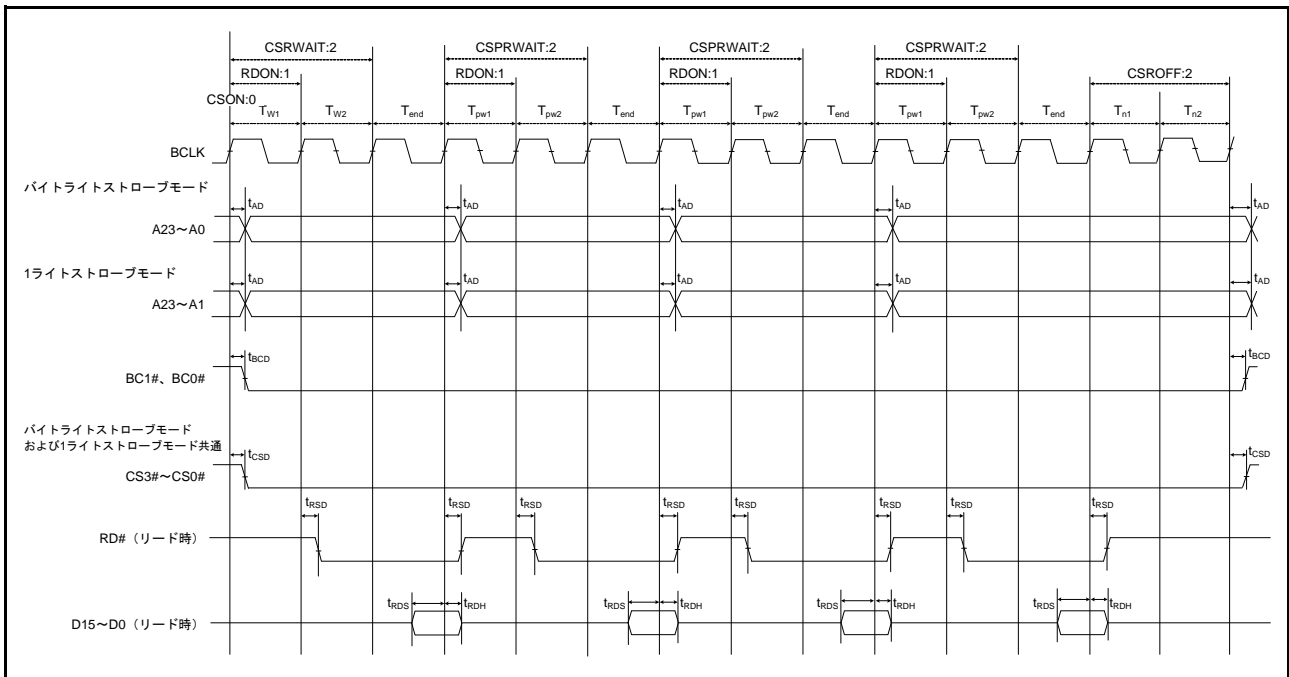


図 42.78 外部バスタイミング / ページリードサイクル (バスクロック同期)

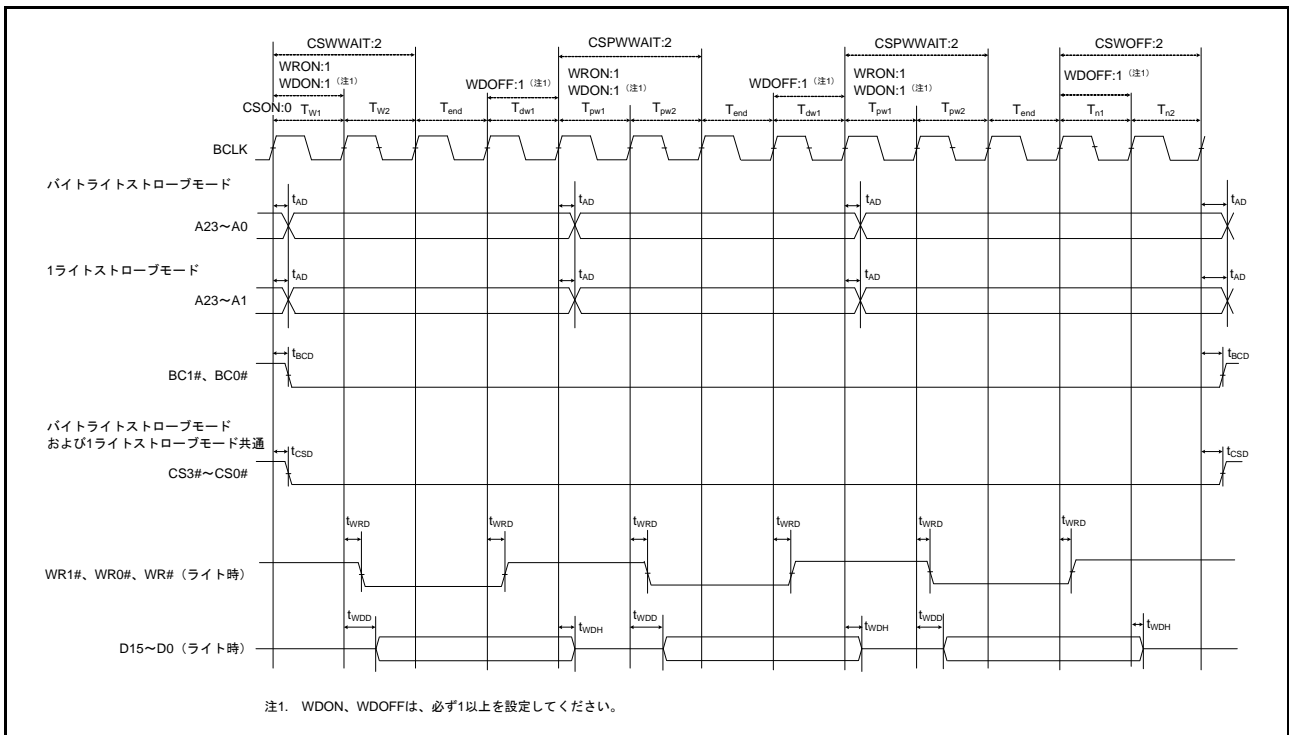


図 42.79 外部バスタイミング / ページライトサイクル (バスクロック同期)

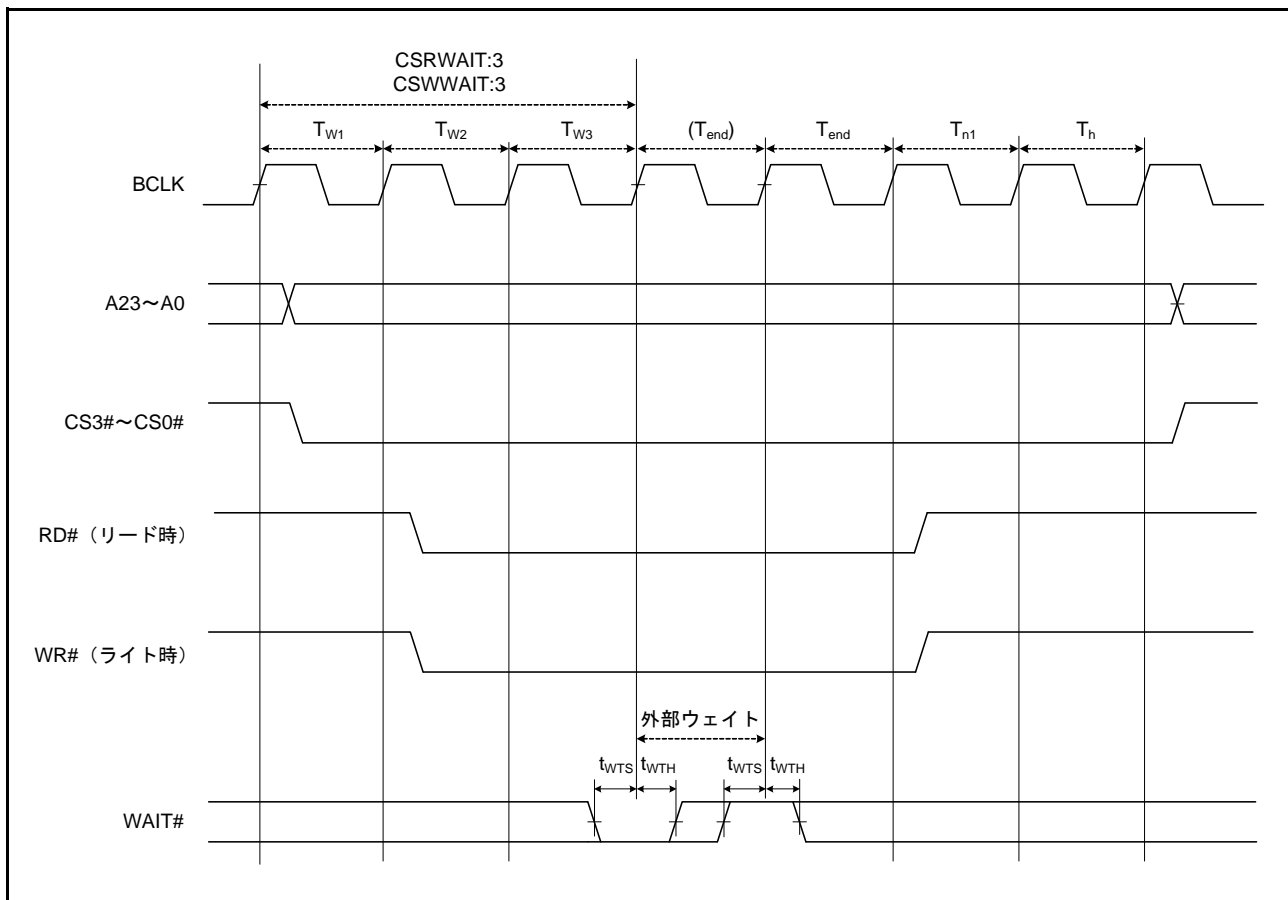


図 42.80 外部バスタイミング / 外部ウェイト制御

表42.52 バスタイミング (マルチプレクスバス) (1)

条件 : $V_{CC} = AV_{CC0} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS0} = V_{REFL} = V_{REFL0} = 0V$ 、
 $f_{BCLK} \leq 25MHz$ (BCLK端子出力周波数 $\leq 12.5MHz$)、 $T_a = -40 \sim +105^\circ C$ 、 $V_{OH} = V_{CC} \times 0.5$ 、 $V_{OL} = V_{CC} \times 0.5$ 、
 $I_{OH} = -1.0mA$ 、 $I_{OL} = 1.0mA$ 、 $C_L = 30pF$
 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	60	ns	図42.81、 図42.82
バイトコントロール遅延時間	t_{BCD}	—	60	ns	
CS#遅延時間	t_{CSD}	—	60	ns	
RD#遅延時間	t_{RSD}	—	60	ns	
ALE遅延時間	t_{ALED}	—	60	ns	
リードデータセットアップ時間	t_{RDS}	40	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	60	ns	
ライトデータ遅延時間	t_{WDD}	—	60	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	40	—	ns	図42.80
WAIT#ホールド時間	t_{WTH}	0	—	ns	

表42.53 バスタイミング (マルチプレクスバス) (2)

条件 : $V_{CC} = AV_{CC0} = 1.8 \sim 2.7V$ 、 $V_{SS} = AV_{SS0} = V_{REFL} = V_{REFL0} = 0V$ 、
 $f_{BCLK} \leq 16MHz$ (BCLK端子出力周波数 $\leq 8MHz$)、 $T_a = -40 \sim +105^\circ C$ 、 $V_{OH} = V_{CC} \times 0.5$ 、 $V_{OL} = V_{CC} \times 0.5$ 、
 $I_{OH} = -1.0mA$ 、 $I_{OL} = 1.0mA$ 、 $C_L = 30pF$
 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	90	ns	図42.81、 図42.82
バイトコントロール遅延時間	t_{BCD}	—	90	ns	
CS#遅延時間	t_{CSD}	—	90	ns	
RD#遅延時間	t_{RSD}	—	90	ns	
ALE遅延時間	t_{ALED}	—	90	ns	
リードデータセットアップ時間	t_{RDS}	60	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	90	ns	
ライトデータ遅延時間	t_{WDD}	—	90	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	60	—	ns	図42.80
WAIT#ホールド時間	t_{WTH}	0	—	ns	

表 42.54 バスタイミング (マルチプレクスバス) (3)

条件 : $V_{CC} = AV_{CC0} = 1.62 \sim 1.8V$ 、 $V_{SS} = AV_{SS0} = V_{REFL} = V_{REFL0} = 0V$ 、
 $f_{BCLK} \leq 12MHz$ (BCLK端子出力周波数 $\leq 6MHz$)、 $T_a = -40 \sim +105^\circ C$ 、 $V_{OH} = V_{CC} \times 0.5$ 、 $V_{OL} = V_{CC} \times 0.5$ 、
 $I_{OH} = -0.5mA$ 、 $I_{OL} = 0.5mA$ 、 $C_L = 30pF$
 駆動能力制御レジスタは通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	125	ns	図 42.81、 図 42.82
バイトコントロール遅延時間	t_{BCD}	—	125	ns	
CS#遅延時間	t_{CSD}	—	125	ns	
RD#遅延時間	t_{RSD}	—	125	ns	
ALE 遅延時間	t_{ALED}	—	125	ns	
リードデータセットアップ時間	t_{RDS}	85	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	125	ns	
ライトデータ遅延時間	t_{WDD}	—	125	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	85	—	ns	図 42.80
WAIT#ホールド時間	t_{WTH}	0	—	ns	

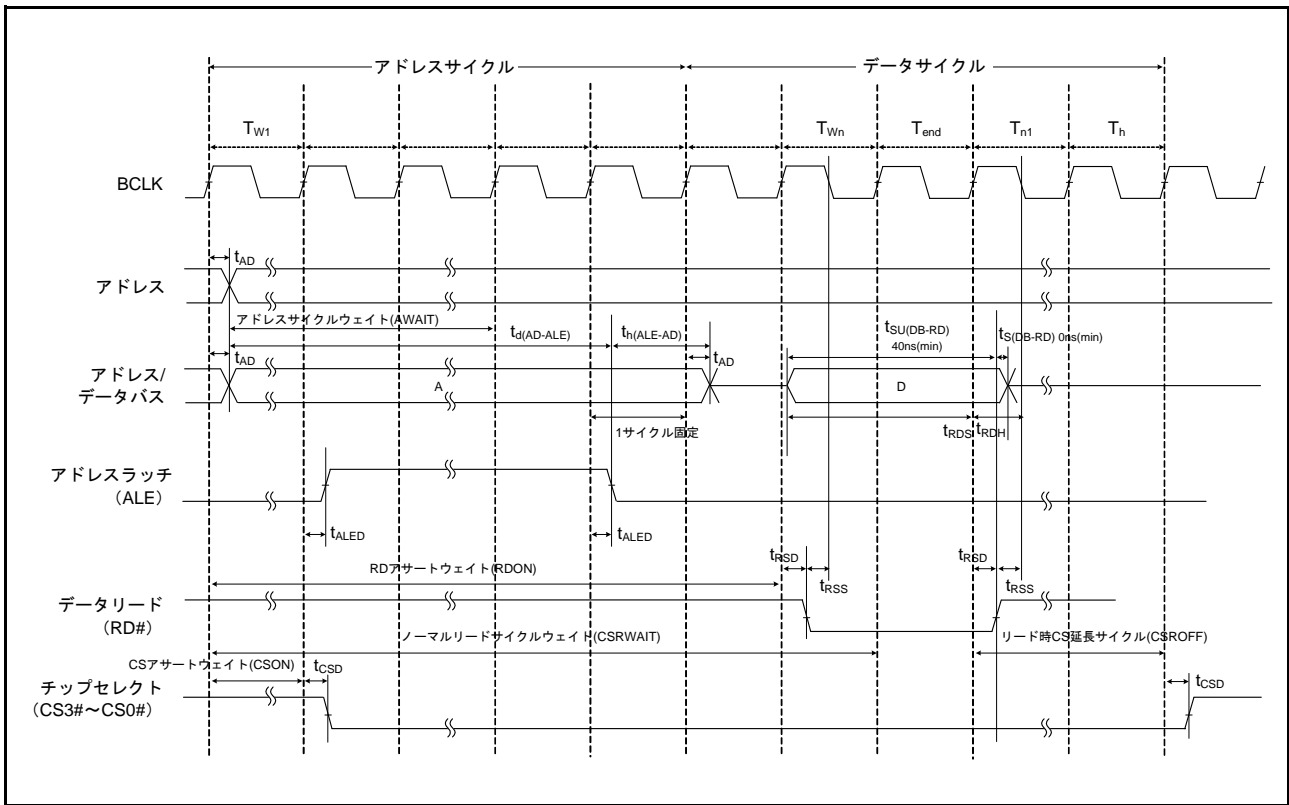


図 42.81 外部バスタイミング/リードアクセスの動作例 (マルチプレクス)

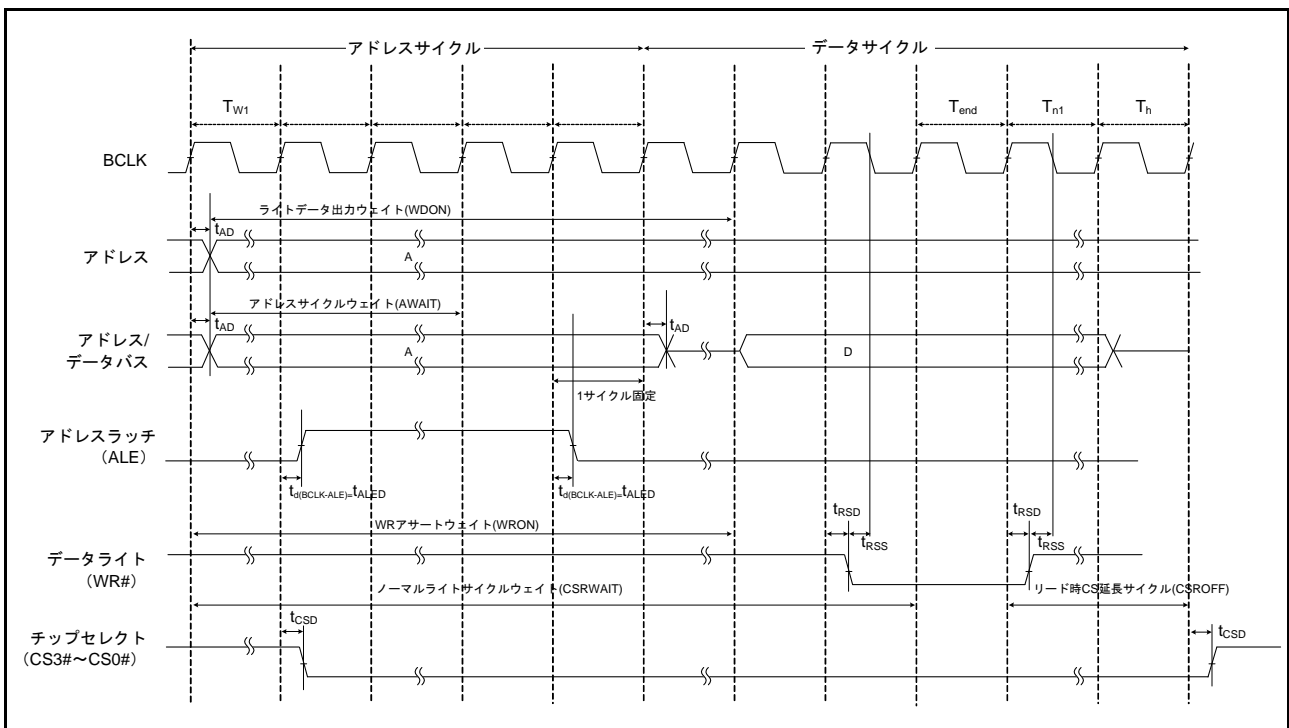


図 42.82 外部バスタイミング/ライトアクセスの動作例 (マルチプレクス)

42.3.6 内蔵周辺モジュールタイミング

表 42.55 内蔵周辺モジュールタイミング (1)

条件：VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C
 駆動能力制御レジスタで高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅	t _{PRW}	1.5	—	t _{Pcyc}	図 42.83	
MTU/TPU	入力キャプチャ入力 パルス幅	単エッジ指定	1.5	—	t _{Pcyc}	図 42.84	
		両エッジ指定	2.5	—			
	タイマクロックパルス幅	単エッジ指定	t _{TCKWH} 、 t _{TCKWL}	1.5	—	t _{Pcyc}	図 42.85
両エッジ指定		2.5		—			
位相係数モード		2.5		—			
POE	POE#入力パルス幅	t _{POEW}	1.5	—	t _{Pcyc}	図 42.86	
8ビットタイマ	タイマクロックパルス幅	単エッジ指定	1.5	—	t _{Pcyc}	図 42.87	
		両エッジ指定	2.5	—			
SCI	入力クロックサイクル	調歩同期	4	—	t _{Pcyc}	図 42.88	
		クロック同期	6	—			
	入力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}	
	入力クロック立ち上がり時間		t _{SCKr}	—	20	ns	
	入力クロック立ち下がり時間		t _{SCKf}	—	20	ns	
	出カクックサイクル	調歩同期	t _{Scyc}	16	—	t _{Pcyc}	C = 30pF 図 42.89
		クロック同期		4	—		
		出カクックパルス幅	2.7V ≤ VCC ≤ 5.5V	t _{SCKW}	0.4	0.6	
	1.8V ≤ VCC < 2.7V		0.35		0.65		
	1.62V ≤ VCC < 1.8V		0.35		0.65		
	出カクック立ち上がり時間		t _{SCKr}	—	20	ns	
	出カクック立ち下がり時間		t _{SCKf}	—	20	ns	
	送信データ遅延 時間 (マスタ)	クロック同期	t _{TXD}	—	40	ns	
				—	65	ns	
—				95	ns		
送信データ遅延 時間 (スレーブ)	クロック 同期	t _{TXD}	—	65	ns		
			—	85	ns		
			—	95	ns		
受信データ セットアップ 時間 (マスタ)	クロック 同期	t _{RXS}	65	—	ns		
			75	—	ns		
			80	—	ns		
受信データ セットアップ 時間 (スレーブ)	クロック同期	t _{RXS}	40	—	ns		
受信データ ホールド時間	クロック同期	t _{RXH}	40	—	ns		
A/Dコンバータ	トリガ入力パルス幅	t _{TRGW}	1.5	—	t _{Pcyc}	図 42.90	
CAC	CACREF入力パルス幅	t _{Pcyc} ≤ t _{cac} (注2)	4.5 t _{cac} + 3 t _{Pcyc}		ns		
		t _{Pcyc} > t _{cac} (注2)	5 t _{cac} + 6.5 t _{Pcyc}				

注1. t_{Pcyc} : PCLKの周期注2. t_{cac} : CACカウントクロックソースの周期

[512Kバイト以下のフラッシュメモリかつ48ピン～100ピン版]

表42.56 内蔵周辺モジュールタイミング (2)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFLO = 0V、Ta = -40 ~ +105°C

駆動能力制御レジスタで高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件	
RSPI	RSPCKクロックサイクル	マスタ	t _{SPCyc}	2	4096	t _{Pcyc}	C = 30pF 図42.91	
		スレーブ		125	—	ns		
	RSPCKクロック Highレベルパルス幅	マスタ	2.7V ≤ VCC ≤ 5.5V	t _{SPCKWH}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		ns
			1.8V ≤ VCC < 2.7V		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		
			1.62V ≤ VCC < 1.8V		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 10$	—		
		スレーブ	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2$		—			
	RSPCKクロック Lowレベルパルス幅	マスタ	2.7V ≤ VCC ≤ 5.5V	t _{SPCKWL}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		ns
			1.8V ≤ VCC < 2.7V		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		
			1.62V ≤ VCC < 1.8V		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 10$	—		
		スレーブ	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2$		—			
	RSPCKクロック 立ち上がり/立ち下がり時間	出力	2.7V ≤ VCC ≤ 5.5V	t _{SPCKr} , t _{SPCKf}	—	10		ns
			1.8V ≤ VCC < 2.7V		—	15		
1.62V ≤ VCC < 1.8V			—		20			
入力		—	1		μs			
データ入力セットアップ 時間	マスタ	2.7V ≤ VCC ≤ 5.5V	t _{SU}	50	—	ns		
		1.8V ≤ VCC < 2.7V		65	—			
		1.62V ≤ VCC < 1.8V		75	—			
	スレーブ	25 - t _{Pcyc}		—				
データ入力ホールド時間	マスタ	t _H	t _{Pcyc}	—	ns			
	スレーブ	20 + 2 × t _{Pcyc}	—	—				
SSLセットアップ時間	マスタ	t _{LEAD}	1	8	t _{SPCyc}			
	スレーブ		4	—	t _{Pcyc}			
SSLホールド時間	マスタ	t _{LAG}	1	8	t _{SPCyc}			
	スレーブ		4	—	t _{Pcyc}			
データ出力遅延時間	マスタ	2.7V ≤ VCC ≤ 5.5V	t _{OD}	—	50	ns		
		1.8V ≤ VCC < 2.7V		—	55			
		1.62V ≤ VCC < 1.8V		—	60			
	スレーブ	2.7V ≤ VCC ≤ 5.5V		—	3 × t _{Pcyc} + 65			
		1.8V ≤ VCC < 2.7V		—	3 × t _{Pcyc} + 85			
		1.62V ≤ VCC < 1.8V		—	3 × t _{Pcyc} + 95			
データ出力ホールド時間	マスタ	t _{OH}	0	—	ns			
	スレーブ		0	—				
連続送信遅延時間	マスタ	t _{TD}	t _{SPCyc} + 2 × t _{Pcyc}	8 × t _{SPCyc} + 2 × t _{Pcyc}	ns			
	スレーブ		4 × t _{Pcyc}	—				
MOSI、MISO 立ち上がり/立ち下がり時間	出力	t _{Dr} , t _{Df}	—	20	ns			
	入力		—	1		μs		
SSL立ち上がり/立ち下がり時間	出力	t _{SSLr} , t _{SSLf}	—	20	ns			
	入力		—	1		μs		

項目		記号	min	max	単位 (注1)	測定条件	
RSPI	スレーブアクセス時間	t_{SA}	$2.7V \leq VCC \leq 5.5V$	—	6	t_{Pcyc}	C = 30pF 図42.96、 図42.97
			$1.8V \leq VCC < 2.7V$	—	7		
			$1.62V \leq VCC < 1.8V$	—	7		
	スレーブ出力開放時間	t_{REL}	$2.7V \leq VCC \leq 5.5V$	—	5		
			$1.8V \leq VCC < 2.7V$	—	6		
			$1.62V \leq VCC < 1.8V$	—	6		

注1. t_{Pcyc} : PCLKの周期

[768K/1M バイトフラッシュメモリまたは 144/145 ピン版]

表 42.57 内蔵周辺モジュールタイミング (3)

条件 : $VCC = AVCC0 = 1.62 \sim 5.5V$ 、 $VSS = AVSS0 = VREFL = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

駆動能力制御レジスタで高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件		
RSPI	RSPCKクロックサイクル	マスタ	t_{SPcyc}	2	4096	t_{Pcyc}	C = 30pF 図42.91	
		スレーブ		8	4096			
	RSPCKクロック High レベルパルス幅	マスタ	t_{SPCKWH}	$2.7V \leq VCC \leq 5.5V$	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		ns
				$1.8V \leq VCC < 2.7V$	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		
				$1.62V \leq VCC < 1.8V$	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 10$	—		
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—			
	RSPCKクロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$2.7V \leq VCC \leq 5.5V$	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		ns
				$1.8V \leq VCC < 2.7V$	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		
				$1.62V \leq VCC < 1.8V$	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 10$	—		
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—			
	RSPCKクロック 立ち上がり/立ち下がり時間	出力	t_{SPCKr} , t_{SPCKf}	$2.7V \leq VCC \leq 5.5V$	—	10		ns
				$1.8V \leq VCC < 2.7V$	—	15		
				$1.62V \leq VCC < 1.8V$	—	20		
		入力		—	1	μs		

項目			記号	min	max	単位 (注1)	測定条件	
RSPI	データ入力セットアップ時間	マスタ	$2.7V \leq VCC \leq 5.5V$	t_{SU}	10	—	ns	C = 30pF 図42.92 ~ 図42.97
			$1.8V \leq VCC < 2.7V$		25	—		
			$1.62V \leq VCC < 1.8V$		30	—		
		スレーブ	$25 - t_{Pcyc}$		—			
	データ入力ホールド時間	マスタ	PCLKBを2分周以外に設定	t_H	t_{Pcyc}	—	ns	
			PCLKBを2分周に設定 (注2)	t_{HF}	0	—		
		スレーブ	t_H	$20 + 2 \times t_{Pcyc}$	—			
	SSLセットアップ時間	マスタ	t_{LEAD}		1	8	t_{SPcyc}	
		スレーブ			4	—	t_{Pcyc}	
	SSLホールド時間	マスタ	t_{LAG}		1	8	t_{SPcyc}	
		スレーブ			4	—	t_{Pcyc}	
	データ出力遅延時間	マスタ	$2.7V \leq VCC \leq 5.5V$	t_{OD}	—	14	ns	
			$1.8V \leq VCC < 2.7V$		—	20		
			$1.62V \leq VCC < 1.8V$		—	25		
		スレーブ	$2.7V \leq VCC \leq 5.5V$		—	$3 \times t_{Pcyc} + 65$		
			$1.8V \leq VCC < 2.7V$		—	$3 \times t_{Pcyc} + 85$		
			$1.62V \leq VCC < 1.8V$		—	$3 \times t_{Pcyc} + 95$		
	データ出力ホールド時間	マスタ	t_{OH}		0	—	ns	
		スレーブ			0	—		
	連続送信遅延時間	マスタ	t_{TD}		$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns	
スレーブ		$4 \times t_{Pcyc}$			—			
MOSI、MISO 立ち上がり/立ち下がり時間	出力	$2.7V \leq VCC \leq 5.5V$	t_{Dr}, t_{Df}	—	10	ns		
		$1.8V \leq VCC < 2.7V$		—	15			
		$1.62V \leq VCC < 1.8V$		—	20			
	入力	—		1	μs			
SSL立ち上がり/立ち下がり時間	出力	$2.7V \leq VCC \leq 5.5V$	t_{SSLr}, t_{SSLf}	—	10	ns		
		$1.8V \leq VCC < 2.7V$		—	15			
		$1.62V \leq VCC < 1.8V$		—	20			
	入力	—		1	μs			
スレーブアクセス時間		$2.7V \leq VCC \leq 5.5V$	t_{SA}	—	6	t_{Pcyc}		
		$1.8V \leq VCC < 2.7V$		—	7			
		$1.62V \leq VCC < 1.8V$		—	7			
スレーブ出力開放時間		$2.7V \leq VCC \leq 5.5V$	t_{REL}	—	5	t_{Pcyc}		
		$1.8V \leq VCC < 2.7V$		—	6			
		$1.62V \leq VCC < 1.8V$		—	6			

注1. t_{Pcyc} : PCLKの周期

注2. 2分周の設定は、768K/1Mバイトフラッシュメモリまたは144/145ピン版のみ設定できます。

表 42.58 内蔵周辺モジュールタイミング (4)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

駆動能力制御レジスタで高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件		
簡易 SPI	SCKクロックサイクル出力 (マスタ)	t _{SPCyc}	4	65536	t _{Pcyc}	C = 30pF 図 42.91		
	SCKクロックサイクル入力 (スレーブ)		6	65536				
	SCK入カクロック High レベルパルス幅	t _{SPCKWH}	0.4	0.6	t _{SPCyc}			
	SCK入カクロック Low レベルパルス幅	t _{SPCKWL}	0.4	0.6	t _{SPCyc}			
	SCK出カクロック High レベル パルス幅	2.7V ≤ VCC ≤ 5.5V	t _{SPCKWH}	0.4	0.6		t _{SPCyc}	
		1.8V ≤ VCC < 2.7V		0.35	0.65			
		1.62V ≤ VCC < 1.8V		0.35	0.65			
	SCK 出カクロック Low レベル パルス幅	2.7V ≤ VCC ≤ 5.5V	t _{SPCKWL}	0.4	0.6		t _{SPCyc}	
		1.8V ≤ VCC < 2.7V		0.35	0.65			
		1.62V ≤ VCC < 1.8V		0.35	0.65			
	SCK クロック立ち上がり/立ち下がり時間	t _{SPCKr} , t _{SPCKf}	—	20	ns			
	データ入カセットアップ時間 (マスタ)	2.7V ≤ VCC ≤ 5.5V	t _{SU}	65	—		ns	C = 30pF 図 42.92 ~ 図 42.97
		1.8V ≤ VCC < 2.7V		75	—			
		1.62V ≤ VCC < 1.8V		80	—			
データ入カセットアップ時間 (スレーブ)		40	—					
データ入カホールド時間	t _H	40	—	ns				
SS 入カセットアップ時間	t _{LEAD}	6	—	t _{Pcyc}				
SS 入カホールド時間	t _{LAG}	6	—	t _{Pcyc}				
データ出力遅延時間 (マスタ)	t _{OD}	—	40	ns				
データ出力遅延時間 (スレーブ)		2.7V ≤ VCC ≤ 5.5V	—		65			
		1.8V ≤ VCC < 2.7V	—		85			
	1.62V ≤ VCC < 1.8V	—	95					
データ出力ホールド時間	t _{OH}	-10	—	ns				
データ立ち上がり/立ち下がり時間	t _{Dr} , t _{Df}	—	20	ns				
SS 入カ立ち上がり/立ち下がり時間	t _{SSLr} , t _{SSLf}	—	20	ns				
スレーブアクセス時間	t _{SA}	—	6	t _{Pcyc}	C = 30pF 図 42.96、 図 42.97			
スレーブ出力開放時間	t _{REL}	—	6	t _{Pcyc}				

注1. t_{Pcyc}: PCLKの周期

表 42.59 内蔵周辺モジュールタイミング (5)

条件: VCC = AVCC0 = 2.7~5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、fPCLKB ≤ 32MHz、T_a = -40~+105°C

項目		記号	min (注1、注2)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCL入力サイクル時間	t _{SCL}	6 (12) × t _{IIcCyc} + 1300	—	ns	図 42.98
	SCL入力Highパルス幅	t _{SCLH}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL入力Lowパルス幅	t _{SCLL}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t _{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1 (4) × t _{IIcCyc}	ns	
	SDA入力バスフリー時間	t _{BUF}	3 (6) × t _{IIcCyc} + 300	—	ns	
	開始条件入力ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t _{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t _{STOS}	1000	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	
RIIC (ファスト モード)	SCL入力サイクル時間	t _{SCL}	6 (12) × t _{IIcCyc} + 600	—	ns	図 42.98
	SCL入力Highパルス幅	t _{SCLH}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL入力Lowパルス幅	t _{SCLL}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t _{Sr}	20 + 0.1C _b	300	ns	
	SCL、SDA入力立ち下がり時間	t _{Sf}	20 + 0.1C _b	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1 (4) × t _{IIcCyc}	ns	
	SDA入力バスフリー時間	t _{BUF}	3 (6) × t _{IIcCyc} + 300	—	ns	
	開始条件入力ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t _{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t _{STOS}	300	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	

注. t_{IIcCyc}: RIICの内部基準クロック (IICφ) の周期

注1. () 内の数値は、ICFER.NFE=1でデジタルフィルタを有効にした状態でICMR3.NF[1:0]=11bの場合を示します。

注2. C_bはバスラインの容量総計です。

表 42.60 内蔵周辺モジュールタイミング (6)

条件 : VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、fPCLKB ≤ 32MHz、T_a = -40 ~ +105°C

駆動能力制御レジスタで高駆動出力を選択時

項目		記号	min (注1)	max	単位	測定条件
簡易IIC (スタンダードモード)	SDA入力立ち上がり時間	t _{Sr}	—	1000	ns	図 42.98
	SDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SDA入カスパイクパルス除去時間	t _{SP}	0	4 × t _{pcyc} (注2)	ns	
	データ入力セットアップ時間	t _{SDAS}	250	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	
簡易IIC (ファストモード)	SCL、SDA入力立ち上がり時間	t _{Sr}	20 + 0.1C _b	300	ns	図 42.98
	SCL、SDA入力立ち下がり時間	t _{Sf}	20 + 0.1C _b	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	4 × t _{pcyc} (注2)	ns	
	データ入力セットアップ時間	t _{SDAS}	100	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	

注. t_{pcyc} : PCLKの周期注1. C_bはバスラインの容量総計です。

注2. SNFR.NFEビット=1でデジタルフィルタを有効にした状態でSMR.CKS[1:0]ビット=00b、SNFR.NFCS[2:0]ビット=010bの場合を示します。

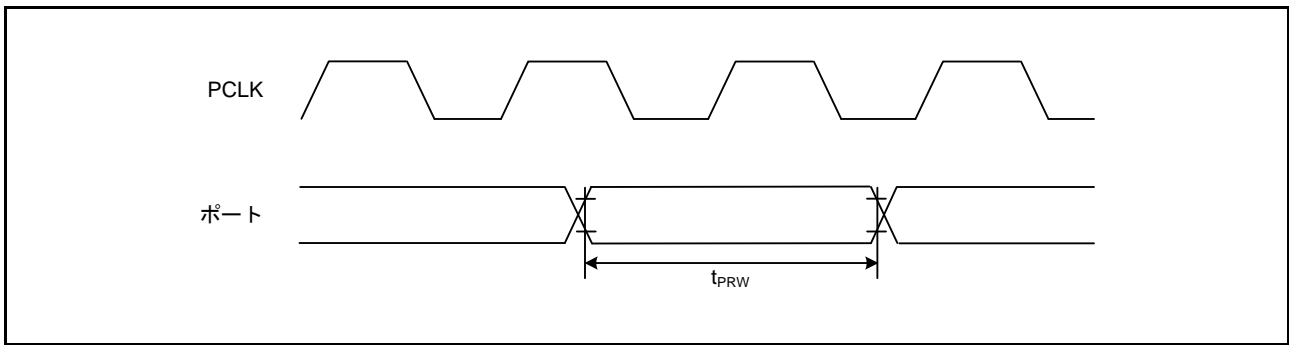


図 42.83 I/O ポート入力タイミング

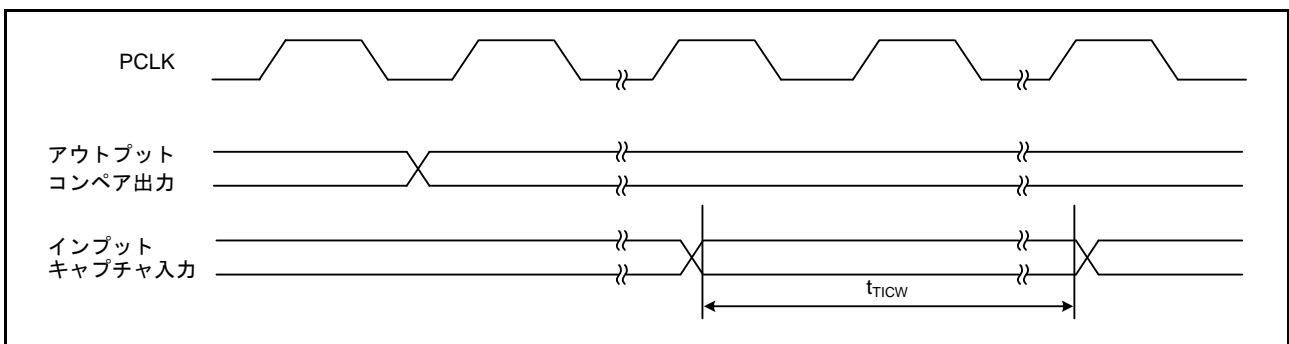


図 42.84 MTU/TPU 入出力タイミング

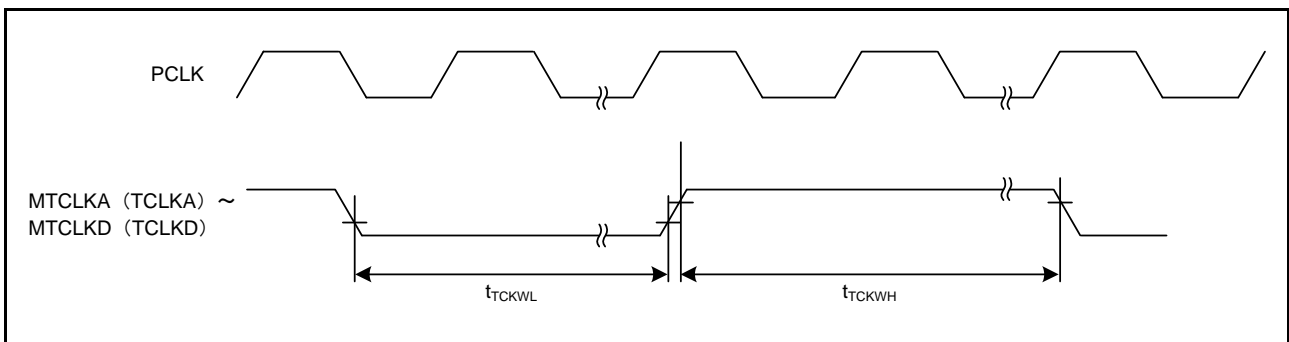


図 42.85 MTU/TPU クロック入力タイミング

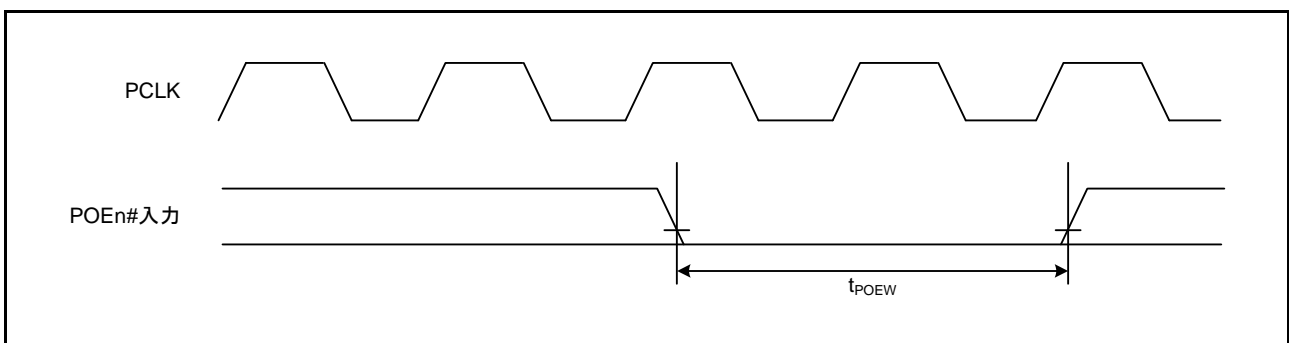


図 42.86 POE# 入力タイミング

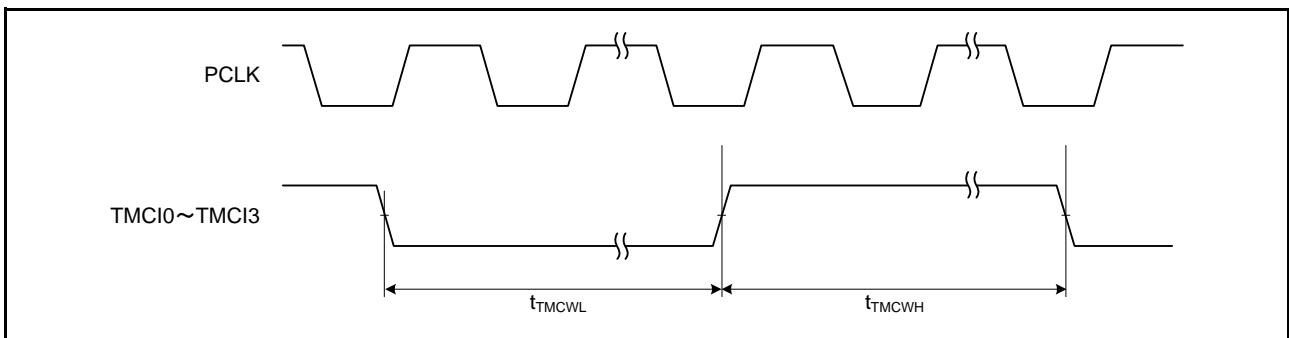


図 42.87 8ビットタイマクロック入力タイミング

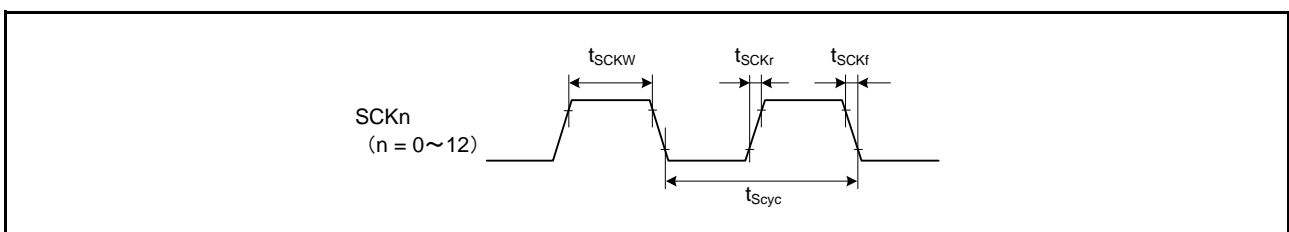


図 42.88 SCK クロック入力タイミング

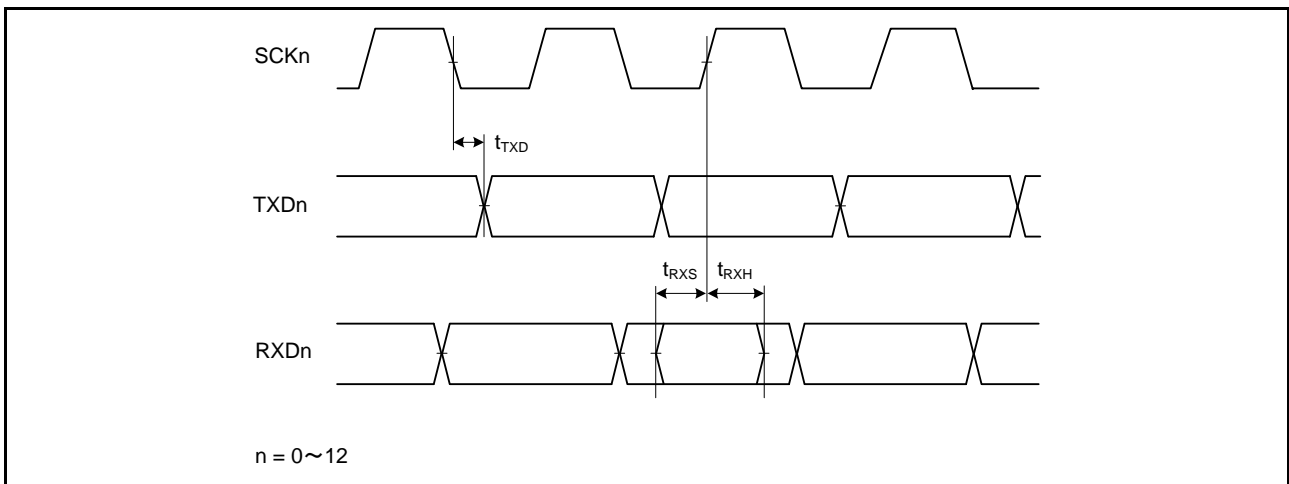


図 42.89 SCI 入出力タイミング/クロック同期式モード

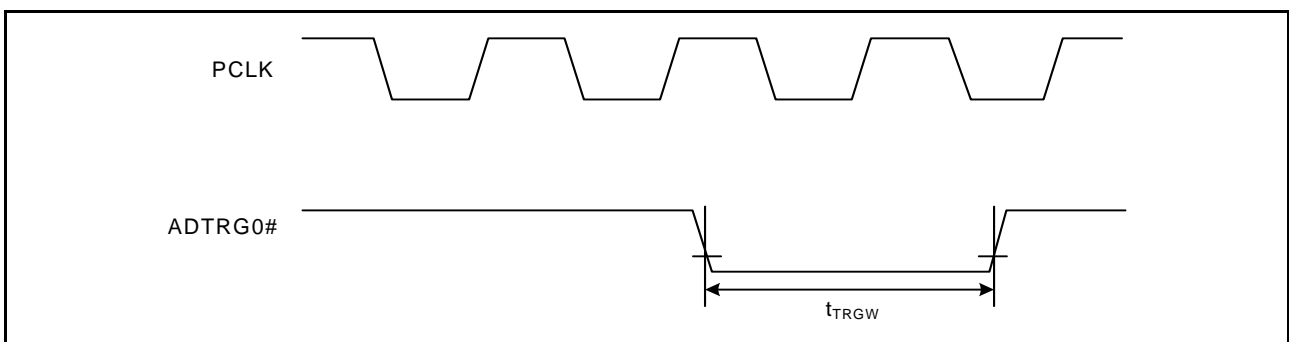


図 42.90 A/D コンバータ外部トリガ入力タイミング

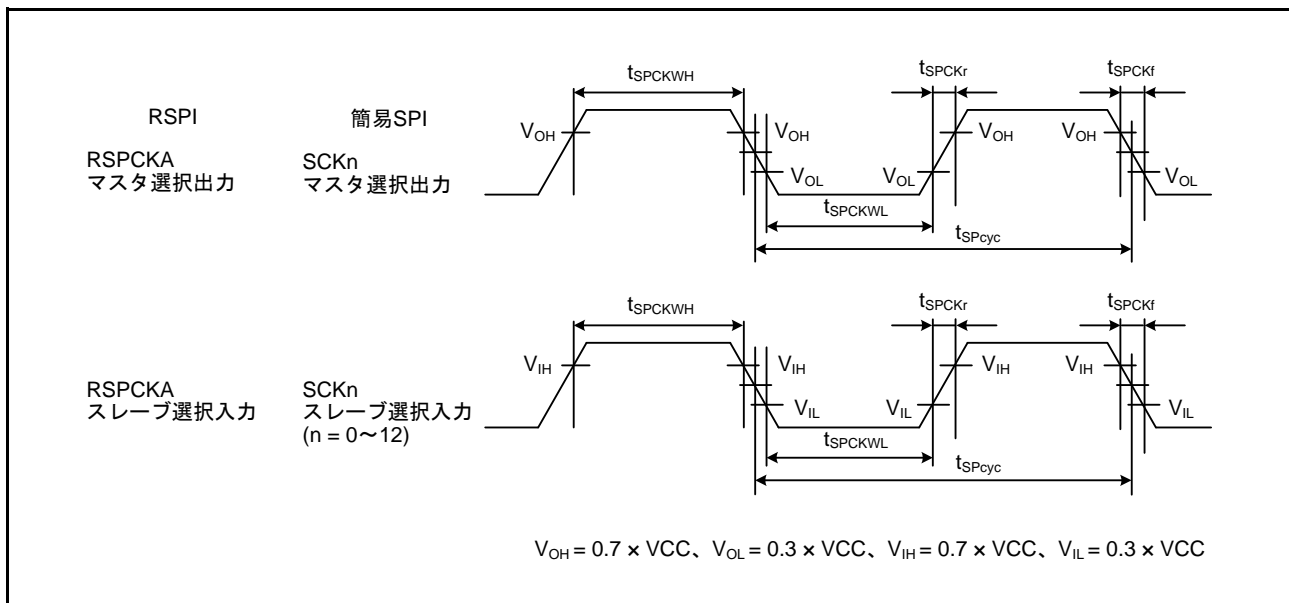


図 42.91 RSPI クロックタイミング / 簡易 SPI クロックタイミング

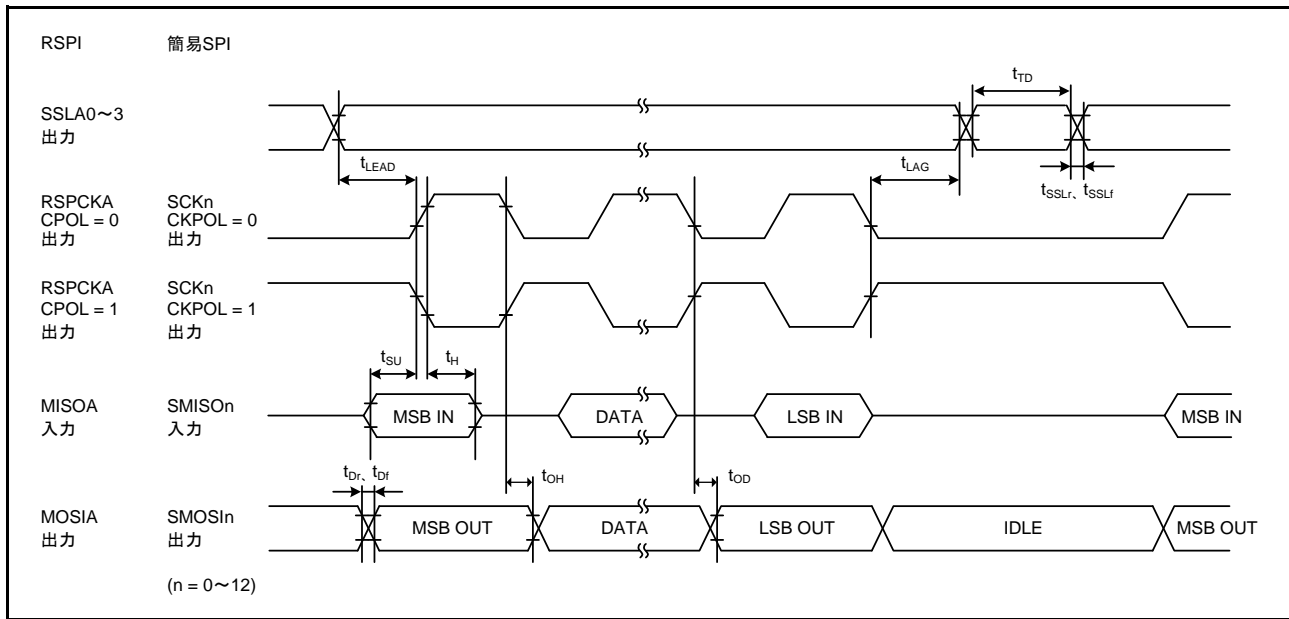


図 42.92 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 1)

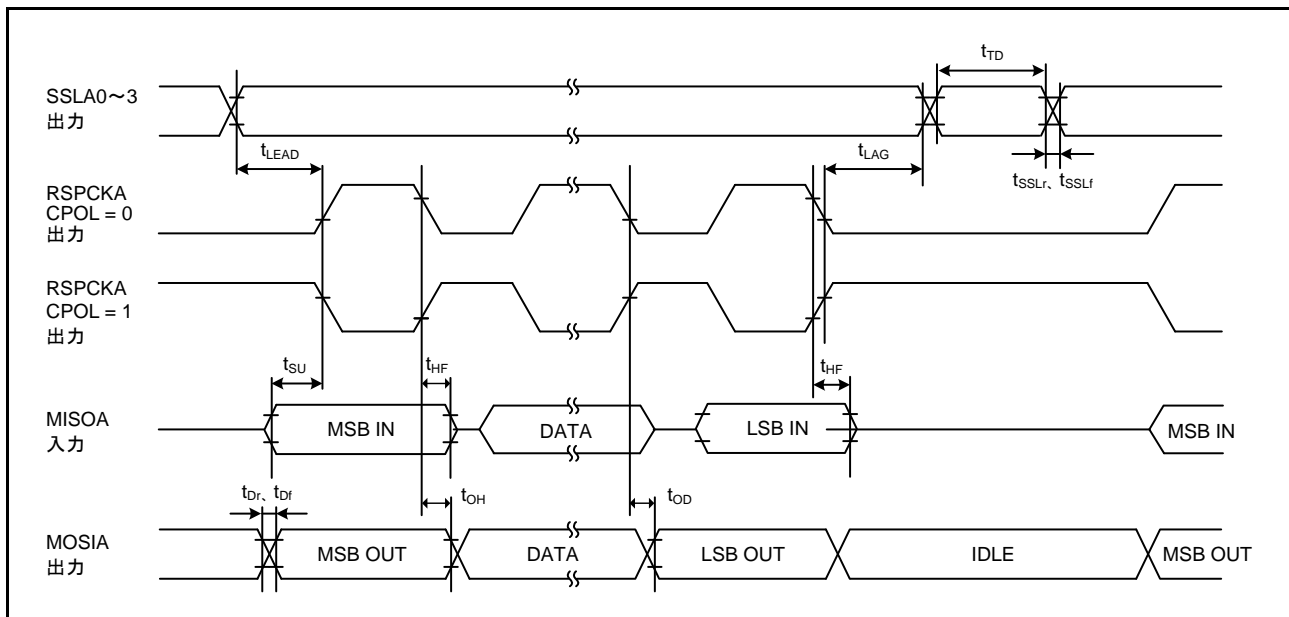


図 42.93 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

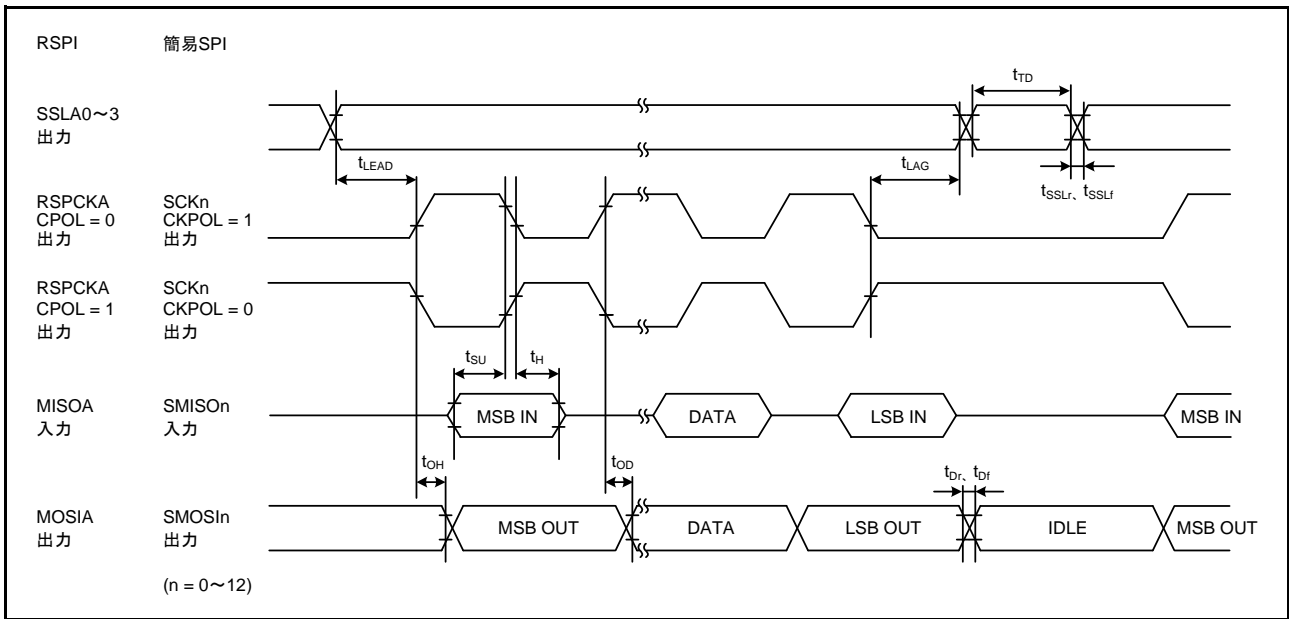


図 42.94 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 0)

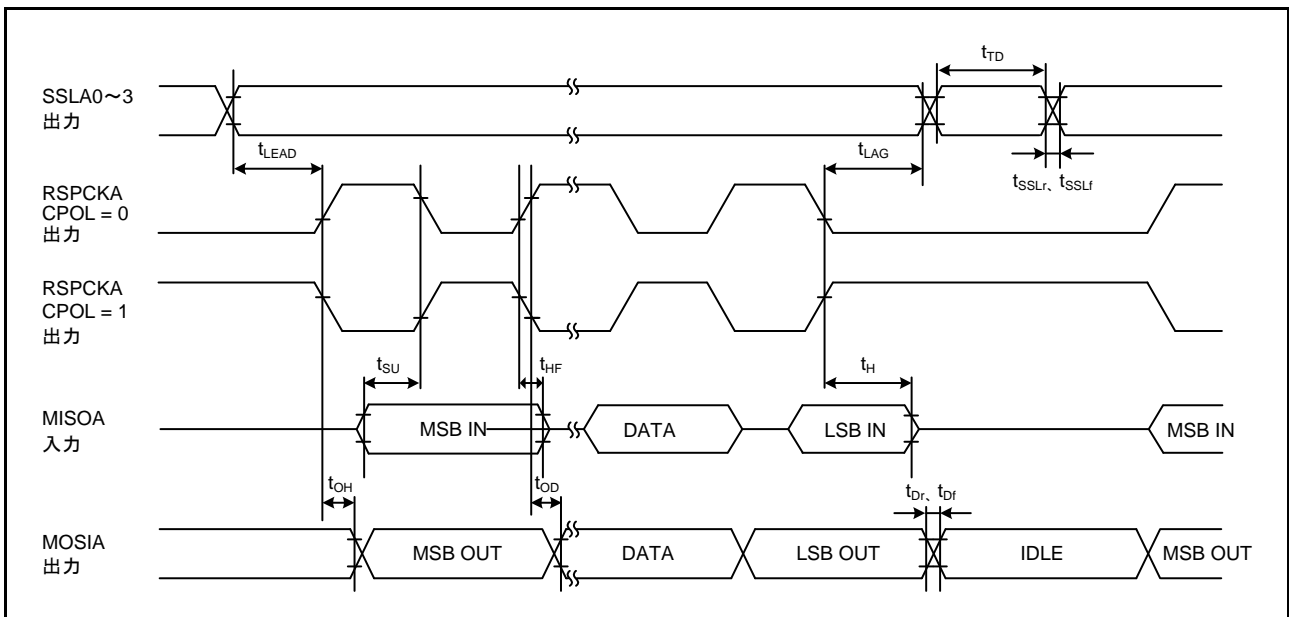


図 42.95 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

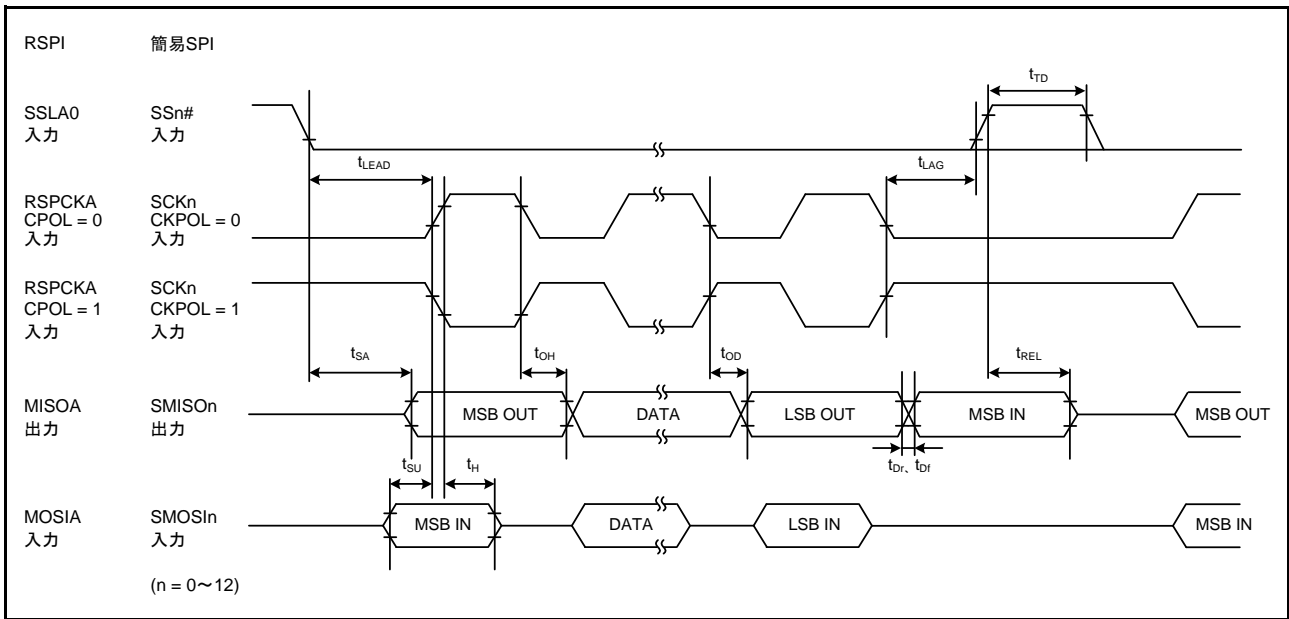


図 42.96 RSPI タイミング (スレーブ、CPHA = 0) / 簡易 SPI タイミング (スレーブ、CKPH = 1)

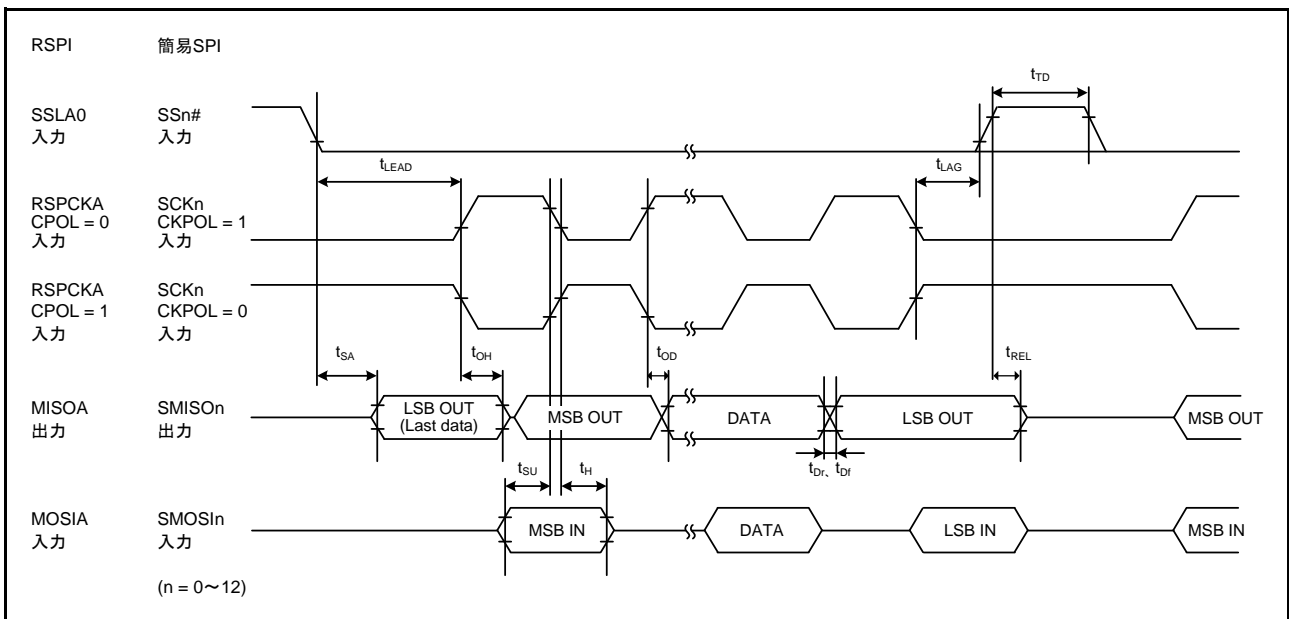


図 42.97 RSPI タイミング (スレーブ、CPHA = 1) / 簡易 SPI タイミング (スレーブ、CKPH = 0)

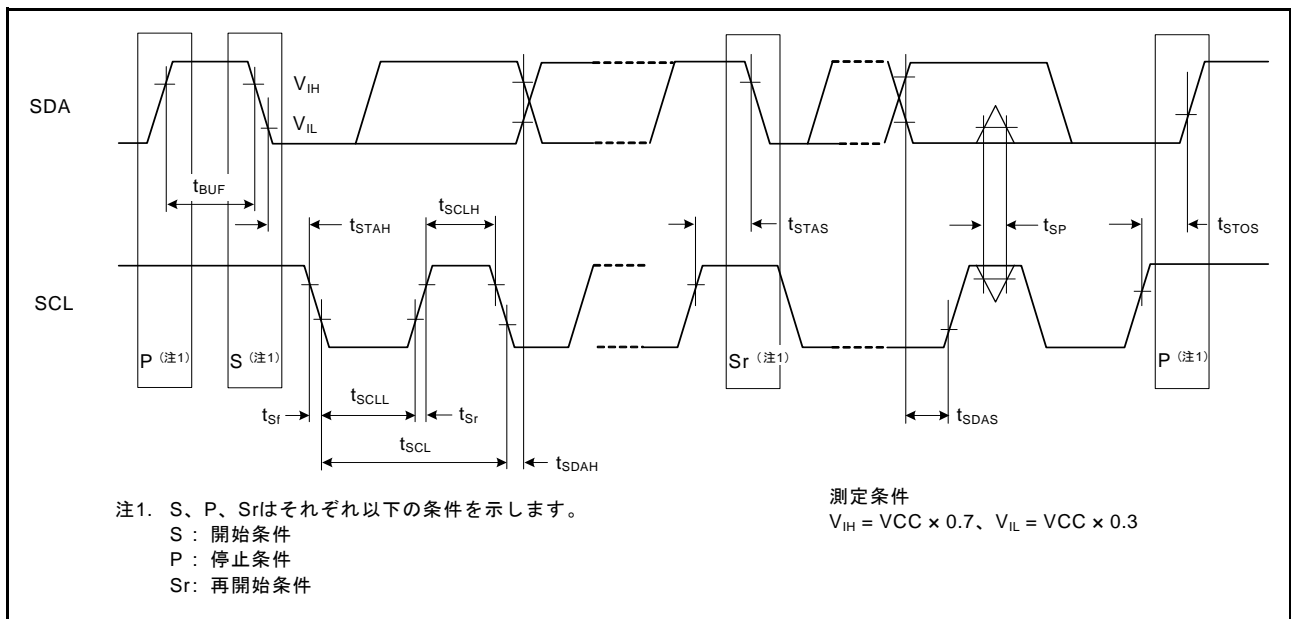


図 42.98 RIIC バスインタフェース入出力タイミング / 簡易 IIC バスインタフェース入出力タイミング

42.4 A/D 変換特性

表 42.61 A/D変換特性 (1)

条件 : $V_{CC} = AV_{CC0} = 2.7 \sim 5.5V$ 、 $V_{REFH0} \geq 2.7V$ 、 $AV_{CC0} - 0.9V \leq V_{REFH0} \leq AV_{CC0}$ (注3)、
 $V_{SS} = AV_{SS0} = V_{REFL} = V_{REFL0} = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	min	typ	max	単位	測定条件
A/D変換クロック周波数 (fPCLKD)	1	—	50	MHz	
分解能	—	—	12	ビット	
変換時間 (注1) (fPCLKD = 50MHz時)	許容信号源インピーダンス max = 0.5k Ω	1.0 (0.4) (注2)	—	μs	サンプリング20ステート
	許容信号源インピーダンス max = 1k Ω	1.1 (0.5) (注2)	—		サンプリング25ステート
	許容信号源インピーダンス max = 5k Ω	1.5 (0.9) (注2)	—		サンプリング45ステート
アナログ入力容量	—	—	30	pF	
オフセット誤差	—	± 0.5	± 4.5	LSB	高精度チャンネル
			± 7.5		通常精度チャンネル
フルスケール誤差	—	± 0.75	± 4.5	LSB	高精度チャンネル
			± 7.5		通常精度チャンネル
量子化誤差	—	± 0.5	—	LSB	
絶対精度	—	± 1.25	± 5.0	LSB	高精度チャンネル
			± 8.0		通常精度チャンネル
DNL 微分非直線性誤差	—	± 1.0	—	LSB	
INL 積分非直線性誤差	—	± 1.0	± 3.0	LSB	

注. A/D変換クロックにHOCOを選択する場合、PCLKDを40MHz以下にしてください。A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注. チャンネル専用サンプル&ホールド回路使用時は、AN000～AN002のアナログ入力電圧 (V_{AN}) を、
 $0.25V \leq V_{AN} \leq AV_{CC0} - 0.25V$ 、かつ $V_{AN} \leq V_{REFH0}$
の範囲で、かつ $AV_{CC0} \geq 2.7V$ でご使用ください。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

注3. 温度センサを使用する場合は、 $V_{REFH0} = AV_{CC0}$ の条件で使用してください。

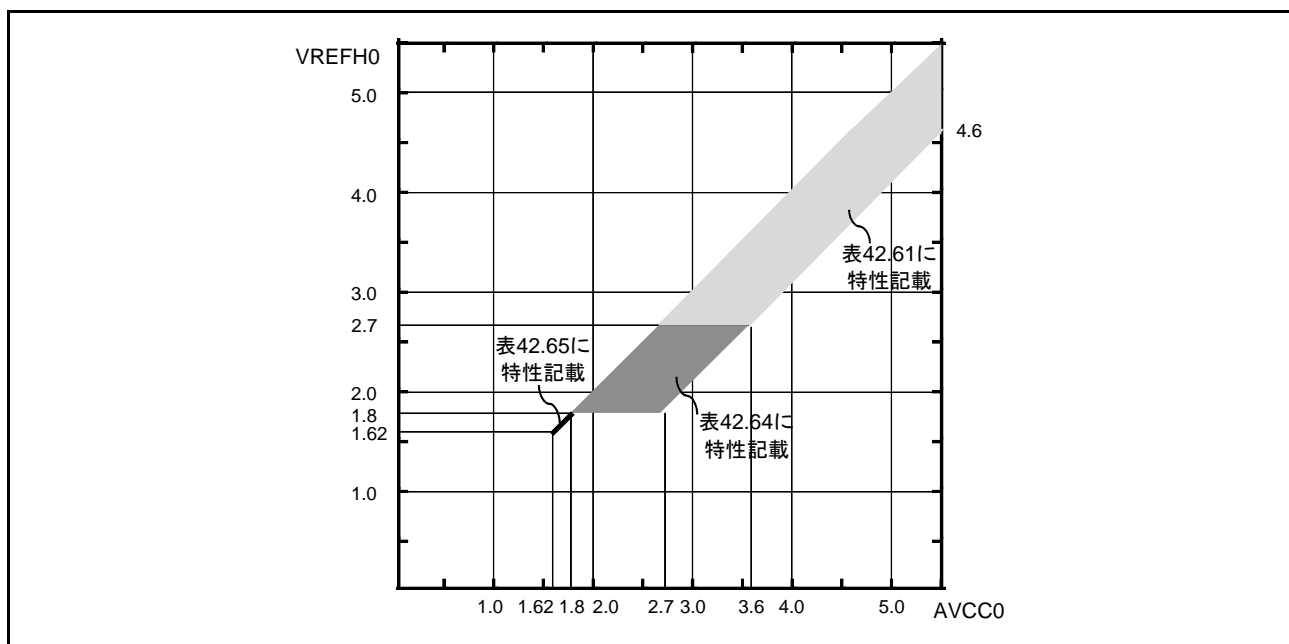


図 42.99 AVCC0-VREFH0 電圧範囲

表42.62 A/Dコンバータチャンネル分類表

分類	対象チャンネル	チャンネル専用 サンプル& ホールド回路	条件	
高精度チャンネル	AN000 ~ AN002	使用	AVCC0 = 2.7 ~ 5.5V AVCC0 - 0.9V ≤ VREFH0 ≤ AVCC0 VREFH0 ≥ 2.7V AVSS0 = VREFL0 = 0V 0.25V ≤ V _{AN} ≤ AVCC0 - 0.25V V _{AN} ≤ VREFH0	A/Dコンバータ使用時、 AN000 ~ AN007端子を デジタル出力として使用 することは禁止です。
		未使用	AVCC0 = 1.62 ~ 5.5 V AVCC0 ≥ 1.8V時 AVCC0 - 0.9V ≤ VREFH0 ≤ AVCC0 VREFH0 ≥ 1.8V	
—	—	AVCC0 < 1.8 V時 VREFH0 = AVCC0 AVSS0 = VREFL0 = 0V 0V ≤ V _{AN} ≤ VREFH0		
通常精度チャンネル	AN003 ~ AN007	—	—	
通常精度チャンネル	AN008 ~ AN015	—	—	—

表42.63 A/D内部基準電圧特性

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目	min	typ	max	単位	測定条件
A/D内部基準電圧	1.35	1.50	1.65	V	

表 42.64 A/D変換特性 (2)

条件: $V_{CC} = AV_{CC0} = 1.8 \sim 3.6V$, $1.8V \leq V_{REFH0} \leq 2.7V$, $AV_{CC0} - 0.9V \leq V_{REFH0} \leq AV_{CC0}$ (注3)、
 $V_{SS} = AV_{SS0} = V_{REFL} = V_{REFL0} = 0V$, $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
A/D変換クロック周波数 (fPCLKD)		1	—	25	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (fPCLKD = 25MHz時)	許容信号源インピーダンス max = 1k Ω	2.0 (0.8) (注2)	—	—	μs	サンプリング20ステート
	許容信号源インピーダンス max = 5k Ω	2.2 (1.0) (注2)	—	—		サンプリング25ステート
アナログ入力容量		—	—	30	pF	
オフセット誤差		—	± 0.5	± 7.5	LSB	
フルスケール誤差		—	± 1.25	± 7.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 3.0	± 8.0	LSB	
DNL 微分非直線性誤差		—	± 1.25	—	LSB	
INL 積分非直線性誤差		—	± 1.5	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注. チャンネル専用サンプル&ホールド回路使用時は、AN000~AN002のアナログ入力電圧 (V_{AN}) を、
 $0.25V \leq V_{AN} \leq AV_{CC0} - 0.25V$ 、かつ $V_{AN} \leq V_{REFH0}$
の範囲で、かつ $AV_{CC0} \geq 2.7V$ でご使用ください。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

注3. 温度センサを使用する場合は、 $V_{REFH0} = AV_{CC0}$ の条件で使用してください。

表 42.65 A/D変換特性 (3)

条件: $V_{CC} = AV_{CC0} = 1.62 \sim 1.8V$, $V_{REFH0} = AV_{CC0}$,
 $V_{SS} = AV_{SS0} = V_{REFL} = V_{REFL0} = 0V$, $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
A/D変換クロック周波数 (fPCLKD)		1	—	12.5	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (fPCLKD = 12.5MHz時)	許容信号源インピーダンス max = 1k Ω	3.36 (0.96) (注2)	—	—	μs	サンプリング12ステート
	許容信号源インピーダンス max = 5k Ω	3.6 (1.2) (注2)	—	—		サンプリング15ステート
アナログ入力容量		—	—	30	pF	
オフセット誤差		—	± 0.5	± 7.5	LSB	
フルスケール誤差		—	± 1.25	± 7.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 2.75	± 8.0	LSB	
DNL 微分非直線性誤差		—	± 1.25	—	LSB	
INL 積分非直線性誤差		—	± 1.25	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

表 42.66 サンプルング時間

条件 : $VCC = AVCC0 = 1.62 \sim 5.5V$ 、 $VSS = AVSS0 = VREFL = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	typ	単位	測定条件
サンプルング時間	高精度チャネル	$0.2 + 0.14 \times R0$ (K Ω)	μs	図 42.100
	通常精度チャネル	$0.35 + 0.14 \times R0$ (K Ω)		

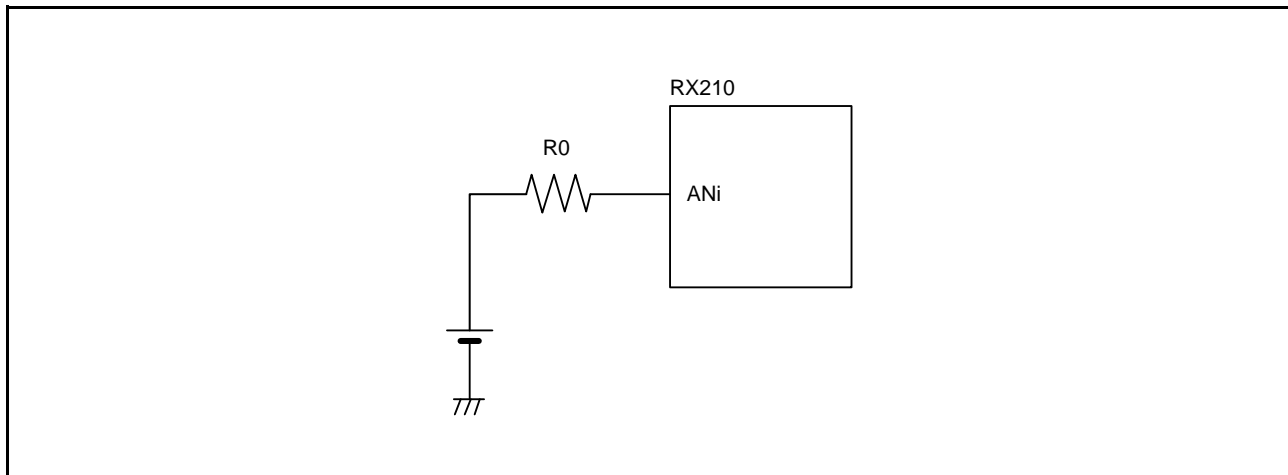


図 42.100 アナログ入力端子の内部等価回路

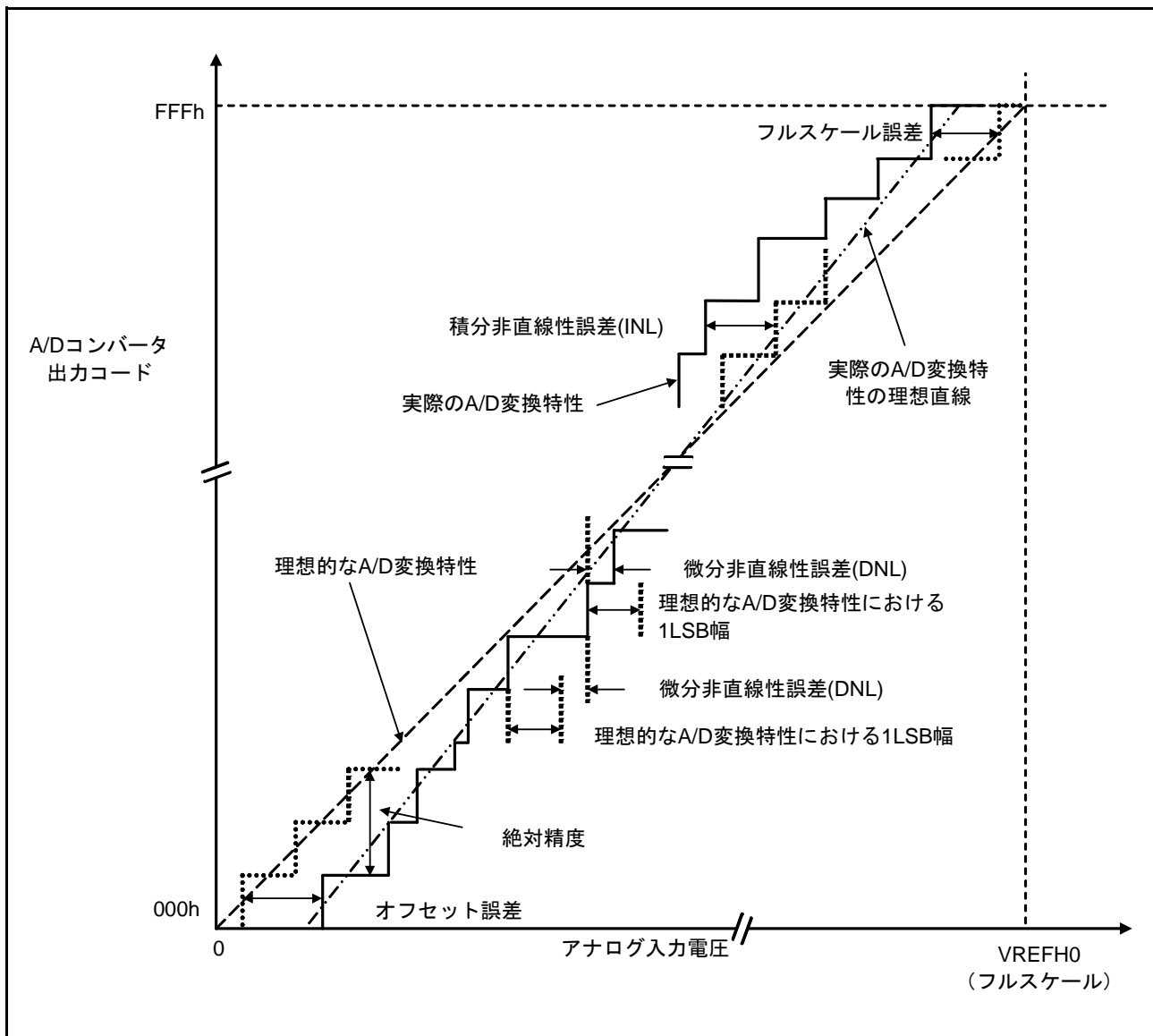


図 42.101 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅（1LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧（VREFH0 = 5.12V）の場合、1LSB 幅は 1.25mV で、アナログ入力電圧には 0mV、1.25mV、2.5mV... を使用します。

絶対精度 $\pm 5\text{LSB}$ とは、アナログ入力電圧が 10mV の場合、理論的な A/D 変換特性では出力コード “008h” を期待できますが、実際の A/D 変換結果は “003h” ~ “00Dh” になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

42.5 D/A 変換特性

表 42.67 D/A 変換特性 (1)

条件 : VCC = AVCC0 = 2.7 ~ 5.5V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
fPCLKB ≤ 32MHz、T_a = -40 ~ +105°C

項目	min	typ	max	単位	測定条件
分解能	—	—	10	ビット	
変換時間	—	—	3.0	μs	負荷容量 20pF
絶対精度	—	±3.0	±5.0	LSB	負荷抵抗 4MΩ
	—	—	±4.0	LSB	負荷抵抗 8MΩ
RO出力抵抗	—	4.1	—	kΩ	

表 42.68 D/A 変換特性 (2)

条件 : VCC = AVCC0 = 2.7 ~ 5.5V、VREFH = 1.8V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、
fPCLKB ≤ 32MHz、T_a = -40 ~ +105°C

項目	min	typ	max	単位	測定条件
分解能	—	—	10	ビット	
変換時間	—	—	10.0	μs	負荷容量 20pF
絶対精度	—	±5.0	±6.0	LSB	負荷抵抗 4MΩ
	—	—	±5.0	LSB	負荷抵抗 8MΩ
RO出力抵抗	—	4.1	—	kΩ	

42.6 温度センサ特性

表 42.69 温度センサ特性

条件 : VCC = AVCC0 = VREFH0 = 1.8 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
相対精度	—	—	±1.0	—	°C	
温度傾斜	1.8 ≤ AVCC0 < 2.7	—	7.27	—	mV/°C	PGAGAIN=00b
	2.7 ≤ AVCC0 < 3.6	—	10.46	—		PGAGAIN=01b
	3.6 ≤ AVCC0 < 4.5	—	13.98	—		PGAGAIN=10b
	4.5 ≤ AVCC0 ≤ 5.5	—	21.65	—		PGAGAIN=11b
出力電位 (@25°C)	—	—	1.375	—	V	VCC=3.6V
温度センサ起動時間	t _{START}	—	—	80	μs	図 42.102
サンプリング時間	—	30	72	300	μs	
PGA再起動時間	t _{RST_PGA}	—	—	40	μs	

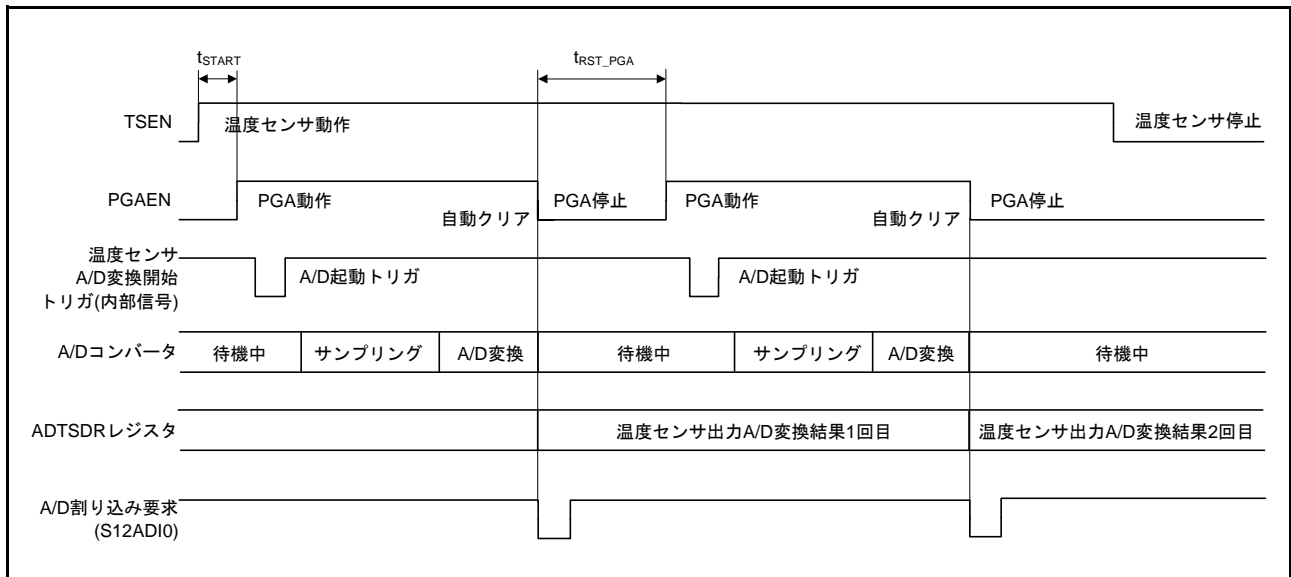


図 42.102 温度センサの A/D 変換タイミング例 (2 変換の場合)

42.7 コンパレータ特性

表 42.70 コンパレータ特性

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件		
コンパレータ A	外部基準電圧入力範囲	LVREF	1.4	—	VCC	V			
	外部比較電圧 (CMPA1、CMPA2) 入力範囲	VI	-0.3	—	VCC+0.3	V			
	オフセット	—	—	±50	±150	mV			
	コンパレータ出力遅延時間 (注1)		—	—	3	—		µs	立ち下がり時 VI = LVREF-110mV
					2	—		µs	立ち下がり時 VI < LVREF-1V
					3	—		µs	立ち上がり時 VI = LVREF+160mV
1.5					—	µs	立ち上がり時 VI > LVREF+1V		
コンパレータ動作電流	ICMPA	—	0.5	—	µA	VCC = 5.0V			
コンパレータ B	CVREFB0、CVREFB1 入力基準電圧	VREF	0	—	VCC-1.4	V			
	CMPB0、CMPB1 入力電圧	VI	-0.3	—	VCC+0.3	V			
	オフセット	—	—	±10	±100	mV			
	コンパレータ出力遅延時間	t _d	—	—	1	µs		VI = VREF + 100mV	
	コンパレータ動作電流	ICMPB	—	75	150	µA		VCC = 5.0V、2チャンネル合計	

注1. デジタルフィルタ無効時。

42.8 パワーオンリセット回路、電圧検出回路特性

表 42.71 パワーオンリセット回路、電圧検出回路特性 (1)

条件 : VCC = AVCC0、VSS = AVSS0 = VREFL = VREFLO = 0V、T_a = -40 ~ +105°C

項目			記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	低消費電力機能無効 (注1)	V _{POR}	1.30	1.40	1.55	V	図 42.103、 図 42.104
		低消費電力機能有効 (注2)		1.00	1.20	1.45		
電圧検出回路 (LVD0) (注3)			V _{det0_0}	3.65	3.80	3.95	V	図 42.105
			V _{det0_1}	2.70	2.80	2.90		
			V _{det0_2}	1.80	1.90	2.00		
			V _{det0_3}	1.62	1.72	1.82		
電圧検出回路 (LVD1) (注4)			V _{det1_0}	4.00	4.15	4.30	V	図 42.106 VCC 立ち 下がり時
			V _{det1_1}	3.85	4.00	4.15		
			V _{det1_2}	3.70	3.85	4.00		
			V _{det1_3}	3.55	3.70	3.85		
			V _{det1_4}	3.40	3.55	3.70		
			V _{det1_5}	3.25	3.40	3.55		
			V _{det1_6}	3.10	3.25	3.40		
			V _{det1_7}	2.95	3.10	3.25		
			V _{det1_8}	2.85	2.95	3.05		
			V _{det1_9}	2.70	2.80	2.90		
			V _{det1_A}	2.55	2.65	2.75		
			V _{det1_B}	2.40	2.50	2.60		
			V _{det1_C}	2.25	2.35	2.45		
			V _{det1_D}	2.10	2.20	2.30		
			V _{det1_E}	1.95	2.05	2.15		
V _{det1_F}	1.80	1.90	2.00					

注. 電源にノイズが重畳されていない状態での特性です。

注1. ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード以外の場合、またはFHSSBYCR.SOFTCUT[2]ビットが"0"でソフトウェアスタンバイモードに移行した場合か、DPSBYCR.DEEPCUT1ビットが"0"でディープソフトウェアスタンバイモードに移行した場合です。

注2. FHSSBYCR.SOFTCUT[2]ビットが"1"でソフトウェアスタンバイモードに移行、またはDPSBYCR.DEEPCUT1ビットが"1"でディープソフトウェアスタンバイモードに移行した場合です。

注3. 記号V_{det0_#}の#は、LDSEL[1:0]ビットの値です。注4. 記号V_{det1_#}の#は、LVDLVLR.LVD1LVL[3:0]ビットの値です。

表 42.72 パワーオンリセット回路、電圧検出回路特性 (2)

条件: VCC = AVCC0, VSS = AVSS0 = VREFL = VREFLO = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	電圧検出回路 (LVD2) (注1)	V _{det2_0}	4.00	4.15	4.30	V	図 42.107 VCC 立ち下がり時
		V _{det2_1}	3.85	4.00	4.15		
		V _{det2_2}	3.70	3.85	4.00		
		V _{det2_3}	3.55	3.70	3.85		
		V _{det2_4}	3.40	3.55	3.70		
		V _{det2_5}	3.25	3.40	3.55		
		V _{det2_6}	3.10	3.25	3.40		
		V _{det2_7}	2.95	3.10	3.25		
		V _{det2_8}	2.85	2.95	3.05		
		V _{det2_9}	2.70	2.80	2.90		
		V _{det2_A}	2.55	2.65	2.75		
		V _{det2_B}	2.40	2.50	2.60		
		V _{det2_C}	2.25	2.35	2.45		
		V _{det2_D}	2.10	2.20	2.30		
		V _{det2_E}	1.95	2.05	2.15		
V _{det2_F}	1.80	1.90	2.00				
	V _{CMPA2}	1.18	1.33	1.48		EXVCCINP2 = 1	
内部リセット時間	パワーオンリセット時間	t _{POR}	—	9	—	ms	図42.104
	電圧監視0リセット時間	t _{LVD0}	—	9	—		図42.105
	電圧監視1リセット時間	t _{LVD1}	—	1.4	—		図42.106
	電圧監視2リセット時間	t _{LVD2}	—	1.4	—		図42.107
最小VCC低下時間 (注2)	t _{VOFF}	200	—	—	μs	図42.103	
応答遅延時間	t _{det}	—	—	200	μs	図42.104	
LVD動作安定時間 (LVD有効切り替え時)	T _{d (E-A)}	—	—	15	μs	図42.106、図42.107	
パワーオンリセット有効時間	t _{W (POR)}	1	—	—	ms	図42.104 VCC = 0.9V 以下	
ヒステリシス幅 (電圧検出回路 (LVD1、LVD2))	V _{L VH}	—	100	—	mV	V _{detX_0} ~ 7 選択時	
		—	50	—		V _{detX_8} ~ F 選択時	

注. 電源にノイズが重畳されていない状態での特性です。

注1. 記号V_{det2_#}の#は、LVDLVLR.LVD2LVL[3:0]ビットの値です。注2. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV_{POR}、V_{det0}、V_{det1}、V_{det2}のmin値を下回っている時間です。

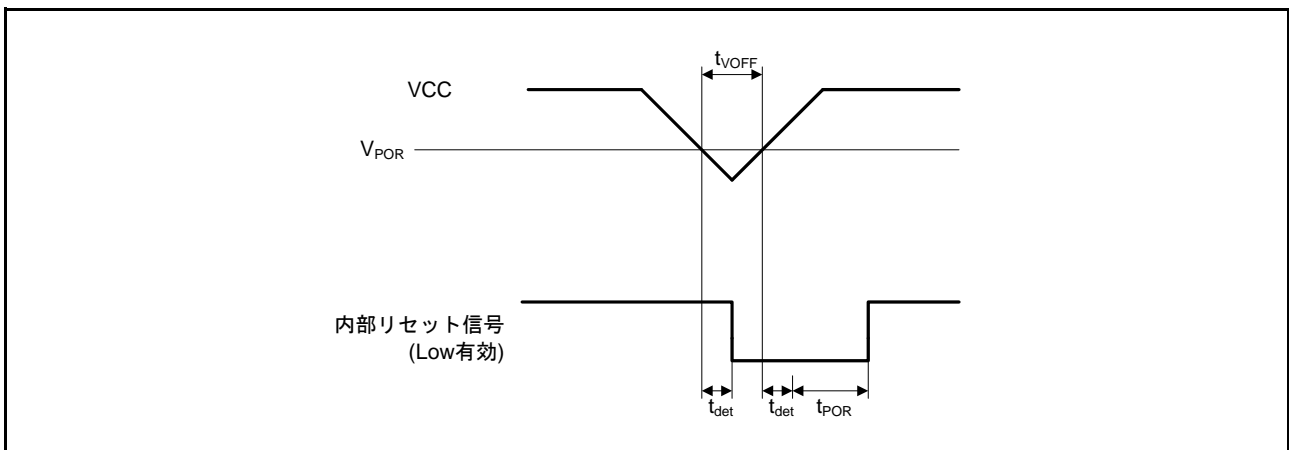


図 42.103 電圧検出リセットタイミング

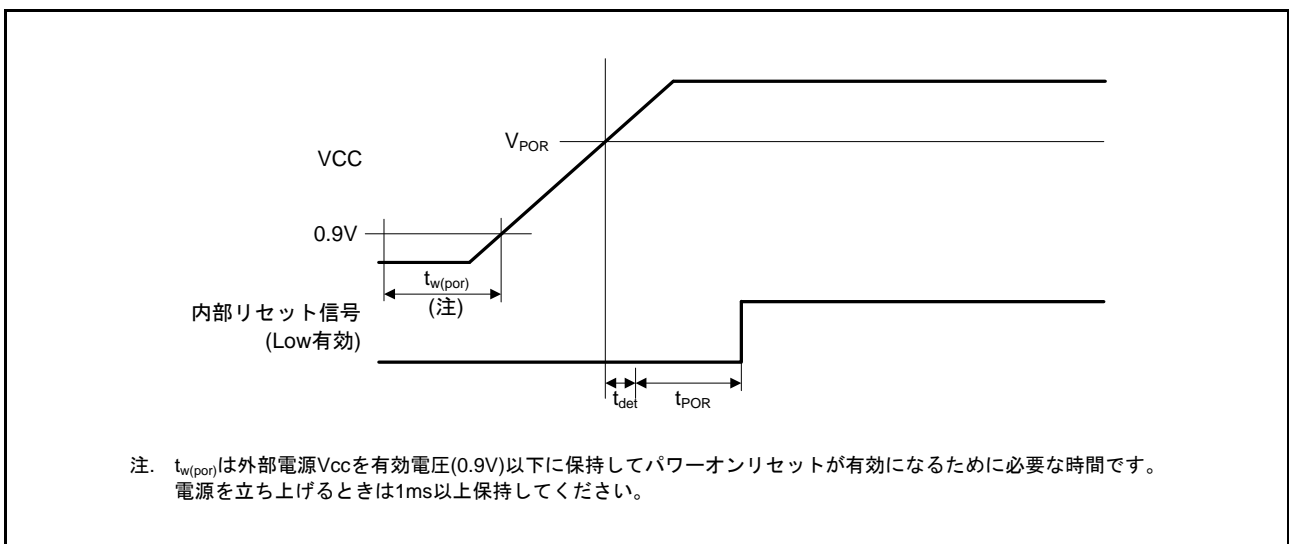


図 42.104 パワーオンリセットタイミング

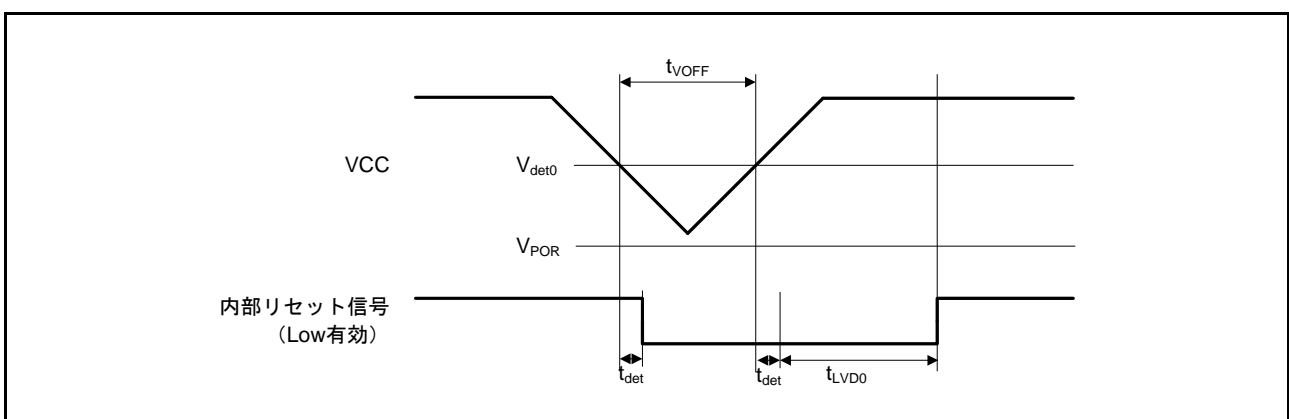


図 42.105 電圧検出回路タイミング (V_{det0})

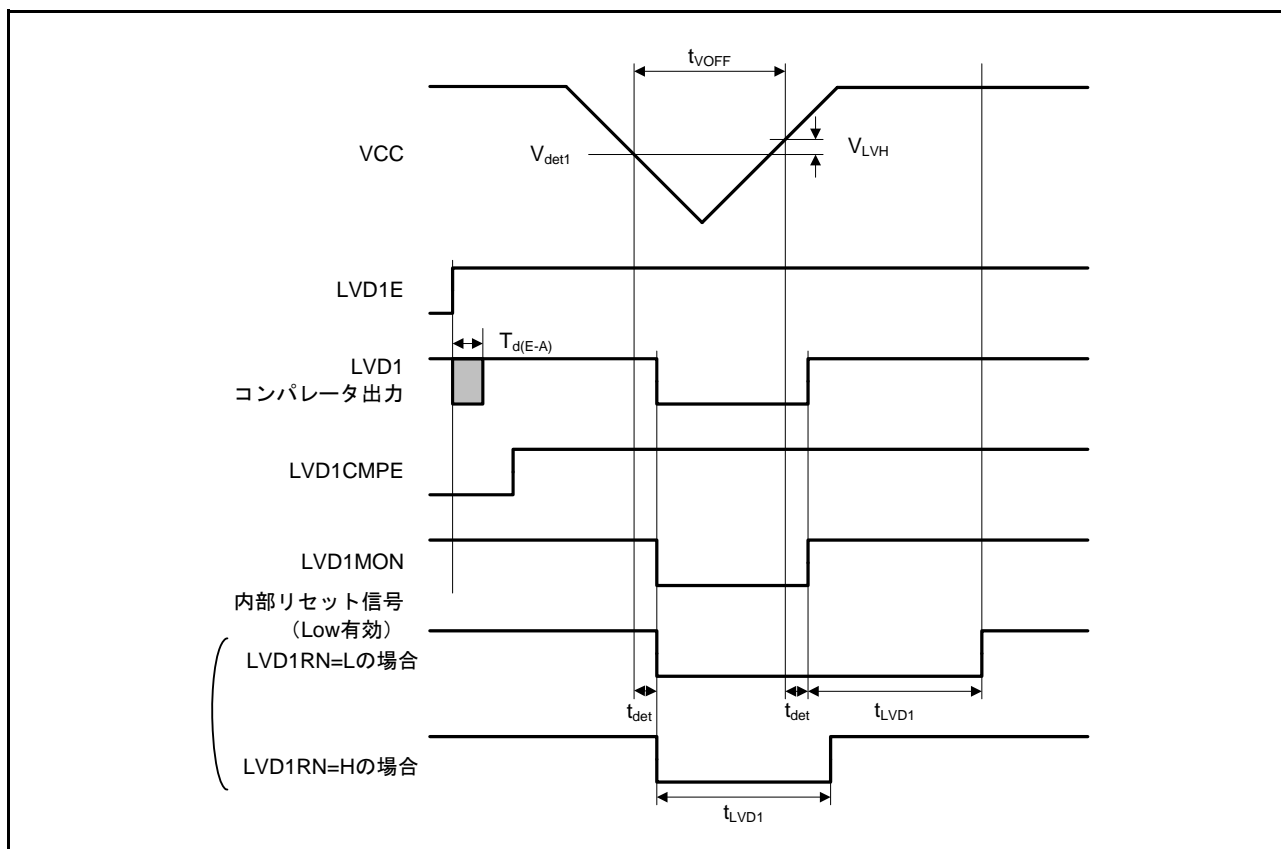


図 42.106 電圧検出回路タイミング (V_{det1})

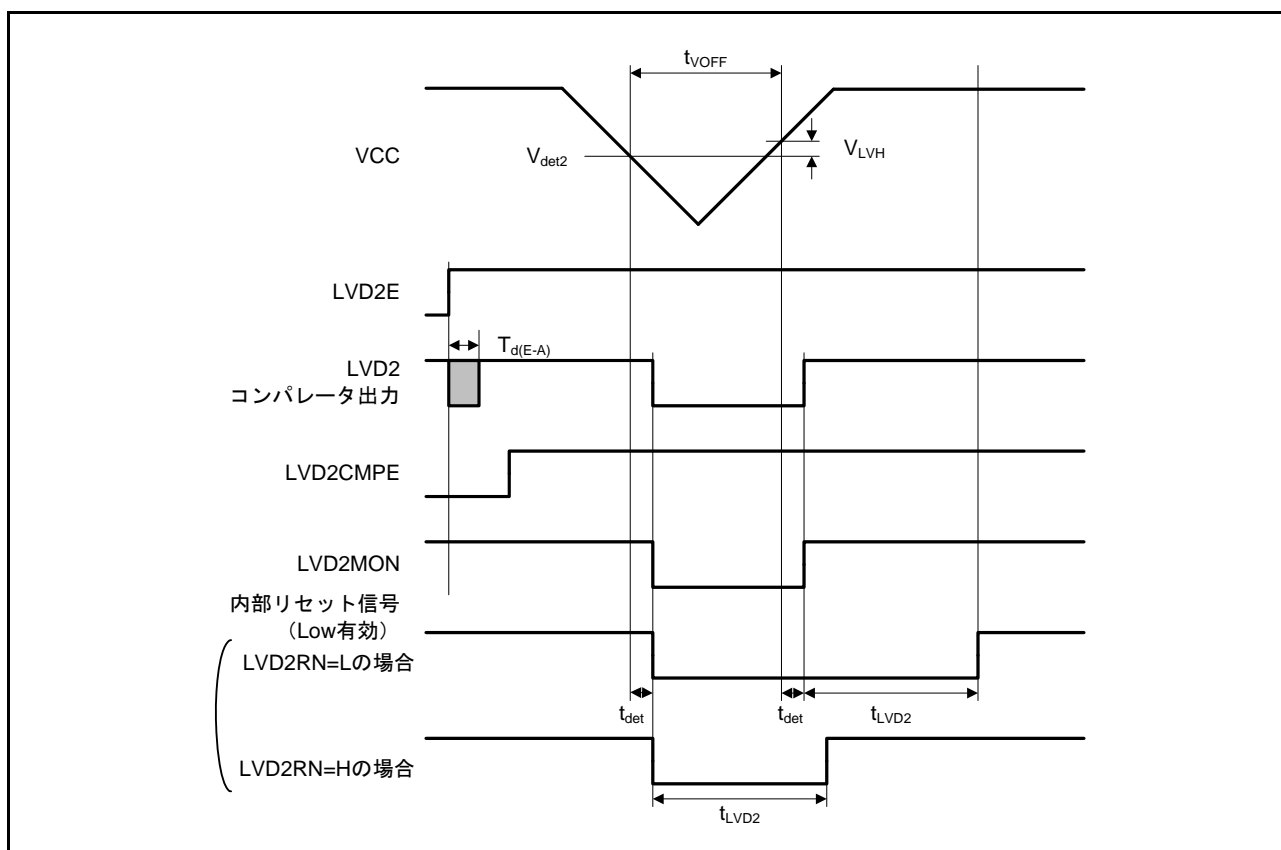


図 42.107 電圧検出回路タイミング (V_{det2})

42.9 発振停止検出タイミング

表 42.73 発振停止検出回路特性

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 42.108

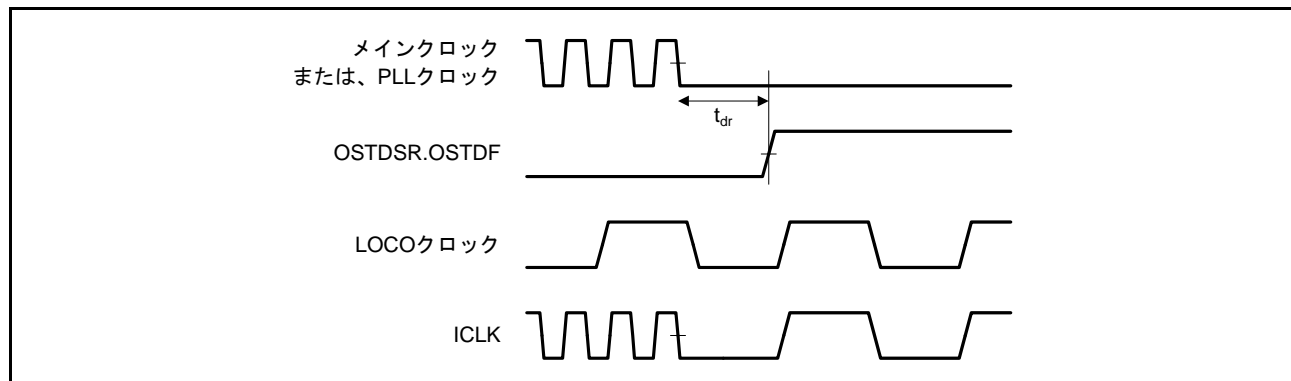


図 42.108 発振停止検出タイミング

42.10 ROM（コード格納用フラッシュメモリ）特性

[チップバージョンAの場合]

表42.74 ROM（コード格納用フラッシュメモリ）特性（1）

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル（注1）	N _{PEC}	1000	—	—	回	
データ保持時間	t _{DRP}	10（注2）	—	—	年	

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 1000）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. 信頼性試験から得られた結果です。

[チップバージョンB、Cの場合]

表42.75 ROM（コード格納用フラッシュメモリ）特性（2）

項目	記号	min	typ	max	単位	条件	
再プログラム/イレーズサイクル（注1）	N _{PEC}	10000	—	—	回		
データ保持時間	N _{PEC} 1000 回後	t _{DRP}	30（注2）	—	—	年	Ta = +85°C
	N _{PEC} 10000 回後		1（注2）	—	—		

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 1000）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. 信頼性試験から得られた結果です。

[チップバージョン A、C の場合]

表 42.76 ROM (コード格納用フラッシュメモリ) 特性 (3) 高速動作モード・中速動作モード 1A

条件 : VCC = AVCC0 = 2.7~5.5V、VREFH = VREFH0 = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V

プログラム/イレーズ時の動作温度範囲 : T_a = -40~+105°C

項目	記号	FCLK=4MHz			FCLK=32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間 N _{PEC} ≤ 100回のとき	2バイト	t _{P2}	—	0.52	4.8	—	0.19	2.5	ms
	8バイト	t _{P8}	—	0.52	4.9	—	0.19	2.5	
	128バイト	t _{P128}	—	1.50	10.7	—	0.57	4.8	
プログラム時間 N _{PEC} > 100回のとき	2バイト	t _{P2}	—	0.61	5.7	—	0.23	3.0	ms
	8バイト	t _{P8}	—	0.61	6.2	—	0.23	3.2	
	128バイト	t _{P128}	—	1.71	13.2	—	0.65	6.0	
イレーズ時間 N _{PEC} ≤ 100回のとき	2Kバイト	t _{E2K}	—	17.0	92.9	—	11.0	29	ms
イレーズ時間 N _{PEC} > 100回のとき	2Kバイト	t _{E2K}	—	20.8	195.8	—	13.5	60	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)	t _{SPD}	—	—	0.9	—	—	0.8	ms	
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{SPSD1}	—	—	220	—	—	120	μs	
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{SPSD2}	—	—	0.9	—	—	0.8	ms	
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)	t _{SED}	—	—	0.9	—	—	0.8	ms	
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)	t _{SESD1}	—	—	220	—	—	120	μs	
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)	t _{SESD2}	—	—	0.9	—	—	0.8	ms	
FCU リセット時間	t _{FCUR}	20μs 以上かつ FCLKx6 以上	—	—	20μs 以上かつ FCLKx6 以上	—	—	μs	

[チップバージョン A、C の場合]

表 42.77 ROM (コード格納用フラッシュメモリ) 特性 (4) 中速動作モード 1B

条件: VCC = AVCC0 = 1.62 ~ 3.6V、VREFH = VREFH0 = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V

プログラム/イレーズ時の動作温度範囲: $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	FCLK=4MHz			FCLK=32MHz (注1)			単位	
		min	typ	max	min	typ	max		
プログラム時間 $N_{PEC} \leq 100$ 回のとき	2バイト	t_{P2}	—	0.69	6.0	—	0.30	3.5	ms
	8バイト	t_{P8}	—	0.69	6.0	—	0.30	3.5	
	128バイト	t_{P128}	—	1.76	14.2	—	0.85	8.3	
プログラム時間 $N_{PEC} > 100$ 回のとき	2バイト	t_{P2}	—	0.81	7.1	—	0.35	4.2	ms
	8バイト	t_{P8}	—	0.81	7.6	—	0.35	4.5	
	128バイト	t_{P128}	—	1.99	17.5	—	0.96	10	
イレーズ時間 $N_{PEC} \leq 100$ 回のとき	2Kバイト	t_{E2K}	—	24.5	113.7	—	19.0	46	ms
イレーズ時間 $N_{PEC} > 100$ 回のとき	2Kバイト	t_{E2K}	—	29.8	225.8	—	23.2	90 (1k回 $\geq N_{PEC} > 100$ 回) 98 (10k回 $\geq N_{PEC} > 1k$ 回)	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)	t_{SPD}	—	—	1.7	—	—	—	1.6	ms
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)	t_{SPSD1}	—	—	220	—	—	—	120	μs
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)	t_{SPSD2}	—	—	1.7	—	—	—	1.6	ms
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)	t_{SED}	—	—	1.7	—	—	—	1.6	ms
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)	t_{SESD1}	—	—	220	—	—	—	120	μs
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)	t_{SESD2}	—	—	1.7	—	—	—	1.6	ms
FCU リセット時間	t_{FCUR}	20 μs 以上 かつ FCLK $\times 6$ 以上	—	—	—	20 μs 以上 かつ FCLK $\times 6$ 以上	—	—	μs

注1. 電圧範囲 = 1.62V ~ 1.8V 未満では、動作周波数は 20MHz max です。

[チップバージョン B の場合]

表 42.78 ROM (コード格納用フラッシュメモリ) 特性 (5) 中速動作モード 1A、2A

条件: VCC = AVCC0 = 2.7~5.5V、VREFH = VREFH0 = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V

プログラム/イレーズ時の動作温度範囲: $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	FCLK=4MHz			FCLK=32MHz			単位
			min	typ	max	min	typ	max	
プログラム時間 $N_{PEC} \leq 100$ 回のとき	2バイト	t_{P2}	—	0.19	4.3	—	0.12	2.0	ms
	8バイト	t_{P8}	—	0.19	4.4	—	0.12	2.0	
	128バイト	t_{P128}	—	0.67	10.7	—	0.41	4.8	
プログラム時間 $N_{PEC} > 100$ 回のとき	2バイト	t_{P2}	—	0.23	5.3	—	0.15	2.5	ms
	8バイト	t_{P8}	—	0.23	5.4	—	0.15	2.5	
	128バイト	t_{P128}	—	0.80	13.2	—	0.48	6.0	
イレーズ時間 $N_{PEC} \leq 100$ 回のとき	2Kバイト	t_{E2K}	—	13.0	92.9	—	10.5	29	ms
イレーズ時間 $N_{PEC} > 100$ 回のとき	2Kバイト	t_{E2K}	—	15.9	176.9	—	12.8	60	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)		t_{SPD}	—	—	0.9	—	—	0.8	ms
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)		t_{SPSD1}	—	—	220	—	—	120	μs
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)		t_{SPSD2}	—	—	0.9	—	—	0.8	ms
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)		t_{SED}	—	—	0.9	—	—	0.8	ms
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)		t_{SESD1}	—	—	220	—	—	120	μs
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)		t_{SESD2}	—	—	0.9	—	—	0.8	ms
FCU リセット時間		t_{FCUR}	20 μs 以上かつ FCLKx6 以上	—	—	20 μs 以上かつ FCLKx6 以上	—	—	μs

[チップバージョン B の場合]

表 42.79 ROM (コード格納用フラッシュメモリ) 特性 (6) 中速動作モード 1B、2B

条件 : VCC = AVCC0 = 1.62 ~ 3.6V、VREFH = VREFH0 = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V

プログラム/イレーズ時の動作温度範囲 : T_a = -40 ~ +105 °C

項目	記号	FCLK=4MHz			FCLK=32MHz (注1)			単位	
		min	typ	max	min	typ	max		
プログラム時間 N _{PEC} ≤ 100回のとき	2バイト	t _{P2}	—	0.25	5.0	—	0.21	2.8	ms
	8バイト	t _{P8}	—	0.25	5.3	—	0.21	3.0	
	128バイト	t _{P128}	—	0.92	14.0	—	0.65	8.3	
プログラム時間 N _{PEC} > 100回のとき	2バイト	t _{P2}	—	0.31	6.2	—	0.26	3.5	ms
	8バイト	t _{P8}	—	0.31	6.6	—	0.26	3.7	
	128バイト	t _{P128}	—	1.09	17.5	—	0.77	10.0	
イレーズ時間 N _{PEC} ≤ 100回のとき	2Kバイト	t _{E2K}	—	21.0	113.7	—	18.5	46	ms
イレーズ時間 N _{PEC} > 100回のとき	2Kバイト	t _{E2K}	—	25.6	220.6	—	22.5	90 (1k回 ≥ N _{PEC} > 100回) 98 (10k回 ≥ N _{PEC} > 1k回)	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)	t _{SPD}	—	—	1.7	—	—	1.6	ms	
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{SPSD1}	—	—	220	—	—	120	μs	
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{SPSD2}	—	—	1.7	—	—	1.6	ms	
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)	t _{SED}	—	—	1.7	—	—	1.6	ms	
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)	t _{ESD1}	—	—	220	—	—	120	μs	
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)	t _{ESD2}	—	—	1.7	—	—	1.6	ms	
FCU リセット時間	t _{FCUR}	20μs 以上 かつ FCLK×6 以上	—	—	20μs 以上 かつ FCLK×6 以上	—	—	μs	

注1. 電圧範囲 = 1.62V ~ 1.8V 未満では、動作周波数は 20MHz max です。

42.11 E2 データフラッシュ（データ格納用フラッシュメモリ）特性

[チップバージョンAの場合]

表42.80 E2データフラッシュ特性（1）

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル（注1）	N _{DPEC}	100000	—	—	回	
データ保持時間	t _{DRP}	10（注2）	—	—	年	

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 100000）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、128バイトのブロックについて、それぞれ異なる番地に8バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. 信頼性試験から得られた結果です。

[チップバージョンB、Cの場合]

表42.81 E2データフラッシュ特性（2）

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル（注1）	N _{DPEC}	100000	—	—	回	
データ保持時間	N _{DPEC} 100000 回後 t _{DRP}	30（注2）	—	—	年	T _a = +85°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 100000）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、128バイトのブロックについて、それぞれ異なる番地に8バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. 信頼性試験から得られた結果です。

[チップバージョン A、C の場合]

表 42.82 E2データフラッシュ特性 (3) 高速動作モード・中速動作モード1A

条件 : VCC = AVCC0 = 2.7~5.5V、VREFH = VREFH0 = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V

プログラム/イレーズ時の動作温度範囲 : $T_a = -40 \sim +105^{\circ}\text{C}$

項目		記号	FCLK=4MHz			FCLK=32MHz			単位
			min	typ	max	min	typ	max	
プログラム時間 $N_{\text{PEC}} \leq 100$ 回のとき	2バイト	t_{DP2}	—	0.40	4.4	—	0.16	2.0	ms
	8バイト	t_{DP8}	—	0.45	5.1	—	0.17	2.2	
プログラム時間 $N_{\text{PEC}} > 100$ 回のとき	2バイト	t_{DP2}	—	0.62	6.4	—	0.25	3.0	ms
	8バイト	t_{DP8}	—	0.69	7.5	—	0.26	3.2	
イレーズ時間 $N_{\text{PEC}} \leq 100$ 回のとき	128バイト	t_{DE128}	—	5.6	27.1	—	2.8	8	ms
イレーズ時間 $N_{\text{PEC}} > 100$ 回のとき	128バイト	t_{DE128}	—	6.8	45.1	—	3.4	12	ms
ブランクチェック時間	2バイト	t_{DBC2}	—	—	98	—	—	35	μs
	2Kバイト	t_{DBC2K}	—	—	16	—	—	2.5	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)		t_{DSPD}	—	—	0.9	—	—	0.8	ms
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)		t_{DSPSD1}	—	—	220	—	—	120	μs
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)		t_{DSPSD2}	—	—	0.9	—	—	0.8	ms
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)		t_{DSED}	—	—	0.9	—	—	0.8	ms
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)		t_{DSESD1}	—	—	220	—	—	120	μs
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)		t_{DSESD2}	—	—	0.9	—	—	0.8	ms

[チップバージョン A、C の場合]

表 42.83 E2データフラッシュ特性 (4) 中速動作モード 1B

条件 : VCC = AVCC0 = 1.62 ~ 3.6V、VREFH = VREFH0 = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V

プログラム/イレーズ時の動作温度範囲 : $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	FCLK=4MHz			FCLK=32MHz (注1)			単位	
		min	typ	max	min	typ	max		
プログラム時間 $N_{\text{PEC}} \leq 100$ 回のとき	2バイト	t_{DP2}	—	0.52	5.1	—	0.24	2.8	ms
	8バイト	t_{DP8}	—	0.57	6.0	—	0.26	3.2	
プログラム時間 $N_{\text{PEC}} > 100$ 回のとき	2バイト	t_{DP2}	—	0.77	7.6	—	0.36	4.2	ms
	8バイト	t_{DP8}	—	0.84	8.8	—	0.38	4.5	
イレーズ時間 $N_{\text{PEC}} \leq 100$ 回のとき	128バイト	t_{DE128}	—	6.8	32.5	—	4.4	12	ms
イレーズ時間 $N_{\text{PEC}} > 100$ 回のとき	128バイト	t_{DE128}	—	8.2	51.4	—	5.3	17	ms
ブランクチェック時間	2バイト	t_{DBC2}	—	—	110	—	—	40	μs
	2Kバイト	t_{DBC2K}	—	—	16.3	—	—	2.6	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)		t_{DSPD}	—	—	1.7	—	—	1.6	ms
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)		t_{DSPSD1}	—	—	220	—	—	120	μs
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)		t_{DSPSD2}	—	—	1.7	—	—	1.6	ms
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)		t_{DSED}	—	—	1.7	—	—	1.6	ms
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)		t_{DSESD1}	—	—	220	—	—	120	μs
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)		t_{DSESD2}	—	—	1.7	—	—	1.6	ms

注1. 電圧範囲 = 1.62V ~ 1.8V未満では、動作周波数は20MHz maxです。

[チップバージョンBの場合]

表42.84 E2データフラッシュ特性 (5) 高速動作モード・中速動作モード1A、2A

条件 : VCC = AVCC0 = 2.7~5.5V、VREFH = VREFH0 = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V

プログラム/イレーズ時の動作温度範囲 : T_a = -40~+105°C

項目		記号	FCLK=4MHz			FCLK=32MHz			単位
			min	typ	max	min	typ	max	
プログラム時間 N _{PEC} ≤ 100回のとき	2バイト	t _{DP2}	—	0.19	4.4	—	0.13	2.0	ms
	8バイト	t _{DP8}	—	0.24	5.1	—	0.13	2.2	
プログラム時間 N _{PEC} > 100回のとき	2バイト	t _{DP2}	—	0.25	6.4	—	0.17	3.0	ms
	8バイト	t _{DP8}	—	0.32	7.5	—	0.18	3.2	
イレーズ時間 N _{PEC} ≤ 100回のとき	128バイト	t _{DE128}	—	3.3	27.1	—	2.5	8	ms
イレーズ時間 N _{PEC} > 100回のとき	128バイト	t _{DE128}	—	4.0	45.1	—	3.0	12	ms
ブランクチェック時間	2バイト	t _{DBC2}	—	—	98	—	—	35	μs
	2Kバイト	t _{DBC2K}	—	—	16	—	—	2.5	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)		t _{DSPD}	—	—	0.9	—	—	0.8	ms
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)		t _{DSPSD1}	—	—	220	—	—	120	μs
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)		t _{DSPSD2}	—	—	0.9	—	—	0.8	ms
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)		t _{DSED}	—	—	0.9	—	—	0.8	ms
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)		t _{DSESD1}	—	—	220	—	—	120	μs
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)		t _{DSESD2}	—	—	0.9	—	—	0.8	ms

[チップバージョンBの場合]

表42.85 E2データフラッシュ特性 (6) 中速動作モード1B、2B

条件 : VCC = AVCC0 = 1.62 ~ 3.6V、VREFH = VREFH0 = AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V

プログラム/イレーズ時の動作温度範囲 : T_a = -40 ~ +105°C

項目	記号	FCLK=4MHz			FCLK=32MHz (注1)			単位	
		min	typ	max	min	typ	max		
プログラム時間 N _{PEC} ≤ 100回のとき	2バイト	t _{DP2}	—	0.28	5.1	—	0.20	2.8	ms
	8バイト	t _{DP8}	—	0.32	6.0	—	0.22	3.2	
プログラム時間 N _{PEC} > 100回のとき	2バイト	t _{DP2}	—	0.36	7.6	—	0.25	4.2	ms
	8バイト	t _{DP8}	—	0.40	8.8	—	0.28	4.5	
イレーズ時間 N _{PEC} ≤ 100回のとき	128バイト	t _{DE128}	—	4.8	32.4	—	4.1	12	ms
イレーズ時間 N _{PEC} > 100回のとき	128バイト	t _{DE128}	—	5.8	51.4	—	4.9	17	ms
ブランクチェック時間	2バイト	t _{DBC2}	—	—	110	—	—	40	μs
	2Kバイト	t _{DBC2K}	—	—	16.3	—	—	2.6	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)	t _{DSPD}	—	—	1.7	—	—	1.6	ms	
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{DSPSD1}	—	—	220	—	—	120	μs	
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{DSPSD2}	—	—	1.7	—	—	1.6	ms	
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)	t _{DSED}	—	—	1.7	—	—	1.6	ms	
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)	t _{DSESD1}	—	—	220	—	—	120	μs	
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)	t _{DSESD2}	—	—	1.7	—	—	1.6	ms	

注1. 電圧範囲 = 1.62V ~ 1.8V未満では、動作周波数は20MHz maxです。

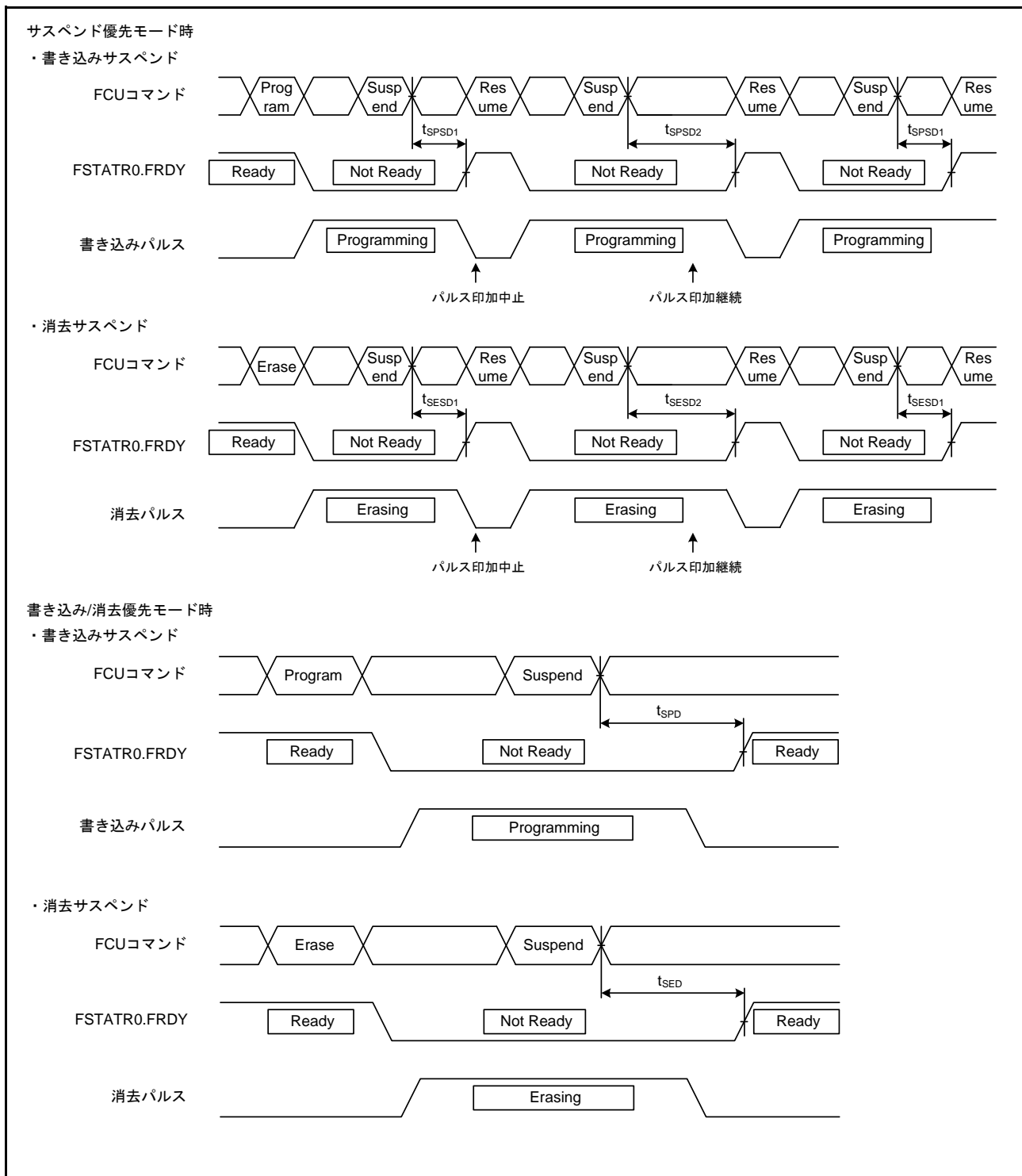


図 42.109 フラッシュメモリプログラム/イレーズサスペンドタイミング

付録1. 各処理状態におけるポートの状態

表 1.1 各処理状態におけるポートの状態 (1 / 3)

ポート名 端子名	レジスタ設定による 動作モード		リセット	ソフトウェア スタンバイモード		ディープソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
				OPE = 1	OPE = 0		IOKEEP = 1 (注1)	IOKEEP = 0
P00～P02	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z
P03 (DA0)	全モード	DA0 出力時 (DAOE0 = 1)	Hi-Z	DA 出力保持		Hi-Z	Hi-Z	Hi-Z
		上記以外 (DAOE0 = 0)	Hi-Z	Keep-O		Keep	Keep	
P05 (DA1)	全モード	DA1 出力時 (DAOE1 = 1)	Hi-Z	DA 出力保持		Hi-Z	Hi-Z	Hi-Z
		上記以外 (DAOE1 = 0)	Hi-Z	Keep-O		Keep	Keep	
P07	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z
P12～P15 (IRQ2～IRQ5)	全モード		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P16、P17 (IRQ6/SCL-DS、 IRQ7/SDA-DS)	全モード		Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
P20～P23	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z
P24～P27 (CS0#、CS1#、 CS2#、CS3#)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 モード (EXBE = 1)			[CS 出力時] H [上記以外] Keep-O	[CS 出力時] Hi-Z [上記以外] Keep-O			
P30～P33 (IRQ0-DS、IRQ1- DS、IRQ2-DS、 IRQ3-DS)	全モード		Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
P34 (IRQ4)	全モード		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P35 (NMI)	全モード		Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
P36、P37	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z
P40～P47	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z
P50 (WR0#/WR#)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 モード (EXBE = 1)			[WR0#/WR# 出力時] H	[WR0#/WR# 出力時] Hi-Z			
P51 (WR1#/BC1#)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 モード (EXBE = 1)			[WR1#/BC1# 出力時] H [上記以外] Keep-O	[WR1#/BC1# 出力時] Hi-Z [上記以外] Keep-O			
P52 (RD#)	シングルチップモード (EXBE = 0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 モード (EXBE = 1)			[RD# 出力時] H	[RD# 出力時] Hi-Z			
P53 (BCLK)	全モード		Hi-Z	[クロック出力時] H [上記以外] Keep-O		Keep	Keep	Hi-Z

表 1.1 各処理状態におけるポートの状態 (2 / 3)

ポート名 端子名	レジスタ設定による 動作モード	リセット	ソフトウェア スタンバイモード		ディープソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE = 1	OPE = 0		IOKEEP = 1 (注1)	IOKEEP = 0
P54/ALE	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 モード (EXBE = 1)		[ALE 出力時] L [上記以外] Keep-O	[ALE 出力時] Hi-Z [上記以外] Keep-O			
P55、P56	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
P60～P67	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
P70～P77	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
P80～P83、P86、 P87	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
P90～P93	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
PA0 (A0/BC0#)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [BC0# 出力時] H [上記以外] Keep-O	[アドレス出力時] Hi-Z [BC0# 出力時] Hi-Z [上記以外] Keep-O			
PA1、PA2 (A1、A2)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 モード (EXBE = 1)		[アドレス出力時] アドレス出力 保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
PA3、PA4 (IRQ6-DS/A3、 IRQ5-DS/A4)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 モード (EXBE = 1)		[アドレス出力時] アドレス出力 保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
PA5～PA7 (A5～A7)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 モード (EXBE = 1)		[アドレス出力時] アドレス出力 保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
PB0 (A8)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 モード (EXBE = 1)		[アドレス出力時] アドレス出力 保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
PB1 (IRQ4-DS/A9)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 モード (EXBE = 1)		[アドレス出力時] アドレス出力 保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
PB2～PB7 (A10～A15)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 モード (EXBE = 1)		[アドレス出力時] アドレス出力 保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			

表 1.1 各処理状態におけるポートの状態 (3 / 3)

ポート名 端子名	レジスタ設定による 動作モード	リセット	ソフトウェア スタンバイモード		ディープソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE = 1	OPE = 0		IOKEEP = 1 (注1)	IOKEEP = 0
PC0～PC3 (A16～19)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 モード (EXBE = 1)		[アドレス出力時] アドレス出力 保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
PC4～PC7 (A20/CS3#～A23/ CS0#)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 モード (EXBE = 1)		[アドレス出力時] アドレス出力 保持 [CS 出力時] H [上記以外] Keep-O	[アドレス出力時] Hi-Z [CS 出力時] Hi-Z [上記以外] Keep-O			
PD0～PD7 (D0/IRQ0～ D7/IRQ7)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 モード (EXBE = 1)		Hi-Z				
PE0, PE1 (D8, D9)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効 拡張モード (EXBE = 1)		Keep-O				
			バス幅 8 ビット	Hi-Z			
PE2 (D10/IRQ7-DS)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵 ROM 有効 / 無効 拡張モード (EXBE = 1)		Keep-O (注2)				
			バス幅 16 ビット	Hi-Z			
PE3, PE4 (D11, D12)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効 拡張モード (EXBE = 1)		Keep-O				
			バス幅 16 ビット	Hi-Z			
PE5～PE7 (D13/IRQ5～ D15/IRQ7)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効 拡張モード (EXBE = 1)		Keep-O (注2)				
			バス幅 16 ビット	Hi-Z			
PF5 (IRQ4)	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
PH0	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
PH1, PH2 (IRQ0, IRQ1)	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
PH3	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
PJ1, PJ3, PJ5	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
PK2～PK5	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
PL0, PL1	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z

H : High レベル

L : Low レベル

Keep-O : 出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス

Keep : ソフトウェアスタンバイモードでの端子状態を保持 (プルアップ、オープンドレイン設定も保持されます)

Hi-Z : ハイインピーダンス

注1. DPSBYCR.IOKEEP ビットを“0”にするまで、I/O ポートの状態を保持します。

注2. 外部割り込み端子として使用時は、ソフトウェアスタンバイモード解除要求として設定されている場合、入力できます。

注3. ディープソフトウェアスタンバイモード解除要求として設定されている場合、入力できます。

付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

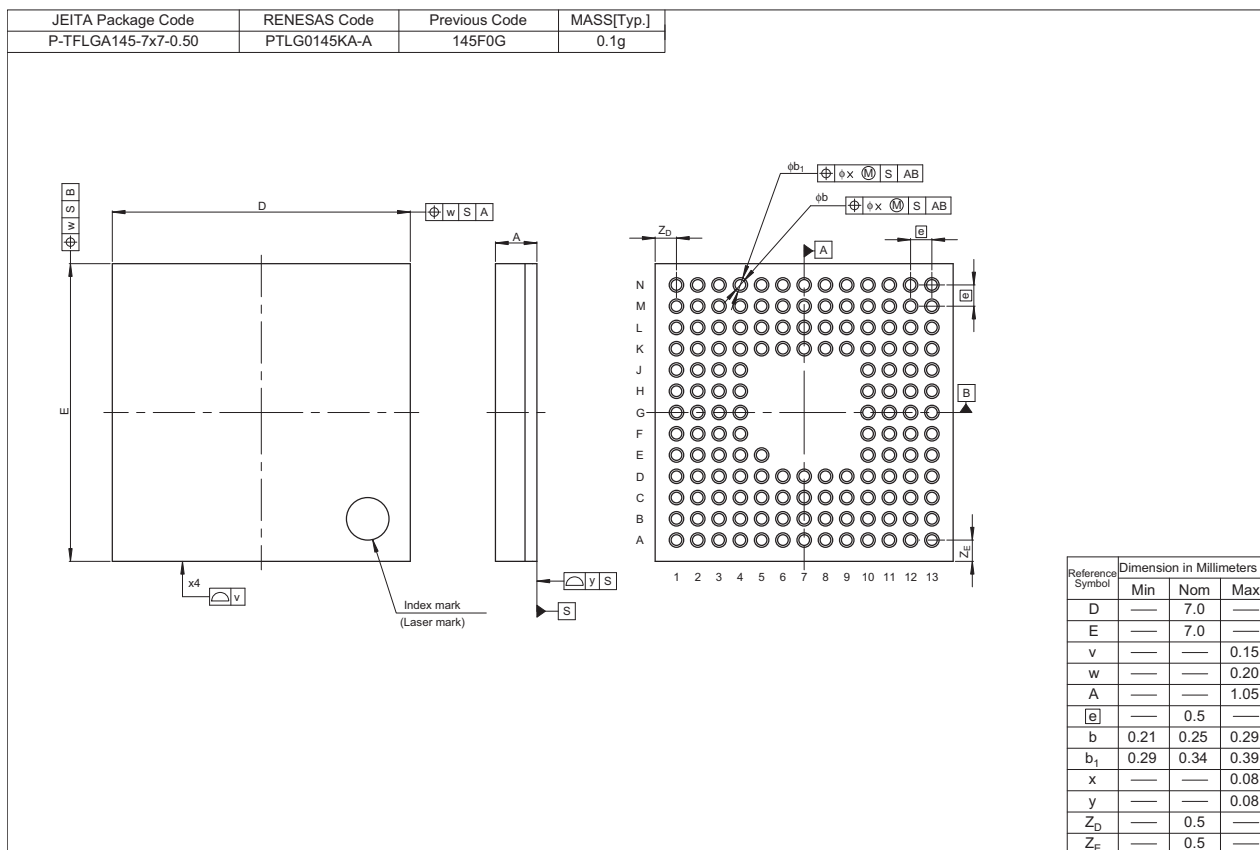


図 A. 145 ピン TFLGA (PTLG0145KA-A)

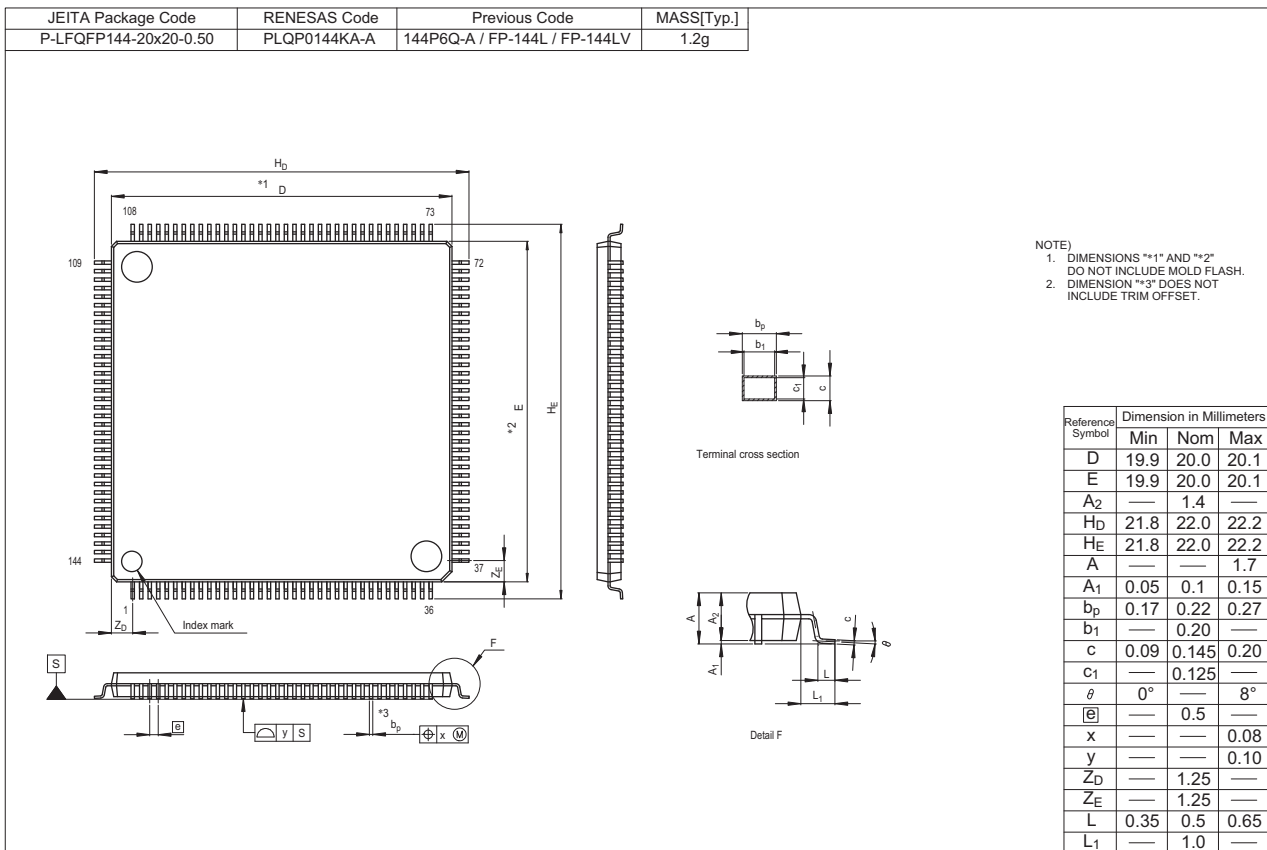


図 B. 144ピン LQFP (PLQP0144KA-A)

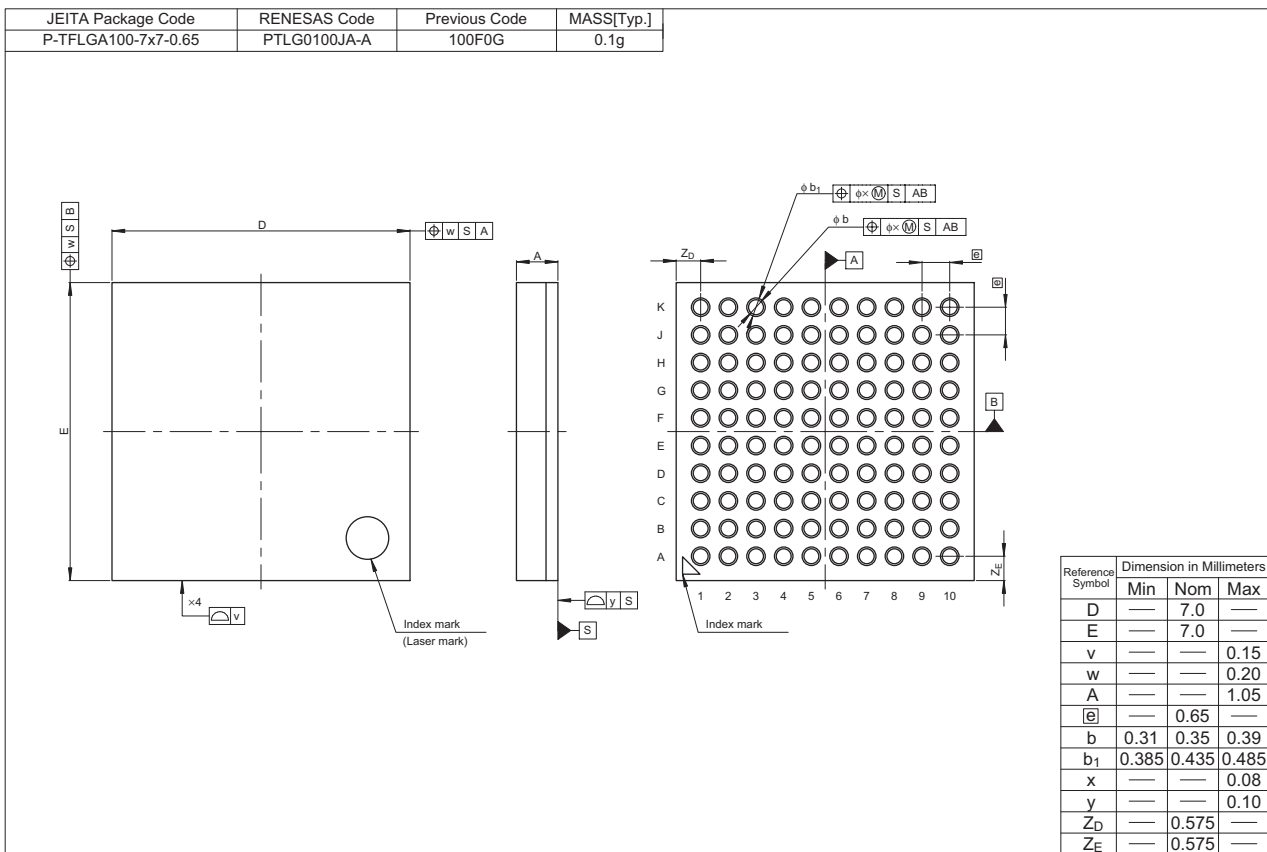


図 C. 100ピン TFLGA (PTLG0100JA-A)

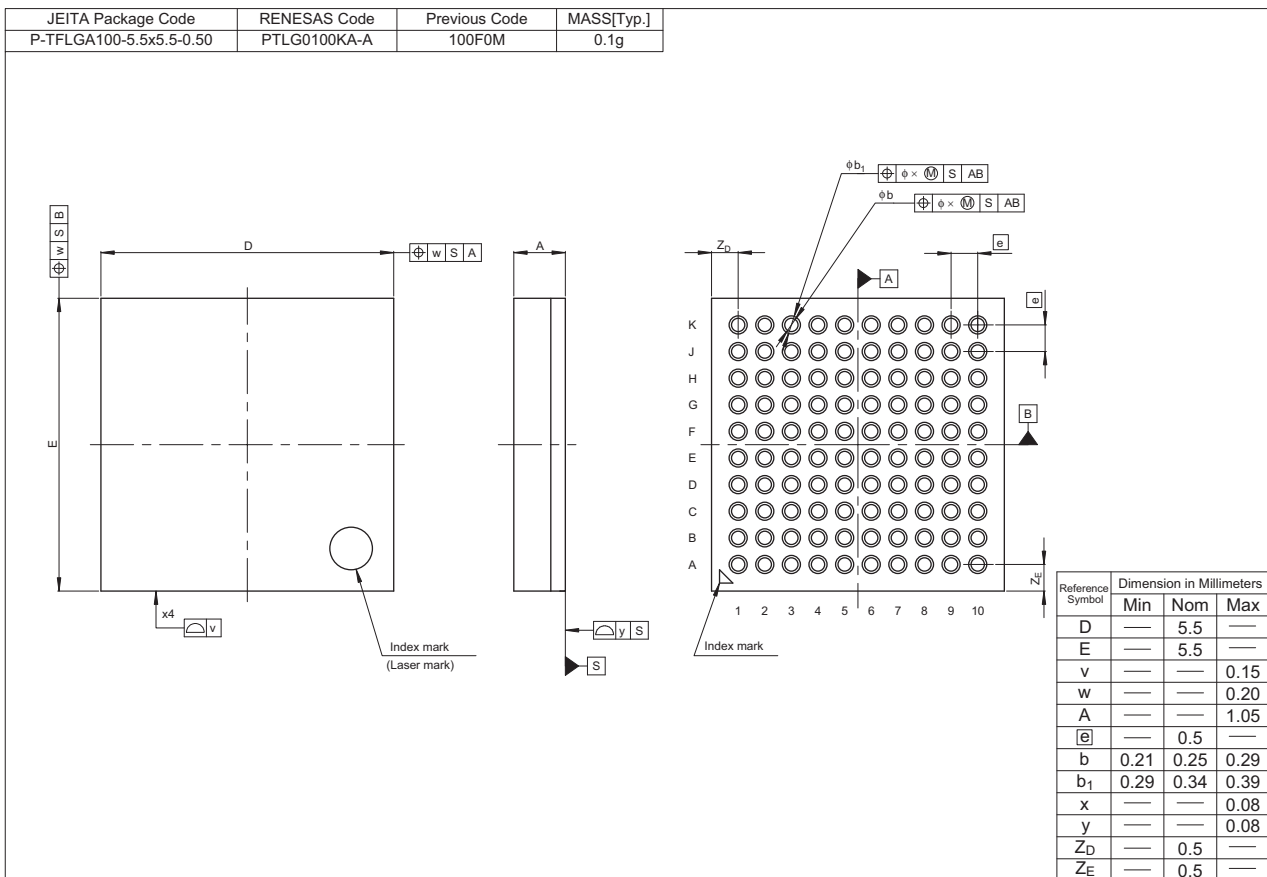
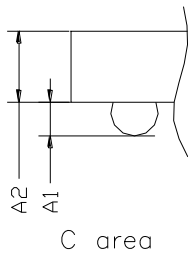
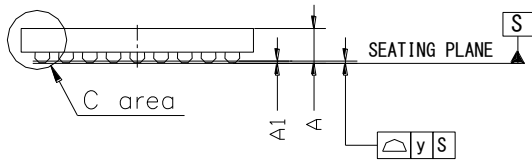
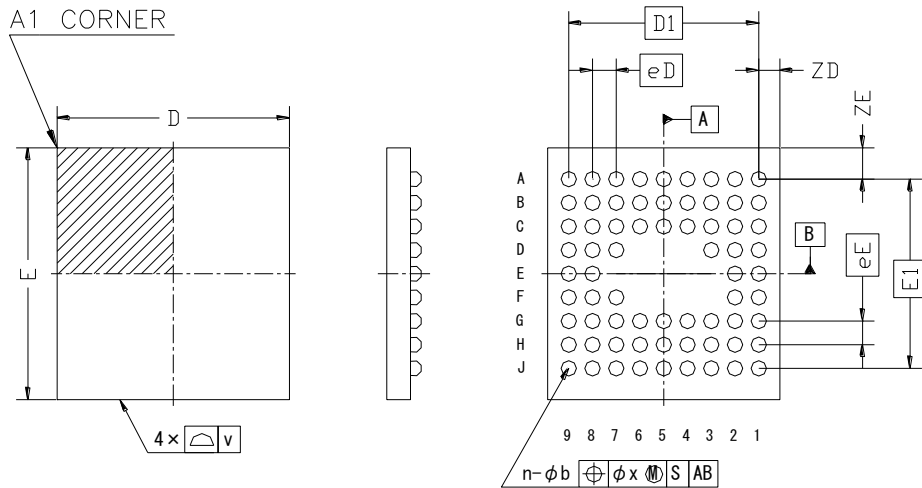


図 D. 100ピン TFLGA (PTLG0100KA-A)

JEITA Package code	RENESAS Code	Previous Code	MASS(TYP.)[g]
S-WFBGA69-3.91x4.26-0.40	SWBG0069LA-A	—	0.02



Dimensions in millimeters

Term	Reference Symbol	Specification		
		Min	Nom	Max
Package length	D	3.86	3.91	3.96
Package width	E	4.21	4.26	4.31
Overhang dimension in length	ZD	0.305	0.355	0.405
Overhang dimension in width	ZE	0.48	0.53	0.58
Profile height	A	—	—	0.70
Stand-off height	A1	0.15	0.19	0.23
Wafer thickness	A2	0.36	0.40	0.44
	(A3)	—	—	—
Terminal diameter	b	0.22	0.27	0.32
Terminal pitch in length	eD	0.4 (BSC)		
Terminal pitch in width	eE	0.4 (BSC)		
Center terminal position in D-direction	SD	— (BSC)		
Center terminal position in E-direction	SE	— (BSC)		
Edge ball center to center in D-direction	D1	3.2 (BSC)		
Edge ball center to center in E-direction	E1	3.2 (BSC)		
Number of terminals	n	69		
Tolerance of package lateral profile	v	0.05		
Positional tolerance of terminals	x	0.05		
Coplanarity	y	0.08		

注記:

1. 端子ピッチは端子中央部の位置で規定する。
2. データムA及びBは、ボールグリッドセンタを称す。

Note:

1. Ball pitch dimension is specified with the center of balls.
2. Datum A and B are axes defined by the ball grid array, not by the PKG outline.

© 2013 Renesas Electronics Corporation. All rights reserved.

図 E. 69ピンWLBGA (SWBG0069LA-A)

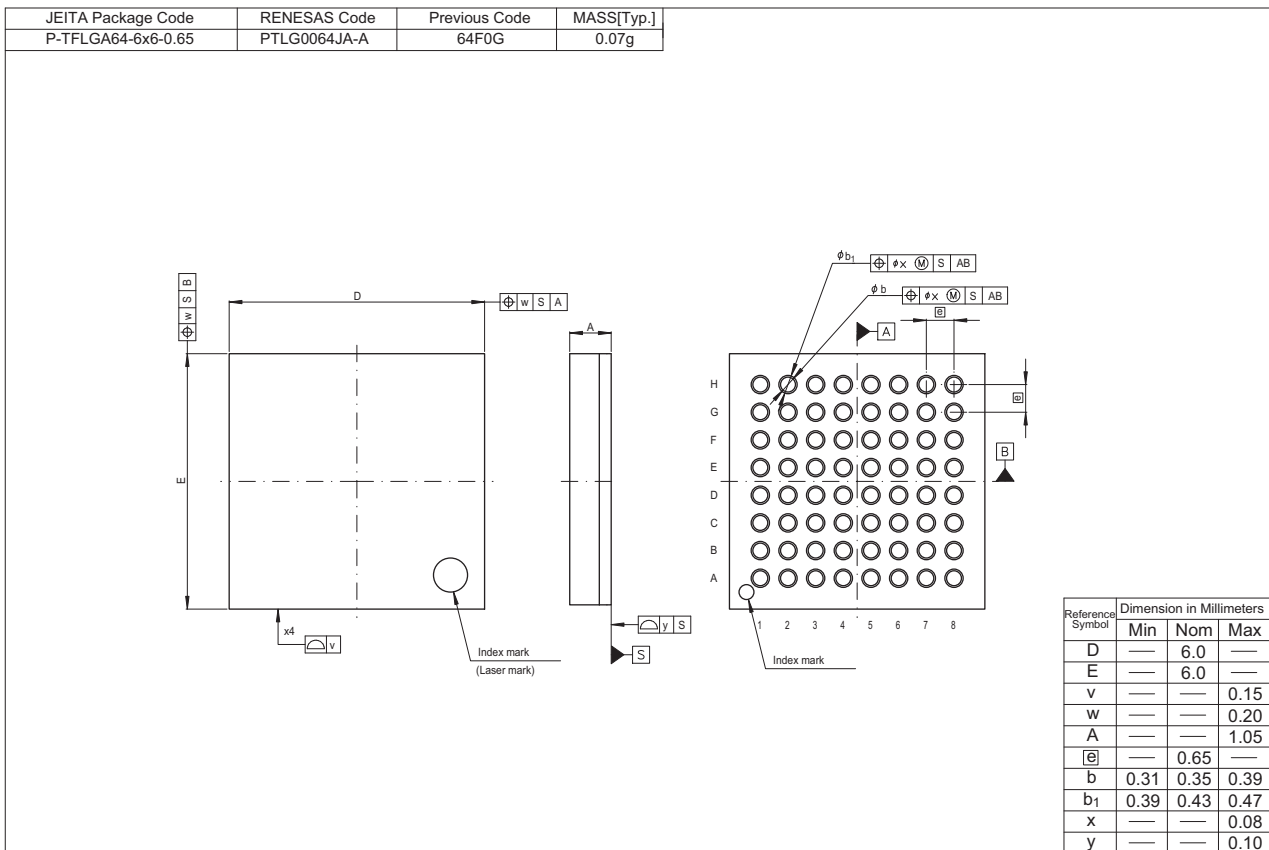


図 F. 64ピンTFLGA (PTLG0064JA-A)

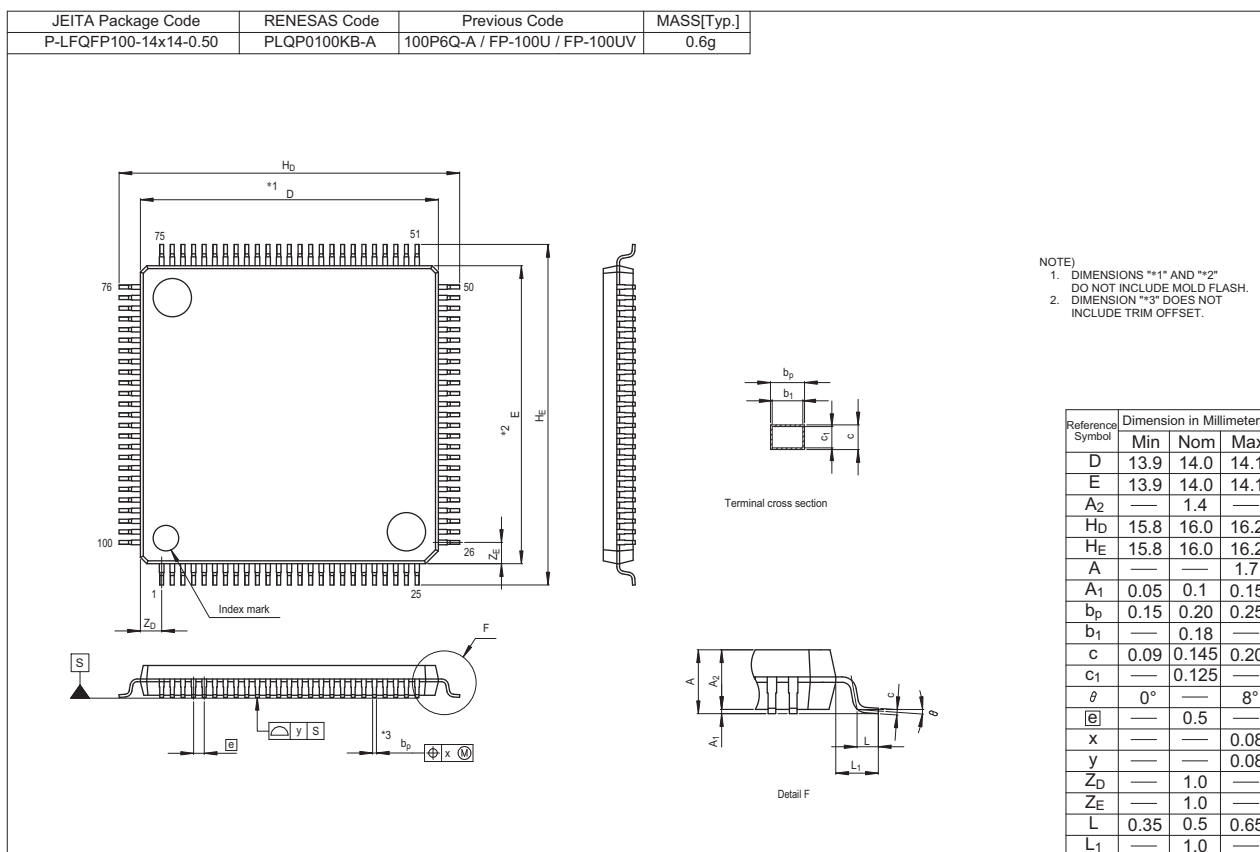


図 G. 100ピン LQFP (PLQP0100KB-A)

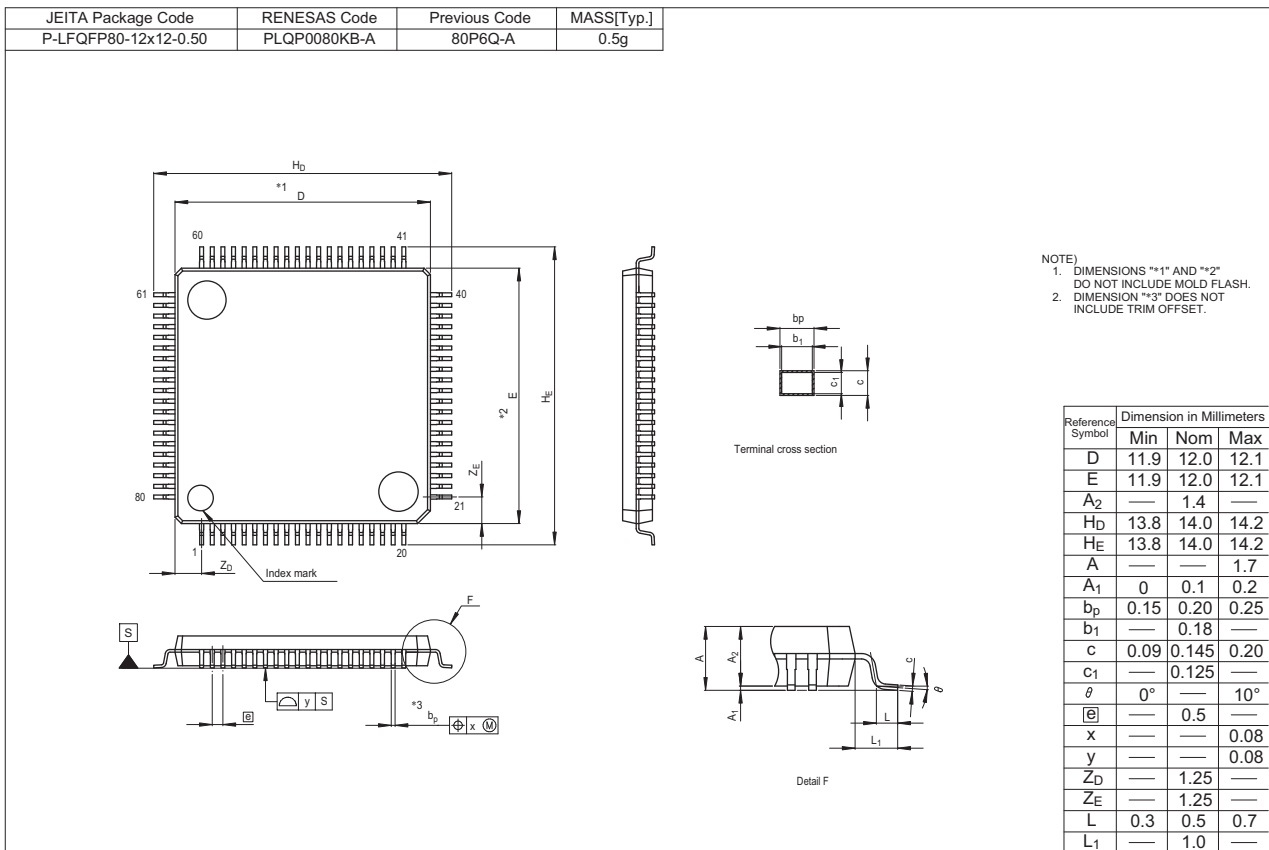


図 H. 80ピンLQFP (PLQP0080KB-A)

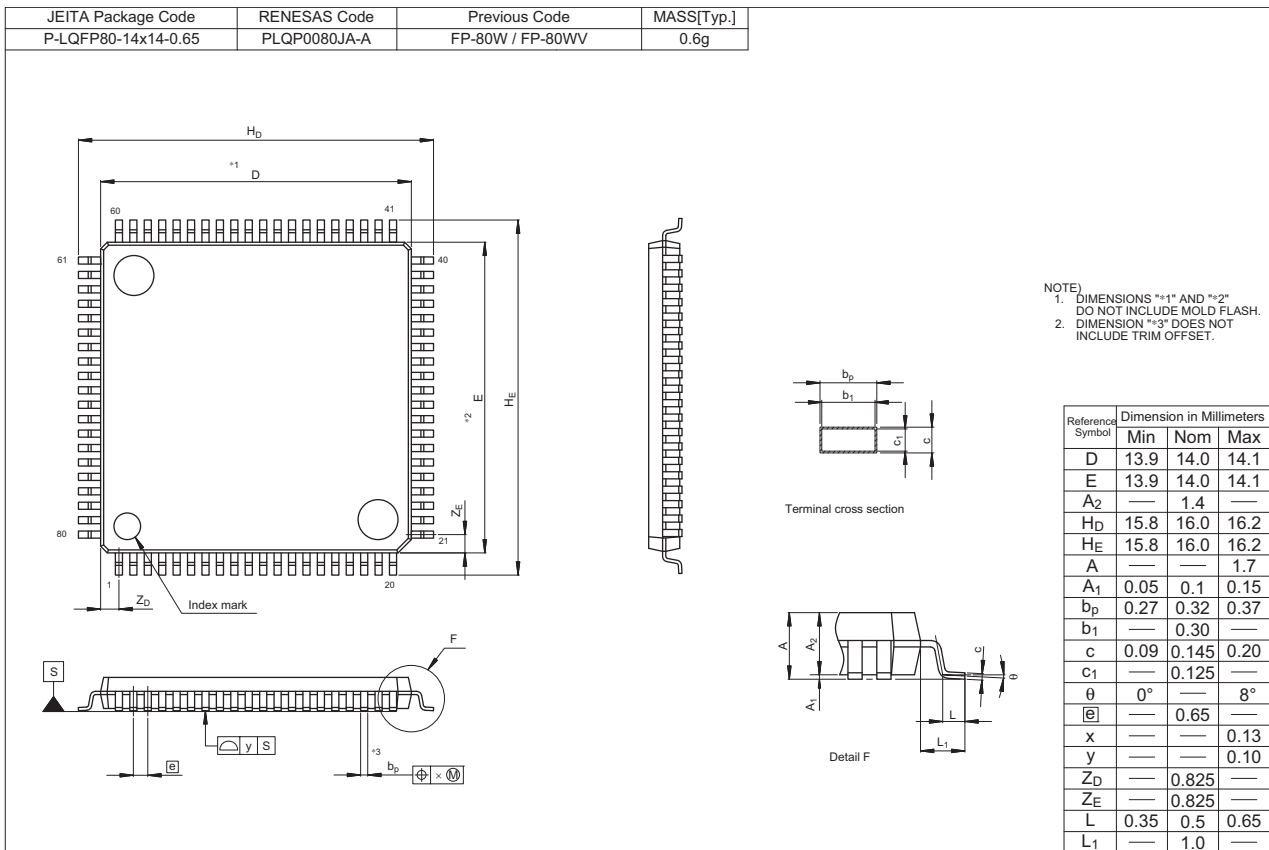


図 I. 80ピン LQFP (PLQP0080JA-A)

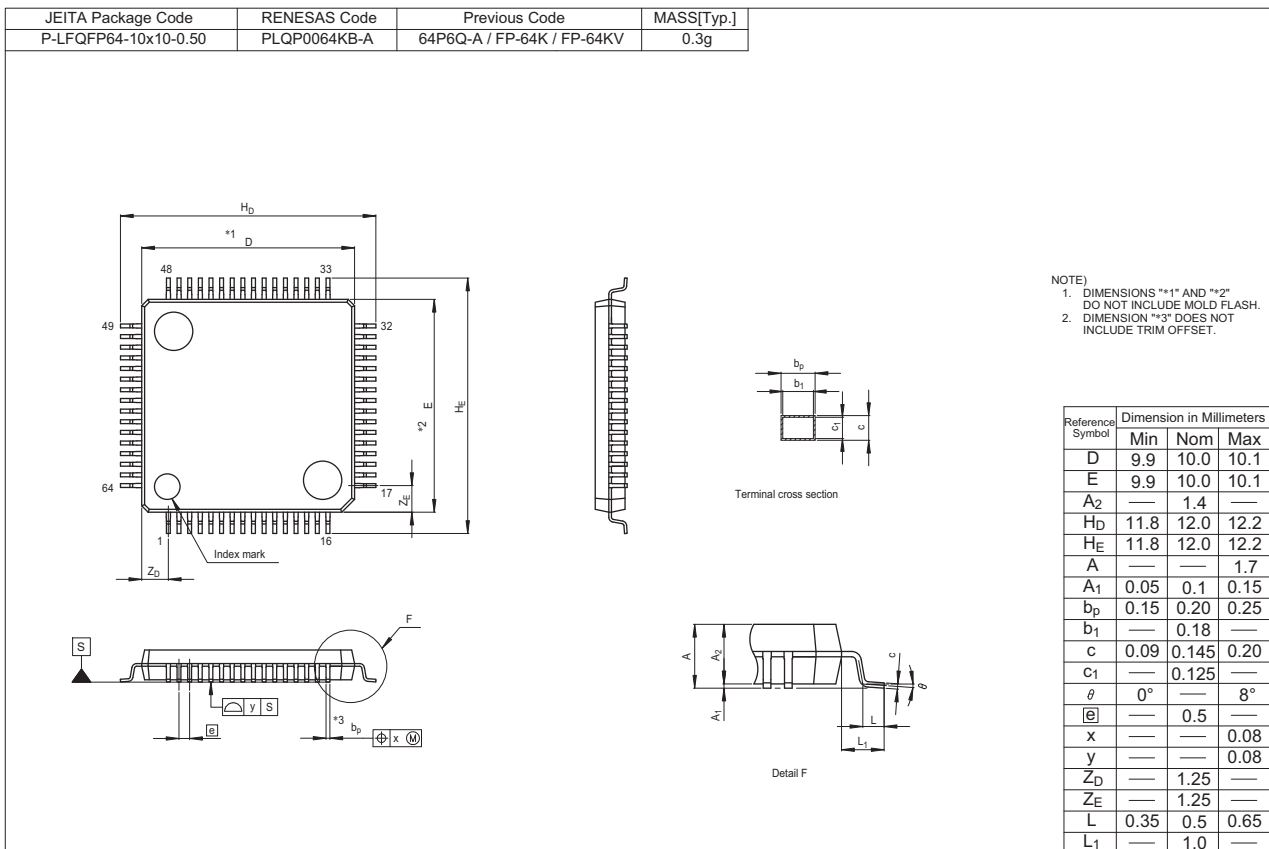


図 J. 64ピンLQFP (PLQP0064KB-A)

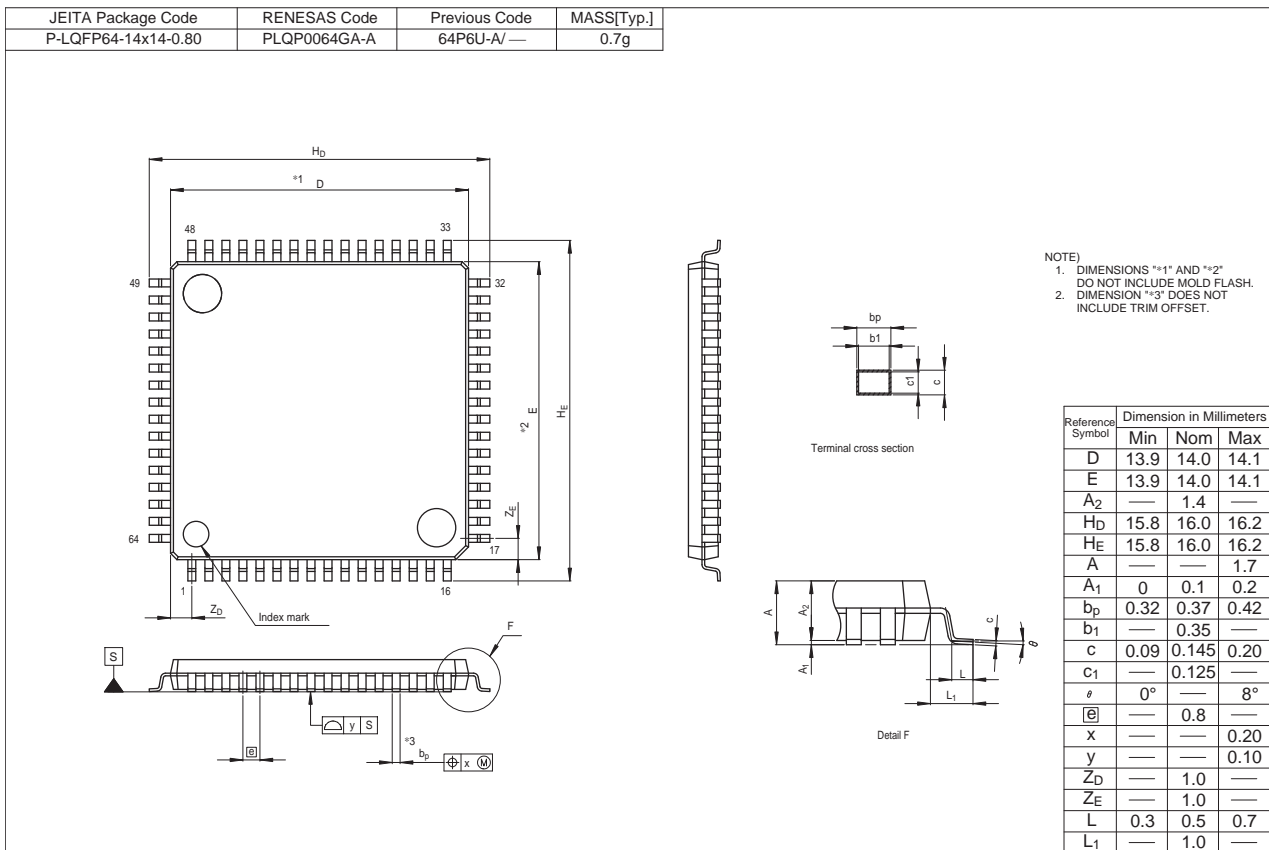


図 K. 64ピンLQFP (PLQP0064GA-A)

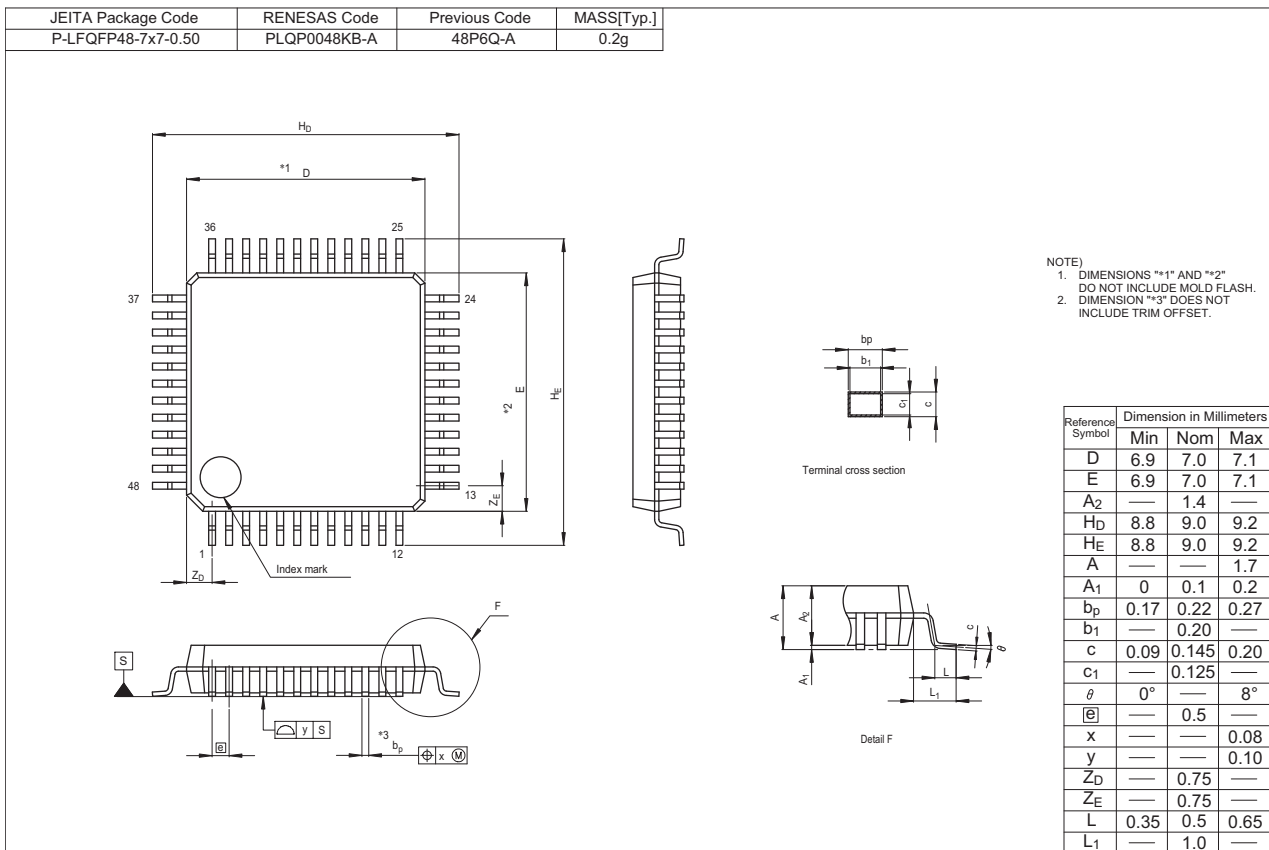


図 L. 48ピンLQFP (PLQP0048KB-A)

改訂記録	RX210 グループ ユーザーズマニュアル ハードウェア編
------	-------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2011.02.25	-	初版発行
0.90	2011.07.07	1. 概要	
		42	表 1.1 仕様概要 電源電圧/動作周波数の項目 変更
		55、59、62、64	表 1.5 ~ 表 1.8 機能別端子一覧の端子名 (LVCMP2 → CMPA2) 変更
		2. CPU	
		88	表 2.14 複数マイクロオペレーションに変換される命令の算術/論理演算命令 (乗算 32bit×32bit → 64bit) (メモリソースオペランド) の項目 追加
		3. 動作モード	
		100	3.3.5 ユーザーブートモード 説明変更
		5. I/O レジスタ	
		108	表 5.1 I/Oレジスタアドレス一覧 SOSWTCR、LOCOWTCR2、HOCOWTCR2 レジスタ 追加
		114、115	表 5.1 I/Oレジスタアドレス一覧 割り込み要因プライオリティレジスタのアクセスステート数 変更
		6. リセット	
		131	表 6.2 リセット種別ごとの初期化対策 変更
		138	6.3.3 電圧監視1リセット、電圧監視2リセット 説明変更
		139	図 6.2 電圧監視1リセット、電圧監視2リセット動作例 追加
		140	6.3.5 独立ウォッチドッグタイマリセット 説明変更
		140	6.3.6 ウォッチドッグタイマリセット 説明変更
		7. 初期設定メモリ	
		149	7.2.3 エンディアン選択レジスタ B (MDEB)、エンディアン選択レジスタ S (MDES) 説明変更
		150	7.3 UBコード 説明変更
		8. 電圧検出回路 (LVD)	
		153	図 8.2 電圧監視1 割り込み/リセット発生回路のブロック図 変更
		153	図 8.3 電圧監視2 割り込み/リセット発生回路のブロック図 変更
		154	8.2.1 電圧監視回路/コンパレータ A 制御レジスタ (LVCMP2CR) アドレス修正と説明変更
		156	8.2.2 電圧検出レベル選択レジスタ (LVDLVLR) 説明変更
		157	8.2.3 電圧監視1 回路/コンパレータ A1 制御レジスタ 0 (LVD1CR0) 説明変更
		159	8.2.4 電圧監視2 回路/コンパレータ A2 制御レジスタ 0 (LVD2CR0) 説明変更
		161	8.2.5 電圧監視1 回路/コンパレータ A1 制御レジスタ 1 (LVD1CR1) 説明変更
		162	8.2.6 電圧監視1 回路/コンパレータ A1 ステータスレジスタ (LVD1SR) 説明変更
		163	8.2.7 電圧監視2 回路/コンパレータ A2 制御レジスタ 1 (LVD2CR1) 説明変更
		164	8.2.8 電圧監視2 回路/コンパレータ A2 ステータスレジスタ (LVD2SR) 説明変更
		165	8.3 VCC 入力電圧のモニタ 説明変更
		167	表 8.4 電圧監視1 割り込み、電圧監視1 リセット関連ビットの設定手順 変更
		168	図 8.5 電圧監視1 割り込み動作例 変更
		169	表 8.5 電圧監視2 割り込み、電圧監視2 リセット関連ビットの設定手順 変更
		170	図 8.6 電圧監視2 割り込み動作例 変更
		9. クロック発生回路	
		172	表 9.1 クロック発生回路の仕様 変更
		175	9.2.1 システムクロックコントロールレジスタ (SCKCR) 説明変更
		180	9.2.4 PLL コントロールレジスタ 2 (PLL2CR) 説明変更
		182	9.2.6 メインクロック発振器コントロールレジスタ (MOSCCR) 説明変更
		184	9.2.7 サブクロック発振器コントロールレジスタ (SOSCCR) 説明変更
		185	9.2.8 低速クロック発振器コントロールレジスタ (LOCOCR) 説明変更
		186	9.2.9 IWDTC 専用低速クロック発振器コントロールレジスタ (ILOCOCR) 説明変更
		187	9.2.10 高速クロック発振器コントロールレジスタ (HOCOCR) 説明変更
		189	9.2.12 発振停止検出コントロールレジスタ (OSTDCR) 説明変更
		191	9.2.14 メインクロック発振器強制発振コントロールレジスタ (MOFCR) 説明変更
		192	9.2.15 高速オンチップオシレータ電源コントロールレジスタ (HOCOPCR) 説明変更
		194	9.3.3 外部クロック入力に関する注意事項 追加
		196	9.4.2 サブクロックを使用しない場合の端子処理 説明変更
		198	図 9.8 発振停止検出からの復帰のフローチャート例 追加
		198	9.5.2 発振停止検出割り込み 説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2011.07.07	201	9.9 外部クロックを使用する場合の端子設定 説明変更
		202	9.10.1 クロック発生回路に関する注意事項 説明変更
		203	9.10.5 サブクロックに関する注意事項 説明変更
		10. クロック周波数精度測定回路 (CAC)	
		206	10.2.1 CACコントロールレジスタ0 (CACR0) 説明変更
		11. 消費電力低減機能	
		全体	モード名の変更 中速動作モード1、2 → 中速動作モードA、B SOSCWTCR、LOCOWTCR2、HOCOWTCR2レジスタの追加
		221	表 11.3 消費電力低減機能関連のレジスタ一覧 変更
		223	11.2.1 スタンバイコントロールレジスタ (SBYCR) 説明変更
		229~231	11.2.5 通常動作消費電力コントロールレジスタ (NMPCCR) 説明変更
		232	11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR) 説明変更
		234	11.2.7 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) 説明変更
		235	11.2.8 サブクロック発振器ウェイトコントロールレジスタ (SOSCWTCR) 追加
		236	11.2.9 PLL ウェイトコントロールレジスタ (PLLWTCR) 説明変更
		237	11.2.10 LOCO ウェイトコントロールレジスタ2 (LOCOWTCR2) 追加
		238	11.2.11 HOCO ウェイトコントロールレジスタ2 (HOCOWTCR2) 追加
		239	11.2.12 ディープスタンバイコントロールレジスタ (DPSBYCR) 説明変更
		242	11.2.14 ディープスタンバイインタラプティネーブルレジスタ2 (DPSIER2) 説明変更
		248	11.2.19 フラッシュ HOCOソフトウェアスタンバイコントロールレジスタ (FHSSBYCR) 説明変更
		252	11.6.1.1 スリープモードへの移行 説明変更
		253	11.6.1.3 スリープモード復帰クロックソース切り替え機能 説明変更
		254	11.6.2.1 全モジュールクロックストップモードへの移行 説明変更
		255	11.6.2.2 全モジュールクロックストップモードの解除 説明変更
		256	11.6.3.1 ソフトウェアスタンバイモードへの移行 説明変更
		257	11.6.3.2 ソフトウェアスタンバイモードの解除 説明変更
		260	11.6.4.2 ディープソフトウェアスタンバイモードの解除 説明変更
		263	図 11.4 ディープソフトウェアスタンバイモードのフローチャート例 変更
		264	11.7.7 スリープモード中のDMACA、DTCによるレジスタの書き換えについて 追加
		12. レジスタライトプロテクション機能	
		265	表 12.1 PRCR レジスタと保護されるレジスタの対応 変更
		14. 割り込みコントローラ (ICUA)	
		全体	用語の変更 電源電圧低下検出1 → 電圧監視1割り込み、電源電圧低下検出2 → 電圧監視2割り込み 電源電圧低下検出1ステータスフラグ → 電圧監視1割り込みステータスフラグ 電源電圧低下検出2ステータスフラグ → 電圧監視2割り込みステータスフラグ 電源電圧低下検出1許可ビット → 電圧監視1割り込み許可ビット 電源電圧低下検出2許可ビット → 電圧監視2割り込み許可ビット
		293	14.2.8 IRQコントロールレジスタi (IRQCRi) (i=0~7) 説明変更
		311	表 14.4 割り込みベクタテーブル 注2の削除
		322	14.7.1 ノンマスカブル割り込み使用時のWAIT 命令の注意事項 追加
		15. バス	
		325	表 15.2 バス種類別アドレス対応表 変更
		331	表 15.5 外部バスの仕様 変更
		333	15.2.7 バスの設定 説明変更
		336	15.3.1 CSn制御レジスタ (CSnCR) (n=0~3) 説明変更
		349、350	15.3.6 CSn ウェイト制御レジスタ2 (CSnWCR2) (n=0~3) 説明変更
		387	表 15.12 発生するバスエラーの種類 変更
		16. DMA コントローラ (DMACA)	
		全体	用語の変更 リポートエリア → リポート領域
		396	16.2.4 DMA ブロック転送カウントレジスタ (DMCRB) 説明変更
		414	16.3.2 拡張リポートエリア機能 説明変更
		422	表 16.8 DMACAの実行サイクル 注1の追加
		17. データトランスファコントローラ (DTC)	
		436	17.2.2 DTCモードレジスタB (MRB) 説明変更
		440	17.2.6 DTC転送カウントレジスタB (CRB) 説明変更
444	17.3 起動要因 説明変更		
447	図 17.4 DTC 動作フローチャート 変更		
456	図 17.9 DTC 動作タイミング例 (1) 変更		
456	図 17.10 DTC 動作タイミング例 (2) 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2011.07.07	457	図 17.11 DTC 動作タイミング例 (3) 変更
		457	図 17.12 DTC 動作タイミング例 (4) 変更
		458	図 17.13 転送情報スキップ時の動作例 変更
		459	表 17.9 DTC の実行サイクル 注7の追加
		18. イベントリンクコントローラ (ELC)	
		480	表 18.6 イベント入力時のモジュール別動作一覧 変更
		485	18.3.6 イベントリンクの動作設定手順 説明変更
		486	18.4.1 ELSR18、ELSR19 レジスタの設定について 説明変更
		486	18.4.2 出力ポートグループのビットローテート動作の設定について 説明変更
		19. I/O ポート	
		504	19.2.1 ポート方向レジスタ (PDR) 説明変更
		505	19.2.2 ポート出力データレジスタ (PODR) 説明変更
		507	19.2.4 ポートモードレジスタ (PMR) 説明変更
		508	19.2.5 オープンドレイン制御レジスタ0 (ODR0) 説明変更
		509	19.2.6 オープンドレイン制御レジスタ1 (ODR1) 説明変更
		511	19.2.8 駆動能力制御レジスタ (DSCR) 説明変更
		512	表 19.6 未使用端子の処理内容 変更
		20. マルチファンクションピンコントローラ (MPC)	
		514	表 20.1 マルチプル端子の割り当て端子一覧 NMI の追加
		547、548	表 20.31 外部バスインタフェース設定方法 変更
		—	20.4 レジスタの設定 削除
		549、550	20.4.2 MPC レジスタ設定する場合の注意事項 説明変更
		21. マルチファンクションタイマパルスユニット (MTU2)	
		全体	用語の変更 通常動作 → ノーマルモード ELCで使用している用語の変更 カウントクリア動作 → カウントリスタート動作
		553	表 21.2 MPU2A の機能一覧 変更
		590	21.2.17 タイマアウトプットマスタ許可レジスタ (TOER) 説明変更
		709	21.6.25 コンペアマッチパルス割り込みの連続出力 追加
		22. ポートアウトプットイネーブル2 (POE2)	
		750	22.2.7 入力レベルコントロール/ステータスレジスタ3 (ICSR3) 説明変更
		751~753	22.3 動作説明 説明変更
		757	22.5 使用上の注意事項 説明変更
		23. 8ビットタイマ (TMR)	
		全体	用語の変更 内部クロック → 分周クロック ELCで使用している用語の変更 カウントクリア動作 → カウントリスタート動作 23.7と23.8の順序を入れ替え
		759	表 23.2 TMR の機能一覧 変更
		760	図 23.1 TMR (ユニット0) のブロック図 変更
		761	図 23.2 TMR (ユニット1) のブロック図 変更
		769、770	23.2.6 タイマコントロール/ステータスレジスタ (TCSR) 注記の変更
		771	23.2.7 タイムカウンタスタートレジスタ (TCSTR) 説明変更
		772	23.3.1 パルス出力 説明変更
		777	図 23.10 外部リセット入力によるクリアタイミング (立ち上がりエッジ) 変更
		777	図 23.11 外部リセット入力によるクリアタイミング (High) 変更
		781	23.7.1 ELC へのイベント信号出力 説明変更
		24. コンペアマッチタイマ (CMT)	
		全体	用語の変更 内部クロック → 分周クロック ELCで使用している用語の変更 カウントクリア動作 → カウントリスタート動作
		797	24.5.2の(2) イベントカウンタ動作 説明変更
		—	24.6.4 CMCRC レジスタ書き換え時の注意事項 削除
		—	24.6.5 CMCNT カウンタと CMCOR レジスタの注意事項 削除
		25. リアルタイムクロック (RTCA)	
		全体	用語の変更 ソフトウェアリセット → RTCソフトウェアリセット
		799	表 25.1 RTCA の仕様 変更
		801	表 25.3 RTCA のレジスタ一覧 リセット後の値の変更 (各レジスタ説明部分も変更)、注記の追加
		821	25.2.20 時間誤差補正レジスタ (RADJ) 説明変更
		831	図 25.4 時刻設定手順 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2011.07.07	842	25.6.4 レジスタ設定後の低消費電力モード移行について 説明変更
		842	25.6.5 レジスタの書き込み/読み出し時の注意事項 説明変更
		26. ウォッチドッグタイマ (WDT)	
		845	表26.2 WDTのレジスタ一覧 変更
		856	26.3.3の【リフレッシュ無効書き込み例】 説明変更
		27. 独立ウォッチドッグタイマ (IWDT)	
		863	表27.2 IWDTのレジスタ一覧 変更
		875	27.3.3の【リフレッシュ無効書き込み例】 説明変更
		28. シリアルコミュニケーションインタフェース (SClC、SCId)	
		882、883	表28.1 SClCの仕様、表28.2 SCIdの仕様 注記の削除
		883	表28.3 SCIチャンネル別機能一覧 変更
		897	28.2.6 シリアルコントロールレジスタ (SCR) 説明変更
		906	28.2.8 スマートカードモードレジスタ (SCMR) 注記の追加
		925	28.2.16 SPI モードレジスタ (SPMR) 説明変更
		926	表28.22 ESMEビットの設定とタイマ動作モードの動作保証 追加
		928	28.2.20 コントロールレジスタ2 (CR2) 説明変更
		943	図28.8 SCI の初期化フローチャートの例 (調歩同期式モード) 変更
		945	図28.10 調歩同期式モードのシリアル送信のフローチャート例 変更
		949	図28.13 調歩同期式モードのシリアル受信のフローチャート例 (2) 変更
		951	図28.15 マルチプロセッサシリアル送信のフローチャートの例 変更
		956	28.5.2 CTS、RTS 機能 説明変更
		957	図28.20 SCI の初期化フローチャートの例 (クロック同期式モード) 変更
		959	図28.22 クロック同期式モードのシリアル送信のフローチャート例 注記の追加
		967	28.6.5 SCIの初期化 (スマートカードインタフェースモード) 説明変更
		978	図28.43 SCI の初期化フローチャート例 (簡易 I ² C モード) 説明変更
		984	28.8.1 マスタモード、スレーブモードと各端子の状態 説明変更
		984	表28.25 モードおよびSSn#端子入力と各端子の状態の関係 注記の追加
		996	図28.60 バス衝突検出機能の動作例 変更
		997	図28.61 デジタルフィルタ機能の動作例 変更
		999	図28.63 RXDX12 受信データサンプリングタイミング 変更
		1008	28.12 イベントリンク機能 変更
		1014	28.13.10 簡易SPI バスモードの制約事項 追加
		1016	28.13.12 拡張シリアルモード制御部の使用上の制約事項2 説明変更
		1016	図28.72 受信エラー処理のフローチャートの例 (スタートフレーム受信) 追加
		29. I ² Cバスインタフェース (RIIC)	
		1025、1026	29.2.2 I ² C バスコントロールレジスタ2 (ICCR2) RSPAビットの追加
		—	29.16.2 入力バッファコントロールレジスタの設定 削除
		30. シリアルペリフェラルインタフェース (RSPI)	
		1103	30.2.1 RSPI 制御レジスタ (SPCR) 説明変更
		1109~1111	30.2.5 RSPI データレジスタ (SPDR) 説明変更
		1110	図30.3 SPDR レジスタの構成図 (ライト時) 追加
		1111	図30.4 SPDR レジスタの構成図 (リード時) 追加
		1115、1116	30.2.9 RSPI データコントロールレジスタ (SPDCR) 説明変更
		1116	表30.5 SPSLN[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ 変更
		1132~1140	30.3.4 データフォーマット 説明変更
		1141、1142	30.3.5 転送フォーマット 説明変更
		1143	図30.25 SPCR.TXMD = 0 の動作例 変更
		1144	図30.26 SPCR.TXMD = 1 の動作例 変更
		1145	図30.27 SPTI、SPRI 割り込みの動作例 変更
		1148	図30.28 OVRF フラグの動作例 変更
		1150	図30.29 PERF フラグの動作例 変更
		1154	図30.30 マスタモードでのシリアル転送方式の決定方法 変更
		1154	図30.31 フレームの概念図 追加
		1155	図30.32 シーケンス動作時のRSPI コマンドレジスタと送受信バッファの対応 追加

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.90	2011.07.07	1159	図30.34 マスタモード時の初期化フロー例 (SPI 動作) 変更		
		1163	図30.37 スレーブモード時の転送動作フロー例 (SPI 動作) 変更		
		1165	図30.38 マスタモードでのシリアル転送方式の決定方法 変更		
		1165	図30.39 フレームの概念図 追加		
		1166	図30.40 シーケンス動作時のRSPI コマンドレジスタと送受信バッファの対応 追加		
		1167	図30.41 マスタモード時の初期化フロー例 (クロック同期式動作) 変更		
		1168	図30.42 マスタモード時の転送動作フロー例 (クロック同期式動作) 変更		
		1171	図30.44 スレーブモード時の転送動作フロー例 (CPHA = 1) (クロック同期式動作) 変更		
		1174	図30.48 ループバックモード時のシフトレジスタ入出力構成 (マスタモード) 変更		
		1176	30.3.17 割り込み要因 説明変更		
		1176	表30.14 RSPIの割り込み要因 変更		
		1177、 1178	30.4 イベントリンク出力機能 説明変更		
		1179	30.5.2 消費電力低減機能の注意事項 追加		
		31. CRC演算器 (CRC)			
		1181	31.2.1 CRC コントロールレジスタ (CRCCR) 説明変更		
		1182	31.2.3 CRC データ出力レジスタ (CRCDOR) 説明変更		
		32. 12ビットA/Dコンバータ (S12AD)			
		1133	表32.1 12ビットA/Dコンバータの仕様 注3の追加		
		1233	32.7.7 許容信号源インピーダンスについて 説明変更		
		1233	表32.10 アナログ端子の規格 変更		
		33. D/A コンバータ			
		1239	33.2.2 D/A コントロールレジスタ (DACR) 説明変更		
		1185	33.2.3 DADRm フォーマット選択レジスタ (DADPR) レジスタ名、ビット名変更		
		34. 温度センサ			
		1247	34.3.1 使用前の準備 説明変更		
		1248	34.3.2 12ビットA/Dコンバータの設定 説明変更		
		1248	表34.3 A/Dコンバータの変換クロック (PCLKD) の周波数とADSSTRTレジスタの設定例 変更		
		1249	図34.2 温度センサの使用手順フロー 変更		
		35. コンパレータA			
		1252	図35.1 コンパレータAのブロック図 変更		
		1253	35.2.1 電圧監視回路/コンパレータA制御レジスタ (LVCMPCR) 説明変更		
		1255、 1256	35.2.2 電圧監視1回路/コンパレータA1制御レジスタ0 (LVD1CR0) 説明変更		
		1257、 1258	35.2.3 電圧監視2回路/コンパレータA2制御レジスタ0 (LVD2CR0) 説明変更		
		1259	35.2.4 電圧監視1回路/コンパレータA1制御レジスタ1 (LVD1CR1) 説明変更		
		1260	35.2.5 電圧監視1回路/コンパレータA1ステータスレジスタ (LVD1SR) 説明変更		
		1261	35.2.6 電圧監視2回路/コンパレータA2制御レジスタ1 (LVD2CR1) 説明変更		
		1262	35.2.7 電圧監視2回路/コンパレータA2ステータスレジスタ (LVD2SR) 説明変更		
		1263	35.3 比較結果のモニタ 説明変更		
		1264	表35.4 コンパレータA1割り込み関連ビットの設定手順 変更		
		1265	図35.2 コンパレータA1動作例 変更		
		1266	表35.5 コンパレータA2割り込み/ELC関連ビットの設定手順 変更		
		1267	図35.3 コンパレータA2動作例 変更		
		36. コンパレータB			
		1274	表36.4 コンパレータB関連レジスタの設定手順 変更		
		39. ROM (コード格納用フラッシュメモリ)			
		1288	表39.3 ROM関連の入出力端子 変更		
		1292	39.2.3 フラッシュアクセスステータスレジスタ (FASTAT) 説明変更		
		1309	図39.3 ユーザマットの消去ブロックの構成 変更		
		—	図39.4 ROMに関する動作モード遷移図 削除		
		1310	表39.6 各モードの相違点 変更		
		1315	表39.9 FCUのモード/状態と受け付け可能なコマンドの関係 (ROM P/Eモード) 変更		
		1325	図39.13 ROM書き込み方法 変更		
		1333	39.7 サスペンド動作 説明変更		
		1334	図39.20 消去処理の中断動作 (サスペンド優先モード) 変更		
		1334	39.7.1 書き込み、および消去のサスペンド (書き込み/消去優先モード) モード名変更		

Rev.	発行日	改訂内容					
		ページ	ポイント				
0.90	2011.07.07	1337	表 39.10 エラープロテクト一覧 (ROM専用+ROM/E2データフラッシュ共通) 変更				
		1338	39.10 ブートモード 説明変更				
		1339	図 39.23 ブートモードの状態遷移図 変更				
		1341	表 39.11 ビットレート自動調整が可能な条件 注記の削除				
		1342	39.10.4 IDコードプロテクト (ブートモード) 説明変更				
		1346	39.10.6の (1) サポートデバイス問い合わせ 説明変更				
		1346	39.10.6の (2) デバイス選択 説明変更				
		1350	39.10.6の (9) 消去ブロック情報問い合わせ 説明変更				
		1356	表 39.17 書き込み/消去ホストコマンド 変更				
		1357	図 39.29 ブートモードでのROM書き込み方法 変更				
		1358	39.10.8の (3) 256バイト書き込み 説明変更				
		1365、 1366	39.13 使用上の注意事項 説明変更				
		40. E2データフラッシュ (データ格納用フラッシュメモリ)					
		1367	表 40.1 E2データフラッシュの仕様 変更				
		1369	表 40.2 E2データフラッシュ関連の入出力端子 変更				
		1379	40.2.7 E2データフラッシュブランクチェック制御レジスタ (DFLBCCNT) 説明変更				
		1385	表 40.6 FCUコマンドのフォーマット (E2データフラッシュ専用コマンド) 変更				
		1386	表 40.7 FCUのモード/状態と受け付け可能なコマンドの関係 (E2データフラッシュ P/Eモード) 変更				
		1388	図 40.5 ブートモードでのROM書き込み方法 変更				
		41. 電气的特性					
		1397～ 1448	新規追加				
		付録1. 各処理状態におけるポートの状態					
		1449、 1450	表 1.1 各処理状態におけるポートの状態 変更				
		1.00	2011.10.31	全体	用語の変更 メモリマット→メモリ領域、ユーザマット→ユーザ領域、ブートマット→ブート領域 書き込み/消去→プログラム/イレース、NMOSオープンドレイン→Nチャンネルオープンドレイン、 高速クロック発振器→高速オンチップオシレータ、 低速クロック発振器→低速オンチップオシレータ、 IWDTC専用低速クロック発振器→IWDTC専用オンチップオシレータ、 高速クロック→HOCOクロック、低速クロック→LOCOクロック、 ポート入力レジスタ→ポート入力データレジスタ、 プルアップ抵抗制御レジスタ→プルアップ制御レジスタ、 ポートxx端子機能選択レジスタ→Pxx端子機能制御レジスタ、 1サイクルスキャンモード→シングルスキャンモード		
				1. 概要			
				40～43	表 1.1 仕様概要 メモリ、割り込みコントローラ、タイマ、動作周囲温度、データ演算回路、オンチップデバッキングシステム 変更		
				45、46	表 1.3 製品一覧表 変更		
				47	図 1.1 型名とメモリサイズ・パッケージ G項目追加		
				48	図 1.2 ブロック図 変更		
				49	表 1.4 端子機能一覧 マルチプレクスバス 追加		
				2. CPU			
				88	2.8.2 命令とパイプライン処理 変更		
				88	表 2.13 単一マイクロオペレーションに変換される命令 変更		
90、91	表 2.14 複数マイクロオペレーションに変換される命令 変更						
3. 動作モード							
97	表 3.1 モード端子による動作モードの選択 変更、注2削除						
97	表 3.3 エンディアン設定方式 変更						
—	表 3.5 動作モード関連レジスタ一覧 削除						
99	3.2.3 システムコントロールレジスタ0 ビット機能表 (KEY[7:0]) 説明変更						
5. I/O レジスタ							
—	表 5.1 I/O レジスタアドレス一覧 LOCOウェイトコントロールレジスタ2(LOCOWTCR2) 削除						
6. リセット							
133	表 6.2 リセット種別ごとの初期化対象 変更						
—	表 6.4 リセット関連のレジスタ一覧 削除						
7. オプション設定メモリ							

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.10.31	—	表7.1 オプション設定メモリ関連のレジスタ一覧 削除
		146	7.2.1 オプション機能選択レジスタ0(OFS0) 注1削除
		149	7.2.2 オプション機能選択レジスタ1(OFS1) 注2削除
		8. 電圧検出回路(LVDAa)	
		—	表8.3 電圧検出回路のレジスタ一覧 削除
		156	8.2.2 電圧監視1回路/コンパレータA1ステータスレジスタ(LVD1SR) LVD1DETフラグ説明削除
		157	8.2.4 電圧監視2回路/コンパレータA2ステータスレジスタ(LVD2SR) ビット機能表(予約ビット)説明変更、LVD2DETフラグ説明変更
		158	8.2.5 電圧監視回路/コンパレータA制御レジスタ(LVCMPCR) ビット機能表 説明変更、注1追加
		159	8.2.6 電圧検出レベル選択レジスタ(LVDLVL) ビット機能表(LVD2LVL[3:0]) 説明変更、レジスタ説明追加
		160	8.2.7 電圧監視1回路/コンパレータA1制御レジスタ0(LVD1CR0) LVD1RIEビット説明変更
		162	8.2.8 電圧監視2回路/コンパレータA2制御レジスタ0(LVD2CR0) LVD2RIEビット説明変更
		164	8.3.2 Vdet1 のモニタ 説明変更
		164	8.3.3 Vdet2 のモニタ 説明変更
		166	表8.3 電圧監視1 割り込み、電圧監視1 リセット関連ビットの動作設定手順 変更
		167	表8.4 電圧監視1 割り込み、電圧監視1 リセット関連ビットの停止設定手順 追加
		168	図8.5 電圧監視1 割り込み動作例 変更
		169	表8.5 電圧監視2 割り込み、電圧監視2 リセット関連ビットの動作設定手順 変更
		170	表8.6 電圧監視2 割り込み、電圧監視2 リセット関連ビットの停止設定手順 追加
		171	図8.6 電圧監視2 割り込み動作例 変更
		172	8.7 イベントリンク出力機能 説明追加
		172	8.7.1 割り込み処理とイベントリンクの関係 説明追加
		9. クロック発生回路	
		174	図9.1 クロック発生回路のブロック図 変更
		—	表9.3 クロック発生回路のレジスタ一覧 削除
		176	9.2.1 システムクロックコントロールレジスタ(SCKCR) ビット機能表 注4削除、注記追加
		178	9.2.2 システムクロックコントロールレジスタ3(SCKCR3) レジスタ説明追加
		179	9.2.3 PLLコントロールレジスタ(PLLCR) ビット機能表(STC[4:0]) 説明変更
		180	9.2.4 PLLコントロールレジスタ2(PLLCR2) レジスタ説明追加
		182	9.2.6 メインクロック発振器コントロールレジスタ(MOSCCR) レジスタ説明追加、MOSTPビット説明変更
		183	9.2.7 サブクロック発振器コントロールレジスタ(SOSCCR) レジスタ説明追加
		186	9.2.10 高速オンチップオシレータコントロールレジスタ(HOCOCCR) レジスタ説明追加
		188	9.2.12 発振停止検出コントロールレジスタ(OSTDCR) レジスタ説明変更
		190	9.2.14 メインクロック発振器強制発振コントロールレジスタ(MOFCR) ビット機能表(MOFXIN) 削除(予約ビットに変更)、MOFXIN ビット説明削除
		193	9.3.3 外部クロック入力に関する注意事項 説明変更
		199	9.7.5 CACクロック 説明変更
		—	9.8 発振子を接続する場合の端子設定 削除
		—	9.9 外部クロックを使用する場合の端子設定 削除
		200	9.8.1 クロック発生回路に関する注意事項 (2)(5)説明追加
		201	9.8.4 発振子接続端子に関する注意事項 説明変更
		201	9.8.5 サブクロックに関する注意事項 説明追加
		10. クロック周波数精度測定回路(CAC)	
		—	表10.3 CACのレジスタ一覧 削除
		11. 消費電力低減機能	
		214	11.1 概要 説明変更
		214	表11.1 消費電力低減機能の仕様 項目(クロックの切り替えによる消費電力の低減)変更
		215	表11.2 各モードにおける遷移および解除方法と動作状態 注5削除
		217	図11.1 モード遷移 注記変更
		—	表11.3 消費電力低減機能関連のレジスタ一覧 削除
		225~227	11.2.5 動作電力コントロールレジスタ(OPCCR) ・中速動作モードA、中速動作モードB、低速動作モード2 説明変更
		224	表11.4 動作電力制御モードと動作範囲・消費電力の関係 注記変更
		224	図11.2 高速動作モードにおける動作電圧と動作周波数の関係 追加
		225	図11.3 中速動作モードA、Bにおける動作電圧と動作周波数の関係 追加
		226	図11.4 低速動作モード1における動作電圧と動作周波数の関係 追加
		227	図11.5 低速動作モード2における動作電圧と動作周波数の関係 追加

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.00	2011.10.31	229	11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR) RSTCKSEL[2:0]ビット、RSTCKENビット ビット説明追加		
		232	11.2.9 PLL ウェイトコントロールレジスタ (PLLWTCR) レジスタ説明変更		
		—	11.2.10 LOCO ウェイトコントロールレジスタ2(LOCOWTCR2) レジスタ削除		
		233	11.2.10 HOCO ウェイトコントロールレジスタ2(HOCOWTCR2) ビット機能表 説明変更、注1追加、レジスタ説明変更		
		234	11.2.11 ディープスタンバイコントロールレジスタ (DPSBYCR) DPSBYビット ビット説明変更		
		242	11.2.18 フラッシュ HOCO ソフトウェアスタンバイコントロールレジスタ (FHSSBYCR) レジスタ説明変更		
		243	11.2.19 ディープスタンバイバックアップレジスタ (DPSBKRY) レジスタ説明削除		
		243	11.3 クロックの切り替えによる消費電力の低減 説明変更		
		246	11.6.1.3 スリープモード復帰クロックソース切り替え機能 説明変更		
		249	11.6.3.1 ソフトウェアスタンバイモードへの移行 説明追加		
		257	11.7.8 全モジュールクロックストップモードの解除 追加		
		258	11.7.9 サブクロックをシステムクロックのクロックソースに使用する場合の注意事項 追加		
		12. レジスタライトプロテクション機能			
		259	表 12.1 PRCR レジスタと保護されるレジスタの対応 変更		
		—	表 12.3 レジスタライトプロテクション機能関連のレジスタ一覧 削除		
		274	12.1.1 プロテクトレジスタ (PRCR) ビット機能表 (PRC2) 追加		
		14. 割り込みコントローラ (ICUb)			
		—	表 14.3 割り込みコントローラのレジスタ一覧 削除		
		291	表 14.4 割り込みのベクタテーブル 名称変更 COMPB→CMPB、COMPB0→CMPB0、COMPB1→CMPB1、 COMPA→CMPA、COMPA1→CMPA1、COMPA2→CMPA2		
		15. バス			
		308	図 15.1 バスの構成図 変更		
		—	表 15.7 外部バスコントローラのレジスタ一覧 削除		
		326	15.3.4 CSn モードレジスタ (CSnMOD) アドレス変更		
		—	図 15.35 BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合のリカバリサイクルの動作例 (セパレートバスインタフェース、ノーマルアクセスの場合)(m=0~3) 削除		
		—	図 15.36 BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合のリカバリサイクルの動作例 (バスアクセスが分割された場合)(m=0~3) 削除		
		369	表 15.11 発生するバスエラーの種類 変更		
		16. DMA コントローラ (DMACA)			
		—	表 16.2 DMACA のレジスタ一覧 削除		
		17. データ転送ファコンローラ (DTCa)			
		—	表 17.2 DTC のレジスタ一覧 削除		
		425	図 17.4 DTC 動作フローチャート 変更		
		18. イベントリンクコントローラ (ELC)			
		全体	用語の変更 グループポート→ポートグループ		
		—	表 18.2 ELC のレジスタ一覧 削除		
		447	表 18.2 ELSRn レジスタと周辺機能の対応 変更		
		448、449	表 18.3 ELSn.ELS[7:0] ビットに設定するイベント信号名と信号番号の対応 変更		
		449	18.2.3 イベントリンクオプション設定レジスタ A (ELOPA) レジスタ説明変更		
		450	18.2.4 イベントリンクオプション設定レジスタ B (ELOPB) レジスタ説明変更		
		450	18.2.5 イベントリンクオプション設定レジスタ C (ELOPC) レジスタ説明変更		
		451	18.2.6 イベントリンクオプション設定レジスタ D (ELOPD) レジスタ説明変更		
		19. I/O ポート			
		464	19.1 概要 説明変更		
		464	表 19.1 I/O ポートの仕様 変更		
		465	表 19.2 I/O ポートの機能 変更		
		466~470	19.2 入出力ポートの構成 図 19.1~図 19.5 入出力ポートの構成(1)~(5) 追加		
		—	表 19.7 I/O ポートのレジスタ一覧 削除		
		20. マルチファンクションピンコントローラ (MPC)			
		—	表 20.2 MPC のレジスタ一覧 削除		
		513	20.4.2 MPC レジスタ設定する場合の注意事項 4. 説明変更		
		514	表 20.31 レジスタの設定 汎用出力ポート 注意事項削除		
		21. マルチファンクションタイマパルスユニット 2 (MTU2a)			
		—	表 21.4 MTU2A のレジスタ一覧 削除		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.10.31	599	図21.35 リセット同期PWM モードの設定手順例 変更
		604	図21.38 相補PWM モードの設定手順例 変更
		642	21.4.3 A/Dコンバータの起動 (4) 説明変更
		663	図21.121 オーバフローとカウンタクリアの競合 変更
		664	図21.122 TCNT の書き込みとオーバフローの競合 変更
		22. ポートアウトプットイネーブル2(POE2a)	
		697	図22.1 POE のブロック図 変更
		—	表22.4 POE2のレジスタ一覧 削除
		713	22.5.3 端子のMTU機能設定について 追加
		23. 8ビットタイマ(TMR)	
		715	表23.2 TMRの機能一覧 カウントクロック 変更
		—	表23.4 TMRのレジスタ一覧 削除
		24. コンペアマッチタイマ(CMT)	
		—	表24.2 CMTのレジスタ一覧 削除
		25. リアルタイムクロック(RTCb)	
		754	25.2 レジスタの説明 説明変更
		—	表25.3 RTCAのレジスタ一覧 削除
		755	25.2.2 秒カウンタ(RSECCNT) ビット機能表(b7の予約ビット) 説明変更
		755	25.2.3 分カウンタ(RMINCNT) ビット機能表(b7の予約ビット) 説明変更
		756	25.2.4 時カウンタ(RHRCNT) ビット機能表(b7の予約ビット) 説明変更
		757	25.2.5 曜日カウンタ(RWKCNT) ビット機能表(b7-b3の予約ビット) 説明変更
		760	25.2.9 秒アラームレジスタ(RSECAR) レジスタ説明変更
		761	25.2.10 分アラームレジスタ(RMINAR) レジスタ説明変更
		762	25.2.11 時アラームレジスタ(RHRAR) レジスタ説明変更
		763	25.2.12 曜日アラームレジスタ(RWKAR) ビット機能表(b6-b3の予約ビット) 説明変更、レジスタ説明変更
		764	25.2.13 日アラームレジスタ(RDAYAR) ビット機能表(b6の予約ビット) 説明変更、レジスタ説明変更
		765	25.2.14 月アラームレジスタ(RMONAR) ビット機能表(b6-b5の予約ビット) 説明変更、レジスタ説明変更
		766	25.2.15 年アラームレジスタ(RYRAR) レジスタ説明変更
		766	25.2.16 年アラームイネーブルレジスタ(RYRAREN) ビット機能表(b6-b0の予約ビット) 説明変更、レジスタ説明変更
		768	25.2.18 RTCコントロールレジスタ2(RCR2) ビット機能表(b7の予約ビット) 説明変更
		769	25.2.19 RTC コントロールレジスタ3(RCR3) ビット機能表(RTCEN) 説明変更、RTCENビット、RTCDV[2:0]ビット ビット説明変更
		774	25.2.22 秒キャプチャレジスタy(RSECCPy) ビット機能表(b7の予約ビット) 説明変更
		775	25.2.23 分キャプチャレジスタy(RMINCPy) ビット機能表(b7の予約ビット) 説明変更
		776	25.2.24 時キャプチャレジスタy(RHRCPy) ビット機能表(b7の予約ビット) 説明変更
		777	25.2.25 日キャプチャレジスタy(RDAYCPy) ビット機能表(b7-b6の予約ビット) 説明変更
		790	25.5.1 割り込み処理とイベントリンクの関係 注記変更
		792	25.6.5 レジスタの書き込み/読み出し時の注意事項 変更
		26. ウォッチドッグタイマ(WDTa)	
		793	説明変更
		793	26.1 概要 説明変更
		793	表26.1 WDTの仕様 カウント停止条件 変更
		—	表26.2 WDTaのレジスタ一覧 削除
		803	26.3.1.2 オートスタートモード 説明変更
		807	26.3.5 リセット出力 説明変更
		808	26.3.7 ダウンカウンタ値の読み出し 説明変更
		809	26.4 使用上の注意事項 26.4.1 リフレッシュ動作について 追加
		27. 独立ウォッチドッグタイマ(IWDTa)	
		810	説明変更
		810	表27.1 IWDTの仕様 カウント停止条件 説明変更
		—	表27.2 IWDTのレジスタ一覧 削除
		828	図27.8 IWDT ダウンカウンタ値の読み出し処理(IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b) 変更
		829	27.5 使用上の注意事項 27.5.1 リフレッシュ動作について 追加
		28. シリアルコミュニケーションインタフェース(SCIc、SCId)	

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.10.31	832	表 28.2 SCId の仕様 拡張シリアルモード 入出力制御機能 変更
		—	表 28.8 SCI のレジスタ一覧 削除
		841	28.2.5 シリアルモードレジスタ (SMR) (2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット=1) ビット機能表 (PE) 説明変更
		843	28.2.6 シリアルコントロールレジスタ (SCR) (1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット=0) ビット機能表 (CKE[1:0]) 説明変更
		846	28.2.6 シリアルコントロールレジスタ (SCR) (2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット=1) ビット機能表 (CKE[1:0]) 説明変更
		848	28.2.7 シリアルステータスレジスタ (SSR) (1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット=0) TEND フラグ 説明変更
		850、851	28.2.7 シリアルステータスレジスタ (SSR) (2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット=1) TEND フラグ 説明変更
		852、853	28.2.8 スマートカードモードレジスタ (SCMR) ビット名変更 スマートカードデータインポートビット→送受信データインポートビット、 スマートカードデータトランスファディレクションビット→送受信データトランスファディレクションビット、 SDIR ビット 説明変更
		853	表 28.8 BRR レジスタの設定値 N とビットレート B の関係 クロック同期式、簡易 I ² C の誤差 削除
		860	表 28.20 各ビットレート設定での SCL High/Low 幅最小値 (簡易 I ² C モード) 動作周波数 PCLK の 33、50 を削除
		861、862	28.2.10 シリアル拡張モードレジスタ (SEMR) ビット機能表 (NFEN) 説明変更、 NFEN ビット 説明変更
		862	図 28.4 TMR クロック入力時の平均転送レート設定例 変更
		863	28.2.11 ノイズフィルタ設定レジスタ (SNFR) ビット機能表 (NFCS[2:0]) 説明変更
		887	28.3.4 CTS、RTS 機能 説明変更
		888	図 28.8 SCI の初期化フローチャートの例 (調歩同期式モード)
		889	28.3.6 シリアルデータの送信 (調歩同期式モード) 2. 説明変更
		889	図 28.9 調歩同期式モードのシリアル送信 (送信中～送信終了時) の動作例 変更
		890	図 28.10 調歩同期式モードのシリアル送信のフローチャート例 変更
		891	図 28.11 調歩同期式モードのシリアル受信時の動作例 (1) 変更
		892	図 28.12 調歩同期式モードのシリアル受信時の動作例 (2) 変更
		893	図 28.13 調歩同期式モードのシリアル受信のフローチャート例 (1) 変更
		894	図 28.14 調歩同期式モードのシリアル受信のフローチャート例 (2) 変更
		896	図 28.16 マルチプロセッサシリアル送信のフローチャートの例 変更
		898	図 28.18 マルチプロセッサシリアル受信のフローチャートの例 (1) 変更
		899	図 28.19 マルチプロセッサシリアル受信のフローチャートの例 (2) 変更
		901	28.5.2 CTS、RTS 機能 説明変更
		902	図 28.21 SCI の初期化フローチャートの例 (クロック同期式モード) 変更
		903	28.5.4 シリアルデータの送信 (クロック同期式モード) 2. 説明変更
		903	図 28.22 クロック同期式モードのシリアル送信 (送信中～送信終了時) の動作例 変更
		904	図 28.23 クロック同期式モードのシリアル送信のフローチャート例 変更
		905	図 28.24 クロック同期式モードのシリアル受信時の動作例 (1) 変更
		906	図 28.25 クロック同期式モードのシリアル受信時の動作例 (2) 変更
		907	図 28.26 クロック同期式モードのシリアル受信のフローチャート例 変更
		908	図 28.27 クロック同期式モードのシリアル送受信同時動作のフローチャート例 変更
		913	28.6.5 SCI の初期化 (スマートカードインタフェースモード) 説明変更
		916	図 28.35 スマートカードインタフェース送信のフローチャート例 変更
		918	図 28.37 スマートカードインタフェース受信のフローチャート例 変更
		918	28.6.8 クロック出力制御 (1)(2) 説明変更
		922	28.7.2 クロック同期化 説明変更
		923	図 28.43 クロック同期化の動作例 変更
		924	図 28.45 SCI の初期化フローチャート例 (簡易 I ² C モード) 変更
		926	図 28.48 簡易 I ² C モードのマスタ送信動作のフローチャート例 変更
		928	図 28.50 簡易 I ² C モードのマスタ受信動作のフローチャート例 変更
		930	表 28.25 モードおよび SSn# 端子入力と各端子の状態の関係 変更
		933	図 28.54 Start Frame 送信時の動作例 変更
		934	図 28.55 Start Frame 送信フローチャート例 (1) 変更
		935	表 28.26 Start Frame の構成 変更

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.00	2011.10.31	938	図28.58 Start Frame 受信フローチャート例(1) 変更		
		941	図28.61 Start Frame の受信時の動作例(プライオリティインタラプトビット使用時) 変更		
		942	28.9.4 バス衝突検出機能 説明変更		
		948	28.10 ノイズ除去機能 説明変更		
		948	28.11.1 TXI 割り込みおよびRXI 割り込みバッファ動作 説明追加		
		948	28.11.2 シリアルコミュニケーションインタフェースモードおよび簡易SPIモードにおける割り込み説明変更		
		—	28.11.6 TXI 割り込みおよびRXI 割り込みバッファ動作 削除		
		954	28.13.3 マーク状態とブレークの送付 説明変更		
		955	28.13.8 通信の開始に関する注意事項 追加		
		959	28.13.11 簡易SPIモードの制約事項 説明変更		
		959	図28.73 簡易SPIモード(クロック遅れあり)RXI 割り込み発生タイミング 変更		
		—	28.13.13 通信の開始に関する注意事項 削除		
		29. I ² C バスインタフェース(RIIC)		全体	用語の変更 SCL0端子→SCL端子、SDA0端子→SDA端子、条件発行→コンディション発行、条件検出→コンディション検出
		961	表29.1 RIICの仕様 イベントリンク機能 変更	962	図29.1 RIIC のブロック図 変更
		963	29.1 概要 説明追加	—	表29.2 RIICのレジスタ一覧 削除
		964、965	29.2.1 I ² C バスコントロールレジスタ1(ICCR1) ビット機能表(ICE) 説明変更、ICEビット説明変更	966	29.2.1 I ² C バスコントロールレジスタ2(ICCR2) ビット機能表(RSPA) 削除(予約ビットに変更)、RSPAビット説明削除
		997	図29.5 RIIC の初期化フローチャート例 変更	998	29.3.3 マスタ送信動作 (1) 説明変更
		1002	29.3.4 マスタ受信動作 (1) 説明変更	30. シリアルペリフェラルインタフェース(RSPI)	
		1040	表30.1 RSPIの仕様 イベントリンク機能 変更	—	表30.3 RSPIのレジスタ一覧 削除
		1046	30.2.3 RSPI端子制御レジスタ(SPPCR) ビット機能表(SPOM) 削除(予約ビットに変更)、SPOMビット説明削除	1054	表30.3 SPBR レジスタ、BRDV[1:0]ビットの設定値とビットレート(注1) 変更
		1055	30.2.9 RSPIデータコントロールレジスタ(SPDCR) ビット機能表(SLSEL[1:0]) 削除(予約ビットに変更)、SLSEL[1:0]ビット説明削除	1064	表30.5 RSPIのモードとSPCRレジスタの設定の関係および各モードの概要 変更
		1065	30.3.2 RSPI端子の制御 説明変更	1065	表30.6 RSPI端子の状態と制御ビット設定値の関係 変更
		1093	30.3.10.1 マスタモード動作 (1)シリアル転送の開始 説明変更	1098	表30.11 SPNDENビット、SPNDレジスタと次アクセス遅延値の関係 変更
		1104	30.3.12 マスタモード動作 (1)シリアル転送の開始、(2)シリアル転送の終了 説明変更	1116	表30.13 RSPIの割り込み要因 変更
		31. CRC 演算器(CRC)		—	表31.2 CRC 演算器のレジスタ一覧 削除
		32. 12ビットA/Dコンバータ(S12ADb)		—	表32.4 12ビットA/Dコンバータのレジスタ一覧 削除
		1165	表32.8 スキャン変換時間(PCLKとADCLKのサイクル数で示す) 変更	1172	32.7.7 許容信号源インピーダンスについて 説明変更
		1172	表32.9 アナログ端子の規格 変更	1174	32.7.12 12ビットA/Dコンバータ入力を使用する場合のポートの設定 説明変更
		33. D/Aコンバータ(DA)		—	表33.3 D/Aコンバータのレジスタ一覧 削除
		1182	32.6.5 D/Aコンバータ出力を使用する場合のポートの設定 説明変更	34. 温度センサ(TEMPSa)	
		—	表34.2 温度センサのレジスタ一覧 削除	1184	34.2.1 温度センサコントロールレジスタ(TSCR) ビット機能表(PGAGAIN[1:0]) 説明変更
		35. コンパレータA(CMPA)		1189	表35.1 コンパレータAの仕様 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.10.31	—	表 35.3 コンパレータ A のレジスター一覧 削除
		1191	35.2.1 電圧監視 1 回路/コンパレータ A1 制御レジスタ 1(LVD1CR1) ビット機能表 (LVD1IDTSEL[1:0]) 説明変更
		1192	35.2.2 電圧監視 1 回路/コンパレータ A1 ステータスレジスタ (LVD1SR) ビット機能表 (LVD1MON) 説明変更、LVD1DET フラグ 説明変更
		1193	35.2.3 電圧監視 2 回路/コンパレータ A2 制御レジスタ 1(LVD2CR1) ビット機能表 (LVD2IDTSEL[1:0]) 説明変更
		1194	35.2.4 電圧監視 2 回路/コンパレータ A2 ステータスレジスタ (LVD2SR) ビット機能表 (LVD2MON) 説明変更、LVD2DET フラグ 説明変更
		1195	32.2.5 電圧監視回路/コンパレータ A 制御レジスタ (LVCMPCR) ビット機能表 説明変更
		1196	32.2.6 電圧監視 1 回路/コンパレータ A1 制御レジスタ 0(LVC1CR0) ビット機能表 (LVD1RI、LVD1RN) 説明変更、LVD1RIE ビット 説明変更
		1198	32.2.7 電圧監視 2 回路/コンパレータ A2 制御レジスタ 0(LVC2CR0) ビット機能表 (LVD2RI、LVD2RN) 説明変更、LVD2RIE ビット 説明変更
		1200	35.3.1 コンパレータ A1 のモニタ 説明変更
		1200	35.3.2 コンパレータ A2 のモニタ 説明変更
		1201	表 35.3 コンパレータ A1 割り込み/ELC 関連ビットの動作設定手順 変更
		1201	表 35.4 コンパレータ A1 割り込み/ELC 関連ビットの停止設定手順 追加
		1202	図 35.2 コンパレータ A1 動作例 変更
		1203	表 35.5 コンパレータ A2 割り込み/ELC 関連ビットの動作設定手順 変更
		1203	表 35.6 コンパレータ A2 割り込み/ELC 関連ビットの停止設定手順 追加
		1204	図 35.3 コンパレータ A2 動作例 変更
		1205	35.5 コンパレータ A1、コンパレータ A2 割り込み 説明追加
		1206	35.6 イベントリンク出力機能 説明追加
			36. コンパレータ B(CMPB)
		1207	表 36.1 コンパレータ B の仕様 変更
		—	表 36.2 コンパレータ B のレジスター一覧 削除
		1212	図 36.4 コンパレータ Bi デジタルフィルタ動作例 変更
			37. データ 演算回路(DOC)
		—	表 37.2 DOC のレジスター一覧 削除
			39. ROM(コード格納用フラッシュメモリ)
		1222	表 39.1 ROM の仕様 変更
		—	表 39.4 ROM 関連のレジスター一覧 削除
		1229	39.2.5 FCU RAM イネーブルレジスタ (FCURAME) FCRME ビット 説明変更
		1235	39.2.9 フラッシュ P/E モードエントリレジスタ (FENTRYR) レジスタ説明変更
		1252	図 39.6 ROM リードモード移行フロー 変更
		1256	図 39.11 FCU RAM へのファームウェア転送フロー 変更
		1276	表 39.10 ビットレート自動調整が可能な条件 変更
		1287	39.10.6 問い合わせ設定ホストコマンド待ち状態 (11) 新ビットレート選択 ・ビットレート選択不可エラー 計算式の変更
		1299	39.11 オンチップデバッグ ID コードプロテクト 説明変更
		1299	表 39.17 オンチップデバッグ ID コードプロテクト仕様 変更
			40. E2 データフラッシュ(データ格納用フラッシュメモリ)
		1302	表 40.1 E2 データフラッシュの仕様 変更
		—	表 40.3 E2 データフラッシュ関連のレジスター一覧 削除
		1312	40.2.7 E2 データフラッシュブランクチェック制御レジスタ (DFLBCCNT) BCADR[10:0] ビット 説明変更
		—	40.9 使用上の注意事項 (2) 低速動作モード 2 での読み出し 削除
			41. 電気的特性
		1330 ~ 1382	説明変更
			付録 1. 各処理状態におけるポートの状態電気的特性
		1383 ~ 1385	表 1.1 各処理状態におけるポートの状態 説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2012.09.24	全体	チップバージョンA、B、Cの掲載、またそれに伴う説明、注意の追加 48ピン製品の追加、FINEC端子の削除、 電圧レギュレータ制御レジスタ (VRCCR)とPLL電源コントロールレジスタ (PLLPCR)の追加 用語の変更 内蔵RAM → RAM、端子リセット、端子からのリセット → RES#端子リセット、 書き込み/消去 → プログラム/イレーズ、 LVD1リセット → 電圧監視1リセット、LVD2リセット → 電圧監視2リセット、 ソフトウェアスタンバイ → ソフトウェアスタンバイモード、 ディープソフトウェアスタンバイ → ディープソフトウェアスタンバイモード、 問い合わせ設定ホストコマンド → 問い合わせ/設定コマンド、ホストコマンド → コマンド エラープロテクト機能 → コマンドロック状態、サムチェック → チェックサム
		4	RX210グループ製品間のソフトウェア移行時の注意事項 追加
		特長	
		40	パッケージの追加
		1. 概要	
		41	1.1 仕様概要 説明変更
		41~44	表1.1 仕様概要 メモリ、低消費電力、I/Oポート、パッケージ 変更、注1. 追加
		45	表1.2 パッケージ別機能比較一覧 パッケージ 変更
		46	表1.3 製品一覧表 チップバージョンA、Dバージョン (Ta = -40 ~ 85°C) 変更
		47	表1.4 製品一覧表 チップバージョンB、Dバージョン (Ta = -40 ~ 85°C) 追加
		48	表1.5 製品一覧表 チップバージョンB、Gバージョン (Ta = -40 ~ 105°C) 追加
		49	表1.6 製品一覧表 チップバージョンC、Dバージョン (Ta = -40 ~ 85°C) 追加
		49	表1.7 製品一覧表 チップバージョンC、Gバージョン (Ta = -40 ~ 105°C) 追加
		50	図1.1 型名とメモリサイズ・パッケージ 変更
		52	表1.8 端子機能一覧 電源、クロック、システム制御、オンチップエミュレータ 変更
		59	図1.7 48ピンLQFPピン配置図 追加
		60~62	表1.9 機能別端子一覧 (100ピンTFLGA) 変更
		63~65	表1.10 機能別端子一覧 (100ピンLQFP) 変更
		66、67	表1.11 機能別端子一覧 (80ピンLQFP) 変更
		68、69	表1.12 機能別端子一覧 (64ピンLQFP) 変更
		70、71	表1.13 機能別端子一覧 (48ピンLQFP) 追加
		2. CPU	
		80	2.4 データタイプ 説明変更
		-	2.4.1 整数 削除
		-	2.4.2 ビット 削除
		-	2.4.3 スtring 削除
		3. 動作モード	
		99	3.1 動作モードの種類と選択 変更
		99	表3.1 モード設定端子による動作モードの選択 変更
		99	表3.2 レジスタによる動作モードの選択 変更
		99	表3.3 エンディアンの設定 変更
		99	表3.4 エンディアンの選択 変更
		100	3.2.1 モードモニタレジスタ (MDMONR) 変更
		100	3.2.2 モードステータスレジスタ (MDSR) 変更
		101	3.2.3 システムコントロールレジスタ0 (SYSCR0) 変更
		102	3.2.4 システムコントロールレジスタ1 (SYSCR1) 変更
		103	3.3.1 シングルチップモード 変更
		103	3.3.2 内蔵ROM有効拡張モード 変更
		103	3.3.3 内蔵ROM無効拡張モード 変更
		103	3.3.4 ブートモード 変更
		103	3.3.5 ユーザブートモード 変更
		105	3.4.1 モード設定端子による動作モード遷移 変更
		105	図3.1 モード設定端子のレベルと動作モード 変更
		106	3.4.2 レジスタ設定による動作モード遷移 変更
		106	図3.2 SYSCR0.ROME、EXBE ビットの設定と動作モード 変更
		4. アドレス空間	
		108	図4.1 各動作モードのメモリマップ 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2012.09.24	5. I/O レジスタ	
		112~132	表5.1 I/Oレジスタアドレス一覧 割り込み要因プライオリティレジスタ xxx(IPRxxx)、ポート入力データレジスタ (PIDR)のアクセスサイクル数 変更 PLL 電源コントロールレジスタ (PLLPCR)、電圧レギュレータ制御レジスタ (VRCR)、タイムアウト内部カウンタL(TMOCNTL)、タイムアウト内部カウンタU(TMOCNTU) 追加 注1、注2の追加
		6. リセット	
		134	表6.2 リセット種別ごとの初期化対象 「メインクロック発振器関連のレジスタ (MOFCR)」項目 追加
		135	6.2.1 リセットステータスレジスタ0 (RSTSR0) 変更
		138	6.2.3 リセットステータスレジスタ2 (RSTSR2) 変更
		140	図6.1 パワーオンリセット、電圧監視0 リセット動作例 変更
		141	図6.2 電圧監視1 リセット、電圧監視2 リセット動作例 変更
		7. オプション設定メモリ	
		146	7.2.1 オプション機能選択レジスタ0 (OFS0) 変更
		150	7.2.2 オプション機能選択レジスタ1 (OFS1) VDSELの機能 「2.85Vを選択」→「2.80Vを選択」 変更 ビット表下 注1. 削除
		152	図7.2 UB コードAの構成 変更
		152	図7.3 UB コードBの構成 変更
		8. 電圧検出回路 (LVDAa)	
		153	8.1 概要 説明変更
		153	表8.1 電圧検出回路の仕様 変更
		154	図8.1 電圧検出回路ブロック図 変更
		160	8.2.6 電圧検出レベル選択レジスタ (LVDLVLR) 説明追加
		165	8.3.2 Vdet1 のモニタ 表8.2 Vdet1のモニタの設定手順 説明文を表に変更
		165	8.3.3 Vdet2 のモニタ 表8.3 Vdet2のモニタの設定手順 説明文を表に変更
		166	図8.4 電圧監視0 リセット動作例 変更
		167	表8.5 電圧監視2 割り込み、電圧監視2 リセット関連ビットの動作設定手順 変更
		168	表8.6 電圧監視2 割り込み、電圧監視2 リセット関連ビットの停止設定手順 変更
		9. クロック発生回路	
		174	表9.1 クロック発生回路の仕様 メインクロック発振器「強制発振機能」項目 削除、BCLK端子の出力制御機能 変更
		179	9.2.2 システムクロックコントロールレジスタ3 (SCKCR3) 変更
		180	9.2.3 電圧レギュレータ制御レジスタ (VRCR) 追加
		184	9.2.7 メインクロック発振器コントロールレジスタ (MOSCCR) 変更
		188	9.2.11 高速オンチップオシレータコントロールレジスタ2 (HOCOCR2) 説明追加
		193	9.2.16 高速オンチップオシレータ電源コントロールレジスタ (HOCOPCR) 説明変更
		194	9.2.17 PLL 電源コントロールレジスタ (PLLPCR) 追加
		195	図9.2 水晶振動子の接続例 変更
		196	9.3.2 外部クロックを入力する方法 説明変更
		196	図9.4 外部クロックの接続例 変更
		197	図9.5 32.768kHz 水晶振動子の接続例 変更
		198	9.4.2 サブクロックを使用しない場合の端子処理 説明変更
		198	図9.7 サブクロックを使用しない場合の端子処理 変更
		200	図9.8 発振停止検出からの復帰のフローチャート例 注記変更
		201	9.7.3 FlashIF クロック 変更
		203	9.8.1 クロック発生回路に関する注意事項 (5) 変更
		204、205	9.8.5 サブクロックに関する注意事項 変更
		10. クロック周波数精度測定回路(CAC)	
		206	図10.1 CAC のブロック図 変更
		208	10.2.2 CAC コントロールレジスタ1 (CACR1) 変更
		209	10.2.3 CAC コントロールレジスタ2 (CACR2) 変更
		11. 消費電力低減機能	
		218	表11.1 消費電力低減機能の仕様 変更
		219	表11.2 各モードにおける遷移および解除方法と動作状態 メインクロック発振器 説明変更
		221	図11.1 モード遷移 変更
		227	11.2.5 動作電力コントロールレジスタ (OPCCR) 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2012.09.24	228	表 11.3 動作電力制御モードと動作範囲・消費電力の関係[チップバージョンA、Cの場合] 変更
		229	表 11.4 動作電力制御モードと動作範囲・消費電力の関係[チップバージョンBの場合] 追加
		229	・高速動作モード(チップバージョンA、B、Cの場合) タイトル変更
		231	・中速動作モード1A(チップバージョンA、B、Cの場合) タイトル変更
		231	・中速動作モード1B(チップバージョンA、B、Cの場合) タイトル変更
		231	図 11.3 中速動作モード1A、1Bにおける動作電圧と動作周波数の関係 変更
		232	・中速動作モード2A(チップバージョンBの場合) 追加
		232	・中速動作モード1B(チップバージョンBの場合) 追加
		232	図 11.4 中速動作モード2A、2Bにおける動作電圧と動作周波数の関係 追加
		233	・低速動作モード1(チップバージョンA、Cの場合) タイトル変更
		234	・低速動作モード1(チップバージョンBの場合) 追加
		234	図 11.6 低速動作モード1(チップバージョンBの場合)における動作電圧と動作周波数の関係 追加
		235	・低速動作モード2(チップバージョンA、B、Cの場合) タイトル変更
		236、237	11.2.6 スリープモード復帰クロックソース切り替えレジスタ(RSTCKCR) 変更
		242	11.2.11 ディープスタンバイコントロールレジスタ(DPSBYCR) ビット説明追加
		251	11.2.18 フラッシュHOCOソフトウェアスタンバイコントロールレジスタ 変更
		253	11.5.1 動作電力制御モードの設定方法 説明追加
		255	11.6.1.3 スリープモード復帰クロックソース切り替え機能 変更
		256	11.6.2.1 全モジュールクロックストップモードへの移行 注記変更
		258	11.6.3.1 ソフトウェアスタンバイモードへの移行 変更
		260	11.6.3.2 ソフトウェアスタンバイモードの解除 ・割り込みによる解除 説明変更
		12. レジスタライトプロテクション機能	
		269	表 12.1 PRCR レジスタと保護されるレジスタの対応 PRC2ビット 変更
		270	12.1.1 プロテクトレジスタ(PRCR) 変更
		14. 割り込みコントローラ(ICUb)	
		280	表 14.1 割り込みコントローラの仕様 変更
		296	14.2.13 ノンマスクブル割り込みステータスクリアレジスタ(NMICLR) 変更
		299	14.3.1 割り込みのベクタテーブル 表 14.3 の各項目の内容 変更
		300~305	表 14.3 割り込みのベクタテーブル 変更
		15. バス	
		316	表 15.1 バスの仕様 内部周辺バス 変更
		317	図 15.1 バスの構成図 変更
		318	表 15.2 バス種類別アドレス対応表 変更
		321	表 15.4 内部周辺バスに接続される周辺機能 変更
		322	15.2.5 ライトバッファ機能(内部周辺バス) タイトル、図参照先 追加
		328	15.3.1 CSn 制御レジスタ(CSnCR) (n=0~3) 変更
		330	15.3.2 CSn リカバリサイクル設定レジスタ(CSnREC) (n=0~3) 変更
		332	15.3.3 CS リカバリサイクル挿入許可レジスタ(CSRECEN) 変更
		335	15.3.4 CSn モードレジスタ(CSnMOD) (n=0~3) 変更
		337	15.3.5 CSn ウェイト制御レジスタ1(CSnWCR1) (n=0~3) 変更
		340~343	15.3.6 CSn ウェイト制御レジスタ2(CSnWCR2) (n=0~3) 変更
		344	15.3.9 バスエラーステータスレジスタ1(BERSR1) 変更
		354	図 15.10 バスタイミング(ノーマルリード) (n=0~3, m=0, 1) 注記追加
		362	15.5.2 アドレス/データマルチプレクスバス 説明変更
		—	図 15.27 アドレス/データマルチプレクスI/O インタフェース時、リードアクセスが分割された場合の動作例(n=0~3, m=0, 1) 削除
		—	図 15.28 アドレス/データマルチプレクスI/O インタフェース時、ライトアクセスが分割された場合の動作例(n=0~3, m=0, 1) 削除
		369	図 15.33 BCLK 端子出力選択ビットでBCLKの2分周を設定した場合のリカバリサイクルの動作例(セパレートバスインタフェース、ノーマルアクセスの場合)(m=0, 1) 追加
		371	15.5.6 ライトバッファ機能(外部バス) タイトルに(外部バス)追加
		372	15.6.2 アドレス/データマルチプレクスバスの場合の制約事項 説明変更
		374	15.7.1.2 タイムアウト 説明変更
		375	表 15.11 発生するバスエラーの種類 変更
		16. DMAコントローラ(DMACA)	
		377	図 16.1 DMAC のブロック図 変更
		17. データトランスファコントローラ(DTCa)	
		418	図 17.1 DTC のブロック図 変更
		425	17.2.8 DTC ベクタベースレジスタ(DTCVBR) 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2012.09.24	428	17.3 起動要因 変更
		439	17.4.6 チェーン転送 変更
		442	図 17.13 転送情報スキップ時の動作例 (ベクタ、転送情報、転送先がRAM、転送元は周辺モジュールの場合) 変更
		450	17.10.3 割り込みコントローラのDTC 起動許可レジスタ (ICU.DTCERn) の設定 変更
		18. イベントリンクコントローラ (ELC)	
		454	表 18.3 ELSRn.ELSRn[7:0] ビットに設定するイベント信号名と信号番号の対応 変更
		19. I/Oポート	
		471	表 19.2 I/Oポートの機能 変更、注記追加
		472	図 19.1 入出力ポートの構成(1) 変更
		473	図 19.2 入出力ポートの構成(2) 変更
		474	図 19.3 入出力ポートの構成(3) 変更
		475	図 19.4 入出力ポートの構成(4) 変更
		476	図 19.5 入出力ポートの構成(5) 変更
		481	19.3.5 オープンドレイン制御レジスタ0 (ODR0) 変更
		482	19.3.6 オープンドレイン制御レジスタ1 (ODR1) 変更
		483	19.3.7 プルアップ制御レジスタ (PCR) 変更
		484	19.3.8 駆動能力制御レジスタ (DSCR) 変更
		485	表 19.3 未使用端子の処理内容 変更
		20. マルチファンクションピンコントローラ (MPC)	
		486~493	表 20.1 マルチプル端子の割り当て端子一覧 変更
		494	20.2.1 書き込みプロテクトレジスタ (PWPR) 変更
		495	20.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n=3、5、7) 変更
		495~513	表 20.2~表 20.30 表タイトルから「TFLGA」、「LQFP」を削除
		—	表 20.3 64ピン端子入出力機能レジスタ設定 削除
		498	表 20.7 80ピン端子入出力機能レジスタ設定 変更
		498	表 20.8 64ピン、48ピン端子入出力機能レジスタ設定 変更
		509	表 20.25 80ピン端子入出力機能レジスタ設定 変更
		511	表 20.27 48ピン端子入出力機能レジスタ設定 変更
		513	表 20.30 80ピン端子入出力機能レジスタ設定 変更
		514	20.2.15 CS 出力許可レジスタ (PFCSE) 変更
		516	20.2.17 アドレス出力許可レジスタ1 (PFAOE1) 変更
		518	20.2.19 外部バス制御レジスタ1 (PFBCR1) WAITS[1:0] ビット 説明変更
		519	20.3 外部バスインタフェース設定方法 説明変更
		519、520	表 20.35 外部バスインタフェース設定方法 出力信号名 → 信号名、PC5、PC6、PC7 変更、 システムコントロールレジスタ0 (SYSCR0) の欄 削除
		521	20.4.1 端子入出力機能設定手順 変更
		521	20.4.2 MPC レジスタ設定する場合の注意事項 6. 変更
		522	表 20.36 レジスタの設定 注記変更
		21. マルチファンクションタイマパルスユニット2 (MTU2a)	
		全体	用語の変更 0出力 → Low出力、1出力 → High出力、ノーマルモード動作 → 通常動作 Highレベル → High、Lowレベル → Low
		531、532	21.2.2 タイマモードレジスタ (TMDR) 変更
		551	21.2.9 タイマA/D 変換開始要求コントロールレジスタ (TADCR) 変更
		557	21.2.16 タイマリードライト許可レジスタ (TRWER) 変更
		558	21.2.17 タイマアウトプットマスタ許可レジスタ (TOER) 変更
		559	21.2.18 タイマアウトプットコントロールレジスタ1 (TOCR1) 変更
		561	21.2.19 タイマアウトプットコントロールレジスタ2 (TOCR2) 変更
		572	21.2.29 タイマデッドタイム許可レジスタ (TDER) 変更
		573	21.2.30 タイマ波形コントロールレジスタ (TWCR) 変更
		574~576	21.2.31 ノイズフィルタコントロールレジスタ (NFCR) 変更
		582	図 21.10 インพุットキャプチャ動作の設定手順例 変更
		591	21.3.4 カスケード接続動作 変更
		594	図 21.23 カスケード接続動作例 (c) 変更
		597	(2) PWM モードの動作例 変更
		612	図 21.38 相補PWM モードの設定手順例 説明変更
		614	(b) レジスタの動作 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2012.09.24	615	図21.40 相補PWM モード動作例 変更
		616	(f) デッドタイムを生成しない設定 変更
		617	図21.41 デッドタイムを生成しない場合の動作例 変更
		622	(j) 相補PWM モードのPWM 出力生成方法 変更
		623	図21.47 相補PWM モード波形出力例 (2) 凡例追加
		623	図21.48 相補PWM モード波形出力例 (3) 凡例追加
		628	(n) 相補PWM モードでの同期カウンタクリア時出力波形制御 変更
		628	図21.56 同期カウンタクリアタイミング 変更
		629	図21.58 アップカウント中のデッドタイム時に同期クリアが発生した場合 変更
		630	図21.59 山のTb 区間で同期クリアが発生した場合 変更
		630	図21.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合 変更
		631	図21.61 谷のTb 区間で同期クリアが発生した場合 変更
		632	(p) AC 同期モータ (ブラシレスDC モータ) の駆動波形出力例 変更
		632	図21.63 外部入力による出力相の切り換え動作例 (1) 変更
		632	図21.64 外部入力による出力相の切り換え動作例 (2) 変更
		633	図21.65 UF、VF、WF ビット設定による出力相の切り換え動作例 (1) 変更
		633	図21.66 UF、VF、WF ビット設定による出力相の切り替え動作例 (2) 変更
		634	(3) 相補PWM モードの割り込み間引き機能 変更
		635	図21.69 割り込み間引き機能の動作例 変更
		636	図21.70 バッファ転送を抑制する設定 (BTE1 = 0、BTE0 = 1) にした場合の動作例 変更
		637	図21.71 バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例 変更
		640	21.3.9 A/D 変換開始要求ディレイド機能 変更
		640	図21.73 A/D 変換開始要求ディレイド機能の設定手順例 変更
		641	(3) バッファ転送 変更
		642	図21.75 割り込み間引き機能と連動した場合のA/D 変換の開始要求信号 (TRG4AN) の動作例 変更
		643	図21.77 外部パルス幅測定の設定手順例 注記変更 変更
		644	図21.79 相補PWM モード動作時のデッドタイム遅れ 変更
		645	図21.80 デッドタイム補償機能の設定手順例 変更
		646	(2) 相補PWM の「山/谷」でのTCNT キャプチャ動作 変更
		646	図21.82 相補PWM モード時の「山/谷」でのMTU5.TCNT キャプチャ動作 変更
		646	21.3.12 ノイズフィルタ機能 変更
		646	図21.83 ノイズフィルタのタイミング 変更
		647	21.4.1 割り込み要因と優先順位 変更
		657	図21.101 TGI 割り込みタイミング (コンペアマッチ) (MTU5) 変更
		660	21.6.2 入力クロックの制限事項 変更
		660	図21.106 位相計数モード時の位相差、オーバーラップ、およびパルス幅 変更
		664	21.6.9 TGR の読み出しとインプットキャプチャの競合 変更
		664	図21.112 TGR の読み出しとインプットキャプチャの競合 (MTU0 ~ MTU5) 図タイトル 変更
		—	図21.113 TGR の読み出しとインプットキャプチャの競合 (MTU5) 削除
		669	21.6.15 リセット同期PWM モードのバッファ動作とコンペアマッチフラグ 変更
		669	図21.118 リセット同期PWM モードのバッファ動作とコンペアマッチフラグ 変更
		670	図21.119 リセット同期PWM モードのオーバフローフラグ 変更
		673	21.6.22 カスケード接続におけるMTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ 変更
		673	21.6.24 MTU5.TCNTとMTU5.TGRの注意事項 追加
		674	図21.122 同期クリア例 (条件1の場合) 変更
		675	図21.123 同期クリア例 (条件2の場合) 変更
		676	21.6.26 コンペアマッチによる割り込み信号の連続出力 変更
		676	図21.124 コンペアマッチによる割り込み信号の連続出力 変更
		678~702	21.7.3 動作中の異常などによる端子の初期化手順、モード遷移の概要 (1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作~(29) リセット同期PWM モードで動作中に異常が発生し、リセット同期PWM モードで再スタートする場合の動作 変更
		678~702	図21.125~図21.153 変更
			22. ポートアウトプットイネーブル2 (POE2a)
		705	表22.1 POEの仕様 変更
		706	図22.1 POEのブロック図 変更
708、709	22.2.1 入力レベルコントロール/ステータスレジスタ1 (ICSR1) 変更		
711	22.2.3 入力レベルコントロール/ステータスレジスタ2 (ICSR2) 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2012.09.24	23. 8ビットタイマ (TMR)	
		723	表 23.2 TMRの機能一覧 変更
		727	23.2.1 タイマカウンタ (TCNT) 変更
		728	23.2.2 タイムコンスタントレジスタ A (TCORA) 変更
		728	23.2.3 タイムコンスタントレジスタ B (TCORB) 変更
		738	23.4.2 コンペアマッチ時の割り込みタイミング 変更
		738	図 23.7 コンペアマッチ時の割り込みタイミング 変更
		739	23.4.3 コンペアマッチ時のタイマ出力タイミング 変更
		741	23.4.6 オーバフローによる割り込みタイミング 変更
		741	図 23.12 オーバフローによる割り込みタイミング 変更
		748	図 23.15 TCORA、TCORB レジスタのライトとコンペアマッチの競合 変更
		748	23.8.6 コンペアマッチ A、B の競合 変更
		24. コンペアマッチタイマ (CMT)	
		757	24.4.2 コンペアマッチ割り込みの発生タイミング 変更
		757	図 24.4 コンペアマッチ割り込みタイミング 変更
		25. リアルタイムクロック (RTCb)	
		760	表 25.1 RTCの仕様 注1 追加
		761	図 25.1 RTC のブロック図 変更
		761	表 25.2 RTCの入出力端子 説明変更
		776、777	25.2.18 RTC コントロールレジスタ 2 (RCR2) 変更
		778、779	25.2.19 RTC コントロールレジスタ 3 (RCR3) 変更
		781	25.2.21 時間キャプチャ制御レジスタ y (RTCCRy) (y=0 ~ 2) 変更
		788	図 25.2 電源投入後の初期設定概要 変更
		792	図 25.7 アラーム機能の使用法 変更
		795	25.3.8.3 補正モードの変更手順 変更
		797	25.4 割り込み要因 (1) アラーム割り込み (ALM) 変更
		800	25.6.2 周期割り込みの使用について 変更
		800	25.6.3 RTCOUT (1Hz) 出力について 変更
		26. ウォッチドッグタイマ (WDTA)	
		—	26.4 使用上の注意事項 削除
		814	図 26.5 WDTCR レジスタ書き込み制御波形 変更
		816	図 26.6 WDT リフレッシュ動作波形 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b) 変更
		817	図 26.7 WDT ダウンカウンタ値の読み出し処理 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b) 変更
		27. 独立ウォッチドッグタイマ (IWDTa)	
		820	表 27.1 IWDTの仕様 注1 追加
		833	図 27.5 IWDTCR レジスタ書き込み制御波形 変更
		835	図 27.6 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0010b、IWDTCR.TOPS[1:0] = 01 b) 変更
		836	図 27.7 IWDT ダウンカウンタ値の読み出し処理 (IWDTCR.CKS[3:0] = 0010b、IWDTCR.TOPS[1:0] = 11b) 変更
		—	図 27.7 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0010b、IWDTCR.TOPS[1:0] = 01 b) 削除
		—	図 27.9 IWDT ダウンカウンタ値の読み出し処理 (IWDTCR.CKS[3:0] = 0010b、IWDTCR.TOPS[1:0] = 11b) 削除
		28. シリアルコミュニケーションインタフェース (SC1c、SC1d)	
		838	28.1 概要 変更
		839	表 28.1 SC1cの仕様 変更、注1. 追加
		840	表 28.2 SC1dの仕様 変更、イベントリンク機能 削除、注1. 追加
		856、857	28.2.7 シリアルステータスレジスタ (SSR) (1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIFビット=0) 注2. 変更
		860	28.2.8 スマートカードモードレジスタ (SCMR) ビット機能表の注2. 削除
		865	表 28.15 ビットレートに対するBRRの設定例 (クロック同期式モード、簡易SPIモード) 注1. 変更
		869	図 28.4 TMR クロック入力時の平均転送レート設定例 変更
		880	28.2.20 コントロールレジスタ 2 (CR2) 変更
		895	図 28.8 SC1 の初期化フローチャートの例 (調歩同期式モード) 変更
		897	図 28.10 調歩同期式モードのシリアル送信のフローチャート例 変更
		901	図 28.14 調歩同期式モードのシリアル受信のフローチャート例 (2) [6] 説明追加
		906	図 28.19 マルチプロセッサシリアル受信のフローチャートの例 (2) [6] 説明追加

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.20	2012.09.24	914	図28.26 クロック同期式モードのシリアル受信のフローチャート例 [6] 説明追加		
		931	図28.45 SCIの初期化フローチャート例(簡易I ² Cモード) 変更		
		940	図28.54 Start Frame 送信時の動作例 変更		
		941	図28.55 Start Frame 送信フローチャート例(1) 変更		
		944	図28.57 Start Frame 受信時の動作例 変更		
		948	図28.61 Start Frame の受信時の動作例(プライオリティインタラプトビット使用時) 変更		
		949	図28.62 バス衝突検出機能の動作例 変更		
		950	図28.63 デジタルフィルタ機能の動作例 変更		
		951	図28.64 ビットレート測定機能動作例 変更		
		952	図28.65 RXDX12 受信データサンプリングタイミング 変更		
		953	図28.66 Break Field Low width 出力モードの動作例 変更		
		954	図28.67 Break Field Low width 判定モードの動作例 変更		
		961	28.13.3 マーク状態とブレークの送出 変更		
		962	28.13.9 低消費電力状態時の動作について (1) 送信 変更		
		963	図28.69 送信時のソフトウェアスタンバイモード遷移フローチャートの例 変更		
		29. I ² C バスインタフェース (RIIC)			
		968	表29.1 RIICの仕様 変更		
		971	表29.3 16ビットアクセスのレジスタ配置 追加		
		978	29.2.4 I ² C バスモードレジスタ2 (ICMR2) 変更		
		979	TMWE ビット (タイムアウト内部カウンタ書き込み許可ビット) 追加		
		1003	29.2.18 タイムアウト内部カウンタ (TMOCNT) 追加		
		1005	図29.5 RIIC の初期化フローチャート例 変更		
		1007	図29.6 マスタ送信のフローチャート例 変更		
		1012	図29.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマットの場合) 変更		
		1013	図29.11 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS=0 のとき) 変更		
		1013	図29.12 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマット、RDRFS=0 のとき) 変更		
		1016	図29.14 スレーブ送信のフローチャート例 変更		
		1019	図29.17 スレーブ受信のフローチャート例 変更		
		1032	図29.31 受信モードの自動Low ホールド動作 (RDRFS、WAIT ビット) 変更		
		30. シリアルペリフェラルインタフェース (RSPI)			
		1050	表30.1 RSPIの仕様 ビットレート 追加、イベントリンク機能 変更		
		1055	30.2.2 RSPI スレーブセレクト極性レジスタ (SSLP) 変更		
		1056	30.2.3 RSPI 端子制御レジスタ (SPPCR) 変更		
		1058	30.2.4 RSPI ステータスレジスタ (SPSR) IDLNF フラグ (RSPIアイドルフラグ) 変更		
		1059	図30.2 SPDR レジスタの構造図 変更		
		1059	30.2.5 RSPI データレジスタ (SPDR) 変更		
		1060	(a) 書き込み 変更		
		1090	(4) LSB ファースト転送 (24ビットデータ) 変更		
		1093	図30.25 SPCR.TXMD = 0 の動作例 変更		
		1093	30.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD=0) 説明削除		
		1098	30.3.8.1 オーバランエラー 説明削除		
		1100	30.3.8.2 パリティエラー 説明削除		
		1101	30.3.8.3 モードフォルトエラー 説明変更、削除		
		1105	図30.32 シーケンス動作時のRSPI コマンドレジスタと送受信バッファの対応 変更		
		1109	図30.34 マスタモード時の初期化フロー例 (SPI 動作) 変更		
		1110~ 1112	30.3.10.1 マスタモード動作 (9) 動作フロー → (9) ソフトウェア処理フロー		
		1114	図30.38 スレーブモード時の初期化フロー例 (SPI 動作) 変更		
		1115、 1116	30.3.10.2 スレーブモード動作 (6) 動作フロー → (6) ソフトウェア処理フロー		
		1119	図30.44 シーケンス動作時のRSPI コマンドレジスタと送受信バッファの対応 変更		
		1120	図30.45 マスタモード時の初期化フロー例 (クロック同期式動作) 変更		
		1121	30.3.12 マスタモード動作 (5) 動作フロー → (5) ソフトウェア処理フロー		
		1122	図30.46 スレーブモード時の初期化フロー例 (クロック同期式動作) 変更		
		1122	30.3.13 スレーブモード動作 (4) 動作フロー → (4) ソフトウェア処理フロー		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2012.09.24	1125	表30.13 RSPIの割り込み要因 変更
		1127	30.4.5 送信完了イベント出力 変更
		1128	30.5.3 通信の開始に関する注意事項 変更
		32. 12ビットA/Dコンバータ (S12ADb)	
		1181	表32.9 アナログ端子の規格 注記変更
		1183	32.7.12 12ビットA/Dコンバータ入力を使用する場合のポートの設定 変更
		34. 温度センサ (TEMPSa)	
		1193	34.2.1 温度センサコントロールレジスタ (TSCR) 変更
		35. コンパレータ A (CMPA)	
		1205	35.2.6 電圧監視1回路/コンパレータA1制御レジスタ0 (LVD1CR0) 変更
		1207	35.2.7 電圧監視2回路/コンパレータA2制御レジスタ0 (LVD2CR0) 変更
		1209	35.3.1 コンパレータA1のモニタ 変更
		1209	表35.3 コンパレータA1のモニタの設定手順 説明文を表に変更
		1209	35.3.2 コンパレータA2のモニタ 変更
		1209	表35.4 コンパレータA2のモニタの設定手順 説明文を表に変更
		1210	表35.5 コンパレータA1割り込み/ELC関連ビットの動作設定手順 変更
		1212	表35.7 コンパレータA2割り込み/ELC関連ビットの動作設定手順 変更
		39. ROM (コード格納用フラッシュメモリ)	
		—	表39.1 ROMの仕様 プロテクト機能 削除
		1233	39.2.1 フラッシュライトイレースプロテクトレジスタ (FWEPROR) 変更
		1235、1236	39.2.3 フラッシュアクセスステータスレジスタ (FASTAT) 変更
		1238	39.2.5 FCU RAM イネーブルレジスタ (FCURAME) 変更
		1242	39.2.7 フラッシュステータスレジスタ1 (FSTATR1) 変更
		1244	39.2.9 フラッシュP/Eモードエントリレジスタ (FENTRYR) 変更
		1246	39.2.10 フラッシュプロテクトレジスタ (FPROTR) 変更
		1247	39.2.11 フラッシュリセットレジスタ (FRESETR) 変更
		1251	39.2.15 周辺クロック通知レジスタ (PCKAR) 変更
		1254	表39.4 各モードの相違点 変更
		1255	図39.4 FCUのモード移行図 (ROM関連) 変更
		1258	表39.6 FCUコマンドのフォーマット アドレスの列 変更
		1261	図39.6 ROMリードモード移行フロー 変更
		1264	図39.10 プログラム/イレース処理の概略フロー 変更
		1265	(1) FCU RAM へのファームウェア転送方法 変更
		1267	図39.12 周辺クロック通知コマンドの使用法 変更
		1269	図39.13 ROMプログラム方法 変更
		1270	図39.14 ROMイレース方法 変更
		1271	図39.15 ロックビットのプログラムの設定方法 変更
		1272	図39.16 レジスタリード方式でロックビットを読み出す方法 変更
		1274	(3) FCUの初期化の方法 変更
		1275	図39.18 プログラム/イレースのサスペンド方法 変更
		1276	図39.19 プログラム/イレースのレジューム方法 変更
		1278	39.7.1 書き込み、および消去のサスペンド (サスペンド優先モード) 変更
		1278	図39.20 消去処理の中断動作 (サスペンド優先モード) 変更
		1280	39.8 プロテクト 変更
		1280	39.8.2 コマンドロック状態 変更
		1281	表39.8 コマンドロック状態となるエラーの一覧 (ROM専用+ROM/E2データフラッシュ共通) 表タイトル 変更、不正コマンドエラー 説明変更
		1282	39.9 ユーザブートモード 変更
		1282	図39.22 ブートモード時のシステム構成 変更
		1283	表39.9 ROM関連の入出力端子 変更
		1286	39.10.3 ビットレートの自動調整 説明変更
		1286	表39.10 ビットレート自動調整が可能な条件 変更
		1287	表39.11 IDコードプロテクト仕様 変更
		1291	(1) サポートデバイス問い合わせ 変更
		1291	(2) デバイス選択 変更
		1292	(3) クロックモード問い合わせ 変更
		1292	(4) クロックモード選択 変更

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.20	2012.09.24	1293	(5) 通信比問い合わせ 変更		
		1293	(6) 動作周波数問い合わせ 変更		
		1294	(7) ユーザブート領域情報問い合わせ 変更		
		1294	(8) ユーザ領域情報問い合わせ 変更		
		1297	(11) 新ビットレート選択 ・ビットレート選択不可エラー 計算式 変更		
		1298	(12) プログラム/ イレーズステータス遷移 変更		
		1299	(13) ブートプログラムステータス問い合わせ 変更		
		1300	(1) ID コードチェック 変更		
		1301	39.10.8 プログラム/ イレーズコマンド待ち 変更		
		1301	表 39.16 プログラム/ イレーズコマンド 変更		
		1307	(11) リードロックビットステータス 変更		
		1310	(2) プログラム/ イレーズサスペンドによる中断 説明変更		
		1310	(4) プログラム/ イレーズ中のリセット 説明変更		
		1310	(5) プログラム/ イレーズ中のノンマスクブル割り込み禁止 説明変更		
		1310	(8) プログラム/ イレーズ中の異常終了 説明変更		
		1311	(9) プログラム/ イレーズ中の禁止事項 説明変更		
		40. E2 データフラッシュ (データ格納用フラッシュメモリ)			
		1312	40.1 概要 説明文追加		
		1313	図 40.1 E2 データフラッシュのブロック図 変更		
		1315	40.2.2 フラッシュアクセスステータスレジスタ (FASTAT) 変更		
		1318	40.2.4 E2 データフラッシュ読み出し許可レジスタ 0 (DFLRE0) 変更		
		1319	40.2.5 E2 データフラッシュプログラム/ イレーズ許可レジスタ 0 (DFLWE0) 変更		
		1320	40.2.6 フラッシュ P/E モードエントリレジスタ (FENTRYR) 変更		
		1321	40.2.7 E2 データフラッシュブランクチェック制御レジスタ (DFLBCCNT) 変更		
		1323	40.3 E2 データフラッシュのメモリ領域構成 変更		
		1324	表 40.2 各モードの相違点 変更		
		1327	表 40.3 FCU コマンド一覧 (E2 データフラッシュ関連) 変更		
		1327	表 40.4 FCU コマンドのフォーマット (E2 データフラッシュ専用コマンド) 変更		
		1329	(2) プログラム方法 変更		
		1330	図 40.5 E2 データフラッシュの書き込み 変更		
		1331	(3) イレーズ方法 変更		
		1331	(4) ブランクチェック 説明変更		
		1332	図 40.6 E2 データフラッシュのブランクチェック 変更		
		1334	40.7.2 コマンドロック状態 変更		
		1334	表 40.6 コマンドロック状態となるエラーの一覧 (E2 データフラッシュ専用) 表タイトル 変更、不正コマンドエラー 説明変更		
		1336	(2) データ領域情報問い合わせ 変更		
		1337	(1) データ領域チェックサム 変更		
		1338	(2) その他の注意事項 説明変更		
		41. 電气的特性			
		1339	表 41.1 絶対最大定格 【使用上の注意】変更、注 3. 追加		
		1340	表 41.2 DC 特性 (1) 変更		
		1340	表 41.2 DC 特性 (2) 変更		
		1341	表 41.5 DC 特性 (4) 変更		
		1341 ~ 1355	表 41.6 DC 特性 (5) ~ 表 41.8 DC 特性 (7) ↓ 表 41.6 DC 特性 (5) ~ 表 41.12 DC 特性 (11) 変更		
		1343 ~ 1357	図 41.1 高速動作モードの電圧依存性 (参考データ) ~ 図 41.8 ディープソフトウェアスタンバイモード時の温度依存性 (参考データ) ↓ 図 41.1 高速動作モードの電圧依存性 (参考データ) チップバージョン A、C ~ 図 41.17 ディープソフトウェアスタンバイモード時の温度依存性 (DEEPCUT1 ビット = 1) (参考データ) チップバージョン B 追加		
		1358	表 41.13 DC 特性 (12) 測定条件 変更		
		1358	表 41.14 DC 特性 (13) 変更、注記 削除		
		1358	表 41.15 DC 特性 (14) 追加		
		1358	表 41.16 DC 特性 (15) 測定条件 追加		
		1359	表 41.17 DC 特性 (16) 追加		
		1359	図 41.18 電源リップル波形 追加		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2012.09.24	1360	表41.20 出力電流値 (1) 変更、表タイトル前に[チップバージョンAの場合] 追加
		1360	表41.21 出力電流値 (2) 変更、表タイトル前に[チップバージョンAの場合] 追加
		1360	表41.22 出力電流値 (3) 追加
		1361	表41.23 出力電流値 (4) 追加
		1361	表41.24 出力電流値 (5) 追加
		1361	41.2.1 標準I/O 端子出力特性 (1) 追加
		1361	図41.19 通常出力を選択したときのVOH/VOL、IOH/IOL 電圧特性Ta = 25 °C (参考データ) 追加
		1362	図41.20 通常出力を選択したときのVOH/VOL、IOH/IOL 温度特性VCC = 1.62V (参考データ) 追加
		1362	図41.21 通常出力を選択したときのVOH/VOL、IOH/IOL 温度特性VCC = 2.7V (参考データ) 追加
		1363	図41.22 通常出力を選択したときのVOH/VOL、IIOH/IOL 温度特性VCC = 3.3V (参考データ) 追加
		1363	図41.23 通常出力を選択したときのVOH/VOL、IOH/IOL 温度特性VCC = 5.5V (参考データ) 追加
		1364	41.2.2 標準I/O 端子出力特性 (2) 追加
		1364	図41.24 高駆動出力を選択したときのVOH/VOL、IOH/IOL 電圧特性Ta = 25 °C (参考データ) 追加
		1364	図41.25 高駆動出力を選択したときのVOH/VOL、IIOH/IOL 温度特性VCC = 1.62V (参考データ) 追加
		1365	図41.26 高駆動出力を選択したときのVOH/VOL、IOH/IOL 温度特性VCC = 2.7V (参考データ) 追加
		1365	図41.27 高駆動出力を選択したときのVOH/VOL、IOH/IOL 温度特性VCC = 3.3V (参考データ) 追加
		1366	図41.28 高駆動出力を選択したときのVOH/VOL、IOH/IOL 温度特性VCC = 5.5V (参考データ) 追加
		1367	図41.29 RIIC 出力端子のVOL、IOL 電圧特性Ta = 25 °C (参考データ) 追加
		1367	図41.30 RIIC 出力端子のVOL、IOL 温度特性VCC = 2.7V (参考データ) 追加
		1368	図41.31 RIIC 出力端子のVOL、IOL 温度特性VCC=3.3V (参考データ) 追加
		1368	図41.32 RIIC 出力端子のVOL、IOL 温度特性VCC = 5.5V (参考データ) 追加
		1369	表41.25 動作周波数 (高速動作モード) 表タイトル前に[チップバージョンA、B、Cの場合] 追加
		1369	表41.26 動作周波数 (中速動作モード1A) 表タイトル前に[チップバージョンA、B、Cの場合] 追加、(中速動作モードA) → (中速動作モード1A)
		1369	表41.27 動作周波数 (中速動作モード1B) 表タイトル前に[チップバージョンA、B、Cの場合] 追加、(中速動作モードB) → (中速動作モード1B)
		1370	表41.28 動作周波数 (中速動作モード2A) 追加
		1370	表41.29 動作周波数 (中速動作モード2B) 追加
		1370	表41.30 動作周波数 (低速動作モード1) 表タイトル前に[チップバージョンA、Cの場合] 追加
		1371	表41.31 動作周波数 (低速動作モード1) 追加
		1371	表41.32 動作周波数 (低速動作モード2) 表タイトル前に[チップバージョンA、B、Cの場合] 追加
		1372	表41.33 BCLKタイミング (1)、注1.追加
		1372	表41.34 BCLKタイミング (2)、注1.追加
		1372	表41.35 BCLKタイミング (3) 変更、注1. 追加
		1373	表41.36 クロックタイミング サブクロック発振安定待機時間 追加
		1376	図41.42 PLL 電源制御タイミング 追加
		1378	表41.37 リセットタイミング 変更、注. 削除
		1378	図41.44 電源投入時リセット入力タイミング 変更
		1379	表41.38 低消費電力状態からの復帰タイミング 注記追加、表タイトル前に[チップバージョンA、Cの場合] 追加
		1380	表41.39 低消費電力状態からの復帰タイミング 追加
		1383	表41.41 バスタイミング (1) 条件追加
		1383	表41.42 バスタイミング (2) 条件追加
		1384	表41.43 バスタイミング (3) 条件追加
		1385	図41.50 外部バスタイミング/ノーマルリードサイクル (バスクロック同期) 変更
		1386	図41.51 外部バスタイミング/ノーマルライトサイクル (バスクロック同期) 変更
		1387	図41.52 外部バスタイミング/ページリードサイクル (バスクロック同期) 変更
		1387	図41.53 外部バスタイミング/ページライトサイクル (バスクロック同期) 変更
		1389	表41.44 バスタイミング (マルチプレクスバス) (1) 変更、条件追加
		1399	表41.45 バスタイミング (マルチプレクスバス) (2) 変更、条件追加
		1390	表41.46 バスタイミング (マルチプレクスバス) (3) 変更、条件追加
		1392	表41.47 内蔵周辺モジュールタイミング (1) 変更、注2、注3 削除
		1393、1394	表41.48 内蔵周辺モジュールタイミング (2) 変更、注2 削除

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2012.09.24	1394	表 41.49 内蔵周辺モジュールタイミング (3) 変更、注2 削除
		1395	表 41.50 内蔵周辺モジュールタイミング (4) 変更
		1396	表 41.51 内蔵周辺モジュールタイミング (5) 注2. 追加
		1399~1401	図 41.65 RSPI クロックタイミング/簡易SPIクロックタイミング~ 図 41.69 RSPI タイミング (スレーブ、CPHA=1) /簡易SPIタイミング (スレーブ、CKPH=0) 簡易SPIの信号線名の追加
		1402	図 41.70 RIIC バスインタフェース入出力タイミング/簡易IICバスインタフェース入出力タイミング測定条件変更
		1403	表 41.52 A/D変換特性 (1) 変更
		1404	表 41.55 A/D変換特性 (2) 変更
		1404	表 41.56 A/D変換特性 (3) 変更
		1405	表 41.57 サンプリング時間 追加
		1405	図 41.71 アナログ入力端子の内部等価回路 追加
		1406	図 41.72 A/D コンバータ特性用語説明図 追加
		1406	絶対精度 説明追加
		1406	積分非直線性誤差 (INL) 説明追加
		1408	表 41.60 温度センサ特性 変更
		1047	微分非直線性誤差 (DNL) 説明追加
		1407	オフセット誤差 説明追加
		1407	フルスケール誤差 説明追加
		1408	表 41.60 温度センサ特性 変更
		1410	表 41.62 パワーオンリセット回路、電圧検出回路特性 (1) 変更
		1415~1419	表 41.52 ROM (コード格納用フラッシュメモリ) 特性 (1) ~ 表 41.54 ROM (コード格納用フラッシュメモリ) 特性 (3) 中速動作モードB ↓ 表 41.65 ROM (コード格納用フラッシュメモリ) 特性 (1) ~ 表 41.70 ROM (コード格納用フラッシュメモリ) 特性 (6) 中速動作モード1B、2B 変更
		1420~1424	表 41.55 E2 データフラッシュ特性 (1) ~ 表 41.57 E2 データフラッシュ特性 (3) 中速動作モードB ↓ 表 41.71 E2 データフラッシュ特性 (1) ~ 表 41.76 E2 データフラッシュ特性 (6) 中速動作モード1B、2B 変更
		付録2. 外形寸法図	
		1430	図 B. 100ピンTFLGA (PTLG0100KA-A) 追加
		1431	図 C. 64ピンTFLGA (PTLG0064JA-A) 追加
		1432	図 D. 100ピンLQFP (PLQP0100KB-A) 変更
		1433	図 E. 80ピンLQFP (PLQP0080KB-A) 変更
1435	図 G. 64ピンLQFP (PLQP0064KB-A) 変更		
1436	図 I. 48ピンLQFP (PLQP0048KB-A) 追加		
1.30	2012.12.04	全体	PLQP0144KA-A 20x20mm、0.5mmピッチ、PTLG0145KA-A 7x7mm、0.5mmピッチ、16ビットタイマパルスユニット (TPUa)、SCI2~SCI4、SCI7、SCI10~SCI12 追加
		特長	
		41	内蔵コードフラッシュメモリ、内蔵SRAM、通信機能、拡張タイマ機能 変更
		1. 概要	
		42~46	表 1.1 仕様概要 変更
		47	表 1.2 パッケージ別機能比較一覧 変更
		49	表 1.4 製品一覧表 チップバージョンB、Dバージョン (Ta=-40~85℃) 変更
		50	表 1.5 製品一覧表 チップバージョンB、Gバージョン (Ta=-40~105℃) 変更
		51	表 1.6 製品一覧表 チップバージョンC、Dバージョン (Ta=-40~85℃)、 表 1.7 製品一覧表 チップバージョンC、Gバージョン (Ta=-40~105℃) 変更
		52	図 1.1 型名とメモリサイズ・パッケージ 変更
		53	図 1.2 ブロック図 変更
		54	表 1.8 端子機能一覧 16ビットタイマパルスユニット追加
		55	表 1.8 端子機能一覧 シリアルコミュニケーションインタフェース (SCIc) 変更
		57	表 1.8 端子機能一覧 I/Oポート変更
		58	図 1.3 145ピンTFLGAピン配置図 (上面透視図) 追加
		59	図 1.4 144ピンLQFPピン配置図 追加
		64~67	表 1.9 機能別端子一覧 (145ピンTFLGA) 追加
		68~71	表 1.10 機能別端子一覧 (144ピンLQFP) 追加
		4. アドレス空間	
		119	図 4.1 各動作モードのメモリマップ 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2012.12.04	5. I/Oレジスタ	
		126～149	表5.1 I/Oレジスタアドレス一覧 変更
		9. クロック発生回路	
		194	9.2.1 システムクロックコントロールレジスタ (SCKCR) 説明変更
		196	9.2.2 システムクロックコントロールレジスタ3 (SCKCR3) 説明変更
		200	9.2.6 外部バスクロックコントロールレジスタ (BCKCR) 説明変更
		11. 消費電力低減機能	
		236	表11.2 各モードにおける遷移および解除方法と動作状態 変更
		240	11.2.2 モジュールストップコントロールレジスタA (MSTPCRA) 変更
		242、243	11.2.3 モジュールストップコントロールレジスタB (MSTPCRB) 変更
		244	11.2.4 モジュールストップコントロールレジスタC (MSTPCRC) 変更
		245	11.2.5 動作電力コントロールレジスタ (OPCCR) 説明変更
		254	11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR) 説明変更
		285	11.7.4 MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み 説明変更
		14. 割り込みコントローラ (ICUb)	
		300	14.2.1 割り込み要求レジスタn (IRn) (n = 割り込みベクタ番号) アドレス変更
		302	14.2.3 割り込み要因プライオリティレジスタn (IPRn) (n = 000 ~ 249) → (n = 000 ~ 250)、アドレス変更
		321～323	表14.3 割り込みのベクタテーブル 変更
		17. データトランスファコントローラ (DTCa)	
		467	17.10.1 転送情報先頭アドレス 説明変更
		19. I/Oポート	
		488	表19.1 I/Oポートの仕様 変更
		490	表19.3 I/Oポートの機能 追加
		492	図19.2 入出力ポートの構成 変更
		493	図19.3 入出力ポートの構成 変更
		495	図19.5 入出力ポートの構成 変更
		496	図19.6 入出力ポートの構成 変更
		497	19.3.1 ポート方向レジスタ (PDR) 変更
		498	19.3.2 ポート出力データレジスタ (PODR) 変更
		499	19.3.3 ポート入力データレジスタ (PIDR) 変更
		500	19.3.4 ポートモードレジスタ (PMR) 変更
		501	19.3.5 オープンドレイン制御レジスタ0 (ODR0) 変更
		502	19.3.6 オープンドレイン制御レジスタ1 (ODR1) 変更
		503	19.3.7 プルアップ制御レジスタ (PCR) 変更
		504	19.3.8 駆動能力制御レジスタ (DSCR) 変更
		505	表19.4 未使用端子の処理内容 変更
		20. マルチファンクションピンコントローラ (MPC)	
		506～517	表20.1 マルチプル端子の割り当て端子一覧 変更
		519	20.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n=0～3、5、7) 変更 表20.2 145ピン、144ピン 端子入出力機能レジスタ設定 追加
		520	20.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n=2～7) 変更 表20.4 145ピン、144ピン 端子入出力機能レジスタ設定 追加
		523	表20.8 145ピン、144ピン 端子入出力機能レジスタ設定 追加
		525	20.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n=0～4) 変更 表20.12 145ピン、144ピン 端子入出力機能レジスタ設定 追加
		527	20.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n=0～7) 変更
		528	20.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n=0～2、4～6) 変更 表20.17 145ピン、144ピン 端子入出力機能レジスタ設定 追加
		529～532	20.2.8 P6n 端子機能制御レジスタ (P6nPFS) (n=0、1)～ 20.2.11 P9n 端子機能制御レジスタ (P9nPFS) (n=0～3)、 表20.19～表20.22 145ピン、144ピン 端子入出力機能レジスタ設定 追加
		533	20.2.12 PAn 端子機能制御レジスタ (PAnPFS) (n=0～7) 変更、 表20.23 145ピン、144ピン 端子入出力機能レジスタ設定 追加
		536	20.2.13 PBn 端子機能制御レジスタ (PBnPFS) (n=0～7) 変更、 表20.28 145ピン、144ピン 端子入出力機能レジスタ設定 追加
		538	表20.32 145ピン、144ピン 端子入出力機能レジスタ設定 追加
		540	20.2.15 PDn 端子機能制御レジスタ (PDnPFS) (n=0～7)、 表20.36 145ピン、144ピン、100ピン 端子入出力機能レジスタ設定 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2012.12.04	541	20.2.16 PEn 端子機能制御レジスタ (PEnPFS) (n=0 ~ 7) 変更、 表 20.38 145 ピン、144 ピン 端子入出力機能レジスタ設定 追加
		543	20.2.17 PF5 端子機能制御レジスタ (PF5PFS) 追加
		544	20.2.18 PHn 端子機能制御レジスタ (PHnPFS) (n=0 ~ 3)、 表 20.41 145 ピン、144 ピン、100 ピン、80 ピン、64 ピン、48 ピン 端子入出力機能レジスタ設定 変更
		545	表 20.42 145 ピン、144 ピン 端子入出力機能レジスタ設定 追加
		546	20.2.20 PKn 端子機能制御レジスタ (PKnPFS) (n=2 ~ 5)、 表 20.45 145 ピン、144 ピン 端子入出力機能レジスタ設定 追加
			23. 16ビットタイマパルスユニット (TPUa)
			755 ~ 825 説明 追加
			29. シリアルコミュニケーションインタフェース (SCIC、SCID)
			942 29. シリアルコミュニケーションインタフェース (SCIC、SCID) 説明変更
			944 表 29.3 SCI チャンネル別機能一覧 項目変更
			948、949 表 29.4 SCI の入出力端子 (調歩同期式/クロック同期式モード) 変更
			949 表 29.5 SCI の入出力端子 (簡易 I ² C モード) 変更
			950 表 29.6 SCI の入出力端子 (簡易 SPI モード) 変更
			952 29.2.2 レシーブデータレジスタ (RDR)、 29.2.3 トランスミットデータレジスタ (TDR) アドレス変更
			953 (1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット=0) アドレス変更
			955 (2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット=1) アドレス変更
			957 (1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット=0) 変更
			960 (2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット=1) 変更
			962 (1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット=0) アドレス変更
			964 (2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット=1) アドレス変更
			966 29.2.8 スマートカードモードレジスタ (SCMR) アドレス変更
			967 29.2.9 ビットレートレジスタ (BRR) アドレス変更
			974 29.2.10 シリアル拡張モードレジスタ (SEMR) アドレス変更
			976 29.2.11 ノイズフィルタ設定レジスタ (SNFR) アドレス変更
			977 29.2.12 I ² C モードレジスタ 1 (SIMR1) アドレス変更
			978 29.2.13 I ² C モードレジスタ 2 (SIMR2) アドレス変更
			979 29.2.14 I ² C モードレジスタ 3 (SIMR3) アドレス変更
			981 29.2.15 I ² C ステータスレジスタ (SISR) アドレス変更
			982 29.2.16 SPI モードレジスタ (SPMR) アドレス変更
			29. シリアルコミュニケーションインタフェース (SCIC、SCID)
			1015 図 29.21 SCI の初期化フローチャートの例 (クロック同期式モード) 変更
			1032 (1) 電源投入時 5. 変更
			30. I ² C バスインタフェース (RIIC)
			1109 30.2.18 タイムアウト内部カウンタ (TMOCNT)・TMCONTU レジスタ 変更
			31. シリアルペリフェラルインタフェース (RSPI)
			1170 表 31.3 SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート、注 1 変更
			33. 12ビット A/D コンバータ (S12ADb)
			1244 表 33.2 12ビット A/D コンバータの機能概要 変更、注 1 追加
			1261 表 33.5 TRSB[3:0] ビットでの A/D 起動要因選択一覧 TPU、注 1 追加
			1261 表 33.6 TRSA[3:0] ビットでの A/D 起動要因選択一覧 TPU、注 1 追加
			1263 33.2.14 A/D サンプリングステートレジスタ n (ADSSTRn) (n=0 ~ 7、L、T、O) ADSSTR3 レジスタのアドレス変更
			39. RAM
			1337 表 39.1 RAM の仕様 変更
			1337 39.2.2 消費電力低減機能 説明変更
			40. ROM (コード格納用フラッシュメモリ)
			1338 表 40.1 ROM の仕様、表 40.2 ROM 容量と ROM アドレスの対応表 変更
			1343 40.2.3 フラッシュアクセスステータスレジスタ (FASTAT) ビット説明変更
			1351 40.2.9 フラッシュ P/E モードエントリレジスタ (FENTRYR) 変更
			1352 40.2.9 フラッシュ P/E モードエントリレジスタ (FENTRYR) ビット説明変更
			1360 図 40.2 ROM の領域構成 変更
			1361 図 40.3 ユーザ領域の消去ブロックの構成 変更

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.30	2012.12.04	1363	図40.4 FCUのモード遷移図 (ROM関連) 変更		
		1364、1365	40.6.1.1 ROMリードモード 変更		
		1366	表40.6 FCUコマンドのフォーマット アドレスの列RA変更		
		1368	40.6.4.1 モード移行 (1)、(2) 説明変更、図40.5 ROM P/E モード移行フロー 変更		
		1373	図40.11 FCU RAMへのファームウェア転送フロー 変更、(3) ROM P/E モード移行 説明変更		
		1374	(4) 周辺クロック通知コマンドの使用法 説明変更		
		1376	(5) プログラム方法 説明変更		
		1388	40.8.1 ソフトウェアプロテクト (2) 説明変更		
		1389、1390	表40.8 コマンドロック状態となるエラーの一覧 (ROM専用+ROM/E2データフラッシュ共通) 変更		
			41. E2データフラッシュ (データ格納用フラッシュメモリ)		
		1428	41.2.6 フラッシュ P/E モードエントリレジスタ (FENTRYR) 変更		
		1435	41.6.1.2 ROM/E2 データフラッシュリードモード、41.6.1.3 E2 データフラッシュ P/E モード 変更		
		1443	表41.6 コマンドロック状態となるエラーの一覧 (E2データフラッシュ専用) 変更		
			42. 電气的特性		
		1449	表42.2、表42.3 DC特性 変更		
		1450～1486	表42.6～表42.20 DC特性 変更、図42.1～図42.34 変更		
		1521	表42.55 内蔵周辺モジュールタイミング 変更		
		1522	[512Kバイト以下のフラッシュメモリまたは48ピン～100ピン版] 表42.56 内蔵周辺モジュールタイミング 追加		
		1523、1524	[768K/1Mバイトフラッシュメモリまたは144/145ピン版] 表42.57 内蔵周辺モジュールタイミング 追加		
		1525	表42.58 内蔵周辺モジュールタイミング 変更		
		1528	図42.75、図42.76 変更		
		1531	図42.83 RSPI タイミング (マスタ、CPHA=0) (ビットレート:PCLKBを2分周以外に設定) / 簡易SPI タイミング (マスタ、CKPH=1)、 図42.84 RSPI タイミング (マスタ、CPHA=0) (ビットレート:PCLKBを2分周に設定) 変更		
		1532	図42.85 RSPI タイミング (マスタ、CPHA=1) (ビットレート:PCLKBを2分周以外に設定) / 簡易SPI タイミング (マスタ、CKPH=0)、 図42.86 RSPI タイミング (マスタ、CPHA=1) (ビットレート:PCLKBを2分周に設定) 変更		
		1536	表42.64 A/D変換特性 条件変更		
		1538	図42.91 A/Dコンバータ特性用語説明図、変更 絶対精度 説明変更		
		1552	表42.80 E2データフラッシュ特性 (1)、表42.81 E2データフラッシュ特性 (2) 項目変更(測定条件→条件)		
			付録1. 各処理状態におけるポートの状態		
		1555～1557	表1.1 各処理状態におけるポートの状態 変更		
			付録2. 外形寸法図		
		1558	図A.145 ピンTFLGA (PTLG0145KA-A) 追加		
		1559	図B.144 ピンLQFP (PLQP0144KA-A) 追加		
		1.40	2013.02.15	全体	「注. このレジスタはPRCR.PRCnビットを“1” (書き込み許可) にした後で書き換えてください。 (n=0～3)」 追記
					製品間の仕様の相違点
				4	表 変更
	1. 概要				
42～46	表1.1 仕様概要 変更、注2 追記				
49	表1.4 製品一覧表 チップバージョンB、Dバージョン (Ta=-40～85℃) 変更				
50	表1.5 製品一覧表 チップバージョンB、Gバージョン (Ta=-40～105℃) 変更、注 追記				
51	表1.6 製品一覧表 チップバージョンC、Dバージョン (Ta=-40～85℃) 注1、 表1.7 製品一覧表 チップバージョンC、Gバージョン (Ta=-40～105℃) 注1 削除、注 追記				
52	図1.1 型名とメモリサイズ・パッケージ 変更				
	5. I/Oレジスタ				
129	表5.1 I/Oレジスタアドレス一覧 変更				
	6. リセット				
151	表6.2 リセット種別ごとの初期化対象 注1 追記				
154	6.2.2 リセットステータスレジスタ1 (RSTSR1) 変更				
	8. 電圧検出回路 (LVDAa)				
177	8.2.6 電圧検出レベル選択レジスタ (LVDLVLR) 変更				

Rev.	発行日	改訂内容	
		ページ	ポイント
1.40	2013.02.15	9. クロック発生回路	
		194	9.2.1 システムクロックコントロールレジスタ (SCKCR) 説明 変更
		196	9.2.2 システムクロックコントロールレジスタ3 (SCKCR3) 説明 変更
		197	9.2.3 電圧レギュレータ制御レジスタ (VRCR) 変更
		200	9.2.6 外部バスクロックコントロールレジスタ (BCKCR) 説明 変更
		201	9.2.7 メインクロック発振器コントロールレジスタ (MOSCCR) 変更
		207	9.2.13 発振停止検出コントロールレジスタ (OSTDCR) 変更
		10. クロック周波数精度測定回路(CAC)	
		223	表 10.1 CACの仕様 変更
		11. 消費電力低減機能	
		235	表 11.1 消費電力低減機能の仕様 変更
		236	表 11.2 各モードにおける遷移および解除方法と動作状態 変更
		240	11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA) 変更
		245	11.2.5 動作電力コントロールレジスタ (OPCCR) 説明 変更
		278	11.6.3.2 ソフトウェアスタンバイモードの解除 変更
		14. 割り込みコントローラ (ICUb)	
		321	表 14.3 割り込みのベクタテーブル 変更
		15. バス	
		389	15.5.5 非アクセス時の状態 変更
		16. DMAコントローラ (DMACA)	
		426	図 16.12 レジスタの設定手順 変更
		17. データトランスファコントローラ (DTCa)	
		446	17.3 起動要因 変更
		465	17.8 イベントリンク機能 変更
		18. イベントリンクコントローラ (ELC)	
		481	表 18.5 イベント入力時のモジュール別動作一覧 注1 追記
		19. I/Oポート	
		492	図 19.2 入出力ポートの構成(2) 変更
		493	図 19.3 入出力ポートの構成(3) 注3 追記
		497	図 19.7 入出力ポートの構成(7) 追記
		498	19.3.1 ポート方向レジスタ (PDR) 説明 変更
		502	19.3.5 オープンドレイン制御レジスタ0 (ODR0) 変更
		506	表 19.4 未使用端子の処理内容 変更
		20. マルチファンクションピンコントローラ (MPC)	
		508	表 20.1 マルチプル端子の割り当て端子一覧 変更
		552	20.2.25 外部バス制御レジスタ1 (PFBCR1) 変更
		556	表 20.51 レジスタの設定 変更
		21. マルチファンクションタイマパルスユニット2 (MTU2a)	
		631	(2) PWM モードの動作例 変更
		23. 16ビットタイマパルスユニット (TPUa)	
		801	(2) PWM モードの動作例 変更
		26. リアルタイムクロック (RTCb)	
		895	図 26.4 時刻設定手順 変更
		28. 独立ウォッチドッグタイマ (IWDTa)	
		940	28.3.4 ステータスフラグ 変更
		30. I ² Cバスインタフェース (RIIC)	
		1080	30.2.2 I ² C バスコントロールレジスタ2 (ICCR2) 変更
		1114	図 30.6 マスタ送信のフローチャート例 変更
		1121	図 30.13 マスタ受信の動作タイミング (3) (RDRFS=0 のとき) 変更
		31. シリアルペリフェラルインタフェース (RSPI)	
		1164	31.2.4 RSPI ステータスレジスタ (SPSR) 変更
		1167	(a) 書き込み 変更
		1171	表 31.3 SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート 注1 変更
		1216	図 31.34 マスタモード時の初期化フロー例 (SPI 動作) 変更
		1227	図 31.45 マスタモード時の初期化フロー例 (クロック同期式動作) 変更
		33. 12ビット A/Dコンバータ (S12ADb)	
		1246	表 33.3 12ビット A/Dコンバータの入力端子、図 33.1 12ビット A/Dコンバータのブロック図 変更
		1270	33.3.2.3 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし) 変更

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.40	2013.02.15	1271	33.3.2.4 チャンネル選択と自己診断（チャンネル専用サンプル&ホールドあり） 変更		
		1277	33.3.3.3 チャンネル選択と自己診断（チャンネル専用サンプル&ホールドなし） 変更		
		1278	33.3.3.4 チャンネル選択と自己診断（チャンネル専用サンプル&ホールドあり） 変更		
		1282	表 33.8 スキャン変換時間（PCLKとADCLKのサイクル数で示す） 変更		
		1285	33.3.10 周辺モジュールからの同期トリガによるA/D変換の開始 変更		
		1290	33.7.10 ボード設計上の注意 変更		
		38. データ演算回路（DOC）			
		1334	38.3.1 データ比較モード 注1 追記		
		40. ROM（コード格納用フラッシュメモリ）			
		1340	図 40.1 ROMのブロック図 変更		
		1352	40.2.9 フラッシュP/Eモードエントリレジスタ（FENTRYR） 変更		
		1357	40.2.13 FCU処理切り替えレジスタ（FCPSR） 変更		
		1377	(5) プログラム方法 変更		
		1386	40.7 サスペンド動作 変更		
		1388	40.7.2 書き込み、および消去のサスペンド（書き込み/消去優先モード）、 図 40.21 消去処理の中断動作（書き込み/消去優先モード） 変更		
		41. E2データフラッシュ（データ格納用フラッシュメモリ）			
		1437	表 41.4 FCUコマンドのフォーマット（E2データフラッシュ専用コマンド） 変更		
		1439	(2) プログラム方法 変更		
		42. 電気的特性			
		1451	表 42.4 DC特性（3） 変更		
		1455	表 42.8 DC特性（7） 変更		
		1462	表 42.11 DC特性（10） 変更		
		1471	表 42.14 DC特性（13） 変更		
		1480	表 42.17 DC特性（16） 変更		
		1481	図 42.31 ソフトウェアスタンバイモード（SOFTCUT[2:0]ビット=110b）時の電圧依存性（参考データ）768K/1Mバイトのフラッシュメモリで100ピン～145ピンのチップバージョンB 変更		
		1482	図 42.32 ソフトウェアスタンバイモード（SOFTCUT[2:0]ビット=110b）時の温度依存性（参考データ）768K/1Mバイトのフラッシュメモリで100ピン～145ピンのチップバージョンB 変更		
		1484	表 42.18 DC特性（17） 変更		
		1485、1486	表 42.19 DC特性（18） 変更		
		1487～1489	「図 42.35 高速動作モードの電圧依存性（参考データ）512Kバイト以下のフラッシュメモリで144ピン～145ピンのチップバージョンB」～ 「図 42.39 低速動作モード2の電圧依存性（参考データ）512Kバイト以下のフラッシュメモリで144ピン～145ピンのチップバージョンB」 追記		
		1490	表 42.20 DC特性（19） 変更		
		1491～1493	「図 42.40 ソフトウェアスタンバイモード（SOFTCUT[2:0]ビット=110b）時の電圧依存性（参考データ）512Kバイト以下のフラッシュメモリで144ピン～145ピンのチップバージョンB」～ 「図 42.43 ディープソフトウェアスタンバイモード時の温度依存性（DEEPCUT1ビット=1）（参考データ）512Kバイト以下のフラッシュメモリで144ピン～145ピンのチップバージョンB」 追記		
		1494	表 42.22 DC特性（21） 変更、注2 追記		
		1509	表 42.44 クロックタイミング 注5 変更		
		1519	表 42.49 バスタイミング（1）、表 42.50 バスタイミング（2） 変更		
		1520	表 42.51 バスタイミング（3） 変更		
		1525	表 42.52 バスタイミング（マルチプレクスバス）（1）、 表 42.53 バスタイミング（マルチプレクスバス）（2） 変更		
		1526	表 42.54 バスタイミング（マルチプレクスバス）（3） 変更		
		1529	表 42.56 内蔵周辺モジュールタイミング（2） 変更		
		1531	表 42.57 内蔵周辺モジュールタイミング（3） 変更		
		1542	表 42.61 A/D変換特性（1）、注3 削除、注4 追記、図 42.90 AVCC-AVREFH 電圧範囲 追記		
		1544	表 42.64 A/D変換特性（2）、注3、表 42.65 A/D変換特性（3）、注3 削除		
		1551	表 42.72 パワーオンリセット回路、電圧検出回路特性（2） 変更		
		1556	表 42.76 ROM（コード格納用フラッシュメモリ）特性（3）高速動作モード・中速動作モード1A 変更		
		1557	表 42.77 ROM（コード格納用フラッシュメモリ）特性（4）中速動作モード1B 変更		
		1558	表 42.78 ROM（コード格納用フラッシュメモリ）特性（5）中速動作モード1A、2A 変更		
		1559	表 42.79 ROM（コード格納用フラッシュメモリ）特性（6）中速動作モード1B、2B 変更		
		1561	表 42.82 E2データフラッシュ特性（3）高速動作モード・中速動作モード1A 変更		
		1562	表 42.83 E2データフラッシュ特性（4）中速動作モード1B 変更		
		1563	表 42.84 E2データフラッシュ特性（5）高速動作モード・中速動作モード1A、2A 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.40	2013.02.15	1564	表 42.85 E2 データフラッシュ特性 (6) 中速動作モード 1B、2B 変更
		付録 1. 各処理状態におけるポートの状態	
1.50	2013.10.15	1568	表 1.1 各処理状態におけるポートの状態 変更
		全体	69ピン WLBGA パッケージ製品の追加
		製品間の仕様の相違点	
		4	表 3 パッケージ、メモリ容量による仕様の相違点 変更
		特長	
		41	SWBG0069LA-A 3.91×4.26mm、0.40mm ピッチ、■用途 追記
		1. 概要	
		42	1.1 仕様概要 変更
		42~46	表 1.1 仕様概要、注 2 変更
		47	表 1.2 パッケージ別機能比較一覧 変更
		48	表 1.3 製品一覧表 チップバージョン A、Dバージョン (Ta = -40 ~ 85°C) 変更、注 追記
		49	表 1.4 製品一覧表 チップバージョン B、Dバージョン (Ta = -40 ~ 85°C)、注 1 変更、注 追記
		50	表 1.5 製品一覧表 チップバージョン B、Gバージョン (Ta = -40 ~ 105°C)、注 変更、注 1 削除
		51	表 1.6 製品一覧表 チップバージョン C、Dバージョン (Ta = -40 ~ 85°C)、表 1.7 製品一覧表 チップバージョン C、Gバージョン (Ta = -40 ~ 105°C)、注 変更
		52	図 1.1 型名とメモリサイズ・パッケージ 変更
		63	図 1.8 69ピン WLBGA ピン配置図 追記
		82、83	表 1.14 機能別端子一覧 (69ピン WLBGA) 追記
		9. クロック発生回路	
		217	9.2.16 高速オンチップオシレータ電源コントロールレジスタ (HOCOPCR) 変更
		218	9.2.17 PLL 電源コントロールレジスタ (PLLPCR) 変更
		14. 割り込みコントローラ (ICUb)	
		329	表 14.3 割り込みのベクタテーブル (5 / 6) 変更
		336	14.4.5 多重割り込み 追記、14.4.6 高速割り込み 変更
		19. I/Oポート	
		495	表 19.1 I/Oポートの仕様 変更
		20. マルチファンクションピンコントローラ (MPC)	
		514~525	表 20.1 マルチプル端子の割り当て端子一覧 変更
		527	20.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n=0 ~ 3、5、7) 変更
		528	20.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n=2 ~ 7) 変更
		529	表 20.6 69ピン、64ピン 端子入出力機能レジスタ設定 タイトル 変更
		532	表 20.10 80ピン 端子入出力機能レジスタ設定 変更、表 20.11 69ピン、64ピン、48ピン 端子入出力機能レジスタ設定 タイトル 変更
		533	20.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n=0 ~ 4) 変更
		534	表 20.15 69ピン、64ピン 端子入出力機能レジスタ設定 タイトル 変更
		535	20.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n=0 ~ 7) 変更
		536	表 20.18 100ピン、80ピン、69ピン、64ピン 端子入出力機能レジスタ設定 タイトル 変更
		541	20.2.12 PAn 端子機能制御レジスタ (PAnPFS) (n=0 ~ 7) 変更
		542	表 20.26 69ピン、64ピン 端子入出力機能レジスタ設定 タイトル 変更
		544	20.2.13 PBn 端子機能制御レジスタ (PBnPFS) (n=0 ~ 7) 変更
		545	表 20.30 69ピン、64ピン 端子入出力機能レジスタ設定 タイトル 変更
		547	表 20.34 80ピン、69ピン、64ピン 端子入出力機能レジスタ設定 タイトル 変更
		549	20.2.16 PEn 端子機能制御レジスタ (PEnPFS) (n=0 ~ 7) 変更
		550	表 20.39 100ピン、80ピン、69ピン、64ピン 端子入出力機能レジスタ設定 タイトル 変更
		552	20.2.18 PHn 端子機能制御レジスタ (PHnPFS) (n=0 ~ 3) 変更、表 20.41 145ピン、144ピン、100ピン、80ピン、69ピン、64ピン、48ピン 端子入出力機能レジスタ設定 タイトル 変更
		21. マルチファンクションタイマパルスユニット 2 (MTU2a)	
		658	(g) PWM 周期の設定 変更
		26. リアルタイムクロック (RTCb)	
		888	26.2.18 RTC コントロールレジスタ 2 (RCR2) 変更
901	図 26.3 クロック設定手順 変更		
30. I ² C バスインタフェース (RIIC)			
1082~1164	ICRXI → RXI、ICTEI → TEI、ICTXI → TXI、ICEEI → EEI 変更		
1085、1086	30.2.1 I ² C バスコントロールレジスタ 1 (ICCR1) 変更		
1127	図 30.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマットの場合、2バイト以下の場合) 追記		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2013.10.15	1128	図30.11 マスタ受信のフローチャート例（7ビットアドレスフォーマット、3バイト以上の場合）変更
		1155	30.11.1 タイムアウト検出機能 変更
		31. シリアルペリフェラルインタフェース（RSPI）	
		1242	表31.14 モードフォルトイベント出力の発生条件 変更
		1243	31.4.4 RSPI アイドルイベント出力 変更、31.4.5 送信完了イベント出力 変更、表31.15 送信完了イベント出力の発生条件（スレーブ） 追記、31.4.6 割り込み処理とイベントリンクの関係 削除
		33. 12ビットA/Dコンバータ（S12ADb）	
		1252、1253	表33.1 12ビットA/Dコンバータの仕様 変更
		42. 電気的特性	
		1503	表42.21 DC特性（20） 注 追記
		1518	表42.44 クロックタイミング 注6、注7 追記
		1551	表42.61 A/D変換特性（1） 注 追記、注4 削除
		1552	表42.62 A/Dコンバータチャンネル分類表 変更
		1553	表42.64 A/D変換特性（2） 注 追記
		付録2. 外形寸法図	
		1582	図E. 69 ピンWLBGA（SWBG0069LA-A） 追記

RX210グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2011年2月25日 Rev.0.50
2013年10月15日 Rev.1.50

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/contact/>

RX210グループ