

RX230 グループ、RX231 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32ビットマイクロコンピュータ

RXファミリ/RX200シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

製品間の仕様の相違点

本 MCU 製品は、製品グループ、チップバージョン、パッケージの違いにより、以下のような仕様の相違点があります。

表1 パッケージによる仕様の相違点

章	仕様差分	
	48ピンパッケージの製品	64ピン、100ピンパッケージの製品
9. クロック発生回路	9.8.5 サブクロックに関する注意事項	サブクロック発振器の端子はありませんが、コールドスタート時は、サブクロック制御回路の初期化が必要です。
		サブクロックの使用の有無に関わらず、コールドスタート時は、サブクロック制御回路を初期化してください。

表2 製品グループ、チップバージョンによる主な仕様の相違点 (1/2)

章	RX231グループ			RX230グループ
	チップバージョンB	チップバージョンA	チップバージョンC	
1. 概要	1.5 ピン配置図	USB関連端子： VCC_USB, VSS_USB, USB0_DP, USB0_DMがあります。		USB関連端子はありません。
		ポートH端子： PH0～PH3はありません。		ポートH端子： PH0～PH3があります。
9. クロック発生回路	9.2.5 USB専用PLLコントロールレジスタ (UPLLCR)	UPLLCRはあります。		UPLLCRはありません。
	9.2.6 USB専用PLLコントロールレジスタ2 (UPLLCR2)	UPLLCR2はあります。		UPLLCR2はありません。
	9.2.14 発振安定フラグレジスタ (OSCOVFSR)	USB専用PLLクロック発振安定フラグはあります。		USB専用PLLクロック発振安定フラグはありません。読むと“0”が読み出されます。
	9.7.5 USBクロック	USBクロックはあります。		USBクロックはありません。
	9.7.6 CANクロック	CANクロックはあります。	CANクロックはありません。	
11. 消費電力低減機能	11.2.3 モジュールストップコントロールレジスタB (MSTPCRB)	RSCAN0モジュールストップ設定ビット (MSTPB0) はあります。		RSCAN0モジュールストップ設定ビット (MSTPB0) はありません。読むと“0”が読めます。書く場合、“1”としてください。
		USB0モジュールストップ設定ビット (MSTPB19) はあります。		USB0モジュールストップ設定ビット (MSTPB19) はありません。
	11.2.5 モジュールストップコントロールレジスタD (MSTPCRD)	SDホストインタフェース (SDHI) モジュールストップ設定ビット (MSTPD19) はあります。	SDホストインタフェース (SDHI) モジュールストップ設定ビット (MSTPD19) はありません。	
		セキュリティ機能モジュールストップ設定ビット (MSTPD31) はあります。	MSTPD31ビットは予約ビットです。	セキュリティ機能モジュールストップ設定ビット (MSTPD31) はありません。MSTPCRDレジスタのb31は予約ビットです。
15. 割り込みコントローラ (ICUb)	15.3.1 割り込みのベクタテーブル	USB0割り込み (ベクタ番号36～38、90) はあります。		USB0割り込み (ベクタ番号36～38、90) はありません。
		SDHI割り込み (ベクタ番号40～43) はあります。	SDHI割り込み (ベクタ番号40～43) はありません。	
		RSCAN0割り込み (ベクタ番号52～56) はあります。	RSCAN0割り込み (ベクタ番号52～56) はありません。	
		セキュリティ割り込み (ベクタ番号111～113) はあります。	セキュリティ割り込み (ベクタ番号111～113) はありません。	
16. バス	16.2.4 内部周辺バス	内部周辺バス3にはUSB0が接続されています。		内部周辺バス3はありません。

表2 製品グループ、チップバージョンによる主な仕様の相違点 (2/2)

章		RX231グループ			RX230グループ
		チップバージョンB	チップバージョンA	チップバージョンC	
21. I/Oポート	21.3.1 ポート方向レジスタ (PDR)	PORTH.PDRはありません。			PORTH.PDRがあります。
	21.3.2 ポート出力データレジスタ (PODR)	PORTH.PODRはありません。			PORTH.PODRがあります。
	21.3.3 ポート入力データレジスタ (PIDR)	PORTH.PIDRはありません。			PORTH.PIDRがあります。
	21.3.4 ポートモードレジスタ (PMR)	PORTH.PMRはありません。			PORTH.PMRがあります。
	21.3.7 ブルアップ制御レジスタ (PCR)	PORTH.PCRはありません。			PORTH.PCRがあります。
	21.3.10 駆動能力制御レジスタ (DSCR)	PORTH.DSCRはありません。			PORTH.DSCRがあります。
22. マルチファンクションピンコントロール (MPC)	22.2.13 PHn端子機能制御レジスタ (PHnPFS) (n = 0~3)	PHnPFSはありません。			PHnPFSがあります。
32. USB2.0ホスト/ファンクションモジュール(USBd)	USB2.0ホスト/ファンクションモジュールはあります。			USB2.0ホスト/ファンクションモジュールはありません。	
36. CANモジュール(RSCAN)	CANインタフェースはあります。		CANインタフェースはありません。		
40. SDホストインタフェース(SDH1a)	SDホストインタフェースはあります(48ピン版を除く)。	SDホストインタフェースはありません。			
41. Trusted Secure IP (TSIP-Lite)	セキュリティ機能はあります。	セキュリティ機能はありません。			
49. フラッシュメモリ	49.8.1 ブートモード(USBインタフェース)	USBインタフェースはあります。			USBインタフェースはありません。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX230 グループ、RX231 グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。

最新版はルネサス エレクトロニクスのホームページに掲載されています。

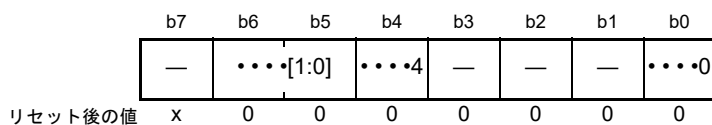
ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	RX230グループ、RX231グループ データシート	R01DS0261JJ
ユーザズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、 メモリマップ、周辺機能の仕様、 電気的特性、タイミング）と動作 説明	RX230グループ、RX231グループ ユーザズマニュアル ハードウェア編	本ユーザズマニュアル
ユーザズマニュアル ソフトウェア編	CPU・命令セットの説明	RXファミリ RXv2命令セットアーキテクチャ ユーザズマニュアル ソフトウェア編	R01US0071JJ
アプリケーションノート	基板設計上の注意事項	RXファミリ ハードウェアデザインガイド	R01AN1411JJ
	レジスタ初期設定例	RX230グループ、RX231グループ 初期設定例	—
	応用例参考プログラムなど	—	—
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に 関する速報	—	—

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.Xレジスタ

アドレス xxxx xxxh



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	····0	····ビット	0 : ····· 1 : 設定しないでください (3)	R/W (1)
b3-b1	—	予約ビット (2)	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	····4	····ビット	0 : ····· 1 : ·····	R
b6-b5	····[1:0]	····ビット	00 : ····· 01 : ····· 上記以外は設定しないでください (3)	R/(W) (注1)
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

- (1) R/W : 読み出し/書き込みともに有効です。
R/(W) : 読み出し/書き込みともに有効ですが、書き込みには制限があります。
制限の内容については、各レジスタの説明や注記を参照ください。
R : 読み出しのみ有効です。書き込みは無効になります。
- (2) 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。
- (3) 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

SuperFlash®は、米国 Silicon Storage Technology, Inc. の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc. からライセンスを受けた SuperFlash® を使用しています。

目次

特長	56
1. 概要	57
1.1 仕様概要	57
1.2 製品一覧	63
1.3 ブロック図	67
1.4 端子機能	68
1.5 ピン配置図	73
2. CPU	91
2.1 特長	91
2.2 CPU レジスタセット	92
2.2.1 汎用レジスタ (R0 ~ R15)	93
2.2.2 制御レジスタ	93
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)	94
2.2.2.2 例外テーブルレジスタ (EXTB)	94
2.2.2.3 割り込みテーブルレジスタ (INTB)	94
2.2.2.4 プログラムカウンタ (PC)	94
2.2.2.5 プロセッサステータスワード (PSW)	95
2.2.2.6 バックアップ PC (BPC)	96
2.2.2.7 バックアップ PSW (BPSW)	97
2.2.2.8 高速割り込みベクタレジスタ (FINTV)	97
2.2.2.9 浮動小数点ステータスワード (FPSW)	98
2.2.3 アキュムレータ	100
2.3 プロセッサモード	101
2.3.1 スーパーバイザモード	101
2.3.2 ユーザモード	101
2.3.3 特権命令	101
2.3.4 プロセッサモード間の移行	101
2.4 データタイプ	102
2.4.1 整数	102
2.4.2 浮動小数点数	103
2.4.3 ビット	103
2.4.4 スtring	104
2.5 エンディアン	105
2.5.1 エンディアンの設定	105
2.5.2 I/O レジスタアクセス	108
2.5.3 I/O レジスタアクセスの注意事項	108
2.5.4 データ配置	109
2.5.4.1 レジスタのデータ配置	109
2.5.4.2 メモリ上のデータ配置	109
2.5.5 命令コード配置の注意事項	109

2.6	ベクタテーブル	110
2.6.1	例外ベクタテーブル	110
2.6.2	割り込みベクタテーブル	111
2.7	命令動作	112
2.7.1	RMPA 命令、ストリング操作命令に関する制約事項	112
2.7.1.1	転送サイズとデータプリフェッチ	112
2.7.1.2	外部空間へのアクセス	112
2.7.1.3	I/O レジスタへのアクセス	112
2.8	サイクル数	113
2.8.1	命令とサイクル数	113
2.8.2	割り込み応答サイクル数	117
3.	動作モード	118
3.1	動作モードの種類と選択	118
3.2	レジスタの説明	119
3.2.1	モードモニタレジスタ (MDMONR)	119
3.2.2	システムコントロールレジスタ 0 (SYSCR0)	120
3.2.3	システムコントロールレジスタ 1 (SYSCR1)	121
3.3	動作モードの説明	122
3.3.1	シングルチップモード	122
3.3.2	内蔵 ROM 有効拡張モード	122
3.3.3	内蔵 ROM 無効拡張モード	122
3.3.4	ブートモード	122
3.3.4.1	ブートモード (USB インタフェース)	122
3.3.4.2	ブートモード (SCI インタフェース)	123
3.4	動作モード遷移	124
3.4.1	モード設定端子による動作モード遷移	124
3.4.2	レジスタ設定による動作モード遷移	124
4.	アドレス空間	125
4.1	アドレス空間	125
4.2	外部アドレス空間	127
5.	I/O レジスタ	128
5.1	I/O レジスタアドレス一覧 (アドレス順)	130
6.	リセット	163
6.1	概要	163
6.2	レジスタの説明	165
6.2.1	リセットステータスレジスタ 0 (RSTSR0)	165
6.2.2	リセットステータスレジスタ 1 (RSTSR1)	166
6.2.3	リセットステータスレジスタ 2 (RSTSR2)	167
6.2.4	ソフトウェアリセットレジスタ (SWRR)	168
6.3	動作説明	169

6.3.1	RES# 端子リセット	169
6.3.2	パワーオンリセット、電圧監視 0 リセット	169
6.3.3	電圧監視 1 リセット、電圧監視 2 リセット	171
6.3.4	独立ウォッチドッグタイマリセット	173
6.3.5	ウォッチドッグタイマリセット	173
6.3.6	ソフトウェアリセット	173
6.3.7	コールドスタート / ウォームスタート判定機能	174
6.3.8	リセット発生要因の判定	175
7.	オプション設定メモリ (OFSM)	176
7.1	概要	176
7.2	レジスタの説明	177
7.2.1	オプション機能選択レジスタ 0 (OFS0)	177
7.2.2	オプション機能選択レジスタ 1 (OFS1)	181
7.2.3	エンディアン選択レジスタ (MDE)	182
7.3	使用上の注意事項	183
7.3.1	オプション設定メモリの設定例	183
8.	電圧検出回路 (LVDAb)	184
8.1	概要	184
8.2	レジスタの説明	187
8.2.1	電圧監視 1 回路制御レジスタ 1 (LVD1CR1)	187
8.2.2	電圧監視 1 回路ステータスレジスタ (LVD1SR)	188
8.2.3	電圧監視 2 回路制御レジスタ 1 (LVD2CR1)	189
8.2.4	電圧監視 2 回路ステータスレジスタ (LVD2SR)	190
8.2.5	電圧監視回路制御レジスタ (LVCMPCR)	191
8.2.6	電圧検出レベル選択レジスタ (LVDLVLR)	192
8.2.7	電圧監視 1 回路制御レジスタ 0 (LVD1CR0)	193
8.2.8	電圧監視 2 回路制御レジスタ 0 (LVD2CR0)	194
8.3	VCC 入力電圧のモニタ	195
8.3.1	Vdet0 のモニタ	195
8.3.2	Vdet1 のモニタ	195
8.3.3	Vdet2 のモニタ	195
8.4	電圧監視 0 リセット	196
8.5	電圧監視 1 割り込み、電圧監視 1 リセット	197
8.6	電圧監視 2 割り込み、電圧監視 2 リセット	199
8.7	イベントリンク出力機能	201
8.7.1	割り込み処理とイベントリンクの関係	201
9.	クロック発生回路	202
9.1	概要	202
9.2	レジスタの説明	205
9.2.1	システムクロックコントロールレジスタ (SCKCR)	205

9.2.2	システムクロックコントロールレジスタ 3 (SCKCR3)	207
9.2.3	PLL コントロールレジスタ (PLLCR)	208
9.2.4	PLL コントロールレジスタ 2 (PLLCR2)	209
9.2.5	USB 専用 PLL コントロールレジスタ (UPLLCR)	210
9.2.6	USB 専用 PLL コントロールレジスタ 2 (UPLLCR2)	211
9.2.7	外部バスクロックコントロールレジスタ (BCKCR)	212
9.2.8	メインクロック発振器コントロールレジスタ (MOSCCR)	213
9.2.9	サブクロック発振器コントロールレジスタ (SOSCCR)	214
9.2.10	低速オンチップオシレータコントロールレジスタ (LOCOCR)	215
9.2.11	IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)	216
9.2.12	高速オンチップオシレータコントロールレジスタ (HOCOCR)	217
9.2.13	高速オンチップオシレータコントロールレジスタ 2 (HOCOCR2)	218
9.2.14	発振安定フラグレジスタ (OSCOVFSR)	219
9.2.15	発振停止検出コントロールレジスタ (OSTDCR)	221
9.2.16	発振停止検出ステータスレジスタ (OSTDSR)	222
9.2.17	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)	223
9.2.18	CLKOUT 出力コントロールレジスタ (CKOCR)	224
9.2.19	メインクロック発振器強制発振コントロールレジスタ (MOFCR)	225
9.2.20	メモリウェイトサイクル設定レジスタ (MEMWAIT)	226
9.2.21	低速オンチップオシレータトリミングレジスタ (LOCOTRR)	228
9.2.22	IWDT 専用オンチップオシレータトリミングレジスタ (ILOCOTRR)	228
9.2.23	高速オンチップオシレータトリミングレジスタ n (HOCOTRRn) (n=0、3)	229
9.3	メインクロック発振器	230
9.3.1	発振子を接続する方法	230
9.3.2	外部クロックを入力する方法	231
9.3.3	メインクロックを使用しない場合の端子処理	231
9.3.4	外部クロック入力に関する注意事項	231
9.4	サブクロック発振器	232
9.4.1	32.768kHz 水晶振動子を接続する方法	232
9.4.2	サブクロックを使用しない場合の端子処理	233
9.5	発振停止検出機能	234
9.5.1	発振停止検出と検出後の動作	234
9.5.2	発振停止検出割り込み	235
9.6	PLL 回路	236
9.7	内部クロック	236
9.7.1	システムクロック	236
9.7.2	周辺モジュールクロック	236
9.7.3	FlashIF クロック	236
9.7.4	外部バスクロック	237
9.7.5	USB クロック	237

9.7.6	CAN クロック	237
9.7.7	CAC クロック	237
9.7.8	RTC 専用クロック	237
9.7.9	IWDT 専用クロック	237
9.7.10	SSI クロック	237
9.7.11	ローパワータイマクロック	238
9.8	使用上の注意事項	239
9.8.1	クロック発生回路に関する注意事項	239
9.8.2	発振子に関する注意事項	239
9.8.3	ボード設計上の注意	239
9.8.4	発振子接続端子に関する注意事項	240
9.8.5	サブクロックに関する注意事項	240
10.	クロック周波数精度測定回路 (CAC)	245
10.1	概要	245
10.2	レジスタの説明	247
10.2.1	CAC コントロールレジスタ 0 (CACR0)	247
10.2.2	CAC コントロールレジスタ 1 (CACR1)	248
10.2.3	CAC コントロールレジスタ 2 (CACR2)	249
10.2.4	CAC 割り込み要求許可レジスタ (CAICR)	250
10.2.5	CAC ステータスレジスタ (CASTR)	251
10.2.6	CAC 上限値設定レジスタ (CAULVR)	252
10.2.7	CAC 下限値設定レジスタ (CALLVR)	252
10.2.8	CAC カウンタバッファレジスタ (CACNTBR)	252
10.3	動作説明	253
10.3.1	クロック周波数測定	253
10.3.2	CACREF 端子のデジタルフィルタ機能	254
10.4	割り込み要求	254
10.5	使用上の注意事項	255
10.5.1	モジュールストップ機能の設定	255
11.	消費電力低減機能	256
11.1	概要	256
11.2	レジスタの説明	260
11.2.1	スタンバイコントロールレジスタ (SBYCR)	260
11.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	261
11.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	262
11.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	264
11.2.5	モジュールストップコントロールレジスタ D (MSTPCRD)	265
11.2.6	動作電力コントロールレジスタ (OPCCR)	266
11.2.7	サブ動作電力コントロールレジスタ (SOPCCR)	267
11.2.8	スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)	272

11.3	クロックの切り替えによる消費電力の低減	274
11.4	モジュールストップ機能	274
11.5	動作電力低減機能	274
11.5.1	動作電力制御モード設定方法	274
11.6	低消費電力状態	276
11.6.1	スリープモード	276
11.6.1.1	スリープモードへの移行	276
11.6.1.2	スリープモードの解除	277
11.6.1.3	スリープモード復帰クロックソース切り替え機能	277
11.6.2	ディープスリープモード	278
11.6.2.1	ディープスリープモードへの遷移	278
11.6.2.2	ディープスリープモードの解除	279
11.6.3	ソフトウェアスタンバイモード	280
11.6.3.1	ソフトウェアスタンバイモードへの移行	280
11.6.3.2	ソフトウェアスタンバイモードの解除	281
11.6.3.3	ソフトウェアスタンバイモードの応用例	282
11.7	使用上の注意事項	283
11.7.1	I/O ポートの状態	283
11.7.2	DMAC、DTC のモジュールストップ	283
11.7.3	内蔵周辺モジュールの割り込み	283
11.7.4	MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタの書き込み	283
11.7.5	WAIT 命令の実行タイミング	283
11.7.6	スリープモード中の DMAC、DTC によるレジスタの書き換えについて	283
12.	バッテリーバックアップ機能	284
12.1	概要	284
12.2	レジスタの説明	285
12.2.1	VBATT 制御レジスタ (VBATTCR)	285
12.2.2	VBATT ステータスレジスタ (VBATTSR)	286
12.2.3	VBATT 端子電圧低下検出割り込み制御レジスタ (VBTLVDICR)	287
12.3	動作説明	288
12.3.1	バッテリーバックアップ機能	288
12.3.2	VBATT 端子電圧監視機能	289
12.4	使用上の注意事項	290
13.	レジスタライトプロテクション機能	291
13.1	レジスタの説明	292
13.1.1	プロテクトレジスタ (PRCR)	292
14.	例外処理	293
14.1	例外事象	293
14.1.1	未定義命令例外	294
14.1.2	特権命令例外	294

14.1.3	アクセス例外	294
14.1.4	浮動小数点例外	294
14.1.5	リセット	294
14.1.6	ノンマスカブル割り込み	294
14.1.7	割り込み	294
14.1.8	無条件トラップ	294
14.2	例外の処理手順	295
14.3	例外事象の受け付け	297
14.3.1	受け付けタイミングと退避される PC 値	297
14.3.2	ベクタと PC, PSW の退避場所	297
14.4	例外の受け付け / 復帰時のハードウェア処理	298
14.5	ハードウェア前処理	299
14.5.1	未定義命令例外	299
14.5.2	特権命令例外	299
14.5.3	アクセス例外	299
14.5.4	浮動小数点例外	299
14.5.5	リセット	299
14.5.6	ノンマスカブル割り込み	300
14.5.7	割り込み	300
14.5.8	無条件トラップ	300
14.6	例外処理ルーチンからの復帰	301
14.7	例外事象の優先順位	301
15.	割り込みコントローラ (ICUb)	302
15.1	概要	302
15.2	レジスタの説明	304
15.2.1	割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)	304
15.2.2	割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)	305
15.2.3	割り込み要因プライオリティレジスタ n (IPRn) (n = 割り込みベクタ番号)	306
15.2.4	高速割り込み設定レジスタ (FIR)	307
15.2.5	ソフトウェア割り込み起動レジスタ (SWINTR)	308
15.2.6	DTC 転送要求許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)	309
15.2.7	DMAC 起動要因選択レジスタ m (DMRSRm) (m = DMAC チャネル番号)	310
15.2.8	IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)	311
15.2.9	IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)	312
15.2.10	IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)	313
15.2.11	ノンマスカブル割り込みステータスレジスタ (NMISR)	314
15.2.12	ノンマスカブル割り込み許可レジスタ (NMIER)	316
15.2.13	ノンマスカブル割り込みステータスクリアレジスタ (NMICLR)	318
15.2.14	NMI 端子割り込みコントロールレジスタ (NMICR)	319
15.2.15	NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)	319

15.2.16	NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)	320
15.3	ベクタテーブル	321
15.3.1	割り込みのベクタテーブル	321
15.3.2	高速割り込みのベクタテーブル	327
15.3.3	ノンマスカブル割り込みのベクタ領域	327
15.4	割り込みの動作説明	328
15.4.1	割り込み検出	328
15.4.1.1	エッジ検出の割り込みステータスフラグ	328
15.4.1.2	レベル検出の割り込みステータスフラグ	330
15.4.2	割り込み要求の許可 / 禁止	331
15.4.3	割り込み要求先の選択	332
15.4.4	優先順位の判定	334
15.4.5	多重割り込み	334
15.4.6	高速割り込み	334
15.4.7	デジタルフィルタ	335
15.4.8	外部端子割り込み	336
15.5	ノンマスカブル割り込みの動作説明	337
15.6	低消費電力状態からの復帰	338
15.6.1	スリープモードおよびディープスリープモードからの復帰	338
15.6.2	ソフトウェアスタンバイモードからの復帰	338
15.7	使用上の注意事項	339
15.7.1	ノンマスカブル割り込み使用時の WAIT 命令の注意事項	339
16.	バス	340
16.1	概要	340
16.2	バスの説明	342
16.2.1	CPU バス	342
16.2.2	メモリバス	342
16.2.3	内部メインバス	342
16.2.4	内部周辺バス	343
16.2.5	ライトバッファ機能 (内部周辺バス)	344
16.2.6	外部バス	345
16.2.7	並列動作	347
16.2.8	バスの設定	347
16.2.9	制約事項	348
16.3	レジスタの説明	349
16.3.1	CSn 制御レジスタ (CSnCR) (n = 0 ~ 3)	349
16.3.2	CSn リカバリサイクル設定レジスタ (CSnREC) (n = 0 ~ 3)	350
16.3.3	CS リカバリサイクル挿入許可レジスタ (CSRECEN)	352
16.3.4	CSn モードレジスタ (CSnMOD) (n = 0 ~ 3)	355
16.3.5	CSn ウェイト制御レジスタ 1 (CSnWCR1) (n = 0 ~ 3)	357

16.3.6	CSn ウェイト制御レジスタ 2 (CSnWCR2) (n = 0 ~ 3)	360
16.3.7	バスエラーステータスクリアレジスタ (BERCLR)	363
16.3.8	バスエラー監視許可レジスタ (BEREN)	363
16.3.9	バスエラーステータスレジスタ 1 (BERSR1)	364
16.3.10	バスエラーステータスレジスタ 2 (BERSR2)	364
16.3.11	バスプライオリティ制御レジスタ (BUSPRI)	365
16.4	エンディアンとデータアライメント	367
16.4.1	CS 領域のデータアライメント制御	367
16.5	CS 領域コントローラの動作説明	372
16.5.1	セパレートバス	372
16.5.2	アドレス / データマルチプレクスバス	383
16.5.3	外部ウェイト機能	386
16.5.4	リカバリサイクルの挿入	388
16.5.5	非アクセス時の状態	391
16.5.6	ライトバッファ機能 (外部バス)	392
16.5.7	制約事項	392
16.6	バスエラー監視部	394
16.6.1	バスエラーの種類	394
16.6.1.1	不正アドレスアクセス	394
16.6.1.2	タイムアウト	394
16.6.2	バスエラー発生時の動作	395
16.6.3	バスエラーの発生条件	395
16.7	割り込み	396
16.7.1	割り込み要因	396
17.	メモリプロテクションユニット (MPU)	397
17.1	概要	397
17.1.1	アクセス制御の種類	399
17.1.2	アクセス制御領域	399
17.1.3	バックグラウンド領域	399
17.1.4	領域のオーバーラップ	399
17.1.5	領域をまたぐ命令とデータ	399
17.2	レジスタの説明	400
17.2.1	領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ~ 7)	400
17.2.2	領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ~ 7)	401
17.2.3	メモリプロテクション機能有効化レジスタ (MPEN)	402
17.2.4	バックグラウンドアクセス制御レジスタ (MPBAC)	403
17.2.5	メモリプロテクションエラーステータスクリアレジスタ (MPECLR)	404
17.2.6	メモリプロテクションエラーステータスレジスタ (MPESTS)	405
17.2.7	データメモリプロテクションエラーアドレスレジスタ (MPDEA)	406
17.2.8	領域サーチアドレスレジスタ (MPSA)	406

17.2.9	領域サーチオペレーションレジスタ (MPOPS)	407
17.2.10	領域インバリデイトオペレーションレジスタ (MPOPI)	407
17.2.11	命令ヒット領域レジスタ (MHITI)	408
17.2.12	データヒット領域レジスタ (MHITD)	410
17.3	機能	412
17.3.1	メモリプロテクション機能	412
17.3.2	領域サーチ機能	412
17.3.3	メモリプロテクションユニット関連レジスタの保護	412
17.3.4	メモリプロテクション機能のアクセス判定フロー	413
17.4	メモリプロテクション機能使用手順	415
17.4.1	アクセス制御情報の設定	415
17.4.2	メモリプロテクション機能の有効化	415
17.4.3	ユーザモードへの移行	415
17.4.4	メモリプロテクションエラー発生時の処理	415
18.	DMA コントローラ (DMACA)	417
18.1	概要	417
18.2	レジスタの説明	419
18.2.1	DMA 転送元アドレスレジスタ (DMSAR)	419
18.2.2	DMA 転送先アドレスレジスタ (DMDAR)	419
18.2.3	DMA 転送カウントレジスタ (DMCRA)	420
18.2.4	DMA ブロック転送カウントレジスタ (DMCRB)	422
18.2.5	DMA 転送モードレジスタ (DMTMD)	423
18.2.6	DMA 割り込み設定レジスタ (DMINT)	424
18.2.7	DMA アドレスモードレジスタ (DMAMD)	426
18.2.8	DMA オフセットレジスタ (DMOFR)	429
18.2.9	DMA 転送許可レジスタ (DMCNT)	430
18.2.10	DMA ソフトウェア起動レジスタ (DMREQ)	431
18.2.11	DMA ステータスレジスタ (DMSTS)	432
18.2.12	DMA 起動要因フラグ制御レジスタ (DMCSL)	434
18.2.13	DMA モジュール起動レジスタ (DMAST)	435
18.3	動作説明	436
18.3.1	転送モード	436
18.3.2	拡張リピートエリア機能	440
18.3.3	オフセットを使ったアドレス更新機能	442
18.3.4	起動要因	446
18.3.5	動作タイミング	447
18.3.6	DMAC の実行サイクル	448
18.3.7	DMAC の起動	449
18.3.8	DMA 転送の開始	450
18.3.9	DMA 転送中のレジスタ	450

18.3.10	チャンネルの優先順位	451
18.4	DMA 転送終了	452
18.4.1	設定した総データ転送による転送終了	452
18.4.2	リピートサイズ終了割り込みによる転送終了	452
18.4.3	拡張リピートエリアオーバフロー割り込みによる転送終了	453
18.5	割り込み	454
18.6	イベントリンク機能	455
18.7	消費電力低減機能	456
18.8	使用上の注意事項	457
18.8.1	外部デバイスを使用する場合	457
18.8.2	周辺モジュールへ DMA 転送する場合	457
18.8.3	DMA 動作中のレジスタアクセスについて	457
18.8.4	予約領域への DMA 転送について	457
18.8.5	DMA 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの 割り込み要求について	457
18.8.6	割り込みコントローラの DMAC 起動要求レジスタ (ICU.DMRSRm) の設定	457
18.8.7	DMA 起動の保留 / 再開方法	457
19.	データトランスファコントローラ (DTCa)	459
19.1	概要	459
19.2	レジスタの説明	461
19.2.1	DTC モードレジスタ A (MRA)	461
19.2.2	DTC モードレジスタ B (MRB)	462
19.2.3	DTC 転送元レジスタ (SAR)	463
19.2.4	DTC 転送先レジスタ (DAR)	463
19.2.5	DTC 転送カウントレジスタ A (CRA)	464
19.2.6	DTC 転送カウントレジスタ B (CRB)	465
19.2.7	DTC コントロールレジスタ (DTCCR)	465
19.2.8	DTC ベクタベースレジスタ (DTCVBR)	466
19.2.9	DTC アドレスモードレジスタ (DTCADM0D)	466
19.2.10	DTC モジュール起動レジスタ (DTCST)	467
19.2.11	DTC ステータスレジスタ (DTCSTS)	468
19.3	起動要因	469
19.3.1	転送情報の配置と DTC ベクタテーブル	469
19.4	動作説明	471
19.4.1	転送情報リードスキップ機能	473
19.4.2	転送情報ライトバックスキップ機能	474
19.4.3	ノーマル転送モード	475
19.4.4	リピート転送モード	476
19.4.5	ブロック転送モード	477
19.4.6	チェーン転送	478

19.4.7	動作タイミング	479
19.4.8	DTC の実行サイクル	482
19.4.9	DTC のバス権解放タイミング	482
19.5	DTC の設定手順	483
19.6	DTC 使用例	484
19.6.1	ノーマル転送	484
19.6.2	カウンタが“0”のときのチェーン転送	485
19.7	割り込み要因	486
19.8	イベントリンク	486
19.9	消費電力低減機能	487
19.10	使用上の注意事項	488
19.10.1	転送情報先頭アドレス	488
19.10.2	転送情報の配置	488
19.10.3	割り込みコントローラの DTC 転送要求許可レジスタ (ICU.DTCERn) の設定	489
20.	イベントリンクコントローラ (ELC)	490
20.1	概要	490
20.2	レジスタの説明	491
20.2.1	イベントリンクコントロールレジスタ (ELCR)	491
20.2.2	イベントリンク設定レジスタ n (ELSRn) (n = 1 ~ 4, 7, 8, 10, 12, 14 ~ 16, 18 ~ 29)	492
20.2.3	イベントリンクオプション設定レジスタ A (ELOPA)	496
20.2.4	イベントリンクオプション設定レジスタ B (ELOPB)	496
20.2.5	イベントリンクオプション設定レジスタ C (ELOPC)	497
20.2.6	イベントリンクオプション設定レジスタ D (ELOPD)	497
20.2.7	ポートグループ指定レジスタ n (PGRn) (n = 1, 2)	498
20.2.8	ポートグループコントロールレジスタ n (PGCn) (n = 1, 2)	499
20.2.9	ポートバッファレジスタ n (PDBFn) (n = 1, 2)	500
20.2.10	イベント接続ポート指定レジスタ m (PELm) (m = 0 ~ 3)	501
20.2.11	イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)	502
20.3	動作説明	503
20.3.1	割り込み処理とイベントリンクの関係	503
20.3.2	イベントのリンク	504
20.3.3	タイマ系周辺モジュールのイベント信号入力時の動作	505
20.3.4	A/D コンバータ、D/A コンバータのイベント信号入力時の動作	505
20.3.5	I/O ポートのイベント信号入力時の動作とイベント生成	505
20.3.6	イベントリンクの動作設定手順例	509
20.4	使用上の注意事項	510
20.4.1	ELSRn レジスタの設定について	510
20.4.2	出力ポートグループのビットローテート動作の設定について	510
20.4.3	DMA/DTC 転送終了のイベント信号使用時の注意事項	510

20.4.4	クロック設定について	510
20.4.5	モジュールストップ機能の設定	510
21.	I/O ポート	511
21.1	概要	511
21.2	入出力ポートの構成	513
21.3	レジスタの説明	525
21.3.1	ポート方向レジスタ (PDR)	525
21.3.2	ポート出力データレジスタ (PODR)	526
21.3.3	ポート入力データレジスタ (PIDR)	527
21.3.4	ポートモードレジスタ (PMR)	528
21.3.5	オープンドレイン制御レジスタ 0 (ODR0)	529
21.3.6	オープンドレイン制御レジスタ 1 (ODR1)	530
21.3.7	プルアップ制御レジスタ (PCR)	531
21.3.8	ポート切り替えレジスタ A (PSRA)	532
21.3.9	ポート切り替えレジスタ B (PSRB)	533
21.3.10	駆動能力制御レジスタ (DSCR)	534
21.4	ポート方向レジスタ (PDR) の初期化	535
21.5	未使用端子の処理	537
22.	マルチファンクションピンコントローラ (MPC)	538
22.1	概要	538
22.2	レジスタの説明	549
22.2.1	書き込みプロテクトレジスタ (PWPR)	549
22.2.2	P0n 端子機能制御レジスタ (P0nPFS) (n = 3, 5, 7)	550
22.2.3	P1n 端子機能制御レジスタ (P1nPFS) (n = 2 ~ 7)	551
22.2.4	P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ~ 7)	553
22.2.5	P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ~ 4)	554
22.2.6	P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 7)	556
22.2.7	P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ~ 5)	557
22.2.8	PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ~ 7)	558
22.2.9	PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7)	560
22.2.10	PCn 端子機能制御レジスタ (PCnPFS) (n = 0 ~ 7)	562
22.2.11	PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ~ 7)	564
22.2.12	PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 7)	565
22.2.13	PHn 端子機能制御レジスタ (PHnPFS) (n = 0 ~ 3)	567
22.2.14	PJn 端子機能制御レジスタ (PJnPFS) (n = 3)	568
22.2.15	CS 出力許可レジスタ (PFCSE)	569
22.2.16	アドレス出力許可レジスタ 0 (PFAOE0)	570
22.2.17	アドレス出力許可レジスタ 1 (PFAOE1)	571
22.2.18	外部バス制御レジスタ 0 (PFBCR0)	572
22.2.19	外部バス制御レジスタ 1 (PFBCR1)	573

22.3	外部バスインタフェース設定方法	574
22.4	使用上の注意事項	576
22.4.1	端子入出力機能設定手順	576
22.4.2	MPC レジスタ設定する場合の注意事項	576
22.4.3	アナログ機能を使う場合の注意事項	577
22.4.4	静電容量式タッチセンサ CTSU 機能を使う場合の注意事項	577
23.	マルチファンクションタイマパルスユニット 2 (MTU2a)	578
23.1	概要	578
23.2	レジスタの説明	584
23.2.1	タイマコントロールレジスタ (TCR)	584
23.2.2	タイマモードレジスタ (TMDR)	587
23.2.3	タイマ I/O コントロールレジスタ (TIOR)	589
23.2.4	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	600
23.2.5	タイマ割り込み許可レジスタ (TIER)	601
23.2.6	タイマステータスレジスタ (TSR)	604
23.2.7	タイマバッファ動作転送モードレジスタ (TBTM)	605
23.2.8	タイマインプットキャプチャコントロールレジスタ (TICCR)	606
23.2.9	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	607
23.2.10	タイマ A/D 変換開始要求周期設定レジスタ A、B (TADCORA, TADCORB)	608
23.2.11	タイマ A/D 変換開始要求周期設定バッファレジスタ A、B (TADCOBRA, TADCOBRB)	609
23.2.12	タイマカウンタ (TCNT)	609
23.2.13	タイマジェネラルレジスタ (TGR)	610
23.2.14	タイマスタートレジスタ (TSTR)	611
23.2.15	タイマシンクロレジスタ (TSYR)	612
23.2.16	タイマリードライト許可レジスタ (TRWER)	613
23.2.17	タイマアウトプットマスタ許可レジスタ (TOER)	614
23.2.18	タイマアウトプットコントロールレジスタ 1 (TOCR1)	615
23.2.19	タイマアウトプットコントロールレジスタ 2 (TOCR2)	617
23.2.20	タイマアウトプットレベルバッファレジスタ (TOLBR)	619
23.2.21	タイマゲートコントロールレジスタ (TGCR)	620
23.2.22	タイマサブカウンタ (TCNTS)	621
23.2.23	タイマデッドタイムデータレジスタ (TDDR)	621
23.2.24	タイマ周期データレジスタ (TCDR)	622
23.2.25	タイマ周期バッファレジスタ (TCBR)	622
23.2.26	タイマ割り込み間引き設定レジスタ (TITCR)	623
23.2.27	タイマ割り込み間引き回数カウンタ (TITCNT)	624
23.2.28	タイマバッファ転送設定レジスタ (TBTER)	625
23.2.29	タイマデッドタイム許可レジスタ (TDER)	626
23.2.30	タイマ波形コントロールレジスタ (TWCR)	627

23.2.31	ノイズフィルタコントロールレジスタ (NFCR)	628
23.2.32	バスマスタとのインタフェース	631
23.3	動作説明	632
23.3.1	基本動作	632
23.3.2	同期動作	638
23.3.3	バッファ動作	640
23.3.4	カスケード接続動作	645
23.3.5	PWM モード	650
23.3.6	位相計数モード	654
23.3.7	リセット同期 PWM モード	660
23.3.8	相補 PWM モード	663
23.3.9	A/D 変換開始要求ディレイド機能	694
23.3.10	外部パルス幅測定機能	698
23.3.11	デッドタイム補償機能	699
23.3.12	ノイズフィルタ機能	701
23.4	割り込み要因	702
23.4.1	割り込み要因と優先順位	702
23.4.2	DTC/DMAC の起動	704
23.4.3	A/D コンバータの起動	704
23.5	動作タイミング	706
23.5.1	入出力タイミング	706
23.5.2	割り込み信号タイミング	712
23.6	使用上の注意事項	715
23.6.1	モジュールストップ機能の設定	715
23.6.2	カウントクロックの制限事項	715
23.6.3	周期設定上の注意事項	716
23.6.4	TCNT カウンタの書き込みとクリアの競合	716
23.6.5	TCNT カウンタの書き込みとカウントアップの競合	717
23.6.6	TGR レジスタの書き込みとコンペアマッチの競合	717
23.6.7	バッファレジスタの書き込みとコンペアマッチの競合	718
23.6.8	バッファレジスタの書き込みと TCNT カウンタクリアの競合	718
23.6.9	TGR レジスタの読み出しとインプットキャプチャの競合	719
23.6.10	TGR レジスタの書き込みとインプットキャプチャの競合	720
23.6.11	バッファレジスタの書き込みとインプットキャプチャの競合	721
23.6.12	カスケード接続における MTU2.TCNT カウンタの書き込みとオーバフロー/ アンダフローの競合	722
23.6.13	相補 PWM モードでのカウント動作停止時のカウンタ値	723
23.6.14	相補 PWM モードでのバッファ動作の設定	723
23.6.15	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ	724
23.6.16	リセット同期 PWM モードのオーバフローフラグ	725
23.6.17	オーバフロー/アンダフローとカウンタクリアの競合	726

23.6.18	TCNT カウンタの書き込みとオーバフロー/アンダフローの競合	726
23.6.19	ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ 遷移する場合の注意事項	727
23.6.20	相補 PWM モード、リセット同期 PWM モードの出力レベル	727
23.6.21	モジュールストップ状態時の割り込み	727
23.6.22	カスケード接続における MTU1.TCNT、MTU2.TCNT カウンタ同時 インプットキャプチャ	727
23.6.23	相補 PWM モードの出力保護機能未使用時の注意事項	728
23.6.24	MTU5.TCNT カウンタと MTU5.TGR レジスタの注意事項	728
23.6.25	相補 PWM モード同期クリアするときの異常動作防止について	729
23.6.26	コンペアマッチによる割り込み信号の連続出力	731
23.6.27	相補 PWM モードにおける A/D 変換ディレイド機能の注意事項	731
23.7	MTU 出力端子の初期化方法	733
23.7.1	動作モード	733
23.7.2	動作中の異常などによる再設定時の動作	733
23.7.3	動作中の異常などによる端子の初期化手順、モード遷移の概要	734
23.8	ELC によるリンク動作	761
23.8.1	ELC へのイベント信号出力	761
23.8.2	ELC からのイベント信号受信による MTU の動作	761
23.8.3	ELC からのイベント信号受信による MTU の注意事項	762
24.	ポートアウトプットイネーブル 2 (POE2a)	763
24.1	概要	763
24.2	レジスタの説明	766
24.2.1	入力レベルコントロール/ステータスレジスタ 1 (ICSR1)	766
24.2.2	出力レベルコントロール/ステータスレジスタ 1 (OCSR1)	768
24.2.3	入力レベルコントロール/ステータスレジスタ 2 (ICSR2)	769
24.2.4	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	770
24.2.5	ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)	771
24.2.6	ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)	772
24.2.7	入力レベルコントロール/ステータスレジスタ 3 (ICSR3)	773
24.3	動作説明	774
24.3.1	入力レベル検出動作	776
24.3.2	出力レベル比較動作	777
24.3.3	レジスタによるハイインピーダンス制御	778
24.3.4	発振停止検出によるハイインピーダンス制御	778
24.3.5	ELC からのイベント信号受信によるハイインピーダンス制御	778
24.3.6	ハイインピーダンスからの解除	778
24.4	割り込み	779
24.5	使用上の注意事項	779
24.5.1	ソフトウェアスタンバイモードへの移行について	779
24.5.2	POE を使用しない場合について	779

24.5.3	端子の MTU 機能設定について	779
24.5.4	ELC からのイベント信号受信によるハイインピーダンス制御の注意事項	779
25.	16 ビットタイマパルスユニット (TPUa)	780
25.1	概要	780
25.2	レジスタの説明	785
25.2.1	タイマコントロールレジスタ (TCR)	785
25.2.2	タイマモードレジスタ (TMDR)	789
25.2.3	タイマ I/O コントロールレジスタ (TIORH, TIORL, TIOR)	790
25.2.4	タイマ割り込み許可レジスタ (TIER)	800
25.2.5	タイマステータスレジスタ (TSR)	801
25.2.6	タイマカウンタ (TCNT)	804
25.2.7	タイマジェネラルレジスタ A (TGRA) タイマジェネラルレジスタ B (TGRB) タイマジェネラルレジスタ C (TGRC) タイマジェネラルレジスタ D (TGRD)	804
25.2.8	タイマスタートレジスタ (TSTR)	805
25.2.9	タイマシンクロレジスタ (TSYR)	806
25.2.10	ノイズフィルタコントロールレジスタ (NFCR)	807
25.3	動作説明	809
25.3.1	概要	809
25.3.2	同期動作	815
25.3.3	バッファ動作	817
25.3.4	カスケード接続動作	820
25.3.5	PWM モード	822
25.3.6	位相計数モード	827
25.3.6.1	位相計数モード応用例	832
25.3.7	ノイズフィルタ機能	833
25.4	割り込み要因	834
25.5	DTC の起動	835
25.6	DMAC の起動	835
25.7	A/D コンバータの起動	835
25.8	動作タイミング	836
25.8.1	入出力タイミング	836
25.8.2	割り込み信号タイミング	840
25.9	使用上の注意事項	842
25.9.1	モジュールストップ機能の設定	842
25.9.2	入力クロックの制限事項	842
25.9.3	周期設定上の注意事項	842
25.9.4	TPUm.TCNT への書き込みとクリアの競合	843
25.9.5	TPUm.TCNT への書き込みとカウントアップの競合	843
25.9.6	TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合	844

25.9.7	バッファレジスタへの書き込みとコンペアマッチの競合	844
25.9.8	TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合	845
25.9.9	TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合	845
25.9.10	バッファレジスタへの書き込みとインプットキャプチャの競合	846
25.9.11	カスケード接続時の TCNT 同時インプットキャプチャ	846
25.9.12	オーバフロー/アンダフローとカウンタクリアの競合	847
25.9.13	TPUm.TCNT への書き込みとオーバフロー/アンダフローの競合	848
25.9.14	入出力端子の兼用	848
25.9.15	コンペアマッチパルス割り込みの連続出力	849
25.9.16	インプットキャプチャパルス割り込みの連続出力	850
25.9.17	アンダフローパルス割り込みの連続出力	851
26.	8 ビットタイマ (TMR)	852
26.1	概要	852
26.2	レジスタの説明	857
26.2.1	タイマカウンタ (TCNT)	857
26.2.2	タイムコンスタントレジスタ A (TCORA)	858
26.2.3	タイムコンスタントレジスタ B (TCORB)	858
26.2.4	タイマコントロールレジスタ (TCR)	859
26.2.5	タイマカウンタコントロールレジスタ (TCCR)	860
26.2.6	タイマコントロール/ステータスレジスタ (TCSR)	862
26.2.7	タイマカウンタスタートレジスタ (TCSTR)	864
26.3	動作説明	865
26.3.1	パルス出力	865
26.3.2	外部カウンタリセット入力	866
26.4	動作タイミング	867
26.4.1	TCNT カウンタのカウントタイミング	867
26.4.2	コンペアマッチ時の割り込みタイミング	868
26.4.3	コンペアマッチ時の出力信号タイミング	868
26.4.4	コンペアマッチによるカウンタクリアタイミング	869
26.4.5	TCNT カウンタの外部リセットタイミング	869
26.4.6	オーバフローによる割り込みタイミング	870
26.5	カスケード接続時の動作	871
26.5.1	16 ビットカウントモード	871
26.5.2	コンペアマッチカウントモード	871
26.6	割り込み要因	872
26.6.1	割り込み要因と DTC 起動	872
26.7	ELC によるリンク動作	873
26.7.1	ELC へのイベント信号出力	873
26.7.2	ELC からのイベント信号受信による TMR 動作	873
26.7.3	ELC からのイベント信号受信による TMR の注意事項	874

26.8	使用上の注意事項	875
26.8.1	モジュールストップ機能の設定	875
26.8.2	周期設定上の注意	875
26.8.3	TCNT カウンタへの書き込みとカウンタクリアの競合	875
26.8.4	TCNT カウンタへの書き込みとカウントアップの競合	876
26.8.5	TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合	876
26.8.6	コンペアマッチ A、B の競合	877
26.8.7	内部クロックの切り替えと TCNT カウンタの動作	877
26.8.8	カスケード接続時のクロックソース設定	879
26.8.9	コンペアマッチ割り込みの連続出力	879
27.	コンペアマッチタイマ (CMT)	880
27.1	概要	880
27.2	レジスタの説明	881
27.2.1	コンペアマッチタイマスタートレジスタ 0 (CMSTR0)	881
27.2.2	コンペアマッチタイマスタートレジスタ 1 (CMSTR1)	881
27.2.3	コンペアマッチタイマコントロールレジスタ (CMCR)	882
27.2.4	コンペアマッチタイマカウンタ (CMCNT)	883
27.2.5	コンペアマッチタイマコンスタントレジスタ (CMCOR)	883
27.3	動作説明	884
27.3.1	周期カウント動作	884
27.3.2	CMCNT カウンタのカウントタイミング	884
27.4	割り込み	885
27.4.1	割り込み要因	885
27.4.2	コンペアマッチ割り込みの発生タイミング	885
27.5	ELC によるリンク動作	886
27.5.1	ELC へのイベント信号出力	886
27.5.2	ELC からのイベント信号受信による CMT の動作	886
27.5.3	ELC からのイベント信号受信による CMT の注意事項	886
27.6	使用上の注意事項	887
27.6.1	モジュールストップ機能の設定	887
27.6.2	CMCNT カウンタへの書き込みとコンペアマッチの競合	887
27.6.3	CMCNT カウンタへの書き込みとカウントアップの競合	887
28.	リアルタイムクロック (RTCe)	888
28.1	概要	888
28.2	レジスタの説明	890
28.2.1	64Hz カウンタ (R64CNT)	890
28.2.2	秒カウンタ (RSECCNT) / バイナリカウンタ 0 (BCNT0)	891
28.2.3	分カウンタ (RMINCNT) / バイナリカウンタ 1 (BCNT1)	892
28.2.4	時カウンタ (RHRCNT) / バイナリカウンタ 2 (BCNT2)	893
28.2.5	曜日カウンタ (RWKCNT) / バイナリカウンタ 3 (BCNT3)	894

28.2.6	日カウンタ (RDAYCNT)	895
28.2.7	月カウンタ (RMONCNT)	896
28.2.8	年カウンタ (RYRCNT)	897
28.2.9	秒アラームレジスタ (RSECAR) / バイナリカウンタ 0 アラームレジスタ (BCNT0AR)	898
28.2.10	分アラームレジスタ (RMINAR) / バイナリカウンタ 1 アラームレジスタ (BCNT1AR)	899
28.2.11	時アラームレジスタ (RHRAR) / バイナリカウンタ 2 アラームレジスタ (BCNT2AR)	900
28.2.12	曜日アラームレジスタ (RWKAR) / バイナリカウンタ 3 アラームレジスタ (BCNT3AR)	902
28.2.13	日アラームレジスタ (RDAYAR) / バイナリカウンタ 0 アラーム許可レジスタ (BCNT0AER)	903
28.2.14	月アラームレジスタ (RMONAR) / バイナリカウンタ 1 アラーム許可レジスタ (BCNT1AER)	904
28.2.15	年アラームレジスタ (RYRAR) / バイナリカウンタ 2 アラーム許可レジスタ (BCNT2AER)	905
28.2.16	年アラーム許可レジスタ (RYRAREN) / バイナリカウンタ 3 アラーム許可レジスタ (BCNT3AER)	906
28.2.17	RTC コントロールレジスタ 1 (RCR1)	907
28.2.18	RTC コントロールレジスタ 2 (RCR2)	909
28.2.19	RTC コントロールレジスタ 3 (RCR3)	912
28.2.19.1	低 CL 水晶振動子の使用に関する注意事項	912
28.2.20	時間誤差補正レジスタ (RADJ)	913
28.2.21	時間キャプチャ制御レジスタ y (RTCCRy) (y=0 ~ 2)	914
28.2.22	秒キャプチャレジスタ y (RSECCPy) (y=0 ~ 2) / BCNT0 キャプチャレジスタ y (BCNT0CPy) (y=0 ~ 2)	916
28.2.23	分キャプチャレジスタ y (RMINCPy) (y=0 ~ 2) / BCNT1 キャプチャレジスタ y (BCNT1CPy) (y=0 ~ 2)	917
28.2.24	時キャプチャレジスタ y (RHRCPy) (y=0 ~ 2) / BCNT2 キャプチャレジスタ y (BCNT2CPy) (y=0 ~ 2)	918
28.2.25	日キャプチャレジスタ y (RDAYCPy) (y=0 ~ 2) / BCNT3 キャプチャレジスタ y (BCNT3CPy) (y=0 ~ 2)	919
28.2.26	月キャプチャレジスタ y (RMONCPy) (y=0 ~ 2)	920
28.3	動作説明	921
28.3.1	電源投入後のレジスタの初期設定概要	921
28.3.2	クロックとカウントモード設定手順	922
28.3.3	時刻設定手順	923
28.3.4	30 秒調整手順	923
28.3.5	64Hz カウンタおよび時刻読み出し手順	924
28.3.6	アラーム機能	925
28.3.7	アラーム割り込み禁止手順	926
28.3.8	時計誤差補正機能	926
28.3.8.1	自動補正機能	927

28.3.8.2	ソフトウェアによる補正	928
28.3.8.3	補正モードの変更手順	928
28.3.8.4	補正機能の停止手順	928
28.3.8.5	時間キャプチャ機能	929
28.4	割り込み要因	930
28.5	イベントリンク出力機能	932
28.5.1	割り込み処理とイベントリンクの関係	932
28.6	使用上の注意事項	933
28.6.1	カウント動作時のレジスタ書き込みについて	933
28.6.2	周期割り込みの使用について	933
28.6.3	RTCOUT (1Hz/64Hz) 出力について	933
28.6.4	レジスタ設定後の低消費電力モード移行について	934
28.6.5	レジスタの書き込み / 読み出し時の注意事項	934
28.6.6	カウントモードの変更について	934
28.6.7	リアルタイムクロックを使用しない場合の初期化手順	935
29.	ローパワータイマ (LPT)	936
29.1	概要	936
29.2	レジスタの説明	937
29.2.1	ローパワータイマコントロールレジスタ 1 (LPTCR1)	937
29.2.2	ローパワータイマコントロールレジスタ 2 (LPTCR2)	939
29.2.3	ローパワータイマコントロールレジスタ 3 (LPTCR3)	940
29.2.4	ローパワータイマ周期設定レジスタ (LPTPRD)	941
29.2.5	ローパワータイマコンペアレジスタ 0 (LPCMR0)	943
29.2.6	ローパワータイマスタンバイ復帰許可レジスタ (LPWUCR)	944
29.3	動作説明	945
29.3.1	周期カウント動作	945
29.3.2	ローパワータイマカウンタのカウントタイミング	947
29.3.3	ローパワータイマカウンタのクリアタイミング	947
29.4	イベントリンクコントローラ (ELC) を介した割り込みによる ソフトウェアスタンバイモードの解除について	948
29.5	使用上の注意事項	948
29.5.1	ソフトウェアスタンバイモードへの遷移に関する注意事項について	948
30.	ウォッチドッグタイマ (WDTA)	949
30.1	概要	949
30.2	レジスタの説明	950
30.2.1	WDT リフレッシュレジスタ (WDTRR)	950
30.2.2	WDT コントロールレジスタ (WDTCR)	951
30.2.3	WDT ステータスレジスタ (WDTSR)	954
30.2.4	WDT リセットコントロールレジスタ (WDTRCR)	955
30.2.5	オプション機能選択レジスタ 0 (OFS0)	955

30.3	動作説明	956
30.3.1	カウント開始条件別の各動作	956
30.3.1.1	レジスタスタートモード	956
30.3.1.2	オートスタートモード	958
30.3.2	WDTCR レジスタ、WDTRCR レジスタ書き込み制御	960
30.3.3	リフレッシュ動作	960
30.3.4	リセット出力	961
30.3.5	割り込み要因	962
30.3.6	ダウンカウンタ値の読み出し	962
30.3.7	オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応	963
31.	独立ウォッチドッグタイマ (IWDtA)	964
31.1	概要	964
31.2	レジスタの説明	966
31.2.1	IWDt リフレッシュレジスタ (IWDtRR)	966
31.2.2	IWDt コントロールレジスタ (IWDtCR)	967
31.2.3	IWDt ステータスレジスタ (IWDtSR)	970
31.2.4	IWDt リセットコントロールレジスタ (IWDtRCR)	971
31.2.5	IWDt カウント停止コントロールレジスタ (IWDtCSTPR)	972
31.2.6	オプション機能選択レジスタ 0 (OFS0)	972
31.3	動作説明	973
31.3.1	カウント開始条件別の各動作	973
31.3.1.1	レジスタスタートモード	973
31.3.1.2	オートスタートモード	975
31.3.2	IWDtCR レジスタ、IWDtRCR レジスタ、IWDtCSTPR レジスタ書き込み制御	977
31.3.3	リフレッシュ動作	978
31.3.4	ステータスフラグ	980
31.3.5	リセット出力	980
31.3.6	割り込み要因	980
31.3.7	カウンタ値の読み出し	981
31.3.8	オプション機能選択レジスタ 0 (OFS0) と IWDt レジスタの対応	982
31.4	ELC によるリンク動作	982
31.5	使用上の注意事項	982
31.5.1	リフレッシュ動作について	982
31.5.2	クロック分周比の設定	982
32.	USB2.0 ホスト/ファンクションモジュール (USBd)	983
32.1	概要	983
32.2	レジスタの説明	985
32.2.1	システムコンフィギュレーションコントロールレジスタ (SYSCFG)	985
32.2.2	システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0)	988
32.2.3	デバイスステートコントロールレジスタ 0 (DVSTCTR0)	989

32.2.4	CFIFO ポートレジスタ (CFIFO) D0FIFO ポートレジスタ (D0FIFO) D1FIFO ポートレジスタ (D1FIFO)	992
32.2.5	CFIFO ポート選択レジスタ (CFIFOSEL) D0FIFO ポート選択レジスタ (D0FIFOSEL) D1FIFO ポート選択レジスタ (D1FIFOSEL)	994
32.2.6	CFIFO ポートコントロールレジスタ (CFIFOCTR) D0FIFO ポートコントロールレジスタ (D0FIFOCTR) D1FIFO ポートコントロールレジスタ (D1FIFOCTR)	998
32.2.7	割り込み許可レジスタ 0 (INTENB0)	1000
32.2.8	割り込み許可レジスタ 1 (INTENB1)	1001
32.2.9	BRDY 割り込み許可レジスタ (BRDYENB)	1002
32.2.10	NRDY 割り込み許可レジスタ (NRDYENB)	1003
32.2.11	BEMP 割り込み許可レジスタ (BEMPENB)	1004
32.2.12	SOF 出力コンフィギュレーションレジスタ (SOFCFG)	1005
32.2.13	割り込みステータスレジスタ 0 (INTSTS0)	1006
32.2.14	割り込みステータスレジスタ 1 (INTSTS1)	1009
32.2.15	BRDY 割り込みステータスレジスタ (BRDYSTS)	1012
32.2.16	NRDY 割り込みステータスレジスタ (NRDYSTS)	1013
32.2.17	BEMP 割り込みステータスレジスタ (BEMPSTS)	1014
32.2.18	フレームナンバレジスタ (FRMNUM)	1015
32.2.19	USB リクエストタイプレジスタ (USBREQ)	1016
32.2.20	USB リクエストバリュレジスタ (USBVAL)	1017
32.2.21	USB リクエストインデックスレジスタ (USBINDX)	1018
32.2.22	USB リクエストレングスレジスタ (USBLENG)	1019
32.2.23	DCP コンフィギュレーションレジスタ (DCPCFG)	1020
32.2.24	DCP マックスパケットサイズレジスタ (DCPMAXP)	1021
32.2.25	DCP コントロールレジスタ (DCPCTR)	1022
32.2.26	パイプウィンドウ選択レジスタ (PIPESEL)	1026
32.2.27	パイプコンフィギュレーションレジスタ (PIPECFG)	1027
32.2.28	パイプマックスパケットサイズレジスタ (PIPEMAXP)	1029
32.2.29	パイプ周期制御レジスタ (PIPEPERI)	1030
32.2.30	パイプ n コントロールレジスタ (PIPE _n CTR) (n = 1 ~ 9)	1031
32.2.31	パイプ n トランザクションカウンタインエーブルレジスタ (PIPE _n TRE) (n = 1 ~ 5)	1039
32.2.32	パイプ n トランザクションカウンタレジスタ (PIPE _n TRN) (n = 1 ~ 5)	1040
32.2.33	デバイスアドレス n コンフィギュレーションレジスタ (DEVADD _n) (n = 0 ~ 5)	1041
32.2.34	USB モジュール制御レジスタ (USBMC)	1042
32.2.35	BC コントロールレジスタ 0 (USBBCCTRL0)	1043
32.3	動作説明	1045
32.3.1	システム制御	1045
32.3.1.1	USB 関連レジスタの設定	1045

32.3.1.2	コントローラ機能の選択設定	1045
32.3.1.3	USB データバス抵抗制御	1045
32.3.1.4	USB 電源接続例	1046
32.3.1.5	USB 外部接続回路例	1048
32.3.2	割り込み要因	1054
32.3.3	割り込みの説明	1056
32.3.3.1	BRDY 割り込み	1056
32.3.3.2	NRDY 割り込み	1060
32.3.3.3	BEMP 割り込み	1062
32.3.3.4	デバイスステート遷移割り込み	1064
32.3.3.5	コントロール転送ステージ遷移割り込み	1065
32.3.3.6	フレーム番号更新割り込み	1066
32.3.3.7	VBUS 割り込み	1066
32.3.3.8	レジューム割り込み	1066
32.3.3.9	OVRCCR 割り込み	1066
32.3.3.10	BCHG 割り込み	1067
32.3.3.11	DTCH 割り込み	1067
32.3.3.12	SACK 割り込み	1067
32.3.3.13	SIGN 割り込み	1067
32.3.3.14	ATTCH 割り込み	1067
32.3.3.15	EOFERR 割り込み	1067
32.3.3.16	PortableDevice 検知割り込み	1068
32.3.4	パイプコントロール	1069
32.3.4.1	パイプコントロールレジスタの切り替え手順	1070
32.3.4.2	転送タイプ	1070
32.3.4.3	エンドポイント番号	1071
32.3.4.4	マックスパケットサイズ設定	1071
32.3.4.5	トランザクションカウンタ (パイプ 1 ~ 5 読み出し方向)	1071
32.3.4.6	応答 PID	1072
32.3.4.7	データ PID シーケンスビット	1073
32.3.4.8	応答 PID = NAK 機能	1073
32.3.4.9	自動応答モード	1073
32.3.4.10	OUT-NAK モード	1073
32.3.4.11	Null 自動応答モード	1074
32.3.5	FIFO バッファメモリ	1074
32.3.5.1	FIFO バッファメモリ	1074
32.3.5.2	FIFO バッファクリア	1075
32.3.5.3	FIFO ポートの機能	1076
32.3.5.4	DMA 転送 (D0FIFO/D1FIFO ポート)	1077
32.3.6	DCP を使用したコントロール転送	1078

32.3.6.1	ホストコントローラ機能選択時のコントロール転送	1078
32.3.6.2	ファンクションコントローラ機能選択時のコントロール転送	1079
32.3.7	バルク転送 (パイプ 1 ~ 5)	1080
32.3.8	インタラプト転送 (パイプ 6 ~ 9)	1081
32.3.8.1	ホストコントローラ機能選択時のインタラプト転送時の インターバルカウンタ	1081
32.3.9	アイソクロナス転送 (パイプ 1、2)	1082
32.3.9.1	アイソクロナス転送のエラー検出	1082
32.3.9.2	データ PID	1083
32.3.9.3	インターバルカウンタ	1083
32.3.10	SOF 補完機能	1089
32.3.11	パイプスケジュール	1089
32.3.11.1	トランザクション発行条件	1089
32.3.11.2	転送スケジュール	1090
32.3.11.3	USB 通信許可	1090
32.4	使用上の注意事項	1090
32.4.1	モジュールストップ機能の設定	1090
32.5	Battery Charging 検知処理	1091
32.5.1	ファンクションコントローラ時の処理	1091
32.5.2	ホストコントローラ時の処理	1093
33.	シリアルコミュニケーションインタフェース (SClg, SClh)	1096
33.1	概要	1096
33.2	レジスタの説明	1104
33.2.1	レシーブシフトレジスタ (RSR)	1104
33.2.2	レシーブデータレジスタ (RDR)	1104
33.2.3	レシーブデータレジスタ H、L、HL (RDRH、RDRL、RDRHL)	1105
33.2.4	トランスミットデータレジスタ (TDR)	1106
33.2.5	トランスミットデータレジスタ H、L、HL (TDRH、TDRL、TDRHL)	1107
33.2.6	トランスミットシフトレジスタ (TSR)	1107
33.2.7	シリアルモードレジスタ (SMR)	1108
33.2.8	シリアルコントロールレジスタ (SCR)	1112
33.2.9	シリアルステータスレジスタ (SSR)	1117
33.2.10	スマートカードモードレジスタ (SCMR)	1122
33.2.11	ビットレートレジスタ (BRR)	1124
33.2.12	モジュレーションデューティレジスタ (MDDR)	1131
33.2.13	シリアル拡張モードレジスタ (SEMR)	1132
33.2.14	ノイズフィルタ設定レジスタ (SNFR)	1135
33.2.15	I ² C モードレジスタ 1 (SIMR1)	1136
33.2.16	I ² C モードレジスタ 2 (SIMR2)	1137
33.2.17	I ² C モードレジスタ 3 (SIMR3)	1138

33.2.18	I ² C ステータスレジスタ (SISR)	1140
33.2.19	SPI モードレジスタ (SPMR)	1141
33.2.20	拡張シリアルモード有効レジスタ (ESMER)	1142
33.2.21	コントロールレジスタ 0 (CR0)	1143
33.2.22	コントロールレジスタ 1 (CR1)	1143
33.2.23	コントロールレジスタ 2 (CR2)	1144
33.2.24	コントロールレジスタ 3 (CR3)	1145
33.2.25	ポートコントロールレジスタ (PCR)	1145
33.2.26	割り込みコントロールレジスタ (ICR)	1146
33.2.27	ステータスレジスタ (STR)	1147
33.2.28	ステータスクリアレジスタ (STCR)	1148
33.2.29	Control Field 0 データレジスタ (CF0DR)	1148
33.2.30	Control Field 0 コンペアイネーブルレジスタ (CF0CR)	1149
33.2.31	Control Field 0 受信データレジスタ (CF0RR)	1149
33.2.32	プライマリ Control Field 1 データレジスタ (PCF1DR)	1149
33.2.33	セカンダリ Control Field 1 データレジスタ (SCF1DR)	1150
33.2.34	Control Field 1 コンペアイネーブルレジスタ (CF1CR)	1150
33.2.35	Control Field 1 受信データレジスタ (CF1RR)	1150
33.2.36	タイマコントロールレジスタ (TCR)	1151
33.2.37	タイマモードレジスタ (TMR)	1151
33.2.38	タイマプリスケアラレジスタ (TPRE)	1152
33.2.39	タイマカウントレジスタ (TCNT)	1152
33.3	調歩同期式モードの動作	1153
33.3.1	シリアル送信 / 受信フォーマット	1153
33.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	1155
33.3.3	クロック	1156
33.3.4	倍速モード	1156
33.3.5	CTS、RTS 機能	1157
33.3.6	SCI の初期化 (調歩同期式モード)	1158
33.3.7	シリアルデータの送信 (調歩同期式モード)	1159
33.3.8	シリアルデータの受信 (調歩同期式モード)	1163
33.4	マルチプロセッサ通信機能	1167
33.4.1	マルチプロセッサシリアルデータ送信	1168
33.4.2	マルチプロセッサシリアルデータ受信	1169
33.5	クロック同期式モードの動作	1172
33.5.1	クロック	1172
33.5.2	CTS、RTS 機能	1173
33.5.3	SCI の初期化 (クロック同期式モード)	1174
33.5.4	シリアルデータの送信 (クロック同期式モード)	1175
33.5.5	シリアルデータの受信 (クロック同期式モード)	1179

33.5.6	シリアルデータの送受信同時動作（クロック同期式モード）	1182
33.6	スマートカードインタフェースモードの動作	1183
33.6.1	接続例	1183
33.6.2	データフォーマット（ブロック転送モード時を除く）	1184
33.6.3	ブロック転送モード	1185
33.6.4	受信データサンプリングタイミングと受信マージン	1186
33.6.5	SCIの初期化（スマートカードインタフェースモード）	1187
33.6.6	シリアルデータの送信（ブロック転送モードを除く）	1189
33.6.7	シリアルデータの受信（ブロック転送モードを除く）	1192
33.6.8	クロック出力制御	1194
33.7	簡易 I ² C モードの動作	1195
33.7.1	開始条件、再開条件、停止条件の生成	1196
33.7.2	クロック同期化	1198
33.7.3	SSDA 出力遅延	1199
33.7.4	SCIの初期化（簡易 I ² C モード）	1200
33.7.5	マスタ送信動作（簡易 I ² C モード）	1201
33.7.6	マスタ受信動作（簡易 I ² C モード）	1203
33.7.7	バスハングアップからの回復	1205
33.8	簡易 SPI モードの動作	1206
33.8.1	マスタモード、スレーブモードと各端子の状態	1207
33.8.2	マスタモード時の SS 機能	1207
33.8.3	スレーブモード時の SS 機能	1207
33.8.4	クロックと送受信データの関係	1208
33.8.5	SCIの初期化（簡易 SPI モード）	1208
33.8.6	シリアルデータの送受信（簡易 SPI モード）	1209
33.9	ビットレートモジュレーション機能	1209
33.10	拡張シリアルモード制御部の動作説明	1210
33.10.1	シリアル通信プロトコル	1210
33.10.2	Start Frame 送信	1210
33.10.3	Start Frame 受信	1214
33.10.3.1	プライオリティインタラプトビット	1219
33.10.4	バス衝突検出機能	1220
33.10.5	RXDX12 端子入力デジタルフィルタ機能	1221
33.10.6	ビットレート測定機能	1222
33.10.7	RXDX12 受信データサンプリングタイミング選択機能	1223
33.10.8	タイマ	1224
33.11	ノイズ除去機能	1226
33.12	割り込み要因	1227
33.12.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1227
33.12.2	調歩同期式モード、クロック同期式モードおよび 簡易 SPI モードにおける割り込み	1227

33.12.3	スマートカードインタフェースモードにおける割り込み	1228
33.12.4	簡易 I ² C モードにおける割り込み	1229
33.12.5	拡張シリアルモード制御部の割り込み要求	1230
33.13	イベントリンク機能	1231
33.14	使用上の注意事項	1232
33.14.1	モジュールストップ機能の設定	1232
33.14.2	ブレークの検出と処理について	1232
33.14.3	マーク状態とブレークの送出	1232
33.14.4	受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)	1232
33.14.5	TDR レジスタへのライトについて	1232
33.14.6	クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)	1234
33.14.7	DMAC または DTC 使用上の制約事項	1235
33.14.8	通信の開始に関する注意事項	1235
33.14.9	低消費電力状態時の動作について	1235
33.14.10	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力	1237
33.14.11	簡易 SPI モードの制約事項	1238
33.14.12	拡張シリアルモード制御部の使用上の制約事項 1	1239
33.14.13	拡張シリアルモード制御部の使用上の制約事項 2	1239
33.14.14	トランスミットイネーブルビット (TE ビット) に関する注意事項	1240
33.14.15	調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項	1240
34.	IrDA インタフェース	1241
34.1	概要	1241
34.2	レジスタの説明	1242
34.2.1	IrDA 制御レジスタ (IRCR)	1242
34.3	動作説明	1244
34.3.1	送信	1244
34.3.2	受信	1244
34.3.3	High パルス幅の選択	1245
34.4	使用上の注意事項	1246
34.4.1	モジュールストップ機能の設定	1246
34.4.2	SCI5 の設定について	1246
34.4.3	受信時の最小パルス幅について	1246
34.4.4	IrDA の初期設定 / 再設定に関する注意事項	1246
35.	I ² C バスインタフェース (RIICa)	1247
35.1	概要	1247
35.2	レジスタの説明	1250
35.2.1	I ² C バスコントロールレジスタ 1 (ICCR1)	1250
35.2.2	I ² C バスコントロールレジスタ 2 (ICCR2)	1252
35.2.3	I ² C バスモードレジスタ 1 (ICMR1)	1255

35.2.4	I ² C バスモードレジスタ 2 (ICMR2)	1256
35.2.5	I ² C バスモードレジスタ 3 (ICMR3)	1258
35.2.6	I ² C バスファンクション許可レジスタ (ICFER)	1260
35.2.7	I ² C バスステータス許可レジスタ (ICSER)	1262
35.2.8	I ² C バス割り込み許可レジスタ (ICIER)	1264
35.2.9	I ² C バスステータスレジスタ 1 (ICSR1)	1266
35.2.10	I ² C バスステータスレジスタ 2 (ICSR2)	1268
35.2.11	スレーブアドレスレジスタ Ly (SARLy) (y=0 ~ 2)	1271
35.2.12	スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)	1272
35.2.13	I ² C バスビットレート Low レジスタ (ICBRL)	1273
35.2.14	I ² C バスビットレート High レジスタ (ICBRH)	1274
35.2.15	I ² C バス送信データレジスタ (ICDRT)	1275
35.2.16	I ² C バス受信データレジスタ (ICDRR)	1276
35.2.17	I ² C バスシフトレジスタ (ICDRS)	1276
35.3	動作説明	1277
35.3.1	通信データフォーマット	1277
35.3.2	初期設定	1278
35.3.3	マスタ送信動作	1279
35.3.4	マスタ受信動作	1282
35.3.5	スレーブ送信動作	1288
35.3.6	スレーブ受信動作	1291
35.4	SCL 同期回路	1293
35.5	SDA 出力遅延機能	1294
35.6	デジタルノイズフィルタ回路	1295
35.7	アドレス一致検出機能	1296
35.7.1	スレーブアドレス一致検出機能	1296
35.7.2	ジェネラルコールアドレス検出機能	1298
35.7.3	デバイス ID アドレス検出機能	1299
35.7.4	ホストアドレス検出機能	1301
35.8	SCL の自動 Low ホールド機能	1302
35.8.1	送信データ誤送信防止機能	1302
35.8.2	NACK 受信転送中断機能	1303
35.8.3	受信データ取りこぼし防止機能	1304
35.9	アービトレーションロスト検出機能	1306
35.9.1	マスタアービトレーションロスト検出機能 (MALE ビット)	1306
35.9.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット)	1308
35.9.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	1309
35.10	スタートコンディション、リスタートコンディション、 ストップコンディション発行機能	1310
35.10.1	スタートコンディション発行動作	1310
35.10.2	リスタートコンディション発行動作	1310

35.10.3	ストップコンディション発行動作	1311
35.11	バスハングアップ	1312
35.11.1	タイムアウト検出機能	1312
35.11.2	SCL クロック追加出力機能	1313
35.11.3	RIIC リセット、内部リセット	1314
35.12	SMBus 動作	1315
35.12.1	SMBus タイムアウト測定	1315
35.12.2	パケットエラーコード (PEC)	1316
35.12.3	SMBus ホスト通知プロトコル (Notify ARP master コマンド)	1317
35.13	割り込み要因	1318
35.13.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1318
35.14	リセット時/コンディション検出時のレジスタおよび機能の初期化	1319
35.15	イベントリンク機能 (出力)	1320
35.15.1	割り込み処理とイベントリンクの関係	1320
35.16	使用上の注意事項	1321
35.16.1	モジュールストップ機能の設定	1321
35.16.2	通信の開始に関する注意事項	1321
36.	CAN モジュール (RSCAN)	1322
36.1	概要	1322
36.2	レジスタの説明	1325
36.2.1	ビットコンフィギュレーションレジスタ L (CFGL)	1325
36.2.2	ビットコンフィギュレーションレジスタ H (CFGH)	1326
36.2.3	制御レジスタ L (CTRL)	1327
36.2.4	制御レジスタ H (CTRH)	1329
36.2.5	ステータスレジスタ L (STSL)	1331
36.2.6	ステータスレジスタ H (STSH)	1332
36.2.7	エラーフラグレジスタ L (ERFLL)	1333
36.2.8	エラーフラグレジスタ H (ERFLH)	1335
36.2.9	グローバル設定レジスタ L (GCFGL)	1336
36.2.10	グローバル設定レジスタ H (GCFGH)	1337
36.2.11	グローバル制御レジスタ L (GCTRL)	1338
36.2.12	グローバル制御レジスタ H (GCTRH)	1339
36.2.13	グローバルステータスレジスタ (GSTS)	1339
36.2.14	グローバルエラーフラグレジスタ (GERFLL)	1340
36.2.15	グローバル送信割り込みステータスレジスタ (GTINTSTS)	1341
36.2.16	タイムスタンプレジスタ (GTSC)	1342
36.2.17	受信ルール数設定レジスタ (GAFLCFG)	1342
36.2.18	受信ルール登録レジスタ jAL (GAFLIDLj) (j = 0 ~ 15)	1343
36.2.19	受信ルール登録レジスタ jAH (GAFLIDHj) (j = 0 ~ 15)	1344
36.2.20	受信ルール登録レジスタ jBL (GAFLMLj) (j = 0 ~ 15)	1345

36.2.21	受信ルール登録レジスタ jBH (GAFLMHj) (j = 0 ~ 15)	1346
36.2.22	受信ルール登録レジスタ jCL (GAFLPLj) (j = 0 ~ 15)	1347
36.2.23	受信ルール登録レジスタ jCH (GAFLPHj) (j = 0 ~ 15)	1348
36.2.24	受信バッファ数設定レジスタ (RMNB)	1349
36.2.25	受信バッファ受信完了フラグレジスタ (RMND0)	1349
36.2.26	受信バッファレジスタ nAL (RMIDLn) (n = 0 ~ 15)	1350
36.2.27	受信バッファレジスタ nAH (RMIDHn) (n = 0 ~ 15)	1351
36.2.28	受信バッファレジスタ nBL (RMTSn) (n = 0 ~ 15)	1352
36.2.29	受信バッファレジスタ nBH (RMPTRn) (n = 0 ~ 15)	1353
36.2.30	受信バッファレジスタ nCL (RMDF0n) (n = 0 ~ 15)	1354
36.2.31	受信バッファレジスタ nCH (RMDF1n) (n = 0 ~ 15)	1354
36.2.32	受信バッファレジスタ nDL (RMDF2n) (n = 0 ~ 15)	1355
36.2.33	受信バッファレジスタ nDH (RMDF3n) (n = 0 ~ 15)	1355
36.2.34	受信 FIFO 制御レジスタ m (RFCCm) (m = 0, 1)	1356
36.2.35	受信 FIFO ステータスレジスタ m (RFSTSm) (m = 0, 1)	1357
36.2.36	受信 FIFO ポインタ制御レジスタ m (RFPCTRm) (m = 0, 1)	1358
36.2.37	受信 FIFO アクセスレジスタ mAL (RFIDLm) (m = 0, 1)	1359
36.2.38	受信 FIFO アクセスレジスタ mAH (RFIDHm) (m = 0, 1)	1359
36.2.39	受信 FIFO アクセスレジスタ mBL (RFTSm) (m = 0, 1)	1360
36.2.40	受信 FIFO アクセスレジスタ mBH (RFPTRm) (m = 0, 1)	1360
36.2.41	受信 FIFO アクセスレジスタ mCL (RFDF0m) (m = 0, 1)	1361
36.2.42	受信 FIFO アクセスレジスタ mCH (RFDF1m) (m = 0, 1)	1361
36.2.43	受信 FIFO アクセスレジスタ mDL (RFDF2m) (m = 0, 1)	1362
36.2.44	受信 FIFO アクセスレジスタ mDH (RFDF3m) (m = 0, 1)	1362
36.2.45	送受信 FIFO 制御レジスタ 0L (CFCCL0)	1363
36.2.46	送受信 FIFO 制御レジスタ 0H (CFCCH0)	1365
36.2.47	送受信 FIFO ステータスレジスタ 0 (CFSTS0)	1366
36.2.48	送受信 FIFO ポインタ制御レジスタ 0 (CFPCTR0)	1368
36.2.49	送受信 FIFO アクセスレジスタ 0AL (CFIDL0)	1369
36.2.50	送受信 FIFO アクセスレジスタ 0AH (CFIDH0)	1370
36.2.51	送受信 FIFO アクセスレジスタ 0BL (CFTS0)	1371
36.2.52	送受信 FIFO アクセスレジスタ 0BH (CFPTR0)	1372
36.2.53	送受信 FIFO アクセスレジスタ 0CL (CFDF00)	1373
36.2.54	送受信 FIFO アクセスレジスタ 0CH (CFDF10)	1373
36.2.55	送受信 FIFO アクセスレジスタ 0DL (CFDF20)	1374
36.2.56	送受信 FIFO アクセスレジスタ 0DH (CFDF30)	1374
36.2.57	受信 FIFO メッセージロストステータスレジスタ (RFMSTS)	1375
36.2.58	送受信 FIFO メッセージロストステータスレジスタ (CFMSTS)	1375
36.2.59	受信 FIFO 割り込みステータスレジスタ (RFISTS)	1376
36.2.60	送受信 FIFO 受信割り込みステータスレジスタ (CFISTS)	1376

36.2.61	送信バッファ制御レジスタ p (TMCp) (p = 0 ~ 3)	1377
36.2.62	送信バッファステータスレジスタ p (TMSTSp) (p = 0 ~ 3)	1378
36.2.63	送信バッファ送信要求ステータスレジスタ (TMTRSTS)	1379
36.2.64	送信バッファ送信完了ステータスレジスタ (TMTCASTS)	1380
36.2.65	送信バッファ送信アボートステータスレジスタ (TMTASTS)	1381
36.2.66	送信バッファ割り込み許可レジスタ (TMIEC)	1382
36.2.67	送信バッファレジスタ pAL (TMIDLp) (p = 0 ~ 3)	1382
36.2.68	送信バッファレジスタ pAH (TMIDHp) (p = 0 ~ 3)	1383
36.2.69	送信バッファレジスタ pBH (TMPTRp) (p = 0 ~ 3)	1384
36.2.70	送信バッファレジスタ pCL (TMDF0p) (p = 0 ~ 3)	1385
36.2.71	送信バッファレジスタ pCH (TMDF1p) (p = 0 ~ 3)	1385
36.2.72	送信バッファレジスタ pDL (TMDF2p) (p = 0 ~ 3)	1386
36.2.73	送信バッファレジスタ pDH (TMDF3p) (p = 0 ~ 3)	1386
36.2.74	送信履歴バッファ制御レジスタ (THLCC0)	1387
36.2.75	送信履歴バッファステータスレジスタ (THLSTS0)	1388
36.2.76	送信履歴バッファアクセスレジスタ (THLACC0)	1389
36.2.77	送信履歴バッファポインタ制御レジスタ (THLPCTR0)	1390
36.2.78	グローバル RAM ウィンドウ制御レジスタ (GRWCR)	1391
36.2.79	グローバルテスト設定レジスタ (GTSTCFG)	1392
36.2.80	グローバルテスト制御レジスタ (GTSTCTRL)	1392
36.2.81	グローバルテストプロテクト解除レジスタ (GLOCKK)	1393
36.2.82	RAM テストレジスタ r (RPGACCr) (r = 0 ~ 127)	1393
36.3	CAN モード	1394
36.3.1	グローバルモード	1394
36.3.2	チャンネルモード	1396
36.4	受信機能	1400
36.4.1	受信ルールテーブルを用いたデータ処理	1400
36.4.2	タイムスタンプ	1402
36.5	送信機能	1403
36.5.1	送金の優先順位判定	1403
36.5.2	送信バッファを用いた送信	1404
36.5.3	FIFO バッファによる送信	1404
36.5.4	送信履歴機能	1407
36.6	テスト機能	1408
36.6.1	標準テストモード	1408
36.6.2	リッスンオンリモード	1408
36.6.3	セルフテストモード (ループバックモード)	1409
36.6.4	RAM テスト	1409
36.7	割り込み	1410
36.8	RAM ウィンドウ	1413

36.9	初期設定	1414
36.9.1	クロックの設定	1415
36.9.2	ビットタイミングの設定	1415
36.9.3	通信速度の設定	1416
36.9.4	受信ルールの設定	1417
36.9.5	バッファの設定	1418
36.10	受信手順	1419
36.10.1	受信バッファの読み出し手順	1419
36.10.2	FIFO バッファの読み出し手順	1421
36.11	送信手順	1423
36.11.1	送信バッファからの送信手順	1423
36.11.2	送受信 FIFO バッファからの送信手順	1426
36.11.3	送信履歴バッファの読み出し手順	1429
36.12	テスト設定	1430
36.12.1	セルフテストモードの設定手順	1430
36.12.2	プロテクト解除手順	1431
36.12.3	RAM テストの設定手順	1432
36.13	CAN モジュールの注意事項	1433
37.	シリアルサウンドインタフェース (SSI)	1434
37.1	概要	1434
37.2	レジスタの説明	1436
37.2.1	制御レジスタ (SSICR)	1436
37.2.2	ステータスレジスタ (SSISR)	1440
37.2.3	FIFO 制御レジスタ (SSIFCR)	1443
37.2.4	FIFO ステータスレジスタ (SSIFSR)	1445
37.2.5	送信 FIFO データレジスタ (SSIFTDR)	1447
37.2.6	受信 FIFO データレジスタ (SSIFRDR)	1447
37.2.7	TDM モードレジスタ (SSITDMR)	1448
37.3	動作説明	1449
37.3.1	バスフォーマット	1449
37.3.2	非圧縮モード	1449
37.3.3	WS コンティニューモード	1455
37.3.4	動作状態	1456
37.3.5	送信動作	1457
37.3.6	受信動作	1460
37.3.7	シリアルビットクロック制御	1462
37.4	割り込み要因	1462
37.5	使用上の注意事項	1463
37.5.1	モジュールストップ機能の設定	1463
37.5.2	転送モードを切り替える場合の注意事項	1463

37.5.3	WS コンティニューモードの制限事項	1463
38.	シリアルペリフェラルインタフェース (RSPIa)	1464
38.1	概要	1464
38.2	レジスタの説明	1468
38.2.1	RSPI 制御レジスタ (SPCR)	1468
38.2.2	RSPI スレーブセレクト極性レジスタ (SSLP)	1470
38.2.3	RSPI 端子制御レジスタ (SPPCR)	1471
38.2.4	RSPI ステータスレジスタ (SPSR)	1472
38.2.5	RSPI データレジスタ (SPDR)	1475
38.2.6	RSPI シーケンス制御レジスタ (SPSCR)	1478
38.2.7	RSPI シーケンスステータスレジスタ (SPSSR)	1479
38.2.8	RSPI ビットレートレジスタ (SPBR)	1480
38.2.9	RSPI データコントロールレジスタ (SPDCR)	1481
38.2.10	RSPI クロック遅延レジスタ (SPCKD)	1483
38.2.11	RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)	1484
38.2.12	RSPI 次アクセス遅延レジスタ (SPND)	1485
38.2.13	RSPI 制御レジスタ 2 (SPCR2)	1486
38.2.14	RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)	1488
38.3	動作説明	1491
38.3.1	RSPI 動作の概要	1491
38.3.2	RSPI 端子の制御	1492
38.3.3	RSPI システム構成例	1493
38.3.3.1	シングルマスタ / シングルスレーブ (本 MCU = マスタ)	1493
38.3.3.2	シングルマスタ / シングルスレーブ (本 MCU = スレーブ)	1494
38.3.3.3	シングルマスタ / マルチスレーブ (本 MCU = マスタ)	1495
38.3.3.4	シングルマスタ / マルチスレーブ (本 MCU = スレーブ)	1496
38.3.3.5	マルチマスタ / マルチスレーブ (本 MCU = マスタ)	1497
38.3.3.6	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)	1498
38.3.3.7	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)	1498
38.3.4	データフォーマット	1499
38.3.4.1	パリティ機能無効時 (SPCR2.SPPE = 0)	1500
38.3.4.2	パリティ機能有効時 (SPCR2.SPPE = 1)	1504
38.3.5	転送フォーマット	1508
38.3.5.1	CPHA ビット = 0 の場合	1508
38.3.5.2	CPHA ビット = 1 の場合	1509
38.3.6	通信動作モード	1510
38.3.6.1	全二重同期式シリアル通信 (SPCR.TXMD = 0)	1510
38.3.6.2	送信のみ動作 (SPCR.TXMD = 1)	1511
38.3.7	送信バッファエンプティ / 受信バッファフル割り込み	1512

38.3.8	エラー検出	1514
38.3.8.1	オーバランエラー	1515
38.3.8.2	パリティエラー	1518
38.3.8.3	モードフォルトエラー	1519
38.3.9	RSPI の初期化	1520
38.3.9.1	SPE ビットのクリアによる初期化	1520
38.3.9.2	システムリセット	1520
38.3.10	SPI 動作	1521
38.3.10.1	マスタモード動作	1521
38.3.10.2	スレーブモード動作	1531
38.3.11	クロック同期式動作	1535
38.3.11.1	マスタモード動作	1535
38.3.11.2	スレーブモード動作	1539
38.3.12	ループバックモード	1541
38.3.13	パリティビット機能の自己判断	1542
38.3.14	割り込み要因	1543
38.4	イベントリンク機能によるリンク動作	1544
38.4.1	受信バッファフルイベント出力	1544
38.4.2	送信バッファエンptyイベント出力	1544
38.4.3	モードフォルト/オーバラン/パリティエラーイベント出力	1544
38.4.4	RSPI アイドルイベント出力	1545
38.4.5	送信完了イベント出力	1545
38.5	使用上の注意事項	1546
38.5.1	モジュールストップ機能の設定	1546
38.5.2	消費電力低減機能の注意事項	1546
38.5.3	通信の開始に関する注意事項	1546
38.5.4	SPRF/SPTEF フラグに関する注意事項	1546
39.	CRC 演算器 (CRC)	1547
39.1	概要	1547
39.2	レジスタの説明	1548
39.2.1	CRC コントロールレジスタ (CRCCR)	1548
39.2.2	CRC データ入力レジスタ (CRCDIR)	1548
39.2.3	CRC データ出力レジスタ (CRCDOR)	1549
39.3	CRC 演算器の動作説明	1550
39.4	使用上の注意事項	1553
39.4.1	モジュールストップ機能の設定	1553
39.4.2	転送時の注意事項	1553
40.	SD ホストインタフェース (SDHla)	1554
40.1	概要	1554
40.2	レジスタの説明	1556

40.2.1	コマンドレジスタ (SDCMD)	1556
40.2.2	アーギュメントレジスタ (SDARG)	1558
40.2.3	データストップレジスタ (SDSTOP)	1559
40.2.4	ブロックカウントレジスタ (SDBLKCNT)	1560
40.2.5	レスポンスレジスタ 10 (SDRSP10)、レスポンスレジスタ 32 (SDRSP32)、 レスポンスレジスタ 54 (SDRSP54)、レスポンスレジスタ 76 (SDRSP76)	1561
40.2.6	SD ステータスレジスタ 1 (SDSTS1)	1563
40.2.7	SD ステータスレジスタ 2 (SDSTS2)	1566
40.2.8	SD 割り込みマスクレジスタ 1 (SDIMSK1)	1570
40.2.9	SD 割り込みマスクレジスタ 2 (SDIMSK2)	1571
40.2.10	SDHI クロックコントロールレジスタ (SDCLKCR)	1572
40.2.11	転送データサイズレジスタ (SDSIZE)	1573
40.2.12	カードアクセスオプションレジスタ (SDOPT)	1574
40.2.13	SD エラーステータスレジスタ 1 (SDERSTS1)	1575
40.2.14	SD エラーステータスレジスタ 2 (SDERSTS2)	1576
40.2.15	SD バッファレジスタ (SDBUFR)	1577
40.2.16	SDIO モードコントロールレジスタ (SDIOMD)	1578
40.2.17	SDIO ステータスレジスタ (SDIOSTS)	1580
40.2.18	SDIO 割り込みマスクレジスタ (SDIOIMSK)	1581
40.2.19	DMA 転送許可レジスタ (SDDMAEN)	1582
40.2.20	SDHI ソフトウェアリセットレジスタ (SDRST)	1583
40.2.21	スワップコントロールレジスタ (SDSWAP)	1584
40.3	動作説明	1585
40.3.1	SD カードのデータブロックフォーマット	1585
40.3.2	SD バッファと SDBUFR レジスタ	1586
40.3.3	SD カードの検出	1587
40.3.3.1	SDHI_CD 端子によるカード検出	1587
40.3.3.2	SDHI_D3 端子による SD カード検出	1588
40.3.4	SD カードのライトプロテクト	1588
40.3.4.1	SDHI_WP 端子によるライトプロテクト	1588
40.3.4.2	コマンドによるライトプロテクト	1588
40.3.5	通信エラーとタイムアウト	1589
40.3.6	コマンドの送信例	1590
40.3.6.1	レスポンスの受信およびデータ転送を行わないコマンド	1590
40.3.6.2	データ転送を行わないコマンド	1591
40.3.6.3	シングルブロックリードコマンド (CMD17)	1592
40.3.6.4	シングルブロックライトコマンド (CMD24)	1594
40.3.6.5	マルチブロックリードコマンド (CMD18)	1596
40.3.6.6	マルチブロックライトコマンド (CMD25)	1598
40.3.6.7	IO_RW_DIRECT コマンド (CMD52)	1600
40.3.6.8	IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード)	1601

40.3.6.9	IO_RW_EXTENDED (CMD53/ マルチブロックライト)	1603
40.3.6.10	DMA 転送	1605
40.4	割り込み	1607
40.4.1	割り込み要求による DMA 転送	1608
40.5	使用上の注意事項	1609
40.5.1	マルチブロックリード時における不正な読み出しとその回避方法	1609
40.5.2	SDBUFR レジスタ不正書き込みエラー	1610
40.5.3	SDHI クロック出力の自動制御	1610
40.5.4	マルチブロックライト時の C52PUB ビット設定制限	1610
40.5.5	SDCLKCR レジスタ設定時の注意	1611
40.5.6	マルチブロックリード中の SDSTOP レジスタへの設定	1611
40.5.7	モジュールストップ機能の設定	1611
41.	Trusted Secure IP (TSIP-Lite)	1612
41.1	概要	1612
41.2	動作説明	1614
41.2.1	動作モードと状態遷移	1614
41.2.2	暗号エンジン	1615
41.2.3	鍵データインストール	1616
41.2.4	暗号/復号処理	1617
41.2.5	鍵生成情報作成 (乱数使用)	1620
41.2.6	乱数生成	1620
41.3	割り込み	1621
41.4	使用上の注意事項	1621
41.4.1	スタンバイモード	1621
41.4.2	モジュールストップ機能の設定	1621
41.4.3	TSIP-Lite ライブラリ	1621
42.	静電容量式タッチセンサ (CTSU)	1622
42.1	概要	1623
42.2	レジスタの説明	1624
42.2.1	CTSU 制御レジスタ 0 (CTSUCR0)	1624
42.2.2	CTSU 制御レジスタ 1 (CTSUCR1)	1626
42.2.3	CTSU 同期ノイズ低減設定レジスタ (CTSUSDPRS)	1627
42.2.4	CTSU センサ安定待ち時間レジスタ (CTSUSST)	1628
42.2.5	CTSU 計測チャンネルレジスタ 0 (CTSUMCH0)	1629
42.2.6	CTSU 計測チャンネルレジスタ 1 (CTSUMCH1)	1630
42.2.7	CTSU チャンネル有効制御レジスタ n (CTSUCHACn) (n = 0 ~ 3)	1631
42.2.8	CTSU チャンネル有効制御レジスタ 4 (CTSUCHAC4)	1632
42.2.9	CTSU チャンネル送受信制御レジスタ n (CTSUCHTRCn) (n = 0 ~ 3)	1633
42.2.10	CTSU チャンネル送受信制御レジスタ 4 (CTSUCHTRC4)	1634
42.2.11	CTSU 高域ノイズ低減制御レジスタ (CTSUDCLKC)	1635

42.2.12	CTSUSUST ステータスレジスタ (CTSUSUST)	1636
42.2.13	CTSUSUSSC 高域ノイズ低減スペクトラム拡散制御レジスタ (CTSUSUSSC)	1638
42.2.14	CTSUSUSO0 センサオフセットレジスタ 0 (CTSUSUSO0)	1639
42.2.15	CTSUSUSO1 センサオフセットレジスタ 1 (CTSUSUSO1)	1640
42.2.16	CTSUSUSC センサカウンタ (CTSUSUSC)	1641
42.2.17	CTSUSURC リファレンスカウンタ (CTSUSURC)	1642
42.2.18	CTSUERRS エラーステータスレジスタ (CTSUERRS)	1643
42.3	動作説明	1645
42.3.1	計測動作原理	1645
42.3.2	計測モード	1647
42.3.2.1	初期設定フロー	1648
42.3.2.2	ステータスカウンタ	1649
42.3.2.3	自己容量シングルスキャンモード動作	1650
42.3.2.4	自己容量マルチスキャンモード動作	1652
42.3.2.5	相互容量フルスキャンモード動作	1654
42.3.3	複数モードに関わる共通事項	1657
42.3.3.1	センサ安定待ち時間と計測時間	1657
42.3.3.2	割り込み	1658
42.4	使用上の注意事項	1660
42.4.1	計測結果データ (CTSUSUSC カウンタ、CTSUSURC カウンタ)	1660
42.4.2	ソフトウェアトリガ	1660
42.4.3	外部トリガ	1660
42.4.4	強制停止の注意事項	1661
42.4.5	TSCAP 端子	1661
42.4.6	計測動作中 (CTSUCR0.CTUSSTRT ビット = 1) の注意事項	1661
43.	12 ビット A/D コンバータ (S12ADE)	1662
43.1	概要	1662
43.2	レジスタの説明	1666
43.2.1	A/D データレジスタ y (ADDRy)、 A/D データ二重化レジスタ (ADDBLDR)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR)	1666
43.2.2	A/D 自己診断データレジスタ (ADRD)	1668
43.2.3	A/D コントロールレジスタ (ADCSR)	1669
43.2.4	A/D チャネル選択レジスタ A0 (ADANSA0)	1673
43.2.5	A/D チャネル選択レジスタ A1 (ADANSA1)	1674
43.2.6	A/D チャネル選択レジスタ B0 (ADANSB0)	1675
43.2.7	A/D チャネル選択レジスタ B1 (ADANSB1)	1676
43.2.8	A/D 変換値加算 / 平均機能チャネル選択レジスタ 0 (ADADS0)	1677
43.2.9	A/D 変換値加算 / 平均機能チャネル選択レジスタ 1 (ADADS1)	1678
43.2.10	A/D 変換値加算 / 平均回数選択レジスタ (ADADC)	1680

43.2.11	A/D コントロール拡張レジスタ (ADCER)	1681
43.2.12	A/D 変換開始トリガ選択レジスタ (ADSTRGR)	1683
43.2.13	A/D 変換拡張入力コントロールレジスタ (ADEXICR)	1685
43.2.14	A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 7, L, T, O)	1687
43.2.15	A/D 断線検出コントロールレジスタ (ADDISCR)	1688
43.2.16	A/D イベントリンクコントロールレジスタ (ADELCCR)	1689
43.2.17	A/D グループスキャン優先コントロールレジスタ (ADGSPCR)	1690
43.2.18	A/D コンペア機能コントロールレジスタ (ADCMPCR)	1691
43.2.19	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0 (ADCMPANSR0)	1693
43.2.20	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 1 (ADCMPANSR1)	1694
43.2.21	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)	1695
43.2.22	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0)	1696
43.2.23	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPLR1)	1697
43.2.24	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER)	1698
43.2.25	A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)	1699
43.2.26	A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)	1701
43.2.27	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 0 (ADCMPSR0)	1702
43.2.28	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 1 (ADCMPSR1)	1703
43.2.29	A/D コンペア機能ウィンドウ A 拡張入力チャンネルステータスレジスタ (ADCMPSER)	1704
43.2.30	A/D 高電位 / 低電位基準電圧コントロールレジスタ (ADHVREFCNT)	1705
43.2.31	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON)	1706
43.2.32	A/D コンペア機能ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR)	1707
43.2.33	A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)	1709
43.2.34	A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)	1711
43.2.35	A/D コンペア機能ウィンドウ B チャンネルステータスレジスタ (ADCMPBSR)	1712
43.2.36	A/D データ格納バッファレジスタ n (ADBUFn) (n = 0 ~ 15)	1713
43.2.37	A/D データ格納バッファイネーブルレジスタ (ADBUFEN)	1714
43.2.38	A/D データ格納バッファポインタレジスタ (ADBUFPTR)	1715
43.3	動作説明	1716
43.3.1	スキャンの動作説明	1716
43.3.2	シングルスキャンモード	1717
43.3.2.1	基本動作	1717
43.3.2.2	チャンネル選択と自己診断	1718
43.3.2.3	温度センサ出力 / 内部基準電圧選択時の A/D 変換動作	1719
43.3.2.4	ダブルトリガモード選択時の動作	1720
43.3.3	連続スキャンモード	1721
43.3.3.1	基本動作	1721
43.3.3.2	チャンネル選択と自己診断	1722
43.3.4	グループスキャンモード	1723
43.3.4.1	基本動作	1723

43.3.4.2	ダブルトリガモード選択時の動作	1724
43.3.4.3	グループ A 優先制御動作	1725
43.3.5	コンペア機能 (ウィンドウ A、ウィンドウ B)	1735
43.3.5.1	コンペア機能ウィンドウ A/B	1735
43.3.5.2	コンペア機能の ELC 出力	1737
43.3.5.3	データ格納バッファの使用手法	1739
43.3.5.4	コンペア機能制約	1740
43.3.6	アナログ入力のサンプリング時間とスキャン変換時間	1740
43.3.7	A/D データレジスタの自動クリア機能の使用例	1742
43.3.8	A/D 変換値加算 / 平均機能	1742
43.3.9	断線検出アシスト機能	1742
43.3.10	非同期トリガによる A/D 変換の開始	1744
43.3.11	周辺モジュールからの同期トリガによる A/D 変換の開始	1744
43.4	割り込み要因と DTC、DMAC 転送要求	1744
43.4.1	割り込み要求	1744
43.5	イベントリンク機能	1745
43.5.1	ELC へのイベント出力動作	1745
43.5.2	ELC からのイベントによる 12 ビット A/D コンバータの動作	1745
43.5.3	ELC からのイベントによる 12 ビット A/D コンバータの注意事項	1745
43.6	基準電圧の選択方法	1745
43.7	許容信号源インピーダンスについて	1746
43.8	使用上の注意事項	1747
43.8.1	データレジスタの読出し注意事項	1747
43.8.2	A/D 変換停止時の注意事項	1747
43.8.3	A/D 変換強制停止と開始時の動作タイミング	1748
43.8.4	スキャン終了割り込み処理の注意事項	1748
43.8.5	モジュールストップ機能の設定	1748
43.8.6	低消費電力状態への遷移時の注意	1748
43.8.7	ソフトウェアスタンバイモード解除時の注意	1748
43.8.8	12 ビット A/D コンバータを使用する場合の端子の設定	1748
43.8.9	断線検出アシスト機能使用時の絶対精度誤差	1749
43.8.10	ADHSC ビットの書き換え手順	1749
43.8.11	アナログ電源端子他の設定範囲	1749
43.8.12	ボード設計上の注意	1750
43.8.13	ノイズ対策上の注意	1750
44.	12 ビット D/A コンバータ (R12DAA)	1752
44.1	概要	1752
44.2	レジスタの説明	1753
44.2.1	D/A データレジスタ m (DADR _m) (m = 0, 1)	1753
44.2.2	D/A 制御レジスタ (DACR)	1754

44.2.3	DADR _m フォーマット選択レジスタ (DADPR) (m = 0, 1)	1754
44.2.4	D/A A/D 同期スタート制御レジスタ (DAADSCR)	1755
44.2.5	D/A VREF 制御レジスタ (DAVREFCR)	1756
44.3	動作説明	1757
44.3.1	D/A 変換と A/D 変換の干渉対策	1758
44.3.2	内部基準電圧を基準電圧として使用する時の注意点	1760
44.4	イベントリンクの動作設定手順	1761
44.5	イベントリンク動作における注意事項	1761
44.6	使用上の注意事項	1762
44.6.1	モジュールストップ機能の設定	1762
44.6.2	モジュールストップ時の D/A コンバータの動作	1762
44.6.3	ソフトウェアスタンバイモード時の D/A コンバータの動作	1762
44.6.4	D/A 変換と A/D 変換の干渉対策有効時の注意事項	1762
45.	温度センサ (TEMPSA)	1763
45.1	概要	1763
45.2	レジスタの説明	1764
45.2.1	温度センサ校正データレジスタ (TSCDRH, TSCDRL)	1764
45.3	温度センサの使用方法	1765
45.3.1	使用前の準備	1765
45.3.2	12 ビット A/D コンバータの設定	1766
46.	コンパレータ B (CMPBa)	1767
46.1	概要	1767
46.2	レジスタの説明	1771
46.2.1	コンパレータ B 制御レジスタ 1 (CPBCNT1)	1771
46.2.2	コンパレータ B1 制御レジスタ 1 (CPB1CNT1)	1771
46.2.3	コンパレータ B 制御レジスタ 2 (CPBCNT2)	1772
46.2.4	コンパレータ B1 制御レジスタ 2 (CPB1CNT2)	1772
46.2.5	コンパレータ B フラグレジスタ (CPBFLG)	1773
46.2.6	コンパレータ B1 フラグレジスタ (CPB1FLG)	1774
46.2.7	コンパレータ B 割り込み制御レジスタ (CPBINT)	1775
46.2.8	コンパレータ B1 割り込み制御レジスタ (CPB1INT)	1776
46.2.9	コンパレータ B フィルタ選択レジスタ (CPBF)	1777
46.2.10	コンパレータ B1 フィルタ選択レジスタ (CPB1F)	1777
46.2.11	コンパレータ B モード選択レジスタ (CPBMD)	1778
46.2.12	コンパレータ B1 モード選択レジスタ (CPB1MD)	1778
46.2.13	コンパレータ B リファレンス入力電圧選択レジスタ (CPBREF)	1779
46.2.14	コンパレータ B1 リファレンス入力電圧選択レジスタ (CPB1REF)	1780
46.2.15	コンパレータ B 出力制御レジスタ (CPBOCR)	1781
46.2.16	コンパレータ B1 出力制御レジスタ (CPB1OCR)	1781
46.3	動作説明	1782

46.3.1	コンパレータ Bn デジタルフィルタ (n=0~3)	1785
46.4	コンパレータ B0 ~コンパレータ B3 割り込み	1786
46.5	イベントリンク出力機能	1787
46.5.1	割り込み処理とイベントリンクの関係	1787
46.5.2	コンパレータ Bn 出力 (n=0~3) 機能	1787
46.5.3	コンパレータ B を使用したソフトウェアスタンバイモード復帰例	1788
46.6	使用上の注意事項	1788
46.6.1	モジュールストップ機能の設定	1788
47.	データ演算回路 (DOC)	1789
47.1	概要	1789
47.2	レジスタの説明	1790
47.2.1	DOC コントロールレジスタ (DOCR)	1790
47.2.2	DOC データインプットレジスタ (DODIR)	1791
47.2.3	DOC データセッティングレジスタ (DODSR)	1791
47.3	動作説明	1792
47.3.1	データ比較モード	1792
47.3.2	データ加算モード	1793
47.3.3	データ減算モード	1794
47.4	割り込み要求	1794
47.5	イベントリンク出力機能	1795
47.5.1	割り込み処理とイベントリンクの関係	1795
47.6	使用上の注意事項	1795
47.6.1	モジュールストップ機能の設定	1795
48.	RAM	1796
48.1	概要	1796
48.2	動作説明	1796
48.2.1	消費電力低減機能	1796
48.2.2	RAM の自己診断に関する注意事項	1796
49.	フラッシュメモリ	1797
49.1	概要	1797
49.2	ROM の領域とブロックの構成	1798
49.3	E2 データフラッシュの領域とブロックの構成	1799
49.4	レジスタの説明	1800
49.4.1	E2 データフラッシュ制御レジスタ (DFLCTL)	1800
49.4.2	フラッシュ P/E モードエントリレジスタ (FENTRYR)	1801
49.4.3	プロテクト解除レジスタ (FPR)	1802
49.4.4	プロテクト解除ステータスレジスタ (FPSR)	1802
49.4.5	フラッシュ P/E モード制御レジスタ (FPMCR)	1803
49.4.6	フラッシュ初期設定レジスタ (FISR)	1804
49.4.7	フラッシュリセットレジスタ (FRESETR)	1806

49.4.8	フラッシュ領域選択レジスタ (FASR)	1806
49.4.9	フラッシュ制御レジスタ (FCR)	1807
49.4.10	フラッシュエクストラ領域制御レジスタ (FEXCR)	1809
49.4.11	フラッシュ処理開始アドレスレジスタ H (FSARH)	1810
49.4.12	フラッシュ処理開始アドレスレジスタ L (FSARL)	1810
49.4.13	フラッシュ処理終了アドレスレジスタ H (FEARH)	1811
49.4.14	フラッシュ処理終了アドレスレジスタ L (FEARL)	1811
49.4.15	フラッシュライトバッファ n レジスタ (FWBn) (n = 0 ~ 3)	1812
49.4.16	フラッシュステータスレジスタ 0 (FSTATR0)	1813
49.4.17	フラッシュステータスレジスタ 1 (FSTATR1)	1815
49.4.18	フラッシュエラーアドレスモニタレジスタ H (FEAMH)	1816
49.4.19	フラッシュエラーアドレスモニタレジスタ L (FEAML)	1816
49.4.20	フラッシュスタートアップ設定モニタレジスタ (FSCMR)	1817
49.4.21	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ (FAWSMR)	1817
49.4.22	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ (FAWEMR)	1818
49.4.23	ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)	1818
49.5	スタートアッププログラム保護機能	1819
49.6	エリアプロテクション	1820
49.7	プログラム/イレーズ	1821
49.7.1	シーケンサのモード	1821
49.7.1.1	E2 データフラッシュアクセス禁止モード	1821
49.7.1.2	リードモード	1822
49.7.1.3	P/E モード	1822
49.7.2	モード遷移	1822
49.7.2.1	E2 データフラッシュアクセス禁止モードからリードモードへの遷移	1822
49.7.2.2	リードモードから P/E モードへの遷移	1823
49.7.2.3	P/E モードからリードモードへの遷移	1825
49.7.3	ソフトウェアコマンド一覧	1827
49.7.4	ソフトウェアコマンド使用方法	1828
49.7.4.1	プログラム	1828
49.7.4.2	ブロックイレーズ	1830
49.7.4.3	全ブロックイレーズ	1832
49.7.4.4	ブランクチェック	1834
49.7.4.5	スタートアップ領域情報プログラム/アクセスウィンドウ情報プログラム	1836
49.7.4.6	ソフトウェアコマンドの強制停止	1837
49.7.5	割り込み	1837
49.8	ブートモード	1838
49.8.1	ブートモード (USB インタフェース)	1839
49.8.1.1	ブートモード (USB インタフェース) の動作条件	1839
49.8.2	ブートモード (SCI インタフェース)	1842

49.8.2.1	ブートモード (SCI インタフェース) の動作条件	1842
49.8.2.2	ブートモード (SCI インタフェース) の起動方法	1843
49.8.3	ブートモード (FINE インタフェース)	1844
49.8.3.1	ブートモード (FINE インタフェース) の動作条件	1844
49.9	フラッシュメモリプロテクト機能	1845
49.9.1	ID コードプロテクト	1845
49.9.1.1	ブートモード ID コードプロテクト	1846
49.9.1.2	オンチップデバッグエミュレータ ID コードプロテクト	1847
49.9.2	ROM コードプロテクト	1848
49.10	通信プロトコル	1849
49.10.1	ブートモード (SCI インタフェース) の状態遷移	1849
49.10.2	コマンドとレスポンスの構成	1850
49.10.3	未定義コマンドに対するレスポンス	1850
49.10.4	ブートモードステータス問い合わせ	1851
49.10.5	問い合わせコマンド	1852
49.10.5.1	サポートデバイス問い合わせ	1852
49.10.5.2	データ領域有無問い合わせ	1853
49.10.5.3	ユーザ領域情報問い合わせ	1853
49.10.5.4	データ領域情報問い合わせ	1854
49.10.5.5	ブロック情報問い合わせ	1854
49.10.6	設定コマンド	1855
49.10.6.1	デバイス選択	1855
49.10.6.2	動作周波数選択	1856
49.10.6.3	プログラム / イレーズホストコマンド待ちステート遷移	1857
49.10.7	ID コード認証コマンド	1858
49.10.7.1	ID コードチェック	1858
49.10.8	プログラム / イレーズコマンド	1859
49.10.8.1	ユーザ / データ領域プログラム準備	1859
49.10.8.2	プログラム	1860
49.10.8.3	データ領域プログラム	1861
49.10.8.4	イレーズ準備	1862
49.10.8.5	ブロックイレーズ	1862
49.10.9	リードチェックコマンド	1863
49.10.9.1	メモリリード	1863
49.10.9.2	ユーザ領域チェックサム	1864
49.10.9.3	データ領域チェックサム	1865
49.10.9.4	ユーザ領域ブランクチェック	1865
49.10.9.5	データ領域ブランクチェック	1866
49.10.9.6	アクセスウィンドウ情報プログラム	1866
49.10.9.7	アクセスウィンドウリード	1867

49.11	ブートモード (SCI インタフェース) でのシリアルプログラマ動作説明	1868
49.11.1	ビットレート自動調整の制御手順	1869
49.11.2	MCU の情報取得手順	1870
49.11.3	デバイス指定、ビットレート変更の制御手順	1871
49.11.4	プログラム / イレーズホストコマンド待ちステートへの遷移手順	1872
49.11.5	ブートモード ID コードプロテクトの解除手順	1873
49.11.6	ユーザ領域、データ領域のイレーズ手順	1874
49.11.7	ユーザ領域、データ領域のプログラム手順	1875
49.11.8	ユーザ領域のデータ確認手順	1876
49.11.9	データ領域のデータ確認手順	1877
49.11.10	ユーザ領域のアクセスウィンドウ設定手順	1878
49.12	セルフプログラミングでの書き換え	1879
49.12.1	概要	1879
49.13	使用上の注意事項	1880
49.14	使用上の注意事項 (ブートモード)	1881
50.	電气的特性	1882
50.1	絶対最大定格	1882
50.2	DC 特性	1884
50.2.1	標準 I/O 端子出力特性 (1)	1899
50.2.2	標準 I/O 端子出力特性 (2)	1902
50.2.3	標準 I/O 端子出力特性 (3)	1905
50.3	AC 特性	1907
50.3.1	クロックタイミング	1907
50.3.2	リセットタイミング	1913
50.3.3	低消費電力状態からの復帰タイミング	1914
50.3.4	制御信号タイミング	1917
50.3.5	バスタイミング	1918
50.3.6	内蔵周辺モジュールタイミング	1925
50.4	USB 特性	1938
50.5	A/D 変換特性	1940
50.6	D/A 変換特性	1946
50.7	温度センサ特性	1948
50.8	コンパレータ特性	1948
50.9	CTSU 特性	1950
50.10	パワーオンリセット回路、電圧検出回路特性	1950
50.11	発振停止検出タイミング	1954
50.12	バッテリーバックアップ機能特性	1955
50.13	ROM (コード格納用フラッシュメモリ) 特性	1956
50.14	E2 データフラッシュ (データ格納用フラッシュメモリ) 特性	1958
50.15	使用上の注意事項	1959

50.15.1 VCL コンデンサ、バイパスコンデンサ接続方法	1959
付録 1. 各処理状態におけるポートの状態	1963
付録 2. 外形寸法図	1967
改訂記録	1974

54MHz、32ビットRX MCU、FPU内蔵、88.56 DMIPS、最大512Kバイトフラッシュメモリ、USB2.0フルスピードホスト/ファンクション/OTG、CAN、SDホストインタフェース、シリアルサウンドインタフェースなどの多種多様な通信機能、静電容量式タッチセンサ、12ビットA/D、12ビットD/A、RTC、暗号機能

特長

■ 32ビットRXv2 CPU コア内蔵

- 最大動作周波数 54MHz
88.56 DMIPS の性能 (54MHz 動作時)
- DSP 強化: 32ビット積和、16ビット積差命令に対応
- FPU 搭載: 32ビット単精度浮動小数点 (IEEE754 に準拠)
- 除算器 (最速2クロックで実行)
- 高速割り込み
- 5段パイプラインのCISC ハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵
- メモリプロテクションユニット (MPU) 対応

■ 消費電力低減機能

- 1.8V ~ 5.5V 動作の単一電源
- バッテリバックアップ専用電源で動作可能な RTC
- 3種類の低消費電力モード
- ソフトウェアスタンバイ中も動作する LPT (ローパワータイマ)

■ 内蔵コードフラッシュメモリ

- 128K ~ 512K バイトの容量
- オンボードおよびオフボードによるユーザ書き込み
- 1.8V で書き換え可能
- 命令、オペランド用

■ 内蔵データフラッシュメモリ

- 8K バイト (プログラム/イレース回数: 1,000,000 回 (typ))
- BGO (Back Ground Operation)

■ 内蔵 SRAM (ウェイトなし)

- 32K ~ 64K バイトの容量

■ データ転送機能

- DMAC: 4チャンネル内蔵
- DTC: 4種類の転送モード

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態において、モジュール間のリンク動作が可能

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) など 8種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■ クロック機能

- メインクロック発振器周波数: 1 ~ 20MHz
- 外部クロック入力周波数: ~ 20MHz
- サブクロック用発振器周波数: 32.768kHz
- PLL 回路入力 4MHz ~ 12.5MHz
- 低速オンチップオシレータ、高速オンチップオシレータ、IWDT 専用オンチップオシレータ内蔵
- USB 専用 PLL 回路: 4MHz、6MHz、8MHz、12MHz
システムクロック 54MHz USB クロック 48MHz の設定可能
- 32.768kHz RTC 専用クロックの生成
- クロック周波数精度測定回路 (CAC) 内蔵

■ リアルタイムクロック内蔵

- 補正機能 (30秒、うるう年、誤差)
- カレンダーカウントモード/バイナリカウントモードを選択可能
- 時間キャプチャ機能
- 外部端子のイベント入力力で時間をキャプチャ

■ 独立ウォッチドッグタイマ内蔵

- 15kHz IWDT 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

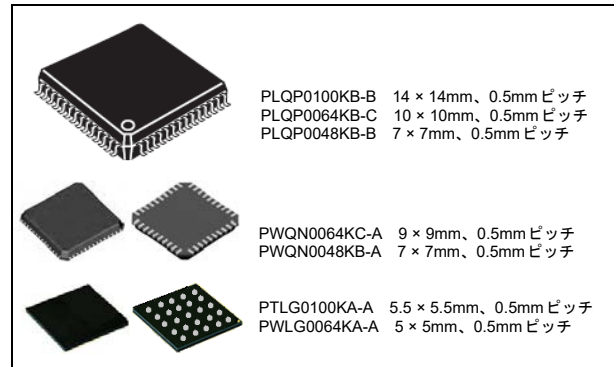
- A/D コンバータ自己診断機能/断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能など

■ 外部アドレス空間

- 4つのCS領域 (4×16Mバイト)
- エリアごとに8/16ビットバス空間を選択可能

■ MPC

- 周辺機能の入出力端子を複数個所から選択可能



■ 最大 14 本の通信機能を内蔵

- USB2.0 ホスト/ファンクション/OTG (ON-The-Go) (1チャンネル)、フルスピード (12Mbps)、ロースピード (1.5Mbps)、アイソクロナス転送、BC (バッテリーチャージャ) に対応
- ISO11898-1 準拠の CAN (1チャンネル) 最大 1Mbps 転送
- 多彩な機能に対応した SCI (最大7チャンネル) 調歩同期式モード/クロック同期式モード/スマートカードインタフェースモードビットモジュレーション機能による通信誤差低減
- IrDA インタフェース (1チャンネル、SCI5 と連携)
- I2C バスインタフェース 最大 400kbps 転送 SMBus に対応 (1チャンネル)
- RSPI (1チャンネル) 最大 16Mbps 転送
- シリアルサウンドインタフェース (1チャンネル)
- SD Host I/F (オプション: 1ch) SD メモリ /SDIO 1 or 4 ビット SD バスをサポート

■ 最大 20 本の拡張タイマ機能

- 16ビット MTU: インพุットキャプチャ、アウトプットコンペア、相補 PWM 出力、位相計数モード (6チャンネル)
- 16ビット TPU: インพุットキャプチャ、アウトプットコンペア、位相計数モード (6チャンネル)
- 8ビット TMR (4チャンネル)
- 16ビット CMT (4チャンネル)

■ 12ビットA/Dコンバータ内蔵

- 最小 0.83μs 変換が可能
- 24チャンネル
- チャンネルごとにサンプリング時間を設定可能
- 自己診断機能/アナログ入力断線検出アシスト機能内蔵

■ 12ビットD/Aコンバータ内蔵

- 2チャンネル

■ 静電容量式タッチセンサ

- 自己容量方式: 1端子1キー構成で最大 24 キーに対応
- 相互容量方式: 24本の端子のマトリクス構成により最大 144 キーに対応

■ アナログコンパレータ内蔵

- 2チャンネル×2ユニット

■ 汎用入出力ポート内蔵

- 5V トレラント、オーブンドレイン、入力プルアップ、駆動能力切り替え機能

■ 暗号機能 (TSIP-Lite)

- 暗号エンジンへの不正アクセスを禁止し、成りすまし、改ざんを防止
- 鍵の安全な管理を提供
- AES (鍵長 128/256bit) 内蔵。ECB,CBC,GCM 他に対応
- 真正乱数発生回路内蔵

■ 温度センサ内蔵

■ 動作周囲温度

- -40 ~ +85 °C
- -40 ~ +105 °C

■ 用途

- 一般産業、民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/5)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：54MHz 32ビットRX CPU (RX v2) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 基本命令：75種類 可変長命令形式 浮動小数点演算命令：11種類 DSP機能命令：23種類 アドレッシングモード：10種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット メモリプロテクションユニット (MPU)
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点 (32ビット) IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	<ul style="list-style-type: none"> 容量：128K/256K/384K/512Kバイト 32MHz以下：ウェイトなし 32MHz～54MHz時はウェイトあり。ROMアクセラレータにヒットした命令はウェイトなしでのアクセスが可能。 書き換え方法：シリアルライタープログラミング (調歩同期式シリアル通信/USB通信)、セルフプログラミング
	RAM	<ul style="list-style-type: none"> 容量：32K/64Kバイト 54MHz、ノーウェイトアクセス
	E2データフラッシュ	<ul style="list-style-type: none"> 容量：8Kバイト プログラム/イレース回数：1,000,000回 (typ)
MCU動作モード		シングルチップモード、内蔵ROM有効拡張モード、内蔵ROM無効拡張モード (ソフトウェア切り替え)
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、USB専用PLL周波数シンセサイザ、IWDTC専用オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路 (CAC)：あり システムクロック (ICLK)、周辺モジュールクロック (PCLK)、外部バスクロック (BCLK)、FlashIFクロック (FCLK) を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 54MHz MTU2aはPCLKA同期：Max 54MHz S12ADのADCLKはPCLKD同期：Max 54MHz MTU2aおよびS12ADE以外の周辺モジュールはPCLKB同期：Max 32MHz 外部バスに接続するデバイスはBCLK同期：Max 32MHz フラッシュ周辺回路はFCLK同期：Max 32MHz
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路 (LVDAb)	<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出0は検出電圧を4レベルから選択可能 電圧検出1は検出電圧を14レベルから選択可能 電圧検出2は検出電圧を4レベルから選択可能

表 1.1 仕様概要 (2/5)

分類	モジュール/機能	説明
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 3種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード ソフトウェアスタンバイ中も動作可能なローパワータイマーを搭載
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード 高速動作モード、中速動作モード、低速動作モード
割り込み	割り込み コントローラ (ICUb)	<ul style="list-style-type: none"> 割り込みベクタ数：167 外部割り込み：要因数9 (NMI、IRQ0～IRQ7端子) ノンマスクابل割り込み：要因数7 (NMI端子、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込み、WDT割り込み、IWDWT割り込み、VBATT電源監視割り込み) 16レベルの割り込み優先順位を設定可能
外部バス拡張		<ul style="list-style-type: none"> 外部アドレス空間を4つのエリア (CS0～CS3) に分割して管理 各エリアの領域：16Mバイト (CS0～CS3) エリアごとにチップセレクト (CS0#～CS3#) 出力可能 エリアごとに、バス幅として、8ビットバス/16ビットバスを選択可能 エリアごとにエンディアンを設定可能 (データのみ) バス形式：セパレートバス、マルチプレクスバスの選択が可能 ウェイト制御可能 ライトバッファ機能
DMA	DMAコントローラ (DMACA)	<ul style="list-style-type: none"> 4チャンネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データトランスファ コントローラ (DTCa)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：割り込み要因により起動 チェーン転送機能あり
I/Oポート	汎用入出力ポート	<p>100ピン/64ピン/48ピン</p> <ul style="list-style-type: none"> 入出力：79/43/30 (RX231グループ)、83/47/34 (RX230グループ) 入力：1/1/1 ブルアップ抵抗：79/43/30 (RX231グループ)、83/47/34 (RX230グループ) オープンドレイン出力：58/34/26 5Vトレラント：8/5/5
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> 61種類のイベント信号を直接モジュールへリンク可能 タイマ系のモジュールはイベント入力時の動作の選択が可能 ポートB、ポートEのイベントリンク動作が可能
マルチファンクションピン コントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	16ビットタイマ パルスユニット (TPUa)	<ul style="list-style-type: none"> (16ビット×6チャンネル) × 1ユニット 最大16本のパルス入出力が可能 チャンネルごとに7種類または8種類のカウントクロックを選択可能 インプットキャプチャ/アウトプットコンペア機能をサポート 最大15相のPWM波形を出力するPWMモード チャンネルによりバッファ動作、位相計数モード (2相エンコーダ入力)、カスケード接続動作 (32ビット×2チャンネル) をサポート A/Dコンバータの変換開始トリガを生成可能 インプットキャプチャ端子にデジタルフィルタあり クロック周波数測定機能
	マルチファンク ションタイマパルス ユニット2 (MTU2a)	<ul style="list-style-type: none"> (16ビット×6チャンネル) × 1ユニット 16ビットタイマ6チャンネルをベースに最大16本のパルス入出力、および3本のパルス入出力が可能 チャンネルごとにカウントクロック (PCLK/1、PCLK/4、PCLK/16、PCLK/64、PCLK/256、PCLK/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD) を8種類または7種類選択可能 (チャンネル5は4種類) インプットキャプチャ機能 21本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ パルス出力モード 相補PWM出力モード リセット同期PWMモード 位相計数モード A/Dコンバータの変換開始トリガを生成可能

表 1.1 仕様概要 (3/5)

分類	モジュール/機能	説明
タイマ	ポートアウト ブッティネーブル2 (POE2a)	MTU 波形出力端子のハイインピーダンス制御
	コンペアマッチ タイマ (CMT)	<ul style="list-style-type: none"> • (16ビット×2チャンネル) × 2ユニット • 4種類のクロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) を選択可能
	ウォッチドッグ タイマ (WDTA)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • 6種類のカウンタクロック (PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192) を選択可能
	独立ウォッチドッグ タイマ (IWDTa)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • カウンタクロック: IWDT専用低速オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周
	リアルタイム クロック (RTCe)	<ul style="list-style-type: none"> • クロックソース: サブクロックにて動作 • 時計/カレンダー機能 • 割り込み: アラーム割り込み、周期割り込み、桁上げ割り込み • 3値タイムキャプチャ機能
	ローパワータイマ (LPT)	<ul style="list-style-type: none"> • 16ビット×1チャンネル • クロックソース: サブクロック、IWDT専用低速オンチップオシレータ 2分周、4分周、8分周、16分周、32分周
	8ビットタイマ (TMR)	<ul style="list-style-type: none"> • (8ビット×2チャンネル) × 2ユニット • 7種類の内部クロック (PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192) と外部クロックを選択可能 • 任意のデューティのパルス出力やPWM出力が可能 • 2チャンネルをカスケード接続し16ビットタイマとして使用可能
通信機能	シリアルコミュニ ケーションインタ フェース (SCIg、SCIh)	<ul style="list-style-type: none"> • 7チャンネル (チャンネル0、1、5、6、8、9: SCIg、チャンネル12: SCIh) • SCIg <p>シリアル通信方式: 調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ポーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能 (SCI5、SCI6、SCI12) スタートビット検出: レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート ELCによるイベントリンク機能をサポート (チャンネル5のみ)</p> <ul style="list-style-type: none"> • SCIh (SCIgに以下の機能を付加) スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート
	IrDAインタフェース (IRDA)	<ul style="list-style-type: none"> • 1チャンネル (SCI5を使用) • IrDA規格バージョン1.0に準拠した波形のエンコード/デコードをサポート
	I ² Cバスインタ フェース (RIIa)	<ul style="list-style-type: none"> • 1チャンネル • 通信フォーマット: I²Cバスフォーマット/SMBusフォーマット • マスタ/スレーブを選択可能 • ファストモード対応
	シリアル ペリフェラル インタフェース (RSPIa)	<ul style="list-style-type: none"> • 1チャンネル • 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) /クロック同期式動作 (3線式) でシリアル通信が可能 • マスタ/スレーブモードを選択可能 • データフォーマット • LSBファースト/MSBファーストを選択可能 転送ビット長 (8~16、20、24、32ビット) を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) • 送信/受信バッファ構成はダブルバッファ

表 1.1 仕様概要 (4/5)

分類	モジュール/機能	説明
通信機能	USB2.0ホスト/ ファンクション モジュール (USBd)	<ul style="list-style-type: none"> • USB2.0に対応したUDC (USB Device Controller) およびトランシーバを内蔵 • ホスト/ファンクションモジュール: 1ポート • USBバージョン2.0準拠 • 転送スピード: フルスピード (12Mbps)、ロースピード (1.5Mbps) • OTG (ON-The-Go) に対応 • アイソクロナス転送に対応 • BC1.2 (Battery Charging Specification Revision 1.2) に対応 • USB用内部電源を内蔵 (VCC = 4.0 ~ 5.5V時、外部からVCC_USBへの電源供給が不要)
	CANモジュール (RSCAN)	<ul style="list-style-type: none"> • 1チャンネル • ISO11898-1仕様に準拠 (標準フレーム/拡張フレーム) • 16メッセージボックス
	シリアルサウンド インタフェース (SSI)	<ul style="list-style-type: none"> • 1チャンネル • 二重通信可能 • 多様なシリアルオーディオフォーマットをサポート • マスタ/スレーブ機能をサポート • プログラマブルワードクロック、ビットクロック生成機能 • 8/16/18/20/22/24/32ビットデータフォーマットをサポート • 送受信用8段FIFO内蔵 • SSIWS信号を停止せず動作するWSコンティニューモードをサポート
	SDホスト インタフェース (SDH1a)	<ul style="list-style-type: none"> • 1チャンネル • 転送スピード: デフォルトスピードモード (8MB/s) • SDメモリ/IOカードインタフェース (1ビット/4ビットSDバス) • MMC、eMMC Backward-compatible対応 • SD Specifications Part 1: Physical Layer Specification Ver.3.01準拠 (DDR未対応) Part E1: SDIO Specification Ver. 3.00 <ul style="list-style-type: none"> • エラーチェック機能: CRC7 (コマンド)、CRC16 (データ) • 割り込み要因: カードアクセス割り込み、SDIOアクセス割り込み、カード検出割り込み、SDバッファアクセス割り込み • DMA転送要因: SD_BUFライト、SD_BUFリード • カード検出機能、ライトプロテクトをサポート
暗号機能	Trusted Secure IP (TSIP-Lite)	<ul style="list-style-type: none"> • アクセスマネジメント回路搭載 • 暗号エンジン AES 鍵長:128bit/256bit 暗号利用モード: GCM、ECB、CBC、CMAC、XTS、CTR、GCTR • ハッシュ機能 • 真正乱数生成回路 • 鍵の不正コピー防止
12ビットA/Dコンバータ (S12ADE)		<ul style="list-style-type: none"> • 12ビット (1ユニット×24チャンネル) • 分解能: 12ビット • 最小変換時間: 1チャンネル当たり0.83μs (ADCLK = 54MHz動作時) • 動作モード スキャンモード (シングルスキャンモード、連続スキャンモード、グループスキャンモード) グループA優先制御動作 (グループスキャンモードのみ) • サンプリング可変機能 チャンネル毎にサンプリング時間が設定可能 • 自己診断機能 • ダブルトリガモード (A/D変換データ二重化機能) • アナログ入力断線検出機能 • A/D変換開始条件 ソフトウェアトリガ、タイマ (MTU、TPU) のトリガ、外部トリガ、ELC • ELCによるイベントリンク機能をサポート
温度センサ (TEMPSA)		<ul style="list-style-type: none"> • 1チャンネル • 温度を電圧に変換し12ビットA/Dコンバータでデジタル化
12ビットD/Aコンバータ (R12DAA)		<ul style="list-style-type: none"> • 2チャンネル • 分解能: 12ビット • 出力電圧: 0.4V ~ AVCC0-0.5V
CRC演算器 (CRC)		<ul style="list-style-type: none"> • 8ビット単位の任意のデータ長に対してCRCコードを生成 • 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ • LSBファースト/MSBファースト通信用CRCコード生成の選択が可能

表 1.1 仕様概要 (5/5)

分類	モジュール/機能	説明
コンパレータ B (CMPBa)		<ul style="list-style-type: none"> 2チャンネル×2ユニット リファレンス電圧とアナログ入力電圧の比較機能 ウィンドウコンパレータ動作/基本コンパレータ動作の選択
静電容量式タッチセンサ (CTSU)		検出端子 24チャンネル
データ演算回路 (DOC)		16ビットのデータを比較、加算、減算する機能
電源電圧/動作周波数		VCC = 1.8~2.4V : 8MHz、VCC = 2.4~2.7V : 16MHz、VCC = 2.7~5.5V : 54MHz
動作周囲温度		Dバージョン : -40~+85°C、Gバージョン : -40~+105°C
パッケージ		100ピンTFLGA (PTLGO100KA-A) 5.5×5.5mm、0.5mmピッチ 100ピンLFQFP (PLQP0100KB-B) 14×14mm、0.5mmピッチ 64ピンWFLGA (PWLGO064KA-A) 5×5mm、0.5mmピッチ 64ピンHWQFN (PWQN0064KC-A) 9×9mm、0.5mmピッチ 64ピンLFQFP (PLQP0064KB-C) 10×10mm、0.5mmピッチ 48ピンHWQFN (PWQN0048KB-A) 7×7mm、0.5mmピッチ 48ピンLFQFP (PLQP0048KB-B) 7×7mm、0.5mmピッチ
デバッグインタフェース		FINEインタフェース

表 1.2 パッケージ別機能比較一覧 (1/2)

モジュール/機能		RX230グループ			RX231グループ		
		100ピン	64ピン	48ピン	100ピン	64ピン	48ピン
外部バス	外部バス	16ビット	サポートなし		16ビット	サポートなし	
割り込み	外部割り込み	NMI、IRQ0~IRQ7	NMI、IRQ0、IRQ1、IRQ4~IRQ7	NMI、IRQ0、IRQ1、IRQ4~IRQ7	NMI、IRQ0~IRQ7	NMI、IRQ0、IRQ1、IRQ4~IRQ7	NMI、IRQ0、IRQ1、IRQ4~IRQ7
DMA	DMAコントローラ	4チャンネル (DMAC0~DMAC3)			4チャンネル (DMAC0~DMAC3)		
	データ転送ファクトリー	あり			あり		
タイマ	16ビットタイマパルスユニット	6チャンネル (TPU0~TPU5)			6チャンネル (TPU0~TPU5)		
	マルチファンクションタイマパルスユニット2	6チャンネル (MTU0~MTU5)			6チャンネル (MTU0~MTU5)		
	ポートアウトプットイネーブル2	POE0#~POE3#、POE8#			POE0#~POE3#、POE8#		
	8ビットタイマ	2チャンネル×2ユニット			2チャンネル×2ユニット		
	コンパッチタイマ	2チャンネル×2ユニット			2チャンネル×2ユニット		
	ローパワータイマ	1チャンネル			1チャンネル		
	リアルタイムクロック	あり	なし		あり	なし	
	ウォッチドッグタイマ	あり			あり		
独立ウォッチドッグタイマ	あり			あり			

表 1.2 パッケージ別機能比較一覧 (2/2)

モジュール/機能		RX230グループ			RX231グループ		
		100ピン	64ピン	48ピン	100ピン	64ピン	48ピン
通信機能	シリアルコミュニケーションインターフェース (SCIg)	6チャンネル (SCI0、1、5、6、8、9)	5チャンネル (SCI1、5、6、8、9)	4チャンネル (SCI1、5、6、8)	6チャンネル (SCI0、1、5、6、8、9)	5チャンネル (SCI1、5、6、8、9)	4チャンネル (SCI1、5、6、8)
	IrDAインターフェース	1チャンネル (SCI5)			1チャンネル (SCI5)		
	シリアルコミュニケーションインターフェース (SCIh)	1チャンネル (SCI12)			1チャンネル (SCI12)		
	I ² Cバスインターフェース	1チャンネル			1チャンネル		
	CANモジュール	なし			1チャンネル (注1)		
	シリアルペリフェラルインターフェース	1チャンネル			1チャンネル		
	USB2.0ホスト/ファンクションモジュール	なし			1チャンネル		
	シリアルサウンドインターフェース	1チャンネル			1チャンネル		
SDホストインターフェース	なし			1チャンネル (注1)		なし	
静電容量式タッチセンサ	24チャンネル	10チャンネル	6チャンネル	24チャンネル	10チャンネル	6チャンネル	
12ビットA/Dコンバータ (内高精度チャンネル)	24チャンネル (8チャンネル)	12チャンネル (6チャンネル)	8チャンネル (4チャンネル)	24チャンネル (8チャンネル)	12チャンネル (6チャンネル)	8チャンネル (4チャンネル)	
温度センサ	あり			あり			
D/Aコンバータ	2チャンネル		なし	2チャンネル		なし	
CRC演算器	あり			あり			
イベントリンクコントローラ	あり			あり			
コンパレータB	4チャンネル			4チャンネル			
パッケージ	100ピン TFLGA 100ピン LFQFP	64ピン WFLGA 64ピン HWQFN 64ピン LFQFP	48ピン HWQFN 48ピン LFQFP	100ピン TFLGA 100ピン LFQFP	64ピン WFLGA 64ピン HWQFN 64ピン LFQFP	48ピン HWQFN 48ピン LFQFP	

注1. チップバージョンBのみ

1.2 製品一覧

表 1.3、表 1.4 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 Dバージョン (T_a = -40 ~ 85°C) (1/2)

グループ	型名	発注型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数	暗号	SDHI	CAN	動作周囲温度
RX231	R5F52318ADLA	R5F52318ADLA#20	PTLG0100KA-A	512 Kバイト	64 Kバイト	8Kバイト	54MHz	なし	なし	あり	-40 ~ +85°C
	R5F52318BDLA	R5F52318BDLA#20						あり	あり	あり	
	R5F52318ADFP	R5F52318ADFP#30	PLQP0100KB-B					なし	なし	あり	
	R5F52318BDFP	R5F52318BDFP#30						あり	あり	あり	
	R5F52318ADND	R5F52318ADND#U0	PWQN0064KC-A					なし	なし	あり	
	R5F52318BDND	R5F52318BDND#U0						あり	あり	あり	
	R5F52318ADFM	R5F52318ADFM#30	PLQP0064KB-C					なし	なし	あり	
	R5F52318BDFM	R5F52318BDFM#30						あり	あり	あり	
	R5F52318ADNE	R5F52318ADNE#U0	PWQN0048KB-A					なし	なし	あり	
	R5F52318BDNE	R5F52318BDNE#U0						あり	なし	あり	
	R5F52318ADFL	R5F52318ADFL#30	PLQP0048KB-B					なし	なし	あり	
	R5F52318BDFL	R5F52318BDFL#30						あり	なし	あり	
	R5F52317ADLA	R5F52317ADLA#20	PTLG0100KA-A	384 Kバイト	64 Kバイト	8Kバイト	54MHz	なし	なし	あり	
	R5F52317BDLA	R5F52317BDLA#20						あり	あり	あり	
	R5F52317ADFP	R5F52317ADFP#30	PLQP0100KB-B					なし	なし	あり	
	R5F52317BDFP	R5F52317BDFP#30						あり	あり	あり	
	R5F52317ADND	R5F52317ADND#U0	PWQN0064KC-A					なし	なし	あり	
	R5F52317BDND	R5F52317BDND#U0						あり	あり	あり	
	R5F52317ADFM	R5F52317ADFM#30	PLQP0064KB-C					なし	なし	あり	
	R5F52317BDFM	R5F52317BDFM#30						あり	あり	あり	
	R5F52317ADNE	R5F52317ADNE#U0	PWQN0048KB-A					なし	なし	あり	
	R5F52317BDNE	R5F52317BDNE#U0						あり	なし	あり	
	R5F52317ADFL	R5F52317ADFL#30	PLQP0048KB-B					なし	なし	あり	
	R5F52317BDFL	R5F52317BDFL#30						あり	なし	あり	
	R5F52316ADLA	R5F52316ADLA#20	PTLG0100KA-A	256 Kバイト	32 Kバイト	8Kバイト	54MHz	なし	なし	あり	
	R5F52316CDLA	R5F52316CDLA#20						なし	なし	なし	
	R5F52316ADFP	R5F52316ADFP#30	PLQP0100KB-B					なし	なし	あり	
	R5F52316CDFP	R5F52316CDFP#30						なし	なし	なし	
	R5F52316CDLF	R5F52316CDLF#U0	PWLG0064KA-A					なし	なし	なし	
	R5F52316ADND	R5F52316ADND#U0						PWQN0064KC-A	なし	なし	
	R5F52316CDND	R5F52316CDND#U0	なし						なし	なし	
	R5F52316ADFM	R5F52316ADFM#30	PLQP0064KB-C					なし	なし	あり	
	R5F52316CDFM	R5F52316CDFM#30						なし	なし	なし	
	R5F52316ADNE	R5F52316ADNE#U0	PWQN0048KB-A					なし	なし	あり	
	R5F52316CDNE	R5F52316CDNE#U0						なし	なし	なし	
	R5F52316ADFL	R5F52316ADFL#30	PLQP0048KB-B					なし	なし	あり	
R5F52316CDFL	R5F52316CDFL#30	なし		なし	なし						

表 1.3 製品一覧表 Dバージョン (T_a = -40 ~ 85°C) (2/2)

グループ	型名	発注型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数	暗号	SDHI	CAN	動作周囲温度
RX231	R5F52315ADLA	R5F52315ADLA#20	PTLG0100KA-A	128 Kバイト	32 Kバイト	8Kバイト	54MHz	なし	なし	あり	-40 ~ +85°C
	R5F52315CDLA	R5F52315CDLA#20						なし	なし	なし	
	R5F52315ADFP	R5F52315ADFP#30	PLQP0100KB-B					なし	なし	あり	
	R5F52315CDFP	R5F52315CDFP#30						なし	なし	なし	
	R5F52315CDLF	R5F52315CDLF#20	PWLG0064KA-A					なし	なし	なし	
	R5F52315ADND	R5F52315ADND#U0	PWQN0064KC-A					なし	なし	あり	
	R5F52315CDND	R5F52315CDND#U0						なし	なし	なし	
	R5F52315ADFM	R5F52315ADFM#30	PLQP0064KB-C					なし	なし	あり	
	R5F52315CDFM	R5F52315CDFM#30						なし	なし	なし	
	R5F52315ADNE	R5F52315ADNE#U0	PWQN0048KB-A					なし	なし	あり	
	R5F52315CDNE	R5F52315CDNE#U0						なし	なし	なし	
	R5F52315ADFL	R5F52315ADFL#30	PLQP0048KB-B					なし	なし	あり	
	R5F52315CDFL	R5F52315CDFL#30						なし	なし	なし	
RX230	R5F52306ADLA	R5F52306ADLA#20	PTLG0100KA-A	256 Kバイト	32 Kバイト	8Kバイト	54MHz	なし	なし	なし	-40 ~ +85°C
	R5F52306ADFP	R5F52306ADFP#30						PLQP0100KB-B	なし	なし	
	R5F52306ADLF	R5F52306ADLF#20	PWLG0064KA-A						なし	なし	
	R5F52306ADND	R5F52306ADND#U0	PWQN0064KC-A					なし	なし	なし	
	R5F52306ADFM	R5F52306ADFM#30						PLQP0064KB-C	なし	なし	
	R5F52306ADNE	R5F52306ADNE#U0	PWQN0048KB-A						なし	なし	
	R5F52306ADFL	R5F52306ADFL#30						PLQP0048KB-B	なし	なし	
	R5F52305ADLA	R5F52305ADLA#20	PTLG0100KA-A	128 Kバイト					なし	なし	
	R5F52305ADFP	R5F52305ADFP#30						PLQP0100KB-B	なし	なし	
	R5F52305ADLF	R5F52305ADLF#20	PWLG0064KA-A						なし	なし	
	R5F52305ADND	R5F52305ADND#U0	PWQN0064KC-A					なし	なし	なし	
	R5F52305ADFM	R5F52305ADFM#30						PLQP0064KB-C	なし	なし	
	R5F52305ADNE	R5F52305ADNE#U0	PWQN0048KB-A						なし	なし	
	R5F52305ADFL	R5F52305ADFL#30						PLQP0048KB-B	なし	なし	

表 1.4 製品一覧表 Gバージョン (T_a = -40 ~ 105°C) (1/2)

グループ	型名	発注型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数	暗号	SDHI	CAN	動作周囲温度
RX231	R5F52318AGFP	R5F52318AGFP#30	PLQP0100KB-B	512 Kバイト	64 Kバイト	8Kバイト	54MHz	なし	なし	あり	-40 ~ +105°C
	R5F52318BGFP	R5F52318BGFP#30						あり	あり	あり	
	R5F52318AGND	R5F52318AGND#U0	PWQN0064KC-A					なし	なし	あり	
	R5F52318BGND	R5F52318BGND#U0						あり	あり	あり	
	R5F52318AGFM	R5F52318AGFM#30	PLQP0064KB-C					なし	なし	あり	
	R5F52318BGFM	R5F52318BGFM#30						あり	あり	あり	
	R5F52318AGNE	R5F52318AGNE#U0	PWQN0048KB-A					なし	なし	あり	
	R5F52318BGNE	R5F52318BGNE#U0						あり	なし	あり	
	R5F52318AGFL	R5F52318AGFL#30	PLQP0048KB-B					なし	なし	あり	
	R5F52318BGFL	R5F52318BGFL#30						あり	なし	あり	
	R5F52317AGFP	R5F52317AGFP#30	PLQP0100KB-B	384 Kバイト	32 Kバイト	8Kバイト	54MHz	なし	なし	あり	
	R5F52317BGFP	R5F52317BGFP#30						あり	あり	あり	
	R5F52317AGND	R5F52317AGND#U0	PWQN0064KC-A					なし	なし	あり	
	R5F52317BGND	R5F52317BGND#U0						あり	あり	あり	
	R5F52317AGFM	R5F52317AGFM#30	PLQP0064KB-C					なし	なし	あり	
	R5F52317BGFM	R5F52317BGFM#30						あり	あり	あり	
	R5F52317AGNE	R5F52317AGNE#U0	PWQN0048KB-A					なし	なし	あり	
	R5F52317BGNE	R5F52317BGNE#U0						あり	なし	あり	
	R5F52317AGFL	R5F52317AGFL#30	PLQP0048KB-B					なし	なし	あり	
	R5F52317BGFL	R5F52317BGFL#30						あり	なし	あり	
	R5F52316AGFP	R5F52316AGFP#30	PLQP0100KB-B	256 Kバイト	32 Kバイト	8Kバイト	54MHz	なし	なし	あり	
	R5F52316CGFP	R5F52316CGFP#30						なし	なし	なし	
	R5F52316AGND	R5F52316AGND#U0	PWQN0064KC-A					なし	なし	あり	
	R5F52316CGND	R5F52316CGND#U0						なし	なし	なし	
	R5F52316AGFM	R5F52316AGFM#30	PLQP0064KB-C					なし	なし	あり	
	R5F52316CGFM	R5F52316CGFM#30						なし	なし	なし	
	R5F52316AGNE	R5F52316AGNE#U0	PWQN0048KB-A					なし	なし	あり	
	R5F52316CGNE	R5F52316CGNE#U0						なし	なし	なし	
	R5F52316AGFL	R5F52316AGFL#30	PLQP0048KB-B					なし	なし	あり	
	R5F52316CGFL	R5F52316CGFL#30						なし	なし	なし	
	R5F52315AGFP	R5F52315AGFP#30	PLQP0100KB-B	128 Kバイト	32 Kバイト	8Kバイト	54MHz	なし	なし	あり	
	R5F52315CGFP	R5F52315CGFP#30						なし	なし	なし	
	R5F52315AGND	R5F52315AGND#U0	PWQN0064KC-A					なし	なし	あり	
	R5F52315CGND	R5F52315CGND#U0						なし	なし	なし	
	R5F52315AGFM	R5F52315AGFM#30	PLQP0064KB-C					なし	なし	あり	
	R5F52315CGFM	R5F52315CGFM#30						なし	なし	なし	
R5F52315AGNE	R5F52315AGNE#U0	PWQN0048KB-A	なし					なし	あり		
R5F52315CGNE	R5F52315CGNE#U0		なし					なし	なし		
R5F52315AGFL	R5F52315AGFL#30	PLQP0048KB-B	なし					なし	あり		
R5F52315CGFL	R5F52315CGFL#30		なし					なし	なし		

表 1.4 製品一覧表 Gバージョン (T_a = -40 ~ 105°C) (2/2)

グループ	型名	発注型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数	暗号	SDHI	CAN	動作周囲温度
RX230	R5F52306AGFP	R5F52306AGFP#30	PLQP0100KB-B	256 Kバイト	32 Kバイト	8Kバイト	54MHz	なし	なし	なし	-40 ~ +105°C
	R5F52306AGND	R5F52306AGND#U0	PWQN0064KC-A					なし	なし	なし	
	R5F52306AGFM	R5F52306AGFM#30	PLQP0064KB-C					なし	なし	なし	
	R5F52306AGNE	R5F52306AGNE#U0	PWQN0048KB-A					なし	なし	なし	
	R5F52306AGFL	R5F52306AGFL#30	PLQP0048KB-B					なし	なし	なし	
	R5F52305AGFP	R5F52305AGFP#30	PLQP0100KB-B	128 Kバイト				なし	なし	なし	
	R5F52305AGND	R5F52305AGND#U0	PWQN0064KC-A					なし	なし	なし	
	R5F52305AGFM	R5F52305AGFM#30	PLQP0064KB-C					なし	なし	なし	
	R5F52305AGNE	R5F52305AGNE#U0	PWQN0048KB-A					なし	なし	なし	
	R5F52305AGFL	R5F52305AGFL#30	PLQP0048KB-B					なし	なし	なし	

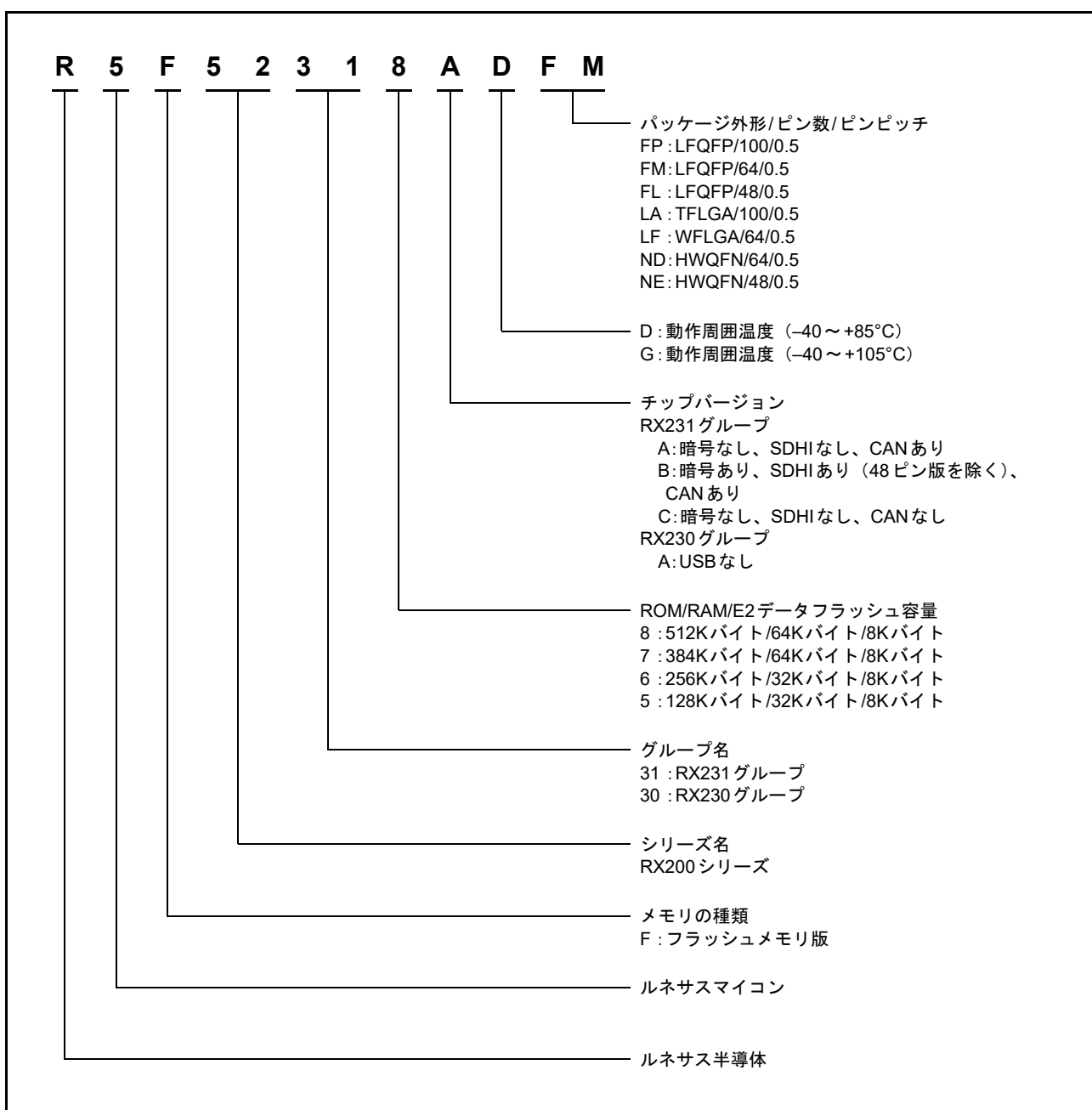


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

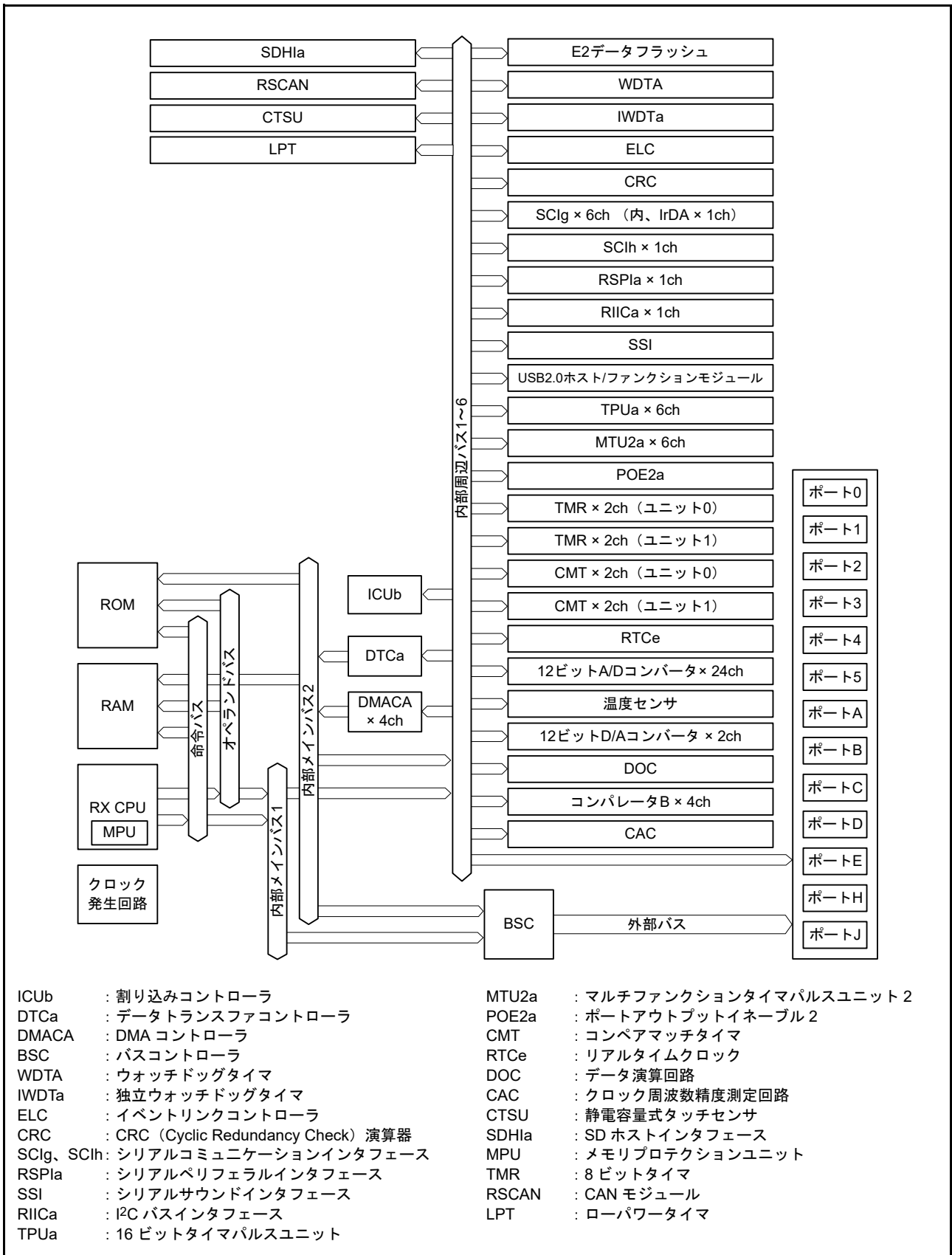


図 1.2 ブロック図

1.4 端子機能

表 1.5 に端子機能一覧を示します。

表 1.5 端子機能一覧 (1/5)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ (4.7μF) を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源 (0V) に接続してください
	VBATT	入力	バックアップ電源端子
クロック	XTAL	出力	水晶発振子接続端子。また、EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部バスクロック出力端子
	XCIN	入力	サブクロック発振器の入出力端子。XCINとXCOUTの間には、水晶発振子を接続してください
	XCOUT	出力	
	CLKOUT	出力	
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
	UB	入力	ブートモード (USBインタフェース) で使用する端子
	UPSEL	入力	ブートモード (USBインタフェース) で使用する端子
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
アドレスバス	A0～A23	出力	アドレス出力端子
データバス	D0～D15	入出力	双方向データバス
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストロープ信号
	WR#	出力	1ライトストロープモード時、外部バスインタフェース空間をライト中であることを示すストロープ信号
	WR0#、WR1#	出力	バイトストロープモード時、外部バスインタフェース空間をライト中で、データバス (D7～D0、D15～D8) のいずれかが有効であることを示すストロープ信号
	BC0#、BC1#	出力	1ライトストロープモード時、外部バスインタフェース空間をアクセス中で、データバス (D7～D0、D15～D8) のいずれかが有効であることを示すストロープ信号
	CS0#～CS3#	出力	エリア0～3の選択信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
LVD	CMPA2	入力	電圧検出2用検出対象電圧端子
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0～IRQ7	入力	割り込み要求端子
16ビットタイムパルスユニット	TIOCA0、TIOCB0 TIOCC0、TIOCD0	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA1、TIOCB1	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA2、TIOCB2	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA3、TIOCB3 TIOCC3、TIOCD3	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA4、TIOCB4	入出力	TGRA4、TGRB4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

表 1.5 端子機能一覧 (2/5)

分類	端子名	入出力	機能
16ビットタイマパルスユニット	TIOCA5、TIOCB5	入出力	TGRA5、TGRB5のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TCLKA、TCLKB TCLKC、TCLKD	入力	外部クロックを入力
マルチファンクションタイマパルスユニット2	MTIOC0A、MTIOC0B MTIOC0C、MTIOC0D	入出力	TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A、MTIOC3B MTIOC3C、MTIOC3D	入出力	TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A、MTIOC4B MTIOC4C、MTIOC4D	入出力	TGRA4~TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U、MTIC5V、 MTIC5W	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTCLKA、MTCLKB、 MTCLKC、MTCLKD	入力	外部クロックの入力端子
ポートアウトプットイネーブル2	POE0#~POE3#、 POE8#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロックの出力端子
	RTCIC0~RTCIC2	入力	時間キャプチャイベント入力端子
8ビットタイマ	TMO0~TMO3	出力	コンペアマッチ出力端子
	TMCI0~TMCI3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0~TMRI3	入力	カウンタリセット入力端子
シリアル コミュニケーション インタフェース (SCIg)	• 調歩同期モード/クロック同期モード		
	SCK0、SCK1、SCK5、 SCK6、SCK8、SCK9	入出力	クロック入出力端子
	RXD0、RXD1、RXD5、 RXD6、RXD8、RXD9	入力	受信データ入力端子
	TXD0、TXD1、TXD5、 TXD6、TXD8、TXD9	出力	送信データ出力端子
	CTS0#、CTS1#、 CTS5#、CTS6#、 CTS8#、CTS9#	入力	送受信開始制御用入力端子
	RTS0#、RTS1#、 RTS5#、RTS6#、 RTS8#、RTS9#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL0、SSCL1、 SSCL5、SSCL6、 SSCL8、SSCL9	入出力	I ² Cクロック入出力端子
	SSDA0、SSDA1、 SSDA5、SSDA6、 SSDA8、SSDA9	入出力	I ² Cデータ入出力端子

表 1.5 端子機能一覧 (3/5)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIg)	• 簡易SPIモード		
	SCK0、SCK1、SCK5、 SCK6、SCK8、SCK9	入出力	クロック入出力端子
	SMISO0、SMISO1、 SMISO5、SMISO6、 SMISO8、SMISO9	入出力	スレーブ送出データ入出力端子
	SMOSI0、SMOSI1、 SMOSI5、SMOSI6、 SMOSI8、SMOSI9	入出力	マスタ送出データ入出力端子
	SS0#、SS1#、SS5#、 SS6#、SS8#、SS9#	入力	スレーブセレクト入力端子
IrDAインタフェース	IRTXD5	出力	IrDAフォーマットでのデータ出力端子
	IRRXD5	入力	IrDAフォーマットでのデータ入力端子
シリアル コミュニケーション インタフェース (SCIh)	• 調歩同期モード/クロック同期モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	スレーブセレクト入力端子
	• 拡張シリアルモード		
	RDX12	入力	SCI _f 受信データ入力端子
	TXD12	出力	SCI _f 送信データ出力端子
SIOX12	入出力	SCI _f 送受信データ入出力端子	
I ² Cバスインタフェース	SCL	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャンネルオープン ドレインでバスを直接駆動できます
	SDA	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャンネルオープン ドレインでバスを直接駆動できます
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1~SSLA3	出力	RSPIのスレーブセレクト出力端子
シリアルサウンド インタフェース	SSISCK0	入出力	SSIシリアルビットクロック端子
	SSIWS0	入出力	ワード選択端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	AUDIO_MCLK	入力	オーディオ用のマスタクロック端子
CANモジュール	CRXD0	入力	入力端子
	CTXD0	出力	出力端子

表 1.5 端子機能一覧 (4/5)

分類	端子名	入出力	機能
SDホストインタフェース	SDHI_CLK	出力	SDクロック出力端子
	SDHI_CMD	入出力	SDコマンド出力、レスポンス入力信号端子
	SDHI_D3～SDHI_D0	入出力	SDデータバス端子
	SDHI_CD	入力	SDカード検出端子
	SDHI_WP	入力	SDライトプロテクト信号
USB2.0ホスト/ファンクションモジュール	VCC_USB	入力	USB用電源端子。VCCに接続、または内部電源安定化用の平滑コンデンサ (0.33 μF) を介してVSSに接続してください
	VSS_USB	入力	USB用グランド端子。VSSに接続してください
	USB0_DP	入出力	USB内蔵トランシーバD+ 入出力端子
	USB0_DM	入出力	USB内蔵トランシーバD- 入出力端子
	USB0_VBUS	入力	USBケーブル接続モニタ端子
	USB0_EXICEN	出力	OTGチップのローパワー制御信号
	USB0_VBUSEN	出力	OTGチップへのVBUS (5V) の供給許可信号
	USB0_OVRCURA、 USB0_OVRCURB	入力	外部オーバカレント検出端子
	USB0_ID	入力	OTG動作時miniABコネクタのID入力端子
12ビットA/Dコンバータ	AN000～AN007、 AN016～AN031	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
12ビットD/Aコンバータ	DA0、DA1	出力	D/Aコンバータのアナログ出力端子
コンパレータB	CMPB0～CMPB3	入力	コンパレータB用のアナログ端子
	CVREFB0～CVREFB3	入力	コンパレータB用のリファレンス電圧端子
	CMPOB0～CMPOB3	出力	コンパレータB用出力端子
CTSU	TS0～TS9, TS12, TS13, TS15～TS20, TS22, TS23, TS27, TS30, TS33, TS35	出力	静電容量計測端子 (タッチ端子)
	TSCAP	出力	LPF接続用端子
アナログ電源	AVCC0	入力	12ビットA/Dコンバータと12ビットD/Aコンバータのアナログ電源端子。12ビットA/Dコンバータと12ビットD/Aコンバータを使用しない場合は、VCCに接続してください
	AVSS0	入力	12ビットA/Dコンバータと12ビットD/Aコンバータのアナロググランド端子。12ビットA/Dコンバータと12ビットD/Aコンバータを使用しない場合は、VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子
	VREFH	入力	12ビットD/Aコンバータの基準電源端子
	VREFL	入力	12ビットD/Aコンバータの基準グランド端子

表 1.5 端子機能一覧 (5/5)

分類	端子名	入出力	機能
I/Oポート	P03、P05、P07	入出力	3ビットの入出力端子
	P12～P17	入出力	6ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P37	入出力	8ビットの入出力端子 (P35は入力端子)
	P40～P47	入出力	8ビットの入出力端子
	P50～P55	入出力	6ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PH0～PH3	入出力	4ビットの入出力端子
	PJ3	入出力	1ビットの入出力端子

1.5 ピン配置図

図 1.3 ~ 図 1.9 にピン配置図を示します。また、表 1.6 ~ 表 1.10 に機能別端子一覧を示します。

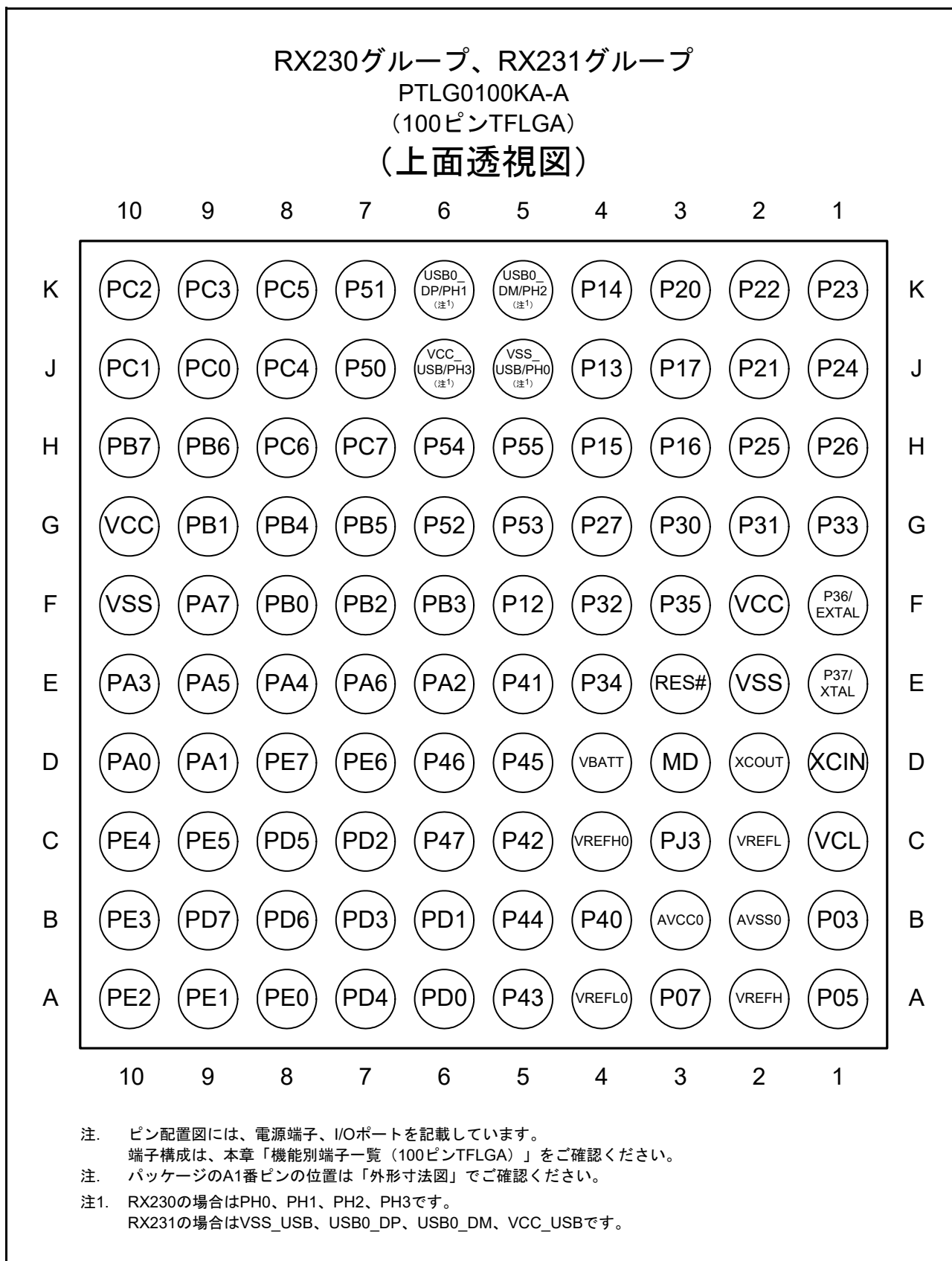


図 1.3 100ピン TFLGA ピン配置図 (上面透視図)

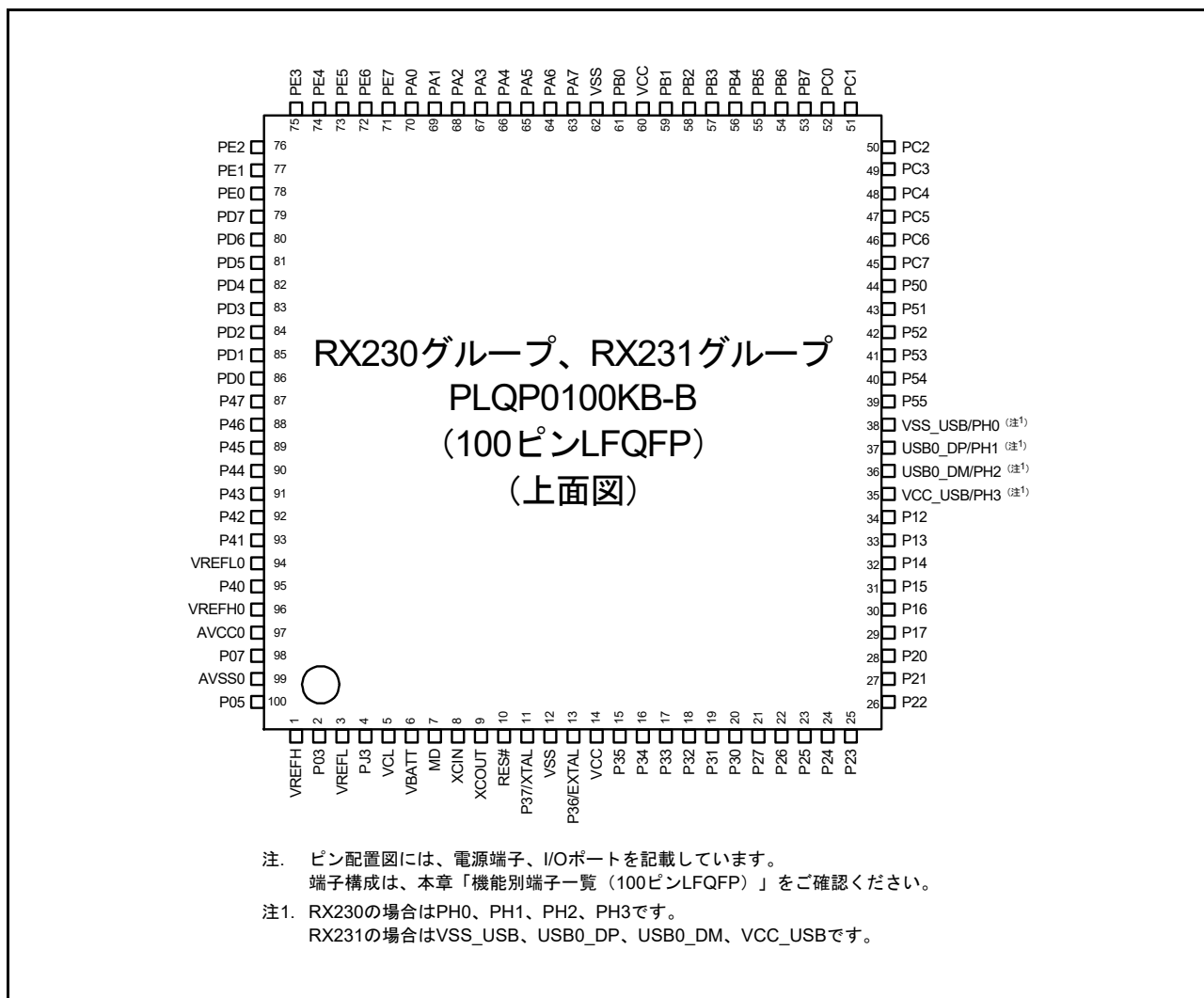


図 1.4 100 ピン LQFP ピン配置図

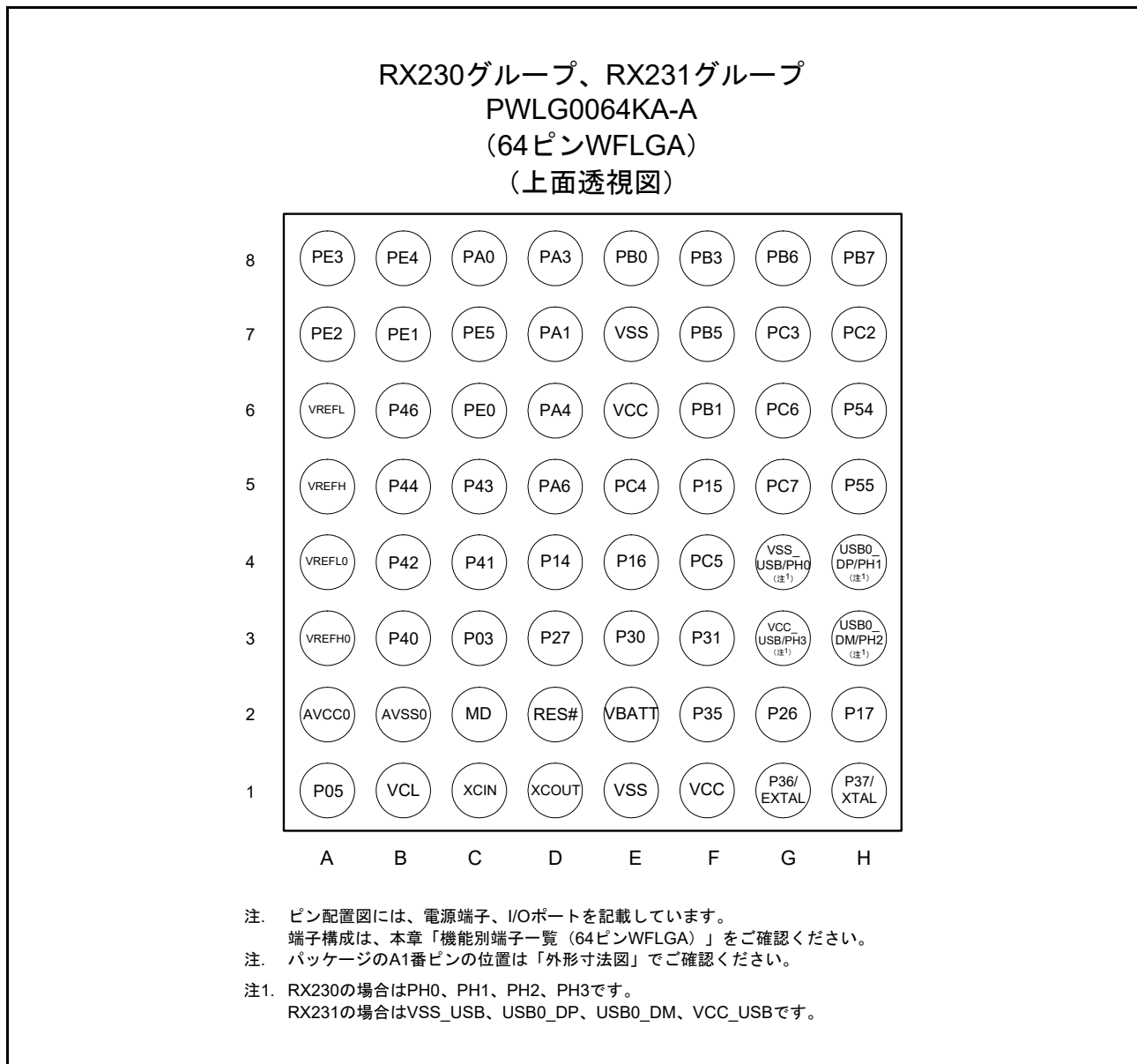


図 1.5 64ピンWFLGAピン配置図

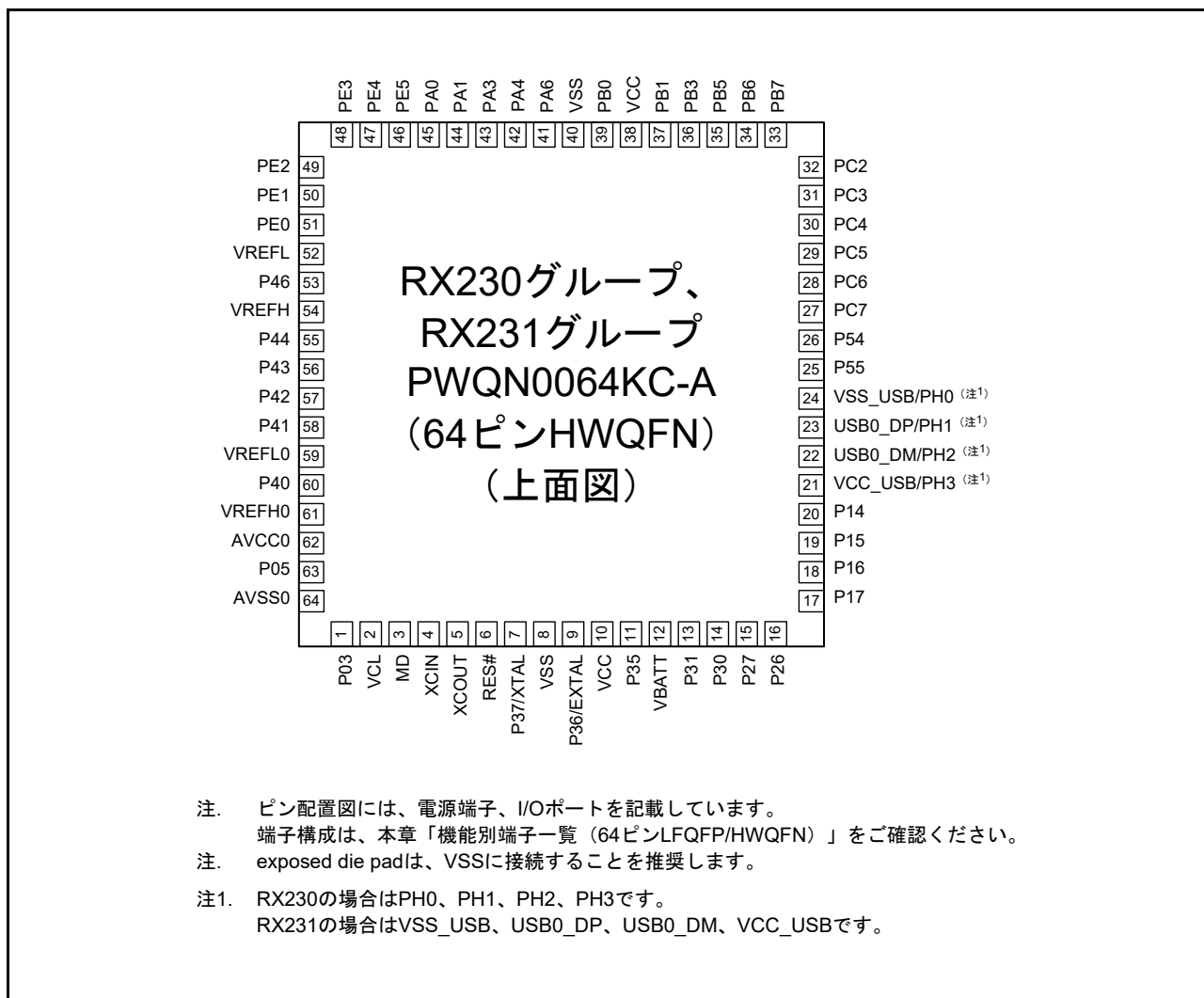


図 1.6 64 ピン HWQFN ピン配置図

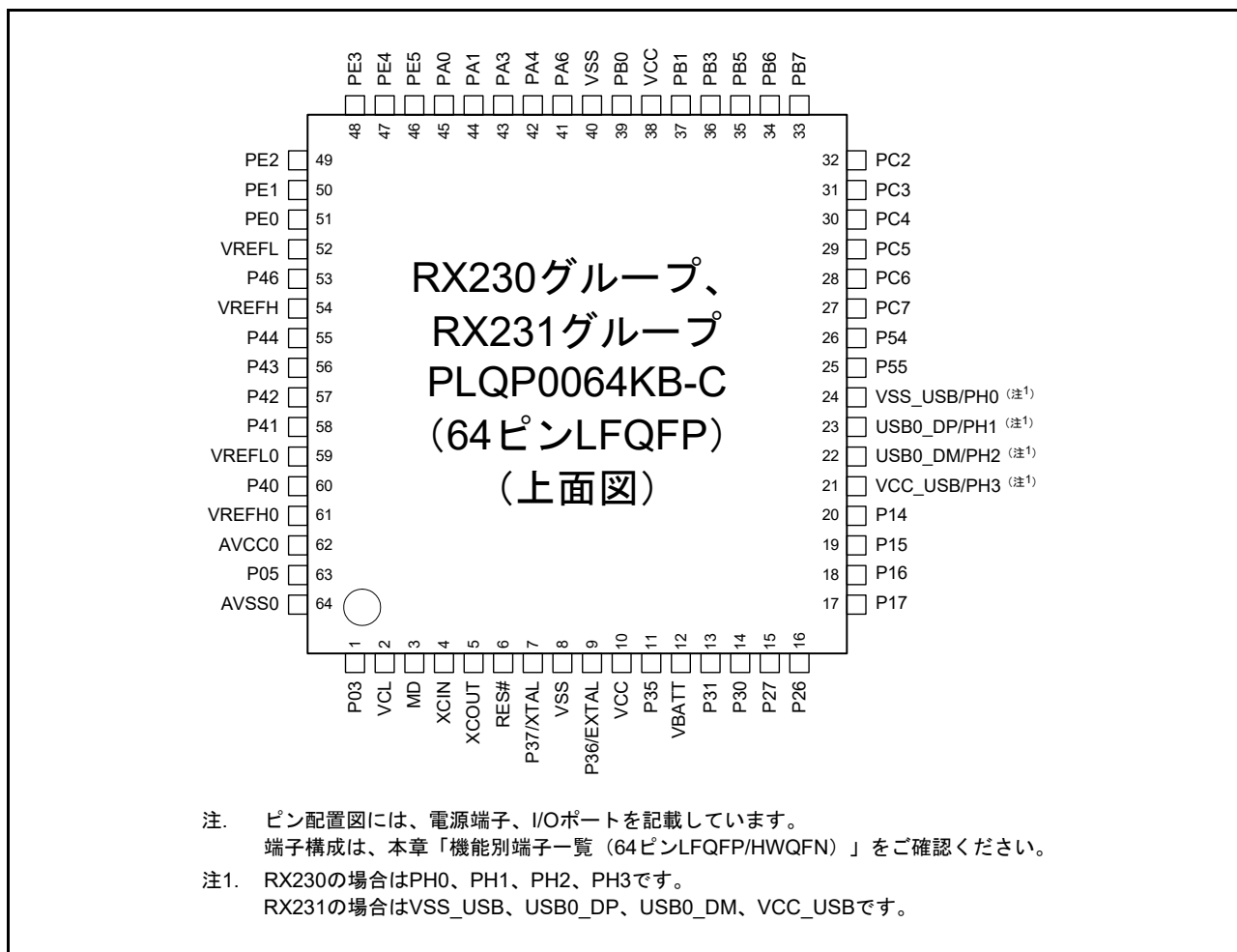


図 1.7 64ピンLQFPピン配置図

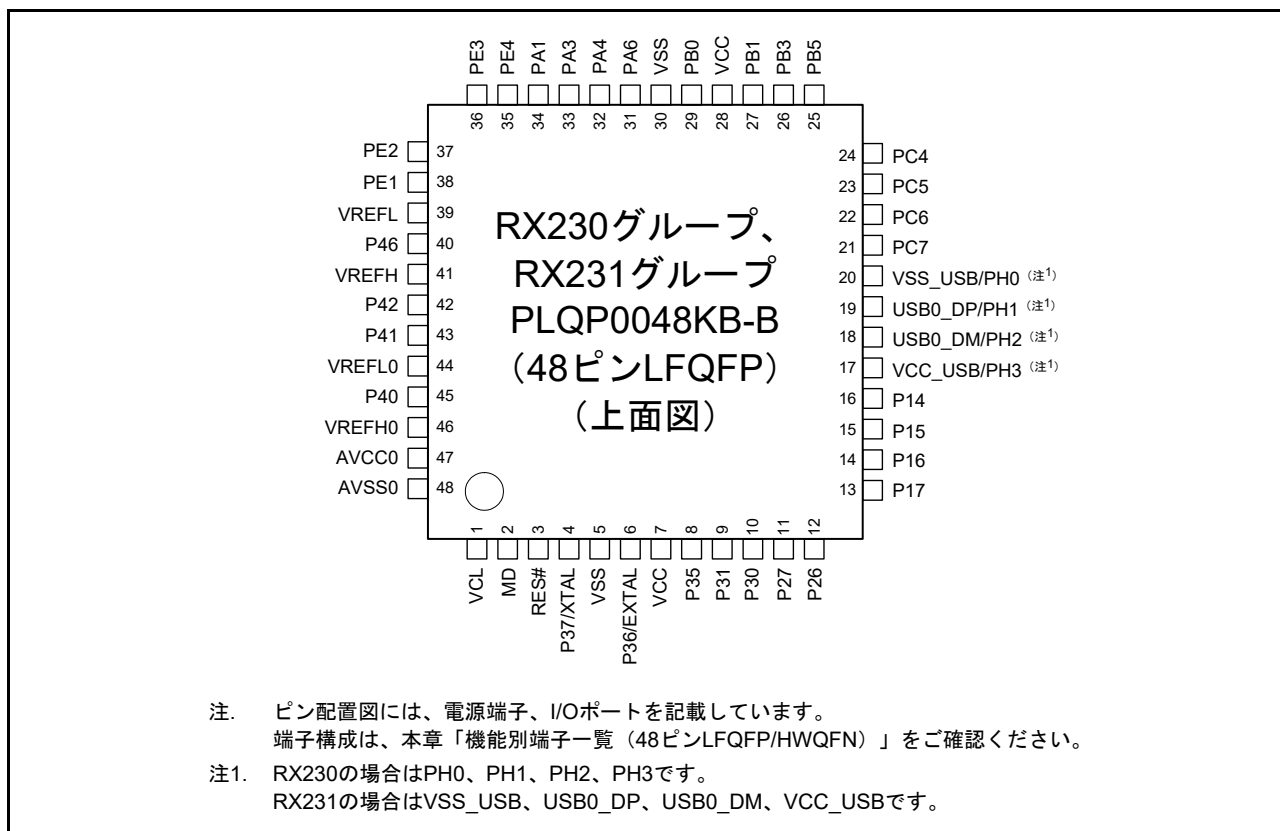


図 1.8 48 ピン LQFP ピン配置図

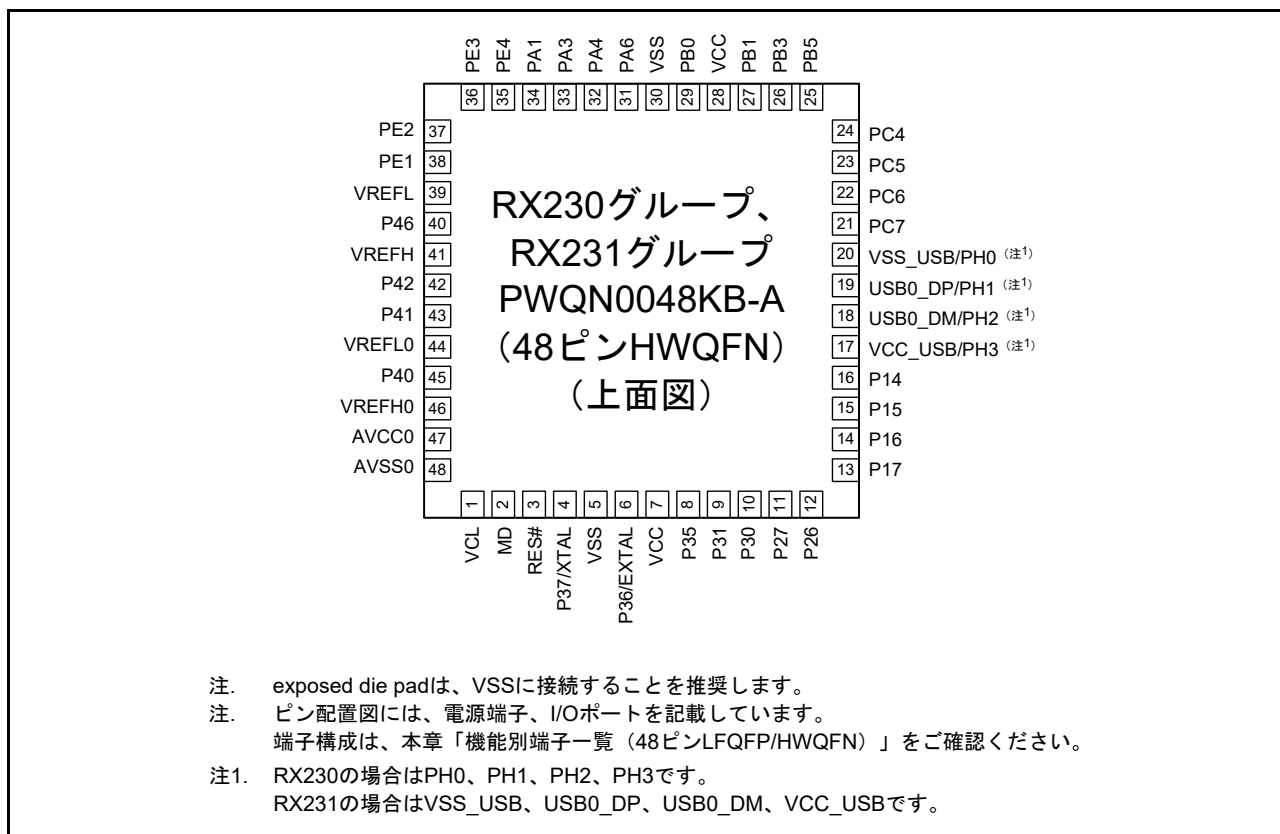


図 1.9 48 ピン HWQFN ピン配置図

表 1.6 機能別端子一覧 (100ピンTFLGA) (1/3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリアIF (SDHI)	タッチ	その他
A1		P05						DA1
A2	VREFH							
A3		P07						ADTRG0#
A4	VREFL0							
A5		P43						AN003
A6		PD0	D0[A0/D0]					IRQ0/AN024
A7		PD4	D4[A4/D4]	POE3#				IRQ4/AN028
A8		PE0	D8[A8/D8]			SCK12		AN016
A9		PE1	D9[A9/D9]	MTIOC4C		TXD12/TXD12/SIOX12/ SMOSI12/SSDA12		AN017/ CMPB0
A10		PE2	D10[A10/D10]	MTIOC4A		RXD12/RXD12/ SMISO12/SSCL12		IRQ7/AN018/ CVREFB0
B1		P03						DA0
B2	AVSS0							
B3	AVCC0							
B4		P40						AN000
B5		P44						AN004
B6		PD1	D1[A1/D1]	MTIOC4B				IRQ1/AN025
B7		PD3	D3[A3/D3]	POE8#				IRQ3/AN027
B8		PD6	D6[A6/D6]	MTIC5V/POE1#				IRQ6/AN030
B9		PD7	D7[A7/D7]	MTIC5U/POE0#				IRQ7/AN031
B10		PE3	D11[A11/D11]	MTIOC4B/POE8#		CTS12#/RTS12#/SS12#/ AUDIO_MCLK		AN019/ CLKOUT
C1	VCL							
C2	VREFL							
C3		PJ3		MTIOC3C		CTS6#/RTS6#/SS6#		
C4	VREFH0							
C5		P42						AN002
C6		P47						AN007
C7		PD2	D2[A2/D2]	MTIOC4D				IRQ2/AN026
C8		PD5	D5[A5/D5]	MTIC5W/POE2#				IRQ5/AN029
C9		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B				IRQ5/AN021/ CMPOB0
C10		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A				AN020/ CMPA2/ CLKOUT
D1	XCIN							
D2	XCOUT							
D3	MD							FINED
D4	VBATT							
D5		P45						AN005
D6		P46						AN006
D7		PE6	D14[A14/D14]					IRQ6/AN022
D8		PE7	D15[A15/D15]					IRQ7/AN023
D9		PA1	A1	MTIOC0B/MTCLKC/ TIOC0B		SCK5/SSLA2/SSISCK0		
D10		PA0	A0/BC0#	MTIOC4A/TIOCA0		SSLA1		CACREF
E1	XTAL	P37						
E2	VSS							
E3	RES#							
E4		P34		MTIOC0A/TMCI3/POE2#		SCK6	TS0	IRQ4

表 1.6 機能別端子一覧 (100ピンTFLGA) (2/3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
E5		P41						AN001
E6		PA2	A2		RXD5/SMISO5/SSCL5/ SSLA3/IRRXD5			
E7		PA6	A6	MTIC5V/MTCLKB/TMC13/ POE2#/TIOCA2	CTS5#/RTS5#/SS5#/ MOSIA/SSIWS0			
E8		PA4	A4	MTIC5U/MTCLKA/TMRI0/ TIOCA1	TXD5/SMOSI5/SSDA5/ SSLA0/SSITXD0/IRTXD5			IRQ5 / CVREFB1
E9		PA5	A5	TIOCB1	RSPCKA			
E10		PA3	A3	MTIOC0D/MTCLKD/ TIOC0D/TCLKB	RXD5/SMISO5/SSCL5/ SSIRXD0/IRRXD5			IRQ6 / CMPB1
F1	EXTAL	P36						
F2	VCC							
F3	UPSEL	P35						NMI
F4		P32		MTIOC0C/TMO3/TIOCC0/ RTCOU7/RTCIC2	TXD6/SMOSI6/SSDA6/ USB0_VBUSEN			IRQ2
F5		P12		TMC11	SCL			IRQ2
F6		PB3	A11	MTIOC0A/MTIOC4A/ TMO0/POE3#/TIOC0D3/ TCLKD	SCK6	SDHI_WP		
F7		PB2	A10	TIOCC3/TCLKC	CTS6#/RTS6#/SS6#			
F8		PB0	A8	MTIC5W/TIOCA3	RXD6/SMISO6/SSCL6/ RSPCKA	SDHI_CM D		
F9		PA7	A7	TIOCB2	MISOA			
F10	VSS							
G1		P33		MTIOC0D/TMRI3/POE3#/ TIOC0D	RXD6/SMISO6/SSCL6		TS1	IRQ3
G2		P31		MTIOC4D/TMC12/RTCIC1	CTS1#/RTS1#/SS1#/ SSISCK0			IRQ1
G3		P30		MTIOC4B/TMRI3/POE8#/ RTCIC0	RXD1/SMISO1/SSCL1/ AUDIO_MCLK			IRQ0/ CMPOB3
G4		P27	CS3#	MTIOC2B/TMC13	SCK1/ SSIWS0		TS2	CVREFB3
G5	BCLK	P53					TS17	
G6		P52	RD#				TS18	
G7		PB5	A13	MTIOC2A/MTIOC1B/ TMRI1/POE1#/TIOCB4	SCK9/USB0_VBUS	SDHI_CD		
G8		PB4	A12	TIOCA4	CTS9#/RTS9#/SS9#			
G9		PB1	A9	MTIOC0C/MTIOC4C/ TMC10/TIOCB3	TXD6/SMOSI6/SSDA6	SDHI_CLK		IRQ4/ CMPOB1
G10	VCC							
H1		P26	CS2#	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/ SSIRXD0		TS3	CMPB3
H2		P25	CS1#	MTIOC4C/MTCLKB/ TIOCA4			TS4	ADTRG0#
H3		P16		MTIOC3C/MTIOC3D/ TMO2/TIOCB1/TCLKC/ RTCOU7	TXD1/SMOSI1/SSDA1/ MOSIA/SCL/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB			IRQ6/ ADTRG0#
H4		P15		MTIOC0B/MTCLKB/ TMC12/TIOCB2/TCLKB	RXD1/SMISO1/SSCL1/ CRXD0		TS12	IRQ5/CMPB2
H5		P55	WAIT#	MTIOC4D/TMO3	CRXD0		TS15	
H6		P54	ALE	MTIOC4B/TMC11	CTXD0		TS16	
H7	UB	PC7	A23/CS0#	MTIOC3A/MTCLKB/TMO2	TXD8/SMOSI8/SSDA8/ MISOA			CACREF
H8		PC6	A22/CS1#	MTIOC3C/MTCLKA/TMC12	RXD8/SMISO8/SSCL8/ MOSIA		TS22	
H9		PB6	A14	MTIOC3D/TIOCA5	RXD9/SMISO9/SSCL9	SDHI_D1		

表 1.6 機能別端子一覧 (100ピンTFLGA) (3/3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
H10		PB7	A15	MTIOC3B/TIOCB5	TXD9/SMOSI9/SSDA9	SDHI_D2		
J1		P24	CS0#	MTIOC4A/MTCLKA/ TMR11/TIOCB4	USB0_VBUSEN		TS5	
J2		P21		MTIOC1B/TMCIO/TIOCA3	RXD0/SMISO0/SSCL0/ USB0_EXICEN/SSIWS0		TS8	
J3		P17		MTIOC3A/MTIOC3B/ TMO1/POE8#/TIOCB0/ TCLKD	SCK1/MISOA/SDA/ SSITXD0			IRQ7/ CMPOB2
J4		P13		MTIOC0B/TMO3/TIOCA5	SDA			IRQ3
J5	VSS_USB (注1)	PH0 (注1)						CACREF (注1)
J6	VCC_USB (注1)	PH3 (注1)		TMCIO (注1)				
J7		P50	WR0#/WR#				TS20	
J8		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TMC11/POE0#	SCK5/CTS8#/RTS8#/ SSB#/SSLA0	SDHI_D1	TSCAP	
J9		PC0	A16	MTIOC3C/TCLKC	CTS5#/RTS5#/SS5#/ SSLA1		TS35	
J10		PC1	A17	MTIOC3A/TCLKD	SCK5/SSLA2		TS33	
K1		P23		MTIOC3D/MTCLKD/ TIOCD3	CTS0#/RTS0#/SS0#/ SSISCK0		TS6	
K2		P22		MTIOC3B/MTCLKC/TMO0/ TIOCC3	SCK0/ USB0_OVRCURB/ AUDIO_MCLK		TS7	
K3		P20		MTIOC1A/TMRI0/TIOCB3	TXD0/SMOSI0/SSDA0/ USB0_ID/SSIRXD0		TS9	
K4		P14		MTIOC3A/MTCLKA/ TMR12/TIOCB5/TCLKA	CTS1#/RTS1#/SS1#/ CTXD0/ USB0_OVRCURA		TS13	IRQ4/ CVREFB2
K5		PH2 (注1)		TMRI0 (注1)	USB0_DM (注1)			IRQ1 (注1)
K6		PH1 (注1)		TMO0 (注1)	USB0_DP (注1)			IRQ0 (注1)
K7		P51	WR1#/BC1#/ WAIT#				TS19	
K8		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/TMR12	SCK8/RSPCKA		TS23	
K9		PC3	A19	MTIOC4D/TCLKB	TXD5/SMOSI5/SSDA5/ IRTXD5	SDHI_D0	TS27	
K10		PC2	A18	MTIOC4B/TCLKA	RXD5/SMISO5/SSCL5/ SSLA3/IRRXD5	SDHI_D3	TS30	

注1. RX230の場合はPH0/CACREF、PH1/IRQ0/TMO0、PH2/IRQ1/TMRI0、PH3/TMCIOです。
RX231の場合はVSS_USB、USB0_DP、USB0_DM、VCC_USBです。

表 1.7 機能別端子一覧 (100ピンLQFP) (1/3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
1	VREFH							
2		P03						DA0
3	VREFL							
4		PJ3		MTIOC3C	CTS6#/RTS6#/SS6#			
5	VCL							
6	VBATT							
7	MD							FINED
8	XCIN							
9	XCOUT							
10	RES#							
11	XTAL	P37						
12	VSS							
13	EXTAL	P36						
14	VCC							
15	UPSEL	P35						NMI
16		P34		MTIOC0A/TMCI3/POE2#	SCK6		TS0	IRQ4
17		P33		MTIOC0D/TMRI3/POE3#/TIOC0D	RXD6/SMISO6/SSCL6		TS1	IRQ3
18		P32		MTIOC0C/TMO3/TIOCC0/RTCOU7/RTCIC2	TXD6/SMOSI6/SSDA6/USB0_VBUSEN			IRQ2
19		P31		MTIOC4D/TMCI2/RTCIC1	CTS1#/RTS1#/SS1#/SSISCK0			IRQ1
20		P30		MTIOC4B/TMRI3/POE8#/RTCIC0	RXD1/SMISO1/SSCL1/AUDIO_MCLK			IRQ0/ CMPOB3
21		P27	CS3#	MTIOC2B/TMCI3	SCK1/SSIWS0		TS2	CVREFB3
22		P26	CS2#	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/SSIRXD0		TS3	CMPB3
23		P25	CS1#	MTIOC4C/MTCLKB/TIOCA4			TS4	ADTRG0#
24		P24	CS0#	MTIOC4A/MTCLKA/TMRI1/TIOCB4	USB0_VBUSEN		TS5	
25		P23		MTIOC3D/MTCLKD/TIOC3D	CTS0#/RTS0#/SS0#/SSISCK0		TS6	
26		P22		MTIOC3B/MTCLKC/TMO0/TIOCC3	SCK0/ USB0_OVRCURB/ AUDIO_MCLK		TS7	
27		P21		MTIOC1B/TMCI0/TIOCA3	RXD0/SMISO0/SSCL0/ USB0_EXICEN/SSIWS0		TS8	
28		P20		MTIOC1A/TMRI0/TIOCB3	TXD0/SMOSI0/SSDA0/ USB0_ID/SSIRXD0		TS9	
29		P17		MTIOC3A/MTIOC3B/TMO1/POE8#/TIOCB0/TCLKD	SCK1/MISOA/SDA/ SSITXD0			IRQ7/ CMPOB2
30		P16		MTIOC3C/MTIOC3D/TMO2/TIOCB1/TCLKC/RTCOU7	TXD1/SMOSI1/SSDA1/ MOSIA/SCL/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB			IRQ6/ ADTRG0#
31		P15		MTIOC0B/MTCLKB/TMCI2/TIOCB2/TCLKB	RXD1/SMISO1/SSCL1/ CRXD0		TS12	IRQ5/CMPB2
32		P14		MTIOC3A/MTCLKA/TMRI2/TIOCB5/TCLKA	CTS1#/RTS1#/SS1#/ CTXD0/ USB0_OVRCURA		TS13	IRQ4/ CVREFB2
33		P13		MTIOC0B/TMO3/TIOCA5	SDA			IRQ3
34		P12		TMCI1	SCL			IRQ2
35	VCC_USB (注1)	PH3 (注1)		TMCI0 (注1)				

表 1.7 機能別端子一覧 (100ピンLQFP) (2/3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
36		PH2(注1)		TMRI0(注1)	USB0_DM(注1)			IRQ1(注1)
37		PH1(注1)		TMO0(注1)	USB0_DP(注1)			IRQ0(注1)
38	VSS_USB(注1)	PH0(注1)						CACREF(注1)
39		P55	WAIT#	MTIOC4D/TMO3	CRXD0		TS15	
40		P54	ALE	MTIOC4B/TMCI1	CTXD0		TS16	
41	BCLK	P53					TS17	
42		P52	RD#				TS18	
43		P51	WR1#/BC1#/ WAIT#				TS19	
44		P50	WR0#/WR#				TS20	
45	UB	PC7	A23/CS0#	MTIOC3A/MTCLKB/TMO2	TXD8/SMOSI8/SSDA8/ MISOA			CACREF
46		PC6	A22/CS1#	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/ MOSIA		TS22	
47		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA		TS23	
48		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TMCI1/POE0#	SCK5/CTS8#/RTS8#/ SS8#/SSLA0	SDHI_D1	TSCAP	
49		PC3	A19	MTIOC4D/TCLKB	TXD5/SMOSI5/SSDA5/ IRTXD5	SDHI_D0	TS27	
50		PC2	A18	MTIOC4B/TCLKA	RXD5/SMISO5/SSCL5/ SSLA3/IRRXD5	SDHI_D3	TS30	
51		PC1	A17	MTIOC3A/TCLKD	SCK5/SSLA2		TS33	
52		PC0	A16	MTIOC3C/TCLKC	CTS5#/RTS5#/SS5#/ SSLA1		TS35	
53		PB7	A15	MTIOC3B/TIOCB5	TXD9/SMOSI9/SSDA9	SDHI_D2		
54		PB6	A14	MTIOC3D/TIOCA5	RXD9/SMISO9/SSCL9	SDHI_D1		
55		PB5	A13	MTIOC2A/MTIOC1B/ TMRI1/POE1#/TIOCB4	SCK9/USB0_VBUS	SDHI_CD		
56		PB4	A12	TIOCA4	CTS9#/RTS9#/SS9#			
57		PB3	A11	MTIOC0A/MTIOC4A/ TMO0/POE3#/TIOC3D/ TCLKD	SCK6	SDHI_WP		
58		PB2	A10	TIOCC3/TCLKC	CTS6#/RTS6#/SS6#			
59		PB1	A9	MTIOC0C/MTIOC4C/ TMCI0/TIOCB3	TXD6/SMOSI6/SSDA6	SDHI_CLK		IRQ4/ CMPOB1
60	VCC							
61		PB0	A8	MTIC5W/TIOCA3	RXD6/SMISO6/SSCL6/ RSPCKA	SDHI_CM D		
62	VSS							
63		PA7	A7	TIOCB2	MISOA			
64		PA6	A6	MTIC5V/MTCLKB/TMCI3/ POE2#/TIOCA2	CTS5#/RTS5#/SS5#/ MOSIA/SSIWS0			
65		PA5	A5	TIOCB1	RSPCKA			
66		PA4	A4	MTIC5U/MTCLKA/TMRI0/ TIOCA1	TXD5/SMOSI5/SSDA5/ SSLA0/SSITXD0/IRTXD5			IRQ5 / CVREFB1
67		PA3	A3	MTIOC0D/MTCLKD/ TIOC0D/TCLKB	RXD5/SMISO5/SSCL5/ SSIRXD0/IRRXD5			IRQ6 / CMPB1
68		PA2	A2		RXD5/SMISO5/SSCL5/ SSLA3/IRRXD5			
69		PA1	A1	MTIOC0B/MTCLKC/ TIOCB0	SCK5/SSLA2/SSISCK0			
70		PA0	A0/BC0#	MTIOC4A/TIOCA0	SSLA1			CACREF
71		PE7	D15[A15/D15]					IRQ7/AN023
72		PE6	D14[A14/D14]					IRQ6/AN022

表 1.7 機能別端子一覧 (100ピンLQFP) (3/3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
73		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B				IRQ5/AN021/ CMPOB0
74		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A				AN020/ CMPA2/ CLKOUT
75		PE3	D11[A11/D11]	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/ AUDIO_MCLK			AN019/ CLKOUT
76		PE2	D10[A10/D10]	MTIOC4A	RXD12/RXDX12/ SMISO12/SSCL12			IRQ7/AN018/ CVREFB0
77		PE1	D9[A9/D9]	MTIOC4C	TXD12/TXDX12/SIOX12/ SMOSI12/SSDA12			AN017/ CMPB0
78		PE0	D8[A8/D8]		SCK12			AN016
79		PD7	D7[A7/D7]	MTIC5U/POE0#				IRQ7/AN031
80		PD6	D6[A6/D6]	MTIC5V/POE1#				IRQ6/AN030
81		PD5	D5[A5/D5]	MTIC5W/POE2#				IRQ5/AN029
82		PD4	D4[A4/D4]	POE3#				IRQ4/AN028
83		PD3	D3[A3/D3]	POE8#				IRQ3/AN027
84		PD2	D2[A2/D2]	MTIOC4D				IRQ2/AN026
85		PD1	D1[A1/D1]	MTIOC4B				IRQ1/AN025
86		PD0	D0[A0/D0]					IRQ0/AN024
87		P47						AN007
88		P46						AN006
89		P45						AN005
90		P44						AN004
91		P43						AN003
92		P42						AN002
93		P41						AN001
94	VREFL0							
95		P40						AN000
96	VREFH0							
97	AVCC0							
98		P07						ADTRG0#
99	AVSS0							
100		P05						DA1

注1. RX230の場合はPH0/CACREF、PH1/IRQ0/TMO0、PH2/IRQ1/TMRI0、PH3/TMCI0です。
RX231の場合はVSS_USB、USB0_DP、USB0_DM、VCC_USBです。

表 1.8 機能別端子一覧 (64ピンWFLGA) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
A1		P05					DA1
A2	AVCC0						
A3	VREFH0						
A4	VREFL0						
A5	VREFH						
A6	VREFL						
A7		PE2	MTIOC4A	RXD12/RXDX12/SMISO12/SSCL12			IRQ7/AN018/ CVREFB0
A8		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/ AUDIO_MCLK			AN019/CLKOUT
B1	VCL						
B2	AVSS0						
B3		P40					AN000
B4		P42					AN002
B5		P44					AN004
B6		P46					AN006
B7		PE1	MTIOC4C	TXD12/TXDX12/SIOX12/ SMOSI12/SSDA12			AN017/CMPB0
B8		PE4	MTIOC4D/MTIOC1A				AN020/CMPA2/ CLKOUT
C1	XCIN						
C2	MD						FINED
C3		P03					DA0
C4		P41					AN001
C5		P43					AN003
C6		PE0		SCK12			AN016
C7		PE5	MTIOC4C/MTIOC2B				IRQ5/AN021/ CMPOB0
C8		PA0	MTIOC4A/TIOCA0	SSLA1			CACREF
D1	XCOUT						
D2	RES#						
D3		P27	MTIOC2B/TMCI3	SCK1/ SSIWS0		TS2	CVREFB3
D4		P14	MTIOC3A/MTCLKA/TMRI2/ TIOCB5/TCLKA	CTS1#/RTS1#/SS1#/ CTXD0/ USB0_OVRCURA		TS13	IRQ4/CVREFB2
D5		PA6	MTIC5V/MTCLKB/TMCI3/ POE2#/TIOCA2	CTS5#/RTS5#/SS5#/ MOSIA/ SSIWS0			
D6		PA4	MTIC5U/MTCLKA/TMRI0/ TIOCA1	TXD5/SMOSI5/SSDA5/SSLA0/ SSITXD0/IRTXD5			IRQ5 /CVREFB1
D7		PA1	MTIOC0B/MTCLKC/TIOCB0	SCK5/SSLA2/SSISCK0			
D8		PA3	MTIOC0D/MTCLKD/TIOC0D/ TCLKB	RXD5/SMISO5/SSCL5/SSIRXD0/ IRRXD5			IRQ6 /CMPB1
E1	VSS						
E2	VBATT						
E3		P30	MTIOC4B/TMRI3/POE8#/ RTIC0	RXD1/SMISO1/SSCL1/ AUDIO_MCLK			IRQ0/CMPOB3
E4		P16	MTIOC3C/MTIOC3D/TMO2/ TIOCB1/TCLKC/RTCOUT	TXD1/SMOSI1/SSDA1/MOSIA/ SCL/USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB			IRQ6/ADTRG0#
E5		PC4	MTIOC3D/MTCLKC/TMCI1/ POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0	SDHI_D1	TSCAP	
E6	VCC						
E7	VSS						

表 1.8 機能別端子一覧 (64ピンWFLGA) (2/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
E8		PB0	MTIC5W/TIOCA3	RXD6/SMISO6/SSCL6/RSPCKA	SDHI_CM D		
F1	VCC						
F2	UPSEL	P35					NMI
F3		P31	MTIOC4D/TMCI2/RTCIC1	CTS1#/RTS1#/SS1#/SSISCK0			IRQ1
F4		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA/USB0_ID			TS23
F5		P15	MTIOC0B/MTCLKB/TMCI2/TIOCB2/TCLKB	RXD1/SMISO1/SSCL1/CRXD0		TS12	IRQ5/CMPB2
F6		PB1	MTIOC0C/MTIOC4C/TMCI0/TIOCB3	TXD6/SMOSI6/SSDA6	SDHI_CLK		IRQ4/CMPOB1
F7		PB5	MTIOC2A/MTIOC1B/TMRI1/POE1#/TIOCB4	SCK9/USB0_VBUS	SDHI_CD		
F8		PB3	MTIOC0A/MTIOC4A/TMO0/POE3#/TIOCD3/TCLKD	SCK6	SDHI_WP		
G1	EXTAL	P36					
G2		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/USB0_VBUSEN/SSIRXD0		TS3	CMPB3
G3	VCC_USB (注1)	PH3 (注1)	TMCI0 (注1)				
G4	VSS_USB (注1)	PH0 (注1)					CACREF (注1)
G5	UB	PC7	MTIOC3A/MTCLKB/TMO2	TXD8/SMOSI8/SSDA8/MISOA			CACREF
G6		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/MOSIA/USB0_EXICEN		TS22	
G7		PC3	MTIOC4D/TCLKB	TXD5/SMOSI5/SSDA5/IRTXD5	SDHI_D0	TS27	
G8		PB6/PC0	MTIOC3D/TIOCA5	RXD9/SMISO9/SSCL9	SDHI_D1		
H1	XTAL	P37					
H2		P17	MTIOC3A/MTIOC3B/TMO1/POE8#/TIOCB0/TCLKD	SCK1/MISOA/SDA/SSITXD0			IRQ7/CMPOB2
H3		PH2 (注1)	TMRI0 (注1)	USB0_DM (注1)			IRQ1 (注1)
H4		PH1 (注1)	TMO0 (注1)	USB0_DP (注1)			IRQ0 (注1)
H5		P55	MTIOC4D/TMO3	CRXD0		TS15	
H6		P54	MTIOC4B/TMCI1	CTXD0		TS16	
H7		PC2	MTIOC4B/TCLKA	RXD5/SMISO5/SSCL5/SSLA3/IRRXD5	SDHI_D3	TS30	
H8		PB7/PC1	MTIOC3B/TIOCB5	TXD9/SMOSI9/SSDA9	SDHI_D2		

注1. RX230の場合はPH0/CACREF、PH1/IRQ0/TMO0、PH2/IRQ1/TMRI0、PH3/TMCI0です。
RX231の場合はVSS_USB、USB0_DP、USB0_DM、VCC_USBです。

表 1.9 機能別端子一覧 (64ピンLFQFP/HWQFN) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
1		P03					DA0
2	VCL						
3	MD						FINED
4	XCIN						
5	XCOUT						
6	RES#						
7	XTAL	P37					
8	VSS						
9	EXTAL	P36					
10	VCC						
11	UPSEL	P35					NMI
12	VBATT						
13		P31	MTIOC4D/TMCI2/RTCIC1	CTS1#/RTS1#/SS1#/SSISCK0			IRQ1
14		P30	MTIOC4B/TMRI3/POE8#/RTCIC0	RXD1/SMISO1/SSCL1/AUDIO_MCLK			IRQ0/CMPOB3
15		P27	MTIOC2B/TMCI3	SCK1/SSIWS0		TS2	CVREFB3
16		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/USB0_VBUS/SSIRXD0		TS3	CMPB3
17		P17	MTIOC3A/MTIOC3B/TMO1/POE8#/TIOCB0/TCLKD	SCK1/MISOA/SDA/SSITXD0			IRQ7/CMPOB2
18		P16	MTIOC3C/MTIOC3D/TMO2/TIOCB1/TCLKC/RTCOUT	TXD1/SMOSI1/SSDA1/MOSIA/SCL/USB0_VBUS/USB0_VBUS/USB0_OVRCURB			IRQ6/ADTRG0#
19		P15	MTIOC0B/MTCLKB/TMCI2/TIOCB2/TCLKB	RXD1/SMISO1/SSCL1/CRXD0		TS12	IRQ5/CMPB2
20		P14	MTIOC3A/MTCLKA/TMRI2/TIOCB5/TCLKA	CTS1#/RTS1#/SS1#/CTXD0/USB0_OVRCURA		TS13	IRQ4/CVREFB2
21	VCC_USB (注1)	PH3 (注1)	TMCI0 (注1)				
22		PH2 (注1)	TMRI0 (注1)	USB0_DM (注1)			IRQ1 (注1)
23		PH1 (注1)	TMO0 (注1)	USB0_DP (注1)			IRQ0 (注1)
24	VSS_USB (注1)	PH0 (注1)					CACREF (注1)
25		P55	MTIOC4D/TMO3	CRXD0		TS15	
26		P54	MTIOC4B/TMCI1	CTXD0		TS16	
27	UB	PC7	MTIOC3A/MTCLKB/TMO2	TXD8/SMOSI8/SSDA8/MISOA			CACREF
28		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/MOSIA/USB0_EXICEN		TS22	
29		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA/USB0_ID		TS23	
30		PC4	MTIOC3D/MTCLKC/TMCI1/POE0#	SCK5/CTS8#/RTS8#/SS8#/SSLA0	SDHI_D1	TSCAP	
31		PC3	MTIOC4D/TCLKB	TXD5/SMOSI5/SSDA5/IRTXD5	SDHI_D0	TS27	
32		PC2	MTIOC4B/TCLKA	RXD5/SMISO5/SSCL5/SSLA3/IRRXD5	SDHI_D3	TS30	
33		PB7/PC1	MTIOC3B/TIOCB5	TXD9/SMOSI9/SSDA9	SDHI_D2		
34		PB6/PC0	MTIOC3D/TIOCA5	RXD9/SMISO9/SSCL9	SDHI_D1		
35		PB5	MTIOC2A/MTIOC1B/TMRI1/POE1#/TIOCB4	SCK9/USB0_VBUS	SDHI_CD		
36		PB3	MTIOC0A/MTIOC4A/TMO0/POE3#/TIOCD3/TCLKD	SCK6	SDHI_WP		
37		PB1	MTIOC0C/MTIOC4C/TMCI0/TIOCB3	TXD6/SMOSI6/SSDA6	SDHI_CLK		IRQ4/CMPOB1
38	VCC						
39		PB0	MTIC5W/TIOCA3	RXD6/SMISO6/SSCL6/RSPCKA	SDHI_CM D		

表 1.9 機能別端子一覧 (64ピンLFQFP/HWQFN) (2/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
40	VSS						
41		PA6	MTIC5V/MTCLKB/TMCI3/ POE2#/TIOCA2	CTS5#/RTS5#/SS5#/MOSIA/ SSIWS0			
42		PA4	MTIC5U/MTCLKA/TMRI0/ TIOCA1	TXD5/SMOSI5/SSDA5/SSLA0/ SSITXD0/IRTXD5			IRQ5 /CVREFB1
43		PA3	MTIOC0D/MTCLKD/TIOCD0/ TCLKB	RXD5/SMISO5/SSCL5/SSIRXD0/ IRRXD5			IRQ6 /CMPB1
44		PA1	MTIOC0B/MTCLKC/TIOCB0	SCK5/SSLA2/SSISCK0			
45		PA0	MTIOC4A/TIOCA0	SSLA1			CACREF
46		PE5	MTIOC4C/MTIOC2B				IRQ5/AN021/ CMPOB0
47		PE4	MTIOC4D/MTIOC1A				AN020/CMPA2/ CLKOUT
48		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/ AUDIO_MCLK			AN019/CLKOUT
49		PE2	MTIOC4A	RXD12/RXD12/SMISO12/ SSCL12			IRQ7/AN018/ CVREFB0
50		PE1	MTIOC4C	TXD12/TXD12/SIOX12/ SMOSI12/SSDA12			AN017/CMPB0
51		PE0		SCK12			AN016
52	VREFL						
53		P46					AN006
54	VREFH						
55		P44					AN004
56		P43					AN003
57		P42					AN002
58		P41					AN001
59	VREFL0						
60		P40					AN000
61	VREFH0						
62	AVCC0						
63		P05					DA1
64	AVSS0						

注1. RX230の場合はPH0/CACREF、PH1/IRQ0/TMO0、PH2/IRQ1/TMRI0、PH3/TMCI0です。
RX231の場合はVSS_USB、USB0_DP、USB0_DM、VCC_USBです。

表 1.10 機能別端子一覧 (48ピンLFQFP/HWQFN) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
1	VCL						
2	MD						FINED
3	RES#						
4	XTAL	P37					
5	VSS						
6	EXTAL	P36					
7	VCC						
8	UPSEL	P35					NMI
9		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#/SSISCK0			IRQ1
10		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1/ AUDIO_MCLK			IRQ0/CMPOB3
11		P27	MTIOC2B/TMCI3	SCK1/SSIWS0		TS2	CVREFB3
12		P26	MTIOC2A/TMO1	TXD1/SMOS1/SSDA1/ USB0_VBUS/SSIRXD0		TS3	CMPB3
13		P17	MTIOC3A/MTIOC3B/TMO1/ POE8#/TIOCB0/TCLKD	SCK1/MISOA/SDA/ SSITXD0			IRQ7/ CMPOB2
14		P16	MTIOC3C/MTIOC3D/TMO2/ TIOCB1/TCLKC	TXD1/SMOS1/SSDA1/MOSIA/ SCL/USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB			IRQ6/ADTRG0#
15		P15	MTIOC0B/MTCLKB/TMCI2/ TIOCB2/TCLKB	RXD1/SMISO1/SSCL1/CRXD0		TS12	IRQ5/CMPB2
16		P14	MTIOC3A/MTCLKA/TMRI2/ TIOCB5/TCLKA	CTS1#/RTS1#/SS1#/CTXD0/ USB0_OVRCURA		TS13	IRQ4/CVREFB2
17	VCC_USB (注1)	PH3 (注1)	TMCI0 (注1)				
18		PH2 (注1)	TMRI0 (注1)	USB0_DM (注1)			IRQ1 (注1)
19		PH1 (注1)	TMO0 (注1)	USB0_DP (注1)			IRQ0 (注1)
20	VSS_USB (注1)	PH0 (注1)					CACREF (注1)
21	UB	PC7	MTIOC3A/MTCLKB/TMO2	TXD8/SMOSI8/SSDA8/MISOA			CACREF
22		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMOSI8/SSCL8/MOSIA/ USB0_EXICEN		TS22	
23		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA/USB0_ID		TS23	
24		PC4	MTIOC3D/MTCLKC/TMCI1/ POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0		TSCAP	
25		PB5/PC3	MTIOC2A/MTIOC1B/TMRI1/ POE1#/TIOCB4	USB0_VBUS			
26		PB3/PC2	MTIOC0A/MTIOC4A/TMO0/ POE3#/TIOCD3/TCLKD	SCK6			
27		PB1/PC1	MTIOC0C/MTIOC4C/TMCI0/ TIOCB3	TXD6/SMOSI6/SSDA6			IRQ4/CMPOB1
28	VCC						
29		PB0/PC0	MTIC5W/TIOCA3	RXD6/SMISO6/SSCL6/RSPCKA			
30	VSS						
31		PA6	MTIC5V/MTCLKB/TMCI3/ POE2#/TIOCA2	CTS5#/RTS5#/SS5#/MOSIA/ SSIWS0			
32		PA4	MTIC5U/MTCLKA/TMRI0/ TIOCA1	TXD5/SMOSI5/SSDA5/SSLA0/ SSITXD0/IRTXD5			IRQ5 /CVREFB1
33		PA3	MTIOC0D/MTCLKD/TIOCD0/ TCLKB	RXD5/SMISO5/SSCL5/SSIRXD0/ IRRXD5			IRQ6 /CMPB1
34		PA1	MTIOC0B/MTCLKC/TIOCB0	SCK5/SSLA2/SSISCK0			
35		PE4	MTIOC4D/MTIOC1A				AN020/CMPA2/ CLKOUT
36		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/AUDIO_MCLK			AN019/CLKOUT
37		PE2	MTIOC4A	RXD12/RXD12/SSCL12			IRQ7/AN018/ CVREFB0

表 1.10 機能別端子一覧 (48ピンLFQFP/HWQFN) (2/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
38		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SSDA12			AN017/CMPB0
39	VREFL						
40		P46					AN006
41	VREFH						
42		P42					AN002
43		P41					AN001
44	VREFL0						
45		P40					AN000
46	VREFH0						
47	AVCC0						
48	AVSS0						

注1. RX230の場合はPH0/CACREF、PH1/IRQ0/TMO0、PH2/IRQ1/TMRI0、PH3/TMCI0です。
RX231の場合はVSS_USB、USB0_DP、USB0_DM、VCC_USBです。

2. CPU

RXv2 命令セットアーキテクチャ (RXv2) は、RXv1 命令セットアーキテクチャ (RXv1) と上位互換性のある命令セットアーキテクチャです。

- 可変長命令方式の採用
RXv1 と同様に、可変長命令形式の採用により、使用頻度の高い命令をより短い命令長に割り付けていますので、コード効率の良いプログラムを開発できます。
- 強力な命令セット
RXv2 は厳選された 109 個の命令をサポートしています。DSP 機能命令や浮動小数点演算命令の拡充により、DSP に匹敵するデータ処理能力を発揮します。
- 豊富なアドレッシングモード
11 種類の豊富なアドレッシングモードを持ち、レジスタ-レジスタ間、レジスタ-メモリ間の演算や、ビットを対象とする演算ができます。また、メモリ-メモリ間の転送ができます。

2.1 特長

- 最短命令実行時間：1 サイクルで実行
- アドレス空間：4G バイト・リニアアドレス
- CPU レジスタセット
汎用レジスタ：32 ビット×16 本
制御レジスタ：32 ビット×10 本
アキュムレータ：72 ビット×2 本
- 可変長命令形式 (1 バイト長～8 バイト長)
- 109 命令 / 11 種類アドレッシングモード
基本命令：75 種類
浮動小数点演算命令：11 種類
DSP 機能命令：23 種類
- プロセッサモード
スーパバイザモード、ユーザモード
- ベクタテーブル
例外ベクタテーブル、割り込みベクタテーブル
- メモリプロテクションユニット
- データ配置
リトルエンディアン / ビッグエンディアン選択可能

2.2 CPU レジスタセット

RXv2 CPU のレジスタには、汎用レジスタ（16本）と、制御レジスタ（10本）、および DSP 機能命令で使用するアキュムレータ（2本）があります。

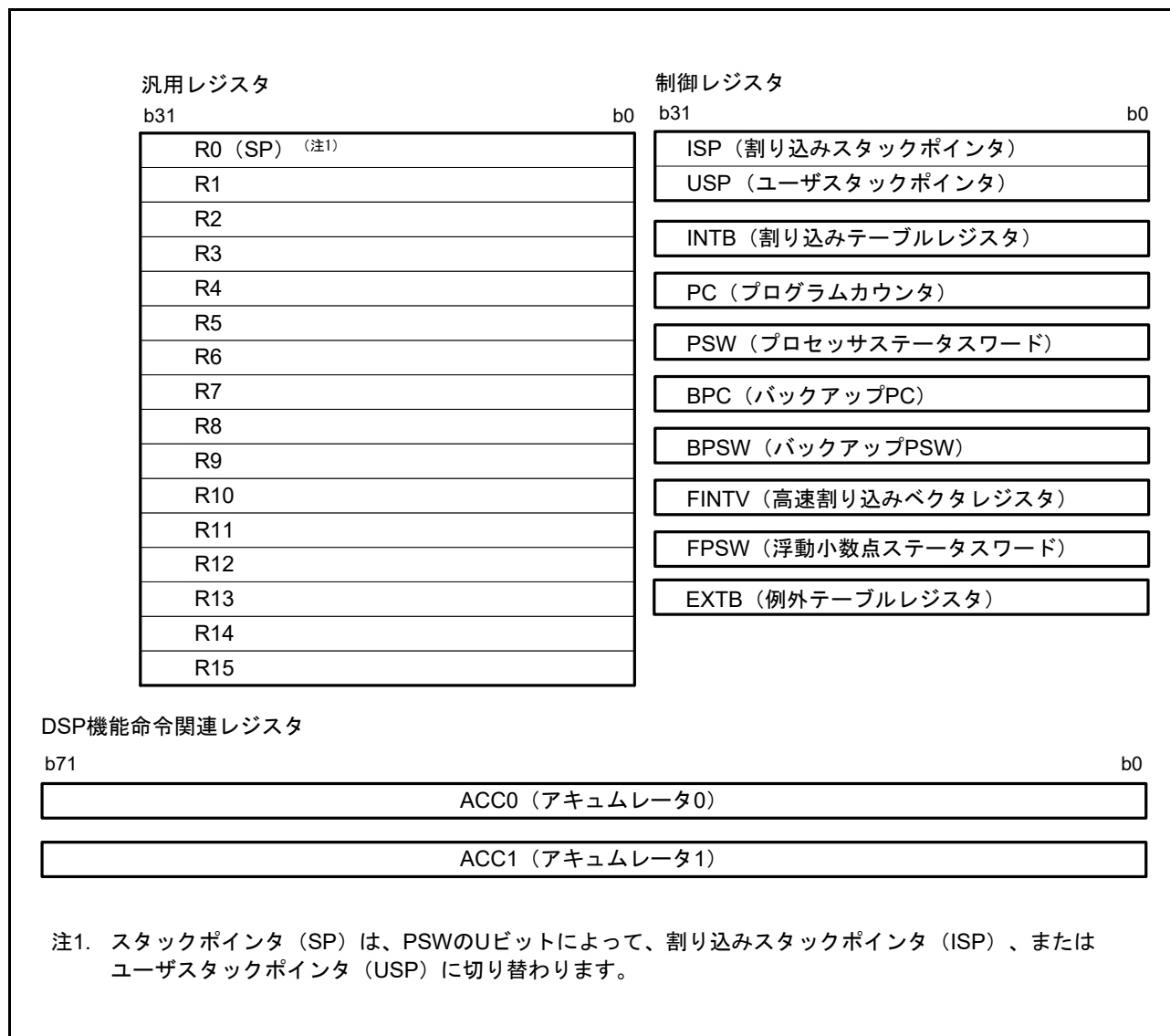


図 2.1 CPU レジスタセット

2.2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、32ビット幅で16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

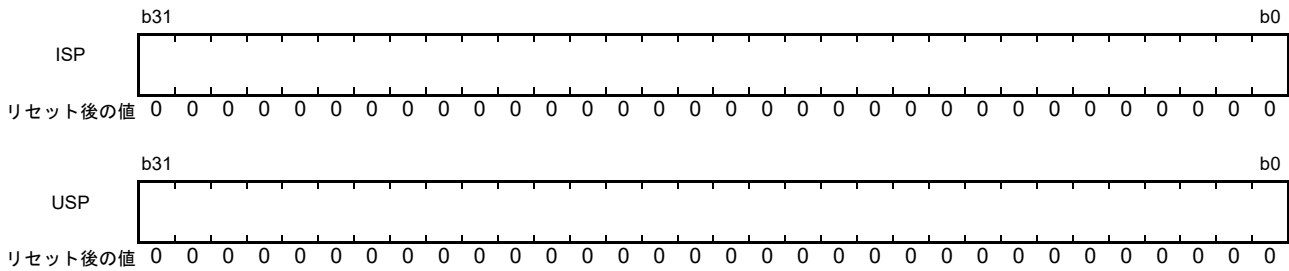
汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の10本のレジスタがあります。

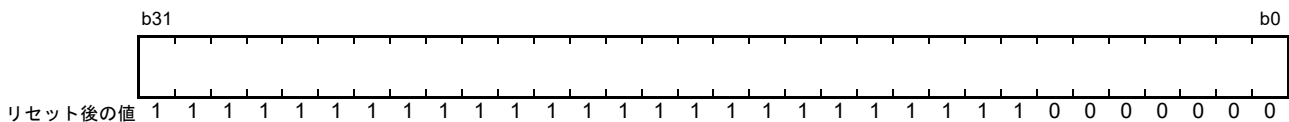
- 割り込みスタックポインタ (ISP)
- ユーザスタックポインタ (USP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- プログラムカウンタ (PC)
- プロセッサステータスワード (PSW)
- バックアップ PC (BPC)
- バックアップ PSW (BPSW)
- 高速割り込みベクタレジスタ (FINTV)
- 浮動小数点ステータスワード (FPSW)

2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)



スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。ISP、USPに4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

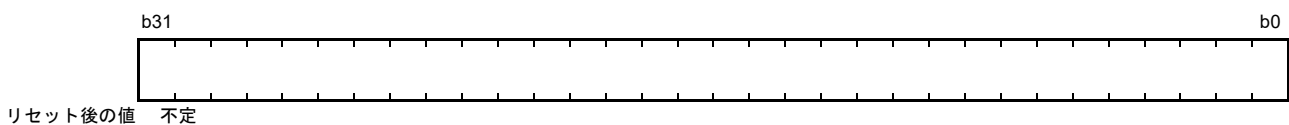
2.2.2.2 例外テーブルレジスタ (EXTB)



例外テーブルレジスタ (EXTB) には、例外ベクタテーブルの先頭番地を設定してください。

EXTBに4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

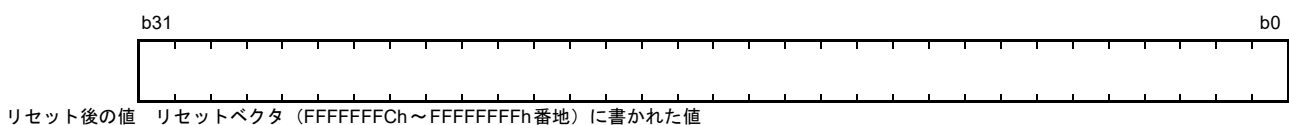
2.2.2.3 割り込みテーブルレジスタ (INTB)



割り込みテーブルレジスタ (INTB) には、割り込みベクタテーブルの先頭番地を設定してください。

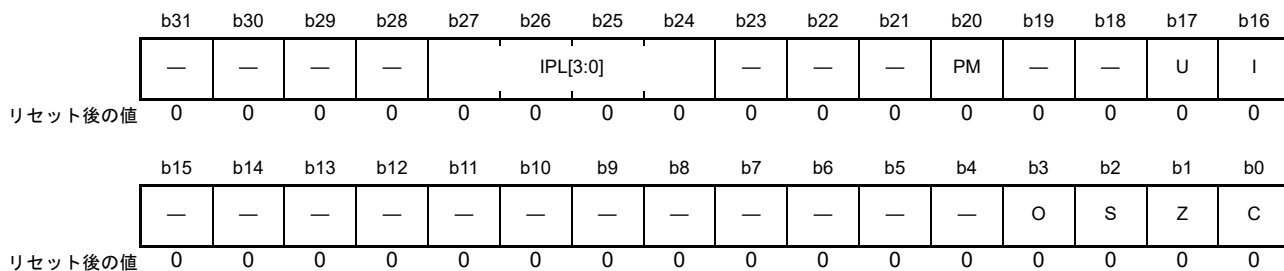
INTBに4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

2.2.2.4 プログラムカウンタ (PC)



プログラムカウンタ (PC) は、実行中の命令の番地を示します。

2.2.2.5 プロセッサステータスワード (PSW)



ビット	シンボル	ビット名	機能	R/W
b0	C	キャリフラグ	0: キャリの発生なし 1: キャリの発生あり	R/W
b1	Z	ゼロフラグ	0: 演算結果は0でなかった 1: 演算結果は0であった	R/W
b2	S	サインフラグ	0: 演算結果は正または0であった 1: 演算結果は負であった	R/W
b3	O	オーバフローフラグ	0: オーバフローの発生なし 1: オーバフローの発生あり	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I (注1)	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b17	U (注1)	スタックポインタ指定ビット	0: 割り込みスタックポインタ (ISP) を指定 1: ユーザスタックポインタ (USP) を指定	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM (注1、注2、注3)	プロセッサモード設定ビット	0: スーパーバイザモードに設定 1: ユーザモードに設定	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	IPL[3:0] (注1)	プロセッサ割り込み優先レベル	b27 b24 0 0 0 0: 優先レベル0 (最低) 0 0 0 1: 優先レベル1 0 0 1 0: 優先レベル2 0 0 1 1: 優先レベル3 0 1 0 0: 優先レベル4 0 1 0 1: 優先レベル5 0 1 1 0: 優先レベル6 0 1 1 1: 優先レベル7 1 0 0 0: 優先レベル8 1 0 0 1: 優先レベル9 1 0 1 0: 優先レベル10 1 0 1 1: 優先レベル11 1 1 0 0: 優先レベル12 1 1 0 1: 優先レベル13 1 1 1 0: 優先レベル14 1 1 1 1: 優先レベル15 (最高)	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. ユーザモードのときは、MVTC、POPC命令によるIPL[3:0]、PM、U、Iビットへの書き込みは無視されます。また、MVTIPL命令でIPL[3:0]ビットへの書き込みを行った場合は、特権命令例外が発生します。
- 注2. スーパーバイザモードのときは、MVTC、POPC命令によるPMビットへの書き込みは無視されます。それ以外のビットへの書き込みはできます。
- 注3. スーパーバイザモードからユーザモードに切り替える場合は、スタックに退避されたPSW.PMビットを“1”にした後、RTE命令を実行するか、BPSW.PMビットを“1”にした後、RTFI命令を実行してください。

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

C フラグ (キャリフラグ)

キャリー、ボロー、シフトアウトしたビット等を保持します。

Z フラグ (ゼロフラグ)

演算の結果が0のとき“1”になり、それ以外るとき“0”になります。

S フラグ (サインフラグ)

演算の結果が負のとき“1”になり、それ以外るとき“0”になります。

O フラグ (オーバフローフラグ)

演算の結果がオーバフローしたとき“1”になり、それ以外るとき“0”になります。

I ビット (割り込み許可ビット)

割り込み要求の受け付けを許可するビットです。例外を受け付けると、このビットは“0”になります。

U ビット (スタックポインタ指定ビット)

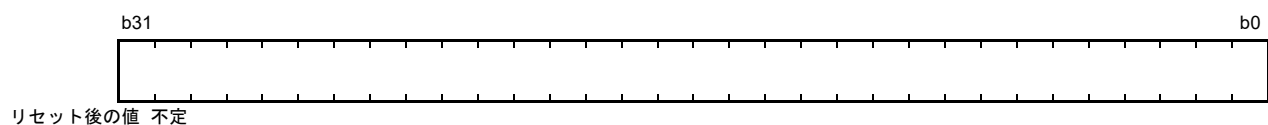
使用するスタックポインタ (ISP/USP) を指定するビットです。例外を受け付けると、このビットは“0”になります。スーパーバイザモードからユーザモードに移行すると、このビットは“1”になります。

PM ビット (プロセッサモード設定ビット)

プロセッサモードを設定するビットです。例外を受け付けると、このビットは“0”になります。

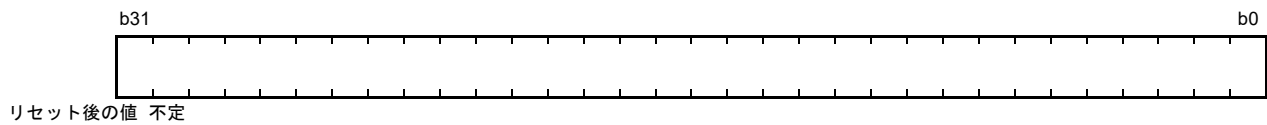
IPL[3:0] ビット (プロセッサ割り込み優先レベル)

IPL[3:0] ビットは、優先レベル0 (最低) ~ 優先レベル15 (最高) までの16段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル15 (Fh) に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスクابل割り込みが発生したとき、レベル15 (Fh) になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

2.2.2.6 バックアップ PC (BPC)

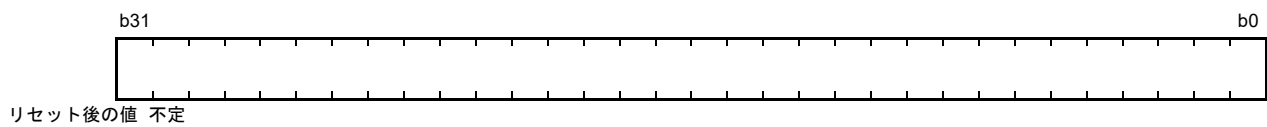
バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

2.2.2.7 バックアップ PSW (BPSW)



バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。
高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。
BPSW のビットの割り当ては、PSW に対応しています。

2.2.2.8 高速割り込みベクタレジスタ (FINTV)



高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。
高速割り込み発生時の分岐先番地を設定してください。

2.2.2.9 浮動小数点ステータスワード (FPSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EX	EU	EZ	EO	EV	—	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RM[1:0]	浮動小数点丸めモード設定ビット	b1 b0 0 0 : 最近値への丸め 0 1 : 0方向への丸め 1 0 : +∞方向への丸め 1 1 : -∞方向への丸め	R/W
b2	CV	無効演算要因フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり	R/(W) (注1)
b3	CO	オーバフロー要因フラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり	R/(W) (注1)
b4	CZ	ゼロ除算要因フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり	R/(W) (注1)
b5	CU	アンダフロー要因フラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり	R/(W) (注1)
b6	CX	精度異常要因フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり	R/(W) (注1)
b7	CE	非実装処理要因フラグ	0 : 非実装処理の発生なし 1 : 非実装処理の発生あり	R/(W) (注1)
b8	DN	非正規化数の0フラッシュビット	0 : 非正規化数を非正規化数として扱う 1 : 非正規化数を0として扱う (注2)	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	EV	無効演算例外処理許可ビット	0 : 無効演算発生による例外処理を禁止 1 : 無効演算発生による例外処理を許可	R/W
b11	EO	オーバフロー例外処理許可ビット	0 : オーバフロー発生による例外処理を禁止 1 : オーバフロー発生による例外処理を許可	R/W
b12	EZ	ゼロ除算例外処理許可ビット	0 : ゼロ除算発生による例外処理を禁止 1 : ゼロ除算発生による例外処理を許可	R/W
b13	EU	アンダフロー例外処理許可ビット	0 : アンダフロー発生による例外処理を禁止 1 : アンダフロー発生による例外処理を許可	R/W
b14	EX	精度異常例外処理許可ビット	0 : 精度異常発生による例外処理を禁止 1 : 精度異常発生による例外処理を許可	R/W
b25-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	FV (注3)	無効演算フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり (注8)	R/W
b27	FO (注4)	オーバフローフラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり (注8)	R/W
b28	FZ (注5)	ゼロ除算フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり (注8)	R/W
b29	FU (注6)	アンダフローフラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり (注8)	R/W
b30	FX (注7)	精度異常フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり (注8)	R/W

ビット	シンボル	ビット名	機能	R/W
b31	FS	浮動小数点エラーサマリフラグ	FU, FZ, FO, FVフラグの論理和を反映	R

- 注1. “0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。
 注2. 正の非正規化数は+0, 負の非正規化数は-0として扱います。
 注3. EVビットが“0”のときに、FVフラグは有効となります。
 注4. EOビットが“0”のときに、FOフラグは有効となります。
 注5. EZビットが“0”のときに、FZフラグは有効となります。
 注6. EUビットが“0”のときに、FUフラグは有効となります。
 注7. EXビットが“0”のときに、FXフラグは有効となります。
 注8. 当該ビットが一度“1”になると、ソフトウェアで“0”にするまで“1”を保持します。

浮動小数点ステータスワード (FPSW) は、浮動小数点演算結果を示します。

例外処理許可ビット E_j で例外処理を許可 ($E_j = 1$) した場合は、例外処理ルーチンで該当する C_j フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 ($E_j = 0$) した場合は、一連の処理の最後に F_j フラグをチェックし、例外発生の有無を確認することができます。 F_j フラグは蓄積フラグです。(j = X, U, Z, O, V)

RM[1:0] ビット (浮動小数点丸めモード設定ビット)

浮動小数点丸めモードを設定します。

【浮動小数点丸めモードの説明】

- 最近値への丸め (デフォルト) : 無限の有効桁を持つとして計算した場合の結果と近い方の値へ丸める
中間時は結果が偶数になる方向へ丸める
- 0方向への丸め : 結果の絶対値が小さくなる方向へ丸める (単純な切り捨て)
- $+\infty$ 方向への丸め : 結果の値が大きくなる方向へ丸める
- $-\infty$ 方向への丸め : 結果の値が小さくなる方向へ丸める

(1) 「最近値への丸め」はデフォルトのモードであり、最も正確な値を返します。

(2) 「0方向への丸め」、「 $+\infty$ 方向への丸め」、「 $-\infty$ 方向への丸め」は、区間演算 (Interval arithmetic) を使用した精度保証を行うときに使用します。

CV フラグ (無効演算要因フラグ)、CO フラグ (オーバフロー要因フラグ)

CZ フラグ (ゼロ除算要因フラグ)、CU フラグ (アンダフロー要因フラグ)

CX フラグ (精度異常要因フラグ)、CE フラグ (非実装処理要因フラグ)

IEEE754 規格で規定された5つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他、非実装処理が発生した場合に該当するフラグが“1”になります。

- “1”の場合、FPU 演算命令実行時に“0”になります。
- MVTC, POPC 命令で“0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。

DN ビット (非正規化数の0フラッシュビット)

“0”のとき非正規化数を非正規化数として扱います。“1”のとき非正規化数を“0”として扱います。

EV ビット (無効演算例外処理許可ビット)、EO ビット (オーバフロー例外処理許可ビット)

EZ ビット (ゼロ除算例外処理許可ビット)、EU ビット (アンダフロー例外処理許可ビット)

EX ビット (精度異常例外処理許可ビット)

浮動小数点演算命令実行により、IEEE754 規格で規定された5つの例外が発生したときに、CPU が例外処理に移行するかどうかを制御します。

“0”の場合、例外処理は禁止されます。“1”の場合、例外処理が許可されます。

FV フラグ（無効演算フラグ）、FO フラグ（オーバフローフラグ）、FZ フラグ（ゼロ除算フラグ） FU フラグ（アンダフローフラグ）、FX フラグ（精度異常フラグ）

例外処理許可ビット E_j が“0”（例外処理を禁止）の場合、IEEE754 規格で規定された 5 つの例外が発生すると、該当するフラグが“1”になります。

- $E_j = 1$ （例外処理を許可）のときは、このフラグは変化しません。
- 当該フラグが“1”になると、ソフトウェアで“0”にするまで“1”を保持します。（蓄積フラグ）

FS フラグ（浮動小数点エラーサマリフラグ）

FU, FZ, FO, FV フラグの論理和を反映します。

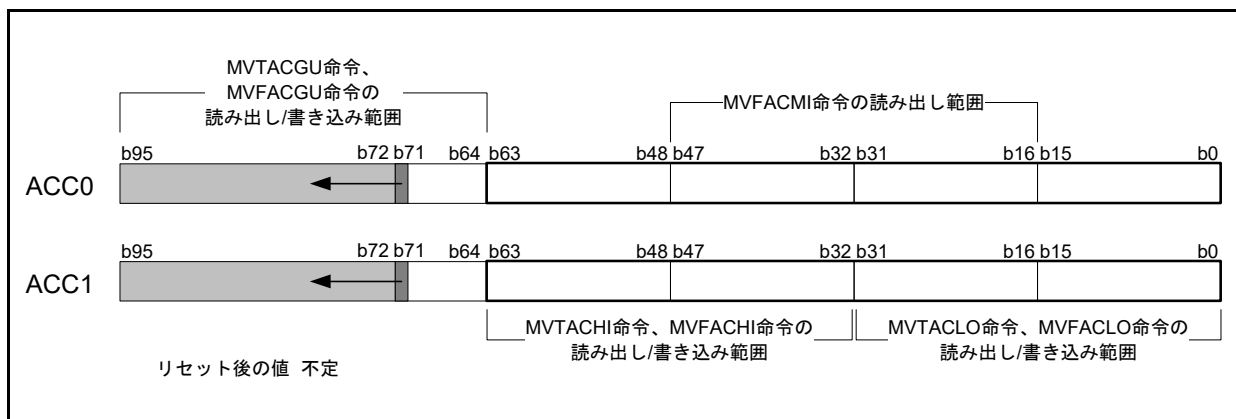
2.2.3 アキュムレータ

アキュムレータ（ACC0、ACC1）は、72 ビットのレジスタです。DSP 機能命令で使用されます。アキュムレータは、読み出し時や書き込み時は 96 ビットのレジスタとして扱われます。このとき、アキュムレータの b95 ~ b72 の扱いは、読み出し時に b71 の値を符号拡張し、書き込み時には無視します。また、ACC0 は乗算命令（EMUL、EMULU、FMUL、MUL）、積和演算命令（RMPA）でも使用され、これらの命令実行の際は ACC0 の値が変更されます。

ACC0、ACC1 への書き込みには、「MVTACGU 命令」、「MVTACHI 命令」と「MVTACLO 命令」を使用します。「MVTACGU 命令」は（b95 ~ b64）に、「MVTACHI 命令」は上位側 32 ビット（b63 ~ b32）に、「MVTACLO 命令」は下位側 32 ビット（b31 ~ b0）にデータを転送します。

読み出しには、「MVFACGU 命令」、「MVFACHI 命令」、「MVFACMI 命令」と「MVFACLO 命令」を使用します。

「MVFACGU 命令」でガードビット（b95 ~ b64）、「MVFACHI 命令」で上位側 32 ビット（b63 ~ b32）、「MVFACMI 命令」で中央の 32 ビット（b47 ~ b16）、「MVFACLO 命令」で下位側 32 ビット（b31 ~ b0）のデータをそれぞれ読み出します。



注. b95 ~ b72 は、b71 の値を符号拡張した値が読み出されます。この部分への書き込みは無視されます。

2.3 プロセッサモード

RXv2 CPUには、スーパーバイザモード、およびユーザモードの2つのプロセッサモードがあります。これらのプロセッサモードとメモリプロテクション機能を使用して、CPUリソースやメモリに対する階層的な保護機構を実現することができます。各プロセッサモードには、メモリアクセスや実行可能な命令に対する権限を規定しており、スーパーバイザモードはユーザモードより高い権限を持っています。リセット後は、スーパーバイザモードで動作します。

2.3.1 スーパーバイザモード

スーパーバイザモードでは、すべてのCPUリソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC命令によるプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) への書き込みは無視されます。PMビットへの書き込み方法については、「2.2.2.5 プロセッサステータスワード (PSW)」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部のCPUリソースへのライトアクセスが制限されます。ライトアクセスが制限されるCPUリソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード (PSW) の一部のビット (IPL[3:0]、PM、U、I)
- 割り込みスタックポインタ (ISP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- バックアップ PSW (BPSW)
- バックアップ PC (BPC)
- 高速割り込みベクタレジスタ (FINTV)

2.3.3 特権命令

特権命令は、スーパーバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、MVTIPL、RTE、WAIT命令があります。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) によって切り替えられます。ただし、MVTC、POPC命令によるPMビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパーバイザモードへの移行

例外が発生するとPSW.PMビットが“0”になり、CPUはスーパーバイザモードへ移行します。ハードウェア前処理は、スーパーバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避されたPSW.PMビットに保持されます。

(2) スーパーバイザモードからユーザモードへの移行

スタック上に退避されているPSW.PMビットを“1”にした後RTE命令を実行する、あるいはバックアップPSW (BPSW) に退避されているPSW.PMビットを“1”にした後RTFI命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSWのスタックポインタ指定ビット (U) が“1”になります。

2.4 データタイプ

RXv2 CPU は、整数、浮動小数点数、ビット、ストリングの4種類のデータを扱うことができます。

詳細は「RXファミリ RXv2 命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編」を参照してください。

2.4.1 整数

整数には、符号付きと、符号なしがあります。符号付き整数の負の値は、2の補数で表現します。

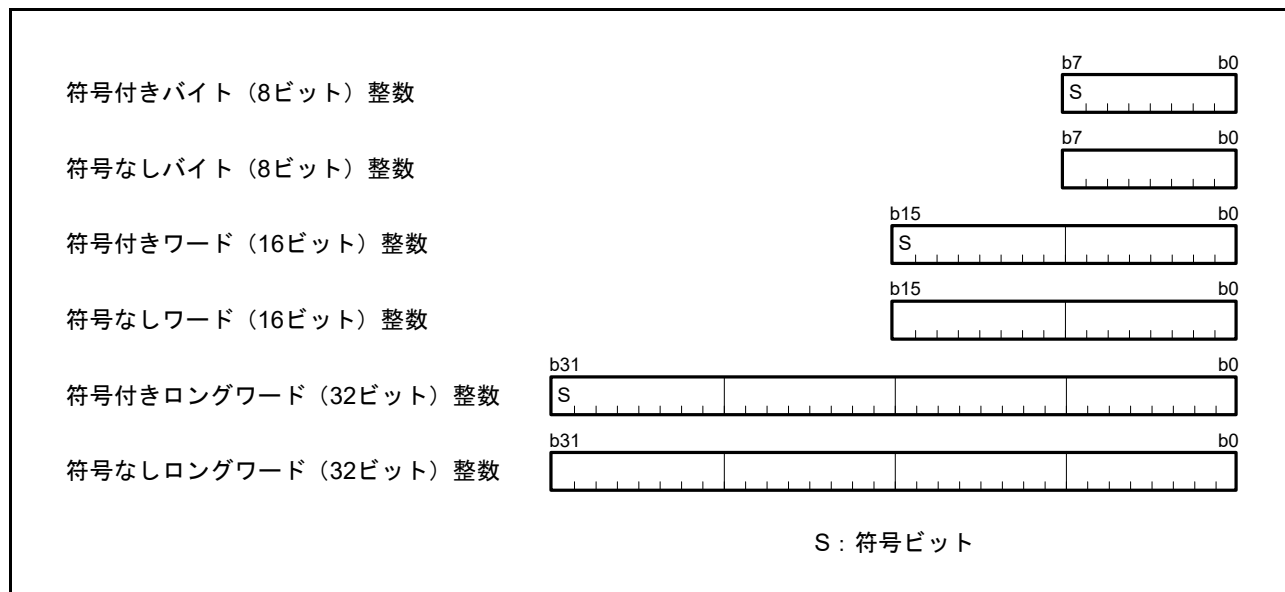


図 2.2 整数

2.4.2 浮動小数点数

浮動小数点数は、IEEE754規格で規定されている単精度浮動小数点数に準拠しています。浮動小数点数は、浮動小数点演算命令 FADD, FCMP, FDIV, FMUL, FSQRT, FSUB, FTOI, FTOU, ITOF, ROUND, UTOF の 11 種類の命令で使用できます。

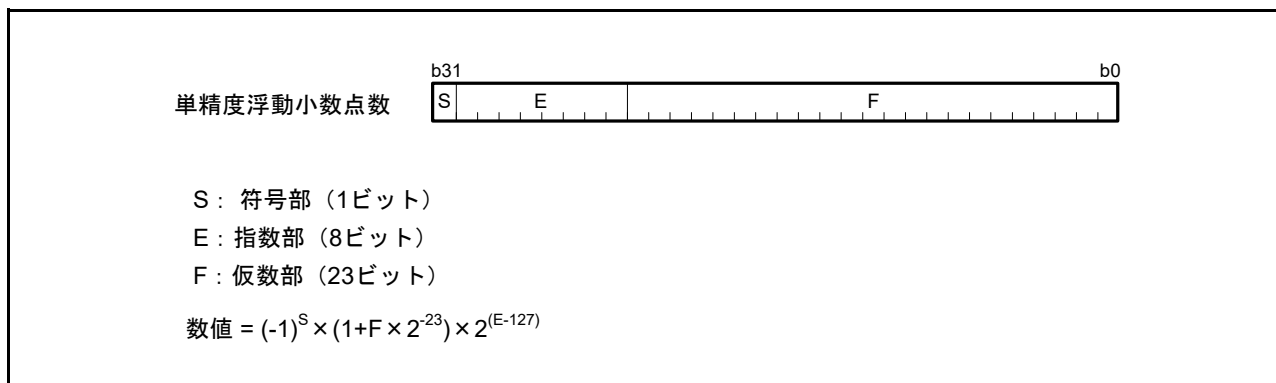


図 2.3 浮動小数点数

浮動小数点数は、以下の数値に対応しています。

0 < E < 255 (正規化数 - Normal Numbers)

E = 0 かつ F = 0 (ゼロ - Signed Zero)

E = 0 かつ F > 0 (非正規化数 - Subnormal Numbers) (注 1)

E = 255 かつ F = 0 (無限大 - Infinity)

E = 255 かつ F > 0 (非数 - NaN: Not a Number)

注 1. FPSW.DN ビットが“1”のときは、0として扱います。DN ビットが“0”のときは、非実装処理が発生します。

2.4.3 ビット

ビットは、ビット操作命令 BCLR, BMCnd, BNOT, BSET, BTST の 5 種類の命令で使用できます。

レジスタのビットは、対象とするレジスタと、31 ~ 0 のビット番号で指定します。

メモリのビットは、対象とするアドレスと、7 ~ 0 のビット番号で指定します。アドレス指定に使用できるアドレッシングモードは、レジスタ間接、レジスタ相対の 2 種類です。

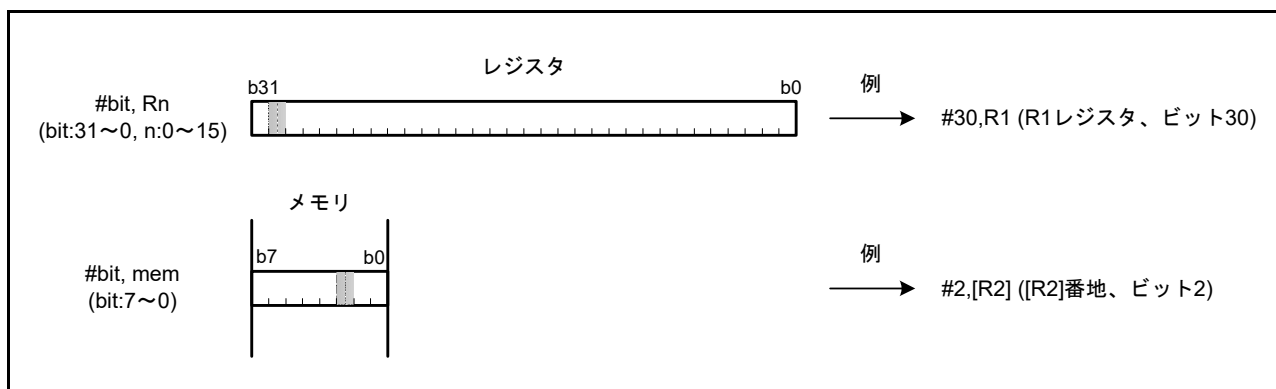


図 2.4 ビット

2.4.4 スtring

Stringとは、バイト（8ビット）、ワード（16ビット）、またはロングワード（32ビット）のデータを任意の数だけ連続して並べたデータタイプです。Stringは、String操作命令 SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE の7種類の命令で使用できます

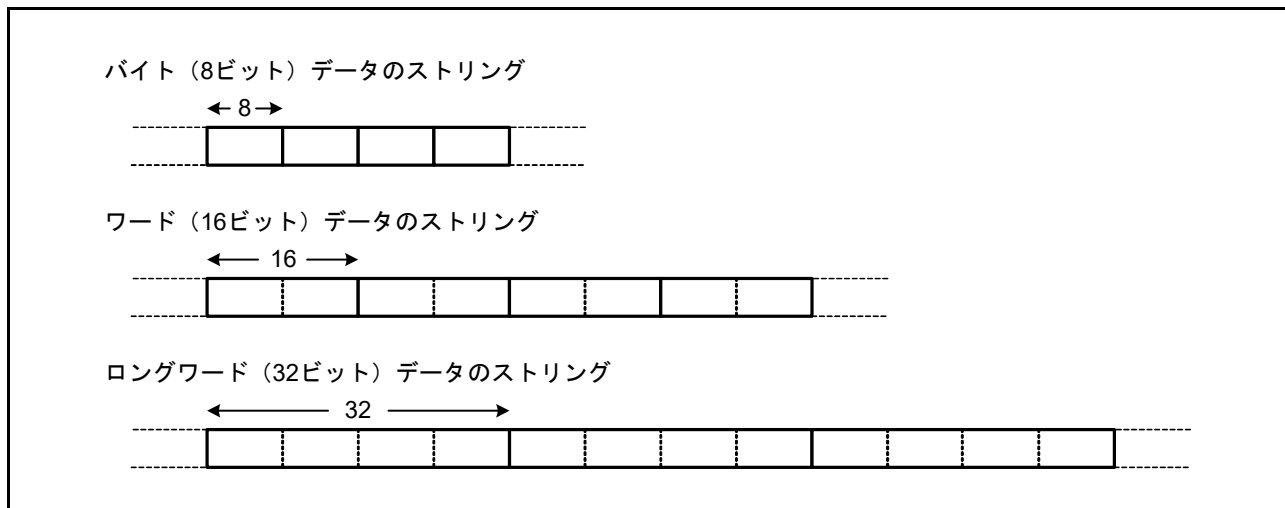


図 2.5 String

2.5 エンディアン

RXv2 CPU の命令は、リトルエンディアン固定です。

データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1 エンディアンの設定

本 MCU では、バイトデータの並び方を、上位バイト (MSB) が 0 番地になるビッグエンディアン、下位バイト (LSB) が 0 番地になるリトルエンディアンのいずれも使用できます。

エンディアンの設定については、「3. 動作モード」を参照してください。

命令によって 8/16/32 ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表 2.1 ~ 表 2.12 に示します。

表中の

LL は、汎用レジスタの D7 ~ D0

LH は、汎用レジスタの D15 ~ D8

HL は、汎用レジスタの D23 ~ D16

HH は、汎用レジスタの D31 ~ D24 を示します。

	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0
汎用レジスタ Rm	HH	HL	LH	LL

表 2.1 リトルエンディアン設定時の 32 ビットリード動作

動作 src 番地	0 番地を 32 ビットで リード	1 番地を 32 ビットで リード	2 番地を 32 ビットで リード	3 番地を 32 ビットで リード	4 番地を 32 ビットで リード
0 番地	LL に転送	—	—	—	—
1 番地	LH に転送	LL に転送	—	—	—
2 番地	HL に転送	LH に転送	LL に転送	—	—
3 番地	HH に転送	HL に転送	LH に転送	LL に転送	—
4 番地	—	HH に転送	HL に転送	LH に転送	LL に転送
5 番地	—	—	HH に転送	HL に転送	LH に転送
6 番地	—	—	—	HH に転送	HL に転送
7 番地	—	—	—	—	HH に転送

表 2.2 ビッグエンディアン設定時の 32 ビットリード動作

動作 src 番地	0 番地を 32 ビットで リード	1 番地を 32 ビットで リード	2 番地を 32 ビットで リード	3 番地を 32 ビットで リード	4 番地を 32 ビットで リード
0 番地	HH に転送	—	—	—	—
1 番地	HL に転送	HH に転送	—	—	—
2 番地	LH に転送	HL に転送	HH に転送	—	—
3 番地	LL に転送	LH に転送	HL に転送	HH に転送	—
4 番地	—	LL に転送	LH に転送	HL に転送	HH に転送
5 番地	—	—	LL に転送	LH に転送	HL に転送
6 番地	—	—	—	LL に転送	LH に転送
7 番地	—	—	—	—	LL に転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	LLを転送	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—
2番地	HLを転送	LHを転送	LLを転送	—	—
3番地	HHを転送	HLを転送	LHを転送	LLを転送	—
4番地	—	HHを転送	HLを転送	LHを転送	LLを転送
5番地	—	—	HHを転送	HLを転送	LHを転送
6番地	—	—	—	HHを転送	HLを転送
7番地	—	—	—	—	HHを転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	HHを転送	—	—	—	—
1番地	HLを転送	HHを転送	—	—	—
2番地	LHを転送	HLを転送	HHを転送	—	—
3番地	LLを転送	LHを転送	HLを転送	HHを転送	—
4番地	—	LLを転送	LHを転送	HLを転送	HHを転送
5番地	—	—	LLを転送	LHを転送	HLを転送
6番地	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	LLを転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.10 ビッグエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.11 リトルエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

表2.12 ビッグエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

2.5.2 I/O レジスタアクセス

I/O レジスタはビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがってI/O レジスタへのアクセスは、エンディアン変更の影響を受けません。I/O レジスタの配置については、各章のレジスタの説明を参照してください。

2.5.3 I/O レジスタアクセスの注意事項

I/O レジスタは、以下の規則に従ってアクセスしてください。

- 8ビットバス幅指定のI/O レジスタは、サイズ指定子 (.size) が .B であるか、サイズ拡張指定子 (.memex) が .B または .UB である命令を使用してアクセスしてください。
- 16ビットバス幅指定のI/O レジスタは、サイズ指定子 (.size) が .W であるか、サイズ拡張指定子 (.memex) が .W または .UW である命令を使用してアクセスしてください。
- 32ビットバス幅指定のI/O レジスタは、サイズ指定子 (.size) が .L であるか、サイズ拡張指定子 (.memex) が .L である命令を使用してアクセスしてください。

2.5.4 データ配置

2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を図 2.6 に示します。

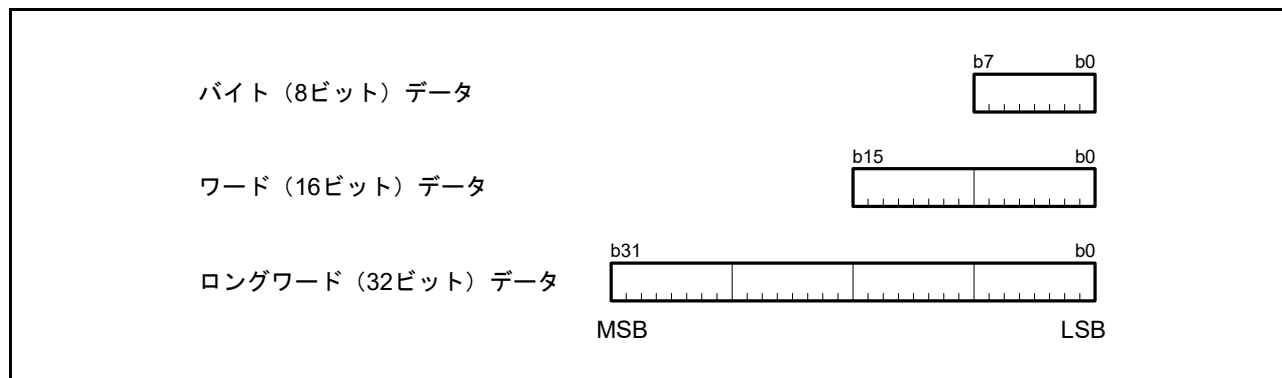


図 2.6 レジスタのデータ配置

2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット) の 3 種類です。データ配置は、リトルエンディアンか、ビッグエンディアンかを選択することができます。メモリ上のデータ配置を図 2.7 に示します。

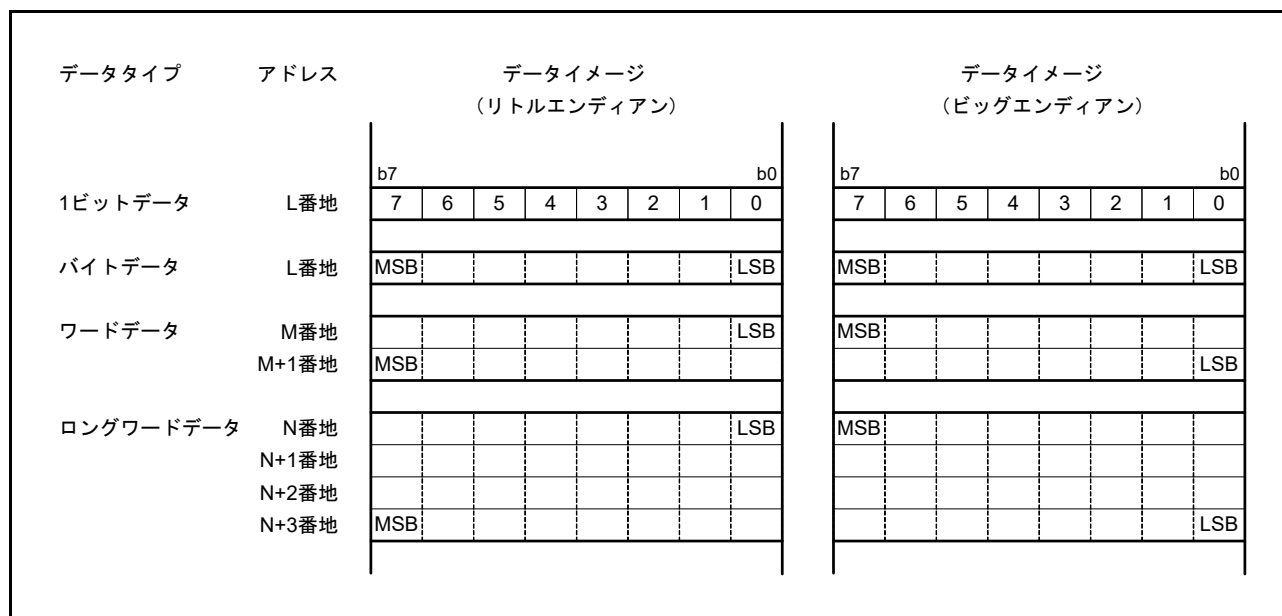


図 2.7 メモリ上のデータ配置

2.5.5 命令コード配置の注意事項

外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.6 ベクタテーブル

ベクタテーブルには、例外ベクタテーブルと割り込みベクタテーブルがあります。ベクタテーブルは、1ベクタあたり4バイトで構成されており、各ベクタに対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 例外ベクタテーブル

例外ベクタテーブルは、例外テーブルレジスタ (EXTB) の内容で示された値を先頭アドレス (ExtBase) とする 124 バイトの領域に、特権命令例外、アクセス例外、未定義命令例外、浮動小数点例外、ノンマスカブル割り込みの各ベクタを配置しています。リセットのベクタは例外ベクタテーブルの値に関係なく常に FFFFFFFCh 番地に配置されます。図 2.8 に例外ベクタテーブルを示します。

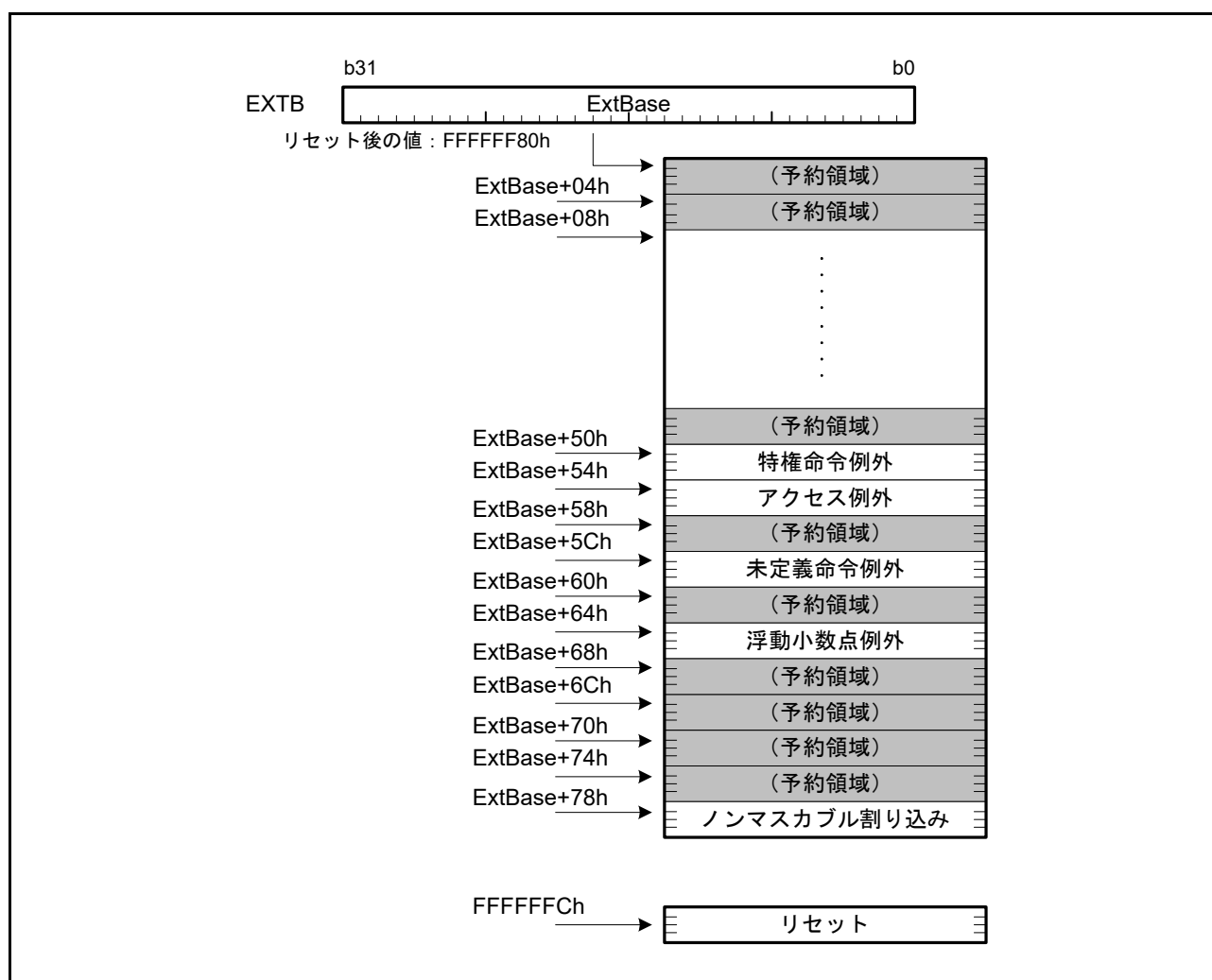


図 2.8 例外ベクタテーブル

2.6.2 割り込みベクタテーブル

割り込みベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ (INTB) の内容で示された値を先頭アドレス (IntBase) とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。図 2.9 に割り込みベクタテーブルを示します。

割り込みベクタテーブルには、ベクタごとに番号 (0 ~ 255) が付けられています。無条件トラップ発生要因の INT 命令ではオペランドで指定した番号 (0 ~ 255) に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。また、割り込み要因では、製品ごとに決められたベクタ番号 (0 ~ 255) が割り当てられています。割り込みのベクタ番号については、「15.3.1 割り込みのベクタテーブル」を参照してください。

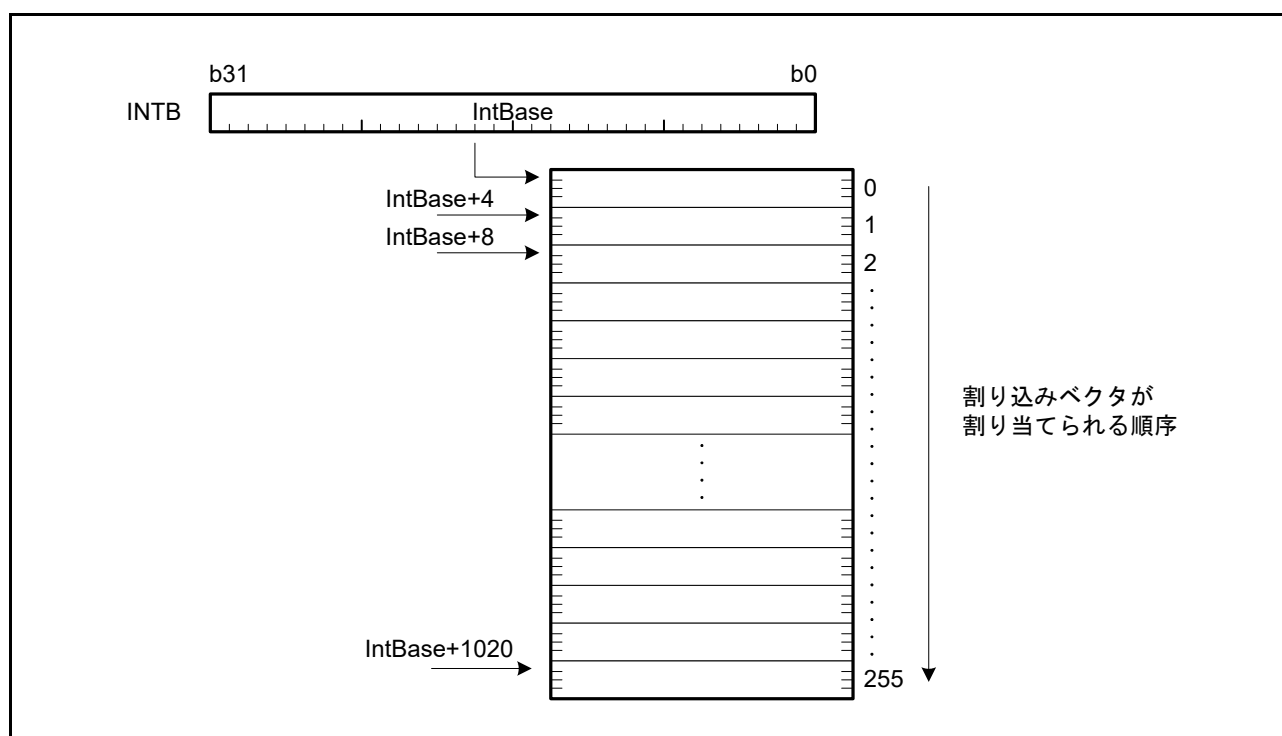


図 2.9 割り込みベクタテーブル

2.7 命令動作

2.7.1 RMPA 命令、ストリング操作命令に関する制約事項

2.7.1.1 転送サイズとデータプリフェッチ

RMPA 命令、およびストリング操作命令（SCMPU, SMOVB, SMOVE, SMOVU, SSTR, SUNTIL, SWHILE）は、メモリからのデータ読み出し、およびメモリへのデータ書き込みを高速に処理するため、ロングワード単位でデータ転送を行います。最後にロングワード未満のデータ処理が残った場合、以下のサイズでデータ転送を行います。

- RMPA, SSTR, SUNTIL, SWHILE 命令：サイズ指定子で指定したサイズ
- SCMPU, SMOVB, SMOVE, SMOVU 命令：バイト

また、上記の処理を行うため、RMPA 命令、および SSTR 命令を除くストリング操作命令（SCMPU, SMOVB, SMOVE, SMOVU, SUNTIL, SWHILE）は、メモリからのデータ読み出しにおいて、データプリフェッチを行います。データ読み出し位置に対して、最大で3バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令：R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令：R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL, SWHILE 命令：R1 で指定される比較先番地
- SMOVB, SMOVE, SMOVU 命令：R2 で指定される転送元番地

2.7.1.2 外部空間へのアクセス

外部空間には領域ごとのエンディアン切り替え機能（データのみ）がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、およびストリング操作命令（SCMPU, SMOVB, SMOVE, SMOVU, SSTR, SUNTIL, SWHILE）の操作対象データを配置することは禁止しており、その動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.7.1.3 I/O レジスタへのアクセス

RMPA 命令、ストリング操作命令（SCMPU, SMOVB, SMOVE, SMOVU, SSTR, SUNTIL, SWHILE）の操作対象データを I/O レジスタに配置することは禁止しており、その動作は保証していません。

2.8 サイクル数

2.8.1 命令とサイクル数

表 2.13 ～表 2.20 に各命令実行のサイクル数を示します。メモリアクセスを行う命令のサイクル数は、ノーウェイトメモリアクセス時のサイクル数です。また、表中のオペランド表記は、以下に従います。

#IMM : 即値

flag : ビット、フラグ

Rs, Rs2, Rd, Rd2, Ri, Rb : 汎用レジスタ

As, Ad : アキュムレータ

CR : 制御レジスタ

dsp : ディスプレースメント

pcdsp : ディスプレースメント

表 2.13 算術/論理演算命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
算術/論理演算命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> • {ABS, NEG, NOT} "Rd"/"Rs, Rd" • {ADC, MAX, MIN, ROTL, ROTR, XOR} "#IMM, Rd"/"Rs, Rd" • ADD "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd"/"Rs, Rs2, Rd" • {AND, MUL, OR, SUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd" • {CMP, TST} "#IMM, Rs"/"Rs, Rs2" • NOP • {ROLC, RORC, SAT} "Rd" • SBB "Rs, Rd" • {SHAR, SHLL, SHLR} "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd" 	1
	• DIV "#IMM, Rd"/"Rs, Rd"	3 ~ 20 (注1)
	• DIVU "#IMM, Rd"/"Rs, Rd"	2 ~ 18 (注1)
	• {EMUL, EMULU} "#IMM, Rd"/"Rs, Rd"	2
	• SATR	3
算術/論理演算命令 (メモリスソースオペランド)	<ul style="list-style-type: none"> • {ADC, ADD, AND, MAX, MIN, MUL, OR, SBB, SUB, XOR} "[Rs], Rd"/"dsp[Rs], Rd" • {CMP, TST} "[Rs], Rs2"/"dsp[Rs], Rs2" 	3
	• DIV "[Rs], Rd / dsp[Rs], Rd"	5 ~ 22
	• DIVU "[Rs], Rd / dsp[Rs], Rd"	4 ~ 20
	• {EMUL, EMULU} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• RMPA.B	6+7×floor(n/4)+4×(n%4) nは処理バイト数 (注2)
	• RMPA.W	6+5×floor(n/2)+4×(n%2) nは処理ワード数 (注2)
• RMPA.L	6+4n nは処理ロングワード数 (注2)	

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。

注2. floor(x) : x以下の最大の整数

表2.14 転送命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
転送命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> MOV "#IMM, Rd"/"Rs, Rd" {MOVU, REVL, REVW} "Rs, Rd" SCCnd "Rd" {STNZ, STZ} "#IMM, Rd"/"Rs, Rd" 	1
	<ul style="list-style-type: none"> XCHG "Rs, Rd" 	2
転送命令 (ロード動作)	<ul style="list-style-type: none"> {MOV, MOVU} "[Rs], Rd"/"dsp[Rs], Rd"/"Rs+, Rd"/"[-Rs], Rd"/"Ri, Rb], Rd" MOVLI "[Rs], Rd" POP "Rd" 	スループット : 1 レイテンシ : 2 (注1)
	<ul style="list-style-type: none"> POPC "CR" 	スループット : 3 レイテンシ : 4 (注1)
	<ul style="list-style-type: none"> POPM "Rd-Rd2" 	スループット : n レイテンシ : n+1 nはレジスタ数 (注1、注2)
転送命令 (ストア動作)	<ul style="list-style-type: none"> MOV "Rs, [Rd]"/"Rs, dsp[Rd]"/"Rs, [Rd+]" /"Rs, [-Rd]"/"Rs, [Ri, Rb]"/"#IMM, dsp[Rd]"/"#IMM, [Rd]" PUSH "Rs" PUSHC "CR" SCCnd "[Rd]"/"dsp[Rd]" MOVCO "Rs, [Rd]" 	1
	<ul style="list-style-type: none"> PUSHM "Rs-Rs2" 	n nはレジスタ数 (注3)
転送命令 (メモリーレジスタの交換)	<ul style="list-style-type: none"> XCHG "[Rs], Rd"/"dsp[Rs], Rd" 	2
転送命令 (メモリ間転送)	<ul style="list-style-type: none"> MOV "[Rs], [Rd]"/"dsp[Rs], [Rd]"/"Rs, dsp[Rd]"/"dsp[Rs], dsp[Rd]" PUSH "[Rs]"/"dsp[Rs]" 	3

注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は「レイテンシ」として記載されているサイクル数を参照してください。それ以外は「スループット」として記載されているサイクル数を参照してください。

注2. POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じ処理です。

注3. PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じ処理です。

表2.15 ビット操作命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
ビット操作命令 (レジスタ)	<ul style="list-style-type: none"> {BCLR, BNOT, BSET} "#IMM, Rd"/"Rs, Rd" BMCnd "#IMM, Rd" BTST "#IMM, Rs"/"Rs, Rs2" 	1
ビット操作命令 (メモリスソースオペランド)	<ul style="list-style-type: none"> {BCLR, BNOT, BSET} "#IMM, [Rd]"/"#IMM, dsp[Rd]"/"Rs, [Rd]"/"Rs, dsp[Rd]" BMCnd "#IMM, [Rd]"/"#IMM, dsp[Rd]" BTST "#IMM, [Rs]"/"#IMM, dsp[Rs]"/"Rs, [Rs2]"/"Rs, dsp[Rs2]" 	3

表 2.16 分岐命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
分岐命令	<ul style="list-style-type: none"> • BCnd "pcdsp" • {BRA, BSR} "pcdsp"/"Rs" • {JMP, JSR} "Rs" 	分岐成立 : 3 分岐不成立 : 1
	• RTE	6
	• RTFI	3
	• RTS	5
	• RTSD "#IMM"	5
	• RTSD "#IMM, Rd-Rd2"	スループット : $n < 5 ? 5 : 1 + n$ レイテンシ : $n < 4 ? 5 : 2 + n$ nはレジスタ数 (注1)

?: 条件演算子

注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スループット”として記載されているサイクル数を参照してください。

表 2.17 浮動小数点演算命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
浮動小数点演算命令 (レジスタ間、即値-レジスタ)	• {FADD, FSUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd"	2
	• FCMP "#IMM, Rs"/"Rs, Rs2"	1
	• FDIV "#IMM, Rd"/"Rs, Rd"	16
	• FMUL "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd"	2
	• FSQRT "Rs, Rd"	16
	• {FTOI, ROUND, ITOF} "Rs, Rd"	2
	• {FTOU, UTOF} "Rs, Rd"	2
浮動小数点演算命令 (メモリソースオペランド)	• {FADD, FSUB} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• FCMP "[Rs], Rs2"/"dsp[Rs], Rs2"	3
	• FDIV "[Rs], Rd"/"dsp[Rs], Rd"	18
	• FMUL "[Rs], Rd"/"dsp[Rs], Rd"	4
	• FSQRT "[Rs], Rd"/"dsp[Rs], Rd"	18
	• {FTOI, ROUND, ITOF} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• {FTOU, UTOF} "[Rs], Rd"/"dsp[Rs], Rd"	4

表 2.18 DSP機能命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
DSP機能命令	<ul style="list-style-type: none"> • {EMULA, EMACA, EMSBA, MULLH, MULHI, MULLO, MACLH, MACHI, MACLO, MSBLH, MSBHI, MSBLO} "Rs, Rs2, Ad" • {MVFACHI, MVFACMI, MVFACLO, MVFACGU} "#IMM, As, Rd" • {MVTACHI, MVTACLO, MVTACGU} "As, Rd" • {RDACW, RDA CL, RACW, RA CL} "#IMM, Ad" 	1

表2.19 スtring操作命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
String操作命令 (注1)	• SCMPU	$2+4 \times \text{floor}(n/4)+4 \times (n\%4)$ nは比較バイト数 (注2)
	• SMOVB	$n > 3 ? 6+3 \times \text{floor}(n/4)+3 \times (n\%4): 2+3n$ nは転送バイト数 (注2)
	• SMOVF, SMOVU	$2+3 \times \text{floor}(n/4)+3 \times (n\%4)$ nは転送バイト数 (注2)
	• SSTR.B	$2+\text{floor}(n/4)+n\%4$ nは転送バイト数 (注2)
	• SSTR.W	$2+\text{floor}(n/2)+n\%2$ nは転送ワード数 (注2)
	• SSTR.L	$2+n$ nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	$3+3 \times \text{floor}(n/4)+3 \times (n\%4)$ nは比較バイト数 (注2)
	• SUNTIL.W, SWHILE.W	$3+3 \times \text{floor}(n/2)+3 \times (n\%2)$ nは比較ワード数 (注2)
	• SUNTIL.L, SWHILE.L	$3+3 \times n$ nは比較ロングワード数

?: 条件演算子

注1. SCMPU, SMOVU, SWHILE, SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。

注2. floor(x) : x以下の最大の整数

表2.20 システム操作命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
システム操作命令	• {CLRPSW, SETPSW}“flag” • MVTC “#IMM, CR”/“Rs, CR” • MVFC “CR, Rd” • MVTIPL “#IMM”	1
	• RTE	6
	• RTFI	3

2.8.2 割り込み応答サイクル数

表 2.21 に割り込み応答処理のサイクル数を示します。

表 2.21 割り込み応答サイクル数

割り込み要求の種類/処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受け付けまでのサイクル数	Nサイクル (実行している命令によって異なる)	
CPU ハードウェア前処理 PC, PSWのRAMへの退避 (高速割り込みは、制御レジスタへ退避) ベクタの読み出し 例外処理ルーチンへ分岐	4サイクル	6サイクル

表 2.21 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。本 MCU は、ノーウェイトアクセス可能なコードフラッシュメモリ、RAM を搭載しています。プログラム（含むベクタ）はコードフラッシュメモリ、スタック領域は RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受け付けまでのサイクル数 N は、表 2.13 ～表 2.20 を参照してください。

割り込み受け付けタイミングは命令の実行状態に依存します。割り込み受け付けタイミングについては、「14.3.1 受け付けタイミングと退避される PC 値」を参照してください。

3. 動作モード

3.1 動作モードの種類と選択

動作モードには、リセット解除時の端子のレベルによって選択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

リセット解除時のモード設定端子（MD、UB）のレベルと、そのとき選択される動作モードの関係を表 3.1 に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。いずれのモードで起動した場合でも、内蔵 ROM（ROM、E2 データフラッシュ）有効、外部バス無効の状態で作動を開始します。外部バスを有効にする場合は SYSCR0.EXBE ビットを“1”（外部バス有効）にしてください。

表 3.1 モード設定端子による動作モードの選択

モード設定端子		動作モード	SYSCR0 レジスタ初期状態	
MD (注1)	UB		ROME ビット	EXBE ビット
Low	High	ブートモード (USB インタフェース)	1 (内蔵 ROM 有効)	0 (外部バス無効)
Low	Low	ブートモード (SCI インタフェース)		
High	—	シングルチップモード		

注1. MCU 動作中に MD 端子を変化させないください。

システムコントロールレジスタ 0 (SYSCR0) で設定可能な動作モードの一覧を表 3.2 に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。

表 3.2 レジスタによる動作モードの選択

SYSCR0 レジスタ		動作モード
ROME ビット	EXBE ビット	
0 (内蔵 ROM 無効) (注1)	0 (外部バス無効)	シングルチップモード
1 (内蔵 ROM 有効)	0 (外部バス無効)	
0 (内蔵 ROM 無効) (注1)	1 (外部バス有効)	内蔵 ROM 無効拡張モード
1 (内蔵 ROM 有効)	1 (外部バス有効)	内蔵 ROM 有効拡張モード

注1. ROME ビットを“0”にすると、“1”に戻せません。

シングルチップモードでは、エンディアンを選択することができます。エンディアンの設定は、オプション設定メモリの MDE.MDE[2:0] ビットで設定します。設定値は表 3.3 を参照してください。

表 3.3 エンディアンの選択

MDE.MDE[2:0] ビットの設定値	選択されるエンディアン
000b	ビッグエンディアン
111b	リトルエンディアン

3.2 レジスタの説明

3.2.1 モードモニタレジスタ (MDMONR)

アドレス 0008 0000h

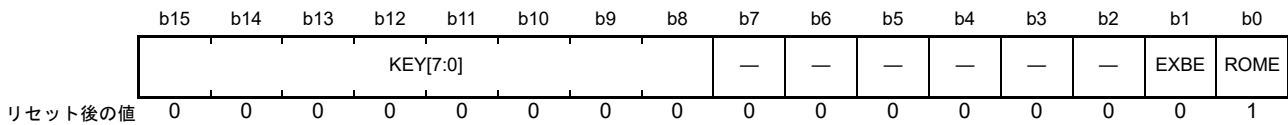
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
リセット後の値	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0/1 (注1)

注1. リセット解除時のMD端子のレベルが反映されます。

ビット	シンボル	ビット名	説明	R/W
b0	MD	MD端子ステータスフラグ	0 : MD端子は“Low” 1 : MD端子は“High”	R
b7-b1	—	予約ビット	読むと“0”が読めます	R
b8	—	予約ビット	読んだ場合、その値は不定です	R
b15-b9	—	予約ビット	読むと“0”が読めます	R

3.2.2 システムコントロールレジスタ 0 (SYSCR0)

アドレス 0008 0006h



ビット	シンボル	ビット名	説明	R/W
b0	ROME	内蔵ROM有効ビット	0: 内蔵ROM無効 1: 内蔵ROM有効	R/W
b1	EXBE	外部バス有効ビット	0: 外部バス無効 1: 外部バス有効	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	SYSCR0 キーコード	SYSCR0 レジスタの書き換えの可否を制御します。 SYSCR0 レジスタを書き換える場合、上位8ビットに“5Ah”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. 書き込みデータは保持されません。

ROME ビット (内蔵 ROM 有効ビット)

内蔵 ROM (ROM、E2 データフラッシュ) の有効/無効を選択するビットです。

一度“0”にすると、“1”に戻すことはできません。

内蔵 ROM 上のプログラムを実行しているときは、“0”にしないでください。また、ROME ビットに“0”を書いた後は、ROME ビットが“0”になったことを確認してから次の処理を行ってください。

EXBE ビット (外部バス有効ビット)

外部バスの有効/無効を選択するビットです。

外部アドレス空間上のプログラムを実行しているときは、“0”にしないでください。また、外部バスへのアクセスが完了してから“0”を書いてください。また、DMAC の転送範囲に外部アドレス空間が含まれる場合は、DMA 転送を禁止してから実施してください。

EXBE ビットを書き換えた後は、EXBE ビットが書き換わったことを確認してから次の処理を行ってください。

なお、EXBE ビットを“1”にする場合、関連する I/O ポートの設定も必要となります。詳細は「22. マルチファンクションピンコントローラ (MPC)」を参照してください。

3.2.3 システムコントロールレジスタ 1 (SYSCR1)

アドレス 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	説明	R/W
b0	RAME	RAM有効ビット	0 : RAM無効 1 : RAM有効	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

RAME ビット (RAM 有効ビット)

RAMの有効/無効を選択するビットです。

RAMをアクセスしているときは、“0”にしないでください。また、RAMEビットを“0”から“1”に書き換えた後は、RAMEビットが“1”になったことを確認してからRAMをアクセスするようにしてください。

RAMEビットを“0”にしても、RAMの値は保持されます。ただし、「50. 電気的特性」に規定するRAMスタンバイ電圧 (VRAM) 以上の電圧を保持する必要があります。

3.3 動作モードの説明

3.3.1 シングルチップモード

シングルチップモードは、外部バスが無効（SYSCR0.EXBE ビット=0）で、すべての I/O ポートを汎用入出力ポート、周辺機能入出力、または割り込み入力端子として使用できるモードです。

MD 端子を High にしてリセットを解除すると、シングルチップモードで起動します。起動時の内蔵 ROM は有効（SYSCR0.ROME ビット=1）です。ソフトウェアで内蔵 ROM 無効（SYSCR0.ROME ビット=0）にできますが、内蔵 ROM 有効（SYSCR0.ROME ビット=1）に戻すことはできません。

SYSCR0.EXBE ビットを“1”（外部バス有効）にし、内蔵 ROM 有効拡張モードまたは内蔵 ROM 無効拡張モードに移行することで、外部バスを使用することができます。

3.3.2 内蔵 ROM 有効拡張モード

内蔵 ROM が有効（SYSCR0.ROME ビット=1）で、外部バス拡張を有効（SYSCR0.EXBE ビット=1）にしたモードです。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力として使用します。詳細は「22. マルチファンクションピンコントローラ（MPC）」を参照してください。

シングルチップモードで起動後、SYSCR0.EXBE ビットを“1”（外部バス有効）にすると、内蔵 ROM 有効拡張モードになります。

SYSCR0.EXBE ビットを“0”（外部バス無効）にすると、シングルチップモード（内蔵 ROM 有効）に移行します。

SYSCR0.ROME ビットを“0”（内蔵 ROM 無効）にすると、内蔵 ROM 無効拡張モードに移行します。

3.3.3 内蔵 ROM 無効拡張モード

内蔵 ROM が無効（SYSCR0.ROME ビット=0）で、外部バス拡張を有効（SYSCR0.EXBE ビット=1）にしたモードです。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力として使用します。詳細は、「22. マルチファンクションピンコントローラ（MPC）」を参照してください。

シングルチップモードで起動後、SYSCR0.EXBE ビットを“1”（外部バス有効）、SYSCR0.ROME ビットを“0”（内蔵 ROM 無効）にすると、内蔵 ROM 無効拡張モードになります。

内蔵 ROM を有効（SYSCR0.ROME ビット=1）にすることはできません。

SYSCR0.EXBE ビットを“0”（外部バス無効）にすると、シングルチップモード（内蔵 ROM 無効）に移行します。

3.3.4 ブートモード

MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き換えプログラム（ブートプログラム）が動作するモードです。USB または調歩同期式シリアルインタフェース（SCI1）を使用して、MCU 外部から内蔵 ROM（ROM、E2 データフラッシュ）を書き換えることができます。詳細は、「49. フラッシュメモリ」を参照してください。

MD 端子を Low にしてリセットを解除すると、ブートモードで起動します。

3.3.4.1 ブートモード（USB インタフェース）

MD 端子を Low、UB 端子を High にしてリセットを解除すると、ブートモード（USB インタフェース）で起動します。ブートモード（USB インタフェース）については、「49.8.1 ブートモード（USB インタフェース）」を参照してください。

3.3.4.2 ブートモード (SCI インタフェース)

MD 端子を Low、UB 端子を Low にしてリセットを解除すると、ブートモード (SCI インタフェース) で起動します。ブートモード (SCI インタフェース) については、「49.8.2 ブートモード (SCI インタフェース)」を参照してください。

3.4 動作モード遷移

3.4.1 モード設定端子による動作モード遷移

MD 端子、UB 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。

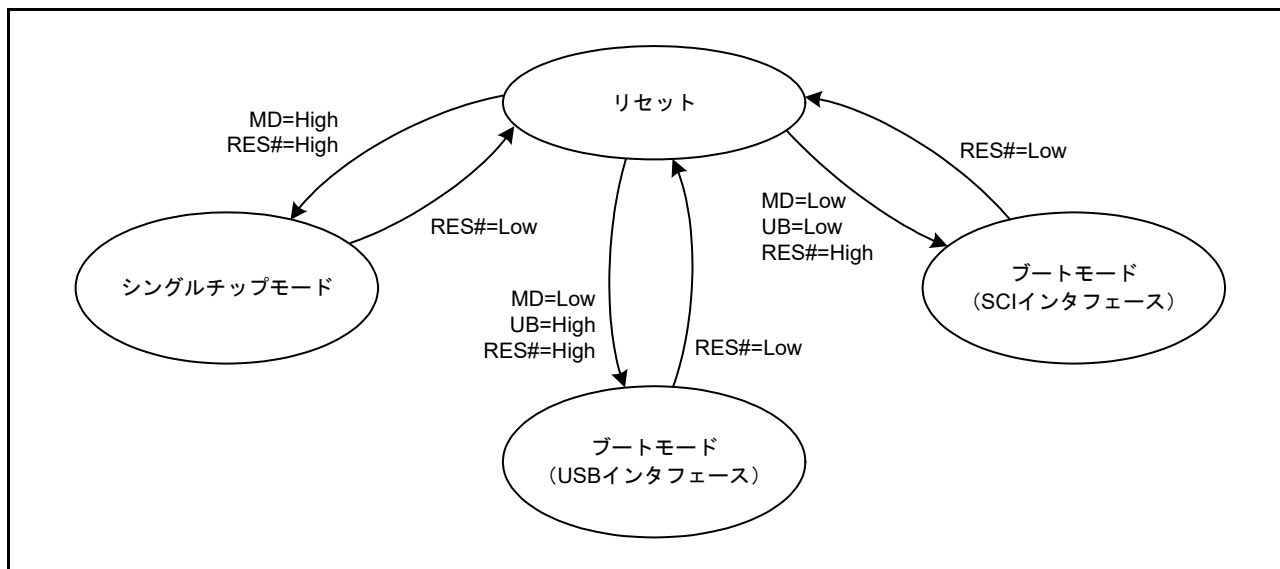


図 3.1 モード設定端子のレベルと動作モード

3.4.2 レジスタ設定による動作モード遷移

SYSCR0.ROME、EXBE ビットの設定による動作モード遷移について、図 3.2 に状態遷移図を示します。

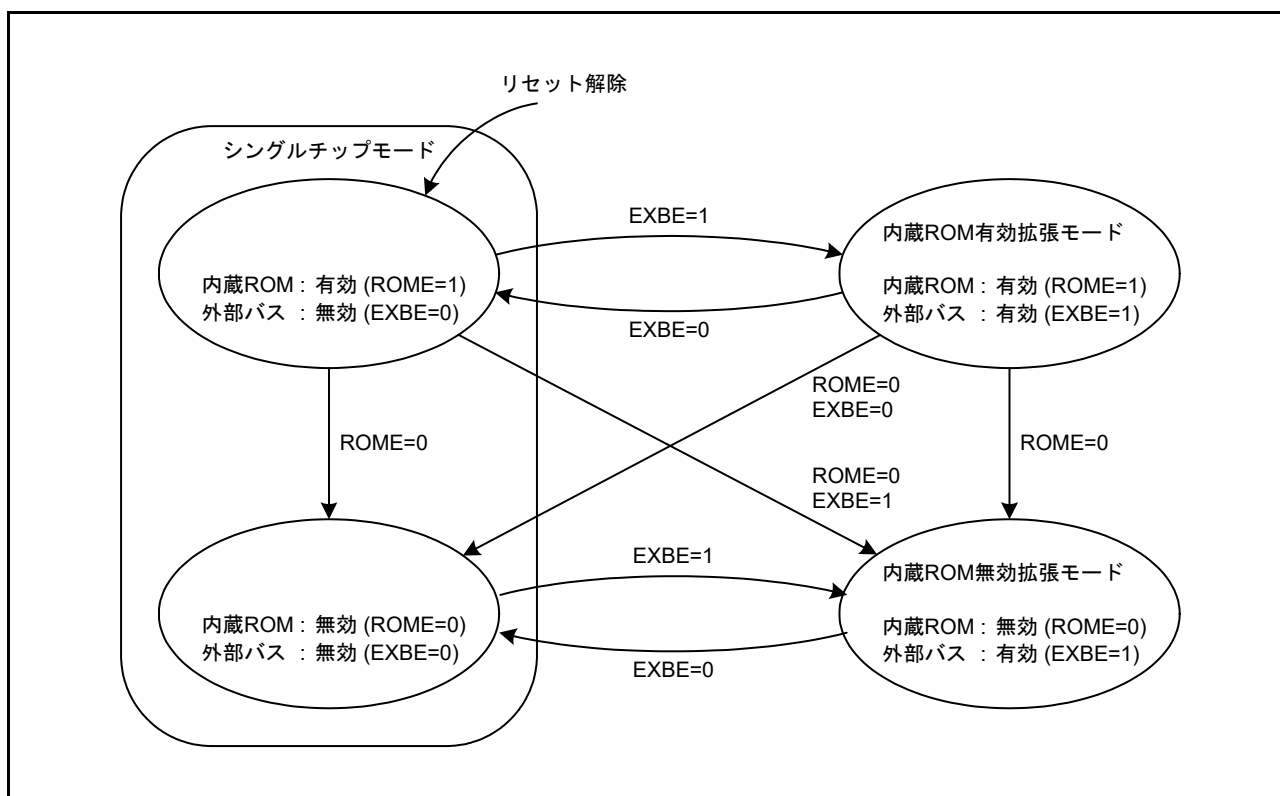


図 3.2 SYSCR0.ROME、EXBE ビットの設定と動作モード

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 4.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって違います。

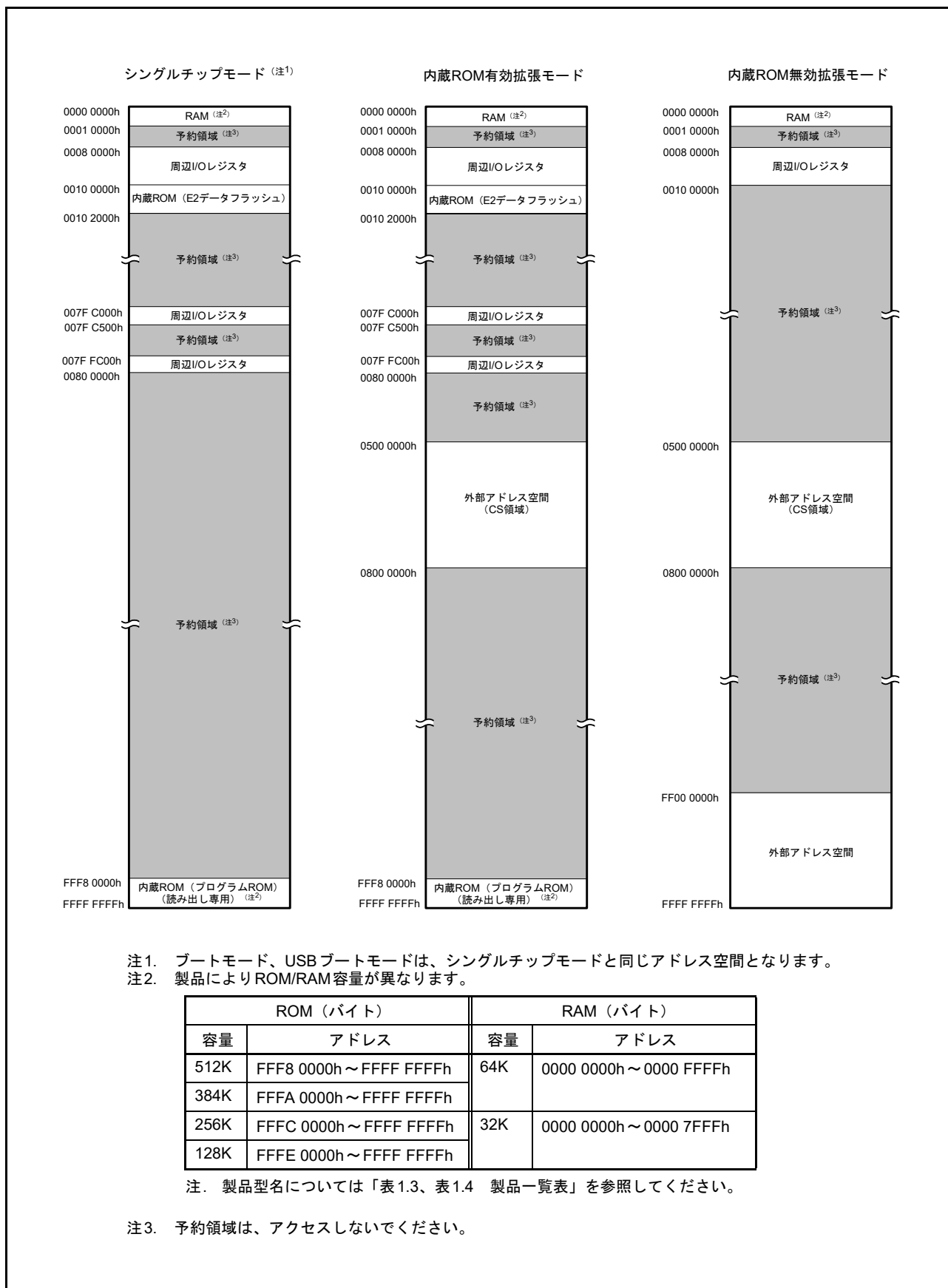


図 4.1 各動作モードのメモリマップ

4.2 外部アドレス空間

外部アドレス空間は、CSn# 端子 (n = 0 ~ 3) から出力される CSn# 信号によって最大4つのCS領域 (CS0 ~ CS3) に分割できます。図 4.2 に内蔵 ROM 無効拡張モード時のCS領域 (CS0 ~ CS3) とアドレスの対応を示します。

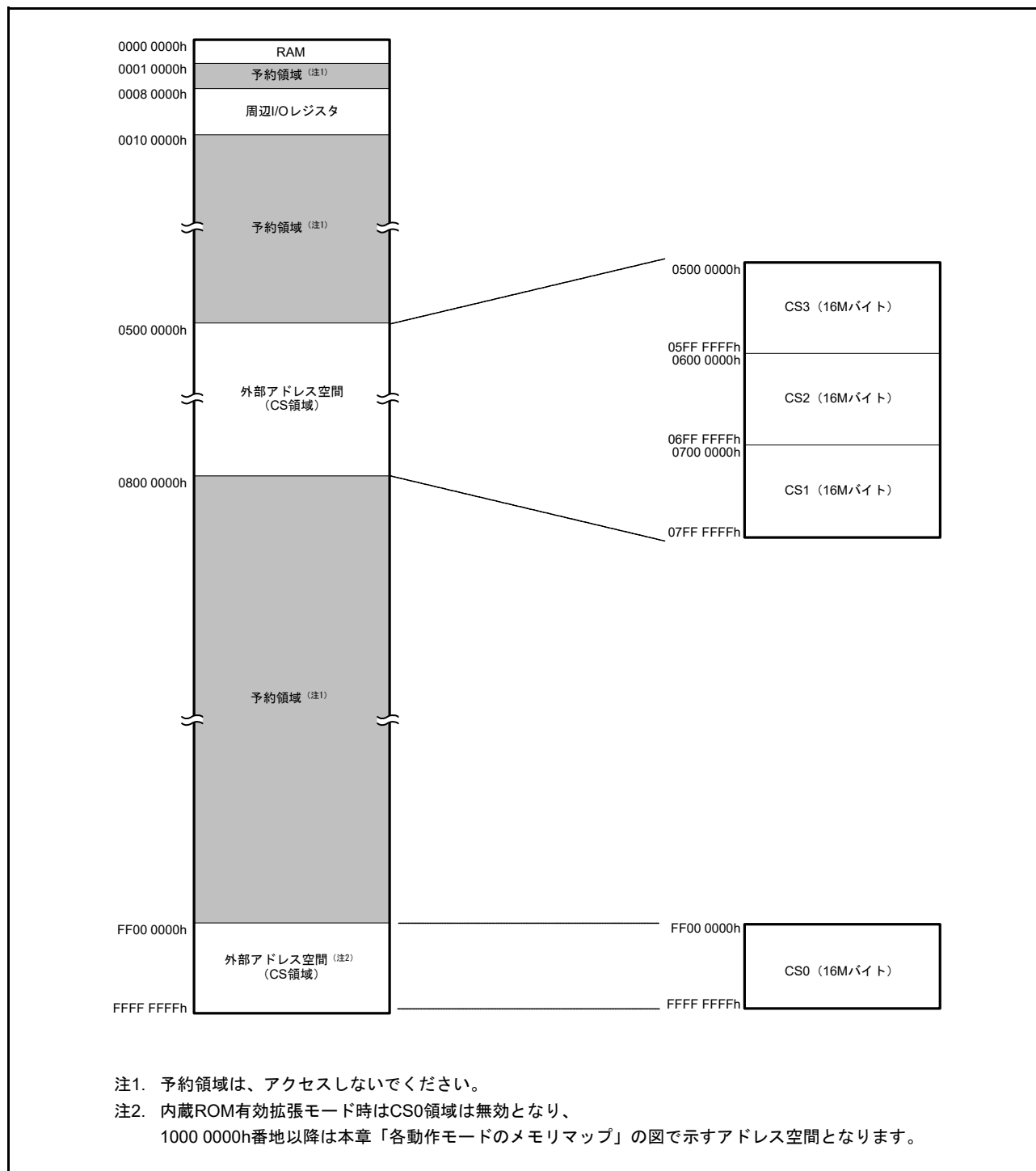


図 4.2 外部アドレス空間とCS領域 (内蔵ROM無効拡張モードの場合)

5. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/O レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/O レジスタ書き込み時の注意事項

CPU が I/O レジスタに書き込む際、CPU は書き込み完了を待たずに後続の命令を実行します。そのため、I/O レジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/O レジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERn.IENj ビット）のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いて WAIT 命令を実行する場合

このような場合には、I/O レジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/O レジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/Oレジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行ったI/Oレジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/Oレジスタアクセスサイクル数

I/Oレジスタアクセスサイクル数は、「表 5.1 I/Oレジスタアドレス一覧」を参照してください。

I/Oレジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\text{I/Oレジスタアクセスサイクル数} = \text{内部メインバス1のバスサイクル数} + \\ \text{分周クロック同期化サイクル数} + \\ \text{内部周辺バス1～6のバスサイクル数}$$

内部周辺バス1～6のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス2～6に接続されている周辺機能、および外部バス制御部のレジスタ（バスエラー関連のレジスタは除く）へアクセスする場合には、分周クロック同期化サイクルが追加されます。

分周クロック同期化サイクル数は、ICLKとPCLK（またはFCLK、BCLK）の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ （または FCLK ）の周波数関係の場合、内部メインバス1のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK（またはFCLK）で最大1サイクルとなるため、表 5.1 では 1PCLK （または FCLK ）の幅を持たせて記載しています。

また、 $\text{ICLK} < \text{PCLK}$ （または FCLK ）の周波数関係の場合、次のバスアクセスが周辺機能が終了した次のICLKサイクルから開始されるため、ICLK単位の記載となっています。

外部バス制御部では内部メインバス1のバスサイクル数と分周クロック同期化サイクル数を合わせると、BCLKで最大1サイクルとなるため、表 5.1 では 1BCLK の幅を持たせて記載しています。

注1. CPUからのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ（DMAC、DTC）のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) RMPA命令、ストリング操作命令に関する制約事項

RMPA命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

(5) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ（「表 5.1 I/Oレジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ）への書き込みは禁止です。

5.1 I/Oレジスタアドレス一覧（アドレス順）

表5.1 I/Oレジスタアドレス一覧 (1/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK		3章
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK		3章
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK		3章
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK		11章
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK		11章
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK		11章
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK		11章
0008 001Ch	SYSTEM	モジュールストップコントロールレジスタD	MSTPCRD	32	32	3ICLK		11章
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK		9章
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK		9章
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK		9章
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK		9章
0008 002Ch	SYSTEM	USB専用PLLコントロールレジスタ	UPLLCR	16	16	3ICLK		9章
0008 002Eh	SYSTEM	USB専用PLLコントロールレジスタ2	UPLLCR2	8	8	3ICLK		9章
0008 0030h	SYSTEM	外部バスクロックコントロールレジスタ	BCKCR	8	8	3ICLK		9章
0008 0031h	SYSTEM	メモリウェイトサイクル設定レジスタ	MEMWAIT	8	8	3ICLK		9章
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK		9章
0008 0033h	SYSTEM	サブクロック発振器コントロールレジスタ	SOSCCR	8	8	3ICLK		9章
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK		9章
0008 0035h	SYSTEM	IWD専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK		9章
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK		9章
0008 0037h	SYSTEM	高速オンチップオシレータコントロールレジスタ2	HOCOCR2	8	8	3ICLK		9章
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3ICLK		9章
0008 003Eh	SYSTEM	CLKOUT出力コントロールレジスタ	CKOCR	16	16	3ICLK		9章
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK		9章
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK		9章
0008 0060h	SYSTEM	低速オンチップオシレータトリミングレジスタ	LOCOTRR	8	8	3ICLK		9章
0008 0064h	SYSTEM	IWD専用オンチップオシレータトリミングレジスタ	ILOCOTRR	8	8	3ICLK		9章
0008 0068h	SYSTEM	高速オンチップオシレータトリミングレジスタ0	HOCOTRR0	8	8	3ICLK		9章
0008 006Bh	SYSTEM	高速オンチップオシレータトリミングレジスタ3	HOCOTRR3	8	8	3ICLK		9章
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK		11章
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK		11章
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK		9章
0008 00AAh	SYSTEM	サブ動作電力コントロールレジスタ	SOPCCR	8	8	3ICLK		11章
0008 00B0h	LPT	ローパワータイマコントロールレジスタ1	LPTCR1	8	8	3ICLK		29章
0008 00B1h	LPT	ローパワータイマコントロールレジスタ2	LPTCR2	8	8	3ICLK		29章
0008 00B2h	LPT	ローパワータイマコントロールレジスタ3	LPTCR3	8	8	3ICLK		29章
0008 00B4h	LPT	ローパワータイマ周期設定レジスタ	LPTPRD	16	16	3ICLK		29章
0008 00B8h	LPT	ローパワータイマコンペアレジスタ0	LPCMR0	16	16	3ICLK		29章
0008 00BCh	LPT	ローパワータイマスタンバイ復帰許可レジスタ	LPWUCR	16	16	3ICLK		29章
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK		6章
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK		6章
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK		8章
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK		8章
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK		8章
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK		8章
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK		13章
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK		16章

表5.1 I/Oレジスタアドレス一覧 (2/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの場合	ICLK < PCLKの場合	
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK		16章
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK		16章
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK		16章
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK		16章
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		18章
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		18章
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		18章
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		18章
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		18章
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		18章
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		18章
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK		18章
0008 201Ch	DMAC0	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		18章
0008 201Dh	DMAC0	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		18章
0008 201Eh	DMAC0	DMAステータスレジスタ	DMSTS	8	8	2ICLK		18章
0008 201Fh	DMAC0	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		18章
0008 2040h	DMAC1	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		18章
0008 2044h	DMAC1	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		18章
0008 2048h	DMAC1	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		18章
0008 204Ch	DMAC1	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		18章
0008 2050h	DMAC1	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		18章
0008 2053h	DMAC1	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		18章
0008 2054h	DMAC1	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		18章
0008 205Ch	DMAC1	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		18章
0008 205Dh	DMAC1	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		18章
0008 205Eh	DMAC1	DMAステータスレジスタ	DMSTS	8	8	2ICLK		18章
0008 205Fh	DMAC1	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		18章
0008 2080h	DMAC2	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		18章
0008 2084h	DMAC2	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		18章
0008 2088h	DMAC2	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		18章
0008 208Ch	DMAC2	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		18章
0008 2090h	DMAC2	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		18章
0008 2093h	DMAC2	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		18章
0008 2094h	DMAC2	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		18章
0008 209Ch	DMAC2	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		18章
0008 209Dh	DMAC2	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		18章
0008 209Eh	DMAC2	DMAステータスレジスタ	DMSTS	8	8	2ICLK		18章
0008 209Fh	DMAC2	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		18章
0008 20C0h	DMAC3	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		18章
0008 20C4h	DMAC3	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		18章
0008 20C8h	DMAC3	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		18章
0008 20CCh	DMAC3	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		18章
0008 20D0h	DMAC3	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		18章
0008 20D3h	DMAC3	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		18章
0008 20D4h	DMAC3	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		18章
0008 20DCh	DMAC3	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		18章
0008 20DDh	DMAC3	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		18章
0008 20DEh	DMAC3	DMAステータスレジスタ	DMSTS	8	8	2ICLK		18章
0008 20DFh	DMAC3	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		18章
0008 2200h	DMAC	DMAモジュール起動レジスタ	DMAST	8	8	2ICLK		18章
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK		19章

表5.1 I/Oレジスタアドレス一覧 (3/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK		19章
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK		19章
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK		19章
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK		19章
0008 3002h	BSC	CS0モードレジスタ	CS0MOD	16	16	1~2BCLK		16章
0008 3004h	BSC	CS0ウェイト制御レジスタ1	CS0WCR1	32	32	1~2BCLK		16章
0008 3008h	BSC	CS0ウェイト制御レジスタ2	CS0WCR2	32	32	1~2BCLK		16章
0008 3012h	BSC	CS1モードレジスタ	CS1MOD	16	16	1~2BCLK		16章
0008 3014h	BSC	CS1ウェイト制御レジスタ1	CS1WCR1	32	32	1~2BCLK		16章
0008 3018h	BSC	CS1ウェイト制御レジスタ2	CS1WCR2	32	32	1~2BCLK		16章
0008 3022h	BSC	CS2モードレジスタ	CS2MOD	16	16	1~2BCLK		16章
0008 3024h	BSC	CS2ウェイト制御レジスタ1	CS2WCR1	32	32	1~2BCLK		16章
0008 3028h	BSC	CS2ウェイト制御レジスタ2	CS2WCR2	32	32	1~2BCLK		16章
0008 3032h	BSC	CS3モードレジスタ	CS3MOD	16	16	1~2BCLK		16章
0008 3034h	BSC	CS3ウェイト制御レジスタ1	CS3WCR1	32	32	1~2BCLK		16章
0008 3038h	BSC	CS3ウェイト制御レジスタ2	CS3WCR2	32	32	1~2BCLK		16章
0008 3802h	BSC	CS0制御レジスタ	CS0CR	16	16	1~2BCLK		16章
0008 380Ah	BSC	CS0リカバリサイクル設定レジスタ	CS0REC	16	16	1~2BCLK		16章
0008 3812h	BSC	CS1制御レジスタ	CS1CR	16	16	1~2BCLK		16章
0008 381Ah	BSC	CS1リカバリサイクル設定レジスタ	CS1REC	16	16	1~2BCLK		16章
0008 3822h	BSC	CS2制御レジスタ	CS2CR	16	16	1~2BCLK		16章
0008 382Ah	BSC	CS2リカバリサイクル設定レジスタ	CS2REC	16	16	1~2BCLK		16章
0008 3832h	BSC	CS3制御レジスタ	CS3CR	16	16	1~2BCLK		16章
0008 383Ah	BSC	CS3リカバリサイクル設定レジスタ	CS3REC	16	16	1~2BCLK		16章
0008 3880h	BSC	CSリカバリサイクル挿入許可レジスタ	CSRECEN	16	16	1~2BCLK		16章
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK		17章
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK		17章
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK		17章
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK		17章
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK		17章
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK		17章
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK		17章
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK		17章
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK		17章
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK		17章
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK		17章
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK		17章
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK		17章
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK		17章
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK		17章
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK		17章
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK		17章
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK		17章
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK		17章
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK		17章
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK		17章
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK		17章
0008 6524h	MPU	領域サーチオバレーションレジスタ	MPOPS	16	16	1ICLK		17章
0008 6526h	MPU	領域インバリデートオバレーションレジスタ	MPOPI	16	16	1ICLK		17章
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK		17章
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK		17章

表5.1 I/Oレジスタアドレス一覧 (4/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK \geq PCLK の場合	ICLK < PCLK の場合	
0008 7010h~ 0008 70FFh	ICU	割り込み要求レジスタ016~割り込み要求レジスタ255	IR016~ IR255	8	8	2ICLK		15章
0008 711Bh~ 0008 71FFh	ICU	DTC起動許可レジスタ027~DTC起動許可レジスタ255	DTCER027~ DTCER255	8	8	2ICLK		15章
0008 7202h~ 0008 721Fh	ICU	割り込み要求許可レジスタ02~割り込み要求許可レジスタ1F	IER02~ IER1F	8	8	2ICLK		15章
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK		15章
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK		15章
0008 7300h~ 0008 73FFh	ICU	割り込み要因プライオリティレジスタ000~割り込み要因プ ライオリティレジスタ255	IPR000~ IPR255	8	8	2ICLK		15章
0008 7400h	ICU	DMAC起動要求選択レジスタ0	DMRSR0	8	8	2ICLK		15章
0008 7404h	ICU	DMAC起動要求選択レジスタ1	DMRSR1	8	8	2ICLK		15章
0008 7408h	ICU	DMAC起動要求選択レジスタ2	DMRSR2	8	8	2ICLK		15章
0008 740Ch	ICU	DMAC起動要求選択レジスタ3	DMRSR3	8	8	2ICLK		15章
0008 7500h~ 0008 7507h	ICU	IRQコントロールレジスタ0~IRQコントロールレジスタ7	IRQCR0~ IRQCR7	8	8	2ICLK		15章
0008 7510h	ICU	IRQ端子デジタルフィルタ許可レジスタ0	IRQFLTE0	8	8	2ICLK		15章
0008 7514h	ICU	IRQ端子デジタルフィルタ設定レジスタ0	IRQFLTC0	16	16	2ICLK		15章
0008 7580h	ICU	ノンマスクابل割り込みステータスレジスタ	NMISR	8	8	2ICLK		15章
0008 7581h	ICU	ノンマスクابل割り込み許可レジスタ	NMIER	8	8	2ICLK		15章
0008 7582h	ICU	ノンマスクابل割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK		15章
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK		15章
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK		15章
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK		15章
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ0	CMSTR0	16	16	2~3PCLKB	2ICLK	27章
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLKB	2ICLK	27章
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLKB	2ICLK	27章
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	2ICLK	27章
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLKB	2ICLK	27章
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLKB	2ICLK	27章
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	2ICLK	27章
0008 8010h	CMT	コンペアマッチタイマスタートレジスタ1	CMSTR1	16	16	2~3PCLKB	2ICLK	27章
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLKB	2ICLK	27章
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLKB	2ICLK	27章
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	2ICLK	27章
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLKB	2ICLK	27章
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLKB	2ICLK	27章
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	2ICLK	27章
0008 8020h	WDT	WDTリフレッシュレジスタ	WDTRR	8	8	2~3PCLKB	2ICLK	30章
0008 8022h	WDT	WDTコントロールレジスタ	WDTCR	16	16	2~3PCLKB	2ICLK	30章
0008 8024h	WDT	WDTステータスレジスタ	WDTSR	16	16	2~3PCLKB	2ICLK	30章
0008 8026h	WDT	WDTリセットコントロールレジスタ	WDTRCR	8	8	2~3PCLKB	2ICLK	30章
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDRR	8	8	2~3PCLKB	2ICLK	31章
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDCR	16	16	2~3PCLKB	2ICLK	31章
0008 8034h	IWDT	IWDTステータスレジスタ	IWDSR	16	16	2~3PCLKB	2ICLK	31章
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDRCR	8	8	2~3PCLKB	2ICLK	31章
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDCSTPR	8	8	2~3PCLKB	2ICLK	31章
0008 8040h	DA	D/Aデータレジスタ0	DADR0	16	16	2~3PCLKB	2ICLK	44章
0008 8042h	DA	D/Aデータレジスタ1	DADR1	16	16	2~3PCLKB	2ICLK	44章
0008 8044h	DA	D/A制御レジスタ	DACR	8	8	2~3PCLKB	2ICLK	44章
0008 8045h	DA	DADRmフォーマット選択レジスタ	DADPR	8	8	2~3PCLKB	2ICLK	44章
0008 8046h	DA	D/A A/D同期スタート制御レジスタ	DAADSCR	8	8	2~3PCLKB	2ICLK	44章
0008 8047h	DA	D/A VREF制御レジスタ	DAVREFCR	8	8	2~3PCLKB	2ICLK	44章

表5.1 I/Oレジスタアドレス一覧 (5/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 8100h	TPU	タイマスタートレジスタ	TSTR	8	8	2~3PCLKB	2ICLK	25章
0008 8101h	TPU	タイマシンクロレジスタ	TSYR	8	8	2~3PCLKB	2ICLK	25章
0008 8108h	TPU0	ノイズフィルタコントロールレジスタ	NFCR	8	8	2~3PCLKB	2ICLK	25章
0008 8109h	TPU1	ノイズフィルタコントロールレジスタ	NFCR	8	8	2~3PCLKB	2ICLK	25章
0008 810Ah	TPU2	ノイズフィルタコントロールレジスタ	NFCR	8	8	2~3PCLKB	2ICLK	25章
0008 810Bh	TPU3	ノイズフィルタコントロールレジスタ	NFCR	8	8	2~3PCLKB	2ICLK	25章
0008 810Ch	TPU4	ノイズフィルタコントロールレジスタ	NFCR	8	8	2~3PCLKB	2ICLK	25章
0008 810Dh	TPU5	ノイズフィルタコントロールレジスタ	NFCR	8	8	2~3PCLKB	2ICLK	25章
0008 8110h	TPU0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	25章
0008 8111h	TPU0	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK	25章
0008 8112h	TPU0	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKB	2ICLK	25章
0008 8113h	TPU0	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKB	2ICLK	25章
0008 8114h	TPU0	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK	25章
0008 8115h	TPU0	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK	25章
0008 8116h	TPU0	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	25章
0008 8118h	TPU0	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK	25章
0008 811Ah	TPU0	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK	25章
0008 811Ch	TPU0	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKB	2ICLK	25章
0008 811Eh	TPU0	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKB	2ICLK	25章
0008 8120h	TPU1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	25章
0008 8121h	TPU1	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK	25章
0008 8122h	TPU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	2ICLK	25章
0008 8124h	TPU1	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK	25章
0008 8125h	TPU1	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK	25章
0008 8126h	TPU1	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	25章
0008 8128h	TPU1	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK	25章
0008 812Ah	TPU1	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK	25章
0008 8130h	TPU2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	25章
0008 8131h	TPU2	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK	25章
0008 8132h	TPU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	2ICLK	25章
0008 8134h	TPU2	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK	25章
0008 8135h	TPU2	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK	25章
0008 8136h	TPU2	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	25章
0008 8138h	TPU2	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK	25章
0008 813Ah	TPU2	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK	25章
0008 8140h	TPU3	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	25章
0008 8141h	TPU3	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK	25章
0008 8142h	TPU3	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKB	2ICLK	25章
0008 8143h	TPU3	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKB	2ICLK	25章
0008 8144h	TPU3	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK	25章
0008 8145h	TPU3	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK	25章
0008 8146h	TPU3	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	25章
0008 8148h	TPU3	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK	25章
0008 814Ah	TPU3	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK	25章
0008 814Ch	TPU3	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKB	2ICLK	25章
0008 814Eh	TPU3	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKB	2ICLK	25章
0008 8150h	TPU4	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	25章
0008 8151h	TPU4	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK	25章
0008 8152h	TPU4	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	2ICLK	25章
0008 8154h	TPU4	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK	25章
0008 8155h	TPU4	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK	25章

表5.1 I/Oレジスタアドレス一覧 (6/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの場合	ICLK < PCLKの場合	
0008 8156h	TPU4	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	25章
0008 8158h	TPU4	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK	25章
0008 815Ah	TPU4	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK	25章
0008 8160h	TPU5	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	25章
0008 8161h	TPU5	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK	25章
0008 8162h	TPU5	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	2ICLK	25章
0008 8164h	TPU5	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK	25章
0008 8165h	TPU5	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK	25章
0008 8166h	TPU5	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	25章
0008 8168h	TPU5	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK	25章
0008 816Ah	TPU5	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK	25章
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	26章
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	26章
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	26章
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	26章
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK	26章
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2~3PCLKB	2ICLK	26章
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK	26章
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2~3PCLKB	2ICLK	26章
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	26章
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8 (注1)	2~3PCLKB	2ICLK	26章
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	26章
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2~3PCLKB	2ICLK	26章
0008 820Ch	TMR0	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK	26章
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	26章
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	26章
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	26章
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	26章
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK	26章
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2~3PCLKB	2ICLK	26章
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK	26章
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2~3PCLKB	2ICLK	26章
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	26章
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8 (注1)	2~3PCLKB	2ICLK	26章
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	26章
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2~3PCLKB	2ICLK	26章
0008 821Ch	TMR2	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK	26章
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2~3PCLKB	2ICLK	39章
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2~3PCLKB	2ICLK	39章
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2~3PCLKB	2ICLK	39章
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2~3PCLKB	2ICLK	35章
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2~3PCLKB	2ICLK	35章
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2~3PCLKB	2ICLK	35章
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2~3PCLKB	2ICLK	35章
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2~3PCLKB	2ICLK	35章
0008 8305h	RIIC0	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2~3PCLKB	2ICLK	35章
0008 8306h	RIIC0	I ² Cバスステータス許可レジスタ	ICSER	8	8	2~3PCLKB	2ICLK	35章
0008 8307h	RIIC0	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2~3PCLKB	2ICLK	35章
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2~3PCLKB	2ICLK	35章
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2~3PCLKB	2ICLK	35章
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2~3PCLKB	2ICLK	35章

表5.1 I/Oレジスタアドレス一覧 (7/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2~3PCLKB	2ICLK	35章
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2~3PCLKB	2ICLK	35章
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2~3PCLKB	2ICLK	35章
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2~3PCLKB	2ICLK	35章
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2~3PCLKB	2ICLK	35章
0008 8310h	RIIC0	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2~3PCLKB	2ICLK	35章
0008 8311h	RIIC0	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2~3PCLKB	2ICLK	35章
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLKB	2ICLK	35章
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLKB	2ICLK	35章
0008 8380h	RSPi0	RSPi制御レジスタ	SPCR	8	8	2~3PCLKB	2ICLK	38章
0008 8381h	RSPi0	RSPiスレーブセレクト極性レジスタ	SSLP	8	8	2~3PCLKB	2ICLK	38章
0008 8382h	RSPi0	RSPi端子制御レジスタ	SPPCR	8	8	2~3PCLKB	2ICLK	38章
0008 8383h	RSPi0	RSPiステータスレジスタ	SPSR	8	8	2~3PCLKB	2ICLK	38章
0008 8384h	RSPi0	RSPiデータレジスタ	SPDR	32	16, 32	2~3PCLKB	2ICLK	38章
0008 8388h	RSPi0	RSPiシーケンス制御レジスタ	SPSCR	8	8	2~3PCLKB	2ICLK	38章
0008 8389h	RSPi0	RSPiシーケンスステータスレジスタ	SPSSR	8	8	2~3PCLKB	2ICLK	38章
0008 838Ah	RSPi0	RSPiビットレートレジスタ	SPBR	8	8	2~3PCLKB	2ICLK	38章
0008 838Bh	RSPi0	RSPiデータコントロールレジスタ	SPDCR	8	8	2~3PCLKB	2ICLK	38章
0008 838Ch	RSPi0	RSPiクロック遅延レジスタ	SPCKD	8	8	2~3PCLKB	2ICLK	38章
0008 838Dh	RSPi0	RSPiスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2~3PCLKB	2ICLK	38章
0008 838Eh	RSPi0	RSPi次アクセス遅延レジスタ	SPND	8	8	2~3PCLKB	2ICLK	38章
0008 838Fh	RSPi0	RSPi制御レジスタ2	SPCR2	8	8	2~3PCLKB	2ICLK	38章
0008 8390h	RSPi0	RSPiコマンドレジスタ0	SPCMD0	16	16	2~3PCLKB	2ICLK	38章
0008 8392h	RSPi0	RSPiコマンドレジスタ1	SPCMD1	16	16	2~3PCLKB	2ICLK	38章
0008 8394h	RSPi0	RSPiコマンドレジスタ2	SPCMD2	16	16	2~3PCLKB	2ICLK	38章
0008 8396h	RSPi0	RSPiコマンドレジスタ3	SPCMD3	16	16	2~3PCLKB	2ICLK	38章
0008 8398h	RSPi0	RSPiコマンドレジスタ4	SPCMD4	16	16	2~3PCLKB	2ICLK	38章
0008 839Ah	RSPi0	RSPiコマンドレジスタ5	SPCMD5	16	16	2~3PCLKB	2ICLK	38章
0008 839Ch	RSPi0	RSPiコマンドレジスタ6	SPCMD6	16	16	2~3PCLKB	2ICLK	38章
0008 839Eh	RSPi0	RSPiコマンドレジスタ7	SPCMD7	16	16	2~3PCLKB	2ICLK	38章
0008 8410h	IRDA	IrDA制御レジスタ	IRCR	8	8	2~3PCLKB	2ICLK	34章
0008 8900h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	8, 16	2~3PCLKB	2ICLK	24章
0008 8902h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	8, 16	2~3PCLKB	2ICLK	24章
0008 8908h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	8, 16	2~3PCLKB	2ICLK	24章
0008 890Ah	POE	ソフトウェアポートアウトプットイネーブルレジスタ	SPOER	8	8	2~3PCLKB	2ICLK	24章
0008 890Bh	POE	ポートアウトプットイネーブルコントロールレジスタ1	POECR1	8	8	2~3PCLKB	2ICLK	24章
0008 890Ch	POE	ポートアウトプットイネーブルコントロールレジスタ2	POECR2	8	8	2~3PCLKB	2ICLK	24章
0008 890Eh	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	8, 16	2~3PCLKB	2ICLK	24章
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2~3PCLKB	2ICLK	43章
0008 9004h	S12AD	A/Dチャンネル選択レジスタA0	ADANSA0	16	16	2~3PCLKB	2ICLK	43章
0008 9006h	S12AD	A/Dチャンネル選択レジスタA1	ADANSA1	16	16	2~3PCLKB	2ICLK	43章
0008 9008h	S12AD	A/D変換値加算/平均機能チャンネル選択レジスタ0	ADADS0	16	16	2~3PCLKB	2ICLK	43章
0008 900Ah	S12AD	A/D変換値加算/平均機能チャンネル選択レジスタ1	ADADS1	16	16	2~3PCLKB	2ICLK	43章
0008 900Ch	S12AD	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2~3PCLKB	2ICLK	43章
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2~3PCLKB	2ICLK	43章
0008 9010h	S12AD	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB	2ICLK	43章
0008 9012h	S12AD	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16	2~3PCLKB	2ICLK	43章
0008 9014h	S12AD	A/Dチャンネル選択レジスタB0	ADANSB0	16	16	2~3PCLKB	2ICLK	43章
0008 9016h	S12AD	A/Dチャンネル選択レジスタB1	ADANSB1	16	16	2~3PCLKB	2ICLK	43章
0008 9018h	S12AD	A/Dデータ2重化レジスタ	ADDBLDR	16	16	2~3PCLKB	2ICLK	43章
0008 901Ah	S12AD	A/D温度センサデータレジスタ	ADTSDR	16	16	2~3PCLKB	2ICLK	43章

表5.1 I/Oレジスタアドレス一覧 (8/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 901Ch	S12AD	A/D内部基準電圧データレジスタ	ADOCADR	16	16	2~3PCLKB	2ICLK	43章
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADRD	16	16	2~3PCLKB	2ICLK	43章
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2~3PCLKB	2ICLK	43章
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2~3PCLKB	2ICLK	43章
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2~3PCLKB	2ICLK	43章
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2~3PCLKB	2ICLK	43章
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2~3PCLKB	2ICLK	43章
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2~3PCLKB	2ICLK	43章
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2~3PCLKB	2ICLK	43章
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16	2~3PCLKB	2ICLK	43章
0008 9040h	S12AD	A/Dデータレジスタ16	ADDR16	16	16	2~3PCLKB	2ICLK	43章
0008 9042h	S12AD	A/Dデータレジスタ17	ADDR17	16	16	2~3PCLKB	2ICLK	43章
0008 9044h	S12AD	A/Dデータレジスタ18	ADDR18	16	16	2~3PCLKB	2ICLK	43章
0008 9046h	S12AD	A/Dデータレジスタ19	ADDR19	16	16	2~3PCLKB	2ICLK	43章
0008 9048h	S12AD	A/Dデータレジスタ20	ADDR20	16	16	2~3PCLKB	2ICLK	43章
0008 904Ah	S12AD	A/Dデータレジスタ21	ADDR21	16	16	2~3PCLKB	2ICLK	43章
0008 904Ch	S12AD	A/Dデータレジスタ22	ADDR22	16	16	2~3PCLKB	2ICLK	43章
0008 904Eh	S12AD	A/Dデータレジスタ23	ADDR23	16	16	2~3PCLKB	2ICLK	43章
0008 9050h	S12AD	A/Dデータレジスタ24	ADDR24	16	16	2~3PCLKB	2ICLK	43章
0008 9052h	S12AD	A/Dデータレジスタ25	ADDR25	16	16	2~3PCLKB	2ICLK	43章
0008 9054h	S12AD	A/Dデータレジスタ26	ADDR26	16	16	2~3PCLKB	2ICLK	43章
0008 9056h	S12AD	A/Dデータレジスタ27	ADDR27	16	16	2~3PCLKB	2ICLK	43章
0008 9058h	S12AD	A/Dデータレジスタ28	ADDR28	16	16	2~3PCLKB	2ICLK	43章
0008 905Ah	S12AD	A/Dデータレジスタ29	ADDR29	16	16	2~3PCLKB	2ICLK	43章
0008 905Ch	S12AD	A/Dデータレジスタ30	ADDR30	16	16	2~3PCLKB	2ICLK	43章
0008 905Eh	S12AD	A/Dデータレジスタ31	ADDR31	16	16	2~3PCLKB	2ICLK	43章
0008 907Ah	S12AD	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2~3PCLKB	2ICLK	43章
0008 907Dh	S12AD	A/Dイベントリンクコントロールレジスタ	ADELCCR	8	8	2~3PCLKB	2ICLK	43章
0008 9080h	S12AD	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2~3PCLKB	2ICLK	43章
0008 908Ah	S12AD	A/D高電位/低電位基準電圧コントロールレジスタ	ADHVREFCNT	8	8	2~3PCLKB	2ICLK	43章
0008 908Ch	S12AD	A/Dコンペア機能ウィンドウABステータスマニタレジスタ	ADWINMON	8	8	2~3PCLKB	2ICLK	43章
0008 9090h	S12AD	A/Dコンペア機能コントロールレジスタ	ADCMPPCR	16	16	2~3PCLKB	2ICLK	43章
0008 9092h	S12AD	A/Dコンペア機能ウィンドウA拡張入力選択レジスタ	ADCMPANSE R	8	8	2~3PCLKB	2ICLK	43章
0008 9093h	S12AD	A/Dコンペア機能ウィンドウA拡張入力比較条件設定レジスタ	ADCMPLE R	8	8	2~3PCLKB	2ICLK	43章
0008 9094h	S12AD	A/Dコンペア機能ウィンドウAチャンネル選択レジスタ0	ADCMPANSR 0	16	16	2~3PCLKB	2ICLK	43章
0008 9096h	S12AD	A/Dコンペア機能ウィンドウAチャンネル選択レジスタ1	ADCMPANSR 1	16	16	2~3PCLKB	2ICLK	43章
0008 9098h	S12AD	A/Dコンペア機能ウィンドウA比較条件設定レジスタ0	ADCMP LR0	16	16	2~3PCLKB	2ICLK	43章
0008 909Ah	S12AD	A/Dコンペア機能ウィンドウA比較条件設定レジスタ1	ADCMP LR1	16	16	2~3PCLKB	2ICLK	43章
0008 909Ch	S12AD	A/Dコンペア機能ウィンドウA下位側レベル設定レジスタ	ADCMPDR 0	16	16	2~3PCLKB	2ICLK	43章
0008 909Eh	S12AD	A/Dコンペア機能ウィンドウA上位側レベル設定レジスタ	ADCMPDR 1	16	16	2~3PCLKB	2ICLK	43章
0008 90A0h	S12AD	A/Dコンペア機能ウィンドウAチャンネルステータスレジスタ0	ADCMP SR0	16	16	2~3PCLKB	2ICLK	43章
0008 90A2h	S12AD	A/Dコンペア機能ウィンドウAチャンネルステータスレジスタ1	ADCMP SR1	16	16	2~3PCLKB	2ICLK	43章
0008 90A4h	S12AD	A/Dコンペア機能ウィンドウA拡張入力チャンネルステータスレジスタ	ADCMP SER	16	16	2~3PCLKB	2ICLK	43章
0008 90A6h	S12AD	A/Dコンペア機能ウィンドウBチャンネル選択レジスタ	ADCMP BNSR	8	8	2~3PCLKB	2ICLK	43章
0008 90A8h	S12AD	A/Dコンペア機能ウィンドウB下位側レベル設定レジスタ	ADWINLL B	16	16	2~3PCLKB	2ICLK	43章
0008 90AAh	S12AD	A/Dコンペア機能ウィンドウB上位側レベル設定レジスタ	ADWINUL B	16	16	2~3PCLKB	2ICLK	43章
0008 90ACh	S12AD	A/Dコンペア機能ウィンドウBチャンネルステータスレジスタ	ADCMP BSR	8	8	2~3PCLKB	2ICLK	43章
0008 90B0h	S12AD	A/Dデータ格納バッファレジスタ0	ADBUF0	16	16	2~3PCLKB	2ICLK	43章

表5.1 I/Oレジスタアドレス一覧 (9/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 90B2h	S12AD	A/Dデータ格納バッファレジスタ1	ADBUF1	16	16	2~3PCLKB	2ICLK	43章
0008 90B4h	S12AD	A/Dデータ格納バッファレジスタ2	ADBUF2	16	16	2~3PCLKB	2ICLK	43章
0008 90B6h	S12AD	A/Dデータ格納バッファレジスタ3	ADBUF3	16	16	2~3PCLKB	2ICLK	43章
0008 90B8h	S12AD	A/Dデータ格納バッファレジスタ4	ADBUF4	16	16	2~3PCLKB	2ICLK	43章
0008 90BAh	S12AD	A/Dデータ格納バッファレジスタ5	ADBUF5	16	16	2~3PCLKB	2ICLK	43章
0008 90BCh	S12AD	A/Dデータ格納バッファレジスタ6	ADBUF6	16	16	2~3PCLKB	2ICLK	43章
0008 90BEh	S12AD	A/Dデータ格納バッファレジスタ7	ADBUF7	16	16	2~3PCLKB	2ICLK	43章
0008 90C0h	S12AD	A/Dデータ格納バッファレジスタ8	ADBUF8	16	16	2~3PCLKB	2ICLK	43章
0008 90C2h	S12AD	A/Dデータ格納バッファレジスタ9	ADBUF9	16	16	2~3PCLKB	2ICLK	43章
0008 90C4h	S12AD	A/Dデータ格納バッファレジスタ10	ADBUF10	16	16	2~3PCLKB	2ICLK	43章
0008 90C6h	S12AD	A/Dデータ格納バッファレジスタ11	ADBUF11	16	16	2~3PCLKB	2ICLK	43章
0008 90C8h	S12AD	A/Dデータ格納バッファレジスタ12	ADBUF12	16	16	2~3PCLKB	2ICLK	43章
0008 90CAh	S12AD	A/Dデータ格納バッファレジスタ13	ADBUF13	16	16	2~3PCLKB	2ICLK	43章
0008 90CCh	S12AD	A/Dデータ格納バッファレジスタ14	ADBUF14	16	16	2~3PCLKB	2ICLK	43章
0008 90CEh	S12AD	A/Dデータ格納バッファレジスタ15	ADBUF15	16	16	2~3PCLKB	2ICLK	43章
0008 90D0h	S12AD	A/Dデータ格納バッファファイナールレジスタ	ADBUFEN	8	8	2~3PCLKB	2ICLK	43章
0008 90D2h	S12AD	A/Dデータ格納バッファポイントレジスタ	ADBUFPTR	8	8	2~3PCLKB	2ICLK	43章
0008 90DDh	S12AD	A/DサンプリングステートレジスタL	ADSSTRL	8	8	2~3PCLKB	2ICLK	43章
0008 90DEh	S12AD	A/DサンプリングステートレジスタT	ADSSTRT	8	8	2~3PCLKB	2ICLK	43章
0008 90DFh	S12AD	A/DサンプリングステートレジスタO	ADSSTRO	8	8	2~3PCLKB	2ICLK	43章
0008 90E0h	S12AD	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2~3PCLKB	2ICLK	43章
0008 90E1h	S12AD	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2~3PCLKB	2ICLK	43章
0008 90E2h	S12AD	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2~3PCLKB	2ICLK	43章
0008 90E3h	S12AD	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2~3PCLKB	2ICLK	43章
0008 90E4h	S12AD	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2~3PCLKB	2ICLK	43章
0008 90E5h	S12AD	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2~3PCLKB	2ICLK	43章
0008 90E6h	S12AD	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2~3PCLKB	2ICLK	43章
0008 90E7h	S12AD	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8	2~3PCLKB	2ICLK	43章
0008 A000h	SCI0	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	33章
0008 A001h	SCI0	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	33章
0008 A002h	SCI0	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	33章
0008 A003h	SCI0	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	33章
0008 A004h	SCI0	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	33章
0008 A005h	SCI0	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	33章
0008 A006h	SCI0	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	33章
0008 A007h	SCI0	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	33章
0008 A008h	SCI0	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	33章
0008 A009h	SCI0	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	33章
0008 A00Ah	SCI0	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	33章
0008 A00Bh	SCI0	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	33章
0008 A00Ch	SCI0	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	33章
0008 A00Dh	SCI0	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	33章
0008 A00Eh	SCI0	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	33章
0008 A00Eh	SCI0	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	33章
0008 A00Fh	SCI0	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	33章
0008 A010h	SCI0	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	33章
0008 A010h	SCI0	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	33章
0008 A011h	SCI0	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	33章
0008 A012h	SCI0	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	33章
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	33章
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	33章

表5.1 I/Oレジスタアドレス一覧 (10/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	33章
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	33章
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	33章
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	33章
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	33章
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	33章
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	33章
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	33章
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	33章
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	33章
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	33章
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	33章
0008 A02Eh	SCI1	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	33章
0008 A02Eh	SCI1	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	33章
0008 A02Fh	SCI1	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	33章
0008 A030h	SCI1	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	33章
0008 A030h	SCI1	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	33章
0008 A031h	SCI1	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	33章
0008 A032h	SCI1	モジュレーションデュリティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	33章
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	33章
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	33章
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	33章
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	33章
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	33章
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	33章
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	33章
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	33章
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	33章
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	33章
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	33章
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	33章
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	33章
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	33章
0008 A0AEh	SCI5	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	33章
0008 A0AEh	SCI5	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	33章
0008 A0AFh	SCI5	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	33章
0008 A0B0h	SCI5	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	33章
0008 A0B0h	SCI5	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	33章
0008 A0B1h	SCI5	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	33章
0008 A0B2h	SCI5	モジュレーションデュリティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	33章
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	33章
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	33章
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	33章
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	33章
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	33章
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	33章
0008 A0C6h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	33章
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	33章
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	33章
0008 A0C9h	SCI6	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	33章
0008 A0CAh	SCI6	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	33章

表5.1 I/Oレジスタアドレス一覧 (11/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 A0CBh	SCI6	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	33章
0008 A0CCh	SCI6	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	33章
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	33章
0008 A0CEh	SCI6	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	33章
0008 A0CEh	SCI6	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	33章
0008 A0CFh	SCI6	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	33章
0008 A0D0h	SCI6	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	33章
0008 A0D0h	SCI6	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	33章
0008 A0D1h	SCI6	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	33章
0008 A0D2h	SCI6	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	33章
0008 A100h	SCI8	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	33章
0008 A101h	SCI8	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	33章
0008 A102h	SCI8	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	33章
0008 A103h	SCI8	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	33章
0008 A104h	SCI8	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	33章
0008 A105h	SCI8	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	33章
0008 A106h	SCI8	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	33章
0008 A107h	SCI8	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	33章
0008 A108h	SCI8	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	33章
0008 A109h	SCI8	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	33章
0008 A10Ah	SCI8	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	33章
0008 A10Bh	SCI8	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	33章
0008 A10Ch	SCI8	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	33章
0008 A10Dh	SCI8	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	33章
0008 A10Eh	SCI8	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	33章
0008 A10Eh	SCI8	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	33章
0008 A10Fh	SCI8	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	33章
0008 A110h	SCI8	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	33章
0008 A110h	SCI8	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	33章
0008 A111h	SCI8	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	33章
0008 A112h	SCI8	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	33章
0008 A120h	SCI9	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	33章
0008 A121h	SCI9	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	33章
0008 A122h	SCI9	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	33章
0008 A123h	SCI9	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	33章
0008 A124h	SCI9	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	33章
0008 A125h	SCI9	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	33章
0008 A126h	SCI9	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	33章
0008 A127h	SCI9	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	33章
0008 A128h	SCI9	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	33章
0008 A129h	SCI9	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	33章
0008 A12Ah	SCI9	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	33章
0008 A12Bh	SCI9	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	33章
0008 A12Ch	SCI9	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	33章
0008 A12Dh	SCI9	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	33章
0008 A12Eh	SCI9	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	33章
0008 A12Eh	SCI9	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	33章
0008 A12Fh	SCI9	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	33章
0008 A130h	SCI9	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	33章
0008 A130h	SCI9	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	33章
0008 A131h	SCI9	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	33章

表5.1 I/Oレジスタアドレス一覧 (12/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 A132h	SCI9	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	33章
0008 A500h	SSI0	制御レジスタ	SSICR	32	32	2~3PCLKB	2ICLK	37章
0008 A504h	SSI0	ステータスレジスタ	SSISR	32	32	2~3PCLKB	2ICLK	37章
0008 A510h	SSI0	FIFO制御レジスタ	SSIFCR	32	32	2~3PCLKB	2ICLK	37章
0008 A514h	SSI0	FIFOステータスレジスタ	SSIFSR	32	32	2~3PCLKB	2ICLK	37章
0008 A518h	SSI0	送信FIFOデータレジスタ	SSIFTDR	32	32	2~3PCLKB	2ICLK	37章
0008 A51Ch	SSI0	受信FIFOデータレジスタ	SSIFRDR	32	32	2~3PCLKB	2ICLK	37章
0008 A520h	SSI0	TDMモードレジスタ	SSITDMR	32	32	2~3PCLKB	2ICLK	37章
0008 AC00h	SDHI	コマンドレジスタ	SDCMD	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC08h	SDHI	アーギュメントレジスタ	SDARG	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC10h	SDHI	データストップレジスタ	SDSTOP	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC14h	SDHI	ブロックカウントレジスタ	SDBLKCNT	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC18h	SDHI	レスポンスレジスタ 10	SDRSP10	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC20h	SDHI	レスポンスレジスタ 32	SDRSP32	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC28h	SDHI	レスポンスレジスタ 54	SDRSP54	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC30h	SDHI	レスポンスレジスタ 76	SDRSP76	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC38h	SDHI	SDステータスレジスタ 1	SDSTS1	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC3Ch	SDHI	SDステータスレジスタ 2	SDSTS2	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC40h	SDHI	SD割り込みマスクレジスタ 1	SDIMSK1	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC44h	SDHI	SD割り込みマスクレジスタ 2	SDIMSK2	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC48h	SDHI	SDHIクロックコントロールレジスタ	SDCLKCR	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC4Ch	SDHI	転送データサイズレジスタ	SDSIZE	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC50h	SDHI	カードアクセスオプションレジスタ	SDOPT	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC58h	SDHI	SDエラーステータスレジスタ 1	SDERSTS1	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC5Ch	SDHI	SDエラーステータスレジスタ 2	SDERSTS2	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章

表5.1 I/Oレジスタアドレス一覧 (13/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 AC60h	SDHI	SDバッファレジスタ	SDBUFR	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC68h	SDHI	SDIOモードコントロールレジスタ	SDIOMD	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC6Ch	SDHI	SDIOステータスレジスタ	SDIOSTS	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 AC70h	SDHI	SDIO割り込みマスクレジスタ	SDIOIMSK	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 ADB0h	SDHI	DMA転送許可レジスタ	SDDMAEN	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 ADC0h	SDHI	SDHIソフトウェアリセットレジスタ	SDRST	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 ADE0h	SDHI	スワップコントロールレジスタ	SDSWAP	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK	40章
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2~3PCLKB	2ICLK	10章
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2~3PCLKB	2ICLK	10章
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2~3PCLKB	2ICLK	10章
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2~3PCLKB	2ICLK	10章
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2~3PCLKB	2ICLK	10章
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2~3PCLKB	2ICLK	10章
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2~3PCLKB	2ICLK	10章
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2~3PCLKB	2ICLK	10章
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2~3PCLKB	2ICLK	47章
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2~3PCLKB	2ICLK	47章
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2~3PCLKB	2ICLK	47章
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2~3PCLKB	2ICLK	20章
0008 B102h	ELC	イベントリンク設定レジスタ1	ELSR1	8	8	2~3PCLKB	2ICLK	20章
0008 B103h	ELC	イベントリンク設定レジスタ2	ELSR2	8	8	2~3PCLKB	2ICLK	20章
0008 B104h	ELC	イベントリンク設定レジスタ3	ELSR3	8	8	2~3PCLKB	2ICLK	20章
0008 B105h	ELC	イベントリンク設定レジスタ4	ELSR4	8	8	2~3PCLKB	2ICLK	20章
0008 B108h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8	2~3PCLKB	2ICLK	20章
0008 B109h	ELC	イベントリンク設定レジスタ8	ELSR8	8	8	2~3PCLKB	2ICLK	20章
0008 B10Bh	ELC	イベントリンク設定レジスタ10	ELSR10	8	8	2~3PCLKB	2ICLK	20章
0008 B10Dh	ELC	イベントリンク設定レジスタ12	ELSR12	8	8	2~3PCLKB	2ICLK	20章
0008 B10Fh	ELC	イベントリンク設定レジスタ14	ELSR14	8	8	2~3PCLKB	2ICLK	20章
0008 B110h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8	2~3PCLKB	2ICLK	20章
0008 B111h	ELC	イベントリンク設定レジスタ16	ELSR16	8	8	2~3PCLKB	2ICLK	20章
0008 B113h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8	2~3PCLKB	2ICLK	20章
0008 B114h	ELC	イベントリンク設定レジスタ19	ELSR19	8	8	2~3PCLKB	2ICLK	20章
0008 B115h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8	2~3PCLKB	2ICLK	20章
0008 B116h	ELC	イベントリンク設定レジスタ21	ELSR21	8	8	2~3PCLKB	2ICLK	20章
0008 B117h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8	2~3PCLKB	2ICLK	20章
0008 B118h	ELC	イベントリンク設定レジスタ23	ELSR23	8	8	2~3PCLKB	2ICLK	20章
0008 B119h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8	2~3PCLKB	2ICLK	20章
0008 B11Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8	2~3PCLKB	2ICLK	20章
0008 B11Bh	ELC	イベントリンク設定レジスタ26	ELSR26	8	8	2~3PCLKB	2ICLK	20章
0008 B11Ch	ELC	イベントリンク設定レジスタ27	ELSR27	8	8	2~3PCLKB	2ICLK	20章
0008 B11Dh	ELC	イベントリンク設定レジスタ28	ELSR28	8	8	2~3PCLKB	2ICLK	20章

表5.1 I/Oレジスタアドレス一覧 (14/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 B11Eh	ELC	イベントリンク設定レジスタ29	ELSR29	8	8	2~3PCLKB	2ICLK	20章
0008 B11Fh	ELC	イベントリンクオプション設定レジスタA	ELOPA	8	8	2~3PCLKB	2ICLK	20章
0008 B120h	ELC	イベントリンクオプション設定レジスタB	ELOPB	8	8	2~3PCLKB	2ICLK	20章
0008 B121h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8	2~3PCLKB	2ICLK	20章
0008 B122h	ELC	イベントリンクオプション設定レジスタD	ELOPD	8	8	2~3PCLKB	2ICLK	20章
0008 B123h	ELC	ポートグループ指定レジスタ1	PGR1	8	8	2~3PCLKB	2ICLK	20章
0008 B124h	ELC	ポートグループ指定レジスタ2	PGR2	8	8	2~3PCLKB	2ICLK	20章
0008 B125h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8	2~3PCLKB	2ICLK	20章
0008 B126h	ELC	ポートグループコントロールレジスタ2	PGC2	8	8	2~3PCLKB	2ICLK	20章
0008 B127h	ELC	ポートバッファレジスタ1	PDBF1	8	8	2~3PCLKB	2ICLK	20章
0008 B128h	ELC	ポートバッファレジスタ2	PDBF2	8	8	2~3PCLKB	2ICLK	20章
0008 B129h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8	2~3PCLKB	2ICLK	20章
0008 B12Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8	2~3PCLKB	2ICLK	20章
0008 B12Bh	ELC	イベント接続ポート指定レジスタ2	PEL2	8	8	2~3PCLKB	2ICLK	20章
0008 B12Ch	ELC	イベント接続ポート指定レジスタ3	PEL3	8	8	2~3PCLKB	2ICLK	20章
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2~3PCLKB	2ICLK	20章
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	33章
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	33章
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	33章
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	33章
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	33章
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	33章
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	33章
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	33章
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	33章
0008 B309h	SCI12	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	33章
0008 B30Ah	SCI12	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	33章
0008 B30Bh	SCI12	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	33章
0008 B30Ch	SCI12	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	33章
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	33章
0008 B30Eh	SCI12	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	33章
0008 B30Eh	SCI12	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	33章
0008 B30Fh	SCI12	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	33章
0008 B310h	SCI12	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	33章
0008 B310h	SCI12	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	33章
0008 B311h	SCI12	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	33章
0008 B312h	SCI12	モジュレーションデュリティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	33章
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2~3PCLKB	2ICLK	33章
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2~3PCLKB	2ICLK	33章
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2~3PCLKB	2ICLK	33章
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2~3PCLKB	2ICLK	33章
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2~3PCLKB	2ICLK	33章
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2~3PCLKB	2ICLK	33章
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2~3PCLKB	2ICLK	33章
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2~3PCLKB	2ICLK	33章
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2~3PCLKB	2ICLK	33章
0008 B329h	SCI12	Control Field 0データレジスタ	CF0DR	8	8	2~3PCLKB	2ICLK	33章
0008 B32Ah	SCI12	Control Field 0コンパインイーブルレジスタ	CF0CR	8	8	2~3PCLKB	2ICLK	33章
0008 B32Bh	SCI12	Control Field 0受信データレジスタ	CF0RR	8	8	2~3PCLKB	2ICLK	33章
0008 B32Ch	SCI12	プライマリ Control Field 1データレジスタ	PCF1DR	8	8	2~3PCLKB	2ICLK	33章
0008 B32Dh	SCI12	セカンダリ Control Field 1データレジスタ	SCF1DR	8	8	2~3PCLKB	2ICLK	33章

表5.1 I/Oレジスタアドレス一覧 (15/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの場合	ICLK < PCLKの場合	
0008 B32Eh	SCI12	Control Field 1 コンパイネーブルレジスタ	CF1CR	8	8	2~3PCLKB	2ICLK	33章
0008 B32Fh	SCI12	Control Field 1 受信データレジスタ	CF1RR	8	8	2~3PCLKB	2ICLK	33章
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	33章
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2~3PCLKB	2ICLK	33章
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2~3PCLKB	2ICLK	33章
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2~3PCLKB	2ICLK	33章
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	21章
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	21章
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	21章
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	21章
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	21章
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	21章
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	21章
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	21章
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	21章
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	21章
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	21章
0008 C011h	PORTH	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	21章
0008 C012h	PORTJ	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	21章
0008 C020h	PORT0	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	21章
0008 C021h	PORT1	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	21章
0008 C022h	PORT2	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	21章
0008 C023h	PORT3	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	21章
0008 C024h	PORT4	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	21章
0008 C025h	PORT5	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	21章
0008 C02Ah	PORTA	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	21章
0008 C02Bh	PORTB	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	21章
0008 C02Ch	PORTC	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	21章
0008 C02Dh	PORTD	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	21章
0008 C02Eh	PORTE	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	21章
0008 C031h	PORTH	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	21章
0008 C032h	PORTJ	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	21章
0008 C040h	PORT0	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	21章
0008 C041h	PORT1	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	21章
0008 C042h	PORT2	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	21章
0008 C043h	PORT3	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	21章
0008 C044h	PORT4	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	21章
0008 C045h	PORT5	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	21章
0008 C04Ah	PORTA	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	21章
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	21章
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	21章
0008 C04Dh	PORTD	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	21章
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	21章
0008 C051h	PORTH	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	21章
0008 C052h	PORTJ	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	21章
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	21章
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	21章
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	21章
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	21章
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	21章
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	21章

表5.1 I/Oレジスタアドレス一覧 (16/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	21章
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	21章
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	21章
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	21章
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	21章
0008 C071h	PORTH	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	21章
0008 C072h	PORTJ	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	21章
0008 C082h	PORT1	オーブドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK	21章
0008 C083h	PORT1	オーブドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK	21章
0008 C084h	PORT2	オーブドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK	21章
0008 C085h	PORT2	オーブドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK	21章
0008 C086h	PORT3	オーブドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK	21章
0008 C087h	PORT3	オーブドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK	21章
0008 C08Ah	PORT5	オーブドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK	21章
0008 C08Bh	PORT5	オーブドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK	21章
0008 C094h	PORTA	オーブドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK	21章
0008 C095h	PORTA	オーブドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK	21章
0008 C096h	PORTB	オーブドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK	21章
0008 C097h	PORTB	オーブドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK	21章
0008 C098h	PORTC	オーブドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK	21章
0008 C099h	PORTC	オーブドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK	21章
0008 C09Ch	PORTE	オーブドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK	21章
0008 C09Dh	PORTE	オーブドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK	21章
0008 C0A4h	PORTJ	オーブドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK	21章
0008 C0C0h	PORT0	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0C1h	PORT1	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0C2h	PORT2	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0C3h	PORT3	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0C4h	PORT4	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0C5h	PORT5	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0CAh	PORTA	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0CBh	PORTB	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0CCh	PORTC	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0CDh	PORTD	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0CEh	PORTE	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0D1h	PORTH	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0D2h	PORTJ	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0E3h	PORT3	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0E5h	PORT5	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0ECh	PORTC	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0EEh	PORTE	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0F1h	PORTH	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	21章
0008 C0F2h	PORTJ	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	21章
0008 C100h	MPC	CS出力許可レジスタ	PFCSE	8	8	2~3PCLKB	2ICLK	22章
0008 C104h	MPC	アドレス出力許可レジスタ0	PFAOE0	8	8, 16	2~3PCLKB	2ICLK	22章
0008 C105h	MPC	アドレス出力許可レジスタ1	PFAOE1	8	8, 16	2~3PCLKB	2ICLK	22章

表5.1 I/Oレジスタアドレス一覧 (17/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの場合	ICLK < PCLKの場合	
0008 C106h	MPC	外部バス制御レジスタ0	PFBCR0	8	8, 16	2~3PCLKB	2ICLK	22章
0008 C107h	MPC	外部バス制御レジスタ1	PFBCR1	8	8, 16	2~3PCLKB	2ICLK	22章
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2~3PCLKB	2ICLK	22章
0008 C120h	PORT	ポート切り替えレジスタB	PSRB	8	8	2~3PCLKB	2ICLK	21章
0008 C121h	PORT	ポート切り替えレジスタA	PSRA	8	8	2~3PCLKB	2ICLK	21章
0008 C143h	MPC	P03端子機能制御レジスタ	P03PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C145h	MPC	P05端子機能制御レジスタ	P05PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C147h	MPC	P07端子機能制御レジスタ	P07PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C155h	MPC	P25端子機能制御レジスタ	P25PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C15Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C168h	MPC	P50端子機能制御レジスタ	P50PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C169h	MPC	P51端子機能制御レジスタ	P51PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C16Ah	MPC	P52端子機能制御レジスタ	P52PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C16Bh	MPC	P53端子機能制御レジスタ	P53PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C196h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C197h	MPC	PA7端子機能制御レジスタ	PA7PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2~3PCLKB	2ICLK	22章

表5.1 I/Oレジスタアドレス一覧 (18/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1A0h	MPC	PC0端子機能制御レジスタ	PC0PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1A1h	MPC	PC1端子機能制御レジスタ	PC1PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1A6h	MPC	PC6端子機能制御レジスタ	PC6PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1A7h	MPC	PC7端子機能制御レジスタ	PC7PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1Ach	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1B6h	MPC	PE6端子機能制御レジスタ	PE6PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1B7h	MPC	PE7端子機能制御レジスタ	PE7PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1C8h	MPC	PH0端子機能制御レジスタ	PH0PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1C9h	MPC	PH1端子機能制御レジスタ	PH1PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1CAh	MPC	PH2端子機能制御レジスタ	PH2PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1CBh	MPC	PH3端子機能制御レジスタ	PH3PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C1D3h	MPC	PJ3端子機能制御レジスタ	PJ3PFS	8	8	2~3PCLKB	2ICLK	22章
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4~5PCLKB	2~3ICLK	6章
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4~5PCLKB	2~3ICLK	6章
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4~5PCLKB	2~3ICLK	9章
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4~5PCLKB	2~3ICLK	8章
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVL	8	8	4~5PCLKB	2~3ICLK	8章
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4~5PCLKB	2~3ICLK	8章
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4~5PCLKB	2~3ICLK	8章
0008 C29Dh	SYSTEM	VBATT制御レジスタ	VBATTCT	8	8	4~5PCLKB	2~3ICLK	12章
0008 C29Eh	SYSTEM	VBATTステータスレジスタ	VBATTST	8	8	4~5PCLKB	2~3ICLK	12章
0008 C29Fh	SYSTEM	VBATT端子電圧低下検出割り込み制御レジスタ	VBTLVDICR	8	8	4~5PCLKB	2~3ICLK	12章
0008 C400h	RTC	64Hzカウンタ	R64CNT	8	8	2~3PCLKB	2ICLK	28章
0008 C402h	RTC	秒カウンタ	RSECCNT	8	8	2~3PCLKB	2ICLK	28章
0008 C402h	RTC	バイナリカウンタ0	BCNT0	8	8	2~3PCLKB	2ICLK	28章
0008 C404h	RTC	分カウンタ	RMINCNT	8	8	2~3PCLKB	2ICLK	28章
0008 C404h	RTC	バイナリカウンタ1	BCNT1	8	8	2~3PCLKB	2ICLK	28章
0008 C406h	RTC	時カウンタ	RHRCNT	8	8	2~3PCLKB	2ICLK	28章

表5.1 I/Oレジスタアドレス一覧 (19/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK \geq PCLK の場合	ICLK < PCLK の場合	
0008 C406h	RTC	バイナリカウンタ2	BCNT2	8	8	2~3PCLKB	2ICLK	28章
0008 C408h	RTC	曜日カウンタ	RWKCNT	8	8	2~3PCLKB	2ICLK	28章
0008 C408h	RTC	バイナリカウンタ3	BCNT3	8	8	2~3PCLKB	2ICLK	28章
0008 C40Ah	RTC	日カウンタ	RDAYCNT	8	8	2~3PCLKB	2ICLK	28章
0008 C40Ch	RTC	月カウンタ	RMONCNT	8	8	2~3PCLKB	2ICLK	28章
0008 C40Eh	RTC	年カウンタ	RYRCNT	16	16	2~3PCLKB	2ICLK	28章
0008 C410h	RTC	秒アラームレジスタ	RSECAR	8	8	2~3PCLKB	2ICLK	28章
0008 C410h	RTC	バイナリカウンタ0アラームレジスタ	BCNT0AR	8	8	2~3PCLKB	2ICLK	28章
0008 C412h	RTC	分アラームレジスタ	RMINAR	8	8	2~3PCLKB	2ICLK	28章
0008 C412h	RTC	バイナリカウンタ1アラームレジスタ	BCNT1AR	8	8	2~3PCLKB	2ICLK	28章
0008 C414h	RTC	時アラームレジスタ	RHRAR	8	8	2~3PCLKB	2ICLK	28章
0008 C414h	RTC	バイナリカウンタ2アラームレジスタ	BCNT2AR	8	8	2~3PCLKB	2ICLK	28章
0008 C416h	RTC	曜日アラームレジスタ	RWKAR	8	8	2~3PCLKB	2ICLK	28章
0008 C416h	RTC	バイナリカウンタ3アラームレジスタ	BCNT3AR	8	8	2~3PCLKB	2ICLK	28章
0008 C418h	RTC	日アラームレジスタ	RDAYAR	8	8	2~3PCLKB	2ICLK	28章
0008 C418h	RTC	バイナリカウンタ0アラーム許可レジスタ	BCNT0AER	8	8	2~3PCLKB	2ICLK	28章
0008 C41Ah	RTC	月アラームレジスタ	RMONAR	8	8	2~3PCLKB	2ICLK	28章
0008 C41Ah	RTC	バイナリカウンタ1アラーム許可レジスタ	BCNT1AER	8	8	2~3PCLKB	2ICLK	28章
0008 C41Ch	RTC	年アラームレジスタ	RYRAR	16	16	2~3PCLKB	2ICLK	28章
0008 C41Ch	RTC	バイナリカウンタ2アラーム許可レジスタ	BCNT2AER	16	16	2~3PCLKB	2ICLK	28章
0008 C41Eh	RTC	年アラーム許可レジスタ	RYRAREN	8	8	2~3PCLKB	2ICLK	28章
0008 C41Eh	RTC	バイナリカウンタ3アラーム許可レジスタ	BCNT3AER	8	8	2~3PCLKB	2ICLK	28章
0008 C422h	RTC	RTCコントロールレジスタ1	RCR1	8	8	2~3PCLKB	2ICLK	28章
0008 C424h	RTC	RTCコントロールレジスタ2	RCR2	8	8	2~3PCLKB	2ICLK	28章
0008 C426h	RTC	RTCコントロールレジスタ3	RCR3	8	8	2~3PCLKB	2ICLK	28章
0008 C42Eh	RTC	時間誤差補正レジスタ	RADJ	8	8	2~3PCLKB	2ICLK	28章
0008 C440h	RTC	時間キャプチャ制御レジスタ0	RTCCR0	8	8	2~3PCLKB	2ICLK	28章
0008 C442h	RTC	時間キャプチャ制御レジスタ1	RTCCR1	8	8	2~3PCLKB	2ICLK	28章
0008 C444h	RTC	時間キャプチャ制御レジスタ2	RTCCR2	8	8	2~3PCLKB	2ICLK	28章
0008 C452h	RTC	秒キャプチャレジスタ0	RSECCP0	8	8	2~3PCLKB	2ICLK	28章
0008 C452h	RTC	BCNT0キャプチャレジスタ0	BCNT0CP0	8	8	2~3PCLKB	2ICLK	28章
0008 C454h	RTC	分キャプチャレジスタ0	RMINCP0	8	8	2~3PCLKB	2ICLK	28章
0008 C454h	RTC	BCNT1キャプチャレジスタ0	BCNT1CP0	8	8	2~3PCLKB	2ICLK	28章
0008 C456h	RTC	時キャプチャレジスタ0	RHRCP0	8	8	2~3PCLKB	2ICLK	28章
0008 C456h	RTC	BCNT2キャプチャレジスタ0	BCNT2CP0	8	8	2~3PCLKB	2ICLK	28章
0008 C45Ah	RTC	日キャプチャレジスタ0	RDAYCP0	8	8	2~3PCLKB	2ICLK	28章
0008 C45Ah	RTC	BCNT3キャプチャレジスタ0	BCNT3CP0	8	8	2~3PCLKB	2ICLK	28章
0008 C45Ch	RTC	月キャプチャレジスタ0	RMONCP0	8	8	2~3PCLKB	2ICLK	28章
0008 C462h	RTC	秒キャプチャレジスタ1	RSECCP1	8	8	2~3PCLKB	2ICLK	28章
0008 C462h	RTC	BCNT0キャプチャレジスタ1	BCNT0CP1	8	8	2~3PCLKB	2ICLK	28章
0008 C464h	RTC	分キャプチャレジスタ1	RMINCP1	8	8	2~3PCLKB	2ICLK	28章
0008 C464h	RTC	BCNT1キャプチャレジスタ1	BCNT1CP1	8	8	2~3PCLKB	2ICLK	28章
0008 C466h	RTC	時キャプチャレジスタ1	RHRCP1	8	8	2~3PCLKB	2ICLK	28章
0008 C466h	RTC	BCNT2キャプチャレジスタ1	BCNT2CP1	8	8	2~3PCLKB	2ICLK	28章
0008 C46Ah	RTC	日キャプチャレジスタ1	RDAYCP1	8	8	2~3PCLKB	2ICLK	28章
0008 C46Ah	RTC	BCNT3キャプチャレジスタ1	BCNT3CP1	8	8	2~3PCLKB	2ICLK	28章
0008 C46Ch	RTC	月キャプチャレジスタ1	RMONCP1	8	8	2~3PCLKB	2ICLK	28章
0008 C472h	RTC	秒キャプチャレジスタ2	RSECCP2	8	8	2~3PCLKB	2ICLK	28章
0008 C472h	RTC	BCNT0キャプチャレジスタ2	BCNT0CP2	8	8	2~3PCLKB	2ICLK	28章
0008 C474h	RTC	分キャプチャレジスタ2	RMINCP2	8	8	2~3PCLKB	2ICLK	28章
0008 C474h	RTC	BCNT1キャプチャレジスタ2	BCNT1CP2	8	8	2~3PCLKB	2ICLK	28章

表5.1 I/Oレジスタアドレス一覧 (20/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの場合	ICLK < PCLKの場合	
0008 C476h	RTC	時キャプチャレジスタ2	RHRCP2	8	8	2~3PCLKB	2ICLK	28章
0008 C476h	RTC	BCNT2キャプチャレジスタ2	BCNT2CP2	8	8	2~3PCLKB	2ICLK	28章
0008 C47Ah	RTC	日キャプチャレジスタ2	RDAYCP2	8	8	2~3PCLKB	2ICLK	28章
0008 C47Ah	RTC	BCNT3キャプチャレジスタ2	BCNT3CP2	8	8	2~3PCLKB	2ICLK	28章
0008 C47Ch	RTC	月キャプチャレジスタ2	RMONCP2	8	8	2~3PCLKB	2ICLK	28章
0008 C580h	CMPB	コンパレータB制御レジスタ1	CPBCNT1	8	8	2~3PCLKB	2ICLK	46章
0008 C581h	CMPB	コンパレータB制御レジスタ2	CPBCNT2	8	8	2~3PCLKB	2ICLK	46章
0008 C582h	CMPB	コンパレータBフラグレジスタ	CPBFLG	8	8	2~3PCLKB	2ICLK	46章
0008 C583h	CMPB	コンパレータB割り込み制御レジスタ	CPBINT	8	8	2~3PCLKB	2ICLK	46章
0008 C584h	CMPB	コンパレータBフィルタ選択レジスタ	CPBF	8	8	2~3PCLKB	2ICLK	46章
0008 C585h	CMPB	コンパレータBモード選択レジスタ	CPBMD	8	8	2~3PCLKB	2ICLK	46章
0008 C586h	CMPB	コンパレータBリファレンス入力電圧選択レジスタ	CPBREF	8	8	2~3PCLKB	2ICLK	46章
0008 C587h	CMPB	コンパレータB出力制御レジスタ	CPBOCR	8	8	2~3PCLKB	2ICLK	46章
0008 C5A0h	CMPB	コンパレータB1制御レジスタ1	CPB1CNT1	8	8	2~3PCLKB	2ICLK	46章
0008 C5A1h	CMPB	コンパレータB1制御レジスタ2	CPB1CNT2	8	8	2~3PCLKB	2ICLK	46章
0008 C5A2h	CMPB	コンパレータB1フラグレジスタ	CPB1FLG	8	8	2~3PCLKB	2ICLK	46章
0008 C5A3h	CMPB	コンパレータB1割り込み制御レジスタ	CPB1INT	8	8	2~3PCLKB	2ICLK	46章
0008 C5A4h	CMPB	コンパレータB1フィルタ選択レジスタ	CPB1F	8	8	2~3PCLKB	2ICLK	46章
0008 C5A5h	CMPB	コンパレータB1モード選択レジスタ	CPB1MD	8	8	2~3PCLKB	2ICLK	46章
0008 C5A6h	CMPB	コンパレータB1リファレンス入力電圧選択レジスタ	CPB1REF	8	8	2~3PCLKB	2ICLK	46章
0008 C5A7h	CMPB	コンパレータB1出力制御レジスタ	CPB1OCR	8	8	2~3PCLKB	2ICLK	46章
000A 0000h	USB0	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	16	3~4PCLKB	2ICLK	32章
000A 0004h	USB0	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	16	16	9PCLKB以上	1+9*(ICLK/PCLKBの周波数比)の整数切り上げ以上 (注2)	32章
000A 0008h	USB0	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16	9PCLKB以上	1+9*(ICLK/PCLKBの周波数比)の整数切り上げ以上 (注2)	32章
000A 0014h	USB0	CFIFOポートレジスタ	CFIFO	16	16	3~4PCLKB	2ICLK	32章
000A 0018h	USB0	D0FIFOポートレジスタ	D0FIFO	16	16	3~4PCLKB	2ICLK	32章
000A 001Ch	USB0	D1FIFOポートレジスタ	D1FIFO	16	16	3~4PCLKB	2ICLK	32章
000A 0020h	USB0	CFIFOポート選択レジスタ	CFIFOSEL	16	16	3~4PCLKB	2ICLK	32章
000A 0022h	USB0	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16	3~4PCLKB	2ICLK	32章
000A 0028h	USB0	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16	3~4PCLKB	2ICLK	32章
000A 002Ah	USB0	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16	3~4PCLKB	2ICLK	32章
000A 002Ch	USB0	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16	3~4PCLKB	2ICLK	32章
000A 002Eh	USB0	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16	3~4PCLKB	2ICLK	32章
000A 0030h	USB0	割り込み許可レジスタ0	INTENB0	16	16	9PCLKB以上	1+9*(ICLK/PCLKBの周波数比)の周波数 (注2)	32章
000A 0032h	USB0	割り込み許可レジスタ1	INTENB1	16	16	9PCLKB以上	1+9*(ICLK/PCLKBの周波数比)の周波数 (注2)	32章
000A 0036h	USB0	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLKB以上	1+9*(ICLK/PCLKBの周波数比)の周波数 (注2)	32章
000A 0038h	USB0	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLKB以上	1+9*(ICLK/PCLKBの周波数比)の周波数 (注2)	32章
000A 003Ah	USB0	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLKB以上	1+9*(ICLK/PCLKBの周波数比)の周波数 (注2)	32章
000A 003Ch	USB0	SOF出力コンフィギュレーションレジスタ	SOFCFG	16	16	9PCLKB以上	1+9*(ICLK/PCLKBの周波数比)の周波数 (注2)	32章

表5.1 I/Oレジスタアドレス一覧 (21/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000A 0040h	USB0	割り込みステータスレジスタ0	INTSTS0	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0042h	USB0	割り込みステータスレジスタ1	INTSTS1	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0046h	USB0	BRDY割り込みステータスレジスタ	BRDYSTS	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0048h	USB0	NRDY割り込みステータスレジスタ	NRDYSTS	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 004Ah	USB0	BEMP割り込みステータスレジスタ	BEMPSTS	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 004Ch	USB0	フレームナンバーレジスタ	FRMNUM	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0054h	USB0	USBリクエストタイプレジスタ	USBREQ	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0056h	USB0	USBリクエストバリューレジスタ	USBVAL	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0058h	USB0	USBリクエストインデックスレジスタ	USBINDX	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 005Ah	USB0	USBリクエストレングスレジスタ	USBLENG	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 005Ch	USB0	DCPコンフィギュレーションレジスタ	DCPCFG	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 005Eh	USB0	DCPマックスパケットサイズレジスタ	DCPMAXP	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0060h	USB0	DCPコントロールレジスタ	DCPCTR	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0064h	USB0	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0068h	USB0	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 006Ch	USB0	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 006Eh	USB0	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0070h	USB0	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0072h	USB0	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0074h	USB0	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0076h	USB0	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章

表5.1 I/Oレジスタアドレス一覧 (22/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000A 0078h	USB0	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 007Ah	USB0	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 007Ch	USB0	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 007Eh	USB0	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0080h	USB0	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0090h	USB0	パイプ1トランザクションカウンタインーブルレジスタ	PIPE1TRE	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0092h	USB0	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0094h	USB0	パイプ2トランザクションカウンタインーブルレジスタ	PIPE2TRE	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0096h	USB0	パイプ2トランザクションカウンタレジスタ	PIPE2TRN	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 0098h	USB0	パイプ3トランザクションカウンタインーブルレジスタ	PIPE3TRE	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 009Ah	USB0	パイプ3トランザクションカウンタレジスタ	PIPE3TRN	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 009Ch	USB0	パイプ4トランザクションカウンタインーブルレジスタ	PIPE4TRE	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 009Eh	USB0	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 00A0h	USB0	パイプ5トランザクションカウンタインーブルレジスタ	PIPE5TRE	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 00A2h	USB0	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 00B0h	USB0	BCコントロールレジスタ0	USBBCCTRL 0	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 00CCh	USB0	USBモジュール制御レジスタ	USBMC	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 00D0h	USB0	デバイスアドレス0コンフィギュレーションレジスタ	DEVADD0	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 00D2h	USB0	デバイスアドレス1コンフィギュレーションレジスタ	DEVADD1	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 00D4h	USB0	デバイスアドレス2コンフィギュレーションレジスタ	DEVADD2	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章
000A 00D6h	USB0	デバイスアドレス3コンフィギュレーションレジスタ	DEVADD3	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比)の周波数 (注2)	32章

表5.1 I/Oレジスタアドレス一覧 (23/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000A 00D8h	USB0	デバイスアドレス4コンフィギュレーションレジスタ	DEVADD4	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比) ^(注2) の周波数	32章
000A 00DAh	USB0	デバイスアドレス5コンフィギュレーションレジスタ	DEVADD5	16	16	9PCLKB以上	1+9×(ICLK/ PCLKBの周波 数比) ^(注2) の周波数	32章
000A 0900h	CTS0	CTS0制御レジスタ0	CTSUCR0	8	8	2~3PCLKB	2ICLK	42章
000A 0901h	CTS0	CTS0制御レジスタ1	CTSUCR1	8	8	2~3PCLKB	2ICLK	42章
000A 0902h	CTS0	CTS0同期ノイズ低減設定レジスタ	CTSUSDPRS	8	8	2~3PCLKB	2ICLK	42章
000A 0903h	CTS0	CTS0センサ安定待ち時間レジスタ	CTSUSST	8	8	2~3PCLKB	2ICLK	42章
000A 0904h	CTS0	CTS0計測チャンネルレジスタ0	CTSUMCH0	8	8	2~3PCLKB	2ICLK	42章
000A 0905h	CTS0	CTS0計測チャンネルレジスタ1	CTSUMCH1	8	8	2~3PCLKB	2ICLK	42章
000A 0906h	CTS0	CTS0チャンネル有効制御レジスタ0	CTSUCHAC0	8	8	2~3PCLKB	2ICLK	42章
000A 0907h	CTS0	CTS0チャンネル有効制御レジスタ1	CTSUCHAC1	8	8	2~3PCLKB	2ICLK	42章
000A 0908h	CTS0	CTS0チャンネル有効制御レジスタ2	CTSUCHAC2	8	8	2~3PCLKB	2ICLK	42章
000A 0909h	CTS0	CTS0チャンネル有効制御レジスタ3	CTSUCHAC3	8	8	2~3PCLKB	2ICLK	42章
000A 090Ah	CTS0	CTS0チャンネル有効制御レジスタ4	CTSUCHAC4	8	8	2~3PCLKB	2ICLK	42章
000A 090Bh	CTS0	CTS0チャンネル送受信制御レジスタ0	CTSUCHTRC 0	8	8	2~3PCLKB	2ICLK	42章
000A 090Ch	CTS0	CTS0チャンネル送受信制御レジスタ1	CTSUCHTRC 1	8	8	2~3PCLKB	2ICLK	42章
000A 090Dh	CTS0	CTS0チャンネル送受信制御レジスタ2	CTSUCHTRC 2	8	8	2~3PCLKB	2ICLK	42章
000A 090Eh	CTS0	CTS0チャンネル送受信制御レジスタ3	CTSUCHTRC 3	8	8	2~3PCLKB	2ICLK	42章
000A 090Fh	CTS0	CTS0チャンネル送受信制御レジスタ4	CTSUCHTRC 4	8	8	2~3PCLKB	2ICLK	42章
000A 0910h	CTS0	CTS0高域ノイズ低減制御レジスタ	CTSUDCLKC	8	8	2~3PCLKB	2ICLK	42章
000A 0911h	CTS0	CTS0ステータスレジスタ	CTSUST	8	8	2~3PCLKB	2ICLK	42章
000A 0912h	CTS0	CTS0高域ノイズ低減スペクトラム拡散制御レジスタ	CTSUSSC	16	16	2~3PCLKB	2ICLK	42章
000A 0914h	CTS0	CTS0センサオフセットレジスタ0	CTSUSO0	16	16	2~3PCLKB	2ICLK	42章
000A 0916h	CTS0	CTS0センサオフセットレジスタ1	CTSUSO1	16	16	2~3PCLKB	2ICLK	42章
000A 0918h	CTS0	CTS0センサカウンタ	CTSUSC	16	16	2~3PCLKB	2ICLK	42章
000A 091Ah	CTS0	CTS0リファレンスカウンタ	CTSURC	16	16	2~3PCLKB	2ICLK	42章
000A 091Ch	CTS0	CTS0エラーステータスレジスタ	CTSUERRS	16	16	2~3PCLKB	2ICLK	42章
000A 8300h	RSCAN0	ビットコンフィギュレーションレジスタL	CFGFL	16	16	2~3PCLKB	2ICLK	36章
000A 8302h	RSCAN0	ビットコンフィギュレーションレジスタH	CFGH	16	16	2~3PCLKB	2ICLK	36章
000A 8304h	RSCAN0	制御レジスタL	CTRL	16	16	2~3PCLKB	2ICLK	36章
000A 8306h	RSCAN0	制御レジスタH	CTRH	16	16	2~3PCLKB	2ICLK	36章
000A 8308h	RSCAN0	ステータスレジスタL	STSL	16	16	2~3PCLKB	2ICLK	36章
000A 830Ah	RSCAN0	ステータスレジスタH	STSH	16	16	2~3PCLKB	2ICLK	36章
000A 830Ch	RSCAN0	エラーフラグレジスタL	ERFLL	16	16	2~3PCLKB	2ICLK	36章
000A 830Eh	RSCAN0	エラーフラグレジスタH	ERFLH	16	16	2~3PCLKB	2ICLK	36章
000A 8322h	RSCAN	グローバル設定レジスタL	GCFGL	16	16	2~3PCLKB	2ICLK	36章
000A 8324h	RSCAN	グローバル設定レジスタH	GCFGH	16	16	2~3PCLKB	2ICLK	36章
000A 8326h	RSCAN	グローバル制御レジスタL	GCTRL	16	16	2~3PCLKB	2ICLK	36章
000A 8328h	RSCAN	グローバル制御レジスタH	GCTRH	16	16	2~3PCLKB	2ICLK	36章
000A 832Ah	RSCAN	グローバルステータスレジスタ	GSTS	16	16	2~3PCLKB	2ICLK	36章
000A 832Ch	RSCAN	グローバルエラーフラグレジスタ	GERFLL	8	8	2~3PCLKB	2ICLK	36章
000A 832Eh	RSCAN	タイムスタンプレジスタ	GTSC	16	16	2~3PCLKB	2ICLK	36章
000A 8330h	RSCAN	受信ルール数設定レジスタ	GAFLCFG	16	16	2~3PCLKB	2ICLK	36章
000A 8332h	RSCAN	受信バッファ数設定レジスタ	RMNB	16	16	2~3PCLKB	2ICLK	36章
000A 8334h	RSCAN	受信バッファ受信完了フラグレジスタ	RMND0	16	16	2~3PCLKB	2ICLK	36章
000A 8338h	RSCAN	受信FIFO制御レジスタ0	RFCC0	16	16	2~3PCLKB	2ICLK	36章
000A 833Ah	RSCAN	受信FIFO制御レジスタ1	RFCC1	16	16	2~3PCLKB	2ICLK	36章

表5.1 I/Oレジスタアドレス一覧 (24/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000A 8340h	RSCAN	受信FIFOステータスレジスタ0	RFSTS0	16	16	2~3PCLKB	2ICLK	36章
000A 8342h	RSCAN	受信FIFOステータスレジスタ1	RFSTS1	16	16	2~3PCLKB	2ICLK	36章
000A 8348h	RSCAN	受信FIFOポインタ制御レジスタ0	RFPCTR0	16	16	2~3PCLKB	2ICLK	36章
000A 834Ah	RSCAN	受信FIFOポインタ制御レジスタ1	RFPCTR1	16	16	2~3PCLKB	2ICLK	36章
000A 8350h	RSCAN0	送受信FIFO制御レジスタ0L	CFCCLO	16	16	2~3PCLKB	2ICLK	36章
000A 8352h	RSCAN0	送受信FIFO制御レジスタ0H	CFCCHO	16	16	2~3PCLKB	2ICLK	36章
000A 8358h	RSCAN0	送受信FIFOステータスレジスタ0	CFSTS0	16	16	2~3PCLKB	2ICLK	36章
000A 835Ch	RSCAN0	送受信FIFOポインタ制御レジスタ0	CFPCTR0	16	16	2~3PCLKB	2ICLK	36章
000A 8360h	RSCAN	受信FIFOメッセージロスステータスレジスタ	RFMSTS	8	8	2~3PCLKB	2ICLK	36章
000A 8361h	RSCAN0	送受信FIFOメッセージロスステータスレジスタ	CFMSTS	8	8	2~3PCLKB	2ICLK	36章
000A 8362h	RSCAN	受信FIFO割り込みステータスレジスタ	RFISTS	8	8	2~3PCLKB	2ICLK	36章
000A 8363h	RSCAN	送受信FIFO受信割り込みステータスレジスタ	CFISTS	8	8	2~3PCLKB	2ICLK	36章
000A 8364h	RSCAN0	送信バッファ制御レジスタ0	TMC0	8	8	2~3PCLKB	2ICLK	36章
000A 8365h	RSCAN0	送信バッファ制御レジスタ1	TMC1	8	8	2~3PCLKB	2ICLK	36章
000A 8366h	RSCAN0	送信バッファ制御レジスタ2	TMC2	8	8	2~3PCLKB	2ICLK	36章
000A 8367h	RSCAN0	送信バッファ制御レジスタ3	TMC3	8	8	2~3PCLKB	2ICLK	36章
000A 836Ch	RSCAN0	送信バッファステータスレジスタ0	TMSTS0	8	8	2~3PCLKB	2ICLK	36章
000A 836Dh	RSCAN0	送信バッファステータスレジスタ1	TMSTS1	8	8	2~3PCLKB	2ICLK	36章
000A 836Eh	RSCAN0	送信バッファステータスレジスタ2	TMSTS2	8	8	2~3PCLKB	2ICLK	36章
000A 836Fh	RSCAN0	送信バッファステータスレジスタ3	TMSTS3	8	8	2~3PCLKB	2ICLK	36章
000A 8374h	RSCAN0	送信バッファ送信要求ステータスレジスタ	TMTRSTS	16	16	2~3PCLKB	2ICLK	36章
000A 8376h	RSCAN0	送信バッファ送信完了ステータスレジスタ	TMTCSTS	16	16	2~3PCLKB	2ICLK	36章
000A 8378h	RSCAN0	送信バッファ送信アボートステータスレジスタ	TMTASTS	16	16	2~3PCLKB	2ICLK	36章
000A 837Ah	RSCAN0	送信バッファ割り込み許可レジスタ	TMIEC	16	16	2~3PCLKB	2ICLK	36章
000A 837Ch	RSCAN0	送信履歴バッファ制御レジスタ	THLCC0	16	16	2~3PCLKB	2ICLK	36章
000A 8380h	RSCAN0	送信履歴バッファステータスレジスタ	THLSTS0	16	16	2~3PCLKB	2ICLK	36章
000A 8384h	RSCAN0	送信履歴バッファポインタ制御レジスタ	THLPCTR0	16	16	2~3PCLKB	2ICLK	36章
000A 8388h	RSCAN	グローバル送信割り込みステータスレジスタ	GTINTSTS	16	16	2~3PCLKB	2ICLK	36章
000A 838Ah	RSCAN	グローバルRAMウィンドウ制御レジスタ	GRWCR	16	16	2~3PCLKB	2ICLK	36章
000A 838Ch	RSCAN	グローバルテスト設定レジスタ	GTSTCFG	16	16	2~3PCLKB	2ICLK	36章
000A 838Eh	RSCAN	グローバルテスト制御レジスタ	GTSTCTRL	16	16	2~3PCLKB	2ICLK	36章
000A 8394h	RSCAN	グローバルテストプロテクト解除レジスタ	GLOCKK	16	16	2~3PCLKB	2ICLK	36章
000A 83A0h	RSCAN	受信ルール登録レジスタ0AL	GAFLDLO	16	16	2~3PCLKB	2ICLK	36章
000A 83A0h	RSCAN	受信バッファレジスタ0AL	RMIDLO	16	16	2~3PCLKB	2ICLK	36章
000A 83A2h	RSCAN	受信ルール登録レジスタ0AH	GAFLDHO	16	16	2~3PCLKB	2ICLK	36章
000A 83A2h	RSCAN	受信バッファレジスタ0AH	RMIDHO	16	16	2~3PCLKB	2ICLK	36章
000A 83A4h	RSCAN	受信ルール登録レジスタ0BL	GAFLML0	16	16	2~3PCLKB	2ICLK	36章
000A 83A4h	RSCAN	受信バッファレジスタ0BL	RMTS0	16	16	2~3PCLKB	2ICLK	36章
000A 83A6h	RSCAN	受信ルール登録レジスタ0BH	GAFLMH0	16	16	2~3PCLKB	2ICLK	36章
000A 83A6h	RSCAN	受信バッファレジスタ0BH	RMPTR0	16	16	2~3PCLKB	2ICLK	36章
000A 83A8h	RSCAN	受信ルール登録レジスタ0CL	GAFLPL0	16	16	2~3PCLKB	2ICLK	36章
000A 83A8h	RSCAN	受信バッファレジスタ0CL	RMDF00	16	16	2~3PCLKB	2ICLK	36章
000A 83AAh	RSCAN	受信ルール登録レジスタ0CH	GAFLPH0	16	16	2~3PCLKB	2ICLK	36章
000A 83AAh	RSCAN	受信バッファレジスタ0CH	RMDF10	16	16	2~3PCLKB	2ICLK	36章
000A 83ACh	RSCAN	受信ルール登録レジスタ1AL	GAFLIDL1	16	16	2~3PCLKB	2ICLK	36章
000A 83ACh	RSCAN	受信バッファレジスタ0DL	RMDF20	16	16	2~3PCLKB	2ICLK	36章
000A 83AEh	RSCAN	受信ルール登録レジスタ1AH	GAFLIDH1	16	16	2~3PCLKB	2ICLK	36章
000A 83AEh	RSCAN	受信バッファレジスタ0DH	RMDF30	16	16	2~3PCLKB	2ICLK	36章
000A 83B0h	RSCAN	受信ルール登録レジスタ1BL	GAFLML1	16	16	2~3PCLKB	2ICLK	36章
000A 83B0h	RSCAN	受信バッファレジスタ1AL	RMIDL1	16	16	2~3PCLKB	2ICLK	36章
000A 83B2h	RSCAN	受信ルール登録レジスタ1BH	GAFLMH1	16	16	2~3PCLKB	2ICLK	36章

表5.1 I/Oレジスタアドレス一覧 (25/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの場合	ICLK < PCLKの場合	
000A 83B2h	RSCAN	受信バッファレジスタ 1AH	RMIDH1	16	16	2~3PCLKB	2ICLK	36章
000A 83B4h	RSCAN	受信ルール登録レジスタ 1CL	GAFLPL1	16	16	2~3PCLKB	2ICLK	36章
000A 83B4h	RSCAN	受信バッファレジスタ 1BL	RMST1	16	16	2~3PCLKB	2ICLK	36章
000A 83B6h	RSCAN	受信ルール登録レジスタ 1CH	GAFLPH1	16	16	2~3PCLKB	2ICLK	36章
000A 83B6h	RSCAN	受信バッファレジスタ 1BH	RMPTR1	16	16	2~3PCLKB	2ICLK	36章
000A 83B8h	RSCAN	受信ルール登録レジスタ 2AL	GAFLIDL2	16	16	2~3PCLKB	2ICLK	36章
000A 83B8h	RSCAN	受信バッファレジスタ 1CL	RMDF01	16	16	2~3PCLKB	2ICLK	36章
000A 83BAh	RSCAN	受信ルール登録レジスタ 2AH	GAFLIDH2	16	16	2~3PCLKB	2ICLK	36章
000A 83BAh	RSCAN	受信バッファレジスタ 1CH	RMDF11	16	16	2~3PCLKB	2ICLK	36章
000A 83BCh	RSCAN	受信ルール登録レジスタ 2BL	GAFLML2	16	16	2~3PCLKB	2ICLK	36章
000A 83BCh	RSCAN	受信バッファレジスタ 1DL	RMDF21	16	16	2~3PCLKB	2ICLK	36章
000A 83BEh	RSCAN	受信ルール登録レジスタ 2BH	GAFLMH2	16	16	2~3PCLKB	2ICLK	36章
000A 83BEh	RSCAN	受信バッファレジスタ 1DH	RMDF31	16	16	2~3PCLKB	2ICLK	36章
000A 83C0h	RSCAN	受信ルール登録レジスタ 2CL	GAFLPL2	16	16	2~3PCLKB	2ICLK	36章
000A 83C0h	RSCAN	受信バッファレジスタ 2AL	RMIDL2	16	16	2~3PCLKB	2ICLK	36章
000A 83C2h	RSCAN	受信ルール登録レジスタ 2CH	GAFLPH2	16	16	2~3PCLKB	2ICLK	36章
000A 83C2h	RSCAN	受信バッファレジスタ 2AH	RMIDH2	16	16	2~3PCLKB	2ICLK	36章
000A 83C4h	RSCAN	受信ルール登録レジスタ 3AL	GAFLIDL3	16	16	2~3PCLKB	2ICLK	36章
000A 83C4h	RSCAN	受信バッファレジスタ 2BL	RMST2	16	16	2~3PCLKB	2ICLK	36章
000A 83C6h	RSCAN	受信ルール登録レジスタ 3AH	GAFLIDH3	16	16	2~3PCLKB	2ICLK	36章
000A 83C6h	RSCAN	受信バッファレジスタ 2BH	RMPTR2	16	16	2~3PCLKB	2ICLK	36章
000A 83C8h	RSCAN	受信ルール登録レジスタ 3BL	GAFLML3	16	16	2~3PCLKB	2ICLK	36章
000A 83C8h	RSCAN	受信バッファレジスタ 2CL	RMDF02	16	16	2~3PCLKB	2ICLK	36章
000A 83CAh	RSCAN	受信ルール登録レジスタ 3BH	GAFLMH3	16	16	2~3PCLKB	2ICLK	36章
000A 83CAh	RSCAN	受信バッファレジスタ 2CH	RMDF12	16	16	2~3PCLKB	2ICLK	36章
000A 83CCh	RSCAN	受信ルール登録レジスタ 3CL	GAFLPL3	16	16	2~3PCLKB	2ICLK	36章
000A 83CCh	RSCAN	受信バッファレジスタ 2DL	RMDF22	16	16	2~3PCLKB	2ICLK	36章
000A 83CEh	RSCAN	受信ルール登録レジスタ 3CH	GAFLPH3	16	16	2~3PCLKB	2ICLK	36章
000A 83CEh	RSCAN	受信バッファレジスタ 2DH	RMDF32	16	16	2~3PCLKB	2ICLK	36章
000A 83D0h	RSCAN	受信ルール登録レジスタ 4AL	GAFLIDL4	16	16	2~3PCLKB	2ICLK	36章
000A 83D0h	RSCAN	受信バッファレジスタ 3AL	RMIDL3	16	16	2~3PCLKB	2ICLK	36章
000A 83D2h	RSCAN	受信ルール登録レジスタ 4AH	GAFLIDH4	16	16	2~3PCLKB	2ICLK	36章
000A 83D2h	RSCAN	受信バッファレジスタ 3AH	RMIDH3	16	16	2~3PCLKB	2ICLK	36章
000A 83D4h	RSCAN	受信ルール登録レジスタ 4BL	GAFLML4	16	16	2~3PCLKB	2ICLK	36章
000A 83D4h	RSCAN	受信バッファレジスタ 3BL	RMST3	16	16	2~3PCLKB	2ICLK	36章
000A 83D6h	RSCAN	受信ルール登録レジスタ 4BH	GAFLMH4	16	16	2~3PCLKB	2ICLK	36章
000A 83D6h	RSCAN	受信バッファレジスタ 3BH	RMPTR3	16	16	2~3PCLKB	2ICLK	36章
000A 83D8h	RSCAN	受信ルール登録レジスタ 4CL	GAFLPL4	16	16	2~3PCLKB	2ICLK	36章
000A 83D8h	RSCAN	受信バッファレジスタ 3CL	RMDF03	16	16	2~3PCLKB	2ICLK	36章
000A 83DAh	RSCAN	受信ルール登録レジスタ 4CH	GAFLPH4	16	16	2~3PCLKB	2ICLK	36章
000A 83DAh	RSCAN	受信バッファレジスタ 3CH	RMDF13	16	16	2~3PCLKB	2ICLK	36章
000A 83DCh	RSCAN	受信ルール登録レジスタ 5AL	GAFLIDL5	16	16	2~3PCLKB	2ICLK	36章
000A 83DCh	RSCAN	受信バッファレジスタ 3DL	RMDF23	16	16	2~3PCLKB	2ICLK	36章
000A 83DEh	RSCAN	受信ルール登録レジスタ 5AH	GAFLIDH5	16	16	2~3PCLKB	2ICLK	36章
000A 83DEh	RSCAN	受信バッファレジスタ 3DH	RMDF33	16	16	2~3PCLKB	2ICLK	36章
000A 83E0h	RSCAN	受信ルール登録レジスタ 5BL	GAFLML5	16	16	2~3PCLKB	2ICLK	36章
000A 83E0h	RSCAN	受信バッファレジスタ 4AL	RMIDL4	16	16	2~3PCLKB	2ICLK	36章
000A 83E2h	RSCAN	受信ルール登録レジスタ 5BH	GAFLMH5	16	16	2~3PCLKB	2ICLK	36章
000A 83E2h	RSCAN	受信バッファレジスタ 4AH	RMIDH4	16	16	2~3PCLKB	2ICLK	36章
000A 83E4h	RSCAN	受信ルール登録レジスタ 5CL	GAFLPL5	16	16	2~3PCLKB	2ICLK	36章
000A 83E4h	RSCAN	受信バッファレジスタ 4BL	RMST4	16	16	2~3PCLKB	2ICLK	36章

表5.1 I/Oレジスタアドレス一覧 (26/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000A 83E6h	RSCAN	受信ルール登録レジスタ5CH	GAFLPH5	16	16	2~3PCLKB	2ICLK	36章
000A 83E6h	RSCAN	受信バッファレジスタ4BH	RMPTR4	16	16	2~3PCLKB	2ICLK	36章
000A 83E8h	RSCAN	受信ルール登録レジスタ6AL	GAFLIDL6	16	16	2~3PCLKB	2ICLK	36章
000A 83E8h	RSCAN	受信バッファレジスタ4CL	RMDF04	16	16	2~3PCLKB	2ICLK	36章
000A 83EAh	RSCAN	受信ルール登録レジスタ6AH	GAFLIDH6	16	16	2~3PCLKB	2ICLK	36章
000A 83EAh	RSCAN	受信バッファレジスタ4CH	RMDF14	16	16	2~3PCLKB	2ICLK	36章
000A 83ECh	RSCAN	受信ルール登録レジスタ6BL	GAFLML6	16	16	2~3PCLKB	2ICLK	36章
000A 83ECh	RSCAN	受信バッファレジスタ4DL	RMDF24	16	16	2~3PCLKB	2ICLK	36章
000A 83EEh	RSCAN	受信ルール登録レジスタ6BH	GAFLMH6	16	16	2~3PCLKB	2ICLK	36章
000A 83EEh	RSCAN	受信バッファレジスタ4DH	RMDF34	16	16	2~3PCLKB	2ICLK	36章
000A 83F0h	RSCAN	受信ルール登録レジスタ6CL	GAFLPL6	16	16	2~3PCLKB	2ICLK	36章
000A 83F0h	RSCAN	受信バッファレジスタ5AL	RMIDL5	16	16	2~3PCLKB	2ICLK	36章
000A 83F2h	RSCAN	受信ルール登録レジスタ6CH	GAFLPH6	16	16	2~3PCLKB	2ICLK	36章
000A 83F2h	RSCAN	受信バッファレジスタ5AH	RMIDH5	16	16	2~3PCLKB	2ICLK	36章
000A 83F4h	RSCAN	受信ルール登録レジスタ7AL	GAFLIDL7	16	16	2~3PCLKB	2ICLK	36章
000A 83F4h	RSCAN	受信バッファレジスタ5BL	RMTS5	16	16	2~3PCLKB	2ICLK	36章
000A 83F6h	RSCAN	受信ルール登録レジスタ7AH	GAFLIDH7	16	16	2~3PCLKB	2ICLK	36章
000A 83F6h	RSCAN	受信バッファレジスタ5BH	RMPTR5	16	16	2~3PCLKB	2ICLK	36章
000A 83F8h	RSCAN	受信ルール登録レジスタ7BL	GAFLML7	16	16	2~3PCLKB	2ICLK	36章
000A 83F8h	RSCAN	受信バッファレジスタ5CL	RMDF05	16	16	2~3PCLKB	2ICLK	36章
000A 83FAh	RSCAN	受信ルール登録レジスタ7BH	GAFLMH7	16	16	2~3PCLKB	2ICLK	36章
000A 83FAh	RSCAN	受信バッファレジスタ5CH	RMDF15	16	16	2~3PCLKB	2ICLK	36章
000A 83FCh	RSCAN	受信ルール登録レジスタ7CL	GAFLPL7	16	16	2~3PCLKB	2ICLK	36章
000A 83FCh	RSCAN	受信バッファレジスタ5DL	RMDF25	16	16	2~3PCLKB	2ICLK	36章
000A 83FEh	RSCAN	受信ルール登録レジスタ7CH	GAFLPH7	16	16	2~3PCLKB	2ICLK	36章
000A 83FEh	RSCAN	受信バッファレジスタ5DH	RMDF35	16	16	2~3PCLKB	2ICLK	36章
000A 8400h	RSCAN	受信ルール登録レジスタ8AL	GAFLIDL8	16	16	2~3PCLKB	2ICLK	36章
000A 8400h	RSCAN	受信バッファレジスタ6AL	RMIDL6	16	16	2~3PCLKB	2ICLK	36章
000A 8402h	RSCAN	受信ルール登録レジスタ8AH	GAFLIDH8	16	16	2~3PCLKB	2ICLK	36章
000A 8402h	RSCAN	受信バッファレジスタ6AH	RMIDH6	16	16	2~3PCLKB	2ICLK	36章
000A 8404h	RSCAN	受信ルール登録レジスタ8BL	GAFLML8	16	16	2~3PCLKB	2ICLK	36章
000A 8404h	RSCAN	受信バッファレジスタ6BL	RMTS6	16	16	2~3PCLKB	2ICLK	36章
000A 8406h	RSCAN	受信ルール登録レジスタ8BH	GAFLMH8	16	16	2~3PCLKB	2ICLK	36章
000A 8406h	RSCAN	受信バッファレジスタ6BH	RMPTR6	16	16	2~3PCLKB	2ICLK	36章
000A 8408h	RSCAN	受信ルール登録レジスタ8CL	GAFLPL8	16	16	2~3PCLKB	2ICLK	36章
000A 8408h	RSCAN	受信バッファレジスタ6CL	RMDF06	16	16	2~3PCLKB	2ICLK	36章
000A 840Ah	RSCAN	受信ルール登録レジスタ8CH	GAFLPH8	16	16	2~3PCLKB	2ICLK	36章
000A 840Ah	RSCAN	受信バッファレジスタ6CH	RMDF16	16	16	2~3PCLKB	2ICLK	36章
000A 840Ch	RSCAN	受信ルール登録レジスタ9AL	GAFLIDL9	16	16	2~3PCLKB	2ICLK	36章
000A 840Ch	RSCAN	受信バッファレジスタ6DL	RMDF26	16	16	2~3PCLKB	2ICLK	36章
000A 840Eh	RSCAN	受信ルール登録レジスタ9AH	GAFLIDH9	16	16	2~3PCLKB	2ICLK	36章
000A 840Eh	RSCAN	受信バッファレジスタ6DH	RMDF36	16	16	2~3PCLKB	2ICLK	36章
000A 8410h	RSCAN	受信ルール登録レジスタ9BL	GAFLML9	16	16	2~3PCLKB	2ICLK	36章
000A 8410h	RSCAN	受信バッファレジスタ7AL	RMIDL7	16	16	2~3PCLKB	2ICLK	36章
000A 8412h	RSCAN	受信ルール登録レジスタ9BH	GAFLMH9	16	16	2~3PCLKB	2ICLK	36章
000A 8412h	RSCAN	受信バッファレジスタ7AH	RMIDH7	16	16	2~3PCLKB	2ICLK	36章
000A 8414h	RSCAN	受信ルール登録レジスタ9CL	GAFLPL9	16	16	2~3PCLKB	2ICLK	36章
000A 8414h	RSCAN	受信バッファレジスタ7BL	RMTS7	16	16	2~3PCLKB	2ICLK	36章
000A 8416h	RSCAN	受信ルール登録レジスタ9CH	GAFLPH9	16	16	2~3PCLKB	2ICLK	36章
000A 8416h	RSCAN	受信バッファレジスタ7BH	RMPTR7	16	16	2~3PCLKB	2ICLK	36章
000A 8418h	RSCAN	受信ルール登録レジスタ10AL	GAFLIDL10	16	16	2~3PCLKB	2ICLK	36章

表5.1 I/Oレジスタアドレス一覧 (27/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000A 8418h	RSCAN	受信バッファレジスタ7CL	RMDF07	16	16	2~3PCLKB	2ICLK	36章
000A 841Ah	RSCAN	受信ルール登録レジスタ10AH	GAFLIDH10	16	16	2~3PCLKB	2ICLK	36章
000A 841Ah	RSCAN	受信バッファレジスタ7CH	RMDF17	16	16	2~3PCLKB	2ICLK	36章
000A 841Ch	RSCAN	受信ルール登録レジスタ10BL	GAFLML10	16	16	2~3PCLKB	2ICLK	36章
000A 841Ch	RSCAN	受信バッファレジスタ7DL	RMDF27	16	16	2~3PCLKB	2ICLK	36章
000A 841Eh	RSCAN	受信ルール登録レジスタ10BH	GAFLMH10	16	16	2~3PCLKB	2ICLK	36章
000A 841Eh	RSCAN	受信バッファレジスタ7DH	RMDF37	16	16	2~3PCLKB	2ICLK	36章
000A 8420h	RSCAN	受信ルール登録レジスタ10CL	GAFLPL10	16	16	2~3PCLKB	2ICLK	36章
000A 8420h	RSCAN	受信バッファレジスタ8AL	RMIDL8	16	16	2~3PCLKB	2ICLK	36章
000A 8422h	RSCAN	受信ルール登録レジスタ10CH	GAFLPH10	16	16	2~3PCLKB	2ICLK	36章
000A 8422h	RSCAN	受信バッファレジスタ8AH	RMIDH8	16	16	2~3PCLKB	2ICLK	36章
000A 8424h	RSCAN	受信ルール登録レジスタ11AL	GAFLIDL11	16	16	2~3PCLKB	2ICLK	36章
000A 8424h	RSCAN	受信バッファレジスタ8BL	RMTS8	16	16	2~3PCLKB	2ICLK	36章
000A 8426h	RSCAN	受信ルール登録レジスタ11AH	GAFLIDH11	16	16	2~3PCLKB	2ICLK	36章
000A 8426h	RSCAN	受信バッファレジスタ8BH	RMPTR8	16	16	2~3PCLKB	2ICLK	36章
000A 8428h	RSCAN	受信ルール登録レジスタ11BL	GAFLML11	16	16	2~3PCLKB	2ICLK	36章
000A 8428h	RSCAN	受信バッファレジスタ8CL	RMDF08	16	16	2~3PCLKB	2ICLK	36章
000A 842Ah	RSCAN	受信ルール登録レジスタ11BH	GAFLMH11	16	16	2~3PCLKB	2ICLK	36章
000A 842Ah	RSCAN	受信バッファレジスタ8CH	RMDF18	16	16	2~3PCLKB	2ICLK	36章
000A 842Ch	RSCAN	受信ルール登録レジスタ11CL	GAFLPL11	16	16	2~3PCLKB	2ICLK	36章
000A 842Ch	RSCAN	受信バッファレジスタ8DL	RMDF28	16	16	2~3PCLKB	2ICLK	36章
000A 842Eh	RSCAN	受信ルール登録レジスタ11CH	GAFLPH11	16	16	2~3PCLKB	2ICLK	36章
000A 842Eh	RSCAN	受信バッファレジスタ8DH	RMDF38	16	16	2~3PCLKB	2ICLK	36章
000A 8430h	RSCAN	受信ルール登録レジスタ12AL	GAFLIDL12	16	16	2~3PCLKB	2ICLK	36章
000A 8430h	RSCAN	受信バッファレジスタ9AL	RMIDL9	16	16	2~3PCLKB	2ICLK	36章
000A 8432h	RSCAN	受信ルール登録レジスタ12AH	GAFLIDH12	16	16	2~3PCLKB	2ICLK	36章
000A 8432h	RSCAN	受信バッファレジスタ9AH	RMIDH9	16	16	2~3PCLKB	2ICLK	36章
000A 8434h	RSCAN	受信ルール登録レジスタ12BL	GAFLML12	16	16	2~3PCLKB	2ICLK	36章
000A 8434h	RSCAN	受信バッファレジスタ9BL	RMTS9	16	16	2~3PCLKB	2ICLK	36章
000A 8436h	RSCAN	受信ルール登録レジスタ12BH	GAFLMH12	16	16	2~3PCLKB	2ICLK	36章
000A 8436h	RSCAN	受信バッファレジスタ9BH	RMPTR9	16	16	2~3PCLKB	2ICLK	36章
000A 8438h	RSCAN	受信ルール登録レジスタ12CL	GAFLPL12	16	16	2~3PCLKB	2ICLK	36章
000A 8438h	RSCAN	受信バッファレジスタ9CL	RMDF09	16	16	2~3PCLKB	2ICLK	36章
000A 843Ah	RSCAN	受信ルール登録レジスタ12CH	GAFLPH12	16	16	2~3PCLKB	2ICLK	36章
000A 843Ah	RSCAN	受信バッファレジスタ9CH	RMDF19	16	16	2~3PCLKB	2ICLK	36章
000A 843Ch	RSCAN	受信ルール登録レジスタ13AL	GAFLIDL13	16	16	2~3PCLKB	2ICLK	36章
000A 843Ch	RSCAN	受信バッファレジスタ9DL	RMDF29	16	16	2~3PCLKB	2ICLK	36章
000A 843Eh	RSCAN	受信ルール登録レジスタ13AH	GAFLIDH13	16	16	2~3PCLKB	2ICLK	36章
000A 843Eh	RSCAN	受信バッファレジスタ9DH	RMDF39	16	16	2~3PCLKB	2ICLK	36章
000A 8440h	RSCAN	受信ルール登録レジスタ13BL	GAFLML13	16	16	2~3PCLKB	2ICLK	36章
000A 8440h	RSCAN	受信バッファレジスタ10AL	RMIDL10	16	16	2~3PCLKB	2ICLK	36章
000A 8442h	RSCAN	受信ルール登録レジスタ13BH	GAFLMH13	16	16	2~3PCLKB	2ICLK	36章
000A 8442h	RSCAN	受信バッファレジスタ10AH	RMIDH10	16	16	2~3PCLKB	2ICLK	36章
000A 8444h	RSCAN	受信ルール登録レジスタ13CL	GAFLPL13	16	16	2~3PCLKB	2ICLK	36章
000A 8444h	RSCAN	受信バッファレジスタ10BL	RMTS10	16	16	2~3PCLKB	2ICLK	36章
000A 8446h	RSCAN	受信ルール登録レジスタ13CH	GAFLPH13	16	16	2~3PCLKB	2ICLK	36章
000A 8446h	RSCAN	受信バッファレジスタ10BH	RMPTR10	16	16	2~3PCLKB	2ICLK	36章
000A 8448h	RSCAN	受信ルール登録レジスタ14AL	GAFLIDL14	16	16	2~3PCLKB	2ICLK	36章
000A 8448h	RSCAN	受信バッファレジスタ10CL	RMDF010	16	16	2~3PCLKB	2ICLK	36章
000A 844Ah	RSCAN	受信ルール登録レジスタ14AH	GAFLIDH14	16	16	2~3PCLKB	2ICLK	36章
000A 844Ah	RSCAN	受信バッファレジスタ10CH	RMDF110	16	16	2~3PCLKB	2ICLK	36章

表5.1 I/Oレジスタアドレス一覧 (28/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの場合	ICLK < PCLKの場合	
000A 844Ch	RSCAN	受信ルール登録レジスタ 14BL	GAFLML14	16	16	2~3PCLKB	2ICLK	36章
000A 844Ch	RSCAN	受信バッファレジスタ 10DL	RMDF210	16	16	2~3PCLKB	2ICLK	36章
000A 844Eh	RSCAN	受信ルール登録レジスタ 14BH	GAFLMH14	16	16	2~3PCLKB	2ICLK	36章
000A 844Eh	RSCAN	受信バッファレジスタ 10DH	RMDF310	16	16	2~3PCLKB	2ICLK	36章
000A 8450h	RSCAN	受信ルール登録レジスタ 14CL	GAFLPL14	16	16	2~3PCLKB	2ICLK	36章
000A 8450h	RSCAN	受信バッファレジスタ 11AL	RMIDL11	16	16	2~3PCLKB	2ICLK	36章
000A 8452h	RSCAN	受信ルール登録レジスタ 14CH	GAFLPH14	16	16	2~3PCLKB	2ICLK	36章
000A 8452h	RSCAN	受信バッファレジスタ 11AH	RMIDH11	16	16	2~3PCLKB	2ICLK	36章
000A 8454h	RSCAN	受信ルール登録レジスタ 15AL	GAFLIDL15	16	16	2~3PCLKB	2ICLK	36章
000A 8454h	RSCAN	受信バッファレジスタ 11BL	RMTS11	16	16	2~3PCLKB	2ICLK	36章
000A 8456h	RSCAN	受信ルール登録レジスタ 15AH	GAFLIDH15	16	16	2~3PCLKB	2ICLK	36章
000A 8456h	RSCAN	受信バッファレジスタ 11BH	RMPTR11	16	16	2~3PCLKB	2ICLK	36章
000A 8458h	RSCAN	受信ルール登録レジスタ 15BL	GAFLML15	16	16	2~3PCLKB	2ICLK	36章
000A 8458h	RSCAN	受信バッファレジスタ 11CL	RMDF011	16	16	2~3PCLKB	2ICLK	36章
000A 845Ah	RSCAN	受信ルール登録レジスタ 15BH	GAFLMH15	16	16	2~3PCLKB	2ICLK	36章
000A 845Ah	RSCAN	受信バッファレジスタ 11CH	RMDF111	16	16	2~3PCLKB	2ICLK	36章
000A 845Ch	RSCAN	受信ルール登録レジスタ 15CL	GAFLPL15	16	16	2~3PCLKB	2ICLK	36章
000A 845Ch	RSCAN	受信バッファレジスタ 11DL	RMDF211	16	16	2~3PCLKB	2ICLK	36章
000A 845Eh	RSCAN	受信ルール登録レジスタ 15CH	GAFLPH15	16	16	2~3PCLKB	2ICLK	36章
000A 845Eh	RSCAN	受信バッファレジスタ 11DH	RMDF311	16	16	2~3PCLKB	2ICLK	36章
000A 8460h	RSCAN	受信バッファレジスタ 12AL	RMIDL12	16	16	2~3PCLKB	2ICLK	36章
000A 8462h	RSCAN	受信バッファレジスタ 12AH	RMIDH12	16	16	2~3PCLKB	2ICLK	36章
000A 8464h	RSCAN	受信バッファレジスタ 12BL	RMTS12	16	16	2~3PCLKB	2ICLK	36章
000A 8466h	RSCAN	受信バッファレジスタ 12BH	RMPTR12	16	16	2~3PCLKB	2ICLK	36章
000A 8468h	RSCAN	受信バッファレジスタ 12CL	RMDF012	16	16	2~3PCLKB	2ICLK	36章
000A 846Ah	RSCAN	受信バッファレジスタ 12CH	RMDF112	16	16	2~3PCLKB	2ICLK	36章
000A 846Ch	RSCAN	受信バッファレジスタ 12DL	RMDF212	16	16	2~3PCLKB	2ICLK	36章
000A 846Eh	RSCAN	受信バッファレジスタ 12DH	RMDF312	16	16	2~3PCLKB	2ICLK	36章
000A 8470h	RSCAN	受信バッファレジスタ 13AL	RMIDL13	16	16	2~3PCLKB	2ICLK	36章
000A 8472h	RSCAN	受信バッファレジスタ 13AH	RMIDH13	16	16	2~3PCLKB	2ICLK	36章
000A 8474h	RSCAN	受信バッファレジスタ 13BL	RMTS13	16	16	2~3PCLKB	2ICLK	36章
000A 8476h	RSCAN	受信バッファレジスタ 13BH	RMPTR13	16	16	2~3PCLKB	2ICLK	36章
000A 8478h	RSCAN	受信バッファレジスタ 13CL	RMDF013	16	16	2~3PCLKB	2ICLK	36章
000A 847Ah	RSCAN	受信バッファレジスタ 13CH	RMDF113	16	16	2~3PCLKB	2ICLK	36章
000A 847Ch	RSCAN	受信バッファレジスタ 13DL	RMDF213	16	16	2~3PCLKB	2ICLK	36章
000A 847Eh	RSCAN	受信バッファレジスタ 13DH	RMDF313	16	16	2~3PCLKB	2ICLK	36章
000A 8480h	RSCAN	受信バッファレジスタ 14AL	RMIDL14	16	16	2~3PCLKB	2ICLK	36章
000A 8482h	RSCAN	受信バッファレジスタ 14AH	RMIDH14	16	16	2~3PCLKB	2ICLK	36章
000A 8484h	RSCAN	受信バッファレジスタ 14BL	RMTS14	16	16	2~3PCLKB	2ICLK	36章
000A 8486h	RSCAN	受信バッファレジスタ 14BH	RMPTR14	16	16	2~3PCLKB	2ICLK	36章
000A 8488h	RSCAN	受信バッファレジスタ 14CL	RMDF014	16	16	2~3PCLKB	2ICLK	36章
000A 848Ah	RSCAN	受信バッファレジスタ 14CH	RMDF114	16	16	2~3PCLKB	2ICLK	36章
000A 848Ch	RSCAN	受信バッファレジスタ 14DL	RMDF214	16	16	2~3PCLKB	2ICLK	36章
000A 848Eh	RSCAN	受信バッファレジスタ 14DH	RMDF314	16	16	2~3PCLKB	2ICLK	36章
000A 8490h	RSCAN	受信バッファレジスタ 15AL	RMIDL15	16	16	2~3PCLKB	2ICLK	36章
000A 8492h	RSCAN	受信バッファレジスタ 15AH	RMIDH15	16	16	2~3PCLKB	2ICLK	36章
000A 8494h	RSCAN	受信バッファレジスタ 15BL	RMTS15	16	16	2~3PCLKB	2ICLK	36章
000A 8496h	RSCAN	受信バッファレジスタ 15BH	RMPTR15	16	16	2~3PCLKB	2ICLK	36章
000A 8498h	RSCAN	受信バッファレジスタ 15CL	RMDF015	16	16	2~3PCLKB	2ICLK	36章
000A 849Ah	RSCAN	受信バッファレジスタ 15CH	RMDF115	16	16	2~3PCLKB	2ICLK	36章
000A 849Ch	RSCAN	受信バッファレジスタ 15DL	RMDF215	16	16	2~3PCLKB	2ICLK	36章

表5.1 I/Oレジスタアドレス一覧 (29/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの場合	ICLK < PCLKの場合	
000A 849Eh	RSCAN	受信バッファレジスタ 15DH	RMDF315	16	16	2~3PCLKB	2ICLK	36章
000A 8580h~000A 859Fh	RSCAN	RAMテストレジスタ0~RAMテストレジスタ 15	RPGACC0~RPGACC15	16	16	2~3PCLKB	2ICLK	36章
000A 85A0h	RSCAN	受信FIFOアクセスレジスタ 0AL	RFIDL0	16	16	2~3PCLKB	2ICLK	36章
000A 85A0h	RSCAN	RAMテストレジスタ 16	RPGACC16	16	16	2~3PCLKB	2ICLK	36章
000A 85A2h	RSCAN	受信FIFOアクセスレジスタ 0AH	RFIDH0	16	16	2~3PCLKB	2ICLK	36章
000A 85A2h	RSCAN	RAMテストレジスタ 17	RPGACC17	16	16	2~3PCLKB	2ICLK	36章
000A 85A4h	RSCAN	受信FIFOアクセスレジスタ 0BL	RFDS0	16	16	2~3PCLKB	2ICLK	36章
000A 85A4h	RSCAN	RAMテストレジスタ 18	RPGACC18	16	16	2~3PCLKB	2ICLK	36章
000A 85A6h	RSCAN	受信FIFOアクセスレジスタ 0BH	RFPTR0	16	16	2~3PCLKB	2ICLK	36章
000A 85A6h	RSCAN	RAMテストレジスタ 19	RPGACC19	16	16	2~3PCLKB	2ICLK	36章
000A 85A8h	RSCAN	受信FIFOアクセスレジスタ 0CL	RFDF00	16	16	2~3PCLKB	2ICLK	36章
000A 85A8h	RSCAN	RAMテストレジスタ 20	RPGACC20	16	16	2~3PCLKB	2ICLK	36章
000A 85AAh	RSCAN	受信FIFOアクセスレジスタ 0CH	RFDF10	16	16	2~3PCLKB	2ICLK	36章
000A 85AAh	RSCAN	RAMテストレジスタ 21	RPGACC21	16	16	2~3PCLKB	2ICLK	36章
000A 85ACh	RSCAN	受信FIFOアクセスレジスタ 0DL	RFDF20	16	16	2~3PCLKB	2ICLK	36章
000A 85ACh	RSCAN	RAMテストレジスタ 22	RPGACC22	16	16	2~3PCLKB	2ICLK	36章
000A 85AEh	RSCAN	受信FIFOアクセスレジスタ 0DH	RFDF30	16	16	2~3PCLKB	2ICLK	36章
000A 85AEh	RSCAN	RAMテストレジスタ 23	RPGACC23	16	16	2~3PCLKB	2ICLK	36章
000A 85B0h	RSCAN	受信FIFOアクセスレジスタ 1AL	RFIDL1	16	16	2~3PCLKB	2ICLK	36章
000A 85B0h	RSCAN	RAMテストレジスタ 24	RPGACC24	16	16	2~3PCLKB	2ICLK	36章
000A 85B2h	RSCAN	受信FIFOアクセスレジスタ 1AH	RFIDH1	16	16	2~3PCLKB	2ICLK	36章
000A 85B2h	RSCAN	RAMテストレジスタ 25	RPGACC25	16	16	2~3PCLKB	2ICLK	36章
000A 85B4h	RSCAN	受信FIFOアクセスレジスタ 1BL	RFDS1	16	16	2~3PCLKB	2ICLK	36章
000A 85B4h	RSCAN	RAMテストレジスタ 26	RPGACC26	16	16	2~3PCLKB	2ICLK	36章
000A 85B6h	RSCAN	受信FIFOアクセスレジスタ 1BH	RFPTR1	16	16	2~3PCLKB	2ICLK	36章
000A 85B6h	RSCAN	RAMテストレジスタ 27	RPGACC27	16	16	2~3PCLKB	2ICLK	36章
000A 85B8h	RSCAN	受信FIFOアクセスレジスタ 1CL	RFDF01	16	16	2~3PCLKB	2ICLK	36章
000A 85B8h	RSCAN	RAMテストレジスタ 28	RPGACC28	16	16	2~3PCLKB	2ICLK	36章
000A 85BAh	RSCAN	受信FIFOアクセスレジスタ 1CH	RFDF11	16	16	2~3PCLKB	2ICLK	36章
000A 85BAh	RSCAN	RAMテストレジスタ 29	RPGACC29	16	16	2~3PCLKB	2ICLK	36章
000A 85BCh	RSCAN	受信FIFOアクセスレジスタ 1DL	RFDF21	16	16	2~3PCLKB	2ICLK	36章
000A 85BCh	RSCAN	RAMテストレジスタ 30	RPGACC30	16	16	2~3PCLKB	2ICLK	36章
000A 85BEh	RSCAN	受信FIFOアクセスレジスタ 1DH	RFDF31	16	16	2~3PCLKB	2ICLK	36章
000A 85BEh	RSCAN	RAMテストレジスタ 31	RPGACC31	16	16	2~3PCLKB	2ICLK	36章
000A 85C0h~000A 85DEh	RSCAN	RAMテストレジスタ 32~RAMテストレジスタ 47	RPGACC32~RPGACC47	16	16	2~3PCLKB	2ICLK	36章
000A 85E0h	RSCAN0	送受信FIFOアクセスレジスタ 0AL	CFIDL0	16	16	2~3PCLKB	2ICLK	36章
000A 85E0h	RSCAN	RAMテストレジスタ 48	RPGACC48	16	16	2~3PCLKB	2ICLK	36章
000A 85E2h	RSCAN0	送受信FIFOアクセスレジスタ 0AH	CFIDH0	16	16	2~3PCLKB	2ICLK	36章
000A 85E2h	RSCAN	RAMテストレジスタ 49	RPGACC49	16	16	2~3PCLKB	2ICLK	36章
000A 85E4h	RSCAN0	送受信FIFOアクセスレジスタ 0BL	CFDS0	16	16	2~3PCLKB	2ICLK	36章
000A 85E4h	RSCAN	RAMテストレジスタ 50	RPGACC50	16	16	2~3PCLKB	2ICLK	36章
000A 85E6h	RSCAN0	送受信FIFOアクセスレジスタ 0BH	CFPTR0	16	16	2~3PCLKB	2ICLK	36章
000A 85E6h	RSCAN	RAMテストレジスタ 51	RPGACC51	16	16	2~3PCLKB	2ICLK	36章
000A 85E8h	RSCAN0	送受信FIFOアクセスレジスタ 0CL	CFDF00	16	16	2~3PCLKB	2ICLK	36章
000A 85E8h	RSCAN	RAMテストレジスタ 52	RPGACC52	16	16	2~3PCLKB	2ICLK	36章
000A 85EAh	RSCAN0	送受信FIFOアクセスレジスタ 0CH	CFDF10	16	16	2~3PCLKB	2ICLK	36章
000A 85EAh	RSCAN	RAMテストレジスタ 53	RPGACC53	16	16	2~3PCLKB	2ICLK	36章
000A 85ECh	RSCAN0	送受信FIFOアクセスレジスタ 0DL	CFDF20	16	16	2~3PCLKB	2ICLK	36章
000A 85ECh	RSCAN	RAMテストレジスタ 54	RPGACC54	16	16	2~3PCLKB	2ICLK	36章
000A 85EEh	RSCAN0	送受信FIFOアクセスレジスタ 0DH	CFDF30	16	16	2~3PCLKB	2ICLK	36章

表5.1 I/Oレジスタアドレス一覧 (30/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK \geq PCLK の場合	ICLK < PCLK の場合	
000A 85EEh	RSCAN	RAMテストレジスタ55	RPGACC55	16	16	2~3PCLKB	2ICLK	36章
000A 85F0h~ 000A 85FEh	RSCAN	RAMテストレジスタ56~RAMテストレジスタ63	RPGACC56~ RPGACC63	16	16	2~3PCLKB	2ICLK	36章
000A 8600h	RSCAN0	送信バッファレジスタ0AL	TMIDL0	16	16	2~3PCLKB	2ICLK	36章
000A 8600h	RSCAN	RAMテストレジスタ64	RPGACC64	16	16	2~3PCLKB	2ICLK	36章
000A 8602h	RSCAN0	送信バッファレジスタ0AH	TMIDH0	16	16	2~3PCLKB	2ICLK	36章
000A 8602h	RSCAN	RAMテストレジスタ65	RPGACC65	16	16	2~3PCLKB	2ICLK	36章
000A 8604h	RSCAN	RAMテストレジスタ66	RPGACC66	16	16	2~3PCLKB	2ICLK	36章
000A 8606h	RSCAN0	送信バッファレジスタ0BH	TMPTR0	16	16	2~3PCLKB	2ICLK	36章
000A 8606h	RSCAN	RAMテストレジスタ67	RPGACC67	16	16	2~3PCLKB	2ICLK	36章
000A 8608h	RSCAN0	送信バッファレジスタ0CL	TMDF00	16	16	2~3PCLKB	2ICLK	36章
000A 8608h	RSCAN	RAMテストレジスタ68	RPGACC68	16	16	2~3PCLKB	2ICLK	36章
000A 860Ah	RSCAN0	送信バッファレジスタ0CH	TMDF10	16	16	2~3PCLKB	2ICLK	36章
000A 860Ah	RSCAN	RAMテストレジスタ69	RPGACC69	16	16	2~3PCLKB	2ICLK	36章
000A 860Ch	RSCAN0	送信バッファレジスタ0DL	TMDF20	16	16	2~3PCLKB	2ICLK	36章
000A 860Ch	RSCAN	RAMテストレジスタ70	RPGACC70	16	16	2~3PCLKB	2ICLK	36章
000A 860Eh	RSCAN0	送信バッファレジスタ0DH	TMDF30	16	16	2~3PCLKB	2ICLK	36章
000A 860Eh	RSCAN	RAMテストレジスタ71	RPGACC71	16	16	2~3PCLKB	2ICLK	36章
000A 8610h	RSCAN0	送信バッファレジスタ1AL	TMIDL1	16	16	2~3PCLKB	2ICLK	36章
000A 8610h	RSCAN	RAMテストレジスタ72	RPGACC72	16	16	2~3PCLKB	2ICLK	36章
000A 8612h	RSCAN0	送信バッファレジスタ1AH	TMIDH1	16	16	2~3PCLKB	2ICLK	36章
000A 8612h	RSCAN	RAMテストレジスタ73	RPGACC73	16	16	2~3PCLKB	2ICLK	36章
000A 8614h	RSCAN	RAMテストレジスタ74	RPGACC74	16	16	2~3PCLKB	2ICLK	36章
000A 8616h	RSCAN0	送信バッファレジスタ1BH	TMPTR1	16	16	2~3PCLKB	2ICLK	36章
000A 8616h	RSCAN	RAMテストレジスタ75	RPGACC75	16	16	2~3PCLKB	2ICLK	36章
000A 8618h	RSCAN0	送信バッファレジスタ1CL	TMDF01	16	16	2~3PCLKB	2ICLK	36章
000A 8618h	RSCAN	RAMテストレジスタ76	RPGACC76	16	16	2~3PCLKB	2ICLK	36章
000A 861Ah	RSCAN0	送信バッファレジスタ1CH	TMDF11	16	16	2~3PCLKB	2ICLK	36章
000A 861Ah	RSCAN	RAMテストレジスタ77	RPGACC77	16	16	2~3PCLKB	2ICLK	36章
000A 861Ch	RSCAN0	送信バッファレジスタ1DL	TMDF21	16	16	2~3PCLKB	2ICLK	36章
000A 861Ch	RSCAN	RAMテストレジスタ78	RPGACC78	16	16	2~3PCLKB	2ICLK	36章
000A 861Eh	RSCAN0	送信バッファレジスタ1DH	TMDF31	16	16	2~3PCLKB	2ICLK	36章
000A 861Eh	RSCAN	RAMテストレジスタ79	RPGACC79	16	16	2~3PCLKB	2ICLK	36章
000A 8620h	RSCAN0	送信バッファレジスタ2AL	TMIDL2	16	16	2~3PCLKB	2ICLK	36章
000A 8620h	RSCAN	RAMテストレジスタ80	RPGACC80	16	16	2~3PCLKB	2ICLK	36章
000A 8622h	RSCAN0	送信バッファレジスタ2AH	TMIDH2	16	16	2~3PCLKB	2ICLK	36章
000A 8622h	RSCAN	RAMテストレジスタ81	RPGACC81	16	16	2~3PCLKB	2ICLK	36章
000A 8624h	RSCAN	RAMテストレジスタ82	RPGACC82	16	16	2~3PCLKB	2ICLK	36章
000A 8626h	RSCAN0	送信バッファレジスタ2BH	TMPTR2	16	16	2~3PCLKB	2ICLK	36章
000A 8626h	RSCAN	RAMテストレジスタ83	RPGACC83	16	16	2~3PCLKB	2ICLK	36章
000A 8628h	RSCAN0	送信バッファレジスタ2CL	TMDF02	16	16	2~3PCLKB	2ICLK	36章
000A 8628h	RSCAN	RAMテストレジスタ84	RPGACC84	16	16	2~3PCLKB	2ICLK	36章
000A 862Ah	RSCAN0	送信バッファレジスタ2CH	TMDF12	16	16	2~3PCLKB	2ICLK	36章
000A 862Ah	RSCAN	RAMテストレジスタ85	RPGACC85	16	16	2~3PCLKB	2ICLK	36章
000A 862Ch	RSCAN0	送信バッファレジスタ2DL	TMDF22	16	16	2~3PCLKB	2ICLK	36章
000A 862Ch	RSCAN	RAMテストレジスタ86	RPGACC86	16	16	2~3PCLKB	2ICLK	36章
000A 862Eh	RSCAN0	送信バッファレジスタ2DH	TMDF32	16	16	2~3PCLKB	2ICLK	36章
000A 862Eh	RSCAN	RAMテストレジスタ87	RPGACC87	16	16	2~3PCLKB	2ICLK	36章
000A 8630h	RSCAN0	送信バッファレジスタ3AL	TMIDL3	16	16	2~3PCLKB	2ICLK	36章
000A 8630h	RSCAN	RAMテストレジスタ88	RPGACC88	16	16	2~3PCLKB	2ICLK	36章
000A 8632h	RSCAN0	送信バッファレジスタ3AH	TMIDH3	16	16	2~3PCLKB	2ICLK	36章
000A 8632h	RSCAN	RAMテストレジスタ89	RPGACC89	16	16	2~3PCLKB	2ICLK	36章

表5.1 I/Oレジスタアドレス一覧 (31/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの場合	ICLK < PCLKの場合	
000A 8634h	RSCAN	RAMテストレジスタ90	RPGACC90	16	16	2~3PCLKB	2ICLK	36章
000A 8636h	RSCAN0	送信バッファレジスタ3BH	TMPTR3	16	16	2~3PCLKB	2ICLK	36章
000A 8636h	RSCAN	RAMテストレジスタ91	RPGACC91	16	16	2~3PCLKB	2ICLK	36章
000A 8638h	RSCAN0	送信バッファレジスタ3CL	TMDFF03	16	16	2~3PCLKB	2ICLK	36章
000A 8638h	RSCAN	RAMテストレジスタ92	RPGACC92	16	16	2~3PCLKB	2ICLK	36章
000A 863Ah	RSCAN0	送信バッファレジスタ3CH	TMDFF13	16	16	2~3PCLKB	2ICLK	36章
000A 863Ah	RSCAN	RAMテストレジスタ93	RPGACC93	16	16	2~3PCLKB	2ICLK	36章
000A 863Ch	RSCAN0	送信バッファレジスタ3DL	TMDFF23	16	16	2~3PCLKB	2ICLK	36章
000A 863Ch	RSCAN	RAMテストレジスタ94	RPGACC94	16	16	2~3PCLKB	2ICLK	36章
000A 863Eh	RSCAN0	送信バッファレジスタ3DH	TMDFF33	16	16	2~3PCLKB	2ICLK	36章
000A 863Eh	RSCAN	RAMテストレジスタ95	RPGACC95	16	16	2~3PCLKB	2ICLK	36章
000A 8640h~ 000A 867Eh	RSCAN	RAMテストレジスタ96~RAMテストレジスタ127	RPGACC96~ RPGACC127	16	16	2~3PCLKB	2ICLK	36章
000A 8680h	RSCAN0	送信履歴バッファアクセスレジスタ	THLACC0	16	16	2~3PCLKB	2ICLK	36章
000D 0A00h	MTU3	タイマコントロールレジスタ	TCR	8	8	2~3PCLKA	2ICLK	23章
000D 0A01h	MTU4	タイマコントロールレジスタ	TCR	8	8	2~3PCLKA	2ICLK	23章
000D 0A02h	MTU3	タイマモードレジスタ	TMDR	8	8	2~3PCLKA	2ICLK	23章
000D 0A03h	MTU4	タイマモードレジスタ	TMDR	8	8	2~3PCLKA	2ICLK	23章
000D 0A04h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKA	2ICLK	23章
000D 0A05h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKA	2ICLK	23章
000D 0A06h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKA	2ICLK	23章
000D 0A07h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKA	2ICLK	23章
000D 0A08h	MTU3	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKA	2ICLK	23章
000D 0A09h	MTU4	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKA	2ICLK	23章
000D 0A0Ah	MTU	タイマアウトプットマスタ許可レジスタ	TOER	8	8	2~3PCLKA	2ICLK	23章
000D 0A0Dh	MTU	タイマゲートコントロールレジスタ	TGCR	8	8	2~3PCLKA	2ICLK	23章
000D 0A0Eh	MTU	タイマアウトプットコントロールレジスタ1	TOCR1	8	8	2~3PCLKA	2ICLK	23章
000D 0A0Fh	MTU	タイマアウトプットコントロールレジスタ2	TOCR2	8	8	2~3PCLKA	2ICLK	23章
000D 0A10h	MTU3	タイマカウンタ	TCNT	16	16	2~3PCLKA	2ICLK	23章
000D 0A12h	MTU4	タイマカウンタ	TCNT	16	16	2~3PCLKA	2ICLK	23章
000D 0A14h	MTU	タイマ周期データレジスタ	TCDR	16	16	2~3PCLKA	2ICLK	23章
000D 0A16h	MTU	タイマデッドタイムデータレジスタ	TDDR	16	16	2~3PCLKA	2ICLK	23章
000D 0A18h	MTU3	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKA	2ICLK	23章
000D 0A1Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKA	2ICLK	23章
000D 0A1Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKA	2ICLK	23章
000D 0A1Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKA	2ICLK	23章
000D 0A20h	MTU	タイマサブカウンタ	TCNTS	16	16	2~3PCLKA	2ICLK	23章
000D 0A22h	MTU	タイマ周期バッファレジスタ	TCBR	16	16	2~3PCLKA	2ICLK	23章
000D 0A24h	MTU3	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKA	2ICLK	23章
000D 0A26h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKA	2ICLK	23章
000D 0A28h	MTU4	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKA	2ICLK	23章
000D 0A2Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKA	2ICLK	23章
000D 0A2Ch	MTU3	タイマステータスレジスタ	TSR	8	8	2~3PCLKA	2ICLK	23章
000D 0A2Dh	MTU4	タイマステータスレジスタ	TSR	8	8	2~3PCLKA	2ICLK	23章
000D 0A30h	MTU	タイマ割り込み間引き設定レジスタ	TITCR	8	8	2~3PCLKA	2ICLK	23章
000D 0A31h	MTU	タイマ割り込み間引き回数カウンタ	TITCNT	8	8	2~3PCLKA	2ICLK	23章
000D 0A32h	MTU	タイマバッファ転送設定レジスタ	TBTER	8	8	2~3PCLKA	2ICLK	23章
000D 0A34h	MTU	タイマデッドタイム許可レジスタ	TDER	8	8	2~3PCLKA	2ICLK	23章
000D 0A36h	MTU	タイマアウトプットレベルバッファレジスタ	TOLBR	8	8	2~3PCLKA	2ICLK	23章
000D 0A38h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKA	2ICLK	23章
000D 0A39h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKA	2ICLK	23章
000D 0A40h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	2~3PCLKA	2ICLK	23章

表5.1 I/Oレジスタアドレス一覧 (32/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000D 0A44h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	2~3PCLKA	2ICLK	23章
000D 0A46h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	2~3PCLKA	2ICLK	23章
000D 0A48h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	2~3PCLKA	2ICLK	23章
000D 0A4Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	2~3PCLKA	2ICLK	23章
000D 0A60h	MTU	タイマ波形コントロールレジスタ	TWCR	8	8, 16	2~3PCLKA	2ICLK	23章
000D 0A80h	MTU	タイマスタートレジスタ	TSTR	8	8, 16	2~3PCLKA	2ICLK	23章
000D 0A81h	MTU	タイマシンクロレジスタ	TSYR	8	8, 16	2~3PCLKA	2ICLK	23章
000D 0A84h	MTU	タイマリードライト許可レジスタ	TRWER	8	8, 16	2~3PCLKA	2ICLK	23章
000D 0A90h	MTU0	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKA	2ICLK	23章
000D 0A91h	MTU1	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKA	2ICLK	23章
000D 0A92h	MTU2	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKA	2ICLK	23章
000D 0A93h	MTU3	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKA	2ICLK	23章
000D 0A94h	MTU4	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKA	2ICLK	23章
000D 0A95h	MTU5	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKA	2ICLK	23章
000D 0B00h	MTU0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKA	2ICLK	23章
000D 0B01h	MTU0	タイマモードレジスタ	TMDR	8	8	2~3PCLKA	2ICLK	23章
000D 0B02h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKA	2ICLK	23章
000D 0B03h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKA	2ICLK	23章
000D 0B04h	MTU0	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKA	2ICLK	23章
000D 0B05h	MTU0	タイマステータスレジスタ	TSR	8	8	2~3PCLKA	2ICLK	23章
000D 0B06h	MTU0	タイマカウンタ	TCNT	16	16	2~3PCLKA	2ICLK	23章
000D 0B08h	MTU0	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKA	2ICLK	23章
000D 0B0Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKA	2ICLK	23章
000D 0B0Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKA	2ICLK	23章
000D 0B0Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKA	2ICLK	23章
000D 0B20h	MTU0	タイマジェネラルレジスタE	TGRE	16	16	2~3PCLKA	2ICLK	23章
000D 0B22h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	2~3PCLKA	2ICLK	23章
000D 0B24h	MTU0	タイマ割り込み許可レジスタ2	TIER2	8	8	2~3PCLKA	2ICLK	23章
000D 0B26h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKA	2ICLK	23章
000D 0B80h	MTU1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKA	2ICLK	23章
000D 0B81h	MTU1	タイマモードレジスタ	TMDR	8	8	2~3PCLKA	2ICLK	23章
000D 0B82h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKA	2ICLK	23章
000D 0B84h	MTU1	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKA	2ICLK	23章
000D 0B85h	MTU1	タイマステータスレジスタ	TSR	8	8	2~3PCLKA	2ICLK	23章
000D 0B86h	MTU1	タイマカウンタ	TCNT	16	16	2~3PCLKA	2ICLK	23章
000D 0B88h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKA	2ICLK	23章
000D 0B8Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKA	2ICLK	23章
000D 0B90h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2~3PCLKA	2ICLK	23章
000D 0C00h	MTU2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKA	2ICLK	23章
000D 0C01h	MTU2	タイマモードレジスタ	TMDR	8	8	2~3PCLKA	2ICLK	23章
000D 0C02h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKA	2ICLK	23章
000D 0C04h	MTU2	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKA	2ICLK	23章
000D 0C05h	MTU2	タイマステータスレジスタ	TSR	8	8	2~3PCLKA	2ICLK	23章
000D 0C06h	MTU2	タイマカウンタ	TCNT	16	16	2~3PCLKA	2ICLK	23章
000D 0C08h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKA	2ICLK	23章
000D 0C0Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKA	2ICLK	23章
000D 0C80h	MTU5	タイマカウンタU	TCNTU	16	16	2~3PCLKA	2ICLK	23章
000D 0C82h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	2~3PCLKA	2ICLK	23章
000D 0C84h	MTU5	タイマコントロールレジスタU	TCRU	8	8	2~3PCLKA	2ICLK	23章
000D 0C86h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	2~3PCLKA	2ICLK	23章
000D 0C90h	MTU5	タイマカウンタV	TCNTV	16	16	2~3PCLKA	2ICLK	23章

表5.1 I/Oレジスタアドレス一覧 (33/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000D 0C92h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	2~3PCLKA	2ICLK	23章
000D 0C94h	MTU5	タイマコントロールレジスタV	TCRV	8	8	2~3PCLKA	2ICLK	23章
000D 0C96h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	2~3PCLKA	2ICLK	23章
000D 0CA0h	MTU5	タイマカウンタW	TCNTW	16	16	2~3PCLKA	2ICLK	23章
000D 0CA2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	2~3PCLKA	2ICLK	23章
000D 0CA4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	2~3PCLKA	2ICLK	23章
000D 0CA6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	2~3PCLKA	2ICLK	23章
000D 0CB2h	MTU5	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKA	2ICLK	23章
000D 0CB4h	MTU5	タイマスタートレジスタ	TSTR	8	8	2~3PCLKA	2ICLK	23章
000D 0CB6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	2~3PCLKA	2ICLK	23章
007F C090h	FLASH	E2データフラッシュ制御レジスタ	DFLCTL	8	8	2~3FCLK	2ICLK	49章
007F C0ACh	TEMPSA	温度センサ校正データレジスタL	TSCDRL	8	8	2~3PCLKA	2ICLK	45章
007F C0ADh	TEMPSA	温度センサ校正データレジスタH	TSCDRH	8	8	2~3PCLKA	2ICLK	45章
007F C100h	FLASH	フラッシュP/Eモード制御レジスタ	FPMCR	8	8	2~3FCLK	2ICLK	49章
007F C104h	FLASH	フラッシュ領域選択レジスタ	FASR	8	8	2~3FCLK	2ICLK	49章
007F C108h	FLASH	フラッシュ処理開始アドレスレジスタL	FSARL	16	16	2~3FCLK	2ICLK	49章
007F C110h	FLASH	フラッシュ処理開始アドレスレジスタH	FSARH	16	16	2~3FCLK	2ICLK	49章
007F C114h	FLASH	フラッシュ制御レジスタ	FCR	8	8	2~3FCLK	2ICLK	49章
007F C118h	FLASH	フラッシュ処理終了アドレスレジスタL	FEARL	16	16	2~3FCLK	2ICLK	49章
007F C120h	FLASH	フラッシュ処理終了アドレスレジスタH	FEARH	16	16	2~3FCLK	2ICLK	49章
007F C124h	FLASH	フラッシュリセットレジスタ	FRESETR	8	8	2~3FCLK	2ICLK	49章
007F C12Ch	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2~3FCLK	2ICLK	49章
007F C130h	FLASH	フラッシュライトバッファ0レジスタ	FWB0	16	16	2~3FCLK	2ICLK	49章
007F C138h	FLASH	フラッシュライトバッファ1レジスタ	FWB1	16	16	2~3FCLK	2ICLK	49章
007F C140h	FLASH	フラッシュライトバッファ2レジスタ	FWB2	16	16	2~3FCLK	2ICLK	49章
007F C144h	FLASH	フラッシュライトバッファ3レジスタ	FWB3	16	16	2~3FCLK	2ICLK	49章
007F C180h	FLASH	プロテクト解除レジスタ	FPR	8	8	2~3FCLK	2ICLK	49章
007F C184h	FLASH	プロテクト解除ステータスレジスタ	FPSR	8	8	2~3FCLK	2ICLK	49章
007F C1C0h	FLASH	フラッシュスタートアップ設定モニタレジスタ	FSCMR	16	16	2~3FCLK	2ICLK	49章
007F C1C8h	FLASH	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ	FAWSMR	16	16	2~3FCLK	2ICLK	49章
007F C1D0h	FLASH	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ	FAWEMR	16	16	2~3FCLK	2ICLK	49章
007F C1D8h	FLASH	フラッシュ初期設定レジスタ	FISR	8	8	2~3FCLK	2ICLK	49章
007F C1DCh	FLASH	フラッシュエクストラ領域制御レジスタ	FEXCR	8	8	2~3FCLK	2ICLK	49章
007F C1E0h	FLASH	フラッシュエラーアドレスモニタレジスタL	FEAML	16	16	2~3FCLK	2ICLK	49章
007F C1E8h	FLASH	フラッシュエラーアドレスモニタレジスタH	FEAMH	16	16	2~3FCLK	2ICLK	49章
007F C1F0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2~3FCLK	2ICLK	49章
007F C350h	FLASHCONST	ユニークIDレジスタ0	UIDR0	32	32	2~3FCLK	2ICLK	49章
007F C354h	FLASHCONST	ユニークIDレジスタ1	UIDR1	32	32	2~3FCLK	2ICLK	49章
007F C358h	FLASHCONST	ユニークIDレジスタ2	UIDR2	32	32	2~3FCLK	2ICLK	49章
007F C35Ch	FLASHCONST	ユニークIDレジスタ3	UIDR3	32	32	2~3FCLK	2ICLK	49章
007F FFB2h	FLASH	フラッシュP/Eモードエントリレジスタ	FENTRYR	16	16	2~3FCLK	2ICLK	49章

注1. 奇数アドレスへの16ビットアクセスはできません。表26.4に16ビットアクセスのレジスタ配置を示します。

注2. USB動作中にレジスタアクセスを行った場合、アクセスが待たされることがあります。

6. リセット

6.1 概要

リセットには、RES# 端子リセット、パワーオンリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1 にリセットの名称と要因を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
RES#端子リセット	RES#端子の入力電圧がLow
パワーオンリセット	VCCの上昇（監視電圧：VPOR）（注1）
電圧監視0リセット	VCCの下降（監視電圧：Vdet0）（注1）
電圧監視1リセット	VCCの下降（監視電圧：Vdet1）（注1）
電圧監視2リセット	VCCの下降（監視電圧：Vdet2）（注1）
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ソフトウェアリセット	レジスタ設定

注1. 監視電圧（VPOR、Vdet0、Vdet1、Vdet2）については、「8. 電圧検出回路（LVDAb）」、「50. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。

表 6.2 にリセット種別ごとの初期化対象を示します。

表6.2 リセット種別ごとの初期化対象

リセット対象	リセット要因							
	RES# 端子 リセット	パワー オン リセット	電圧監視 0 リセット	独立ウォッチ ドッグタイマ リセット	ウォッチドッグ タイマリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフト ウェア リセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	—	—	—	—	—	—	—
コールドスタート/ウォームスタート判別 フラグ (RSTSR1.CWSF)	— (注1)	○	—	—	—	—	—	—
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	—	—	—	—	—	—
バッテリバックアップ機能のレジスタ (VBATTCCR、VBATTISR、VBTLVDIR)	○	○	—	—	—	—	—	—
独立ウォッチドッグタイマリセット検出 フラグ (RSTSR2.IWDTRF)	○	○	○	—	—	—	—	—
独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTCR、IWDTSR、 IWDTRCR、IWDTCSTPR、ILOCCR)	○	○	○	—	—	—	—	—
ウォッチドッグタイマリセット検出フラグ (RSTSR2.WDTRF)	○	○	○	○	—	—	—	—
ウォッチドッグタイマのレジスタ (WDTRR、WDTCR、WDTSR、WDTRCR)	○	○	○	○	—	—	—	—
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	○	○	—	—	—
電圧監視機能1のレジスタ (LVD1CR0、LVCMPCCR.LVD1E、 LVDLVL.R.LVD1LVL[3:0])	○	○	○	○	○	—	—	—
(LVD1CR1、LVD1SR)	○	○	○	○	○	—	—	—
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	○	○	○	—	—
電圧監視機能2のレジスタ (LVD2CR0、LVCMPCCR.EXVCCINP2、 LVD2E、LVDLVL.R.LVD2LVL[1:0])	○	○	○	○	○	○	—	—
(LVD2CR1、LVD2SR)	○	○	○	○	○	○	—	—
ソフトウェアリセット検出フラグ (RSTSR2.SWRF)	○	○	○	○	○	○	○	—
リアルタイムクロックのレジスタ (注2)	—	—	—	—	—	—	—	—
上記以外のレジスタ、CPUおよび内部状態	○	○	○	○	○	○	○	○

○：初期化されます。 —：変化しない

注1. 電源投入時は初期化されます。

注2. 一部の制御ビット (RCR1.CIE、RCR1.RTCOS、RCR2.RTCOE、ADJ30、RESET) は、すべてのリセットにより初期化されま
す。対象となる制御ビットについては、「28. リアルタイムクロック (RTCe)」を参照してください。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「14. 例外処
理」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

6.2 レジスタの説明

6.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス 0008 C290h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF
リセット後の値	0	0	0	0	0 (注1)	0 (注1)	0 (注1)	0 (注1)

注1. リセット後の値は、リセット要因で異なります。

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0 : パワーオンリセット未検出 1 : パワーオンリセット検出	R/(W) (注1)
b1	LVD0RF	電圧監視0リセット検出フラグ	0 : 電圧監視0リセット未検出 1 : 電圧監視0リセット検出	R/(W) (注1)
b2	LVD1RF	電圧監視1リセット検出フラグ	0 : 電圧監視1リセット未検出 1 : 電圧監視1リセット検出	R/(W) (注1)
b3	LVD2RF	電圧監視2リセット検出フラグ	0 : 電圧監視2リセット未検出 1 : 電圧監視2リセット検出	R/(W) (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

["1"になる条件]

- パワーオンリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD0RF フラグ (電圧監視 0 リセット検出フラグ)

VCC 電圧が Vdet0 レベル以下を検知したことを示します。

["1"になる条件]

- Vdet0 レベルの VCC 電圧を検知したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD1RF フラグ (電圧監視 1 リセット検出フラグ)

VCC 電圧が Vdet1 レベル以下を検知したことを示します。

["1"になる条件]

- Vdet1 レベルの VCC 電圧を検知したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD2RF フラグ（電圧監視 2 リセット検出フラグ）

VCC 電圧が Vdet2 レベル以下を検知したことを示します。

["1" になる条件]

- Vdet2 レベルの VCC 電圧を検知したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

6.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス 0008 C291h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CWSF

リセット後の値 0 0 0 0 0 0 0 0/1 (注1)

注1. リセット後の値は、リセット要因で異なります。

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0: コールドスタート 1: ウォームスタート	R/(W) (注1)
b7-b1	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W

注1. フラグをセットするための"1"書き込みのみ可能です。

RSTSR1 レジスタは、電源が投入されたときのリセット処理（コールドスタート）か、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）かを判定するレジスタです。

CWSF フラグ（コールドスタート/ウォームスタート判別フラグ）

コールドスタートかウォームスタートかを示します。

CWSF フラグは、電源投入時に初期化されます。

["1" になる条件]

- プログラムで"1"を書いたとき。"0"を書いても変化しません。

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき

6.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス 0008 00C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SWRF	WDTR F	IWDTR F
リセット後の値	0	0	0	0	0	0 (注1)	0 (注1)	0 (注1)

注1. リセット後の値は、リセット要因で異なります。

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R/(W) (注1)
b1	WDTRF	ウォッチドッグタイマリセット検出フラグ	0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R/(W) (注1)
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R/(W) (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

["1"になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

WDTRF フラグ (ウォッチドッグタイマリセット検出フラグ)

ウォッチドッグタイマリセットが発生したことを示します。

["1"になる条件]

- ウォッチドッグタイマリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

SWRF フラグ (ソフトウェアリセット検出フラグ)

ソフトウェアリセットが発生したことを示します。

["1"になる条件]

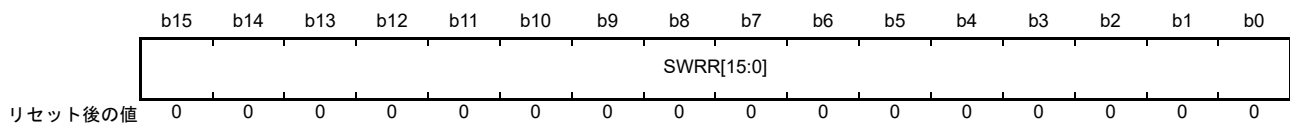
- ソフトウェアリセットを行なったとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

6.2.4 ソフトウェアリセットレジスタ (SWRR)

アドレス 0008 00C2h



ビット	シンボル	ビット名	機能	R/W
b15-b0	SWRR[15:0]	ソフトウェアリセットビット	“A501h”を書くとMCUがリセットされます。読むと“0000h”が読めます	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

6.3 動作説明

6.3.1 RES# 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切られ、リセット状態になります。

確実にリセットするために、電源投入時は規定の電源安定時間に従い、RES# 端子が Low を保持するようにしてください。

RES# 端子を Low から High にした後、RES# 解除後待機時間 (tRESWT) 経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、「50. 電気的特性」を参照してください。

6.3.2 パワーオンリセット、電圧監視 0 リセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。

RES# 端子に抵抗を介して VCC に接続した状態で電源を投入すると、パワーオンリセットが発生します。RES# 端子にコンデンサを接続する場合も、RES# 端子の電圧が常に VIH 以上になるようにしてください。VIH は、「50. 電気的特性」を参照してください。VCC が VPOR を超えると、ある一定時間 (パワーオンリセット時間) が経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源および MCU が安定するための時間です。

また、パワーオンリセットが発生すると、RSTSR0.PORF フラグが“1”になります。PORF フラグは、RES# 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。

オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 レベル選択ビット (LVDAS) が“0” (リセット後、電圧監視 0 リセット有効) の状態で、VCC が Vdet0 以下になると、RSTSR0.LVDORF フラグが“1”になり、電圧検出回路は電圧監視 0 リセットを発生します。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを“0”にしてください。VCC が Vdet0 を超えると、LVD0 リセット時間 (tLVD0) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

図 6.1 にパワーオンリセット、および電圧監視 0 リセットの動作例を示します。

電圧監視 0 リセットの詳細は、「8. 電圧検出回路 (LVDAb)」を参照してください。

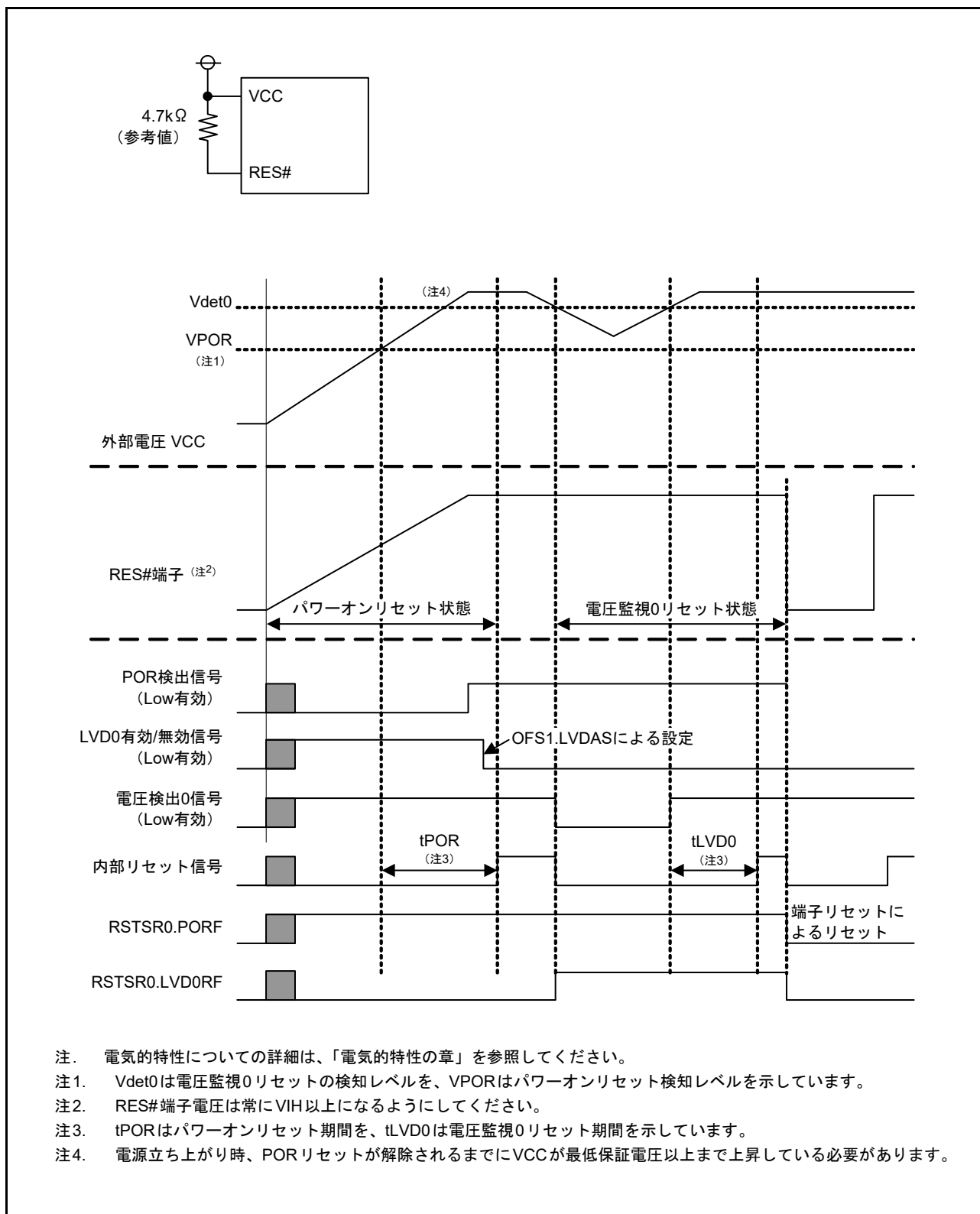


図 6.1 パワーオンリセット、電圧監視 0 リセット動作例

6.3.3 電圧監視 1 リセット、電圧監視 2 リセット

電圧監視回路による内部リセットです。

電圧監視 1 回路制御レジスタ 0 (LVD1CR0) の電圧監視 1 割り込み/リセット許可ビット (LVD1RIE) が“1” (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (LVD1RI) が“1” (低電圧検出時、リセット発生) の状態で、VCC が V_{det1} 以下になると、RSTSR0.LVD1RF フラグが“1”になり、電圧検出回路は電圧監視 1 リセットを発生します。

同様に、電圧監視 2 回路制御レジスタ 0 (LVD2CR0) の電圧監視 2 割り込み/リセット許可ビット (LVD2RIE) が“1” (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (LVD2RI) が“1” (低電圧検出時、リセット発生) の状態で、VCC が V_{det2} 以下になると、RSTSR0.LVD2RF フラグが“1”になり、電圧検出回路は電圧監視 2 リセットを発生します。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (LVD1RN) で選択可能です。LVD1CR0.LVD1RN ビットが“0”のとき、VCC が V_{det1} 以下になり、その後 V_{det1} を超えてから LVD1 リセット時間 (t_{LVD1}) が経過すると内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.LVD1RN ビットが“1”のとき、VCC が V_{det1} 以下になってから LVD1 リセット時間 (t_{LVD1}) 経過後に内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (LVD2RN) の設定により選択可能です。

V_{det1} 、および V_{det2} の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) の設定によって変更できます。

図 6.2 に電圧監視 1 リセット、および電圧監視 2 リセットの動作例を示します。

電圧監視 1 リセット、および電圧監視 2 リセットの詳細は、「8. 電圧検出回路 (LVDAb)」を参照してください。

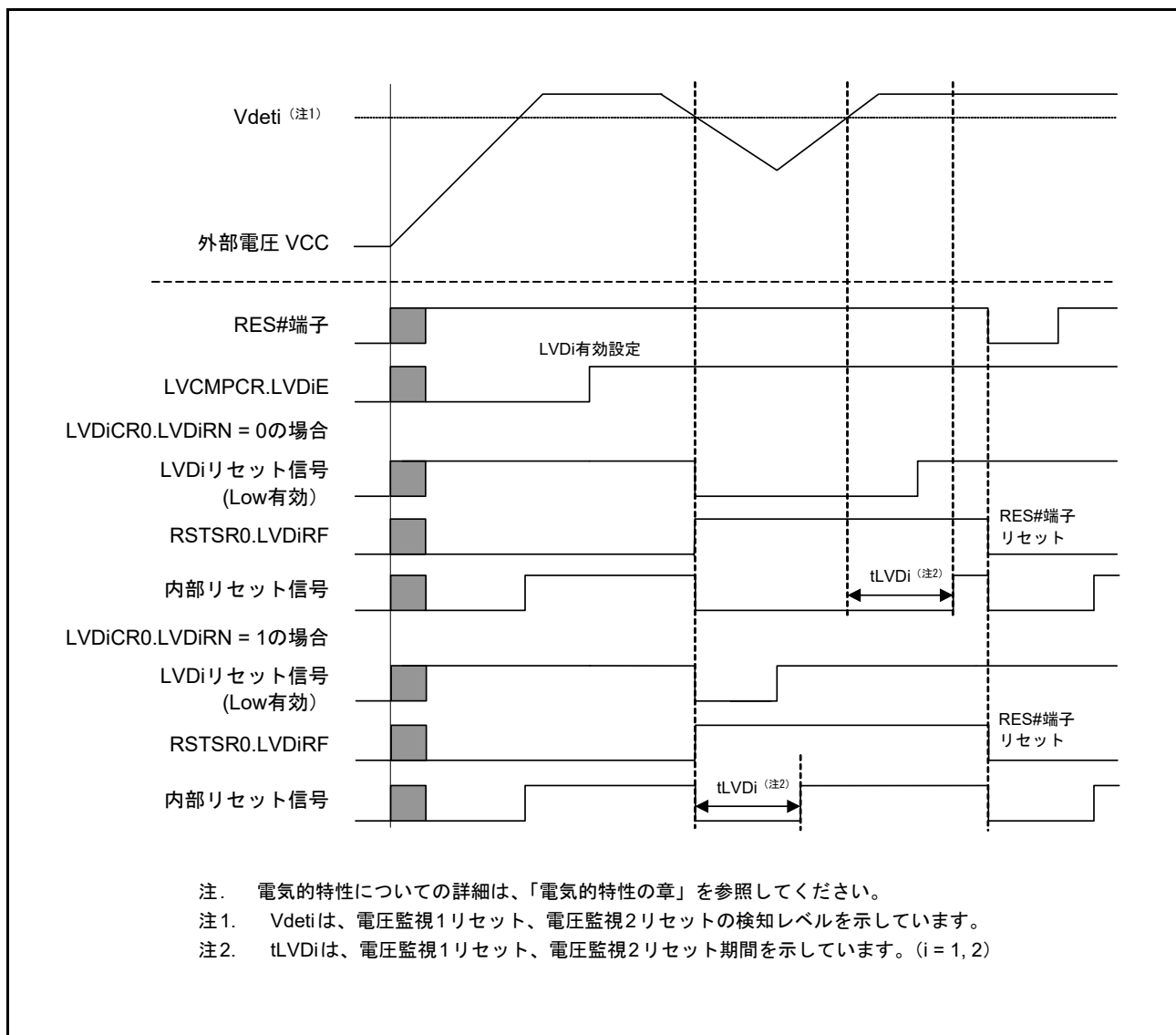


図 6.2 電圧監視 1 リセット、電圧監視 2 リセット動作例

6.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

IWDT リセットコントロールレジスタ (IWDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセット出力を選択した場合、独立ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は「31. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

6.3.5 ウォッチドッグタイマリセット

ウォッチドッグタイマによる内部リセットです。

WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセット出力を選択した場合、ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「30. ウォッチドッグタイマ (WDTA)」を参照してください。

6.3.6 ソフトウェアリセット

ソフトウェアリセット回路による内部リセットです。

SWRR レジスタに“A501h”を書くと、ソフトウェアリセットが発生します。ソフトウェアリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

6.3.7 コールドスタート/ウォームスタート判定機能

RSTSR1.CWSF フラグにより、電源が投入されたときのリセット処理（コールドスタート）か、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）かの判定をすることができます。

RSTSR1.CWSF フラグはパワーオンリセットが発生すると“0”（コールドスタート）になります。その他のリセットを行っても“0”になりません。また、プログラムで“1”を書くと、“1”になります。“0”を書いても変化しません。

図 6.3 にコールドスタート/ウォームスタート判定機能の動作例を示します。

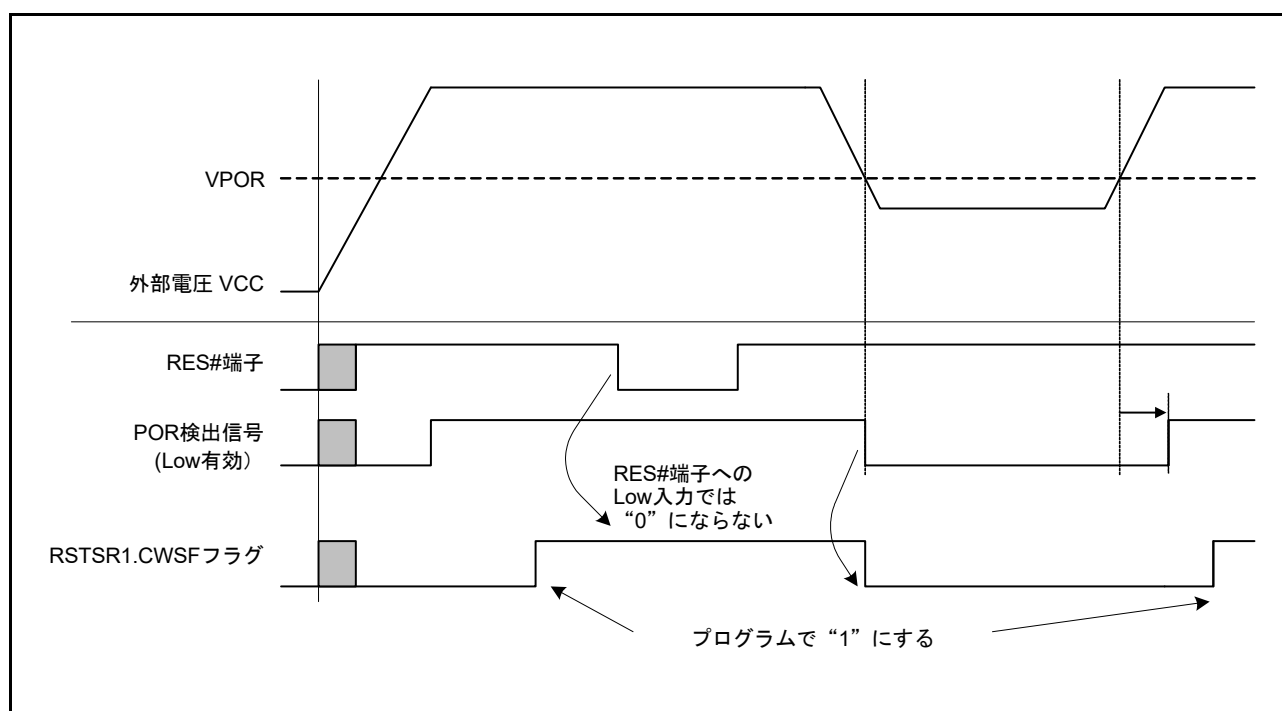


図 6.3 コールドスタート/ウォームスタート判定機能の動作例

6.3.8 リセット発生要因の判定

RSTSR0レジスタとRSTSR2レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 6.4 にリセット発生要因判定フロー例を示します。

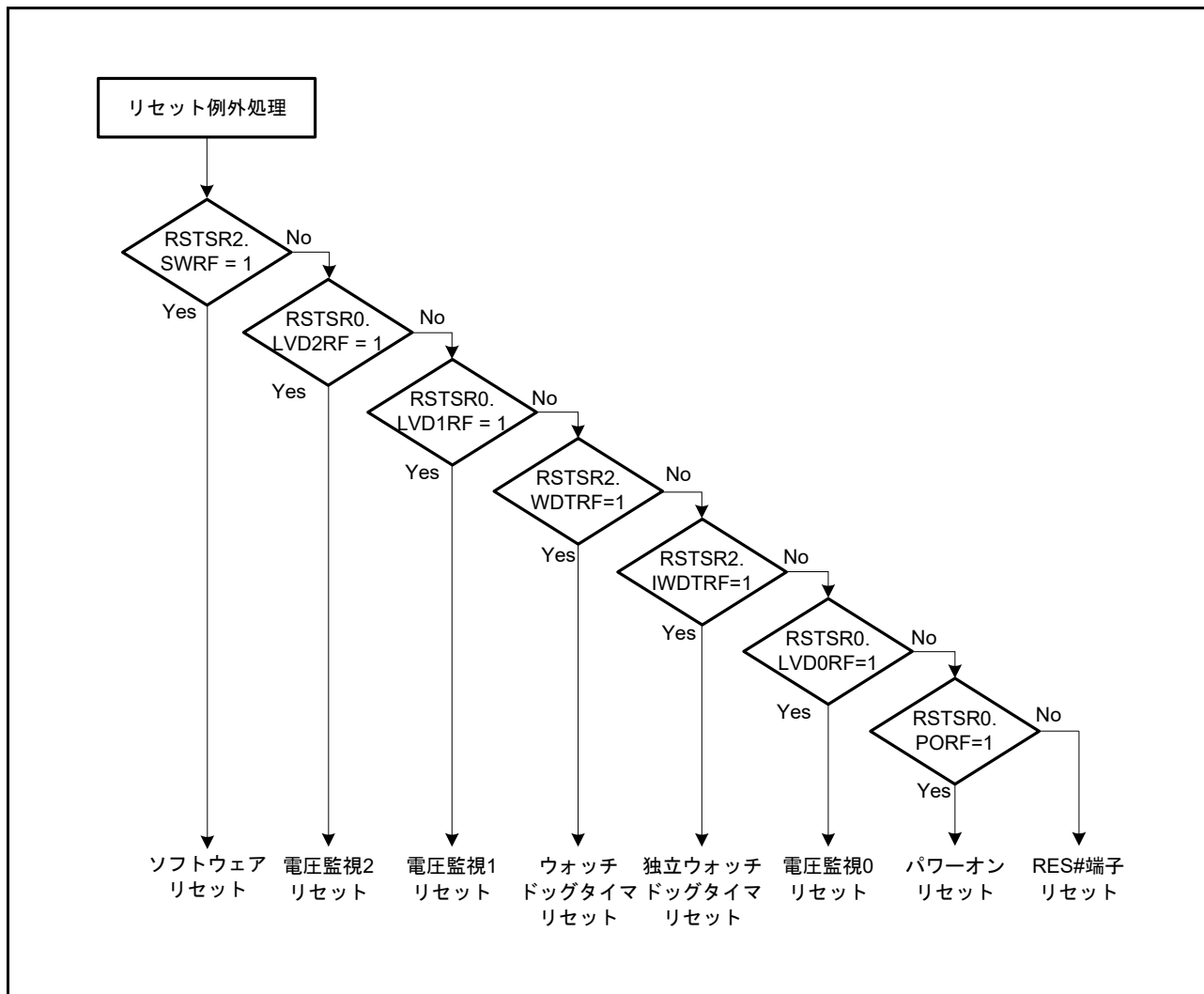


図 6.4 リセット発生要因判定フロー例

7. オプション設定メモリ (OFSM)

7.1 概要

オプション設定メモリ (OFSM) は、リセット後のマイコンの状態を選択するレジスタを備えています。オプション設定メモリは、ROM上にあります。

図 7.1 にオプション設定メモリ領域を示します。

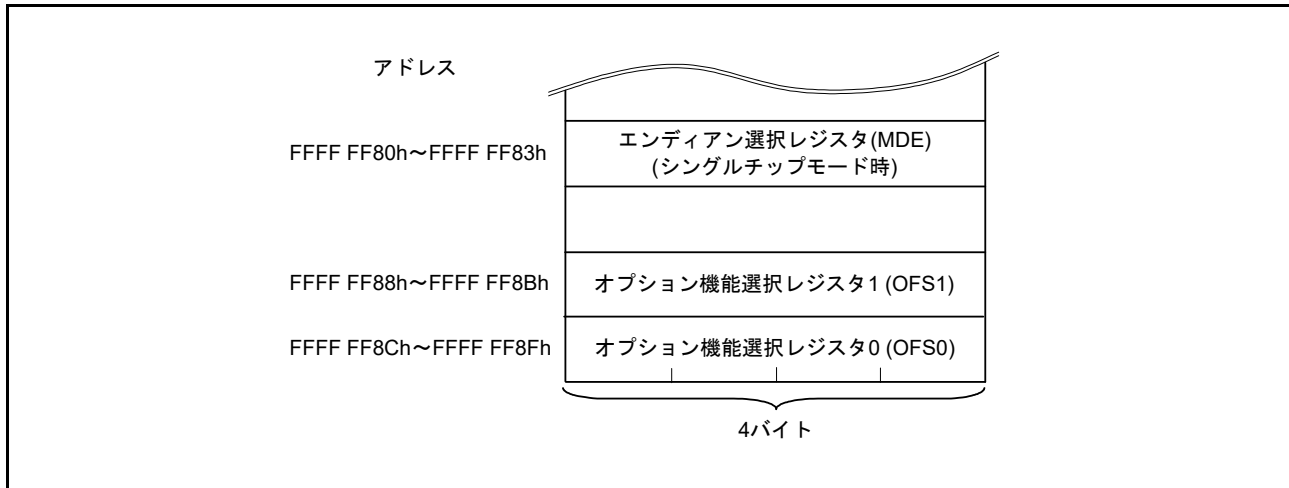


図 7.1 オプション設定メモリ領域

7.2 レジスタの説明

7.2.1 オプション機能選択レジスタ 0 (OFS0)

アドレス OFSM.OFS0 FFFF FF8Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	WDTRS TIRQS	WDTRPSS[1:0]	WDTRPES[1:0]	WDTCKS[3:0]			WDTTOPS[1:0]	WDTST RT	—				
リセット後の値															
ユーザの設定値(注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDTSLCSTP	—	IWDRSTRIRQS	IWDRPSS[1:0]	IWDRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]	IWDTSTRT	—				
リセット後の値															
ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b1	IWDTSTRT	IWDTスタートモード選択ビット	0：リセット後、IWDTはオートスタートモードにて自動的に起動 1：リセット後、IWDTは停止状態	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択ビット	b3 b2 0 0：128サイクル(00Fh) 0 1：512サイクル(01FFh) 1 0：1024サイクル(03FFh) 1 1：2048サイクル(07FFh)	R
b7-b4	IWDTCKS[3:0]	IWDTクロック分周比選択ビット	b7 b4 0 0 0 0：分周なし 0 0 1 0：16分周 0 0 1 1：32分周 0 1 0 0：64分周 1 1 1 1：128分周 0 1 0 1：256分周 上記以外は設定しないでください	R
b9-b8	IWDRPES[1:0]	IWDTウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDRPSS[1:0]	IWDTウィンドウ開始位置選択ビット	b11 b10 0 0：25% 0 1：50% 1 0：75% 1 1：100% (ウィンドウの開始位置設定なし)	R
b12	IWDRSTRIRQS	IWDTリセット割り込み要求選択ビット	0：ノンマスクابل割り込み要求を許可 1：リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b14	IWDTSLCSTP	IWDTスリープモードカウント停止制御ビット	0：カウント停止無効 1：スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード移行時のカウント停止有効	R
b16-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b17	WDTSTRT	WDTスタートモード選択ビット	0：リセット後、WDTはオートスタートモードにて自動的に起動 1：リセット後、WDTは停止状態	R

ビット	シンボル	ビット名	機能	R/W
b19-b18	WDTTOPS[1:0]	WDTタイムアウト期間選択ビット	b19 b18 0 0 : 1024サイクル(03FFh) 0 1 : 4096サイクル(0FFFh) 1 0 : 8192サイクル(1FFFh) 1 1 : 16384サイクル(3FFFh)	R
b23-b20	WDTCKS[3:0]	WDTクロック分周比選択ビット	b23 b20 0 0 0 1 : 4分周 0 1 0 0 : 64分周 1 1 1 1 : 128分周 0 1 1 0 : 512分周 0 1 1 1 : 2048分周 1 0 0 0 : 8192分周 上記以外は設定しないでください	R
b25-b24	WDRPES[1:0]	WDTウィンドウ終了位置選択ビット	b25 b24 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R
b27-b26	WDRPSS[1:0]	WDTウィンドウ開始位置選択ビット	b27 b26 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R
b28	WDRSTIRQS	WDTリセット割り込み要求選択ビット	0 : ノンマスクابل割り込み要求を許可 1 : リセットを許可	R
b31-b29	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。ユーザプログラムを書いた後は、設定した値になります。

OFS0 レジスタはROM上にあります。プログラムと一緒に書いてください。書いた後、OFS0 レジスタに追加書き込みをしないでください。

OFS0 レジスタを含むブロックを消去すると、OFS0 レジスタは“FFFF FFFFh”になります。

ブートモード時はOFS0レジスタの値は無視され、“FFFF FFFFh”が設定されているときと同じ動作になります。

IWDTSTRT ビット (IWDT スタートモード選択ビット)

リセット後のIWDTの起動モード(停止状態、またはオートスタートモードでの起動)が選択できます。オートスタートモードでの起動の場合、IWDTの設定は、OFS0レジスタの設定が有効となります。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間をIWDTCKS[3:0]ビットで設定した分周クロックを1サイクルとして、128サイクル/512サイクル/1024サイクル/2048サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間(IWDT専用クロック数)は、IWDTCKS[3:0]ビットとIWDTTOPS[1:0]ビットの組み合わせにより決定します。

詳細は「31. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTCKS[3:0] ビット (IWDT クロック分周比選択ビット)

IWDT専用クロックを分周するプリスケアラの分周比設定を1分周/16分周/32分周/64分周/128分周/256分周から選択します。IWDTTOPS[1:0]ビットと組み合わせて、IWDTのカウント期間をIWDT専用クロックの128～524288クロックの間で設定できます。

詳細は「31. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRPES[1:0] ビット (IWDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDTRPSS[1:0]、IWDTRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は「31. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「31. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRSTIRQS ビット (IWDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「31. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTSLCSTP ビット (IWDT スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード移行時のカウント停止を選択します。

詳細は「31. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

WDTSTRT ビット (WDT スタートモード選択ビット)

リセット後の WDT の起動モード (停止状態、またはオートスタートモードでの起動) が選択できます。オートスタートモードでの起動の場合、WDT の設定は、OFS0 レジスタの設定が有効となります。

WDTTOPS[1:0] ビット (WDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を WDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (PCLKB) は、WDTCKS[3:0]、WDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「30. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTCKS[3:0] ビット (WDT クロック分周比選択ビット)

PCLKB を分周するプリスケアラの分周比設定を 4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周から選択します。WDTTOPS[1:0] ビット設定と組み合わせて、WDT のカウント期間を PCLKB の 4096 ~ 134217728 クロックの間で設定できます。

詳細は「30. ウォッチドッグタイマ (WDTA)」を参照してください。

WDRPES[1:0] ビット (WDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開

始位置の設定のみが有効となります。

WDTRPSS[1:0] ビット、WDTRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、WDTTOPS[1:0] ビットの設定により変わります。

詳細は「30. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRPSS[1:0] ビット (WDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「30. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRSTIRQS ビット (WDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「30. ウォッチドッグタイマ (WDTA)」を参照してください。

7.2.2 オプション機能選択レジスタ 1 (OFS1)

アドレス OFSM.OFS1 FFFF FF88h, (FFFF 7F88h)(注1)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値(注2)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	HOCO EN	—	—	—	—	FASTS TUP	LVDAS	VDSEL[1:0]	—
リセット後の値 ユーザの設定値(注2)															

ビット	シンボル	ビット名	機能	R/W
b1-b0	VDSEL[1:0]	電圧検出0レベル選択ビット	b1 b0 0 0 : 3.84Vを選択 0 1 : 2.82Vを選択 1 0 : 2.51Vを選択 1 1 : 1.90Vを選択	R
b2	LVDAS	電圧検出0回路起動ビット	0 : リセット後、電圧監視0リセット有効 1 : リセット後、電圧監視0リセット無効	R
b3	FASTSTUP	電源立ち上げ時起動時間短縮ビット	0 : 電源立ち上げ時起動時間短縮 1 : 通常起動	R
b7-b4	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b8	HOCOEN	HOCO発振有効ビット	0 : リセット後、HOCO発振が有効 1 : リセット後、HOCO発振が無効	R
b31-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. スタートアッププログラム保護機能を使用する場合、このアドレスにも同じ値を設定してください。

注2. ブランク品では、“FFFF FFFFh”です。ユーザプログラムを書いた後は、設定した値になります。

OFS1 レジスタはROM上にあります。プログラムと一緒に書いてください。書いた後、OFS1 レジスタに追加書き込みをしないでください。

OFS1 レジスタを含むブロックを消去すると、OFS1 レジスタは“FFFF FFFFh”となります。

ブートモード時はOFS1 レジスタの値は無視され、“FFFF FFFFh”が設定されているときと同じ動作になります。

VDSEL[1:0] ビット (電圧検出0レベル選択ビット)

電圧検出0回路の電圧検出レベルを選択します。

バッテリバックアップ機能を使用する場合 (VBATTCCR.VBATTDIS ビットを“0”に設定)、電圧検出0レベル選択を2.51Vに設定 (VDSEL[1:0] ビットを“10b”) して使用してください。

LVDAS ビット (電圧検出0回路起動ビット)

リセット後、電圧監視0リセットを有効にするか無効にするかを選択します。

電圧検出0回路で監視するVdet0電圧は、VDSEL[1:0] ビットで選択します。

FASTSTUP ビット (電源立ち上げ時起動時間短縮ビット)

電气的特性の電源投入時VCC立ち上がり勾配(起動時間短縮時)を満たせる場合、本ビットを“0”(電源立ち上げ時起動時間短縮)に設定すると、起動時間を短縮することができます。電源投入時VCC立ち上がり勾配(起動時間短縮時)を満たせない場合は、本ビットに“0”を設定しないでください。

HOCOEN ビット (HOCO 発振有効ビット)

リセット後、HOCO 用発振を有効にするか無効にするかを選択します。

HOCOEN ビットを“0”にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

なお、HOCOEN ビットを“0”にしても、システムクロックソースは HOCO に切り替わりません。CPU からクロックソース選択ビット (SCKCR3.CKSEL[2:0]) を書き換えることにより、切り替わります。

また、HOCOEN ビットに“0”を設定している場合、HOCO 発振安定時間 (tHOCO) はハードウェアで確保されているため、CPU リセット解除後から電気的特性に記載の HOCO 発振周波数 (fHOCO) の精度のクロックが供給されます。

7.2.3 エンディアン選択レジスタ (MDE)

アドレス OFSM.MDE FFFF FF80h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値(注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	MDE[2:0]	
リセット後の値 ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b2-b0	MDE[2:0]	エンディアン選択ビット	b2 b0 0 0 0: ビッグエンディアン 1 1 1: リトルエンディアン 上記以外は設定しないでください	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。ユーザプログラムを書いた後は、設定した値になります。

MDE レジスタは、CPU のエンディアンを選択するレジスタです。シングルチップモード時は FFFF FF80h 番地のエンディアン選択レジスタ (MDE) で行います。

MDE レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、MDE レジスタに追加書き込みをしないでください。

MDE レジスタを含むブロックを消去すると、MDE レジスタは“FFFF FFFFh”になります。

MDE[2:0] ビット (エンディアン選択ビット)

リトルエンディアン/ビッグエンディアンを選択します。

シングルチップモードで動作する場合は、ユーザ領域の FFFF FF80h 番地の値でエンディアンを決定します。

7.3 使用上の注意事項

7.3.1 オプション設定メモリの設定例

オプション設定メモリはROM上にありますので、命令の実行では書き換えられません。プログラム作成時に適切な値を書いてください。以下に設定例を示します。

- OFS0 レジスタに“FFFF FFF8h”を設定する場合

```
.ORG    0FFFFFFF8CH  
.LWORD  0FFFFFFF8H
```

- OFS1 レジスタに“FFFF FEF0h”を設定する場合

```
.ORG    0FFFFFFF88H  
.LWORD  0FFFFFFEF0H  
.ORG    0FFFF7F88H  
.LWORD  0FFFFFFEF0H
```

ただし、電源監視0リセット、電源立ち上げ時起動時間短縮のいずれも使用しない場合、FFFF 7F88h 番地の設定値は“FFFF FFFFh”でも構いません。

注. プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

8. 電圧検出回路 (LVDAb)

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できます。

8.1 概要

電圧検出0はオプション機能選択レジスタ1 (OFS1) で、検出電圧を4レベルから選択できます。

電圧検出1は、電圧検出レベル選択レジスタ (LVDLVLR) で、検出電圧を14レベルから選択できます。

電圧検出2は、VCCとCMPA2端子入力電圧の切り替えで、LVDLVLRレジスタで検出電圧を4レベルから選択できます。

電圧監視0リセット、電圧監視1リセット/割り込み、電圧監視2リセット/割り込みを使用できます。

表8.1に電圧検出回路の仕様を示します。図8.1に電圧検出回路ブロック図を、図8.2に電圧監視1割り込み/リセット発生回路のブロック図を、図8.3に電圧監視2割り込み/リセット発生回路のブロック図を示します。

表8.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	下降してVdet0を通過した場合	上昇または下降してVdet1を通過した場合	上昇または下降してVdet2を通過した場合 LVCMPCR.EXVCCINP2ビットでVCCとCMPA2端子への入力電圧の切り替え可能
	検出電圧	OFS1レジスタで4レベルから選択可能	LVDLVLR.LVD1LVL[3:0]ビットで14レベルから選択可能	LVDLVLR.LVD2LVL[1:0]ビットで4レベルから選択可能
	モニタフラグ	なし	LVD1SR.LVD1MONフラグ： Vdet1より高いか低いかをモニタ LVD1SR.LVD1DETフラグ： Vdet1通過検出	LVD2SR.LVD2MONフラグ： Vdet2より高いか低いかをモニタ LVD2SR.LVD2DETフラグ： Vdet2通過検出
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCCでリセット： VCC > Vdet0の一定時間後にCPU動作再開	電圧監視1リセット Vdet1 > VCCでリセット： VCC > Vdet1の一定時間後にCPU動作再開、またはVdet1 > VCCの一定時間後にCPU動作再開を選択可能	電圧監視2リセット Vdet2 > VCCまたはCMPA2端子でリセット： VCCまたはCMPA2端子 > Vdet2の一定時間後にCPU動作再開、またはVdet2 > VCCまたはCMPA2端子の一定時間後にCPU動作再開を選択可能
	割り込み	なし	電圧監視1割り込み ノンマスクابلまたはマスクابلを選択可能 Vdet1 > VCC、VCC > Vdet1の両方、またはどちらかで割り込み要求	電圧監視2割り込み ノンマスクابلまたはマスクابلを選択可能 Vdet2 > VCCまたはCMPA2端子、VCCまたはCMPA2端子 > Vdet2の両方、またはどちらかで割り込み要求
			あり Vdet1通過検出イベント出力	あり Vdet2通過検出イベント出力
イベントリンク機能	なし	あり Vdet1通過検出イベント出力	あり Vdet2通過検出イベント出力	あり Vdet2通過検出イベント出力

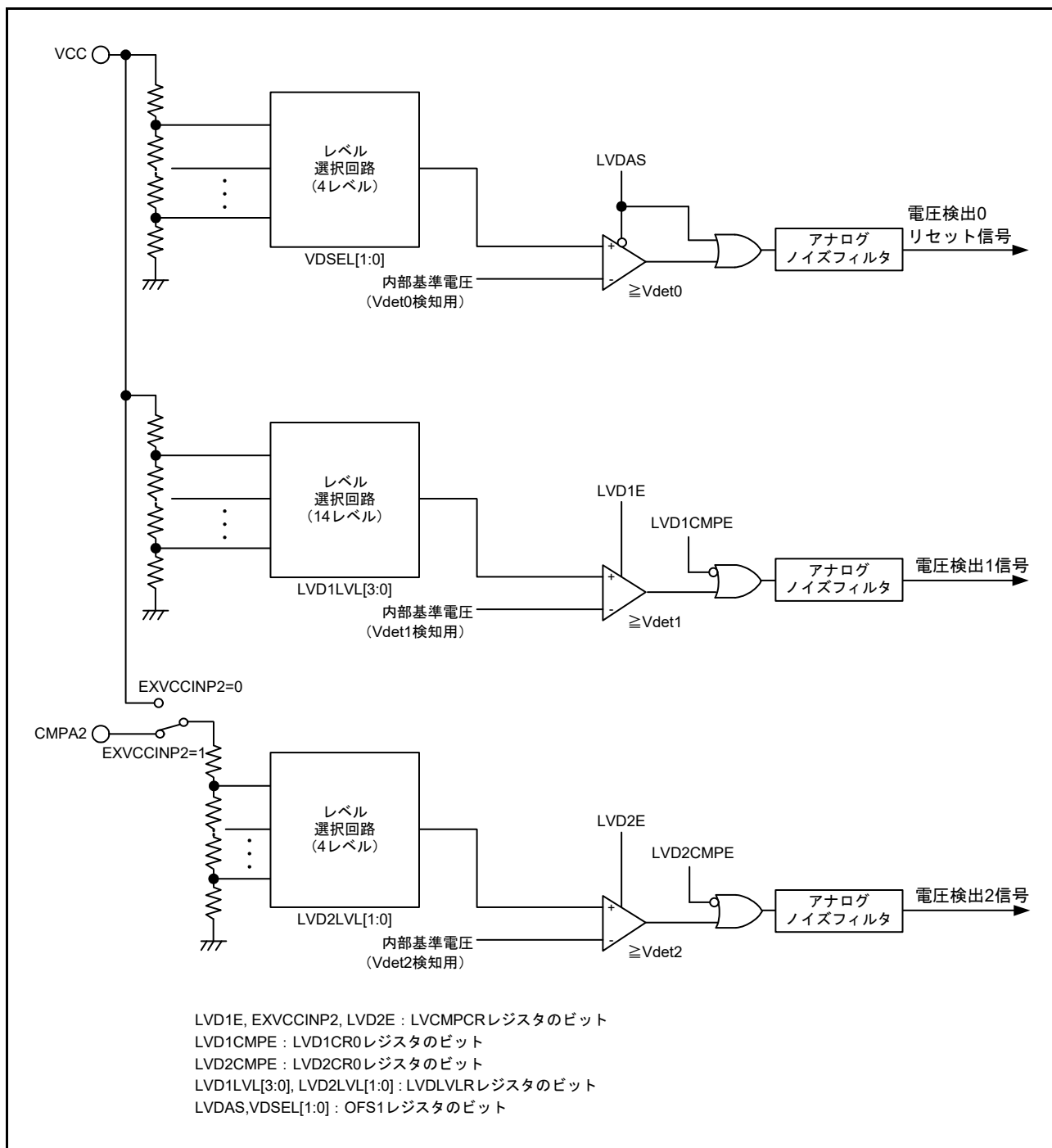


図 8.1 電圧検出回路ブロック図

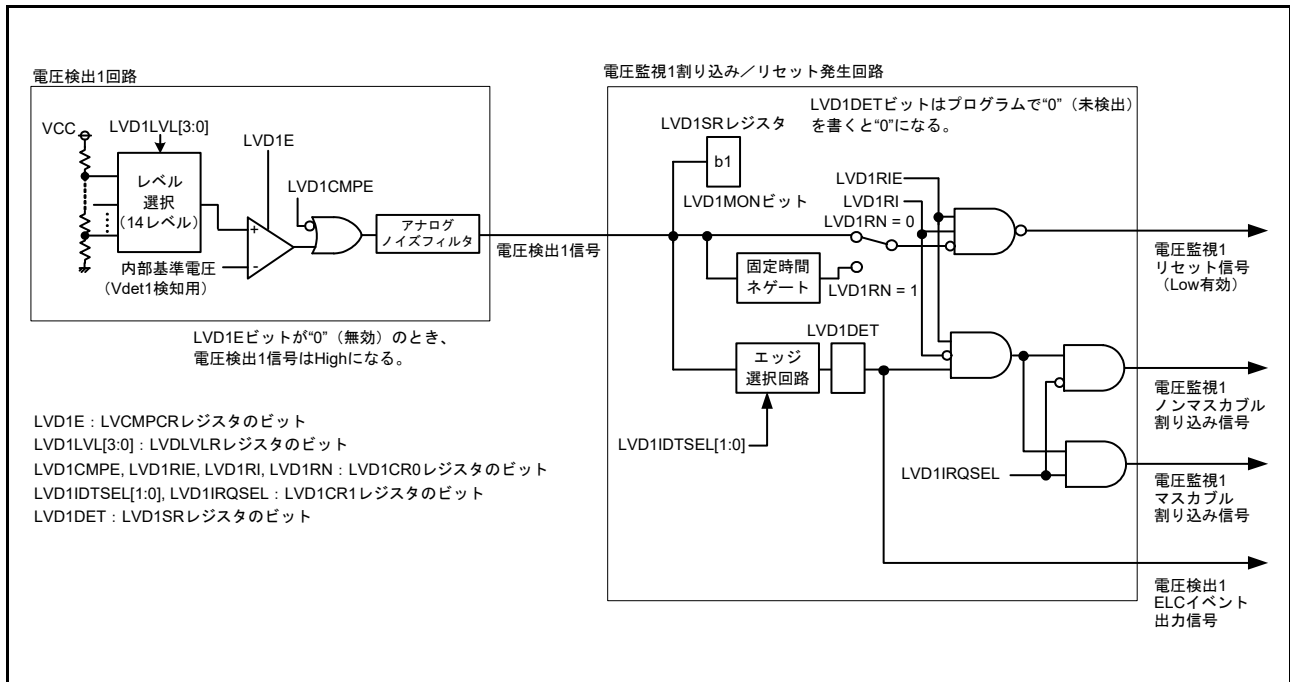


図 8.2 電圧監視 1 割り込み / リセット発生回路のブロック図

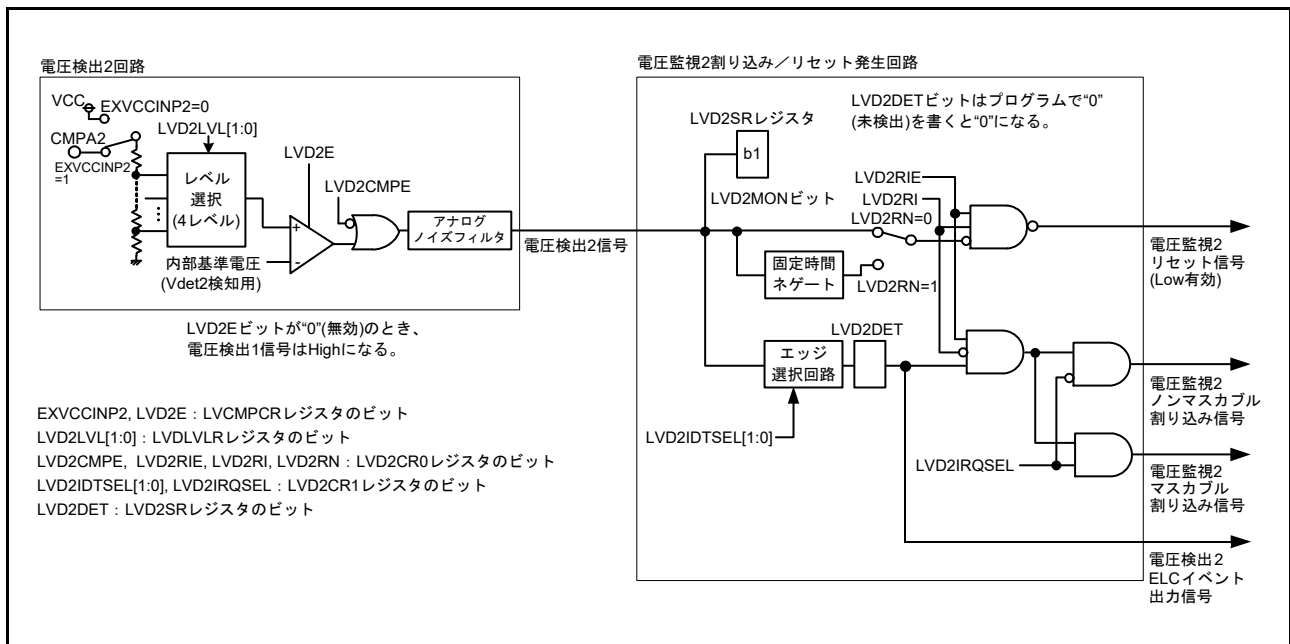


図 8.3 電圧監視 2 割り込み / リセット発生回路のブロック図

表 8.2 に電圧検出回路で使用する入出力端子を示します。

表 8.2 電圧検出回路の入出力端子

端子名	入出力	機能
CMPA2	入力	電圧検出 2 用検出対象電圧端子

8.2 レジスタの説明

8.2.1 電圧監視1回路制御レジスタ1 (LVD1CR1)

アドレス 0008 00E0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	LVD1IR QSEL	LVD1IDTSEL[1: 0]	
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD1IDTSEL [1:0]	電圧監視1割り込みELCイベント発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet1 (上昇) 検出時 0 1 : VCC < Vdet1 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD1IRQSEL	電圧監視1割り込み種類選択ビット	0 : ノンマスクブル割り込み 1 : マスクブル割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

8.2.2 電圧監視 1 回路ステータスレジスタ (LVD1SR)

アドレス 0008 00E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1M ON	LVD1D ET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD1DET	電圧監視 1 電圧変化検出フラグ	0 : 未検出 1 : Vdet1 通過検出	R/(W) (注1)
b1	LVD1MON	電圧監視 1 信号モニタフラグ	0 : VCC < Vdet1 1 : VCC ≥ Vdet1 または LVD1MON 無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD1DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD1DET フラグ（電圧監視 1 電圧変化検出フラグ）

LVD1DET フラグは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

LVD1DET フラグを“0”にするときは、LVD1CR0.LVD1RIE を“0”（禁止）にしてから行ってください。再度、LVD1CR0.LVD1RIE を“1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD1MON フラグ（電圧監視 1 信号モニタフラグ）

LVD1MON フラグは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

8.2.3 電圧監視2回路制御レジスタ1 (LVD2CR1)

アドレス 0008 00E2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LVD2IR QSEL	LVD2IDTSEL[1: 0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD2IDTSEL [1:0]	電圧監視2割り込みELCイベント発生 条件選択ビット	b1 b0 0 0 : VCCまたはCMPA2端子 \geq Vdet2 (上昇) 検出時 0 1 : VCCまたはCMPA2端子 $<$ Vdet2 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD2IRQSEL	電圧監視2割り込み種類選択ビット	0 : ノンマスクブル割り込み 1 : マスクブル割り込み	R/W
b7-b3	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W

注. このレジスタはPRCR.PRC3ビットを"1" (書き込み許可) にした後で書き換えてください。

8.2.4 電圧監視 2 回路ステータスレジスタ (LVD2SR)

アドレス 0008 00E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2M ON	LVD2D ET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD2DET	電圧監視2電圧変化検出フラグ	0: 未検出 1: Vdet2通過検出	R/(W) (注1)
b1	LVD2MON	電圧監視2信号モニタフラグ	0: VCCまたはCMPA2端子 < Vdet2 1: VCCまたはCMPA2端子 ≥ Vdet2またはLVD2MON 無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD2DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD2DET フラグ（電圧監視 2 電圧変化検出フラグ）

LVD2DET フラグは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが“1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

LVD2DET フラグを“0”にするときは、LVD2CR0.LVD2RIE を“0”（禁止）にしてから行ってください。再度、LVD2CR0.LVD2RIE を“1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD2MON フラグ（電圧監視 2 信号モニタフラグ）

LVD2MON フラグは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが“1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

8.2.5 電圧監視回路制御レジスタ (LVCMPCR)

アドレス 0008 C297h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	EXVCC INP2	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	EXVCCINP2	電圧検出2比較電圧外部入力 選択ビット (注1)	0: 電源電圧 (VCC) 1: CMPA2端子入力電圧	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	LVD1E	電圧検出1許可ビット	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可ビット	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. EXVCCINP2ビットは、LVD1EおよびLVD2Eビットが共に“0”（電圧検出1回路および電圧検出2回路無効）の場合にのみ変更可能です。

LVD1E ビット（電圧検出1許可ビット）

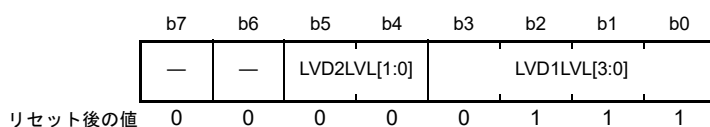
電圧検出1の割り込み/リセットを使用する場合、またはLVD1SR.LVD1MONフラグを使用する場合、LVD1Eビットを“1”にしてください。LVD1Eビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

LVD2E ビット（電圧検出2許可ビット）

電圧検出2の割り込み/リセットを使用する場合、またはLVD2SR.LVD2MONフラグを使用する場合、LVD2Eビットを“1”にしてください。LVD2Eビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

8.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス 0008 C298h



ビット	シンボル	ビット名	機能	R/W
b3-b0	LVD1LVL[3:0]	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b0 0 0 0 0 : 4.29V 0 0 0 1 : 4.14V 0 0 1 0 : 4.02V 0 0 1 1 : 3.84V 0 1 0 0 : 3.10V 0 1 0 1 : 3.00V 0 1 1 0 : 2.90V 0 1 1 1 : 2.79V 1 0 0 0 : 2.68V 1 0 0 1 : 2.58V 1 0 1 0 : 2.48V 1 0 1 1 : 2.20V 1 1 0 0 : 1.96V 1 1 0 1 : 1.86V 上記以外は設定しないでください	R/W
b5-b4	LVD2LVL[1:0]	電圧検出2レベル選択ビット (電圧下降時の標準電圧)	b5 b4 0 0 : 4.29V 0 1 : 4.14V 1 0 : 4.02V 1 1 : 3.84V	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVDLVLR レジスタを変更するときは、LVCMPCR.LVD1E ビットおよびLVCMPCR.LVD2E ビットを共に“0”（電圧検出 n 回路無効）（n = 1, 2）にしてから行ってください。

また、LVD1LVL[3:0] ビットで設定の電圧検出レベルの範囲とLVD2LVL[1:0] ビットで設定の電圧検出レベルの範囲とがオーバーラップする設定をした場合、LVD1、LVD2 のどちらで電圧検出動作するかは特定できません。電圧検出レベルの範囲については、「50. 電気的特性」を参照してください。

8.2.7 電圧監視 1 回路制御レジスタ 0 (LVD1CR0)

アドレス 0008 C29Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD1RN	LVD1RI	—	—	—	LVD1CMPE	—	LVD1RIE
リセット後の値	1	0	0	0	x	0	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD1RIE	電圧監視1割り込み/リセット許可ビット	0: 禁止 1: 許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD1CMPE	電圧監視1回路比較結果出力許可ビット	0: 電圧監視1回路比較結果出力禁止 1: 電圧監視1回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD1RI	電圧監視1回路モード選択ビット	0: Vdet1 通過時に電圧監視1割り込み 1: 下降してVdet1通過時に電圧監視1リセット	R/W
b7	LVD1RN	電圧監視1リセットネゲート選択ビット	0: VCC > Vdet1 検出から一定時間 (tLVD1) 経過後にネゲート 1: 電圧監視1リセットアサートから一定時間 (tLVD1) 経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVD1RIE ビット（電圧監視 1 割り込み / リセット許可ビット）

LVD1RIE ビットは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）かつ LVD1CMPE ビットが“1”（電圧検出 1 回路比較結果出力許可）のとき有効になります。

フラッシュメモリの書き込み / 消去中は、電圧監視 1 リセットおよび電圧監視 1 ノンマスクブル割り込みを発生させないでください。

LVD1RN ビット（電圧監視 1 リセットネゲート選択ビット）

LVD1RN ビットを“1”（電圧監視 1 リセットアサートから一定時間経過後にネゲート）にする場合は、LOCOCR.LCSTP ビットは“0”（LOCO 動作）にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD1RN ビットを“0”（VCC > Vdet1 検出から一定時間経過後にネゲート）にすることのみ可能です。LVD1RN ビットを“1”（電圧監視 1 リセットアサートから一定時間経過後にネゲート）にしないでください。

8.2.8 電圧監視2回路制御レジスタ0 (LVD2CR0)

アドレス 0008 C29Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2RN	LVD2RI	—	—	—	LVD2CMPE	—	LVD2RIE
リセット後の値	1	0	0	0	x	0	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD2RIE	電圧監視2割り込み/リセット許可ビット	0: 禁止 1: 許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD2CMPE	電圧監視2回路比較結果出力許可ビット	0: 電圧監視2回路比較結果出力禁止 1: 電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD2RI	電圧監視2回路モード選択ビット	0: Vdet2通過時に電圧監視2割り込み 1: 下降してVdet2通過時に電圧監視2リセット	R/W
b7	LVD2RN	電圧監視2リセットネゲート選択ビット	0: VCCまたはCMPA2端子 > Vdet2検出から一定時間 (tLVD2) 経過後にネゲート 1: 電圧監視2リセットアサートから一定時間 (tLVD2) 経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVD2RIE ビット（電圧監視2割り込み/リセット許可ビット）

LVD2RIE ビットは、LVCMPCR.LVD2E ビットが“1”（電圧検出2回路有効）かつ LVD2CMPE ビットが“1”（電圧検出2回路比較結果出力許可）のとき有効になります。

フラッシュメモリの書き込み/消去中は、電圧監視2リセットおよび電圧監視2ノンマスクブル割り込みを発生させないでください。

LVD2RN ビット（電圧監視2リセットネゲート選択ビット）

LVD2RN ビットを“1”（電圧監視2リセットアサートから一定時間経過後にネゲート）にする場合は、LOCOCR.LCSTP ビットは“0”（LOCO動作）にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD2RN ビットを“0”（VCCまたはCMPA2端子 > Vdet2検出から一定時間経過後にネゲート）にすることのみ可能です。LVD2RN ビットを“1”（電圧監視2リセットアサートから一定時間経過後にネゲート）にしないでください。

8.3 VCC 入力電圧のモニタ

8.3.1 Vdet0 のモニタ

Vdet0 のモニタはできません。

8.3.2 Vdet1 のモニタ

以下の設定をした後、LVD1SR.LVD1MON フラグで電圧監視 1 の比較結果をモニタできます。

- (1) LVDLVLR.LVD1LVL[3:0] ビット (電圧検出 1 検出電圧) を設定する
- (2) LVCMPCR.LVD1E ビットを“1” (電圧検出 1 回路有効) にする
- (3) td(E-A) 待ってから、LVD1CR0.LVD1CMPE ビットを“1” (電圧監視 1 回路比較結果出力許可) にする

8.3.3 Vdet2 のモニタ

以下の設定をした後、LVD2SR.LVD2MON フラグで電圧監視 2 の比較結果をモニタできます。

- (1) LVDLVLR.LVD2LVL[1:0] ビット (電圧検出 2 検出電圧) を設定する
- (2) LVCMPCR.EXVCCINP2 ビットを“0” (VCC 電圧) または“1” (CMPA2 端子入力電圧) にする
- (3) LVCMPCR.LVD2E ビットを“1” (電圧検出 2 回路有効) にする
- (4) td(E-A) 待ってから、LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可) にする

8.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFS1.LVDAS ビットを“0”（リセット後、電圧監視0リセット有効）にしてください。

図 8.4 に電圧監視0リセット動作例を示します。

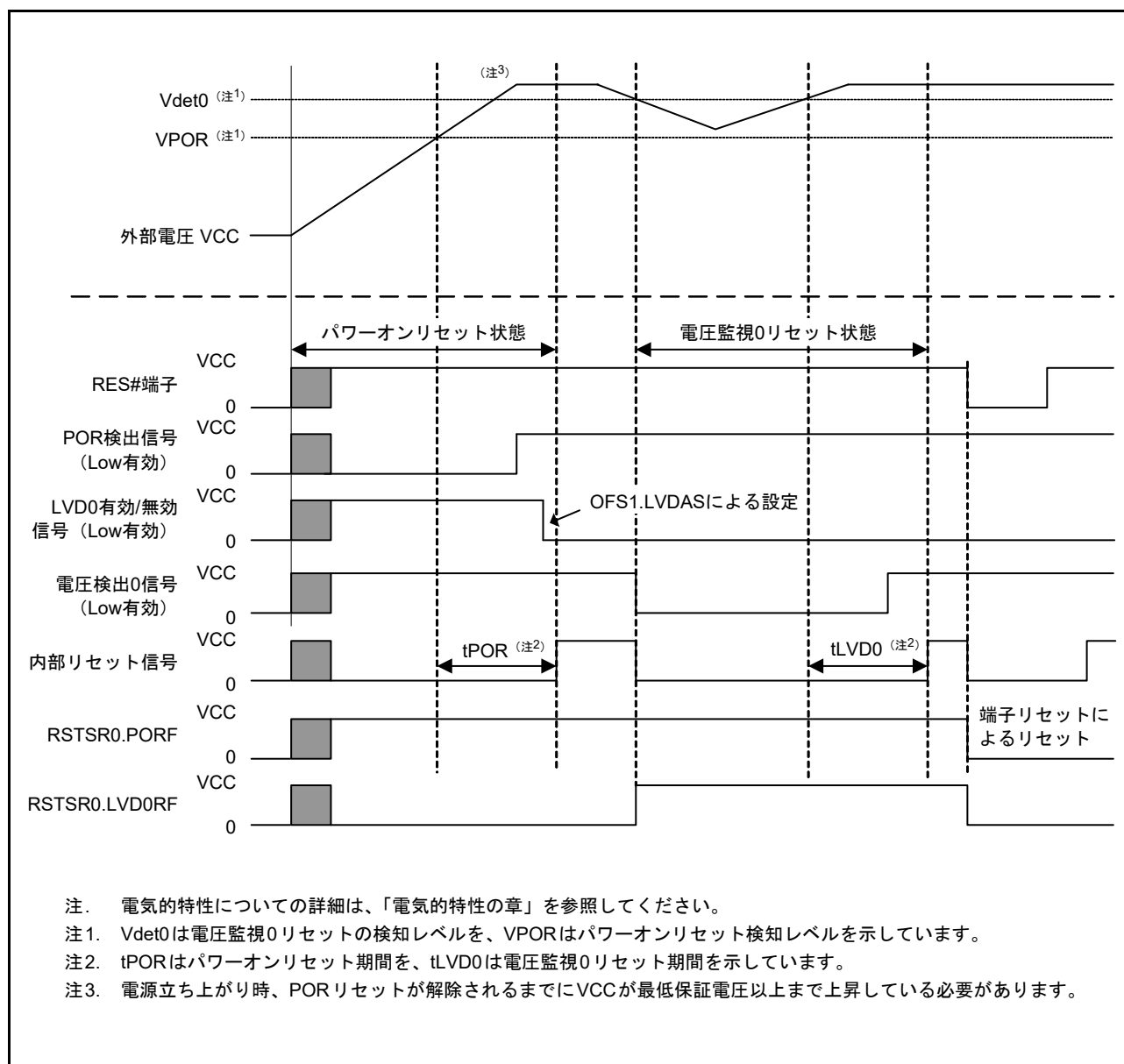


図 8.4 電圧監視0リセット動作例

8.5 電圧監視 1 割り込み、電圧監視 1 リセット

表 8.3 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を、表 8.4 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を、図 8.5 に電圧監視 1 割り込み動作例を示します。電圧監視 1 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

表 8.3 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	電圧監視 1 割り込み 電圧監視 1 ELC イベント出力	電圧監視 1 リセット
1 (注1)	LVDLVLRL.VLD1LVL[3:0] ビットで検出電圧を選択する	
2 (注1)	LVD1CR0.LVD1RI ビットを“0” (電圧監視 1 割り込み) にする	LVD1CR0.LVD1RI ビットを“1” (電圧監視 1 リセット) にする。 LVD1CR0.LVD1RN ビットでリセットネゲートの種類を選択する
3	LVD1CR1.LVD1IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する。 LVD1CR1.LVD1IRQSEL ビットで割り込みの種類を選択する。	—
4	—	LVD1CR0.LVD1RIE ビットを“1” (電圧監視 1 割り込み / リセット許可) にする。
5 (注1)	LVCMPCLR.LVD1E ビットを“1” (電圧検出 1 回路有効) にする	
6 (注1)	td(E-A) 以上待つ	
7	LVD1CR0.LVD1CMPE ビットを“1” (電圧監視 1 回路比較結果出力許可) にする	
8	2μs 以上待つ	—
9	LVD1SR.LVD1DET ビットを“0”にする	—
10	LVD1CR0.LVD1RIE ビットを“1” (電圧監視 1 割り込み / リセット許可) にする	—

注1. 電圧監視 1 割り込み設定 (LVD1CR0.LVD1RI = 0) で動作させている場合で、停止後に LVD1CR1.LVD1IRQSEL, LVD1IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 1、2、5、6 は不要です。電圧監視 1 リセット設定 (LVD1CR0.LVD1RI = 1) で動作させている場合の変更は、上記手順 1 ~ 10 で設定してください。

表 8.4 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順	電圧監視 1 割り込み 電圧監視 1 ELC イベント出力	電圧監視 1 リセット
1	LVD1CR0.LVD1RIE ビットを“0” (電圧監視 1 割り込み / リセット禁止) にする	—
2	LVD1CR0.LVD1CMPE ビットを“0” (電圧監視 1 回路比較結果出力禁止) にする	
3 (注1)	LVCMPCLR.LVD1E ビットを“0” (電圧検出 1 回路無効) にする	
4	—	LVD1CR0.LVD1RIE ビットを“0” (電圧監視 1 割り込み / リセット禁止) にする
5	LVCMPCLR.LVD1E、LVD1CR0.LVD1RIE、LVD1CR0.LVD1CMPE を除く電圧検出回路関連レジスタの設定を変更する	

注1. 電圧監視 1 割り込み設定 (LVD1CR0.LVD1RI = 0) で動作させている場合で、停止後に LVD1CR1.LVD1IRQSEL, LVD1IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 3 は不要です。電圧監視 1 リセット設定 (LVD1CR0.LVD1RI = 1) で動作させている場合の変更は、上記手順 1 ~ 5 で設定してください。

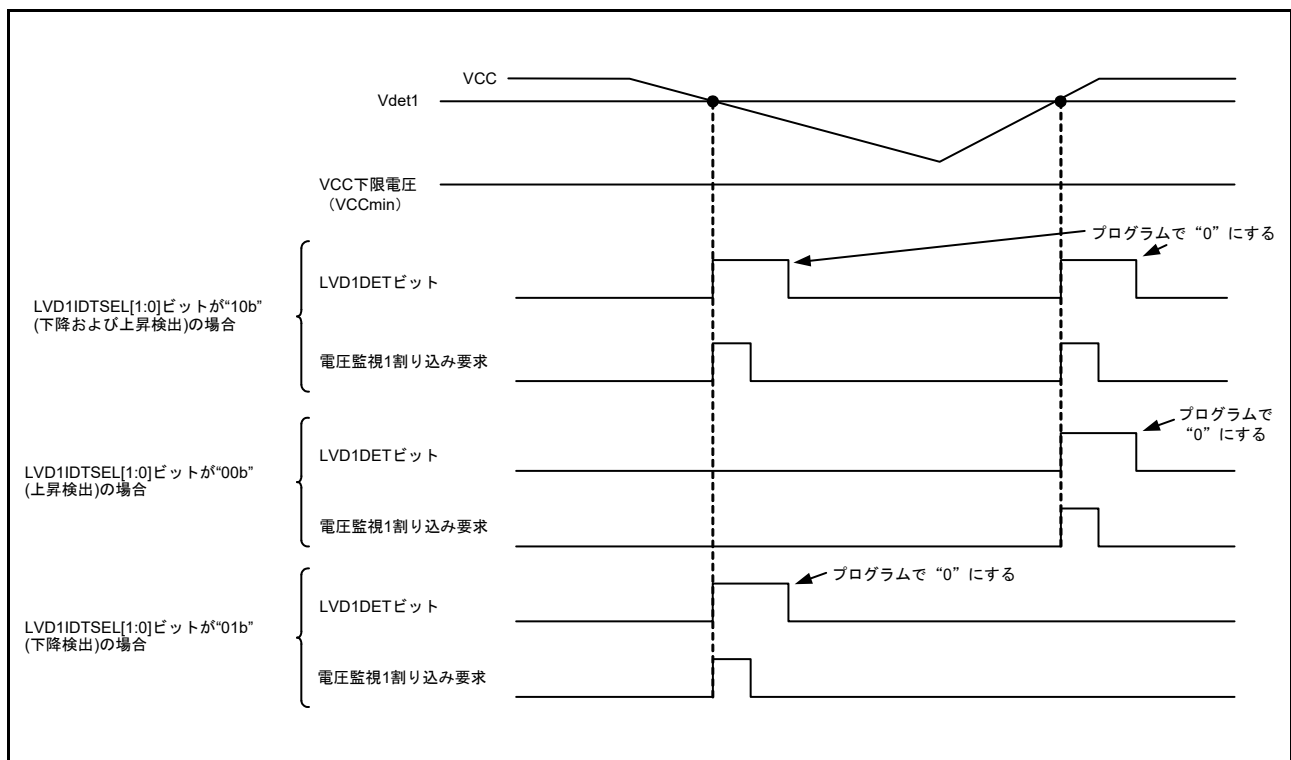


図 8.5 電圧監視 1 割り込み動作例

8.6 電圧監視 2 割り込み、電圧監視 2 リセット

表 8.5 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を、表 8.6 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を、図 8.6 に電圧監視 2 割り込み動作例を示します。電圧監視 2 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

表 8.5 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順

手順	電圧監視 2 割り込み 電圧監視 2 ELC イベント出力	電圧監視 2 リセット
1 (注1)	LVDLVLRLVD2LVL[1:0] ビットで検出電圧を選択する	
2 (注1)	LVCMPCLR.EXVCCINP2 ビットを“0” (VCC 電圧) または“1” (CMPA2 端子入力電圧) にする	
3 (注1)	LVD2CR0.LVD2RI ビットを“0” (電圧監視 2 割り込み) にする	LVD2CR0.LVD2RI ビットを“1” (電圧監視 2 リセット) にする。 LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する。
4	LVD2CR1.LVD2IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する。 LVD2CR1.LVD2IRQSEL ビットで割り込みの種類を選択する	—
5	—	LVD2CR0.LVD2RIE ビットを“1” (電圧監視 2 割り込み / リセット許可) にする
6 (注1)	LVCMPCLR.LVD2E ビットを“1” (電圧検出 2 回路有効) にする	
7 (注1)	td(E-A) 以上待つ	
8	LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可) にする	
9	2 μ s 以上待つ	—
10	LVD2SR.LVD2DET ビットを“0”にする	—
11	LVD2CR0.LVD2RIE ビットを“1” (電圧監視 2 割り込み / リセット許可) にする	—

注1. 電圧監視 2 割り込み設定 (LVD2CR0.LVD2RI = 0) で動作させている場合で、停止後に LVD2CR1.LVD2IRQSEL, LVD2IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 1、2、3、6、7 は不要です。電圧監視 2 リセット設定 (LVD2CR0.LVD2RI = 1) で動作させている場合の変更は、上記手順 1~11 で設定してください。

表 8.6 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順	電圧監視 2 割り込み 電圧監視 2 ELC イベント出力	電圧監視 2 リセット
1	LVD2CR0.LVD2RIE ビットを“0” (電圧監視 2 割り込み / リセット禁止) にする	—
2	LVD2CR0.LVD2CMPE ビットを“0” (電圧監視 2 回路比較結果出力禁止) にする	—
3 (注1)	LVCMPCLR.LVD2E ビットを“0” (電圧検出 2 回路無効) にする	
4	—	LVD2CR0.LVD2RIE ビットを“0” (電圧監視 2 割り込み / リセット禁止) にする
5	LVCMPCLR.LVD2E、LVD2CR0.LVD2RIE、LVD2CR0.LVD2CMPE を除く電圧検出回路関連レジスタの設定を変更する	

注1. 電圧監視 2 割り込み設定 (LVD2CR0.LVD2RI = 0) で動作させている場合で、停止後に LVD2CR1.LVD2IRQSEL, LVD2IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 3 は不要です。電圧監視 2 リセット設定 (LVD2CR0.LVD2RI = 1) で動作させている場合の変更は、上記手順 1~5 で設定してください。

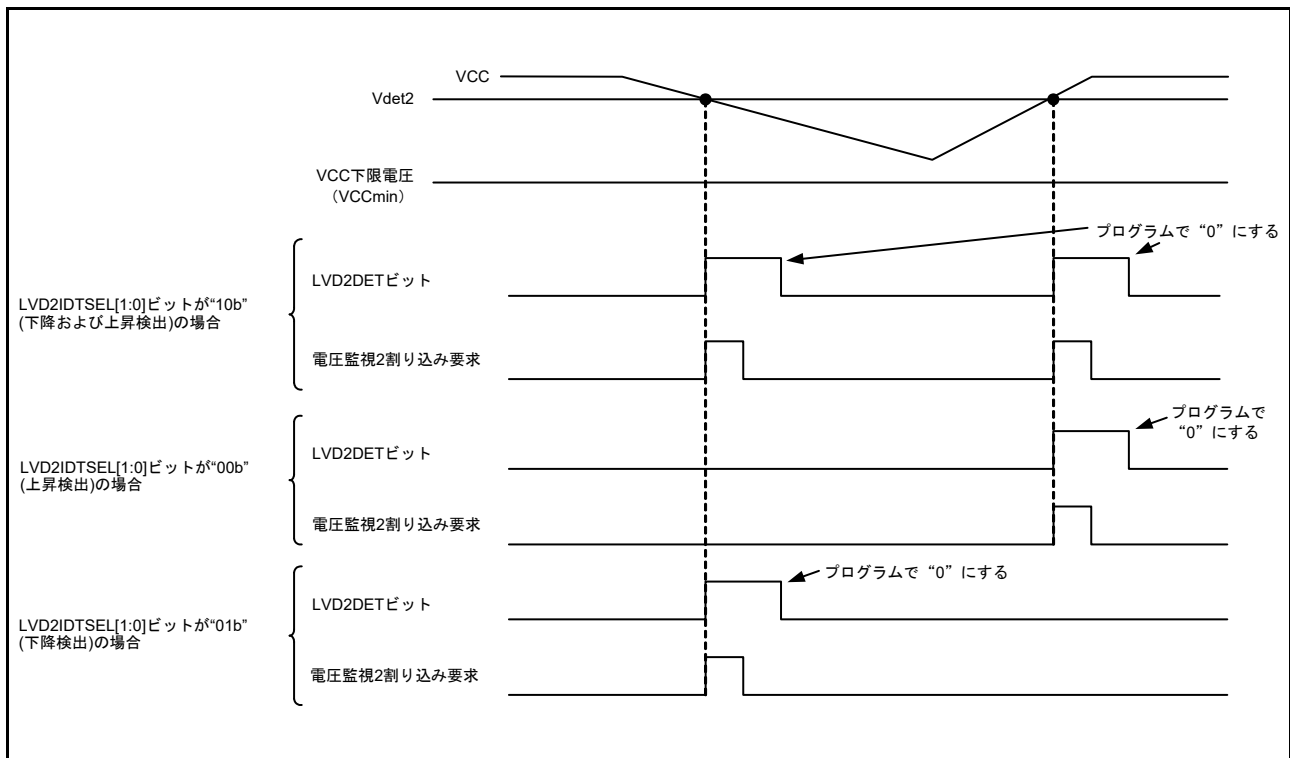


図 8.6 電圧監視 2 割り込み動作例

8.7 イベントリンク出力機能

イベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。

(1) Vdet1 通過検出イベント出力

電圧検出 1 回路有効かつ電圧検出 1 回路比較結果出力許可の状態において、Vdet1 通過を検出した場合にイベントを出力します。

(2) Vdet2 通過検出イベント出力

電圧検出 2 回路有効かつ電圧検出 2 回路比較結果出力許可の状態において、Vdet2 通過を検出した場合にイベントを出力します。

LVD のイベントリンク出力機能を有効にする場合は、LVD の有効設定を行った後で、ELC 側の LVD イベントリンク機能を有効にしてください。また、LVD のイベントリンク出力機能を停止する場合は、LVD の停止設定を行う前に、ELC 側の LVD イベントリンク機能を無効にしてください。

8.7.1 割り込み処理とイベントリンクの関係

電圧検出回路には、電圧監視 1 割り込み、電圧監視 2 割り込みそれぞれに割り込み許可 / 禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

ソフトウェアスタンバイ中でも電圧監視 1、電圧監視 2 割り込みを出力することができますが、ELC 用のイベント信号の出力については、以下の通りです。

- ソフトウェアスタンバイモード期間中に Vdet1/Vdet2 通過検出した場合、ソフトウェアスタンバイモード期間中はクロックが供給されていないため ELC 用のイベント信号は出力しません。ただし、Vdet1/Vdet2 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、Vdet1/Vdet2 通過検出フラグにしたがって ELC 用のイベント信号が出力されます。

9. クロック発生回路

9.1 概要

本 MCU には、クロック発生回路を内蔵しています。

表 9.1 にクロック発生回路の仕様を、図 9.1 にクロック発生回路のブロック図を示します。

表9.1 クロック発生回路の仕様 (1/2)

項目	仕様
用途	<ul style="list-style-type: none"> • CPU、DMAC、DTC、ROMおよびRAMに供給されるシステムクロック (ICLK) の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKA、PCLKB、PCLKD) の生成 周辺モジュールクロック (PCLKA) はMTU2用、周辺モジュールクロック (PCLKD) はS12AD用、周辺モジュールクロック (PCLKB) はMTU2、S12AD以外の周辺モジュール用の動作クロックです。 • FlashIFに供給されるFlashIFクロック (FCLK) の生成 • 外部バスに供給される外部バスクロック (BCLK) の生成 • USBに供給されるUSBクロック (UCLK) の生成 • CACに供給されるCACクロック (CACCLK) の生成 • RTCに供給されるRTC専用サブクロック (RTCSCCLK) の生成 • IWDTCに供給されるIWDTC専用クロック (IWDTCCLK) の生成 • RSCANに供給されるCANクロック (CANMCLK) の生成 • SSIに供給されるSSIクロック (SSISCK) の生成 • LPTに供給されるLPTクロック (LPTCLK) の生成
動作周波数 (注1)	<ul style="list-style-type: none"> • ICLK : 54MHz (max) (注2) • PCLKA : 54MHz (max) • PCLKB : 32MHz (max) • PCLKD : 54MHz (max) • FCLK : 1MHz~32MHz (ROM、E2データフラッシュ P/E時) 32MHz (max) (E2データフラッシュ読み出し時) • BCLK : 32MHz (max) (注2) • BCLK端子出力 : 16MHz (max) • UCLK : 48MHz • CACCLK : 各発振器のクロックと同じ • RTCSCCLK : 32.768kHz • IWDTCCLK : 15kHz • CANMCLK : 20MHz (max) • SSISCK : 20MHz (max) • LPTCLK : 選択した発振器のクロックと同じ
メインクロック発振器 (注3)	<ul style="list-style-type: none"> • 発振器周波数 : 1MHz~20MHz (VCC ≥ 2.4V)、1MHz~8MHz (VCC < 2.4V) • 外部クロック入力周波数 : 20MHz (max) • 接続できる発振器、または付加回路 : セラミック共振子、水晶振動子 • 接続端子 : EXTAL、XTAL • 発振停止検出機能 : メインクロックの発振停止検出時、LOCOに切り替える機能、MTUの端子をハイインピーダンスにする機能 • ドライブ能力を切り替える機能
サブクロック発振器	<ul style="list-style-type: none"> • 発振器周波数 : 32.768kHz • 接続できる発振器、または付加回路 : 水晶振動子 • 接続端子 : XCIN、XCOUT • ドライブ能力を切り替える機能
PLL回路 (注4)	<ul style="list-style-type: none"> • 入力クロック源 : メインクロック • 入力分周比 : 1、2、4分周から選択可能 • 入力周波数 : 4MHz~12.5MHz • 逡倍比 : 4~13.5逡倍 (0.5刻み) から選択可能 • 発振周波数 : 24MHz~54MHz (VCC ≥ 2.4V)
USB専用PLL回路 (注4)	<ul style="list-style-type: none"> • 入力クロック源 : メインクロック • 入力分周比 : 1、2、4分周から選択可能 • 入力周波数 : 4MHz、6MHz、8MHz、12MHz • 逡倍比 : 4、6、8、12逡倍から選択可能 • 発振周波数 : 48MHz (VCC ≥ 2.4V)
高速オンチップオシレータ (HOCO)	発振周波数 : 32MHz、54MHz
低速オンチップオシレータ (LOCO)	発振周波数 : 4MHz

表9.1 クロック発生回路の仕様 (2/2)

項目	仕様
IWDT専用オンチップオシレータ	発振周波数：15kHz

- 注1. 高速動作モードでの最大動作周波数です。その他の動作電力モードにおける最大動作周波数については、「11.2.6 動作電力コントロールレジスタ (OPCCR)」を参照してください。
- 注2. クロック周波数設定制限：ICLK ≥ BCLK
- 注3. USB専用PLLを48MHz、PLLを54MHzで発振する場合、メインクロック発振器は4MHz、6MHz、8MHz、12MHzにしてください。
- 注4. PLLとUSB専用PLLは外部電圧 (VCC) が2.4V以上で使用可能です。

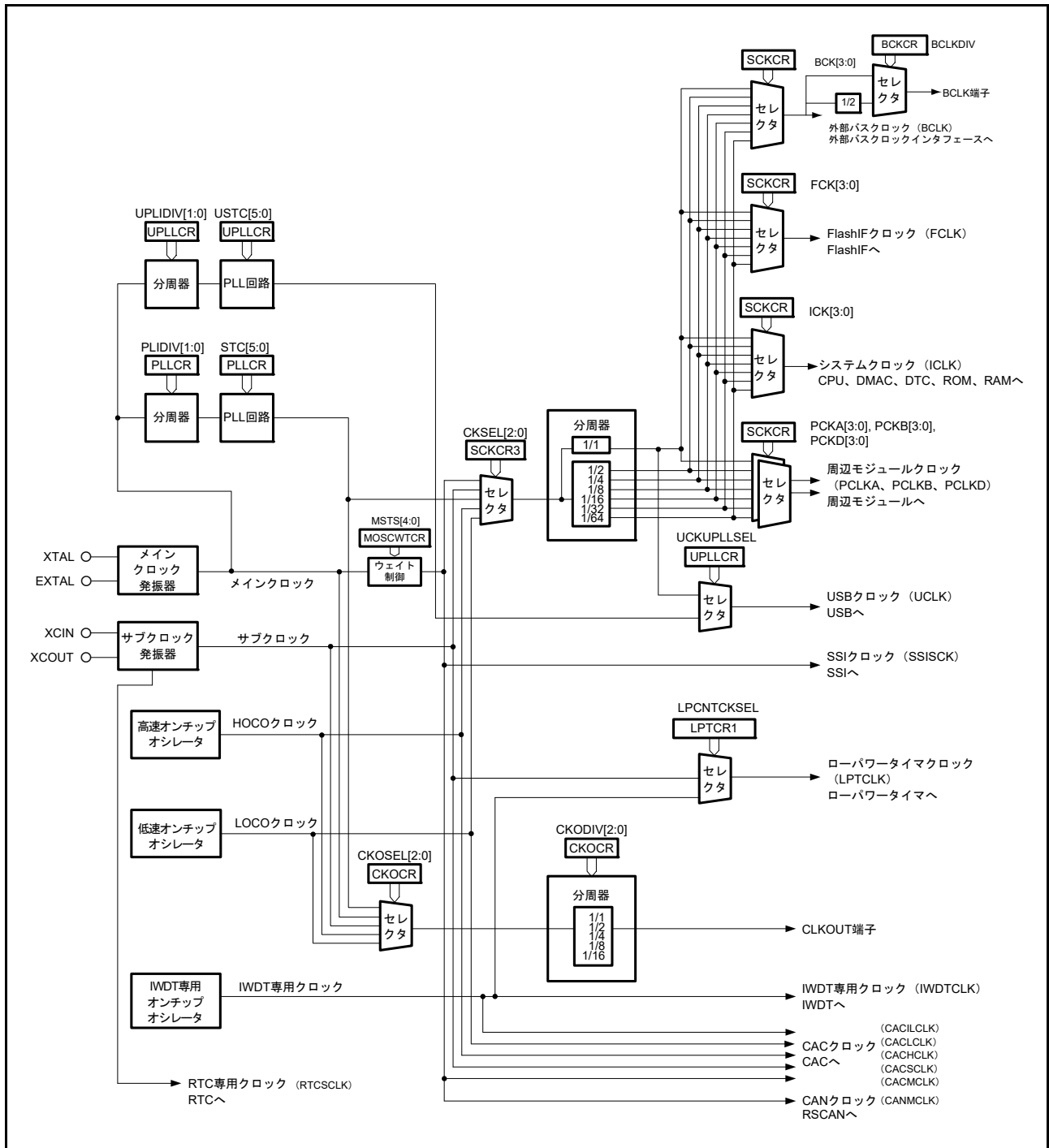


図 9.1 クロック発生回路のブロック図

表 9.2 にクロック発生回路の入出力端子を示します。

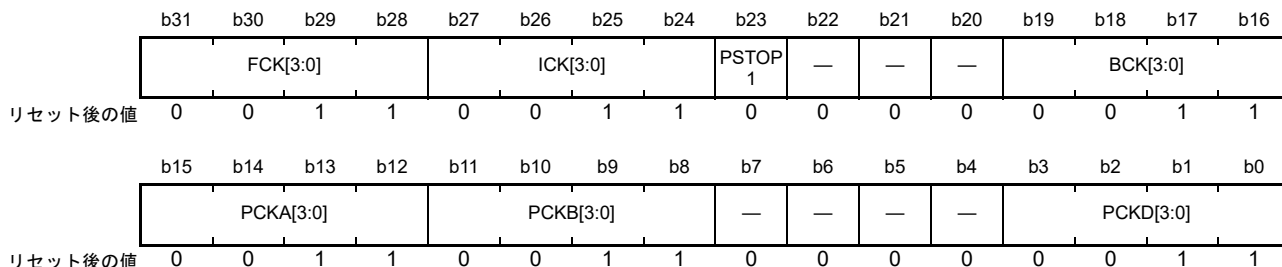
表9.2 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	発振子接続端子。また、EXTAL端子は外部クロックを入力することもできます。詳細は、「9.3.2 外部クロックを入力する方法」参照
EXTAL	入力	
XCIN	入力	32.768kHzの水晶振動子を接続
XCOU	出力	
BCLK	出力	外部デバイスに外部バスクロック (BCLK) を供給します。
CLKOUT	出力	クロック出力端子

9.2 レジスタの説明

9.2.1 システムクロックコントロールレジスタ (SCKCR)

アドレス 0008 0020h



ビット	シンボル	ビット名	機能	R/W
b3-b0	PCKD[3:0]	周辺モジュールクロック D (PCLKD) 選択ビット	b3 b0 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	PCKB[3:0]	周辺モジュールクロック B (PCLKB) 選択ビット	b11 b8 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b15-b12	PCKA[3:0]	周辺モジュールクロック A (PCLKA) 選択ビット	b15 b12 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は、設定しないでください	R/W
b19-b16	BCK[3:0] (注1)	外部バスクロック (BCLK) 選択ビット	b19 b16 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は、設定しないでください	R/W
b22-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23	PSTOP1	BCLK端子出力制御ビット	0 : BCLK端子出力動作 1 : BCLK端子出力停止 (High固定)	R/W

ビット	シンボル	ビット名	機能	R/W
b27-b24	ICK[3:0] (注1、注2)	システムクロック (ICLK) 選択ビット	b27 b24 0000: 1分周 0001: 2分周 0010: 4分周 0011: 8分周 0100: 16分周 0101: 32分周 0110: 64分周 上記以外は設定しないでください	R/W
b31-b28	FCK[3:0]	FlashIFクロック (FCLK) 選択ビット	b31 b28 0000: 1分周 0001: 2分周 0010: 4分周 0011: 8分周 0100: 16分周 0101: 32分周 0110: 64分周 上記以外は設定しないでください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. ICLKは外部バスクロックより低い周波数に設定しないでください。

注2. SCKCR3.CKSEL[2:0]で32MHzより高い周波数のクロックを選択し、かつMEMWAIT.MEMWAIT = 0の場合、ICLK = 1分周は設定禁止です。

フラッシュメモリがP/E中はこのレジスタへの書き込みができません。書き込みは無効になります。

SCKCR レジスタへの書き込み後、後続の命令でSCKCR レジスタ、SCKCR3 レジスタのいずれかのレジスタへ書き込みをする場合、以下の手順に従ってください。

1. SCKCR レジスタへの書き込み
2. SCKCR レジスタに値が書かれたことを確認する
3. 次のステップに進む

PCKD[3:0] ビット (周辺モジュールクロック D (PCLKD) 選択ビット)

周辺モジュールクロック D (PCLKD) の周波数を選択します。

PCKB[3:0] ビット (周辺モジュールクロック B (PCLKB) 選択ビット)

周辺モジュールクロック B (PCLKB) の周波数を選択します。

PCKA[3:0] ビット (周辺モジュールクロック A (PCLKA) 選択ビット)

周辺モジュールクロック A (PCLKA) の周波数を選択します。

BCK[3:0] ビット (外部バスクロック (BCLK) 選択ビット)

外部バスクロック (BCLK) の周波数を選択します。

PSTOP1 ビット (BCLK 端子出力制御ビット)

BCLK 端子から出力するクロックの停止 / 出力の制御をします。停止の場合、High が出力されます。

ICK[3:0] ビット (システムクロック (ICLK) 選択ビット)

システムクロック (ICLK) の周波数を選択します。

FCK[3:0] ビット (FlashIF クロック (FCLK) 選択ビット)

FlashIF クロック (FCLK) の周波数を選択します。

9.2.2 システムクロックコントロールレジスタ 3 (SCKCR3)

アドレス 0008 0026h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CKSEL[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0] (注1)	クロックソース選択ビット	b10 b8 000 : LOCO選択 001 : HOCO選択 010 : メインクロック発振器選択 011 : サブクロック発振器選択 100 : PLL回路選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. SCKCR.ICKで1分周を選択し、かつMEMWAIT.MEMWAIT = 0の場合、32MHzより高い周波数のクロック選択は禁止です。

フラッシュメモリが P/E 中はこのレジスタへの書き込みができません。書き込みは無効になります。

CKSEL[2:0] ビット (クロックソース選択ビット)

システムクロック (ICLK)、周辺モジュールクロック (PCLKA、PCLKB、PCLKD)、FlashIF クロック (FCLK)、外部バスクロック (BCLK)、USB クロック (UCLK) のクロックソースを低速オンチップオシレータ (LOCO)、高速オンチップオシレータ (HOCO)、メインクロック発振器、サブクロック発振器、PLL 回路から選択します。

停止しているクロックソースへの切り替えは禁止です。

9.2.3 PLL コントロールレジスタ (PLLCR)

アドレス 0008 0028h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	STC[5:0]					—	—	—	—	—	—	—	PLIDIV[1:0]	
リセット後の値	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PLIDIV[1:0]	PLL入力分周比選択ビット	b1 b0 0 0 : 1分周 0 1 : 2分周 1 0 : 4分周 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	STC[5:0]	周波数逡倍率設定ビット	b13 b8 0001111 : ×4 0010000 : ×4.5 0010001 : ×5 0010100 : ×5.5 0010101 : ×6 0011000 : ×6.5 0011001 : ×7 0011100 : ×7.5 0011101 : ×8 0100000 : ×8.5 0100001 : ×9 0100100 : ×9.5 0100101 : ×10 0101000 : ×10.5 0101001 : ×11 0101100 : ×11.5 0101101 : ×12 0110000 : ×12.5 0110001 : ×13 0110100 : ×13.5 上記以外は設定しないでください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

PLLCR2.PLEN ビットが“0”（PLL 動作）のとき、PLLCR レジスタへの書き込みは禁止です。

PLIDIV[1:0] ビット（PLL 入力分周比選択ビット）

PLL のクロックソースの入力分周比を選択します。

PLIDIV[1:0] ビットは、PLL の入力周波数（4MHz ~ 12.5MHz）の範囲に入るように設定してください。

STC[5:0] ビット（周波数逡倍率設定ビット）

PLL の周波数逡倍率を設定します。

STC[5:0] ビットは、PLL の発振周波数（24MHz ~ 54MHz）の範囲に入るように設定してください。

9.2.4 PLL コントロールレジスタ 2 (PLLCR2)

アドレス 0008 002Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLEN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLEN	PLL 停止制御ビット	0 : PLL 動作 1 : PLL 停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

PLLEN ビット (PLL 停止制御ビット)

PLL の動作 / 停止を制御します。

PLLEN ビットで PLL を動作設定に変更後、OSCOVFSR.PLOVF フラグが“1”になっていることを確認してから、システムクロックを PLL クロックに切り替えてください。

PLL は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- PLL を停止設定後、再度動作設定にする場合、OSCOVFSR.PLOVF フラグの“0”を確認してから設定してください。
- PLL の停止設定は、PLL 動作かつ OSCOVFSR.PLOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、PLL を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.PLOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- PLL を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.PLOVF フラグの“0”を確認してから WAIT 命令を実行してください。

SCKCR3.CKSEL[2:0] ビットで PLL を選択しているときは、PLLEN ビットを“1”（PLL 停止）にする書き込みは禁止です。

外部電圧 (VCC) が 2.4V 未満のとき、もしくは SOPCCR.SOPCM ビットで低速動作モードを選択しているときは、PLLEN ビットを“0”（PLL 動作）にする書き込みは禁止です。

9.2.5 USB 専用 PLL コントロールレジスタ (UPLLCR)

アドレス 0008 002Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	USTC[5:0]					—	—	—	UCKUPLLSEL	—	—	UPLIDIV[1:0]		
リセット後の値	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	UPLIDIV[1:0]	USB専用PLL入力分周比選択ビット	b1 b0 0 0 : 1分周 0 1 : 2分周 1 0 : 4分周 上記以外は設定しないでください	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	UCKUPLLSEL	UCLKソースUSB専用PLL選択ビット	0 : UCLKにシステムクロックを選択 1 : UCLKにUSB専用PLLを選択	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	USTC[5:0]	周波数通倍率設定ビット	b13 b8 0 0 0 1 1 1 : ×4 0 0 1 0 1 1 : ×6 0 0 1 1 1 1 : ×8 0 1 0 1 1 1 : ×12 上記以外は、設定しないでください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

UPLLCR2.UPLLEN ビットが“0”（USB 専用 PLL 動作）のとき、UPLLCR レジスタへの書き込みは禁止です。

UPLIDIV[1:0] ビット (USB 専用 PLL 入力分周比選択ビット)

USB 専用 PLL のクロックソースの入力分周比を選択します。

UPLIDIV[1:0] ビットは、USB 専用 PLL の入力周波数（4MHz、6MHz、8MHz、12MHz）になるように設定してください。

UCKUPLLSEL ビット (UCLK ソース USB 専用 PLL 選択ビット)

UCLK の USB 専用 PLL クロックを選択します。本ビットに“1”を設定した場合、UCLK には USB 専用 PLL（48MHz）を供給し、システムクロックには SCKCR3.CKSEL[2:0] ビットで選択した発振器（～54MHz）のクロックを供給します。

本ビットで、UCLK のソースクロックを変更する場合は、MSTPCRB.MSTPB19 ビットを“1”（モジュールストップ状態へ遷移）に設定して、変更前のクロックで3サイクル以上待ってから行ってください。

USTC[5:0] ビット (周波数通倍率設定ビット)

USB 専用 PLL の周波数通倍率を設定します。

USTC[5:0] ビットは、USB 専用 PLL の発振周波数（48MHz）になるように設定してください。

9.2.6 USB 専用 PLL コントロールレジスタ 2 (UPLLCR2)

アドレス 0008 002Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	UPLLEN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UPLLEN	USB 専用 PLL 停止制御ビット	0 : USB 専用 PLL 動作 1 : USB 専用 PLL 停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

UPLLCR2 レジスタは USB 専用 PLL 回路の動作を制御します。

UPLLEN ビット (USB 専用 PLL 停止制御ビット)

USB 専用 PLL の動作を制御します。

UPLLEN ビットで USB 専用 PLL を動作設定に変更後、OSCOVFSR.UPLOVF フラグが“1”になっていることを確認してから USB 専用 PLL クロックの使用を開始してください。

USB 専用 PLL は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- USB 専用 PLL を停止設定後、再度動作設定にする場合、OSCOVFSR.UPLOVF フラグが“0”を確認してから設定してください。
- USB 専用 PLL の停止設定は、USB 専用 PLL 動作かつ OSCOVFSR.UPLOVF フラグが“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、USB 専用 PLL を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.UPLOVF フラグが“1”を確認してから WAIT 命令を実行してください。
- USB 専用 PLL を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.UPLOVF フラグが“0”を確認してから WAIT 命令を実行してください。

外部電圧 (VCC) が 2.4V 未満のとき、もしくは SOPCCR.SOPCM ビットで低速動作モードを選択しているときは、UPLLEN ビットを“0” (USB 専用 PLL 動作) にする書き込みは禁止です。

UPLLCR.UCKUPLSEL ビットで UCLK に USB 専用 PLL を選択し、かつ MSTPCRB.MSTPB19 ビットを“0” (モジュールストップ状態の解除) に設定しているときは、UPLLEN ビットを“1” (USB 専用 PLL 停止) にする書き込みは禁止です。

9.2.7 外部バスクロックコントロールレジスタ (BCKCR)

アドレス 0008 0030h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCLKD IV
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCLKDIV	BCLK端子出力選択ビット	0 : BCLK 1 : BCLKの2分周	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

BCKCR レジスタは、外部バスクロックの制御を行います。

フラッシュメモリが P/E 中はこのレジスタのライトアクセスはできません。書き込みは無効になります。

BCLKDIV ビット (BCLK 端子出力選択ビット)

BCLK 端子から出力するクロックを選択します。

SCKCR.BCK[3:0] ビットで選択した周波数の BCLK、または BCLK の 2 分周を選択できます。

9.2.8 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス 0008 0032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止ビット	0:メインクロック発振器動作 1:メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

メインクロック発振器ウェイトコントロールレジスタを設定してから本レジスタを設定してください。

MOSTP ビット (メインクロック発振器停止ビット)

メインクロック発振器の動作 / 停止を制御します。

MOSTP ビットにてメインクロックを動作設定に変更後、OSCOVFSR.MOOVF フラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

メインクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- メインクロック発振器を停止設定後、再度動作設定にする場合、OSCOVFSR.MOOVF フラグの“0”を確認してから設定してください。
- メインクロック発振器の停止設定は、メインクロック発振器動作かつ OSCOVFSR.MOOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、メインクロック発振器を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.MOOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- メインクロック発振器を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.MOOVF フラグの“0”を確認してから WAIT 命令を実行してください。

以下のいずれかの条件を満たす場合、MOSTP ビットを“1”にしないでください。

- システムクロックのクロックソースにメインクロックを選択しているとき (SCKCR3.CKSEL[2:0] = 010b)
- システムクロックのクロックソースに PLL クロックを選択しているとき (SCKCR3.CKSEL[2:0] = 100b)
- PLL を動作させているとき (PLLCCR2.PPLEN = 0)
- USB 専用 PLL を動作させているとき (UPLLCCR2.UPPLEN = 0)

以下の条件を満たす場合、MOSTP ビットを“0”にしないでください。

- 低速動作モードを選択しているとき (SOPCCR.SOPCM = 1)

9.2.9 サブクロック発振器コントロールレジスタ (SOSCCR)

アドレス 0008 0033h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SOSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOSTP	サブクロック発振器停止ビット	0: サブクロック発振器動作 1: サブクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

SOSTP ビット (サブクロック発振器停止ビット)

サブクロック発振器の動作/停止を制御します。

サブクロック発振器の動作/停止は、SOSTP ビットおよび RTC コントロールレジスタ 3 のサブクロック発振器制御ビット (RCR3.RTCEN) で制御され、いずれかのビットが動作に設定されているとサブクロック発振器は動作状態となります。

SOSTP ビットまたは RCR3.RTCEN ビットの書き換えを行う場合は、書き込み後、読み出して書き換わったのを確認してから、後続の命令を実行するようにしてください（「5. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください）。

SOSTP ビット、または RCR3.RTCEN ビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定時間 (t_{SUBOSC}) が経過した後、サブクロックの使用を開始してください。

サブクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- サブクロック発振器を停止設定後、再度動作設定にする場合、停止期間はサブクロックで5サイクル以上の時間となるようにしてください。
- サブクロック発振器の停止設定は、サブクロック発振器の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、サブクロック発振器を動作設定にしてソフトウェアスタンバイモードに移行する場合は、発振が安定した状態で WAIT 命令を実行してください。
- サブクロック発振器を停止設定後、ソフトウェアスタンバイモードに移行する場合は、サブクロック発振器停止設定後、サブクロック 2 サイクル以上待ってから WAIT 命令を実行してください。

SCKCR3.CKSEL[2:0] ビットでサブクロック発振器を選択しているとき、SOSTP ビットを“1”（サブクロック発振器停止）にする書き込みは禁止です。

9.2.10 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス 0008 0034h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	0 : LOCO動作 1 : LOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

LCSTP ビット (LOCO 停止ビット)

LOCO の動作 / 停止を制御します。

LCSTP ビットにて LOCO を停止設定から動作設定に変更後、LOCO クロックを使用する場合は、LOCO クロック発振安定時間 (t_{LOCO}) が経過した後、使用開始してください。

LOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- LOCO を停止設定後、再度動作設定にする場合、停止期間は LOCO クロックで 5 サイクル以上の時間となるようにしてください。
- LOCO の停止設定は、LOCO の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、LOCO を動作設定にしてソフトウェアスタンバイモードに移行する場合は、LOCO の発振が安定した状態で WAIT 命令を実行してください。
- LOCO を停止設定後、ソフトウェアスタンバイモードに移行する場合は、LOCO 停止設定後、LOCO クロック 3 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で LOCO を選択しているとき、LCSTP ビットを“1” (LOCO 停止) にする書き込みは禁止です。

SOPCCR.SOPCM ビットで低速動作モードを選択しているときは、LCSTP を“0” (LOCO 動作) にする書き込みは禁止です。

9.2.11 IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)

アドレス 0008 0035h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ILCSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ILCSTP	IWDT専用オンチップオシレータ停止ビット	0: IWDT専用オンチップオシレータ動作 1: IWDT専用オンチップオシレータ停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

オプション機能選択レジスタ0のIWDTスタートモード選択ビット (OFS0.IWDTSTRT) が“0” (IWDT動作) のとき、ILOCOCRレジスタの設定は無効です。OFS0.IWDTSTRTビットが“1” (IWDT停止) のとき、ILOCOCRレジスタの設定は有効です。ILOCOCRレジスタが有効、かつILCSTPビットが“0” (IWDT専用オンチップオシレータ動作) の後、“1” (IWDT専用オンチップオシレータ停止) に設定することはできません。

ILCSTP ビット (IWDT 専用オンチップオシレータ停止ビット)

IWDT専用オンチップオシレータの動作/停止を制御します。

ILCSTPビットで、IWDT専用オンチップオシレータを停止設定から動作設定に変更した場合、IWDT専用クロック発振安定時間 (t_{ILOCO}) に相当する一定時間経過後、MCU内部にクロックが供給開始されます。IWDT専用クロックを使用する場合は、この待ち時間が経過した後、使用開始してください。

IWDT専用オンチップオシレータを動作設定にしてソフトウェアスタンバイモードに移行する場合は、発振が安定した状態でWAIT命令を実行してください。

9.2.12 高速オンチップオシレータコントロールレジスタ (HOCOOCR)

アドレス 0008 0036h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HCSTP
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

注1. オプション機能選択レジスタ1のHOCO発振有効ビット (OFS1.HOCOEN) が“0”のとき、HCSTPビットのリセット後の値は“0”になります。OFS1.HOCOENビットが“1”のとき、HCSTPビットのリセット後の値は“1”になります。

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止ビット	0 : HOCO動作 1 : HOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

HCSTP ビット (HOCO 停止ビット)

HOCO の動作 / 停止を制御します。

HCSTP ビットで HOCO を停止設定から動作設定に変更した場合、OSCOVFSR.HCOVF フラグが“1”になっていることを確認してからシステムクロックを HOCO クロックに切り替えてください。

HOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

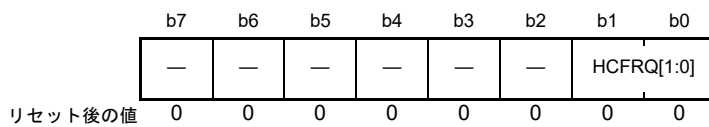
- HOCO を停止設定後、再度動作設定にする場合、OSCOVFSR.HCOVF フラグの“0”を確認してから設定してください。
- HOCO の停止設定は、HOCO 動作かつ OSCOVFSR.HCOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、HOCO を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.HCOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- HOCO を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.HCOVF フラグの“0”を確認してから WAIT 命令を実行してください。

SCKCR3.CKSEL[2:0] ビットで HOCO を選択しているとき、HCSTP ビットを“1”（HOCO 停止）にする書き込みは禁止です。

SOPCCR.SOPCM ビットで低速動作モードを選択しているときは、HCSTP を“0”（HOCO 動作）にする書き込みは禁止です。

9.2.13 高速オンチップオシレータコントロールレジスタ 2 (HOCO CR2)

アドレス 0008 0037h



ビット	シンボル	ビット名	機能	R/W
b1-b0	HCFRQ[1:0]	HOCO周波数設定ビット	b1 b0 0 0 : 32MHz 1 1 : 54MHz 上記以外は、設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

高速オンチップオシレータコントロールレジスタ 2は高速オンチップオシレータの動作を設定します。

HOCO CR.HCSTP ビットが“0”（HOCO 動作）のとき、HOCO CR2 レジスタへの書き込みは禁止です。

HCFRQ[1:0] ビット (HOCO 周波数設定ビット)

HOCO の周波数を設定します。

9.2.14 発振安定フラグレジスタ (OSCOVFSR)

アドレス 0008 003Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	UPLOV F	—	HCOVF	PLOVF	—	MOOV F
リセット後の値	0	0	0	0	0/1	0	0	0

(注1)

注1. オプション機能選択レジスタ1のHOCO発振有効ビット (OFS1.HOCOEN) が“0”のとき、HCOVFビットのリセット後の値は“1”になります。OFS1.HOCOENビットが“1”のとき、HCOVFビットのリセット後の値は“0”になります。

ビット	シンボル	ビット名	機能	R/W
b0	MOOVF	メインクロック発振安定フラグ	0: メインクロック停止 1: 発振安定、システムクロックとして使用可能 (注1)	R
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	PLOVF	PLLクロック発振安定フラグ	0: PLL停止、または発振安定待ち中 1: 発振安定、システムクロックとして使用可能	R
b3	HCOVF	HOCOクロック発振安定フラグ	0: HOCO停止、または発振安定待ち中 1: 発振安定、システムクロックとして使用可能 (注1)	R
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	UPLOVF	USB専用PLLクロック発振安定フラグ	0: USB専用PLL停止、または発振安定待ち中 1: 発振安定、UCLKとして使用可能	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 各発振器のウェイトコントロールレジスタに適切な値を設定した場合、設定値 (待ち時間) が不足している場合は、発振が安定する前にクロックの供給が開始されます。

OSCOVFSR レジスタは各発振器の発振が安定したかどうかをモニタするレジスタです。

それぞれの発振器にウェイトコントロールレジスタがある場合は、発振回路の安定時間以上になるように待ち時間を設定してください。

MOOVF フラグ (メインクロック発振安定フラグ)

メインクロックの発振安定の状態を示します。

["1"になる条件]

- MOSCCR.MOSTP ビットが“1” (メインクロック発振器停止) のときに、MOSTP ビットを“0” (メインクロック発振器動作) にした後、MOSCWTCR レジスタの設定値に応じた時間が経過し、MCU 内部にメインクロックの供給が開始されたとき

["0"になる条件]

- MOSCCR.MOSTP ビットを“1”にした後、メインクロック発振器の発振停止処理が完了したとき

PLOVF フラグ (PLLクロック発振安定フラグ)

PLLクロックの発振安定の状態を示します。

["1"になる条件]

- PLLCR2.PLEN ビットが“1” (PLL停止) のときに、PLEN ビットを“0” (PLL動作) にした後、MOOVF フラグが“1”になり、かつPLLクロック発振安定時間 (tPLL) が経過し、MCU 内部にPLLクロックの供給が開始されたとき

["0"になる条件]

- PLLCR2.PLEN ビットを“1”にした後、PLLの発振停止処理が完了したとき

HCOVF フラグ (HOCO クロック発振安定フラグ)

HOCO クロックの発振安定の状態を示します。

["1" になる条件]

- HOCOCR.HCSTP ビットが "1" (HOCO 停止) のときに、HCSTP ビットを "0" (HOCO 動作) にした後、MCU 内部に HOCO クロックの供給が開始されたとき

["0" になる条件]

- HOCOCR.HCSTP ビットを "1" にした後、HOCO の発振停止処理が完了したとき

UPLOVF フラグ (USB 専用 PLL クロック発振安定フラグ)

USB 専用 PLL クロックの発振安定の状態を示します。

["1" になる条件]

- UPLLCR2.UPLLEN ビットが "1" (USB 専用 PLL 停止) のときに、UPLLEN ビットを "0" (USB 専用 PLL 動作) にした後、MOOVF フラグが "1" になり、かつ PLL クロック発振安定時間 (tPLL) が経過し、MCU 内部へ USB 専用 PLL クロックの供給が開始されたとき

["0" になる条件]

- UPLLCR2.UPLLEN ビットを "1" にした後、USB 専用 PLL の発振停止処理が完了したとき

9.2.15 発振停止検出コントロールレジスタ (OSTDCR)

アドレス 0008 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	0: 発振停止検出割り込みを禁止、POEへの発振停止検出通知なし 1: 発振停止検出割り込みを許可、POEへの発振停止検出通知あり	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OSTDE	発振停止検出機能許可ビット	0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

OSTDIE ビット（発振停止検出割り込み許可ビット）

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) のクリアは、OSTDIE ビットを“0”にした後に行ってください。その後、OSTDIE ビットを再度“1”にする場合は、PCLKB で2サイクル以上待つから行ってください。アクセスサイクル数がPCLKBで定義されているI/Oレジスタを読み出すことによって、PCLKB2サイクル以上の待ち時間を確保することが可能です。

OSTDE ビット（発振停止検出機能許可ビット）

発振停止検出機能の有効/無効を設定します。

OSTDE ビットを“1”（発振停止検出機能有効）にすると、LOCO 停止ビット (LOCOCR.LCSTP) も“0”となり、LOCO が動作します。発振停止検出機能が有効である間は、LOCO を停止させることはできません。LOCOCR.LCSTP ビットへ“1”（LOCO 停止）を書いても、その書き込みは無効になります。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が“1”（メインクロック発振停止検出）のとき、OSTDE ビットへの“0”書き込みは無効になります。

OSTDE ビットが“1”の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを“0”にして、WAIT 命令を実行してください。

9.2.16 発振停止検出ステータスレジスタ (OSTDSR)

アドレス 0008 0041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0: メインクロックの発振停止を未検出 1: メインクロックの発振停止を検出	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。

OSTDF フラグ（発振停止検出フラグ）

メインクロックの状態を示すステータスフラグです。OSTDF フラグが“1”のときメインクロックの発振停止を検出したことを示します。

メインクロックの発振停止を検出した後で、メインクロックの発振が再開しても、OSTDF フラグは“0”になりません。OSTDF フラグは“1”を読んだ後、“0”を書くことによって“0”になります。OSTDF=0 が読み出し値に反映されるまで ICLK3 サイクル以上待つ必要があります。メインクロックの発振を停止している状態で OSTDF フラグを“0”にした場合、OSTDF フラグは一度“0”になった後、再度“1”になります。

また、システムクロックコントロールレジスタ3のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）でメインクロック発振器（“010b”）またはPLL（“100b”）を選択している場合は、OSTDF フラグを“0”にすることはできません。クロックソースをメインクロック発振器、PLL 以外に切り替えてから OSTDF フラグを“0”にしてください。

[“1”になる条件]

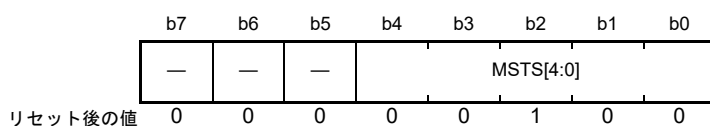
- OSTDCR.OSTDE ビットが“1”（発振停止検出機能有効）の状態、メインクロックの発振が停止したとき

[“0”になる条件]

- SCKCR3.CKSEL[2:0] ビットが“010b”、または“100b”以外の場合に、“1”を読んだ後、“0”を書いたとき

9.2.17 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス 0008 00A2h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MSTS[4:0]	メインクロック発振器ウェイト時間設定ビット	b4 b0 00000: 待ち時間 = 2 サイクル (0.5 μ s) 00001: 待ち時間 = 1024 サイクル (256 μ s) 00010: 待ち時間 = 2048 サイクル (512 μ s) 00011: 待ち時間 = 4096 サイクル (1.024ms) 00100: 待ち時間 = 8192 サイクル (2.048ms) 00101: 待ち時間 = 16384 サイクル (4.096ms) 00110: 待ち時間 = 32768 サイクル (8.192ms) 00111: 待ち時間 = 65536 サイクル (16.384ms) 上記以外は設定しないでください 待ち時間は LOCO = 4.0MHz (0.25 μ s, TYP) の場合	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

MSTS[4:0] ビット (メインクロック発振器ウェイト時間設定ビット)

メインクロック発振器の発振安定待ち時間を選択します。

メインクロック発振安定待ち時間は、発振子メーカーが推奨する発振安定時間以上になるように設定してください。メインクロックを外部入力で使用している場合は、発振安定待ち時間は必要ないため、“00000b”を設定してください。

MSTS[4:0] ビットで設定した待ち時間は、LOCO クロックを使用して計測されます。LOCO は、LOCOCR.LCSTP ビットの値にかかわらず、必要なときに自動で発振します。

設定した待ち時間が経過した後、MCU 内部へのメインクロック供給が開始され、OSCOVFSR.MOOVF フラグが“1”になります。なお、設定した待ち時間が短かった場合は、メインクロックの発振が安定する前にクロックの供給が開始されます。

MOSCWTCR レジスタは、MOSCCR.MOSTP ビットが“1”で、OSCOVFSR.MOOVF フラグが“0”のときに書き換えてください。これ以外のときは書き換えしないでください。

9.2.18 CLKOUT 出力コントロールレジスタ (CKOCR)

アドレス 0008 003Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CKOSTP	CKODIV[2:0]			CKOSEL[3:0]			—	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	CKOSEL[3:0]	CLKOUT 出力ソース選択ビット	b11 b8 0000: LOCOクロック 0001: HOCOクロック 0010: メインクロック 0011: サブクロック 0100: PLL 上記以外は設定しないでください	R/W
b14-b12	CKODIV[2:0]	CLKOUT 出力分周比選択ビット	b14 b12 000: 分周なし 001: 2分周 010: 4分周 011: 8分周 100: 16分周 上記以外は設定しないでください	R/W
b15	CKOSTP	CLKOUT 出力停止制御ビット	0: CLKOUT 端子出力許可 (注1) 1: CLKOUT 端子出力禁止 (Low固定)	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. 対応する端子の端子機能制御レジスタ、ポートモードレジスタの設定も必要です。

CKOSEL[3:0] ビット (CLKOUT 出力ソース選択ビット)

CLKOUT 端子から出力するクロックのソースを LOCO クロック、HOCO クロック、メインクロック、サブクロック、PLL から選択します。

CKODIV[2:0] ビット (CLKOUT 出力分周比選択ビット)

CKOSEL[3:0] ビットで選択したクロックの分周比を選択します。

変更するときは CKOSTP ビットを“1”にしてください。

なお、出力するクロックの周波数が、VCC が 2.7V 以上の場合には 8MHz 以下、VCC が 2.7V 未満のときは 4MHz 以下になるように分周比を設定してください。

CLKOUT 端子から出力されるクロックの特性は、「表 50.38 内蔵周辺モジュールタイミング (1)」を参照してください。

CKOSTP ビット (CLKOUT 出力停止制御ビット)

CLKOUT 端子の出力を制御します。

“0”にすると選択したクロックが出力されます。“1”にすると Low が出力されます。

クロックを発振させたまま CKOSTP ビットを書き換えると、出力にグリッチが発生することがあります。

9.2.19 メインクロック発振器強制発振コントロールレジスタ (MOFCR)

アドレス 0008 C293h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MOSEL	MODR V21	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	MODRV21	メインクロック発振器ドライブ能力切り替えビット	VCC ≥ 2.4V 0: 1MHz ~ 10MHz未滿 1: 10MHz ~ 20MHz VCC < 2.4V 0: 1MHz ~ 8MHz 1: 設定禁止	R/W
b6	MOSEL	メインクロック発振器切り替えビット	0: 発振子 1: 外部発振入力	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

EXTAL/XTAL 端子はポートと兼用端子になっており初期設定状態ではポート機能となります。

MODRV21 ビット (メインクロック発振器ドライブ能力切り替えビット)

メインクロック発振器のドライブ能力の切り替えをします。

MOSEL ビット (メインクロック発振器切り替えビット)

メインクロック発振器の発振源の切り替えを行います。

9.2.20 メモリウェイトサイクル設定レジスタ (MEMWAIT)

アドレス 0008 0031h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MEMW AIT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MEMWAIT	メモリウェイトサイクル設定ビット (注1)	0: ウェイトなし 1: ウェイトあり	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. 本レジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. SCKCR.ICK[3:0]ビットで1分周を選択し、かつSCKCR3.CKSEL[2:0]ビットで、システムクロック（ICLK）に32MHzより高い周波数のクロックを選択した場合、MEMWAITビット=0（ウェイトなし）は選択禁止です。また、システムクロック（ICLK）に32MHz以下の周波数のクロックを選択した場合、MEMWAITビット=1（ウェイトあり）にする必要はありません。

MEMWAIT レジスタは、ROM のウェイトサイクルの制御を行います。

MEMWAIT ビット（メモリウェイトサイクル設定ビット）

ROM のウェイトサイクルを設定します。

リセット直後、ウェイトなしに設定されています。

システムクロック（ICLK）に32MHzより高い周波数のクロックを選択する場合、MEMWAIT ビットを“1”（ウェイトあり）にしてください。

MEMWAIT ビットを“1”（ウェイトあり）に設定する場合は高速動作モードの状態を設定し、MEMWAIT ビットが“1”になった後に、システムクロックを32MHzより高い周波数のクロックに変更してください。

また、MEMWAIT ビットを“0”（ウェイトなし）に設定する場合は、システムクロック（ICLK）の周波数が32MHz以下の状態で設定し、動作電力制御状態を変更する場合は、MEMWAIT ビットが“0”になった後に変更してください。

表 9.3 に MEMWAIT ビットの設定制約を、図 9.2、図 9.3 に MEMWAIT ビットの変更手順を示します。

表9.3 MEMWAITビット設定制約

MEMWAITビット	動作電力制御状態			
	高速動作モード		中速動作モード	低速動作モード
	ICLK ≤ 32MHz	ICLK > 32MHz		
0	設定可	設定禁止	設定可	設定可
1	設定可	設定可	設定禁止	設定禁止

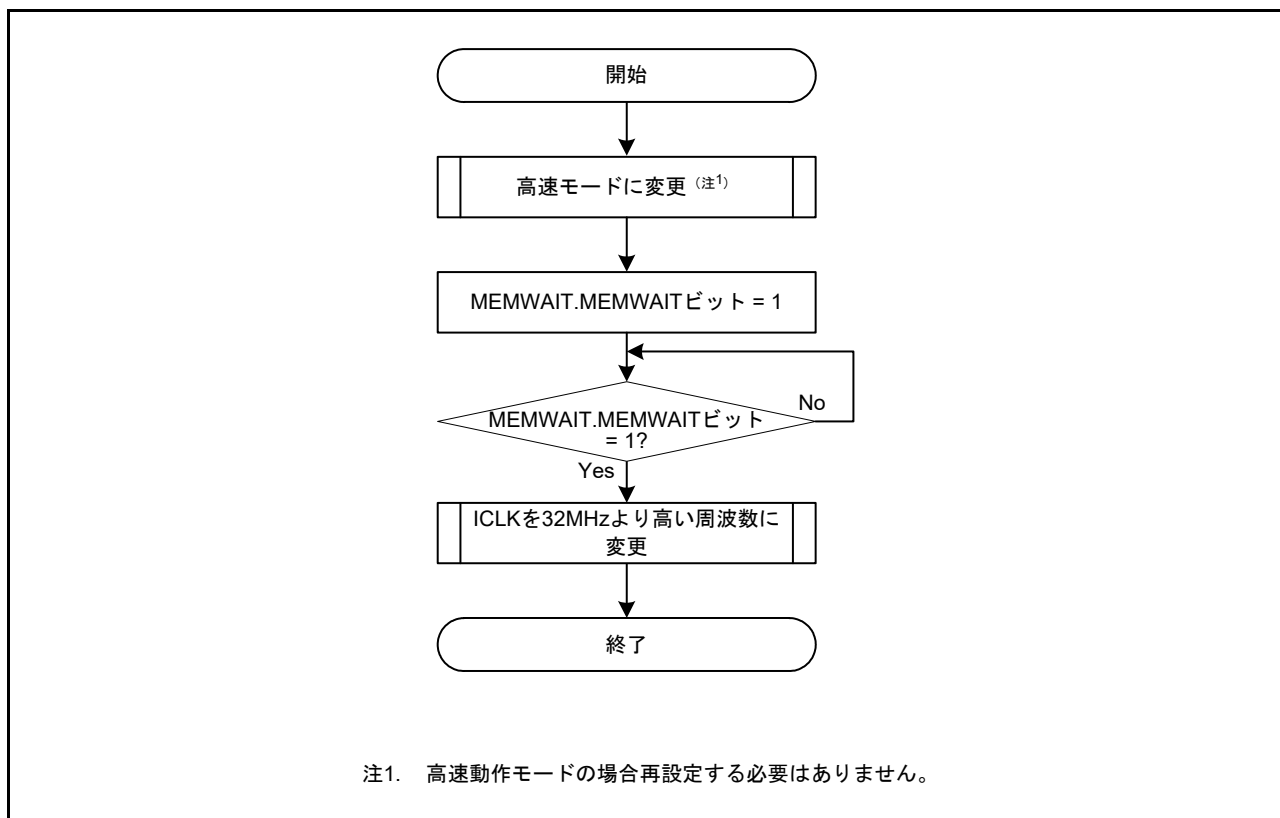


図 9.2 ICLK を 32MHz より高い周波数に変更する場合の MEMWAIT ビット設定手順例

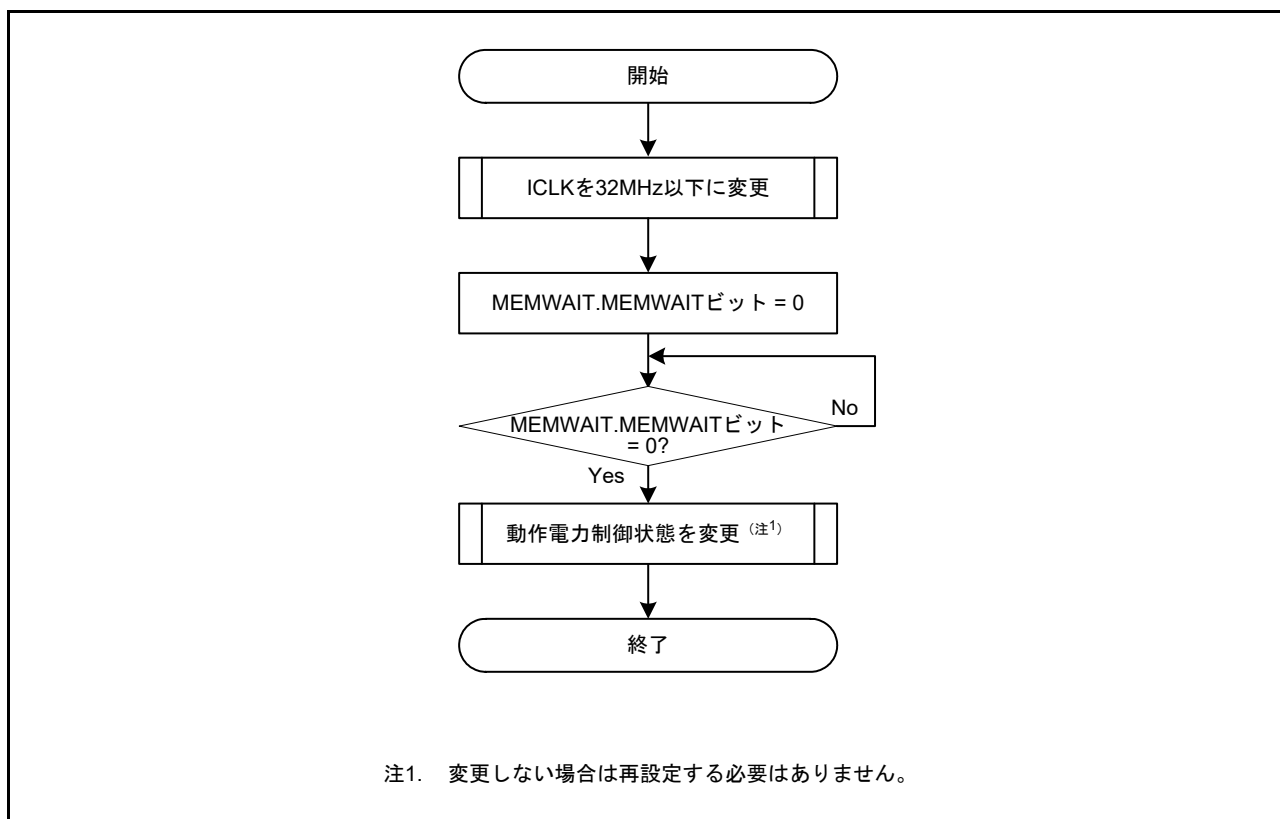
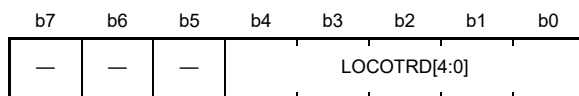


図 9.3 ICLK を 32MHz 以下の周波数に変更する場合の MEMWAIT ビット設定手順例

9.2.21 低速オンチップオシレータトリミングレジスタ (LOCOTRR)

アドレス 0008 0060h



リセット後の値 0 0 0 (注1) (注1) (注1) (注1) (注1)

注1. チップごとの固定値

ビット	シンボル	ビット名	機能	R/W
b4-b0	LOCOTRD[4:0]	低速オンチップオシレータ周波数補正ビット	b4 b0 1 0 0 0 : -16 (周波数: 低) 1 0 0 0 1 : -15 : : 0 1 1 1 0 : 14 0 1 1 1 1 : 15 (周波数: 高)	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. 本レジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

LOCOTRD[4:0] ビット (低速オンチップオシレータ周波数補正ビット)

低速オンチップオシレータの周波数補正値を設定してください。

設定値は2の補数 (-16 (10h) から 15 (0Fh)) で、値を大きくすると周波数が高くなります。

工場出荷時に一定の条件で調整していますので、リセット後の値はチップごとに異なります。リセットすることにより工場出荷時に調整した発振周波数に戻ります。

9.2.22 IWDТ専用オンチップオシレータトリミングレジスタ (ILOCOTRR)

アドレス 0008 0064h



リセット後の値 0 0 0 (注1) (注1) (注1) (注1) (注1)

注1. チップごとの固定値

ビット	シンボル	ビット名	機能	R/W
b4-b0	ILOCOTRD[4:0]	IWDТ専用オンチップオシレータ周波数補正ビット	b4 b0 0 0 0 0 0 : 0 (周波数: 低) 0 0 0 0 1 : 1 : : 1 1 1 1 0 : 30 1 1 1 1 1 : 31 (周波数: 高)	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. 本レジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

ILOCOTRD[4:0] ビット (IWDТ専用オンチップオシレータ周波数補正ビット)

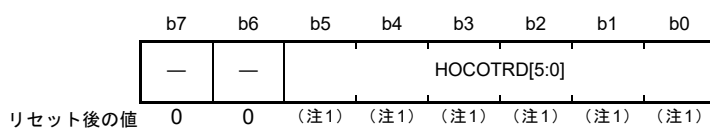
IWDТ専用オンチップオシレータの周波数補正値を設定してください。

設定値は通常の2進数 (0 (00h) から 31 (1Fh)) で、値を大きくすると周波数が高くなります。

工場出荷時に一定の条件で調整していますので、リセット後の値はチップごとに異なります。リセットすることにより工場出荷時に調整した発振周波数に戻ります。

9.2.23 高速オンチップオシレータトリミングレジスタ n (HOCOTRRn) (n = 0、3)

アドレス HOCOTRR0 0008 0068h, HOCOTRR3 0008 006Bh



注1. チップごとの固定値

ビット	シンボル	ビット名	機能	R/W
b5-b0	HOCOTRD[5:0]	高速オンチップオシレータ周波数補正ビット	b5 b0 0 0 0 0 0 0 : 0 (周波数 : 低) 0 0 0 0 0 1 : 1 : : 1 1 1 1 1 0 : 62 1 1 1 1 1 1 : 63 (周波数 : 高)	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. 本レジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

HOCOTRR0 は 32MHz、HOCOTRR3 は 54MHz に対応しています。

HOCOTRD[5:0] ビット (高速オンチップオシレータ周波数補正ビット)

高速オンチップオシレータの周波数補正值を設定してください。

設定値は通常の2進数 (0 (00h) から 63 (3Fh)) で、値を大きくすると周波数が高くなります。

工場出荷時に一定の条件で調整していますので、リセット後の値はチップごとに異なります。リセットすることにより工場出荷時に調整した発振周波数に戻ります。

9.3 メインクロック発振器

メインクロック発振器へクロックを供給する方法には、発振子を接続する方法と外部クロックを入力する方法があります。

9.3.1 発振子を接続する方法

発振子を接続する場合の接続例を図9.4に示します。

必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従ってEXTAL、XTAL間に R_f を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は表9.1のメインクロック発振器の発振子周波数の範囲内としてください。

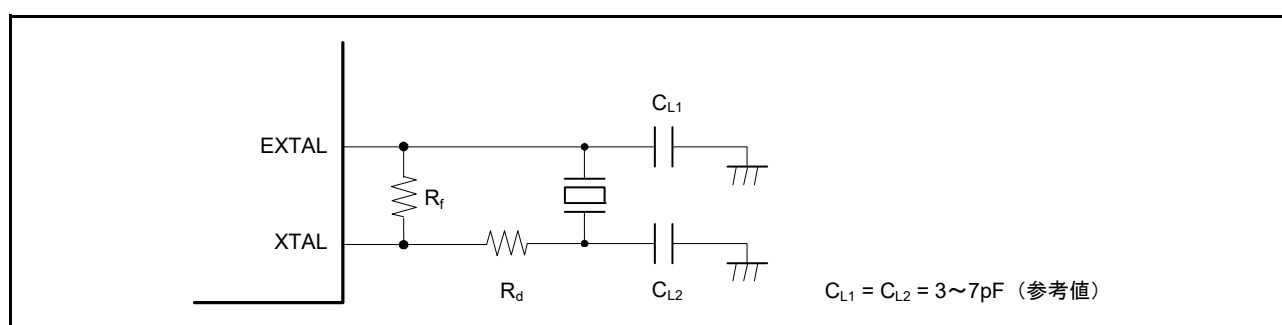


図 9.4 水晶振動子の接続例

表9.4 ダンピング抵抗 (参考値)

周波数 (MHz)	2	8	16	20
R_d (Ω)	0	0	0	0

水晶振動子の等価回路を図9.5に示します。水晶振動子は表9.5に示す特性のものを参考として使用してください。

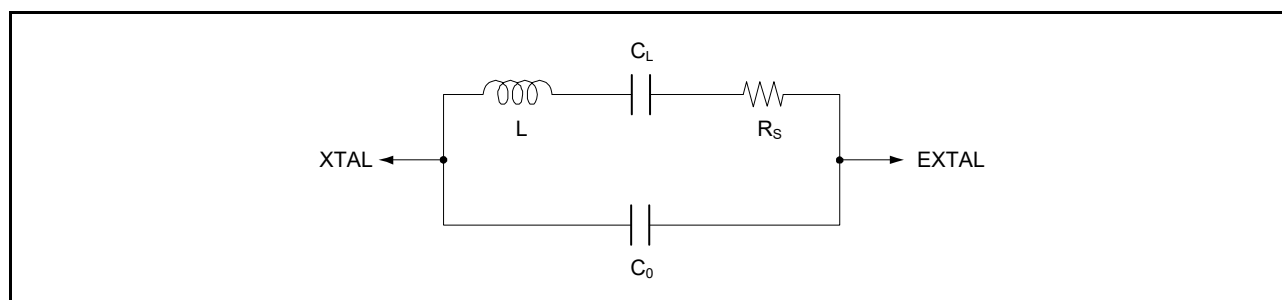


図 9.5 水晶振動子の等価回路

表9.5 水晶振動子の特性 (参考値)

周波数 (MHz)	8	12	16
R_s max (Ω)	200	120	56
C_0 max (pF)	1.3	1.3	1.4

9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図9.6に示します。外部クロックを入力して動作させる場合には、MOFCR.MOSEL ビットを“1”にし、XTAL 端子をオープンにしてください。

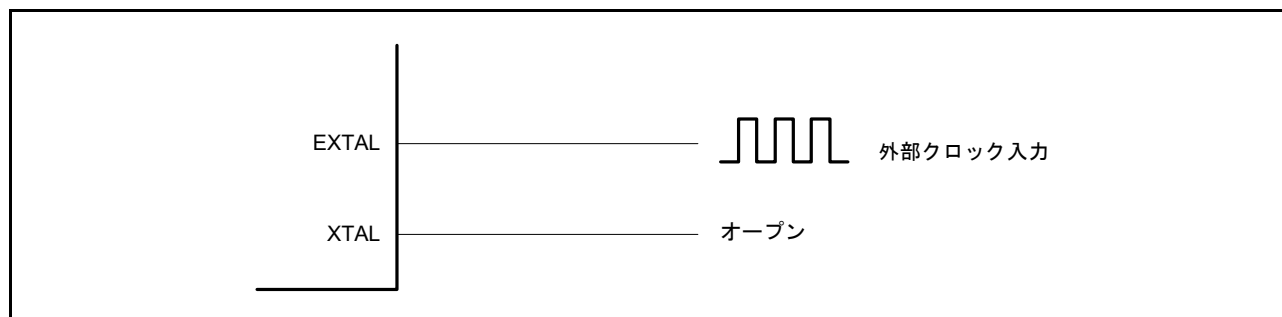


図 9.6 外部クロックの接続例

9.3.3 メインクロックを使用しない場合の端子処理

メインクロックを使用しない場合の端子処理は、「21.5 未使用端子の処理」を参照ください。

9.3.4 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器停止ビット (MOSCCR.MOSTP) に“0” (メインクロック発振器動作) が設定されている間は、外部クロック入力周波数を変更しないでください。

9.4 サブクロック発振器

サブクロック発振器へクロックを供給する方法には、水晶振動子を接続する方法があります。

9.4.1 32.768kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、**図 9.7** に示すように 32.768kHz の水晶振動子を接続します。

必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従って XCIN、XCOUT 間に R_f を挿入してください。発振子を接続してクロックを供給する場合、接続する発振子は**表 9.1** のサブクロック発振器の発振子周波数の範囲内としてください。

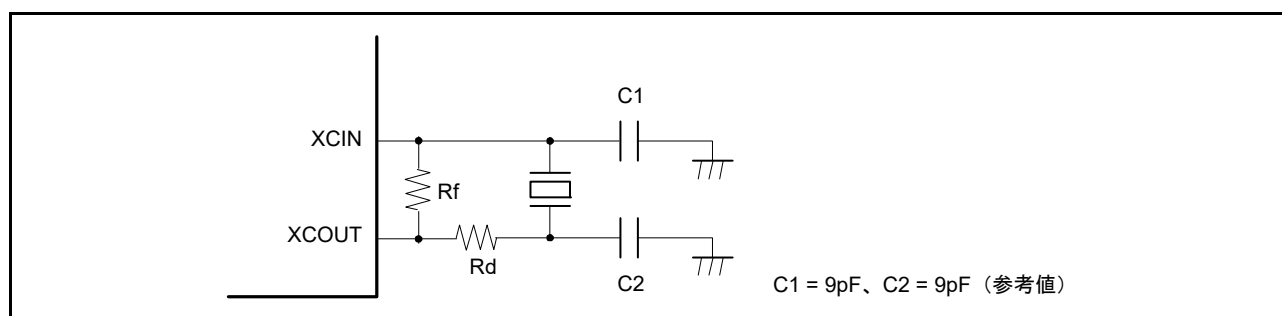


図 9.7 32.768kHz 水晶振動子の接続例

32.768kHz 水晶振動子の等価回路を**図 9.8** に示します。水晶振動子は**表 9.6** に示す特性のものを使用してください。

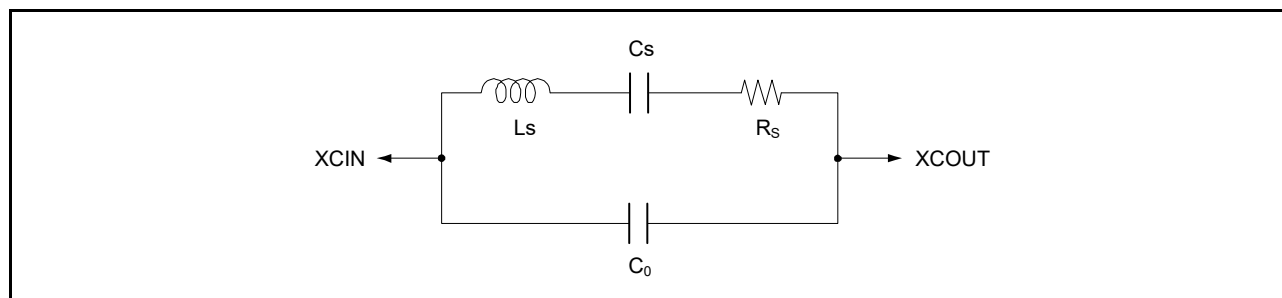


図 9.8 水晶振動子の等価回路

表 9.6 水晶振動子の特性 (参考値)

周波数 (kHz)	32.768 (低CL)
R_s max (k Ω)	37
C_0 max (pF)	0.9

9.4.2 サブクロックを使用しない場合の端子処理

サブクロックを使用しない場合は、図 9.9 に示すように XCIN 端子を抵抗を介して VSS に接続（プルダウン）し、XCOUT 端子をオープンとしてください。

また、サブクロック発振器停止ビット（SOSCCR.SOSTP）を“1”（停止）に、かつ RTC コントロールレジスタ 3 のサブクロック発振器制御ビット（RCR3.RTCEN）を“0”（サブクロック発振器停止）にしてください。サブクロックに関する RTC のレジスタの一部はコールドスタートにて不定となりますので、コールドスタート後にこれらのビットを設定してください。

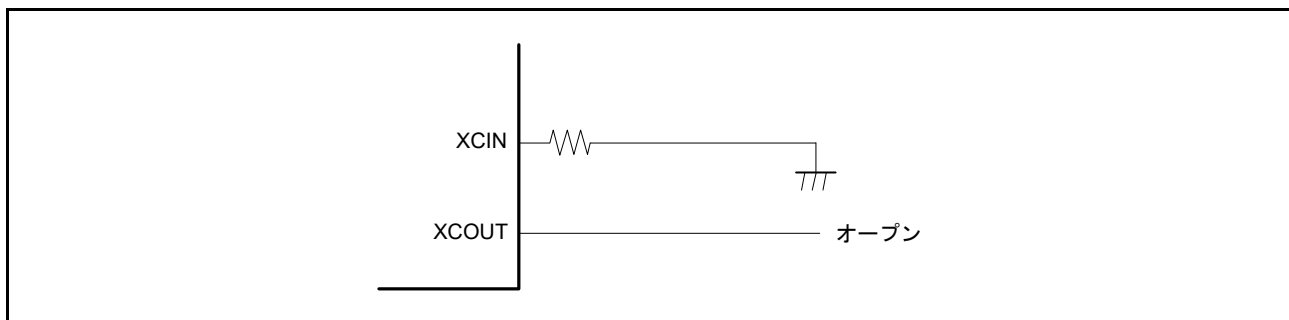


図 9.9 サブクロックを使用しない場合の端子処理

9.5 発振停止検出機能

9.5.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックの代わりに低速オンチップオシレータが出力する低速クロックを供給する機能です。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。また、発振停止検出時に、MTUの出力を強制的にハイインピーダンスとすることも可能です。詳細は、「23. マルチファンクションタイマパルスユニット2 (MTU2a)」、「24. ポートアウトプットイネーブル2 (POE2a)」を参照してください。

本MCUは、メインクロック発振器の異常などによって入力クロックが一定期間“0”または“1”となった場合に、「50. 電気的特性」の発振停止検出回路特性参照)、メインクロックの発振停止を検出します。

発振停止を検出すると、クロックソース選択ビット (SCKCR3.CKSEL[2:0]) で選択されるメインクロックが、前段のセレクトにて LOCO クロックに切り替わります。そのため、システムクロックのクロックソースにメインクロックを選択した状態で発振停止を検出すると、CKSEL[2:0] ビットの設定値は変わらないまま、システムクロックのクロックソースが LOCO クロックへと切り替わります。

システムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で PLL クロックが選択されている場合に発振停止を検出すると、SCKCR3.CKSEL[2:0] の設定値は変わらないまま、システムクロックのクロックソースは PLL クロックのままです。ただし、固有の周波数 (自励発振周波数) になります。

また、UPLLCR.UCKPLLSEL ビットで USB 専用 PLL クロックが選択されている場合に発振停止を検出しても、UPLLCR.UCKPLLSEL ビットの設定値は変わらず、UCLK のクロックソースは USB 専用 PLL クロックのままです。ただし、固有の周波数 (自励発振周波数) になります。

メインクロックと LOCO クロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。OSTDF フラグが“1”になると LOCO クロックへ切り替わり、OSTDF フラグを“0”にするとメインクロックに戻ります。ただし、CKSEL[2:0] ビットでメインクロックあるいは PLL クロックを選択している場合は、OSTDF フラグを“0”にできません。発振停止検出後にクロックソースをメインクロックあるいは PLL クロックに戻りたい場合は、一度 CKSEL[2:0] ビットの設定をメインクロックおよび PLL クロック以外に変更し、OSTDF フラグを“0”にしてください。その後、OSTDF フラグが“1”になっていないことを確認し、所定の発振安定時間経過後に CKSEL[2:0] ビットの設定をメインクロックまたは PLL クロックに変更してください。

リセット解除後、メインクロック発振器は停止、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、メインクロック発振器を動作させ、所定の発振安定時間経過後に発振停止検出機能許可ビット (OSTDCR.OSTDE) への書き込みを行ってください。

発振停止検出機能は、外部要因によるメインクロックの停止に備えた機能であるため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードに移行する場合は、あらかじめ発振停止検出機能は無効にしてください。

発振停止検出によって LOCO クロックに切り替わるのは、システムクロックソースとしてメインクロックを選択した場合のシステムクロック、CAC メインクロック (CACMCLK)、SSI クロック (SSISCK)、および CAN クロック (CANMCLK) を選択していた場合です。LOCO クロック動作時のシステムクロック (ICLK) の周波数については、LOCO 発振周波数とシステムクロック (ICLK) 選択ビット (SCKCR.ICK[3:0]) の分周比の設定で決まります。

発振停止検出によって PLL の自励発振周波数で動作するのは、システムクロックソースとして PLL クロックを選択した場合のシステムクロック、および、UCLK ソースとしての USB 専用 PLL クロックを選択していた場合の UCLK です。

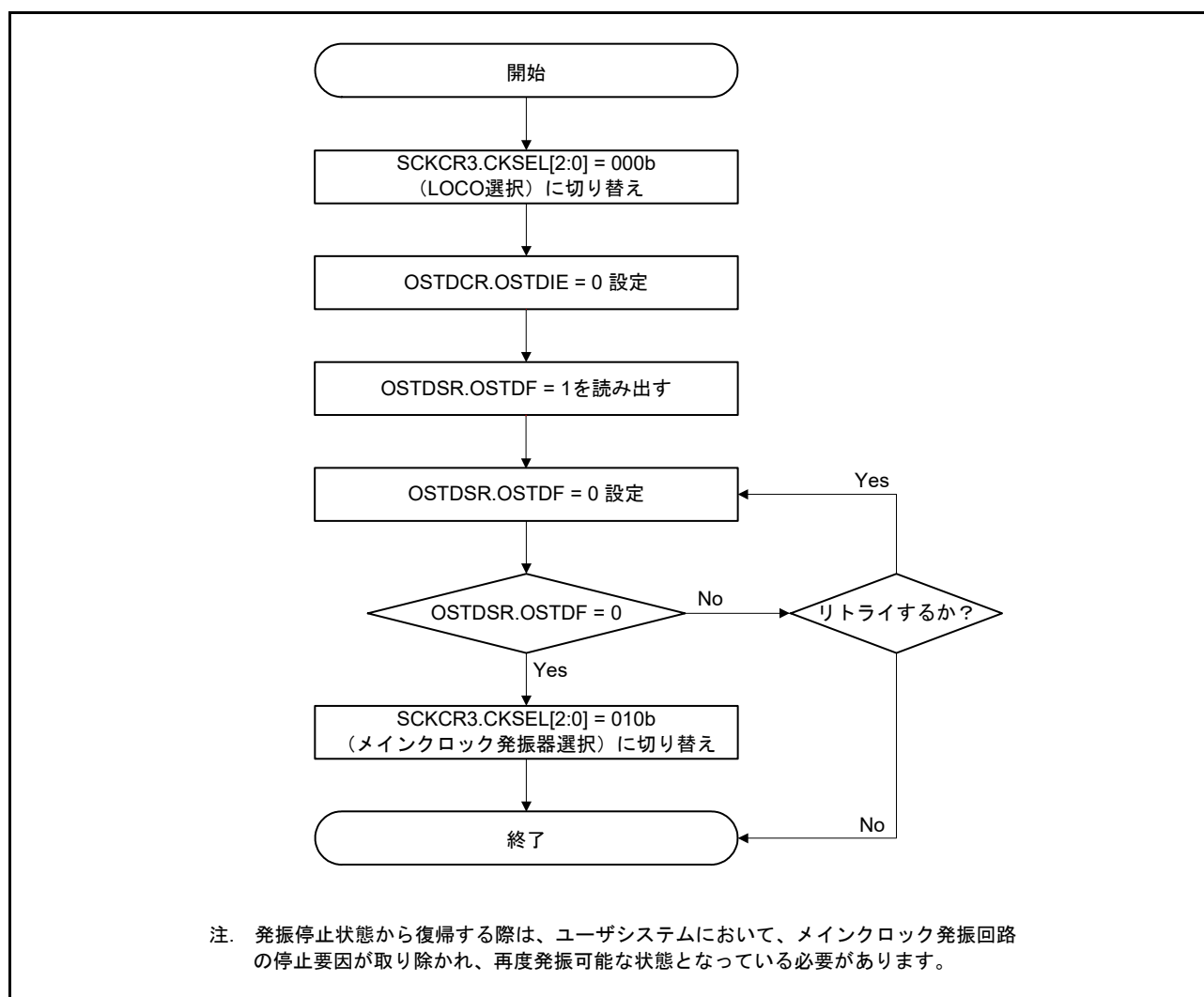


図 9.10 発振停止検出からの復帰のフローチャート例

9.5.2 発振停止検出割り込み

発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が“1” (発振停止検出割り込みを許可) のとき、発振停止検出フラグ (OSTDSR.OSTDF) が“1”になるとポートアウトプットイネーブル2 (POE) へメインクロック発振器の停止を通知します。POEは、発振停止の通知を受けて入力レベルコントロール/ステータスレジスタ3のOSTSTハイインピーダンスフラグ (ICSR3.OSTSTF) を“1”にします。このICSR3.OSTSTFフラグは、発振停止を検出後、PCLKで10サイクル経過するまで書き込みできませんので注意してください。OSTDSR.OSTDFフラグのクリアは、発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を“0”にした後に行ってください。その後、OSTDCR.OSTDIEビットを再度“1”にする場合は、PCLKBで2サイクル以上待ってから行ってください。アクセスサイクル数がPCLKBで定義されているI/Oレジスタを読み出すことによって、PCLKB2サイクル以上の待ち時間を確保することが可能です。

発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態では、「ノンマスカブル割り込み禁止」となっていますので、発振停止検出割り込みを使用する場合は、ソフトウェアでノンマスカブル割り込みを有効にしてください。詳細は「15. 割り込みコントローラ (ICU_B)」を参照してください。発振停止を検出してPLLが自励発振周波数で動作している状態は、システムとして何らかの異常が発生している状態です。異常に対する応急処置のみ実施するようにしてください。

9.6 PLL 回路

PLL 回路は、発振器からの周波数を通倍する機能を持っています。

9.7 内部クロック

内部クロックは、クロック源としてメインクロック、サブクロック、HOCO クロック、LOCO クロック、PLL クロック、USB 専用 PLL クロック、IWDT 専用クロックがあり、これらのクロックから以下に示す内部クロックを生成します。

- (1) CPU、DMAC、DTC、ROM および RAM の動作クロック：システムクロック (ICLK)
- (2) 周辺モジュールの動作クロック：周辺モジュールクロック (PCLKA、PCLKB、PCLKD)
- (3) FlashIF の動作クロック：FlashIF クロック (FCLK)
- (4) 外部バスコントローラ、外部端子出力クロック：外部バスクロック (BCLK)
- (5) USB モジュール用の動作クロック：USB クロック (UCLK)
- (6) CAN モジュール用の動作クロック：CAN クロック (CANMCLK)
- (7) CAC モジュール用の動作クロック：CAC クロック (CACCLK)
- (8) RTC モジュール用の動作クロック：RTC 専用サブクロック (RTCSCCLK)
- (9) IWDT モジュール用の動作クロック：IWDT 専用クロック (IWDTCLK)
- (10) SSI モジュール用の動作クロック：SSI クロック (SSISCK)
- (11) ローパワータイマ用の動作クロック：LPT クロック (LPTCLK)

内部クロックの周波数は、分周比を選択する SCKCR.FCK[3:0], ICK[3:0], BCK[3:0], PCKA[3:0], PCKB[3:0], PCKD[3:0], BCKCR.BCLKDIV ビット、クロック源を選択する SCKCR3.CKSEL[2:0] ビット、PLL 回路の周波数を選択する PLLCR.STC[5:0], PLIDIV[1:0] ビット、UPLLCR.UPLIDIV[1:0], USTC[5:0], HOCO2.HCFRQ[1:0] ビットの組み合わせで設定します。各ビットの書き換え後に、変更後の周波数で動作します。

9.7.1 システムクロック

システムクロック (ICLK) は、CPU、DMAC、DTC、ROM および RAM の動作クロックです。

ICLK の周波数は、SCKCR.ICK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

9.7.2 周辺モジュールクロック

周辺モジュールクロック (PCLKA、PCLKB、PCLKD) は、周辺モジュール用の動作クロックです。

PCLKA、PCLKB、PCLKD の周波数は、SCKCR.PCKA[3:0], PCKB[3:0], PCKD[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

周辺モジュールクロック (PCLKD) は S12AD 用、周辺モジュールクロック (PCLKA、PCLKB) は、S12AD 以外の周辺モジュール用の動作クロックです。

9.7.3 FlashIF クロック

FlashIF クロック (FCLK) は、FlashIF 用の動作クロックです。

FCLK の周波数は、SCKCR.FCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

9.7.4 外部バスクロック

外部バスクロック (BCLK) は、外部バスコントローラの動作クロックです。また、BCLK は外部バス用に BCLK 端子から外部に出力できます。

SCKCR.PSTOP1 ビットを“0”、SYSCR0.EXBE ビットを“1”に設定すると、BCLK を BCLK 端子から出力することができます。SYSCR0.EXBE ビットを“1”に変更する場合は、SCKCR.PSTOP1 ビットが“1”の状態で行ってください。

また、BCKCR.BCLKDIV ビットを“1”に設定して BCLK 端子から BCLK の 2 分周クロックを出力することができます。

BCLK の周波数は、SCKCR.BCK[3:0]、SCKCR3.CKSEL[2:0]、PLLCR.PLIDIV[1:0]、PLLCR.STC[5:0]、HOCOCR2.HCFRQ[1:0] ビットにより設定します。

9.7.5 USB クロック

USB クロック (UCLK) は、USB モジュール用の動作クロックです。UCLK の周波数は、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0]、UPLLCR.UPLIDIV[1:0]、USTC[5:0] ビットで設定します。

USB モジュールへは 48MHz のクロックを供給する必要があります。USB モジュールを使用する場合は UCLK が 48MHz となるようにしてください。

9.7.6 CAN クロック

CAN クロック (CANMCLK) は、CAN モジュール用の動作クロックです。

CANMCLK は、メインクロック発振器で生成されたクロックです。

9.7.7 CAC クロック

CAC クロック (CACCLK) は、CAC モジュール用の動作クロックです。

CACCLK にはメインクロック発振器で生成される CACMCLK、サブクロック発振器で生成される CACSCLK、高速オンチップオシレータで生成される CACHCLK、低速オンチップオシレータで生成される CACLCLK、IWDT 専用オンチップオシレータで生成される CACILCLK があります。

9.7.8 RTC 専用クロック

RTC 専用クロック (RTCSCLK) は、RTC モジュールの動作クロックです。

RTCSCLK はサブクロック発振器で生成されたクロックです。

9.7.9 IWDT 専用クロック

IWDT 専用クロック (IWDTCLK) は、IWDT モジュールの動作クロックです。

IWDTCLK は、IWDT 専用オンチップオシレータで内部発振によって生成されたクロックです。

9.7.10 SSI クロック

SSI クロック (SSISCK) は、SSI モジュール用の動作クロックです。

SSISCK は、メインクロック発振器で生成されたクロックです。

9.7.11 ローパワータイマクロック

ローパワータイマクロック (LPTCLK) は、ローパワータイマ用の動作クロックです。LPTCLK には、サブクロック発振器で生成されるクロックまたは IWDТ 専用オンチップオシレータで生成されるクロックがあります。

9.8 使用上の注意事項

9.8.1 クロック発生回路に関する注意事項

- (1) SCKCR レジスタで、各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKA、PCLKB、PCLKD)、FlashIF クロック (FCLK)、外部バスクロック (BCLK) の周波数を選択します。各周波数は、以下のようにしてください。
各周波数は電気的特性の AC タイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。
周波数は表 9.1 の周波数範囲内に収まるように設定してください。
周辺モジュールは、基本的に PCLKA、PCLKB、PCLKD を基準に動作します。このため、周波数変更の前後でタイマや SCI などの動作速度が変わりますので注意してください。
- (2) システムクロック (ICLK)、周辺モジュールクロック A、B、D (PCLKA、PCLKB、PCLKD)、FlashIF クロック (FCLK)、外部バスクロック (BCLK) との間には下記の周波数関係が必要です。
ICLK:FCLK = N:1or1:N (N は整数) の周波数関係
ICLK:BCLK = N:1 (N は整数)、ICLK \geq BCLK の周波数関係
ICLK:PCLKA, PCLKB, PCLKD = N:1or1:N (N は整数) の周波数関係
- (3) クロック周波数を変更後、確実に次の処理を実行するためには、周波数変更の書き込みをした後、同レジスタの読み出しを行ってから次の処理を実行してください。

9.8.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などによって異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

9.8.3 ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。図 9.11 に示すように発振回路の近くには信号線を通させないでください。電磁誘導によって正常に発振しなくなることがあります。

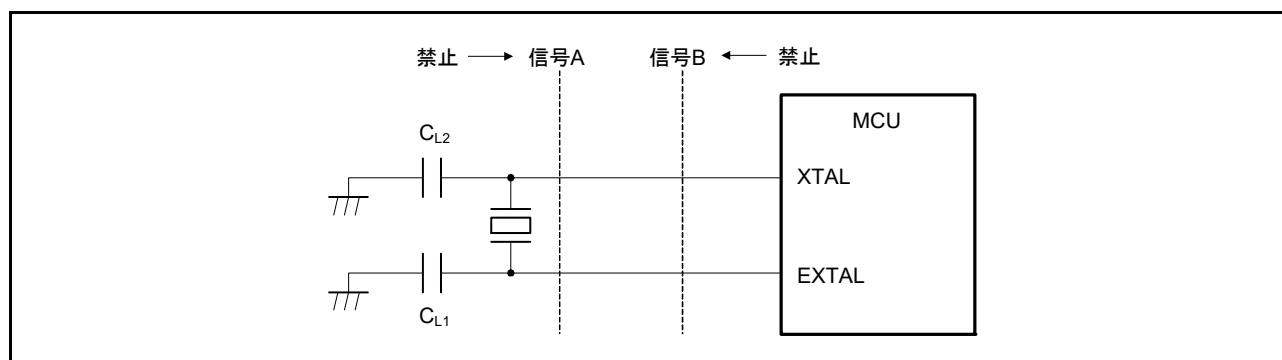


図 9.11 発振回路部のボード設計に関する注意事項（メインクロック発振器の場合、サブクロック発振器も同様）

9.8.4 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子、XTAL 端子を汎用ポート P36、P37 として使用することができます。汎用ポートとして使用する場合は、メインクロック停止設定 (MOSCCR.MOSTP = 1) で使用してください。ただし、メインクロックを使用するシステムにおいては EXTAL 端子、XTAL 端子を汎用ポートとして使用しないでください。

メインクロックを使用する場合は、P36、P37 を出力に設定しないでください。

9.8.5 サブクロックに関する注意事項

サブクロックは、システムクロックとして使用される場合、リアルタイムクロックのカウントソースとして使用される場合、およびその両方に使用される場合があります。また、サブクロックを使用しない場合も含めて、設定に関して以下のような注意および制限事項があります。

- サブクロックの動作/停止は、サブクロック発振器コントロールレジスタのサブクロック発振器停止ビット (SOSCCR.SOSTP) および RTC コントロールレジスタ 3 のサブクロック発振器制御ビット (RCR3.RTCEN) で制御され、いずれかのビットが動作に設定されているとサブクロックは動作状態となります。
- サブクロックをシステムクロックとして使用し、かつリアルタイムクロックのカウントソースとして使用する場合は、図 9.12 のフローチャートの例に従って初期設定してください。その後、「28.3.2 クロックとカウントモード設定手順」に記載されたクロック設定手順に従って設定してください。

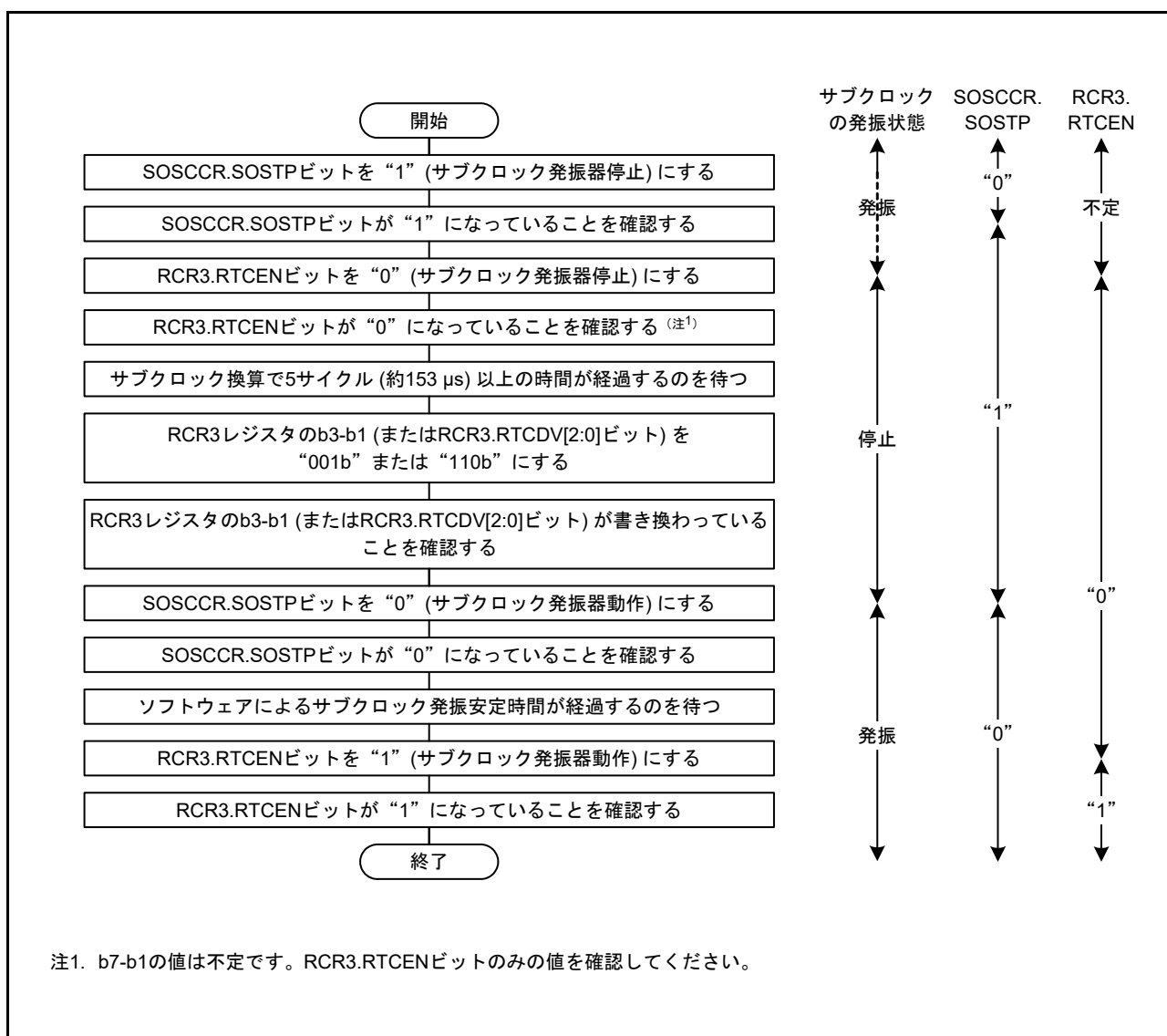


図 9.12 サブクロックをリアルタイムクロックのカウンタソースに使用する場合の初期化フローチャート例

- サブクロックをリアルタイムクロックのカウンタソースのみに使用する場合は、図 9.13 のフローチャートの例に従って初期設定してください。その後、「28.3.2 クロックとカウンタモード設定手順」に記載されたクロック設定手順に従って設定してください。

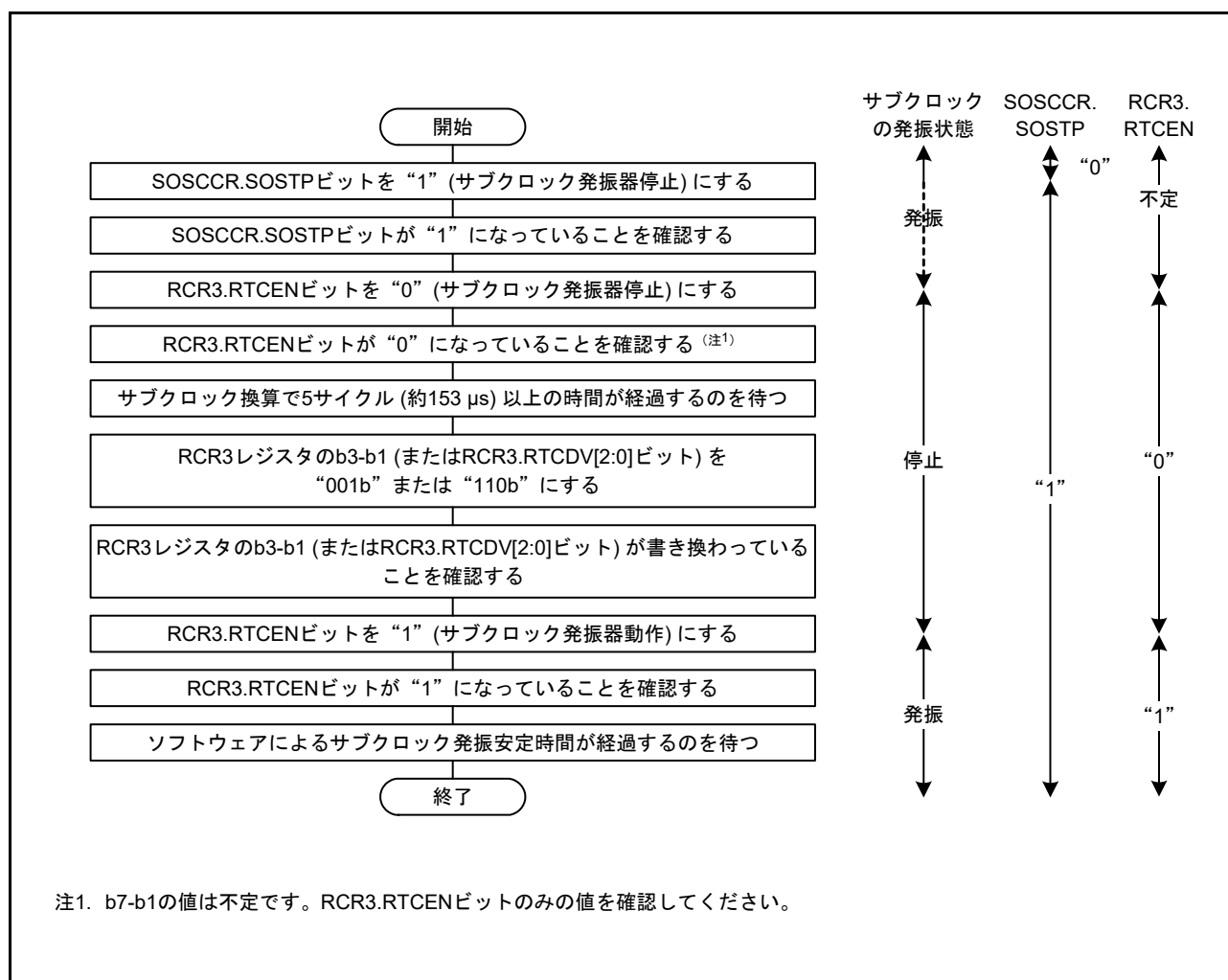


図 9.13 サブクロックをリアルタイムクロックのカウンタソースのみに使用する場合の初期化フローチャート例

- サブクロックをシステムクロックのみに使用する場合は、図 9.14 のフローチャートの例に従って初期設定してください。

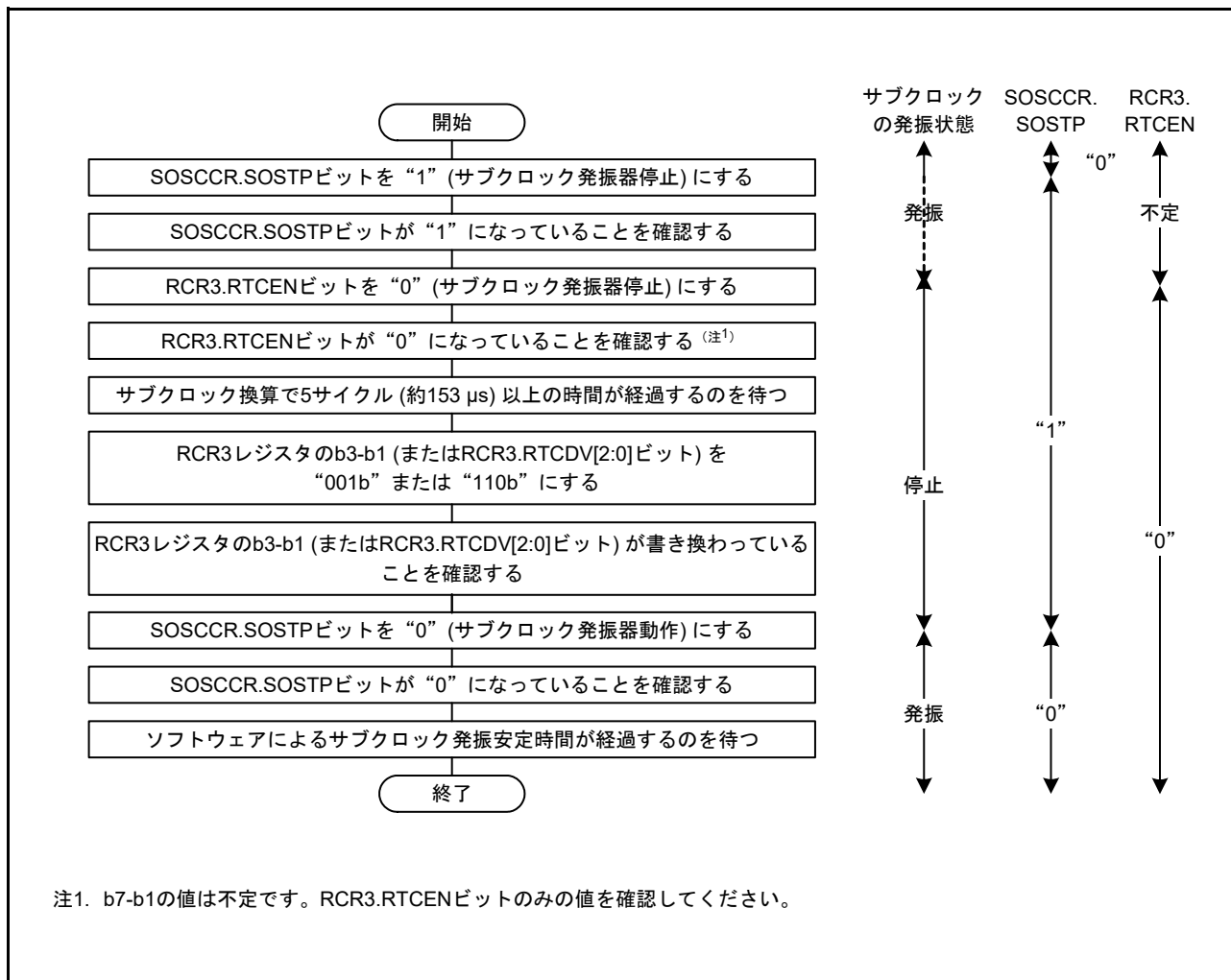


図 9.14 サブクロックをシステムクロックのみに使用する場合の初期化フローチャート例

- サブクロックを使用しない場合は、図 9.15 のフローチャートの例に従って初期設定してください。

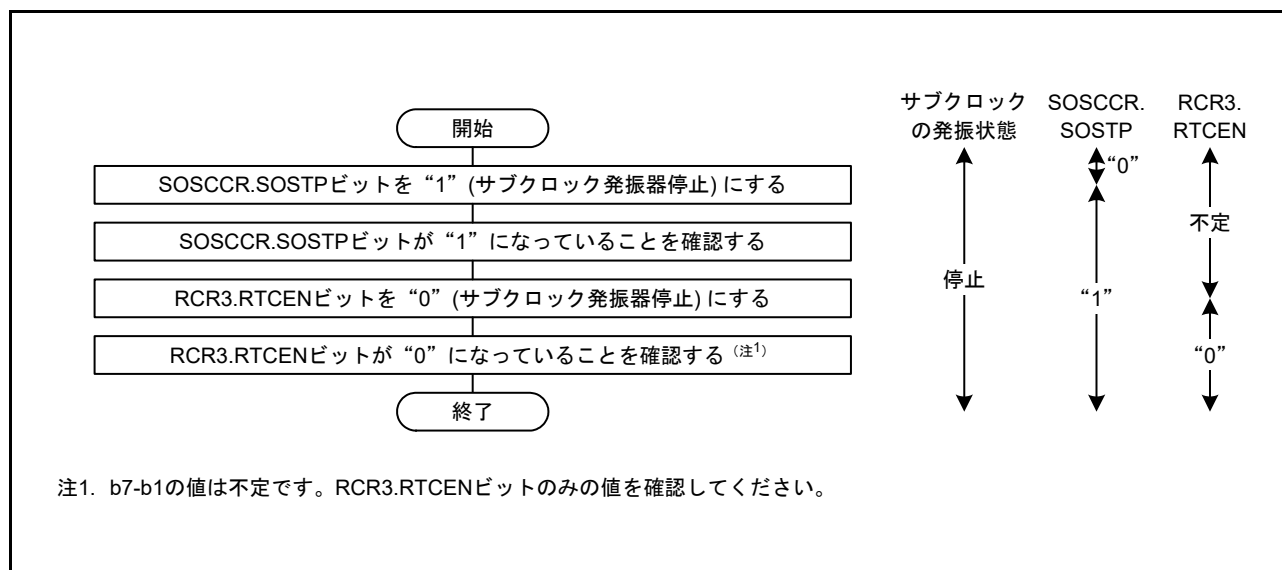


図 9.15 サブクロックを使用しない場合の初期化フローチャート例

- RCR3.RTCEN ビットの状態によらず、SOSCCR.SOSTP ビットを“0” (動作) に変更した場合は、発振安定時間を待ってから使用してください。
- コールドスタート後、サブクロック制御回路の状態は不定であるため、サブクロックの使用有無に関わらず、初期化が必要です。初期化は SOSCCR.SOSTP ビットおよび RCR3.RTCEN ビットの両方を停止側に設定することで行ってください。RCR3.RTCEN ビットの初期化については、「28.2.19 RTC コントロールレジスタ 3 (RCR3)」を参照してください。
48 ピンパッケージ製品はサブクロック発振器の端子がありませんが、同様にサブクロック制御回路を初期化してください。
- サブクロック発振器を動作させる場合、RCR3.RTCDV[2:0] ビットの設定も必要です。また、RCR3.RTCDV[2:0] ビットの設定は、サブクロック発振器停止中に行ってください。動作中の書き換えは禁止です。
- SOSCCR.SOSTP ビットの書き換え後、RCR3.RTCEN ビットの書き換えを行う場合、またはその逆を行う場合、先に書き換えを行った方のビットが書き換わっていることを確認してから、後のビットの書き換えを行ってください。

10. クロック周波数精度測定回路 (CAC)

10.1 概要

クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。

測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求を発生します。

表 10.1 に CAC の仕様を、図 10.1 に CAC のブロック図を示します。

表 10.1 CACの仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> • メインクロック • サブクロック • HOCOクロック • LOCOクロック • IWDTCCLKクロック • 周辺モジュールクロック B (PCLKB)
測定基準クロック	<ul style="list-style-type: none"> • 外部から CACREF 端子に入力したクロック • メインクロック • サブクロック • HOCOクロック • LOCOクロック • IWDTCCLKクロック • 周辺モジュールクロック B (PCLKB)
選択機能	デジタルフィルタ機能
割り込み要因	<ul style="list-style-type: none"> • 測定終了割り込み • 周波数エラー割り込み • オーバフロー割り込み
消費電力低減機能	モジュールストップ状態への設定が可能

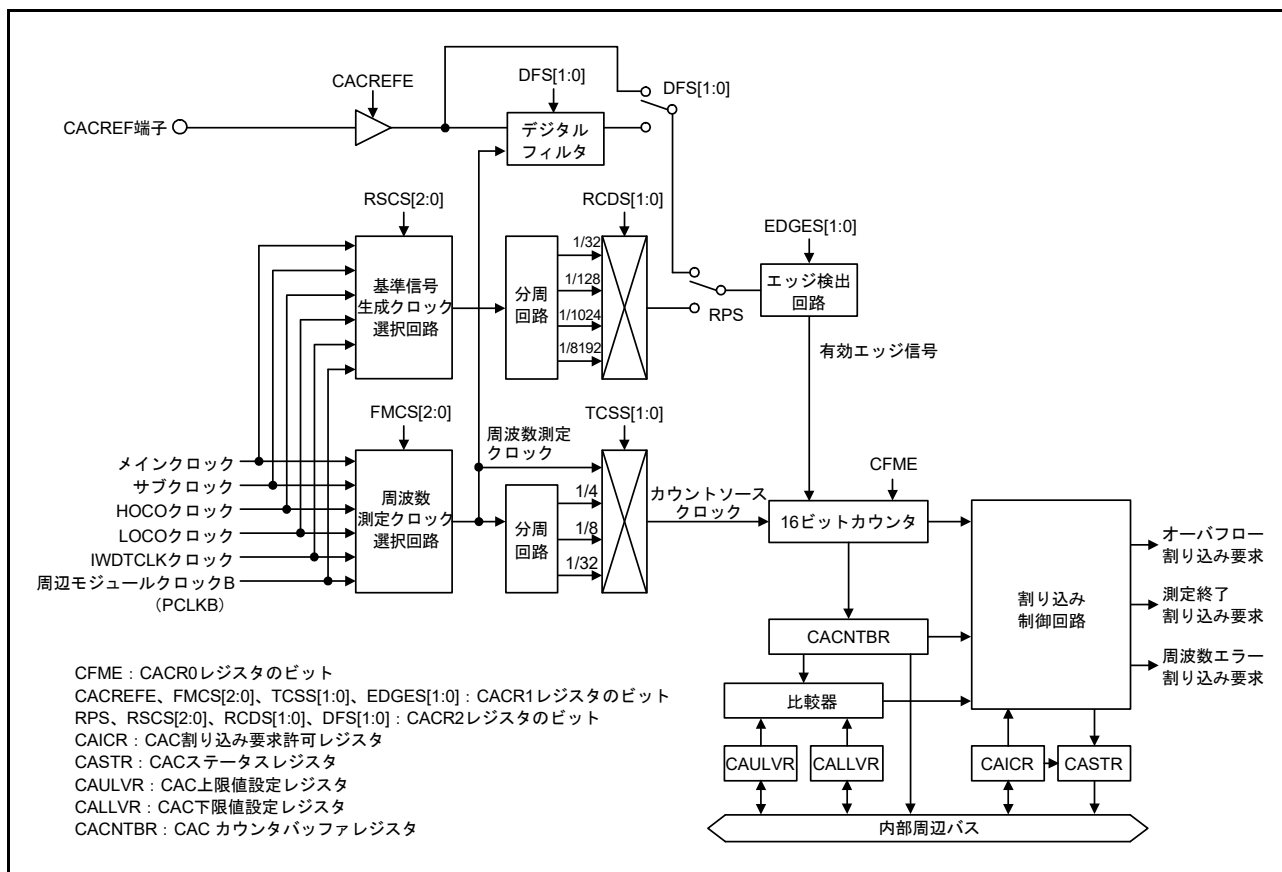


図 10.1 CACのブロック図

表 10.2 に CAC の入出力端子を示します。

表 10.2 CACの入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

10.2 レジスタの説明

10.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス 0008 B000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効ビット	0 : クロック周波数測定無効 1 : クロック周波数測定有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

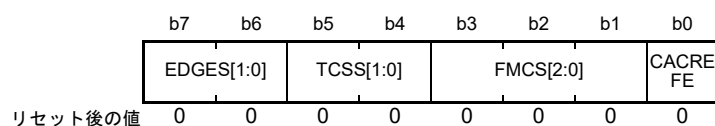
CFME ビット (クロック周波数測定有効ビット)

クロック周波数測定の有効 / 無効を指定するビットです。

このビットを書き換えても内部回路に反映されるまでは時間がかかります。前値が内部回路に反映されていない状態でこのビットを書き換えると無視されます。書き換えが反映されたかはビットの読み出しで確認できます。

10.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス 0008 B001h



ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力有効ビット	0 : CACREF 端子入力無効 1 : CACREF 端子入力有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 0 1 : サブクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDTCCLKクロック 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	TCSS[1:0]	タイマカウントクロックソース 選択ビット	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択ビット	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり/立ち下がり両エッジ 1 1 : 設定しないでください	R/W

注1. CACR1レジスタは、CACR0.CFMEビットが“0”のときに設定してください。

CACREFE ビット (CACREF 端子入力有効ビット)

CACREF 端子入力の有効 / 無効を指定するビットです。

FMCS[2:0] ビット (測定対象クロック選択ビット)

周波数を測定する測定対象クロックを選択します。

TCSS[1:0] ビット (タイマカウントクロックソース選択ビット)

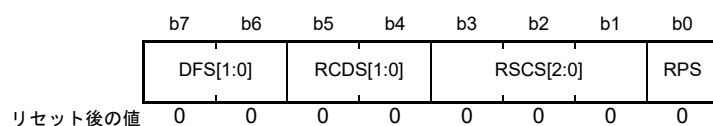
このビットの設定によりクロック周波数精度測定回路のカウントクロックソースを選択します。

EDGES[1:0] ビット (有効エッジ選択ビット)

このビットの設定により基準信号の有効エッジを選択します。

10.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス 0008 B002h



ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択ビット	0 : CACREF 端子入力 1 : 内部クロック (内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 0 1 : サブクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDTCCLKクロック 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択ビット	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1024分周クロック 1 1 : 8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択ビット	b7 b6 0 0 : デジタルフィルタ機能無効 0 1 : 周波数測定クロック 1 0 : 周波数測定クロックの4分周クロック 1 1 : 周波数測定クロックの16分周クロック	R/W

注1. CACR2レジスタは、CACR0.CFMEビットが"0"のときに設定してください。

RPS ビット (基準信号選択ビット)

このビットの設定により基準信号として CACREF 端子入力か内部クロック (内部生成信号) のどちらを使用するか選択します。

RSCS[2:0] ビット (測定基準クロック選択ビット)

このビットの設定により測定基準クロックを生成するクロックソースを選択します。

RCDS[1:0] ビット (測定基準クロック分周比選択ビット)

このビットの設定により測定基準クロックの分周比を選択します。

DFS[1:0] ビット (デジタルフィルタ機能選択ビット)

このビットの設定により、デジタルフィルタの有効/無効、サンプリングクロックを選択します。

10.2.4 CAC 割り込み要求許可レジスタ (CAICR)

アドレス 0008 B003h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可ビット	0: 周波数エラー割り込み要求無効 1: 周波数エラー割り込み要求有効	R/W
b1	MENDIE	測定終了割り込み要求許可ビット	0: 測定終了割り込み要求無効 1: 測定終了割り込み要求有効	R/W
b2	OVFIE	オーバフロー割り込み要求許可ビット	0: オーバフロー割り込み要求無効 1: オーバフロー割り込み要求有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FERRFCL	FERRF フラグクリアビット	このビットを“1”にすると CASTR.FERRF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b5	MENDFCL	MENDF フラグクリアビット	このビットを“1”にすると CASTR.MENDF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b6	OVFFCL	OVFF フラグクリアビット	このビットを“1”にすると CASTR.OVFF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRIE ビット (周波数エラー割り込み要求許可ビット)

周波数エラー割り込み要求の有効/無効を指定するビットです。

MENDIE ビット (測定終了割り込み要求許可ビット)

測定終了割り込み要求の有効/無効を指定するビットです。

OVFIE ビット (オーバフロー割り込み要求許可ビット)

オーバフロー割り込み要求の有効/無効を指定するビットです。

FERRFCL ビット (FERRF フラグクリアビット)

このビットを“1”にすると CASTR.FERRF フラグをクリアします。

MENDFCL ビット (MENDF フラグクリアビット)

このビットを“1”にすると CASTR.MENDF フラグをクリアします。

OVFFCL ビット (OVFF フラグクリアビット)

このビットを“1”にすると CASTR.OVFF フラグをクリアします。

10.2.5 CAC ステータスレジスタ (CASTR)

アドレス 0008 B004h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた(周波数エラー)	R
b1	MENDF	測定終了フラグ	0: 測定中 1: 測定が終了	R
b2	OVFF	オーバフローフラグ	0: カウンタがオーバフローしていない 1: カウンタがオーバフロー	R
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRF フラグ (周波数エラーフラグ)

クロックの周波数が設定値を外れた(周波数エラー)ことを示します。

["1"になる条件]

- クロック周波数が設定値を外れたとき

["0"になる条件]

- CAICR.FERRFCL ビットに“1”を書き込んだとき

MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

["1"になる条件]

- 測定終了したとき

["0"になる条件]

- CAICR.MENDFCL ビットに“1”を書き込んだとき

OVFF フラグ (オーバフローフラグ)

カウンタがオーバフローしたことを示します。

["1"になる条件]

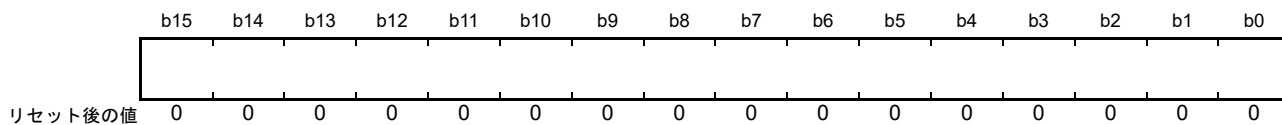
- カウンタがオーバフローしたとき

["0"になる条件]

- CAICR.OVFFCL ビットに“1”を書き込んだとき

10.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス 0008 B006h



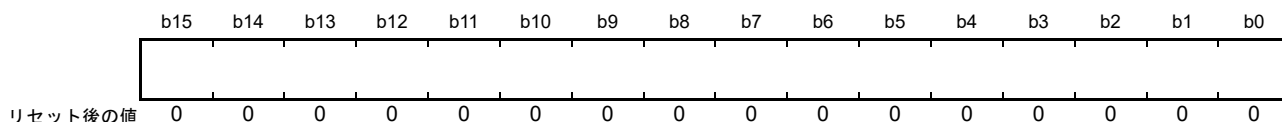
CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス 0008 B008h



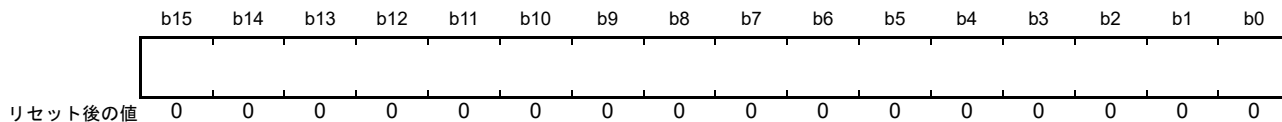
CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス 0008 B00Ah



基準信号の有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。

10.3 動作説明

10.3.1 クロック周波数測定

クロック周波数精度測定回路は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。図 10.2 にクロック周波数精度測定回路の動作例を示します。

クロック周波数精度測定回路は、クロック周波数測定時、以下のように動作します。

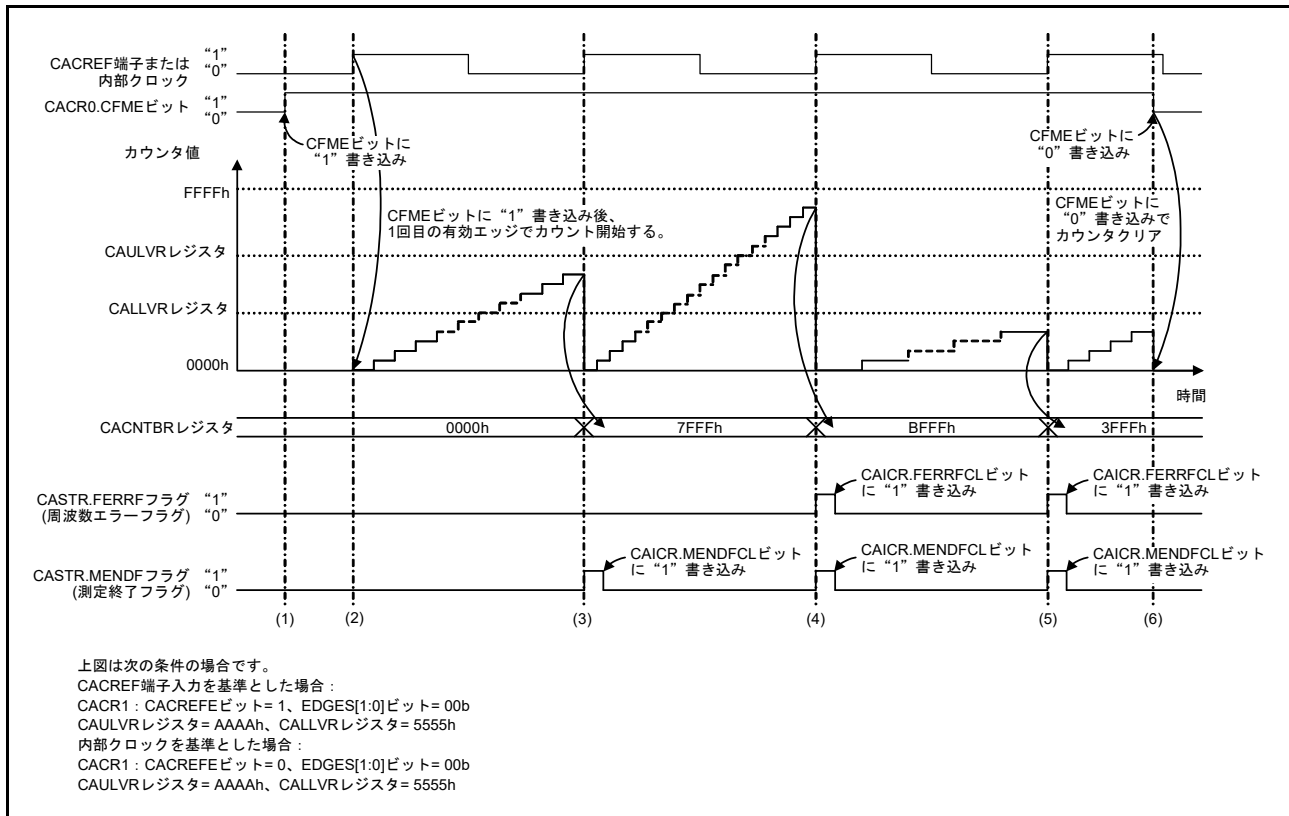


図 10.2 クロック周波数精度測定回路の動作例

- (1) CACREF 端子入力を基準とした場合 (CACR1.CACREFE ビット = 1) は、CACR2.RPS ビットを "0"、CACR1.CACREFE ビットを "1" に設定した状態で、CACR0.CFME ビットに "1" を書き込むとクロック周波数測定が有効になります。
一方、内部クロックを基準とした場合 (CACR1.CACREFE ビット = 0) は、CACR2.RPS ビットを "1" に設定した状態で、CACR0.CFME ビットに "1" を書き込むとクロック周波数測定が有効になります。
- (2) CACREF 端子入力を基準とした場合は、CFME ビットに "1" を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)) が入力されるとタイマのカウンタアップが開始します。
内部クロックを基準とした場合は、CFME ビットに "1" を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)) が入力されるとタイマのカウンタアップが開始します。
- (3) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ ≤ CAULVR レジスタかつ CACNTBR レジスタ ≥ CALLVR レジスタのときはクロック周波数が正常なので CASTR.MENDF フラグだけが "1" にセットされます。また、CAICR.MENDIE ビットを "1" に設定している場合は、測定終了割り込みが発生します。

- (4) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ > CAULVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (5) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ < CALLVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (6) CACR0.CFME ビットが“1”の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACR0.CFME ビットに“0”を書き込むと、カウンタをクリアしカウントアップが停止します。

10.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが3回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが3回連続で一致するまで内部へは同じレベルを伝達し続けます。

デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック1周期分の誤差があります。

カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

$$\text{カウント値誤差} = (\text{カウントソースクロック 1 周期}) / (\text{サンプリングクロック 1 周期})$$

10.4 割り込み要求

CAC が要求する割り込み要因には、周波数エラー割り込み、測定終了割り込みおよびオーバフロー割り込みの3種類があります。各割り込み要因が発生すると各ステータスフラグが“1”にセットされます。表 10.3 にクロック周波数精度測定回路割り込み要求を示します。

表 10.3 クロック周波数精度測定回路割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタを CAULVR レジスタおよび CALLVR レジスタと比較をした結果が CACNTBR レジスタ > CAULVR レジスタまたは CACNTBR レジスタ < CALLVR レジスタのとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	基準信号の有効エッジが入力されたとき ただし、CACR0.CFME ビットを“1”に書き込み後、1回目の有効エッジでは測定終了割り込みは発生しない。
オーバフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバフローしたとき

10.5 使用上の注意事項

10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、クロック周波数精度測定回路の動作禁止 / 許可を設定することが可能です。初期値では、クロック周波数精度測定回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

11. 消費電力低減機能

11.1 概要

本 MCU には、消費電力低減機能としてクロックの切り替えによる消費電力の低減、BCLK 出力制御機能、モジュールストップ機能、通常動作時の低消費電力機能、および低消費電力状態への遷移機能があります。

表 11.1 に消費電力低減機能の仕様を、表 11.2 に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DMAC、DTC、RAM 以外のモジュールは停止状態になります。

表 11.1 消費電力低減機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、高速周辺モジュールクロック (PCLKA)、周辺モジュールクロック (PCLKB)、S12AD 用クロック (PCLKD)、外部バスクロック (BCLK)、FlashIF クロック (FCLK) に対し、個別に分周比を設定することが可能 (注1)
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	<ul style="list-style-type: none"> • CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	<ul style="list-style-type: none"> • スリープモード • ディープスリープモード • ソフトウェアスタンバイモード
動作電力低減機能	<ul style="list-style-type: none"> • 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、およびディープスリープモード時の消費電力を低減することが可能 • 動作電力制御状態：3種類 <ul style="list-style-type: none"> 高速動作モード 中速動作モード 低速動作モード

注1. 詳細は「9. クロック発生回路」を参照してください。

表 11.2 各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	ディープスリープモード	ソフトウェアスタンバイモード
遷移方法	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令
リセット以外の解除方法	割り込み	割り込み	割り込み (注1)
解除後の状態 (注2)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
メインクロック発振器	動作可能	動作可能	停止
サブクロック発振器	動作可能	動作可能	動作可能
高速オンチップオシレータ	動作可能	動作可能	停止
低速オンチップオシレータ	動作可能	動作可能	停止
IWDT専用オンチップオシレータ	動作可能 (注3)	動作可能 (注3)	動作可能 (注3)
PLL	動作可能	動作可能	停止
USB専用PLL	動作可能	動作可能	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)
RAM (0000 0000h ~ 0000 FFFFh)	動作可能 (保持)	停止 (保持)	停止 (保持)
DMAC	動作可能 (注5)	停止 (保持)	停止 (保持)
DTC	動作可能 (注5)	停止 (保持)	停止 (保持)
フラッシュメモリ	動作	停止 (保持)	停止 (保持)
ウォッチドッグタイマ (WDT)	停止 (保持)	停止 (保持)	停止 (保持)
独立ウォッチドッグタイマ (IWDT)	動作可能 (注3)	動作可能 (注3)	動作可能 (注3)
リアルタイムクロック (RTC)	動作可能	動作可能	動作可能
ローパワータイマ (LPT)	動作可能 (注9)	動作可能 (注9)	動作可能 (注9)
電圧検出回路 (LVD)	動作可能	動作可能	動作可能
パワーオンリセット回路	動作	動作	動作
周辺モジュール	動作可能	動作可能	停止 (保持) (注4)
I/Oポート	動作	動作	保持 (注8)
RTCOOUT出力	動作可能	動作可能	動作可能
CLKOUT出力	動作可能	動作可能	動作可能 (注6)
コンパレータB	動作可能	動作可能	動作可能 (注7)

動作可能は、制御レジスタ設定によって動作/停止を制御可能であることを示します。
停止 (保持) は、内部レジスタ値保持、内部状態は動作中断を示します。

- 注1. 外部端子割り込み (NMI、IRQ0~IRQ7)、周辺機能割り込み (RTCアラーム、RTC周期、IWDT、電圧監視、VBATT端子電圧低下検出、USB、ELC (LPT専用割り込み))
- 注2. RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除は除きます。RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除の場合は、リセット状態に遷移します。
- 注3. IWDTオートスタートモード時、オプション機能選択レジスタ0のIWDTスリープモードカウント停止制御ビット (OFS0.IWDTSLCSTP) の設定により、動作/停止を選択することができます。IWDTオートスタートモードではないとき、IWDTカウント停止コントロールレジスタのスリープモードカウント停止制御ビット (IWDTCSLTPR.SLCSTP) の設定により、動作/停止を選択することができます。
- 注4. 周辺モジュールは状態を保持します。
- 注5. スリープモード中は、システム制御関連のレジスタ (「表 5.1 I/Oレジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ) への書き込みは禁止です。
- 注6. クロック出力ソース選択ビット (CKOCR.CKOSEL[2:0]) = 011b (サブクロック発振器) 以外を選択している場合は、停止します。
- 注7. デジタルフィルタ機能は使用禁止です。比較結果のCMPOBn端子への出力のみ動作可能です。
- 注8. スタンバイコントロールレジスタの出力ポートイネーブルビット (SBYCR.OPE) の設定により、アドレスバス、バス制御信号 (CS0#~CS3#、RD#、WR0#、WR1#、WR#、BC0#、BC1#、ALE) の保持/ハイインピーダンスを選択することができます。
- 注9. ローパワータイマコントロールレジスタのローパワータイマクロックソース選択ビット (LPTCR1.LPCNTCKSEL) = 1 (IWDT専用オンチップオシレータ選択) を選択している場合は注3に従って動作/停止し、ローパワータイマクロックソース選択ビット (LPTCR1.LPCNTCKSEL) = 0 (サブクロック発振器選択) を選択している場合は動作可能です。

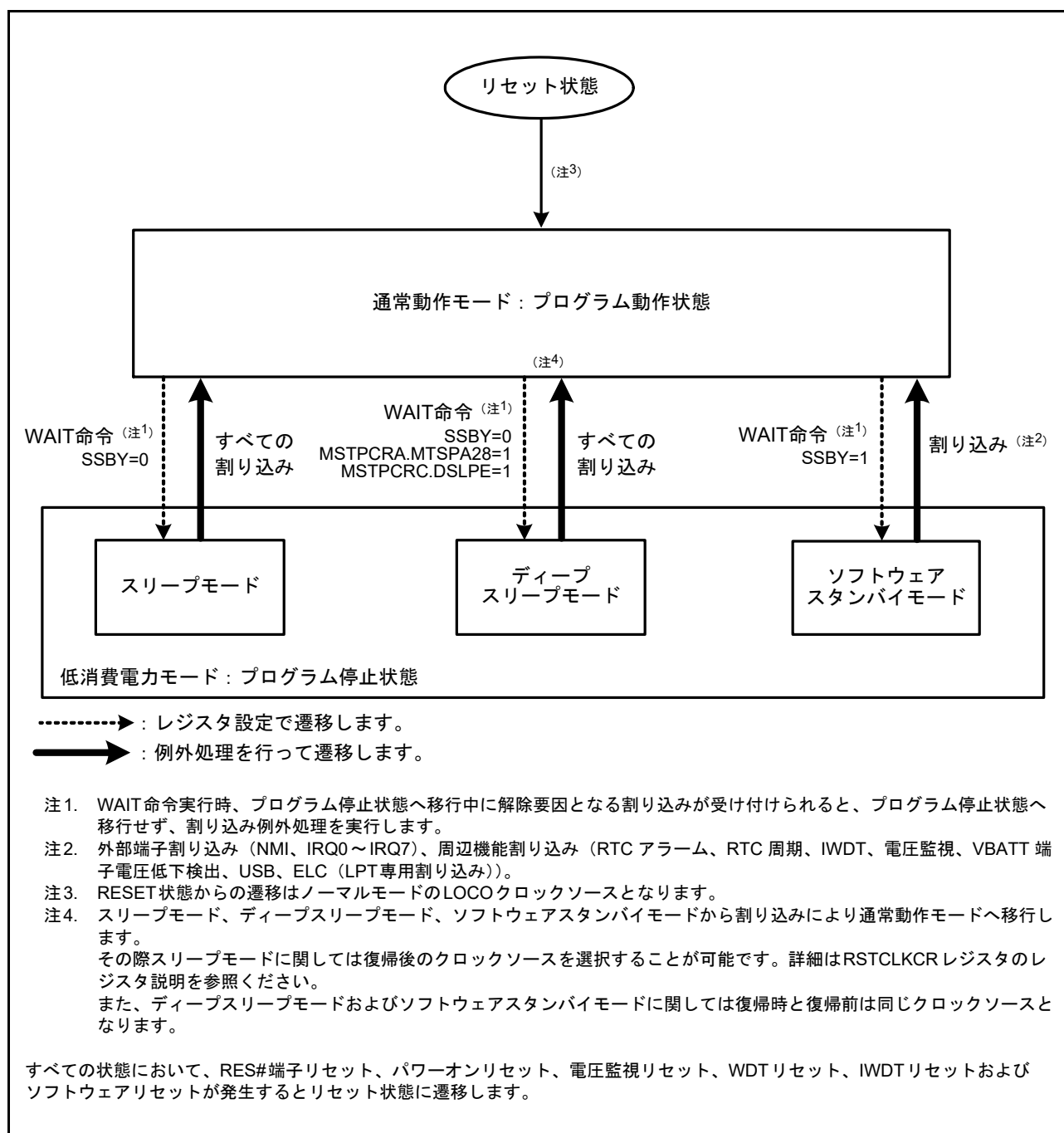


図 11.1 モード遷移

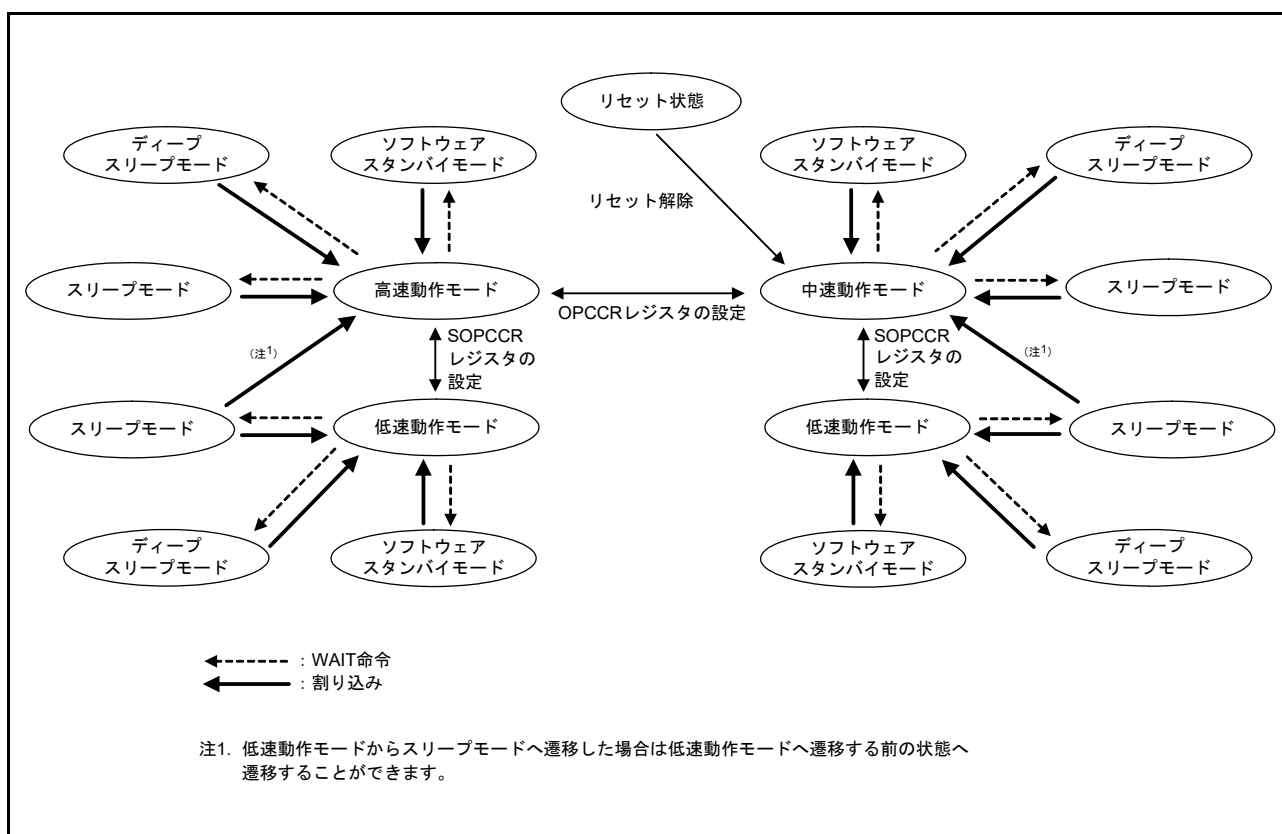


図 11.2 動作モード

- ソフトウェアスタンバイモードに遷移した場合に、サブクロック発振器の停止は行いません。
- スリープモードからはスリープモードへ遷移する前の動作状態に戻ることができます。
ただし、低速動作モードからスリープモードへ遷移した場合は低速動作モードへ遷移する前の状態へ遷移することができます。
- リセット解除後は中速動作モードで動作開始します。

表 11.3 各動作モードでの発振器の使用可否

	PLL	USB専用PLL	HOCO	LOCO	IWDTCLK	メインクロック発振器	サブクロック発振器
高速動作モード	○ (注1)	○ (注1)	○	○	○	○	○
中速動作モード	○ (注1)	○ (注1)	○	○	○	○	○
低速動作モード	×	×	×	×	○	×	○

○ : 使用可能

× : 使用不可能

注1. PLLとUSB専用PLLは電源電圧が2.4V以上で使用可能です。

11.2 レジスタの説明

11.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	OPE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	OPE	出力ポートイネーブル	0：ソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス 1：ソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持	R/W
b15	SSBY	ソフトウェアスタンバイビット	0：WAIT命令実行後、スリープモードまたはディープスリープモードに遷移 1：WAIT命令実行後、ソフトウェアスタンバイモードに遷移	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

OPE ビット (出力ポートイネーブル)

ソフトウェアスタンバイモード時に、アドレスバス、バス制御信号 (CS0# ~ CS3#、RD#、WR0#、WR1#、WR#、BC0#、BC1#、ALE) の出力を保持するか、ハイインピーダンスにするかを設定します。

SSBY ビット (ソフトウェアスタンバイビット)

WAIT 命令実行後の遷移先を設定します。

SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。

なお、割り込みによってソフトウェアスタンバイモードが解除され通常モードに遷移したときは、SSBY ビットは“1”のままです。SSBY ビットを“0”にするときは“0”を書いてください。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) が“1”のときは、SSBY ビットに設定された値は無効になります。SSBY ビットが“1”のときも、WAIT 命令実行後は、スリープモードまたはディープスリープモードに遷移します。

11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	MSTPA 28	—	—	—	—	—	—	—	—	MSTPA 19	—	MSTPA 17	—
リセット後の値	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA 15	MSTPA 14	MSTPA 13	—	—	—	MSTPA 9	—	—	—	MSTPA 5	MSTPA 4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPA4	8ビットタイマ3、2 (ユニット1) モジュールストップ設定ビット	対象モジュール：TMR3、TMR2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPA5	8ビットタイマ1、0 (ユニット0) モジュールストップ設定ビット	対象モジュール：TMR1、TMR0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPA9	マルチファンクションタイマパルス ユニット2モジュール ストップ設定ビット	対象モジュール：MTU (MTU0～MTU5) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b12-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b13	MSTPA13	16ビットタイマパルスユニット0 (ユニット0) モジュールストップ設 定ビット	対象モジュール：TPUユニット0 (TPU0～TPU5) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14	MSTPA14	コンペアマッチタイマ1 (ユニット 1) モジュールストップ設定ビット	対象モジュール：CMTユニット1 (CMT2、CMT3) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	MSTPA15	コンペアマッチタイマ (ユニット0) モジュールストップ設定ビット	対象モジュール：CMTユニット0 (CMT0、CMT1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPA17	12ビットD/Aコンバータモジュール ストップ設定ビット	対象モジュール：S12AD 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPA19	12ビットD/Aコンバータモジュール ストップ設定ビット	対象モジュール：DA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b28	MSTPA28	DMAコントローラ/データトランス ファコントローラモジュールストッ プ設定ビット	対象モジュール：DMAC/DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b29	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1” (書き込み許可) にした後で書き換えてください。

11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス 0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPB31	MSTPB30	—	—	—	MSTPB26	MSTPB25	—	MSTPB23	—	MSTPB21	—	MSTPB19	—	MSTPB17	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MSTPB10	MSTPB9	—	—	MSTPB6	—	MSTPB4	—	—	—	MSTPB0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPB0 (注1)	RSCAN0モジュールストップ設定ビット	対象モジュール：RSCAN0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPB4	シリアルコミュニケーション インタフェースSCIhモジュール ストップ設定ビット	対象モジュール：SCIh (SCI12) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	MSTPB6	DOCモジュールストップ設定ビット	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8-b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPB9	ELCモジュールストップ設定ビット	対象モジュール：ELC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	MSTPB10	コンパレータBモジュールストップ設定 ビット	対象モジュール：コンパレータB 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16-b11	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPB17	シリアルペリフェラルインタフェース0 モジュールストップ設定ビット	対象モジュール：RSPI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPB19 (注2)	USB0モジュールストップ設定ビット	対象モジュール：USB0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b21	MSTPB21	I ² Cバスインタフェース0モジュール ストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPB23	CRC演算器モジュールストップ設定 ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b25	MSTPB25	シリアルコミュニケーション インタフェース6モジュールストップ設定 ビット	対象モジュール：SCI6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPB26	シリアルコミュニケーション インタフェース5モジュールストップ設定 ビット	対象モジュール：SCI5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29-b27	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b30	MSTPB30	シリアルコミュニケーション インタフェース1モジュールストップ設定 ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーション インタフェース0モジュールストップ設定 ビット	対象モジュール：SCI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. 本ビットの書き換えは、本ビットによって制御するクロックの発振が安定しているときに行なってください。本ビットを書き変えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後CANMCLKで2サイクル経過したのち、WAIT命令を実行してください。

注2. 本ビットの書き換えは、本ビットによって制御するクロックの発振が安定しているときに行ってください。また、本ビットが“0”（モジュールストップ状態の解除）の状態では、クロックを発振設定にしてください。本ビットを書き変えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後UCLKで2サイクル経過したのち、WAIT命令を実行してください。また、本ビットを“1”（モジュールストップ状態へ遷移）に書き換えした後、クロックを停止する場合は、書き換え後、UCLKで2サイクル経過したのち、クロック停止を実行してください。

11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DSLPE	—	—	—	MSTPC 27	MSTPC 26	—	—	—	—	—	MSTPC 20	MSTPC 19	—	—	—
リセット後の値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAM モジュールストップ設定ビット (注1)	対象モジュール：RAM (0000 0000h~0000 FFFFh) 0：RAM動作 1：RAM停止	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPC19	クロック周波数精度測定回路 モジュールストップ設定ビット (注2)	対象モジュール：CAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20	MSTPC20	IrDAモジュールストップ設定ビット	対象モジュール：IRDA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25-b21	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b26	MSTPC26	シリアルコミュニケーションインタ フェース9設定ビット	対象モジュール：SCI9 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPC27	シリアルコミュニケーションインタ フェース8設定ビット	対象モジュール：SCI8 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30-b28	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	DSLPE	ディープスリープモード許可ビット	0：ディープスリープモード禁止 1：ディープスリープモード許可	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. RAMアクセス中にMSTPC0ビットを“1”にしないでください。また、MSTPC0ビットが“1”の状態、RAMにアクセスしないでください。

注2. MSTPC19ビットの書き換えは、本ビットによって制御するクロックの発振が安定しているときに行ってください。本ビットを書き換えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後、そのときに発振している発振器のうち、最も遅いクロックを出力する発振器の出カクロックで2サイクル経過したのち、WAIT命令を実行してください。

DSLPE ビット (ディープスリープモード許可ビット)

DSLPE ビットにて、ディープスリープモードへの移行の許可または禁止を設定します。DSLPE ビットを“1”にし、SBYCR.SSBY ビットおよびMSTPCRA.MSTPA28 ビットが所定の条件を満たした状態で、CPUがWAIT命令を実行した場合、ディープスリープモードに移行します。詳細は「11.6.2 ディープスリープモード」を参照してください。

11.2.5 モジュールストップコントロールレジスタ D (MSTPCRD)

アドレス 0008 001Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPD 31	—	—	—	—	—	—	—	—	—	—	—	MSTPD 19	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPD 15	—	—	—	—	MSTPD 10	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b10	MSTPD10	タッチセンサコントロールユニット モジュールストップ設定ビット	対象モジュール：CTSU 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14-b11	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15	MSTPD15（注 1）	シリアルサウンドインタフェース モジュールストップ設定ビット	対象モジュール：SSI 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18-b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPD19	SDホストインタフェース（SDHI） モジュールストップ設定ビット	対象モジュール：SDHI 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	MSTPD31	Trusted Secure IP機能 モジュールストップ設定ビット（注2、 注3、注4）	対象モジュール：Trusted Secure IP 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. シリアルサウンドインタフェースで、メインクロック発振器を使用する場合

本ビットの書き換えは、メインクロック発振器の発振が安定しているときに行ってください。本ビットを書き換えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後メインクロックで2サイクル経過したのち、WAIT命令を実行してください。また、本ビットを書き換えた後、メインクロック発振器を停止する場合は、書き換え後メインクロックで2サイクル経過したのち、メインクロック発振器を停止してください。

注2. RX231グループのチップバージョンAでは予約ビットです。未使用の回路を初期化するために、プログラムの先頭でいったん“0”にしてください。

注3. RX231グループのチップバージョンBでTrusted Secure IP機能を使用しない場合も、未使用の回路を初期化するためにプログラムの先頭でいったん“0”にしてください。

注4. RX231グループのチップバージョンCおよびRX230グループでは予約ビットです。読むと“1”が読めます。書く場合“1”としてください。

11.2.6 動作電力コントロールレジスタ (OPCCR)

アドレス 0008 00A0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	OPCM TSF	—	OPCM[2:0]		
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	OPCM[2:0]	動作電力制御モード 選択ビット	b2 b0 0 0 0 : 高速動作モード 0 1 0 : 中速動作モード 上記以外は設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	OPCMTSF	動作電力制御モード 遷移状態フラグ	0 : 遷移完了 1 : 遷移中	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

OPCCR レジスタは、通常動作モード、スリープモード、ディープスリープモード時の消費電力を低減させるためのレジスタです。

OPCCR レジスタの設定によって、使用する動作周波数、動作電圧に応じて消費電力を低減させることができます。

以下に該当する場合、OPCCR レジスタの書き換えは無効になります。

- OPCCR.OPCMTSF フラグが“1”（遷移中）のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間
- ディープスリープモードへ移行するための WAIT 命令実行から、ディープスリープモードから通常動作へ復帰するまでの期間
- SOPCCR.SOPCM ビットが“1”（低速動作モード）のとき

フラッシュメモリがプログラム/イレーズ (P/E) 中は、OPCCR レジスタのライトアクセスはできません。書き込みは無効になります。

動作電力制御モードへの遷移手順は、「11.5 動作電力低減機能」を参照してください。

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ（「表 5.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ）への書き込みは禁止です。

OPCM[2:0] ビット (動作電力制御モード選択ビット)

通常動作モード、スリープモード、ディープスリープモード時の動作電力制御モードを選択します。

表 11.4 に動作電力制御モードと OPCM[2:0] ビットおよび SOPCM ビット設定値と、動作周波数範囲・動作電圧範囲の関係を示します。

OPCMTSF フラグ (動作電力制御モード遷移状態フラグ)

動作電力制御モード切り替え時の切り替え制御状態を表します。

OPCM[2:0] ビットの値を書き換えると“1”になり、モード遷移が完了すると“0”になります。このフラグが“0”になったことを確認してから次の処理を行ってください。また、OPCM[2:0] ビットの書き換えは、このフラグが“0”のときに行ってください。

11.2.7 サブ動作電力コントロールレジスタ (SOPCCR)

アドレス 0008 00AAh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SOPC MTSF	—	—	—	SOPC M
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOPCM	サブ動作電力制御モード選択ビット	0: 高速動作モードまたは中速動作モード (注1) 1: 低速動作モード	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SOPCMTSF	サブ動作電力制御モード遷移状態フラグ	0: 遷移完了 1: 遷移中	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. OPCCR.OPCM[2:0]の設定による。

SOPCCR レジスタは、低速動作モードへの遷移を制御し、通常動作モード、スリープモード時、ディープスリープモード時の消費電力を低減させるためのレジスタです。

SOPCCR レジスタの設定によって、低速動作モードへ遷移、または低速動作モードから復帰することができます。

低速動作モードはサブクロック発振器専用の動作モードです。

低速動作モード中（SOPCM = 1 のとき）はOPCCR レジスタの書き換えは無効になります。

以下に該当する場合、SOPCCR レジスタの書き換えは無効になります。

- SOPCCR.SOPCMTSF フラグが“1”（遷移中）のとき
- スリープモードへ遷移するための WAIT 命令実行から通常動作へ復帰するまでの期間
- ディープスリープモードへ移行するための WAIT 命令実行から、ディープスリープモードから通常動作へ復帰するまでの期間

フラッシュメモリが P/E 中はこのレジスタのライトアクセスはできません。書き込みは無効になります。

動作電力制御モードの遷移手順は「11.5 動作電力低減機能」を参照してください。

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ（「表 5.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ）への書き込みは禁止です。

SOPCM ビット (サブ動作電力制御モード選択ビット)

通常動作モード、スリープモード、ディープスリープモード時の動作電力制御を選択します。

このビットに“1”を設定すると低速動作モードに遷移します。“0”に設定すると、低速動作モードへ遷移する前の動作モード（OPCCR.OPCM[2:0] に設定されている動作モード）に戻ります。

表 11.4 に動作電力制御モードと OPCM[2:0] ビットおよび SOPCM ビット設定値と、動作周波数範囲・動作電圧範囲の関係を示します。

SOPCMTSF フラグ (サブ動作電力制御モード遷移状態フラグ)

サブ動作電力制御モード切り替え時の切り替え制御状態を表します。

SOPCM ビットの値を書き換えると“1”になり、モード遷移が完了すると“0”になります。このフラグが“0”になったことを確認してから次の処理を行ってください。また、SOPCM ビットの書き換えは、このフ

ラグが“0”のときに行ってください。

表 11.4 動作電力制御モードと動作周波数範囲・動作電圧範囲の関係

動作電力制御モード	OPC M [2:0] ビット	SOPC Mビット	動作電圧範囲	動作周波数範囲							MEMWAIT ビット
				フラッシュメモリリード時							
				ICLK	FCLK	PCLKD	PCLKB	PCLKA	BCLK	FCLK	
高速動作モード	000b	0	2.7 ~ 5.5V	32MHz ~ 54MHz	~ 32MHz	~ 54MHz	~ 32MHz	~ 54MHz	~ 32MHz	1MHz ~ 32MHz	1 (注1)
			2.4 ~ 2.7V	~ 32MHz	~ 16MHz	~ 16MHz	~ 16MHz	~ 16MHz	~ 16MHz	—	0 (注2)
			1.8 ~ 2.4V	~ 16MHz	~ 8MHz	~ 8MHz	~ 8MHz	~ 8MHz	~ 8MHz	—	0 (注2)
中速動作モード	010b	0	2.4 ~ 5.5V	~ 12MHz	~ 12MHz	~ 12MHz	~ 12MHz	~ 12MHz	~ 12MHz	1MHz ~ 12MHz	0
			1.8 ~ 2.4V	~ 8MHz	~ 8MHz	~ 8MHz	~ 8MHz	~ 8MHz	~ 8MHz	1MHz ~ 8MHz	0
低速動作モード	000b	1	1.8 ~ 5.5V	~ 32.768kHz	~ 32.768kHz	~ 32.768kHz	~ 32.768kHz	~ 32.768kHz	~ 32.768kHz	—	0
	010b	1	1.8 ~ 5.5V								

注. フラッシュメモリ P/E 時、FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。

注1. MEMWAIT ビット設定手順に従い変更してください。

注2. MEMWAIT ビットを“1”にする必要はありません。

各動作電力制御モードについて以下に説明します。

● 高速動作モード

FLASH リード時の最高動作周波数は、ICLK、PCLKA、PCLKD が 54MHz で、PCLKB、BCLK、FCLK が 32MHz です。FLASH リード時の動作電圧範囲は 1.8V ~ 5.5V です。ただし、2.4V ~ 2.7V 未満の電圧範囲での FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、PCLKD、BCLK とも 16MHz に制限されます。また、1.8V ~ 2.4V 未満の電圧範囲での FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、PCLKD、BCLK とも 8MHz に制限されます。

P/E 時の動作周波数範囲は 1 ~ 32MHz、動作電圧範囲は 2.7V ~ 5.5V です。

高速動作モード選択時には以下の制限事項があります。

- PLL と USB 専用 PLL は 2.4V 以上で使用可能です。

ただし、USB は 3.0V 未満では使用禁止です。

図 11.3 に高速動作モードにおける動作電圧と動作周波数の関係を示します。

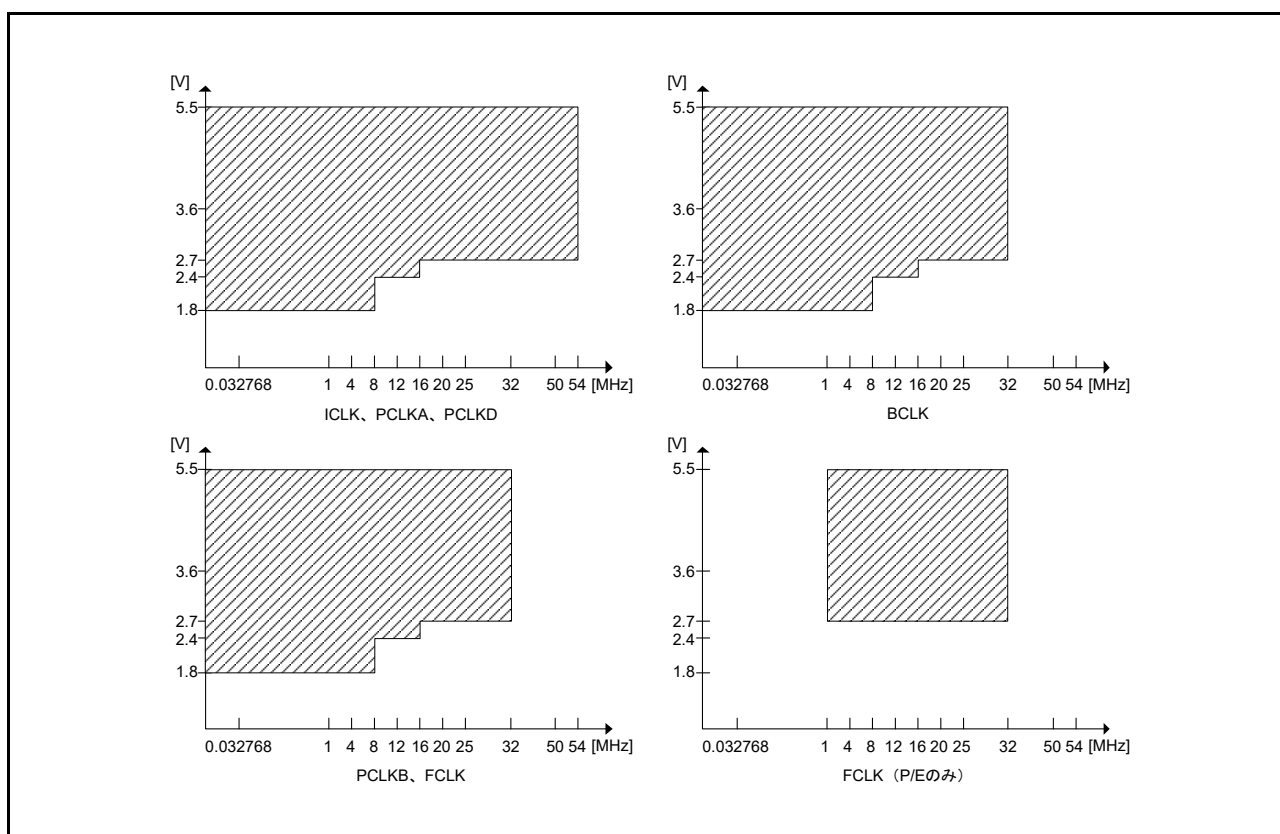


図 11.3 高速動作モードにおける動作電圧と動作周波数の関係

注. フラッシュメモリ P/E 時、FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。

- 中速動作モード

高速動作モードよりも低速動作向けに消費電力を低減したモードです。

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、PCLKD、BCLK が 12MHz です。FLASH リード時の動作電圧範囲は 1.8V ~ 5.5V です。ただし、1.8V ~ 2.4V 未満の電圧範囲での FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、PCLKD、BCLK とも 8MHz に制限されます。

P/E 時は、動作周波数範囲が 1 ~ 12MHz、動作電圧範囲が 1.8V ~ 5.5V となります。ただし、1.8V ~ 2.4V 未満の電圧範囲での P/E 時の最大動作周波数は 8MHz に制限されます。

同条件（周波数・電圧）で同じ動作をさせる場合、高速動作モードよりも消費電力を低減できます。

リセット解除後は、本モードで起動します。

中速動作モード選択時には以下の制限事項があります。

- PLL と USB 専用 PLL は 2.4V 以上で使用可能です。

ただし、USB は 3.0V 未満では使用禁止です。

図 11.4 に中速動作モードにおける動作電圧と動作周波数の関係を示します。

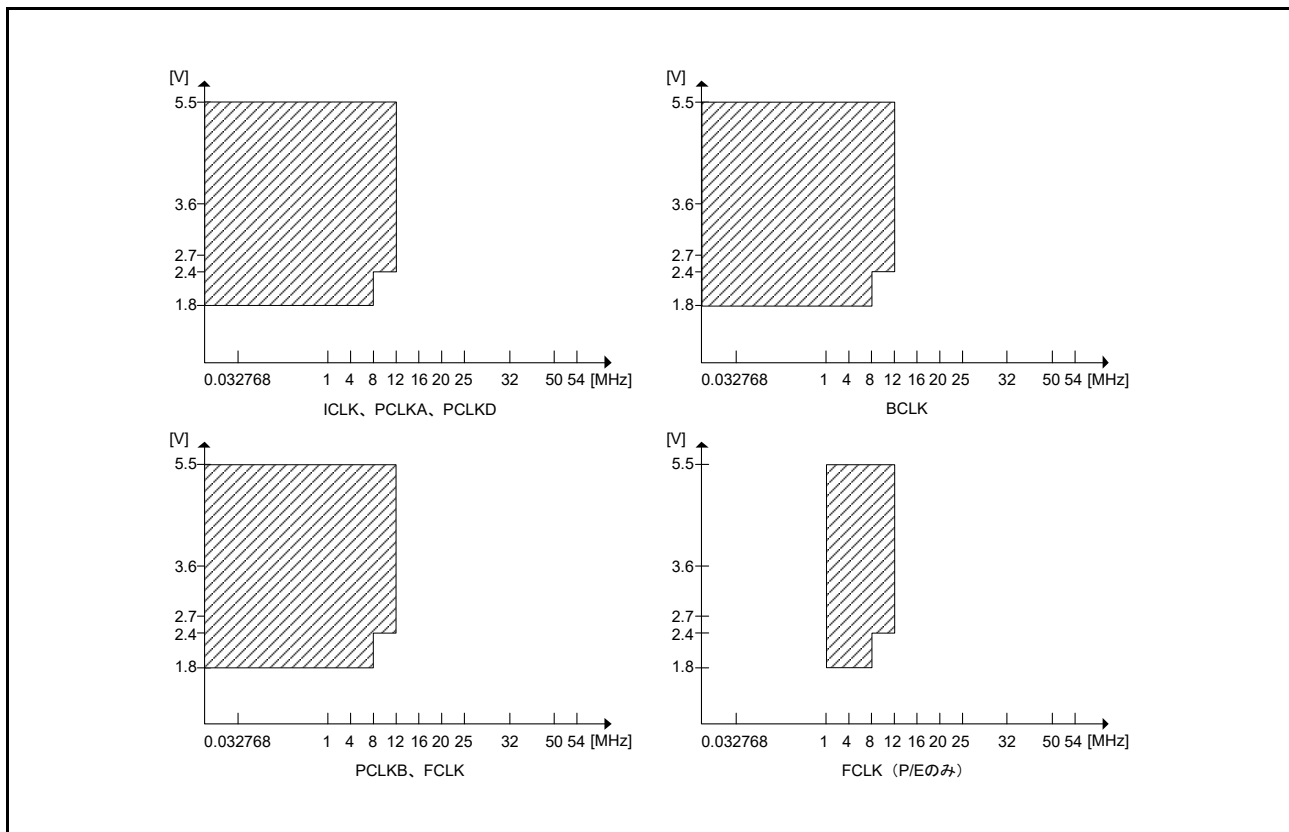


図 11.4 中速動作モードにおける動作電圧と動作周波数の関係

注. フラッシュメモリ P/E 時、FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。

- 低速動作モード

SOPCCR レジスタの SOPPCM ビットに“1”を書くことにより、低速動作モードに遷移します。低速動作モード中に OPCM の設定を変更することはできません。低速動作モードは 32.768kHz のサブ発振器専用の動作モードです。

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、PCLKD、BCLK とも 32.768kHz で、動作電圧範囲は、1.8V ~ 5.5V です。

低速動作モード選択時には以下の制限事項があります。

- フラッシュメモリの P/E 動作は禁止です。
- PLL/USB 用 PLL、メインクロック発振器、LOCO および HOCO は使用禁止です。

注． PLLCR2.PLLEN ビットが“0”（PLL 動作）のとき、SOPPCM ビットへの“1”書き込みは無効になります。
 UPLLCR2.UPLLEN ビットが“0”（USB 専用 PLL 動作）のとき、SOPPCM ビットへの“1”書き込みは無効になります。
 HOCOCR.HCSTP ビットが“0”（HOCO 動作）のとき、SOPPCM ビットへの“1”書き込みは無効になります。
 MOSCCR.MOSTP ビットが“0”（メインクロック発振器動作）のとき、SOPPCM ビットへの“1”書き込みは無効になります。
 LOCOCR.LCSTP ビットが“0”（LOCO 動作）のとき、SOPPCM ビットへの“1”書き込みは無効になります。

図 11.5 に低速動作モードにおける動作電圧と動作周波数の関係を示します。

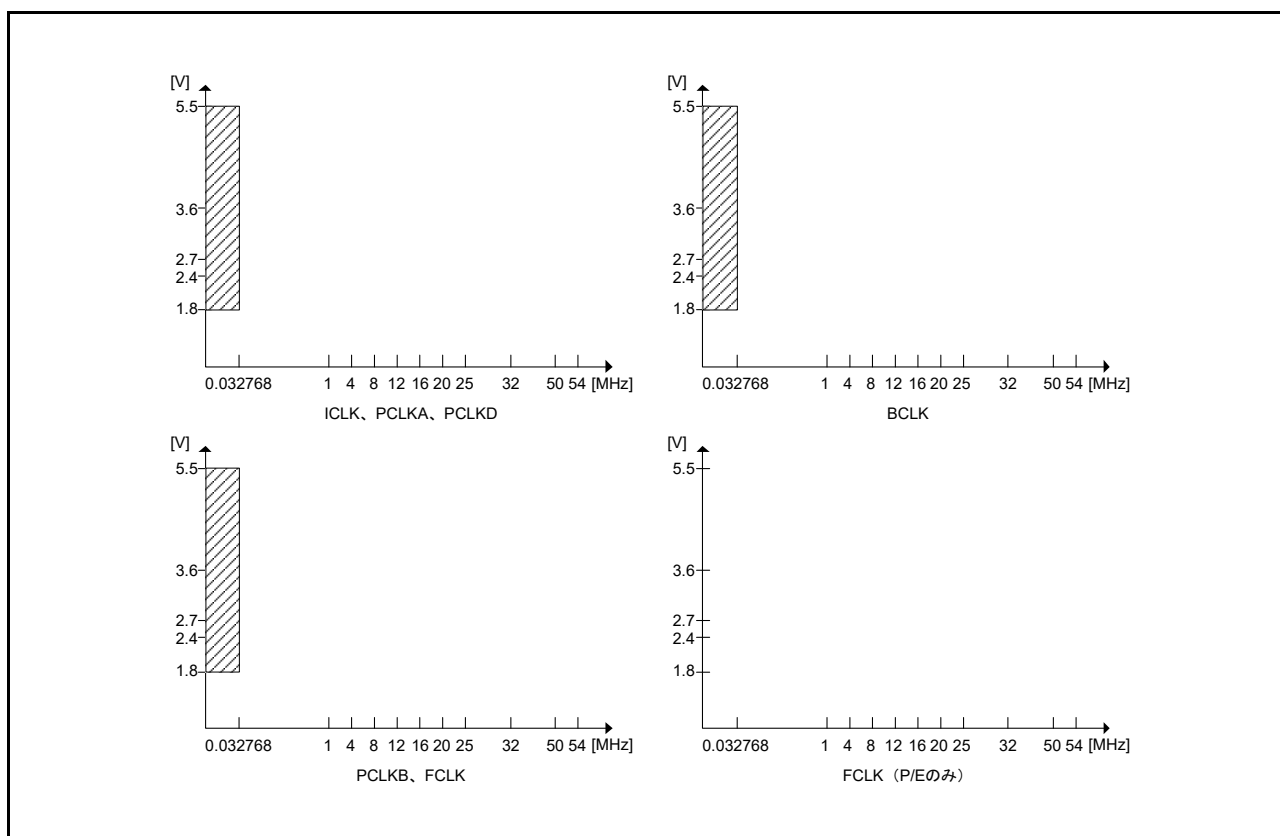
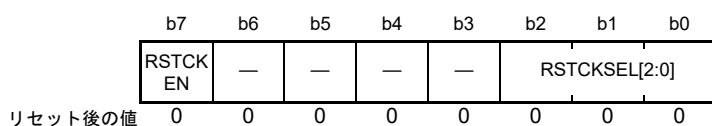


図 11.5 低速動作モードにおける動作電圧と動作周波数の関係

11.2.8 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)

アドレス 0008 00A1h



ビット	シンボル	ビット名	機能	R/W
b2-b0	RSTCKSEL [2:0]	スリープモード復帰クロック ソース選択ビット	b2 b0 0 0 0 : LOCO 選択 0 0 1 : HOCO 選択 (注1) 0 1 0 : メインクロック発振器選択 RSTCKENビットが“1”のとき、上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RSTCKEN	スリープモード復帰クロック ソース切り替え許可ビット	0 : スリープモード解除時クロックソース切り替え無効 1 : スリープモード解除時クロックソース切り替え有効	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. HOCOは復帰先が高速動作モード時のみ選択可能です。

RSTCKCR レジスタは、スリープモード解除時のクロックソース切り替えの制御を行うレジスタです。

RSTCKCR レジスタの設定によってスリープモードから復帰する場合、復帰するクロックソースに対応したメインクロック発振器コントロールレジスタのメインクロック停止ビット (MOSCCR.MOSTP)、高速オンチップオシレータコントロールレジスタのHOCO停止ビット (HOCOCCR.HCSTP)、低速オンチップオシレータコントロールレジスタのLOCO停止ビット (LOCOCR.LCSTP) は、自動的に動作状態に書き換えられます。また、RSTCKSEL[2:0] ビットの値が自動的にシステムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) にリロードされます。

RSTCKSEL[2:0] ビット (スリープモード復帰クロックソース選択ビット)

スリープモード解除時のクロックソースを選択します。

RSTCKSEL[2:0] ビットでのクロックソース選択は、RSTCKEN ビットが“1”の場合のみ有効です。

図 11.2 の動作モードで、スリープモードから高速動作モードへ復帰する場合は、LOCO、HOCO、メインクロック発振器が選択可能です。また、スリープモードから中速動作モードへ復帰する場合は、LOCO、メインクロック発振器が選択可能です。ただし、この場合、各クロック (ICLK、FCLK、PCLKA、PCLKB、PCLKD、BCLK) の周波数は電源電圧が 2.4V 以上では 12MHz 以下に、2.4V 未満では 8MHz 以下にしてください。

表 11.5 スリープモードから高速動作モードおよび中速動作モードへ復帰する場合

スリープ時の動作モード	スリープ時の クロックソース	RSTCKSEL	復帰後の 動作モード	復帰後のクロックソース
高速動作モードまたは、 高速動作モードから遷移 した低速動作モード	サブクロック発振器	000b (LOCO)	高速動作モード	LOCO
		001b (HOCO)		HOCO
		010b (メインクロック発振器)		メインクロック発振器
中速動作モードまたは、 中速動作モードから遷移 した低速動作モード	サブクロック発振器	000b (LOCO)	中速動作モード	LOCO
		010b (メインクロック発振器)		メインクロック発振器 (注1)

注1. 各クロック (ICLK、FCLK、PCLKA、PCLKB、PCLKD、BCLK) の周波数は電源電圧が 2.4V 以上では 12MHz 以下に、2.4V 未満では 8MHz 以下にしてください。

RSTCKEN ビット (スリープモード復帰クロックソース切り替え許可ビット)

スリープモード解除時のクロックソース切り替えの有効/無効を制御します。

スリープモード解除時にクロックソースの切り替えを行なうのは、スリープモード遷移時のクロックとしてサブクロック発振器を選択している場合のみとしてください。HOCO、LOCO、メインクロック発振器、PLL をクロックソースに選択している状態でスリープモードに遷移する場合には、本ビットを有効に設定しないでください。

本ビットを有効に設定した状態でスリープモードから復帰する場合は、SOPCCR レジスタの SOPCM ビットは自動的に“0” (中速動作モードまたは高速動作モード) に書き換わります。

分周設定 (SCKCR レジスタ) の値は保持されます。

スリープモードから中速動作モードへメインクロック発振器を選択して復帰する場合は、各クロックの周波数は電源電圧が 2.4V 以上では 12MHz 以下に、2.4V 未満では 8MHz 以下になるようにしてください。

11.3 クロックの切り替えによる消費電力の低減

SCKCR.FCK[3:0], ICK[3:0], BCK[3:0], PCKA[3:0], PCKB[3:0], PCKD[3:0] ビットを設定すると、クロック周波数が切り替わります。CPU、DMAC、DTC、ROM、RAM は、ICK[3:0] ビットで設定した動作クロックで動作します。

周辺モジュールは、PCKA[3:0]、PCKB[3:0]、PCKD[3:0] ビットで設定した動作クロックで動作します。フラッシュインタフェースはFCK[3:0] ビットで設定した動作クロックで動作します。また、外部バスクロックは、BCK[3:0] ビットで設定した動作クロックで動作します。詳細は「9. クロック発生回路」を参照してください。

11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ~ MSTPCRD レジスタに対応する MSTPmi ビット (m = A ~ D, i = 31 ~ 0) を“1”にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を継続します。対応する MSTPmi ビットを“0”にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット解除後は、DMAC、DTC、RAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできませんが、モジュールストップ設定直後に書き込みを行った場合、書き込める場合がありますので注意してください。

11.5 動作電力低減機能

動作周波数、動作電圧に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、ディープスリープモード時の消費電力を低減することができます。

11.5.1 動作電力制御モード設定方法

動作電力制御モードの遷移手順を以下に示します。

(1) 消費電力が大きいモードから消費電力が小さいモードへ切り替える場合

- 例 1 : 高速動作モードから中速動作モードへの切り替え

(高速動作モードで高速動作)

↓

各クロックの周波数を中速動作モードの最大動作周波数以下に設定

↓

OPCCR.OPCMTSF フラグが“0” (遷移完了) であることを確認

↓

OPCCR.OPCM[2:0] ビットを“010b” (中速動作モード) に設定

↓

OPCCR.OPCMTSF フラグが“0” (遷移完了) であることを確認

↓

(中速動作モードで中速動作)

- 例2：高速 / 中速動作モードから低速動作モードへの切り替え
高速動作モードで高速動作 / 中速動作モードで中速動作

↓
各クロックの周波数を低速動作モードの最大動作周波数以下に設定
↓
サブクロック発振器以外がすべて停止していることを確認
↓
SOPCCR.SOPCMTSF フラグが“0”（遷移完了）であることを確認
↓
SOPCCR.SOPCM ビットを“1”（低速動作モード）に設定
↓
SOPCCR.SOPCMTSF フラグが“0”（遷移完了）であることを確認
↓
低速動作モードで低速動作

(2) 消費電力が小さいモードから消費電力が大きいモードへ切り替える場合

- 例1：低速動作モードから高速 / 中速動作モードへの切り替え
低速動作モードで低速動作

↓
SOPCCR.SOPCMTSF フラグが“0”（遷移完了）であることを確認
↓
SOPCCR.SOPCM ビットを“0”（高速動作モードまたは中速動作モード）に設定
↓
SOPCCR.SOPCMTSF フラグが“0”（遷移完了）であることを確認
↓
各クロックの周波数を高速 / 中速動作モードの最大動作周波数以下に設定
↓
高速動作モードで高速動作 / 中速動作モードで中速動作

- 例2：中速動作モードから高速動作モードへの切り替え
中速動作モードで中速動作

↓
OPCCR.OPCMTSF フラグが“0”（遷移完了）であることを確認
↓
OPCCR.OPCM[2:0] ビットを“000b”（高速動作モード）に設定
↓
OPCCR.OPCMTSF フラグが“0”（遷移完了）であることを確認
↓
各クロックの周波数を高速動作モードの最大動作周波数以下に設定
↓
高速動作モードでの高速動作

11.6 低消費電力状態

11.6.1 スリープモード

11.6.1.1 スリープモードへの移行

SBYCR.SSBY ビットが“0”の状態では WAIT 命令を実行すると、スリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

WDT を使用しているとき、スリープモードへ遷移すると、WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、スリープモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、スリープモードへ移行後も IWDT はカウントを継続します。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット（注1）を“0”にする。
- (2) スリープモードからの復帰に使用する割り込みの要求先（注2）を CPU に設定する。
- (3) スリープモードからの復帰に使用する割り込みの優先レベル（注3）を、CPU の PSW.IPL[3:0] ビット（注1）よりも高く設定する。
- (4) スリープモードからの復帰に使用する割り込みの IERm.IENj ビット（注3）を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令の実行（WAIT 命令の実行により CPU の PSW.I ビット（注1）は自動的に“1”になります）。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「15.4.3 割り込み要求先の選択」を参照してください。

注3. 詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。

11.6.1.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDTC のアンダフローによるリセットによって行われます。

- 割り込みによる解除
割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。マスカブル割り込みが CPU でマスクされている場合（割り込み優先レベルが（注1）CPU の PSW.IPL[3:0] ビット（注2）以下に設定されている場合）には、スリープモードは解除されません。
- RES# 端子リセットによる解除
RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。
- パワーオンリセットによる解除
パワーオンリセットによって、スリープモードが解除されます。
- 電圧監視リセットによる解除
電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。
- 独立ウォッチドッグタイマリセットによる解除
IWDTC のアンダフローの内部リセットによって、スリープモードが解除されます。ただし、スリープモード時に IWDTC がカウントを停止する条件（OFS0.IWDTCSTRT = 0 かつ OFS0.IWDTCSLCSTP = 1、または OFS0.IWDTCSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1）では、IWDTC が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

11.6.1.3 スリープモード復帰クロックソース切り替え機能

スリープモード復帰クロック切り替えを行うには、スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR) による復帰後のクロックの設定と、クロックのウェイトコントロールレジスタの設定が必要となります。復帰割り込みが発生すると、復帰クロックとして設定された発振器の発振安定を待った後、自動的にクロックソースを切り替え、スリープモードから復帰します。その際、クロックソース切り替えに関連するレジスタが自動的に書き換えられます。

詳細は「11.2.8 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)」を参照してください。また、発振安定待ち時間の設定については、「9.2.17 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)」を参照してください。

11.6.2 ディープスリープモード

11.6.2.1 ディープスリープモードへの遷移

MSTPCRC.DSLPE ビットを“1”に設定し、かつ MSTPCRA.MSTPA28 ビットを“1”に設定し SBYCR.SSBY ビットを“0”にクリアした状態で WAIT 命令を実行すると、ディープスリープモードに遷移します。

ディープスリープモードでは、CPUに加え、DMAC、DTC、ROM、RAMのクロックも停止します。周辺機能は停止しません。

WDTを使用しているとき、ディープスリープモードへ遷移すると、WDTはカウントを停止します。

IWDTをオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに、ディープスリープモードへ遷移すると、IWDTはカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときに、ディープスリープモードへ遷移すると、IWDTはカウントを停止します。

また、IWDTをオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時IWDTカウント継続）のときは、ディープスリープモードへ遷移後も、IWDTはカウントを継続します。同様にレジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ディープスリープモードへ遷移後、IWDTはカウントを継続します。

ディープスリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU.PSW.I ビット（注1）を“0”にする。
- (2) ディープスリープモードからの復帰に使用する割り込みの要求先（注2）をCPUに設定する。
- (3) ディープスリープモードからの復帰に使用する割り込みの優先レベル（注3）を、CPUのPSW.IPL[3:0] ビット（注1）よりも高く設定する。
- (4) ディープスリープモードからの復帰に使用する割り込みのIERm.IENn（注3）を“1”にする。
- (5) 最後に書きこみを行ったI/Oレジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令を実行する（WAIT 命令の実行によりCPUのPSW.I（注1）は自動的に“1”になります）。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「15.4.3 割り込み要求先の選択」を参照してください。

注3. 詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。

11.6.2.2 ディープスリープモードの解除

ディープスリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除

割り込みが発生すると、ディープスリープモードは解除され、割り込み例外処理を開始します。マスクされた割り込みが CPU でマスクされている場合（割り込みの優先レベル（注1）が CPU の PSW.IPL[3:0] ビット（注2）以下に設定されている場合）には、ディープスリープモードは解除されません。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

パワーオンリセットによって、ディープスリープモードが解除されます。

- 電圧監視リセットによる解除

電圧検出回路の電圧監視リセットにより、ディープスリープモードが解除されます。

- 独立ウォッチドッグタイマによる解除

IWDT のアンダフローの内部リセットによって、ディープスリープモードが解除されます。ただし、ディープスリープモード時に IWDT がカウントを停止する条件（OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1）では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

11.6.3 ソフトウェアスタンバイモード

11.6.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを“1”にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能、およびサブクロック発振器以外のすべての機能が停止します。ただし、CPU の内部レジスタの値と RAM のデータ、内蔵周辺機能と I/O ポートの状態、サブクロック発振器の状態は保持されます。ソフトウェアスタンバイモードでは、発振器が停止するため、消費電力は著しく低減されます。

WAIT 命令を実行する前に DMAC の DMAC.DMAST.DMST、DTC の DTCST.DTCST ビットを“0”にしてください。

WDT を使用しているとき、ソフトウェアスタンバイモードへ遷移すると、WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに、ソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSSTPR.SLCSTP ビットが“1”のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSSTPR.SLCSTP ビットが“0”のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット（注1）を“0”にする。
- (2) ソフトウェアスタンバイモードからの復帰に使用する割り込みの要求先（注2）を CPU に設定する。
- (3) ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル（注3）を CPU の PSW.IPL[3:0] ビット（注1）よりも高く設定する。
- (4) ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENj ビット（注3）を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
- (6) WAIT 命令を実行する（WAIT 命令の実行によって CPU の PSW.I ビット（注1）は自動的に“1”になります）。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「15.4.3 割り込み要求先の選択」を参照してください。

注3. 詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。

11.6.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み (NMI、IRQ0 ~ IRQ7)、周辺機能割り込み (RTC アラーム、RTC 周期、IWDT、電圧監視、VBATT 端子電圧低下検出、USB、ELC (LPT 専用割り込み))、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。ソフトウェアスタンバイモードの解除要因が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、これらすべての発振器の発振が安定するのを待ってソフトウェアスタンバイモードから復帰します。

- 割り込みによる解除

NMI、IRQ0 ~ IRQ7、RTC アラーム、RTC 周期、IWDT、電圧監視、VBATT 端子電圧低下検出、USB、ELC (LPT 専用割り込み) の割り込み要求が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、MOSCWTCR.MSTS[4:0] ビットで設定した各発振器の発振安定待ち時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、MCU にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されます。

- 電圧監視リセットによる解除

電源電圧の低下によって電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除されます。

- 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、ソフトウェアスタンバイモードが解除されます。

ただし、ソフトウェアスタンバイモード時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ

IWDTCSTPR.SLCSTP = 1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

11.6.3.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がリエッジでソフトウェアスタンバイモードに移行し、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 11.6 に示します。

この例では、ICU の IRQCRI.IRQMD[1:0] ビットが“01b”（立ち下がリエッジ）の状態、IRQn 割り込みを受け付けた後、IRQCRI.IRQMD[1:0] ビットを“10b”（立ち上がりエッジ）に設定し、SBYCR.SSBY ビットを“1”にした後、WAIT 命令を実行してソフトウェアスタンバイモードに移行しています。その後、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

なお、ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ（ICU）の設定も必要となります。詳細は、「15. 割り込みコントローラ (ICUb)」を参照してください。

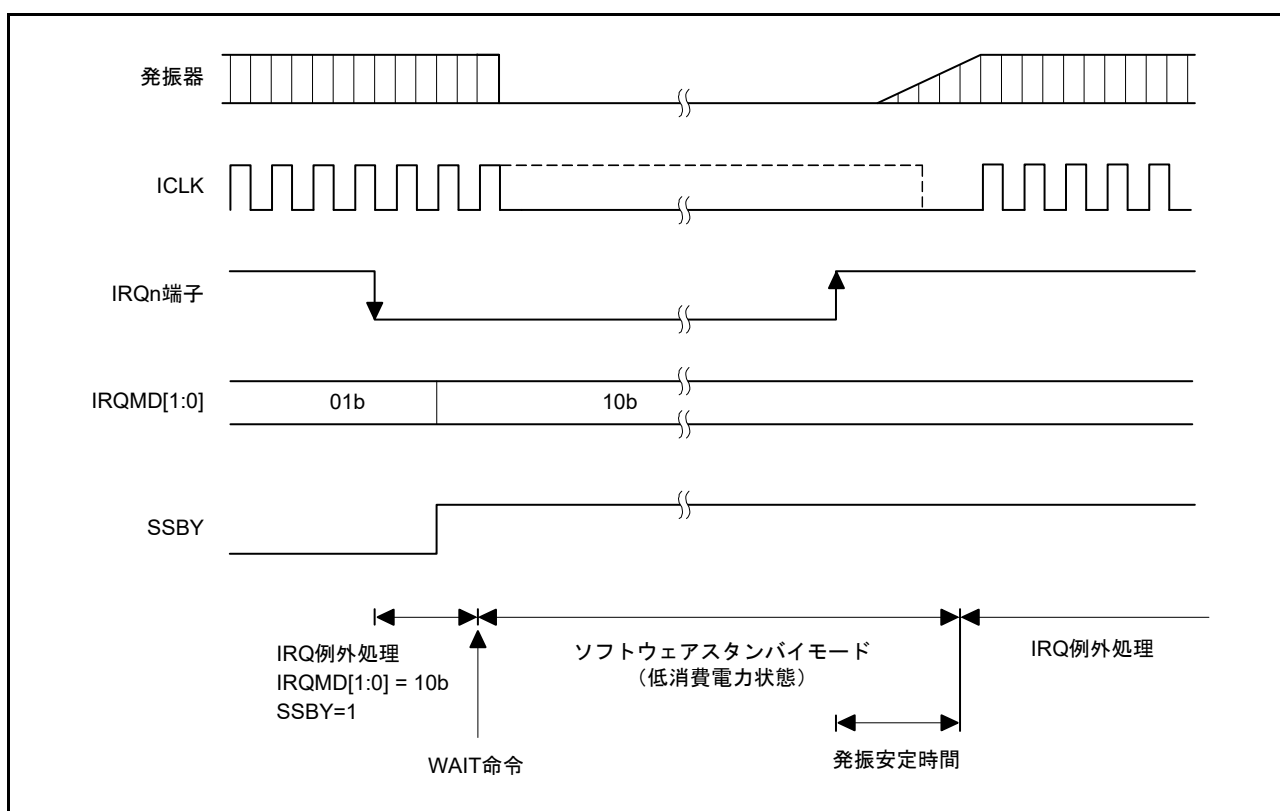


図 11.6 ソフトウェアスタンバイモードの応用例

11.7 使用上の注意事項

11.7.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。したがって、High を出力している場合は出力電流分の消費電流は低減されません。

11.7.2 DMAC、DTC のモジュールストップ

MSTPCRA.MSTPA28 ビットを“1”にする前に、DMAC の DMAC.DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にして、DMAC、DTC が起動していない状態にしてください。

詳細は、「18. DMA コントローラ (DMACA)」、「19. データトランスファコントローラ (DTCa)」を参照してください。

11.7.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

11.7.4 MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタの書き込み

MSTPCRA、MSTPCRB、MSTPCRC、および MSTPCRD レジスタへの書き込みは、CPU のみで行ってください。

11.7.5 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

11.7.6 スリープモード中の DMAC、DTC によるレジスタの書き換えについて

スリープモード中は WDT が停止します。スリープモード中に DMAC、DTC によって WDT 関連のレジスタを書き換えしないでください。

スリープモード中は OFS0.IWDTSLCSTP ビット、IWDTCSLSTP ビットの設定によって IWDT が停止します。その場合、スリープモード中に DMAC、DTC によって IWDT 関連のレジスタを書き換えしないでください。

RSTCKCR レジスタはスリープモードから復帰するときにクロックソースを切り替える機能に関するレジスタです。そのため、スリープモード中に書き換えを行うと意図しない動作となる可能性がありますので、スリープモード中は RSTCKCR レジスタを書き換えしないでください。

12. バッテリバックアップ機能

12.1 概要

VCC 端子の電圧が低下したとき、バッテリバックアップ電源端子 (VBATT 端子) からバッテリバックアップ電源領域にあるリアルタイムクロック (RTC) とサブクロック発振器に電源を供給することができます。

バッテリバックアップ機能を使用しない場合は、VBATT 端子は VCC 端子に接続し、バッテリバックアップ機能無効 (VBATTCR.VBATDIS ビットを“1”) にしてください。

VBATT ステータスレジスタを確認することで、VBATT 端子電圧レベルおよびバッテリバックアップ電源電圧低下検出を確認できます。

図 12.1 にバッテリバックアップ機能の構成図を示します。

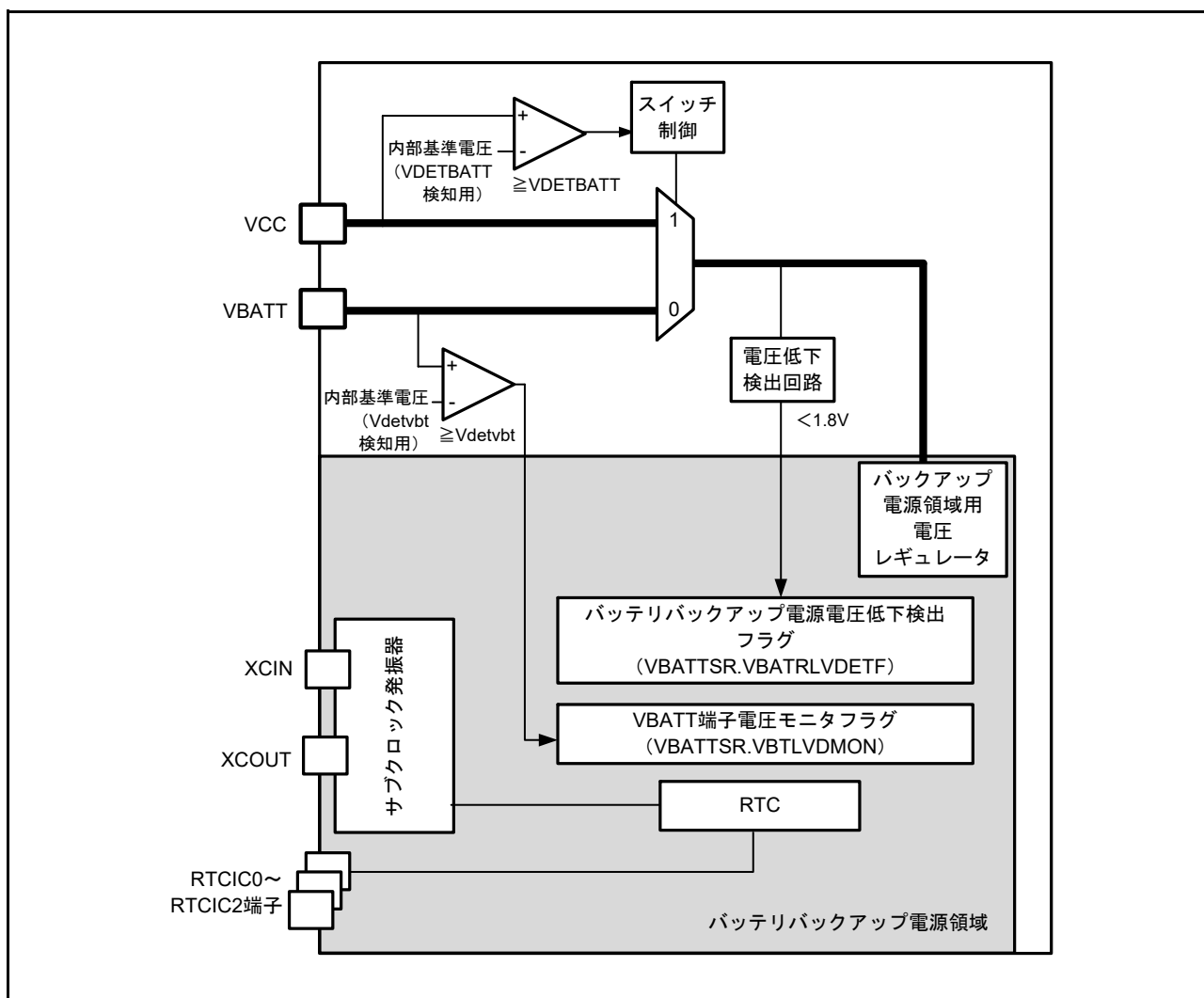


図 12.1 バッテリバックアップ機能の構成図

12.2 レジスタの説明

12.2.1 VBATT 制御レジスタ (VBATTCCR)

アドレス 0008 C29Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	VBTLVDLVL[1:0]	—	VBTLVDEN	—	—	—	—	VBATTDIS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VBATTDIS	バッテリバックアップ機能無効化ビット	0: バッテリバックアップ機能有効 1: バッテリバックアップ機能無効	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	VBTLVDEN	VBATT 端子電圧低下検出許可ビット	0: VBATT 端子電圧低下検出無効 1: VBATT 端子電圧低下検出有効	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	VBTLVDLVL [1:0]	VBATT 端子電圧低下検出レベル選択ビット	b7 b6 1 0 : 2.20V 1 1 : 2.00V 上記以外は設定しないでください。	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

VBATTCCR レジスタはバッテリバックアップ機能の動作を制御します。

VBATTDIS ビット (バッテリバックアップ機能無効化ビット)

VCC の電圧が低下したとき、バッテリバックアップ電源領域への電源供給を VCC 供給からバッテリバックアップ電源端子 (VBATT 端子) 供給に切り替える機能の有効/無効を制御します。

バッテリバックアップ機能を使用しない場合、VBATTDIS ビットに“1”（バッテリバックアップ機能無効）を設定してください。

VBTLVDEN ビット (VBATT 端子電圧低下検出許可ビット)

VBATT 端子の電圧低下検出機能の有効/無効を制御します。

VBTLVDLVL[1:0] ビット (VBATT 端子電圧低下検出レベル選択ビット)

VBATT 端子の電圧低下検出機能の有効時の検出電圧レベル (Vdetvbt) を選択します。

VBTLVDLVL は VBATTDIS が“0”（バッテリバックアップ機能有効）の時有効です。

12.2.2 VBATT ステータスレジスタ (VBATTSR)

アドレス 0008 C29Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	VBTLV DMON	VBATRL VDETF
リセット後の値	0	0	0	0	0	0	1	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	VBATRLVDETF	バッテリーバックアップ電源電圧低下検出フラグ	0 : バッテリバックアップ電源電圧低下 (<1.8V) 未検出 1 : バッテリバックアップ電源電圧低下 (<1.8V) 検出	R/W (注1)
b1	VBTLVDMON	VBATT 端子電圧モニタフラグ	0 : VBATT 端子電圧 < Vdetvbt 1 : VBATT 端子電圧 ≥ Vdetvbt または VBATT 端子電圧低下検出無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “1”を読み出した後に“0”のみ書けます。

VBATRLVDETF フラグ (バッテリーバックアップ電源電圧低下検出フラグ)

VBATRLVDETF フラグは、バッテリーバックアップ電源の電圧が 1.8V を下回ったかどうかを示します。

[“1”になる条件]

- バッテリバックアップ電源の電圧が 1.8V を下回ったとき。

[“0”になる条件]

- VBATRLVDETF フラグが“1”になったときの VBATTSR レジスタを読んだ後、VBATRLVDETF フラグに“0”を書いたとき

電源立ち上げ後に、VBATRLVDETF フラグの“1”を読んだ後“0”にして、バッテリーバックアップ機能を有効に設定 (VBATTCCR.VBATTDIS を“0”にする) すると、VCC が低下して VBATT 端子供給に切り替わった後再度 VCC が復活したときに、VCC 低下期間中にバッテリーバックアップ電源電圧が低下したかどうかを確認することができます。

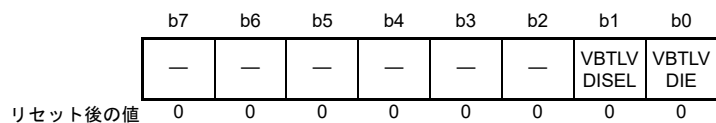
VBTLVDMON フラグ (VBATT 端子電圧モニタフラグ)

VBTLVDMON フラグは、VBATT 端子に入力される電圧が Vdetvbt を下回っているかどうかを示します。

なお VBTLVDMON フラグは、VBATTCCR.VBATTDIS が“0”（バッテリーバックアップ機能有効）の時かつ、VBTLVDEN が“1”（VBATT 端子電圧低下検出有効）の時有効です。

12.2.3 VBATT 端子電圧低下検出割り込み制御レジスタ (VBTLVDICR)

アドレス 0008 C29Fh



ビット	シンボル	ビット名	機能	R/W
b0	VBTLVDIE	VBATT 端子電圧低下検出割り込み許可ビット	0 : VBATT 端子電圧低下検出割り込み禁止 1 : VBATT 端子電圧低下検出割り込み許可	R/W
b1	VBTLVDISEL	VBATT 端子電圧低下検出割り込み種類選択ビット	0 : ノンマスクブル割り込み 1 : マスクブル割り込み	R/W
b7-b2	—	予約ビット	読むと "0" が読めます。書く場合、"0" としてください	R/W

注. このレジスタはPRCR.PRC3ビットを"1" (書き込み許可) にした後で書き換えてください。

12.3 動作説明

12.3.1 バッテリバックアップ機能

VCC 端子からの電圧が低下したとき、VBATT 端子から RTC とサブクロック発振器に電源を供給することができます。VCC 端子からの供給電圧の低下を検出すると、VBATT 端子からの電源供給に切り替わります。また、VBATT 端子からの電源供給による RTC 動作中に VCC 電圧が VDET_{BATT} を超えると VCC 端子からの電源供給に戻ります。このとき、RTC の動作には影響しません。VBATT 端子からの電圧が動作保証範囲を下回った場合は、RTC の動作は保証されません。なお、バッテリバックアップ機能は、電圧監視 0 リセットを有効に設定し (OFS1.LVDAS ビットを“0”)、電圧検出 0 レベル選択を 2.51V に設定 (OFS1.VDSEL[1:0] を“10b”) して使用してください。

VBATT 端子からは、以下のモジュールに電源が供給されます。

- RTC
- サブクロック発振器 (XCIN、XCOUT 端子含む)
- RTCIC0(P30), RTCIC1(P31), RTCIC2(P32) 端子

図 12.2 にバッテリバックアップ機能への切り替わり動作を示します。

また、図 12.3 に VBATT 端子電源電圧モニタフラグの動作例を、図 12.4 にバッテリバックアップ電源低下検出フラグの動作例を示します。

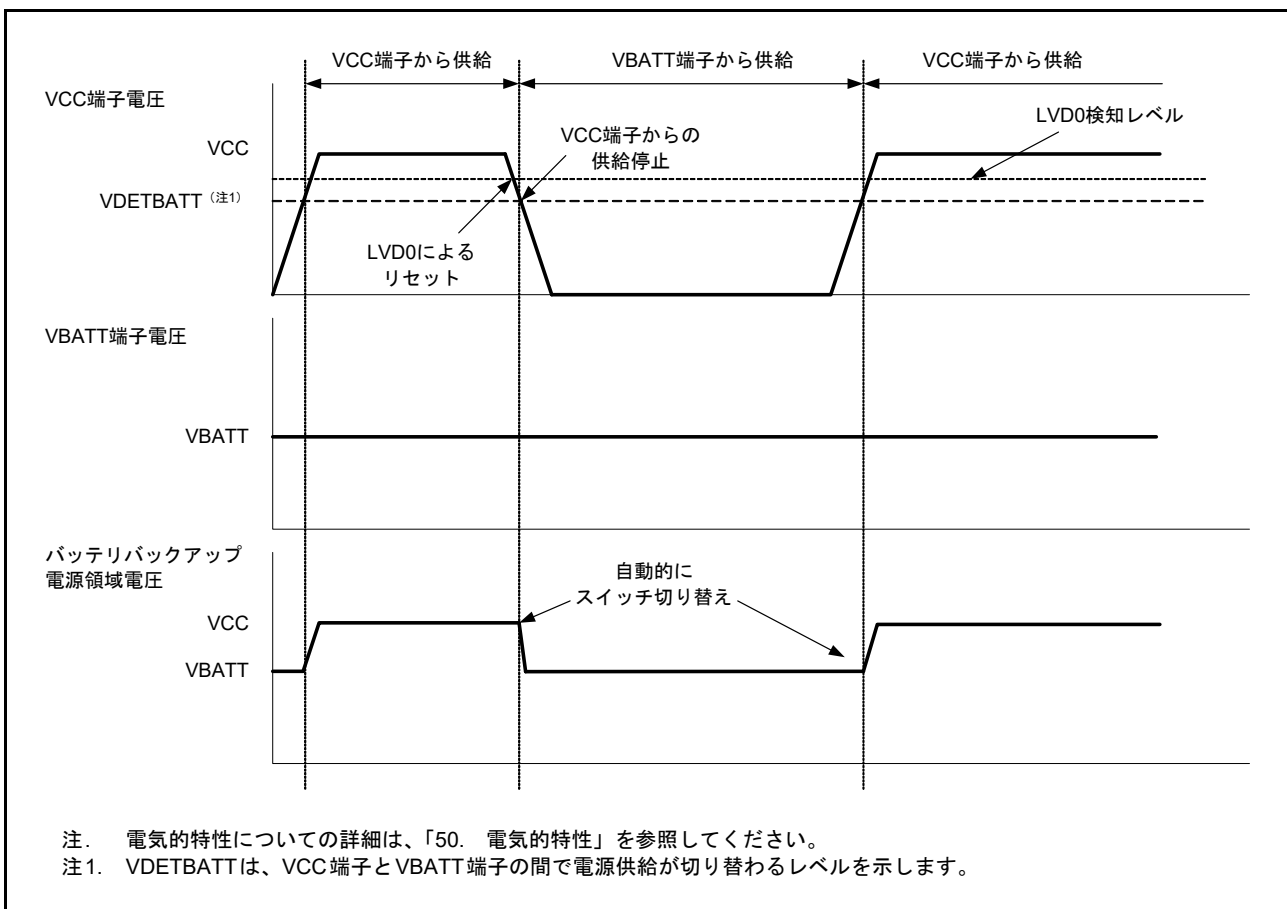


図 12.2 バッテリバックアップ機能への切り替わり動作

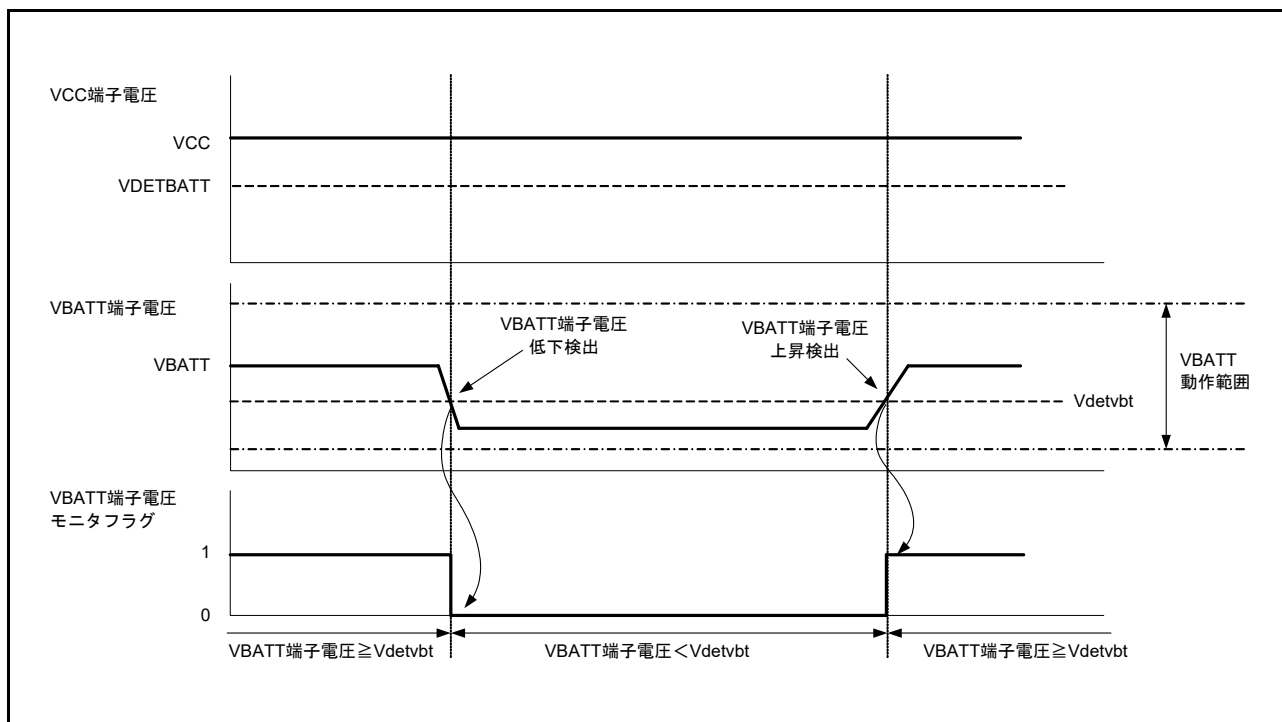


図 12.3 VBATT 端子電源電圧モニタフラグの動作例

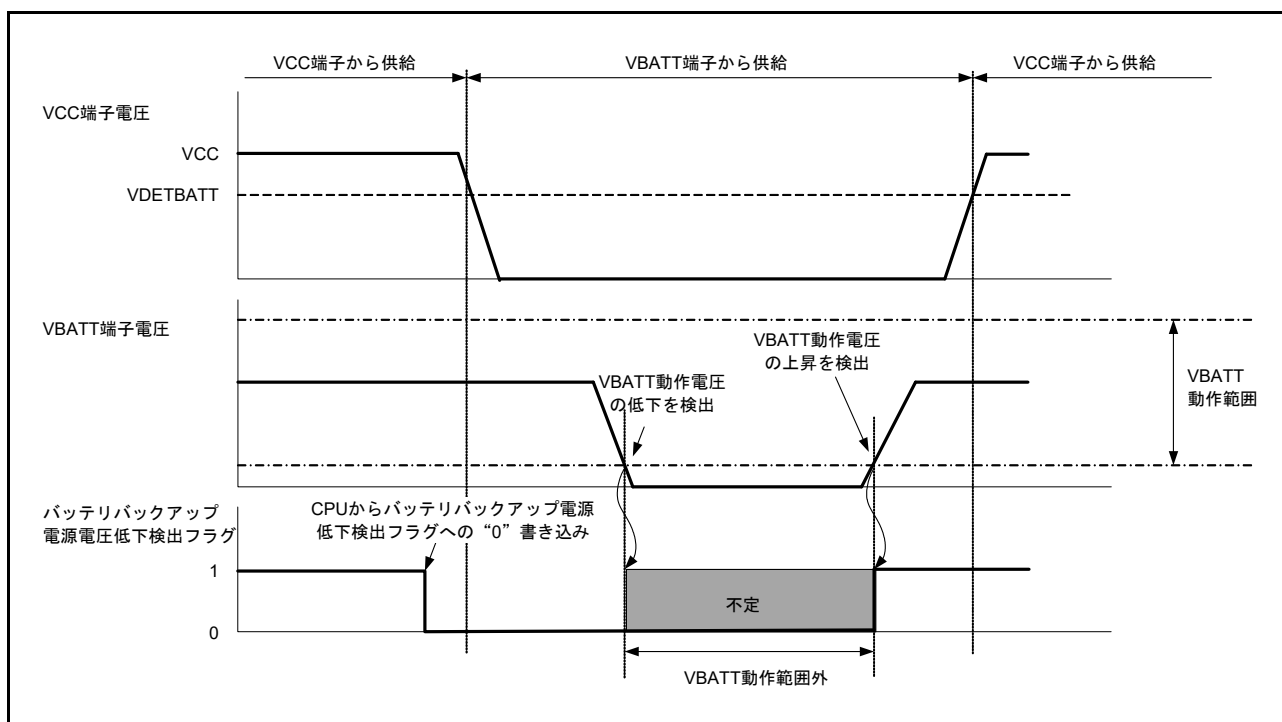


図 12.4 バッテリバックアップ電源低下検出フラグの動作

12.3.2 VBATT 端子電圧監視機能

VCC が供給されるとき、VBATT 端子電圧を監視することが可能です。リセット後、この機能は無効です。VBATT 端子電圧低下検出許可ビット (VBATT_CR.VBTLVDEN) を“1”にした後、VBATT 端子電圧モニタフラグ (VBATT_SR.VBTLVDMON) を読みだすと VBATT 端子電圧レベルが監視できます。

12.4 使用上の注意事項

- (1) VBATT 端子を使用しない場合は、VBATT 端子を VCC 端子に接続してください。
- (2) バッテリバックアップ機能を使用しない場合、VBATT_{CR}.VBATT_{DIS} ビットに“1”（バッテリバックアップ機能無効）を設定してください。
- (3) VBATT が動作保証範囲を下回ったときは、サブクロック、RTC の動作は保証されません。VBATT が動作保証電圧を下回った後、再度電源を立ち上げたときには、RTC の初期設定を行ってください。
- (4) RTC のレジスタへの書き込みは VCC が供給されているときに実施してください。
- (5) VCC が VDET_{BATT} を上回っているときは、VCC 端子と VBATT 端子は電氣的に分離されます。VCC が VDET_{BATT} を下回りスイッチが VBATT 端子に接続されているとき、VBATT が $VCC - 0.6V$ より低くなると $VCC - VBATT$ 端子間にある寄生ダイオードを介して VBATT 端子に電流が流れ込む可能性があります。

13. レジスタライトプロテクション機能

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ（PRCR）で設定します。

表 13.1 に PRCR レジスタと保護されるレジスタの対応を示します。

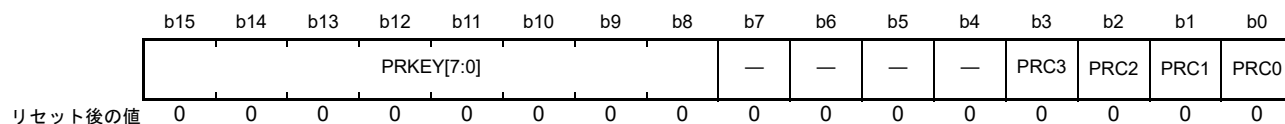
表 13.1 PRCR レジスタと保護されるレジスタの対応

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> クロック発生回路関連レジスタ SCKCR、SCKCR3、PLLCR、PLLCR2、MOSCCR、SOSCCR、LOCOCR、ILOOCR、HOCOOCR、OSTDCR、OSTDSR、CKOCR、UPLLCR、UPLLCR2、BCKCR、HOCOOCR2、MEMWAIT、LOCOTRR、ILOOTRR、HOCOTRR0、HOCOTRR3
PRC1 ビット	<ul style="list-style-type: none"> 動作モード関連レジスタ SYSCR0、SYSCR1 消費電力低減機能関連レジスタ SBYCR、MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD、OPCCR、RSTCKCR、SOPCCR クロック発生回路関連レジスタ MOFCR、MOSCWTCR ソフトウェアリセットレジスタ SWRR
PRC2 ビット	<ul style="list-style-type: none"> ローパワータイマ関連レジスタ LPTCR1、LPTCR2、LPTCR3、LPTPRD、LPCMR0、LPWUCR
PRC3 ビット	<ul style="list-style-type: none"> LVD 関連レジスタ LVCMPCCR、LVDLVLRL、LVD1CR0、LVD1CR1、LVD1SR、LVD2CR0、LVD2CR1、LVD2SR バッテリーバックアップ機能関連レジスタ VBATTCCR、VBATTISR、VBTLDICR

13.1 レジスタの説明

13.1.1 プロテクトレジスタ (PRCR)

アドレス 0008 03FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、消費電力低減機能、クロック発生回路関連レジスタ、ソフトウェアリセットレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	PRC2	プロテクトビット2	ローパワータイマ関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	PRCキーコードビット	PRCRレジスタの書き換えの可否を制御します。 PRCRレジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/W (注1)

注1. 書き込みデータは保持されません。

PRCi ビット (プロテクトビット i) (i = 0 ~ 3)

保護するレジスタへの書き込み許可 / 禁止を選択します。

PRCi ビットが“1”のとき、保護されるレジスタへの書き込みができます。PRCi ビットが“0”のとき、レジスタへの書き込みができません。

14. 例外処理

14.1 例外事象

CPU が通常のプログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して例外事象と呼びます。

RXv2 CPU は、8 種類の例外に対応します。図 14.1 に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパーバイザモードになります。

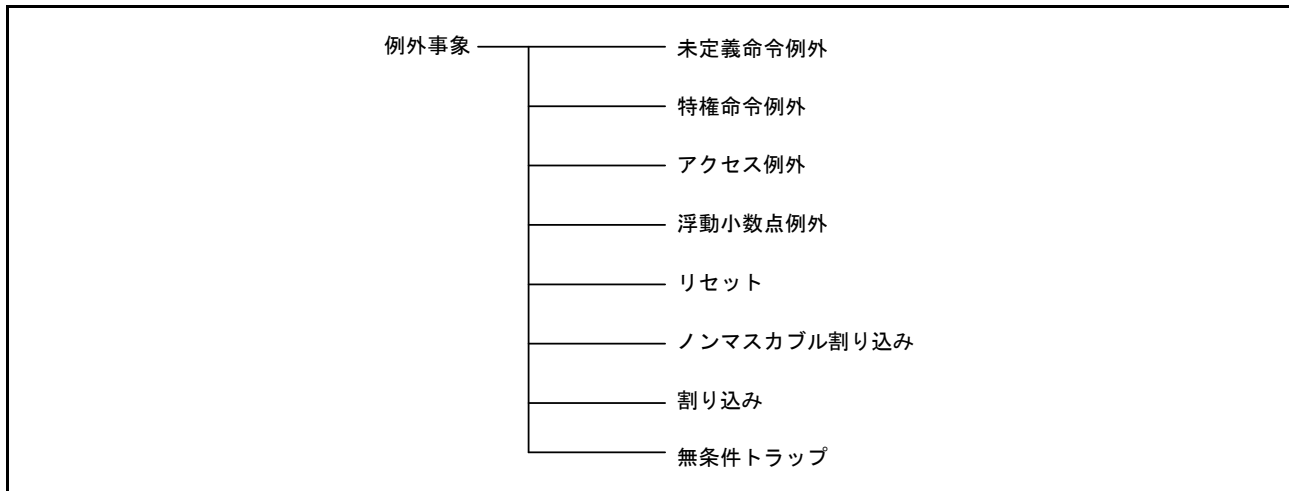


図 14.1 例外事象の種類

14.1.1 未定義命令例外

未定義命令例外は、未定義命令（実装されていない命令）の実行を検出した場合に発生します。

14.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパーバイザモードでのみ実行可能です。

14.1.3 アクセス例外

アクセス例外は、CPUからのメモリアクセスによるエラーが検出された場合に発生します。メモリプロテクションユニットが命令メモリプロテクションエラーを検出した場合には命令アクセス例外が、データメモリプロテクションエラーを検出した場合にはオペランドアクセス例外が発生します。

14.1.4 浮動小数点例外

浮動小数点例外は、IEEE754規格で規定された5つの例外事象（オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算）の他、非実装処理を検出した場合に発生します。浮動小数点例外は、FPSWのEX, EU, EZ, EO, EVビットが“0”のとき、例外処理が禁止されます。

14.1.5 リセット

CPUにリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

14.1.6 ノンマスカブル割り込み

CPUにノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合にのみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

14.1.7 割り込み

CPUに割り込み信号を入力することによって発生します。割り込みのうち1つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは15（最高）です。

PSWのIビットが“0”のとき、割り込みの受け付けは禁止されます。

14.1.8 無条件トラップ

INT命令、およびBRK命令を実行すると無条件トラップが発生します。

14.2 例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム（例外処理ルーチン）によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 14.2 に示します。

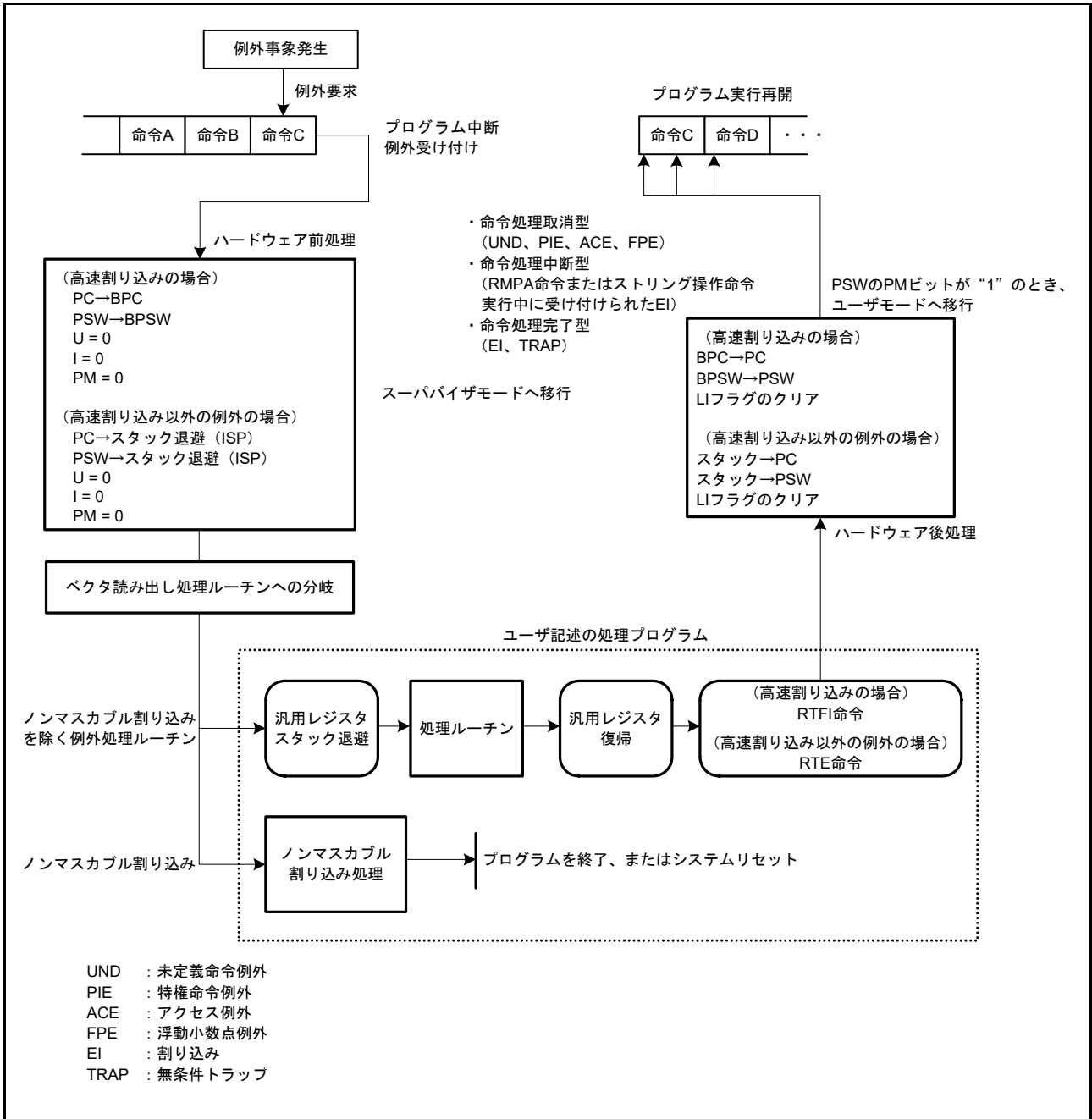


図 14.2 例外の処理手順の概要

例外が受け付けられると、RXv2 CPUはハードウェア処理を行った後、ベクタにアクセスし、分岐先アドレスを取得します。ベクタには例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RXv2 CPUのハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ(PC)の内容をバックアップPC(BPC)に、プロセッサステータスワード(PSW)の内容をバックアップPSW(BPSW)へ退避します。高速割り込み以外の例外では、PC, PSWをスタック領域に退避します。例外処理ルーチン中で使用する汎用レジスタ、およびPC, PSW以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによってスタックに退避してください。

例外処理ルーチン処理完了後、スタックに退避したレジスタを復帰してRTE命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI命令を実行します。ただし、ノンマスカブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RXv2 CPUのハードウェア後処理では、高速割り込みの場合はBPCをPCに、また、BPSWの値をPSWに戻します。高速割り込み以外の例外では、スタック領域からPC, PSWの値を復帰します。

14.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチンに分岐します。

14.3.1 受け付けタイミングと退避されるPC値

各例外事象の受け付けタイミングと退避されるプログラムカウンタ（PC）の値を表 14.1 に示します。

表 14.1 受け付けタイミングと退避されるPC値

例外事象		処理型	受け付け タイミング	BPC/スタックに退避されるPC値
未定義命令例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
特権命令例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
アクセス例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
浮動小数点例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
リセット		命令処理放棄型	各マシンサイクル	なし
ノンマスカブル 割り込み	RMPA, SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
割り込み	RMPA, SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
無条件トラップ		命令処理完了型	命令の区切り	次の命令のPC値

14.3.2 ベクタとPC, PSWの退避場所

各例外事象のベクタとプログラムカウンタ（PC）、プロセッサステータスワード（PSW）の退避場所を表 14.2 に示します。例外ベクタテーブル、および割り込みベクタテーブルは、それぞれ先頭アドレスを設定する必要があります。詳細は、「2.6 ベクタテーブル」を参照してください。

表 14.2 ベクタとPC, PSWの退避場所

例外事象		ベクタ	PC, PSWの退避場所
未定義命令例外		例外ベクタテーブル（EXTB）	スタック
特権命令例外		例外ベクタテーブル（EXTB）	スタック
アクセス例外		例外ベクタテーブル（EXTB）	スタック
浮動小数点例外		例外ベクタテーブル（EXTB）	スタック
リセット		例外ベクタテーブル（EXTB）	なし
ノンマスカブル割り込み		例外ベクタテーブル（EXTB）	スタック
割り込み	高速割り込み	FINTV	BPC, BPSW
	高速割り込み以外	割り込みベクタテーブル（INTB）	スタック
無条件トラップ		割り込みベクタテーブル（INTB）	スタック

14.4 例外の受け付け / 復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1) 例外受け付け時のハードウェア前処理

(a) PSW の退避

(高速割り込みの場合)

PSW → BPSW

(高速割り込み以外の例外の場合)

PSW → スタック領域

注. FPSW は、ハードウェア前処理では退避されません。浮動小数点演算命令を例外処理ルーチン内で使用する場合は、例外処理ルーチン内でユーザがスタックへ退避してください。

(b) PSW の PM, U, I ビットの更新

I: 0にする

U: 0にする

PM: 0にする

(c) PC の退避

(高速割り込みの場合)

PC → BPC

(高速割り込み以外の例外の場合)

PC → スタック領域

(d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

(2) RTE 命令、RTFI 命令実行時のハードウェア後処理

(a) PSW の復帰

(高速割り込みの場合)

BPSW → PSW

(高速割り込み以外の例外の場合)

スタック領域 → PSW

(b) PC の復帰

(高速割り込みの場合)

BPC → PC

(高速割り込み以外の例外の場合)

スタック領域 → PC

(c) LI フラグのクリア処理

14.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

14.5.1 未定義命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 0000005Ch 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.2 特権命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 00000050h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.3 アクセス例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 00000054h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.4 浮動小数点例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 00000064h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.5 リセット

1. 制御を初期化します。
2. FFFFFFFCh 番地からベクタを取得します。
3. 取得したベクタをプログラムカウンタ (PC) にセットします。

14.5.6 ノンマスカブル割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. RMPA, SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) を“Fh”にします。
5. EXTB の値 + 00000078h 番地からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.7 割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PSW (BPSW) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. RMPA, SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PC (BPC) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) に、受け付けた割り込みの割り込み優先レベルを設定します。
5. 割り込みベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ (FINTV) からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.8 無条件トラップ

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. 次の命令のプログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. INT 命令の場合は、割り込みベクタテーブルから INT 命令番号に対応したベクタを取得します。BRK 命令の場合は、割り込みベクタテーブルの先頭番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で表 14.3 に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ（BPC, BPSW）に退避されていたプログラムカウンタ（PC）とプロセッサステータスワード（PSW）の内容が復帰されます。

表 14.3 例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
アクセス例外		RTE
浮動小数点例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		禁止
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

14.7 例外事象の優先順位

例外事象の優先順位を表 14.4 に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表 14.4 例外事象の優先順位

優先順位	例外事象
高い ↑ 低い	1 リセット
	2 ノンマスカブル割り込み
	3 割り込み
	4 命令アクセス例外
	5 未定義命令例外 特権命令例外
	6 無条件トラップ
	7 オペランドアクセス例外
	8 浮動小数点例外

15. 割り込みコントローラ (ICUb)

15.1 概要

割り込みコントローラは、周辺モジュール、外部端子からの割り込みを受け付け、CPU への割り込みおよび DTC、DMAC への転送要求を行います。

表 15.1 に割り込みコントローラの仕様を、図 15.1 に割り込みコントローラのブロック図を示します。

表 15.1 割り込みコントローラの仕様

項目	内容	
割り込み	周辺機能割り込み	<ul style="list-style-type: none"> 周辺モジュールからの割り込み 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定
	外部端子割り込み	<ul style="list-style-type: none"> IRQ0～IRQ7端子からの割り込み 要因数：8 割り込み検出：Low/立ち上がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 デジタルフィルタ機能：あり
	ソフトウェア割り込み	<ul style="list-style-type: none"> レジスタ書き込みによる割り込み 要因数：1
	イベントリンク割り込み	ELC イベントより、ELSR8I、ELSR18I、ELSR19I 割り込みを発生
	割り込み優先順位	レジスタにより優先順位を設定
	高速割り込み機能	CPUの割り込み処理を高速化可能。1要因にのみ設定
	DTC、DMAC制御	割り込み要因によりDTCやDMACの起動が可能(注1)
ノンマスクابل 割り込み	NMI端子割り込み	<ul style="list-style-type: none"> NMI端子からの割り込み 割り込み検出：立ち上がりエッジ/立ち上がりエッジ デジタルフィルタ機能：あり
	発振停止検出割り込み	発振停止検出時の割り込み
	WDTアンダフロー/ リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	IWDTアンダフロー/ リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	電圧監視1割り込み	電圧検出回路1 (LVD1)の電圧監視割り込み
	電圧監視2割り込み	電圧検出回路2 (LVD2)の電圧監視割り込み
	VBATT電圧監視割り込み	VBATTの電圧監視割り込み
低消費電力状態からの復帰	<ul style="list-style-type: none"> スリープモード、ディープスリープモード：ノンマスクابل割り込み、全割り込み要因で復帰 ソフトウェアスタンバイモード：ノンマスクابل割り込み、IRQ0～IRQ7割り込み、RTCアラーム/周期割り込みで復帰 	

注1. DTCおよびDMACの起動要因については、「表 15.3 割り込みのベクタテーブル」を参照してください。

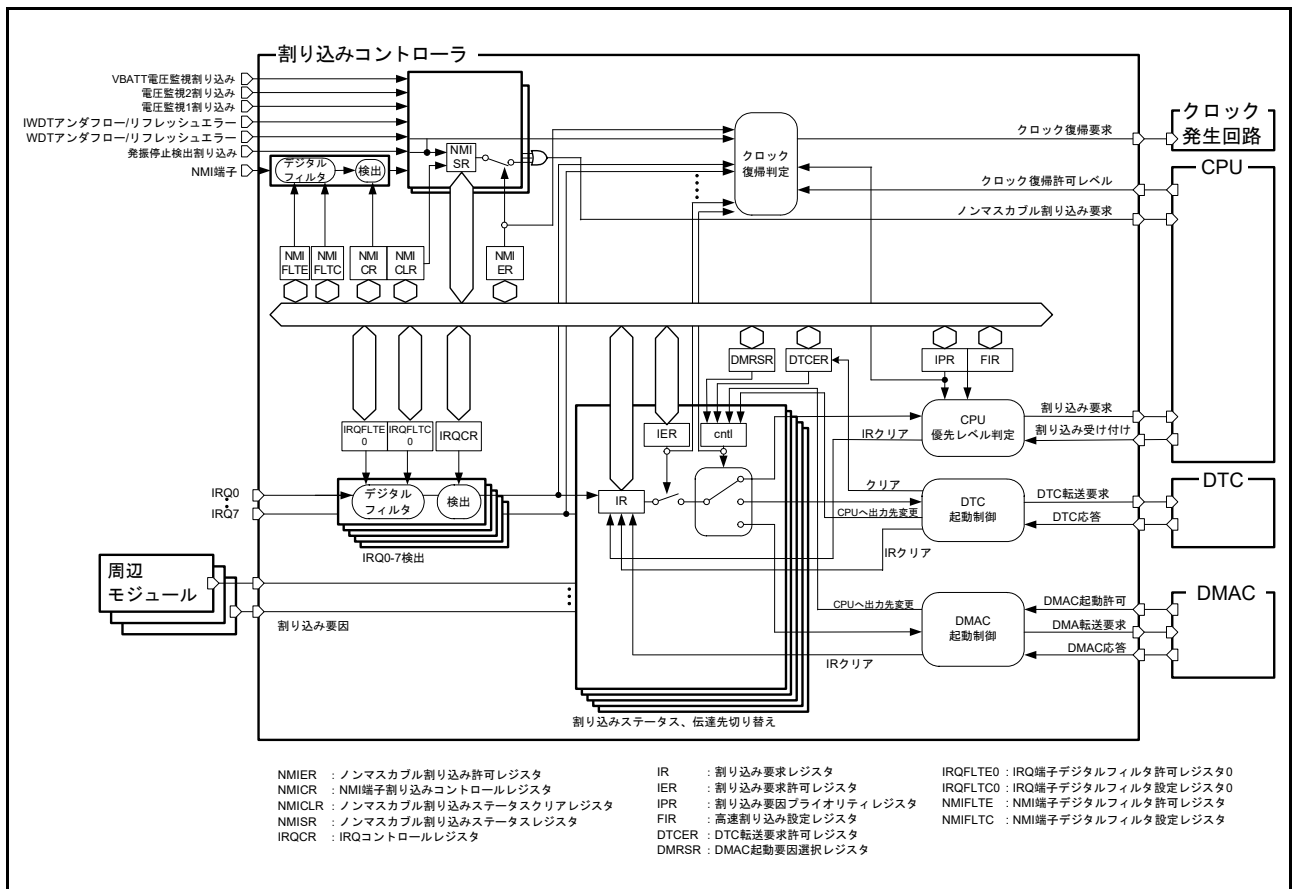


図 15.1 割り込みコントローラのブロック図

表 15.2 に割り込みコントローラで使用する入出力端子を示します。

表 15.2 割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスク割り込み要求端子
IRQ0~IRQ7	入力	外部割り込み要求端子

15.2 レジスタの説明

15.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)

アドレス ICU.IR016 0008 7010h~ICU.IR255 0008 70FFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. エッジ検出要因の場合、“0”のみ書けます。“1”を書かないでください。
レベル検出要因の場合、書き込みできません。

IRn レジスタは割り込み要因ごとに存在し、n は割り込みベクタ番号に対応しています。

割り込み要因と割り込みベクタ番号の対応は、「表 15.3 割り込みのベクタテーブル」を参照してください。

IR フラグ (割り込みステータスフラグ)

割り込み要求のステータスフラグです。割り込み要求が発生すると“1”になります。割り込み要求を検出するためには、周辺モジュールの割り込みイネーブルビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法は、エッジ検出とレベル検出があります。周辺モジュールからの割り込みは、要因ごとにエッジ検出/レベル検出が決まっています。IRQi 端子 (i = 0 ~ 7) からの割り込みは、IRQCRI.IRQMD[1:0] ビットの設定によって、エッジ検出とレベル検出が切り替わります。各要因の検出方法については、「表 15.3 割り込みのベクタテーブル」を参照してください。

(1) エッジ検出の場合

["1"になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生すると“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

["0"になる条件]

- 割り込み要求先が割り込み要求を受け付けると“0”になります。
- IRフラグに“0”を書くと“0”になります。ただし、割り込み要求先をDTCまたはDMACに設定している場合、IRフラグへの“0”書き込みは禁止です。

(2) レベル検出の場合

["1"になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生している間は“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

["0"になる条件]

- 割り込み要求の出力元をクリアすると“0”になります。(割り込み要求先が割り込み要求を受け付けても“0”になりません。)周辺モジュールごとの割り込み要求クリアについては、各周辺モジュールの章を参照してください。

IRQi 端子をレベル検出で使用する場合に、割り込みを取り下げるには IRQi 端子を High にしてください。レベル検出時は、IRフラグへの“0”、“1”ともに書き込みは禁止です。

15.2.2 割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)

アドレス ICU.IER02 0008 7202h~ICU.IER1F 0008 721Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット0	0: 割り込み要求禁止 1: 割り込み要求許可	R/W
b1	IEN1	割り込み要求許可ビット1		R/W
b2	IEN2	割り込み要求許可ビット2		R/W
b3	IEN3	割り込み要求許可ビット3		R/W
b4	IEN4	割り込み要求許可ビット4		R/W
b5	IEN5	割り込み要求許可ビット5		R/W
b6	IEN6	割り込み要求許可ビット6		R/W
b7	IEN7	割り込み要求許可ビット7		R/W

注. 予約となっているベクタ番号に対応するビットへの書き込みは“0”としてください。読むと“0”が読み出されます。

IENj ビット (割り込み要求許可ビット) (j = 0 ~ 7)

IENj ビットが“1”のとき、割り込み要求先に割り込み要求を出力します。

IENj ビットが“0”のとき、割り込み要求先に割り込み要求を出力しません。

IRn.IR フラグ (n = 割り込みベクタ番号) は、IENj ビットの影響を受けません。IENj ビットが“0”であっても、「15.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)」に示す条件で IR フラグは変化します。

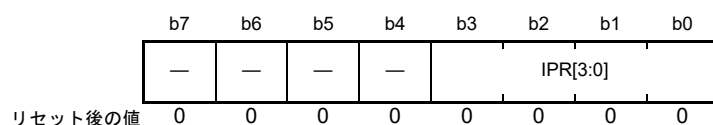
IERm.IENj ビットは、割り込み要因 (ベクタ番号) ごとに存在します。

割り込み要因と IERm.IENj ビットの対応は、「表 15.3 割り込みのベクタテーブル」を参照してください。

割り込み要求先の選択における IERm.IENj ビットの設定手順は、「15.4.3 割り込み要求先の選択」を参照してください。

15.2.3 割り込み要因プライオリティレジスタ n (IPRn) (n = 割り込みベクタ番号)

アドレス ICU.IPR000 0008 7300h~ICU.IPR255 0008 73FFh



ビット	シンボル	ビット名	機能	R/W
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	b3 b0 0 0 0 0 : レベル0 (割り込み禁止)(注1) 0 0 0 1 : レベル1 0 0 1 0 : レベル2 0 0 1 1 : レベル3 0 1 0 0 : レベル4 0 1 0 1 : レベル5 0 1 1 0 : レベル6 0 1 1 1 : レベル7 1 0 0 0 : レベル8 1 0 0 1 : レベル9 1 0 1 0 : レベル10 1 0 1 1 : レベル11 1 1 0 0 : レベル12 1 1 0 1 : レベル13 1 1 1 0 : レベル14 1 1 1 1 : レベル15 (最高)	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 高速割り込みに設定している場合は、レベル0であっても割り込みの発行が可能です。

割り込み要因と IPRn レジスタの対応は、「表 15.3 割り込みのベクタテーブル」を参照してください。

IPR[3:0] ビット (割り込み優先レベル設定ビット)

対応する割り込み要因の優先レベルを選択するビットです。

IPR[3:0] ビットで選択した優先レベルは、CPU への割り込み要求の優先順位判定にのみ参照され、DTC や DMAC への転送要求には影響を与えません。

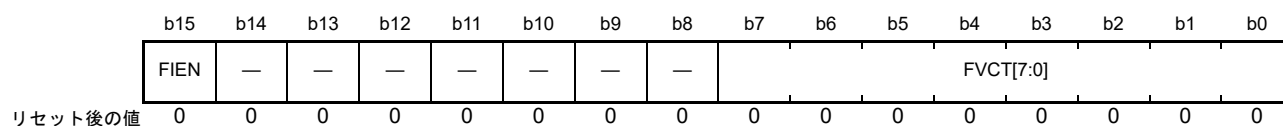
CPU は、PSW.IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみを受け付け、割り込み処理を行います。

複数の割り込み要求が同時に発生した場合、IPR[3:0] ビットの設定値で優先順位比較を行います。同一レベルの割り込み要求が同時に発生した場合には、ベクタ番号の小さい割り込み要因が優先となります。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0 (m = 02h ~ 1Fh, j = 0 ~ 7)) した状態で行ってください。

15.2.4 高速割り込み設定レジスタ (FIR)

アドレス ICU.FIR 0008 72F0h



ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みにするベクタ番号を指定します	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0 : 高速割り込みを禁止 1 : 高速割り込みを許可	R/W

FIR レジスタの設定による高速化の機能は、CPU への割り込みにのみ有効です。DTC や DMAC への転送要求には影響を与えません。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0 (m = 02h ~ 1Fh, j = 0 ~ 7)) した状態で行ってください。

FVCT[7:0] ビット (高速割り込みベクタ設定ビット)

高速割り込み機能を使用する割り込みのベクタ番号を指定するビットです。

FIEN ビット (高速割り込み許可ビット)

高速割り込みを許可するビットです。

FIEN ビットを“1”にすると、FVCT[7:0] ビットに設定したベクタ番号の割り込みが高速割り込みになります。

FIEN ビットが“1”のとき、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定したベクタ番号の割り込み要求が発生すると、IPRn レジスタ (n = 割り込みベクタ番号) の設定に関係なく、高速割り込みとして CPU に要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合には「15.6.2 ソフトウェアスタンバイモードからの復帰」を参照してください。

IERm.IENj ビットで割り込み要求が禁止されている割り込み要因は、CPU に割り込み要求が出力されません。

設定できるベクタ番号は、「表 15.3 割り込みのベクタテーブル」を参照してください。

FVCT[7:0] ビットには、予約のベクタ番号を指定しないでください。

高速割り込みの詳細は、「14. 例外処理」および「15.4.6 高速割り込み」を参照してください。

15.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)

アドレス ICU.SWINTR 0008 72E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読み出されます。“1”書き込みでソフトウェア割り込み要求を発行します。“0”書き込みは無効です	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

SWINT ビット (ソフトウェア割り込み起動ビット)

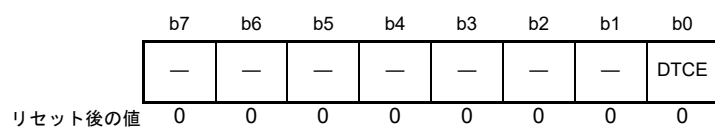
SWINT ビットに“1”を書くと、割り込み要求レジスタ 027 (IR027) が“1”になります。

DTC 転送要求許可レジスタ 027 (DTCER027) を“0”にして、SWINT ビットに“1”を書くと CPU への割り込みが発生します。

DTC 転送要求許可レジスタ 027 (DTCER027) を“1”にして、SWINT ビットに“1”を書くと DTC 転送要求を発行します。

15.2.6 DTC 転送要求許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)

アドレス ICU.DTCER027 0008 711Bh ~ ICU.DTCER255 0008 71FFh



ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC転送要求許可ビット	0 : CPUへの割り込み要因、またはDMACの起動要因に設定する 1 : DTCの起動要因に設定する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMACの起動要因に選択したものと同一の要因にDTCの起動要因を設定するのは禁止です。割り込み要因との対応は「表 15.3 割り込みのベクタテーブル」を参照してください。

DTCE ビット (DTC 転送要求許可ビット)

DTCE ビットを“1”にすると、対応する割り込み要因が DTC 起動要因として選択されます。

[“1”になる条件]

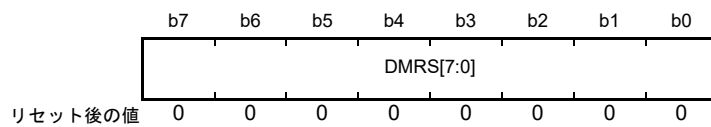
- DTCE ビットに“1”を書いたとき

[“0”になる条件]

- 指定した回数のデータ転送が終了したとき (チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき)
- DTCE ビットに“0”を書いたとき

15.2.7 DMAC 起動要因選択レジスタ m (DMRSRm) (m = DMAC チャンネル番号)

アドレス ICU.DMRSR0 0008 7400h, ICU.DMRSR1 0008 7404h, ICU.DMRSR2 0008 7408h, ICU.DMRSR3 0008 740Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	DMRS[7:0]	DMAC起動要因選択ビット	DMAC起動要因ベクタ番号を設定します	R/W

複数の DMRSRm レジスタに同一要因を設定するのは禁止です。DMRSRm レジスタに設定したものと同一要因に DTC 転送要求許可を設定するのは禁止です。これらの禁止事項に違反した場合の動作は保証されません。

DMRS[7:0] ビット (DMAC 起動要因選択ビット)

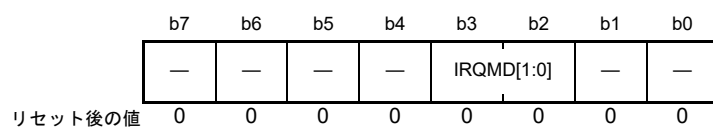
DMAC を起動する割り込み要因のベクタ番号を 8 ビットで指定します。DMAC の起動要因として割り当てられていないベクタ番号は、設定しないでください。

割り込み要因のベクタ番号は、「表 15.3 割り込みのベクタテーブル」を参照してください。

DMRSRm レジスタへの書き込みは、DMA 転送許可レジスタの DMA 転送許可ビット (DMACm.DMCNT.DTE) が “0” のときに状態で行ってください。

15.2.8 IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)

アドレス ICU.IRQCR0 0008 7500h~ICU.IRQCR7 0008 7507h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ 検出設定ビット	b3 b2 0 0 : Low 0 1 : 立ち下がりエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

該当する割り込み要求許可ビットが割り込み要求禁止 (IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) が “0”) の状態でこのレジスタの設定変更を行ってください。レジスタ変更後は IR フラグをクリアし、その後割り込み要求許可ビットを許可に設定してください。ただし、Low に変更する場合は、IR フラグをクリアする必要はありません。

IRQMD[1:0] ビット (IRQ 検出設定ビット)

IRQ_i 端子の割り込み検出方法を設定します。

外部端子割り込みの検出設定手順は、「15.4.8 外部端子割り込み」を参照してください。

15.2.9 IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)

アドレス ICU.IRQFLTE0 0008 7510h

b7	b6	b5	b4	b3	b2	b1	b0
FLTEN 7	FLTEN 6	FLTEN 5	FLTEN 4	FLTEN 3	FLTEN 2	FLTEN 1	FLTEN 0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0 デジタルフィルタ許可ビット	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W
b1	FLTEN1	IRQ1 デジタルフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2 デジタルフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3 デジタルフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4 デジタルフィルタ許可ビット		R/W
b5	FLTEN5	IRQ5 デジタルフィルタ許可ビット		R/W
b6	FLTEN6	IRQ6 デジタルフィルタ許可ビット		R/W
b7	FLTEN7	IRQ7 デジタルフィルタ許可ビット		R/W

FLTEN_i ビット (IRQ_i デジタルフィルタ許可ビット) (i = 0 ~ 7)

IRQ_i 端子のデジタルフィルタの使用を許可するビットです。

FLTEN_i ビットが“1”のとき、デジタルフィルタが有効になります。FLTEN_i ビットが“0”のとき、デジタルフィルタ機能は無効です。

IRQFLTC0.FCLKSEL_i[1:0] ビットで設定したサンプリングクロックごとに IRQ_i 端子のレベルをサンプリングし、レベルが3回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「15.4.7 デジタルフィルタ」を参照してください。

15.2.10 IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)

アドレス ICU.IRQFLTC0 0008 7514h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FCLKSEL7[1:0]	FCLKSEL6[1:0]	FCLKSEL5[1:0]	FCLKSEL4[1:0]	FCLKSEL3[1:0]	FCLKSEL2[1:0]	FCLKSEL1[1:0]	FCLKSEL0[1:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0 デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLK 0 1 : PCLK/8	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1 デジタルフィルタサンプリングクロック設定ビット	1 0 : PCLK/32 1 1 : PCLK/64	R/W
b5-b4	FCLKSEL2[1:0]	IRQ2 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4 デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5 デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7 デジタルフィルタサンプリングクロック設定ビット		R/W

FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 0 ~ 7)

IRQ_i 端子のデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8 クロックに 1 回)、PCLK/32 (32 クロックに 1 回)、PCLK/64 (64 クロックに 1 回) より選択します。

デジタルフィルタの詳細は、「15.4.7 デジタルフィルタ」を参照してください。

15.2.11 ノンマスクابل割り込みステータスレジスタ (NMISR)

アドレス ICU.NMISR 0008 7580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	VBATS T	LVD2S T	LVD1S T	IWDTS T	WDTST	OSTST	NMIST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0: NMI端子割り込み要求なし 1: NMI端子割り込み要求あり	R
b1	OSTST	発振停止検出割り込みステータスフラグ	0: 発振停止検出割り込み要求なし 1: 発振停止検出割り込み要求あり	R
b2	WDTST	WDTアンダフロー/リフレッシュエラーステータスフラグ	0: WDTアンダフロー/リフレッシュエラー割り込み要求なし 1: WDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b3	IWDTS	IWDTアンダフロー/リフレッシュエラーステータスフラグ	0: IWDTアンダフロー/リフレッシュエラー割り込み要求なし 1: IWDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b4	LVD1ST	電圧監視1割り込みステータスフラグ	0: 電圧監視1割り込み要求なし 1: 電圧監視1割り込み要求あり	R
b5	LVD2ST	電圧監視2割り込みステータスフラグ	0: 電圧監視2割り込み要求なし 1: 電圧監視2割り込み要求あり	R
b6	VBATST	VBATT電圧監視割り込みステータスフラグ	0: VBATTの電圧監視割り込み要求なし 1: VBATTの電圧監視割り込み要求あり	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスクابل割り込み要因のステータスをモニタするレジスタです。NMISR レジスタへの書き込みは無視されます。

ノンマスクابل割り込み許可レジスタ (NMICR) の設定はこれらステータスフラグには影響しません。

ノンマスクابل割り込みハンドラが終了する前に NMISR レジスタを読み出し、他のノンマスクابل割り込みの発生状況を確認してください。NMISR レジスタの全ビットが“0”であることを確認してから、ハンドラを終了してください。

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求を示します。

NMIST フラグは読み出しのみ可能で、クリアは NMICLR.NMICLR ビットによって行います。

[“1”になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

[“0”になる条件]

- NMICLR.NMICLR ビットに“1”を書いたとき

OSTST フラグ (発振停止検出割り込みステータスフラグ)

発振停止検出割り込み要求を示します。

OSTST フラグは読み出しのみ可能で、クリアは NMICLR.OSTCLR ビットによって行います。

[“1”になる条件]

- 発振停止検出割り込みが発生したとき

[“0”になる条件]

- NMICLR.OSTCLR ビットに“1”を書いたとき

WDTST フラグ (WDT アンダフロー / リフレッシュエラーステータスフラグ)

WDT アンダフロー / リフレッシュエラー割り込み要求を示します。

WDTST フラグは読み出しのみ可能で、クリアは NMICLR.WDTCLR ビットによって行います。

["1" になる条件]

- WDT アンダフロー / リフレッシュエラー割り込みが発生したとき

["0" になる条件]

- NMICLR.WDTCLR ビットに "1" を書いたとき

IWDTST フラグ (IWDT アンダフロー / リフレッシュエラーステータスフラグ)

IWDT アンダフロー / リフレッシュエラー割り込み要求を示します。

IWDTST フラグは読み出しのみ可能で、クリアは NMICLR.IWDTCLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、IWDT アンダフロー / リフレッシュエラー割り込みが発生したとき

["0" になる条件]

- NMICLR.IWDTCLR ビットに "1" を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータスフラグ)

電圧監視 1 割り込み要求を示します。

LVD1ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD1CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 1 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD1CLR ビットに "1" を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータスフラグ)

電圧監視 2 割り込み要求を示します。

LVD2ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD2CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 2 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD2CLR ビットに "1" を書いたとき

VBATST フラグ (VBATT 電圧監視割り込みステータスフラグ)

VBATT 電圧監視割り込み要求を示します。

["1" になる条件]

- 発生元が割り込み発生許可で、VBATT 電圧監視割り込みが発生したとき

["0" になる条件]

- NMICLR.VBATCLR ビットに "1" を書いたとき。

15.2.12 ノンマスクブル割り込み許可レジスタ (NMIER)

アドレス ICU.NMIER 0008 7581h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	VBATE N	LVD2E N	LVD1E N	IWDTE N	WDTE N	OSTEN	NMIEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI端子割り込み許可ビット	0 : NMI端子割り込み禁止 1 : NMI端子割り込み許可	R/(W) (注1)
b1	OSTEN	発振停止検出割り込み許可ビット	0 : 発振停止検出割り込み禁止 1 : 発振停止検出割り込み許可	R/(W) (注1)
b2	WDTEN	WDTアンダフロー/リフレッシュエラー許可ビット	0 : WDTアンダフロー/リフレッシュエラー割り込み禁止 1 : WDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b3	IWDTEN	IWDTアンダフロー/リフレッシュエラー許可ビット	0 : IWDTアンダフロー/リフレッシュエラー割り込み禁止 1 : IWDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b4	LVD1EN	電圧監視1割り込み許可ビット	0 : 電圧監視1割り込み禁止 1 : 電圧監視1割り込み許可	R/(W) (注1)
b5	LVD2EN	電圧監視2割り込み許可ビット	0 : 電圧監視2割り込み禁止 1 : 電圧監視2割り込み許可	R/(W) (注1)
b6	VBATEN	VBATT電圧監視割り込み許可ビット	0 : VBATTの電圧監視割り込み禁止 1 : VBATTの電圧監視割り込み許可	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 1回だけ“1”を書くことができます。以後の書き込みは無効です。

NMIEN ビット (NMI 端子割り込み許可ビット)

NMI 端子割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

OSTEN ビット (発振停止検出割り込み許可ビット)

発振停止検出割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

WDTEN ビット (WDT アンダフロー/リフレッシュエラー許可ビット)

WDT アンダフロー/リフレッシュエラー割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

IWDTEN ビット (IWDT アンダフロー/リフレッシュエラー許可ビット)

IWDT アンダフロー/リフレッシュエラー割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD1EN ビット (電圧監視 1 割り込み許可ビット)

電圧監視 1 割り込みの使用を許可するビットです。

1 回だけ“1”を書くことができます。以後の書き込みは無効です。
“0”を書くことはできません。

LVD2EN ビット (電圧監視 2 割り込み許可ビット)

電圧監視 2 割り込みの使用を許可するビットです。

1 回だけ“1”を書くことができます。以後の書き込みは無効です。
“0”を書くことはできません。

VBATEN ビット (VBATT 電圧監視割り込み許可ビット)

VBATT 電圧監視割り込みの使用を許可するビットです。

1 回だけ“1”を書くことができます。以後の書き込みは無効です。
“0”を書くことはできません。

15.2.13 ノンマスクブル割り込みステータスクリアレジスタ (NMICLR)

アドレス ICU.NMICLR 0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	VBATCLR	LVD2CLR	LVD1CLR	IWDTCLR	WDTCLR	OSTCLR	NMICLR

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.NMISTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b1	OSTCLR	OSTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.OSTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b2	WDTCLR	WDTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.WDTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b3	IWDTCLR	IWDTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.IWDTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b4	LVD1CLR	LVD1クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD1STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b5	LVD2CLR	LVD2クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD2STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b6	VBATCLR	VBATクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.VBATSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

NMICLR ビット (NMI クリアビット)

“1”を書くと、NMISR.NMIST フラグは“0”になります。読むと“0”が読めます。

OSTCLR ビット (OST クリアビット)

“1”を書くと、NMISR.OSTST フラグは“0”になります。読むと“0”が読めます。

WDTCLR ビット (WDT クリアビット)

“1”を書くと、NMISR.WDTST フラグは“0”になります。読むと“0”が読めます。

IWDTCLR ビット (IWDT クリアビット)

“1”を書くと、NMISR.IWDTST フラグは“0”になります。読むと“0”が読めます。

LVD1CLR ビット (LVD1 クリアビット)

“1”を書くと、NMISR.LVD1ST フラグは“0”になります。読むと“0”が読めます。

LVD2CLR ビット (LVD2 クリアビット)

“1”を書くと、NMISR.LVD2ST フラグは“0”になります。読むと“0”が読めます。

VBATCLR ビット (VBAT クリアビット)

“1”を書くと、NMISR.VBATST フラグは“0”になります。読むと“0”が読めます。

15.2.14 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス ICU.NMICR 0008 7583h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI検出設定ビット	0：立ち下がリエッジ 1：立ち上がりエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタによる設定変更は、NMI 端子割り込みの使用を許可 (NMIER.NMIEN ビットを“1”にする) する前に行ってください。

NMIMD ビット (NMI 検出設定ビット)

NMI 端子割り込みの検出方法を設定します。

15.2.15 NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)

アドレス ICU.NMIFLTE 0008 7590h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	NFLTE N
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMI デジタルフィルタ許可ビット	0：デジタルフィルタ無効 1：デジタルフィルタ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFLTEN ビット (NMI デジタルフィルタ許可ビット)

NMI 端子割り込みのデジタルフィルタの使用を許可するビットです。

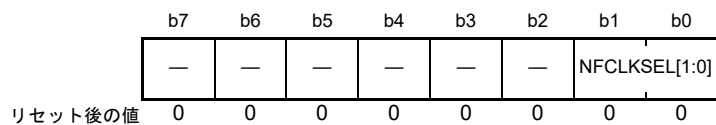
NFLTEN ビットが“1”のとき、デジタルフィルタが有効になります。NFLTEN ビットが“0”のとき、デジタルフィルタ機能は無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロックごとに NMI 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「15.4.7 デジタルフィルタ」を参照してください。

15.2.16 NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)

アドレス ICU.NMIFLTC 0008 7594h



ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリングクロック設定ビット	b1 b0 0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFCLKSEL[1:0] ビット (NMI デジタルフィルタサンプリングクロック設定ビット)

NMI 端子割り込みのデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8 クロックに 1 回)、PCLK/32 (32 クロックに 1 回)、PCLK/64 (64 クロックに 1 回) より選択します。

デジタルフィルタの詳細は、「15.4.7 デジタルフィルタ」を参照してください。

15.3 ベクタテーブル

割り込みコントローラで検出する例外事象には、割り込みとノンマスクابل割り込みがあります。

CPUが割り込み、またはノンマスクابل割り込みを受け付けた場合は、ベクタテーブルから4バイトのベクタアドレスを取得します。

15.3.1 割り込みのベクタテーブル

割り込みのベクタテーブルは、CPUの割り込みテーブルレジスタ(INTB)に設定した番地から、1024バイト(4バイト×256要因分)の領域に連続に配置されます。INTBレジスタは割り込みを許可する前に設定してください。INTBレジスタに4の倍数を設定してください。

なお、INT命令、およびBRK命令を実行すると無条件トラップが発生します。無条件トラップのベクタは、表15.3の割り込みのベクタテーブルと同じ領域を利用します。BRK命令はベクタ番号0のみ、INT命令は指定した番号(0～255)のベクタとなります。

表15.3に割り込みのベクタテーブルを示します。表15.3の各項目の内容は以下のとおりです。

項目	内容
割り込み要求発生元	割り込み要求発生元の名称を示します
名称	割り込み名称を示します
ベクタ番号	ベクタ番号を示します
ベクタアドレスオフセット	ベクタベースアドレスオフセット値を示します
割り込みの検出方法	割り込みの検出方法を“エッジ”、“レベル”で示します
CPU割り込み	CPU割り込み要因を“○”で示します
DTC起動	DTC起動要因を“○”で示します
DMAC起動	DMAC起動要因を“○”で示します
sstb復帰	ソフトウェアスタンバイモードからの復帰要因を“○”で示します
IER	ベクタ番号に対応するIERレジスタ、ビット名を示します
IPR	割り込み要因に対応するIPRレジスタを示します
DTCER	DTC起動要因に対応するDTCERレジスタを示します

表 15.3 割り込みのベクタテーブル (1/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	sstb復帰	IER	IPR	DTCER
—	無条件トラップ専用	0	0000h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	1	0004h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	2	0008h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	3	000Ch	—	x	x	x	x	—	—	—
—	無条件トラップ専用	4	0010h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	5	0014h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	6	0018h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	7	001Ch	—	x	x	x	x	—	—	—
—	無条件トラップ専用	8	0020h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	9	0024h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	10	0028h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	11	002Ch	—	x	x	x	x	—	—	—
—	無条件トラップ専用	12	0030h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	13	0034h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	14	0038h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	15	003Ch	—	x	x	x	x	—	—	—
BSC	BUSERR	16	0040h	レベル	○	x	x	x	IER02.IEN0	IPR000	—
—	予約	17	0044h	—	x	x	x	x	—	—	—
—	予約	18	0048h	—	x	x	x	x	—	—	—
—	予約	19	004Ch	—	x	x	x	x	—	—	—
—	予約	20	0050h	—	x	x	x	x	—	—	—
—	予約	21	0054h	—	x	x	x	x	—	—	—
—	予約	22	0058h	—	x	x	x	x	—	—	—
FCU	FRDYI	23	005Ch	エッジ	○	x	x	x	IER02.IEN7	IPR002	—
—	予約	24	0060h	—	x	x	x	x	—	—	—
—	予約	25	0064h	—	x	x	x	x	—	—	—
—	予約	26	0068h	—	x	x	x	x	—	—	—
ICU	SWINT	27	006Ch	エッジ	○	○	x	x	IER03.IEN3	IPR003	DTCER027
CMT0	CMI0	28	0070h	エッジ	○	○	○	x	IER03.IEN4	IPR004	DTCER028
CMT1	CMI1	29	0074h	エッジ	○	○	○	x	IER03.IEN5	IPR005	DTCER029
CMT2	CMI2	30	0078h	エッジ	○	○	○	x	IER03.IEN6	IPR006	DTCER030
CMT3	CMI3	31	007Ch	エッジ	○	○	○	x	IER03.IEN7	IPR007	DTCER031
CAC	FERRF	32	0080h	レベル	○	x	x	x	IER04.IEN0	IPR032	—
	MENDF	33	0084h	レベル	○	x	x	x	IER04.IEN1	IPR033	—
	OVFF	34	0088h	レベル	○	x	x	x	IER04.IEN2	IPR034	—
—	予約	35	008Ch	—	x	x	x	x	—	—	—
USB0	DOFIFO0	36	0090h	エッジ	○	○	○	x	IER04.IEN4	IPR036	DTCER036
	D1FIFO0	37	0094h	エッジ	○	○	○	x	IER04.IEN5	IPR037	DTCER037
	USBIO	38	0098h	エッジ	○	x	x	x	IER04.IEN6	IPR038	—
—	予約	39	009Ch	—	x	x	x	x	—	—	—
SDHI	SBFAI	40	00A0h	エッジ	○	○	○	x	IER05.IEN0	IPR040	DTCER040
	CDETI	41	00A4h	レベル	○	x	x	x	IER05.IEN1	IPR041	—
	CACI	42	00A8h	レベル	○	x	x	x	IER05.IEN2	IPR042	—
	SDACI	43	00ACh	レベル	○	x	x	x	IER05.IEN3	IPR043	—

表 15.3 割り込みのベクタテーブル (2/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	sstb復帰	IER	IPR	DTCER
RSPi0	SPEi0	44	00B0h	レベル	○	×	×	×	IER05.IEN4	IPR044	—
	SPRi0	45	00B4h	エッジ	○	○	○	×	IER05.IEN5		DTCER045
	SPTi0	46	00B8h	エッジ	○	○	○	×	IER05.IEN6		DTCER046
	SPiI0	47	00BCh	レベル	○	×	×	×	IER05.IEN7		—
—	予約	48	00C0h	—	×	×	×	×	—	—	—
—	予約	49	00C4h	—	×	×	×	×	—	—	—
—	予約	50	00C8h	—	×	×	×	×	—	—	—
—	予約	51	00CCh	—	×	×	×	×	—	—	—
RSCAN	COMFRXINT	52	00D0h	エッジ	○	○	○	×	IER06.IEN4	IPR052	DTCER052
	RXFINT	53	00D4h	レベル	○	×	×	×	IER06.IEN5	IPR053	—
	TXINT	54	00D8h	レベル	○	×	×	×	IER06.IEN6	IPR054	—
	CHERRINT	55	00DCh	レベル	○	×	×	×	IER06.IEN7	IPR055	—
	GLERRINT	56	00E0h	レベル	○	×	×	×	IER07.IEN0	IPR056	—
DOC	DOPCF	57	00E4h	レベル	○	×	×	×	IER07.IEN1	IPR057	—
CMPB	CMPB0	58	00E8h	エッジ	○	○	○	×	IER07.IEN2	IPR058	DTCER058
	CMPB1	59	00ECh	エッジ	○	○	○	×	IER07.IEN3	IPR059	DTCER059
CTSU	CTSUWR	60	00F0h	エッジ	○	○	○	×	IER07.IEN4	IPR060	DTCER060
	CTSURD	61	00F4h	エッジ	○	○	○	×	IER07.IEN5		DTCER061
	CTSUFN	62	00F8h	エッジ	○	×	×	×	IER07.IEN6		—
RTC	CUP	63	00FCh	エッジ	○	×	×	×	IER07.IEN7	IPR063	—
ICU	IRQ0	64	0100h	エッジ/レベル	○	○	○	○	IER08.IEN0	IPR064	DTCER064
	IRQ1	65	0104h	エッジ/レベル	○	○	○	○	IER08.IEN1	IPR065	DTCER065
	IRQ2	66	0108h	エッジ/レベル	○	○	○	○	IER08.IEN2	IPR066	DTCER066
	IRQ3	67	010Ch	エッジ/レベル	○	○	○	○	IER08.IEN3	IPR067	DTCER067
	IRQ4	68	0110h	エッジ/レベル	○	○	×	○	IER08.IEN4	IPR068	DTCER068
	IRQ5	69	0114h	エッジ/レベル	○	○	×	○	IER08.IEN5	IPR069	DTCER069
	IRQ6	70	0118h	エッジ/レベル	○	○	×	○	IER08.IEN6	IPR070	DTCER070
	IRQ7	71	011Ch	エッジ/レベル	○	○	×	○	IER08.IEN7	IPR071	DTCER071
—	予約	72	0120h	—	×	×	×	×	—	—	—
—	予約	73	0124h	—	×	×	×	×	—	—	—
—	予約	74	0128h	—	×	×	×	×	—	—	—
—	予約	75	012Ch	—	×	×	×	×	—	—	—
—	予約	76	0130h	—	×	×	×	×	—	—	—
—	予約	77	0134h	—	×	×	×	×	—	—	—
—	予約	78	0138h	—	×	×	×	×	—	—	—
—	予約	79	013Ch	—	×	×	×	×	—	—	—
ELC	ELSR8I	80	0140h	エッジ	○	×	×	○	IER0A.IEN0	IPR080	—
—	予約	81	0144h	—	×	×	×	×	—	—	—
—	予約	82	0148h	—	×	×	×	×	—	—	—
—	予約	83	014Ch	—	×	×	×	×	—	—	—
—	予約	84	0150h	—	×	×	×	×	—	—	—
—	予約	85	0154h	—	×	×	×	×	—	—	—
—	予約	86	0158h	—	×	×	×	×	—	—	—
—	予約	87	015Ch	—	×	×	×	×	—	—	—
LVD/CMPA	LVD1/CMPA1	88	0160h	エッジ	○	×	×	○	IER0B.IEN0	IPR088	—
	LVD2/CMPA2	89	0164h	エッジ	○	×	×	○	IER0B.IEN1	IPR089	—
USB0	USB0	90	0168h	レベル	○	×	×	○	IER0B.IEN2	IPR090	—

表 15.3 割り込みのベクタテーブル (3/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssrb復帰	IER	IPR	DTCER
VBATT	VBTLVDI	91	016Ch	エッジ	○	×	×	○	IER0B.IEN3	IPR091	—
RTC	ALM	92	0170h	エッジ	○	×	×	○	IER0B.IEN4	IPR092	—
	PRD	93	0174h	エッジ	○	×	×	○	IER0B.IEN5	IPR093	—
—	予約	94	0178h	—	×	×	×	×	—	—	—
—	予約	95	017Ch	—	×	×	×	×	—	—	—
—	予約	96	0180h	—	×	×	×	×	—	—	—
—	予約	97	0184h	—	×	×	×	×	—	—	—
—	予約	98	0188h	—	×	×	×	×	—	—	—
—	予約	99	018Ch	—	×	×	×	×	—	—	—
—	予約	100	0190h	—	×	×	×	×	—	—	—
—	予約	101	0194h	—	×	×	×	×	—	—	—
S12AD	S12ADI0	102	0198h	エッジ	○	○	○	×	IER0C.IEN6	IPR102	DTCER102
	GBADI	103	019Ch	エッジ	○	○	○	×	IER0C.IEN7	IPR103	DTCER103
CMPB1	CMPB2	104	01A0h	エッジ	○	○	○	×	IER0D.IEN0	IPR104	DTCER104
	CMPB3	105	01A4h	エッジ	○	○	○	×	IER0D.IEN1	IPR105	DTCER105
ELC	ELSR18I	106	01A8h	エッジ	○	○	○	×	IER0D.IEN2	IPR106	DTCER106
	ELSR19I	107	01ACh	エッジ	○	○	○	×	IER0D.IEN3	IPR107	DTCER107
SSIO	SSIF0	108	01B0h	レベル	○	×	×	×	IER0D.IEN4	IPR108	—
	SSIRX10	109	01B4h	エッジ	○	○	○	×	IER0D.IEN5		DTCER109
	SSITX10	110	01B8h	エッジ	○	○	○	×	IER0D.IEN6		DTCER110
TSIP	RD	111	01BCh	エッジ	○	○	○	×	IER0D.IEN7	IPR111	DTCER111
	WR	112	01C0h	エッジ	○	○	○	×	IER0E.IEN0		DTCER112
	ERR	113	01C4h	エッジ	○	×	×	×	IER0E.IEN1	IPR113	—
MTU0	TGIA0	114	01C8h	エッジ	○	○	○	×	IER0E.IEN2	IPR114	DTCER114
	TGIB0	115	01CCh	エッジ	○	○	×	×	IER0E.IEN3		DTCER115
	TGIC0	116	01D0h	エッジ	○	○	×	×	IER0E.IEN4		DTCER116
	TGID0	117	01D4h	エッジ	○	○	×	×	IER0E.IEN5		DTCER117
	TCIV0	118	01D8h	エッジ	○	×	×	×	IER0E.IEN6	IPR118	—
	TGIE0	119	01DCh	エッジ	○	×	×	×	IER0E.IEN7		—
	TGIF0	120	01E0h	エッジ	○	×	×	×	IER0F.IEN0		—
MTU1	TGIA1	121	01E4h	エッジ	○	○	○	×	IER0F.IEN1	IPR121	DTCER121
	TGIB1	122	01E8h	エッジ	○	○	×	×	IER0F.IEN2		DTCER122
	TCIV1	123	01ECh	エッジ	○	×	×	×	IER0F.IEN3	IPR123	—
	TCIU1	124	01F0h	エッジ	○	×	×	×	IER0F.IEN4		—
MTU2	TGIA2	125	01F4h	エッジ	○	○	○	×	IER0F.IEN5	IPR125	DTCER125
	TGIB2	126	01F8h	エッジ	○	○	×	×	IER0F.IEN6		DTCER126
	TCIV2	127	01FCh	エッジ	○	×	×	×	IER0F.IEN7	IPR127	—
	TCIU2	128	0200h	エッジ	○	×	×	×	IER10.IEN0		—
MTU3	TGIA3	129	0204h	エッジ	○	○	○	×	IER10.IEN1	IPR129	DTCER129
	TGIB3	130	0208h	エッジ	○	○	×	×	IER10.IEN2		DTCER130
	TGIC3	131	020Ch	エッジ	○	○	×	×	IER10.IEN3		DTCER131
	TGID3	132	0210h	エッジ	○	○	×	×	IER10.IEN4		DTCER132
	TCIV3	133	0214h	エッジ	○	×	×	×	IER10.IEN5	IPR133	—

表 15.3 割り込みのベクタテーブル (4/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssb復帰	IER	IPR	DTCER
MTU4	TGI4A	134	0218h	エッジ	○	○	○	×	IER10.IEN6	IPR134	DTCER134
	TGI4B	135	021Ch	エッジ	○	○	×	×	IER10.IEN7		DTCER135
	TGI4C	136	0220h	エッジ	○	○	×	×	IER11.IEN0		DTCER136
	TGI4D	137	0224h	エッジ	○	○	×	×	IER11.IEN1		DTCER137
	TCI4V	138	0228h	エッジ	○	○	×	×	IER11.IEN2	IPR138	DTCER138
MTU5	TGI5U	139	022Ch	エッジ	○	○	×	×	IER11.IEN3	IPR139	DTCER139
	TGI5V	140	0230h	エッジ	○	○	×	×	IER11.IEN4		DTCER140
	TGI5W	141	0234h	エッジ	○	○	×	×	IER11.IEN5		DTCER141
TPU0	TGI0A	142	0238h	エッジ	○	○	○	×	IER11.IEN6	IPR142	DTCER142
	TGI0B	143	023Ch	エッジ	○	○	×	×	IER11.IEN7		DTCER143
	TGI0C	144	0240h	エッジ	○	○	×	×	IER12.IEN0		DTCER144
	TGI0D	145	0244h	エッジ	○	○	×	×	IER12.IEN1		DTCER145
	TCI0V	146	0248h	エッジ	○	×	×	×	IER12.IEN2	IPR146	—
TPU1	TGI1A	147	024Ch	エッジ	○	○	○	×	IER12.IEN3	IPR147	DTCER147
	TGI1B	148	0250h	エッジ	○	○	×	×	IER12.IEN4		DTCER148
	TCI1V	149	0254h	エッジ	○	×	×	×	IER12.IEN5	IPR149	—
	TCI1U	150	0258h	エッジ	○	×	×	×	IER12.IEN6		—
TPU2	TGI2A	151	025Ch	エッジ	○	○	○	×	IER12.IEN7	IPR151	DTCER151
	TGI2B	152	0260h	エッジ	○	○	×	×	IER13.IEN0		DTCER152
	TCI2V	153	0264h	エッジ	○	×	×	×	IER13.IEN1	IPR153	—
	TCI2U	154	0268h	エッジ	○	×	×	×	IER13.IEN2		—
TPU3	TGI3A	155	026Ch	エッジ	○	○	○	×	IER13.IEN3	IPR155	DTCER155
	TGI3B	156	0270h	エッジ	○	○	×	×	IER13.IEN4		DTCER156
	TGI3C	157	0274h	エッジ	○	○	×	×	IER13.IEN5		DTCER157
	TGI3D	158	0278h	エッジ	○	○	×	×	IER13.IEN6		DTCER158
	TCI3V	159	027Ch	エッジ	○	×	×	×	IER13.IEN7	IPR159	—
TPU4	TGI4A	160	0280h	エッジ	○	○	○	×	IER14.IEN0	IPR160	DTCER160
	TGI4B	161	0284h	エッジ	○	○	×	×	IER14.IEN1		DTCER161
	TCI4V	162	0288h	エッジ	○	×	×	×	IER14.IEN2	IPR162	—
	TCI4U	163	028Ch	エッジ	○	×	×	×	IER14.IEN3		—
TPU5	TGI5A	164	0290h	エッジ	○	○	○	×	IER14.IEN4	IPR164	DTCER164
	TGI5B	165	0294h	エッジ	○	○	×	×	IER14.IEN5		DTCER165
	TCI5V	166	0298h	エッジ	○	×	×	×	IER14.IEN6	IPR166	—
	TCI5U	167	029Ch	エッジ	○	×	×	×	IER14.IEN7		—
—	予約	168	02A0h	—	×	×	×	×	—	—	—
—	予約	169	02A4h	—	×	×	×	×	—	—	—
POE	OEI1	170	02A8h	レベル	○	×	×	×	IER15.IEN2	IPR170	—
	OEI2	171	02ACh	レベル	○	×	×	×	IER15.IEN3		IPR171
—	予約	172	02B0h	—	×	×	×	×	—	—	—
—	予約	173	02B4h	—	×	×	×	×	—	—	—
TMR0	CMIA0	174	02B8h	エッジ	○	○	×	×	IER15.IEN6	IPR174	DTCER174
	CMIB0	175	02BCh	エッジ	○	○	×	×	IER15.IEN7		DTCER175
	OVI0	176	02C0h	エッジ	○	×	×	×	IER16.IEN0		—
TMR1	CMIA1	177	02C4h	エッジ	○	○	×	×	IER16.IEN1	IPR177	DTCER177
	CMIB1	178	02C8h	エッジ	○	○	×	×	IER16.IEN2		DTCER178
	OVI1	179	02CCh	エッジ	○	×	×	×	IER16.IEN3		—

表 15.3 割り込みのベクタテーブル (5/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssrb復帰	IER	IPR	DTCER
TMR2	CMIA2	180	02D0h	エッジ	○	○	×	×	IER16.IEN4	IPR180	DTCER180
	CMIB2	181	02D4h	エッジ	○	○	×	×	IER16.IEN5		DTCER181
	OVI2	182	02D8h	エッジ	○	×	×	×	IER16.IEN6		—
TMR3	CMIA3	183	02DCh	エッジ	○	○	×	×	IER16.IEN7	IPR183	DTCER183
	CMIB3	184	02E0h	エッジ	○	○	×	×	IER17.IEN0		DTCER184
	OVI3	185	02E4h	エッジ	○	×	×	×	IER17.IEN1		—
—	予約	186	02E8h	—	×	×	×	×	—	—	—
—	予約	187	02ECh	—	×	×	×	×	—	—	—
—	予約	188	02F0h	—	×	×	×	×	—	—	—
—	予約	189	02F4h	—	×	×	×	×	—	—	—
—	予約	190	02F8h	—	×	×	×	×	—	—	—
—	予約	191	02FCh	—	×	×	×	×	—	—	—
—	予約	192	0300h	—	×	×	×	×	—	—	—
—	予約	193	0304h	—	×	×	×	×	—	—	—
—	予約	194	0308h	—	×	×	×	×	—	—	—
—	予約	195	030Ch	—	×	×	×	×	—	—	—
—	予約	196	0310h	—	×	×	×	×	—	—	—
—	予約	197	0314h	—	×	×	×	×	—	—	—
DMAC	DMAC0I	198	0318h	エッジ	○	○	×	×	IER18.IEN6	IPR198	DTCER198
	DMAC1I	199	031Ch	エッジ	○	○	×	×	IER18.IEN7	IPR199	DTCER199
	DMAC2I	200	0320h	エッジ	○	○	×	×	IER19.IEN0	IPR200	DTCER200
	DMAC3I	201	0324h	エッジ	○	○	×	×	IER19.IEN1	IPR201	DTCER201
—	予約	202	0328h	—	×	×	×	×	—	—	—
—	予約	203	032Ch	—	×	×	×	×	—	—	—
—	予約	204	0330h	—	×	×	×	×	—	—	—
—	予約	205	0334h	—	×	×	×	×	—	—	—
—	予約	206	0338h	—	×	×	×	×	—	—	—
—	予約	207	033Ch	—	×	×	×	×	—	—	—
—	予約	208	0340h	—	×	×	×	×	—	—	—
—	予約	209	0344h	—	×	×	×	×	—	—	—
—	予約	210	0348h	—	×	×	×	×	—	—	—
—	予約	211	034Ch	—	×	×	×	×	—	—	—
—	予約	212	0350h	—	×	×	×	×	—	—	—
—	予約	213	0354h	—	×	×	×	×	—	—	—
SCI0	ERI0	214	0358h	レベル	○	×	×	×	IER1A.IEN6	IPR214	—
	RX10	215	035Ch	エッジ	○	○	○	×	IER1A.IEN7		DTCER215
	TX10	216	0360h	エッジ	○	○	○	×	IER1B.IEN0		DTCER216
	TEI0	217	0364h	レベル	○	×	×	×	IER1B.IEN1		—
SCI1	ERI1	218	0368h	レベル	○	×	×	×	IER1B.IEN2	IPR218	—
	RX11	219	036Ch	エッジ	○	○	○	×	IER1B.IEN3		DTCER219
	TX11	220	0370h	エッジ	○	○	○	×	IER1B.IEN4		DTCER220
	TEI1	221	0374h	レベル	○	×	×	×	IER1B.IEN5		—
SCI5	ERI5	222	0378h	レベル	○	×	×	×	IER1B.IEN6	IPR222	—
	RX15	223	037Ch	エッジ	○	○	○	×	IER1B.IEN7		DTCER223
	TX15	224	0380h	エッジ	○	○	○	×	IER1C.IEN0		DTCER224
	TEI5	225	0384h	レベル	○	×	×	×	IER1C.IEN1		—

表 15.3 割り込みのベクタテーブル (6/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	DMAC起動	ssb復帰	IER	IPR	DTCER
SCI6	ERI6	226	0388h	レベル	○	×	×	×	IER1C.IEN2	IPR226	—
	RXI6	227	038Ch	エッジ	○	○	○	×	IER1C.IEN3		DTCER227
	TXI6	228	0390h	エッジ	○	○	○	×	IER1C.IEN4		DTCER228
	TEI6	229	0394h	レベル	○	×	×	×	IER1C.IEN5		—
SCI8	ERI8	230	0398h	レベル	○	×	×	×	IER1C.IEN6	IPR230	—
	RXI8	231	039Ch	エッジ	○	○	○	×	IER1C.IEN7		DTCER231
	TXI8	232	03A0h	エッジ	○	○	○	×	IER1D.IEN0		DTCER232
	TEI8	233	03A4h	レベル	○	×	×	×	IER1D.IEN1		—
SCI9	ERI9	234	03A8h	レベル	○	×	×	×	IER1D.IEN2	IPR234	—
	RXI9	235	03ACh	エッジ	○	○	○	×	IER1D.IEN3		DTCER235
	TXI9	236	03B0h	エッジ	○	○	○	×	IER1D.IEN4		DTCER236
	TEI9	237	03B4h	レベル	○	×	×	×	IER1D.IEN5		—
SCI12	ERI12	238	03B8h	レベル	○	×	×	×	IER1D.IEN6	IPR238	—
	RXI12	239	03BCh	エッジ	○	○	○	×	IER1D.IEN7		DTCER239
	TXI12	240	03C0h	エッジ	○	○	○	×	IER1E.IEN0		DTCER240
	TEI12	241	03C4h	レベル	○	×	×	×	IER1E.IEN1		—
	SCIX0	242	03C8h	レベル	○	×	×	×	IER1E.IEN2	IPR242	—
	SCIX1	243	03CCh	レベル	○	×	×	×	IER1E.IEN3	IPR243	—
	SCIX2	244	03D0h	レベル	○	×	×	×	IER1E.IEN4	IPR244	—
	SCIX3	245	03D4h	レベル	○	×	×	×	IER1E.IEN5	IPR245	—
RIIC0	E EI0	246	03D8h	レベル	○	×	×	×	IER1E.IEN6	IPR246	—
	RXI0	247	03DCh	エッジ	○	○	○	×	IER1E.IEN7	IPR247	DTCER247
	TXI0	248	03E0h	エッジ	○	○	○	×	IER1F.IEN0	IPR248	DTCER248
	TEI0	249	03E4h	レベル	○	×	×	×	IER1F.IEN1	IPR249	—
—	予約	250	03E8h	—	×	×	×	×	—	—	—
—	予約	251	03ECh	—	×	×	×	×	—	—	—
—	予約	252	03F0h	—	×	×	×	×	—	—	—
—	予約	253	03F4h	—	×	×	×	×	—	—	—
—	予約	254	03F8h	—	×	×	×	×	—	—	—
—	予約	255	03FCh	—	×	×	×	×	—	—	—

注1. ベクタ番号が小さいほど、優先順位は高くなります。

15.3.2 高速割り込みのベクタテーブル

高速割り込みに設定された割り込みのベクタテーブルは、CPUの高速割り込みベクタレジスタ (FINTV) です。

15.3.3 ノンマスカブル割り込みのベクタ領域

ノンマスカブル割り込みが使用するベクタ領域は、例外ベクタテーブルにあります。

例外ベクタテーブルは、CPUの例外テーブルレジスタ (EXTB) に設定したアドレスを先頭とする 128 バイト (4 バイト × 32 要因) の領域に配置されます。EXTB レジスタはノンマスカブル割り込みを許可する前に設定してください。また、EXTB レジスタには 4 の倍数を設定してください。

15.4 割り込みの動作説明

割り込みコントローラは次の処理を行います。

- 割り込み検出
- 割り込み許可 / 禁止制御
- 割り込み要求先 (CPU 割り込み、DTC 起動、DMAC 起動) の選択
- 割り込み優先順位判定

15.4.1 割り込み検出

割り込み要求の検出方法は、レベル検出とエッジ検出の2種類があります。

IRQ_i 端子 (i = 0 ~ 7) からの外部割り込み要求は、IRQCRi.IRQMD[1:0] ビットの設定によってエッジ検出とレベル検出を切り替えることができます。

周辺モジュールからの割り込み要求は、要因ごとにエッジ検出 / レベル検出が決まっています。

各要因に対応する検出方法は、「表 15.3 割り込みのベクタテーブル」を参照してください。

15.4.1.1 エッジ検出の割り込みステータスフラグ

周辺機能割り込みと、外部端子割り込みのエッジ検出の IR_n.IR フラグ (n = 割り込みベクタ番号) の動作を図 15.2 に示します。

割り込み要求が発生したときの割り込み信号の変化点で IR_n.IR フラグが“1”になります。割り込み要求先が CPU の場合、割り込みを受け付けると IR_n.IR フラグは自動的に“0”になります。割り込み要求先が DMAC、DTC の場合は、DMAC/DTC の転送設定、転送回数によって異なります。詳細は「表 15.4 DMAC/DTC 起動時の動作」を参照してください。ソフトウェアで IR_n.IR フラグをクリアする必要はありません。

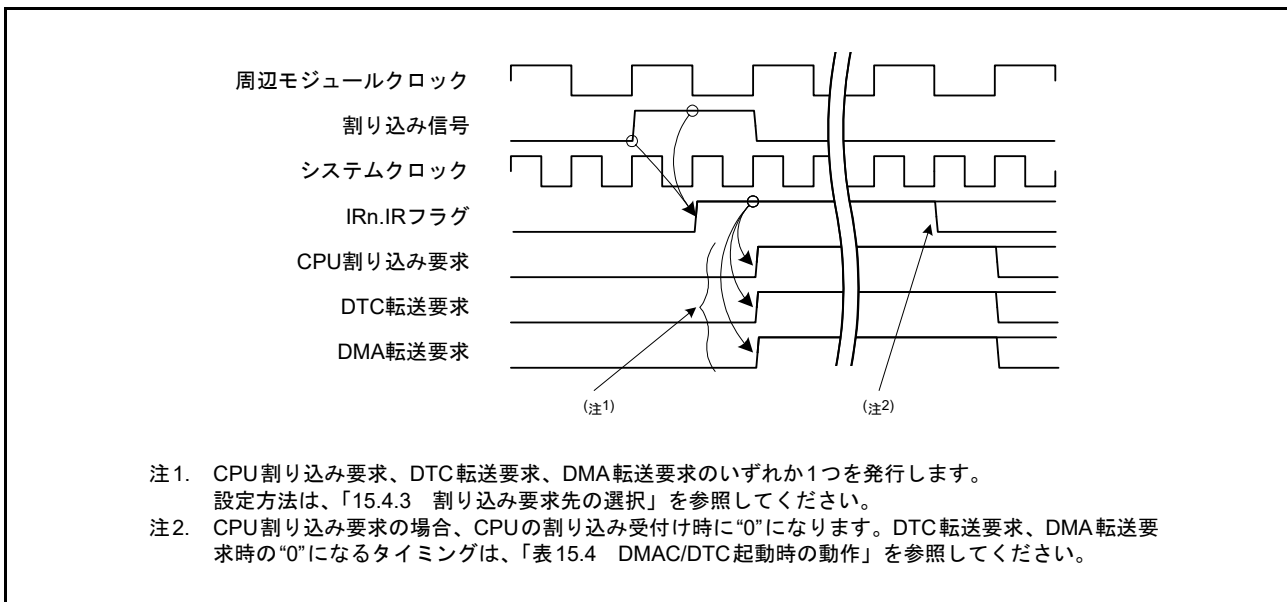


図 15.2 エッジ検出の IR_n.IR フラグ (n = 割り込みベクタ番号) の動作

図 15.3 ~ 図 15.6 の割り込み信号は、割り込みコントローラの信号です。割り込みベクタ番号 64 ~ 95 の割り込みでは、タイミングが他の割り込みと異なります。割り込みベクタ番号 64 ~ 79 の IRQ 端子割り込みの場合、IRQ 端子入力から内部遅延 + 2PCLK 分の遅延が増加します。割り込みベクタ番号 80 ~ 95 の割り込みの場合、2PCLK 分の遅延が増加します。

毎サイクル割り込み信号が発生した場合、後続する割り込みの検出はできません。連続する割り込み要求はシステムクロック、周辺モジュールクロックの周波数の遅い方のクロックで2サイクル以上間隔をあけてください。

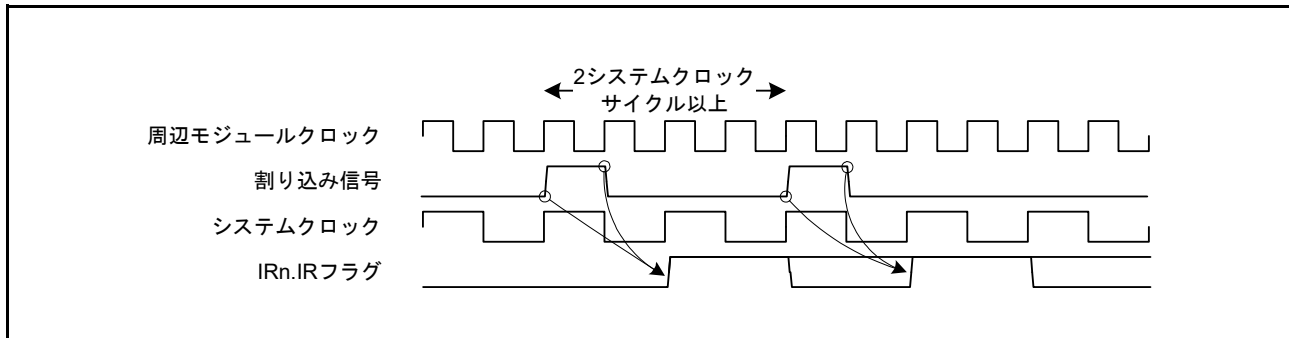


図 15.3 連続する割り込み要求発行の間隔 (システムクロック周波数 < 周辺モジュールクロック周波数の場合)

割り込み要求が発生し IRn.IR フラグが“1”の状態では、再度発生した割り込み要求は無視されます。(注 1) IRn.IR フラグの再セットのタイミングを図 15.4 に示します。

注 1. ただし、SCI、RSPI、RIIC、USB、SSI、SDHI、RSCAN の各送信割り込み / 受信割り込みの場合、IRn.IR フラグが“1”の状態では発生した割り込み要求は保持され、IRn.IR フラグが“0”になった後、保持された要求によって再度 IRn.IR フラグが“1”になります。詳細は、「33. シリアルコミュニケーションインタフェース (SCIg, SCIf)」、「35. I²C バスインタフェース (RIICa)」、「38. シリアルペリフェラルインタフェース (RSPIa)」の各割り込みの説明を参照してください。

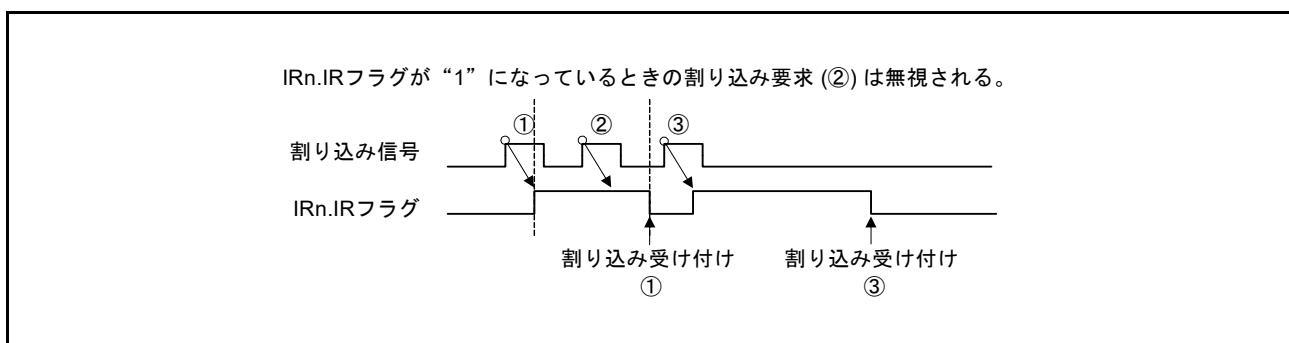


図 15.4 IRn.IR フラグの再セットのタイミング

IRn.IR フラグが“1”になった後、割り込みを禁止 (周辺モジュールの割り込み許可ビットで割り込み要求の出力を禁止) としても、IRn.IR フラグは影響を受けず保持されます。割り込みを禁止した場合の動作を図 15.5 に示します。

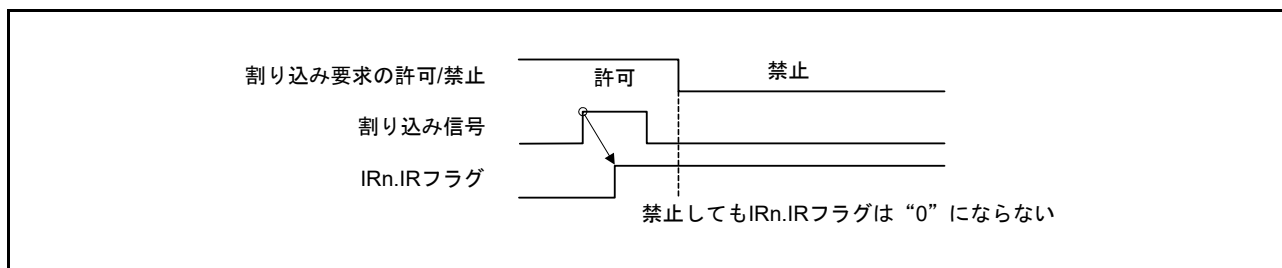


図 15.5 割り込み要求の禁止と IRn.IR フラグの関係

15.4.1.2 レベル検出の割り込みステータスフラグ

周辺機能割り込みと外部端子割り込みのレベル検出時の IRn.IR フラグ (n = 割り込みベクタ番号) の動作を図 15.6 に示します。

割り込み信号がアサートされている間、IRn.IR フラグを“1”にし続けます。IRn.IR フラグを“0”にするためには、割り込み発生元の割り込み要求を“0”にしてください。割り込み要求発生元の割り込み要求フラグが“0”になったことを確認、および IRn.IR フラグが“0”になったことを確認してから、割り込みハンドラを終了してください。

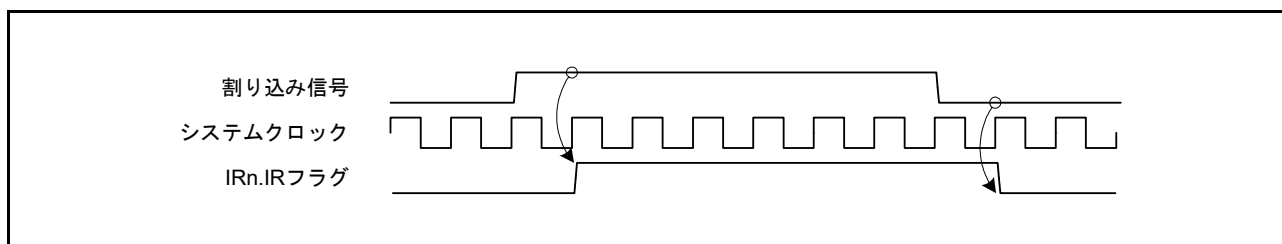


図 15.6 レベル検出時の IRn.IR フラグ (n = 割り込みベクタ番号) の動作

レベル検出割り込みの処理手順を図 15.7 に示します。

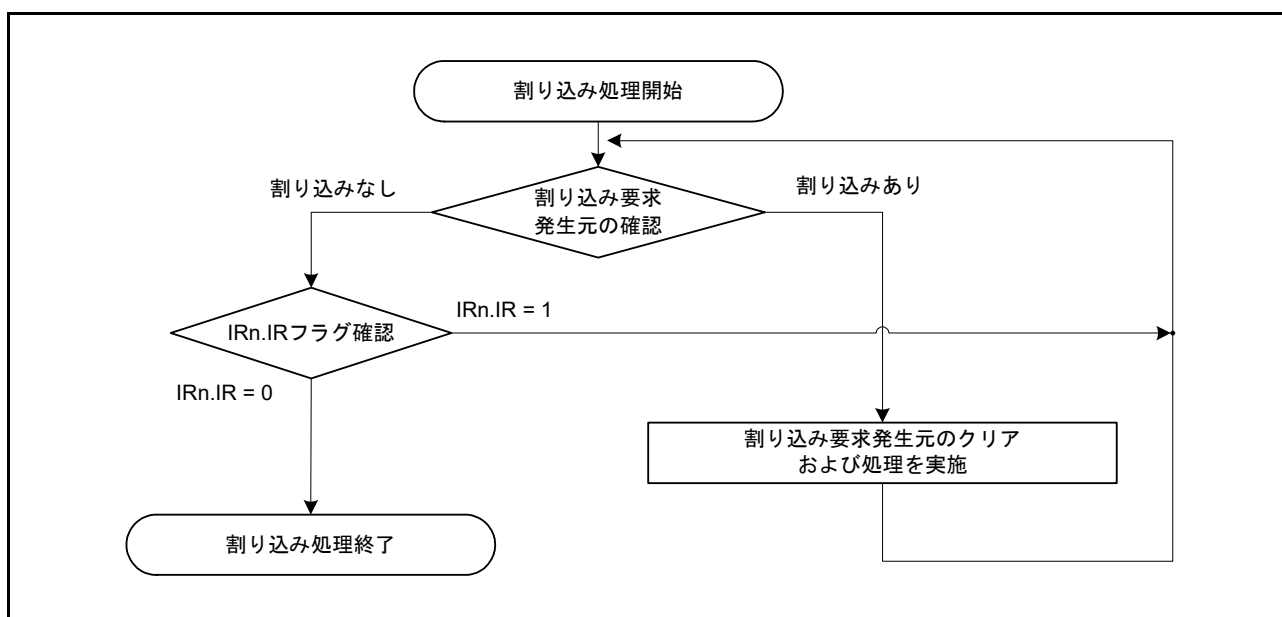


図 15.7 レベル検出割り込み処理手順

15.4.2 割り込み要求の許可 / 禁止

割り込み要求を許可するためには、以下の設定が必要です。

1. 周辺機能割り込みの場合、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可
2. IERm.IENj ビット ($m = 02h \sim 1Fh, j = 0 \sim 7$) によって割り込み要求を許可

割り込み発生元で割り込み出力が許可された割り込み要求が発生すると、対応する IRn.IR フラグ ($n =$ 割り込みベクタ番号) が“1”になります。

IERm.IENj ビットで割り込み要求を許可することで、IRn.IR フラグが“1”である割り込み要求が割り込み要求先へ出力されます。また、IERm.IENj ビットで割り込み要求を禁止することで、IRn.IR フラグが“1”になった割り込み要求は保留されます。

IRn.IR フラグは、IERm.IENj ビットの影響を受けません。

割り込み要求を禁止にする手順は以下のとおりです。

1. IERm.IENj ビットを割り込み要求禁止に設定する。
2. 周辺モジュールの割り込み出力許可ビットを禁止に設定し、書き込みを行ったレジスタを読んで、書き込み完了を確認する。
3. 必要に応じて、IRn.IR フラグを確認、もしくは IRn.IR フラグを“0”にする。(注1)

注 1. SCI、RSPI、RIIC の各送信割り込み / 受信割り込みを許可状態から禁止状態に変更する場合、上記の手順で IRn.IR フラグを“0”にしてください。詳細は、「33. シリアルコミュニケーションインタフェース (SCIg, SCIH)」、「35. I²C バスインタフェース (RIICa)」、「38. シリアルペリフェラルインタフェース (RSPIa)」の各割り込みの説明を参照してください。

15.4.3 割り込み要求先の選択

割り込み要因ごとに設定できる割り込み要求先は決められており、「表 15.3 割り込みのベクタテーブル」に示された要求先が設定できます。表 15.3 に「○」の記載がない割り込み要求先を選択しないでください。

IRQ_i 端子 (i = 0 ~ 7) で DTC/DMAC を割り込み要求先に設定する場合は、IRQCR_i.IRQMD[1:0] ビットをエッジ検出に設定してください。

割り込み要求先の設定方法を以下に示します。

(1) DMAC 起動

各要因ごとに、IER_m.IEN_j ビット (m = 02h ~ 1Fh, j = 0 ~ 7) が “0” のときに以下の設定を行ってください。

1. DMAC のチャンネルごとに用意されている DMAC 起動要因選択レジスタ (DMRSR_m) に該当割り込み要因ベクタ番号を指定 (注 1)
2. DMAC 該当チャンネルの起動要因 (DMAC_m.DMTMD.DCTG[1:0]) を “01b” (割り込みモジュール検出) に設定
3. DMAC の該当チャンネルの DMAC 転送要求許可 (DMAC_m.DMCNT.DTE) を “1” に設定する

上記の状態、IER_m.IEN_j ビットを “1” にしてください。

また、DMAC 動作許可ビット (DMAS_T.DMST) を “1” にしてください。各要因ごとの設定と DMAC 動作許可ビットの設定はどちらを先に行っても構いません。

DMAC の設定手順は、「18. DMA コントローラ (DMACA)」の「18.3.7 DMAC の起動」を参照してください。

(2) DTC 起動

各要因ごとに、IER_m.IEN_j ビット (m = 02h ~ 1Fh, j = 0 ~ 7) が “0” のときに以下の設定を行ってください。

1. 当該要因の DTC 転送要求許可レジスタの DTC 転送要求許可ビット (DTCER_n.DTCE (n = 割り込みベクタ番号)) を “1” に設定する (注 1)

上記の状態、IER_m.IEN_j ビットを “1” にしてください。

また、DTC モジュール起動ビット (DTCST.DTCST) を “1” にしてください。各要因ごとの設定と DTC モジュール起動ビットの設定はどちらを先に行っても構いません。

DTC の設定手順は、「19. データトランスファコントローラ (DTCa)」の「19.5 DTC の設定手順」を参照してください。

- 注 1. DTC 転送要求許可ビット (DTCER_n.DTCE) と DMAC 起動要因選択レジスタ (DMRSR_m) に同一の要因を設定しないでください。また、複数の DMRSR_m レジスタに同一の要因を設定しないでください。

(3) CPU 割り込み要求

割り込み要求先が DMAC でも DTC でもない要因は、CPU 割り込み対象となります。

上記の DMAC 起動、DTC 起動の設定がされていない状態で、IERm.IENj ビット ($m = 02h \sim 1Fh, j = 0 \sim 7$) を“1”にしてください。

DMAC や DTC を割り込み要求先に設定した場合の動作は、表 15.4 に示すとおりになります。

表 15.4 DMAC/DTC 起動時の動作

割り込み要求先	DISEL (注1)	残り転送回数	1要求ごとの動作	IR (注2)	転送後の割り込み要求先
DMAC	1	≠ 0	DMA 転送 → CPU 割り込み	CPU 割り込み受け付け時にクリア	DMAC
		= 0	DMA 転送 → CPU 割り込み	CPU 割り込み受け付け時にクリア	DMACm.DMCNT.DTE ビットがクリアされCPUに切り替え
	0	≠ 0	DMA 転送	DMAC 転送開始時にクリア	DMAC
		= 0	DMA 転送 (注3)	DMAC 転送開始時にクリア (注3)	DMACm.DMCNT.DTE ビットがクリアされCPUに切り替え
DTC (注4)	1	≠ 0	DTC 転送 → CPU 割り込み	CPU 割り込み受け付け時にクリア	DTC
		= 0	DTC 転送 → CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCEr.n.DTCE ビットがクリアされCPUに切り替え
	0	≠ 0	DTC 転送	DTC 転送情報読み出し後の DTC データ転送開始時にクリア	DTC
		= 0	DTC 転送 → CPU 割り込み (注3)	CPU 割り込み受け付け時にクリア (注3)	DTCEr.n.DTCE ビットがクリアされCPUに切り替え

注1. DMACのDISELはDMACm.DMCSL.DISELビットで、DTCのDISELはDTC.MRB.DISELビットで設定します。

注2. IRn.IRフラグが“1”のとき、再度発生した割り込み要求(DTC/DMA転送要求)は無視されます。

注3. DISEL = 0で、残り転送回数が“0”のときの動作はDTCとDMACで異なります。

注4. チェーン転送の場合は、チェーン最終転送までDTC転送を継続します。チェーン最終転送時のCPU割り込みの有無、IRn.IRフラグのクリア、転送後の割り込み要求先の各動作は、チェーン最終転送のDISEL、および残り転送回数によって決まります。チェーン転送については、「19. データトランスファコントローラ(DTCa)」の「表 19.3 チェーン転送の条件」を参照してください。

割り込み要求先を変更する場合はIERm.IENj ビットが“0”のときに行ってください。

「(1) DMAC 起動」を設定してから転送が完了していない状態 (DMACm.DMCNT.DTE ビットがクリアされていない状態) で、割り込み要求先を変更する場合、または DMA 起動要因を別要因に変更する場合は、次の手順で変更を行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを“0”にする。
2. DMAC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. 「(1) DMAC 起動」の設定を行う。

「(2) DTC 起動」を設定してから転送が完了していない状態 (DTCEr.n.DTCE ビット (n = 割り込みベクタ番号) がクリアされていない状態) で、割り込み要求先を変更する場合、または DTC 転送設定内容を変更する場合は、以下の手順で行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを“0”にする。
2. DTC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. 「(2) DTC 起動」の設定を行う。

15.4.4 優先順位の判定

割り込みコントローラは、割り込み要求先ごとに優先順位の判定を行います。それぞれの割り込み要求先に対する優先順位判定方法は以下のとおりです。

(1) 割り込み要求先が CPU の場合の優先順位判定

高速割り込みに設定された要因が最も優先されます。その次に割り込み優先レベル設定ビット (IPRn.IPR[3:0] (n = 割り込みベクタ番号)) の値が大きい要因が優先されます。IPRn.IPR[3:0] ビットの値が同一レベルの要因が複数ある場合には、ベクタ番号が小さい要因が優先されます。

(2) 割り込み要求先が DTC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。ベクタ番号が小さい要因が優先されます。

(3) 割り込み要求先が DMAC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。DMAC チャネルの優先順位については「18. DMA コントローラ (DMACA)」を参照してください。

15.4.5 多重割り込み

CPU の多重割り込みを許可するには、受け付けた割り込みの処理ルーチン内で PSW.I ビットを“1”(割り込み許可)にしてください。

割り込み処理ルーチンに分岐した直後の PSW.IPL[3:0] ビットは、受け付けた割り込み要求の割り込み優先レベルと同じ値になっています。このとき、PSW.IPL[3:0] ビットより高い割り込み優先レベルの割り込み要求が発生すると、この割り込み要求の受け付け (多重割り込み) が行われます。

受け付けた割り込み要求の割り込み優先レベルが 15 (高速割り込み、IPR[3:0] を“1111b”に設定した割り込み) の場合は、多重割り込みは発生しません。

15.4.6 高速割り込み

高速割り込みは、CPU の割り込み応答を高速に実行できる割り込みで、割り込み要因のうちの 1 つだけを割り当てることができます。

高速割り込みの割り込み優先レベルは、IPRn.IPR[3:0] ビット (n = 割り込みベクタ番号) の設定にかかわらず、15 (最高) です。また、他のレベル 15 の割り込み要因よりも優先的に受け付けられます。ただし、PSW.IPL[3:0] ビットの値が“1111b” (優先レベル 15) の場合は、高速割り込みも受け付けられません。

割り込み要因を高速割り込みに割り当てするには、FIR.FVCT[7:0] ビットにその要因のベクタ番号を設定し、FIR.FIEN ビットを“1”(高速割り込みを許可)にしてください。

高速割り込みについては「2. CPU」や「14. 例外処理」も参照してください。

15.4.7 デジタルフィルタ

外部割り込み要求端子 IRQ_i ($i=0\sim 7$) と NMI 端子割り込みには、デジタルフィルタ機能を持っています。デジタルフィルタは入力信号をフィルタ用サンプリングクロック (PCLK) でサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

IRQ_i 端子のデジタルフィルタを使用する場合、 $IRQFLTC0.FCLKSELi[1:0]$ ビットでサンプリング周波数 (PCLK, PCLK/8, PCLK/32, PCLK/64) を設定し、 $IRQFLTE0.FLTENi$ ビットを“1”(デジタルフィルタ有効) にしてください。

NMI 端子割り込みのデジタルフィルタを使用する場合、 $NMIFLTC.NFCLKSEL[1:0]$ ビットでサンプリング周波数 (PCLK, PCLK/8, PCLK/32, PCLK/64) を設定し、 $NMIFLTE.NFLTEN$ ビットを“1”(デジタルフィルタ有効) にしてください。

図 15.8 にデジタルフィルタの動作例を示します。

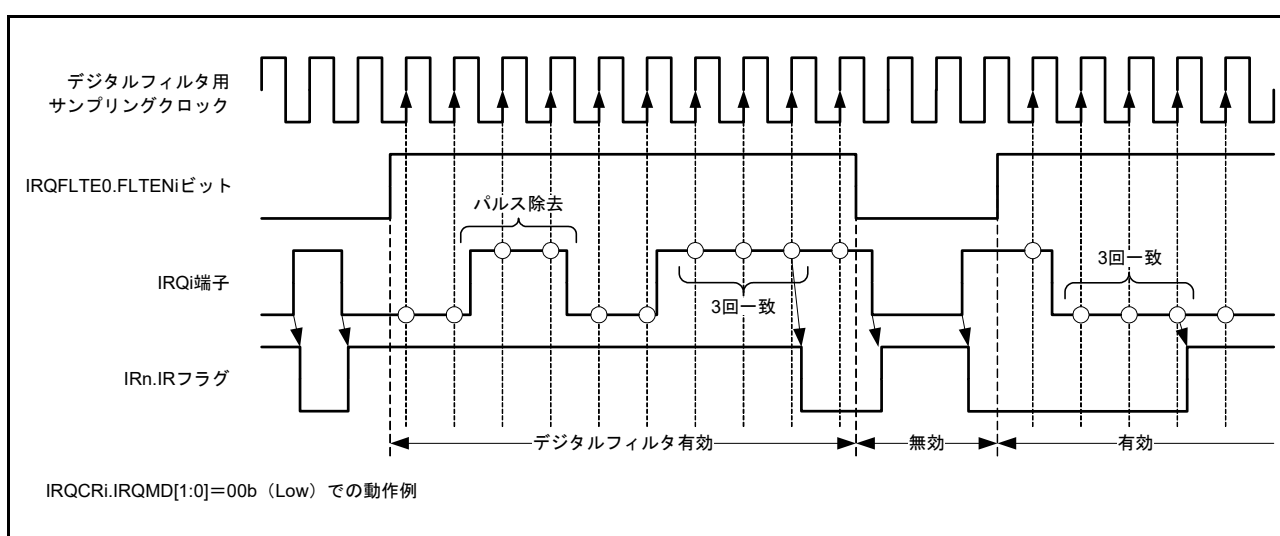


図 15.8 デジタルフィルタ動作例

ソフトウェアスタンバイモードに移行する際は、 $IRQFLTE0.FLTENi$ ビット、および $NMIFLTE.NFLTEN$ ビットを“0”(デジタルフィルタ無効) にしてください。ソフトウェアスタンバイモードからの復帰後に再度デジタルフィルタを使用する場合は、 $IRQFLTE0.FLTENi$ ビット、もしくは $NMIFLTE.NFLTEN$ ビットを“1”(デジタルフィルタ有効) にしてください。

15.4.8 外部端子割り込み

外部端子割り込みを使用する手順は以下のとおりです。

1. IERm.IENj ビット ($m = 02h \sim 1Fh, j = 0 \sim 7$) を “0” (割り込み要求禁止) にする。
2. IRQFLTE0.FLTENi ビット ($i = 0 \sim 7$) を “0” (デジタルフィルタ無効) にする。(注1)
3. IRQFLTC0.FCLKSELi[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する。(注1)
4. I/O ポートの設定、および確認を行う。
5. IRQCRi.IRQMD[1:0] ビットで検出方法を設定する。
6. IRn.IR フラグ ($n =$ 割り込みベクタ番号) を “0” にする (エッジ検出の場合)。
7. IRQFLTE0.FLTENi ビットを “1” (デジタルフィルタ有効) にする。(注1)
8. DMAC 起動の場合 DMRSRm.DMRS[7:0] ビットを、DTC 起動の場合 DTCERn.DTCE ビットを設定する (どちらも設定しない場合は CPU 割り込み)。
9. IERm.IENj ビットを “1” (割り込み要求許可) にする。

注1. デジタルフィルタを使用する場合、設定が必要です。

15.5 ノンマスクابل割り込みの動作説明

ノンマスクابل割り込みにはNMI端子割り込み、発振停止検出割り込み、WDTアンダフロー/リフレッシュエラー、IWDTアンダフロー/リフレッシュエラー、電圧監視1割り込み、電圧監視2割り込み、VBAT電圧監視割り込みがあります。ノンマスクابل割り込みはCPUへの割り込みのみであり、DTCやDMACの起動はできません。高速割り込みを含むすべての割り込みの中で最優先の割り込みです。

ノンマスクابل割り込み要求は、CPUのPSW.Iビット(割り込み許可ビット)、PSW.IPL[3:0]ビット(プロセッサ割り込み優先レベル)の状態にかかわらず受け付けられます。ノンマスクابل割り込みの有無はノンマスクابل割り込みステータスレジスタ(NMISR)で確認できます。

ノンマスクابل割り込みハンドラでは、NMISRレジスタの全ビットが“0”であることを確認してから、ハンドラを終了してください。

初期状態では「ノンマスクابل割り込み禁止」となっています。ノンマスクابل割り込みを使用するシステムでは、プログラム処理の先頭で以下の手順に従ってください。

ノンマスクابل割り込み使用手順

1. スタックポインタ(SP)を設定する。
2. NMI端子を使用する場合は、NMIFLTC.NFCLTENビットを“0”(デジタルフィルタ無効)にする。(注1)
3. NMI端子を使用する場合は、NMIFLTC.NFCLKSEL[1:0]ビットでデジタルフィルタのサンプリングクロックを設定する。(注1)
4. NMI端子を使用する場合は、NMICR.NMIMDビットでNMI端子の検出センスを設定する。
5. NMI端子を使用する場合は、NMICLR.NMICLRビットに“1”を書いて、NMISR.NMISTフラグを“0”にする。
6. NMI端子を使用する場合は、NMIFLTC.NFCLTENビットを“1”(デジタルフィルタ有効)にする。(注1)
7. ノンマスクابل割り込み許可レジスタ(NMIER)の許可する割り込みに対応するビットを“1”にして、ノンマスクابل割り込みの使用を許可する。

注1. デジタルフィルタを使用する場合、設定が必要です。

NMIERレジスタに“1”を書くと、以後のNMIERレジスタへの書き込みは無視されます。ノンマスクابل割り込みを禁止することはできません。リセットでのみ禁止になります。

ノンマスクابل割り込みの処理の流れは、「14. 例外処理」を参照してください。

NMIステータスフラグ(NMISR.NMIST)は、NMICLR.NMICLRビットに“1”を書くことで“0”になります。

発振停止検出割り込みステータスフラグ(NMISR.OSTST)は、NMICLR.OSTCLRビットに“1”を書くことで“0”になります。

WDTアンダフロー/リフレッシュエラーステータスフラグ(NMISR.WDTST)は、NMICLR.WDTCLRビットに“1”を書くことで“0”になります。

IWDTアンダフロー/リフレッシュエラーステータスフラグ(NMISR.IWDTST)は、NMICLR.IWDTCCLRビットに“1”を書くことで“0”になります。

電圧監視1割り込みステータスフラグ(NMISR.LVD1ST)は、NMICLR.LVD1CLRビットに“1”を書くことで“0”になります。

電圧監視2割り込みステータスフラグ(NMISR.LVD2ST)は、NMICLR.LVD2CLRビットに“1”を書くことで“0”になります。

VBATT電圧監視割り込みステータスフラグ(NMISR.VBATST)は、NMICLR.VBATCLRビットに“1”を書くことで“0”になります。

15.6 低消費電力状態からの復帰

スリープモード、ディープスリープモード、ソフトウェアスタンバイモードからの復帰割り込みとして使用可能な割り込み要因を「表 15.3 割り込みのベクタテーブル」に示します。

詳細は「11. 消費電力低減機能」を参照してください。各低消費電力モードにおける、復帰対象割り込みの設定方法は以下のとおりです。

15.6.1 スリープモードおよびディープスリープモードからの復帰

ノンマスクابل割り込み、および全要因の割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
 - (1) 割り込み要求先が CPU であること
 - (2) IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) によって該当する割り込み要求が許可されていること
 - (3) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
- ノンマスクابل割り込み
 - NMIER レジスタによって該当する割り込み要求が許可されていること

15.6.2 ソフトウェアスタンバイモードからの復帰

ノンマスクابل割り込み、およびソフトウェアスタンバイモードからの復帰可能な割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
 - (1) ソフトウェアスタンバイモードから復帰可能な要因であること
 - (2) 割り込み要求先が CPU であること
 - (3) IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) によって該当する割り込み要求が許可されていること
 - (4) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
(高速割り込みに設定した要因には高速割り込み設定レジスタ (FIR) だけでなく、対応する割り込み優先レベル (IPRn (n = 割り込みベクタ番号)) も CPU.PSW.IPL より高い設定にしてください。)

上記条件を満たさない IRQ 端子では、ソフトウェアスタンバイモードでクロック停止期間中に発生した割り込み要因は検出されません。

- ノンマスクابل割り込み
 - NMIER レジスタによって該当する割り込み要求が許可されていること
- ソフトウェアスタンバイモードへの移行 / 復帰の手順
 - (1) ソフトウェアスタンバイモードに移行する前に、復帰対象の割り込み要因のデジタルフィルタを無効 (IRQFLTE0.FLTENi ビットを “0”、NMIFLTE.NFLTEN ビットを “0”) にしてください。
 - (2) ソフトウェアスタンバイモードから復帰後に再度デジタルフィルタを使用する場合は、デジタルフィルタを有効 (IRQFLTE0.FLTENi ビットを “1”、NMIFLTE.NFLTEN ビットを “1”) にしてください。

15.7 使用上の注意事項

15.7.1 ノンマスカブル割り込み使用時の WAIT 命令の注意事項

WAIT 命令を実行する場合は、NMISR レジスタのすべてのステータスフラグが“0”であることを確認した後で行ってください。

16. バス

16.1 概要

表 16.1 にバスの仕様を、図 16.1 にバスの構成図を、表 16.2 にバス種類別アドレス対応表を示します。

表 16.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	<ul style="list-style-type: none"> • CPU (命令) を接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック (ICLK) に同期して動作
	オペランドバス	<ul style="list-style-type: none"> • CPU (オペランド) を接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック (ICLK) に同期して動作
メモリバス	メモリバス1	<ul style="list-style-type: none"> • RAMを接続
	メモリバス2	<ul style="list-style-type: none"> • ROMを接続
内部メインバス	内部メインバス1	<ul style="list-style-type: none"> • CPUを接続 • システムクロック (ICLK) に同期して動作
	内部メインバス2	<ul style="list-style-type: none"> • DTC, DMACを接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック (ICLK) に同期して動作
内部周辺バス	内部周辺バス1	<ul style="list-style-type: none"> • 周辺機能 (DTC, DMAC、割り込みコントローラ、バスエラー監視部) を接続 • システムクロック (ICLK) に同期して動作
	内部周辺バス2	<ul style="list-style-type: none"> • 周辺機能 (内部周辺バス1, 3, 4以外の周辺機能) を接続 • 周辺モジュールクロック (PCLKB) に同期して動作
	内部周辺バス3	<ul style="list-style-type: none"> • 周辺機能 (USB0, RSCAN, CTSU) を接続 • 周辺モジュールクロック (PCLKB) に同期して動作
	内部周辺バス4	<ul style="list-style-type: none"> • 周辺機能 (MTU2) を接続 • 周辺モジュールクロック (PCLKA) に同期して動作
	内部周辺バス6	<ul style="list-style-type: none"> • フラッシュ制御モジュール、E2データフラッシュを接続 • FlashIFクロック (FCLK) に同期して動作
外部バス	CS領域	<ul style="list-style-type: none"> • 外部デバイスを接続 • 外部バスクロック (BCLK) に同期して動作

P/E: プログラム/イレーズ

BCLK (外部バスクロック): 最大 54MHz のクロックです。CSC (CS 領域コントローラ) は BCLK に同期して動作します。

BCLK 端子出力: デフォルトでは、BCLK と同じ周波数です。外部バスクロックコントロールレジスタの BCLK 端子出力選択ビット (BCKCR.BCLKDIV) で、BCLK の 2 分周が可能です。詳細は、「9. クロック発生回路」を参照してください。

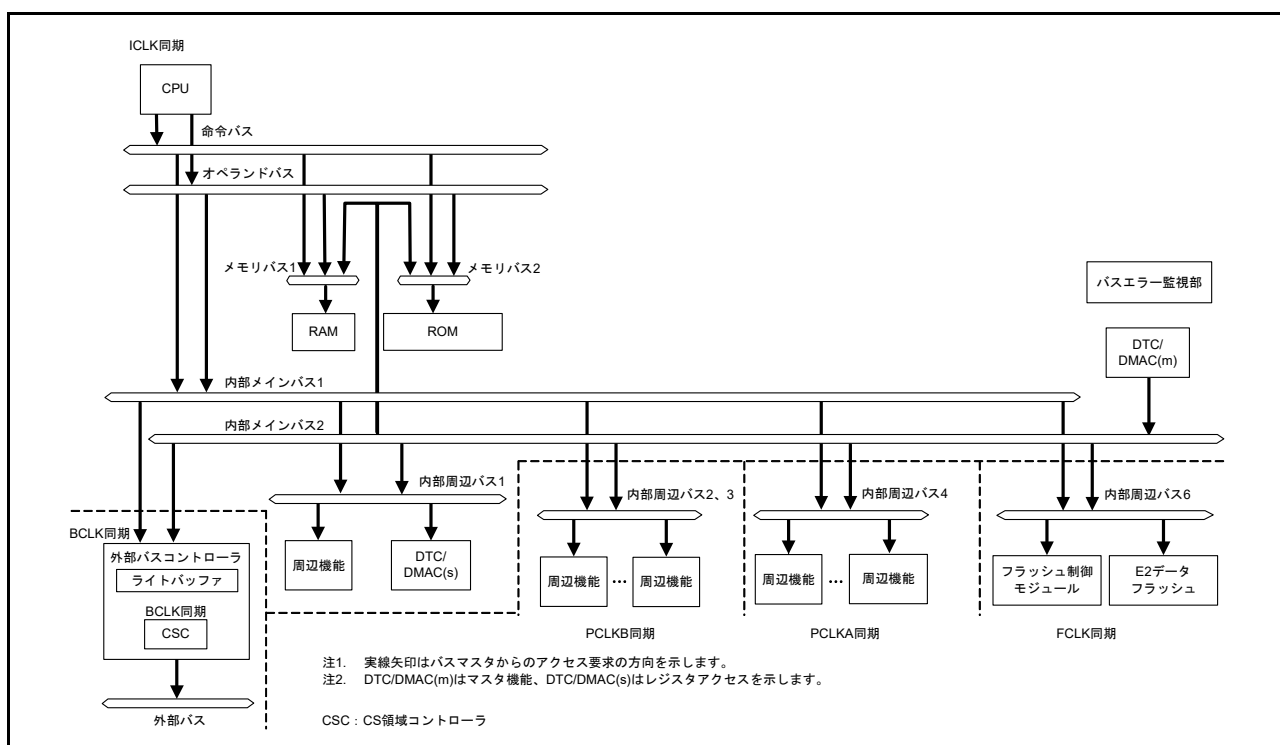


図 16.1 バスの構成図

表 16.2 バス種類別アドレス対応表

アドレス	バス		内容	
	内蔵ROM有効	内蔵ROM無効	内蔵ROM有効	内蔵ROM無効
0000 0000h ~ 0000 FFFFh	メモリバス 1		RAM	
0001 0000h ~ 0007 FFFFh			予約領域	
0008 0000h ~ 0008 7FFFh	内部周辺バス 1		周辺 I/O レジスタ	
0008 8000h ~ 0009 FFFFh	内部周辺バス 2			
000A 0000h ~ 000B FFFFh	内部周辺バス 3			
000C 0000h ~ 000D FFFFh	内部周辺バス 4			
000E 0000h ~ 000F FFFFh	予約領域		予約領域	
0010 0000h ~ 007F FFFFh	内部周辺バス 6	予約領域	フラッシュ制御モジュール、E2 データフラッシュ	予約領域
0080 0000h ~ 00FF FFFFh			予約領域	
0100 0000h ~ 04FF FFFFh	予約領域		外部アドレス空間 (CS1 ~ CS3)	
0500 0000h ~ 07FF FFFFh	外部バス			
0800 0000h ~ 0FFF FFFFh	予約領域		予約領域	
1000 0000h ~ 7FFF FFFFh				
8000 0000h ~ FEFF FFFFh	メモリバス 2	予約領域	ROM (読み出し専用)	予約領域
FF00 0000h ~ FFFF FFFFh		外部バス		外部アドレス空間 (CS0)

16.2 バスの説明

16.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。命令バスは 64 ビットです。オペランドバスは、32 ビットです。

命令バスとオペランドバスは、RAM、ROM に接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、ROM は読み出しのみ CPU からの直接アクセスが可能であり、プログラム/イレーズは内部周辺バスを介して行います。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス（メモリバス 1、メモリバス 2、内部メインバス 1）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、ROM と RAM、ROM と外部アクセスなどの並列動作が可能となります。

16.2.2 メモリバス

メモリバスには、メモリバス 1 とメモリバス 2 があり、メモリバス 1 には RAM、メモリバス 2 には ROM が接続されています。メモリバスは 64 ビットです。メモリバス 1, 2 は、CPU バス（命令フェッチとオペランド）、内部メインバス 2 からのバス権要求を調停します。

バスの優先順位は、それぞれバスプライオリティ制御レジスタのメモリバス 1（RAM）プライオリティ制御ビット（BUSPRI.BPRA[1:0]）、メモリバス 2（ROM）プライオリティ制御ビット（BUSPRI.BPRO[1:0]）により設定可能です。優先順位固定の場合は、バスの優先順位は、内部メインバス 2 > CPU バス（オペランド > 命令フェッチ）の順となります。優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

16.2.3 内部メインバス

内部メインバスは、CPU が使用するバス（内部メインバス 1）と、CPU 以外のバスマスタ（DTC, DMAC）が使用するバス（内部メインバス 2）の 2 本で構成されます。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

内部メインバス 2 では、DTC, DMAC のバス権要求を調停します。優先順位は、表 16.3 に示すように、DMAC > DTC の順となります。

DTC と DMAC については、起動要求を受け付けたいずれかの一方のみがバス権要求を行います。DTC と DMAC の起動要求の優先順位は、BUSPRI レジスタの設定に関わらず、DMAC0 > DMAC1 > DMAC2 > DMAC3 > DTC の順となります。

CPU と CPU 以外のバスマスタからの要求が異なるバス（内蔵メモリ、内部周辺バス 1～内部周辺バス 4、内部周辺バス 6、外部バス）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

ただし、CPU により XCHG 命令が実行された場合には、バスプライオリティ制御レジスタ（BUSPRI）の設定にかかわらず、XCHG 命令によるバスアクセスが完了するまで CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表 16.3 バスマスタ優先順位

優先度	内部メインバス	バスマスタ
高 ↑	2	DMAC
		DTC
低	1	CPU

注. 上記はバス優先権が固定の場合です。
バスプライオリティ制御レジスタ (BUSPRI) により、内部メインバス1とそれ以外 (内部メインバス2) のバス優先権をトグルすることができます。(ラウンドロビン方式)

16.2.4 内部周辺バス

表 16.4 に内部周辺バスに接続される周辺機能を示します。

表 16.4 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス1	DTC, DMAC, 割り込みコントローラ、バスエラー監視部
内部周辺バス2	内部周辺バス1, 3, 4以外の周辺機能
内部周辺バス3	USB0, RSCAN, CTSU
内部周辺バス4	MTU2
内部周辺バス6	フラッシュ制御モジュール、E2データフラッシュ

内部周辺バス1～4、6は、それぞれ、CPU (内部メインバス1) とCPU以外のバスマスタ (内部メインバス2) からのバス権要求を調停します。

2本のバスの優先順位は、バスプライオリティ制御レジスタ (BUSPRI) により設定可能です。優先順位は、内部周辺バス1プライオリティ制御ビット (BUSPRI.BPIB[1:0])、内部周辺バス2,3プライオリティ制御ビット (BUSPRI.BPGB[1:0])、内部周辺バス4プライオリティ制御ビット (BUSPRI.BPHB[1:0])、内部周辺バス6プライオリティ制御ビット (BUSPRI.BPFB[1:0]) によりバスごとに設定できます。優先順位固定の場合は、内部メインバス2 > 内部メインバス1の順となります。優先順位トグルの場合は、内部メインバス1と内部メインバス2とでバス要求を受け付けられた方の優先順位が低くなります。(ラウンドロビン方式)

BUSPRIレジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください (図 16.2 参照)。

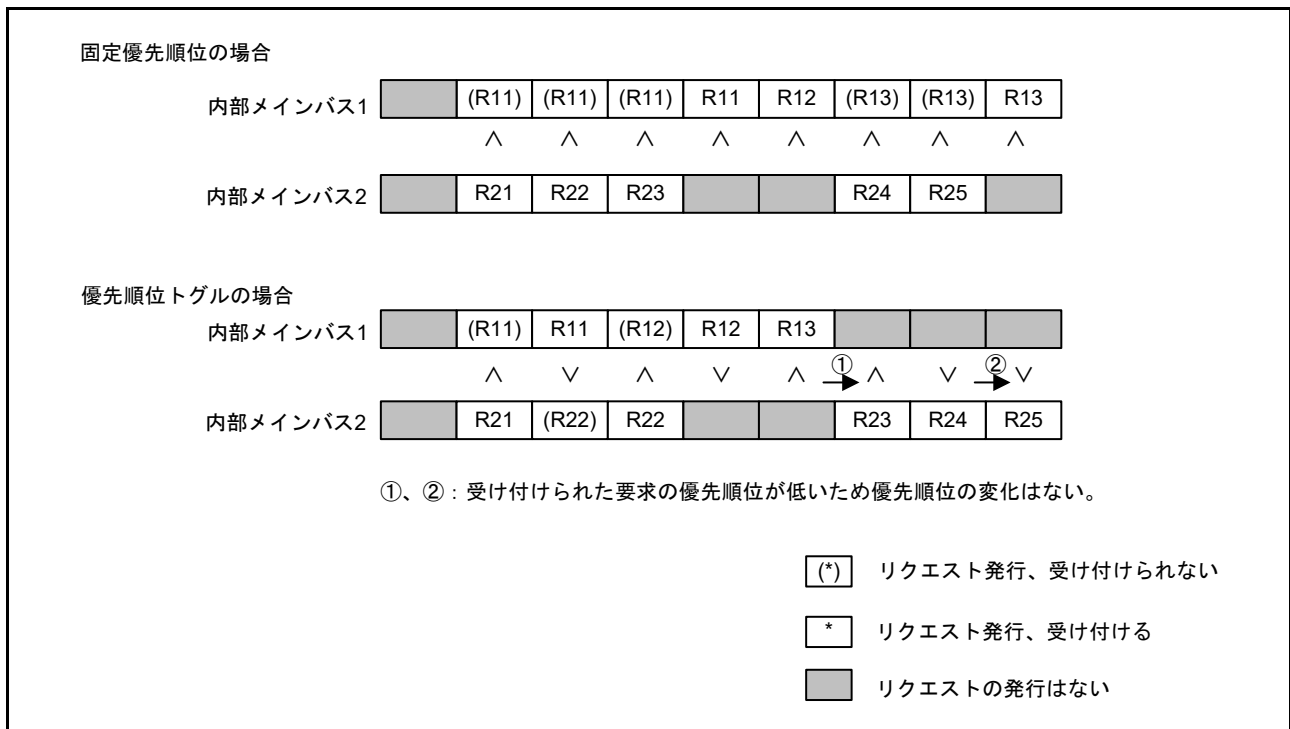


図 16.2 内部周辺バス優先順位

16.2.5 ライトバッファ機能（内部周辺バス）

内部周辺バスはライトバッファ機能を持っており、ライトアクセスの場合は、動作の終了を待たずに、次のアクセスを受け付けることができます。ただし、同じバスマスタからのアクセスの場合、ライトアクセスの次のアクセスが異なる内部周辺バスに対するものであれば、ライトアクセスが終了するまで次のアクセスは、待たされます。CPU から内部周辺バスのライトアクセス後に内蔵メモリへのリードアクセスがある場合には、動作の終了を待たずに次のアクセスが受け付けられるため、アクセスの順番が入れ替わることがありますので注意してください。（図 16.3 参照）

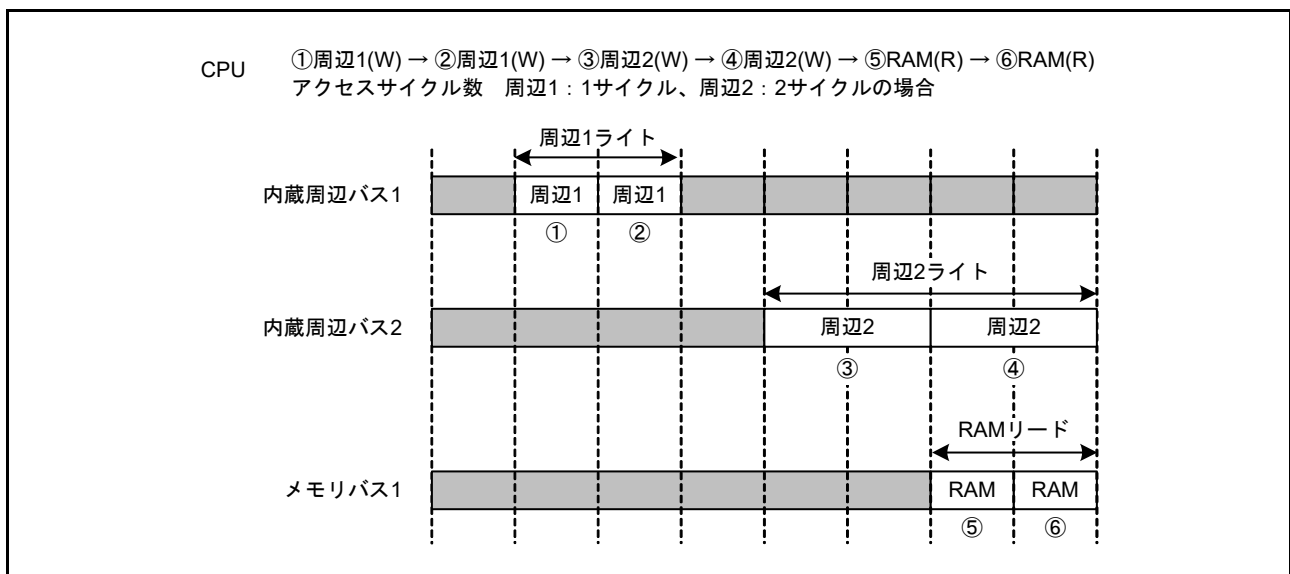


図 16.3 ライトバッファ機能

16.2.6 外部バス

表 16.5 に外部バスの仕様を示します。

外部バスコントローラは、内部メインバス 1、内部メインバス 2 からの外部アドレス空間、外部バスコントローラのレジスタ (CSC) に対するバス権要求を調停します。

2本のバスの優先順位は、バスプライオリティ制御レジスタの外部バスプライオリティ制御ビット (BUSPRI.BPEB[1:0]) により設定可能です。優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 の順となります。優先順位トグルの場合は、内部メインバス 1 とそれ以外 (内部メインバス 2) とでバス要求を受け付けられた方の優先順位が低くなります。

バスプライオリティ制御レジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください (図 16.4 参照)。

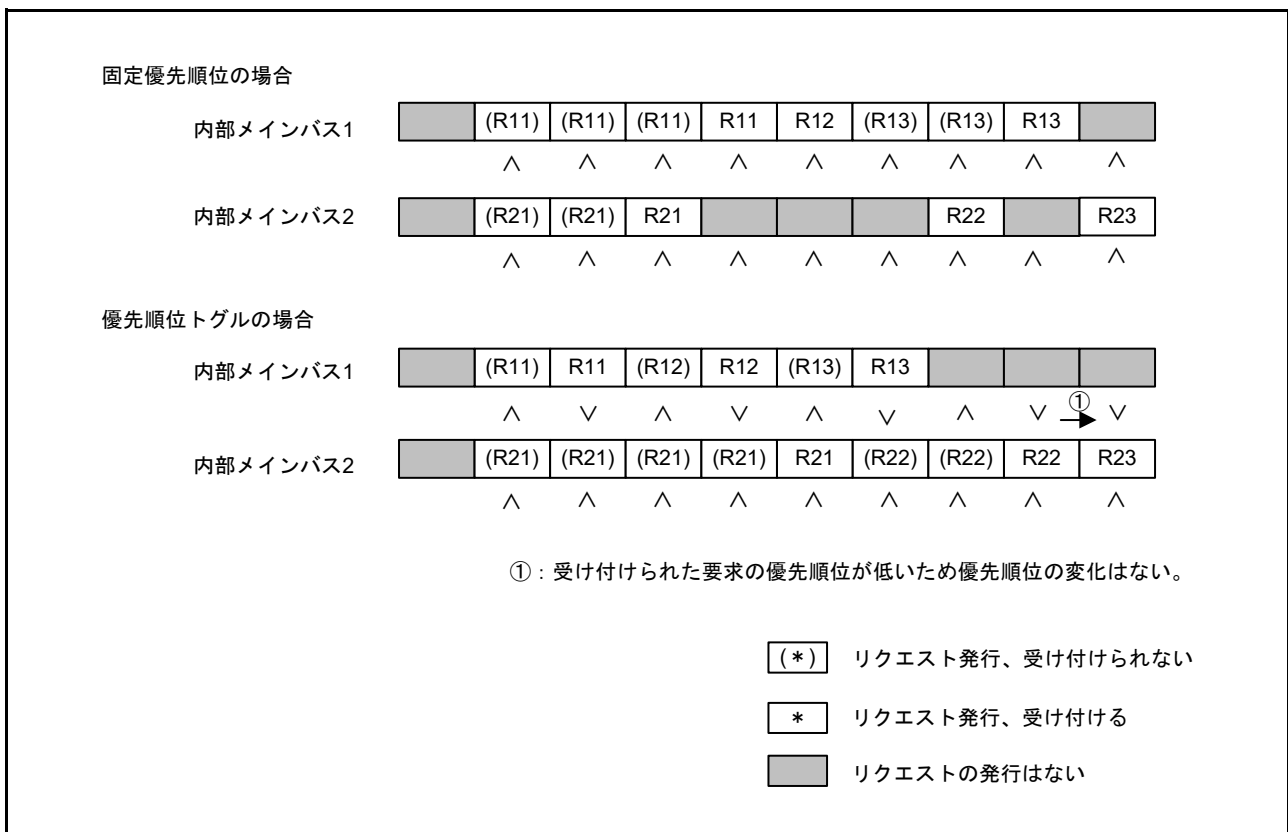


図 16.4 外部バス優先順位

表 16.5 外部バスの仕様

項目	内容
外部アドレス空間	<ul style="list-style-type: none"> 外部アドレス空間を4つのCS領域（CS0～CS3）に分割して管理 領域ごとにチップセレクトを出力可能 領域ごとにバス幅を選択可能 セパレートバス：8ビットバス空間/16ビットバス空間を選択可能 アドレス/データマルチプレクスバス：8ビットバス空間/16ビットバス空間を選択可能 領域ごとにエンディアンを設定可能
CS領域コントローラ	<ul style="list-style-type: none"> リカバリサイクル挿入可能 リードリカバリ最大15サイクル挿入 ライトリカバリ最大15サイクル挿入 サイクルウェイト機能：最大31サイクルウェイト（ページアクセス最大7サイクルウェイト） ウェイト制御 チップセレクト信号（CS0#～CS3#）のアサート/ネゲートタイミング設定可能 リード信号（RD#）、ライト信号（WR0#/WR#、WR1#）のアサートタイミング設定可能 データ出力の開始/終了タイミング設定可能 ライトアクセスモード：1ライトストローブモード/バイトストローブモード セパレートバス、アドレス/データマルチプレクスバスを領域ごとに設定可能
ライトバッファ機能	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了
周波数	CS領域コントローラ（CSC）は、BCLKに同期して動作

表 16.6 に外部バスの入出力端子を示します。

表 16.6 外部バスの入出力端子

端子名	入出力	機能
A23～A0 (注1)	出力	アドレス出力端子です
D15～D0	入出力	データ入出力端子です 16ビットバス空間を設定した場合、D15～D0が有効となります 8ビットバス空間を設定した場合、D7～D0が有効となります
BC0# (注1)	出力	1ライトストローブモード時、外部アドレス空間をアクセス中で（BC0#信号がLowの場合）、D7～D0が有効であることを示すストローブ信号です 8ビットバス空間を設定した場合、ライトアクセスモードに関係なくLow出力となります
BC1#	出力	1ライトストローブモード時、外部アドレス空間をアクセス中で（BC1#信号がLowの場合）、D15～D8が有効であることを示すストローブ信号です 8ビットバス空間を設定した場合、使用しません
CS0#	出力	領域0（CS0）チップセレクト信号です
CS1#	出力	領域1（CS1）チップセレクト信号です
CS2#	出力	領域2（CS2）チップセレクト信号です
CS3#	出力	領域3（CS3）チップセレクト信号です
RD#	出力	外部アドレス空間（CS0～CS3）をリード中であることを示すストローブ信号です
WR0#/WR# (注2)	出力	WR0#信号は、バイトストローブモード時、外部アドレス空間をライト中で（WR0#信号がLowの場合）、D7～D0が有効であることを示すストローブ信号です WR#信号は、1ライトストローブモード時、外部アドレス空間をライト中であることを示すストローブ信号です。 8ビットバス空間を設定した場合、ライトアクセスモードに関係なくライトアクセス時にLowが出力されます
WR1#	出力	バイトストローブモード時、外部アドレス空間をライト中で（WR1#信号がLowの場合）、D15～D8が有効であることを示すストローブ信号です 1ライトストローブモード時、無効となります 8ビットバス空間を設定した場合、使用しません
ALE	出力	アドレス/データマルチプレクスバス選択時のアドレスラッチ信号です
WAIT#	入力	外部アドレス空間（CS0～CS3）をアクセスするときのウェイト要求信号です。（Low：ウェイト要求）

注1. A0端子とBC0#端子は兼用しており、領域ごとにバイトストローブモード時はA0端子、1ライトストローブモード時はBC0#端子が有効になります。ただし、1ライトストローブモード時は、8ビット外部バス幅の設定は禁止です。その他の兼用端子については、「22. マルチファンクションピンコントローラ（MPC）」を参照してください。

注2. WR0#端子とWR#端子は、同じ信号です。WR#端子は、1ライトストローブモード時のWR0#のことを示します。

16.2.7 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPUの命令フェッチがROMを、オペランドがRAMをアクセス中に、DMACは周辺-外部バス間の転送を行うことができます。図16.5に並列動作の例を示します。この例の場合、CPUは命令バスとオペランドバスを使って、それぞれROMとRAMを同時にアクセスすることが可能です。また、CPUがROMとRAMをアクセス中に、DMACは内部メインバス2を使って、周辺バスあるいは外部バスを同時にアクセスすることができます。

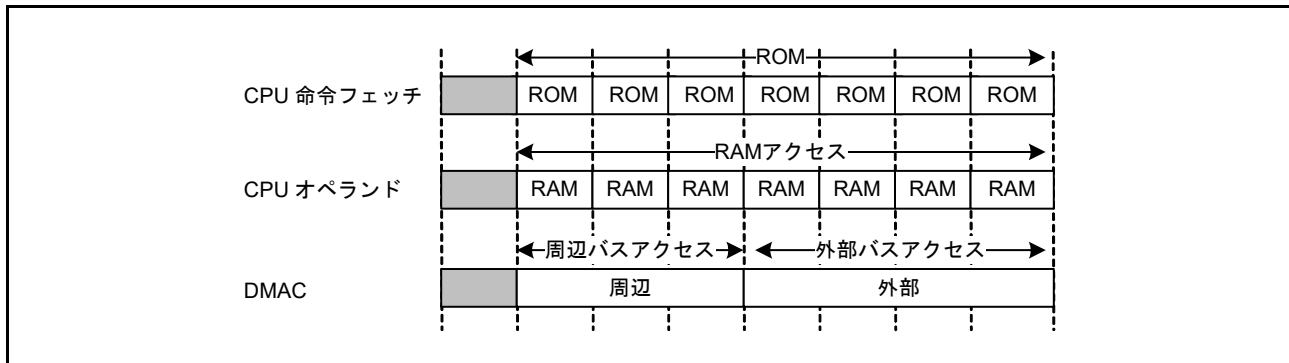


図 16.5 並列動作の例

16.2.8 バスの設定

- (1) 外部バスのモードを、CSn モードレジスタ (CSnMOD)、CSn ウェイト制御レジスタ 1 (CSnWCR1)、CSn ウェイト制御レジスタ 2 (CSnWCR2)、CSn 制御レジスタ (CSnCR)、CSn リカバリサイクル設定レジスタ (CSnREC)、CS リカバリサイクル挿入許可レジスタ (CSRECEN)、バスエラー監視許可レジスタ (BEREN)、バスプライオリティ制御レジスタ (BUSPRI) で設定します。
- (2) 端子の設定を、CS 出力許可レジスタ (PFCSE)、アドレス出力許可レジスタ 0 (PFAOE0)、アドレス出力許可レジスタ 1 (PFAOE1)、外部バス制御レジスタ 0 (PFBCR0)、外部バス制御レジスタ 1 (PFBCR1) で行います。
- (3) 使用する端子を入力ポートに設定します。
- (4) システムコントロールレジスタ 0 (SYSCR0) の外部バス許可ビット (EXBE) を“1” (外部バス有効) に設定します。

16.2.9 制約事項

(1) アドレス空間の複数領域にまたがるアクセスの禁止

1つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで2つの領域にまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

- (a) 外部空間には領域ごとのエンディアン切り替え機能（データのみ）がありますが、チップのエンディアンと異なる設定を行った領域にRMPA命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。
- (b) RMPA命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

(3) エンディアンに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

16.3 レジスタの説明

16.3.1 CSn 制御レジスタ (CSnCR) (n = 0 ~ 3)

アドレス CS0CR 0008 3802h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MPXEN	—	—	—	EMOD E	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1

アドレス CS1CR 0008 3812h, CS2CR 0008 3822h, CS3CR 0008 3832h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MPXEN	—	—	—	EMOD E	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXENB	動作許可ビット	0 : 動作禁止 1 : 動作許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BSIZE[1:0]	外部バス幅選択ビット	b5 b4 0 0 : 16ビットバス空間に設定 0 1 : 設定しないでください 1 0 : 8ビットバス空間に設定 1 1 : 設定しないでください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	EMODE	エンディアンモード指定ビット	0 : 領域nのエンディアンは動作モードのエンディアンと同じ 1 : 領域nのエンディアンは動作モードのエンディアンと異なる (n = 0 ~ 3)	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	MPXEN	アドレス/データマルチプレクス I/O インタフェース選択ビット	0 : 領域nはセパレートバスインタフェース 1 : 領域nはアドレス/データマルチプレクス I/O インタフェース (n = 0 ~ 3)	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnCR レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

EXENB ビット (動作許可ビット)

各領域の動作許可 / 禁止を設定します。

なお、リセット後は、領域 0 (CS0) のみ動作許可 (“1”) になり、それ以外の領域は動作禁止 (“0”) になります。

動作禁止に設定した領域をアクセスした場合は、外部バスアクセスは発生しません。このとき、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビット (BEREN.IGAEN = 1) が検出許可に設定されていれば、不正アドレスエラーとなります。

BSIZE[1:0] ビット (外部バス幅選択ビット)

各領域のデータバス幅を設定します。

なお、リセット後の領域 0 (CS0) のデータバス幅は、動作モードのバス幅の設定に依存します。

MPXEN ビットでアドレス/データマルチプレクス I/O インタフェースを設定した場合、32 ビットバス空間に設定することを禁止しており、設定した場合の動作を保証しません。

EMODE ビット (エンディアンモード指定ビット)

各領域のエンディアンを設定します。

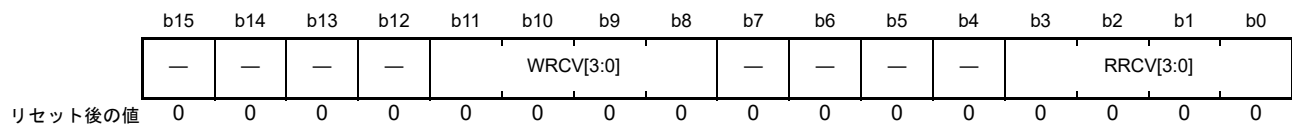
領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

MPXEN ビット (アドレス/データマルチプレクス I/O インタフェース選択ビット)

各領域のバスインタフェースがセパレートバスインタフェースか、アドレス/データマルチプレクス I/O インタフェースかを設定します。

16.3.2 CSn リカバリサイクル設定レジスタ (CSnREC) (n = 0 ~ 3)

アドレス CS0REC 0008 380Ah, CS1REC 0008 381Ah, CS2REC 0008 382Ah, CS3REC 0008 383Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	RRCV[3:0]	リードリカバリ設定ビット	b3 b0 0 0 0 0 : リカバリサイクルを挿入しない 0 0 0 1 : リカバリサイクルを1サイクル挿入 0 0 1 0 : リカバリサイクルを2サイクル挿入 0 0 1 1 : リカバリサイクルを3サイクル挿入 0 1 0 0 : リカバリサイクルを4サイクル挿入 0 1 0 1 : リカバリサイクルを5サイクル挿入 0 1 1 0 : リカバリサイクルを6サイクル挿入 0 1 1 1 : リカバリサイクルを7サイクル挿入 1 0 0 0 : リカバリサイクルを8サイクル挿入 1 0 0 1 : リカバリサイクルを9サイクル挿入 1 0 1 0 : リカバリサイクルを10サイクル挿入 1 0 1 1 : リカバリサイクルを11サイクル挿入 1 1 0 0 : リカバリサイクルを12サイクル挿入 1 1 0 1 : リカバリサイクルを13サイクル挿入 1 1 1 0 : リカバリサイクルを14サイクル挿入 1 1 1 1 : リカバリサイクルを15サイクル挿入	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	WRCV[3:0]	ライトリカバリ設定ビット	b11 b8 0 0 0 0 : リカバリサイクルを挿入しない 0 0 0 1 : リカバリサイクルを1サイクル挿入 0 0 1 0 : リカバリサイクルを2サイクル挿入 0 0 1 1 : リカバリサイクルを3サイクル挿入 0 1 0 0 : リカバリサイクルを4サイクル挿入 0 1 0 1 : リカバリサイクルを5サイクル挿入 0 1 1 0 : リカバリサイクルを6サイクル挿入 0 1 1 1 : リカバリサイクルを7サイクル挿入 1 0 0 0 : リカバリサイクルを8サイクル挿入 1 0 0 1 : リカバリサイクルを9サイクル挿入 1 0 1 0 : リカバリサイクルを10サイクル挿入 1 0 1 1 : リカバリサイクルを11サイクル挿入 1 1 0 0 : リカバリサイクルを12サイクル挿入 1 1 0 1 : リカバリサイクルを13サイクル挿入 1 1 1 0 : リカバリサイクルを14サイクル挿入 1 1 1 1 : リカバリサイクルを15サイクル挿入	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnREC レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

前バスアクセスがセパレートバスの場合、CS リカバリサイクル挿入許可レジスタのセパレートバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENj) (j=0~7) により、アドレス/データマルチプレクスバスの場合、CS リカバリサイクル挿入許可レジスタのマルチプレクスバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENMj) により、リカバリサイクル挿入許可に設定されている場合に有効となります。

RRCV[3:0] ビット (リードリカバリ設定ビット)

外部バスに対するリードアクセス後に挿入するリカバリサイクル数を設定します。

リカバリサイクル挿入許可を設定し、“0000b”以外を設定すると、以下の場合に1~15サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合

WRCV[3:0] ビット (ライトリカバリ設定ビット)

外部バスに対するライトアクセス後に挿入するリカバリサイクル数を設定します。

リカバリサイクル挿入許可を設定し、“0000b”以外を設定すると、以下の場合に1~15サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合

16.3.3 CS リカバリサイクル挿入許可レジスタ (CSRECEN)

アドレス 0008 3880h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCVEN M7	RCVEN M6	RCVEN M5	RCVEN M4	RCVEN M3	RCVEN M2	RCVEN M1	RCVEN M0	RCVEN 7	RCVEN 6	RCVEN 5	RCVEN 4	RCVEN 3	RCVEN 2	RCVEN 1	RCVEN 0
リセット後の値	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	RCVEN0	セパレートバス用リカバリサイクル挿入許可0ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b1	RCVEN1	セパレートバス用リカバリサイクル挿入許可1ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b2	RCVEN2	セパレートバス用リカバリサイクル挿入許可2ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b3	RCVEN3	セパレートバス用リカバリサイクル挿入許可3ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b4	RCVEN4	セパレートバス用リカバリサイクル挿入許可4ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b5	RCVEN5	セパレートバス用リカバリサイクル挿入許可5ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b6	RCVEN6	セパレートバス用リカバリサイクル挿入許可6ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b7	RCVEN7	セパレートバス用リカバリサイクル挿入許可7ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b8	RCVENM0	マルチプレクスバス用リカバリサイクル挿入許可0ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b9	RCVENM1	マルチプレクスバス用リカバリサイクル挿入許可1ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b10	RCVENM2	マルチプレクスバス用リカバリサイクル挿入許可2ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b11	RCVENM3	マルチプレクスバス用リカバリサイクル挿入許可3ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b12	RCVENM4	マルチプレクスバス用リカバリサイクル挿入許可4ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b13	RCVENM5	マルチプレクスバス用リカバリサイクル挿入許可5ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b14	RCVENM6	マルチプレクスバス用リカバリサイクル挿入許可6ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b15	RCVENM7	マルチプレクスバス用リカバリサイクル挿入許可7ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W

CSRECEN レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

RCVEN0 ビット (セパレートバス用リカバリサイクル挿入許可 0 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN1 ビット (セパレートバス用リカバリサイクル挿入許可 1 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN2 ビット (セパレートバス用リカバリサイクル挿入許可 2 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN3 ビット (セパレートバス用リカバリサイクル挿入許可 3 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN4 ビット (セパレートバス用リカバリサイクル挿入許可 4 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN5 ビット (セパレートバス用リカバリサイクル挿入許可 5 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN6 ビット (セパレートバス用リカバリサイクル挿入許可 6 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN7 ビット (セパレートバス用リカバリサイクル挿入許可 7 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM0 ビット (マルチプレクスバス用リカバリサイクル挿入許可 0 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM1 ビット (マルチプレクスバス用リカバリサイクル挿入許可 1 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM2 ビット (マルチプレクスバス用リカバリサイクル挿入許可 2 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM3 ビット (マルチプレクスバス用リカバリサイクル挿入許可 3 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM4 ビット (マルチプレクスバス用リカバリサイクル挿入許可 4 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM5 ビット (マルチプレクスバス用リカバリサイクル挿入許可 5 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM6 ビット (マルチプレクスバス用リカバリサイクル挿入許可 6 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM7 ビット (マルチプレクスバス用リカバリサイクル挿入許可 7 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

表 16.7 リカバリサイクルの挿入

アクセスの種類	外部アドレス空間	リカバリサイクルの挿入	対応ビット (セパレート/マルチプレクス)
リードアクセス後のリードアクセス	同じ領域	RRCV[3:0]ビット設定サイクル数が挿入	RCVEN0/RCVENM0
	異なる領域	RRCV[3:0]ビット設定サイクル数が挿入	RCVEN1/RCVENM1
リードアクセス後のライトアクセス	同じ領域	RRCV[3:0]ビット設定サイクル数が挿入	RCVEN2/RCVENM2
	異なる領域	RRCV[3:0]ビット設定サイクル数が挿入	RCVEN3/RCVENM3
ライトアクセス後のリードアクセス	同じ領域	WRCV[3:0]ビット設定サイクル数が挿入	RCVEN4/RCVENM4
	異なる領域	WRCV[3:0]ビット設定サイクル数が挿入	RCVEN5/RCVENM5
ライトアクセス後のライトアクセス	同じ領域	WRCV[3:0]ビット設定サイクル数が挿入	RCVEN6/RCVENM6
	異なる領域	WRCV[3:0]ビット設定サイクル数が挿入	RCVEN7/RCVENM7

16.3.4 CSn モードレジスタ (CSnMOD) (n = 0 ~ 3)

アドレス CS0MOD 0008 3002h, CS1MOD 0008 3012h, CS2MOD 0008 3022h, CS3MOD 0008 3032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRMOD	—	—	—	—	—	PWENB	PRENB	—	—	—	—	EWENB	—	—	WRMOD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRMOD	ライトアクセスモード選択ビット	0 : バイトストローブモード 1 : 1ライトストローブモード	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	EWENB	外部ウェイト許可ビット	0 : 外部ウェイト禁止 1 : 外部ウェイト許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PRENB	ページリードアクセス許可ビット	0 : ページリードアクセス禁止 1 : ページリードアクセス許可	R/W
b9	PWENB	ページライトアクセス許可ビット	0 : ページライトアクセス禁止 1 : ページライトアクセス許可	R/W
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	PRMOD	ページリードアクセスモード選択ビット	0 : ノーマルアクセス互換モード 1 : 外部データリード連続アサートモード	R/W

CSnMOD レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

WRMOD ビット (ライトアクセスモード選択ビット)

ライトアクセス時の動作モードを選択します。

“0”を設定すると、バイトストローブモードになります。このとき、それぞれのバイト位置に対応した WRn# 信号 (n=0, 1) によりデータの書き込みの制御を行います。

“1”を設定すると、1ライトストローブモードになります。このとき、それぞれのバイト位置に対応した BCn# 信号 (n=0, 1) と WR# 信号によりデータの書き込みの制御を行います。ただし、1ライトストローブモード時は、8ビット外部バス幅の設定は禁止です。

表 16.8 ライトアクセスモードの制御信号

モード	端子名			
	WR1#	WR0#/WR#	BC1#	BC0#
ライトアクセスモード				
バイトストローブモード	○	○ (WR0#)	×	×
1ライトストローブモード	×	○ (WR#)	○	○

○ : 有効、× : 無効

EWENB ビット (外部ウェイト許可ビット)

外部ウェイトの許可/禁止を設定します。

“1”を設定すると、外部ウェイト許可となり、WAIT# 信号により各サイクルのウェイト数を任意に制御することが可能になります。この場合、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。

“0”を設定すると、WAIT# 信号は無効となります。

PRENB ビット (ページリードアクセス許可ビット)

ページリードアクセスの許可/禁止を設定します。

注. CSn 制御レジスタのアドレス/データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) でアドレス/データマルチプレクス I/O インタフェースを選択している場合、ページリードアクセスを許可しないでください。アドレス/データマルチプレクス I/O インタフェースでは、ページアクセスには対応していません。

PWENB ビット (ページライトアクセス許可ビット)

ページライトアクセスの許可/禁止を設定します。

注. CSn 制御レジスタのアドレス/データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) でアドレス/データマルチプレクス I/O インタフェースを選択している場合、ページライトアクセスを許可しないでください。アドレス/データマルチプレクス I/O インタフェースでは、ページアクセスには対応していません。

PRMOD ビット (ページリードアクセスモード選択ビット)

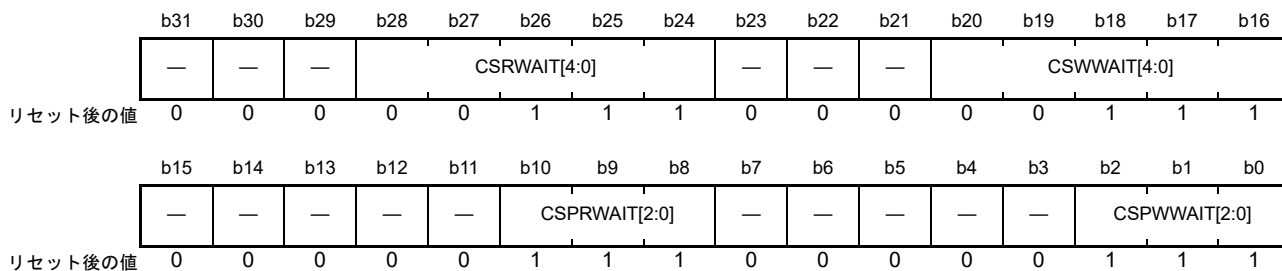
ページリードアクセス時の動作モードを選択します。

“0”を設定すると、ノーマルアクセス互換モードになります。このとき、1つのデータをリードするごとに RD# 信号がネゲートされ、RD アサートウェイトが挿入されます。ただし、RD アサートウェイトが 0 の場合は、外部バスアクセスの最後の転送以外 RD# 信号はネゲートされません。

“1”を設定すると、外部データリード連続アサートモードになります。このとき、RD アサートウェイトは挿入されますが、その間 RD# 信号がアサートされ続けます。

16.3.5 CSn ウェイト制御レジスタ 1 (CSnWCR1) (n = 0 ~ 3)

アドレス CS0WCR1 0008 3004h, CS1WCR1 0008 3014h, CS2WCR1 0008 3024h, CS3WCR1 0008 3034h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CSPWWAIT[2:0]	ページライトサイクルウェイト選択ビット (注1)	b2 b0 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b7-b3	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b10-b8	CSPRWAIT[2:0]	ページリードサイクルウェイト選択ビット (注2)	b10 b8 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b15-b11	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b20-b16	CSWWAIT[4:0]	ノーマルライトサイクルウェイト選択ビット	b20 b16 0 0 0 0 0 : ウェイトを挿入しない 0 0 0 0 1 : ウェイトを1サイクル挿入 0 0 0 1 0 : ウェイトを2サイクル挿入 0 0 0 1 1 : ウェイトを3サイクル挿入 0 0 1 0 0 : ウェイトを4サイクル挿入 0 0 1 0 1 : ウェイトを5サイクル挿入 0 0 1 1 0 : ウェイトを6サイクル挿入 0 0 1 1 1 : ウェイトを7サイクル挿入 0 1 0 0 0 : ウェイトを8サイクル挿入 0 1 0 0 1 : ウェイトを9サイクル挿入 0 1 0 1 0 : ウェイトを10サイクル挿入 0 1 0 1 1 : ウェイトを11サイクル挿入 0 1 1 0 0 : ウェイトを12サイクル挿入 0 1 1 0 1 : ウェイトを13サイクル挿入 0 1 1 1 0 : ウェイトを14サイクル挿入 0 1 1 1 1 : ウェイトを15サイクル挿入 1 0 0 0 0 : ウェイトを16サイクル挿入 1 0 0 0 1 : ウェイトを17サイクル挿入 1 0 0 1 0 : ウェイトを18サイクル挿入 1 0 0 1 1 : ウェイトを19サイクル挿入 1 0 1 0 0 : ウェイトを20サイクル挿入 1 0 1 0 1 : ウェイトを21サイクル挿入 1 0 1 1 0 : ウェイトを22サイクル挿入 1 0 1 1 1 : ウェイトを23サイクル挿入 1 1 0 0 0 : ウェイトを24サイクル挿入 1 1 0 0 1 : ウェイトを25サイクル挿入 1 1 0 1 0 : ウェイトを26サイクル挿入 1 1 0 1 1 : ウェイトを27サイクル挿入 1 1 1 0 0 : ウェイトを28サイクル挿入 1 1 1 0 1 : ウェイトを29サイクル挿入 1 1 1 1 0 : ウェイトを30サイクル挿入 1 1 1 1 1 : ウェイトを31サイクル挿入	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28-b24	CSRWAIT[4:0]	ノーマルリードサイクルウェイト選択ビット	b28 b24 0 0 0 0 0 : ウェイトを挿入しない 0 0 0 0 1 : ウェイトを1サイクル挿入 0 0 0 1 0 : ウェイトを2サイクル挿入 0 0 0 1 1 : ウェイトを3サイクル挿入 0 0 1 0 0 : ウェイトを4サイクル挿入 0 0 1 0 1 : ウェイトを5サイクル挿入 0 0 1 1 0 : ウェイトを6サイクル挿入 0 0 1 1 1 : ウェイトを7サイクル挿入 0 1 0 0 0 : ウェイトを8サイクル挿入 0 1 0 0 1 : ウェイトを9サイクル挿入 0 1 0 1 0 : ウェイトを10サイクル挿入 0 1 0 1 1 : ウェイトを11サイクル挿入 0 1 1 0 0 : ウェイトを12サイクル挿入 0 1 1 0 1 : ウェイトを13サイクル挿入 0 1 1 1 0 : ウェイトを14サイクル挿入 0 1 1 1 1 : ウェイトを15サイクル挿入 1 0 0 0 0 : ウェイトを16サイクル挿入 1 0 0 0 1 : ウェイトを17サイクル挿入 1 0 0 1 0 : ウェイトを18サイクル挿入 1 0 0 1 1 : ウェイトを19サイクル挿入 1 0 1 0 0 : ウェイトを20サイクル挿入 1 0 1 0 1 : ウェイトを21サイクル挿入 1 0 1 1 0 : ウェイトを22サイクル挿入 1 0 1 1 1 : ウェイトを23サイクル挿入 1 1 0 0 0 : ウェイトを24サイクル挿入 1 1 0 0 1 : ウェイトを25サイクル挿入 1 1 0 1 0 : ウェイトを26サイクル挿入 1 1 0 1 1 : ウェイトを27サイクル挿入 1 1 1 0 0 : ウェイトを28サイクル挿入 1 1 1 0 1 : ウェイトを29サイクル挿入 1 1 1 1 0 : ウェイトを30サイクル挿入 1 1 1 1 1 : ウェイトを31サイクル挿入	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CSPWAIT[2:0]ビットの設定値は、CSnMOD.PWENBビットが“1”の場合のみ有効となります。
 注2. CSPRWAIT[2:0]ビットの設定値は、CSnMOD.PRENBビットが“1”の場合のみ有効となります。

CSnWCR1 レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

各ビットは、バスインタフェースにあわせて、「16.5.7 制約事項 (1) セパレートバスインタフェースの場合の制約事項」あるいは、「16.5.7 制約事項 (2) アドレス / データマルチプレクスバスの場合の制約事項」に示す制約の範囲内で設定してください。

CSPWAIT[2:0] ビット (ページライトサイクルウェイト選択ビット)

ページライトサイクルの 2 サイクル目以降のアクセスに挿入するサイクル数を設定します。

CSPWAIT[2:0] ビットの設定は、CSnMOD.PWENB ビットが“1”のとき有効になります。

注. $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ 、また $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ となるように設定してください。

CSPRWAIT[2:0] ビット (ページリードサイクルウェイト選択ビット)

ページリードサイクルの 2 サイクル目以降のアクセスに挿入するサイクル数を設定します。

CSPRWAIT[2:0] ビットの設定は、CSnMOD.PRENB ビットが“1”のとき有効になります。

注. $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.RDON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPRWAIT}[2:0] \text{ ビット}$ となるように設定してください。

CSWWAIT[4:0] ビット (ノーマルライトサイクルウェイト選択ビット)

ノーマルライトサイクルおよびページライトサイクルの最初のアクセスに挿入するサイクル数を設定します。

注. $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[4:0] \text{ ビット}$ 、また $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[4:0] \text{ ビット}$ となるように設定してください。

CSRWAIT[4:0] ビット (ノーマルリードサイクルウェイト選択ビット)

ノーマルリードサイクルおよびページリードサイクルの最初のアクセスに挿入するサイクル数を設定します。

注. $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.RDON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSRWAIT}[4:0] \text{ ビット}$ となるように設定してください。

16.3.6 CSn ウェイト制御レジスタ 2 (CSnWCR2) (n = 0 ~ 3)

アドレス CS0WCR2 0008 3008h, CS1WCR2 0008 3018h, CS2WCR2 0008 3028h, CS3WCR2 0008 3038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	CSON[2:0]			—	WDON[2:0]			—	WRON[2:0]			—	RDON[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AWAIT[1:0]		—	WDOFF[2:0]		—	CSWOFF[2:0]			—	CSROFF[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CSROFF[2:0]	リード時CS延長サイクル選択ビット	b2 b0 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	CSWOFF[2:0]	ライト時CS延長サイクル選択ビット	b6 b4 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	WDOFF[2:0]	ライトデータ出力延長サイクル選択ビット	b10 b8 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	AWAIT[1:0]	アドレスサイクルウェイト選択ビット	b13 b12 0 0: ウェイトを挿入しない 0 1: ウェイトを1サイクル挿入 1 0: ウェイトを2サイクル挿入 1 1: ウェイトを3サイクル挿入	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	RDON[2:0]	RDアサートウェイト選択ビット	b18 b16 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b22-b20	WRON[2:0]	WRアサートウェイト選択ビット	b22 b20 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26-b24	WDON[2:0]	ライトデータ出力ウェイト選択ビット	b26 b24 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30-b28	CSON[2:0]	CSアサートウェイト選択ビット	b30 b28 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnWCR2 レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

各ビットは、バスインタフェースにあわせて、「16.5.7 制約事項 (1) セパレートバスインタフェースの場合の制約事項」あるいは、「16.5.7 制約事項 (2) アドレス/データマルチプレクスバスの場合の制約事項」に示す制約の範囲内で設定してください。

CSROFF[2:0] ビット (リード時 CS 延長サイクル選択ビット)

リードアクセス時のウェイトサイクル終了時 (RD# 信号のネゲート時) から CSn# 信号 (n=0~3) をネゲートするまでのサイクル数を設定します。

CSWOFF[2:0] ビット (ライト時 CS 延長サイクル選択ビット)

ライトアクセス時のウェイトサイクル終了時 (WRn# 信号 (n=0, 1) のネゲート時) から CSn# 信号 (n=0~3) をネゲートするまでのサイクル数を設定します。

注. CSnWCR2.WDOFF[2:0] ビット ≤ CSnWCR2.CSWOFF[2:0] ビットとなるように設定してください。

WDOFF[2:0] ビット (ライトデータ出力延長サイクル選択ビット)

ライトアクセス時のウェイトサイクル終了時 (WRn# 信号 (n=0, 1) のネゲート時) からライトデータ出力を終了するまでのサイクル数を設定します。

注. CSnWCR2.WDOFF[2:0] ビット ≤ CSnWCR2.CSWOFF[2:0] ビットとなるように設定してください。

AWAIT[1:0] ビット (アドレスサイクルウェイト選択ビット)

アドレス/データマルチプレクス I/O インタフェースのアドレス出力サイクルにウェイトサイクルを挿入します。

- 注． CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.AWAIT[1:0] ビット
 リードアクセス時、CSnWCR2.AWAIT[1:0] ビット + 2 \leq CSnWCR2.RDON[2:0] ビット \leq
 CSnWCR1.CSRWAIT[4:0] ビット
 ライトアクセス時、CSnWCR2.AWAIT[1:0] ビット + 2 \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSWWAIT[4:0] ビット
 また CSnWCR2.AWAIT[1:0] ビット + 2 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR1.CSWWAIT[4:0] ビット
 となるように設定してください。

RDON[2:0] ビット (RD アサートウェイト選択ビット)

RD# 信号のアサート前に挿入するウェイトサイクル数を設定します。

- 注． ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.RDON[2:0] ビット \leq
 CSnWCR1.CSRWAIT[4:0] ビット
 ページリードアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.RDON[2:0] ビット \leq
 CSnWCR1.CSPRWAIT[2:0] ビット
 となるように設定してください。
- 注． アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 \leq
 CSnWCR2.RDON[2:0] ビット \leq CSnWCR1.CSRWAIT[4:0] ビットとなるように設定してください。

WRON[2:0] ビット (WR アサートウェイト選択ビット)

WRn# 信号 (n = 0, 1) のアサート前に挿入するウェイトサイクル数を設定します。

- 注． ノーマルライトアクセス時、1 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSWWAIT[4:0] ビット、また、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSWWAIT[4:0] ビット
 ページライトアクセス時、1 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSPWAIT[2:0] ビット、また、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSPWAIT[2:0] ビット
 となるように設定してください。
- 注． アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 \leq
 CSnWCR2.WRON[2:0] ビット \leq CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

WDON[2:0] ビット (ライトデータ出力ウェイト選択ビット)

ライトデータ出力の前に挿入するウェイトサイクル数を設定します。

- 注． ノーマルライトアクセス時、1 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSWWAIT[4:0] ビット
 ページライトアクセス時、1 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSPWAIT[2:0] ビット
 となるように設定してください。
- 注． アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 \leq
 CSnWCR2.WDON[2:0] ビット \leq CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

CSON[2:0] ビット (CS アサートウェイト選択ビット)

CSn# 信号 (n = 0 ~ 3) のアサート前に挿入するウェイトサイクル数を設定します。

- 注． ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.RDON[2:0] ビット \leq
 CSnWCR1.CSRWAIT[4:0] ビット
 ページリードアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.RDON[2:0] ビット \leq
 CSnWCR1.CSPRWAIT[2:0] ビット
 ノーマルライトアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSWWAIT[4:0] ビット

ページライトアクセス時、CSnWCR2.CSON[2:0] ビット ≤ CSnWCR2.WRON[2:0] ビット ≤ CSnWCR1.CSPWAIT[2:0] ビットとなるように設定してください。

注. アドレス/データマルチプレクス I/O インタフェースの場合、CSnWCR2.CSON[2:0] ビット ≤ CSnWCR2.AWAIT[1:0] ビットとなるように設定してください。

16.3.7 バスエラーステータスクリアレジスタ (BERCLR)

アドレス 0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STSCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	ステータスクリアビット	0: 無効 1: バスエラーステータスレジスタクリア	(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”書き込みのみ有効で、“0”書き込みは無効です。

STSCLR ビット (ステータスクリアビット)

“1”を書き込むと、バスエラーステータスレジスタ 1 (BERSR1) とバスエラーステータスレジスタ 2 (BERSR2) がクリアされます。

“0”書き込みは無効です。読むと“0”が読み出されます。

16.3.8 バスエラー監視許可レジスタ (BEREN)

アドレス 0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TOEN	IGAEN
リセット後の値	0	0	0	0	0	0	0	0

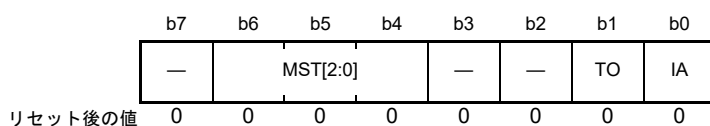
ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0: 不正アドレスアクセス検出禁止 1: 不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット (注1、注2)	0: バスタイムアウト検出禁止 1: バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 検出禁止 (TOENビット=0) にしてバスアクセスを行った場合、バスがフリーズすることがあります。

注2. タイムアウトエラー検出中にTOENビットを“0” (検出禁止) にしないようにしてください。

16.3.9 バスエラーステータスレジスタ 1 (BERSR1)

アドレス 0008 1308h



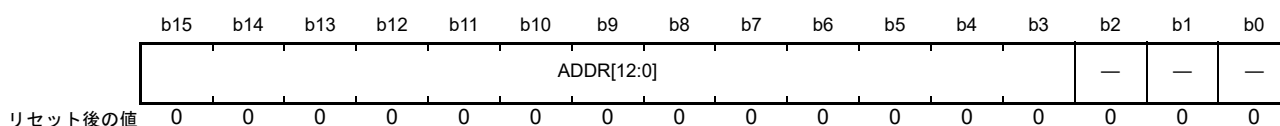
ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0 : 不正アドレスアクセスの発生なし 1 : 不正アドレスアクセスの発生あり	R
b1	TO	タイムアウトビット	0 : タイムアウトの発生なし 1 : タイムアウトの発生あり	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6 b4 0 0 0 : CPU 0 0 1 : 予約 0 1 0 : 予約 0 1 1 : DTC/DMAC 1 0 0 : 予約 1 0 1 : 予約 1 1 0 : 予約 1 1 1 : 予約	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MST[2:0] ビット (バスマスタコードビット)

バスエラーを発生させたアクセスのバスマスタを示します。

16.3.10 バスエラーステータスレジスタ 2 (BERSR2)

アドレス 0008 130Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位13ビット (512Kバイト単位)	R

16.3.11 バスプライオリティ制御レジスタ (BUSPRI)

アドレス 0008 1310h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	BPEB[1:0]	BPFB[1:0]	BPHB[1:0]	BPGB[1:0]	BPIB[1:0]	BPRO[1:0]	BPRA[1:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BPRA[1:0]	メモリバス1 (RAM) プライオリティ制御ビット	b1 b0 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b3-b2	BPRO[1:0]	メモリバス2 (ROM) プライオリティ制御ビット	b3 b2 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b5-b4	BPIB[1:0]	内部周辺バス1プライオリティ制御ビット	b5 b4 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b7-b6	BPGB[1:0]	内部周辺バス2, 3プライオリティ制御ビット	b7 b6 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b9-b8	BPHB[1:0]	内部周辺バス4プライオリティ制御ビット	b9 b8 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b11-b10	BPFB[1:0]	内部周辺バス6プライオリティ制御ビット	b11 b10 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b13-b12	BPEB[1:0]	外部バスプライオリティ制御ビット	b13 b12 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DTC, DMACが停止した状態で、1回のみ書き込みできます。2回以上、書き込んだ場合、動作は保証されません。

BPRA[1:0] ビット (メモリバス1 (RAM) プライオリティ制御ビット)

メモリバス1 (RAM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > 内部メインバス1 となります。

優先順位トグルの場合は、内部メインバス1 と内部メインバス2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPRO[1:0] ビット (メモリバス2 (ROM) プライオリティ制御ビット)

メモリバス2 (ROM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > 内部メインバス1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPIB[1:0] ビット (内部周辺バス 1 プライオリティ制御ビット)

内部周辺バス 1 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPGB[1:0] ビット (内部周辺バス 2, 3 プライオリティ制御ビット)

内部周辺バス 2 と内部周辺バス 3 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPHB[1:0] ビット (内部周辺バス 4 プライオリティ制御ビット)

内部周辺バス 4 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPFB[1:0] ビット (内部周辺バス 6 プライオリティ制御ビット)

内部周辺バス 6 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPEB[1:0] ビット (外部バスプライオリティ制御ビット)

外部バスに対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 とそれ以外 (内部メインバス 2) とでバス要求を受け付けられた方の優先順位が低くなります。

16.4 エンディアンとデータアライメント

外部バスは、データアライメント機能を持っており、外部アドレス空間（CS領域）をアクセスするときデータバス D15～D8, D7～D0のどれを使用するかを、アクセスする領域のバス仕様（8ビットバス空間、16ビットバス空間）とデータサイズ、およびエンディアンモードによって制御します。

16.4.1 CS領域のデータアライメント制御

(1) 16ビットバス空間

CSnCR.BSIZE[1:0]ビットで16ビットバス空間を選択すると、アドレスバス（A23～A1）が16ビット単位のアドレス出力信号として有効になり、アドレスバス（A0）は無効（Low固定）になります。

バイトストロープモード（CSnMOD.WRMODビット=0）を選択した場合、WR0#、WR1#端子が有効になります。BC0#、BC1#端子は使用しません。

1 ライトストロープモード（CSnMOD.WRMODビット=1）を選択した場合、WR0#端子のみ有効となり、データサイズにかかわらずライトアクセス時にはWR0#端子よりLowが出力されます。このとき、WR1#端子は無効（High固定）になります。有効なバイト位置は、BC0#、BC1#端子により表します。

16ビットバス空間では、32ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが32ビット境界を越えず、かつBC0#、BC1#信号の変化しない転送がページアクセスの対象となります。ページアクセスが発生する場合は図16.6、図16.7に（p）で示します。

16ビットバス空間では、ビッグエンディアンとリトルエンディアンでチップ外部のデータ、制御信号の有効位置は異なります。

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1#	WR0#/BC0#
						RD#	
						データバス	
						D15	D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	[7 0]	
	4n+1	1回	1回目	8bit	4n	[7 0]	
	4n+2	1回	1回目	8bit	4n+2	[7 0]	
	4n+3	1回	1回目	8bit	4n+2	[7 0]	
16bit	4n	1回	1回目	16bit	4n	[15 8 7 0]	
			2回目	8bit	4n+2	[15 8]	
	4n+1	2回	1回目	8bit	4n	[7 0]	
	4n+2	1回	1回目	16bit	4n+2	[15 8 7 0]	
			2回目	8bit	4n+4	[15 8]	
	4n+3	2回	1回目	8bit	4n+2	[7 0]	
2回目			8bit	4n+4	[15 8]		
32bit	4n	2回	1回目	16bit	4n	[15 8 7 0]	
			2回目	16bit	4n+2 (p)	[31 24 23 16]	
	4n+1	3回	1回目	8bit	4n	[7 0]	
			2回目	16bit	4n+2	[23 16 15 8]	
			3回目	8bit	4n+4	[31 24]	
	4n+2	2回	1回目	16bit	4n+2	[15 8 7 0]	
			2回目	16bit	4n+4	[31 24 23 16]	
	4n+3	3回	1回目	8bit	4n+2	[7 0]	
			2回目	16bit	4n+4	[23 16 15 8]	
3回目			8bit	4n+6	[31 24]		

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 16.6 16ビットバス空間のデータアライメント (リトルエンディアン)

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1#	WR0#/BC0#	
						RD#		
						データバス		
						D15	D8 D7	D0
8bit	4n	1回	1回目	8bit	4n	7	0	
	4n+1	1回	1回目	8bit	4n	7	0	
	4n+2	1回	1回目	8bit	4n+2	7	0	
	4n+3	1回	1回目	8bit	4n+2	7	0	
16bit	4n	1回	1回目	16bit	4n	15	8 7	0
	4n+1	2回	1回目	8bit	4n	15	8	
			2回目	8bit	4n+2	7	0	
	4n+2	1回	1回目	16bit	4n+2	15	8 7	0
	4n+3	2回	1回目	8bit	4n+2	15	8	
			2回目	8bit	4n+4	7	0	
32bit	4n	2回	1回目	16bit	4n	31	24 23	16
			2回目	16bit	4n+2 (p)	15	8 7	0
	4n+1	3回	1回目	8bit	4n	31	24	
			2回目	16bit	4n+2	23	16 15	8
			3回目	8bit	4n+4	7	0	
	4n+2	2回	1回目	16bit	4n+2	31	24 23	16
			2回目	16bit	4n+4	15	8 7	0
	4n+3	3回	1回目	8bit	4n+2	31	24	
			2回目	16bit	4n+4	23	16 15	8
3回目			8bit	4n+6	7	0		

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 16.7 16 ビットバス空間のデータアライメント (ビッグエンディアン)

(2) 8ビットバス空間

CSnCR.BSIZE[1:0]ビットで8ビットバス空間を選択すると、アドレスバス (A23 ~ A0) がバイト単位のアドレス信号として有効になります。

8ビットバス空間ではライトアクセスモードの設定にかかわらず、WR0#端子のみが有効になります。WR0#端子にはライトアクセス時にLowが出力されます。WR1#、BC0#、BC1#端子は使用しません。

8ビットバス空間では、16ビット、32ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが32ビット境界を越えない転送がページアクセスの対象となります。ページアクセスが発生する場合は図16.8、図16.9に(p)で示します。

8ビットバス空間では、エンディアンにかかわらずチップの外部データはD7 ~ D0、制御信号はWR0#信号を使用します。

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1# WR0#/BC0#			
						RD#			
						データバス			
D15	D8	D7	D0						
8bit	4n	1回	1回目	8bit	4n	7			0
	4n+1	1回	1回目	8bit	4n+1	7			0
	4n+2	1回	1回目	8bit	4n+2	7			0
	4n+3	1回	1回目	8bit	4n+3	7			0
16bit	4n	2回	1回目	8bit	4n	7			0
			2回目	8bit	4n+1 (p)	15		8	
	4n+1	2回	1回目	8bit	4n+1	7			0
			2回目	8bit	4n+2 (p)	15		8	
	4n+2	2回	1回目	8bit	4n+2	7			0
			2回目	8bit	4n+3 (p)	15		8	
	4n+3	2回	1回目	8bit	4n+3	7			0
			2回目	8bit	4n+4	15		8	
32bit	4n	4回	1回目	8bit	4n	7			0
			2回目	8bit	4n+1 (p)	15		8	
			3回目	8bit	4n+2 (p)	23		16	
			4回目	8bit	4n+3 (p)	31		24	
	4n+1	4回	1回目	8bit	4n+1	7			0
			2回目	8bit	4n+2 (p)	15		8	
			3回目	8bit	4n+3 (p)	23		16	
			4回目	8bit	4n+4	31		24	
	4n+2	4回	1回目	8bit	4n+2	7			0
			2回目	8bit	4n+3 (p)	15		8	
			3回目	8bit	4n+4	23		16	
			4回目	8bit	4n+5 (p)	31		24	
	4n+3	4回	1回目	8bit	4n+3	7			0
			2回目	8bit	4n+4	15		8	
			3回目	8bit	4n+5 (p)	23		16	
			4回目	8bit	4n+6 (p)	31		24	

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 16.8 8ビットバス空間のデータアライメント (リトルエンディアン)

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1# WR0#/BC0#			
						RD#			
						データバス			
						D15	D8	D7	D0
8bit	4n	1回	1回目	8bit	4n	7			0
	4n+1	1回	1回目	8bit	4n+1	7			0
	4n+2	1回	1回目	8bit	4n+2	7			0
	4n+3	1回	1回目	8bit	4n+3	7			0
16bit	4n	2回	1回目	8bit	4n	15			8
			2回目	8bit	4n+1 (p)	7			0
	4n+1	2回	1回目	8bit	4n+1	15			8
			2回目	8bit	4n+2 (p)	7			0
	4n+2	2回	1回目	8bit	4n+2	15			8
			2回目	8bit	4n+3 (p)	7			0
	4n+3	2回	1回目	8bit	4n+3	15			8
			2回目	8bit	4n+4	7			0
32bit	4n	4回	1回目	8bit	4n	31			24
			2回目	8bit	4n+1 (p)	23			16
			3回目	8bit	4n+2 (p)	15			8
			4回目	8bit	4n+3 (p)	7			0
	4n+1	4回	1回目	8bit	4n+1	31			24
			2回目	8bit	4n+2 (p)	23			16
			3回目	8bit	4n+3 (p)	15			8
			4回目	8bit	4n+4	7			0
	4n+2	4回	1回目	8bit	4n+2	31			24
			2回目	8bit	4n+3 (p)	23			16
			3回目	8bit	4n+4	15			8
			4回目	8bit	4n+5 (p)	7			0
	4n+3	4回	1回目	8bit	4n+3	31			24
			2回目	8bit	4n+4	23			16
			3回目	8bit	4n+5 (p)	15			8
			4回目	8bit	4n+6 (p)	7			0

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 16.9 8ビットバス空間のデータアライメント（ビッグエンディアン）

16.5 CS 領域コントローラの動作説明

16.5.1 セパレートバス

タイミング図に記載する各サイクルの説明を以下に示します。

CSC (CS 領域コントローラ) は外部バスクロック (BCLK) に同期して動作します。したがって、CSC のレジスタで設定したウェイト数などは、BCLK でカウントされます。以下、特に断らない限り、外部バスクロック (BCLK) と BCLK 端子出力は、同一周波数であるものとします。

外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になります。ただし、外部バスクロック (BCLK) と BCLK 端子出力が異なる周波数の場合で、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合の 2 回目以降の外部バスアクセスの開始は、ウェイト設定によっては BCLK 端子出力の立ち下がり時点になる可能性があります (図 16.15 ~ 図 16.19 参照)。また、直前の外部バスアクセスに対してリカバリサイクルが挿入されている場合にも、リカバリサイクル数の設定によっては BCLK 端子出力の立ち下がり時点になる可能性があります (図 16.33 参照)。

① Tw1 ~ Twn (ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト)

外部バスアクセス開始からストロブ信号有効サイクルの 1 サイクル前までのサイクル期間です。0 ~ 31 サイクルを選択できます。この期間内に CSn#, RD#, WRn# 信号が、ウェイト設定に応じて "Low" アサートされます。アサートするタイミングは、CSn ウェイト制御レジスタ 2 (CSnWCR2) の CS アサートウェイト選択ビット (CSON)、RD アサートウェイト選択ビット (RDON)、WR アサートウェイト選択ビット (WRON)、ライトデータ出力ウェイト選択ビット (WDON) によって制御可能です。各ウェイトのサイクル数は、外部バスアクセス開始のサイクルを起点に数え、0 ~ 7 サイクルを選択可能です。選択可能なサイクル数は、リード/ライトサイクルウェイトのサイクル数以内です。

② Tend (ストロブ信号有効サイクル)

Tend はノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト期間、あるいはページリードサイクルウェイト、ページライトサイクルウェイト期間が終了した次のサイクルです。ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト、あるいはページリードサイクルウェイト、ページライトサイクルウェイトの各選択ビットが "0" の場合、バスアクセス開始のサイクルがストロブ信号有効サイクルとなります。ストロブ信号有効サイクルの次のサイクルで RD#, WRn# 信号がネゲートされます。リードアクセスの場合は、リードデータのサンプルサイクルとなります。

外部ウェイト許可の場合、ストロブ信号有効サイクル時点でウェイト信号がサンプリングされます。ウェイト信号が Low の場合、バスサイクルを延長し、ウェイト信号が High になると次のサイクルでバスサイクルを終了します。(Tend) は、ウェイト信号のサンプリングを開始するサイクルを示します。

ページアクセスで 1 回目のストロブ信号有効サイクルの場合、ライトアクセス時のライトデータ出力延長サイクルが設定されている ("0" 以外の値) 場合 (④) を除いて、次のサイクル 2 回目以降のページアクセス (⑤) が開始されます。RD アサートウェイト、WR アサートウェイトの設定が "0" 以外の場合、次のサイクルで RD#, WRn# 信号がネゲートされます。"0" の場合、アサートが継続されます。また、CSn# 信号はネゲートされず、アサートを継続します。

③ Tn1 ~ Tnm (CS 延長サイクル)

ノーマルアクセスの場合、ストロブ信号有効サイクル (Tend) の次のサイクルから CSn# 信号をネゲートするまでのサイクル期間です。ネゲートするタイミングは、リードアクセス時、CSn ウェイト制御レジスタ 2 (CSnWCR2) のリード時 CS 延長サイクル選択ビット (CSROFF)、ライトアクセス時、ライト時 CS 延長サイクル選択ビット (CSWOFF) により制御可能です。

サイクル数は、ストロブ信号有効サイクルの次のサイクルを起点に数えます。

ページアクセスの場合、最後のストロブ信号有効サイクルから CSn# 信号をネゲートするまでのサイクル期間です。

ライトアクセス時は、ライトデータ出力延長サイクル選択ビット (WDOFF) により、アドレス、出力データが延長されます。

④ Tdw1 ~ Tdwn (ライトデータ出力延長サイクル)

ライトアクセス時、ライトデータ出力延長ウェイトが“0”以外の設定の場合、ライトデータ出力延長サイクルがストロブ信号有効サイクル (Tend) の次のサイクルから挿入されます。

ノーマルアクセスの場合、CS 延長サイクル (③) の期間内に挿入されます。

ページアクセスの場合、ストロブ信号有効サイクル (Tend) と後続のページアクセスの間、および CS 延長サイクル (③) の期間内に挿入されます。この期間、アドレス、出力データが延長され、WRn# 信号はネゲートされます。

⑤ Tpw1 ~ TpwN (ページリードサイクルウェイト、ページライトサイクルウェイト)

ページアクセスの2回目以降のバスサイクルについては、ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイトの代わりに、ページリードサイクルウェイト、ページライトサイクルウェイトの値が使用されます。WR アサートウェイトの設定は、1回目のアクセスと同様に有効となります。RD アサートの設定は、ページリードアクセスモード (CSnMOD.PRMOD ビット) の設定により動作が異なります。

CDnMOD.PRMOD ビット = 0 の場合 : 1回目と同様に RD アサートウェイトが挿入され、RD# 信号がネゲートされます。

CDnMOD.PRMOD ビット = 1 の場合 : ノーマルアクセス互換モードと同様に、RD アサートウェイトが挿入されますが、その間、RD# 信号がアサートされ続けます。

⑥ Tr1 ~ Trn (リカバリサイクル)

バスサイクルの終了時点 (CSn# 信号のネゲート時点) からリカバリサイクルの挿入ができます。リカバリサイクル数は、CSn リカバリサイクル設定レジスタ (CSnREC) のリードリカバリ設定ビット (RRCV)、ライトリカバリ設定ビット (WRCV) により制御可能です。各リカバリサイクル数は、バスサイクルの終了時点 (CSn# 信号のネゲート時点) を起点に数え、0 ~ 15 サイクルを選択可能です。リカバリサイクルの詳細は、「16.5.4 リカバリサイクルの挿入」を参照してください。

(1) ノーマルアクセス

CSnMOD.PRENB ビットを“0” (ページリードアクセス禁止)、CSnMOD.PWENB ビットを“0” (ページライトアクセス禁止) に設定した場合、すべてのバスアクセスはノーマルアクセスを行います。

CSnMOD.PRENB ビットを“1” (ページリードアクセス許可)、CSnMOD.PWENB ビットを“1” (ページライトアクセス許可) に設定した場合でも、ページアクセスに該当しないバスアクセスは、ノーマルアクセスとなります。

図 16.10 ~ 図 16.12 にノーマルアクセスの動作例を示します。

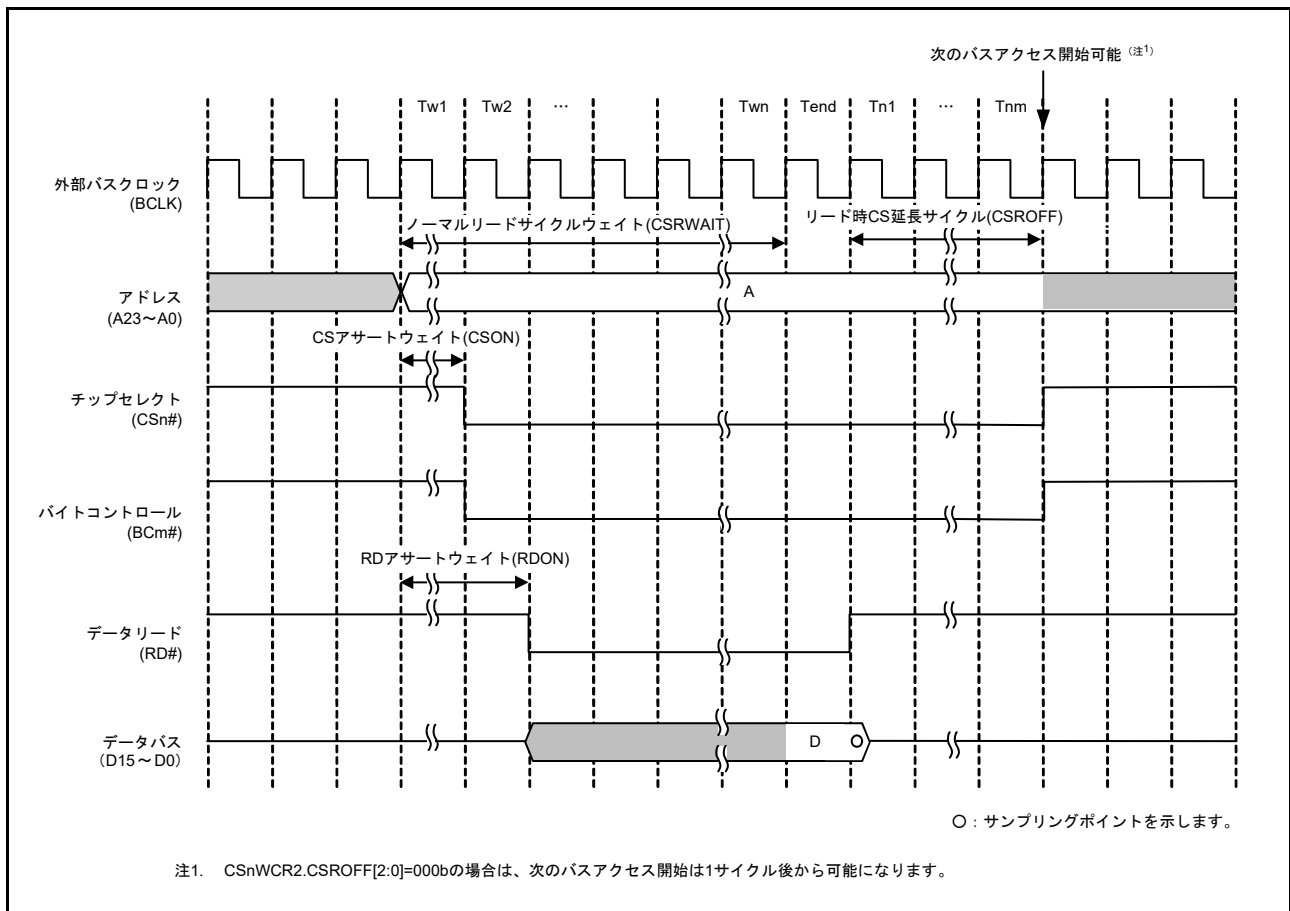


図 16.10 バスタイミング (ノーマルリード) (n = 0 ~ 3, m = 0, 1)

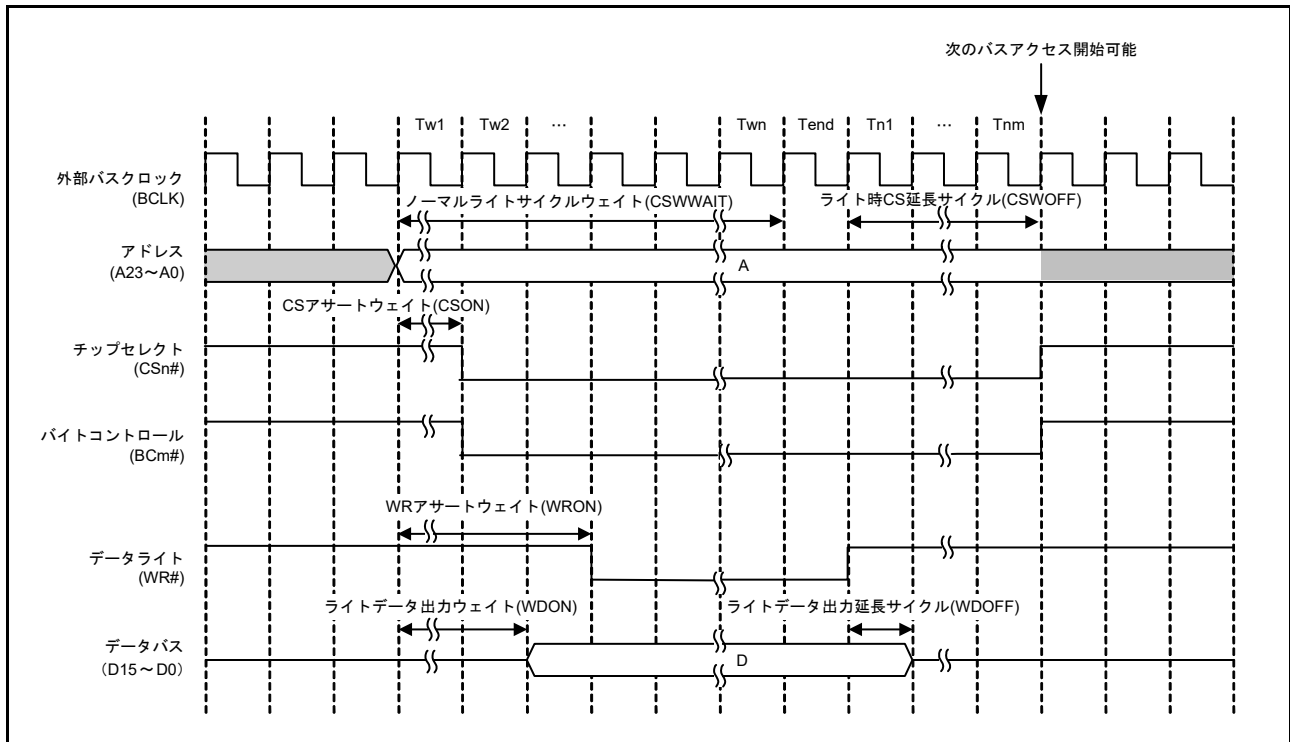


図 16.11 バスタイミング (ノーマルライト、1 ライトストロブモード) (n = 0 ~ 3, m = 0, 1)

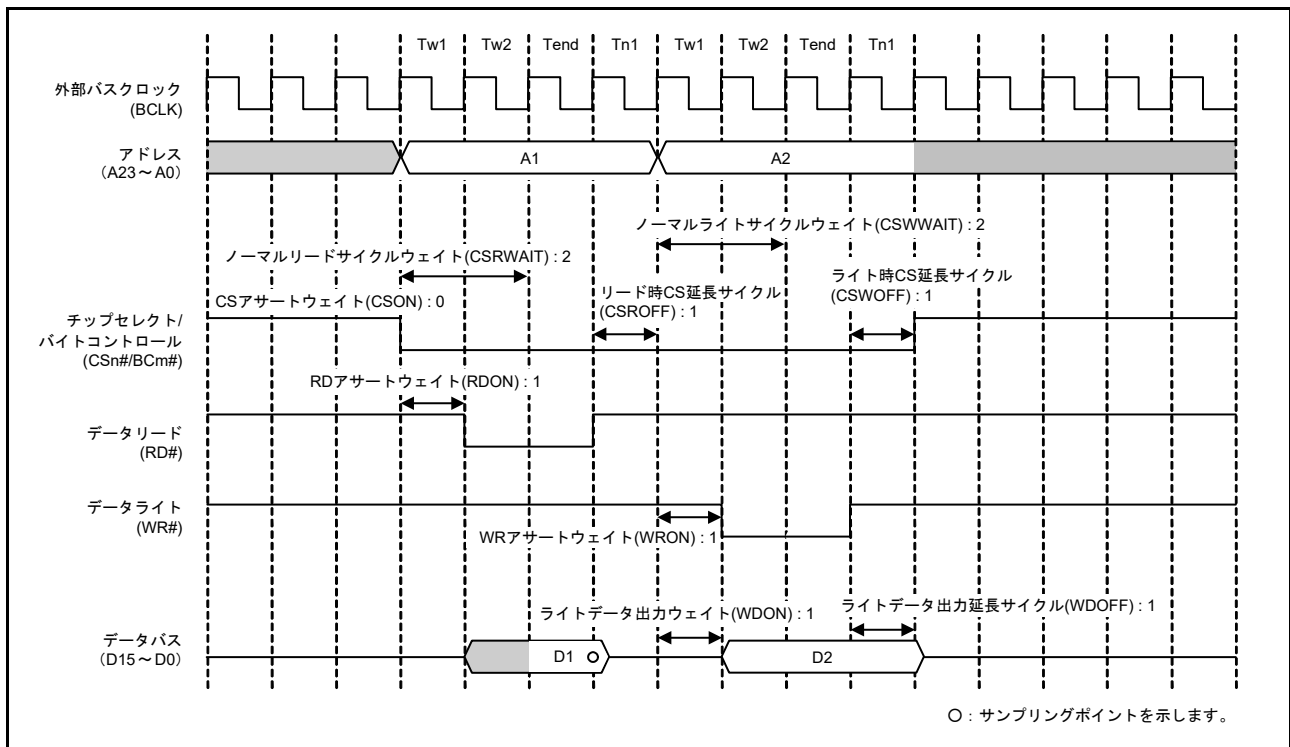


図 16.12 ノーマルアクセスの動作例（リード、ライト）（ $n = 0 \sim 3, m = 0, 1$ ）

バスマスタからの1転送要求に対して2回以上の外部バスアクセスが必要となる場合は、ノーマルアクセス動作（①から④）を繰り返します。図 16.13、図 16.14 に、1転送要求に対して2回バスアクセスが発生する場合の動作例を示します。ただし、リカバリサイクル挿入条件が成り立つ場合は、2回目以降の外部バスアクセスにもリカバリサイクル（⑥）の挿入が行われます（図 16.31 参照）。

各ウェイト制御レジスタの値は設定例です。接続するデバイスの仕様にあわせてレジスタの値は設定してください。

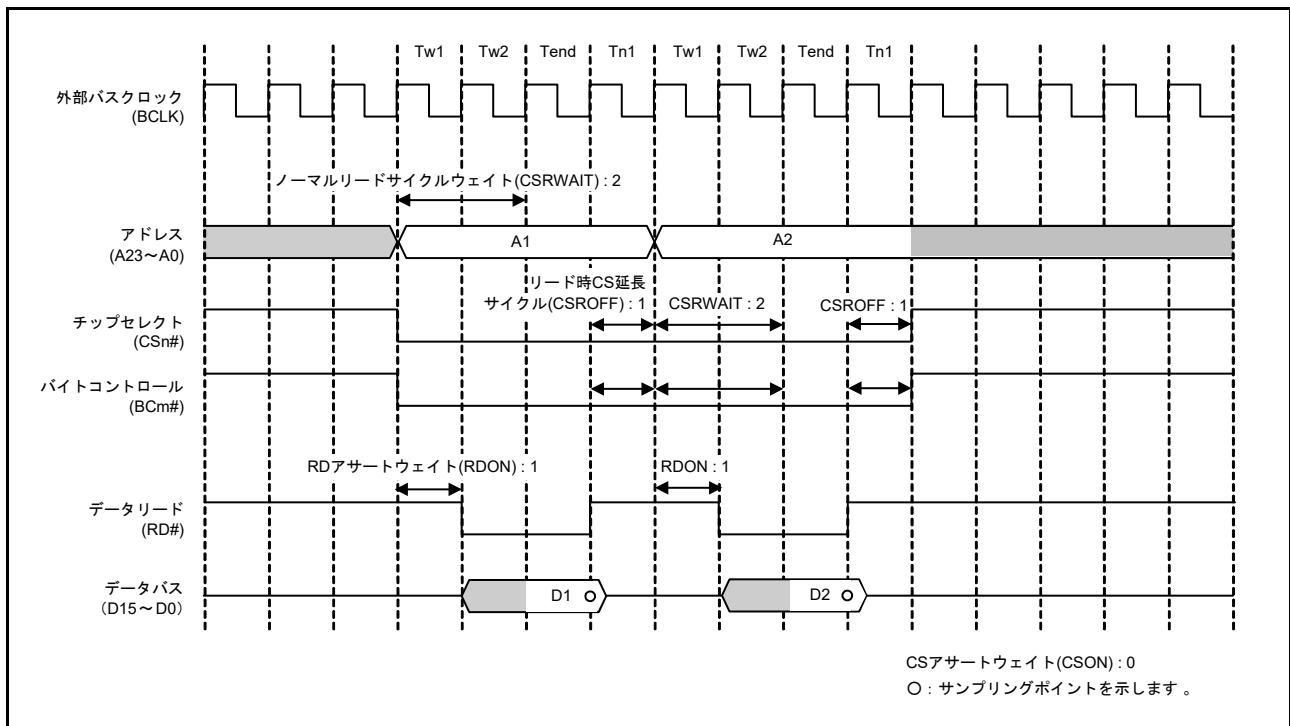


図 16.13 ノーマルリードアクセスの動作例 (1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0 ~ 3, m = 0, 1)

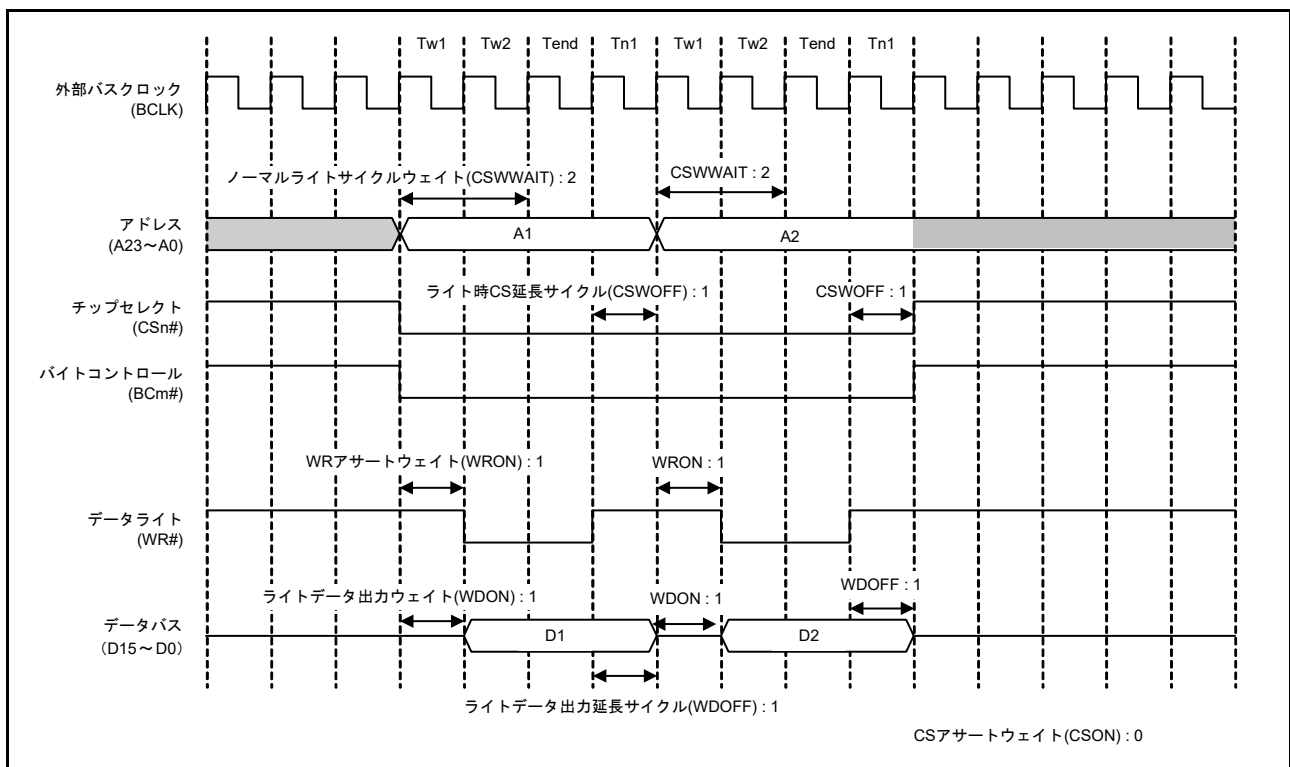


図 16.14 ノーマルライトアクセスの動作例 (1 転送要求に対して 2 回バスアクセスが発生する場合: 1 ライトストローブモード時) (n = 0 ~ 3, m = 0, 1)

図 16.15 ~ 図 16.19 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

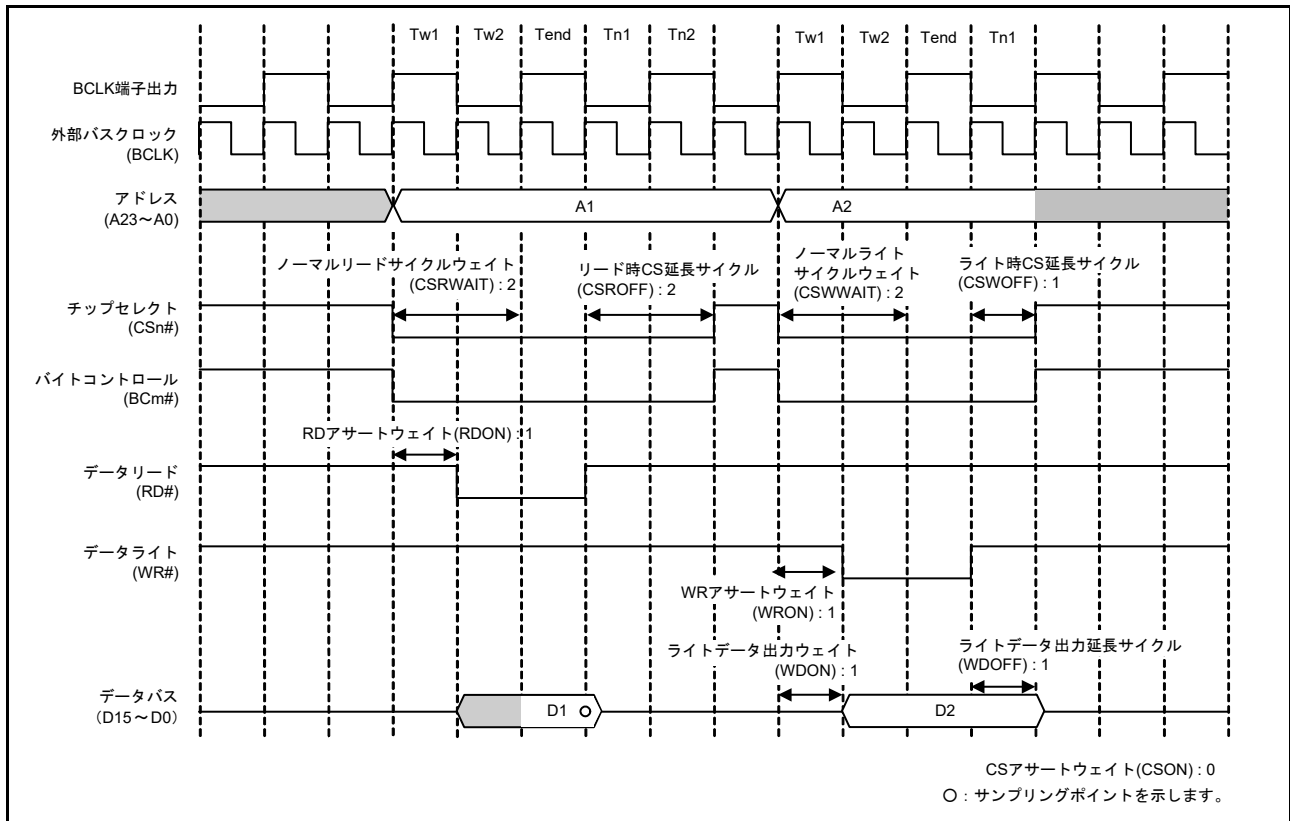


図 16.15 ノーマルアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n = 0 ~ 3, m = 0, 1)

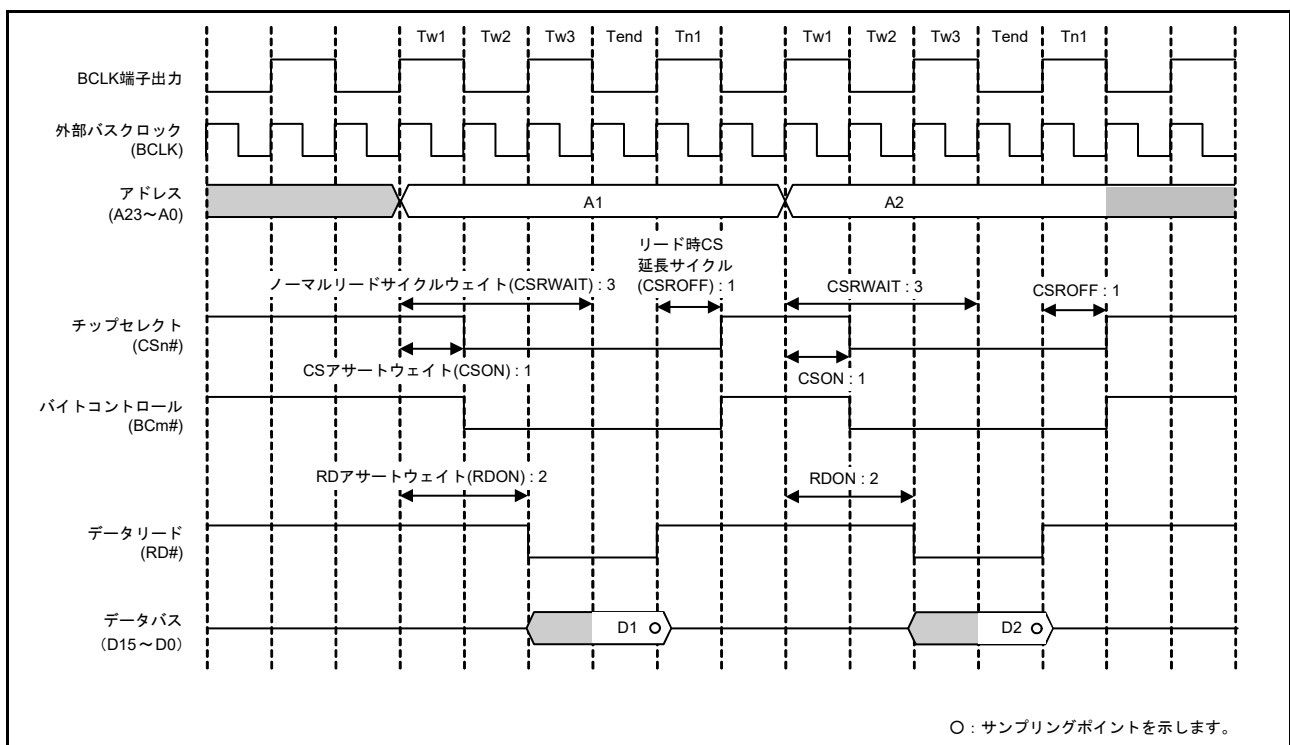


図 16.16 ノーマルリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n = 0 ~ 3, m = 0, 1)

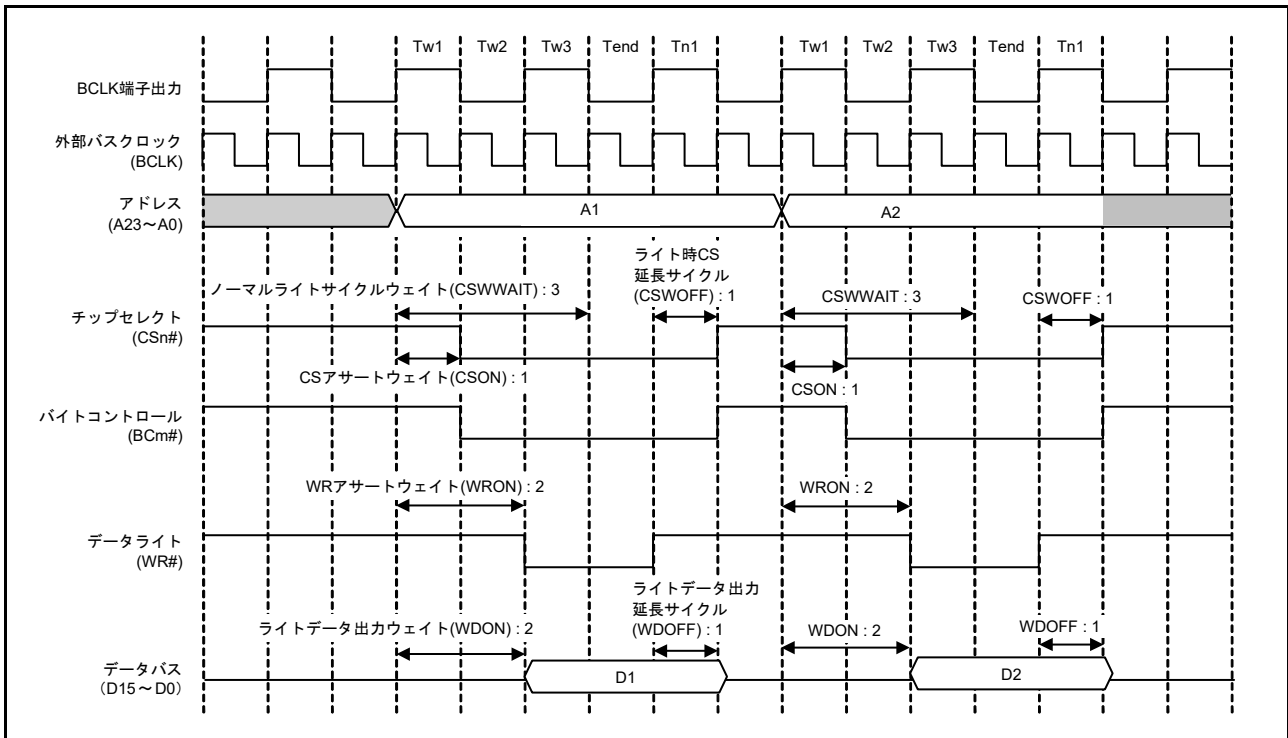


図 16.17 ノーマルライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n = 0 ~ 3, m = 0, 1)

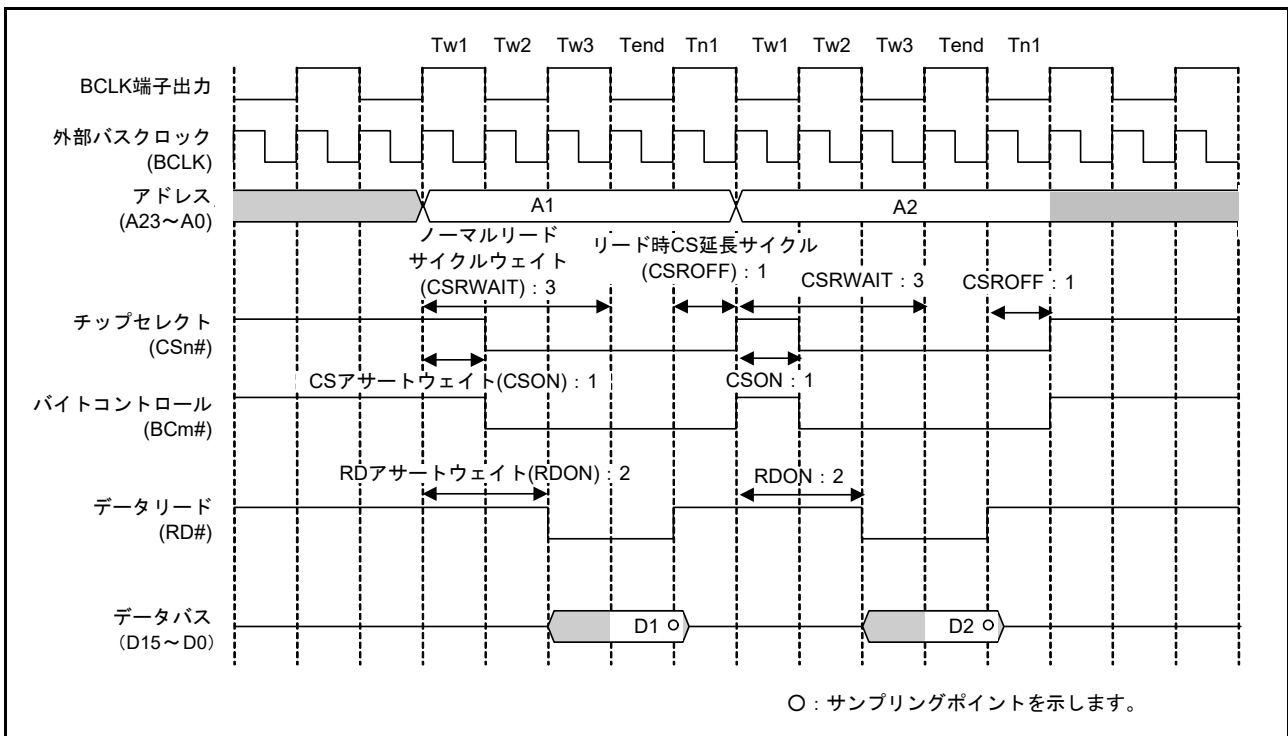


図 16.18 ノーマルリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0 ~ 3, m = 0, 1)

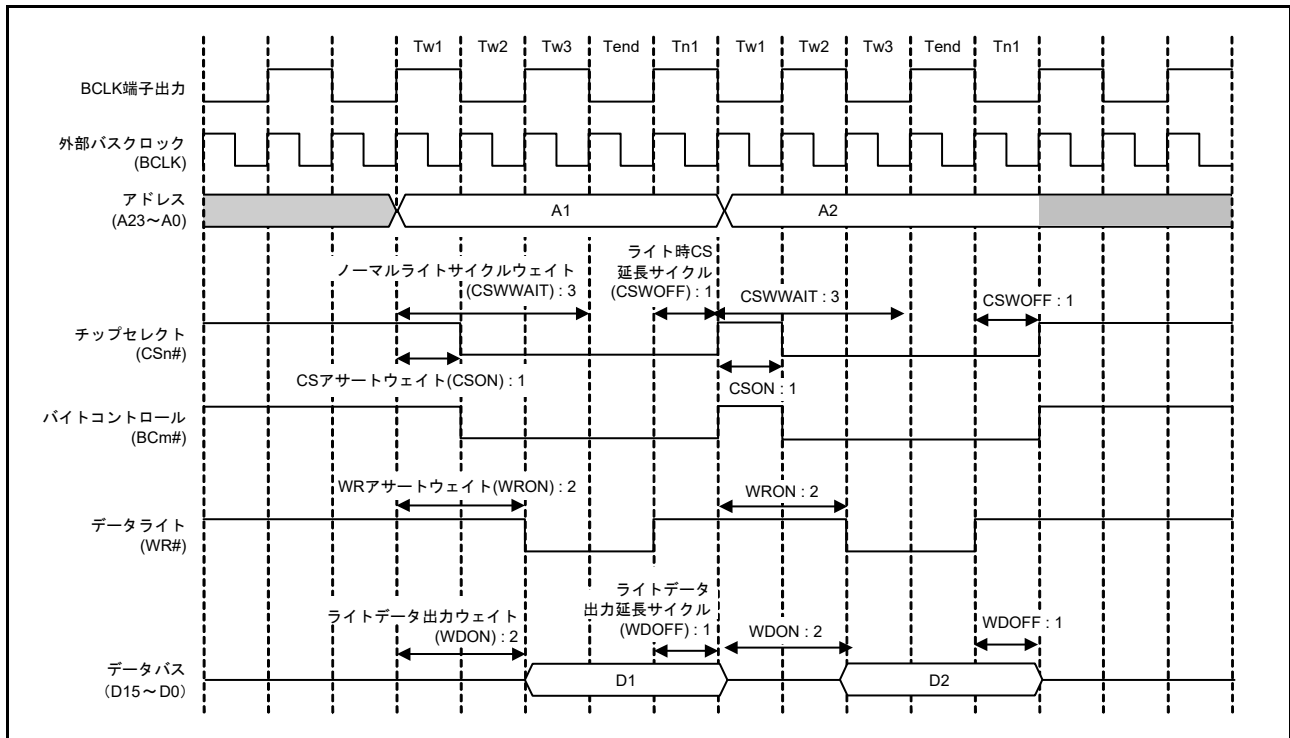


図 16.19 ノーマルライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0 ~ 3, m = 0, 1)

(2) ページアクセス

CsnMOD.PRENB ビットを“1” (ページリードアクセス許可)、CsnMOD.PWENB ビットを“1” (ページライトアクセス許可) に設定した場合、ページアクセスに該当するバスアクセスはページアクセスとなります。バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合がページアクセスの対象となります。ただし、分割されたアクセスが非ラインアクセスになる場合、および 32 ビット境界を越えるアクセスの場合、ページアクセスの対象とはならずノーマルアクセスとなります。ページアクセスが発生する条件の詳細は、図 16.6 ~ 図 16.9 を参照してください。

図 16.20、図 16.21 にページアクセスの動作例を示します。

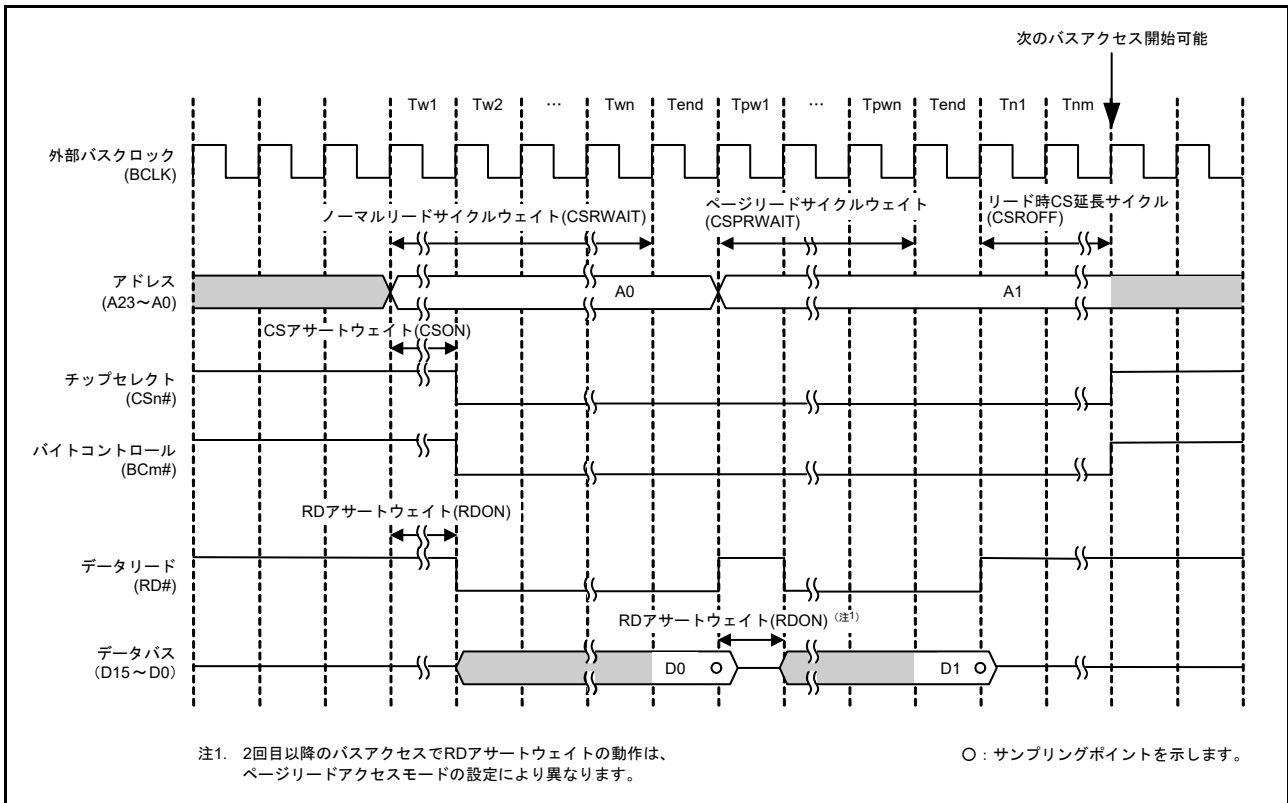


図 16.20 ページリードアクセスタイミング (n = 0 ~ 3, m = 0, 1)

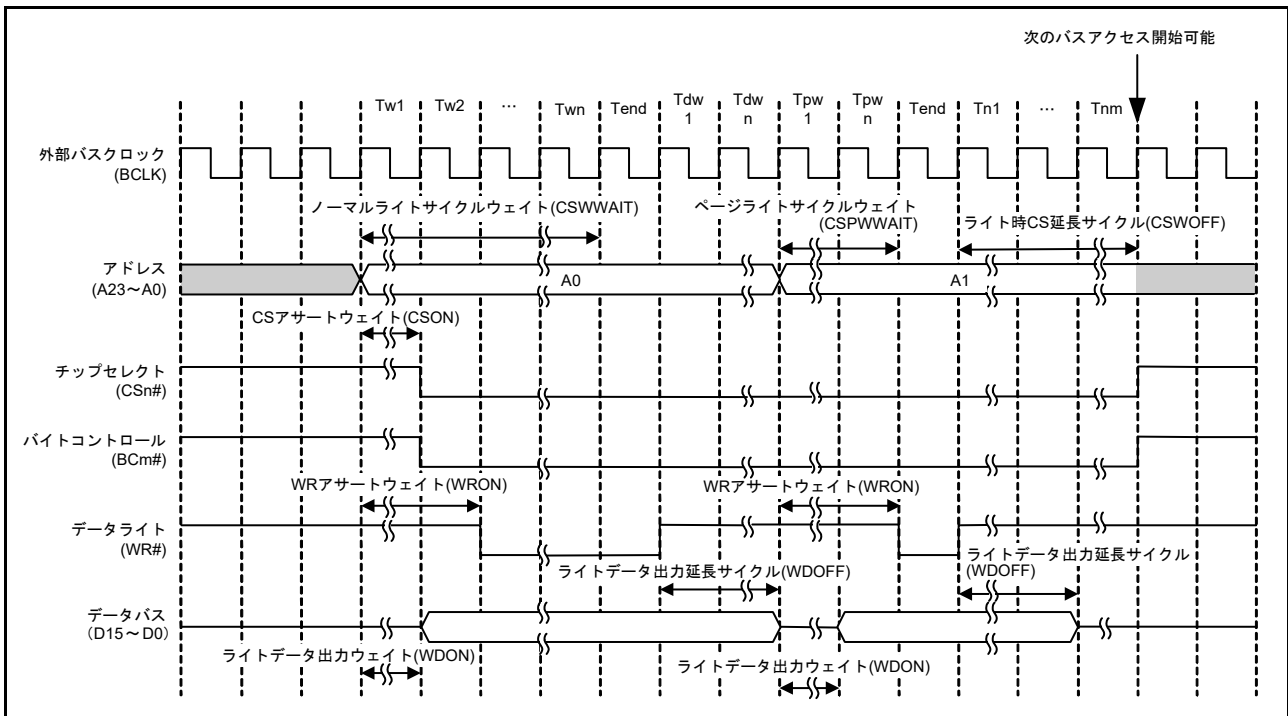


図 16.21 ページライトアクセスタイミング (n = 0 ~ 3, m = 0, 1)

図 16.22、図 16.23 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

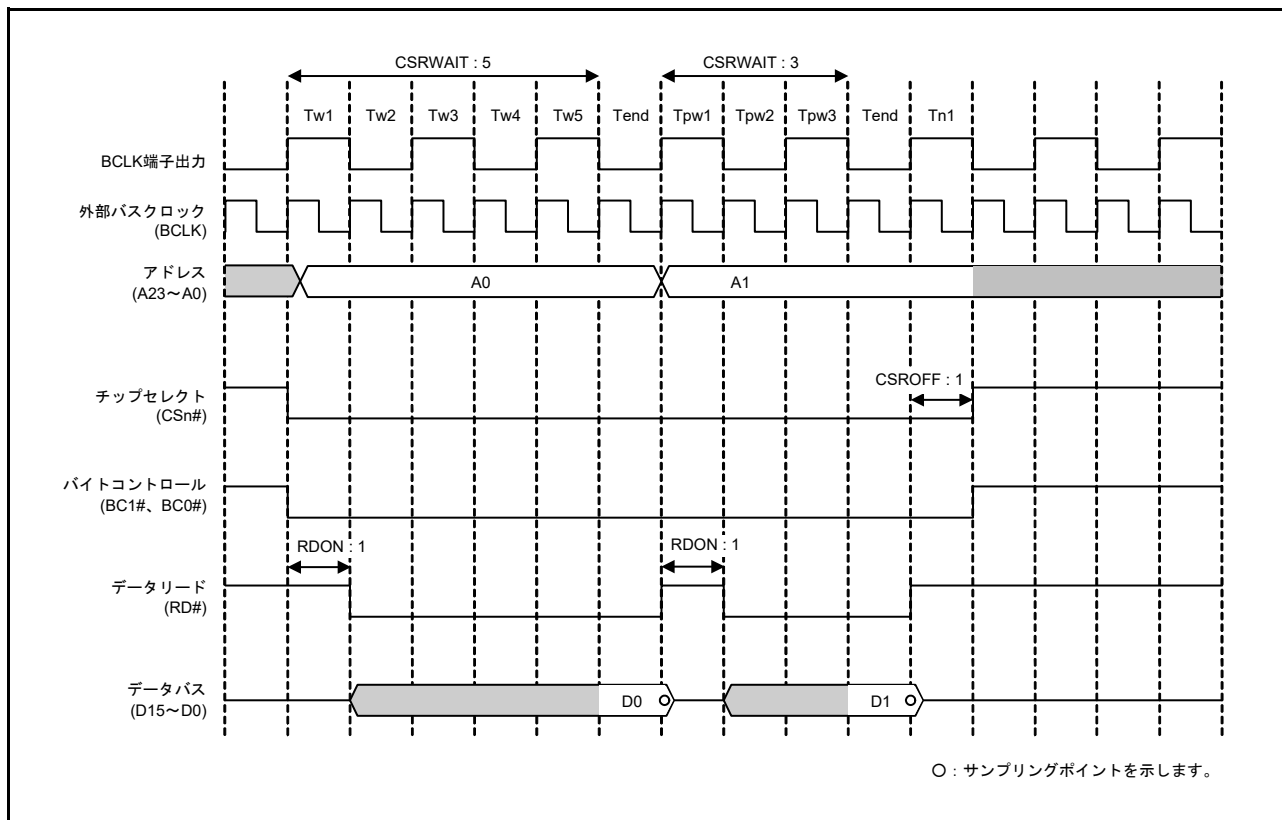


図 16.22 ページリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) ($n = 0 \sim 3$)

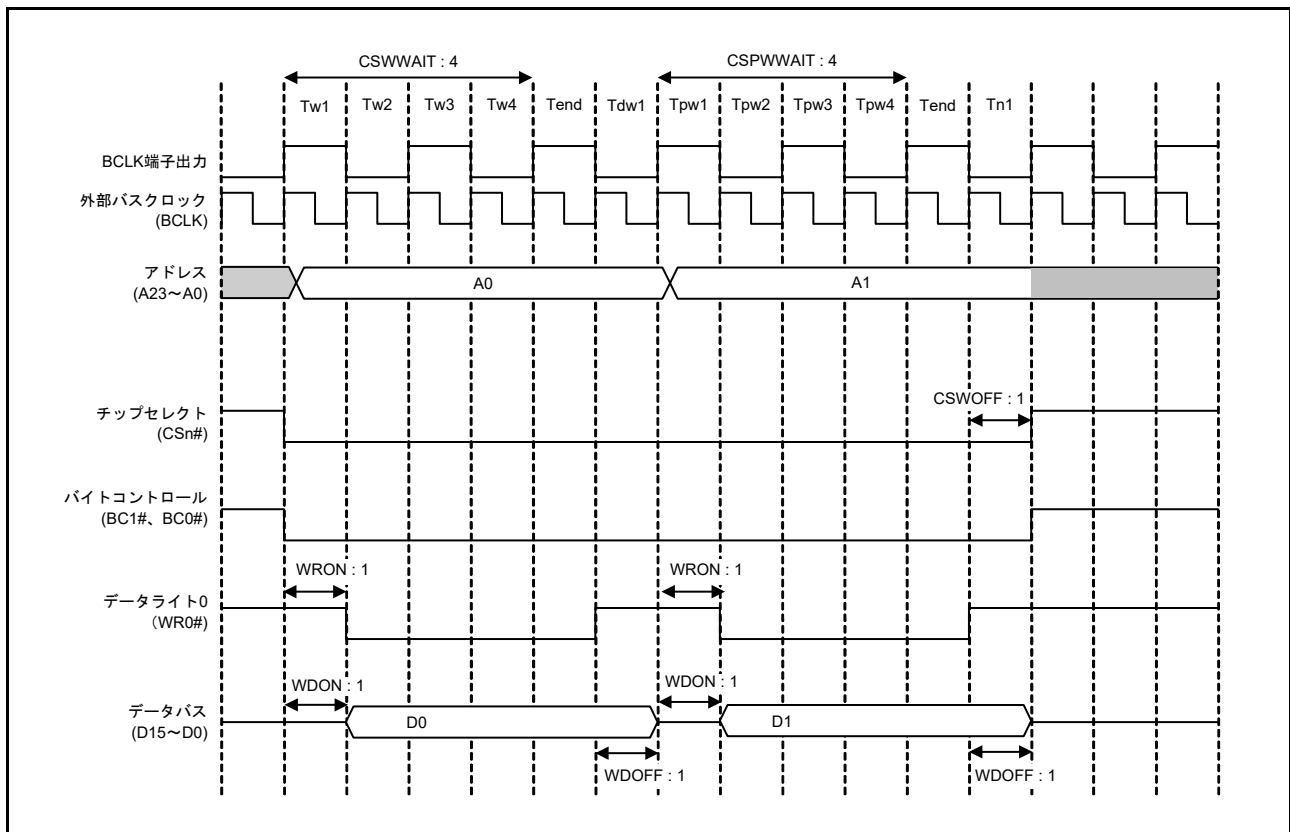


図 16.23 ページライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合 : 1 ライトストローブモード時) (n = 0 ~ 3)

16.5.2 アドレス / データマルチプレクスバス

CSn 制御レジスタのアドレス / データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) を“1”に設定することにより、対応する領域で D15 ~ D0 端子にアドレスとデータをマルチプレクスして入出力する機能を備えています。これにより、アドレス / データマルチプレクスが必要な周辺 LSI を本 LSI に直結できます。CSnCR.BSIZE[1:0] ビットで 8 ビットを選択した領域では、D7 ~ D0 が A7 ~ A0 とマルチプレクスされます。CSnCR.BSIZE[1:0] ビットで 16 ビットを選択した領域では、D15 ~ D0 が A15 ~ A0 とマルチプレクスされます。アドレス / データマルチプレクス I/O 空間では、ALE, RD#, WRn#, BCn# 信号でアクセスが制御されます。セパレートバスと同様、バイトストローブモードと 1 ライトストローブモードを選択可能です。ただし、アドレスサイクル中の BCn# 信号については、リードデータ、ライトデータに対するバイトコントロール信号が出力されます。

アドレス / データマルチプレクス I/O 空間のアクセスでは、アドレス出力が CSn ウェイト制御レジスタ 2 のアドレスサイクルウェイト選択ビット (CSnWCR2.AWAIT[1:0]) で設定されたサイクル挿入後、続けてデータのアクセスが行われます。

- Tal ~ Tan (アドレスサイクルウェイト)

アドレス / データマルチプレクス I/O 空間設定時のみ有効なサイクルで、外部バスアクセス開始からアドレスラッチ (ALE) 信号がネゲートされる 1 サイクル前までの期間です。0 ~ 3 サイクルを選択できます。ALE 信号がネゲートされた次のサイクルまでアドレスが出力されます (アドレスサイクル)。ALE 信号は、CS# 信号のアサートタイミングと同じになります。アドレスサイクル後はデータサイクルになります。アドレスサイクルとデータサイクルが重ならないように CSnWCR1, CSnWCR2 レジスタの値を設定する必要があります。

アドレス / データマルチプレクス I/O 空間では、ページアクセスは無効です。ページリードアクセス許可 (CSnMOD.PRENB ビット = 1)、ページライトアクセス許可 (CSnMOD.PWENB ビット = 1) に設定した場合、設定は無視されノーマルアクセスを行います。

図 16.24 ~ 図 16.26 にアドレス / データマルチプレクス I/O インタフェース時の動作例を示します。

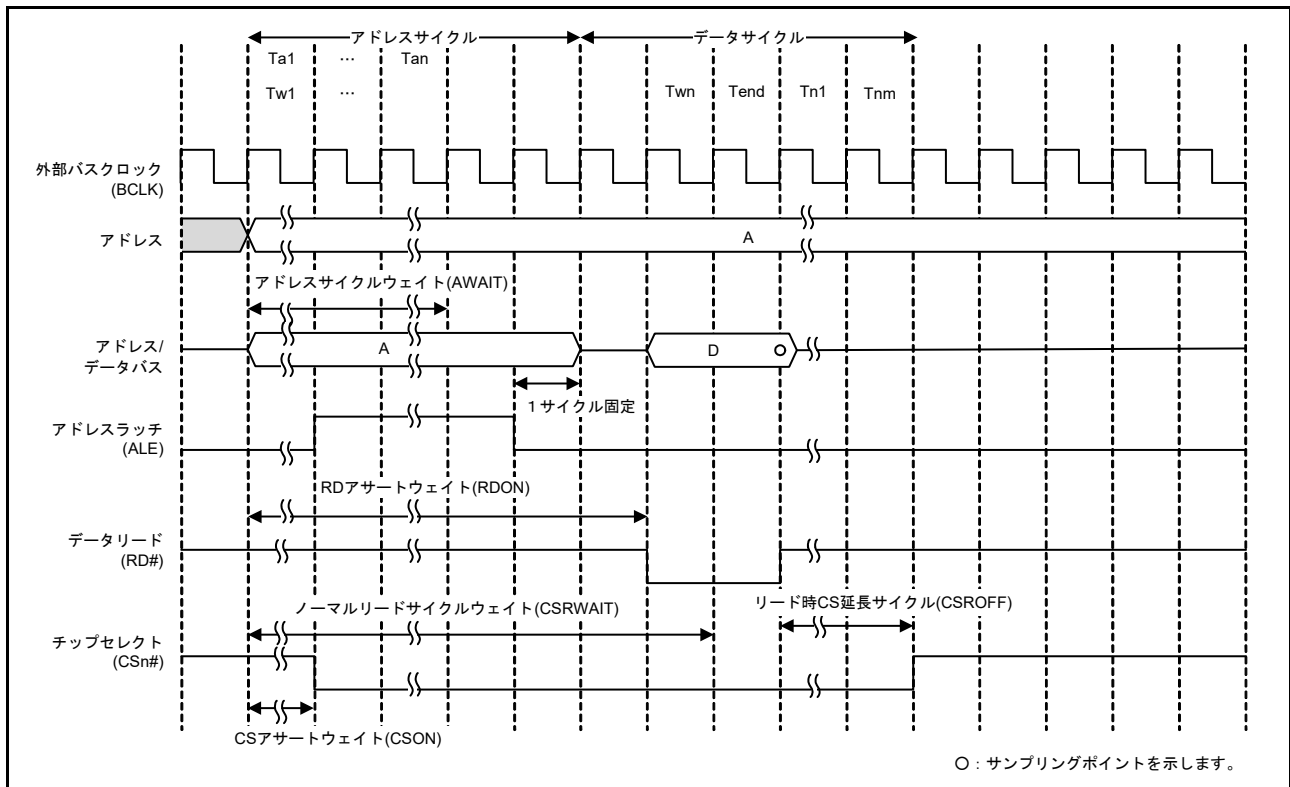


図 16.24 アドレス / データマルチプレクス I/O インタフェース時のリードアクセスの動作例 (n = 0 ~ 3)

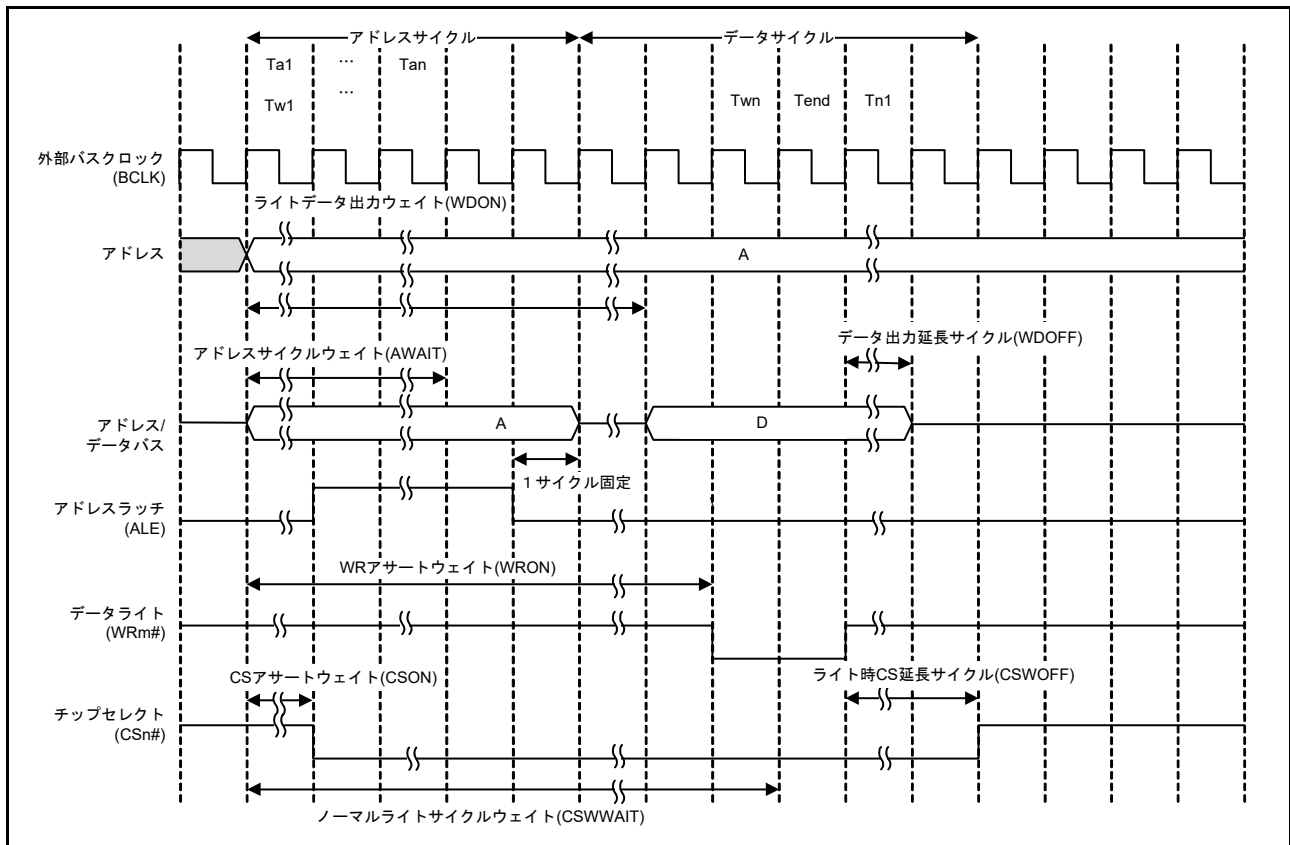


図 16.25 アドレス / データマルチプレクス I/O インタフェース時のライトアクセスの動作例 (n = 0 ~ 3, m = 0, 1)

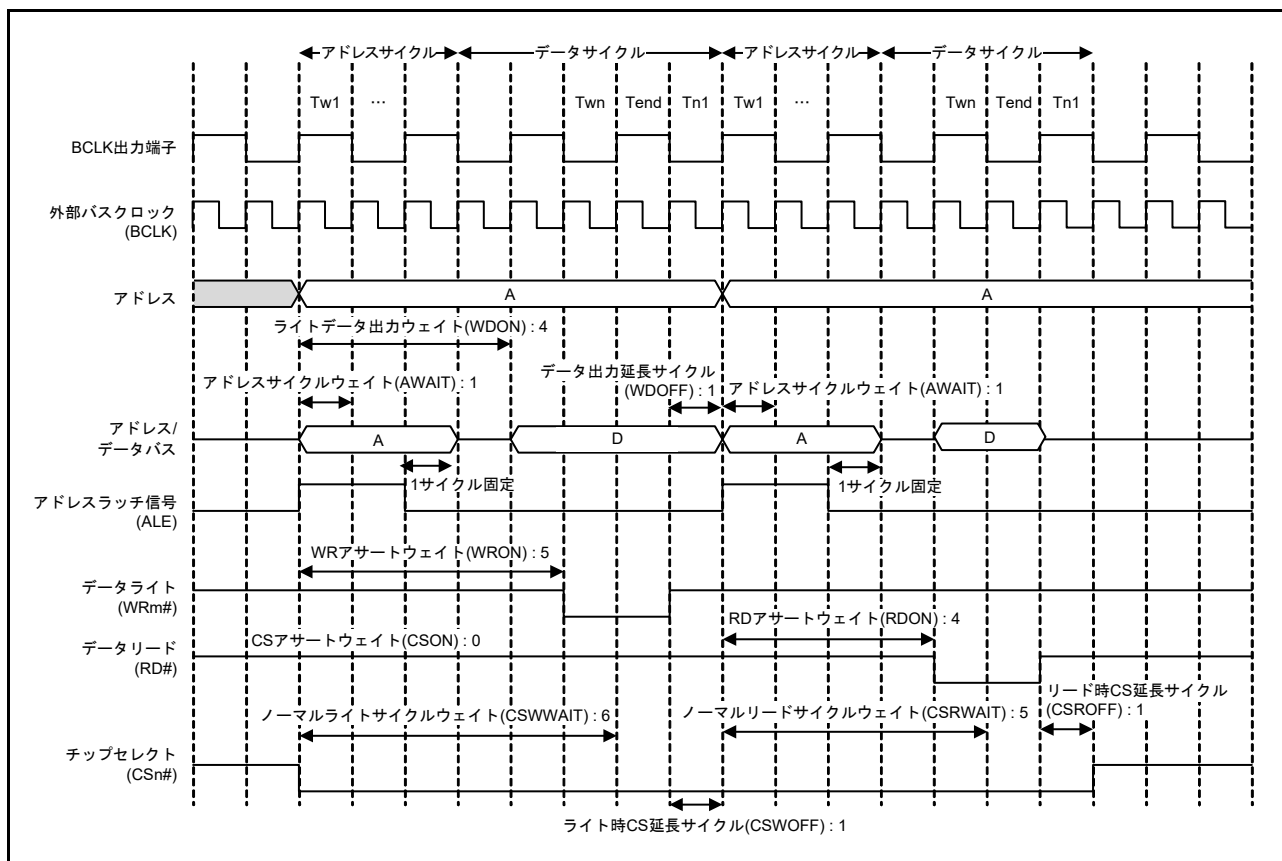


図 16.26 アドレス / データマルチプレクス I/O インタフェース時のバスタイミング例 (n = 0 ~ 3, m = 0, 1)

16.5.3 外部ウェイト機能

WAIT# 信号により、CSn ウェイト制御レジスタ 1 (CSnWCR1) で設定したノーマルアクセスサイクルウェイト (CSRWAIT[4:0] ビット、CSWWAIT[4:0] ビット) や、ページアクセスサイクルウェイト (CSPRWAIT[2:0] ビット、CSPWWAIT[2:0] ビット) を超えて、ウェイトサイクルを延長することができます。

外部ウェイト許可 (CSnMOD.EWENB ビット = 1) にすると、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。外部ウェイト禁止 (CSnMOD.EWENB ビット = 0) であれば WAIT# 信号は無効です。

なお、CSnWCR1 レジスタで設定した各サイクルウェイトは、WAIT# 信号にかかわらず挿入されます。

(1) ノーマルアクセス

CSnWCR1 レジスタで設定したサイクルウェイト数が完了した時点 (Tend) から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

(2) ページアクセス

最初のアクセスは、ノーマルアクセスと同じです。ウェイト制御レジスタに設定したサイクルウェイト数が完了した時点 (Tend) から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

2 番目以降のアクセスに関しては、ページアクセスのウェイトサイクルが完了した時点 (Tend) から WAIT# 信号がサンプリングされます。WAIT# 信号が Low の間、ページアクセスのウェイトサイクルを延長し、WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

図 16.27、図 16.28 にセパレートバスインタフェース時の外部ウェイトサイクルの動作例を示します。

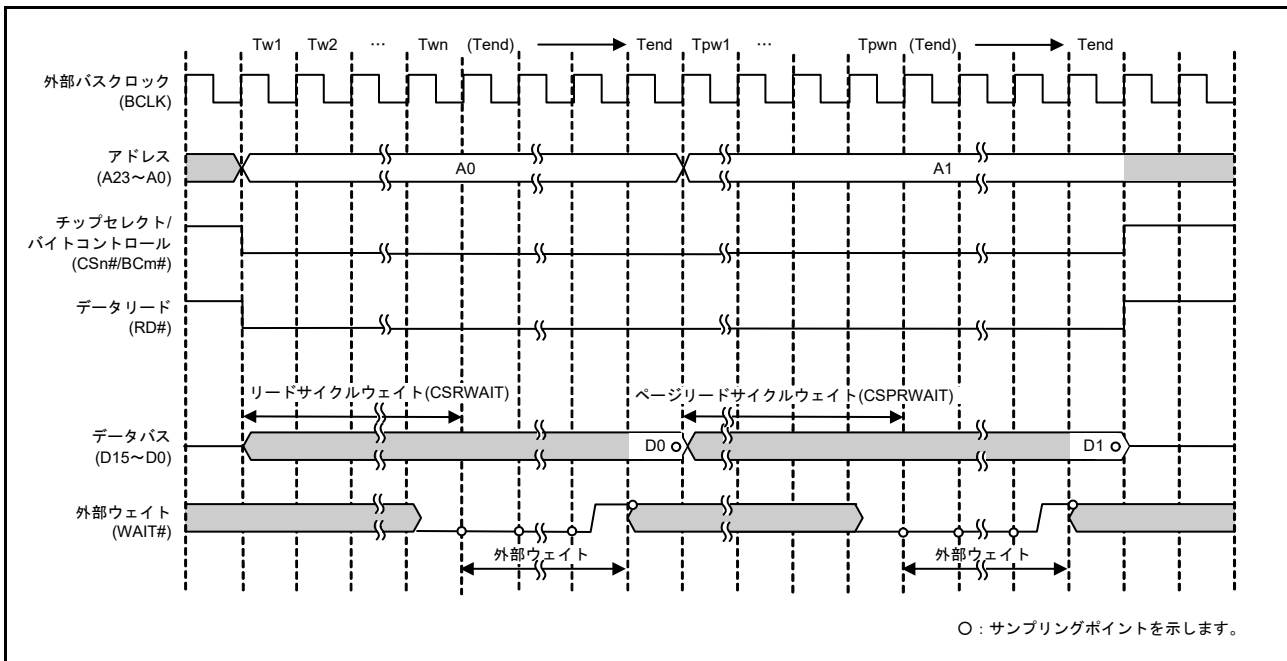


図 16.27 外部ウェイトタイミング例 (16 ビットバス空間へのページリードアクセス)
(n = 0 ~ 3, m = 0, 1)

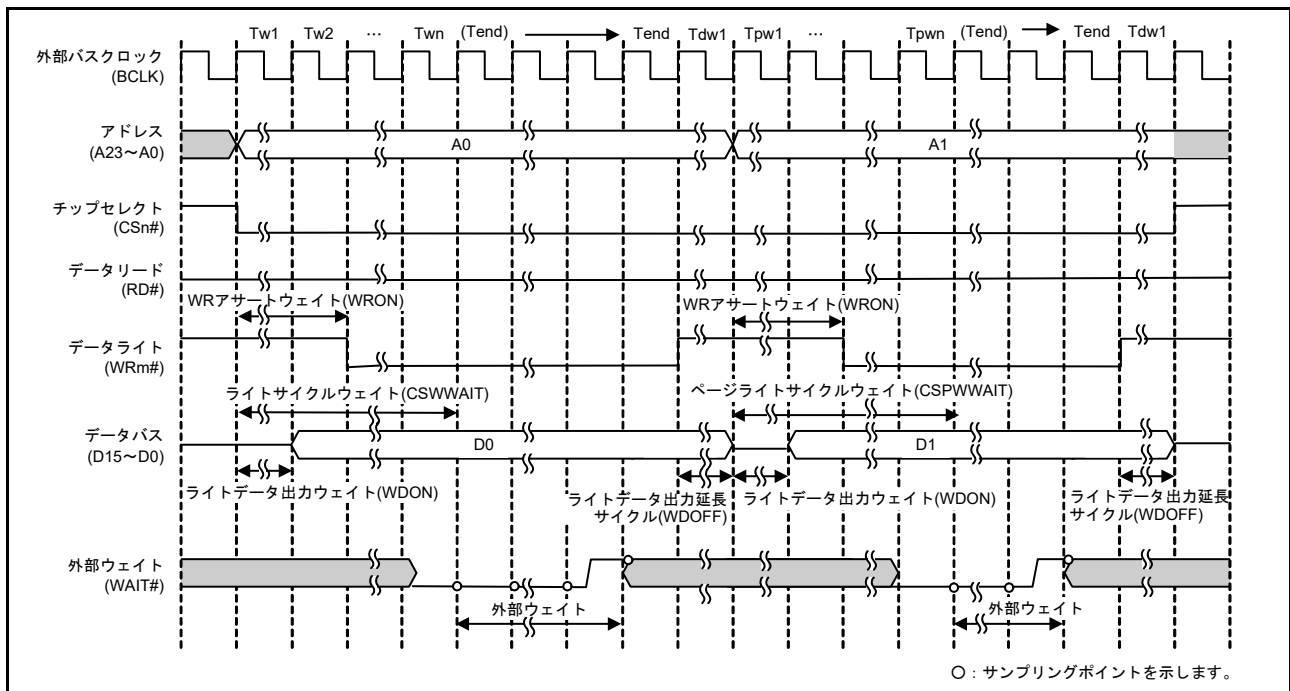


図 16.28 外部ウェイトタイミング例 (16 ビットバス空間へのページライトアクセス : バイトストローブモード時) (n = 0 ~ 3, m = 0, 1)

(3) アドレス / データマルチプレクス I/O インタフェース

アドレス / データマルチプレクス I/O インタフェースのデータサイクルには、セパレートバスインタフェースと同様にプログラムウェイトの挿入、WAIT 端子による端子ウェイトの挿入が可能です。

ウェイト制御の設定は、アドレスサイクルに影響を与えません。図 16.29 にアドレス / データマルチプレクス I/O インタフェース時の外部ウェイトサイクルの動作例を示します。

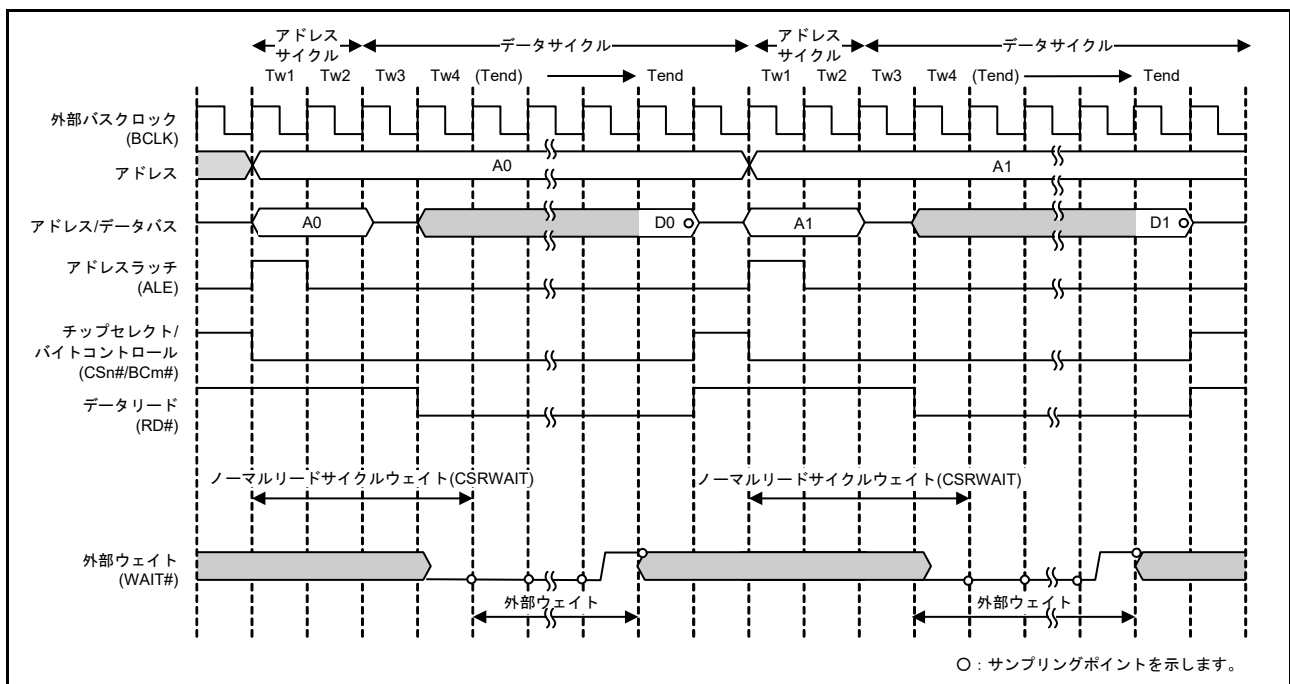


図 16.29 アドレス / データマルチプレクス I/O インタフェース時の外部ウェイト挿入の動作例 (n = 0 ~ 3, m = 0, 1)

16.5.4 リカバリサイクルの挿入

CS リカバリサイクル挿入許可レジスタ (CSRECEN) のリカバリサイクル挿入許可ビットを“1”に設定することにより、連続する外部バスアクセスの間にリカバリサイクルを挿入することができます。

挿入するリカバリサイクル数は、ライトサイクル後とリードサイクル後を領域ごとに設定でき、CSn リカバリサイクル設定レジスタ (CSnREC) で設定します。前バスサイクルがライトアクセスの場合、その領域のライトリカバリサイクル設定ビット (CSnREC.WRCV[3:0]) で設定し、前バスサイクルがリードアクセスの場合、その領域のリードリカバリサイクル設定ビット (CSnREC.RRCV[3:0]) で設定します。たとえば、CS0 リードアクセス後、CS1 リードアクセスがある場合、この間に入るリカバリサイクルは、CS0 の CS0REC.RRCV[3:0] ビットで設定されたサイクル数になります。

リカバリサイクル挿入可能な条件は、以下の 8 通りです。前バスアクセスがセパレートバスの場合、CS リカバリサイクル挿入許可レジスタのセパレートバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENj) (j=0~7) により、アドレス/データマルチプレクスバスの場合、CS リカバリサイクル挿入許可レジスタのマルチプレクスバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENMj) (j=0~7) により、リカバリサイクル挿入の許可、禁止を設定できます。

- 外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合

リカバリサイクルの起点は、前バスサイクルの終了時点 (CSn# 信号 (n=0~3) のネゲート時点) です。終了時点から設定したリカバリサイクル間は、CSn# 信号の High 期間が挿入されます。

最短でリカバリサイクルの終了直後に、次のバスアクセスのチップセレクト CSn# 信号がアサートされます。リカバリサイクル中に次の外部アドレス領域へのアクセス要求が発生した場合も、リカバリサイクル終了直後に次の外部バスアクセスを開始します。

バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。ただし、ページリードアクセス許可 (CSnMOD.PRENB=1)、あるいは、ページライトアクセス許可 (CSnMOD.PWENB=1) に設定された場合、リカバリサイクル挿入条件が成り立つ場合でも途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます (図 16.32 参照)。

ページアクセス許可設定時でノーマルアクセスとなる場合についても、セパレートバス時は、途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。アドレス/データマルチプレクス I/O インタフェース時は、ページアクセス許可設定に関わらず、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。

図 16.30 ~ 図 16.32 にセパレートバスインタフェース時のリカバリサイクルの動作例を示します。

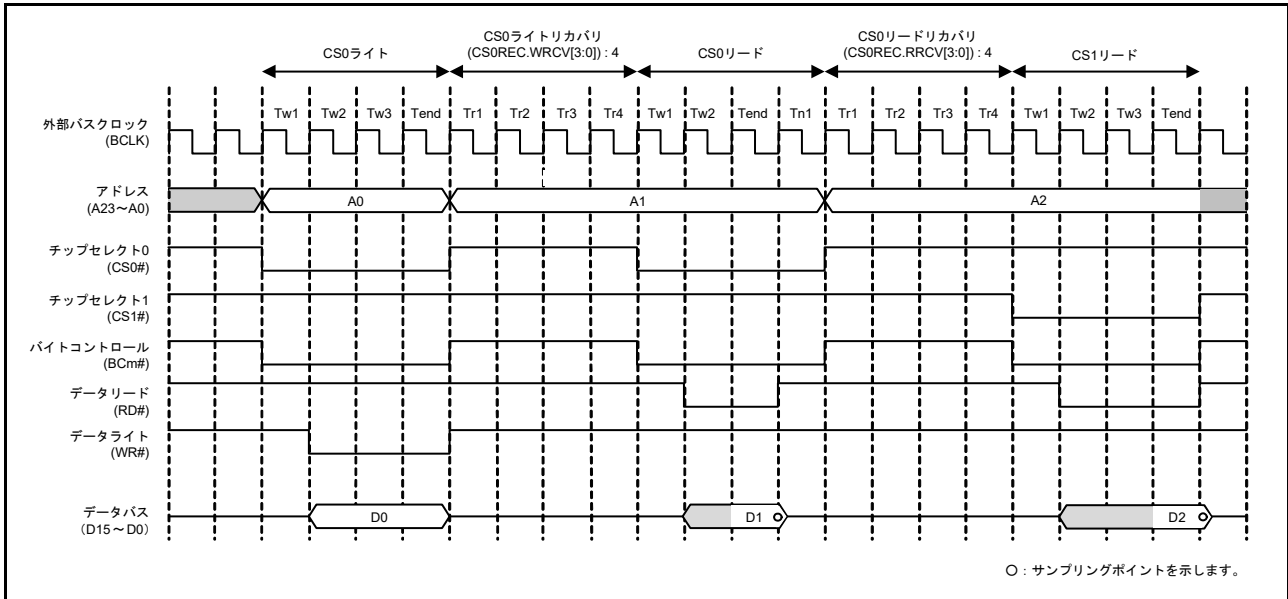


図 16.30 セパレートバスインタフェース時のリカバリサイクルの動作例 (m = 0, 1)

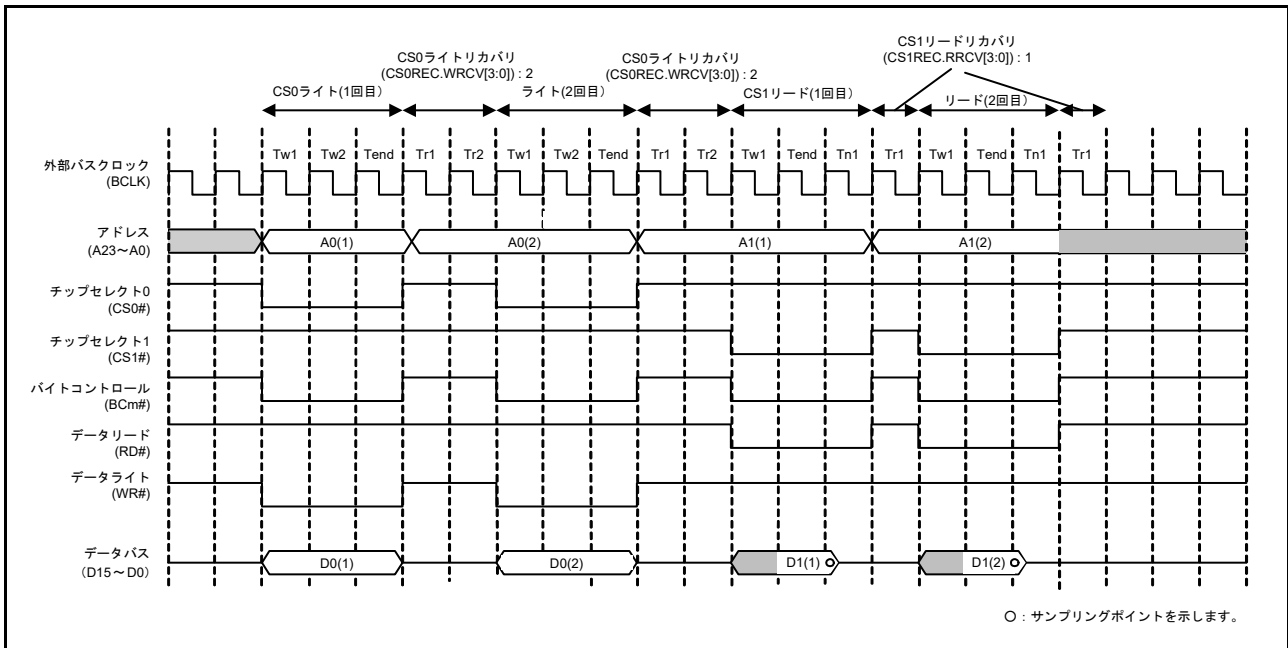


図 16.31 バスアクセスが分割された場合のリカバリサイクルの動作例 (セパレートバスインタフェース、ノーマルアクセスの場合) (m = 0, 1)

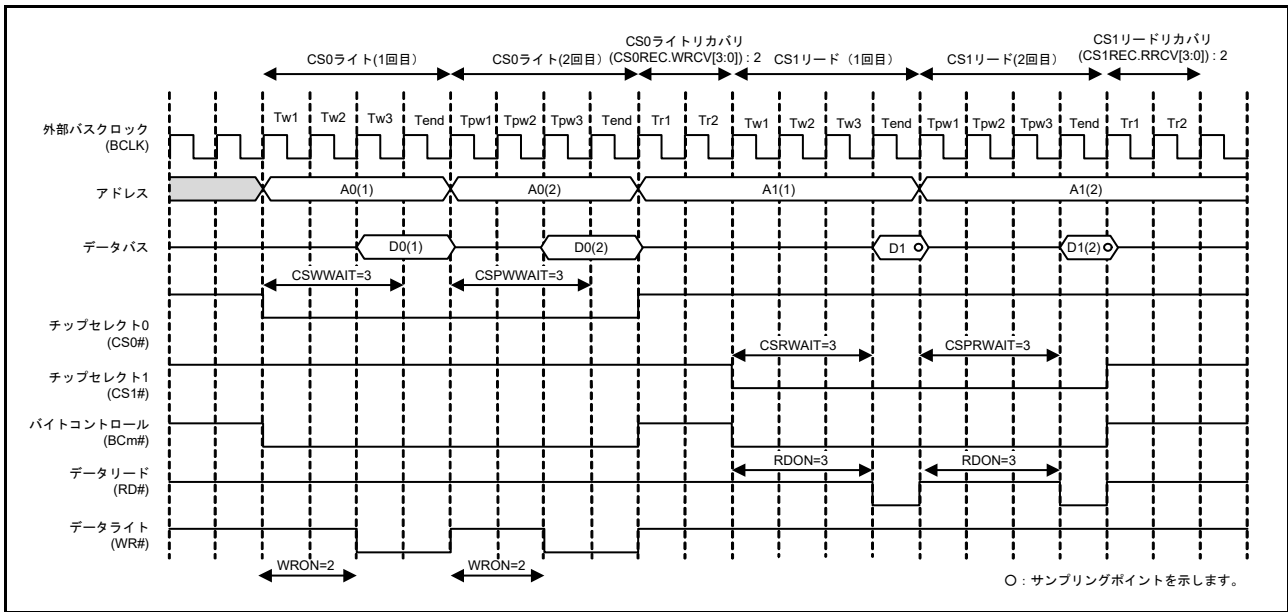


図 16.32 バスアクセスが分割された場合のリカバリサイクルの動作例（セパレートバスインタフェース、ページアクセスの場合）(m = 0, 1)

図 16.33 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

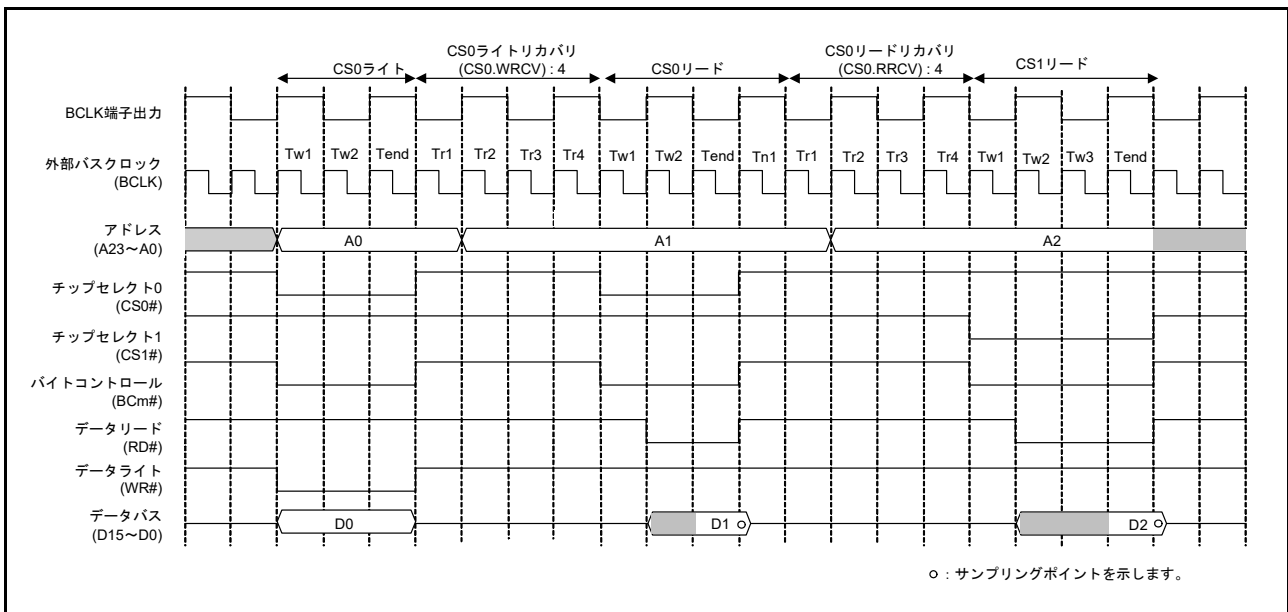


図 16.33 BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合のリカバリサイクルの動作例（セパレートバスインタフェース、ノーマルアクセスの場合）(m = 0, 1)

アドレス/データマルチプレクス I/O インタフェースのリカバリサイクルの挿入もセパレートバスインタフェースと同様に行われます。図 16.34、図 16.35 に、アドレス/データマルチプレクス I/O インタフェース時のリカバリサイクルの動作例を示します。

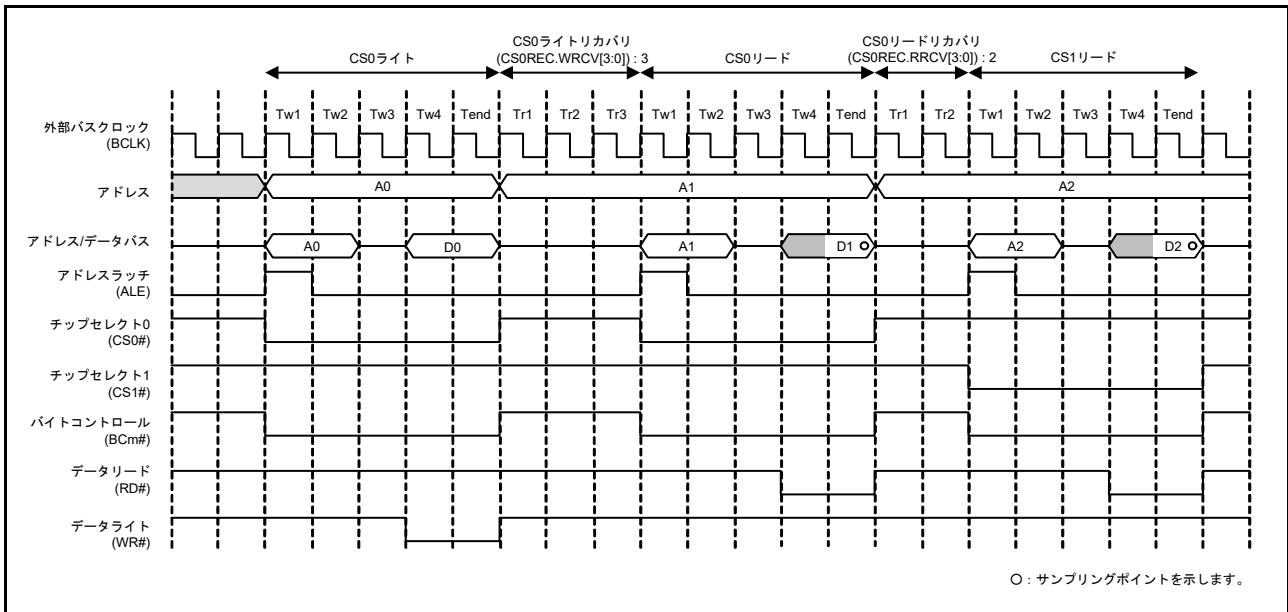


図 16.34 アドレス / データマルチプレクス I/O インタフェース時のリカバリサイクルの動作例 (m = 0, 1)

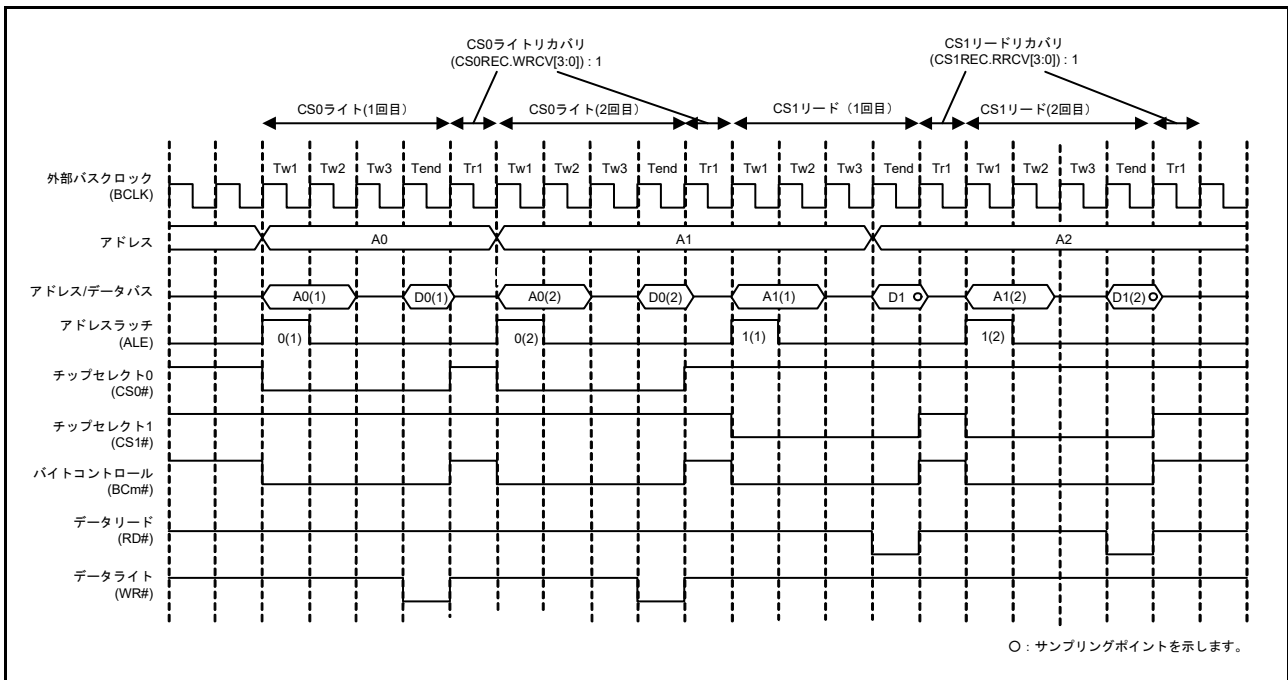


図 16.35 アドレス / データマルチプレクス I/O インタフェース時、バスアクセスが分割された場合のリカバリサイクルの動作例 (m = 0, 1)

16.5.5 非アクセス時の状態

外部アドレス空間に対して処理を行っていないときには CSn# 信号、BCn# 信号、WRn# 信号、RD# 信号は High に、ALE 信号は Low に、D15 ~ D0 はハイインピーダンスになります。

16.5.6 ライトバッファ機能（外部バス）

ライトアクセスの場合、データをライトバッファに書き込むことにより、動作の終了を待たずに内部メインバスを解放するので、次のバスアクセスを開始することができます。ただし、次のバスアクセスが外部アドレス空間、あるいは外部バスコントローラのレジスタへのアクセスであった場合は、前の外部バス動作が終了するまで待たされます。

図 16.36 にライトバッファ機能を使用したときの動作例を示します。この機能を使用したとき、外部ライトの次に内部アクセスがある場合は、外部ライトの終了を待たずに内部アクセス（内蔵メモリ、周辺モジュールのアクセス）が並列して実行されます。

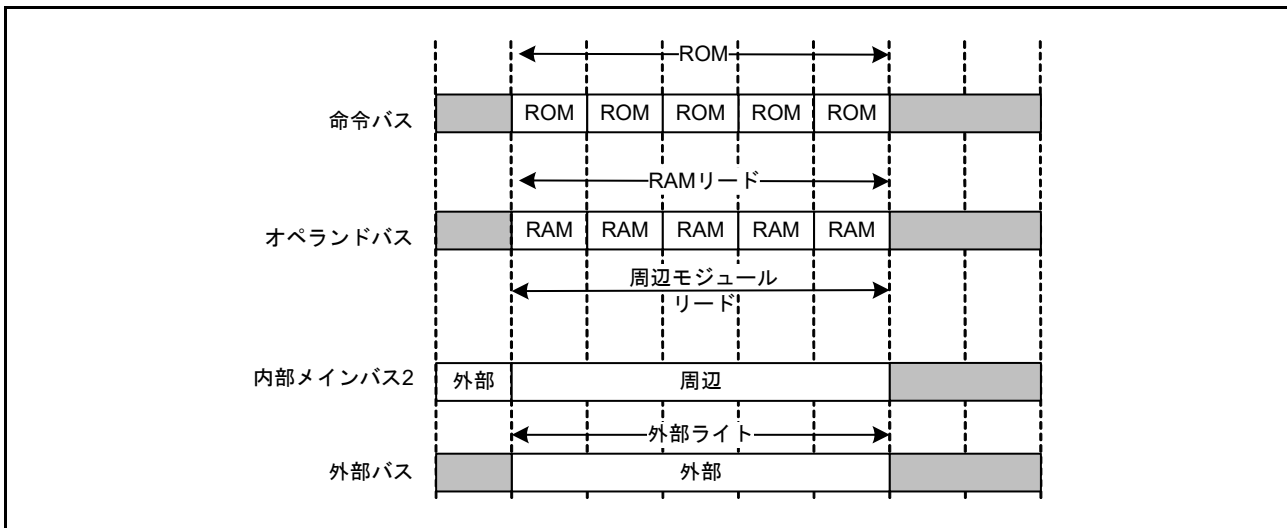


図 16.36 ライトバッファ機能使用時の動作例

16.5.7 制約事項

(1) セパレートバスインタフェースの場合の制約事項

- 表 16.9 にノーマルアクセス時とページアクセス時の CSn ウェイト制御レジスタ 1 (CSnWCR1) と、CSn ウェイト制御レジスタ 2 (CSnWCR2) の各ビットの設定値の制約事項を示します。CSn モードレジスタのページリードアクセス許可ビットが有効 (CSnMOD.PRENB = 1)、あるいはページライトアクセス許可ビットが有効 (CSnMOD.PWENB = 1) であっても、ページアクセスの 1 回目のアクセス、あるいはページアクセスの対象とならないアクセス時はノーマルアクセス動作となり、ノーマルアクセスの制約条件を満たす必要があります。

表 16.9 ノーマル/ページアクセス時の制約事項

ノーマルアクセス時の制約条件		ページアクセス時の制約条件	
リード	ライト	リード	ライト
CSON[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSON[2:0] ≤ RDON	1 ≤ WDON[2:0] CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON	CSON[2:0] ≤ CSPRWAIT RDON[2:0] ≤ CSPRWAIT CSON[2:0] ≤ RDON	1 ≤ WDON[2:0] CSON[2:0] ≤ CSPWWAIT WRON[2:0] ≤ CSPWWAIT WDON[2:0] ≤ CSPWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON

- バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、ページリードアクセス許可 (CSnMOD.PRENB = 1)、あるいは、ページライトアクセス許可 (CSnMOD.PWENB = 1) に設定された場合、途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。

(2) アドレス / データマルチプレクスバスの場合の制約事項

- アドレス / データマルチプレクス I/O 空間では、ページアクセスは無効です。ページアクセスの設定は、無視されノーマルアクセスを行います。

表 16.10 ノーマルアクセス時の制約事項

ノーマルアクセス時の制約条件	
リード	ライト
CSON[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSON[2:0] ≤ RDON AWAIT[1:0]+2 ≤ RDON CSON[2:0] ≤ AWAIT	CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON AWAIT[1:0]+2 ≤ WRON AWAIT[1:0]+2 ≤ WDON CSON[2:0] ≤ AWAIT

(3) A0 端子と BC0# 端子を兼用する製品の場合の制約事項

A0 端子と BC0# 端子を兼用する製品の場合、8 ビットバス空間では 1 ライトストロブモードの設定は禁止しており、設定した場合の動作は保証していません。

(4) BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の制約事項

BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になりますが、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合、2 回目以降の外部バスアクセスの開始は、ウェイト数の設定によっては、BCLK 端子出力の立ち下がり時点になる可能性があります。接続するデバイスの仕様にあわせて、レジスタの値を設定してください。

(5) アドレス空間の各領域をまたがるアクセスの禁止

1 つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1 つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで 2 つの領域にまたがらないようにしてください。

(6) RMPA 命令、ストリング操作命令に関する制約事項

- 外部空間には領域ごとのエンディアン切り替え機能（データのみ）がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。
- RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

(7) 命令コードに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

16.6 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合、バスマスタへ通知します。

16.6.1 バスエラーの種類

バスエラーには、不正アドレスアクセス、タイムアウトの2種類のバスエラーがあります。

不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出し、タイムアウトはバスアクセスが768 サイクル以内に終了しない場合に検出します。

16.6.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効 (BEREN.IGAEN = 1) に設定された場合で、以下のアクセスが起こった場合に発生します。

- 外部領域については、動作禁止 (CSnCR.EXENB = 0, SDCCR.EXENB = 0) に設定した領域をアクセスした場合
- 上記以外の領域については、不正アドレス領域にアクセスした場合どの領域が不正アドレスアクセスエラーを発生するかを表 16.11 に示します。

16.6.1.2 タイムアウト

タイムアウトは、バスエラー監視許可レジスタのタイムアウト検出許可ビットが有効 (BEREN.TOEN = 1) に設定された場合で、バスアクセスが768 サイクル以内に終了しない場合に発生します。

- CS 領域 (CS0 ~ CS3) : バスアクセス開始後、外部バスクロック (BCLK) で768 サイクル以内にバスアクセスが終了しない (WAIT# 信号がネゲートされない) 場合
タイムアウトが発生すると BCLK で256 サイクル間、バスマスタからのアクセスは受け付けられません。バスマスタからの1回のリクエストで、複数の外部バスアクセスが発生する転送では、タイムアウトが発生しても、後続のバスアクセスを中断できません。この場合、連続してタイムアウトが発生する可能性があります。
- 内部周辺バス (2, 3) : バスアクセス開始後、周辺モジュールクロック (PCLKB) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると PCLKB で256 サイクル間、バスマスタからのアクセスは受け付けられません。本 MCU ではタイムアウトは発生しません。
- 内部周辺バス (4) : バスアクセス開始後、周辺モジュールクロック (PCLKA) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると PCLKA で256 サイクル間、バスマスタからのアクセスは受け付けられません。
- 内部周辺バス (6) : バスアクセス開始後、FlashIF クロック (FCLK) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると FCLK で256 サイクル間、バスマスタからのアクセスは受け付けられません。本 MCU ではタイムアウトは発生しません。

16.6.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知：

割り込みが発生します。割り込みを発生させるかどうかは、ICU.IERn レジスタで制御できます。

16.6.3 バスエラーの発生条件

表 16.11 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態（バスエラーステータスレジスタ n (BERSRn) (n = 1, 2) がクリアされている場合) で、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると、BERSRn レジスタにその時点の状態が記憶されます。一度バスエラーが発生すると、その後バスエラーが発生しても BERSRn がクリアされていない場合はその状態を記憶しません。

2 つ以上のバスマスタについてバスエラーが同時に発生する場合は、1 つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSRn レジスタがクリアされるまで状態を保持します。

表 16.11 発生するバスエラーの種類

アドレス	内容		種類			
			不正アドレスアクセス		タイムアウト	
	ROM有効	ROM無効	ROM有効	ROM無効	ROM有効	ROM無効
0000 0000h ~ 0007 FFFFh	メモリバス 1		—		—	
0008 0000h ~ 0008 7FFFh	内部周辺バス 1		—		—	
0008 8000h ~ 0009 FFFFh	内部周辺バス 2		△		—	
000A 0000h ~ 000B FFFFh	内部周辺バス 3		△		—	
000C 0000h ~ 000D FFFFh	内部周辺バス 4		△		○	
000E 0000h ~ 000F FFFFh	予約領域		—		—	
0010 0000h ~ 0011 FFFFh	内部周辺バス 6	予約領域	—	○	—	—
0012 0000h ~ 007F FFFFh			△	○	—	—
0080 0000h ~ 00FF FFFFh			—	—	—	—
0100 0000h ~ 07FF FFFFh	外部バス (CS1 ~ CS3)		[IA]		[TO]	
0800 0000h ~ 0FFF FFFFh	予約領域		—		—	
1000 0000h ~ 7FFF FFFFh			○		—	—
8000 0000h ~ FFFF FFFFh	メモリバス 2	予約領域	—	○	—	—
FF00 0000h ~ FF7F FFFFh		外部バス (CS0)	—	[IA]	—	[TO]
FF80 0000h ~ FFFF FFFFh			—		—	

— : バスエラーは発生しません。

△ : バスエラーは不定です。

○ : バスエラーを発生します。

[IA] : これらの領域を動作禁止 (CSnCR.EXENB = 0 (n = 0 ~ 3)、SDCCR.EXENB = 0) に設定している場合にバスエラーを検出します。

[TO] : 768 サイクル以内にバスアクセスが終了しない場合にバスエラーを検出します。

注. 実装されるRAM、E2データフラッシュ、ROMの容量は製品により異なります。製品ごとの仕様については、「48. RAM」、「49. フラッシュメモリ」を参照してください。

16.7 割り込み

16.7.1 割り込み要因

バスは、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると割り込みコントローラにバスエラーが発生します。

表 16.12 割り込み要因

名称	割り込み要因	DTC起動	DMAC起動
BUSERR	不正アドレスアクセスエラーまたはタイムアウト	不可	不可

17. メモリプロテクションユニット (MPU)

17.1 概要

RXv2 CPU にはメモリプロテクションユニットが内蔵されており、全アドレス空間 (0000 0000h ~ FFFF FFFFh) を対象に CPU によるアクセスのアドレスチェックを行います。

最大 8 つの領域を設定することができ、領域ごとのアクセス制御情報に従いアクセスを許可します。設定領域外へのアクセスを検出すると、デフォルトではメモリプロテクションエラーが発生します。

各領域のアクセス制御情報は、読み出し許可、書き込み許可、実行許可に対応しています。このアクセス制御情報は、CPU のプロセッサモードがユーザモードのときに有効です。スーパーバイザモードのときは、メモリ保護を行いません。

表 17.1 にメモリプロテクションユニットの仕様を、図 17.1 にブロック図を示します。

表 17.1 メモリプロテクションの仕様

仕様	内容
メモリプロテクション対象領域とプロセッサモード	0000 0000h ~ FFFF FFFFh (ユーザモード時) スーパーバイザモード時はメモリ保護なし
領域数	8
ページサイズ (最小保護単位)	16バイト
各領域のアドレス指定	開始ページ番号、終了ページ番号で設定
各領域の有効設定	領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) で各領域の有効/無効を設定 (n = 0 ~ 7)
各領域のアクセス制御情報	命令実行 : 実行許可 オペランドアクセス : 読み出し許可、書き込み許可
メモリプロテクション動作の開始	メモリプロテクション機能を有効にした後、ユーザモードに移行することによりアクセスの監視をスタート
メモリプロテクションエラー処理	アクセス例外発生
メモリプロテクションエラー発生アドレス	命令実行アドレス : スタック領域に PC を退避 オペランドアクセスアドレス : データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納
メモリプロテクションエラー要因判定	メモリプロテクションエラーステータスレジスタ (MPESTS) に要因を格納
バックグラウンド領域設定	バックグラウンド領域 (全アドレス空間) に対して、アクセス制御情報を設定可能
領域オーバーラップの処理	あるアドレスに対して領域がオーバーラップして設定され、各領域のアクセス制御情報が異なる場合、許可が優先されます。

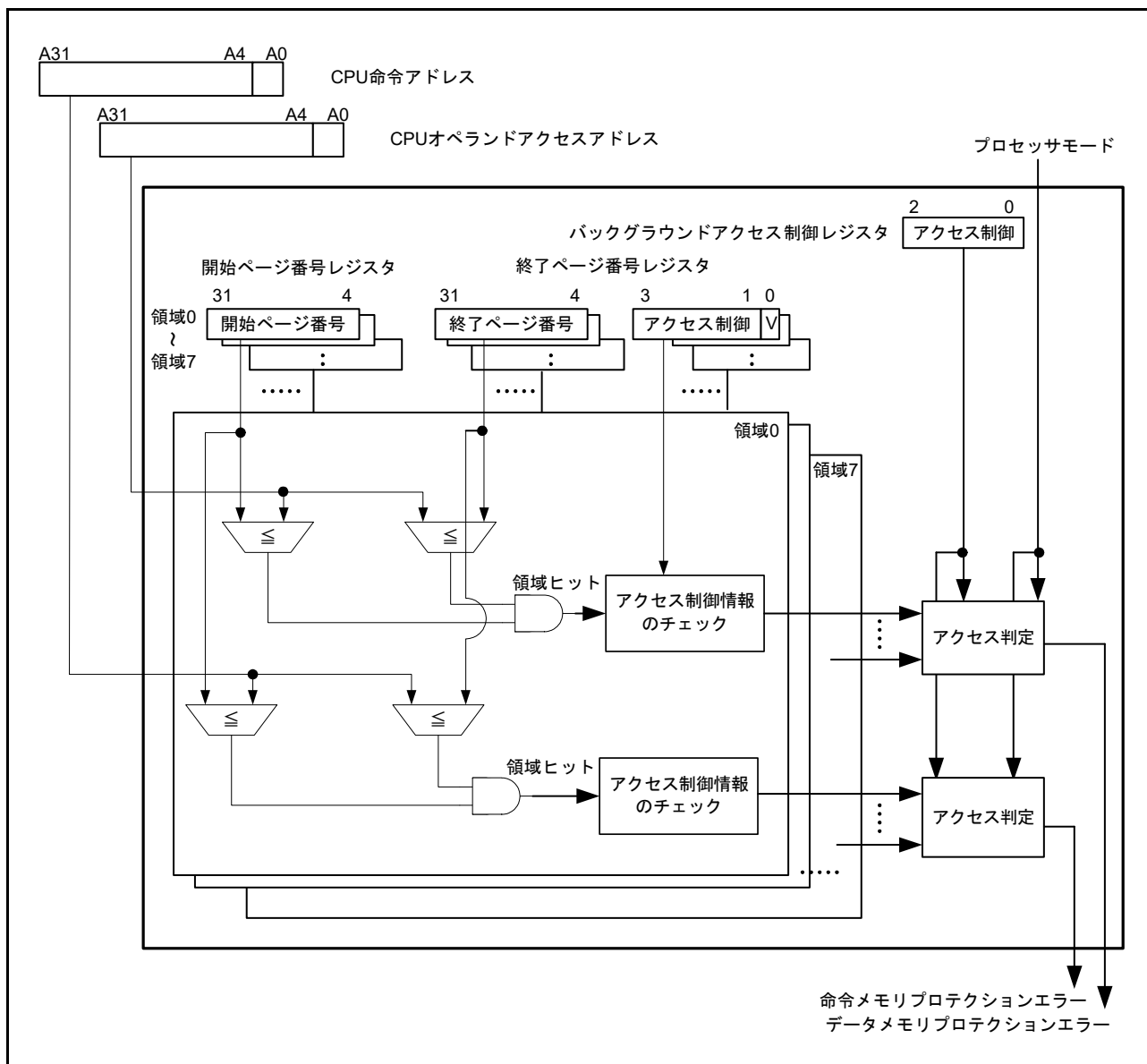


図 17.1 メモリプロテクションユニットブロック図

17.1.1 アクセス制御の種類

アクセス制御は、命令の実行許可と、オペランドアクセスの読み出し許可、書き込み許可の 3 種類があります。これらのアクセス制御に対する違反の検出は、ユーザモードのプログラムに対してのみ行います。スーパーバイザモードのプログラムに対しては違反を検出しません。

17.1.2 アクセス制御領域

アクセス制御領域は 8 つまで定義することができます。各アクセス制御領域の範囲は、領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います ($n=0\sim7$)。

ページは、アクセス制御の最小単位であり、アドレス空間を 16 バイトごとに区切ったものです。アドレス [31:0] の上位 28 ビット ([31:4]) がページ番号に対応します。

各領域のアクセス制御情報と、その領域を有効にするかどうかは REPAGEn レジスタで指定します。

17.1.3 バックグラウンド領域

バックグラウンド領域は全アドレス空間 (0000 0000h ~ FFFF FFFFh) です。バックグラウンド領域のアクセス制御情報はバックグラウンドアクセス制御レジスタ (MPBAC) で設定します。バックグラウンド領域のアクセス制御情報は、8 つのアクセス制御領域と異なり、メモリプロテクション機能が有効 (MPEN.MPEN ビットが“1”) であれば有効となります。

17.1.4 領域のオーバーラップ

複数の領域がオーバーラップした場合のアクセス制御情報は、オーバーラップした領域 (バックグラウンド領域を含む) のアクセス制御ビットの論理和となり、許可が優先して設定されます。

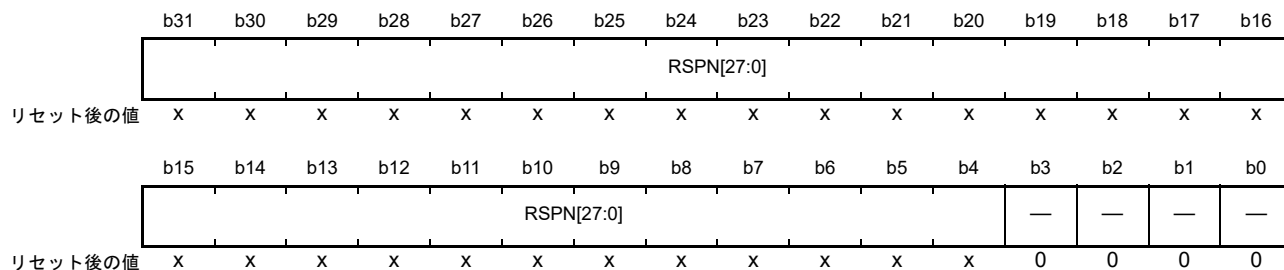
17.1.5 領域をまたぐ命令とデータ

異なるアクセス制御設定を行った領域にまたがるように配置された命令やデータに関するメモリプロテクションエラー検出動作は不定です。異なるアクセス制御設定を行った領域にまたがるように命令やデータを配置しないでください。

17.2 レジスタの説明

17.2.1 領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ~ 7)

アドレス RSPAGE0 0008 6400h, RSPAGE1 0008 6408h, RSPAGE2 0008 6410h, RSPAGE3 0008 6418h, RSPAGE4 0008 6420h, RSPAGE5 0008 6428h, RSPAGE6 0008 6430h, RSPAGE7 0008 6438h



x: 不定

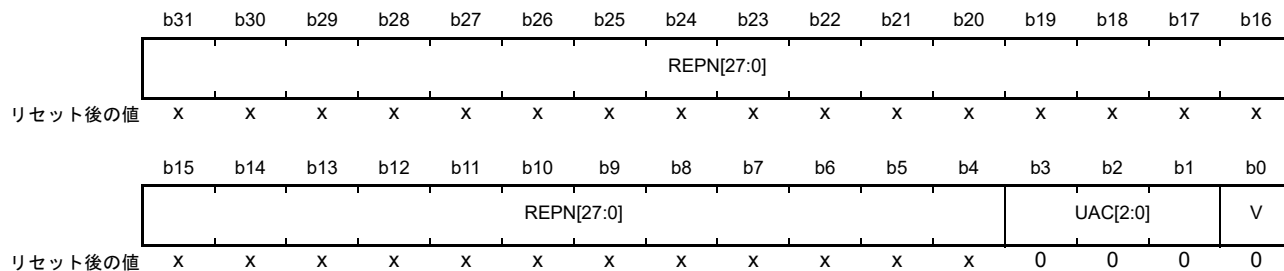
ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めず。書く場合、“0”としてください	R/W
b31-b4	RSPN[27:0]	領域開始ページ番号ビット	領域判定に使用する領域開始ページ番号情報	R/W

RSPN[27:0] ビット (領域開始ページ番号ビット)

領域開始ページ番号を設定します。

17.2.2 領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ~ 7)

アドレス REPAGE0 0008 6404h, REPAGE1 0008 640Ch, REPAGE2 0008 6414h, REPAGE3 0008 641Ch,
 REPAGE4 0008 6424h, REPAGE5 0008 642Ch, REPAGE6 0008 6434h, REPAGE7 0008 643Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	V	有効ビット	0 : 領域設定無効 1 : 領域設定有効	R/W
b3-b1	UAC[2:0]	ユーザモード時アクセス制御ビット	b3 0 : 読み出し禁止 1 : 読み出し許可 b2 0 : 書き込み禁止 1 : 書き込み許可 b1 0 : 実行禁止 1 : 実行許可	R/W
b31-b4	REPN[27:0]	領域終了ページ番号ビット	領域判定に使用する領域終了ページ番号情報	R/W

V ビット (有効ビット)

該当する領域設定を有効にするか、無効にするかを選択します。

領域インバリデートオペレーションレジスタ (MPOPI) により 全アクセス制御領域のインバリデート (無効化) を行った場合、V ビットは“0”になります。

UAC[2:0] ビット (ユーザモード時アクセス制御ビット)

ユーザモード時のアクセス制御を設定します。

REPN[27:0] ビット (領域終了ページ番号ビット)

領域終了ページ番号を設定します。対応する領域の開始ページ番号と等しいか、大きな値を設定してください。領域終了ページ番号も、メモリプロテクション対象領域になります。

17.2.3 メモリプロテクション機能有効化レジスタ (MPEN)

アドレス 0008 6500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPEN	メモリプロテクション機能有効化ビット	1:メモリプロテクション機能有効 0:メモリプロテクション機能無効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

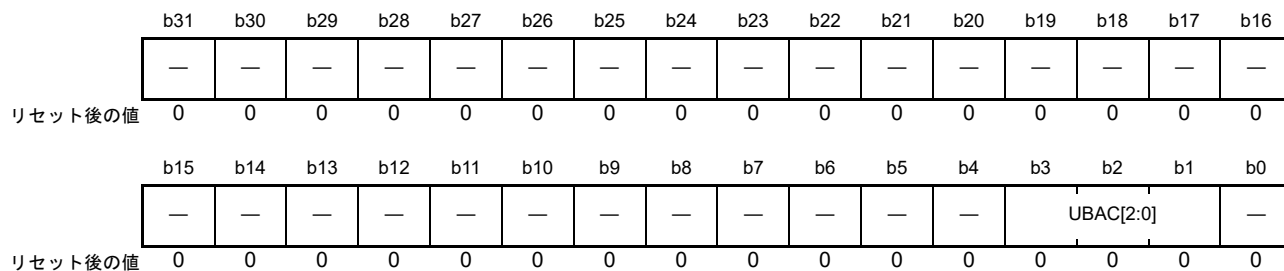
MPEN ビット (メモリプロテクション機能有効化ビット)

メモリプロテクション機能を有効にするか、無効にするかを選択します。

MPEN ビットに“1”を書いた後、ユーザモードへ移行する分岐命令 (RTE, RTFI) の実行により、CPU のメモリプロテクションによるアドレスチェックが開始されます。

17.2.4 バックグラウンドアクセス制御レジスタ (MPBAC)

アドレス 0008 6504h



ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b1	UBAC[2:0]	ユーザモード時バックグラウンドアクセス制御ビット	b3 0 : 読み出し禁止 1 : 読み出し許可 b2 0 : 書き込み禁止 1 : 書き込み許可 b1 0 : 実行禁止 1 : 実行許可	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

UBAC[2:0] ビット (ユーザモード時バックグラウンドアクセス制御ビット)

ユーザモード時のバックグラウンドアクセス制御を設定します。

17.2.5 メモリプロテクションエラーステータスクリアレジスタ (MPECLR)

アドレス 0008 6508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLR	エラーステータスクリアビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：MPESTS.DMPER, IMPERビットを“0”にします	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CLR ビット (エラーステータスクリアビット)

メモリプロテクションエラーステータスレジスタ (MPESTS) のデータリード/ライトビット (DRW)、データメモリプロテクションエラー発生ビット (DMPER)、命令メモリプロテクションエラー発生ビット (IMPER) を“0”にします。

17.2.6 メモリプロテクションエラーステータスレジスタ (MPESTS)

アドレス 0008 650Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRW	DMPE R	IMPER
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMPER	命令メモリプロテクションエラー発生ビット	0: 命令メモリプロテクションエラー発生なし 1: 命令メモリプロテクションエラー発生	R
b1	DMPER	データメモリプロテクションエラー発生ビット	0: データメモリプロテクションエラー発生なし 1: データメモリプロテクションエラー発生	R
b2	DRW	データリード/ライトビット	0: データリード 1: データライト	R
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IMPER ビット (命令メモリプロテクションエラー発生ビット)

命令実行によるメモリプロテクションエラー発生状態を示します。

IMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

DMPER ビット (データメモリプロテクションエラー発生ビット)

オペランドアクセスによるメモリプロテクションエラー発生状態を示します。

DMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

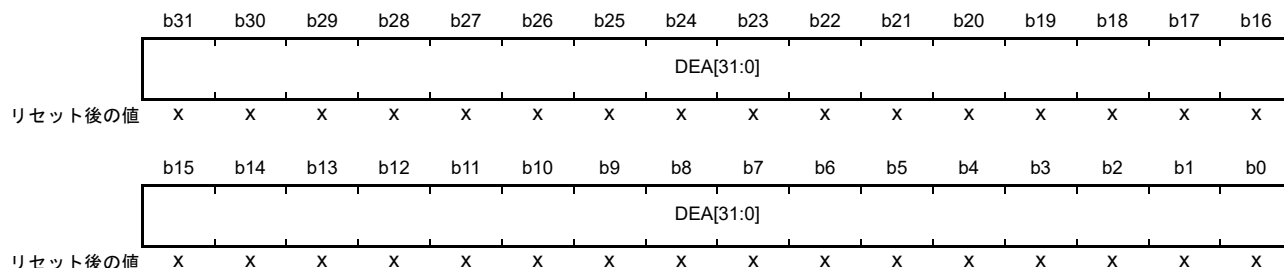
DRW ビット (データリード/ライトビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアクセスのリード / ライト属性を示します。DRW ビットは、DMPER ビットが“1”の場合のみ有効です。

DRW ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、“0”になります。

17.2.7 データメモリプロテクションエラーアドレスレジスタ (MPDEA)

アドレス 0008 6514h



x : 不定

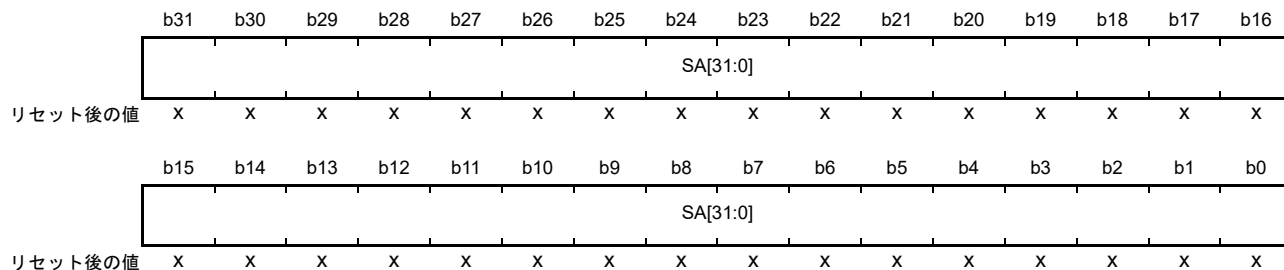
ビット	シンボル	ビット名	機能	R/W
b31-b0	DEA[31:0]	データメモリプロテクションエラーアドレスビット	データメモリプロテクションエラーアドレス	R

DEA[31:0] ビット (データメモリプロテクションエラーアドレスビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアドレスを保持します。

17.2.8 領域サーチアドレスレジスタ (MPSA)

アドレス 0008 6520h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	SA[31:0]	領域サーチ用アドレスビット	領域サーチ用アドレス	R/W

SA[31:0] ビット (領域サーチ用アドレスビット)

領域サーチオペレーションで、領域 n 開始ページ番号レジスタ (RSPAGEn) の領域開始アドレス、領域 n 終了ページ番号レジスタ (REPAGEn) の領域終了アドレスと比較するアドレスを設定します。

17.2.9 領域サーチオペレーションレジスタ (MPOPS)

アドレス 0008 6524h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	S
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	S	領域サーチオペレーション起動ビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 領域のサーチオペレーションを行う	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S ビット (領域サーチオペレーション起動ビット)

S ビットを“1”にすることにより、メモリプロテクションユニットは領域サーチオペレーションを行います。領域サーチアドレスレジスタ (MPSA) で指定されたアドレスと、各領域のアドレス情報との比較を行い、ヒットする領域をサーチします。

サーチ結果は、データヒット領域レジスタ (MHITD) のデータヒット領域ビット (HITD[7:0]) に格納されます。また、ヒットした領域のアクセス制御ビットの論理和が、ユーザモード時データヒット領域アクセス制御ビット (UHACD[2:0]) に格納されます。

17.2.10 領域インバリデートオペレーションレジスタ (MPOPI)

アドレス 0008 6526h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

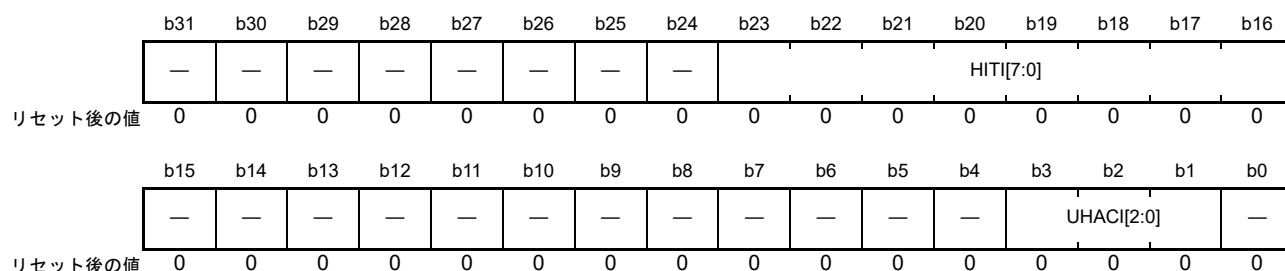
ビット	シンボル	ビット名	機能	R/W
b0	INV	領域インバリデート起動ビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 全アクセス制御領域のインバリデート (無効化)	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

INV ビット (領域インバリデート起動ビット)

INV ビットを“1”にすることにより、すべての領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) を“0”にします。REPAGEn.V ビットを“0”にした後は、バックグラウンド領域のアクセス制御設定以外は無効となります。

17.2.11 命令ヒット領域レジスタ (MHITI)

アドレス 0008 6528h



ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b1	UHACI[2:0]	ユーザモード時命令ヒット領域アクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b16	HITI[7:0]	命令ヒット領域ビット	命令メモリプロテクションエラー発生ビット (MPESTS.IMPER) = 1のとき、[b23:b16] = 0000 0000b : バックグラウンド領域で命令メモリプロテクションエラー 上記以外 b23 0: 領域7で命令メモリプロテクションエラーなし 1: 領域7で命令メモリプロテクションエラーあり b22 0: 領域6で命令メモリプロテクションエラーなし 1: 領域6で命令メモリプロテクションエラーあり b21 0: 領域5で命令メモリプロテクションエラーなし 1: 領域5で命令メモリプロテクションエラーあり b20 0: 領域4で命令メモリプロテクションエラーなし 1: 領域4で命令メモリプロテクションエラーあり b19 0: 領域3で命令メモリプロテクションエラーなし 1: 領域3で命令メモリプロテクションエラーあり b18 0: 領域2で命令メモリプロテクションエラーなし 1: 領域2で命令メモリプロテクションエラーあり b17 0: 領域1で命令メモリプロテクションエラーなし 1: 領域1で命令メモリプロテクションエラーあり b16 0: 領域0で命令メモリプロテクションエラーなし 1: 領域0で命令メモリプロテクションエラーあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

UHACI[2:0] ビット (ユーザモード時命令ヒット領域アクセス制御ビット)

UHACI[2:0] ビットは、命令メモリプロテクションエラーが発生した領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

オーバーラップした領域でエラーが発生した場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時アクセス制御ビットの論理和を保持します。

HITI[7:0] ビット (命令ヒット領域ビット)

HITI[7:0] ビットは、命令メモリプロテクションエラーが発生した領域を示します。バックグラウンド領域で命令メモリプロテクションエラーが発生したときは、HITI[7:0] ビットは“0000 0000b”にセットされます。

17.2.12 データヒット領域レジスタ (MHITD)

アドレス 0008 652Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	HITD[7:0]							—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	UHACD[2:0]			—		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b1	UHACD[2:0]	ユーザモード時 データヒット領域 アクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b16	HITD[7:0]	データヒット領域 ビット	データメモリプロテクションエラー発生ビット (MPESTS.DMPER) = 1のとき、[b23:b16] = 0000 0000b: バックグラウンド領域でデータメモリプロテクションエラー 上記以外 b23 0: 領域7でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域7でデータメモリプロテクションエラーあり、またはサーチヒットあり b22 0: 領域6でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域6でデータメモリプロテクションエラーあり、またはサーチヒットあり b21 0: 領域5でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域5でデータメモリプロテクションエラーあり、またはサーチヒットあり b20 0: 領域4でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域4でデータメモリプロテクションエラーあり、またはサーチヒットあり b19 0: 領域3でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域3でデータメモリプロテクションエラーあり、またはサーチヒットあり b18 0: 領域2でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域2でデータメモリプロテクションエラーあり、またはサーチヒットあり b17 0: 領域1でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域1でデータメモリプロテクションエラーあり、またはサーチヒットあり b16 0: 領域0でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域0でデータメモリプロテクションエラーあり、またはサーチヒットあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

UHACD[2:0] ビット (ユーザモード時データヒット領域アクセス制御ビット)

UHACD[2:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

オーバーラップした領域でエラーが発生した場合、もしくは領域サーチでヒットした場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時のアクセス制御ビットの論理和を保持します。

HITD[7:0] ビット (データヒット領域ビット)

HITD[7:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域を示します。バックグラウンド領域でデータメモリプロテクションエラーが発生したとき、HITD[7:0] ビットは“0000 0000b”にセットされます。

注. ユーザモードでメモリプロテクションユニットのレジスタにアクセスしてデータメモリプロテクションエラーが発生した場合には、MHITD レジスタの値は 0000 0000h になります。

17.3 機能

17.3.1 メモリプロテクション機能

メモリプロテクション機能は、アクセス制御領域とバックグラウンド領域に設定されたアクセス制御情報に従って、ユーザモードのプログラムがアクセス制御情報に違反したアクセスを行わないかどうかを監視する機能です。アクセス制御違反（メモリプロテクションエラー）を検出した場合は、メモリプロテクションユニットはCPUへその情報を通知し、CPUはアクセス例外処理を開始します。

メモリプロテクション機能は、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を“1”にすることで有効になります。

命令の実行違反を検出した場合には命令メモリプロテクションエラーが、オペランドアクセスの読み出し、書き込み違反を検出した場合にはデータメモリプロテクションエラーが発生します。データメモリプロテクションエラー発生時は、アクセス制御違反を起こしたオペランドアクセスは実行されません。

17.3.2 領域サーチ機能

領域サーチ機能は、ある特定のアドレスが8つのアクセス制御領域のどの領域にヒットするのか、また、そのアドレスのアクセス制御情報（実行許可、読み出し許可、書き込み許可）がどのように設定されているかを調べる機能です。

領域サーチオペレーションレジスタ (MPOPS) の領域サーチオペレーションビット (S) を“1”にすることにより、領域サーチアドレスレジスタ (MPSA) で指定したアドレスと、各領域のアドレスの比較を行います。領域サーチ実行後のデータヒット領域レジスタ (MHITD) は、ヒットした領域と各領域のアクセス制御情報の論理和を示します。

17.3.3 メモリプロテクションユニット関連レジスタの保護

メモリプロテクションユニット関連レジスタへは、CPUのオペランドアクセス以外の手段（命令フェッチ、DMA）ではアクセスできません。メモリプロテクションユニット関連レジスタへは、スーパーバイザモードのみアクセスすることができます。ユーザモードでCPUのオペランドアクセスでメモリプロテクションユニット関連レジスタへのアクセスを行った場合には、メモリプロテクション機能が有効かどうかに関わらずデータメモリプロテクションエラーが発生します。

17.3.4 メモリプロテクション機能のアクセス判定フロー

図 17.2 にデータアクセス判定フローを、図 17.3 に命令アクセス判定フローを示します。

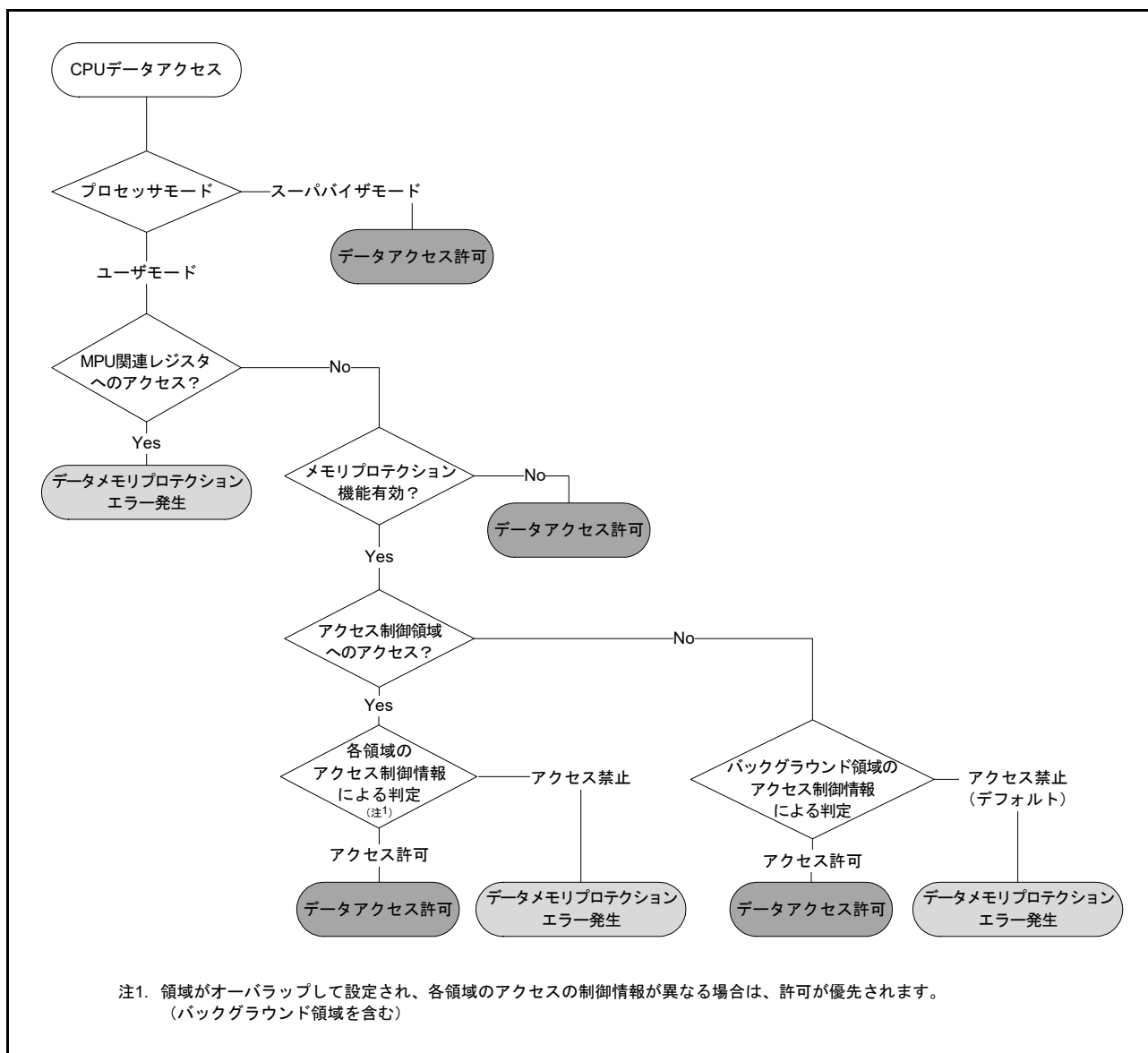


図 17.2 データアクセス判定フロー

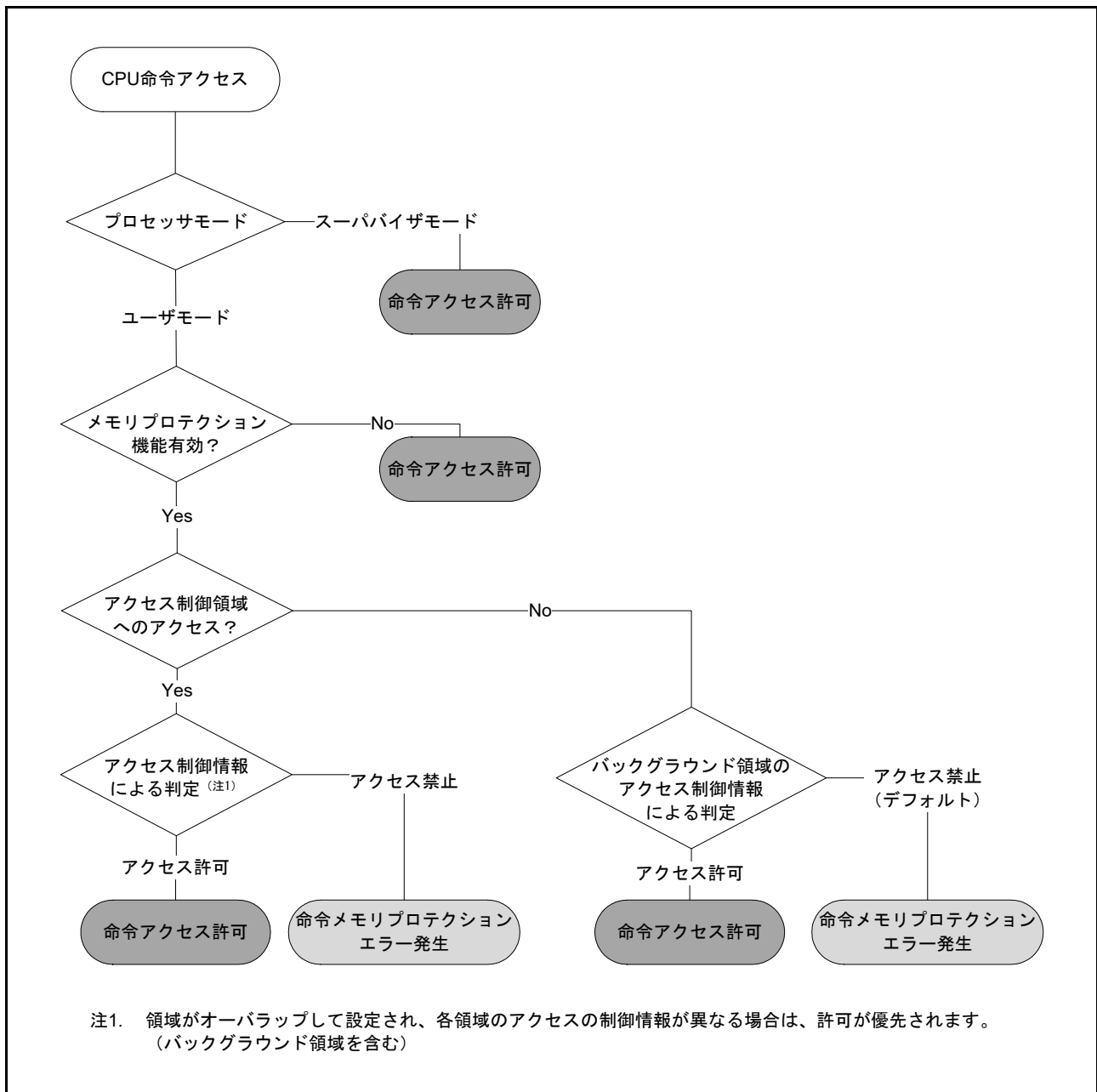


図 17.3 命令アクセス判定フロー

17.4 メモリプロテクション機能使用手順

17.4.1 アクセス制御情報の設定

スーパーバイザモードで、各領域のアクセス制御情報を設定します。

最大 8 つのアクセス制御領域の設定を領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います (n=0~7)。

バックグラウンドアクセス制御領域の設定をバックグラウンドアクセス制御レジスタ (MPBAC) で行います。

17.4.2 メモリプロテクション機能の有効化

スーパーバイザモードで、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を“1”にします。

17.4.3 ユーザモードへの移行

メモリプロテクションユニット関連レジスタの設定を書き換えた後は、ユーザモードへ移行する前に、いずれかのメモリプロテクションユニット関連レジスタを読み出し、値が設定されたことを確認した後にユーザモードへ移行してください。スーパーバイザモードからユーザモードへは、以下のいずれかの方法で移行します。

- スタック領域に退避されたプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) を“1” (ユーザモードに設定) にした後、RTE 命令を実行
- バックアップ PSW (BPSW) の PM ビットを“1”にした後、RTFI 命令を実行

注. MVTC, POPC 命令による PSW.PM ビットの書き換えは無効です。RTE 命令、あるいは RTFI 命令で PSW.PM ビットの値を変更してください。

ユーザモードに移行することにより、メモリプロテクションユニットは、CPU の命令実行アドレスおよびオペランドアクセスアドレスのチェックを開始します。

17.4.4 メモリプロテクションエラー発生時の処理

アクセス制御情報違反 (メモリプロテクションエラー) を検出すると、CPU はアクセス例外処理を開始します。アクセス例外処理の CPU 動作の詳細は、「14. 例外処理」を参照してください。

例外処理ルーチン内で、メモリプロテクションエラーステータスレジスタ (MPESTS) の命令メモリプロテクションエラー発生ビット (IMPER) およびデータメモリプロテクションエラー発生ビット (DMPER) を確認し、命令メモリプロテクションエラーか、データメモリプロテクションエラーのどちらが発生したかを判別します。

確認後は、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、MPESTS レジスタをクリアします。

(1) データメモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生したオペランドアクセスアドレスが、データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納され、メモリプロテクションエラーを発生した領域情報がデータヒット領域レジスタ (MHITD) に格納されます。

- 有効な領域 0 ~ 7 にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応したデータヒット領域ビット (MHITD.HITD[7:0]) が“1”になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

- 有効な領域 0 ~ 7 の領域外にアクセスし、かつバックグラウンド領域のアクセス制御に違反した場合

データヒット領域ビット (MHITD.HITD[7:0]) は、“0000 0000b”になります。バックグラウンド領域のアクセス制御情報が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

(2) 命令メモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生した領域情報が、命令ヒット領域レジスタ (MHITI) に格納されます。

- 有効な領域 0 ~ 7 にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応した命令ヒット領域ビット (MHITL.HITI[7:0]) が“1”になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITL.UHACI[2:0]) にセットされます。

- 有効な領域 0 ~ 7 の領域外にアクセスし、かつ、バックグラウンド領域のアクセス制御に違反した場合

命令ヒット領域ビット (MHITL.HITI[7:0]) は、“0000 0000b”になります。バックグラウンド領域アクセス制御が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITL.UHACI[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

18. DMAコントローラ (DMACA)

本MCUは、4チャンネルのDMAC (Direct Memory Access Controller) を内蔵しています。

DMACは、CPUを介さずにデータ転送を行います。DMACは転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

18.1 概要

表 18.1 に DMAC の仕様を、図 18.1 に DMAC のブロック図を示します。

表 18.1 DMACの仕様

項目		内容
チャンネル数		4チャンネル (DMAC _m (m = 0~3))
転送空間		512Mバイト (00000000h~0FFFFFFFhとF0000000h~FFFFFFFhのうち予約領域を除く領域)
最大転送データ数		1Mデータ (ブロック転送モード最大総転送数: 1024データ×1024ブロック)
DMA起動要因		<ul style="list-style-type: none"> チャンネルごとに起動要因を選択可能 ソフトウェアトリガ 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力 (注1)
チャンネル優先順位		チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3 (チャンネル0が最優先)
転送データ	1データ	ビット長: 8ビット、16ビット、32ビット
	ブロックサイズ	データ数: 1~1024データ
転送モード	ノーマル転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 総データ転送数を指定しない設定 (フリーランニングモード) が可能
	リピート転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 リピートサイズは最大1024回設定可能
	ブロック転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1ブロックのデータを転送 ブロックサイズは最大1024データ設定可能
選択機能	拡張リピートエリア機能	<ul style="list-style-type: none"> 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 拡張リピートエリアは2バイトから128Mバイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	転送カウンタで設定したデータ数を転送終了時に発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバーフローしたときに発生
消費電力低減機能		モジュールストップ状態への設定が可能
イベントリンク機能		1回のデータ転送後 (ブロックの場合は1ブロック転送後)、イベントリンク要求を発生

注1. DMACの起動要因は、「15. 割り込みコントローラ(ICUb)」の「表 15.3 割り込みのベクタテーブル」を参照してください。

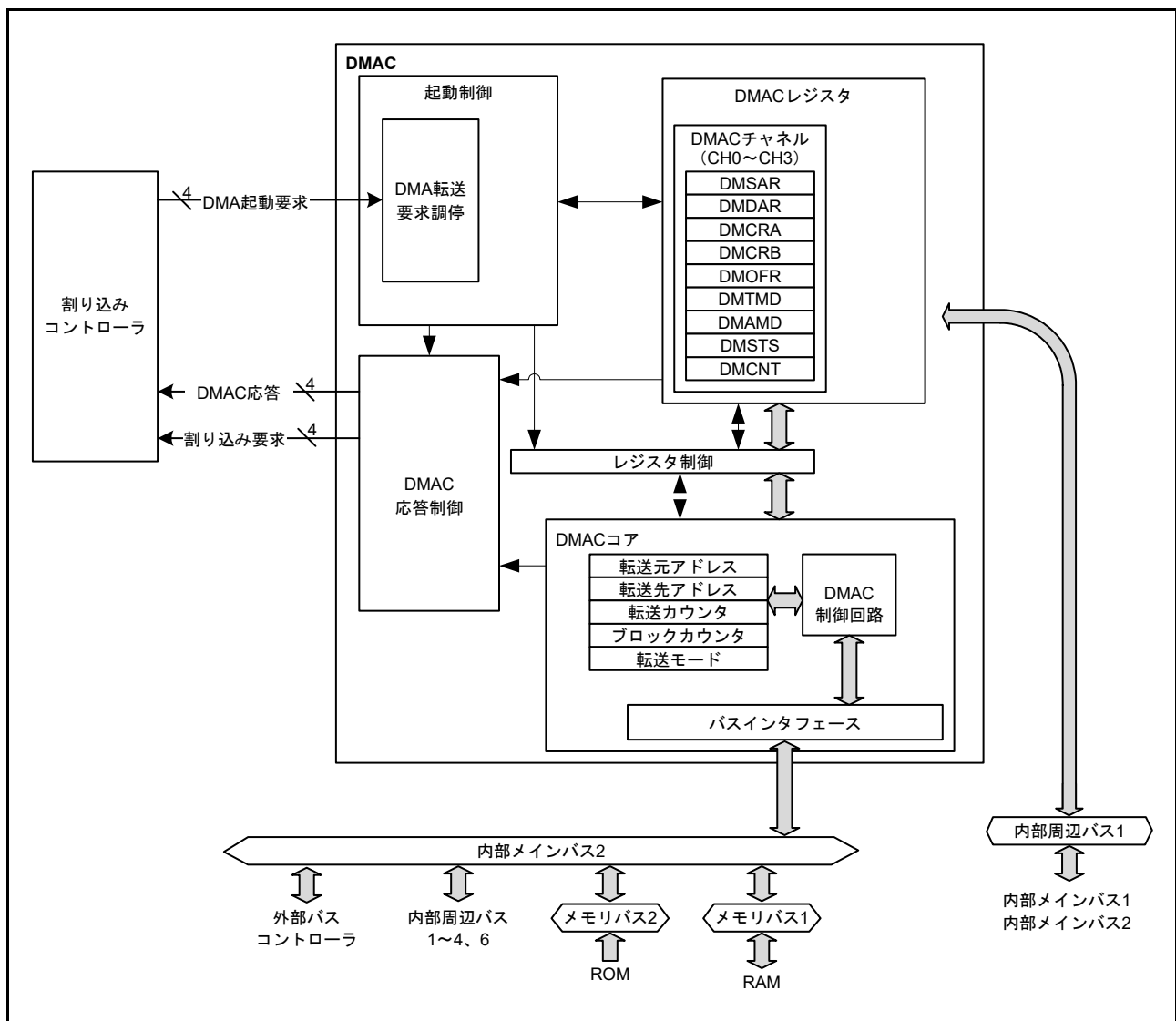
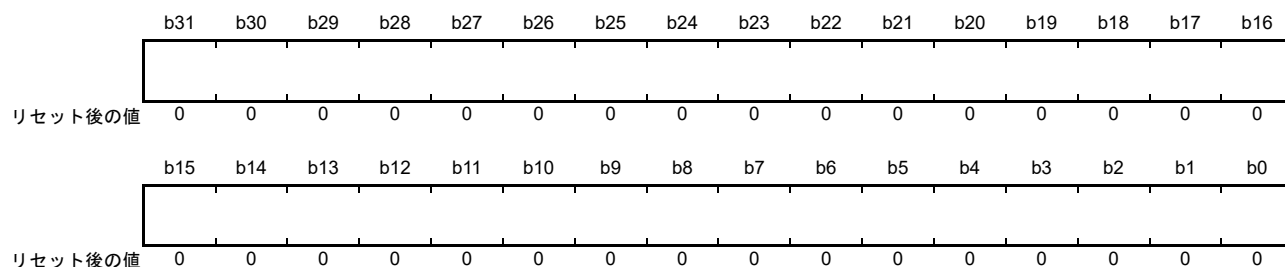


図 18.1 DMAC のブロック図

18.2 レジスタの説明

18.2.1 DMA 転送元アドレスレジスタ (DMSAR)

アドレス DMAC0.DMSAR 0008 2000h, DMAC1.DMSAR 0008 2040h,
DMAC2.DMSAR 0008 2080h, DMAC3.DMSAR 0008 20C0h



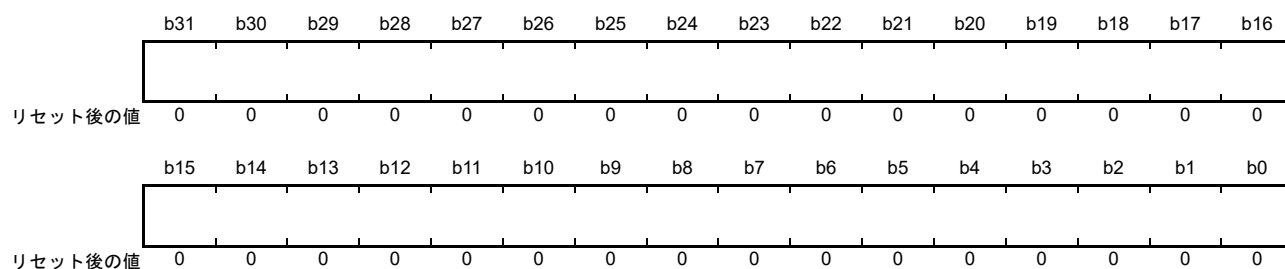
ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	00000000h~0FFFFFFFh (256Mバイト) F0000000h~FFFFFFFh (256Mバイト)	R/W

DMSAR レジスタを設定する場合は、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ~ 29 への設定値は無効です。ビット 31 ~ 29 へはビット 28 の値がビット拡張されます。DMSAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

18.2.2 DMA 転送先アドレスレジスタ (DMDAR)

アドレス DMAC0.DMDAR 0008 2004h, DMAC1.DMDAR 0008 2044h,
DMAC2.DMDAR 0008 2084h, DMAC3.DMDAR 0008 20C4h



ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	00000000h~0FFFFFFFh (256Mバイト) F0000000h~FFFFFFFh (256Mバイト)	R/W

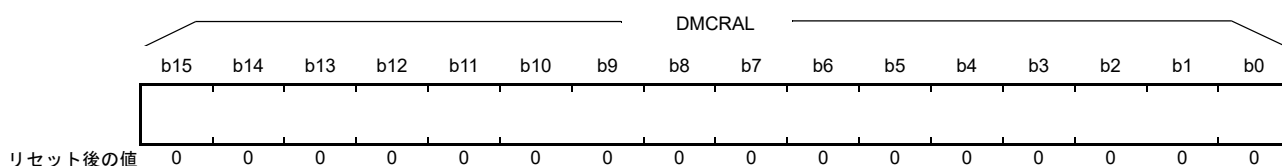
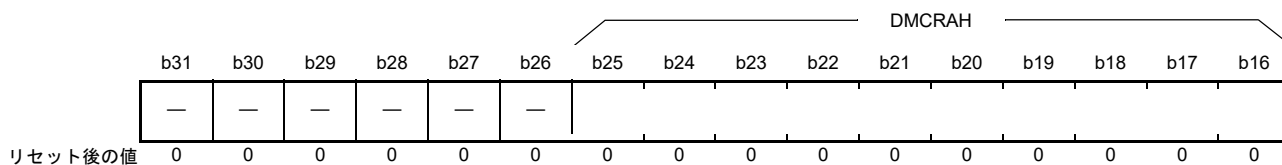
DMDAR レジスタを設定する場合は、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ~ 29 への設定値は無効です。ビット 31 ~ 29 へはビット 28 の値がビット拡張されます。DMDAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

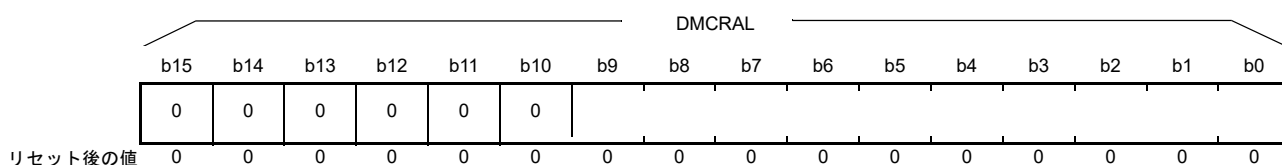
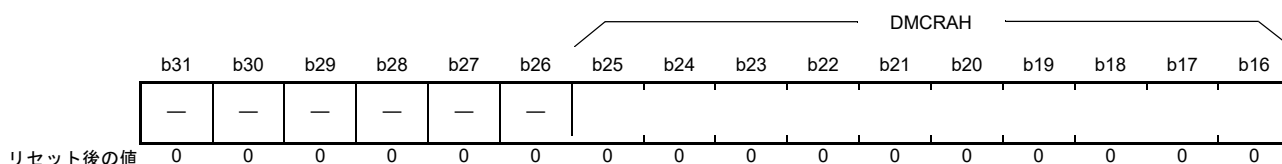
18.2.3 DMA 転送カウントレジスタ (DMCRA)

アドレス DMAC0.DMCRA 0008 2008h, DMAC1.DMCRA 0008 2048h,
DMAC2.DMCRA 0008 2088h, DMAC3.DMCRA 0008 20C8h

・ノーマル転送モード



・リピート転送モード、ブロック転送モード



シンボル	ビット名	機能	R/W
DMCRAL	転送カウント下位ビット	転送回数を設定します	R/W
DMCRAH	転送カウント上位ビット		R/W

注. リピート転送モード時およびブロック転送モード時は、DMCRAH、DMCRALレジスタには同じ値を設定してください。

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] ビット = 00b) のとき

DMCRAL レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が“0001h”のときは 1 回、“FFFFh”のときは 65535 回となります。1 回のデータ転送を行う度にデクリメント (-1) します。

設定値が“0000h”のときは転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います (フリーランニングモード)。

ノーマル転送モードでは DMCRAH レジスタを使用しません。DMCRAH レジスタへは“0000h”を書いてください。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] ビット = 01b) のとき

DMCRAHレジスタはリピートサイズを保持し、DMCRALレジスタは10ビットの転送カウンタとして機能します。

転送回数は、設定値が“001h”のときは1回、“3FFh”のときは1023回、“000h”のときは1024回となります。リピート転送モード時のDMCRAH、DMCRALレジスタの設定範囲はいずれも000h～3FFh(1回～1024回)です。

DMCRALレジスタのビット15～10の設定値は無効です。DMCRALレジスタのビット15～10へは“0”を書いてください。

DMCRALレジスタは1回のデータ転送を行う度にデクリメント(-1)され、“000h”になるとDMCRAHレジスタの値が転送されます。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] ビット = 10b) のとき

DMCRAHレジスタはブロックサイズを保持し、DMCRALレジスタは10ビットのブロックサイズカウンタとして機能します。

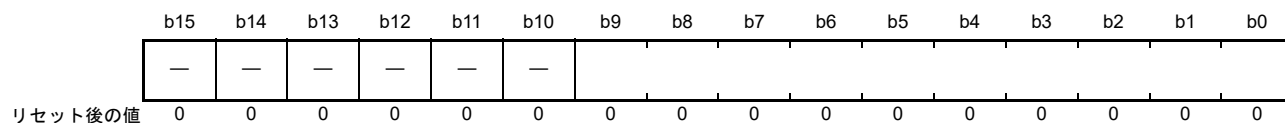
設定値が“001h”のときはブロックサイズ1、“3FFh”のときはブロックサイズ1023、“000h”のときはブロックサイズ1024となります。ブロック転送モード時のDMCRAH、DMCRALレジスタの設定範囲はいずれも000h～3FFhです。

DMCRALレジスタのビット15～10の設定値は無効です。DMCRALレジスタのビット15～10へは“0”を書いてください。

DMCRALレジスタは1回のデータ転送を行う度にデクリメント(-1)され、“000h”になるとDMCRAHレジスタの値が転送されます。

18.2.4 DMA ブロック転送カウントレジスタ (DMCRB)

アドレス DMAC0.DMCRB 0008 200Ch, DMAC1.DMCRB 0008 204Ch,
DMAC2.DMCRB 0008 208Ch, DMAC3.DMCRB 0008 20CCh



ビット	機能	設定範囲	R/W
b9-b0	ブロック転送回数、リピート転送回数を設定します	001h~3FFh (1~1023回) 000h (1024回)	R/W
b15-b10	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

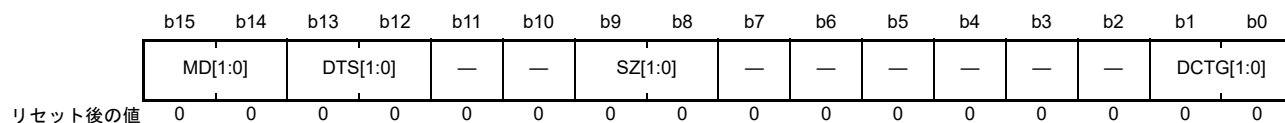
DMCRB レジスタは、ブロック転送モード時のブロック転送回数、またはリピート転送モード時のリピート転送回数を指定するレジスタです。

転送回数は、設定値が“001h”のときは1回、“3FFh”のときは1023回、“000h”のときは1024回となります。

リピート転送モードの場合、1リピートサイズの最終データ転送時にデクリメント (-1) されます。ブロック転送モードの場合、1ブロックサイズの最終データ転送時にデクリメント (-1) されます。ノーマル転送モード設定時は、DMCRB レジスタを使用しません。設定値は無効です。

18.2.5 DMA 転送モードレジスタ (DMTMD)

アドレス DMAC0.DMTMD 0008 2010h, DMAC1.DMTMD 0008 2050h,
DMAC2.DMTMD 0008 2090h, DMAC3.DMTMD 0008 20D0h



ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求選択ビット	b1 b0 0 0 : ソフトウェア 0 1 : 周辺モジュールおよび外部割り込み入力端子からの割り込み (注1) 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SZ[1:0]	データ転送サイズビット	b9 b8 0 0 : 8ビット転送 0 1 : 16ビット転送 1 0 : 32ビット転送 1 1 : 設定しないでください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	DTS[1:0]	リピート領域選択ビット	b13 b12 0 0 : 転送先側がリピート領域またはブロック領域 0 1 : 転送元側がリピート領域またはブロック領域 1 0 : リピート領域、ブロック領域は設定しない 1 1 : 設定しないでください	R/W
b15-b14	MD[1:0]	転送モード設定ビット	b15 b14 0 0 : ノーマル転送 0 1 : リピート転送 1 0 : ブロック転送 1 1 : 設定しないでください	R/W

注1. DMACの起動要因はICU.DMRSRmレジスタで設定します。詳細は、「15. 割り込みコントローラ(ICUb)」の「表15.3 割り込みのベクタテーブル」を参照してください。

DTS[1:0] ビット (リピート領域選択ビット)

リピート転送モードあるいはブロック転送モードにおいて、転送元、転送先のいずれか一方をリピート領域に選択することができます。ノーマル転送モードではこのビットの設定値は無効です。

18.2.6 DMA 割り込み設定レジスタ (DMINT)

アドレス DMAC0.DMINT 0008 2013h, DMAC1.DMINT 0008 2053h,
DMAC2.DMINT 0008 2093h, DMAC3.DMINT 0008 20D3h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b1	SARIE	転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可ビット	0: リピートサイズ終了割り込みを禁止 1: リピートサイズ終了割り込みを許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可ビット	0: エスケープ割り込みを禁止 1: エスケープ割り込みを許可	R/W
b4	DTIE	転送終了割り込み許可ビット	0: 転送終了割り込みを禁止 1: 転送終了割り込みを許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DARIE ビット (転送先アドレス拡張リピートエリアオーバーフロー割り込み許可ビット)

DARIE ビットを“1”に設定したとき、転送先アドレスの拡張リピートエリアオーバーフローが発生すると、DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、転送先アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャンネルの DMACm.DMCNT.DTE ビットを“1”にセットすると、転送終了した状態から再び転送を開始することができます。

転送先アドレスに拡張リピートエリアを設定していない場合、DARIE ビットの設定値は無効です。

SARIE ビット (転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット)

SARIE ビットを“1”に設定したとき、転送元アドレスの拡張リピートエリアオーバーフローが発生すると、DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、転送元アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャンネルの DMACm.DMCNT.DTE ビットを“1”にセットすると、転送終了した状態から再び転送を開始することができます。

転送元アドレスに拡張リピートエリアを設定していない場合は、SARIE ビットの設定値は無効です。

RPTIE ビット (リピートサイズ終了割り込み許可ビット)

リピート転送モードにおいて、RPTIE ビットを“1”に設定したとき、1 リピートサイズ分の転送終了後に DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが“10b” (リピート領域、ブロック領域に指定しない) のときでも、リピートサイズ終了割り込み要求が発生させることができます。

ブロック転送モードで、DMINT.RPTIE ビットを“1”に設定したときも同様に1ブロックの転送終了後に DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが“10b” (リピート領域、ブロック領域に指定しない) に設定したときでも、リピートサイズ終了割り込み要求が発生させることができます。

ESIE ビット (転送エスケープ終了割り込み許可ビット)

DMA 転送中に発生したエスケープ割り込み要求 (リピートサイズ終了割り込み、拡張リピートエリアオーバーフロー割り込み) を許可または禁止します。

ESIE ビットを“1”にセットすると、DMSTS.ESIF フラグに“1”がセットされたとき、転送エスケープ終了割り込みが発生します。転送エスケープ終了割り込みは、ESIE ビットを“0”にクリアするか、DMSTS.ESIF フラグを“0”にクリアすると解除されます。

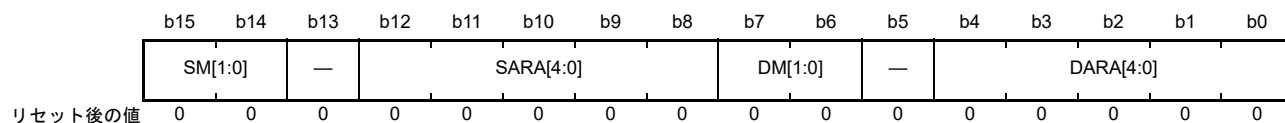
DTIE ビット (転送終了割り込み許可ビット)

指定した回数のデータ転送が終了したときの転送終了割り込み要求を許可または禁止します。

DTIE ビットを“1”にセットすると、DMSTS.DTIF フラグに“1”がセットされたとき、転送終了割り込みが発生します。転送終了割り込みは、DTIE ビットを“0”にクリアするか、DMSTS.DTIF フラグを“0”にクリアすると解除されます。

18.2.7 DMA アドレスモードレジスタ (DMAMD)

アドレス DMAC0.DMAMD 0008 2014h, DMAC1.DMAMD 0008 2054h,
DMAC2.DMAMD 0008 2094h, DMAC3.DMAMD 0008 20D4h



ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピートエリア設定ビット	転送先アドレスに拡張リピートエリアを設定することができません 設定値の詳細は表 18.2を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定ビット	b7 b6 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピートエリア設定ビット	転送元アドレスに拡張リピートエリアを設定することができません 設定値の詳細は表 18.2を参照してください	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定ビット	b15 b14 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W

注1. オフセット加算設定はDMAC0のみ可能です。

DARA[4:0] ビット (転送先アドレス拡張リピートエリア設定ビット)

転送先アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは常に固定値をとるようにして実現しています。拡張リピートエリアのサイズは2バイトから128Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0]=00b (転送先側がリピート領域またはブロック領域) に設定している場合、DARA[4:0] ビットには“00000b”を書いてください。

DMINT.DARIE ビットが“1”のとき、拡張リピートエリアのオーバーフローが発生したときに割り込みを発生させることができます。表 18.2 に拡張リピートエリアの設定と範囲を示します。

DM[1:0] ビット (転送先アドレス更新モード設定ビット)

転送先アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0]=00b のとき +1、DMTMD.SZ[1:0]=01b のとき +2、DMTMD.SZ[1:0]=10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0]=00b のとき -1、DMTMD.SZ[1:0]=01b のとき -2、DMTMD.SZ[1:0]=10b のとき -4 されます。

オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

SARA[4:0] ビット (転送元アドレス拡張リピートエリア設定ビット)

転送元アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは常に固定値をとるようにして実現しています。拡張リピートエリアのサイズは2バイトから128Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスはアドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0]=01b (転送元側がリピート領域またはブロック領域) に設定している場合、SARA[4:0] ビットには“00000b”を書いてください。

DMINT.SARIE ビットが“1”のとき、拡張リピートエリアのオーバーフローが発生したときに割り込みを発生させることができます。表 18.2 に拡張リピートエリアの設定と範囲を示します。

SM[1:0] ビット (転送元アドレス更新モード設定ビット)

転送元アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0]=00b のとき +1、DMTMD.SZ[1:0]=01b のとき +2、DMTMD.SZ[1:0]=10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0]=00b のとき -1、DMTMD.SZ[1:0]=01b のとき -2、DMTMD.SZ[1:0]=10b のとき -4 されます。

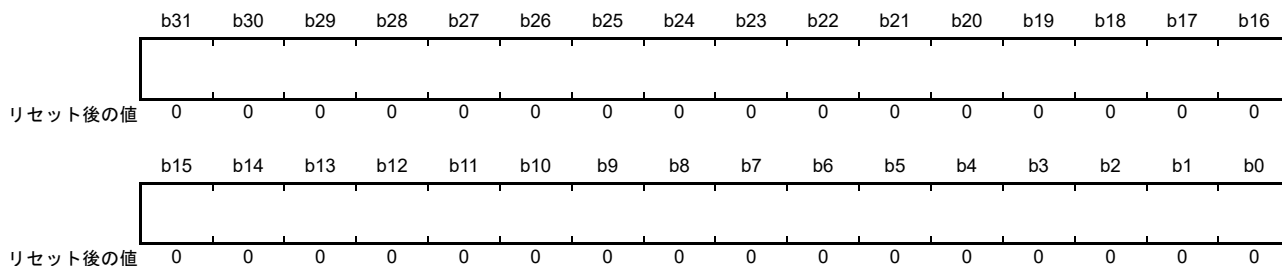
オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

表 18.2 拡張リピートエリアの設定と範囲

SARA[4:0] / DARA[4:0]の値	拡張リピートエリアの範囲
00000b	拡張リピートエリアを設定しない
00001b	当該アドレスの下位1ビット (2バイト) を拡張リピートエリアに設定する
00010b	当該アドレスの下位2ビット (4バイト) を拡張リピートエリアに設定する
00011b	当該アドレスの下位3ビット (8バイト) を拡張リピートエリアに設定する
00100b	当該アドレスの下位4ビット (16バイト) を拡張リピートエリアに設定する
00101b	当該アドレスの下位5ビット (32バイト) を拡張リピートエリアに設定する
00110b	当該アドレスの下位6ビット (64バイト) を拡張リピートエリアに設定する
00111b	当該アドレスの下位7ビット (128バイト) を拡張リピートエリアに設定する
01000b	当該アドレスの下位8ビット (256バイト) を拡張リピートエリアに設定する
01001b	当該アドレスの下位9ビット (512バイト) を拡張リピートエリアに設定する
01010b	当該アドレスの下位10ビット (1Kバイト) を拡張リピートエリアに設定する
01011b	当該アドレスの下位11ビット (2Kバイト) を拡張リピートエリアに設定する
01100b	当該アドレスの下位12ビット (4Kバイト) を拡張リピートエリアに設定する
01101b	当該アドレスの下位13ビット (8Kバイト) を拡張リピートエリアに設定する
01110b	当該アドレスの下位14ビット (16Kバイト) を拡張リピートエリアに設定する
01111b	当該アドレスの下位15ビット (32Kバイト) を拡張リピートエリアに設定する
10000b	当該アドレスの下位16ビット (64Kバイト) を拡張リピートエリアに設定する
10001b	当該アドレスの下位17ビット (128Kバイト) を拡張リピートエリアに設定する
10010b	当該アドレスの下位18ビット (256Kバイト) を拡張リピートエリアに設定する
10011b	当該アドレスの下位19ビット (512Kバイト) を拡張リピートエリアに設定する
10100b	当該アドレスの下位20ビット (1Mバイト) を拡張リピートエリアに設定する
10101b	当該アドレスの下位21ビット (2Mバイト) を拡張リピートエリアに設定する
10110b	当該アドレスの下位22ビット (4Mバイト) を拡張リピートエリアに設定する
10111b	当該アドレスの下位23ビット (8Mバイト) を拡張リピートエリアに設定する
11000b	当該アドレスの下位24ビット (16Mバイト) を拡張リピートエリアに設定する
11001b	当該アドレスの下位25ビット (32Mバイト) を拡張リピートエリアに設定する
11010b	当該アドレスの下位26ビット (64Mバイト) を拡張リピートエリアに設定する
11011b	当該アドレスの下位27ビット (128Mバイト) を拡張リピートエリアに設定する
11100b ~ 11111b	設定しないでください

18.2.8 DMA オフセットレジスタ (DMOFR)

アドレス DMAC0.DMOFR 0008 2018h



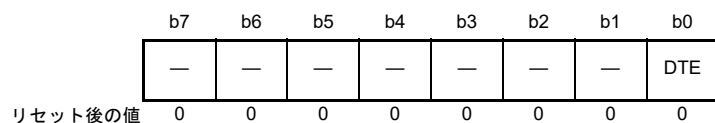
ビット	機能	設定範囲	R/W
b31-b0	転送元、転送先いずれかのアドレス更新モードがオフセット加算の場合のオフセット値を設定する	00000000h~00FFFFFFh (0バイト~(16M-1)バイト) FF000000h~FFFFFFFh (-16Mバイト~-1バイト)	R/W

DMOFR レジスタを設定する場合は、データ転送中ではなく、DMAC 停止中、または DMA 転送が禁止されているときに書いてください。

ビット 31 ~ 25 への設定値は無効です、ビット 31 ~ 25 へはビット 24 の値がビット拡張されます。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

18.2.9 DMA 転送許可レジスタ (DMCNT)

アドレス DMAC0.DMCNT 0008 201Ch, DMAC1.DMCNT 0008 205Ch,
DMAC2.DMCNT 0008 209Ch, DMAC3.DMCNT 0008 20DCh



ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA 転送許可ビット	0 : DMA 転送を禁止 1 : DMA 転送を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTE ビット (DMA 転送許可ビット)

DMAST.DMST ビットが“1” (DMAC 起動を許可) で、DTE ビットが“1” (DMA 転送を許可) のとき、対応するチャンネルの DMA 転送を開始することができます。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- “0”を書き込んだとき
- 設定の総転送データ数の転送を終了したとき
- リポートサイズ終了割り込みにより DMA 転送が停止したとき
- 拡張リポートエリアオーバーフロー割り込みにより DMA 転送が停止したとき

18.2.10 DMA ソフトウェア起動レジスタ (DMREQ)

アドレス DMAC0.DMREQ 0008 201Dh, DMAC1.DMREQ 0008 205Dh,
DMAC2.DMREQ 0008 209Dh, DMAC3.DMREQ 0008 20DDh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CLRS	—	—	—	SWREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMAソフトウェア起動ビット	0: DMA転送要求なし 1: DMA転送要求あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CLRS	DMAソフトウェア起動ビット 自動クリア選択	0: ソフトウェア起動後にSWREQビットをクリアする 1: ソフトウェア起動後にSWREQビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWREQ ビット (DMA ソフトウェア起動ビット)

SWREQ ビットに“1”を書き込むと DMA の転送要求が発生し、その要求に対する転送が開始されると、CLRS ビットが“0”に設定されている場合、SWREQ ビットは“0”にクリアされます。CLRS ビットが“1”に設定されている場合、SWREQ ビットは“0”にクリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

ただし、DMTMD.DCTG[1:0] ビットを“00b” (DMA 起動要因がソフトウェア) に設定している場合のみ SWREQ ビットの値が有効となり、ソフトウェアによる DMA 転送が可能となります。

DMTMD.DCTG[1:0] ビットが“00b”以外に設定されている場合は、SWREQ ビットの設定値は無効です。

CLRS ビットが“0”でソフトウェア起動を行う場合、SWREQ ビットが“0”であることを確認してから SWREQ ビットに“1”を書いてください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- CLRS ビットが“0” (ソフトウェア起動後に SWREQ ビットをクリアする) に設定されているときに、ソフトウェアによる要求が受け付けられデータ転送が開始されたとき
- “0”を書き込んだとき

CLRS ビット (DMA ソフトウェア起動ビット自動クリア選択)

SWREQ ビットへ“1”書き込みによる DMA 転送要求に対する転送を開始したときに、SWREQ ビットを“0”にクリアするかしないを設定します。CLRS ビットが“0”に設定されている場合、転送が開始されると SWREQ ビットは“0”にクリアされます。CLRS ビットが“1”に設定されている場合は、SWREQ ビットは“0”クリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

18.2.11 DMA ステータスレジスタ (DMSTS)

アドレス DMAC0.DMSTS 0008 201Eh, DMAC1.DMSTS 0008 205Eh,
DMAC2.DMSTS 0008 209Eh, DMAC3.DMSTS 0008 20DEh

b7	b6	b5	b4	b3	b2	b1	b0
ACT	—	—	DTIF	—	—	—	ESIF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ割り込みフラグ	0 : 転送エスケープ割り込み発生なし 1 : 転送エスケープ割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	DTIF	転送終了割り込みフラグ	0 : 転送終了割り込みなし 1 : 転送終了割り込みあり	R/W (注1)
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	ACT	DMA アクティブフラグ	0 : DMACが停止中 1 : DMACが動作中	R

注1. “0”のみ書けます。

ESIF フラグ (転送エスケープ割り込みフラグ)

転送エスケープ割り込みが発生したことを示すフラグです。

[“1”になる条件]

- DMINT.RPTIE ビットが“1”に設定されており、リピート転送モードにおいて1リピートサイズ分の転送終了後
- DMINT.RPTIE ビットが“1”に設定されており、ブロック転送モードにおいて1ブロックの転送終了後
- DMINT.SARIE ビットが“1”に設定され、DMAMD.SARA[4:0] ビットに“00000b”以外(転送元アドレスを拡張リピートエリアに指定)に設定されているときに、転送元アドレスの拡張リピートエリアオーバーフローが発生したとき
- DMINT.DARIE ビットが“1”に設定され、DMAMD.DARA[4:0] ビットに“00000b”以外(転送先アドレスを拡張リピートエリアに指定)に設定されているときに、転送先アドレスの拡張リピートエリアオーバーフローが発生したとき

[“0”になる条件]

- “0”を書いたとき
- DMCNT.DTE ビットに“1”を書いたとき

DTIF フラグ (転送終了割り込みフラグ)

転送終了割り込みが発生したことを示すフラグです。

[“1” になる条件]

- ノーマル転送モードにおいて指定回数の転送が終了したとき (DMCRAL レジスタが “0” になり転送が終了したとき)
- リピート転送モードにおいて指定リピート回数の転送が終了したとき (DMCRB レジスタが “0” になり転送が終了したとき)
- ブロック転送モードにおいて指定ブロック数の転送が終了したとき (DMCRB レジスタが “0” になり転送が終了したとき)

[“0” になる条件]

- “0” を書いたとき
- DMCNT.DTE ビットに “1” を書いたとき

ACT フラグ (DMA アクティブフラグ)

DMAC が動作中か停止中であることを示すフラグです。

[“1” になる条件]

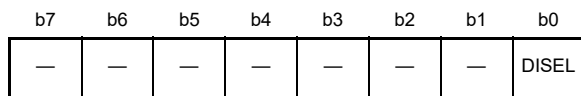
- DMAC が転送動作を開始したとき

[“0” になる条件]

- 1 転送要求に対する転送がすべて終了したとき

18.2.12 DMA 起動要因フラグ制御レジスタ (DMCSL)

アドレス DMAC0.DMCSL 0008 201Fh, DMAC1.DMCSL 0008 205Fh,
DMAC2.DMCSL 0008 209Fh, DMAC3.DMCSL 0008 20DFh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DISEL	インタラプト選択ビット	0 : 転送開始時に起動要因となった割り込みフラグを“0”クリアする 1 : 転送終了時に起動要因となった割り込みフラグによりCPUに割り込み要求が発生する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

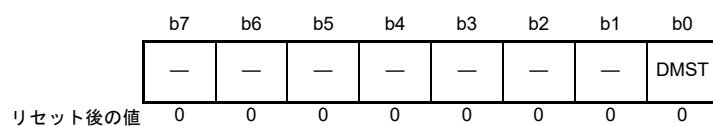
DISEL ビット (インタラプト選択ビット)

DMAC の転送開始時に起動要因となった割り込みフラグを “0” クリアするか、割り込みフラグにより CPU へ割り込みを発生するかを選択します。

なお、DMTMD.DCTG[1:0] = 00b (ソフトウェアによる起動) に設定している場合は、DISEL ビットの設定値は無効です。

18.2.13 DMA モジュール起動レジスタ (DMAST)

アドレス 0008 2200h



ビット	シンボル	ビット名	機能	R/W
b0	DMST	DMAC動作許可ビット	0 : DMAC起動を禁止 1 : DMAC起動を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMST ビット (DMAC 動作許可ビット)

DMST ビットが“1”のとき、DMAC 全チャンネルの起動が許可されます。

複数チャンネルの DMACm.DMCNT.DTE ビットに“1” (DMA 転送を許可) を書いた後に DMST ビットを“1” (DMAC 起動を許可) にすると、複数チャンネルを同時に転送要求受け付け可能状態にすることができます。

また、DMST ビットを DMAC 動作中に“0”にすると、実行中の 1 転送要求に対するデータ転送が終了した後に DMA 動作が一時停止します。この状態で、再度 DMST ビットを“1”にすることにより継続して DMA 転送を行うことが可能です。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- “0”を書き込んだとき

18.3 動作説明

18.3.1 転送モード

(1) ノーマル転送モード

ノーマル転送モードは1回の転送要求について1データの転送を行います。DMACm.DMCRALレジスタの設定により、最大65535データの指定転送回数を設定できます。また、DMACm.DMCRALレジスタを“0000h”に設定すると、転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います(フリーランニングモード)。DMACm.DMCRBレジスタの設定はノーマル転送モードのときは無効です。フリーランニングモードを除き、指定転送回数の転送終了後に転送終了割り込み要求を発生させることができます。

ノーマル転送モードでのレジスタ更新値を表18.3に、ノーマル転送モードの動作を図18.2に示します。

表18.3 ノーマル転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算(注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算(注1)
DMACm.DMCRAL	転送カウンタ	1減算/更新なし(フリーランニングモード時)
DMACm.DMCRAH	—	更新されません。(ノーマル転送モードでは使用しません)
DMACm.DMCRB	—	更新されません。(ノーマル転送モードでは使用しません)

注1. オフセット加算はDMAC0のみ指定可能です。

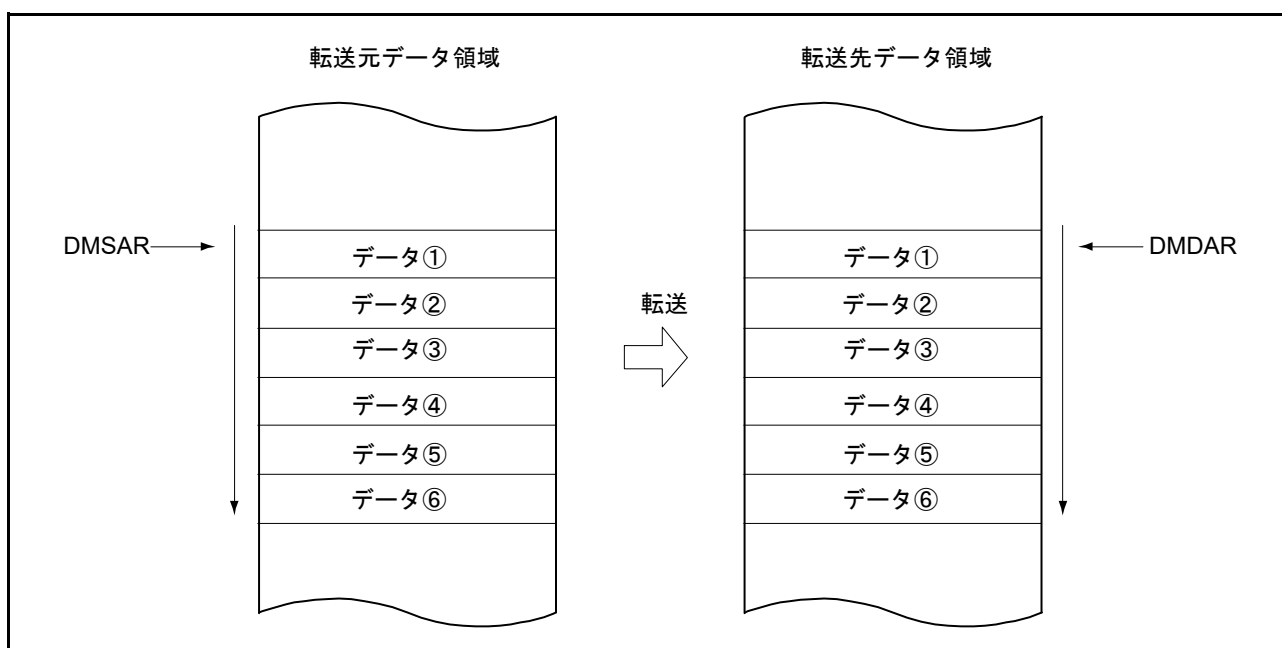


図18.2 ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは1回の転送要求について1データの転送を行います。

DMACm.DMCRA レジスタで最大1Kデータのリピートサイズを設定できます。

また、DMACm.DMCRB レジスタで最大1K回の指定リピート回数を設定できます。総データ転送数は最大1Kデータ×1Kリピート回数=1Mデータの指定が可能です。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、リピートサイズ分のデータ転送が終了すると、初期アドレスに回復します。リピート転送モードでは、リピートサイズ分のデータ転送が終了した後に、DMA転送を停止しリピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに“1”を書き込むとDMA転送を再開することができます。

また、指定リピート回数の転送終了後に転送終了割り込み要求を発生させることができます。

リピート転送モードでのレジスタ更新値を表18.4に、リピート転送モードの動作を図18.3に示します。

表18.4 リピート転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値	
		DMACm.DMCRALレジスタが1以外のとき	DMACm.DMCRALレジスタが1のとき (リピートサイズの最終データ転送)
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/ オフセット加算 (注1)	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/ オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/ オフセット加算 (注1)	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/ オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算 (注1)
DMACm.DMCRAH	リピートサイズ	保持	保持
DMACm.DMCRAL	転送カウント	1減算	DMACm.DMCRAH
DMACm.DMCRB	リピート回数カウント	保持	1減算

注1. オフセット加算はDMAC0のみ指定可能です。

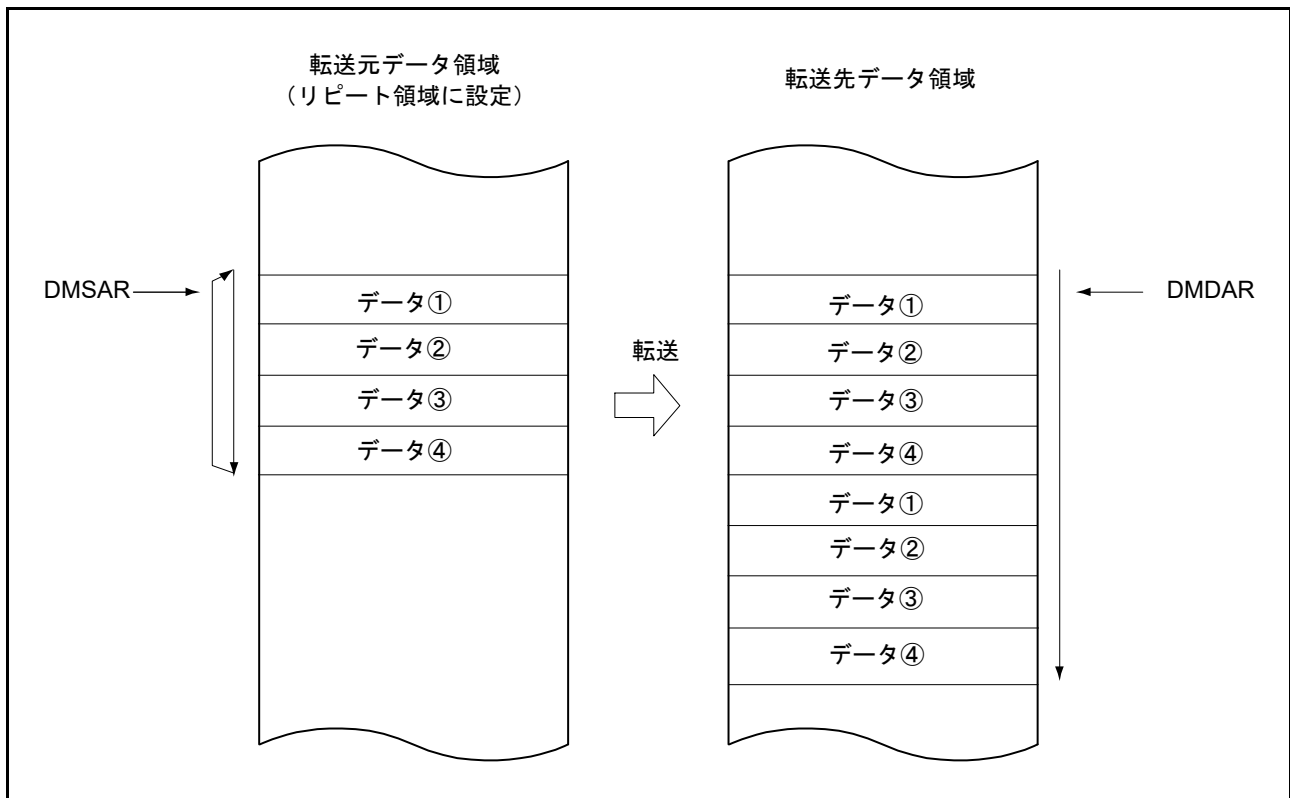


図 18.3 リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1回の転送要求について1ブロックのデータ転送を行います。

DMACm.DMCRA レジスタで最大 1K データのブロックサイズを設定できます。

また、DMACm.DMCRB レジスタで最大 1K 回の指定ブロック回数を設定できます。総データ転送数は最大 1K データ × 1K ブロック回数 = 1M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、1 ブロックのデータ転送が終了すると初期アドレスに回復します。ブロック転送モードでは、1 ブロックのデータ転送が終了した後に DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに“1”を書き込むと DMA 転送を再開することができます。

また、指定ブロック回数の転送終了後に転送終了割り込み要求を発生させることができます。

ブロック転送モードでのレジスタ更新値を表 18.5 に、ブロック転送モードの動作を図 18.4 に示します。

表 18.5 ブロック転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新値
DMACm.DMSAR	転送元アドレス	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMCRAH	ブロックサイズ	保持
DMACm.DMCRAL	転送カウント	DMACm.DMCRAH
DMACm.DMCRB	ブロック回数カウント	1減算

注1. オフセット加算はDMAC0のみ指定可能です。

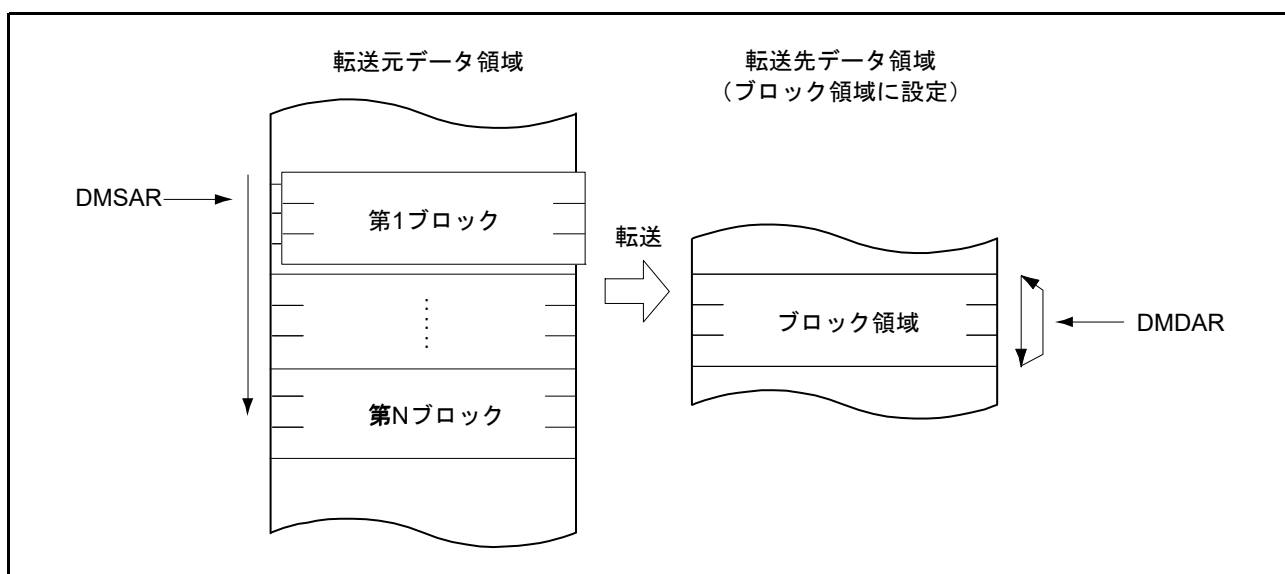


図 18.4 ブロック転送モードの動作

18.3.2 拡張リピートエリア機能

DMACには転送元アドレス、転送先アドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定した範囲のアドレス値を繰り返します。

拡張リピートエリア機能は、DMACm.DMSARレジスタ（転送元アドレスレジスタ）、DMACm.DMDARレジスタ（転送先アドレスレジスタ）に独立して設定できます。

転送元アドレスの拡張リピートエリアはDMACm.DMAMD.SARA[4:0]ビットで設定します。転送先アドレスの拡張リピートエリアはDMACm.DMAMD.DARA[4:0]ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。ただし、リピート領域またはブロック領域に指定したエリア（転送元または転送先）を拡張リピートエリアには指定しないでください。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバーフローすると、DMA転送を一時停止させて、拡張リピートエリアオーバーフロー割り込み要求を発生させることができます。DMACm.DMINT.SARIEビットを“1”にすると、転送元アドレスの拡張リピートエリアがオーバーフローしたときにDMACm.DMSTS.ESIFフラグが“1”になり、DMACm.DMCNT.DTEビットを“0”にしてDMA転送を終了します。このとき、DMACm.DMINT.ESIEビットが“1”になっていると、拡張リピートエリアオーバーフロー割り込み要求が発生します。

DMACm.DMINT.DARIEビットを“1”にすると転送先アドレスレジスタが対象になります。

拡張リピートエリアオーバーフロー割り込み処理で、DMACm.DMCNT.DTEビットを“1”にすると、DMA転送を再開することができます。

図18.5に拡張リピートエリア機能の例を示します。

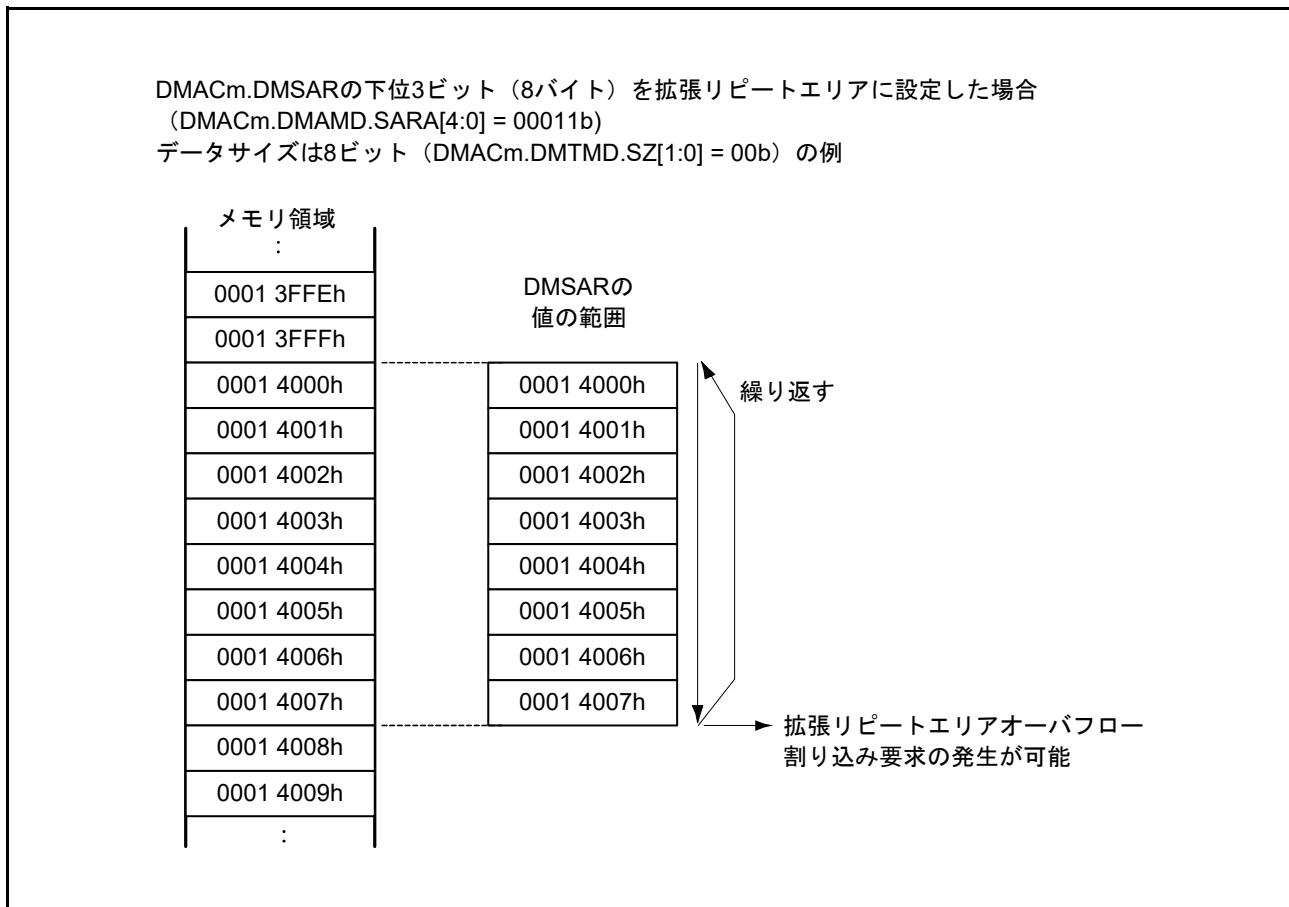


図 18.5 拡張リピートエリア機能の例

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用する場合は、以下の注意が必要です。

拡張リピートエリアのオーバーフローの発生で転送を終了させる場合は、ブロックサイズを2のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックのデータを転送中に拡張リピートエリアにオーバーフローが発生した場合は、1ブロックのデータ転送が終了するまで拡張リピートエリアオーバーフロー割り込み要求は保留され、転送はオーバーランします。

図 18.6 にブロック転送モードと拡張リピートエリア機能を併用した例を示します。

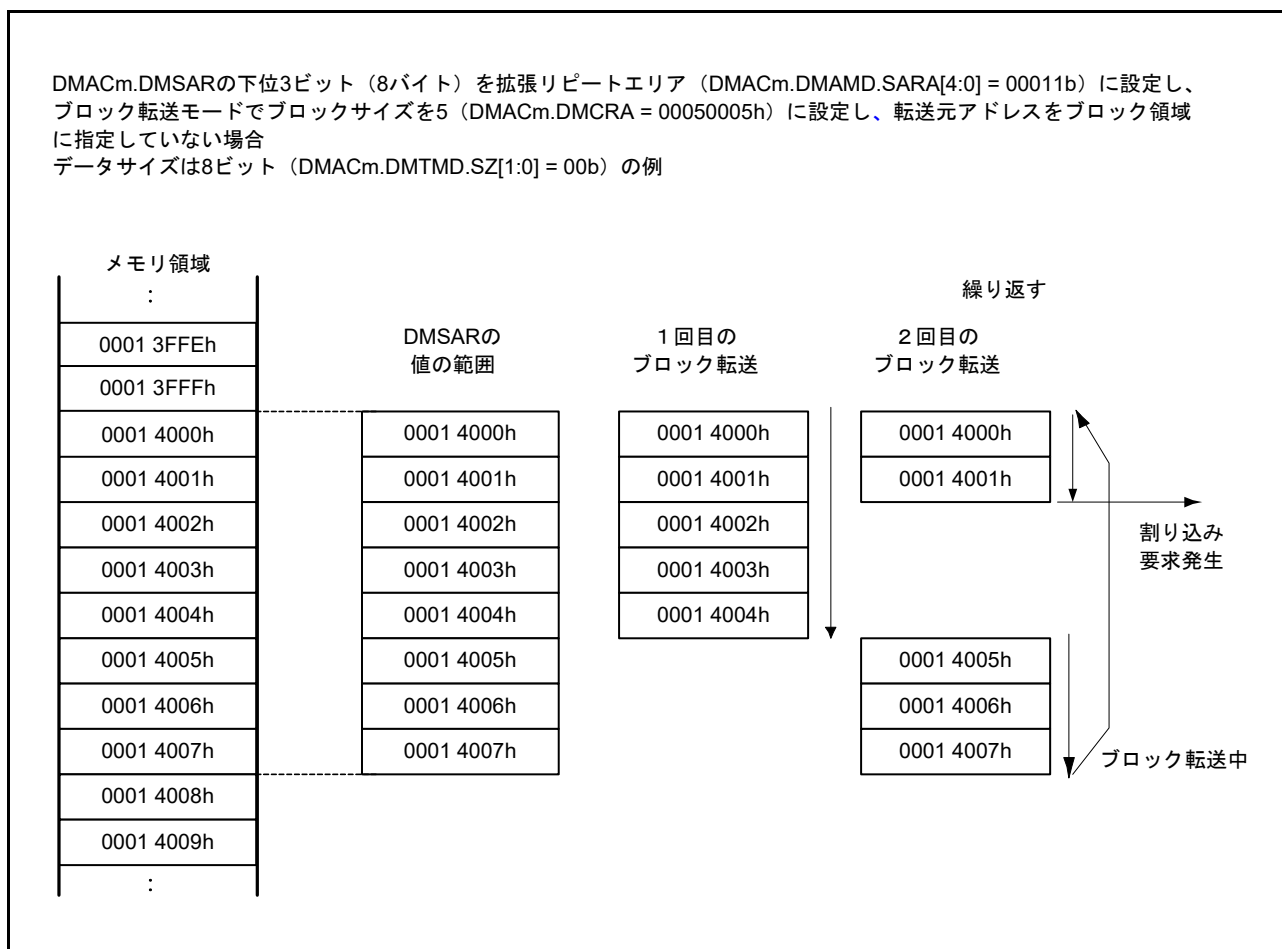


図 18.6 ブロック転送モードと拡張リピートエリア機能を併用した例

18.3.3 オフセットを使ったアドレス更新機能

転送元アドレス、転送先アドレスの更新方法の種類として、固定/インクリメント/デクリメントの他にオフセット加算があります。オフセット加算では、1データの転送を行うたびにDMA オフセットレジスタ (DMAC0.DMOFR) に設定した値を加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

また、DMAC0.DMOFRに2の補数で負の値を設定すると、オフセットによる減算も実現可能です。

オフセットを使ったアドレス更新機能が使用できるチャンネルはDMAC0のみです。

各アドレス更新モードでのアドレス更新方法を表18.6に示します。

表18.6 各アドレス更新モードでのアドレス更新方法

アドレス更新モード	DMACm.DMAMD.SM[1:0] DMACm.DMAMD.DM[1:0] アドレス更新モード設定値	更新方法 (DMACm.DMTMD.SZ[1:0]設定値別更新方法)		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMACm.DMOFR (注1)		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注1. オフセットレジスタに負の値を設定する場合は、2の補数で設定してください。2の補数は次式で求められます。
負のオフセット値の2の補数表現 = \sim (オフセット値) + 1 (\sim : ビット反転)

(1) オフセット加算を使用した基本的な転送

オフセットによるアドレス更新機能の動作例を図 18.7 に示します。

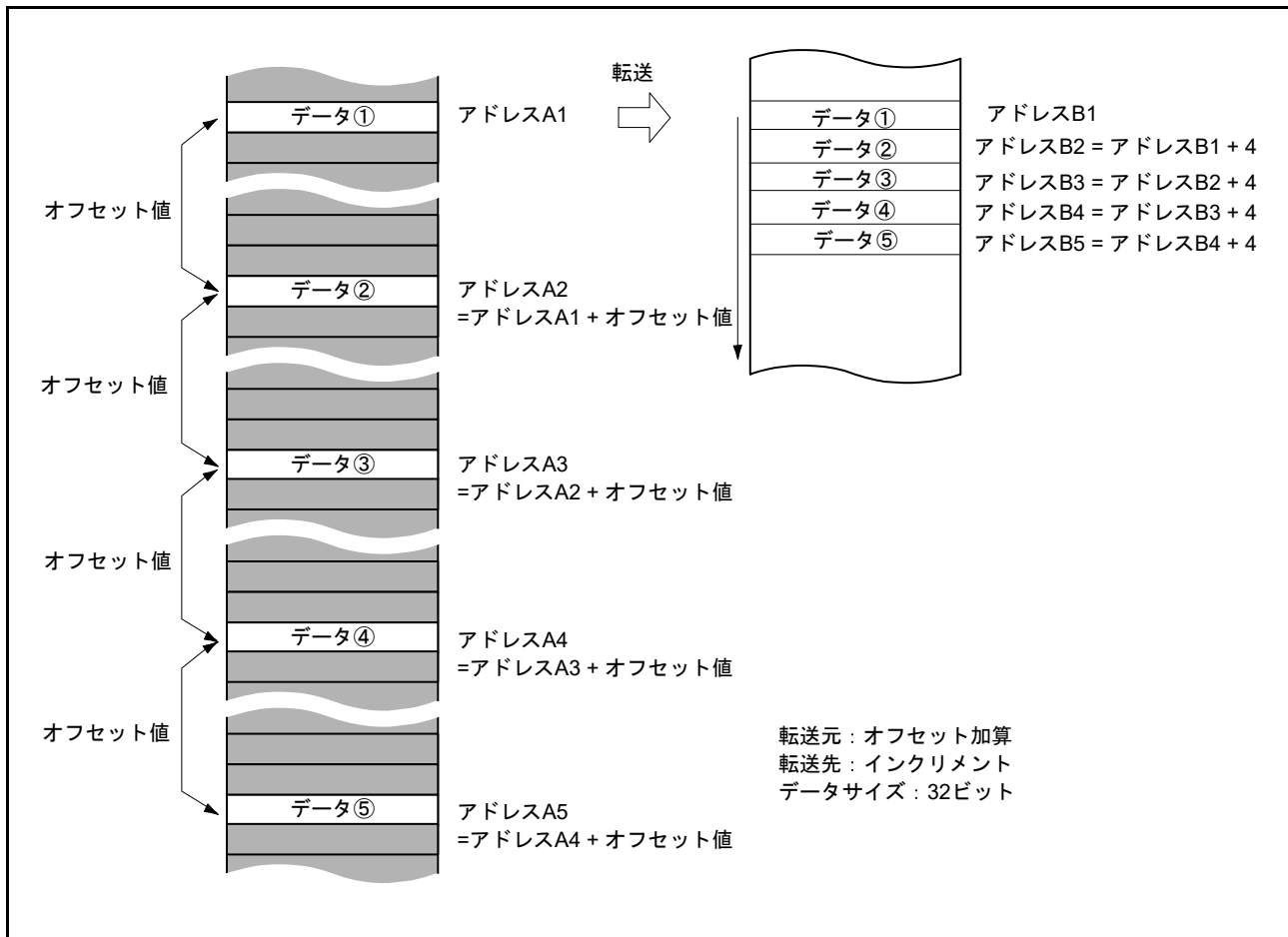


図 18.7 オフセットによるアドレス更新機能の動作例

図 18.7 では、転送データサイズは「32 ビット」、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「インクリメント」を設定しています。転送元アドレスの 2 回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

(2) オフセット加算を使った XY 変換例

図 18.8 にリポート転送モードとオフセット加算を組み合わせる XY 変換を行うときの動作を示します。設定方法は以下のとおりです。

- DMAC0.DMAMD レジスタ：転送元アドレス更新モード設定：オフセット加算
- DMAC0.DMAMD レジスタ：転送先アドレス更新モード設定：インクリメント
- DMAC0.DMTMD レジスタ：転送データサイズビット：32 ビット転送
- DMAC0.DMTMD レジスタ：転送モード設定ビット：リポート転送
- DMAC0.DMTMD レジスタ：リポート領域選択ビット：転送元側がリポート領域
- DMAC0.DMOFR レジスタ：オフセットアドレス：10h
- DMAC0.DMCRA レジスタ：リポートサイズ：4h

- DMAC0.DMINT レジスタ：リピートサイズ終了割り込みを許可に設定

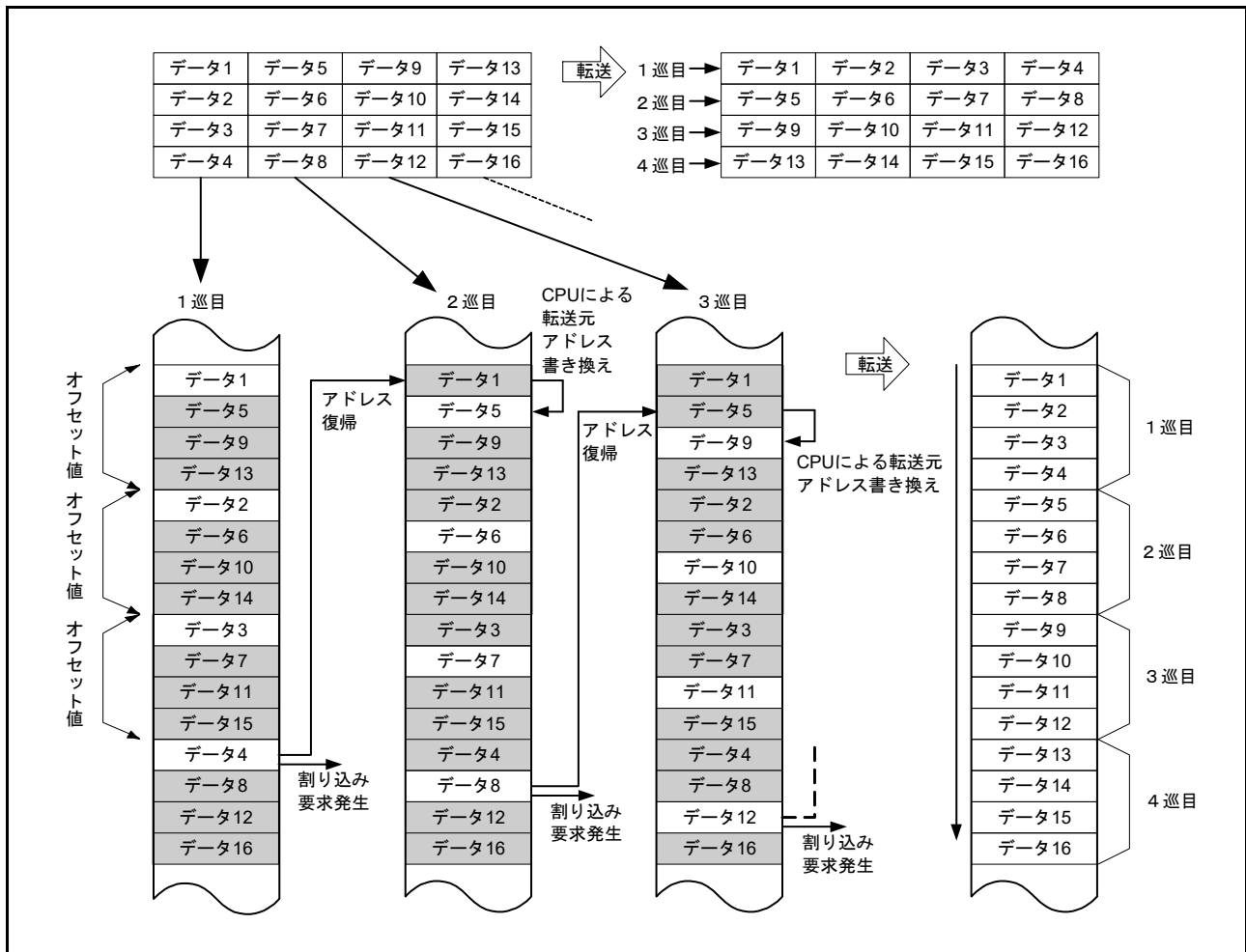


図 18.8 リピート転送モード + オフセット加算による XY 変換のときの動作

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。“データ 4”までのデータが転送されると、リピートサイズ分のデータを転送したことになり、DMAC は転送元のアドレスを転送開始時のアドレス（転送元“データ 1”のアドレス）に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求により、いったん転送が中断します。割り込みで以下の処理を行ってください。

- DMAC0.DMSAR レジスタ：DMA 転送元アドレスを“データ 5”のアドレスに書き換え
(上記の例では“データ 1”のアドレスに 4 を加算した値に書き換え)
- DMAC0.DMCNT レジスタ：DTE ビットに“1”書き込み
DMA 転送が中断した状態から引き続き DMA 転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先に XY 変換されて転送されます。

図 18.9 に XY 変換の処理フローを示します。

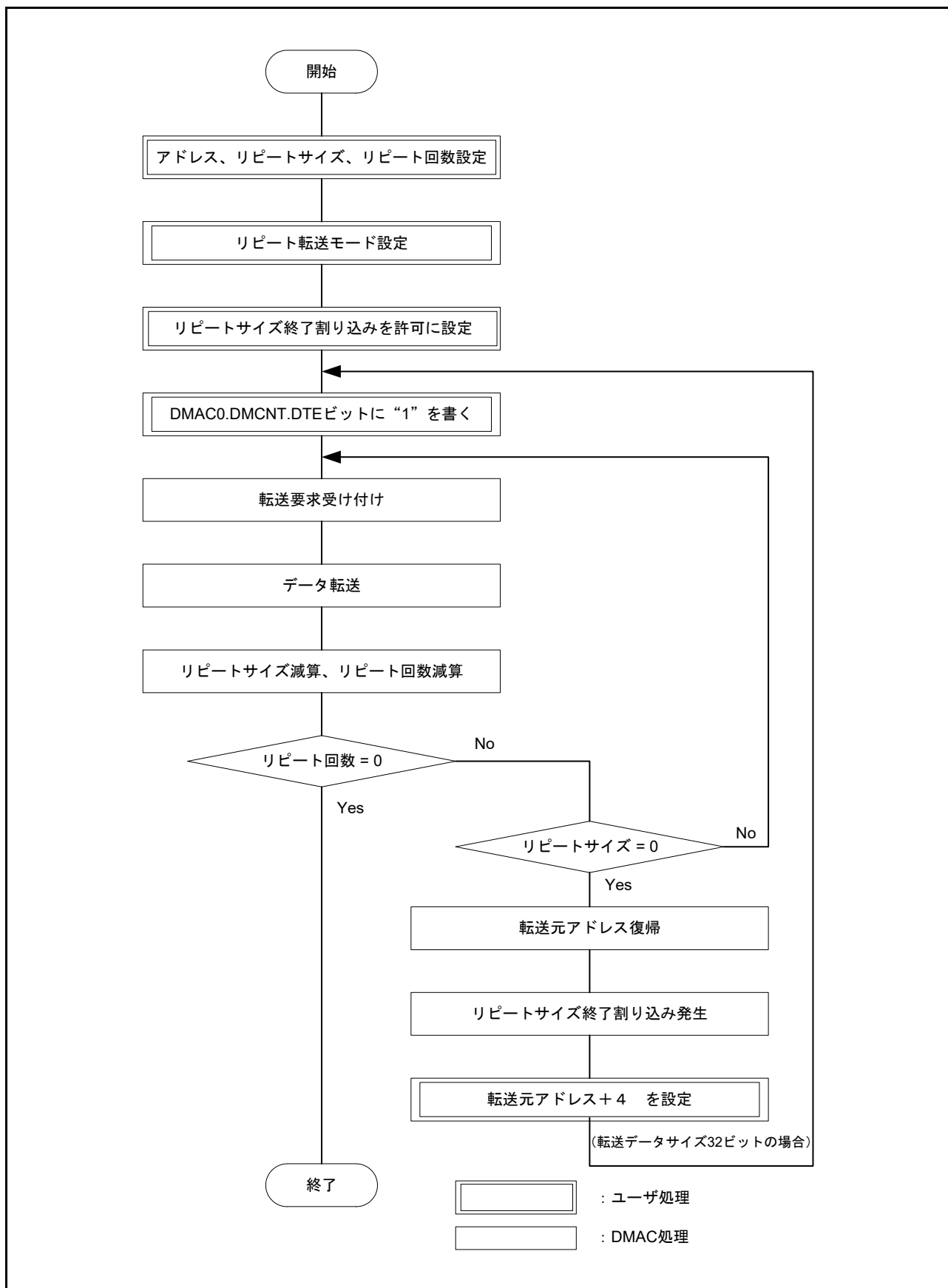


図 18.9 リピート転送モード + オフセット加算による XY 変換のフロー

18.3.4 起動要因

DMACの起動要因には、ソフトウェア、周辺モジュールからの割り込み要求、外部割り込み要求があります。これらの起動要因の選択はDMACm.DMTMD.DCTG[1:0]ビットで設定できます。

(1) ソフトウェアによる起動

DMACm.DMTMD.DCTG[1:0]ビットを“00b”にするとソフトウェアによる起動が可能となります。

ソフトウェアによる起動によりDMA転送を開始するには、DMACm.DMTMD.DCTG[1:0]ビットを“00b”にした後に、DMACm.DMCNT.DTEビットを“1”（DMA転送許可）にしてください。また、DMAST.DMSTビットを“1”（DMAC起動許可）にしてください。その後、DMACm.DMREQ.SWREQビットに“1”（DMA転送要求あり）を書くとDMA動作が開始します。

DMACm.DMREQ.CLRSビットが“0”でソフトウェア起動を行った場合、DMA転送要求に対する転送が開始されるとDMACm.DMREQ.SWREQビットが“0”になります。DMACm.DMREQ.CLRSビットが“1”でソフトウェア起動を行った場合は、転送を開始してもDMACm.DMREQ.SWREQビットは“0”になりません。要求に対する転送終了後、再びDMA転送要求が発生します。

(2) 周辺モジュール / 外部割り込み要求による起動

周辺モジュールからの割り込み要求、または外部割り込み要求をDMA転送起動要因に指定することができます。起動要因の選択は割り込みコントローラ (ICU) のICU.DMRSRmレジスタ (m=0~3) で選択します。チャンネルごとに独立して設定可能です。

周辺モジュールからの割り込み要求、外部割り込み要求によりDMAを起動するには、DMACm.DMTMD.DCTG[1:0]ビットを“01b”（周辺モジュールおよび外部割り込み端子からの割り込み）にした後に、DMACm.DMCNT.DTEビットを“1”（DMA転送を許可）にしてください。また、DMAST.DMSTビットを“1”（DMAC起動を許可）にしてください。その後に割り込み要求が発生すると、DMA動作を開始します。

DMACの起動要因となる割り込み要因一覧は、「15. 割り込みコントローラ (ICUb)」の「表 15.3 割り込みのベクタテーブル」を参照してください。

18.3.5 動作タイミング

図 18.10、図 18.11 に DMAC の動作タイミングの例を示します。

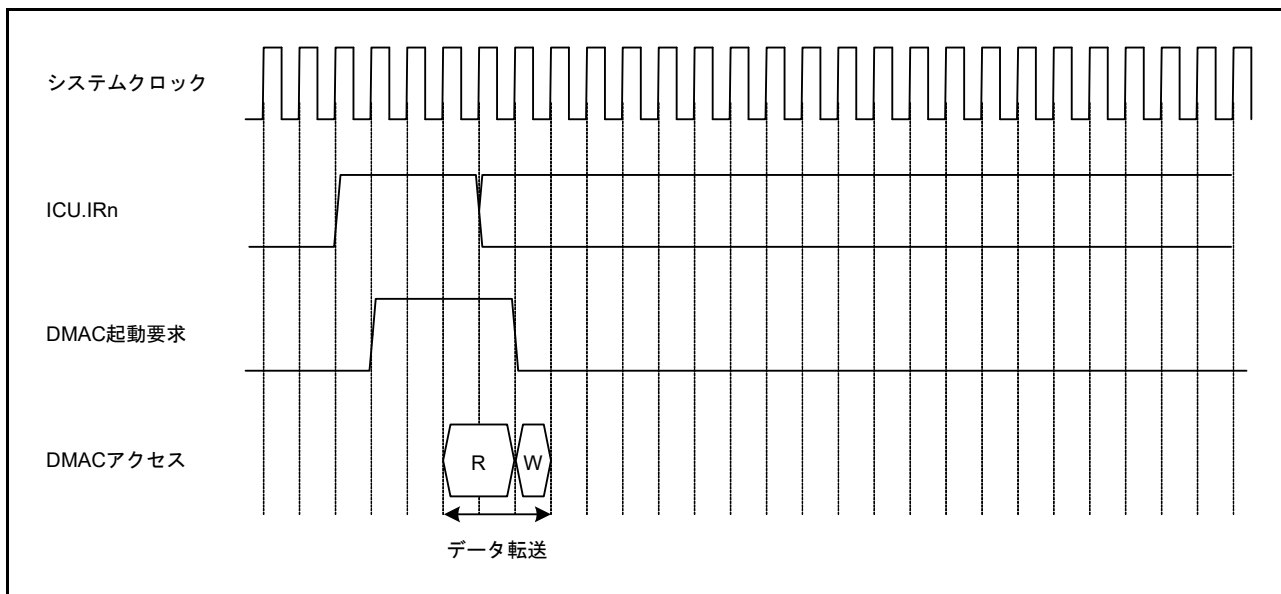


図 18.10 DMAC 動作タイミング例 (1) (周辺モジュール/外部割り込み入力端子からの割り込みによる DMA 起動、ノーマル転送モード、リピート転送モードの場合)

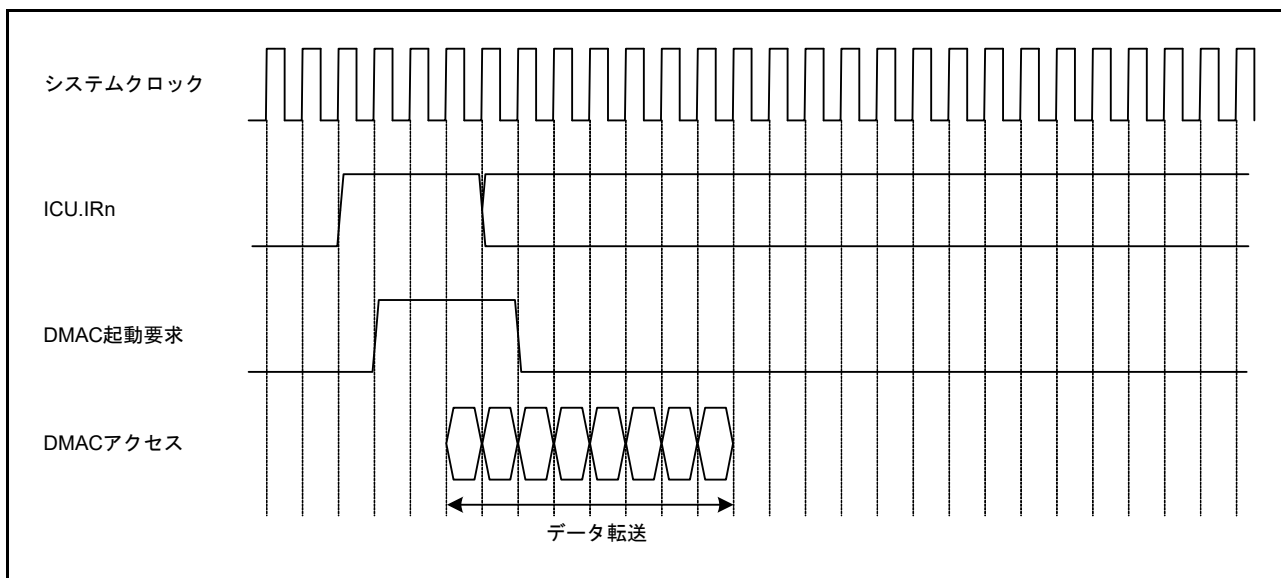


図 18.11 DMAC 動作タイミング例 (2) (周辺モジュール/外部割り込み入力端子からの割り込みによる DMA 起動、ブロック転送モード、ブロックサイズ=4 の場合)

18.3.6 DMAC の実行サイクル

表 18.7 に DMAC の 1 回のデータ転送の実行状態を示します。

表 18.7 DMAC の実行サイクル

転送モード	データ転送 (リード)	データ転送 (ライト)
ノーマル	Cr + 1	Cw
リピート	Cr + 1	Cw
ブロック (注1)	P × Cr	P × Cw

注1. ブロックサイズが2以上の場合です。ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

【記号説明】

P : ブロックサイズ (DMCRAH レジスタの設定値)

Cr : データリード先アクセスサイクル

Cw : データライト先アクセスサイクル

Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「48. RAM」、「49. フラッシュメモリ」、「5. I/O レジスタ」、「16.2.6 外部バス」を参照してください。

データ転送 (リード) の「+1」の単位はシステムクロック (ICLK) です。

動作例は「18.3.5 動作タイミング」を参照してください。

18.3.7 DMACの起動

図 18.12 にレジスタの設定手順を示します。



図 18.12 レジスタの設定手順

18.3.8 DMA 転送の開始

DMACm.DMCNT.DTE ビットを“1” (DMA 転送許可) にして、DMAST.DMST ビットを“1” (DMAC 起動許可) にすると、チャンネル m ($m=0 \sim 3$) の DMA 転送が可能になります。

他の DMAC チャンネル、DTC の転送中は新たな起動要求は受け付けません。先行する転送が終了した時点で最も優先順位の高いチャンネルの DMA 転送要求が受け付けられ、DMA 転送を開始します。DMA 転送が開始すると、DMACm.DMSTS.ACT ビットが“1” (DMAC 動作中) になります。

18.3.9 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、DMACm.DMSAR、DMACm.DMDAR、DMACm.DMCRA、DMACm.DMCRB、DMACm.DMCNT、DMACm.DMSTS です。

(1) DMA 転送元アドレスレジスタ (DMACm.DMSAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は表 18.3 ~ 表 18.5 を参照してください。

(2) DMA 転送先アドレスレジスタ (DMACm.DMDAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は表 18.3 ~ 表 18.5 を参照してください。

(3) DMA 転送カウントレジスタ (DMACm.DMCRA)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は表 18.3 ~ 表 18.5 を参照してください。

(4) DMA ブロック転送カウントレジスタ (DMACm.DMCRB)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は表 18.3 ~ 表 18.5 を参照してください。

(5) DMA 転送許可ビット (DMACm.DMCNT.DTE)

DMACm.DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可 / 禁止を制御しますが、DMA 転送状態によって以下のいずれかの条件が成立した場合は、自動的に DMACm.DMCNT.DTE ビットが“0”になります。

- 設定の総転送データ数の転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバーフロー割り込み要求が発生し、転送が終了したとき

DMACm.DMCNT.DTE ビットが“1”になっているチャンネルのレジスタの書き込みは禁止です (DMACm.DMCNT レジスタを除く)。DMACm.DMCNT.DTE ビットに“0”を設定した状態で、各レジスタの設定を変更してください。

(6) DMA アクティブフラグ (DMACm.DMSTS.ACT ビット)

DMACm が停止中か動作中であることを示します。DMACm.DMSTS.ACT ビットは DMAC が転送動作を開始すると“1”にセットされ、1 転送要求に対するデータ転送を終了すると“0”になります。

DMA 転送中に DMACm.DMCNT.DTE ビットに“0”をライトし、DMA 転送を停止させた場合でも、DMA 転送が終了するまで“1”を保持します。

(7) 転送終了割り込みフラグ (DMACm.DMSTS.DTIF フラグ)

DMA 転送によって総転送サイズ分の転送を終了すると、DMACm.DMSTS.DTIF フラグは“1”にセットされます。

DMACm.DMSTS.DTIF フラグが“1”にセットされ、DMACm.DMINT.DTIE ビットが“1”にセットされていると転送終了割り込み要求が発生します。

DMACm.DMSTS.DTIF フラグが“1”にセットされるタイミングは、DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT ビットが“0”になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに“1”を書き込んだ場合、自動的に DMACm.DMSTS.DTIF フラグが“0”クリアされます。

(8) 転送エスケープ割り込みフラグ (DMACm.DMSTS.ESIF)

リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み要求が発生したとき、DMACm.DMSTS.ESIF フラグは“1”にセットされます。DMACm.DMSTS.ESIF フラグが“1”にセットされ、DMACm.DMINT.ESIE ビットが“1”にセットされていると転送エスケープ割り込み要求が発生します。

DMACm.DMSTS.ESIF フラグに“1”がセットされるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT フラグが“0”になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに“1”を書き込んだ場合、自動的に DMACm.DMSTS.ESIF フラグが“0”にクリアされます。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。

18.3.10 チャネルの優先順位

DMAC は複数の DMA 転送要求があるとき、DMA 転送要求のあるチャネルの優先順位を判断します。チャネルの優先順位は、チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3 の順で固定です。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送終了後にチャネル調停を行ない、優先順位の高いチャネルの転送が開始されます。

18.4 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMACm.DMCNT.DTE ビットと DMACm.DMSTS.ACT フラグが“1”から“0”になり、DMA 転送が終了したことを示します。

18.4.1 設定した総データ転送による転送終了

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] = 00b) のとき

DMACm.DMCRAL レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に転送終了割り込み要求が発生します。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] = 01b) のとき

DMACm.DMCRB レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] = 10b) のとき

DMACm.DMCRB レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。

18.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMACm.DMINT.RPTIE ビットが“1”にセットされているときに、1 リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求が発生します。割り込み要求の発生により DMA 転送を終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.ESIF フラグが“1”にセットされます。このとき DMACm.DMINT.ESIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。またこの状態から DMACm.DMCNT.DTE ビットを“1”にセットすると転送を再開させることができます。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求が発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に、同様にリピートサイズ終了割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。

18.4.3 拡張リピートエリアオーバフロー割り込みによる転送終了

拡張リピートエリアを指定し、DMACm.DMINT.SARIE ビットまたは DMACm.DMINT.DARIE ビットが“1”にセットされているときに、アドレスの拡張リピートエリアがオーバフローすると、拡張リピートエリアオーバフロー割り込み要求が発生します。割り込み要求の発生により DMA 転送は終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.ESIF フラグが“1”にセットされます。このとき DMACm.DMINT.ESIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

リードサイクル中に拡張リピートエリアオーバフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1 ブロック分の転送中に拡張リピートエリアオーバフロー割り込み要求が発生しても、1 ブロック分の転送は実行されます。拡張リピートエリアオーバフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15. 割り込みコントローラ (ICUb)」を参照してください。

18.5 割り込み

DMACはチャンネルごとに、1要求分の転送完了後にCPUまたはDTCに割り込み要求を出力させることができます。転送先が外部バス、または内部周辺バスの場合、実転送先への書き込み完了ではなく、ライトバッファへの書き込みが完了した時点で、割り込み要求を発行します。

割り込みの要因、フラグ、許可ビットの関係を表18.8に、割り込み出力の概略論理図を図18.13に示します。また、DMAC割り込み処理で、DMA転送を再開/中止する手順を図18.14に示します。

表 18.8 割り込みの要因、フラグ、許可ビットの関係

割り込み要因		許可ビット	ステータスフラグ	要求出力許可
転送終了		—	DMACm.DMSTS.DTIF	DMACm.DMINT.DTIE
エスケープ 転送終了	リピートサイズ終了	DMACm.DMINT.RPTIE	DMACm.DMSTS.ESIF	DMACm.DMINT.ESIE
	転送元アドレス拡張リピート エリアオーバーフロー	DMACm.DMINT.SARIE		
	転送先アドレス拡張リピート エリアオーバーフロー	DMACm.DMINT.DARIE		

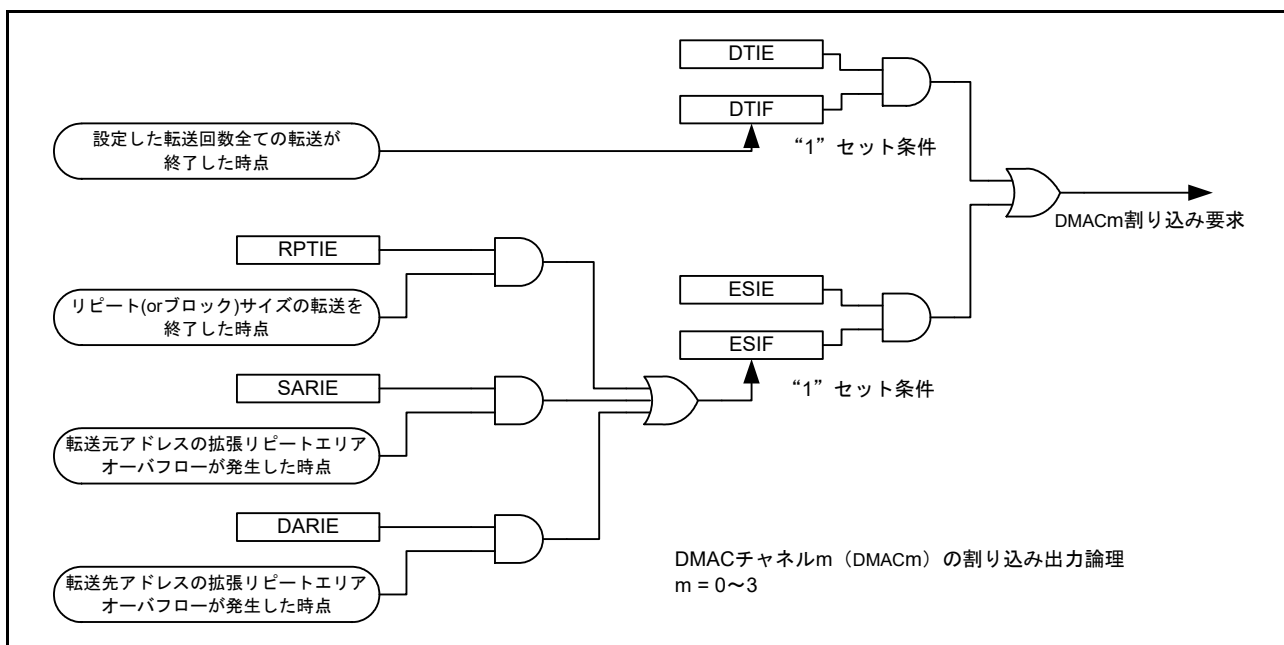


図 18.13 割り込み出力の概略論理図

割り込み処理ルーチンで、割り込みを解除して DMA 転送を再開する方法は、DMA 転送を終了または中止させるときと、転送を継続させる場合で異なります。

(1) DMA 転送を終了または中止させる場合

転送終了割り込みの場合は DMACm.DMSTS.DTIF フラグに、リピートサイズ割り込みおよび拡張リピートエリアオーバーフロー割り込みの場合は DMACm.DMSTS.ESIF フラグに“0”を書いてください。割り込み要因がクリアされます。DMACm は停止状態を保ちます。その後新たな DMA 転送を行う場合は、必要なレジスタに設定値を書き込み、DMACm.DMCNT.DTE ビットに“1” (DMA 転送許可) を書き込んでください。

(2) DMA 転送を継続させる場合

DMACm.DMCNT.DTE ビットに“1”を書き込んでください。自動的に DMACm.DMSTS.ESIF フラグが“0”にクリア (割り込み要因がクリア) され、転送が再開します。

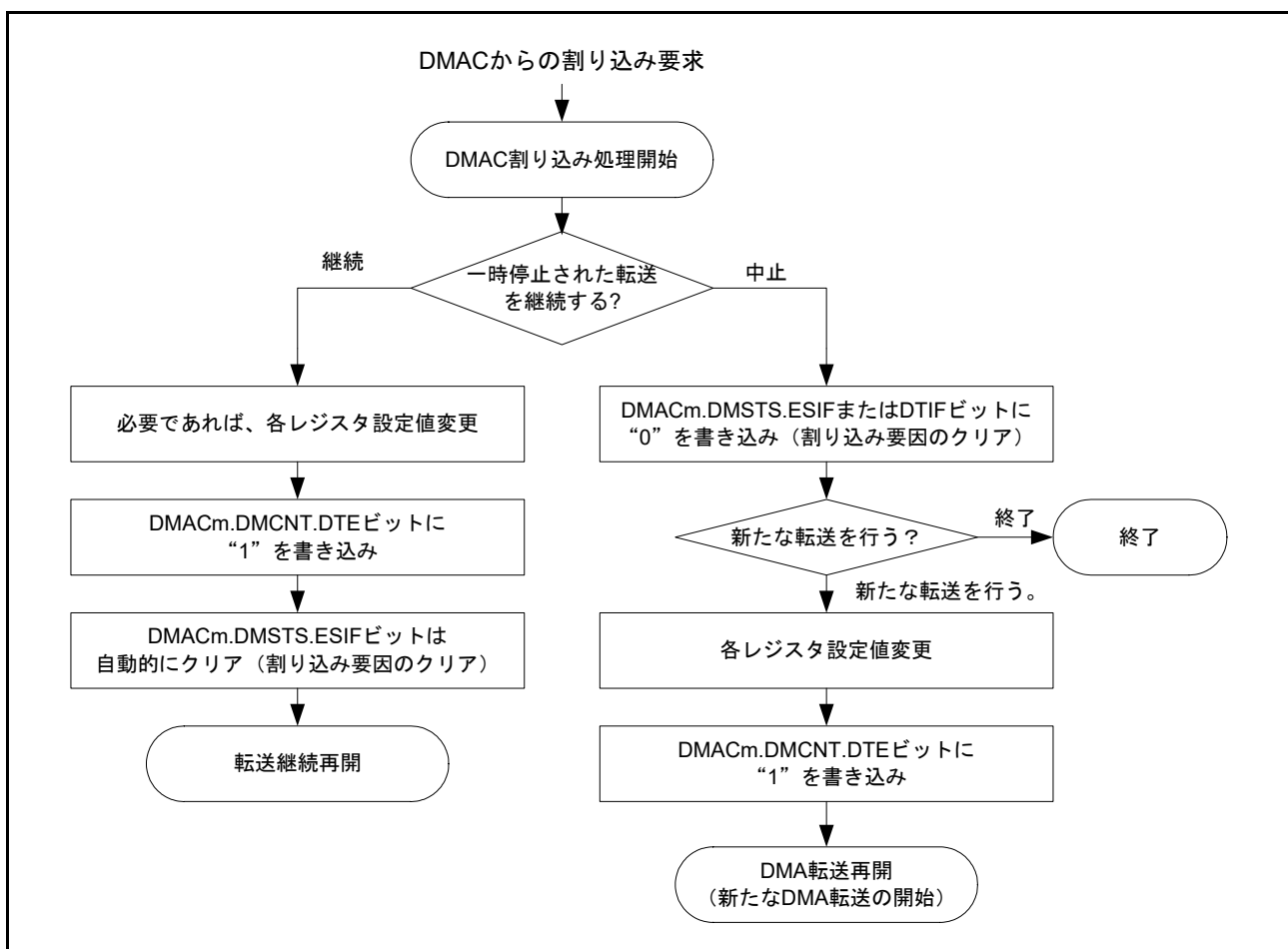


図 18.14 DMAC 割り込み処理で DMA 転送を再開/中止する手順

18.6 イベントリンク機能

各 DMAC チャネルは、1 回のデータ転送後 (ブロックの場合は 1 ブロック転送後)、イベントリンク要求を出力します。ただし、転送先が外部バスまたは内部周辺バスの場合、ライトバッファへの書き込みが受け付けられた時点で、イベントリンク要求を発行します。

18.7 消費電力低減機能

モジュールストップ機能、およびソフトウェアスタンバイモードへ移行する際は、DMAST.DMST ビットに“0” (DMAC モジュール停止) を書いた後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1” (モジュールストップ状態への遷移) を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1” を書いたときに DMA 転送動作中の場合、DMA 転送の終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1” のとき、DMAC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0” (モジュールストップ状態の解除) を書くことにより、DMAC のモジュールストップが解除されます。

(2) ソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合、DMA 転送終了後にソフトウェアスタンバイモードに移行します。

(3) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「11. 消費電力低減機能」の「11.7.5 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットに“1” を書いてください。

ソフトウェアスタンバイモード期間に発生した要求を DMAC 起動でなく CPU 割り込みとする場合は、「15. 割り込みコントローラ (ICUb)」の「15.4.3 割り込み要求先の選択」の設定方法にそって、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

18.8 使用上の注意事項

18.8.1 外部デバイスを使用する場合

外部デバイスへの DMA 転送では、最後のデータライトが開始されてから外部バスアクセスが終了する前に、DMACm.DMSTS.ACT フラグが“0” (DMAC 停止中) になることがあります。

18.8.2 周辺モジュールへ DMA 転送する場合

周辺モジュールへの DMA 転送では、最後のデータライトが開始されてから周辺バスアクセスが終了する前に、DMACm.DMSTS.ACT フラグが“0” (DMAC 停止中) になることがあります。

18.8.3 DMA 動作中のレジスタアクセスについて

DMACm.DMSTS.ACT フラグが“1” (DMAC 動作中)、または DMACm.DMCNT.DTE ビットが“1” (DMA 転送許可) の状態で、同じチャンネルの設定レジスタ (DMSAR、DMDAR、DMCRA、DMCRB、DMTMD、DMINT、DMAMD、DMOFR、DMCSL) へのアクセスは行わないでください。

18.8.4 予約領域への DMA 転送について

予約領域への DMA 転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域についての詳細は「4. アドレス空間」を参照してください。

18.8.5 DMA 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの割り込み要求について

DMACm.DMCSL.DISEL ビットを“1”に設定すると、1回の DMA 起動要求に対する転送が終了する度に CPU へ割り込み要求を発生させることができます。このとき発生する割り込みは、DMAC が出力する転送終了割り込み、エスケープ終了割り込みとは異なり、DMAC の起動要因となった割り込みフラグを DMA 転送終了時に“0”クリアせずに割り込み要求先を CPU に切り替えることにより、CPU への割り込み要求が発生します。割り込みフラグは、CPU 割り込み受け付け時にクリアされます。

割り込みフラグ、割り込み要求先変更については、「15. 割り込みコントローラ (ICUb)」を参照してください。また、DMACm.DMCSL.DISEL ビットの設定は、「18.2.12 DMA 起動要因フラグ制御レジスタ (DMCSL)」を参照してください。

18.8.6 割り込みコントローラの DMAC 起動要求レジスタ (ICU.DMRSRm) の設定

DMAC 起動要求レジスタ (ICU.DMRSRm) の設定は、DMA 転送許可ビット (DMACm.DMCNT.DTE ビット) が“0” (DMA 転送を禁止) のときに行なってください。また、ICU.DMRSRm レジスタで設定したベクタ番号と同じベクタ番号に対応する DTC 起動許可レジスタ (ICU.DTCERn) を“1”にしないでください。ICU.DTCERn、ICU.DMRSRm レジスタの詳細は、「15. 割り込みコントローラ (ICUb)」を参照してください。

18.8.7 DMA 起動の保留 / 再開方法

DMA 起動要求を保留する場合は、起動要因の割り込み許可ビット (ICU.IERn.IENj ビット) を“0”にしてください。DMA 転送を再開する場合は「18.3.7 DMAC の起動」を設定した状態で、ICU.IERn.IENj ビットを

“1”にしてください。

19. データトランスファコントローラ (DTCa)

本 MCU は、データトランスファコントローラ (DTC) を内蔵しています。
DTC は、割り込み要求によって起動し、データ転送を行うことができます。

19.1 概要

表 19.1 に DTC の仕様を、図 19.1 に DTC のブロック図を示します。

表 19.1 DTC の仕様

項目	内容
転送チャンネル数	<ul style="list-style-type: none"> • DTC 起動が可能なすべての割り込み要因の数と同数
転送モード	<ul style="list-style-type: none"> • ノーマル転送モード 1回の起動で1つのデータを転送する • リピート転送モード 1回の起動で1つのデータを転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピート回数は最大256回設定可能で、256 × 32ビットで、最大1024バイト転送可能 • ブロック転送モード 1回の起動で1ブロックのデータを転送する ブロックサイズは、最大256 × 32ビット = 1024バイト設定可能
チェーン転送機能	<ul style="list-style-type: none"> • 1回の転送要求に対して複数種類のデータ転送を連続して実行可能 • 「転送カウンタが“0”になったときのみ実施」 / 「毎回実施」のいずれかを選択可能
転送空間	<ul style="list-style-type: none"> • ショートアドレスモードのとき16Mバイト ("0000 0000h" ~ "007F FFFFh" と "FF80 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域) • フルアドレスモードのとき4Gバイト ("0000 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域)
データ転送単位	<ul style="list-style-type: none"> • 1データ : 1バイト(8ビット)、1ワード(16ビット)、1ロングワード(32ビット) • 1ブロックサイズ : 1 ~ 256データ
CPU 割り込み要求	<ul style="list-style-type: none"> • DTC を起動した割り込みで CPU への割り込み要求を発生可能 • 1回のデータ転送終了後に CPU への割り込み要求を発生可能 • 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
イベントリンク機能	1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
リードスキップ	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
消費電力低減機能	モジュールストップ状態への遷移が可能

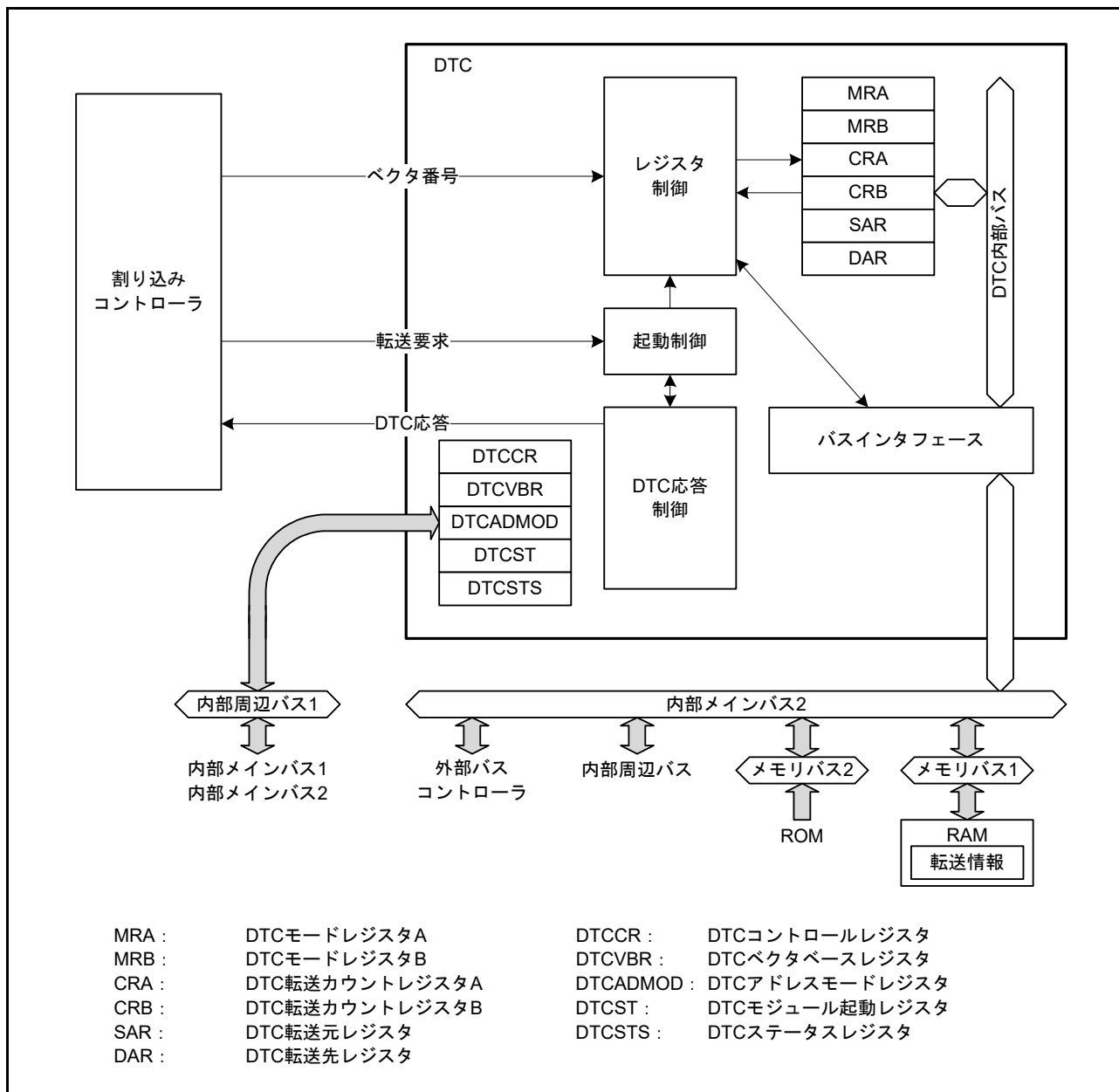


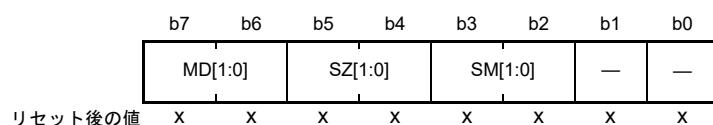
図 19.1 DTC のブロック図

19.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB レジスタはDTCの内部レジスタです。CPUから直接アクセスすることはできません。これら内部レジスタの設定値はRAM領域に転送情報として配置します。DTCは転送要求を受け付けると、RAM領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、更新された内部レジスタの値は転送情報としてRAM領域にライトバックされます。

19.2.1 DTC モードレジスタ A (MRA)

アドレス (CPUから直接アクセス不可)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	"0"にしてください	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 0 0 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 0 1 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 1 0 : 転送後SARレジスタをインクリメント (SZ[1:0]ビットが"00b"のとき1、 "01b"のとき+2、"10b"のとき+4) 1 1 : 転送後SARレジスタをデクリメント (SZ[1:0]ビットが"00b"のとき-1、 "01b"のとき-2、"10b"のとき-4)	—
b5-b4	SZ[1:0]	DTCデータトランスファサイズビット	b5 b4 0 0 : バイト(8ビット)転送 0 1 : ワード(16ビット)転送 1 0 : ロングワード(32ビット)転送 1 1 : 設定しないでください	—
b7-b6	MD[1:0]	DTC転送モード選択ビット	b7 b6 0 0 : ノーマル転送モード 0 1 : リピート転送モード 1 0 : ブロック転送モード 1 1 : 設定しないでください	—

MRAレジスタは、DTCの動作モードを選択するレジスタです。CPUから直接アクセスすることはできません。

19.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—	
リセット後の値	X	X	X	X	X	X	X	X

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	“0”にしてください	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモードビット	b3 b2 0 0 : DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 0 1 : DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 1 0 : 転送後、DAR レジスタをインクリメント (MRA.SZ[1:0] ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1 : 転送後DAR レジスタをデクリメント (MRA.SZ[1:0] ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4)	—
b4	DTS	DTC 転送モード選択ビット	0 : 転送先がリピート領域またはブロック領域 1 : 転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC 割り込み選択ビット	0 : 指定した回数のデータ転送が終了したとき、CPU への割り込み要求が発生 1 : データ転送のたびに、CPU への割り込み要求が発生	—
b6	CHNS	DTC チェーン転送選択ビット	0 : 転送が終了するたびにチェーン転送を行う 1 : 転送カウンタが1 → 0、または1 → CRAH となったとき、チェーン転送を行う	—
b7	CHNE	DTC チェーン転送許可ビット	0 : チェーン転送禁止 1 : チェーン転送許可	—

MRB レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

DTS ビット (DTC 転送モード選択ビット)

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域にするかを指定します。

CHNS ビット (DTC チェーン転送選択ビット)

チェーン転送の条件を選択します。

CHNE ビットが“0”のときは CHNS ビットの設定は無視されます。チェーン転送が選択される条件の詳細は、「表 19.3 チェーン転送の条件」を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPU への割り込み要求は発生しません。

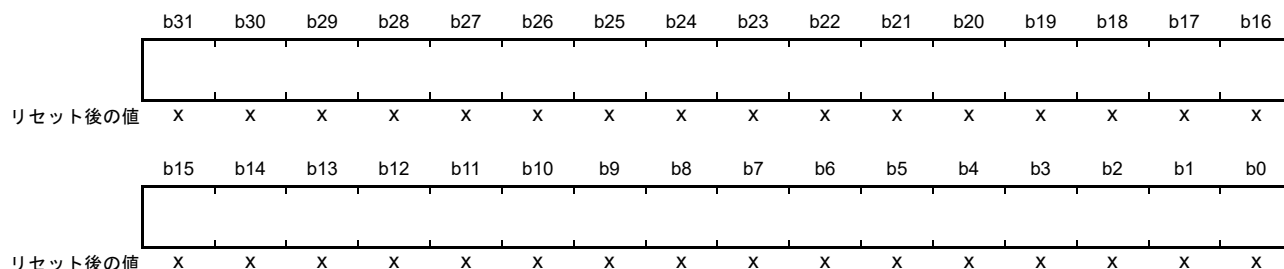
CHNE ビット (DTC チェーン転送許可ビット)

チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。チェーン転送の詳細は、「19.4.6 チェーン転送」を参照してください。

19.2.3 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可)

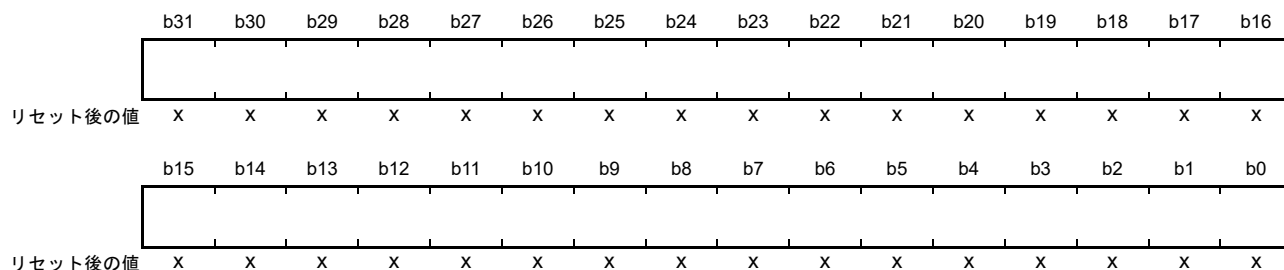


x: 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。
 フルアドレスモードでは 32 ビットが有効となります。
 ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。
 SAR レジスタは CPU から直接アクセスすることはできません。

19.2.4 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可)



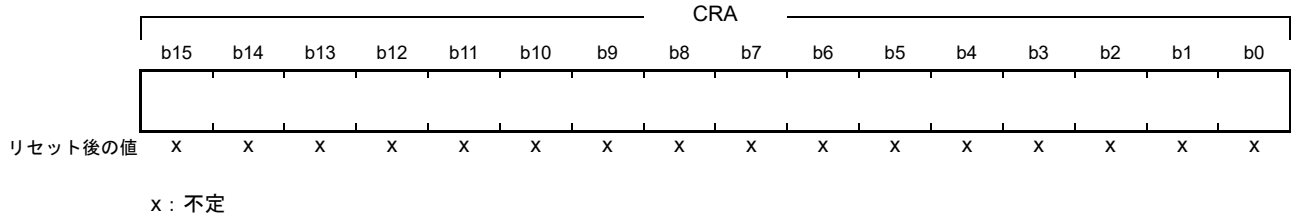
x: 不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。
 フルアドレスモードでは 32 ビットが有効となります。
 ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。
 DAR レジスタは CPU から直接アクセスすることはできません。

19.2.5 DTC 転送カウントレジスタ A (CRA)

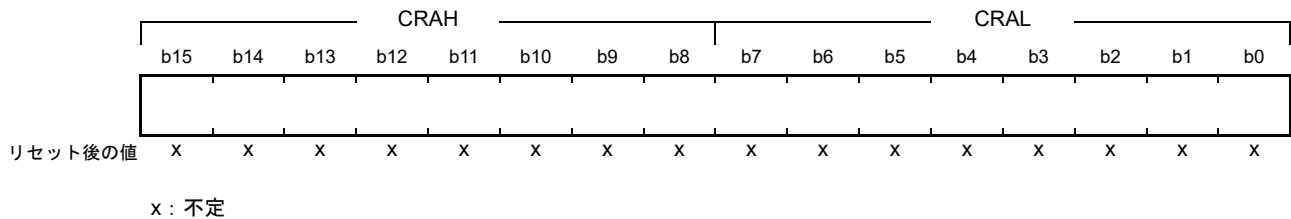
- ノーマル転送モード

アドレス (CPUから直接アクセス不可)



- リピート転送モード、ブロック転送モード

アドレス (CPUから直接アクセス不可)



シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定します。転送中はカウンタとして動作します	—
CRAH	転送カウンタA上位レジスタ	転送回数を設定します。転送中はリロードレジスタとして動作します	—

注. 転送モードによって機能が異なります。

注. リピート転送モード時およびブロック転送モード時は、CRAH、CRALレジスタには同じ値を設定してください。

CRA レジスタは転送回数をカウントするレジスタです。CPU から直接アクセスすることはできません。

(1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = 00b)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が“0001h”のときは 1 回、“FFFFh”のときは 65535 回、“0000h”のときは 65536 回となります。

データ転送を 1 回行うたびにデクリメント (-1) されます。

(2) リピート転送モードの場合 (MRA.MD[1:0] ビット = 01b)

CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。

転送回数は、設定値が“01h”のときは 1 回、“FFh”のときは 255 回、“00h”のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (-1) され、“00h”になると CRAH レジスタの値がリロードされます。

(3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = 10b)

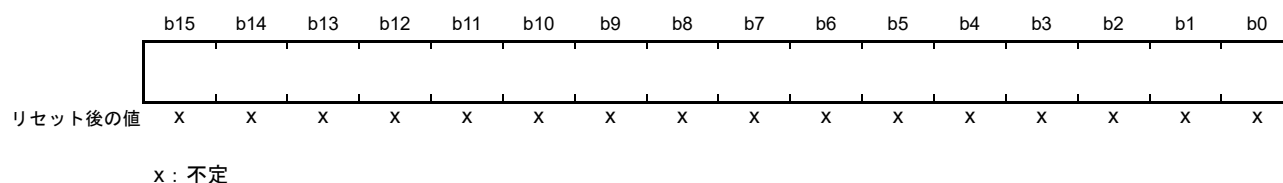
CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が“01h”のときは 1 回、“FFh”のときは 255 回、“00h”のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (-1) され、“00h”になると CRAH レジスタの値がリロードされます。

19.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可)



CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。CPU から直接アクセスすることはできません。

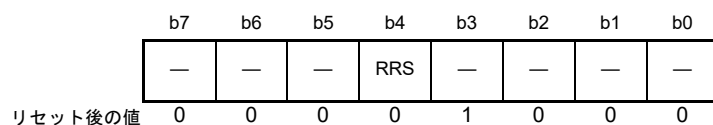
転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。

1ブロックサイズの最終データ転送時にデクリメント(-1)されます。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。

19.2.7 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 0008 2400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC 転送情報リードスキップ許可ビット	0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCCR レジスタは、DTC の動作を制御するレジスタです。

RRS ビット (DTC 転送情報リードスキップ許可ビット)

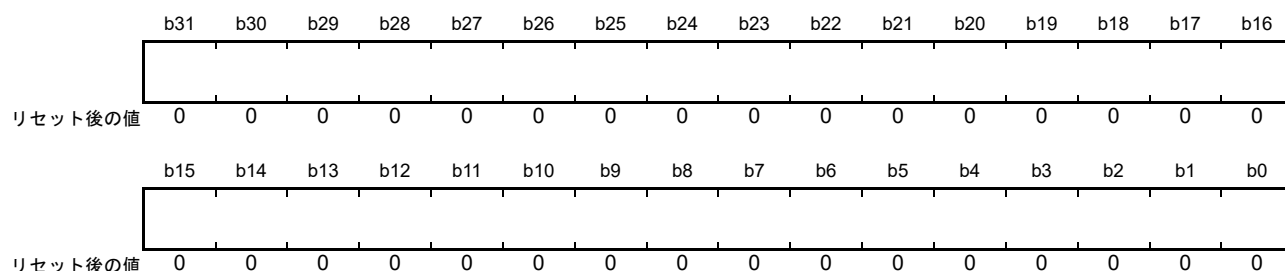
DTC ベクタ番号は、前回起動のベクタ番号と比較されます。

ベクタ番号が一致し RRS ビットが“1”のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

また、前回の転送が、ノーマル転送で転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。

19.2.8 DTC ベクタベースレジスタ (DTCVBR)

アドレス DTC.DTCVBR 0008 2404h

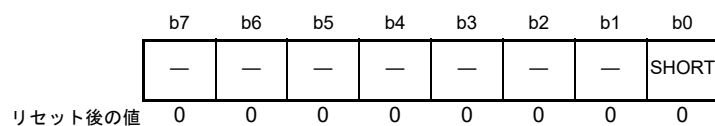


DTCVBR レジスタは、DTC ベクタの配置アドレスを算出するためのベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は“0”固定です。書く場合、“0”を書いてください。

0000 0000h ~ 07FF FC00h、および F800 0000h ~ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

19.2.9 DTC アドレスモードレジスタ (DTCADM0D)

アドレス DTC.DTCADM0D 0008 2408h



ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット	0 : フルアドレスモード 1 : ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCADM0D レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

SHORT ビット (ショートアドレスモード設定ビット)

SAR レジスタ、DAR レジスタのアドレスモードを選択するビットです。

フルアドレスモードでは、4G バイト空間 (0000 0000h ~ FFFF FFFFh) のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間 (0000 0000h ~ 007F FFFFh と FF80 0000h ~ FFFF FFFFh) のアクセスが可能です。

19.2.10 DTC モジュール起動レジスタ (DTCST)

アドレス DTC.DTCST 0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCST ビット (DTC モジュール起動ビット)

DTC を転送要求受け付け可能にするためには、DTCST ビットを“1”にしてください。DTCST ビットを“0”にすると新たな転送要求を受け付けません。

動作中に“0”に書き換えた場合、受け付け済みの転送要求は処理が終わるまで動作します。

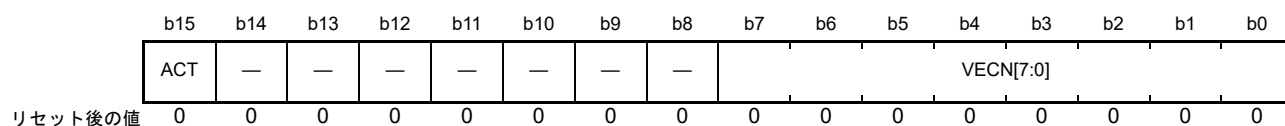
モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへ移行する際は、DTCST ビットを“0”にしてください。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードから復帰した後、DTCST ビットを“1”にすると、データ転送が再開できます。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへの移行については「19.9 消費電力低減機能」、および「11. 消費電力低減機能」を参照してください。

19.2.11 DTC ステータスレジスタ (DTCSTS)

アドレス DTC.DTCSTS 0008 240Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTCアクティブベクタ番号モニタフラグ	データ転送実行中にその起動要因をベクタ番号で示します データ転送実行中(ACTフラグが“1”のとき)にのみ有効値を示します	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ACT	DTCアクティブフラグ	0：データ転送は実行していない 1：データ転送実行中	R

VECN[7:0] フラグ (DTC アクティブベクタ番号モニタフラグ)

データ転送を実行中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが“1”(データ転送実行中)であれば、VECN[7:0] フラグの値は有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが“0”(データ転送は実行していない)であれば、VECN[7:0] フラグの値は無効値です。

DTC 起動要因とベクタアドレスの関係は、「15. 割り込みコントローラ (ICUb)」の「15.3.1 割り込みのベクタテーブル」を参照してください。

ACT フラグ (DTC アクティブフラグ)

データ転送の実行状態を示します。

[“1”になる条件]

- 転送要求に対して DTC が起動したとき

[“0”になる条件]

- 1回の転送要求に対するデータ転送が終了したとき

19.3 起動要因

DTC は割り込み要求によって起動します。DTC を起動する割り込み要求に対応する ICU.DTCERn.DTCE ビット (n = 割り込みベクタ番号) を“1”にすると DTC の起動要因になります。

DTC 起動要因とベクタアドレスの関係は、「15. 割り込みコントローラ (ICUb)」の「15.3.1 割り込みのベクタテーブル」を参照してください。また、ソフトウェア起動については、「15. 割り込みコントローラ (ICUb)」の「15.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)」を参照してください。

DTC が一度、転送要求を受け付けると、その 1 要求分の転送が終わるまでは、優先順位に関わりなく新たな転送要求を受け付けません。DMAC/DTC のデータ転送中に複数の転送要求が発生した場合、その転送が終わった時点で最も優先順位の高い要求が受け付けられます。DTCST.DTCST ビットが“0” (DTC モジュール停止) の状態で複数の転送要求が発生した場合も、その後、DTCST.DTCST ビットを“1” (DTC モジュール動作) にした時点で最も優先順位の高い要求が受け付けられます。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) を行うごとに、DTC は以下の動作を行います。

- 指定した総転送数の最終終了時は、データ転送後に ICU.DTCERn.DTCE ビットを“0”にして CPU に割り込みを要求します。
- MRB.DISEL ビットが“1”のときは、データ転送後に CPU に割り込みを要求します。
- 上記のいずれでもない場合は、データ転送開始時に起動要因となった割り込みステータスフラグを“0”にします。

19.3.1 転送情報の配置と DTC ベクタテーブル

DTC は起動要因別に DTC ベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報を読みます。

DTC ベクタテーブルは、ベースアドレス (先頭アドレス) の下位 10 ビットが“0”になるように、1K バイト境界に配置してください。DTC ベクタテーブルのベースアドレスは、DTC ベクタベースレジスタ (DTCVBR) に設定してください。

転送情報は、RAM 領域に配置します。ベクタ番号 n に対する転送情報 n の先頭アドレスは、DTCVBR + 4n 番地に格納してください。

転送情報は、4 バイト境界に配置してください。ショートアドレスモードの場合、12 バイト、フルアドレスモード場合、16 バイト使用します。DTCADM.SHORT ビットで、ショートアドレスモード (SHORT ビット = 1)、フルアドレスモード (SHORT ビット = 0) の設定を行います。

DTC ベクタテーブルと転送情報の対応を図 19.2 に示します。

RAM 領域上の転送情報の配置を図 19.3 に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は、「19.10.2 転送情報の配置」を参照してください。

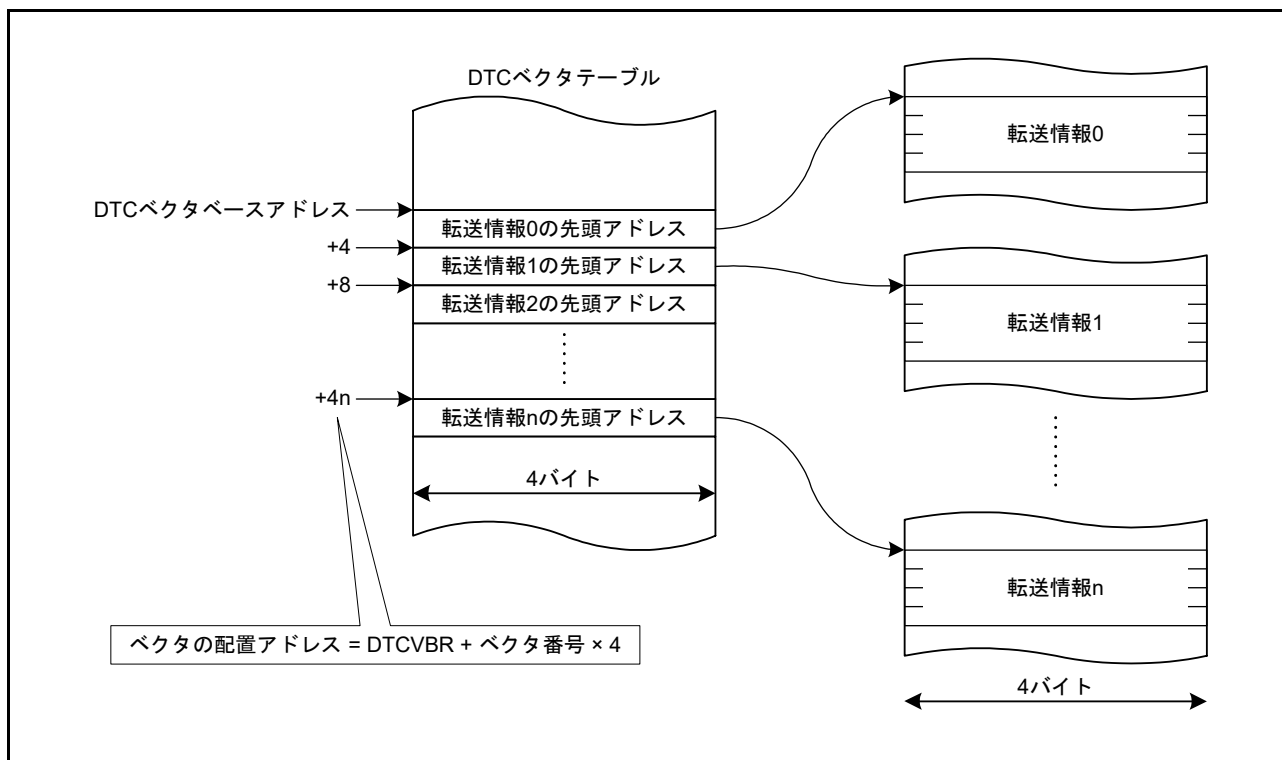


図 19.2 DTC ベクタテーブルと転送情報の対応

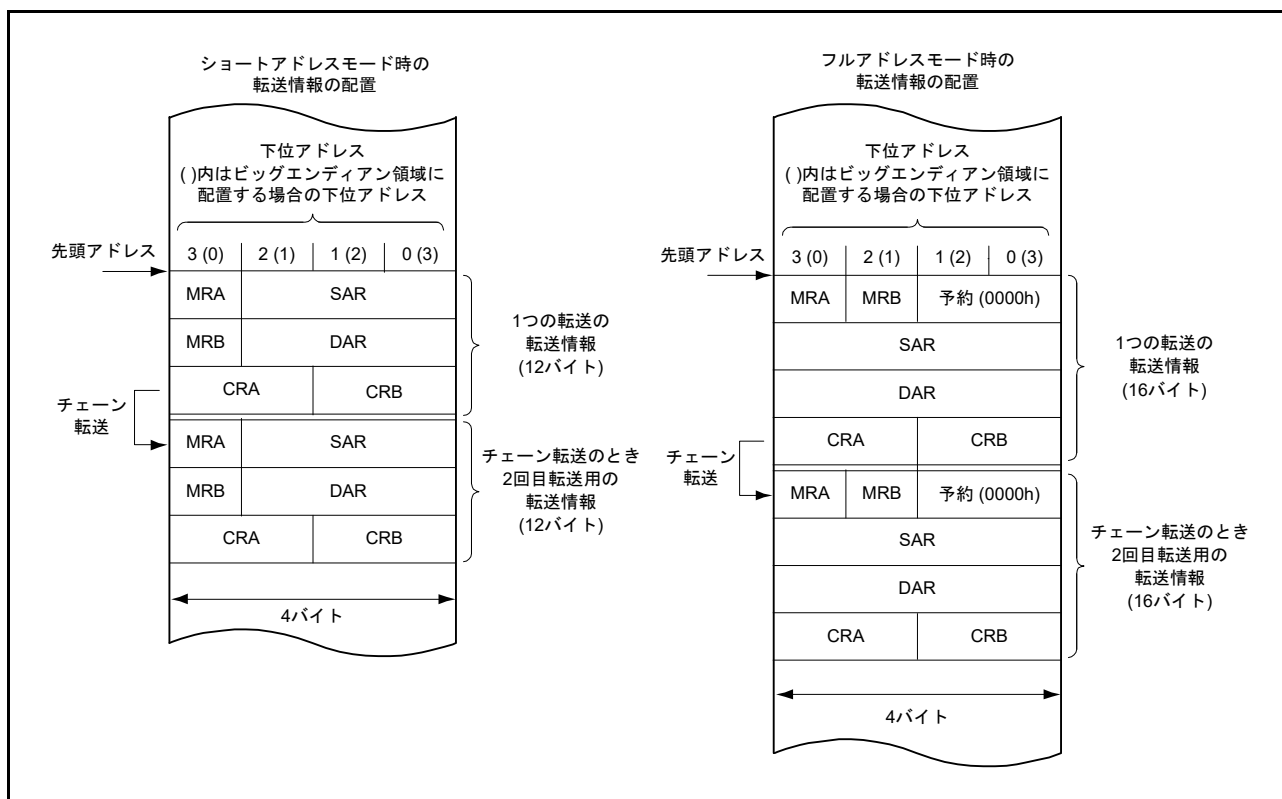


図 19.3 RAM 領域上の転送情報の配置

19.4 動作説明

DTC は、転送情報を元にデータを転送します。DTC を動作させるためには、あらかじめ転送情報を RAM 領域に格納しておく必要があります。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読み出します。次に DTC ベクタが示すアドレスから転送情報を読み出してデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報を RAM 領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

転送元アドレスは SAR レジスタ、転送先アドレスは DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、それぞれの設定(インクリメント/デクリメント/固定)に従って、転送後に更新されます。

DTC の転送モードを表 19.2 に示します。

表 19.2 DTCの転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード(注1)	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～256回(注3)
ブロック転送モード(注2)	CRAHレジスタで指定したブロックサイズ(1～256バイト/1～256ワード/1～256ロングワード)	1、2または4増減あるいはアドレス固定	1～65536回

注1. 転送元または転送先のいずれかをリピート領域に設定

注2. 転送元または転送先のいずれかをブロック領域に設定

注3. 指定回数の転送終了後は、初期状態を回復し動作を継続(リピート)する。

また、MRB.CHNE ビットを“1”にしておくことにより、1回の転送要求で複数の転送を行うことができます(チェーン転送)。MRB.CHNS ビットの設定で、指定された回数 of データ転送が終了したときにチェーン転送を行う設定も可能です。

DTC 動作フローチャートを図 19.4 に示します。チェーン転送の条件を表 19.3 に示します。

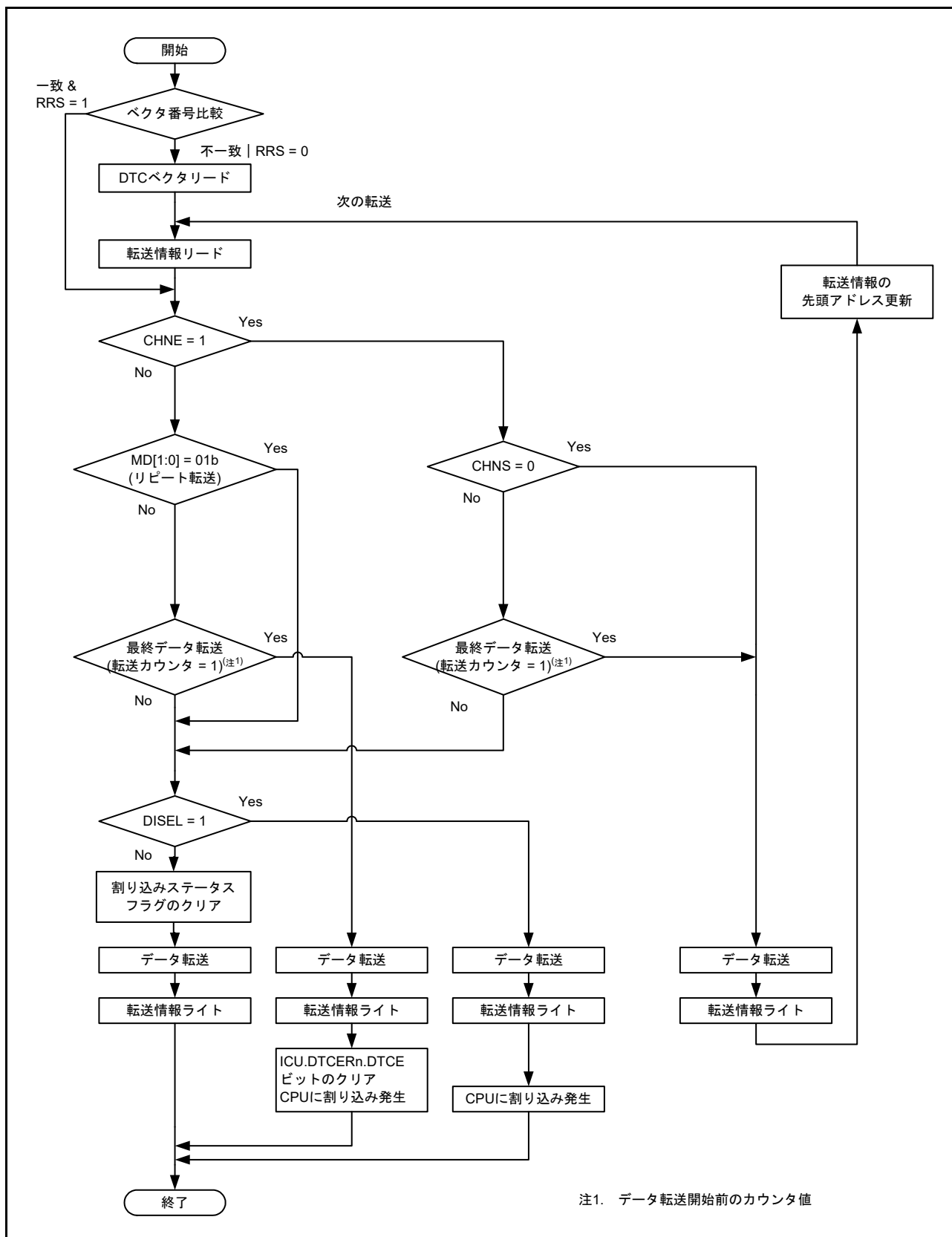


図 19.4 DTC 動作フローチャート

表 19.3 チェーン転送の条件

第1の転送				第2の転送(注3)				データ転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	
0	—	0	(1 → 0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1 → 0)	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	0	(1 → *) 以外	—	—	—	—	第1転送で終了
1	1	—	(1 → *)	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	1	(1 → *) 以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

注1. 転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。

ノーマル転送モード：CRAレジスタ、リピータ転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ

注2. 転送終了時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは(1 → 0)、リピータ転送モードでは(1 → CRAH)となります。表中の(1 → *)はこの両方を指しています。

注3. 第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNEビットが“1”の組み合わせを省略しています。

19.4.1 転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、DTC ベクタのリードと転送情報のリードをスキップすることができます。

DTC 転送要求が入力されたとき、今回起動する DTC ベクタ番号と前回起動した DTC ベクタ番号が比較されます。比較結果が一致し、DTCCR.RRS ビットが“1”のとき、DTC ベクタのリードと転送情報のリードを行わず、DTC 内部に残っている転送情報に従ってデータ転送を行います。前回の起動がチェーン転送のときは、DTC ベクタのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、DTCCR.RRS ビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を図 19.13 に示します。

DTC ベクタテーブルと転送情報を更新する場合には、一度 DTCCR.RRS ビットを“0”にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを“1”にしてください。DTCCR.RRS ビットを“0”にすることによって DTC の内部に保持されていたベクタ番号は破棄されます。次回の起動時は、更新された DTC ベクタテーブルおよび転送情報がリードされます。

19.4.2 転送情報ライトバックスキップ機能

MRA.SM[1:0] ビット、または MRB.DM[1:0] ビットをアドレス固定 (“00b” または “01b”) に設定すると、転送情報の一部がライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。

転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを表 19.4 に示します。なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。

また、フルアドレスモードの場合、MRA レジスタ、MRB レジスタはライトバックスキップされます。

表 19.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット		SARレジスタ	DARレジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

19.4.3 ノーマル転送モード

1回の転送要求で、1バイト、1ワードまたは1ロングワードの転送を行います。転送回数は1～65536です。

転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表19.5に、ノーマル転送モードのメモリマップを図19.5に示します。

表19.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定(注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定(注1)
CRA	転送カウンタA	CRA - 1
CRB	転送カウンタB	更新されない

注1. アドレス固定のときは、ライトバックはスキップされます。

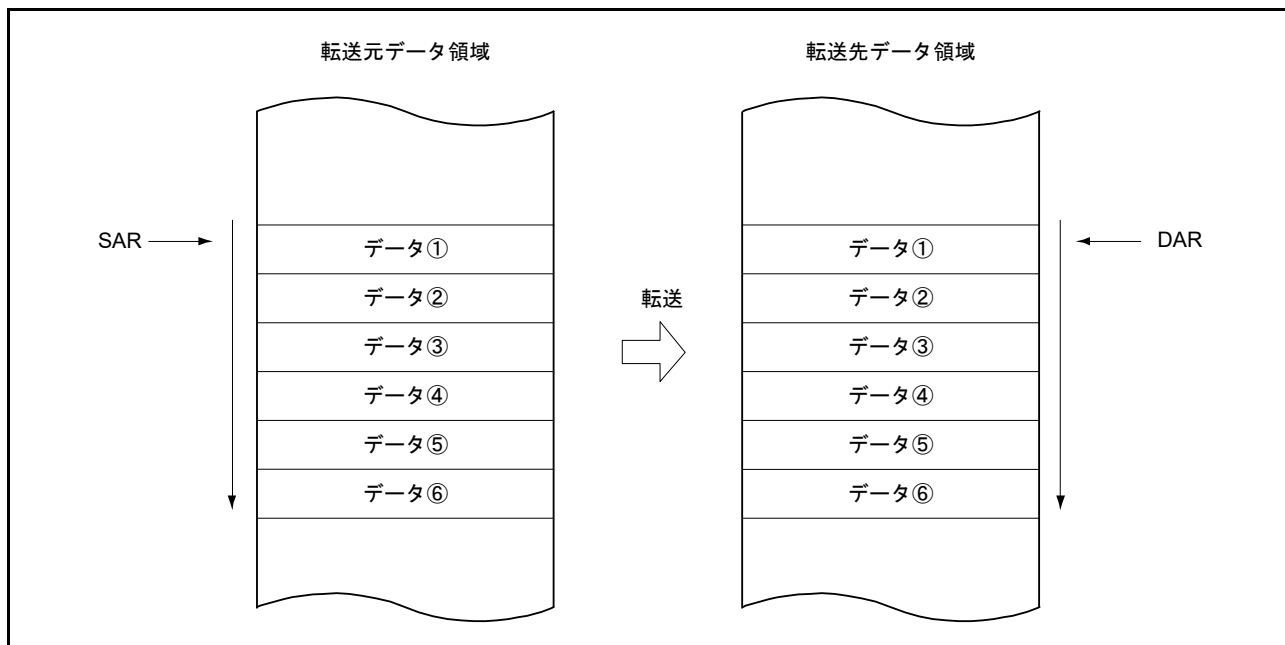


図19.5 ノーマル転送モードのメモリマップ

19.4.4 リピート転送モード

1回の転送要求で、1バイト、1ワードまたは1ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は1～256まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが“00h”になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは“00h”にならないので、MRB.DISEL ビットが“0”(指定した回数のデータ転送が終了したとき、CPU への割り込みが発生)の場合は CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 19.6 に、リピート転送モードのメモリマップを図 19.6 に示します。

表 19.6 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値		
		CRAL ≠ 1 のとき	CRAL = 1 のとき	
			MRB.DTS ビット=0 のとき	MRB.DTS ビット=1 のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注1)	インクリメント/デクリメント/固定(注1)	SAR レジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定(注1)	DAR レジスタの初期値	インクリメント/デクリメント/固定(注1)
CRAH	転送カウンタ初期値保持	CRAH	CRAH	
CRAL	転送カウンタ A	CRAL - 1	CRAH	
CRB	転送カウンタ B	更新されない	更新されない	

注1. アドレス固定のときは、ライトバックはスキップされます。

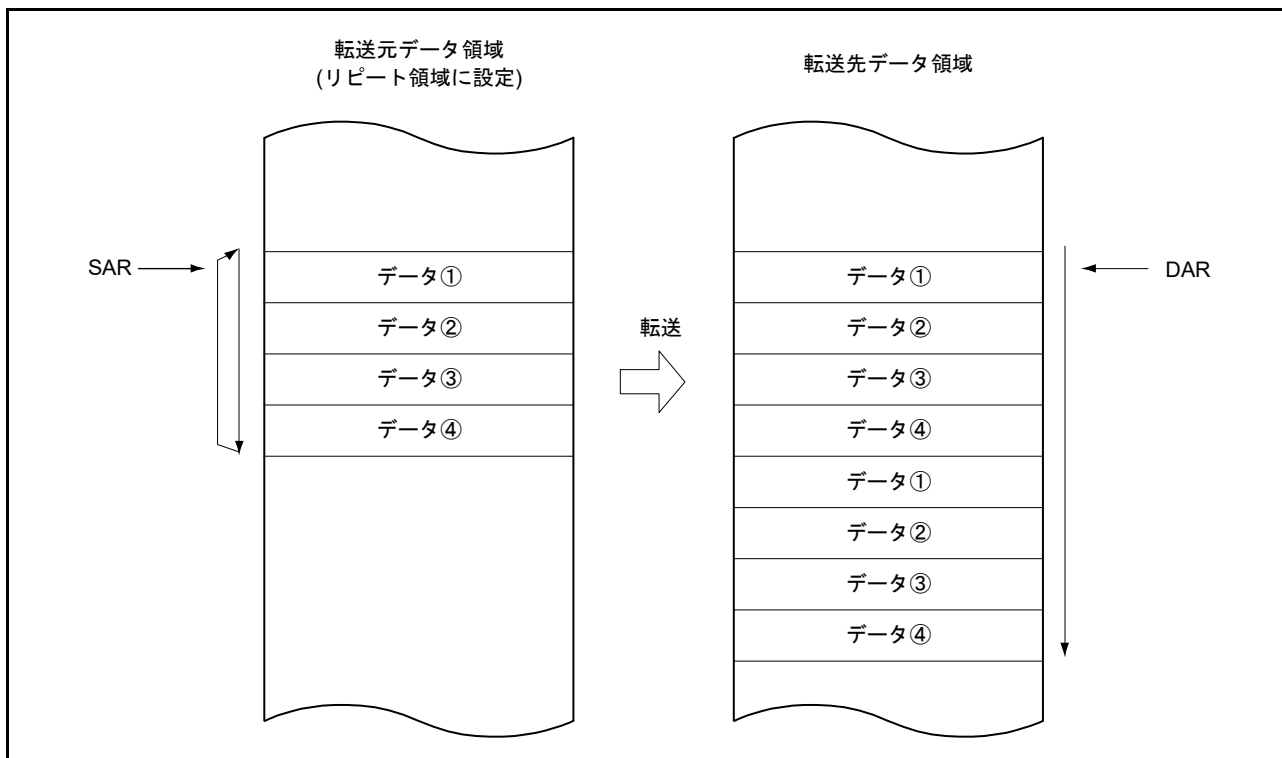


図 19.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合)

19.4.5 ブロック転送モード

1回の転送要求で、1ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは1～256バイト、1～256ワードまたは1～256ロングワードの指定が可能です。

指定された1ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが“1”のとき SAR レジスタ、DTS ビットが“0”のとき DAR レジスタ) の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

転送回数(ブロック回数)は、1～65536まで指定可能です。指定回数のブロック転送が終了すると、CPUへの割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表 19.7 に、ブロック転送モードのメモリマップを図 19.7 に示します。

表 19.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値	
		MRB.DTSビット=0のとき	MRB.DTSビット=1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注1)	SARレジスタの初期値
DAR	転送先アドレス	DARレジスタの初期値	インクリメント/デクリメント/固定(注1)
CRAH	ブロックサイズ初期値保持	CRAH	
CRAL	ブロックサイズカウンタ	CRAH	
CRB	ブロック転送回数カウンタ	CRB - 1	

注1. アドレス固定のときは、ライトバックはスキップされます。

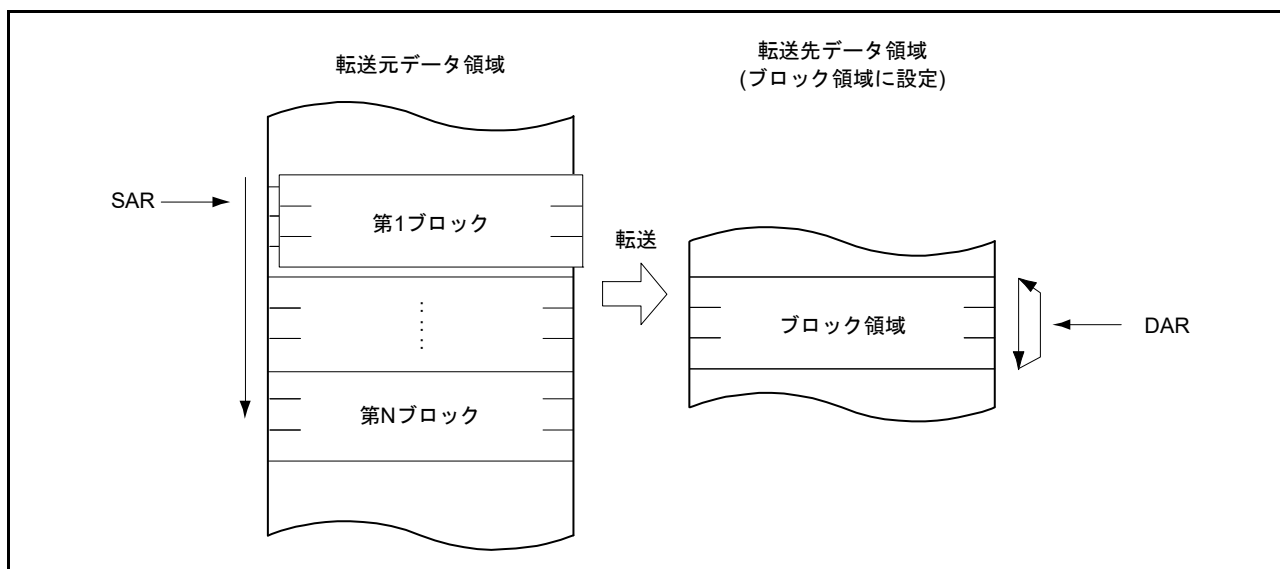


図 19.7 ブロック転送モードのメモリマップ (転送先をブロック領域に指定した場合)

19.4.6 チェーン転送

MRB.CHNE ビットを“1”にするとチェーン転送ができます。チェーン転送は、1回の転送要求で複数のデータ転送を行います。

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“0”にした場合、指定した回数のデータ転送が終了したときも、MRB.DISEL ビットを“1”(データ転送のたびに、CPU への割り込み要求が発生)にしているときも、CPU への割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグにも影響を与えません。

データ転送を定義する転送情報(SAR, DAR, CRA, CRB, MRA, MRB)はそれぞれ個別に設定できます。図 19.8 にチェーン転送の動作を示します。

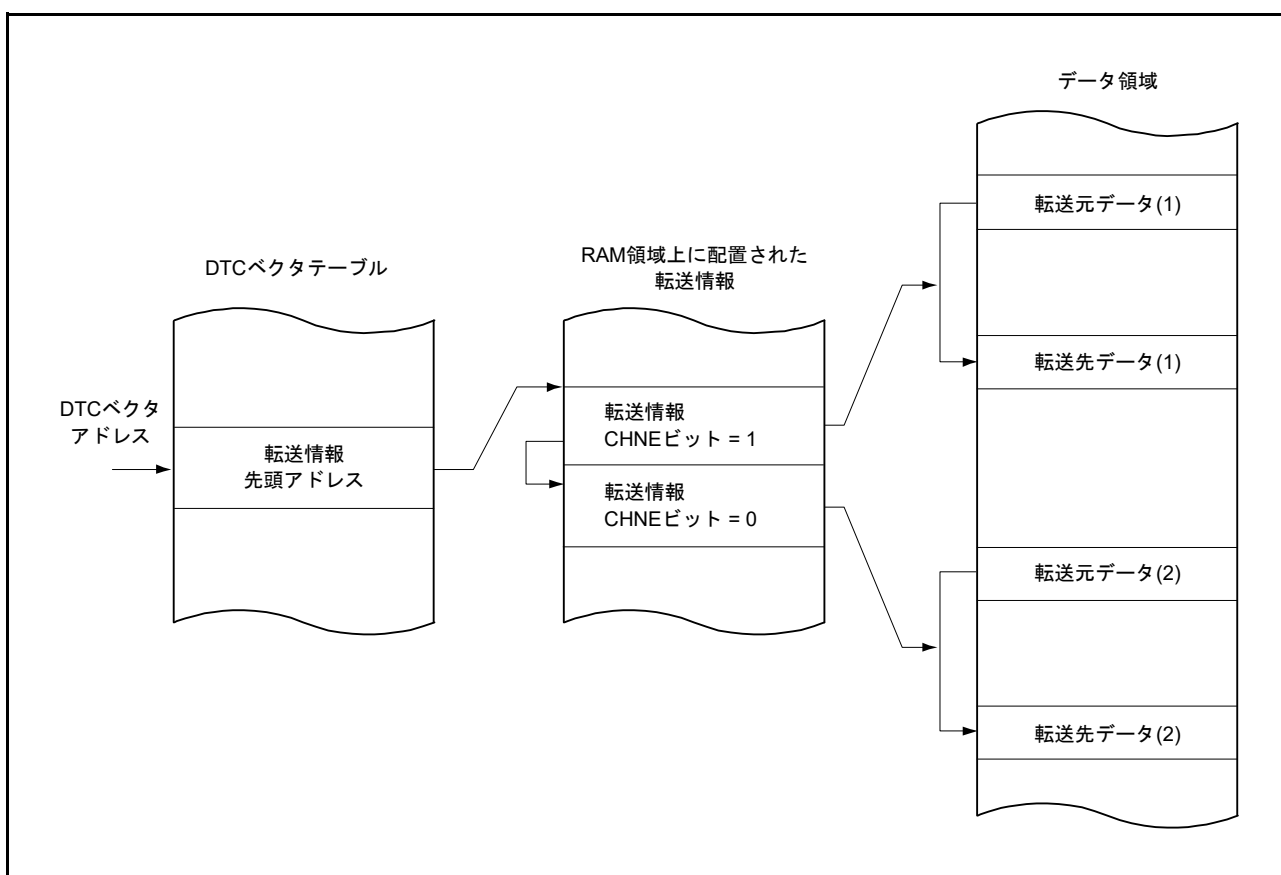


図 19.8 チェーン転送の動作

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“1”にした場合、指定された回数のデータ転送が終了したときのみチェーン転送を行います。リピート転送モードでも、指定された回数のデータ転送が終了したときにチェーン転送を行います。

チェーン転送の条件の詳細については、表 19.3 のチェーン転送の条件を参照してください。

19.4.7 動作タイミング

DTC の動作タイミングの例を図 19.9 ~ 図 19.13 に示します。

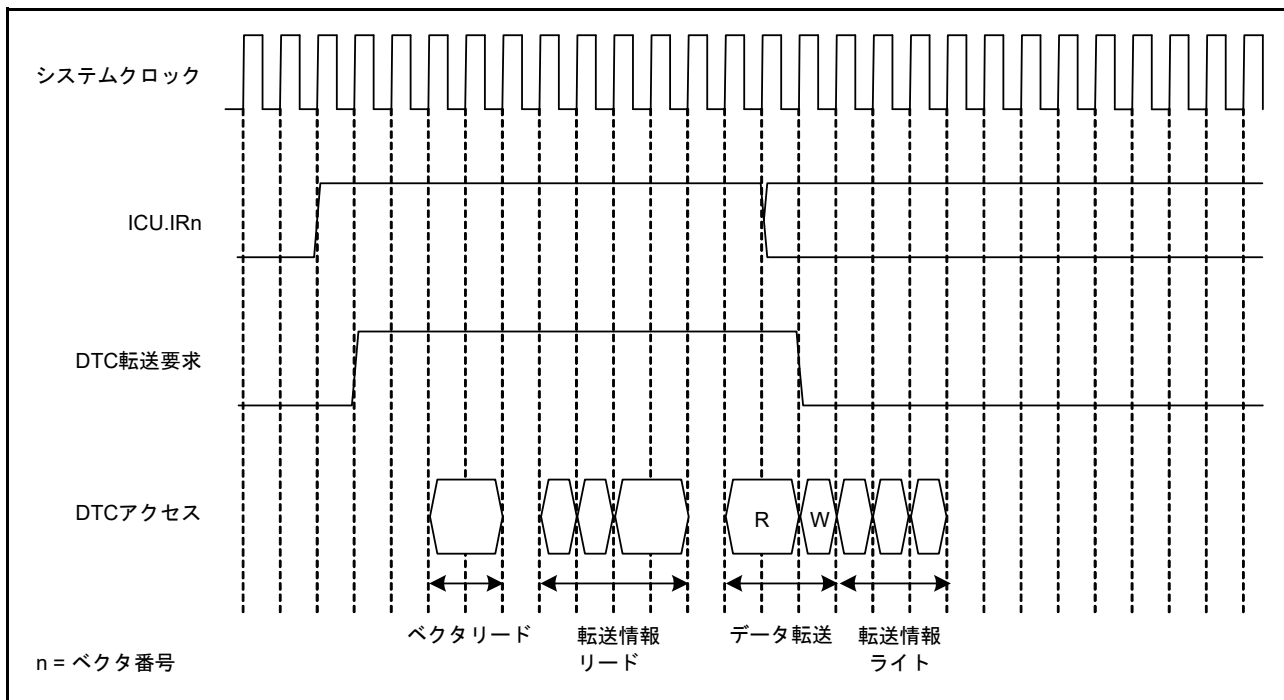


図 19.9 DTC 動作タイミング例 (1)
(ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合)

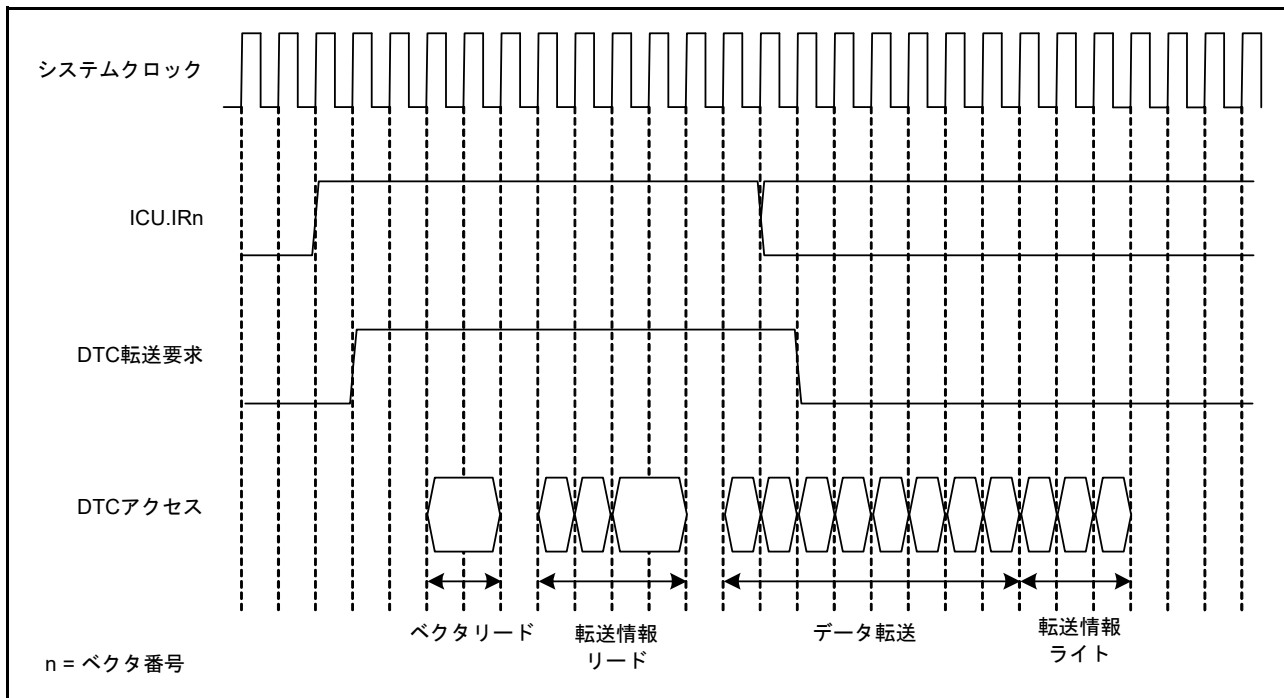


図 19.10 DTC 動作タイミング例 (2)
(ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合)

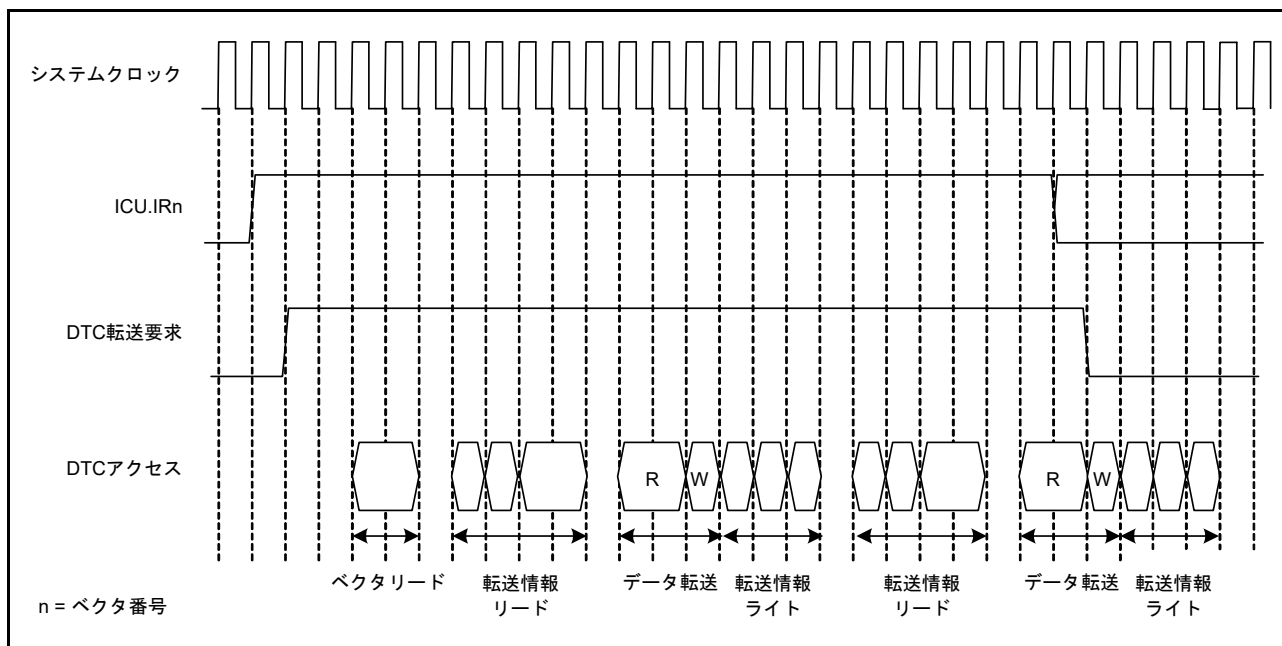


図 19.11 DTC 動作タイミング例 (3) (ショートアドレスモード、チェーン転送の場合)

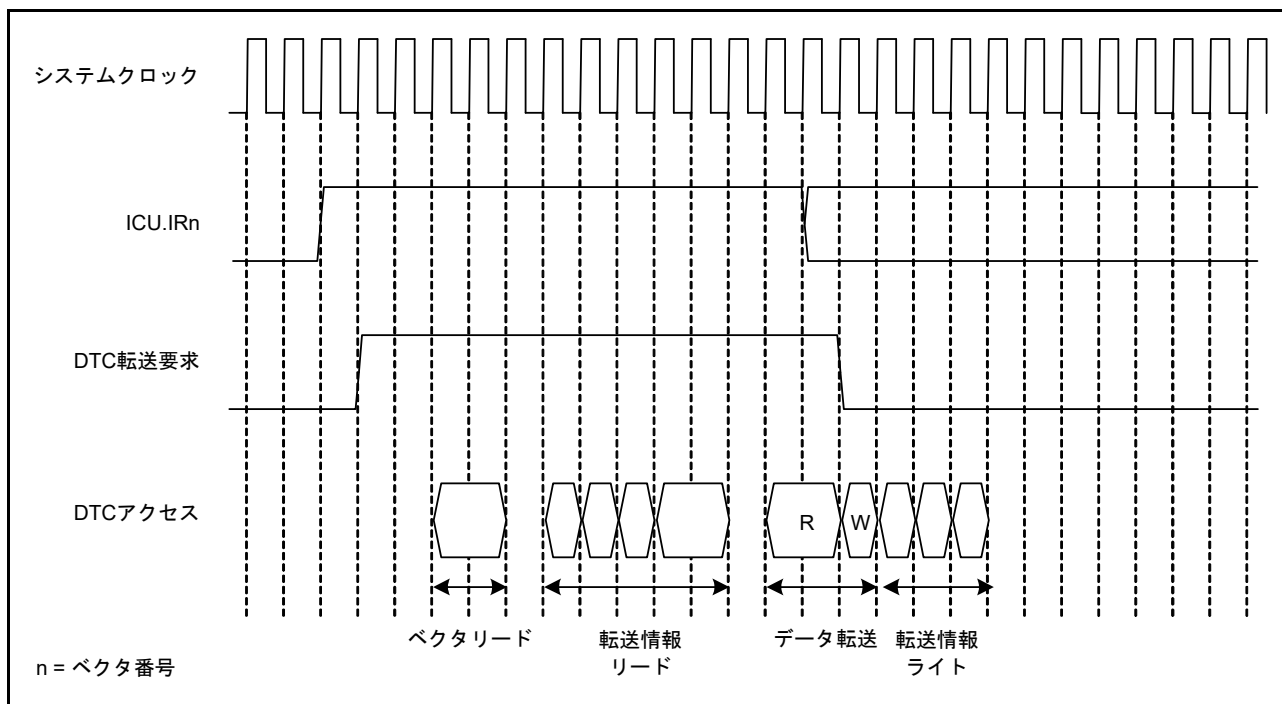


図 19.12 DTC 動作タイミング例 (4)
(フルアドレスモード、ノーマル転送モード、リピート転送モードの場合)

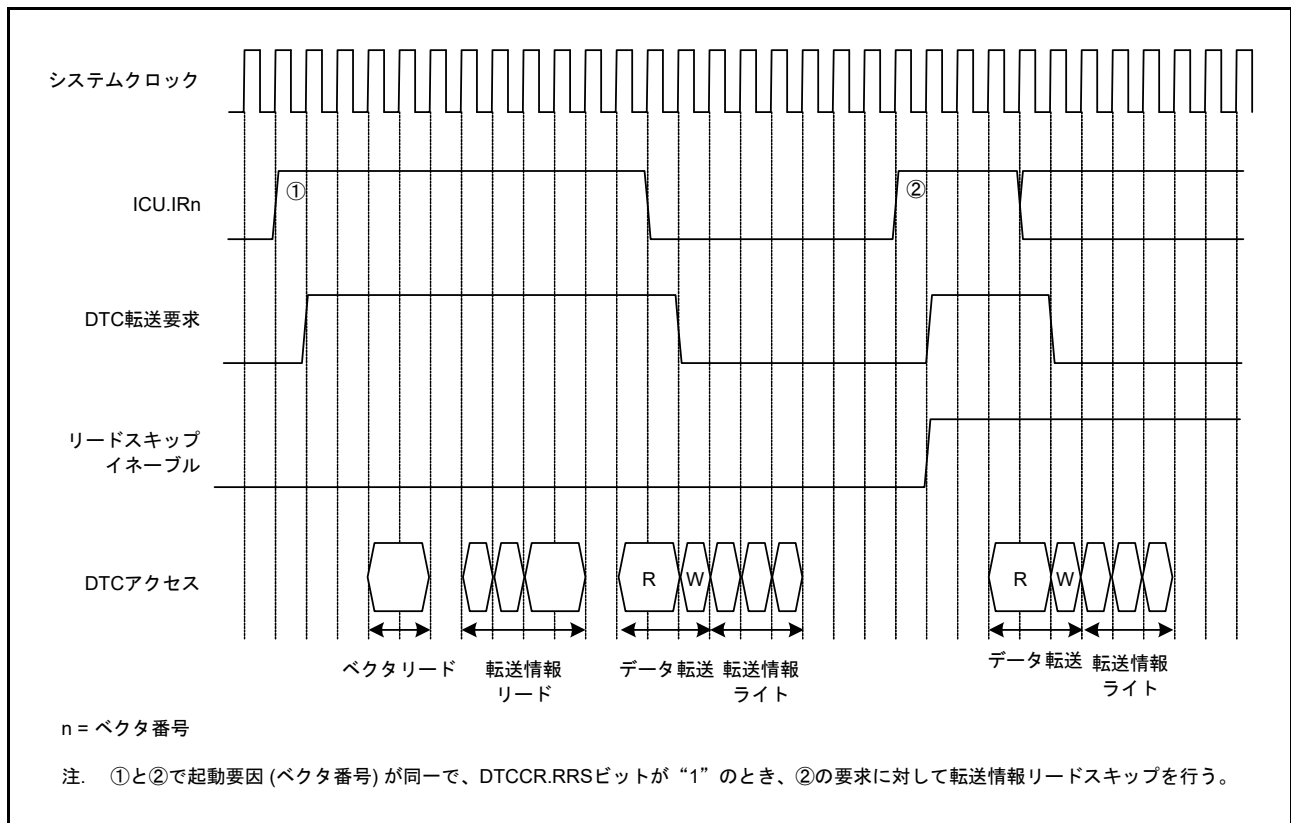


図 19.13 転送情報リードスキップ時の動作例
(ベクタ、転送情報、転送先がRAM、転送元は周辺モジュールの場合)

19.4.8 DTCの実行サイクル

DTCの1回のデータ転送の実行サイクルを表19.8に示します。

各処理状態の実施順序は、「19.4.7 動作タイミング」を参照してください。

表19.8 DTCの実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データ転送		内部動作	
									リード	ライト		
ノーマル	Cv + 1	0 (注1)	4 × Ci + 1 (注2)	3 × Ci + 1 (注3)	0 (注1)	3 × Ci (注4)	2 × Ci (注5)	Ci (注6)	Cr + 1	Cw	2	0 (注1)
リピート									Cr + 1	Cw		
ブロック (注7)									P × Cr	P × Cw		

注1. 転送情報リードスキップのとき

注2. フルアドレスモード動作のとき

注3. ショートアドレスモード動作のとき

注4. SARレジスタ、DARレジスタがともにアドレス固定でないとき

注5. SARレジスタ、またはDARレジスタがアドレス固定のとき

注6. SARレジスタとDARレジスタがともにアドレス固定のとき

注7. ブロックサイズが2以上の場合です。ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

P: ブロックサイズ (CRAH、CRAL レジスタの設定値)

Cv: ベクタ転送情報格納先アクセスサイクル

Ci: 転送情報格納先アドレスアクセスサイクル

Cr: データリード先アクセスサイクル

Cw: データライト先アクセスサイクル

(ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック (ICLK) です。)

(Cv、Ci、Cr、Cwはアクセス先で異なります。アクセス先ごとのサイクル数は、「48. RAM」、「49. フラッシュメモリ」、「5. I/Oレジスタ」、「16.2.6 外部バス」を参照してください。)

19.4.9 DTCのバス権解放タイミング

DTCは、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。

バス調停については、「16. バス」を参照してください。

19.5 DTCの設定手順

DTCを使用する前に、DTCベクタベースレジスタ(DTCVBR)を設定してください。

図 19.14 に DTC の起動に必要な設定手順を示します。

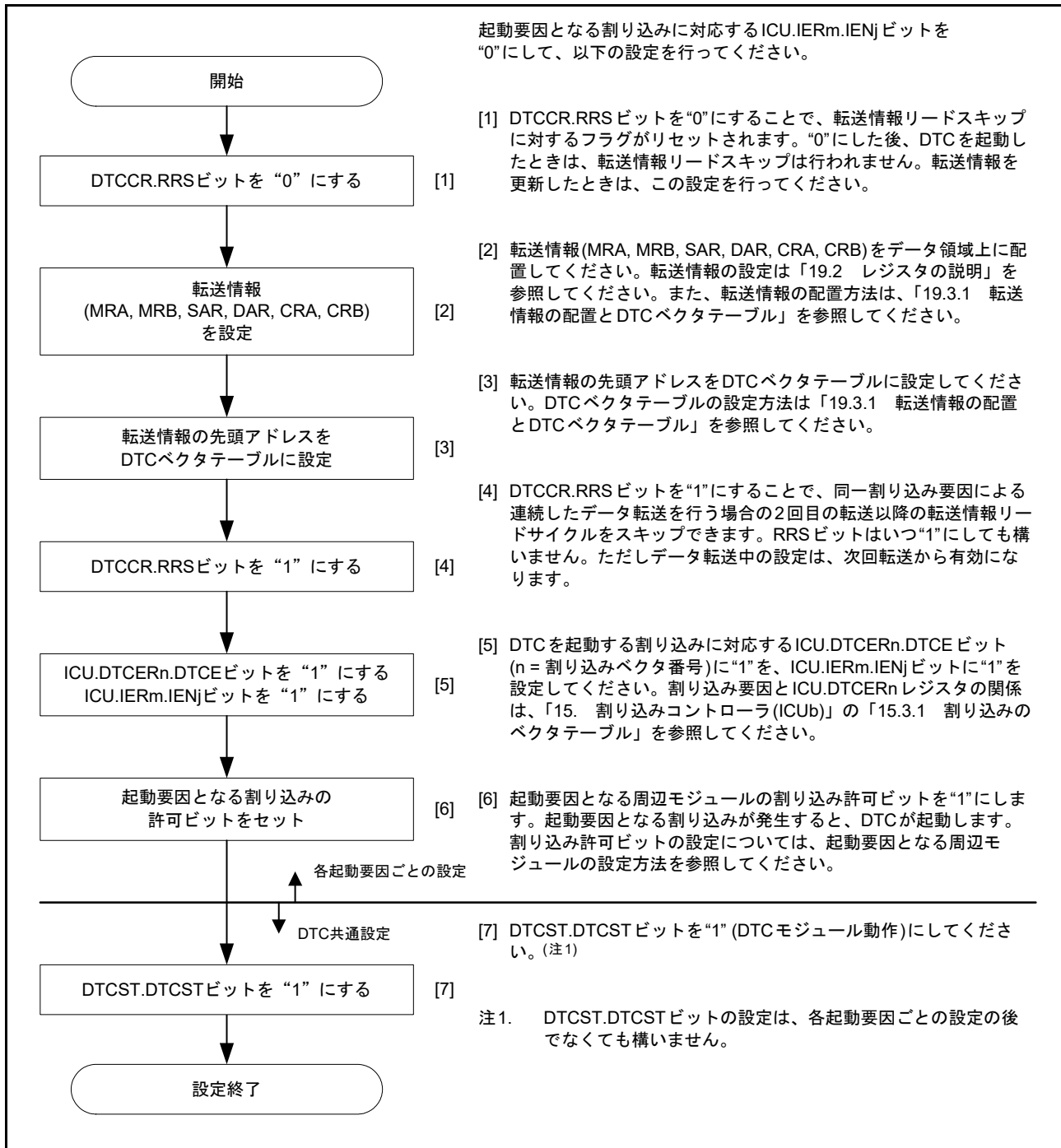


図 19.14 DTC の設定手順

19.6 DTC 使用例

19.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定

MRA レジスタの MD[1:0] ビットを “00b” (ノーマル転送モード)、SZ[1:0] ビットを “00b” (バイト転送)、SM[1:0] ビットを “00b” (転送元アドレス固定) に設定します。MRB レジスタの CHNE ビットを “0” (チェーン転送禁止)、DISEL ビットを “0” (指定回数のデータ転送終了時、割り込み発生)、DM[1:0] ビットを “10b” (転送後 DAR レジスタをインクリメント) に設定します。MRB.DTS ビットは、任意の値にすることができます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128 (“0080h”) を設定します。CRB レジスタは、任意の値にすることができます。

(2) DTC ベクタテーブルの設定

受信完了割り込み (RXI) 用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動

対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERm.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定

SCI の SCR.RIE ビットを “1” にして、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送

SCI で 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理

128 回のデータ転送が終了後、CRA レジスタが “0” になると、CPU に RXI 割り込み要求が出力されます。割り込み処理ルーチンで終了処理を行ってください。

19.6.2 カウンタが“0”のときのチェーン転送

第1のデータ転送の転送カウンタが“0”になったときのみ第2のデータ転送を行い、第2のデータ転送において第1の転送情報を変更します。このチェーン転送を繰り返すことで、転送回数が256回を超えるリピート転送を行うことができます。

128K バイトの入力バッファを 20 0000h ~ 21 FFFFh 番地に構成する例を示します(入力バッファは下位アドレス“0000h”から始まるように設定します)。カウンタが“0”のときのチェーン転送を図 19.15 に示します。

- (1) 第1のデータ転送は、入力データ用にノーマル転送モードを設定します。転送元アドレスは固定、CRA レジスタは“0000h”(65536回)、MRB.CHNE ビットは“1”(チェーン転送許可)、MRB.CHNS ビットは“1”(転送カウンタが“0”になったときのみチェーン転送を行う)、MRB.DISEL ビットは“0”(指定された回数のデータ転送が終了したとき CPU への割り込みが発生)にしてください。
- (2) 第1のデータ転送の転送先アドレスの 65536 回ごとの先頭アドレスの上位 8 ビット(この例の場合は“21h”と“20h”)を別の領域(ROM など)に用意してください。
- (3) 第2のデータ転送は、第1のデータ転送の転送先アドレス再設定用にリピート転送モード(転送元をリピート領域)にします。転送先は第1の転送情報内の DAR レジスタの上位 8 ビットが配置されているアドレスです。このとき MRB.CHNE ビットは“0”(チェーン転送禁止)、MRB.DISEL ビットは“0”(指定された回数のデータ転送が終了したとき CPU への割り込みが発生)にしてください。この例の場合は、転送カウンタを“2”にしてください。
- (4) DTC 転送要求を受け付けると、第1のデータ転送を実行します。65536 回実行して、第1のデータ転送の転送カウンタが“0”になると、第2のデータ転送が開始され、第1のデータ転送の転送先アドレスの上位 8 ビットを“21h”にします。このとき、第1のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは、“0000h”になっています。
- (5) 引き続き、DTC 転送要求を受け付けると、第1のデータ転送を実行します。65536 回実行して、第1のデータ転送の転送カウンタが“0”になると、第2のデータ転送が開始され、第1のデータ転送の転送先アドレスの上位 8 ビットを“20h”にします。このとき、第1のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは“0000h”になっています。
- (6) 上記(4)、(5)を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPU への割り込み要求は発生しません。

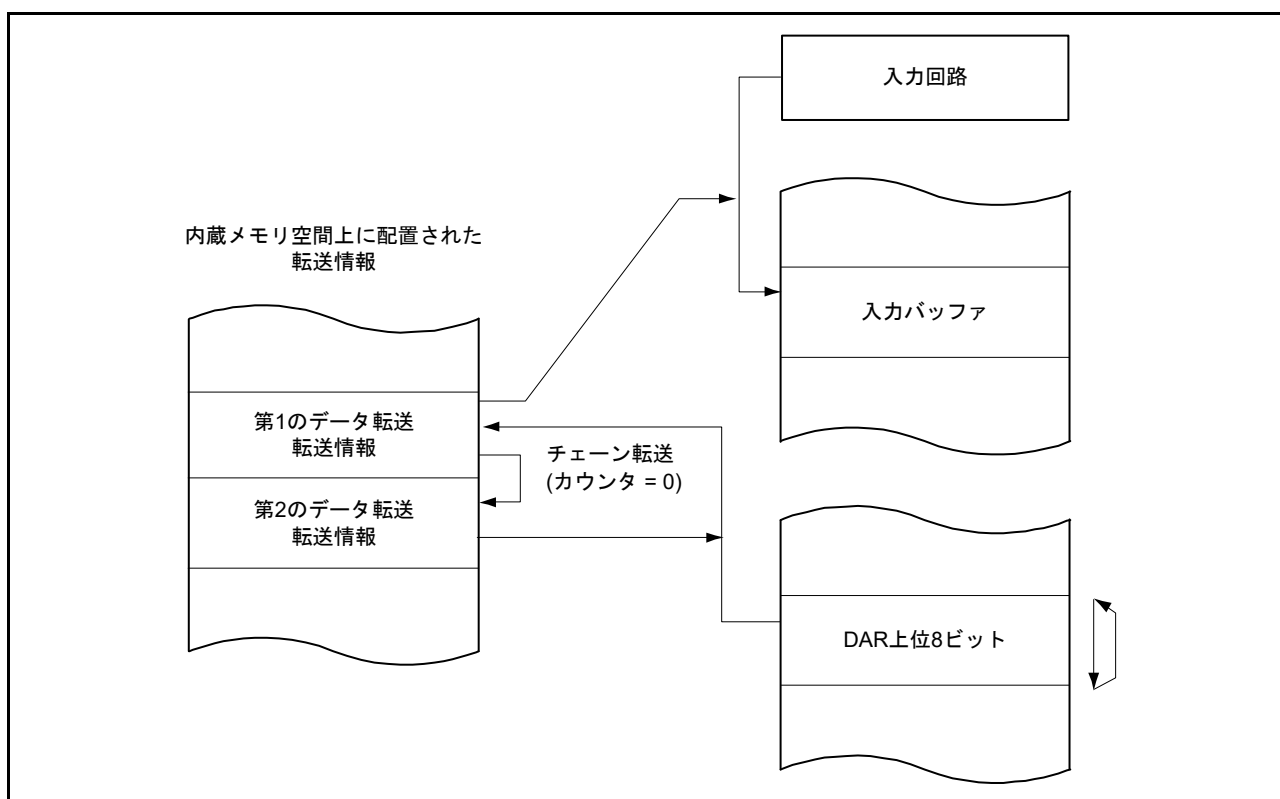


図 19.15 カウンタが“0”のときのチェーン転送

19.7 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および MRB.DISEL ビットが“1” (データ転送のたびに、CPU への割り込みが発生) のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは、CPU の PSW.I ビット (割り込み許可ビット)、PSW.IPL[3:0] ビット (プロセッサ割り込み優先レベル)、および割り込みコントローラの優先順位の制御を受けます。

19.8 イベントリンク

DTC は 1 要求分の転送完了後にイベント信号を出力します。ただし、転送先が「外部バス」、もしくは、「内部周辺バス」の場合、ライトバッファへの書き込みが完了した時点で、イベント信号を出力します。

19.9 消費電力低減機能

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットを“0”(DTC モジュール停止)にした後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1”(モジュールストップ状態への遷移)を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1”を書いたときにデータ転送が実行中であった場合、データ転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1”のとき、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0”(モジュールストップ状態の解除)を書くことにより、DTC のモジュールストップが解除されます。

(2) ディープスリープモード

「11. 消費電力低減機能」の「11.6.2.1 ディープスリープモードへの遷移」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合、データ転送終了後にディープスリープモードに移行します。

ディープスリープモードから復帰後、MSTPCRA.MSTPA28 ビットに“0”を書くことにより、DTC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合、データ転送終了後にソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「11. 消費電力低減機能」の「11.7.5 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、データ転送を行うには、再度 DTCST.DTCST ビットを“1”にしてください。

ディープスリープモード期間、ソフトウェアスタンバイモード期間に発生した要求を DTC 転送要求でなく CPU への割り込み要求にする場合は、「15. 割り込みコントローラ(ICUb)」の「15.4.3 割り込み要求先の選択」の設定方法に沿って、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

19.10 使用上の注意事項

19.10.1 転送情報先頭アドレス

ベクタテーブルに指定する転送情報の先頭アドレスは、4の倍数を指定してください。4の倍数以外を指定すると、アドレスの最下位2ビットは“00b”としてアクセスします。

19.10.2 転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、図 19.16 に示すとおり配置してください。

たとえば、CRA、CRB設定データを16ビットで書く場合、ビッグエンディアンの場合は+8h(+Ch)番地にCRA設定データ、+Ah(+Eh)番地にCRB設定データを書いてください。リトルエンディアンの場合は+8h(+Ch)番地にCRB設定データ、+Ah(+Eh)番地にCRA設定データを書いてください。32ビットで書く場合は、エンディアンにかかわらず32ビットのMSB側にCRA設定データ、LSB側にCRB設定データを配置して+8h(+Ch)番地に書いてください。

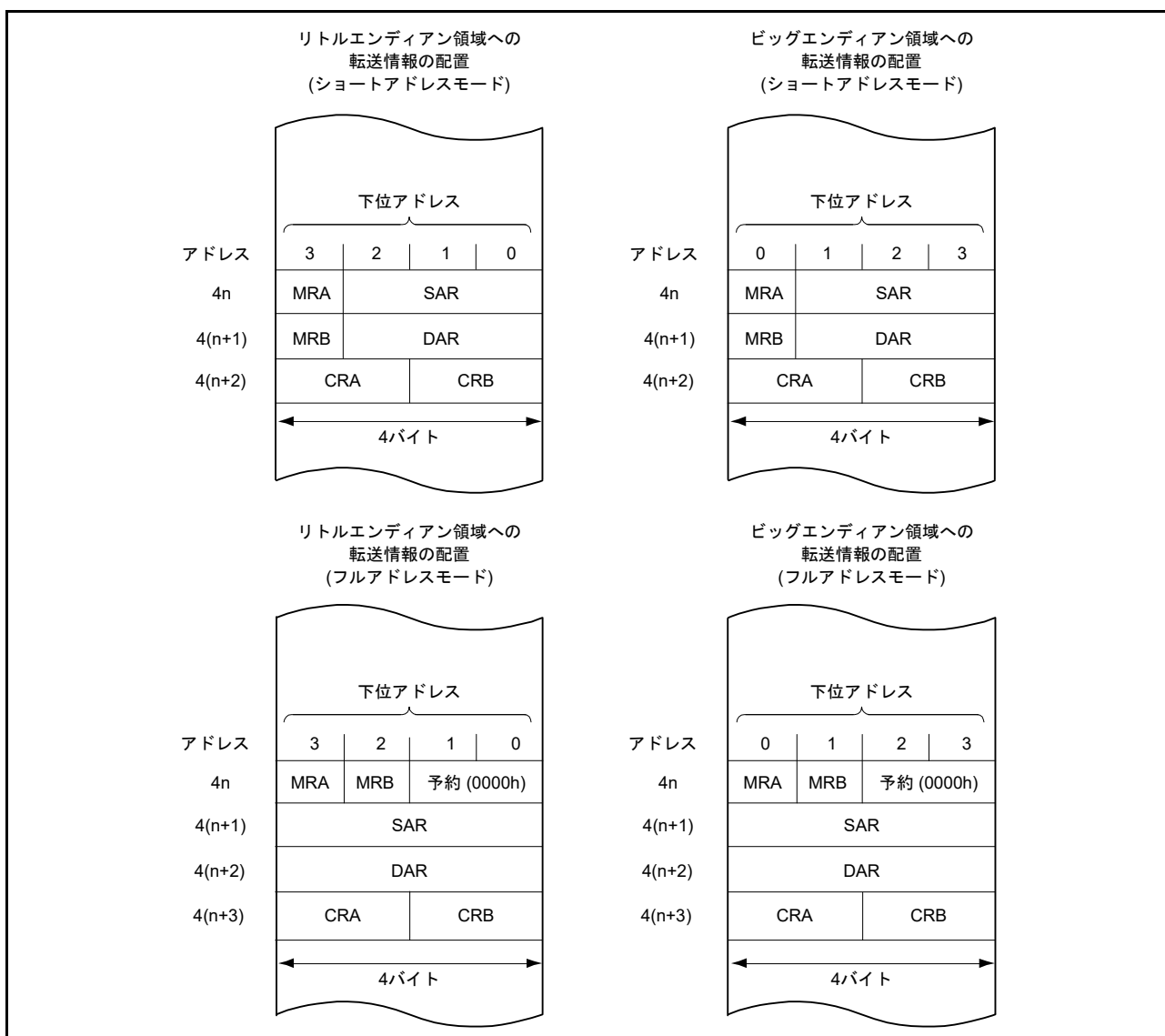


図 19.16 転送情報の配置

19.10.3 割り込みコントローラの DTC 転送要求許可レジスタ (ICU.DTCERn) の設定

ICU.DTCERn.DTCE ビットを“1”(DTC の起動要因に設定する)にした割り込みベクタ番号と同じベクタ番号を DMAC 起動要因選択レジスタ (ICU.DMRSRm (m = DMAC チャンネル番号)) に設定して DMAC を起動しないでください。ICU.DTCERn レジスタ、ICU.DMRSRm レジスタの詳細は、「15. 割り込みコントローラ (ICUb)」を参照してください。

20. イベントリンクコントローラ (ELC)

20.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号とし、周辺モジュール間を相互に接続 (リンク) します。これにより、ソフトウェアを介さずに直接周辺モジュール間で連携動作ができます。イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

表 20.1 に ELC の仕様を示します。図 20.1 に ELC のブロック図を示します。

表20.1 ELCの仕様

項目	内容
イベントリンク機能	<ul style="list-style-type: none"> 63種類のイベント信号を、直接周辺モジュールへリンク可能 タイマ系の周辺モジュールは、イベント信号入力時の動作を選択可能 ポートB、ポートEのイベントリンク動作が可能 シングルポート (注1)：指定した1本のポートにイベントリンクの動作設定が可能 ポートグループ (注1)：最大8本あるポートの内、指定した複数本のポートをグループ化してイベントリンクの動作設定が可能
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. 入力に設定されているシングルポート、ポートグループでは、対応する端子への入力信号が変化するとイベントが発生します。64ピンパッケージ製品において、ポート切り替えレジスタA (PSRA)でPC0、PC1を選択した場合、PB6、PB7をリンク動作させることはできません。48ピンパッケージ製品において、ポート切り替えレジスタB (PSRB)でPC0～PC3を選択した場合、PB0、PB1、PB3、PB5をリンク動作させることはできません。

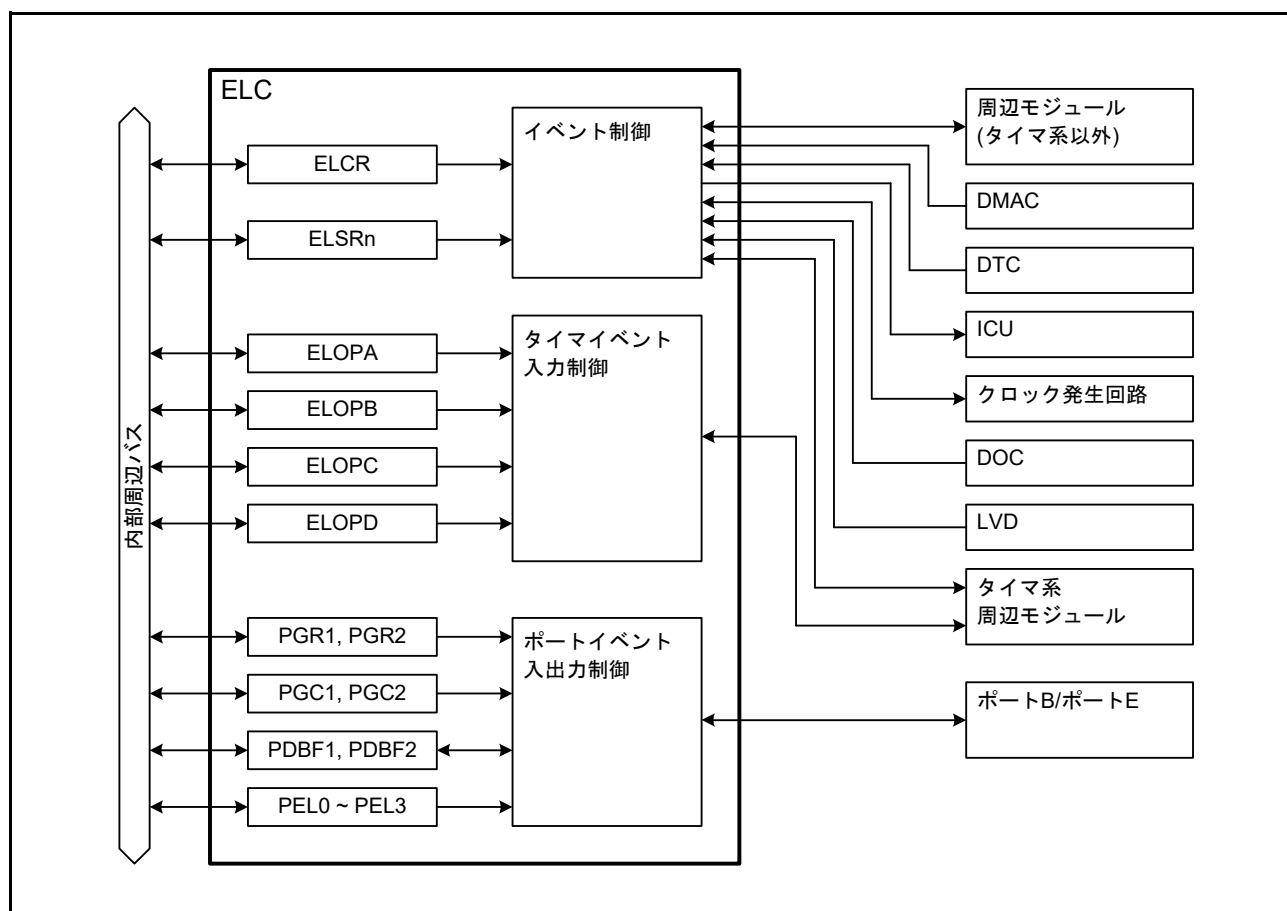


図 20.1 ELC のブロック図 (n = 1 ~ 4, 7, 8, 10, 12, 14 ~ 16, 18 ~ 29)

20.2 レジスタの説明

20.2.1 イベントリンクコントロールレジスタ (ELCR)

アドレス ELC.ELCR 0008 B100h

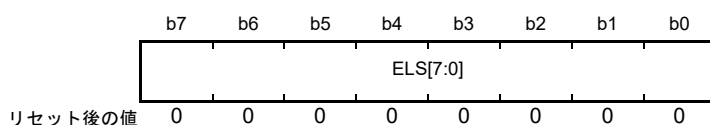
	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	ELCON	全イベントリンク許可ビット	0 : ELC機能は無効 1 : ELC機能は有効	R/W

ELCR レジスタは、ELC の動作を制御するレジスタです。

20.2.2 イベントリンク設定レジスタ n (ELSRn) (n = 1 ~ 4, 7, 8, 10, 12, 14 ~ 16, 18 ~ 29)

アドレス ELC.ELSR1 0008 B102h, ELC.ELSR2 0008 B103h, ELC.ELSR3 0008 B104h, ELC.ELSR4 0008 B105h, ELC.ELSR7 0008 B108h, ELC.ELSR8 0008 B109h, ELC.ELSR10 0008 B10Bh, ELC.ELSR12 0008 B10Dh, ELC.ELSR14 0008 B10Fh, ELC.ELSR15 0008 B110h, ELC.ELSR16 0008 B111h, ELC.ELSR18 0008 B113h, ELC.ELSR19 0008 B114h, ELC.ELSR20 0008 B115h, ELC.ELSR21 0008 B116h, ELC.ELSR22 0008 B117h, ELC.ELSR23 0008 B118h, ELC.ELSR24 0008 B119h, ELC.ELSR25 0008 B11Ah, ELC.ELSR26 0008 B11Bh, ELC.ELSR27 0008 B11Ch, ELC.ELSR28 0008 B11Dh, ELC.ELSR29 0008 B11Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	ELSR[7:0]	イベントリンク選択ビット	00h : 該当する周辺モジュールへのイベント信号の出力は無効 08h ~ 6Ah : リンクするイベント信号の番号を指定 上記以外は設定しないでください	R/W

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を表 20.2 に示します。また、ELSRn レジスタに設定する値とイベント信号の対応を表 20.3 に示します。

表 20.2 ELSRn レジスタと周辺モジュールの対応

レジスタ名	周辺モジュール
ELSR1	MTU1
ELSR2	MTU2
ELSR3	MTU3
ELSR4	MTU4
ELSR7	CMT1
ELSR8	ICU (LPT 専用割り込み) (注1)
ELSR10	TMR0
ELSR12	TMR2
ELSR14	CTSU
ELSR15	S12AD
ELSR16	DA0
ELSR18	ICU (割り込み1) (注2)
ELSR19	ICU (割り込み2) (注2)
ELSR20	出力ポートグループ1
ELSR21	出力ポートグループ2
ELSR22	入力ポートグループ1
ELSR23	入力ポートグループ2
ELSR24	シングルポート0 (注3)
ELSR25	シングルポート1 (注3)
ELSR26	シングルポート2 (注3)
ELSR27	シングルポート3 (注3)
ELSR28	クロックソースを LOCO へ切り替え
ELSR29	POE

- 注1. イベント信号は“32h” (LPT・コンペアマッチ)を指定してください。
- 注2. イベント信号は“63h”～“6Ah”の中から指定してください。これ以外の値は、設定しないでください。
- 注3. ELSR24、ELSR25、ELSR26、ELSR27レジスタにDOC・データ演算条件成立信号(6Ah)は、設定しないでください。

表20.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (1/2)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
08h	マルチファンクションタイマ パルスユニット2	MTU1・コンペアマッチ1A
09h		MTU1・コンペアマッチ1B
0Ah		MTU1・オーバフロー
0Bh		MTU1・アンダフロー
0Ch		MTU2・コンペアマッチ2A
0Dh		MTU2・コンペアマッチ2B
0Eh		MTU2・オーバフロー
0Fh		MTU2・アンダフロー
10h		MTU3・コンペアマッチ3A
11h		MTU3・コンペアマッチ3B
12h		MTU3・コンペアマッチ3C
13h		MTU3・コンペアマッチ3D
14h		MTU3・オーバフロー
15h		MTU4・コンペアマッチ4A
16h		MTU4・コンペアマッチ4B
17h		MTU4・コンペアマッチ4C
18h		MTU4・コンペアマッチ4D
19h		MTU4・オーバフロー
1Ah		MTU4・アンダフロー
1Fh		コンペアマッチタイマ
22h	8ビットタイマ	TMR0・コンペアマッチA0
23h		TMR0・コンペアマッチB0
24h		TMR0・オーバフロー
28h		TMR2・コンペアマッチA2
29h		TMR2・コンペアマッチB2
2Ah		TMR2・オーバフロー
2Eh	リアルタイムクロック	RTC・周期イベント(1/256秒、1/128秒、1/64秒、1/32秒、1/16秒、1/8秒、1/4秒、1/2秒、1秒、2秒から選択)
31h	独立ウォッチドッグタイマ	IWDT・アンダフロー・リフレッシュエラー
32h	ローパワータイマ	LPT・コンペアマッチ
34h	12ビットA/Dコンバータ	S12AD・比較条件成立
35h		S12AD・比較条件不成立
3Ah	シリアルコミュニケーション インタフェース	SCI5・エラー(受信エラー・エラーシグナル検出)
3Bh		SCI5・受信データフル
3Ch		SCI5・送信データエンプティ
3Dh		SCI5・送信完了
4Eh	I ² Cバスインタフェース	RIIC0・通信エラー、イベント発生
4Fh		RIIC0・受信データフル
50h		RIIC0・送信データエンプティ
51h		RIIC0・送信終了
52h		シリアルペリフェラルインタ フェース
53h	RSPI0・アイドル	
54h	RSPI0・受信データフル	
55h	RSPI0・送信データエンプティ	
56h	RSPI0・送信完了	
58h	12ビットA/Dコンバータ	S12AD・A/D変換終了

表 20.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (2/2)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
59h	コンパレータ B0	コンパレータ B0・比較結果変化
5Ah	コンパレータ B0・B1	コンパレータ B0・B1 共通比較結果変化
5Bh	電圧検出回路	LVD1・電圧検出
5Ch		LVD2・電圧検出
5Dh	DMAコントローラ	DMAC0・転送終了
5Eh		DMAC1・転送終了
5Fh		DMAC2・転送終了
60h		DMAC3・転送終了
61h	データトランスファコントローラ	DTC・転送終了
62h	クロック発生回路	クロック発生回路・発振停止検出
63h	I/Oポート	入力ポートグループ1・入力エッジ検出
64h		入力ポートグループ2・入力エッジ検出
65h		シングル入力ポート0・入力エッジ検出
66h		シングル入力ポート1・入力エッジ検出
67h		シングル入力ポート2・入力エッジ検出
68h		シングル入力ポート3・入力エッジ検出
69h	イベントリンクコントローラ	ソフトウェアイベント
6Ah	データ演算回路	DOC・データ演算条件成立
上記以外は設定しないでください		

20.2.3 イベントリンクオプション設定レジスタ A (ELOPA)

アドレス ELC.ELOPA 0008 B11Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	MTU3MD[1:0]	MTU2MD[1:0]	MTU1MD[1:0]	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	MTU1MD[1:0]	MTU1動作選択ビット	b3 b2 0 0 : カウントスタート 0 1 : カウンtrisスタート 1 0 : インพุットキャプチャ (注1) 1 1 : イベント出力禁止	R/W
b5-b4	MTU2MD[1:0]	MTU2動作選択ビット	b5 b4 0 0 : カウントスタート 0 1 : カウンtrisスタート 1 0 : インพุットキャプチャ (注2) 1 1 : イベント出力禁止	R/W
b7-b6	MTU3MD[1:0]	MTU3動作選択ビット	b7 b6 0 0 : カウントスタート 0 1 : カウンtrisスタート 1 0 : インพุットキャプチャ (注3) 1 1 : イベント出力禁止	R/W

注1. MTU1.TCNTレジスタの値がMTU1.TGRAレジスタにキャプチャされます。

注2. MTU2.TCNTレジスタの値がMTU2.TGRAレジスタにキャプチャされます。

注3. MTU3.TCNTレジスタの値がMTU3.TGRAレジスタにキャプチャされます。

ELOPAレジスタは、イベント信号が入力されたときのMTU1～MTU3の動作を設定するレジスタです。ELC機能を使用しないときは、“11b”(イベント出力禁止)にしてください。

20.2.4 イベントリンクオプション設定レジスタ B (ELOPB)

アドレス ELC.ELOPB 0008 B120h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MTU4MD[1:0]	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU4MD[1:0]	MTU4動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウンtrisスタート 1 0 : インพุットキャプチャ (注1) 1 1 : イベント出力禁止	R/W
b7-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU4.TCNTレジスタの値がMTU4.TGRAレジスタにキャプチャされます。

ELOPBレジスタは、イベント信号が入力されたときのMTU4の動作を設定するレジスタです。ELC機能を使用しないときは、“11b”(イベント出力禁止)にしてください。

20.2.5 イベントリンクオプション設定レジスタ C (ELOPC)

アドレス ELC.ELOPC 0008 B121h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	LPTMD[1:0]	CMT1MD[1:0]	—	—	—	—
リセット後の値	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	CMT1MD[1:0]	CMT1動作選択ビット	b3 b2 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b5-b4	LPTMD[1:0]	LPT動作選択ビット	b5 b4 0 0 : コンペアマッチイベントを割り込み要求としてICUに出力 1 1 : イベント出力禁止 上記以外は設定しないでください	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPC レジスタは、イベント信号が入力されたときの CMT1、および LPT の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b”(イベント出力禁止) にしてください。

20.2.6 イベントリンクオプション設定レジスタ D (ELOPD)

アドレス ELC.ELOPD 0008 B122h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	TMR2MD[1:0]	—	—	—	TMR0MD[1:0]	—
リセット後の値	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TMR0MD[1:0]	TMR0動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b3-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5-b4	TMR2MD[1:0]	TMR2動作選択ビット	b5 b4 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPD レジスタは、イベント信号が入力されたときの TMR0、TMR2 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b”(イベント出力禁止) にしてください。

20.2.7 ポートグループ指定レジスタ n (PGRn) (n = 1, 2)

アドレス ELC.PGR1 0008 B123h, ELC.PGR2 0008 B124h

b7	b6	b5	b4	b3	b2	b1	b0
PGR7	PGR6	PGR5	PGR4	PGR3	PGR2	PGR1	PGR0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PGR0	ポートグループ指定0ビット	0 : ポートグループに指定しない 1 : ポートグループに指定する	R/W
b1	PGR1	ポートグループ指定1ビット		R/W
b2	PGR2	ポートグループ指定2ビット		R/W
b3	PGR3	ポートグループ指定3ビット		R/W
b4	PGR4	ポートグループ指定4ビット		R/W
b5	PGR5	ポートグループ指定5ビット		R/W
b6	PGR6	ポートグループ指定6ビット		R/W
b7	PGR7	ポートグループ指定7ビット		R/W

PGRn レジスタは、I/O ポートのグループ設定をするレジスタです。8 ビットのポートの内、このレジスタで“1”にしたビットに対応するポートがポートグループに選択されます。

たとえば、PGR1.PGR6 ビットと PGR1.PGR3 ビットを“1”にした場合、PB6 端子と PB3 端子がポートグループに選択されます。

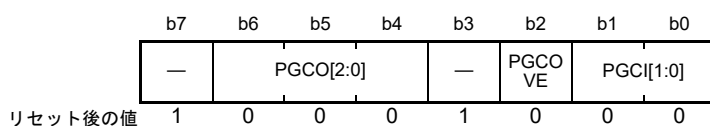
表 20.4 に PGRn レジスタとポートの対応を示します。

表 20.4 ポートグループ関連レジスタとポート番号の対応

ポート番号	ポートグループ指定レジスタ (PGR)	ポートグループコントロールレジスタ (PGC)	ポートバッファレジスタ (PDBF)
ポートB	PGR1レジスタ	PGC1レジスタ	PDBF1レジスタ
ポートE	PGR2レジスタ	PGC2レジスタ	PDBF2レジスタ

20.2.8 ポートグループコントロールレジスタ n (PGCn) (n = 1, 2)

アドレス ELC.PGC1 0008 B125h, ELC.PGC2 0008 B126h



ビット	シンボル	ビット名	機能	R/W
b1-b0	PGCI[1:0]	イベント出力エッジ選択ビット	b1 b0 0 0 : ポートへの入力信号の立ち上がりエッジを検出して、イベント信号を出力 0 1 : ポートへの入力信号の立ち下がりエッジを検出して、イベント信号を出力 1 x : ポートへの入力信号の立ち上がり/立ち下がりの両エッジを検出して、イベント信号を出力	R/W
b2	PGCOVE	PDBFn上書き指定ビット	0 : PDBFnレジスタへの上書き無効 1 : PDBFnレジスタへの上書き有効	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6-b4	PGCO[2:0]	ポートグループ動作セレクトビット	b6 b4 0 0 0 : イベント信号が入力されると、Lowを出力 0 0 1 : イベント信号が入力されると、Highを出力 0 1 0 : イベント信号が入力されると、トグル(反転)出力 0 1 1 : イベント信号が入力されると、バッファ値を出力 1 x x : イベント信号が入力されると、ポートグループ内でビットローテート出力(MSB→LSBへローテート)	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

x : Don't care

PGCn レジスタは、出力に設定されたポートグループに対して、イベント信号が入力されたときにポートから出力する信号の形式を指定するレジスタです。また、入力に設定されたポートグループに対して、PDBFn レジスタへの上書き有効/無効の指定およびイベント発生条件(ポートへの入力信号の変化)の設定を行うレジスタです。

ポートの入出力方向は、対応する PDR レジスタのビットで設定してください。

PGRn レジスタとポートの対応については、表 20.4 を参照してください。

20.2.9 ポートバッファレジスタ n (PDBFn) (n = 1, 2)

アドレス ELC.PDBF1 0008 B127h, ELC.PDBF2 0008 B128h

	b7	b6	b5	b4	b3	b2	b1	b0
	PDBF7	PDBF6	PDBF5	PDBF4	PDBF3	PDBF2	PDBF1	PDBF0
リセット後の値	0	0	0	0	0	0	0	0

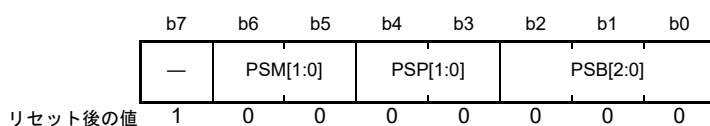
ビット	シンボル	ビット名	機能	R/W
b0	PDBF0	ポートバッファ 0ビット	イベント信号が入力されたときにPODRレジスタに転送するデータを設定します。設定した値は、PGCn.PGCO[2:0]ビットが“011b”、“1xxb”の場合に有効です。入力ポートグループに指定したビットへの書き込みは無効となります。詳細は、「20.3 動作説明」を参照してください	R/W
b1	PDBF1	ポートバッファ 1ビット		R/W
b2	PDBF2	ポートバッファ 2ビット		R/W
b3	PDBF3	ポートバッファ 3ビット		R/W
b4	PDBF4	ポートバッファ 4ビット		R/W
b5	PDBF5	ポートバッファ 5ビット		R/W
b6	PDBF6	ポートバッファ 6ビット		R/W
b7	PDBF7	ポートバッファ 7ビット		R/W

PDBFn レジスタは、PGRn レジスタと対になる 8 ビットのレジスタです。PDBFn レジスタの動作については、「20.3.5 I/O ポートのイベント信号入力時の動作とイベント生成」を参照してください。

PDBFn レジスタとポートの対応については、表 20.4 を参照してください。

20.2.10 イベント接続ポート指定レジスタ m (PELm) (m = 0 ~ 3)

アドレス ELC.PEL0 0008 B129h, ELC.PEL1 0008 B12Ah, ELC.PEL2 0008 B12Bh, ELC.PEL3 0008 B12Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	PSB[2:0]	ビット番号指定ビット	シングルポートに指定したいポートのビット番号を設定してください	R/W
b4-b3	PSP[1:0]	ポート番号指定ビット	b4 b3 0 0 : 設定無効 0 1 : ポート B (PGR1 レジスタに対応) 1 0 : ポート E (PGR2 レジスタに対応) 1 1 : 設定しないでください	R/W
b6-b5	PSM[1:0]	イベントリンク指定ビット	<ul style="list-style-type: none"> 出力ポートに設定したとき : ポート出力データを指定 b6 b5 0 0 : イベント信号が入力されると、Low を出力 0 1 : イベント信号が入力されると、High を出力 1 x : イベント信号が入力されると、トグル(反転)出力 入力ポートに設定したとき : イベント出力エッジ選択 b6 b5 0 0 : 立ち上がりエッジを検出して、イベント信号を出力 0 1 : 立ち下がりエッジを検出して、イベント信号を出力 1 x : 立ち上がり/立ち下がりの両エッジを検出して、イベント信号を出力 	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

x : Don't care

PELm レジスタは、シングルポートの指定、イベント信号が入力されたときの動作、およびイベント出力の条件を設定するレジスタです。本 MCU では、ポート B およびポート E のビットに対して、最大 4 つのシングルポートを設定できます。

ポートの入出力方向は、対応する PDR レジスタのビットで設定してください。

20.2.11 イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)

アドレス ELC.ELSEGR 0008 B12Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生ビット	0: 通常動作 1: ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	WE	SEGビット書き込み許可ビット	0: SEGビットへの書き込み禁止 1: SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止ビット	0: ELSEGRレジスタへの書き込み許可 1: ELSEGRレジスタへの書き込み禁止	W

本レジスタへの書き込みはMOV 命令を使用してください。

SEG ビット (ソフトウェアイベント発生ビット)

WE ビットが“1”の状態、本ビットに“1”を書き込むとソフトウェアイベントが発生します。本ビットは読むと“0”が読めます。“1”を書いても“1”になりません。

WE ビット (SEG ビット書き込み許可ビット)

WE ビットが“1”のときのみ、SEG ビットに対する書き込みが可能になります。
WE ビットを“1”にするには、WI ビットに“0”、WE ビットに“1”を同時に書いてください。
WE ビットを“0”にするには、WI ビットに“0”、WE ビットに“0”を同時に書いてください。

WI ビット (ELSEGR レジスタ書き込み禁止ビット)

WI ビットの書き込み値が“0”のときのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと“1”が読めます。

20.3 動作説明

20.3.1 割り込み処理とイベントリンクの関係

本MCUに内蔵している周辺モジュールには、割り込みステータスフラグと、これらの割り込み要求の許可/禁止を制御する割り込み許可ビットがあります。各周辺モジュールで割り込み要求が発生すると、割り込み要求ステータスフラグが“1”になり、割り込み要求が許可のとき、CPUに対して割り込みを要求します。

これに対して、ELCは、各周辺モジュールで発生する割り込み要求をイベント信号とし、周辺モジュール間を相互に接続(リンク)することにより、ソフトウェアを介さずに直接周辺モジュール間で連携動作をさせることができます。イベント信号は、対応する割り込み許可ビットの設定に関係なく出力することができます。図20.2に割り込み処理とELCの関係を示します。

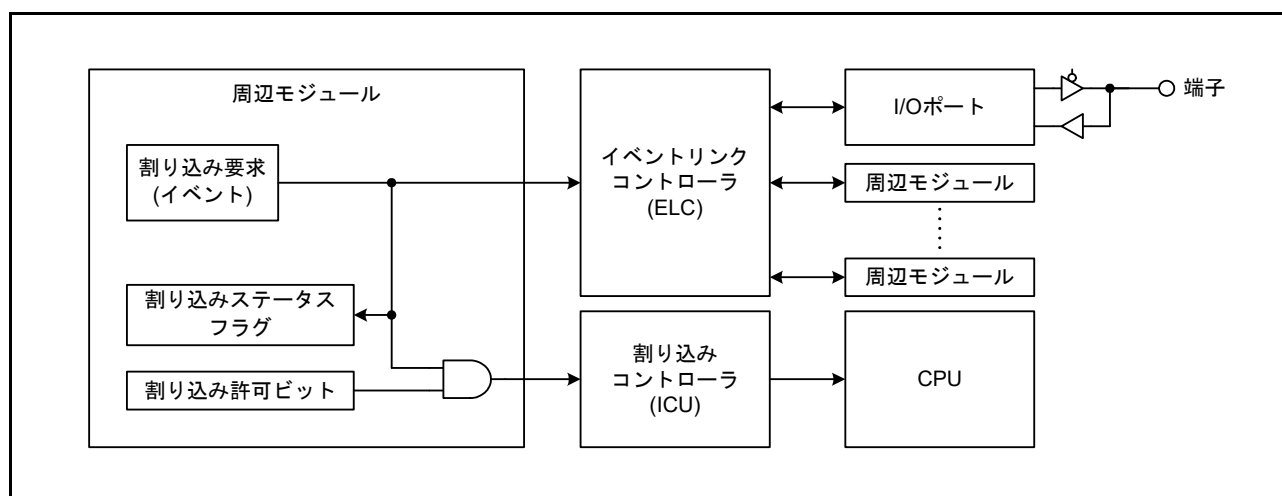


図 20.2 割り込み処理と ELC の関係

20.3.2 イベントのリンク

ELSRn レジスタにイベントを設定することにより、設定したイベントが発生した場合に対応する周辺モジュールを動作させることができます。1つの周辺モジュールに、1種類のイベントのみリンクできます。イベントにより動作させる周辺モジュールの初期設定が完了してから、ELSRn レジスタを設定してください。表 20.5 にイベント信号を入力したときの周辺モジュール別動作一覧を示します。

表 20.5 イベント信号入力時の周辺モジュール別動作一覧

周辺モジュール	イベント信号入力時の動作		
MTU CMT TMR	ELOPA～ELOPDレジスタの設定により以下の動作が選択できます。 <ul style="list-style-type: none"> • イベント信号が入力されると、カウントスタート • イベント信号が入力されると、カウントリスタート • 入力したイベント数をカウント(CMT, TMR) • イベント信号が入力されると、キャプチャ動作(MTU) 		
POE	イベント信号が入力されると、MTU相補PWM出力端子およびMTU0の出力端子がハイインピーダンスになります		
A/Dコンバータ	イベント信号が入力されると、A/D変換開始		
D/Aコンバータ	イベント信号が入力されると、D/A変換開始		
I/Oポート(出力)	イベント信号が入力されると、PODRレジスタ(ポート出力データレジスタ)の値が変化(出力端子のレベルが変化)	ポートグループ	<ul style="list-style-type: none"> • PODRレジスタの値が、指定された値に変化 • PDBFnレジスタ(n = 1, 2)の値をPODRレジスタに転送 • ローテート出力
		シングルポート	PODRレジスタの値が指定された値に変化
I/Oポート(入力)	入力端子のレベルが変化	ポートグループ	イベント発生
		シングルポート	
	イベント信号入力時	ポートグループ	入力端子の信号レベルをPDBFnレジスタに転送
		シングルポート	この組み合わせは使用できません
クロック発生回路	イベント信号が入力されると、クロックソースを低速オンチップオシレータへ切り替え ^(注1)		
割り込み制御	イベント信号が入力されると、CPUに割り込みを要求、DMA転送開始、DTC転送開始		

注1. プロテクトレジスタ(PRCR.PRC0)の値にかかわらず、SCKCR3.CKSEL[2:0]ビットが“000b”(LOCO選択)に書き換わります。

20.3.3 タイマ系周辺モジュールのイベント信号入力時の動作

ELOPA ~ ELOPD レジスタによりイベント信号入力時の動作を設定します。

(1) カウントスタート動作

イベント信号が入力されると、タイマのカウントをスタートし、各タイマの制御レジスタのカウントスタートビット(注1)が“1”になります。カウントスタートビットが“1”のときに入力されたイベント信号は無視されます。

(2) カウントリスタート動作

イベント信号が入力されると、タイマのカウンタをクリアします。各タイマの制御レジスタのカウントスタートビット(注1)は保持されるため、カウントスタートビットが“1”のときにイベント信号を入力するとカウンタは0からカウントを再開します。

(3) イベントカウンタ動作

タイマのカウントソースとして、イベント信号を使用します。イベント信号が入力されると、カウンタがインクリメントされます。

(4) インプットキャプチャ動作

イベント信号が入力されると、カウンタの値をキャプチャします。

注1. 各タイマ系周辺モジュール章にあるタイマスタートに関するレジスタの説明を参照してください。

20.3.4 A/D コンバータ、D/A コンバータのイベント信号入力時の動作

ADCSR.ADST ビット、DACR.DAOEO ビット(注1)が“1”になり、A/D 変換またはD/A 変換がスタートします。

注1. A/D コンバータ、D/A コンバータ章のビット説明を参照してください。

20.3.5 I/O ポートのイベント信号入力時の動作とイベント生成

I/O ポートのイベント信号入力時の動作とイベント生成条件の設定は ELC 内のレジスタで行います。イベントリンクが設定できる I/O ポートはポート B とポート E です。

(1) シングルポートとポートグループ

I/O ポートへのイベントリンクは、8 本ある I/O ポートの内の任意の 1 本へのイベントリンク(シングルポートへのイベントリンク)と、8 本ある I/O ポートの内の任意の複数本へのイベントリンク(ポートグループへのイベントリンク)ができます。

シングルポートの設定は、PELm.PSP[1:0] ビットと PSB[2:0] ビット(m=0~3)で行います。ポートグループの設定は、PGRn レジスタ(n=1,2)により任意のビット(2 ビット以上)を“1”にすることで行います。PGRn レジスタで“1”にしたポートの内、出力に設定したポートは出力ポートグループに、入力に設定したポートは入力ポートグループになります。

1 本のポートに対してシングルポートとポートグループの両方の設定をした場合、入力ポートでは両方の機能が有効になり、出力ポートではポートグループの機能のみが有効になります。

I/O ポートの入力、出力は、PDR レジスタにより設定してください。

(2) シングル入力ポートでのイベント発生

入力に設定されているシングルポートは、対応する端子への入力信号が変化するとイベント信号を出力します。イベント発生条件は、PELm.PSM[1:0] ビット (m = 0 ~ 3) で設定します。図 20.3 (1) にシングルポートのイベントリンク動作を示します。

(3) シングル出力ポートへのイベント信号入力

出力に設定されているシングルポートにイベント信号が入力されると、対応する端子のレベル (PODR レジスタの値) が PELm.PSM[1:0] ビットで指定したとおりに変化します。図 20.3 (2) にシングルポートのイベントリンク動作を示します。

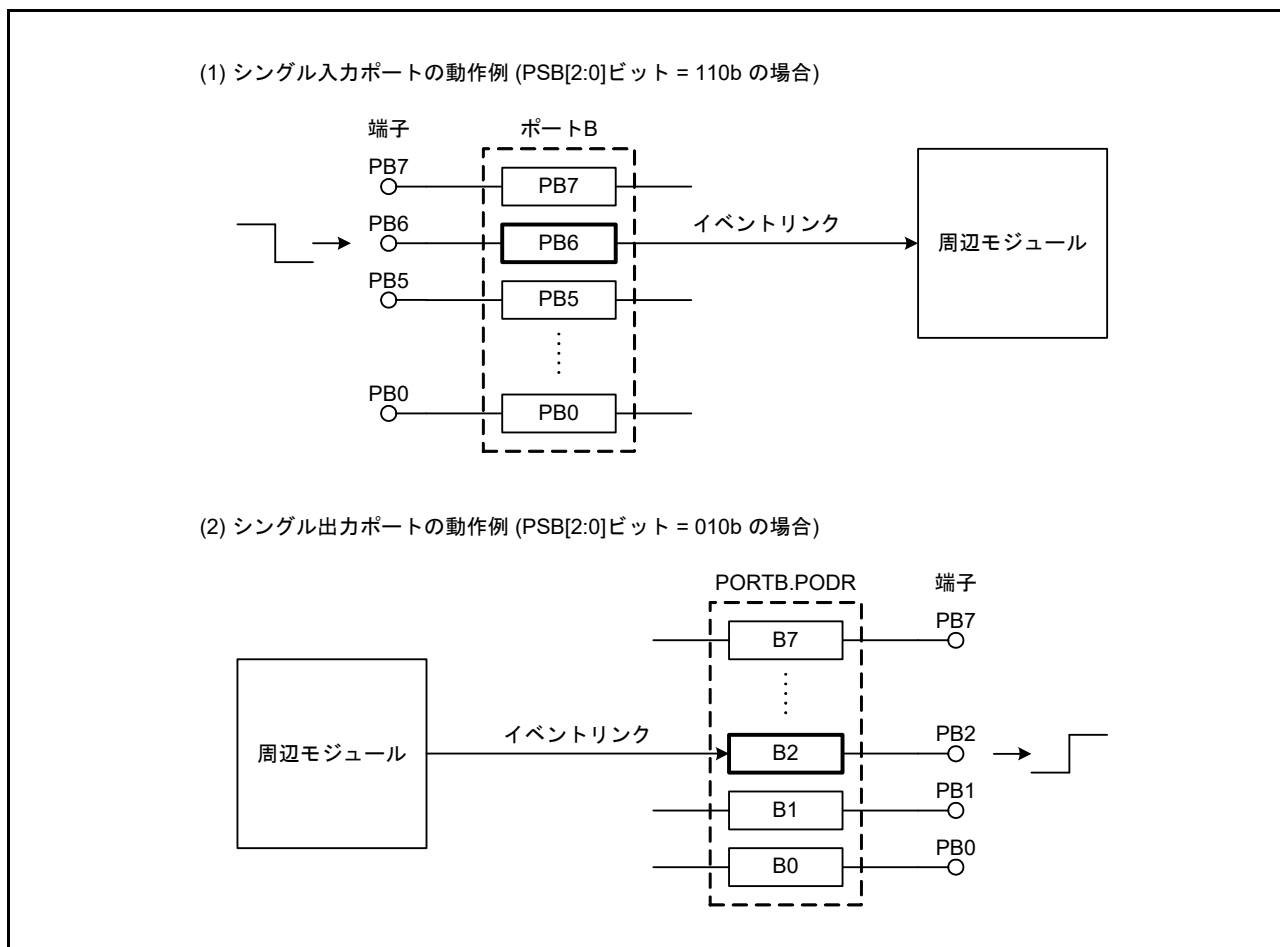


図 20.3 シングルポートのイベントリンク動作 (ポート B の場合)

(4) 入力ポートグループでのイベント発生

入力ポートグループは、対応する端子への入力信号のいずれかが変化すると、イベント信号を出力します。イベント発生条件は PGCn.PGCI[1:0] ビット (n = 1, 2) で設定します。

(5) 入力ポートグループへのイベント信号の入力

入力ポートグループにイベント信号が入力されると、対応する端子のレベルが PDBFn レジスタに転送されます。入力ポートグループに指定されていないポートに対応するビットの値は変化しません。図 20.4 に入力ポートグループのイベントリンク動作を示します。

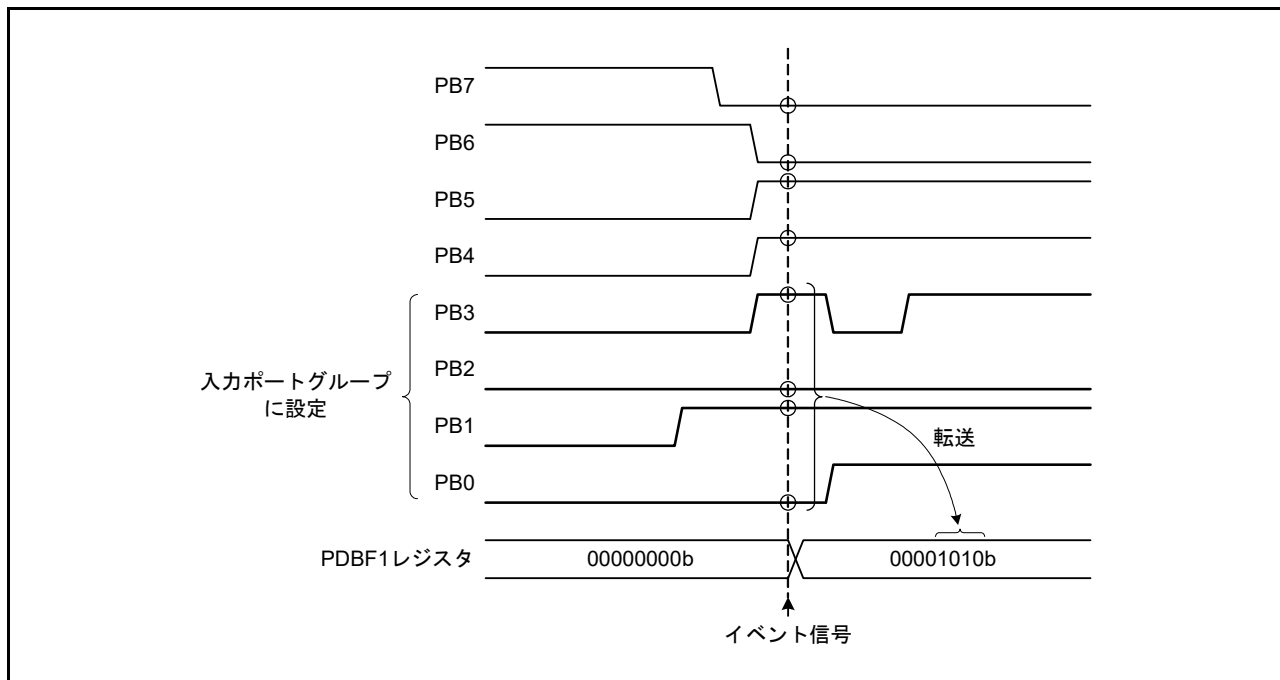


図 20.4 入力ポートグループのイベントリンク動作 (ポート B の場合)

(6) 出力ポートグループへのイベント信号の入力

出力ポートグループにイベント信号が入力されると、対応する PODR レジスタの値が PGCn.PGCO[2:0] ビット (n=1, 2) で設定されたとおりに変化します。図 20.5 に出力ポートグループのイベントリンク動作を示します。

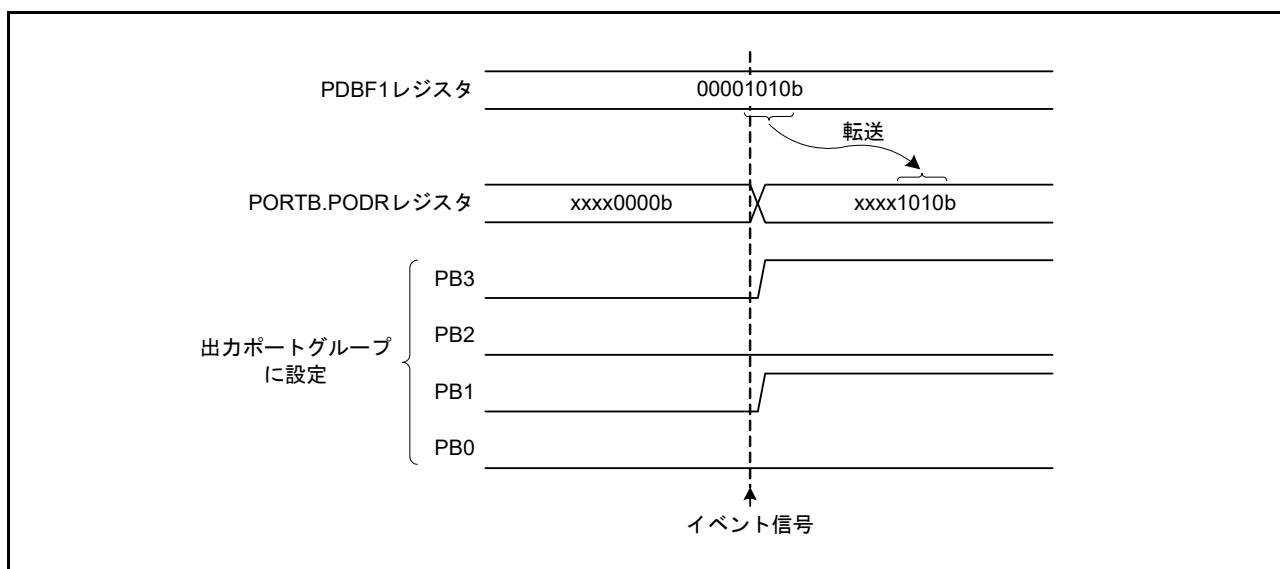


図 20.5 出力ポートグループのイベントリンク動作 (ポート B の場合)

(7) PDBFn レジスタの動作

(a) 入力ポートグループ

入力ポートグループにイベント信号が入力されると、対応する端子のレベルが PDBFn レジスタ (n=1,2) に転送されます。この状態で、再度入力ポートグループにイベント信号が入力された場合、PGCn.PGCOVE ビットの設定によって以下のように異なる動作をします。

- PGCn.PGCOVE ビット = 0 (上書き無効) のとき
 前回のイベント信号入力により PDBFn レジスタに転送された値が、CPU または DTC によってリードされている場合、そのときの端子のレベルが PDBFn レジスタに転送されます。リードされていない場合、端子のレベルは PDBFn レジスタに転送されず、入力したイベント信号は無効となります。
- PGCn.PGCOVE ビット = 1 (上書き有効) のとき
 入力ポートグループにイベント信号が入力されると、対応する端子のレベルが、PDBFn レジスタに転送されます。

(b) 出力ポートグループ

出力ポートグループが PDBFn レジスタの値を出力する設定 (PGCn.PGCO[2:0] ビット = 011b) になっている場合、出力ポートグループにイベント信号が入力されると、PDBFn レジスタの値が PODR レジスタに転送されます。出力ポートグループに設定されていないポートに対応するビットには、データは転送されません。

出力ポートグループがグループ内でのビットローテート出力 (PGCn.PGCO[2:0] ビット = 1xxb) に設定されている場合、1 回目のイベント信号で PDBFn レジスタから PODR レジスタにデータが転送され、2 回目以降のイベント信号で当該グループ内で PODR レジスタ値が MSB → LSB にローテートします。

図 20.6 にビットローテートの動作を示します。

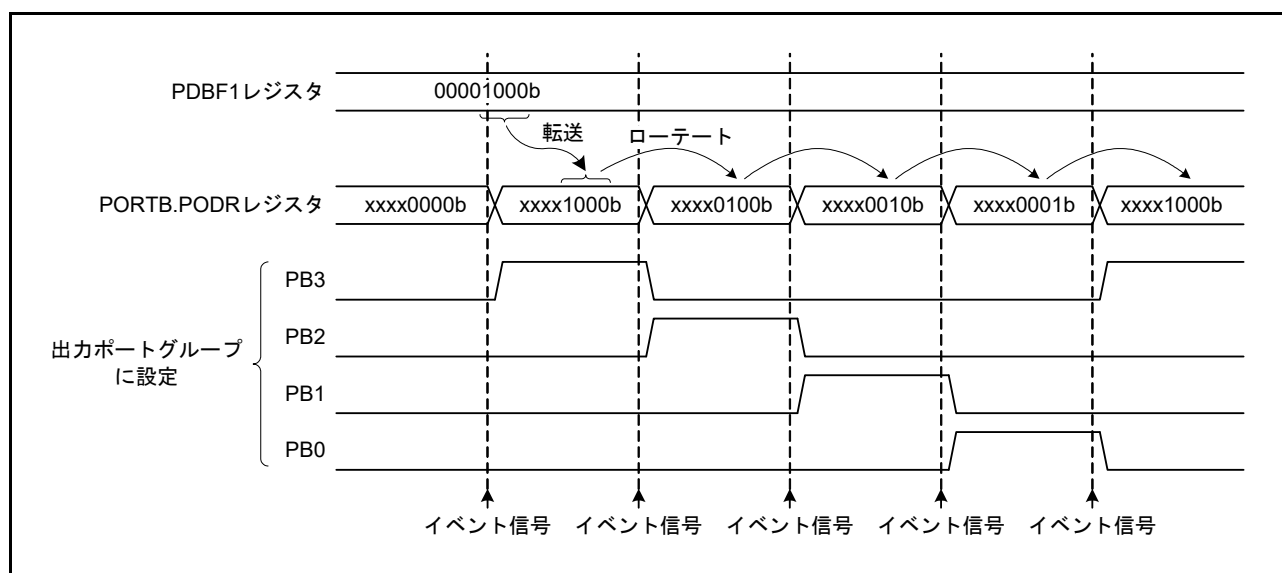


図 20.6 出力ポートグループのビットローテート動作 (ポート B の場合)

(8) PODR レジスタ、PDBFn レジスタへの書き込み制限

ELCR.ELCON ビットが“1”(ELC 機能は有効) のとき、下記の条件で PODR レジスタ、PDBFn レジスタ ($n = 1, 2$) への書き込みが無効となります。

- 入力ポートグループに指定しイベントリンクを設定すると、対応する PDBFn レジスタのビットへの書き込みは無効になります。ただし、イベント信号として DOC を選択した場合は、書き込みは有効です。
- 出力ポートグループに指定すると、対応する PODR レジスタのビットへの書き込みは無効になります。
- シングル出力ポートに指定されているとき、当該ポートへのイベント接続設定 (ELSRn レジスタの設定) を行うと、対応する PODR レジスタのビットへの書き込みは無効になります。ただし、イベント信号として DOC を選択した場合は、書き込みは有効です。

20.3.6 イベントリンクの動作設定手順例

イベントリンクの動作手順を以下に示します。

- (1) イベント信号により動作する (リンク先) 周辺モジュールの初期設定を行います。
- (2) ポートに対してイベントリンクを設定するときは、対応するポートの下記レジスタを設定します。
 - PODR レジスタ： 出力に設定したポートの初期値を設定します。
 - PDR レジスタ： ポートの入出力方向を設定します。
 - PGRn レジスタ： ポートグループとして動作させる場合、グループ化の対象となるポートを設定します ($n = 1, 2$)。
 - PGCn レジスタ： ポートグループとして動作させる場合の動作を設定します。
 - PELm レジスタ： シングルポートとして動作させる場合、対象となるポートとイベント信号入力時の動作およびイベント発生条件を設定します ($m = 0 \sim 3$)。
- (3) リンク先の周辺モジュールに対応する ELSRn レジスタに、リンクするイベント信号の番号を設定します。
- (4) リンク先の周辺モジュールがタイマ系の周辺モジュールの場合は、必要に応じて ELOPA ~ ELOPD レジスタを設定します。
- (5) ELCR.ELCON ビットを“1”にします。これによりイベントリンクが設定されている全周辺モジュールのイベントリンク動作が有効となります。
- (6) イベント信号を出力する (リンク元) 周辺モジュールの初期設定を行い、起動させます。周辺モジュールから出力されるイベント信号により、リンク先の周辺モジュールが事前に設定した動作を開始します。
- (7) 周辺モジュール単位でイベントリンク動作を停止するときは、対応する ELSRn レジスタに“00h”を設定してください。また ELCR.ELCON ビットを“0”にすることにより、全周辺モジュールのイベントリンク動作が停止します。

- 注． RTC のイベント信号出力を使用する場合、RTC の設定 (初期化、時刻設定など) を行った後、ELC の設定を行ってください。ELC 設定後に RTC の設定を行うと、意図しないイベント信号が出力されることがあります。
- 注． LVD のイベント信号出力を使用する場合、LVD の設定を行った後、ELC の設定を行ってください。LVD を無効にする場合も、先に該当する ELSRn レジスタに“00h”を設定してから実施してください。

20.4 使用上の注意事項

20.4.1 ELSRn レジスタの設定について

(1) ELSR8 レジスタの設定

イベント信号は“32h”(LPT・コンペアマッチ)を指定してください。

(2) ELSR18、ELSR19 レジスタの設定

イベント信号は“63h”～“6Ah”の中から指定してください。これ以外の値は、設定しないでください。

(3) ELSR24、ELSR25、ELSR26、ELSR27 レジスタの設定

DOC・データ演算条件成立信号(6Ah)は、設定しないでください。

20.4.2 出力ポートグループのビットローテート動作の設定について

出力ポートグループのビットローテート動作モードで、PDBFn レジスタ (n = 1, 2) の値を変更する場合、変更後に ELSRn レジスタを再設定してください。また、ビットローテート動作に使用するイベントの発生間隔は、1 PCLKB 以上にしてください。

20.4.3 DMA/DTC 転送終了のイベント信号使用時の注意事項

DMA/DTC 転送終了のイベント信号を使用する場合、データ転送先の周辺モジュールとリンク先の周辺モジュールを同じにしないでください。周辺モジュールへのDMA/DTC 転送が完了する前に周辺モジュールが起動する可能性があります。

20.4.4 クロック設定について

イベントリンクを使用するには ELC の設定の他に、ELC と対象の周辺モジュールが動作可能である必要があります。対象の周辺モジュールがモジュールストップ状態の場合や、周辺モジュールが停止するモード(ソフトウェアスタンバイモード)の場合は動作できません。

20.4.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、ELC の動作を禁止 / 許可することが可能です。リセット解除後は、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

21. I/Oポート

21.1 概要

I/Oポートは、汎用入出力ポートと周辺機能の入出力、割り込み入力端子、またはバス制御端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/Oポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入力/出力を指定するポート方向レジスタ (PDR)、出力データを格納するポート出力データレジスタ (PODR)、端子の状態を反映するポート入力データレジスタ (PIDR)、端子の出力形態を選択するオープンドレイン制御レジスタ y (ODR y) ($y=0, 1$)、入力プルアップ MOS のオン/オフを制御するプルアップ制御レジスタ (PCR)、駆動能力の切り替えを制御する駆動能力制御レジスタ (DSCR)、機能端子を指定するポートモードレジスタ (PMR) を備えています。PMR レジスタの詳細については、「22. マルチファンクションピンコントローラ (MPC)」を参照してください。

また、48ピンパッケージ製品と64ピンパッケージ製品にはそれぞれ、一部端子の汎用入出力機能を切り替えて PORTC を8ビットのポートとして使用することが可能なポート切り替えレジスタ A (PSRA)、ポート切り替えレジスタ B (PSRB) を備えています。

パッケージによって、I/Oポートの構成が異なります。表 21.1 に I/Oポートの仕様を、表 21.2 に I/Oポートの機能を示します。

表 21.1 I/Oポートの仕様

ポート シンボル	パッケージ		パッケージ		パッケージ	
	100ピン	本数	64ピン	本数	48ピン	本数
PORT0	P03、P05、P07	3	P03、P05	2	なし	0
PORT1	P12～P17	6	P14～P17	4	P14～P17	4
PORT2	P20～P27	8	P26、P27	2	P26、P27	2
PORT3	P30～P37	8	P30、P31、P35～P37	5	P30、P31、P35～P37	5
PORT4	P40～P47	8	P40～P44、P46	6	P40～P42、P46	4
PORT5	P50～P55	6	P54、P55	2	なし	0
PORTA	PA0～PA7	8	PA0、PA1、PA3、PA4、PA6	5	PA1、PA3、PA4、PA6	4
PORTB	PB0～PB7	8	PB0、PB1、PB3、PB5～PB7	6	PB0、PB1、PB3、PB5	4
PORTC	PC0～PC7	8	PC2～PC7	6	PC4～PC7	4
PORTD	PD0～PD7	8	なし	0	なし	0
PORTE	PE0～PE7	8	PE0～PE5	6	PE1～PE4	4
PORTH	PH0～PH3	4	PH0～PH3	4	PH0～PH3	4
PORTJ	PJ3	1	なし	0	なし	0
	ポートの合計数	84	ポートの合計数	48	ポートの合計数	35

表21.2 I/Oポートの機能

ポートシンボル	ポート	入力プルアップ機能	オープンドレイン出力機能	駆動能力切り替え機能	5Vトレラント
PORT0	P03、P05、P07	○	—	通常出力固定	—
PORT1	P12、P13、P16、P17	○	○	○	○
	P14、P15	○	○	○	—
PORT2	P20～P27	○	○	○	—
PORT3	P30～P32	○	○	○	○
	P33、P34	○	○	○	—
	P35	—	—	—	—
	P36、P37	○	○	通常出力固定	—
PORT4	P40～P47	○	—	通常出力固定	—
PORT5	P50～P52、P54	○	○	○	—
	P53、P55	○	—	○	—
PORTA	PA0～PA7	○	○	○	—
PORTB	PB0～PB4、PB6、PB7	○	○	○	—
	PB5	○	○	○	○
PORTC	PC0～PC7	○	○	○	—
PORTD	PD0～PD7	○	—	○	—
PORTE	PE0～PE7	○	○	○	—
PORTH	PH0～PH3	○	—	○	—
PORTJ	PJ3	○	○	○	—

入力プルアップ機能、オープンドレイン出力機能、駆動能力切り替え機能、5Vトレラントの設定は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

21.2 入出力ポートの構成

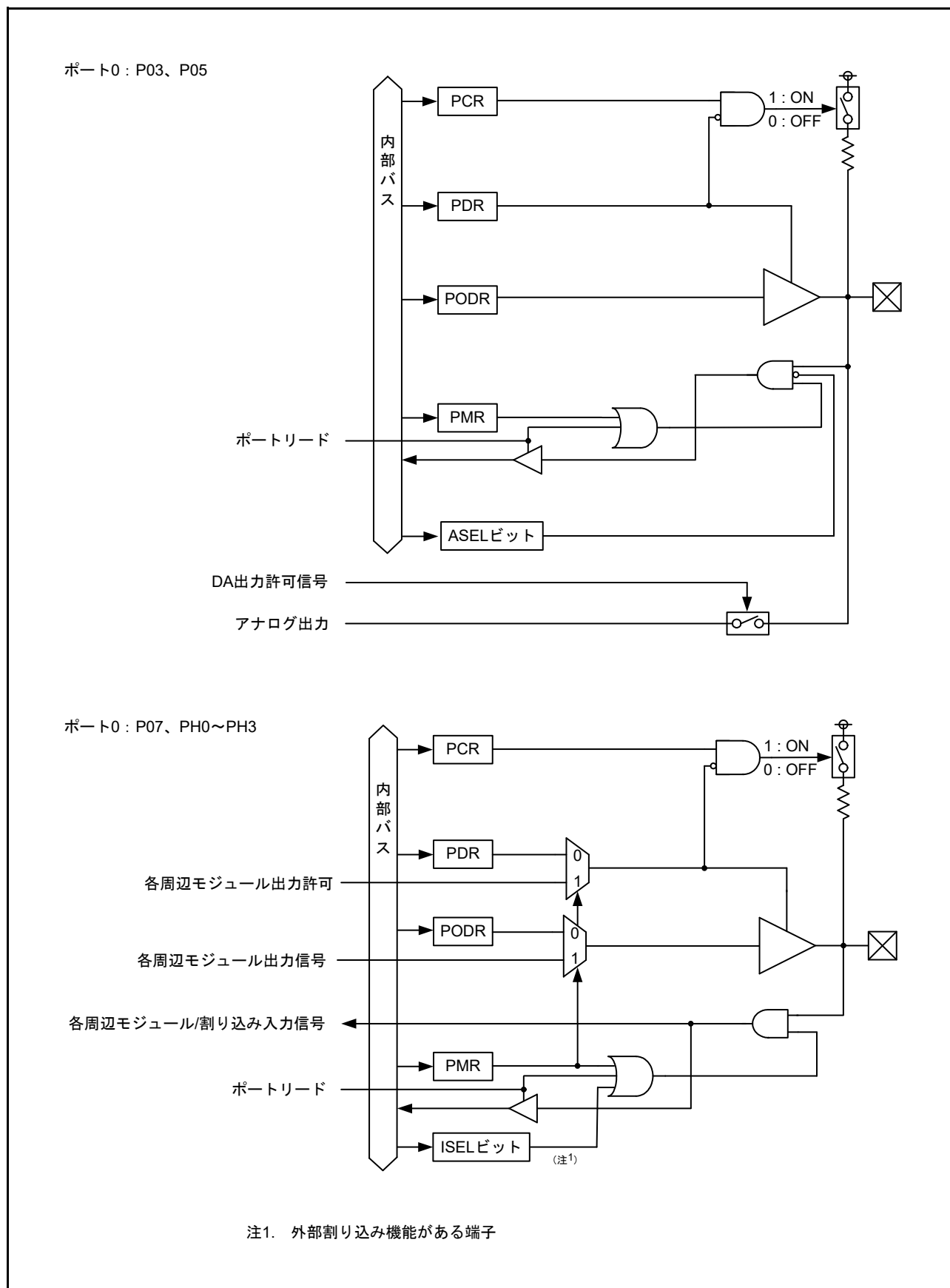


図 21.1 入出力ポートの構成 (1)

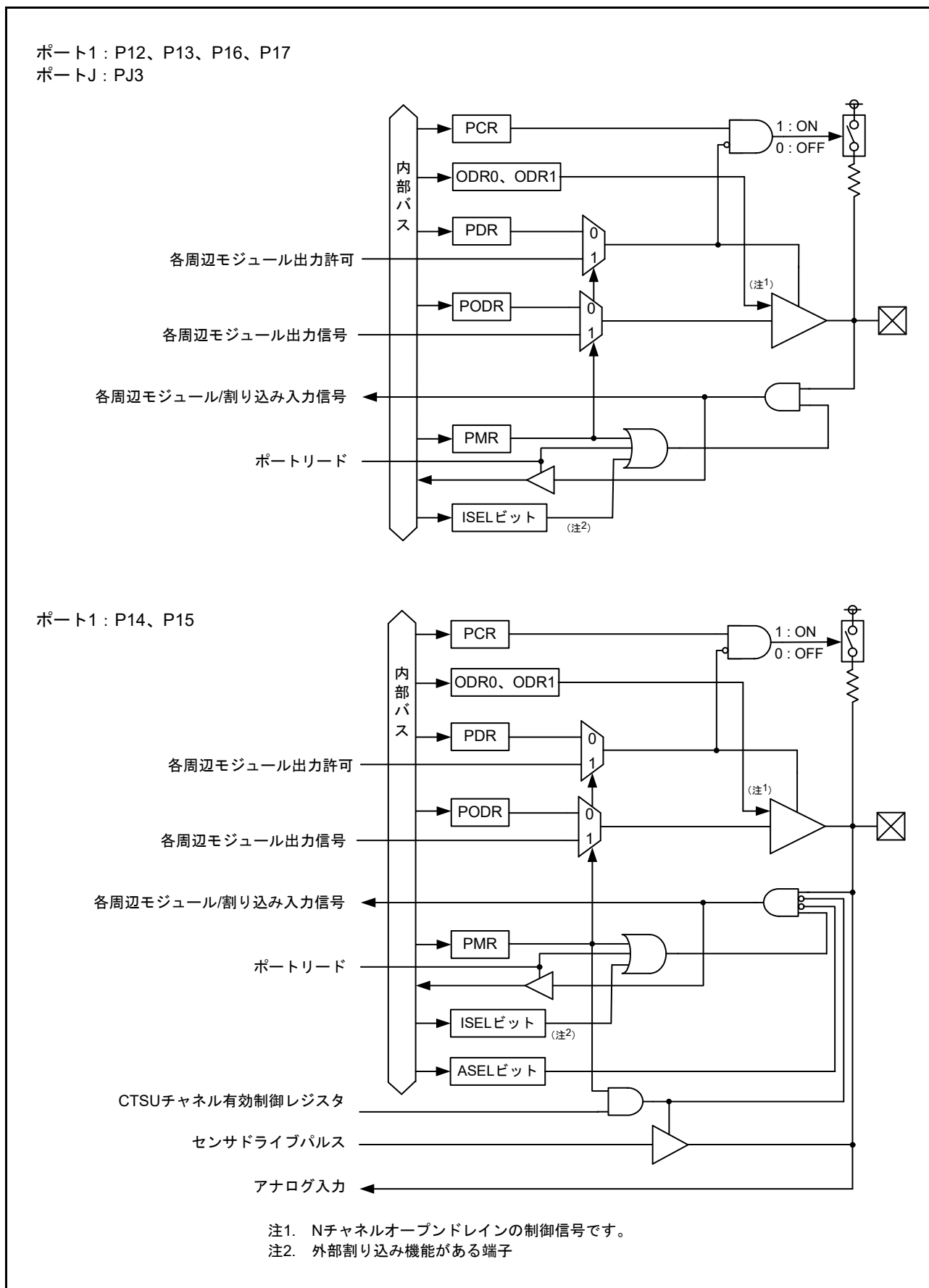


図 21.2 入出力ポートの構成 (2)

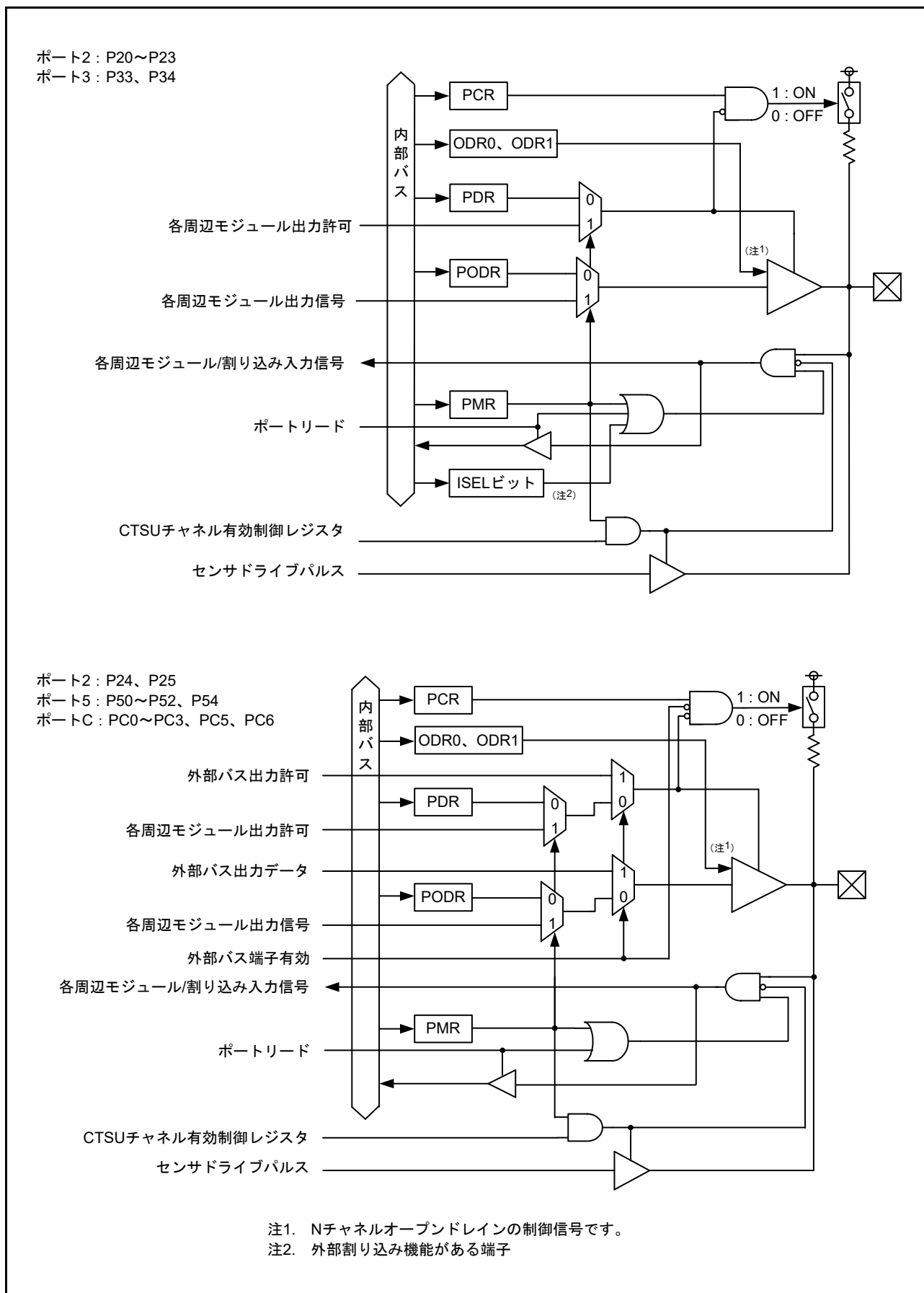


図 21.3 入出力ポートの構成 (3)

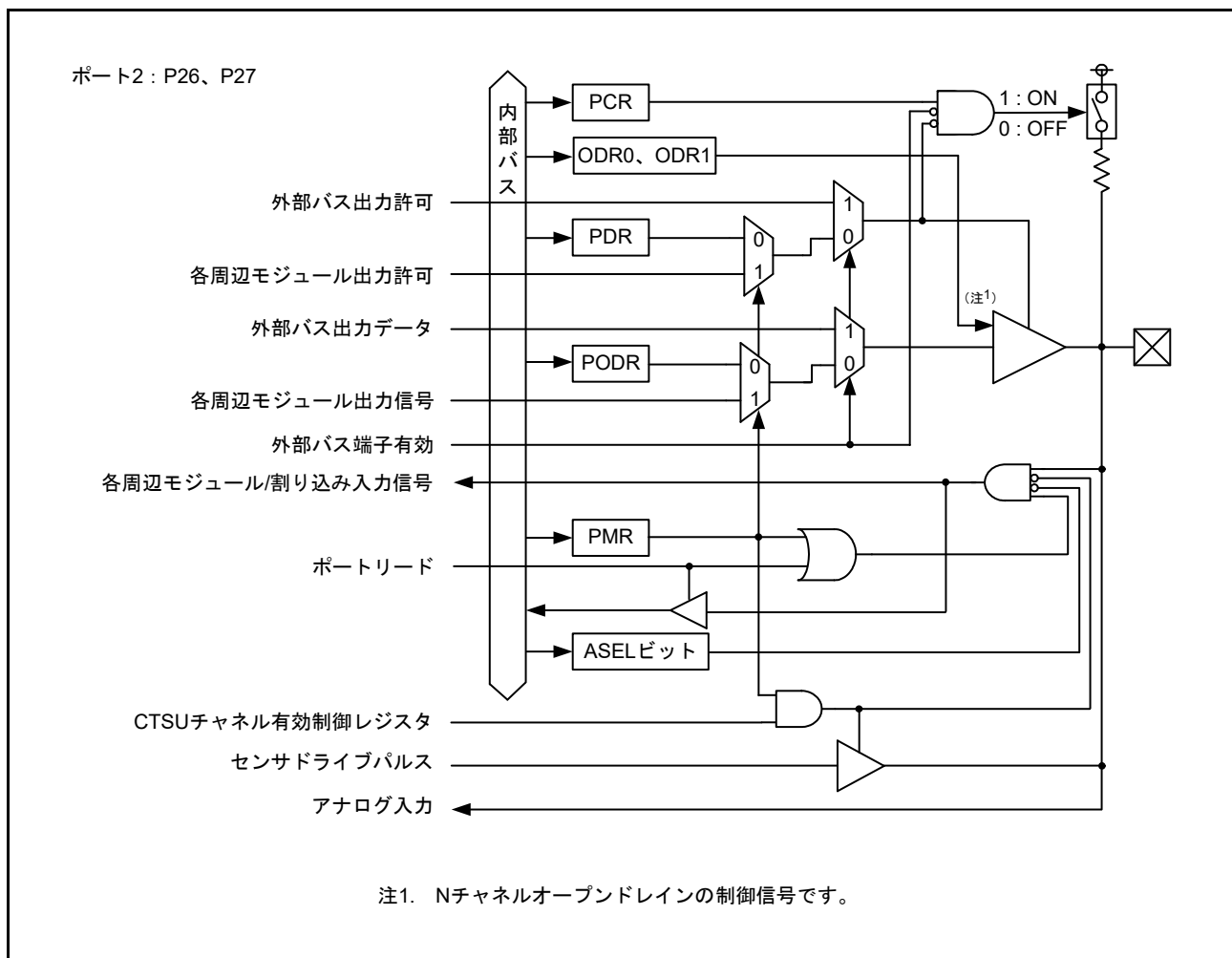


図 21.4 入出力ポートの構成 (4)

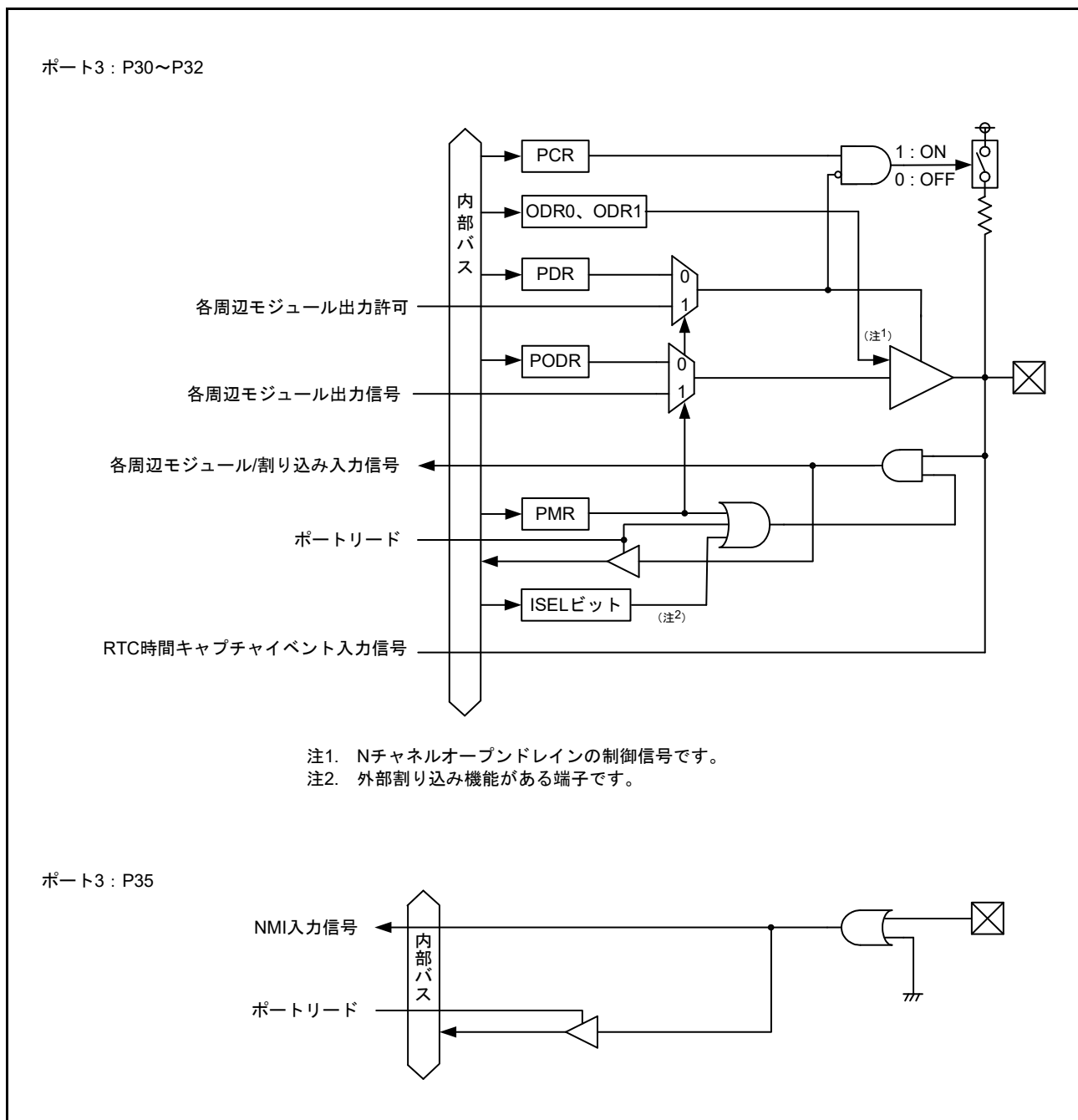


図 21.5 入出力ポートの構成 (5)

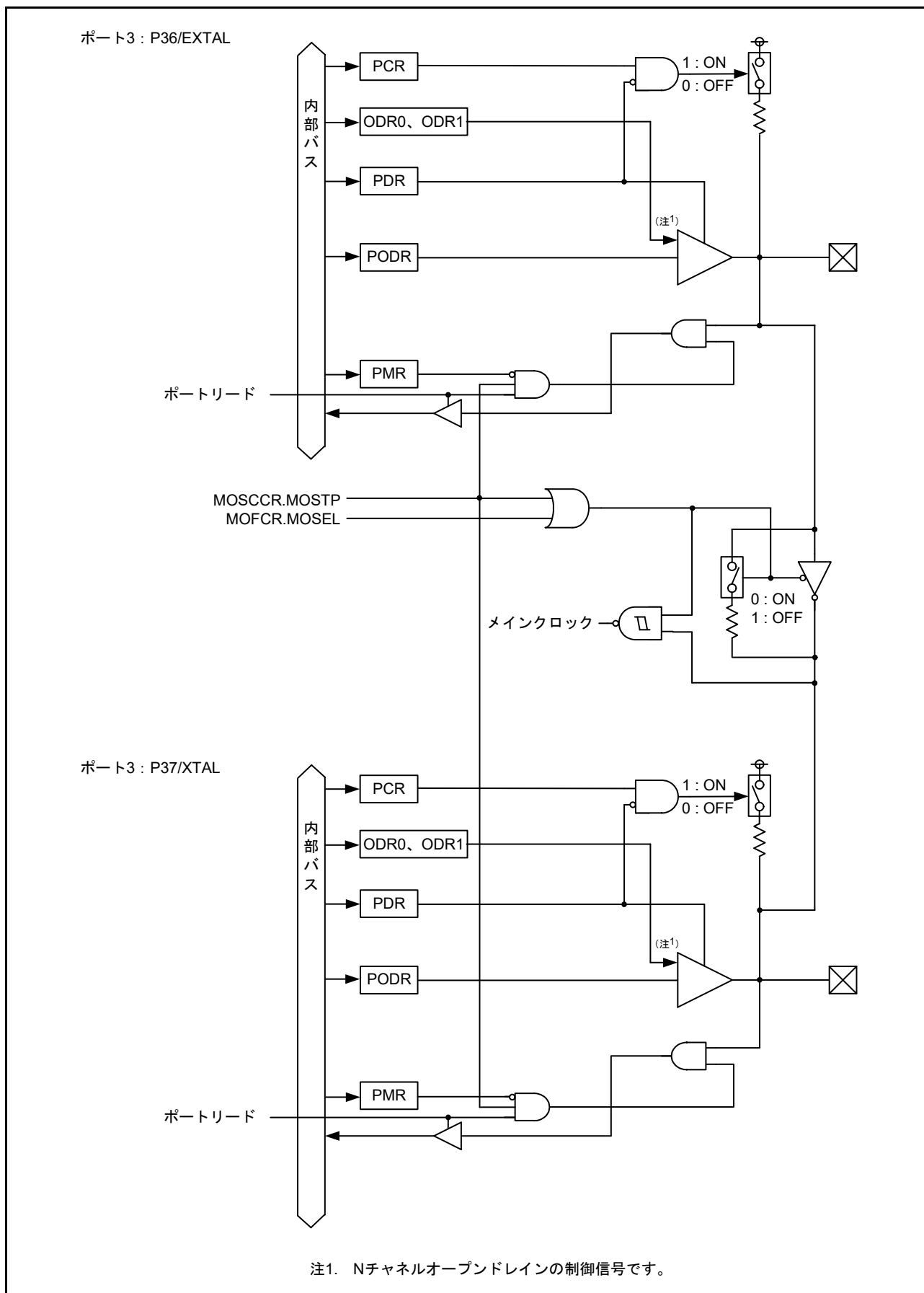


図 21.6 入出力ポートの構成 (6)

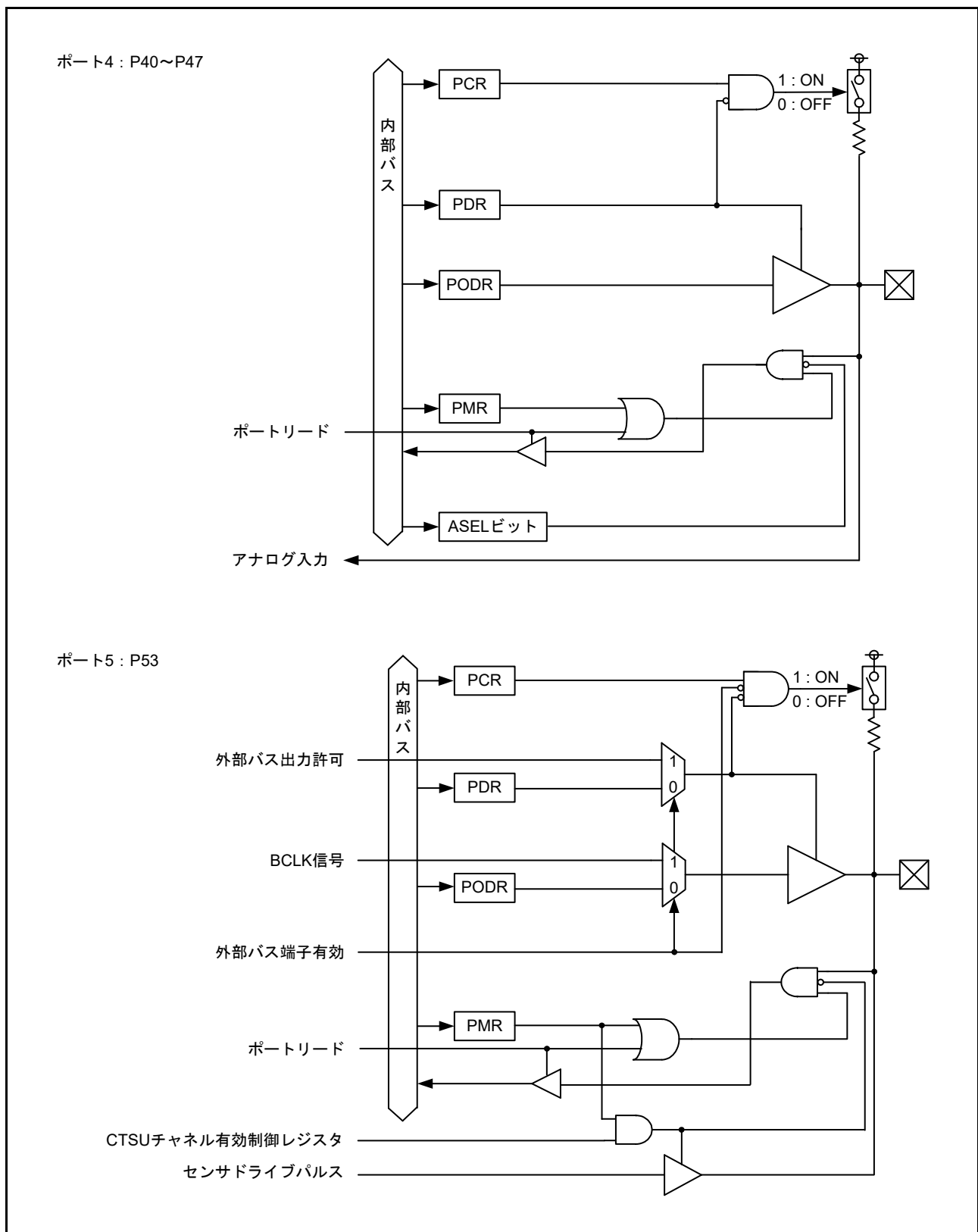


図 21.7 入出力ポートの構成 (7)

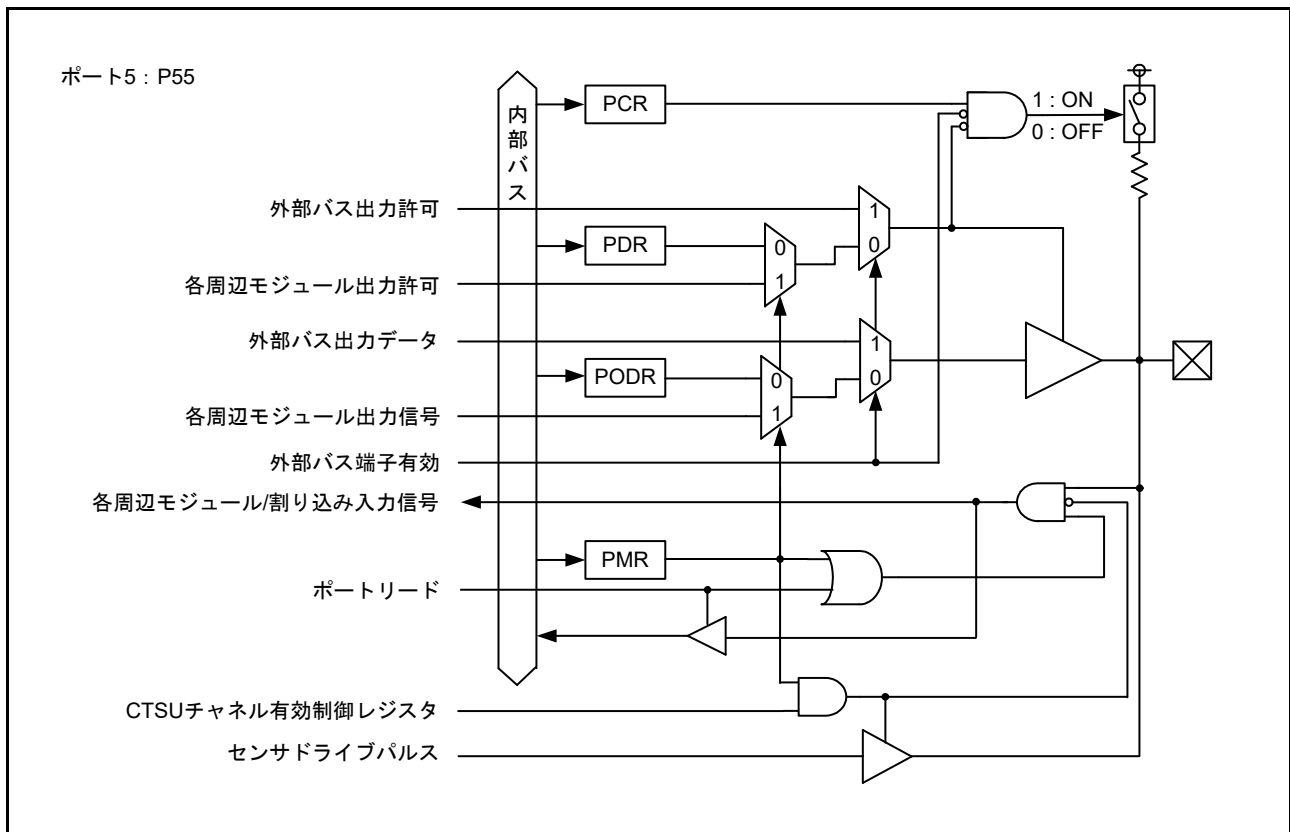


図 21.8 入出力ポートの構成 (8)

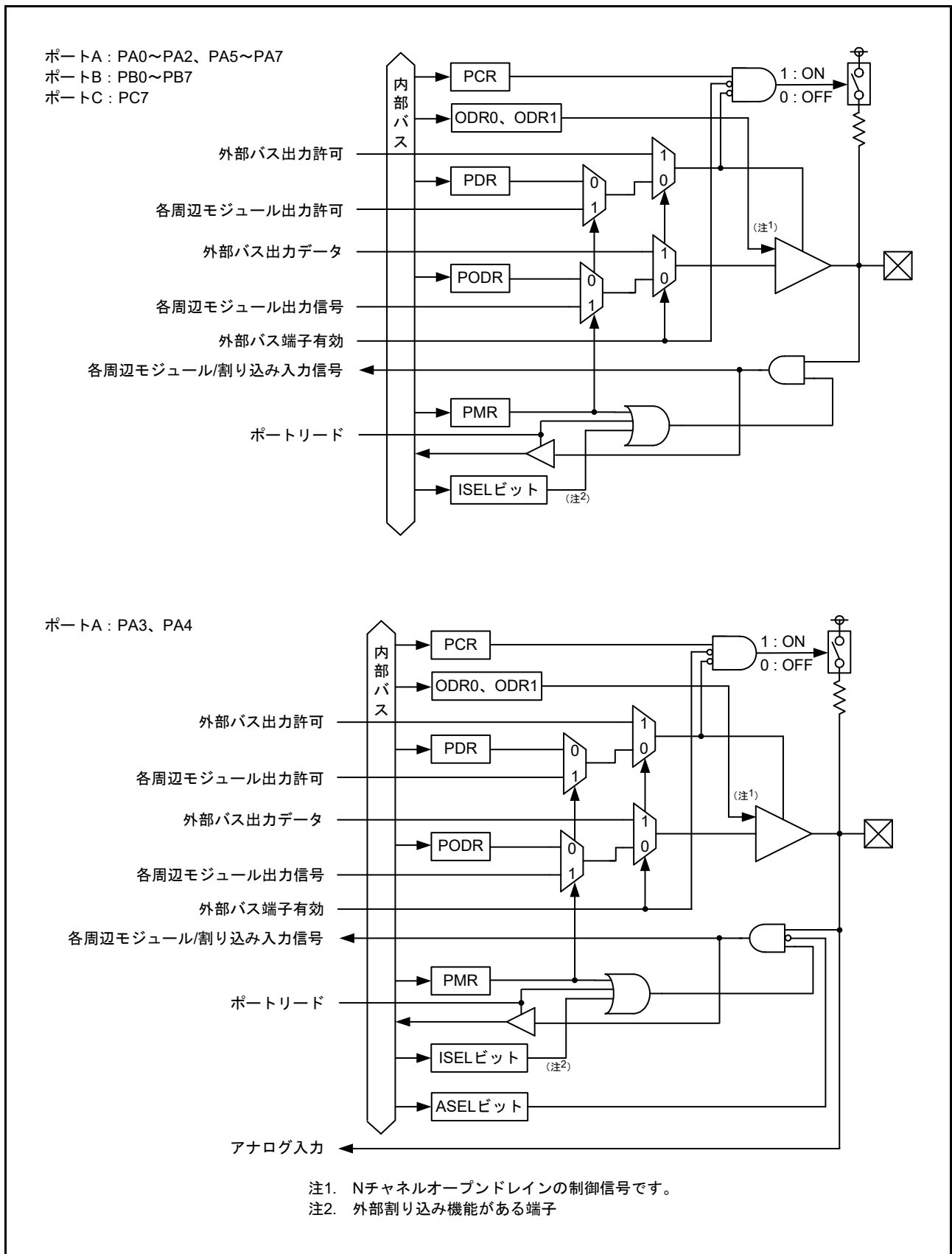


図 21.9 入出力ポートの構成 (9)

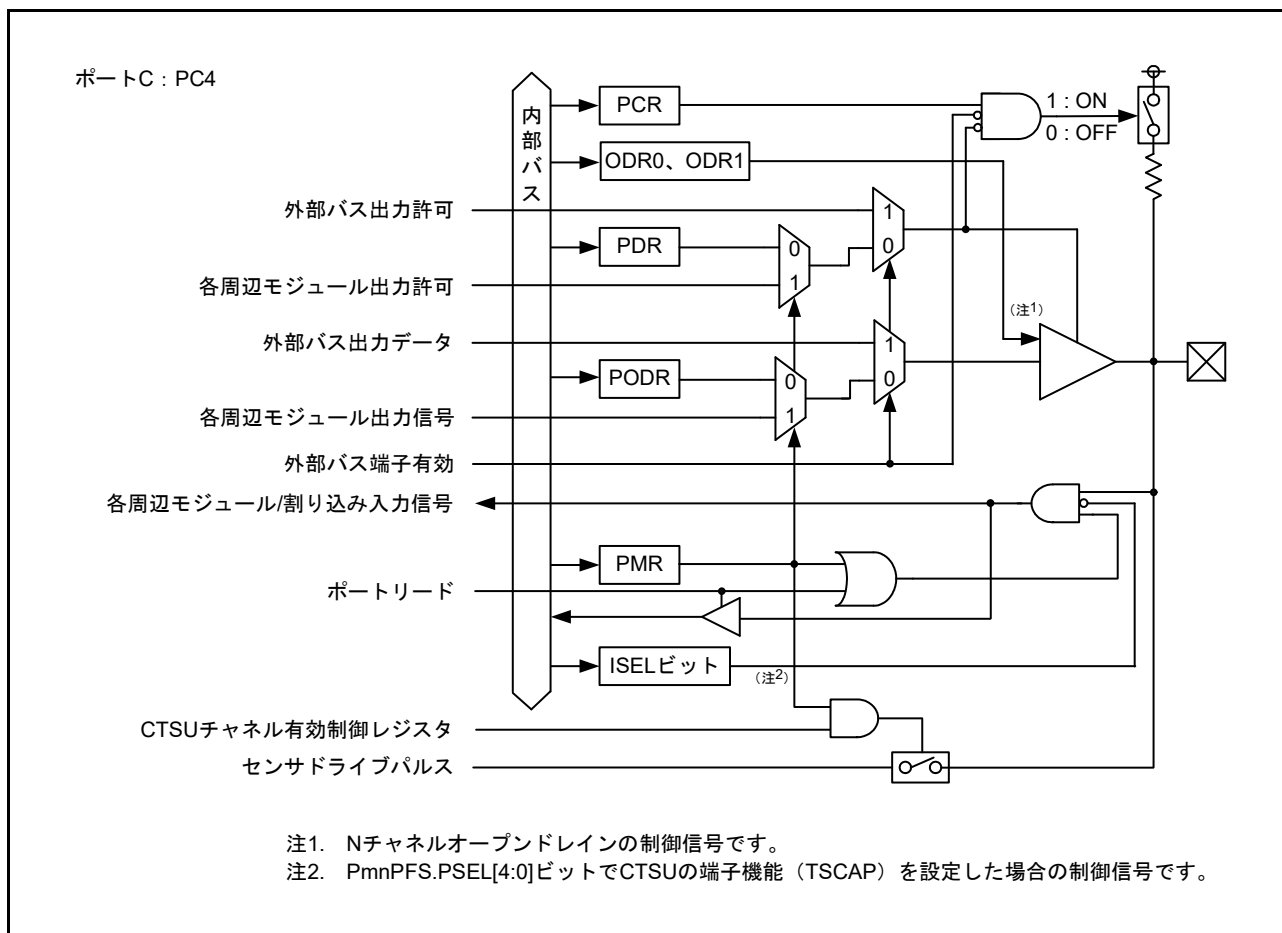


図 21.10 入出力ポートの構成 (10)

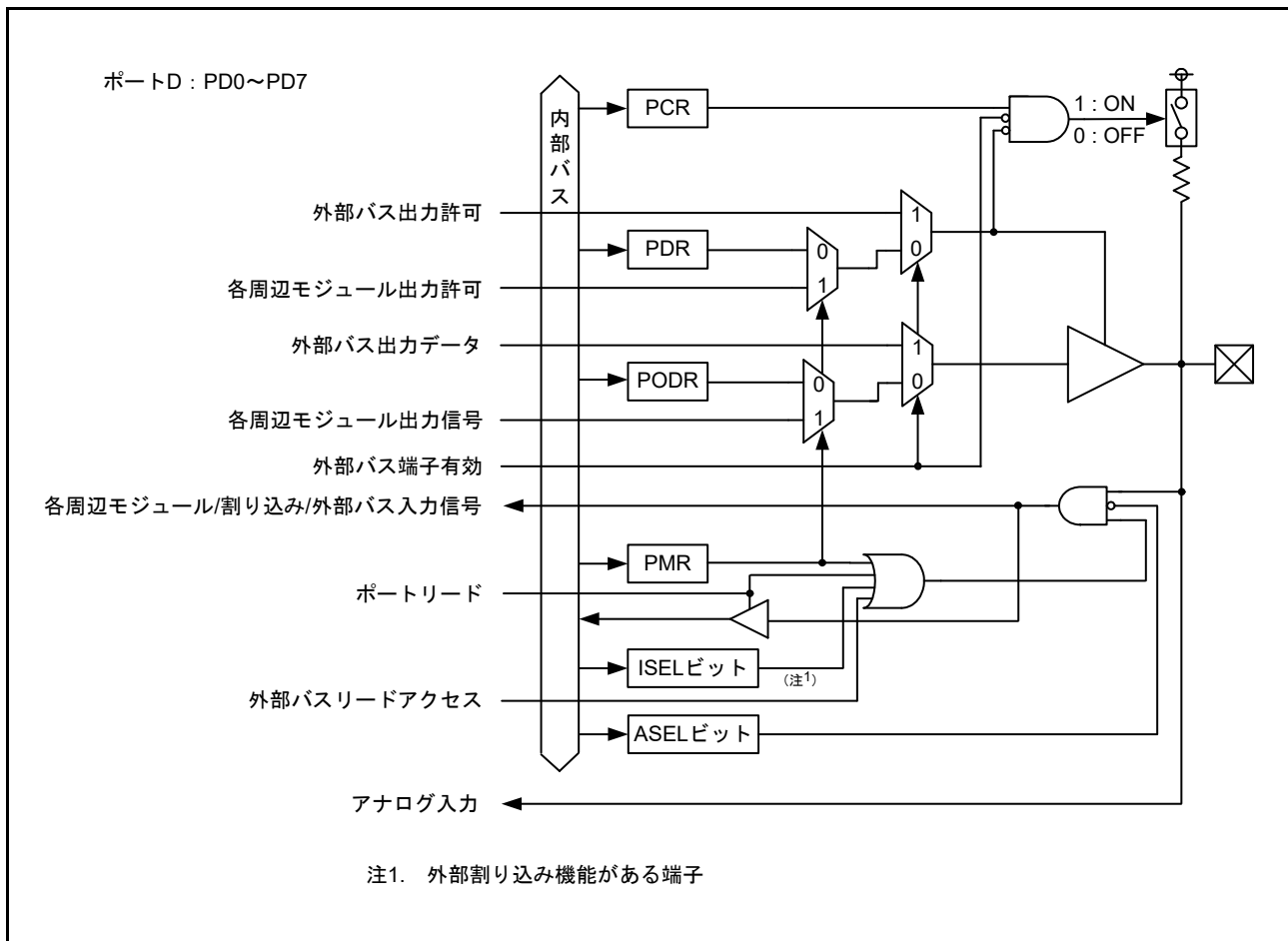


図 21.11 入出力ポートの構成 (11)

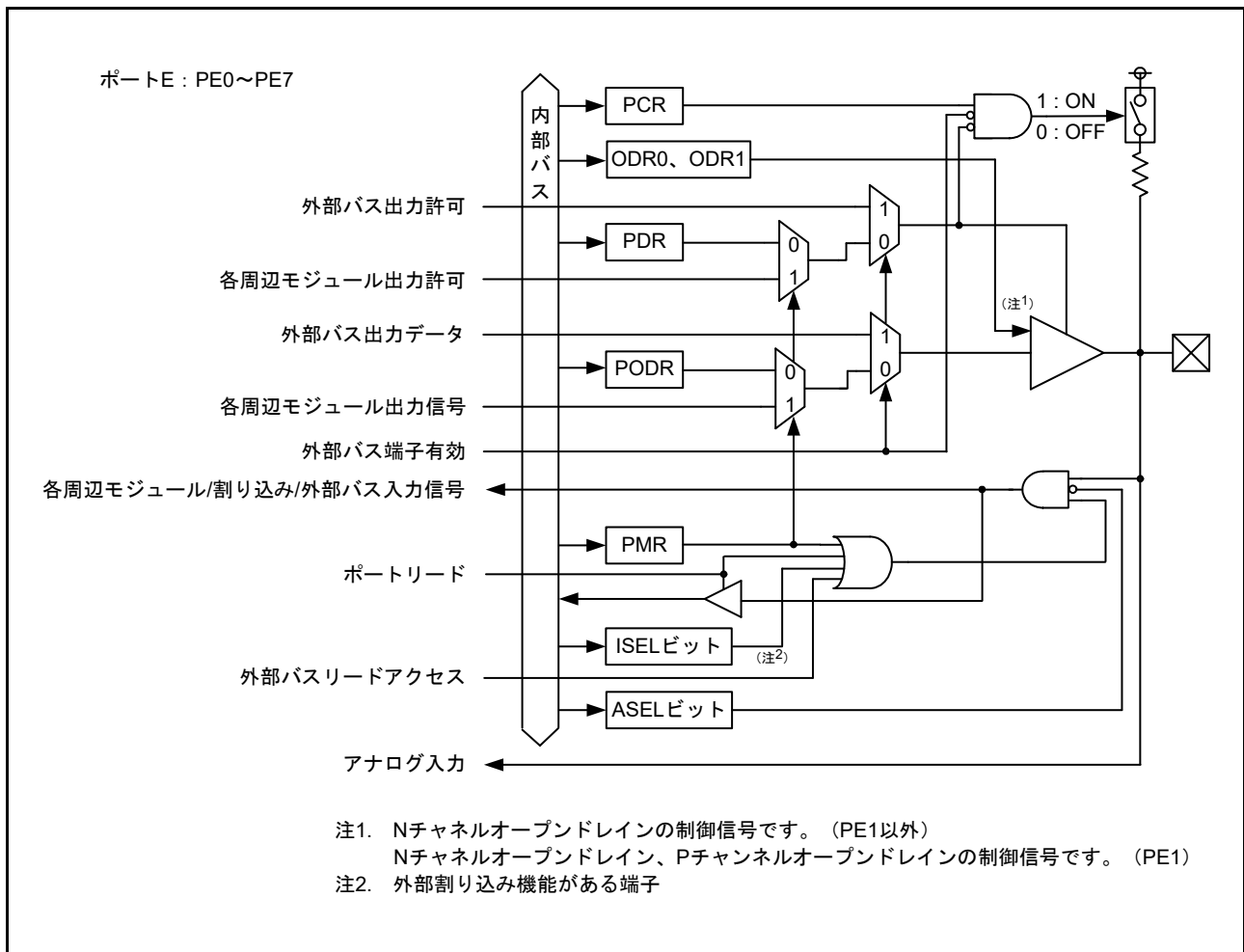


図 21.12 入出力ポートの構成 (12)

21.3 レジスタの説明

21.3.1 ポート方向レジスタ (PDR)

アドレス PORT0.PDR 0008 C000h, PORT1.PDR 0008 C001h, PORT2.PDR 0008 C002h, PORT3.PDR 0008 C003h, PORT4.PDR 0008 C004h, PORT5.PDR 0008 C005h, PORTA.PDR 0008 C00Ah, PORTB.PDR 0008 C00Bh, PORTC.PDR 0008 C00Ch, PORTD.PDR 0008 C00Dh, PORTE.PDR 0008 C00Eh, PORTH.PDR 0008 C011h, PORTJ.PDR 0008 C012h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0方向制御ビット	0: 入力 (入力ポートとして機能) 1: 出力 (出力ポートとして機能)	R/W
b1	B1	Pm1方向制御ビット		R/W
b2	B2	Pm2方向制御ビット		R/W
b3	B3	Pm3方向制御ビット		R/W
b4	B4	Pm4方向制御ビット		R/W
b5	B5	Pm5方向制御ビット		R/W
b6	B6	Pm6方向制御ビット		R/W
b7	B7	Pm7方向制御ビット		R/W

m = 0 ~ 5, A ~ E, H, J

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

PORTm.PDR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

存在しないポート m の端子に対応している PDR レジスタの各ビットは予約ビットです。「21.4 ポート方向レジスタ (PDR) の初期化」に従って、設定してください。

P35 端子は入力専用のため、PORT3.PDR.B5 ビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

21.3.2 ポート出力データレジスタ (PODR)

アドレス PORT0.PODR 0008 C020h, PORT1.PODR 0008 C021h, PORT2.PODR 0008 C022h, PORT3.PODR 0008 C023h, PORT4.PODR 0008 C024h, PORT5.PODR 0008 C025h, PORTA.PODR 0008 C02Ah, PORTB.PODR 0008 C02Bh, PORTC.PODR 0008 C02Ch, PORTD.PODR 0008 C02Dh, PORTE.PODR 0008 C02Eh, PORTH.PODR 0008 C031h, PORTJ.PODR 0008 C032h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m = 0 ~ 5, A ~ E, H, J

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

100ピン未満のピン数の製品については、100ピンに対して存在しないポート m の端子のビットは予約ビットです。“0”を書いてください。

P35 端子は入力専用のため、PORT3.PODR.B5 ビットは予約ビットです。また、存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

21.3.3 ポート入力データレジスタ (PIDR)

アドレス PORT0.PIDR 0008 C040h, PORT1.PIDR 0008 C041h, PORT2.PIDR 0008 C042h, PORT3.PIDR 0008 C043h, PORT4.PIDR 0008 C044h, PORT5.PIDR 0008 C045h, PORTA.PIDR 0008 C04Ah, PORTB.PIDR 0008 C04Bh, PORTC.PIDR 0008 C04Ch, PORTD.PIDR 0008 C04Dh, PORTE.PIDR 0008 C04Eh, PORTH.PIDR 0008 C051h, PORTJ.PIDR 0008 C052h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 x x x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0ビット	ポートの端子状態を反映	R
b1	B1	Pm1ビット		R
b2	B2	Pm2ビット		R
b3	B3	Pm3ビット		R
b4	B4	Pm4ビット		R
b5	B5	Pm5ビット		R
b6	B6	Pm6ビット		R
b7	B7	Pm7ビット		R

m = 0 ~ 5, A ~ E, H, J

PIDR レジスタは、ポートの端子の状態を反映するレジスタです。

PORTm.PIDR レジスタを読むと、PORTm.PDR レジスタ、PORTm.PMR の値に関係なく端子の状態が読めます。

P35 は NMI 端子の状態が読み出されます。

存在しない端子のビットは予約ビットです。予約ビットは、読んだ場合、その値は不定です。書き込みは無効になります。

注 . P36、P37 を汎用入出力ポートとして使用する場合、MOSCCR.MOSTP ビットに“1”（メインクロック発振停止）、かつ PORT3.PMR レジスタの P36 制御ビット、P37 制御ビットに“0”（汎用ポートとして使用）を設定してください。

21.3.4 ポートモードレジスタ (PMR)

アドレス PORT0.PMR 0008 C060h, PORT1.PMR 0008 C061h, PORT2.PMR 0008 C062h, PORT3.PMR 0008 C063h, PORT4.PMR 0008 C064h, PORT5.PMR 0008 C065h, PORTA.PMR 0008 C06Ah, PORTB.PMR 0008 C06Bh, PORTC.PMR 0008 C06Ch, PORTD.PMR 0008 C06Dh, PORTE.PMR 0008 C06Eh, PORTH.PMR 0008 C071h, PORTJ.PMR 0008 C072h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 端子モード制御ビット	0 : 汎用入出力ポートとして使用 1 : 周辺機能として使用	R/W
b1	B1	Pm1 端子モード制御ビット		R/W
b2	B2	Pm2 端子モード制御ビット		R/W
b3	B3	Pm3 端子モード制御ビット		R/W
b4	B4	Pm4 端子モード制御ビット		R/W
b5	B5	Pm5 端子モード制御ビット		R/W
b6	B6	Pm6 端子モード制御ビット		R/W
b7	B7	Pm7 端子モード制御ビット		R/W

m = 0 ~ 5, A ~ E, H, J

PORTm.PMR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

100 ピン未満のピン数の製品については、100 ピンに対して存在しないポート m の端子のビットは予約ビットです。書く場合は、“0”を書いてください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

21.3.5 オープンドレイン制御レジスタ 0 (ODR0)

アドレス PORT1.ODR0 0008 C082h, PORT2.ODR0 0008 C084h, PORT3.ODR0 0008 C086h, PORT5.ODR0 0008 C08Ah,
 PORTA.ODR0 0008 C094h, PORTB.ODR0 0008 C096h, PORTC.ODR0 0008 C098h, PORTE.ODR0 0008 C09Ch,
 PORTJ.ODR0 0008 C0A4h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	B1	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	B2	Pm1出力形態指定ビット	<ul style="list-style-type: none"> • P21, P31, P51, PA1, PB1, PC1 b2 0 : CMOS出力 1 : Nチャネルオープンドレイン b3 読むと“0”が読めます。書く場合、“0”としてください <ul style="list-style-type: none"> • PE1 b3 b2 0 0 : CMOS出力 0 1 : Nチャネルオープンドレイン 1 0 : Pチャネルオープンドレイン 1 1 : Hi-Z	R/W
b3	B3			R/W
b4	B4	Pm2出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b5	B5	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm3出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b7	B7	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 1 ~ 3, 5, A ~ C, E, J

100ピン未満のピン数の製品については、100ピンに対して存在しないポート m の端子のビットは予約ビットです。書く場合は、“0”を書いてください。

存在しない端子やオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

21.3.6 オープンドレイン制御レジスタ 1 (ODR1)

アドレス PORT1.ODR1 0008 C083h, PORT2.ODR1 0008 C085h, PORT3.ODR1 0008 C087h, PORT5.ODR1 0008 C08Bh,
 PORTA.ODR1 0008 C095h, PORTB.ODR1 0008 C097h, PORTC.ODR1 0008 C099h, PORTE.ODR1 0008 C09Dh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm4出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	B1	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	B2	Pm5出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b3	B3	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	B4	Pm6出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b5	B5	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm7出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b7	B7	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 1 ~ 3, 5, A ~ C, E

100ピン未満のピン数の製品については、100ピンに対して存在しないポート m の端子のビットは予約ビットです。書く場合は、“0”を書いてください。

P35端子は入力専用のため、PORT3.ODR1.B2ビットは予約ビットです。存在しない端子やオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めず。書く場合、“0”としてください。

21.3.7 プルアップ制御レジスタ (PCR)

アドレス PORT0.PCR 0008 C0C0h, PORT1.PCR 0008 C0C1h, PORT2.PCR 0008 C0C2h, PORT3.PCR 0008 C0C3h, PORT4.PCR 0008 C0C4h, PORT5.PCR 0008 C0C5h, PORTA.PCR 0008 C0CAh, PORTB.PCR 0008 C0CBh, PORTC.PCR 0008 C0CCh, PORTD.PCR 0008 C0CDh, PORTE.PCR 0008 C0CEh, PORTH.PCR 0008 C0D1h, PORTJ.PCR 0008 C0D2h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0入力プルアップ抵抗制御ビット	0 : 入力プルアップ抵抗無効 1 : 入力プルアップ抵抗有効	R/W
b1	B1	Pm1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pm2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pm3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pm4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pm5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pm6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pm7入力プルアップ抵抗制御ビット		R/W

m = 0 ~ 5, A ~ E, H, J

端子が入力状態のとき、PORTm.PCR レジスタが“1”のビットに対応する端子の入力プルアップ抵抗が有効になります。

WAIT# 端子を除く外部バス端子、汎用ポート出力、周辺機能出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。

リセット中もプルアップ抵抗は無効になります。

PORT3.PCR.B5 ビットは予約ビットです。また、存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

21.3.8 ポート切り替えレジスタ A (PSRA)

アドレス PORT.PSRA 0008 C121h

	b7	b6	b5	b4	b3	b2	b1	b0
	PSEL7	PSEL6	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSEL6	PB6/PC0切り替えビット	0 : PB6 汎用入出力ポート機能を選択 1 : PC0 汎用入出力ポート機能を選択	R/W
b7	PSEL7	PB7/PC1切り替えビット	0 : PB7 汎用入出力ポート機能を選択 1 : PC1 汎用入出力ポート機能を選択	R/W

注. PSRAレジスタは64ピンパッケージ製品用のレジスタです。

PSRAレジスタは、PB6、PB7の汎用入出力機能と、PC0、PC1の汎用入出力機能のどちらを使用するか選択します。PSEL6、PSEL7ビットに“1”を書き込むとPORTCを8ビットのポートとして使用することができます。

周辺機能の入出力機能は、PB6、PB7にマルチプレクスされた機能が有効となります。周辺機能を有効にする場合は、PORTB.PMRレジスタで対応する端子モード制御ビットに“1”を書き込んでください。

本レジスタの書き換えは、該当端子のPMRレジスタ、PDRレジスタ、PCRレジスタが“0”の状態で行ってください。

21.3.9 ポート切り替えレジスタ B (PSRB)

アドレス PORT.PSRB 0008 C120h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PSEL5	—	PSEL3	—	PSEL1	PSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PSEL0	PB0/PC0切り替えビット	0 : PB0 汎用入出力ポート機能を選択 1 : PC0 汎用入出力ポート機能を選択	R/W
b1	PSEL1	PB1/PC1切り替えビット	0 : PB1 汎用入出力ポート機能を選択 1 : PC1 汎用入出力ポート機能を選択	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	PSEL3	PB3/PC2切り替えビット	0 : PB3 汎用入出力ポート機能を選択 1 : PC2 汎用入出力ポート機能を選択	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PSEL5	PB5/PC3切り替えビット	0 : PB5 汎用入出力ポート機能を選択 1 : PC3 汎用入出力ポート機能を選択	R/W
b6-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. PSRBレジスタは48ピンパッケージ製品用のレジスタです。

PSRBレジスタは、PB5、PB3、PB1、PB0の汎用入出力機能と、PC3、PC2、PC1、PC0の汎用入出力機能のどちらを使用するか選択します。PSEL5、PSEL3、PSEL1、PSEL0ビットに“1”を書き込むとPORTCを8ビットのポートとして使用することができます。

周辺機能の入出力機能は、PB0、PB1、PB3、PB5にマルチプレクスされた機能が有効となります。周辺機能を有効にする場合は、PORTB.PMRレジスタで対応する端子モード制御ビットに“1”を書き込んでください。

本レジスタの書き換えは、該当端子のPMRレジスタ、PDRレジスタ、PCRレジスタが“0”の状態で行ってください。

21.3.10 駆動能力制御レジスタ (DSCR)

アドレス PORT1.DSCR 0008 C0E1h, PORT2.DSCR 0008 C0E2h, PORT3.DSCR 0008 C0E3h, PORT5.DSCR 0008 C0E5h, PORTA.DSCR 0008 C0EAh, PORTB.DSCR 0008 C0EBh, PORTC.DSCR 0008 C0ECh, PORTD.DSCR 0008 C0EDh, PORTE.DSCR 0008 C0EEh, PORTH.DSCR 0008 C0F1h, PORTJ.DSCR 0008 C0F2h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 駆動能力制御ビット	0 : 通常出力 1 : 高駆動出力	R/W
b1	B1	Pm1 駆動能力制御ビット		R/W
b2	B2	Pm2 駆動能力制御ビット		R/W
b3	B3	Pm3 駆動能力制御ビット		R/W
b4	B4	Pm4 駆動能力制御ビット		R/W
b5	B5	Pm5 駆動能力制御ビット		R/W
b6	B6	Pm6 駆動能力制御ビット		R/W
b7	B7	Pm7 駆動能力制御ビット		R/W

m = 1 ~ 3, 5, A ~ E, H, J

駆動能力が固定されている端子の当該ビットは、読み出し / 書き込み可能ですが、駆動能力の切り替えはできません。

高駆動出力を選択した場合、標準出力を選択した場合に比べてスイッチングノイズが増えます。高駆動能力を選択する場合は、近隣端子にノイズによる影響がないか十分に評価してください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

21.4 ポート方向レジスタ (PDR) の初期化

PDR レジスタの予約ビットは、表 21.3 ～表 21.5 を参照して初期化してください。

- 表 21.3 ～表 21.5 の空欄は、「表 21.1 I/O ポートの仕様」に記載されている端子に対応するビットです。使用するシステムに応じて“1”（出力）か“0”（入力）を設定してください。ただし、入力専用である P35 端子の PORT3.PDR.B5 ビットは予約ビットです。このビットには“0”（入力）を設定してください。
- 表 21.3 ～表 21.5 の空欄以外は、予約ビットです。予約ビットには表 21.3 ～表 21.5 に従って“0”（入力）または“1”（出力）を設定ください。予約ビットを設定する場合は、バイト単位でアクセスしてください。

表21.3 100ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0		1		1		1	1	1
PORT1							1	1
PORT2								
PORT3			0					
PORT4								
PORT5	1	1						
PORTA								
PORTB								
PORTC								
PORTD								
PORTE								
PORTH (注1)	1	1	1	1				
PORTJ	1	1	1	1		1	1	1

注1. RX230グループの製品のみ設定が必要です。RX231グループの製品では設定する必要はありません。

表21.4 64ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	1	1		1		1	1	1
PORT1					1	1	1	1
PORT2			1	1	1	1	1	1
PORT3			0	1	1	1		
PORT4	1		1					
PORT5	1	1			1	1	1	1
PORTA	1		1			1		
PORTB				1		1		
PORTC							1	1
PORTD	1	1	1	1	1	1	1	1
PORTE	1	1						
PORTH (注1)	1	1	1	1				
PORTJ	1	1	1	1	1	1	1	1

注1. RX230グループの製品のみ設定が必要です。RX231グループの製品では設定する必要はありません。

表 21.5 48ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	1	1	1	1	1	1	1	1
PORT1					1	1	1	1
PORT2			1	1	1	1	1	1
PORT3			0	1	1	1		
PORT4	1		1	1	1			
PORT5	1	1	1	1	1	1	1	1
PORTA	1		1			1		1
PORTB	1	1		1		1		
PORTC					1	1	1	1
PORTD	1	1	1	1	1	1	1	1
PORTE	1	1	1					1
PORTH (注1)	1	1	1	1				
PORTJ	1	1	1	1	1	1	1	1

注1. RX230グループの製品のみ設定が必要です。RX231グループの製品では設定する必要はありません。

21.5 未使用端子の処理

表 21.6 に未使用端子の処理内容を示します。

表21.6 未使用端子の処理内容

端子名	処理内容
MD	(モード端子として使用)
RES#	抵抗を介してVCCに接続 (プルアップ)
P35/NMI	抵抗を介してVCCに接続 (プルアップ)
USB0_DM、 USB0_DP	端子を開放
P36/EXTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1” (汎用ポートP36) に設定 ポートP36としても使用しない場合は、ポート0~5の処理と同様
P37/XTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1” (汎用ポートP37) に設定 ポートP37としても使用しない場合は、ポート0~5の処理と同様 EXTAL端子に外部クロックを入力する場合は、端子を開放
XCIN	抵抗を介してVSSに接続 (プルダウン)
XCOU	端子を開放
ポート1~3、5、 ポートA~E、H、J	<ul style="list-style-type: none"> • 入力に設定 (PORTn.PDRビット=0) し、1端子ごとに抵抗を介してVCCに接続 (プルアップ)、または1端子ごとに抵抗を介してVSSに接続 (プルダウン) (注1) • 出力に設定 (PORTn.PDRビット=1) し、端子を開放 (注1、注2)
ポート0、4	<ul style="list-style-type: none"> • 入力に設定 (PORTn.PDRビット=0) し、1端子ごとに抵抗を介してAVCC0に接続 (プルアップ)、または1端子ごとに抵抗を介してAVSS0に接続 (プルダウン) • 出力に設定 (PORTn.PDRビット=1) し、端子を解放
VREFH0	AVCC0に接続
VREFL0	AVSS0に接続
VREFH	AVCC0に接続
VREFL	AVSS0に接続

注1. PORTn.PMRビットを“0”、およびPmnPFS.ISEL、ASELビットを“0”にしてください。

注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

22. マルチファンクションピンコントローラ (MPC)

22.1 概要

マルチファンクションピンコントローラ (MPC) は、周辺機能入出力、および割り込み入力信号を複数のポートから選択し割り付ける機能です。また、外部バス関連信号のポート割り付けも行います。

表 22.1 にマルチプル端子の割り当て端子一覧を示します。パッケージの違いによる端子の有無については、表内で○、×で示します。同一機能を複数端子で有効にすることは禁止です。

表 22.1 マルチプル端子の割り当て端子一覧 (1/11)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ		
				100ピン	64ピン	48ピン
割り込み		NMI (入力)	P35	○	○	○
割り込み	IRQ0	IRQ0 (入力)	P30	○	○	○
			PD0	○	×	×
			PH1 (注3)	○	○	○
	IRQ1	IRQ1 (入力)	P31	○	○	○
			PD1	○	×	×
			PH2 (注3)	○	○	○
	IRQ2	IRQ2 (入力)	P32	○	×	×
			P12	○	×	×
			PD2	○	×	×
	IRQ3	IRQ3 (入力)	P33	○	×	×
			P13	○	×	×
			PD3	○	×	×
	IRQ4	IRQ4 (入力)	PB1	○	○	○
			P14	○	○	○
			P34	○	×	×
			PD4	○	×	×
	IRQ5	IRQ5 (入力)	PA4	○	○	○
			P15	○	○	○
			PD5	○	×	×
			PE5	○	○	×
IRQ6	IRQ6 (入力)	PA3	○	○	○	
		P16	○	○	○	
		PD6	○	×	×	
		PE6	○	×	×	
IRQ7	IRQ7 (入力)	PE2	○	○	○	
		P17	○	○	○	
		PD7	○	×	×	
		PE7	○	×	×	
クロック発生回路		CLKOUT (出力)	PE3	○	○	○
			PE4	○	○	○
マルチファンクション タイマユニット2	MTU0	MTIOC0A (入出力)	P34	○	×	×
			PB3	○	○	○
		MTIOC0B (入出力)	P13	○	×	×
			P15	○	○	○
			PA1	○	○	○

表22.1 マルチプル端子の割り当て端子一覧 (2/11)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ		
				100ピン	64ピン	48ピン
マルチファンクション タイマユニット2	MTU0	MTIOC0C (入出力)	P32	○	×	×
			PB1	○	○	○
		MTIOC0D (入出力)	P33	○	×	×
			PA3	○	○	○
	MTU1	MTIOC1A (入出力)	P20	○	×	×
			PE4	○	○	○
		MTIOC1B (入出力)	P21	○	×	×
			PB5	○	○	○
	MTU2	MTIOC2A (入出力)	P26	○	○	○
			PB5	○	○	○
		MTIOC2B (入出力)	P27	○	○	○
			PE5	○	○	×
	MTU3	MTIOC3A (入出力)	P14	○	○	○
			P17	○	○	○
			PC1	○	×	×
			PC7	○	○	○
		MTIOC3B (入出力)	P17	○	○	○
			P22	○	×	×
			PB7	○	○	×
			PC5	○	○	○
		MTIOC3C (入出力)	P16	○	○	○
			PC0	○	×	×
			PC6	○	○	○
			PJ3	○	×	×
		MTIOC3D (入出力)	P16	○	○	○
			P23	○	×	×
			PB6	○	○	×
			PC4	○	○	○
	MTU4	MTIOC4A (入出力)	P24	○	×	×
			PA0	○	○	×
			PB3	○	○	○
			PE2	○	○	○
		MTIOC4B (入出力)	P30	○	○	○
			P54	○	○	×
			PC2	○	○	×
			PD1	○	×	×
			PE3	○	○	○
		MTIOC4C (入出力)	P25	○	×	×
			PB1	○	○	○
			PE1	○	○	○
	PE5		○	○	×	

表22.1 マルチプル端子の割り当て端子一覧 (3/11)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				100ピン	64ピン	48ピン	
マルチファンクション タイマユニット2	MTU4	MTIOC4D (入出力)	P31	○	○	○	
			P55	○	○	×	
			PC3	○	○	×	
			PD2	○	×	×	
			PE4	○	○	○	
	MTU5	MTIC5U (入力)	PA4	○	○	○	
			PD7	○	×	×	
		MTIC5V (入力)	PA6	○	○	○	
			PD6	○	×	×	
		MTIC5W (入力)	PB0	○	○	○	
			PD5	○	×	×	
	MTU	MTCLKA (入力)	P14	○	○	○	
			P24	○	×	×	
			PA4	○	○	○	
			PC6	○	○	○	
		MTCLKB (入力)	P15	○	○	○	
			P25	○	×	×	
			PA6	○	○	○	
			PC7	○	○	○	
		MTCLKC (入力)	P22	○	×	×	
			PA1	○	○	○	
			PC4	○	○	○	
		MTCLKD (入力)	P23	○	×	×	
			PA3	○	○	○	
PC5	○		○	○			
ポートアウトプット イネーブル2	POE0	POE0# (入力)	PC4	○	○	○	
			PD7	○	×	×	
	POE1	POE1# (入力)	PB5	○	○	○	
			PD6	○	×	×	
	POE2	POE2# (入力)	P34	○	×	×	
			PA6	○	○	○	
			PD5	○	×	×	
	POE3	POE3# (入力)	P33	○	×	×	
			PB3	○	○	○	
			PD4	○	×	×	
	POE8	POE8# (入力)	P17	○	○	○	
			P30	○	○	○	
			PD3	○	×	×	
			PE3	○	○	○	
	16ビットタイマパルス ユニット	TPU0	TIOCA0 (入出力)	PA0	○	○	×
			TIOCB0 (入出力)	P17	○	○	○
PA1				○	○	○	
TIOCC0 (入出力)			P32	○	×	×	
TIOCD0 (入出力)			P33	○	×	×	
			PA3	○	○	○	

表22.1 マルチプル端子の割り当て端子一覧 (4/11)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ		
				100ピン	64ピン	48ピン
16ビットタイマパルス ユニット	TPU1	TIOCA1 (入出力)	PA4	○	○	○
		TIOCB1 (入出力)	P16	○	○	○
			PA5	○	×	×
	TPU2	TIOCA2 (入出力)	PA6	○	○	○
		TIOCB2 (入出力)	P15	○	○	○
			PA7	○	×	×
	TPU3	TIOCA3 (入出力)	P21	○	×	×
			PB0	○	○	○
		TIOCB3 (入出力)	P20	○	×	×
			PB1	○	○	○
		TIOCC3 (入出力)	P22	○	×	×
			PB2	○	×	×
		TIOCD3 (入出力)	P23	○	×	×
	PB3		○	○	○	
	TPU4	TIOCA4 (入出力)	P25	○	×	×
			PB4	○	×	×
		TIOCB4 (入出力)	P24	○	×	×
	PB5		○	○	○	
	TPU5	TIOCA5 (入出力)	P13	○	×	×
			PB6	○	○	×
		TIOCB5 (入出力)	P14	○	○	○
	PB7		○	○	×	
	TPU	TCLKA (入力)	P14	○	○	○
			PC2	○	○	×
		TCLKB (入力)	P15	○	○	○
			PA3	○	○	○
			PC3	○	○	×
		TCLKC (入力)	P16	○	○	○
			PB2	○	×	×
			PC0	○	×	×
TCLKD (入力)		P17	○	○	○	
		PB3	○	○	○	
		PC1	○	×	×	
8ビットタイマ		TMR0	TMO0 (出力)	P22	○	×
	PB3			○	○	○
	PH1 (注3)			○	○	○
	TMCI0 (入力)	P21	○	×	×	
		PB1	○	○	○	
		PH3 (注3)	○	○	○	
	TMRI0 (入力)	P20	○	×	×	
PA4		○	○	○		
PH2 (注3)		○	○	○		

表22.1 マルチプル端子の割り当て端子一覧 (5/11)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ		
				100ピン	64ピン	48ピン
8ビットタイマ	TMR1	TMO1 (出力)	P17	○	○	○
			P26	○	○	○
		TMCI1 (入力)	P12	○	×	×
			P54	○	○	×
			PC4	○	○	○
		TMRI1 (入力)	P24	○	×	×
	PB5		○	○	○	
	TMR2	TMO2 (出力)	P16	○	○	○
			PC7	○	○	○
		TMCI2 (入力)	P15	○	○	○
			P31	○	○	○
			PC6	○	○	○
		TMRI2 (入力)	P14	○	○	○
	PC5		○	○	○	
	TMR3	TMO3 (出力)	P13	○	×	×
			P32	○	×	×
			P55	○	○	×
		TMCI3 (入力)	P27	○	○	○
			P34	○	×	×
			PA6	○	○	○
		TMRI3 (入力)	P30	○	○	○
P33			○	×	×	
シリアルコミュニケーション インタフェース	SCI0	RXD0 (入力) / SMISO0 (入出力) / SSCL0 (入出力)	P21	○	×	×
		TXD0 (出力) / SMOSI0 (入出力) / SSDA0 (入出力)	P20	○	×	×
		SCK0 (入出力)	P22	○	×	×
		CTS0# (入力) / RTS0# (出力) / SS0# (入力)	P23	○	×	×
	SCI1	RXD1 (入力) / SMISO1 (入出力) / SSCL1 (入出力)	P15	○	○	○
			P30	○	○	○
		TXD1 (出力) / SMOSI1 (入出力) / SSDA1 (入出力)	P16	○	○	○
			P26	○	○	○
		SCK1 (入出力)	P17	○	○	○
			P27	○	○	○
	CTS1# (入力) / RTS1# (出力) / SS1# (入力)	P14	○	○	○	
		P31	○	○	○	

表22.1 マルチプル端子の割り当て端子一覧 (6/11)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				100ピン	64ピン	48ピン	
シリアルコミュニケーション インターフェース	SCI5	RXD5 (入力) / SMISO5 (入出力) / SSCL5 (入出力)	PA2	○	×	×	
			PA3	○	○	○	
			PC2	○	○	×	
		TXD5 (出力) / SMOSI5 (入出力) / SSDA5 (入出力)	PA4	○	○	○	
			PC3	○	○	×	
		SCK5 (入出力)	PA1	○	○	○	
			PC1	○	×	×	
			PC4	○	○	○	
		CTS5# (入力) / RTS5# (出力) / SS5# (入力)	PA6	○	○	○	
			PC0	○	×	×	
		SCI6	RXD6 (入力) / SMISO6 (入出力) / SSCL6 (入出力)	P33	○	×	×
				PB0	○	○	○
	TXD6 (出力) / SMOSI6 (入出力) / SSDA6 (入出力)		P32	○	×	×	
			PB1	○	○	○	
	SCK6 (入出力)		P34	○	×	×	
			PB3	○	○	○	
	CTS6# (入力) / RTS6# (出力) / SS6# (入力)		PB2	○	×	×	
			PJ3	○	×	×	
	SCI8	RXD8 (入力) / SMISO8 (入出力) / SSCL8 (入出力)	PC6	○	○	○	
			PC7	○	○	○	
		SCK8 (入出力)	PC5	○	○	○	
			PC4	○	○	○	
	SCI9	RXD9 (入力) / SMISO9 (入出力) / SSCL9 (入出力)	PB6	○	○	×	
			PB7	○	○	×	
		SCK9 (入出力)	PB5	○	○	×	
			PB4	○	×	×	

表22.1 マルチプル端子の割り当て端子一覧 (7/11)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ		
				100ピン	64ピン	48ピン
シリアルコミュニケーション インターフェース	SCI12	RXD12 (入力) / SMISO12 (入出力) / SSCL12 (入出力) / RXDX12 (入力)	PE2	○	○	○ (ただし、 SMISO12機能 はありません)
		TXD12 (出力) / SMOSI12 (入出力) / SSDA12 (入出力) / TXDX12 (出力) / SIOX12 (入出力)	PE1	○	○	○ (ただし、 SMOSI12機能 はありません)
		SCK12 (入出力)	PE0	○	○	×
		CTS12# (入力) / RTS12# (出力) / SS12# (入力)	PE3	○	○	○ (ただし、 SS12#機能は ありません)
I ² Cバスインターフェース	IIC0	SCL (入出力)	P16	○	○	○
			P12	○	×	×
		SDA (入出力)	P17	○	○	○
			P13	○	×	×
シリアルペリフェラル インターフェース	RSPI0	RSPCKA (入出力)	PA5	○	×	×
			PB0	○	○	○
			PC5	○	○	○
		MOSIA (入出力)	P16	○	○	○
			PA6	○	○	○
			PC6	○	○	○
		MISOA (入出力)	P17	○	○	○
			PA7	○	×	×
			PC7	○	○	○
		SSLA0 (入出力)	PA4	○	○	○
			PC4	○	○	○
		SSLA1 (出力)	PA0	○	○	×
			PC0	○	×	×
		SSLA2 (出力)	PA1	○	○	○
			PC1	○	×	×
		SSLA3 (出力)	PA2	○	×	×
PC2	○		○	×		
リアルタイムクロック	RTCCOUT (出力)	P16	○	○	×	
		P32	○	×	×	
		RTCIC0 (入力) (注1)	P30	○	○	×
		RTCIC1 (入力) (注1)	P31	○	○	×
RTCIC2 (入力) (注1)	P32	○	×	×		
IrDAインターフェース	IRTXD5 (出力)	PA4	○	○	○	
		PC3	○	○	×	
	IRRXD5 (入力)	PA2	○	×	×	
		PA3	○	○	○	
PC2	○	○	×			

表22.1 マルチプル端子の割り当て端子一覧 (8/11)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ		
				100ピン	64ピン	48ピン
CANモジュール	CRXD0 (入力)	P15	○	○	○	
		P55	○	○	×	
	CTXD0 (出力)	P14	○	○	○	
		P54	○	○	×	
シリアルサウンドインタフェース	SSISCK0 (入出力)	P23	○	×	×	
		P31	○	○	○	
		PA1	○	○	○	
	SSIWS0 (入出力)	P21	○	×	×	
		P27	○	○	○	
		PA6	○	○	○	
	SSITXD0 (出力)	P17	○	○	○	
		PA4	○	○	○	
	SSIRXD0 (入力)	P20	○	×	×	
		P26	○	○	○	
		PA3	○	○	○	
	AUDIO_MCLK (入力)	P22	○	×	×	
		P30	○	○	○	
		PE3	○	○	○	
SDホストインタフェース	SDHI_CLK (出力)	PB1	○	○	×	
	SDHI_CMD (入出力)	PB0	○	○	×	
	SDHI_D0 (入出力)	PC3	○	○	×	
	SDHI_D1 (入出力)	PB6	○	○	×	
		PC4	○	○	×	
	SDHI_D2 (入出力)	PB7	○	○	×	
	SDHI_D3 (入出力)	PC2	○	○	×	
	SDHI_CD (入力)	PB5	○	○	×	
SDHI_WP (入力)	PB3	○	○	×		
USB2.0ホスト/ファンクションモジュール	USB0_VBUS (入力)	P16	○	○	○	
		PB5	○	○	○	
	USB0_EXICEN (出力)	P21	○	×	×	
		PC6	×	○	○	
	USB0_VBUSEN (出力)	P16	○	○	○	
		P24	○	×	×	
		P26	×	○	○	
		P32	○	×	×	
	USB0_OVRCURA (入力)	P14	○	○	○	
	USB0_OVRCURB (入力)	P16	○	○	○	
		P22	○	×	×	
USB0_ID (入力)	P20	○	×	×		
	PC5	×	○	○		

表22.1 マルチプル端子の割り当て端子一覧 (9/11)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				100ピン	64ピン	48ピン	
12ビットA/Dコンバータ		AN000 (入力) (注1)	P40	○	○	○	
		AN001 (入力) (注1)	P41	○	○	○	
		AN002 (入力) (注1)	P42	○	○	○	
		AN003 (入力) (注1)	P43	○	○	×	
		AN004 (入力) (注1)	P44	○	○	×	
		AN005 (入力) (注1)	P45	○	×	×	
		AN006 (入力) (注1)	P46	○	○	○	
		AN007 (入力) (注1)	P47	○	×	×	
		AN016 (入力) (注1)	PE0	○	○	×	
		AN017 (入力) (注1)	PE1	○	○	○	
		AN018 (入力) (注1)	PE2	○	○	○	
		AN019 (入力) (注1)	PE3	○	○	○	
		AN020 (入力) (注1)	PE4	○	○	○	
		AN021 (入力) (注1)	PE5	○	○	×	
		AN022 (入力) (注1)	PE6	○	×	×	
		AN023 (入力) (注1)	PE7	○	×	×	
		AN024 (入力)	PD0	○	×	×	
		AN025 (入力)	PD1	○	×	×	
		AN026 (入力)	PD2	○	×	×	
		AN027 (入力)	PD3	○	×	×	
		AN028 (入力)	PD4	○	×	×	
		AN029 (入力)	PD5	○	×	×	
		AN030 (入力)	PD6	○	×	×	
		AN031 (入力)	PD7	○	×	×	
		ADTRG0# (入力)	P07	○	×	×	
			P16	○	○	○	
			P25	○	×	×	
	D/Aコンバータ		DA0 (出力) (注1)	P03	○	○	×
			DA1 (出力) (注1)	P05	○	○	×
	クロック周波数精度測定回路		CACREF (入力)	PA0	○	○	×
				PC7	○	○	○
		PH0 (注3)		○	○	○	
LVD電圧検出入力		CMPA2 (入力) (注1)	PE4	○	○	○	

表22.1 マルチプル端子の割り当て端子一覧 (10/11)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ		
				100ピン	64ピン	48ピン
コンパレータB		CMPB0 (入力) (注1)	PE1	○	○	○
		CVREFB0 (入力) (注1)	PE2	○	○	○
		CMPB1 (入力) (注1)	PA3	○	○	○
		CVREFB1 (入力) (注1)	PA4	○	○	○
		CMPB2 (入力) (注1)	P15	○	○	○
		CVREFB2 (入力) (注1)	P14	○	○	○
		CMPB3 (入力) (注1)	P26	○	○	○
		CVREFB3 (入力) (注1)	P27	○	○	○
		CMPOB0 (出力)	PE5	○	○	×
		CMPOB1 (出力)	PB1	○	○	○
		CMPOB2 (出力)	P17	○	○	○
		CMPOB3 (出力)	P30	○	○	○
静電容量式タッチセンサ (CTSUS)		TSCAP (出力)	PC4	○	○	○
		TS0 (出力)	P34	○	×	×
		TS1 (出力)	P33	○	×	×
		TS2 (出力)	P27	○	○	○
		TS3 (出力)	P26	○	○	○
		TS4 (出力)	P25	○	×	×
		TS5 (出力)	P24	○	×	×
		TS6 (出力)	P23	○	×	×
		TS7 (出力)	P22	○	×	×
		TS8 (出力)	P21	○	×	×
		TS9 (出力)	P20	○	×	×
		TS12 (出力)	P15	○	○	○
		TS13 (出力)	P14	○	○	○
		TS15 (出力)	P55	○	○	×
		TS16 (出力)	P54	○	○	×
		TS17 (出力)	P53	○	×	×
		TS18 (出力)	P52	○	×	×
		TS19 (出力)	P51	○	×	×
		TS20 (出力)	P50	○	×	×
		TS22 (出力)	PC6	○	○	○
	TS23 (出力)	PC5	○	○	○	
	TS27 (出力)	PC3	○	○	×	
	TS30 (出力)	PC2	○	○	×	
	TS33 (出力)	PC1	○	×	×	
	TS35 (出力)	PC0	○	×	×	

表22.1 マルチプル端子の割り当て端子一覧 (11/11)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ		
				100ピン	64ピン	48ピン
外部バス (注2)		CS0# (出力)	P24	○	×	×
			PC7	○	×	×
		CS1# (出力)	P25	○	×	×
			PC6	○	×	×
		CS2# (出力)	P26	○	×	×
			PC5	○	×	×
		CS3# (出力)	P27	○	×	×
			PC4	○	×	×
		A0~A7 (出力)	PA0~PA7	○	×	×
		A8~A15 (出力)	PB0~PB7	○	×	×
		A16~A23 (出力)	PC0~PC7	○	×	×
		D0~D7 (入出力)	PD0~PD7	○	×	×
		D8~D15 (入出力)	PE0~PE7	○	×	×
		BCLK (出力)	P53	○	×	×
		RD# (出力)	P52	○	×	×
		WR# (出力)	P50	○	×	×
		WR0# (出力)	P50	○	×	×
		WR1# (出力)	P51	○	×	×
		BC0# (出力)	PA0	○	×	×
		BC1# (出力)	P51	○	×	×
		WAIT# (入力)	P51	○	×	×
			P55	○	×	×
			PC5	○	×	×
ALE (出力)	P54	○	×	×		

注1. この端子機能を使用する場合は、該当端子の設定を汎用入力にしてください (PORT.PDR.BmビットおよびPORT.PMR.Bmビットを“0”にする)。

注2. 外部バスの設定については、「22.3 外部バスインタフェース設定方法」を参照してください。

注3. RX230のみ、当該端子を持っています。

22.2 レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書く場合は、リセット後の値を書いてください。

22.2.1 書き込みプロテクトレジスタ (PWPR)

アドレス 0008 C11Fh

b7	b6	b5	b4	b3	b2	b1	b0
B0WI	PFSWE	—	—	—	—	—	—

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PFSWE	PFSレジスタ書き込み許可ビット	0 : PFSレジスタへの書き込みを禁止 1 : PFSレジスタへの書き込みを許可	R/W
b7	B0WI	PFSWEビット書き込み禁止ビット	0 : PFSWEビットへの書き込みを許可 1 : PFSWEビットへの書き込みを禁止	R/W

PFSWE ビット (PFS レジスタ書き込み許可ビット)

PFSWE ビットを“1”にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。

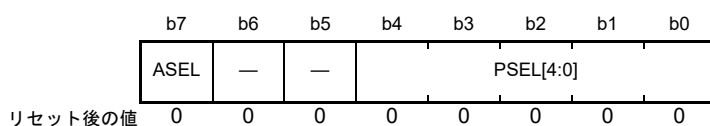
PFSWE ビットを“1”にする場合は、B0WI ビットに“0”を書いた後、PFSWE ビットを“1”にしてください。

B0WI ビット (PFSWE ビット書き込み禁止ビット)

B0WI ビットを“0”にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

22.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n = 3、5、7)

アドレス P03PFS 0008 C143h, P05PFS 0008 C145h, P07PFS 0008 C147h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P03 : DA0 (100/64ピン) P05 : DA1 (100/64ピン)	R/W

Pmn 端子機能制御レジスタ (PmnPFS) は、端子の機能を選択します。

PSEL[4:0] ビットで端子に割り付ける周辺機能を設定します。

ISEL ビットは、IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせても使用できます。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。ASEL ビットでアナログ端子として設定する場合、ポートモードレジスタ (PORTm.PMR) で汎用入出力ポートを選択し、ポート方向レジスタ (PORTm.PDR) で入力としてください。このとき、端子状態を読むことはできません。PmnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

IRQn 機能のない端子の ISEL ビットは予約です。アナログ入出力機能のない端子の ASEL ビットは予約です。

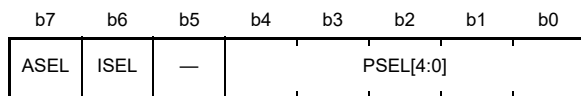
表22.2 100ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子		
	P03	P05	P07
00000b (初期値)		Hi-Z	
01001b	—	—	ADTRG0#

— : 設定しないでください。

22.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n = 2 ~ 7)

アドレス P12PFS 0008 C14Ah, P13PFS 0008 C14Bh, P14PFS 0008 C14Ch, P15PFS 0008 C14Dh, P16PFS 0008 C14Eh, P17PFS 0008 C14Fh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P12 : IRQ2 (100ピン) P13 : IRQ3 (100ピン) P14 : IRQ4 (100/64/48ピン) P15 : IRQ5 (100/64/48ピン) P16 : IRQ6 (100/64/48ピン) P17 : IRQ7 (100/64/48ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P14 : CVREFB2 (100/64/48ピン) P15 : CMPB2 (100/64/48ピン)	R/W

表22.3 100ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子					
	P12	P13	P14	P15	P16	P17
00000b (初期値)	Hi-Z					
00001b	—	MTIOC0B	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
00010b	—	—	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
00011b	—	TIOCA5	TIOCB5	TIOCB2	TIOCB1	TIOCB0
00100b	—	—	TCLKA	TCLKB	TCLKC	TCLKD
00101b	TMCI1	TMO3	TMRI2	TMCI2	TMO2	TMO1
00111b	—	—	—	—	RTCOUT	POE8#
01001b	—	—	—	—	ADTRG0#	—
01010b	—	—	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	—	—	CTS1# RTS1# SS1#	—	—	—
01101b	—	—	—	—	MOSIA	MISOA
01111b	SCL	SDA	—	—	SCL	SDA
10000b	—	—	CTXD0	CRXD0	—	CMPOB2
10001b	—	—	USB0_OVRCURA	—	USB0_VBUS	—
10010b	—	—	—	—	USB0_VBUSEN	—
10011b	—	—	—	—	USB0_OVRCURB	—
10111b	—	—	—	—	—	SSITXD0
11001b	—	—	TS13	TS12	—	—

— : 設定しないでください。

表22.4 64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	P14	P15	P16	P17
00000b (初期値)	Hi-Z			
00001b	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
00010b	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
00011b	TIOCB5	TIOCB2	TIOCB1	TIOCB0
00100b	TCLKA	TCLKB	TCLKC	TCLKD
00101b	TMRI2	TMCi2	TMO2	TMO1
00111b	—	—	RTCOUT	POE8#
01001b	—	—	ADTRG0#	—
01010b	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	CTS1# RTS1# SS1#	—	—	—
01101b	—	—	MOSIA	MISOA
01111b	—	—	SCL	SDA
10000b	CTXD0	CRXD0	—	CMPOB2
10001b	USB0_OVRCURA	—	USB0_VBUS	—
10010b	—	—	USB0_VBUSEN	—
10011b	—	—	USB0_OVRCURB	—
10111b	—	—	—	SSITXD0
11001b	TS13	TS12	—	—

— : 設定しないでください。

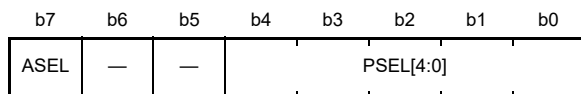
表22.5 48ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	P14	P15	P16	P17
00000b (初期値)	Hi-Z			
00001b	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
00010b	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
00011b	TIOCB5	TIOCB2	TIOCB1	TIOCB0
00100b	TCLKA	TCLKB	TCLKC	TCLKD
00101b	TMRI2	TMCi2	TMO2	TMO1
00111b	—	—	—	POE8#
01001b	—	—	ADTRG0#	—
01010b	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	CTS1# RTS1# SS1#	—	—	—
01101b	—	—	MOSIA	MISOA
01111b	—	—	SCL	SDA
10000b	CTXD0	CRXD0	—	CMPOB2
10001b	USB0_OVRCURA	—	USB0_VBUS	—
10010b	—	—	USB0_VBUSEN	—
10011b	—	—	USB0_OVRCURB	—
10111b	—	—	—	SSITXD0
11001b	TS13	TS12	—	—

— : 設定しないでください。

22.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ~ 7)

アドレス P20PFS 0008 C150h, P21PFS 0008 C151h, P22PFS 0008 C152h, P23PFS 0008 C153h, P24PFS 0008 C154h, P25PFS 0008 C155h, P26PFS 0008 C156h, P27PFS 0008 C157h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P26 : CMPB3 (100/64/48ピン) P27 : CVREFB3 (100/64/48ピン)	R/W

表 22.6 100ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子							
	P20	P21	P22	P23	P24	P25	P26	P27
00000b (初期値)	Hi-Z							
00001b	MTIOC1A	MTIOC1B	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	MTIOC2A	MTIOC2B
00010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB	—	—
00011b	TIOCB3	TIOCA3	TIOCC3	TIOCD3	TIOCB4	TIOCA4	—	—
00101b	TMRI0	TMC10	TMO0	—	TMRI1	—	TMO1	TMCI3
01001b	—	—	—	—	—	ADTRG0#	—	—
01010b	TXD0 SMOS10 SSDA0	RXD0 SMISO0 SSCL0	SCK0	—	—	—	TXD1 SMOS11 SSDA1	SCK1
01011b	—	—	—	CTS0# RTS0# SS0#	—	—	—	—
10001b	USB0_ID	USB0_EXICEN	USB0_OVRC URB	—	USB0_VBUS EN	—	—	—
10111b	SSIRXD0	SSIWS0	AUDIO_MCLK	SSISCK0	—	—	SSIRXD0	SSIWS0
11001b	TS9	TS8	TS7	TS6	TS5	TS4	TS3	TS2

— : 設定しないでください。

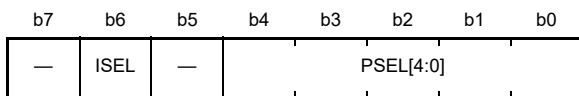
表 22.7 64ピン、48ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子	
	P26	P27
00000b (初期値)	Hi-Z	
00001b	MTIOC2A	MTIOC2B
00101b	TMO1	TMCI3
01010b	TXD1 SMOS11 SSDA1	SCK1
10001b	USB0_VBUSEN	—
10111b	SSIRXD0	SSIWS0
11001b	TS3	TS2

— : 設定しないでください。

22.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ~ 4)

アドレス P30PFS 0008 C158h, P31PFS 0008 C159h, P32PFS 0008 C15Ah, P33PFS 0008 C15Bh, P34PFS 0008 C15Ch



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P30: IRQ0 (100/64/48ピン) P31: IRQ1 (100/64/48ピン) P32: IRQ2 (100ピン) P33: IRQ3 (100ピン) P34: IRQ4 (100ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表22.8 100ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子				
	P30	P31	P32	P33	P34
00000b (初期値)	Hi-Z				
00001b	MTIOC4B	MTIOC4D	MTIOC0C	MTIOC0D	MTIOC0A
00011b	—	—	TIOCC0	TIOCD0	—
00101b	TMRI3	TMCi2	TMO3	TMRI3	TMCi3
00111b	POE8#	—	RTCOUT	POE3#	POE2#
01010b	RXD1 SMISO1 SSCL1	—	—	—	—
01011b	—	CTS1# RTS1# SS1#	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	SCK6
10000b	CMPOB3	—	—	—	—
10001b	—	—	USB0_VBUSEN	—	—
10111b	AUDIO_MCLK	SSISCK0	—	—	—
11001b	—	—	—	TS1	TS0

— : 設定しないでください。

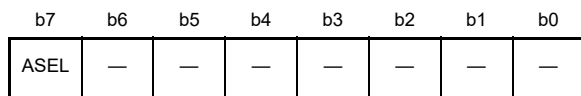
表22.9 64ピン、48ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子	
	P30	P31
00000b (初期値)	Hi-Z	
00001b	MTIOC4B	MTIOC4D
00101b	TMR13	TMCI2
00111b	POE8#	—
01010b	RXD1 SMISO1 SSCL1	—
01011b	—	CTS1# RTS1# SS1#
10000b	CMPOB3	—
10111b	AUDIO_MCLK	SSISCK0

— : 設定しないでください。

22.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 7)

アドレス P40PFS 0008 C160h, P41PFS 0008 C161h, P42PFS 0008 C162h, P43PFS 0008 C163h, P44PFS 0008 C164h, P45PFS 0008 C165h, P46PFS 0008 C166h, P47PFS 0008 C167h

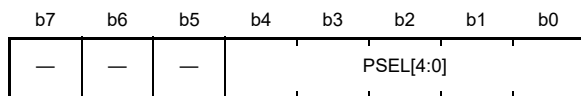


リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40 : AN000 (100/64/48ピン) P41 : AN001 (100/64/48ピン) P42 : AN002 (100/64/48ピン) P43 : AN003 (100/64ピン) P44 : AN004 (100/64ピン) P45 : AN005 (100ピン) P46 : AN006 (100/64/48ピン) P47 : AN007 (100ピン)	R/W

22.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ~ 5)

アドレス P50PFS 0008 C168h, P51PFS 0008 C169h, P52PFS 0008 C16Ah, P53PFS 0008 C16Bh, P54PFS 0008 C16Ch, P55PFS 0008 C16Dh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 22.10 100ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子					
	P50	P51	P52	P53	P54	P55
00000b (初期値)	Hi-Z					
00001b	—	—	—	—	MTIOC4B	MTIOC4D
00101b	—	—	—	—	TMCI1	TMO3
10000b	—	—	—	—	CTXD0	CRXD0
11001b	TS20	TS19	TS18	TS17	TS16	TS15

— : 設定しないでください。

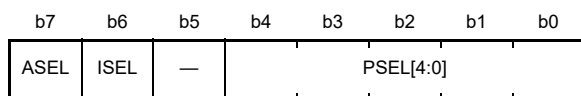
表 22.11 64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子	
	P54	P55
00000b (初期値)	Hi-Z	
00001b	MTIOC4B	MTIOC4D
00101b	TMCI1	TMO3
10000b	CTXD0	CRXD0
11001b	TS16	TS15

— : 設定しないでください。

22.2.8 PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ~ 7)

アドレス PA0PFS 0008 C190h, PA1PFS 0008 C191h, PA2PFS 0008 C192h, PA3PFS 0008 C193h, PA4PFS 0008 C194h, PA5PFS 0008 C195h, PA6PFS 0008 C196h, PA7PFS 0008 C197h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PA3: IRQ6 (100/64/48ピン) PA4: IRQ5 (100/64/48ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PA3 : CMPB1 (100/64/48ピン) PA4 : CVREFB1 (100/64/48ピン)	R/W

表22.12 100ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子							
	PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7
00000b (初期値)	Hi-Z							
00001b	MTIOC4A	MTIOC0B	—	MTIOC0D	MTIC5U	—	MTIC5V	—
00010b	—	MTCLKC	—	MTCLKD	MTCLKA	—	MTCLKB	—
00011b	TIOCA0	TIOCB0	—	TIOC0D	TIOCA1	TIOCB1	TIOCA2	TIOCB2
00100b	—	—	—	TCLKB	—	—	—	—
00101b	—	—	—	—	TMRI0	—	TMCI3	—
00111b	CACREF	—	—	—	—	—	POE2#	—
01010b	—	SCK5	RXD5 SMISO5 SSCL5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—	—	—
01011b	—	—	—	—	—	—	CTS5# RTS5# SS5#	—
01101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
10111b	—	SSISCK0	—	SSIRXD0	SSITXD0	—	SSIWS0	—

— : 設定しないでください。

表22.13 64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子				
	PA0	PA1	PA3	PA4	PA6
00000b (初期値)	Hi-Z				
00001b	MTIOC4A	MTIOC0B	MTIOC0D	MTIC5U	MTIC5V
00010b	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00011b	TIOCA0	TIOCB0	TIOCD0	TIOCA1	TIOCA2
00100b	—	—	TCLKB	—	—
00101b	—	—	—	TMRI0	TMCI3
00111b	CACREF	—	—	—	POE2#
01010b	—	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—
01011b	—	—	—	—	CTS5# RTS5# SS5#
01101b	SSLA1	SSLA2	—	SSLA0	MOSIA
10111b	—	SSISCK0	SSIRXD0	SSITXD0	SSIWS0

— : 設定しないでください。

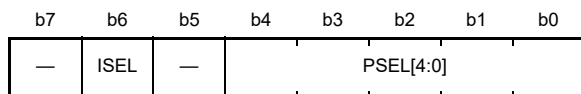
表22.14 48ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	PA1	PA3	PA4	PA6
00000b (初期値)	Hi-Z			
00001b	MTIOC0B	MTIOC0D	MTIC5U	MTIC5V
00010b	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00011b	TIOCB0	TIOCD0	TIOCA1	TIOCA2
00100b	—	TCLKB	—	—
00101b	—	—	TMRI0	TMCI3
00111b	—	—	—	POE2#
01010b	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—
01011b	—	—	—	CTS5# RTS5# SS5#
01101b	SSLA2	—	SSLA0	MOSIA
10111b	SSISCK0	SSIRXD0	SSITXD0	SSIWS0

— : 設定しないでください。

22.2.9 PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7)

アドレス PB0PFS 0008 C198h, PB1PFS 0008 C199h, PB2PFS 0008 C19Ah, PB3PFS 0008 C19Bh, PB4PFS 0008 C19Ch, PB5PFS 0008 C19Dh, PB6PFS 0008 C19Eh, PB7PFS 0008 C19Fh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PB1: IRQ4 (100/64/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表22.15 100ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
00000b (初期値)	Hi-Z							
00001b	MTIC5W	MTIOC0C	—	MTIOC0A	—	MTIOC2A	MTIOC3D	MTIOC3B
00010b	—	MTIOC4C	—	MTIOC4A	—	MTIOC1B	—	—
00011b	TIOCA3	TIOCB3	TIOCC3	TIOCD3	TIOCA4	TIOCB4	TIOCA5	TIOCB5
00100b	—	—	TCLKC	TCLKD	—	—	—	—
00101b	—	TMCI0	—	TMO0	—	TMR1	—	—
00111b	—	—	—	POE3#	—	POE1#	—	—
01010b	—	—	—	—	—	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
01011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	CTS6# RTS6# SS6#	SCK6	CTS9# RTS9# SS9#	—	—	—
01101b	RSPCKA	—	—	—	—	—	—	—
10000b	—	CMPOB1	—	—	—	—	—	—
10001b	—	—	—	—	—	USB0_VBUS	—	—
11010b	SDHI_CMD	SDHI_CLK	—	SDHI_WP	—	SDHI_CD	SDHI_D1	SDHI_D2

— : 設定しないでください。

表22.16 64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子					
	PB0	PB1	PB3	PB5	PB6	PB7
00000b (初期値)	Hi-Z					
00001b	MTIC5W	MTIOC0C	MTIOC0A	MTIOC2A	MTIOC3D	MTIOC3B
00010b	—	MTIOC4C	MTIOC4A	MTIOC1B	—	—
00011b	TIOCA3	TIOCB3	TIOCD3	TIOCB4	TIOCA5	TIOCB5
00100b	—	—	TCLKD	—	—	—
00101b	—	TMCIO	TMO0	TMR11	—	—
00111b	—	—	POE3#	POE1#	—	—
01010b	—	—	—	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
01011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	—	—	—
01101b	RSPCKA	—	—	—	—	—
10000b	—	CMPOB1	—	—	—	—
10001b	—	—	—	USB0_VBUS	—	—
11010b	SDHI_CMD	SDHI_CLK	SDHI_WP	SDHI_CD	SDHI_D1	SDHI_D2

— : 設定しないでください。

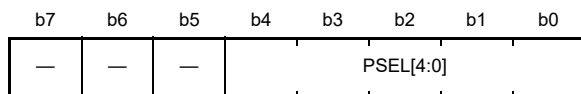
表22.17 48ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	PB0	PB1	PB3	PB5
00000b (初期値)	Hi-Z			
00001b	MTIC5W	MTIOC0C	MTIOC0A	MTIOC2A
00010b	—	MTIOC4C	MTIOC4A	MTIOC1B
00011b	TIOCA3	TIOCB3	TIOCD3	TIOCB4
00100b	—	—	TCLKD	—
00101b	—	TMCIO	TMO0	TMR11
00111b	—	—	POE3#	POE1#
01011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	—
01101b	RSPCKA	—	—	—
10000b	—	CMPOB1	—	—
10001b	—	—	—	USB0_VBUS

— : 設定しないでください。

22.2.10 PCn 端子機能制御レジスタ (PCnPFS) (n = 0 ~ 7)

アドレス PC0PFS 0008 C1A0h, PC1PFS 0008 C1A1h, PC2PFS 0008 C1A2h, PC3PFS 0008 C1A3h, PC4PFS 0008 C1A4h, PC5PFS 0008 C1A5h, PC6PFS 0008 C1A6h, PC7PFS 0008 C1A7h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 22.18 100ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子							
	PC0	PC1	PC2	PC3	PC4	PC5	PC6	PC7
00000b (初期値)	Hi-Z							
00001b	MTIOC3C	MTIOC3A	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
00010b	—	—	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00011b	TCLKC	TCLKD	TCLKA	TCLKB	—	—	—	—
00101b	—	—	—	—	TMC11	TMRI2	TMC12	TMO2
00111b	—	—	—	—	POE0#	—	—	CACREF
01010b	—	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
01011b	CTS5# RTS5# SS5#	—	—	—	CTS8# RTS8# SS8#	—	—	—
01101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
11001b	TS35	TS33	TS30	TS27	TSCAP	TS23	TS22	—
11010b	—	—	SDHI_D3	SDHI_D0	SDHI_D1	—	—	—

— : 設定しないでください。

表22.19 64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子					
	PC2	PC3	PC4	PC5	PC6	PC7
00000b (初期値)	Hi-Z					
00001b	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
00010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00011b	TCLKA	TCLKB	—	—	—	—
00101b	—	—	TMC11	TMRI2	TMC12	TMO2
00111b	—	—	POE0#	—	—	CACREF
01010b	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
01011b	—	—	CTS8# RTS8# SS8#	—	—	—
01101b	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
10001b	—	—	—	USB0_ID	USB0_EXICEN	—
11001b	TS30	TS27	TSCAP	TS23	TS22	—
11010b	SDHI_D3	SDHI_D0	SDHI_D1	—	—	—

— : 設定しないでください。

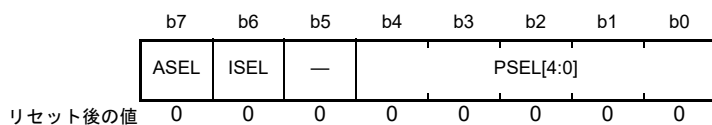
表22.20 48ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	PC4	PC5	PC6	PC7
00000b (初期値)	Hi-Z			
00001b	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
00010b	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00101b	TMC11	TMRI2	TMC12	TMO2
00111b	POE0#	—	—	CACREF
01010b	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
01011b	CTS8# RTS8# SS8#	—	—	—
01101b	SSLA0	RSPCKA	MOSIA	MISOA
10001b	—	USB0_ID	USB0_EXICEN	—
11001b	TSCAP	TS23	TS22	—

— : 設定しないでください。

22.2.11 PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ~ 7)

アドレス PD0PFS 0008 C1A8h, PD1PFS 0008 C1A9h, PD2PFS 0008 C1AAh, PD3PFS 0008 C1ABh, PD4PFS 0008 C1ACh, PD5PFS 0008 C1ADh, PD6PFS 0008 C1AEh, PD7PFS 0008 C1AFh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PD0: IRQ0 (100ピン) PD1: IRQ1 (100ピン) PD2: IRQ2 (100ピン) PD3: IRQ3 (100ピン) PD4: IRQ4 (100ピン) PD5: IRQ5 (100ピン) PD6: IRQ6 (100ピン) PD7: IRQ7 (100ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PD0 : AN024 (100ピン) PD1 : AN025 (100ピン) PD2 : AN026 (100ピン) PD3 : AN027 (100ピン) PD4 : AN028 (100ピン) PD5 : AN029 (100ピン) PD6 : AN030 (100ピン) PD7 : AN031 (100ピン)	R/W

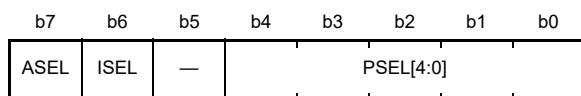
表22.21 100ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子						
	PD1	PD2	PD3	PD4	PD5	PD6	PD7
00000b (初期値)	Hi-Z						
00001b	MTIOC4B	MTIOC4D	—	—	MTIC5W	MTIC5V	MTIC5U
00111b	—	—	POE8#	POE3#	POE2#	POE1#	POE0#

— : 設定しないでください。

22.2.12 PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 7)

アドレス PE0PFS 0008 C1B0h, PE1PFS 0008 C1B1h, PE2PFS 0008 C1B2h, PE3PFS 0008 C1B3h, PE4PFS 0008 C1B4h, PE5PFS 0008 C1B5h, PE6PFS 0008 C1B6h, PE7PFS 0008 C1B7h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PE2: IRQ7 (100/64/48ピン) PE5: IRQ5 (100/64ピン) PE6: IRQ6 (100ピン) PE7: IRQ7 (100ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PE0 : AN016 (100/64ピン) PE1 : AN017、CMPB0 (100/64/48ピン) PE2 : AN018、CVREFB0 (100/64/48ピン) PE3 : AN019 (100/64/48ピン) PE4 : AN020 (100/64/48ピン) PE5 : AN021 (100/64ピン) PE6 : AN022 (100ピン) PE7 : AN023 (100ピン)	R/W

表 22.22 100ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子						
	PE0	PE1	PE2	PE3	PE4	PE5	PE6
00000b (初期値)	Hi-Z						
00001b	—	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D	MTIOC4C	—
00010b	—	—	—	—	MTIOC1A	MTIOC2B	—
00111b	—	—	—	POE8#	—	—	—
01001b	—	—	—	CLKOUT	CLKOUT	—	—
01100b	SCK12	TXD12 TXDX12 SIOX12 SMOSI12 SSDA12	RXD12 RXDX12 SMISO12 SSCL12	CTS12# RTS12# SS12#	—	—	—
10000b	—	—	—	—	—	CMPOB0	—
10111b	—	—	—	AUDIO_MCLK	—	—	—

— : 設定しないでください。

表22.23 64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子					
	PE0	PE1	PE2	PE3	PE4	PE5
00000b (初期値)	Hi-Z					
00001b	—	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D	MTIOC4C
00010b	—	—	—	—	MTIOC1A	MTIOC2B
00111b	—	—	—	POE8#	—	—
01001b	—	—	—	CLKOUT	CLKOUT	—
01100b	SCK12	TXD12 TXDX12 SIOX12 SMOSI12 SSDA12	RXD12 RXDX12 SMISO12 SSCL12	CTS12# RTS12# SS12#	—	—
10000b	—	—	—	—	—	CMPOB0
10111b	—	—	—	AUDIO_MCLK	—	—

— : 設定しないでください。

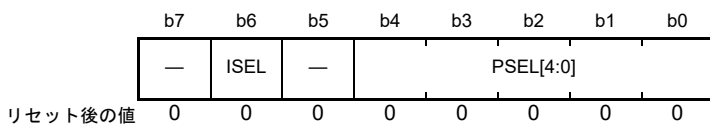
表22.24 48ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	PE1	PE2	PE3	PE4
00000b (初期値)	Hi-Z			
00001b	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D
00010b	—	—	—	MTIOC1A
00111b	—	—	POE8#	—
01001b	—	—	CLKOUT	CLKOUT
01100b	TXD12 TXDX12 SIOX12 SSDA12	RXD12 RXDX12 SSCL12	CTS12# RTS12#	—
10111b	—	—	AUDIO_MCLK	—

— : 設定しないでください。

22.2.13 PHn 端子機能制御レジスタ (PHnPFS) (n = 0 ~ 3)

アドレス PH0PFS 0008 C1C8h, PH1PFS 0008 C1C9h, PH2PFS 0008 C1CAh, PH3PFS 0008 C1CBh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PH1: IRQ0 (100/64/48ピン) PH2: IRQ1 (100/64/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

本レジスタはRX230グループにのみ搭載しています。

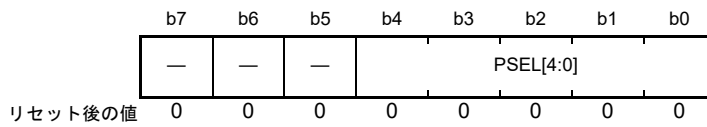
表22.25 100ピン、64ピン、48ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	PH0	PH1	PH2	PH3
00000b (初期値)	Hi-Z			
00101b	—	TMO0	TMRI0	TMCI0
00111b	CACREF	—	—	—

— : 設定しないでください。

22.2.14 PJn 端子機能制御レジスタ (PJnPFS) (n = 3)

アドレス 0008 C1D3h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表22.26 100ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子
	PJ3
00000b (初期値)	Hi-Z
00001b	MTIOC3C
01011b	CTS6# RTS6# SS6#

22.2.15 CS 出力許可レジスタ (PFCSE)

アドレス 0008 C100h

b7	b6	b5	b4	b3	b2	b1	b0
CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CS0E	PC7のCS0許可ビット	0: PC7をI/Oポートとして設定 1: PC7をCS0#信号として設定	R/W
b1	CS1E	PC6のCS1許可ビット	0: PC6をI/Oポートとして設定 1: PC6をCS1#信号として設定	R/W
b2	CS2E	P26のCS2許可ビット	0: P26をI/Oポートとして設定 1: P26をCS2#信号として設定	R/W
b3	CS3E	P27のCS3許可ビット	0: P27をI/Oポートとして設定 1: P27をCS3#信号として設定	R/W
b4	CS4E	P24のCS0許可ビット	0: P24をI/Oポートとして設定 1: P24をCS0#信号として設定	R/W
b5	CS5E	P25のCS1許可ビット	0: P25をI/Oポートとして設定 1: P25をCS1#信号として設定	R/W
b6	CS6E	PC5のCS2許可ビット	0: PC5をI/Oポートとして設定 1: PC5をCS2#信号として設定	R/W
b7	CS7E	PC4のCS3許可ビット	0: PC4をI/Oポートとして設定 1: PC4をCS3#信号として設定	R/W

PFCSE レジスタは、CSn# (n = 0 ~ 3) 出力を許可 / 禁止を選択するレジスタです。

CSn 信号を出力する場合には、PFCSE レジスタを設定後にシステムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にしてください。SYSCR0.EXBE ビットについては、「3.2.2 システムコントロールレジスタ 0 (SYSCR0)」を参照してください。

表 22.27 に PC5 の CS2# 出力と WAIT# 入力の設定方法を示します。

表22.27 PC5のCS2#出力とWAIT#入力の設定方法

外部バス許可ビット (SYSCR0.EXBE) 有効		外部バス制御レジスタ 1 (PFBCR1) WAITS[1:0]ビット	
		10	左記以外
CS 出力許可レジスタ (PFCSE) CS6E ビット	1	(注1)	CS2# (出力)
	0	WAIT# (入力)	(注2)

注1. 設定しないでください。

注2. 汎用ポートと周辺モジュールの切り換えができます。

22.2.16 アドレス出力許可レジスタ 0 (PFAOE0)

アドレス 0008 C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	A15E	A14E	A13E	A12E	A11E	A10E	A9E	A8E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	A8E	アドレスA8出力許可ビット	0 : A8出力禁止 1 : A8出力許可	R/W
b1	A9E	アドレスA9出力許可ビット	0 : A9出力禁止 1 : A9出力許可	R/W
b2	A10E	アドレスA10出力許可ビット	0 : A10出力禁止 1 : A10出力許可	R/W
b3	A11E	アドレスA11出力許可ビット	0 : A11出力禁止 1 : A11出力許可	R/W
b4	A12E	アドレスA12出力許可ビット	0 : A12出力禁止 1 : A12出力許可	R/W
b5	A13E	アドレスA13出力許可ビット	0 : A13出力禁止 1 : A13出力許可	R/W
b6	A14E	アドレスA14出力許可ビット	0 : A14出力禁止 1 : A14出力許可	R/W
b7	A15E	アドレスA15出力許可ビット	0 : A15出力禁止 1 : A15出力許可	R/W

PFAOE0 レジスタは、アドレス出力の許可 / 禁止を選択するレジスタです。

AnE ビット (アドレス An 出力許可ビット) (n = 8 ~ 15)

アドレス出力 (An) の出力許可 / 禁止を選択します。

An 信号を出力する場合には、PFAOE0 レジスタを設定後にシステムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にしてください。SYSCR0.EXBE ビットについては、「3.2.2 システムコントロールレジスタ 0 (SYSCR0)」を参照してください。

22.2.17 アドレス出力許可レジスタ 1 (PFAOE1)

アドレス 0008 C105h

	b7	b6	b5	b4	b3	b2	b1	b0
	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	A16E	アドレスA16出力許可ビット	0 : A16出力禁止 1 : A16出力許可	R/W
b1	A17E	アドレスA17出力許可ビット	0 : A17出力禁止 1 : A17出力許可	R/W
b2	A18E	アドレスA18出力許可ビット	0 : A18出力禁止 1 : A18出力許可	R/W
b3	A19E	アドレスA19出力許可ビット	0 : A19出力禁止 1 : A19出力許可	R/W
b4	A20E	アドレスA20出力許可ビット	0 : A20出力禁止 1 : A20出力許可	R/W
b5	A21E	アドレスA21出力許可ビット	0 : A21出力禁止 1 : A21出力許可	R/W
b6	A22E	アドレスA22出力許可ビット	0 : A22出力禁止 1 : A22出力許可	R/W
b7	A23E	アドレスA23出力許可ビット	0 : A23出力禁止 1 : A23出力許可	R/W

PFAOE1 レジスタは、アドレス出力の許可 / 禁止を選択するレジスタです。

AnE ビット (アドレス An 出力許可ビット) (n = 16 ~ 23)

アドレス出力 (An) の出力許可 / 禁止を選択します。

An 信号を出力する場合には、PFAOE1 レジスタを設定後にシステムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にしてください。SYSCR0.EXBE ビットについては、「3.2.2 システムコントロールレジスタ 0 (SYSCR0)」を参照してください。

22.2.18 外部バス制御レジスタ 0 (PFBCR0)

アドレス 0008 C106h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	WR1B C1E	—	DHE	—	—	—	ADRLE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADRLE	A0～A7出力許可ビット	0 : PA0～PA7をI/Oポートとして設定 1 : PA0～PA7を外部アドレスバスA0～A7として設定	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DHE	D8～D15出力許可ビット	0 : PE0～PE7をI/Oポートとして設定 1 : PE0～PE7を外部データバスD8～D15として設定	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	WR1BC1E	WR1#/BC1#出力許可ビット	0 : P51をI/Oポートとして設定 1 : P51をWR1#またはBC1#として設定	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFBCR0 レジスタは、外部バスの入出力端子を制御するレジスタです。

ADRLE ビット (A0～A7 出力許可ビット)

アドレスバス (A0～A7) の出力許可 / 禁止を選択します。

DHE ビット (D8～D15 出力許可ビット)

データ入出力 (D8～D15) の入出力許可 / 禁止を選択します。

設定は、CSi 制御レジスタの外部バス幅選択ビット (CSnCR.BSIZE[1:0]) で設定した外部バス幅に合わせてください。外部 16 ビットバスに設定した状態で DHE ビットを“0”にすると、動作は保証できません。CSnCR.BSIZE[1:0] ビットについては、「16.3.1 CSn 制御レジスタ (CSnCR) (n = 0～3)」を参照してください。

WR1BC1E ビット (WR1#/BC1# 出力許可ビット)

WR1#/BC1# 出力の許可 / 禁止を選択します。

データ D8～D15 許可、WR1#/BC1# 出力許可を有効にするには、PFBCR0 レジスタを設定後にシステムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にしてください。SYSCR0.EXBE ビットについては「3.2.2 システムコントロールレジスタ 0 (SYSCR0)」を参照してください。

表 22.28 に P51 の WR1#/BC1# 出力と WAIT# 入力の設定方法を示します。

表 22.28 P51のWR1#/BC1#出力とWAIT#入力の設定方法

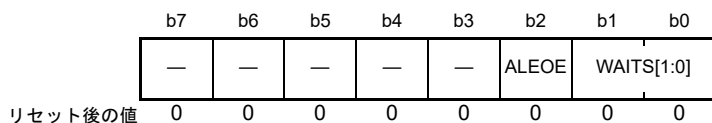
外部バス許可ビット (SYSCR0.EXBE) 有効		外部バス制御レジスタ 1 (PFBCR1) WAITs[1:0]ビット	
		11	左記以外
外部バス制御レジスタ 0 (PFBCR0) WR1BC1E ビット	1	(注 1)	WR1#/BC1# (出力)
	0	WAIT# (入力)	(注 2)

注 1. 設定しないでください。

注 2. 汎用ポートと周辺モジュールの切り換えができます。

22.2.19 外部バス制御レジスタ 1 (PFBCR1)

アドレス 0008 C107h



ビット	シンボル	ビット名	機能	R/W
b1-b0	WAITS[1:0]	WAIT 選択ビット	b1 b0 0 0 : 設定しないでください(注1) 0 1 : P55をWAIT#入力端子として設定 1 0 : PC5をWAIT#入力端子として設定 1 1 : P51をWAIT#入力端子として設定	R/W
b2	ALEOE	ALE出力許可ビット	0 : P54をI/Oポートとして設定 1 : P54をALE端子として設定	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “00b”を設定した場合も、P55がWAIT#入力端子になります。

PFBCR1 レジスタは、外部バスの入出力端子を制御するレジスタです。

WAITS[1:0] ビット (WAIT 選択ビット)

外部バス有効時、WAITS[1:0] ビットで指定したポートは WAIT# 端子になります。ただし、指定したポートを WAIT# 端子として使用しない場合は、CSn モードレジスタの外部ウェイト許可ビット (CSnMOD.EWENB) を “0” (外部ウェイト禁止) に設定することで、汎用入力ポートとして使用できます。

WAIT# 信号を入力する場合には、PFBCR1 レジスタを設定後にシステムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を “1” にしてください。SYSCR0.EXBE ビットについては、「3.2.2 システムコントロールレジスタ 0 (SYSCR0)」を参照してください。

表 22.29 に PC5 の CS2# 出力と WAIT# 入力の設定方法を示し、表 22.30 に P51 の WR1#/BC1# 出力と WAIT# 入力の設定方法を示します。

表 22.29 PC5のCS2#出力とWAIT#入力の設定方法

外部バス許可ビット (SYSCR0.EXBE) 有効		外部バス制御レジスタ 1 (PFBCR1) WAITS[1:0] ビット	
		10	左記以外
CS 出力許可レジスタ (PFCSE) CS6E ビット	1	(注1)	CS2# (出力)
	0	WAIT# (入力)	(注2)

表 22.30 P51のWR1#/BC1#出力とWAIT#入力の設定方法

外部バス許可ビット (SYSCR0.EXBE) 有効		外部バス制御レジスタ 1 (PFBCR1) WAITS[1:0] ビット	
		11	左記以外
外部バス制御レジスタ 0 (PFBCR0) WR1BC1E ビット	1	(注1)	WR1#/BC1# (出力)
	0	WAIT# (入力)	(注2)

注1. 設定しないでください。

注2. 汎用ポートと周辺モジュールの切り換えができます。

22.3 外部バスインタフェース設定方法

外部バスインタフェースを使用する場合は、MPCのレジスタを表22.31のとおりを設定して、システムコントロールレジスタ0の外部バス有効ビット (SYSCR0.EXBE) を“1”にしてください。

表22.31に各ポートの外部バスインタフェース設定方法を示します。

該当するMPCのレジスタの詳細は、「22.2 レジスタの説明」を参照してください。

表22.31 外部バスインタフェース設定方法 (1/2)

ポート	モジュール名	信号名	外部バスインタフェース制御レジスタ
P24	外部バス (CS)	CS0#	PFCSE.CS4E = 1
P25	外部バス (CS)	CS1#	PFCSE.CS5E = 1
P26	外部バス (CS)	CS2#	PFCSE.CS2E = 1
P27	外部バス (CS)	CS3#	PFCSE.CS3E = 1
P50	外部バス	WR# WR0#	
P51	外部バス	WR1# BC1#	PFBCR0.WR1BC1E = 1 PFBCR1.WAITS[1:0] = 00 or 01 or 10
	外部バス (WAIT)	WAIT#	PFBCR0.WR1BC1E = 0 PFBCR1.WAITS[1:0] = 11
P52	外部バス	RD#	
P53	外部バス	BCLK	
P54	外部バス	ALE	PFBCR1.ALEOE = 1
P55	外部バス (WAIT)	WAIT#	PFBCR1.WAITS[1:0] = 00 or 01
PA0	外部バス (アドレス)	A0 BC0#	PFBCR0.ADRLE = 1
PA1	外部バス (アドレス)	A1	PFBCR0.ADRLE = 1
PA2	外部バス (アドレス)	A2	PFBCR0.ADRLE = 1
PA3	外部バス (アドレス)	A3	PFBCR0.ADRLE = 1
PA4	外部バス (アドレス)	A4	PFBCR0.ADRLE = 1
PA5	外部バス (アドレス)	A5	PFBCR0.ADRLE = 1
PA6	外部バス (アドレス)	A6	PFBCR0.ADRLE = 1
PA7	外部バス (アドレス)	A7	PFBCR0.ADRLE = 1
PB0	外部バス (アドレス)	A8	PFAOE0.A8E = 1
PB1	外部バス (アドレス)	A9	PFAOE0.A9E = 1
PB2	外部バス (アドレス)	A10	PFAOE0.A10E = 1
PB3	外部バス (アドレス)	A11	PFAOE0.A11E = 1
PB4	外部バス (アドレス)	A12	PFAOE0.A12E = 1
PB5	外部バス (アドレス)	A13	PFAOE0.A13E = 1
PB6	外部バス (アドレス)	A14	PFAOE0.A14E = 1
PB7	外部バス (アドレス)	A15	PFAOE0.A15E = 1
PC0	外部バス (アドレス)	A16	PFAOE1.A16E = 1
PC1	外部バス (アドレス)	A17	PFAOE1.A17E = 1
PC2	外部バス (アドレス)	A18	PFAOE1.A18E = 1
PC3	外部バス (アドレス)	A19	PFAOE1.A19E = 1
PC4	外部バス (アドレス)	A20	PFAOE1.A20E = 1 PFCSE.CS7E = 0
	外部バス (CS)	CS3#	PFAOE1.A20E = 0 PFCSE.CS7E = 1

表22.31 外部バスインタフェース設定方法 (2/2)

ポート	モジュール名	信号名	外部バスインタフェース制御レジスタ
PC5	外部バス (アドレス)	A21	PFAOE1.A21E = 1 PFCSE.CS6E = 0 PFBCR1.WAITS[1:0] = 00 or 01 or 11
	外部バス (CS)	CS2#	PFAOE1.A21E = 0 PFCSE.CS6E = 1 PFBCR1.WAITS[1:0] = 00 or 01 or 11
	外部バス (WAIT)	WAIT#	PFAOE1.A21E = 0 PFCSE.CS6E = 0 PFBCR1.WAITS[1:0] = 10
PC6	外部バス (アドレス)	A22	PFAOE1.A22E = 1 PFCSE.CS1E = 0
	外部バス (CS)	CS1#	PFAOE1.A22E = 0 PFCSE.CS1E = 1
PC7	外部バス (アドレス)	A23	PFAOE1.A23E = 1 PFCSE.CS0E = 0
	外部バス (CS)	CS0#	PFAOE1.A23E = 0 PFCSE.CS0E = 1
PD0	外部バス (データ)	D0	
PD1	外部バス (データ)	D1	
PD2	外部バス (データ)	D2	
PD3	外部バス (データ)	D3	
PD4	外部バス (データ)	D4	
PD5	外部バス (データ)	D5	
PD6	外部バス (データ)	D6	
PD7	外部バス (データ)	D7	
PE0	外部バス (データ)	D8	PFBCR0.DHE = 1
PE1	外部バス (データ)	D9	PFBCR0.DHE = 1
PE2	外部バス (データ)	D10	PFBCR0.DHE = 1
PE3	外部バス (データ)	D11	PFBCR0.DHE = 1
PE4	外部バス (データ)	D12	PFBCR0.DHE = 1
PE5	外部バス (データ)	D13	PFBCR0.DHE = 1
PE6	外部バス (データ)	D14	PFBCR0.DHE = 1
PE7	外部バス (データ)	D15	PFBCR0.DHE = 1

22.4 使用上の注意事項

22.4.1 端子入出力機能設定手順

端子入出力機能の設定は下記の手順で行ってください。

1. ポートモードレジスタ (PMR) を“0”にして汎用入出力ポートに設定します。
2. 周辺機能モジュールにおいて、当該端子にアサインする入出力信号を設定します。
3. 書き込みプロテクトレジスタ (PWPR) を設定して、Pmn 端子機能制御レジスタ (PmnPFS) を書き込み有効にします (m = 0 ~ 5、A ~ E、J、n = 0 ~ 7)。
4. PmnPFS.PSEL[4:0] ビットにより端子入出力機能を設定します。
5. PWPR.PFSWE ビットを“0”設定し、PmnPFS レジスタへの書き込み禁止してください。
6. 必要に応じて PMR を“1”に設定し、選択された端子入出力機能に切り替えます。

22.4.2 MPC レジスタ設定する場合の注意事項

1. Pmn 端子機能制御レジスタ (PmnPFS) を設定するときは、当該端子の PMR レジスタが“0”の状態を設定してください。PMR レジスタが“1”の状態では PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は、意図しないパルスが出力されたりする可能性があります。
2. PmnPFS レジスタで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合、動作は保証されません。
3. MPC により同一の機能を複数の端子に割り当てる設定はしないでください。
4. ポート 4、E は A/D コンバータのアナログ入力端子の機能も兼ねています。アナログ入力端子として使用する場合は、精度劣化させないために、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”にして当該端子を汎用入力にし、PmnPFS.ASEL ビットを“1”にしてください。
5. 時間キャプチャ制御レジスタ y (RTCCRy) (y = 0 ~ 2) の時間キャプチャイベント入力端子イネーブルビット (TCEN) は、リセット後の初期値は不定です。不要な入力を禁止するために、同ビットを“0”に設定してください。
6. マルチプル端子のポートモードレジスタ (PMR)、ポート方向レジスタ (PDR) と、Pmn 端子機能制御レジスタ (PmnPFS) の設定および注意事項を表 22.32 に示します。

表 22.32 レジスタの設定

項目	PMR.Bn	PDR.Bn	PmnPFS			注意事項
			ASEL	ISEL	PSEL[4:0]	
リセット解除後	0	0	0	0	00000b	リセット解除後は汎用入力ポートとして機能します
汎用入力ポート	0	0	0	0/1	x	割り込み入力と併用する場合は、ISELビットを“1”にしてください
汎用出力ポート	0	1	0	0	x	
周辺機能	1	x	0	0/1	周辺機能 (表 22.2 ~ 表 22.26 参照)	割り込み入力と併用する場合は、ISELビットを“1”にしてください
割り込み入力	0	0	0	1	x	
NMI	x	x	x	x(注1)	x	レジスタの設定は不要です
アナログ入出力	0	0	1	x(注1)	x	出力バッファをOFFにするため、汎用入力ポートに設定してください
RTCの時間キャプチャイベント入力	0	0	x	0/1	x	出力バッファをOFFにするため、汎用入力ポートに設定してください
外部バス	0	0	0	0	x	PMR.Bnビットを“0”にして、周辺機能を選択しないでください
EXTAL/XTAL	0	0	x	x(注1)	x	出力バッファをOFFするため、汎用入力ポートに設定してください
XCIN/XCOUT	0	0	x	x(注1)	x	出力バッファをOFFするため、汎用入力ポートに設定してください

x : 設定不要

0/1 : PmnPFS.ISEL ビットを“0”にすれば、IRQ 端子として機能しません

PmnPFS.ISEL ビットを“1”にすれば、IRQ 端子として機能します (IRQ がマルチプルされている場合)

注1. PmnPFS.ISEL ビットを“1”にしても、IRQn入力端子として機能しません。

注. 端子状態の読み出しは、PmnPFS.ASEL ビットが“0”のとき可能です。

- ・PmnPFS.PSEL[4:0] ビットの変更は、PMR.Bn ビットが“0”の状態で行ってください。
- ・RIIC をアサインしたポートは、PCR.Bn ビットを“0”にしてください (RIIC 以外の周辺機能出力では自動的にプルアップがOFFになります)。
- ・時間キャプチャイベント入力端子を使用しない場合は、同入力の時間キャプチャ制御レジスタ y の時間キャプチャイベント入力端子イネーブルビット (RTCCRY.TCEN) を“0” (無効) にしてください。
- ・同一端子に複数の外部バス信号を設定しないでください。

22.4.3 アナログ機能を使う場合の注意事項

アナログ機能を使用するときは、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”にし、当該端子を汎用入力にしてから、Pmn 端子機能制御レジスタ (PmnPFS) の ASEL ビットを“1”にしてください。

22.4.4 静電容量式タッチセンサ CTSU 機能を使う場合の注意事項

静電容量式タッチセンサ CTSU 機能 (TSCAP、TS0 ~ TS9、TS12、TS13、TS15 ~ TS20、TS22、TS23、TS27、TS30、TS33、TS35) を使用するときは、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”、プルアップ制御レジスタ (PCR) の当該ビットを“0”にし、PmnPFS.PSEL[4:0] ビットにより CTSU 機能を選択してから、PMR レジスタを“1”に設定してください。また静電容量式タッチセンサの端子機能を使用するときは、該当ビットの ISEL 設定に関わらず IRQ 入力端子として使用しないでください。

23. マルチファンクションタイマパルスユニット 2 (MTU2a)

本章に記載している PCLK とは PCLKA を指します。

23.1 概要

本 MCU は、6 チャンネル (MTU0 ~ MTU5) の 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2 (MTU) を内蔵しています。

表 23.1 に MTU の仕様を、表 23.2 に MTU の機能一覧を示します。また、図 23.1 に MTU のブロック図を示します。

表 23.1 MTU の仕様

項目	内容
パルス入出力	最大 16 本
パルス入力	3 本
カウントクロック	チャンネルごとに 8 または 7 種類 (MTU5 は 4 種類)
設定可能動作	<p>【MTU0 ~ MTU4】</p> <ul style="list-style-type: none"> コンペアマッチによる波形出力 インプットキャプチャ機能 (ノイズフィルタ設定機能) カウンタクリア動作 複数のタイマカウンタ (TCNT) への同時書き込み コンペアマッチ/インプットキャプチャによる同時クリア カウンタの同期動作による各レジスタの同期入出力 同期動作と組み合わせることによる最大 12 相の PWM 出力 <p>【MTU0, MTU3, MTU4】</p> <ul style="list-style-type: none"> バッファ動作を設定可能 相補 PWM、リセット同期 PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種類 (チョッピング、レベル) の波形出力が選択可能 <p>【MTU1, MTU2】</p> <ul style="list-style-type: none"> 独立に位相計数モードを設定可能 カスケード接続動作 <p>【MTU3, MTU4】</p> <ul style="list-style-type: none"> 連動動作による相補 PWM、リセット PWM 3 相のポジ、ネガ計 6 相の出力が可能 <p>【MTU5】</p> <ul style="list-style-type: none"> デッドタイム補償用カウンタ機能 インプットキャプチャ機能 (ノイズフィルタ設定可能) カウンタクリア動作
相補 PWM モード	<ul style="list-style-type: none"> カウンタの山、谷での割り込み A/D コンバータの変換スタートトリガを間引き機能
割り込み要因	28 種類
バッファ動作	レジスタデータの自動転送
トリガ生成	A/D コンバータの変換スタートトリガを生成可能
消費電力低減機能	モジュールストップ状態への設定が可能

表 23.2 MTUの機能一覧 (1/2)

項目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
カウントクロック	PCLK/1 PCLK/4 PCLK/16 PCLK/64 MTCLKA MTCLKB MTCLKC MTCLKD	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 MTCLKA MTCLKB MTCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB
位相計数モードの外部クロック	—	MTCLKA MTCLKB	MTCLKC MTCLKD	—	—	—
ジェネラルレジスタ (TGR)	TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW
ジェネラルレジスタ/ バッファレジスタ	TGRC TGRD TGRF	—	—	TGRC TGRD	TGRC TGRD	—
入出力端子	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	入力端子 MTIC5U MTIC5V MTIC5W
カウンタクリア機能	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ
コンペア マッチ 出力	Low出力	○	○	○	○	—
	High出力	○	○	○	○	—
	トグル出力	○	○	○	○	—
インプットキャプチャ機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	—
PWMモード1	○	○	○	○	○	—
PWMモード2	○	○	○	—	—	—
相補PWMモード	—	—	—	○	○	—
リセット同期PWM	—	—	—	○	○	—
AC同期モータ駆動モード	○	—	—	○	○	—
位相計数モード	—	○	○	—	—	—
バッファ動作	○	—	—	○	○	—
デッドタイム補償用 カウンタ機能	—	—	—	—	—	○
DMACの起動	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	—
DTCの起動	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャと TCNT オーバフロー/ アンダフロー	TGRの コンペアマッチ または インプット キャプチャ

表23.2 MTUの機能一覧 (2/2)

項目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
A/D変換開始トリガ	TGRAの コンペアマッチ または インプット キャプチャ TGRBの コンペアマッチ または インプット キャプチャ TGREの コンペアマッチ TGRFの コンペアマッチ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ 相補PWM モード時 TCNTの アンダフロー (谷)	—
割り込み要因	7要因 <ul style="list-style-type: none"> •コンペアマッチ /インプット キャプチャ 0A •コンペアマッチ /インプット キャプチャ 0B •コンペアマッチ /インプット キャプチャ 0C •コンペアマッチ /インプット キャプチャ 0D •コンペア マッチ 0E •コンペア マッチ 0F •オーバフロー 	4要因 <ul style="list-style-type: none"> •コンペアマッチ /インプット キャプチャ 1A •コンペアマッチ /インプット キャプチャ 1B •オーバフロー •アンダフロー 	4要因 <ul style="list-style-type: none"> •コンペアマッチ /インプット キャプチャ 2A •コンペアマッチ /インプット キャプチャ 2B •オーバフロー •アンダフロー 	5要因 <ul style="list-style-type: none"> •コンペアマッチ /インプット キャプチャ 3A •コンペアマッチ /インプット キャプチャ 3B •コンペアマッチ /インプット キャプチャ 3C •コンペアマッチ /インプット キャプチャ 3D •オーバフロー 	5要因 <ul style="list-style-type: none"> •コンペアマッチ /インプット キャプチャ 4A •コンペアマッチ /インプット キャプチャ 4B •コンペアマッチ /インプット キャプチャ 4C •コンペアマッチ /インプット キャプチャ 4D •オーバフロー / アンダフロー 	3要因 <ul style="list-style-type: none"> •コンペアマッチ /インプット キャプチャ 5U •コンペアマッチ /インプット キャプチャ 5V •コンペアマッチ /インプット キャプチャ 5W
イベントリンク機能 (出力)	—	4要因 <ul style="list-style-type: none"> •コンペアマッチ 1A •コンペアマッチ 1B •オーバフロー •アンダフロー 	4要因 <ul style="list-style-type: none"> •コンペアマッチ 2A •コンペアマッチ 2B •オーバフロー •アンダフロー 	5要因 <ul style="list-style-type: none"> •コンペアマッチ 3A •コンペアマッチ 3B •コンペアマッチ 3C •コンペアマッチ 3D •オーバフロー 	6要因 <ul style="list-style-type: none"> •コンペアマッチ 4A •コンペアマッチ 4B •コンペアマッチ 4C •コンペアマッチ 4D •オーバフロー •アンダフロー 	—
イベントリンク機能 (入力)	—	(1) カウント スタート動作 (2) インプット キャプチャ動作 (TRGAにキャプチャ) (3) カウントリスタート動作	(1) カウント スタート動作 (2) インプット キャプチャ動作 (TRGAにキャプチャ) (3) カウントリスタート動作	(1) カウント スタート動作 (2) インプット キャプチャ動作 (TRGAにキャプチャ) (3) カウントリスタート動作	(1) カウント スタート動作 (2) インプット キャプチャ動作 (TRGAにキャプチャ) (3) カウントリスタート動作	—
A/D変換開始要求ディレイド機能	—	—	—	—	•TADCORAとTCNTの一致で、A/D変換開始要求 または TADCORBとTCNTの一致で、A/D変換開始要求	—
割り込み間引き機能	—	—	—	•TGRAのコンペアマッチ割り込みを間引き	•TCIV割り込みを間引き	—
モジュールストップ	MSTPCRA.MSTPA9(注1)					

○：可能
—：不可能

注1. モジュールストップの詳細については、「11. 消費電力低減機能」を参照してください。

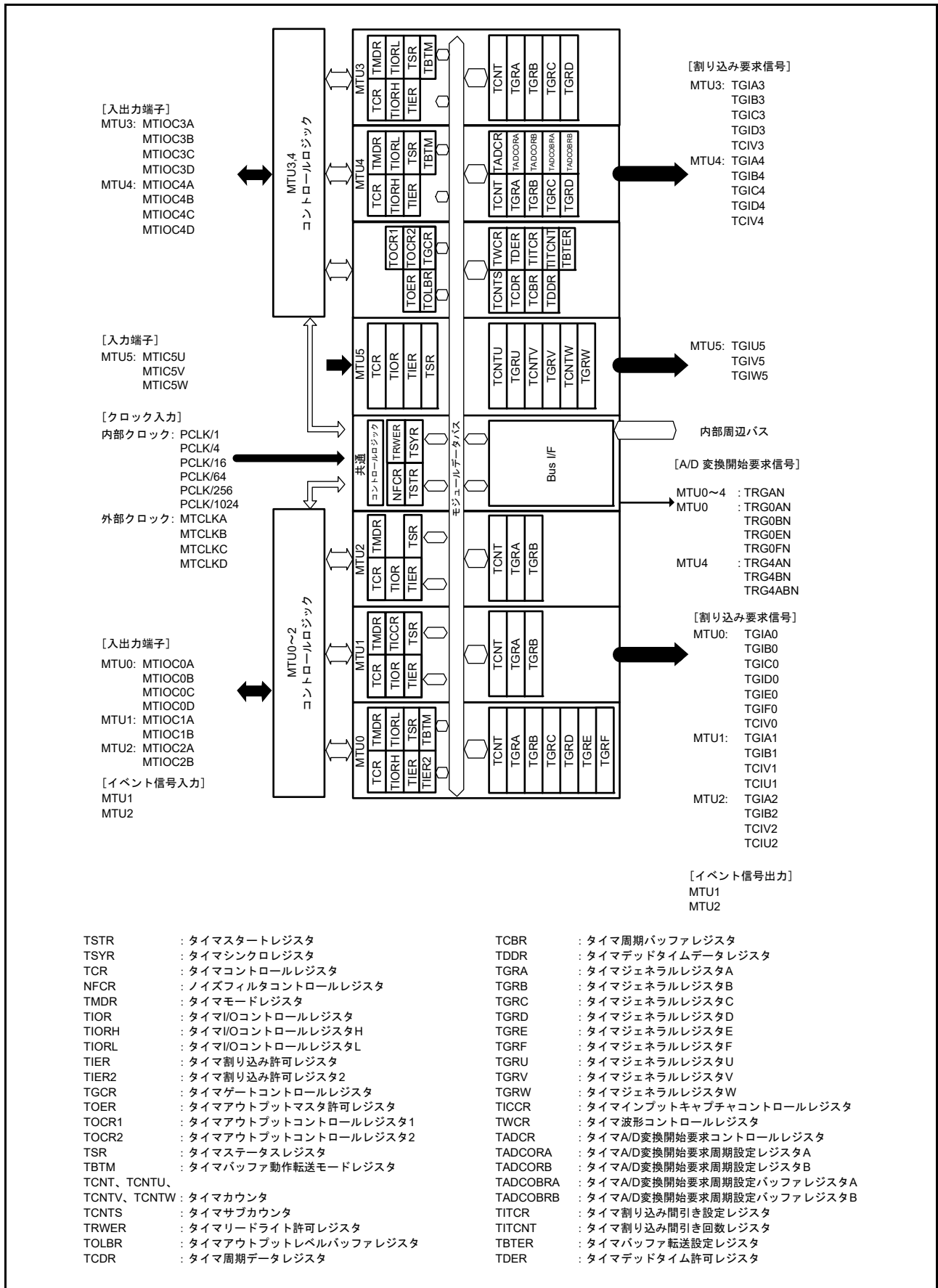


図 23.1 MTU のブロック図

表 23.3 に MTU で使用する入出力端子を示します。

表 23.3 MTUの入出力端子

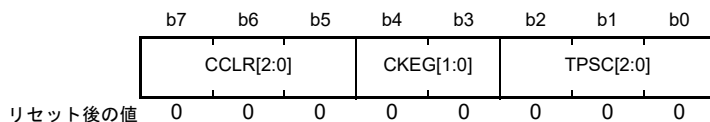
モジュール シンボル	端子名	入出力	機能
MTU	MTCLKA	入力	外部クロックA入力端子 (MTU1の位相計数モードA相入力)
	MTCLKB	入力	外部クロックB入力端子 (MTU1の位相計数モードB相入力)
	MTCLKC	入力	外部クロックC入力端子 (MTU2の位相計数モードA相入力)
	MTCLKD	入力	外部クロックD入力端子 (MTU2の位相計数モードB相入力)
MTU0	MTIOC0A	入出力	MTU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0B	入出力	MTU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0C	入出力	MTU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0D	入出力	MTU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU1	MTIOC1A	入出力	MTU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1B	入出力	MTU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU2	MTIOC2A	入出力	MTU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2B	入出力	MTU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU3	MTIOC3A	入出力	MTU3.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3B	入出力	MTU3.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3C	入出力	MTU3.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3D	入出力	MTU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU4	MTIOC4A	入出力	MTU4.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4B	入出力	MTU4.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4C	入出力	MTU4.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4D	入出力	MTU4.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU5	MTIC5U	入力	MTU5.TGRUのインプットキャプチャ入力/外部パルス入力端子
	MTIC5V	入力	MTU5.TGRVのインプットキャプチャ入力/外部パルス入力端子
	MTIC5W	入力	MTU5.TGRWのインプットキャプチャ入力/外部パルス入力端子

23.2 レジスタの説明

23.2.1 タイマコントロールレジスタ (TCR)

- MTU0.TCR, MTU1.TCR, MTU2.TCR, MTU3.TCR, MTU4.TCR

アドレス MTU0.TCR 000D 0B00h, MTU1.TCR 000D 0B80h, MTU2.TCR 000D 0C00h,
MTU3.TCR 000D 0A00h, MTU4.TCR 000D 0A01h

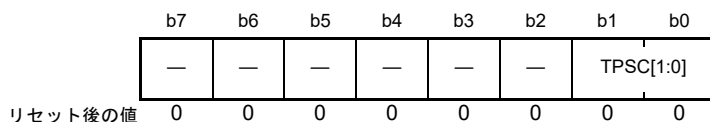


ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケラ選択ビット	表 23.6～表 23.9を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリアビット	表 23.4、表 23.5を参照してください	R/W

x : Don't care

- MTU5.TCRU, MTU5.TCRV, MTU5.TCRW

アドレス MTU5.TCRU 000D 0C84h, MTU5.TCRV 000D 0C94h, MTU5.TCRW 000D 0CA4h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TPSC[1:0]	タイマプリスケラ選択ビット	表 23.10を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU0～MTU4に各1本、MTU5にはTCRU/V/Wの3本、計8本のTCRレジスタがあります。

TCRレジスタは、各チャネルのTCNTカウンタを制御するレジスタです。TCRレジスタの設定は、TCNTカウンタの動作が停止した状態で行ってください。

TPSC[2:0] ビット (タイマプリスケラ選択ビット)

TCNTカウンタのカウントクロックソースを選択します。各チャネル独立に選択することができます。詳細は表 23.6～表 23.10を参照してください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

カウントクロックソースのエッジを選択します。内部クロックを両エッジでカウントすると、カウントクロックの周期が1/2になります (例: PCLK/4の両エッジ = PCLK/2の立ち上がりエッジ)。MTU1、MTU2で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、カウントクロックソースがPCLK/4もしくはそれより遅い場合に有効です。カウントク

ロックソースに PCLK/1、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合、値は書き込めますが、動作は初期値になります。

CCLR[2:0] ビット (カウンタクリアビット)

TCNT カウンタのカウンタクリア要因を選択します。詳細は表 23.4、表 23.5 を参照してください。

表 23.4 CCLR[2:0] (MTU0, MTU3, MTU4)

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR[2]	CCLR[1]	CCLR[0]	
MTU0	0	0	0	TCNTのクリア禁止
MTU3	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
MTU4	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア(注2)
	1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア(注2)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)

注1. 同期動作の設定は、TSYR.SYNCn (n = 0, 3, 4) ビットを“1”にすることにより行います。

注2. TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTカウンタはクリアされません。

表 23.5 CCLR[2:0] (MTU1, MTU2)

チャンネル	ビット7	ビット6	ビット5	説明
	予約ビット (注2)	CCLR[1]	CCLR[0]	
MTU1	0	0	0	TCNTのクリア禁止
MTU2	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)

注1. 同期動作の設定は、TSYR.SYNCn (n = 1, 2) ビットを“1”にすることにより行います。

注2. MTU1、MTU2ではb7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

表 23.6 TPSC[2:0] (MTU0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC[2]	TPSC[1]	TPSC[0]	
MTU0	0	0	0	内部クロック：PCLK/1でカウント
	0	0	1	内部クロック：PCLK/4でカウント
	0	1	0	内部クロック：PCLK/16でカウント
	0	1	1	内部クロック：PCLK/64でカウント
	1	0	0	外部クロック：MTCLKA端子入力力でカウント
	1	0	1	外部クロック：MTCLKB端子入力力でカウント
	1	1	0	外部クロック：MTCLKC端子入力力でカウント
	1	1	1	外部クロック：MTCLKD端子入力力でカウント

表23.7 TPSC[2:0] (MTU1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC[2]	TPSC[1]	TPSC[0]	
MTU1	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : MTCLKA端子入力でカウント
	1	0	1	外部クロック : MTCLKB端子入力でカウント
	1	1	0	内部クロック : PCLK/256でカウント
	1	1	1	MTU2.TCNTのオーバフロー/アンダフローでカウント

注. MTU1が位相計数モード時、この設定は無効になります。

表23.8 TPSC[2:0] (MTU2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC[2]	TPSC[1]	TPSC[0]	
MTU2	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : MTCLKA端子入力でカウント
	1	0	1	外部クロック : MTCLKB端子入力でカウント
	1	1	0	外部クロック : MTCLKC端子入力でカウント
	1	1	1	内部クロック : PCLK/1024でカウント

注. MTU2が位相計数モード時、この設定は無効になります。

表23.9 TPSC[2:0] (MTU3, MTU4)

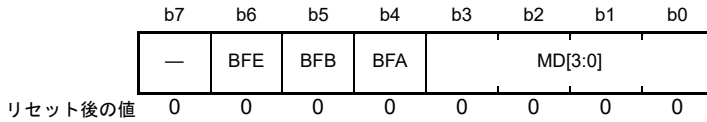
チャンネル	ビット2	ビット1	ビット0	説明
	TPSC[2]	TPSC[1]	TPSC[0]	
MTU3 MTU4	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	内部クロック : PCLK/256でカウント
	1	0	1	内部クロック : PCLK/1024でカウント
	1	1	0	外部クロック : MTCLKA端子入力でカウント
	1	1	1	外部クロック : MTCLKB端子入力でカウント

表23.10 TPSC[1:0] (MTU5)

チャンネル	ビット1	ビット0	説明
	TPSC[1]	TPSC[0]	
MTU5	0	0	内部クロック : PCLK/1でカウント
	0	1	内部クロック : PCLK/4でカウント
	1	0	内部クロック : PCLK/16でカウント
	1	1	内部クロック : PCLK/64でカウント

23.2.2 タイマモードレジスタ (TMDR)

アドレス MTU0.TMDR 000D 0B01h, MTU1.TMDR 000D 0B81h, MTU2.TMDR 000D 0C01h,
MTU3.TMDR 000D 0A02h, MTU4.TMDR 000D 0A03h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表23.11を参照してください	R/W
b4	BFA	バッファ動作Aビット	0: TGRAとTGRCレジスタは通常動作 1: TGRAとTGRCレジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0: TGRBとTGRDレジスタは通常動作 1: TGRBとTGRDレジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0: MTU0.TGREとMTU0.TGRFレジスタは通常動作 1: MTU0.TGREとMTU0.TGRFレジスタはバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDRレジスタは、各チャネルの動作モードを設定するレジスタです。TMDRレジスタの設定は、TCNTカウンタの動作が停止した状態で行ってください。

表23.11 MD[3:0]ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説明	MTU0	MTU1	MTU2	MTU3	MTU4
MD[3]	MD[2]	MD[1]	MD[0]						
0	0	0	0	ノーマルモード	○	○	○	○	○
0	0	0	1	設定しないでください					
0	0	1	0	PWMモード1	○	○	○	○	○
0	0	1	1	PWMモード2	○	○	○		
0	1	0	0	位相計数モード1		○	○		
0	1	0	1	位相計数モード2		○	○		
0	1	1	0	位相計数モード3		○	○		
0	1	1	1	位相計数モード4		○	○		
1	0	0	0	リセット同期PWMモード(注1)				○	
1	0	0	1	設定しないでください。					
1	0	1	x	設定しないでください。					
1	1	0	0	設定しないでください。					
1	1	0	1	相補PWMモード1 (山で転送) (注1)				○	
1	1	1	0	相補PWMモード2 (谷で転送) (注1)				○	
1	1	1	1	相補PWMモード3 (山と谷で転送) (注1)				○	

x: Don't care

注. 各チャネルで○が付いている動作モード以外の動作モードは設定しないでください。

注1. リセット同期PWMモード、相補PWMモードの設定は、MTU3のみ可能です。

MTU3をリセット同期PWMモードまたは相補PWMモードに設定した場合、MTU4の設定は無効となりMTU3の設定に従います。MTU4はノーマルモードに設定してください。

BFA ビット (バッファ動作 A ビット)

TGRA レジスタを通常動作にするか、TGRA レジスタと TGRC レジスタを組み合わせでバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC レジスタのインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC レジスタのコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、MTU4.TIER.TGIEC ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モードの MTU3 および MTU4 のバッファ動作は、MTU3 の設定に従います。MTU4.TMDR レジスタの BFA ビットには“0”を書いてください。

TGRC レジスタを持たない MTU1、MTU2 では、このビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、[図 23.40](#) を参照してください。

BFB ビット (バッファ動作 B ビット)

TGRB レジスタを通常動作にするか、TGRB レジスタと TGRD レジスタを組み合わせでバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD レジスタのインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD レジスタのコンペアマッチが発生します。また、コンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、MTU3.TIER.TGIED ビット、MTU4.TIER.TGIED ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モードの MTU3 および MTU4 のバッファ動作は、MTU3 の設定に従います。MTU4 の TMDR.BFB ビットには“0”にしてください。

TGRD レジスタを持たない MTU1、MTU2 では、このビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、[図 23.40](#) を参照してください。

BFE ビット (バッファ動作 E ビット)

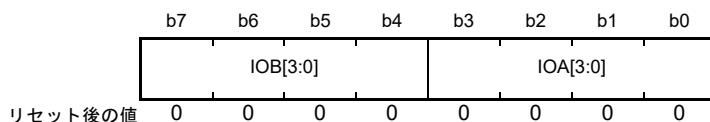
MTU0.TGRE レジスタと MTU0.TGRF レジスタを通常動作またはバッファ動作させるかどうかを選択します。TGRF レジスタをバッファレジスタとして使用した場合も、TGRF レジスタのコンペアマッチは発生します。

MTU1 ~ MTU4 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

23.2.3 タイマ I/O コントロールレジスタ (TIOR)

- MTU0.TIORH, MTU1.TIOR, MTU2.TIOR, MTU3.TIORH, MTU4.TIORH

アドレス MTU0.TIORH 000D 0B02h, MTU1.TIOR 000D 0B82h, MTU2.TIOR 000D 0C02h,
MTU3.TIORH 000D 0A04h, MTU4.TIORH 000D 0A06h

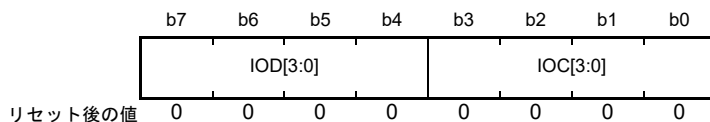


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/OコントロールAビット	下記の表を参照してください(注1) MTU0.TIORH : 表 23.20 MTU1.TIOR : 表 23.22 MTU2.TIOR : 表 23.23 MTU3.TIORH : 表 23.24 MTU4.TIORH : 表 23.26	R/W
b7-b4	IOB[3:0]	I/OコントロールBビット	下記の表を参照してください(注1) MTU0.TIORH : 表 23.12 MTU1.TIOR : 表 23.14 MTU2.TIOR : 表 23.15 MTU3.TIORH : 表 23.16 MTU4.TIORH : 表 23.18	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0]ビット (m = A, B) の値を出力禁止 (“0000b”または“0100b”) へ変更するとHi-Zになります。

- MTU0.TIORL, MTU3.TIORL, MTU4.TIORL

アドレス MTU0.TIORL 000D 0B03h, MTU3.TIORL 000D 0A05h, MTU4.TIORL 000D 0A07h

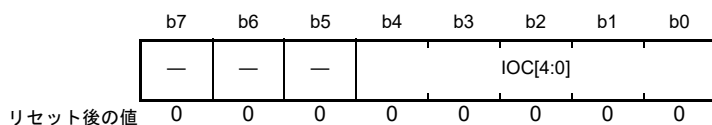


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/OコントロールCビット	下記の表を参照してください(注1) MTU0.TIORL : 表 23.21 MTU3.TIORL : 表 23.25 MTU4.TIORL : 表 23.27	R/W
b7-b4	IOD[3:0]	I/OコントロールDビット	下記の表を参照してください(注1) MTU0.TIORL : 表 23.13 MTU3.TIORL : 表 23.17 MTU4.TIORL : 表 23.19	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0]ビット (m = C, D) の値を出力禁止 (“0000b”または“0100b”) へ変更するとHi-Zになります。

- MTU5.TIORU, MTU5.TIORV, MTU5.TIORW

アドレス MTU5.TIORU 000D 0C86h, MTU5.TIORV 000D 0C96h, MTU5.TIORW 000D 0CA6h



ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/OコントロールCビット	下記の表を参照してください MTU5.TIORU, MTU5.TIORV, MTU5.TIORW : 表23.28	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU0、MTU3、MTU4に各2本、MTU1、MTU2に各1本、MTU5にはMTU5.TIORU/V/Wの3本、計11本のTIORレジスタがあります。

TIORレジスタはTMDRレジスタの設定が、ノーマルモード、PWMモード、位相計数モードの場合に設定します。

TIORレジスタで指定した初期出力はカウンタ停止した（TSTR.CSTnビットを“0”にした）状態で有効になります。また、PWMモード2の場合にはカウンタが“0”になった時点での出力を指定します。

TGRCレジスタあるいはTGRDレジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表23.12 TIORH (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU0.TGRBの機能	MTIOC0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注1)

x : Don't care

注1. MTU1のカウントクロックにPCLK/1を選択した場合、MTU0のインプットキャプチャは発生しません。MTU1のカウントクロックにはPCLK/1以外のクロックを選択してください。

表 23.13 TIORL (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	MTU0.TGRDの機能	MTIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ (注2)

x : Don't care

注1. MTU0.TMDR.BFBビットを“1”にしてMTU0.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU1のカウントクロックにPCLK/1を選択した場合、MTU0のインプットキャプチャは発生しません。MTU1のカウントクロックにはPCLK/1以外のクロックを選択してください。

表 23.14 TIOR (MTU1)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU1.TGRBの機能	MTIOC1B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRCのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

表23.15 TIOR (MTU2)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU2.TGRBの機能	MTIOC2B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表23.16 TIORH (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU3.TGRBの機能	MTIOC3B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表23.17 TIORL (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	MTU3.TGRDの機能	MTIOC3D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ(注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU3.TMDR.BFBビットを“1”にしてMTU3.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表23.18 TIORH (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU4.TGRBの機能	MTIOC4B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表23.19 TIORL (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	MTU4.TGRDの機能	MTIOC4D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU4.TMDR.BFBビットを“1”にして、MTU4.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ/アウトプットコンペアは発生しません。

表23.20 TIORH (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU0.TGRAの機能	MTIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ(注1)

x : Don't care

注1. MTU1のカウントクロックにPCLK/1を選択した場合、MTU0のインプットキャプチャは発生しません。MTU1のカウントクロックにはPCLK/1以外のクロックを選択してください。

表23.21 TIORL (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	MTU0.TGRCの機能	MTIOC0Cの端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ(注1)
1	0	0	1	立ち下がりエッジでインプットキャプチャ	
1	0	1	x	両エッジでインプットキャプチャ	
1	1	x	x	キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ(注2)	

x : Don't care

注1. MTU0.TMDR.BFAビットを“1”にしてMTU0.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU1のカウントクロックにPCLK/1を選択した場合、MTU0のインプットキャプチャは発生しません。MTU1のカウントクロックにはPCLK/1以外のクロックを選択してください。

表23.22 TIOR (MTU1)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU1.TGRAの機能	MTIOC1A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ
1	0	0	1	立ち下がりエッジでインプットキャプチャ	
1	0	1	x	両エッジでインプットキャプチャ	
1	1	x	x	MTU0.TGRAのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ	

x : Don't care

表23.23 TIOR (MTU2)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU2.TGRAの機能	MTIOC2A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表23.24 TIORH (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU3.TGRAの機能	MTIOC3A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表23.25 TIORL (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	MTU3.TGRCの端子	MTIOC3C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ(注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU3.TMDR.BFAビットを“1”にしてMTU3.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表23.26 TIORH (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU4.TGRAの機能	MTIOC4A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表23.27 TIORL (MTU4)

ビット3 IOC[3]	ビット2 IOC[2]	ビット1 IOC[1]	ビット0 IOC[0]	説明	
				MTU4.TGRCの機能	MTIOC4C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ(注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU4.TMDR.BFAビットを“1”にして、MTU4.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表23.28 TIORU, TIORV, TIORW (MTU5)

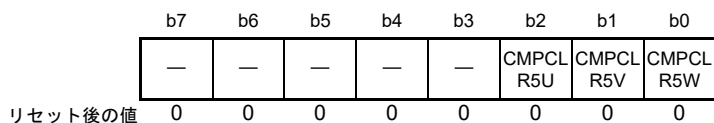
ビット4	ビット3	ビット2	ビット1	ビット0	説明	
IOC[4]	IOC[3]	IOC[2]	IOC[1]	IOC[0]	MTU5.TGRU、MTU5.TGRV、 MTU5.TGRWの機能	MTIC5U、MTIC5V、MTIC5W端子の機能
0	0	0	0	0	コンペアマッチレジスタ	コンペアマッチ
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャレジスタ (注1)	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定しないでください
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用 相補PWMモードの山と谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用 相補PWMモードの山と谷でキャプチャ

x : Don't care

注1. IOC[4:0]ビットへの“19h”、“1Ah”、“1Bh”、“1Dh”、“1Eh”、“1Fh”の設定は、外部パルス幅測定機能使用時か、MTU3、MTU4と連動したデッドタイム補償機能使用時のみとしてください。詳細は「23.3.10 外部パルス幅測定機能」、
「23.3.11 デッドタイム補償機能」を参照してください。

23.2.4 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

アドレス MTU5.TCNTCMPCLR 000D 0CB6h



ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア5Wビット	0 : MTU5.TCNTWカウンタとMTU5.TGRWレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWカウンタの“0000h”クリアを禁止 1 : MTU5.TCNTWカウンタとMTU5.TGRWレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWカウンタの“0000h”クリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア5Vビット	0 : MTU5.TCNTVカウンタとMTU5.TGRVレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVカウンタの“0000h”クリアを禁止 1 : MTU5.TCNTVカウンタとMTU5.TGRVレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVカウンタの“0000h”クリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア5Uビット	0 : MTU5.TCNTUカウンタとMTU5.TGRUレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUカウンタの“0000h”クリアを禁止 1 : MTU5.TCNTUカウンタとMTU5.TGRUレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUカウンタの“0000h”クリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCNTCMPCLR レジスタは、MTU5.TCNTU、TCNTV、TCNTW カウンタのクリア要求を設定するレジスタです。

23.2.5 タイマ割り込み許可レジスタ (TIER)

- MTU0.TIER, MTU3.TIER

アドレス MTU0.TIER 000D 0B04h, MTU3.TIER 000D 0A08h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA

リセット後の値 0 0 0 0 0 0 0 0

- MTU1.TIER, MTU2.TIER

アドレス MTU1.TIER 000D 0B84h, MTU2.TIER 000D 0C04h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA

リセット後の値 0 0 0 0 0 0 0 0

- MTU4.TIER

アドレス MTU4.TIER 000D 0A09h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR割り込み許可Aビット	0: 割り込み要求 (TGIA) を禁止 1: 割り込み要求 (TGIA) を許可	R/W
b1	TGIEB	TGR割り込み許可Bビット	0: 割り込み要求 (TGIB) を禁止 1: 割り込み要求 (TGIB) を許可	R/W
b2	TGIEC	TGR割り込み許可Cビット	0: 割り込み要求 (TGIC) を禁止 1: 割り込み要求 (TGIC) を許可	R/W
b3	TGIED	TGR割り込み許可Dビット	0: 割り込み要求 (TGID) を禁止 1: 割り込み要求 (TGID) を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0: 割り込み要求 (TCIV) を禁止 1: 割り込み要求 (TCIV) を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0: 割り込み要求 (TCIU) を禁止 1: 割り込み要求 (TCIU) を許可	R/W
b6	TTGE2	A/D変換開始要求許可2ビット	0: MTU4.TCNTカウンタのアンダフロー (谷) によるA/D変換要求を禁止 1: MTU4.TCNTカウンタのアンダフロー (谷) によるA/D変換要求を許可	R/W
b7	TTGE	A/D変換開始要求許可ビット	0: A/D変換開始要求の発生を禁止 1: A/D変換開始要求の発生を許可	R/W

MTU には、MTU0 に 2 本、MTU1 ~ MTU5 に各 1 本、計 7 本の TIER レジスタがあります。

TIER レジスタは、各チャンネルの割り込み要求の許可、禁止を設定するレジスタです。

TGIEA、TGIEB ビット (TGR 割り込み許可 A、B ビット)

割り込み要求 (TGIm) を許可または禁止します。(m = A, B)

TGIEC、TGIED ビット (TGR 割り込み許可 C、D ビット)

MTU0、MTU3、MTU4 で割り込み要求 (TGIm) を許可または禁止します。(m = C, D)

MTU1、MTU2 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TCIEV ビット (オーバフロー割り込み許可ビット)

割り込み要求 (TCIV) を許可または禁止します。

TCIEU ビット (アンダフロー割り込み許可ビット)

MTU1、MTU2 で割り込み要求 (TCIU) を許可または禁止します。

MTU0、MTU3、MTU4 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE2 ビット (A/D 変換開始要求許可 2 ビット)

相補 PWM モードで、MTU4.TCNT カウンタのアンダフロー (谷) による A/D 変換要求の発生を許可または禁止します。

MTU0 ~ MTU3 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE ビット (A/D 変換開始要求許可ビット)

TGRA レジスタのインプットキャプチャ/コンペアマッチによる A/D コンバータ開始要求の発生を許可または禁止します。

- MTU0.TIER2

アドレス MTU0.TIER2 000D 0B24h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TGIEF	TGIEE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR 割り込み許可 E ビット	0 : 割り込み要求 (TGIE) を禁止 1 : 割り込み要求 (TGIE) を許可	R/W
b1	TGIEF	TGR 割り込み許可 F ビット	0 : 割り込み要求 (TGIF) を禁止 1 : 割り込み要求 (TGIF) を許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIEE、TGIEF ビット (TGR 割り込み許可 E、F ビット)

MTU0.TCNT カウンタと MTU0.TGRm レジスタのコンペアマッチによる割り込み要求の発生を許可または禁止します。(m = E, F)

- MTU5.TIER

アドレス MTU5.TIER 000D 0CB2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TGIE5 U	TGIE5V	TGIE5 W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR 割り込み許可 5W ビット	0 : TGI5W 割り込み要求を禁止 1 : TGI5W 割り込み要求を許可	R/W
b1	TGIE5V	TGR 割り込み許可 5V ビット	0 : TGI5V 割り込み要求を禁止 1 : TGI5V 割り込み要求を許可	R/W
b2	TGIE5U	TGR 割り込み許可 5U ビット	0 : TGI5U 割り込み要求を禁止 1 : TGI5U 割り込み要求を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIE5W、TGIE5V、TGIE5U ビット (TGR 割り込み許可 5m ビット)

割り込み要求 (TGI5m) を許可または禁止します。(m = W, V, U)

23.2.6 タイマステータスレジスタ (TSR)

アドレス MTU0.TSR 000D 0B05h, MTU1.TSR 000D 0B85h, MTU2.TSR 000D 0C05h,
MTU3.TSR 000D 0A2Ch, MTU4.TSR 000D 0A2Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0 : TCNTカウンタはダウンカウント 1 : TCNTカウンタはアップカウント	R

MTUには、MTU0～MTU4に各1本、計5本のTSRレジスタがあります。

TSRレジスタは、各チャンネルのステータスを表示するレジスタです。

TCFD フラグ (カウント方向フラグ)

MTU1～MTU4のTCNTカウンタのカウント方向を示すステータスフラグです。

MTU0では予約ビットです。読むと“1”が読めます。書く場合、“1”としてください。

23.2.7 タイマバッファ動作転送モードレジスタ (TBTM)

- MTU0.TBTM

アドレス MTU0.TBTM 000D 0B26h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TTSE	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

- MTU3.TBTM, MTU4.TBTM

アドレス MTU3.TBTM 000D 0A38h, MTU4.TBTM 000D 0A39h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0: TGRCレジスタからTGRAレジスタへの転送タイミングは各チャンネルのコンペアマッチA発生時 1: TGRCレジスタからTGRAレジスタへの転送タイミングは各チャンネルのTCNTカウンタクリア時	R/W
b1	TTSB	タイミング選択Bビット	0: TGRDレジスタからTGRBレジスタへの転送タイミングは各チャンネルのコンペアマッチB発生時 1: TGRDレジスタからTGRBレジスタへの転送タイミングは各チャンネルのTCNTカウンタクリア時	R/W
b2	TTSE	タイミング選択Eビット	0: MTU0.TGRFレジスタからMTU0.TGREレジスタへの転送タイミングは各チャンネルのMTU0のコンペアマッチE発生時 1: MTU0.TGRFレジスタからMTU0.TGREレジスタへの転送タイミングは各チャンネルのMTU0.TCNTカウンタクリア時	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU0、MTU3、MTU4に各1本、計3本のTBTMレジスタがあります。

TBTMレジスタは、PWMモード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定するレジスタです。

TTSA ビット (タイミング選択 A ビット)

各チャンネルのバッファ動作時のTGRCレジスタからTGRAレジスタへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSAビットを“1”に設定しないでください。

TTSB ビット (タイミング選択 B ビット)

各チャンネルのバッファ動作時のTGRDレジスタからTGRBレジスタへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSBビットを“1”に設定しないでください。

TTSE ビット (タイミング選択 E ビット)

バッファ動作時のMTU0.TGRFレジスタからMTU0.TGREレジスタへの転送タイミングを設定します。MTU3、MTU4では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。なお、MTU0をPWMモード以外で使用する場合は、TTSEビットを“1”に設定しないでください。

23.2.8 タイムインプットキャプチャコントロールレジスタ (TICCR)

アドレス MTU1.TICCR 000D 0B90h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0 : MTIOC1A端子をMTU2.TGRAレジスタのインプットキャプチャ条件に追加しない 1 : MTIOC1A端子をMTU2.TGRAレジスタのインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0 : MTIOC1B端子をMTU2.TGRBレジスタのインプットキャプチャ条件に追加しない 1 : MTIOC1B端子をMTU2.TGRBレジスタのインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0 : MTIOC2A端子をMTU1.TGRAレジスタのインプットキャプチャ条件に追加しない 1 : MTIOC2A端子をMTU1.TGRAレジスタのインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0 : MTIOC2B端子をMTU1.TGRBレジスタのインプットキャプチャ条件に追加しない 1 : MTIOC2B端子をMTU1.TGRBレジスタのインプットキャプチャ条件に追加する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU1に1本のTICCRレジスタがあります。

TICCRレジスタは、MTU1.TCNTカウンタとMTU2.TCNTカウンタのカスケード接続時のインプットキャプチャ条件を設定するレジスタです。

23.2.9 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

アドレス MTU4.TADCR 000D 0A40h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	—	—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE	TCI4V 割り込み間引き連動許可ビット (注1、注2、注3)	0 : TCI4V 割り込み間引き機能と連動しない 1 : TCI4V 割り込み間引き機能と連動する	R/W
b1	ITB3AE	TGI3A 割り込み間引き連動許可ビット (注1、注2、注3)	0 : TGI3A 割り込み間引き機能と連動しない 1 : TGI3A 割り込み間引き機能と連動する	R/W
b2	ITA4VE	TCI4V 割り込み間引き連動許可ビット (注1、注2、注3)	0 : TCI4V 割り込み間引き機能と連動しない 1 : TCI4V 割り込み間引き機能と連動する	R/W
b3	ITA3AE	TGI3A 割り込み間引き連動許可ビット (注1、注2、注3)	0 : TGI3A 割り込み間引き機能と連動しない 1 : TGI3A 割り込み間引き機能と連動する	R/W
b4	DT4BE	ダウンカウント TRG4BN 許可ビット (注3)	0 : MTU4.TCNT カウンタのダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : MTU4.TCNT カウンタのダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b5	UT4BE	アップカウント TRG4BN 許可ビット	0 : MTU4.TCNT カウンタのアップカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : MTU4.TCNT カウンタのアップカウント時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b6	DT4AE	ダウンカウント TRG4AN 許可ビット (注3)	0 : MTU4.TCNT カウンタのダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : MTU4.TCNT カウンタのダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b7	UT4AE	アップカウント TRG4AN 許可ビット	0 : MTU4.TCNT カウンタのアップカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : MTU4.TCNT カウンタのアップカウント時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/B 転送タイミング 選択ビット	詳細は表 23.29 を参照してください	R/W

注. TADCR レジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1. 割り込み間引きが禁止のとき (TITCR.T3AEN, T4VEN ビットを“0”にしたとき、または TITCR の間引き回数設定ビット (T3ACOR[2:0], T4VCOR[2:0]) を“000b”にしたとき) は、割り込み間引き機能と連動しない (TADCR.ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットを“0”) 設定にしてください。

注2. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。

注3. b6、b4～b0 は、相補 PWM モード以外では、“0”にしてください。

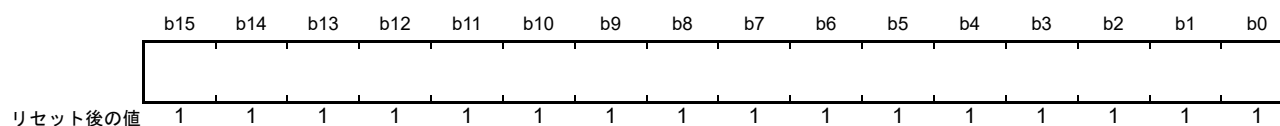
TADCR レジスタは、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定するレジスタです。

表23.29 BF[1:0]ビットによる転送タイミングの設定

ビット15	ビット14	説明			
		相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない
0	1	MTU4.TCNTの山で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU3.TCNTがMTU3.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する
1	0	MTU4.TCNTの谷で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU4.TCNTの山と谷で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止

23.2.10 タイマ A/D 変換開始要求周期設定レジスタ A、B (TADCORA, TADCORB)

アドレス MTU4.TADCORA 000D 0A44h, MTU4.TADCORB 000D 0A46h

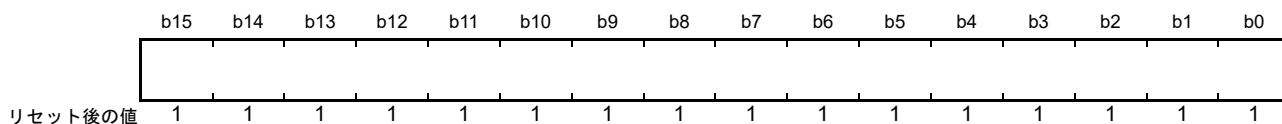


注. TADCORA、TADCORBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TADCORA、TADCORBレジスタは、A/D変換開始要求周期を設定するレジスタです。MTU4.TCNTカウンタと一致したとき、対応するA/D変換開始要求を発生します。

23.2.11 タイマ A/D 変換開始要求周期設定バッファレジスタ A、B (TADCOBRA, TADCOBRB)

アドレス MTU4.TADCOBRA 000D 0A48h, MTU4.TADCOBRB 000D 0A4Ah

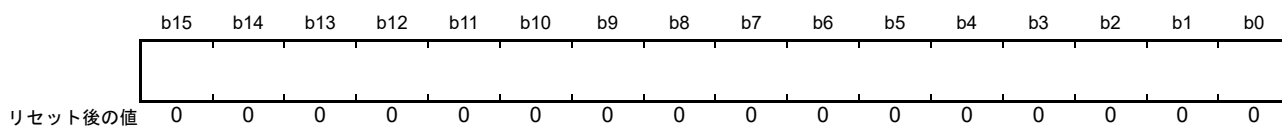


注. TADCOBRA、TADCOBRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TADCOBRA、TADCOBRBレジスタは、TADCORA、TADCORBレジスタのバッファレジスタで、A/D変換開始要求周期を設定するレジスタです。TADCOBRA、TADCOBRBレジスタから山か谷でTADCORA、TADCORBレジスタに転送します。

23.2.12 タイマカウンタ (TCNT)

アドレス MTU0.TCNT 000D 0B06h, MTU1.TCNT 000D 0B86h, MTU2.TCNT 000D 0C06h,
MTU3.TCNT 000D 0A10h, MTU4.TCNT 000D 0A12h, MTU5.TCNTU 000D 0C80h,
MTU5.TCNTV 000D 0C90h, MTU5.TCNTW 000D 0CA0h



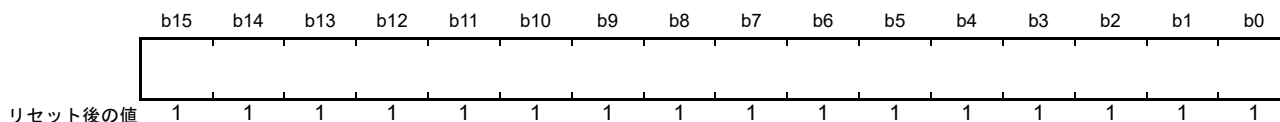
注. TCNTカウンタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

MTUには、MTU0～MTU4に各1本、MTU5にMTU5.TCNTU/V/Wの3本、計8本のTCNTカウンタがあります。

TCNTカウンタは、読み出し/書き込み可能なカウンタです。

23.2.13 タイマジェネラルレジスタ (TGR)

アドレス MTU0.TGRA 000D 0B08h, MTU0.TGRB 000D 0B0Ah, MTU0.TGRC 000D 0B0Ch,
 MTU0.TGRD 000D 0B0Eh, MTU0.TGRE 000D 0B20h, MTU0.TGRF 000D 0B22h,
 MTU1.TGRA 000D 0B88h, MTU1.TGRB 000D 0B8Ah, MTU2.TGRA 000D 0C08h,
 MTU2.TGRB 000D 0C0Ah, MTU3.TGRA 000D 0A18h, MTU3.TGRB 000D 0A1Ah,
 MTU3.TGRC 000D 0A24h, MTU3.TGRD 000D 0A26h, MTU4.TGRA 000D 0A1Ch,
 MTU4.TGRB 000D 0A1Eh, MTU4.TGRC 000D 0A28h, MTU4.TGRD 000D 0A2Ah,
 MTU5.TGRU 000D 0C82h, MTU5.TGRV 000D 0C92h, MTU5.TGRW 000D 0CA2h



注. TGRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

MTUには、MTU0に6本、MTU1、MTU2に各2本、MTU3、MTU4に各4本、MTU5に3本、計21本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRDレジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。MTU0、MTU3、MTU4のTGRCレジスタとTGRDレジスタは、バッファレジスタとして動作設定することができます。TGRレジスタとバッファレジスタの組み合わせは、TGRA-TGRC、TGRB-TGRDになります。

MTU0.TGRE、MTU0.TGRFレジスタはコンペアレジスタとして機能し、MTU0.TCNTカウンタとMTU0.TGREレジスタが一致したとき、A/D変換開始要求を発生することができます。TGRFレジスタは、バッファレジスタとして動作設定することができます。TGRレジスタとバッファレジスタの組み合わせは、TGRC-TGRFになります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRWレジスタはコンペアマッチ/インプットキャプチャ/外部パルス幅測定兼用のレジスタです。

23.2.14 タイマスタートレジスタ (TSTR)

- MTU.TSTR (MTU0 ~ MTU4)

アドレス MTU.TSTR 000D 0A80h

b7	b6	b5	b4	b3	b2	b1	b0
CST4	CST3	—	—	—	CST2	CST1	CST0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0 : MTU0.TCNTカウンタはカウント停止 1 : MTU0.TCNTカウンタはカウント動作	R/W
b1	CST1	カウンタスタート1ビット	0 : MTU1.TCNTカウンタはカウント停止 1 : MTU1.TCNTカウンタはカウント動作	R/W
b2	CST2	カウンタスタート2ビット	0 : MTU2.TCNTカウンタはカウント停止 1 : MTU2.TCNTカウンタはカウント動作	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST3	カウンタスタート3ビット	0 : MTU3.TCNTカウンタはカウント停止 1 : MTU3.TCNTカウンタはカウント動作	R/W
b7	CST4	カウンタスタート4ビット	0 : MTU4.TCNTカウンタはカウント停止 1 : MTU4.TCNTカウンタはカウント動作	R/W

TSTR レジスタは MTU0 ~ MTU4 の TCNT カウンタの動作 / 停止を選択するレジスタです。

TMDR レジスタへ動作モードを設定する場合や TCR レジスタへ TCNT カウンタのカウントクロックを設定する場合は、TCNT カウンタのカウント動作を停止してから行ってください。

CSTn ビット (カウンタスタート n ビット) (n = 0 ~ 4)

各チャネルの TCNT カウンタの動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタは停止しますが、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTU5.TSTR (MTU5)

アドレス MTU5.TSTR 000D 0CB4h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CSTU5	CSTV5	CSTW5

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0 : MTU5.TCNTWカウンタはカウント停止 1 : MTU5.TCNTWカウンタはカウント動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0 : MTU5.TCNTVカウンタはカウント停止 1 : MTU5.TCNTVカウンタはカウント動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0 : MTU5.TCNTUカウンタはカウント停止 1 : MTU5.TCNTUカウンタはカウント動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

23.2.15 タイマシンクロレジスタ (TSYR)

アドレス MTU.TSYR 000D 0A81h

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0: MTU0.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1: MTU0.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b1	SYNC1	タイマ同期1ビット	0: MTU1.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1: MTU1.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b2	SYNC2	タイマ同期2ビット	0: MTU2.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1: MTU2.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC3	タイマ同期3ビット	0: MTU3.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1: MTU3.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b7	SYNC4	タイマ同期4ビット	0: MTU4.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1: MTU4.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W

TSYR レジスタはMTU0～MTU4のTCNTカウンタの独立動作または同期動作を選択するレジスタです。対応するビットを“1”にしたチャンネルが同期動作を行います。

SYNCnビット (タイマ同期 n ビット) (n = 0 ~ 4)

独立動作または他のチャンネルとの同期動作を選択します。

同期動作を選択すると、複数のTCNTカウンタの同期セットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低2チャンネルのSYNCnビットを“1”にする必要があります。同期クリアの設定には、SYNCnビットの他にTCR.CCLR[2:0]ビットで、TCNTカウンタのクリア要因を設定する必要があります。

23.2.16 タイマリードライト許可レジスタ (TRWER)

アドレス MTU.TRWER 000D 0A84h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RWE
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0 : レジスタの読み出し/書き込みを禁止する 1 : レジスタの読み出し/書き込みを許可する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRWER レジスタは、MTU3、MTU4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を設定するレジスタです。

RWE ビット (リードライト許可ビット)

誤書き込み防止のレジスタへの読み出し / 書き込みの許可 / 禁止を設定します。

[“0”になる条件]

- RWE ビット = 1 を読み出し後、RWE ビットに “0” を書いたとき
- 誤書き込み防止の対象レジスタおよび対象カウンタ

MTUn.TCR、MTUn.TMDR、MTUn.TIORH、MTUn.TIORL、MTUn.TIER、MTUn.TGRA、MTUn.TGRB、MTU.TOER、MTU.TOCR1、MTU.TOCR2、MTU.TGCR、MTU.TCDR、MTU.TDDR と MTUn.TCNT の計 22 レジスタです。(n = 3, 4)

23.2.17 タイマアウトプットマスタ許可レジスタ (TOER)

アドレス MTU.TOER 000D 0A0Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3Bビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4Aビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4Bビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3Dビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4Cビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4Dビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、I/Oポートのデータ方向レジスタ (PDR)、ポート出力データレジスタ (PODR) にあらかじめ汎用入出力ポートに非アクティブレベルを出力する設定をした上で、ポートモードレジスタ (PMR) で汎用入出力ポート使用に切り替えてください。

TOER レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可 / 禁止を設定するレジスタです。

これらの端子は TOER レジスタの各ビットの設定をしないと正しく出力されません。MTU3、MTU4 において、TOER レジスタは MTU3、MTU4 の TIOR レジスタ設定の前に値を設定してください。

TOER レジスタは、TSTR.CST3、CST4 ビットを“0”にした後で設定してください (図 23.35、図 23.38 を参照)。

23.2.18 タイマアウトプットコントロールレジスタ 1 (TOCR1)

アドレス MTU.TOCR1 000D 0A0Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット(注2、注3)	表23.30を参照してください	R/W
b1	OLSN	出力レベル選択Nビット(注2、注3)	表23.31を参照してください	R/W
b2	TOCS	TOC選択ビット	0: TOCR1レジスタの設定を有効にする 1: TOCR2レジスタの設定を有効にする	R/W
b3	TOCL	TOCレジスタ書き込み禁止ビット (注1)	0: TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1: TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止	R/W (注4)
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSYE	PWM同期出力許可ビット	0: トグル出力を禁止 1: トグル出力を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TOCR1.TOCLビットを“1”に設定することにより、CPU暴走時の誤書き込みを防止することができます。

注2. TOCR1.TOCSビットを“0”に設定することにより、本設定が有効になります。

注3. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSPビットのみ有効となります。

注4. リセット後、1回だけ“1”を書き込むことができます。“1”書き込み後は、“0”を書き込むことはできません。

TOCR1レジスタは、相補PWMモード/リセット同期PWMモードのPWM周期に同期したトグル出力の許可/禁止、およびPWM出力の出力レベル反転の制御を設定するレジスタです。

OLSPビット (出力レベル選択Pビット)

リセット同期PWMモード/相補PWMモード時に、正相の出力レベルを選択します。

OLSNビット (出力レベル選択Nビット)

リセット同期PWMモード/相補PWMモード時に、逆相の出力レベルを選択します。

TOCSビット (TOC選択ビット)

相補PWMモード/リセット同期PWMモードの出力レベルの設定をTOCR1レジスタとTOCR2レジスタのどちらの設定を有効にするか選択します。

TOCLビット (TOCレジスタ書き込み禁止ビット)

TOCR1.TOCS, OLSN, OLSPビットへの書き込み禁止/許可の設定をします。

PSYEビット (PWM同期出力許可ビット)

PWM周期に同期したトグル出力の許可/禁止を設定します。

表 23.30 出力レベル選択機能

ビット0	機能			
OLSP	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 23.31 出力レベル選択機能

ビット1	機能			
OLSN	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN = 1、OLSP = 1 の場合の相補 PWM モードの出力例（1 相分）を図 23.2 に示します。

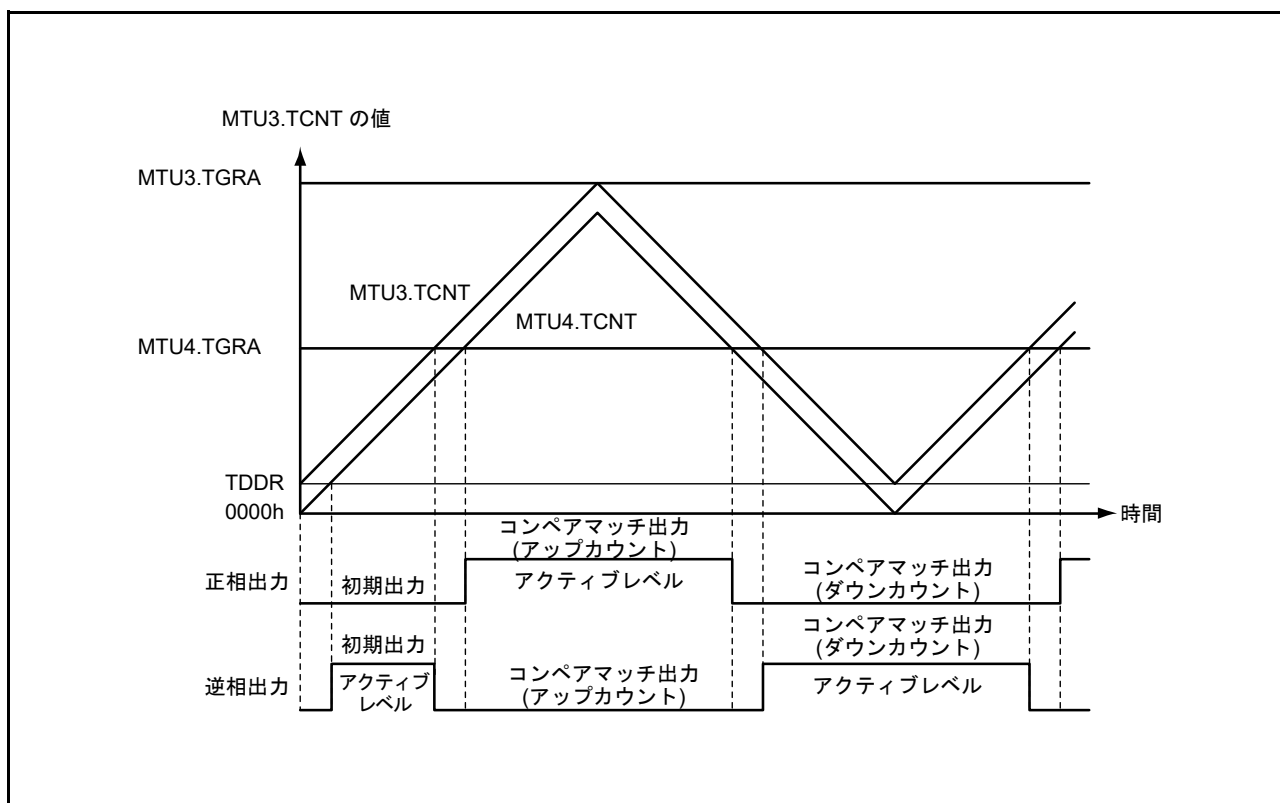


図 23.2 相補 PWM モードの出力レベルの例

23.2.19 タイマアウトプットコントロールレジスタ 2 (TOCR2)

アドレス MTU.TOCR2 000D 0A0Fh

b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3Bの出力レベルを選択します。 表23.32を参照してください	R/W
b1	OLS1N	出力レベル選択1Nビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3Dの出力レベルを選択します。 表23.33を参照してください	R/W
b2	OLS2P	出力レベル選択2Pビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Aの出力レベルを選択します。 表23.34を参照してください	R/W
b3	OLS2N	出力レベル選択2Nビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Cの出力レベルを選択します。 表23.35を参照してください	R/W
b4	OLS3P	出力レベル選択3Pビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Bの出力レベルを選択します。 表23.36を参照してください	R/W
b5	OLS3N	出力レベル選択3Nビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Dの出力レベルを選択します。 表23.37を参照してください	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング選択ビット	TOLBRレジスタからTOCR2レジスタへのバッファ転送タイミングを選択します。 詳細は表23.38を参照してください	R/W

注1. TOCR1.TOCSビットを“1”に設定することにより、本レジスタの設定が有効になります。

注2. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSiPビットのみ有効となります。(i = 1 ~ 3)

TOCR2 レジスタは、相補 PWM モード/リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を設定するレジスタです。

表 23.32 MTIOC3B出力レベル選択機能

ビット0	機能			
OLS1P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 23.33 MTIOC3D出力レベル選択機能

ビット1	機能			
OLS1N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 23.34 MTIOC4A出力レベル選択機能

ビット2		機能		
OLS2P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 23.35 MTIOC4C出力レベル選択機能

ビット3		機能		
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 23.36 MTIOC4B出力レベル選択機能

ビット4		機能		
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 23.37 MTIOC4D出力レベル選択機能

ビット5		機能		
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 23.38 TOCR2.BF[1:0]ビットの設定

ビット7	ビット6	説明	
BF[1]	BF[0]	相補PWMモード時	リセットPWMモード時
0	0	TOLBRレジスタからTOCR2レジスタへ転送しない	TOLBRレジスタからTOCR2レジスタへ転送しない
0	1	MTU4.TCNTの山でTOLBRレジスタからTOCR2レジスタへ転送する	MTU4.TCNT、MTU3.TCNTカウンタクリア時にTOLBRレジスタからTOCR2レジスタへ転送する
1	0	MTU4.TCNTの谷でTOLBRレジスタからTOCR2レジスタへ転送する	設定しないでください
1	1	MTU4.TCNTの山と谷でTOLBRレジスタからTOCR2レジスタへ転送する	設定しないでください

23.2.20 タイマアウトプットレベルバッファレジスタ (TOLBR)

アドレス MTU.TOLBR 000D 0A36h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット	TOCR2.OLS1Pビットにバッファ転送する値を設定してください	R/W
b1	OLS1N	出力レベル選択1Nビット	TOCR2.OLS1Nビットにバッファ転送する値を設定してください	R/W
b2	OLS2P	出力レベル選択2Pビット	TOCR2.OLS2Pビットにバッファ転送する値を設定してください	R/W
b3	OLS2N	出力レベル選択2Nビット	TOCR2.OLS2Nビットにバッファ転送する値を設定してください	R/W
b4	OLS3P	出力レベル選択3Pビット	TOCR2.OLS3Pビットにバッファ転送する値を設定してください	R/W
b5	OLS3N	出力レベル選択3Nビット	TOCR2.OLS3Nビットにバッファ転送する値を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TOLBR レジスタは TOCR2 レジスタのバッファレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力レベルを設定するレジスタです。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 23.3 に示します。

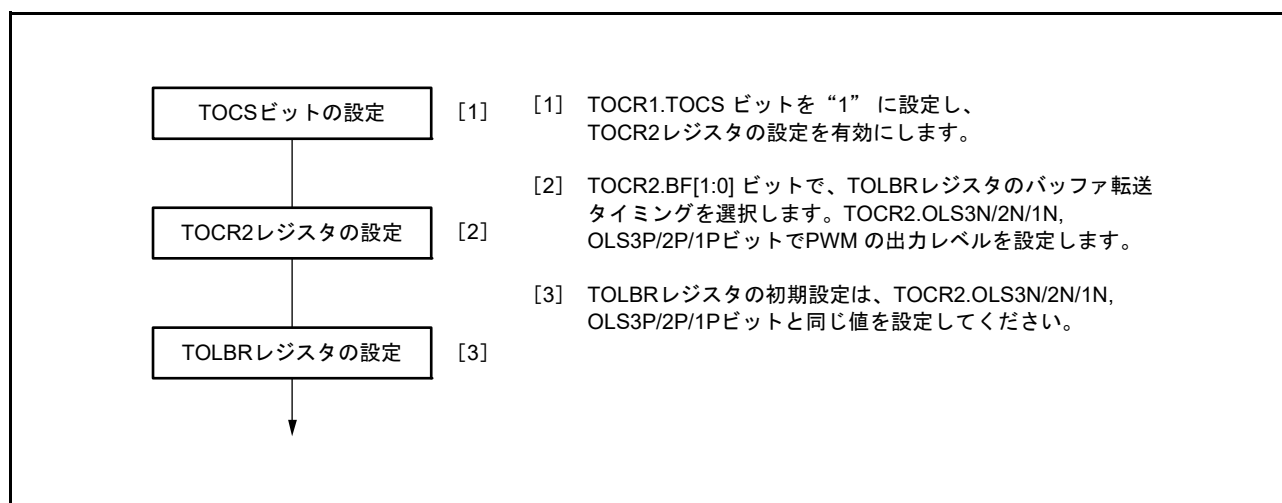


図 23.3 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

23.2.21 タイマゲートコントロールレジスタ (TGCR)

アドレス MTU.TGCR 000D 0A0Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BDC	N	P	FB	WF	VF	UF
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相/逆相の出力相のON/OFFを設定します。これらのビットの設定はTGCR.FBビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力のためになります。表23.39を参照してください	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0：出力の切り替え切り替えは、外部入力（入力元は、MTU0.TGRA, TGRB, TGRCレジスタのインプットキャプチャ信号） 1：出力の切り替えはソフトウェアで行う（TGCR.UF、VF、WFビットの設定値）	R/W
b4	P	正相出力（P）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b5	N	逆相出力（N）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0：通常出力 1：本レジスタの機能を有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

TGCR レジスタは、リセット同期 PWM モード/相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を設定するレジスタです。相補 PWM モード/リセット同期 PWM モード以外では、TGCR レジスタの設定は無効です。

UF、VF、WF ビット（出力相切り替えビット）

これらのビットの設定は TGCR.FB ビットが“1”のときのみ有効です。このときは、ビット 0～2 の設定が、外部入力の代わりにになります。表 23.39 を参照してください。

FB ビット（外部フィードバック信号許可ビット）

正相/逆相の出力の切り替えを MTU0.TGRA, TGRB, TGRC レジスタのインプットキャプチャ信号で自動的に行うか、TGCR レジスタのビット 2～0 に“0”または“1”を書き込むことによって行うかを選択します。

P ビット（正相出力（P）制御ビット）

正相端子の出力（MTIOC3B 端子、MTIOC4A 端子、MTIOC4B 端子）を出力時、レベル出力をするか、リセット同期 PWM/相補 PWM 出力するかを選択します。

N ビット（逆相出力（N）制御ビット）

逆相端子（MTIOC3D 端子、MTIOC4C 端子、MTIOC4D 端子）を出力時、レベル出力するか、リセット同期 PWM/相補 PWM 出力するかを選択します。

BDC ビット (ブラシレス DC モータビット)

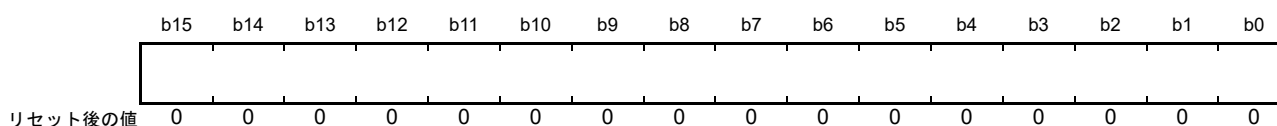
TGCR レジスタの機能を有効にするか、無効にするかを選択します。

表 23.39 出力レベル選択機能

ビット2 WF	ビット1 VF	ビット0 UF	機能					
			MTIOC3B U相	MTIOC4A V相	MTIOC4B W相	MTIOC3D U相	MTIOC4C V相	MTIOC4D W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

23.2.22 タイマサブカウンタ (TCNTS)

アドレス MTU.TCNTS 000D 0A20h



注. TCNTSカウンタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCNTS カウンタは、相補 PWM モードに設定したときのみ使用される読み出し専用カウンタです。

23.2.23 タイマデッドタイムデータレジスタ (TDDR)

アドレス MTU.TDDR 000D 0A16h

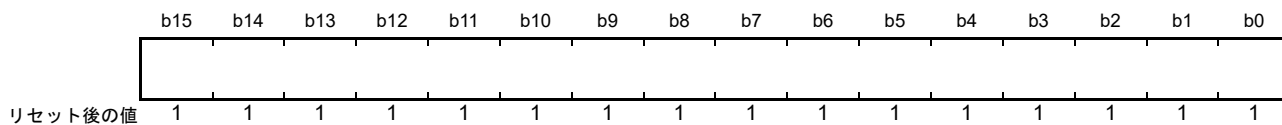


注. TDDRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TDDR レジスタは、相補 PWM モード時 MTU3.TCNT と MTU4.TCNT カウンタのオフセット値を設定するレジスタです。相補 PWM モード時に MTU3.TCNT、MTU4.TCNT カウンタをクリアして再スタートするときは、TDDR レジスタの値が MTU3.TCNT カウンタにロードされカウント動作を開始します。

23.2.24 タイマ周期データレジスタ (TCDR)

アドレス MTU.TCDR 000D 0A14h

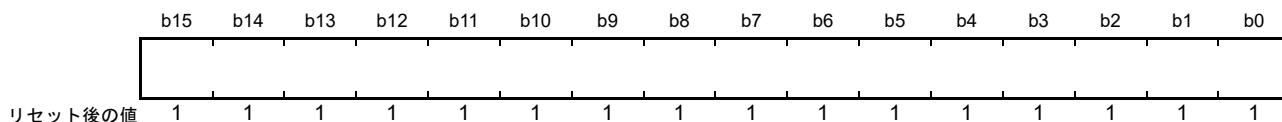


注. TCDRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCDR レジスタは、TCNTS カウンタのカウント方向を切り替えるカウント値を設定するレジスタです。相補 PWM モード時のみ使用します。TCDR レジスタの値は PWM 周期の 1/2 の値を設定してください。TCDR レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り替えます（ダウンカウント→アップカウント）。

23.2.25 タイマ周期バッファレジスタ (TCBR)

アドレス MTU.TCBR 000D 0A22h

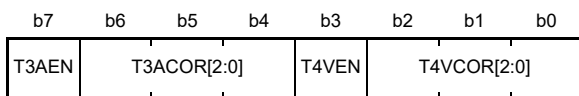


注. TCBRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCBR レジスタは TCDR レジスタのバッファレジスタで、TCNTS カウンタのカウント方向を切り替えるカウント値を設定するレジスタです。相補 PWM モード時のみ使用します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。

23.2.26 タイマ割り込み間引き設定レジスタ (TITCR)

アドレス MTU.TITCR 000D 0A30h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCOR[2:0]	TCIV4 割り込み間引き回数設定ビット	TCIV4 割り込みの間引き回数を0~7回で設定します。(注1) 詳細は表 23.40 を参照してください	R/W
b3	T4VEN	T4VEN ビット	0 : TCIV4 割り込みの間引きを禁止する 1 : TCIV4 割り込みの間引きを許可する	R/W
b6-b4	T3ACOR[2:0]	TGIA3 割り込み間引き回数設定ビット	TGIA3 割り込みの間引き回数を0~7回で設定します。(注1) 詳細は表 23.41 を参照してください	R/W
b7	T3AEN	T3AEN ビット	0 : TGIA3 割り込みの間引きを禁止する 1 : TGIA3 割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数に“0”を設定すると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR.T3AEN、TITCR.T4VEN ビットを“0”に設定して TITCNT カウンタをクリアしてください。

表 23.40 T4VCOR[2:0] ビットによる割り込み間引き回数の設定

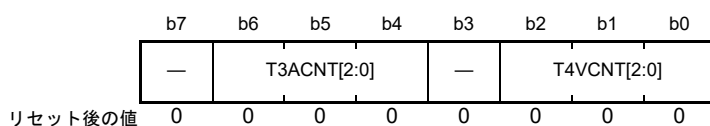
ビット2	ビット1	ビット0	説明
T4VCOR[2]	T4VCOR[1]	T4VCOR[0]	
0	0	0	TCIV4 の割り込み間引きを行わない
0	0	1	TCIV4 の割り込み間引き回数を 1 回に設定
0	1	0	TCIV4 の割り込み間引き回数を 2 回に設定
0	1	1	TCIV4 の割り込み間引き回数を 3 回に設定
1	0	0	TCIV4 の割り込み間引き回数を 4 回に設定
1	0	1	TCIV4 の割り込み間引き回数を 5 回に設定
1	1	0	TCIV4 の割り込み間引き回数を 6 回に設定
1	1	1	TCIV4 の割り込み間引き回数を 7 回に設定

表 23.41 T3ACOR[2:0] ビットによる割り込み間引き回数の設定

ビット6	ビット5	ビット4	説明
T3ACOR[2]	T3ACOR[1]	T3ACOR[0]	
0	0	0	TGIA3 の割り込み間引きを行わない
0	0	1	TGIA3 の割り込み間引き回数を 1 回に設定
0	1	0	TGIA3 の割り込み間引き回数を 2 回に設定
0	1	1	TGIA3 の割り込み間引き回数を 3 回に設定
1	0	0	TGIA3 の割り込み間引き回数を 4 回に設定
1	0	1	TGIA3 の割り込み間引き回数を 5 回に設定
1	1	0	TGIA3 の割り込み間引き回数を 6 回に設定
1	1	1	TGIA3 の割り込み間引き回数を 7 回に設定

23.2.27 タイマ割り込み間引き回数カウンタ (TITCNT)

アドレス MTU.TITCNT 000D 0A31h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCNT[2:0]	TCIV4割り込みカウンタビット	TITCR.T4VENビットに1を設定時、TCIV4割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	T3ACNT[2:0]	TGIA3割り込みカウンタビット	TITCR.T3AENビットに1を設定時、TGIA3割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます	R

注. TITCNTカウンタの値をクリアするには、TITCR.T3AENビットとTITCR.T4VENビットを“0”にしてください。

TITCNTカウンタは、割り込み間引き対象の割り込み要因発生回数をカウントするカウンタです。TITCNTカウンタは、MTU3.TCNTおよびMTU4.TCNTカウンタのカウント動作停止後も、値を保持します。

T4VCNT[2:0] ビット (TCIV4 割り込みカウンタビット)

[“0”になる条件]

- TITCR.T4VCOR[2:0] ビットと TITCNT.T4VCNT[2:0] ビットが一致したとき
- TITCR.T4VEN ビットが“0”のとき
- TITCR.T4VCOR[2:0] ビットが“000b”のとき

T3ACNT[2:0] ビット (TGIA3 割り込みカウンタビット)

[“0”になる条件]

- TITCR.T3ACOR[2:0] ビットと TITCNT.T3ACNT[2:0] ビットが一致したとき
- TITCR.T3AEN ビットが“0”のとき
- TITCR.T3ACOR[2:0] ビットが“000b”のとき

23.2.28 タイマバッファ転送設定レジスタ (TBTER)

アドレス MTU.TBTER 000D 0A32h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	BTE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能と連動する/しないを設定します。詳細は表23.42を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TBTER レジスタは、相補 PWM モードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能と連動する/しないを設定するレジスタです。

表 23.42 TBTER.BTE[1:0]ビットの設定

ビット1	ビット0	説明
BTE[1]	BTE[0]	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない(注1) また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する(注2)
1	1	設定しないでください

注. 対象バッファレジスタ : MTU3.TGRC、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD、MTU.TCBR レジスタ

注1. TMDR.MD[3:0]ビットの設定に従い転送します。詳細は「23.3.8 相補PWMモード」を参照してください。

注2. 割り込み間引きが禁止のとき (TITCR.T3AEN、T4VEN ビットを“0”に設定したとき、またはTITCRレジスタの間引き回数設定ビット (T3ACOR[2:0]、T4VCOR[2:0]) を“000b”に設定したとき) は、バッファ転送を割り込み間引きと連動しない設定 (TBTER.BTE[1]ビットを“0”に設定) にしてください。
割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

23.2.29 タイマデッドタイム許可レジスタ (TDER)

アドレス MTU.TDER 000D 0A34h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDER
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイム許可レジスタビット	0: デッドタイムを生成しない 1: デッドタイムを生成する(注1)	R/(W)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TDDR ≥ 1に設定してください。

TDER レジスタは、相補 PWM モードのデッドタイム生成を設定するレジスタです。TDER レジスタは MTU3 に 1 本あります。TDER レジスタの設定は、TCNT カウンタの動作が停止した状態で行ってください。

TDER ビット (デッドタイム許可レジスタビット)

デッドタイムの生成をする / しないを設定します。

[“0”になる条件]

- TDER = 1 を読み出し後、TDER ビットに “0” を書いたとき

23.2.30 タイマ波形コントロールレジスタ (TWCR)

アドレス MTU.TWCR 000D 0A60h

	b7	b6	b5	b4	b3	b2	b1	b0
	CCE	—	—	—	—	—	—	WRE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	初期出力抑止許可ビット	0 : TOCRレジスタで設定した初期出力値を出力 1 : 初期出力を抑止する	R/(W) (注1)
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CCE	コンペアマッチクリア許可ビット	0 : MTU3.TGRAレジスタのコンペアマッチによるカウンタクリアをしない 1 : MTU3.TGRAレジスタのコンペアマッチによるカウンタクリアをする	R/(W) (注2)

注1. 相補PWMモードのとき以外は、“1”に設定しないでください。

注2. 相補PWMモード1のとき以外は、“1”に設定しないでください。

TWCRレジスタは、相補PWMモードでMTU3.TNCT, MTU4.TNCTカウンタの同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRAレジスタのコンペアマッチによるカウンタクリアをする/しないを設定するレジスタです。

TWCR.CCE, WREビットの設定は、TCNTカウンタの動作が停止した状態で行ってください。

WREビット (初期出力抑止許可ビット)

相補PWMモードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補PWMモードの谷のT_b区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WREビットの設定によらず、TOCRレジスタで設定した初期値を出力します。また、MTU3.TCNT, MTU4.TCNTカウンタスタート直後の谷のT_b区間で同期クリアが発生した場合も、TOCRレジスタで設定した初期値を出力します。

相補PWMモードの谷のT_b区間については、[図 23.40](#)を参照してください。

["1"になる条件]

- WRE = 0を読み出し後、WREビットに“1”を書いたとき

CCEビット (コンペアマッチクリア許可ビット)

相補PWMモード1で、MTU3.TGRAレジスタのコンペアマッチによるカウンタクリアをする/しないを設定します。

["1"になる条件]

- CCE = 0を読み出し後、CCEビットに“1”を書いたとき

23.2.31 ノイズフィルタコントロールレジスタ (NFCR)

- MTU0.NFCR, MTU1.NFCR, MTU2.NFCR, MTU3.NFCR, MTU4.NFCR

アドレス MTU0.NFCR 000D 0A90h, MTU1.NFCR 000D 0A91h, MTU2.NFCR 000D 0A92h,
MTU3.NFCR 000D 0A93h, MTU4.NFCR 000D 0A94h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ A 許可ビット	0 : MTIOCnA 端子のノイズフィルタは無効 1 : MTIOCnA 端子のノイズフィルタは有効	R/W
b1	NFBEN	ノイズフィルタ B 許可ビット	0 : MTIOCnB 端子のノイズフィルタは無効 1 : MTIOCnB 端子のノイズフィルタは有効	R/W
b2	NFCEN	ノイズフィルタ C 許可ビット	0 : MTIOCnC 端子のノイズフィルタは無効 1 : MTIOCnC 端子のノイズフィルタは有効	R/W (注1)
b3	NFDEN	ノイズフィルタ D 許可ビット	0 : MTIOCnD 端子のノイズフィルタは無効 1 : MTIOCnD 端子のノイズフィルタは有効	R/W (注1)
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	b5 b4 0 0 : PCLK/1 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : カウントソースを外部クロックに設定	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. MTU1、MTU2では予約ビットになります。読むと“0”が読めます。書き込み値は無効です。

MTUn.NFCR レジスタ (n=0~4) は、MTIOCnm 端子 (n=0~4, m=A~D) のノイズフィルタの有効/無効、ノイズフィルタのサンプリングクロックを設定するレジスタです。

NFAEN ビット (ノイズフィルタ A 許可ビット)

MTIOCnA 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFAEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR.MD[3:0] ビットを“0000b”(ノーマルモード)以外に設定した状態で、NFAEN ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ B 許可ビット)

MTIOCnB 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFBEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR.MD[3:0] ビットを“0000b”(ノーマルモード)以外に設定した状態で、NFBEN ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ C 許可ビット)

MTIOCnC 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFCEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定または、TMDR.MD[3:0] ビットを“0000b”(ノーマルモード)以外に設定した状態で、NFCEN ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ D 許可ビット)

MTIOc_nD 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFDEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定または、TMDR.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で、NFDEN ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロック選択ビット)

ノイズフィルタのサンプリング周期を設定します。NFCS[1:0] ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。NFCS[1:0] ビットを“11b”に設定しカウントソースを外部クロックとした場合、NFCS[1:0] ビット設定後外部クロックを2回入力した後インプットキャプチャ機能に設定してください。

- MTU5.NFCR

アドレス MTU5.NFCR 000D 0A95h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	—	NFWE N	NFVEN	NFUEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFUEN	ノイズフィルタU許可ビット	0 : MTIC5U端子のノイズフィルタは無効 1 : MTIC5U端子のノイズフィルタは有効	R/W
b1	NFVEN	ノイズフィルタV許可ビット	0 : MTIC5V端子のノイズフィルタは無効 1 : MTIC5V端子のノイズフィルタは有効	R/W
b2	NFWEN	ノイズフィルタW許可ビット	0 : MTIC5W端子のノイズフィルタは無効 1 : MTIC5W端子のノイズフィルタは有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	b5 b4 0 0 : PCLK/1 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : カウントソースを外部クロックに設定	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTU5.NFCR レジスタは、8ビットの読み出し/書き込み可能なレジスタです。MTU5.NFCR レジスタは、MTIC5m 端子のノイズフィルタの有効/無効を制御します。また、ノイズフィルタのサンプリングクロックを設定します。(m = U, V, W)

NFUEN ビット (ノイズフィルタ U 許可ビット)

MTIC5U 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFUEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFUEN ビットを切り替えてください。

NFVEN ビット (ノイズフィルタ V 許可ビット)

MTIC5V 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFVEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFVEN ビットを切り替えてください。

NFWEN ビット (ノイズフィルタ W 許可ビット)

MTIC5W 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFWEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFWEN ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロック選択ビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。NFCS[1:0] ビットの設定後、設定したサンプリング周期の2周期分待った後インプットキャプチャ機能に設定してください。

23.2.32 バスマスタとのインタフェース

TCNT カウンタ、TGR レジスタ、TCNTS カウンタ、TCBR レジスタ、TDDR レジスタ、TCDR レジスタ、TADCR レジスタ、TADCORA/TADCORB レジスタ、および TADCOBRA/TADCOBRB レジスタは 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し/書き込みが可能です。8 ビット単位での読み出し/書き込みはできません。16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。8 ビット単位での読み出し/書き込みを行ってください。

23.3 動作説明

23.3.1 基本動作

各チャンネルには、TCNT カウンタと TGR レジスタがあります。TCNT カウンタは、アップカウント動作を行い、フリーランニングカウント動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTR.CST0 ~ CST4 ビット、MTU5.TSTR.CSTU5, CSTV5, CSTW5 ビットを“1”にすると、対応するチャンネルの TCNT カウンタはカウント動作を開始します。フリーランニングカウント動作、周期カウント動作などが可能です。

(a) カウント動作の設定手順例

カウント動作設定手順例を図 23.4 に示します。

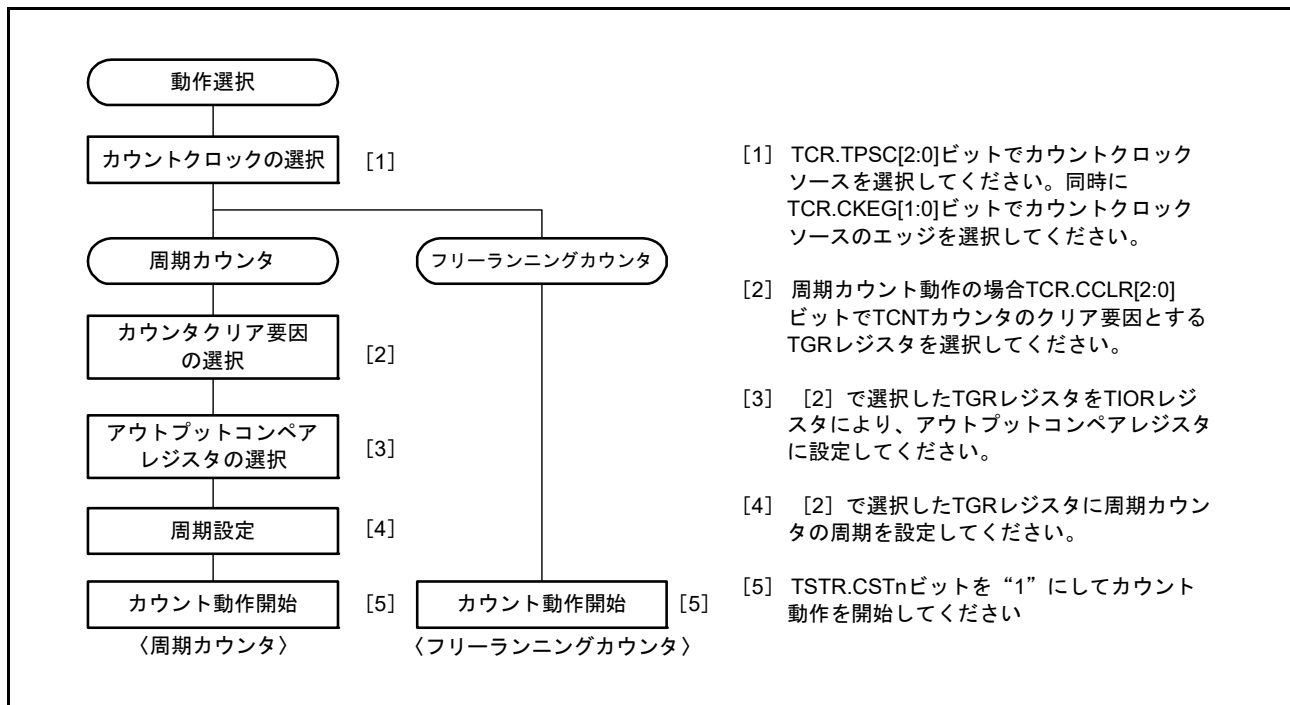


図 23.4 カウント動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

MTUのTCNTカウンタは、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRレジスタの対応するCSTnビットを“1”にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTカウンタがオーバーフロー（“FFFFh”→“0000h”）すると、対応するTIER.TCIEVビットが“1”ならば、MTUは割り込みを要求します。TCNTカウンタはオーバーフロー後、“0000h”からアップカウント動作を継続します。

フリーランニングカウンタの動作を図23.5に示します。

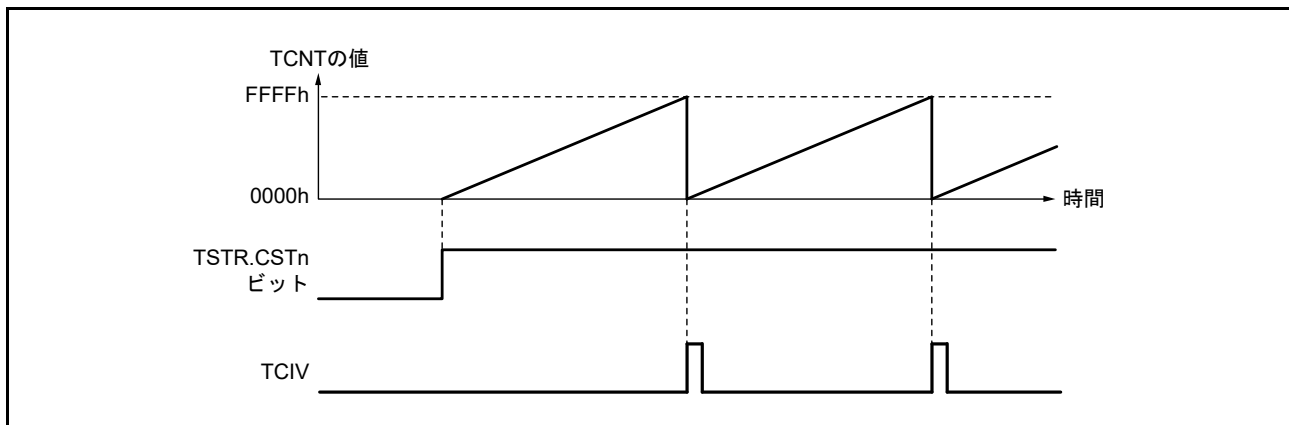


図 23.5 フリーランニングカウンタの動作

TCNTカウンタのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTカウンタは周期カウンタ動作を行います。周期設定用のTGRレジスタをアウトプットコンペアレジスタに設定し、TCR.CCLR[2:0]ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRレジスタの対応するビットを“1”にすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRレジスタの値と一致すると、TCNTカウンタは“0000h”になります。

このとき対応するTIER.TGIEビットが“1”ならば、MTUは割り込みを要求します。TCNTカウンタはコンペアマッチ後、“0000h”からアップカウント動作を継続します。

周期カウンタの動作を図23.6に示します。

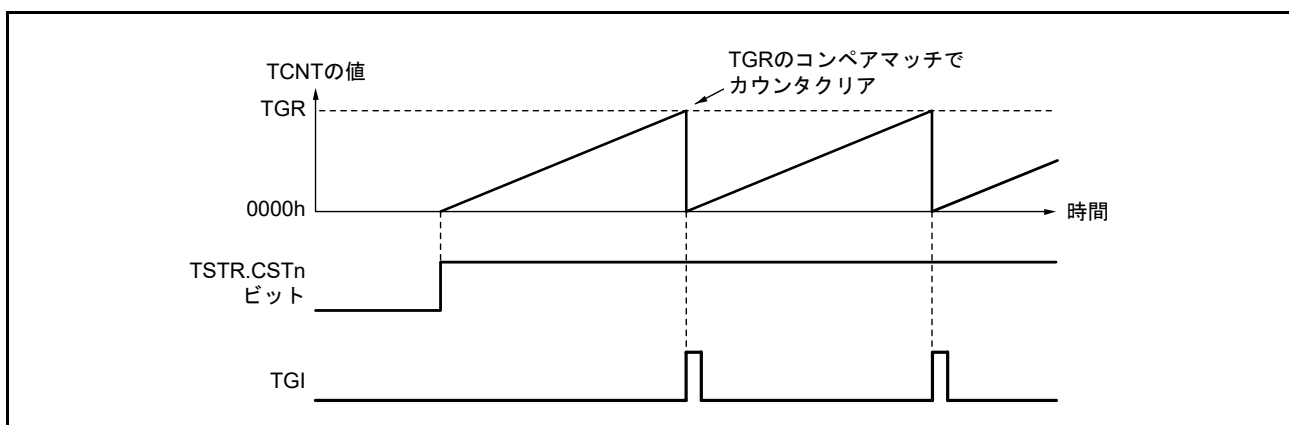


図 23.6 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTUは、コンペアマッチにより対応する出力端子から Low 出力 / High 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 23.7 に示します。

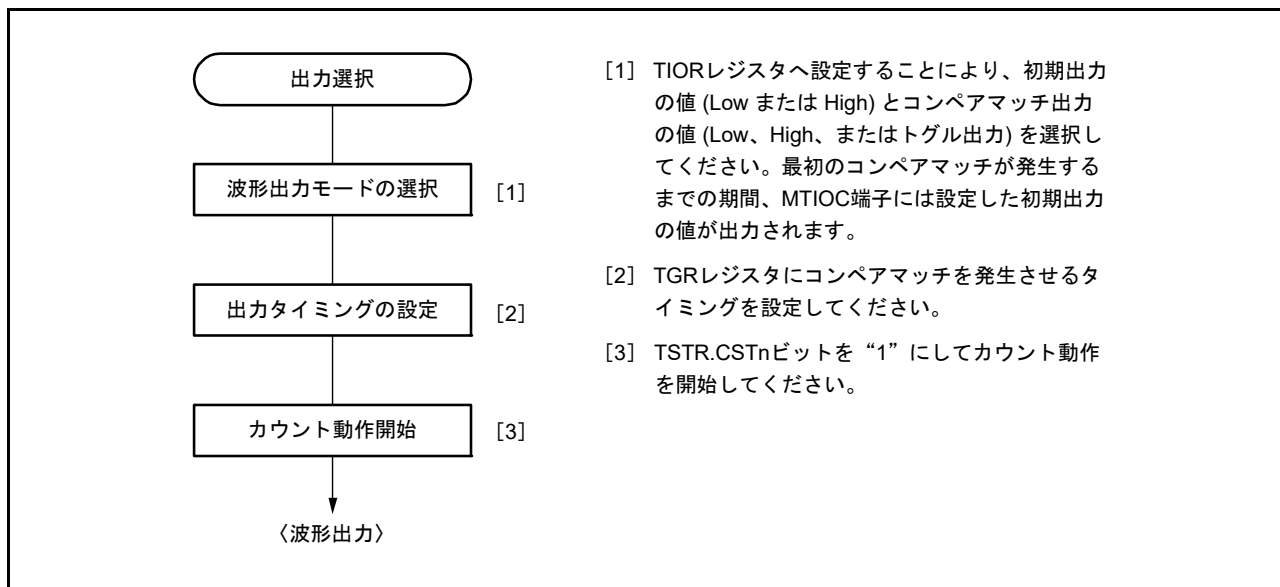


図 23.7 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

Low 出力 /High 出力例を図 23.8 に示します。

TCNT カウンタをフリーランニングカウント動作とし、コンペアマッチ A により High 出力、コンペアマッチ B により Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

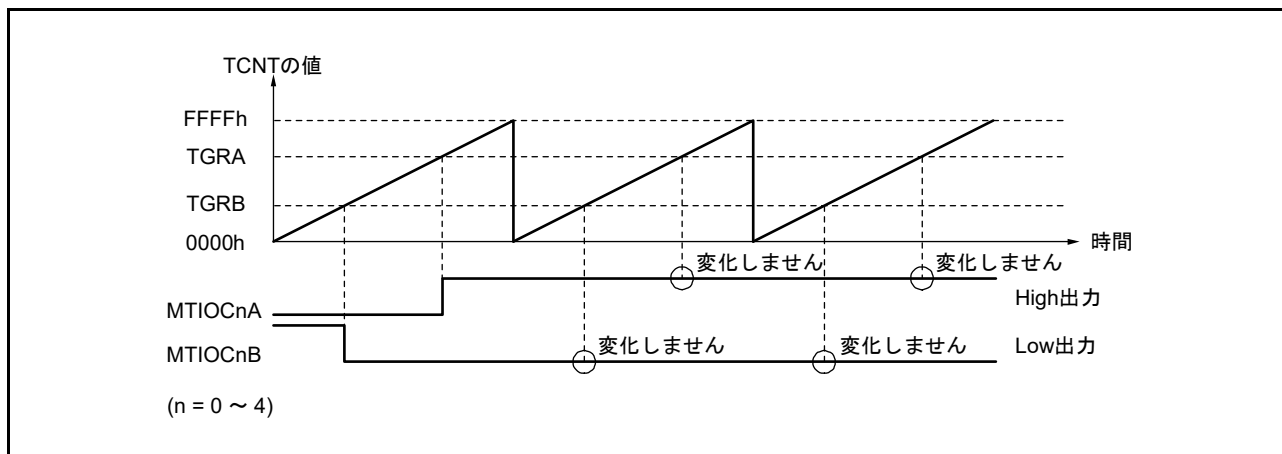


図 23.8 Low 出力 /High 出力の動作例

トグル出力の例を図 23.9 に示します。

TCNT カウンタを周期カウント動作（コンペアマッチ B によりカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

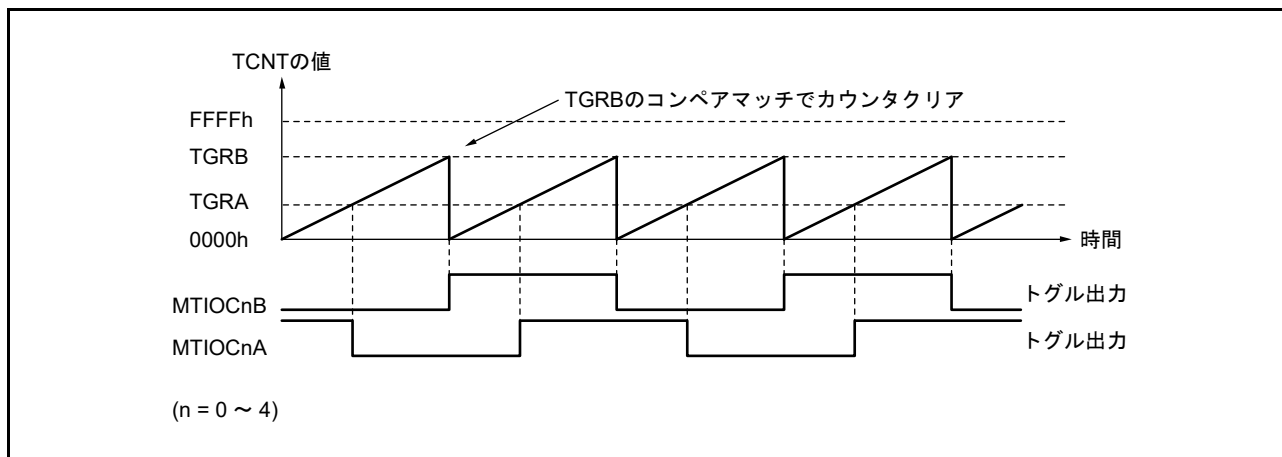


図 23.9 トグル出力の動作例

(3) インพุットキャプチャ機能

MTIOCnm 端子 (n = 0 ~ 4, m = A ~ D)、および MTIC5m 端子 (m = W, V, U) の入力エッジを検出して TCNT カウンタの値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、MTU0、MTU1 は別のチャンネルのカウントクロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

注. MTU0、MTU1 で別のチャンネルのカウントクロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウントクロックに PCLK/1 を選択しないでください。PCLK/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 23.10 に示します。

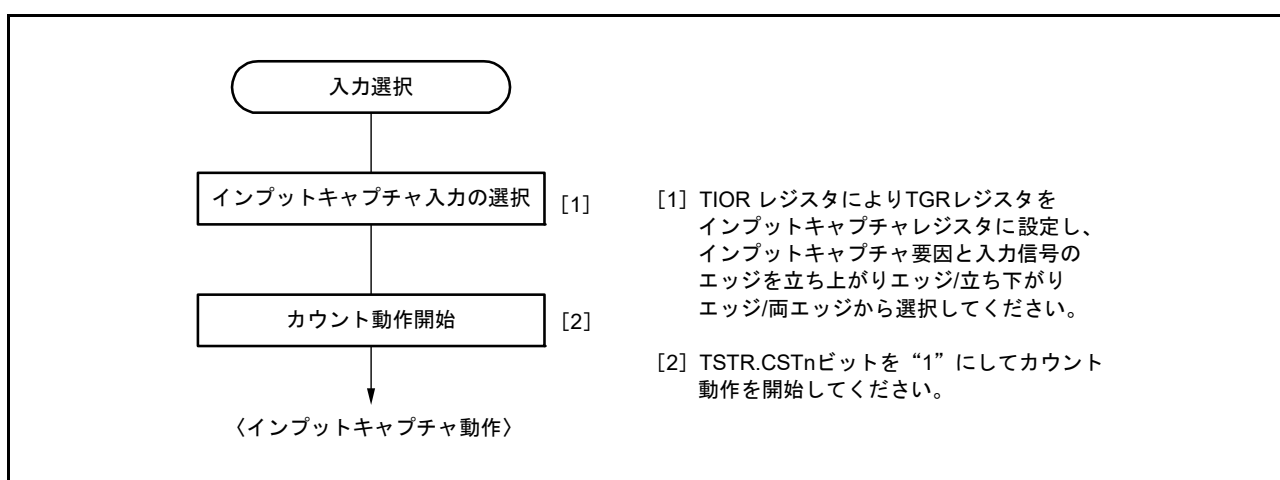


図 23.10 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 23.11 に示します。

MTIOCnA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、また MTIOCnB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT カウンタは TGRB レジスタのインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

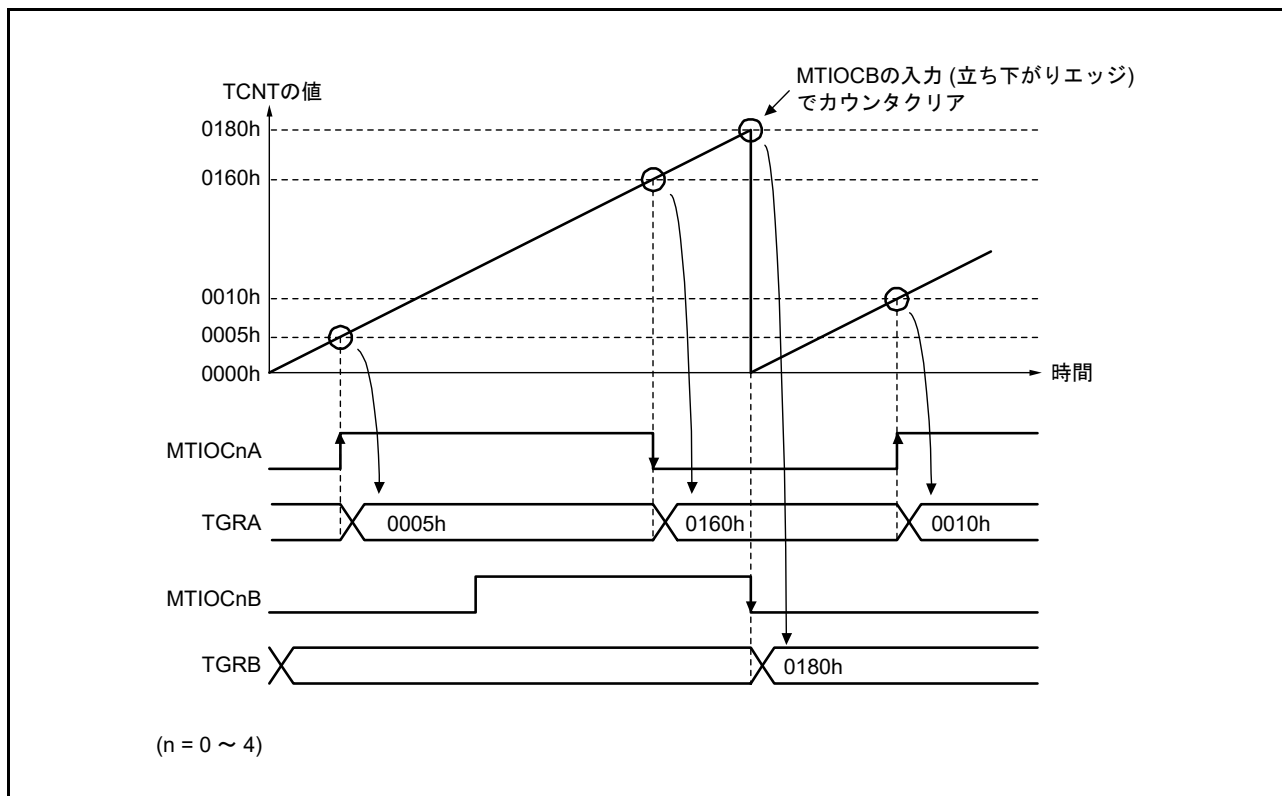


図 23.11 インพุットキャプチャ動作例

23.3.2 同期動作

同期動作は、複数の TCNT カウンタの値を同時に書き換えることができます（同期セット）。また、TCR の設定により複数の TCNT カウンタを同時にクリアすることができます（同期クリア）。

同期動作により、1つのタイムベースに対して動作する TGR レジスタの本数を増加することができます。

MTU0 ~ MTU4 はすべて同期動作の設定が可能です。

MTU5 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 23.12 に示します。

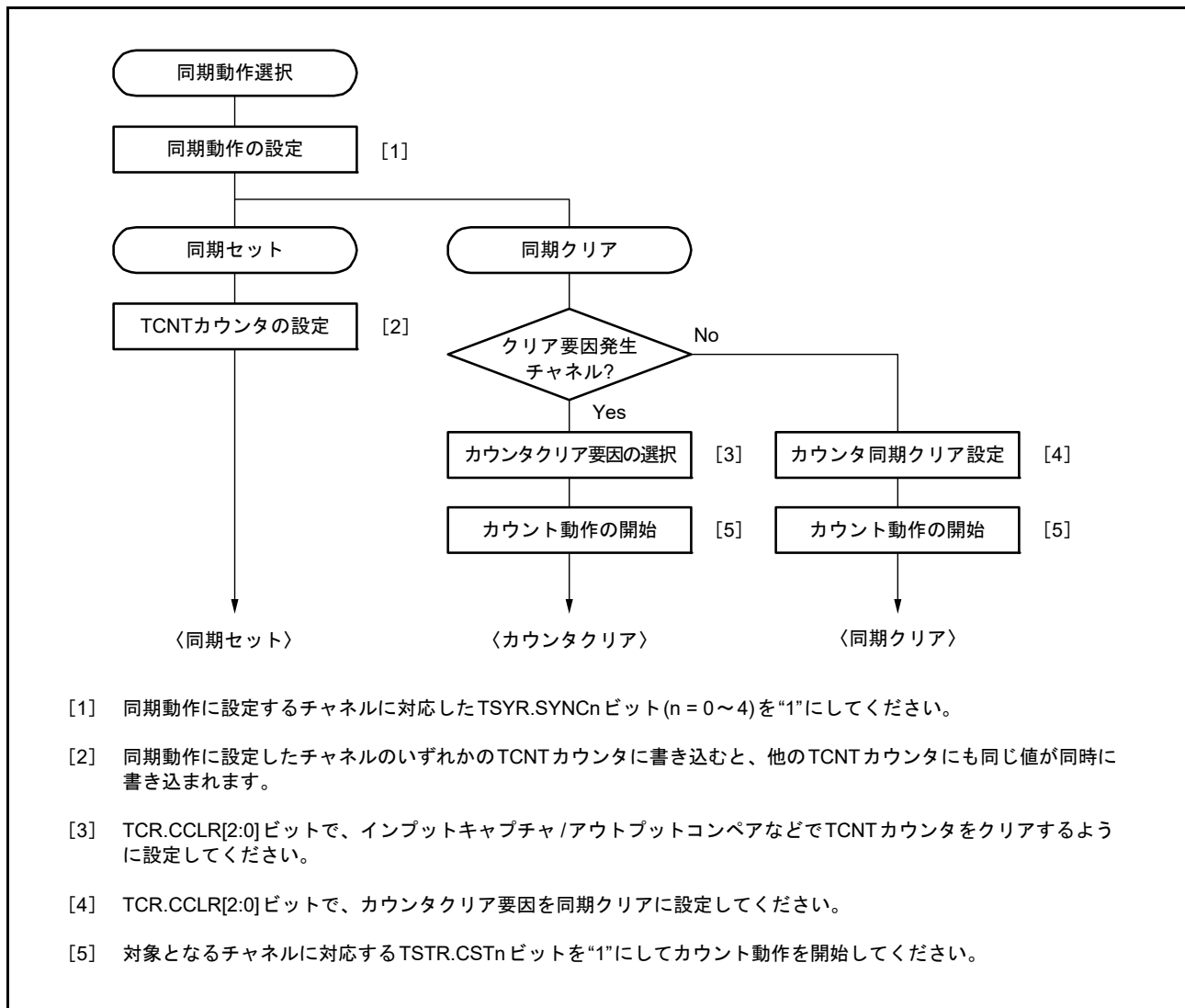


図 23.12 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 23.13 に示します。

MTU0 ~ MTU2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB レジスタのコンペアマッチ、また MTU1、MTU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ~ MTU2 の TCNT カウンタは同期セット、MTU0.TGRB レジスタのコンペアマッチによる同期クリアを行い、MTU0.TGRB レジスタに設定したデータが PWM 周期となります。

PWM モードについては、「23.3.5 PWM モード」を参照してください。

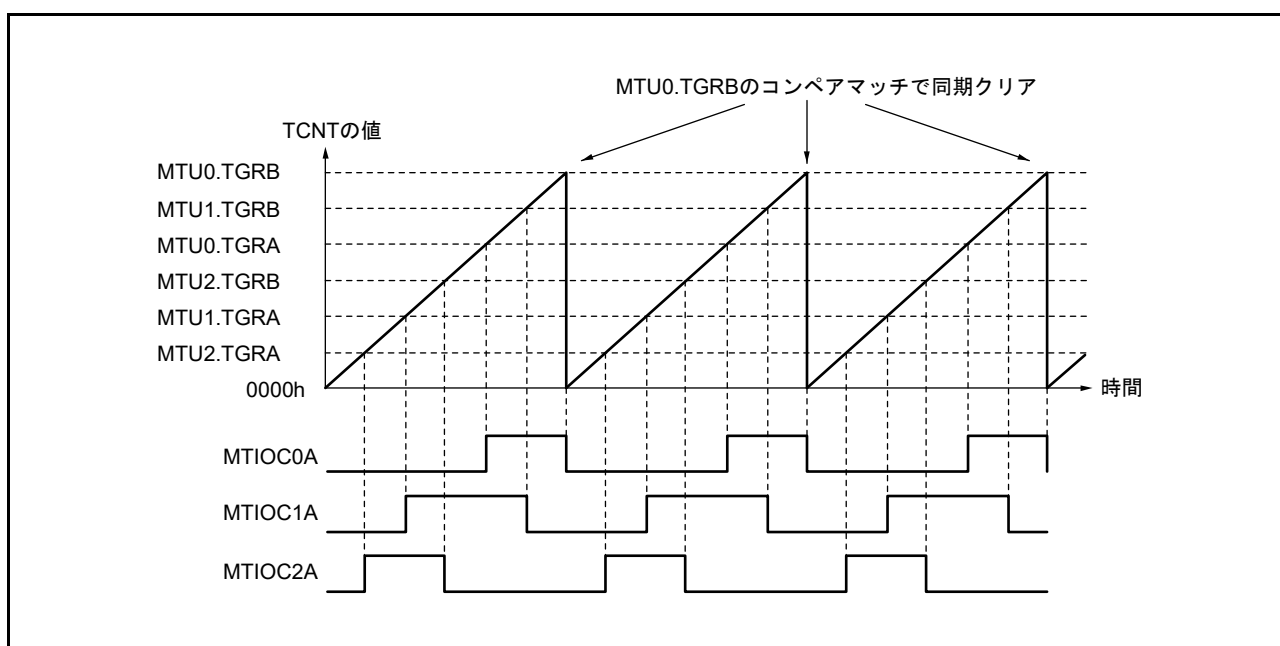


図 23.13 同期動作の動作例

23.3.3 バッファ動作

バッファ動作は、MTU0、MTU3、MTU4 が持つ機能です。TGRC レジスタと TGRD レジスタをバッファレジスタとして使用することができます。また、MTU0 は TGRF レジスタもバッファレジスタとして使用することができます。

バッファ動作は、TGR レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注． MTU0.TGRE レジスタはインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 23.43 にバッファ動作時のレジスタの組み合わせを示します。

表23.43 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD

- TGR レジスタがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 23.14 に示します。

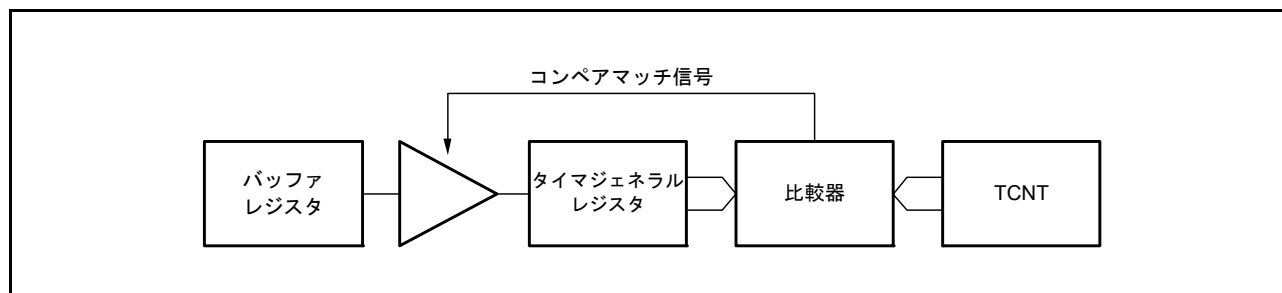


図 23.14 コンペアマッチバッファ動作

• TGRレジスタがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNTカウンタの値をTGRレジスタに転送すると同時に、それまで格納されていたTGRレジスタの値をバッファレジスタに転送します。

この動作を図23.15に示します。

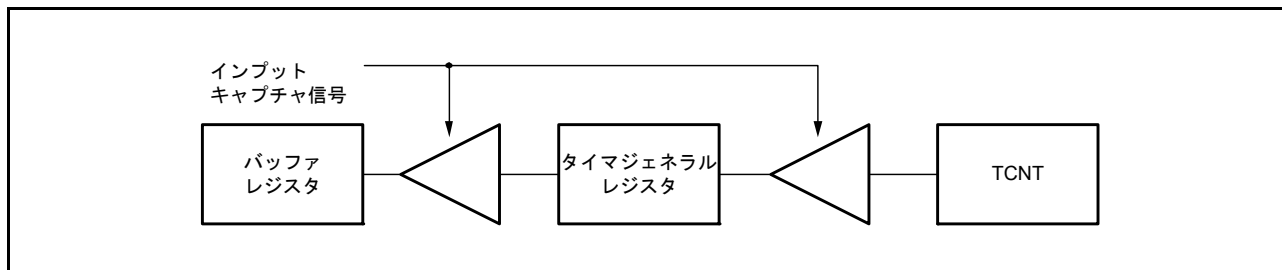


図 23.15 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図23.16に示します。

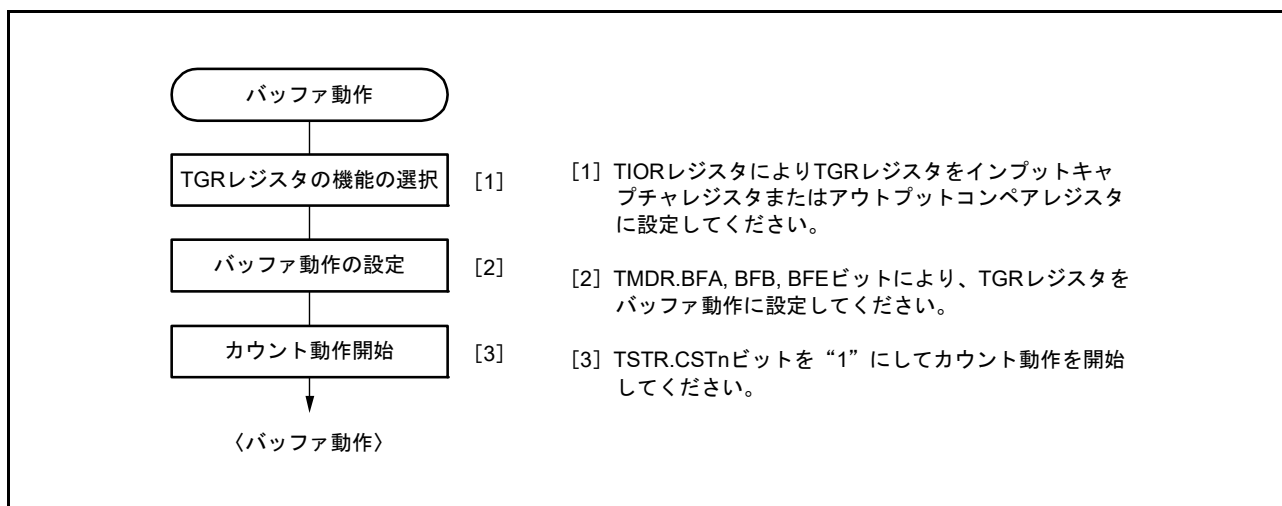


図 23.16 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR レジスタがアウトプットコンペアレジスタの場合

MTU0 を PWM モード 1 に設定し、TGRA レジスタと TGRC レジスタをバッファ動作に設定した場合の動作例を図 23.17 に示します。TCNT カウンタはコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。この例では、TBTM.TTSA ビットは“0”に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「23.3.5 PWM モード」を参照してください。

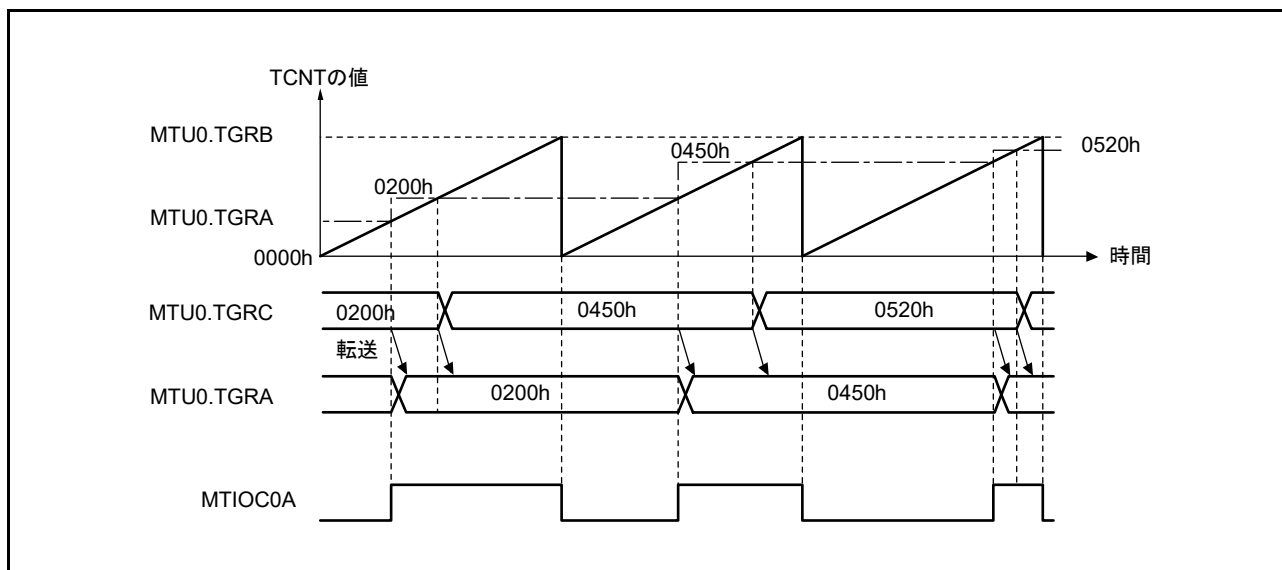


図 23.17 バッファ動作例 (1)

(b) TGR レジスタがインプットキャプチャレジスタの場合

TGRA レジスタをインプットキャプチャレジスタに設定し、TGRA レジスタと TGRC レジスタをバッファ動作に設定したときの動作例を図 23.18 に示します。

TCNT カウンタは TGRA レジスタのインプットキャプチャでカウンタクリア、MTIOCN_nA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT カウンタの値が TGRA レジスタに転送されると同時に、それまで TGRA レジスタに格納されていた値が TGRC レジスタに転送されます。

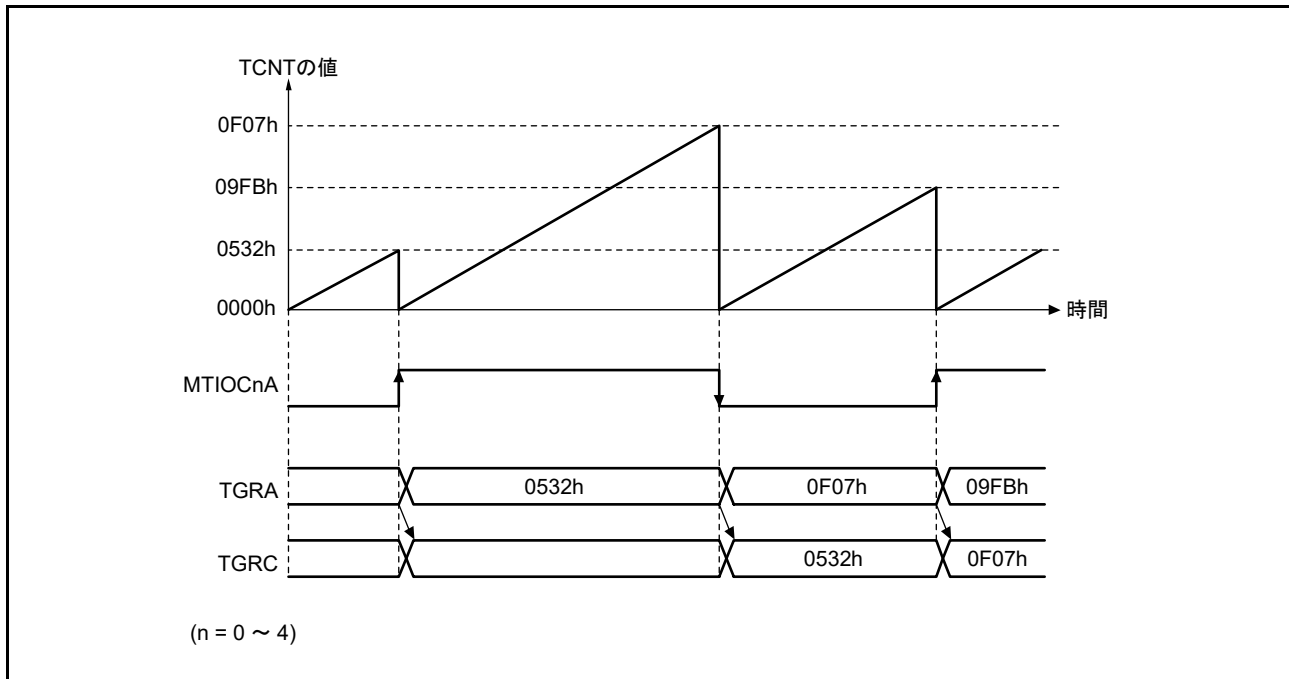


図 23.18 バッファ動作例 (2)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

MTU0.TBTM, MTU3.TBTM, MTU4.TBTM レジスタを設定することで、MTU0 では PWM モード 1、2 時の、MTU3、MTU4 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時（初期値）と TCNT カウンタクリア時のいずれか一方です。ここで TCNT カウンタのクリア時とは次の条件のいずれかが成立したときです。

- TCNT カウンタがオーバーフローしたとき (“FFFFh” → “0000h”)
- カウンタの動作中、TCNT カウンタに “0000h” が書き込まれたとき
- TCR.CCLR[2:0] ビットで設定したクリア要因で、TCNT カウンタが “0000h” になったとき

注. TBTM レジスタの設定は TCNT カウンタが停止した状態で行ってください。

MTU0 を PWM モード 1 に設定し、MTU0.TGRA レジスタと MTU0.TGRC レジスタをバッファ動作に設定した場合の動作例を図 23.19 に示します。MTU0.TCNT カウンタはコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM.TTSA ビットは “1” に設定しています。

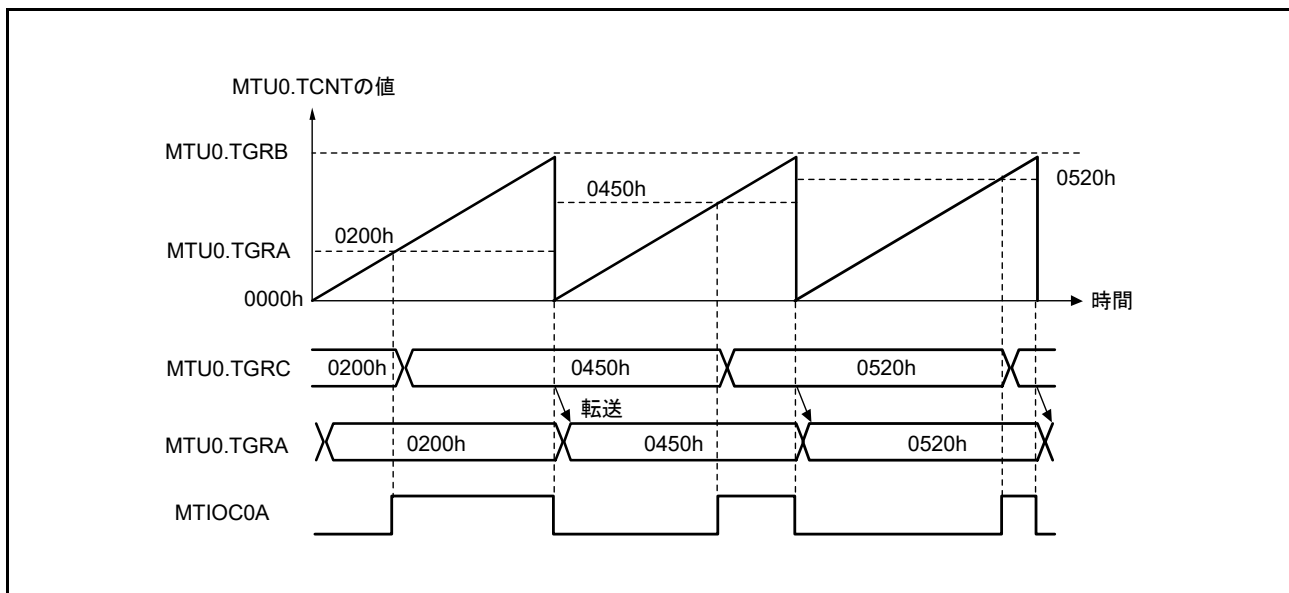


図 23.19 MTU0.TGRC レジスタから MTU0.TGRA レジスタのバッファ転送タイミングを MTU0.TCNT カウンタクリア時に選択した場合の動作例

23.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、MTU1のカウンタクロックをTCR.TPSC[2:0]ビットで“111b”（MTU2.TCNTのオーバフロー/アンダフローでカウント）に設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTカウンタが位相計数モードのときのみです。

表23.44にカスケード接続の組み合わせを示します。

注． MTU1、MTU2を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表23.44 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
MTU1とMTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNTカウンタとMTU2.TCNTカウンタの同時インプットキャプチャをする場合、TICCRレジスタで設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和をとった信号に対して行われます。したがって、いずれか一方がHighのとき、もう一方が変化してもエッジ検出は行われません。詳細は、「(4) カスケード接続動作例(c)」を参照してください。カスケード接続時のインプットキャプチャについては「23.6.22 カスケード接続におけるMTU1.TCNT、MTU2.TCNTカウンタ同時インプットキャプチャ」を参照してください。

TICCRレジスタ設定値とインプットキャプチャ入力端子の対応を表23.45に示します。

表23.45 TICCRレジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCRレジスタ設定値	インプットキャプチャ入力端子
MTU1.TCNTからMTU1.TGRAへのインプットキャプチャ	I2AEビット=0（初期値）	MTIOC1A
	I2AEビット=1	MTIOC1A, MTIOC2A
MTU1.TCNTからMTU1.TGRBへのインプットキャプチャ	I2BEビット=0（初期値）	MTIOC1B
	I2BEビット=1	MTIOC1B, MTIOC2B
MTU2.TCNTからMTU2.TGRAへのインプットキャプチャ	I1AEビット=0（初期値）	MTIOC2A
	I1AEビット=1	MTIOC2A, MTIOC1A
MTU2.TCNTからMTU2.TGRBへのインプットキャプチャ	I1BEビット=0（初期値）	MTIOC2B
	I1BEビット=1	MTIOC2B, MTIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 23.20 に示します。

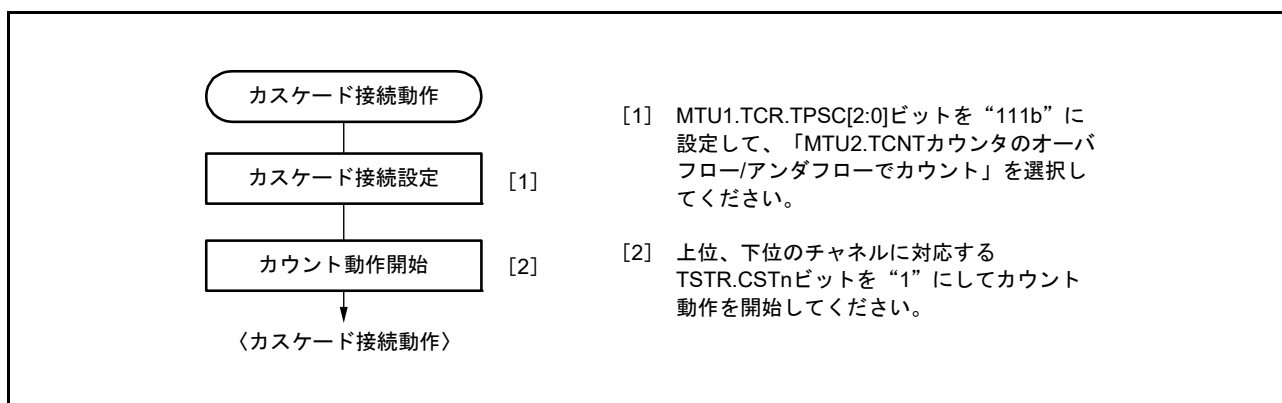


図 23.20 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、MTU1.TCNT カウンタは MTU2.TCNT カウンタのオーバーフロー/アンダフローでカウント、MTU2 を位相計数モード 1 に設定したときの動作を図 23.21 に示します。

MTU1.TCNT カウンタは MTU2.TCNT カウンタのオーバーフローでアップカウント、MTU2.TCNT カウンタのアンダフローでダウンカウントされます。

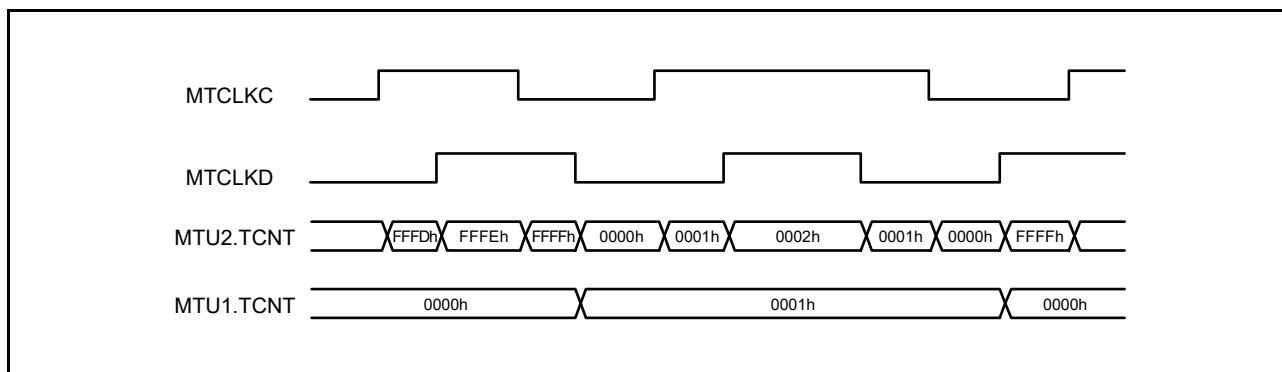


図 23.21 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA レジスタのインプットキャプチャ条件に追加した場合の動作を図 23.22 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、MTIOC1A の立ち上がりエッジでインプットキャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA レジスタのインプットキャプチャ条件に設定されます。また、MTU2.TGRA レジスタのインプットキャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

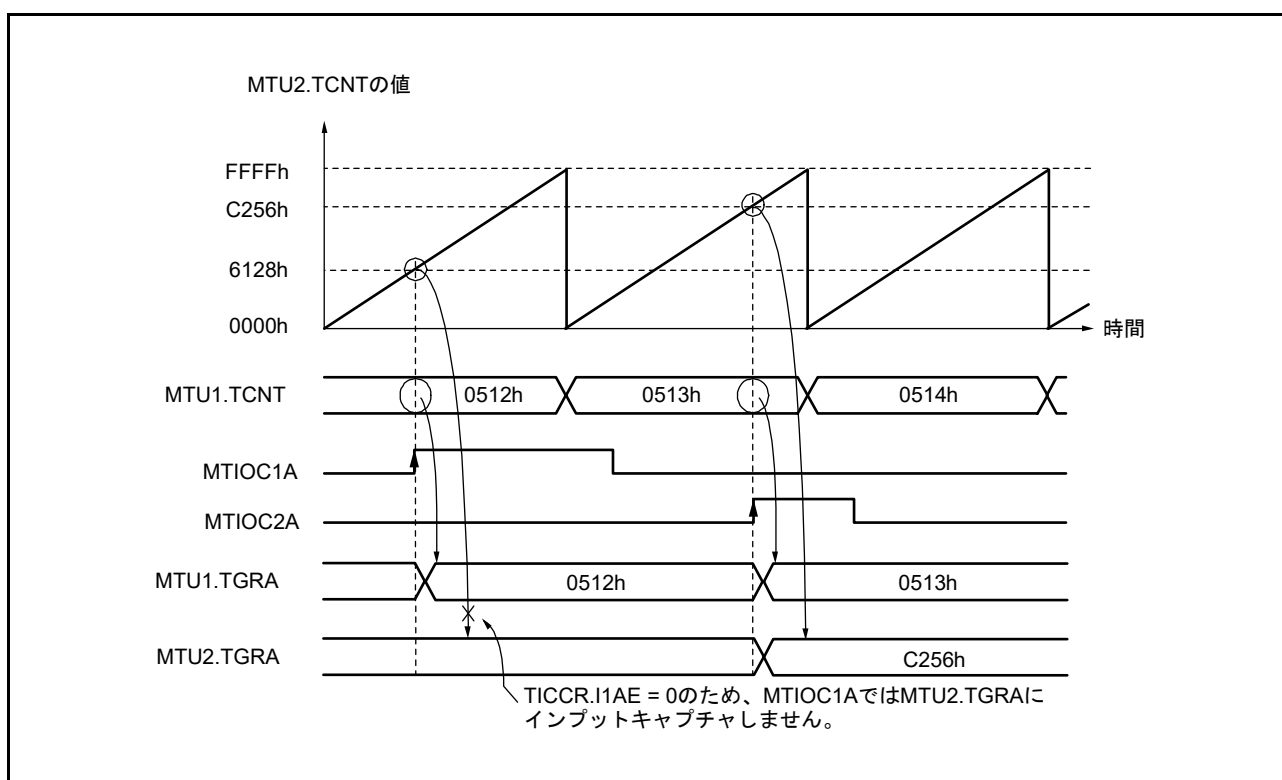


図 23.22 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、TICCR.I2AE ビットと TICCR.I1AE に “1” を設定して、MTIOC2A 端子を MTU1.TGRA レジスタのインプットキャプチャ条件に追加し、MTIOC1A 端子を MTU2.TGRA レジスタのインプットキャプチャ条件に追加した場合の動作を図 23.23 に示します。この例では MTU1.TIOR.IOA[3:0] ビット、MTU2.TIOR.IOA[3:0] ビットの設定は、どちらも両エッジでインプットキャプチャに設定しています。この場合、MTIOC1A と MTIOC2A 入力の OR が MTU1.TGRA レジスタおよび MTU2.TGRA レジスタのインプットキャプチャ条件となります。

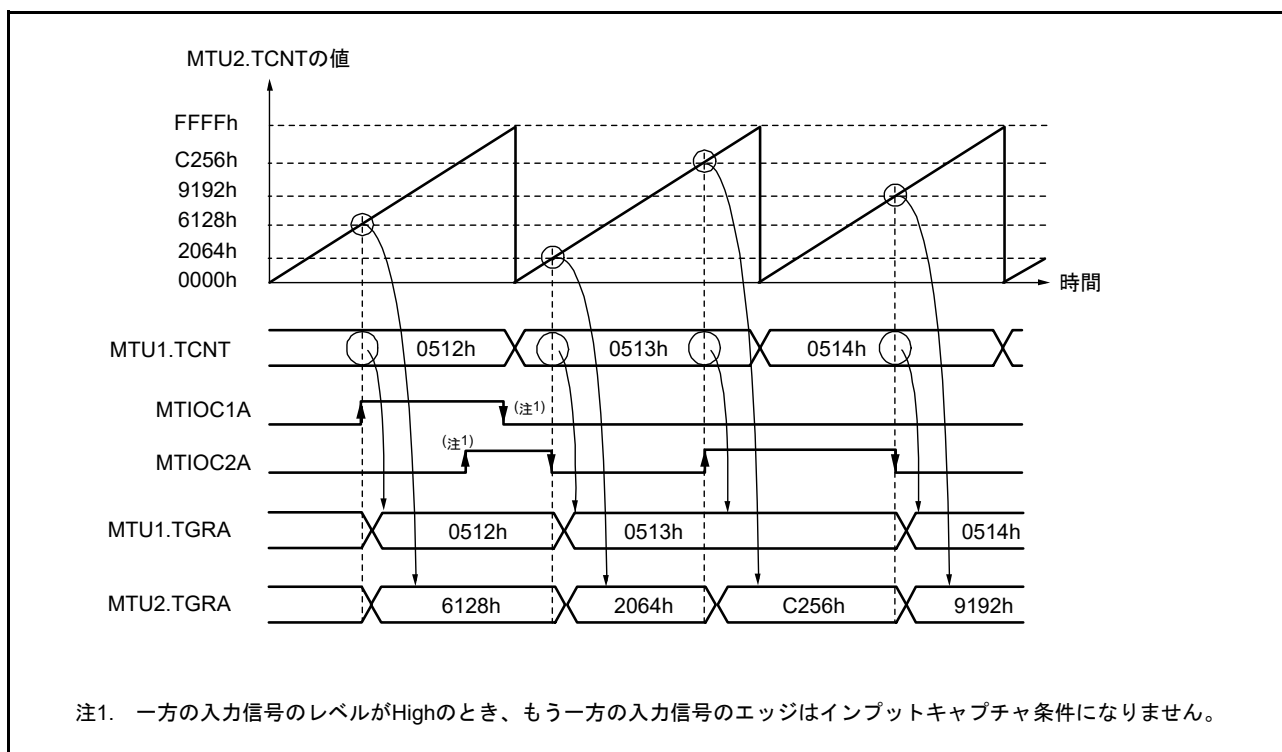


図 23.23 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA レジスタのインプットキャプチャ条件に追加した場合の動作を図 23.24 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、MTU0.TGRA レジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA レジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャのため、TICCR.I2AE ビットを“1”にしても MTIOC2A のエッジが MTU1.TGRA レジスタのインプットキャプチャ条件になることはありません。

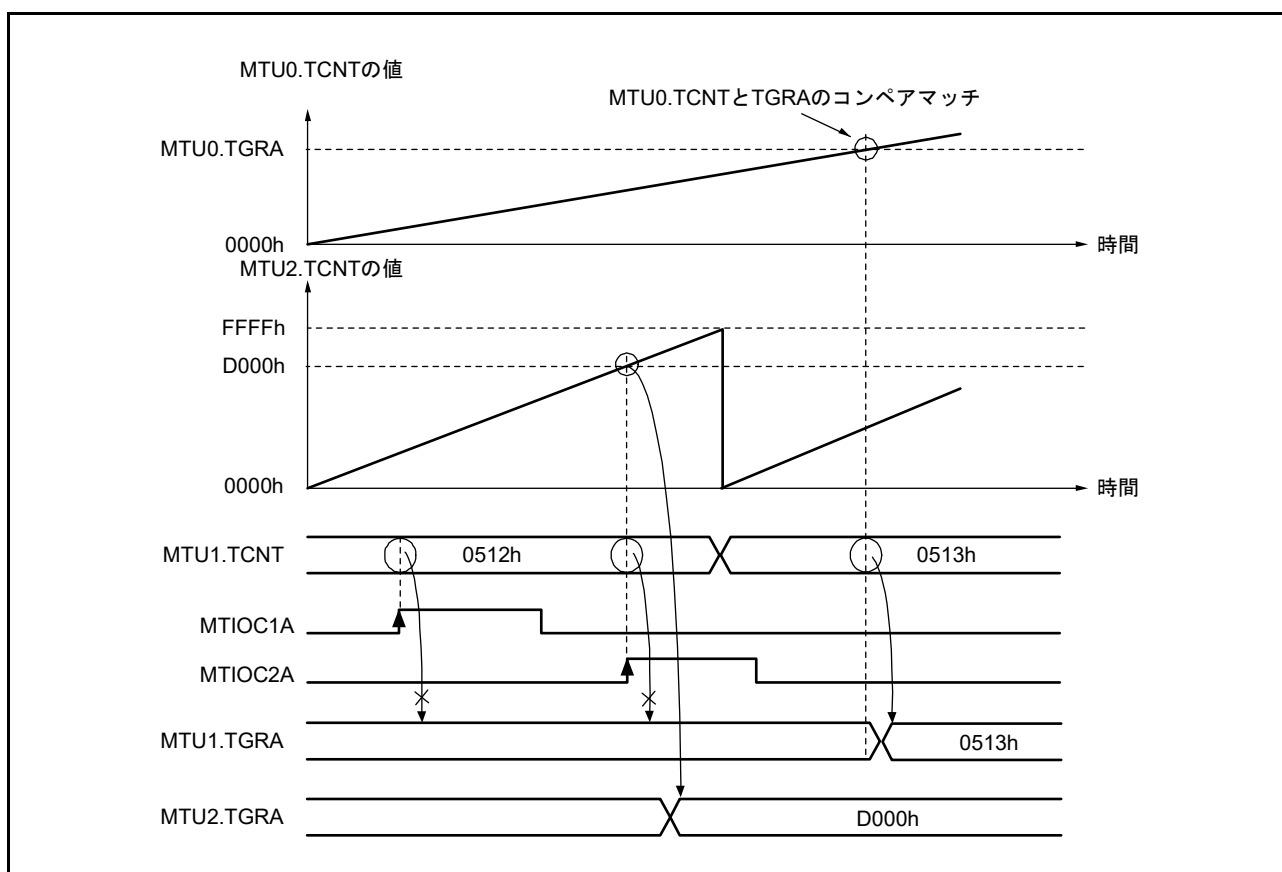


図 23.24 カスケード接続動作例 (d)

23.3.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGR レジスタの設定により、デューティ 0% ~ 100% の PWM 波形が出力できます。

TGR レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル個々に PWM モードに設定できます。PWM モードに設定したチャンネルの同期動作、および PWM モードに設定したチャンネルと他のモードに設定したチャンネルとの同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

(a) PWM モード 1

TGRA レジスタと TGRB, TGRC レジスタと TGRD レジスタをペアで使用して、MTIOChA、MTIOChC 端子から PWM 出力を生成します。MTIOChA、MTIOChC 端子からコンペアマッチ A、C によって TIOR.IOA[3:0]、IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR.IOB[3:0]、IOD[3:0] ビットで指定した出力を行います。初期出力値は TGRA, TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 波形出力が可能です。

(b) PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他の TGR レジスタをデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 23.46 に示します。

表 23.46 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
MTU0	MTU0.TGRA	MTIOC0A	MTIOC0A
	MTU0.TGRB		MTIOC0B
	MTU0.TGRC	MTIOC0C	MTIOC0C
	MTU0.TGRD		MTIOC0D
MTU1	MTU1.TGRA	MTIOC1A	MTIOC1A
	MTU1.TGRB		MTIOC1B
MTU2	MTU2.TGRA	MTIOC2A	MTIOC2A
	MTU2.TGRB		MTIOC2B
MTU3	MTU3.TGRA	MTIOC3A	設定できません
	MTU3.TGRB		
	MTU3.TGRC	MTIOC3C	
	MTU3.TGRD		
MTU4	MTU4.TGRA	MTIOC4A	
	MTU4.TGRB		
	MTU4.TGRC	MTIOC4C	
	MTU4.TGRD		

注. PWM モード 2 のとき、周期を設定した TGR レジスタの PWM 出力はできません。

(1) PWMモードの設定手順例

PWMモードの設定手順例を図 23.25 に示します。

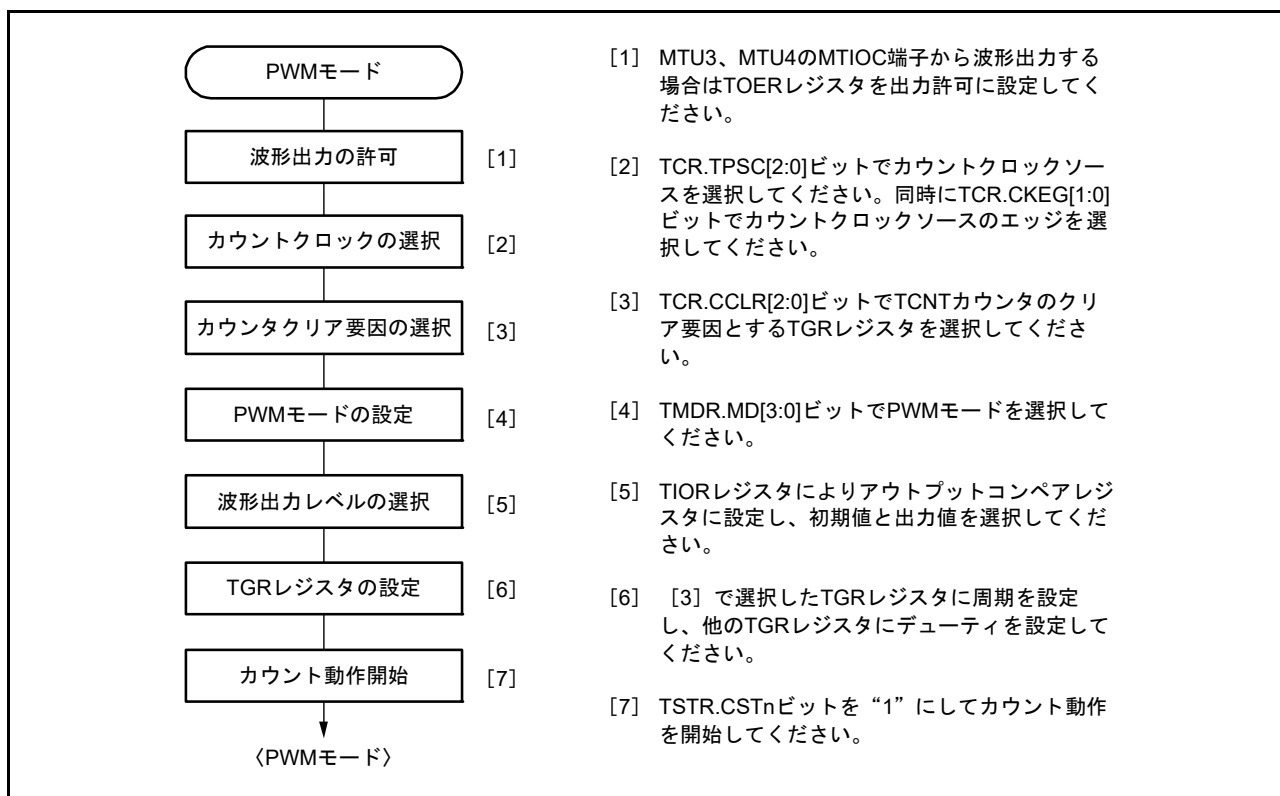


図 23.25 PWMモードの設定手順例

(2) PWMモードの動作例

PWMモード1の動作例を図 23.26 に示します。

この図は、TCNTカウンタのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値をLow、TGRBレジスタの出力値をHighに設定した場合の例です。

この場合、TGRAレジスタに設定した値が周期となり、TGRBレジスタに設定した値がデューティになります。

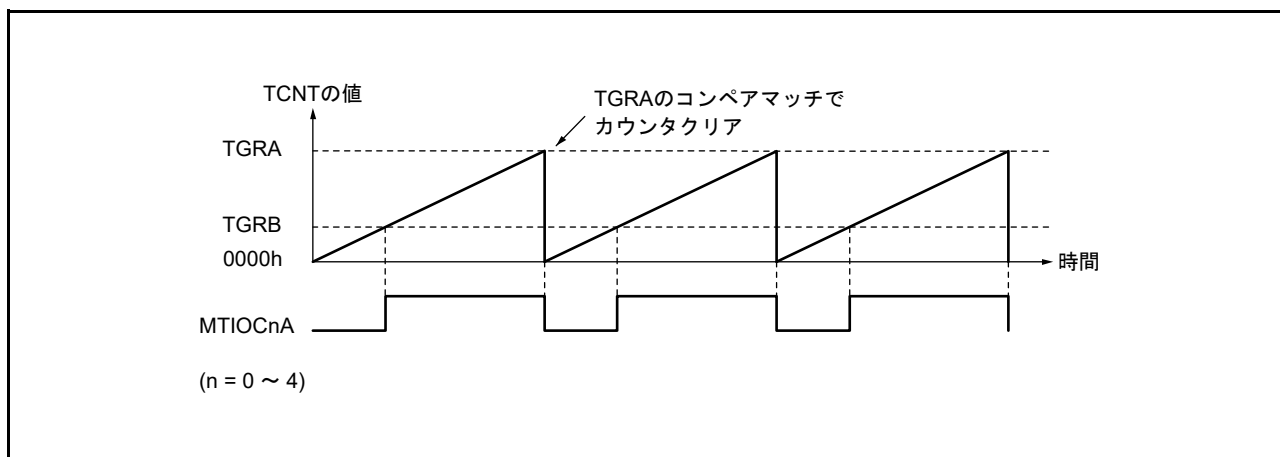


図 23.26 PWMモードの動作例

PWM モード2の動作例を図 23.27 に示します。

この図は、MTU0 と MTU1 を同期動作させ、TCNT カウンタのクリア要因を MTU1.TGRB レジスタのコンペアマッチとし、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD, MTU1.TGRA) の初期出力値を Low、出力値を High に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、MTU1.TGRB レジスタに設定した値が周期となり、他の TGR レジスタに設定した値がデューティになります。

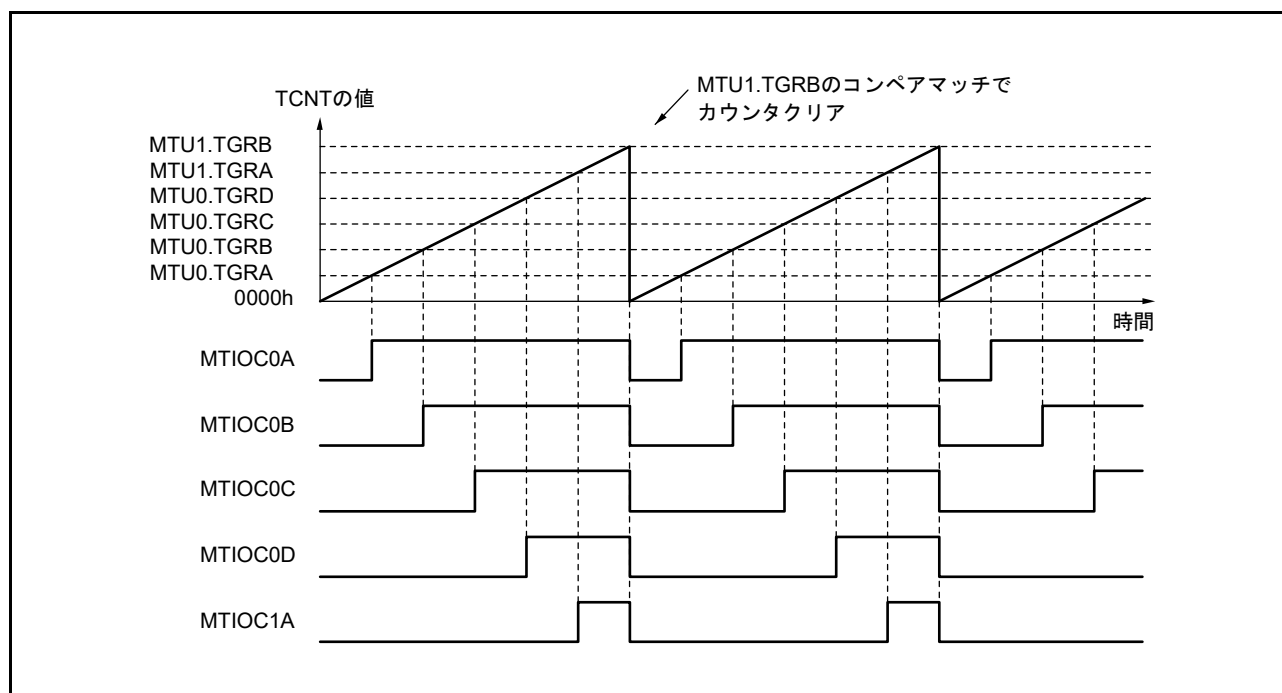


図 23.27 PWM モードの動作例

PWMモード1で、デューティ0%、デューティ100%のPWM波形を出力する例を図23.28に示します。この図は、TCNTカウンタのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値をLow、TGRBレジスタの出力値をHighに設定した場合の例です。

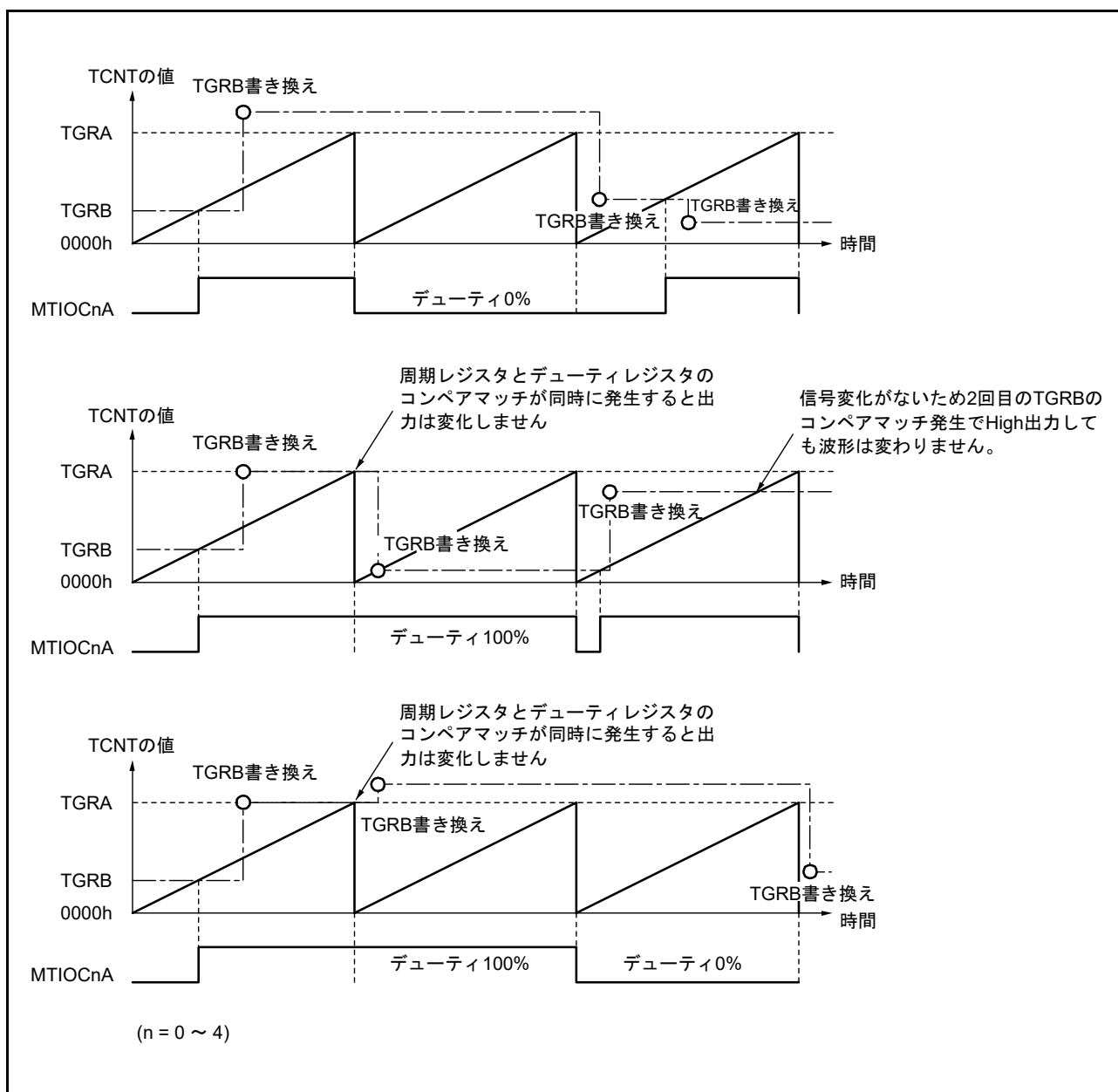


図 23.28 PWM モード動作例

23.3.6 位相計数モード

位相計数モードに設定すると、TCR.TPSC[2:0], CKEG[1:0] ビットの設定にかかわらずカウントクロックには外部クロックが選択され、TCNT カウンタはアップカウンタ/ダウンカウンタとして動作します。ただし、TCR.CCLR[1:0] ビット、TIOR, TIER, TGR レジスタの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2相エンコーダパルスの入力として使用できます。

TCNT カウンタがアップカウント時、オーバフローが発生すると、対応する TIER.TCIEV ビットが“1”ならば、TCIV 割り込みが発生します。また、ダウンカウント時アンダフローが発生すると、対応する TIER.TCIEU ビットが“1”ならば TCIU 割り込みが発生します。

TSR.TCFD フラグはカウント方向フラグです。TCFD フラグの読み出しにより、TCNT カウンタがアップカウントしているかダウンカウントしているかを確認することができます。

位相計数モードでは、外部クロック端子 MTCLKA、MTCLKB、MTCLKC、MTCLKD を2相エンコーダパルスの入力端子として使用できます。表 23.47 に外部クロック端子とチャンネルの対応を示します。

表 23.47 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
MTU1	MTCLKA	MTCLKB
MTU2	MTCLKC	MTCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 23.29 に示します。

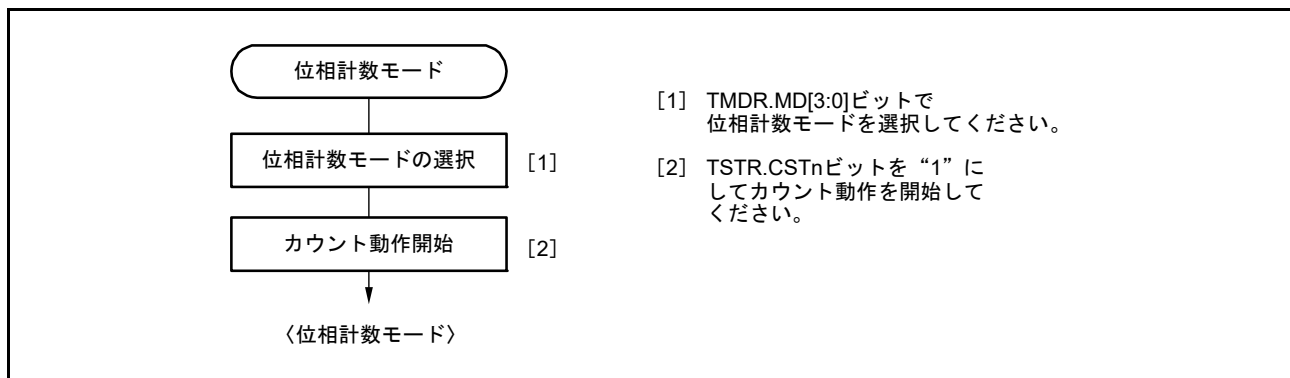


図 23.29 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTカウンタがアップカウント/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図23.30に、TCNTカウンタのアップカウント/ダウンカウント条件を表23.48に示します。

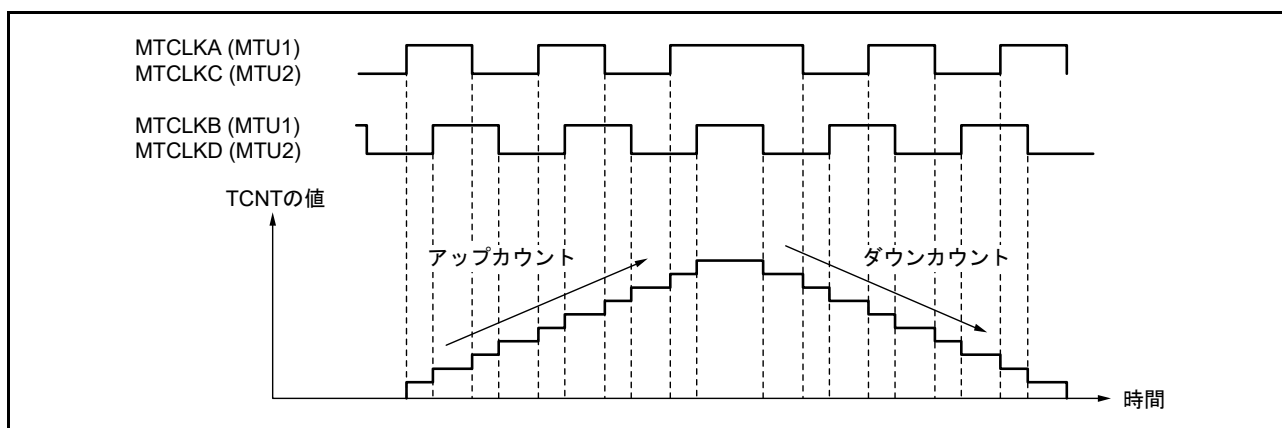


図 23.30 位相計数モード1の動作例

表23.48 位相計数モード1のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図23.31に、TCNTカウンタのアップカウント/ダウンカウント条件を表23.49に示します。

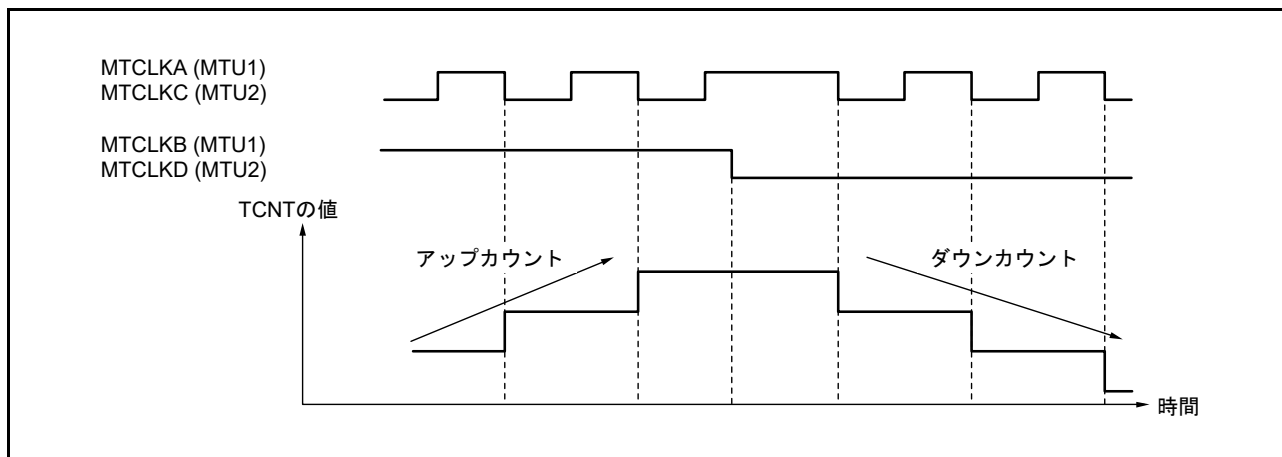


図 23.31 位相計数モード2の動作例

表 23.49 位相計数モード2のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High		カウントしない (Don't care)
Low		カウントしない (Don't care)
	Low	カウントしない (Don't care)
	High	アップカウント
High		カウントしない (Don't care)
Low		カウントしない (Don't care)
	High	カウントしない (Don't care)
	Low	ダウンカウント

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図23.32に、TCNTカウンタのアップカウント/ダウンカウント条件を表23.50に示します。

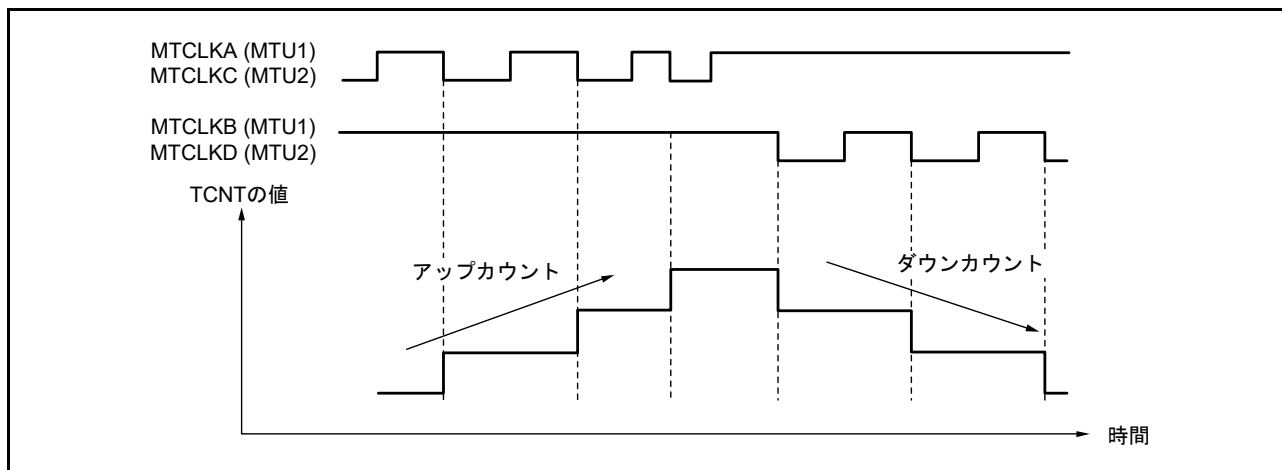


図 23.32 位相計数モード3の動作例

表 23.50 位相計数モード3のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	カウントしない (Don't care)
Low	↓	カウントしない (Don't care)
↑	Low	カウントしない (Don't care)
↓	High	アップカウント
High	↓	ダウンカウント
Low	↑	カウントしない (Don't care)
↑	High	カウントしない (Don't care)
↓	Low	カウントしない (Don't care)

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図23.33に、TCNTカウンタのアップカウント/ダウンカウント条件を表23.51に示します。

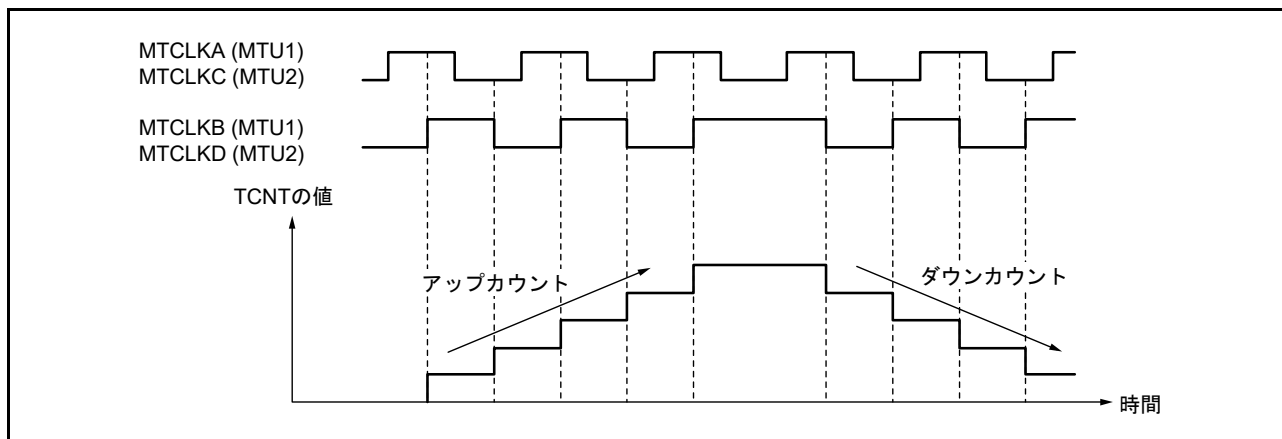


図 23.33 位相計数モード4の動作例

表 23.51 位相計数モード4のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	カウントしない (Don't care)
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	カウントしない (Don't care)
↓	Low	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

MTU1 を位相計数モードに設定し、MTU0 と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図 23.34 に示します。

MTU1 は位相計数モード1に設定し、MTCLKA と MTCLKB にエンコーダパルスのA相、B相を入力します。

MTU0.TCNT カウンタを MTU0.TGRC レジスタのコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRA レジスタと MTU0.TGRC レジスタはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。MTU0.TGRB レジスタは入力キャプチャ機能で使用し、MTU0.TGRB レジスタと MTU0.TGRD レジスタをバッファ動作させます。MTU0.TGRB レジスタの入力キャプチャ要因は、MTU1 のカウントクロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

MTU1.TGRA レジスタと MTU1.TGRB レジスタは、入力キャプチャ機能に設定し、入力キャプチャ要因は MTU0.TGRA レジスタと MTU0.TGRC レジスタのコンペアマッチを選択し、それぞれの制御周期時のアップカウンタ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

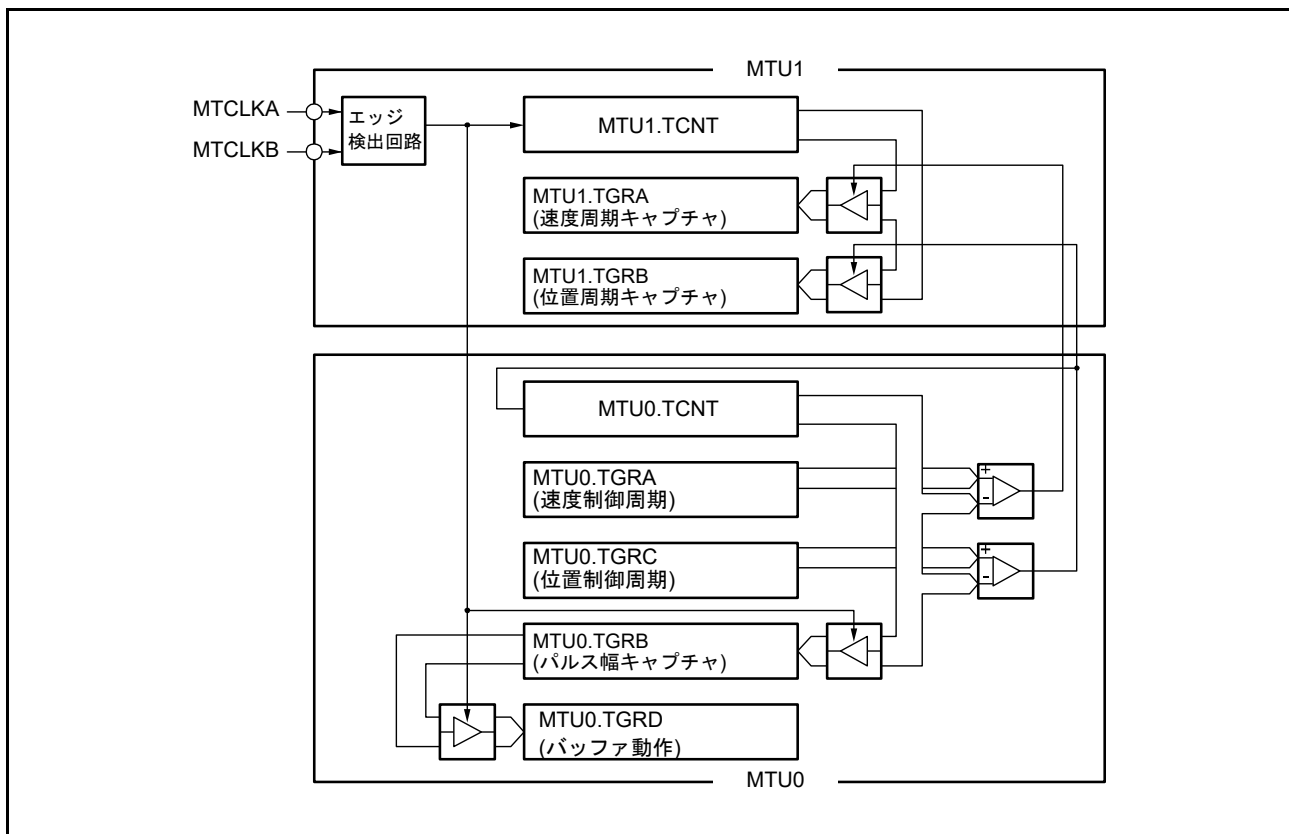


図 23.34 位相計数モードの応用例

23.3.7 リセット同期 PWM モード

リセット同期 PWM モードは、MTU3、MTU4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 6 相出力します。

リセット同期 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、および MTIOC4D 端子は PWM 出力端子となり、MTU3.TCNT カウンタはアップカウンタとして機能します。

PWM 出力端子を表 23.52 に、レジスタの設定を表 23.53 に示します。

表 23.52 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3B	PWM出力端子1
	MTIOC3D	PWM出力端子1' (PWM出力1の逆相波形)
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2' (PWM出力2の逆相波形)
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3' (PWM出力3の逆相波形)

表 23.53 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
MTU3.TCNT	"0000h" を初期設定
MTU4.TCNT	"0000h" を初期設定
MTU3.TGRA	MTU3.TCNTのカウンタ周期を設定
MTU3.TGRB	MTIOC3B、MTIOC3D端子より出力されるPWM波形の変化点を設定
MTU4.TGRA	MTIOC4A、MTIOC4C端子より出力されるPWM波形の変化点を設定
MTU4.TGRB	MTIOC4B、MTIOC4D端子より出力されるPWM波形の変化点を設定

(1) リセット同期PWMモードの設定手順例

リセット同期PWMモードの設定手順例を図 23.35 に示します。

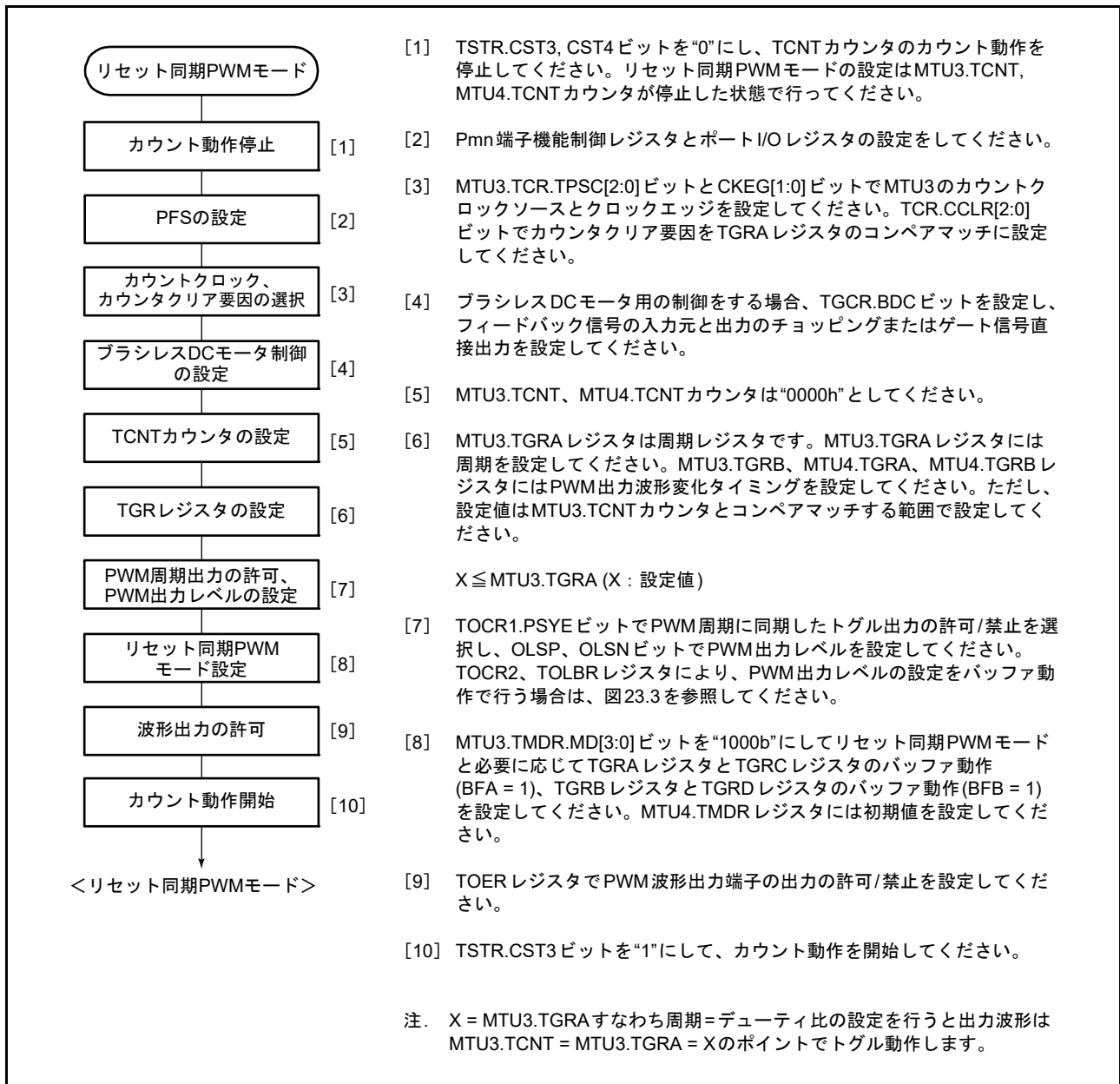


図 23.35 リセット同期PWMモードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 23.36 に示します。

リセット同期 PWM モードでは、MTU3.TCNT カウンタと MTU4.TCNT カウンタはアップカウンタとして動作します。MTU3.TCNT カウンタが MTU3.TGRA レジスタとコンペアマッチするとカウンタはクリアされ“0000h”からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB、MTU4.TGRA、MTU4.TGRB レジスタのコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

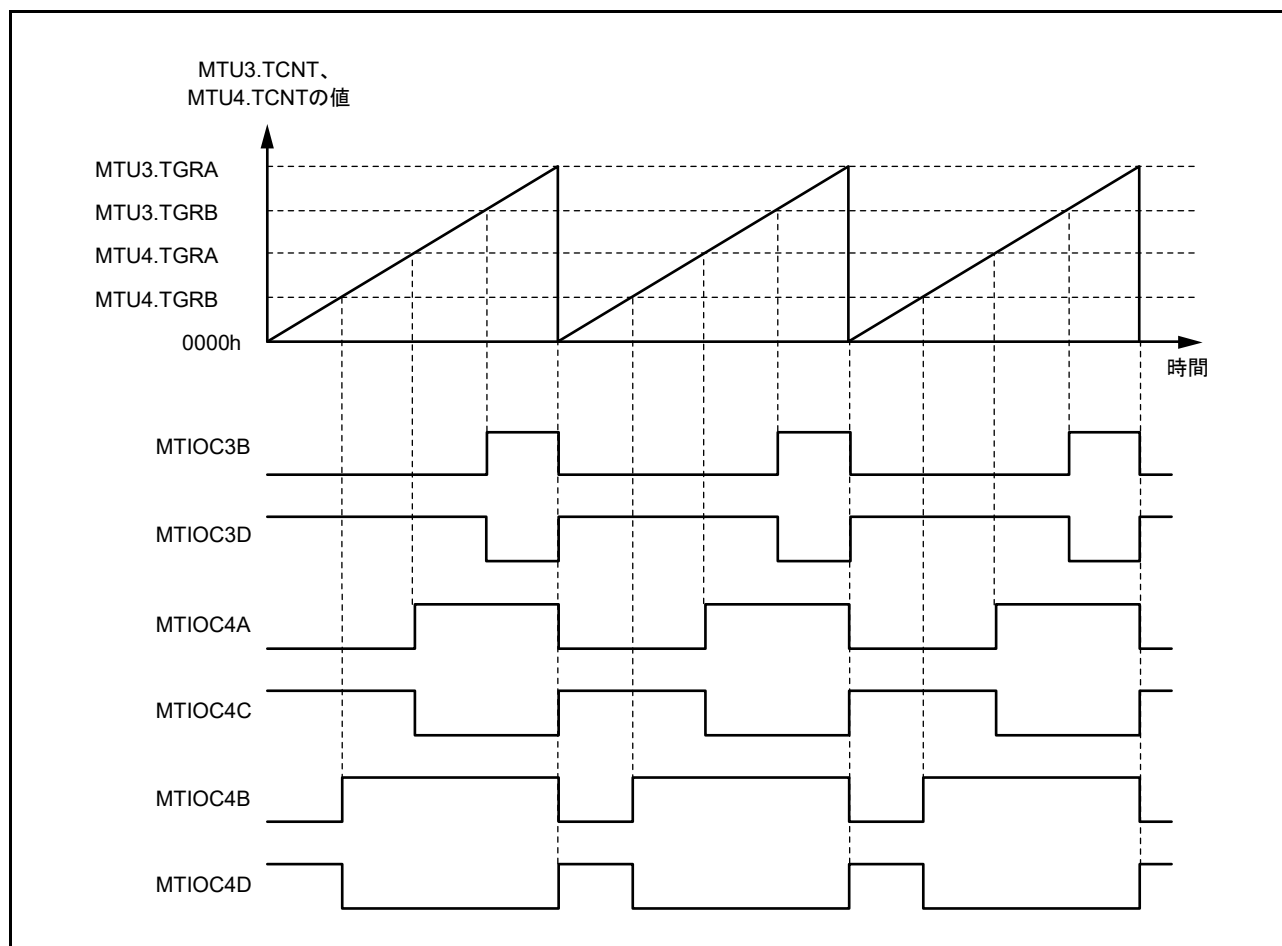


図 23.36 リセット同期 PWM モードの動作例 (TOCR1 レジスタの OLSN = 1、OLSP = 1 に設定した場合)

23.3.8 相補 PWM モード

相補 PWM モードでは、出力する PWM 波形にデッドタイムを設定できます。デッドタイムとは、アーム短絡を防止するために上下アームトランジスタを両方とも非アクティブレベルにする期間のことです。

MTU3、MTU4 を組み合わせることによりデッドタイムを設定した PWM 波形（正相・逆相）を 6 相出力します。また、デッドタイムがない PWM 波形を出力することもできます。

相補 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子は PWM 出力端子となり、MTIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTU3.TCNT カウンタと MTU4.TCNT カウンタはアップ/ダウンカウンタとして機能します。

使用される PWM 出力端子を表 23.54 に、使用するレジスタの設定を表 23.55 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 23.54 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3A	PWM 周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM 出力端子 1
	MTIOC3C	入出力ポート(注1)
	MTIOC3D	PWM 出力端子 1'（PWM 出力 1 の逆相波形出力）
MTU4	MTIOC4A	PWM 出力端子 2
	MTIOC4C	PWM 出力端子 2'（PWM 出力 2 の逆相波形出力）
	MTIOC4B	PWM 出力端子 3
	MTIOC4D	PWM 出力端子 3'（PWM 出力 3 の逆相波形出力）

注 1. MTIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表23.55 相補PWMモード時のレジスタ設定

チャンネル	カウンタ/ レジスタ	説明	CPUからの読み出し/書き込み
MTU3	MTU3.TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERレジスタの設定(注1)によりマスク可能
	MTU3.TGRA	MTU3.TCNTの上限値を設定 (キャリア周期の1/2 + デッドタイム)	TRWERレジスタの設定(注1)によりマスク可能
	MTU3.TGRB	PWM出力1のコンペアレジスタ	TRWERレジスタの設定(注1)によりマスク可能
	MTU3.TGRC	MTU3.TGRAのバッファレジスタ	読み出し/書き込み可能
	MTU3.TGRD	PWM出力1/MTU3.TGRBのバッファレジスタ	読み出し/書き込み可能
MTU4	MTU4.TCNT	"0000h"を初期設定しカウントアップスタート	TRWERレジスタの設定(注1)によりマスク可能
	MTU4.TGRA	PWM出力2のコンペアレジスタ	TRWERレジスタの設定(注1)によりマスク可能
	MTU4.TGRB	PWM出力3のコンペアレジスタ	TRWERレジスタの設定(注1)によりマスク可能
	MTU4.TGRC	PWM出力2/MTU4.TGRAのバッファレジスタ	読み出し/書き込み可能
	MTU4.TGRD	PWM出力3/MTU4.TGRBのバッファレジスタ	読み出し/書き込み可能
タイマデッドタイムデータレジスタ (TDDR)	MTU4.TCNTとMTU3.TCNTのオフセット値 (デッドタイムの値) を設定	TRWERレジスタの設定(注1)によりマスク可能	
タイマ周期データレジスタ (TCDR)	MTU4.TCNTの上限値の値を設定 (キャリア周期の1/2)	TRWERレジスタの設定(注1)によりマスク可能	
タイマ周期/バッファレジスタ (TCBR)	TCDRレジスタのバッファレジスタ	読み出し/書き込み可能	
サブカウンタ (TCNTS)	デッドタイム生成のためのサブカウンタ	読み出しのみ可能	
テンポラリレジスタ1 (TEMP1)	PWM出力1/MTU3.TGRBのテンポラリレジスタ	読み出し/書き込み不可	
テンポラリレジスタ2 (TEMP2)	PWM出力2/MTU4.TGRAのテンポラリレジスタ	読み出し/書き込み不可	
テンポラリレジスタ3 (TEMP3)	PWM出力3/MTU4.TGRBのテンポラリレジスタ	読み出し/書き込み不可	

注1. TRWERレジスタ (タイマリードライト許可レジスタ) の設定によりアクセスの許可/禁止が可能です。

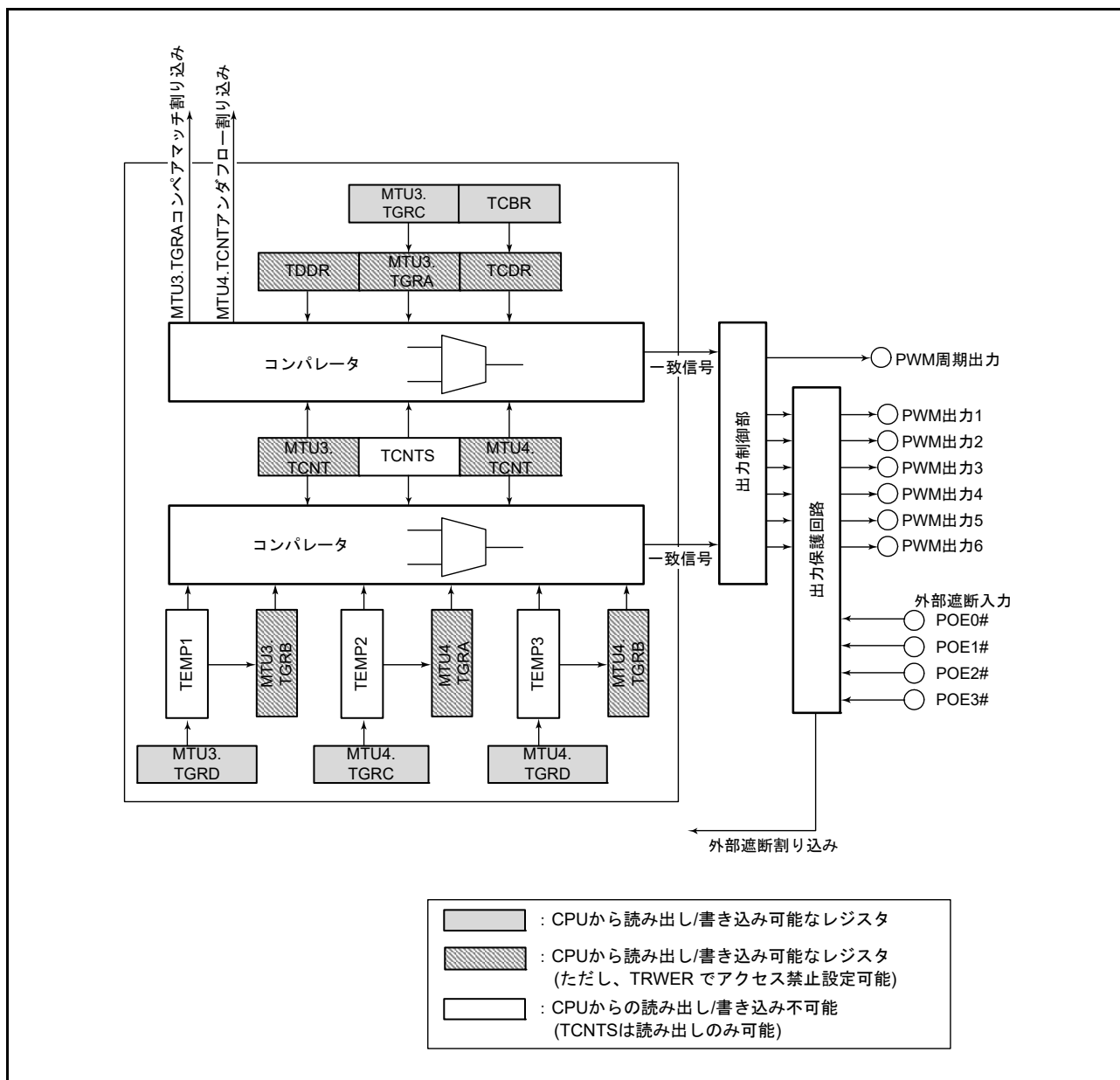


図 23.37 相補 PWM モード時の MTU3、MTU4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 23.38 に示します。



- [1] TSTR.CST3, CST4ビットを“0”にし、TCNTカウンタのカウント動作を停止してください。相補PWMモードの設定はMTU3.TCNT, MTU4.TCNTカウンタが停止した状態で行ってください。
- [2] Pmn端子機能制御レジスタとポートI/Oレジスタの設定をしてください。
- [3] TCR.TPSC[2:0]ビットとCKEG[1:0]ビットでMTU3、MTU4に同一のカウントクロックソースとクロックエッジを設定してください。TCR.CCLR[2:0]ビットは相補PWMモードの動作中に他チャンネルからの同期クリアで再スタートさせる場合のみ同期クリアを設定してください。
- [4] ブラシレスDCモータ用の制御をする場合、TGCR.BDCビットを設定し、フィードバック信号の入力元と出力のチョッピングまたはゲート信号直接出力を設定してください。
- [5] MTU3.TCNTカウンタにはデッドタイムを設定してください。MTU4.TCNTカウンタは“0000h”としてください。
- [6] 相補PWMモードの動作中に他チャンネルからの同期クリアで再スタートさせる場合のみ設定してください。このときTSYRレジスタでMTU3、MTU4と同期クリア発生するチャンネルを同期させてください。
- [7] 出力するPWMデューティをコンペアレジスタ (MTU3.TGRB, MTU4.TGRA, MTU4.TGRB) とバッファレジスタ (MTU3.TGRD, MTU4.TGRC, MTU4.TGRD) に設定します。バッファレジスタとコンペアレジスタには、同じ値を設定してください。
- [8] デッドタイムを生成しない場合のみ設定してください。TDERレジスタでデッドタイムを生成しないを選択します。
- [9] TDDRレジスタにデッドタイムを設定し、TCDR, TCBRレジスタにキャリア周期の1/2を、MTU3.TGRAレジスタとMTU3.TGRCレジスタにキャリア周期の1/2にデッドタイム分加えた値を設定してください。デッドタイムを生成しない設定をした場合は、TDDRレジスタに“1”、MTU3.TGRAレジスタとMTU3.TGRCレジスタにキャリア周期の1/2 + 1を設定してください。
- [10] TOCR1.PSYEビットでPWM周期に同期したトグル出力の許可/禁止を選択し、OLSP、OLSNビットでPWM出力レベルを設定してください。MTU.TOCR2、TOLBRレジスタにより、PWM出力レベルの設定をバッファ動作で行う場合は、「PWM出力レベルの設定をバッファ動作で行う場合の設定手順例」を参照してください。
- [11] MTU3.TMDRレジスタで相補PWMモードと必要に応じてTGRCレジスタとTGRCレジスタのバッファ動作 (BFA = 1) とTGRBレジスタとTGRDレジスタのバッファ動作 (BFB = 1)を選択してください。MTU4.TMDRレジスタには設定しないでください。
- [12] TOERレジスタでPWM波形出力端子の出力の許可/禁止を設定してください。
- [13] TSTR.CST3, CST4ビットを同時に“1”にして、カウント動作を開始してください。

図 23.38 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6相（正相3本、逆相3本）の PWM 出力が可能です。図 23.39 に相補 PWM モードのカウンタ動作を示します。図 23.40 に相補 PWM モード動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、MTU3.TCNT, MTU4.TCNT カウンタおよび TCNTS カウンタの3本のカウンタがアップダウンカウンタ動作を行います。

MTU3.TCNT カウンタは、相補 PWM モードに設定され TSTR.CST3 ビットが“0”のとき、TDDR レジスタに設定された値が自動的に初期値として設定されます。

CST3 ビットが“1”に設定されると、MTU3.TGRA レジスタに設定された値までアップカウント動作を行い、MTU3.TGRA レジスタと一致するとダウンカウントに切り替わります。その後、TDDR レジスタと一致するとアップカウントに切り替わり、この動作を繰り返します。

また、MTU4.TCNT カウンタには、初期値として“0000h”を設定します。

CST4 ビットが“1”に設定されると、MTU3.TCNT カウンタに同期して動作しアップカウントを行い、TCDR レジスタと一致するとダウンカウントに切り替わります。この後、“0000h”と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTS カウンタは、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

MTU3 と MTU4 の TCNT カウンタがアップダウンカウント時、MTU3.TCNT カウンタが TCDR レジスタと一致するとダウンカウントを開始し、TCNTS カウンタが TCDR レジスタと一致するとアップカウントに切り替わります。また、MTU3.TGRA レジスタと一致すると“0000h”になります。

MTU3.TCNT、MTU4.TCNT カウンタがダウンカウント時、MTU4.TCNT カウンタが TDDR レジスタと一致するとアップカウントを開始し、TCNTS カウンタが TDDR レジスタと一致するとダウンカウントに切り替わります。また、“0000h”に一致すると TCNTS カウンタは MTU3.TGRA レジスタの値が設定されます。

TCNTS カウンタは、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

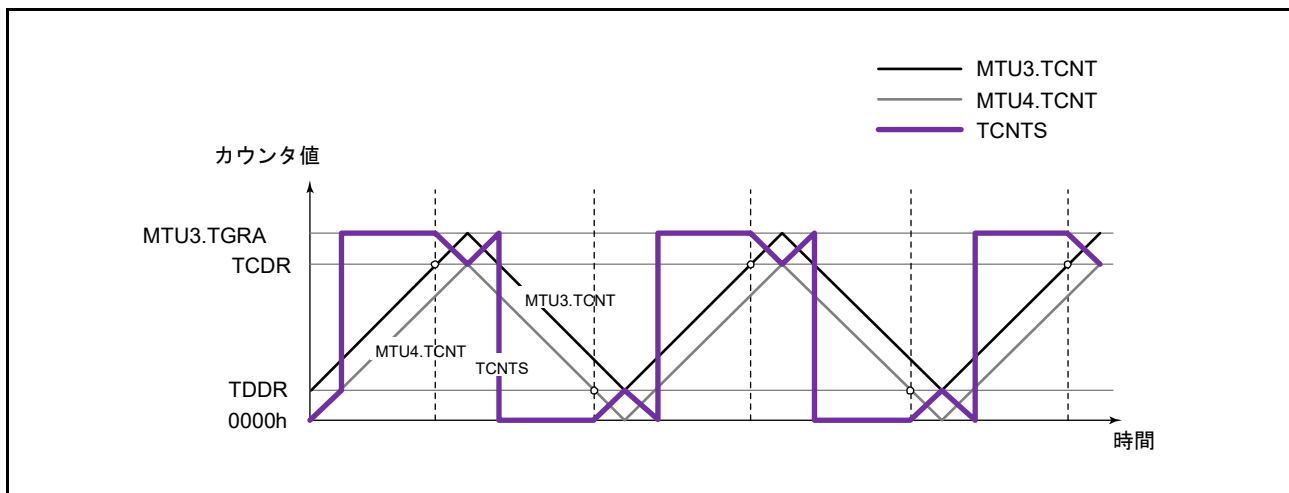


図 23.39 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの9本のレジスタを使用して PWM 出力のデューティ制御を行います。図 23.40 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと比較されているレジスタが、MTU3.TGRB, MTU4.TGRA, MTU4.TGRB レジスタです。これらのレジスタとカウンタが一致すると TOCR1.OLSN, OLSP ビットで設定した値が PWM 出力端子から出力されます。

これらのコンペアレジスタのバッファレジスタが、MTU3.TGRD, MTU4.TGRC, MTU4.TGRD レジスタです。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し/書き込みが可能です。

バッファレジスタのデータを書き換える場合は、最後に必ず MTU4.TGRD レジスタへの書き込みを行い、バッファレジスタからテンポラリレジスタへのデータ転送を許可してください。このとき、タイマ周期レジスタのバッファレジスタとして動作する TCBR レジスタ、MTU3.TGRC レジスタからテンポラリレジスタへの転送も許可されます。転送は5本すべてのテンポラリレジスタ同時に行われます。

Ta 区間で転送を許可すると、バッファレジスタに書き込まれたデータはすぐにテンポラリレジスタに転送されます。また Tb1 区間と Tb2 区間では、テンポラリレジスタには転送されません。この区間で転送を許可されたデータは区間が終了後、テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb1 区間が終了したとき (TCNTS カウンタがアップカウント時に MTU3.TGRA レジスタと一致したとき)、または Tb2 区間が終了したとき (TCNTS カウンタがダウンカウント時に "0000h" と一致したとき) にコンペアレジスタに転送されます。テンポラリレジスタからコンペアレジスタに転送するタイミングは、TMDR.MD[3:0] ビットで選択できます。図 23.40 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 23.40 では Tb2) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1相の出力に対して2本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MTU3.TCNT, MTU4.TCNT カウンタおよび TCNTS カウンタの3本、カウンタとコンペアレジスタ、テンポラリレジスタの各2本のレジスタが比較され、PWM 出力を制御します。

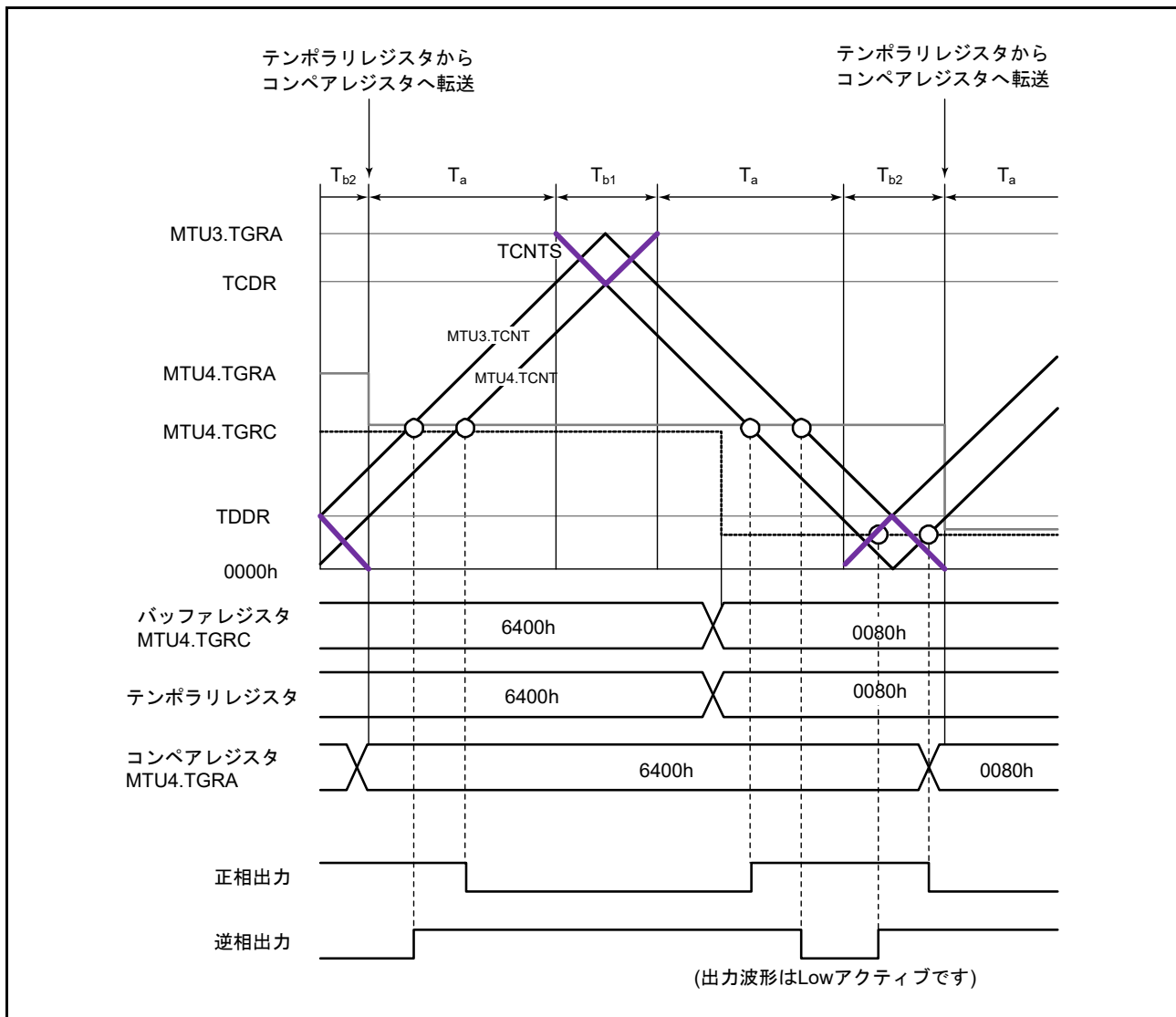


図 23.40 相補 PWM モード動作例

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

TMDR.MD[3:0] ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

MTU3.TGRC レジスタは MTU3.TGRA レジスタのバッファレジスタとして動作し、PWM 周期の $1/2 +$ デッドタイム T_d を設定します。TCBR レジスタは、TCDR レジスタのバッファレジスタとして動作し、PWM 周期の $1/2$ を設定します。また、TDDR レジスタには、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、TDER.TDER ビットを“0”に設定し、MTU3.TGRC、MTU3.TGRA レジスタには、PWM 周期の $1/2+1$ を、TDDR レジスタには“1”を設定します。

バッファレジスタ MTU3.TGRD、MTU4.TGRC、MTU4.TGRD レジスタの 3 本には、それぞれ PWM デューティの初期値を設定します。

TDDR レジスタを除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTU4.TCNT カウンタは、相補 PWM モードに設定する前に“0000h”に設定してください。

表 23.56 初期設定に必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
MTU3.TGRC	PWM周期の1/2 + デッドタイムTd (TDERでデッドタイム生成をなしに設定した場合はPWM周期の1/2+1)
TDDR	デッドタイムTd (TDERでデッドタイム生成をなしに設定した場合1)
TCBR	PWM周期の1/2
MTU3.TGRD, MTU4.TGRC, MTU4.TGRD	各相のPWMデューティの初期値
MTU4.TCNT	“0000h”

注. MTU3.TGRCレジスタの設定値は、TCBRレジスタに設定するPWM周期の1/2の値とTDDRレジスタに設定するデッドタイムTdの値の和としてください。ただし、TDERレジスタでデッドタイム生成をなしに設定した場合は、PWM周期の1/2+1としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM 出力の出力レベルを TOCR1.OLSN, OLSP ビット、または、TOCR2.OLS1P ~ OLS3P, OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、PWM 出力にデッドタイムを設定できます。

デッドタイムは、TDDR レジスタに設定します。TDDR レジスタに設定した値が、MTU3.TCNT カウンタのカウンタスタート値となり、MTU3.TCNT カウンタと MTU4.TCNT カウンタのデッドタイムを生成します。TDDR レジスタの内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、TDER.TDER ビットを“0”に設定します。TDER レジスタは、“1”を読み出し後、“0”を書いたときのみ、“0”に設定できます。

MTU3.TGRA, TGRC レジスタには PWM 周期の 1/2 + 1 を設定し、TDDR レジスタには“1”を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 23.41 にデッドタイムを生成しない場合の動作例を示します。

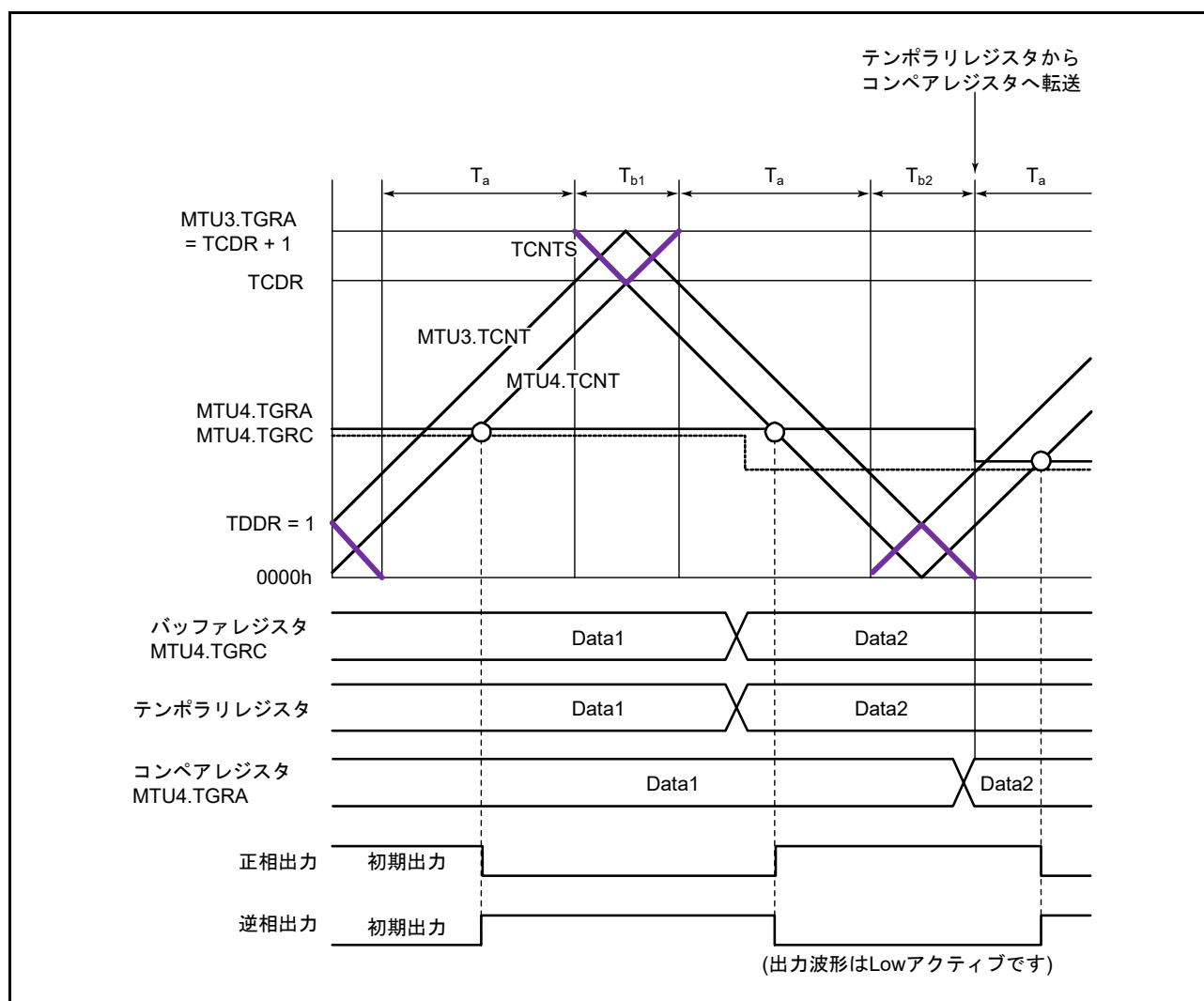


図 23.41 デッドタイムを生成しない場合の動作例

(g) PWM 周期の設定

相補 PWM モードでは、PWM 周期を MTU3.TCNT カウンタの上限値を設定する MTU3.TGRA レジスタと MTU4.TCNT カウンタの上限値を設定する TCDR レジスタの 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり : $\text{MTU3.TGRA の設定値} = \text{TCDR の設定値} + \text{TDDR の設定値}$

デッドタイム生成なし : $\text{MTU3.TGRA の設定値} = \text{TCDR の設定値} + 1$

TCDR レジスタと TDDR レジスタの関係が、次の関係になるように設定してください。

$\text{TCDR の設定値} > \text{TDDR の設定値} \times 2 + 2$

また、MTU3.TGRA, TCDR レジスタの設定は、バッファレジスタの MTU3.TGRC, TCBR レジスタに値を設定することで行ってください。MTU4.TGRD レジスタへの書き込みを行い転送を許可すると、MTU3.TGRC, TCBR レジスタに設定した値は、TMDR.MD[3:0] ビットで選択した転送タイミングで MTU3.TGRA, TCDR レジスタに同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 23.42 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(h) レジスタデータの更新」の項を参照してください。

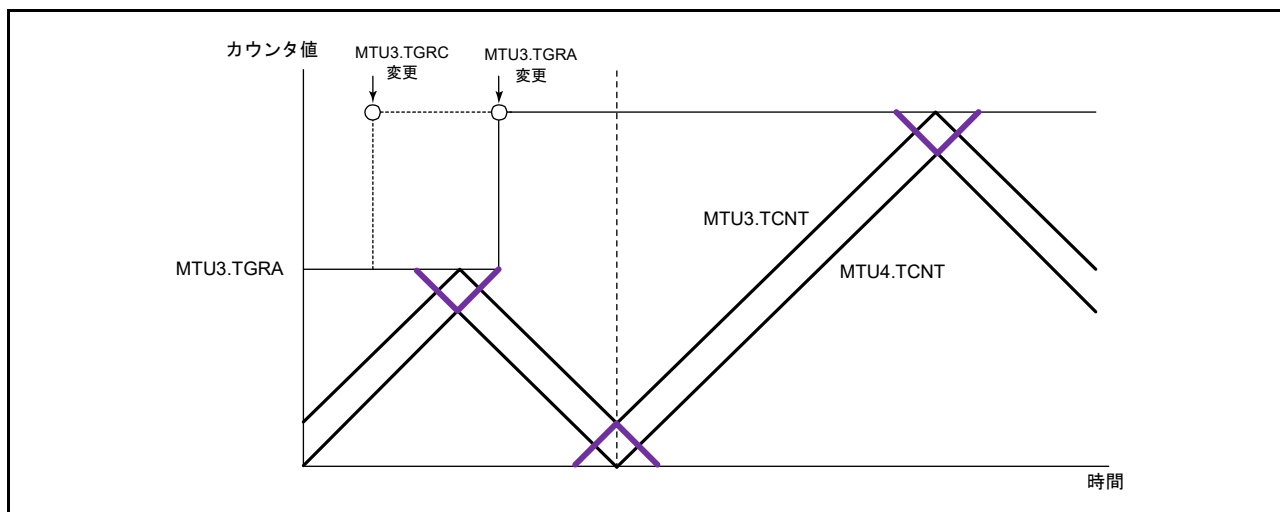


図 23.42 PWM 周期の変更例

(h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用および PWM 周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS カウンタがカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えます。TCNTS カウンタがカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS カウンタが停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、TMDR.MD[3:0] ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 23.43 に相補 PWM モードのデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に MTU4.TGRD レジスタへの書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTU4.TGRD レジスタに書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MTU4.TGRD レジスタのデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTU4.TGRD レジスタに書き込み動作を行ってください。またこのとき、MTU4.TGRD レジスタに書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

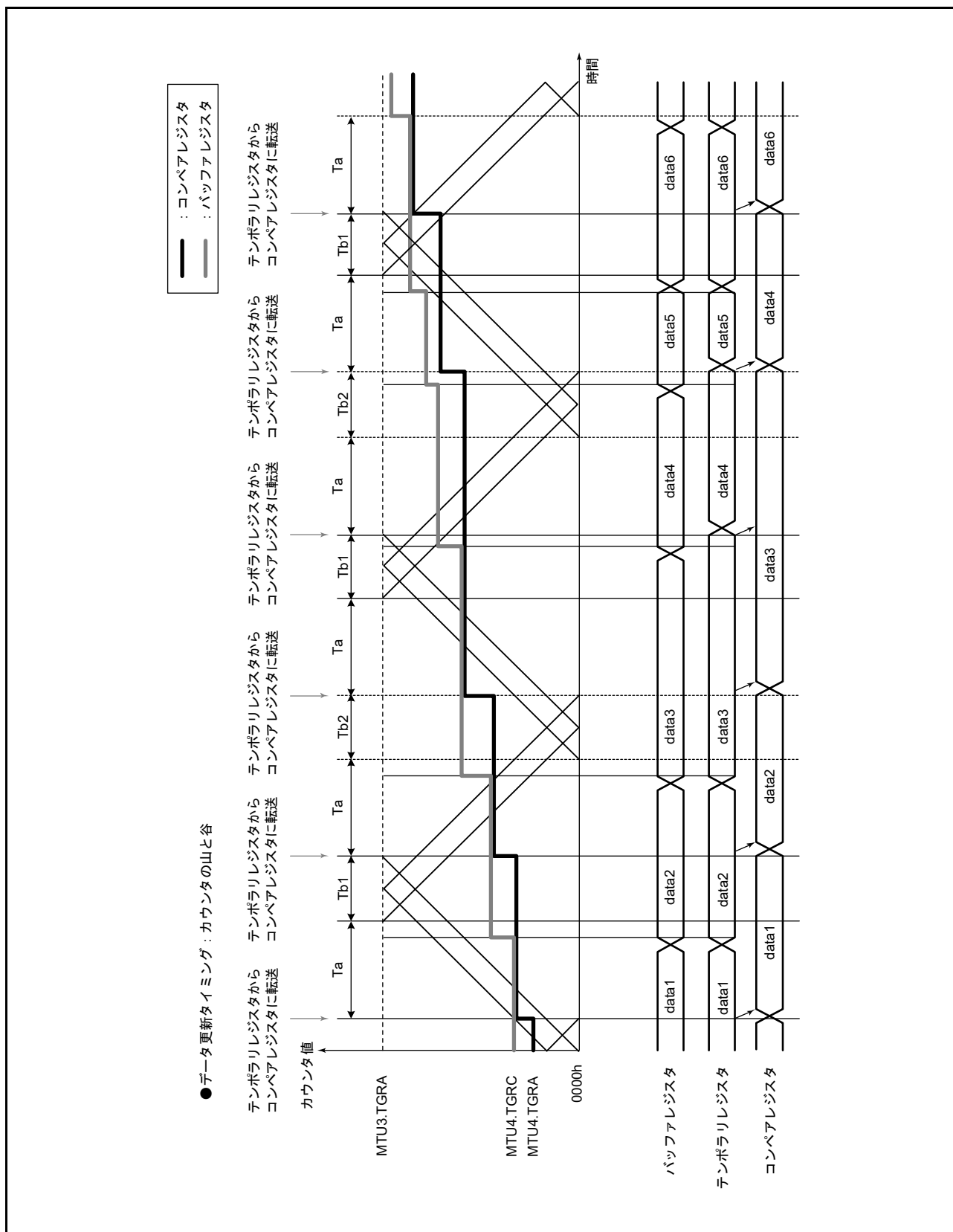


図 23.43 相補 PWM モードのデータ更新例

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、TOCR1.OLSN, OLSP ビットの設定または、TOCR2.OLS1N ~ OLS3N, OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM 出力の非アクティブレベルで、TMDR レジスタで相補 PWM モードを設定してから MTU4.TCNT カウンタが TDDR レジスタに設定された値より大きくなるまで出力されます。図 23.44 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR レジスタの値より小さい場合の波形例を図 23.45 に示します。

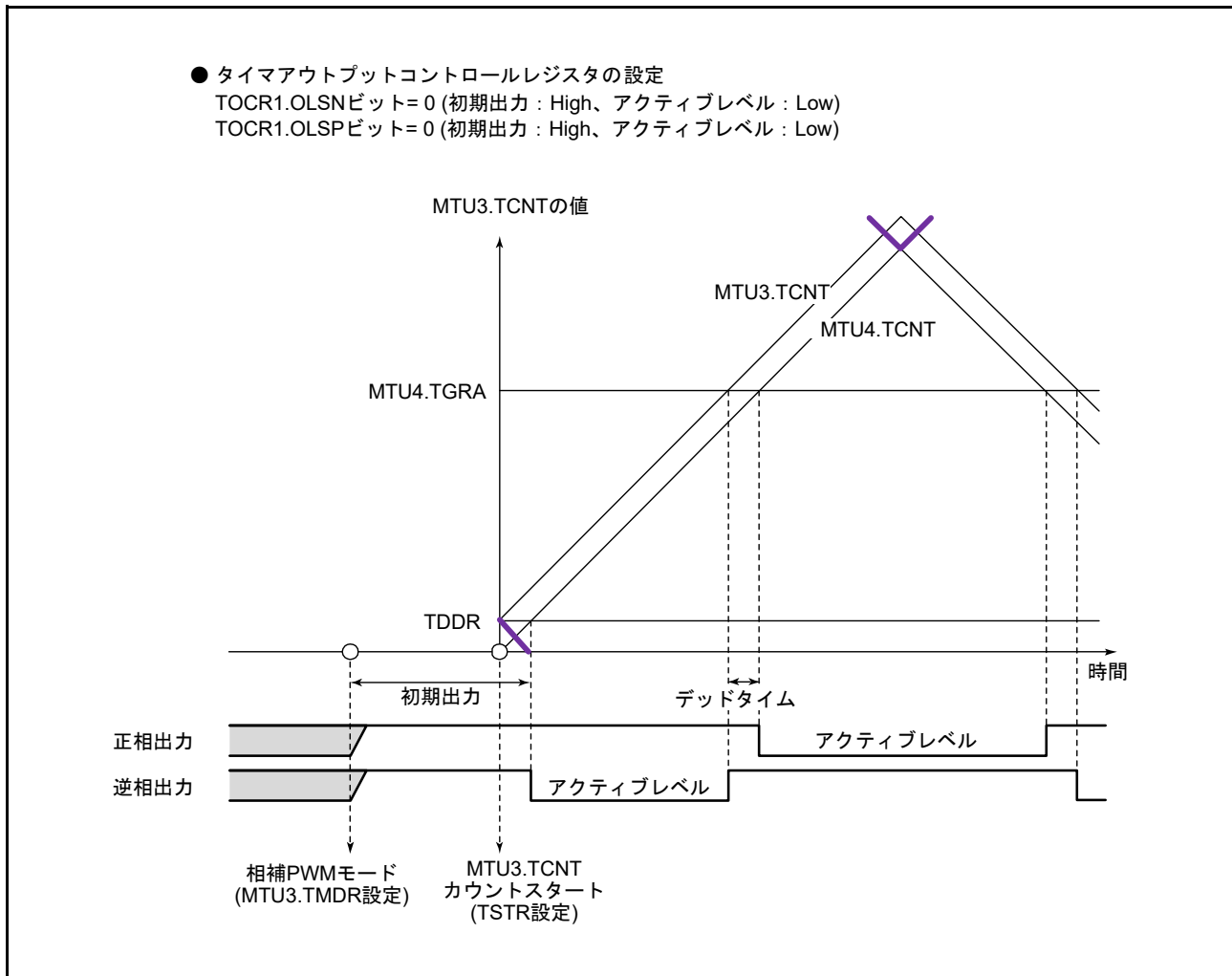


図 23.44 相補 PWM モードの初期出力例 (1)

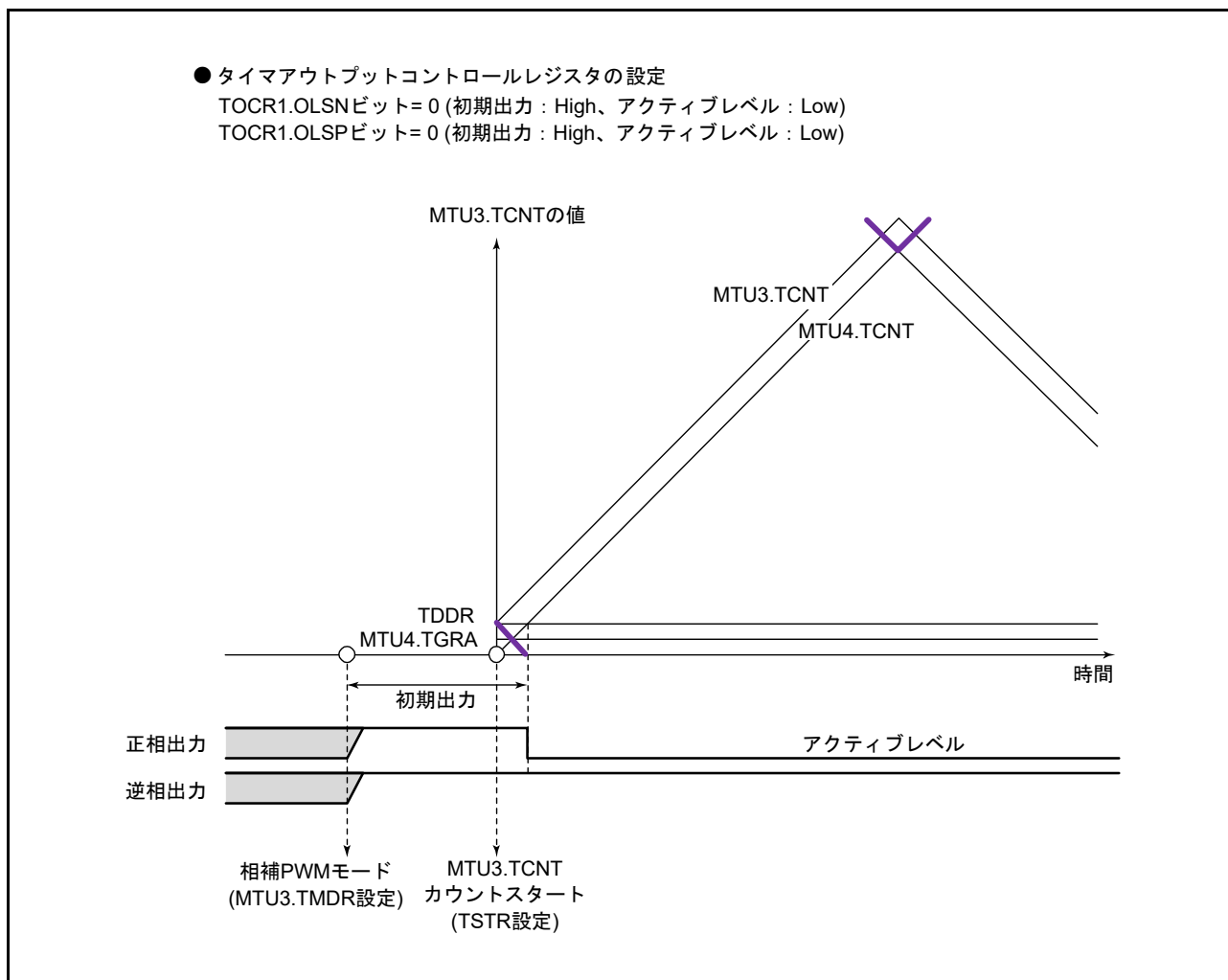


図 23.45 相補 PWM モードの初期出力例 (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、6相（正相3本、逆相3本）の PWM 波形を出力します。出力する PWM 波形にデッドタイムを設定できます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS カウンタがカウント動作する期間では、デューティ 0% ~ 100% まで連続した PWM 出力を作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 23.46 ~ 図 23.48 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは、実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 23.46 に示すように通常の場合のコンペアマッチは、a → b → c → d（または c → d → a' → b'）の順番で発生します。

コンペアマッチが a → b → c → d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c → d → a' → b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 23.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、図 23.48 に示す例では、逆相の ON タイミングである d のコンペアマッチより逆相の OFF である a' のコンペアマッチが先に発生することにより、逆相を OFF することが優先されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

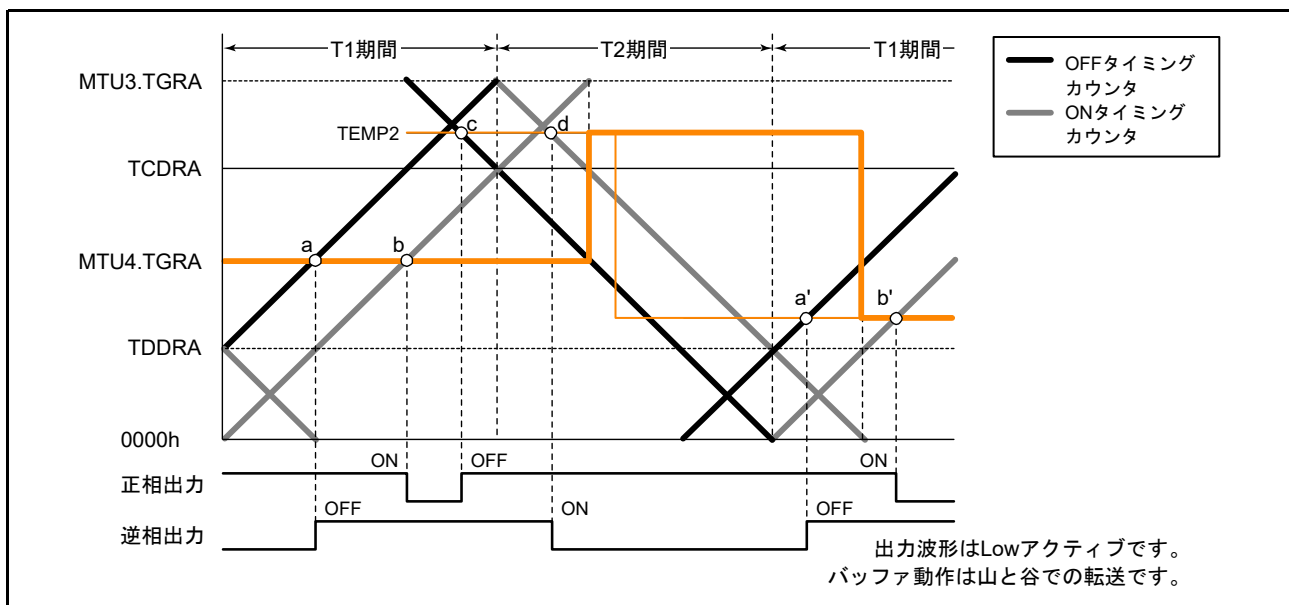


図 23.46 相補 PWM モード波形出力例 (1)

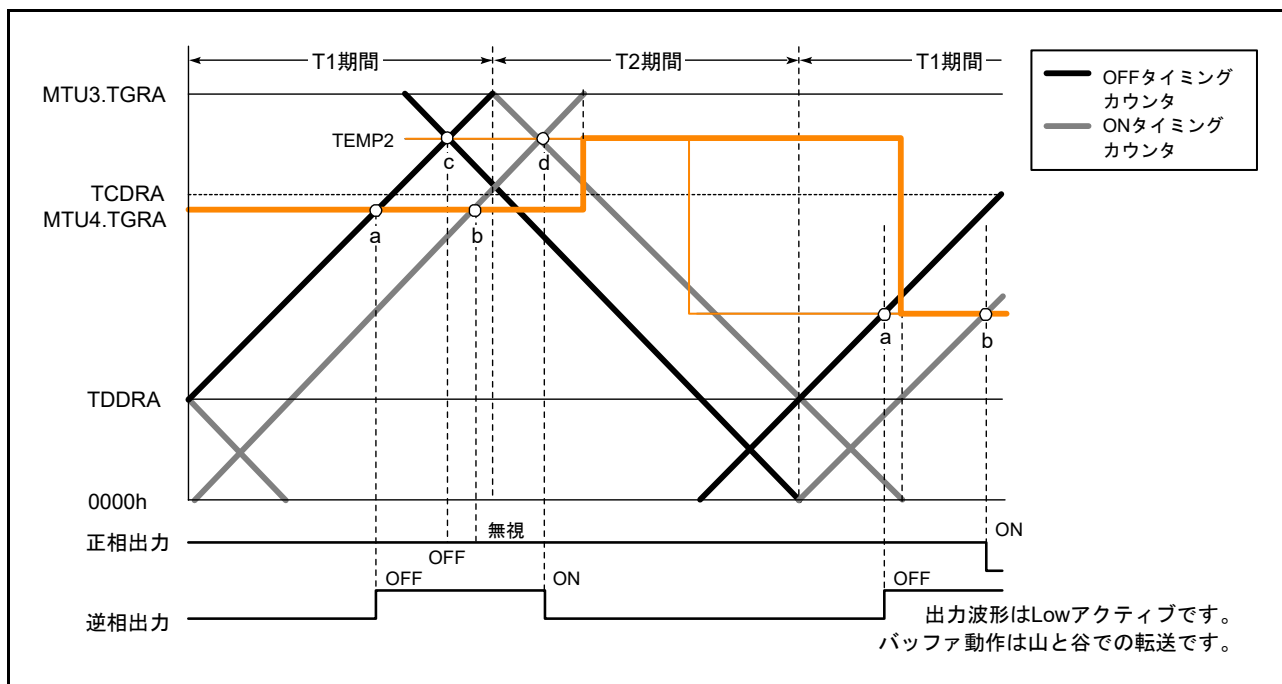


図 23.47 相補 PWM モード波形出力例 (2)

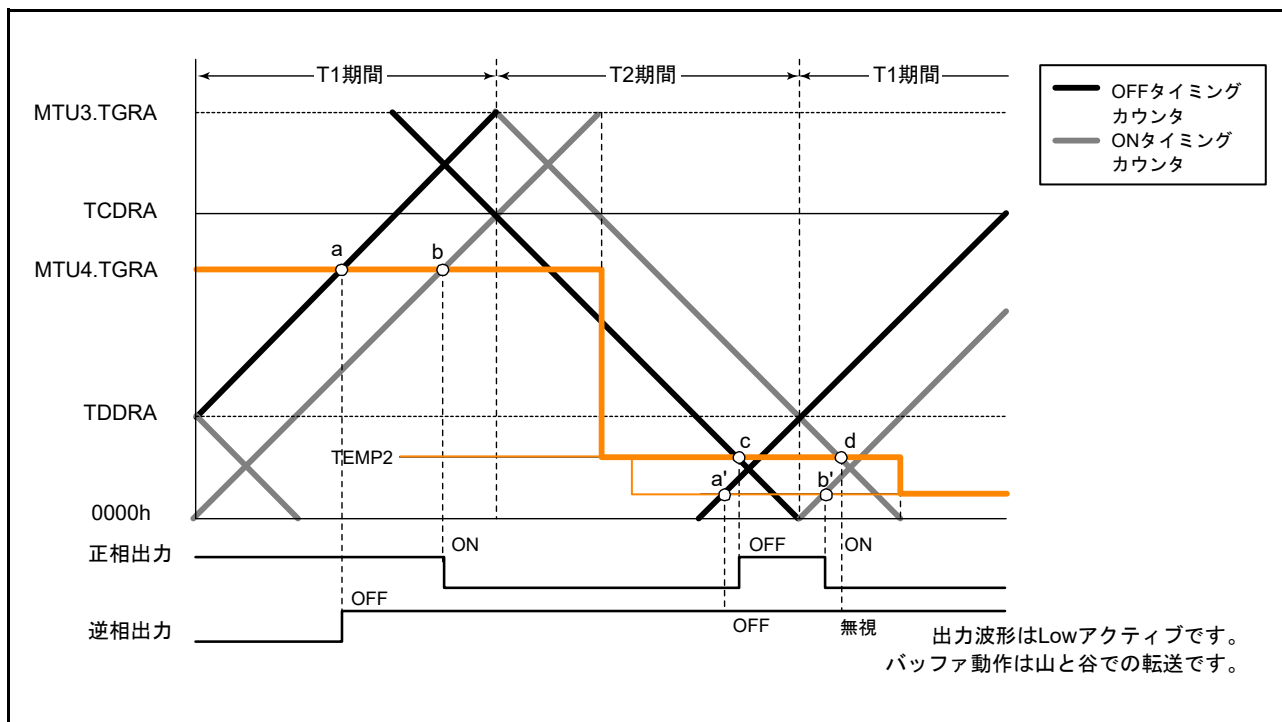


図 23.48 相補 PWM モード波形出力例 (3)

(k) 相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% の PWM 出力を任意に出力可能です。図 23.49 ~ 図 23.53 に出力例を示します。

デューティ比 100% 出力は、データレジスタの値を “0000h” に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、データレジスタの値を MTU3.TGRA レジスタの値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視され波形は変化しません。

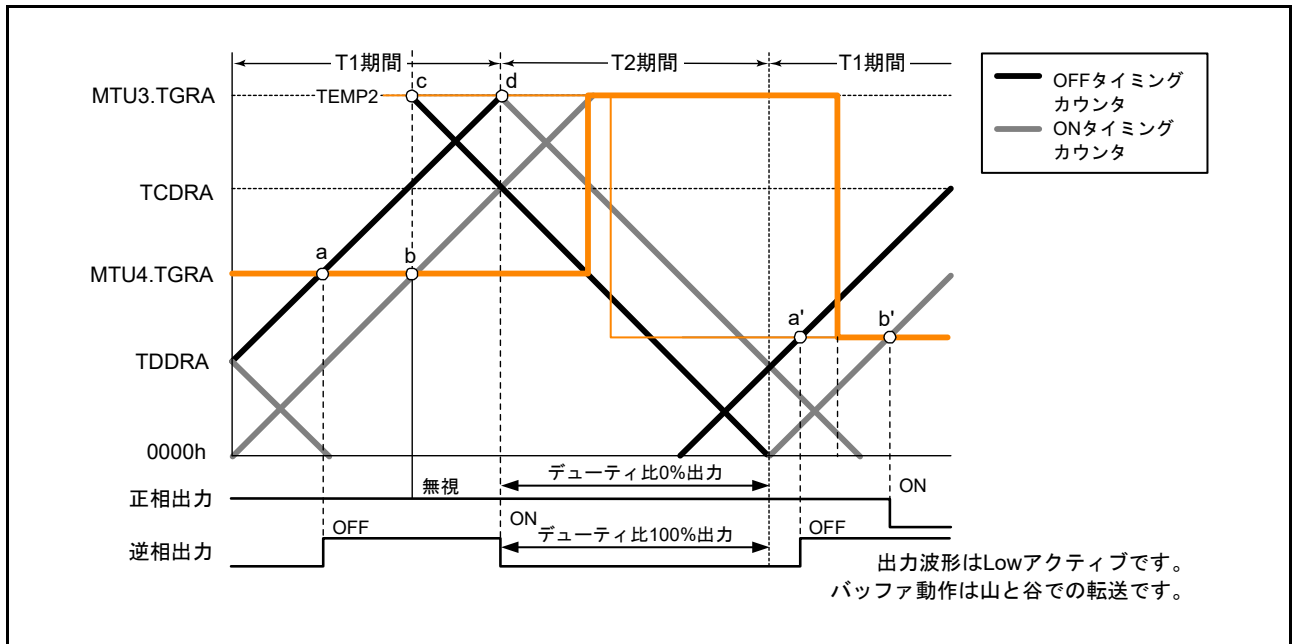


図 23.49 相補 PWM モード 0%、100% 波形出力例 (1)

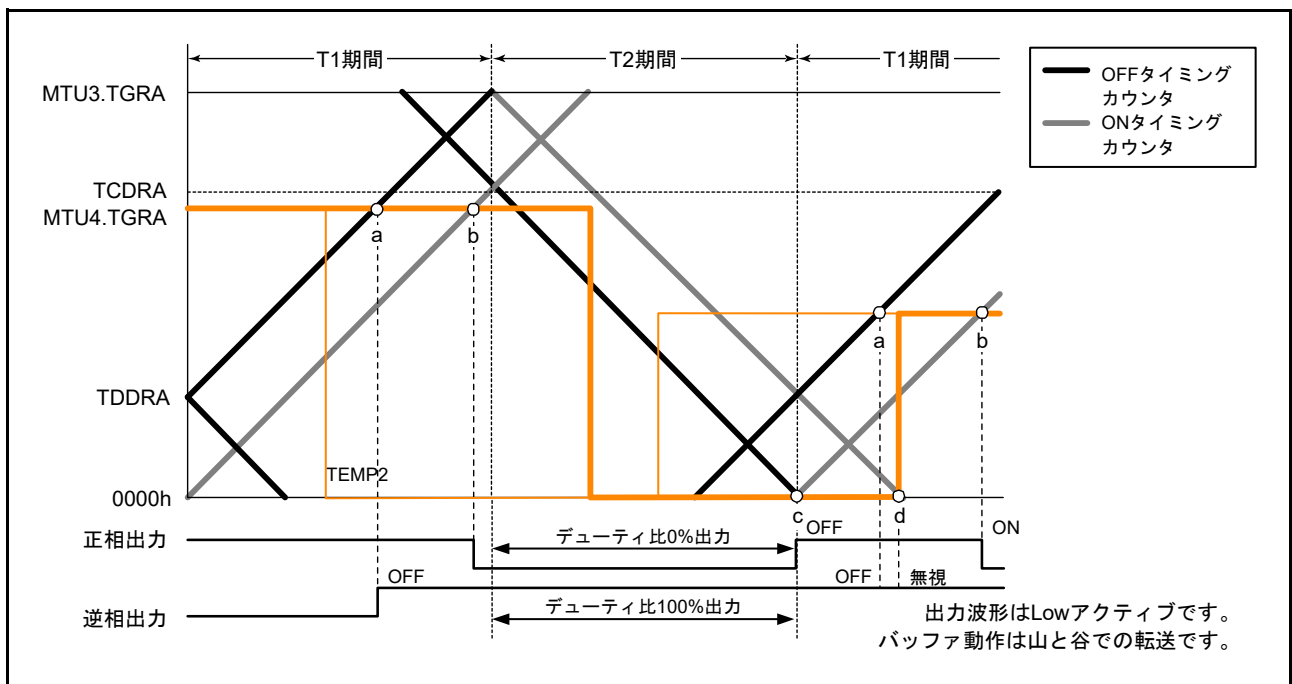


図 23.50 相補 PWM モード 0%、100% 波形出力例 (2)

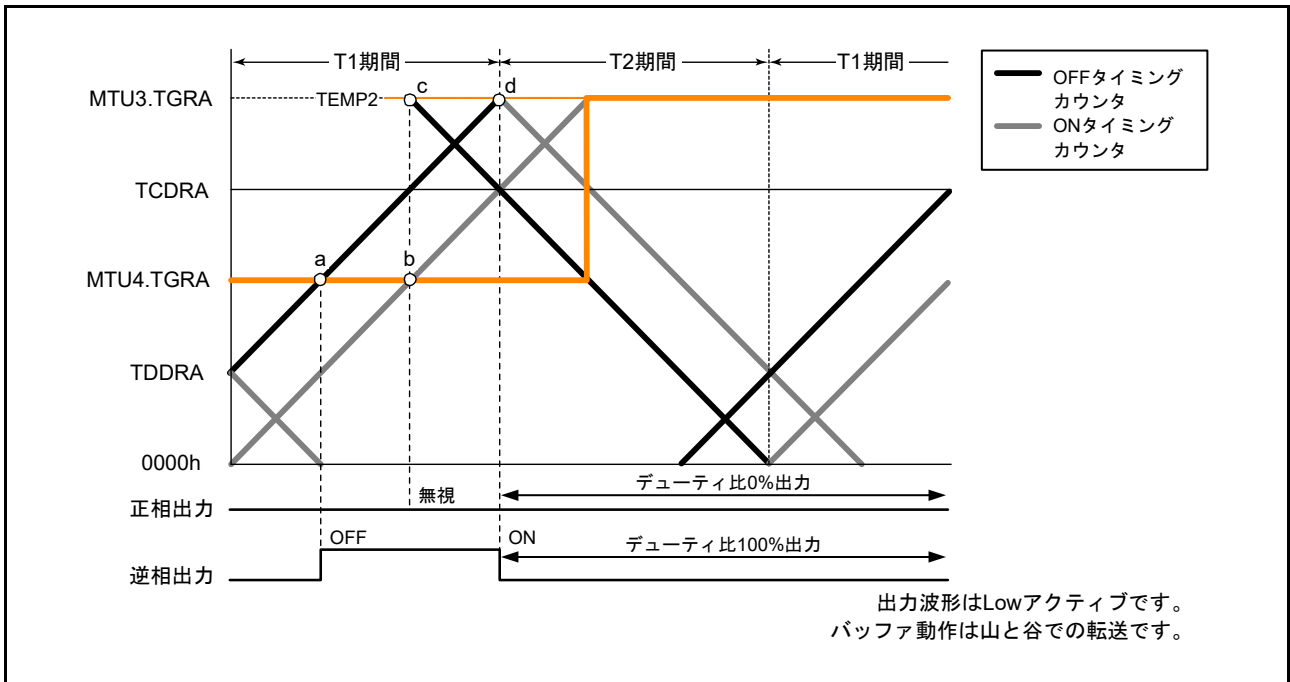


図 23.51 相補 PWM モード 0%、100% 波形出力例 (3)

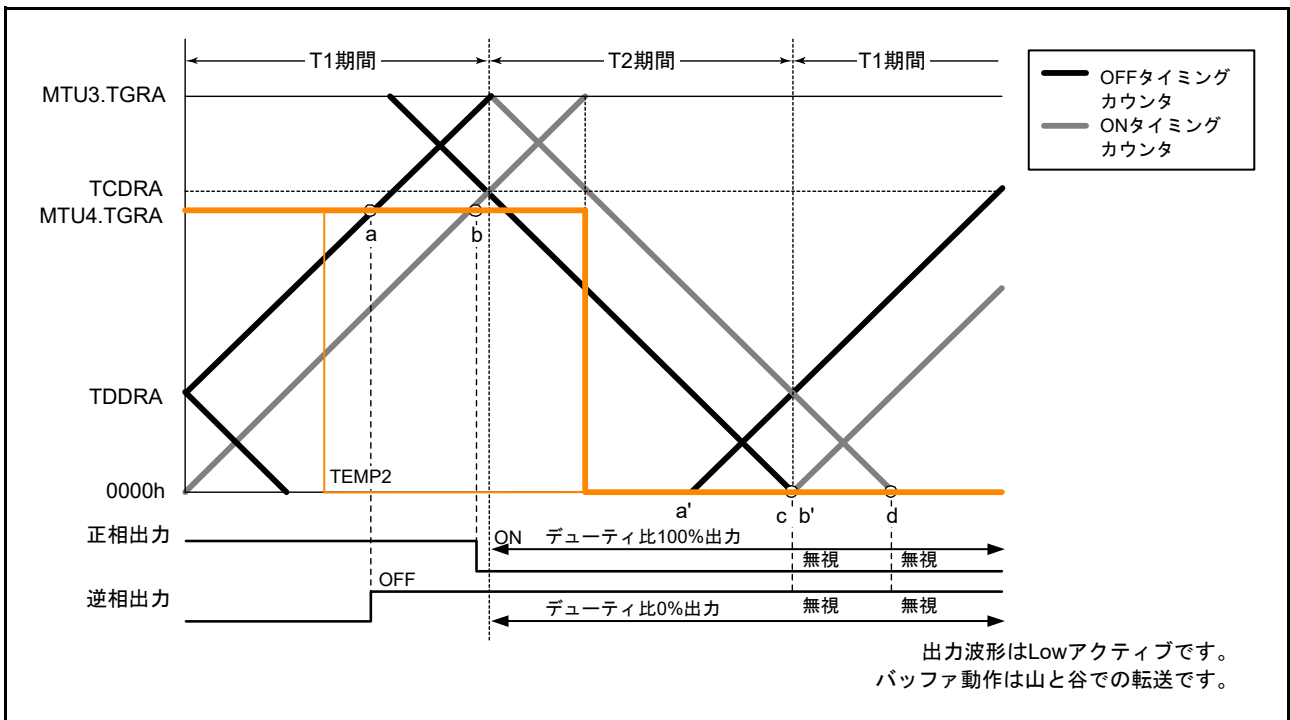


図 23.52 相補 PWM モード 0%、100% 波形出力例 (4)

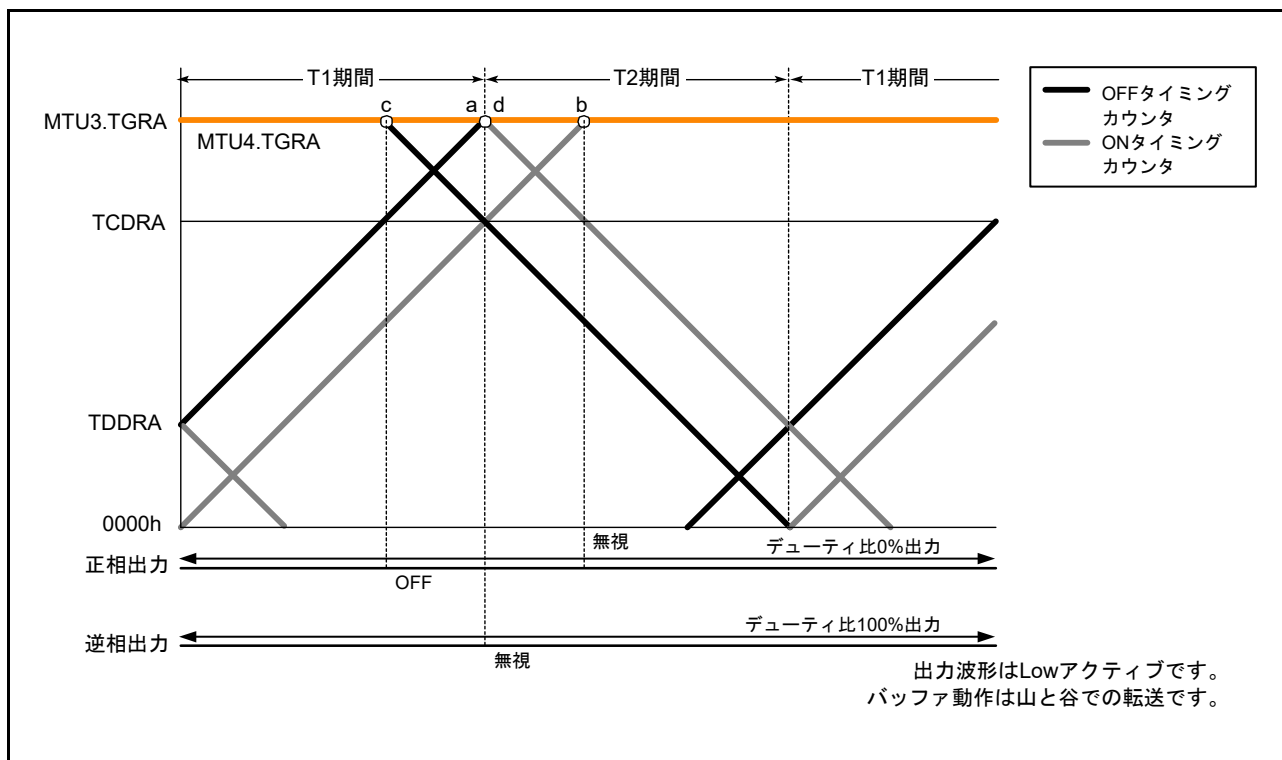


図 23.53 相補 PWM モード 0%、100% 波形出力例 (5)

(I) PWM 周期に同期したトグル出力

相補 PWM モードでは、TOCR1.PSYE ビットを“1”にすることにより PWM 出力端子から PWM 周期に同期したトグル出力が可能です。トグル出力の波形例を図 23.54 に示します。

この出力は、MTU3.TCNT カウンタと MTU3.TGRA レジスタのコンペアマッチと MTU4.TCNT カウンタと“0000h”のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOC3A 端子です。また、初期出力は High 出力です。

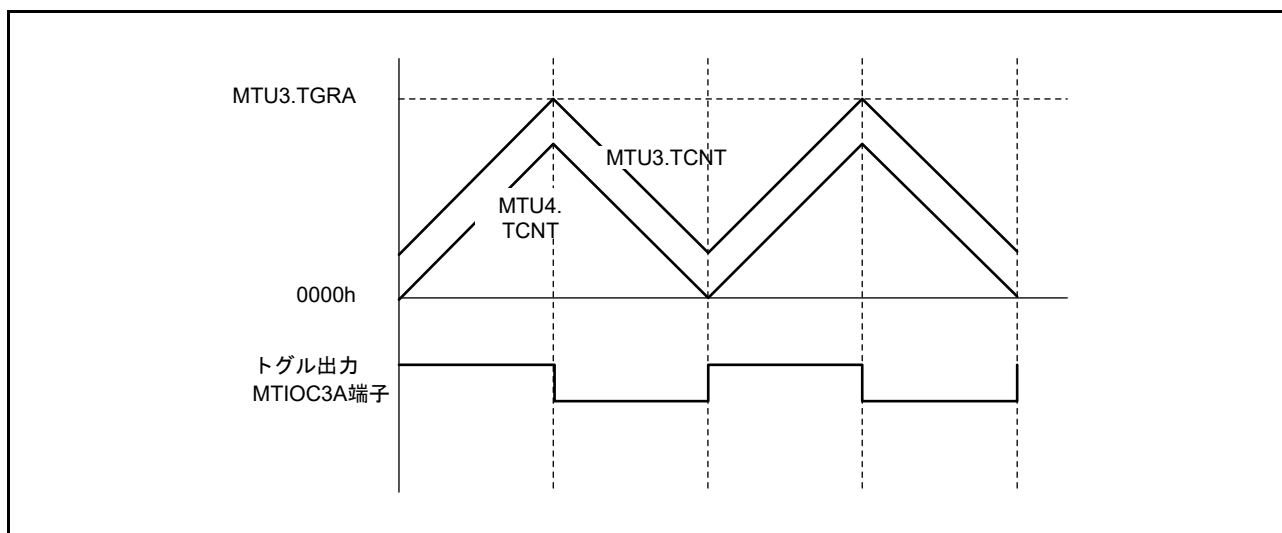


図 23.54 PWM 出力に同期したトグル出力波形例

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、TSYR レジスタにより他のチャネルとの同期モードに設定し、また MTU3.TCR.CCLR[2:0] ビットで同期クリアを選択することにより他のチャネルの要因で MTU3.TCNT, MTU4.TCNT カウンタおよび TCNTS カウンタをクリアすることが可能です。

図 23.55 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

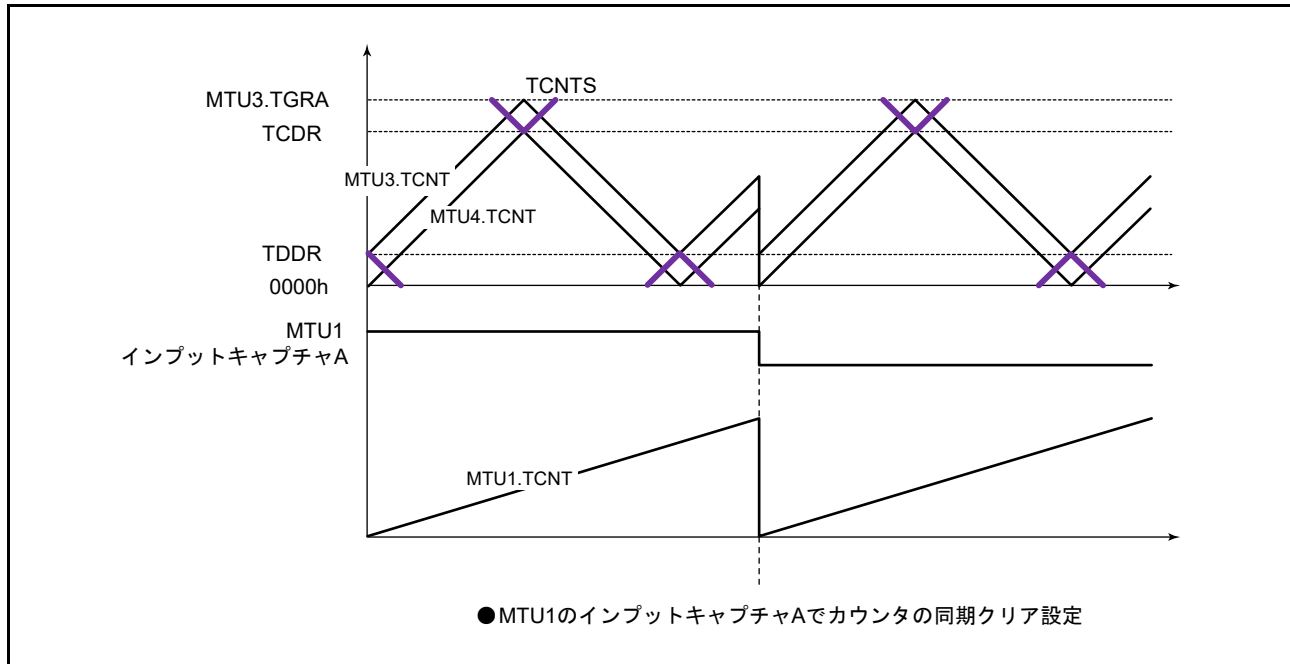


図 23.55 他のチャネルに同期したカウンタクリア

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR.WRE ビットを“1”に設定することにより、相補 PWM モードの谷の Tb 区間 (Tb2 区間) で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

TWCR.WRE ビットを“1”に設定することで初期出力を抑止することができるのは、同期クリアが図 23.56 の⑩、⑪のような Tb2 区間に入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1.OLSN, OLSP ビットで設定した初期値が出力されます。また、Tb2 区間であっても、図 23.56 の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

MTU3、MTU4 のカウンタクリア要因は MTU0 ~ MTU2 からの同期クリアです。

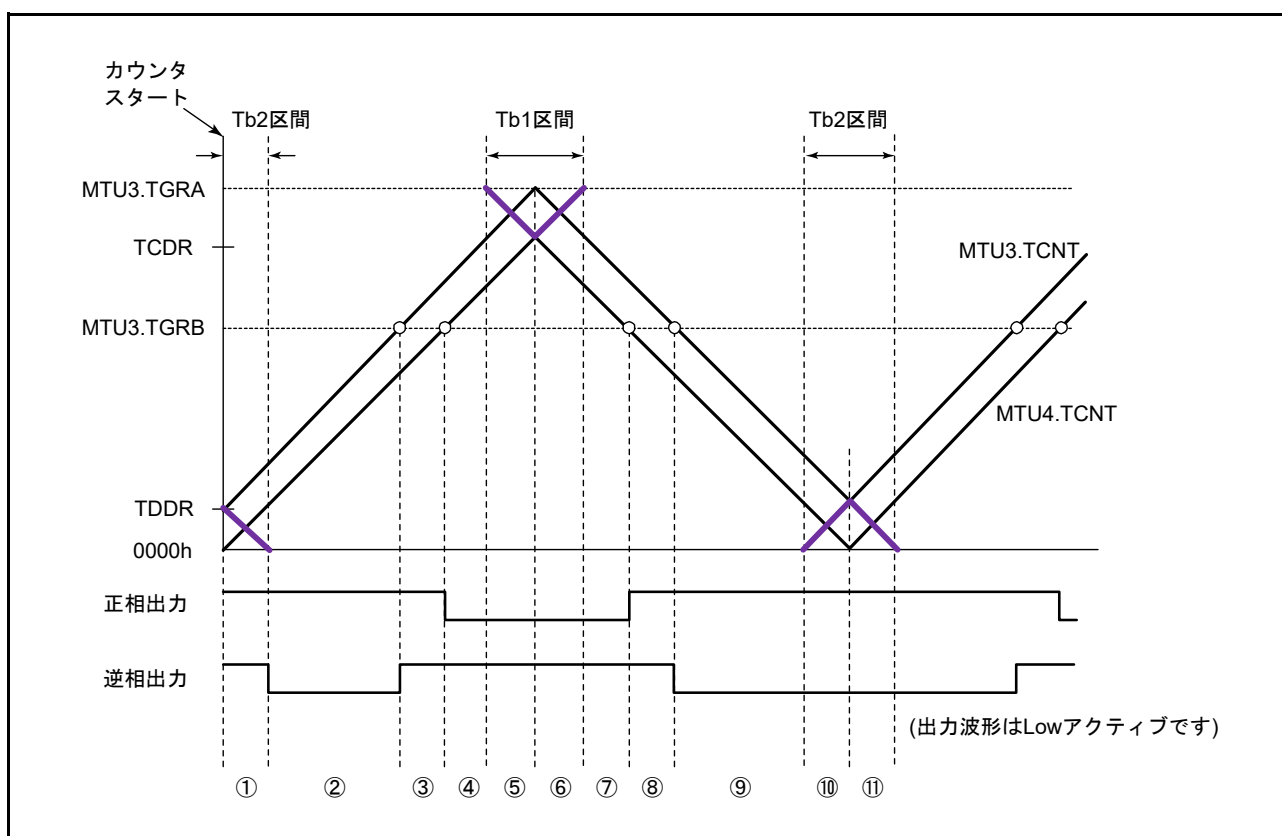


図 23.56 同期カウンタクリアタイミング

● 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 23.57 に示します。

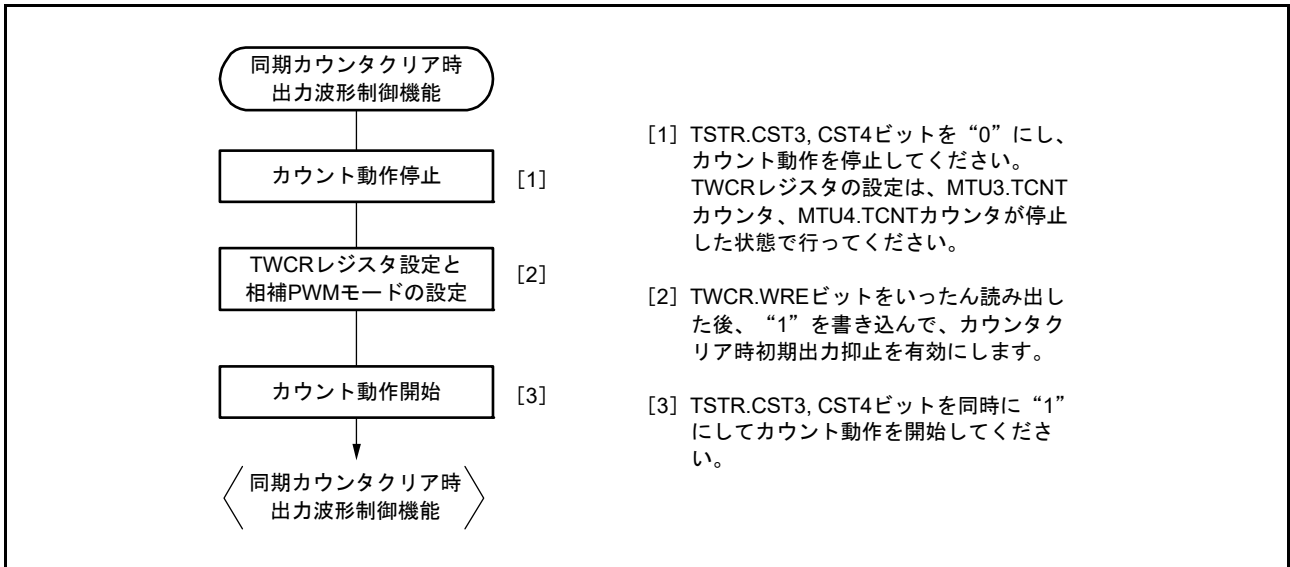


図 23.57 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

● 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 23.58 ~ 図 23.61 に、TWCR.WRE ビットを“1”に設定した状態で MTU を相補 PWM 動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 23.58 ~ 図 23.61 の同期カウンタクリアのタイミングは、それぞれ図 23.56 の③、⑥、⑧、⑪で示したタイミングです。

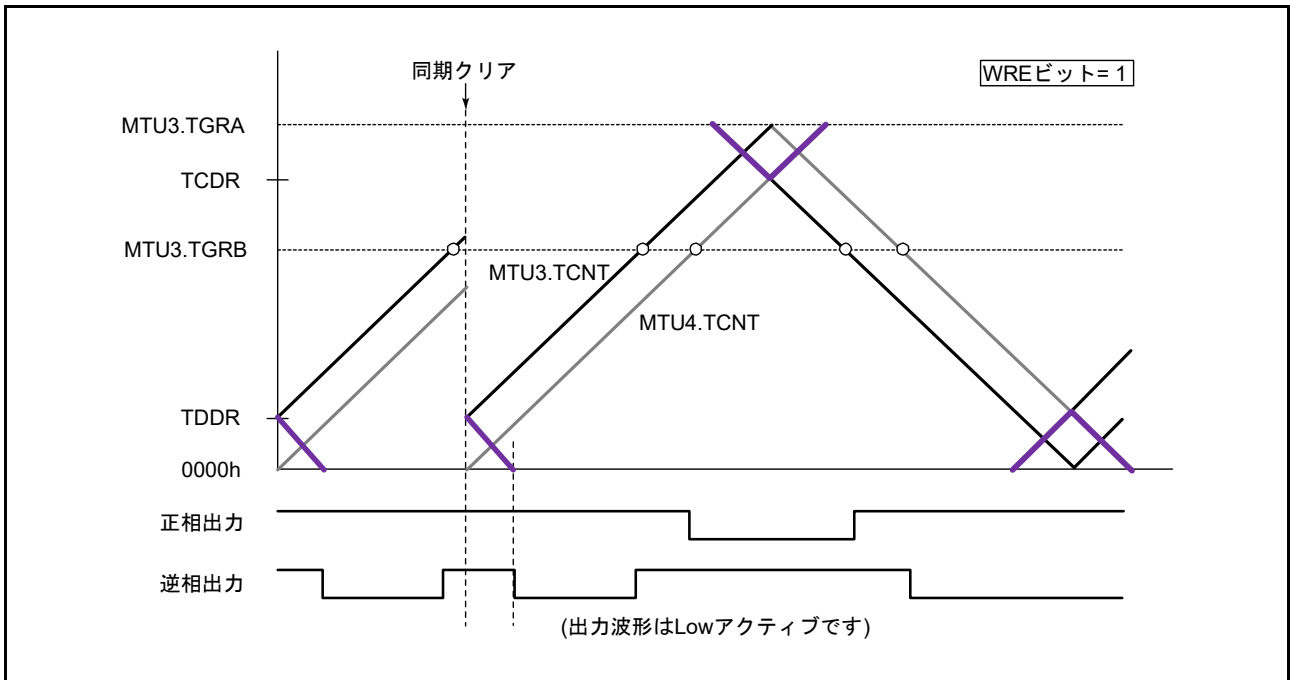


図 23.58 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 23.56 のタイミング③、TWCR.WRE ビット = 1)

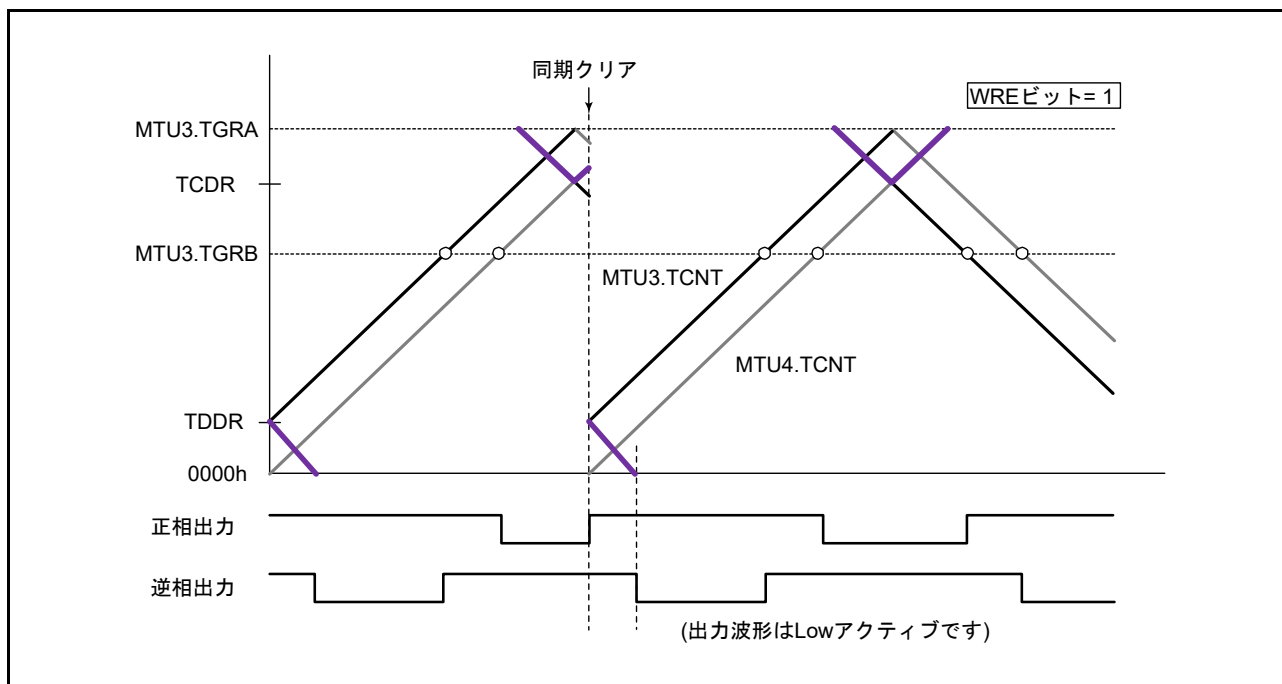


図 23.59 山のTb区間で同期クリアが発生した場合
 (図 23.56 のタイミング⑥、TWCR.WRE ビット = 1)

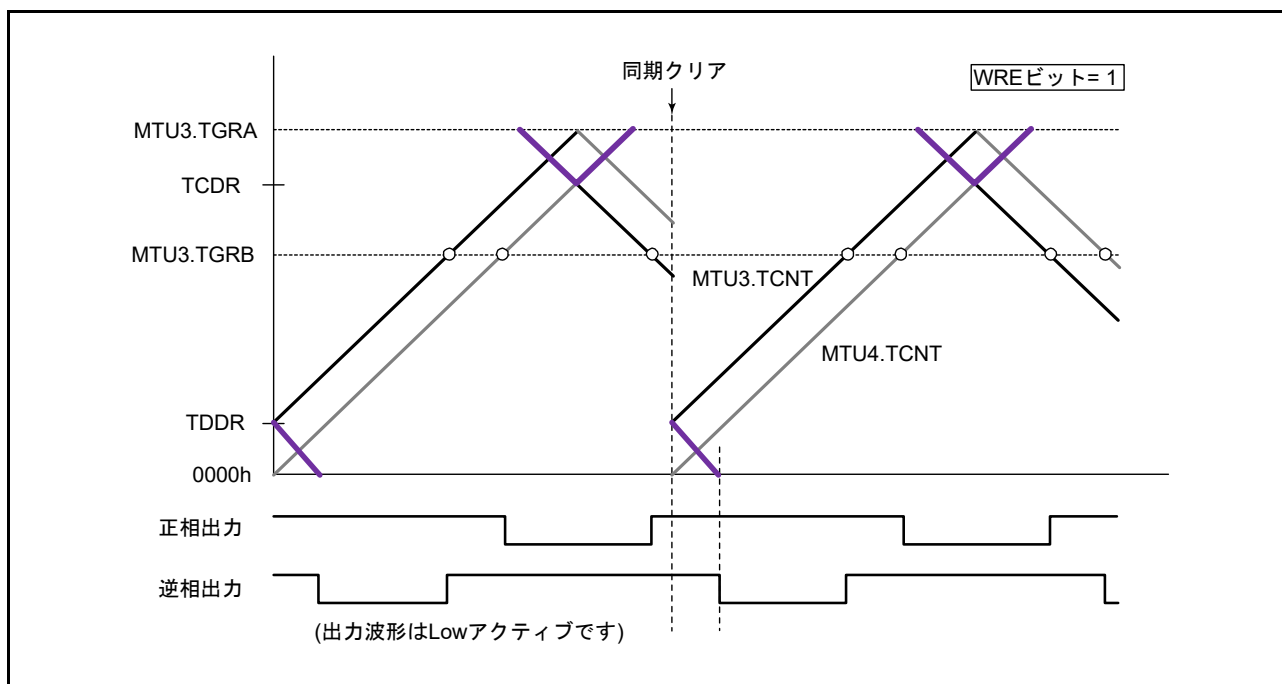


図 23.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
 (図 23.56 のタイミング⑧、TWCR.WRE ビット = 1)

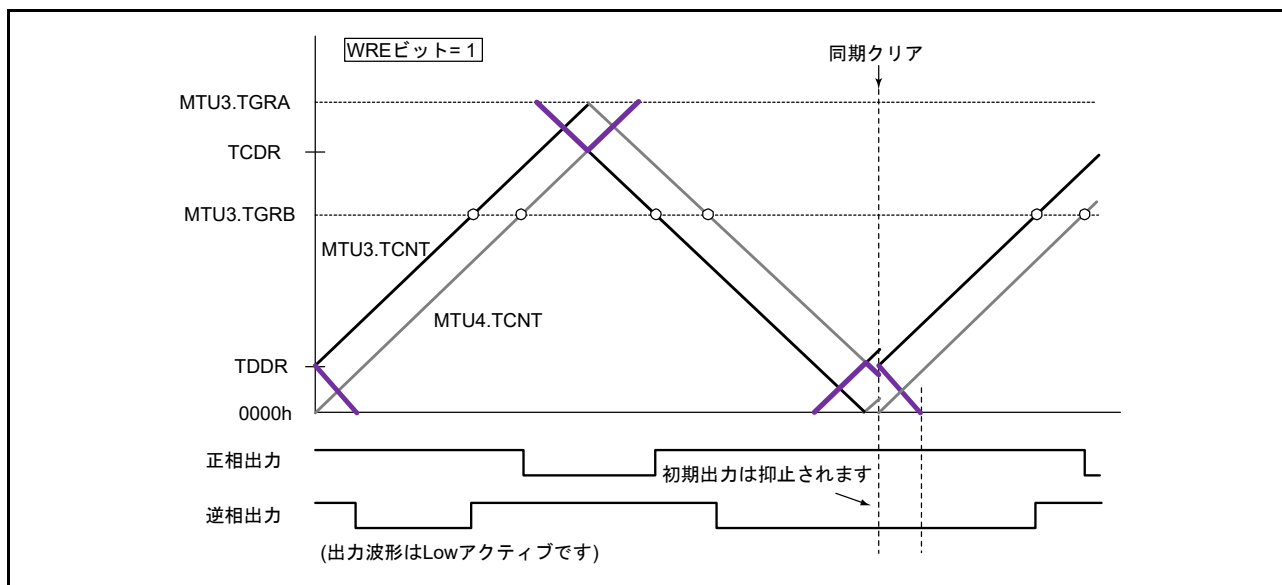


図 23.61 谷のTb区間で同期クリアが発生した場合
(図 23.56 のタイミング①、TWCR.WRE ビット = 1)

(o) MTU3.TGRA レジスタのコンペアマッチによるカウンタクリア

相補 PWM モードでは、TWCR.CCE ビットを設定することにより、MTU3.TGRA レジスタのコンペアマッチで MTU3.TCNT カウンタ、MTU4.TCNT カウンタおよび TCNTS カウンタをクリアすることが可能です。

図 23.62 に動作例を示します。

- 注． 相補 PWM モード 1 (山で転送) でのみ使用してください。
- 注． 他のチャンネルとの同期クリア機能に設定しないでください。(TSYR.SYCNn ビット (n=0~4) を“1”に設定しないでください)
- 注． PWM デューティ比は、“0000h”を設定しないでください。
- 注． TOCR1.PSYE ビットを“1”に設定しないでください。

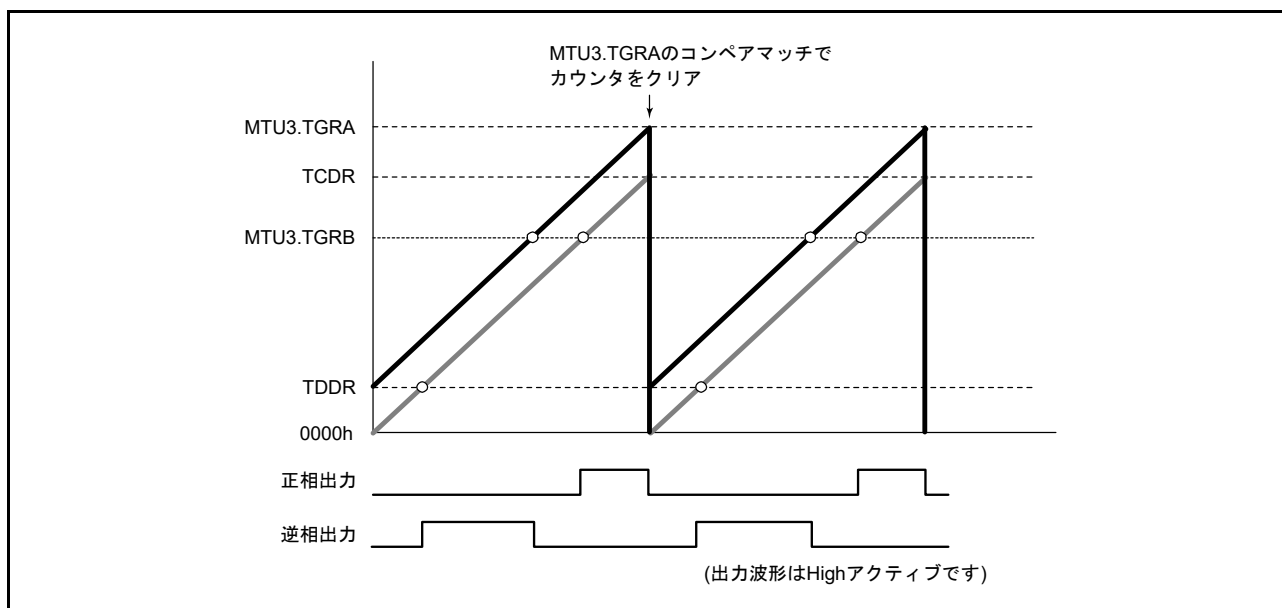


図 23.62 MTU3.TGRA レジスタのコンペアマッチにおけるカウンタクリアの動作例

(p) AC同期モータ (ブラシレス DC モータ) の駆動波形出力例

相補 PWM モードでは、TGCR レジスタを使ってブラシレス DC モータを簡単に制御することができます。図 23.63 ~ 図 23.66 に TGCR レジスタを使用したブラシレス DC モータの駆動波形例を示します。

3相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCR.FB ビットを“0”に設定します。この場合、磁極位置を示す外部信号を MTU0 のタイマ入力端子 MTIOC0A、MTIOC0B、MTIOC0C 端子に入力します。MTIOC0A、MTIOC0B、MTIOC0C 端子の3つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

TGCR.FB ビットが“1”の場合は、TGCR.UF, VF, WF ビットの各ビットに“0”または“1”を設定すると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの6相 PWM 出力端子から出力されます。

この6相出力は TGCR.N ビットまたは TGCR.P ビットを“1”に設定することにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。TGCR.N ビットまたは TGCR.P ビットが“0”の場合は、レベル出力になります。

また、6相出力のアクティブレベル (ON 出力時レベル) は、TGCR.N ビットまたは TGCR.P ビットの設定にかかわらず、TOCR1.OLSN, TOCR1.OLSP ビットで設定できます。

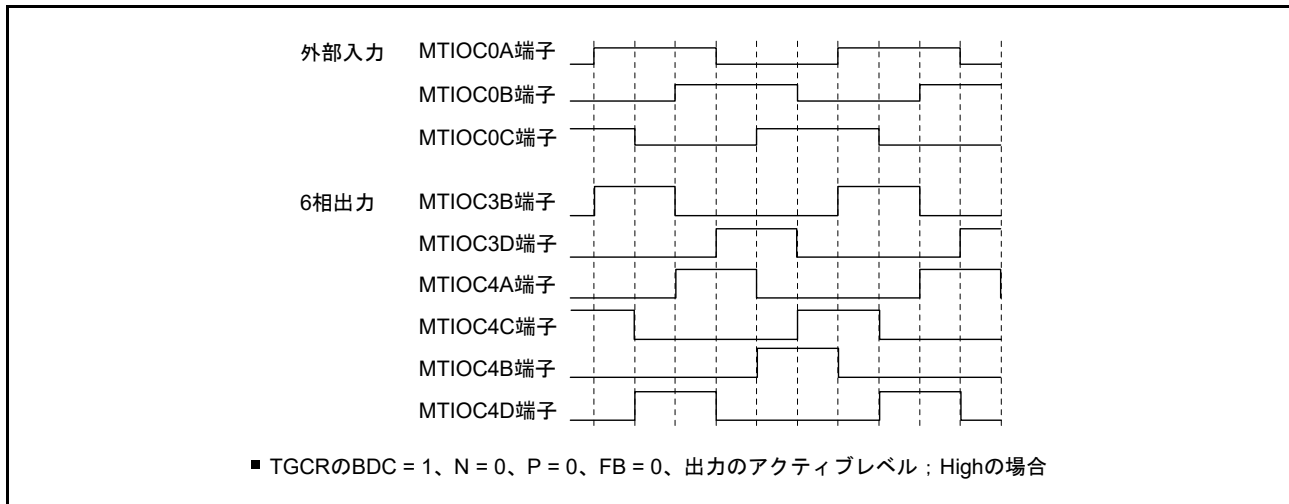


図 23.63 外部入力による出力相の切り替え動作例 (1)

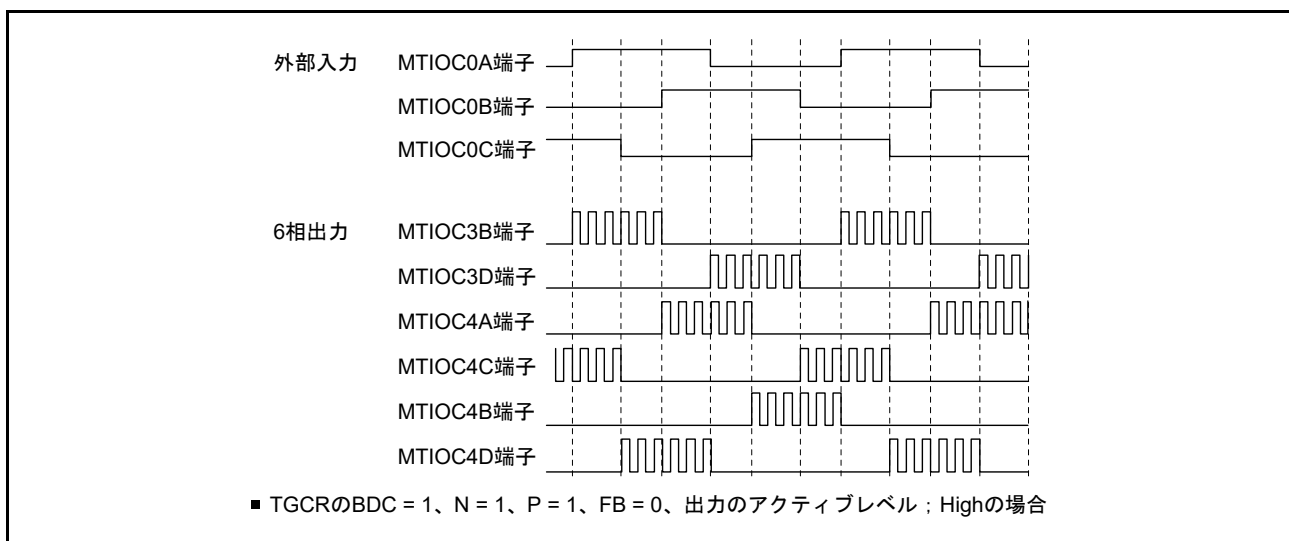


図 23.64 外部入力による出力相の切り替え動作例 (2)

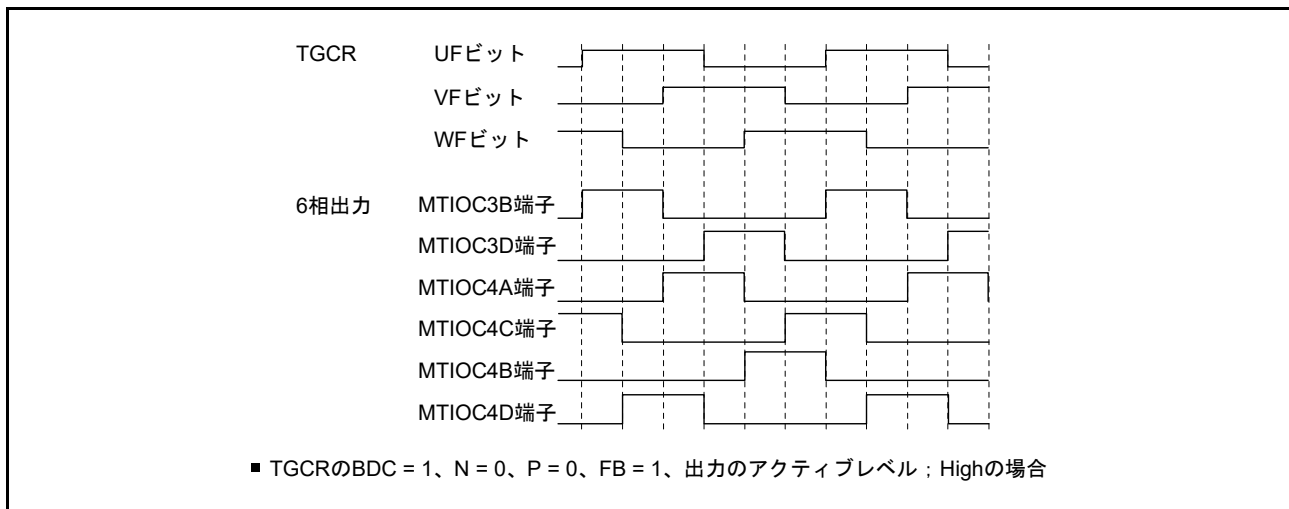


図 23.65 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

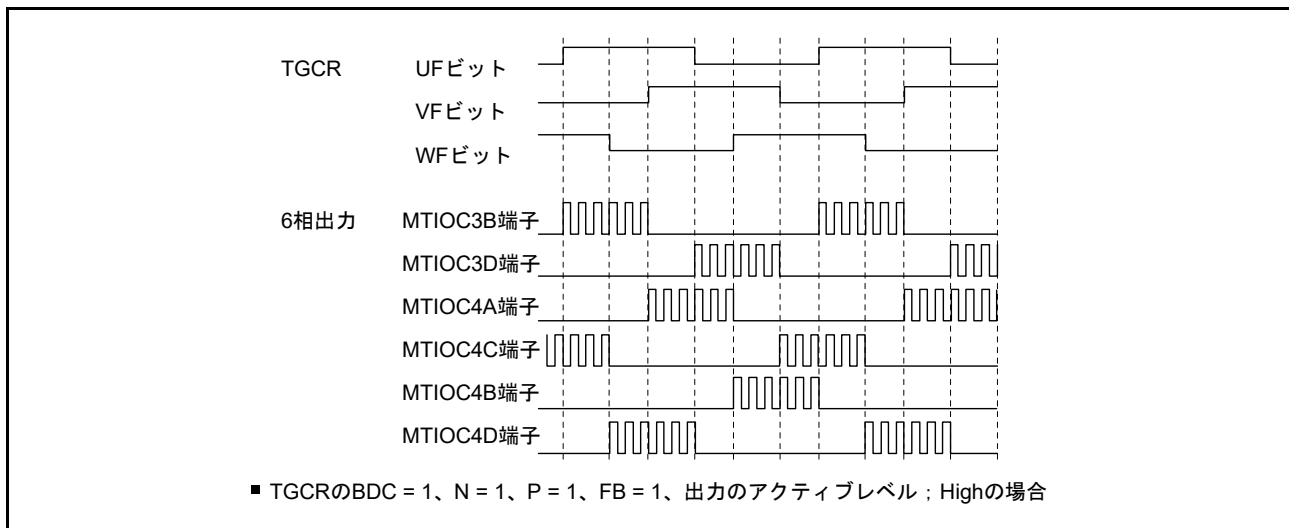


図 23.66 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(q) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTU3.TGRA レジスタのコンペアマッチ、MTU4.TCNT カウンタのアンダフロー（谷）、MTU3、MTU4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

MTU3.TGRA レジスタのコンペアマッチを使用して開始要求を設定すると、MTU3.TCNT カウンタの山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、TIER.TTGE ビットを“1”にすることで設定できます。MTU4.TCNT カウンタのアンダフロー（谷）の A/D 変換の開始要求は、MTU4.TIER.TTGE2 ビットを“1”にすることで設定できます。

(3) 相補 PWM モードの割り込み間引き機能

MTU3 と MTU4 の TGIA3 (山の割り込み)、および TCIV4 (谷の割り込み) は、TITCR レジスタを設定することにより、最大で7回まで割り込みを間引くことが可能です。

TBTER レジスタを設定することにより、バッファレジスタからテンポラリレジスタ / コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

TADCR レジスタを設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「23.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

TITCR レジスタの設定は、MTU3.TIER、MTU4.TIER レジスタの設定で TGIA3 と TCIV4 割り込み要求を禁止した状態、かつコンペアマッチが発生しない状態、かつコンペアマッチによる TGIA3、TGIA4 割り込み要求が発生しない状態で行ってください。また、間引き回数の変更前に、TITCR.T3AEN、T4VEN ビットを“0”にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を図 23.67 に示します。また、割り込み間引き回数の変更可能期間を図 23.68 に示します。

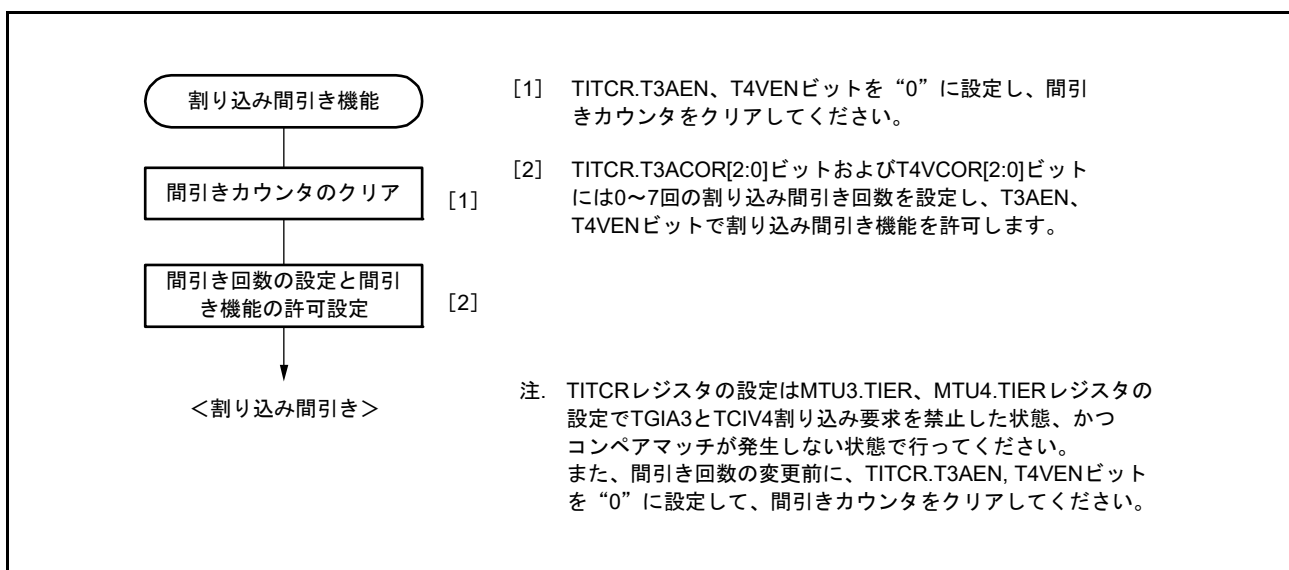


図 23.67 割り込み間引き機能の設定手順例

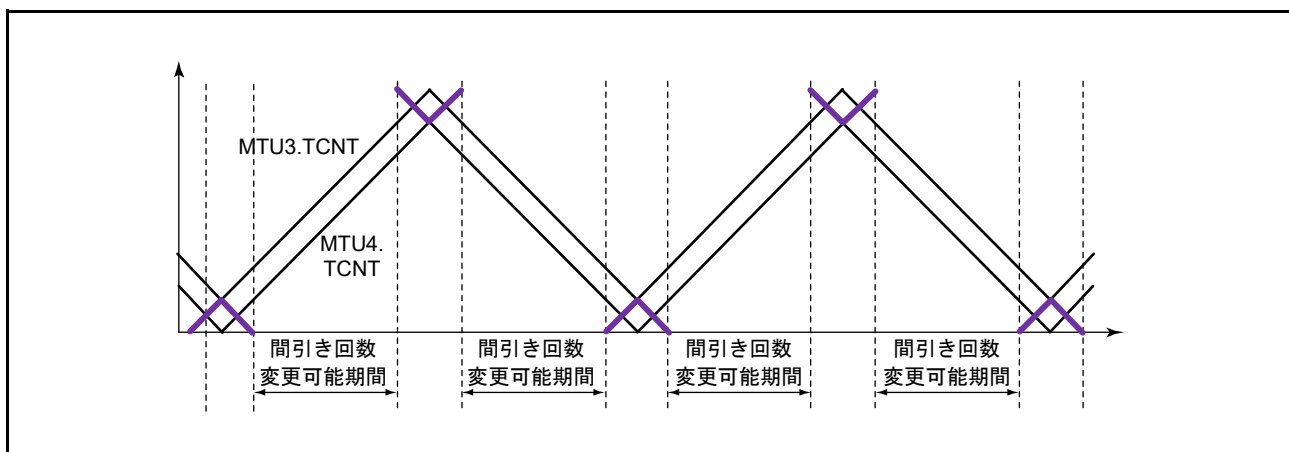


図 23.68 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能の動作例

TITCR.T3ACOR[2:0] ビットで割り込みの間引き回数を3回に設定し、TITCR.T3AEN ビットを“1”に設定した場合の、MTU3.TGIA 割り込み間引きの動作例を図 23.69 に示します。

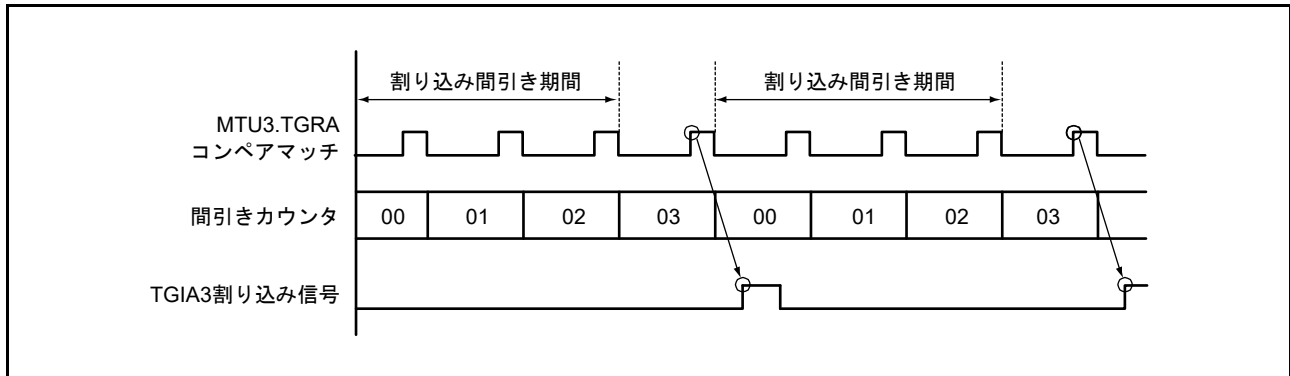


図 23.69 割り込み間引き機能の動作例

(c) 割り込み間引きと連動したバッファ転送制御

TBTER.BTE[1:0] ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑制する設定 (TBTER.BTE[1:0] = 01b) にした場合の動作例を図 23.70 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (TBTER.BTE[1:0] = 10b) にした場合の動作例を図 23.71 に示します。この設定にした場合、バッファ転送許可期間内にバッファレジスタへの書き込みを行った場合は、バッファレジスタからテンポラリレジスタへのバッファ転送を即時に行います。バッファ転送許可期間外でバッファレジスタへの書き込みを行った場合は、次のバッファ転送許可期間が始まるタイミングで、バッファレジスタからテンポラリレジスタへのバッファ転送を行います。

なお、TITCR.T3AEN ビットを“1”に設定した場合、TITCR.T4VEN ビットを“1”に設定した場合、TITCR.T3AEN ビットと TITCR.T4VEN ビットをとともに“1”に設定した場合で、それぞれバッファ転送許可期間が異なります。TITCR.T3AEN ビットと TITCR.T4VEN ビットの設定とバッファ転送許可期間の関係を図 23.72 に示します。

- 注 . 本機能は、割り込み間引き機能と組み合わせて使用してください。
 割り込み間引きが禁止のとき (TITCR.T3AEN、T4VEN ビットを“0”に設定したとき、または TITCR レジスタの間引き回数設定ビット (T3ACOR[2:0], T4VCOR[2:0]) を“000b”に設定したとき) は、バッファ転送を割り込み間引きと連動しない設定 (TBTER.BTE[1] ビットを“0”に設定) してください。
 割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

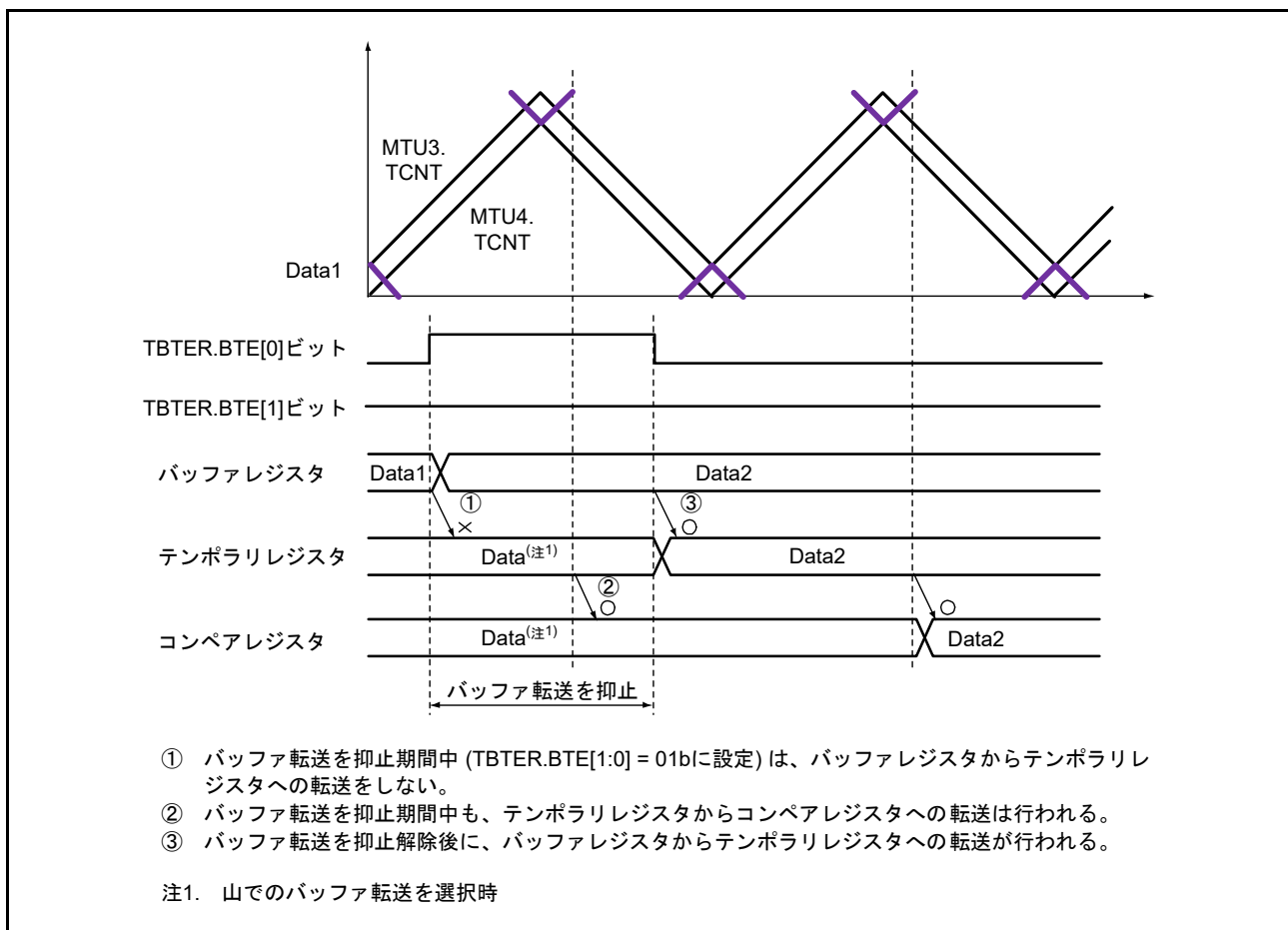


図 23.70 バッファ転送を抑制する設定 (TBTER.BTE[1:0] ビット = 01b) にした場合の動作例

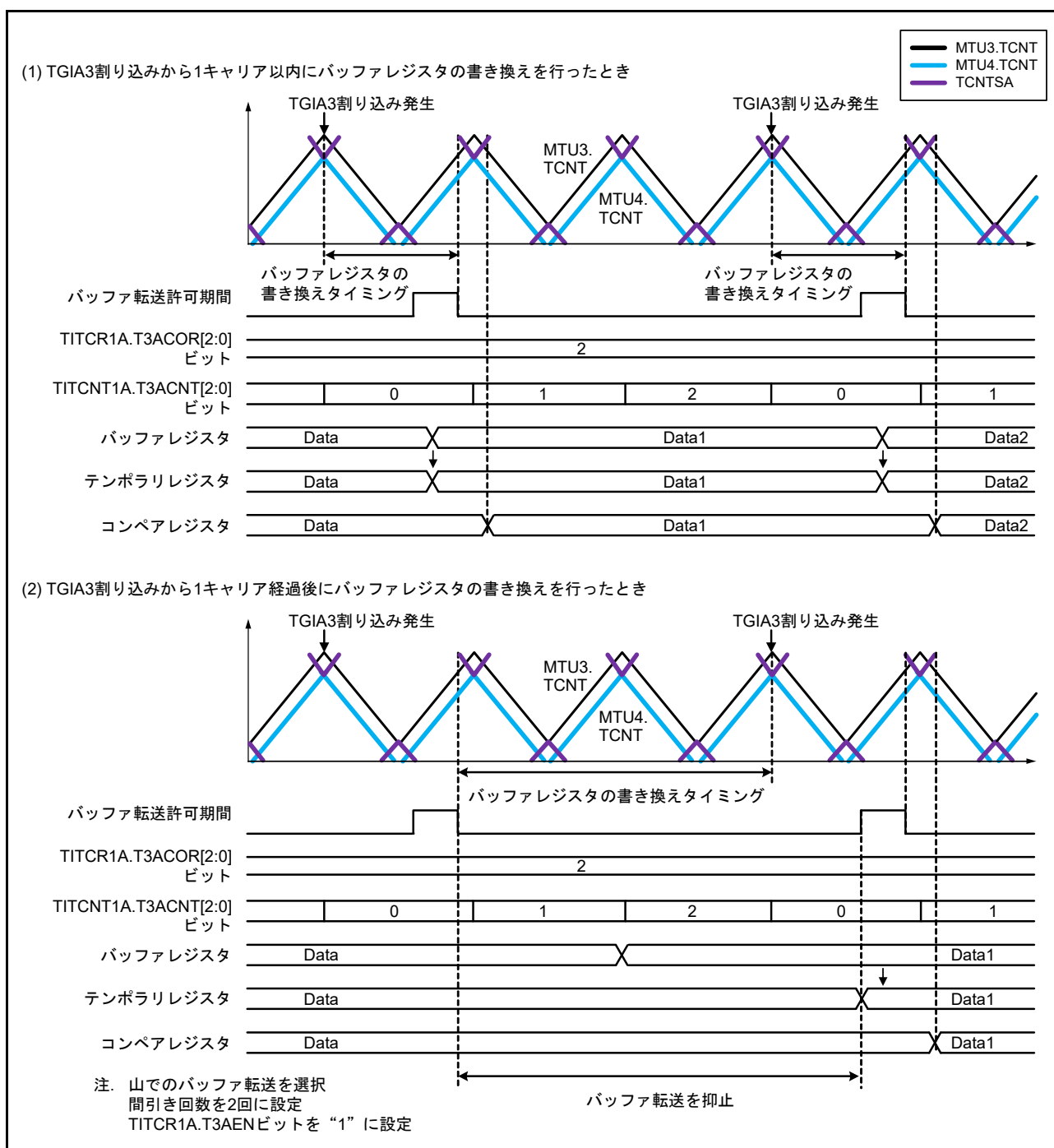


図 23.71 バッファ転送を割り込み間引きと連動する設定 (TBTER.BTE[1:0] ビット = 10b) にした場合の動作例

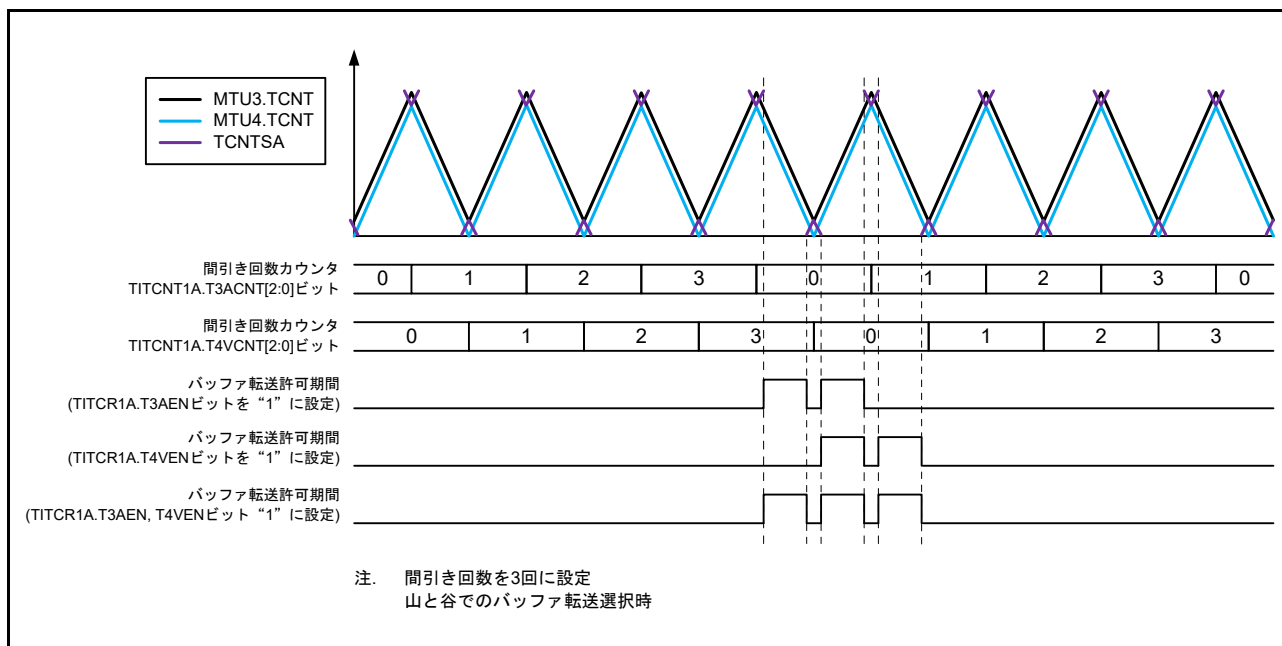


図 23.72 TITCR.T3AEN, T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

モードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、TRWER.RWE ビットの設定により CPU からのアクセスの許可/禁止を選択することが可能です。対象となるレジスタは MTU3 および MTU4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MTU3.TCR および MTU4.TCR、MTU3.TMDR および MTU4.TMDR、MTU3.TIORH および MTU4.TIORH、MTU3.TIORL および MTU4.TIORL、MTU3.TIER および MTU4.TIER、MTU3.TCNT および MTU4.TCNT、MTU3.TGRA および MTU4.TGRA、MTU3.TGRB および MTU4.TGRB、MTU.TOER、MTU.TOCR1、MTU.TOCR2、MTU.TGCR、MTU.TCDR、MTU.TDDR

計 22 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し値は不定で、書き込みは無効です。

(b) PWM 出力の停止機能

MTU0、MTU3、MTU4 の PWM 出力端子は、自動的にハイインピーダンス状態にすることが可能です。詳細は、「24. ポートアウトプットイネーブル 2 (POE2a)」を参照してください。

23.3.9 A/D 変換開始要求ディレイド機能

MTU4.TADCR, TADCORA, TADCORB, TADCOBRA, TADCOBRB レジスタを設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT カウンタと MTU4.TADCORA, TADCORB レジスタを比較し、これらが一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN) を行います。

また、TADCR.ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN, TRG4BN) を間引くことが可能です。

(1) A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 23.73 に示します。

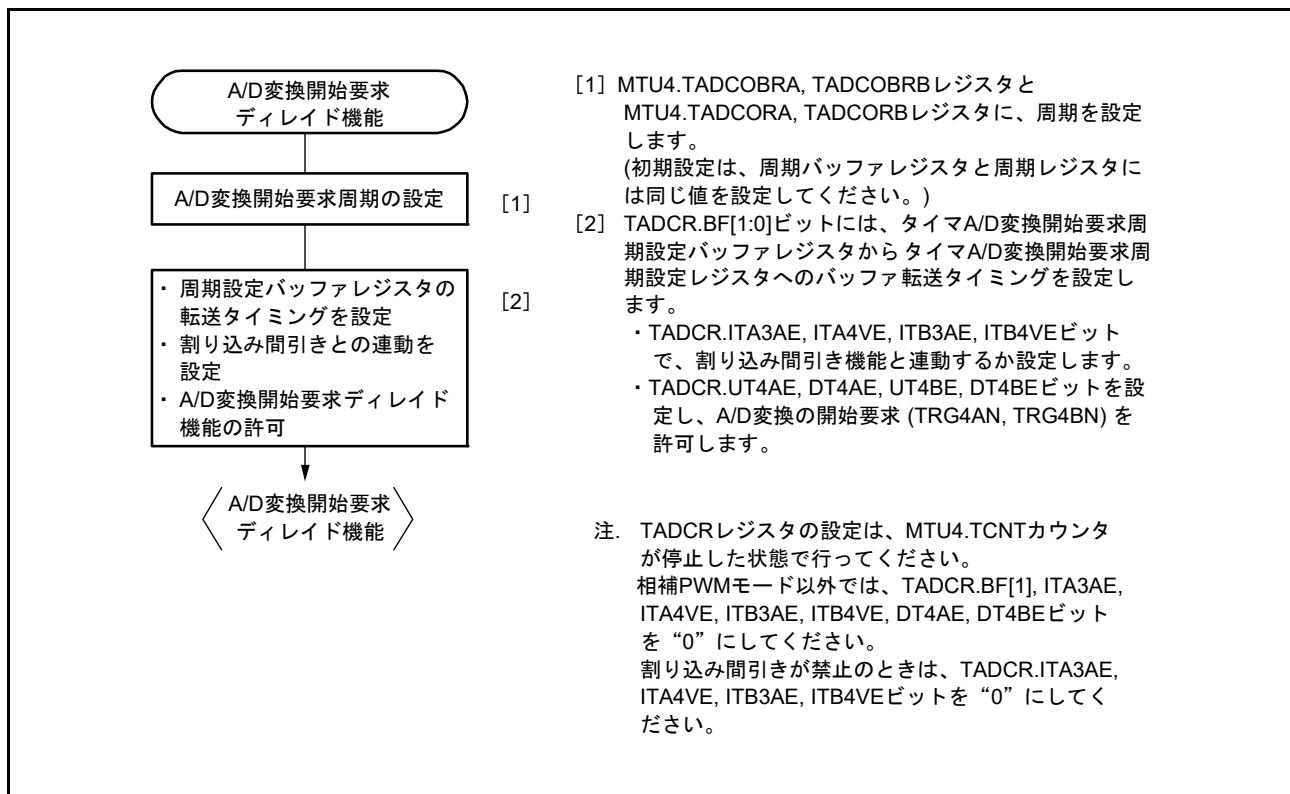


図 23.73 A/D 変換開始要求ディレイド機能の設定手順例

(2) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT カウンタの谷に設定し、MTU4.TCNT カウンタのダウンカウント時に A/D 変換の開始要求信号 (TRG4AN) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN) の基本動作例を図 23.74 に示します。

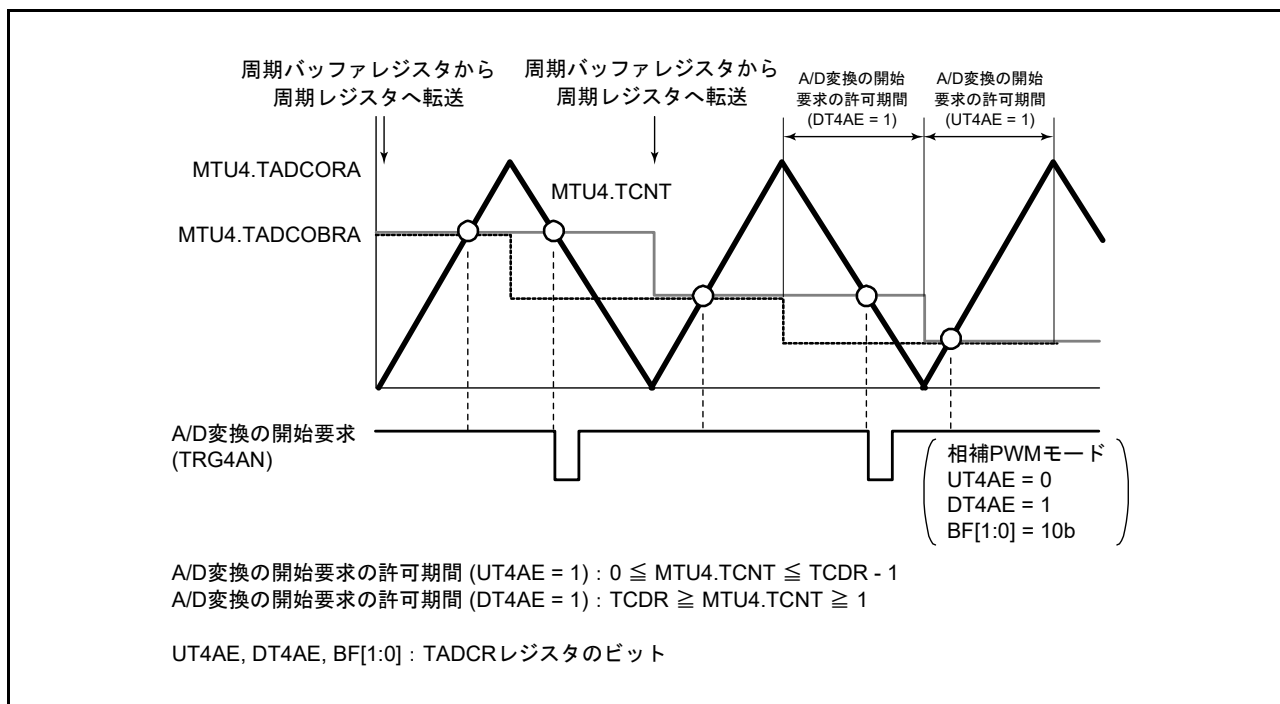


図 23.74 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(3) A/D 変換の開始要求の許可期間

MTU4.TADCR レジスタの UT4AE, UT4BE ビットで許可した期間内に MTU4.TCNT カウンタと MTU4.TADCORA, MTU4.TADCORB レジスタが一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN) を行います。

相補 PWM モードで MTU4.TADCR レジスタの UT4AE, UT4BE ビットを“1”にすると、MTU4.TCNT カウンタのアップカウント期間 ($0 \leq \text{MTU4.TCNT} \leq \text{TCDR} - 1$) に A/D 変換の開始要求を許可します。

MTU4.TADCR レジスタの DT4AE, DT4BE ビットを“1”にすると、MTU4.TCNT カウンタのダウンカウント期間 ($\text{TCDR} \geq \text{MTU4.TCNT} \geq 1$) に A/D 変換の開始要求を許可します (図 23.74)。

(4) バッファ転送

タイマ A/D 変換開始要求周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) のデータ更新は、タイマ A/D 変換開始要求周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) にデータを書き込むことにより行います。タイマ A/D 変換開始要求周期設定バッファレジスタからタイマ A/D 変換開始要求周期設定レジスタへの転送タイミングは、MTU4.TADCR.BF[1:0] ビットを設定することにより選択することができます。

相補 PWM モードでバッファ転送を使用する場合、バッファ転送のタイミングについて注意事項があります。詳細は、「23.6.27 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項」を参照してください。

また、相補 PWM モード以外のときは、MTU4.TADCR レジスタの BF[1] ビットを“0”にしてください。

(5) 割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能

相補 PWM モードでは、TADCR.ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN, TRG4BN) を行うことが可能です。MTU4.TCNT カウンタのアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 23.75 に示します。

また、MTU4.TCNT カウンタのアップカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 23.76 に示します。

相補 PWM モード以外では、割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能は使用できません。

MTU4.TADCR レジスタの ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットを“0”にしてください。

注. 本機能は割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき (TITCR.T3AEN, T4VEN ビットを“0”にしたとき、または TITCR.T3ACOR[2:0], T4VCOR[2:0] ビットを“000b”にしたとき) は、割り込み間引き機能と連動しない (TADCR.ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットを“0”) 設定にしてください。

A/D コンバータへの変換要求信号は、TRG4ABN (TRG4AN または TRG4BN) になりますので注意してください。また、本機能使用時、MTU4.TADCORA, MTU4.TADCORB レジスタには“0002h” ~ “TCDR-2”を設定してください。

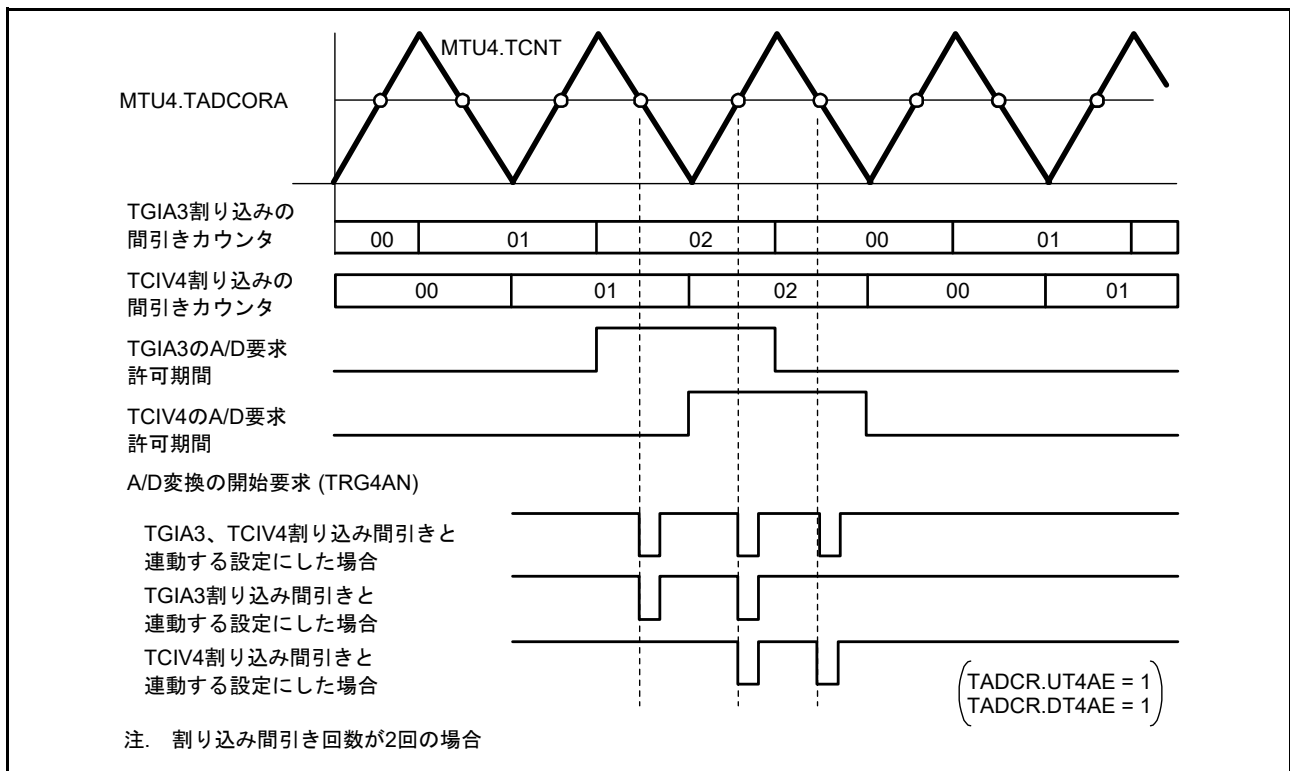


図 23.75 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (TCNT カウンタのアップカウント時およびダウンカウント時に TRG4AN 出力を許可したとき)

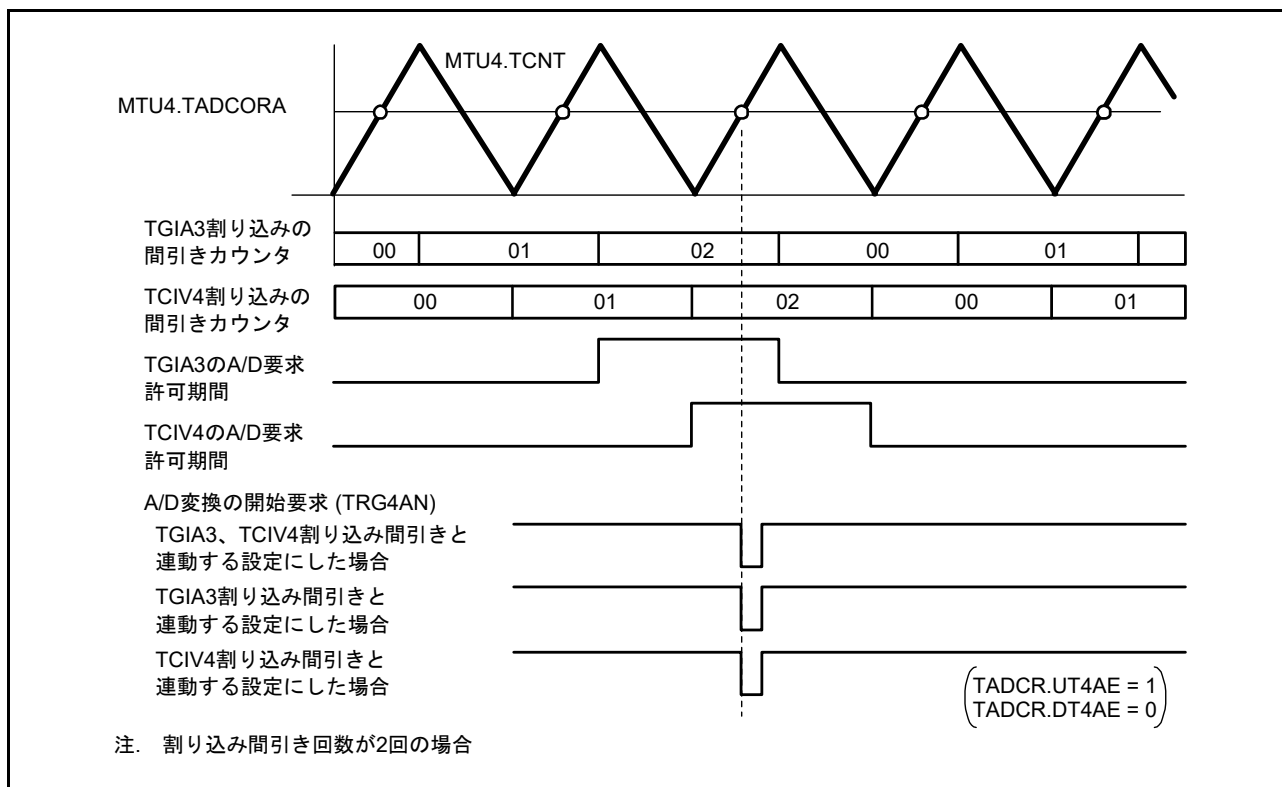


図 23.76 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (TCNT カウンタのアップカウント時に TRG4AN 出力を許可したとき)

23.3.10 外部パルス幅測定機能

MTU5は、最大3本の外部パルス幅を測定することができます。

MTU5.TIORU, TIORV, TIORWレジスタのIOC[4:0]ビットにパルス幅測定を設定すると、MTIC5U端子、MTIC5V端子、MTIC5W端子に入力された信号のパルス幅を測定します。IOC[4:0]ビットで指定したレベルが入力されている間、TCNTU, TCNTV, TCNTWカウンタはカウントアップします。

外部パルス幅測定の設定例を図23.77、動作例を図23.78に示します。

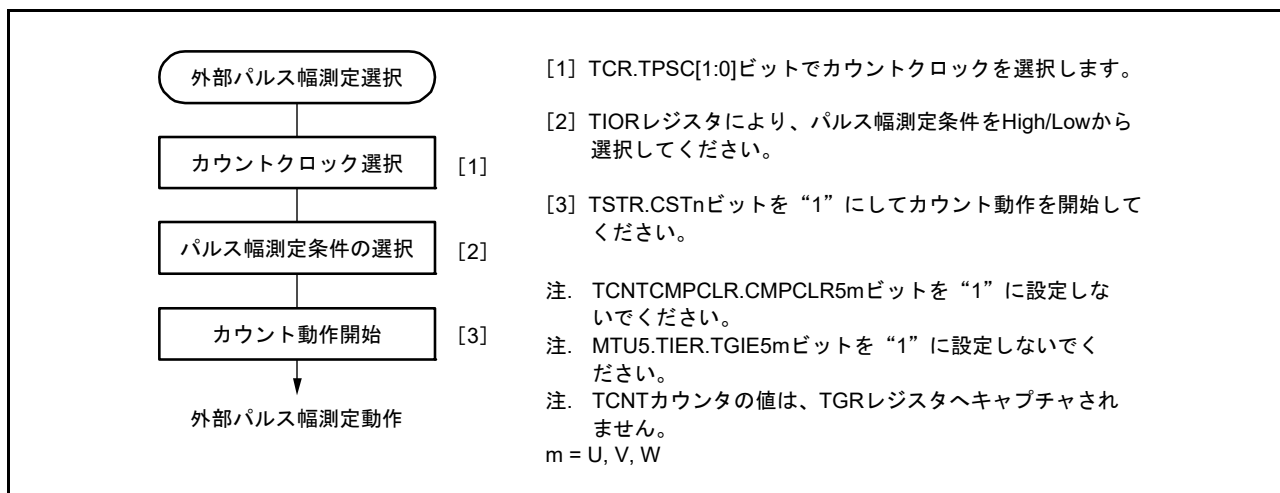


図 23.77 外部パルス幅測定の設定手順例

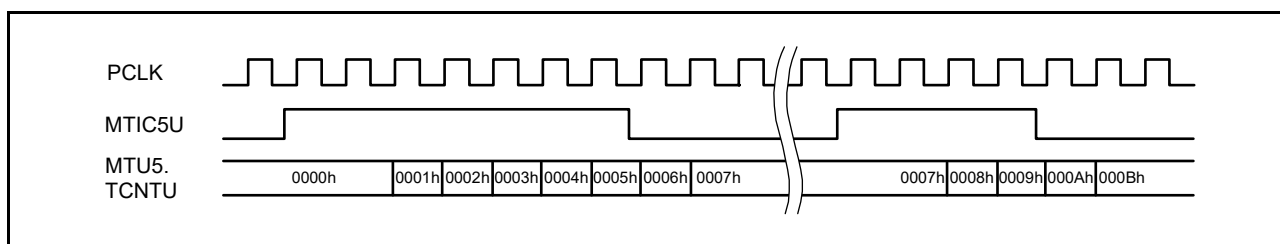


図 23.78 外部パルス幅測定動作例 (High幅測定)

23.3.11 デッドタイム補償機能

MTU3 ~ MTU5 を組み合わせて、デッドタイム遅れ（相補 PWM 出力とインバータ出力間の遅延）を補償することができます。

図 23.79 に MTU3 ~ MTU5 を組み合わせてデッドタイム遅れを補償するモータ制御回路の例を示します。

MTU5 の外部パルス測定機能でデッドタイム遅れを測定して、PWM 出力のコンペアレジスタに設定するデューティを補正することで、MTU3、MTU4 を使用した相補 PWM 動作時の PWM 出力波形に対するデッドタイムを補償することができます（図 23.80）。MTU3 ~ MTU5 を使用したデッドタイム補償の設定手順を図 23.81 に示します。このときの MTU5 の動作については、(2) 相補 PWM の山と谷での TCNTU、TCNTV、TCNTW カウンタキャプチャ動作を参照してください。

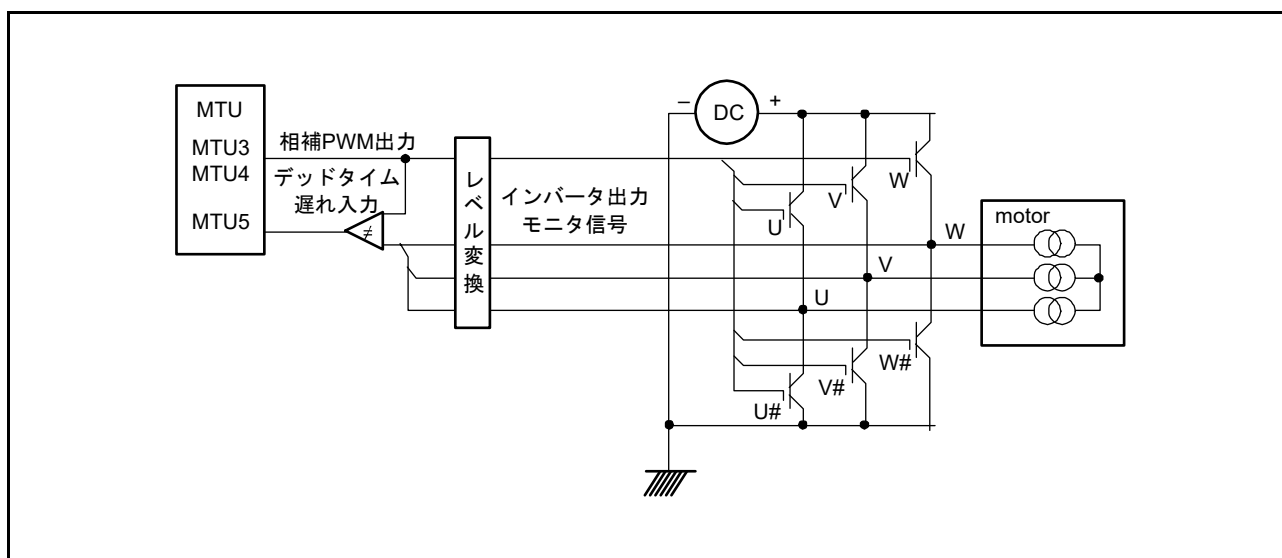


図 23.79 モータ制御回路構成例

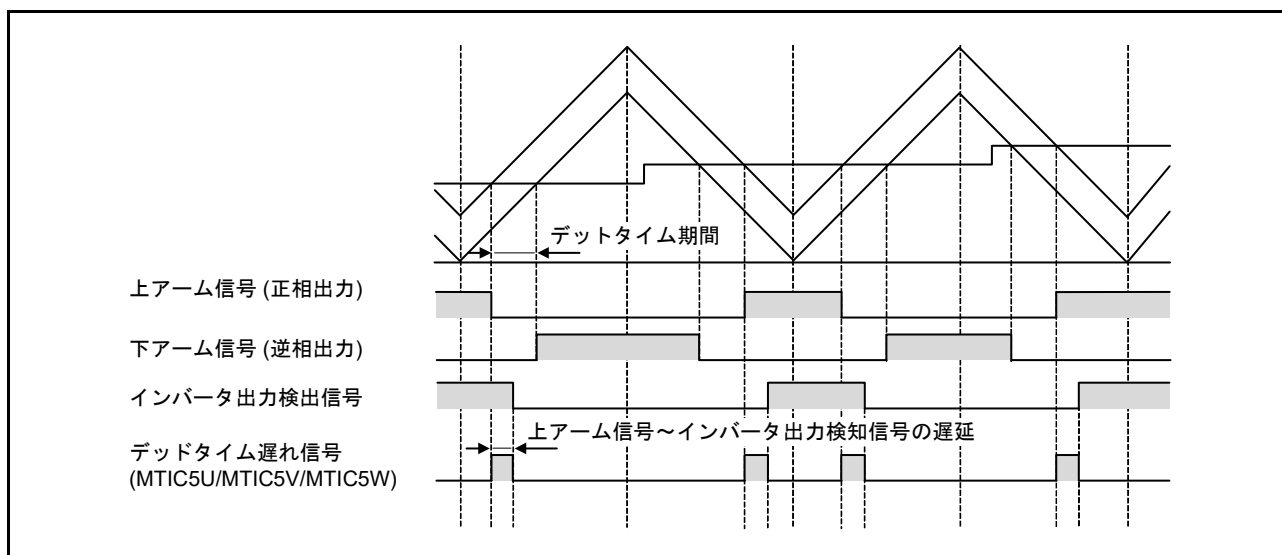


図 23.80 相補 PWM モード動作時のデッドタイム遅れ

(1) デッドタイム補償機能の設定手順例

MTU5の3本のカウンタを使用したデッドタイム補償機能の設定手順例を図23.81に示します。

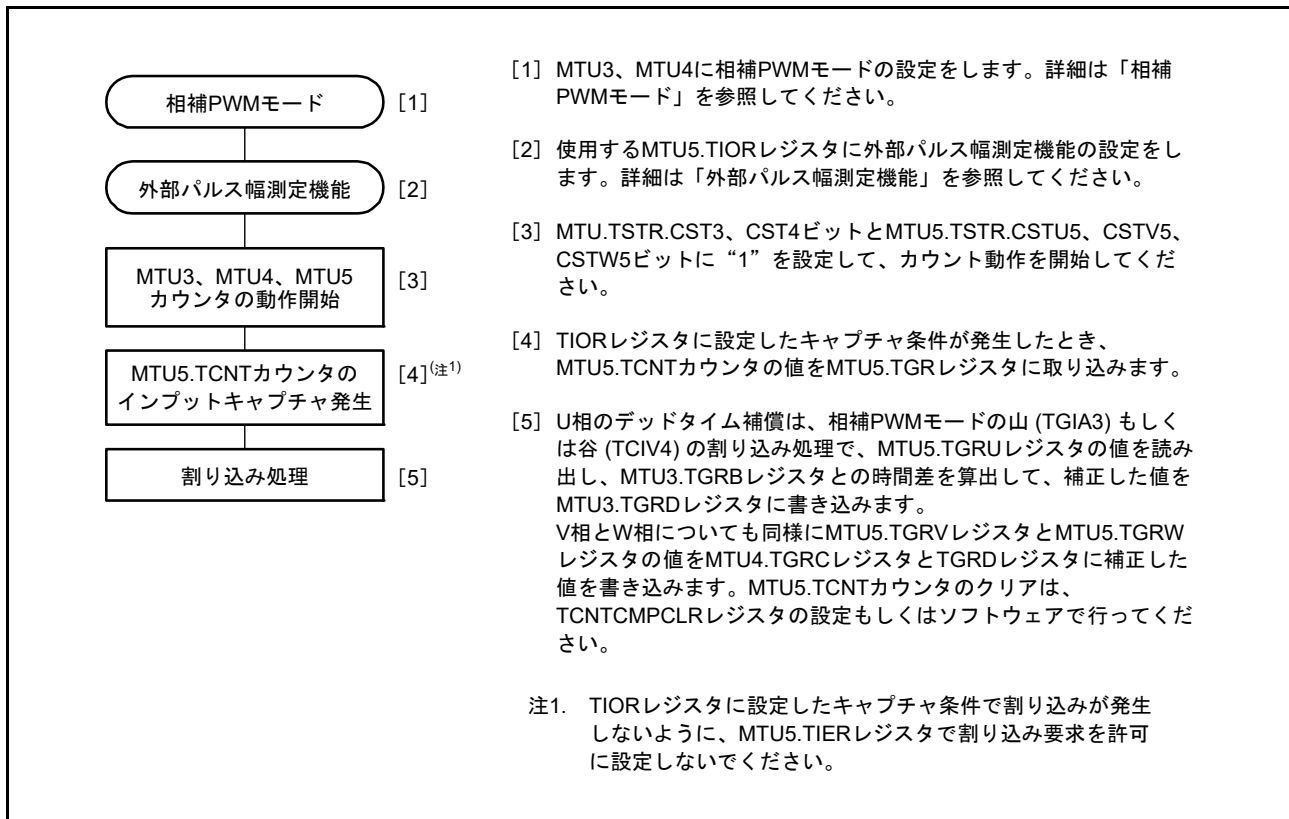


図 23.81 デッドタイム補償機能の設定手順例

(2) 相補 PWM の山と谷での TCNTU、TCNTV、TCNTW カウンタキャプチャ動作

MTU5 の外部パルス幅測定機能は、MTU3、MTU4 を相補 PWM モードで動作させたときに、相補 PWM の山、谷、または山と谷で TCNTU、TCNTV、TCNTW カウンタの値を TGRU、TGRV、TGRW レジスタに転送する機能です。転送タイミングは TIORU、TIORV、TIORW レジスタに設定します。また TCNTCMPCLR.CMPCLR5U、CMPCLR5V、CMPCLR5W ビットを“1”にすると TGRU、TGRV、TGRW レジスタへの転送タイミングで TCNTU、TCNTV、TCNTW カウンタが“0000h”になります。

図 23.82 は TCNTU カウンタをフリーランでクリアせずに使用し、相補 PWM の山と谷で TGRU レジスタにキャプチャを行った動作例です。

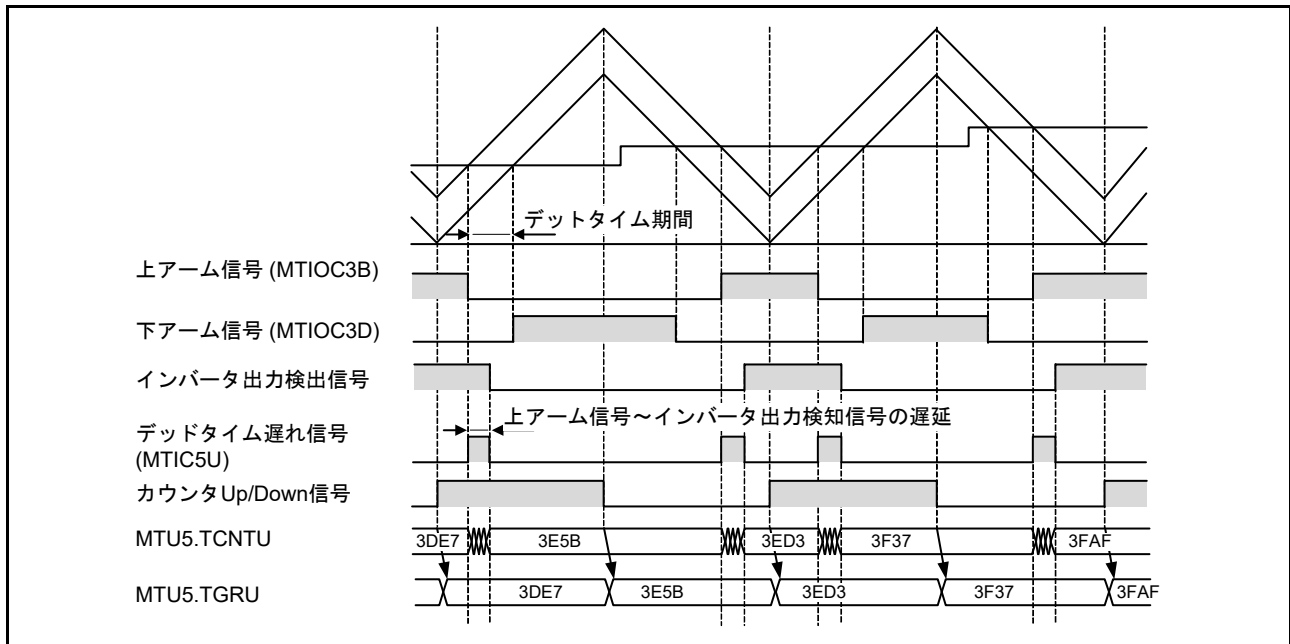


図 23.82 相補 PWM モード時の山と谷での MTU5.TCNTU カウンタキャプチャ動作

23.3.12 ノイズフィルタ機能

MTU の入力キャプチャ入力端子または外部パルス入力端子には、ノイズフィルタ機能を持っています。ノイズフィルタ機能は、入力信号をサンプリングクロックでサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

ノイズフィルタ機能は端子ごとにノイズフィルタ機能の許可/停止が設定でき、サンプリングクロックは、チャンネルごとに設定が可能です。図 23.83 にノイズフィルタのタイミングを示します。

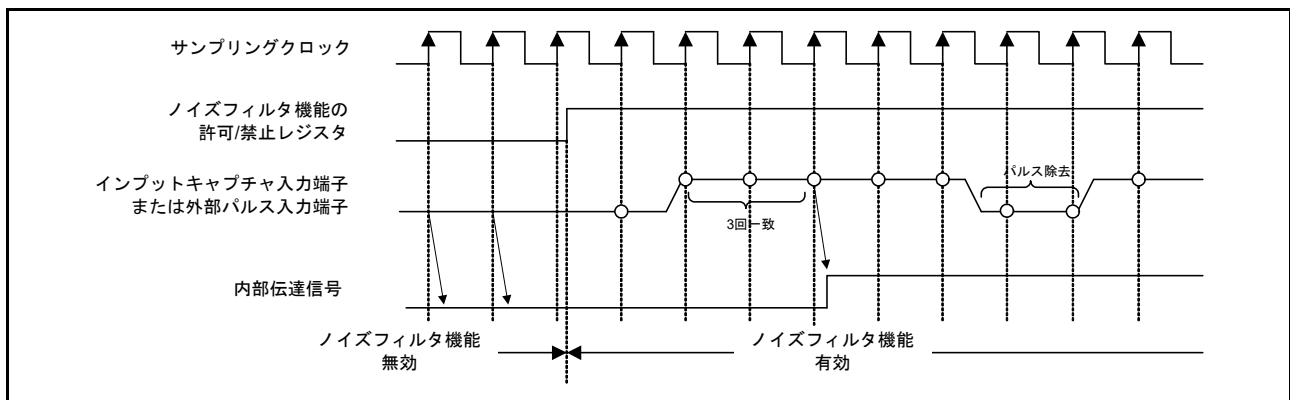


図 23.83 ノイズフィルタのタイミング

(1) インพุットキャプチャ/コンペアマッチ割り込み

TIER.TGIE ビットが“1”のとき、各チャネルの TGR レジスタのインพุットキャプチャ/コンペアマッチの発生により、割り込み要求を発生します。MTU には、MTU0 に 6 本、MTU3、MTU4 に各 4 本、MTU1、MTU2 に各 2 本、MTU5 に各 3 本、計 21 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

TIER.TCIEV ビットが“1”のとき、各チャネルの TCNT カウンタのオーバフローの発生により、割り込み要求を発生します。MTU には、各チャネルに 1 本、計 5 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

TIER.TCIEU ビットが“1”のとき、各チャネルの TCNT カウンタのアンダフローの発生により、割り込み要求を発生します。MTU には、MTU1、MTU2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

23.4.2 DTC/DMAC の起動

(1) DTC の起動

各チャンネルの TGR レジスタのインプットキャプチャ/コンペアマッチ割り込み、MTU4 のオーバフロー割り込みによって、DTC を起動することができます。詳細は「19. データトランスファコントローラ (DTCa)」を参照してください。

MTU では、MTU0、MTU3 が各 4 本、MTU1、MTU2 が各 2 本、MTU4 が 5 本、MTU5 が 3 本、計 20 本のインプットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みを DTC の起動要因とすることができます。

(2) DMAC の起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「18. DMA コントローラ (DMACA)」を参照してください。

MTU では、MTU0 ~ MTU4 の各チャンネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

MTU による DMAC 起動時は、DMAC が内部バス権を要求するときに起動要因をクリアします。したがって、内部バスの状態によっては、起動要因がクリアされても DMAC 転送が開始待ち状態になる期間が発生します。

23.4.3 A/D コンバータの起動

MTU では、次の 5 種類の方法で A/D コンバータを起動できます。

各割り込み要因と A/D 変換開始要求の対応を、表 23.58 に示します。

(1) TGRA レジスタのインプットキャプチャ/コンペアマッチと、相補 PWM モード時の MTU4.TCNT カウンタの谷での A/D コンバータの起動

各チャンネルの TGRA レジスタのインプットキャプチャ/コンペアマッチによって、A/D コンバータを起動できます。また、MTU4.TIER.TTGE2 ビットを“1”にした状態で、相補 PWM モード動作をさせた場合は MTU4.TCNT カウンタが谷 (MTU4.TCNT = 0000h) になったときも A/D コンバータを起動できます。

次に示す条件で、A/D コンバータに対して A/D 変換開始要求 TRGAN を発生します。

- 各チャンネルの TGRA レジスタのインプットキャプチャ/コンペアマッチが発生したとき、TIER.TTGE2 ビットが“1”にされていた場合
- MTU4.TIER.TTGE2 ビットを“1”にした状態で、相補 PWM モード動作をさせ、MTU4.TCNT カウンタが谷 (MTU4.TCNT = 0000h) になった場合

これらのとき A/D コンバータ側で MTU の変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2) MTU0.TCNT カウンタと MTU0.TGRE レジスタのコンペアマッチによる A/D コンバータの起動

MTU0.TCNT カウンタと MTU0.TGRE のコンペアマッチによって、A/D コンバータを起動できます。

MTU0.TCNT カウンタと MTU0.TGRE のコンペアマッチの発生により、A/D 変換開始要求 TRG0EN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0EN が選択されていれば、A/D 変換が開始されます。

(3) MTU0.TCNT カウンタと MTU0.TGRF レジスタのコンペアマッチによる A/D コンバータの起動

MTU0.TCNT カウンタと MTU0.TGRF レジスタのコンペアマッチによって、A/D コンバータを起動できます。

MTU0.TCNT カウンタと MTU0.TGRF レジスタのコンペアマッチの発生により、A/D 変換開始要求 TRG0FN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0FN が選択されていれば、A/D 変換が開始されます。

(4) MTU0.TGRA レジスタと MTU0.TGRB レジスタのインプットキャプチャ/コンペアマッチによる A/D コンバータの起動

MTU0.TCNT カウンタと MTU0.TGRA, MTU0.TGRB レジスタのインプットキャプチャ/コンペアマッチによって、A/D コンバータを起動できます。

MTU0.TCNT カウンタと MTU0.TGRA, MTU0.TGRB レジスタのインプットキャプチャ/コンペアマッチの発生により、A/D 変換開始要求 TRG0AN, TRG0BN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0AN, TRG0BN が選択されていれば、A/D 変換が開始されます。

(5) A/D 変換開始要求ディレイド機能による A/D コンバータの起動

TADCR.UT4AE, DT4AE, UT4BE, DT4BE ビットを“1”にした場合、TADCORA, TADCORB レジスタと MTU4.TCNT カウンタの一致によって、TRG4AN, TRG4BN を発生し、A/D コンバータを起動できます。詳細は「23.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN または TRG4BN が発生したとき、TRG4ABN が発生します。A/D コンバータ側で MTU の変換開始トリガ TRG4ABN が選択されていれば、A/D 変換が開始されます。

表 23.58 各割り込み要因と A/D 変換開始要求の対応

対象	A/D コンバータ起動要因	A/D 変換開始要求
MTU0.TGRA と MTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRGAN
MTU1.TGRA と MTU1.TCNT		
MTU2.TGRA と MTU2.TCNT		
MTU3.TGRA と MTU3.TCNT		
MTU4.TGRA と MTU4.TCNT		
MTU4.TCNT	相補 PWM モード時の MTU4.TCNT の谷	
MTU0.TGRA と MTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRG0AN
MTU0.TGRB と MTU0.TCNT		TRG0BN
MTU0.TGRE と MTU0.TCNT	コンペアマッチ	TRG0EN
MTU0.TGRF と MTU0.TCNT		TRG0FN
TADCORA と MTU4.TCNT		TRG4AN
TADCORB と MTU4.TCNT		TRG4BN
TADCORA と MTU4.TCNT または TADCORB と MTU4.TCNT		TRG4ABN

23.5 動作タイミング

23.5.1 入出力タイミング

(1) TCNT カウンタのカウンタタイミング

内部クロック動作の場合の TGI 割り込みのカウンタタイミングを図 23.84、図 23.85 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT カウンタのカウンタタイミングを図 23.86 に、外部クロック動作（位相計数モード）の場合の TCNT カウンタのカウンタタイミングを図 23.87 に示します。

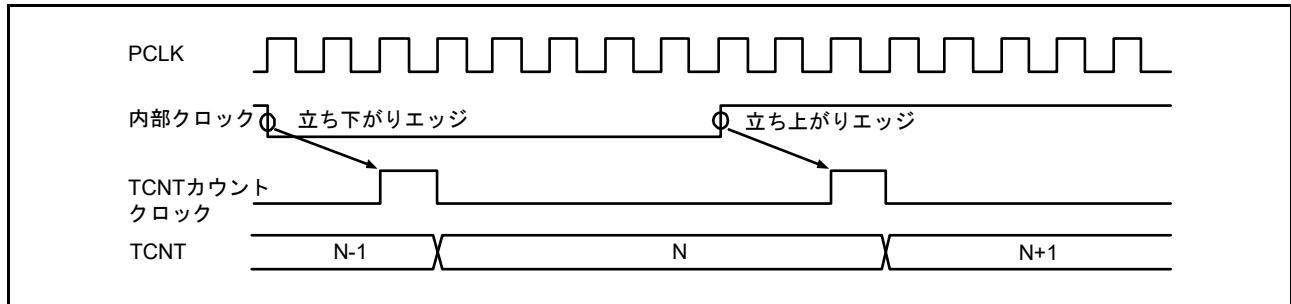


図 23.84 内部クロック動作時のカウンタタイミング (MTU0 ~ MTU4)

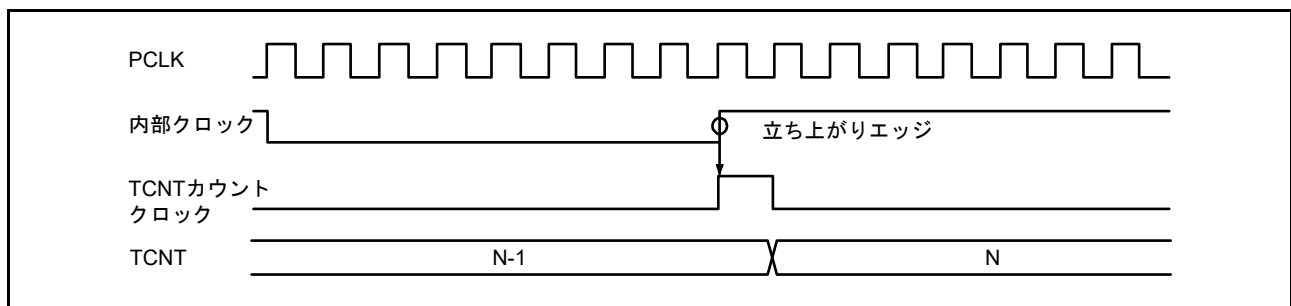


図 23.85 内部クロック動作時のカウンタタイミング (MTU5)

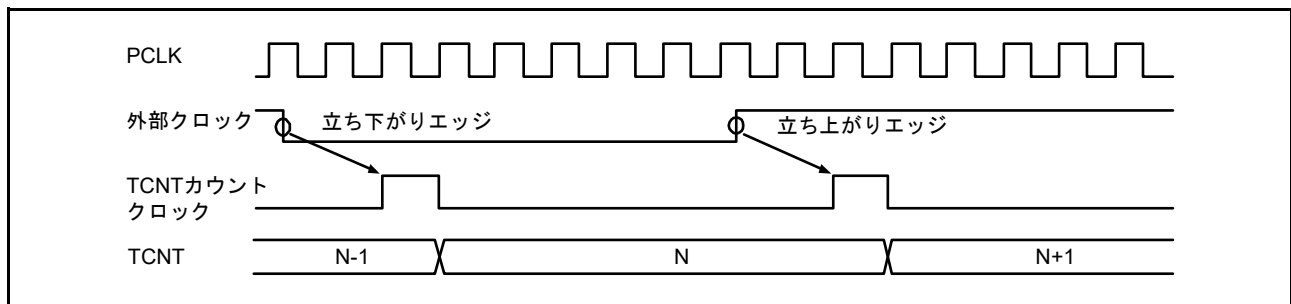


図 23.86 外部クロック動作時のカウンタタイミング (MTU0 ~ MTU4)

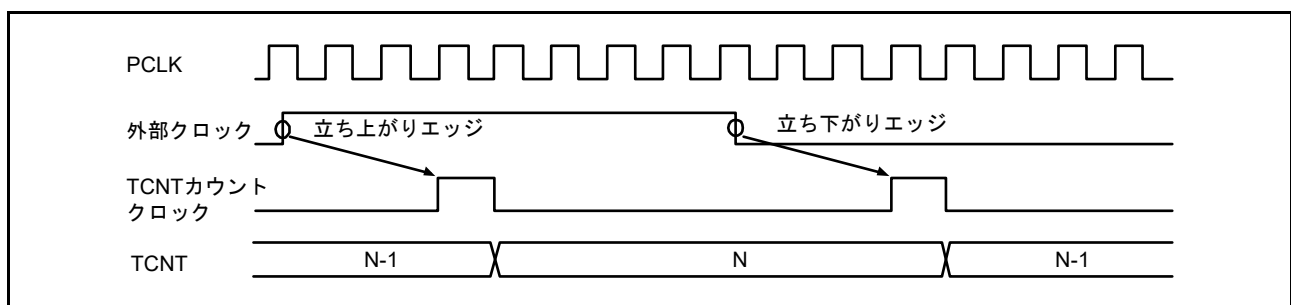


図 23.87 外部クロック動作時のカウンタタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT カウンタと TGR レジスタが一致した最後のステート（TCNT カウンタが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR レジスタで設定した出力値がアウトプットコンペア出力端子（MTIOC 端子）に出力されます。TCNT カウンタと TGR レジスタが一致した後、TCNT カウントクロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 23.88 に、アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）を図 23.89 に示します。

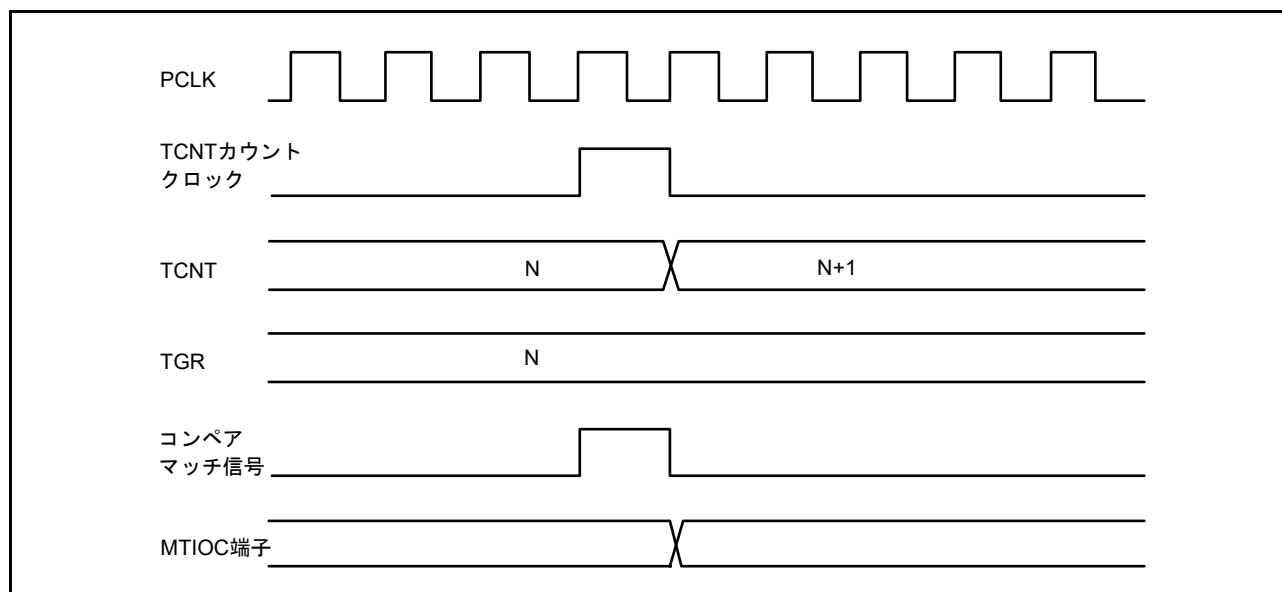


図 23.88 アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）

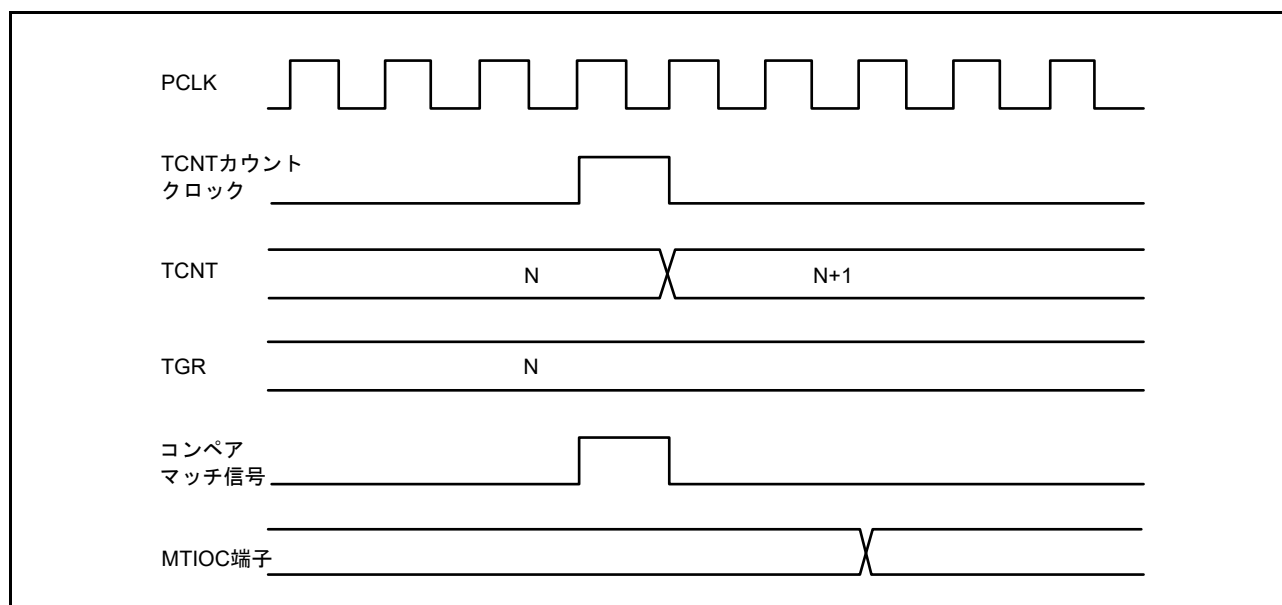


図 23.89 アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 23.90 に示します。

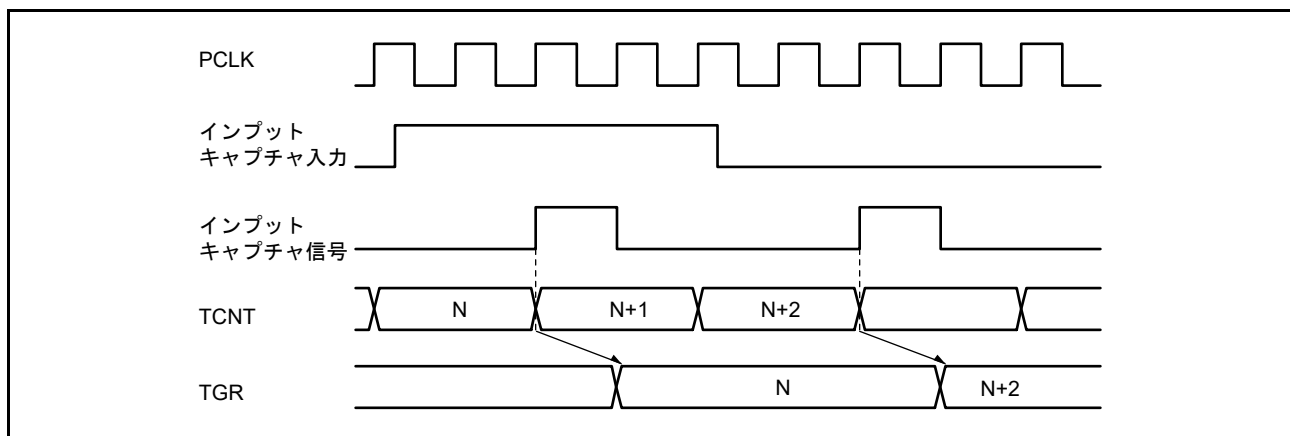


図 23.90 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 23.91、図 23.92 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 23.93 に示します。

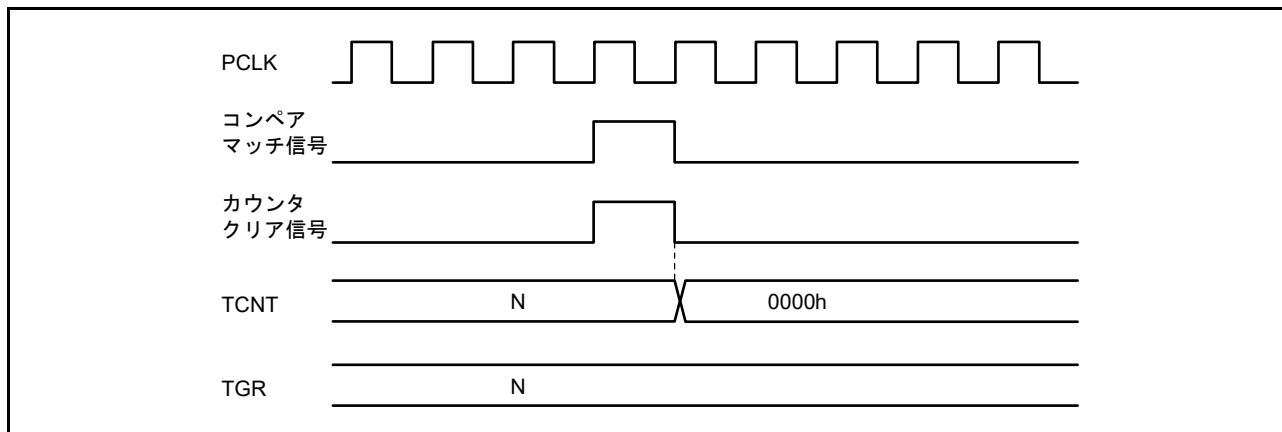


図 23.91 カウンタクリアタイミング (コンペアマッチ) (MTU0 ~ MTU4)

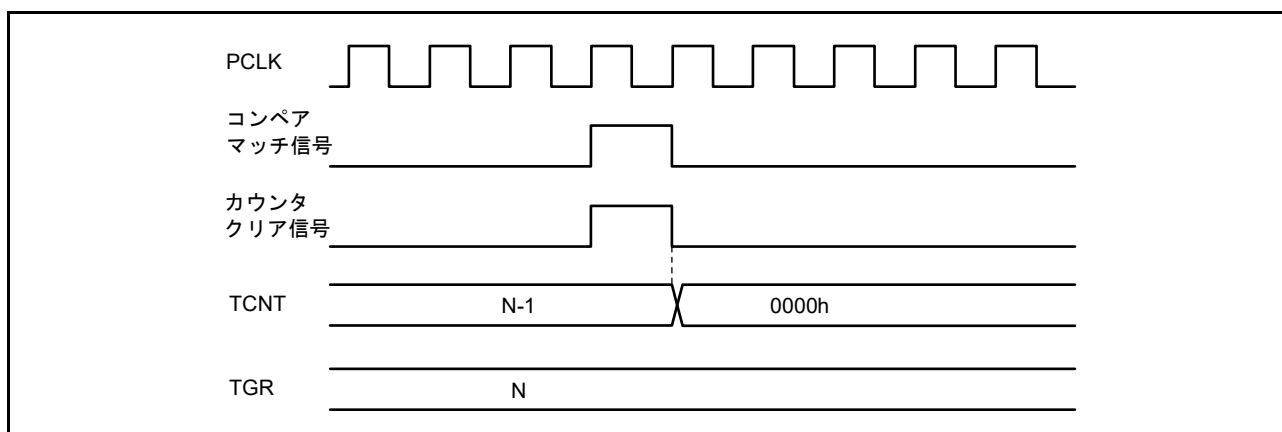


図 23.92 カウンタクリアタイミング (コンペアマッチ) (MTU5)

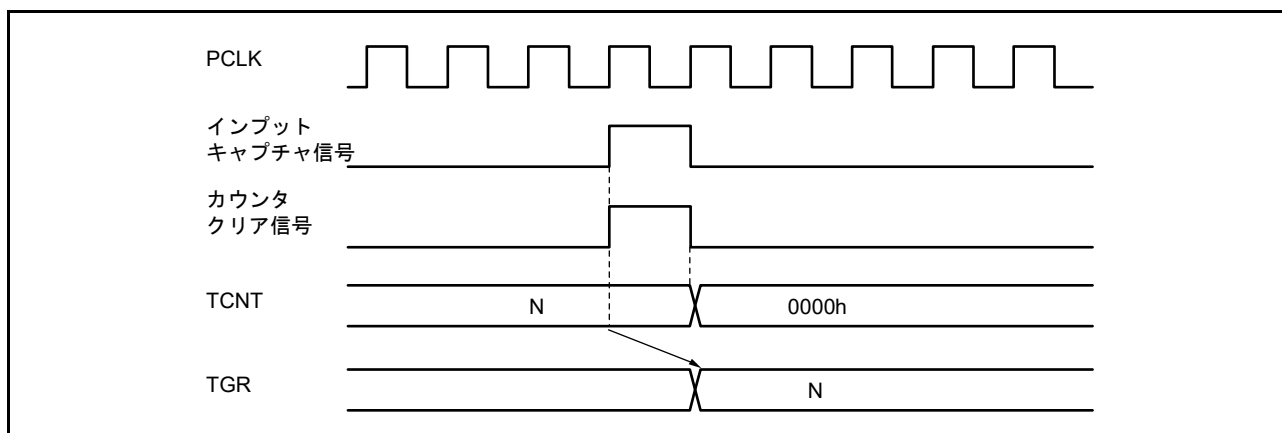


図 23.93 カウンタクリアタイミング (インプットキャプチャ) (MTU0 ~ MTU5)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 23.94 ~ 図 23.96 に示します。

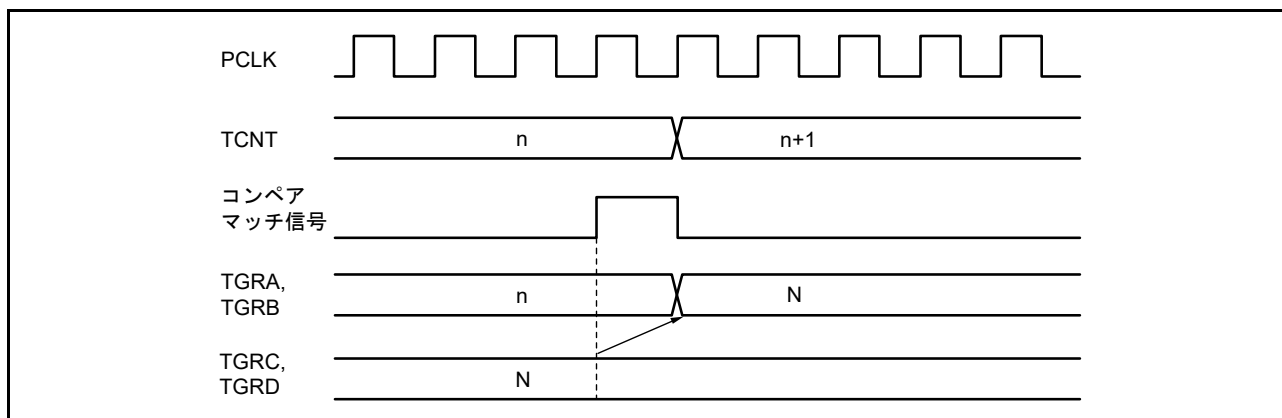


図 23.94 バッファ動作タイミング (コンペアマッチ)

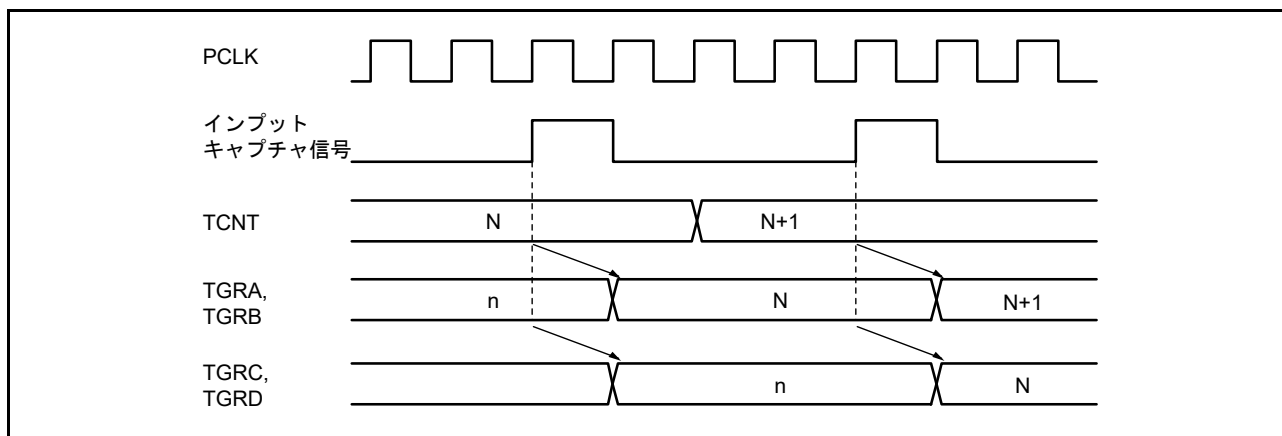


図 23.95 バッファ動作タイミング (インพุットキャプチャ)

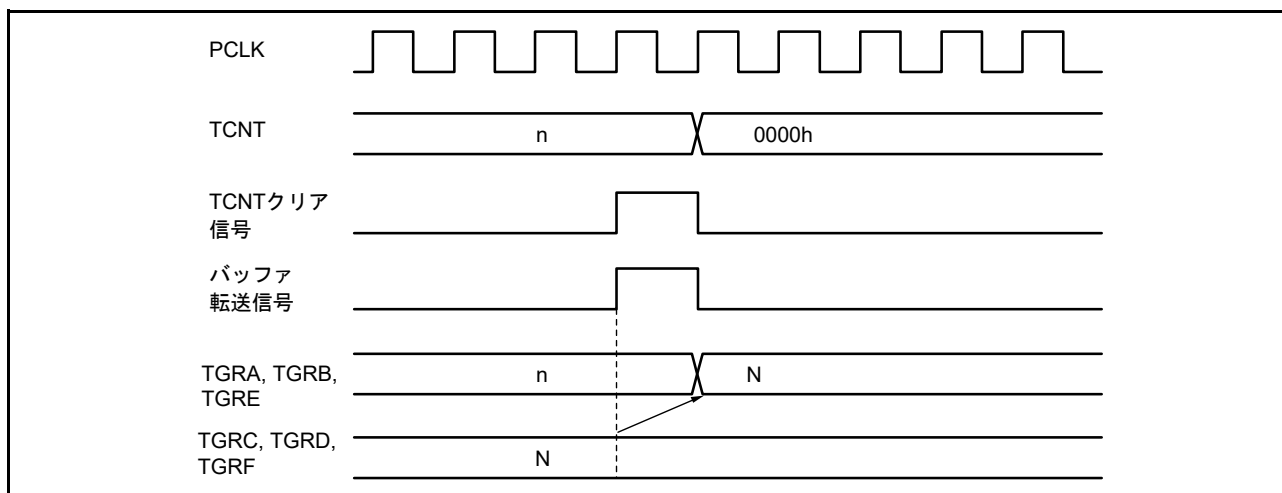


図 23.96 バッファ動作タイミング (TCNT カウンタクリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 23.97 ~ 図 23.99 に示します。

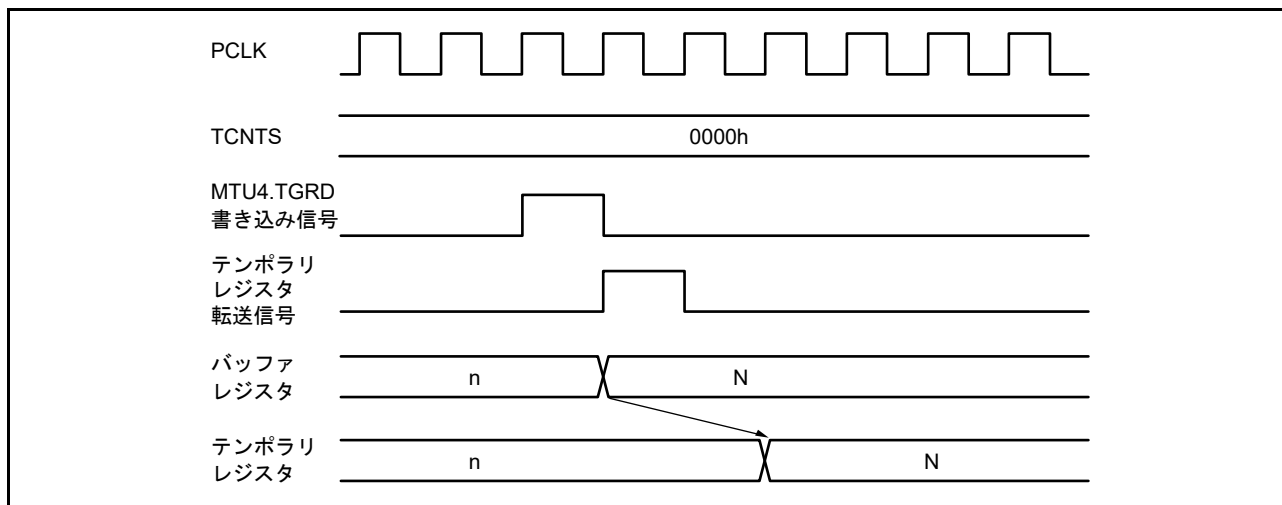


図 23.97 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS カウンタ停止中)

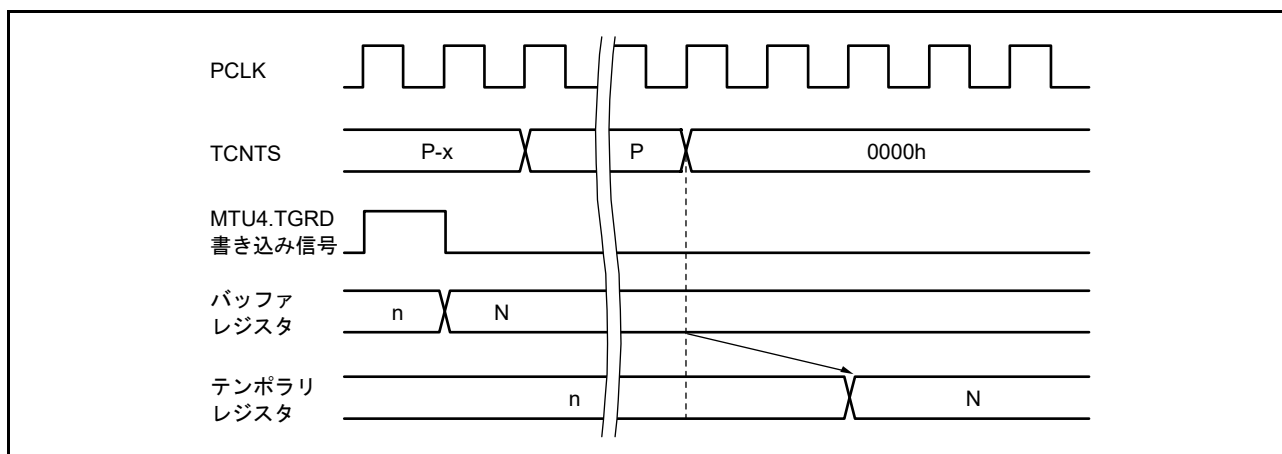


図 23.98 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS カウンタ動作中)

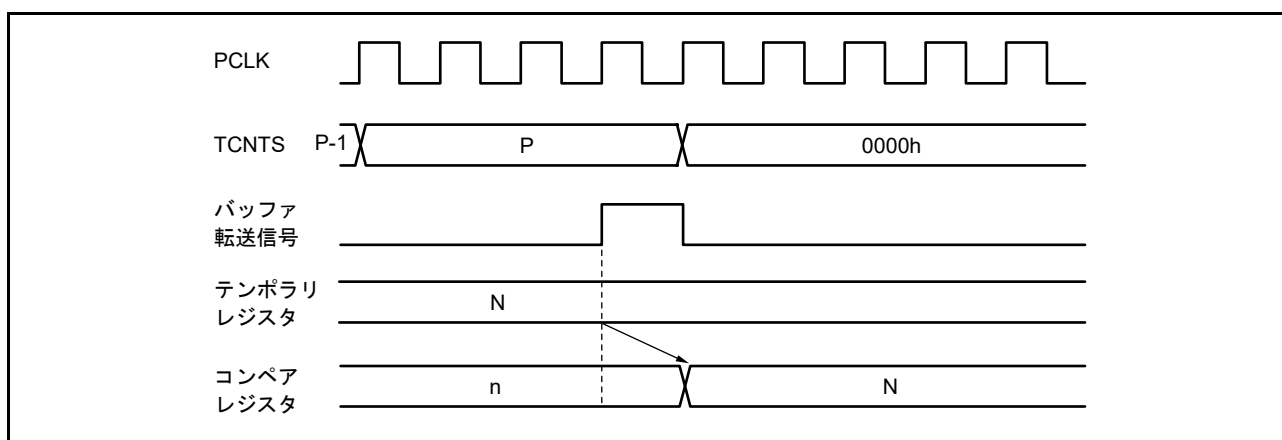


図 23.99 テンポラリレジスタからコンペアレジスタへの転送タイミング

23.5.2 割り込み信号タイミング

(1) コンペアマッチ時の TGI 割り込みタイミング

コンペアマッチの発生による TGI 割り込み要求信号のタイミングを図 23.100、図 23.101 に示します。

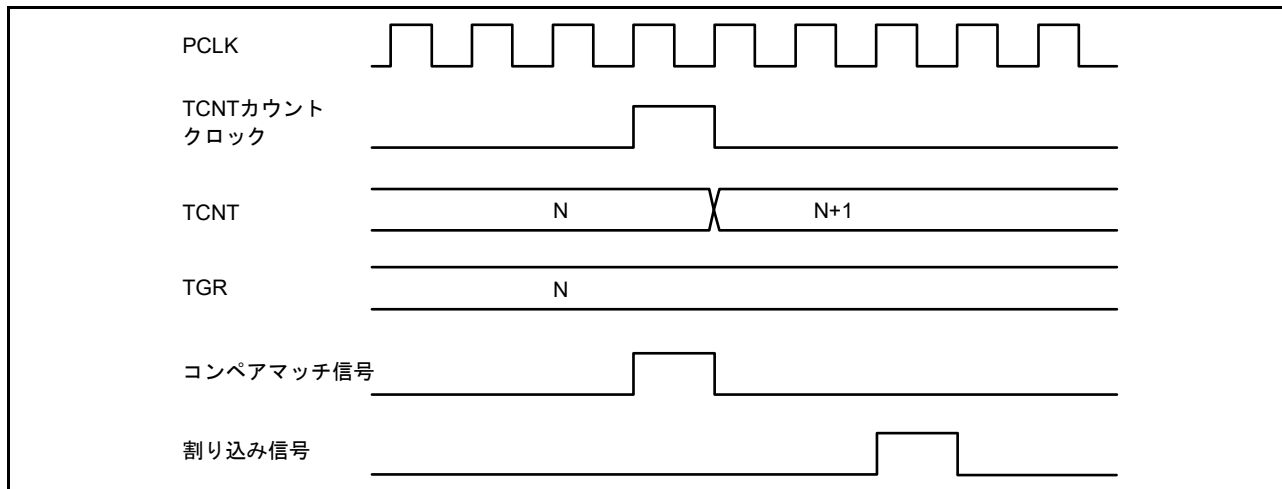


図 23.100 TGI 割り込みタイミング (コンペアマッチ) (MTU0 ~ MTU4)

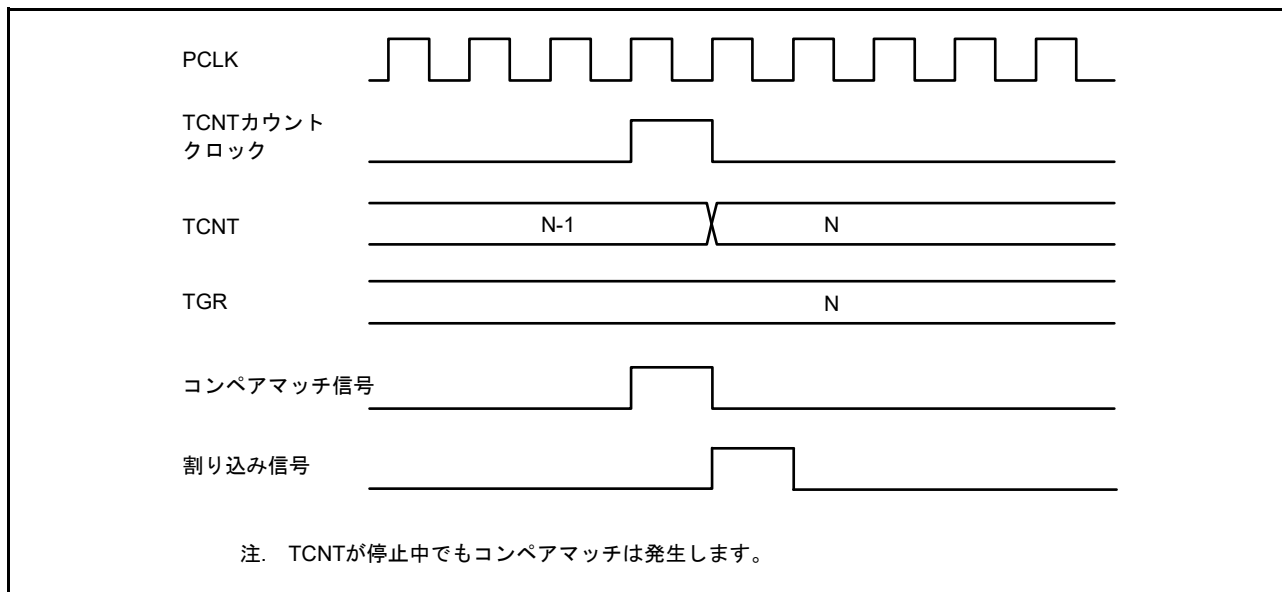


図 23.101 TGI 割り込みタイミング (コンペアマッチ) (MTU5)

(2) インพุットキャプチャ時の TGI 割り込みタイミング

インพุットキャプチャの発生による TGI 割り込み要求信号のタイミングを図 23.102、図 23.103 に示します。

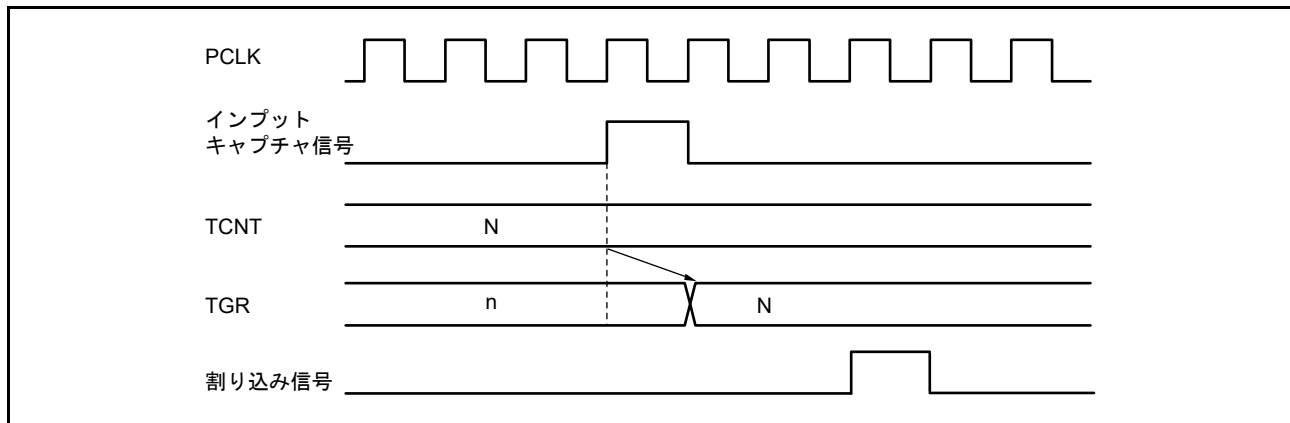


図 23.102 TGI 割り込みタイミング (インพุットキャプチャ) (MTU0 ~ MTU4)

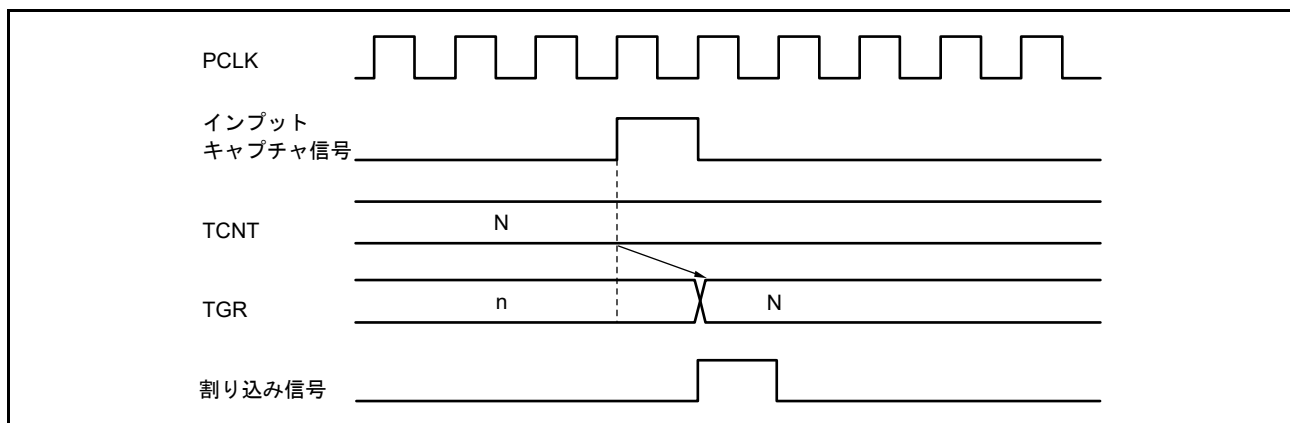


図 23.103 TGI 割り込みタイミング (インพุットキャプチャ) (MTU5)

(3) TCIV/TCIU 割り込みタイミング

オーバーフローの発生による TCIV 割り込み要求信号のタイミングを図 23.104 に示します。
 アンダフローの発生による TCIU 割り込み要求信号のタイミングを図 23.105 に示します。

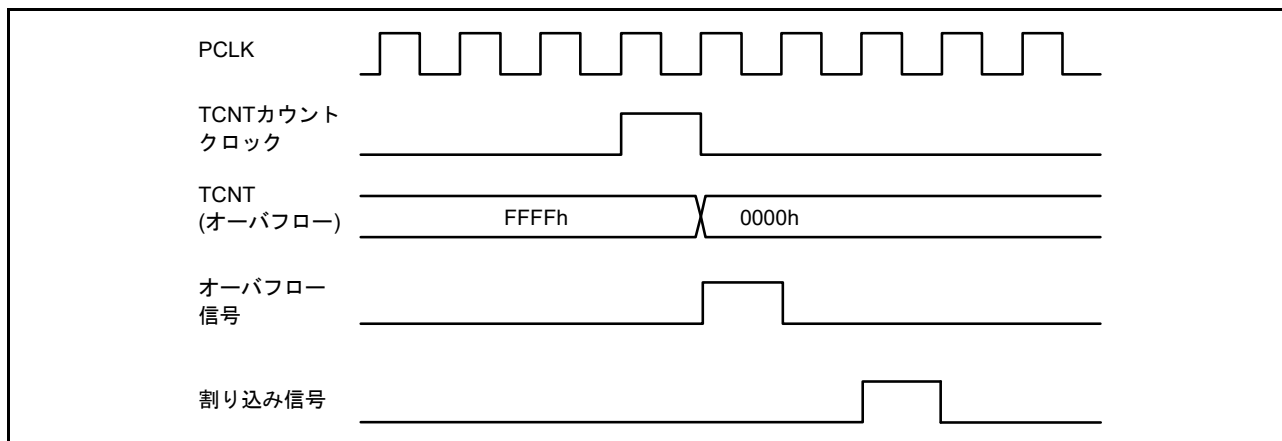


図 23.104 TCIV 割り込みタイミング

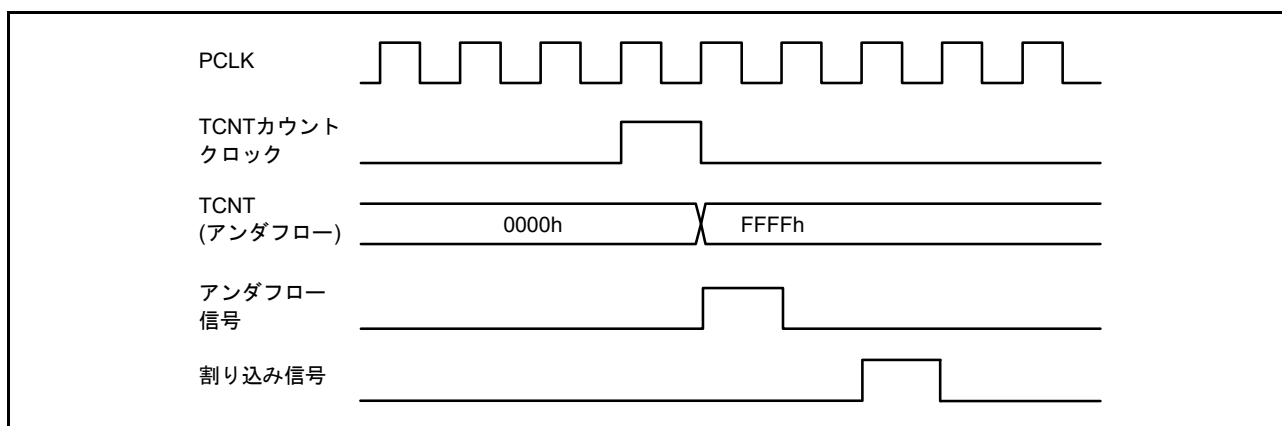


図 23.105 TCIU 割り込みタイミング

23.6 使用上の注意事項

23.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、MTUの動作禁止/許可を設定することが可能です。初期値では、MTUの動作は停止します。モジュールクロックストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

23.6.2 カウントクロックの制限事項

カウントクロックソースのパルス幅は、単エッジの場合は1.5 PCLK以上、両エッジの場合は2.5 PCLK以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2本の入カクロックの位相差およびオーバーラップはそれぞれ1.5 PCLK以上、パルス幅は2.5 PCLK以上必要です。位相計数モードの入カクロックの条件を図23.106に示します。

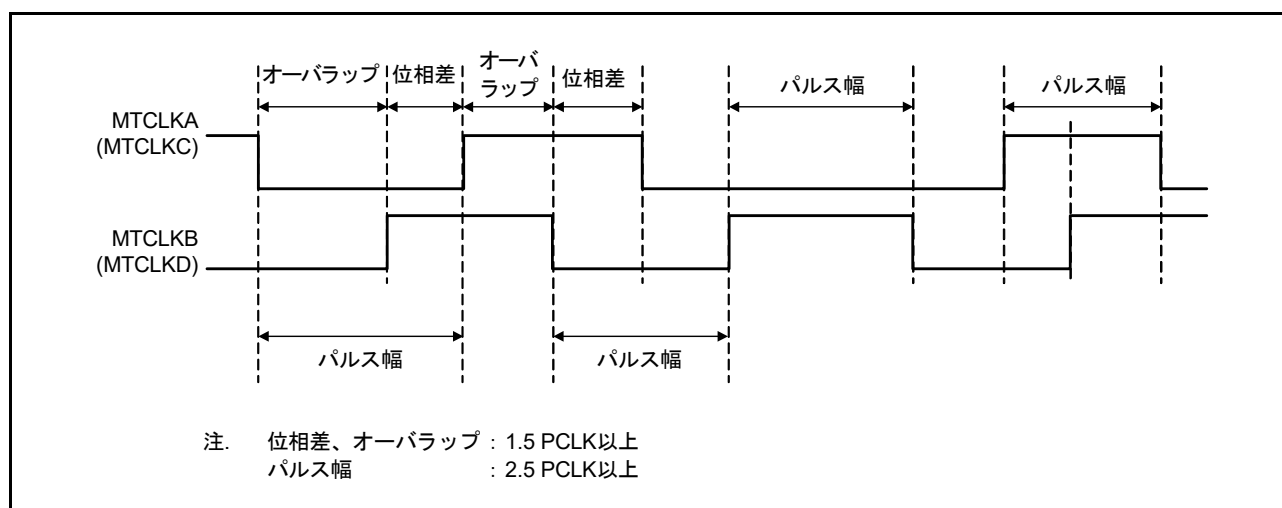


図 23.106 位相計数モード時の位相差、オーバーラップ、およびパルス幅

23.6.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT カウンタは TGR レジスタの値と一致した最後のステート（TCNT カウンタが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式ようになります。

- MTU0 ～ MTU4 の場合

$$f = \frac{\text{CNTCLK}}{N+1}$$

- MTU5 の場合

$$f = \frac{\text{CNTCLK}}{N}$$

f : カウンタ周波数

CNTCLK : TCR.TPSC[2:0] ビットで設定したカウントクロックの周波数

N : TGR レジスタの設定値

23.6.4 TCNT カウンタの書き込みとクリアの競合

TCNT カウンタの書き込みサイクル中で、カウンタクリア信号が発生すると、TCNT カウンタへの書き込みは行われず、TCNT カウンタのクリアが優先されます。

このタイミングを図 23.107 に示します。

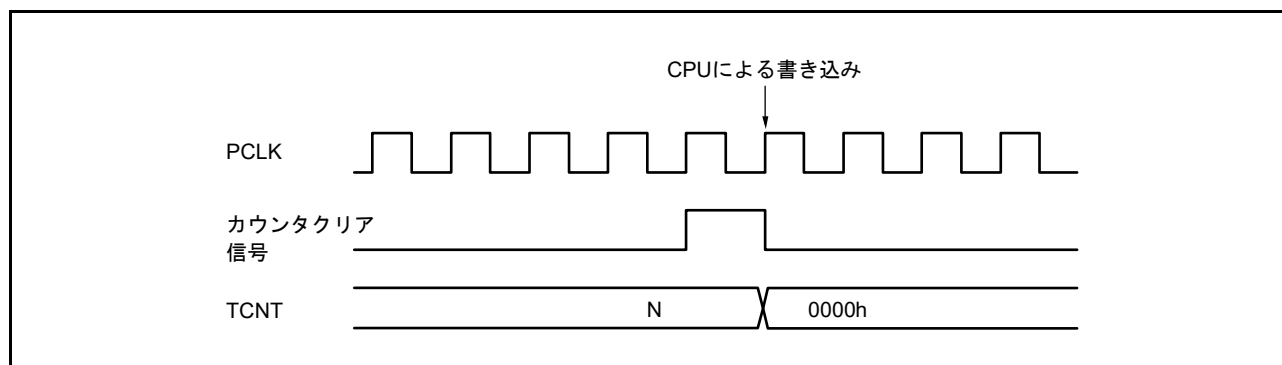


図 23.107 TCNT カウンタの書き込みとカウンタクリアの競合

23.6.5 TCNT カウンタの書き込みとカウントアップの競合

TCNT カウンタの書き込みサイクル中にカウントアップが発生しても、カウントアップされず、TCNT カウンタへの書き込みが優先されます。

このタイミングを図 23.108 に示します。

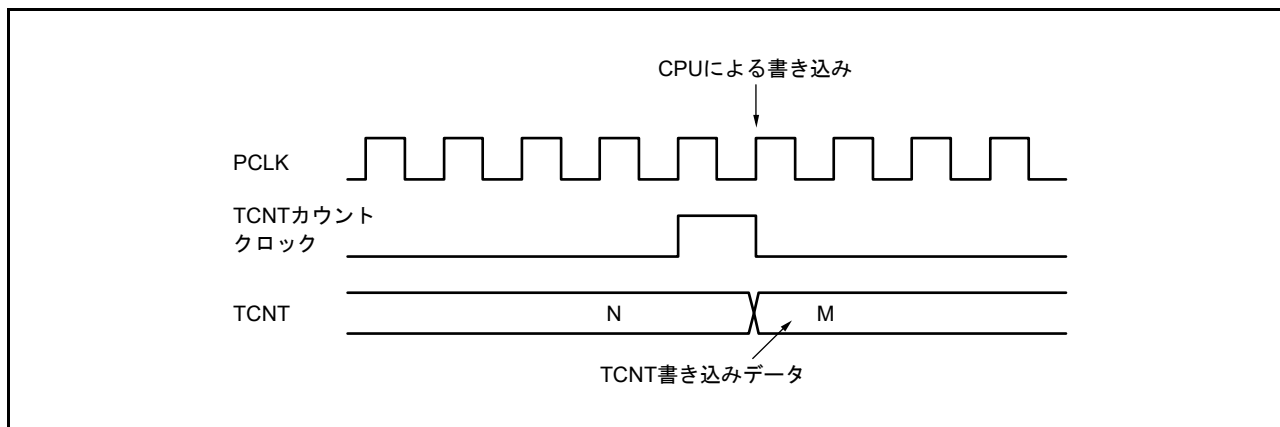


図 23.108 TCNT カウンタの書き込みとカウントアップの競合

23.6.6 TGR レジスタの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生した場合、TGR レジスタの書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 23.109 に示します。

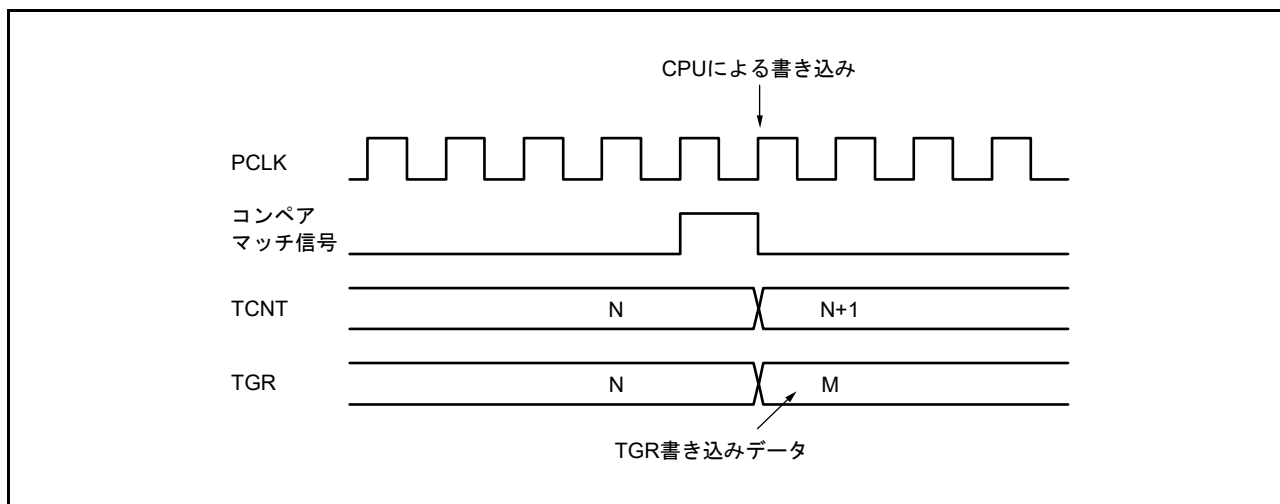


図 23.109 TGR レジスタの書き込みとコンペアマッチの競合

23.6.7 バッファレジスタの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 23.110 に示します。

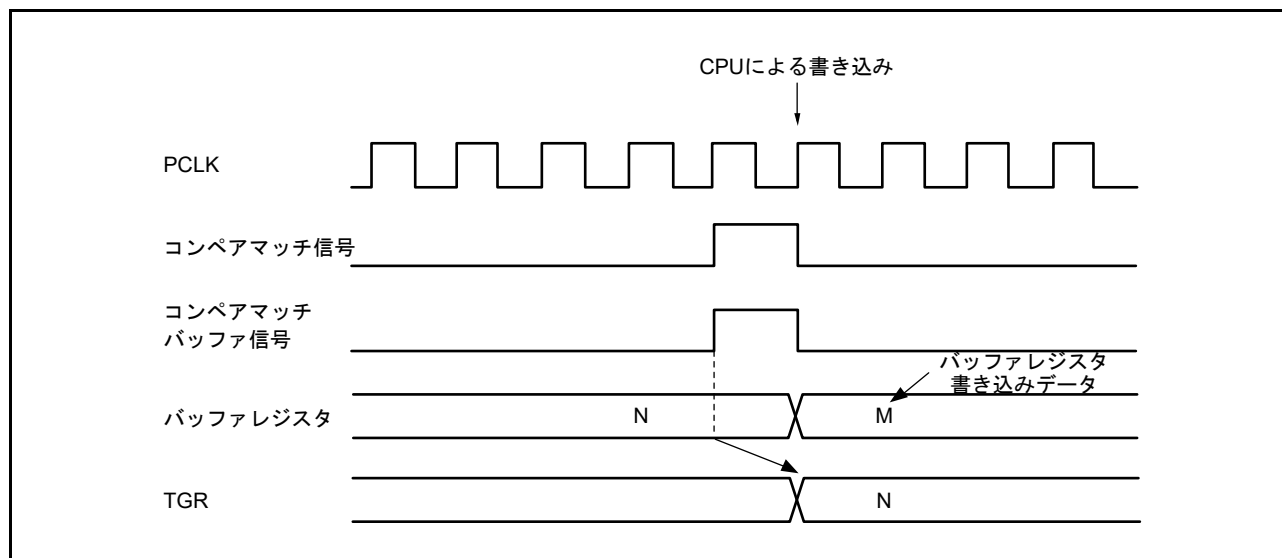


図 23.110 バッファレジスタの書き込みとコンペアマッチの競合

23.6.8 バッファレジスタの書き込みと TCNT カウンタクリアの競合

TBTM レジスタでバッファ転送タイミングを TCNT カウンタクリア時に設定した場合、TGR レジスタの書き込みサイクル中に TCNT カウンタクリアが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 23.111 に示します。

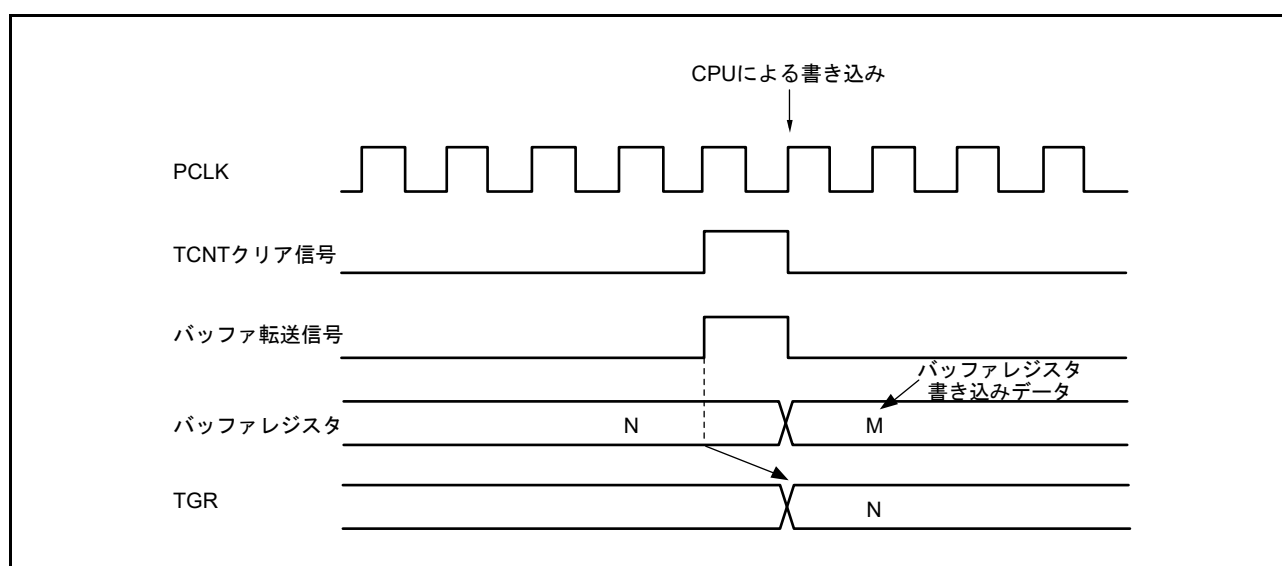


図 23.111 バッファレジスタの書き込みと TCNT カウンタクリアの競合

23.6.9 TGR レジスタの読み出しと入力キャプチャの競合

TGR レジスタの読み出しサイクル中に入力キャプチャ信号が発生すると、読み出しされるデータは、入力キャプチャ転送前のデータとなります。

このタイミングを図 23.112 に示します。

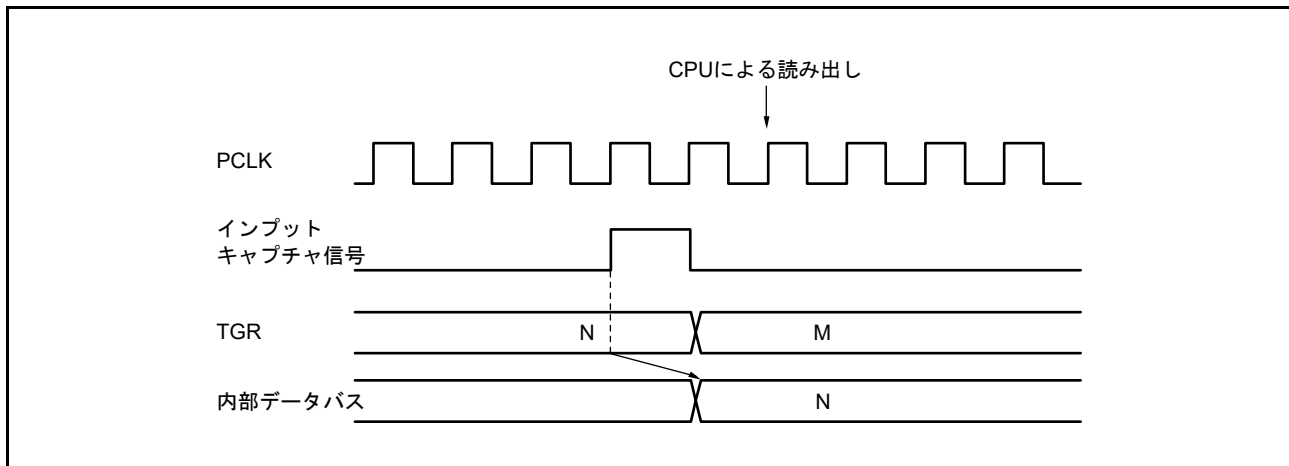


図 23.112 TGR レジスタの読み出しと入力キャプチャの競合 (MTU0 ~ MTU5)

23.6.10 TGR レジスタの書き込みとインプットキャプチャの競合

TGR レジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、MTU0～MTU4ではTGR レジスタへの書き込みは行われず、インプットキャプチャが優先され、MTU5ではTGR レジスタへの書き込みが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 23.113、図 23.114 に示します。

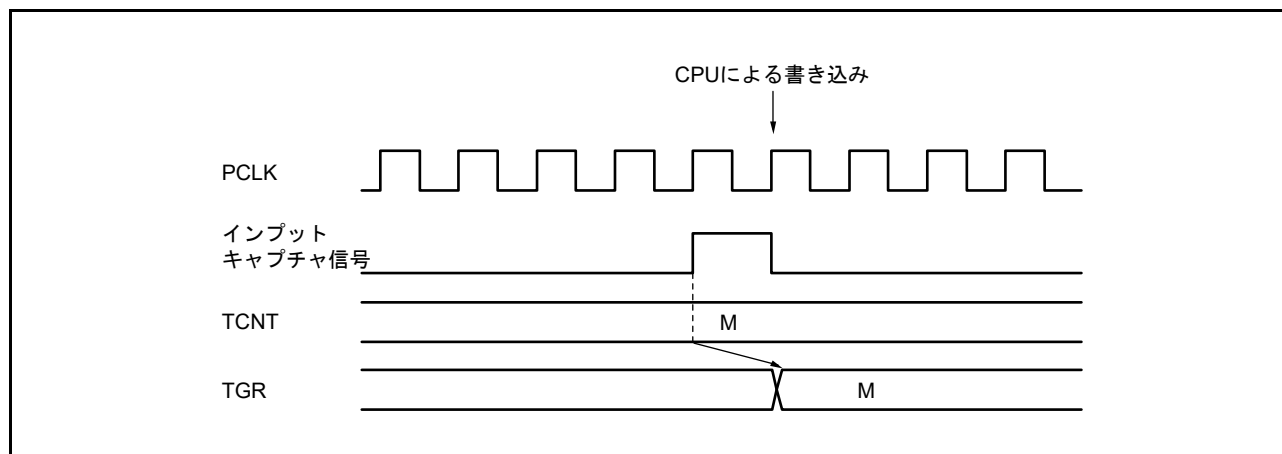


図 23.113 TGR レジスタの書き込みとインプットキャプチャの競合 (MTU0～MTU4)

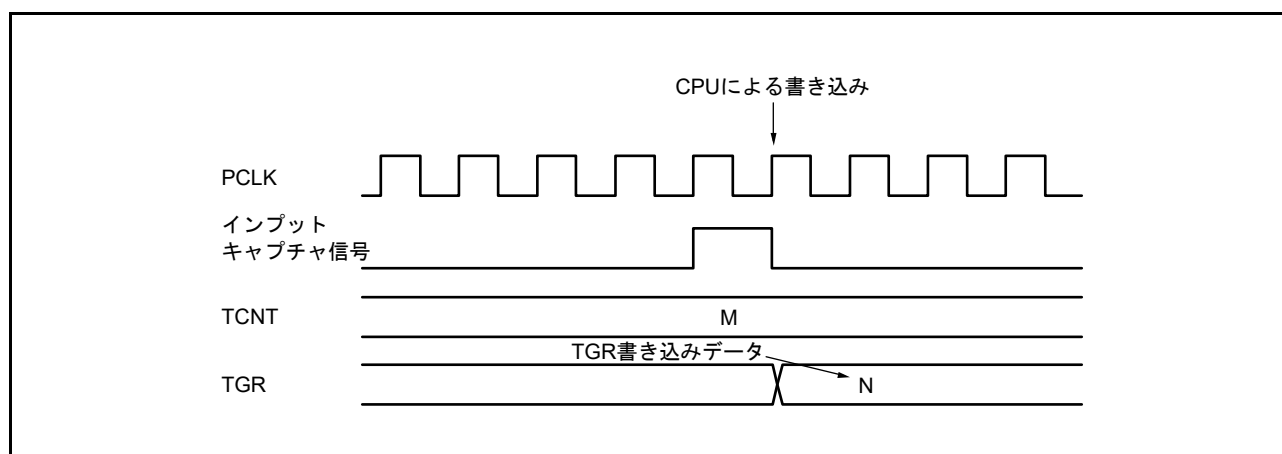


図 23.114 TGR レジスタの書き込みとインプットキャプチャの競合 (MTU5)

23.6.11 バッファレジスタの書き込みと入力キャプチャの競合

バッファの書き込みサイクル中に入力キャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 23.115 に示します。

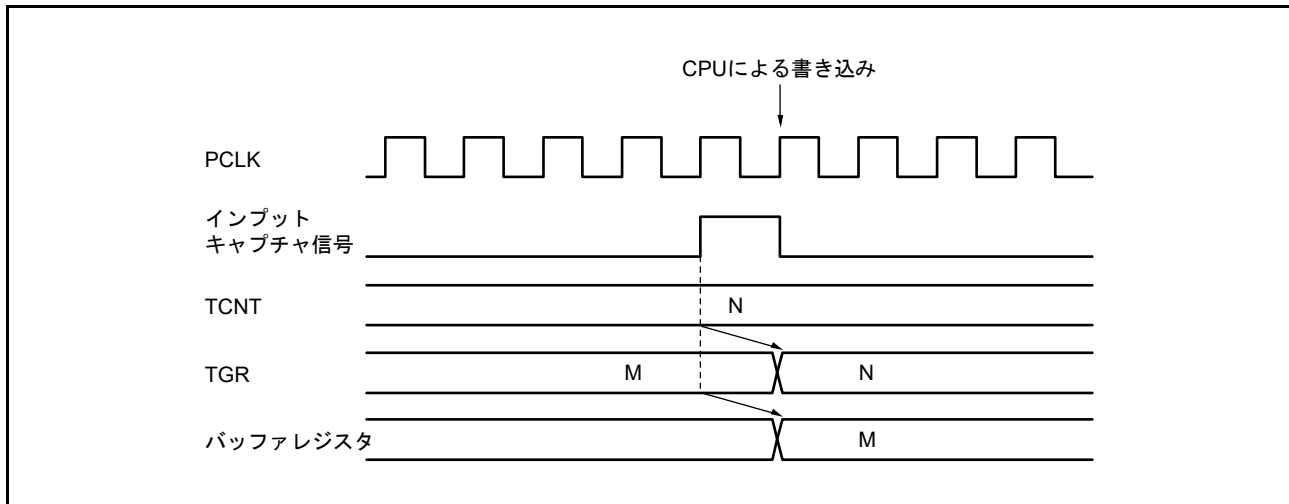


図 23.115 バッファレジスタの書き込みと入力キャプチャの競合

23.6.12 カスケード接続における MTU2.TCNT カウンタの書き込みとオーバフロー/アンダフローの競合

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、MTU1.TCNT カウンタがカウントする瞬間 (MTU2.TCNT カウンタがオーバフロー/アンダフローする瞬間) と MTU2.TCNT カウンタの書き込みが競合すると、MTU2.TCNT カウンタへの書き込みが行われ、MTU1.TCNT カウンタのカウント信号が禁止されます。このとき、MTU1.TGRA レジスタがコンペアマッチレジスタとして動作し MTU1.TCNT カウンタの値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0 の入力キャプチャ要因に MTU1.TCNT カウントクロックを選択した場合には、MTU0.TGRA ~ TGRD レジスタは入力キャプチャ動作します。さらに MTU1.TGRB レジスタの入力キャプチャ要因に MTU0.TGRC レジスタのコンペアマッチ/入力キャプチャを選択した場合には、MTU1.TGRB レジスタは入力キャプチャ動作します。

このタイミングを図 23.116 に示します。

また、カスケード接続動作で TCNT カウンタのクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

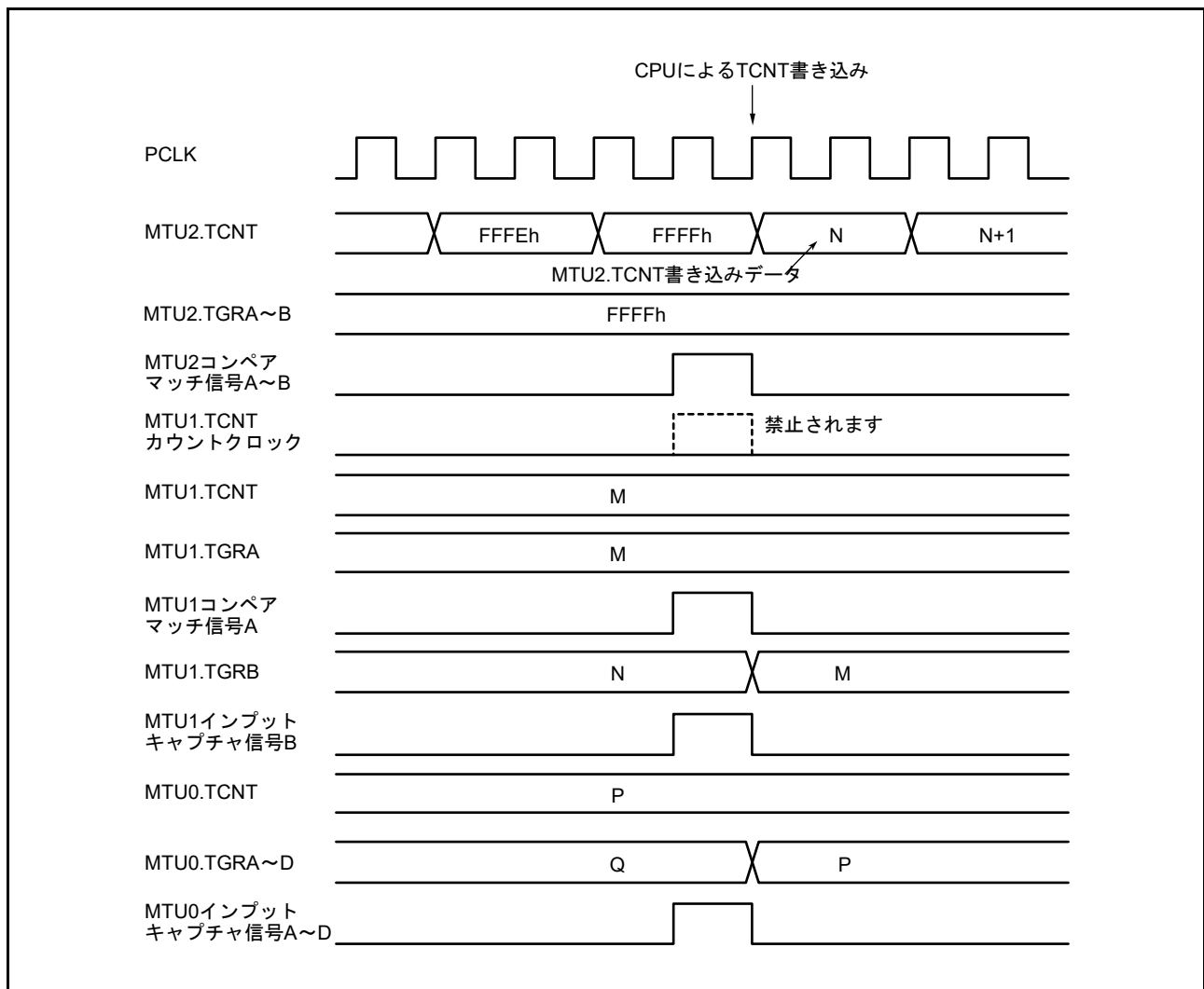


図 23.116 カスケード接続における MTU2.TCNT カウンタの書き込みとオーバフロー/アンダフローの競合

23.6.13 相補 PWM モードでのカウント動作停止時のカウンタ値

MTU3.TCNT, MTU4.TCNT カウンタが相補 PWM モードで動作している時にカウント動作を停止すると、MTU3.TCNT カウンタは TDDR レジスタの値、MTU4.TCNT カウンタは“0000h”になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 23.117 に示します。

また、他の動作モードでカウントを開始する場合は MTU3.TCNT, MTU4.TCNT カウンタにカウント初期値の設定を行ってください。

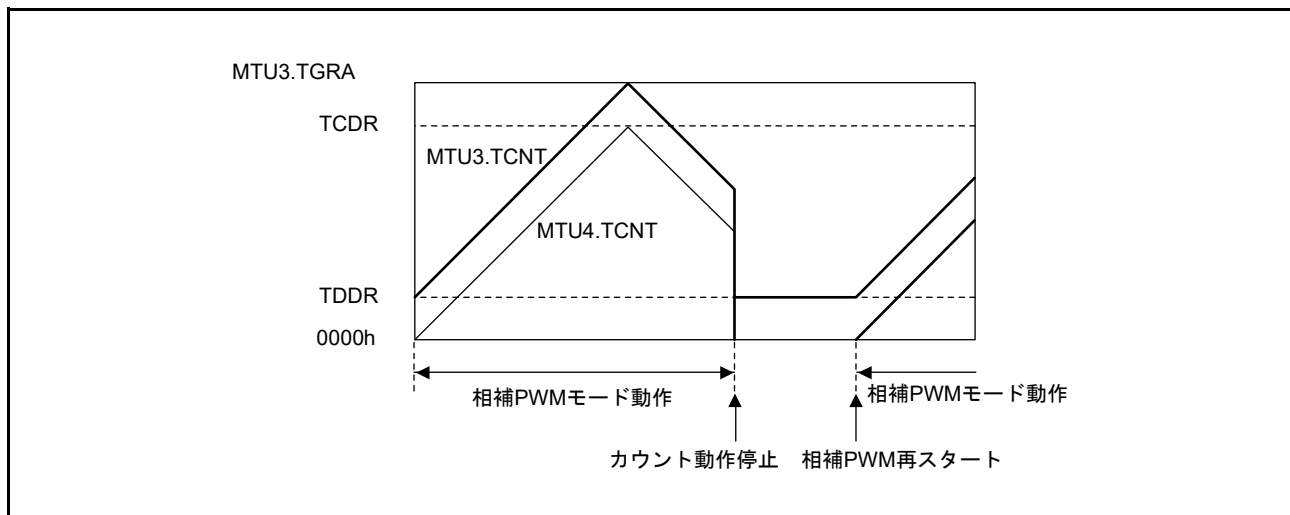


図 23.117 相補 PWM モード停止時のカウンタ値 (MTU3、MTU4 動作)

23.6.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (MTU3.TGRA)、タイマ周期データレジスタ (TCDR)、コンペアレジスタ (MTU3.TGRB, MTU4.TGRA, MTU4.TGRB) の書き替えは、バッファ動作で行ってください。また、MTU4.TMDR.BFA ビット、MTU4.TMDR.BFB ビットは“0”にしてください。MTU4.TMDR.BFA ビットを“1”に設定すると MTIOC4C 端子の波形出力ができなくなります。同様に MTU4.TMDR.BFB ビットを“1”に設定すると MTIOC4D 端子の波形出力ができなくなります。

相補 PWM モード時の MTU3 および MTU4 のバッファ動作は、MTU3.TMDR.BFA ビット、MTU3.TMDR.BFB ビットの設定に従い動作します。MTU3.TMDR.BFA ビットを“1”にした場合、MTU3.TGRC レジスタは MTU3.TGRA レジスタのバッファレジスタとして機能します。同時に MTU4.TGRC レジスタは MTU4.TGRA レジスタのバッファレジスタとして機能し、さらに TCBR レジスタは TCDR レジスタのバッファレジスタとして機能します。

23.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTU4.TMDR.BFA ビット、MTU4.TMDR.BFB ビットを“0”に設定してください。MTU4.TMDR.BFA ビットを“1”に設定すると、MTIOC4C 端子の波形出力ができなくなります。同様に MTU4.TMDR.BFB ビットを“1”に設定すると MTIOC4D 端子の波形出力ができなくなります。

リセット同期 PWM モード時の MTU3 および MTU4 のバッファ動作は MTU3.TMDR.BFA ビット、MTU3.TMDR.BFB ビットの設定に従い動作します。たとえば、MTU3.TMDR.BFA ビットを“1”にした場合、MTU3.TGRC レジスタは MTU3.TGRA レジスタのバッファレジスタとして機能します。同時に MTU4.TGRC レジスタは MTU4.TGRA レジスタのバッファレジスタとして機能します。

MTU3.TGRC、MTU3.TGRD レジスタがバッファレジスタとして動作している場合、対応する TGIC、TGID 割り込み要求は発生しません。

MTU3.TMDR.BFA ビット、MTU3.TMDR.BFB ビットを“1”にし、MTU3.TMDR.BFA ビット、MTU3.TMDR.BFB ビットを“0”にした場合の MTU3.TGR, MTU4.TGR レジスタ、MTIOC3m、MTIOC4m の動作例を図 23.118 に示します。(m = A ~ D)

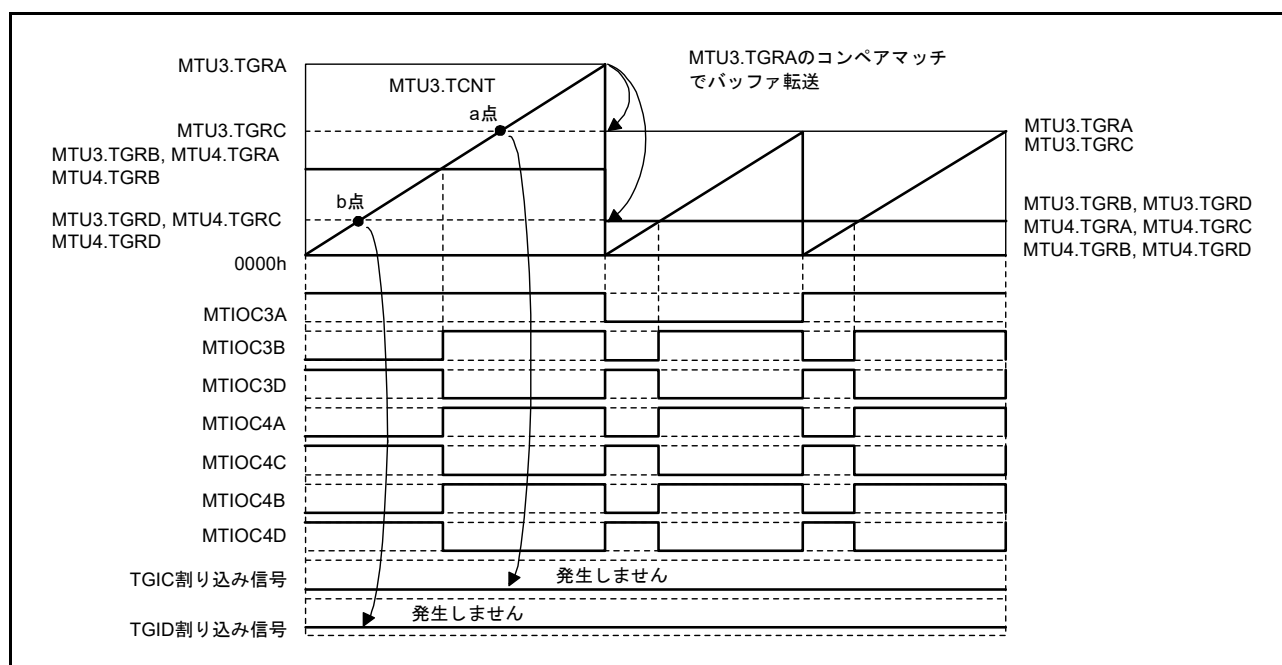


図 23.118 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

23.6.16 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTR.CST3 ビットを“1”に設定すると、MTU3.TCNT カウンタと MTU4.TCNT カウンタのカウンタ動作が開始します。このとき、MTU4.TCNT カウンタのカウンタクロックソースとカウンタエッジは MTU3.TCR レジスタの設定に従います。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA レジスタの設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA レジスタのコンペアマッチを指定した場合、MTU3.TCNT、MTU4.TCNT カウンタがアップカウントし“FFFFh”になると、MTU3.TGRA レジスタとのコンペアマッチが発生し、MTU3.TCNT、MTU4.TCNT カウンタともにカウンタクリアされます。このとき、対応する TCIV 割り込み要求は発生しません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA レジスタの設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA レジスタのコンペアマッチを指定した場合の動作例を図 23.119 に示します。

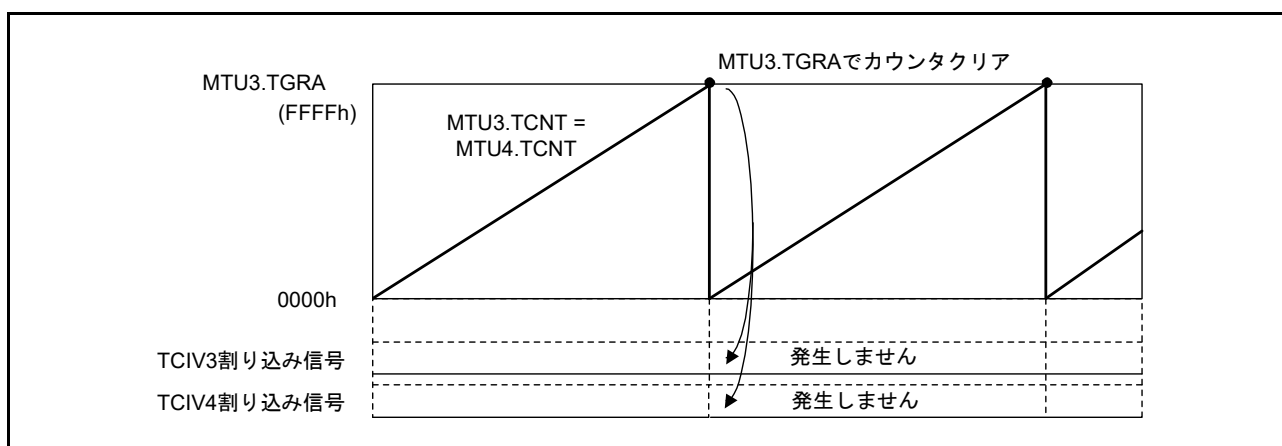


図 23.119 リセット同期 PWM モードのオーバーフローフラグ

23.6.17 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TCNT カウンタのクリアが優先されて、対応する TCIV 割り込みは発生しません。オーバフローとインプットキャプチャによるカウンタクリアが同時に発生すると、インプットキャプチャ割り込み信号が出力され、オーバフロー割り込み信号は出力されません。

TGR レジスタのコンペアマッチをクリア要因とし、TGR レジスタに“FFFFh”を設定した場合の動作タイミングを図 23.120 に示します。

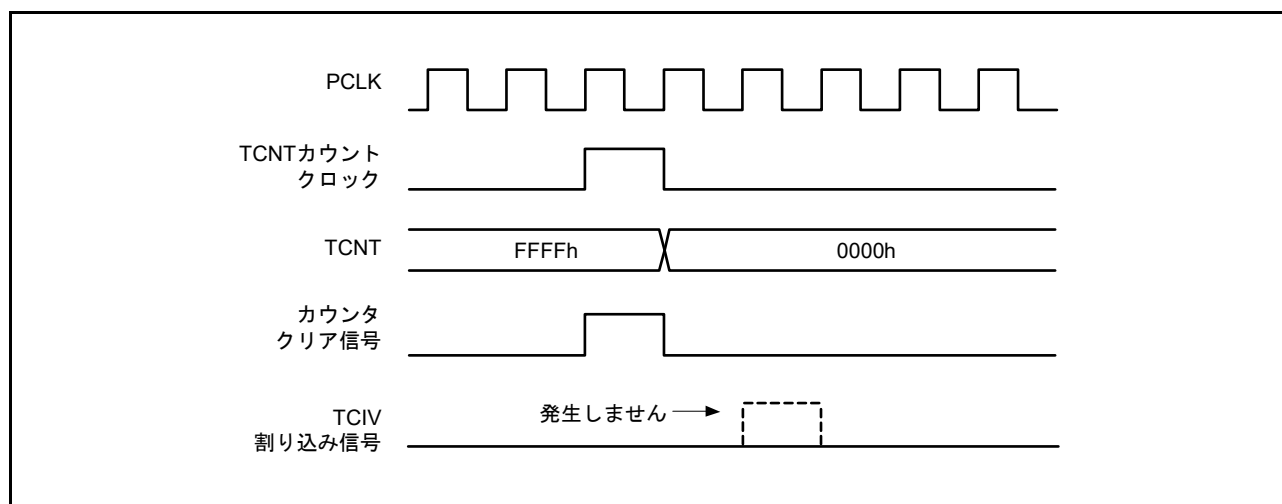


図 23.120 オーバフローとカウンタクリアの競合

23.6.18 TCNT カウンタの書き込みとオーバフロー/アンダフローの競合

TCNT カウンタの書き込みサイクルで、アップカウント/ダウンカウントが発生し、オーバフロー/アンダフローが発生しても、TCNT カウンタへの書き込みが優先されます。対応する割り込みは発生しません。

TCNT カウンタの書き込みとオーバフロー競合時の動作タイミングを図 23.121 に示します。

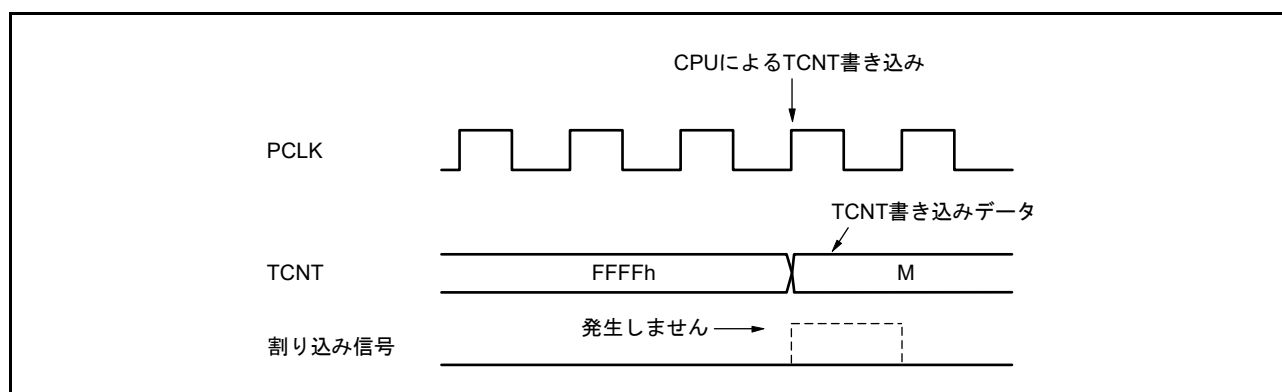


図 23.121 TCNT カウンタの書き込みとオーバフローの競合

23.6.19 ノーマルモードまたはPWMモード1からリセット同期PWMモードへ遷移する場合の注意事項

MTU3、MTU4のノーマルモードまたはPWMモード1からリセット同期PWMモードへ遷移する場合、出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) を High の状態にしたままカウンタを止め、リセット同期PWMモードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

ノーマルモードからリセット同期PWMモードに遷移する場合には、MTU3.TIORH, MTU3.TIORL, MTU4.TIORH, MTU4.TIORL レジスタに“11h”を書いて出力端子を Low に初期化した後、レジスタの初期値“00h”を設定してからモード遷移を行ってください。

PWMモード1からリセット同期PWMモードに遷移する場合には、いったんノーマルモードに遷移してから出力端子を Low へ初期化した後、レジスタの初期値“00h”を設定してからリセット同期PWMモードに遷移してください。

23.6.20 相補PWMモード、リセット同期PWMモードの出力レベル

MTU3、MTU4が相補PWMモードまたはリセット同期PWMモードの場合、PWM波形の出力レベルはTOCR1.OLSP, OLSN ビットで設定します。相補PWMモードまたはリセット同期PWMモードの場合、TIOR レジスタは“00h”にしてください。相補PWMモードでTDER.TDER ビットを“0” (デッドタイムを生成しない) に設定した場合の逆相の出力レベルは、TOCR1.OLSN ビットの設定によらず、TOCR1.OLSP ビットの設定による正相出力の反転レベルとなります。

23.6.21 モジュールストップ状態時の割り込み

割り込みが要求された状態でモジュールストップ状態になると、CPUの割り込み要因、またはDTC/DMACの起動要因のクリアができません。

事前に割り込みを無効にするなどしてからモジュールストップ状態に設定してください。

23.6.22 カスケード接続におけるMTU1.TCNT、MTU2.TCNTカウンタ同時インプットキャプチャ

MTU1.TCNT, MTU2.TCNTカウンタをカスケード接続して、32ビットカウンタとして動作させている場合、MTIOC1AとMTIOC2AまたはMTIOC1BとMTIOC2Bに同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNTカウンタに入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、またはMTIOC1BとMTIOC2Bの取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNTカウンタ (上位16ビットのカウンタ) がMTU2.TCNTカウンタ (下位16ビットのカウンタ) のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくはMTU1.TCNT = FFF1h、MTU2.TCNT = 0000hの値をMTU1.TGRAレジスタとMTU2.TGRAレジスタ、もしくはMTU1.TGRBレジスタとMTU2.TGRBレジスタに転送すべきところを誤ってMTU1.TCNT = FFF0h、MTU2.TCNT = 0000hの値を転送します。

1本のインプットキャプチャ入力でMTU1.TCNTカウンタとMTU2.TCNTカウンタを同時にキャプチャできる機能を使用すれば、MTU1.TCNTカウンタとMTU2.TCNTカウンタのキャプチャタイミングのずれなく、32ビットカウンタの取り込みを行うことができます。詳細は、「23.2.8 タイマインプットキャプチャ

コントロールレジスタ (TICCR)」を参照してください。

23.6.23 相補 PWM モードの出力保護機能未使用時の注意事項

相補 PWM モードの出力保護機能は、初期状態では有効となっています。詳細は、「24. ポートアウトプットイネーブル 2 (POE2a)」を参照してください。

23.6.24 MTU5.TCNT カウンタと MTU5.TGR レジスタの注意事項

MTU5.TCNT_m カウンタ (m = U, V, W) のカウント動作を停止した状態で、MTU5.TGR_m レジスタに「MTU5.TCNT_m カウンタ値 + 1」の値を設定しないでください。MTU5.TCNT_m カウンタのカウント動作を停止した状態で、MTU5.TGR_m レジスタに「MTU5.TCNT_m カウンタ値 + 1」の値を設定した場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。

このとき、コンペアマッチ割り込み許可ビット (MTU5.TIER.TGIE5_m ビットが“1” (許可) になっていると、コンペアマッチ割り込みが発生します。なお、タイマコンペアマッチクリアレジスタが“1” (許可) になっていると、MTU5.TCNT_m カウンタは、コンペアマッチ割り込みの禁止 / 許可にかかわらず、コンペアマッチが発生すると“0000h”に自動クリアされます。

23.6.25 相補 PWM モード同期クリアするときの異常動作防止について

相補 PWM モードで、同期カウンタクリア時出力波形制御が有効 (TWCR.WRE ビット = 1) である状態で、条件 1、条件 2 のいずれかを満たすと、以下の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる (もしくは消失する)
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される

条件 1 : 初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に同期クリアした場合 (図 23.122 参照)。

条件 2 : 初期出力の抑止期間⑩、⑪にて、 $MTU3.TGRB \leq TDDR$ 、 $MTU4.TGRA \leq TDDR$ 、 $MTU4.TGRB \leq TDDR$ のいずれかが成立する状態で、同期クリアした場合 (図 23.123 参照)。

本現象は以下の方法により、回避することができます。

- コンペアレジスタ $MTU3.TGRB$ 、 $MTU4.TGRA$ 、 $MTU4.TGRB$ レジスタのすべてが、デッドタイムデータレジスタ (TDDR) の 2 倍以上になるように設定した状態で、同期クリアする

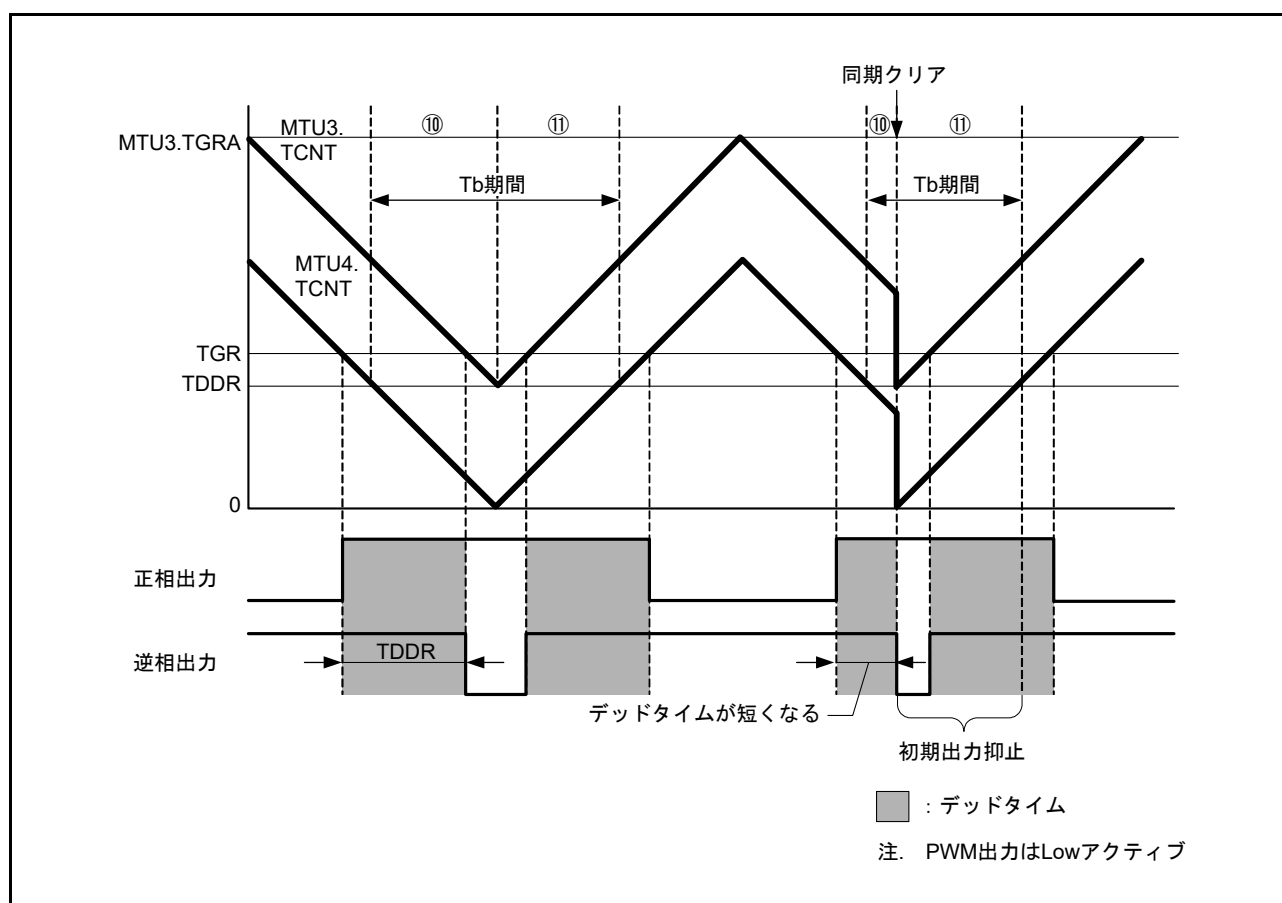


図 23.122 同期クリア例 (条件 1 の場合)

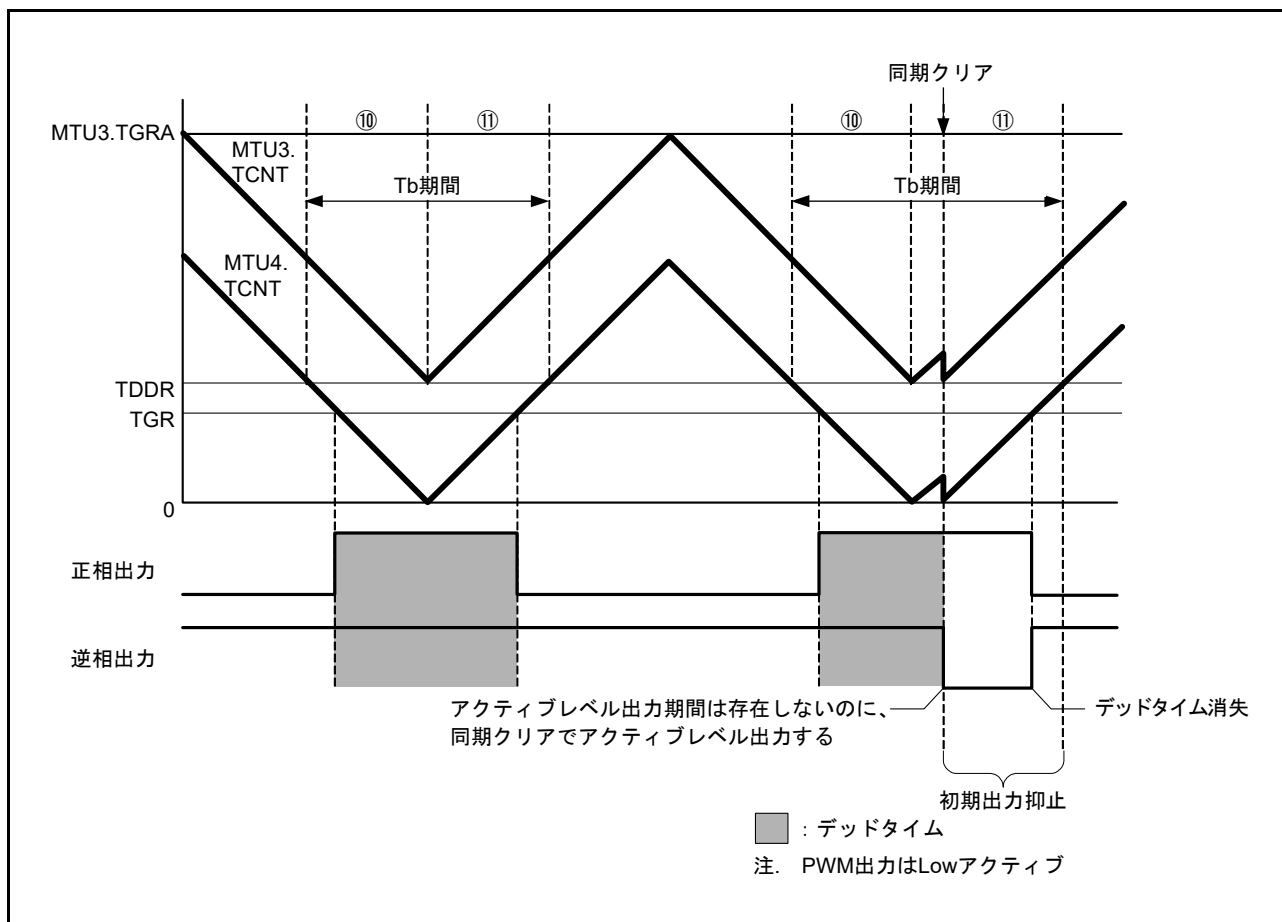


図 23.123 同期クリア例 (条件 2 の場合)

23.6.26 コンペアマッチによる割り込み信号の連続出力

TGR レジスタに“0000h”、カウントクロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“0000h”のままとなり、割り込み信号は1サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

図 23.124 にコンペアマッチによる割り込み信号の連続出力タイミングを示します。

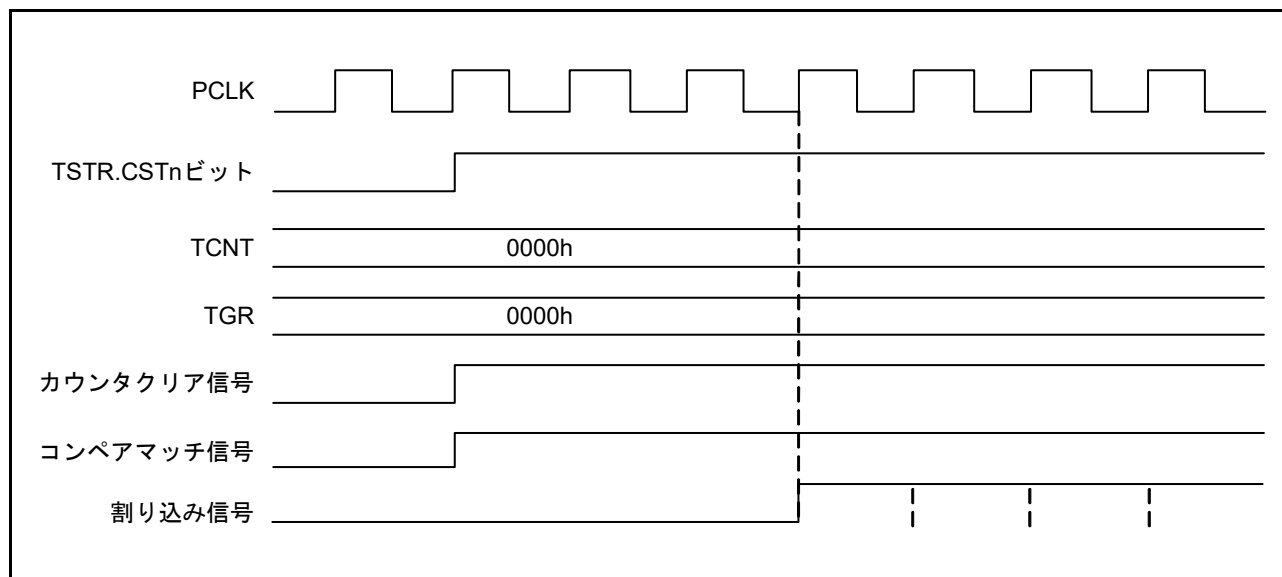


図 23.124 コンペアマッチによる割り込み信号の連続出力

23.6.27 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項

- MTU4.TADCOBRA, MTU4.TADCOBRB レジスタに“0”、かつ、MTU4.TADCR レジスタの UT4AE, UT4BE ビットに“1”を設定して、MTU4.TCNT カウンタの谷でバッファ転送したとき、転送直後のアップカウント期間については A/D 変換の開始要求を行いません (図 23.125)。
- MTU4.TADCOBRA, MTU4.TADCOBRB レジスタに TCDR レジスタと同じ値、かつ、MTU4.TADCR レジスタの DT4AE, DT4BE ビットに“1”を設定して、MTU4.TCNT カウンタの山でバッファ転送したとき、転送直後のダウンカウント期間については A/D 変換の開始要求を行いません (図 23.126)。
- 割り込み間引き機能と連動して A/D 変換の開始要求を行う場合、 $2 \leq \text{MTU4.TADCORA/TADCORB} \leq \text{TCDR} - 2$ を満たすように MTU4.TADCORA, MTU4.TADCORB レジスタを設定してください。

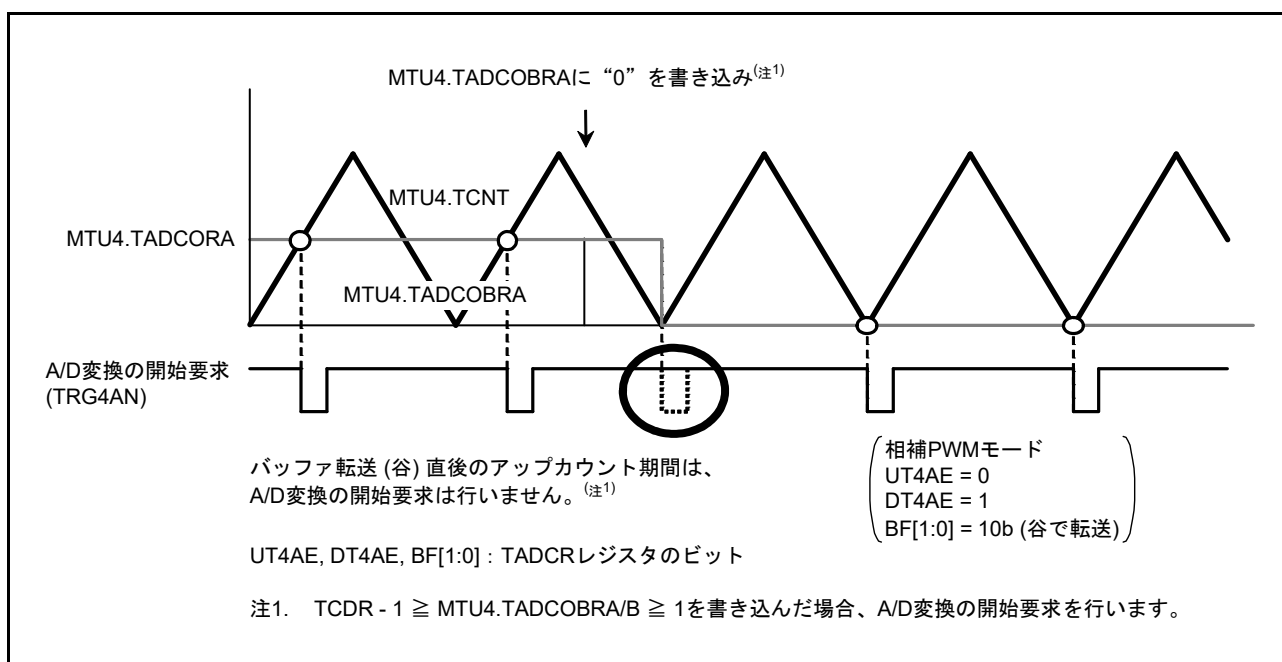


図 23.125 MTU4.TADCOBRAに“0”を書き込んだときのA/D変換の開始要求

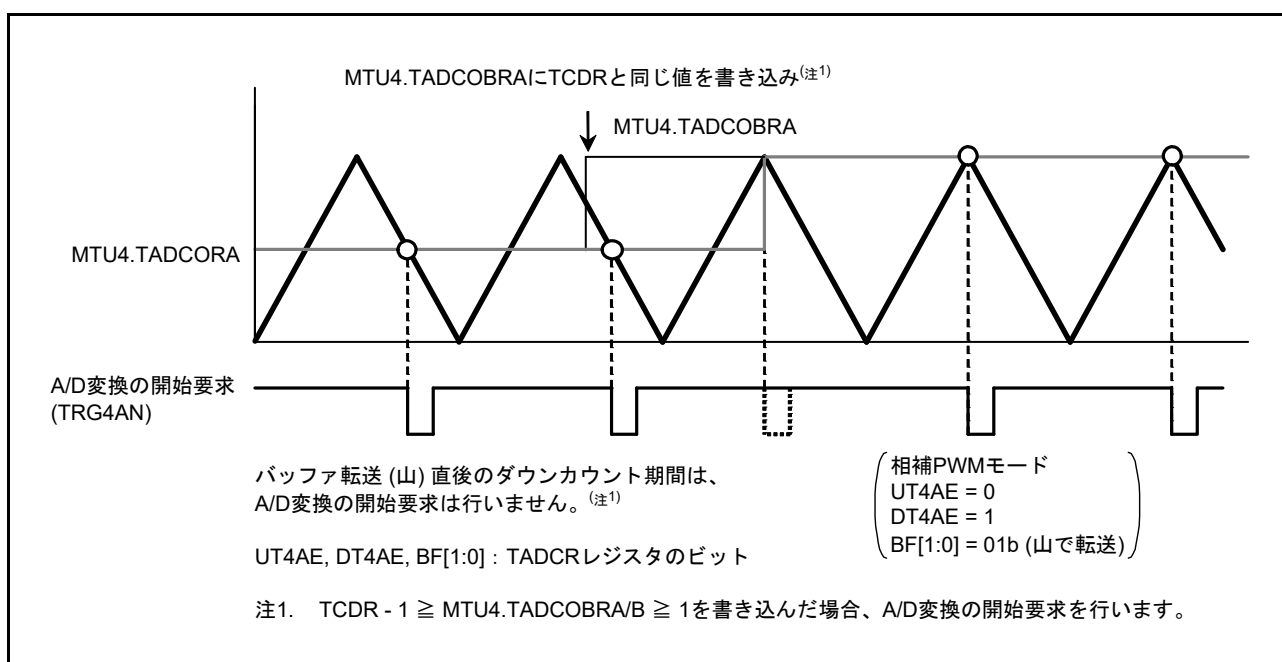


図 23.126 MTU4.TADCOBRAにTCDRと同じ値を書き込んだときのA/D変換の開始要求

23.7 MTU 出力端子の初期化方法

23.7.1 動作モード

MTUには以下の6つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (MTU0 ~ MTU4)
- PWM モード1 (MTU0 ~ MTU4)
- PWM モード2 (MTU0 ~ MTU2)
- 位相計数モード1 ~ 4 (MTU1, MTU2)
- 相補PWMモード (MTU3, MTU4)
- リセット同期PWMモード (MTU3, MTU4)

ここでは、各モードでのMTU出力端子の初期化方法について示します。

23.7.2 動作中の異常などによる再設定時の動作

MTUの動作中に異常が発生した場合、システムでMTUの出力を遮断してください。遮断はI/Oポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力することにより行ってください。MTU端子を出力禁止とするにはTIORレジスタで設定してください。相補PWM出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) は、TOERレジスタで設定してください。また、PWM出力端子に関してはポートアウトプットイネーブル2 (POE) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTUには前述のように6つの動作モードがあります。モード遷移の組み合わせは36通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 23.59 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード1 PWM2 : PWM モード2

PCM : 位相計数モード1 ~ 4 CPWM : 相補PWMモード RPWM : リセット同期PWMモード

表 23.59 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23), (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

23.7.3 動作中の異常などによる端子の初期化手順、モード遷移の概要

- TIOR レジスタの設定で端子の出力レベルを選択するモード (Normal, PWM1, PWM2, PCM) に移行する場合は TIOR レジスタの設定により端子を初期化してください。
- PWM モード1 では MTIOCNB/MTIOCND ($n=3, 4$) 端子に波形が出力されません。端子の機能を MTIOCNB/MTIOCND に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード2 では周期レジスタの端子に波形が出力されません。端子の機能を MTIOCNm 端子 ($n=0 \sim 2, m=A \sim D$) に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- ノーマルモードまたは PWM モード2 では TGRC、TGRD レジスタがバッファレジスタとして動作している場合、対応する MTIOCNc/MTIOCND 端子 ($n=0, 3, 4$) に波形が出力されません。端子の機能を MTIOCNc/MTIOCND 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード1 では TGRC、TGRD レジスタのいずれか一方がバッファレジスタとして動作している場合、対応する MTIOCNc/MTIOCND 端子 ($n=0, 3, 4$) に波形が出力されません。端子の機能を MTIOCNc/MTIOCND 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- タイマアウトプットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM, RPWM) に移行する場合は、TOER レジスタで MTU3、MTU4 を1度出力禁止にしてください。このとき、端子の機能を MTIOCNm 端子 ($n=3, 4, m=A \sim D$) に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。ノーマルモードに移行し TIOR レジスタで初期化、TIOR レジスタを初期値に戻した後、モード設定手順 (TOCR 設定、TMDR 設定、TOER 設定) に従い動作させてください。

注. 特に断りがない場合、本項記述中の n にはチャンネル番号が入ります。

以下、表 23.59 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 23.127 に示します。

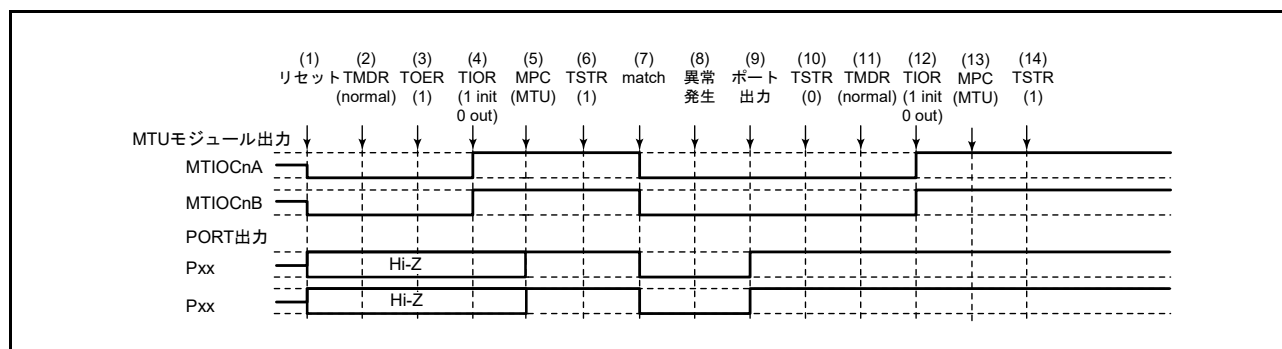


図 23.127 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR レジスタはノーマルモード設定になります。
- (3) MTU3、MTU4 では TIOR レジスタで端子を初期化する前に TOER レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください (例は初期出力が High、コンペアマッチで Low 出力です)。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード1で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード1で再スタートする場合の説明図を図 23.128 に示します。

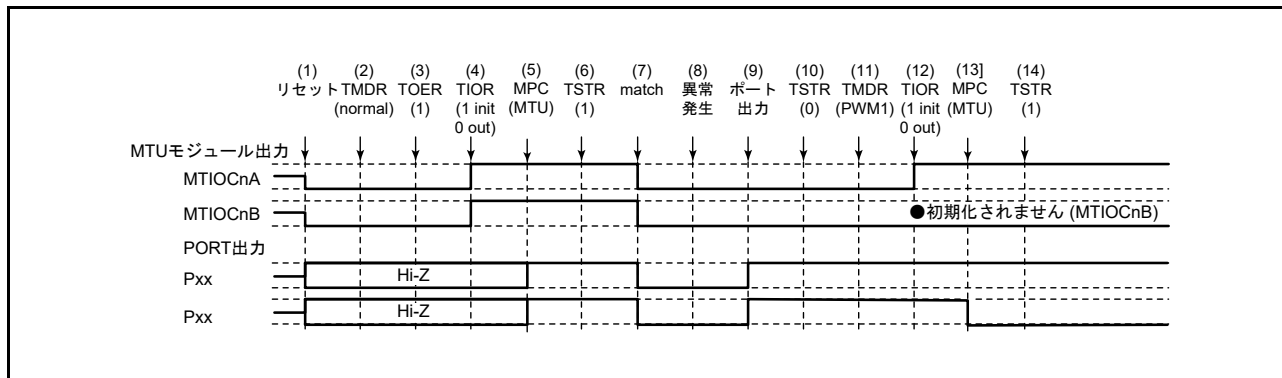


図 23.128 ノーマルモードで異常が発生し、PWM モード1で復帰する場合

(1) ~ (10) は図 23.127 と共通です。

(11) PWM モード1を設定します。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード1では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード2で再スタートする場合の説明図を図 23.129 に示します。

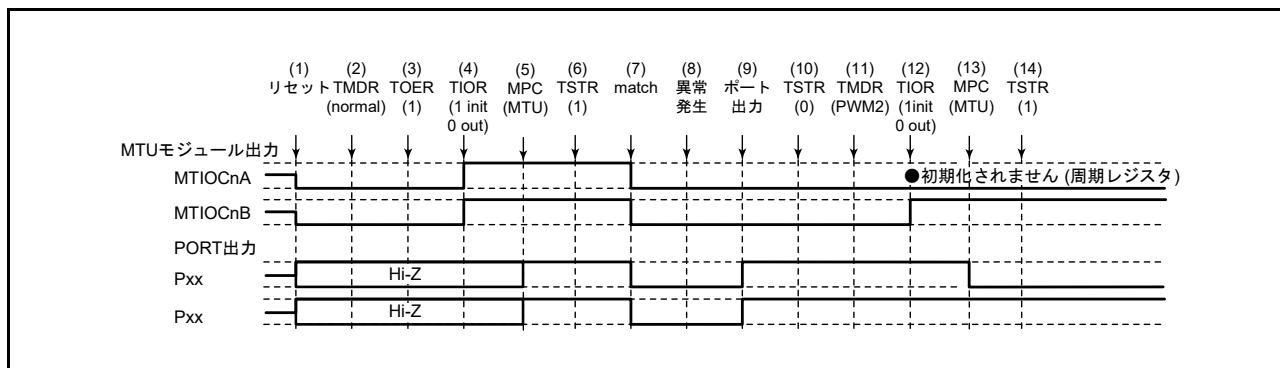


図 23.129 ノーマルモードで異常が発生し、PWM モード2で復帰する場合

(1) ~ (10) は図 23.127 と共通です。

(11) PWM モード2を設定します。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード2では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード2に移行してください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注. PWM モード2は MTU0 ~ MTU2 でのみ設定可能です。したがって TOER レジスタの設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 23.130 に示します。

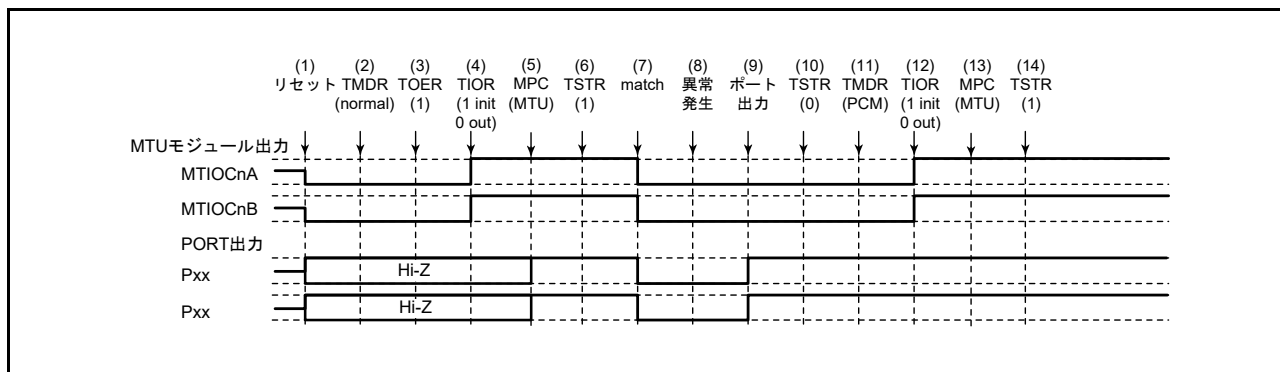


図 23.130 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 23.127 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

注. 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOER レジスタの設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 23.131 に示します。

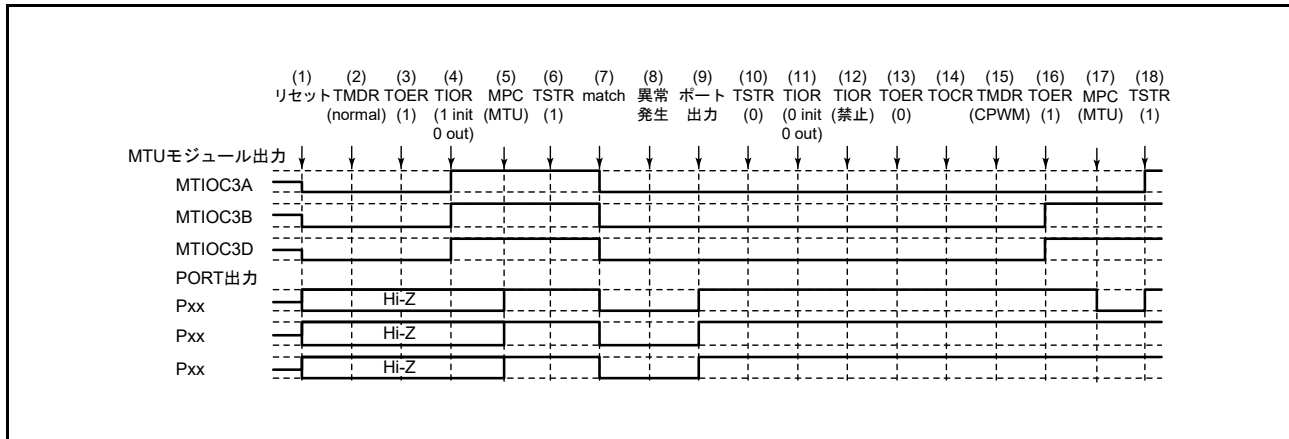


図 23.131 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 23.127 と共通です。

- (11) TIOR レジスタでノーマルモードの波形生成部を初期化してください。
- (12) TIOR レジスタでノーマルモードの波形生成部の動作を禁止してください。
- (13) TOER レジスタで MTU3、MTU4 の出力を禁止してください。
- (14) TOCR レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。
- (15) 相補 PWM モードを設定します。
- (16) TOER レジスタで MTU3、MTU4 の出力を許可してください。
- (17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (18) TSTR レジスタで再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 23.132 に示します。

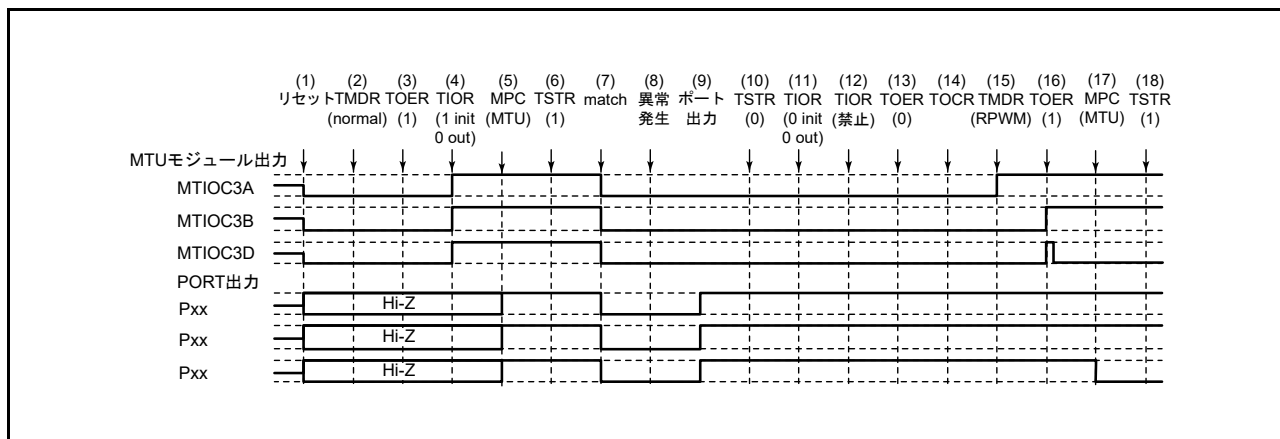


図 23.132 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (13) は図 23.131 と共通です。

(14) TOCR レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(15) リセット同期 PWM モードを設定します。

(16) TOER レジスタで MTU3、MTU4 の出力を許可してください。

(17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(18) TSTR レジスタで再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 23.133 に示します。

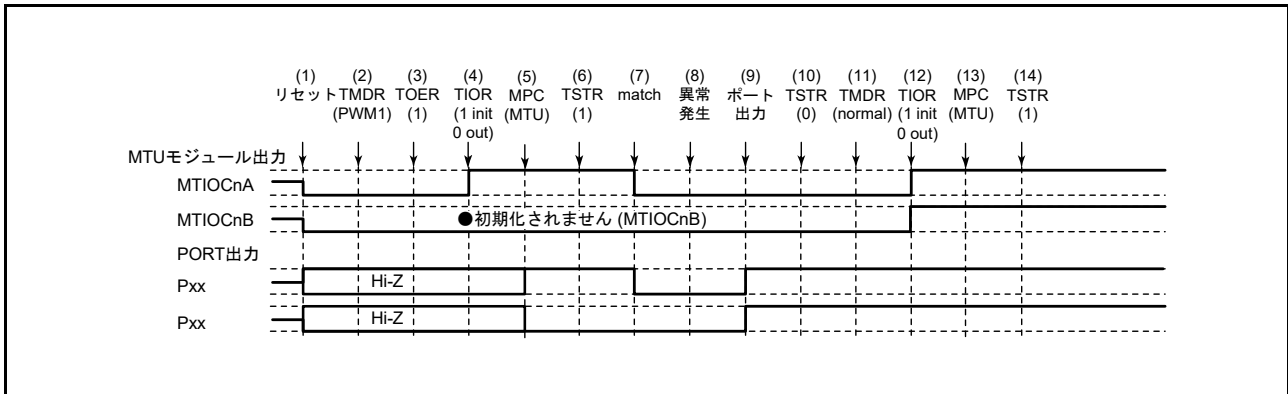


図 23.133 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) MTU3、MTU4 では TIOR レジスタで端子を初期化する前に TOER レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 1 では MTIOCnB 側は初期化されません）。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 23.134 に示します。

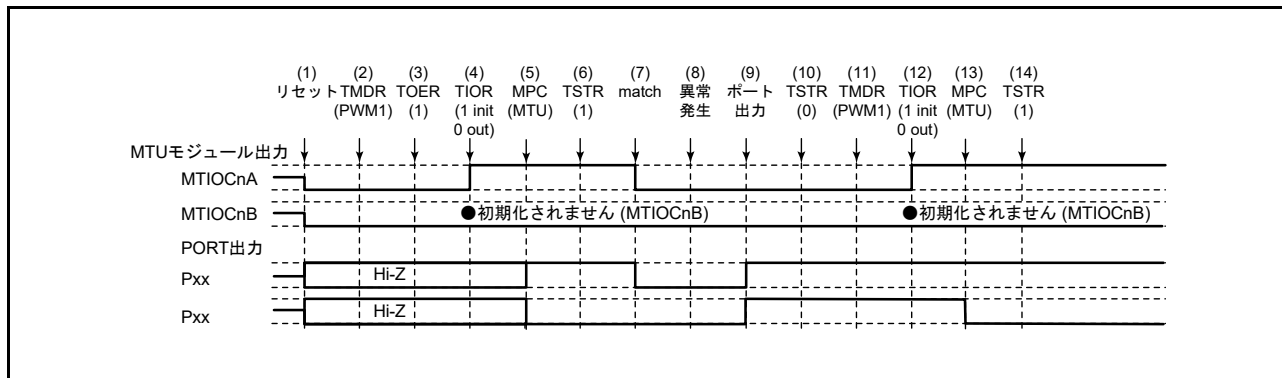


図 23.134 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 23.133 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 23.135 に示します。

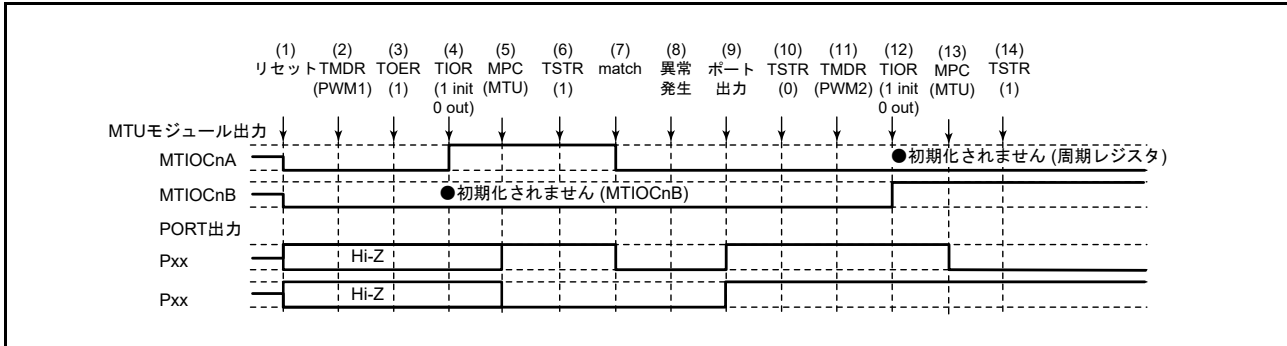


図 23.135 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 23.133 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注. PWM モード 2 は MTU0 ~ MTU2 でのみ設定可能です。したがって TOER レジスタの設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 23.136 に示します。

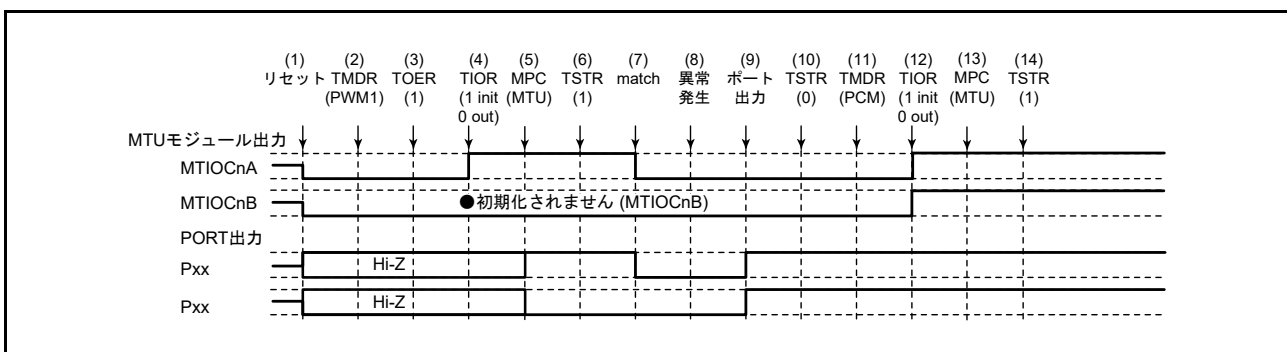


図 23.136 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 23.133 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注. 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOER レジスタの設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 23.137 に示します。

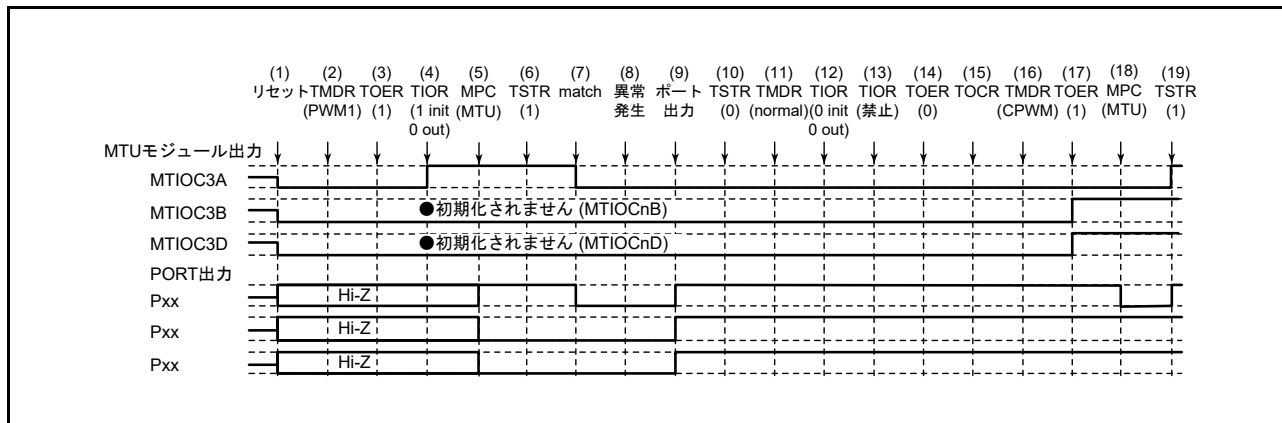


図 23.137 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 23.133 と共通です。

- (11) 波形生成部の初期化のためノーマルモードを設定してください。
- (12) TIOR レジスタで PWM モード 1 の波形生成部を初期化してください。
- (13) TIOR レジスタで PWM モード 1 の波形生成部の動作を禁止してください。
- (14) TOER レジスタで MTU3、MTU4 の出力を禁止してください。
- (15) TOCR レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。
- (16) 相補 PWM モードを設定します。
- (17) TOER レジスタで MTU3、MTU4 の出力を許可してください。
- (18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (19) TSTR レジスタで再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 23.138 に示します。

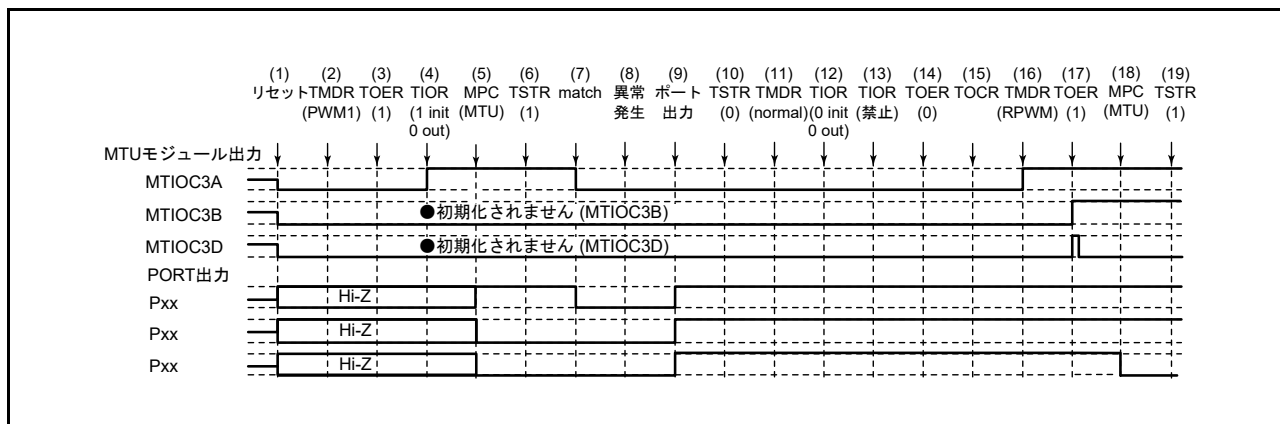


図 23.138 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 23.137 と共通です。

(15) TOCR レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(16) リセット同期 PWM モードを設定します。

(17) TOER レジスタで MTU3、MTU4 の出力を許可してください。

(18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(19) TSTR レジスタで再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 23.139 に示します。

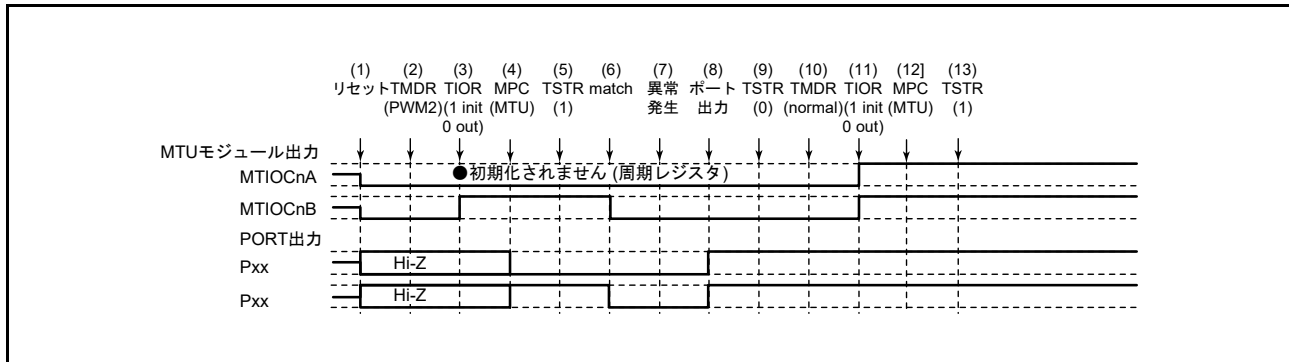


図 23.139 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタの端子は初期化されません。例は MTIOcNA が周期レジスタの場合です）。
- (4) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTR レジスタでカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 23.140 に示します。

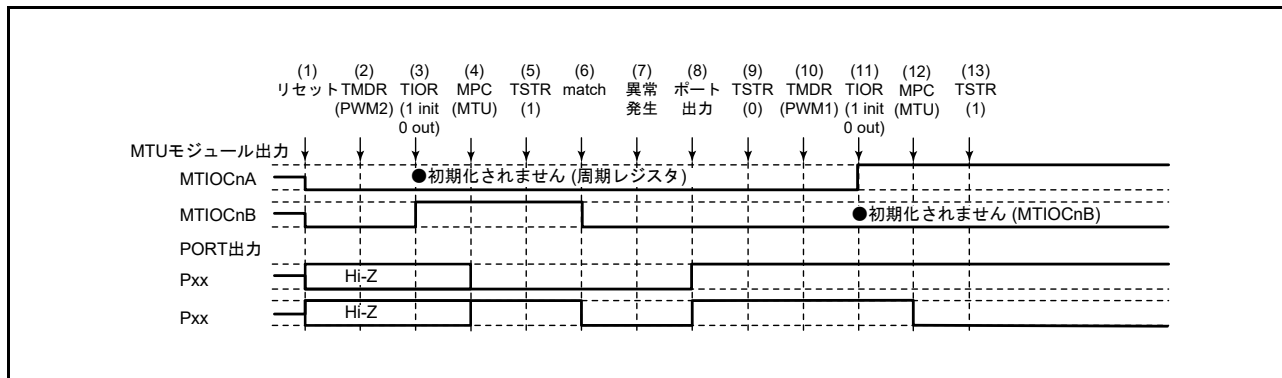


図 23.140 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (9) は図 23.139 と共通です。
- (10) PWM モード 1 を設定します。
- (11) TIOR レジスタで端子を初期化してください。なお、PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。
- (12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 23.141 に示します。

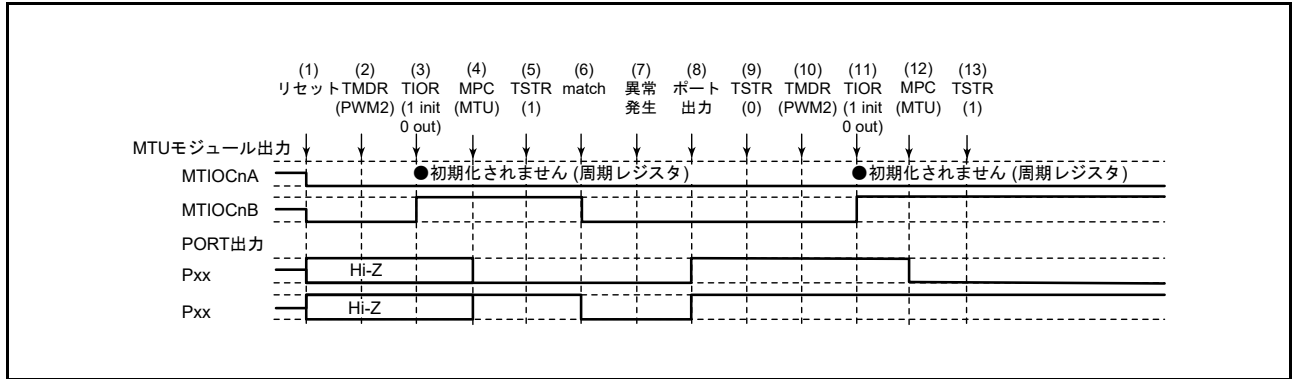


図 23.141 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 23.139 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください。なお、PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 23.142 に示します。

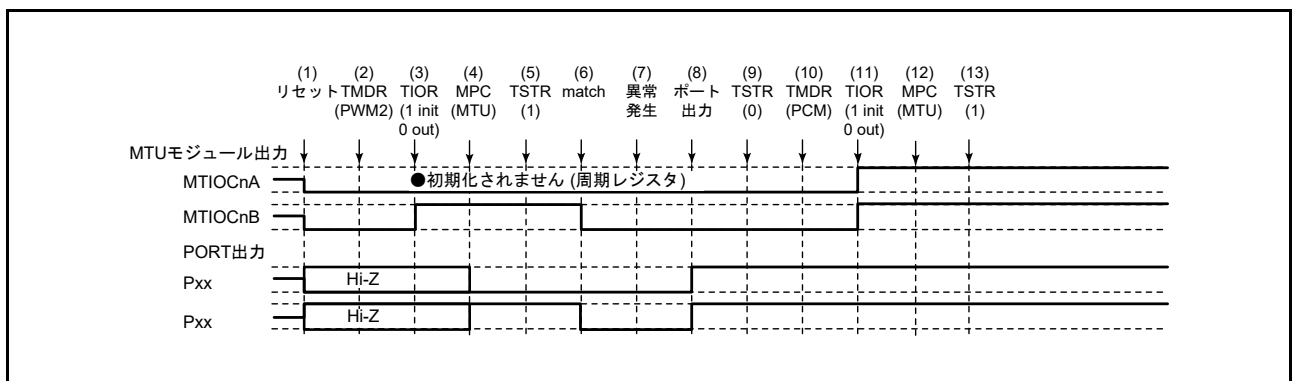


図 23.142 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 23.139 と共通です。

(10) 位相計数モードを設定します。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 23.143 に示します。

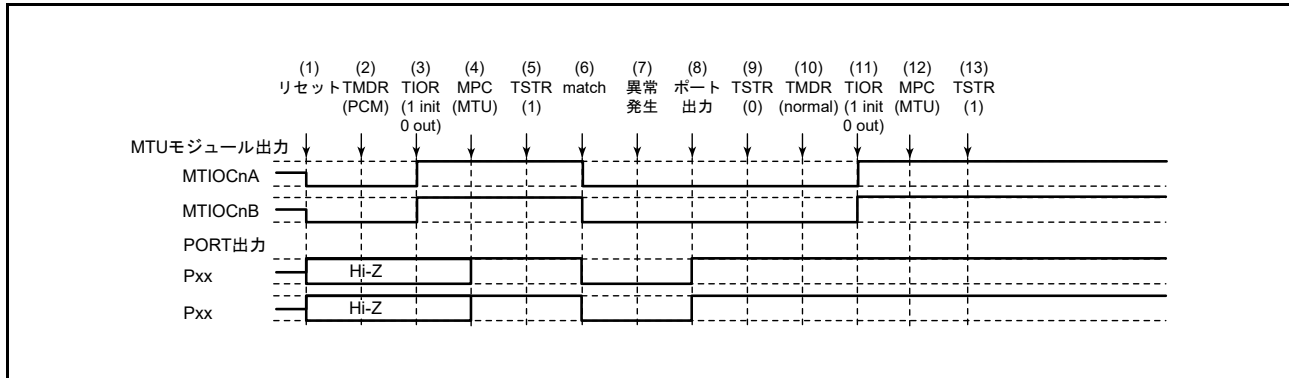


図 23.143 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- (4) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTR レジスタでカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード1で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード1で再スタートする場合の説明図を図 23.144 に示します。

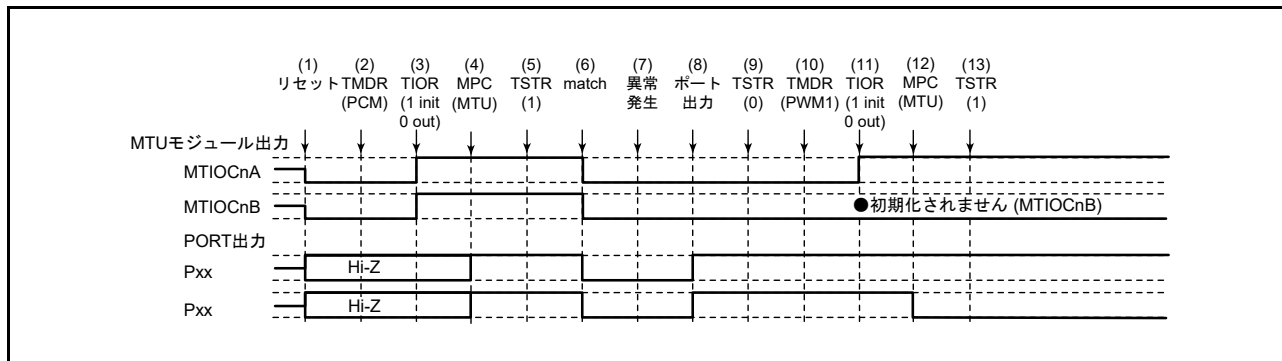


図 23.144 位相計数モードで異常が発生し、PWM モード1で復帰する場合

- (1) ~ (9) は図 23.143 と共通です。
- (10) PWM モード1を設定します。
- (11) TIOR レジスタで端子を初期化してください。なお、PWM モード1ではMTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。
- (12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 23.145 に示します。

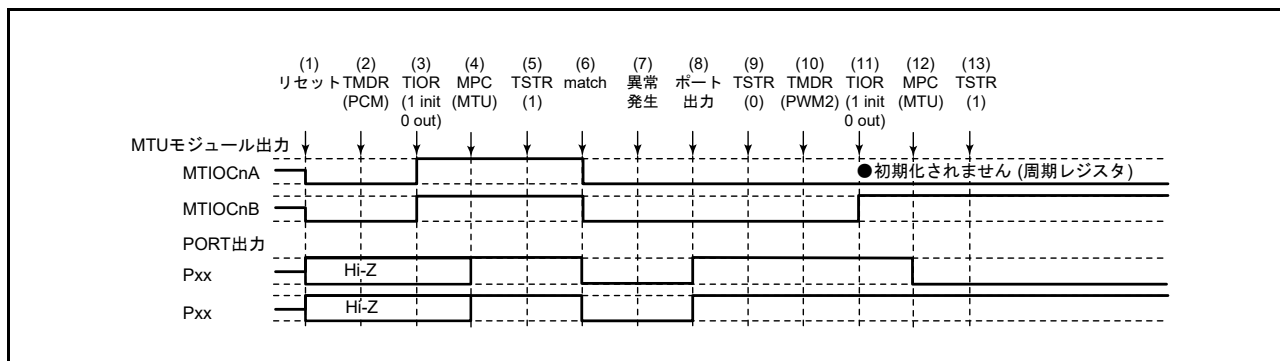


図 23.145 位相計数モードで異常が発生し、PWM モード2で復帰する場合

(1) ~ (9) は図 23.143 と共通です。

(10) PWM モード2を設定します。

(11) TIOR レジスタで端子を初期化してください。なお、PWM モード1では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 23.146 に示します。

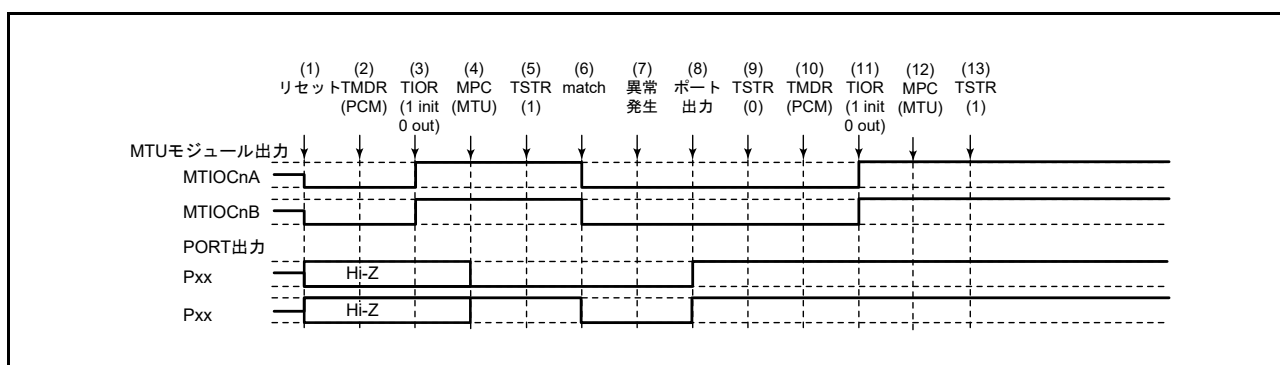


図 23.146 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 23.143 と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 23.147 に示します。

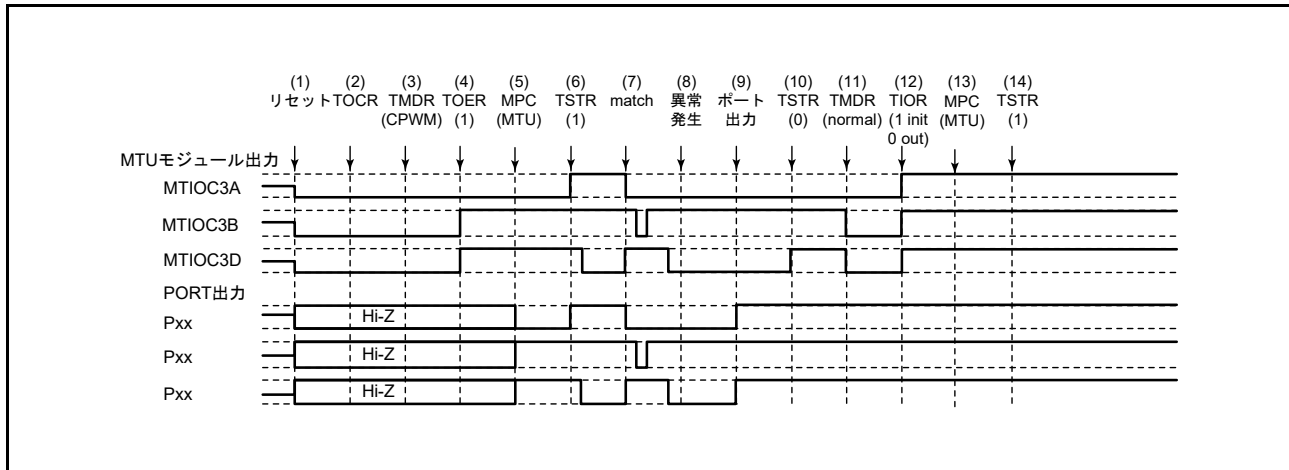


図 23.147 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。
- (3) 相補 PWM モードを設定します。
- (4) TOER レジスタで MTU3、MTU4 の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します (MTU 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は Low となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 23.148 に示します。

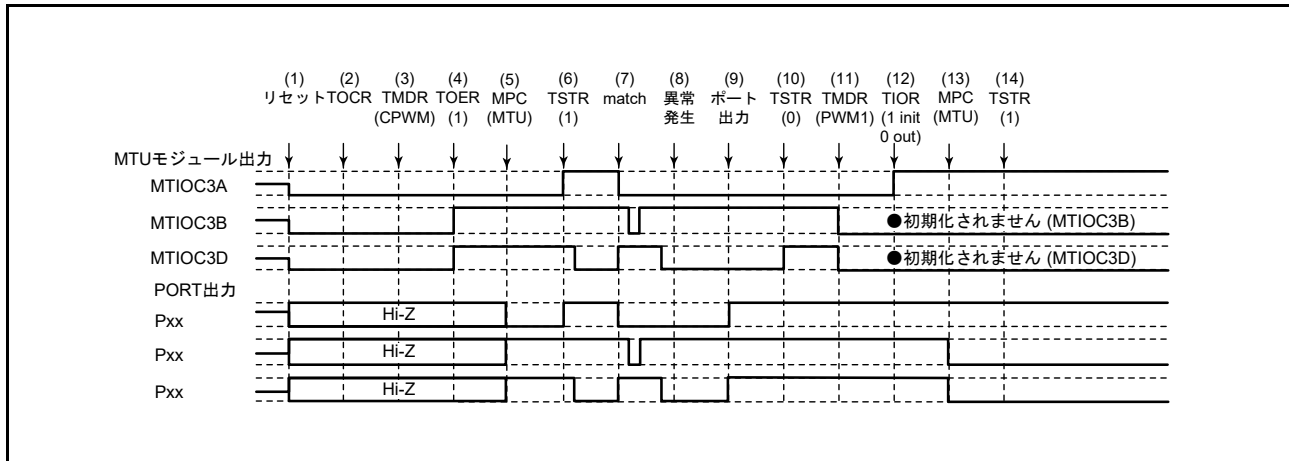


図 23.148 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 23.147 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は Low となります)。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 23.149 に示します (周期、デューティ設定をカウンタを止めたときの値から再スタートする場合)。

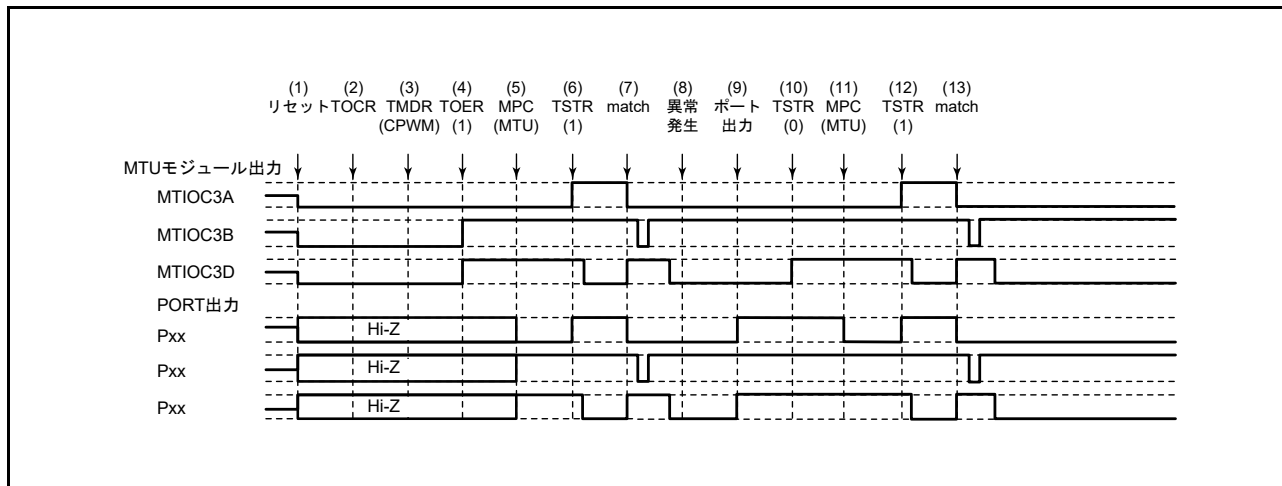


図 23.149 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 23.147 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTR レジスタで再スタートします。

(13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 23.150 に示します（周期、デューティ設定を全く新しい設定値で再スタートする場合）。

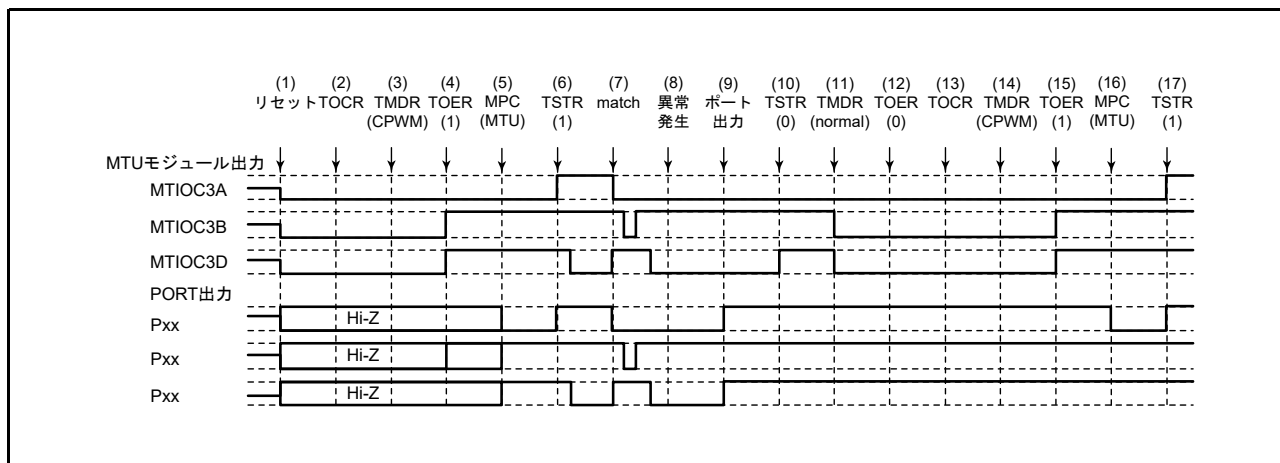


図 23.150 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1)～(10)は図 23.147 と共通です。

(11) ノーマルモードを設定し新しい設定値を設定してください（MTU 出力は Low となります）。

(12) TOER レジスタで MTU3、MTU4 の出力を禁止してください。

(13) TOCR レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(14) 相補 PWM モードを設定します。

(15) TOER レジスタで MTU3、MTU4 の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(17) TSTR レジスタで再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 23.151 に示します。

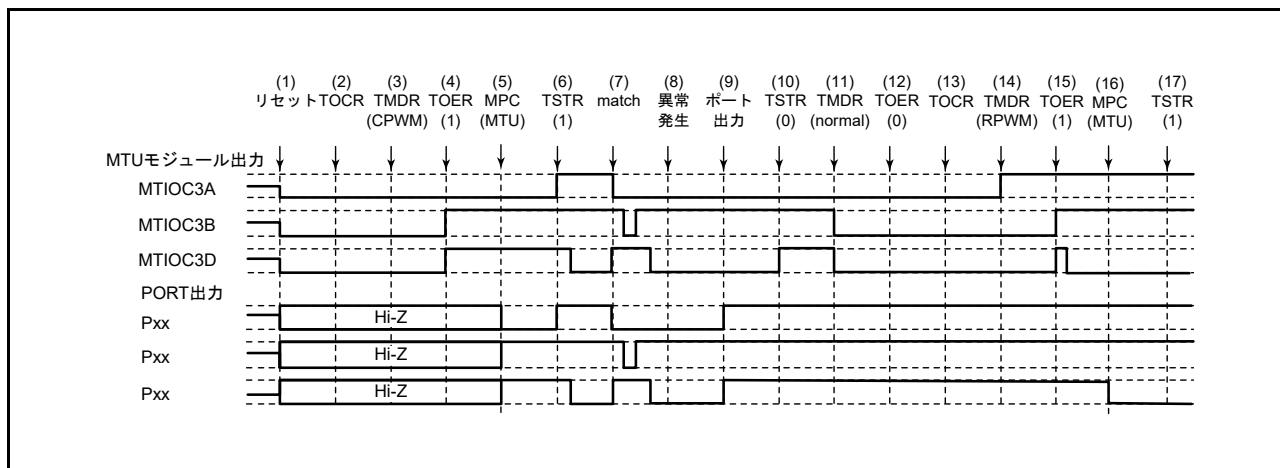


図 23.151 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (10) は図 23.147 と共通です。

(11) ノーマルモードを設定してください (MTU 出力は Low となります)。

(12) TOER レジスタで MTU3、MTU4 の出力を禁止してください。

(13) TOCR レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(14) リセット同期 PWM モードを設定します。

(15) TOER レジスタで MTU3、MTU4 の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(17) TSTR レジスタで再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 23.152 に示します。

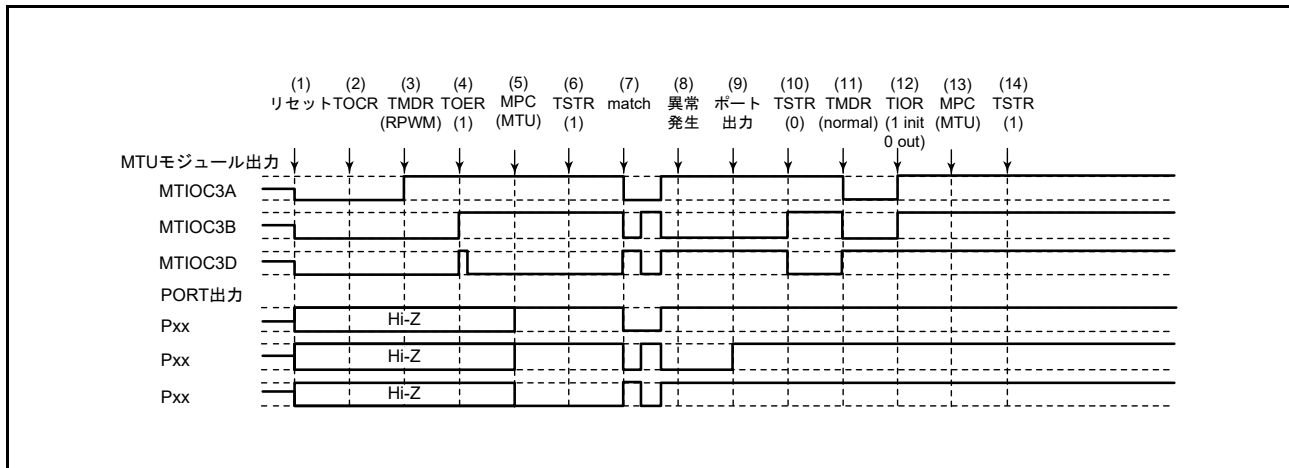


図 23.152 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (3) リセット同期 PWM モードを設定します。
- (4) TOER レジスタで MTU3、MTU4 の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します (MTU 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は正相側が Low、逆相側が High となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 23.153 に示します。

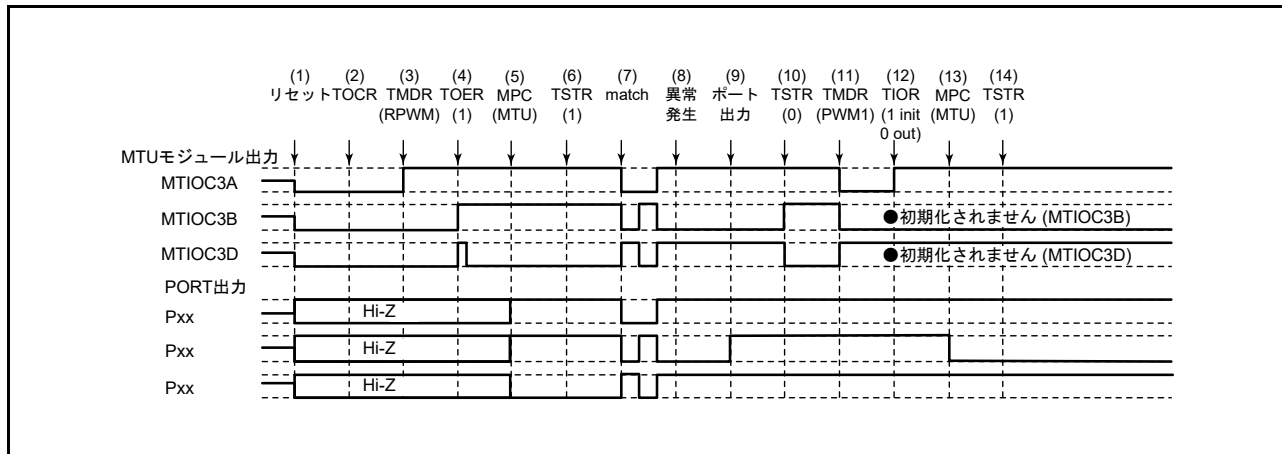


図 23.153 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 23.152 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は正相側が Low、逆相側が High となります)。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 23.154 に示します。

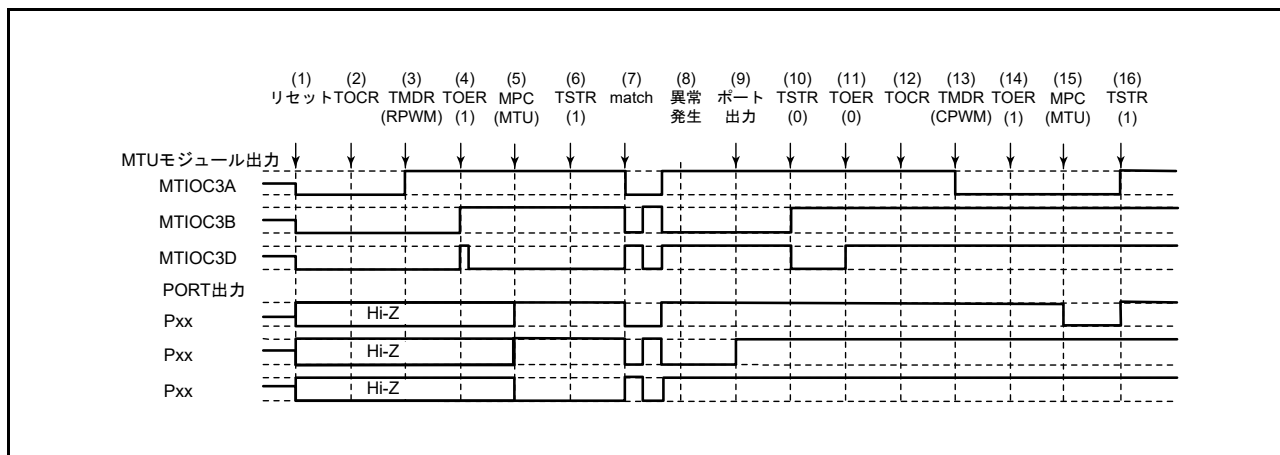


図 23.154 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 23.152 と共通です。

- (11) TOER レジスタで MTU3、MTU4 の出力を禁止してください。
- (12) TOCR レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。
- (13) 相補 PWM を設定します (MTU の周期出力端子は Low になります)。
- (14) TOER レジスタで MTU3、MTU4 の出力を許可してください。
- (15) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (16) TSTR レジスタで再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 23.155 に示します。

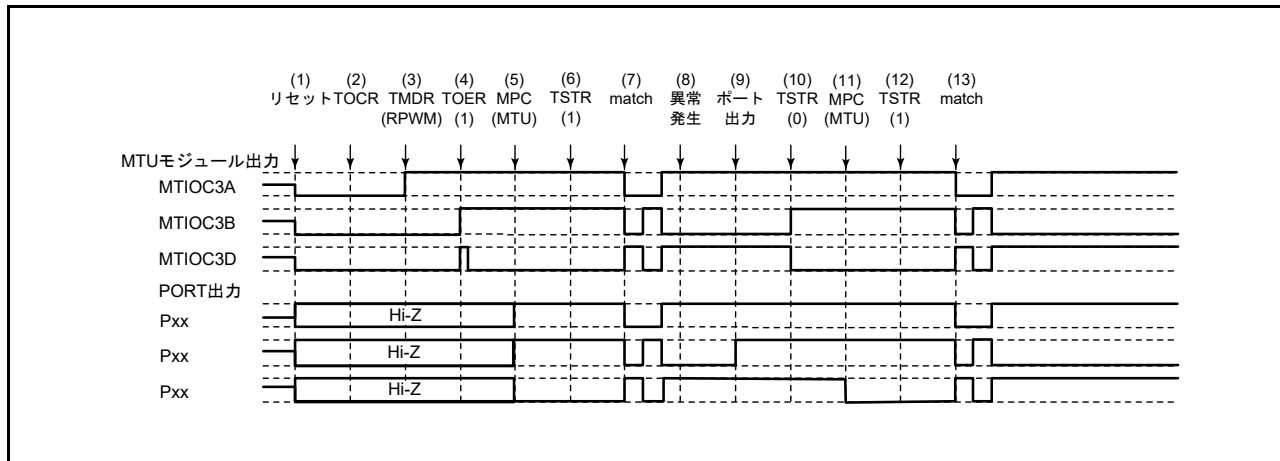


図 23.155 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (10) は図 23.152 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTR レジスタで再スタートします。

(13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

23.8 ELC によるリンク動作

23.8.1 ELC へのイベント信号出力

MTU はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

23.8.2 ELC からのイベント信号受信による MTU の動作

MTU は ELC の ELSRn レジスタの設定により、あらかじめ設定したイベントによる次の動作が可能です。

(1) カウントスタート動作

ELC の ELOPA、ELOPB レジスタで MTU のカウントスタート動作を選択します。ELOPA レジスタは MTU1 ~ MTU3、ELOPB レジスタは MTU4 に機能します。MTU の設定するチャンネルの TMDR レジスタはリセット後の値“00h”にしてください。ELSRn レジスタで指定したイベントが発生すると、表 23.60 に示した TSTR.CSTn ビットが“1”になり、MTU のカウントがスタートします。

ただし、TSTR.CSTn ビットが“1”のときに指定したイベントが発生した場合は、そのイベントは無効となります。各チャンネルに対して使用する TSTR レジスタのビット名は表 23.60 を参照してください。

カウントスタート動作の設定手順の詳細については「23.3.1 (1) カウンタの動作」を参照ください。

表 23.60 ELC とリンク動作するタイマスタートレジスタ

チャンネル番号	タイマスタートレジスタ
MTU1	TSTR.CST1 ビット
MTU2	TSTR.CST2 ビット
MTU3	TSTR.CST3 ビット
MTU4	TSTR.CST4 ビット

(2) インพุットキャプチャ動作

ELC の ELOPA、ELOPB レジスタで MTU2 のインพุットキャプチャ動作を選択します。ELOPA レジスタは MTU1 ~ MTU3、ELOPB レジスタは MTU4 に対応します。MTU の設定するチャンネルの TMDR レジスタはリセット後の値“00h”にしてください。ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタの値を TGR レジスタへキャプチャします。イベントリンクによるインพุットキャプチャ動作を使用する場合は、MTU の TIOR レジスタのビットをインพุットキャプチャに設定し、TSTR.CSTn ビットを“1”にしカウンタをスタートさせてください。

このとき TIOcNa 端子 (インพุットキャプチャ端子) の入力は無効となります。

各チャンネルに対して使用する TGR レジスタ、TIOR レジスタのビット名は表 23.61 を参照してください。

インพุットキャプチャの設定手順の詳細については「23.3.1 (3) インพุットキャプチャ機能」を参照ください。

表 23.61 ELC 動作時のインพุットキャプチャ動作において使用する各チャンネルでのタイマジェネラルレジスタ、タイマ I/O コントロールレジスタ

チャンネル番号	タイマジェネラルレジスタ	タイマ I/O コントロールレジスタのビット名
MTU1	MTU1.TGRA レジスタ	MTU1.TIOR.IOA[3:0] ビット
MTU2	MTU2.TGRA レジスタ	MTU2.TIOR.IOA[3:0] ビット
MTU3	MTU3.TGRA レジスタ	MTU3.TIORH.IOA[3:0] ビット
MTU4	MTU4.TGRA レジスタ	MTU4.TIORH.IOA[3:0] ビット

(3) カウントリスタート動作

ELC の ELOPA、ELOPB レジスタで MTU のカウントリスタート動作を選択します。ELOPA レジスタは MTU1 ~ MTU3、ELOPB レジスタは MTU4 に対応します。MTU の設定するチャンネルの TMDR レジスタはリセット後の値 “00h” にしてください。ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタの値が初期値に書き換わります。TSTR.CSTn ビットが “1” になっていればカウント動作を継続することができます。対応する TSTR.CSTn ビットは表 23.60 を参照ください。

23.8.3 ELC からのイベント信号受信による MTU の注意事項

以下に MTU をイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

TSTR.CSTn ビットへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TSTR.CSTn ビットへの書き込みサイクルは行われずイベント発生による “1” 書き込みが優先されます。

(2) カウントリスタート動作

TCNT カウンタへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタへの書き込みサイクルは行われずイベント発生によるカウント値の初期化が優先されます。

24. ポートアウトプットイネーブル2 (POE2a)

ポートアウトプットイネーブル2 (POE) は、POE0# ~ POE3#、POE8# 端子の入力変化、MTU 相補 PWM 出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) の出力状態、クロック発生回路の発振停止検出、レジスタ設定 (SPOER レジスタ) またはイベントリンクコントローラ (ELC) からのイベント信号入力によって MTU 相補 PWM 出力端子および MTU0 出力端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) をハイインピーダンスにすることができます。

また、同時に割り込み要求を発行することができます。

本章に記載している PCLK とは PCLKB を指します。

24.1 概要

表 24.1 に POE の仕様を、図 24.1 に POE のブロック図を示します。

表 24.1 POE の仕様

項目	内容
入力レベル検出による ハイインピーダンス制御	<ul style="list-style-type: none"> POE0# ~ POE3#、POE8# の各入力端子に立ち下がりエッジ、PCLK/8 クロックごとに 16 回、PCLK/16 クロックごとに 16 回、PCLK/128 クロックごとに 16 回の Low サンプリングが設定可能 POE0# ~ POE3# 端子の立ち下がりエッジまたは Low サンプリングによって、MTU 相補 PWM 出力端子をハイインピーダンスに設定可能 POE8# 端子の立ち下がりエッジまたは Low サンプリングによって、MTU0 出力端子をハイインピーダンスに設定可能
出力レベル比較による ハイインピーダンス制御	<ul style="list-style-type: none"> MTU 相補 PWM 出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1PCLK クロック以上続いた場合、MTU 相補 PWM 出力端子をハイインピーダンスに設定可能
発振停止検出による ハイインピーダンス制御	<ul style="list-style-type: none"> クロック発生回路が発振停止した場合、MTU 相補 PWM 出力端子および MTU0 出力端子をハイインピーダンスに設定可能
ソフトウェア (レジスタ) による ハイインピーダンス制御	<ul style="list-style-type: none"> POE のレジスタ書き込みをすることで、MTU 相補 PWM 出力端子および MTU0 出力端子をハイインピーダンスに設定可能
イベント信号による ハイインピーダンス制御	<ul style="list-style-type: none"> イベントリンクコントローラ (ELC) からのイベント信号により、MTU 相補 PWM 出力端子および MTU0 出力端子をハイインピーダンスに設定可能
割り込み	<ul style="list-style-type: none"> POE0# ~ POE3#、POE8# の入力レベル検出結果または MTU 相補 PWM 出力端子の出力レベルの比較結果により、それぞれの割り込みを発生

POE は、図 24.1 のブロック図に示すように入力レベル検出回路、出力レベル比較回路、クロック発生回路の発振停止検出信号の入力、およびハイインピーダンス要求 / 割り込み要求生成回路から構成されます。

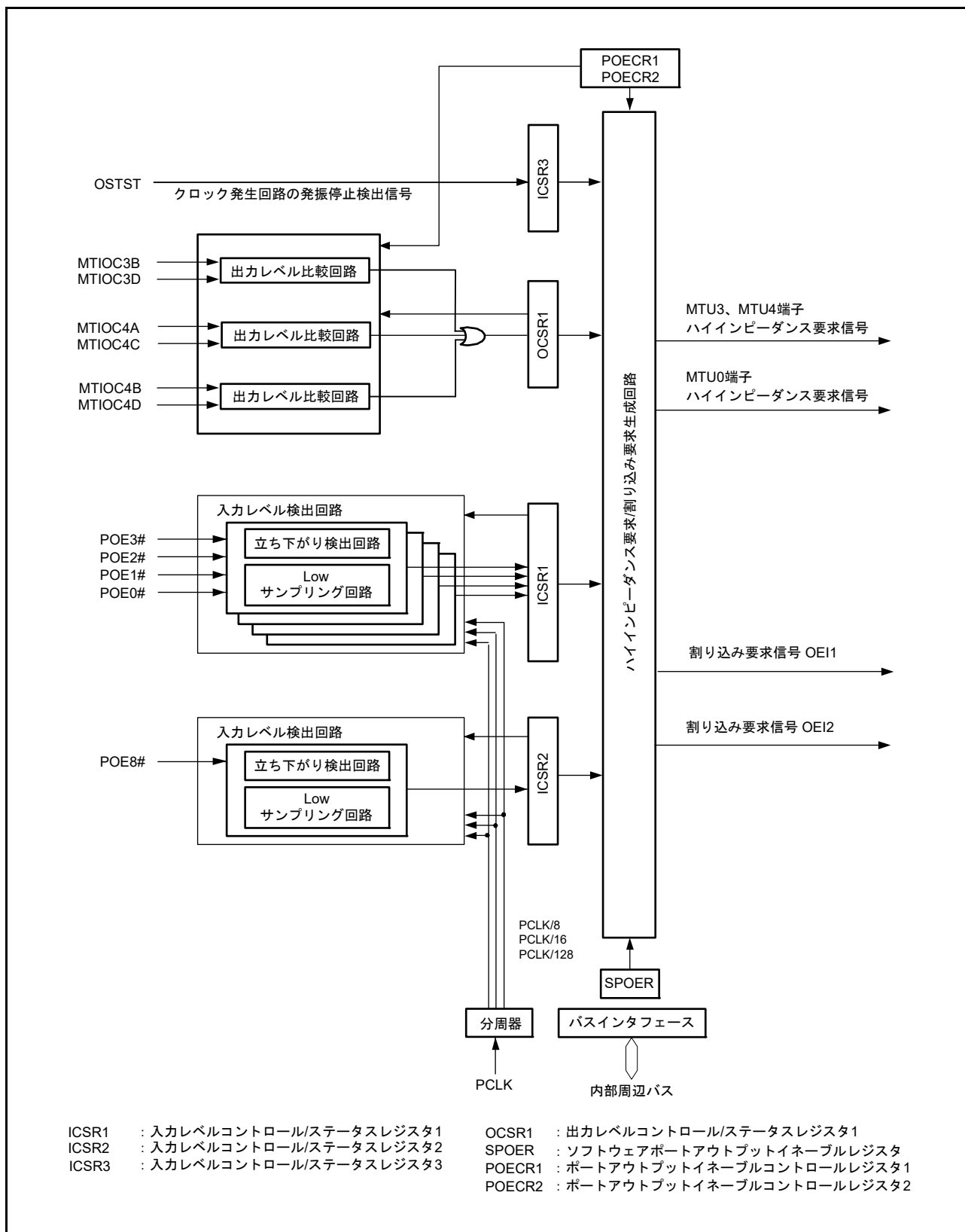


図 24.1 POE のブロック図

表 24.2 に POE で使用する入出力端子を示します。

表 24.2 POEの入出力端子

端子名	入出力	機能
POE0#~POE3#	入力	MTU相補PWM出力端子をハイインピーダンスにする要求信号
POE8#	入力	MTU0の出力端子をハイインピーダンスにする要求信号
MTIOC3B	出力	MTU3相補PWM出力端子
MTIOC3D	出力	MTU3相補PWM出力端子
MTIOC4A	出力	MTU4相補PWM出力端子
MTIOC4B	出力	MTU4相補PWM出力端子
MTIOC4C	出力	MTU4相補PWM出力端子
MTIOC4D	出力	MTU4相補PWM出力端子
MTIOC0A	出力	MTU0出力端子
MTIOC0B	出力	MTU0出力端子
MTIOC0C	出力	MTU0出力端子
MTIOC0D	出力	MTU0出力端子

表 24.3 に示す端子の組み合わせで出力レベルの比較を行います。

表 24.3 端子の組み合わせ

端子の組み合わせ	入出力	機能
MTIOC3BとMTIOC3D	出力	どの組み合わせに対して出力レベル比較を行いハイインピーダンス制御を行うかは、POEのレジスタで設定できます。 1PCLKクロック以上同時にアクティブレベル出力が続いた場合、MTU相補PWM出力端子をハイインピーダンスにします。 (MTU.TOCR1.TOCSビット="0"のときに、MTU.TOCR1.OLSP、OLSNビットが"0"の場合はLow出力、"1"の場合はHigh出力。 MTU.TOCR1.TOCSビット="1"のときに、MTU.TOCR2.OLS3N、OLS3P、OLS2N、OLS2P、OLS1N、OLS1Pビットが"0"の場合はLow出力、"1"の場合はHigh出力)
MTIOC4AとMTIOC4C	出力	
MTIOC4BとMTIOC4D	出力	

24.2 レジスタの説明

24.2.1 入力レベルコントロール / ステータスレジスタ 1 (ICSR1)

アドレス 0008 8900h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	POE3F	POE2F	POE1F	POE0F	—	—	—	PIE1	POE3M[1:0]	POE2M[1:0]	POE1M[1:0]	POE0M[1:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE0M[1:0]	POE0モード選択ビット	b1 b0 0 0 : POE0#端子入力の立ち下がりエッジでハイインピーダンス要求を受け付ける 0 1 : POE0#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 0 : POE0#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 1 : POE0#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける	R/W (注1)
b3-b2	POE1M[1:0]	POE1モード選択ビット	b3 b2 0 0 : POE1#端子入力の立ち下がりエッジでハイインピーダンス要求を受け付ける 0 1 : POE1#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 0 : POE1#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 1 : POE1#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける	R/W (注1)
b5-b4	POE2M[1:0]	POE2モード選択ビット	b5 b4 0 0 : POE2#端子入力の立ち下がりエッジでハイインピーダンス要求を受け付ける 0 1 : POE2#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 0 : POE2#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 1 : POE2#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける	R/W (注1)
b7-b6	POE3M[1:0]	POE3モード選択ビット	b7 b6 0 0 : POE3#端子入力の立ち下がりエッジでハイインピーダンス要求を受け付ける 0 1 : POE3#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 0 : POE3#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 1 : POE3#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける	R/W (注1)
b8	PIE1	ポート割り込み許可1ビット	0 : 入力レベル検出によるOE1割り込み要求を禁止 1 : 入力レベル検出によるOE1割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE0F	POE0フラグ	0 : POE0#端子にハイインピーダンス要求なし 1 : POE0#端子にハイインピーダンス要求あり	R/(W) (注2)
b13	POE1F	POE1フラグ	0 : POE1#端子にハイインピーダンス要求なし 1 : POE1#端子にハイインピーダンス要求あり	R/(W) (注2)
b14	POE2F	POE2フラグ	0 : POE2#端子にハイインピーダンス要求なし 1 : POE2#端子にハイインピーダンス要求あり	R/(W) (注2)
b15	POE3F	POE3フラグ	0 : POE3#端子にハイインピーダンス要求なし 1 : POE3#端子にハイインピーダンス要求あり	R/(W) (注2)

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

POE0M[1:0] ~ POE3M[1:0] ビットで Low サンプリングを設定している場合、POE0F ~ POE3F フラグに“0”を書き込むには、POE0# ~ POE3# 端子に High を入力する必要があります。

詳細は「24.3.6 ハイインピーダンスからの解除」を参照してください。

PIE1 ビット (ポート割り込み許可 1 ビット)

POE3F ~ POE0F フラグのいずれかが“1”になったときに、OEI1 割り込みを要求するかどうかを指定します。

POE0F フラグ (POE0 フラグ)

POE0# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE0# 端子に POE0M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

POE1F フラグ (POE1 フラグ)

POE1# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE1# 端子に POE1M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

POE2F フラグ (POE2 フラグ)

POE2# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE2# 端子に POE2M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

POE3F フラグ (POE3 フラグ)

POE3# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE3# 端子に POE3M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

24.2.2 出力レベルコントロール/ステータスレジスタ 1 (OCSR1)

アドレス 0008 8902h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE1	出力短絡割り込み許可1ビット	0: 出力レベル比較によるOIE1割り込み要求を禁止 1: 出力レベル比較によるOIE1割り込み要求を許可	R/W
b9	OCE1	出力短絡ハイインピーダンス許可1ビット	0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF1	出力短絡フラグ1	0: 同時にアクティブレベルになっていない 1: 同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読んだ後に“0”のみ書けます。

OIE1 ビット (出力短絡割り込み許可 1 ビット)

OSF1 フラグが“1”のときに、OIE1 割り込みを要求するかどうかを指定します。

OCE1 ビット (出力短絡ハイインピーダンス許可 1 ビット)

OSF1 フラグが“1”のときに、MTU 相補 PWM 出力端子をハイインピーダンスにするかどうかを指定します。

OSF1 フラグ (出力短絡フラグ 1)

表 24.3 に示す MTU 相補 PWM 出力端子の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。POE2.PnCZEA (n=1, 2, 3) ビットが“0”のとき、または MTU のアウトプットコンペア機能を有効にしていないとき、対応する MTU 相補 PWM 出力端子が同時にアクティブレベルになっても OSF1 フラグは“1”になりません。アクティブレベルについては MTU.TOCR1、TOCR2 レジスタの設定に依存します。

[“1”になる条件]

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき (注1)

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
“0”を書くには、MTU 相補 PWM 出力端子から非アクティブを出力する必要があります。
詳細は「24.3.6 ハイインピーダンスからの解除」参照してください。

注1. MPC.PmnPFS レジスタの設定内容にかかわらず、端子のレベルだけで判断します。

24.2.3 入力レベルコントロール / ステータスレジスタ 2 (ICSR2)

アドレス 0008 8908h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE8F	—	—	POE8E	PIE2	—	—	—	—	—	—	POE8M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE8M[1:0]	POE8モード選択ビット	b1 b0 0 0 : POE8#端子入力の立ち下がリエッジで要求を受け付ける 0 1 : POE8#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 0 : POE8#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 1 : POE8#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE2	ポート割り込み許可2ビット	0 : OEI2割り込み要求を禁止 1 : OEI2割り込み要求を許可	R/W
b9	POE8E	POE8ハイインピーダンス許可ビット	0 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D端子をハイインピーダンスにしない 1 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE8F	POE8フラグ	0 : POE8#端子にハイインピーダンス要求なし 1 : POE8#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

PIE2 ビット (ポート割り込み許可2ビット)

POE8F フラグが“1”になったときに、OEI2 割り込みを要求するかどうかを指定します。

POE8E ビット (POE8 ハイインピーダンス許可ビット)

POE8F フラグが“1”になったときに、MTU0 用端子をハイインピーダンスにするかどうかを指定します。

POE8F フラグ (POE8 フラグ)

POE8# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE8# 端子に POE8M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

POE8M[1:0] ビットで Low サンプリングを設定している場合、“0”を書くには、POE8# 端子に High を入力する必要があります。

詳細は「24.3.6 ハイインピーダンスからの解除」参照してください。

24.2.4 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

アドレス 0008 890Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CH0HI Z	CH34HI Z
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH34HIZ	MTU3、MTU4出力ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W
b1	CH0HIZ	MTU0出力ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CH34HIZ ビット (MTU3、MTU4 出力ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子 (MTIOC3B/MTIOC3D/MTIOC4A/MTIOC4B/MTIOC4C/MTIOC4D) をハイインピーダンスにする制御を行うかどうかを選択します。

[“1”になる条件]

- “1”を書いたとき
- イベントリンクコントローラ (ELC) からのイベント信号を受信したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

CH0HIZ ビット (MTU0 出力ハイインピーダンス許可ビット)

MTU0 用端子 (MTIOC0A/MTIOC0B/MTIOC0C/MTIOC0D) をハイインピーダンスにする制御を行うかどうかを選択します。

[“1”になる条件]

- “1”を書いたとき
- イベントリンクコントローラ (ELC) からのイベント信号を受信したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

24.2.5 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)

アドレス 0008 890Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	PE3ZE	PE2ZE	PE1ZE	PE0ZE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PE0ZE	MTIOC0Aハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b1	PE1ZE	MTIOC0Bハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b2	PE2ZE	MTIOC0Cハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b3	PE3ZE	MTIOC0Dハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

24.2.6 ポートアウトプットイネーブルコントロールレジスタ 2 (POE2CR2)

アドレス 0008 890Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	P1CZEA	P2CZEA	P3CZEA	—	—	—	—
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	P3CZEA	MTUポート3ハイインピーダンス許可ビット	0: 出力レベル比較を行わず、ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b5	P2CZEA	MTUポート2ハイインピーダンス許可ビット	0: 出力レベル比較を行わず、ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b6	P1CZEA	MTUポート1ハイインピーダンス許可ビット	0: 出力レベル比較を行わず、ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

本機能を使用しない場合、“00h”を書いてください。

P3CZEA ビット (MTU ポート 3 ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子の MTIOC4B と MTIOC4D をハイインピーダンスするかどうかを許可します。また、MTIOC4B と MTIOC4D の出力レベル比較を行うかどうかを許可します。

P2CZEA ビット (MTU ポート 2 ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子の MTIOC4A と MTIOC4C をハイインピーダンスするかどうかを許可します。また、MTIOC4A と MTIOC4C の出力レベル比較を行うかどうかを許可します。

P1CZEA ビット (MTU ポート 1 ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子の MTIOC3B と MTIOC3D をハイインピーダンスするかどうかを許可します。また、MTIOC3B と MTIOC3D の出力レベル比較を行うかどうかを許可します。

24.2.7 入力レベルコントロール/ステータスレジスタ 3 (ICSR3)

アドレス 0008 890Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OSTST F	—	—	OSTST E	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	OSTSTE	OSTSTハイインピーダンス許可ビット	0 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子をハイインピーダンスにしない 1 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	OSTSTF	OSTSTハイインピーダンスフラグ	0 : 発振停止ハイインピーダンス要求なし 1 : 発振停止ハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

OSTSTE ビット (OSTST ハイインピーダンス許可ビット)

発振停止検出時に MTU 相補 PWM 出力端子、MTU0 用端子をハイインピーダンスにするかどうかを許可します。

OSTSTF フラグ (OSTST ハイインピーダンスフラグ)

OSTSTF フラグは、発振停止ハイインピーダンス要求を示すステータスフラグです。発振停止状態になると“1”になります。OSTSTF フラグを“0”にするときは、発振停止検出信号がネゲート状態のときに“0”を書いてください。発振停止検出信号がアサート中に OSTSTF フラグに“0”を書いても“0”になりません。アサート中とは、発振停止を検出後、10PCLK クロック経過するまでの期間です。

[“1”になる条件]

- 発振停止状態を検出したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

24.3 動作説明

以下にハイインピーダンスの対象になる端子と条件を示します。

(1) MTU0 用端子 (MTIOC0A)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
POECR1.PE0ZE ビットと ICSR2.POE8E ビットが“1”の状態、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
POECR1.PE0ZE ビットが“1”の状態、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出
POECR1.PE0ZE ビットと ICSR3.OSTSTE ビットが“1”の状態、OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(2) MTU0 用端子 (MTIOC0B)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
POECR1.PE1ZE ビットと ICSR2.POE8E ビットが“1”の状態、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
POECR1.PE1ZE ビットが“1”の状態、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出
POECR1.PE1ZE ビットと ICSR3.OSTSTE ビットが“1”の状態、OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(3) MTU0 用端子 (MTIOC0C)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
POECR1.PE2ZE ビットと ICSR2.POE8E ビットが“1”の状態、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
POECR1.PE2ZE ビットが“1”の状態、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出
POECR1.PE2ZE ビットと ICSR3.OSTSTE ビットが“1”の状態、OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(4) MTU0 用端子 (MTIOC0D)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
POECR1.PE3ZE ビットと ICSR2.POE8E ビットが“1”の状態、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
POECR1.PE3ZE ビットが“1”の状態、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出
POECR1.PE3ZE ビットと ICSR3.OSTSTE ビットが“1”の状態、OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(5) MTU3 用端子 (MTIOC3B, MTIOC3D)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ~ POE3# 端子の入力レベル検出
POECR2.P1CZEA ビットが“1”の状態、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが“1”になったとき
- MTIOC3B 端子と MTIOC3D 端子の出力レベル比較
POECR2.P1CZEA ビットと OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
POECR2.P1CZEA ビットが“1”の状態、SPOER.CH34HIZ ビットを“1”にしたとき
- 発振停止検出
POECR2.P1CZEA ビットと ICSR3.OSTSTE ビットが“1”の状態、ICSR3.OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(6) MTU4 用端子 (MTIOC4A, MTIOC4C)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ~ POE3# 端子の入力レベル検出
POECR2.P2CZEA ビットが“1”の状態、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが“1”になったとき
- MTIOC4A 端子と MTIOC4C 端子の出力レベル比較
POECR2.P2CZEA ビットと OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
POECR2.P2CZEA ビットが“1”の状態、SPOER.CH34HIZ ビットを“1”にしたとき
- 発振停止検出
POECR2.P2CZEA ビットと ICSR3.OSTSTE ビットが“1”の状態、ICSR3.OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(7) MTU4 用端子 (MTIOC4B, MTIOC4D)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ~ POE3# 端子の入力レベル検出
POECR2.P3CZEA ビットが“1”の状態、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが“1”になったとき
- MTIOC4B 端子と MTIOC4D 端子の出力レベル比較
POECR2.P3CZEA ビットと OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
POECR2.P3CZEA ビットが“1”の状態、SPOER.CH34HIZ ビットを“1”にしたとき
- 発振停止検出
POECR2.P3CZEA ビットと ICSR3.OSTSTE ビットが“1”の状態、ICSR3.OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

24.3.1 入力レベル検出動作

ICSR1、ICSR2 レジスタで設定した入力条件が POE0# ~ POE3#、POE8# 端子に発生した場合、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンスにします。

(1) 立ち下がリエッジ検出

POE0# ~ POE3#、POE8# 端子に High から Low の変化が入力されたとき、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンスにします。

立ち下がリエッジは、PCLK でサンプリングを行った後、検出します。POE0# ~ POE3#、POE8# 端子に 1PCLK クロック未満の Low が入力された場合、立ち下がリエッジが検出できるかどうかは保証できません。

POE0# ~ POE3#、POE8# 端子入力から端子のハイインピーダンスまでのタイミング例を図 24.2 に示します。

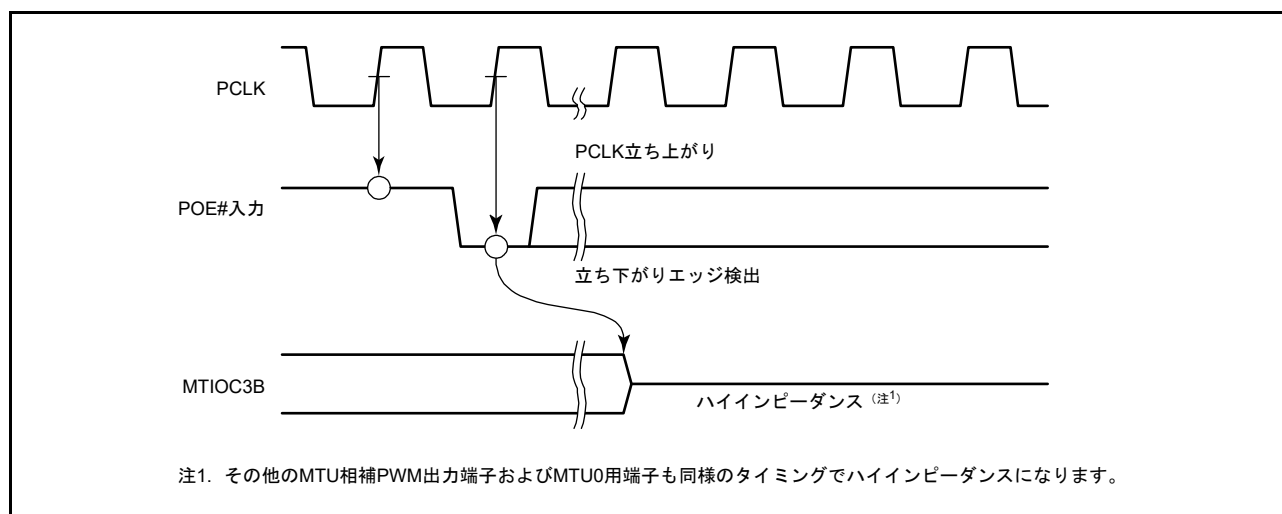


図 24.2 立ち下がリエッジ検出動作

(2) Low 検出

図 24.3 に Low 検出動作を示します。ICSR1、ICSR2 レジスタで設定したサンプリングクロックで、16 回連続して Low を検出すると Low 検出とみなし、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンス状態にします。このとき、一度でも High を検出した場合は Low 検出とみなしません。また、サンプリングクロックが出力されていない期間は、POE0# ~ POE3#、POE8# 端子が変化しても無視されます。

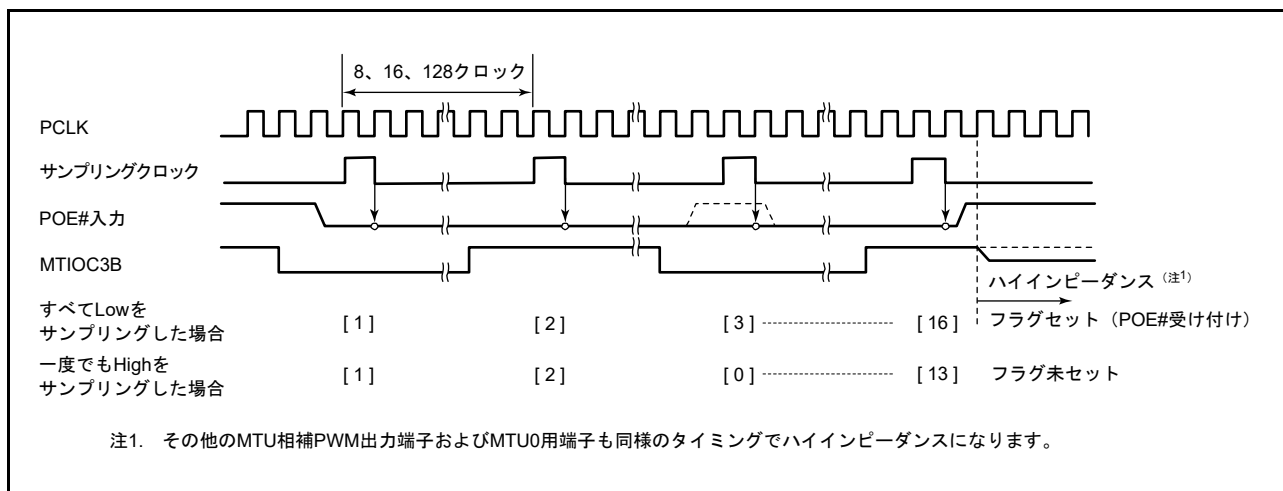


図 24.3 Low 検出動作

24.3.2 出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、MTU 相補 PWM 出力端子の出力レベル比較動作を図 24.4 に示します。他の端子の組み合わせについても同様です。

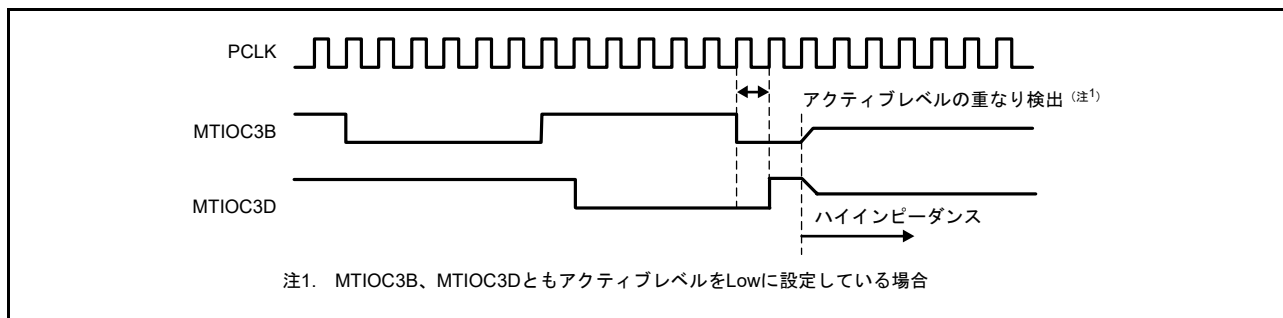


図 24.4 出力レベル比較動作

24.3.3 レジスタによるハイインピーダンス制御

ソフトウェアポートアウトプットイネーブルレジスタ (SPOER) への書き込みによって、MTU 相補 PWM 出力端子および MTU0 用端子のハイインピーダンス制御をします。

SPOER.CH34HIZ ビットを“1”にすることで、POECR2 レジスタで設定した MTU 相補 PWM 出力の端子 (MTU3, MTU4) をハイインピーダンスにします。

SPOER.CH0HIZ ビットを“1”にすることで、POECR1 レジスタで設定した MTU0 用出力端子をハイインピーダンスにします。

24.3.4 発振停止検出によるハイインピーダンス制御

ICSR3.OSTSTE ビットが“1”のとき、クロック発生回路の発振停止検出機能により発振停止が検出されると、POECR2 レジスタで設定した MTU 相補 PWM 出力端子および POECR1 レジスタで設定した MTU0 用端子をハイインピーダンスにします。

24.3.5 ELC からのイベント信号受信によるハイインピーダンス制御

ELC からのイベント信号により、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンス状態にすることができます。

ELC による MTU 相補 PWM 出力端子および MTU0 用端子のハイインピーダンス制御を行う場合は、対応するレジスタ (POECR1 または POECR2) をあらかじめ、ハイインピーダンス許可に設定してください。ELC からイベント信号を受信すると、対応するビット (SPOER.CH0HIZ または SPOER.CH34HIZ) が“1”となり、MTU 相補 PWM 出力端子または MTU0 用端子がハイインピーダンスとなります。

24.3.6 ハイインピーダンスからの解除

入力レベル検出でハイインピーダンスになった MTU 相補 PWM 出力端子および MTU0 用端子は、リセットで初期状態に戻るか、ICSR1.POE3F、POE2F、POE1F、POE0F フラグ、ICSR2.POE8F フラグを“0”にすることにより解除されます。ただし、ICSR1.POE3M[1:0]、POE2M[1:0]、POE1M[1:0]、POE0M[1:0] ビット、ICSR2.POE8M[1:0] ビットで Low サンプリングに設定している場合には、POE0# ~ POE3#、POE8# 端子から High を入力して High を検出した後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。

出力レベル比較でハイインピーダンスになった MTU 相補 PWM 出力端子は、リセットで初期状態に戻るか、OCSR1.OSF1 フラグを“0”にすることにより解除されます。ただし、MTU 相補 PWM 出力端子から非アクティブレベルを出力するようにした後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。非アクティブレベル出力は、MTU のレジスタを設定することで行うことができます。

クロック発生回路の発振停止によりハイインピーダンスになった MTU 相補 PWM 出力端子および MTU0 用端子は、ICSR3.OSTSTF ビットまたは ICSR3.OSTSTE ビットを“0”にすることによりハイインピーダンスが解除されます。

SPOER.CH34HIZ ビットまたは SPOER.CH0HIZ ビットによりハイインピーダンスになった MTU 相補 PWM 出力端子または MTU0 用端子は、端子に対応するビット (SPOER.CH34HIZ、SPOER.CH0HIZ) を“0”にすることによりハイインピーダンスが解除されます。

24.4 割り込み

POE は入力レベル検出動作、出力レベル比較動作、クロック発生回路の発振停止において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。表 24.4 に割り込みの種類と割り込み要求を出す条件を示します。OEI1 割り込みと OEI2 割り込みを受け付けたとき、当該割り込みの例外処理ルーチンの先頭で当該フラグが“1”になっていることを確認してください。

表 24.4 割り込み要求の種類と条件

名称	割り込み要因	該当フラグ	条件
OEI1	アウトプットイネーブル割り込み1	POE0F, POE1F, POE2F, POE3F, OSF1	ICSR1.PIE1ビットが“1”の状態(ICSR1.POE0F、POE1F、POE2F、またはPOE3Fフラグが“1”になったとき、もしくはOCSR1.OIE1ビットが“1”の状態(OCSR1.OSF1フラグが“1”になったとき)
OEI2	アウトプットイネーブル割り込み2	POE8F	ICSR2.PIE2ビットが“1”の状態(ICSR2.POE8Fフラグが“1”になったとき)

24.5 使用上の注意事項

24.5.1 ソフトウェアスタンバイモードへの移行について

POE を使用する場合は、ソフトウェアスタンバイモードに移行しないでください。ソフトウェアスタンバイモードでは、POE の動作が停止するため、端子のハイインピーダンス制御はできません。

24.5.2 POE を使用しない場合について

POE を使用しない場合は、ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1) に“00h”を、ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2) に“00h”をそれぞれ書き込んでください。

24.5.3 端子の MTU 機能設定について

POE によるハイインピーダンス制御は、端子が PMR レジスタと PmnPFS レジスタによって MTU の該当端子に選択されている場合のみ機能します。汎用入出力ポートに選択されている場合は、ハイインピーダンス制御はできません。

24.5.4 ELC からのイベント信号受信によるハイインピーダンス制御の注意事項

SPOER.CH34HIZ ビットまたは SPOER.CH0HIZ ビットへの“0”書き込みとイベント信号の受信が競合すると、イベント信号が優先され、対応するビットが“1”になります。ELC からのイベント信号の受信により MTU 相補 PWM 出力端子および MTU0 用端子がハイインピーダンスになったときは、割り込み要求は発生しません。

25. 16ビットタイマパルスユニット(TPUa)

本MCUは、6チャンネルの16ビットタイマで構成される16ビットタイマパルスユニット(TPU)を内蔵しています。

本章に記載しているPCLKとはPCLKBを指します。

25.1 概要

表 25.1 に TPU の仕様を、表 25.2 に TPU の機能一覧を示します。

図 25.1 に TPU のブロック図を示します。

表 25.1 TPUの仕様

項目	内容
パルス入出力	最大16本
カウントクロック	各チャンネルに7種類または8種類
設定可能動作	<ul style="list-style-type: none"> • コンペアマッチによる波形出力 • インพุットキャプチャ機能(ノイズフィルタ設定可能) • カウンタクリア動作 • 複数のタイマカウンタ(TCNT)への同時書き込み • コンペアマッチ/インพุットキャプチャによる同時クリア • カウンタの同期動作による各レジスタの同期入出力 • 同期動作と組み合わせることによる最大15相のPWM出力 • カスケード接続動作
TPU0, TPU3	バッファ動作を設定可能
TPU1, TPU2, TPU4, TPU5	位相計数モードを設定可能
割り込み要因	26種類
バッファ動作	レジスタデータの自動転送
トリガ生成	A/Dコンバータの変換開始トリガを生成可能
消費電力低減機能	モジュールストップ状態への遷移が可能

表25.2 TPUの機能一覧 (1/2)

項目	TPU0	TPU1	TPU2	TPU3	TPU4	TPU5
カウントクロック	PCLK/1 PCLK/4 PCLK/16 PCLK/64 TCLKA TCLKB TCLKC TCLKD	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKA TCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKA TCLKB TCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 PCLK/4096 TCLKA	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKA TCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKA TCLKC TCLKD
位相計数モードの外部クロック	—	TCLKA TCLKB	TCLKC TCLKD	—	TCLKC TCLKD	TCLKA TCLKB
タイマジェネラルレジスタ	TGRA TGRB TGRC(注1) TGRD(注1)	TGRA TGRB	TGRA TGRB	TGRA TGRB TGRC(注1) TGRD(注1)	TGRA TGRB	TGRA TGRB
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア機能 (y = A~D)	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ
コンペアマッチ出力	Low出力	○	○	○	○	○
	High出力	○	○	○	○	○
	トグル出力	○	○	○	○	○
インプットキャプチャ機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	○
PWMモード	○	○	○	○	○	○
位相計数モード	—	○	○	—	○	○
バッファ動作	○	—	—	○	—	—
DTCの起動(y = A~D)	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ	TGRyのコンペアマッチ または インプットキャプチャ
DMACの起動	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ
A/D変換開始トリガ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	—

表 25.2 TPUの機能一覧 (2/2)

項目	TPU0	TPU1	TPU2	TPU3	TPU4	TPU5
割り込み要因	5要因 ・コンペアマッチ/インプットキャプチャ0A ・コンペアマッチ/インプットキャプチャ0B ・コンペアマッチ/インプットキャプチャ0C ・コンペアマッチ/インプットキャプチャ0D ・オーバフロー	4要因 ・コンペアマッチ/インプットキャプチャ1A ・コンペアマッチ/インプットキャプチャ1B ・オーバフロー ・アンダフロー	4要因 ・コンペアマッチ/インプットキャプチャ2A ・コンペアマッチ/インプットキャプチャ2B ・オーバフロー ・アンダフロー	5要因 ・コンペアマッチ/インプットキャプチャ3A ・コンペアマッチ/インプットキャプチャ3B ・コンペアマッチ/インプットキャプチャ3C ・コンペアマッチ/インプットキャプチャ3D ・オーバフロー	4要因 ・コンペアマッチ/インプットキャプチャ4A ・コンペアマッチ/インプットキャプチャ4B ・オーバフロー ・アンダフロー	4要因 ・コンペアマッチ/インプットキャプチャ5A ・コンペアマッチ/インプットキャプチャ5B ・オーバフロー ・アンダフロー
モジュールストップの設定(注2)	MSTPCRA.MSTPA13 ビット					

○：可能
 —：不可能

注1. TGRCレジスタとTGRDレジスタは、バッファレジスタとして設定できます。
 注2. 詳細は「11. 消費電力低減機能」を参照してください。

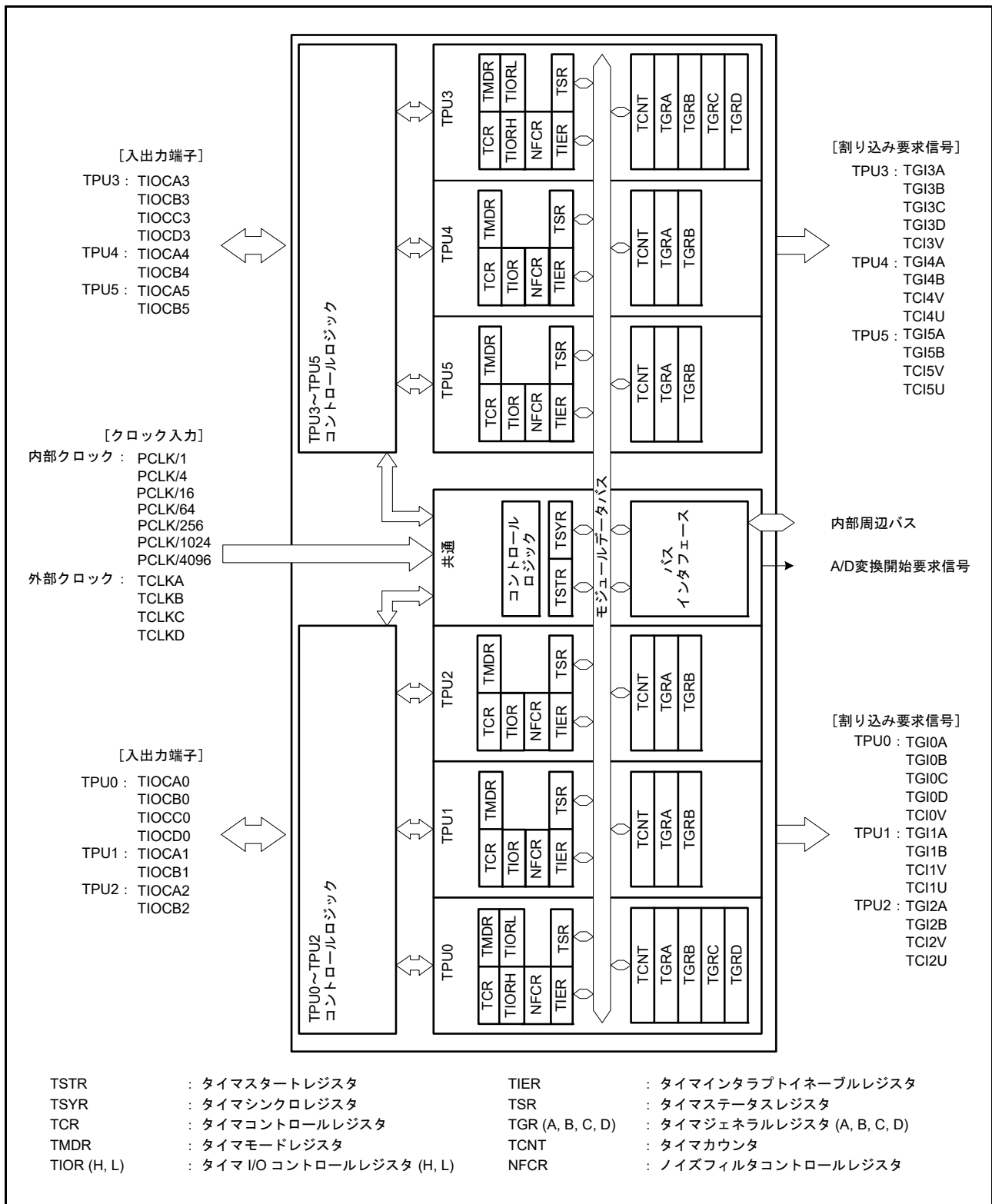


図 25.1 TPU のブロック図

表 25.3 に TPU で使用する入出力端子を示します。

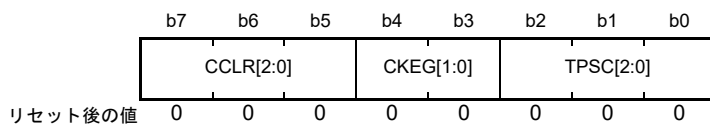
表 25.3 TPUの入出力端子

チャンネル	端子名	入出力	機能
共通	TCLKA	入力	外部クロックA入力端子(TPU1、TPU5の位相計数モードA相入力)
	TCLKB	入力	外部クロックB入力端子(TPU1、TPU5の位相計数モードB相入力)
	TCLKC	入力	外部クロックC入力端子(TPU2、TPU4の位相計数モードA相入力)
	TCLKD	入力	外部クロックD入力端子(TPU2、TPU4の位相計数モードB相入力)
TPU0	TIOCA0	入出力	TPU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB0	入出力	TPU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCC0	入出力	TPU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCD0	入出力	TPU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU1	TIOCA1	入出力	TPU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB1	入出力	TPU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU2	TIOCA2	入出力	TPU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB2	入出力	TPU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU3	TIOCA3	入出力	TPU3.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB3	入出力	TPU3.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCC3	入出力	TPU3.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCD3	入出力	TPU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU4	TIOCA4	入出力	TPU4.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB4	入出力	TPU4.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
TPU5	TIOCA5	入出力	TPU5.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB5	入出力	TPU5.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

25.2 レジスタの説明

25.2.1 タイマコントロールレジスタ (TCR)

アドレス TPU0.TCR 0008 8110h, TPU1.TCR 0008 8120h, TPU2.TCR 0008 8130h,
TPU3.TCR 0008 8140h, TPU4.TCR 0008 8150h, TPU5.TCR 0008 8160h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケアラ選択ビット	表 25.4～表 25.9を参照してください	R/W
b4-b3	CKEG[1:0]	入力クロックエッジ選択ビット	表 25.10を参照してください	R/W
b7-b5	CCLR[2:0]	カウンタクリア要因選択ビット(注1)	表 25.11、表 25.12を参照してください	R/W

注1. TPU1、TPU2、TPU4、TPU5では、b7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TPUm.TCR レジスタの設定は、TPUm.TCNT の動作が停止した状態で行ってください。

TPSC[2:0] ビット (タイマプリスケアラ選択ビット)

TCNT のクロックを選択します。チャンネルごとにクロックソースを選択することができます。

クロックに外部クロックを選択する場合は、該当する端子のポート方向レジスタ (PDR) のビットを“0” (入力ポート) に、ポートモードレジスタ (PMR) のビットを“1” (周辺機能として使用) にしてください。詳細は、「21. I/O ポート」を参照してください。

CKEG[1:0] ビット (入力クロックエッジ選択ビット)

入力クロックのエッジを選択します。

内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: PCLK/4 の両エッジ = PCLK/2 の立ち上がりエッジ)。

内部クロックのエッジ選択は、入力クロックが PCLK/4、もしくはそれより遅い場合に有効です。入力クロックに PCLK/1、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合、この設定は無視されます。

表 25.4 TPSC[2:0]ビット(TPU0)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU0	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKA端子入力でカウント
	1	0	1	外部クロック : TCLKB端子入力でカウント
	1	1	0	外部クロック : TCLKC端子入力でカウント
	1	1	1	外部クロック : TCLKD端子入力でカウント

表 25.5 TPSC[2:0]ビット(TPU1)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU1	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKA端子入力でカウント
	1	0	1	外部クロック : TCLKB端子入力でカウント
	1	1	0	内部クロック : PCLK/256でカウント
	1	1	1	TPU2.TCNTのオーバフロー/アンダフローでカウント

注. TPU1が位相計数モード時、この設定は無効になります。

表 25.6 TPSC[2:0]ビット(TPU2)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU2	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKA端子入力でカウント
	1	0	1	外部クロック : TCLKB端子入力でカウント
	1	1	0	外部クロック : TCLKC端子入力でカウント
	1	1	1	内部クロック : PCLK/1024でカウント

注. TPU2が位相計数モード時、この設定は無効になります。

表 25.7 TPSC[2:0]ビット(TPU3)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU3	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKA端子入力でカウント
	1	0	1	内部クロック : PCLK/1024でカウント
	1	1	0	内部クロック : PCLK/256でカウント
	1	1	1	内部クロック : PCLK/4096でカウント

表 25.8 TPSC[2:0]ビット(TPU4)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU4	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKA端子入力でカウント
	1	0	1	外部クロック : TCLKC端子入力でカウント
	1	1	0	内部クロック : PCLK/1024でカウント
	1	1	1	TPU5.TCNTのオーバフロー/アンダフローでカウント

注. TPU4が位相計数モード時、この設定は無効になります。

表 25.9 TPSC[2:0]ビット(TPU5)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU5	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKA端子入力でカウント
	1	0	1	外部クロック : TCLKC端子入力でカウント
	1	1	0	内部クロック : PCLK/256でカウント
	1	1	1	外部クロック : TCLKD端子入力でカウント

注. TPU5が位相計数モード時、この設定は無効になります。

表25.10 CKEG[1:0]ビット

CKEG[1:0]ビット		入カクロック	
b4	b3	内部クロック	外部クロック
0	0	立ち下がりエッジでカウント	立ち上がりエッジでカウント
0	1	立ち上がりエッジでカウント	立ち下がりエッジでカウント
1	0	両エッジでカウント	両エッジでカウント
1	1	両エッジでカウント	両エッジでカウント

表25.11 CCLR[2:0]ビット(TPU0, TPU3)

チャンネル	CCLR[2:0]ビット			機能
	b7	b6	b5	
TPU0, TPU3	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注2)
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア(注1)
	1	1	0	TGRDレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア(注1)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注2)

注1. TGRC、またはTGRDレジスタをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

注2. 同期動作の設定はTPU.TSYR.SYNCjビット(j = 0, 3)を“1”にすることによって行います。

表25.12 CCLR[2:0]ビット(TPU1, TPU2, TPU4, TPU5)

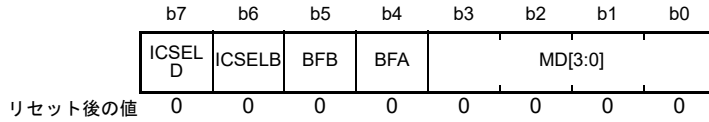
チャンネル	CCLR[2:0]ビット			機能
	b7 (注1)	b6	b5	
TPU1, TPU2, TPU4, TPU5	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBレジスタのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注2)
	1	0	0	設定しないでください
	1	0	1	設定しないでください
	1	1	0	設定しないでください
	1	1	1	設定しないでください

注1. TPU1、TPU2、TPU4、TPU5では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注2. 同期動作の設定は、TPU.TSYR.SYNCjビット(j = 1, 2, 4, 5)を“1”にすることによって行います。

25.2.2 タイマモードレジスタ (TMDR)

アドレス TPU0.TMDR 0008 8111h, TPU1.TMDR 0008 8121h, TPU2.TMDR 0008 8131h,
TPU3.TMDR 0008 8141h, TPU4.TMDR 0008 8151h, TPU5.TMDR 0008 8161h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	b3 b0 0 0 0 0 : 通常動作 0 0 0 1 : 設定しないでください 0 0 1 0 : PWMモード1 0 0 1 1 : PWMモード2 0 1 0 0 : 位相計数モード1(注1) 0 1 0 1 : 位相計数モード2(注1) 0 1 1 0 : 位相計数モード3(注1) 0 1 1 1 : 位相計数モード4(注1) 上記以外は設定しないでください	R/W
b4	BFA	バッファ動作Aビット(注2)	0 : TPUm.TGRAレジスタは通常動作 1 : TPUm.TGRAレジスタとTPUm.TGRCレジスタはバッファ動作 (m = 0, 3)	R/W
b5	BFB	バッファ動作Bビット(注2)	0 : TPUm.TGRBレジスタは通常動作 1 : TPUm.TGRBレジスタとTPUm.TGRDレジスタはバッファ動作 (m = 0, 3)	R/W
b6	ICSELB	TGRBインプットキャプチャ入力選択ビット	0 : インプットキャプチャ入力元はTIOCBn端子 1 : インプットキャプチャ入力元はTIOCBn端子(n = 0~5)	R/W
b7	ICSELD	TGRDインプットキャプチャ入力選択ビット(注2)	0 : インプットキャプチャ入力元はTIOCDn端子 1 : インプットキャプチャ入力元はTIOCDn端子(n = 0, 3)	R/W

注1. TPU0、TPU3では、位相計数モードの設定はできません。b2は“0”にしてください。

注2. TGRC、TGRDレジスタを持たないTPU1、TPU2、TPU4、TPU5では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TPUm.TMDR レジスタの設定は、TPUm.TCNT の動作が停止した状態で行ってください。

BFA ビット (バッファ動作 A ビット)

TPUm.TGRA レジスタ (m = 0, 3) を通常動作させるか、TPUm.TGRA レジスタと TPUm.TGRC レジスタ (m = 0, 3) を組み合わせてバッファ動作させるかを選択します。

TGRC レジスタをバッファレジスタとして使用した場合は、TGRC レジスタのインプットキャプチャ/Aウトプットコンペアは発生しません。

BFB ビット (バッファ動作 B ビット)

TPUm.TGRB レジスタ (m = 0, 3) を通常動作させるか、TPUm.TGRB レジスタと TPUm.TGRD レジスタ (m = 0, 3) を組み合わせてバッファ動作させるかを選択します。

TGRD レジスタをバッファレジスタとして使用した場合は、TGRD レジスタのインプットキャプチャ/Aウトプットコンペアは発生しません。

ICSELB ビット (TGRB インพุットキャプチャ入力選択ビット)

TPUm.TGRB レジスタ (m = 0 ~ 5) のインพุットキャプチャ入力を選択します。この機能を使用して 1 本の TIOCA_n 入力端子で入力パルスの High 幅と周期を測定できます。

ICSELD ビット (TGRD インพุットキャプチャ入力選択ビット)

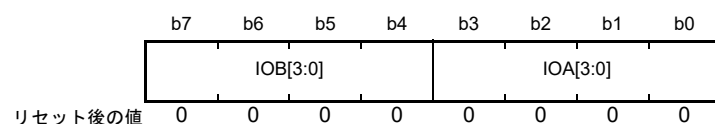
TPUm.TGRD レジスタ (m = 0, 3) のインพุットキャプチャ入力を選択します。

この機能を使用して 1 本の TIOCC_n 入力端子で入力パルスの High 幅と周期を測定できます。

25.2.3 タイマ I/O コントロールレジスタ (TIORH, TIORL, TIOR)

- TPU0.TIORH, TPU1.TIOR, TPU2.TIOR, TPU3.TIORH, TPU4.TIOR, TPU5.TIOR

アドレス TPU0.TIORH 0008 8112h, TPU1.TIOR 0008 8122h, TPU2.TIOR 0008 8132h, TPU3.TIORH 0008 8142h, TPU4.TIOR 0008 8152h, TPU5.TIOR 0008 8162h

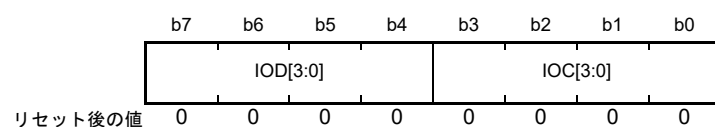


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	TGRA レジスタコントロールビット	表 25.13 ~ 表 25.18 を参照してください(注1)	R/W
b7-b4	IOB[3:0]	TGRB レジスタコントロールビット	表 25.13 ~ 表 25.18 を参照してください(注1)	R/W

注1. コンペアマッチでLow/High/トグル出力中に、IO_n[3:0]ビット (n = A, B)の値を出力禁止("0000b"または"0100b")へ変更するとHi-Zになります。

- TPU0.TIORL, TPU3.TIORL

アドレス TPU0.TIORL 0008 8113h, TPU3.TIORL 0008 8143h



ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	TGRC レジスタコントロールビット	表 25.19、表 25.20 を参照してください(注1)	R/W
b7-b4	IOD[3:0]	TGRD レジスタコントロールビット	表 25.19、表 25.20 を参照してください(注1)	R/W

注1. コンペアマッチでLow/High/トグル出力中に、IO_n[3:0]ビット (n = C, D)の値を出力禁止("0000b"または"0100b")へ変更するとHi-Zになります。

TPU には、TPU0、TPU3 に各 1 本、計 2 本の TIORH レジスタ、TPU0、TPU3 に各 1 本、計 2 本の TIORL レジスタ、TPU1、TPU2、TPU4、TPU5 に各 1 本、計 4 本の TIOR レジスタがあります。総計 8 本のタイマ I/O コントロールレジスタがあります。

TIORH、TIORL、TIOR レジスタは、TGRA ~ TGRD レジスタを制御するレジスタです。

TIORH、TIORL、TIOR レジスタは、TMDR レジスタの設定の影響を受けますので注意してください。

詳細は表 25.13 ~ 表 25.20 を参照してください。

TIORH、TIORL、TIOR レジスタで指定した初期出力は、カウンタのカウント動作が停止した状態 (TPU.TSTR.CSTj ビット (j=0~5) が“0”) で有効になります。また、PWM モード2 の場合の初期出力には、TCNT が“0” になった時点での出力を指定します。

TGRC レジスタまたは TGRD レジスタをバッファ動作に設定した場合、IOC[3:0] ビットまたは IOD[3:0] ビットで設定したレジスタの機能は無効となり、TGRC レジスタまたは TGRD レジスタはバッファレジスタとして動作します。

TIORH、TIORL、TIOR レジスタでインプットキャプチャとしての機能を選択する場合は、該当する端子のポート方向レジスタ (PDR) のビットを“0” (入力ポート) に、ポートモードレジスタ (PMR) のビットを“1” (周辺機能として機能) にしてください。詳細は、「21. I/O ポート」を参照してください。

IOA[3:0] ビット (TGRA レジスタコントロールビット)

TPUm.TGRA レジスタ (m=0~5) の機能を選択します。

IOB[3:0] ビット (TGRB レジスタコントロールビット)

TPUm.TGRB レジスタ (m=0~5) の機能を選択します。

IOC[3:0] ビット (TGRC レジスタコントロールビット)

TPUm.TGRC レジスタ (m=0, 3) の機能を選択します。

IOD[3:0] ビット (TGRD レジスタコントロールビット)

TPUm.TGRD レジスタ (m=0, 3) の機能を選択します。

表25.13 TPU0.TIORH

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU0.TGRAレジスタの機能	TIOCA0端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA0端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA0端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA0端子、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU1のカウンタクロック、TPU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注1)

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU0.TGRBレジスタの機能	TIOCB0端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB0/TIOCA0端子(注2)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB0/TIOCA0端子(注2)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB0/TIOCA0端子(注2)、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU1のカウンタクロック、TPU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注1)

x : Don't care

注1. TPU1.TCR.TPSC[2:0]ビットを“000b”とし、TPU1.TCNTのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません。

注2. TPU0.TMDR.ICSELBビットで選択します。

表 25.14 TPU1.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU1.TGRAレジスタの機能	TIOCA1端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA1端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA1端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA1端子、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU0.TGRAレジスタのコンペアマッチ/インプットキャプチャ、TPU0.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU1.TGRBレジスタの機能	TIOCB1端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB1/TIOCA1端子(注1)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB1/TIOCA1端子(注1)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB1/TIOCA1端子(注1)、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU0.TGRCレジスタのコンペアマッチ/インプットキャプチャ、TPU0.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

注1. TPU1.TMDR.ICSELBビットで選択します。

表 25.15 TPU2.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU2.TGRAレジスタの機能	TIOCA2端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	キャプチャ入力元はTIOCA2端子、立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元はTIOCA2端子、両エッジでインプットキャプチャ	

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU2.TGRBレジスタの機能	TIOCB2端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	キャプチャ入力元はTIOCB2/TIOCA2端子(注1)、立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元はTIOCB2/TIOCA2端子(注1)、両エッジでインプットキャプチャ	

x : Don't care

注1. TPU2.TMDR.ICSELBビットで選択します。

表25.16 TPU3.TIORH

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU3.TGRAレジスタの機能	TIOCA3端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA3端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA3端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA3端子、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU4のカウンタクロック、TPU4.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注1)

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU3.TGRBレジスタの機能	TIOCB3端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB3/TIOCA3端子(注2)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB3/TIOCA3端子(注2)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB3/TIOCA3端子(注2)、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU4のカウンタクロック、TPU4.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注1)

x : Don't care

注1. TPU4.TCR.TPSC[2:0]ビットを“000b”とし、TPU4.TCNTのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません。

注2. TPU3.TMDR.ICSELBビットで選択します。

表 25.17 TPU4.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU4.TGRAレジスタの機能	TIOCA4端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA4端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA4端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA4端子、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU3.TGRAレジスタのコンペアマッチ/インプットキャプチャ、TPU3.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU4.TGRBレジスタの機能	TIOCB4端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB4/TIOCA4端子(注1)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB4/TIOCA4端子(注1)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB4/TIOCA4端子(注1)、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU3.TGRCレジスタのコンペアマッチ/インプットキャプチャ、TPU3.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

注1. TPU4.TMDR.ICSELBビットで選択します。

表 25.18 TPU5.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPU5.TGRAレジスタの機能	TIOCA5端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	キャプチャ入力元はTIOCA5端子、立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元はTIOCA5端子、両エッジでインプットキャプチャ	

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPU5.TGRBレジスタの機能	TIOCB5端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	キャプチャ入力元はTIOCB5/TIOCA5端子(注1)、立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元はTIOCB5/TIOCA5端子(注1)、両エッジでインプットキャプチャ	

x : Don't care

注1. TPU5.TMDR.ICSELBビットで選択します。

表25.19 TPU0.TIORL

IOC[3:0]ビット				説明	
b3	b2	b1	b0	TPU0.TGRCレジスタの機能	TIOCC0端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	キャプチャ入力元はTIOCC0端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCC0端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCC0端子、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU1のカウンタクロック、TPU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注3)

IOD[3:0]ビット				説明	
b7	b6	b5	b4	TPU0.TGRDレジスタの機能	TIOCD0端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注2)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注2)	キャプチャ入力元はTIOCD0/TIOCC0端子(注4)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCD0/TIOCC0端子(注4)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCD0/TIOCC0端子(注4)、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU1のカウンタクロック、TPU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注3)

x : Don't care

- 注1. TPU0.TMDR.BFAビットを“1”(TPU0.TGRAレジスタとTPU0.TGRCレジスタはバッファ動作)にして、TPU0.TGRCレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。
- 注2. TPU0.TMDR.BFBビットを“1”(TPU0.TGRBレジスタとTPU0.TGRDレジスタはバッファ動作)にして、TPU0.TGRDレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。
- 注3. TPU1.TCR.TPSC[2:0]ビットを“000b”とし、TPU1.TCNTのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません。
- 注4. TPU0.TMDR.ICSELDビットの設定で選択します。

表25.20 TPU3.TIORL

IOC[3:0]ビット				説明	
b3	b2	b1	b0	TPU3.TGRCレジスタの機能	TIOCC3端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	キャプチャ入力元はTIOCC3端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCC3端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCC3端子、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU4のカウンタクロック、TPU4.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注3)

IOD[3:0]ビット				説明	
b7	b6	b5	b4	TPU3.TGRDレジスタの機能	TIOCD3端子の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ (注2)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注2)	キャプチャ入力元はTIOCD3/TIOCC3端子(注4)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCD3/TIOCC3端子(注4)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCD3/TIOCC3端子(注4)、両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はTPU4のカウンタクロック、TPU4.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注3)

x : Don't care

- 注1. TPU3.TMDR.BFAビットを“1”(TPU3.TGRAレジスタとTPU3.TGRCレジスタはバッファ動作)にして、TPU3.TGRCレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。
- 注2. TPU3.TMDR.BFBビットを“1”(TPU3.TGRBレジスタとTPU3.TGRDレジスタはバッファ動作)にして、TPU3.TGRDレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。
- 注3. TPU4.TCR.TPSC[2:0]ビットを“000b”とし、TPU4.TCNTのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません。
- 注4. TPU3.TMDR.ICSELDビットの設定で選択します。

25.2.4 タイマ割り込み許可レジスタ (TIER)

アドレス TPU0.TIER 0008 8114h, TPU1.TIER 0008 8124h, TPU2.TIER 0008 8134h,
TPU3.TIER 0008 8144h, TPU4.TIER 0008 8154h, TPU5.TIER 0008 8164h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE	—	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA

リセット後の値 0 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGRA割り込み許可ビット	0 : 割り込み(TGImA)を禁止 1 : 割り込み(TGImA)を許可 (m = 0~5)	R/W
b1	TGIEB	TGRB割り込み許可ビット	0 : 割り込み(TGImB)を禁止 1 : 割り込み(TGImB)を許可 (m = 0~5)	R/W
b2	TGIEC	TGRC割り込み許可ビット(注1)	0 : 割り込み(TGImC)を禁止 1 : 割り込み(TGImC)を許可 (m = 0, 3)	R/W
b3	TGIED	TGRD割り込み許可ビット(注1)	0 : 割り込み(TGImD)を禁止 1 : 割り込み(TGImD)を許可 (m = 0, 3)	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0 : 割り込み(TCImV)を禁止 1 : 割り込み(TCImV)を許可 (m = 0~5)	R/W
b5	TCIEU	アンダフロー割り込み許可ビット(注2)	0 : 割り込み(TCImU)を禁止 1 : 割り込み(TCImU)を許可 (m = 1, 2, 4, 5)	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TTGE	A/D変換開始要求許可ビット(注3)	0 : A/D変換開始要求の発生を禁止 1 : A/D変換開始要求の発生を許可	R/W

注1. TPU1、TPU2、TPU4、TPU5では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注2. TPU0、TPU3では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注3. TPU5では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE ビット (A/D 変換開始要求許可ビット)

TPUm.TGRA レジスタ (m = 0~4) のインプットキャプチャ/コンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。

25.2.5 タイマステータスレジスタ (TSR)

アドレス TPU0.TSR 0008 8115h, TPU1.TSR 0008 8125h, TPU2.TSR 0008 8135h,
TPU3.TSR 0008 8145h, TPU4.TSR 0008 8155h, TPU5.TSR 0008 8165h

b7	b6	b5	b4	b3	b2	b1	b0
TCFD	—	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA

リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGFA	インプットキャプチャ/アウトプットコンペアフラグA	0 : TPUm.TGRAのインプットキャプチャまたはコンペアマッチが発生していない 1 : TPUm.TGRAのインプットキャプチャまたはコンペアマッチが発生 (m = 0~5)	R/W (注1)
b1	TGFB	インプットキャプチャ/アウトプットコンペアフラグB	0 : TPUm.TGRBのインプットキャプチャまたはコンペアマッチが発生していない 1 : TPUm.TGRBのインプットキャプチャまたはコンペアマッチが発生 (m = 0~5)	R/W (注1)
b2	TGFC	インプットキャプチャ/アウトプットコンペアフラグC(注2)	0 : TPUm.TGRCのインプットキャプチャまたはコンペアマッチが発生していない 1 : TPUm.TGRCのインプットキャプチャまたはコンペアマッチが発生 (m = 0, 3)	R/W (注1)
b3	TGFD	インプットキャプチャ/アウトプットコンペアフラグD(注2)	0 : TPUm.TGRDのインプットキャプチャまたはコンペアマッチが発生していない 1 : TPUm.TGRDのインプットキャプチャまたはコンペアマッチが発生 (m = 0, 3)	R/W (注1)
b4	TCFV	オーバフローフラグ	0 : TPUm.TCNTのオーバフローが発生していない 1 : TPUm.TCNTのオーバフローが発生 (m = 0~5)	R/W (注1)
b5	TCFU	アンダフローフラグ(注3)	0 : TPUm.TCNTのアンダフローが発生していない 1 : TPUm.TCNTのアンダフローが発生 (m = 1, 2, 4, 5)	R/W (注1)
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ(注4)	0 : TPUm.TCNTはダウンカウント 1 : TPUm.TCNTはアップカウント (m = 1, 2, 4, 5)	R

注1. フラグをクリアするための“0”を書くことのみ可能です。

注2. TPU1、TPU2、TPU4、TPU5では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注3. TPU0、TPU3では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注4. TPU0、TPU3では予約ビットです。読むと“1”が読めます。書く場合、“1”としてください。

TGFA フラグ (インプットキャプチャ/アウトプットコンペアフラグ A)

TPUm.TGRA (m = 0 ~ 5) のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

["1" になる条件]

- TPUm.TGRA がアウトプットコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRA になったとき
- TPUm.TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRA に転送されたとき

["0" になる条件]

- TGImA 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが "0" のとき
- TGFA = 1 を読んだ後、TGFA フラグに "0" を書いたとき

TGFB フラグ (インプットキャプチャ/アウトプットコンペアフラグ B)

TPUm.TGRB (m = 0 ~ 5) のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

["1" になる条件]

- TPUm.TGRB がアウトプットコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRB になったとき
- TPUm.TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRB に転送されたとき

["0" になる条件]

- TGImB 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが "0" のとき
- TGFB = 1 を読んだ後、TGFB フラグに "0" を書いたとき

TGFC フラグ (インプットキャプチャ/アウトプットコンペアフラグ C)

TPUm.TGRC (m = 0, 3) のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

["1" になる条件]

- TPUm.TGRC がアウトプットコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRC になったとき
- TPUm.TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRC に転送されたとき

["0" になる条件]

- TGImC 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが "0" のとき
- TGFC = 1 を読んだ後、TGFC フラグに "0" を書いたとき

TGFD フラグ (インプットキャプチャ/アウトプットコンペアフラグ D)

TPUm.TGRD (m = 0, 3) のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

["1" になる条件]

- TPUm.TGRD がアウトプットコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRD になったとき
- TPUm.TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRD に転送されたとき

["0" になる条件]

- TGImD 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが "0" のとき
- TGFD = 1 を読んだ後、TGFD フラグに "0" を書いたとき

TCFV フラグ (オーバフローフラグ)

TPUm.TCNT (m = 0 ~ 5) のオーバフローの発生を示すステータスフラグです。

["1" になる条件]

- TPUm.TCNT の値がオーバフローしたとき ("FFFFh" → "0000h")

["0" になる条件]

- TCFV = 1 を読んだ後、TCFV フラグに "0" を書いたとき

TCFU フラグ (アンダフローフラグ)

TPUm.TCNT (m = 1, 2, 4, 5) のアンダフローの発生を示すステータスフラグです。

["1" になる条件]

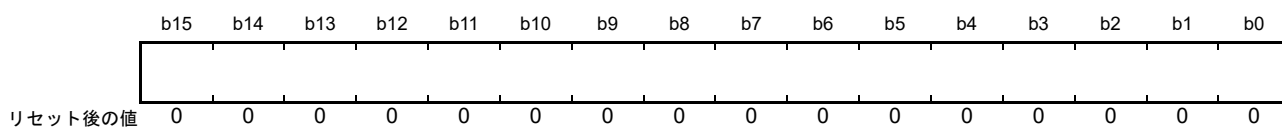
- TPUm.TCNT の値がアンダフローしたとき ("0000h" → "FFFFh")

["0" になる条件]

- TCFU = 1 を読んだ後、TCFU フラグに "0" を書いたとき

25.2.6 タイマカウンタ (TCNT)

アドレス TPU0.TCNT 0008 8116h, TPU1.TCNT 0008 8126h, TPU2.TCNT 0008 8136h,
TPU3.TCNT 0008 8146h, TPU4.TCNT 0008 8156h, TPU5.TCNT 0008 8166h



TPUm.TCNT は、内部クロックまたは外部イベントをカウントする読み出し / 書き込み可能なカウンタです。

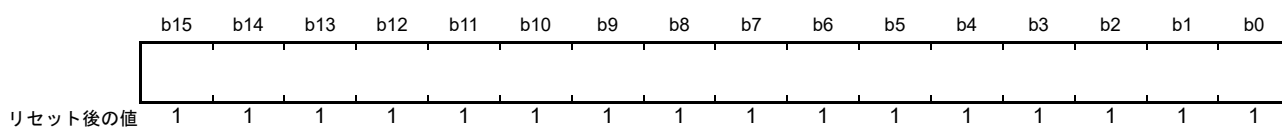
25.2.7 タイマジェネラルレジスタ A (TGRA)

タイマジェネラルレジスタ B (TGRB)

タイマジェネラルレジスタ C (TGRC)

タイマジェネラルレジスタ D (TGRD)

アドレス TPU0.TGRA 0008 8118h, TPU0.TGRB 0008 811Ah, TPU0.TGRC 0008 811Ch, TPU0.TGRD 0008 811Eh,
TPU1.TGRA 0008 8128h, TPU1.TGRB 0008 812Ah,
TPU2.TGRA 0008 8138h, TPU2.TGRB 0008 813Ah,
TPU3.TGRA 0008 8148h, TPU3.TGRB 0008 814Ah, TPU3.TGRC 0008 814Ch, TPU3.TGRD 0008 814Eh,
TPU4.TGRA 0008 8158h, TPU4.TGRB 0008 815Ah,
TPU5.TGRA 0008 8168h, TPU5.TGRB 0008 816Ah



TPU には、TPU0、TPU3 に各 4 本、TPU1、TPU2、TPU4、TPU5 に各 2 本、計 16 本のタイマジェネラルレジスタがあります。

TPUm.TGRA (m = 0 ~ 5)、TPUm.TGRB (m = 0 ~ 5)、TPUm.TGRC (m = 0, 3)、TPUm.TGRD (m = 0, 3) レジスタは、アウトプットコンペア / インプットキャプチャ兼用のレジスタで、読み出し / 書き込みが可能です。

TPUm.TGRC レジスタと TPUm.TGRD レジスタは、バッファレジスタとして動作設定することができます。バッファ動作時のレジスタの組み合わせは、TPUm.TGRA レジスタと TPUm.TGRC レジスタ、TPUm.TGRB レジスタと TPUm.TGRD レジスタになります。

25.2.8 タイマスタートレジスタ (TSTR)

アドレス TPU.TSTR 0008 8100h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CST5	CST4	CST3	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0: TCNTのカウンタ動作は停止 1: TCNTはカウンタ動作	R/W
b1	CST1	カウンタスタート1ビット		R/W
b2	CST2	カウンタスタート2ビット		R/W
b3	CST3	カウンタスタート3ビット		R/W
b4	CST4	カウンタスタート4ビット		R/W
b5	CST5	カウンタスタート5ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TPU.TSTR レジスタは、TPU0 ~ TPU5 の TCNT の動作 / 停止を選択するレジスタです。

TPUm.TMDR レジスタで動作モードを設定する場合や、TPUm.TCR レジスタで TPUm.TCNT のカウンタクロックを設定する場合は、TPUm.TCNT のカウンタ動作を停止させてから行ってください。

CSTn ビット (カウンタスタート n ビット) (n = 0 ~ 5)

TCNT の動作 / 停止を選択します。

CSTn ビットが“1”で、対応する TIOCyn 端子 (y = A ~ D, n = 0 ~ 5) が出力状態のときに、CSTn ビットを“0”にするとカウンタ動作は停止しますが、対応する TIOCyn 端子のアウトプットコンペア出力レベルは保持されます。

CSTn ビットが“0”のとき、TIORH、TIORL、TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

25.2.9 タイマシンクロレジスタ (TSYR)

アドレス TPU.TSYR 0008 8101h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0: TCNTは単独動作 (TCNTのセット/クリアは、他のチャンネルとは無関係) 1: TCNTは同期動作(注1) (TCNTの同期セット/同期クリアが可能)	R/W
b1	SYNC1	タイマ同期1ビット		R/W
b2	SYNC2	タイマ同期2ビット		R/W
b3	SYNC3	タイマ同期3ビット		R/W
b4	SYNC4	タイマ同期4ビット		R/W
b5	SYNC5	タイマ同期5ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 同期動作の設定には、最低2チャンネルのSYNCnビット(n = 0~5)を“1”にする必要があります。同期クリアの設定には、SYNCnビットの他にTCR.CCLR[2:0]ビットで、TCNTのクリア要因を選択する必要があります。

TPU.TSYR レジスタは TPU0 ~ TPU5 の TCNT の単独動作または同期動作を選択するレジスタです。

SYNCn ビット (タイマ同期 n ビット) (n = 0 ~ 5)

TCNT が他のチャンネルの TCNT と同期動作をするか、単独動作にするかを選択します。

同期動作を選択すると、複数の TCNT の同期セットや、他のチャンネルのカウンタクリアによる同期クリアが可能となります。

25.2.10 ノイズフィルタコントロールレジスタ (NFCR)

アドレス TPU0.NFCR 0008 8108h, TPU1.NFCR 0008 8109h, TPU2.NFCR 0008 810Ah,
TPU3.NFCR 0008 810Bh, TPU4.NFCR 0008 810Ch, TPU5.NFCR 0008 810Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ許可Aビット	0 : TIOCAmのノイズフィルタは無効 1 : TIOCAmのノイズフィルタは有効 (m = 0~5)	R/W
b1	NFBEN	ノイズフィルタ許可Bビット	0 : TIOCBmのノイズフィルタは無効 1 : TIOCBmのノイズフィルタは有効 (m = 0~5)	R/W
b2	NFCEN	ノイズフィルタ許可Cビット(注1)	0 : TIOCCmのノイズフィルタは無効 1 : TIOCCmのノイズフィルタは有効 (m = 0, 3)	R/W
b3	NFDEN	ノイズフィルタ許可Dビット(注1)	0 : TIOCDmのノイズフィルタは無効 1 : TIOCDmのノイズフィルタは有効 (m = 0, 3)	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	b5 b4 0 0 : PCLK/1 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みはできません	R

注1. TPU1、TPU2、TPU4、TPU5では予約ビットです。読むと“0”が読めます。書き込みはできません。

TPUm.NFCR レジスタの設定は、TPUm.TCNT の動作が停止した状態で行ってください。

NFAEN ビット (ノイズフィルタ許可 A ビット)

TIOCAm 端子 (m = 0 ~ 5) のノイズフィルタ機能の有効 / 無効を設定します。

NFAEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFAEN ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ許可 B ビット)

TIOCBm 端子 (m = 0 ~ 5) のノイズフィルタ機能の有効 / 無効を設定します。

NFBEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFBEN ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ許可 C ビット)

TIOCCm 端子 (m = 0, 3) のノイズフィルタ機能の有効 / 無効を設定します。

NFCEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFCEN ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ許可 D ビット)

TIOCDm 端子 (m = 0, 3) のノイズフィルタ機能の有効 / 無効を設定します。

NFDEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFDEN ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロック選択ビット)

ノイズフィルタのサンプリングクロックを選択します。

NFCS[1:0] ビットを “11b” としてカウントソースを選択した場合、サンプリングクロックの対象となるのは、TPSC[2:0] ビットで設定される PCLK/1 以外の内部クロックおよび外部クロックです。カウントクロックとサンプリングクロックを両方とも PCLK/1 にしたい場合は、NFCS[1:0] ビットを “00b” としてください。

選択されたクロックの立ち上がりエッジでインプットキャプチャ入力信号をサンプリングします。サンプリングしたレベルが 3 回連続して一致した場合に、そのレベルをインプットキャプチャ信号として通過し、一致しない場合は前のレベルを保持します。

NFCS[1:0] ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。

25.3 動作説明

25.3.1 概要

各チャンネルには、TPUm.TCNT と TPUm.TGRy レジスタ (y=A ~ D) があります。

TCNT は、16 ビットのアップカウンタで、フリーランカウンタ、周期カウンタ、またはイベントカウンタとして動作させることができます。

TGRy レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TPU.TSTR.CSTj ビット (j=0 ~ 5) を“1”にすると、対応するチャンネルの TCNT はカウント動作を開始します。

(a) カウント動作の設定手順例

カウント動作設定手順例を図 25.2 に示します。

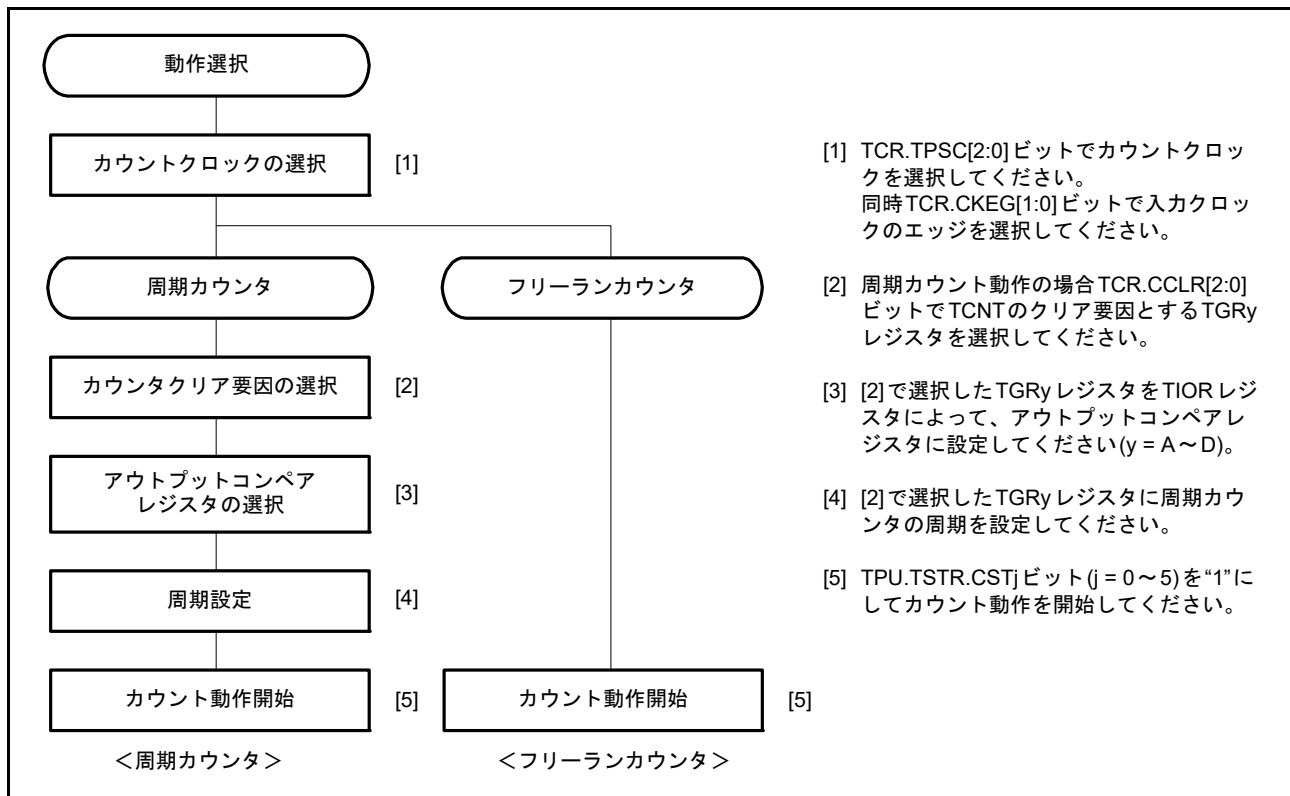


図 25.2 カウント動作設定手順例

(b) フリーランカウンタ動作と周期カウンタ動作

TPUm.TCNTは、リセット直後はすべてフリーランカウンタの設定となっており、TPU.TSTRレジスタの対応するビットを“1”にするとフリーランカウンタとしてアップカウントを開始します。TCNTがオーバーフロー(“FFFFh”→“0000h”)すると、TPUは割り込みを要求します。TCNTはオーバーフロー後、“0000h”からアップカウントを継続します。

フリーランカウンタの動作を図25.3に示します。

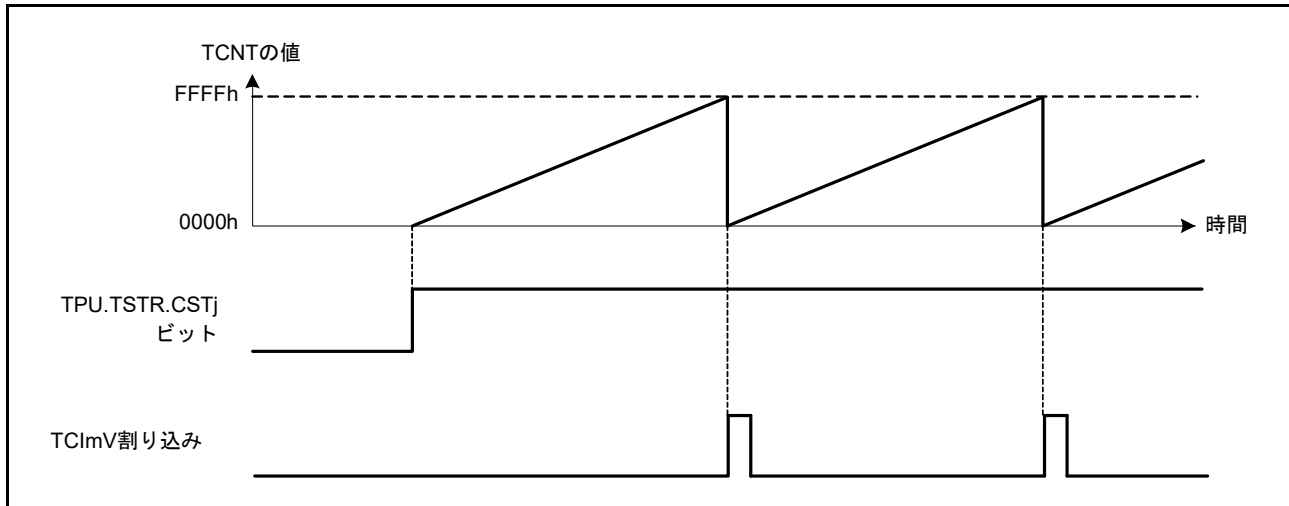


図 25.3 フリーランカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウンタ動作を行います。周期設定用のTPUm.TGRyレジスタをアウトプットコンペアレジスタに設定し、TPUm.TCR.CCLR[2:0]ビットでコンペアマッチによるカウンタクリアを選択します。設定後、TPU.TSTRレジスタの対応するビットを“1”にすると、周期カウンタとしてアップカウントを開始します。カウント値がTGRyレジスタの値と一致するとTCNTは“0000h”になります。

このとき、TPUは割り込みを要求します。TCNTはコンペアマッチ後、“0000h”からアップカウントを継続します。

周期カウンタの動作を図25.4に示します。

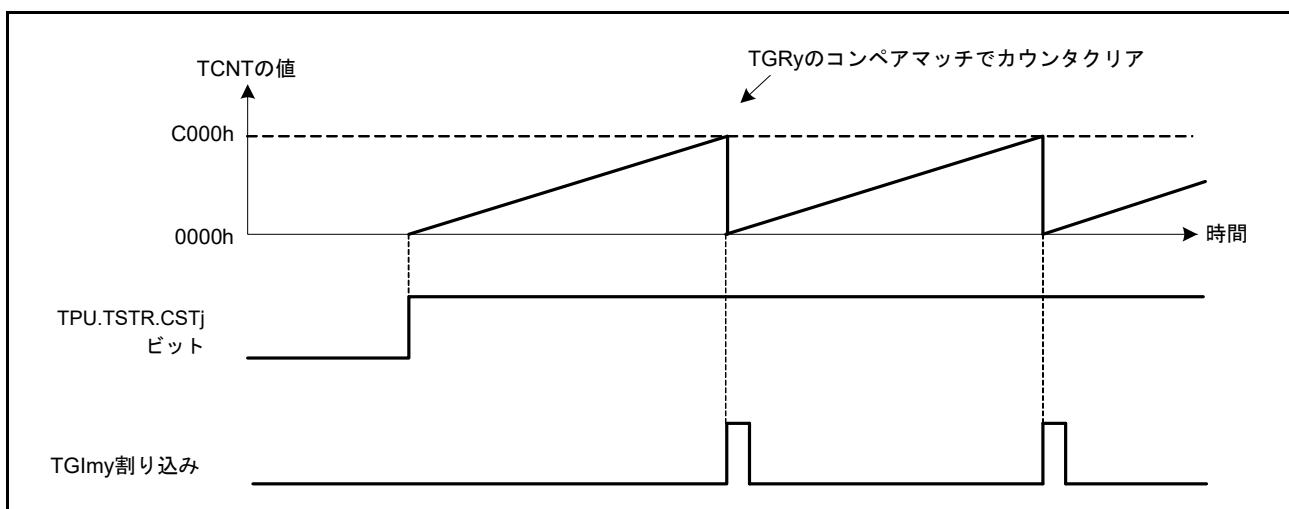


図 25.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPUは、コンペアマッチによって対応する出力端子からLow出力/High出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 25.5 に示します。

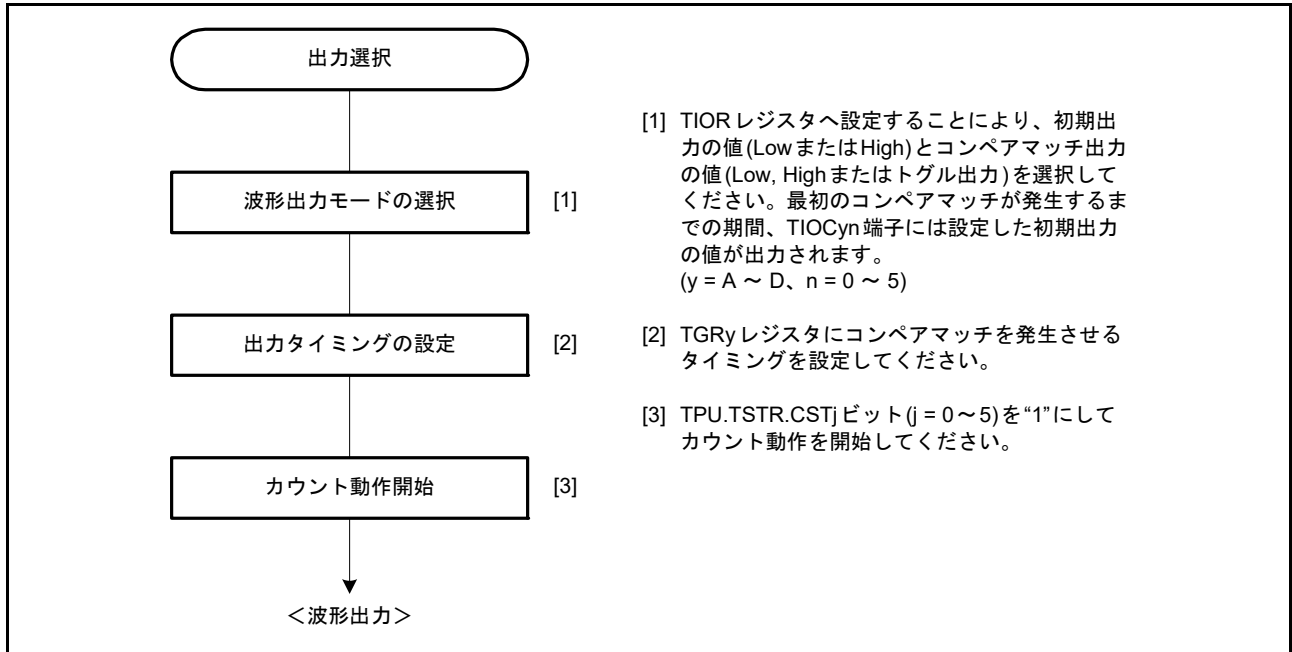


図 25.5 コンペアマッチによる波形出力動作の設定手順例

(b) 波形出力動作例

Low出力/High出力の動作例を図 25.6 に示します。

TPUm.TCNTをフリーランニングカウント動作とし、コンペアマッチAでHigh出力、コンペアマッチBでLow出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

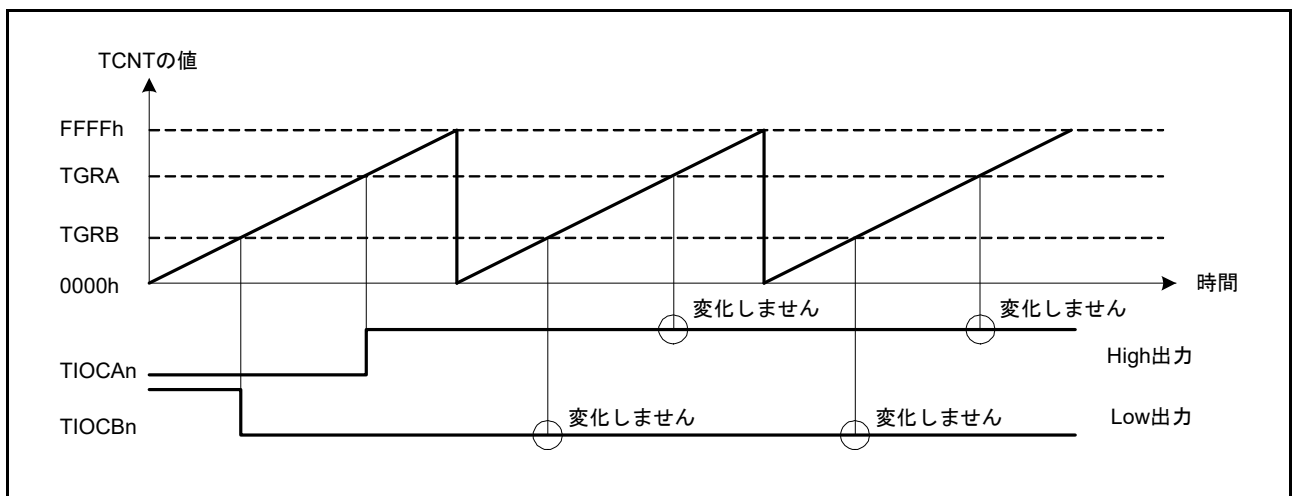


図 25.6 Low出力/High出力の動作例 (n = 0 ~ 5)

トグル出力の動作例 ($n=0\sim 5$) を図 25.7 に示します。

TPUm.TCNT を周期カウント動作 (コンペアマッチ B によってカウンタクリア) に、コンペアマッチ A およびコンペアマッチ B ともトグル出力となるように設定した場合の例です。

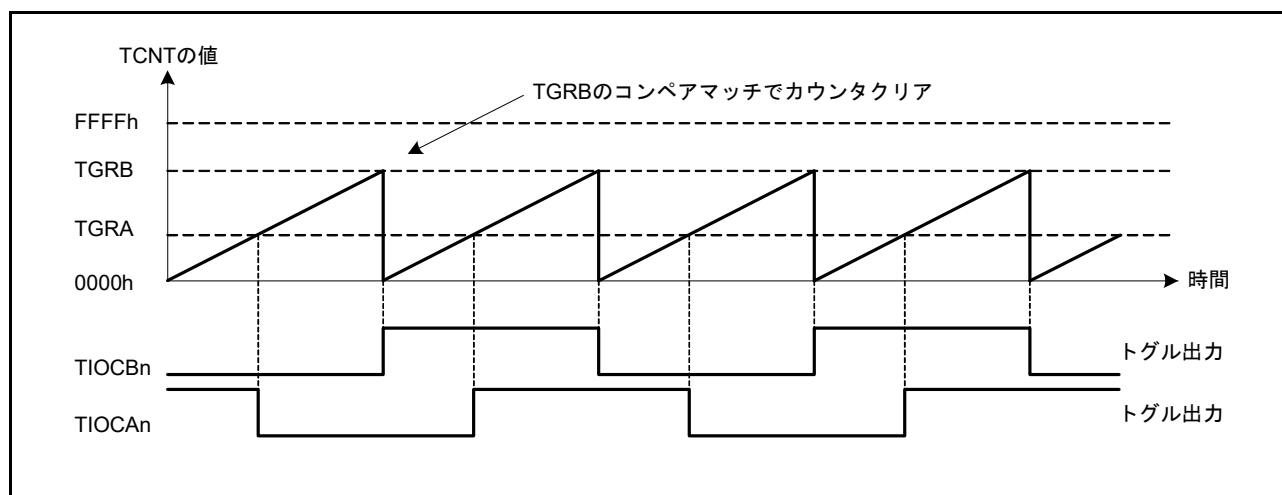


図 25.7 トグル出力の動作例 ($n=0\sim 5$)

(3) インพุットキャプチャ機能

TIOCyn 端子 ($y=A\sim D, n=0\sim 5$) の入力エッジを検出して TPUm.TCNT の値を TPUm.TGRy レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、TPU0、TPU1、TPU3、TPU4 のカウントクロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。また、インพุットキャプチャ入力にノイズフィルタをかけることができます。

- 注． カウンタが停止していても、インพุットキャプチャは発生し、フラグおよび割り込み信号を生成します。
- 注． TPU0、TPU3 で別のチャンネルのカウントクロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウントクロックに PCLK/1 を選択しないでください。PCLK/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 25.8 に示します。

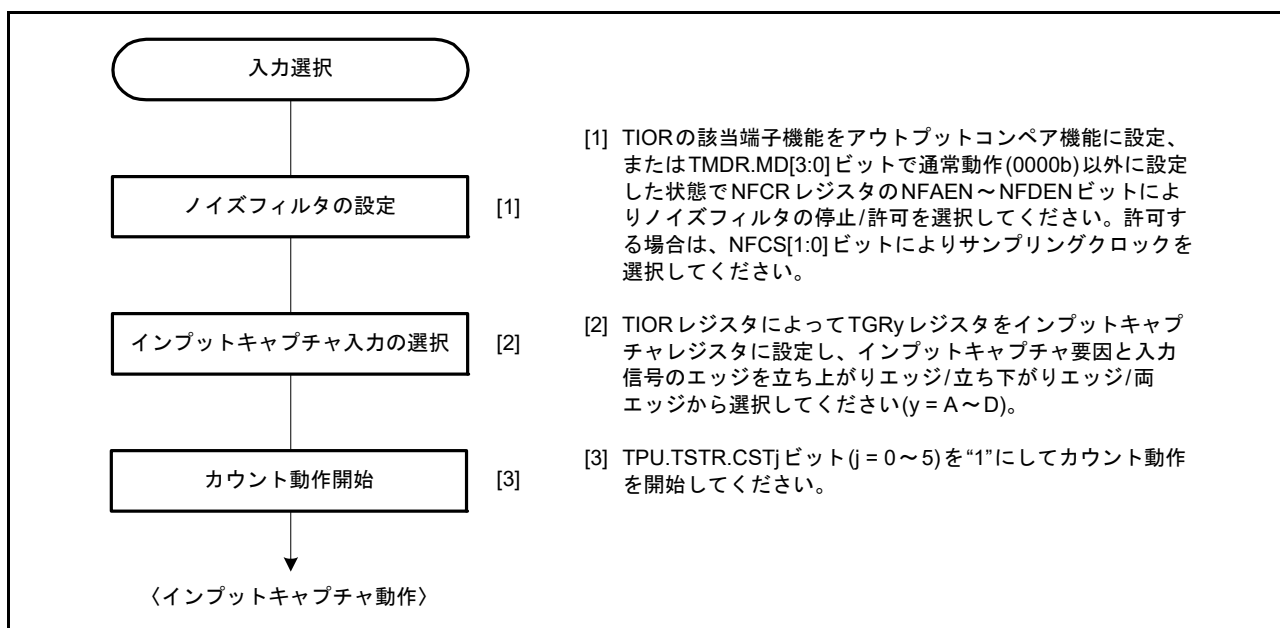


図 25.8 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

ノイズフィルタを停止した場合のインพุットキャプチャ動作例を図 25.9 に示します。

TIOCBn 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下りの両エッジ、また TIOCBn 端子のインพุットキャプチャ入力エッジは立ち下りエッジを選択し、TPUm.TCNT は TPUm.TGRB レジスタのインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

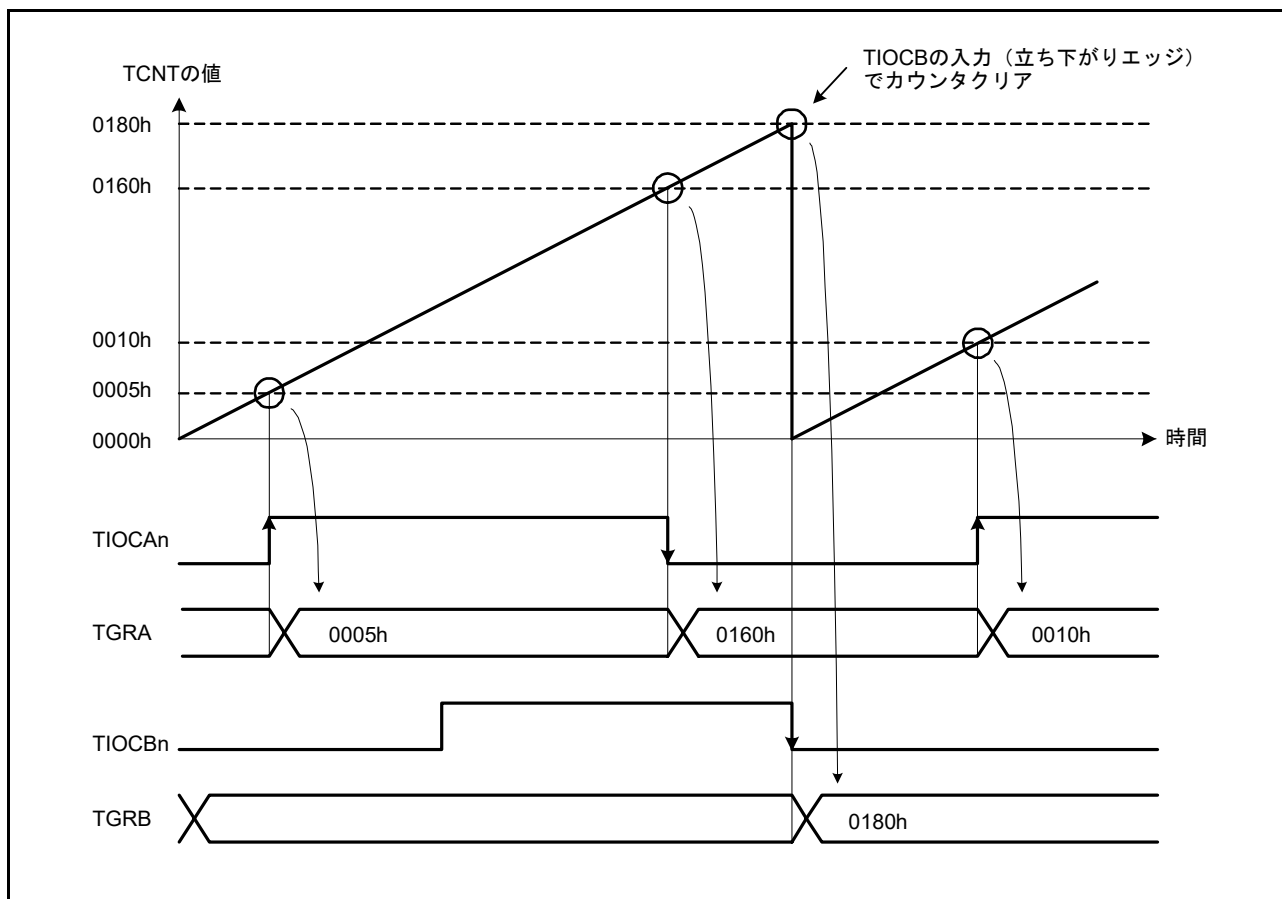


図 25.9 インพุットキャプチャ動作例 (ノイズフィルタ停止) (n = 0 ~ 5)

ノイズフィルタを許可した場合は、インพุットキャプチャ入力に対するノイズフィルタリングによって、「最短サンプリングサイクル × 2 + PCLK」だけ遅延したノイズフィルタ後の信号のエッジに対してインพุットキャプチャ動作が行われます。

25.3.2 同期動作

同期動作を使って、複数の TPUm.TCNT の値を同時に書き換えることができます(同期セット)。また、TPUm.TCR レジスタの設定によって複数の TCNT を同時にクリアすることができます(同期クリア)。

同期動作によって、1つのタイムベースに対して TPUm.TGRy レジスタを増加させることができます。

TPU0 ~ TPU5 は、すべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 25.10 に示します。

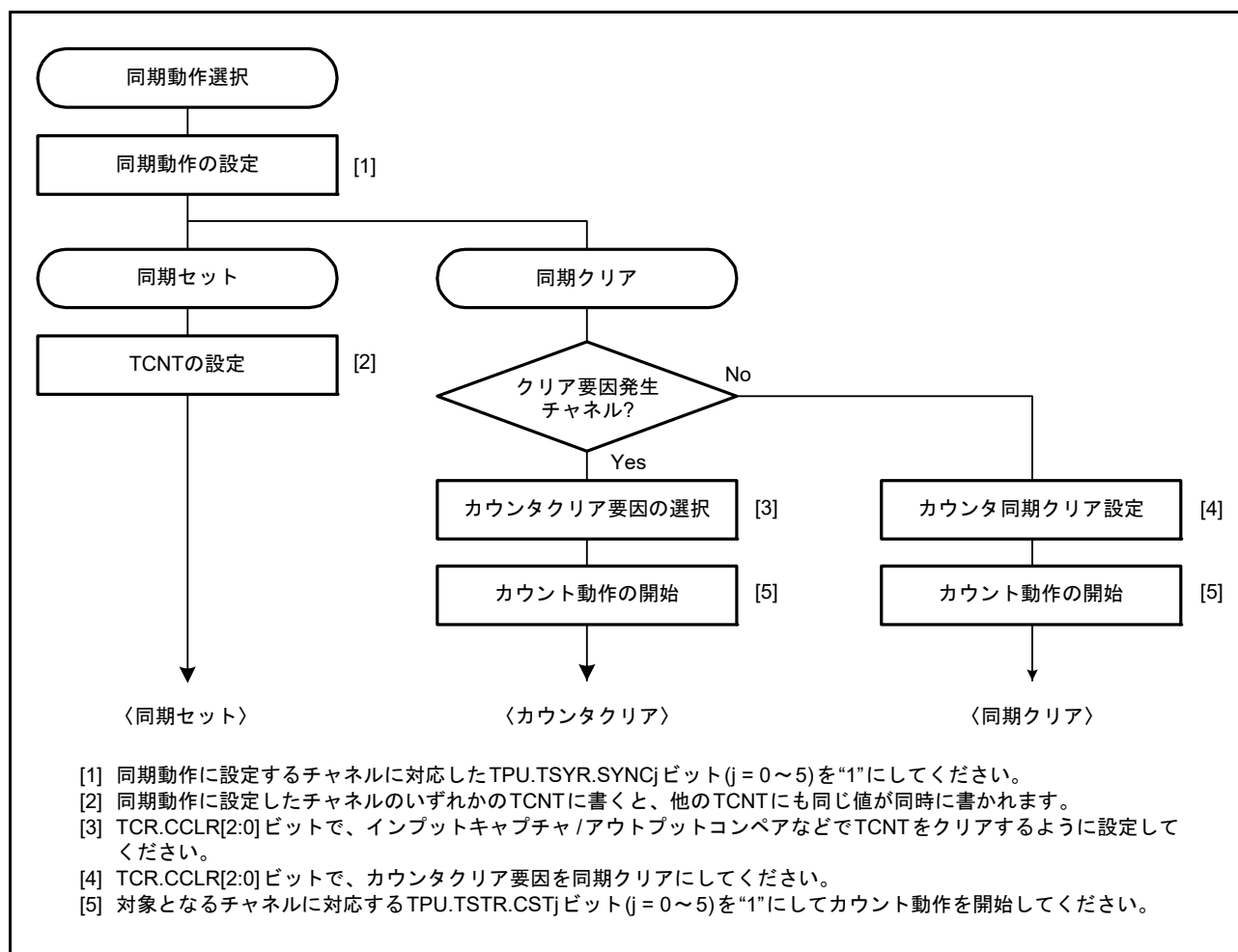


図 25.10 同期動作の設定手順例

(2) 同期動作の例

同期動作の動作例を図 25.11 に示します。

TPU0 ~ TPU2 を同期動作かつ PWM モード 1 に設定し、TPU0 のカウンタクリア要因を TPU0.TGRB レジスタのコンペアマッチ、また TPU1、TPU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOCA0、TIOCA1、TIOCA2 端子から出力します。このとき、TPU0 ~ TPU2 の TPU_m.TCNT は同期セット、TPU0.TGRB レジスタのコンペアマッチによる同期クリアを行い、TPU0.TGRB レジスタに設定したデータが PWM 周期となります。

PWM モードについては、「25.3.5 PWM モード」を参照してください。

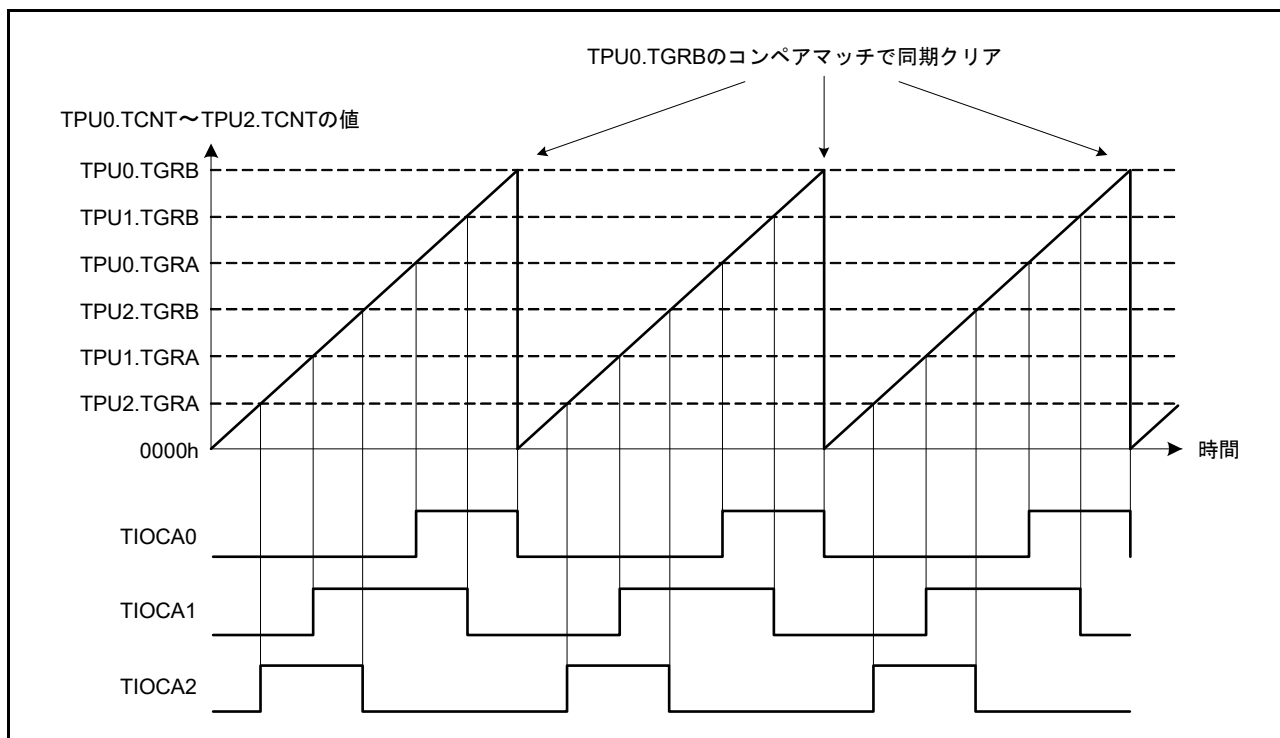


図 25.11 同期動作の動作例

25.3.3 バッファ動作

バッファ動作は、TPU0、TPU3 が持つ機能です。TPUm.TGRC レジスタと TPUm.TGRD レジスタをバッファレジスタとして使用することができます。

バッファ動作は、TPUm.TGRy レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合で動作内容が異なります。

表 25.21 にバッファ動作時のレジスタの組み合わせを示します。

表 25.21 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
TPU0	TPU0.TGRA	TPU0.TGRC
	TPU0.TGRB	TPU0.TGRD
TPU3	TPU3.TGRA	TPU3.TGRC
	TPU3.TGRB	TPU3.TGRD

- TPUm.TGRy レジスタがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 25.12 に示します。

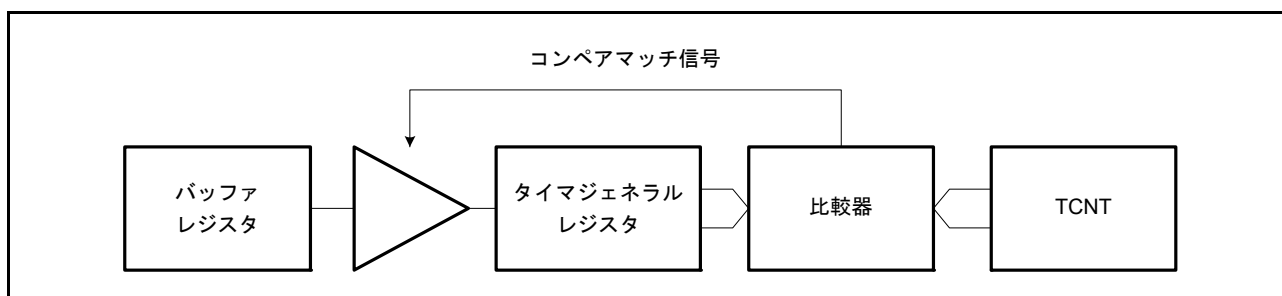


図 25.12 コンペアマッチバッファ動作

- TPUm.TGRy レジスタがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TPUm.TCNT の値を TGRy レジスタに転送すると同時に、それまで格納されていた TGRy レジスタの値をバッファレジスタに転送します。

この動作を図 25.13 に示します。

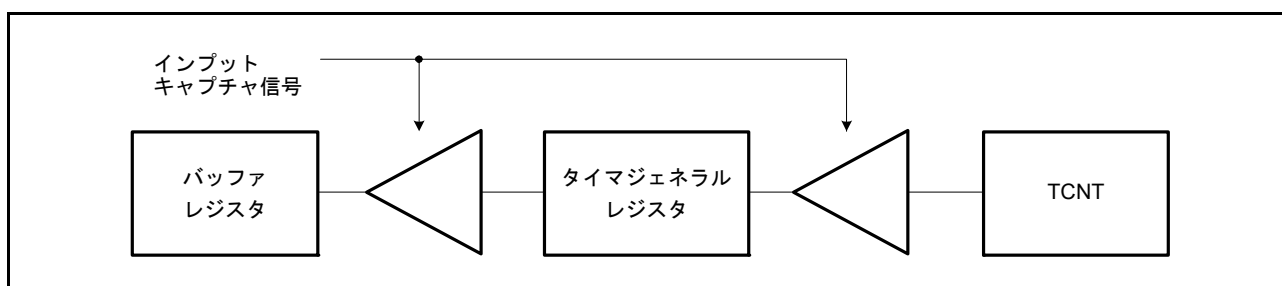


図 25.13 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 25.14 に示します。

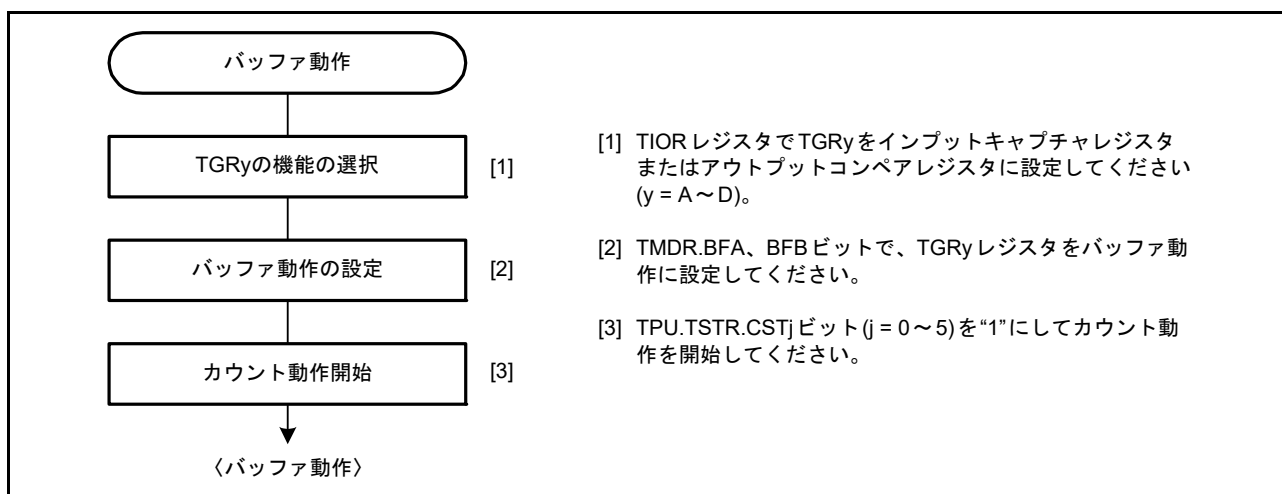


図 25.14 バッファ動作の設定手順例

(2) バッファ動作例

(a) TPUm.TGRy レジスタがアウトプットコンペアレジスタの場合

TPU0 を PWM モード 1 に設定し、TPU0.TGRA レジスタと TPU0.TGRC レジスタをバッファ動作に設定した場合の動作例を図 25.15 に示します。TPU0.TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、TPU0.TGRC レジスタの値が TPU0.TGRA レジスタに転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「25.3.5 PWM モード」を参照してください。

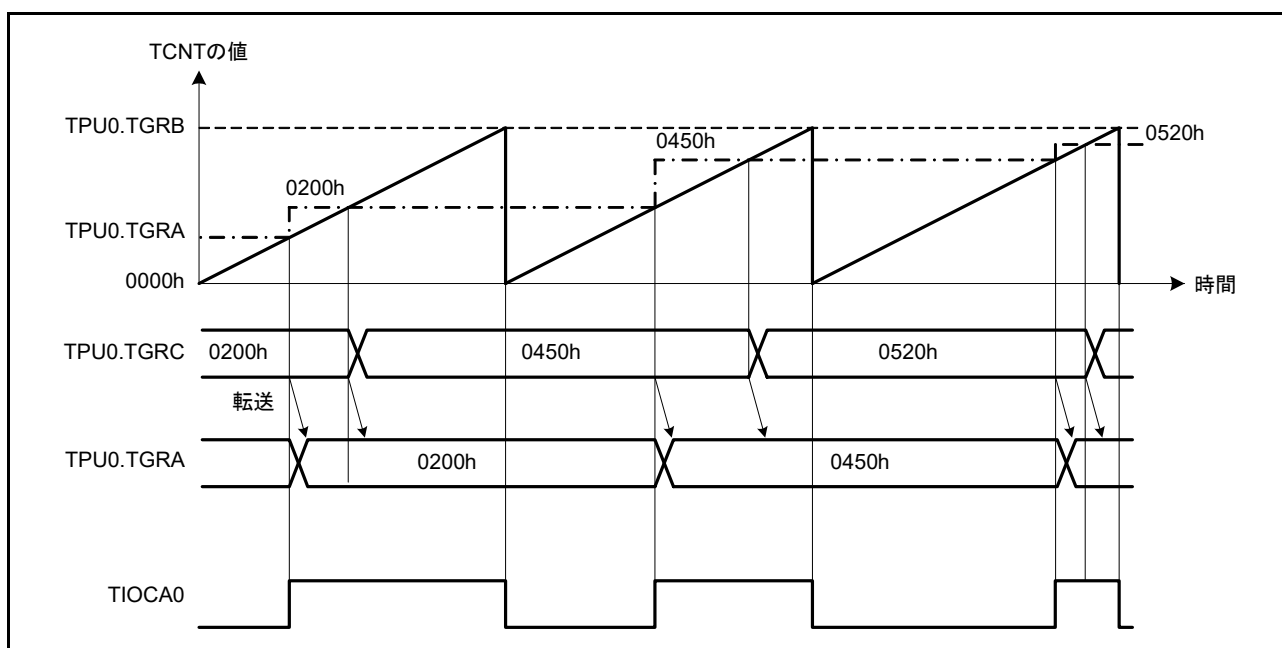


図 25.15 バッファ動作例 (1)

(b) TPUm.TGRy レジスタがインプットキャプチャレジスタの場合

TPUm.TGRA レジスタをインプットキャプチャレジスタに設定し、TGRA レジスタと TPUm.TGRC レジスタをバッファ動作に設定したときの動作例を図 25.16 に示します。

TPUm.TCNT は TGRA レジスタのインプットキャプチャでカウンタクリア、TIOCA_n 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA レジスタに格納されると同時に、それまで TGRA レジスタに格納されていた値が TGRC レジスタに転送されます。

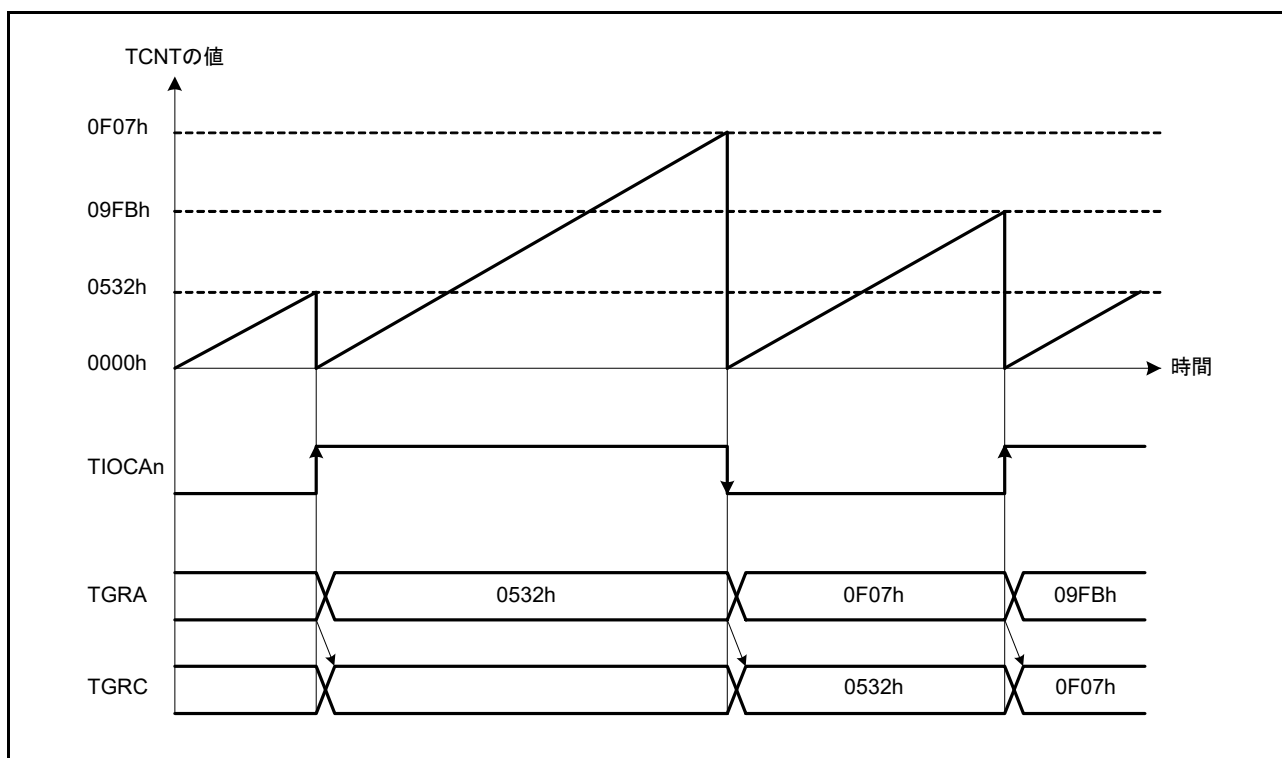


図 25.16 バッファ動作例 (2) (n = 0 ~ 5)

25.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

TPU1 (TPU4) のカウントクロックを TPU1.TCR.TPSC[2:0] (TPU4.TCR.TPSC[2:0]) ビットで、TPU2.TCNT (TPU5.TCNT) のオーバフロー/アンダフローでカウントに設定することによって動作します。

アンダフローが発生するのは、下位16ビットの TPU m .TCNT が位相計数モードのときのみです。

表 25.22 にカスケード接続組み合わせを示します。

注. TPU1、TPU4 を位相計数モードに設定した場合は、カウントクロックの設定は無効となり、独立して位相計数モードで動作します。

表 25.22 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
TPU1とTPU2	TPU1.TCNT	TPU2.TCNT
TPU4とTPU5	TPU4.TCNT	TPU5.TCNT

(1) カスケード接続動作の設定手順例

カスケード接続動作設定手順例を図 25.17 に示します。

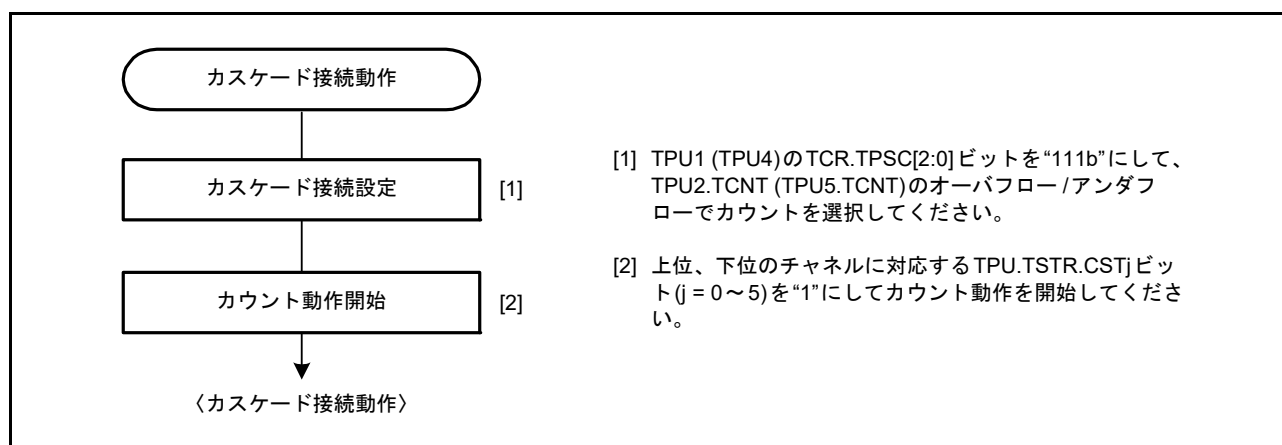


図 25.17 カスケード接続動作設定手順例

(2) カスケード接続動作例

TPU1.TCNTはTPU2.TCNTのオーバフロー/アンダフローでカウント、TPU1.TGRAレジスタとTPU2.TGRAレジスタをインプットキャプチャレジスタに設定し、TIOCA1端子とTIOCA2端子の立ち上がりエッジを選択したときの動作を図25.18に示します。

TIOCA1端子とTIOCA2端子に立ち上がりエッジを同時に入力することにより、TPU1.TGRAレジスタに上位16ビット、TPU2.TGRAレジスタに下位16ビットの32ビットデータが転送されます。なお、カスケード接続時の同時インプットキャプチャについては、「25.9.11 カスケード接続時のTCNT同時インプットキャプチャ」に示す注意事項があります。

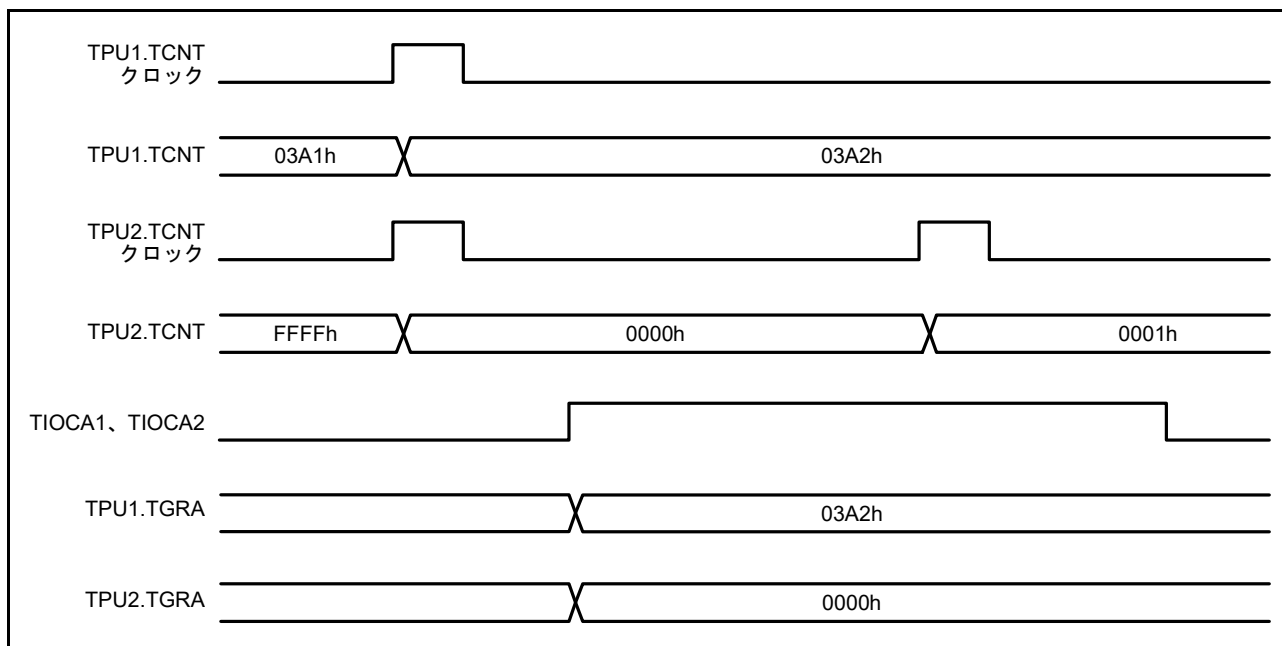


図 25.18 カスケード接続動作例 (1)

TPU1.TCNTはTPU2.TCNTのオーバフロー/アンダフローでカウント、TPU2を位相計数モード1に設定したときの動作を図25.19に示します。

TPU1.TCNTは、TPU2.TCNTのオーバフローでアップカウント、TPU2.TCNTのアンダフローでダウンカウントされます。

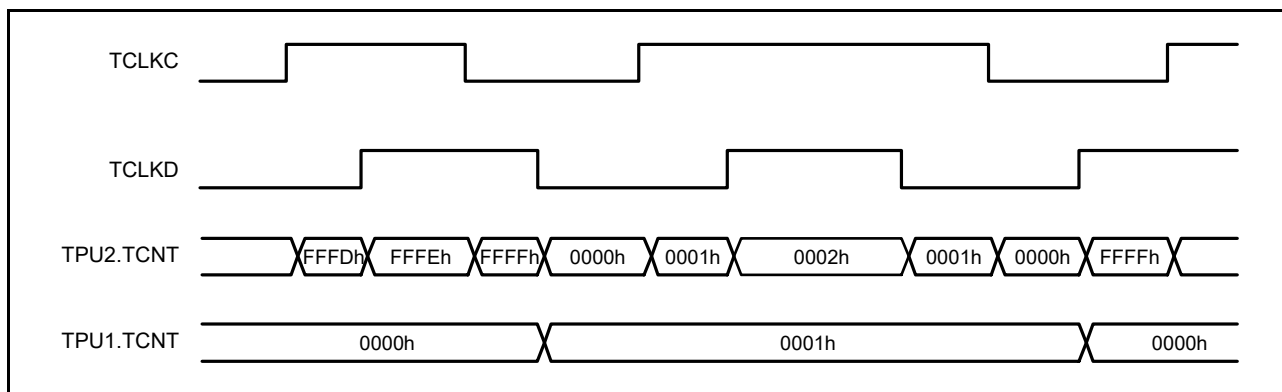


図 25.19 カスケード接続動作例 (2)

25.3.5 PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TPUm.TGRy レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGRy レジスタの設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGRy レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル個々に PWM モードに設定できます。同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

1. PWM モード 1

TPUm.TGRA レジスタと TPUm.TGRB レジスタ、TPUm.TGRC レジスタと TPUm.TGRD レジスタをペアで使用して、TIOCA_n、TIOCC_n 端子から PWM 波形を出力します。TIOCA_n、TIOCC_n 端子からコンペアマッチ A、C によって TPUm.TIOR(H).IOA[3:0] ビット、TPUm.TIORL.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TPUm.TIOR(H).IOB[3:0] ビット、TPUm.TIORL.IOD[3:0] ビットで指定した出力を行います。初期出力値は TGRA レジスタ、TGRC レジスタに設定した値になります。ペアで使用する TGRy レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

2. PWM モード 2

TPUm.TGRy レジスタの 1 本を周期レジスタ、他の TGRy レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TPUm.TIORH、TPUm.TIORL、TPUm.TIOR レジスタで指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIORH、TIORL、TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 波形の出力が可能です。

PWM の出力端子とレジスタの対応を表 25.23 に示します。

表 25.23 各PWM出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
TPU0	TPU0.TGRA	TIOCA0	TIOCA0
	TPU0.TGRB		TIOCB0
	TPU0.TGRC	TIOCC0	TIOCC0
	TPU0.TGRD		TIOCD0
TPU1	TPU1.TGRA	TIOCA1	TIOCA1
	TPU1.TGRB		TIOCB1
TPU2	TPU2.TGRA	TIOCA2	TIOCA2
	TPU2.TGRB		TIOCB2
TPU3	TPU3.TGRA	TIOCA3	TIOCA3
	TPU3.TGRB		TIOCB3
	TPU3.TGRC	TIOCC3	TIOCC3
	TPU3.TGRD		TIOCD3
TPU4	TPU4.TGRA	TIOCA4	TIOCA4
	TPU4.TGRB		TIOCB4
TPU5	TPU5.TGRA	TIOCA5	TIOCA5
	TPU5.TGRB		TIOCB5

注. PWMモード2のとき、周期を設定したTPUm.TGRyレジスタのPWM波形は出力できません。

(1) PWMモードの設定手順例

PWMモードの設定手順例を図25.20に示します。

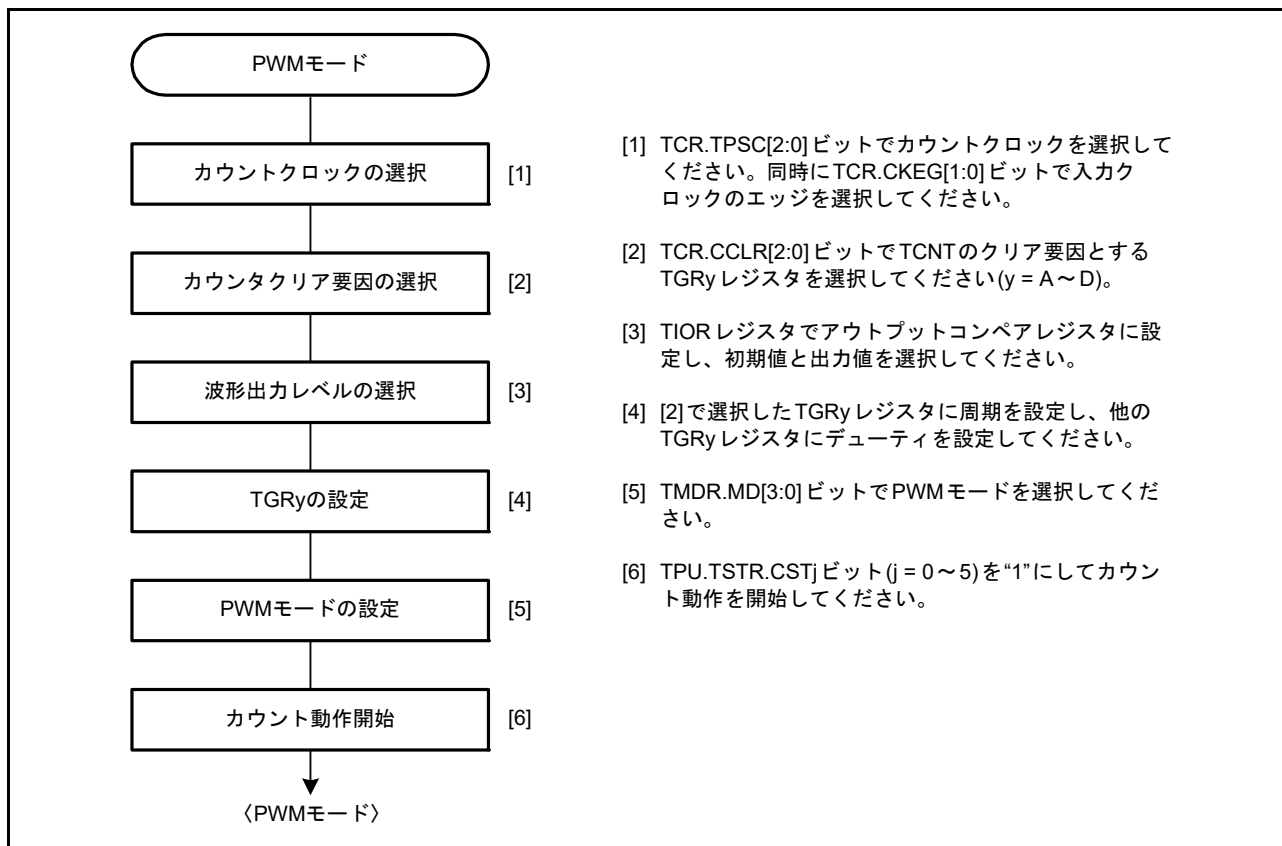


図 25.20 PWMモードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図 25.21 に示します。

この図は、TPUm.TCNTのクリア要因をTPUm.TGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値をLow、TPUm.TGRBレジスタの出力値をHighに設定した場合の例です。

この場合、TGRAレジスタで周期を設定し、TGRBレジスタでデューティを設定しています。

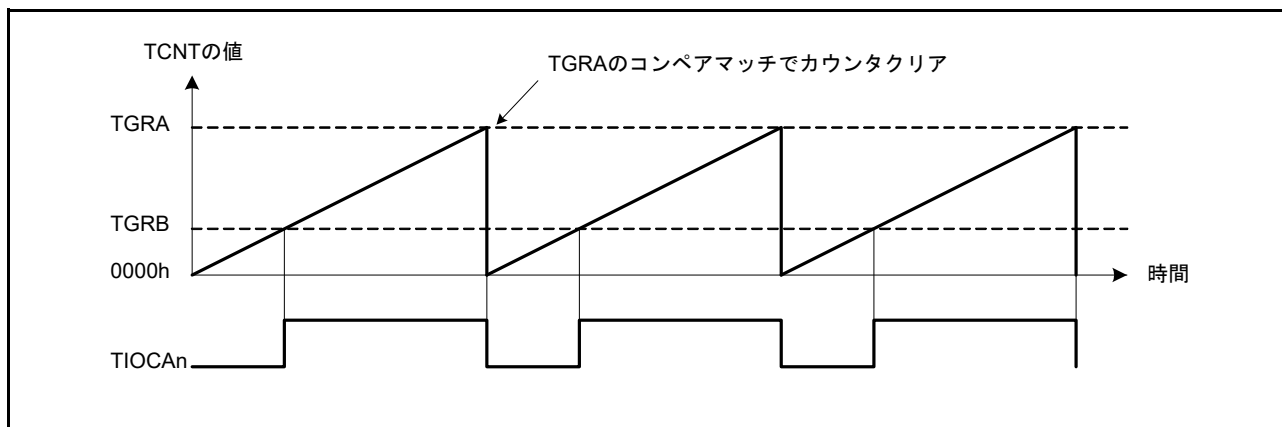


図 25.21 PWM モードの動作例 (1) (n = 0 ~ 5)

PWM モード2の動作例を図 25.22 に示します。

この図は、TPU0とTPU1を同期動作させ、TPUm.TCNTのクリア要因をTPU1.TGRBのコンペアマッチとし、他のTPUm.TGRyレジスタ (TPU0.TGRA ~ TPU0.TGRD, TPU1.TGRA)の初期出力値をLow、出力値をHighにして5相のPWM波形を出力させた場合の例です。

この場合、TPU1.TGRBレジスタに設定した値が周期となり、他のTGRyレジスタに設定した値がデューティになります。

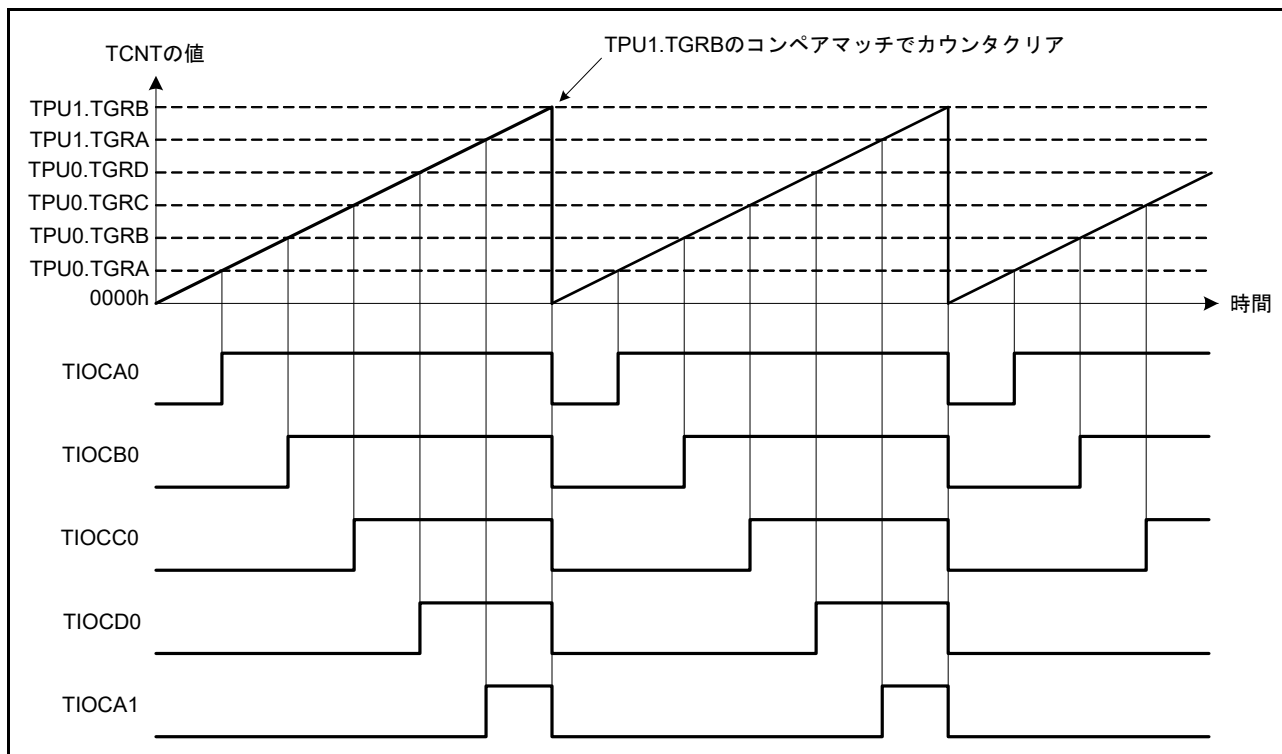


図 25.22 PWM モードの動作例 (2)

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を図 25.23 に示します。

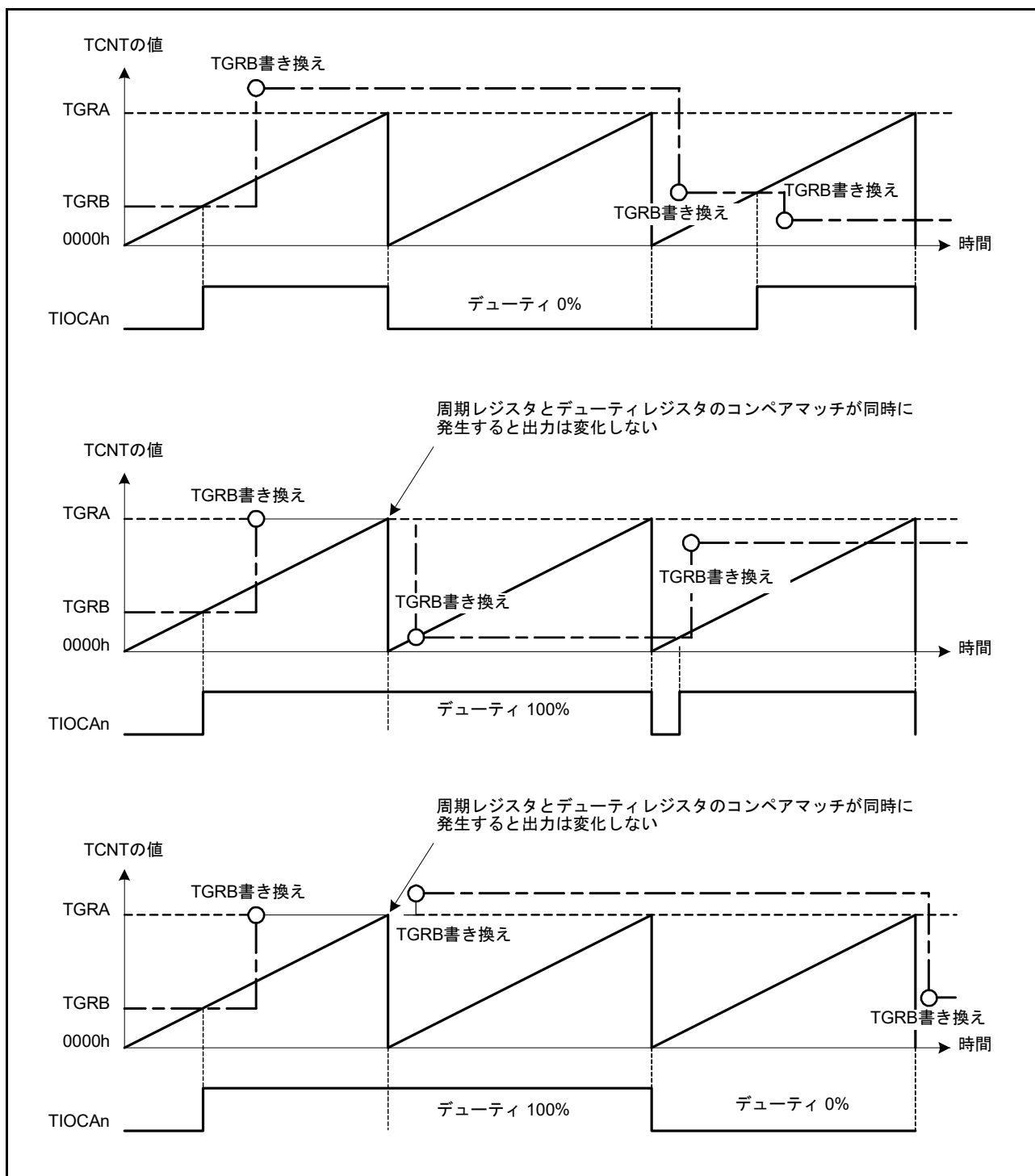


図 25.23 PWM モード動作例 (3) (n = 0 ~ 5)

25.3.6 位相計数モード

位相計数モードでは、チャンネル1, 2, 4, 5の設定によって、2本の外部クロック入力の位相差を検出し、TPUm.TCNTをアップ/ダウンカウントします。

位相計数モードに設定すると、TPUm.TCR.TPSC[2:0]、CKEG[1:0]ビットの設定にかかわらずカウントクロックは外部クロックを選択し、TCNTはアップ/ダウンカウンタとして動作します。ただし、TPUm.TCR.CCLR[2:0]ビットの下位2ビット、TPUm.TIORH、TPUm.TIORL、TPUm.TIORレジスタ、TPUm.TIERレジスタ、TPUm.TGRyレジスタの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

TCNTがアップカウント時、オーバフローが発生するとするとTCIV割り込み要求が発生します。また、ダウンカウント時にアンダフローが発生すると、TCIU割り込み要求が発生します。TPUm.TSR.TCFDフラグはカウント方向フラグです。TCFDフラグを読むことにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

位相計数モードでは、外部クロック端子TCLKA、TCLKB、TCLKC、TCLKDを2相エンコーダパルスの入力として使用できます。

表25.24に外部クロック端子とチャンネルの対応を示します。

表25.24 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
TPU1またはTPU5を位相計数モードとするとき	TCLKA	TCLKB
TPU2またはTPU4を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図25.24に示します。

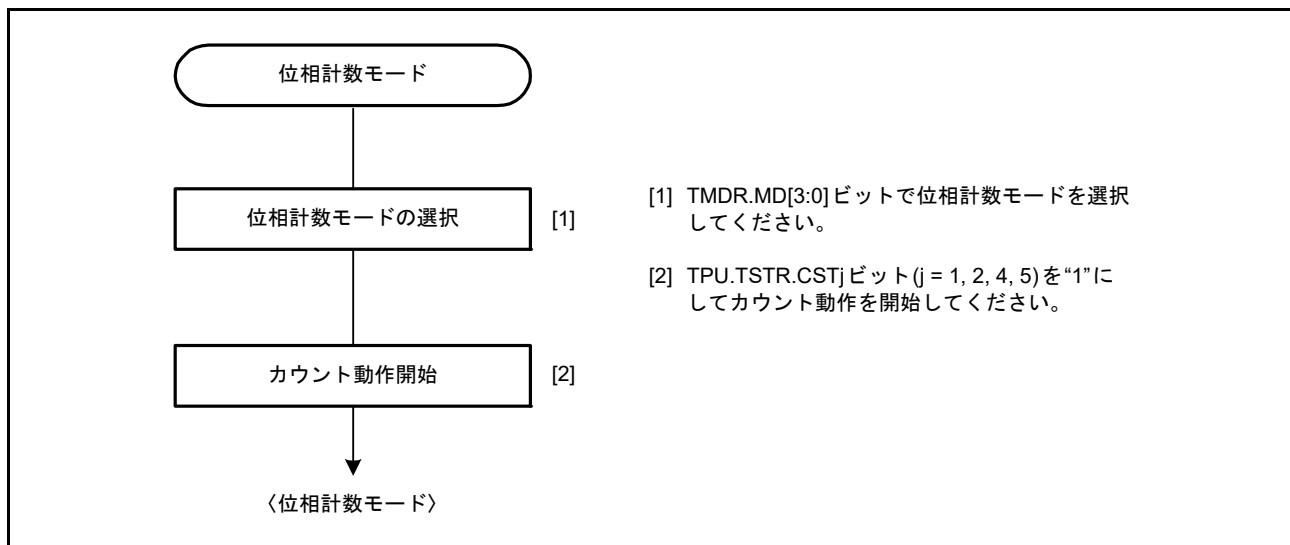


図25.24 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTPUm.TCNTがアップ/ダウンカウントします。なお、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図25.25に、TPUm.TCNTのアップ/ダウンカウント条件を表25.25に示します。

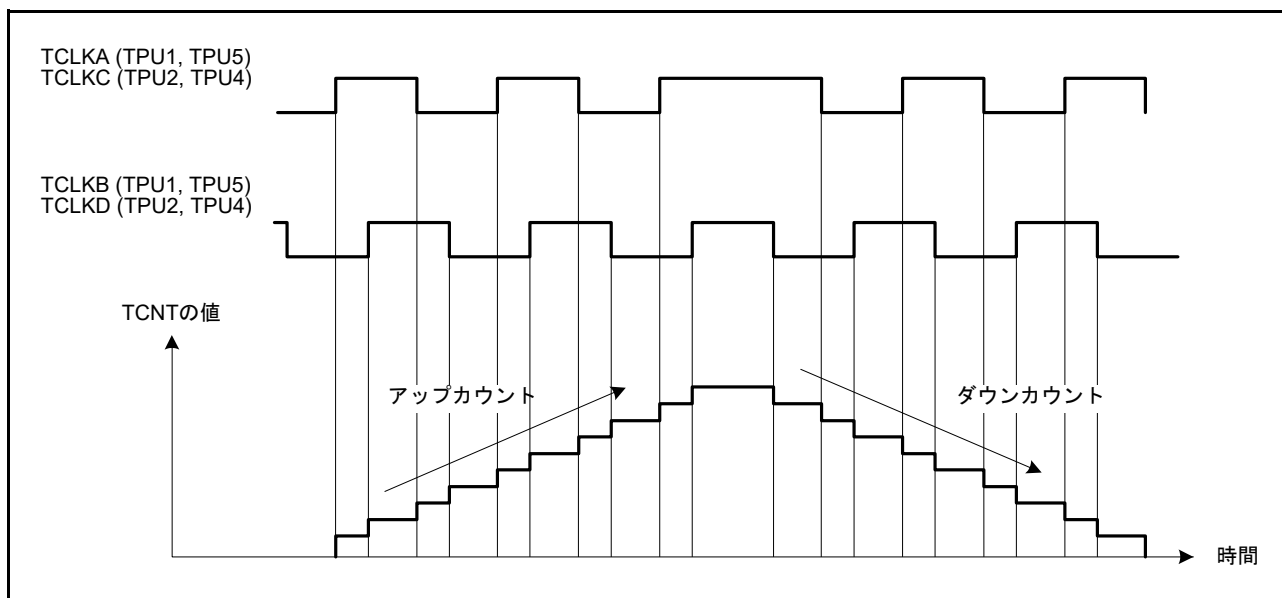


図 25.25 位相計数モード1の動作例

表25.25 位相計数モード1のアップ/ダウンカウント条件

TCLKA (TPU1, TPU5) TCLKC (TPU2, TPU4)	TCLKB (TPU1, TPU5) TCLKD (TPU2, TPU4)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図25.26に、TPUm.TCNTのアップ/ダウンカウント条件を表25.26に示します。

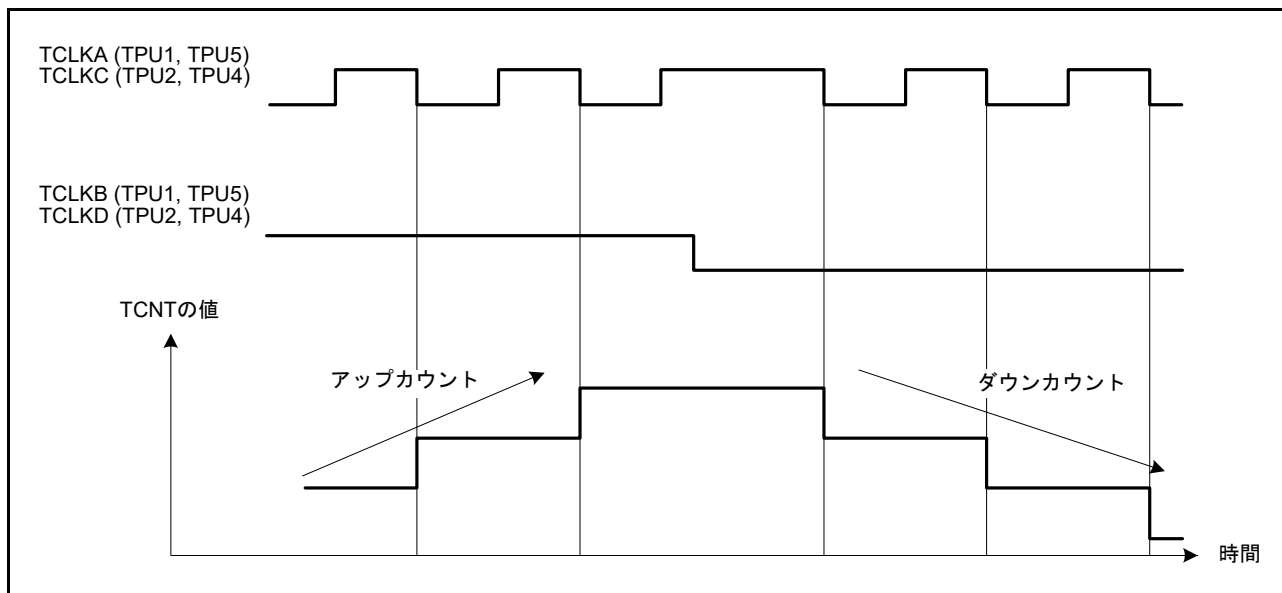


図 25.26 位相計数モード2の動作例

表25.26 位相計数モード2のアップ/ダウンカウント条件

TCLKA (TPU1, TPU5) TCLKC (TPU2, TPU4)	TCLKB (TPU1, TPU5) TCLKD (TPU2, TPU4)	動作内容
High		Don't care
Low		Don't care
	Low	Don't care
	High	アップカウント
High		Don't care
Low		Don't care
	High	Don't care
	Low	ダウンカウント

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図25.27に、TPUm.TCNTのアップ/ダウンカウント条件を表25.27に示します。

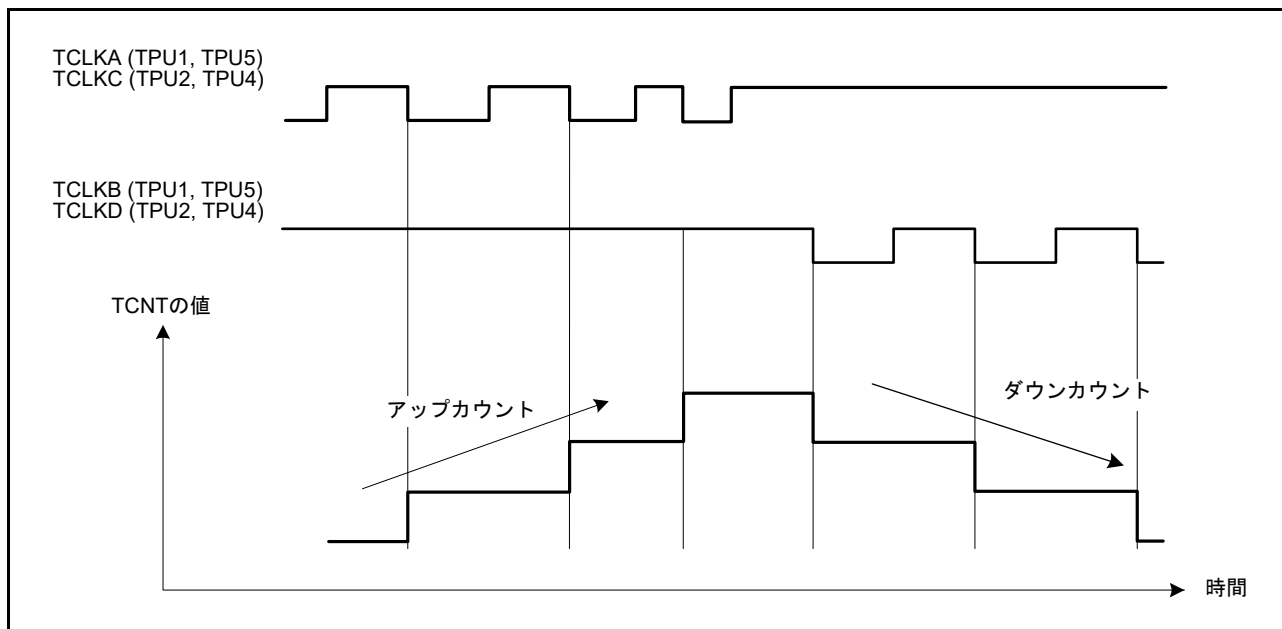


図 25.27 位相計数モード3の動作例

表 25.27 位相計数モード3のアップ/ダウンカウント条件

TCLKA (TPU1, TPU5) TCLKC (TPU2, TPU4)	TCLKB (TPU1, TPU5) TCLKD (TPU2, TPU4)	動作内容
High		Don't care
Low		Don't care
	Low	Don't care
	High	アップカウント
High		ダウンカウント
Low		Don't care
	High	Don't care
	Low	Don't care

: 立ち上がりエッジ

: 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図25.28に、TPUm.TCNTのアップ/ダウンカウント条件を表25.28に示します。

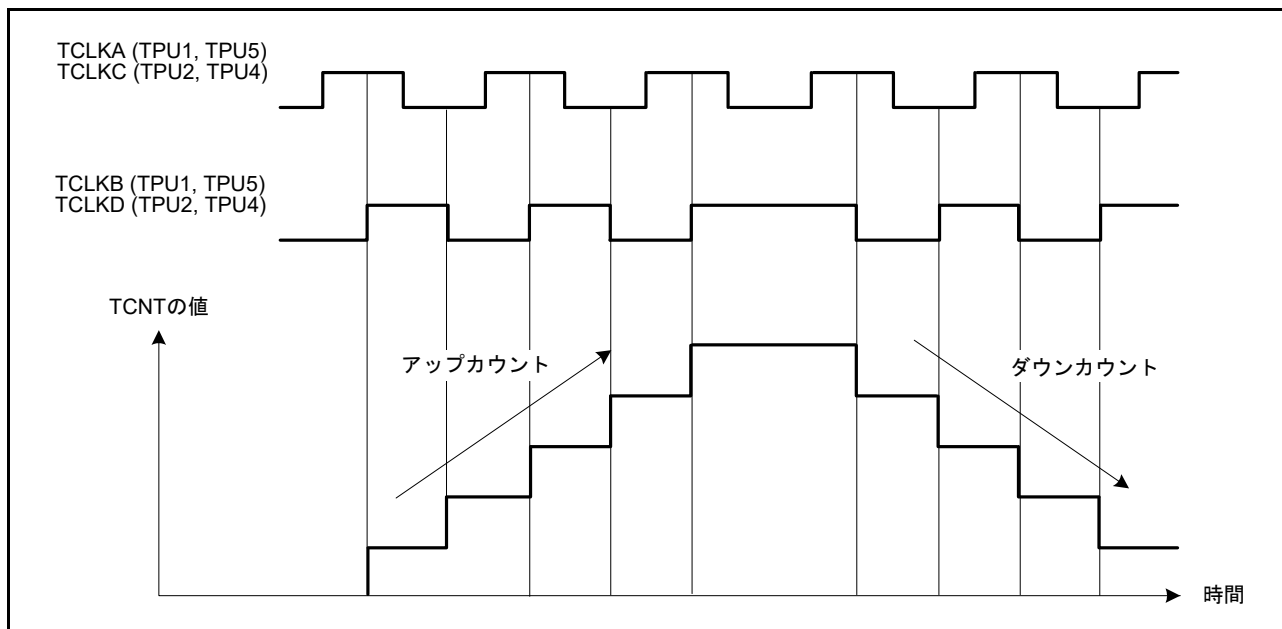


図 25.28 位相計数モード4の動作例

表 25.28 位相計数モード4のアップ/ダウンカウント条件

TCLKA (TPU1, TPU5) TCLKC (TPU2, TPU4)	TCLKB (TPU1, TPU5) TCLKD (TPU2, TPU4)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	Don't care
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	Don't care
↓	Low	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

25.3.6.1 位相計数モード応用例

TPU1を位相計数モードに設定し、TPU0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図25.29に示します。

TPU1は位相計数モード1に設定し、TCLKA端子とTCLKB端子にエンコーダパルスのA相、B相を入力します。

TPU0はTPU0.TCNTをTPU0.TGRCレジスタのコンペアマッチでカウンタクリアとして動作させ、TPU0.TGRAレジスタとTPU0.TGRCレジスタはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TPU0.TGRBレジスタは入力キャプチャ機能で使用し、TPU0.TGRBレジスタとTPU0.TGRDレジスタをバッファ動作させます。TPU0.TGRBレジスタの入力キャプチャ要因は、TPU1のカウンタクロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

TPU1のTPU1.TGRAレジスタとTPU1.TGRBレジスタは、入力キャプチャ機能に設定し、入力キャプチャ要因はTPU0のTPU0.TGRAレジスタとTPU0.TGRCレジスタのコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

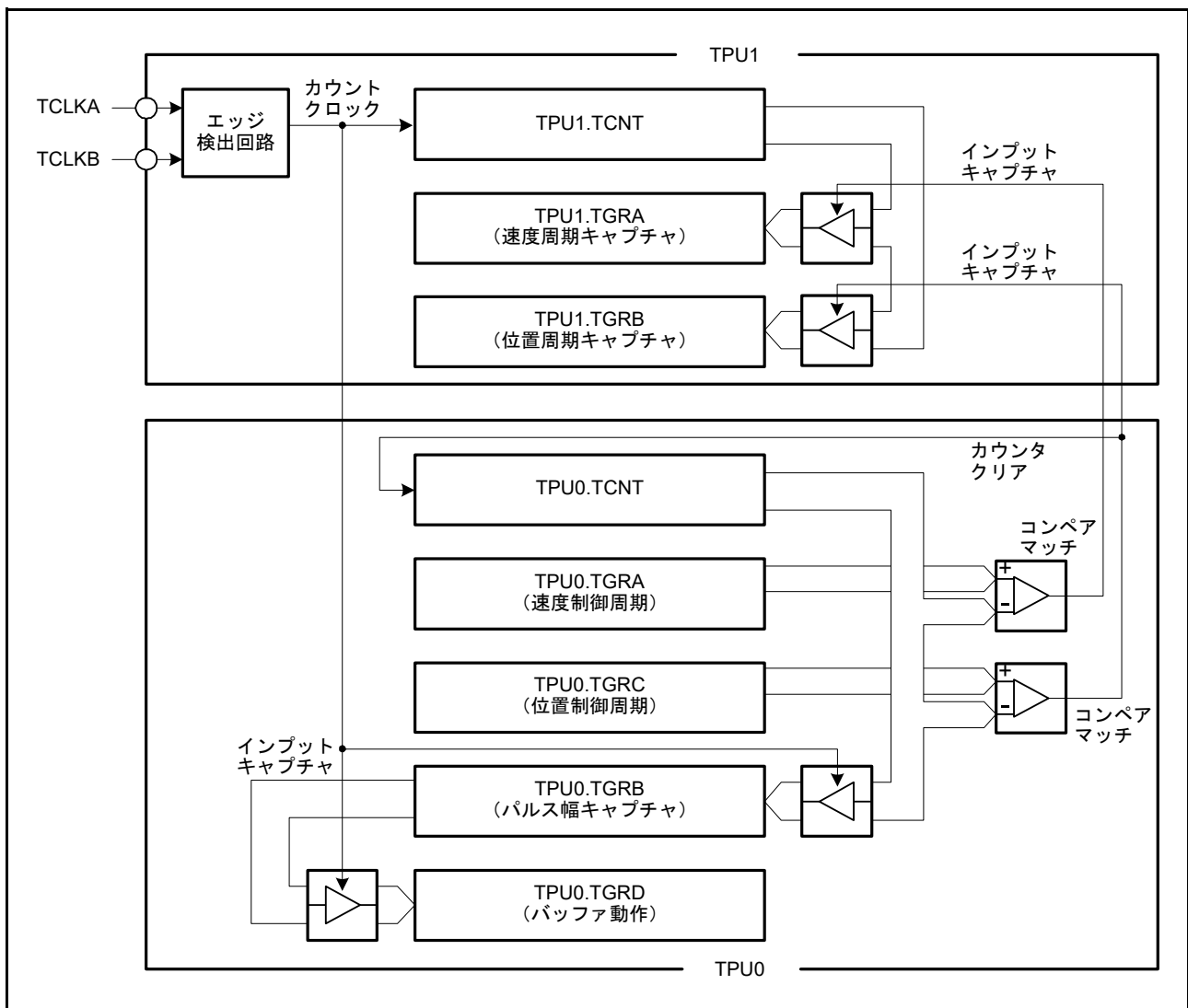


図 25.29 位相計数モードの応用例

25.3.7 ノイズフィルタ機能

TPUのインプットキャプチャ入力端子には、ノイズフィルタ機能があります。ノイズフィルタ機能は、設定したサンプリング周期に応じて3回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度3回のサンプリングした端子レベルが一致するまで、内部へは同じレベルを伝達し続けます。

ノイズフィルタ機能は、端子ごとにノイズフィルタ機能の許可/停止が設定できます。また、サンプリングクロックは、チャンネル単位での設定が可能です。

図 25.30 にノイズフィルタのタイミングチャートを示します。

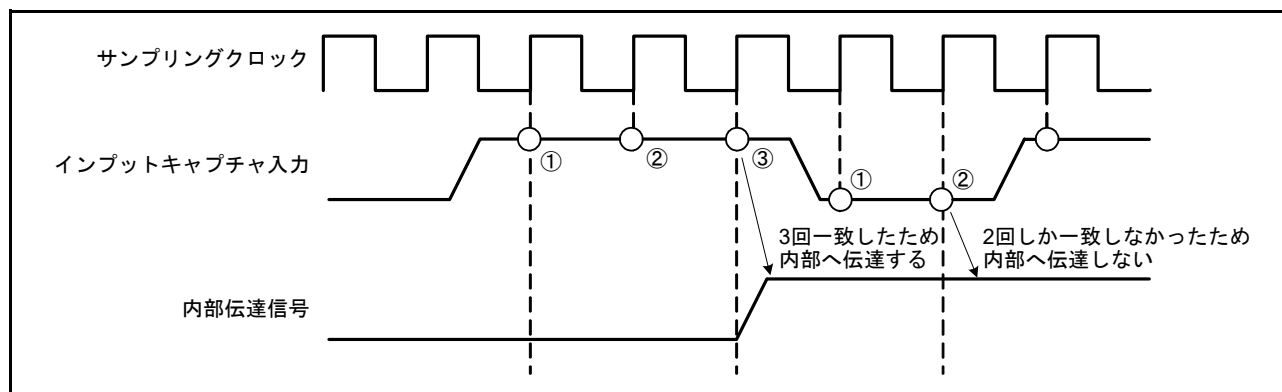


図 25.30 ノイズフィルタのタイミングチャート

25.4 割り込み要因

TPUの割り込み要因には、TPUm.TGRyレジスタのインプットキャプチャ/コンペアマッチ、TPUm.TCNTのオーバフロー、アンダフローの3種類があります。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は変更できません。詳細は「15. 割り込みコントローラ(ICUb)」を参照してください。

表 25.29 に TPU の割り込み要因の一覧を示します。

表 25.29 TPU 割り込み一覧

チャンネル	名称	割り込み要因	DTCの起動	DMACの起動
TPU0	TGI0A	TPU0.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI0B	TPU0.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TGI0C	TPU0.TGRCのインプットキャプチャ/コンペアマッチ	可能	不可能
	TGI0D	TPU0.TGRDのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI0V	TPU0.TCNTのオーバフロー	不可能	不可能
TPU1	TGI1A	TPU1.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI1B	TPU1.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI1V	TPU1.TCNTのオーバフロー	不可能	不可能
	TCI1U	TPU1.TCNTのアンダフロー	不可能	不可能
TPU2	TGI2A	TPU2.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI2B	TPU2.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI2V	TPU2.TCNTのオーバフロー	不可能	不可能
	TCI2U	TPU2.TCNTのアンダフロー	不可能	不可能
TPU3	TGI3A	TPU3.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI3B	TPU3.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TGI3C	TPU3.TGRCのインプットキャプチャ/コンペアマッチ	可能	不可能
	TGI3D	TPU3.TGRDのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI3V	TPU3.TCNTのオーバフロー	不可能	不可能
TPU4	TGI4A	TPU4.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI4B	TPU4.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI4V	TPU4.TCNTのオーバフロー	不可能	不可能
	TCI4U	TPU4.TCNTのアンダフロー	不可能	不可能
TPU5	TGI5A	TPU5.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
	TGI5B	TPU5.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
	TCI5V	TPU5.TCNTのオーバフロー	不可能	不可能
	TCI5U	TPU5.TCNTのアンダフロー	不可能	不可能

注. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルのTPUm.TGRyレジスタのインพุットキャプチャ/コンペアマッチの発生により、TPUm.TIER.TGIEyビット(y=A, B, C, D)が“1”なら、割り込みを要求します。TPUには、TPU0、TPU3に各4本、TPU1、TPU2、TPU4、TPU5に各2本、計16本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルのTPUm.TCNTのオーバフローの発生により、TPUm.TIER.TCIEVビットが“1”なら、割り込みを要求します。TPUには、各チャンネルに1本、計6本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルのTPUm.TCNTのアンダフローの発生により、TPUm.TIER.TCIEUビットが“1”なら、割り込みを要求します。TPUには、TPU1、TPU2、TPU4、TPU5に各1本、計4本のアンダフロー割り込みがあります。

25.5 DTCの起動

各チャンネルのTPUm.TGRyレジスタのインพุットキャプチャ/コンペアマッチ割り込みによって、DTCを起動することができます。詳細は「19. データトランスファコントローラ(DTCa)」を参照してください。

TPUでは、TPU0、TPU3が各4本、TPU1、TPU2、TPU4、TPU5が各2本、計16本のインพุットキャプチャ/コンペアマッチ割り込みをDTCの起動要因とすることができます。

25.6 DMACの起動

各チャンネルのTPUm.TGRAレジスタのインพุットキャプチャ/コンペアマッチ割り込みによって、DMACを起動することができます。詳細は「18. DMAコントローラ(DMACA)」を参照してください。

TPUでは、各チャンネルに1本、計6本のTPUm.TGRAレジスタのインพุットキャプチャ/コンペアマッチ割り込みをDMACの起動要因とすることができます。

25.7 A/Dコンバータの起動

TPUは、各チャンネルのTPUm.TGRAレジスタのインพุットキャプチャ/コンペアマッチによって、A/Dコンバータを起動することができます。

各チャンネルのTPUm.TGRAレジスタのインพุットキャプチャ/コンペアマッチが発生したとき、TPUm.TIER.TTGEビットが“1”なら、TPUはA/Dコンバータに対してA/D変換の開始を要求します。

25.8 動作タイミング

25.8.1 入出力タイミング

(1) TPUm.TCNT のカウントタイミング

内部クロック動作の場合のTPUm.TCNTのカウントタイミングを図25.31に示します。また、外部クロック動作の場合のTCNTのカウントタイミングを図25.32に示します。

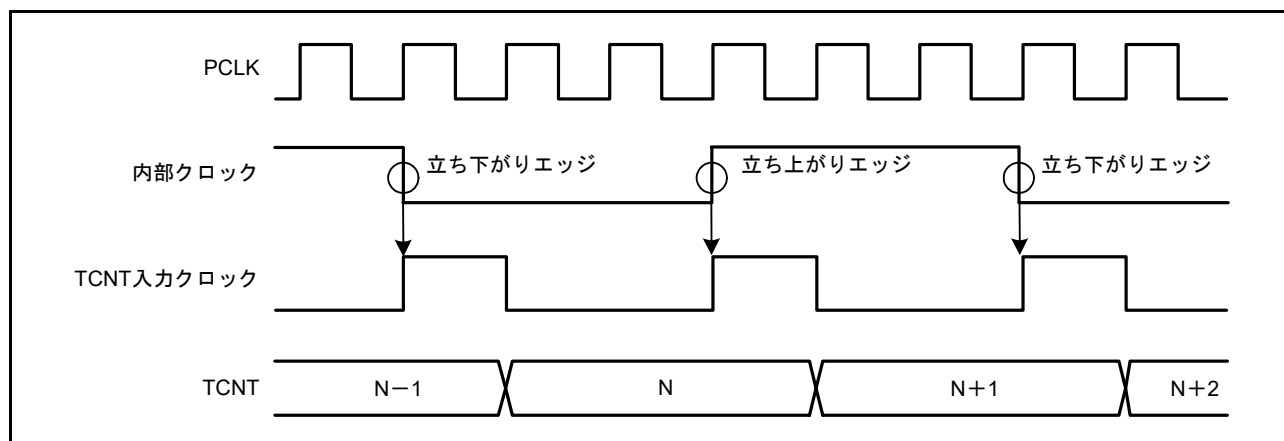


図 25.31 内部クロック動作時のカウントタイミング

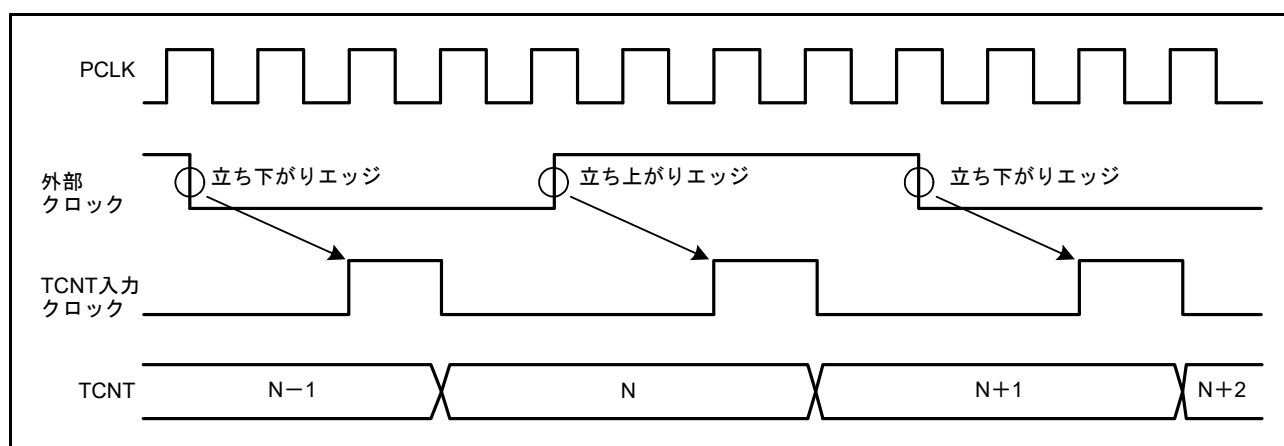


図 25.32 外部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TPUm.TCNTとTPUm.TGRyレジスタが一致した最後のステート(TCNTが一致したカウント値を更新するタイミング)で発生します。コンペアマッチ信号が発生したとき、TPUm.TIORH、TPUm.TIORL、TPUm.TIORレジスタで設定した出力値がアウトプットコンペア出力端子(TIOCyn(y = A ~ D, n = 0 ~ 5)端子)に出力されます。TCNTとTGRyレジスタが一致した後、TCNT入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図25.33に示します。

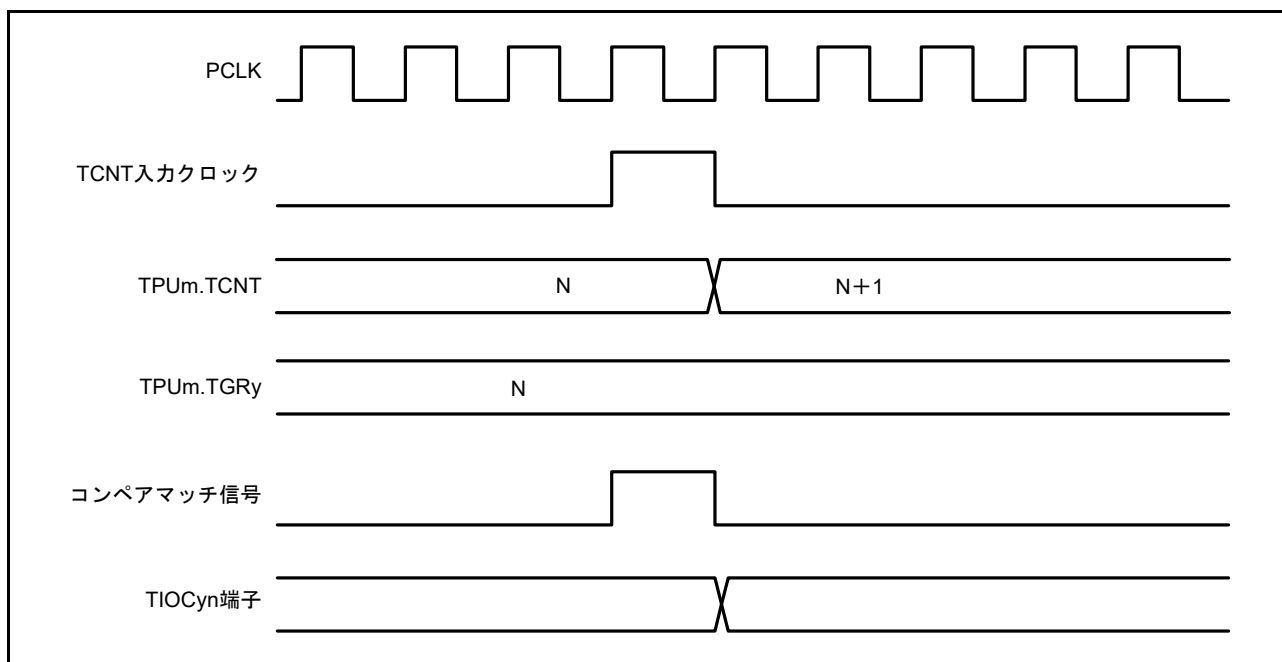


図 25.33 アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図25.34に示します。

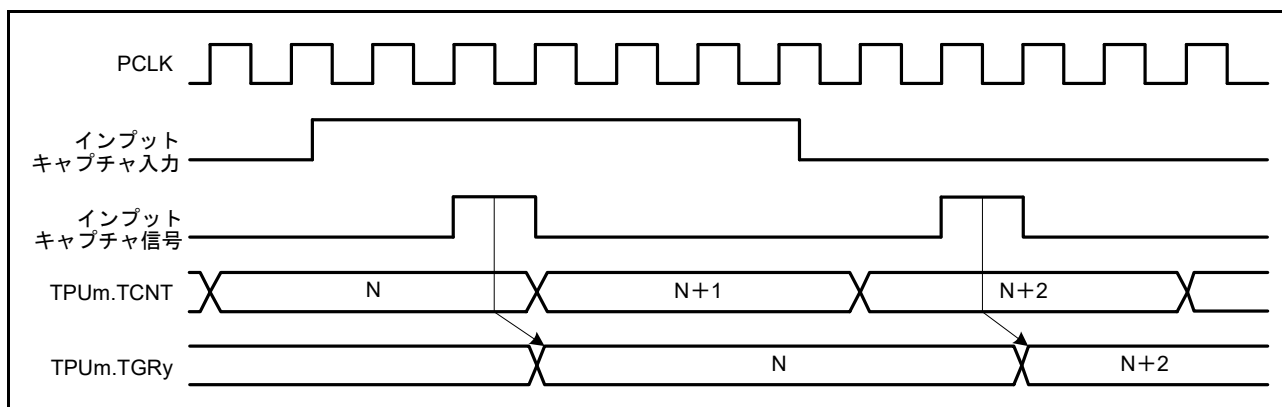


図 25.34 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 25.35 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 25.36 に示します。

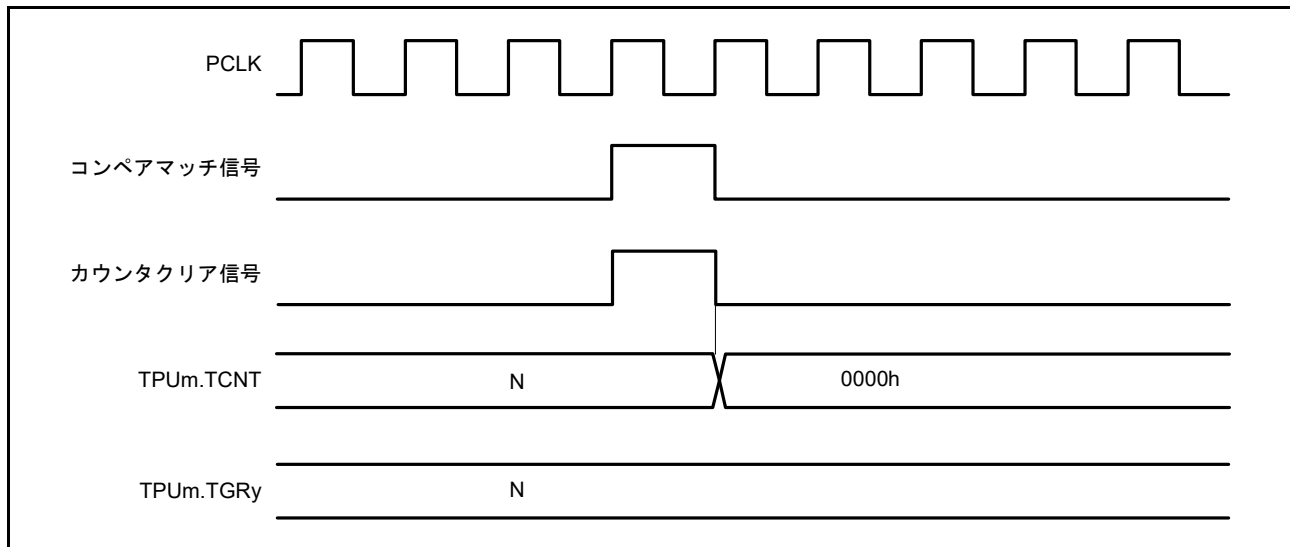


図 25.35 カウンタクリアタイミング (コンペアマッチ)

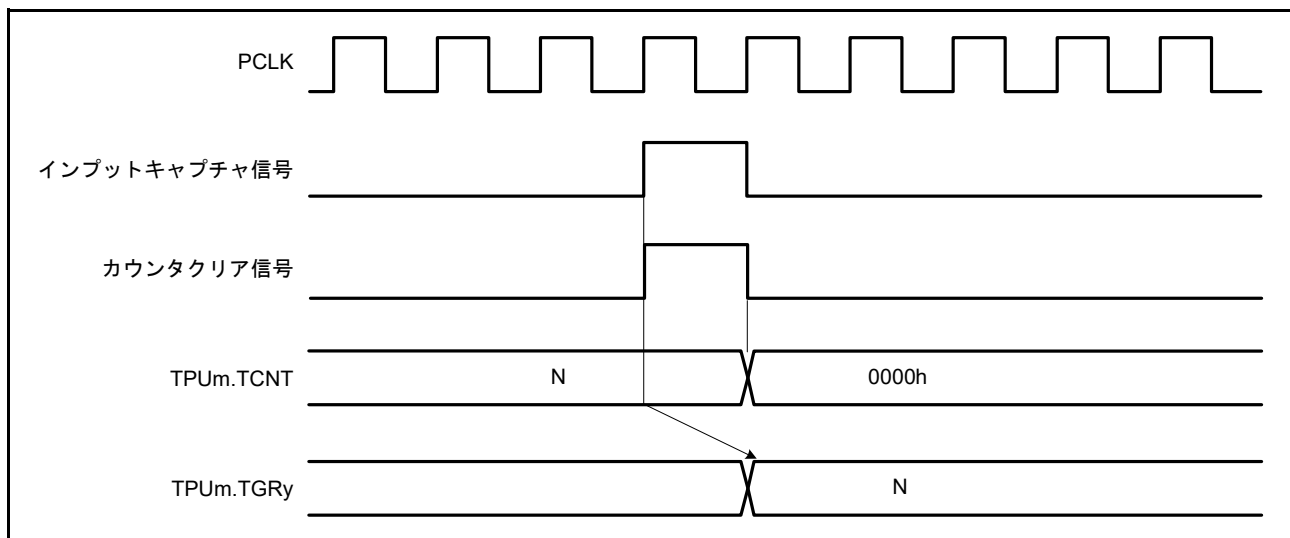


図 25.36 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 25.37、図 25.38 に示します。

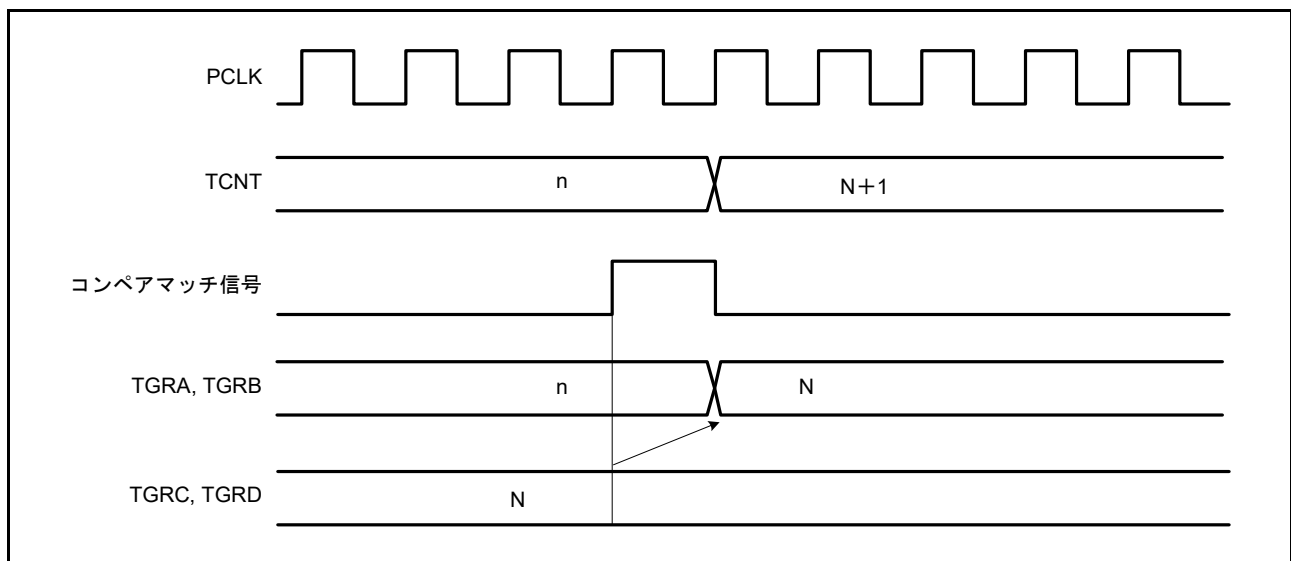


図 25.37 バッファ動作タイミング (コンペアマッチ)

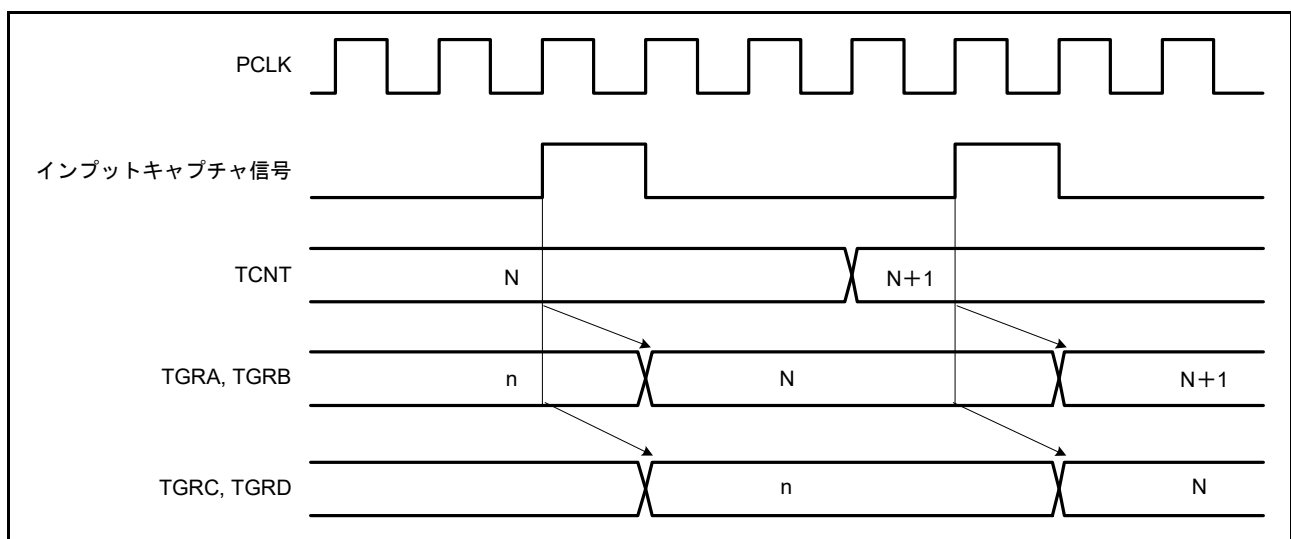


図 25.38 バッファ動作タイミング (インพุットキャプチャ)

25.8.2 割り込み信号タイミング

(1) コンペアマッチ時の割り込み信号のセットタイミング

コンペアマッチの発生による割り込み信号のタイミングを図 25.39 に示します。

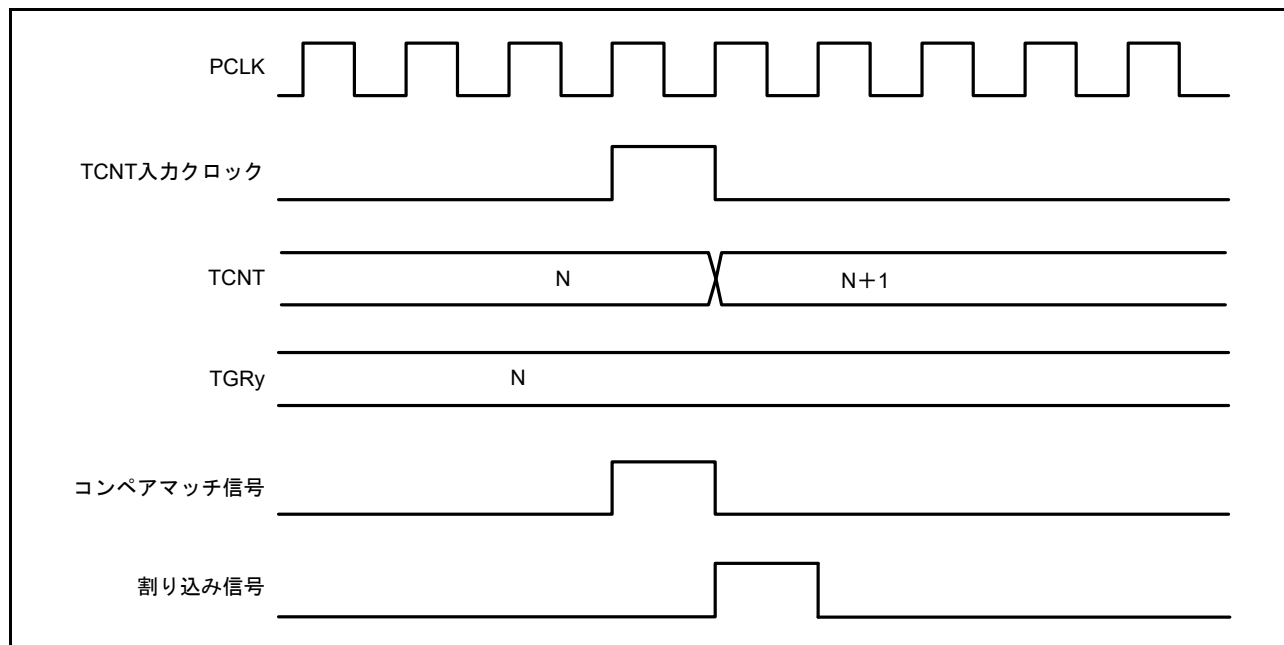


図 25.39 TGI_{my} 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の割り込み信号のセットタイミング

インพุットキャプチャの発生による割り込み信号のタイミングを図 25.40 に示します。

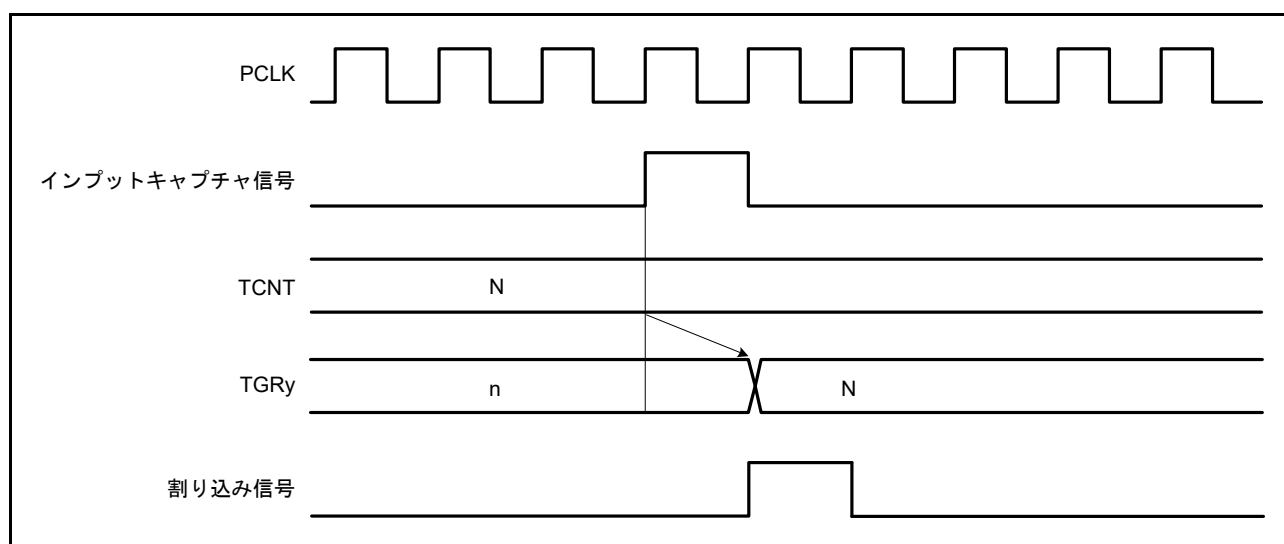


図 25.40 TGI_{my} 割り込みタイミング (インพุットキャプチャ)

(3) TCImV、TCImU 割り込み信号のセットタイミング

オーバーフローの発生による TCImV 割り込み信号のタイミングを図 25.41 に示します。
アンダフローの発生による TCImU 割り込み信号のタイミングを図 25.42 に示します。

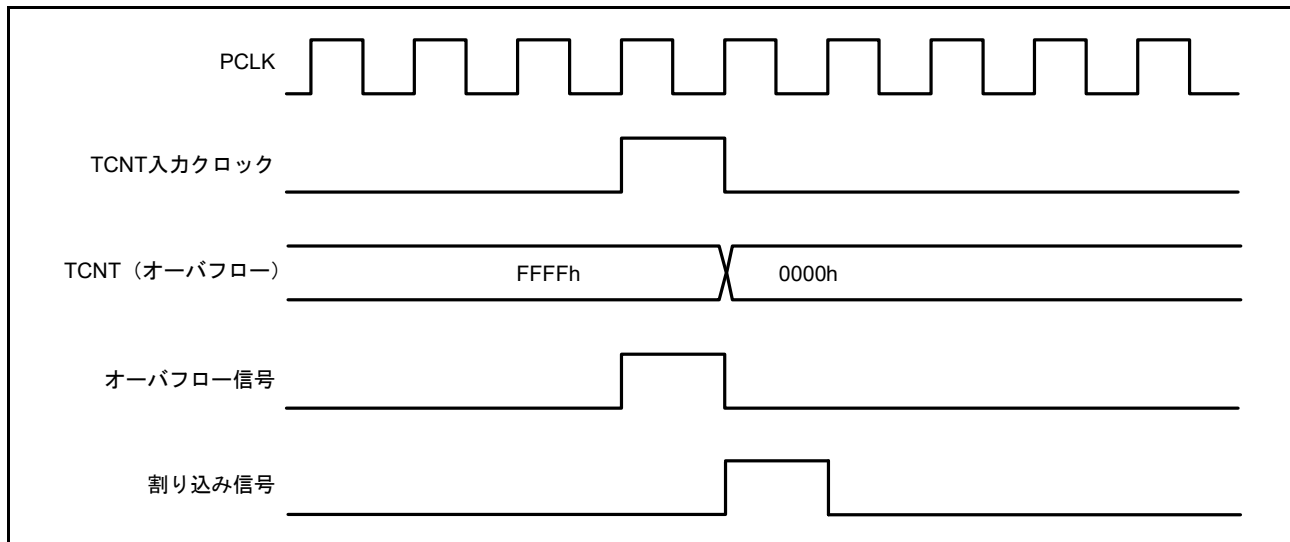


図 25.41 TCImV 割り込みのセットタイミング

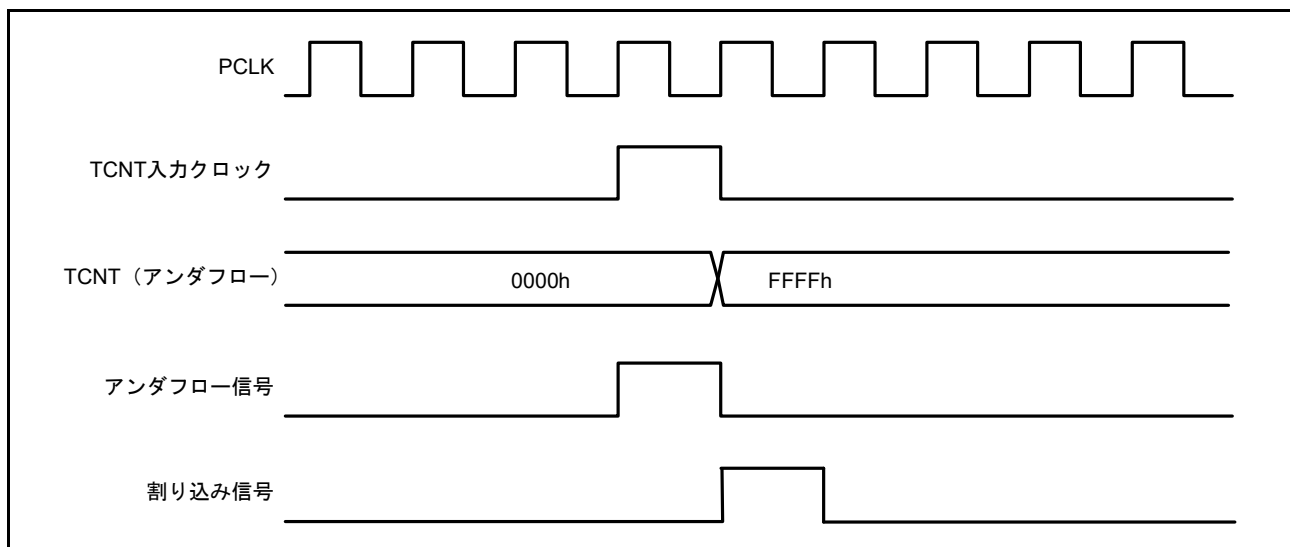


図 25.42 TCImU 割り込みのセットタイミング

25.9 使用上の注意事項

25.9.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、TPUの動作禁止/許可を設定することが可能です。初期値では、TPUの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

25.9.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は1.5 PCLK以上、両エッジの場合は2.5 PCLK以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2本の入力クロックの位相差およびオーバーラップはそれぞれ1.5 PCLK以上、パルス幅は2.5 PCLK以上必要です。位相計数モードの入力クロックの条件を図25.43に示します。

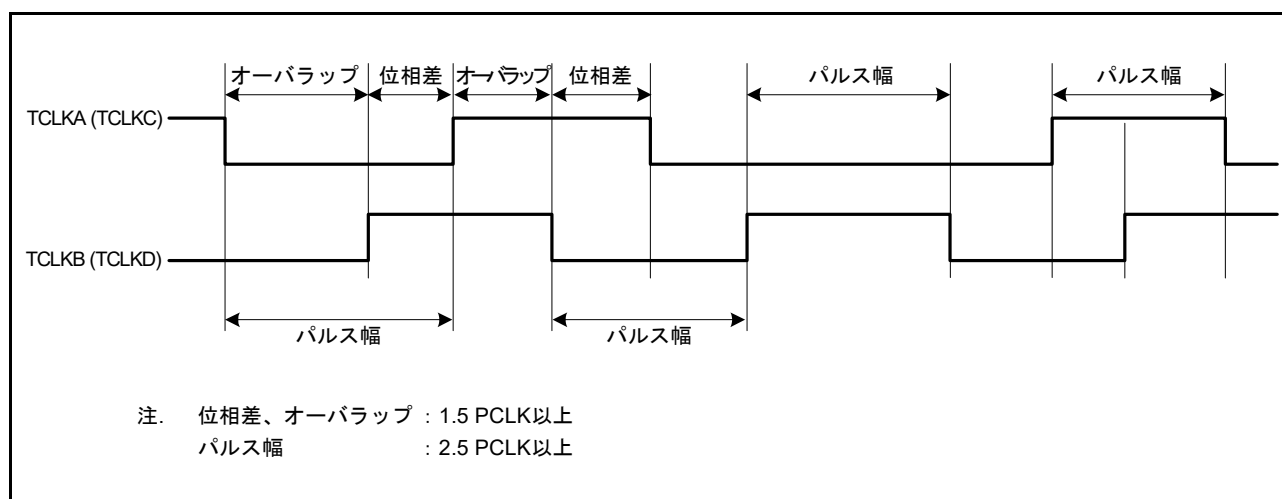


図 25.43 位相計数モード時の位相差、オーバーラップ、およびパルス幅

25.9.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TPUm.TCNTはTPUm.TGRyレジスタの値と一致した最後のステート(TCNTが一致したカウント値を更新するタイミング)でクリアされます。このため、実際のカウンタの周波数は以下の式ようになります。

$$f = \frac{f_{\text{TCNT_CLK}}}{(N+1)}$$

f : カウンタ周波数

$f_{\text{TCNT_CLK}}$: カウントクロックの周波数

N : TGRyレジスタの設定値

25.9.4 TPUm.TCNT への書き込みとクリアの競合

TCNT のライトサイクルでカウンタクリア信号が発生すると、TCNT への書き込みは行われずに TCNT のクリアが優先されます。このタイミングを図 25.44 に示します。

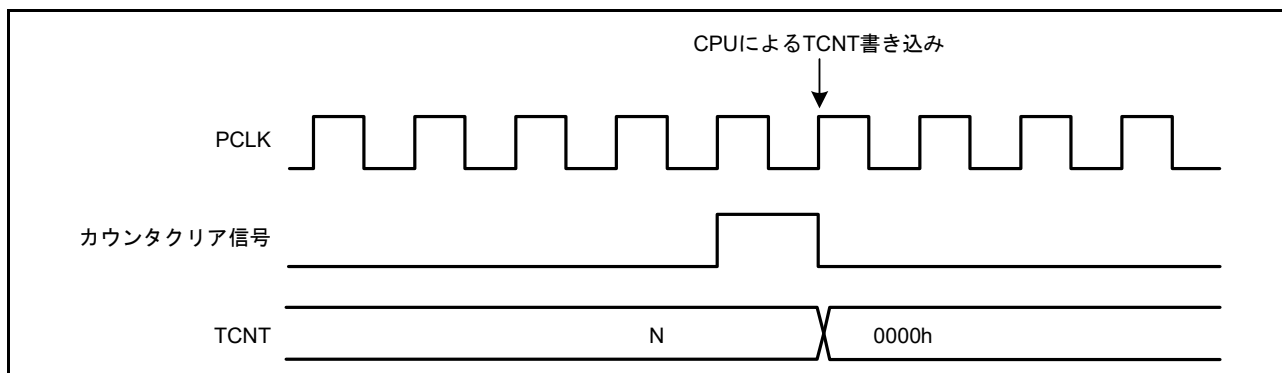


図 25.44 TPUm.TCNT への書き込みとクリアの競合

25.9.5 TPUm.TCNT への書き込みとカウントアップの競合

TCNT のライトサイクルでカウントアップが発生してもカウントアップされず、TCNT への書き込みが優先されます。このタイミングを図 25.45 に示します。

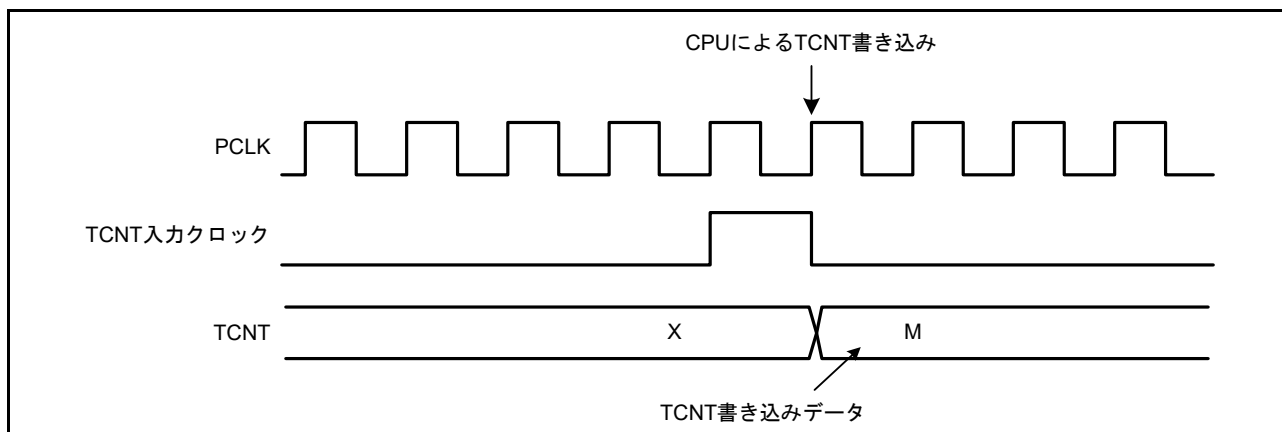


図 25.45 TPUm.TCNT への書き込みとカウントアップの競合

25.9.6 TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合

TGRy レジスタのライトサイクルでコンペアマッチが発生しても TGRy レジスタへの書き込みが優先され、コンペアマッチ信号は禁止されます。前回と同じ値を書いた場合でもコンペアマッチは発生しません。このタイミングを図 25.46 に示します。

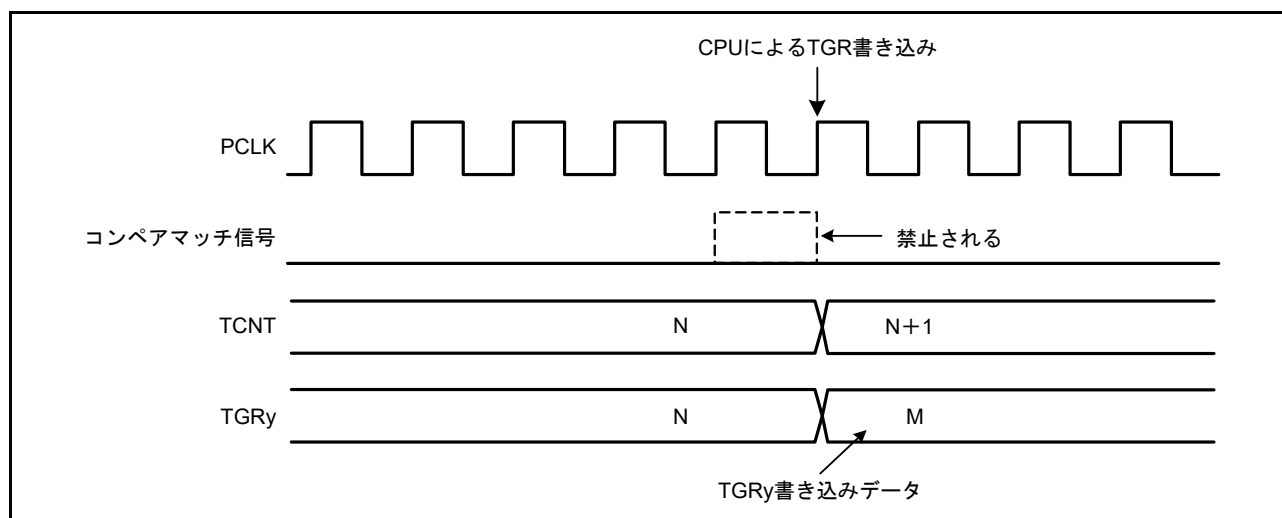


図 25.46 TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合

25.9.7 バッファレジスタへの書き込みとコンペアマッチの競合

TPUm.TGRy レジスタのライトサイクルでコンペアマッチが発生すると、バッファ動作によって TGRy レジスタに転送されるデータは書き込み前のデータとなります。このタイミングを図 25.47 に示します。

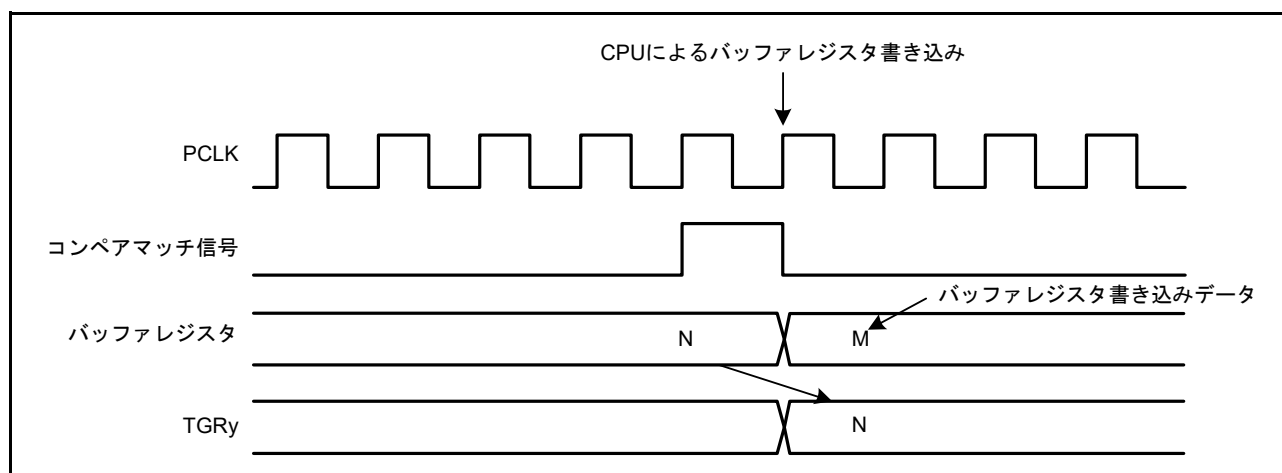


図 25.47 バッファレジスタへの書き込みとコンペアマッチの競合

25.9.8 TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合

TGRy レジスタのリードサイクルでインプットキャプチャ信号が発生すると、読み出しデータはインプットキャプチャ転送前のデータとなります。

このタイミングを図 25.48 に示します。

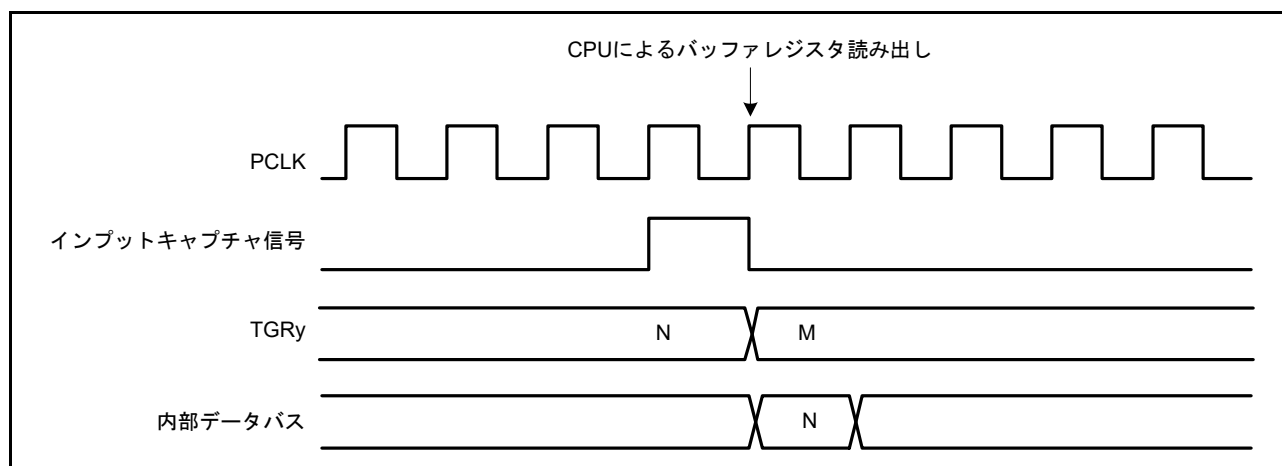


図 25.48 TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合

25.9.9 TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合

TGRy レジスタのライトサイクルでインプットキャプチャ信号が発生すると、TGRy レジスタへの書き込みは行われず、インプットキャプチャが優先されます。このタイミングを図 25.49 に示します。

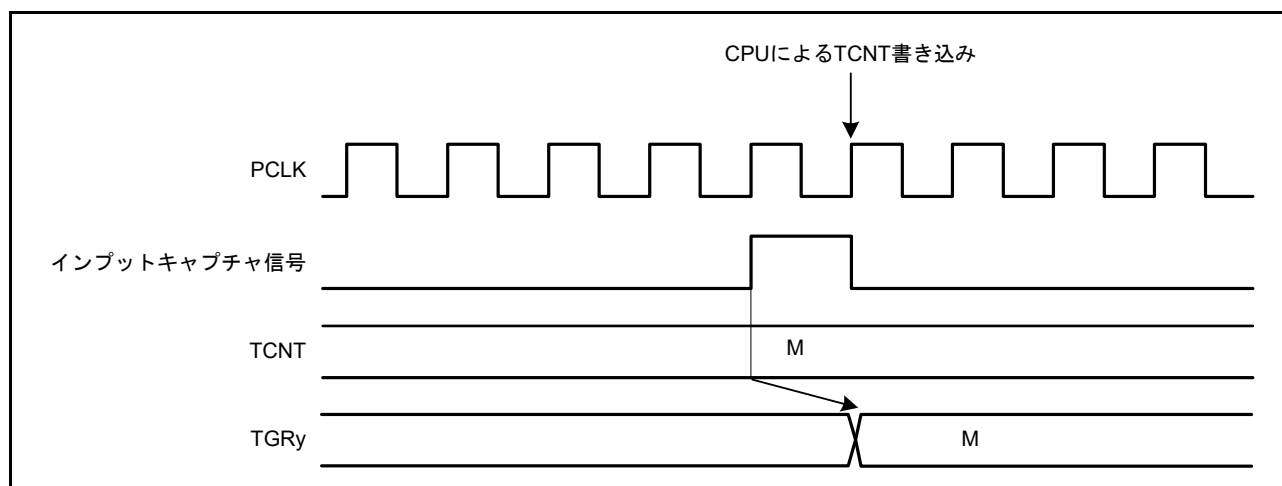


図 25.49 TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合

25.9.10 バッファレジスタへの書き込みと入力キャプチャの競合

バッファレジスタのライトサイクルで入力キャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。このタイミングを図 25.50 に示します。

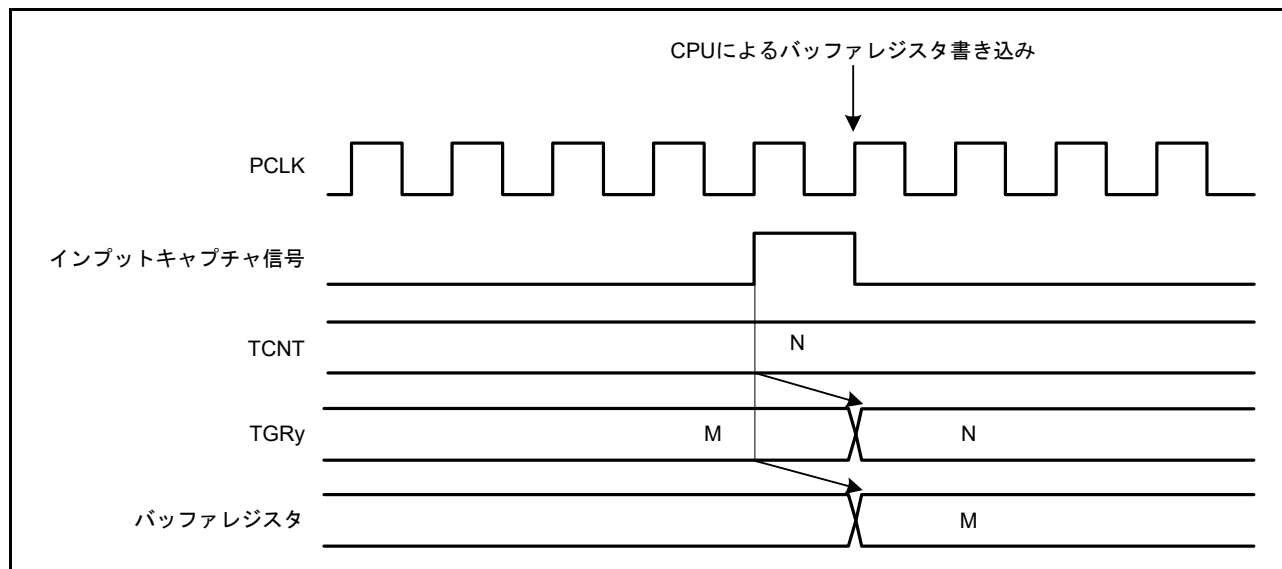


図 25.50 バッファレジスタへの書き込みと入力キャプチャの競合

25.9.11 カスケード接続時の TCNT 同時入力キャプチャ

TPU1.TCNT と TPU2.TCNT をカスケード接続して、32 ビットカウンタとして動作させる場合、TIOC1A 端子と TIOC2A 端子、または TIOC1B 端子と TIOC2B 端子に同時に入力キャプチャ信号を入力しても、内部遅延の差により TPU1.TCNT、TPU2.TCNT に入力されるキャプチャ信号に最大 1 クロックのずれが生じ、カウンタの値を正常にキャプチャできない場合があります。

たとえば、“03A1 FFFFh” から “03A2 0000h” へのカウントアップ時のように、TPU2.TCNT がオーバフローするタイミングでキャプチャした場合、“03A1 0000h” や “03A2 FFFFh” がキャプチャされることがあります。

TPU4.TCNT と TPU5.TCNT をカスケード接続した場合も同様です。

25.9.12 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、コンペアマッチ割り込みが発生するとともに、TPUm.TCNT のクリアが行われオーバフロー割り込みが発生します。

TPUm.TGRy レジスタのコンペアマッチをクリア要因とし、TGRy レジスタを“FFFFh”にした場合の動作タイミングを図 25.51 に示します。

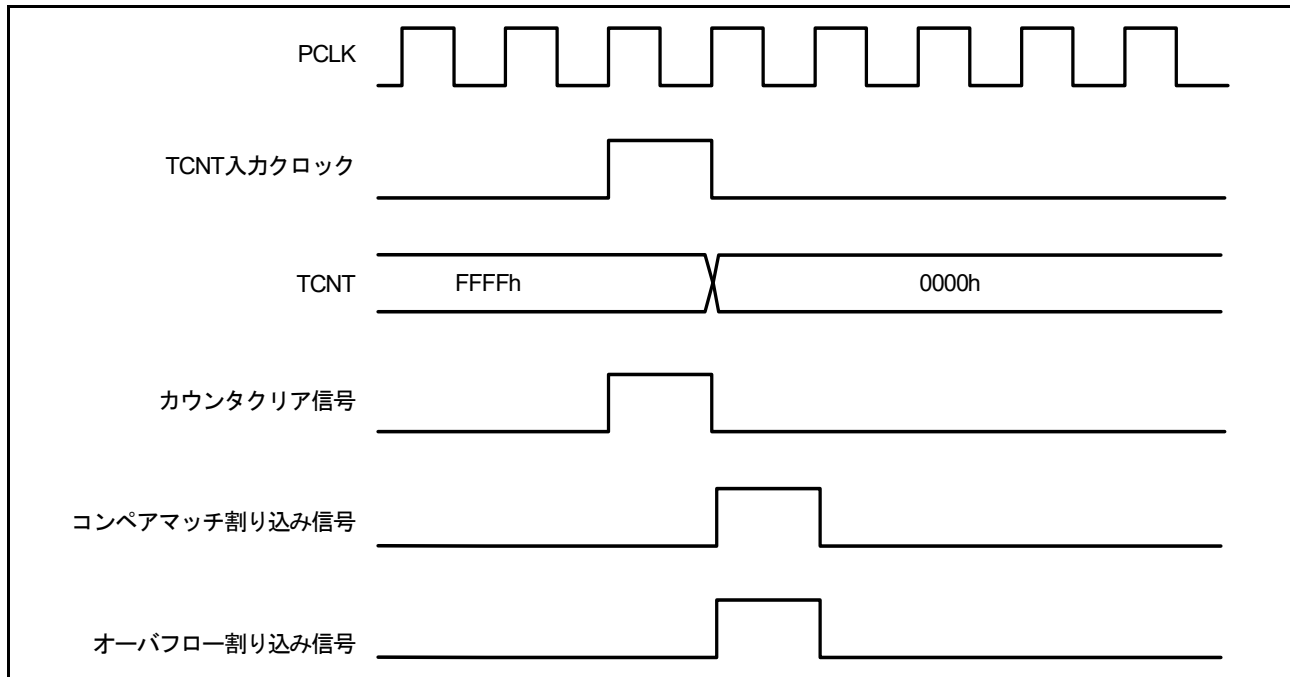


図 25.51 オーバフローとカウンタクリアの競合

25.9.13 TPUm.TCNT への書き込みとオーバフロー/アンダフローの競合

TCNT のライトサイクルでカウントアップ/カウントダウンが発生し、オーバフロー/アンダフローが発生しても TCNT への書き込みが優先されます。

TCNT への書き込みとオーバフロー競合時の動作タイミングを図 25.52 に示します。

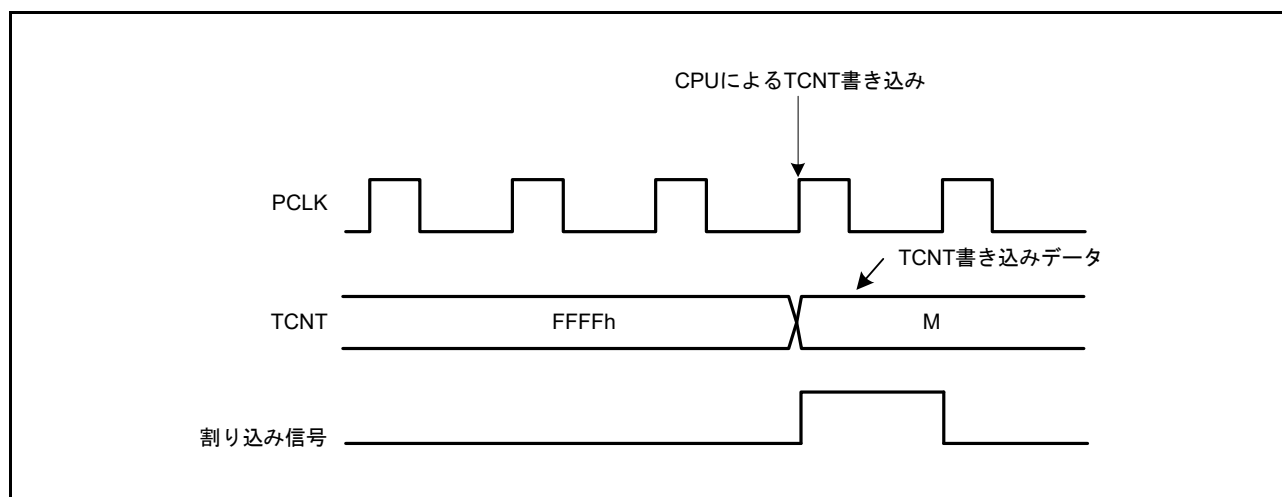


図 25.52 TPUm.TCNT への書き込みとオーバフローの競合

25.9.14 入出力端子の兼用

本 MCU では、TCLKA 入力と TIOCB5 入出力、TCLKB 入力と TIOCB2 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCC3 入出力、TCLKD 入力と TIOCD3 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

25.9.15 コンペアマッチパルス割り込みの連続出力

TGR を“0000h”に設定して、カウントクロックを PCLK/1 としたコンペアマッチでカウンタクリアすると、TCNT は“0000h”のまま更新されず、パルスのコンペアマッチ割り込みを連続してレベル状に出力します。

パルス割り込みを使用している場合、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

コンペアマッチパルス割り込みが連続出力する動作タイミングを図 25.53 に示します。

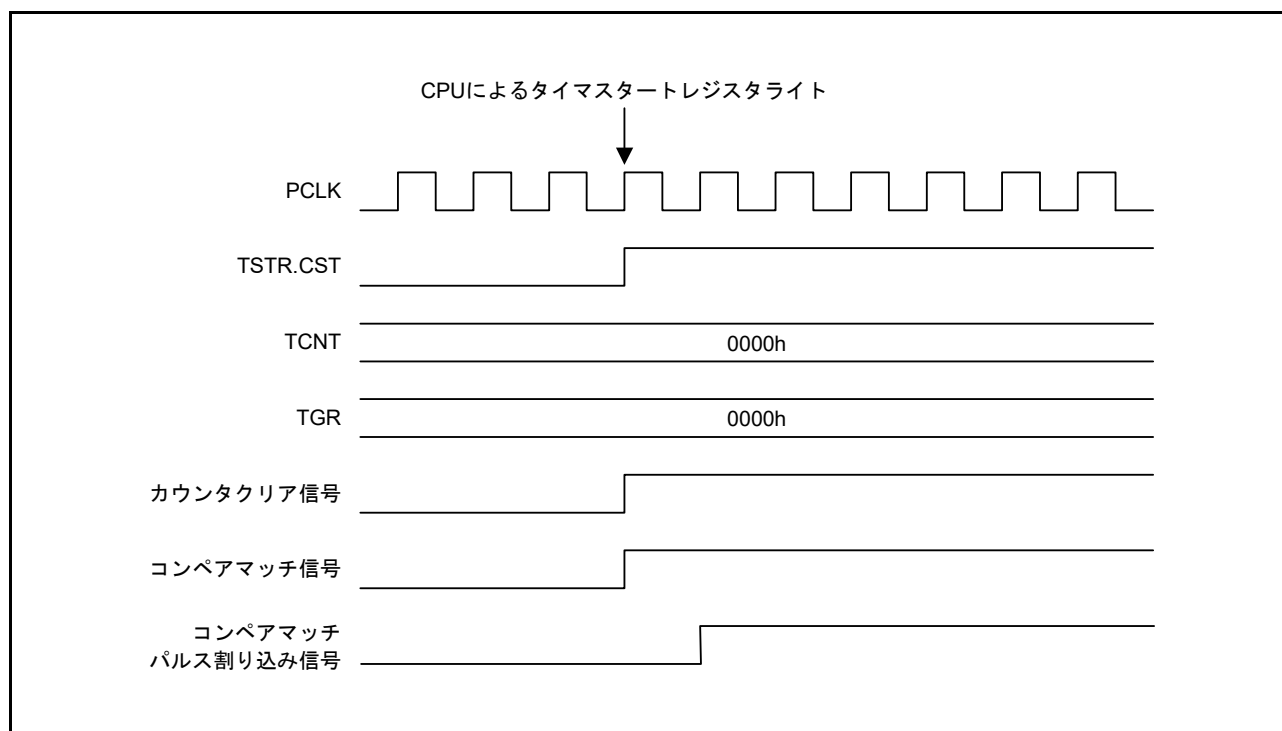


図 25.53 コンペアマッチパルス割り込みの連続出力

25.9.16 インพุットキャプチャパルス割り込みの連続出力

インพุットキャプチャを両エッジに指定し、インพุットキャプチャ入力が内部サンプリングによってIPCLK サイクルとして検出されるパルス幅の場合、立ち上がりエッジと立ち下がりエッジによるインพุットキャプチャが連続して発生するために、パルスのインพุットキャプチャ割り込みを連続してレベル状に出力します。

パルス割り込みを使用している場合、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

インพุットキャプチャパルス割り込みが連続出力する動作タイミングを図 25.54 に示します。

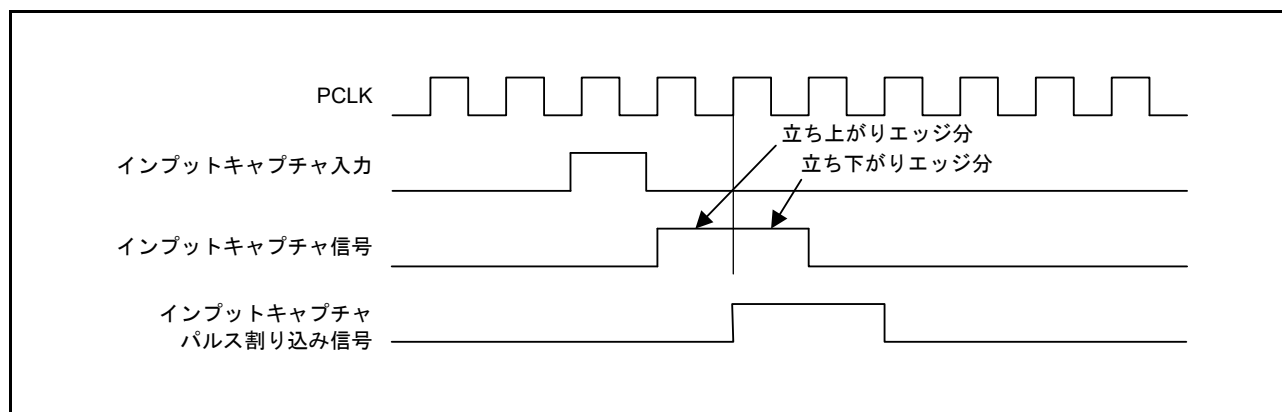


図 25.54 インพุットキャプチャパルス割り込みの連続出力

25.9.17 アンダフローパルス割り込みの連続出力

位相計数モード1で、TGRを“0000h”、カウンタクリア要因をコンペアマッチとして動作させ、TCNTが“0000h”のときに、位相計数の対象となる2本の外部クロックの同方向のエッジがPCLKの2サイクル内で発生した場合、TCNTは“0000h”のまま更新されず、パルスのコンペアマッチ割り込みとアンダフロー割り込みを連続してレベル状に出力します。

パルス割り込みを使用している場合、割り込みコントローラは連続する割り込みの2つ目を検出できなくなります。

アンダフローパルス割り込みが連続出力する動作タイミングを図25.55に示します。

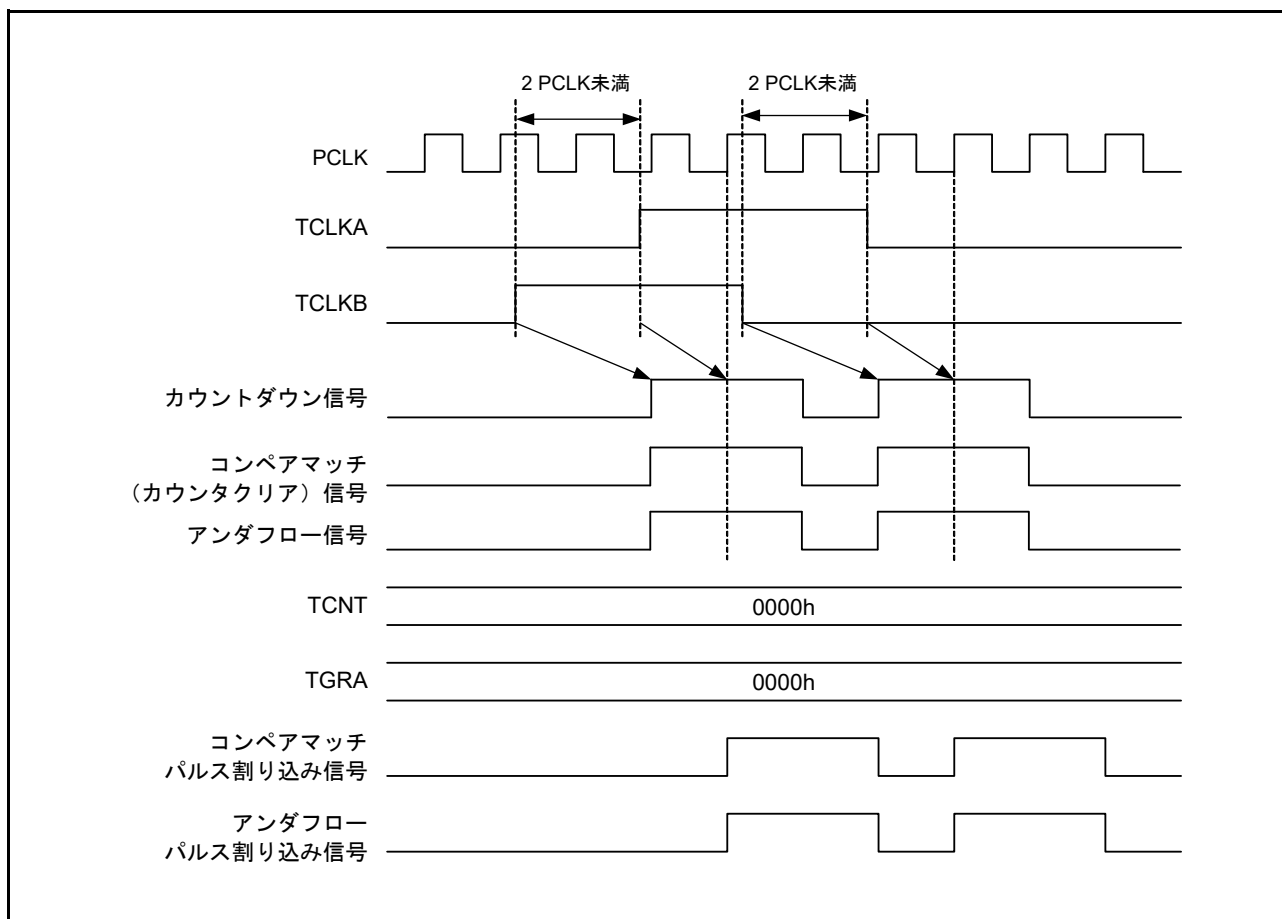


図 25.55 アンダフローパルス割り込みの連続出力

26. 8ビットタイマ (TMR)

本MCUは、8ビットのカウンタをベースにした2チャンネルの8ビットタイマ(TMR)を2ユニット(ユニット0、ユニット1)、合計4チャンネル内蔵しています。外部イベントのカウントが可能のほか、2本のレジスタとのコンペアマッチ信号により、カウンタのクリア、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

ユニット0、ユニット1は同一機能です。また、SCIのボーレートクロックを生成することができます。本章に記載しているPCLKとはPCLKBを指します。

26.1 概要

表26.1にTMRの仕様を、表26.2にTMRの機能一覧を示します。

図26.1にユニット0、図26.2にユニット1のブロック図を示します。

表26.1 TMRの仕様

項目	仕様
カウントクロック	<ul style="list-style-type: none"> 内部クロック：PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 外部クロック：外部カウントクロック
チャンネル数	(8ビット×2チャンネル)×2ユニット
コンペアマッチ	<ul style="list-style-type: none"> 8ビットモード(コンペアマッチA、コンペアマッチB) 16ビットモード(コンペアマッチA、コンペアマッチB)
カウンタクリア	コンペアマッチA、コンペアマッチB、外部カウンタリセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM出力
2チャンネルのカスケード接続	<ul style="list-style-type: none"> 16ビットカウントモード TMR0を上位、TMR1を下位(TMR2を上位、TMR3を下位)とする16ビットタイマ コンペアマッチカウントモード TMR1はTMR0のコンペアマッチをカウント(TMR3はTMR2のコンペアマッチをカウント)
割り込み要因	コンペアマッチA、コンペアマッチB、オーバフロー
イベントリンク機能(出力)	コンペアマッチA、コンペアマッチB、オーバフロー (TMR0, 2)
イベントリンク機能(入力)	イベント受付により、3種類のうち1つの動作が可能 (1) カウントスタート動作(TMR0, 2) (2) イベントカウンタ動作(TMR0, 2) (3) カウントリスタート動作(TMR0, 2)
DTCの起動	コンペアマッチA割り込み、コンペアマッチB割り込みにより起動可能
SCIのボーレートクロック生成	SCIのボーレートクロックを生成(注1)
消費電力低減機能	ユニットごとにモジュールストップ状態への移行が可能

注1. 詳細は「33. シリアルコミュニケーションインタフェース(SCI_g, SCI_h)」を参照してください。

表 26.2 TMRの機能一覧

項目		ユニット0			ユニット1		
カウンタモード		8ビット		16ビット	8ビット		16ビット
チャンネル		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
カウントクロック		PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO
カウンタクリア		TMR0.TCORA TMR0.TCORB TMRIO	TMR1.TCORA TMR1.TCORB TMRIO	TMR0.TCORA + TMR1.TCORA TMR0.TCORB + TMR1.TCORB TMRIO	TMR2.TCORA TMR2.TCORB TMRIO	TMR3.TCORA TMR3.TCORB TMRIO	TMR2.TCORA + TMR3.TCORA TMR2.TCORB + TMR3.TCORB TMRIO
コンペア マッチ	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
タイマ出 力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
DTCの起 動	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバー フロー	—	—	—	—	—	—
割り込み	コンペアマッチA	CMIA0	CMIA1	CMIA0	CMIA2	CMIA3	CMIA2
	コンペアマッチB	CMIB0	CMIB1	CMIB0	CMIB2	CMIB3	CMIB2
	TCNTのオーバー フロー	OVI0	OVI1	OVI0	OVI2	OVI3	OVI2
カスケード接続		TMR1の オーバー フロー	TMR0の コンペア マッチA	—	TMR3の オーバー フロー	TMR2の コンペア マッチA	—
SCIのポーレートクロックの 生成(注1)		○		—	○		—
ELC出力 イベント	コンペアマッチA	○	—	○	○	—	○
	コンペアマッチB	○	—	○	○	—	○
	TCNTのオーバー フロー	○	—	○	○	—	○
ELC入力 イベント	カウントスタート	○	—	—	○	—	—
	イベントカウンタ	○	—	—	○	—	—
	カウントリスタート	○	—	—	○	—	—
モジュールストップの設定(注 2)		(ユニット0) MSTPCRA.MSTPA5ビット、(ユニット1) MSTPCRA.MSTPA4ビット					

○：可能

—：不可能

注1. 詳細は「33. シリアルコミュニケーションインタフェース(SCI_g, SCI_h)」を参照してください。

注2. 詳細は「11. 消費電力低減機能」を参照してください。

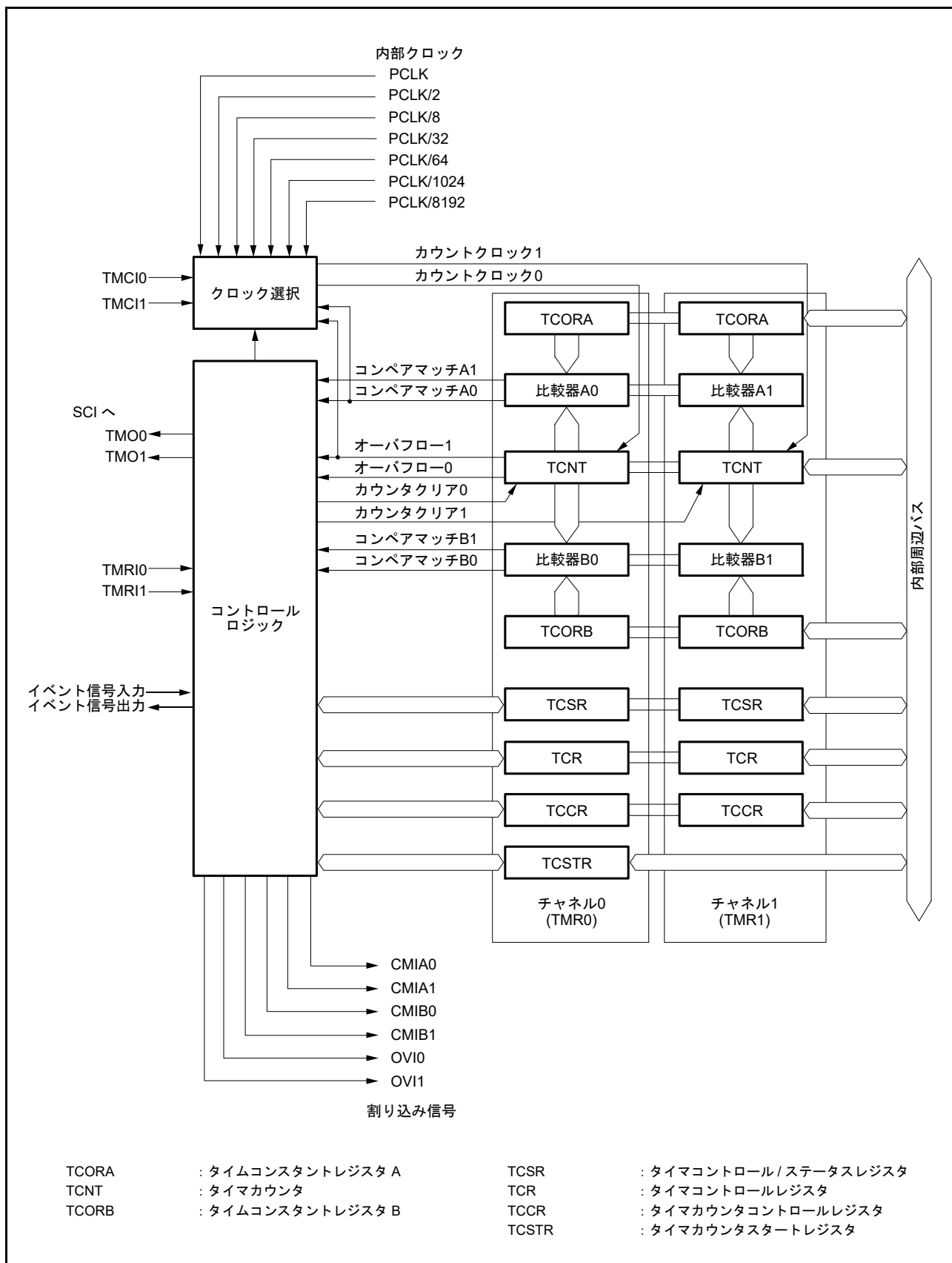


図 26.1 TMR (ユニット0) のブロック図

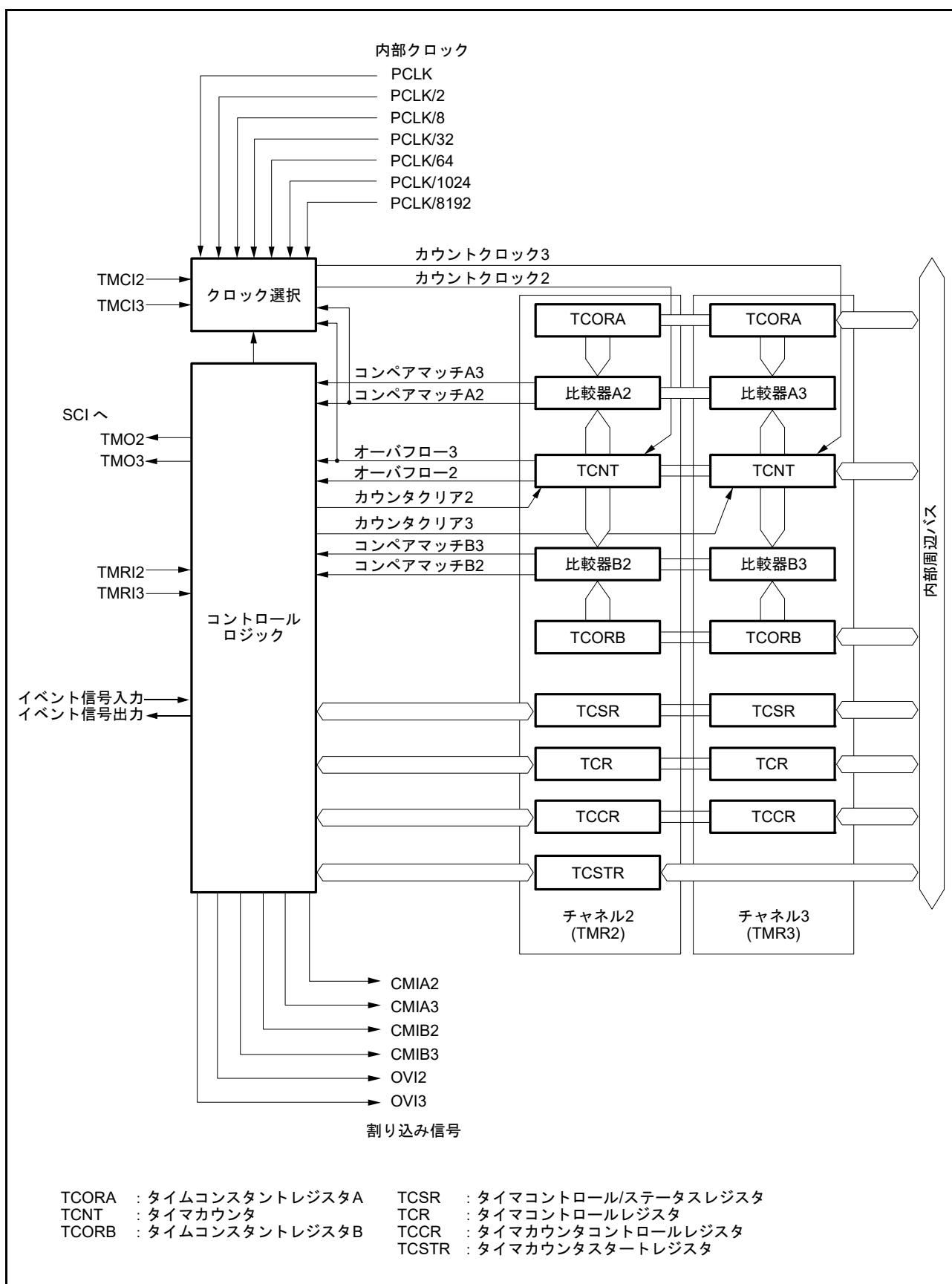


図 26.2 TMR (ユニット1) のブロック図

表 26.3 に TMR で使用する入出力端子を示します。

表 26.3 TMRの入出力端子

ユニット	チャンネル	端子名	入出力	機能
ユニット0	TMR0	TMO0	出力	コンペアマッチ出力
		TMCI0	入力	外部カウントクロック入力
		TMRI0	入力	外部カウンタリセット入力
	TMR1	TMO1	出力	コンペアマッチ出力
		TMCI1	入力	外部カウントクロック入力
		TMRI1	入力	外部カウンタリセット入力
ユニット1	TMR2	TMO2	出力	コンペアマッチ出力
		TMCI2	入力	外部カウントクロック入力
		TMRI2	入力	外部カウンタリセット入力
	TMR3	TMO3	出力	コンペアマッチ出力
		TMCI3	入力	外部カウントクロック入力
		TMRI3	入力	外部カウンタリセット入力

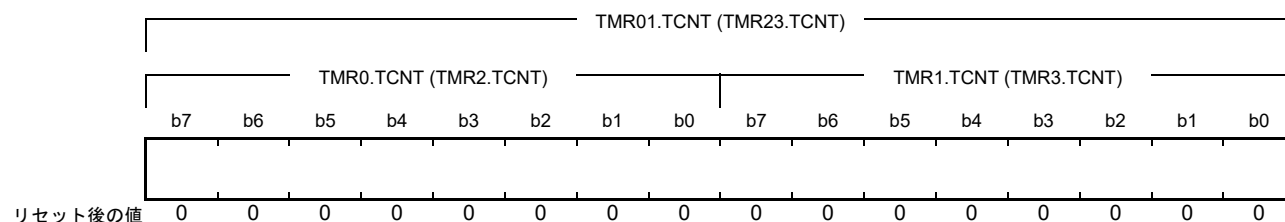
26.2 レジスタの説明

表 26.4 16ビットアクセスのレジスタ配置

アドレス	レジスタ	上位8ビット	下位8ビット
0008 8208h	TMR01.TCNT	TMR0.TCNT	TMR1.TCNT
0008 8204h	TMR01.TCORA	TMR0.TCORA	TMR1.TCORA
0008 8206h	TMR01.TCORB	TMR0.TCORB	TMR1.TCORB
0008 820Ah	TMR01.TCCR	TMR0.TCCR	TMR1.TCCR
0008 8218h	TMR23.TCNT	TMR2.TCNT	TMR3.TCNT
0008 8214h	TMR23.TCORA	TMR2.TCORA	TMR3.TCORA
0008 8216h	TMR23.TCORB	TMR2.TCORB	TMR3.TCORB
0008 821Ah	TMR23.TCCR	TMR2.TCCR	TMR3.TCCR

26.2.1 タイマカウンタ (TCNT)

アドレス TMR0.TCNT 0008 8208h, TMR1.TCNT 0008 8209h, TMR2.TCNT 0008 8218h, TMR3.TCNT 0008 8219h,
TMR01.TCNT 0008 8208h, TMR23.TCNT 0008 8218h



TCNT カウンタは、8ビットのリード/ライト可能なアップカウンタです。

TMR0.TCNT カウンタと TMR1.TCNT カウンタ (TMR2.TCNT カウンタと TMR3.TCNT カウンタ) を 16ビットカウンタ (TMR01.TCNT, TMR23.TCNT) としてワードアクセスすることも可能です。

カウントクロックは、TCCR.CSS[1:0], CKS[2:0] ビットで選択します。

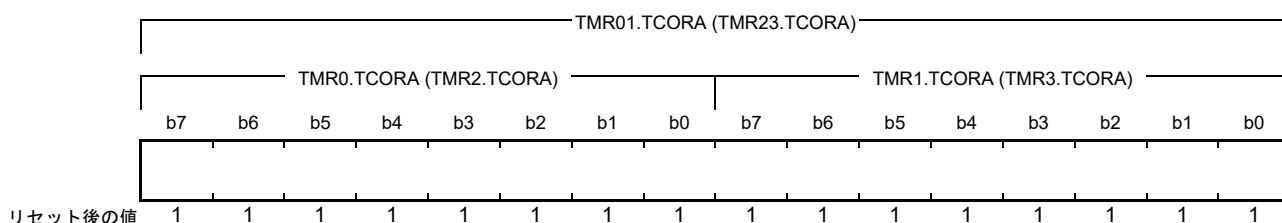
TCNT カウンタは、外部カウンタリセット信号、またはコンペアマッチ A、コンペアマッチ B によりクリアすることができます。どのコンペアマッチでクリアするかは、TCR.CCLR[1:0] ビットにより選択します。

TCNT カウンタのオーバーフロー (“FFh”→“00h”) が発生すると、TCR.OVIE ビットで割り込み要求が許可されていれば、オーバーフロー割り込み (Low パルス) を出力します。

なお、対応する割り込みベクタ番号は、「15. 割り込みコントローラ (ICUb)」と「表 26.6 TMR の割り込み要因」を参照してください。

26.2.2 タイムコンスタントレジスタ A (TCORA)

アドレス TMR0.TCORA 0008 8204h, TMR1.TCORA 0008 8205h, TMR2.TCORA 0008 8214h, TMR3.TCORA 0008 8215h,
TMR01.TCORA 0008 8204h, TMR23.TCORA 0008 8214h



TCORA レジスタは、8 ビットのリード/ライト可能なレジスタです。

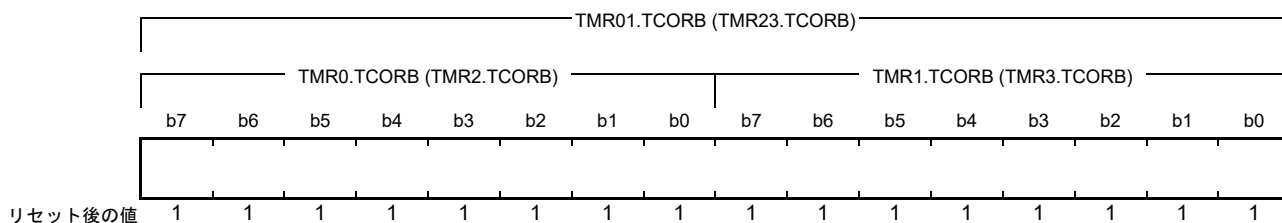
TMR0.TCORA レジスタと TMR1.TCORA レジスタ (TMR2.TCORA レジスタと TMR3.TCORA レジスタ) を 16 ビットレジスタ (TMR01.TCORA, TMR23.TCORA) としてワードアクセスすることも可能です。

TCORA レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ A が発生し、TCR.CMIEA ビットで割り込み要求が許可されていれば、コンペアマッチ A 割り込み (Low パルス) を出力します。

ただし、TCORA レジスタへの書き込み時には比較しません。また、このコンペアマッチ A と TCSR.OSA[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

26.2.3 タイムコンスタントレジスタ B (TCORB)

アドレス TMR0.TCORB 0008 8206h, TMR1.TCORB 0008 8207h, TMR2.TCORB 0008 8216h, TMR3.TCORB 0008 8217h,
TMR01.TCORB 0008 8206h, TMR23.TCORB 0008 8216h



TCORB レジスタは、8 ビットのリード/ライト可能なレジスタです。

TMR0.TCORB レジスタと TMR1.TCORB レジスタ (TMR2.TCORB レジスタと TMR3.TCORB レジスタ) を 16 ビットレジスタ (TMR01.TCORB, TMR23.TCORB) としてワードアクセスすることも可能です。

TCORB レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ B が発生し TCR.CMIEB ビットで割り込み要求が許可されていれば、コンペアマッチ B 割り込み (Low パルス) を出力します。

ただし、TCORB レジスタへの書き込み時には比較しません。また、このコンペアマッチ B と TCSR.OSB[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

26.2.4 タイマコントロールレジスタ (TCR)

アドレス TMR0.TCR 0008 8200h, TMR1.TCR 0008 8201h, TMR2.TCR 0008 8210h, TMR3.TCR 0008 8211h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMIEB	CMIEA	OVIE	CCLR[1:0]	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4-b3	CCLR[1:0]	カウンタクリアビット (注1)	b4 b3 0 0 : クリアを禁止 0 1 : コンペアマッチAによりクリア 1 0 : コンペアマッチBによりクリア 1 1 : 外部カウンタリセット信号によりクリア (TCCR.TMRIS ビットでエッジまたはレベルを選択)	R/W
b5	OVIE	タイマオーバーフロー割り込み許可ビット	0 : オーバフローによる割り込み要求(OVIn)を禁止 1 : オーバフローによる割り込み要求(OVIn)を許可	R/W
b6	CMIEA	コンペアマッチ割り込み許可Aビット	0 : コンペアマッチAによる割り込み要求(CMIAn)を禁止 1 : コンペアマッチAによる割り込み要求(CMIAn)を許可	R/W
b7	CMIEB	コンペアマッチ割り込み許可Bビット	0 : コンペアマッチBによる割り込み要求(CMIBn)を禁止 1 : コンペアマッチBによる割り込み要求(CMIBn)を許可	R/W

注1. 外部カウンタリセット信号を使用する場合は、該当する端子の設定が必要です。詳細については「21. I/Oポート」、および「22. マルチファンクションピンコントローラ (MPC)」を参照してください。

CCLR[1:0] ビット (カウンタクリアビット)

TCNT カウンタのクリア条件を指定します。

OVIE ビット (タイマオーバーフロー割り込み許可ビット)

TCNT カウンタのオーバーフローによる割り込み要求 (OVIn) の許可または禁止を選択します。

CMIEA ビット (コンペアマッチ割り込み許可 A ビット)

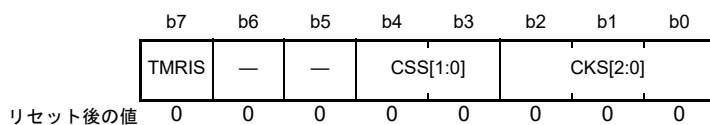
TCORA レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ A による割り込み要求 (CMIAn) の許可または禁止を選択します。

CMIEB ビット (コンペアマッチ割り込み許可 B ビット)

TCORB レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ B による割り込み要求 (CMIBn) の許可または禁止を選択します。

26.2.5 タイマカウンタコントロールレジスタ (TCCR)

アドレス TMR0.TCCR 0008 820Ah, TMR1.TCCR 0008 820Bh, TMR2.TCCR 0008 821Ah, TMR3.TCCR 0008 821Bh,
TMR01.TCCR 0008 820Ah, TMR23.TCCR 0008 821Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット (注1)	表26.5を参照してください	R/W
b4-b3	CSS[1:0]	クロックソース選択ビット	表26.5を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TMRIS	タイマリセット検出条件選択ビット	0：外部カウンタリセット信号の立ち上がりでクリア 1：外部カウンタリセット信号のHighでクリア	R/W

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「21. I/Oポート」、および「22. マルチファンクションピンコントローラ (MPC)」を参照してください。

TCCR レジスタはカウンタの基本動作を設定する8ビットのレジスタです。偶数チャンネルのアドレスに対して16ビットアクセスすると、同時に2つのTCCRレジスタにアクセスできます。

CKS[2:0] ビット (クロック選択ビット)**CSS[1:0] ビット (クロックソース選択ビット)**

CKS[2:0] ビットおよびCSS[1:0] ビットは、カウントクロックを選択します。詳細は、表 26.5 を参照してください。

TMRIS ビット (タイマリセット検出条件選択ビット)

TCR.CCLR[1:0] ビットが“11b” (外部カウンタリセット信号によりクリア) のとき有効となり、カウンタのリセット検出条件 (レベルまたはエッジ) を選択します。

表26.5 TCNTカウンタに入力するクロックとカウント条件

チャンネル	TCCRレジスタ					機能	
	CSS[1:0]		CKS[2:0]				
	b4	b3	b2	b1	b0		
TMR0 (TMR2)	0	0	—	0	0	クロック入力を禁止	
					1	外部カウントクロックの立ち上がりエッジでカウント(注1)	
					0	外部カウントクロックの立ち下がりエッジでカウント(注1)	
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント(注1)	
	0	1	0	0	0	内部クロック：PCLKでカウント	
					1	内部クロック：PCLK/2でカウント	
					0	内部クロック：PCLK/8でカウント	
					1	内部クロック：PCLK/32でカウント	
				1	0	0	内部クロック：PCLK/64でカウント
						1	内部クロック：PCLK/1024でカウント
						0	内部クロック：PCLK/8192でカウント
						1	クロック入力を禁止
	1	0	—	—	—	設定しないでください	
	1	1	—	—	—	TMR1.TCNT (TMR3.TCNT)のオーバフロー信号でカウント(注2)	
TMR1 (TMR3)	0	0	—	0	0	クロック入力を禁止	
					1	外部カウントクロックの立ち上がりエッジでカウント(注1)	
					0	外部カウントクロックの立ち下がりエッジでカウント(注1)	
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント(注1)	
	0	1	0	0	0	内部クロック：PCLKでカウント	
					1	内部クロック：PCLK/2でカウント	
					0	内部クロック：PCLK/8でカウント	
					1	内部クロック：PCLK/32でカウント	
			1	0	0	内部クロック：PCLK/64でカウント	
					1	内部クロック：PCLK/1024でカウント	
					0	内部クロック：PCLK/8192でカウント	
					1	クロック入力を禁止	
	1	0	—	—	—	設定しないでください	
	1	1	—	—	—	TMR0.TCNT (TMR2.TCNT)のコンペアマッチAでカウント(注2)	

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「21. I/Oポート」、および「22. マルチファンクションピンコントローラ (MPC)」を参照してください。

注2. TMR0 (TMR2)のクロック入力をTMR1.TCNT (TMR3.TCNT)カウンタのオーバフロー信号とし、TMR1 (TMR3)のクロック入力をTMR0.TCNT (TMR2.TCNT)カウンタのコンペアマッチ信号とすると、TCNTカウンタクロックが発生しません。この設定は行わないでください。

26.2.6 タイマコントロール/ステータスレジスタ (TCSR)

- TMR0.TCSR、TMR2.TCSR レジスタ

アドレス TMR0.TCSR 0008 8202h, TMR2.TCSR 0008 8212h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	0	0	0	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力(トグル出力)	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO_n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

- TMR1.TCSR、TMR3.TCSR レジスタ

アドレス TMR1.TCSR 0008 8203h, TMR3.TCSR 0008 8213h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	1	0	0	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力(トグル出力)	R/W
b4	—	予約ビット	読むと“1”が読めず。書く場合、“1”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO_n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

26.2.7 タイマカウンタスタートレジスタ (TCSTR)

アドレス TMR0.TCSTR 0008 820Ch, TMR2.TCSTR 0008 821Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TCS
リセット後の値	x	x	x	x	x	x	x	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	TCS	タイマカウンタステータスビット	0 : ELCによるカウント停止状態 1 : ELCによるカウント開始状態	R/W
b7-b1	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

TCS ビット (タイマカウンタステータスビット)

ELC によるタイマカウンタの状態を確認できます。

読み出し値が“1”のとき、ELC によるタイマ開始状態で、“0”のとき、タイマカウンタ停止状態です。

このビットをクリアするには、“0”を書いてください。“1”の書き込みは無効です。

TCS ビットは、イベントリンクコントローラ (ELC) の ELOPD レジスタでカウントスタート動作が選択されたときのみ有効となります。

詳細は、「26.7 ELC によるリンク動作」および、「20. イベントリンクコントローラ (ELC)」を参照してください。

26.3 動作説明

26.3.1 パルス出力

任意のデューティパルスを出力させる例を図 26.3 に示します。

1. TCORA レジスタのコンペアマッチにより TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを“01b”(コンペアマッチ A によりクリア)に設定します。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを“10b”(High 出力)、TCSR.OSB[1:0] ビットを“01b”(Low 出力)にします。

以上の設定により周期が TCORA レジスタ、パルス幅が TCORB レジスタの波形をソフトウェアの介入なしに出力できます。

TCSR.OSA[1:0] ビットまたは TCSR.OSB[1:0] ビットを設定してから、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子は Low です。

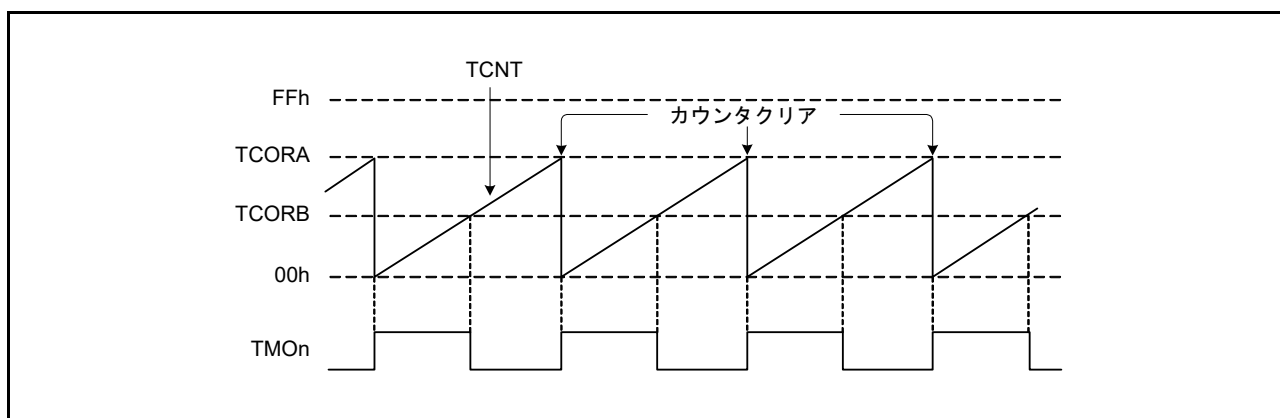


図 26.3 パルス出力例 (n = 0 ~ 3)

26.3.2 外部カウンタリセット入力

TMRIn 入力に対する任意の遅延時間のパルスを出力させる例を図 26.4 に示します。

1. TMRIn 入力の High で TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを “11b” (外部カウンタリセット信号によりクリア) にし、TCCR.TMRIS ビットを “1” (外部カウンタリセット信号の High でクリア) にします。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを “10b” (High 出力)、TCSR.OSB[1:0] ビットを “01b” (Low 出力) にします。

以上の設定により TMRIn 入力からの遅延が TCORA レジスタ、パルス幅が (TCORB – TCORA) の波形を出力できます。

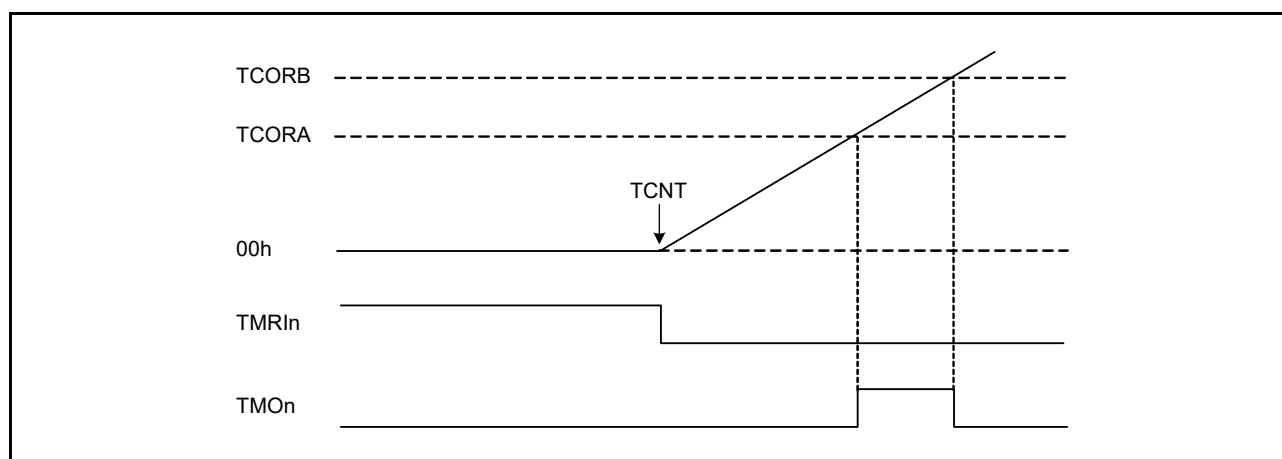


図 26.4 外部カウンタリセット信号入力例 (n = 0 ~ 3)

26.4 動作タイミング

26.4.1 TCNT カウンタのカウンタタイミング

内部クロック動作の場合の TCNT カウンタのカウンタタイミングを図 26.5 に示します。また、外部クロック動作の場合の TCNT カウンタのカウンタタイミングを図 26.6 に示します。

なお外部クロックのパルス幅は、片エッジの場合は 1.5 PCLK 以上、両エッジの場合は 2.5 PCLK 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

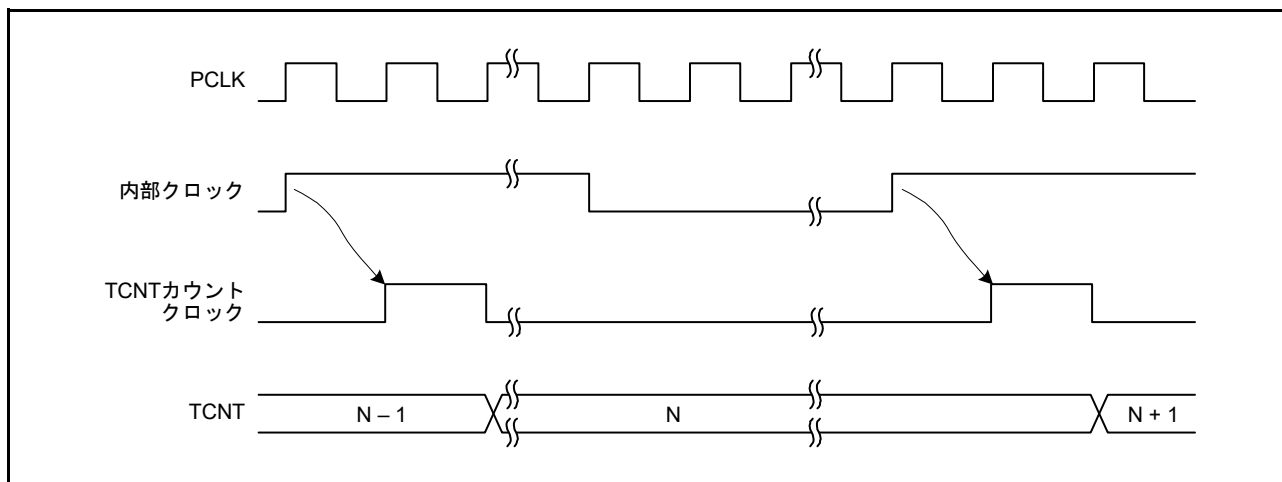


図 26.5 内部クロック動作時のカウンタタイミング

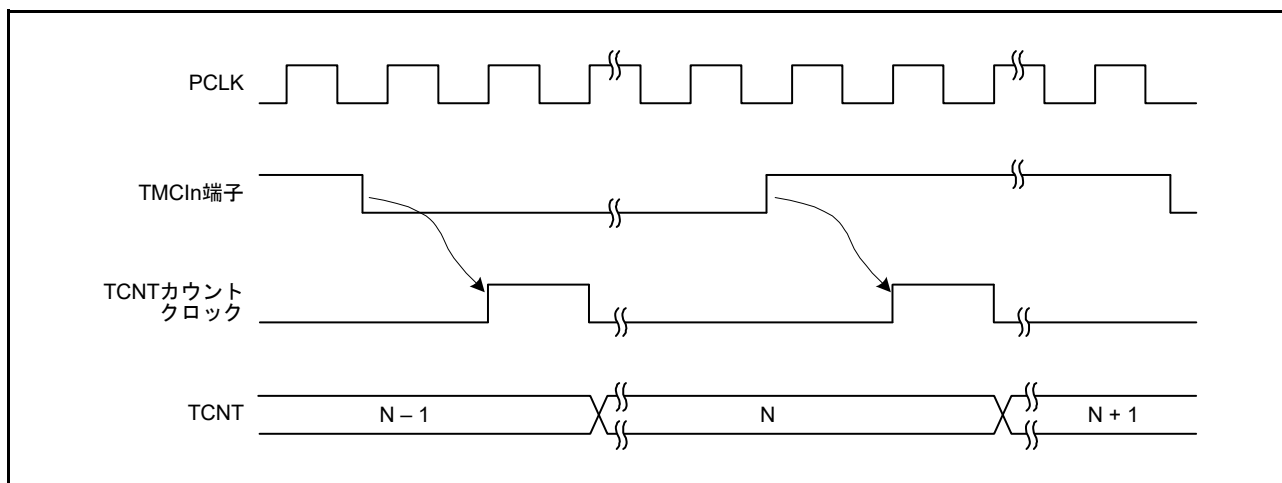


図 26.6 外部クロック動作時のカウンタタイミング (両エッジの場合)

26.4.2 コンペアマッチ時の割り込みタイミング

TCORA または TCORB レジスタが TCNT カウンタの値と一致したときコンペアマッチが発生し、割り込み要求が許可されていればコンペアマッチ割り込み信号が出力されます。コンペアマッチは、一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、TCNT カウンタと TCORA、TCORB レジスタの値が一致した後、TCNT カウントクロックが発生するまでコンペアマッチは発生しません。割り込み信号の出力タイミングを図 26.7 に示します。

なお、対応する割り込みベクタ番号は、「15. 割り込みコントローラ (ICUb)」と表 26.6 を参照してください。

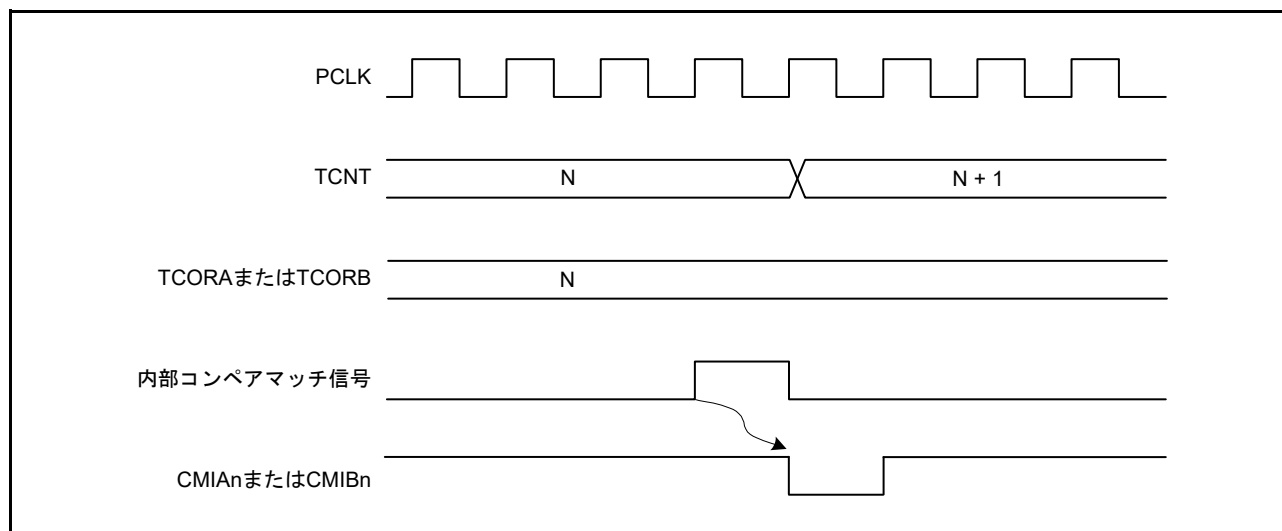


図 26.7 コンペアマッチ時の割り込みタイミング (n = 0 ~ 3)

26.4.3 コンペアマッチ時の出力信号タイミング

コンペアマッチ信号が発生したとき、TCSR.OSA[1:0], OSB[1:0] ビットで設定される出力値がタイマ出力端子 (TMO_n) に出力されます。

コンペアマッチ A 信号によるトグル出力の場合の出力信号タイミングを図 26.8 に示します。

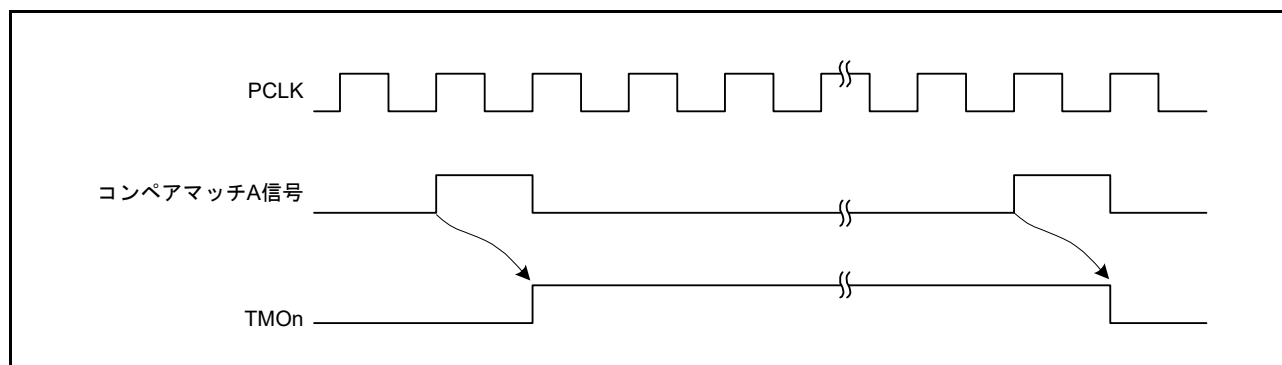


図 26.8 コンペアマッチ A 信号による出力信号タイミング (n = 0 ~ 3)

26.4.4 コンペアマッチによるカウンタクリアタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。

コンペアマッチによるカウンタクリアタイミングを図 26.9 に示します。

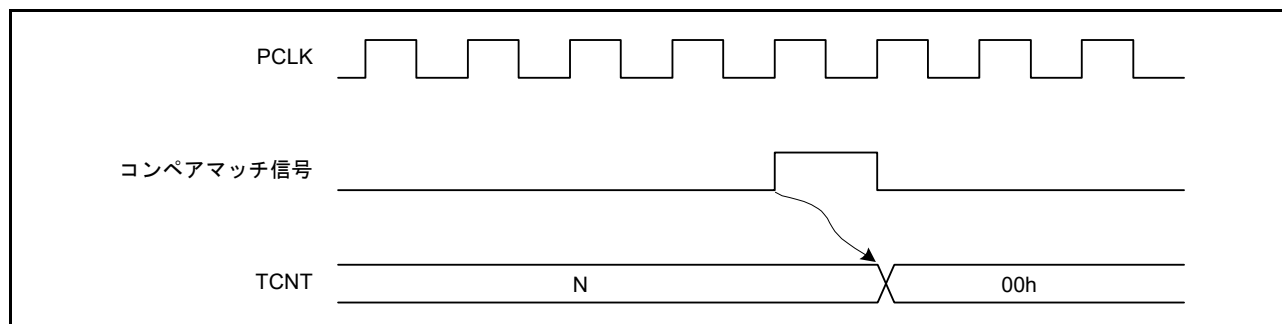


図 26.9 コンペアマッチによるカウンタクリアタイミング

26.4.5 TCNT カウンタの外部リセットタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択により外部カウンタリセット信号の立ち上がりエッジ、または High でクリアされます。リセットを入力してから TCNT カウンタのクリアまでは 2PCLK 以上必要となります。

外部カウンタリセット信号によるクリアタイミングを図 26.10、図 26.11 に示します。

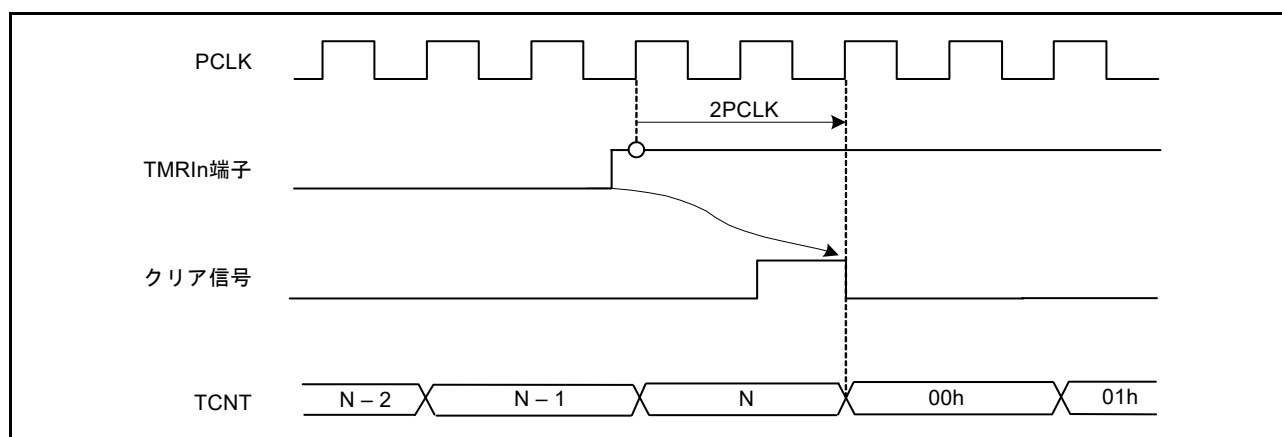


図 26.10 外部カウンタリセット信号によるクリアタイミング (立ち上がりエッジ)

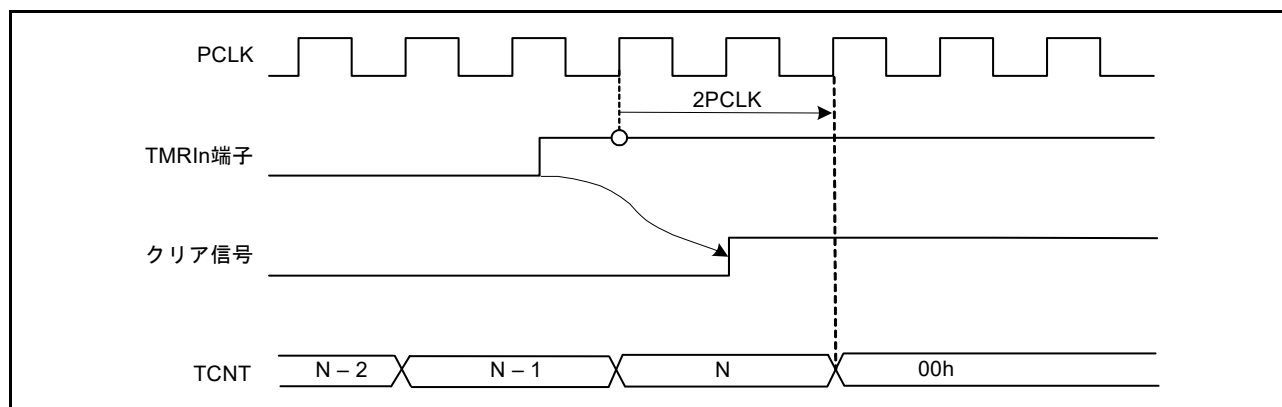


図 26.11 外部カウンタリセット信号によるクリアタイミング (High)

26.4.6 オーバフローによる割り込みタイミング

TCNT カウンタのオーバフロー (“FFh”→“00h”) が発生すると、割り込み要求が許可されていれば、オーバフロー割り込み信号が出力されます。

割り込み信号の出力タイミングを図 26.12 に示します。

なお、対応する割り込みベクタ番号は、「15. 割り込みコントローラ (ICUb)」と表 26.6 を参照してください。

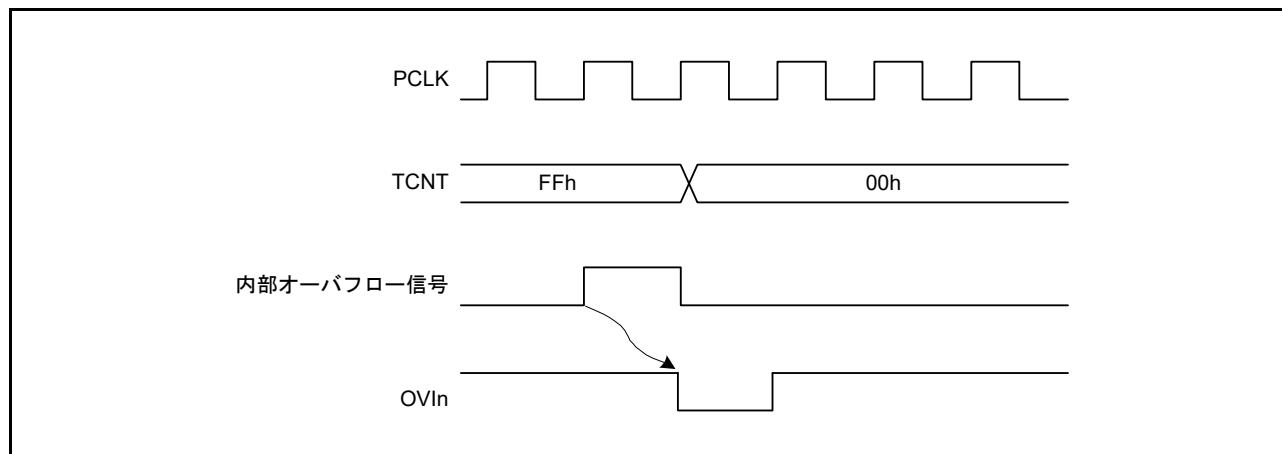


図 26.12 オーバフローによる割り込みタイミング (n = 0 ~ 3)

26.5 カスケード接続時の動作

TMR0.TCCR、TMR1.TCCR レジスタのいずれか一方の CSS[1:0] ビットを“11b”にすると、2チャンネルの TMR はカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットカウントモードか、または TMR0 のコンペアマッチを TMR1 でカウントするコンペアマッチカウントモードにすることができます。

なお、この節ではユニット0について説明しています。ユニット1のカスケード接続時の動作についても、ユニット0と同様です。

26.5.1 16ビットカウントモード

TMR0.TCCR.CSS[1:0] ビットが“11b”のとき、TMR0 を上位8ビット、TMR1 を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(1) カウンタクリア指定

- TMR0.TCR.CCLR[1:0] ビットの設定が16ビットカウンタに対して有効になります。
TMR0.TCR.CCLR[1:0] ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生すると16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。また、TMR10 端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。
- TMR1.TCR.CCLR[1:0] ビットの設定は無効になります。

(2) 端子出力

- TMR0.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO0 端子の出力制御は、16ビットのコンペアマッチ条件に従います。
- TMR1.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO1 端子の出力制御は、下位8ビットのコンペアマッチ条件に従います。

26.5.2 コンペアマッチカウントモード

TMR1.TCCR.CSS[1:0] ビットが“11b”のとき、TMR1.TCNT カウンタは TMR0 のコンペアマッチ A の発生回数をカウントします。TMR0、TMR1 の制御はそれぞれ個別に行われ、割り込みの発生、TMO_n 端子 (n = 0, 1) の出力、カウンタクリアなどは各チャンネルの設定に従います。

26.6 割り込み要因

26.6.1 割り込み要因と DTC 起動

TMRn の割り込み要因は、CMIA_n、CMIB_n、OVIn の 3 種類があります。表 26.6 に各割り込み要因と優先順位を示します。

なお、CMIA_n、CMIB_n 割り込みにより DTC を起動することができます。

表 26.6 TMR の割り込み要因

名称	割り込み要因	DTC の起動	優先順位
CMIA0	TMR0.TCORA のコンペアマッチ	可能	高 ↑ ↓ 低
CMIB0	TMR0.TCORB のコンペアマッチ	可能	
OVI0	TMR0.TCNT のオーバーフロー	不可能	
CMIA1	TMR1.TCORA のコンペアマッチ	可能	
CMIB1	TMR1.TCORB のコンペアマッチ	可能	
OVI1	TMR1.TCNT のオーバーフロー	不可能	
CMIA2	TMR2.TCORA のコンペアマッチ	可能	
CMIB2	TMR2.TCORB のコンペアマッチ	可能	
OVI2	TMR2.TCNT のオーバーフロー	不可能	
CMIA3	TMR3.TCORA のコンペアマッチ	可能	
CMIB3	TMR3.TCORB のコンペアマッチ	可能	
OVI3	TMR3.TCNT のオーバーフロー	不可能	

26.7 ELCによるリンク動作

26.7.1 ELC へのイベント信号出力

TMR はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。TMR はコンペアマッチ A、コンペアマッチ B、および、オーバフローのイベント信号を出力します。対応するチャンネルは TMR0 と TMR2 です。

イベント信号は該当する割り込み要求許可ビット (TMR0.TCR.OVIE/TMR2.TCR.OVIE、TMR0.TCR.CMIEA/TMR2.TCR.CMIEA、TMR0.TCR.CMIEB/TMR2.TCR.CMIEB) の設定に関係なく出力することができます。詳細は、「20. イベントリンクコントローラ (ELC)」を参照してください。

カスケード接続の動作にも、イベント出力機能は対応しています。

26.7.2 ELC からのイベント信号受信による TMR 動作

TMR は ELC の ELSRn レジスタの設定により、あらかじめ設定したイベントによる次の動作が可能です。ただし、カスケード接続の動作には ELC は対応しておりません。

(1) カウントスタート動作

ELC の ELOPD レジスタで TMR のカウントスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCSTR.TCS ビットが“1”にセットされ、TMR のカウントがスタートします。カウントソースは、ELC の ELOPD レジスタで TMR のカウントスタート動作を選択した後、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定により選択してください。

TCS ビットが“1”にセットされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。

カウントを停止させるためには、TCSTR.TCS ビットへ“0”を書いてください。

カウント停止状態でカウントスタートのイベントが入力されると、再び CKS[2:0]、CSS[1:0] ビットに従ってカウントします。

TCS ビットは、ELC の ELOPD.TMR0MD[1:0]、ELOPD.TMR2MD[1:0] ビットにおいてカウントスタートが選択されたときのみ有効となります。

(2) イベントカウンタ動作

ELC の ELOPD レジスタで TMR のイベントカウンタ動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定に関係なくそのイベントをカウントソースとして、イベントカウンタ動作します。カウント値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウントリスタート動作

ELC の ELOPD レジスタで TMR のカウントリスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタの値が初期値に書き換わります。CKS[2:0] ビット、CSS[1:0] ビットの設定が「クロック入力禁止」以外になっていれば、カウンタ動作を継続することができます。

26.7.3 ELCからのイベント信号受信によるTMRの注意事項

以下にTMRをイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

TCSTR.TCSビットへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCSTR.TCSビットへの書き込みサイクルは行われずイベント発生による“1”の設定が優先されます。

(2) イベントカウンタ動作

TCNTカウンタへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCNTカウンタへの書き込みサイクルは行われずイベント発生によるカウント動作が優先されます。

(3) カウントリスタート動作

TCNTカウンタへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCNTカウンタへの書き込みサイクルは行われずイベント発生によるカウント値の初期化が優先されます。

26.8 使用上の注意事項

26.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMR の動作禁止 / 許可を設定することが可能です。初期値では、TMR の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

26.8.2 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNT カウンタは TCORA、TCORB レジスタの値と一致した最後の PCLK (TCNT カウンタが一致したカウント値を更新するタイミング) でクリアされます。このため、カウンタの周波数は以下の式になります (f : カウンタ周波数、PCLK: 動作周波数、 N : TCORA、TCORB レジスタの設定値)。

$$f = \text{PCLK} / (N + 1)$$

26.8.3 TCNT カウンタへの書き込みとカウンタクリアの競合

図 26.13 のように CPU による TCNT カウンタへの書き込みと同時にカウンタクリアが発生すると、カウンタへの書き込みは行われずクリアが優先されます。

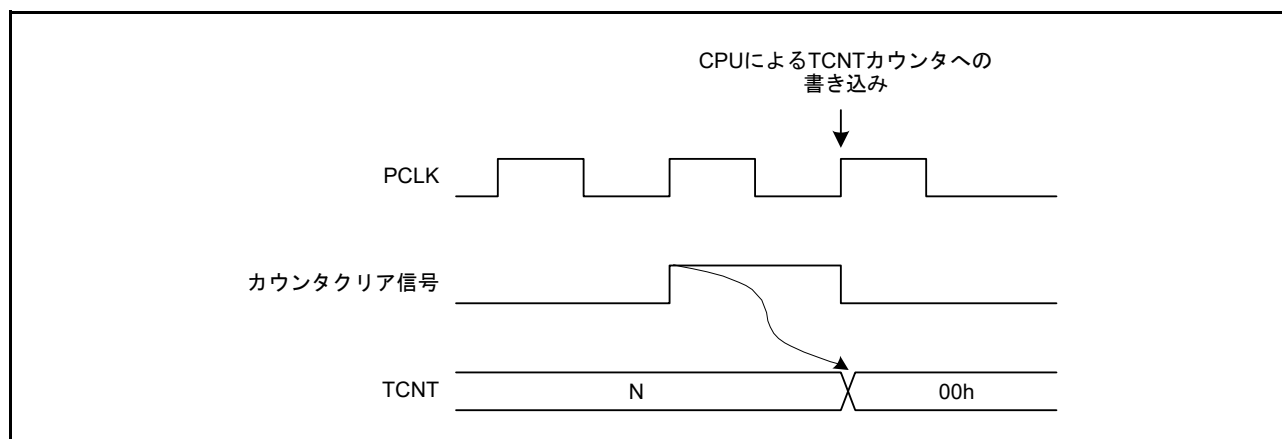


図 26.13 TCNT カウンタへの書き込みとカウンタクリアの競合

26.8.4 TCNT カウンタへの書き込みとカウントアップの競合

図 26.14 のように CPU による TCNT カウンタへの書き込みと同時にカウントアップが発生しても、カウントアップされず TCNT カウンタへの書き込みが優先されます。

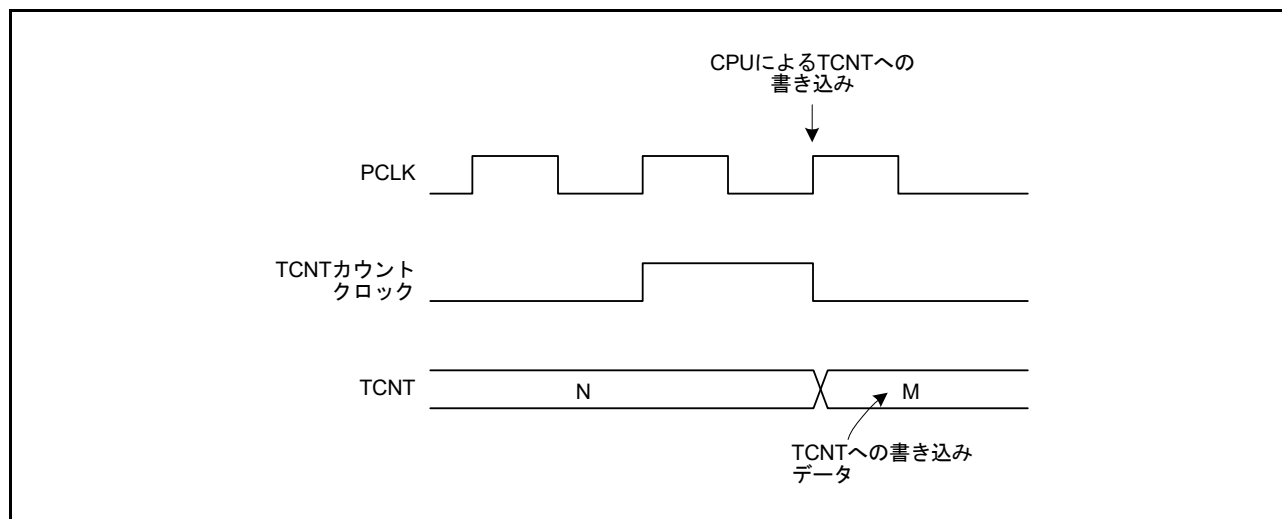


図 26.14 TCNT カウンタへの書き込みとカウントアップの競合

26.8.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

図 26.15 のように CPU による TCORA、TCORB レジスタへの書き込みと同時にコンペアマッチが発生するタイミングとなっても、TCORA、TCORB レジスタへの書き込みが優先されコンペアマッチ信号は High になりません。

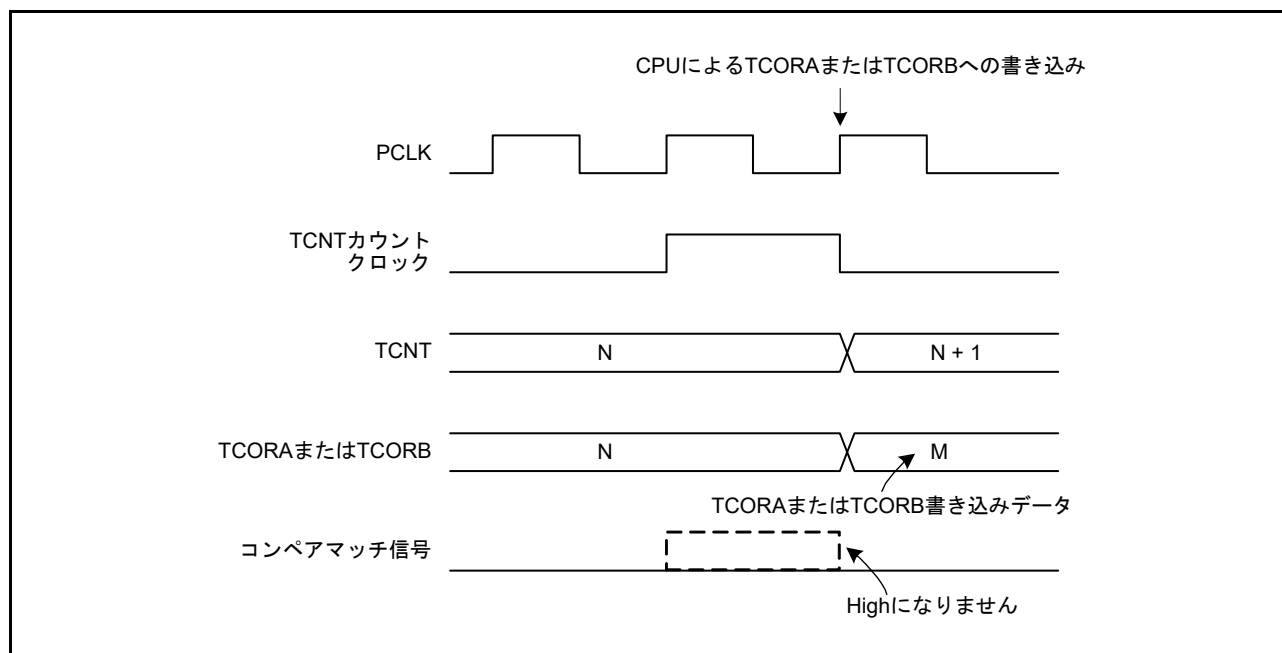


図 26.15 TCORA、TCORB レジスタのライトとコンペアマッチの競合

26.8.6 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力方法と、コンペアマッチ B に対して設定されている出力方法のうち、表 26.7 に示す出力設定の優先順位の高い方が出力されます。

表 26.7 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
High出力	
Low出力	
変化しない	

26.8.7 内部クロックの切り替えと TCNT カウンタの動作

内部クロックを切り替えるタイミングによっては、TCNT カウンタがカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (TCCR.CKS[2:0] ビットの書き換え) と、TCNT カウンタ動作の関係を表 26.8 に示します。

内部クロックから TCNT カウントクロックを生成する場合、内部クロックの立ち上がりエッジを検出しています。そのため、たとえば表 26.8 の No.2 のように、Low→High になるようなクロックの切り替えを行うと、切り替えタイミングをエッジと見なして TCNT カウントクロックが発生し、TCNT カウンタがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT カウンタがカウントアップされることがあります。

表 26.8 内部クロックの切り替えと TCNT カウンタの動作 (1/2)

No.	TCCR.CKS[2:0]ビット書き換えタイミング	TCNT カウンタの動作
1	Low→Low (注1)の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT カウントクロック</p> <p>TCNT</p> <p>TCCR.CKS[2:0]ビット書き換え</p>

表 26.8 内部クロックの切り替えとTCNTカウンタの動作 (2/2)

No.	TCCR.CKS[2:0]ビット書き換えタイミング	TCNTカウンタの動作
2	Low→High (注2)の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNTカウントクロック</p> <p>TCNT N N+1 N+2 N+3</p> <p>TCCR.CKS[2:0]ビット書き換え</p>
3	High→Low (注4)の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNTカウントクロック</p> <p>TCNT N N+1 N+2 N+3</p> <p>TCCR.CKS[2:0]ビット書き換え</p>
4	High→Highの切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNTカウントクロック</p> <p>TCNT N N+1 N+2</p> <p>TCCR.CKS[2:0]ビット書き換え</p>

注1. Low→停止、および停止→Lowの場合を含みます。
 注2. 停止→Highの場合を含みます。
 注3. 切り替えのタイミングをエッジとみなすために発生し、TCNTカウンタはカウントアップされてしまいます。
 注4. High→停止の場合を含みます。

26.8.8 カスケード接続時のクロックソース設定

16ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TMR0.TCNT、TMR1.TCNT カウンタ (TMR2.TCNT、TMR3.TCNT カウンタ) のカウントクロックが発生しなくなるため、カウンタが停止して動作しません。この設定はしないでください。

26.8.9 コンペアマッチ割り込みの連続出力

TCORA または TCORB レジスタを“00h”に、内部クロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“00h”のままで更新されず、コンペアマッチ割り込みを連続してレベル状に出力します。

このとき、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

コンペアマッチ割り込みが連続出力する場合の動作タイミングを図 26.16 に示します。

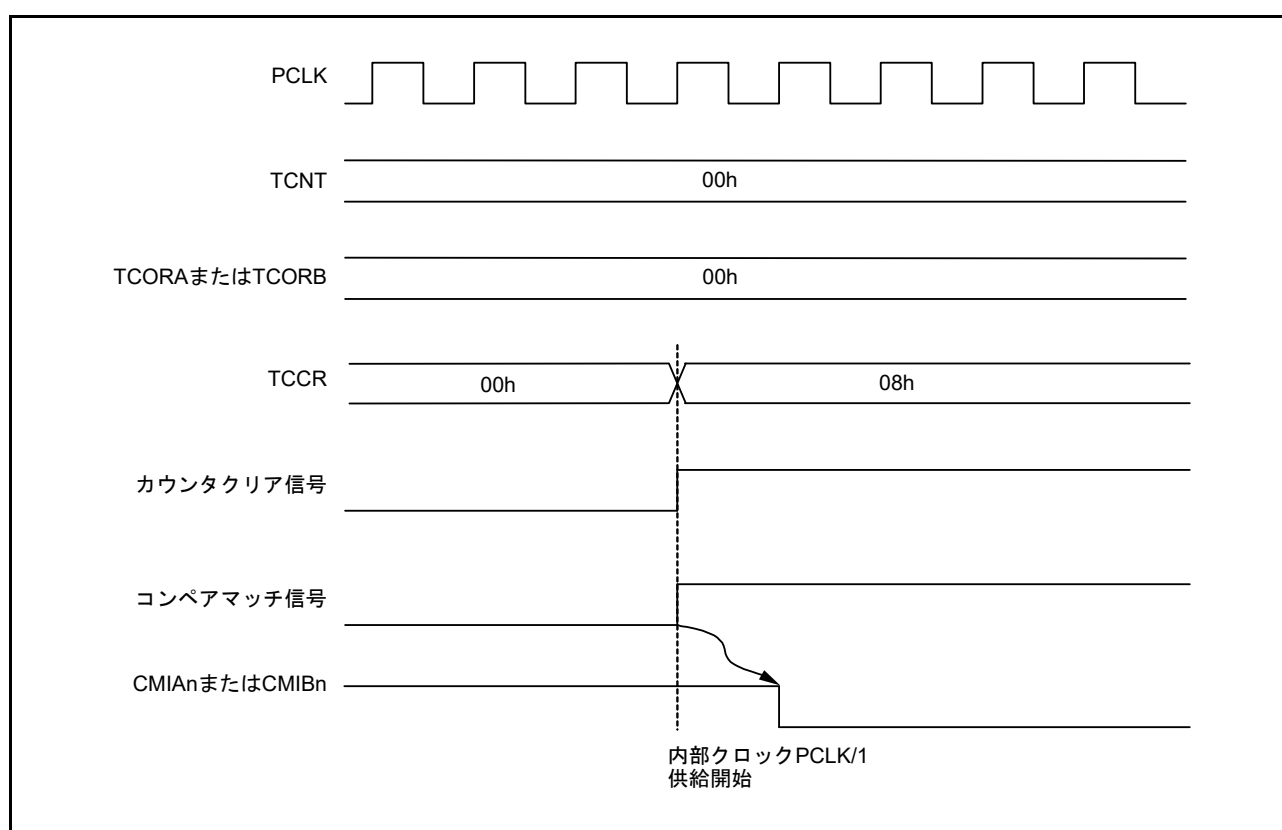


図 26.16 コンペアマッチ割り込みの連続出力 (n = 0 ~ 3)

27. コンペアマッチタイマ (CMT)

本 MCU は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を 2 ユニット (ユニット 0、ユニット 1)、合計 4 チャンネル内蔵しています。CMT は、16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

本章に記載している PCLK とは PCLKB を指します。

27.1 概要

表 27.1 に CMT の仕様を示します。

図 27.1 に CMT (ユニット 0) のブロック図を示します。2 チャンネルの CMT で 1 ユニットの構成し、ユニット 0 とユニット 1 は同じ仕様です。ユニット 0 のコンペアマッチタイマスタートレジスタ 0 (CMSTR0)、コンペアマッチ割り込み (CMI0, CMI1) が、ユニット 1 ではコンペアマッチタイマスタートレジスタ 1 (CMSTR1)、コンペアマッチ割り込み (CMI2, CMI3) に対応します。

表 27.1 CMT の仕様

項目	機能
カウントクロック	<ul style="list-style-type: none"> 4種類の分周クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512の中からチャンネルごとに選択可能
割り込み	コンペアマッチ割り込みをチャンネルごとに要求することが可能
イベントリンク機能(出力)	CMT1のコンペアマッチによりイベント信号出力
イベントリンク機能(入力)	設定したモジュールに対してリンク動作が可能 CMT1のカウントスタート、イベントカウンタ、カウントリスタート動作が可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

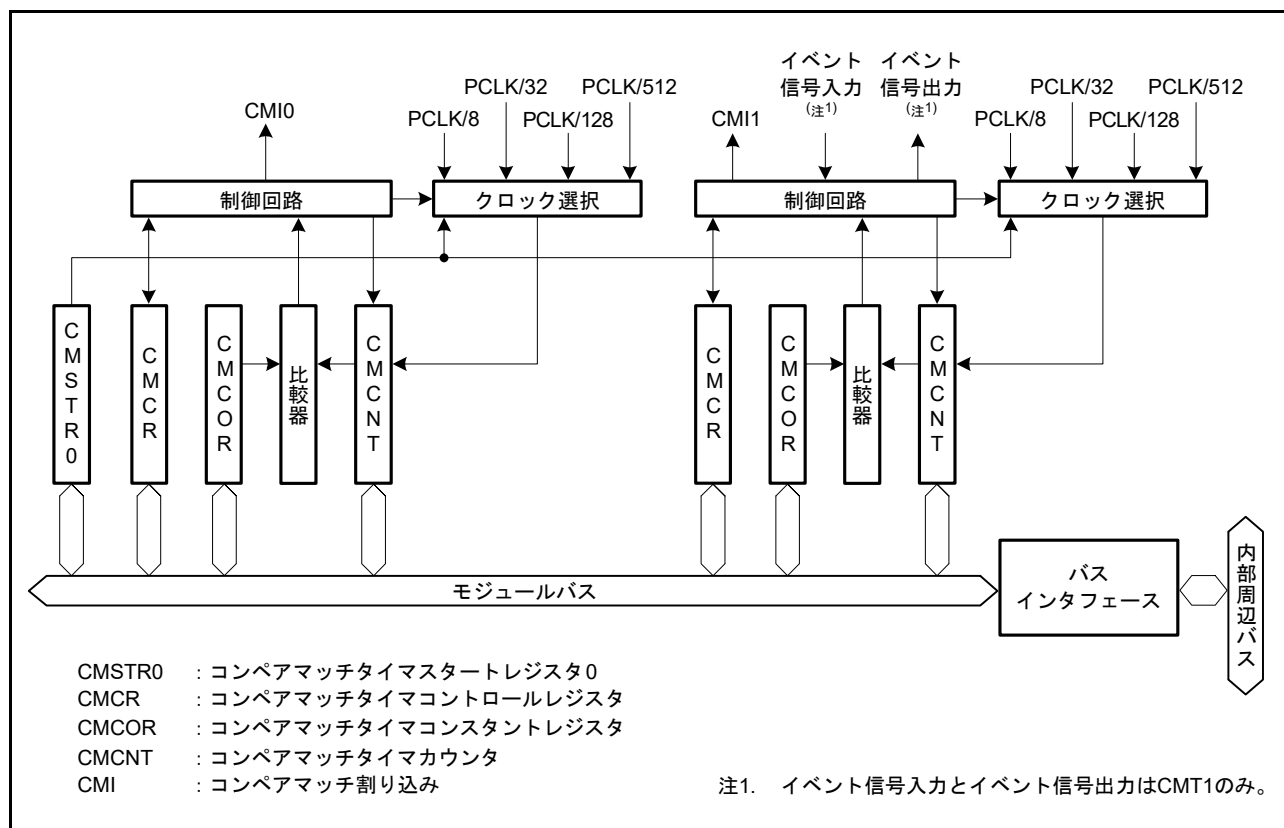


図 27.1 CMT (ユニット 0) のブロック図

27.2 レジスタの説明

27.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

アドレス 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0 : CMT0.CMCNTカウンタのカウンタ動作停止 1 : CMT0.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR1	カウントスタート1ビット	0 : CMT1.CMCNTカウンタのカウンタ動作停止 1 : CMT1.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

27.2.2 コンペアマッチタイマスタートレジスタ 1 (CMSTR1)

アドレス 0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	0 : CMT2.CMCNTカウンタのカウンタ動作停止 1 : CMT2.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR3	カウントスタート3ビット	0 : CMT3.CMCNTカウンタのカウンタ動作停止 1 : CMT3.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

27.2.3 コンペアマッチタイマコントロールレジスタ (CMCR)

アドレス CMT0.CMCR 0008 8002h, CMT1.CMCR 0008 8008h, CMT2.CMCR 0008 8012h, CMT3.CMCR 0008 8018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLK/8 0 1 : PCLK/32 1 0 : PCLK/128 1 1 : PCLK/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0 : コンペアマッチ割り込み(CMIn)を禁止 1 : コンペアマッチ割り込み(CMIn)を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周して得られる 4 種類の分周クロックからカウントソースを選択します。

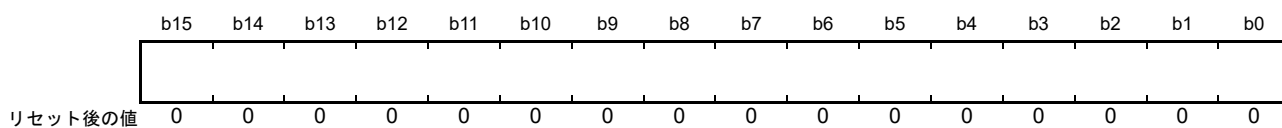
CMSTRm.STRn ビット (m=0, 1, n=0~3) を“1”に設定すると、CKS[1:0] ビットで選択されたクロックにより対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット (コンペアマッチ割り込み許可ビット)

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み (CMIn) (n=0~3) の発生を許可するか禁止するかを選択します。

27.2.4 コンペアマッチタイマカウンタ (CMCNT)

アドレス CMT0.CMCNT 0008 8004h, CMT1.CMCNT 0008 800Ah, CMT2.CMCNT 0008 8014h, CMT3.CMCNT 0008 801Ah



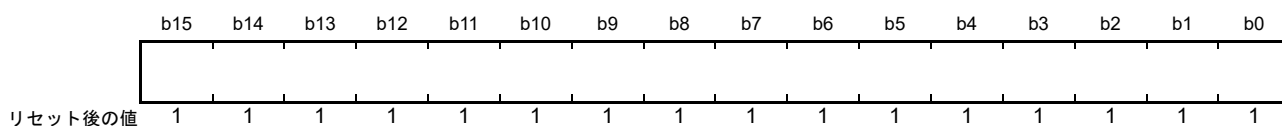
CMCNT カウンタは、読み出し / 書き込み可能なアップカウンタです。

CMCR.CKS[1:0] ビットで分周クロックを選択して、CMSTRm.STRn ビット ($m = 0, 1$, $n = 0 \sim 3$) を“1”にすると、そのクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは“0000h”になります。このとき、コンペアマッチ割り込み (CMIn) ($n = 0 \sim 3$) が発生します。

27.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR)

アドレス CMT0.CMCOR 0008 8006h, CMT1.CMCOR 0008 800Ch, CMT2.CMCOR 0008 8016h, CMT3.CMCOR 0008 801Ch



CMCOR レジスタは、CMCNT カウンタとのコンペアマッチする値を設定する読み出し / 書き込み可能なレジスタです。

27.3 動作説明

27.3.1 周期カウント動作

CMCR.CKS[1:0] ビットで分周クロックを選択し、CMSTRm.STRn ビット ($m=0, 1$, $n=0 \sim 3$) を“1”にすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、コンペアマッチ割り込み (CMIn) ($n=0 \sim 3$) が発生します。CMCNT カウンタは“0000h”からカウントアップを再開します。CMCNT カウンタの動作を図 27.2 に示します。

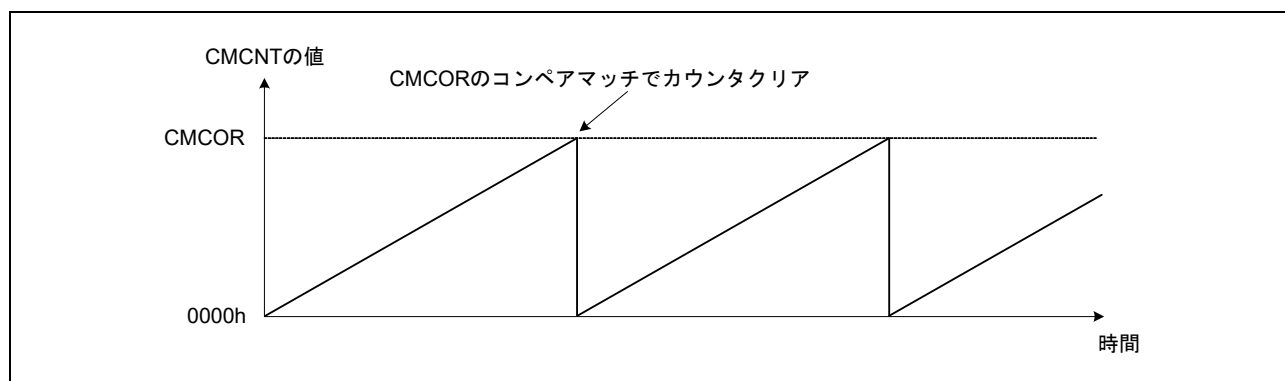


図 27.2 CMCNT カウンタの動作

27.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック (PCLK) を分周した 4 種類の分周クロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) から CMCNT カウンタに入力するカウントクロックを選択できます。このときの CMCNT カウンタのカウントタイミングを図 27.3 に示します。

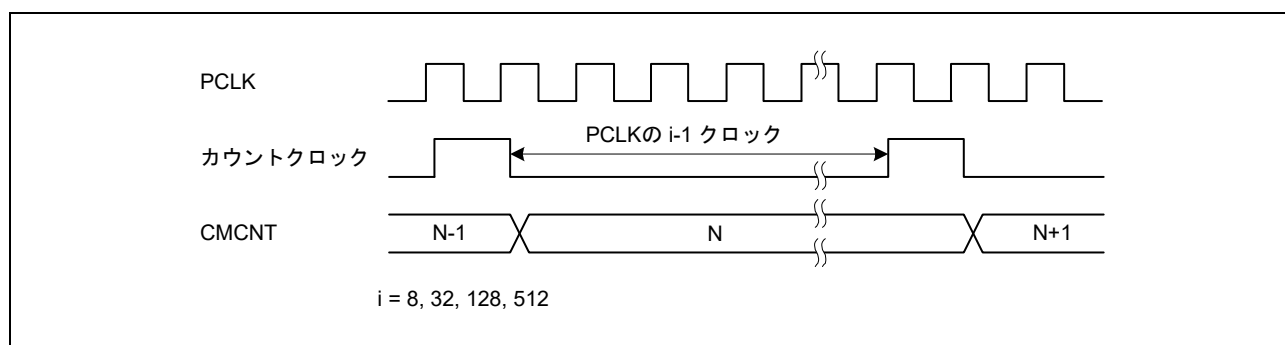


図 27.3 CMCNT カウンタのカウントタイミング

27.4 割り込み

27.4.1 割り込み要因

CMTは、チャンネルごとにコンペアマッチ割り込み(CMI_n) (n = 0 ~ 3)があり、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求によりCPU割り込みを発生させる場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「15. 割り込みコントローラ(ICUb)」を参照してください。

表27.2 CMTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
CMI0	CMT0のコンペアマッチ	可能	可能
CMI1	CMT1のコンペアマッチ	可能	可能
CMI2	CMT2のコンペアマッチ	可能	可能
CMI3	CMT3のコンペアマッチ	可能	可能

27.4.2 コンペアマッチ割り込みの発生タイミング

CMCNTカウンタの値とCMCORレジスタの値が一致したときに、コンペアマッチ割り込み(CMI_n) (n = 0 ~ 3)が発生します。

コンペアマッチ信号は、一致した最後のステート(CMCNTカウンタが一致したカウント値を更新するタイミング)で発生します。したがって、CMCNTカウンタの値とCMCORレジスタの値とが一致した後、CMCNT入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのタイミングを図27.4に示します。

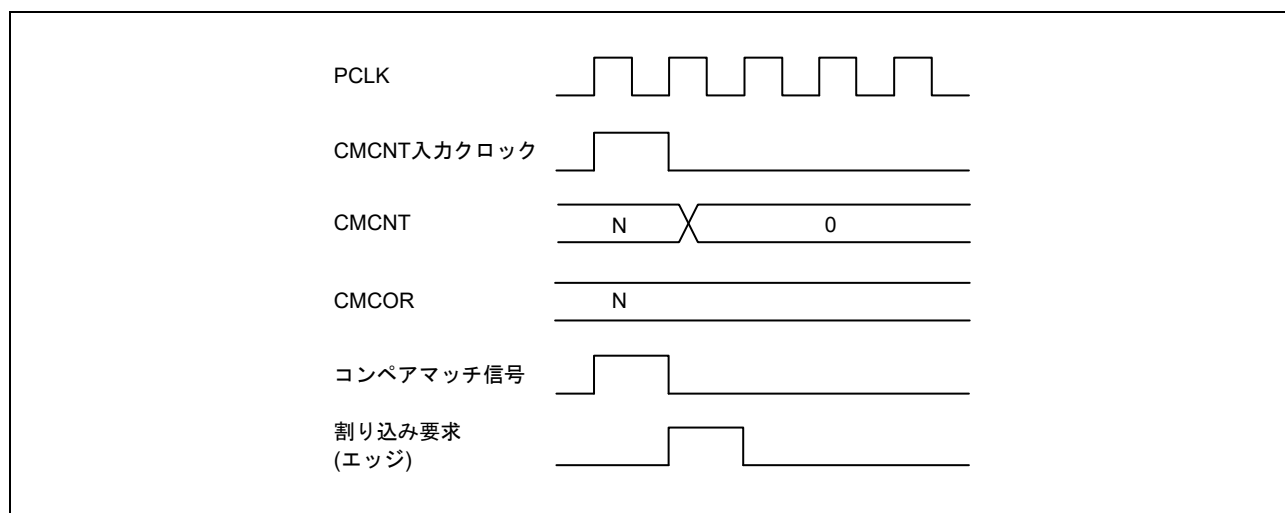


図 27.4 コンペアマッチ割り込みタイミング

27.5 ELC によるリンク動作

27.5.1 ELC へのイベント信号出力

CMT はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。CMT1 のコンペアマッチによりイベント信号を出力します。

イベント信号は該当する割り込み要求許可ビット (CMTn.CMCR.CMIE ビット) の設定に関係なく出力することができます。

27.5.2 ELC からのイベント信号受信による CMT の動作

CMT は ELC の ELSR7 レジスタにあらかじめ設定したイベントにより次の動作が可能です。

(1) カウントスタート動作

ELC の ELOPC レジスタで CMT のカウントスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットが“1”になり、CMT のカウントがスタートします。

ただし、CMSTR0.STR1 ビットが“1”になった状態で指定したイベントが発生した場合は、そのイベントは無効となります。

(2) イベントカウンタ動作

ELC の ELOPC レジスタで CMT のイベントカウンタ動作を選択します。CMSTR0.STR1 ビットが“1”の状態、ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCR.CKS[1:0] ビットの設定に関係なくそのイベントをカウンタソースとして、イベントカウンタ動作を行います。カウンタ値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウンタリスタート動作

ELC の ELOPC レジスタで CMT のカウンタリスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタの値が初期値に書き換わります。CMSTR0.STR1 ビットが“1”の状態であればカウンタ動作を継続することができます。

27.5.3 ELC からのイベント信号受信による CMT の注意事項

以下に CMT をイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

CMSTR0.STR1 ビットへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットへの書き込みは行われずイベント発生による“1”の設定が優先されます。

(2) イベントカウンタ動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウンタ動作が優先されます。

(3) カウンタリスタート動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウンタ値の初期化が優先されます。

27.6 使用上の注意事項

27.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMTの動作を禁止/許可することが可能です。リセット後、CMTはモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

27.6.2 CMCNTカウンタへの書き込みとコンペアマッチの競合

CMCNTカウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNTカウンタへの書き込みは行われずCMCNTカウンタのクリアが優先されます。このタイミングを図27.5に示します。

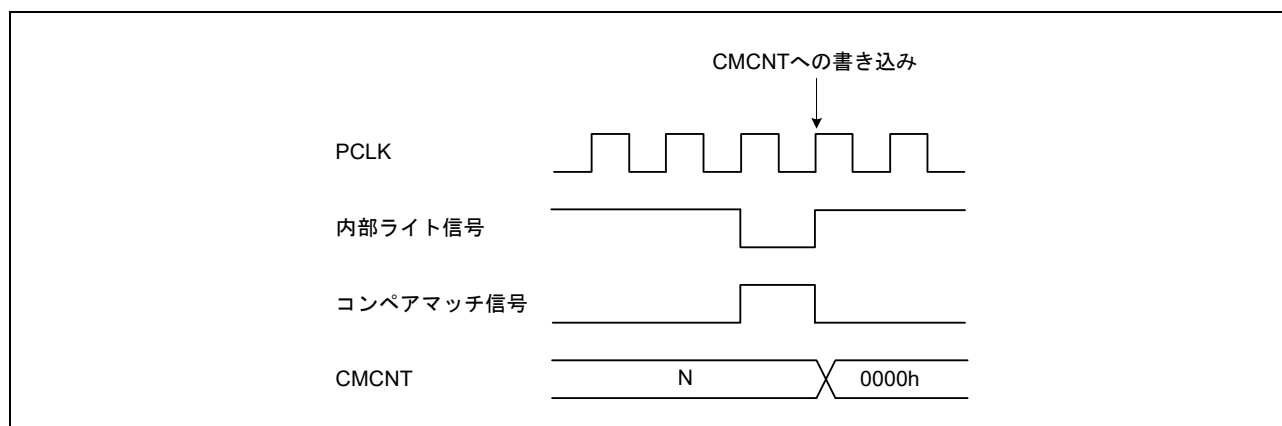


図 27.5 CMCNTカウンタへの書き込みとコンペアマッチの競合

27.6.3 CMCNTカウンタへの書き込みとカウントアップの競合

CMCNTカウンタへの書き込みと、カウントアップが競合した場合、CMCNTカウンタへの書き込みが優先されます。このタイミングを図27.6に示します。

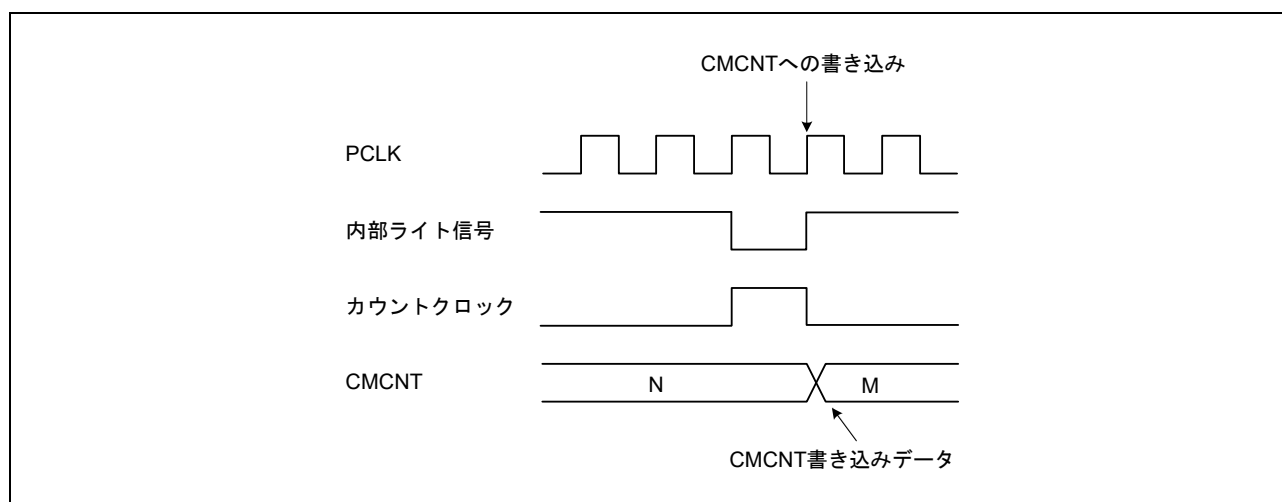


図 27.6 CMCNTカウンタへの書き込みとカウントアップの競合

28. リアルタイムクロック (RTCe)

本章に記載している PCLK とは PCLKB を指します。

28.1 概要

RTC はカウントモードとして、カレンダーカウントモードとバイナリカウントモードの 2 種類を持ち、レジスタの設定により切り替えて使用します。

カレンダーカウントモードは、2000 年から 2099 年の 100 年間で、うるう年を自動で判定してカウントするモードです。

バイナリカウントモードは、年、月、日、曜日、時、分の概念を持たず、秒のみをカウントし、その情報をシリアル値として保持するモードで、西暦以外のカレンダーに対応できます。

RTC は、カウントソースをプリスケアラで分周した 128Hz のクロックを基準クロックとして年、月、日、曜日、午前/午後 (12 時間モード時)、時、分、秒、または 32 ビットバイナリを 1/128 秒単位でカウントします。

表 28.1 に RTC の仕様を、図 28.1 に RTC のブロック図を、表 28.2 に RTC の入出力端子を示します。

表 28.1 RTC の仕様

項目	内容
カウントモード	カレンダーカウントモード/バイナリカウントモード
カウントソース (注1)	サブクロック (XCIN)
時計/カレンダー機能	<ul style="list-style-type: none"> • カレンダーカウントモード 年、月、日、曜日、時、分、秒をカウント、BCD 表示 12 時間/24 時間モード切り替え機能 30 秒調整機能 (30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ) うるう年自動補正機能 • バイナリカウントモード 秒を 32 ビットでカウント、バイナリ表示 • 両モード共通 スタート/ストップ機能 秒以下の桁のバイナリ表示 (1Hz, 2Hz, 4Hz, 8Hz, 16Hz, 32Hz, 64Hz) 時計誤差補正機能 クロック (1Hz/64Hz) 出力
割り込み	<ul style="list-style-type: none"> • アラーム割り込み (ALM) アラーム割り込み条件として、以下のいずれと比較するか選択可能 <ul style="list-style-type: none"> • カレンダーカウントモード: 年、月、日、曜日、時、分、秒 • バイナリカウントモード: 32 ビットバイナリカウンタの各ビット • 周期割り込み (PRD) 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒 周期から選択可能 • 桁上げ割り込み (CUP) 次のいずれかのタイミングで割り込み要求発生 <ul style="list-style-type: none"> • 64Hz カウンタから秒カウンタへの桁上げが発生したとき • 64Hz カウンタの変化と R64CNT レジスタの読み出しタイミングが重なったとき • アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードからの復帰が可能
時間キャプチャ機能	<ul style="list-style-type: none"> • 時間キャプチャイベント入力端子のエッジ検出によって、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、秒をキャプチャ、または 32 ビットバイナリカウンタ値をキャプチャ
イベントリンク機能	周期イベント出力

注1. 周辺モジュールクロック周波数 (PCLK) \geq カウントソース周波数となるようにしてください。

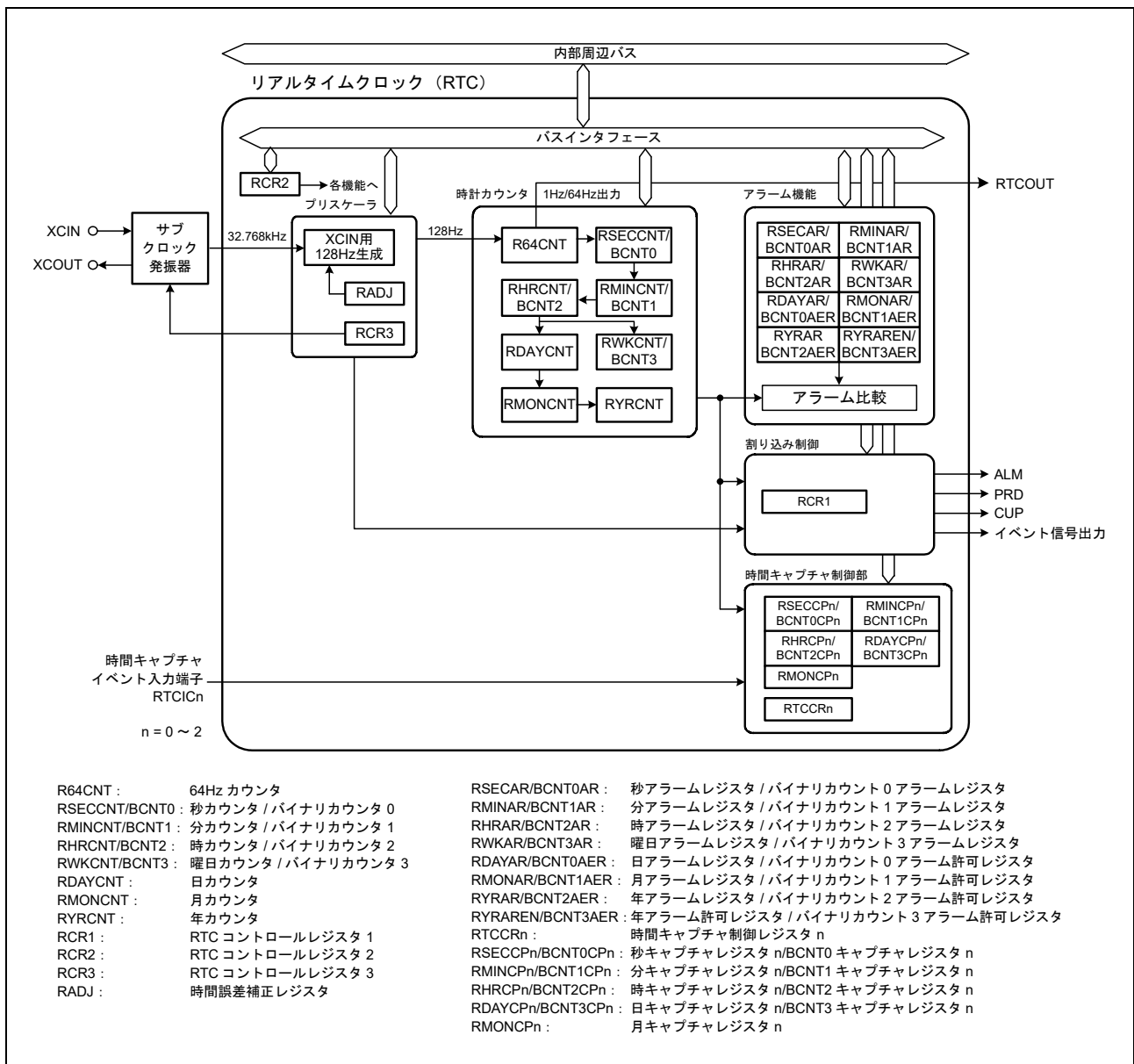


図 28.1 RTC のブロック図

表 28.2 RTC の入出力端子

端子名	入出力	機能
XCIN	入力	32.768kHzの水晶振動子を接続します。
XCOOUT	出力	
RTCOUT	出力	1Hz/64Hzの波形を出力します。
RTCIC0	入力	時間キャプチャイベント入力端子です
RTCIC1	入力	
RTCIC2	入力	

28.2 レジスタの説明

RTC のレジスタの書き込み / 読み出しは、「28.6.5 レジスタの書き込み / 読み出し時の注意事項」に従って行う必要があります。

RTC のレジスタのビットで、リセット後の値が x (不定) のビットは、リセットでは初期化されません。また、カウント動作時 (RCR2.START ビット = 1 のとき) にリセット状態または低消費電力状態へ遷移した場合、年 / 月 / 曜日 / 日 / 時 / 分 / 秒 / 64Hz カウンタは動作を継続します。レジスタ書き込みおよびレジスタ更新処理中にリセットが発生した場合は、レジスタ値を破壊する可能性がありますので、ご注意ください。また、レジスタ設定直後にソフトウェアスタンバイモードへ遷移しないでください。詳細は、「28.6.4 レジスタ設定後の低消費電力モード移行について」を参照ください。

28.2.1 64Hz カウンタ (R64CNT)

アドレス RTC.R64CNT 0008 C400h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
リセット後の値	0	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	F64HZ	64Hz ビット	秒以下の桁の 1Hz ~ 64Hz の状態を示します	R
b1	F32HZ	32Hz ビット		R
b2	F16HZ	16Hz ビット		R
b3	F8HZ	8Hz ビット		R
b4	F4HZ	4Hz ビット		R
b5	F2HZ	2Hz ビット		R
b6	F1HZ	1Hz ビット		R
b7	—	予約ビット	読むと "0" が読めます。書き込みは無効になります	R

R64CNT カウンタは、カレンダーカウントモード / バイナリカウントモード共通で使用します。

R64CNT カウンタは、128Hz の基準クロックでアップカウントするカウンタで、秒周期を生成します。

R64CNT カウンタを読み出すことで、秒以下の状態が確認できます。

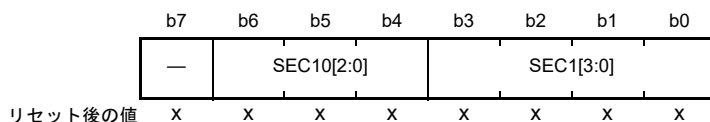
RTC ソフトウェアリセットまたは 30 秒調整を実行すると "00h" になります。

読み出し時は、「28.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

28.2.2 秒カウンタ (RSECCNT) / バイナリカウンタ 0 (BCNT0)

(1) カレンダカウントモード時

アドレス RTC.RSECCNT 0008 C402h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒カウントビット	一秒の位は1秒ごとに0から9をカウントします。桁上げが発生すると、十秒の位が+1されます	R/W
b6-b4	SEC10[2:0]	10秒カウントビット	十秒の位は0から5をカウントして、60秒のカウントを行います	R/W
b7	—	予約ビット	"0"を設定してください。読むと設定値が読めます	R/W

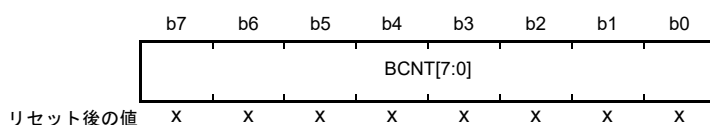
RSECCNT カウンタは、BCD コード化された秒部分の設定、カウント用のカウンタであり、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“00”～“59”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RSECCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「28.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

(2) バイナリカウントモード時

アドレス RTC.BCNT0 0008 C402h



x: 不定

BCNT0 カウンタは、書き込み / 読み出し可能な 32 ビットバイナリカウンタの b7～b0 です。

32 ビットバイナリカウンタは、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

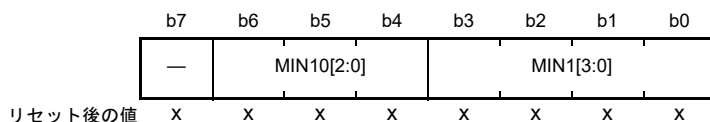
書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「28.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

28.2.3 分カウンタ (RMINCNT) / バイナリカウンタ 1 (BCNT1)

(1) カレンダカウントモード時

アドレス RTC.RMINCNT 0008 C404h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分カウントビット	一分の位は1分ごとに0から9をカウントします。桁上げが発生すると、十分の位が+1されます	R/W
b6-b4	MIN10[2:0]	10分カウントビット	十分の位は0から5をカウントして、60分のカウントを行います	R/W
b7	—	予約ビット	"0"を設定してください。読むと設定値が読めます	R/W

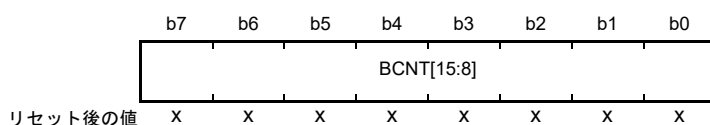
RMINCNT カウンタは、BCD コード化された分部分の設定、カウント用のカウンタであり、秒カウンタの1分ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“00”～“59”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RMINCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「28.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

(2) バイナリカウントモード時

アドレス RTC.BCNT1 0008 C404h



x: 不定

BCNT1 カウンタは、書き込み / 読み出し可能な 32 ビットバイナリカウンタの b15～b8 です。

32 ビットバイナリカウンタは、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

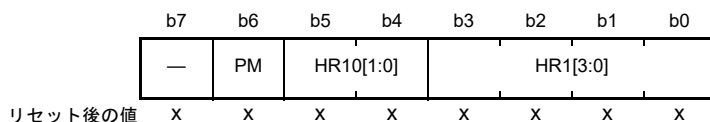
書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「28.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

28.2.4 時カウンタ (RHRCNT) / バイナリカウンタ 2 (BCNT2)

(1) カレンダカウントモード時

アドレス RTC.RHRCNT 0008 C406h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間カウントビット	一時間の位は1時間ごとに0から9をカウントします。桁上げが発生すると、十時間の位が+1されます	R/W
b5-b4	HR10[1:0]	10時間カウントビット	十時間の位は一時間の位の桁上げごとに0から2をカウントします	R/W
b6	PM	PMビット	時カウンタのAM/PMの設定 0: 午前 1: 午後	R/W
b7	—	予約ビット	"0"を設定してください。読むと設定値が読めず	R/W

RHRCNT カウンタは、BCD コード化された時部分の設定、カウント用のカウンタであり、分カウンタの1時間ごとの桁上げによってカウント動作を行います。

設定可能範囲は、時間モードビット (RCR2.HR24) によってそれぞれ以下の範囲となります。

RCR2.HR24 ビットが "0" : 10進 (BCD) で "00" ~ "11"

RCR2.HR24 ビットが "1" : 10進 (BCD) で "00" ~ "23"

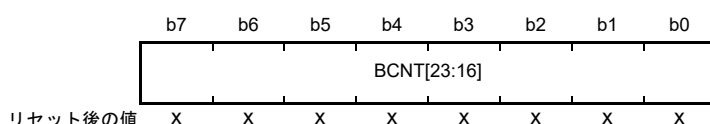
上記以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RHRCNT カウンタを読み出す場合は、RCR2.HR24 ビットが "0" の場合のみ PM ビットが有効になります。RCR2.HR24 ビットが "1" の場合は、PM ビットの値を無視してください。

RHRCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「28.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

(2) バイナリカウントモード時

アドレス RTC.BCNT2 0008 C406h



x: 不定

BCNT2 カウンタは、書き込み / 読み出し可能な 32 ビットバイナリカウンタの b23 ~ b16 です。

32 ビットバイナリカウンタは、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

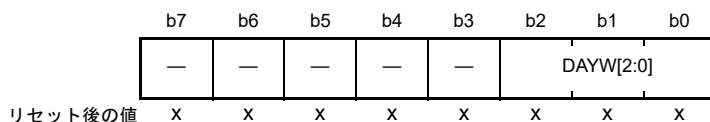
書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「28.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

28.2.5 曜日カウンタ (RWKCNT) / バイナリカウンタ 3 (BCNT3)

(1) カレンダーカウントモード時

アドレス RTC.RWKCNT 0008 C408h



x: 不定

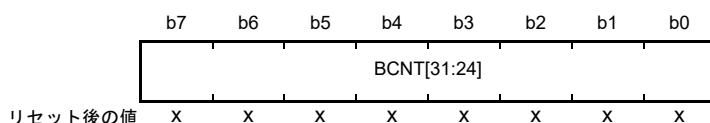
ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日カウントビット	b2 b0 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定しないでください	R/W
b7-b3	—	予約ビット	"0"を設定してください。読むと設定値が読めず	R/W

RWKCNT カウンタはコード化された曜日部分の設定、カウント用のカウンタであり、時カウンタの1日ごとの桁上げによってカウント動作を行います。設定可能範囲は、10進で“0”～“6”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

レジスタの書き込み/読み出しの注意事項については「28.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

(2) バイナリカウントモード時

アドレス RTC.BCNT3 0008 C408h

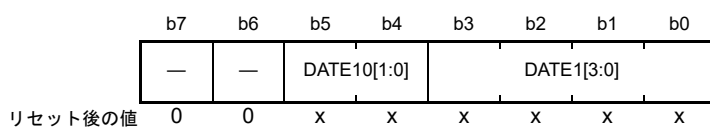


x: 不定

BCNT3 カウンタは、書き込み/読み出し可能な32ビットバイナリカウンタのb31～b24です。32ビットバイナリカウンタは、64Hzカウンタの1秒ごとの桁上げによってカウント動作を行います。書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。読み出し時は、「28.3.5 64Hzカウンタおよび時刻読み出し手順」に従ってください。

28.2.6 日カウンタ (RDAYCNT)

アドレス RTC.RDAYCNT 0008 C40Ah



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日カウントビット	一日の位は1日ごとに0~9をカウントします。桁上げが発生すると十日の位が+1されます	R/W
b5-b4	DATE10[1:0]	10日カウントビット	十日の位は一日の位の桁上げごとに0~3をカウントします	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RDAYCNT カウンタは、カレンダーカウントモード時に使用します。

RDAYCNT カウンタは、BCD コード化された日部分の設定、カウント用のカウンタであり、時カウンタの1日ごとの桁上げによってカウント動作を行います。また、うるう年、月に対応したカウント動作を行います。

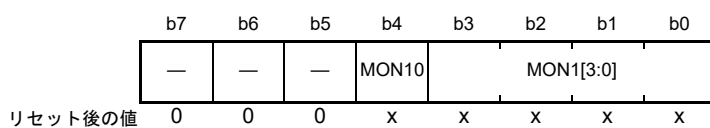
うるう年は年カウンタ (RYRCNT) の“00”を2000年とみなして2000年から2099年を、400、100、4で割り切れるかどうかによって計算されます。

設定可能範囲は、10進 (BCD) で“01”~“31”です。それ以外の値が設定されると、正常に動作しません (月ごとおよびうるう年によって設定可能範囲が変化しますので、確認の上、設定してください)。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RDAYCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「28.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

28.2.7 月カウンタ (RMONCNT)

アドレス RTC.RMONCNT 0008 C40Ch



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月カウントビット	一月の位は1月ごとに0~9をカウントします。桁上げが発生すると十月の位が+1されます	R/W
b4	MON10	10月カウントビット	十月の位は一月の位の桁上げごとに0~1をカウントします	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMONCNT カウンタは、カレンダーカウントモード時に使用します。

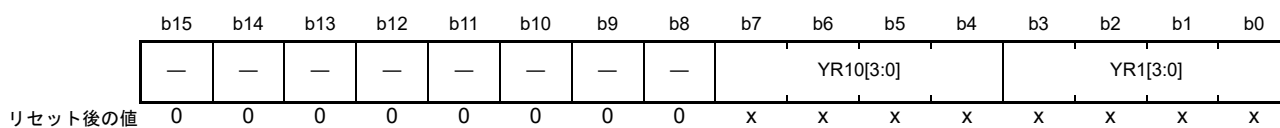
RMONCNT カウンタは、BCD コード化された月部分の設定、カウント用のカウンタであり、日カウンタの月ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“01”～“12”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RMONCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「28.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

28.2.8 年カウンタ (RYRCNT)

アドレス RTC.RYRCNT 0008 C40Eh



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年カウントビット	一年の位は1年ごとに0~9をカウントします。桁上げが発生すると十年の位が+1されます	R/W
b7-b4	YR10[3:0]	10年カウントビット	十年の位は一年の位の桁上げごとに0~9をカウントします	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RYRCNT カウンタは、カレンダーカウントモード時に使用します。

RYRCNT カウンタは、BCD コード化された年部分の設定、カウント用のカウンタであり、月カウンタの1年ごとの桁上げによって、カウント動作を行います。

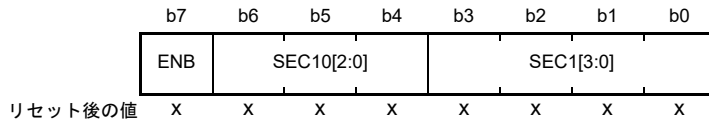
設定可能範囲は、10進 (BCD) で“00”～“99”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RYRCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「28.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

28.2.9 秒アラームレジスタ (RSECAR) / バイナリカウンタ 0 アラームレジスタ (BCNT0AR)

(1) カレンダカウントモード時

アドレス RTC.RSECAR 0008 C410h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒ビット	一秒の位の設定値	R/W
b6-b4	SEC10[2:0]	10秒ビット	十秒の位の設定値	R/W
b7	ENB	ENBビット	0 : RSECCNTカウンタの値と比較を行わない 1 : RSECCNTカウンタの値と比較を行う	R/W

RSECAR レジスタは、BCD コード化された秒カウンタ (RSECCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RSECAR レジスタの値と RSECCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

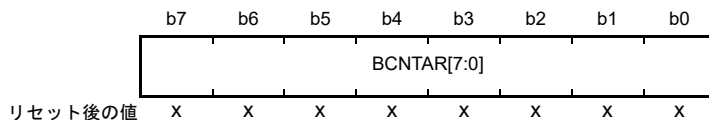
設定可能範囲は、10 進 (BCD) で“00”～“59”であり、それ以外の値が設定されると、正常に動作しません。

RSECAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「28.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT0AR 0008 C410h



x : 不定

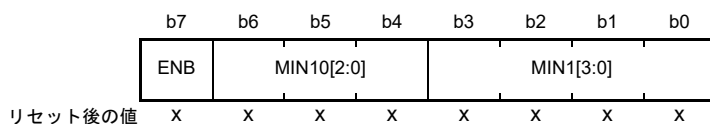
BCNT0AR カウンタは、32 ビットバイナリカウンタの b7～b0 に対応する書き込み / 読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

28.2.10 分アラームレジスタ (RMINAR) / バイナリカウンタ 1 アラームレジスタ (BCNT1AR)

(1) カレンダカウントモード時

アドレス RTC.RMINAR 0008 C412h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分ビット	一分の位の設定値	R/W
b6-b4	MIN10[2:0]	10分ビット	十分の位の設定値	R/W
b7	ENB	ENBビット	0 : RMINCNTカウンタの値と比較を行わない 1 : RMINCNTカウンタの値と比較を行う	R/W

RMINAR レジスタは、BCD コード化された分カウンタ (RMINCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RMINAR レジスタの値と RMINCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

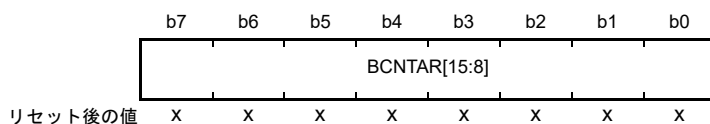
設定可能範囲は、10 進 (BCD) で“00”～“59”であり、それ以外の値が設定されると、正常に動作しません。

RMINAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「28.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT1AR 0008 C412h



x : 不定

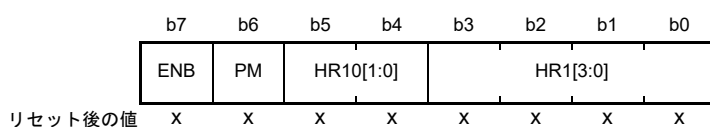
BCNT1AR カウンタは、32 ビットバイナリカウンタの b15 ～ b8 に対応する書き込み / 読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

28.2.11 時アラームレジスタ (RHRAR) / バイナリカウンタ 2 アラームレジスタ (BCNT2AR)

(1) カレンダカウントモード時

アドレス RTC.RHRAR 0008 C414h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間ビット	一時間の位の設定値	R/W
b5-b4	HR10[1:0]	10時間ビット	十時間の位の設定値	R/W
b6	PM	PMビット	時アラームのAM/PMの設定 0 : 午前 1 : 午後	R/W
b7	ENB	ENBビット	0 : RHCNTカウンタの値と比較を行わない 1 : RHCNTカウンタの値と比較を行う	R/W

RHRAR レジスタは、BCD コード化された時カウンタ (RHCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RHRAR レジスタの値と RHCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

設定可能範囲は、時間モードビット (RCR2.HR24) によってそれぞれ以下の範囲となります。

RCR2.HR24 ビットが“0” : 10 進 (BCD) で“00” ~ “11”

RCR2.HR24 ビットが“1” : 10 進 (BCD) で“00” ~ “23”

上記以外の値が設定されると、正常に動作しません。

RCR2.HR24 ビットが“0”の場合は、PM ビットの設定も行ってください。

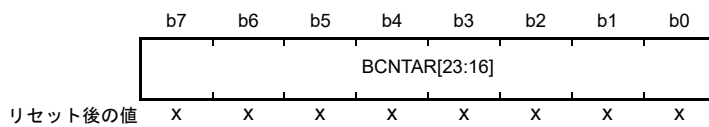
RCR2.HR24 ビットが“1”の場合は、PM ビットの値は無効となります。

RHRAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「28.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT2AR 0008 C414h



x: 不定

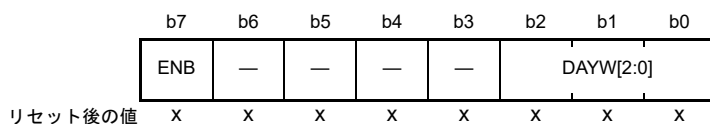
BCNT2AR カウンタは、32 ビットバイナリカウンタの b23 ~ b16 に対応する書き込み / 読み出し可能なア
ラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

28.2.12 曜日アラームレジスタ (RWKAR) / バイナリカウンタ 3 アラームレジスタ (BCNT3AR)

(1) カレンダカウントモード時

アドレス RTC.RWKAR 0008 C416h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日の設定値ビット	b2 b0 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定しないでください	R/W
b6-b3	—	予約ビット	"0"を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0: RWKCNTカウンタの値と比較を行わない 1: RWKCNTカウンタの値と比較を行う	R/W

RWKAR レジスタは、コード化された曜日カウンタ (RWKCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RWKAR レジスタの値と RWKCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

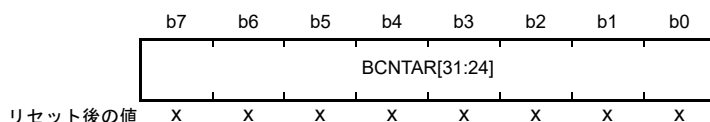
設定可能範囲は、10進で“0”～“6”であり、それ以外の値が設定されると、正常に動作しません。

RWKAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「28.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT3AR 0008 C416h



x: 不定

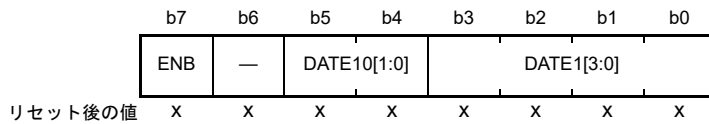
BCNT3AR カウンタは、32ビットバイナリカウンタのb31～b24に対応する書き込み / 読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

28.2.13 日アラームレジスタ (RDAYAR) / バイナリカウンタ 0 アラーム許可レジスタ (BCNT0AER)

(1) カレンダーカウントモード時

アドレス RTC.RDAYAR 0008 C418h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日ビット	一日の位の設定値	R/W
b5-b4	DATE10[1:0]	10日ビット	十日の位の設定値	R/W
b6	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0 : RDAYCNTカウンタの値と比較を行わない 1 : RDAYCNTカウンタの値と比較を行う	R/W

RDAYAR レジスタは、BCD コード化された日カウンタ (RDAYCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RDAYAR レジスタの値と RDAYCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

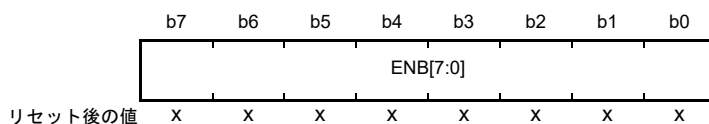
設定可能範囲は、10 進 (BCD) で“01”～“31”であり、それ以外の値が設定されると、正常に動作しません。

RDAYAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「28.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT0AER 0008 C418h



x : 不定

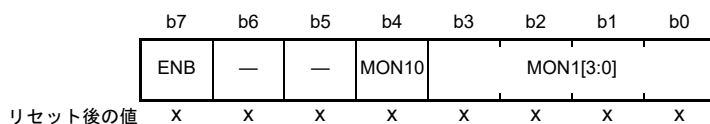
BCNT0AER レジスタは、32 ビットバイナリカウンタの b7～b0 に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

28.2.14 月アラームレジスタ (RMONAR) / バイナリカウンタ 1 アラーム許可レジスタ (BCNT1AER)

(1) カレンダーカウントモード時

アドレス RTC.RMONAR 0008 C41Ah



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月ビット	一月の位の設定値	R/W
b4	MON10	10月ビット	十月の位の設定値	R/W
b6-b5	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0 : RMONCNTカウンタの値と比較を行わない 1 : RMONCNTカウンタの値と比較を行う	R/W

RMONAR レジスタは、BCD コード化された月カウンタ (RMONCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RMONAR レジスタの値と RMONCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

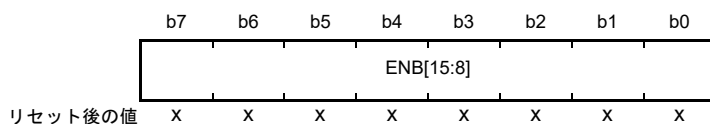
設定可能範囲は、10 進 (BCD) で“01”～“12”であり、それ以外の値が設定されると、正常に動作しません。

RMONAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「28.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT1AER 0008 C41Ah



x : 不定

BCNT1AER レジスタは、32 ビットバイナリカウンタの b15～b8 に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

28.2.15 年アラームレジスタ (RYRAR) / バイナリカウンタ 2 アラーム許可レジスタ (BCNT2AER)

(1) カレンダカウントモード時

アドレス RTC.RYRAR 0008 C41Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年ビット	一年の位の設定値	R/W
b7-b4	YR10[3:0]	10年ビット	十年の位の設定値	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RYRAR レジスタは、BCD コード化された年カウンタ (RYRCNT) に対応するアラームレジスタです。設定可能範囲は、10 進 (BCD) で“00”～“99”であり、それ以外の値が設定されると、正常に動作しません。

RYRAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「28.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“0000h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT2AER 0008 C41Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ENB[23:16]							
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x: 不定

BCNT2AER レジスタは、32 ビットバイナリカウンタの b23～b16 に対応するアラーム許可を設定する書き込み / 読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“0000h”になります。

28.2.16 年アラーム許可レジスタ (RYRAREN) / バイナリカウンタ 3 アラーム許可レジスタ (BCNT3AER)

(1) カレンダーカウントモード時

アドレス RTC.RYRAREN 0008 C41Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

x : 不定

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENB ビット	0 : RYRCNTカウンタの値と比較を行わない 1 : RYRCNTカウンタの値と比較を行う	R/W

RYRAREN レジスタは、ENB ビットが“1”であれば、RYRAR レジスタの値と RYRCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT3AER 0008 C41Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB[31:24]							
リセット後の値	X	X	X	X	X	X	X	X

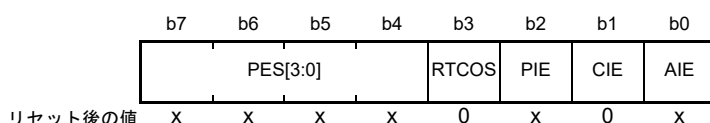
x : 不定

BCNT3AER レジスタは、32 ビットバイナリカウンタの b31 ~ b24 に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

28.2.17 RTC コントロールレジスタ 1 (RCR1)

アドレス RTC.RCR1 0008 C422h



x : 不定

ビット	シンボル	ビット名	機能	R/W																																				
b0	AIE	アラーム割り込み許可ビット	0 : アラーム割り込み要求を禁止 1 : アラーム割り込み要求を許可	R/W																																				
b1	CIE	桁上げ割り込み許可ビット	0 : 桁上げ割り込み要求を禁止 1 : 桁上げ割り込み要求を許可	R/W																																				
b2	PIE	周期割り込み許可ビット	0 : 周期割り込み要求を禁止 1 : 周期割り込み要求を許可	R/W																																				
b3	RTCOS	RTCOUT 出力選択ビット	0 : RTCOUT は 1Hz を出力 1 : RTCOUT は 64Hz を出力	R/W																																				
b7-b4	PES[3:0]	周期割り込み選択ビット	<table border="0"> <tr> <td>b7</td> <td>b4</td> <td></td> </tr> <tr> <td>0 1 1 0</td> <td></td> <td>: 周期割り込み発生時の周期は 1/256 秒ごと</td> </tr> <tr> <td>0 1 1 1</td> <td></td> <td>: 周期割り込み発生時の周期は 1/128 秒ごと</td> </tr> <tr> <td>1 0 0 0</td> <td></td> <td>: 周期割り込み発生時の周期は 1/64 秒ごと</td> </tr> <tr> <td>1 0 0 1</td> <td></td> <td>: 周期割り込み発生時の周期は 1/32 秒ごと</td> </tr> <tr> <td>1 0 1 0</td> <td></td> <td>: 周期割り込み発生時の周期は 1/16 秒ごと</td> </tr> <tr> <td>1 0 1 1</td> <td></td> <td>: 周期割り込み発生時の周期は 1/8 秒ごと</td> </tr> <tr> <td>1 1 0 0</td> <td></td> <td>: 周期割り込み発生時の周期は 1/4 秒ごと</td> </tr> <tr> <td>1 1 0 1</td> <td></td> <td>: 周期割り込み発生時の周期は 1/2 秒ごと</td> </tr> <tr> <td>1 1 1 0</td> <td></td> <td>: 周期割り込み発生時の周期は 1 秒ごと</td> </tr> <tr> <td>1 1 1 1</td> <td></td> <td>: 周期割り込み発生時の周期は 2 秒ごと</td> </tr> <tr> <td colspan="3">上記以外は、周期割り込みを発生しない</td> </tr> </table>	b7	b4		0 1 1 0		: 周期割り込み発生時の周期は 1/256 秒ごと	0 1 1 1		: 周期割り込み発生時の周期は 1/128 秒ごと	1 0 0 0		: 周期割り込み発生時の周期は 1/64 秒ごと	1 0 0 1		: 周期割り込み発生時の周期は 1/32 秒ごと	1 0 1 0		: 周期割り込み発生時の周期は 1/16 秒ごと	1 0 1 1		: 周期割り込み発生時の周期は 1/8 秒ごと	1 1 0 0		: 周期割り込み発生時の周期は 1/4 秒ごと	1 1 0 1		: 周期割り込み発生時の周期は 1/2 秒ごと	1 1 1 0		: 周期割り込み発生時の周期は 1 秒ごと	1 1 1 1		: 周期割り込み発生時の周期は 2 秒ごと	上記以外は、周期割り込みを発生しない			R/W
b7	b4																																							
0 1 1 0		: 周期割り込み発生時の周期は 1/256 秒ごと																																						
0 1 1 1		: 周期割り込み発生時の周期は 1/128 秒ごと																																						
1 0 0 0		: 周期割り込み発生時の周期は 1/64 秒ごと																																						
1 0 0 1		: 周期割り込み発生時の周期は 1/32 秒ごと																																						
1 0 1 0		: 周期割り込み発生時の周期は 1/16 秒ごと																																						
1 0 1 1		: 周期割り込み発生時の周期は 1/8 秒ごと																																						
1 1 0 0		: 周期割り込み発生時の周期は 1/4 秒ごと																																						
1 1 0 1		: 周期割り込み発生時の周期は 1/2 秒ごと																																						
1 1 1 0		: 周期割り込み発生時の周期は 1 秒ごと																																						
1 1 1 1		: 周期割り込み発生時の周期は 2 秒ごと																																						
上記以外は、周期割り込みを発生しない																																								

RCR1 レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

AIE、PIE、PES[3:0] ビットは、カウントソースに同期して更新されるので、RCR1 レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

AIE ビット (アラーム割り込み許可ビット)

アラーム割り込み要求の許可または禁止を選択します。

CIE ビット (桁上げ割り込み許可ビット)

秒カウンタ (RSECCNT) / バイナリカウンタ 0 (BCNT0) への桁上げ、または 64Hz カウンタ (R64CNT) 読み出しと、64Hz カウンタへの桁上げが重なったときの割り込み要求の許可または禁止を選択します。

PIE ビット (周期割り込み許可ビット)

周期割り込み要求の許可または禁止を選択します。

RTCOS ビット (RTCOUT 出力選択ビット)

RTCOUT の出力周期を選択するビットです。RTCOS ビットは、カウント動作停止中 (RCR2.START ビット = 0) かつ RTCOUT 出力禁止 (RCR2.RTCOE ビット = 0) のときに書き換えてください。RTCOUT を外部端子に出力する場合は、RCR2.RTCOE ビットを有効にしてください。I/O ポートの制御については、「22.4.1 端子入出力機能設定手順」を参照してください。

PES[3:0] ビット (周期割り込み選択ビット)

周期割り込みの周期を設定します。PES[3:0] ビットで設定した周期に応じて周期割り込みを要求します。

28.2.18 RTC コントロールレジスタ 2 (RCR2)

アドレス RTC.RCR2 0008 C424h

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTMD	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタートビット	0: プリスケアラとカウンタは停止 1: プリスケアラとカウンタは通常動作	R/W
b1	RESET	RTCソフトウェアリセットビット	<ul style="list-style-type: none"> 書き込み時 0: 書き込み無効 1: プリスケアラおよびRTCソフトウェアリセット対象レジスタ(注1)を初期化 読み出し時 0: 通常の時計動作またはRTCソフトウェアリセット完了 1: RTCソフトウェアリセット中 	R/W
b2	ADJ30	30秒調整ビット(注2)	<ul style="list-style-type: none"> 書き込み時 0: 書き込み無効 1: 30秒調整の実行 読み出し時 0: 通常の時計動作または30秒調整が完了 1: 30秒調整中 	R/W
b3	RTCOE	RTCOUT出力許可ビット	0: RTCOUT出力禁止 1: RTCOUT出力許可	R/W
b4	AADJE	自動補正機能許可ビット(注3)	0: 自動補正機能禁止 1: 自動補正機能許可	R/W
b5	AADJP	自動補正周期選択ビット(注3)	0: 1分(バイナリカウンタモード時は32秒)ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウント値から加減する 1: 10秒(バイナリカウンタモード時は8秒)ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウント値から加減する	R/W
b6	HR24	時間モードビット(注2、注3)	0: RTCは12時間モードで動作 1: RTCは24時間モードで動作	R/W
b7	CNTMD	カウントモード選択ビット	0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注1. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RTCCRY, RSECCPY/BCNT0CPy, RMINCPy/BCNT1CPy, RHRCpy/BCNT2CPy, RDAYCPy/BCNT3CPy, RMONCPy, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注2. バイナリカウンタモードでは予約ビットです。書く場合は"0"を書いてください。

注3. このビットを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「28.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

RCR2 レジスタは、時間モード、自動補正機能、RTCOUT 出力許可、30 秒調整、RTC ソフトウェアリセット、カウント制御に関するレジスタです。

START ビット (スタートビット)

プリスケアラおよびカウンタ (時計) の停止または動作を制御するビットです。

START ビットは、カウントソースに同期して更新されるので、START ビットを書き換えた場合は、値が更新されたことを確認してから次の処理を実行してください。

RESET ビット (RTC ソフトウェアリセットビット)

プリスケアラおよびRTC ソフトウェアリセット対象レジスタを初期化するビットです。

RESET ビットに“1”が書き込まれた場合、カウントソースに同期して初期化が実行され、初期化が完了すると RESET ビットは自動的に“0”になります。

RESET ビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。

ADJ30 ビット (30 秒調整ビット)

30 秒調整を行うビットです。

ADJ30 ビットに“1”が書き込まれたときの RSECCNT カウンタの値が 30 秒未満の場合は 00 秒に切り捨て、30 秒以上の場合は 1 分に桁上げします。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに“1”が書き込まれた場合、30 秒調整が完了すると ADJ30 ビットは自動的に“0”になります。ADJ30 ビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。

30 秒調整が行われると、プリスケアラおよび R64CNT カウンタもリセットされます。

RTC ソフトウェアリセットを実行すると ADJ30 ビットは、“0”になります。

バイナリカウンタモードでは予約ビットです。書く場合、“0”を書いてください。

RTC OE ビット (RTCOUT 出力許可ビット)

RTCOUT (1Hz/64Hz クロック) の出力を許可するビットです。

RTC OE ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。カウント動作を停止する (START ビットに“0”を書く) ときは、同時に RTC OE ビットの値を書き換えしないでください。

RTCOUT を外部端子に出力する場合は、RTC OE ビットを許可にし、かつポート制御の設定もしてください。

AADJE ビット (自動補正機能許可ビット)

自動補正機能の禁止、許可を制御するビットです。

AADJE ビットの書き換えは、プラスマイナスビット (RADJ.PMADJ[1:0]) を“00b” (補正しない) にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJE ビットは、“0”になります。

AADJP ビット (自動補正周期選択ビット)

自動補正周期を選択するビットです。

AADJP ビットの書き換えは、プラスマイナスビット (RADJ.PMADJ[1:0]) を“00b” (補正しない) にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJP ビットは、“0”になります。

HR24 ビット (時間モードビット)

RTC の時間モードを 12 時間モードで動作させるか、24 時間モードで動作させるかを指定するビットです。

HR24 ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。START ビットと同時に HR24 ビットの値を書き換えしないでください。

バイナリカウンタモードでは予約ビットです。書く場合、“0”を書いてください。

CNTMD ビット (カウントモード選択ビット)

RTC のカウントモードを、カレンダーカウントモードで動作させるか、バイナリカウントモードで動作させるかを指定するビットです。

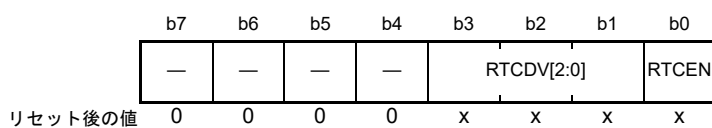
カウントモード設定時は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。

本ビットは、カウントソースに同期して更新され、RTC ソフトウェアリセット完了までに値が確定します。

初期設定の詳細は、「28.3.1 電源投入後のレジスタの初期設定概要」を参照してください。

28.2.19 RTC コントロールレジスタ 3 (RCR3)

アドレス RTC.RCR3 0008 C426h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	RTCEN	サブクロック発振器制御ビット	0 : サブクロック発振器停止 1 : サブクロック発振器動作	R/W
b3-b1	RTCDV[2:0]	サブクロック発振器ドライブ能力制御ビット	b3 b1 0 0 0 : 設定しないでください 0 0 1 : 低CL用ドライブ能力 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 標準CL用ドライブ能力 1 1 1 : 設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RCR3 レジスタは、クロック発生回路にあるサブクロック発振器を制御するためのレジスタです。サブクロック発振器の制御については、「9. クロック発生回路」を参照してください。

本レジスタはカレンダーカウントモード/バイナリカウントモードで共通の機能です。

本レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTCEN ビット (サブクロック発振器制御ビット)

サブクロック発振器の動作/停止を制御します。

サブクロック発振器の動作/停止は、RTCEN ビットおよびクロック発生回路のレジスタ (SOSCCR.SOSTP ビット) で制御され、いずれかのビットが“動作”に設定されているとサブクロック発振器は動作状態となります。

サブクロックを RTC のカウントソースとして使用する場合は、RTCEN ビットでサブクロック発振器の動作設定を行ってください。

RTCDV[2:0] ビット (サブクロック発振器ドライブ能力制御ビット)

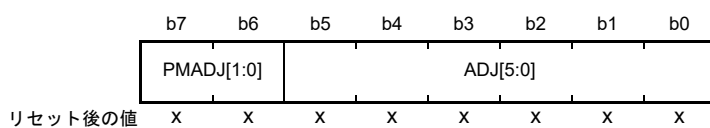
サブクロック発振器のドライブ能力を制御します。RTCDV[2:0] ビットの設定は、SOSCCR.SOSTP ビットが“1”、かつ RCR3.RTCEN ビットが“0”のときに行ってください。

28.2.19.1 低 CL 水晶振動子の使用に関する注意事項

XCIN 端子や XCOU 端子の近傍の信号が変化すると、サブクロック発振器の発振精度に影響する可能性があります。影響の大きさは、基板の配線パターンや近傍の信号変化の状況により異なります。低 CL 水晶振動子を使用した基板を作成する際には、アプリケーションノート「低 CL サブクロック回路のデザインガイド」(R01AN1012JJ) を参考に、ノイズ対策を実施してください。

28.2.20 時間誤差補正レジスタ (RADJ)

アドレス RTC.RADJ 0008 C42Eh



x : 不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	ADJ[5:0]	補正值ビット	誤差補正值を設定します	R/W
b7-b6	PMADJ[1:0]	プラスマイナスビット	b7 b6 0 0 : 補正動作を行いません 0 1 : 時計を進める 1 0 : 時計を遅らせる 1 1 : 設定しないでください	R/W

RADJ レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

時計を誤差補正值に応じて進めるか、遅らせることによって、補正を行います。

自動補正機能許可ビット (RCR2.AADJE) が“0”の場合は、RADJ レジスタを書き込むときに補正動作を行います。

RCR2.AADJE ビットが“1”の場合は、自動補正周期選択ビット (RCR2.AADJP) で設定した間隔で補正動作を行います。

ソフトウェア設定 (自動補正しない設定) による補正時は、レジスタ設定後、カウントソースで 320 サイクル以内に次の補正值を設定すると前回の補正設定が無効となる場合があります。連続して補正を行う場合は、レジスタ設定後、カウントソースで 320 サイクル以上待ってから再設定してください。

RADJ レジスタは、カウントソースに同期して更新されます。RADJ レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

ADJ[5:0] ビット (補正值ビット)

時計の誤差に応じて補正值 (サブクロックのクロックサイクル数) を設定します。

PMADJ[1:0] ビット (プラスマイナスビット)

ADJ[5:0] ビットで設定した誤差補正值に応じて時計を進めるか、遅らせるかを選択します。

28.2.21 時間キャプチャ制御レジスタ y (RTCCRy) (y=0 ~ 2)

アドレス RTC.RTCCR0 0008 C440h, RTC.RTCCR1 0008 C442h, RTC.RTCCR2 0008 C444h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCEN	—	TCNF[1:0]	—	TCST	TCCT[1:0]		
リセット後の値	x	0	x	x	0	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	TCCT[1:0]	時間キャプチャ制御ビット	b1 b0 0 0 : イベント検出しない 0 1 : 立ち上がりエッジ検出 1 0 : 立ち下がりエッジ検出 1 1 : 両エッジ検出	R/W
b2	TCST	時間キャプチャステータスビット	0 : イベント検出なし 1 : イベント検出あり (注1)	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	TCNF[1:0]	時間キャプチャノイズフィルタ制御ビット	b5 b4 0 0 : ノイズフィルタ OFF 0 1 : 設定しないでください 1 0 : ノイズフィルタ ON (カウントソース) 1 1 : ノイズフィルタ ON (カウントソースの32分周)	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TCEN	時間キャプチャイベント入力端子許可ビット	0 : RTCICn端子が時間キャプチャイベント入力端子として無効 1 : RTCICn端子が時間キャプチャイベント入力端子として有効 (n = 0 ~ 2)	R/W

注1. イベント検出されたことを示します。“1”の書き込みは無効です。“0”を書き込むことで“0”にすることができます。

RTCCRy レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

RTCCR0 レジスタが RTCIC0 端子、RTCCR1 レジスタが RTCIC1 端子、RTCCR2 レジスタが RTCIC2 端子をそれぞれ制御します。

RTCCRy レジスタは、カウントソースに同期して更新されます。RTCCRy レジスタを書き換えた場合は、TCST ビットを除く全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

TCCT[1:0] ビット (時間キャプチャ制御ビット)

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のエッジ検出を制御するビットです。

検出するエッジの選択が可能です。TCCT[1:0] ビットは、TCEN ビットが“1”の状態を設定してください。

TCST ビット (時間キャプチャステータスビット)

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のイベントが検出されたことを示すビットです。

TCST ビットが“0”の場合は、イベント検出されていないことを示します。

TCST ビットが“1”の場合は、該当する端子のイベントが検出されたことを示し、そのキャプチャレジスタが有効になります。複数回イベントが検出された場合は、最初のキャプチャ時刻を保持します。

カウント動作停止中 (RCR2.START ビットが“0”) にイベントを検出した場合、キャプチャした値は保証できませんので、TCST ビットを“0”にして、キャプチャした値を破棄してください。

TCST ビットに“0”を書き込むことで、TCST ビットを“0”にできます。また、“0”以外の値の書き込みは

無効になります。

TCST ビットを“0”にするときは、TCCT[1:0] ビットを“00b” (イベント検出しない) にした状態で行ってください。

TCST ビットは、カウントソースに同期して“0”になります。TCST ビットを“0”にした場合は、値が更新されたことを確認してから次の処理を実行してください。

TCNF[1:0] ビット (時間キャプチャノイズフィルタ制御ビット)

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のノイズフィルタを制御するビットです。

ノイズフィルタが ON の場合、カウントソースの 1 分周、32 分周のどちらかを選択することが可能です。このとき、時間キャプチャイベント入力端子の入力レベルが選択されたサンプル間隔で 3 回連続で一致すると、入力レベルを決定します。

TCNF[1:0] ビットの設定は、TCCT[1:0] ビットを“00b” (イベント検出しない) にした状態で行ってください。ノイズフィルタを使用する場合は、TCNF[1:0] ビットの設定後、設定したサンプリング周期の 3 周期分待った後、TCCT[1:0] ビットの設定を行ってください。また、TCNF[1:0] ビットは、TCEN ビットが“1”の状態を設定してください。

TCEN ビット (時間キャプチャイベント入力端子許可ビット)

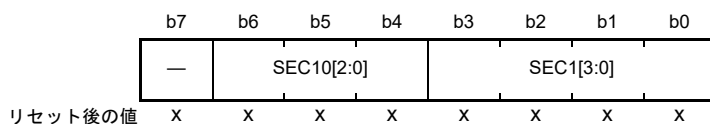
時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) の有効/無効を制御するビットです。

サブクロック発振器停止時 (RCR3.RTCEN ビット=0) は、TCEN ビットの値に関わらず時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) は無効となります。時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) に複数の機能が割り当てられている場合、ポート制御の設定をし、かつ、本ビットも有効にしてください。このとき、ポート制御の設定を必ず先に行ってください。本ビットを“0”にする場合、TCCT[1:0] ビットも“00b”にしてください。

28.2.22 秒キャプチャレジスタ y (RSECCPy) (y=0 ~ 2) / BCNT0 キャプチャレジスタ y (BCNT0CPy) (y=0 ~ 2)

(1) カレンダカウントモード時

アドレス RTC.RSECCP0 0008 C452h, RTC.RSECCP1 0008 C462h, RTC.RSECCP2 0008 C472h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒キャプチャビット	一秒の位のキャプチャ値を示します	R
b6-b4	SEC10[2:0]	10秒キャプチャビット	十秒の位のキャプチャ値を示します	R
b7	—	予約ビット	RTCソフトウェアリセット実行後、読むと“0”が読めます	R

RSECCPy レジスタは、時間キャプチャイベント検出時に RSECCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

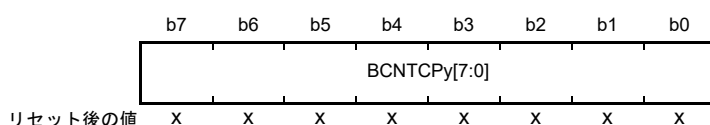
RTCIC0 端子によるイベント検出時は RSECCP0 レジスタに、RTCIC1 端子によるイベント検出時は RSECCP1 レジスタに、RTCIC2 端子によるイベント検出時は RSECCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT0CP0 0008 C452h, RTC.BCNT0CP1 0008 C462h, RTC.BCNT0CP2 0008 C472h



x: 不定

BCNT0CPy レジスタは、時間キャプチャイベント検出時に BCNT0 カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は BCNT0CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT0CP1 レジスタに、RTCIC2 端子によるイベント検出時は BCNT0CP2 レジスタにそれぞれのイベント検出時刻を格納します。

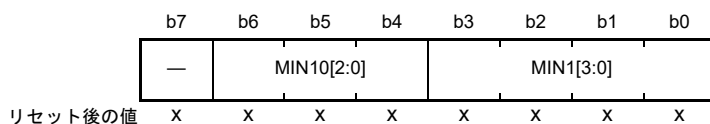
RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

28.2.23 分キャプチャレジスタ y (RMINCPy) (y=0 ~ 2) / BCNT1 キャプチャレジスタ y (BCNT1CPy) (y=0 ~ 2)

(1) カレンダカウントモード時

アドレス RTC.RMINCP0 0008 C454h, RTC.RMINCP1 0008 C464h, RTC.RMINCP2 0008 C474h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分キャプチャビット	一分の位のキャプチャ値を示します	R
b6-b4	MIN10[2:0]	10分キャプチャビット	十分の位のキャプチャ値を示します	R
b7	—	予約ビット	RTCソフトウェアリセット実行後、読むと“0”が読めます	R

RMINCPy レジスタは、時間キャプチャイベント検出時に RMINCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

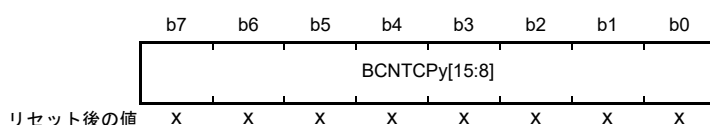
RTCIC0 端子によるイベント検出時は RMINCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMINCP1 レジスタに、RTCIC2 端子によるイベント検出時は RMINCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT1CP0 0008 C454h, RTC.BCNT1CP1 0008 C464h, RTC.BCNT1CP2 0008 C474h



x: 不定

BCNT1CPy レジスタは、時間キャプチャイベント検出時に BCNT1 カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は BCNT1CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT1CP1 レジスタに、RTCIC2 端子によるイベント検出時は BCNT1CP2 レジスタにそれぞれのイベント検出時刻を格納します。

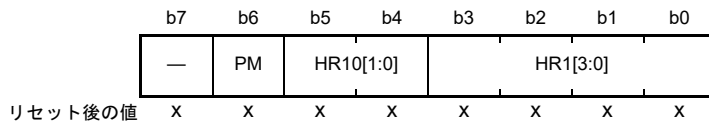
RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

28.2.24 時キャプチャレジスタ y (RHRCPy) (y=0 ~ 2) / BCNT2 キャプチャレジスタ y (BCNT2CPy) (y=0 ~ 2)

(1) カレンダーカウントモード時

アドレス RTC.RHRCP0 0008 C456h, RTC.RHRCP1 0008 C466h, RTC.RHRCP2 0008 C476h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間キャプチャビット	一時間の位のキャプチャ値を示します	R
b5-b4	HR10[1:0]	10時間キャプチャビット	十時間の位のキャプチャ値を示します	R
b6	PM	PMビット	0 : 午前 1 : 午後	R
b7	—	予約ビット	RTCソフトウェアリセット実行後、読むと“0”が読めます	R

RHRCPy レジスタは、時間キャプチャイベント検出時に RHRCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RHRCP0 レジスタに、RTCIC1 端子によるイベント検出時は RHRCP1 レジスタに、RTCIC2 端子によるイベント検出時は RHRCP2 レジスタにそれぞれのイベント検出時刻を格納します。

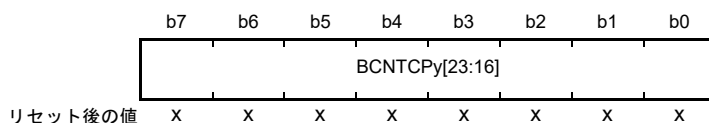
RCR2.HR24 ビットが“0” (12時間モードで動作) の場合のみ、PM ビットが有効になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT2CP0 0008 C456h, RTC.BCNT2CP1 0008 C466h, RTC.BCNT2CP2 0008 C476h



x : 不定

BCNT2CPy レジスタは、時間キャプチャイベント検出時に BCNT2 カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は BCNT2CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT2CP1 レジスタに、RTCIC2 端子によるイベント検出時は BCNT2CP2 レジスタにそれぞれのイベント検出時刻を格納します。

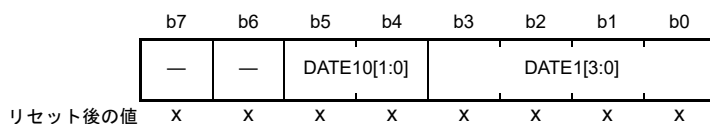
RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

28.2.25 日キャプチャレジスタ y (RDAYCPy) (y=0 ~ 2) / BCNT3 キャプチャレジスタ y (BCNT3CPy) (y=0 ~ 2)

(1) カレンダーカウントモード時

アドレス RTC.RDAYCP0 0008 C45Ah, RTC.RDAYCP1 0008 C46Ah, RTC.RDAYCP2 0008 C47Ah



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日キャプチャビット	一日の位のキャプチャ値を示します	R
b5-b4	DATE10[1:0]	10日キャプチャビット	十日の位のキャプチャ値を示します	R
b7-b6	—	予約ビット	RTCソフトウェアリセット実行後、読むと“0”が読めます	R

RDAYCPy レジスタは、時間キャプチャイベント検出時に RDAYCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

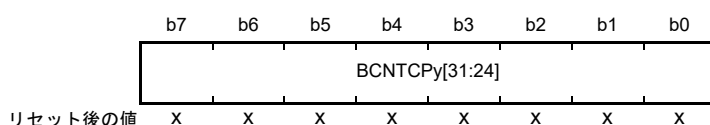
RTCIC0 端子によるイベント検出時は RDAYCP0 レジスタに、RTCIC1 端子によるイベント検出時は RDAYCP1 レジスタに、RTCIC2 端子によるイベント検出時は RDAYCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT3CP0 0008 C45Ah, RTC.BCNT3CP1 0008 C46Ah, RTC.BCNT3CP2 0008 C47Ah



x: 不定

BCNT3CPy レジスタは、時間キャプチャイベント検出時に BCNT3 カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

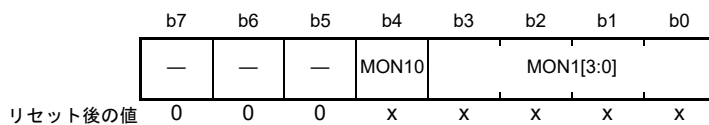
RTCIC0 端子によるイベント検出時は BCNT3CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT3CP1 レジスタに、RTCIC2 端子によるイベント検出時は BCNT3CP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

28.2.26 月キャプチャレジスタ y (RMONCPy) (y=0 ~ 2)

アドレス RTC.RMONCP0 0008 C45Ch, RTC.RMONCP1 0008 C46Ch, RTC.RMONCP2 0008 C47Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月キャプチャビット	一月の位のキャプチャ値を示します	R
b4	MON10	10月キャプチャビット	十月の位のキャプチャ値を示します	R
b7-b5	—	予約ビット	読むと“0”が読めます	R

RMONCPy レジスタは、時間キャプチャイベント検出時に RMONCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RMONCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMONCP1 レジスタに、RTCIC2 端子によるイベント検出時は RMONCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

28.3 動作説明

28.3.1 電源投入後のレジスタの初期設定概要

電源投入後、クロック設定、カウントモード設定、時刻設定、時計誤差補正、アラーム、割り込み、時間キャプチャ制御レジスタの初期設定をしてください。

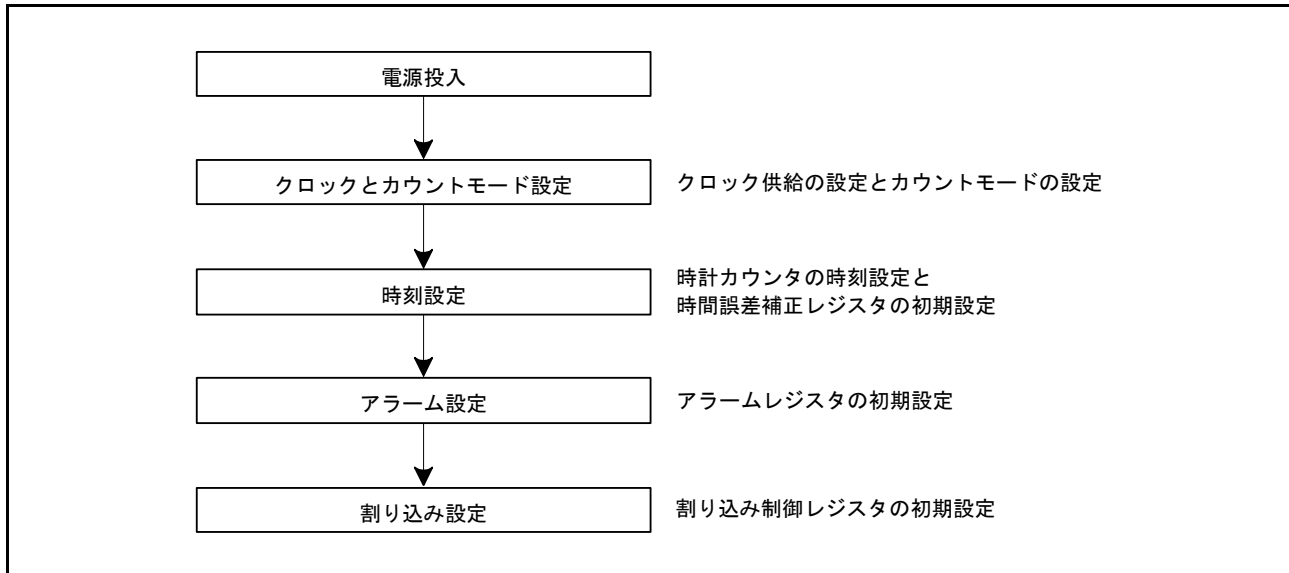


図 28.2 電源投入後の初期設定概要

28.3.2 クロックとカウントモード設定手順

図 28.3 にクロック設定手順を示します。

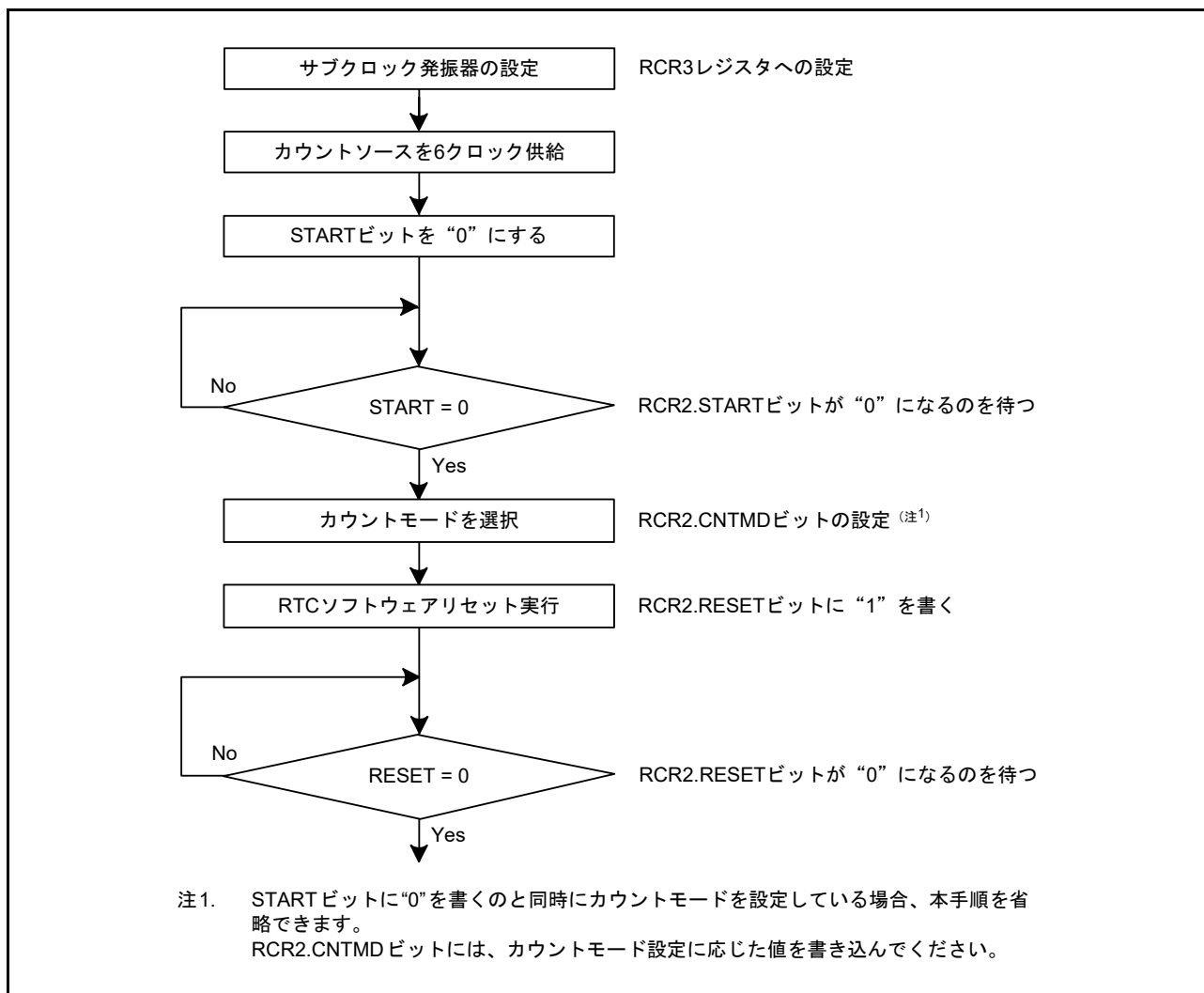


図 28.3 クロック設定手順

28.3.3 時刻設定手順

図 28.4 に時刻設定手順を示します。

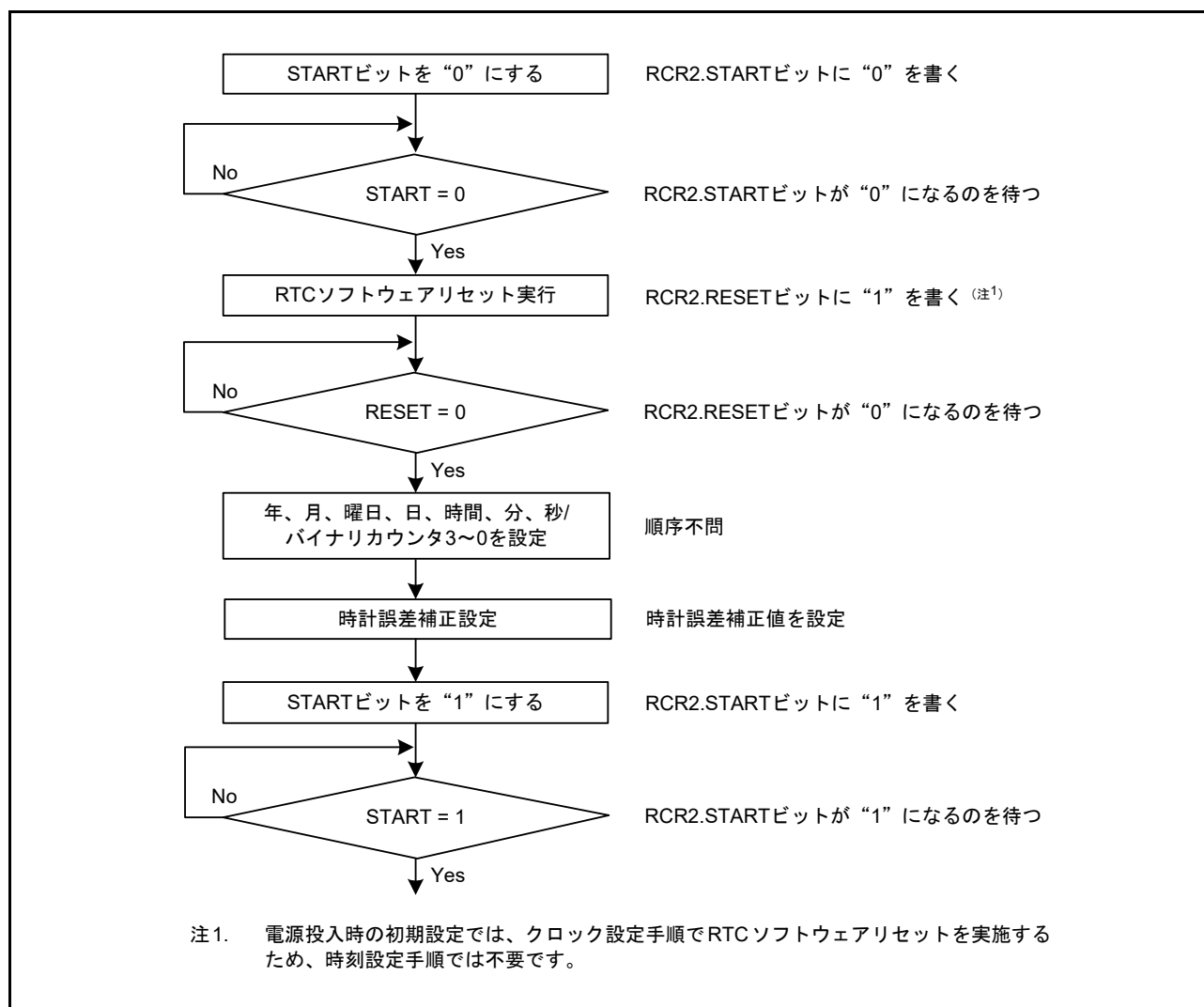


図 28.4 時刻設定手順

28.3.4 30秒調整手順

図 28.5 に30秒調整手順を示します。30秒調整機能はカレンダーカウントモードでのみ使用可能です。

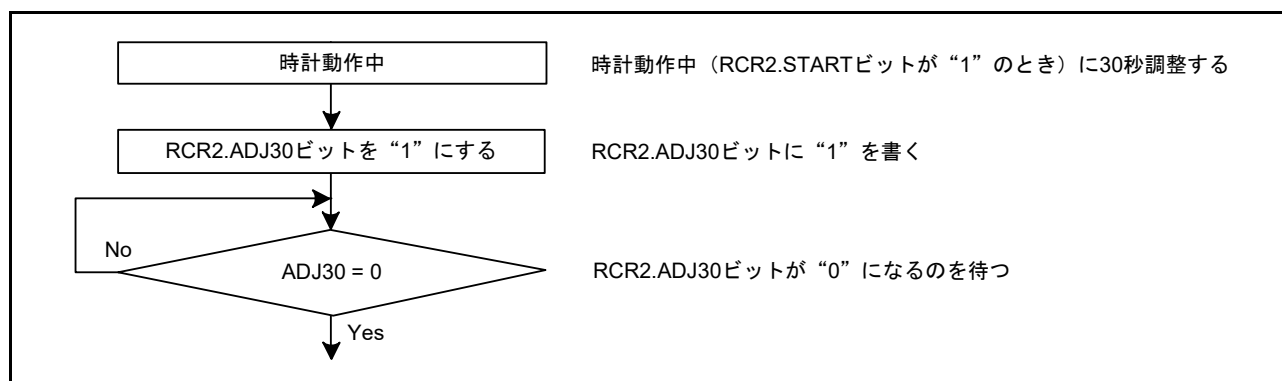


図 28.5 30秒調整手順

28.3.5 64Hz カウンタおよび時刻読み出し手順

図 28.6 に 64Hz カウンタおよび時刻読み出し手順を示します。

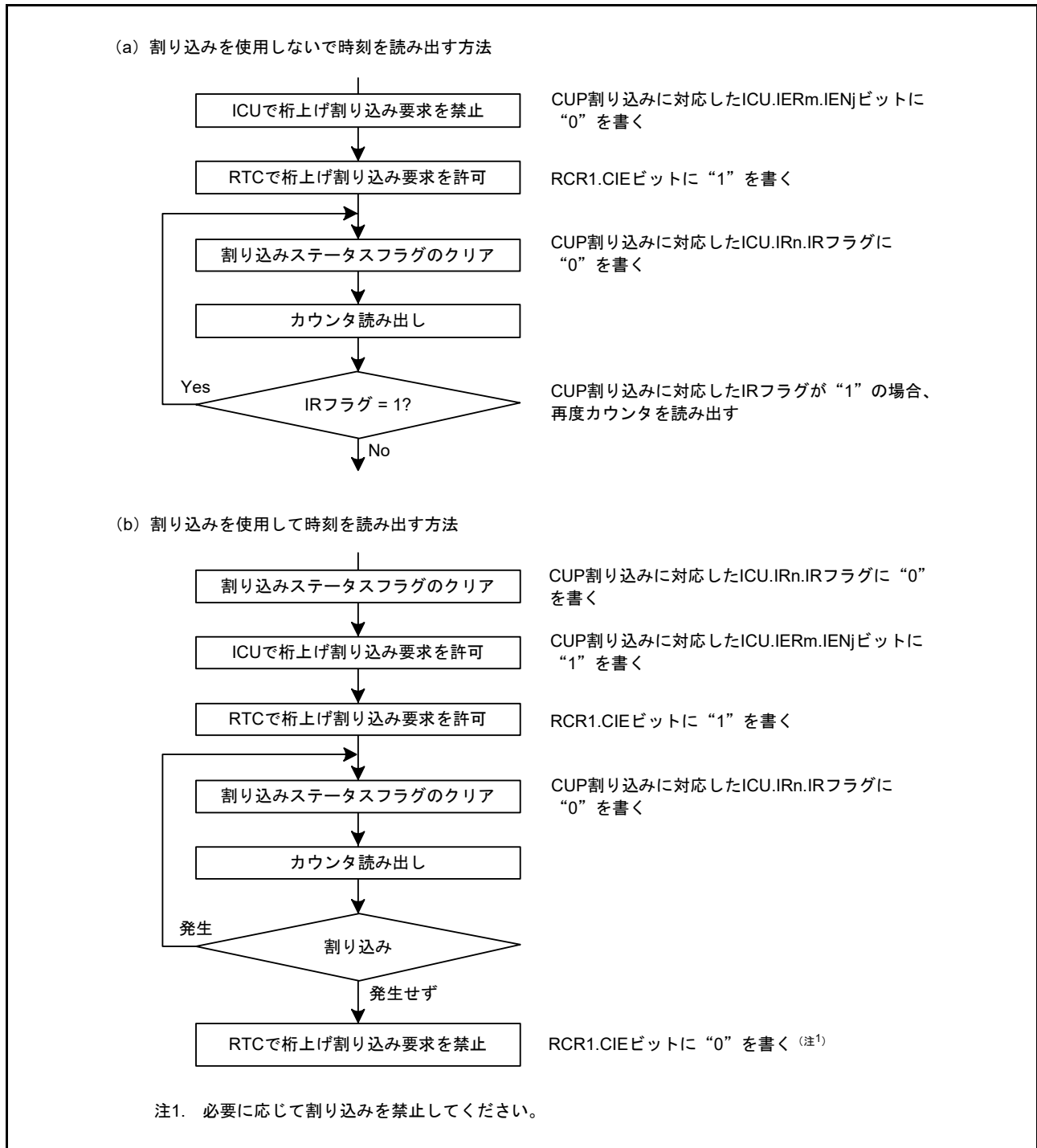


図 28.6 時刻読み出し手順

64Hz カウンタおよび時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 28.6 の (a) に、桁上げ割り込みを使用する方法を図 28.6 の (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

28.3.6 アラーム機能

図 28.7 にアラーム機能の使用方法を示します。

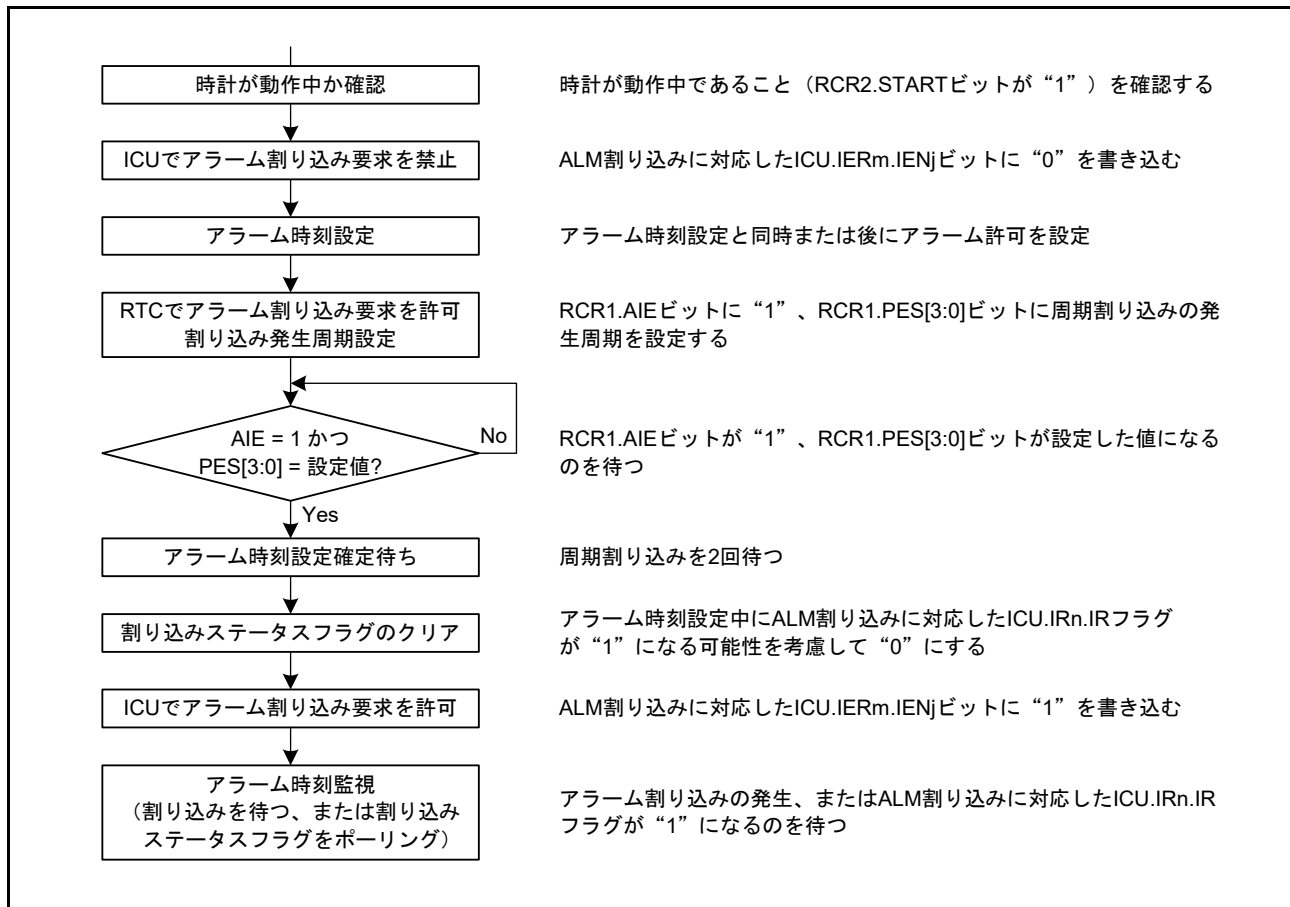


図 28.7 アラーム機能の使用方法

カレンダーカウントモードでは、アラームは、年、月、日、曜日、時、分、秒のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とする各アラームレジスタの ENB ビットに“1”を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENB ビットに“0”を書き込みます。

バイナリカウントモードでは、32 ビットの任意のビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応するアラーム許可レジスタの ENB ビットに“1”を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットには、アラーム許可レジスタの ENB ビットに“0”を書き込みます。

カウンタとアラーム時刻が一致した場合は、ALM 割り込みに対応した IR フラグが“1”になります。アラームの検出はこのフラグを読み出すことによって確認できますが、通常は割り込みで行います。ALM 割り込みに対応した割り込み要求許可ビットに“1”が書き込まれている場合、アラーム割り込みが発生しアラームを検出することができます。

ALM 割り込みに対応した IR フラグは“0”を書き込むと“0”になります。

低消費電力状態のときにカウンタとアラーム時刻が一致すると低消費電力状態から復帰します。

28.3.7 アラーム割り込み禁止手順

図 28.8 に許可状態のアラーム割り込み要求を禁止する手順を示します。

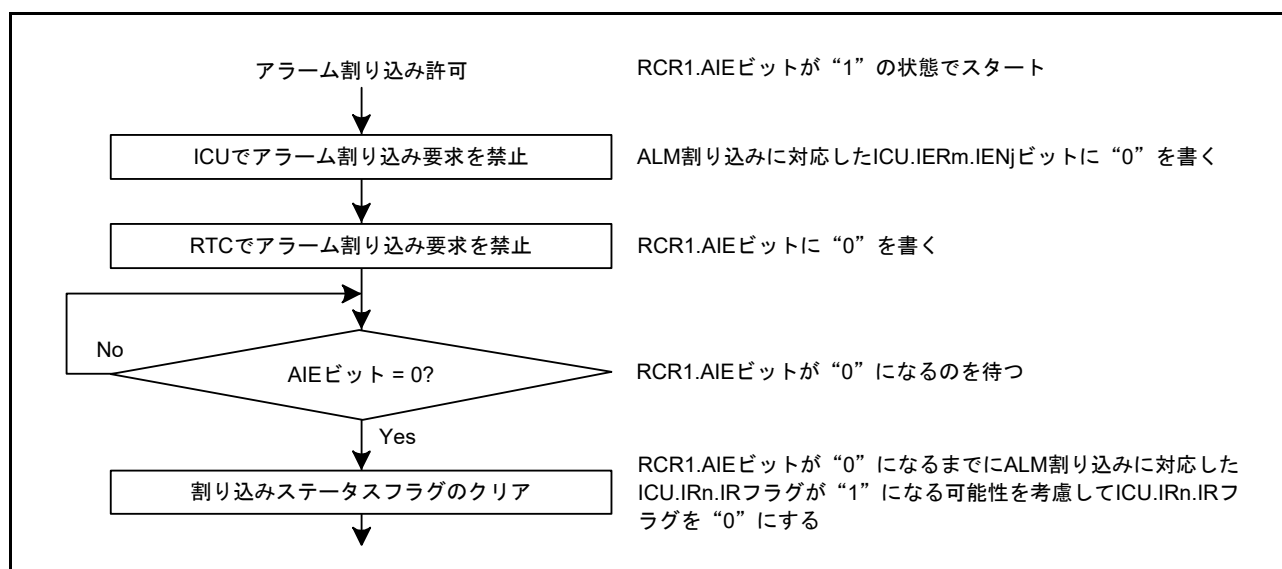


図 28.8 アラーム割り込み要求を禁止する手順

28.3.8 時計誤差補正機能

時計誤差補正機能は、サブクロックの発振精度による時計の誤差（遅れる / 進む）を補正します。サブクロック選択時、32,768 クロックサイクルを 1 秒として動作するため、サブクロックの周波数が高い場合は時計が進み、低い場合は時計が遅れます。本機能により、時計を進めるか、遅らせることで誤差を補正することができます。

時計誤差補正機能には、自動補正とソフトウェアによる補正の 2 種類の補正機能があります。

自動補正、ソフトウェアによる補正の選択は、RCR2.AADJE ビットで設定してください。

28.3.8.1 自動補正機能

RCR2.AADJE ビットが“1”の場合、自動補正機能が有効です。

自動補正機能では、RCR2.AADJP ビットで選択した補正周期ごとに RADJ レジスタ設定に応じて時計を進めるか、遅らせます。以下に例を示します。

例 1) サブクロック周波数 = 32.769kHz

補正方法：

サブクロックの周波数が 32.769kHz の場合、32,769 クロックサイクルで 1 秒になりますが、RTC は、32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みません。1 分なら 60 クロックサイクル分、時計が進むため、1 分ごとに 60 クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = 0 の場合)

- RCR2.AADJP ビット = 0 (1 分ごとに補正)
- RADJ.PMADJ[1:0] ビット = 10b (遅らせる)
- RADJ.ADJ[5:0] ビット = 60 (3Ch)

例 2) サブクロック周波数 = 32.766kHz

補正方法：

サブクロックの周波数が 32.766kHz の場合、32,766 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 2 クロックサイクル分、時計が遅れます。10 秒なら 20 クロックサイクル分、時計が遅れるため、10 秒ごとに 20 クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = 0 の場合)

- RCR2.AADJP ビット = 1 (10 秒ごとに補正)
- RADJ.PMADJ[1:0] ビット = 01b (進める)
- RADJ.ADJ[5:0] ビット = 20 (14h)

例 3) サブクロック周波数 = 32.764kHz

補正方法：

サブクロックの周波数が 32.764kHz の場合、32,764 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 4 クロックサイクル分、時計が遅れます。8 秒なら 32 クロックサイクル分、時計が遅れるため、8 秒ごとに“32”クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = 1 の場合)

- RCR2.AADJP ビット = 1 (8 秒ごとに補正)
- RADJ.PMADJ[1:0] ビット = 01b (進める)
- RADJ.ADJ[5:0] ビット = 32 (20h)

28.3.8.2 ソフトウェアによる補正

RCR2.AADJE ビットが“0”の場合、ソフトウェアによる補正が有効です。

ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで RADJ レジスタ設定に応じて時計を進めるか、遅らせます。

例 1) サブクロック周波数 = 32.769kHz

補正方法：

サブクロックの周波数が 32.769kHz の場合、32,769 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みます。1 秒ごとに 1 クロックサイクル分、時計が進むため、1 秒ごとに 1 クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：

- RADJ.PMADJ[1:0] ビット = 10b (遅らせる)
- RADJ.ADJ[5:0] ビット = 1 (01h)
1 秒の割り込みごとに RADJ レジスタに書き込む

28.3.8.3 補正モードの変更手順

補正モードを変更する場合は、RADJ.PMADJ[1:0] ビットを“00b” (補正しない) にした後、RCR2.AADJE ビットを変更してください。

ソフトウェアによる補正から、自動補正に切り替える場合

- (1) RADJ.PMADJ[1:0] ビットを“00b” (補正しない) にする
- (2) RCR2.AADJE ビットを“1” (自動補正機能許可) にする
- (3) RCR2.AADJP ビットで補正周期を選択する
- (4) RADJ.PMADJ[1:0] ビットに補正方向を、RADJ.ADJ[5:0] ビットに時計誤差補正值を設定する

自動補正から、ソフトウェアによる補正に切り替える場合

- (1) RADJ.PMADJ[1:0] ビットを“00b” (補正しない) にする
- (2) RCR2.AADJE ビットを“0” (ソフトウェアによる補正機能有効) にする
- (3) 任意のタイミングで RADJ.PMADJ[1:0] ビットに補正方向を、RADJ.ADJ[5:0] ビットに時計誤差補正值を書き込むと補正を行う。以降、RADJ レジスタに書き込むごとに補正を行う。

28.3.8.4 補正機能の停止手順

補正機能を停止する場合は、RADJ.PMADJ[1:0] ビットを“00b” (補正しない) にしてください。

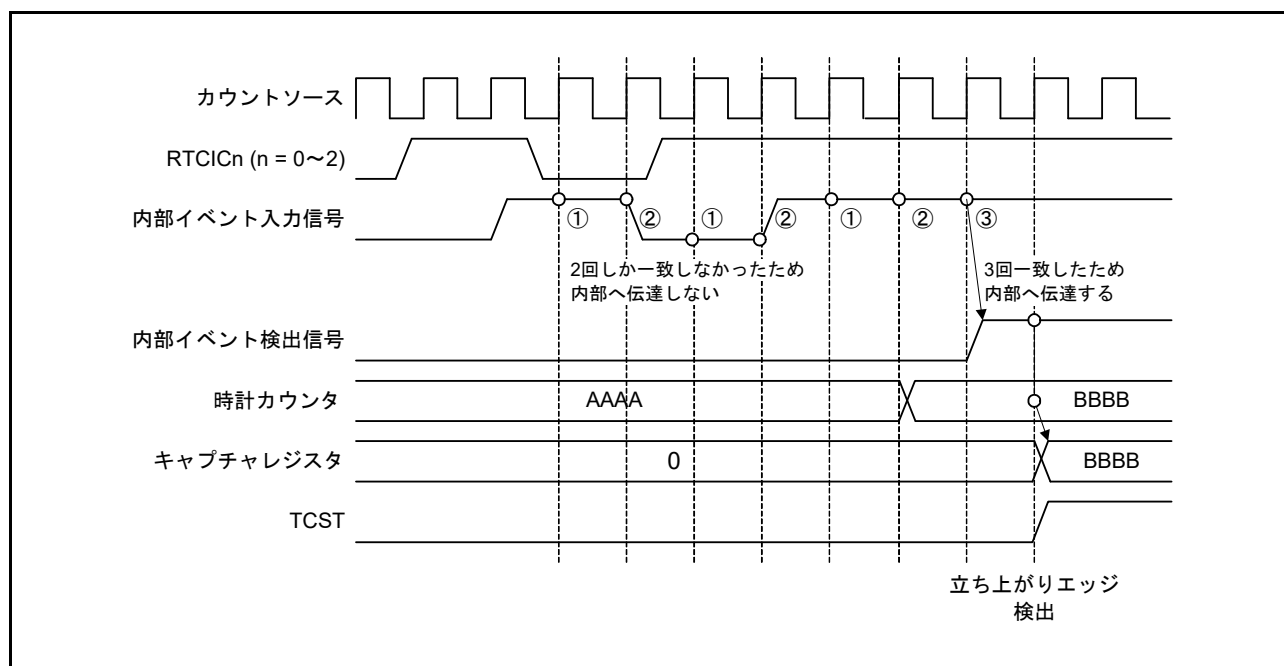
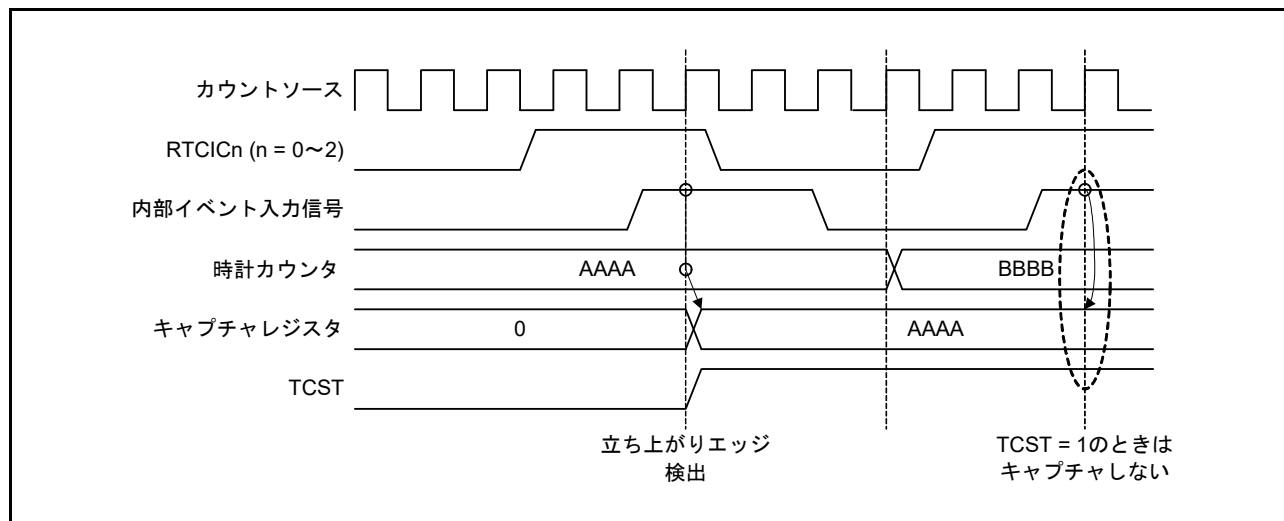
28.3.8.5 時間キャプチャ機能

RTCは時間キャプチャイベント入力端子のエッジ検出によって、月、日、時、分、秒/バイナリカウンタ 3 ~ 0の値を格納します。

また、RTCの時間キャプチャイベント入力端子には、ノイズフィルタを使用することができます。ノイズフィルタを有効にした場合、端子の入力レベルが、3回一致することでTCSTビットが“1”になります。

時間キャプチャイベント入力端子は、端子ごとにノイズフィルタのON/OFFを設定できます。

ノイズフィルタOFFの場合の動作を図28.9に、ノイズフィルタONの場合の動作を図28.10に示します。



28.4 割り込み要因

RTC の割り込み要因には、以下の 3 種類があります。表 28.3 に RTC の割り込み要因を示します。

表 28.3 RTCの割り込み要因

名称	割り込み要因
ALM	アラーム割り込み
PRD	周期割り込み
CUP	桁上げ割り込み

(1) アラーム割り込み (ALM)

アラームレジスタと時計カウンタとの比較結果によって割り込みが発生します（詳細は「28.3.6 アラーム機能」を参照してください）。

アラームレジスタの設定中に時計カウンタと一致し、割り込みフラグが“1”になる可能性があるため、アラームレジスタの変更後、アラーム時刻設定の確定を待ち、一度 ALM 割り込みに対応した IR フラグを“0”にしてください。アラーム割り込みの割り込みフラグは、一度“0”にすると、再度アラームレジスタと時計カウンタが不一致状態になった後、再び一致するかアラームの再設定を行うまで“1”になりません。

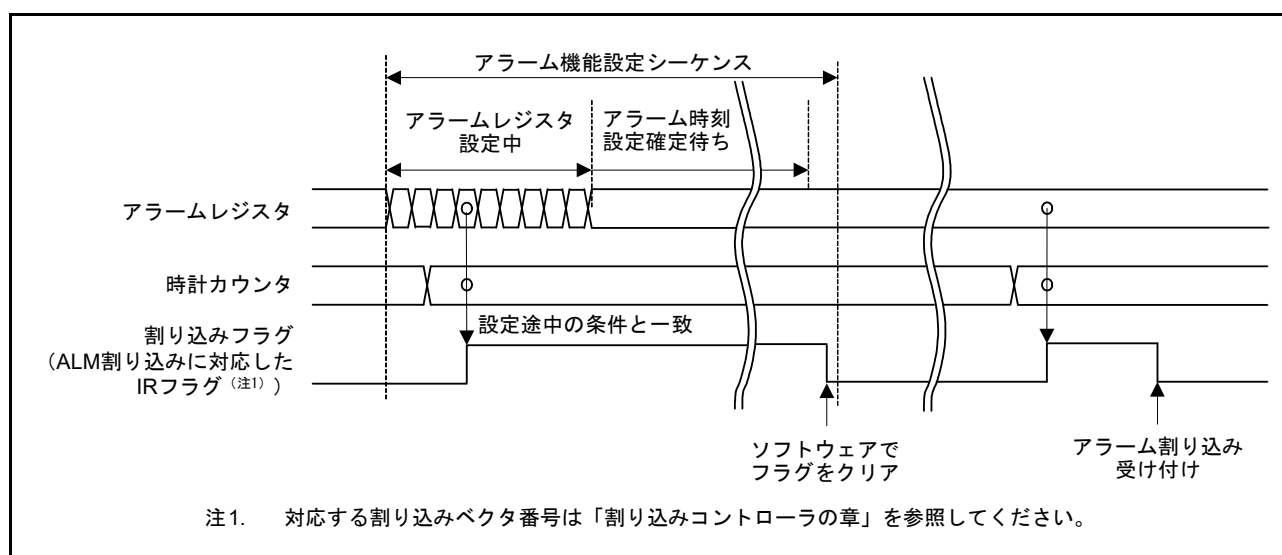


図 28.11 アラーム割り込み (ALM) のタイミングチャート

(2) 周期割り込み (PRD)

2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期で発生する割り込みです。RCR1.PES[3:0] ビットによって周期の選択が可能です。

(3) 桁上げ割り込み (CUP)

秒カウンタ/バイナリカウンタ 0 への桁上げが発生したとき、または 64Hz カウンタ読み出しと R64CNT カウンタへの桁上げが重なったときに発生する割り込みです。

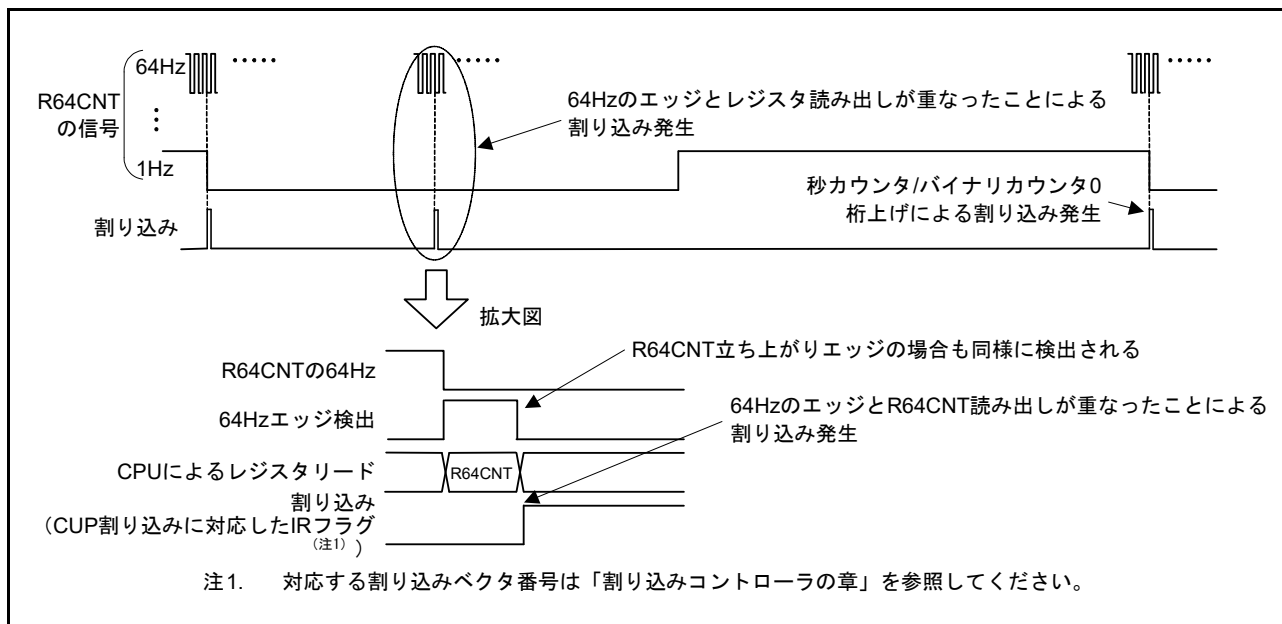


図 28.12 桁上げ割り込み (CUP) のタイミングチャート

28.5 イベントリンク出力機能

RTC はイベントリンクコントローラ (ELC) へ以下のイベントを出力し、あらかじめ設定していたモジュールを動作させることができます。

(1) 周期イベント出力

RCR1.PES[3:0] ビットの設定により、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期から選択された周期でイベントを出力します。

また、イベント発生周期選択直後のイベント発生周期は保証されません。

注． RTC のイベントリンク出力機能を使用する場合は、RTC の設定（初期化、時刻設定など）後、ELC を設定して行ってください。ELC 設定後に RTC を設定すると、意図しないイベントが出力することがあります。

28.5.1 割り込み処理とイベントリンクの関係

RTC には、周期割り込みの許可 / 禁止を制御するビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

注． ソフトウェアスタンバイ中もアラーム割り込み、周期割り込み出力することができますが、ELC 用の周期イベント信号は出力しません。

28.6 使用上の注意事項

28.6.1 カウント動作時のレジスタ書き込みについて

カウント動作時 (RCR2.START ビット=1 のとき) は、以下のレジスタに書き込みを行わないでください。

RSECCNT/BCNT0, RMINCNT/BCNT1, RHRCNT/BCNT2, RDAYCNT, RWKCNT/BCNT3, RMONCNT, RYRCNT, RCR1.RTCOS, RCR2.RTCOE, RCR2.HR24

上記のレジスタへの書き込みを行う場合は、一度カウント動作を停止してから書き込んでください。

28.6.2 周期割り込みの使用について

周期割り込みの使用方法を図 28.13 に示します。

周期割り込みは、RCR1.PES[3:0] ビットの設定によって割り込みの発生および周期を切り替えることができます。しかし、割り込み発生にプリスケアラ、R64CNT、RSECCNT/BCNT0 カウンタを使用しているため、RCR1.PES[3:0] ビット設定直後の割り込み発生周期は保証されません。

RCR2 レジスタによって、カウント動作の停止 / 動作、RTC ソフトウェアリセット、30 秒調整を行うと、割り込み発生周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正値の分だけ周期がずれます。

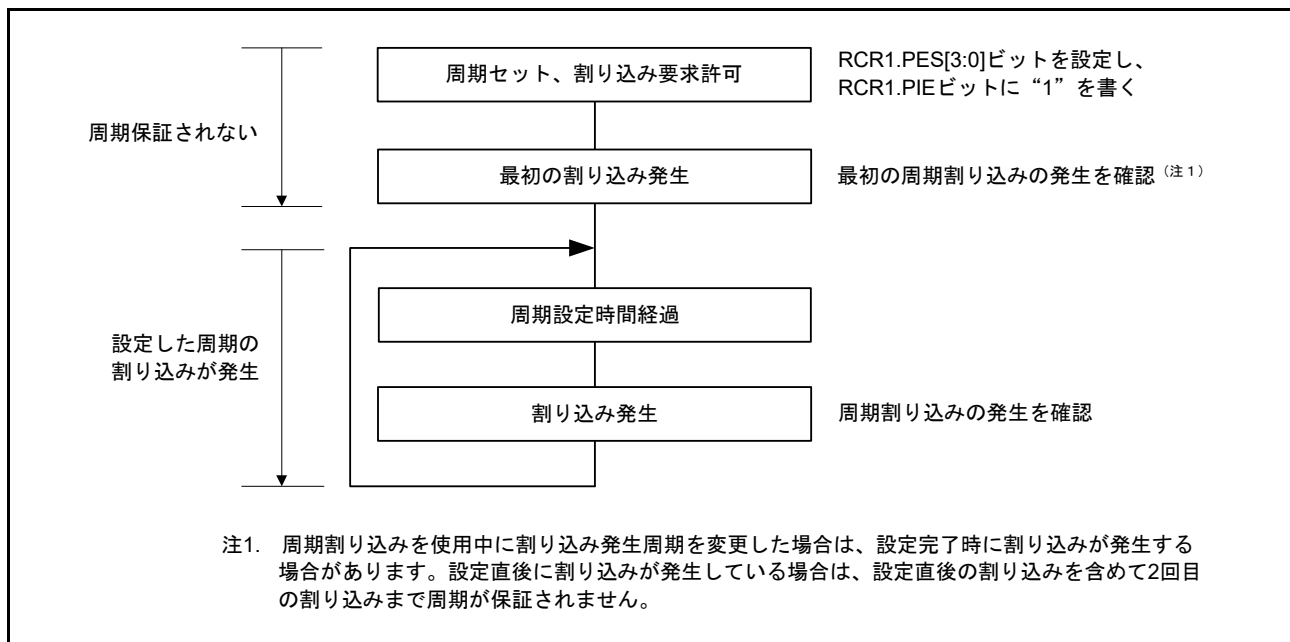


図 28.13 周期割り込み機能の使用方法

28.6.3 RTCOUT (1Hz/64Hz) 出力について

RCR2 レジスタによって、カウント動作の停止 / 動作、RTC ソフトウェアリセット、30 秒調整を行うと、RTCOUT (1Hz/64Hz) 出力の周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後の RTCOUT (1Hz/64Hz) 出力の周期は、補正値の分だけ周期がずれます。

28.6.4 レジスタ設定後の低消費電力モード移行について

RTC 内レジスタへの書き込み、およびレジスタ更新処理中に低消費電力状態（ソフトウェアスタンバイモード/バッテリーバックアップ機能）へ遷移すると、レジスタ値を破壊する可能性があります。レジスタ設定後は、設定されたことを確認してから低消費電力状態に遷移してください。

28.6.5 レジスタの書き込み / 読み出し時の注意事項

- 秒カウンタなど、カウントレジスタの読み出しは、「28.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。
- カウントレジスタ、アラームレジスタ、年アラーム許可レジスタ、RCR2.AADJE、AADJP、HR24 ビット、RCR3 レジスタに書いた値は、書き込み後 4 回目の読み出しから反映されます。
- RCR1.CIE、RTCOS ビット、RCR2.RTCOE ビットは、書き込み後すぐに書いた値を読み出すことができます。
- リセットまたはソフトウェアスタンバイモード、バッテリーバックアップ状態から復帰した後に時計カウンタの値を読み出すときは、時計動作中（RCR2.START ビット = 1）で 1/128 秒待ってから読み出しを行ってください。
- リセット発生後、RTC レジスタへの書き込みは、カウントソース 6 サイクル経過後に行ってください。

28.6.6 カウントモードの変更について

カウントモード（カレンダー/バイナリ）を変更する場合には、RCR2.START ビットを“0”に設定し、カウント動作を停止させてから初期設定からやり直してください。初期設定の詳細は「28.3.1 電源投入後のレジスタの初期設定概要」を参照してください。

28.6.7 リアルタイムクロックを使用しない場合の初期化手順

RTC 内のレジスタは、リセットによる初期化が行われなため、初期状態によっては意図しない割り込み要求が発生したり、カウンタが動作することにより、電力消費量が多くなります。

リアルタイムクロックを必要としない製品では、**図 28.14** に示す初期化手順に従って、レジスタの初期化をしてください。

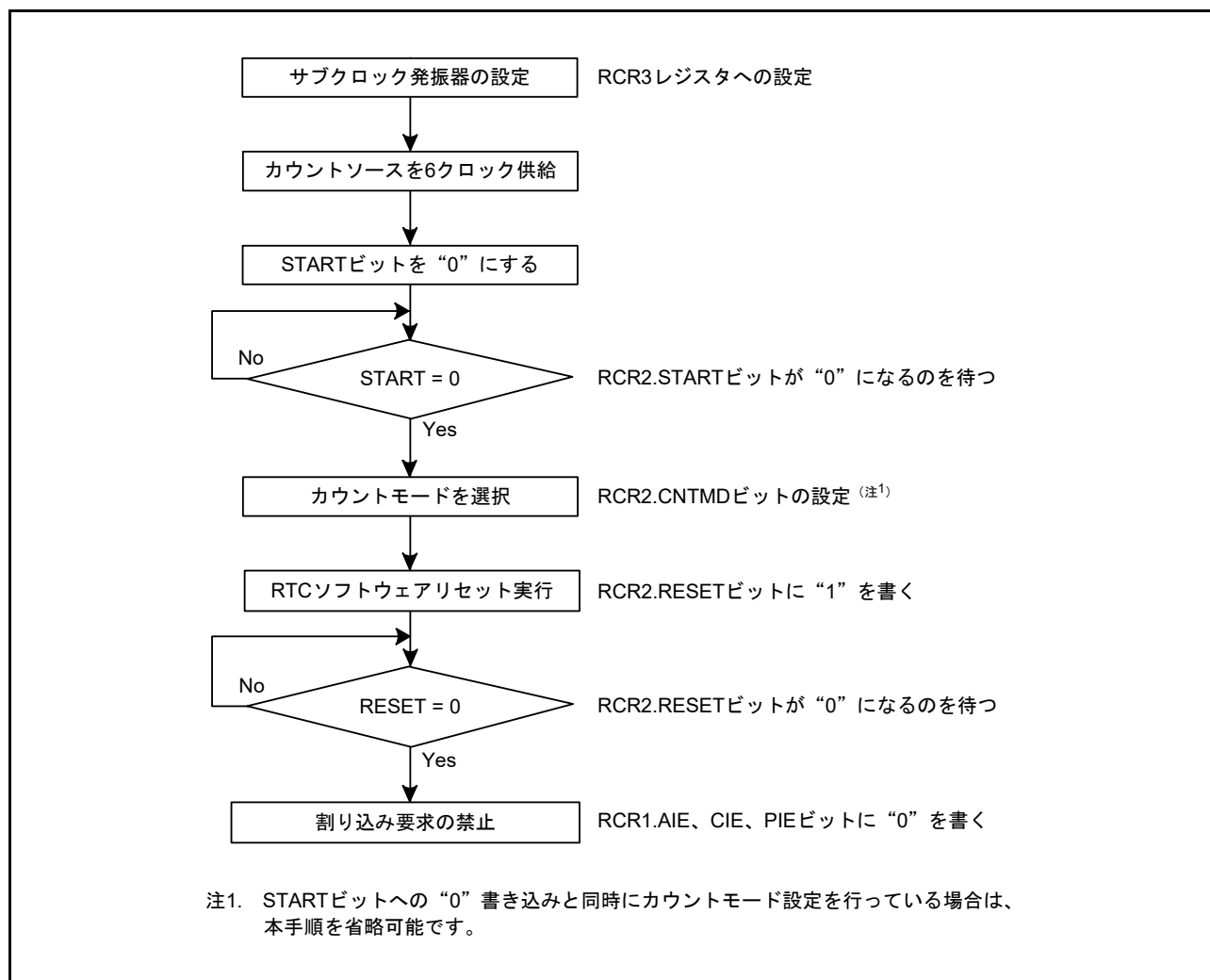


図 28.14 初期化手順

29. ローパワータイマ (LPT)

29.1 概要

本 MCU は、1 チャンネルの 16 ビットタイマにより構成されるローパワータイマ (LPT) を内蔵しています。LPT は、カウントソースとしてサブクロック発振器または IWDT 専用オンチップオシレータを使用しており、ソフトウェアスタンバイモード時もカウント動作を継続することが可能です。コンペアマッチ信号により、ソフトウェアスタンバイモードから通常動作モードへ復帰することが可能です。

表 29.1 に LPT の仕様を、図 29.1 に LPT のブロック図を示します。

表29.1 LPTの仕様

項目	内容
クロックソース	サブクロック発振器、IWDT専用オンチップオシレータ
クロック分周比	2分周、4分周、8分周、16分周、32分周
カウント動作	<ul style="list-style-type: none"> 16ビットのアップカウンタによるアップカウント ソフトウェアスタンバイモード時もカウント動作継続可能
コンペアマッチ	コンペアマッチ0 (ソフトウェアスタンバイモード時のみコンペアマッチ信号が発生)
イベントリンク機能 (出力)	コンペアマッチ0 (ソフトウェアスタンバイモード時のみコンペアマッチ信号が発生) によりイベント信号出力

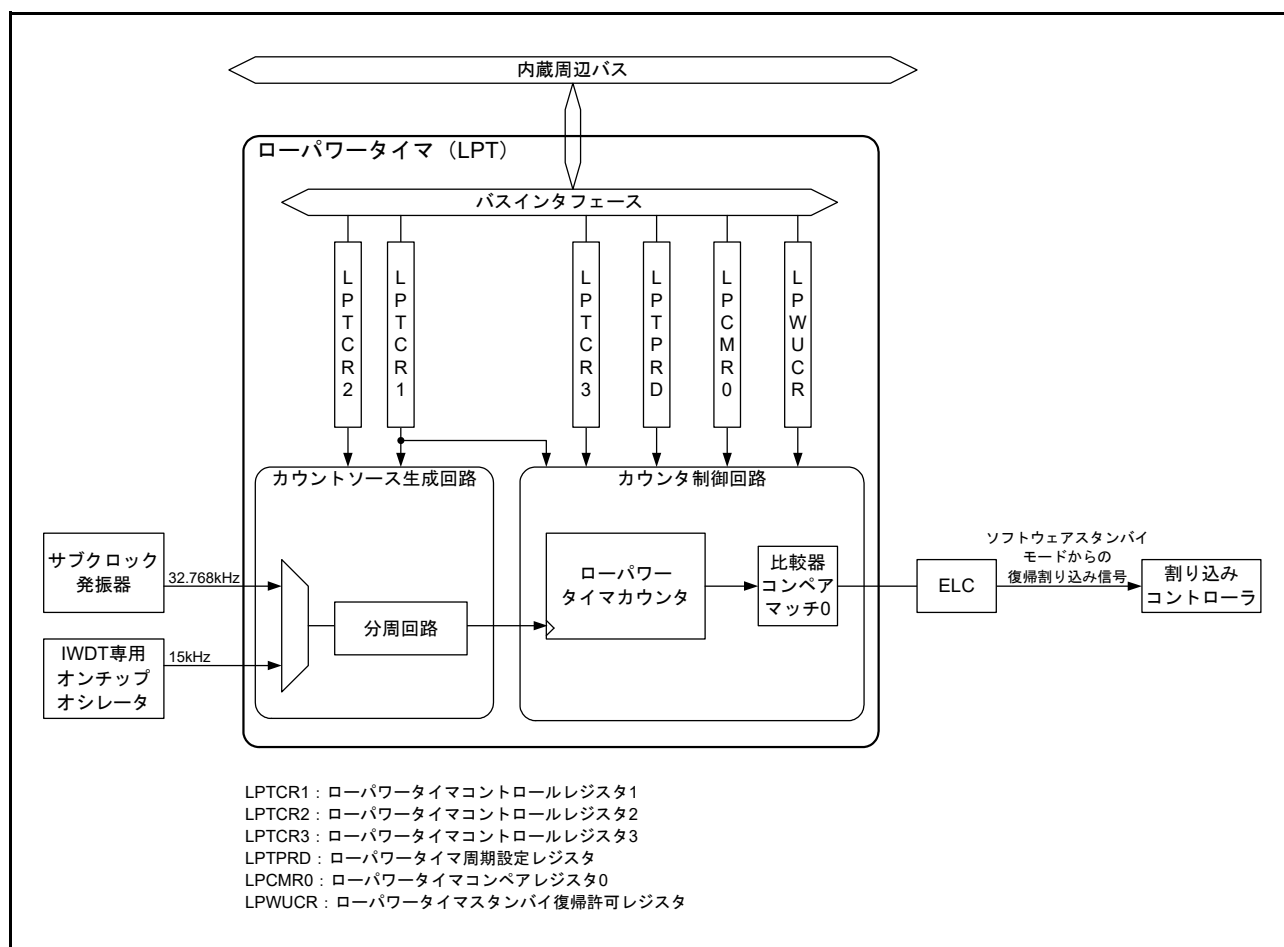


図 29.1 LPT のブロック図

29.2 レジスタの説明

29.2.1 ローパワータイマコントロールレジスタ 1 (LPTCR1)

アドレス 0008 00B0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LPCMR E0	—	LPCNT CKSEL	—	LPCNTPSSEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	LPCNTPSSEL[2:0]	ローパワータイマクロック分周比選択ビット	b2 b0 0 0 1 : クロックソースの2分周 0 1 0 : クロックソースの4分周 0 1 1 : クロックソースの8分周 1 0 0 : クロックソースの16分周 1 0 1 : クロックソースの32分周 上記以外は設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	LPCNTCKSEL	ローパワータイマクロックソース選択ビット ^(注1)	0 : サブクロック発振器選択 1 : IWDT専用オンチップオシレータ選択 ^(注2)	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LPCMRE0	ローパワータイマコンペアマッチ0許可ビット	0 : ローパワータイマコンペアマッチ0禁止 1 : ローパワータイマコンペアマッチ0許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC2ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. システムクロック (ICLK) と周辺モジュールクロック (PCLKB) の周波数 $\geq 4 \times$ (ローパワータイマクロックソースの周波数) となるようにしてください。

注2. IWDT専用オンチップオシレータがローパワータイマに供給されます。本ビットを変更する場合は、IWDT専用オンチップオシレータが安定発振している状態で行ってください。
また、ローパワータイマのクロックソースとしてIWDT専用オンチップオシレータを使用する場合、IWDTオートスタートモード動作時はOFS0.IWDTSLCSTPビットに“0”（カウント停止無効）を、それ以外の時はIWDCSTPR.SLCSTPビットに“0”（カウント停止無効）を設定してください。この設定をしないと、ソフトウェアスタンバイモード時にIWDT専用オンチップオシレータが停止してしまいます。

LPTCR1 レジスタは、ローパワータイマの制御を行います。

LPCNTPSSEL[2:0] ビット (ローパワータイマクロック分周比選択ビット)

ローパワータイマのクロックソースを分周して得られる 5 種類の分周クロックからローパワータイマに入力するカウントクロックを選択します。

本ビットは、ローパワータイマクロック停止 (LPTCR2.LPCNTSTP = 1) の状態で変更してください。

ローパワータイマクロック供給 (LPTCR2.LPCNTSTP = 0) 状態で本ビットへの書き込みは禁止です。

LPCNTCKSEL ビット (ローパワータイマクロックソース選択ビット)

ローパワータイマのクロックソースをサブクロック発振器、IWDT専用オンチップオシレータから選択します。

本ビットは、ローパワータイマクロック停止 (LPTCR2.LPCNTSTP = 1) の状態で変更してください。

ローパワータイマクロック供給 (LPTCR2.LPCNTSTP = 0) 状態で本ビットへの書き込みは禁止です。

LPCMRE0 ビット (ローパワータイマコンペアマッチ 0 許可ビット)

ローパワータイマコンペアマッチ 0 の許可または禁止を設定します。

本ビットを“1”に設定し、かつ、ローパワータイマスタンバイ復帰許可 (LPWUCR.LPWKUPEN = 1) 設定でローパワータイマを動作状態にしてソフトウェアスタンバイモードへ遷移すると、ローパワータイマカウンタの値がローパワータイマコンペアレジスタ 0 (LPCMR0) の設定値と一致したとき ELC を介してソフトウェアスタンバイモードから通常動作モードへ復帰します。

本ビットは、ローパワータイマカウンタのカウント停止 (LPTCR3.LPCNTEN = 0) の状態で設定してください。

ローパワータイマカウンタのカウント動作 (LPTCR3.LPCNTEN = 1) 状態で本ビットへの書き込みは禁止です。

ソフトウェアスタンバイモードからの復帰に使用する場合は、割り込みの設定と ELC の設定が必要です。

ELC の設定の詳細については、「20. イベントリンクコントローラ (ELC)」を、割り込みの設定の詳細については、「15. 割り込みコントローラ (ICUb)」を参照してください。

なお、ローパワータイマコンペアマッチ 0 での割り込みは、ソフトウェアスタンバイモード時にのみ発生します。通常動作モード、スリープモード、およびディープスリープモード時は、ローパワータイマコンペアマッチ 0 での割り込みは発生しません。

29.2.2 ローパワータイマコントロールレジスタ 2 (LPTCR2)

アドレス 0008 00B1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LPCNT STP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	LPCNTSTP	ローパワータイマクロック供給制御ビット	0 : ローパワータイマクロック供給 1 : ローパワータイマクロック停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC2ビットを“1”（書き込み許可）にした後で書き換えてください。

LPTCR2 レジスタは、ローパワータイマで使用するクロックの供給制御を行います。

LPCNTSTP ビット (ローパワータイマクロック供給制御ビット)

ローパワータイマで使用するクロックの供給 / 停止を制御します。本ビットを“0”に設定すると、ローパワータイマカウンタおよび分周回路にクロックが供給されます。

29.2.3 ローパワータイマコントロールレジスタ 3 (LPTCR3)

アドレス 0008 00B2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LPCNT RST	LPCNT EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LPCNTEN	ローパワータイマカウンタ動作制御ビット	0: ローパワータイマカウンタのカウンタ停止 1: ローパワータイマカウンタのカウンタ動作	R/W
b1	LPCNTRST	ローパワータイマカウンタクリアビット (注1)	<ul style="list-style-type: none"> 書き込み時 0: 書き込み無効 1: 分周回路およびカウンタをクリア 読み出し時 0: クリア完了 1: クリア中 	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC2ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. LPCNTRSTビットに“1”を書き込んで“0”を確認した後、再度LPCNTRSTビットに“1”を書き込む場合は、LPTCR1.LPCNTCKSELビットで選択したクロックで1サイクル以上待ってから書き込んでください。

LPTCR3 レジスタは、ローパワータイマカウンタの動作制御および分周カウンタのクリアを行います。

LPCNTEN ビット (ローパワータイマカウンタ動作制御ビット)

ローパワータイマカウンタおよび分周回路の動作 / 停止を制御します。

ローパワータイマで使用するクロックを供給にした状態 (LPTCR2.LPCNTSTP = 0) で、本ビットを“1”に設定すると、ローパワータイマカウンタおよび分周回路が動作を開始します。ローパワータイマクロック停止 (LPTCR2.LPCNTSTP = 1) の状態で本ビットへの書き込みは禁止です。

本ビットが“1”のときは、LPCNTRST ビットに“1”を書き込まないでください。

LPCNTRST ビット (ローパワータイマカウンタクリアビット)

ローパワータイマカウンタおよび分周回路をクリアします。

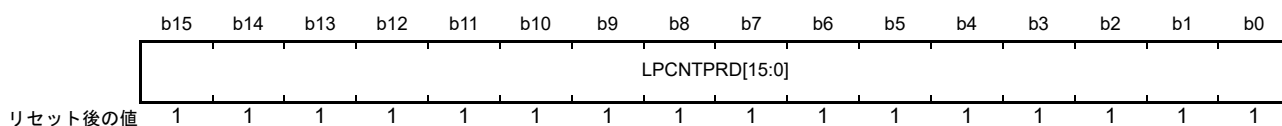
ローパワータイマで使用するクロックを供給にした状態 (LPTCR2.LPCNTSTP = 0) で、本ビットに“1”を書き込むと、ローパワータイマで使用するクロックに同期してクリアが実行され、クリアが完了すると本ビットは自動的に“0”になります。ローパワータイマクロック停止 (LPTCR2.LPCNTSTP = 1) の状態で本ビットへの書き込みは禁止です。

本ビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。

本ビットへの書き込みは、ローパワータイマカウンタのカウンタ停止状態 (LPCNTEN = 0)で行ってください。

29.2.4 ローパワータイマ周期設定レジスタ (LPTPRD)

アドレス 0008 00B4h



ビット	シンボル	ビット名	機能	R/W
b15-b0	LPCNTPRD[15:0]	ローパワータイマ周期設定ビット	ローパワータイマの周期を設定 0000h : 設定禁止	R/W

注. このレジスタはPRCR.PRC2ビットを“1”（書き込み許可）にした後で書き換えてください。

LPTPRD レジスタは、ローパワータイマの周期を設定します。

LPCNTPRD[15:0] ビット (ローパワータイマ周期設定ビット)

ローパワータイマの周期を設定します。

ローパワータイマの周期は、「本レジスタ値 + 1」となり、下記計算式となります。

$$\text{ローパワータイマ周期} = \text{クロックソース周期} \times \text{分周比} \times (\text{LPCNTPRD}[15:0] + 1)$$

ローパワータイマカウンタの値が本設定値と一致するとカウンタは“0000h”になり、カウントを継続します。

本レジスタに“0000h”は設定できません。

本レジスタは、ローパワータイマカウンタのカウント停止 (LPTCR3.LPCNTEN = 0) の状態で設定してください。ローパワータイマカウンタのカウント動作 (LPTCR3.LPCNTEN = 1) 状態で本レジスタへの書き込みは禁止です。

表 29.2 および表 29.3 にローパワータイマの周期設定例を示します。周期に対し、一番近い設定例です。

表 29.2 ローパワータイマの周期設定例 (IWDT 専用 LOCO の場合)

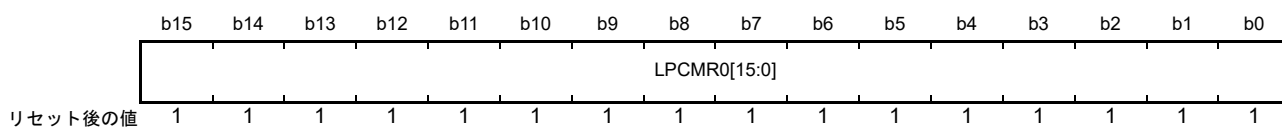
分周設定 周期 [ms]	2			4			8			16			32		
	設定値	値 [ms]	誤差 [%]	設定値	値 [ms]	誤差 [%]	設定値	値 [ms]	誤差 [%]	設定値	値 [ms]	誤差 [%]	設定値	値 [ms]	誤差 [%]
1	0006h	0.93	-6.67	0003h	1.07	6.67	0001h	1.07	6.67	—	—	—	—	—	—
2	000Dh	1.87	-6.67	0006h	1.87	-6.67	0003h	2.13	6.67	0001h	2.13	6.67	—	—	—
5	0024h	4.93	-1.33	0011h	4.80	-4.00	0008h	4.80	-4.00	0004h	5.33	6.67	0001h	4.27	-14.67
10	004Ah	10.00	0.00	0024h	9.87	-1.33	0011h	9.60	-4.00	0008h	9.60	-4.00	0004h	10.67	6.67
20	0095h	20.00	0.00	004Ah	20.00	0.00	0024h	19.73	-1.33	0011h	19.20	-4.00	0008h	19.20	-4.00
50	0176h	50.00	0.00	00BAh	49.87	-0.27	005Ch	49.60	-0.80	002Dh	49.07	-1.87	0016h	49.07	-1.87
100	02EDh	100.00	0.00	0176h	100.00	0.00	00BAh	99.73	-0.27	005Ch	99.20	-0.80	002Dh	98.13	-1.87
200	05DBh	200.00	0.00	02EDh	200.00	0.00	0176h	200.00	0.00	00BAh	199.47	-0.27	005Ch	198.40	-0.80
500	0EA4h	499.87	-0.03	0751h	499.73	-0.05	03A8h	499.73	-0.05	01D3h	499.20	-0.16	00E9h	499.20	-0.16
1000	1D4Ah	999.87	-0.01	0EA4h	999.73	-0.03	0751h	999.47	-0.05	03A8h	999.47	-0.05	01D3h	998.40	-0.16
2000	3A96h	1999.87	-0.01	1D4Ah	1999.73	-0.01	0EA4h	1999.47	-0.03	0751h	1998.93	-0.05	03A8h	1998.93	-0.05
5000	927Bh	5000.00	0.00	493Dh	5000.00	0.00	249Eh	5000.00	0.00	124Eh	4999.47	-0.01	0926h	4998.40	-0.03
10000	—	—	—	—	—	—	493Dh	10000.00	0.00	249Eh	10000.00	0.00	124Eh	9998.93	-0.01
20000	—	—	—	—	—	—	927Bh	20000.00	0.00	493Dh	20000.00	0.00	249Eh	20000.00	0.00
50000	—	—	—	—	—	—	—	—	—	B71Ah	50000.00	0.00	5B8Ch	49998.93	0.00

表 29.3 ローパワータイマの周期設定例 (サブクロック発振器の場合)

分周設定 周期 [ms]	2			4			8			16			32		
	設定値	値 [ms]	誤差 [%]	設定値	値 [ms]	誤差 [%]	設定値	値 [ms]	誤差 [%]	設定値	値 [ms]	誤差 [%]	設定値	値 [ms]	誤差 [%]
1	000Fh	0.98	-2.34	0007h	0.98	-2.34	0003h	0.98	-2.34	0001h	0.98	-2.34	—	—	—
2	001Fh	1.95	-2.34	000Fh	1.95	-2.34	0007h	1.95	-2.34	0003h	1.95	-2.34	0001h	1.95	-2.34
5	0050h	4.94	-1.12	0027h	4.88	-2.34	0013h	4.88	-2.34	0009h	4.88	-2.34	0004h	4.88	-2.34
10	00A2h	9.95	-0.51	0050h	9.89	-1.12	0027h	9.77	-2.34	0013h	9.77	-2.34	0009h	9.77	-2.34
20	0146h	19.96	-0.21	00A2h	19.90	-0.51	0050h	19.78	-1.12	0027h	19.53	-2.34	0013h	19.53	-2.34
50	0332h	49.99	-0.02	0198h	49.93	-0.15	00CBh	49.80	-0.39	0065h	49.80	-0.39	0032h	49.80	-0.39
100	0665h	99.98	-0.02	0332h	99.98	-0.02	0198h	99.85	-0.15	00CBh	99.61	-0.39	0065h	99.61	-0.39
200	0CCBh	199.95	-0.02	0665h	199.95	-0.02	0332h	199.95	-0.02	0198h	199.71	-0.15	00CBh	199.22	-0.39
500	1FFFh	500.00	0.00	0FFFh	500.00	0.00	07FFh	500.00	0.00	03FFh	500.00	0.00	01FFh	500.00	0.00
1000	3FFFh	1000.00	0.00	1FFFh	1000.00	0.00	0FFFh	1000.00	0.00	07FFh	1000.00	0.00	03FFh	1000.00	0.00
2000	7FFFh	2000.00	0.00	3FFFh	2000.00	0.00	1FFFh	2000.00	0.00	0FFFh	2000.00	0.00	07FFh	2000.00	0.00
5000	—	—	—	9FFFh	5000.00	0.00	4FFFh	5000.00	0.00	27FFh	5000.00	0.00	13FFh	5000.00	0.00
10000	—	—	—	—	—	—	9FFFh	10000.00	0.00	4FFFh	10000.00	0.00	27FFh	10000.00	0.00
20000	—	—	—	—	—	—	—	—	—	9FFFh	20000.00	0.00	4FFFh	20000.00	0.00
50000	—	—	—	—	—	—	—	—	—	—	—	—	C7FFh	50000.00	0.00

29.2.5 ローパワータイマコンペアレジスタ 0 (LPCMR0)

アドレス 0008 00B8h



ビット	シンボル	ビット名	機能	R/W
b15-b0	LPCMR0[15:0]	ローパワータイマコンペア0ビット	ローパワータイマカウンタとのコンペアマッチ値0を設定	R/W

注. このレジスタはPRCR.PRC2ビットを“1”（書き込み許可）にした後で書き換えてください。

LPCMR0 レジスタは、ローパワータイマカウンタとのコンペアマッチ値0を設定します。

LPCMR0[15:0] ビット (ローパワータイマコンペア0ビット)

ローパワータイマカウンタとのコンペアマッチ値0を設定します。

LPCMR0[15:0] ビットには、LTPRD.LPCNTPRD[15:0] ビット以下の値を設定してください。

本レジスタは、ローパワータイマカウンタのカウント停止 (LPTCR3.LPCNTEN = 0) の状態で設定してください。ローパワータイマカウンタのカウント動作 (LPTCR3.LPCNTEN = 1) 状態で本レジスタへの書き込みは禁止です。

29.2.6 ローパワータイマスタンバイ復帰許可レジスタ (LPWUCR)

アドレス 0008 00BCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LPWKU PEN	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	LPWKUPEN	ローパワータイマスタンバイ復帰許可ビット	0：ローパワータイマでソフトウェアスタンバイモードから復帰禁止 1：ローパワータイマでソフトウェアスタンバイモードから復帰許可	R/W

注. このレジスタはPRCR.PRC2ビットを“1”（書き込み許可）にした後で書き換えてください。

LPWUCR レジスタは、ローパワータイマのコンペアマッチ 0 でソフトウェアスタンバイモードから通常モードへ復帰する機能の許可制御を行います。

LPWKUPEN ビット (ローパワータイマスタンバイ復帰許可ビット)

ローパワータイマのコンペアマッチ 0 でソフトウェアスタンバイモードから通常動作モードへ復帰する機能の許可または禁止を設定します。

本ビットは、ローパワータイマカウンタのカウンタ停止 (LPTCR3.LPCNTEN = 0) の状態で設定してください。ローパワータイマカウンタのカウンタ動作 (LPTCR3.LPCNTEN = 1) 状態で本ビットへの書き込みは禁止です。

29.3 動作説明

29.3.1 周期カウント動作

ローパワータイマは動作状態にかかわらず（注1）動作する16ビットのアップカウンタです。

LPTCR1.LPCNTPSSEL[2:0] ビットで分周クロック、LPTCR1.LPCNTCKSEL ビットでクロックソースを選択し、LPTCR2.LPCNTSTP ビットを“0”に設定後、LPTCR3.LPCNTEN ビットを“1”にすると選択したクロックによってローパワータイマカウンタはカウントアップを開始します。

ローパワータイマカウンタの値がLPTPRDレジスタの値と一致すると、カウンタの値は“0000h”からカウントアップを再開します。

LPTCR1.LPCMRE0 ビットを“1”かつLPWUCR.LPWKUPEN ビットを“1”に設定しソフトウェアスタンバイモードでローパワータイマカウンタの値がLPCMR0レジスタの値と一致すると、ELCを介してソフトウェアスタンバイモードから通常動作モードへ復帰します。

図29.2にローパワータイマの動作を、図29.3に初期設定手順例を示します。

注1. LPTCR1.LPCNTCKSEL ビットで“1”（IWDT専用オンチップオシレータ）を選択している場合は、「IWDTオートスタートモード時、オプション機能選択レジスタ0のIWDTスリープモードカウント停止制御ビット（OFS0.IWDTSLCSTP）の設定で停止を選択」または「IWDTオートスタートモードではないとき、IWDTカウント停止コントロールレジスタのスリープモードカウント停止制御ビット（IWDCSTPR.SLCSTP）の設定で停止を選択」していると、低消費電力状態では選択したクロックが停止するため、カウンタが停止します。

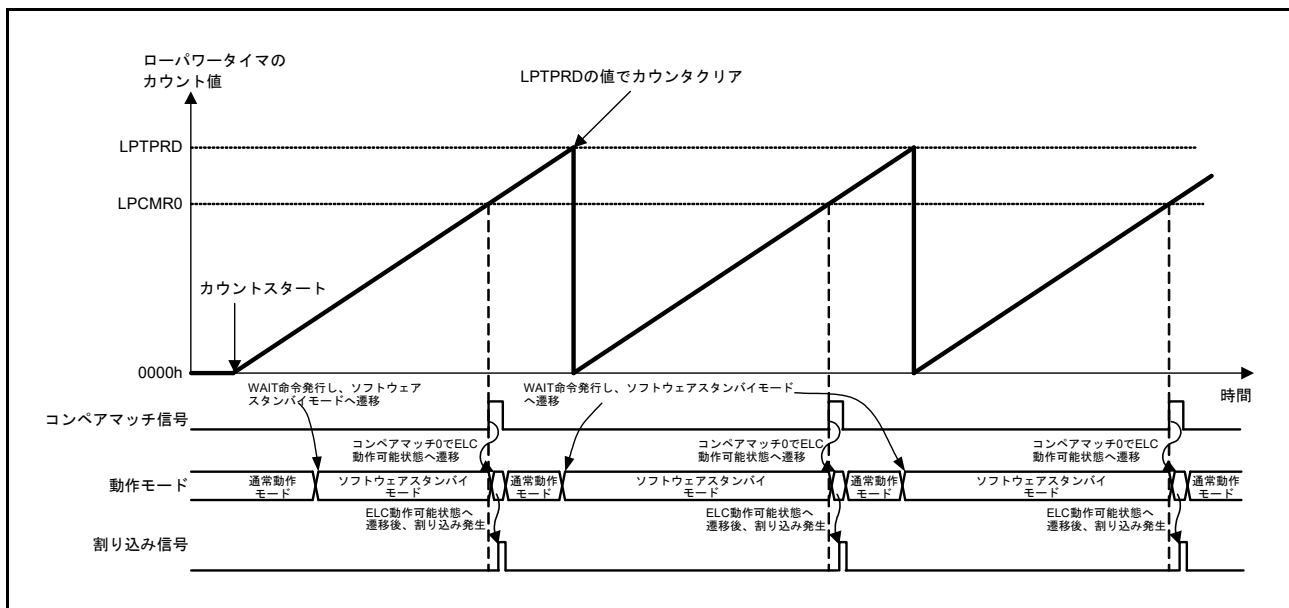


図 29.2 ローパワータイマの動作

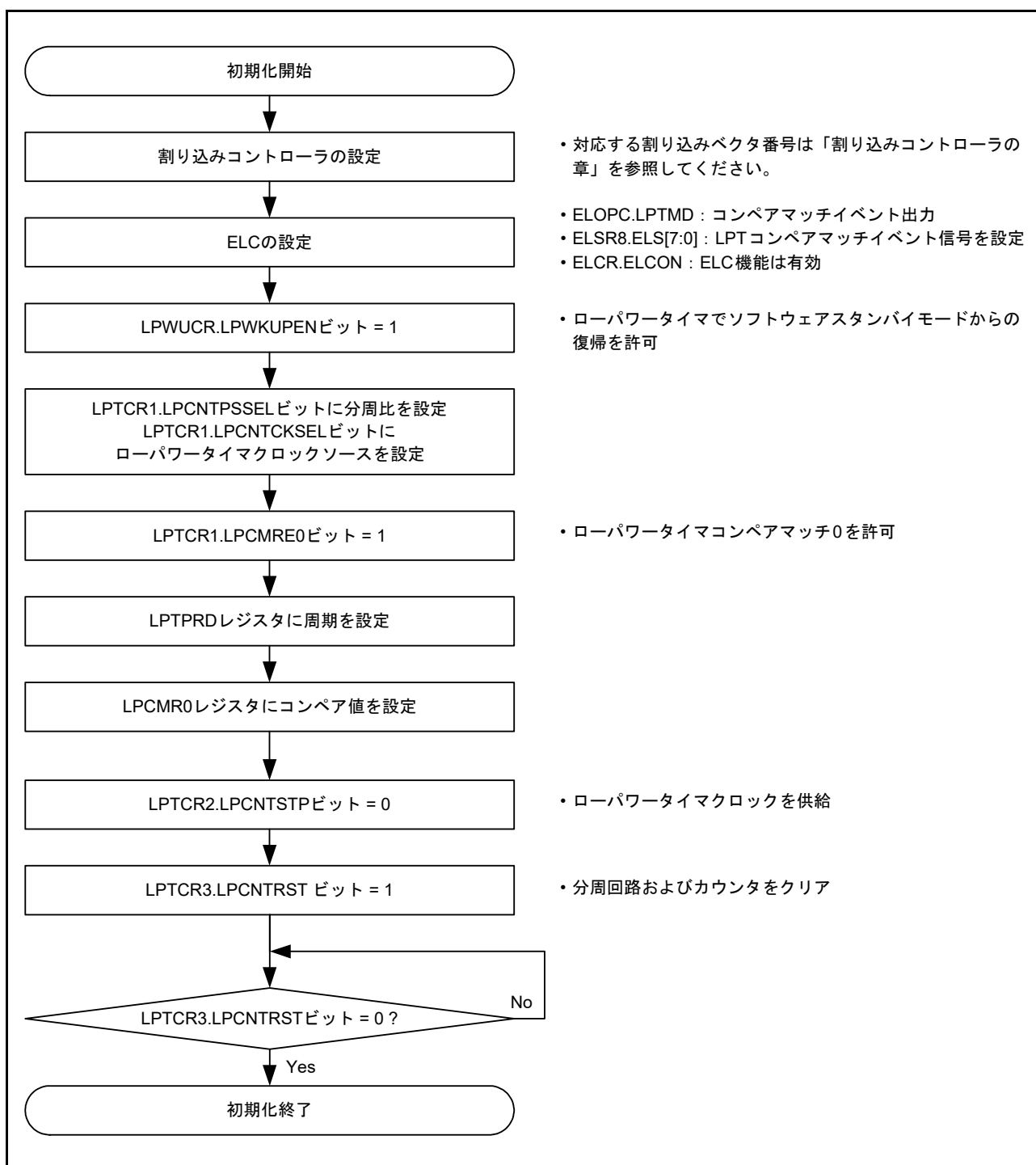


図 29.3 初期設定手順例

29.3.2 ローパワータイマカウンタのカウントタイミング

LPTCR1.LPCNTPSSEL[2:0] ビットで、LPTCR1.LPCNTCKSEL ビットで選択したクロックソースを分周した5種類の分周クロック (1/2, 1/4, 1/8, 1/16, 1/32) からローパワータイマカウンタに入力するクロックを選択できます。

このときのローパワータイマカウンタのカウントタイミングを図 29.4 に示します。

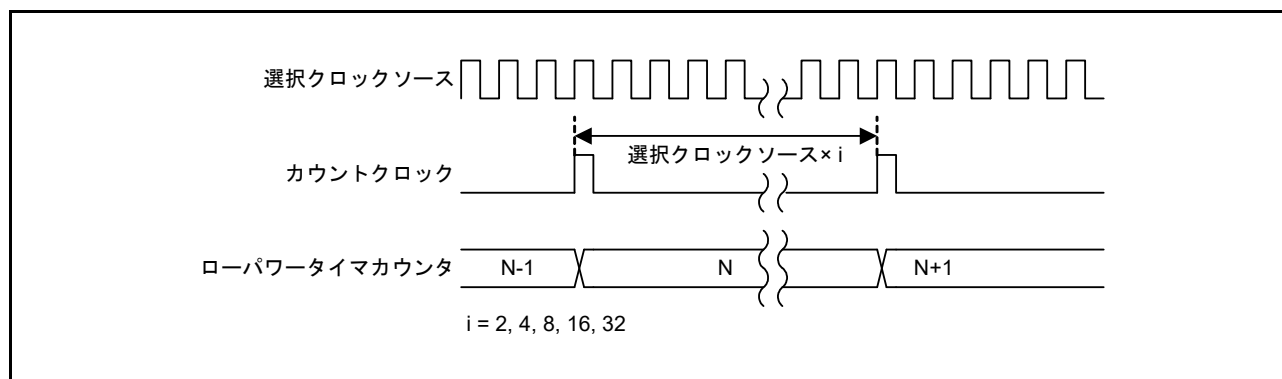


図 29.4 ローパワータイマカウンタのカウントタイミング

29.3.3 ローパワータイマカウンタのクリアタイミング

LPTCR3.LPCNTRST ビットに“1”を書き込むと（注1）、ローパワータイマカウンタをクリアします。

LPTCR3.LPCNTRST ビットはカウンタのクリアが完了すると自動的に“0”になります。

このときのローパワータイマカウンタのクリアタイミングを図 29.5 に示します。

注 1. LPTCR3.LPCNTRST ビットへの書き込みは、ローパワータイマカウンタのカウント停止状態 (LPTCR3.LPCNTEN = 0) で行ってください。

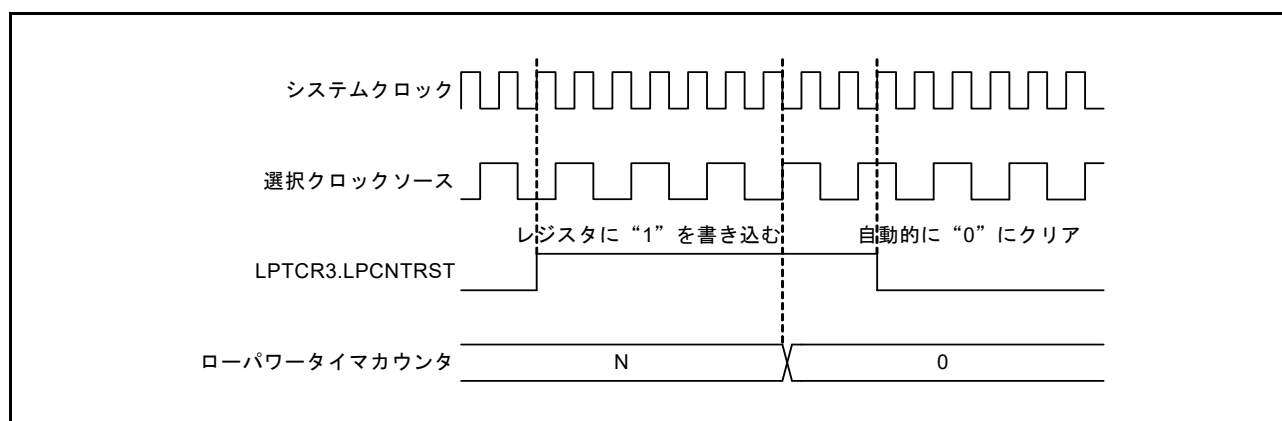


図 29.5 ローパワータイマカウンタのクリアタイミング

29.4 イベントリンクコントローラ (ELC) を介した割り込みによるソフトウェアスタンバイモードの解除について

ローパワータイマは、イベントリンクコントローラ (ELC) から、ソフトウェアスタンバイモード時のみ LPT のコンペアマッチ 0 によりイベント信号を出力します。

イベントリンクコントローラ (ELC) の ELOPC レジスタでコンペアマッチイベント出力を設定し、ELSR8 レジスタで LPT コンペアマッチを設定することで、イベント信号による割り込みが発生し、ソフトウェアスタンバイモードから通常動作モードへ復帰することが可能です。

29.5 使用上の注意事項

29.5.1 ソフトウェアスタンバイモードへの遷移に関する注意事項について

ソフトウェアスタンバイモードから通常動作モードに復帰して、再度ソフトウェアスタンバイモードへ遷移する場合に LPTCR1.LPCNTCKSEL ビットで選択したクロックで 1 サイクル以上待ってから WAIT 命令を実行する必要があります。

30. ウォッチドッグタイマ (WDTA)

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタで、システムの暴走などによりカウンタの値のリフレッシュがされずにアンダフローすると、本 MCU のリセットをします。

また、アンダフローにより、ノンマスカブル割り込みを発生させることもできます。

カウンタのリフレッシュには、リフレッシュ許可期間を設定することができ、同許可期間を暴走検知の条件とすることができます。

本章に記載している PCLK とは PCLKB を指します。

30.1 概要

表 30.1 に WDT の仕様を示します。図 30.1 に WDT のブロック図を示します。

表 30.1 WDT の仕様

項目	内容
カウントソース	周辺モジュールクロック (PCLK)
クロック分周比	4分周/64分周/128分周/512分周/2048分周/8192分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> オートスタートモード：リセット後、およびアンダフロー、リフレッシュエラー発生後に自動的にカウント開始 レジスタスタートモード：リフレッシュ動作(WDTRRレジスタへの書き込み)により、カウント開始
カウント停止条件	<ul style="list-style-type: none"> リセット(ダウンカウンタ、レジスタは初期値に戻ります) アンダフロー、リフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間)
ウォッチドッグタイマリセット発行要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
ノンマスカブル割り込み要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
カウンタ値の読み出し	WDTSRレジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能

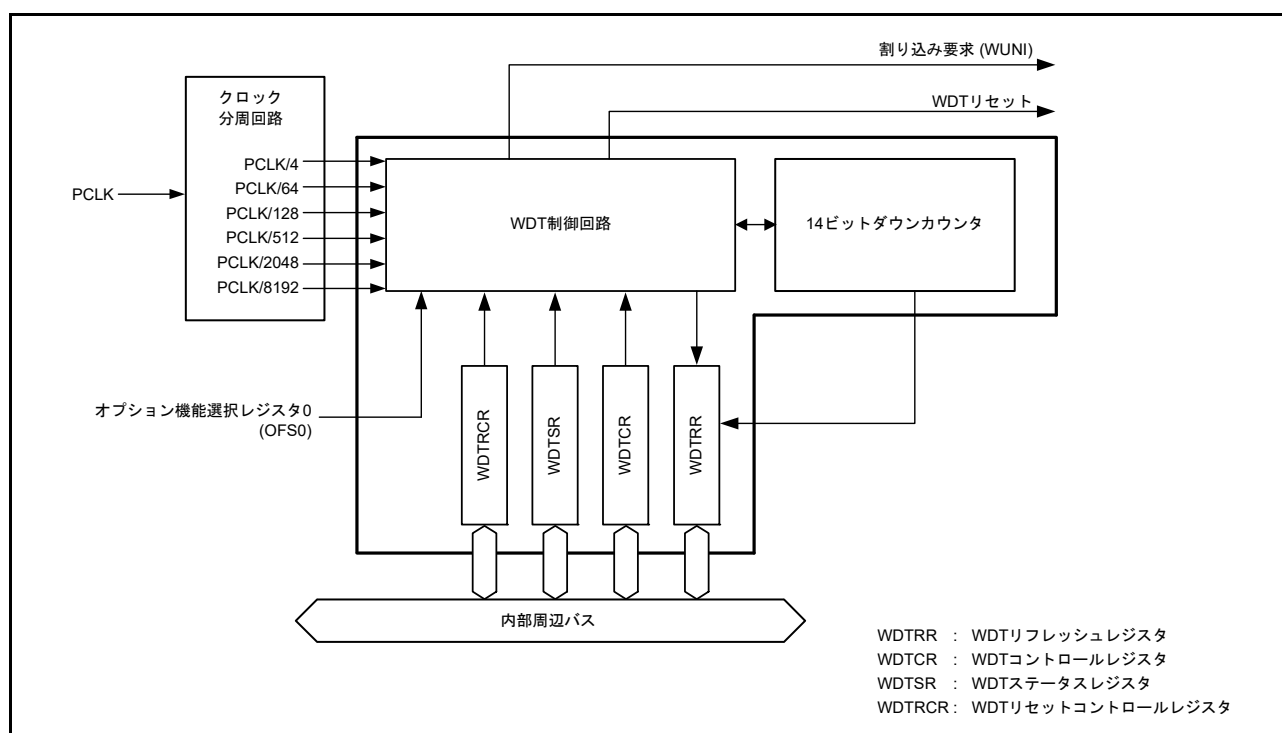
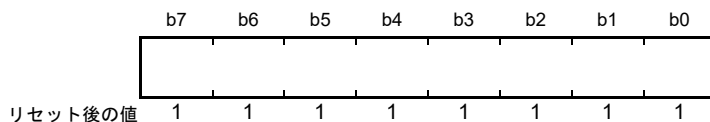


図 30.1 WDT のブロック図

30.2 レジスタの説明

30.2.1 WDT リフレッシュレジスタ (WDTRR)

アドレス 0008 8020h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、WDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む(リフレッシュ動作)により WDT のダウンカウンタをリフレッシュします。

ダウンカウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の WDT タイムアウト期間選択ビット (OFS0.WDTPOPS[1:0]) で設定した値からダウンカウントを行います。レジスタスタートモードの場合、WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントを行います。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「30.3.3 リフレッシュ動作」を参照してください。

30.2.2 WDT コントロールレジスタ (WDTCR)

アドレス 0008 8022h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 1024サイクル(03FFh) 0 1 : 4096サイクル(0FFFh) 1 0 : 8192サイクル(1FFFh) 1 1 : 16384サイクル(3FFFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 1 : 4分周 0 1 0 0 : 64分周 1 1 1 1 : 128分周 0 1 1 0 : 512分周 0 1 1 1 : 2048分周 1 0 0 0 : 8192分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

WDTCR レジスタへの書き込みには制限があります。詳細については、「30.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、WDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、WDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「30.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (PCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 30.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および PCLK 数の関係を示します。

表 30.2 タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	PCLK数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	4分周	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	64分周	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	128分周	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	512分周	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	2048分周	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	8192分周	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

CKS[3:0] ビット (クロック分周比選択ビット)

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、周辺モジュールクロック (PCLK) の 4 分周 /64 分周 /128 分周 /512 分周 /2048 分周 /8192 分周から選択できます。TOPS[1:0] ビット設定と合わせて、WDT のカウント期間を PCLK の 4096 ~ 134217728 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

リフレッシュ許可期間を示すウィンドウの終了位置を設定します。ウィンドウの終了位置はタイムアウト期間の、75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

リフレッシュ許可期間を示すウィンドウの開始位置を設定します。ウィンドウの開始位置はタイムアウト期間の、25%、50%、75%、100% から選択します。

設定値は、ウィンドウ開始位置 > ウィンドウ終了位置となるように設定してください。

ウィンドウ開始位置 ≤ ウィンドウ終了位置と設定した場合、ウィンドウ終了位置は、0% になります。

RPSS[1:0]、RPES[1:0]、TOPS[1:0] ビットで設定されるウィンドウ開始、終了位置のカウンタ値を表 30.3 に、設定されるリフレッシュ許可期間を図 30.2 に示します。

表 30.3 ウィンドウ開始、終了位置とカウンタ値の対応表

TOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始、終了のカウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

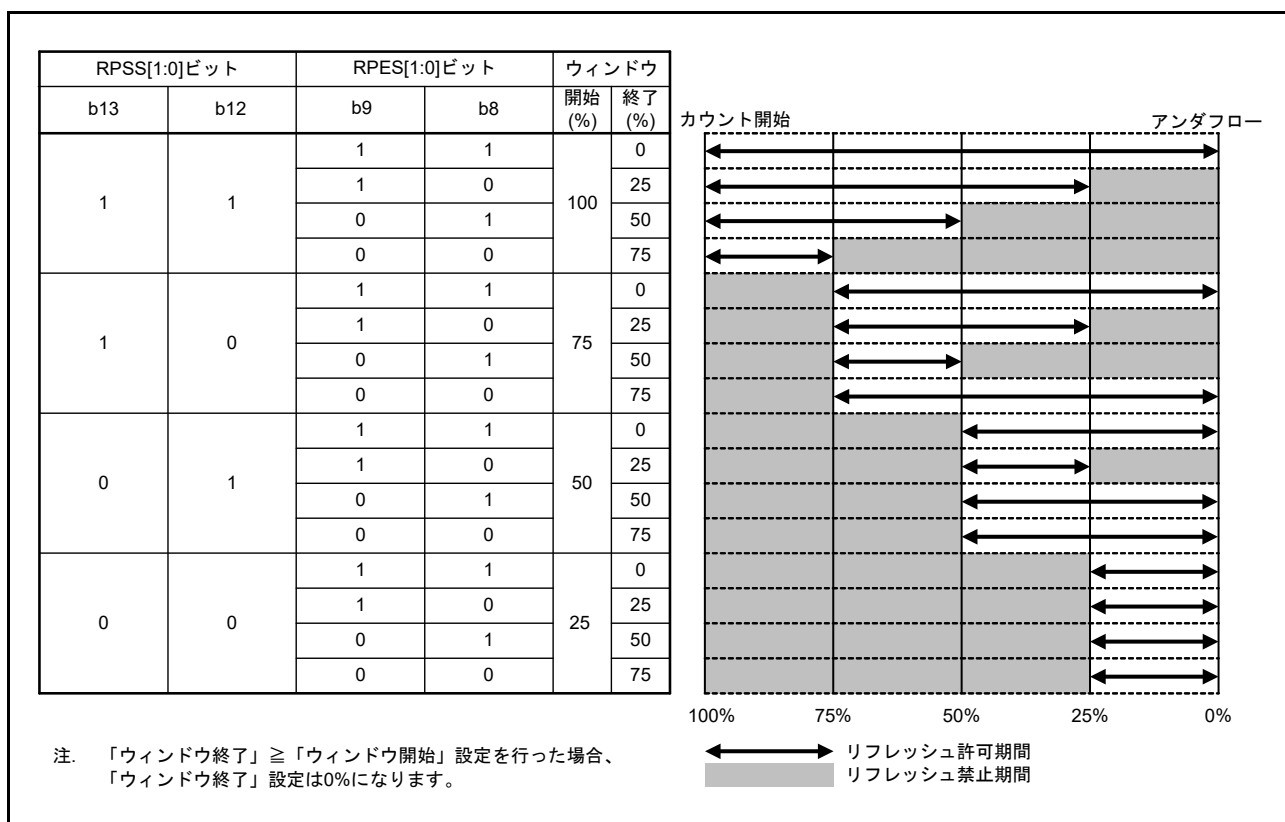
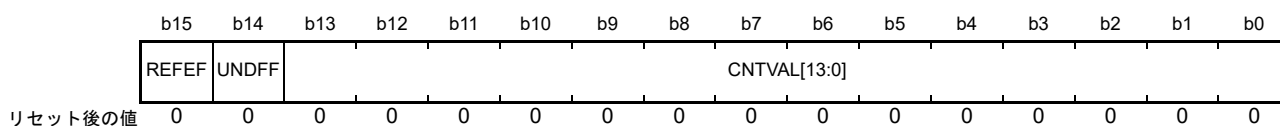


図 30.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

30.2.3 WDT ステータスレジスタ (WDTSR)

アドレス 0008 8024h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値ビット	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0 : アンダフローなし 1 : アンダフロー発生	R(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0 : リフレッシュエラーなし 1 : リフレッシュエラー発生	R(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

CNTVAL[13:0] ビット (ダウンカウンタ値ビット)

ダウンカウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

ダウンカウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、ダウンカウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

30.2.4 WDT リセットコントロールレジスタ (WDTRCR)

アドレス 0008 8026h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIR QS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0: ノンマスクブル割り込み要求出力を許可 1: リセット出力を許可	R/W

WDTRCR レジスタへの書き込みには制限があります。詳細については、「30.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、WDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「30.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

30.2.5 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタについては、「30.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

30.3 動作説明

30.3.1 カウント開始条件別の各動作

WDT はリセット解除後、自動的にカウントを開始するオートスタートモードと、リフレッシュ (レジスタ書き込み) によりカウントを開始するレジスタスタートモードの 2 種類のモードがあります。

オートスタートモードは、リセット解除後、ROM 上のオプション機能選択レジスタ 0 (OFS0) の設定に従い、自動的にカウントを開始します。

レジスタスタートモードは、リセット解除後に各レジスタの設定後、リフレッシュ (レジスタ書き込み) により、カウントを開始します。

オートスタートモード、もしくはレジスタスタートモードの選択は、OFS0 レジスタの WDT スタートモード選択ビット (OFS0.WDTSTRT) で行います。

オートスタートモード選択時は、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) の設定は無効となり、OFS0 レジスタの設定が有効となります。

一方、レジスタスタートモード選択時は、OFS0 レジスタの設定は無効となり、WDTCR、WDTRCR レジスタの設定が有効となります。

30.3.1.1 レジスタスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が“1”の場合、レジスタスタートモードとなり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) が有効となります。

リセット解除後、WDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、また WDTRCR レジスタにリセット出力/割り込み要求出力の設定を行います。その後、リフレッシュ動作でダウンカウンタは、タイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントを開始します。

以後、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。リセット出力、または割り込み要求出力の選択は、リセット割り込み要求選択ビット (WDTRCR.RSTIRQS) の設定により行います。

図 30.3 に以下の条件での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- リセット出力許可 (WDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)

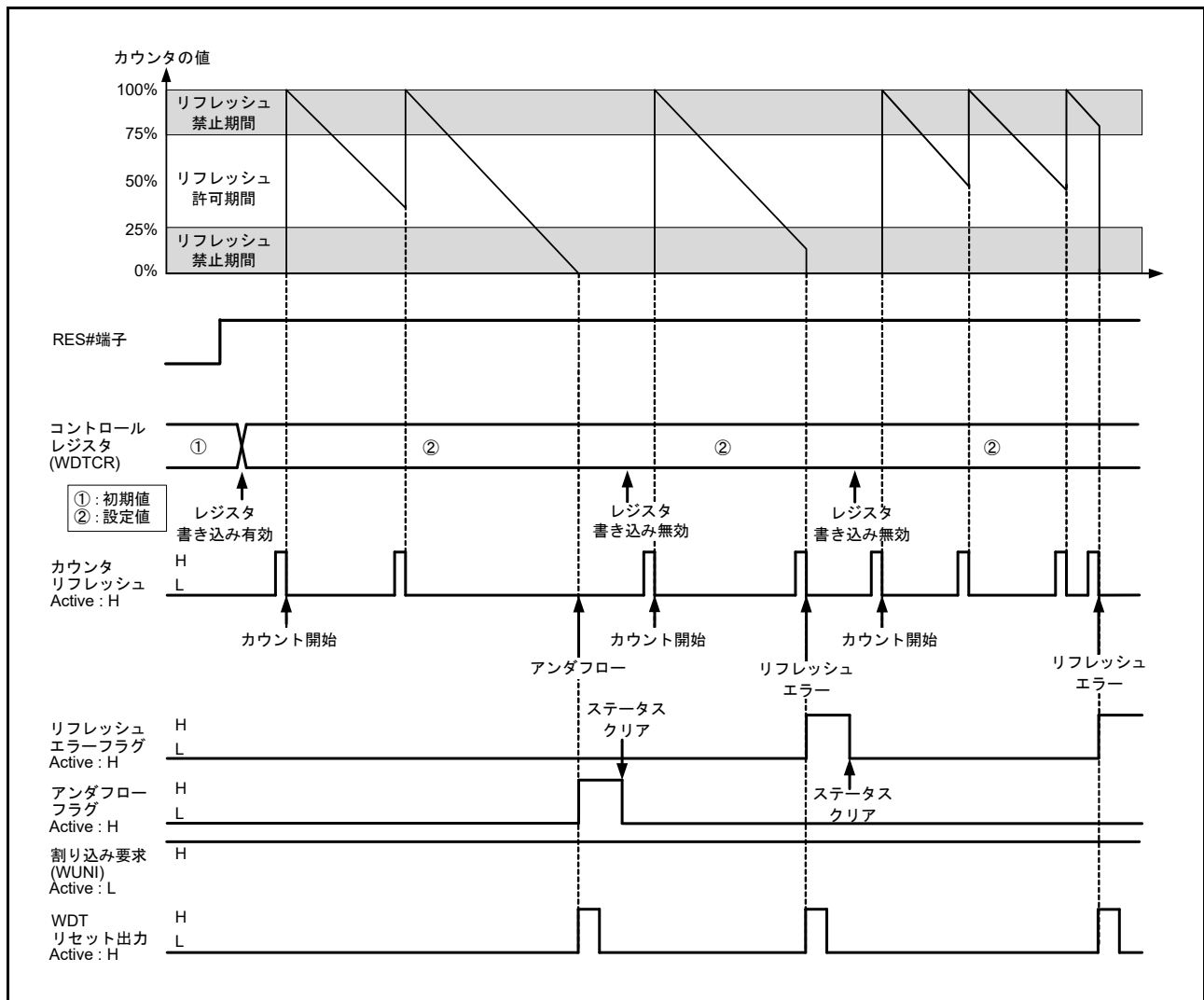


図 30.3 レジスタスタートモード動作例

30.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の WDT スタートモード選択ビット (OFS0.WDTSTRT) が “0” の場合、オートスタートモードとなり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) が無効となり、OFS0 レジスタの設定が有効になります。

リセット期間中にオプション機能選択レジスタ 0 (OFS0) の設定値 (クロック分周比、ウィンドウ開始 / 終了位置、タイムアウト期間、リセット出力 / 割り込み要求) が WDT のレジスタに設定されます。その後、リセット解除でダウンカウンタに WDT タイムアウト期間選択ビット (OFS0.WDTPPS[1:0]) で設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。リセットまたはノンマスカブル割り込み要求を 1 カウントサイクル出力後、ダウンカウンタはタイムアウト期間の値がセットされ、カウント動作を再開します。リセット出力、または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) の設定により行います。

図 30.4 に以下の条件での動作例 (ノンマスカブル割り込み) を示します。

- オートスタートモード (OFS0.WDTSTRT = 0)
- ノンマスカブル割り込み要求出力許可 (OFS0.WDTRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.WDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.WDTRPES[1:0] = 10b)

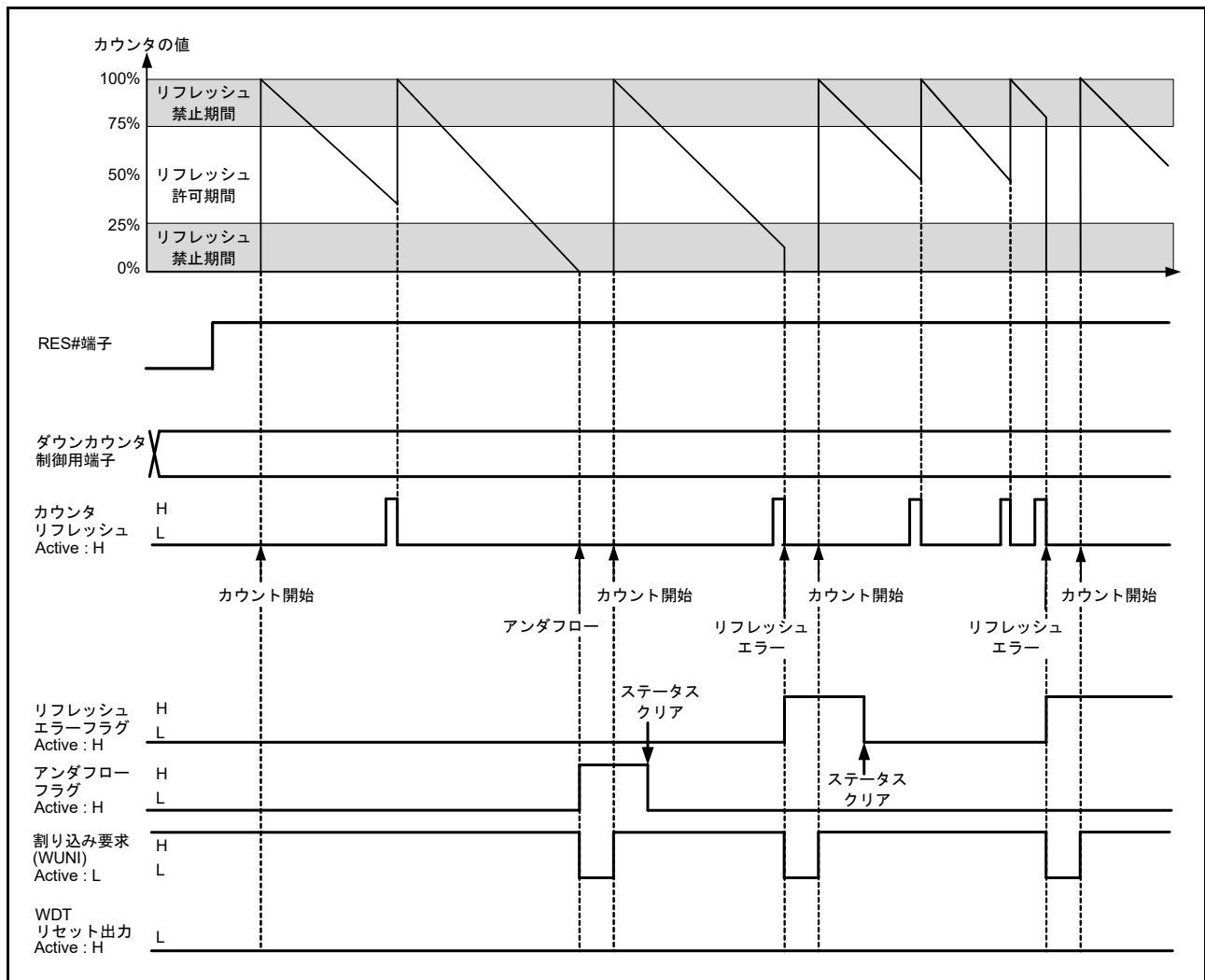


図 30.4 オートスタートモード動作例

30.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは WDTCR、WDTRCR レジスタへ書き込みを行うと、WDT 内部のプロテクト信号が“1”となり、以後 WDTCR、WDTRCR レジスタへの書き込みをプロテクトします。

WDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 30.5 に WDTCR レジスタ書き込み制御波形を示します。

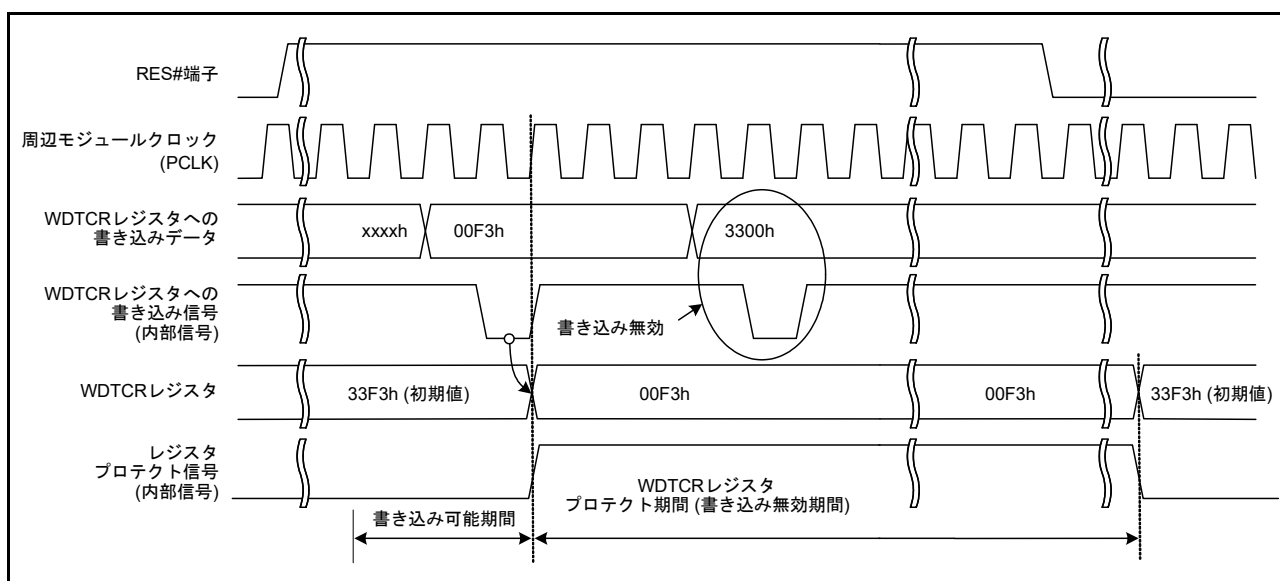


図 30.5 WDTCR レジスタ書き込み制御波形

30.3.3 リフレッシュ動作

ダウンカウンタのリフレッシュを行うには、WDT リフレッシュレジスタ (WDTRR) へ“00h”を書き込んだ後、続けて“FFh”書き込みを行ってください。“00h”の書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、WDTRR レジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

WDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、WDTRR レジスタ以外へのアクセス、または WDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

リフレッシュの書き込みは、リフレッシュ許可期間内に行う必要があります。書き込みが、リフレッシュ許可期間内かどうかの判定は、“FFh”の書き込み時に行っています。このため“00h”の書き込みがリフレッシュ許可期間外であってもリフレッシュは正常に行われます。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1 回目) → “00h” (n 回目) → “FFh”
- “00h” → 別レジスタアクセスまたは WDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h” 以外) → “FFh”
- “00h” → “54h” (“FFh” 以外)
- “00h” → “AAh” (“00h” および “FFh” 以外) → “FFh”

ダウンカウンタがリフレッシュされるタイミングは、WDT リフレッシュレジスタ (WDTRR) に “FFh” を書き込み後、カウントサイクル数で最大 4 サイクル必要となります。そのため、ダウンカウンタがアンダフローする 4 カウント前までに、WDTRR レジスタへの “FFh” 書き込みを完了してください。

図 30.6 にクロック分周比が PCLK/64 の場合の WDT リフレッシュ動作波形を示します。

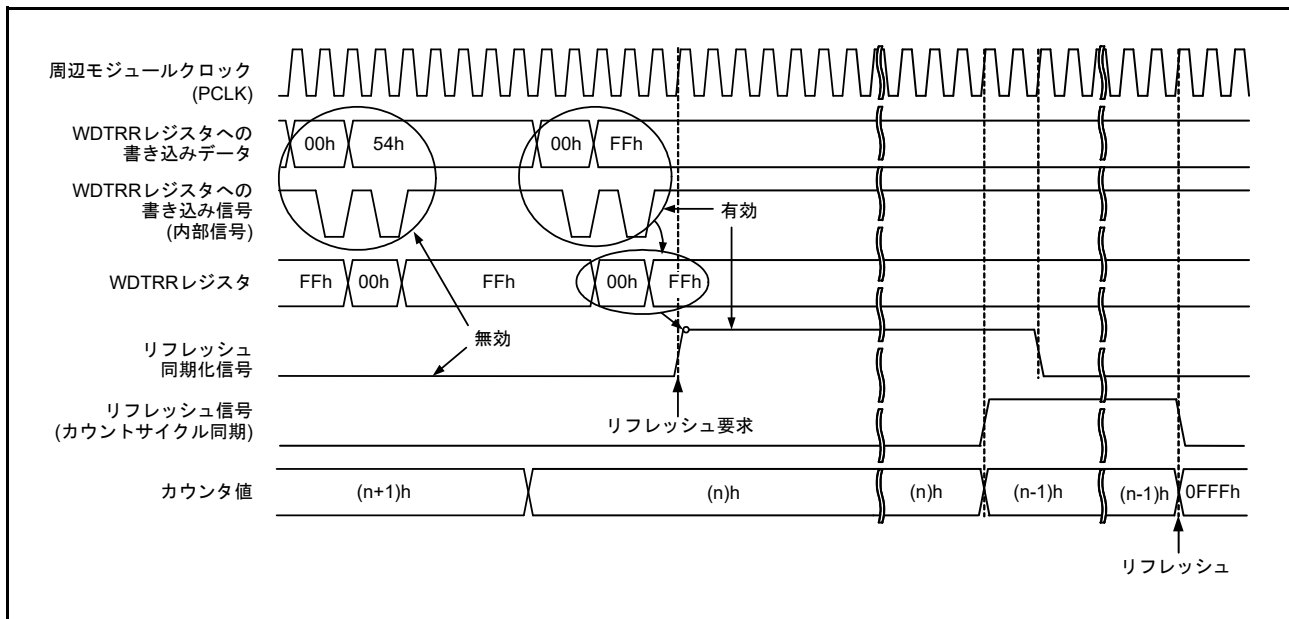


図 30.6 WDT リフレッシュ動作波形 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)

30.3.4 リセット出力

レジスタスタートモード時、リセット割り込み選択ビット (WDTCR.RSTIRQS) を “1” にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を “1” にした場合、ダウンカウンタのアンダフロー、またはリフレッシュエラーにより、1 カウントサイクル間リセットを出力します。

レジスタスタートモードでは、リセット出力後、ダウンカウンタは初期状態 (ALL“0”) で停止します。リセット解除後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。オートスタートモードでは、リセット解除後、自動でダウンカウントを開始します。

30.3.5 割り込み要因

レジスタスタートモード時、リセット割り込み選択ビット (WDTRCR.RSTIRQS) を“0”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を“0”にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生したとき、割り込み (WUNI) が発生します。本割り込みはノンマスクابل割り込みに対応しています。詳細は、「15. 割り込みコントローラ (ICUb)」を参照してください。

表 30.4 WDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
WUNI	ダウンカウンタのアンダフロー リフレッシュエラー	不可能	不可能

30.3.6 ダウンカウンタ値の読み出し

WDT はカウンタ値を WDT ステータスレジスタのダウンカウンタ (WDTSR.CNTVAL[13:0] ビット) へ格納します。WDTSR.CNTVAL[13:0] ビットへ格納された値を読み出すことで、カウンタ値を確認することができます。

図 30.7 にクロック分周比が PCLK/64 の場合のダウンカウンタ値の読み出し処理を示します。

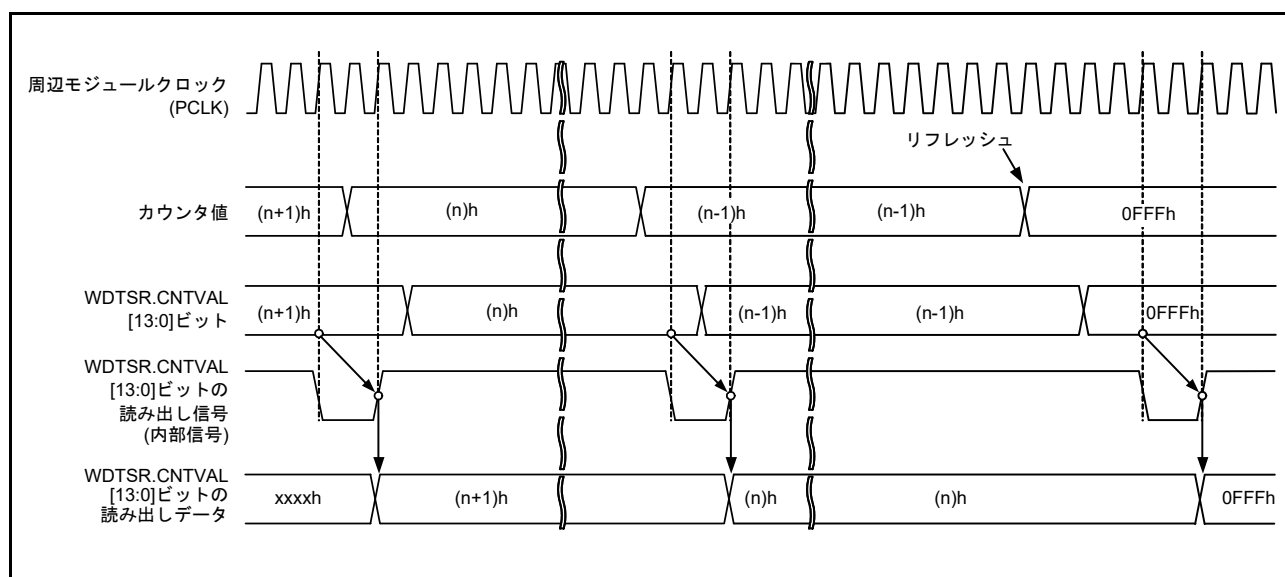


図 30.7 WDT ダウンカウンタ値の読み出し処理
(WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)

30.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

表 30.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタの設定は、WDT 動作中は変更しないでください。

オプション機能選択レジスタ 0 (OFS0) については、「7.2.1 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表 30.5 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.WDTSTRT = 0	WDT レジスタ (レジスタスタートモード時有効) OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTPPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.WDTRSTIRQS	WDTCR.RSTIRQS

31. 独立ウォッチドッグタイマ (IWDTa)

本章に記載している PCLK とは PCLKB を指します。

31.1 概要

独立ウォッチドッグタイマ (IWDT) は、プログラムの暴走を検知するために使用できます。IWDT のカウンタがアンダフローする前にリフレッシュするようプログラムを作成しておき、アンダフローが発生したら暴走したと判断できます。

WDT とは以下の点で機能が異なります。

- カウントソースは IWDT 専用低速クロック (IWDTCLK) を分周したもの (PCLK の影響を受けない)
- スリープモード、ソフトウェアスタンバイモード、またはディープスリープモードに遷移する場合に、カウンタを停止しない選択が可能 (IWDTCSTPR.SLCSTP ビットまたは、OFS0.IWDTSLCSTP ビットで選択)

表 31.1 に IWDT の仕様を、図 31.1 に IWDT のブロック図を示します。

表31.1 IWDTの仕様

項目	内容
カウントソース(注1)	IWDT専用クロック (IWDTCLK)
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> • リセット後、自動的にカウント開始(オートスタートモード) • リフレッシュ (IWDTRRレジスタに"00h"を書き込み後、"FFh"を書き込む)により、カウント開始 (レジスタスタートモード)
カウント停止条件	<ul style="list-style-type: none"> • リセット(ダウンカウンタ、レジスタは初期値に戻る) • アンダフロー、リフレッシュエラー発生時 カウント再開(オートスタートモード: リセットもしくはノンマスカブル割り込み要求を出力後に自動でカウント再開、レジスタスタートモード: リフレッシュ後にカウント再開)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間)
リセット出力要因	<ul style="list-style-type: none"> • ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)
ノンマスカブル割り込み要因	<ul style="list-style-type: none"> • ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)
カウンタ値の読み出し	IWDTSRレジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
イベントリンク機能(出力)	<ul style="list-style-type: none"> • ダウンカウンタのアンダフローイベント出力 • リフレッシュエラーイベント出力
出力信号(内部信号)	<ul style="list-style-type: none"> • リセット出力 • 割り込み要求出力 • スリープモードカウント停止制御出力
オートスタートモード (オプション機能選択レジスタ0 (OFS0)制御)	<ul style="list-style-type: none"> • リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDTRPES[1:0]ビット) • リセット出力、または割り込み要求出力の選択 (OFS0.IWDRSTIRQSビット) • スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウント停止の選択 (OFS0.IWDTSLCSTPビット)
レジスタスタートモード (IWDTレジスタ制御)	<ul style="list-style-type: none"> • リフレッシュ動作後のクロック分周比の選択 (IWDTCR.CKS[3:0]ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCR.RPSS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCR.RPES[1:0]ビット) • リセット出力、または割り込み要求出力の選択 (IWDTCR.RSTIRQSビット) • スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウント停止の選択 (IWDTCSTPR.SLCSTPビット)

注1. 周辺モジュールクロック周波数(PCLK) $\geq 4 \times$ (カウントソースの分周後周波数)となるようにしてください。

IWDT 使用時は、周辺モジュールクロック (PCLK) が停止した場合に備え、IWDT 専用クロック (IWDTCLK) が必要です。バスインタフェース部とレジスタ部は PCLK で動作し、14 ビットのカウンタと制御回路は IWDTCLK で動作します。

図 31.1 に IWDT のブロック図を示します。

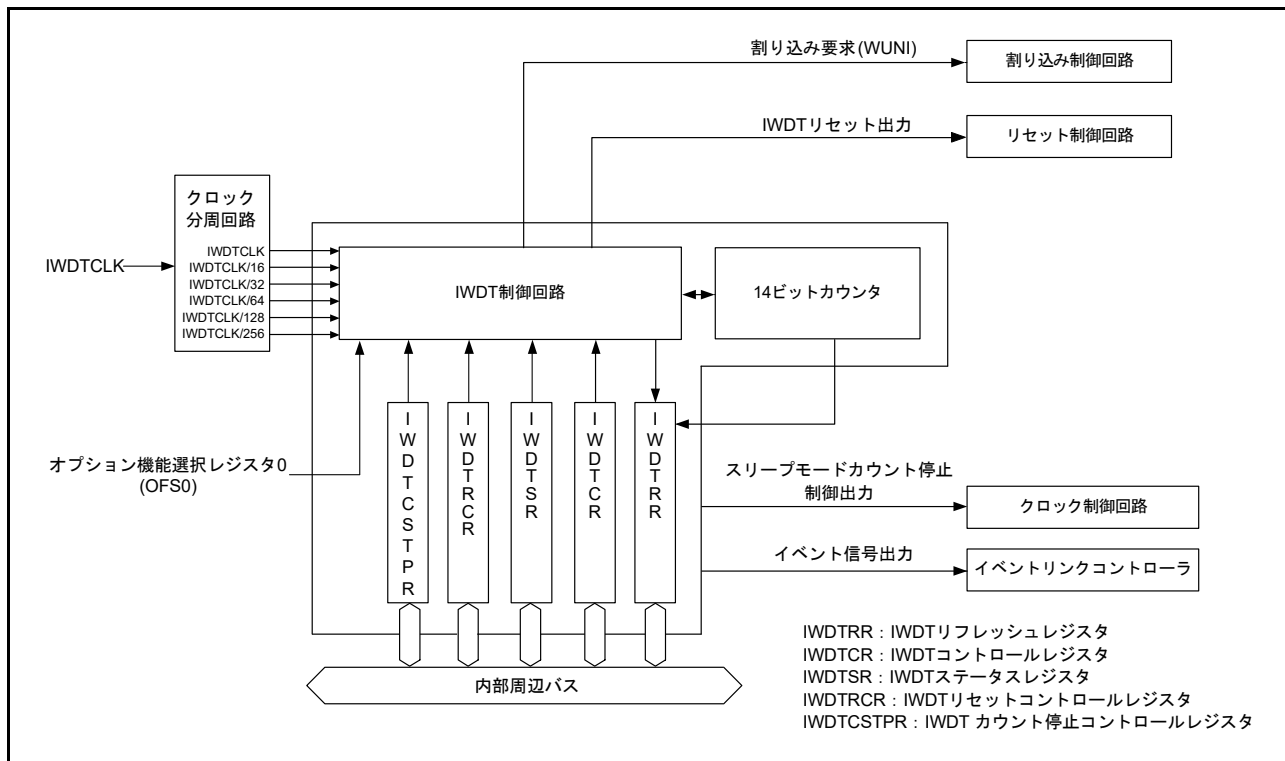
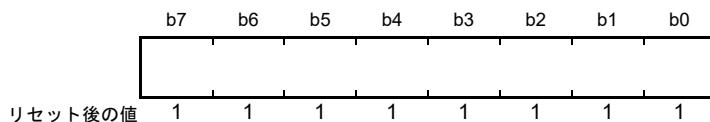


図 31.1 IWDT のブロック図

31.2 レジスタの説明

31.2.1 IWDt リフレッシュレジスタ (IWDtRR)

アドレス IWDt.IWDtRR 0008 8030h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

IWDtRR レジスタは、IWDt のカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、IWDtRR レジスタに“00h”を書き込み後、“FFh”を書き込む(リフレッシュ動作)により IWDt のカウンタをリフレッシュします。

カウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の IWDt タイムアウト期間選択ビット (OFS0.IWDtTOPS[1:0]) で設定した値からダウンカウントを行います。レジスタスタートモードの場合、IWDt コントロールレジスタのタイムアウト期間選択ビット (IWDtCR.TOPs[1:0]) で設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、IWDtCR.TOPs[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「31.3.3 リフレッシュ動作」を参照してください。

31.2.2 IWDTCR コントロールレジスタ (IWDTCR)

アドレス IWDTCR 0008 8032h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 128サイクル(007Fh) 0 1 : 512サイクル(01FFh) 1 0 : 1024サイクル(03FFh) 1 1 : 2048サイクル(07FFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 0 : 分周なし 0 0 1 0 : 16分周 0 0 1 1 : 32分周 0 1 0 0 : 64分周 1 1 1 1 : 128分周 0 1 0 1 : 256分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

IWDTCR レジスタへの書き込みには制限があります。詳細については、「31.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「31.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDTCR レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

カウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル / 512 サイクル / 1024 サイクル / 2048 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDTCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 31.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および IWDTCLK 数の関係を示します。

表 31.2 タイムアウト期間設定表

CKS[3:0] ビット				TOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK 数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	分周なし	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	16分周	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	32分周	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	64分周	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	128分周	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	256分周	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

CKS[3:0] ビット (クロック分周比選択ビット)

IWDT は、IWDTCLK を分周する分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。TOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDTCLK の 128 ~ 524288 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

カウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 31.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始 / 終了位置のカウンタ値を示します。

表31.3 タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	007Fh	007Fh	005Fh	003Fh	001Fh
0	1	512	01FFh	01FFh	017Fh	00FFh	007Fh
1	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
1	1	2048	07FFh	07FFh	05FFh	03FFh	01FFh

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

カウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 31.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可 / 禁止期間の関係を示します。

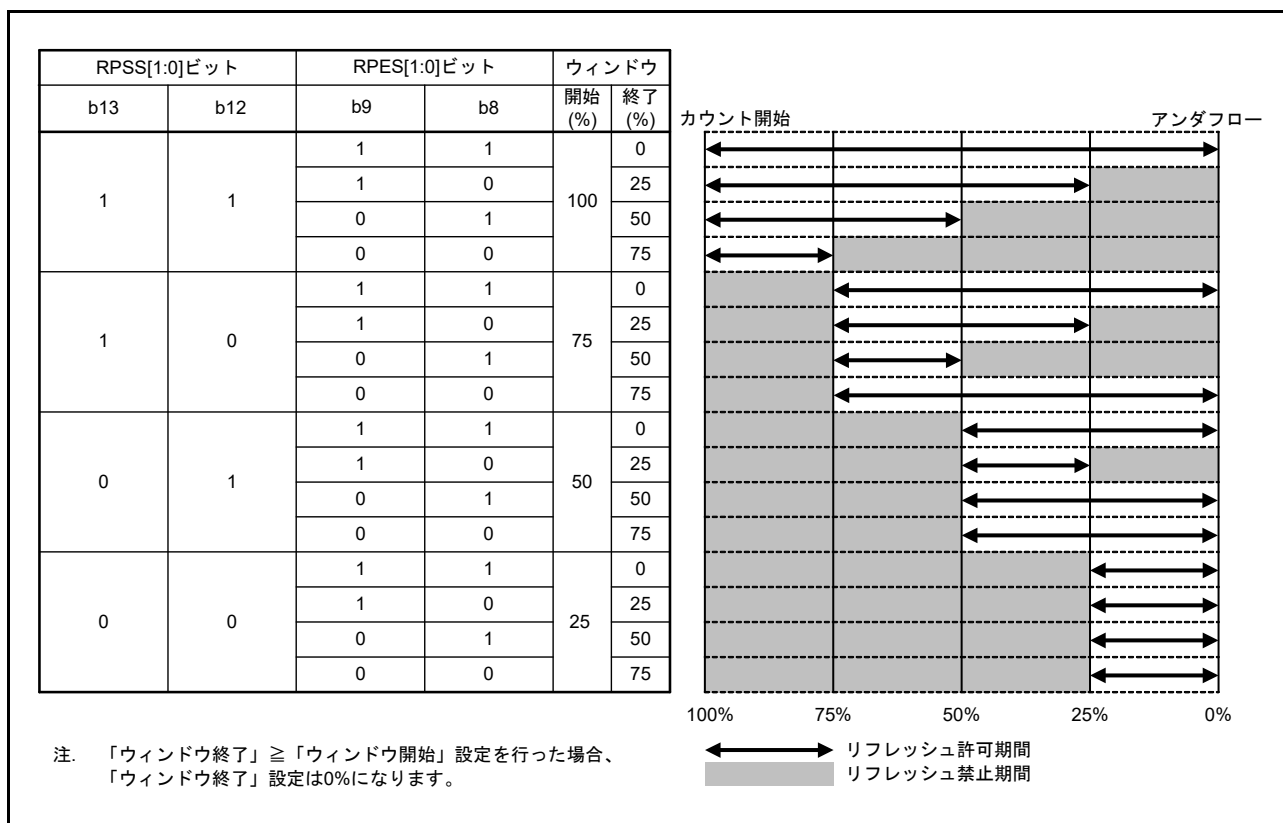
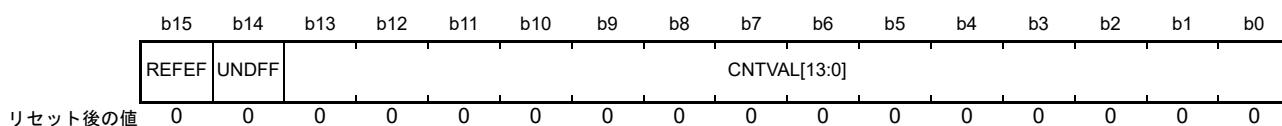


図 31.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

31.2.3 IWDT ステータスレジスタ (IWDTSR)

アドレス IWDT.IWDTSR 0008 8034h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0: アンダフローなし 1: アンダフロー発生	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

IWDTSR レジスタは、IWDT へのリセット要因により初期化されます。それ以外のリセット要因では初期化されません。

CNTVAL[13:0] ビット (カウンタ値ビット)

カウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、カウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

カウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、カウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

31.2.4 IWDT リセットコントロールレジスタ (IWDTRCR)

アドレス IWDT.IWDTRCR 0008 8036h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIR QS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0: ノンマスクブル割り込み要求出力を許可 1: リセット出力を許可	R/W

IWDTRCR レジスタへの書き込みには制限があります。詳細については、「31.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「31.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDTCR レジスタの対応」を参照してください。

31.2.5 IWDT カウント停止コントロールレジスタ (IWDTCSSTPR)

アドレス IWDT.IWDTCSSTPR 0008 8038h

	b7	b6	b5	b4	b3	b2	b1	b0
	SLCSTP	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R
b7	SLCSTP	スリープモードカウント停止制御ビット	0: カウント停止無効 1: スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード遷移時のカウント停止有効	R/W

低消費電力状態時、IWDT のカウンタを停止させるかどうかを設定するレジスタです。なお、IWDTCSSTPR レジスタへの書き込みには制限があります。詳細については、「31.3.2 IWDTCSR レジスタ、IWDTCSR レジスタ、IWDTCSSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCSSTPR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTCSSTPR レジスタの各ビットと同様の設定が可能です。詳細については、「31.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

SLCSTP ビット (スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード遷移時のカウント停止を選択します。

31.2.6 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) については、「31.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

31.3 動作説明

31.3.1 カウント開始条件別の各動作

IWDT のスタートモードの選択は、オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) で行います。

OFS0.IWDTSTRT ビットが“1”(レジスタスタートモード)の場合、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、IWDT カウント停止コントロールレジスタ (IWDCSTPR) の設定が有効となり、IWDT リフレッシュレジスタ (IWDTRR) へのリフレッシュ動作でカウントが開始されます。OFS0.IWDTSTRT ビットが“0”(オートスタートモード)の場合、オプション機能選択レジスタ 0 (OFS0) が有効となり、リセット後、自動的にカウントが開始されます。

31.3.1.1 レジスタスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が“1”の場合、レジスタスタートモードとなり、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDCSTPR) が有効となります。

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、IWDTRCR レジスタにリセット出力/割り込み要求出力、また IWDCSTPR レジスタに低消費電力状態への遷移時での IWDT のカウンタのカウント停止制御の設定を行います。その後、リフレッシュ動作でカウンタにタイムアウト期間選択ビット (IWDTCR.TOPS[1:0]) で選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。IWDT リセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) で、リセット出力、または割り込み要求出力のいずれかを選択します。

図 31.3 に以下の条件での動作例を示します。

- IWDT スタートモード選択ビット (OFS0.IWDTSTRT) = 1 (レジスタスタートモード)
- IWDT リセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) = 1 (リセット出力許可)
- IWDT ウィンドウ開始位置選択ビット (IWDTCR.RPSS[1:0]) = 10b (75%)
- IWDT ウィンドウ終了位置選択ビット (IWDTCR.RPES[1:0]) = 10b (25%)

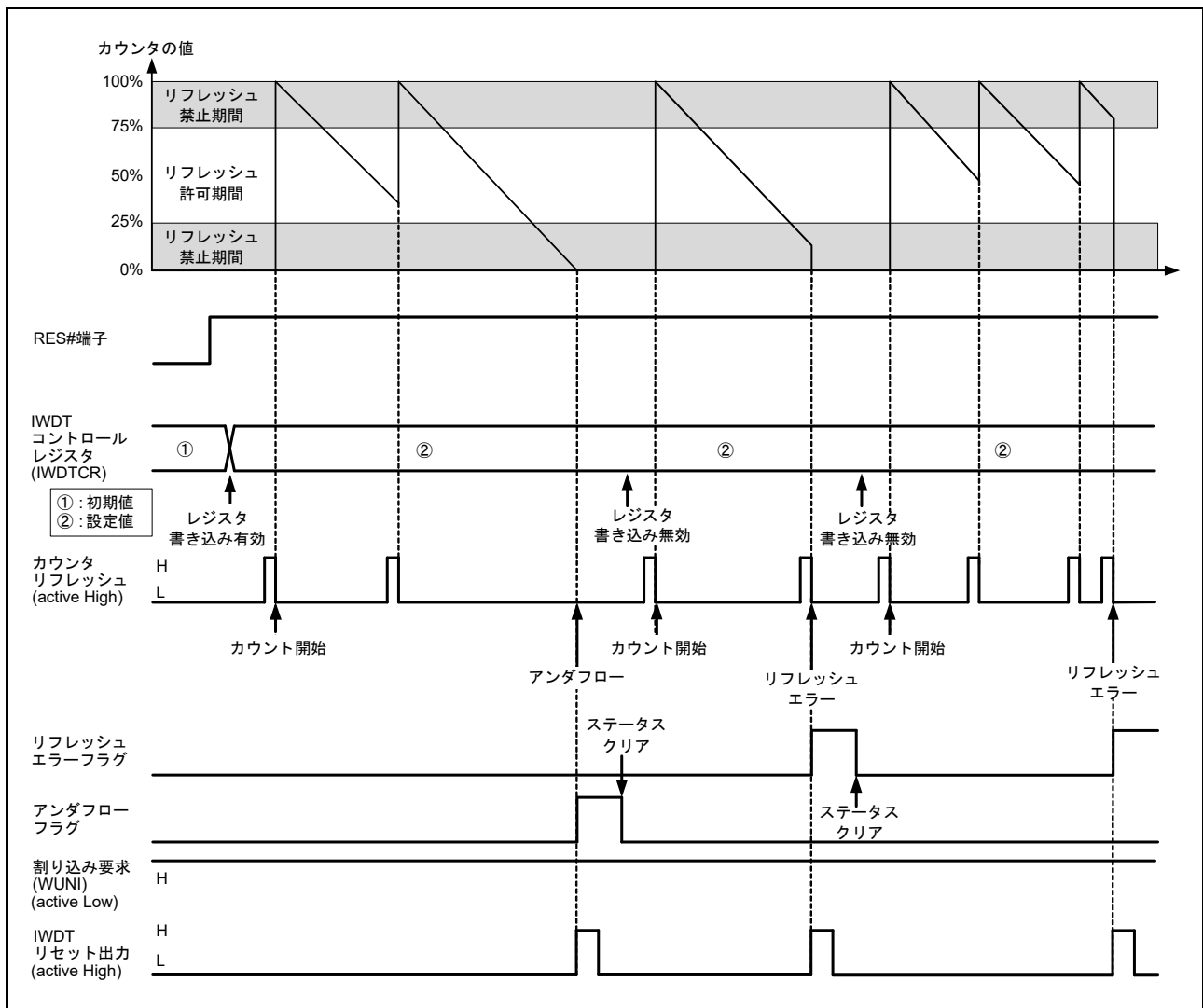


図 31.3 レジスタスタートモード動作例

31.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDt スタートモード選択ビット (OFS0.IWDtSTRT) が “0” の場合、オートスタートモードとなり、IWDt コントロールレジスタ 0 (IWDtCR)、IWDt リセットコントロールレジスタ (IWDtRCR)、および IWDt カウント停止コントロールレジスタ (IWDtCSTPR) が無効となります。

また、リセット期間中にオプション機能選択レジスタ 0 (OFS0) の値を使ってクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求出力、また低消費電力状態への遷移時での IWDt のカウンタのカウント停止制御の設定が行われます。その後、リセット解除でカウンタに IWDt タイムアウト期間選択ビット (OFS0.IWDtTOPS[1:0]) で設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDt はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDt はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。リセットまたはノンマスカブル割り込み要求 (WUNI) が発生後、1 サイクルカウント後にカウンタはタイムアウト期間をリロードし、カウント動作を再開します。IWDt リセット割り込み要求選択ビット (OFS0.IWDtRSTIRQS) で、リセット出力、または割り込み要求出力のいずれかを選択します。

図 31.4 に以下の条件での動作例を示します。

- IWDt スタートモード選択ビット (OFS0.IWDtSTRT) = 0 (オートスタートモード)
- IWDt リセット割り込み要求選択ビット (OFS0.IWDtRSTIRQS) = 0 (ノンマスカブル割り込み要求出力許可)
- IWDt ウィンドウ開始位置選択ビット (OFS0.IWDtRPSS[1:0]) = 10b (75%)
- IWDt ウィンドウ終了位置選択ビット (OFS0.IWDtRPES[1:0]) = 10b (25%)

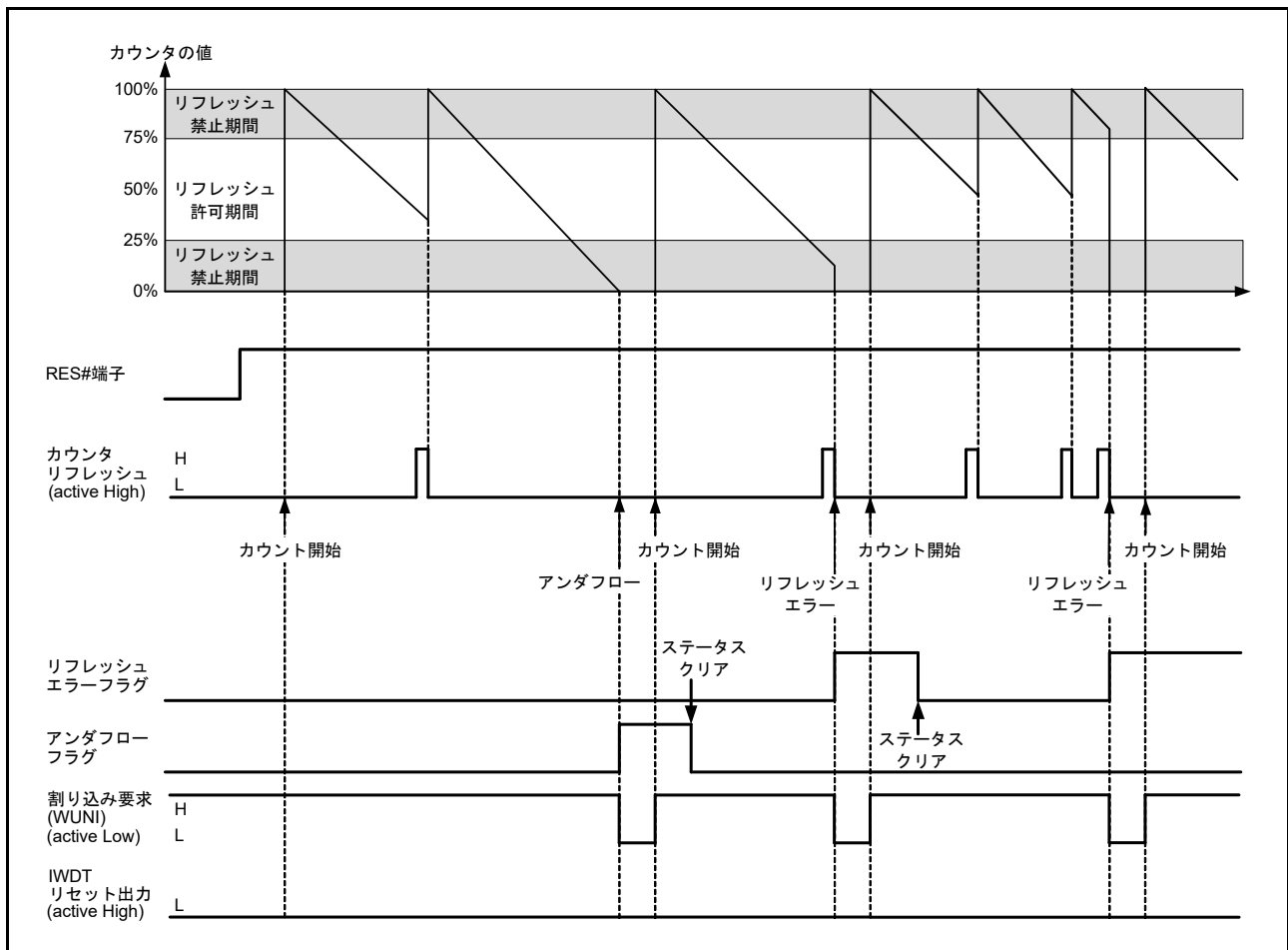


図 31.4 オートスタートモード動作例

31.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSSTPR レジスタ書き込み制御

IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSSTPR) への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは IWDTCR、IWDTRCR、または IWDTCSSTPR レジスタへ書き込みを行うと、IWDT 内部のプロテクト信号が“1”となり、以後 IWDTCR、IWDTRCR、および IWDTCSSTPR レジスタへの書き込みをプロテクトします。

IWDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 31.5 に IWDTCR レジスタ書き込み制御波形を示します。

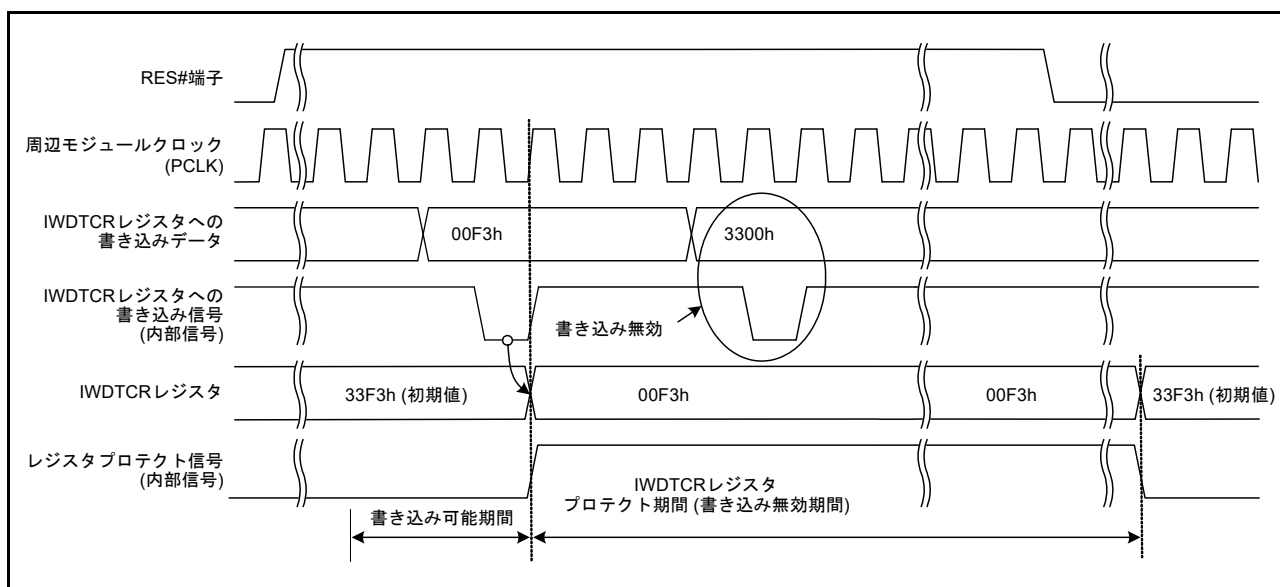


図 31.5 IWDTCR レジスタ書き込み制御波形

31.3.3 リフレッシュ動作

カウンタのリフレッシュ、およびカウンタ動作開始 (リフレッシュによるカウント開始) を行うには、IWDTRR リフレッシュレジスタ (IWDTRR) へ “00h” 書き込みに続けて “FFh” 書き込みを行います。“00h” 書き込み後に “FFh” 以外を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタへ “00h” → “FFh” の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h” (1 回目) → “00h” (2 回目) の書き込みを行った場合でも、その後 “FFh” を書き込むことにより、“00h” → “FFh” 順の書き込み動作が成立するため、“00h” (n-1 回目) → “00h” (n 回目) → “FFh” のような書き込み動作も有効となり、リフレッシュを行います。“00h” 以前の書き込みが “00h” 以外でも同様に、“00h” → “FFh” 順の書き込み動作が成立すると、リフレッシュを行います。また、IWDTRR レジスタへの “00h” 書き込みと “FFh” 書き込みの間に、IWDTRR レジスタ以外へのアクセス、または IWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1 回目) → “00h” (n 回目) → “FFh”
- “00h” → 別レジスタアクセスまたは IWDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h” 以外) → “FFh”
- “00h” → “54h” (“FFh” 以外)
- “00h” → “AAh” (“00h” および “FFh” 以外) → “FFh”

リフレッシュ動作として、IWDTRR レジスタへの “00h” の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへの “FFh” の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、カウンタがリフレッシュされるタイミングは、IWDTRR レジスタに “FFh” を書き込み後、カウントサイクル数で最大 4 サイクル必要となります (1 サイクル間の IWDTRR 専用クロック (IWDTCCLK) 数は、クロック分周比選択ビット (IWDTCR.CKS[3:0]) の設定値により異なります)。そのため、リフレッシュ許可期間終了位置から 4 カウント前、もしくはカウンタがアンダフローする 4 カウント前までに、IWDTRR レジスタへの “FFh” 書き込みを完了してください。カウンタの値はカウンタ値ビット (IWDTSR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置が “03FFh” とした場合、IWDTRR レジスタへの “00h” の書き込みが “03FFh” より前 (たとえば “0402h”) であっても、IWDTSR.CNTVAL[13:0] ビットの値が “03FFh” になってから、IWDTRR レジスタへ “FFh” を書き込めばリフレッシュを行います。
- ウィンドウ終了位置が “03FFh” とした場合、IWDTRR レジスタへ “00h” → “FFh” を書き込み直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して “0403h” (“03FFh” の 4 カウント前) 以上であればリフレッシュを行います。
- “0000h” までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能となりますが、この場合 IWDTRR レジスタへ “00h” → “FFh” を書き込み直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して “0003h” (アンダフローの 4 カウント前) 以上であればアンダフローは発生せず、リフレッシュを行います。

図 31.6 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT リフレッシュ動作波形を示します。

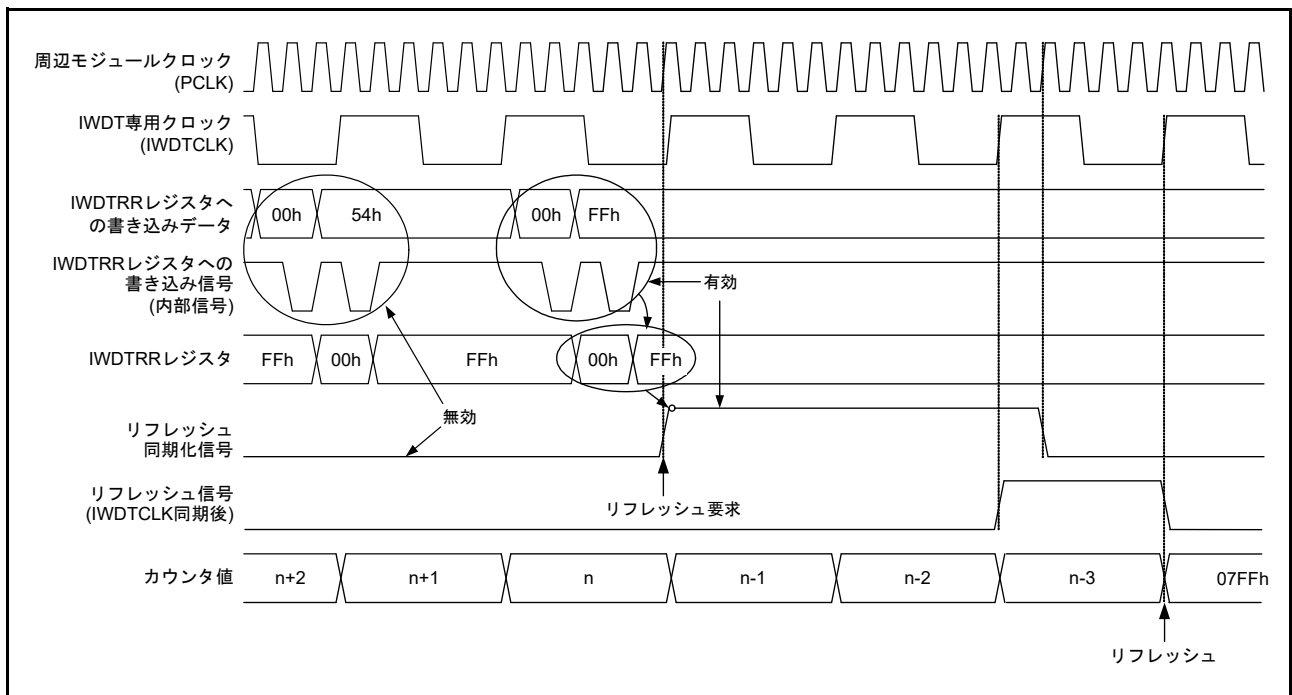


図 31.6 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

31.3.4 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF)、アンダフローフラグ (IWDTSR.UNDFE) は、IWDT がリセットを出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に IWDTSR.REFEF フラグ、または IWDTSR.UNDFE フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を“0”にするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、“0”にしなくても動作に影響を与えません。“0”にしない場合は、次に IWDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に IWDT の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、各フラグに“0”を書いた後、その値が反映されるまでには、最大で IWDTCCLK 3 クロックと PCLK 2 クロック必要です。

31.3.5 リセット出力

レジスタスタートモード時、リセット割り込み選択ビット (IWDTRCR.RSTIRQS) を“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) を“1”にした場合、カウンタのアンダフロー、またはリフレッシュエラーにより、リセットを出力します。

レジスタスタートモードでは、リセット出力後、カウンタは初期状態 (“0000h”) で保持されます。リセットを解除し再起動後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

31.3.6 割り込み要因

レジスタスタートモード時、リセット割り込み選択ビット (IWDTRCR.RSTIRQS) を“0”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) を“0”にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生したとき、割り込み (WUNI) が発生します。本割り込みはノンマスクابل割り込みです。詳細は、「15. 割り込みコントローラ (ICUb)」を参照してください。

表31.4 IWDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
WUNI	カウンタのアンダフロー リフレッシュエラー	不可能	不可能

31.3.7 カウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。そのため、IWDT はカウンタ値を周辺モジュールクロック (PCLK) で同期化し、IWDT ステータスレジスタのカウンタ (IWDTSR.CNTVAL[13:0] ビット) へ格納します。IWDTSR.CNTVAL[13:0] ビットへ格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しには PCLK で数クロック (最大 4 クロック) 必要となるため、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 31.7 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT カウンタ値の読み出し処理を示します。

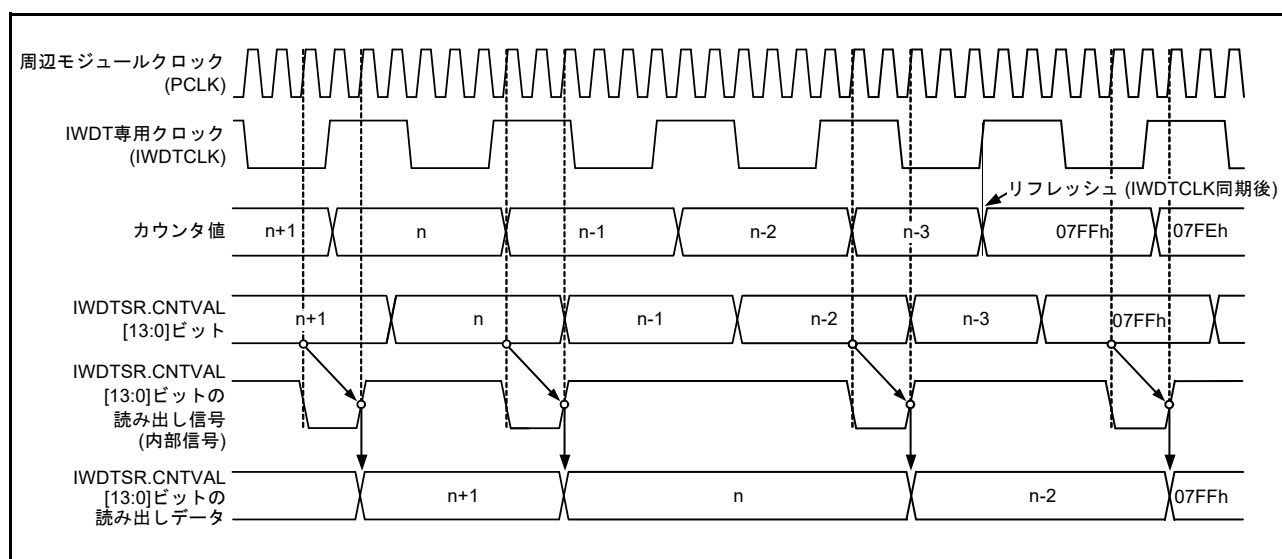


図 31.7 IWDT カウンタ値の読み出し処理
(IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

31.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

表 31.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタの設定は、IWDT 動作中は変更しないでください。

オプション機能選択レジスタ 0 (OFS0) については、「7.2.1 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表31.5 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.IWDTSTRT = 0	IWDT レジスタ (レジスタスタートモード時有効) OFS0.IWDTSTRT = 1
カウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.IWDRSTIRQS	IWDTCCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.IWDTSLCSTP	IWDTCSTPR.SLCSTP

31.4 ELC によるリンク動作

イベントリンクコントローラ (ELC) は IWDT が生成する割り込み要求をイベント信号として使用します。IWDT が割り込み要求を出力すると、あらかじめ設定したモジュールに対してイベントが発生します。カウンタのアンダフロー、およびリフレッシュエラーによりイベント信号を出力します。

レジスタスタートモード時のリセット割り込み選択ビット (IWDTCCR.RSTIRQS)、もしくはオートスタートモード時のリセット割り込み選択ビットの設定に関わらず、イベント信号を出力します。また、リフレッシュエラーフラグ (IWDTSR.REFEF)、またはアンダフローフラグ (IWDTSR.UNDFE) が、“1” の状態で、次の割り込み要因が発生した場合でもイベント信号出力が可能です。

詳細は、「20. イベントリンクコントローラ (ELC)」を参照してください。

31.5 使用上の注意事項

31.5.1 リフレッシュ動作について

リフレッシュタイミングの設定においては、PCLK と IWDTCLK の精度を考慮し、誤差の範囲で周期が変化してもリフレッシュできる値を設定してください。

31.5.2 クロック分周比の設定

周辺モジュールクロック周波数 (PCLK) $\geq 4 \times$ (カウンタソースの分周後周波数) となるようにしてください。

32. USB2.0ホスト/ファンクションモジュール(USBd)

32.1 概要

本 MCU は、USB2.0ホスト/ファンクションモジュールを内蔵しています。

USBは、ホストコントローラとファンクションコントローラを備えたUSBコントローラです。

ホストコントローラと、ファンクションコントローラは、USB(Universal Serial Bus)規格2.0のフルスピードおよびロースピード転送に対応します。また、USBはUSBトランシーバを内蔵し、USB規格2.0で定義されている全転送タイプに対応しています。Battery Charging Specification Revision 1.2に対応しています。

データ転送用にバッファメモリを内蔵し、最大10本のパイプを使用できます。また、パイプ1～9に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

表 32.1 に USB の仕様を示します。

表 32.1 USBの仕様

項目	内容
特長	<ul style="list-style-type: none"> • USB2.0に対応したUDC(USB Device Controller)およびトランシーバを内蔵 ホストコントローラ機能/ファンクションコントローラ機能/OTG(On-The-Go)に対応(1チャンネル) • ホストコントローラ機能とファンクションコントローラ機能はソフトウェアで切り替え可能 • セルフパワーモードおよびバスパワーモードを選択可能 • BC1.2(Battery Charging Specification Revision 1.2)に対応
	ホストコントローラ機能選択時 <ul style="list-style-type: none"> • フルスピード転送(12 Mbps)およびロースピード転送(1.5 Mbps)に対応 • SOF、パケット送信のスケジュールを自動化 • アイソクロナス転送、インタラプト転送の転送インターバル設定機能
	ファンクションコントローラ機能選択時 <ul style="list-style-type: none"> • フルスピード転送(12 Mbps)およびロースピード転送(1.5 Mbps)に対応 • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESSリクエストに対する自動応答機能 • SOF補完機能
通信データ転送タイプ	<ul style="list-style-type: none"> • コントロール転送 • バルク転送 • インタラプト転送 • アイソクロナス転送
パイプコンフィギュレーション	<ul style="list-style-type: none"> • USB通信用バッファメモリを内蔵 • 最大10本のパイプを選択可能(デフォルトコントロールパイプを含む) • パイプ1～9は任意のエンドポイント番号を割り付け可能
	各パイプの設定可能な転送条件 <ul style="list-style-type: none"> • パイプ0: コントロール転送、64バイトシングルバッファ • パイプ1、2: バルク転送時、64バイトダブルバッファ指定可能 アイソクロナス転送時、256バイトダブルバッファ指定可能 • パイプ3～5: バルク転送、64バイトダブルバッファ指定可能 • パイプ6～9: インタラプト転送、64バイトシングルバッファ
その他の機能	<ul style="list-style-type: none"> • トランザクションカウントによる受信トランスファ終了機能 • BRDY割り込みイベント通知タイミング変更機能(BFRE) • DnFIFOポート(n=0,1)で指定したパイプのデータ読み出し後自動バッファメモリクリア機能(DCLRM) • トランスファ終了による応答PIDのNAK設定機能(SHTNAK) • D+/D-のブルアップ抵抗、ブルダウン抵抗をチップに内蔵
消費電力低減機能	モジュールストップ状態への遷移が可能

図 32.1 に USB のブロック図を示します。

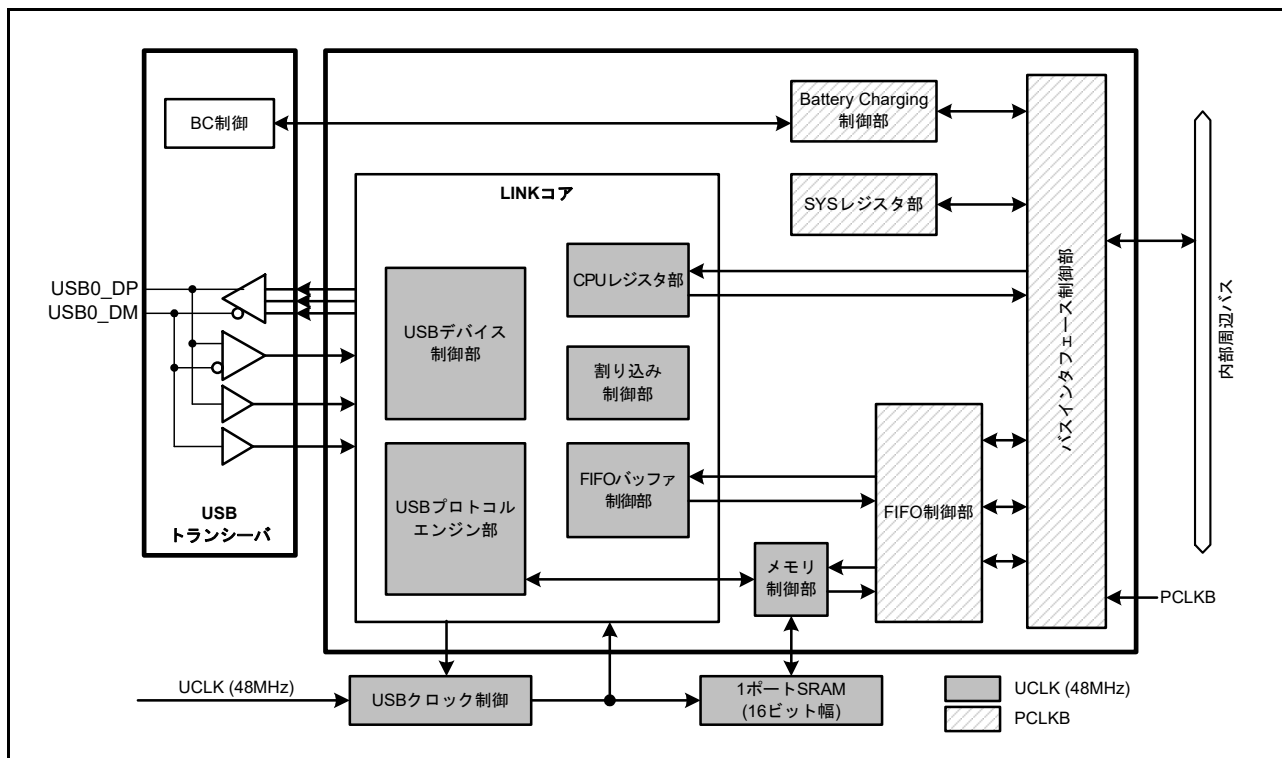


図 32.1 USB のブロック図

表 32.2 に USB の入出力端子を示します。

表 32.2 USBの入出力端子

ポート	端子名	入出力	機能
USB	USB0_DP	入出力	USB内蔵トランシーバD+入出力端子。USBバスのD+端子に接続してください
	USB0_DM	入出力	USB内蔵トランシーバD-入出力端子。USBバスのD-端子に接続してください
	USB0_VBUS	入力	USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。ファンクション動作時のVBUSの接続/切断を検出することができます
	USB0_EXICEN	出力	外部電源（OTG）チップのローパワー制御信号
	USB0_VBUSEN	出力	外部電源チップへのVBUS（5V）の供給許可信号
	USB0_OVRCURA USB0_OVRCURB	入力	外部オーバカレント検出信号を接続します。また、OTG電源チップとの接続時にはVBUSコンパレータ信号を接続します
	USB0_ID	入力	OTG動作時miniABコネクタのID入力信号を接続します
共通	VCC_USB	入力	USB用電源端子
	VSS_USB	入力	USB用グランド端子

32.2 レジスタの説明

32.2.1 システムコンフィギュレーションコントロールレジスタ (SYSCFG)

アドレス 000A 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKE	—	CNEN	—	DCFM	DRPD	DPRPU	DMRPU	—	—	USBE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBE	USB動作許可ビット	0 : USBの動作禁止 1 : USBの動作許可	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DMRPU	D-ライン抵抗制御ビット(注1)	0 : プルアップ禁止 1 : プルアップ許可	R/W
b4	DPRPU	D+ライン抵抗制御ビット(注1)	0 : プルアップ禁止 1 : プルアップ許可	R/W
b5	DRPD	D+/D-ライン抵抗制御ビット	0 : プルダウン禁止 1 : プルダウン許可	R/W
b6	DCFM	コントローラ機能選択ビット	0 : ファンクションコントローラ機能を選択 1 : ホストコントローラ機能を選択	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CNEN	シングルエンドレシーバ許可ビット	0 : シングルエンドレシーバ動作禁止 1 : シングルエンドレシーバ動作許可	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	SCKE	USBクロック許可ビット(注2)	0 : USBへのクロック供給停止 1 : USBへのクロック供給許可	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DMRPUビットとDPRPUビットを同時に許可することは禁止です。

注2. SCKEビットに“1”を書いた後、SCKEビットを読み出し、“1”となっていることを確認してください。

USBEビット (USB動作許可ビット)

USBの動作禁止/許可を指定します。

USBEビットを“1”から“0”に変更したときに初期化されるレジスタとビットを表32.3に示します。

USBEビットの変更は、SCKEビットが“1”のときに行ってください。

ホストコントローラ機能選択時は、DRPDビットを“1”にした後、SYSSTS0.LNST[1:0]フラグのチャタリング除去を行い、USBバスの状態が安定したことを確認した後で、USBEビットを“1”にしてください。

表32.3 USBEビットへの“0”書き込みにより初期化されるレジスタ

選択機能	レジスタ	ビット	備考
ファンクションコントローラ機能	SYSSTS0	LNST[1:0]	ホストコントローラ機能選択時は値保持
	DVSTCTR0	RHST[2:0]	
	INTSTS0	DVSQ[2:0]	ホストコントローラ機能選択時は値保持
	USBREQ	BREQUEST[7:0], BMREQUESTTYPE[7:0]	ホストコントローラ機能選択時は値保持
	USBVAL	WVALUE[15:0]	ホストコントローラ機能選択時は値保持
	USBINDX	WINDEX[15:0]	ホストコントローラ機能選択時は値保持
	USBLENG	WLENGTH[15:0]	ホストコントローラ機能選択時は値保持
ホストコントローラ機能	DVSTCTR0	RHST[2:0]	
	FRMNUM	FRNM[10:0]	ファンクションコントローラ機能選択時は値保持

DMRPU ビット (D-ライン抵抗制御ビット)

ファンクションコントローラ機能選択時、D-ラインのプルアップの禁止/許可を指定します。

ファンクションコントローラ機能選択時に DMRPU ビットを“1”にすると、USB は D-ラインをプルアップ許可し、USB ホストに対してロースピードデバイスとしてアタッチを通知することができます。また、DMRPU ビットを“1”から“0”に変更することにより、USB は D-ラインのプルアップを禁止にするので、USB ホストに対してデタッチしたと見せることができます。

DMRPU ビットへの“1”書き込みは、ファンクションコントローラ機能選択時に行ってください。ホストコントローラ機能選択時は、“0”にしてください。

DPRPU ビット (D+ライン抵抗制御ビット)

ファンクションコントローラ機能選択時、D+ラインのプルアップの禁止/許可を指定します。

ファンクションコントローラ機能選択時に DPRPU ビットを“1”にすると、USB は D+ラインをプルアップ許可し、USB ホストに対してフルスピードデバイスとしてアタッチを通知することができます。また、DPRPU ビットを“1”から“0”に変更することにより、USB は D+ラインのプルアップを禁止にするので、USB ホストに対してデタッチしたと見せることができます。

DPRPU ビットへの“1”書き込みは、ファンクションコントローラ機能選択時に行ってください。ホストコントローラ機能選択時は、“0”にしてください。

DRPD ビット (D+/D-ライン抵抗制御ビット)

ホストコントローラ機能選択時、D+/D-ラインのプルダウンの禁止/許可を指定します。

DRPD ビットへの“1”書き込みは、ホストコントローラ機能選択時に行ってください。ファンクションコントローラ機能選択時は、“0”にしてください。

DCFM ビット (コントローラ機能選択ビット)

USB の機能を選択します。

DCFM ビットの変更は、DMRPU ビットが“0”、DPRPU ビットが“0”、かつ DRPD ビットが“0”のときに行ってください。

CNEN ビット (シングルエンドレシーバ許可ビット)

CNEN ビットを“1”にすると、USB はシングルエンドレシーバを許可し、LNST[1:0] フラグで D+/D- のステータスをモニタすることができます。

CNEN ビットは、Battery Charging の Portable Device 動作時に使用します。

SCKE ビット (USB クロック許可ビット)

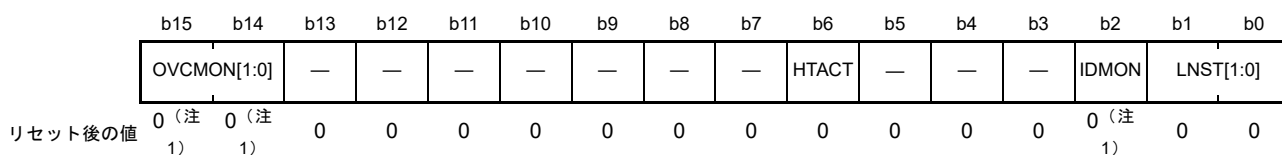
USB への 48 MHz クロック供給の停止 / 許可を指定します。

SCKE ビットが “0” の場合、SYSCFG レジスタのみ、読み出し / 書き込みができます。

USB 関連の他のレジスタは、SCKE ビットが “0” の場合には、読み出し / 書き込みはできません。

32.2.2 システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0)

アドレス 000A 0004h



ビット	シンボル	ビット名	機能	R/W
b1-b0	LNST[1:0]	USB データラインステータスマニタフラグ	表 32.4 を参照してください	R
b2	IDMON	外部 ID0 入力端子モニタフラグ	0 : USB0_ID 端子が Low のとき 1 : USB0_ID 端子が High のとき	R
b5-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6	HTACT	USB ホストシーケンサステータスマニタフラグ	0 : USB のホストシーケンサが完全に停止している 1 : USB のホストシーケンサが完全に停止していない	R
b13-b7	—	予約ビット	読むと“0”が読み出されます。書き込みは無効になります	R
b15-b14	OVCMON [1:0]	外部 USB0_OVRCURA/ USB0_OVRCURB 入力端子モニタフラグ	OVCMON[1] フラグに USB0_OVRCURA 端子の状態が表示されます OVCMON[0] フラグに USB0_OVRCURB 端子の状態が表示されます	R

注1. USB0_OVRCURA/USB0_OVRCURB 端子および USB0_ID 端子の状態に依存します。

LNST[1:0] フラグ (USB データラインステータスマニタフラグ)

USB データバスライン (D+ ライン、D- ライン) のステータスが表示されます。詳細は表 32.4 を参照してください。

LNST[1:0] フラグの参照は、ファンクションコントローラ機能選択時にはアタッチ処理 (SYSCFG.DPRPU ビットを“1”にする) 以後、ホストコントローラ機能選択時には、プルダウン許可 (SYSCFG.DRPD ビットを“1”にする) 以後に行ってください。

HTACT フラグ (USB ホストシーケンサステータスマニタフラグ)

USB のホストシーケンサが完全に停止しているとき、HTACT フラグは“0”になります。

OVCMON[1:0] フラグ (外部 USB0_OVRCURA/USB0_OVRCURB 入力端子モニタフラグ)

外部電源チップからのオーバカレントのステータスが表示されます。

表 32.4 USB データバスライン (D+ ライン、D- ライン) のステータス

LNST[1:0] フラグ	ロースピード動作時	フルスピード動作時
00b	SE0	SE0
01b	K-State	J-State
10b	J-State	K-State
11b	SE1	SE1

32.2.3 デバイスステートコントロールレジスタ 0 (DVSTCTR0)

アドレス 000A 0008h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	HNPBTOA	EXICEN	VBUSEN	WKUP	RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]		
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST[2:0]	USBバスリセットステータスフラグ	<ul style="list-style-type: none"> • ホストコントローラ機能選択時 <ul style="list-style-type: none"> b2 b0 0 0 0: 通信速度不定 (パワード時あるいは非接続時) 1 x x: USBバスリセット処理中 0 0 1: ロースピード接続時 0 1 0: フルスピード接続時 • ファンクションコントローラ機能選択時 <ul style="list-style-type: none"> b2 b0 0 0 0: 通信速度不定 0 0 1: USBバスリセット処理中またはロースピード接続時 0 1 0: USBバスリセット処理中またはフルスピード接続時 	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	UACT	USBバス許可ビット	0: ダウンポート動作禁止 (SOF送出禁止) 1: ダウンポート動作許可 (SOF送出許可)	R/W
b5	RESUME	レジューム出力ビット	0: レジューム信号を出力しない 1: レジューム信号を出力する	R/W
b6	USBRST	USBバスリセット出力ビット	0: USBバスリセット信号を出力しない 1: USBバスリセット信号を出力する	R/W
b7	RWUPE	ウェイクアップ検出許可ビット	0: ダウンポートリモートウェイクアップ出力禁止 1: ダウンポートリモートウェイクアップ許可	R/W
b8	WKUP	ウェイクアップ出力ビット	0: リモートウェイクアップ信号を出力しない 1: リモートウェイクアップ信号を出力する	R/W
b9	VBUSEN	USB0_VBUSEN出力端子制御ビット	0: 外部USB0_VBUSEN端子はLowを出力する 1: 外部USB0_VBUSEN端子はHighを出力する	R/W
b10	EXICEN	USB0_EXICEN出力端子制御ビット	0: 外部USB0_EXICEN端子はLowを出力する 1: 外部USB0_EXICEN端子はHighを出力する	R/W
b11	HNPBTOA	ホストネゴシエーションプロトコル (HNP) 制御ビット	OTGにて使用時に、BデバイスからAデバイスに切り替えるときに使用します。HNPBTOAビットが“1”であれば、内部ファンクション制御はSYSCFG.DPRPU = 0またはSYSCFG.DCFM = 1にしてもHNP処理が終了するまでサスペンド状態を維持します	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

RHST[2:0] フラグ (USB バスリセットステータスフラグ)

USB バスリセットの状態を表示します。

ホストコントローラ機能選択時に、ソフトウェアで USBRST ビットに“1”を書いた後、RHST[2:0] フラグは“100b”を示します。

ソフトウェアで USBRST ビットに“0”を書き、USB が SE0 ドライブを終了した時点で、USB は RHST[2:0] フラグの値を確定します。

ファンクションコントローラ機能選択時に、USB が USB バスリセットを検出すると、RHST[2:0] フラグは“010b” (DPRPU=1 にてアタッチ時) または“001b” (DMRPU=1 にてアタッチ時) を示し、DVST 割り込みが発生します。

UACT ビット (USB バス許可ビット)

ホストコントローラ機能選択時に、USB バス動作許可 (USB バス上への SOF パケットの送出制御) を行います。

UACT ビットを“1”にすると、USB は USB ポートを USB バス許可状態にし、SOF パケット出力およびデータ送受信を行います。

ソフトウェアで UACT ビットに“1”を書いてから、1 フレーム時間以内に SOF パケット出力を開始します。

UACT ビットを“0”にした場合、USB は SOF パケット出力後アイドル状態に遷移します。

以下の場合に、USB は UACT ビットを“0”にします。

- 通信中 (UACT ビットが“1”のとき) に DTCH 割り込みを検出した場合
- 通信中 (UACT ビットが“1”のとき) に EOFERR 割り込みを検出した場合

UACT ビットに“1”を書くときは、USB バスリセット処理終了時 (USBRST ビットへの“0”書き込み)、または、サスペンドからのレジューム処理終了時 (RESUME ビットへの“0”書き込み) のいずれかのタイミングで行ってください。

ファンクションコントローラ機能選択時は、“0”にしてください。

RESUME ビット (レジューム出力ビット)

ホストコントローラ機能選択時に、レジューム信号の出力制御を行います。

RESUME ビットを“1”にすると、USB はポートを K-State ドライブし、レジューム出力を行います。

RWUPE=1 かつ USB サスペンド状態でリモートウェイクアップ信号を検出したときに、USB は RESUME ビットを“1”にします。

USB は、RESUME ビットが“1”の期間 (ソフトウェアで RESUME ビットに“0”を書き込むまで) K-State 出力を継続します。RESUME ビットが“1”の期間 (レジューム期間) は USB 規格 2.0 に準拠した時間を確保してください。

RESUME ビットへの“1”書き込みは、サスペンド中にのみ行ってください。

レジューム終了 (RESUME ビットへの“0”書き込み) と同時に UACT ビットに“1”を書いてください。

ファンクションコントローラ機能選択時は、“0”にしてください。

USBRST ビット (USB バスリセット出力ビット)

ホストコントローラ機能選択時に、USB バスリセット信号の出力制御を行います。

ホストコントローラ機能選択時、USBRST ビットを“1”にすると、USB は USB ポートの SE0 ドライブを行い、USB バスリセット処理を行います。

USB は、USBRST ビットが“1”の期間 (ソフトウェアで USBRST ビットに“0”を書くまで) SE0 出力を継続します。USBRST ビットが“1”の期間 (USB バスリセット期間) は USB 規格 2.0 に準拠した時間を確保してください。

通信中 (UACT ビットが“1”) またはレジューム中 (RESUME ビットが“1”) に USBRST ビットに“1”を書いた場合、USB は UACT ビットが“0”かつ RESUME ビットが“0”の状態になるまで USB バスリセットを開始しません。

USB バスリセット終了 (USBRST ビットへの“0”書き込み) と同時に UACT ビットに“1”を書いてください。

ファンクションコントローラ機能選択時は、“0”にしてください。

RWUPE ビット (ウェイクアップ検出許可ビット)

ホストコントローラ機能選択時に、ダウンポートの周辺デバイスに対して、リモートウェイクアップ (レジューム信号出力) の禁止 / 許可を指定します。

RWUPE ビットを“1”にすると、リモートウェイクアップ信号を検出した場合にダウンポートに対してレジューム信号 (2.5 μ s 間の K-State) を検出し、レジューム処理 (K-State のドライブ) を行います。

RWUPE ビットを“0”にした場合、USB が USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号 (K-State) を検出しても無視します。

RWUPE ビットを“1”にしたときには、サスペンド中であっても内部クロックを停止しないでください (SYSCFG.SCKE ビットを“1”にしてください)。

ファンクションコントローラ機能選択時は、“0”にしてください。

WKUP ビット (ウェイクアップ出力ビット)

ファンクションコントローラ機能選択時に、USB バス上へのリモートウェイクアップ (レジューム信号出力) 禁止 / 許可を指定します。

USB は、リモートウェイクアップ信号の出力時間を管理しています。WKUP ビットを“1”にすると、USB は 10 ms の K-State を出力した後、WKUP ビットを“0”にします。

USB 規格 2.0 では、リモートウェイクアップ信号の送信までに最短 5 ms の USB バスアイドル状態を保持する必要があります。このため、USB は、サスペンド状態を検出した直後に WKUP ビットに“1”を書いて、2 ms 待ってから K-State を出力します。

WKUP ビットへの“1”書き込みは、デバイスステートがサスペンド (INTSTS0.DVSNQ[2:0] フラグが“1xxb”) であり、かつ USB ホストからリモートウェイクアップが許可されている場合のみ行ってください。

WKUP ビットを“1”にする場合は、サスペンド中であっても内部クロックを停止しないでください (SYSCFG.SCKE ビットが“1”の状態に WKUP ビットに“1”を書いてください)。

ホストコントローラ機能選択時は、“0”を書いてください。

HNPBTOA ビット (ホストネゴシエーションプロトコル (HNP) 制御ビット)

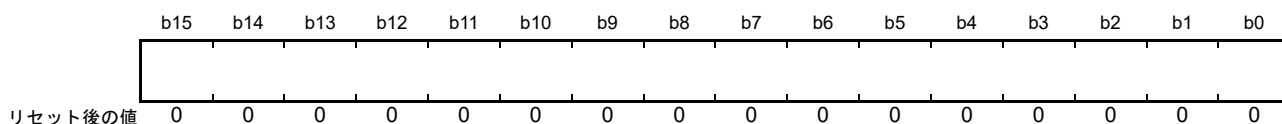
OTG にて使用時に、B デバイスから A デバイスに切り替えるときに使用します。HNPBTOA ビットが“1”であれば、内部ファンクション制御は SYSCFG.DPRPU ビットを“0”または SYSCFG.DCFM ビットを“1”にしても HNP 処理が終了するまでサスペンド状態を維持します。このとき、D+ の立ち下がりを検出しても、レジューム (RESM) 割り込みは発生しません。

“1”にした後、ホストアタッチ (相手のプルアップ) 検出または HNP 処理タイムアウト時にソフトウェアにて“0”を書き、HNP 処理を終了させます。

32.2.4 CFIFO ポートレジスタ (CFIFO) D0FIFO ポートレジスタ (D0FIFO) D1FIFO ポートレジスタ (D1FIFO)

(1) MBW ビットが“1”の場合

アドレス CFIFO 000A 0014h, D0FIFO 000A 0018h, D1FIFO 000A 001Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	FIFOポートビット	FIFOバッファからの受信データの読み出し、FIFOバッファへの送信データの書き込みを行うポートです	R/W

(2) MBW ビットが“0”の場合

アドレス CFIFO 000A 0014h, D0FIFO 000A 0018h, D1FIFO 000A 001Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	L[7:0]	FIFOポートビット	FIFOバッファからの受信データの読み出し、FIFOバッファへの送信データの書き込みを行うポートです	R/W

FIFO ポートには、CFIFO、D0FIFO、D1FIFO の3つのポートがあります。各 FIFO ポートは、FIFO バッファメモリへのデータの読み出し/書き込みを行うポートレジスタ (CFIFO, D0FIFO, D1FIFO) 以外に、FIFO ポートに割り当てるパイプを選択するポート選択レジスタ (CFIFOSEL, D0FIFOSEL, D1FIFOSEL)、ポートコントロールレジスタ (CFIFOCTR, D0FIFOCTR, D1FIFOCTR) で構成されています。

各 FIFO ポートには、以下の注意事項があります。

- DCP (コントロール転送) 用 FIFO バッファへのアクセスは、CFIFO ポートを通して行ってください。
- DMA/DTC 転送による FIFO バッファへのアクセスは D0FIFO あるいは D1FIFO ポートを通して行ってください。
- CPU による D0FIFO あるいは D1FIFO ポートへのアクセスも可能です。
- FIFO ポート固有の機能を使用する場合は、ポート選択レジスタの CURPIPE[3:0] ビットに設定するパイプ番号 (選択パイプ) を変更できません (DMA/DTC 転送機能使用時など)。
- 同一パイプを別々の FIFO ポートに割り当てないでください。
- FIFO バッファの状況には、アクセス権が CPU 側にある場合と Serial Interface Engine (SIE) 側にある場合の2種類があります。FIFO バッファのアクセス権が SIE 側にある場合は、CPU からアクセスできません。

FIFO ポートビット

FIFO ポートビットにアクセスすることにより、FIFO バッファからの受信データを読み出し、もしくは FIFO バッファへの送信データの書き込みを行います。

FIFO ポートレジスタへのアクセスは、FIFO ポートコントロールレジスタ (CFIFOCTR, D0FIFOCTR, D1FIFOCTR) の FRDY フラグが“1”を示しているときのみ可能です。

FIFO ポートレジスタの有効ビットは、ポート選択レジスタ (CFIFOSEL, D0FIFOSEL, D1FIFOSEL) の MBW ビットの設定値により異なります。

MBW ビットが“1”(16 ビット幅)の場合は、MDE.MDE[2:0] ビットの値と、BIGEND ビット (CFIFOSEL.BIGEND, D0FIFOSEL.BIGEND, D1FIFOSEL.BIGEND) の設定値との関係により、RAM 上とデータ配置が変わる場合があります。16 ビットアクセス時のエンディアン動作を表 32.5 に示します。

なお、送信データ総数が奇数バイトの場合、最後のデータを書くときは L[7:0] ビットにバイトアクセスしてください。

MBW ビットが“0”(8 ビット幅)の場合は、L[7:0] ビットにバイトアクセスしてください。

表 32.5 16ビットアクセス時のエンディアン動作表

MDE.MDE[2:0] ビット	CFIFOSEL.BIGEND ビット D0FIFOSEL.BIGEND ビット D1FIFOSEL.BIGEND ビット	ビット15~8	ビット7~0	備考
000b (ビッグエンディアン)	0 (リトルエンディアン)	N+1 番地のデータ	N 番地のデータ	バイト逆転あり
	1 (ビッグエンディアン)	N 番地のデータ	N+1 番地のデータ	
111b (リトルエンディアン)	0 (リトルエンディアン)	N+1 番地のデータ	N 番地のデータ	
	1 (ビッグエンディアン)	N 番地のデータ	N+1 番地のデータ	バイト逆転あり

32.2.5 CFIFO ポート選択レジスタ (CFIFOSEL)
 D0FIFO ポート選択レジスタ (D0FIFOSEL)
 D1FIFO ポート選択レジスタ (D1FIFOSEL)

• CFIFOSEL

アドレス 000A 0020h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE[3:0]	CFIFOポートアクセスパイプ指定ビット	b3 b0 0 0 0 0 : DCP (デフォルトコントロールパイプ) 0 0 0 1 : パイプ1 0 0 1 0 : パイプ2 0 0 1 1 : パイプ3 0 1 0 0 : パイプ4 0 1 0 1 : パイプ5 0 1 1 0 : パイプ6 0 1 1 1 : パイプ7 1 0 0 0 : パイプ8 1 0 0 1 : パイプ9 上記以外は設定しないでください	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ISEL	DCP 選択時のCFIFOポートアクセス方向ビット	0 : バッファメモリ読み出し選択 1 : バッファメモリ書き込み選択	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BIGEND	CFIFOポートエンディアン制御ビット	0 : リトルエンディアン 1 : ビッグエンディアン	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	MBW	CFIFOポートアクセスビット幅ビット	0 : 8ビット幅 1 : 16ビット幅	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	REW	バッファポインタリワインドビット	0 : バッファポインタリワインドしない 1 : バッファポインタリワインドする	R/W (注1)
b15	RCNT	リードカウントモードビット	0 : CFIFOの全受信データ読み出し終了時にDTLN[8:0]フラグ (CFIFOCTR.DTLN[8:0], D0FIFOCTR.DTLN[8:0], D1FIFOCTR.DTLN[8:0]) を“0”クリア (ダブルバッファの場合は一面のみ読み出し終了時) 1 : CFIFO受信データ読み出しごとにDTLN[8:0]フラグをカウントダウン	R/W

注1. 読むと“0”が読めます。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットの設定が“0000b”の場合には、パイプ指定なしとなります。

なお、DMA/DTC 転送許可状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット (CFIFO ポートアクセスパイプ指定ビット)

CFIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセスの途中で CURPIPE[3:0] ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE[3:0] ビットの書き戻し後、続けてアクセスすることができます。

ISEL ビット (DCP 選択時の CFIFO ポートアクセス方向ビット)

選択パイプが DCP のときに、ISEL ビットを変更するときは、ISEL ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

ISEL ビットの設定は、CURPIPE[3:0] ビットの設定と同時に行ってください。

MBW ビット (CFIFO ポートアクセスビット幅ビット)

CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、MBW ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また、選択パイプが受信方向の場合、一度 CURPIPE[3:0] ビットに異なる値を設定してから、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。CURPIPE[3:0] ビットの変更手順は、CURPIPE[3:0] ビットの説明に従ってください。

選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

REW ビット (バッファポインタリワインドビット)

バッファポインタのリワインドをする / しないを指定します。

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に REW ビットを“1”にすると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。

REW ビットを“1”にすることと CURPIPE[3:0] ビットの設定変更を同時に行わないでください。REW ビットを“1”にするときは、FRDY フラグが“1”であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

• D0FIFOSEL、D1FIFOSEL

アドレス D0FIFOSEL 000A 0028h, D1FIFOSEL 000A 002Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND	—	—	—	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE [3:0]	FIFOポートアクセスパイプ指定ビット	b3 b0 0000: DCP (デフォルトコントロールパイプ) 0001: パイプ1 0010: パイプ2 0011: パイプ3 0100: パイプ4 0101: パイプ5 0110: パイプ6 0111: パイプ7 1000: パイプ8 1001: パイプ9 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BIGEND	FIFOポートエンディアン制御ビット	0: リトルエンディアン 1: ビッグエンディアン	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	MBW	FIFOポートアクセスビット幅ビット	0: 8ビット幅 1: 16ビット幅	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	DREQE	DMA/DTC転送要求許可ビット	0: DMA/DTC転送要求禁止 1: DMA/DTC転送要求許可	R/W
b13	DCLRM	選択パイプのデータ読み出し後の自動バッファメモリクリアモード	0: 自動バッファクリアモード禁止 1: 自動バッファクリアモード許可	R/W
b14	REW	バッファポインタリwindビット	0: バッファポインタリwindしない 1: バッファポインタリwindする	R/W (注1)
b15	RCNT	リードカウントモードビット	0: DnFIFOの全受信データ読み出し終了時にDTLN[8:0]フラグ (CFIFOCTR.DTLN[8:0], D0FIFOCTR.DTLN[8:0], D1FIFOCTR.DTLN[8:0]) を“0”クリア (ダブルバッファの場合は一面のみ読み出し終了時) 1: DnFIFO受信データ読み出しごとにDTLN[8:0]フラグをカウントダウン (n = 0, 1)	R/W

注1. 読むと“0”が読めます。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットを“0000b”にした場合には、パイプ指定なしとなります。

なお、DMA/DTC 転送許可状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット (FIFOポートアクセスパイプ指定ビット)

D0FIFO/D1FIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセスの途中で CURPIPE[3:0] ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE[3:0] ビットを書き戻し後、続けてアクセスすることができます。

MBW ビット (FIFO ポートアクセスビット幅ビット)

D0FIFO ポート、D1FIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、MBW ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また、選択パイプが受信方向の場合、一度 CURPIPE[3:0] ビットに異なる値を設定してから、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。CURPIPE[3:0] ビットの変更手順は、CURPIPE[3:0] ビットの説明に従ってください。

選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

DREQE ビット (DMA/DTC 転送要求許可ビット)

DMA/DTC 転送要求発行の禁止 / 許可を指定します。

DMA/DTC 転送要求発行を許可する場合、CURPIPE[3:0] ビット設定後に DREQE ビットを“1”にしてください。

CURPIPE[3:0] ビットの設定を変更するときには、CURPIPE[3:0] ビットを“0”にした後で変更を行ってください。

DCLRM ビット (選択パイプのデータ読み出し後の自動バッファメモリクリアモード)

選択パイプのデータ読み出し後、自動バッファメモリクリアの禁止 / 許可を指定します。

DCLRM ビットを“1”にした場合、選択パイプに割り当てた FIFO バッファが空の状態 Zero-Length packet を受信したとき、または PIPECFG.BFRE ビットを“1”にしたときにショートパケットを受信しデータ読み出しを完了時に、FIFO バッファへの BCLR ビットへの“1”書き込みを USB が行います。

SOFCFG.BRDYM ビットを“1”にして USB を使用するときには、DCLRM ビットを“0”にしてください。

REW ビット (バッファポインタリワインドビット)

バッファポインタのリワインドをする / しないを指定します。

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に REW ビットを“1”にすると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。

REW ビットを“1”にすることと“1”の設定と CURPIPE[3:0] ビットの設定変更を同時に行わないでください。REW ビットを“1”にするときは、FRDY フラグが“1”であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

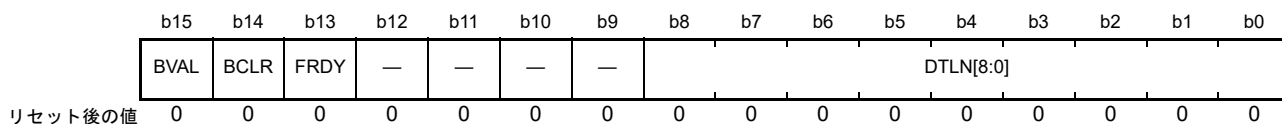
RCNT ビット (リードカウントモードビット)

CFIFOCTR.DTLN[8:0] フラグの読み出しモードを指定します。

PIPECFG.BFRE ビットを“1”にして DnFIFO にアクセスを行う場合は、RCNT ビットを“0”にしてください。

32.2.6 CFIFO ポートコントロールレジスタ (CFIFOCTR) D0FIFO ポートコントロールレジスタ (D0FIFOCTR) D1FIFO ポートコントロールレジスタ (D1FIFOCTR)

アドレス CFIFOCTR 000A 0022h, D0FIFOCTR 000A 002Ah, D1FIFOCTR 000A 002Eh



ビット	シンボル	ビット名	機能	R/W
b8-b0	DTLN[8:0]	受信データ長表示フラグ	受信データ長が表示されます。ポート選択レジスタのRCNTビットの設定により、表示が異なります。詳細は下記DTLN[8:0]フラグの説明を参照してください	R
b12-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13	FRDY	FIFOポートレディフラグ	0：FIFOポートアクセス不可能 1：FIFOポートアクセス可能	R
b14	BCLR	CPUバッファクリアビット	0：何もしない 1：CPU側バッファメモリクリア	R/W (注1)
b15	BVAL	バッファメモリ有効ビット	0：無効 1：書き込み終了	R/W

注1. 読むと“0”が読めます。

CFIFOCTR、D0FIFOCTR、D1FIFOCTR レジスタは、それぞれ CFIFO、D0FIFO、D1FIFO レジスタに対応しています。

DTLN[8:0] フラグ (受信データ長表示フラグ)

受信データ長が表示されます。

FIFO バッファ読み出し中の DTLN[8:0] フラグの値は、DnFIFOSEL.RCNT ビット (n=0, 1) の設定値により以下のように異なります。

- RCNT ビットが“0”のとき

CPU または DMAC/DTC が FIFO バッファ 1 面分の受信データを読み出し完了するまで、USB は受信データ長を DTLN[8:0] フラグに表示します。

PIPECFG.BFRE ビットが“1”のときには、読み出しが完了しても BCLR = 1 を行うまでは USB は受信データ長を保持します。

- RCNT ビットが“1”のとき

読み出しごとに USB は DTLN[8:0] フラグの表示をダウンカウントします。(MBW ビットが“0”のときは1ずつ、MBW ビットが“1”のときは2ずつダウンカウント)

1 面分の FIFO バッファ読み出し完了時に、USB は DTLN[8:0] フラグを“0”にします。ただし、ダブルバッファ設定時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を FIFO ポートコントロールレジスタの DTLN[8:0] フラグに表示します。

FRDY フラグ (FIFO ポートレディフラグ)

CPU または DMAC/DTC から FIFO ポートにアクセス可能かどうかが表示されます。

以下の場合には、USB は FRDY フラグを“1”にしますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、BCLR ビットを“1”にして FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。

- 選択パイプにアサインされている FIFO バッファが空の状態 Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが“1”のときに、ショートパケットを受信し、データ読み出しを完了した場合

BCLR ビット (CPU バッファクリアビット)

選択パイプの CPU 側の FIFO バッファをクリアする場合に“1”にします。

選択パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面ともに読み出し可能な状態である場合でも、USB は片面の FIFO バッファのみをクリアします。

選択パイプが DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、BCLR ビットを“1”にすると、USB は FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP の DCPCTR.PID[1:0] ビットを“00b”(NAK)に設定した後で BCLR ビットを“1”にしてください。

選択パイプが送信方向の場合、BVAL ビットと BCLR ビットへ同時に“1”を書いた場合には、USB はそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。

選択パイプが DCP 以外の場合、BCLR ビットへの“1”書き込みは、USB が FIFO ポートコントロールの FRDY フラグが“1”を示しているときに実施してください。

BVAL ビット (バッファメモリ有効ビット)

CURPIPE[3:0] ビットに指定したパイプ (選択パイプ) の CPU 側の FIFO バッファの書き込み終了時に“1”にします。

選択パイプが送信方向のとき、以下の場合に BVAL ビットを“1”にしてください。USB は CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。

- ショートパケットの送信を行いたいとき、データ書き込み終了時に BVAL ビットを“1”にする
- Zero-Length パケットの送信を行いたいとき、FIFO バッファへデータを書き込む前に BVAL ビットを“1”にする

MaxPacketSize 分のデータを書くと、USB が BVAL ビットを“1”にし、CPU 側の FIFO バッファを SIE 側にして、送信可能状態にします。

BVAL ビットへの“1”書き込みは、USB が FRDY フラグに“1”を示しているときに実施してください。

選択パイプが受信方向のときには、BVAL ビットへの“1”書き込みを行わないでください。

32.2.7 割り込み許可レジスタ 0 (INTENB0)

アドレス 000A 0030h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BRDYE	バッファレディ割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	NRDYE	バッファノットレディ応答割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b10	BEMPE	バッファエンプティ割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b11	CTRE	コントロール転送ステージ遷移割り込み許可ビット(注1)	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b12	DVSE	デバイスステート遷移割り込み許可ビット(注1)	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b13	SOFE	フレーム番号更新割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b14	RSME	レジューム割り込み許可ビット(注1)	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15	VBSE	VBUS割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W

注1. RSMEビット、DVSEビットおよびCTREビットは、ファンクションコントローラ機能選択時のみ設定できます。ホストコントローラ機能選択時は、“1”にしないでください。

ソフトウェアで INTENB0 レジスタを“1”にしたビットに対応する割り込みを USB が検出した場合に、USB は USB 割り込み要求を発生させます。

USB は、INTENB0 レジスタの設定値（割り込み通知の禁止 / 許可）にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS0 レジスタの対応するステータスビットは“1”になります。

各割り込み要因に対応する INTSTS0 レジスタのステータスビットが“1”の状態、ソフトウェアで INTENB0 レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB は USB 割り込み要求を発生させます。

32.2.8 割り込み許可レジスタ 1 (INTENB1)

アドレス 000A 0032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCRE	BCHGE	—	DTCHE	ATTCH E	—	—	—	—	EOFERRE	SIGNE	SACKE	—	—	—	PDDETINTE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDDETINTE0	PDDETINT0検知割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SACKE	セットアップトランザクション正常応答割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	SIGNE	セットアップトランザクションエラー割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	EOFERRE	EOFエラー検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b10-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	ATTCH E	接続検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b12	DTCHE	切断検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	BCHGE	USBバス変化割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15	OVRCRE	オーバカレント入力変化割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W

注. INTENB1レジスタによる割り込み許可は、ホストコントローラ機能選択時のみ設定できます。ファンクションコントローラ機能選択時は、“1”にしないでください。

INTENB1レジスタは、ホストコントローラ機能選択時の割り込みマスクの設定、およびSETUPトランザクションの割り込みマスクレジスタの設定を行うレジスタです。

ソフトウェアでINTENB1レジスタを“1”にしたビットに対応する割り込みをUSBが検出した場合に、USBはUSB割り込み要求を発生させます。

USBは、INTENB1レジスタの設定値（割り込み通知の禁止/許可）にかかわらず、各割り込み要因の検出条件を満たしたときにINTSTS1レジスタの対応するステータスビットは“1”になります。

各割り込み要因に対応するINTSTS1レジスタのステータスビットが“1”の状態、ソフトウェアでINTENB1レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USBはUSB割り込み要求を発生させます。

ファンクションコントローラ機能選択時は、割り込み許可を行わないでください。

32.2.9 BRDY 割り込み許可レジスタ (BRDYENB)

アドレス 000A 0036h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9B RDYE	PIPE8B RDYE	PIPE7B RDYE	PIPE6B RDYE	PIPE5B RDYE	PIPE4B RDYE	PIPE3B RDYE	PIPE2B RDYE	PIPE1B RDYE	PIPE0B RDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDYE	パイプ0のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	PIPE1BRDYE	パイプ1のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b2	PIPE2BRDYE	パイプ2のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b3	PIPE3BRDYE	パイプ3のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b4	PIPE4BRDYE	パイプ4のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5BRDYE	パイプ5のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6BRDYE	パイプ6のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7BRDYE	パイプ7のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	PIPE8BRDYE	パイプ8のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	PIPE9BRDYE	パイプ9のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY フラグを“1”にすることを禁止するか、許可するかを指定します。

ソフトウェアで BRDYENB レジスタを“1”にしたパイプに対して、USB が BRDY 割り込みを検出した場合に、USB は BRDYSTS.PIPE_nBRDY フラグ (n=0~9) の対応するフラグを“1”にし、INTSTS0.BRDY フラグを“1”にします。このときに INTENB0.BRDYE ビットが“1”であれば、USB は BRDY 割り込みを発生させます。

BRDYSTS.PIPE_nBRDY フラグのうち、少なくとも1つのビットが“1”のときに、ソフトウェアで BRDYENB レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB は BRDY 割り込みを発生させます。

32.2.10 NRDY 割り込み許可レジスタ (NRDYENB)

アドレス 000A 0038h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9NRDYE	PIPE8NRDYE	PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDYE	パイプ0のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	PIPE1NRDYE	パイプ1のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b2	PIPE2NRDYE	パイプ2のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b3	PIPE3NRDYE	パイプ3のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b4	PIPE4NRDYE	パイプ4のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5NRDYE	パイプ5のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6NRDYE	パイプ6のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7NRDYE	パイプ7のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	PIPE8NRDYE	パイプ8のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	PIPE9NRDYE	パイプ9のNRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NRDYENB レジスタは、各パイプのNRDY割り込み検出時にINTSTS0.NRDYフラグを“1”にすることを禁止するか、許可するかを指定します。

ソフトウェアでNRDYENBレジスタを“1”にしたパイプに対して、USBがNRDY割り込み要因を検出した場合に、USBはNRDYSTS.PIPE_nNRDYフラグ(n=0~9)の対応するビットを“1”にし、INTSTS0.NRDYフラグを“1”にします。このときにINTENB0.NRDYE=1であれば、USBはNRDY割り込みを発生させません。

NRDYSTS.PIPE_nNRDYフラグの少なくともひとつのフラグが“1”の状態、ソフトウェアでNRDYENBレジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USBはNRDY割り込み要求を発生させます。

32.2.11 BEMP 割り込み許可レジスタ (BEMPENB)

アドレス 000A 003Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9B EMPE	PIPE8B EMPE	PIPE7B EMPE	PIPE6B EMPE	PIPE5B EMPE	PIPE4B EMPE	PIPE3B EMPE	PIPE2B EMPE	PIPE1B EMPE	PIPE0B EMPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMPE	パイプ0のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	PIPE1BEMPE	パイプ1のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b2	PIPE2BEMPE	パイプ2のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b3	PIPE3BEMPE	パイプ3のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b4	PIPE4BEMPE	パイプ4のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5BEMPE	パイプ5のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6BEMPE	パイプ6のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7BEMPE	パイプ7のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	PIPE8BEMPE	パイプ8のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	PIPE9BEMPE	パイプ9のBEMP割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に INTSTS0.BEMP フラグを“1”にすることを禁止するか、許可するかを指定するレジスタです。

ソフトウェアで BEMPENB レジスタを“1”にしたパイプに対して、USB が BEMP 割り込み要因を検出した場合に、USB は BEMPSTS.PIPE_nBEMP フラグ (n=0~9) の対応するフラグを“1”にし、INTSTS0.BEMP フラグを“1”にします。このときに INTENB0.BEMPE = 1 であれば、USB は BEMP 割り込みを発生させます。

BEMPSTS.PIPE_nBEMP フラグのうち、少なくともひとつのフラグが“1”の状態、ソフトウェアで BEMPENB レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB は BEMP 割り込み要求を発生させます。

32.2.12 SOF 出力コンフィギュレーションレジスタ (SOFCFG)

アドレス 000A 003Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TRNENSEL	—	BRDY M	—	EDGESTS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	EDGESTS	エッジ割り込み出力ステータスマニタフラグ(注1)	エッジ割り込み出力信号がエッジ処理中であるとき“1”を示します	R
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	BRDYM	BRDY 割り込みステータスクリアタイミング設定ビット	0 : ソフトウェアでステータスをクリア 1 : FIFOバッファの読み出しまたはFIFOバッファへの書き込み動作によりUSBがステータスをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TRNENSEL	トランザクション有効期間切り替えビット(注1)	0 : ロースピード未対応 1 : ロースピード対応	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. USBモジュールのクロックを停止するときには、本ビットが“0”であることを確認してください。

EDGESTS フラグ (エッジ割り込み出力ステータスマニタフラグ)

エッジ割り込み出力信号がエッジ処理中であるとき、“1”を示します。

USBのクロックを停止するときは、EDGESTS フラグが“0”であることを確認してください。

BRDYM ビット (BRDY 割り込みステータスクリアタイミング設定ビット)

各パイプのBRDY 割り込みステータスをクリアするタイミングを指定します。

TRNENSEL ビット (トランザクション有効期間切り替えビット)

フルスピードまたはロースピード通信中のポートにおいて、1フレーム中にUSBがトークン発行を行う期間(トランザクション有効期間)を指定します。

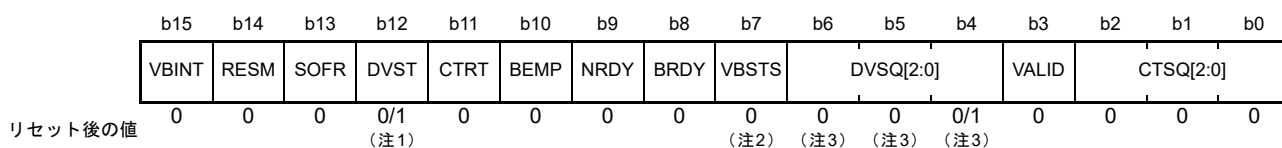
TRNENSEL ビットには、ロースピードデバイスが接続されたときに“1”にしてください。

TRNENSEL ビットは、ホストコントローラ機能選択時のみ有効です。

ファンクションコントローラ機能選択時は、“0”にしてください。

32.2.13 割り込みステータスレジスタ 0 (INTSTS0)

アドレス 000A 0040h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSQ[2:0]	コントロール転送ステージフラグ	b2 b0 0 0 0 : アイドルまたはセットアップステージ 0 0 1 : コントロールリードデータステージ 0 1 0 : コントロールリードステータスステージ 0 1 1 : コントロールライトデータステージ 1 0 0 : コントロールライトステータスステージ 1 0 1 : コントロールライト (NoData) ステータスステージ 1 1 0 : コントロール転送シーケンスエラー	R
b3	VALID	USBリクエストフラグ	0 : セットアップパケットを受信していない 1 : セットアップパケットを受信した	R/W (注4)
b6-b4	DVSQ[2:0]	デバイスステートフラグ	b6 b4 0 0 0 : Poweredステート 0 0 1 : Defaultステート 0 1 0 : Addressステート 0 1 1 : Configuredステート 1 x x : Suspendedステート	R
b7	VBSTS	VBUS入カステータスフラグ	0 : USB0_VBUS 端子がLow 1 : USB0_VBUS 端子がHigh	R
b8	BRDY	バッファレディ割り込みステータスフラグ	0 : BRDY 割り込み発生なし 1 : BRDY 割り込み発生あり	R
b9	NRDY	バッファノットレディ割り込みステータスフラグ	0 : NRDY 割り込み発生なし 1 : NRDY 割り込み発生あり	R
b10	BEMP	バッファエンプティ割り込みステータスフラグ	0 : BEMP 割り込み発生なし 1 : BEMP 割り込み発生あり	R
b11	CTRTR	コントロール転送ステージ遷移割り込みステータスフラグ(注5)	0 : コントロール転送ステージ遷移割り込み発生なし 1 : コントロール転送ステージ遷移割り込み発生あり	R/W (注4)
b12	DVST	デバイスステート遷移割り込みステータスフラグ(注5)	0 : デバイスステート遷移割り込み発生なし 1 : デバイスステート遷移割り込み発生あり	R/W (注4)
b13	SOFR	フレーム番号更新割り込みステータスフラグ	0 : SOF 割り込み発生なし 1 : SOF 割り込み発生あり	R/W (注4)
b14	RESM	レジューム割り込みステータスフラグ(注5、注6)	0 : レジューム割り込み発生なし 1 : レジューム割り込み発生あり	R/W (注4)
b15	VBINT	VBUS割り込みステータスフラグ(注6)	0 : VBUS 割り込み発生なし 1 : VBUS 割り込み発生あり	R/W (注4)

x : Don't care

- 注1. MCUがリセットされると“0”、USBバスリセットのとき“1”になります。
- 注2. USB0_VBUS 端子がHighのとき“1”、Lowのとき“0”になります。
- 注3. MCUがリセットされると“000b”、USBバスリセットのとき“001b”になります。
- 注4. VBINTフラグ、RESMフラグ、SOFRフラグ、DVSTフラグ、CTRTRフラグまたはVALIDフラグをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書き込んでください。“0”を示しているステータスフラグへの“0”書き込みを行わないでください。
- 注5. RESMフラグ、DVSTフラグ、CTRTRフラグのステータス変化は、ファンクションコントローラ機能選択時のみ発生します。ホストコントローラ機能選択時には対応する割り込み許可ビットを“0”(禁止)にしてください。
- 注6. VBINTフラグ、RESMフラグが示すステータス変化をクロック停止中(SCKEビットが“0”)でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。

CTSQ[2:0] フラグ (コントロール転送ステージフラグ)

ホストコントローラ機能選択時、読み出しは無効です。

VALID フラグ (USB リクエストフラグ)

ホストコントローラ機能選択時、読み出しは無効です。

DVSQ[2:0] フラグ (デバイスステートフラグ)

USB バスリセットで DVSQ[2:0] フラグは初期化されます。

ホストコントローラ機能選択時、読み出しは無効です。

BRDY フラグ (バッファレディ割り込みステータスフラグ)

BRDY 割り込みステータスが表示されます。

BRDYENB.PIPE_nBRDYE ビット (n = 0 ~ 9) を“1”にしたパイプに対応する BRDYSTS.PIPE_nBRDY フラグ (n = 0 ~ 9) のうち、少なくともひとつが“1”になったとき (ソフトウェアで BRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が BRDY 割り込み状態を検出したとき) に、USB は BRDY フラグを“1”にします。

PIPE_nBRDY ステータスのアサート条件は、「32.3.3.1 BRDY 割り込み」を参照ください。

ソフトウェアで、PIPE_nBRDYE ビットで許可しているパイプに対応する PIPE_nBRDY フラグのすべてに“0”を書くと、USB は BRDY フラグを“0”にします。

ソフトウェアで BRDY フラグに対して“0”を書いても、BRDY フラグを“0”にすることはできません。

NRDY フラグ (バッファノットレディ割り込みステータスフラグ)

NRDYENB.PIPE_nNRDYE ビット (n = 0 ~ 9) を“1”にしたパイプに対応する NRDYSTS.PIPE_nNRDY フラグ (n = 0 ~ 9) のうち、少なくともひとつが“1”になったとき (ソフトウェアで NRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が NRDY 割り込み状態を検出したとき) に、USB は NRDY フラグを“1”にします。

PIPE_nNRDY ステータスのアサート条件は、「32.3.3.2 NRDY 割り込み」を参照ください。

ソフトウェアで、PIPE_nNRDYE ビットで許可しているパイプに対応する PIPE_nNRDY フラグのすべてに“0”を書くと、USB は NRDY フラグを“0”にします。

ソフトウェアで NRDY フラグに対して“0”を書いても、NRDY フラグを“0”にすることはできません。

BEMP フラグ (バッファエンプティ割り込みステータスフラグ)

BEMPENB.PIPE_nBEMPE ビット (n = 0 ~ 9) を“1”にしたパイプに対応する BEMPSTS.PIPE_nBEMP フラグ (n = 0 ~ 9) のうち、少なくともひとつが“1”になったとき (ソフトウェアで BEMP 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が BEMP 割り込み状態を検出したとき) に、USB は BEMP フラグを“1”にします。

PIPE_nBEMP ステータスのアサート条件は、「32.3.3.3 BEMP 割り込み」を参照ください。

ソフトウェアで、PIPE_nBEMPE ビットで許可しているパイプに対応する PIPE_nBEMP フラグすべてに“0”を書くと、USB は BEMP フラグを“0”にします。

ソフトウェアで BEMP フラグに対して“0”を書いても、BEMP フラグを“0”にすることはできません。

CTRT フラグ (コントロール転送ステージ遷移割り込みステータスフラグ)

ファンクションコントローラ機能設定時、USB がコントロール転送のステージ遷移を検出したときに、USB は CTSQ[2:0] フラグの値を更新し、CTRT フラグを“1”にします。

コントロール転送ステージ遷移割り込みが発生したときには、USB がコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

DVST フラグ (デバイスステート遷移割り込みステータスフラグ)

ファンクションコントローラ機能設定時、USB がデバイスステートの変化を検出したときに、USB は DVSQ[2:0] フラグの値を更新し、DVST フラグを“1”にします。

デバイスステート遷移割り込みが発生したときには、USB が次のデバイスステート遷移を検出する前に、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

SOFR フラグ (フレーム番号更新割り込みステータスフラグ)**(1) ホストコントローラ機能設定時**

ソフトウェアで DVSTCTR0.UACT ビットを“1”にしているとき、フレームナンバの更新タイミングで SOFR フラグを“1”にします (SOFR 割り込みは、1 ms ごとに検出します)。

(2) ファンクションコントローラ機能設定時

フレームナンバの更新時に USB は SOFR フラグを“1”にします (SOFR 割り込みは、1 ms ごとに検出します)。

USB ホストからの SOF パケットが破損したときでも、内部補完により、USB は SOFR 割り込みを検出します。

RESM フラグ (レジューム割り込みステータスフラグ)

ファンクションコントローラ機能設定時、USB がサスペンド状態 (DVSQ[2:0] フラグが“1xxb”) であり、かつ、USB0_DP 端子の立ち下りを検出したときに、RESM フラグを“1”にします。

ホストコントローラ機能選択時、読み出し値は無効です。

VBINT フラグ (VBUS 割り込みステータスフラグ)

USB が USB0_VBUS 端子入力値の変化 (High から Low への変化あるいは Low から High への変化) を検出したときに、VBINT フラグを“1”にします。USB は USB0_VBUS 端子の入力値を、VBSTS フラグに表示します。VBINT 割り込み発生時は、ソフトウェアで VBSTS フラグ読み出しの数度一致を行い、チャタリング除去を実施してください。

32.2.14 割り込みステータスレジスタ 1 (INTSTS1)

アドレス 000A 0042h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCR	BCHG	—	DTCH	ATTCH	—	—	—	—	EOFERR	SIGN	SACK	—	—	—	PDEDETINT0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDEDETINT0	PDEDET0検知割り込みステータスフラグ	0 : PDEDET0検知割り込み発生あり 1 : PDEDET0検知割り込み発生なし	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SACK	セットアップトランザクション正常応答 割り込みステータスフラグ	0 : SACK割り込み発生なし 1 : SACK割り込み発生あり	R/W (注1)
b5	SIGN	セットアップトランザクションエラー割 り込みステータスフラグ	0 : SIGN割り込み発生なし 1 : SIGN割り込み発生あり	R/W (注1)
b6	EOFERR	EOFエラー検出割り込みステータスフラ グ	0 : EOFERR割り込み発生なし 1 : EOFERR割り込み発生あり	R/W (注1)
b10-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	ATTCH	ATTCH割り込みステータスフラグ	0 : ATTCH割り込み発生なし 1 : ATTCH割り込み発生あり	R/W (注1)
b12	DTCH	USB切断検出割り込みステータスフラ グ	0 : DTCH割り込み発生なし 1 : DTCH割り込み発生あり	R/W (注1)
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	BCHG	USBパス変化割り込みステータスフラ グ(注2)	0 : BCHG割り込み発生なし 1 : BCHG割り込み発生あり	R/W (注1)
b15	OVRRCR	オーバカレント入力変化割り込みステ ータスフラグ(注2)	0 : OVRRCR割り込み発生なし 1 : OVRRCR割り込み発生あり	R/W (注1)

注1. INTSTS1レジスタの各フラグが示すステータスをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書き込んでください。

注2. OVRRCRフラグおよびBCHGフラグが示すステータス変化をクロック停止中（SYSCFG.SCKEビットが“0”）でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはSYSCFG.SCKEビットを“1”にした後に行ってください。OVRRCRフラグおよびBCHGフラグ以外の割り込みは、クロック停止中（SYSCFG.SCKEビットが“0”）は検出しません。

INTSTS1 レジスタは、ホストコントローラ機能選択時の各割り込みのステータスを確認するレジスタです。

INTSTS1 レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラ機能選択時のみ許可してください。

PDEDETINT0 フラグ (PDEDET0 検知割り込みステータスフラグ)

ホストコントローラ機能選択時、PortableDevice 検知割り込みステータスを表示します。

USB が USB Physical Layer トランシーバ (PHY) の VDPDET 入力値の変化 (High から Low への変化あるいは Low から High への変化) を検出したときに、本フラグを“1”にします。USB は VDPDET 入力値を、PDEDETSTS0 フラグに表示します。PDEDETINT 割り込み発生時は、ソフトウェアで PDEDETSTS0 フラグ読み出しの回数一致を行い、チャタリング除去を実施してください。

SACK フラグ (セットアップトランザクション正常応答割り込みステータスフラグ)

ホストコントローラ機能選択時、セットアップトランザクション正常応答割り込みステータスを表示します。

USB が発行した SETUP トランザクションにおいて、周辺デバイスからの ACK 応答を受信したときに、USB は SACK 割り込みを検出し、SACK フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は SACK 割り込みを発生します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

SIGN フラグ (セットアップトランザクションエラー割り込みステータスフラグ)

ホストコントローラ機能選択時、セットアップトランザクションエラー割り込みステータスが表示されます。

USB が発行した SETUP トランザクションにおいて、周辺デバイスが ACK 応答を行わない状態が連続 3 回発生したときに、USB は SIGN 割り込みを検出し、SIGN フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は SIGN 割り込み発生をします。

USB の SIGN 割り込み検出条件は、具体的には 3 回の連続した SETUP トランザクションに対して、以下のいずれかの応答が発生したときです。

- 周辺デバイスが何も応答しない状態で USB がタイムアウトを検出したとき
- ACK パケットが破損したとき
- ACK 以外のハンドシェイク (NAK、NYET、または STALL) を受信したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

EOFERR フラグ (EOF エラー検出割り込みステータスフラグ)

ホストコントローラ機能選択時、EOFERR 割り込みステータスが表示されます。

USB2.0 仕様に定められている EOF2 タイミング時点で通信が終了しないことを USB が検出したときに、EOFERR 割り込みを検出し、EOFERR フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は EOFERR 割り込みを発生します。

USB は、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定に関わらず）以下のハードウェア制御を行います。ソフトウェアで、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへの再 Enumeration を行ってください。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

ファンクションコントローラ機能選択時、読み出し値は無効です。

ATTCH フラグ (ATTCH 割り込みステータスフラグ)

ホストコントローラ機能選択時、ATTCH 割り込みステータスが表示されます。

USB がポートにフルスピード信号レベルまたはロースピード信号レベルの J-State または K-State を 2.5 μ s 間検出したとき、USB は ATTCH 割り込みを検出し、ATTCH フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は割り込み発生をします。

USB の ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5 μ s 間継続したとき
- J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5 μ s 間継続したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

DTCH フラグ (USB 切断検出割り込みステータスフラグ)

ホストコントローラ機能選択時、USB 切断検出割り込みステータスが表示されます。

USB バスディスコネクト検出時に、USB は DTCH 割り込みを検出し、DTCH フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は割り込み発生します。

USB は、USB 2.0 仕様に準じた基準でバスディスコネクトを検出します。

USB は、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアで、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示
- DTCH 割り込みが発生したポートをアイドル状態に遷移

ファンクションコントローラ機能選択時、読み出し値は無効です。

BCHG フラグ (USB バス変化割り込みステータスフラグ)

USB バス変化割り込みステータスが表示されます。

USB ポートでフルスピード信号レベルまたはロースピード信号レベルでの状態変化が発生した（J-State、K-State、または SE0 のいずれかの状態から、J-State、K-State、または SE0 のいずれかの状態に変化した）ときに、USB は BCHG 割り込みを検出し、BCHG フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は割り込みを発生させます。

USB ポートの現在の入力状態を、SYSSTS0.LNST[1:0] フラグに表示します。BCHG 端子割り込み発生時は、ソフトウェアで LNST[1:0] フラグ読み出しの数度一致を行い、チャタリング除去を実施してください。

USB バス変化は、内部クロック停止状態でも検出します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

OVRCCR フラグ (オーバカレント入力変化割り込みステータスフラグ)

USB0_OVRCURA および USB0_OVRCURB 入力端子の変化割り込みステータスが表示されます。

USB0_OVRCURA または USB0_OVRCURB 端子入力値の少なくともどちらか一方が変化（High から Low への変化あるいは Low から High への変化）したときに、USB は OVRCCR 割り込みを検出し、OVRCCR フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は割り込みを発生させます。

32.2.15 BRDY 割り込みステータスレジスタ (BRDYSTS)

アドレス 000A 0046h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9B RDY	PIPE8B RDY	PIPE7B RDY	PIPE6B RDY	PIPE5B RDY	PIPE4B RDY	PIPE3B RDY	PIPE2B RDY	PIPE1B RDY	PIPE0B RDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDY	パイプ0のBRDY割り込みステータスフラグ (注2)	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b1	PIPE1BRDY	パイプ1のBRDY割り込みステータスフラグ (注2)	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b2	PIPE2BRDY	パイプ2のBRDY割り込みステータスフラグ (注2)	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b3	PIPE3BRDY	パイプ3のBRDY割り込みステータスフラグ (注2)	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b4	PIPE4BRDY	パイプ4のBRDY割り込みステータスフラグ (注2)	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b5	PIPE5BRDY	パイプ5のBRDY割り込みステータスフラグ (注2)	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b6	PIPE6BRDY	パイプ6のBRDY割り込みステータスフラグ (注2)	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b7	PIPE7BRDY	パイプ7のBRDY割り込みステータスフラグ (注2)	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b8	PIPE8BRDY	パイプ8のBRDY割り込みステータスフラグ (注2)	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b9	PIPE9BRDY	パイプ9のBRDY割り込みステータスフラグ (注2)	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. SOFCFG.BRDYMビットが“0”の場合、BRDYSTSレジスタの各フラグが示すステータスをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書いてください。
- 注2. SOFCFG.BRDYMビットが“0”の場合、BRDY割り込みのクリアは、FIFOアクセスを行う前に実施してください。

32.2.16 NRDY 割り込みステータスレジスタ (NRDYSTS)

アドレス 000A 0048h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9NRDY	PIPE8NRDY	PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	PIPE3NRDY	PIPE2NRDY	PIPE1NRDY	PIPE0NRDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDY	パイプ0のNRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1NRDY	パイプ1のNRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2NRDY	パイプ2のNRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3NRDY	パイプ3のNRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4NRDY	パイプ4のNRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5NRDY	パイプ5のNRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6NRDY	パイプ6のNRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7NRDY	パイプ7のNRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8NRDY	パイプ8のNRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9NRDY	パイプ9のNRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. NRDYSTSレジスタの各フラグが示すステータスを“0”にする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書いてください。

32.2.17 BEMP 割り込みステータスレジスタ (BEMPSTS)

アドレス 000A 004Ah

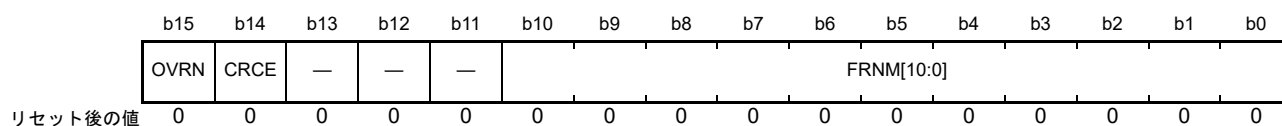
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9B EMP	PIPE8B EMP	PIPE7B EMP	PIPE6B EMP	PIPE5B EMP	PIPE4B EMP	PIPE3B EMP	PIPE2B EMP	PIPE1B EMP	PIPE0B EMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMP	パイプ0のBEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1BEMP	パイプ1のBEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2BEMP	パイプ2のBEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3BEMP	パイプ3のBEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4BEMP	パイプ4のBEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BEMP	パイプ5のBEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BEMP	パイプ6のBEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BEMP	パイプ7のBEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8BEMP	パイプ8のBEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9BEMP	パイプ9のBEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. BEMPSTSレジスタの各フラグが示すステータスを“0”にする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書いてください。

32.2.18 フレームナンバレジスタ (FRMNUM)

アドレス 000A 004Ch



ビット	シンボル	ビット名	機能	R/W
b10-b0	FRNM[10:0]	フレーム番号フラグ	最新のフレーム番号	R
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	CRCE	受信データエラーフラグ	0: エラーなし 1: エラー発生	R/W (注1)
b15	OVNRN	オーバラン/アンダラン検出ステータスフラグ	0: エラーなし 1: エラー発生	R/W (注1)

注1. 各ステータスを“0”にする場合は、クリアしたいフラグに“0”を、その他のフラグには“1”を書いてください。

FRNM[10:0] フラグ (フレーム番号フラグ)

USB は、1 ms に 1 回の SOF 発行タイミングまたは SOF 受信時に FRNM[10:0] フラグを書き換え、最新のフレーム番号を表示します。

CRCE フラグ (受信データエラーフラグ)

アイソクロナス転送中のパイプに対する CRC エラーやビットスタッフィングエラーの検出ステータスが表示されます。

ソフトウェアで、CRCE フラグに“0”を書くことにより CRCE フラグを“0”にすることができます。このとき、FRMNUM レジスタの他のフラグには“1”を書いてください。

CRC エラーの検出時には、USB は内部 NRDY 割り込み要求を発生させます。

OVNRN フラグ (オーバラン/アンダラン検出ステータスフラグ)

アイソクロナス転送を行っているパイプに対するオーバラン/アンダランエラー検出の有無が表示されます。

ソフトウェアで、OVNRN フラグに“0”を書くことにより OVNRN フラグを“0”にすることができます。このとき、FRMNUM レジスタの他のフラグには“1”を書いてください。

(1) ホストコントローラ機能選択時

以下のいずれかの場合に、USB が OVNRN フラグを“1”にします。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに OUT トークン発行タイミングに達したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、IN トークン発行タイミングに達したとき

(2) ファンクションコントローラ機能選択時

以下のいずれかの場合に、USB が OVNRN フラグを“1”にします。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに IN トークンを受信したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信したとき

32.2.19 USB リクエストタイプレジスタ (USBREQ)

アドレス 000A 0054h



ビット	シンボル	ビット名	機能	R/W
b7-b0	BMREQUESTTYPE[7:0]	リクエストタイプビット	USB リクエスト bmRequestType の値	R/W (注1)
b15-b8	BREQUEST[7:0]	リクエストビット	USB リクエスト bRequest の値	R/W (注1)

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBREQ レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBREQ レジスタは、ファンクションコントローラ機能選択時、受信した bRequest および bmRequestType の値が格納されます。ホストコントローラ機能選択時、送信する bRequest および bmRequestType の値を設定します。

USBREQ レジスタは、USB バスリセットで初期化されます。

BMREQUESTTYPE[7:0] ビット (リクエストタイプビット)

USB リクエスト bmRequestType の値を格納します。

- ホストコントローラ機能選択時
送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが“1”の状態では BMREQUESTTYPE[7:0] ビットの書き換えは行わないでください
- ファンクションコントローラ機能選択時
SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です

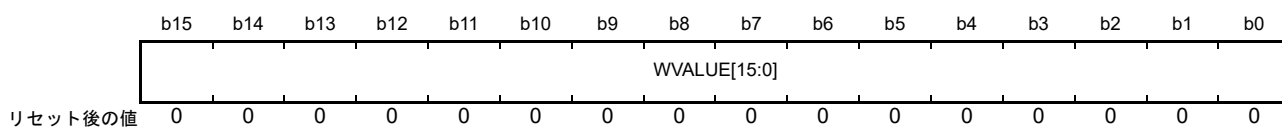
BREQUEST[7:0] ビット (リクエストビット)

USB リクエスト bRequest の値を格納します。

- ホストコントローラ機能選択時
送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが“1”の状態では BREQUEST[7:0] ビットの書き換えは行わないでください。
- ファンクションコントローラ機能選択時
SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

32.2.20 USB リクエストバリュeregスタ (USBVAL)

アドレス 000A 0056h



ビット	シンボル	ビット名	機能	R/W
b15-b0	WVALUE[15:0]	バリュeregビット	USBリクエストwValueの値	R/W (注1)

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBVALレジスタは、ファンクションコントローラ機能選択時、受信したwValueの値が格納されます。ホストコントローラ機能選択時、送信するwValueの値を設定します。

USBVALレジスタは、USBバスリセットで初期化されます。

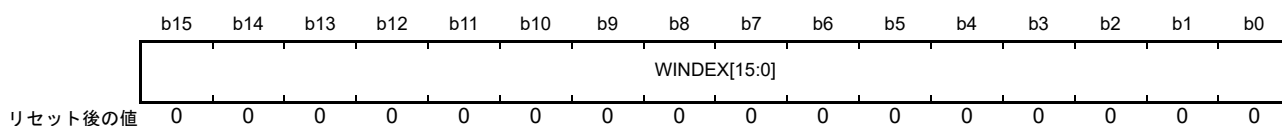
WVALUE[15:0]ビット (バリュeregビット)

USBリクエストwValueの値を格納します。

- ホストコントローラ機能を選択時
送信するSETUPトランザクションのUSBリクエストwValueの値を設定してください。
DCPCTR.SUREQビットが“1”の状態ではWVALUE[15:0]ビットの書き換えは行わないでください。
- ファンクションコントローラ選択時
SETUPトランザクションで受信したUSBリクエストwValueの値を表示します。WVALUE[15:0]ビットへの書き込みは無効です。

32.2.21 USB リクエストインデックスレジスタ (USBINDX)

アドレス 000A 0058h



ビット	シンボル	ビット名	機能	R/W
b15-b0	WINDEX[15:0]	インデックスビット	USBリクエストwIndexの値	R/W (注1)

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBINDX レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBINDX レジスタは、ファンクションコントローラ機能選択時、受信した wIndex の値が格納されます。ホストコントローラ機能選択時、送信する wIndex の値を設定します。

USBINDX レジスタは、USB バスリセットで初期化されます。

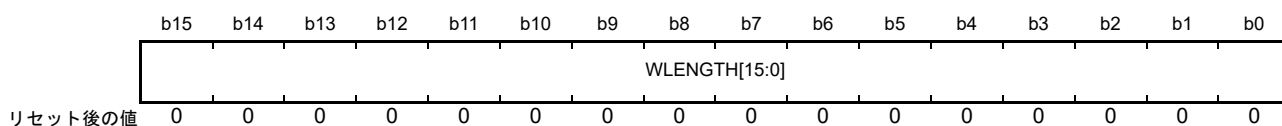
WINDEX[15:0] ビット (インデックスビット)

USB リクエスト wIndex の値を格納します。

- ホストコントローラ機能を選択時
送信する SETUP トランザクションの USB リクエスト wIndex の値を設定してください。
DCPCTR.SUREQ ビットが“1”の状態では WINDEX[15:0] ビットの書き換えは行わないでください
- ファンクションコントローラ選択時
SETUP トランザクションで受信した USB リクエスト wIndex の値を表示します
WINDEX[15:0] ビットへの書き込みは無効です。

32.2.22 USB リクエストレングスレジスタ (USBLENG)

アドレス 000A 005Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	WLENGTH[15:0]	レングスビット	USB リクエスト wLength の値	R/W (注1)

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBLENG レジスタはコントロール転送のセットアップリクエストを格納するためのレジスタです。

USBLENG レジスタは、ファンクションコントローラ機能選択時、受信した wLength の値が格納されます。ホストコントローラ機能選択時、送信する wLength の値を設定します。

USBLENG レジスタは、バスリセットで初期化されます。

WLENGTH[15:0] ビット (レングスビット)

USB リクエスト wLength の値を格納します。

- ホストコントローラ機能を選択時
送信する SETUP トランザクションの USB リクエスト wLength の値を設定してください。
DCPCTR.SUREQ ビットが“1”の状態ではビットの書き換えは行わないでください。
- ファンクションコントローラ選択時
SETUP トランザクションで受信した USB リクエスト wLength の値を表示します。WLENGTH [15:0] ビットへの書き込みは無効です。

32.2.23 DCP コンフィギュレーションレジスタ (DCPCFG)

アドレス 000A 005Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SHTNA K	—	—	DIR	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DIR	転送方向設定ビット(注1)	0: データ受信方向 1: データ送信方向	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット(注1)	0: トランスファ終了時にパイプ継続 1: トランスファ終了時にパイプ禁止	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 設定の変更は、DCPCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。DCPのDCPCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、DCPCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

DIR ビット (転送方向設定ビット)

ホストコントローラ機能選択時、コントロール転送のデータステージ、ステータスステージの転送方向を設定します。

ファンクションコントローラ機能選択時には、DIR ビットを“0”にしてください。

SHTNAK ビット (トランスファ終了時のパイプ禁止ビット)

コントロール転送が受信方向の場合に、トランスファ終了時に DCPCTR.PID[1:0] ビットを“00b” (NAK) に変更するかどうかを指定します。

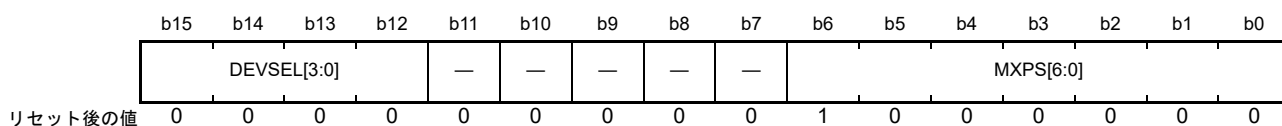
SHTNAK ビットは、受信方向である場合に有効なビットです。

SHTNAK ビットを“1”にしている場合、USB は、トランスファの終了を判定したときに DCP の DCPCTR.PID[1:0] ビットを“00b” (NAK) に変更します。USB は、以下条件が満たされたときにトランスファ終了と判定します。

- ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき

32.2.24 DCP マックスパケットサイズレジスタ (DCPMAXP)

アドレス 000A 005Eh



ビット	シンボル	ビット名	機能	R/W
b6-b0	MXPS[6:0]	マックスパケットサイズビット (注1)	DCPの最大データペイロード（マックスパケットサイズ） 設定 b6 b0 0001000 : 8バイト 0010000 : 16バイト 0011000 : 24バイト 0100000 : 32バイト 0101000 : 40バイト 0110000 : 48バイト 0111000 : 56バイト 1000000 : 64バイト 1001000 : 72バイト 1010000 : 80バイト 1011000 : 88バイト 1100000 : 96バイト 1101000 : 104バイト 1110000 : 112バイト 1111000 : 120バイト 上記以外は設定しないでください	R/W
b11-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	DEVSEL[3:0]	デバイス選択ビット(注2)	b15 b12 0000 : アドレス0000 0001 : アドレス0001 0010 : アドレス0010 0011 : アドレス0011 0100 : アドレス0100 0101 : アドレス0101 上記以外は設定しないでください	R/W

注1. MXPS[6:0]ビットの設定の変更は、DCPCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。DCPのDCPCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、DCPCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。またMXPS[6:0]ビットの設定変更後には、ポート選択レジスタのCURPIPE[3:0]ビットへDCPを設定後、ポートコントロールレジスタのBCLRビットを“1”にしてバッファクリア処理を実施してください。

注2. DEVSEL[3:0]ビットの設定の変更は、DCPCTR.PID[1:0] = 00b (NAK)の状態およびDCPCTR.SUREQビットが“0”の期間に実施してください。DCPのDCPCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、DCPCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

MXPS[6:0] ビット（マックスパケットサイズビット）

DCPの最大データペイロード（マックスパケットサイズ）をMXPS[6:0]ビットに設定してください。初期値は、40h (64バイト)です。

MXPS[6:0]ビットの設定は、USB規格2.0に準拠した値を設定してください。

MXPS[6:0]ビットが“0”の状態ではFIFOバッファへの書き込み、またはPID[1:0] = 01b (BUF)の設定は行わないでください。

DEVSEL[3:0] ビット (デバイス選択ビット)

ホストコントローラ機能選択時、コントロール転送の通信相手である周辺デバイスのアドレスを指定します。

DEVSEL[3:0] ビットの設定値に対応する DEVADDn (n = 0 ~ 5) レジスタの設定を行ったあとで、DEVSEL[3:0] ビットを設定してください。例えば、DEVSEL[3:0] ビットを“0010b”にする場合、DEVADD2 レジスタにアドレスの設定を行ってください。

ファンクションコントローラ機能選択時は、DEVSEL[3:0] ビットの値を“0000b”にしてください。

32.2.25 DCP コントロールレジスタ (DCPCTR)

アドレス 000A 0060h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	SUREQ	—	—	SUREQ CLR	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0 : NAK応答 0 1 : BUF応答 (バッファ状態に従う) 1 0 : STALL応答 1 1 : STALL応答	R/W
b2	CCPL	コントロール転送終了許可ビット	0 : コントロール転送終了許可しない 1 : コントロール転送終了許可	R/W
b4-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジーフラグ	0 : DCPはトランザクションで未使用 1 : DCPはトランザクションで使用	R
b6	SQMON	シーケンスグループビットモニタフラグ	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンスグループビットセットビット (注2)	0 : 書き込みは無効 1 : DATA1指定	R/W (注1)
b8	SQCLR	シーケンスグループビットクリアビット (注2)	0 : 書き込みは無効 1 : DATA0指定	R/W (注1)
b10-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	SUREQCLR	SUREQビットクリアビット	0 : 書き込みは無効 1 : SUREQビットの“0”クリア実行	R/W
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	SUREQ	SETUPトークン送出ビット	0 : 書き込みは無効 1 : セットアップパケット送出	R/W
b15	BSTS	バッファステータスフラグ	0 : バッファアクセス不可能 1 : バッファアクセス可能	R

注1. 読むと“0”が読めます。

注2. SQSETビットおよびSQCLRビットへの“1”書き込みは、PID[1:0] = 00b (NAK)の状態のときに実施してください。DCPのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PID[1:0] ビット (応答 PID ビット)

PID[1:0] ビットでコントロール転送における USB の応答を制御します。

(1) ホストコントローラ機能選択時

以下の手順でPID[1:0] ビットを“00b” (NAK) から“01b” (BUF) に変更してください。

- 送信方向設定時

DVSTCTR0.UACT ビットが“1”かつPID[1:0] = 00b (NAK) の状態でFIFOバッファに送信データを書き込み完了し、“01b” (BUF 応答) を書いてください。PID[1:0] = 01b (BUF) の書き込み後、USB は OUT トランザクションを実行します。

- 受信方向設定時

DVSTCTR0.UACT ビットが“1”かつPID[1:0] = 00b (NAK) の状態でFIFOバッファが空の状態であることを確認し (空の状態にし)、PID[1:0] = 01b (BUF) を書き込んでください。PID[1:0] = 01b (BUF) の書き込み後、USB は IN トランザクションを実行します。

以下の場合に、USB がPID[1:0] ビットの値を変更します。

- ソフトウェアでPID[1:0] ビットに“01b” (BUF) を設定しているときに、USB がMaxPacketSizeを超えるデータを受信した場合、USB はPID[1:0] = 11b (STALL) を表示します。
- CRC エラーなどの受信エラーを3回連続で検出した場合には、USB はPID[1:0] = 00b (NAK) を表示します。
- STALL ハンドシェイクを受信した場合、USB はPID[1:0] = 11b (STALL) を表示します。

(2) ファンクションコントローラ機能選択時

以下の場合に、USB がPID[1:0] ビットの値を変更します。

- USB がSETUP パケットを受信したときに、USB はPID[1:0] ビットをPID[1:0] = 00b (NAK) に変更します。このとき、USB はINTSTS0.VALID フラグを“1”にし、ソフトウェアでVALID フラグを“0”にするまでは、ソフトウェアでPID[1:0] ビットを変更できません。
- ソフトウェアでPID[1:0] ビットに“01b” (BUF) を設定しているときに、USB がMaxPacketSizeを超えるデータを受信した場合、USB はPID[1:0] = 11b (STALL) を表示します。
- USB がコントロール転送シーケンスエラーを検出した場合、PID[1:0] = 1xb (STALL) を表示します。
- USB がUSB バスリセットを検出した場合、PID[1:0] = 00b (NAK) を表示します。

SET_ADDRESS リクエスト処理 (自動処理) 時には、USB はPID[1:0] ビットの設定値を参照しません。PID[1:0] ビットはUSB バスリセットで初期化されます。

CCPL ビット (コントロール転送終了許可ビット)

ファンクションコントローラ機能選択時に、CCPL ビットを“1”にすることによりコントロール転送のステータスステージの終了許可を設定します。

対応するPID[1:0] ビットが“01b” (BUF) のとき、ソフトウェアでCCPL ビットを“1”にすると、USBはコントロール転送のステータスステージを完了させます。

コントロールリード転送時ではUSBホストからのOUTトランザクションに対してACKハンドシェイクを送信し、コントロールライトおよびノーデータコントロール転送時ではUSBホストからのINトランザクションに対してZero-Lengthパケットを送信します。ただし、SET_ADDRESSリクエスト検出時は、CCPLビットの設定値に関係なくUSBはSETUPステージからステータスステージ完了まで自動応答を行います。

新たなSETUPパケットを受信したときに、USBはCCPLビットを“1”から“0”に変更します。

INTSTS0.VALIDフラグが“1”のとき、ソフトウェアでCCPLビットへの“1”書き込みを行うことができません。

CCPLビットはUSBバスリセットで初期化されます。

ホストコントローラ機能選択時には、CCPLビットへは“0”を書き込んでください。

PBUSY フラグ (パイプビジーフラグ)

DCPがPID[1:0] ビットを“01b” (BUF) から“00b” (NAK) に変更した場合に、DCPのトランザクションで使用されなくなったかを表示します。

USBは、当該パイプのUSBトランザクションを開始したときにPBUSYフラグを“0”から“1”に変更します。ひとつのトランザクションが終了したときにPBUSYフラグを“1”から“0”に変更します。

ソフトウェアでPID[1:0]=00b (NAK) を設定した後、PBUSYフラグを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「32.3.4.1 パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON フラグ (シーケンストグルビットモニタフラグ)

DCPの転送において、次のトランザクションのシーケンストグルビット値が表示されます。

トランザクションが正常処理するとUSBはSQMONフラグをトグルさせます。ただし、受信方向転送時のデータPID不一致発生時には、SQMONフラグをトグルさせません。

ファンクションコントローラ機能選択時、SETUPパケット正常受信時に、USBはSQMONフラグを“1” (期待値をDATA1に設定) にします。

また、ファンクションコントローラ機能選択時、USBはステータスステージのIN/OUTトランザクションではSQMONフラグを参照しません。また正常終了してもトグルさせません。

SQSET ビット (シーケンストグルビットセットビット)

DCPの転送において、次のトランザクションのシーケンストグルビット値をDATA1に設定することができます。

SQCLRビットとSQSETビットを同時に“1”にしないでください。

SQCLR ビット (シーケンストグルビットクリアビット)

DCPの転送において、次のトランザクションのシーケンストグルビット値をDATA0に設定することができます。SQCLRビットは“0”になります。

SQCLRビットとSQSETビットを同時に“1”にしないでください。

SUREQCLR ビット (SUREQ ビットクリアビット)

ホストコントローラ機能選択時に、SUREQCLR ビットを“1”にすることによって SUREQ ビットをクリアすることができます。SUREQCLR ビットは“0”になります。

SETUP トランザクションにおいて、SUREQ ビットが“1”のまま通信が停止したときに、ソフトウェアで SUREQCLR ビットを“1”にしてください。正常な SETUP トランザクションでは、トランザクション終了時に USB が自動的に SUREQ ビットを“0”にしますので、ソフトウェアによるクリア処理は不要です。

SUREQCLR ビットによる SUREQ ビットの制御は、DVSTCTR0.UACT ビットの“0”による通信停止時、またはデータ検出時で転送を行っていないことが確実なときに行ってください。

ファンクションコントローラ機能選択時、SUREQCLR ビットへは“0”を書いてください。

SUREQ ビット (SETUP トークン送出ビット)

ホストコントローラ機能選択時、SUREQ ビットを“1”にすることにより、セットアップパケットを送信します。

SETUP トランザクション処理終了後、USB は SACK 割り込み、もしくは SIGN 割り込みのどちらかを発生させ、SUREQ ビットを“0”にします。

また、SUREQCLR ビットをソフトウェアで“1”にすることにより、USB は SUREQ ビットを“0”にします。

DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタに SETUP トランザクションで送信したい USB リクエストを設定した後で、SUREQ ビットを“1”にしてください。SUREQ ビットを“1”にする前に、DCP の PID[1:0] ビットを“00b” (NAK) に設定していることを確認してください。また、SUREQ ビットを“1”にした後、SETUP トランザクションが終了するまで (SUREQ ビットが“1”) の期間は DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。

SETUP トークンを出すときのみ SUREQ ビットを“1”にしてください。その他のときには、“0”を書いてください。

ファンクションコントローラ機能選択時、SUREQ ビットへは“0”を書いてください。

BSTS フラグ (バッファステータスフラグ)

DCP FIFO バッファへのアクセス可否ステータスが表示されます。

BSTS フラグの意味は、ポート選択レジスタの ISEL ビットの設定値により以下のように異なります。

- ISEL ビットが“0”のとき、受信データの読み出しが可能かどうかを表示
- ISEL ビットが“1”のとき、送信データの書き込みが可能かどうかを表示

32.2.26 パイプウィンドウ選択レジスタ (PIPESEL)

アドレス 000A 0064h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PIPESEL[3:0]	パイプウィンドウ選択ビット	b3 b0 0000: 未選択 0001: パイプ1 0010: パイプ2 0011: パイプ3 0100: パイプ4 0101: パイプ5 0110: パイプ6 0111: パイプ7 1000: パイプ8 1001: パイプ9 上記以外は設定しないでください	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

パイプ1～9の設定は、PIPESEL、PIPECFG、PIPEMAXP、PIPEPERI、PIPEnCTR、PIPEnTRE、およびPIPEnTRNレジスタで行ってください。

PIPESELレジスタにて使用するパイプを設定した後、PIPECFG、PIPEMAXP、およびPIPEPERIレジスタに、各パイプの機能設定を行います。なお、PIPEnCTR、PIPEnTRE、およびPIPEnTRNレジスタは、PIPESELレジスタによるパイプ選択とは無関係に設定可能です。

PIPESEL[3:0] ビット (パイプウィンドウ選択ビット)

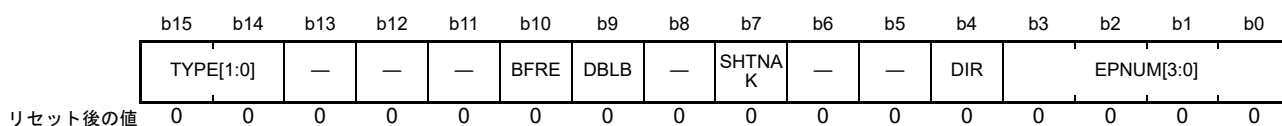
書き込み/読み出しを対象とするPIPECFG、PIPEMAXP、PIPEPERIレジスタに対応するパイプ番号を指定します。

PIPESEL[3:0]ビットで指定したパイプ番号に対応するPIPECFG、PIPEMAXP、PIPEPERIレジスタの読み出し/書き込みができます。

PIPESEL[3:0]ビットを“0000b”にしたときは、PIPECFG、PIPEMAXPおよびPIPEPERIレジスタの各ビットは、すべて“0”が読めます。書き込みは無効です。

32.2.27 パイプコンフィギュレーションレジスタ (PIPECFG)

アドレス 000A 0068h



ビット	シンボル	ビット名	機能	R/W
b3-b0	EPNUM[3:0]	エンドポイント番号ビット (注1)	選択パイプのエンドポイント番号を指定します。0000bの設定は、未使用パイプを意味します	R/W
b4	DIR	転送方向指定ビット (注2、注3)	0: 受信方向 1: 送信方向	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット (注1)	0: トランスファ終了時にパイプの割り付けを継続 1: トランスファ終了時にパイプの割り付けを禁止	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	DBLB	ダブルバッファモードビット (注2、注3)	0: シングルバッファ 1: ダブルバッファ	R/W
b10	BFRE	BRDY 割り込み動作指定ビット (注2、注3)	0: データ送受信でBRDY割り込み 1: データ読み出し完了時にBRDY割り込み	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	TYPE[1:0]	転送タイプビット (注1)	<ul style="list-style-type: none"> • パイプ1、2の場合 b15 b14 0 0: パイプを不使用 0 1: バルク転送 1 0: 設定しないでください 1 1: アイソクロナス転送 • パイプ3~5の場合 b15 b14 0 0: パイプを不使用 0 1: バルク転送 1 0: 設定しないでください 1 1: 設定しないでください • パイプ6~9の場合 b15 b14 0 0: パイプ不使用 0 1: 設定しないでください 1 0: インタラプト転送 1 1: 設定しないでください 	R/W

- 注1. TYPE[1:0]ビット、SHTNAKビットおよびEPNUM[3:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSY = 0を確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。
- 注2. BFREビット、DBLBビットおよびDIRビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。
- 注3. 選択パイプを使用したUSB通信を行った後、BFREビット、DBLBビットおよびDIRビットの設定を変更する場合には、注2.の注意事項の状態に加え、ソフトウェアでPIPEnCTR.ACLRMビットに“1”、“0”を連続して書き込み、選択パイプに割り付けられたFIFOバッファのクリアを実行してください。

PIPECFG レジスタは、パイプ 1～9 に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号の指定、またシングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をするレジスタです。

EPNUM[3:0] ビット (エンドポイント番号ビット)

選択パイプのエンドポイント番号を指定します。

“0000b”の設定は、未使用パイプを意味します。

DIR ビットと EPNUM[3:0] ビットの設定の組み合わせが他のパイプの設定と重複しないように設定してください (EPNUM[3:0] ビットが “0000b” の設定は重複可能です)。

DIR ビット (転送方向指定ビット)

選択パイプの転送方向を指定します。

ソフトウェアで DIR ビットを “0” にしている場合、USB は選択パイプを受信方向に、DIR ビットを “1” にしている場合、USB は選択パイプを送信方向に使用します。

SHTNAK ビット (トランスファ終了時のパイプ禁止ビット)

選択パイプが受信方向の場合に、トランスファ終了時に PID[1:0] ビットを “00b” (NAK) に変更するかどうかを指定します。

SHTNAK ビットは、選択パイプがパイプ 1～パイプ 5 であり、かつ、受信方向である場合に有効なビットです。

受信方向パイプに対してソフトウェアで SHTNAK ビットを “1” にしている場合、USB は、選択パイプに対しトランスファの終了を判定したときに選択パイプに対応する PIPEnCTR.PID[1:0] ビットを “00b” (NAK) に変更します。USB は、以下条件が満たされたときにトランスファ終了と判定します。

- ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき
- トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき

DBLB ビット (ダブルバッファモードビット)

選択パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。

DBLB ビットはパイプ 1～5 選択時に有効です。

BFRE ビット (BRDY 割り込み動作指定ビット)

USB から CPU への選択パイプに関する BRDY 割り込みの発行タイミングを指定します。

ソフトウェアで BFRE ビットを “1” にし、かつ選択パイプを受信方向で使用している場合、USB は、トランスファの終了を検出し、そのパケットを読み出し終えたときに BRDY 割り込みを発行します。

この設定で BRDY 割り込みが発生したときには、ソフトウェアでポートコントロールレジスタの BCLR ビットに “1” を書く必要があります。BCLR ビットに “1” を書くまでは選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。

ソフトウェアで BFRE ビットを “1” にし、かつ、選択パイプを送信方向で使用している場合、USB は BRDY 割り込みを発生させません。

詳細は、「32.3.3.1 BRDY 割り込み」を参照してください。

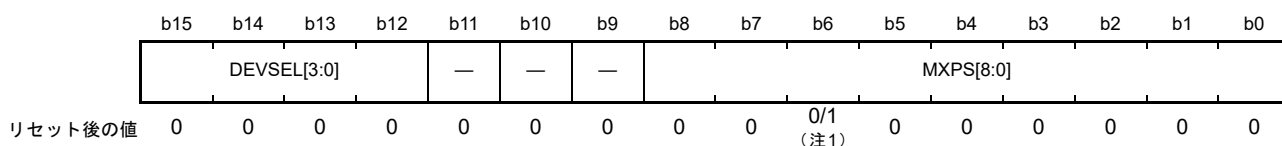
TYPE[1:0] ビット (転送タイプビット)

PIPESEL.PIPESEL[3:0] ビットに指定したパイプ (選択パイプ) の転送タイプを指定します。

選択パイプを PID[1:0] = 01b (BUF) に設定する (選択したパイプを使用した USB 通信を開始する) 前に、TYPE[1:0] ビットを 00b 以外の値に設定してください。

32.2.28 パイプマックスパケットサイズレジスタ (PIPEMAXP)

アドレス 000A 006Ch



ビット	シンボル	ビット名	機能	R/W
b8-b0	MXPS[8:0]	MAXパケットサイズビット(注2)	<ul style="list-style-type: none"> パイプ1、2: 1バイト(001h)～256バイト(100h) パイプ3～5: 8バイト(008h)、16バイト(010h)、 32バイト(020h)、64バイト(040h) ([8:7]ビットおよび[2:0]のビットはありません) パイプ6～9: 1バイト(001h)～64バイト(040h) ([8:7]ビットのビットはありません) 	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	DEVSEL[3:0]	デバイス選択ビット(注3)	b15 b12 0 0 0 0 : アドレス0000 0 0 0 1 : アドレス0001 0 0 1 0 : アドレス0010 0 0 1 1 : アドレス0011 0 1 0 0 : アドレス0100 0 1 0 1 : アドレス0101 上記以外は設定しないでください	R/W

注1. PIPESEL.PIPESEL[3:0]ビットでパイプを選択していないとき“0000h”、選択しているとき“0040h”です。

注2. MXPS[8:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

注3. DEVSEL[3:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PIPEMAXP レジスタは、パイプ1～9に対して、マックスパケットサイズを指定するレジスタです。

MXPS[8:0] ビット (MAX パケットサイズビット)

選択パイプの最大データペイロード (マックスパケットサイズ) を指定します。

MXPS[8:0] ビットの設定は、転送タイプごとに USB 規格 2.0 に準拠した値を設定してください。ただし、パイプ1、2の最大値は“256”です。MXPS[8:0] ビットが“000h”のとき、FIFO バッファへの書き込み、または PIPEnCTR.PID[1:0] ビットを“01b” (BUF) にしないでください。

DEVSEL[3:0] ビット (デバイス選択ビット)

ホストコントローラ機能選択時に、通信相手の周辺デバイスの USB デバイスアドレスを指定します。

DEVSEL[3:0] ビットの設定値に対応する DEVADDn (n = 0 ~ 5) レジスタの設定を行ったあとで、DEVSEL[3:0] ビットを設定してください。例えば、DEVSEL[3:0] ビットを“0010b”にする場合、DEVADD2 アドレスの設定を行ってください。

ファンクションコントローラ機能を選択したときは、DEVSEL[3:0] ビットの値を“0000b”にしてください。

32.2.29 パイプ周期制御レジスタ (PIPEPERI)

アドレス 000A 006Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	IITV[2:0]	インターバルエラー検出間隔ビット(注1)	選択パイプのインターバルエラー検出間隔をフレームタイミングの2のn乗で指定してください。	R/W
b11-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	IFIS	アイソクロナスINバッファフラッシュビット	0: バッファフラッシュしない 1: バッファフラッシュする	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. IITV[2:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PIPEPERI レジスタはパイプ1～9に対して、アイソクロナスIN転送時のインターバルエラーによってバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をするレジスタです。

IITV[2:0] ビット (インターバルエラー検出間隔ビット)

IITV[2:0] ビットを設定し、USB通信を行った後で別の値に変更する場合には、PID[1:0] = 00b (NAK) 設定後 PIPEnCTR.ACLRM ビットを“1”にして、インターバルタイムの初期化を行ってください。

パイプ3～5に対しては、IITV[2:0] ビットは存在しません。パイプ3～5に対応するIITV[2:0] ビットの位置には“000b”を設定してください。

IFIS ビット (アイソクロナスIN バッファフラッシュビット)

PIPESEL.PIPESEL[3:0] ビットに指定したパイプ (選択パイプ) がアイソクロナスIN転送の場合に、バッファフラッシュ有無を指定します。

ファンクションコントローラ機能選択時に、選択パイプの転送タイプがアイソクロナス、かつ転送方向がIN転送の場合において、IITV[2:0] ビットに設定したインターバルごとのフレーム中にUSBホストからINトークンをUSBが受信しなかった場合に、USBが自動的にFIFOバッファをクリアする機能です。

ダブルバッファ設定時 (PIPECFG.DBLLB ビットを“1”にしたとき) は、USBがクリアするのは古い方の1面分データのみです。

FIFOバッファクリアのタイミングは、INトークンを受信するはずのフレーム直後のSOFパケット受信時です。またSOFパケットが破損した場合でも内部補完機能によりSOFを受信すべきタイミングにクリアを行います。

ホストコントローラ機能選択時には、IITV[2:0] ビットを“000b”にしてください。

選択パイプの転送タイプがアイソクロナス以外の場合は、IITV[2:0] ビットを“000b”にしてください。

32.2.30 パイプ n コントロールレジスタ (PIPEnCTR) (n = 1 ~ 9)

- PIPEnCTR (n = 1 ~ 5)

アドレス PIPE1CTR 000A 0070h, PIPE2CTR 000A 0072h, PIPE3CTR 000A 0074h, PIPE4CTR 000A 0076h,
PIPE5CTR 000A 0078h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0 : NAK 応答 0 1 : BUF 応答 (バッファ状態に従う) 1 0 : STALL 応答 1 1 : STALL 応答	R/W
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジーフラグ	0 : 当該パイプはトランザクションで未使用 1 : 当該パイプはトランザクションで使用	R
b6	SQMON	シーケンスストールビット確認フラグ	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンスストールビットセットビット (注2)	0 : 書き込み無効 1 : DATA1 指定	R/W (注1)
b8	SQCLR	シーケンスストールビットクリアビット (注2)	0 : 書き込み無効 1 : DATA0 指定	R/W (注1)
b9	ACLRM	自動バッファクリアモードビット (注3)	0 : 禁止 1 : 許可 (全バッファ初期化)	R/W
b10	ATREPM	自動応答モードビット (注2)	0 : 自動応答禁止 1 : 自動応答許可	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	INBUFM	送信バッファモニタフラグ	0 : バッファメモリに送信可能データなし 1 : バッファメモリに送信可能データあり	R
b15	BSTS	バッファステータスフラグ	0 : CPUからのバッファアクセス不可能 1 : CPUからのバッファアクセス可能	R

注1. 読むと“0”が読めます。

注2. ATREPMビットの設定の変更およびSQCLRビットまたはSQSETビットへの“1”書き込みは、PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“01b” (NAK)へ変更してから設定する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“01b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

注3. ACLRMビットの設定の変更は、PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“01b” (NAK)へ変更してから設定変更する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“01b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PIPEnCTR レジスタの設定は、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

PID[1:0] ビット (応答 PID ビット)

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0] ビットの初期値は“00b”(NAK)です。当該パイプでUSB転送を行う場合にはPID[1:0] ビットを“01b”(BUF)に変更してください。PID[1:0] ビット設定値ごとの基本動作(通信パケットにエラーがない場合の動作)は表 32.6 および表 32.7 のとおりです。

当該パイプがUSB通信中であるときに、ソフトウェアでPID[1:0] ビットを“01b”(BUF)から“00b”(NAK)に変更する場合、“00b”(NAK)を書いた後、実際に当該パイプのUSB転送がNAK状態に遷移したことを確認するためにPBUSYフラグが“1”であることを確認してください。

以下の場合にはUSBがPID[1:0] ビットの値を変更します。

- 当該パイプが受信方向の場合、かつソフトウェアで選択パイプのPIPECFG.SHTNAK ビットを“1”にしている場合、USBがトランスファ終了を認識したときに、PID[1:0] = 00b (NAK)を表示します。
- 当該パイプに対し、MaxPacketSizeを超えるペイロードのデータパケットを受信した場合、USBはPID[1:0] = 11b (STALL)を表示します。
- ファンクションコントローラ機能選択時に、USBバスリセットを検出した場合、USBはPID[1:0] = 00b (NAK)を表示します。
- ホストコントローラ機能選択時に、CRCエラーなどの受信エラーを3回連続で検出した場合には、USBはPID[1:0] = 00b (NAK)を表示します。
- ホストコントローラ機能選択時に、STALLハンドシェイクを受信した場合、USBはPID[1:0] = 11b (STALL)を表示します。

PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、“10b”を書いてください。
- BUF (01b) 状態から STALL 状態にする場合には、“11b”を書いてください。
- STALL (11b) 状態から NAK 状態にする場合には、一度“10b”を書いてから“00b”を書いてください。
- STALL (11b) 状態から BUF 状態にする場合には、一度NAK状態にしてから“01b”を書いてください。
- STALL (10b) 状態から BUF 状態にする場合には、一度“00b”を書いてから“01b”を書いてください。

PBUSY フラグ (パイプビジーフラグ)

当該パイプを現在トランザクションで使用しているかが表示されます。

USBは、当該パイプのUSBトランザクションを開始したときにPBUSYフラグを“0”から“1”に変更します。ひとつのトランザクションが終了したときにPBUSYフラグを“1”から“0”に変更します。

ソフトウェアでPID[1:0] = 00b (NAK)を設定した後、PBUSYフラグを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「32.3.4.1 パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON フラグ (シーケンストグルビット確認フラグ)

当該パイプの次回トランザクションにおけるシーケンストグルビット値が表示されます。

当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理するとUSBはSQMONフラグをトグルさせます。ただし、受信方向転送時のデータPID不一致発生時には、SQMONフラグをトグルさせません。

SQSET ビット (シーケンストグルビットセットビット)

当該パイプの次回トランザクションにおけるシーケンストグルビット値をDATA1にセットするときに“1”を指定します。

ソフトウェアで SQSET ビットを“1”にすると USB は当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。USB は、SQSET ビットを“0”にします。

SQCLR ビット (シーケンストグルビットクリアビット)

当該パイプの次回トランザクションにおけるシーケンストグルビット値を DATA0 にクリアするときに“1”を指定します。

ソフトウェアで SQCLR ビットを“1”にすると USB は当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。USB は、SQCLR ビットを“0”にします。

ACLRM ビット (自動バッファクリアモードビット)

当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。

当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに“1”、“0”を連続して書いてください。

ACLRM ビットに“1”、“0”を連続して設定した場合に USB がクリアする内容と、当該項目のクリアが必要なケースについて表 32.8 に示します。

ATREPM ビット (自動応答モードビット)

当該パイプの自動応答禁止 / 許可を指定します。

ファンクションコントローラ機能選択時に、当該パイプの転送タイプをバルクに設定している場合、ATREPM ビットを“1”にすることが可能です。

ATREPM ビットを“1”にした場合、USB ホストからのトークンに対し USB は以下のように応答します。

(1) 当該パイプが Bulk-IN 転送 (PIPECFG.TYPE[1:0] ビットに“01b”かつ PIPECFG.DIR ビットに“1”を設定) の場合

ATREPM ビットが“1”かつ PID[1:0] = 01b (BUF) にしている場合、IN トークンに対して USB は Zero-Length パケットを送信します。

USB ホストからの ACK 受信のたびに (1 トランザクションは IN トークン受信 → Zero Length パケット送信 → ACK 受信)、USB はシーケンストグルビット (データ PID) の更新 (トグル) を行います。

BRDY 割り込み、BEMP 割り込みは発生させません。

(2) 当該パイプが Bulk-OUT 転送 (PIPECFG.TYPE[1:0] ビットに“01b”かつ PIPECFG.DIR ビットに“0”を設定) の場合

ATREPM ビットが“1”かつ PID[1:0] = 01b (BUF) にしている場合、OUT トークンに対して USB は NAK 応答を行い、NRDY 割り込みを発生させます。

ATREPM ビットを“1”にして USB 通信を行う場合、FIFO バッファは空の状態を設定を行ってください。ATREPM ビットを“1”にして USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。

当該パイプの転送タイプがアイソクロナス転送の場合、ATREPM ビットは“0”にしてください。

ホストコントローラ機能選択時には、ATREPM ビットは“0”を書いてください。

INBUFM フラグ (送信バッファモニタフラグ)

当該パイプが送信方向の場合に、当該パイプの FIFO バッファステータスが表示されます。

当該パイプを送信方向 (PIPECFG.DIR ビットが“1”) に設定している場合に、CPU または DMAC/DTC が少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、USB は INBUFM フラグを“1”にします。

書き込みが完了している面の FIFO バッファ上のデータを USB がすべて送信完了したときに、USB は INBUFM フラグを“0”にします。ダブルバッファ使用時 (PIPECFG.DBLB ビットが“1”) には、USB が 2 面分のデータを送信完了しかつ CPU または DMAC/DTC が 1 面分のデータ書き込みを完了していないときに、

INBUFM フラグを“0”にします。

当該パイプを受信方向 (PIPECFG.DIR ビットが“0”) に設定している場合には、INBUFM フラグは BSTS フラグと同じ値を示します。

BSTS フラグ (バッファステータスフラグ)

当該パイプの FIFO バッファステータスが表示されます。

BSTS フラグの意味は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により表 32.9 に示すように異なります。

表 32.6 PID[1:0]ビットによるUSBの動作一覧 (ホストコントローラ機能選択時)

PID[1:0]ビット	転送タイプ	転送方向 (DIRビット)	USBの動作
“00b” (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しない
“01b” (BUF)	バルク または インタラプト	設定値に依存しない	DVSTCTR0.UACT ビットが“1”で、かつ当該パイプに対応する FIFO バッファが送受信可能な状態ならばトークンを発行する DVSTCTR0.UACT ビットが“0”である、または送受信可能でなければトークンを発行しない
	アイソクロナス	設定値に依存しない	当該パイプに対応する FIFO バッファの状態にかかわらずトークンを発行する
“10b” (STALL) または “11b” (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しない

表 32.7 PID[1:0]ビットによるUSBの動作一覧 (ファンクションコントローラ機能選択時)

PID[1:0]ビット	転送タイプ	転送方向 (DIRビット)	USBの動作
“00b” (NAK)	バルク、または インタラプト	設定値に依存しない	USBホストからのトークンにNAK応答を行う
	アイソクロナス	設定値に依存しない	USBホストからのトークンに無応答を行う
“01b” (BUF)	バルク	受信方向 (DIRビットが“0”)	USBホストからのOUTトークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	インタラプト	受信方向 (DIRビットが“0”)	USBホストからのOUTトークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	バルク、または インタラプト	送信方向 (DIRビットが“1”)	対応する FIFO バッファが送信可能な状態ならばUSBホストからのトークンに対しデータを送信する。送信可能でなければNAK応答を行う
	アイソクロナス	受信方向 (DIRビットが“0”)	USBホストからのOUTトークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信する。受信可能な状態でなければデータを破棄する
送信方向 (DIRビットが“1”)		対応する FIFO バッファが送信可能な状態ならばUSBホストからのトークンに対しデータを送信する。送信可能でなければZero-Lengthパケットを送信する	
“10b” (STALL) または “11b” (STALL)	バルク、または インタラプト	設定値に依存しない	USBホストからのトークンにSTALL応答を行う
	アイソクロナス	設定値に依存しない	USBホストからのトークンに無応答を行う

表 32.8 ACLRM = 1 設定時にUSBがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	当該パイプに割り付けたFIFOバッファのすべての内容（ダブルバッファ設定時はFIFOバッファを2面ともクリア）	パイプの初期化をしたい場合
2	当該パイプの転送タイプがアイソクロナス転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	PIPECFG.BFREビットに関する内部フラグ	PIPECFG.BFREビットの設定値変更時
4	FIFOバッファトグル制御	PIPECFG.DBLBビットの設定値変更時
5	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

表 32.9 BSTSフラグの動作

DIR ビット	BFRE ビット	DCLRM ビット	BSTSフラグの機能
0	0	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”になり、データの読み出しが完了したときに“0”になります
		1	この組み合わせは設定しないでください
	1	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”になり、データの読み出しが完了した後でソフトウェアでポートコントロールレジスタのBCLRビットに“1”を書いたときに“0”になります
		1	FIFOバッファからの受信データの読み出しが可能になったときに“1”になり、データの読み出しが完了したときに“0”になります
1	0	0	FIFOバッファへの送信データの書き込みが可能になったときに“1”になり、データの書き込みが完了したときに“0”になります
		1	この組み合わせは設定しないでください
	1	0	この組み合わせは設定しないでください
		1	この組み合わせは設定しないでください

- PIPEnCTR (n = 6 ~ 9)

アドレス PIPE6CTR 000A 007Ah, PIPE7CTR 000A 007Ch, PIPE8CTR 000A 007Eh, PIPE9CTR 000A 0080h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0 : NAK 応答 0 1 : BUF 応答 (バッファ状態に従う) 1 0 : STALL 応答 1 1 : STALL 応答	R/W
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジーフラグ	0 : 当該パイプをUSBバスにて未使用 1 : 当該パイプはUSBバスにて使用	R
b6	SQMON	シーケンスグループビット確認フラグ	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンスグループビットセットビット(注2)	0 : 無効 1 : DATA1 指定	R/W (注1)
b8	SQCLR	シーケンスグループビットクリアビット(注2)	0 : 無効 1 : DATA0 指定	R/W (注1)
b9	ACLRM	自動バッファクリアモードビット(注2、注3)	0 : 自動バッファクリアモード禁止 1 : 自動バッファクリアモード許可 (全バッファ初期化)	R/W
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	BSTS	バッファステータスフラグ	0 : バッファアクセス不可能 1 : バッファアクセス可能	R

注1. 読むと“0”が読めます。“1”のみ書けます。

注2. SQCLRビットまたはSQSETビットへの“1”書き込みは、PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

注3. ACLRMビットの設定の変更は、PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PID[1:0] ビット (応答 PID ビット)

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0] ビットの初期値は“00b” (NAK) です。当該パイプで USB 転送を行う場合には PID[1:0] ビットを“01b” (BUF) に変更してください。PID[1:0] ビットの設定値ごとの基本動作 (通信パッケージにエラーがない場合の動作) は表 32.6 および表 32.7 のとおりです。

当該パイプが USB 通信中であるときに、ソフトウェアで PID[1:0] ビットを“01b” (BUF) から“00b” (NAK) に変更する場合、“00b” (NAK) を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY フラグが“1”であることを確認してください。

以下の場合には USB が PID[1:0] ビットの値を変更します。

- 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、USB は PID[1:0] = 11b (STALL) を表示します。
- ファンクションコントローラ機能選択時に、USB バスリセットを検出した場合、USB は PID[1:0] = 00b (NAK) を表示します。
- ホストコントローラ機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、USB

はPID[1:0] = 00b (NAK) を表示します。

- ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、USB はPID[1:0] = 11b (STALL) を表示します。

PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、“10b” を書いてください。
- BUF (01b) 状態から STALL 状態にする場合には、“11b” を書いてください。
- STALL (11b) 状態から NAK 状態にする場合には、一度“10b” を書いてから“00b” を書いてください。
- STALL (11b) 状態から BUF 状態にする場合には、一度 NAK 状態にしてから“01b” を書いてください。
- STALL (10b) 状態から BUF 状態にする場合には、一度“00b” を書いてから“01b” を書いてください。

PBUSY フラグ (パイプビジーフラグ)

当該パイプを現在 USB バスで使用中かどうかが表示されます。

USB は、当該パイプの USB トランザクションを開始したときに PBUSY フラグを“0”から“1”に変更します。ひとつのトランザクションが終了したときに PBUSY フラグを“1”から“0”に変更します。

ソフトウェアでPID[1:0] = 00b (NAK) を設定した後、PBUSY フラグを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

SQMON フラグ (シーケンストグルビット確認フラグ)

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。

トランザクションが正常処理すると USB は SQMON フラグをトグルさせます。ただし、受信方向転送時のデータ PID 不一致発生時には、SQMON フラグをトグルさせません。

SQSET ビット (シーケンストグルビットセットビット)

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときに“1”を指定します。

ソフトウェアで SQSET ビットを“1”にすると USB は当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。USB は、SQSET ビットを“0”にします。

SQCLR ビット (シーケンストグルビットクリアビット)

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするときに“1”を指定します。

ソフトウェアで SQCLR ビットを“1”にすると USB は当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。USB は、SQCLR ビットを“0”にします。

ACLRM ビット (自動バッファクリアモードビット)

当該パイプの自動バッファクリアモードの禁止/許可を指定します。

当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに“1”、“0”を連続して書いてください。

ACLRM ビットに“1”、“0”を連続して設定した場合に USB がクリアする内容と、当該項目のクリアが必要なケースについて表 32.10 に示します。

BSTS フラグ (バッファステータスフラグ)

当該パイプのFIFO バッファステータスが表示されます。

BSTS フラグの意味は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により表 32.9 に示すように異なります。

表32.10 ACLRMビットを“1”にしたときにUSBがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	選択パイプに割り付けたFIFOバッファのすべての内容	パイプの初期化をしたい場合
2	ホストコントローラ機能選択時、選択パイプの転送タイプがインタラプト転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定値変更時
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

32.2.31 パイプ n トランザクションカウンタインーブルレジスタ (PIPE_nTRE) (n = 1 ~ 5)

アドレス PIPE1TRE 000A 0090h, PIPE2TRE 000A 0094h, PIPE3TRE 000A 0098h, PIPE4TRE 000A 009Ch,
PIPE5TRE 000A 00A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TRCLR	トランザクションカウンタクリアビット	0: 無効 1: カレントカウンタクリア	R/W
b9	TRENB	トランザクションカウンタ許可ビット	0: トランザクションカウンタ機能無効 1: トランザクションカウンタ機能有効	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. PIPE_nTREレジスタの各ビットの変更は、PID[1:0] = 00b (NAK)時に実施してください。
対応するパイプのPIPE_nCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更したあとで各ビットの設定値を変更する場合には、PIPE_nCTR.PBUSYフラグが“0”であることを確認してから各ビットを変更してください。ただし、USBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

TRCLR ビット (トランザクションカウンタクリアビット)

当該パイプに対応するトランザクションカウンタの現在のカウンタ値をクリアし、TRCLR ビットを“0”にします。

TRENB ビット (トランザクションカウンタ許可ビット)

トランザクションカウンタ無効/有効を指定します。

受信パイプに対して、ソフトウェアでPIPE_nTRN.TRNCNT[15:0] ビットに総パケット数を設定した後でTRENB ビットを“1”にすると、USBはTRNCNT[15:0] ビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。

- PIPECFG.SHTNAK ビットが“1”のとき、TRNCNT[15:0] ビットの設定値と同数のパケット受信を終了時点で対応するパイプのPIPE_nCTR.PID[1:0] ビットを“00b” (NAK)に変更します。
- PIPECFG.BFRE ビットが“1”のとき、TRNCNT[15:0] ビットの設定値と同数のパケット受信し最後のデータを読み出し終えたときに、BRDY 割り込みをアサートします

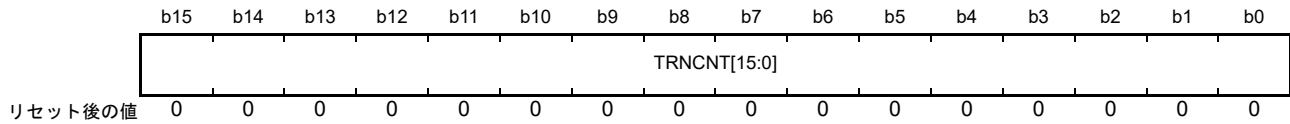
送信パイプについては、TRENB ビットを“0”にしてください。

トランザクションカウンタ機能を使用しない場合は、TRENB ビットを“0”にしてください。

トランザクションカウンタ機能を使用する場合、TRENB ビットを“1”にする前にTRNCNT[15:0] ビットの設定を行ってください。また、トランザクションカウンタの対象となる最初のパケットを受信する前にTRENB ビットを“1”にしてください。

32.2.32 パイプ n トランザクションカウンタレジスタ (PIPE_nTRN) (n = 1 ~ 5)

アドレス PIPE1TRN 000A 0092h, PIPE2TRN 000A 0096h, PIPE3TRN 000A 009Ah, PIPE4TRN 000A 009Eh,
PIPE5TRN 000A 00A2h



ビット	シンボル	ビット名	機能	R/W
b15-b0	TRNCNT[15:0]	トランザクションカウンタビット	<ul style="list-style-type: none"> レジスタ書き込み時： 当該PIPEが受信すべき総パケット数（トランザクション回数）を設定します レジスタ読み出し時： PIPE_nTRE.TRENBビットが“0”の場合は、設定したトランザクション回数が表示されます。 PIPE_nTRE.TRENBビットが“1”の場合は、カウント中のトランザクション回数が表示されます 	R/W

PIPE_nTRN レジスタは、USB バスリセットで設定値が保持されます。

TRNCNT[15:0] ビット（トランザクションカウンタビット）

USB は、受信時の状態が以下のすべてを満たしたときに TRNCNT[15:0] ビットを 1 インクリメントします。

- PIPE_nTRE.TRENB ビットが“1”である
- パケット受信時に（TRNCNT[15:0] 設定値≠現在のカウンタ値+1）である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットへの設定値と一致した

USB は、以下のいずれかの条件が満たされたときに TRNCNT[15:0] ビットの表示を“0”にします。

(1) 以下の条件がすべて満たされたとき

- PIPE_nTRE.TRENB ビットが“1”である
- パケット受信時に（TRNCNT[15:0] 設定値 = 現在のカウンタ値+1）である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットへの設定値と一致した

(2) 以下条件がすべて満たされたとき

- PIPE_nTRE.TRENB ビットが“1”である
- ショートパケットを受信した

(3) 以下の条件がすべて満たされたとき

- PIPE_nTRE.TRENB ビットが“1”である
- ソフトウェアで PIPE_nTRE.TRCLR ビットを“1”にした

送信パイプについては、TRNCNT[15:0] ビットを“0”にしてください。

トランザクションカウンタ機能を使用しない場合は、TRNCNT[15:0] ビットを“0”にしてください。

TRNCNT[15:0] ビットのトランザクション回数の設定は、PIPE_nTRE.TRENB ビットが“0”のときのみ可能です。また、トランザクション回数設定値を変更する場合には、開始（PIPE_nTRE.TRENB ビットが“1”）前に PIPE_nTRE.TRCLR ビットに“1”を書いてください（カレントカウンタ値のクリア）。

32.2.33 デバイスアドレス n コンフィギュレーションレジスタ (DEVADDn) (n = 0 ~ 5)

アドレス DEVADD0 000A 00D0h, DEVADD1 000A 00D2h, DEVADD2 000A 00D4h, DEVADD3 000A 00D6h,
DEVADD4 000A 00D8h, DEVADD5 000A 00DAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	USBSPD[1:0]	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	USBSPD[1:0]	通信対象デバイスの転送速度ビット	b7 b6 0 0 : DEVADDn レジスタ未使用 0 1 : ロースピード 1 0 : フルスピード 1 1 : 設定しないでください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DEVADDn レジスタは、パイプ 0 ~ 9 に対して、通信対象の周辺デバイスが接続されている通信速度を指定するレジスタです。

ホストコントローラ機能選択時、各パイプに対する通信を開始する前に、DEVADDn レジスタの各ビットを設定してください。

DEVADDn レジスタの各ビットの変更は、各ビットの設定を使用している有効なパイプが存在しないときに行ってください。有効なパイプとは以下両方の条件を満たしているパイプです。

- DEVSEL[3:0] ビットの設定が、DEVADDn レジスタを指定している
- 選択パイプの PID[1:0] ビットに“01b” (BUF) を設定しているとき、または選択パイプが DCP であり DCPCTR.SUREQ ビットが“1”になっている

USBSPD[1:0] ビット (通信対象デバイスの転送速度ビット)

通信対象の周辺デバイスの USB 転送速度を設定します。

ロースピードデバイスが接続されたときには、“01b” にしてしてください。フルスピードデバイスに対しては“10b” にしてしてください。

ホストコントローラ機能選択時、USB は、USBSPD[1:0] ビットの設定値を参照してパケットを生成します。

ファンクションコントローラ機能選択時、“00b” にしてしてください。

32.2.34 USB モジュール制御レジスタ (USBMC)

アドレス 000A 00CCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	VDCEN	—	—	—	—	—	—	VDDUS BE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VDDUSBE	USB 基準電源回路 ON/OFF 制御ビット	0 : USB 基準電源回路は OFF 1 : USB 基準電源回路は ON	R/W
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	VDCEN	USB レギュレータ ON/OFF 制御ビット	0 : USB レギュレータ OFF 1 : USB レギュレータ ON	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

VDDUSBE ビット (USB 基準電源回路 ON/OFF 制御ビット)

USB 基準電源回路では、バッテリーチャージ用の基準電圧を生成しています。バッテリーチャージ機能を使用するときに“1”を設定してください。

VDCEN ビット (USB レギュレータ ON/OFF 制御ビット)

USB レギュレータ回路を制御するビットです。USB レギュレータ回路を使用するときに“1”を設定してください。

32.2.35 BCコントロールレジスタ 0 (USBBCCTRL0)

アドレス 000A 00B0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PDDETSTS0	CHGDETSTS0	BATCHGE0	—	VDMSRCE0	IDPSINKE0	VDPSRCE0	IDMSINKE0	IDPSRCE0	RPDME0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPDME0	D-端子プルダウン制御ビット	0: プルダウンOFF 1: プルダウンON	R/W
b1	IDPSRCE0	D+端子IDPSRC出力制御ビット	0: 停止 1: 10uA出力	R/W
b2	IDMSINKE0	D-端子0.6V入力検知(コンパレータ&シンク)制御ビット	0: 検知OFF 1: 検知ON(コンパレータ&シンク電流ON)	R/W
b3	VDPSRCE0	D+端子VDPSRC(0.6V)出力制御ビット	0: 停止 1: 0.6V出力	R/W
b4	IDPSINKE0	D+端子0.6V入力検知(コンパレータ&シンク)制御ビット	0: 検知OFF 1: 検知ON(コンパレータ&シンク電流ON)	R/W
b5	VDMSRCE0	D-端子VDMSRC(0.6V)出力制御ビット	0: 停止 1: 0.6V出力	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	BATCHGE0	BC(バッテリーチャージャ)機能Ch0全般の許可制御ビット	0: 禁止 1: 許可	R/W
b8	CHGDETSTS0	D-端子0.6V入力検知ステータスフラグ(注1)	0: 未検知 1: 検知	R
b9	PDDETSTS0	D+端子0.6V入力検知ステータスフラグ(注2)	0: 未検知 1: 検知	R
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. IDMSINKE0 = 1のとき有効

注2. IDPSINKE0 = 1のとき有効

RPDME0 ビット (D- 端子プルダウン制御ビット)

バッテリーチャージ機能を使用するときに“1”を設定して、D-端子プルダウン制御してください。

IDPSRCE0 ビット (D+ 端子 IDPSRC 出力制御ビット)

本ビットに“1”を設定していれば、ファンクションコントローラ機能選択時、データ端子接続検知した際に電流出力許可を実施し、D+端子をプルアップします。

IDMSINKE0 ビット (D- 端子 0.6V 入力検知 (コンパレータ & シンク) 制御ビット)

本ビットに“1”を設定していれば、ファンクションコントローラ機能選択時、Primary Detection 時にホスト側より D- に出力される VDMSRC (0.6V) の接続検知、もしくはファンクション側より D+ に出力される VDPSRC (0.6V) がホスト経由でファンクション側の D- に接続されていることの検知を許可します。

VDPSRCE0 ビット (D+ 端子 VDPSRC (0.6V) 出力制御ビット)

本ビットに“1”を設定していれば、ファンクションコントローラ機能選択時、Primary Detection 時に出力許可を実施し、D+ に VDPSRC (0.6V) を電圧印加します。

IDPSINKE0 ビット (D+ 端子 0.6V 入力検知 (コンパレータ & シンク) 制御ビット)

本ビットに“1”を設定していれば、ファンクションコントローラ機能選択時、Secondary Detection 時にファンクション側より D- に出力される VDMSRC (0.6V) がホスト経由でファンクション側の D+ に接続されていること (DCP) の検知を許可します。またホストコントローラ機能選択時、Primary Detection 時にファンクション側より D+ に出力される VDPSRC (0.6V) の接続検知を許可します。

VDMSRCE0 ビット (D- 端子 VDMSRC (0.6V) 出力制御ビット)

本ビットに“1”を設定していれば、ファンクションコントローラ機能選択時、Secondary Detection 時に出力許可を実施し、D- に VDMSRC (0.6V) を電圧印加します。またホストコントローラ機能選択時、Primary Detection 時に出力許可を実施し、D- に VDMSRC (0.6V) を電圧印加します。

CHGDETSTS0 フラグ (D- 端子 0.6V 入力検知ステータスフラグ)

ファンクションコントローラ機能選択時、Primary Detection 時にホスト側より D- に出力される VDMSRC (0.6V) の接続検知、もしくはファンクション側より D+ に出力される VDPSRC (0.6V) がホスト経由でファンクション側の D- に接続されていることを検知した場合、本フラグが“1”にセットされます。

PDDETSTS0 フラグ (D+ 端子 0.6V 入力検知ステータスフラグ)

ファンクションコントローラ機能選択時、Secondary Detection 時にファンクション側より D- に出力される VDMSRC (0.6V) がホスト経由でファンクション側の D+ に接続されている (DCP) ことを検知した場合、本ビットが“1”にセットされます。

ホストコントローラ機能選択時、Primary Detection 時にファンクション側より D+ に出力される VDPSRC (0.6V) の接続検知した場合、本フラグが“1”にセットされます。

32.3 動作説明

32.3.1 システム制御

USBの初期設定に必要なレジスタの設定および消費電力制御を行うために必要なレジスタについて説明します。

32.3.1.1 USB関連レジスタの設定

USBへのクロック供給が開始された(SYSCFG.SCKEビットが“1”)状態で、SYSCFG.USBEビットを“1”にすることにより、動作が許可され、USBは動作を開始します。

32.3.1.2 コントローラ機能の選択設定

USBは、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG.DCFMビットで行います。ただし、DCFMビットの設定は、リセット解除直後の初期設定時、またはD+のプルアップとD+/D-のプルダウンがともに禁止(SYSCFG.DPRPU=0かつDRPD=0)のときに行ってください。

32.3.1.3 USBデータバス抵抗制御

USBは、D+/D-のプルアップ抵抗およびプルダウン抵抗を内蔵しています。SYSCFG.DPRPU、SYSCFG.DRPDビットの設定によりプルアップ、プルダウンを設定してください。

ファンクションコントローラ機能選択時は、USBホストへの接続を認識したあとで、SYSCFG.DPRPUビットを“1”に設定し、D+(フルスピード時)/D-(ロースピード時)をプルアップしてください。

また、PCと通信中にSYSCFG.DPRPUビットに“0”を設定した場合は、USBデータラインのプルアップ抵抗を無効にするので、USBホストにデバイス切断を通知することができます。

ホストコントローラ機能選択時は、SYSCFG.DRPDビットを“1”に設定し、D+/D-をプルダウンしてください。

表32.11 USBデータバス抵抗制御

設定内容			USBデータバス抵抗制御		
DRPD	DPRPU	DMRPU	D-	D+	Remarks
0	0	0	Open	Open	未使用時
0	1	0	Open	プルアップ	ファンクションコントローラ(フルスピード)として動作させる場合
0	0	1	プルアップ	Open	ファンクションコントローラ(ロースピード)として動作させる場合
1	0	0	プルダウン	プルダウン	ホストコントローラとして動作させる場合
上記以外			—	—	設定禁止

32.3.1.4 USB 電源接続例

図 32.2 に USB レギュレータ未使用時の電源接続例を、図 32.3 と図 32.4 に USB レギュレータ使用時の接続例を示します。

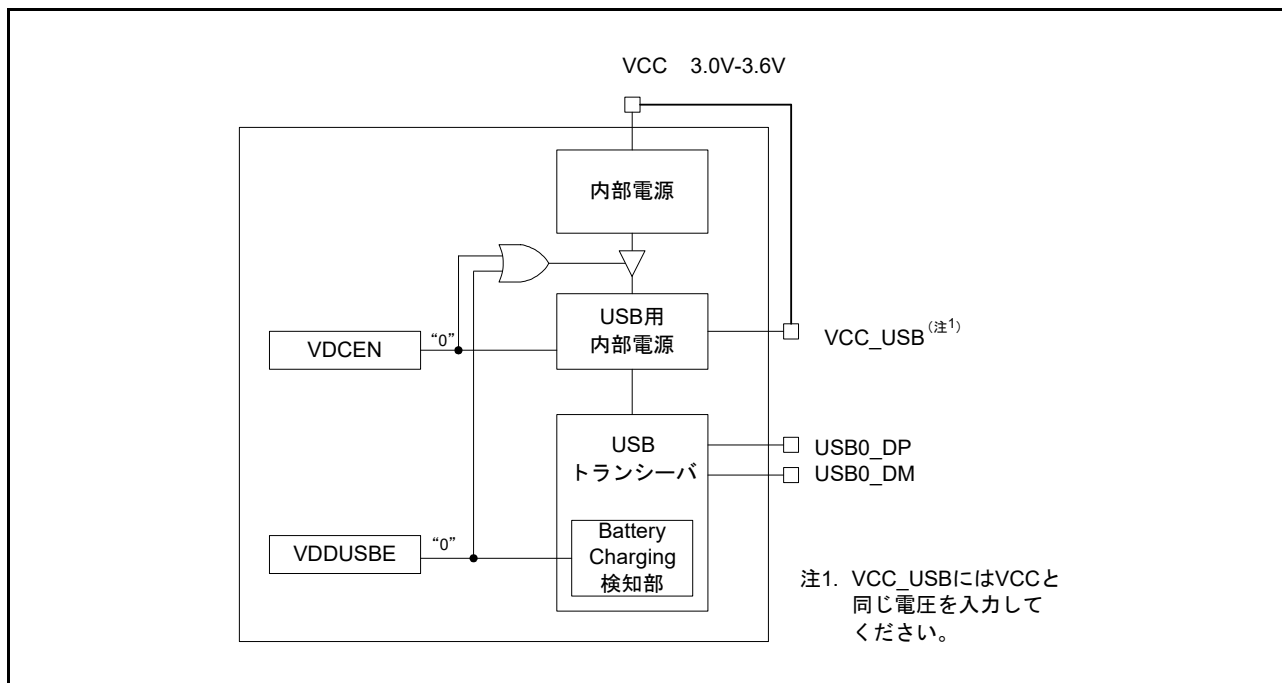


図 32.2 USB レギュレータ未使用時の電源接続例

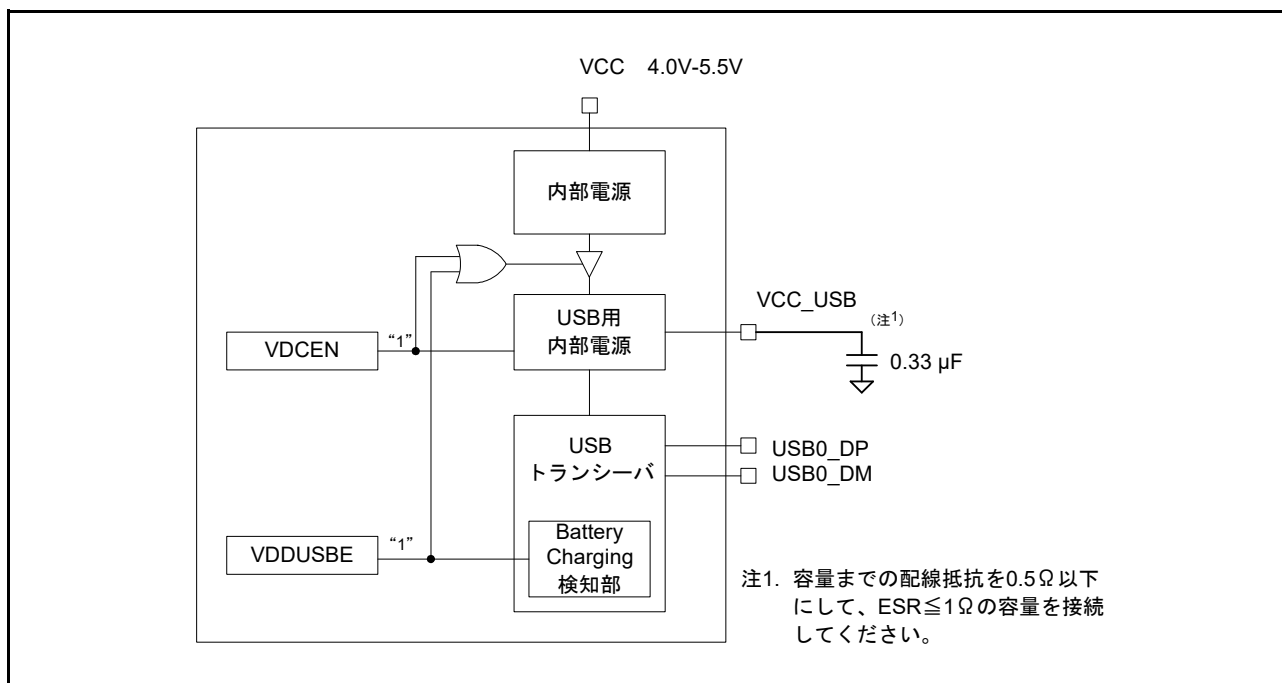


図 32.3 USB レギュレータ使用時の電源接続例 (BC 使用時)

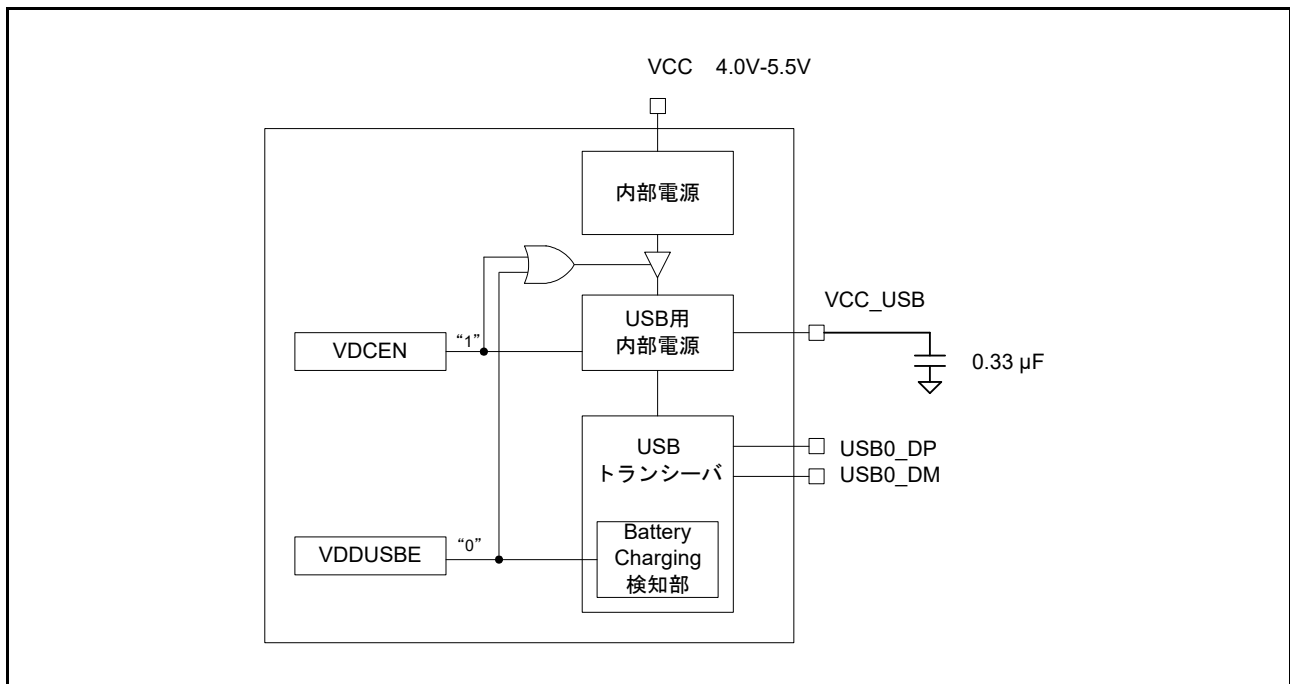


図 32.4 USBレギュレータ使用時の電源接続例 (BC未使用時)

32.3.1.5 USB 外部接続回路例

図 32.5 にセルフパワー時の USB コネクタの OTG 接続例を示します。

USB は、D+ 信号のプルアップ抵抗と D+、D- 信号のプルダウン抵抗を制御します。SYSCFG.DPRPU ビット、SYSCFG.DRPD ビットの設定により、各信号のプルアップ、プルダウンを設定してください。

なお、ファンクションコントローラ機能を選択し、ホストコントローラと通信中に DPRPU ビットに“0”を設定した場合は、USB データラインのプルアップ抵抗を無効にするので、USB ホストにデバイスの切断を通知することができます。

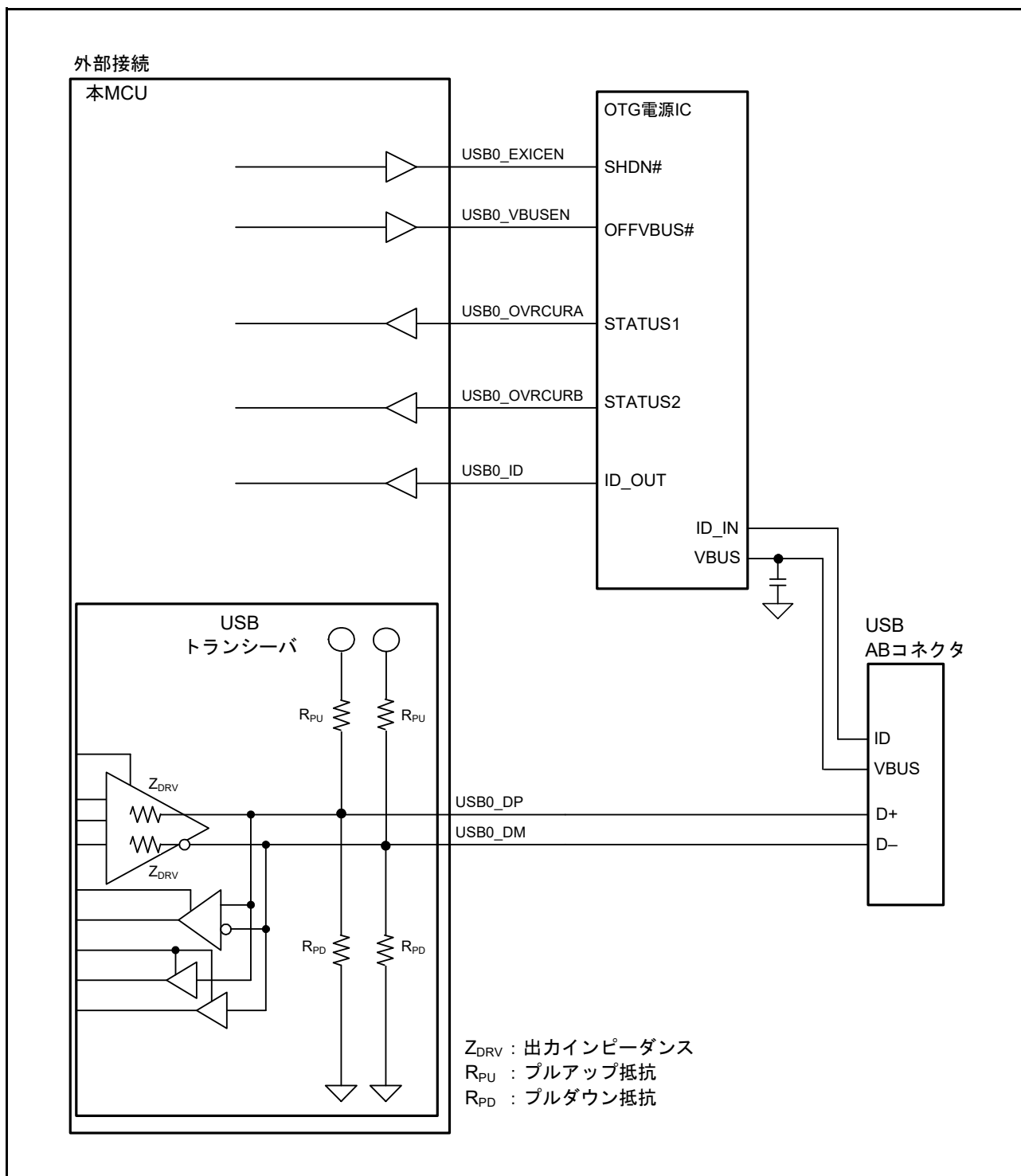


図 32.5 セルフパワー時の USB コネクタの OTG 接続例

図 32.6 にセルフパワー時の USB コネクタのファンクション接続例を示します。

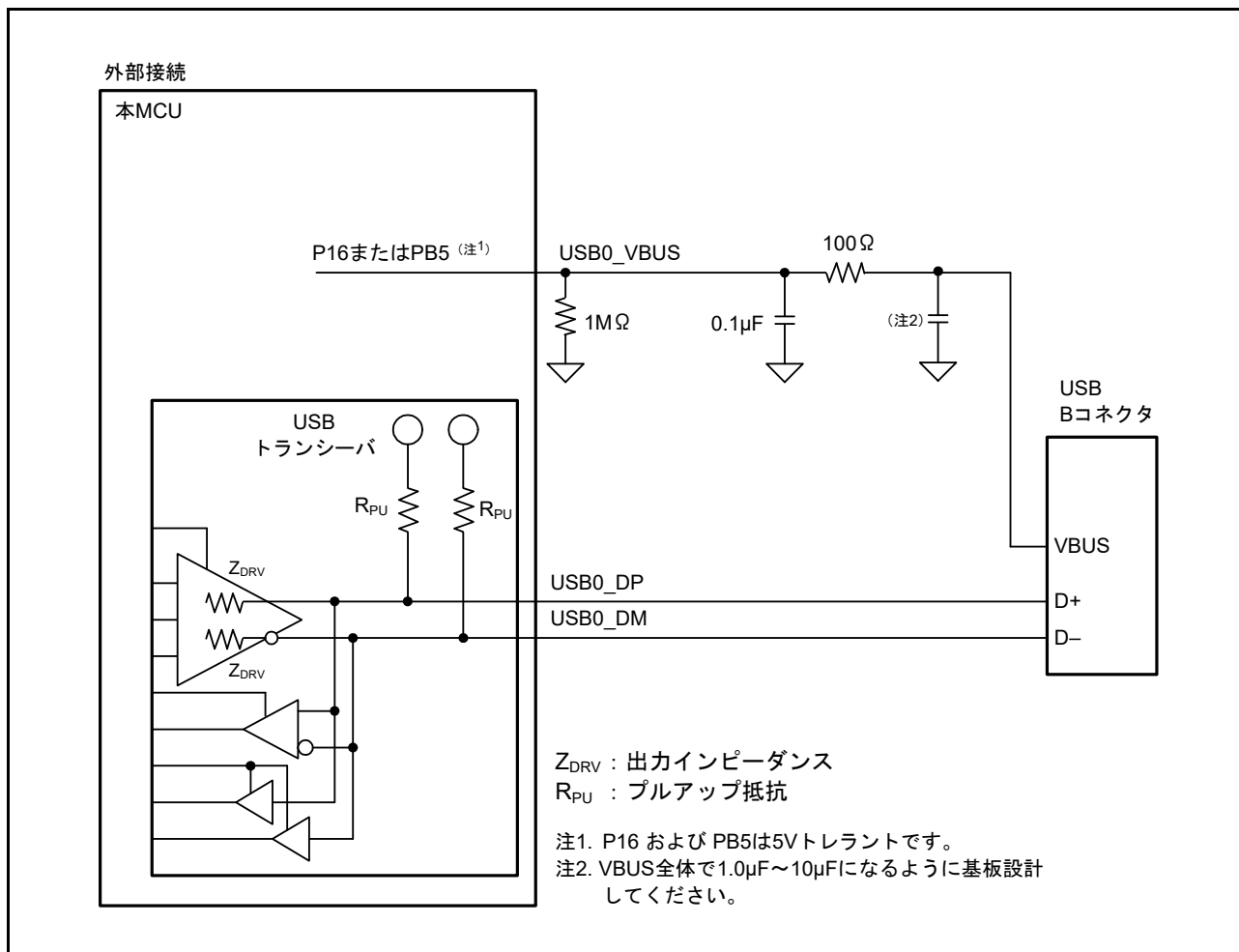


図 32.6 セルフパワー時の USB コネクタのファンクション接続例

図 32.7 に Battery Charging Specification Revision 1.2 対応時の USB コネクタのファンクション接続例を示します。

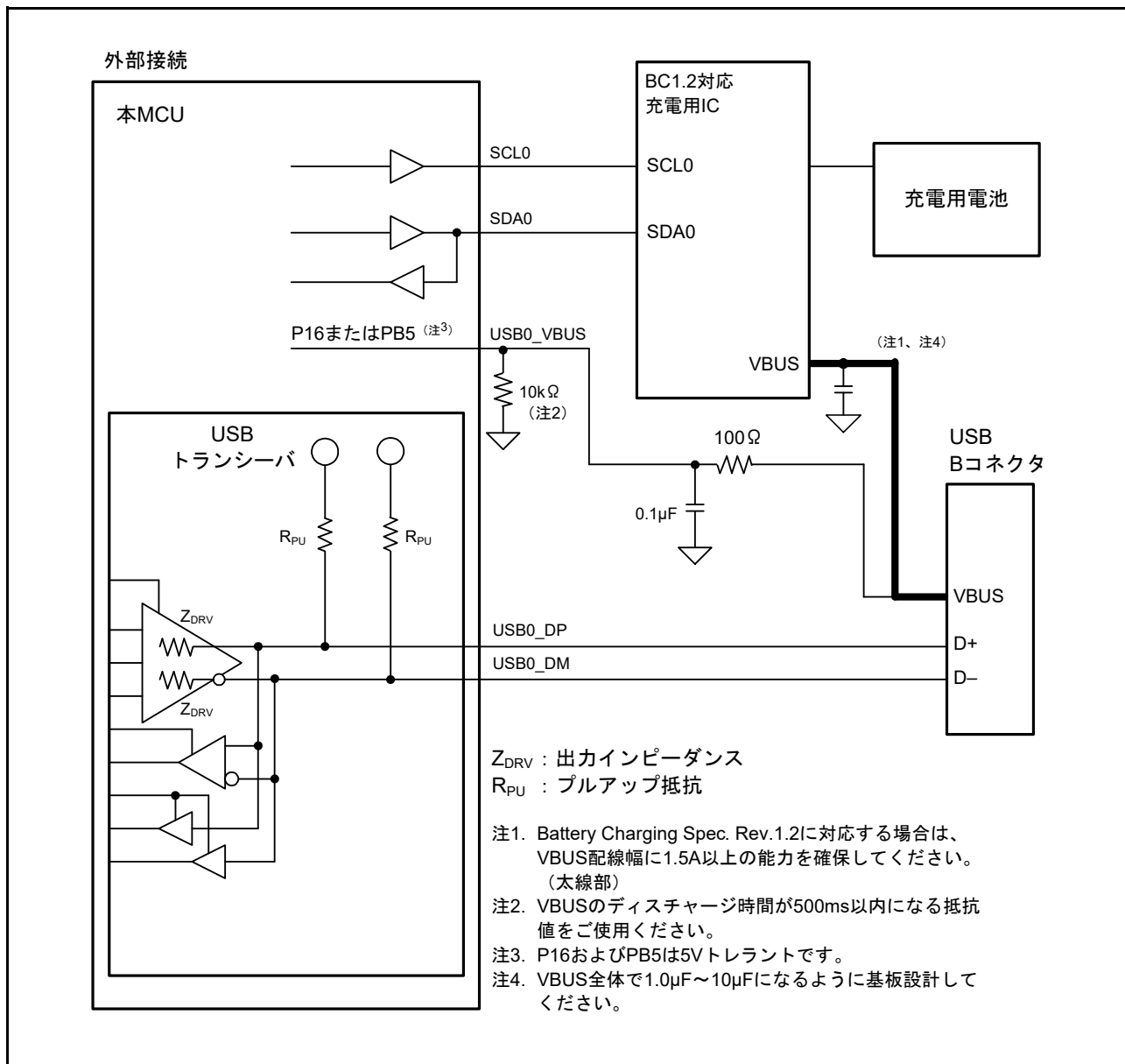


図 32.7 Battery Charging Specification Rev.1.2 対応時の USB コネクタのファンクション接続例

図 32.8 に USB コネクタのホスト接続例を示します。

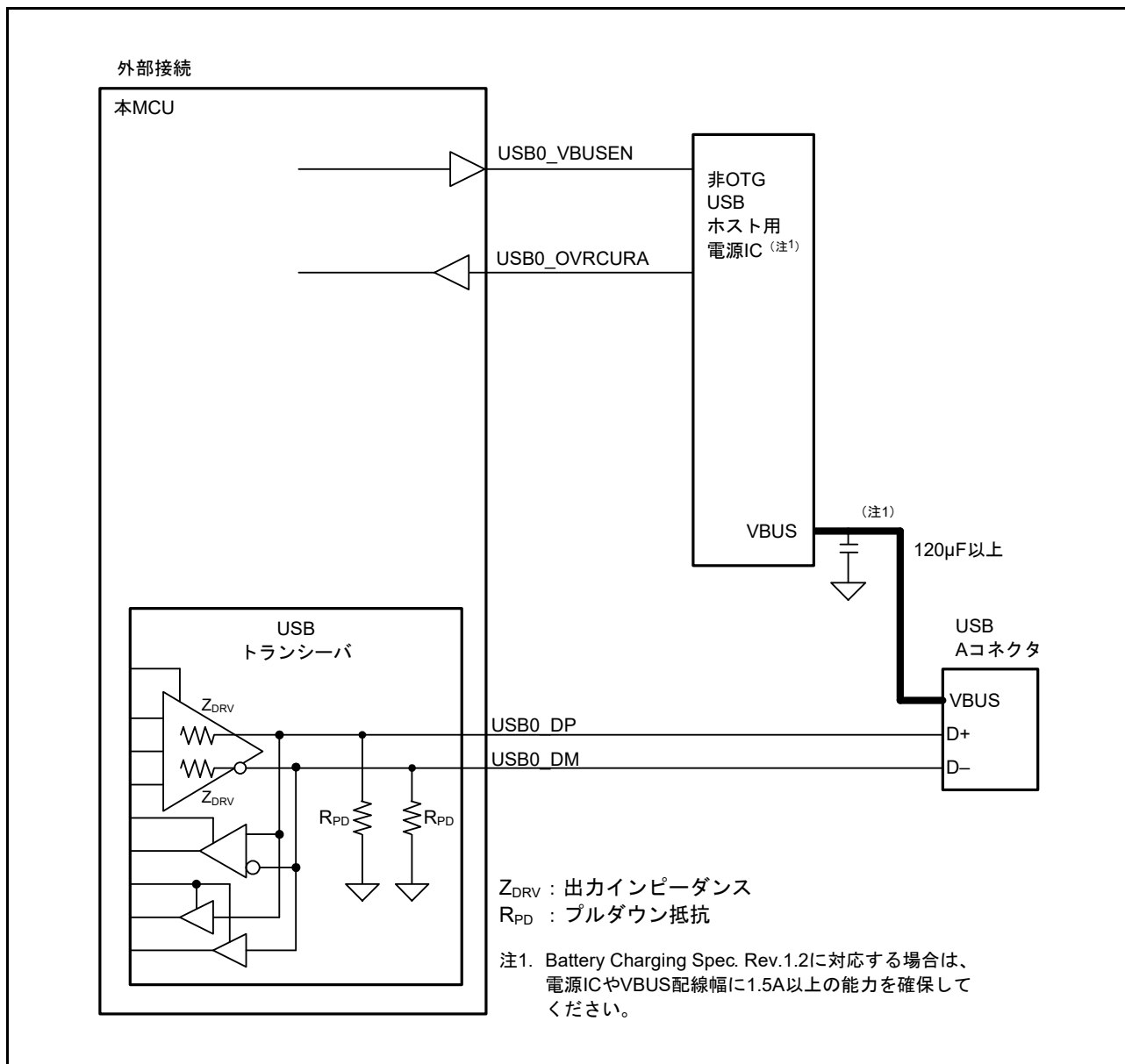


図 32.8 USB コネクタのホスト接続例

図 32.9、図 32.10 にバスパワー時の USB コネクタのファンクション接続例を示します。

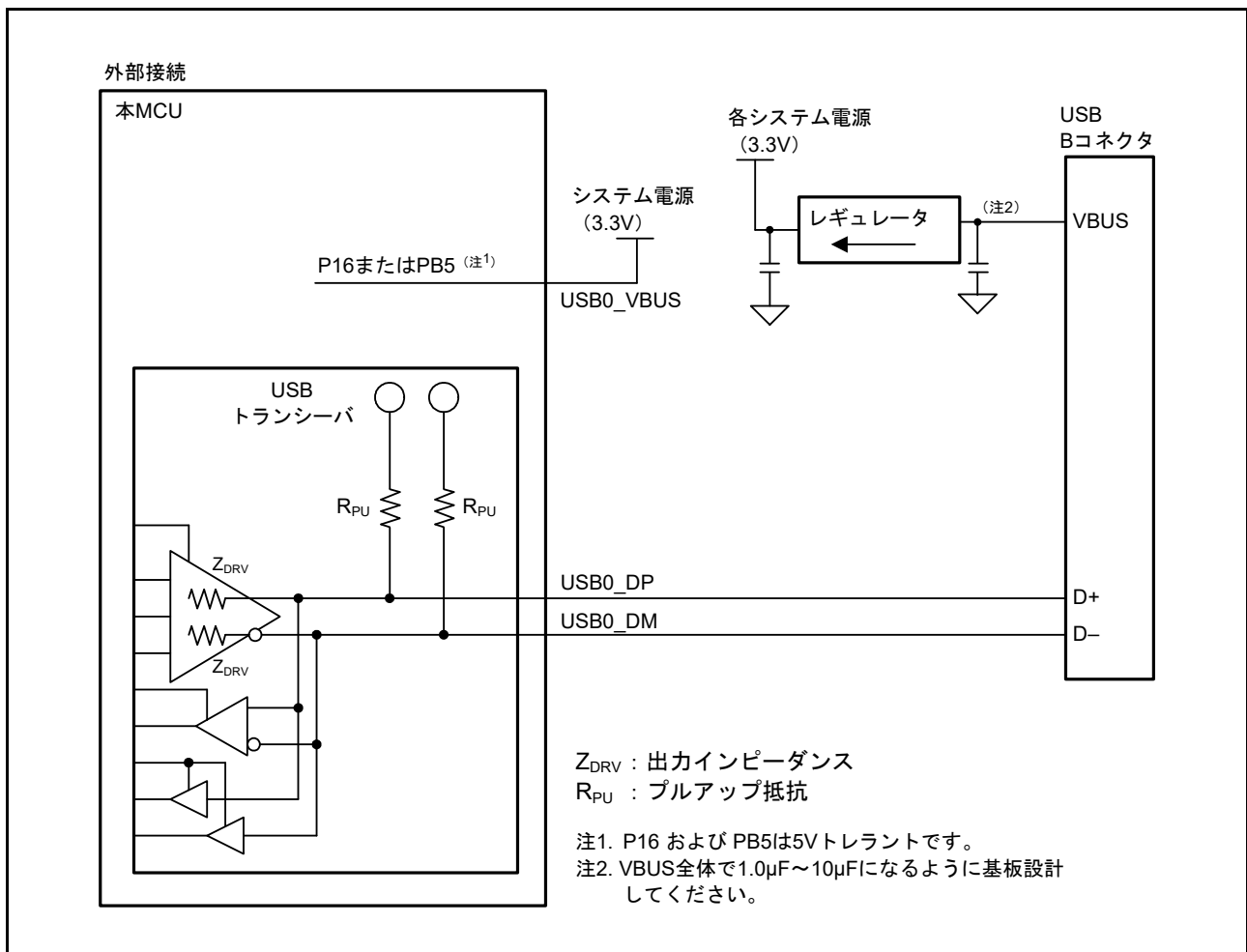


図 32.9 バスパワー時の USB コネクタのファンクション接続例 (1)

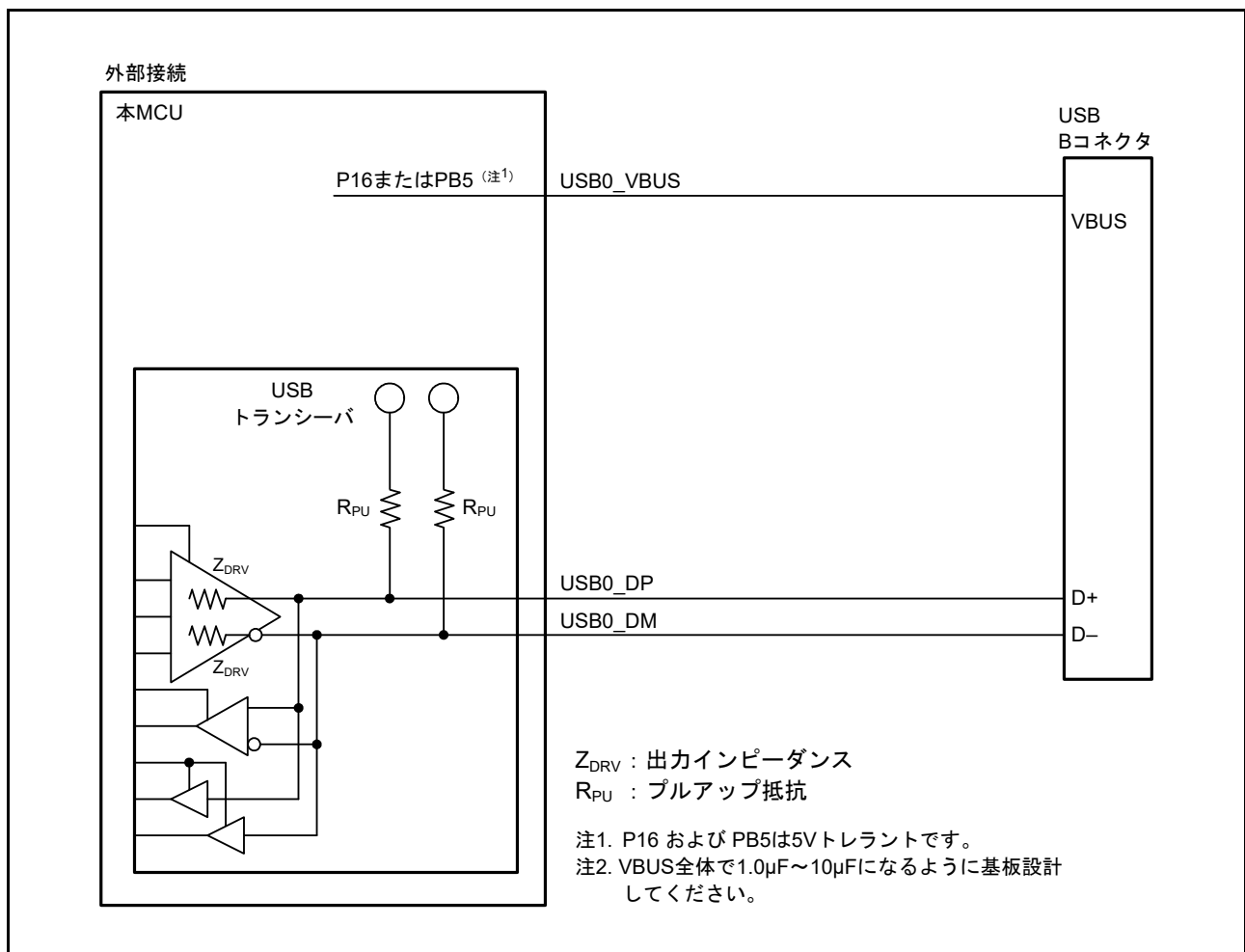


図 32.10 バスパワー時のUSBコネクタのファンクション接続例(2)

本章に記載した各外部回路例は、概略回路であり、すべてのシステムにおいて動作保証するものではありません。

32.3.2 割り込み要因

表 32.12 に USB の割り込み要因一覧を示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可に設定されているとき、USB は割り込みコントローラ (ICU) に対して USB 割り込み要求を発行し、USB 割り込みが発生します。

表 32.12 割り込み要因一覧

設定するビット	名称	割り込み要因	発生する機能	ステータスフラグ
VBINT	VBUS割り込み	<ul style="list-style-type: none"> USB0_VBUS入力端子の状態変化を検出したとき (Low→High、High→Lowの両方の変化) 	ホスト/ ファンクション (注1)	INTSTS0. VBSTS
RESM	レジューム割り込み	<ul style="list-style-type: none"> サスペンド状態においてUSBバスの状態変化を検出したとき (J-State→K-StateまたはJ-State→SE0) 	ファンクション	—
SOFR	フレーム番号更新割り込み	[ホストコントローラ機能選択時] <ul style="list-style-type: none"> フレーム番号の異なるSOFパケットを送信したとき [ファンクションコントローラ機能選択時] <ul style="list-style-type: none"> フレーム番号の異なるSOFパケットを受信したとき 	ホスト/ ファンクション	—
DVST	デバイスステート遷移割り込み	<ul style="list-style-type: none"> デバイスステートの遷移を検出したとき (以下) USBバスリセット検出 サスペンド状態検出 SET_ADDRESSリクエストの受信 SET_CONFIGURATIONリクエストの受信 	ファンクション	INTSTS0. DVSQ[2:0]
CTRT	コントロール転送ステージ遷移割り込み	<ul style="list-style-type: none"> コントロール転送のステージ遷移を検出したとき (以下) セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生 	ファンクション	INTSTS0. CTSQ[2:0]
BEMP	バッファエンブティ割り込み	<ul style="list-style-type: none"> バッファメモリ中の全データを送信してバッファが空になったとき マックスパケットサイズを超えたパケットを受信したとき 	ホスト/ ファンクション	BEMPSTS. PIPEnBEMP
NRDY	バッファノットレディ割り込み	[ホストコントローラ機能選択時] <ul style="list-style-type: none"> 発行したトークンに対して周辺デバイス側からのSTALLを受信したとき 発行したトークンに対して周辺デバイス側からの応答を正しく受信できなかったとき (無応答が3回連続、またはパケット受信エラーが3回連続) アイソクロナス転送時にオーバーラン/アンダランが発生したとき [ファンクションコントローラ機能選択時] <ul style="list-style-type: none"> PID[1:0] = 01b (BUF)を設定しているときに、INトークン/OUTトークンに対してNAKを応答したとき アイソクロナス転送でデータ受信時にCRCエラー、ビットスタッフィングエラーが発生したとき アイソクロナス転送でデータ受信時にオーバーラン/アンダランが発生したとき 	ホスト/ ファンクション	NRDYSTS. PIPEnNRDY
BRDY	バッファレディ割り込み	<ul style="list-style-type: none"> バッファがレディ (リードまたはライト可能状態) になったとき 	ホスト/ ファンクション	BRDYSTS. PIPEnBRDY
OVRRCR	オーバカレント変化割り込み	<ul style="list-style-type: none"> USB0_OVRCURAおよびUSB0_OVRCURB入力端子の状態変化を検出したとき (Low→High、High→Lowの両方の変化) 	ホスト	INTSTS1. OVRRCR
BCHG	バス変化割り込み	<ul style="list-style-type: none"> USBバスステートの変化を検出したとき 	ホスト/ ファンクション	SYSSTS0. LNST[1:0]
DTCH	フルスピード動作時切断検出	<ul style="list-style-type: none"> フルスピード動作時周辺デバイスの切断を検出したとき 	ホスト	DVSTCTR0. RHST[2:0]
ATTCH	デバイス接続検出	<ul style="list-style-type: none"> USBバスステートが2.5 μs連続したJ-STATE、または2.5 μs連続したK-STATEを検出したとき。周辺デバイスの接続検出に使用可能。 	ホスト	—
EOFERR	EOFエラー検出	<ul style="list-style-type: none"> 周辺デバイスのEOFエラーを検出 	ホスト	—
SACK	SETUP正常	<ul style="list-style-type: none"> セットアップトランザクションの正常応答 (ACK) を受信したとき 	ホスト	—
SIGN	SETUPエラー	<ul style="list-style-type: none"> セットアップトランザクションのエラー (無応答またはACKパケット破損) を3回連続で検出したとき 	ホスト	—
PDDTINT0	PortableDevice検知割り込み	<ul style="list-style-type: none"> PortableDeviceの接続を検知したとき 	ホスト	INTSTS1. PDDTINT0

注1. 本割り込みは、ホスト機能時にも発生しますが、通常ホスト機能時には使用しません。

図 32.11 に USB の割り込み関連図を示します。

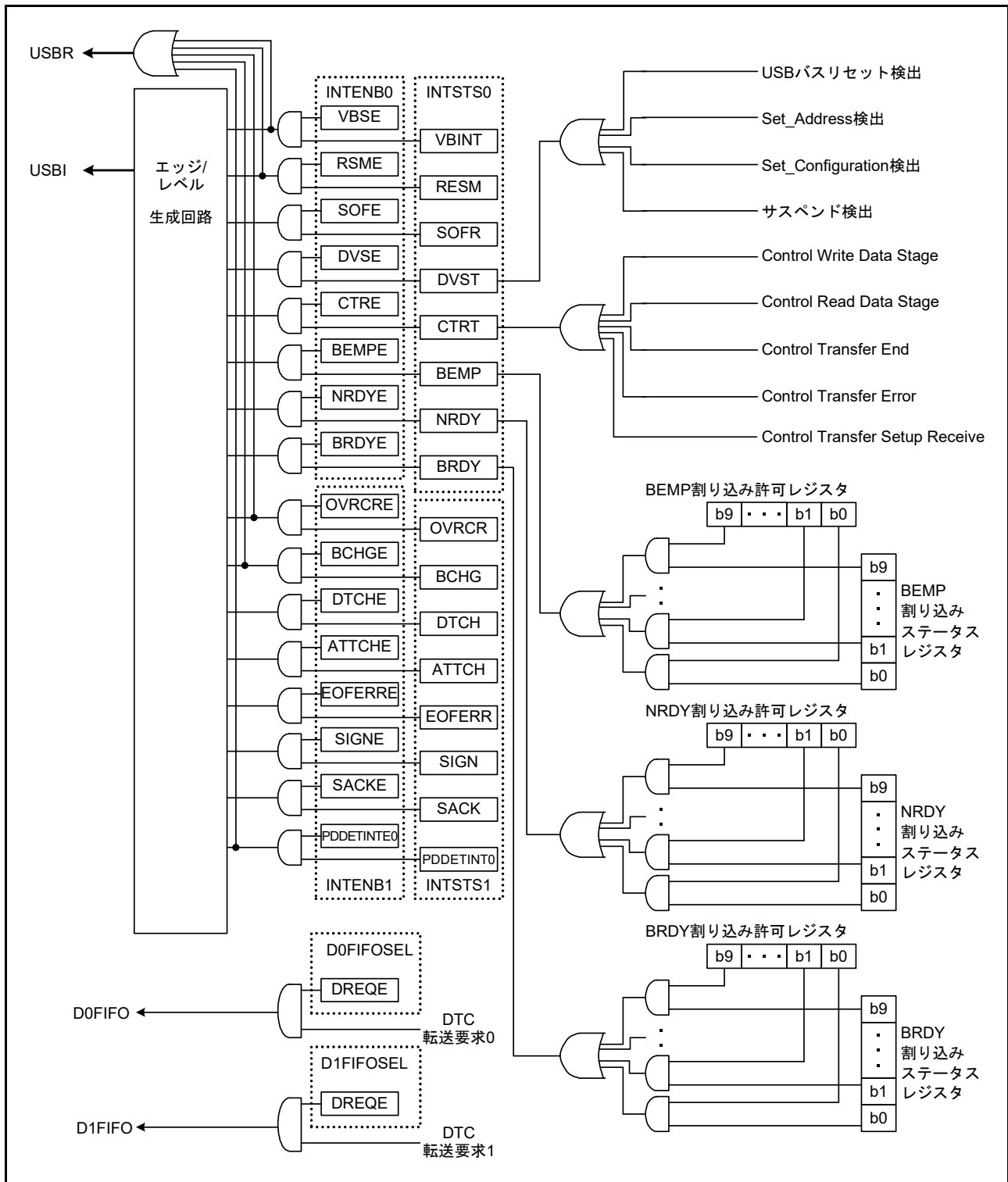


図 32.11 USB 割り込みの関連図

表 32.13 に USB の割り込み一覧を示します。

表 32.13 USBの割り込み一覧

割り込み名称	割り込みステータスフラグ	DTCの 起動	DMAC の起動	優先順位
D0FIFO	DMA/DTC転送要求0	可能	可能	高 ↑ 低
D1FIFO	DMA/DTC転送要求1	可能	可能	
USBI	VBUS割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み、オーバカレント変化割り込み、バス変化割り込み、フルスピード動作時切断検出、デバイス接続検出、EOFエラー検出、SETUP正常、SETUPエラー、PortableDevice検知割り込み	不可能	不可能	
USBR	VBUS割り込み、レジューム割り込み、オーバカレント変化割り込み、バス変化割り込み、PortableDevice検知割り込み	不可能	不可能	—

32.3.3 割り込みの説明

32.3.3.1 BRDY 割り込み

BRDY 割り込みは、ホストコントローラ、ファンクションコントローラのどちらの機能を選択したときでも発生します。各パイプが下記の条件を満たしたときに、USB は BRDYSTS レジスタの当該ビットを“1”にします。このとき、ソフトウェアで当該パイプに対応する BRDYENB.PIPEnBRDYE ビットを“1”にし、かつ、INTENB0.BRDYE ビットを“1”にしていれば、USB は BRDY 割り込みを発生させます。

BRDY 割り込みは、SOFCFG.BRDYM ビットおよび各パイプの PIPECFG.BFRE ビットの設定により、発生条件およびクリア方法が異なります。

(1) SOFCFG.BRDYM ビットが“0”かつ PIPECFG.BFRE ビットが“0”のとき

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

USB は、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガ発生パイプに対応する BRDYSTS.PIPEnBRDY フラグを“1”にします。

(a) 送信方向に設定したパイプの場合

- ソフトウェアで DIR ビットを“0”から“1”に変更したとき
- 当該パイプに割り付けた FIFO バッファへの CPU からの書き込みが不可能な状態のとき (BSTS フラグ読み出し値が“0”のとき) に、USB が当該パイプの packets 送信を完了したとき
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき
- FIFO バッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき
- PIPEnCTR.ACLRM ビットに“1”を書くことより、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては (すなわち、コントロール転送でのデータ送信においては) 要求トリガは発生しません。

(b) 受信方向に設定したパイプの場合

- 当該パイプに割り付けた FIFO バッファへの CPU からの読み出しが不可能な状態のとき (BSTS フラグ読み出し値が“0”のとき) に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき
データ PID 不一致のトランザクションに対し、要求トリガは発生しません。
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ読み出し完了時にもう一方の FIFO バッファも読み出し可能状態であったとき
読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

ファンクションコントローラ機能選択時のコントロール転送のステータスステージでの通信では BRDY 割り込みは発生しません。

ソフトウェアで、当該パイプに対応する PIPE_nBRDY フラグに“0”を書くことにより、当該パイプの BRDY 割り込みステータスを“0”にすることができます。このとき、他のパイプに対応するビットには“1”を書いてください。

この割り込みステータスのクリアは、FIFO バッファへのアクセスを行う前に実施してください。

(2) SOFCFG.BRDYM ビットが“0”かつ PIPECFG.BFRE ビットが“1”のとき

この設定の場合、USB は、受信パイプにおいて 1 トランスファ分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、BRDYSTS レジスタの当該パイプに対応するビットを“1”にします。

USB は、以下のいずれかのときに 1 トランスファにおける最後のデータを受信したと判定します。

- Zero-Length パケットを含むショートパケットを受信したとき
- パイプ *n* トランザクションカウンタ (PIPE_nTRN) を使用し、PIPE_nTRN.TRNCNT[15:0] ビット設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、USB は 1 トランスファ分の全データ読み出し完了と判断します。

FIFO バッファが空の状態 Zero-Length パケット受信した場合は、FIFO ポートコントロールレジスタの BRDY フラグが“1”、DTLN[8:0] フラグが“0”の状態になった時点で、USB は 1 トランスファ分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応するポートコントロールレジスタの BCLR ビットにソフトウェアで“1”を書いてください。

この設定の場合には、USB は送信パイプに対して BRDY 割り込みを検出しません。

ソフトウェアで、当該パイプに対応する BRDYSTS.PIPE_nBRDY フラグに“0”を書くことにより、当該パイプの BRDY 割り込みステータスを“0”にすることができます。このとき他のパイプに対応するビットには“1”を書いてください。

このモードを使用するときには、トランスファ分の処理を終了するまで PIPECFG.BFRE ビットの設定値を変更しないでください。

途中で BFRE ビットを変更する場合には、PIPE_nCTR.ACLRM ビットにより対応するパイプの FIFO バッファをすべてクリアしてください。

(3) SOFCFG.BRDYM ビットが“1”かつ PIPECFG.BFRE ビットが“0”のとき

この設定の場合、BRDYSTS.PIPE_nBRDY フラグの値は各パイプの BSTS フラグに連動します。即ち、BRDY 割り込みステータスは FIFO バッファの状態によって USB が“1”、“0”にします。

(a) 送信方向に設定したパイプの場合

FIFO ポートにデータが書き込み可能な状態であれば“1”になり、書き込み不可能な状態になれば“0”になります。ただし、DCP の送信パイプが書き込み可能であっても、BRDY 割り込みは発生しません。

(b) 受信方向に設定したパイプの場合

FIFO ポートにデータが読み出し可能な状態であれば“1”になり、すべてのデータを読み出したら（読み出しが不可能の状態になったら）“0”になります。

FIFO バッファが空で Zero-Length パケットを受信した場合、ソフトウェアで BCLR = 1 を書くまで該当ビットには“1”が表示され BRDY 割り込みは発生し続けます。

受信方向に設定したパイプ設定時、ソフトウェアで、PIPE_nBRDY フラグを“0”にすることはできません。

SOFCFG.BRDYM ビットが“1”のときは、PIPECFG.BFRE ビットはすべて（全パイプ）“0”にしてください。

図 32.12 に、BRDY 割り込み発生タイミング図を示します。

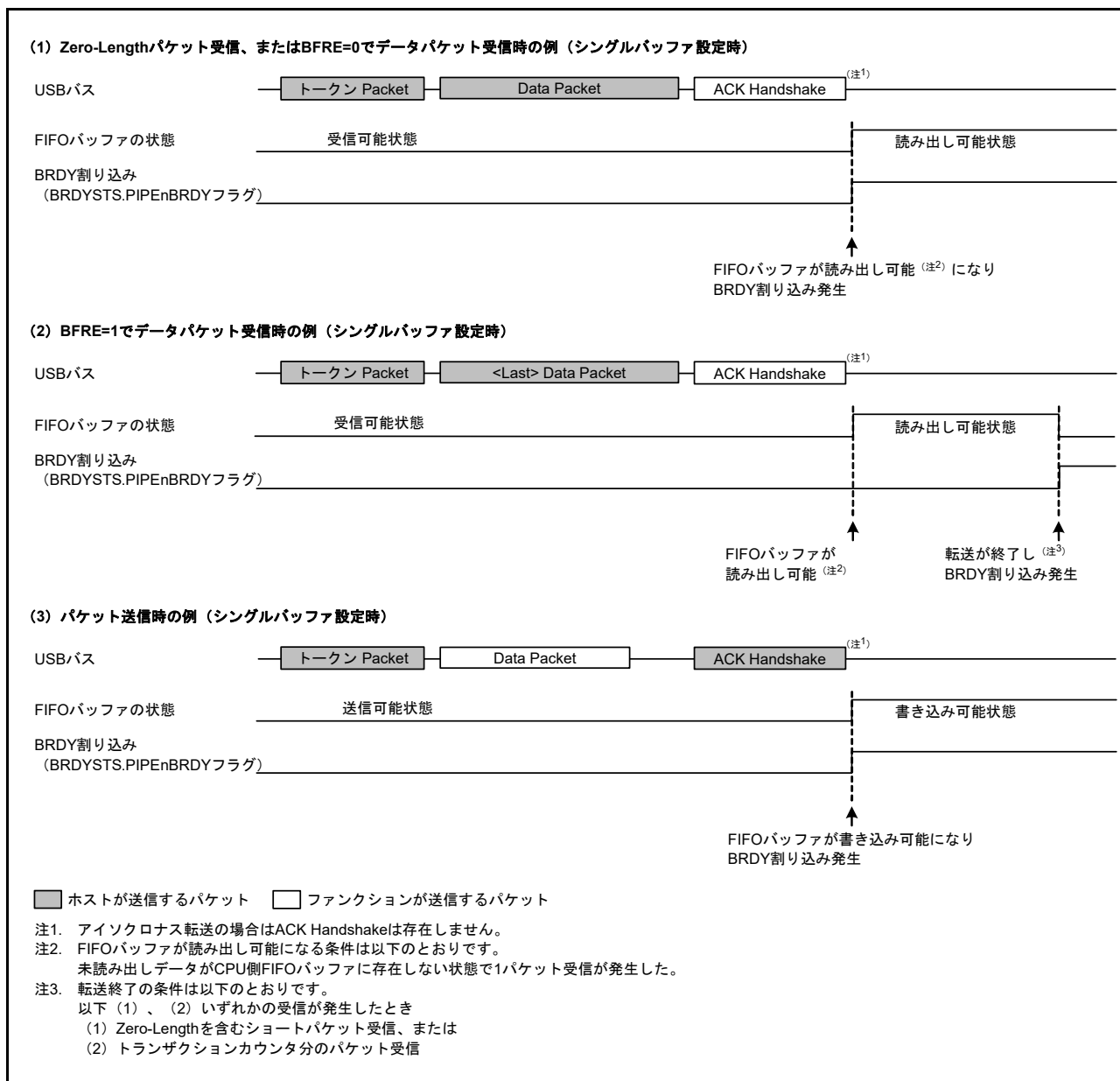


図 32.12 BRDY 割り込み発生タイミング図

USB が INTSTS0.BRDY フラグをクリアする条件は、SOFCFG.BRDYM ビットの設定値によって異なります。表 32.14 に BRDY フラグクリア条件表を示します。

表 32.14 BRDYフラグクリア条件表

BRDYMビット	BRDYフラグのクリア条件
0	ソフトウェアでBRDYSTSレジスタの全ビットを“0”にすると、USBはBRDYフラグを“0”にします
1	全パイプのBSTSフラグが“0”になったときに、USBはBRDYフラグを“0”にします

32.3.3.2 NRDY 割り込み

ソフトウェアで $PID[1:0] = 01b$ (BUF) に設定したパイプに対して、USB が内部 NRDY 割り込み要求を発生させた場合に、USB は $NRDYSTS.PIPEnNRDY$ フラグの対応するビットを“1”にします。このとき、ソフトウェアによって $NRDYENB$ レジスタの対応するビットを“1”にしている場合、USB は $INTSTS0.NRDY$ フラグを“1”にし、USB 割り込みを発生させます。

USB が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ただし、ホストコントローラ機能選択時の **SETUP** トランザクション実行時は以下の割り込み発生条件に該当しません。ホストコントローラ機能選択時の **SETUP** トランザクションでは、**SACK** 割り込みまたは **SIGN** 割り込みを検出します。

また、ファンクションコントローラ機能選択時のコントロール転送ステータスステージ実行時は割り込み要求を発生させません。

(1) ホストコントローラ機能選択時

(a) 送信方向パイプの場合

USB は、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに送信データがない状態で OUT トークン発行タイミングに達したとき
このとき、USB は OUT トークンに続けて Zero-Length パケットを送信し、 $NRDYSTS.PIPEnNRDY$ フラグの対応するフラグを“1”にし、 $FRMNUM.OVRN$ フラグも“1”にします。
- 転送タイプがアイソクロナス以外のパイプ、かつ **SETUP** トランザクション以外の通信において、周辺デバイスが無応答（周辺デバイスからの Handshake パケットを検出しないままタイムアウトを検出）した、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき
このとき、USB は、 $PIPEnNRDY$ フラグの対応するビットを“1”にし、対応するパイプの $PID[1:0]$ ビットを“00b” (NAK) に変更します。
- SETUP** トランザクション以外の通信において、周辺デバイスから **STALL Handshake** を受信したとき
このとき USB は、 $PIPEnNRDY$ フラグの対応するビットを“1”にし、対応するパイプの $PID[1:0]$ ビットを“11b” (STALL) に変更します。

(b) 受信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに空きがない状態で IN トークン発行タイミングに達したとき
このとき USB は、IN トークンに対する受信データを破棄し、当該パイプに対応する $PIPEnNRDY$ フラグを“1”にし、 $OVRN$ フラグも“1”にします。
更に、IN トークンに対する受信データにパケットエラーを検出した場合には、 $FRMNUM.CRCE$ フラグも“1”にします。
- 転送タイプがアイソクロナス転送以外のパイプで、USB が発行した IN トークンに対して周辺デバイスが無応答（周辺デバイスからの DATA パケットを検出しないままタイムアウトを検出）した場合、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき
このとき USB は、当該パイプに対応する $PIPEnNRDY$ フラグを“1”にし、対応するパイプの $PID[1:0]$ ビットを“00b” (NAK) に変更します。

- 転送タイプがアイソクロナスのパイプにおいて、IN トークンに対して周辺デバイスが無応答（周辺デバイスからのDATA パケットを検出しないままタイムアウトを検出）した場合、または周辺デバイスからのパケットにエラーを検出したとき
このとき USB は、当該パイプに対応する PIPEnNRDY フラグを“1”にします（対応するパイプの PID[1:0] ビットの変更は行いません）。
- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットに CRC エラーまたはビットスタッピングエラーを検出したとき
このとき USB は、当該パイプに対応する PIPEnNRDY フラグを“1”にし、CRCE フラグを“1”にします。
- STALL Handshake を受信したとき
このとき USB は、当該パイプに対応する PIPEnNRDY フラグを“1”にし、対応するパイプの PID[1:0] ビットを“11b” (STALL) に変更します。

(2) ファンクションコントローラ機能選択時

(a) 送信方向パイプの場合

- FIFO バッファに送信データがない状態で IN トークンを受信したとき
IN トークン受信時に USB は NRDY 割り込み要求を発生させ NRDYSTS.PIPEnNRDY フラグを“1”にします。
割り込み発生パイプの転送タイプがアイソクロナスの場合、USB は Zero-Length パケットを送信し、FRMNUM.OVRN フラグを“1”にします。

(b) 受信方向パイプの場合

- FIFO バッファに空きがない状態で OUT トークンを受信したとき
割り込み発生パイプの転送タイプがアイソクロナスの場合、OUT トークン受信時に USB は NRDY 割り込み要求を発生させ、PIPEnNRDY フラグを“1”にし、OVRN フラグを“1”にします。
割り込み発生パイプの転送タイプがアイソクロナス以外の場合、USB は、OUT トークンに続くデータ受信後 NAK Handshake を送信するときに NRDY 割り込み要求を発生させ、PIPEnNRDY フラグを“1”にします。
ただし、再送時（データ PID 不一致発生時）には、NRDY 割り込み要求を発生させません。また、DATA パケットにエラーがある場合にも、発生させません。
- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内に正常受信されなかったとき
SOF 受信のタイミングで USB は、NRDY 割り込み要求を発生させ、PIPEnNRDY フラグを“1”にします。

図 32.13 に、ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図を示します。

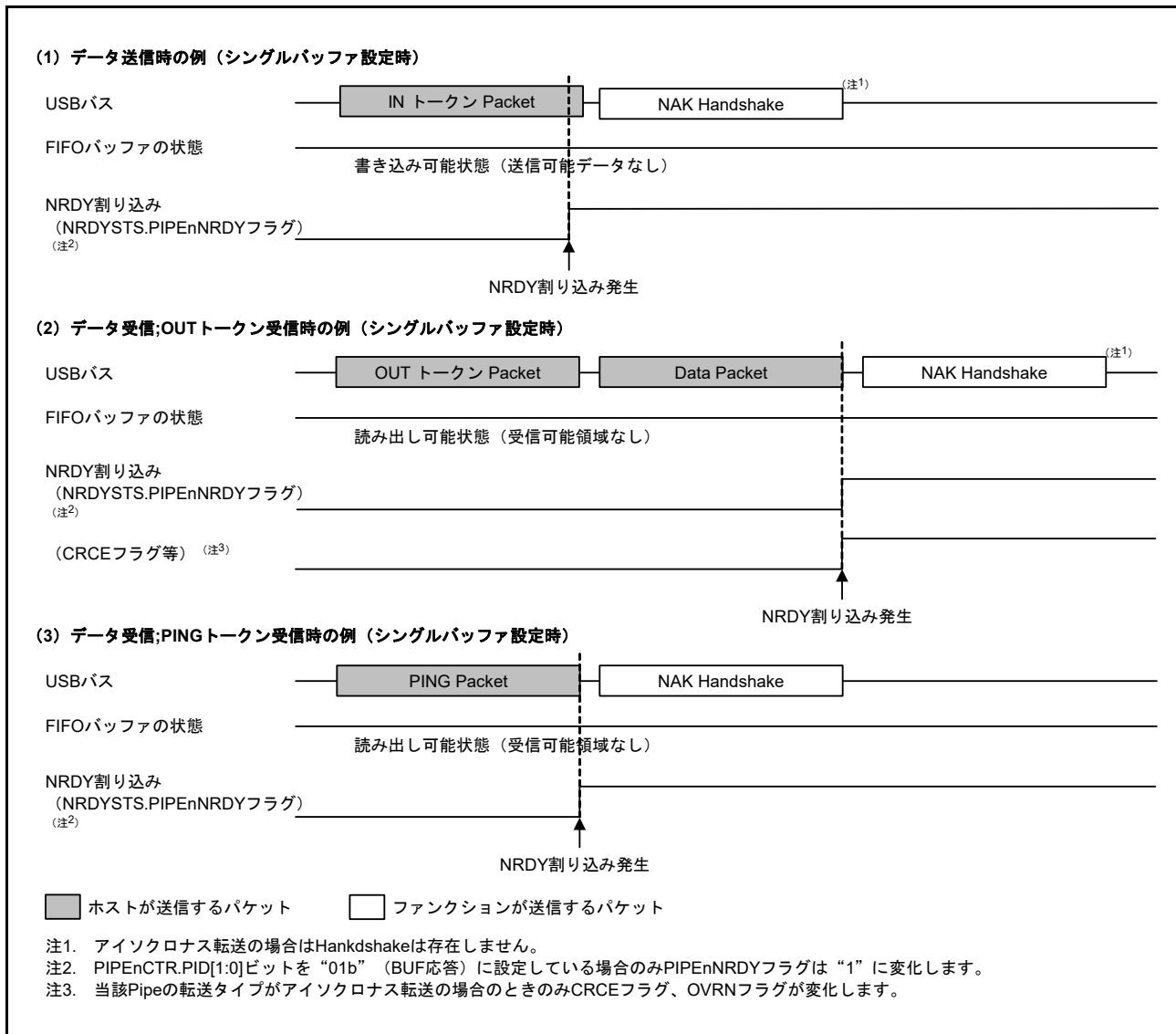


図 32.13 NRDY 割り込み発生タイミング図 (ファンクションコントローラ機能選択時)

32.3.3.3 BEMP 割り込み

ソフトウェアで PID[1:0] = 01b (BUF) に設定したパイプに対して、USB が、BEMP 割り込みを検出した場合に、USB は BEMPSTS.PIPEnBEMP フラグの対応するフラグを“1”にします。このとき、ソフトウェアによって BEMPENB レジスタの対応するビットを“1”にしている場合、USB は INTSTS0.BEMP フラグを“1”にし、USB 割り込みが発生します。

以下の場合に、USB は内部 BEMP 割り込み要求を発生させます。

(1) 送信方向パイプの場合

送信完了時 (Zero-Length パケットの送信時を含む) に、対応するパイプの FIFO バッファが空のとき、シングルバッファ設定時は、DCP 以外のパイプに対しては BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。

- ダブルバッファ設定時に、1面分のデータ送信完了時にCPUまたはDMAC/DTCがCPU側のFIFOバッファに対する書き込みを開始している場合
- また、PIPEnCTR.ACLRM ビットまたはポートコントロールレジスタのBCLR ビットに“1”を書くことによるバッファクリア（エンプティ）。
- ファンクションコントローラ機能設定時、コントロール転送 Status ステージのIN 転送（Zero-Length パケット送信）時

(2) 受信方向パイプの場合

MaxPacketSize の設定値より大きなデータサイズを正常受信したとき、USB は、BEMP 割り込み要求を発生させ、BEMPSTS.PIPEnBEMP フラグの対応するビットを“1”にし、受信データを破棄し、対応するパイプのPID[1:0] ビットを“11b” (STALL) に変更します。このとき USB は、ホストコントローラ機能設定時には無応答し、ファンクションコントローラ機能設定時には STALL 応答を行います。ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。

- 受信データにCRC エラー、またはビットスタッフィングエラー等を検出したとき
- SETUP トランザクション実行時
BEMPSTS.PIPEnBEMP フラグに“0”を書くことにより、ステータスをクリアすることができます。
BEMPSTS.PIPEnBEMP フラグに“1”を書いても、動作に影響ありません。

図 32.14 に、ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図を示します。

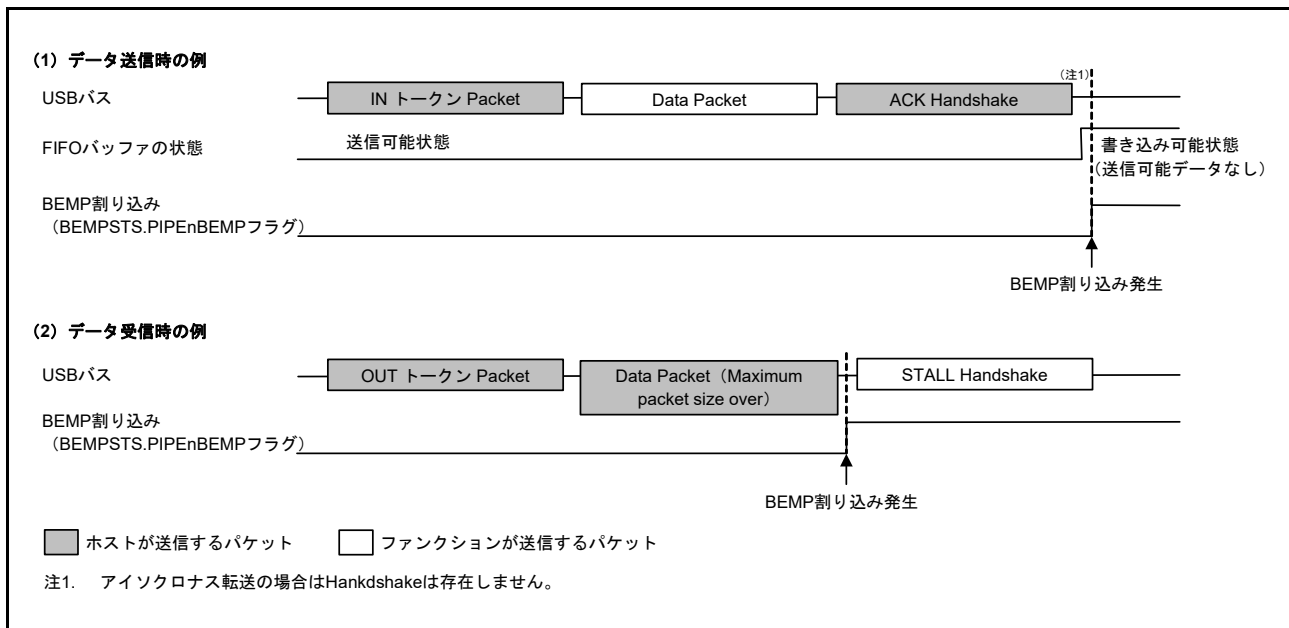


図 32.14 ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図

32.3.3.4 デバイスステート遷移割り込み

図 32.15 に USB のデバイスステート遷移図を示します。USB は、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0.DVSQ[2:0] フラグにて確認できます。

デフォルトステートに遷移する場合には、USB バスリセット検出後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ファンクションコントローラ機能選択時のみ行います。デバイスステート遷移割り込みもファンクションコントローラ機能選択時のみ発生します。

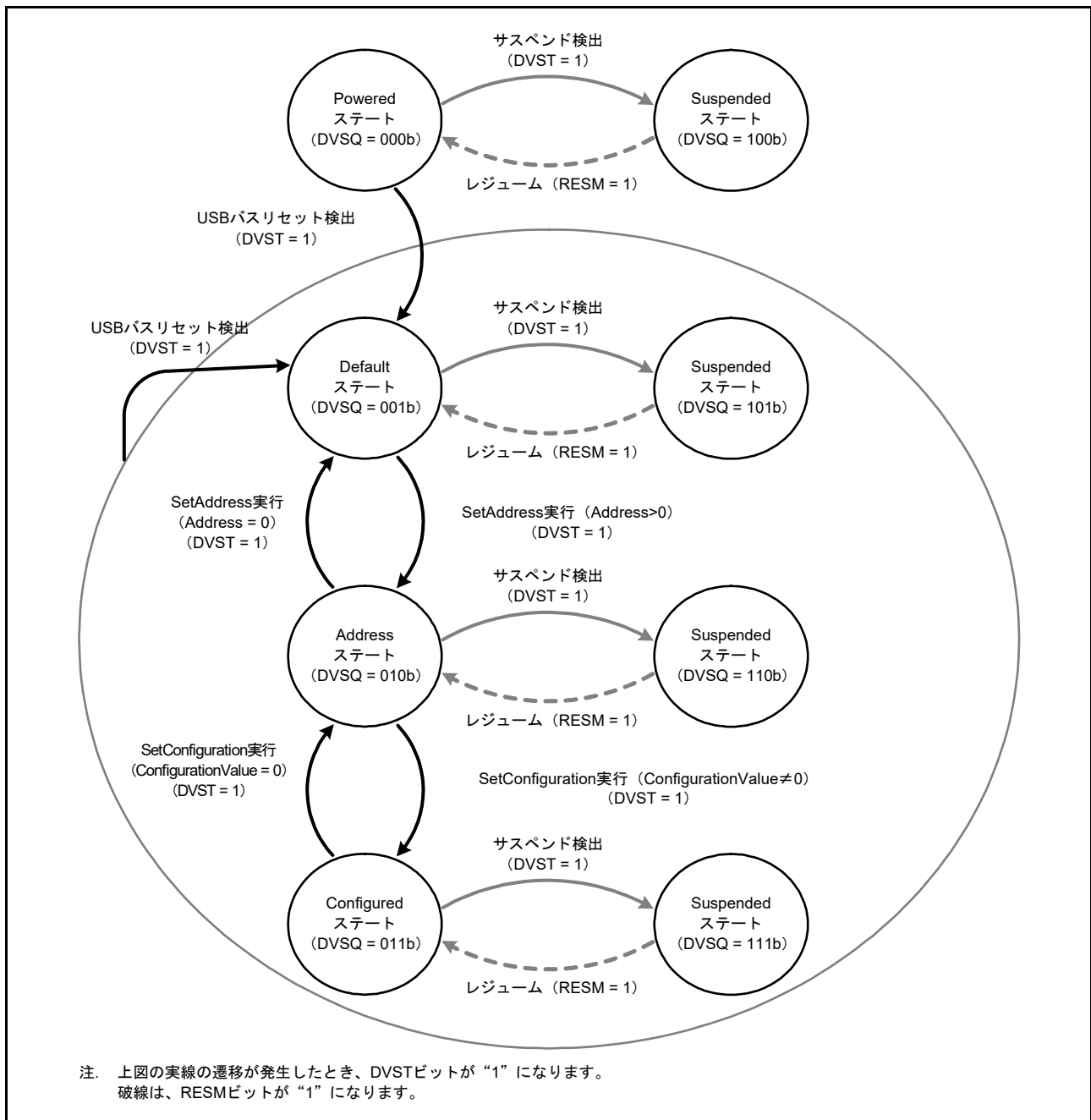


図 32.15 デバイスステート遷移図

32.3.3.5 コントロール転送ステージ遷移割り込み

図 32.16 に USB のコントロール転送ステージ遷移図を示します。USB は、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージは INTSTS0.CTSQ[2:0] フラグにて確認できます。

コントロール転送ステージ遷移割り込みは、ファンクションコントローラ機能を選択した場合のみ発生します。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR.PID[1:0] ビットが“1xb”(STALL 応答)になります。

コントロールリード転送時

- データステージの IN トークンに対して、1度もデータ転送していない状態で OUT トークンを受信
- ステータスステージで IN トークン受信
- ステータスステージでデータパケットが“PID = DATA0”のパケットを受信

コントロールライト転送時

- データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
- データステージで最初のデータパケットが“PID = DATA0”のパケットを受信
- ステータスステージで OUT トークン受信

コントロールライトノーデータコントロール転送時

- ステータスステージで OUT トークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時 (INTSTS0.CTRT = 1) は、CTSQ[2:0] = 110b の値がシステムから CTRT フラグに“0”を書く (割り込みステータスクリア) まで保持されます。このため、CTSQ[2:0] = 110b が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません (セットアップステージ完了は、USB で保持されており、ソフトウェアによる割り込みステータスクリア後に、CTRT 割り込みが発生します)。

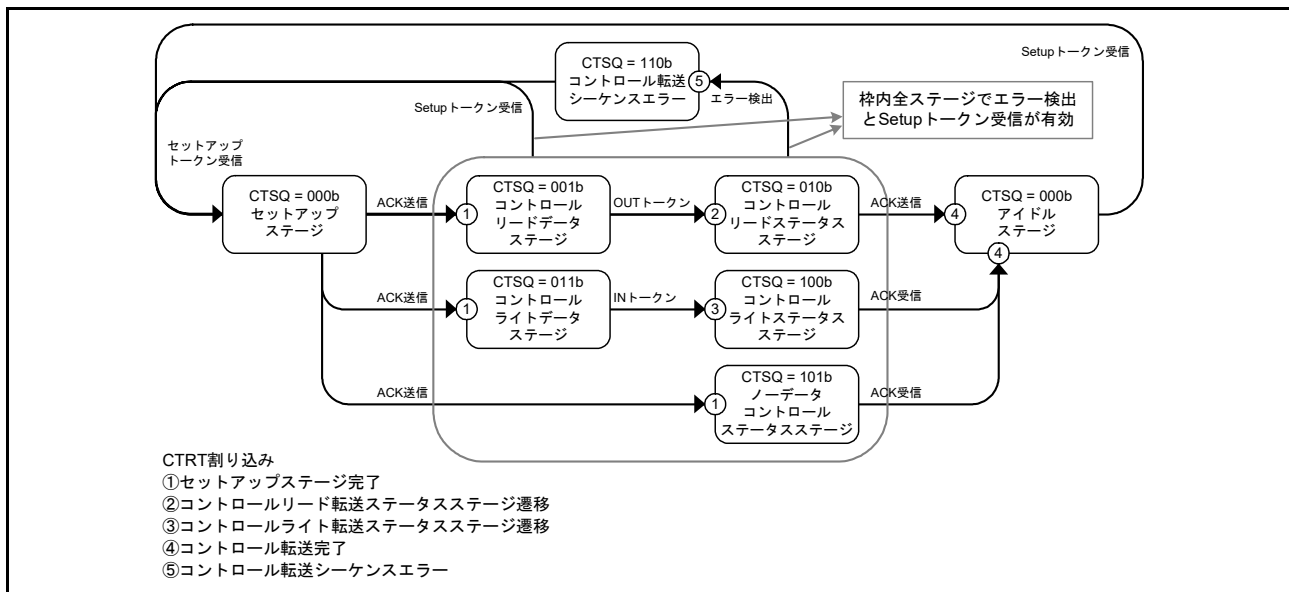


図 32.16 コントロール転送ステージ遷移図

32.3.3.6 フレーム番号更新割り込み

ホストコントローラ機能を選択した場合は、フレーム番号更新のタイミングで割り込みが発生します。ファンクションコントローラ機能を選択した場合は、フレーム番号が更新されたときに SOFR 割り込みが発生します。

ファンクションコントローラ機能を選択した場合、USB は、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みが発生します。

32.3.3.7 VBUS 割り込み

USB0_VBUS 端子に変化があった場合に VBUS 割り込みが発生します。INTSTS0.VBSTS フラグにて USB0_VBUS 端子のレベルを確認できます。VBUS 割り込みによってホストコントローラの接続および切断の確認ができます。ただし、ホストコントローラが接続された状態でシステムが起動された場合は、USB0_VBUS 端子が変化しないため、最初の VBUS 割り込みが発生しません。

32.3.3.8 レジューム割り込み

ファンクションコントローラ機能選択時、デバイスステートがサスペンド状態で USB バス状態が変化 (J-State → K-State または J-State → SE0) したときにレジューム割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

ホストコントローラ機能選択時、レジューム割り込みは発生しません。USB バスの変化は BCHG 割り込みを用いて検出してください。

32.3.3.9 OVRCCR 割り込み

USB0_OVRCURA 端子または USB0_OVRCURB 端子に変化があった場合に OVRCCR 割り込みが発生します。SYSSTS0.OVCMON[1:0] フラグにて USB0_OVRCURA 端子および USB0_OVRCURB 端子のレベルを確認できます。OVRCCR 割り込みによって外部電源 IC からオーバカレント検出の確認ができます。また OTG 接続時には VBUS コンパレータ変化検出の確認ができます。

32.3.3.10 BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。ホストコントローラ機能選択時の周辺デバイスの接続、リモートウェイクアップの検出に使用します。BCHG 割り込みは、ホストコントローラ機能またはファンクションコントローラ機能のどちらを選択していても発生します。

32.3.3.11 DTCH 割り込み

ホストコントローラ機能選択時に、USB バスのディスコネクトを検出した場合、DTCH 割り込みが発生します。USB は、USB 規格 2.0 に準じた基準でバスディスコネクトを検出します。

USB は、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアで、当該ポートに対して通信を行っているパイプをすべて通信終了させ、当該ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示する
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

32.3.3.12 SACK 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を受信した場合に SACK 割り込みが発生します。SACK 割り込みにより、セットアップトランザクションが正常に終了したことを知ることができます。

32.3.3.13 SIGN 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を3回連続で正常に受信できなかった場合に SIGN 割り込みが発生します。周辺デバイスが ACK を送信しなかった場合（無応答）や、ACK パケットの破損を検出することができます。

32.3.3.14 ATTCH 割り込み

ホストコントローラ機能選択時、USB ポートにフルスピード信号レベルの J-State または K-State を 2.5 μ s 間検出した場合、ATTCH 割り込みが発生します。ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5 μ s 間継続したとき
- J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5 μ s 間継続したとき

32.3.3.15 EOFERR 割り込み

USB 2.0 規格で定められている EOF2 タイミング時点で通信が終了しないことを検出した場合、EOFERR 割り込みを発生します。

USB は、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアで、該当ポートに対して通信を行っているパイプをすべて通信終了させ、該当ポートへの再 Enumeration を行ってください。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示する
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

32.3.3.16 PortableDevice 検知割り込み

USB-PHY からの PDDDET 出力の変化 (“High” から “Low” への変化、および “Low” から “High” への変化)を検出したときに割り込みを発生します。PortableDevice 検知割り込み発生時は、ソフトウェアで PDDDETSTS0 フラグ読み出しの数度一致を行い、デバウンス処理を実施してください。

32.3.4 パイプコントロール

表 32.15 に USB のパイプ設定項目一覧を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行います。USB にはデータ転送用に 10 本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表32.15 パイプ設定項目一覧

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE[1:0]	転送タイプを指定	パイプ1～9：設定可能
	BFRE	BRDY 割り込みモードを選択	パイプ1～5：設定可能
	DBLB	ダブルバッファを選択	パイプ1～5：設定可能
	DIR	転送方向を選択	INまたはOUT設定可能
	EPNUM[3:0]	エンドポイント番号	パイプ1～9：設定可能 パイプ使用時は“0000b”以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	パイプ1、2：設定可能（バルク転送選択時のみ設定可能） パイプ3～5：設定可能
DCPMAXP PIPEMAXP	DEVSEL[3:0]	デバイス選択	ホストコントローラ機能選択時のみ参照
	MXPS[8:0]	マックスパケットサイズ	USB規格2.0に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ1、2：設定可能（アイソクロナス転送選択時のみ） パイプ3～9：設定不可能
	IITV[2:0]	インターバルカウンタ	パイプ1、2：設定可能（アイソクロナス転送選択時のみ） パイプ3～5：設定不可能 パイプ6～9：ホストコントローラ機能選択時のみ設定可能
DCPCTR PIPECTR	BSTS	バッファステータス	DCPはISELビットにより、受信/送信バッファ状態の切り替え
	INBUFM	INバッファモニタ	パイプ1～5のみ内蔵
	SUREQ	SETUPリクエスト	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	SUREQCLR	SUREQクリア	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	ATREPM	自動応答モード	パイプ1～5：設定可能 ファンクションコントローラ機能選択時のみ設定可能
	ACLRM	自動バッファクリア	パイプ1～9：設定可能
	SQCLR	シーケンスクリア	データグルビットのクリア
	SQSET	シーケンスセット	データグルビットのセット
	SQMON	シーケンス確認	データグルビットの確認
	PBUSY	パイプビジー確認	
	PID[1:0]	応答PID	「32.3.4.6 応答PID」を参照してください。
PIPEnTRE	TRENB	トランザクションカウント許可	パイプ1～5：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ1～5：設定可能
PIPEnTRN	TRNCNT[15:0]	トランザクションカウンタ	パイプ1～5：設定可能

32.3.4.1 パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB通信が禁止 (PID[1:0] = 00b (NAK)) されているときのみ書き換えが可能になります。

USB通信が許可 (PID[1:0] = 01b (BUF)) されているとき、書き換えが禁止されているレジスタおよびビットを以下に示します。

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- DCPCTR.SQCLR, SQSET ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPEnCTR.ATREPM, ACLRM, SQCLR, SQSET ビット
- PIPEnTRE レジスタ、PIPEnTRN レジスタの各ビット

USB通信許可 (PID[1:0] = 01b (BUF)) 状態から、上記ビットを切り替える際は以下の手順に従ってください。

1. パイプコントロールレジスタのビット変更要求が発生します。
2. 当該パイプの PID[1:0] ビットを “00b” (NAK) に変更します。
3. 当該パイプの PBUSY フラグが “0” になるまで待ちます。
4. パイプコントロールレジスタのビット変更が開始されます。

また、パイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタのいずれの CURPIPE[3:0] ビットにも設定されていないパイプ情報のみ書き換えが可能です。

CURPIPE[3:0] に設定中に設定禁止であるレジスタ

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット

パイプ情報を変更する場合には、ポート選択レジスタの CURPIPE[3:0] ビットの設定を変更パイプ以外に指定してください。なお、DCP についてはパイプ情報修正後、ポートコントロールレジスタの BCLR ビットにてバッファのクリア処理をしてください。

32.3.4.2 転送タイプ

PIPECFG.TYPE[1:0] ビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- DCP：設定不要（コントロール転送固定）です。
- パイプ 1、2：バルク転送またはアイソクロナス転送を設定してください。
- パイプ 3～5：バルク転送を設定してください。
- パイプ 6～9：インタラプト転送を設定してください。

32.3.4.3 エンドポイント番号

PIPECFG.EPNUM[3:0] ビットにて各パイプのエンドポイント番号を設定します。DCP は、エンドポイント“0”に固定されています。他のパイプは、エンドポイント1からエンドポイント15までの設定が可能です。

- DCP：設定不要（エンドポイント“0”固定）です。
- パイプ1～9：1から15までを選択して設定してください。
ただし、PIPECFG.DIR ビットと EPNUM[3:0] ビットの組み合わせが重複しないように設定してください。

32.3.4.4 マックスパケットサイズ設定

DCPMAXP.MXPS[6:0] ビットおよび PIPEMAXP.MXPS[8:0] ビットにて各パイプのマックスパケットサイズを設定します。DCP およびパイプ1～5はUSB規格2.0で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ6～9は最大64バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始する前（PID[1:0]=01b (BUF)）に設定してください。

- DCP：8、16、32、64から選択して設定してください。
- パイプ1～5：バルク転送時は、8、16、32、64から選択して設定してください。
- パイプ1、2：アイソクロナス転送時は、1から256の値を設定してください。
- パイプ6～9：1から64の値を設定してください。

32.3.4.5 トランザクションカウンタ（パイプ1～5読み出し方向）

USBは、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクションカウンタには、トランザクション回数を指定する PIPE_nTRN レジスタと、内部でトランザクションをカウントするカレントカウンタがあり、PIPECFG.SHTNAK ビット設定が“1”との組み合わせによりカレントカウンタが指定回数に一致すると、当該 PIPE_nCTR.PID[1:0] ビットを NAK 状態とし、次の転送を禁止状態にします。PIPE_nTRE.TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。PIPE_nTRE.TRENB ビットの設定により、PIPE_nTRN レジスタ読み出し時の情報が異なります。

- TRENB ビットが“0”：設定したトランザクションカウンタ値が読めます。
- TRENB ビットが“1”：内部でカウントしたカレントカウンタ値が読めます。

TRCLR ビットの操作条件は下記のとおりです。

- トランザクションカウント中、かつ、PID[1:0]=01b (BUF) の場合は、カレントカウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

32.3.4.6 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID[1:0] ビットにて各パイプの応答 PID を設定します。各設定における USB の動作は下記のとおりです。

(1) ホストコントローラ機能選択時の応答 PID 設定

応答 PID は、トランザクションの実施を指定します。

- NAK 設定：パイプ禁止状態です。トランザクションは実施されません。
- BUF 設定：バッファメモリの状況に応じてトランザクションが実施されます。
OUT 方向の場合、バッファメモリに送信データがある場合、OUT トークンを発行します。
IN 方向の場合、バッファメモリに空きがあり受信可能な場合、IN トークンを発行します。
- STALL 設定：パイプ禁止状態です。トランザクションは実施されません。

注． DCP のセットアップトランザクションは、DCPCTR.SUREQ ビットで設定します。

(2) ファンクションコントローラ機能選択時の応答 PID 設定

応答 PID は、ホストからのトランザクションに対する応答を指定します。

- NAK 設定：発生したトランザクションに対して NAK 応答します。
- BUF 設定：バッファメモリの状況に応じてトランザクションに応答します。
- STALL 設定：発生したトランザクションに対して STALL 応答します。

注． セットアップトランザクションに対しては、PID[1:0] ビットの設定にかかわらず、ACK 応答し、レジスタに USB リクエストを格納します。

PID[1:0] ビットは、トランザクション結果により USB による書き込みが発生する場合があります。USB により PID[1:0] ビットへの書き込みが発生するのは以下の場合です。

(3) ホストコントローラ機能選択時にハードウェアが応答 PID を設定する場合

- NAK 設定：以下の場合に PID[1:0] = 00b (NAK) となり、トークンの発行を自動的に停止します。
アイソクロナス以外の転送で、NRDY 割り込みが発生したとき
(詳細は、「32.3.3.2 NRDY 割り込み」を参照してください)
ーバルク転送時に PIPECFG.SHTNAK ビットを“1”にした場合でショートパケットを受信したとき
ーバルク転送時に SHTNAK ビットを“1”にし、トランザクションカウンタが終了したとき
- BUF 設定：USB による BUF 書き込みはありません。
- STALL 設定：以下の場合に PID[1:0] = 1xb (STALL) となり、トークンの発行を自動的に停止します。
ー送信したトークンに対して STALL を受信したとき
ー受信したデータパケットがマックスパケットサイズを超えたとき

(4) ファンクションコントローラ機能選択時にハードウェアが応答 PID を設定する場合

- NAK 設定：以下の場合に PID[1:0] = 00b (NAK) となり、トランザクションに対して NAK 応答します。
SETUP トークンを正常に受信したとき (DCP のみ)
バルク転送時に PIPECFG.SHTNAK ビットを“1”にし、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF 設定：USB による BUF 書き込みはありません。
- STALL 設定：以下の場合に PID[1:0] = 1xb (STALL) となり、トランザクションに対して STALL 応答します。
ー受信データパケットでマックスパケットサイズオーバーエラーを検出したとき
ーコントロール転送シーケンスエラーを検出したとき (DCP のみ)

32.3.4.7 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、USBによりデータPIDのシーケンスビットが自動的にトグル動作します。次に送出されるデータPIDのシーケンスビットは、DCPCTRレジスタおよびPIPEnCTRレジスタのSQMONフラグにて確認できます。データ送信時はACKハンドシェイク受信タイミングで、データ受信時はACKハンドシェイク送信タイミングでシーケンスビットが切り替わります。また、DCPCTRレジスタおよびPIPEnCTRレジスタのSQCLRビット、SQSETビットにてデータPIDシーケンスビットを変更可能です。

ファンクションコントローラ機能選択時のコントロール転送では、ステージ遷移時にUSBが自動的にシーケンスビットを設定します。セットアップステージ終了時はDATA1になります。ステータスステージではシーケンスビットは参照せず、PID=DATA1で応答します。このため、ソフトウェアによる設定は必要ありません。ホストコントローラ機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストまたはファンクションのどちらの機能を選択した場合でも、ClearFeatureリクエストの送信または受信時などは、ソフトウェアでデータPIDシーケンスビットを設定する必要がありますので注意してください。

32.3.4.8 応答PID = NAK 機能

USBには、PIPECFG.SHTNAKビットを“1”にすることで、トランスファの最後（ショートパケット受信またはトランザクションカウンタでモジュールが自動識別）のデータパケット受信タイミングで、パイプ動作を禁止（応答PID=NAK）する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファ単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可（応答PID=BUF）設定を行う必要があります。

なお、応答PID=NAK機能はバルク転送時のみ動作することが可能です。

32.3.4.9 自動応答モード

バルク転送のパイプ（パイプ1～5）において、PIPEnCTR.ATREPMビットを“1”にすると、自動応答モードとなります。OUT転送時（PIPECFG.DIRビットが“0”）にはOUT-NAKモードとなり、IN転送時（DIRビットが“1”）にはNull自動応答モードとなります。

32.3.4.10 OUT-NAKモード

バルクOUT転送のパイプにおいて、PIPEnCTR.ATREPMビットを“1”にすると、OUTトークンに対してNAK応答し、NRDY割り込みを出力します。通常モードからOUT-NAKモードへ設定するためには、パイプ動作禁止状態（応答PID=NAK）でOUT-NAKモードに設定して、パイプ動作許可（応答PID=BUF）を行ってください。パイプ動作許可後に、OUT-NAKモードが有効になります。ただし、パイプ動作禁止にする直前でOUTトークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへACK応答されます。

OUT-NAKモードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答PID=NAK）でOUT-NAKモードを解除して、パイプ動作許可（応答PID=BUF）を行ってください。通常モードでは、OUTデータ受信が可能となります。

32.3.4.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを“1”にすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ設定するためには、パイプ動作禁止状態（応答 PID = NAK）で、Null 自動応答モードに設定して、パイプ動作許可（応答 PID = BUF）を行ってください。パイプ動作許可後に、Null 自動応答モードが有効になります。ただし、Null 自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。PIPEnCTR.INBUFM フラグが“0”であることで確認してください。INBUFM フラグが“1”の場合には、バッファ内にデータが存在しているため、PIPEnCTR.ACLRM ビットにより空にしてください。また、Null 自動応答モードへの設定中には、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答 PID = NAK）を Zero-Length パケット送信分ウェイト（約 10 μ s）した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可（応答 PID = BUF）を行うことにより、ホストへのパケット送信が可能となります。

32.3.5 FIFO バッファメモリ

32.3.5.1 FIFO バッファメモリ

USB はデータ転送用の FIFO バッファメモリを内蔵します。各 PIPE の使用領域は、USB にて管理しています。FIFO バッファメモリの状況には、アクセス権がシステム (CPU 側) にある場合と USB (SIE 側) にある場合があります。

(1) バッファステータス

表 32.16 および表 32.17 に USB のバッファステータス表を示します。バッファメモリステータスを DCPCTR.BSTS フラグおよび PIPEnCTR.INBUFM フラグにて確認できます。バッファメモリの転送方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット（DCP 選択時）で指定します。

なお、INBUFM フラグは送信方向のパイプ 1～5 でのみ有効です。

送信側の転送パイプをダブルバッファに設定している場合、BSTS フラグは CPU 側のバッファの状態を、INBUFM フラグは SIE 側のバッファの状態を判断するために使用します。CPU または DMAC/DTC による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空きが判別できない場合に、INBUFM フラグで送信完了を確認できます。

表 32.16 BSTS フラグによるバッファステータス

ISEL または DIR	BSTS	バッファメモリの状態
0 (受信方向)	0	受信データなし、または受信中 FIFO ポートからの読み出し不可能
0 (受信方向)	1	受信データあり、または Zero-Length パケット受信 FIFO ポートからの読み出し可能 ただし、Zero-Length パケット受信時は読み出し不可能のためバッファクリアが必要
1 (送信方向)	0	送信を完了していない FIFO ポートへの書き込み不可能
1 (送信方向)	1	送信完了 CPU は書き込み可能

表32.17 INBUFMフラグによるバッファステータス

DIR	INBUFM	バッファメモリの状態
0 (受信方向)	無効	無効
1 (送信方向)	0	送信可能データを送信完了した 送信可能データなし
1 (送信方向)	1	送信可能データがFIFOポートから書き込まれた 送信可能データあり

32.3.5.2 FIFO バッファクリア

表 32.18 に USB による FIFO バッファメモリのクリア一覧表を示します。バッファメモリは、ポートコントロールレジスタの BCLR ビット、DnFIFOSEL.DCLRM ビット、PIPEnCTR.ACLRM ビットでクリアすることができます。

パイプ 1～5 は、PIPECFG.DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。

表32.18 各バッファクリア一覧

FIFO バッファクリアの種類	CPU側バッファメモリをクリアします	指定パイプのデータを読み出した後で、自動でバッファメモリをクリアするモードです	受信したパケットをすべて破棄する自動バッファクリアモードです
当該レジスタ	CFIFOCTR レジスタ DnFIFOCTR レジスタ	DnFIFOSEL レジスタ	PIPEnCTR レジスタ
当該ビット	BCLR ビット	DCLRM ビット	ACLRM ビット
“0”になる条件	“1”書き込みで“0”になる	1：モード有効 0：モード無効	1：モード有効 0：モード無効

(1) 自動バッファクリアモード機能

USB には、PIPEnCTR.ACLRM ビットを“1”にすることで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。なお、自動バッファクリアモード機能はバッファメモリ読み出し方向のみ設定可能です。

また、ACLRM ビットを“1”にし、続けて“0”にすることで、アクセス方向に関係なく、選択パイプのバッファメモリをクリアできます。

ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの“1”書き込みと“0”書き込みの間隔を 100ns 以上とってください。

32.3.5.3 FIFO ポートの機能

表 32.19 に USB の FIFO ポート機能設定表を示します。データ書き込み時は、マックスパケットサイズ数まで書き込みを行うと、自動的に送信可能状態となります。マックスパケットサイズ数未満のデータを送信可能状態にするには、ポートコントロールレジスタの BVAL ビットによる書き込み終了設定が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時 (DTLN[8:0] フラグが“0”) は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、ポートコントロールレジスタの DTLN[8:0] フラグにて確認します。

表 32.19 FIFOポート機能設定

レジスタ名	ビット名	機能
CFIFOSEL, DnFIFOSEL (n = 0, 1)	RCNT	DTLN読み出しモード選択
	REW	バッファメモリリwind (再読み出し、再書き込み)
	DCLRM	指定パイプの受信データ読み出し後自動クリア (DnFIFO専用)
	DREQE	DMA/DTC転送許可 (DnFIFO専用)
	MBW	FIFOポートアクセスビット幅
	BIGEND	FIFOポートエンディアン選択
	ISEL	FIFOポートアクセス方向 (DCP専用)
	CURPIPE	カレントパイプ選択
CFIFOCTR, DnFIFOCTR (n = 0, 1)	BVAL	バッファメモリ書き込み終了
	BCLR	CPU側バッファメモリクリア
	DTLN	受信データ長確認

(1) FIFO ポート選択

表 32.20 に各 FIFO ポートで選択可能なパイプ表を示します。ポート選択レジスタの CURPIPE[3:0] ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE[3:0] ビット値が正しく読み出せたのを確認してから (前回のパイプ番号が読み出された場合には、USB コントローラがパイプ変更処理中である事を示します)、ポートコントロールレジスタの FRDY フラグが“1”であることを確認し、FIFO ポートへアクセスしてください。

また、ポート選択レジスタの MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPECFG.DIR ビットに従います。ただし、DCP のみポート選択レジスタの ISEL ビットにより決定します。

表 32.20 パイプ別 FIFO ポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPUアクセス	CFIFOポートレジスタ
パイプ1~9	CPUアクセス	CFIFOポートレジスタ D0FIFO/D1FIFOポートレジスタ
	DMAC/DTCアクセス	D0FIFO/D1FIFOポートレジスタ

(2) REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、ポート選択レジスタの REW ビットを使用します。

ポート選択レジスタの CURPIPE[3:0] ビット設定と同時に REW ビットを“1”にしてパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。また、“0”にしパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFO ポートへアクセスするには、パイプ選択後、ポートコントロールレジスタの FRDY フラグが“1”であることを確認する必要があります。

32.3.5.4 DMA 転送 (D0FIFO/D1FIFO ポート)

(1) DMA 転送概要

パイプ 1～9 に対して、DMAC による FIFO ポートアクセスが可能です。DMAC に設定したパイプのバッファがアクセス可能になったとき、DMA 転送要求を出力します。

DnFIFOSEL.MBW ビットにて FIFO ポートへの転送単位を、DnFIFOSEL.CURPIPE[3:0] ビットにて DMA 転送するパイプを選択してください。なお、DMA 転送中は選択しているパイプを変更しないでください。

(2) DnFIFO 自動クリアモード (D0FIFO/D1FIFO ポート読み出し方向)

USB は、DnFIFOSEL.DCLRM ビットを“1”にすることで、バッファメモリからのデータ読み出しを完了した場合に、選択パイプのバッファメモリを自動的にクリアします。

表 32.21 に各設定での、パケット受信とソフトウェアによるバッファメモリクリア処理の関連を示します。表 32.21 に示すように、PIPECFG.BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要などのような状態においても、DnFIFOSEL.DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウェアを介在させない DMA 転送が可能となります。

なお、DnFIFO 自動クリアモードはバッファメモリ読み出し方向のみ設定できます。

表32.21 パケット受信とソフトウェアによるバッファメモリクリア処理の関連

パケット受信時の バッファ状態	レジスタの設定			
	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Lengthパケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

32.3.6 DCP を使用したコントロール転送

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCP のバッファメモリは、コントロールリードおよびコントロールライト共用の固定領域で 64 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

32.3.6.1 ホストコントローラ機能選択時のコントロール転送

(1) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタはセットアップトランザクションの USB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR.SUREQ ビットに“1”を書き込むことで設定されているデータがセットアップトランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、“0”になります。SUREQ=1 中は上記 USB リクエストレジスタを操作しないでください。

接続されたファンクションデバイスのアタッチ検出後、そのデバイスに対する最初のセットアップトランザクションは、DCPMAXP.DEVSEL[3:0] ビットを“0”にし、DEVADD0.USBSPPD[1:0] ビットを設定し上記シーケンスでセットアップトランザクションを発行してください。

接続されたファンクションデバイスが Address ステートに遷移した以降は、DEVSEL[3:0] ビットに割り付けた USB Address 値を設定し、USB Address に対応する DEVADDn レジスタの各ビットを設定後に上記シーケンスでセットアップトランザクションを発行してください。例えば、PIPEMAXP.DEVSEL[3:0]=0010b のときは DEVADD2 レジスタを、PIPEMAXP.DEVSEL[3:0]=0101b のときは DEVADD5 レジスタを設定してください。

トランザクションを送出すると、周辺デバイスからの応答により割り込み要求が発生します (INTSTS1 レジスタの SIGN フラグおよび SACK フラグ)。この割り込み要求によりセットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは、DCPCTR.SQMON フラグの内容にかかわらず、DATA0 のデータパケット (USB リクエスト) が送信されます。

(2) データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスには CFIFOSEL.ISEL ビットでアクセス方向を指定してください。また、DCPCFG.DIR ビットで転送方向を指定してください。

データステージの第1データパケットはデータ PID を DATA1 として通信する必要があります。

DCPCTR.SQSET ビットでデータ PID を DATA1 にセットし、PID[1:0] ビットを“01b” (BUF) に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後に Zero-Length パケットを送出するようにソフトウェアで制御してください。

(3) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送です。データステージ同様に DCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

ステータスステージのデータパケットはデータ PID を DATA1 として通信する必要があります。

DCPCTR.SQSET ビットでデータ PID を DATA1 にセットしてください。

また、Zero-Length パケットの受信は、BRDY 割り込み発生後 CFIFOCTR.DTLN[8:0] フラグで受信データ長を確認のうえ、CFIFOCTR.BCLR ビットでバッファメモリクリアを行ってください。

32.3.6.2 ファンクションコントローラ機能選択時のコントロール転送

(1) セットアップステージ

USBは、USBに対する正常なセットアップパケットに対してACK応答します。セットアップステージのUSBの動作を以下に示します。

新しいセットアップパケットを受信すると、USBは以下のビットをセットします。

- INTSTS0.VALID フラグを“1”にする
- DCPCTR.PID[1:0] ビットを“00b”(NAK)にセット
- DCPCTR.CCPL ビットを“0”にする

セットアップパケットに引き続きデータパケット受信すると、USBは、USBリクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は、VALIDフラグを“0”にした後にしてください。VALIDフラグが“1”の状態ではPID[1:0]=01b(BUF)設定が行えず、データステージを終了することができません。

VALIDフラグの機能により、USBは、コントロール転送中に新しいUSBリクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、USBは、受信したUSBリクエストの方向ビット (bmRequestTypeのビット8) およびリクエストデータ長 (wLength) を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。USBのステージ管理については図32.16を参照してください。

(2) データステージ

受信したUSBリクエストに対応したデータ転送をDCPにて行ってください。DCPバッファメモリへアクセスする前に、CFIFOSEL.ISELビットにてアクセス方向指定を行ってください。

転送データがDCPバッファメモリのサイズより大きい場合には、コントロールライト転送ではBRDY割り込みを、コントロールリード転送ではBEMP割り込みを使用してデータ転送を行ってください。

(3) ステータスステージ

DCPCTR.PID[1:0]ビットが“01b”(BUF)の状態、DCPCTR.CCPLビットを“1”にすることによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、USBが自動的にステータスステージを実行します。具体的には下記のとおりです。

- コントロールリード転送の場合
USBホストからのZero-Lengthパケットを受信し、ACK応答を送信します。
- コントロールライト転送、ノーデータコントロール転送の場合
USBはZero-Lengthパケットの送信を行い、USBホストからのACK応答を受信します。

(4) コントロール転送自動応答機能

USBは、正常なSET_ADDRESSリクエストに自動応答します。SET_ADDRESSリクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- bmRequestTypeが“00h”でない場合：コントロールライト転送以外
- wIndexが“00h”でない場合：リクエストエラー
- wLengthが“00h”でない場合：ノーデータコントロール転送以外
- wValueが“7Fh”より大きい場合：リクエストエラー
- INTSTS0.DVSQ[2:0]フラグが“011b”(Configuredステート)の場合：デバイスステートエラーのコントロール転送

SET_ADDRESS以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

32.3.7 バルク転送（パイプ1～5）

バルク転送は、バッファメモリ使用方法（シングル/ダブルバッファ設定）の選択ができます。

USBは、バルク転送専用として下記の機能を備えています。

- BRDY 割り込み選択機能（PIPECFG.BFRE ビット：「32.3.3.1 (2) SOFCFG.BRDYM ビットが“0”かつ PIPECFG.BFRE ビットが“1”のとき」参照）
- トランザクションカウント機能
(PIPE_nTRE.TRENB, TRCLR ビット、PIPE_nTRN.TRNCNT[15:0] ビット：「32.3.4.5 トランザクションカウンタ（パイプ1～5読み出し方向）」参照）
- 応答PID=NAK機能（PIPECFG.SHTNAK ビット：「32.3.4.8 応答PID=NAK機能」参照）
- 自動応答モード（PIPE_nCTR.ATREPM ビット：「32.3.4.9 自動応答モード」参照）

32.3.8 インタラプト転送 (パイプ 6 ~ 9)

ファンクションコントローラ機能選択時、USB は、ホストコントローラが管理している周期に従ってインタラプト転送を行います。

ホストコントローラ機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。

32.3.8.1 ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI.IITV[2:0] ビットに、トランザクションのインターバルを設定します。USB コントローラは設定されたインターバルに従ってインタラプト転送のトークンを発行します。

(1) カウンタの初期化

インターバルカウンタは、MCU がリセットされたとき、または PIPEEnCTR.ACLRM ビットを“1”にしたときに初期化されます。なお、ACLRM ビットによる初期化時は、PIPEPERI.IITV[2:0] ビットは初期化されません。

以下の場合にはインターバルカウンタは初期化されませんのでご注意ください。

- USB バスリセット、USB サスペンド

IITV[2:0] ビットは初期化されません。DVSTCTR0.UACT ビットを“1”にすることにより、USB バスリセット、USB サスペンド状態とする前の値からカウントを開始します。

(2) トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

- PID[1:0] を“00b” (NAK) または“1xb” (STALL) に設定した場合
- IN 方向 (受信) の転送でトークンの送信タイミングにバッファメモリに空き領域がない場合
- OUT 方向 (送信) の転送でトークンの送信タイミングにバッファメモリに送信データがない場合

32.3.9 アイソクロナス転送（パイプ 1、2）

USB は、アイソクロナス転送に対して下記の機能を備えています。

- アイソクロナス転送のエラー情報通知
- インターバルカウンタ（PIPEPERL.IITV[2:0] ビット指定）
- アイソクロナス IN 転送データセットアップコントロール（IDLY 機能）
- アイソクロナス IN 転送バッファフラッシュ機能（PIPEPERL.IFIS ビット指定）

32.3.9.1 アイソクロナス転送のエラー検出

USB は、アイソクロナス転送のエラー発生を、ソフトウェアで管理可能なように、下記のエラー情報の検出機能を持っています。表 32.22 および表 32.23 に USB がエラーを検出する優先順位とエラー検出に伴って発生させる割り込みについて示します。

(a) PID エラー

- 受信パケットの PID が不正な場合

(b) CRC エラー、ビットスタッフィングエラー

- 受信パケットの CRC にエラーがあった場合またはビットスタッフィングが不正な場合

(c) マックスパケットサイズオーバ

- 受信パケットのデータサイズがマックスパケットサイズの設定値を超えていた場合

(d) オーバラン、アンダランエラー

- ホストコントローラ機能選択時
IN 方向（受信）の転送時にトークンの送信タイミングにバッファメモリに空き領域がない場合
OUT 方向（送信）の転送時にトークンの送信タイミングにバッファメモリにデータがない場合
- ファンクションコントローラ機能選択時
IN 方向（送信）の転送時に IN トークン受信時にバッファメモリにデータがない場合
OUT 方向（受信）の転送時に OUT トークン受信したがバッファメモリに空き領域がない場合

(e) インターバルエラー

ファンクションコントローラ機能選択時に、以下のときにインターバルエラーとします。

- アイソクロナス IN 転送でインターバルフレームに IN トークンを受信できなかった場合
- アイソクロナス OUT 転送でインターバルフレームに OUT トークンを受信できなかった場合

表 32.22 トークン受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず（破損パケットとして無視）
2	CRCエラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず（破損パケットとして無視）
3	オーバラン、アンダランエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させ、FRMNUM.OVRN フラグを“1”にします。ファンクションコントローラ機能選択時は、IN トークンに対して Zero-Length パケットを送信します。OUT トークンに対してはデータパケットを受信しません
4	インターバルエラー	ファンクションコントローラ機能選択時は、NRDY 割り込みを発生させます。ホストコントローラ機能選択時は発生しません

表32.23 データパケット受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	割り込み発生せず（破損パケットとして無視）
2	CRCエラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY割り込みを発生させて、FRMNUM.CRCEフラグを“1”にします
3	マックスパケットサイズオーバーエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、BEMP割り込みを発生させて、PID[1:0]ビットを1xb (STALL)にセットします

32.3.9.2 データ PID

ファンクションコントローラ機能選択時に、受信した PID に対する対応を以下に示します。

IN 方向

- DATA0：データパケットの PID として送信します
- DATA1：送信しません
- DATA2：送信しません
- mData：送信しません

OUT 方向

- DATA0：データパケットの PID として正常受信します
- DATA1：データパケットの PID として正常受信します
- DATA2：パケットを無視します
- mData：パケットを無視します

32.3.9.3 インターバルカウンタ

PIPEPERL.IITV[2:0] ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、ファンクションコントローラ機能選択時、表 32.24 に示す機能を実現します。ホストコントローラ機能選択時は、トークンの発行タイミングを生成します。ホストコントローラ機能選択時のインターバルカウンタの動作は、インタラプト転送と同じ動作となります。

表32.24 ファンクションコントローラ機能選択時のインターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナスIN転送でインターバルフレームにINトークンを正常受信できない
OUT	トークン未受信の通知	アイソクロナスOUT転送でインターバルフレームにOUTトークンを正常受信できない

インターバルのカウントは、SOF の受信または補完された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2IITV[2:0] フレームです。

(1) ファンクションコントローラ機能選択時でのカウンタの初期化

インターバルカウンタは、MCU がリセットされたとき、または PIPEEnCTR.ACLRM ビットを“1”にしたときに初期化されます。なお、ACLRM ビットによる初期化時は、PIPEPERL.IITV[2:0] ビットは初期化されません。

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記の条件でインターバルのカウンタを開始します。

1. PID[1:0] = 01b (BUF) 状態で IN トークンに対して、データを送信後の SOF 受信
2. PID[1:0] = 01b (BUF) 状態で OUT トークンのデータを受信後の SOF 受信

なお、下記の条件ではインターバルカウンタは初期化されません。

- PID[1:0] ビットを“00b” (NAK) または“1xb” (STALL) に設定した場合
インターバルタイマは停止しません。次のインターバルにトランザクションの実行を試みます。
- USB バスリセットおよび USB サスペンド
IITV[2:0] ビットは初期化されません。SOF を受信すると、受信前の値からカウンタを開始します。

(2) ホストコントローラ機能選択時のインターバルカウントと転送制御

PIPEPERL.IITV[2:0] ビットの設定値に従って USB はトークン発行間隔を制御します。USB は 2^{IITV[2:0]} 回のフレームに 1 回の間隔で選択パイプに対するトークンを発行します。

USB は、ソフトウェアで PID[1:0] ビットを“01b” (BUF) に設定した次のフレームからトークン発行間隔のカウンタを開始します。

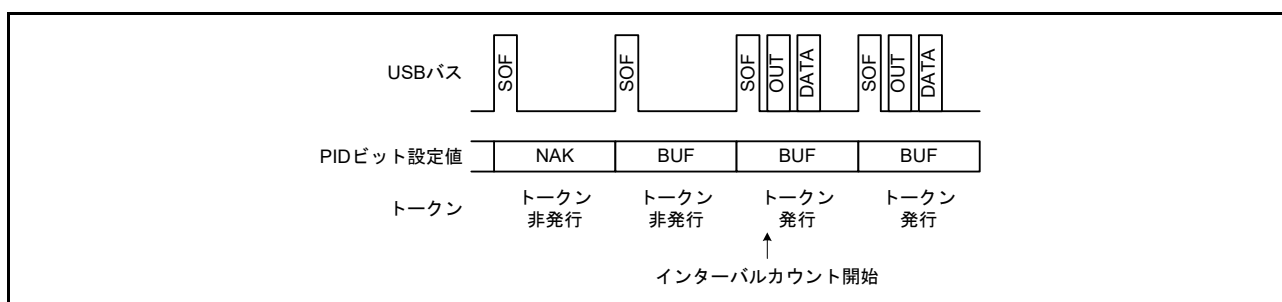


図 32.17 IITV[2:0] = 000b の場合のトークン発行有無

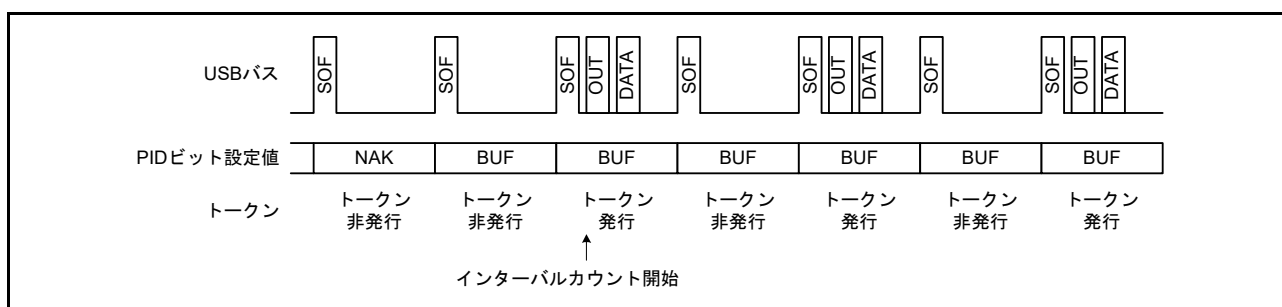


図 32.18 IITV[2:0] = 001b の場合のトークン発行有無

選択パイプの転送タイプがアイソクロナスの場合には、USB はトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも USB はトークンを発行します。

(a) 選択パイプがアイソクロナス IN 転送パイプの場合

IN トークンを発行し、周辺デバイスから正常にパケットを受信しなかった場合（無応答やパケットエラー等の場合）に、NRDY 割り込みを発生させます。

CPU または DMAC/DTC が FIFO バッファからデータを読み出すのが遅いなどの原因で FIFO バッファがフルのために、USB がデータを受信できない状態で、IN トークン発行タイミングに至った場合、USB は FRMNUM.OVRN フラグを“1”にし、NRDY 割り込みを発生させます。

(b) 選択パイプがアイソクロナス OUT 転送パイプの場合

CPU または DMAC/DTC が FIFO バッファにデータを書き込むのが遅いなどの原因で、送信可能なデータが FIFO バッファに無い状態で OUT トークン発行タイミングに至った場合、USB は OVRN フラグを“1”にし、NRDY 割り込みを発生させ、Zero-Length パケットを送信します。

トークン発行間隔のリセット条件は以下の場合は。

- USB が端子リセットされた場合
（このとき、IITV[2:0] ビットへの設定値も“0”になります）
- ソフトウェアで PIPEnCTR.ACLRM ビットを“1”にした場合

(3) ファンクションコントローラ機能選択時のインターバルカウントと転送制御**(a) 選択パイプがアイソクロナス OUT 転送パイプの場合**

PIPEPERI.IITV[2:0] ビットに設定したインターバルごとのフレーム中に DATA パケットを受信しなかったとき、USB は NRDY 割り込みを発生させます。

DATA パケットに CRC エラー等のエラーが発生したために受信できなかったとき、または FIFO バッファがフルのために USB がデータを受信できなかったときにも NRDY 割り込みを発生させます。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF を受信すべきタイミングに割り込みを発生させます。

ただし IITV[2:0]=000b 以外のときには、インターバルカウント開始後のインターバルごとの SOF パケット受信時に NRDY 割り込みを発生させます。

インターバルタイム起動後、ソフトウェアで PID[1:0] ビットに“00b” (NAK) を設定した場合、USB は SOF パケットを受信しても NRDY 割り込みを発生させません。

インターバルのカウント開始条件は、IITV[2:0] ビットの設定値により異なります。

- IITV[2:0]=000b の場合
選択パイプの PID[1:0] ビットを“01b” (BUF) に変更した時点でインターバルのカウントを開始します。

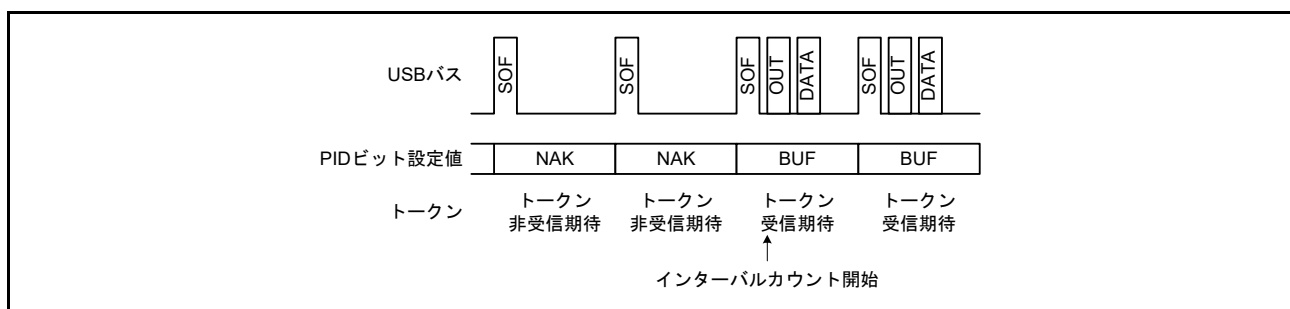


図 32.19 IITV[2:0]=000b の場合のフレームとトークン受信期待有無の関係

- IITV[2:0] = 000b 以外の場合

選択パイプの PID[1:0] ビットを “01b” (BUF) に変更した後、最初の DATA パケット正常受信完了時点からインターバルのカウンタを開始します。

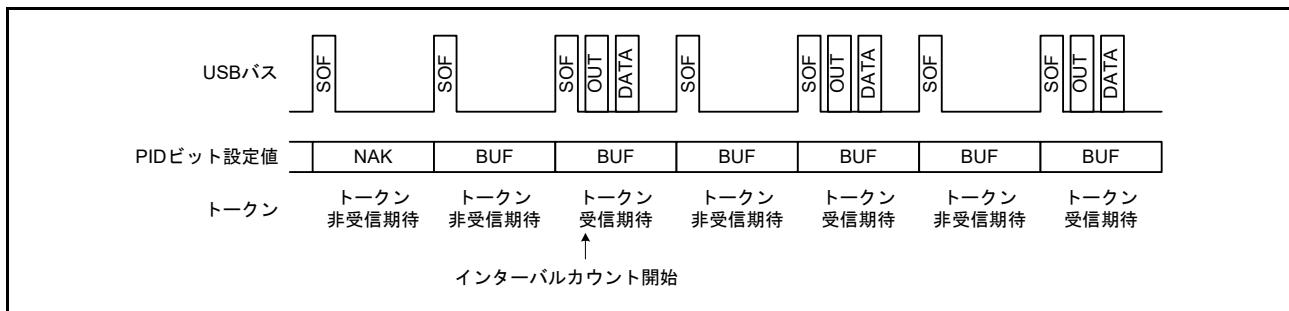


図 32.20 IITV[2:0] = 000b 以外の場合のフレームとトークン受信期待有無の関係

(b) 選択パイプがアイソクロナス IN 転送パイプの場合

PIPEPERL.IFIS ビットを “1” にして使用します。

IFIS ビットが “0” の場合には PIPEPERL.IITV[2:0] ビットへの設定値とは関係なく、受信したトークンにตอบสนองしてデータパケットを送信します。

IFIS ビットが “1” のときは、FIFO バッファに送信可能なデータが存在している状態で、IITV[2:0] ビットに設定したインターバルごとのフレーム中に IN トークンを受信しなかったとき、USB は FIFO バッファをクリアします。

IN トークンに CRC エラー等のバスエラーが発生したために USB が正常受信できなかった場合にもクリアを行います。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF を受信すべきタイミングに FIFO バッファクリアを行います。

インターバルのカウンタ開始条件は、IITV[2:0] ビットの設定値により異なります (OUT 時と同様です)。

ファンクションコントローラ機能選択時のインターバルカウンタ開始条件は以下のいずれかの場合です。

- USB がハードウェアリセットされた場合 (このとき、IITV[2:0] ビットへの設定値も “000b” になります)
- ソフトウェアで PIPEnCTR.ACLRM ビットを “1” にした場合
- USB が USB バスリセットを検出した場合

(4) ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ

ファンクションコントローラ機能選択時、USB のアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送出手続きが可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した 1 面だけとなります。このため同一フレームで、複数の IN トークンを受信しても、送出されるバッファメモリは 1 パケット分だけとなります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダランエラーとなります。

図 32.21 に USB で、IITV[2:0] = 000b (毎フレーム) にした場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

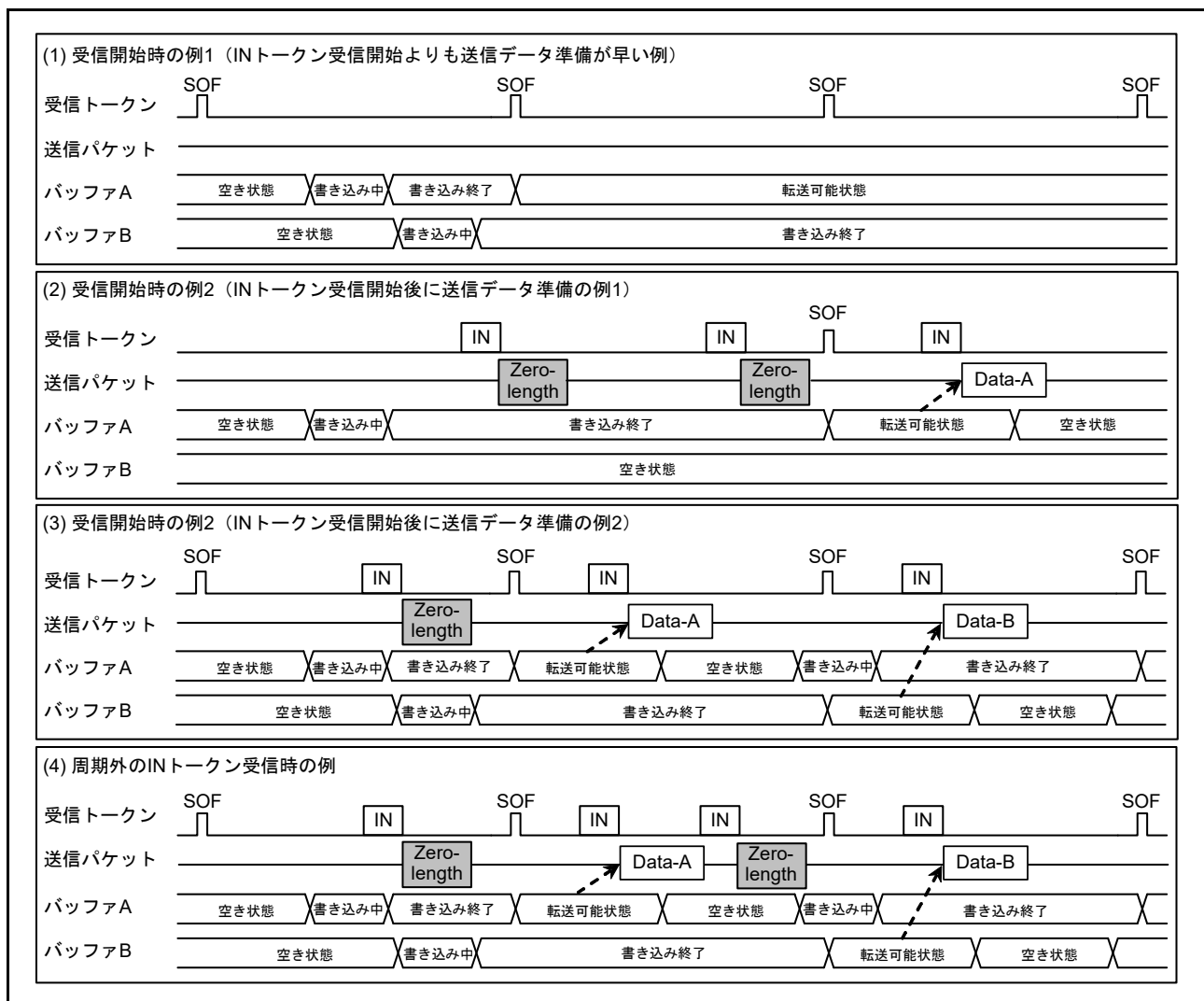


図 32.21 データセットアップ機能動作例

(5) ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ

ファンクションコントローラ機能選択時、USBは、アイソクロナスデータ送信でインターバルフレームにINトークンを受信せず、次フレームのSOFパケットを受信した場合は、INトークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、SOFパケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能はPIPEPERI.IITV[2:0]ビットの設定値により動作開始タイミングが異なります。

- IITV[2:0] = 000b の場合
パイプが有効となった次のフレームからバッファフラッシュ動作します。
- IITV[2:0] = 000b 以外の場合
最初の正常なトランザクション以降バッファフラッシュ動作します。

図 32.22 に USB のバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外（インターバルフレーム前のトークン）に対しては、データセットアップ状態に従い、書き込みデータの送出またはアンダランエラーとして Zero-Length パケットを送出します。

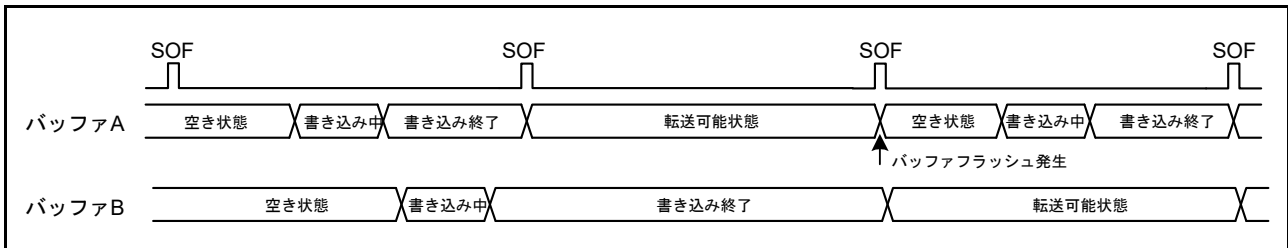


図 32.22 バッファフラッシュ機能動作例

図 32.23 に USB のインターバルエラー発生例を示します。インターバルエラーは下記の 5 種類です。図中の①タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバランエラーとの区別は FRMNUM.OVRN フラグで判定してください。

図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

【IN 方向】

- バッファ転送可能状態であればデータ転送し正常応答
- バッファ転送不能状態であれば Zero-Length パケット送信しアンダランエラー

【OUT 方向】

- バッファ受信可能状態であればデータ受信し正常応答
- バッファ受信不能状態であればデータ破棄しオーバランエラー

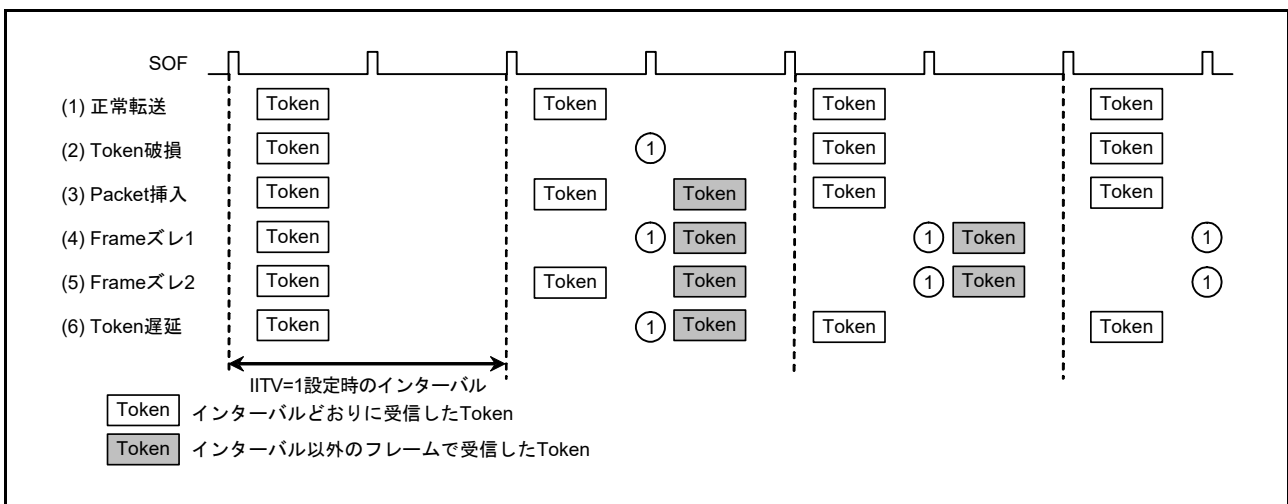


図 32.23 IITV[2:0] = 001b のときのインターバルエラー発生例

32.3.10 SOF 補完機能

ファンクションコントローラ機能を選択時に SOF パケットの破損または欠落のために、1 ms 間隔で SOF パケットを受信できなかった場合に、USB は SOF を補完します。SOF 補完動作の開始は SYSCFG.USBE ビットが“1”、SYSCFG.SCKE ビットが“1”かつ SOF パケット受信となります。また、下記の条件で補完機能が初期化されます。

- MCU のリセット
- USB バスリセット
- サスペンド検出

また、SOF 補完は次の仕様で動作します。

- SOF パケット受信までは補完機能は動作しない。
- 最初の SOF パケット受信後は内部クロック 48 MHz で 1 ms をカウントし補完する
- 2 回目以降の SOF パケットを受信後は前回の受信間隔を用いて補完する
- サスペンド時および USB バスリセット受信中は補完しない

USB は、SOF パケットの受信に基づいて下記の機能を動作させますが、SOF パケットが欠落した場合には SOF 補完を行うため、正常動作を継続させることができます。

- フレーム番号の更新
- SOFR 割り込みタイミング
- アイソクロナス転送インターバルカウント

SOF パケットが欠落した場合には、FRMNUM.FRNM[10:0] フラグは更新されません。

32.3.11 パイプスケジュール

32.3.11.1 トランザクション発行条件

USB は、ホストコントローラ機能選択時、DVSTCTR0.UACT ビットを“1”にしたあと、表 32.25 に示す条件でトランザクションを発行します。

表32.25 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID[1:0]	IITV[0]	バッファの状態	SUREQ
セットアップ	— (注1)	— (注1)	— (注1)	— (注1)	“1”設定
コントロール転送のデータステージ、ステータスステージ、バルク転送	IN	BUF	無効	受信領域あり	— (注1)
	OUT	BUF	無効	送信データあり	— (注1)
インタラプト転送	IN	BUF	有効	受信領域あり	— (注1)
	OUT	BUF	有効	送信データあり	— (注1)
アイソクロナス転送	IN	BUF	有効	(注2)	— (注1)
	OUT	BUF	有効	(注3)	— (注1)

注1. 表中の「—」は、トークンの発行に関係のない条件であることを示します。有効はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみ発行されることを示します。無効はインターバルカウンタに関わらず発行されることを示します。

注2. 受信領域の有無にかかわらずトランザクションを発行します。ただし、受信領域がなかった場合は受信データを破棄します。

注3. 送信データの有無にかかわらずトランザクションを発行します。ただし送信データがなかった場合は、Zero-Lengthパケットを送信します。

32.3.11.2 転送スケジュール

USB のフレーム内の転送スケジュールリング方法について説明します。USB は、SOF を送信後、以下に示す順番で転送を行います。

1. 周期的転送の実行
パイプ 1 →パイプ 2 →パイプ 6 →パイプ 7 →パイプ 8 →パイプ 9 の順に検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。
2. コントロール転送のセットアップトランザクション
DCP を確認してセットアップトランザクションが可能であれば送信します。
3. バルク、コントロール転送データステージ、ステータスステージの実行
DCP →パイプ 1 →パイプ 2 →パイプ 3 →パイプ 4 →パイプ 5 の順にパイプを検索し、バルク、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを実行します。
トランザクションを発行したとき、周辺デバイスからの応答が ACK であっても NAK であっても次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、3. を繰り返します。

32.3.11.3 USB 通信許可

DVSTCTR0.UACT ビットを“1”にすることにより、SOF の送信を開始し、トランザクションの発行が可能となります。

UACT ビットを“0”にすると、SOF の送信を停止しサスペンドとなります。UACT ビットを“1”から“0”にする場合、次の SOF を送信してから停止します。

32.4 使用上の注意事項

32.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、USB の動作禁止 / 許可することができます。リセット後の値では、USB の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

32.5 Battery Charging 検知処理

Battery Charging 規格が定める Data Contact Detection 処理 (D+ 線接触確認)、Primary Detection 処理 (Charger 検知処理)、Secondary Detection 処理 (Charger 判定処理) の制御をコントロールすることができます。

以下の項で、Function Device, Host Device それぞれの場合に求められる動作を説明します。

32.5.1 ファンクションコントローラ時の処理

Battery Charging の Portable Device として動作させる場合、以下の処理が求められます。

- (1) Data 線 (D+/D-) の接触を検知し、Primary Detection 処理を開始。
- (2) Primary Detection 開始後、40 ms のマスク期間後、D- の電圧レベルにより、Primary Detection の結果を確認。
- (3) Primary Detection で Charger 検知となった場合、さらに、Secondary Detection を開始する。
- (4) Secondary Detection 開始後、40 ms のマスク期間後、D+ の電圧レベルにより、Secondary Detection の結果を確認。

(1) に対しては、VBINT 割り込み、VBSTS フラグにより、VBUS を検知した後、300 ms ~ 900 ms のソフトウェアウェイト後、USBBCCTRL0 レジスタの VDPSRCE0 ビット、IDMSINKE0 ビットを“1”にします。もしくは、IDPSRCE0 ビットを“1”にし、LNST[1:0] フラグにより、D+ 線が High から Low になることを検知し、IDPSRCE0 ビットを“0”、VDPSRCE0 ビット、IDMSINKE0 ビットを“1”にします。VDPSRCE0 ビット、IDMSINKE0 ビットは同時に“1”にしてください。(注1)

(2) に対しては、VDPSRCE0 ビット、IDMSINKE0 ビットを“1”にして 40 ms のソフトウェアウェイト後、CHGDETSTS0 フラグにより、Primary Detection の結果を判断します。(注2)

(3) に対しては、(2) の処理で CHGDETSTS0 フラグが“1”になっている場合、Charger 検知したとして判断し、VDPSRCE0 ビット、IDMSINKE0 ビットを“0”にし、VDMSRCE0 ビット、IDPSINKE0 ビットを“1”にします。

(4) に対しては、VDMSRCE0 ビット、IDPSINKE0 ビットを“1”にして 40 ms のソフトウェアウェイト後、PDDETSTS0 フラグにより、Secondary Detection の結果を判断します。

以下に処理フロー図を示します。

- 注 1. Battery Charging 規格では、Data Contact Detection (D+/D- ラインの接触確認) のための処理フローとして 2 通りの実装方法を示してあります。一つは、D+ ラインに 7 ~ 13 μ A の電流を印加することで D+ ラインを Logic High 状態にしておき、D+/D- ラインが相手と接触するとホスト機器側のプルダウン抵抗により Logic Low になることを検知する方法です。もう一方の方法は、VBUS 検知後 300 ms ~ 900 ms 間ウェイトする方法です。
- 注 2. Primary Detection では、D- ラインが 0.25 V ~ 0.4 V 以上、0.8 V ~ 2.0 V 以下であることを検知することで相手機器が Battery Charging 対応ホスト機器 (Charging Downstream Port) と判断します。CHGDETSTS0 フラグが D- ラインの 0.25 V ~ 0.4 V 以上ということだけを示すような PHY を使用される場合、LNST[1:0] フラグにより D- ラインが 0.8 V ~ 2.0 V 以下であることの確認処理を適宜追加してください。

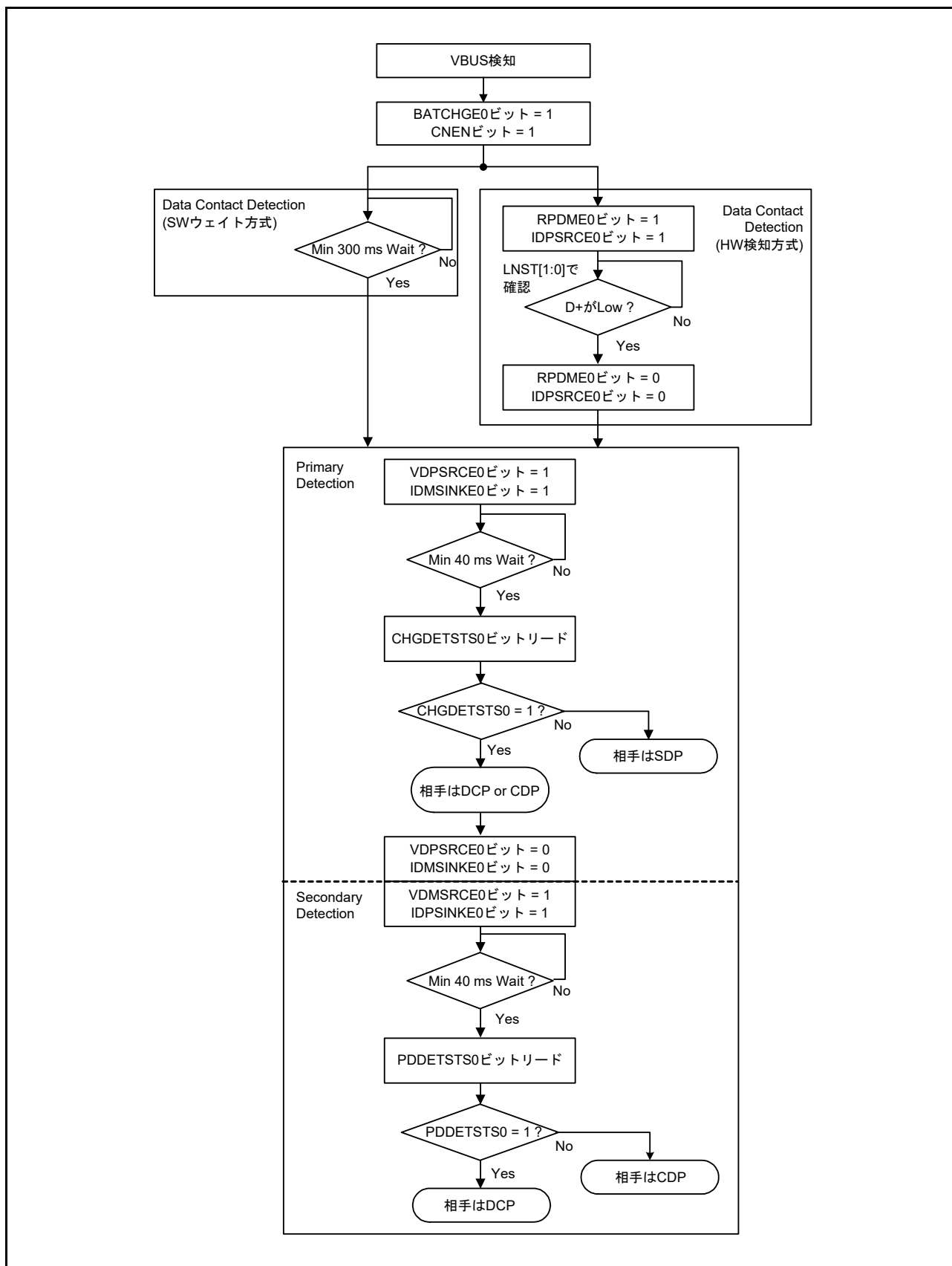


図 32.24 Portable Device としての処理フロー

32.5.2 ホストコントローラ時の処理

Battery Charging の Charging Downstream Port として動作させる場合は、以下の処理が求められます。

- (1) VBUS のドライブを開始。
- (2) PortableDevice 検知回路を有効にする。
- (3) PortableDevice 検知信号をモニタし、PortableDevice 検知信号が High であれば D-ラインのドライブを開始。
- (4) PortableDevice 検知信号が Low であることを検知して、D-ラインのドライブを終了。

Battery Charging 規格では、もしくは、以下の処理でもよいとなっています。

- (A) 切断検知後、200 ms以内にD-ラインのドライブを開始。
- (B) 接続検知後、10 ms以内にD-ラインのドライブを終了。

つまり、Portable Device が「32.5.1 ファンクションコントローラ時の処理」で示した Primary Detection を検知することができるために、D-ラインをドライブすることが求められます。上記の(1)～(4)の方式は、ハードウェアとして Portable Device 検知機能を持っている場合であり、Portable Device を検知した場合に D-ラインをドライブする方式です。(A)～(B)はハードウェアとして Portable Device 検知機能を持たない場合、もしくは使用しない場合であり、Portable Device 検知の有無に関わらず、Dis-Connect 状態で D-ラインのドライブ ON、Connect 状態でドライブ OFF の制御を行う方式です。Battery Charging 規格では、どちらの方式を採用してもよいとされています。

(3)、(4)に対しては、PDDDETINT 割り込みで PortableDevice 検知信号の変化を検知し、PDDDETSTS0 フラグをリードし、現在の信号状態を知ることができます。

(A)、(B)はソフトウェアタイマのみで実現可能です。

(1)～(4)の処理、(A)～(B)の処理の処理フロー図を、それぞれ以下に示します。

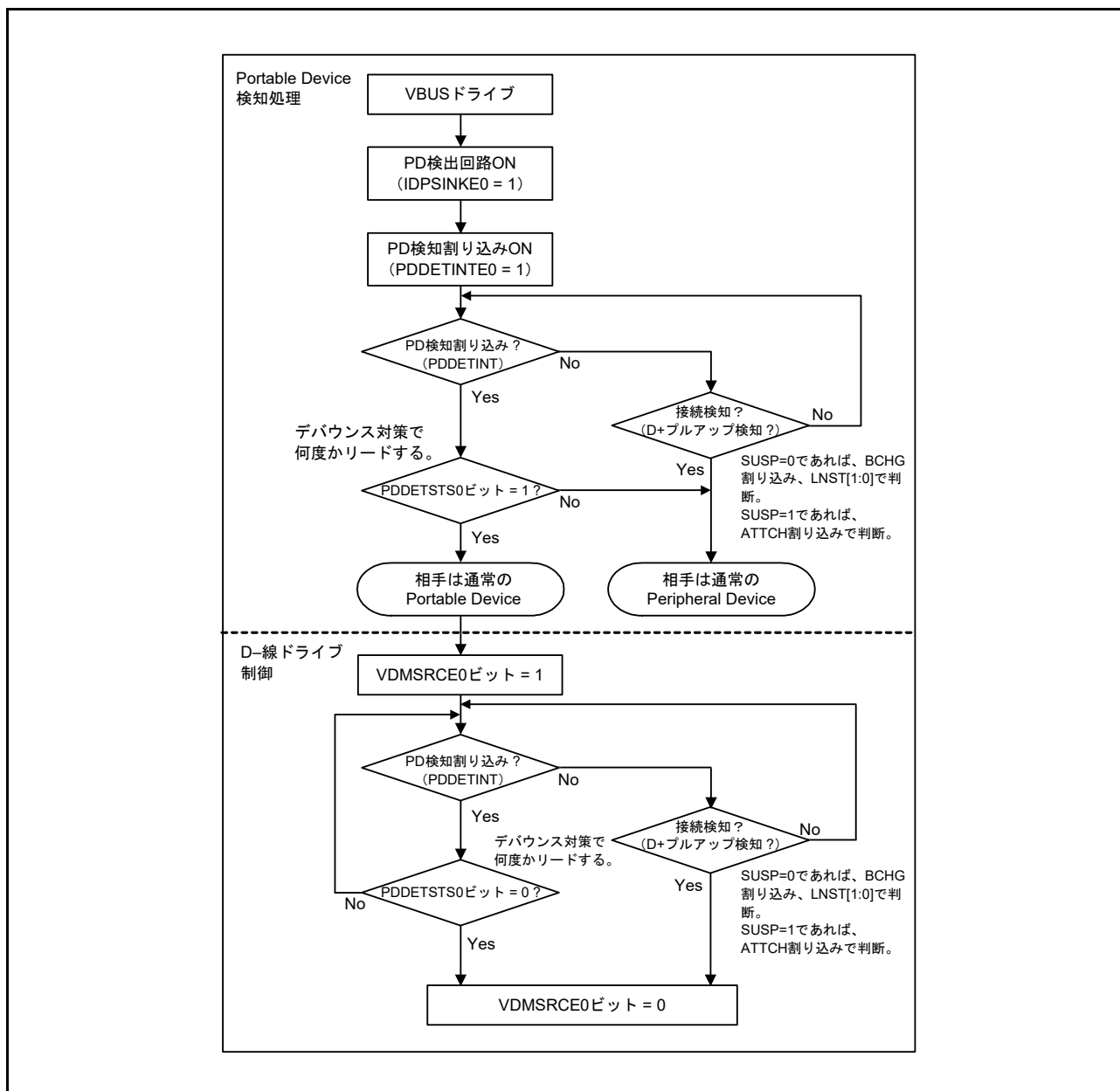


図 32.25 Charging Downstream Port としての処理フロー ((1) ~ (4) の処理)

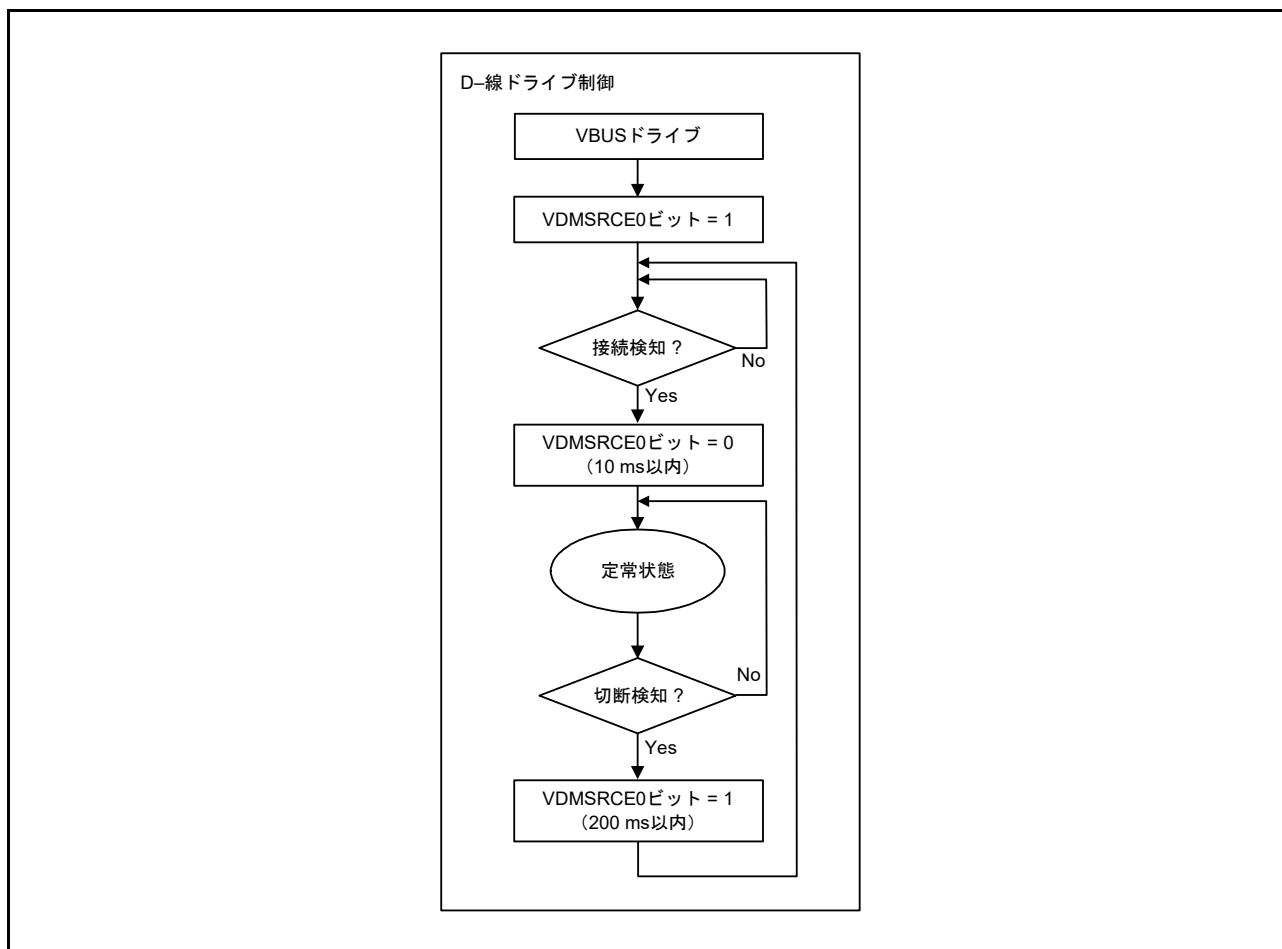


図 32.26 Charging Downstream Port としての処理フロー ((A) ~ (B) の処理)

33. シリアルコミュニケーションインタフェース (SCIg, SCIH)

本 MCU は、独立した 7 チャンネルのシリアルコミュニケーションインタフェース (SCI: Serial Communications Interface) を備えています。SCI は、SCIg モジュール (SCI0, SCI1, SCI5, SCI6, SCI8, SCI9) と、SCIH モジュール (SCI12) から構成されています。

SCIg (SCI0, SCI1, SCI5, SCI6, SCI8, SCI9) は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communications Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。さらに、簡易 I²C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。

SCIH (SCI12) は、上記の機能に加えて、Start Frame、Information Frame から構成される拡張シリアル通信プロトコルに対応しています。

本章に記載している PCLK とは PCLKB を指します。

33.1 概要

表 33.1 に SCIg の仕様を、表 33.2 に SCIH の仕様を、表 33.3 に SCI チャンネル別機能一覧を示します。

図 33.1 に SCI0、SCI1、SCI8、SCI9 のブロック図を、図 33.2 に SCI5、SCI6 のブロック図を、図 33.3 に SCI12 (SCIH) のブロック図を示します。

表 33.1 SCIg の仕様 (1/2)

項目	内容	
シリアル通信方式	<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I²C バス 簡易 SPI バス 	
転送速度	ボーレートジェネレータ内蔵により任意のビットレートを設定可能	
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能	
入出力端子	表 33.4～表 33.6 参照	
データ転送	LSB ファースト/MSB ファースト選択可能 (注1)	
割り込み要因	送信終了、送信データエンpty、受信データフル、受信エラー 開始条件/再開条件/停止条件生成終了 (簡易 I ² C モード用)	
消費電力低減機能	チャンネルごとにモジュールストップ状態への遷移が可能	
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTS#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Low または立ち下がリエッジを選択可能
	ブレイク検出	フレーミングエラー発生時、RXDn 端子のレベルを直接読み出すことでブレイクを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMR からの転送レートクロック入力が可能 (SCI5, SCI6)
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵

表 33.1 SCIgの仕様 (2/2)

項目		内容
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカード インタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
	通信フォーマット	I ² Cバスフォーマット
簡易I ² Cモード	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	ファストモード対応 (転送速度は「33.2.11 ビットレートレジスタ (BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
	データ長	8ビット
簡易SPIモード	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
	ビットレートモジュレーション機能	内蔵ポーレートジェネレータの出力補正により誤差を低減可能
イベントリンク機能 (SCI5のみ対応)	エラー (受信エラー・エラーシグナル検出) イベント出力	
	受信データフルイベント出力	
	送信データエンプティイベント出力	
	送信終了イベント出力	

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表 33.2 SCIHの仕様 (1/2)

項目	内容
シリアル通信方式	<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易I²Cバス 簡易SPIバス
転送速度	ポーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信	送信部: ダブルバッファ構成による連続送信が可能 受信部: ダブルバッファ構成による連続受信が可能
入出力端子	表 33.4 ~ 表 33.7 参照
データ転送	LSBファースト/MSBファースト選択可能 (注1)
割り込み要因	送信終了、送信データエンプティ、受信データフル、受信エラー 開始条件/再開条件/停止条件生成終了 (簡易I ² Cモード用)
消費電力低減機能	モジュールストップ状態への遷移が可能

表33.2 SCIfの仕様 (2/2)

項目	内容	
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Lowまたは立ち下がリエッジを選択可能
	ブレイク検出	フレーミングエラー発生時、RXDn端子のレベルを直接読み出すことでブレイクを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMRからの転送レートクロック入力が可能 (SCI12)
	倍速モード	ポーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカード インタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	ファストモード対応 (転送速度は「33.2.11 ビットレートレジスタ (BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
拡張シリアルモード	Start Frame送信	<ul style="list-style-type: none"> Break Field Low widthの出力が可能/出力完了割り込み機能あり バス衝突検出機能あり/検出割り込み機能あり
	Start Frame受信	<ul style="list-style-type: none"> Break Field Low widthの検出が可能/検出完了割り込み機能あり Control Field 0、Control Field 1のデータ比較/一致割り込み機能あり Control Field 1にはプライマリ/セカンダリの2種類の比較データを設定可能 Control Field 1にプライオリティインタラプトビットを設定可能 Break FieldがないStart Frameにも対応可能 Control Field 0がないStart Frameにも対応可能 ビットレート測定機能あり
	入出力制御機能	<ul style="list-style-type: none"> TXDX12/RXDX12信号の極性選択が可能 RXDX12信号にデジタルフィルタ機能を設定可能 RXDX12端子とTXDX12端子を兼用した半二重通信が可能 RXDX12端子受信データサンプリングタイミング選択可能 拡張シリアルモード制御部OFF時、RXDX12受信信号をSCIgヘスルー出力可能
	タイマ機能	<ul style="list-style-type: none"> リロードタイマ機能として使用可能
ビットレートモジュレーション機能	内蔵ポーレートジェネレータの出力補正により誤差を低減可能	

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表 33.3 SCIチャネル別機能一覧

項目	SCI0, SCI1, SCI8, SCI9	SCI5	SCI6	SCI12
調歩同期式モード	○	○	○	○
クロック同期式モード	○	○	○	○
スマートカードインタフェースモード	○	○	○	○
簡易I ² Cモード	○	○	○	○
簡易SPIモード	○	○	○	○
拡張シリアルモード	—	—	—	○
TMRクロック入力	—	○	○	○
イベントリンク機能	—	○	—	—

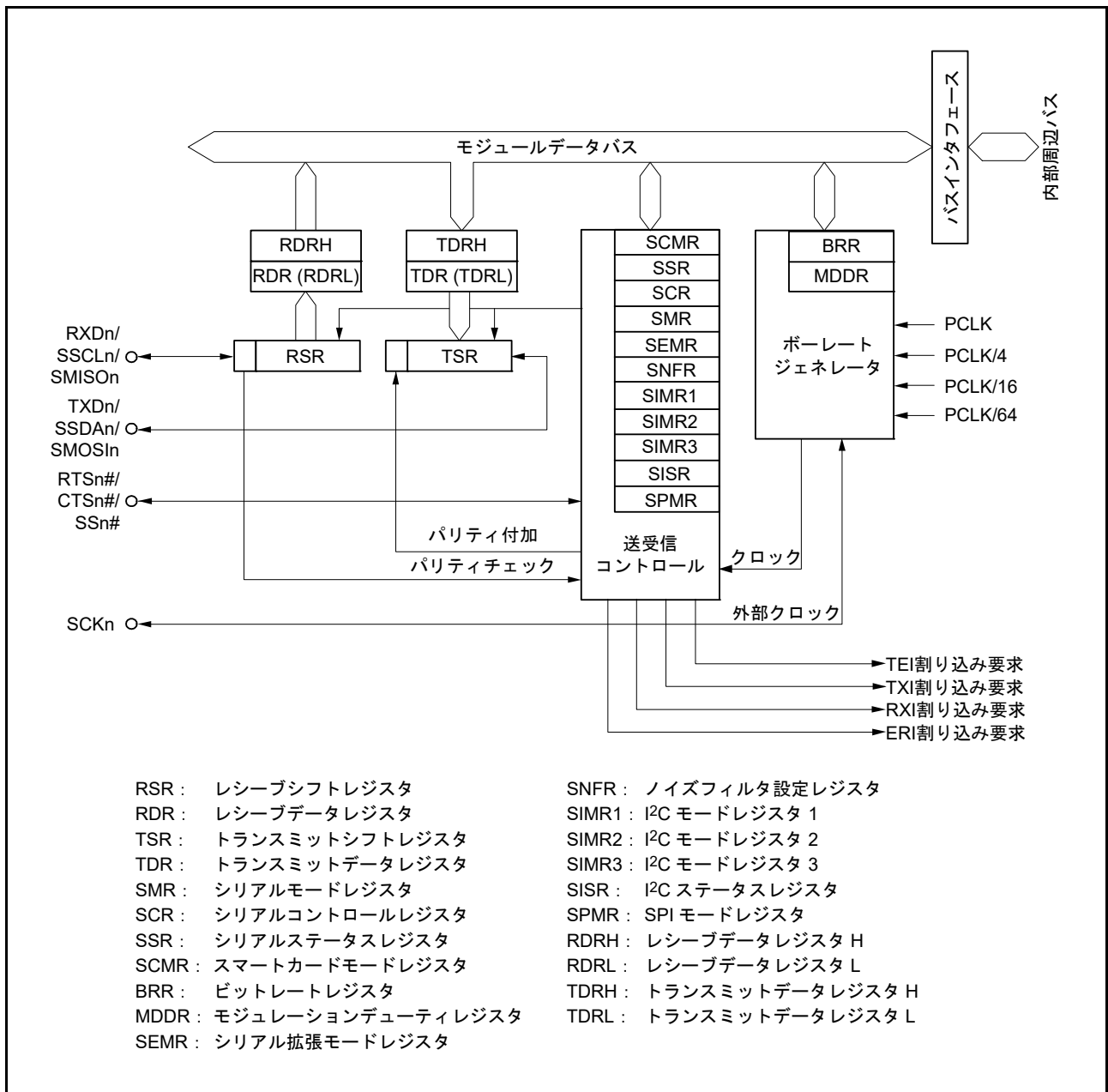


図 33.1 SCIg (SCI0, SCI1, SCI8, SCI9) のブロック図

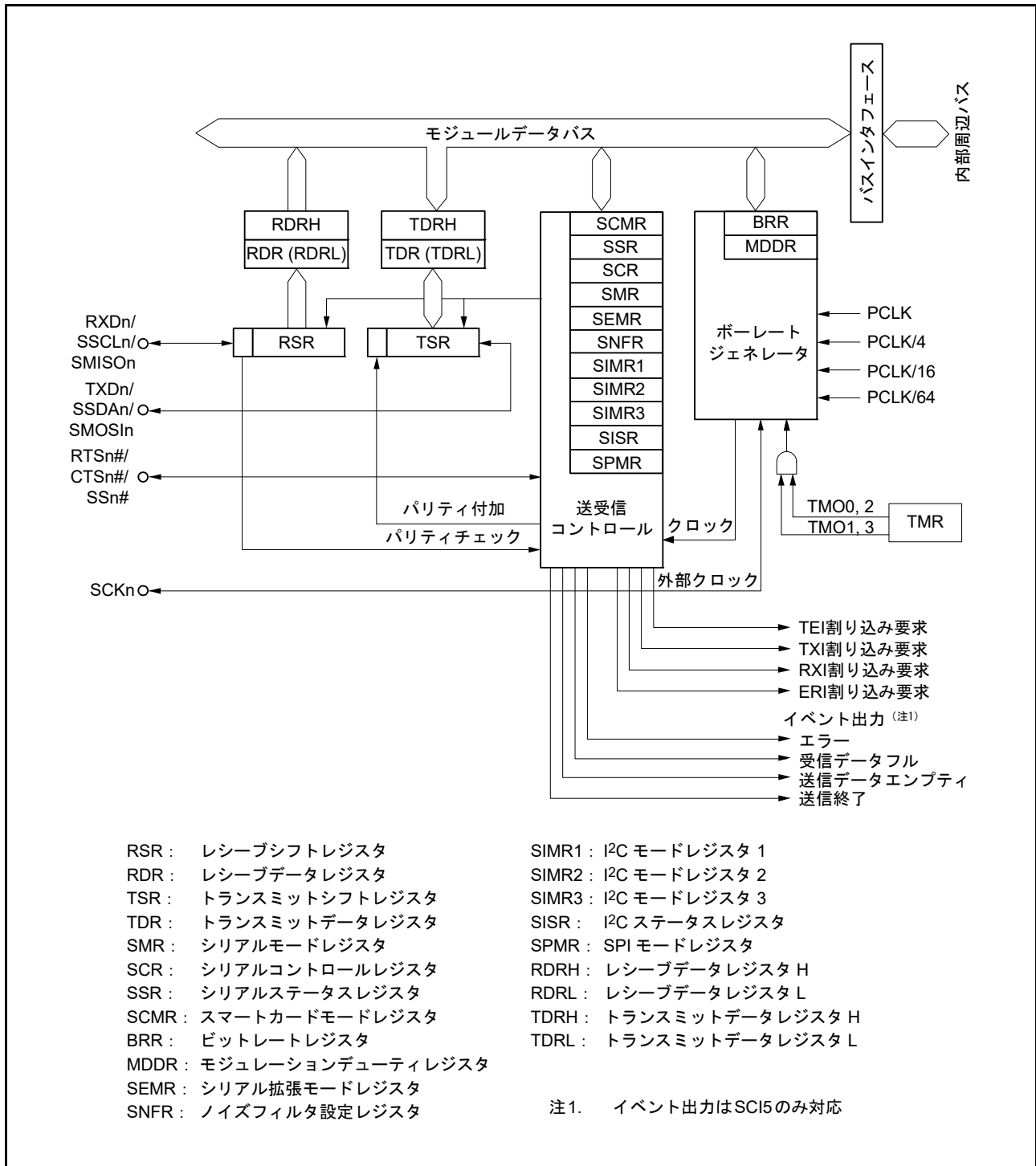


図 33.2 SCIg (SCI5, SCI6) のブロック図

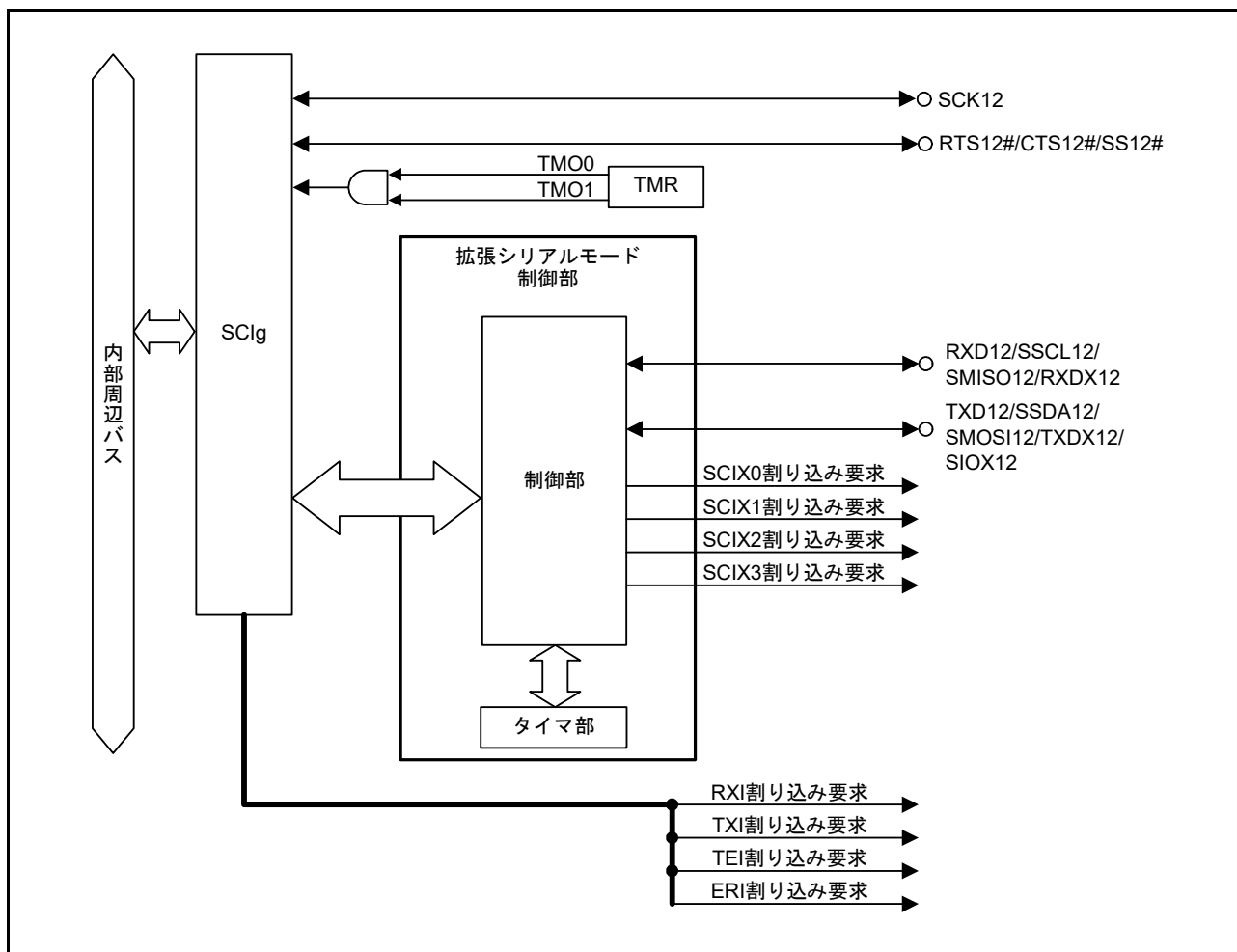


図 33.3 SClh (SCI12) のブロック図

表 33.4 ~ 表 33.7 に SCI の入出力端子をモード別に示します。

表 33.4 SCI の入出力端子 (調歩同期式/クロック同期式モード)

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	RXD0	入力	SCI0の受信データ入力端子
	TXD0	出力	SCI0の送信データ出力端子
	CTS0#/RTS0#	入出力	SCI0送受信開始制御用入出力端子
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1	入力	SCI1の受信データ入力端子
	TXD1	出力	SCI1の送信データ出力端子
	CTS1#/RTS1#	入出力	SCI1送受信開始制御用入出力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	RXD5	入力	SCI5の受信データ入力端子
	TXD5	出力	SCI5の送信データ出力端子
	CTS5#/RTS5#	入出力	SCI5送受信開始制御用入出力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	RXD6	入力	SCI6の受信データ入力端子
	TXD6	出力	SCI6の送信データ出力端子
	CTS6#/RTS6#	入出力	SCI6送受信開始制御用入出力端子
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	RXD8	入力	SCI8の受信データ入力端子
	TXD8	出力	SCI8の送信データ出力端子
	CTS8#/RTS8#	入出力	SCI8送受信開始制御用入出力端子
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	RXD9	入力	SCI9の受信データ入力端子
	TXD9	出力	SCI9の送信データ出力端子
	CTS9#/RTS9#	入出力	SCI9送受信開始制御用入出力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	RXD12	入力	SCI12の受信データ入力端子
	TXD12	出力	SCI12の送信データ出力端子
	CTS12#/RTS12#	入出力	SCI12送受信開始制御用入出力端子

表 33.5 SCI の入出力端子 (簡易 I²C モード) (1/2)

チャンネル	端子名	入出力	機能
SCI0	SSCL0	入出力	SCI0の I ² C クロック入出力端子
	SSDA0	入出力	SCI0の I ² C データ入出力端子
SCI1	SSCL1	入出力	SCI1の I ² C クロック入出力端子
	SSDA1	入出力	SCI1の I ² C データ入出力端子
SCI5	SSCL5	入出力	SCI5の I ² C クロック入出力端子
	SSDA5	入出力	SCI5の I ² C データ入出力端子
SCI6	SSCL6	入出力	SCI6の I ² C クロック入出力端子
	SSDA6	入出力	SCI6の I ² C データ入出力端子
SCI8	SSCL8	入出力	SCI8の I ² C クロック入出力端子
	SSDA8	入出力	SCI8の I ² C データ入出力端子
SCI9	SSCL9	入出力	SCI9の I ² C クロック入出力端子
	SSDA9	入出力	SCI9の I ² C データ入出力端子

表 33.5 SCIの入出力端子(簡易I²Cモード)(2/2)

チャンネル	端子名	入出力	機能
SCI12	SSCL12	入出力	SCI12のI ² Cクロック入出力端子
	SSDA12	入出力	SCI12のI ² Cデータ入出力端子

表 33.6 SCIの入出力端子(簡易SPIモード)

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	SMISO0	入出力	SCI0のスレーブ送出データ入出力端子
	SMOSI0	入出力	SCI0のマスタ送出データ入出力端子
	SS0#	入力	SCI0チップセレクト入力端子
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	SMISO1	入出力	SCI1のスレーブ送出データ入出力端子
	SMOSI1	入出力	SCI1のマスタ送出データ入出力端子
	SS1#	入力	SCI1チップセレクト入力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	SMISO5	入出力	SCI5のスレーブ送出データ入出力端子
	SMOSI5	入出力	SCI5のマスタ送出データ入出力端子
	SS5#	入力	SCI5チップセレクト入力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	SMISO6	入出力	SCI6のスレーブ送出データ入出力端子
	SMOSI6	入出力	SCI6のマスタ送出データ入出力端子
	SS6#	入力	SCI6チップセレクト入力端子
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	SMISO8	入出力	SCI8のスレーブ送出データ入出力端子
	SMOSI8	入出力	SCI8のマスタ送出データ入出力端子
	SS8#	入力	SCI8チップセレクト入力端子
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	SMISO9	入出力	SCI9のスレーブ送出データ入出力端子
	SMOSI9	入出力	SCI9のマスタ送出データ入出力端子
	SS9#	入力	SCI9チップセレクト入力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	SMISO12	入出力	SCI12のスレーブ送出データ入出力端子
	SMOSI12	入出力	SCI12のマスタ送出データ入出力端子
	SS12#	入力	SCI12チップセレクト入力端子

表 33.7 SCIの入出力端子(拡張シリアルモード)

チャンネル	端子名	入出力	機能
SCI12	RXDX12	入力	SCI12の受信データ入力端子
	TXDX12	出力	SCI12の送信データ出力端子
	SIOX12	入出力	SCI12送受信データ入出力端子

33.2 レジスタの説明

33.2.1 レシーブシフトレジスタ (RSR)

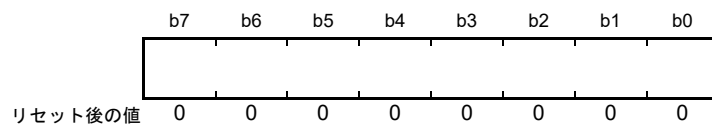
RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

33.2.2 レシーブデータレジスタ (RDR)

アドレス SCI0.RDR 0008 A005h, SCI1.RDR 0008 A025h, SCI5.RDR 0008 A0A5h, SCI6.RDR 0008 A0C5h,
SCI8.RDR 0008 A105h, SCI9.RDR 0008 A125h, SCI12.RDR 0008 B305h



RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

33.2.3 レシーブデータレジスタ H、L、HL (RDRH、RDRL、RDRHL)

- レシーブデータレジスタ H (RDRH)

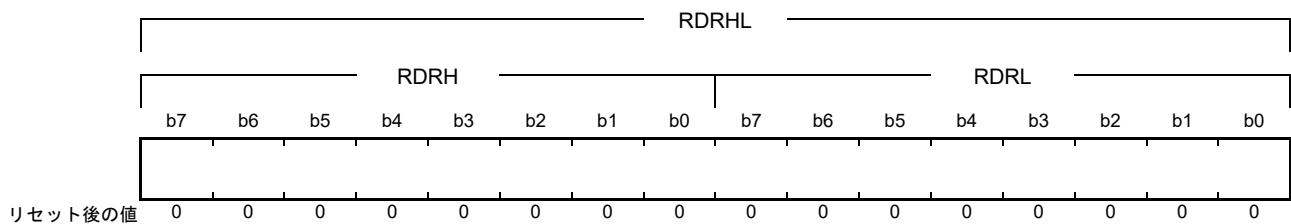
アドレス SCI0.RDRH 0008 A010h, SCI1.RDRH 0008 A030h, SCI5.RDRH 0008 A0B0h, SCI6.RDRH 0008 A0D0h,
SCI8.RDRH 0008 A110h, SCI9.RDRH 0008 A130h, SCI12.RDRH 0008 B310h

- レシーブデータレジスタ L (RDRL)

アドレス SCI0.RDRL 0008 A011h, SCI1.RDRL 0008 A031h, SCI5.RDRL 0008 A0B1h, SCI6.RDRL 0008 A0D1h,
SCI8.RDRL 0008 A111h, SCI9.RDRL 0008 A131h, SCI12.RDRL 0008 B311h

- レシーブデータレジスタ HL (RDRHL)

アドレス SCI0.RDRHL 0008 A010h, SCI1.RDRHL 0008 A030h, SCI5.RDRHL 0008 A0B0h, SCI6.RDRHL 0008 A0D0h,
SCI8.RDRHL 0008 A110h, SCI9.RDRHL 0008 A130h, SCI12.RDRHL 0008 B310h



RDRH レジスタと RDRL レジスタは、それぞれ受信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

RDRL レジスタは RDR レジスタのシャドウとなっており、RDRL レジスタへのアクセスは RDR レジスタへのアクセスになります。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこれらのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDRH レジスタおよび RDRL レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

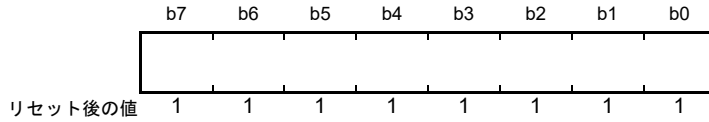
RDRH レジスタおよび RDRL レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに、RDRH レジスタ、RDRL レジスタの順に 1 回だけ行ってください。受信データを RDRL からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDRH レジスタおよび RDRL レジスタへは CPU から書き込みできません。RDRH レジスタの b1 から b7 は“0”に固定されており、読むと“0”が読めます。

RDRHL レジスタとして 16 ビットでもアクセスできます。

33.2.4 トランスミットデータレジスタ (TDR)

アドレス SCI0.TDR 0008 A003h, SCI1.TDR 0008 A023h, SCI5.TDR 0008 A0A3h, SCI6.TDR 0008 A0C3h,
SCI8.TDR 0008 A103h, SCI9.TDR 0008 A123h, SCI12.TDR 0008 B303h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を続けます。

TDR レジスタは CPU からリード/ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

33.2.5 トランスミットデータレジスタ H、L、HL (TDRH、TDRL、TDRHL)

- トランスミットデータレジスタ H (TDRH)

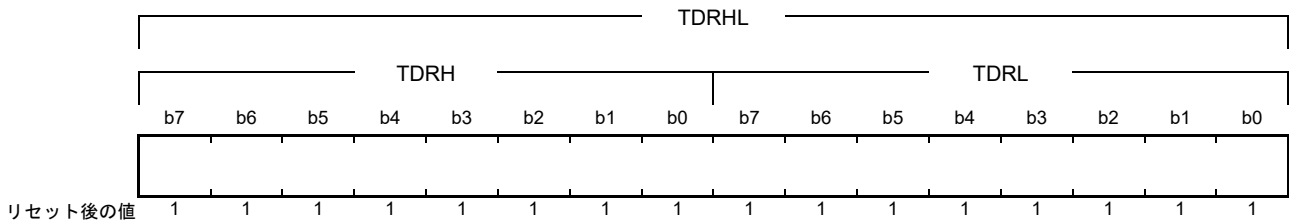
アドレス SCI0.TDRH 0008 A00Eh, SCI1.TDRH 0008 A02Eh, SCI5.TDRH 0008 A0AEh, SCI6.TDRH 0008 A0CEh,
SCI8.TDRH 0008 A10Eh, SCI9.TDRH 0008 A12Eh, SCI12.TDRH 0008 B30Eh

- トランスミットデータレジスタ L (TDRL)

アドレス SCI0.TDRL 0008 A00Fh, SCI1.TDRL 0008 A02Fh, SCI5.TDRL 0008 A0AFh, SCI6.TDRL 0008 A0CFh,
SCI8.TDRL 0008 A10Fh, SCI9.TDRL 0008 A12Fh, SCI12.TDRL 0008 B30Fh

- トランスミットデータレジスタ HL (TDRHL)

アドレス SCI0.TDRHL 0008 A00Eh, SCI1.TDRHL 0008 A02Eh, SCI5.TDRHL 0008 A0AEh, SCI6.TDRHL 0008 A0CEh,
SCI8.TDRHL 0008 A10Eh, SCI9.TDRHL 0008 A12Eh, SCI12.TDRHL 0008 B30Eh



TDRH レジスタと TDRL レジスタは、それぞれ送信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

TDRL レジスタは TDR レジスタのシャドウとなっており、TDRL レジスタへのアクセスは TDR レジスタへのアクセスになります。

TSR レジスタに空きを検出すると、TDRH レジスタおよび TDRL レジスタに書き込まれた送信データは TSR レジスタに転送されて送信を開始します。

TDRH レジスタおよび TDRL レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDRL レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を続けます。

TDRH レジスタおよび TDRL レジスタは CPU からリード/ライト可能です。TDRH レジスタの b1 から b7 は“1”に固定されており、読むと“1”が読めます。書く場合、“1”としてください。

TDRH レジスタおよび TDRL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに、TDRH レジスタ、TDRL レジスタの順に 1 回だけ行ってください。

TDRHL レジスタとして 16 ビットでもアクセスできます。

33.2.6 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

33.2.7 シリアルモードレジスタ (SMR)

SMR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI0.SMR 0008 A000h, SCI1.SMR 0008 A020h, SCI5.SMR 0008 A0A0h, SCI6.SMR 0008 A0C0h, SCI8.SMR 0008 A100h, SCI9.SMR 0008 A120h, SCI12.SMR 0008 B300h

b7	b6	b5	b4	b3	b2	b1	b0
CM	CHR	PE	PM	STOP	MP	CKS[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモードビット	(調歩同期式モードのみ有効) 0 : マルチプロセッサ通信機能を禁止 1 : マルチプロセッサ通信機能を許可	R/W (注4)
b3	STOP	ストップビットレングスビット	(調歩同期式モードのみ有効) 0 : 1ストップビット 1 : 2ストップビット	R/W (注4)
b4	PM	パリティモードビット	(PEビット = 1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注4)
b5	PE	パリティイネーブルビット	(調歩同期式モードのみ有効) • 送信時 0 : パリティビットなし 1 : パリティビットを付加 • 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタレングスビット	(調歩同期式モードのみ有効(注2)) SCMR.CHR1ビットと組み合わせて選択します。 CHR1 CHR 0 0 : データ長9ビットで送受信 0 1 : データ長9ビットで送受信 1 0 : データ長8ビットで送受信(初期値) 1 1 : データ長7ビットで送受信(注3)	R/W (注4)
b7	CM	コミュニケーションモードビット	0 : 調歩同期式モード、または簡易I ² Cモードで動作 1 : クロック同期式モード、または簡易SPIモードで動作	R/W (注4)

注1. nは設定値の10進表示で、「33.2.11 ビットレートレジスタ(BRR)」中のnの値を表します。

注2. 調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB (b7) は送信されません。

注4. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「33.2.11 ビットレートレジスタ (BRR)」を参照してください。

MP ビット (マルチプロセッサモードビット)

マルチプロセッサ通信機能の許可 / 禁止を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット (ストップビットレングスビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの1ビット目のみチェックし、2ビット目が“0”の場合は次の送信フレームのスタートビットと見なします。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット (パリティイネーブルビット)

PE ビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット (キャラクタレングスビット)

送受信データのデータ長を SCMR.CHR1 ビットと組み合わせて選択します。

調歩同期式モード以外では、データ長は8ビット固定です。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMCIO.SMR 0008 A000h, SMC11.SMR 0008 A020h, SMC15.SMR 0008 A0A0h, SMC16.SMR 0008 A0C0h, SMC18.SMR 0008 A100h, SMC19.SMR 0008 A120h, SMC112.SMR 0008 B300h

	b7	b6	b5	b4	b3	b2	b1	b0
	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注2)
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 表 33.8にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	PM	パリティモードビット	(PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注2)
b5	PE	パリティイネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W (注2)
b6	BLK	ブロック転送モードビット	0 : 非ブロック転送モードで動作します 1 : ブロック転送モードで動作します	R/W (注2)
b7	GM	GSMモードビット	0 : 非GSMモードで動作します 1 : GSMモードで動作します	R/W (注2)

注1. nは設定値の10進表示で、「33.2.11 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. SCR.TEビット=0、SCR.REビット=0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「33.2.11 ビットレートレジスタ (BRR)」を参照してください。

BCP[1:0] ビット (基本クロックパルスビット)

スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2ビットと組み合わせて選択します。

詳細は、「33.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。

表33.8 SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. Sは「33.2.11 ビットレートレジスタ (BRR)」中のSの値を表します。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「33.6.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。

PE ビット (パリティイネーブルビット)

PE ビットは“1”にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット (ブロック転送モードビット)

BLK ビットを“1”にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「33.6.3 ブロック転送モード」を参照してください。

GM ビット (GSM モードビット)

GM ビットを“1”にすると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0 etu (etu: Elementary Time Unit、1ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「33.6.6 シリアルデータの送信 (ブロック転送モードを除く)」、「33.6.8 クロック出力制御」を参照してください。

33.2.8 シリアルコントロールレジスタ (SCR)

注. SCRレジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI0.SCR 0008 A002h, SCI1.SCR 0008 A022h, SCI5.SCR 0008 A0A2h, SCI6.SCR 0008 A0C2h, SCI8.SCR 0008 A102h, SCI9.SCR 0008 A122h, SCI12.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> • SCI0、SCI1、SCI8、SCI9の場合 (調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ SCKn端子はハイインピーダンスになります 0 1 : 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x : 外部クロック SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください (クロック同期式の場合) b1 b0 0 x : 内部クロック SCKn端子はクロック出力端子となります 1 x : 外部クロック SCKn端子はクロック入力端子となります	R/W (注1)
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> • SCI5、SCI6、SCI12の場合 (調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ SCKn端子はハイインピーダンスになります 0 1 : 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x : 外部クロックまたはTMRクロック 外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。 SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください。 TMRクロック使用時は、SCKn端子はハイインピーダンスになります。 (クロック同期式の場合) b1 b0 0 x : 内部クロック SCKn端子はクロック出力端子となります 1 x : 外部クロック SCKn端子はクロック入力端子となります	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	0 : TEI割り込み要求を禁止 1 : TEI割り込み要求を許可	R/W

ビット	シンボル	ビット名	機能	R/W
b3	MPIE	マルチプロセッサインタラプトイネーブルビット	(調歩同期式モードで、SMR.MPビット=1のとき有効) 0: 通常の受信動作 1: マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.ORER, FERの各ステータスフラグのセット (“1”) を禁止します。マルチプロセッサビットが“1”のデータを受信すると、MPIEビットは自動的に“0”になり、通常の受信動作に戻ります	R/W
b4	RE	レシーブイネーブルビット	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブルビット	0: RXIおよびERI割り込み要求を禁止 1: RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプトイネーブルビット	0: TXI割り込み要求を禁止 1: TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. SMR.CMビットが“1”のときは、TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。

一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ可能になります。SMR.CMビットが“0”かつSIMR1のICMビットが“0”のときは、任意のタイミングで書き込みが可能です。

CKE[1:0] ビット (クロックイネーブルビット)

クロックソースおよびSCK_n 端子の機能を選択します。

内蔵 TMR クロックは SEMR.ACS0 ビットと組み合わせて設定します。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを“0”にすることで行うことができます。

簡易 I²C モードでは、開始 / 再開始 / 停止条件生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も TEIE ビットにより STI 割り込み要求を許可、または禁止することができます。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

MPIE ビットを“1”にすると、マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.ORER、FER フラグの各ステータスフラグは“1”になりません。マルチプロセッサビットが“1”のデータを受信すると、MPIE ビットは自動的にクリアされ、通常の受信動作に戻ります。詳細は「33.4 マルチプロセッサ通信機能」を参照してください。

マルチプロセッサビットが“0”の受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、ORER、FER の各フラグのセット (“1”) は行いません。

マルチプロセッサビットが“1”の受信データを受信すると、SSR.MPB ビットを“1”にし、MPIE ビットを自動的に“0”にし、RXI、ERI 割り込み要求 (SCR の RIE ビットが“1”の場合) と、ORER、FER フラグのセット (“1”) が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには“0”を書き込んでください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR.ORER、FER、PER、RDRF の各フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMCIO.SCR 0008 A002h, SMC11.SCR 0008 A022h, SMC15.SCR 0008 A0A2h, SMC16.SCR 0008 A0C2h, SMC18.SCR 0008 A102h, SMC19.SCR 0008 A122h, SMC112.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> SMR.GMビット=0の場合 b1 b0 0 0 : 出力ディスエーブル SCKn端子はハイインピーダンスになります 0 1 : クロック出力 1 x : 設定しないでください SMR.GMビット=1の場合 b1 b0 0 0 : Low出力固定 x 1 : クロック出力 1 0 : High出力固定 	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	レシーブイネーブルビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブル ビット	0 : RXIおよびERI割り込み要求を禁止 1 : RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0 : TXI割り込み要求を禁止 1 : TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. TEビット=0、REビット=0の場合のみ“1”を書き込みしてください。

一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ行ってください。

各割り込み要求については、「33.12 割り込み要因」を参照してください。

CKE[1:0] ビット (クロックイネーブルビット)

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「33.6.8 クロック出力制御」を参照してください。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR レジスタの ORER、FER、PER フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

33.2.9 シリアルステータスレジスタ (SSR)

SSR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI0.SSR 0008 A004h, SCI1.SSR 0008 A024h, SCI5.SSR 0008 A0A4h, SCI6.SSR 0008 A0C4h, SCI8.SSR 0008 A104h, SCI9.SSR 0008 A124h, SCI12.SSR 0008 B304h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT

リセット後の値 1 0 0 0 0 1 0 0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタに有効なデータなし 1: RDRレジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタに未送信のデータあり 1: TDRレジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから“0”を書いてください。

注2. 書く場合“1”としてください。

MPB ビット (マルチプロセッサビット)

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが“0”のときは変化しません。

TEND フラグ (トランスミットエンドフラグ)

送信が終了したことを表示します。

[“1”になる条件]

- SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

[“0”になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき
TEND フラグを“0”にして割り込みハンドラを終了する場合は、「15.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが "1" になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
PER フラグを "0" にして割り込みハンドラを終了する場合は、「15.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

["1"になる条件]

- ストップビットが "0" のとき
2 ストップモードのときは、1 ビット目のストップビットが "1" であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが "1" になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
FER フラグを "0" にして割り込みハンドラを終了する場合は、「15.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1"になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが "1" になった状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
ORER フラグを "0" にして割り込みハンドラを終了する場合は、「15.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

["1"になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

["0"になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

["1"になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

["0"になる条件]

- TDR レジスタへ送信データを書いたとき

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMCIO.SSR 0008 A004h, SMC11.SSR 0008 A024h, SMC15.SSR 0008 A0A4h, SMC16.SSR 0008 A0C4h, SMC18.SSR 0008 A104h, SMC19.SSR 0008 A124h, SMC12.SSR 0008 B304h

b7	b6	b5	b4	b3	b2	b1	b0	
TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT	
リセット後の値	1	0	0	0	0	1	0	0

リセット後の値

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは"0"としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。"0"としてください	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLow応答なし 1: エラーシグナルLow応答あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタに有効なデータなし 1: RDRレジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタに未送信のデータあり 1: TDRレジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための"0"書き込みのみ可能です。フラグをクリアする場合は、フラグが"1"であることを確認してから"0"を書いてください。

注2. 書く場合"1"としてください。

TEND フラグ (トランスミットエンドフラグ)

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき“1”になります。

["1"になる条件]

- SCR.TE ビット = 0 (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ = 0 かつ TDR レジスタが更新されていないとき
セットされるタイミングは、レジスタの設定により以下のように異なります。
SMR.GM ビット = 0、SMR.BLK ビット = 0 のとき、送信開始から 12.5 etu 後
SMR.GM ビット = 0、SMR.BLK ビット = 1 のとき、送信開始から 11.5 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 0 のとき、送信開始から 11.0 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 1 のとき、送信開始から 11.0 etu 後

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき
TEND フラグを“0”にして割り込みハンドラを終了する場合は、「15.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが“1”になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
PER フラグを“0”にして割り込みハンドラを終了する場合は、「15.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ (エラーシグナルステータスフラグ)

["1"になる条件]

- エラーシグナル Low をサンプリングしたとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ERS フラグを“0”にして割り込みハンドラを終了する場合は、「15.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0”にしても、ERS フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

[“1”になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが“1”になった状態では、以降のシリアル受信を続けることはできません。

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ORER フラグを“0”にして割り込みハンドラを終了する場合は、「15.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0”にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

[“1”になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[“0”になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

[“1”になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0”になる条件]

- TDR レジスタへ送信データを書いたとき

33.2.10 スマートカードモードレジスタ (SCMR)

アドレス SMCI0.SCMR 0008 A006h, SMCI1.SCMR 0008 A026h, SMCI5.SCMR 0008 A0A6h, SMCI6.SCMR 0008 A0C6h, SMCI8.SCMR 0008 A106h, SMCI9.SCMR 0008 A126h, SMCI12.SCMR 0008 B306h

b7	b6	b5	b4	b3	b2	b1	b0
BCP2	—	—	CHR1	SDIR	SINV	—	SMIF

リセット後の値 1 1 1 1 0 0 1 0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモードセレクトビット	0: 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、簡易I ² Cモード) 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	送受信データインパートビット	0: TDRレジスタの内容をそのまま送信、受信データをそのままRDRレジスタに格納 1: TDRレジスタの内容を反転して送信、受信データを反転してRDRレジスタに格納	R/W (注1)
b3	SDIR	送受信データトランスフェクションビット	以下のモードで使用可能です。 <ul style="list-style-type: none"> スマートカードインタフェースモード 調歩同期式モード(マルチプロセッサモード) クロック同期式モード 簡易SPIモード 簡易I ² Cモードで動作させる場合は、“1”にしてください 0: LSBファーストで送受信 1: MSBファーストで送受信	R/W (注1)
b4	CHR1	キャラクタレングスビット1	(調歩同期式モードのみ有効(注2)) SMR.CHRビットと組み合わせて選択します CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信(初期値) 1 1: データ長7ビットで送受信(注3)	R/W (注1)
b6-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせて選択します 表33.9にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

注2. 調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB(b7)は送信されません。

SMIF ビット (スマートカードインタフェースモードセレクトビット)

スマートカードインタフェースモードで動作させるときは、“1”を設定します。

非スマートカードインタフェースモードである調歩同期式(マルチプロセッサモード含む)、クロック同期式モード、簡易SPIモード、および簡易I²Cモードで動作させるときは、“0”を設定します。

SINV ビット (送受信データインパートビット)

送受信データのロジックレベルを反転します。SINVビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PMビットを反転してください。

CHR1 ビット (キャラクタレングスビット 1)

送受信データのデータ長を選択します。
 SMR.CHR ビットと組み合わせて選択します。
 調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット (基本クロックパルスビット 2)

スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR.BCP[1:0] ビットと組み合わせて選択します。

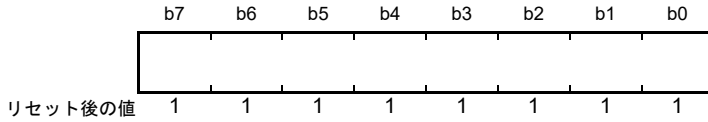
表 33.9 SCMR.BCP2 ビットと SMR.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR.BCP[1:0] ビット		1 ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. Sは「33.2.11 ビットレートレジスタ (BRR)」中のSの値を表します。

33.2.11 ビットレートレジスタ (BRR)

アドレス SCI0.BRR 0008 A001h, SCI1.BRR 0008 A021h, SCI5.BRR 0008 A0A1h, SCI6.BRR 0008 A0C1h, SCI8.BRR 0008 A101h, SCI9.BRR 0008 A121h, SCI12.BRR 0008 B301h



BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モードおよび簡易 I²C モードにおける BRR レジスタの設定値 N とビットレート B の関係を表 33.10 に示します。

BRR レジスタへの書き込みは、SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

表 33.10 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR レジスタの設定		BRR レジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット		
調歩同期式、マルチプロセッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	1	$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 8 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易 I ² C (注1)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)

N: BRR レジスタの設定値 (0 ≤ N ≤ 255)

PCLK: 周辺モジュールクロック周波数 (MHz)

n と S: 表 33.12、表 33.13 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. 簡易 I²C モードでの SCL 出力の High/Low 幅が I²C-bus 規格を満たすようビットレートを調整してください。

表 33.11 SCL High/Low 幅算出式

モード	SCL	算出式 (秒(s))
I ² C	High 幅 (min 値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low 幅 (min 値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表 33.12 クロックソースの設定

SMR.CKS[1:0]ビットの設定	クロックソース	n
0 0	PCLK	0
0 1	PCLK/4	1
1 0	PCLK/16	2
1 1	PCLK/64	3

表 33.13 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2ビットの設定	SMR.BCP[1:0]ビットの設定	1ビット期間中の基本クロックパルス数	S
0	0 0	93クロック	93
0	0 1	128クロック	128
0	1 0	186クロック	186
0	1 1	512クロック	512
1	0 0	32クロック	32
1	0 1	64クロック	64
1	1 0	372クロック	372
1	1 1	256クロック	256

通常の調歩同期式モードにおける BRR レジスタの値 N の設定例を表 33.14 に、各動作周波数における設定可能な最高ビットレートを表 33.15 に示します。また、クロック同期式モードおよび簡易 SPI モードにおける BRR レジスタの値 N の設定例を表 33.18 に、スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を表 33.20 に、簡易 I²C モードにおける BRR レジスタの値 N の設定例を表 33.22 に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「33.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 33.16、表 33.19 に外部クロック入力時の最高ビットレートを示します。

調歩同期式モードで SEMR.ABCS ビットまたは BGDM ビットのいずれか一方のビットを“1”にしたときのビットレートは表 33.14 の 2 倍に、両ビットとも“1”にしたときのビットレートは 4 倍になります。

表 33.14 ビットレートに対するBRRの設定例 (調歩同期式モード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

ビット レート (bps)	動作周波数PCLK (MHz)								
	20			25			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13
150	3	64	0.16	3	80	0.47	3	97	-0.35
300	2	129	0.16	2	162	-0.15	2	194	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35
1200	1	129	0.16	1	162	-0.15	1	194	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35
4800	0	129	0.16	0	162	-0.15	0	194	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35
31250	0	19	0.00	0	24	0.00	0	29	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73

注. SEMR.ABCSビット、SEMR.BGDMビットがすべて“0”のときの例です。

ABCsビットまたはBGDMビットのいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。

ABCsビット、BGDMビットを両方とも“1”にしたときは、ビットレートが4倍になります。

表 33.15 各動作周波数における最高ビットレート(調歩同期式モード)

PCLK (MHz)	SEMRレジスタの設定値				最高ビットレート (bps)	PCLK (MHz)	SEMRレジスタの設定値				最高ビットレート (bps)
	BGDM ビット	ABCS ビット	n	N			BGDM ビット	ABCS ビット	n	N	
8	0	0	0	0	250000	17.2032	0	0	0	0	537600
		1	0	0	500000			1	0	0	1075200
	1	0	0	0	1000000		1	0	0	0	2150400
		1	0	0				1	0	0	
9.8304	0	0	0	0	307200	18	0	0	0	0	562500
		1	0	0	614400			1	0	0	1125000
	1	0	0	0	1228800		1	0	0	0	2250000
		1	0	0				1	0	0	
10	0	0	0	0	312500	19.6608	0	0	0	0	614400
		1	0	0	625000			1	0	0	1228800
	1	0	0	0	1250000		1	0	0	0	2457600
		1	0	0				1	0	0	
12	0	0	0	0	375000	20	0	0	0	0	625000
		1	0	0	750000			1	0	0	1250000
	1	0	0	0	1500000		1	0	0	0	2500000
		1	0	0				1	0	0	
12.288	0	0	0	0	384000	25	0	0	0	0	781250
		1	0	0	768000			1	0	0	1562500
	1	0	0	0	1536000		1	0	0	0	3125000
		1	0	0				1	0	0	
14	0	0	0	0	437500	30	0	0	0	0	937500
		1	0	0	875000			1	0	0	1875000
	1	0	0	0	1750000		1	0	0	0	3750000
		1	0	0				1	0	0	
16	0	0	0	0	500000						
		1	0	0	1000000						
	1	0	0	0	2000000						
		1	0	0							

表 33.16 外部クロック入力時の最高ビットレート(調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (bps)	
		SEMR.ABCS ビット=0	SEMR.ABCS ビット=1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500

表33.17 TMRクロック入力時の最高ビットレート(調歩同期式モード)

PCLK (MHz)	TMRクロック (MHz)	最高ビットレート (bps)	
		SEMR.ABCSビット=0	SEMR.ABCSビット=1
8	4	250000	500000
9.8304	4.9152	307200	614400
10	5	312500	625000
12	6	375000	750000
12.288	6.144	384000	768000
14	7	437500	875000
16	8	500000	1000000
17.2032	8.6016	537600	1075200
18	9	562500	1125000
19.6608	9.8304	614400	1228800
20	10	625000	1250000
25	12.5	781250	1562500
30	15	937500	1875000

表33.18 ビットレートに対するBRRの設定例(クロック同期式モード、簡易SPIモード)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	8		10		16		20		25		30	
	n	N	n	N	n	N	n	N	n	N	n	N
110												
250	3	124	3	155	3	249						
500	2	249	3	77	3	124	3	155	3	194	3	233
1k	2	124	2	155	2	249	3	77	3	97	3	116
2.5k	1	199	1	249	2	99	2	124	2	155	2	187
5k	1	99	1	124	1	199	1	249	2	77	2	93
10k	0	199	0	249	1	99	1	124	1	155	1	187
25k	0	79	0	99	0	159	0	199	0	249	1	74
50k	0	39	0	49	0	79	0	99	0	124	0	149
100k	0	19	0	24	0	39	0	49	0	62	0	74
250k	0	7	0	9	0	15	0	19	0	24	0	29
500k	0	3	0	4	0	7	0	9	—	—	0	14
1M	0	1			0	3	0	4	—	—		
2M	0	0 (注1)			0	1			—	—		
2.5M			0	0 (注1)			0	1			0	2
4M					0	0 (注1)						
5M							0	0 (注1)				
6.25M									0	0 (注1)		
7.5M											0	0 (注1)

空欄：誤差が5%を超えるため、設定できません。

—：設定可能ですが1～5%の誤差がでます。

注1. 連続送信/連続受信はできません。1フレームの送信/受信終了後、次のフレームの送信/受信を開始するまで1ビット期間の間隔が空きます(同期クロックの出力が1ビット期間停止します)。そのため、1フレーム(8ビット)のデータ転送に9ビット分の時間がかかり、平均した転送レートは8/9倍になります。

表33.19 外部クロック入力時の最高ビットレート(クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (Mbps)
8	1.3333	1.3333
10	1.6667	1.6667
12	2.0000	2.0000
14	2.3333	2.3333
16	2.6667	2.6667
18	3.0000	3.0000
20	3.3333	3.3333
25	4.1667	4.1667
30	5.0000	5.0000

表33.20 ビットレートに対するBRRの設定例(スマートカードインタフェースモードでn=0、S=372のとき)

ビットレート (bps)	PCLK (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	-30.00
	10.7136	0	1	-25.00
	13.00	0	1	-8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	-15.99
	20.00	0	2	-6.66
	25.00	0	3	-12.49
	30.00	0	3	5.01

表33.21 各動作周波数における最高ビットレート(スマートカードインタフェースモードでS=32のとき)

PCLK (MHz)	最高ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0

表33.22 ビットレートに対するBRRの設定例(簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	31	-2.3	1	12	-3.8	1	15	-2.3	1	19	-2.3
25k	0	9	0.0	0	12	-3.8	1	4	0.0	1	6	-10.7	1	7	-2.3
50k	0	4	0.0	0	6	-10.7	1	2	-16.7	1	3	-21.9	1	3	-2.3
100k	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	1	-37.5	0	1	0.0	0	2	-16.7	0	3	-21.9
350k										0	1	-10.7	0	2	-25.6

ビット レート (bps)	動作周波数PCLK (MHz)		
	30		
	n	N	誤差 (%)
10k	1	23	-2.3
25k	1	9	-6.3
50k	1	4	-6.3
100k	1	2	-21.9
250k	0	3	-6.3
350k	0	2	-10.7

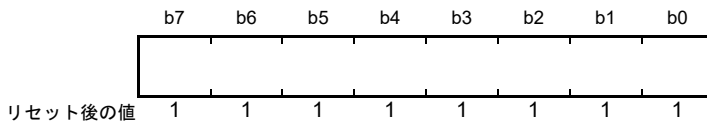
表33.23 各ビットレート設定でのSCL High/Low幅最小値(簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.50/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.20/20.80	1	4	17.50/20.00	1	6	19.60/22.40
50k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00	1	3	11.20/12.80
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60

ビット レート (bps)	動作周波数PCLK (MHz)					
	25			30		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	1	19	44.80/51.20	1	23	44.80/51.20
25k	1	7	17.92/20.48	1	9	18.66/21.33
50k	1	3	8.96/10.24	1	4	9.33/10.66
100k	1	1	4.48/5.12	1	2	5.60/6.40
250k	0	3	2.24/2.56	0	3	1.86/2.13
350k	0	2	1.68/1.92	0	2	1.40/1.60

33.2.12 モジュレーションデューティレジスタ (MDDR)

アドレス SCI0.MDDR 0008 A012h, SCI1.MDDR 0008 A032h, SCI5.MDDR 0008 A0B2h, SCI6.MDDR 0008 A0D2h, SCI8.MDDR 0008 A112h, SCI9.MDDR 0008 A132h, SCI12.MDDR 0008 B312h



MDDR レジスタは BRR レジスタにより調整されたビットレートを補正するためのレジスタです。SEMR.BRME ビットが“1”にセットされているとき、内蔵ポーレートジェネレータにより生成されるビットレートを平均的に M/256 に補正します。MDDR レジスタの設定値 M とビットレート B の関係を表 33.24 に示します。

MDDR レジスタに設定できる値の範囲は、“80h”以上“FFh”以下です。これ以外の値は設定できません。

MDDR レジスタへの書き込みは、SCR.TE ビット=0、SCR.RE ビット=0 の場合のみ可能です。

表 33.24 ビットレートモジュレーション機能使用時のMDDRレジスタ設定値MとビットレートBの関係

モード	SEMRレジスタの設定		BRRレジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット		
調歩同期式、 マルチプロ セッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	0	1	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	1	$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 8 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、 簡易SPI (注1)			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
簡易I ² C (注2)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	

B: ビットレート (bps)

M: MDDR レジスタの設定値 (128 ≤ M ≤ 255)

N: ポーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

PCLK: 動作周波数 (MHz)

n と S: 「33.2.11 ビットレートレジスタ (BRR)」表 33.12、表 33.13 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. クロック同期式モードおよび簡易SPIモードの最高速設定 (SMR.CKS[1:0]ビット=00b、かつSCR.CKE[1]ビット=0、かつBRR=0) では、本機能を使用しないでください。

注2. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C規格を満たすようビットレートを調整してください。

33.2.13 シリアル拡張モードレジスタ (SEMR)

アドレス SCI0.SEMR 0008 A007h, SCI1.SEMR 0008 A027h, SCI5.SEMR 0008 A0A7h, SCI6.SEMR 0008 A0C7h, SCI8.SEMR 0008 A107h, SCI9.SEMR 0008 A127h, SCI12.SEMR 0008 B307h

b7	b6	b5	b4	b3	b2	b1	b0
RXDESEL	BGDM	NFEN	ABCS	—	BRME	—	ACS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ACS0	調歩同期クロックソースセレクトビット	(調歩同期式モードのみ有効) 0: 外部クロック 1: TMRから出力される2つのコンペアマッチ出力の論理積(SCI5、SCI6、SCI12のみ有効) SCIのチャンネルごとに使用できるコンペアマッチ出力が異なります	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	BRME	ビットレートモジュレーションイネーブルビット	0: ビットレートモジュレーション機能無効 1: ビットレートモジュレーション機能有効	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	ABCS	調歩同期基本クロックセレクトビット	(調歩同期式モードのみ有効) 0: 基本クロック 16サイクルの期間が1ビット期間の転送レートになります 1: 基本クロック 8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能イネーブルビット	(調歩同期式モード) 0: RXDn入力信号のノイズ除去機能無効 1: RXDn入力信号のノイズ除去機能有効 (簡易I ² Cモード) 0: SSCLn、SSDAn入力信号のノイズ除去機能無効 1: SSCLn、SSDAn入力信号のノイズ除去機能有効 上記以外のモードでは、NFENビットを“0”にしてください。	R/W (注1)
b6	BGDM	ポーレートジェネレータ倍速モードセレクトビット	(調歩同期式モードで内蔵ポーレートジェネレータ使用時のみ有効) 0: ポーレートジェネレータから通常の周波数のクロックを出力 1: ポーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b7	RXDESEL	調歩同期スタートビットエッジ検出セレクトビット	(調歩同期式モードのみ有効) 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がりがエッジでスタートビットを検出	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

SEMRレジスタは、調歩同期式モード時の1ビット期間のクロックを選択したり、スタートビットの検出方法を選択するためのレジスタです。

ACS0 ビット (調歩同期クロックソースセレクトビット)

調歩同期式モードにおける、クロックソースを選択します。

ACS0 ビットは、調歩同期式モード (SMR.CM ビット = 0) で、外部クロック入力 (SCR.CKE[1:0] ビット = 10b, 11b) のときに有効です。外部クロックまたは、内蔵 TMR のコンペアマッチ出力の論理積を選択できます。

調歩同期式モード以外では、ACS0 ビットを“0”にしてください。

SCI5、SCI6、SCI12では、TMR ユニット 0、1 の TMO_n (n=0~3) 出力を基本クロックソースにすることができます。詳細は表 33.25 を参照してください。

SCI0、SCI1、SCI8、SCI9 の ACS0 ビットは予約ビットです。SCI0、SCI1、SCI8、SCI9 では“0”にしてください。

表 33.25 SCIのチャネルと使用できるコンペアマッチ出力

SCI	TMR	コンペアマッチ出力
SCI5	ユニット 0	TMO0, TMO1
SCI6	ユニット 1	TMO2, TMO3
SCI12	ユニット 0	TMO0, TMO1

TMR ユニット 0 の TMO0、TMO1 出力を選択したときの設定例を図 33.4 に示します。

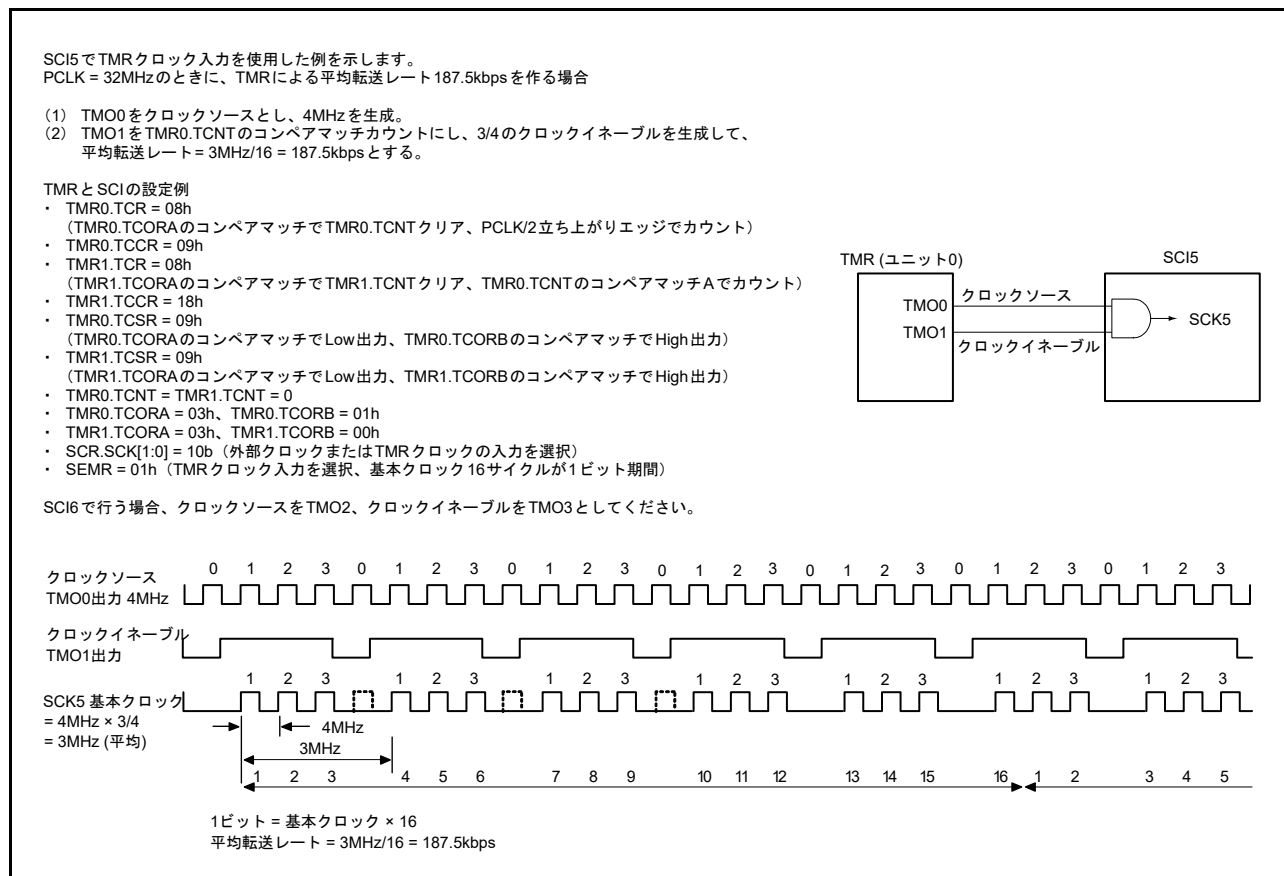


図 33.4 TMR クロック入力時の平均転送レート設定例

BRME ビット (ビットレートモジュレーションイネーブルビット)

ビットレートモジュレーション機能の有効、無効を選択します。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に補正します。

NFEN ビット (デジタルノイズフィルタ機能イネーブルビット)

デジタルノイズフィルタ機能の有効、無効を選択します。

有効にすると、調歩同期式モードの場合は、RXDn 入力信号のノイズを除去し、簡易 I²C モードの場合は SSDAn、SSCLn の入力信号のノイズを除去します。

上記以外のモードでは NFEN ビットを“0”にし、デジタルノイズフィルタ機能を無効にしてください。

デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

BGDM ビット (ポーレートジェネレータ倍速モードセレクトビット)

ポーレートジェネレータの出力クロックの周期を選択します。

調歩同期式モード (SMR.CM ビット=0) で、クロックソースに内蔵ポーレートジェネレータを選択 (SCR.CKE[1] ビット=0) したときに有効です。内蔵ポーレートジェネレータから通常の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ポーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビット=1 を設定すると基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

調歩同期式モード以外では“0”を設定してください。

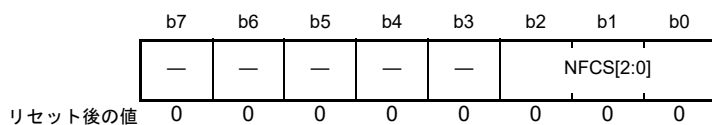
RXDESEL ビット (調歩同期スタートビットエッジ検出セレクトビット)

調歩同期式モード受信動作におけるスタートビットの検出方法を選択します。本ビットの設定によりブレイク時の動作が異なります。ブレイク中に受信動作を停止させたい場合、およびブレイク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せず受信を開始する場合は“1”を設定してください。

調歩同期式モード以外では“0”を設定してください。

33.2.14 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI0.SNFR 0008 A008h, SCI1.SNFR 0008 A028h, SCI5.SNFR 0008 A0A8h, SCI6.SNFR 0008 A0C8h,
SCI8.SNFR 0008 A108h, SCI9.SNFR 0008 A128h, SCI12.SNFR 0008 B308h



ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロックセレクトビット	調歩同期式モード時、基本クロック基準で b2 b0 0 0 0 : 1分周のクロックをノイズフィルタに使用 簡易 I ² C モード時、SMR.CKS[1:0] ビットで選択した内蔵 ボーレートジェネレータのクロックソース基準で b2 b0 0 0 1 : 1分周のクロックをノイズフィルタに使用 0 1 0 : 2分周のクロックをノイズフィルタに使用 0 1 1 : 4分周のクロックをノイズフィルタに使用 1 0 0 : 8分周のクロックをノイズフィルタに使用 上記以外は設定しないでください	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

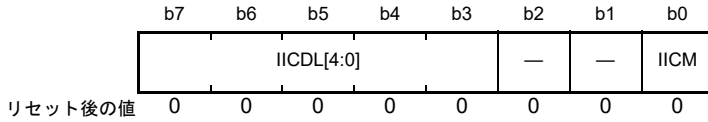
NFCS[2:0] ビット（ノイズフィルタクロックセレクトビット）

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード時にノイズフィルタを使用する場合、“000b”を設定してください。簡易 I²C モード時は“001b”～“100b”の中で設定してください。

33.2.15 I²C モードレジスタ 1 (SIMR1)

アドレス SCI0.SIMR1 0008 A009h, SCI1.SIMR1 0008 A029h, SCI5.SIMR1 0008 A0A9h, SCI6.SIMR1 0008 A0C9h, SCI8.SIMR1 0008 A109h, SCI9.SIMR1 0008 A129h, SCI12.SIMR1 0008 B309h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易I ² Cモードセレクトビット	SMIF IICM 0 0 : 調歩同期式モード、マルチプロセッサモード、 クロック同期式モード (調歩同期式、クロック同期式モードまたは簡易 SPIモード) 0 1 : 簡易I ² Cモード 1 0 : スマートカードインタフェースモード 1 1 : 設定しないでください	R/W (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b3	IICDL[4:0]	SSDA出力遅延セレクトビット	(内蔵ポーレートジェネレータのクロックソース基準) b7 b3 0 0 0 0 0 : 出力遅延なし 0 0 0 0 1 : 0~1サイクル 0 0 0 1 0 : 1~2サイクル 0 0 0 1 1 : 2~3サイクル 0 0 1 0 0 : 3~4サイクル 0 0 1 0 1 : 4~5サイクル : 1 1 1 1 0 : 29~30サイクル 1 1 1 1 1 : 30~31サイクル	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

SIMR1 レジスタは、簡易 I²C モード、および SSDA 出力遅延段数を選択するためのレジスタです。

IICM ビット (簡易 I²C モードセレクトビット)

SCMR.SMIF ビットとの組み合わせで、動作モードを選択します。

IICDL[4:0] ビット (SSDA 出力遅延セレクトビット)

SSCL_n 端子出力の立ち下がりに対する SSDA_n 端子出力の遅延を選択します。内蔵ポーレートジェネレータのクロックソースを1サイクルとし、遅延なし~31サイクルまでの選択が可能です。内蔵ポーレートジェネレータのクロックソースとは、PCLK を SMR.CKS[1:0] ビットの設定により分周されたクロックを指します。簡易 I²C モード以外では“00000b”を設定してください。簡易 I²C モード時は、“00001b”~“11111b”のいずれかを設定してください。

33.2.16 I²C モードレジスタ 2 (SIMR2)

アドレス SCI0.SIMR2 0008 A00Ah, SCI1.SIMR2 0008 A02Ah, SCI5.SIMR2 0008 A0AAh, SCI6.SIMR2 0008 A0CAh,
SCI8.SIMR2 0008 A10Ah, SCI9.SIMR2 0008 A12Ah, SCI12.SIMR2 0008 B30Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	IICACK T	—	—	—	IICCS C	IICINT M

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I ² C 割り込みモードセレクトビット	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCS	クロック同期化ビット	0 : クロック同期を行わない 1 : クロック同期を行う	R/W (注1)
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	IICACKT	ACK送信データビット	0 : ACK送信 1 : NACK送信またはACK/NACK受信	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SIMR2 レジスタは、簡易 I²C モードの送受信制御を選択するためのレジスタです。

IICINTM ビット (I²C 割り込みモードセレクトビット)

簡易 I²C モード時の割り込み要求の要因を選択します。

IICCS ビット (クロック同期化ビット)

他のデバイスがウェイトを挿入するなどの目的で、SSCLn 端子を Low にしたとき、内部で生成する SSCLn クロックを同期化する場合は、IICCS ビットに“1”を設定します。

IICCS ビットに“0”を設定すると、SSCLn クロックの同期化は行いません。SSCLn 端子入力に関わらず、BRR レジスタで設定したビットレートにしたがって SSCLn クロックを生成します。

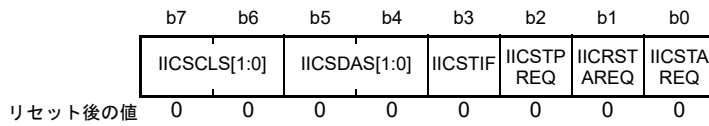
デバッグ時を除いて IICCS ビットには“1”を設定してください。

IICACKT ビット (ACK 送信データビット)

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は“1”を設定してください。

33.2.17 I²C モードレジスタ 3 (SIMR3)

アドレス SCI0.SIMR3 0008 A00Bh, SCI1.SIMR3 0008 A02Bh, SCI5.SIMR3 0008 A0ABh, SCI6.SIMR3 0008 A0CBh, SCI8.SIMR3 0008 A10Bh, SCI9.SIMR3 0008 A12Bh, SCI12.SIMR3 0008 B30Bh



ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成ビット	0 : 開始条件を生成しない 1 : 開始条件を生成 (注1、注3、注4、注5)	R/W
b1	IICRSTAREQ	再開条件生成ビット	0 : 再開条件を生成しない 1 : 再開条件を生成 (注2、注3、注4、注5)	R/W
b2	IICSTPREQ	停止条件生成ビット	0 : 停止条件を生成しない 1 : 停止条件を生成 (注2、注3、注4、注5)	R/W
b3	IICSTIF	開始/再開/停止条件生成完了フラグ	0 : 各条件生成要求がない状態、または生成中の状態 1 : 各条件生成が完了した状態	R/W
b5-b4	IICSDAS[1:0]	SSDA出力セレクトビット	b5 b4 0 0 : シリアルデータ出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSdAn端子はLowを出力 1 1 : SSdAn端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SSCL出力セレクトビット	b7 b6 0 0 : シリアルクロック出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSCLn端子はLowを出力 1 1 : SSCLn端子はハイインピーダンス状態	R/W

注1. SSCLn端子とSSdAn端子が両方ともHigh（それぞれの端子に対応するPIDRレジスタのビットが“1”）のときに開始条件生成を行ってください。

注2. SSCLn端子がLow（対応するPIDRレジスタのビットが“0”）のときに再開条件生成または停止条件生成を行ってください。

注3. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。

注4. IICSTIFフラグを“0”にしてから、各条件生成を行ってください。

注5. “1”の状態を“0”を書き込まないでください。“1”の状態を“0”を書きこむと、コンディション生成が中断します。

SIMR3 レジスタは、簡易 I²C モードの開始条件、停止条件生成、および、SSdAn 端子、SSCLn 端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット（開始条件生成ビット）

開始条件の生成を行うときは、IICSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット (再開条件生成ビット)

再開条件の生成を行うときは、IICRSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 再開条件の生成が完了したとき

IICSTPREQ ビット (停止条件生成ビット)

停止条件の生成を行うときは、IICSTPREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ (開始 / 再開 / 停止条件生成完了フラグ)

各条件生成実行後、生成完了した状態を示します。IICRSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各条件の生成を行うときは、IICSTIF フラグを“0”にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可された状態で、IICSTIF フラグが“1”の場合に開始 / 再開 / 停止条件生成完了割り込み (STI) 要求が出力されます。

["1"になる条件]

- 開始 / 再開 / 停止の各条件の生成が完了したとき (ただし“0”になる条件と競合した場合は“0”になる条件が優先されます。)

["0"になる条件]

- “0”を書き込んだとき (IICSTIF フラグが“0”になったことを確認してください。)
- SIMR1.IICM ビットが“0”のとき (簡易 I²C モード以外の場合)
- SCR.TE ビットが“0”のとき

IICSDAS[1:0] ビット (SSDA 出力セレクトビット)

SSDAn 端子からの出力を制御します。

通常動作時は、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

IICSCLS[1:0] ビット (SSCL 出力セレクトビット)

SSCLn 端子からの出力を制御します。

通常動作時は、IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

33.2.18 I²C ステータスレジスタ (SISR)

アドレス SCI0.SISR 0008 A00Ch, SCI1.SISR 0008 A02Ch, SCI5.SISR 0008 A0ACh, SCI6.SISR 0008 A0CCh,
SCI8.SISR 0008 A10Ch, SCI9.SISR 0008 A12Ch, SCI12.SISR 0008 B30Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACKR
リセット後の値	0	0	x	x	0	x	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0 : ACK受信 1 : NACK受信	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読み出し値は不定です	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読み出し値は不定です	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

SISR レジスタは、簡易 I²C モード関連のステータスをモニタします。

IICACKR フラグ (ACK 受信データフラグ)

受信された ACK/NACK ビットを読み出すことができます。

IICACKR フラグは、ACK/NACK を受信するビットの SSCLn クロックの立ち上がりのタイミングで更新されます。

33.2.19 SPI モードレジスタ (SPMR)

アドレス SCI0.SPMR 0008 A00Dh, SCI1.SPMR 0008 A02Dh, SCI5.SPMR 0008 A0ADh, SCI6.SPMR 0008 A0CDh, SCI8.SPMR 0008 A10Dh, SCI9.SPMR 0008 A12Dh, SCI12.SPMR 0008 B30Dh

b7	b6	b5	b4	b3	b2	b1	b0
CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn#端子機能イネーブルビット	0: SSn#端子機能禁止 1: SSn#端子機能許可	R/W (注1)
b1	CTSE	CTSイネーブルビット	0: CTS機能禁止(RTS出力機能有効) 1: CTS機能許可	R/W (注1)
b2	MSS	マスタスレーブセレクトビット	0: TXDn端子: 送信, RXDn端子: 受信(マスタモード) 1: TXDn端子: 受信, RXDn端子: 送信(スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MFF	モードフォルトフラグ	0: モードフォルトエラーなし 1: モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CKPOL	クロック極性セレクトビット	0: クロック極性反転なし 1: クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相セレクトビット	0: クロック遅れなし 1: クロック遅れあり	R/W (注1)

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

注2. フラグをクリアするための“0”書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット (SSn# 端子機能イネーブルビット)

SSn# 端子を用いて送受信制御を行う場合 (簡易 SPI モード) は“1”を設定します。それ以外の通信モードでは“0”を設定してください。なお、簡易 SPI モードでも、マスタモード (SCR.CKE[1:0] ビット=00b かつ MSS ビット=0) かつシングルマスタで使用するときは、マスタ側の SSn# 端子を用いた送受信制御は不要であり、SSE ビットは“0”を設定します。SSE ビット、CTSE ビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

CTSE ビット (CTS イネーブルビット)

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は“1”を設定します。“0”を設定している状態では RTSn# 信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I²C モード時は“0”を設定してください。CTSE ビット、SSE ビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

MSS ビット (マスタスレーブセレクトビット)

簡易 SPI モード時にマスタモード、スレーブモードを選択します。MSS ビットを“1”にすると、TXDn 端子、RXDn 端子の機能が逆になり、TXDn 端子から受信データを入力し、RXDn 端子から送信データを出力します。

簡易 SPI モード以外のモード時は“0”にしてください。

MFF フラグ (モードフォルトフラグ)

モードフォルトエラーが発生したことを表示します。

マルチマスタ時は MFF フラグの読み出しにより、モードフォルトエラーを判定してください。

["1" になる条件]

- 簡易 SPI モードのマスタモード設定時 (SSE ビット = 1 かつ MSS ビット = 0) に、SSn# 端子入力 Low になったとき

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき

CKPOL ビット (クロック極性セレクトビット)

SCKn 端子からのクロック出力の極性を選択します。詳細は、図 33.57 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では "0" としてください。

CKPH ビット (クロック位相セレクトビット)

SCKn 端子からのクロック出力の位相設定を選択します。詳細は、図 33.57 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では "0" としてください。

33.2.20 拡張シリアルモード有効レジスタ (ESMER)

アドレス SCI12.ESMER 0008 B320h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ESME

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ESME	拡張シリアルモード有効ビット	0: 拡張シリアルモード無効 1: 拡張シリアルモード有効	R/W
b7-b1	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W

ESME ビット (拡張シリアルモード有効ビット)

ESME ビットが "1" の場合、拡張シリアルモード制御部が有効となります。

ESME ビットを "0" にすると、拡張シリアルモード制御部は初期化された状態になります。

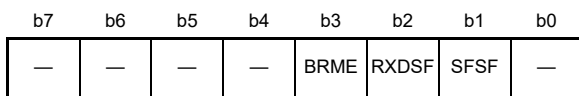
表 33.26 ESME ビットの設定とタイマ動作モード

ESME ビット	タイマモード	Break Field Low width 判定モード	Break Field Low width 出力モード
0	使用可能 (注1)	使用不可能	使用不可能
1	使用可能	使用可能	使用可能

注1. PCLK 選択時のみ動作します。

33.2.21 コントロールレジスタ 0 (CR0)

アドレス SCI12.CR0 0008 B321h

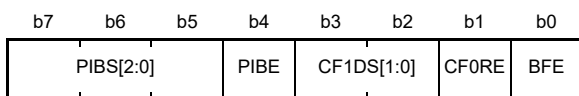


リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	SFSF	Start Frameステータスフラグ	0 : Start Frame 検出機能無効状態 1 : Start Frame 検出機能有効状態	R
b2	RXDSF	RXDX12入カステータスフラグ	0 : RXDX12入力許可状態 1 : RXDX12入力禁止状態	R
b3	BRME	ビットレート測定イネーブルビット	0 : ビットレート測定無効 1 : ビットレート測定有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

33.2.22 コントロールレジスタ 1 (CR1)

アドレス SCI12.CR1 0008 B322h

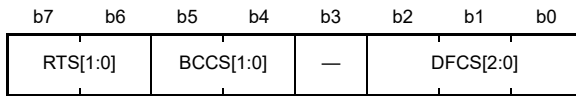


リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFE	Break Fieldイネーブルビット	0 : Break Fieldの検出が無効 1 : Break Fieldの検出が有効	R/W
b1	CF0RE	Control Field 0受信イネーブルビット	0 : Control Field 0受信無効 1 : Control Field 0受信有効	R/W
b3-b2	CF1DS[1:0]	Control Field 1データレジスタ 選択ビット	b3 b2 00 : PCF1DRを比較データに選択 01 : SCF1DRを比較データに選択 10 : PCF1DRおよびSCF1DRを比較データに選択 11 : 設定しないでください	R/W
b4	PIBE	プライオリティインタラプト ビットイネーブルビット	0 : プライオリティインタラプトビット無効 1 : プライオリティインタラプトビット有効	R/W
b7-b5	PIBS[2:0]	プライオリティインタラプト ビットセレクトビット	b7 b5 000 : Control Field 1 0ビット目 001 : Control Field 1 1ビット目 010 : Control Field 1 2ビット目 011 : Control Field 1 3ビット目 100 : Control Field 1 4ビット目 101 : Control Field 1 5ビット目 110 : Control Field 1 6ビット目 111 : Control Field 1 7ビット目	R/W

33.2.23 コントロールレジスタ 2 (CR2)

アドレス SCI12.CR2 0008 B323h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DFCS[2:0]	RXDX12信号デジタルフィルタ クロック選択ビット	b2 b0 0 0 0: フィルタ無効 0 0 1: フィルタクロックは基本クロック (注1、注2) 0 1 0: フィルタクロックはPCLK/8 0 1 1: フィルタクロックはPCLK/16 1 0 0: フィルタクロックはPCLK/32 1 0 1: フィルタクロックはPCLK/64 1 1 0: フィルタクロックはPCLK/128 1 1 1: 設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BCCS[1:0]	バス衝突検出クロック選択 ビット	<ul style="list-style-type: none"> SEMR.BGDMビットが“0”または、SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”以外の場合 b5 b4 0 0: 基本クロック 0 1: 基本クロックの2分周 1 0: 基本クロックの4分周 1 1: 設定しないでください	R/W
			<ul style="list-style-type: none"> SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”の場合 b5 b4 0 0: 基本クロックの2分周 0 1: 基本クロックの4分周 1 0: 設定しないでください 1 1: 設定しないでください	
b7-b6	RTS[1:0]	RXDX12受信サンプリング タイミング選択ビット	<ul style="list-style-type: none"> SCI12.SEMR.ABCSビット=0の場合 b7 b6 0 0: 基本クロックの8クロック目の立ち上がり 0 1: 基本クロックの10クロック目の立ち上がり 1 0: 基本クロックの12クロック目の立ち上がり 1 1: 基本クロックの14クロック目の立ち上がり	R/W
			<ul style="list-style-type: none"> SCI12.SEMR.ABCSビット=1の場合 b7 b6 0 0: 基本クロックの4クロック目の立ち上がり 0 1: 基本クロックの5クロック目の立ち上がり 1 0: 基本クロックの6クロック目の立ち上がり 1 1: 基本クロックの7クロック目の立ち上がり	

注. 基本クロックとは、SCI12.SEMR.ABCS = 0のとき、1データ期間の1/16の周期、SCI12.SEMR.ABCS = 1のとき、1データ期間の1/8の周期です。

注1. 基本クロックを使用する場合、SCI12.SCR.TEビットを“1”にしてください。

注2. SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”の場合は基本クロックの2分周がフィルタクロックとなります。

33.2.24 コントロールレジスタ 3 (CR3)

アドレス SCI12.CR3 0008 B324h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SDST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SDST	Start Frame検出開始ビット	0 : Start Frameの検出を行わない 1 : Start Frameの検出を行う	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDST ビット (Start Frame 検出開始ビット)

SDST ビットを“1”にすると Start Frame の検出を開始します。読むと“0”が読み出されます。

33.2.25 ポートコントロールレジスタ (PCR)

アドレス SCI12.PCR 0008 B325h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SHARPS	—	—	RXDXP S	TXDXP S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXDXPS	TXDX12信号極性選択ビット	0 : TXDX12信号極性を反転せずに出力 1 : TXDX12信号極性を反転して出力	R/W
b1	RXDXP S	RXDX12信号極性選択ビット	0 : RXDX12極性を反転せずに入力 1 : RXDX12極性を反転して入力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SHARPS	TXDX12/RXDX12端子兼用選択ビット	0 : TXDX12端子、RXDX12端子独立 1 : TXDX12/RXDX12端子兼用	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SHARPS ビット (TXDX12/RXDX12 端子兼用選択ビット)

SHARPS ビットが“1”の場合、TXDX12/RXDX12 端子を兼用した半二重通信が可能となります。

33.2.26 割り込みコントロールレジスタ (ICR)

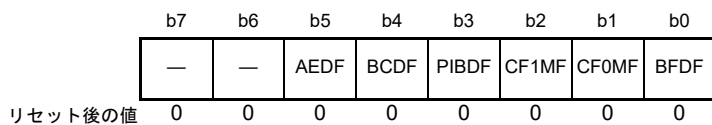
アドレス SCI12.ICR 0008 B326h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDIE	BCDIE	PIBDIE	CF1MIE	CF0MIE	BFDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDIE	Break Field Low width検出割り込み許可ビット	0 : Break Field Low width検出割り込み禁止 1 : Break Field Low width検出割り込み許可	R/W
b1	CF0MIE	Control Field 0一致割り込み許可ビット	0 : Control Field 0一致割り込み禁止 1 : Control Field 0一致割り込み許可	R/W
b2	CF1MIE	Control Field 1一致割り込み許可ビット	0 : Control Field 1一致割り込み禁止 1 : Control Field 1一致割り込み許可	R/W
b3	PIBDIE	プライオリティインタラプトビット検出割り込み許可ビット	0 : プライオリティインタラプトビット検出割り込み禁止 1 : プライオリティインタラプトビット検出割り込み許可	R/W
b4	BCDIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
b5	AEDIE	有効エッジ検出割り込み許可ビット	0 : 有効エッジ検出割り込み禁止 1 : 有効エッジ検出割り込み許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

33.2.27 ステータスレジスタ (STR)

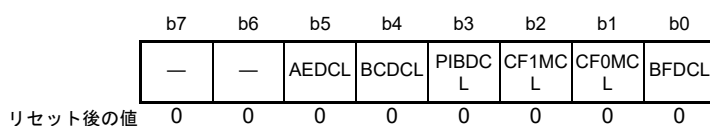
アドレス SCI12.STR 0008 B327h



ビット	シンボル	ビット名	機能	R/W
b0	BFDF	Break Field Low width検出フラグ	["1"]になる条件 • Break Field Low width検出したとき • Break Field Low width出力完了したとき • タイマがアンダフローしたとき ["0"]になる条件 • STCR.BFDCLビットに"1"を書いたとき	R
b1	CF0MF	Control Field 0一致フラグ	["1"]になる条件 • Control Field 0受信データが設定データと一致したとき ["0"]になる条件 • STCR.CF0MCLビットに"1"を書いたとき	R
b2	CF1MF	Control Field 1一致フラグ	["1"]になる条件 • Control Field 1受信データが設定データと一致したとき ["0"]になる条件 • STCR.CF1MCLビットに"1"を書いたとき	R
b3	PIBDF	プライオリティインタラプトビット検出フラグ	["1"]になる条件 • プライオリティインタラプトビットを検出したとき ["0"]になる条件 • STCR.PIBDCLビットに"1"を書いたとき	R
b4	BCDF	バス衝突検出フラグ	["1"]になる条件 • バス衝突を検出したとき ["0"]になる条件 • STCR.BCDCLビットに"1"を書いたとき	R
b5	AEDF	有効エッジ検出フラグ	["1"]になる条件 • 有効エッジを検出したとき ["0"]になる条件 • STCR.AEDCLビットに"1"を書いたとき	R
b7-b6	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R

33.2.28 ステータスクリアレジスタ (STCR)

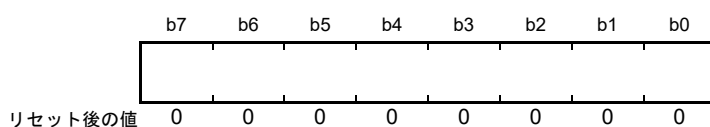
アドレス SCI12.STCR 0008 B328h



ビット	シンボル	ビット名	機能	R/W
b0	BFDCCL	BFDFクリアビット	BFDCCLビットを“1”にするとSTR.BFDFフラグをクリアします。読むと“0”が読み出されます	R/W
b1	CF0MCL	CF0MFクリアビット	CF0MCLビットを“1”にするとSTR.CF0MFフラグをクリアします。読むと“0”が読み出されます	R/W
b2	CF1MCL	CF1MFクリアビット	CF1MCLビットを“1”にするとSTR.CF1MFフラグをクリアします。読むと“0”が読み出されます	R/W
b3	PIBDCCL	PIBDFクリアビット	PIBDCCLビットを“1”にするとSTR.PIBDFフラグをクリアします。読むと“0”が読み出されます	R/W
b4	BCDCL	BCDFクリアビット	BCDCLビットを“1”にするとSTR.BCDFフラグをクリアします。読むと“0”が読み出されます	R/W
b5	AEDCL	AEDFクリアビット	AEDCLビットを“1”にするとSTR.AEDFフラグをクリアします。読むと“0”が読み出されます	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

33.2.29 Control Field 0 データレジスタ (CF0DR)

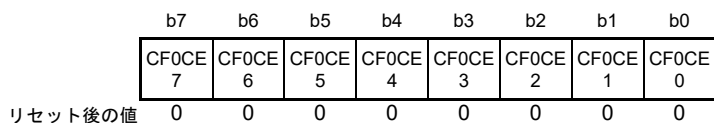
アドレス SCI12.CF0DR 0008 B329h



CF0DR レジスタは、Control Field 0 の比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

33.2.30 Control Field 0 コンペアイネーブルレジスタ (CF0CR)

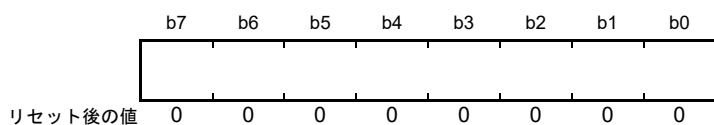
アドレス SCI12.CF0CR 0008 B32Ah



ビット	シンボル	ビット名	機能	R/W
b0	CF0CE0	Control Field 0 0ビットコンペアイネーブルビット	0 : Control Field 0 ビット0コンペア無効 1 : Control Field 0 ビット0コンペア有効	R/W
b1	CF0CE1	Control Field 0 1ビットコンペアイネーブルビット	0 : Control Field 0 ビット1コンペア無効 1 : Control Field 0 ビット1コンペア有効	R/W
b2	CF0CE2	Control Field 0 2ビットコンペアイネーブルビット	0 : Control Field 0 ビット2コンペア無効 1 : Control Field 0 ビット2コンペア有効	R/W
b3	CF0CE3	Control Field 0 3ビットコンペアイネーブルビット	0 : Control Field 0 ビット3コンペア無効 1 : Control Field 0 ビット3コンペア有効	R/W
b4	CF0CE4	Control Field 0 4ビットコンペアイネーブルビット	0 : Control Field 0 ビット4コンペア無効 1 : Control Field 0 ビット4コンペア有効	R/W
b5	CF0CE5	Control Field 0 5ビットコンペアイネーブルビット	0 : Control Field 0 ビット5コンペア無効 1 : Control Field 0 ビット5コンペア有効	R/W
b6	CF0CE6	Control Field 0 6ビットコンペアイネーブルビット	0 : Control Field 0 ビット6コンペア無効 1 : Control Field 0 ビット6コンペア有効	R/W
b7	CF0CE7	Control Field 0 7ビットコンペアイネーブルビット	0 : Control Field 0 ビット7コンペア無効 1 : Control Field 0 ビット7コンペア有効	R/W

33.2.31 Control Field 0 受信データレジスタ (CF0RR)

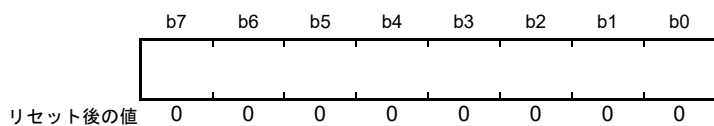
アドレス SCI12.CF0RR 0008 B32Bh



CF0RR レジスタは、Control Field 0 の受信データを格納する 8 ビットのリード可能なレジスタです。

33.2.32 プライマリ Control Field 1 データレジスタ (PCF1DR)

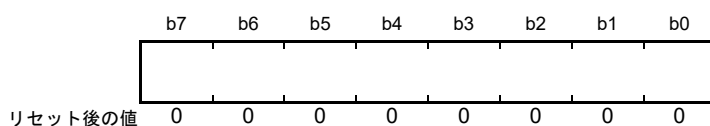
アドレス SCI12.PCF1DR 0008 B32Ch



PCF1DR レジスタは、Control Field 1 のプライマリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

33.2.33 セカンダリ Control Field 1 データレジスタ (SCF1DR)

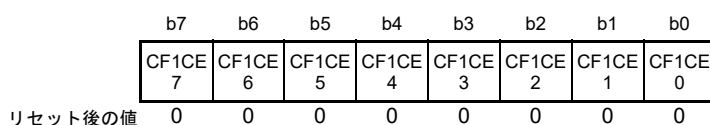
アドレス SCI12.SCF1DR 0008 B32Dh



SCF1DR レジスタは、Control Field 1 のセカンダリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

33.2.34 Control Field 1 コンペアイネーブルレジスタ (CF1CR)

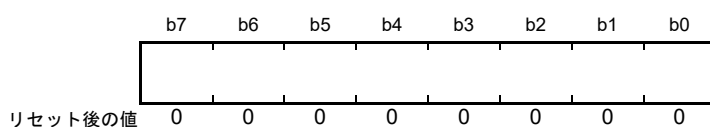
アドレス SCI12.CF1CR 0008 B32Eh



ビット	シンボル	ビット名	機能	R/W
b0	CF1CE0	Control Field 1 0ビットコンペアイネーブル	0 : Control Field 1 ビット0コンペア無効 1 : Control Field 1 ビット0コンペア有効	R/W
b1	CF1CE1	Control Field 1 1ビットコンペアイネーブル	0 : Control Field 1 ビット1コンペア無効 1 : Control Field 1 ビット1コンペア有効	R/W
b2	CF1CE2	Control Field 1 2ビットコンペアイネーブル	0 : Control Field 1 ビット2コンペア無効 1 : Control Field 1 ビット2コンペア有効	R/W
b3	CF1CE3	Control Field 1 3ビットコンペアイネーブル	0 : Control Field 1 ビット3コンペア無効 1 : Control Field 1 ビット3コンペア有効	R/W
b4	CF1CE4	Control Field 1 4ビットコンペアイネーブル	0 : Control Field 1 ビット4コンペア無効 1 : Control Field 1 ビット4コンペア有効	R/W
b5	CF1CE5	Control Field 1 5ビットコンペアイネーブル	0 : Control Field 1 ビット5コンペア無効 1 : Control Field 1 ビット5コンペア有効	R/W
b6	CF1CE6	Control Field 1 6ビットコンペアイネーブル	0 : Control Field 1 ビット6コンペア無効 1 : Control Field 1 ビット6コンペア有効	R/W
b7	CF1CE7	Control Field 1 7ビットコンペアイネーブル	0 : Control Field 1 ビット7コンペア無効 1 : Control Field 1 ビット7コンペア有効	R/W

33.2.35 Control Field 1 受信データレジスタ (CF1RR)

アドレス SCI12.CF1RR 0008 B32Fh



CF1RR レジスタは Control Field 1 の受信データを格納する 8 ビットのリード可能なレジスタです。

33.2.36 タイマコントロールレジスタ (TCR)

アドレス SCI12.TCR 0008 B330h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	TCST
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCST	タイマカウント開始ビット	0 : タイマカウント停止 1 : タイマカウント開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

33.2.37 タイマモードレジスタ (TMR)

アドレス SCI12.TMR 0008 B331h

b7	b6	b5	b4	b3	b2	b1	b0
—	TCSS[2:0]		TWRC	—	TOMS[1:0]		—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOMS[1:0]	タイマ動作モード選択ビット(注1)	b1 b0 0 0 : タイマモード 0 1 : Break Field Low width 判定モード 1 0 : Break Field Low width 出力モード 1 1 : 設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	TWRC	カウンタ書き込み制御ビット	0 : リロードレジスタとカウンタへの書き込み 1 : リロードレジスタのみ書き込み	R/W
b6-b4	TCSS[2:0]	タイマカウントクロックソース選択ビット(注1)	b6 b4 0 0 0 : PCLK 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

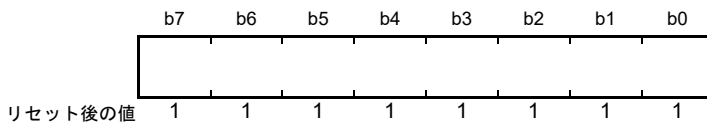
注1. TOMS[1:0]およびTCSS[2:0]ビットの書き換えは、タイマカウント停止時 (TCST = 0) に行ってください。

TWRC ビット (カウンタ書き込み制御ビット)

TCNT、TPRE レジスタにライトしたときに、リロードレジスタのみ書き込むのか、リロードレジスタとカウンタに書き込むのか選択します。

33.2.38 タイムプリスケアラレジスタ (TPRE)

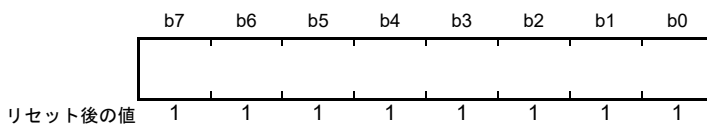
アドレス SCI12.TPRE 0008 B332h



TPRE レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TMR.TCSS[2:0] ビットで選択されたカウントクロックソースでダウンカウントを行い、アンダフローするとカウンタへリロードレジスタの値がロードされます。またアンダフローは TCNT レジスタのカウントクロックソースとなります。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

33.2.39 タイマカウントレジスタ (TCNT)

アドレス SCI12.TCNT 0008 B333h



TCNT レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TPRE レジスタのアンダフローをダウンカウントし、TCNT レジスタがアンダフローするとカウンタへリロードレジスタの値がロードされます。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

33.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 33.5 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

SCI は通信回線を監視し、スペース (Low) を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

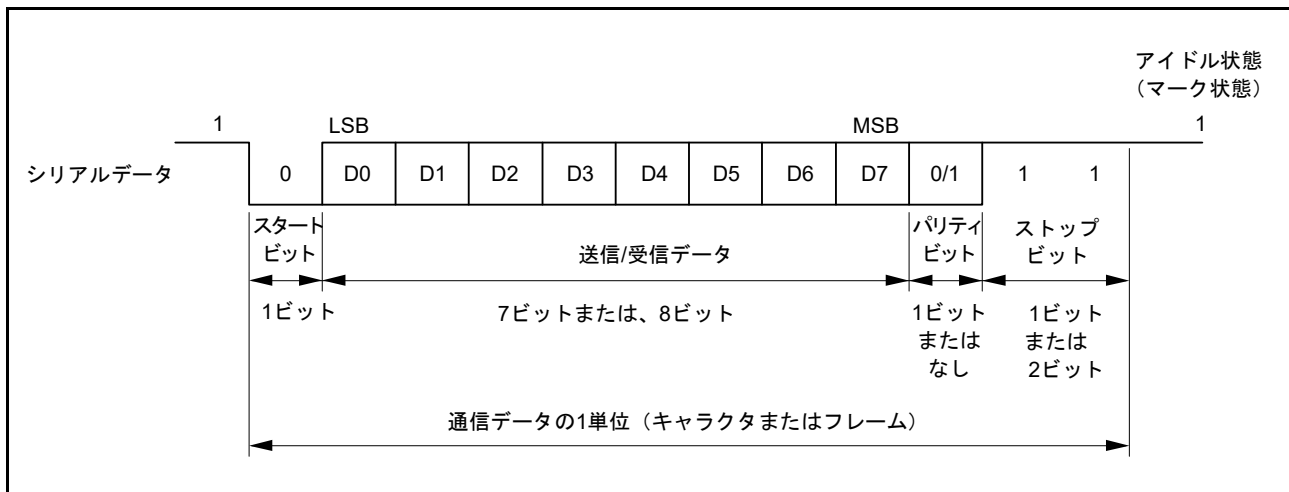


図 33.5 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

33.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 33.27 に示します。

フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については「33.4 マルチプロセッサ通信機能」を参照してください。

表33.27 シリアル送信/受信フォーマット(調歩同期式モード)

SCMR の設定	SMRの設定				シリアル送信/受信フォーマットとフレーム長																	
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13				
0	0	0	0	0	0	S	9ビットデータ									STOP						
0	0	0	0	0	1	S	9ビットデータ									STOP	STOP					
0	0	1	0	0	0	S	9ビットデータ									P	STOP					
0	0	1	0	0	1	S	9ビットデータ									P	STOP	STOP				
1	0	0	0	0	0	S	8ビットデータ								STOP							
1	0	0	0	0	1	S	8ビットデータ								STOP	STOP						
1	0	1	0	0	0	S	8ビットデータ								P	STOP						
1	0	1	0	0	1	S	8ビットデータ								P	STOP	STOP					
1	1	0	0	0	0	S	7ビットデータ							STOP								
1	1	0	0	0	1	S	7ビットデータ							STOP	STOP							
1	1	1	0	0	0	S	7ビットデータ							P	STOP							
1	1	1	0	0	1	S	7ビットデータ							P	STOP	STOP						
0	0	—	1	0	0	S	9ビットデータ									MPB	STOP					
0	0	—	1	1	0	S	9ビットデータ									MPB	STOP	STOP				
1	0	—	1	0	0	S	8ビットデータ								MPB	STOP						
1	0	—	1	1	0	S	8ビットデータ								MPB	STOP	STOP					
1	1	—	1	0	0	S	7ビットデータ							MPB	STOP							
1	1	—	1	1	0	S	7ビットデータ							MPB	STOP	STOP						

S: スタートビット
 STOP: ストップビット
 P: パリティビット
 MPB: マルチプロセッサビット

33.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図33.6に示すように受信データを基本クロックの8サイクル目(注1)の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 (\%) \quad \dots \text{式(1)}$$

M: 受信マージン

N: クロックに対するビットレートの比

- SEMR.ABCSビットが“0”のとき $N = 16$
- SEMR.ABCSビットが“1”のとき $N = 8$

D: クロックのデューティ ($D = 0.5 \sim 1.0$)

L: フレーム長 ($L = 9 \sim 13$)

F: クロック周波数の偏差の絶対値

式(1)で、 $F = 0$ 、 $D = 0.5$ とすると、

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875 (\%)$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20～30%の余裕を持たせてください。

注1. SEMR.ABCSビットが“0”のときの例です。ABCSビットが“1”のときは、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4番目の立ち上がりエッジでサンプリングします。

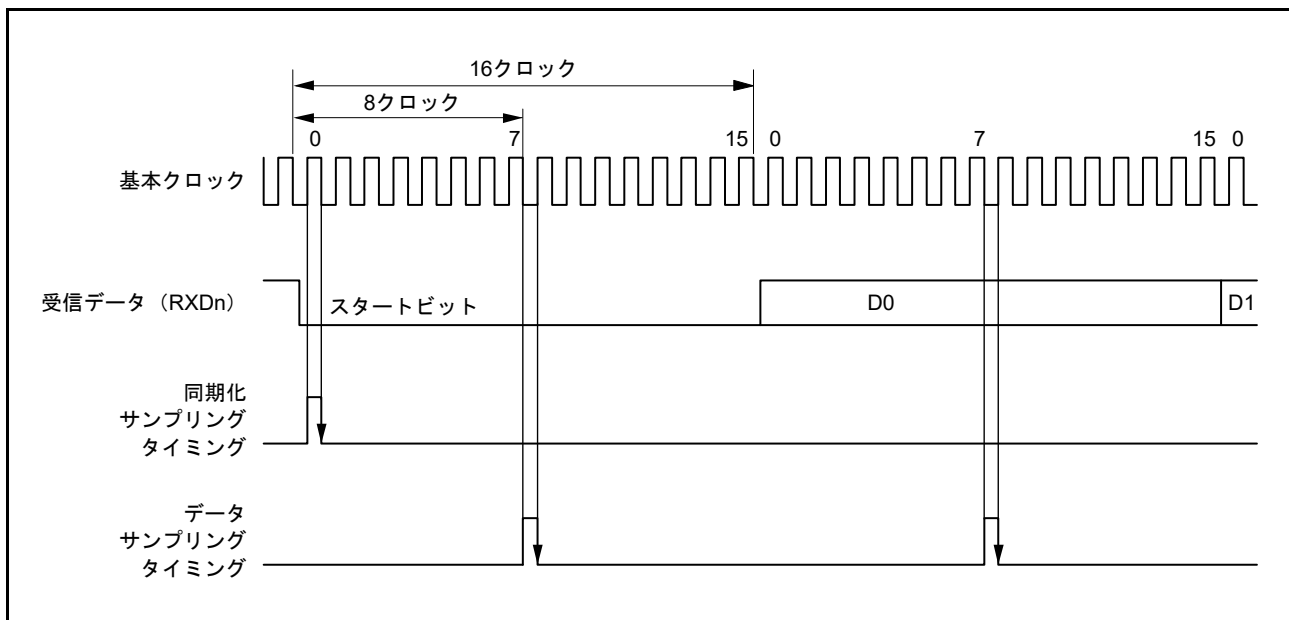


図 33.6 調歩同期式モードの受信データサンプリングタイミング

33.3.3 クロック

SCIの送受信クロックは、SMR.CMビットとSCR.CKE[1:0]ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCKn端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍（SEMR.ABCSビット=0のとき）、8倍（SEMR.ABCSビット=1のとき）の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCIn.SEMR.ACS0ビット（n=5, 6, 12）の設定により、TMR0、TMR1からの基本クロックを選択することが可能です。

内部クロックで動作させるときはSCKn端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図33.7に示すように送信データの中央でクロックが立ち上がります。

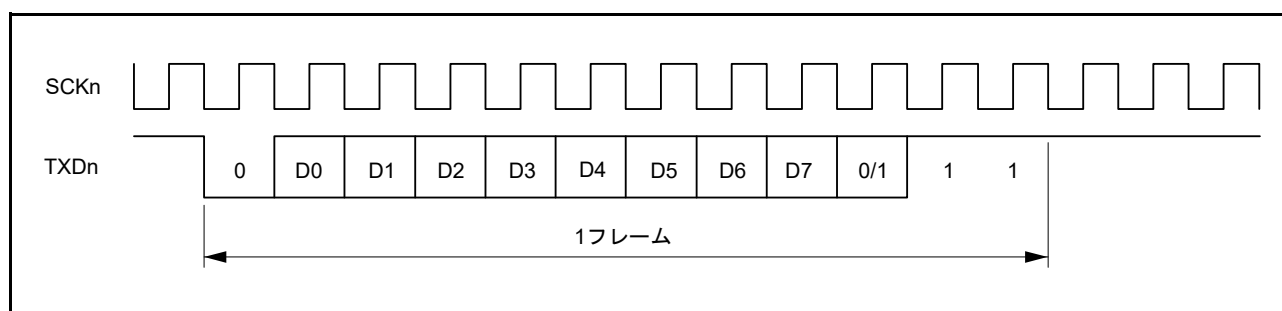


図 33.7 出カクロックと送信データの位相関係
(調歩同期式モード: SMR.CHR = 0、PE = 1、MP = 0、STOP = 1)

33.3.4 倍速モード

SEMR.BGDMビットを“1”にすることによって内蔵ポーレートジェネレータの出力クロック周波数が2倍となり、ビットレートが2倍の高速通信が可能となります。また、この状態からSEMR.ABCSビットを“1”にすると基本クロックのサイクル数が16から8になるため、ビットレートは初期状態から4倍に高速化されます。

なお、「33.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式(1)が示すとおり、SEMR.ABCSビットを“1”にするとサイクル数が8になり、サンプリング間隔が粗くなるため受信マージンが減少します。したがって、ビットレート2倍の高速通信は、SEMR.BGDMビットを“0”、SEMR.ABCSビットを“1”にするよりも、SEMR.BGDMビットを“1”、SEMR.ABCSビットを“0”にする設定を推奨します。

33.3.5 CTS、RTS 機能

CTS 機能は、CTS_n# 端子入力を使用して送信制御を行う機能です。

SPMR.CTSE ビットを“1”にすると CTS 機能が有効になります。CTS 機能が有効のとき、CTS_n# 端子入力が Low のときのみ送信動作を開始します。

送信動作中に CTS_n# 端子を High にした場合、送信中のフレームは影響を受けず送信を継続します。

RTS 機能は、RTS_n# 端子出力を使用して受信要求を行う機能で、受信可能状態になると Low を出力します。RTS_n# 端子から Low、High を出力する条件は以下の通りです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットが“1”
- 受信動作中でない
- 未読の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて“0”

[High になる条件]

Low になる条件を満たさない場合

なお、CTS/RTS はどちらか一方しか選択できません。

33.3.6 SCI の初期化（調歩同期式モード）

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 33.8 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER、RDRF フラグおよび RDR、RDRH、RDRL レジスタは初期化されませんので注意してください。

SCR.TIE ビットが “1” の場合に SCR.TE ビットを “1” から “0”、または “0” から “1” にすると、送信データエンプティ割り込み（TXI）要求が発生しますので注意してください。

また、SCR レジスタの TIE ビット、TE ビット、TEIE ビットを同時に “1” にすると、TXI 割り込み要求が発生する前に送信終了割り込み（TEI）要求が発生しますので注意してください。

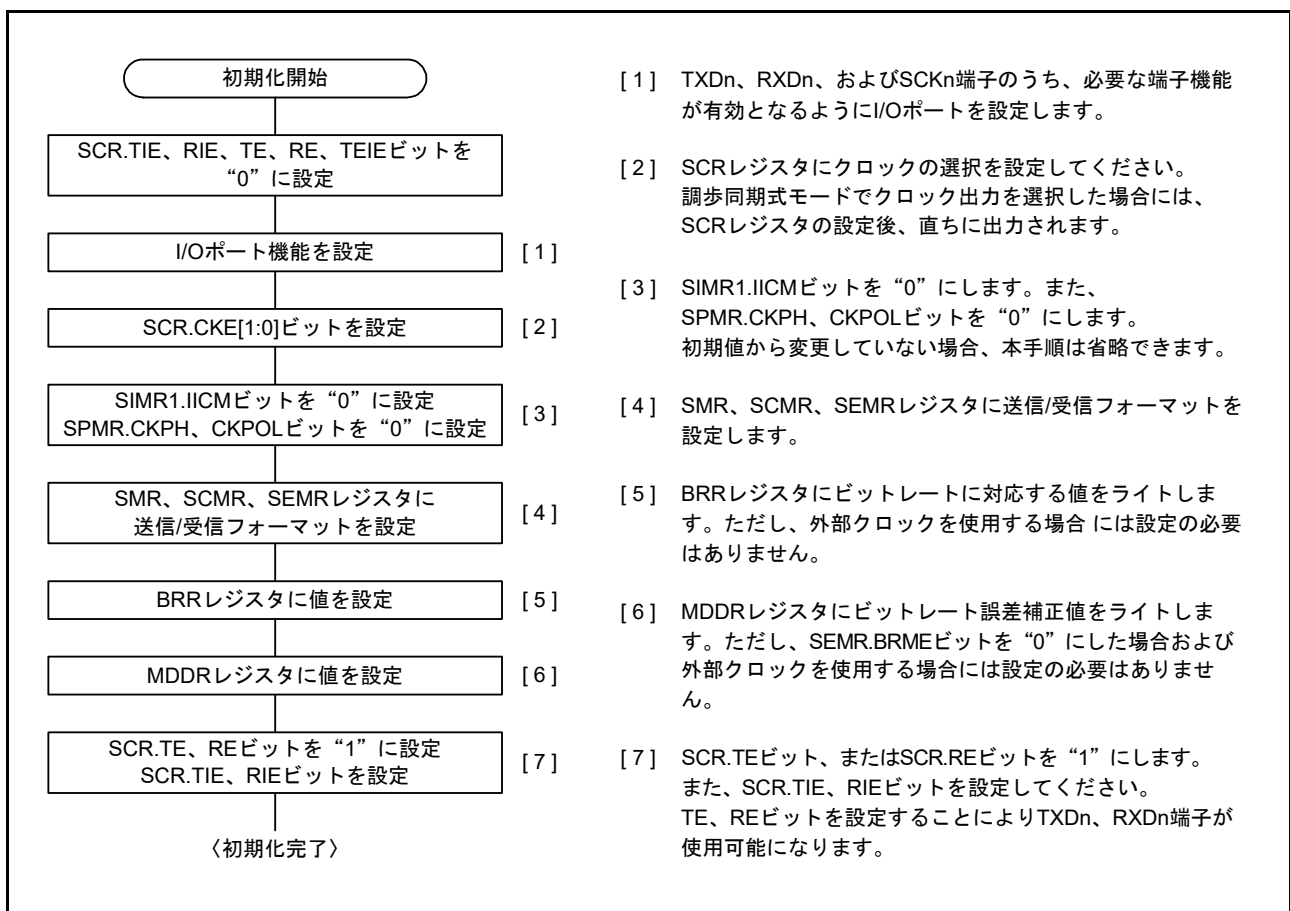


図 33.8 SCI の初期化フローチャートの例（調歩同期式モード）

33.3.7 シリアルデータの送信（調歩同期式モード）

図 33.9 ～図 33.11 に調歩同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンで TDR レジスタ (注 1) にデータが書き込まれると、TDR レジスタ (注 1) から TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. SPMR.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力 Low で、TDR レジスタ (注 1) から TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタ (注 1、注 2) に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタ (注 1、注 2) に書いた後、SCR.TIE ビットを“0” (TXI 割り込み要求を禁止) に、SCR.TEIE ビットを“1” (TEI 割り込み要求を許可) にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタ (注 3) の更新 (書き込み) をチェックします。
5. TDR レジスタ (注 3) が更新されていると、SPMR.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力 Low で、次の送信データを TDR レジスタ (注 1) から TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタ (注 3) が更新されていなければ、SSR.TEND フラグを“1”にし、ストップビット送出後、“1”を出力してマーク状態になります。このとき、SCR.TEIE ビットが“1”であると、SSR.TEND フラグが“1”になり TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、TDRH および TDRL レジスタになります。

注 2. データ長 9 ビット選択時は、TDRH、TDRL レジスタの順にデータを書き込んでください。

注 3. データ長 9 ビット選択時は、TDRL レジスタ更新のみチェックします。TDRH レジスタ更新はチェックしません。

図 33.12 にシリアル送信のフローチャートの例を示します。

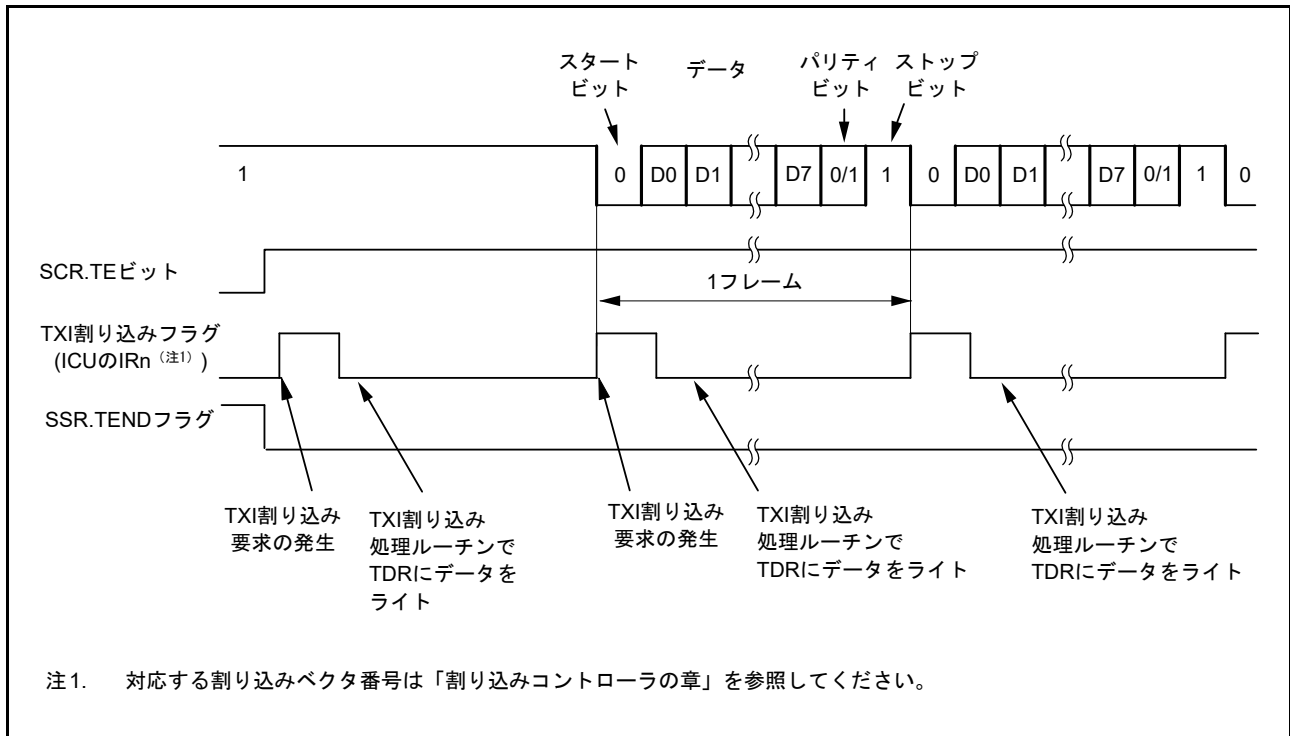


図 33.9 調歩同期式モードのシリアル送信の動作例 (1)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用しない / 送信開始時)

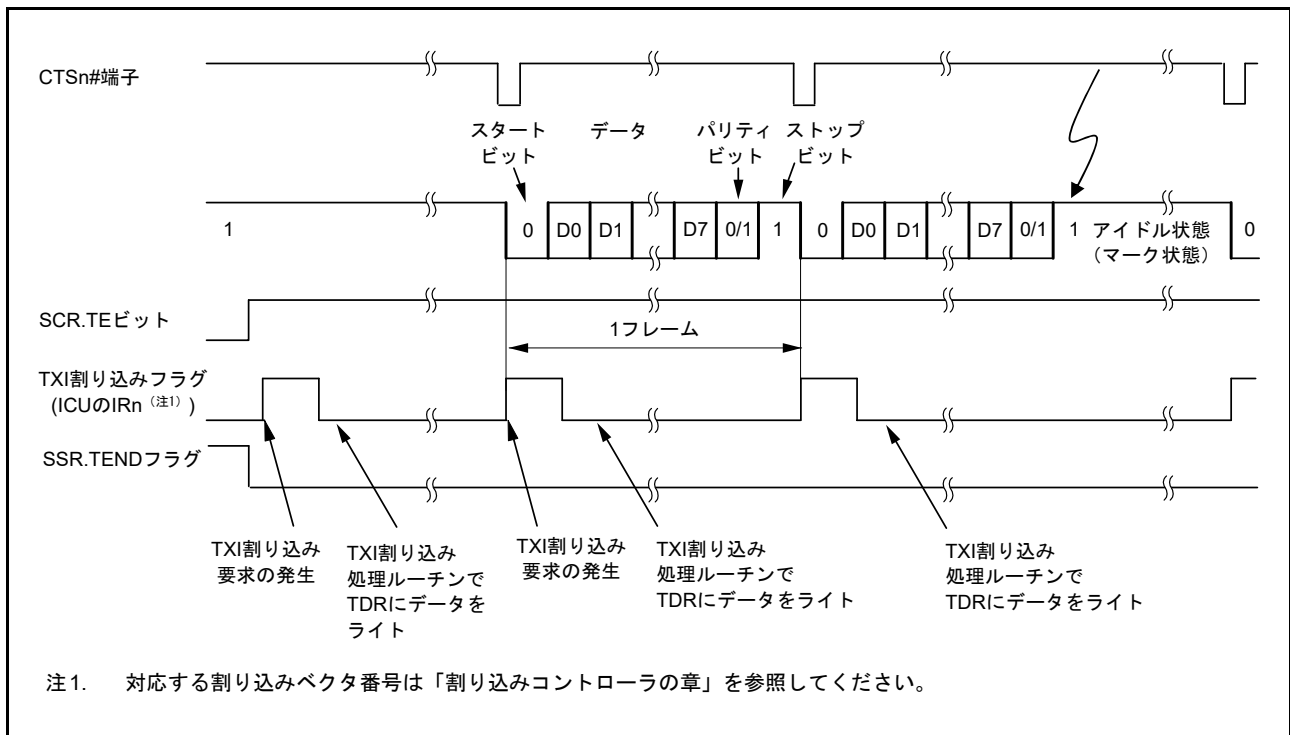


図 33.10 調歩同期式モードのシリアル送信の動作例 (2)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用する / 送信開始時)

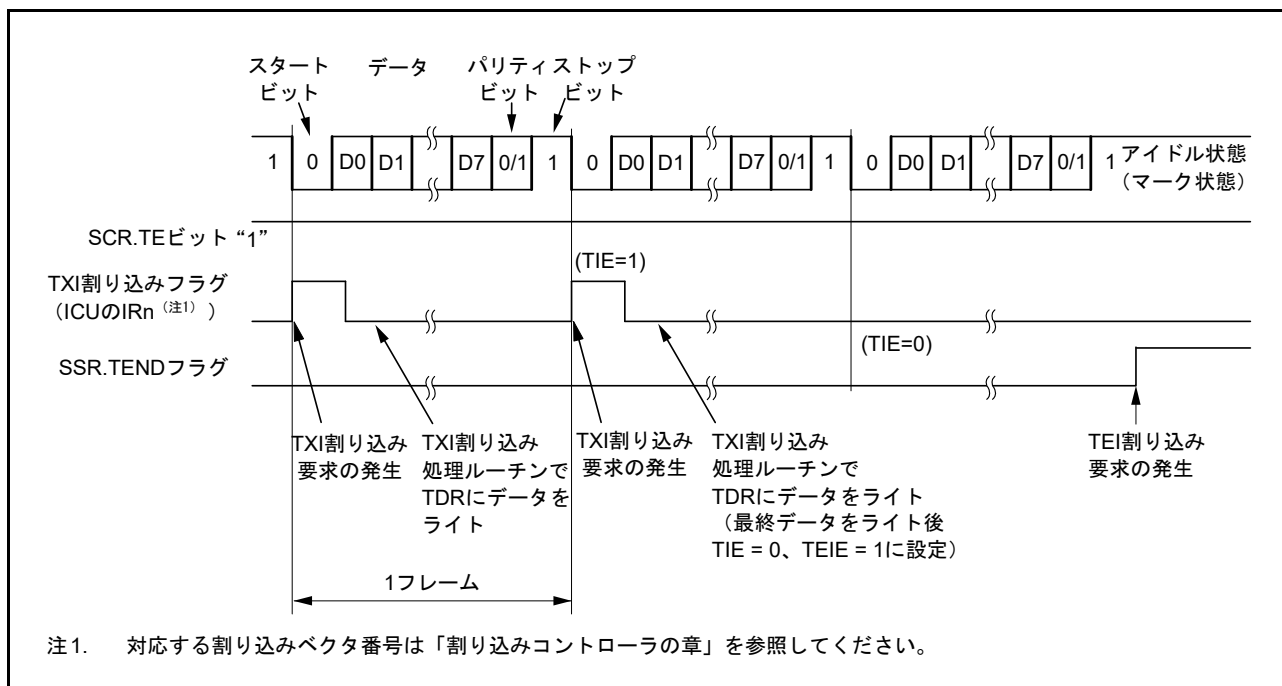


図 33.11 調歩同期式モードのシリアル送信の動作例 (3)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用しない / 送信中～送信終了時)

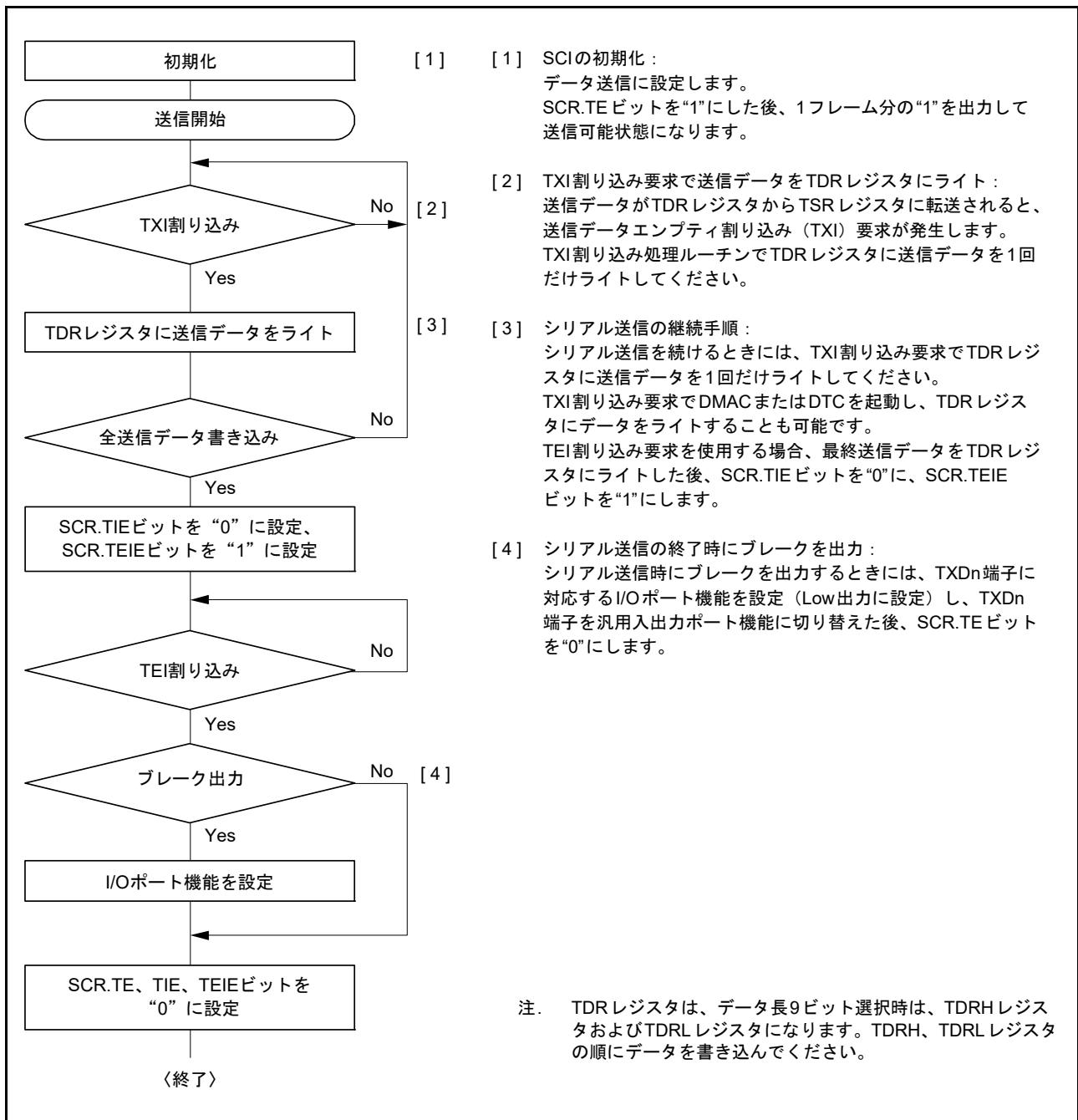


図 33.12 調歩同期式モードのシリアル送信のフローチャート例

33.3.8 シリアルデータの受信（調歩同期式モード）

図 33.13、図 33.14 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 端子出力を Low にします（RTS 機能使用時）。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.Overer フラグをセットします。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタ（注1）に転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタ（注1）に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
5. フレーミングエラー（ストップビットが“0”のとき）を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタ（注1）に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタ（注1）に転送します。このとき、RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタ（注1）に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタ（注2）に転送された受信データが読み出されると、RTSn# 端子出力を Low にします。

注 1. データ長 9 ビット選択時は、RDRH および RDRL レジスタになります。

注 2. データ長 9 ビット選択時は、RDRL レジスタの読み出しのみチェックします。RDRH レジスタの読み出しはチェックしません。

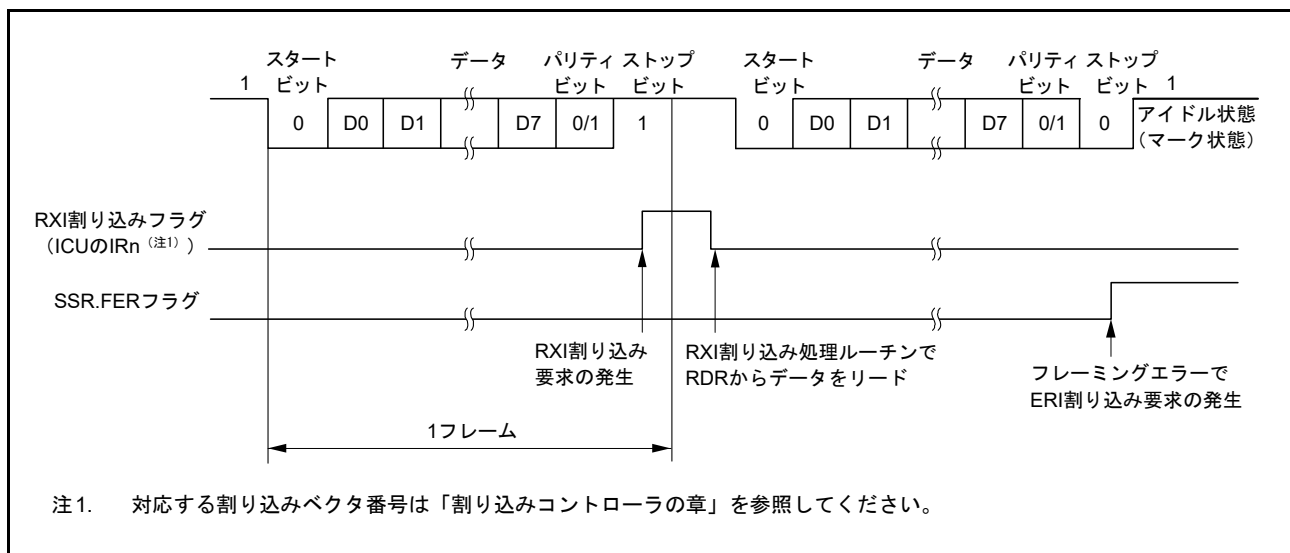


図 33.13 調歩同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)
(8 ビットデータ / パリティあり / 1 ストップビットの例)

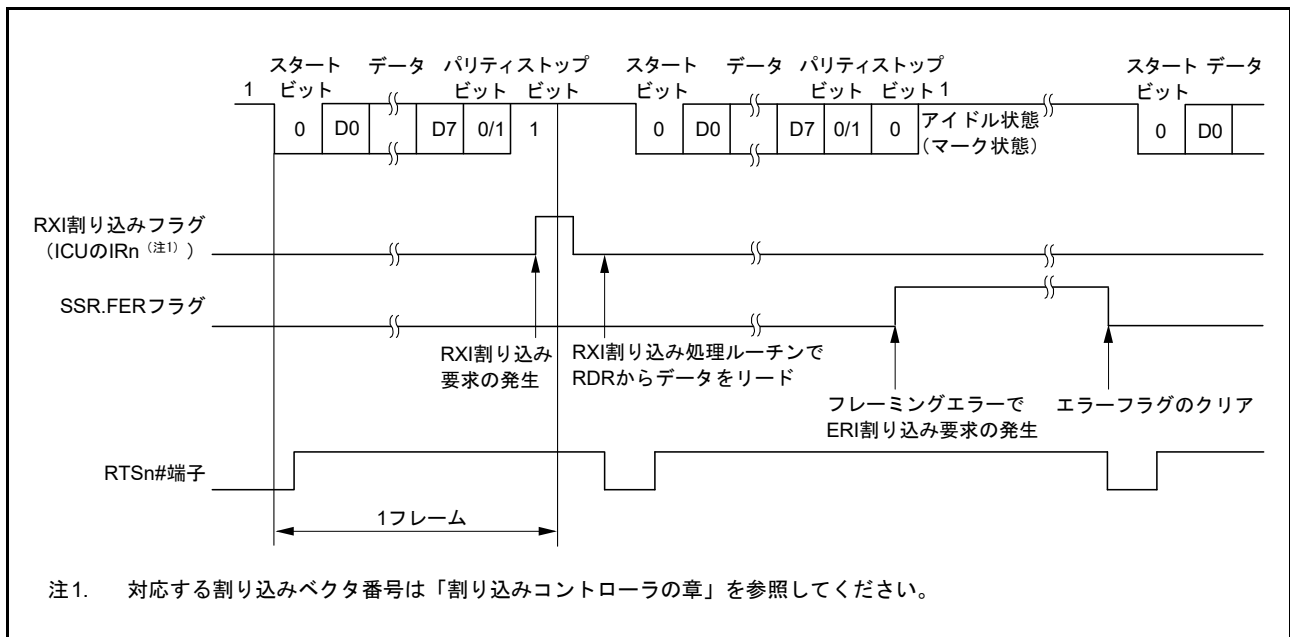


図 33.14 調歩同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時) (8ビットデータ / パリティあり / 1ストップビットの例)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 33.28 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを“0”にしてください。また、オーバランエラー処理では RDR (または RDRL) レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR (または RDRL) レジスタに読み出し前の受信データが残る場合があるため、RDR (または RDRL) レジスタをリードしてください。

図 33.15、図 33.16 にシリアル受信のフローチャートの例を示します。

表 33.28 SSRレジスタのステータスフラグの状態と受信データの処理

SSRレジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR (注1)へ転送	フレーミングエラー
0	0	1	RDR (注1)へ転送	パリティエラー
1	1	0	消失	オーバランエラー+フレーミングエラー
1	0	1	消失	オーバランエラー+パリティエラー
0	1	1	RDR (注1)へ転送	フレーミングエラー+パリティエラー
1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

注1. データ長9ビット選択時はRDRH、RDRLレジスタになります。

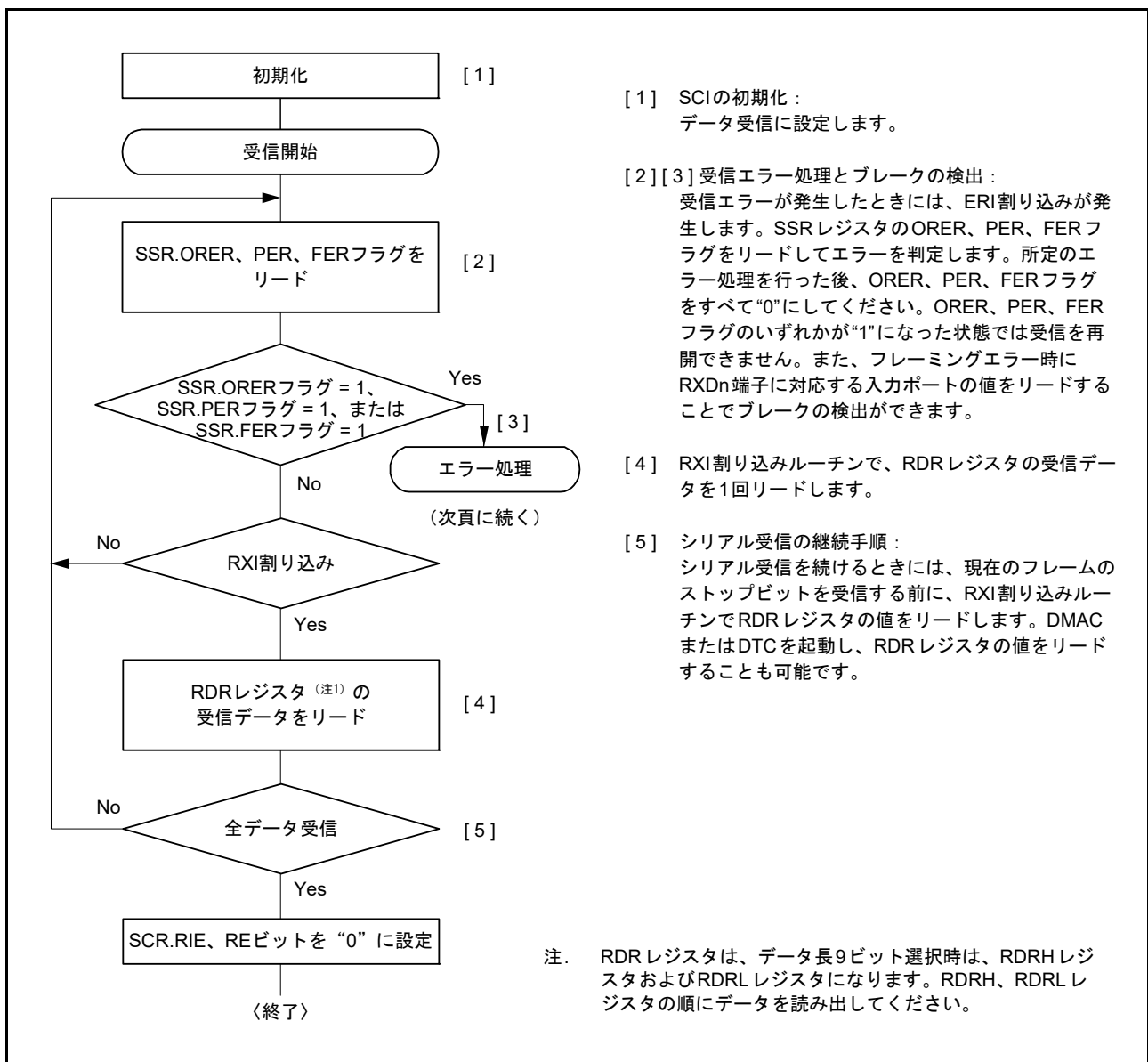


図 33.15 調歩同期式モードのシリアル受信のフローチャート例 (1)

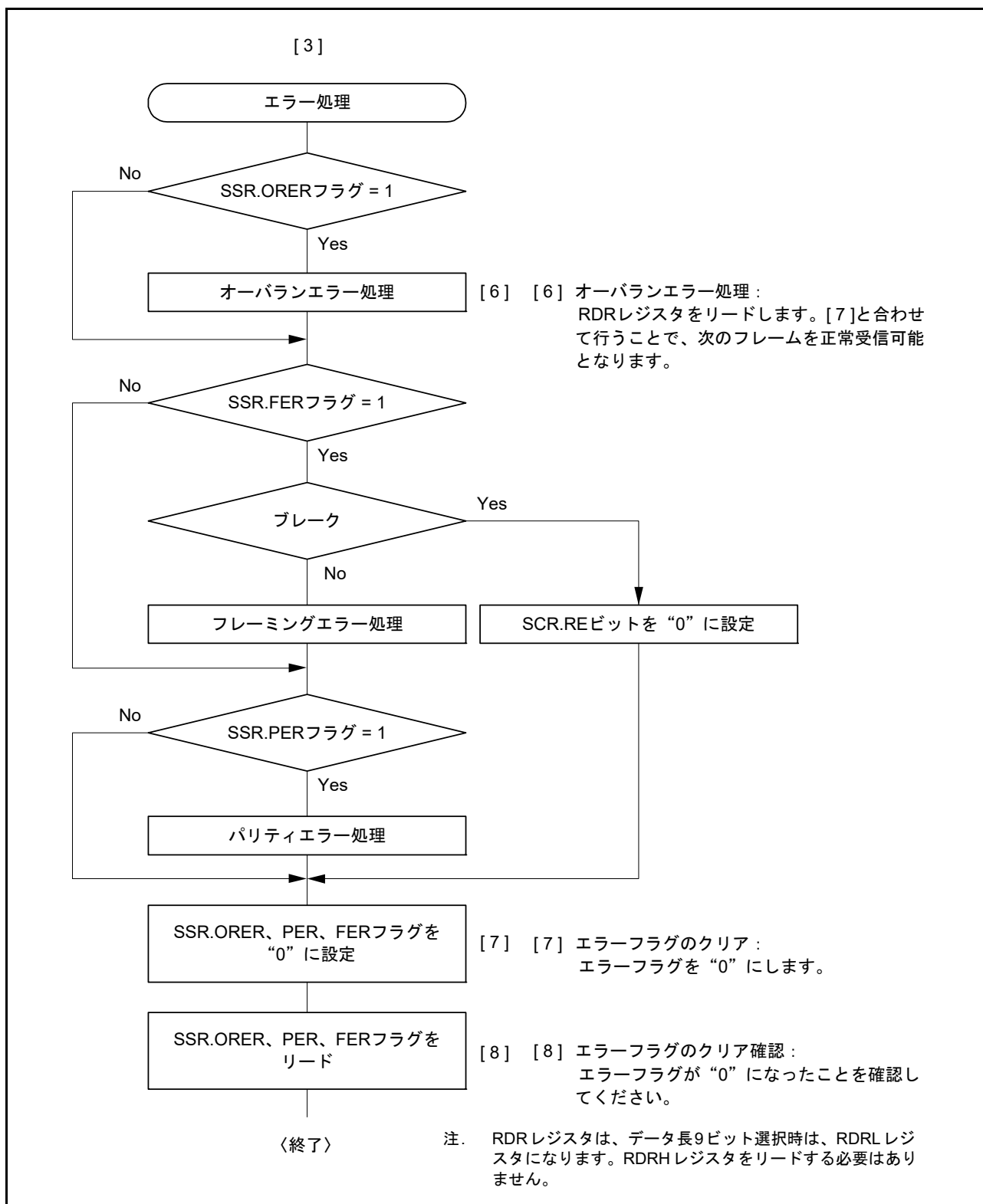


図 33.16 調歩同期式モードのシリアル受信のフローチャート例 (2)

33.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のとき ID 送信サイクル、“0”のときデータ送信サイクルとなります。図 33.17 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR.MPIE ビットが設けてあります。MPIE ビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまで RSR レジスタから RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）への受信データの転送、および受信エラーの検出と SSR レジスタの RDRF、ORER、FER フラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、SSR.MPB フラグが“1”になるとともに SCR.MPIE ビットが“0”になって通常の実受信動作に戻ります。このとき SCR.RIE ビットが“1”であると RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

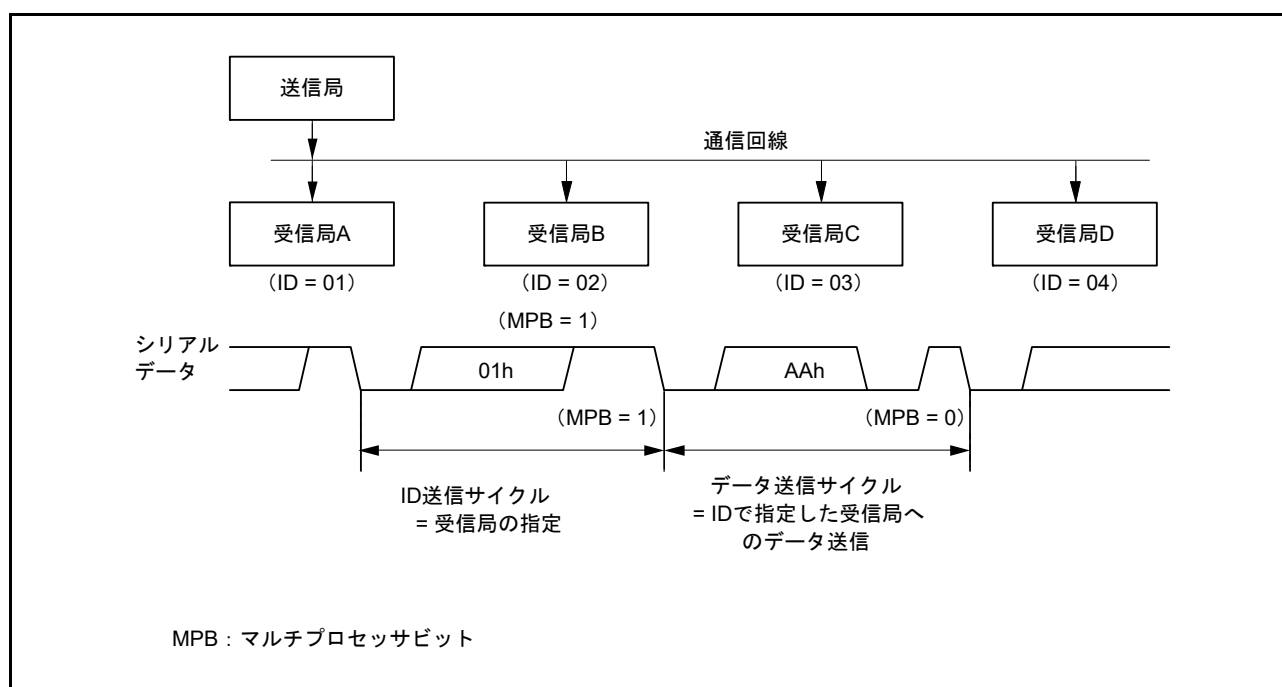


図 33.17 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ“AAh”の送金の例)

33.4.1 マルチプロセッサシリアルデータ送信

図 33.18 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを“1”にして送信してください。データ送信サイクルでは SSR.MPBT ビットを“0”にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

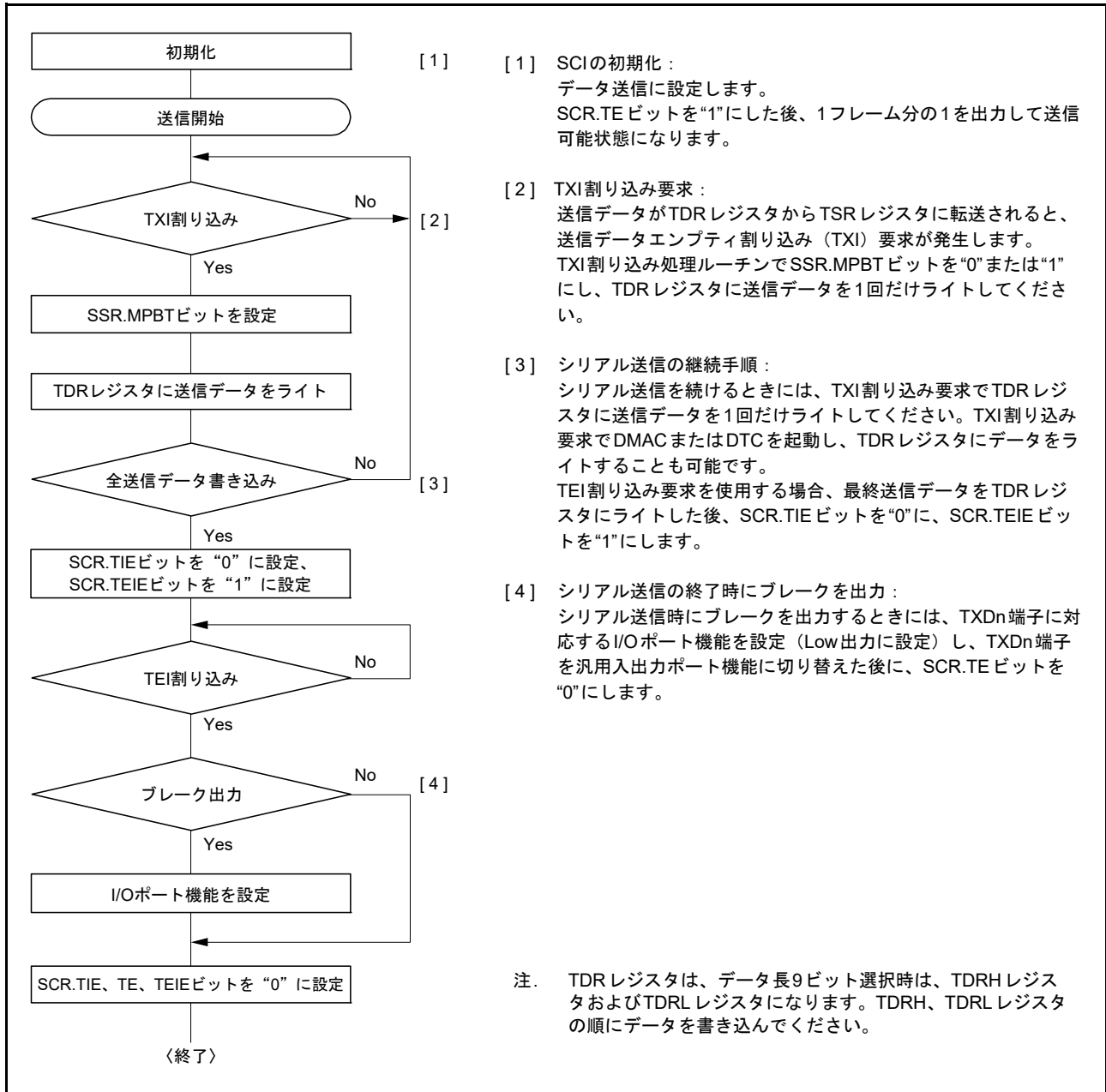


図 33.18 マルチプロセッサシリアル送信のフローチャートの例

33.4.2 マルチプロセッサシリアルデータ受信

図 33.20、図 33.21 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを“1”にするとマルチプロセッサビットが“1”の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが“1”の通信データを受信すると受信データを RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）に転送します。このとき RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 33.19 に受信時の動作例を示します。

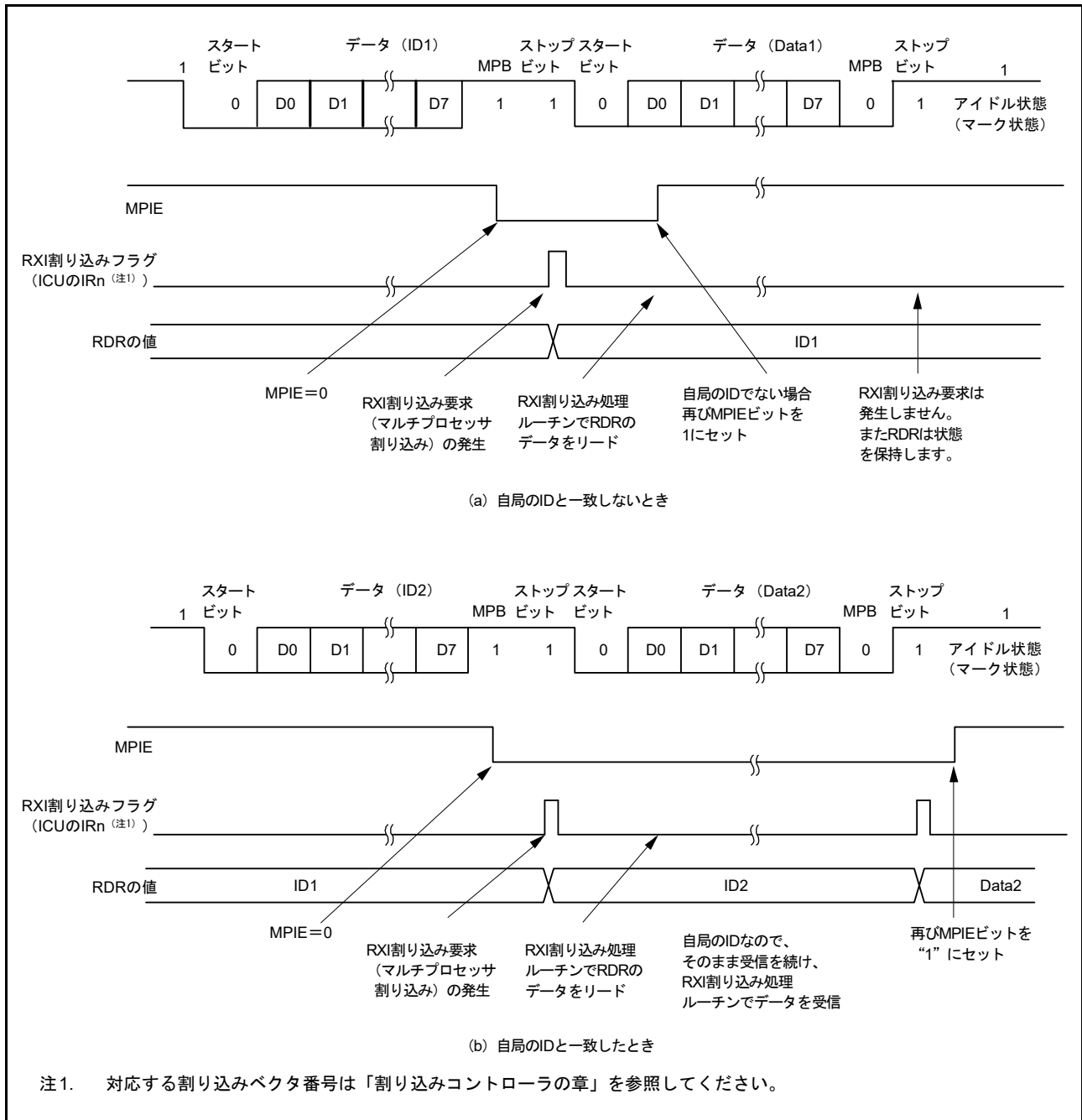


図 33.19 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

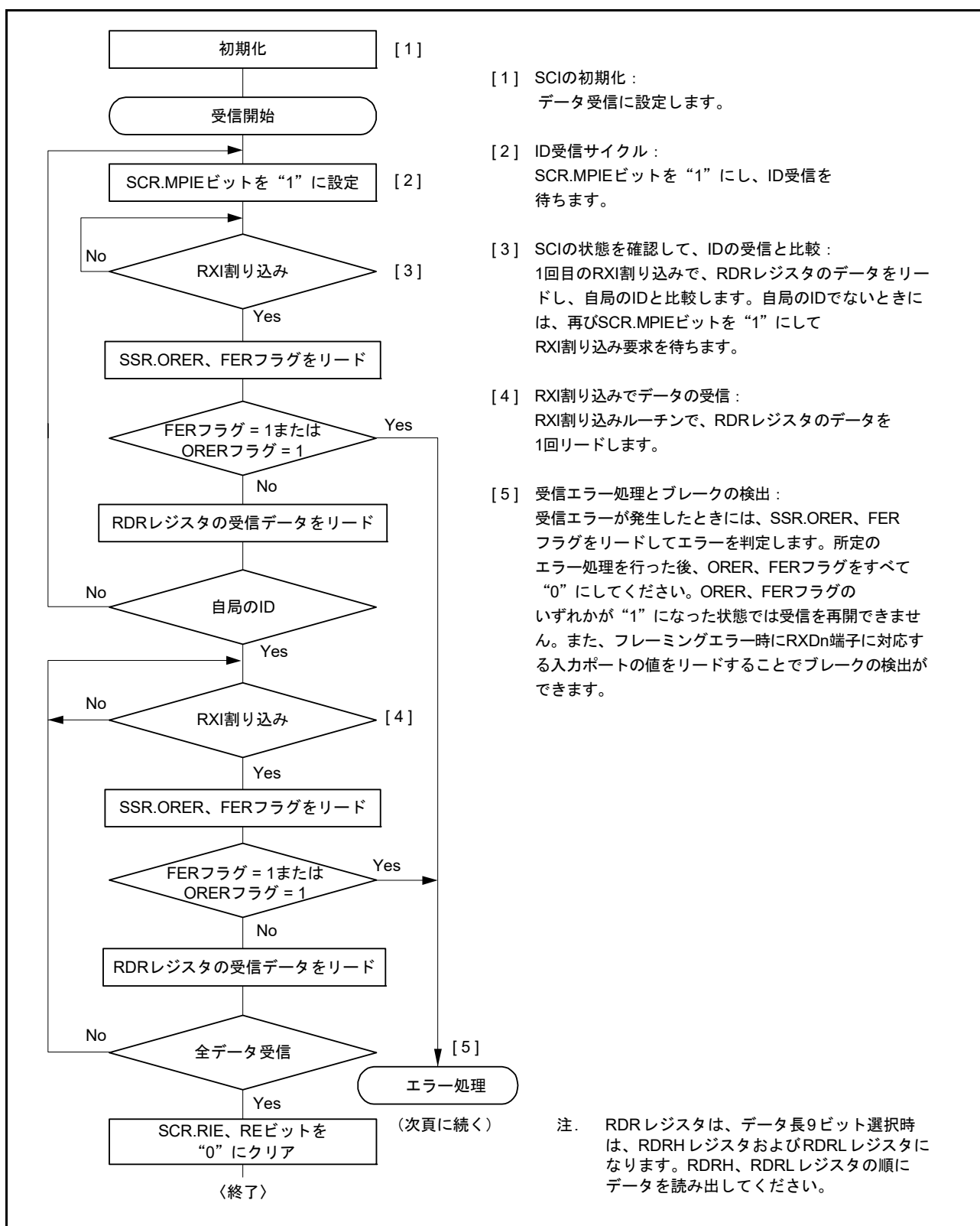


図 33.20 マルチプロセッサシリアル受信のフローチャートの例 (1)

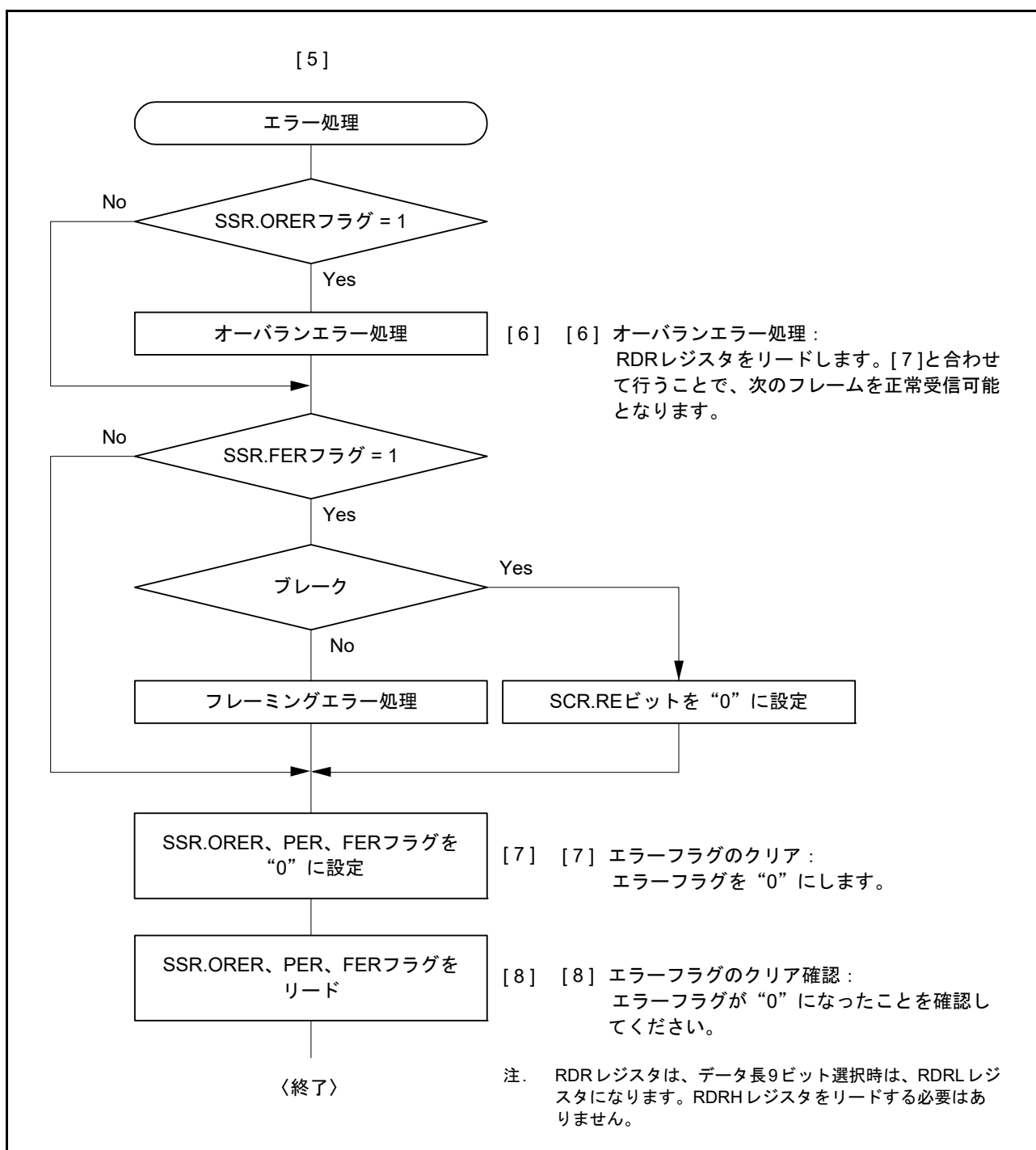


図 33.21 マルチプロセッサシリアル受信のフローチャートの例 (2)

33.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 33.22 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCIは、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がり時に同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

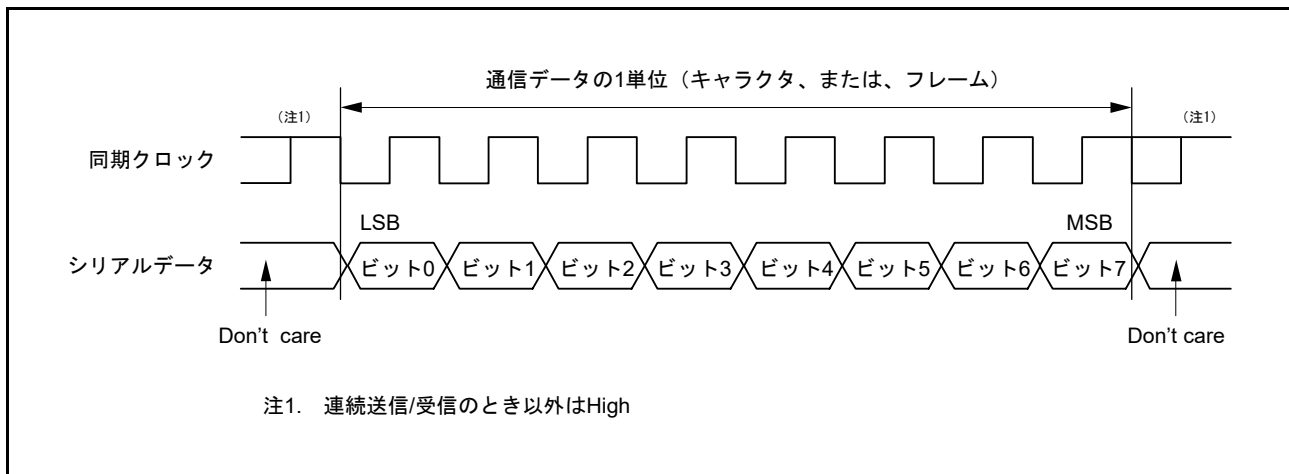


図 33.22 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

33.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは、CTS 機能が無効な場合は SCR.RE ビットを“1”にするとともに同期クロックの出力を開始し、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

受信動作のみでかつ CTS 機能が有効な場合は、SCR.RE ビットが“0”のときに CTSn# 端子入力が High であれば、SCR.RE ビットを“1”にしてもクロック出力を開始しません。SCR.RE ビットを“1”にしかつ CTSn# 端子入力が Low になると同期クロックの出力を開始します。その後、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を High レベルで停止します。CTSn# 端子入力が Low を継続のときは、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

33.5.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SPMR.CTSE ビットを“1”にすると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

送受信動作中に CTSn# 端子を High にした場合、送受信中のフレームは影響を受けず送受信を継続します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが“1”
- 送受信動作中でない
- 読み出し前の受信データがない (SCR.RE ビットが“1”のとき)
- 送信データを書き込み済 (SCR.TE ビットが“1”のとき)
- SSR.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

33.5.3 SCIの初期化（クロック同期式モード）

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 33.23 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER フラグおよび RDR レジスタは初期化されませんので注意してください。

SCR.TE ビットを “1” から “0”、または “0” から “1” にすると、SCR.TIE ビットが “1” の場合、TXI 割り込みが発生しますので注意してください。

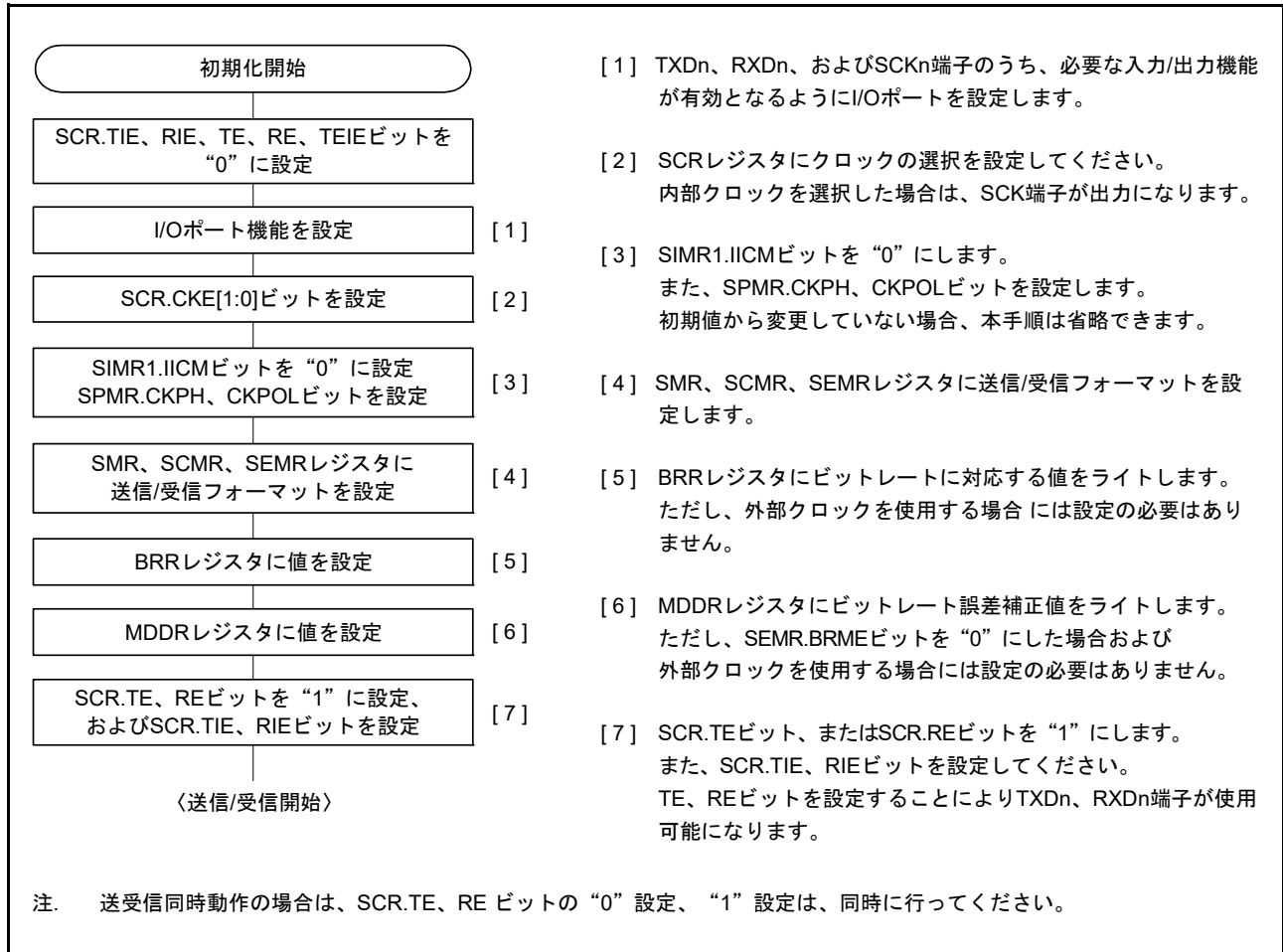


図 33.23 SCIの初期化フローチャートの例（クロック同期式モード）

33.5.4 シリアルデータの送信（クロック同期式モード）

図 33.24、図 33.25、図 33.26 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを“0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを“1”（TEI 割り込み要求を許可）にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SPMR.CTSE ビットが“1”（CTS 機能許可）のとき、CTS 信号入力 Low になるまで待ってから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが“1”であると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 33.27 にシリアル送信のフローチャートの例を示します。

受信エラーフラグ（SSR.ORER, FER, PER）が“1”になった状態では送信を開始しません。送信開始の前に、受信エラーフラグを“0”にしてください。また、受信エラーフラグは SCR.RE ビットを“0”にしただけではクリアされませんので注意してください。

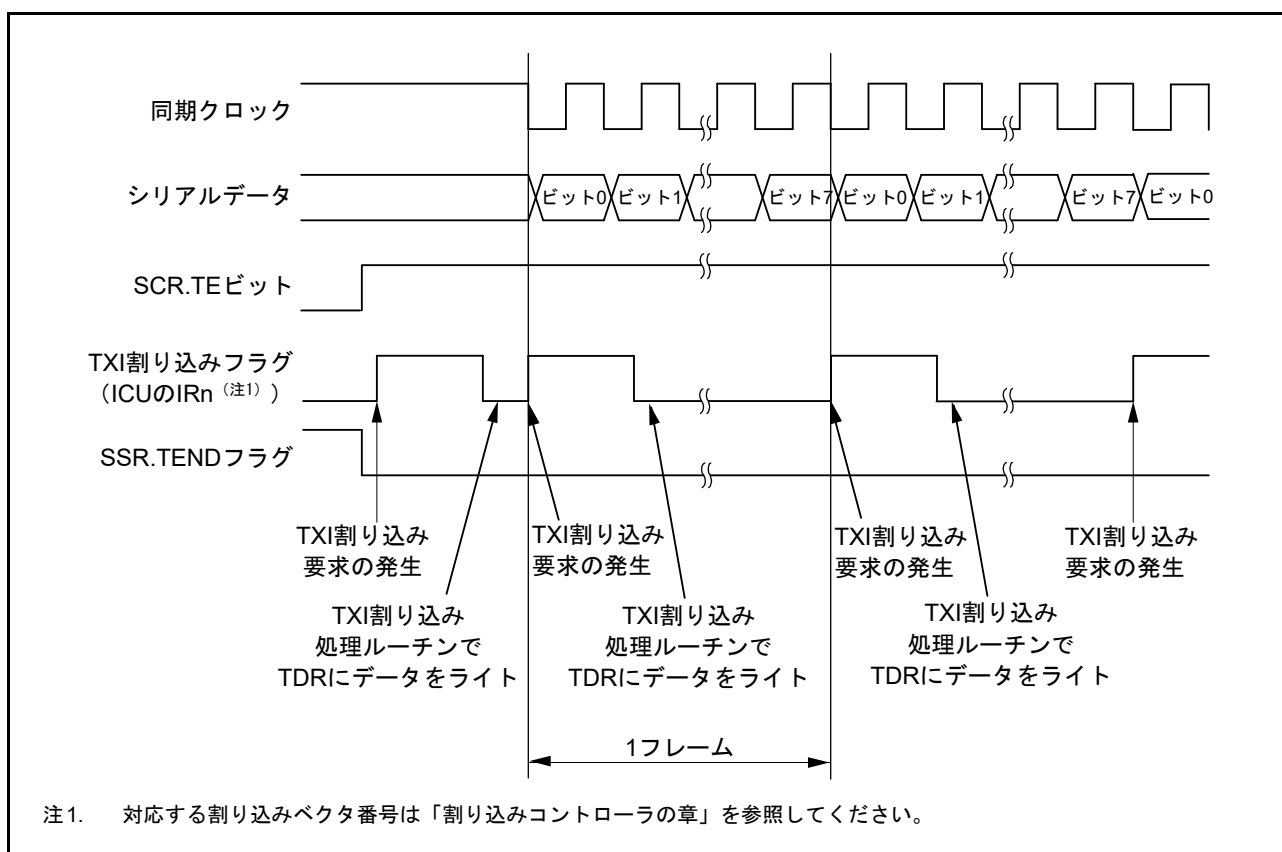


図 33.24 クロック同期式モードのシリアル送信の動作例 (1) (送信開始・CTS 機能使用しない)

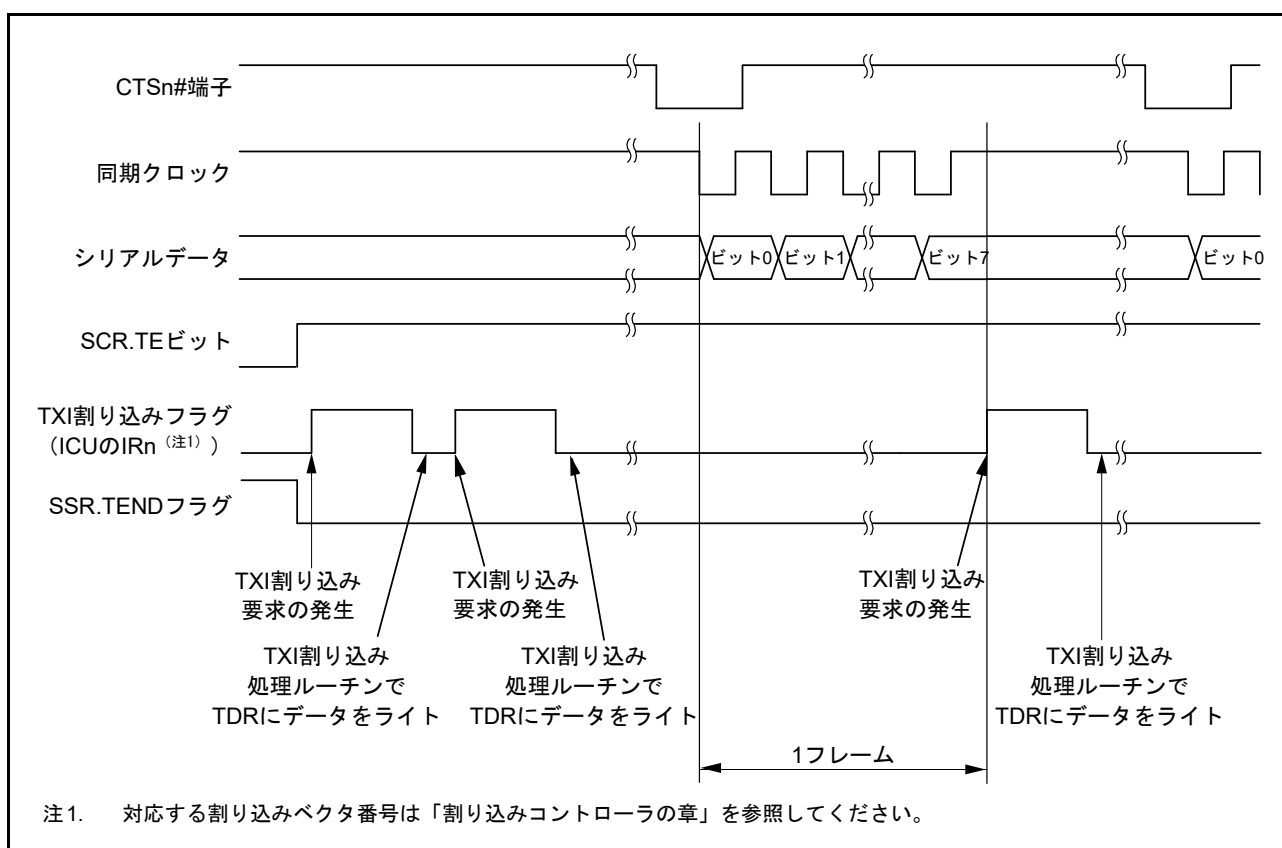


図 33.25 クロック同期式モードのシリアル送信の動作例 (2) (送信開始・CTS 機能使用する)

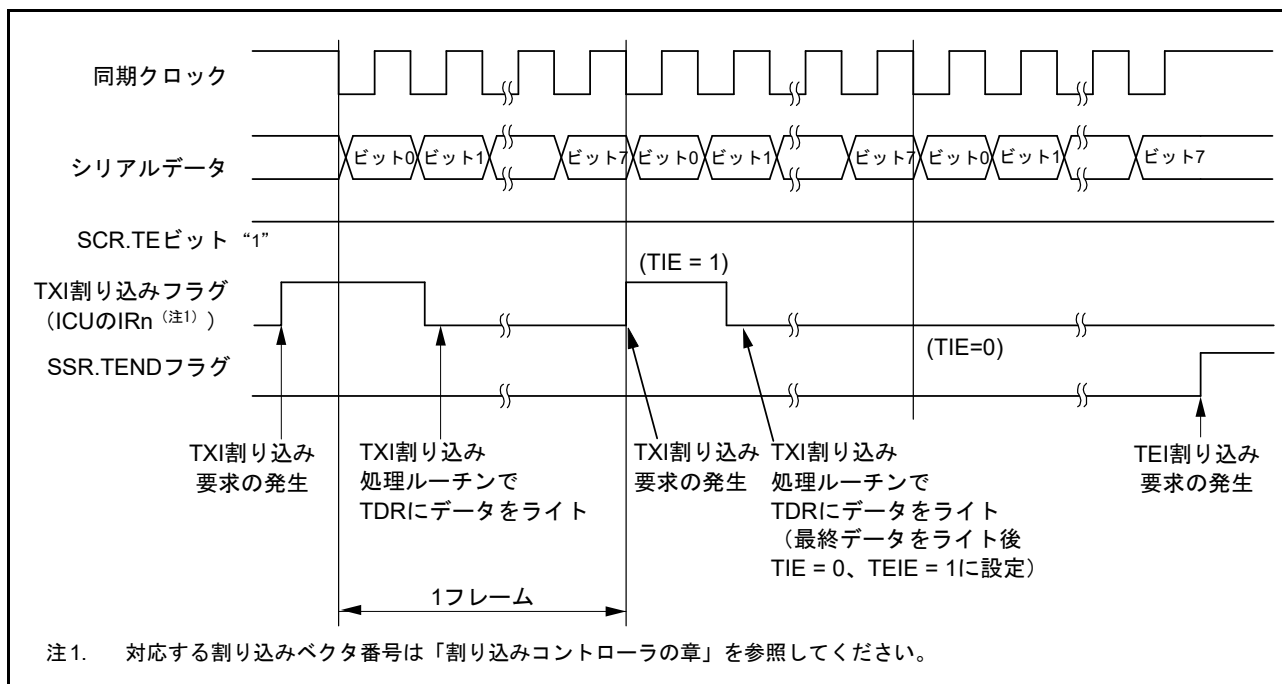


図 33.26 クロック同期式モードのシリアル送信の動作例 (3) (送信中～送信終了時)

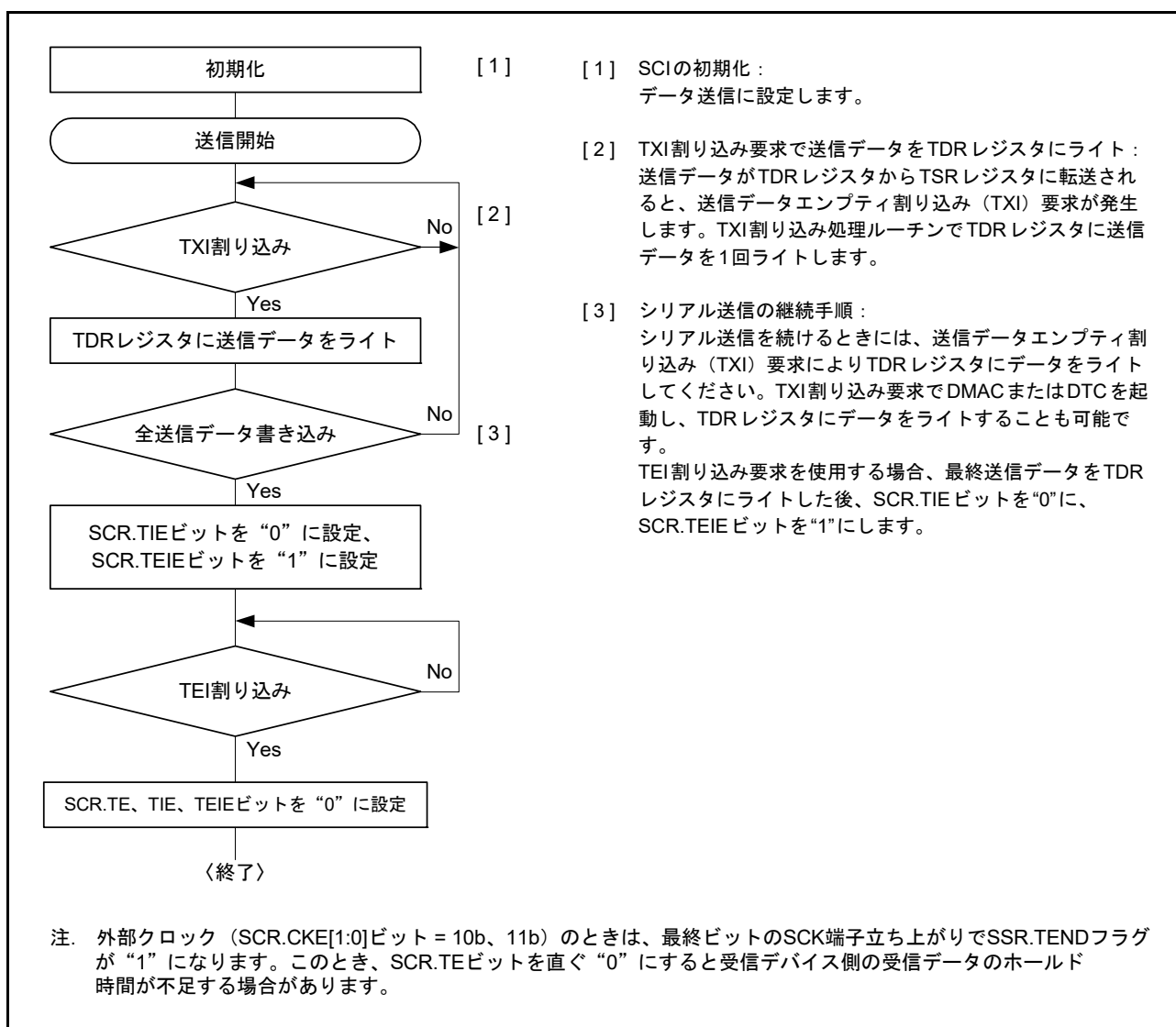


図 33.27 クロック同期式モードのシリアル送信のフローチャート例

33.5.5 シリアルデータの受信（クロック同期式モード）

図 33.28、図 33.29 にクロック同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 信号出力を Low にします（RTS 機能使用時）。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 信号出力を Low にします（RTS 機能使用時）。

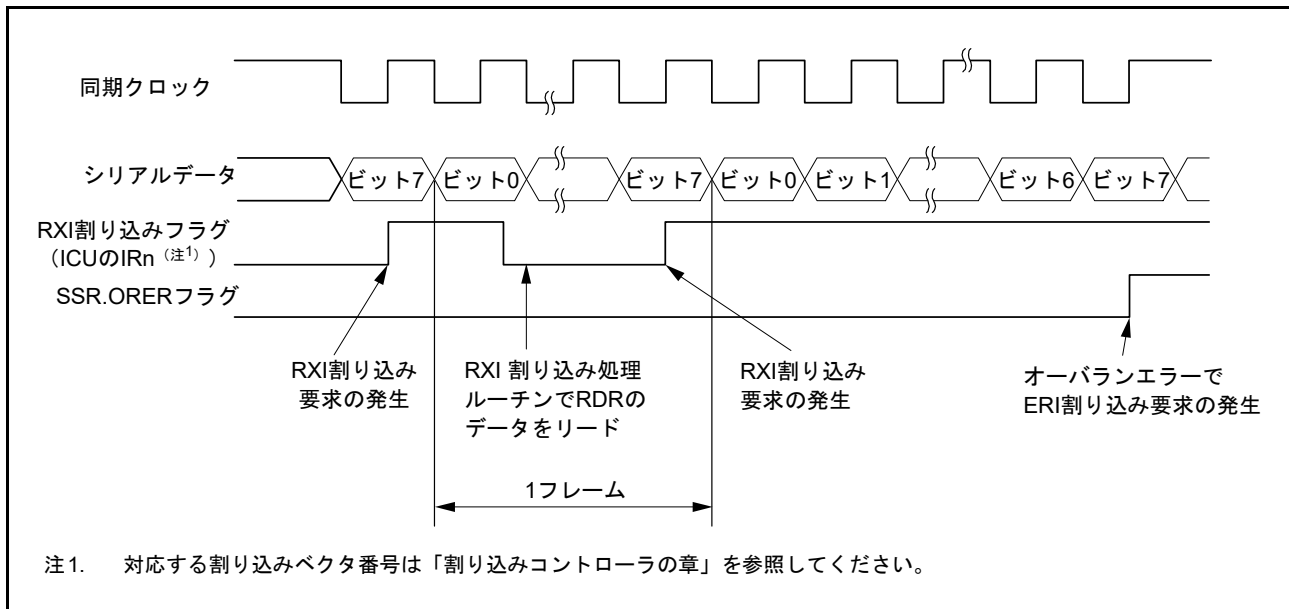


図 33.28 クロック同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)

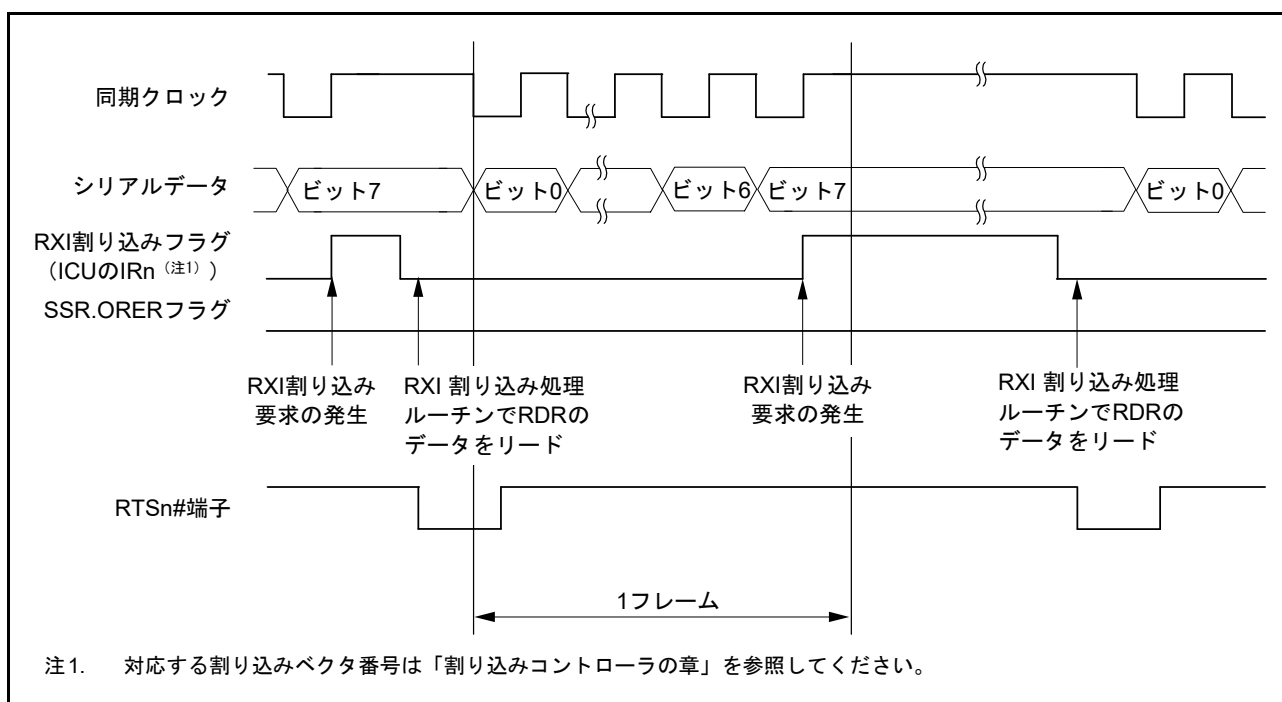


図 33.29 クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR レジスタの ORER、FER、PER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 33.30 にシリアル受信のフローチャートの例を示します。

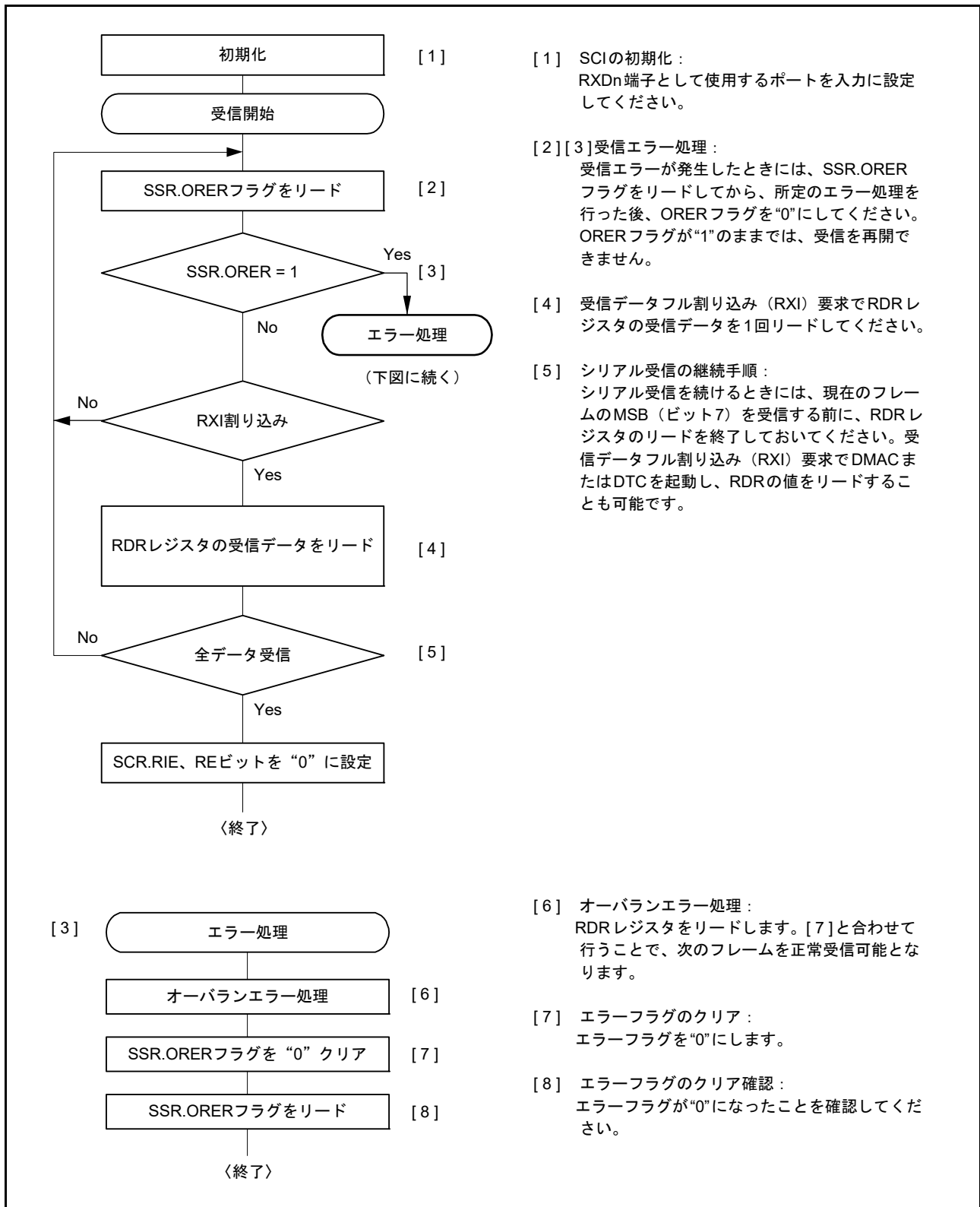


図 33.30 クロック同期式モードのシリアル受信のフローチャート例

33.5.6 シリアルデータの送受信同時動作（クロック同期式モード）

図 33.31 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCI が送信終了状態であることを SSR.TEND フラグが“1”になっていることで確認してください。その後、SCR レジスタを初期化してから SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認した後、SCR レジスタの RIE、RE ビットを“0”にしてから、エラーフラグ（SSR.ORER, FER, PER）が“0”であることを確認した後、SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

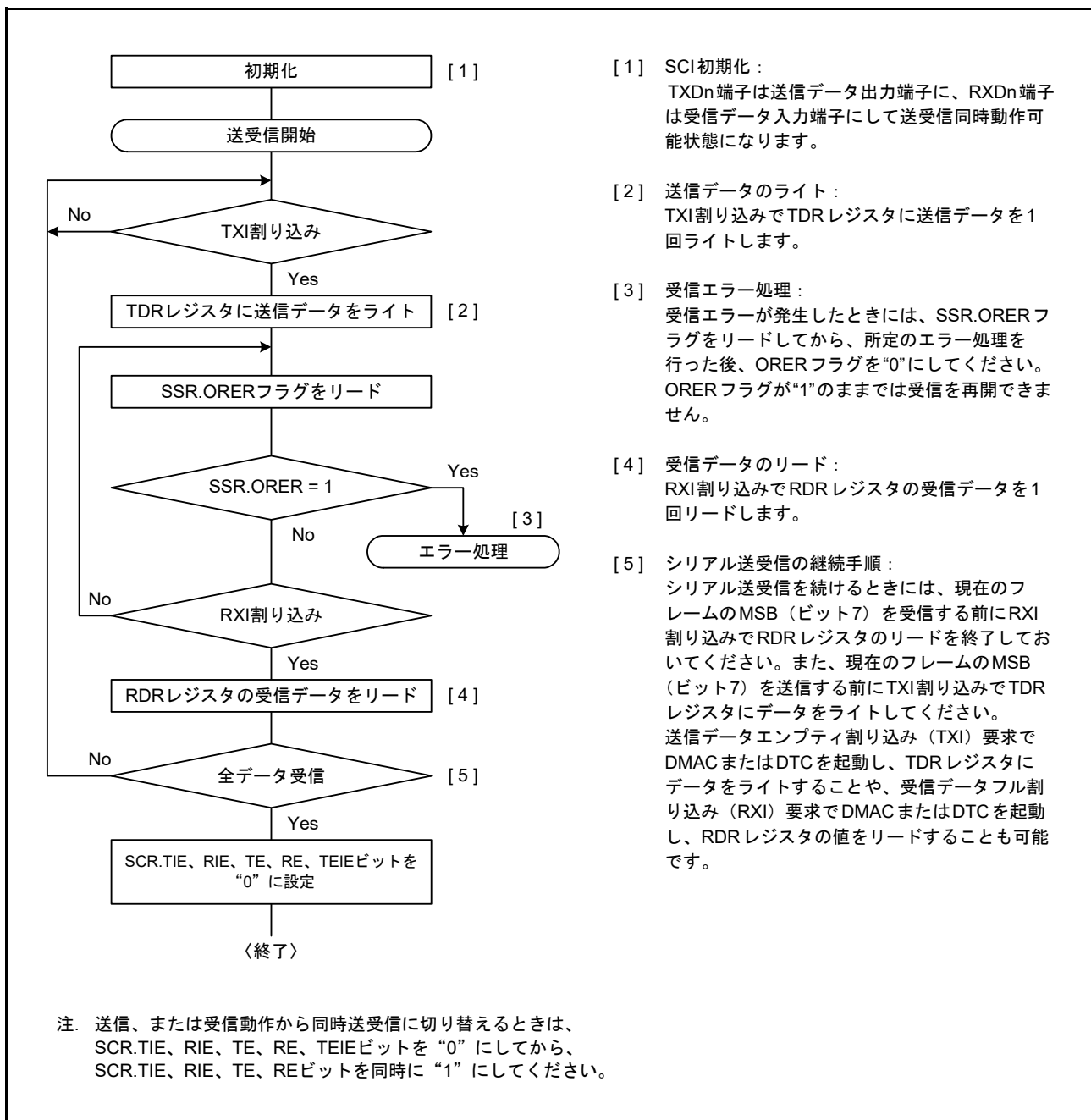


図 33.31 クロック同期式モードのシリアル送受信同時動作のフローチャート例

33.6 スマートカードインタフェースモードの動作

SCIの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

33.6.1 接続例

図 33.32 にスマートカード (IC カード) との接続例を示します。

IC カードとは1本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR.TE ビット = 1、SCR.RE ビット = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には本 MCU の出力ポートを使用できます。

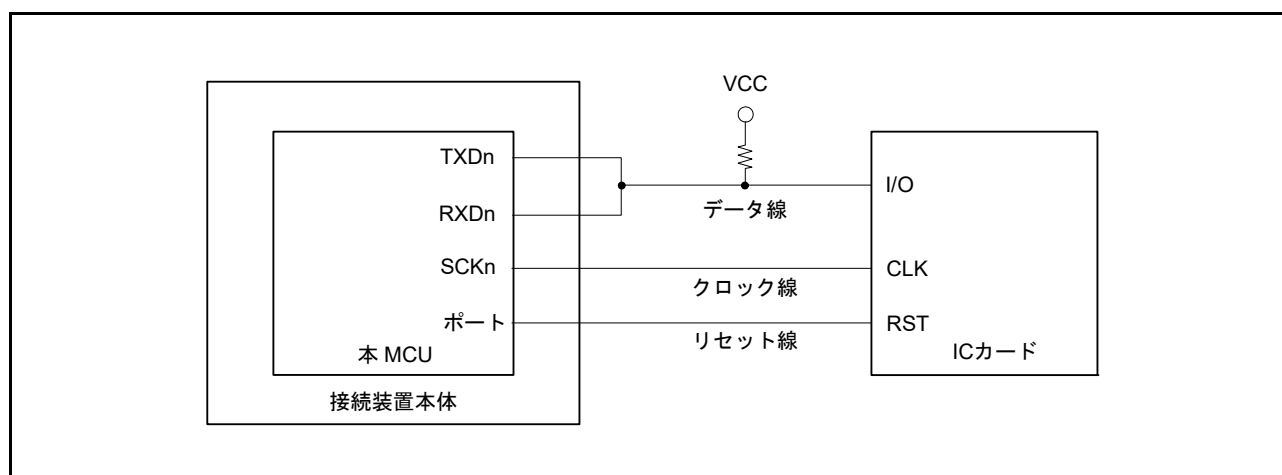


図 33.32 スマートカード (IC カード) との接続例

33.6.2 データフォーマット（ブロック転送モード時を除く）

図 33.33 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2 etu（Elementary Time Unit: 1 ビットの転送期間）以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル（Low）を 1 etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信します。

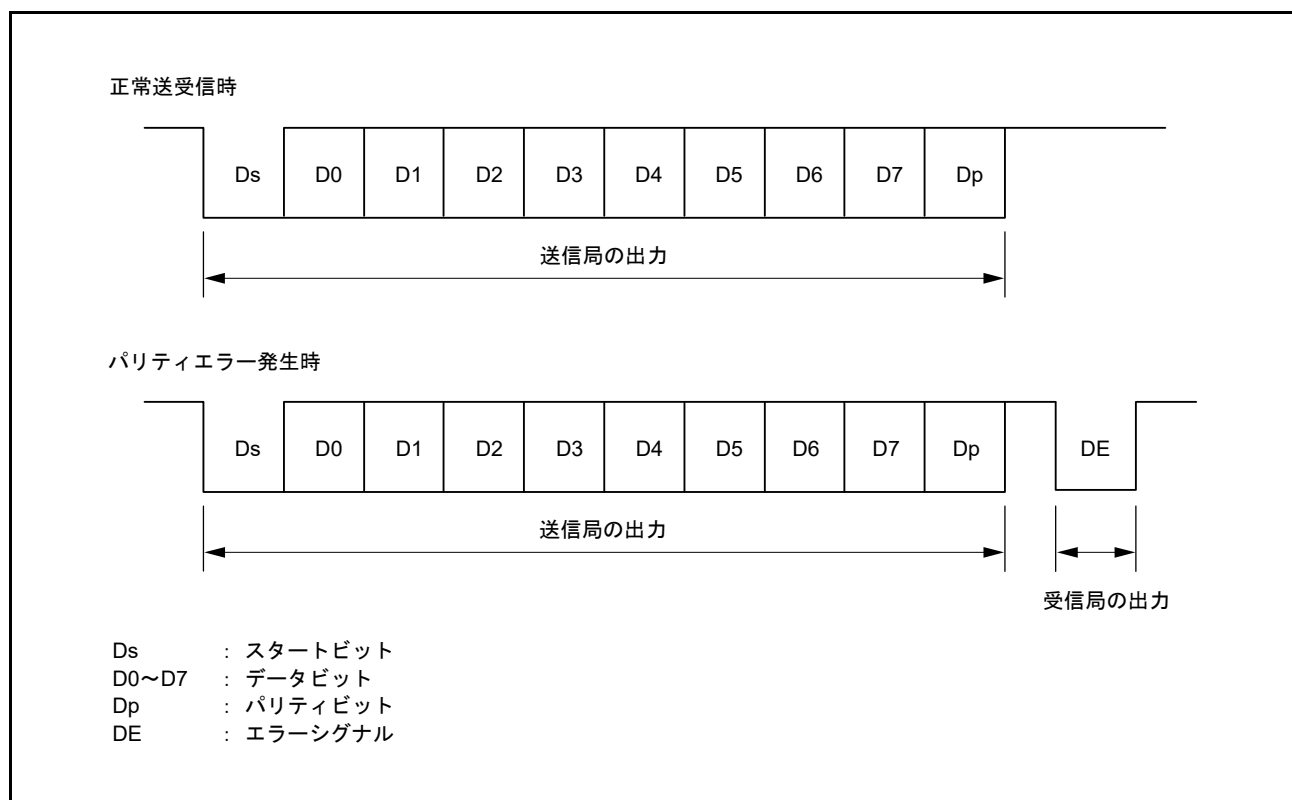


図 33.33 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、**図 33.34** に示す開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。**図 33.34** の開始キャラクタでは、データは“3Bh”となります。

ダイレクトコンベンションタイプでは、SCMRレジスタのSDIR、SINVビットをともに“0”にしてください。また、スマートカードの規定により偶数パリティとなるようSMR.PMビットには“0”を設定してください。

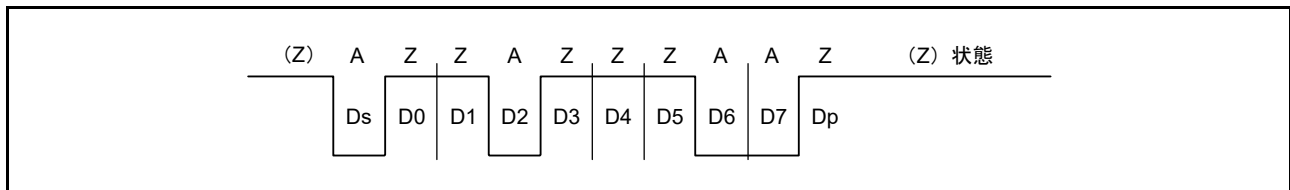


図 33.34 ダイレクトコンベンション
(SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信します。**図 33.35** の開始キャラクタでは、データは“3Fh”となります。

インバースコンベンションタイプでは、SCMRレジスタのSDIR、SINVビットをともに“1”にしてください。パリティビットはスマートカードの規定により偶数パリティで論理0となり、状態Zが対応します。

本MCUでは、SINVビットはデータビットD7～D0のみ反転させます。このため、送受信ともSMR.PMビットに“1”を設定してパリティビットを反転させてください。

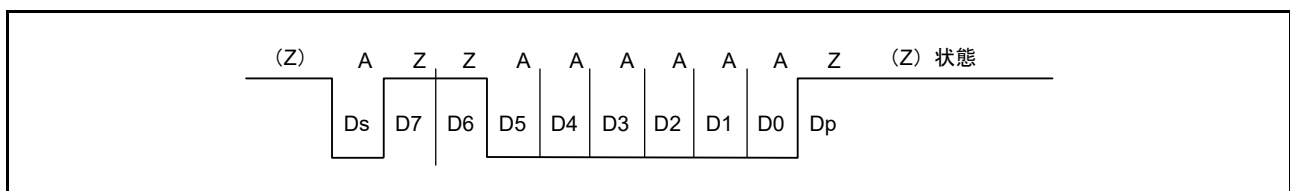


図 33.35 インバースコンベンション
(SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR.PM ビット = 1)

33.6.3 ブロック転送モード

ブロック転送モードは、非ブロック転送モードと比較して以下の点が異なります。

- 受信時にパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小1 etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5 etu 後にセットされます。
- SSR.ERS フラグは非ブロック転送モードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため“0”となります。

33.6.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成した基本クロックのみです。

スマートカードインタフェースモードでは、SCMR.BCP2 ビット、SMR.BCP[1:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、512 倍の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして同期化します。図 33.36 に示すように、受信データを基本クロックのそれぞれ 16、32、186、128、46、64、93、256 クロック目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 (\%)$$

M: 受信マージン(%)

N: クロックに対するビットレートの比(N = 32, 64, 372, 256)

D: クロックデューティ (D = 0 ~ 1.0)

L: フレーム長(L = 10)

F: クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100 (\%) = 49.866 (\%)$$

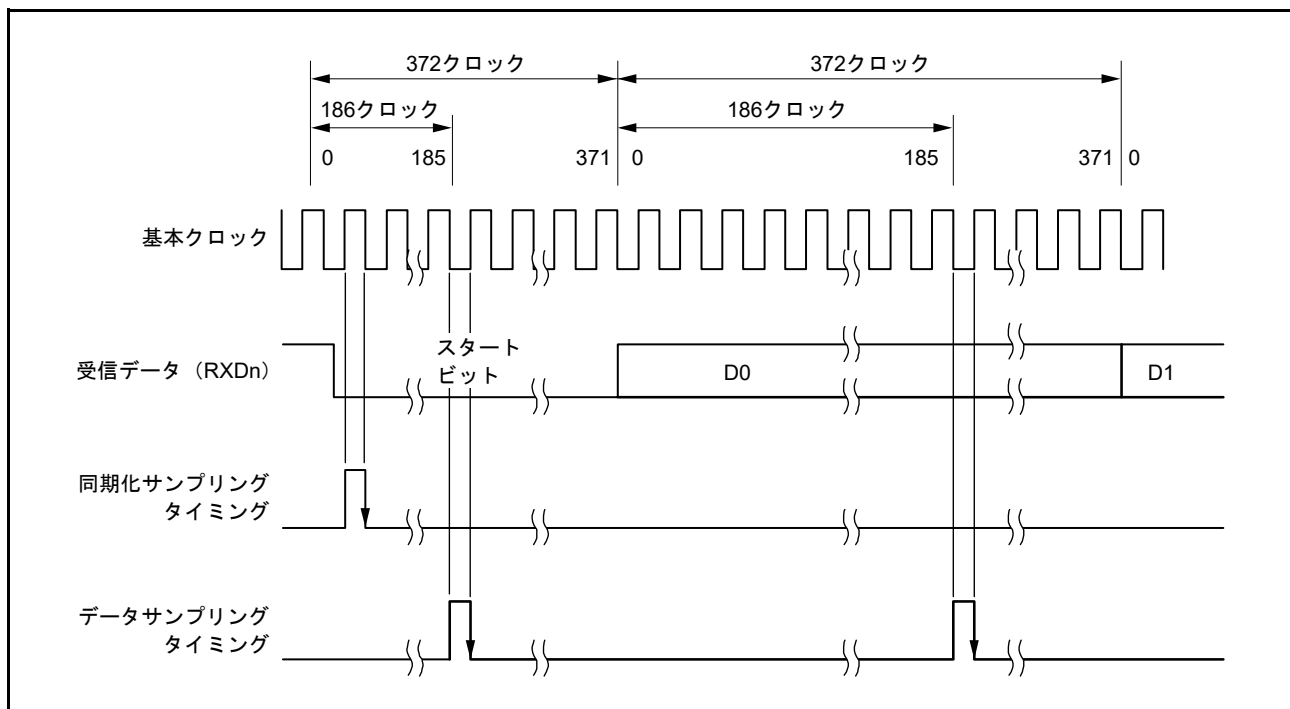


図 33.36 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

33.6.5 SCIの初期化（スマートカードインタフェースモード）

図 33.37 のフローチャート例に従って SCI を初期化してください。

送信モードと受信モードを切り替える場合も、SCR レジスタと SSR レジスタは初期化してください。ビットレートを変更しない場合、CKE[1:0] ビットを“00b”にする必要はありません。なお、RE ビットを“0”にしても RDR レジスタは初期化されません。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、図 33.37 の [1] と [3] を実施し、[11] で TE ビット = 1、RE ビット = 0 に設定してください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、または SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、図 33.37 の [1] と [3] を実施し、[11] で TE ビット = 0、RE ビット = 1 に設定してください。送信動作の完了は SSR.TEND フラグで確認できます。

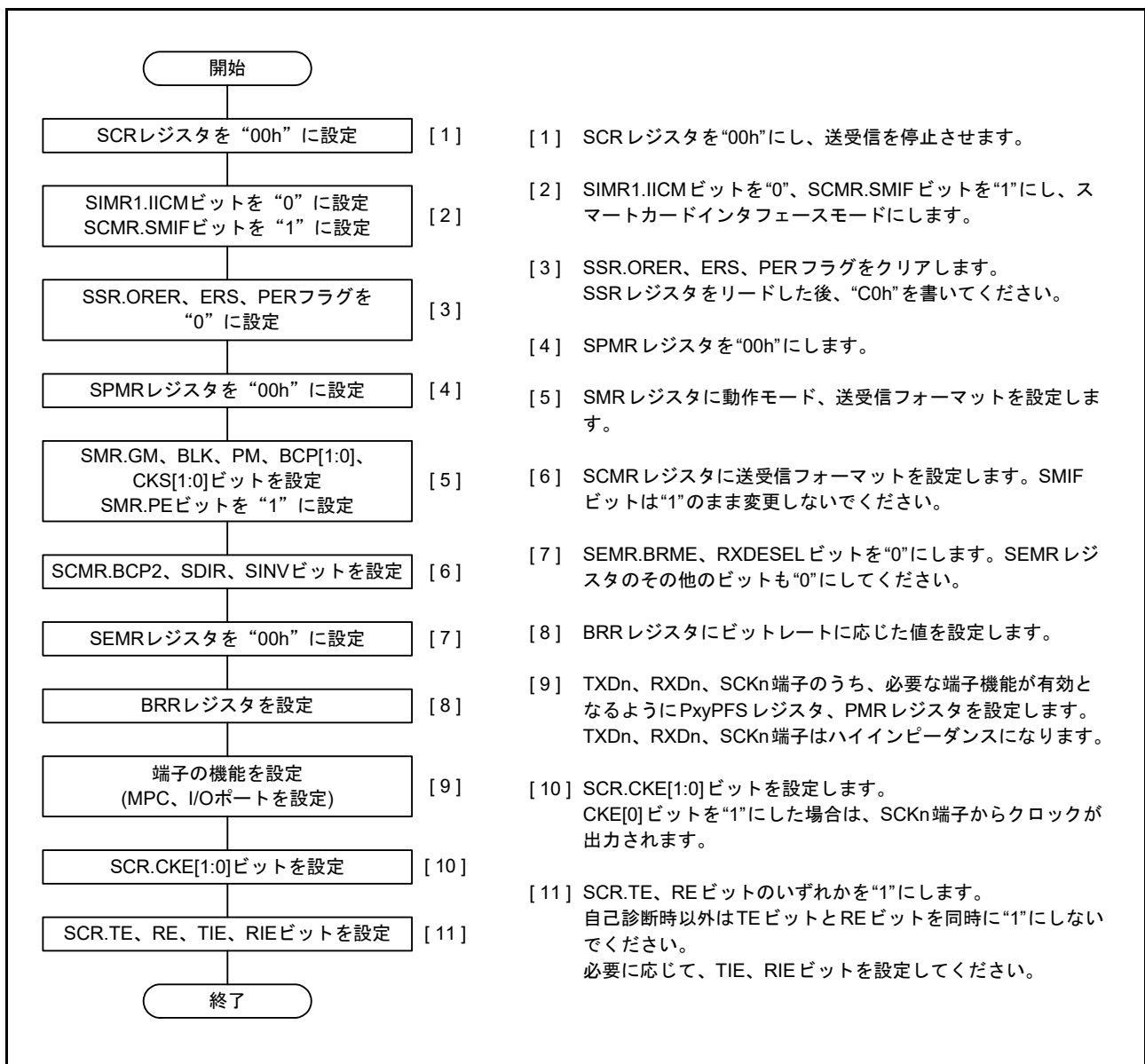


図 33.37 SCIの初期化フローチャートの例（スマートカードインタフェースモード）

図 33.38 は、リセット解除後に図 33.37 に従って SCI をスマートカードインタフェースモードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を SCK 端子、TXD 端子に設定した時点では、SCR.CKE[0] ビットが“0”であるため端子はハイインピーダンスです。CKE[0] ビットを“1”にすると SCK 端子からクロックが出力されます。SCR.TE ビットを“1”にした後送信データを書くと、データ送信が開始されます。TE ビットを“1”にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります。スマートカードインタフェースモードでは、この期間 TXD 端子はハイインピーダンスになります。

スマートカードインタフェースモードでは、SCR.TE ビット、RE ビットが共に“0”になっている場合でも、CKE[0] ビットが“1”（クロック出力）であれば、クロックを出力し続けます。

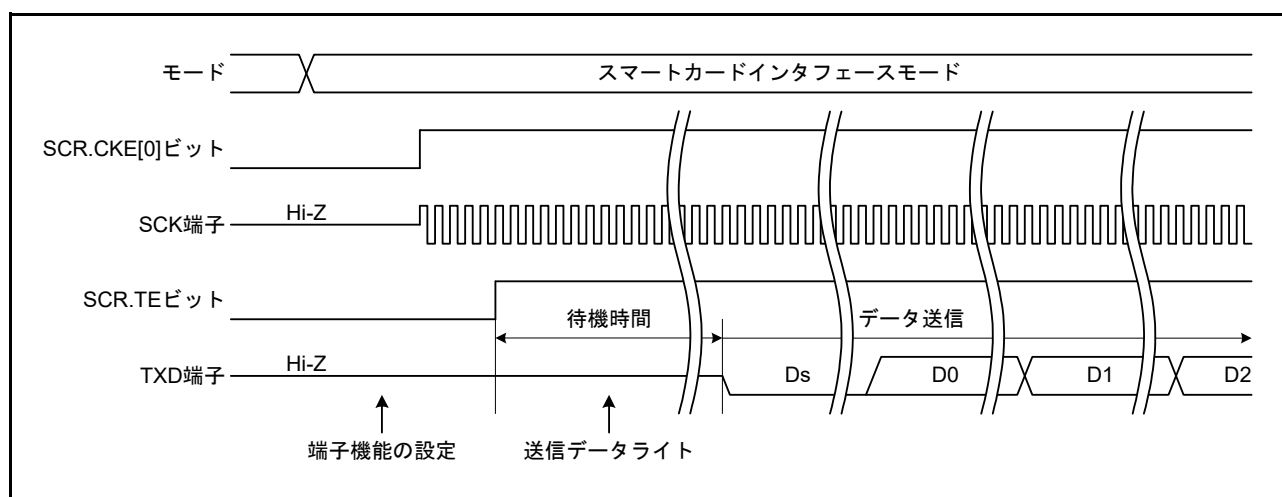


図 33.38 スマートカードインタフェースモード時のデータ送信タイミング例

33.6.6 シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります（ブロック転送モードを除く）。送信時の再送信動作を図 33.39 に示します。

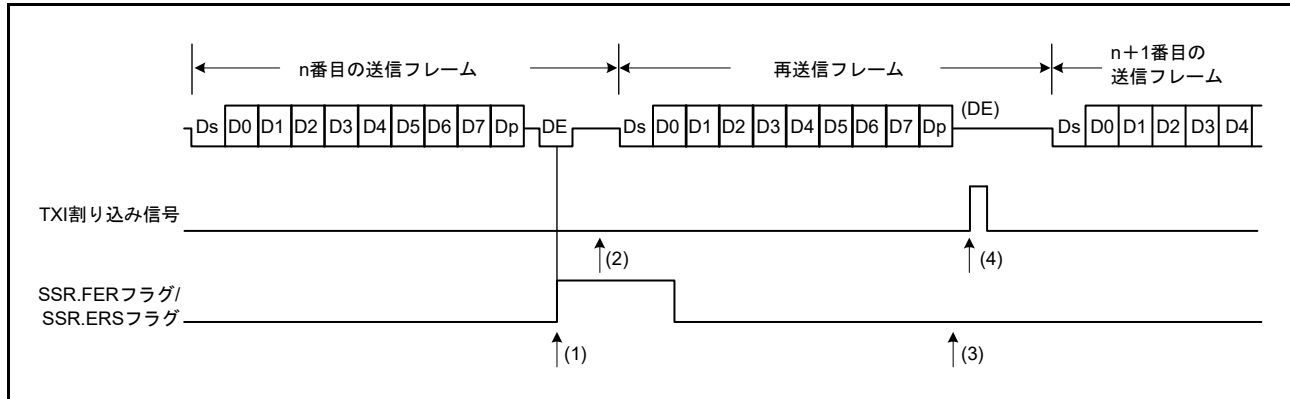


図 33.39 SCI 送信モードの場合の再送信動作（送信時の再送信動作）

- (1) 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR.ERS フラグが“1”になります。このとき SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングまでに ERS フラグをクリアしてください。
- (2) エラーシグナルを受信したフレームでは、SSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタに再度データが転送され、自動的に再送信を行います。
- (3) 受信側からエラーシグナルが返ってこない場合は、ERS フラグはセットされません。
- (4) 再送信を含む 1 フレームの送信が完了したと判断して、SSR.TEND フラグがセットされます。このとき、SCR.TIE ビットが“1”であれば、TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 33.40 に示します。

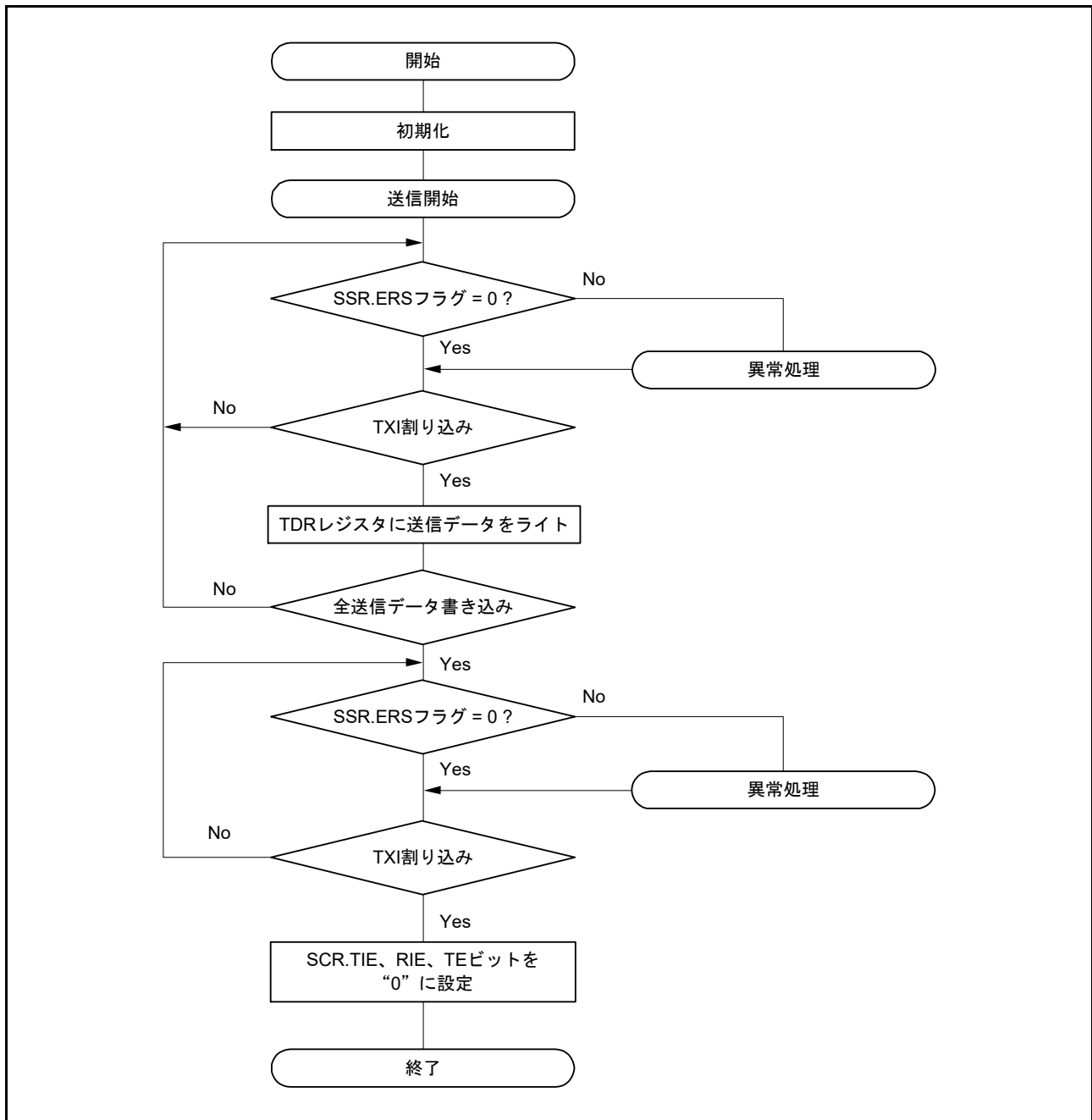


図 33.40 スマートカードインタフェース送信のフローチャート例

これらの一連の処理は、TXI 割り込み要因によって DTC または DMAC を起動することで自動的に行うことができます。

送信動作では、SCR.TIE ビットを“1”にしておくと、SSR.TEND フラグが“1”になったときに TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的

にはクリアされませんので、RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

DTC または DMAC の設定方法は「19. データトランスファコントローラ (DTCa)」、「18. DMA コントローラ (DMACA)」を参照してください。

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 33.41 に TEND フラグ発生タイミングを示します。

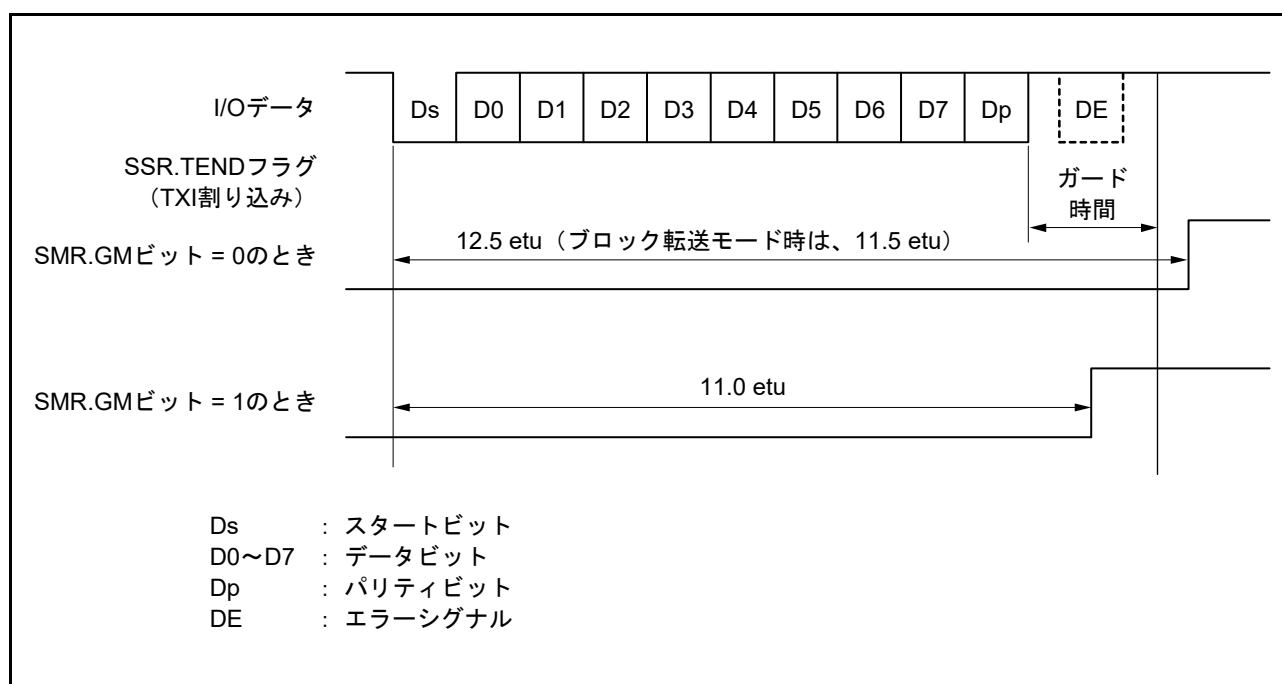


図 33.41 送信時の SSR.TEND フラグの発生タイミング

33.6.7 シリアル受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再送信動作を図 33.42 に示します。

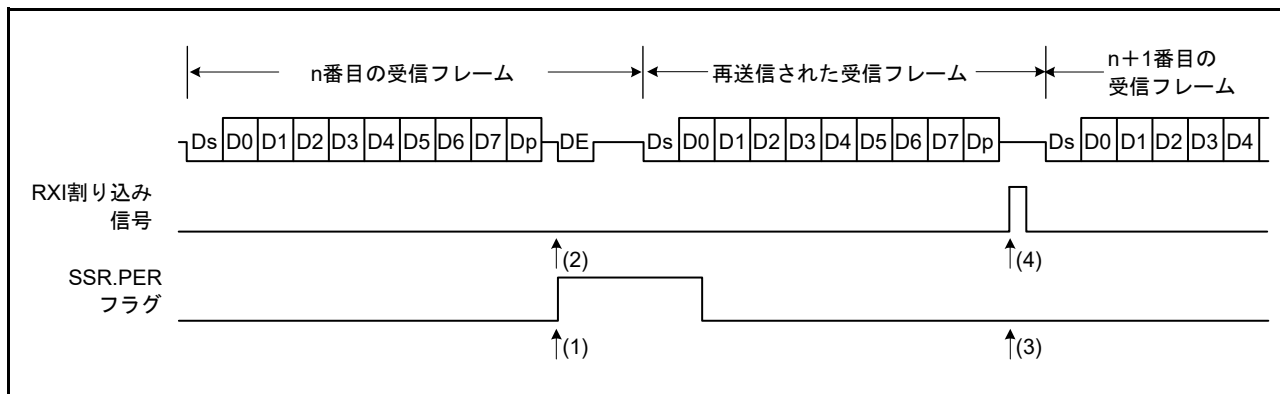


図 33.42 SCI 受信モードの場合の再送信動作（受信時の再送信動作）

- (1) 受信データにパリティエラーを検出すると SSR.PER フラグが“1”になります。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに PER フラグをクリアしてください。
- (2) パリティエラーを検出したフレームでは RXI 割り込みは発生しません。
- (3) パリティエラーが検出されない場合は、SSR.PER フラグはセットされません。
- (4) 正常に受信を完了したと判断して、RIE ビットが“1”であれば、RXI 割り込み要求を生成します。

シリアル受信のフローチャートの例を図 33.43 に示します。

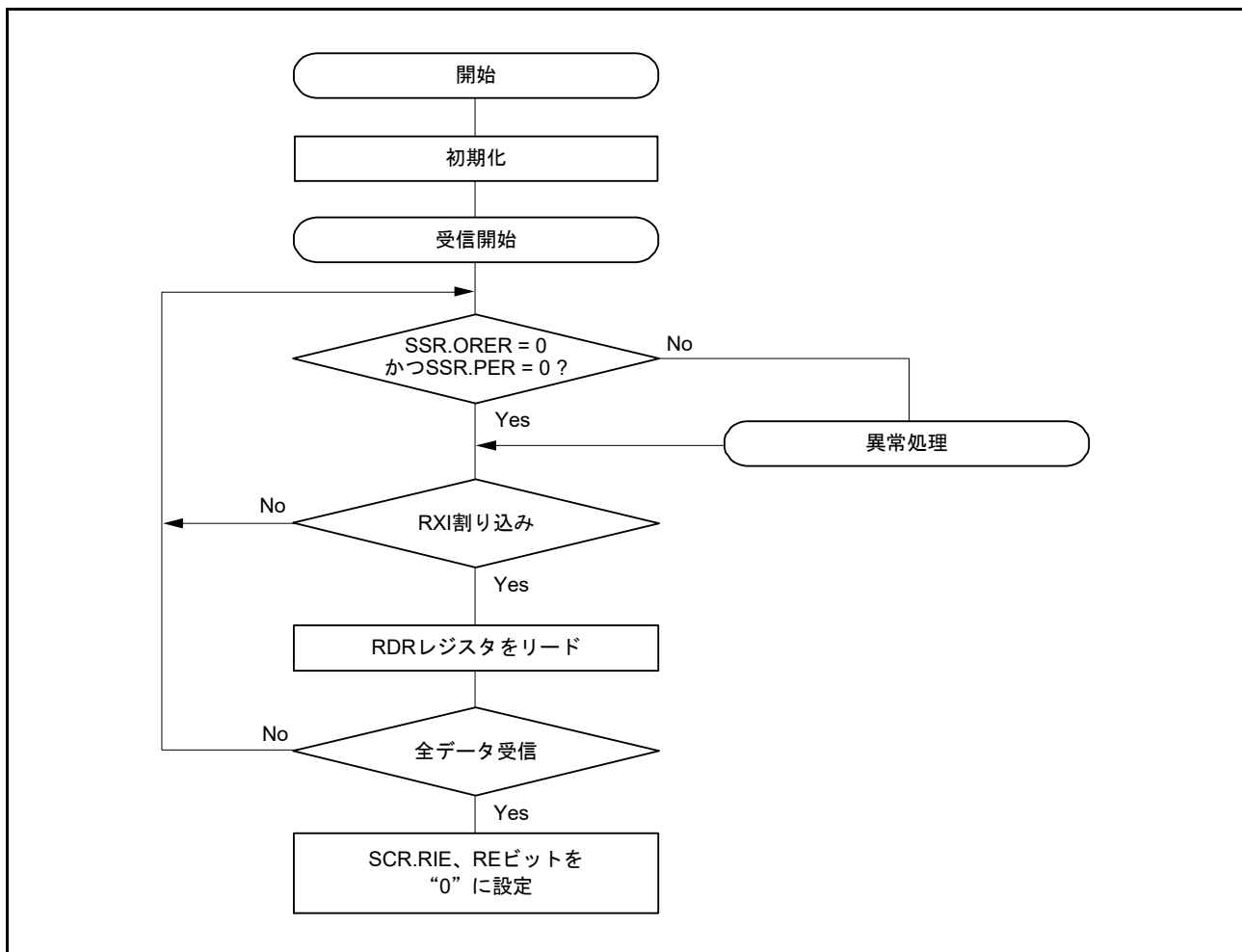


図 33.43 スマートカードインタフェース受信のフローチャート例

これらの一連の処理は、RXI 割り込み要求によって DTC または DMAC を起動することで自動的に行うことができます。

受信動作では、RIE ビットを“1”にしておくと、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求により DTC または DMAC が起動されて受信データの転送を行います。

また、受信時にエラーが発生し SSR レジスタの ORER、PER フラグのいずれかが“1”になると、受信エラー割り込み (ERI) 要求が発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC または DMAC は起動されず、受信データはスキップされるため DTC または DMAC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し PER フラグが“1”になった場合でも、受信したデータは RDR レジスタに転送されるのでこのデータをリードすることは可能です。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

注． ブロック転送モードの場合は、「33.3 調歩同期式モードの動作」を参照してください。

33.6.8 クロック出力制御

SMR.GM ビットが“1”であるとき、SCR.CKE[1:0] ビットによってクロック出力を High や Low に固定することができます。CKE[1:0] ビットを“01b”(クロック出力)にすると、SCK 端子から基本クロックが出力されます。基本クロックの周波数(ビットレート)の設定については、「33.2.11 ビットレートレジスタ (BRR)」を参照してください。CKE[1:0] ビットを“00b”(Low 出力固定)や“10b”(High 出力固定)にすると、SCK 端子から Low や High を出力できます。

図 33.44 にクロック出力制御を行ったときのタイミング図を示します。

なお、SMR.GM ビットが”0”(非 GSM モード)の場合に CKE[1:0] ビットを変更すると、その結果がすぐに SCK 端子に反映されるため、SCK 端子から意図しない幅のパルスが出力されることがあります。

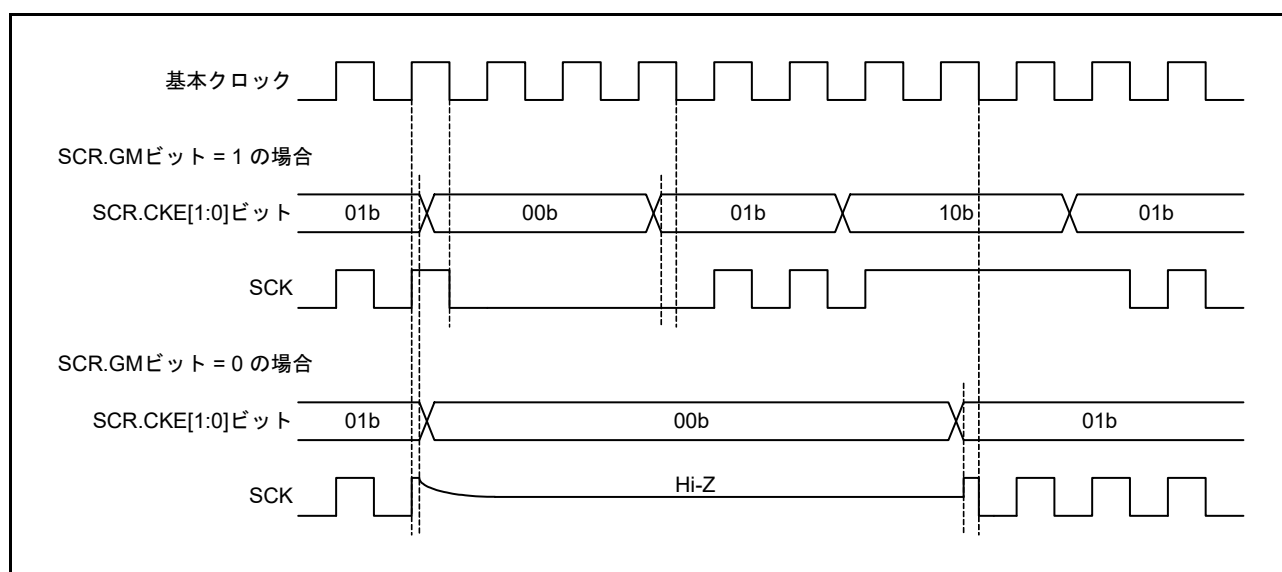


図 33.44 クロック出力制御

33.7 簡易 I²C モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開条件に続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、停止条件まで有効です。各フレーム中の 8 ビットのデータは、MSB から順に送信されます。

図 33.45 に I²C バスフォーマットを、図 33.46 に I²C バスタイミングを示します。

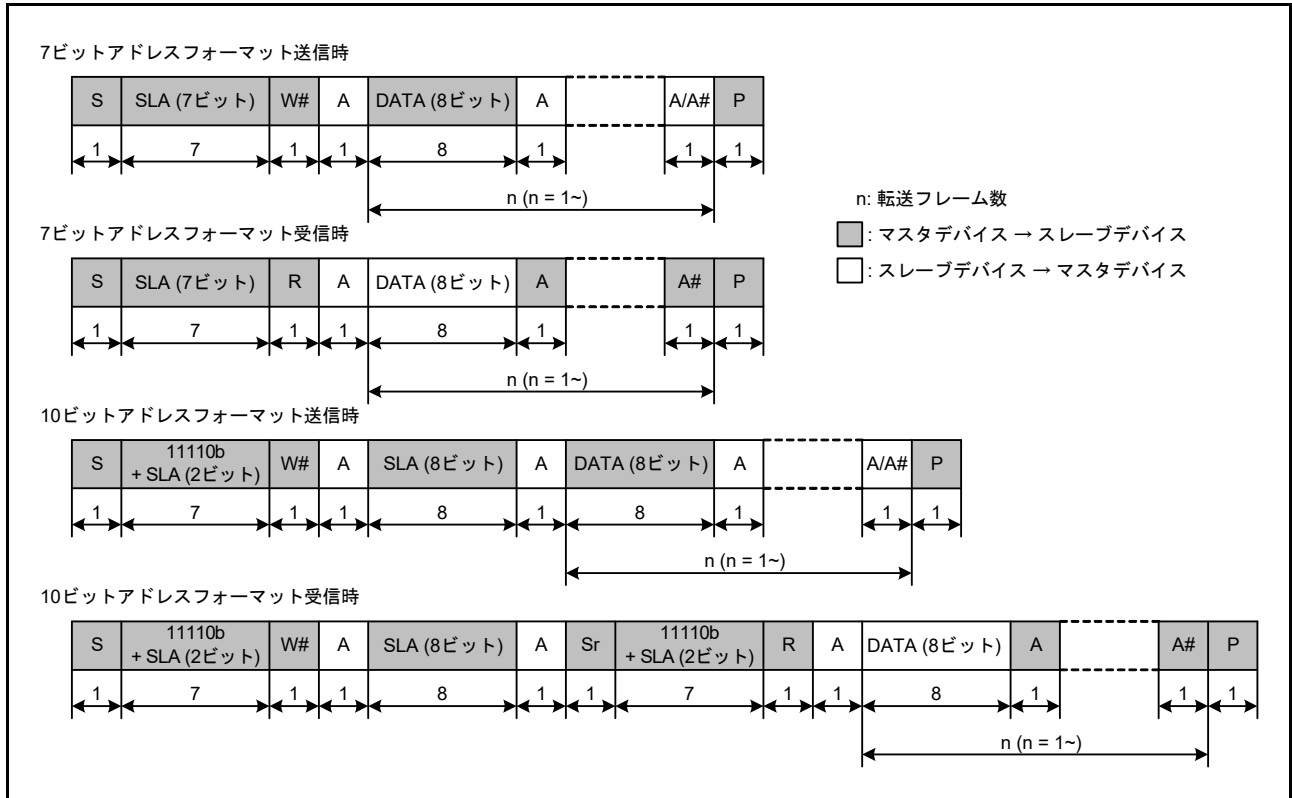


図 33.45 I²C バスフォーマット

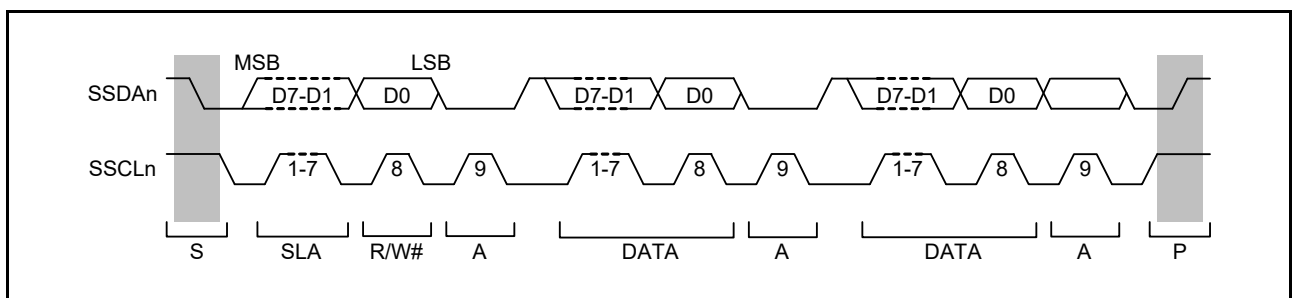


図 33.46 I²C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態からSSDAnラインがHighからLowに変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A/A#: アクノリッジを示します（マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します）。Lowを返すことをACK、Highを返すことをNACKと言います。
- Sr: リスタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態からセットアップ時間経過後にSSDAnラインがHighからLowに遷移します。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態からSSDAnラインがLowからHighに変化します。

33.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに“1”を書き込むことにより、開始条件生成を行います。開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートの半分の時間、開始条件のホールド時間を確保
- SSCLn ラインの立ち下げ (High から Low に遷移)、SIMR3.IICSTAREQ ビットは“0”にし、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに“1”を書き込むことにより、再開条件生成を行います。再開条件の生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、再開条件のセットアップ時間を確保
- SSDAn ラインを立ち下げ (High から Low に遷移)
- BRR レジスタで設定したビットレートの半分の時間、再開条件のホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR3.IICRSTAREQ ビットは“0”にし、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに“1”を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、停止条件のセットアップ時間を確保
- SSDAn ラインを開放 (Low から High に遷移)、SIMR3.IICSTPREQ ビットは“0”にし、停止条件生成割り込み要求を出力

図 33.47 に開始条件、再開条件、停止条件生成の動作タイミングを示します。

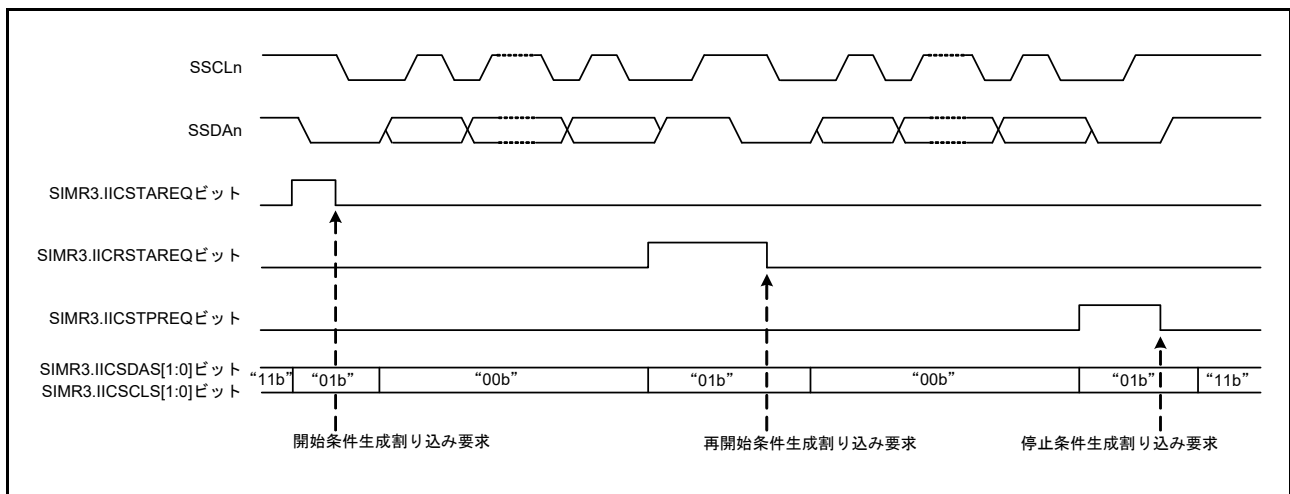


図 33.47 開始条件、再開条件、停止条件生成の動作タイミング

33.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR2.IICCSC ビットに“1”を設定すると、内部 SSCLn クロックが SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが“1”の場合、内部 SSCLn クロックが Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで2～3サイクル）、内部処理遅延（PCLK で1～2サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SSCLn クロックの High 期間は延長されます。

SIMR2.IICCSC ビットが“1”の場合、データ送信および受信は、SSCLn 端子入力と内部 SSCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが“0”の場合、データ受信および送信は、内部 SSCLn クロックに同期して行われます。

開始条件、再開条件および停止条件生成要求発行後、内部 SSCLn クロックが Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SSCLn クロックが High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 33.48 にクロック同期化の動作例を示します。

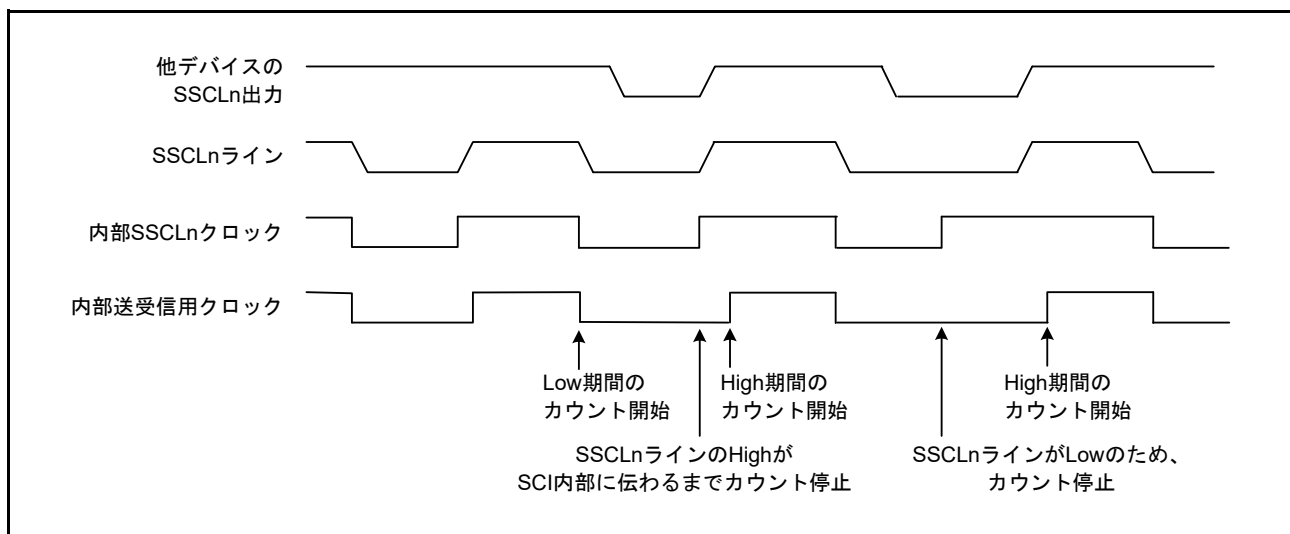


図 33.48 クロック同期化の動作例

33.7.3 SSDA 出力遅延

SIMR1.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ポーレートジェネレータのクロックソース基準（PCLK ベースに SMR.CKS[1:0] で選択された分周クロック）で 0 ～ 31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、開始条件 / 再開始条件 / 停止条件信号と 8 ビットの送信データおよびアクノリッジです。

SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値（I²C の標準モード、ファストモードでは 300ns）より大きくなるように設定してください。

図 33.49 に SSDA 出力遅延のタイミングを示します。

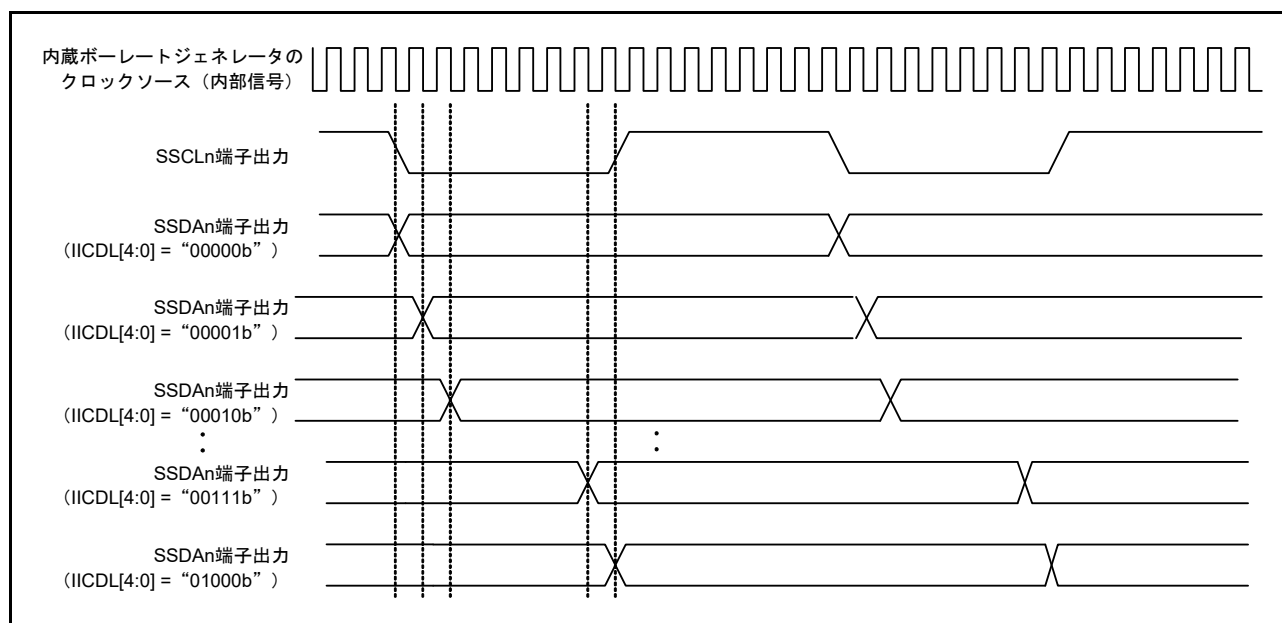


図 33.49 SSDA 出力遅延のタイミング

33.7.4 SCIの初期化（簡易 I²C モード）

データの送受信前に、SCRレジスタに初期値“00h”を書き込み、図 33.50 のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCRレジスタを初期値にしてから変更してください。また、簡易 I²C モード時の通信ポートのオープンドレイン設定は、ポート側でしてください。

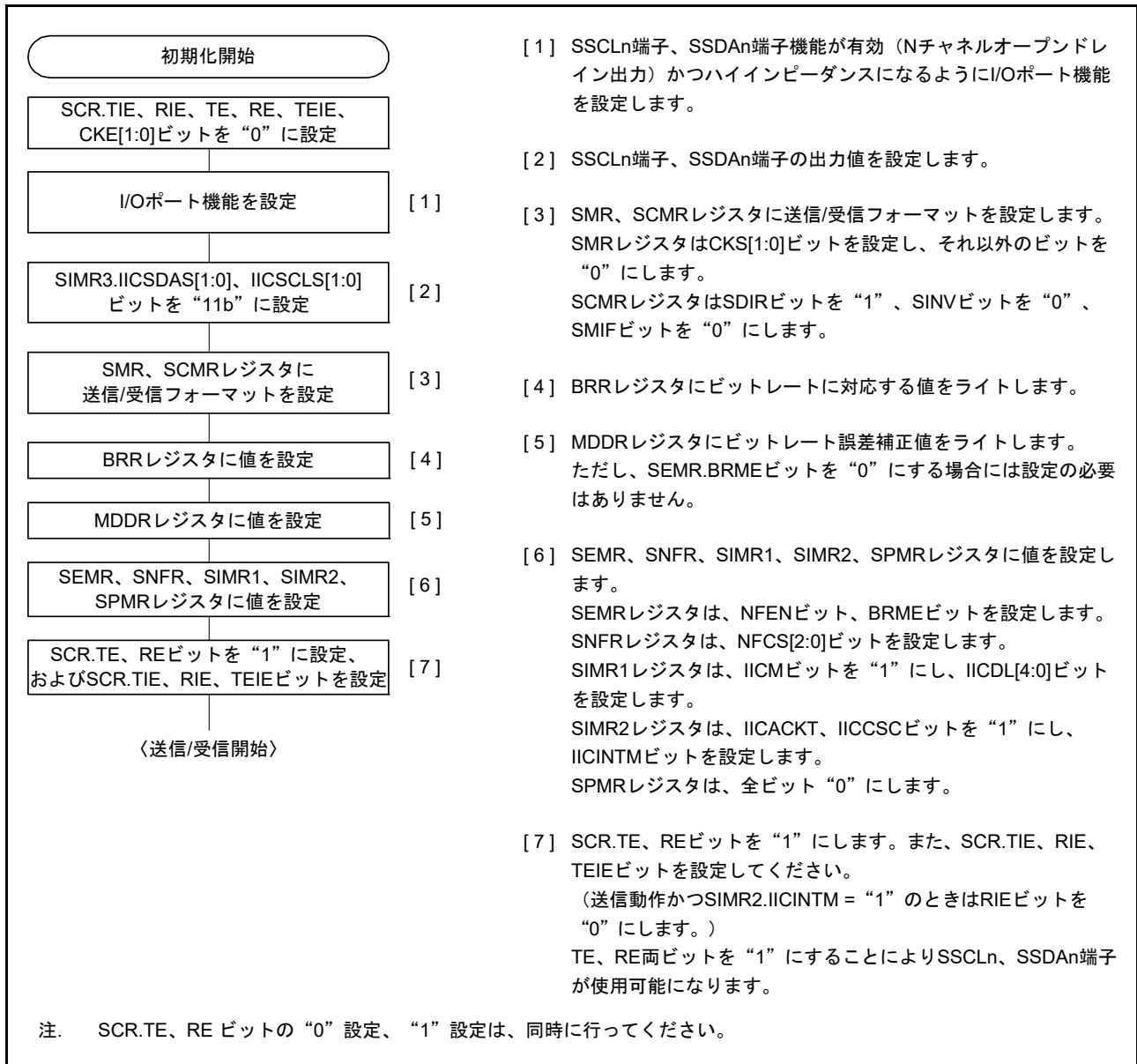


図 33.50 SCIの初期化フローチャート例（簡易 I²C モード）

33.7.5 マスタ送信動作 (簡易 I²C モード)

図 33.51、図 33.52 に簡易 I²C モードのマスタ送信の動作例を、図 33.53 にデータ送信のフローチャートの例を示します。STI 割り込みについては、表 33.33 を参照してください。

10 ビットスレーブアドレス時は、図 33.53 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生とのタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

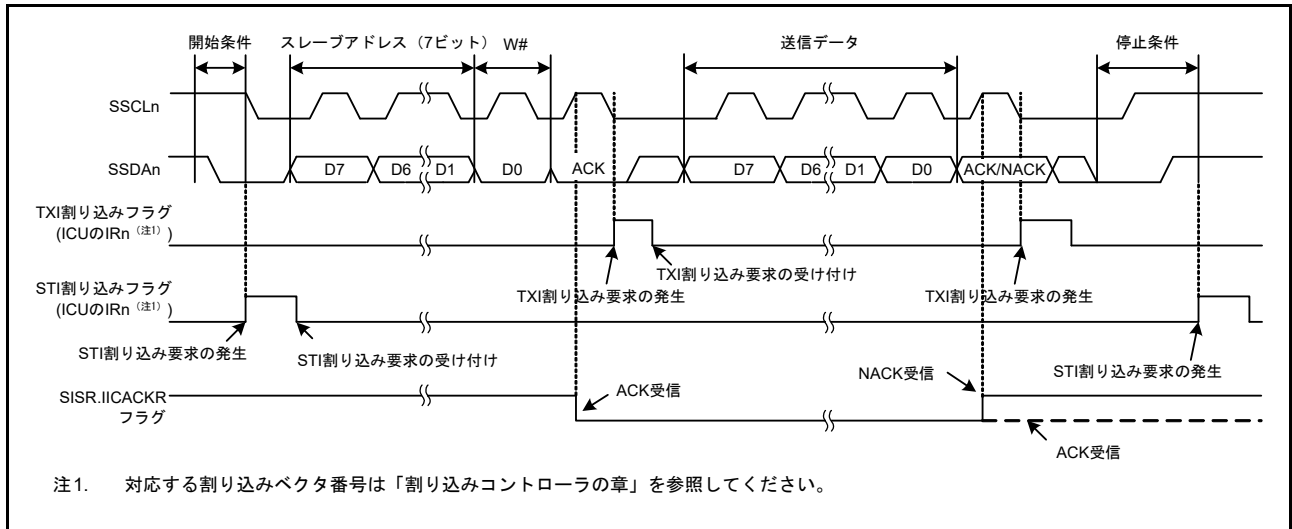


図 33.51 簡易 I²C バスモードのマスタ送信の動作例 1
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを“0” (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガに DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

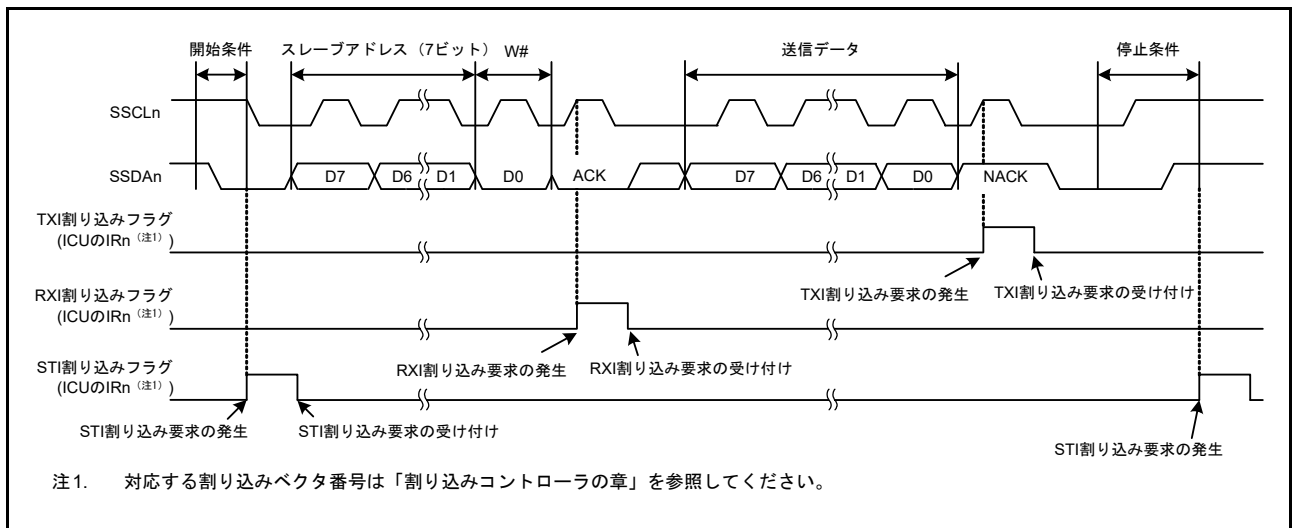


図 33.52 簡易 I²C バスモードのマスタ送信の動作例 2
(7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)

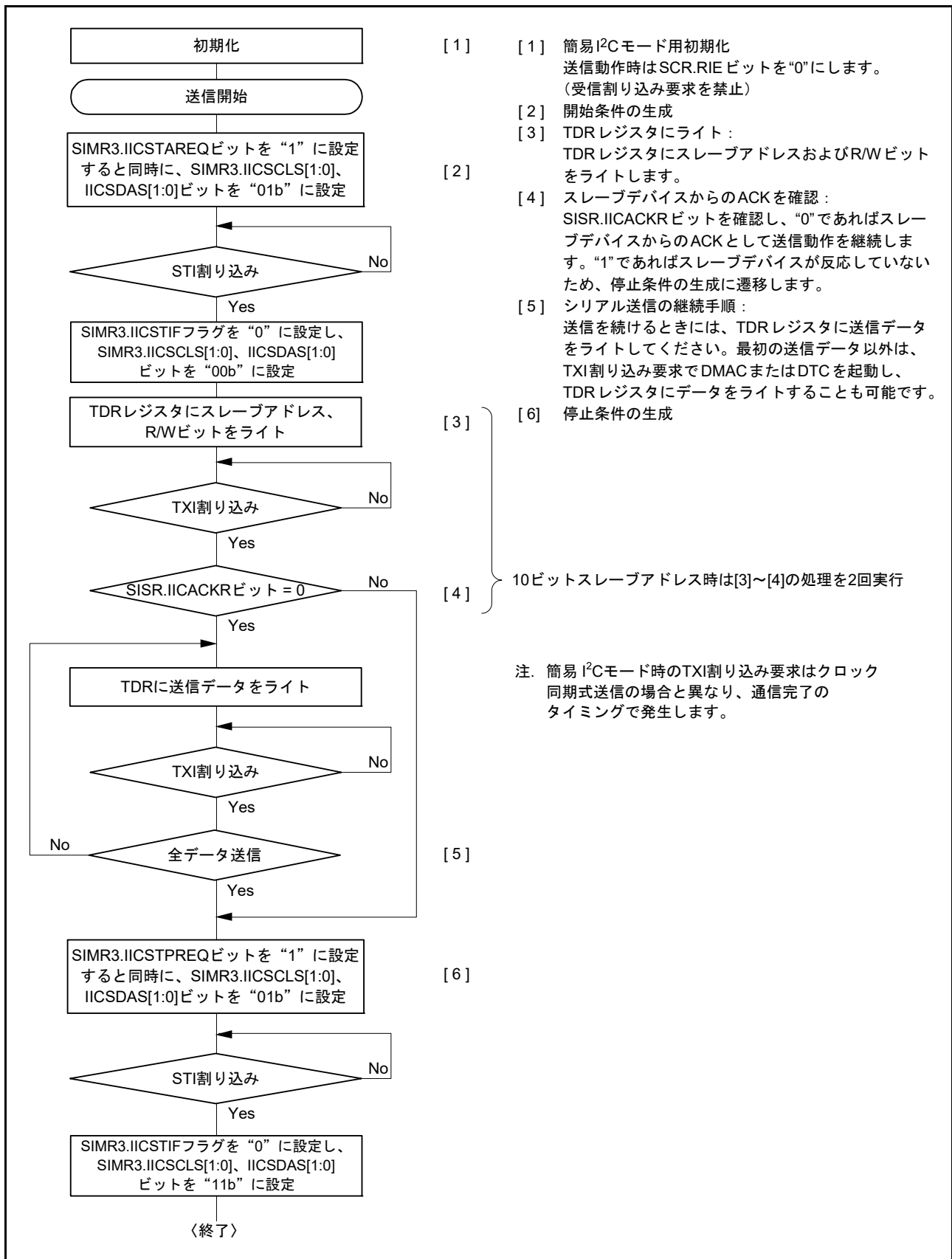


図 33.53 簡易 I²C モードのマスタ送信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

33.7.6 マスタ受信動作 (簡易 I²C モード)

図 33.54 に簡易 I²C モードのマスタ受信の動作例を、図 33.55 にマスタ受信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを“1” (受信割り込み、送信割り込みを使用) を想定しています。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

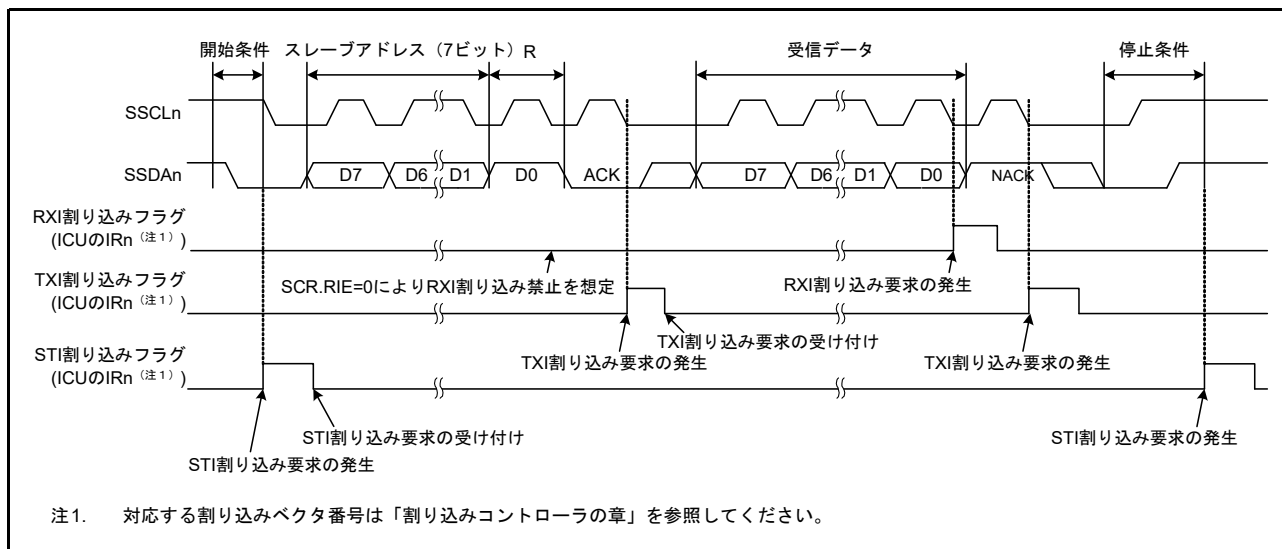


図 33.54 簡易 I²C バスモードのマスタ受信の動作例 (7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

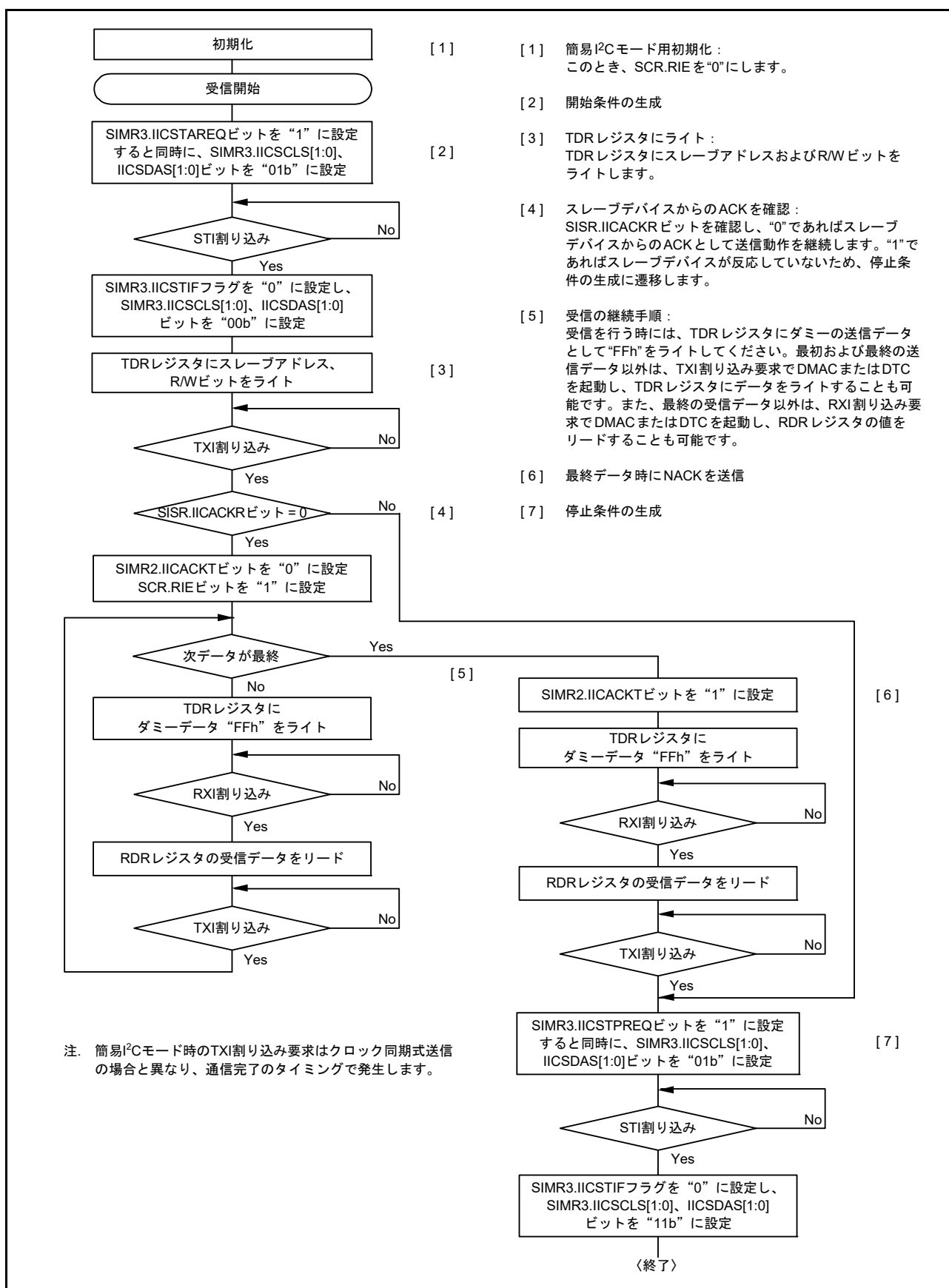


図 33.55 簡易 I²C モードのマスタ受信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

33.7.7 バスハングアップからの回復

通信不具合などで SCI の内部状態が異常になり、バスをスタックさせてしまった場合、以下の手順で SCI をリセットし、バスを解放してください。

- (1) SCR.TE ビットと RE ビットを同時に “0” にして、SCI をリセットする。
- (2) SIMR3 レジスタを “F0h” にして、バスを解放する。
- (3) SSR.RDRF フラグが “1” の場合は、“0” にする。
- (4) SCR.TE ビットと RE ビットを同時に “1” にする。

33.8 簡易 SPI モードの動作

SCI の拡張機能として、1 つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

クロック同期式モードの設定 (SCMR.SMIF ビット=0、SIMR1.IICM ビット=0、SMR.CM ビット=1)、かつ、SPMR.SSE ビットを“1”にすることにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SPMR.SSE ビットを“0”にします。

図 33.56 に簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを“1”にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部/受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

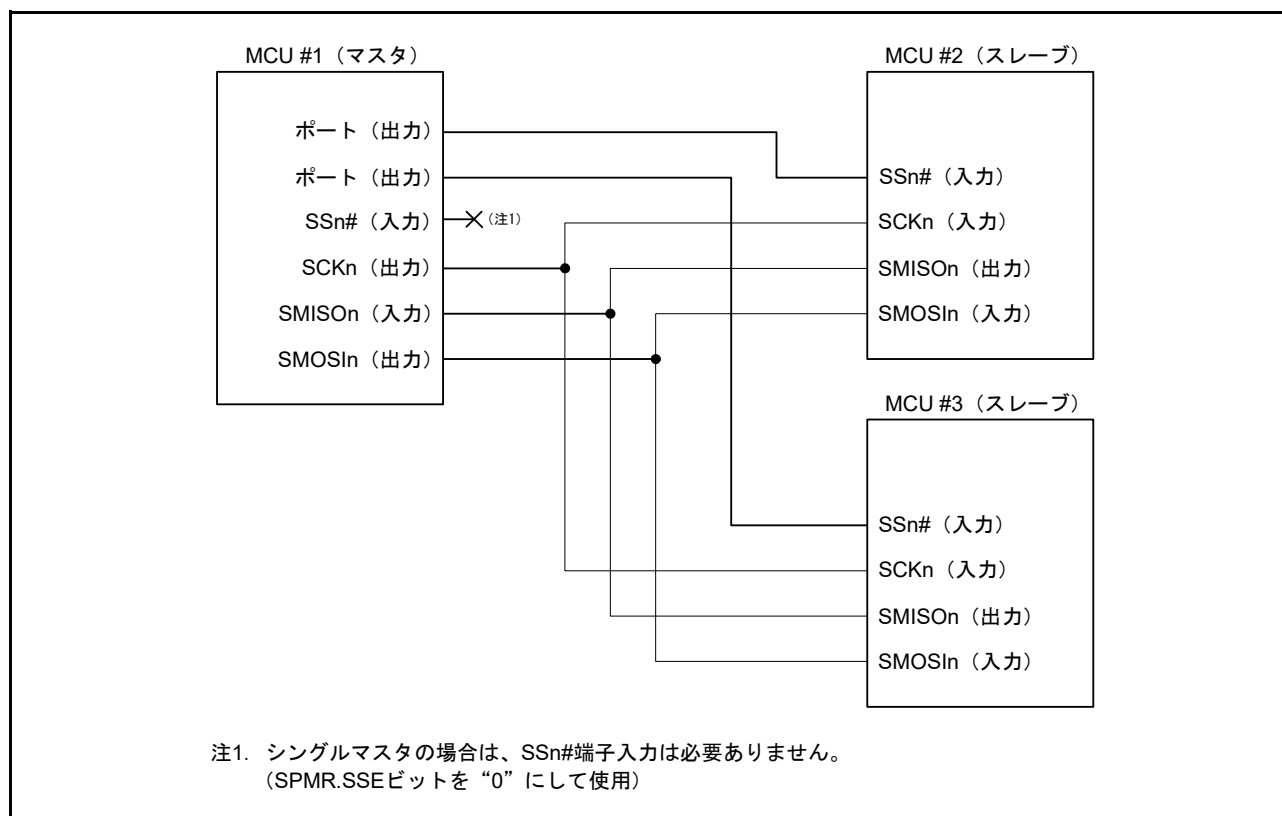


図 33.56 簡易 SPI モードの接続例 (シングルマスタ時 (SPMR.SSE ビット = 0))

33.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] ビット = “00b” または “01b”、かつ SPMR.MSS ビット = 0) とスレーブモード (SCR.CKE[1:0] ビット = “10b” または “11b”、かつ SPMR.MSS ビット = 1) で各端子の入出力方向が変わります。

表 33.29 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表 33.29 モードおよび SSn# 端子入力と各端子の状態の関係

モード	SSn#端子入力	SMOSIn 端子状態	SMISOIn 端子状態	SCKn 端子状態
マスタモード (注1)	High (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low (通信可能)	受信データ入力	送信データ出力	クロック入力

注1. シングルマスタ時 (SPMR.SSE ビット = 0) は、SSn# 端子の入力レベルに関わらず通信可能 (SSn# 端子入力が High のときと等価) となります。SSn# 端子は未使用であり、別の用途として使用できます。

注2. 送信禁止時 (SCR.TE ビット = 0) はハイインピーダンスです。

注3. マルチマスタ (SPMR.SSE ビット = 1) かつ送受信禁止時 (SCR.TE, RE ビット = 00b) はハイインピーダンスです。

33.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] = 00b かつ SPMR.MSS = 0 を設定することで、マスタモードになります。

シングルマスタ時 (SPMR.SSE ビット = 0) は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。

マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を受信動作を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき SCI は SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトエラーとして SPMR.MFF フラグが “1” になります。マルチマスタ時は SPMR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に SMOSIn 端子出力、SCKn 端子出力がハイインピーダンスになります。

マスタからの SS 信号出力については、汎用ポートで制御してください。

33.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] = 10b かつ SPMR.MSS = 1 を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、SMISOIn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、SMISOIn 端子出力をハイインピーダンスにします。なお、内部の送受信動作は継続し、SCKn 端子からのクロック入力に従って 1 キャラクタ分の送受信動作完了後動作を停止します。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

33.8.4 クロックと送受信データの関係

SPMR.CKPOL,CKPH ビットにより、送受信に用いるクロックを4種類から選択可能です。クロックと送受信データの関係を図 33.57 に示します。マスタモード、スレーブモードともクロックと送受信データの関係は同じです。

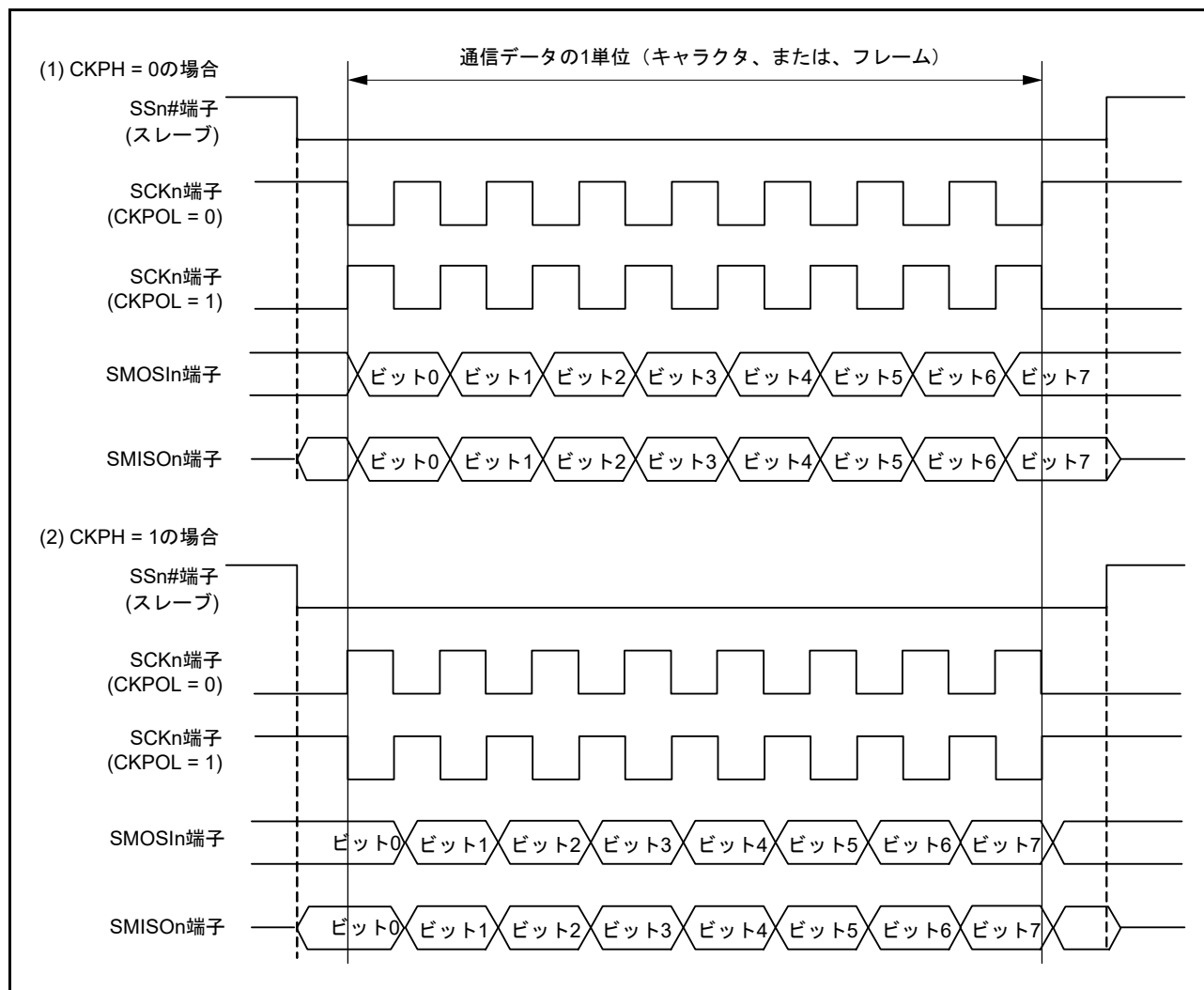


図 33.57 簡易 SPI モードのクロックと送受信データの関係

33.8.5 SCI の初期化（簡易 SPI モード）

クロック同期式モードの初期化手順（図 33.23 の SCI の初期化フローチャート例）と同様です。SPMR レジスタの CKPOL、CKPH ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、SCR レジスタを初期値にしてから変更してください。

RE ビットを“0”にしても、SSR レジスタの ORER、FER、PER フラグ、および RDR レジスタは初期化されませんので注意してください。

TE ビットを“1”から“0”または“0”から“1”にすると、SCR.TIE ビットが“1”の場合、TXI 割り込みが発生しますので注意してください。

33.8.6 シリアルデータの送受信（簡易 SPI モード）

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にし、送受信が終了すると送受信先のスレーブデバイスの SSn# 端子を High にします。それ以外の手順はクロック同期式モードと同様です。

33.9 ビットレートモジュレーション機能

ビットレートモジュレーション機能とは、ボーレートジェネレータに入力されたクロックを、指定された個数間引くことによって、ビットレートを補正する機能です。

SEMR.BRME ビットが“1”のとき、ボーレートジェネレータは、入力されたクロック 256 個のうち MDDR レジスタに設定された個数だけを、平均的な間隔となるよう有効にし、カウントを行います。

調歩同期モードで SMR.CKS[1:0] ビットが“00b”で、BRR レジスタが“00h”、MDDR レジスタが“160”のときの例を、図 33.58 に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されています。内部クロックの間引きには偏りがあり、基本クロックのパルス幅は、間引かれた内部クロック分の伸縮が生じます。

注． クロック同期式モードおよび簡易 SPI モードの最高速設定（SMR.CKS[1:0] ビット = 00b、かつ SCR.CKE[1] ビット = 0、かつ BRR = 0）では、本機能を使用しないでください。

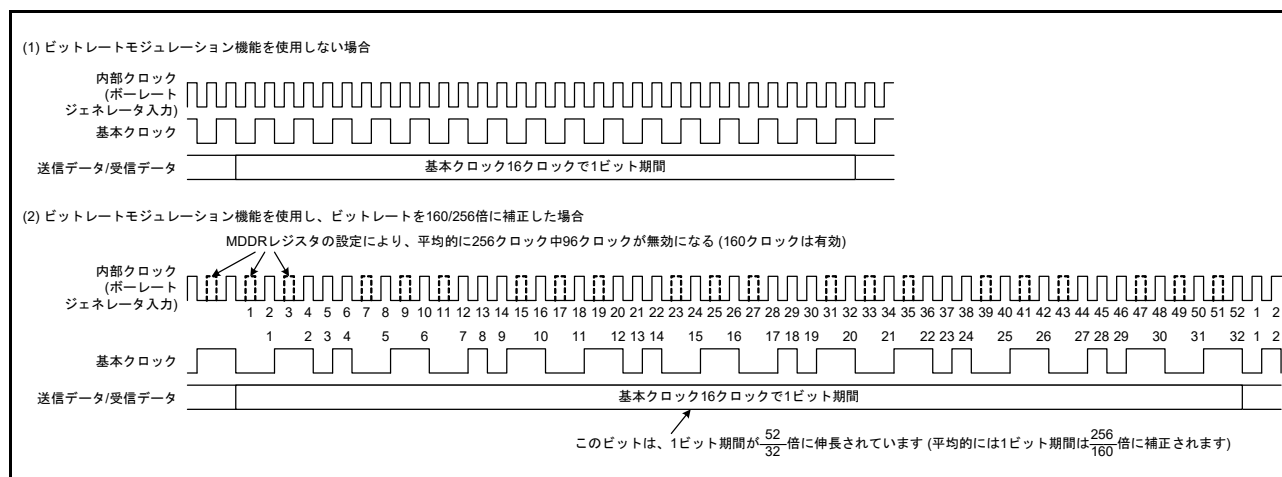


図 33.58 ビットレートモジュレーション機能使用時の基本クロックの例

33.10 拡張シリアルモード制御部の動作説明

33.10.1 シリアル通信プロトコル

SCIh の拡張シリアルモード制御部は、SCIg と連携し、図 33.59 に示すような Start Frame、Information Frame から構成されるシリアル通信プロトコルを実現します。

Start Frame は Break Field と Control Field 0、Control Field 1 で構成されています。また、Information Frame はいくつかの Data Field と CRC16 Upper Field、CRC16 Lower Field で構成することができます。

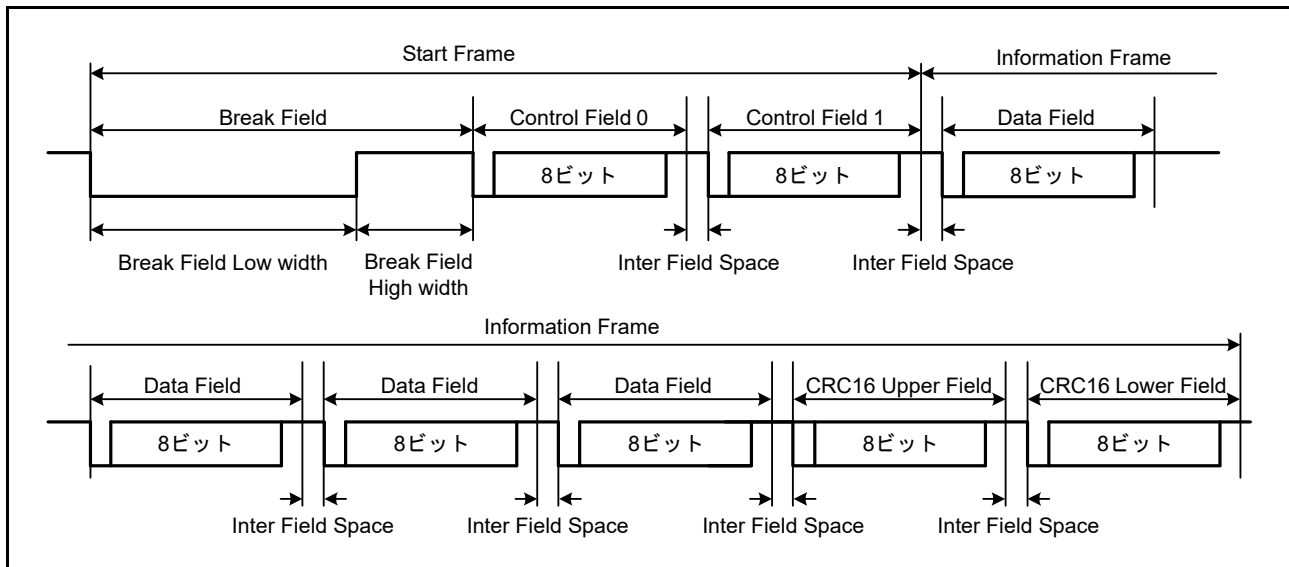


図 33.59 拡張シリアルモード制御部シリアル通信プロトコル

33.10.2 Start Frame 送信

図 33.60 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の送信時の動作例を示します。また、図 33.61、図 33.62 に Start Frame の送信を行うためのフローチャートを示します。

拡張シリアルモード制御部は、Start Frame 送信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

- (1) タイマの動作モードを Break Field Low width 出力モードにした状態で、TCR.TCST ビットに“1”を書き込むと、タイマがカウントを開始し、TCNT、TPRE レジスタに設定した期間、TXDX12 端子から Low が出力されます。
- (2) タイマがアンダフローすると TXDX12 端子の出力が反転し、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。
- (3) TCR.TCST ビットに“0”を書き込んでタイマのカウントを停止させた後、SCI12 を使用して Control Field 0 のデータを送信します。Break Field Low width 出力後、次にアンダフローするまでにカウントを停止してください。
- (4) Control Field 0 のデータの送信が完了した後、SCI12 を使用して Control Field 1 のデータを送信します。
- (5) Control Field 1 のデータの送信が完了した後、SCI12 を使用して Information Frame の通信を行います。

Start Frame の構成にあわせて Break Field および Control Field 0 を省略してください。

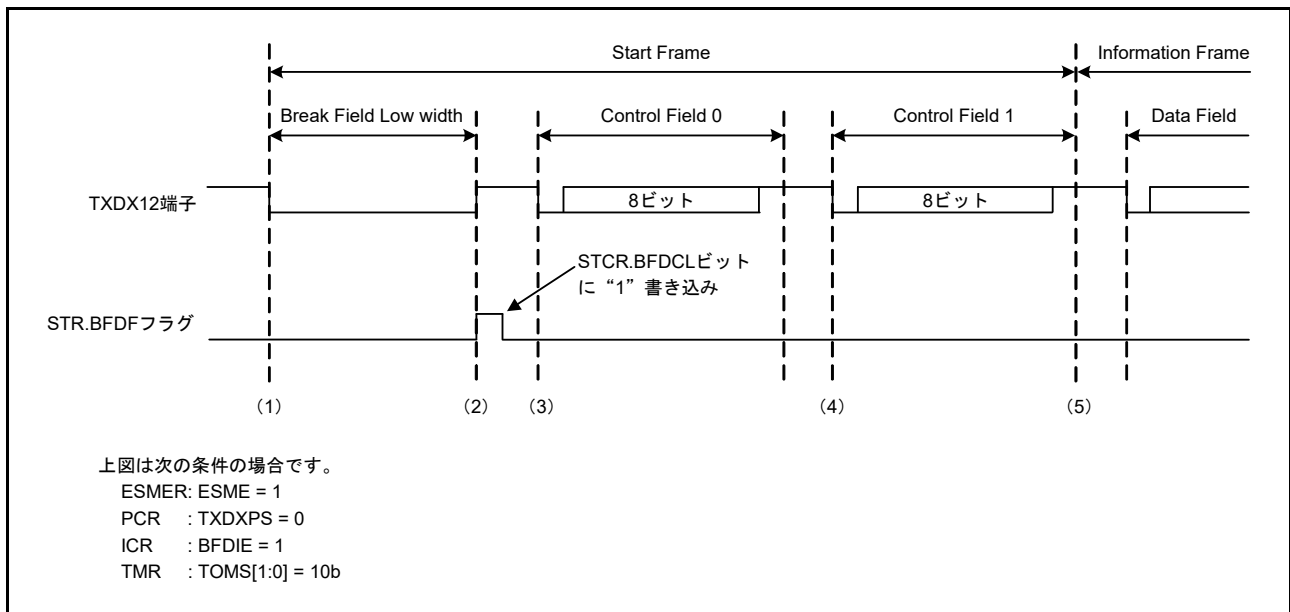


図 33.60 Start Frame 送信時の動作例

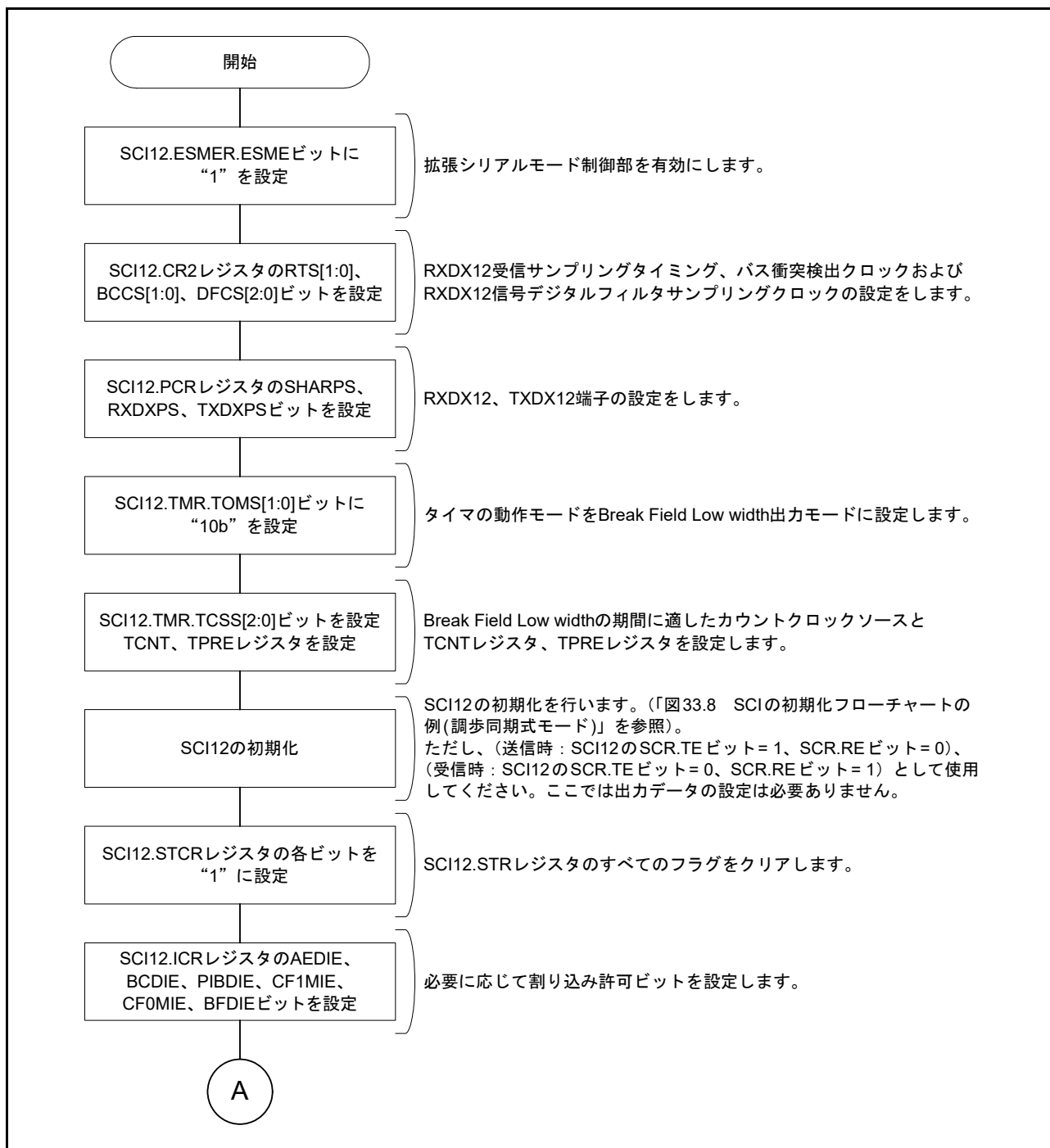


図 33.61 Start Frame 送信フローチャート例 (1)

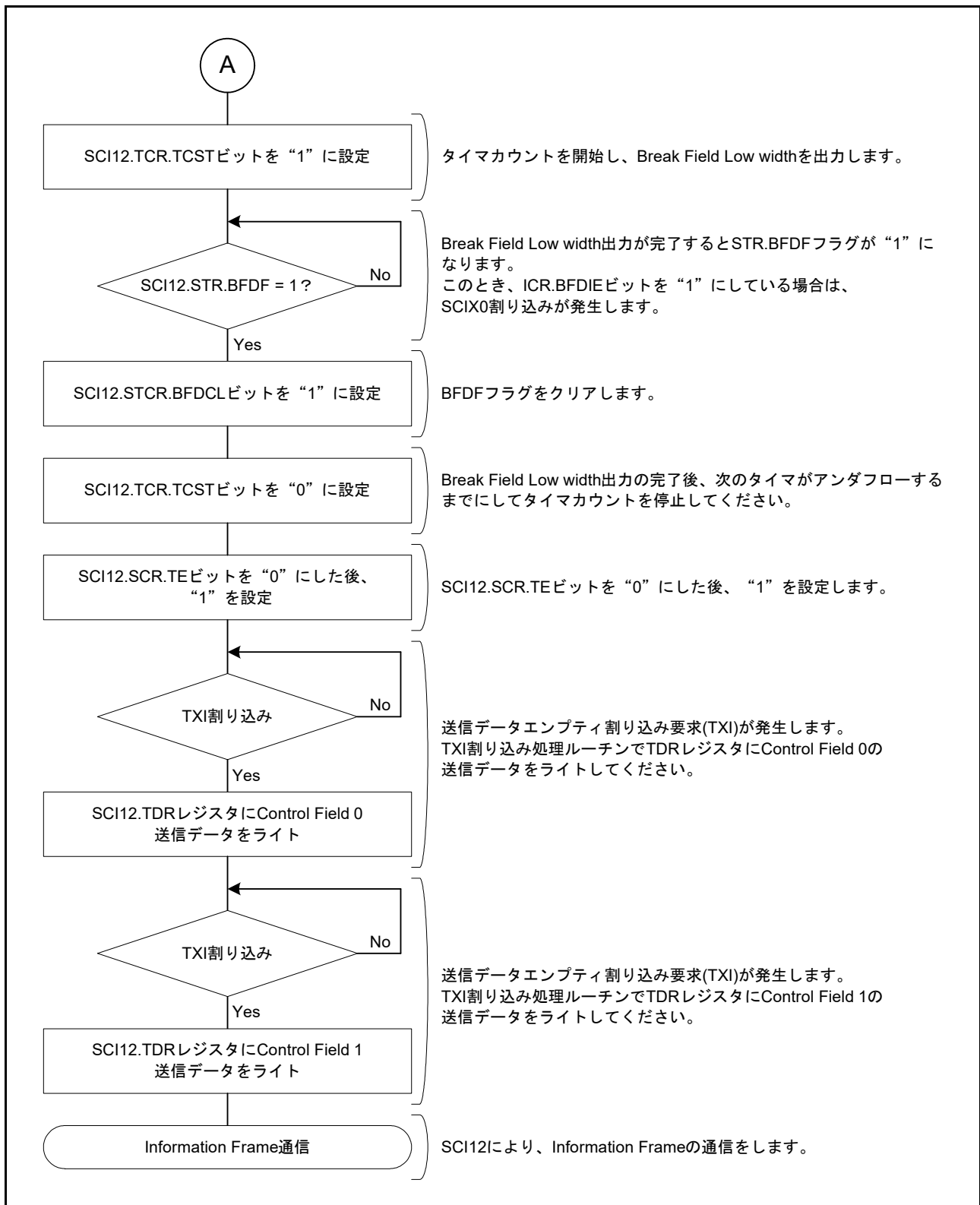


図 33.62 Start Frame 送信フローチャート例 (2)

33.10.3 Start Frame 受信

拡張シリアルモード制御部では、表 33.30 のような構成の Start Frame を検出することができます。

表 33.30 Start Frameの構成

ビットの設定		Start Frameの構成
BFE	CF0RE	
0	0	
0	1	
1	0	
1	1	

図 33.63 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の受信時の動作例を示します。また、図 33.64、図 33.65 に Start Frame の受信を行うためのフローチャート、図 33.66 に拡張シリアルモード制御部の状態遷移図を示します。

拡張シリアルモード制御部は、Start Frame 受信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

- (1) タイマの動作モードを Break Field Low width 検出モードに設定して、CR3.SDST ビットに“1”を書き込むと、Break Field Low width 検出が可能になります。このとき、SCI12 内部への RXDX12 入力は禁止となります。
- (2) タイマの TCNT、TPRE レジスタに設定した期間以上の Low が RXDX12 端子から入力されると、Break Field Low width として検出します。このとき、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。
- (3) Break Field Low width 検出後、RXDX12 端子からの入力が High になると CR0.RXDSF フラグが“0”になり、SCI12 により、Control Field 0 の受信を開始します。
- (4) Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致した場合、STR.CF0MF フラグが“1”になります。また、ICR.CF0MIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、SCI12 により Control Field 1 の受信を開始します。Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致しない場合は、Break Field Low width 検出前の状態に遷移します。
- (5) Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータと一致した場合、STR.CF1MF フラグが“1”になります。また、ICR.CF1MIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、SCI12 を使用して Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致しない場合は、Break Field Low width 検出前の状態に遷移します。

Start Frame の構成にあわせ、Break Field および Control Field 0 の処理を省略してください。

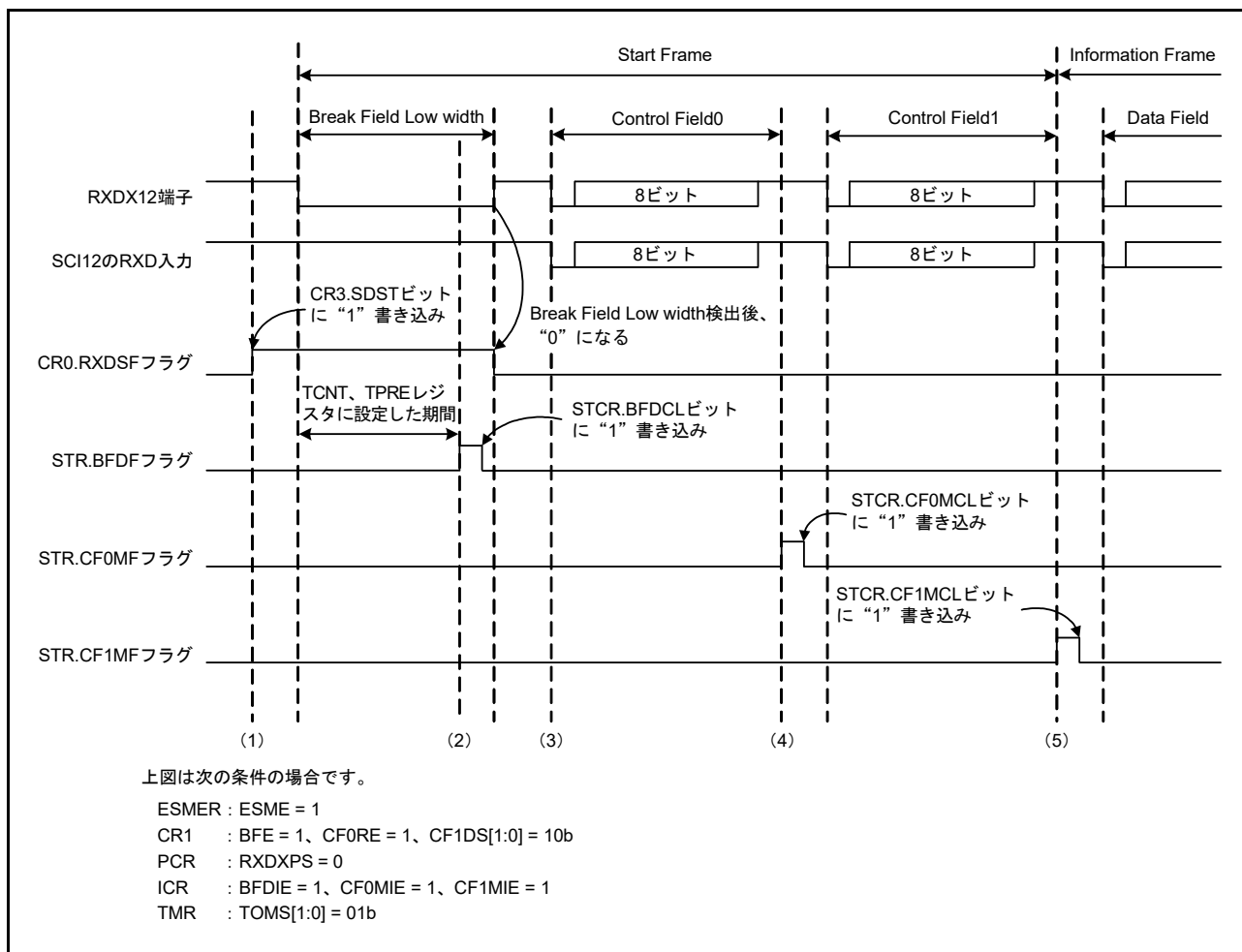


図 33.63 Start Frame 受信時の動作例

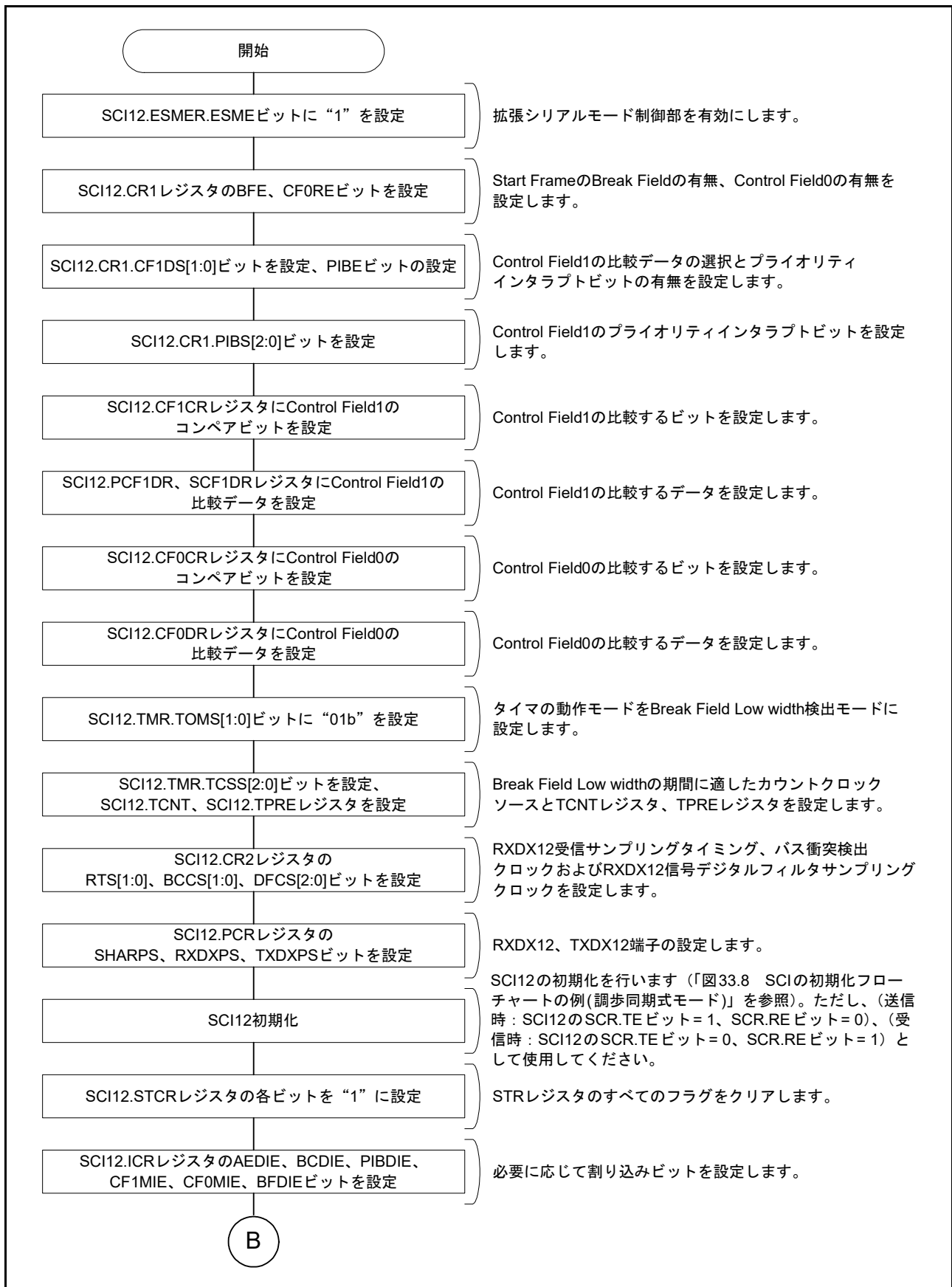


図 33.64 Start Frame 受信フローチャート例 (1)

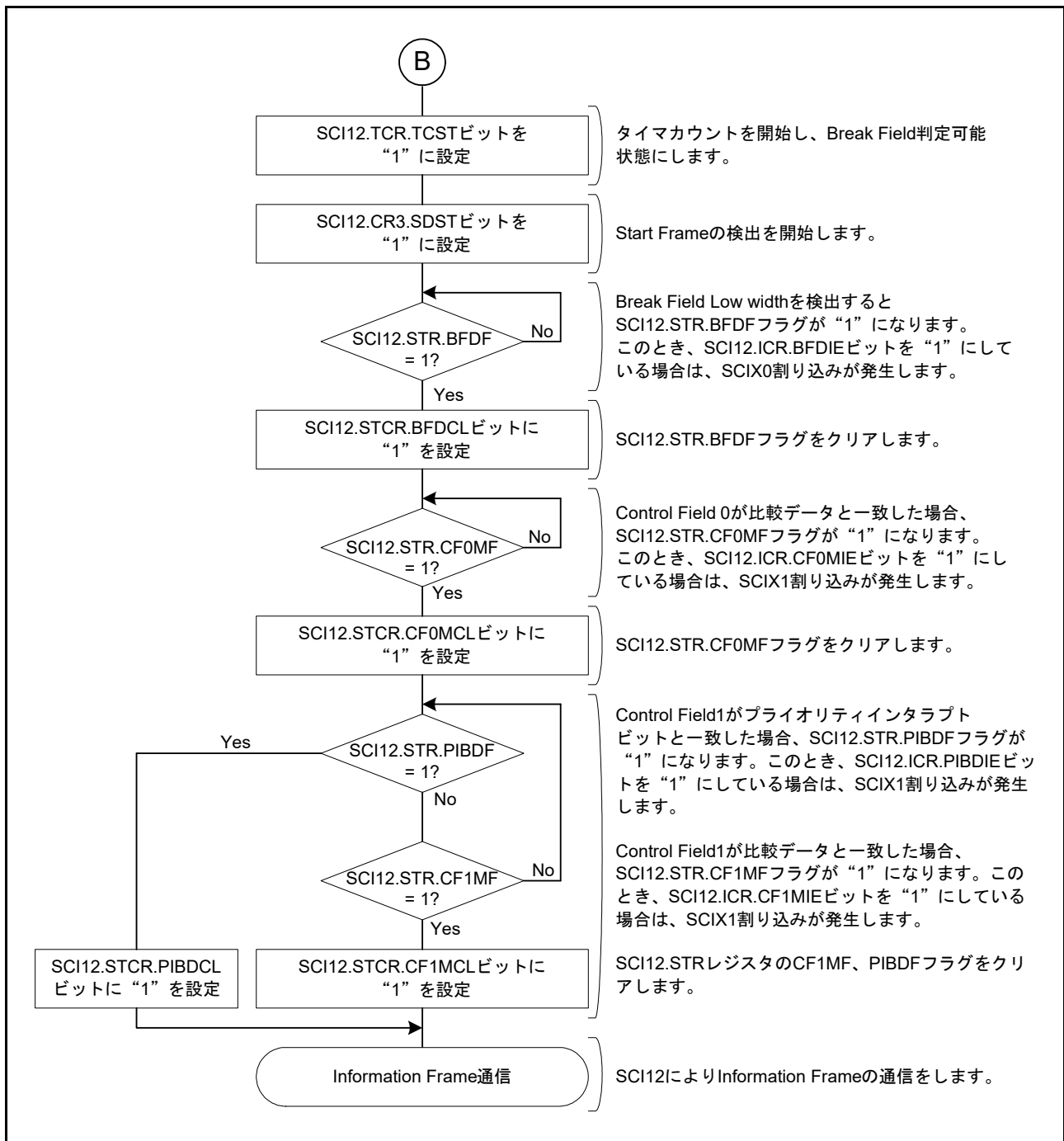


図 33.65 Start Frame 受信フローチャート例 (2)

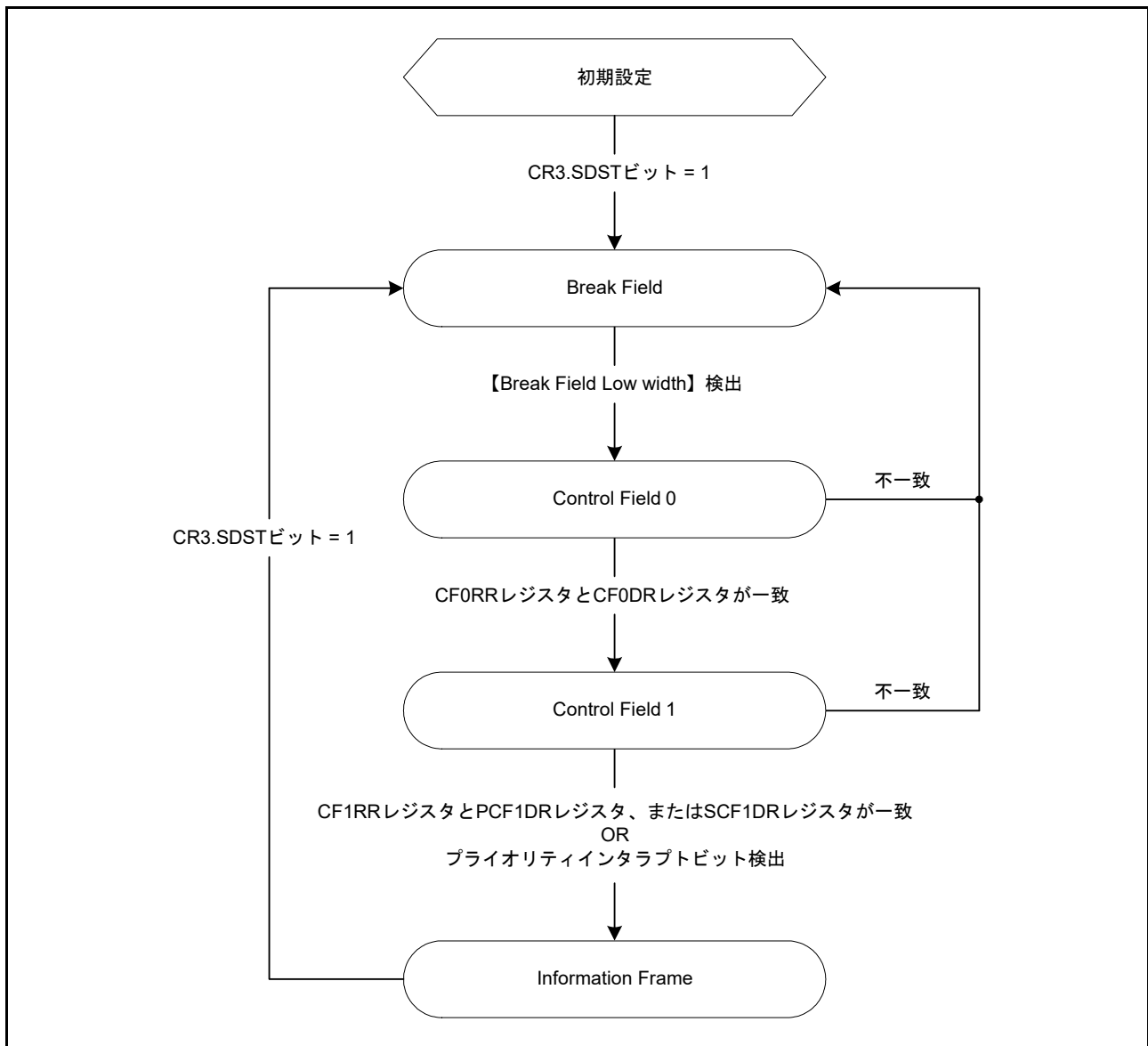


図 33.66 Start Frame 受信時の状態遷移図

33.10.3.1 プライオリティインタラプトビット

図 33.67 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは CR1.PIBE ビットを“1”にすることで有効となります。

拡張シリアルモード制御部は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のよう動作します。

(1)～(4) は図 33.63 の Start Frame 受信時の動作例 (1)～(4) と同様になります。

(5) CR1.PIBS[2:0] ビットで指定したビットの値が PCF1DR レジスタに設定した値と一致した場合、STR.PIBDF フラグが“1”になります。また、ICR.PIBDIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、SCI12 により、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field Low width 検出前の状態に遷移します。

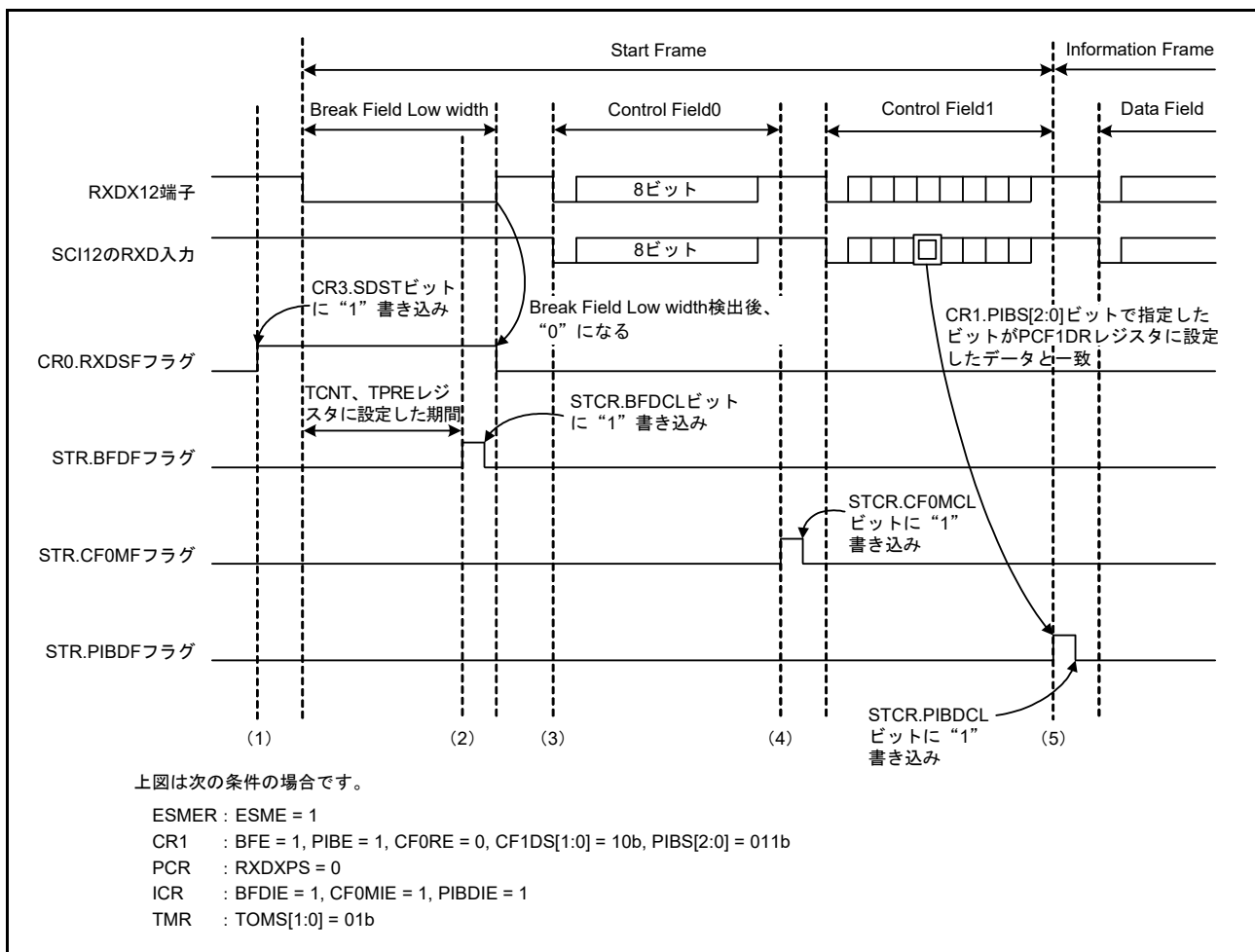


図 33.67 Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)

33.10.4 バス衝突検出機能

ESMER.ESME ビット = 1、かつ SCIf.SCR.TE ビット = 1 の状態で、Break Field Low width 出力中および SCIfによりデータを送信中にバス衝突検出機能が働きます。

図 33.68 にバス衝突検出機能の動作例を示します。TXDX12 端子の出力と RXDX12 端子の入力を CR2.BCCS[1:0] ビットで設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると STR.BCDF フラグが“1”になります。また、ICR.BCDIE ビットを“1”にしている場合は、SCIf2 割り込みが発生します。

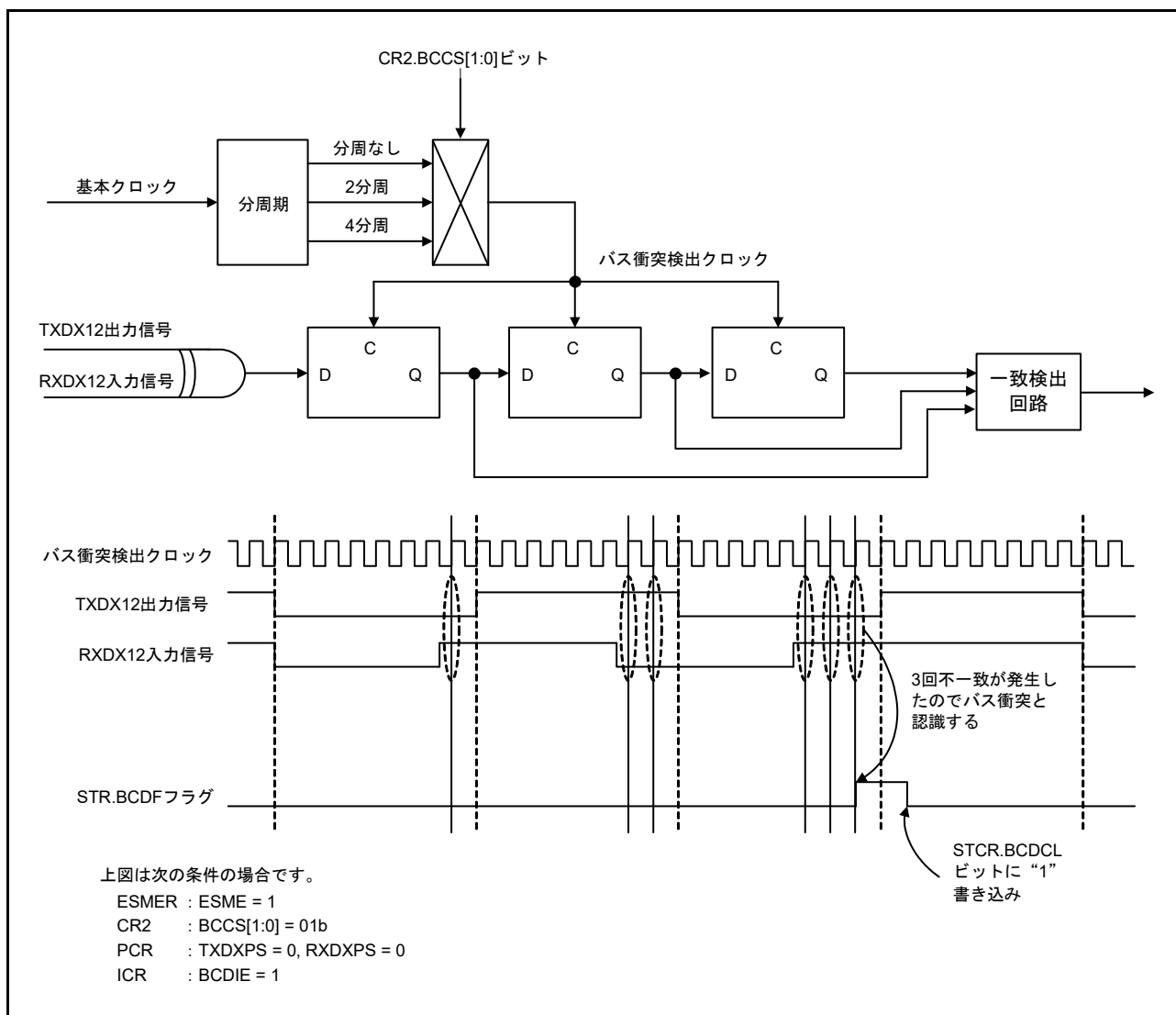


図 33.68 バス衝突検出機能の動作例

33.10.5 RXDX12 端子入力デジタルフィルタ機能

RXDX12 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3 段直列に接続されたフリップフロップ回路と一致検出回路で構成されます。RXDX12 端子入力信号は CR2.DFCS[2:0] ビットによって選択されたクロックでサンプリングされ、3 つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3 サンプルクロック以上同一のレベルを保持した場合は信号として認識しますが、3 サンプルクロック以下の信号変化はノイズとして判断し、信号変化として認識しません。図 33.69 にデジタルフィルタ機能の動作例を示します。

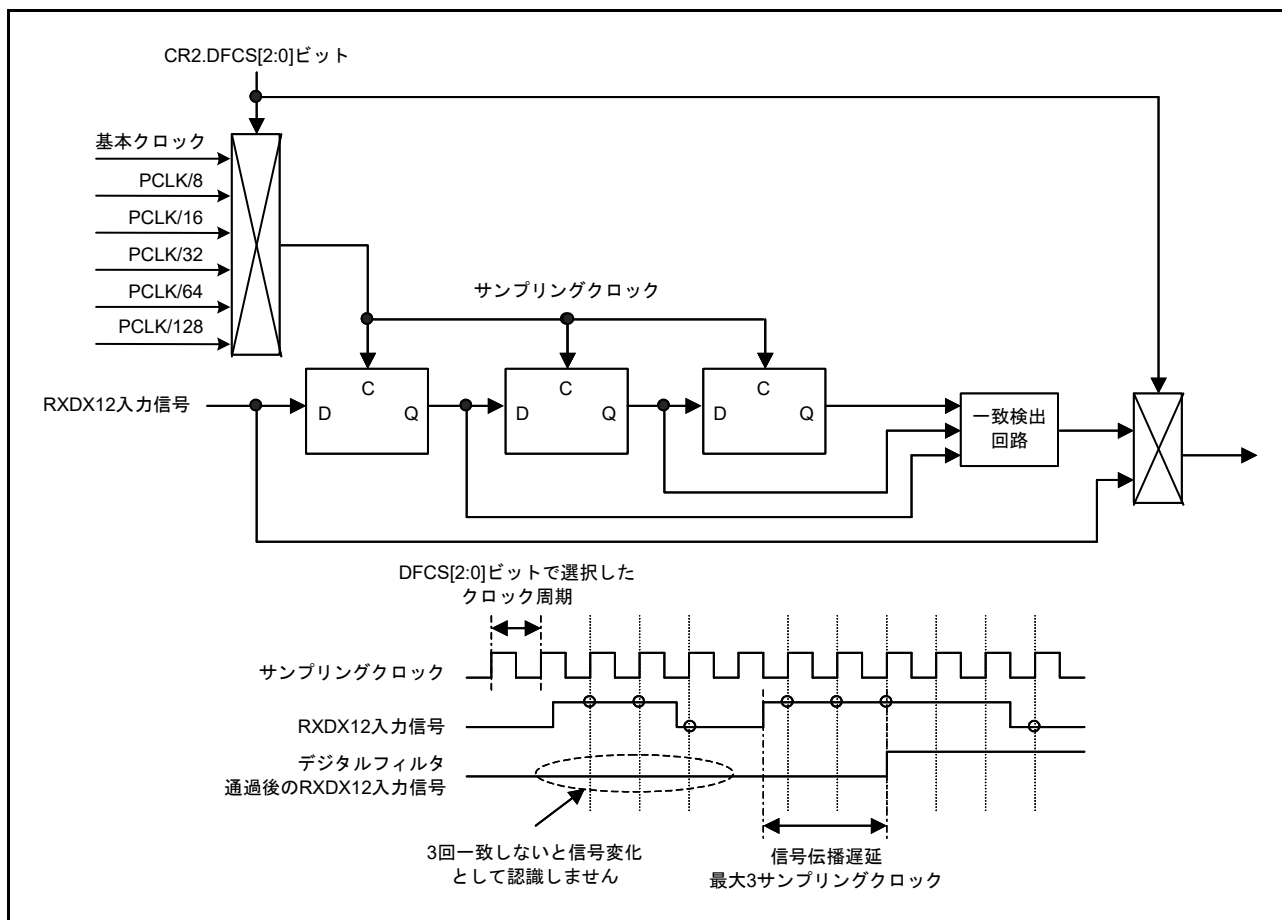


図 33.69 デジタルフィルタ機能の動作例

33.10.6 ビットレート測定機能

RXDX12 端子から入力される信号の立ち上がり — 立ち下がり間または、立ち下がり — 立ち上がり間を測定する機能です。図 33.70 にビットレート測定機能の動作例を示します。

- (1) CR0.BRME ビットに“1”を書き込むとビットレート測定が有効となります。BRME ビットは、測定を行いたいときのみ“1”を設定してください。また、BRME ビットを“1”にしても Break Field 中は、ビットレートの測定動作を行いません。
- (2) Break Field Low width を検出後、RXDX12 端子の入力が High になると、ビットレート測定が開始します。
- (3) ビットレート測定開始後、RXDX12 端子から有効エッジ(立ち上がりエッジおよび立ち下がりエッジ)が入力されるとタイマはそのときのカウンタ値をリードバッファに保持し、カウンタをリロードします。ICR.AEDIE ビットを“1”にしている場合は、SCIX3 割り込みが発生します。TCNT、TPRE レジスタをリードすることで保持は解除されます。
- (4) 有効エッジ間のカウンタ値からビットレートを算出し、SCI12 の設定を変更することで、ビットレートを調整することができます。Control Field 1 一致後、ビットレート測定機能を無効にする場合は CR0.BRME ビットに“0”を書き込んでください。

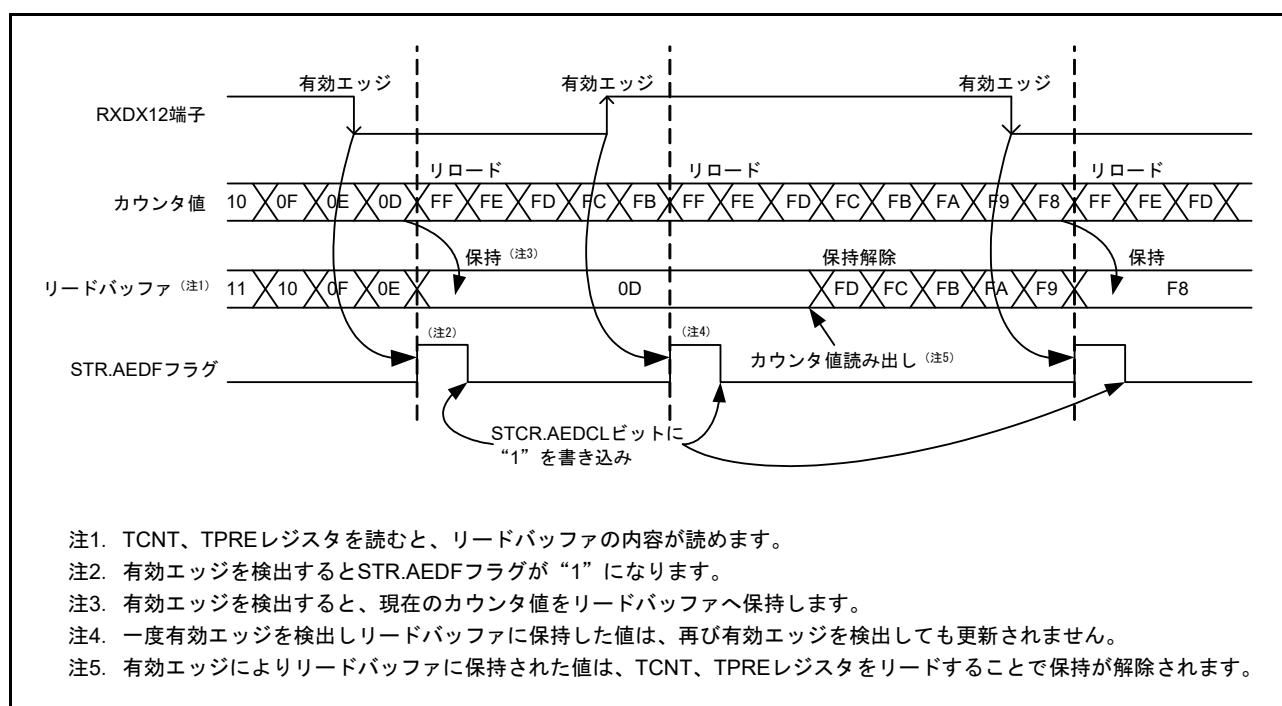


図 33.70 ビットレート測定機能動作例

33.10.7 RXDX12 受信データサンプリングタイミング選択機能

拡張シリアルモード制御部では、SCI12 の RXDX12 受信データのサンプリングタイミングを CR2.RTS[1:0] ビットにより、基本クロックの 8 クロック目の立ち上がり、10 クロック目の立ち上がり、12 クロック目の立ち上がりおよび 14 クロック目の立ち上がりから選択することができます。SCI12.SEMR.ABCS ビットが “1” の場合は PCLK の 4 クロック目の立ち上がり、5 クロック目の立ち上がり、6 クロック目の立ち上がりおよび 7 クロック目の立ち上がりから選択することができます。図 33.71 に RXDX12 受信データサンプリングタイミングを示します。

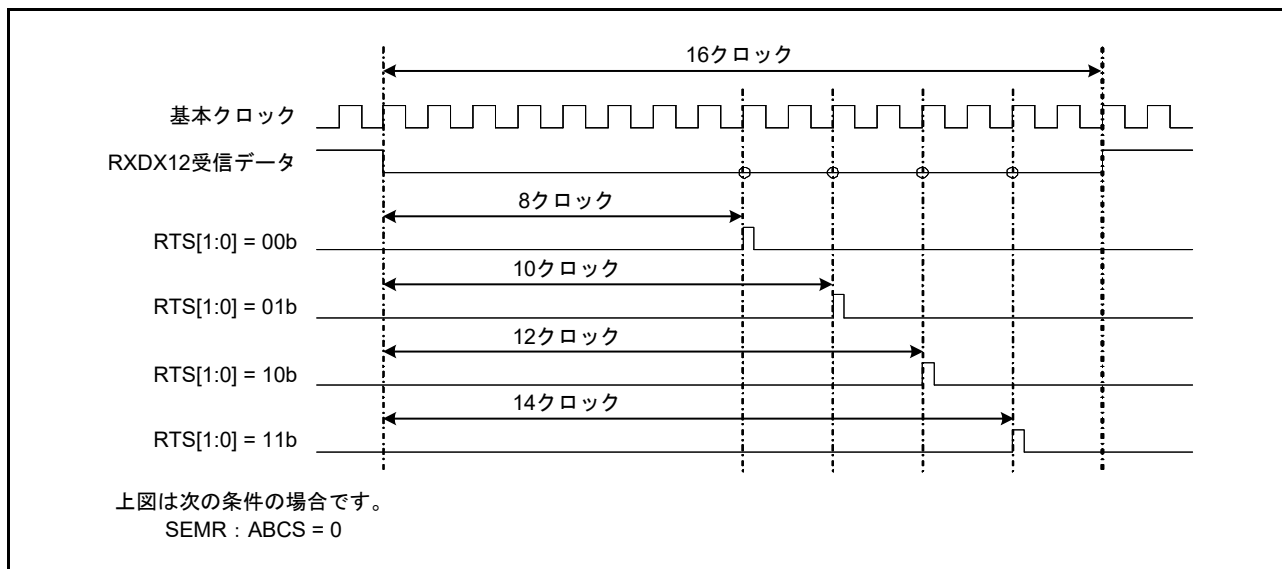


図 33.71 RXDX12 受信データサンプリングタイミング

33.10.8 タイマ

タイマには次の動作モードがあります。

(1) Break Field Low width 出力モード

Start Frame 送信時、Break Field Low width の Low を TXDX12 端子から出力するモードです。TMR.TOMS[1:0] ビットを“10b”に設定すると、Break Field Low width 出力モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、TXDX12 端子の出力を Low にし、カウントを開始します。タイマがアンダフローすると TXDX12 端子の出力を High にし、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。TCR.TCST ビットに“0”を書き込むと、TPRE レジスタおよび TCNT レジスタはリロード後カウントを停止します。Break Field Low width 出力完了後、タイマが再度アンダフローする前にカウントを停止してください。図 33.72 に Break Field Low width 出力モードの動作例を示します。

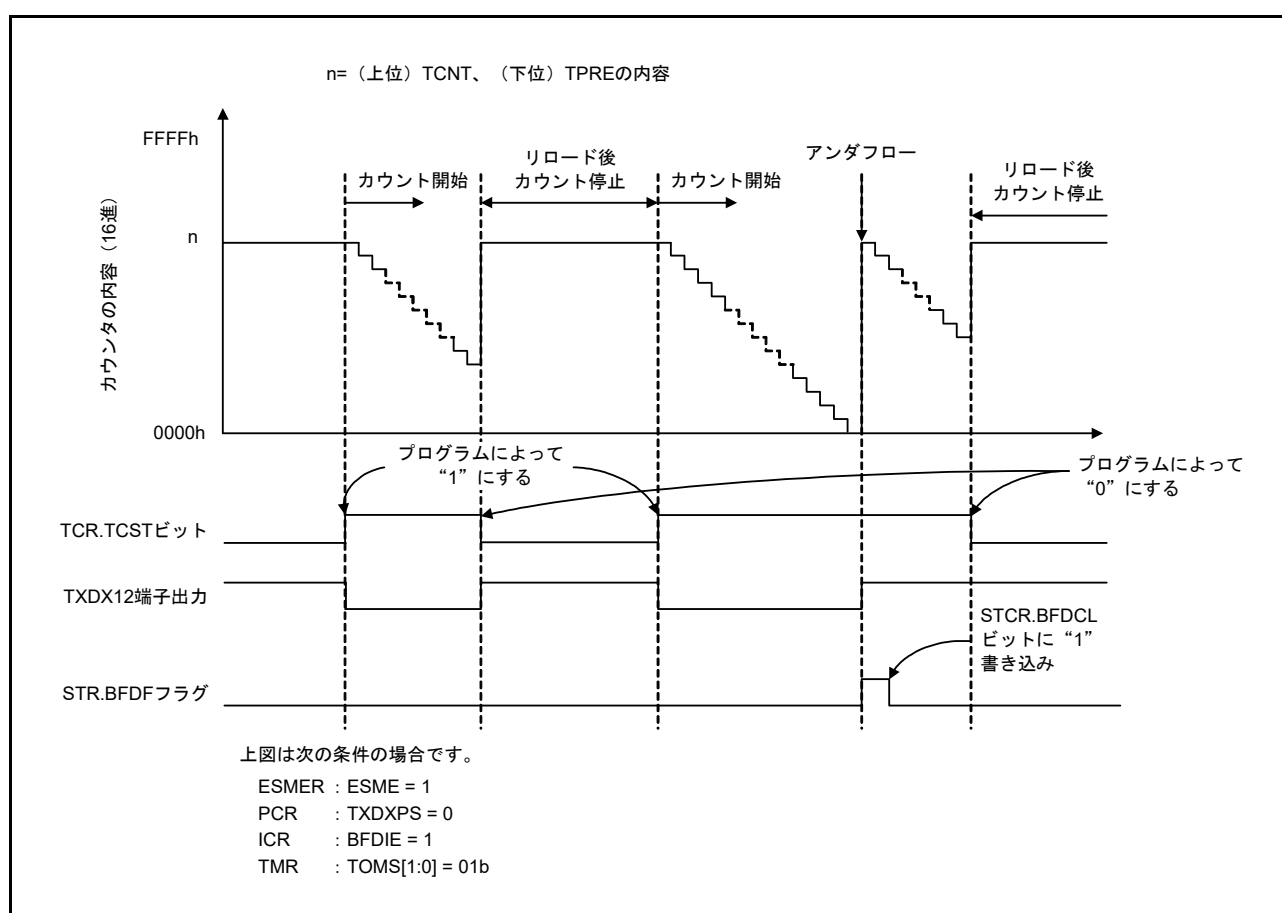


図 33.72 Break Field Low width 出力モードの動作例

(2) Break Field Low width 判定モード

Start Frame 受信時、RXDX12 端子から入力される Break Field Low width 判定するモードです。TMR.TOMS[1:0] ビットを“01b”に設定すると、Break Field Low width 判定モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、Break Field Low width 判定可能状態になります。RXDX12 端子から Low が入力されると判定を開始します。RXDX12 端子から High が入力されると TPRE レジスタおよび TCNT レジスタはリロードを行い Break Field Low width 判定可能状態になります。Break Field Low width 判定中にタイマがアンダフローすると STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。データ通信中にタイマがアンダフローし、割り込みが発生することが問題となる場合は、Break Field Low width 判定後、タイマを停止してください。図 33.73 に Break Field Low width 判定モードの動作例を示します。

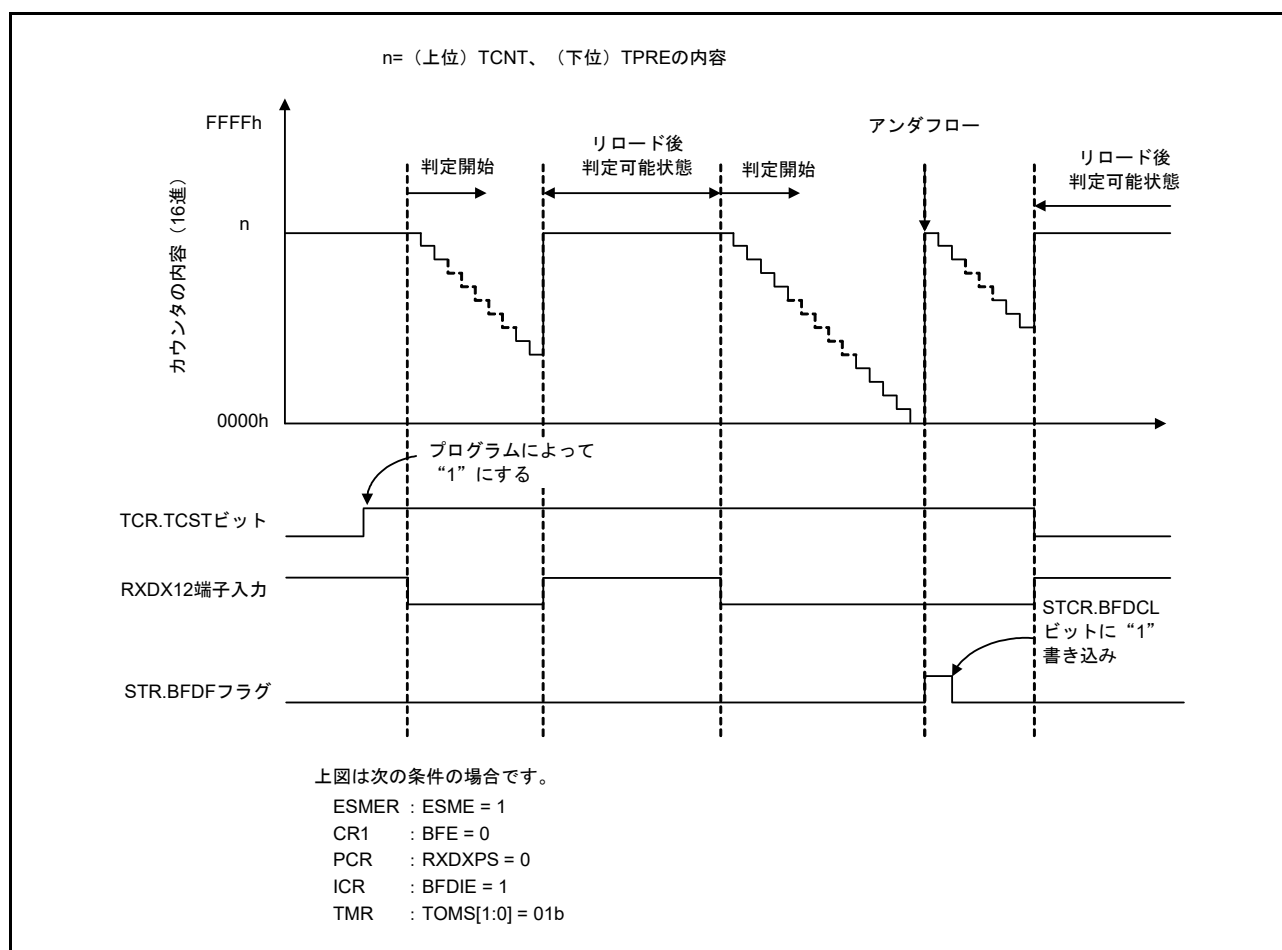


図 33.73 Break Field Low width 判定モードの動作例

(3) タイマモード

内部クロックをカウントクロックソースとしてカウントするモードです。TMR.TOMS[1:0] ビットを“00b”に設定すると、タイマモード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、カウントを開始し、TCST ビットに“0”を書き込むとカウントを停止します。TPRE レジスタに入力するカウントクロックソースの周期で TPRE レジスタがダウンカウントします。TPRE レジスタのアンダフローをカウントクロックソースにして、TCNT レジスタがダウンカウントします。タイマがアンダフローすると STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。

33.11 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 33.74 に示します。ノイズフィルタは2段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて3回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度3回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDnの入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期 (SEMR.ABCS = 0 のとき1ビット期間の1/16、SEMR.ABCS = 1 のとき1ビット期間の1/8) となります。

簡易 I²C モード時は SSDAn、SSCLn の入力信号に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ポーレートジェネレータのクロックソースの1/2/4/8分周クロックから SNFR.NFCS[2:0] ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.TE ビット = 0、SCR.RE ビット = 0 にした場合、ノイズフィルタのフリップフロップはすべて“1”に初期化され、受信再開時の入力データが“1”の場合は一致検出として内部信号に伝えられます。“0”の場合は3回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

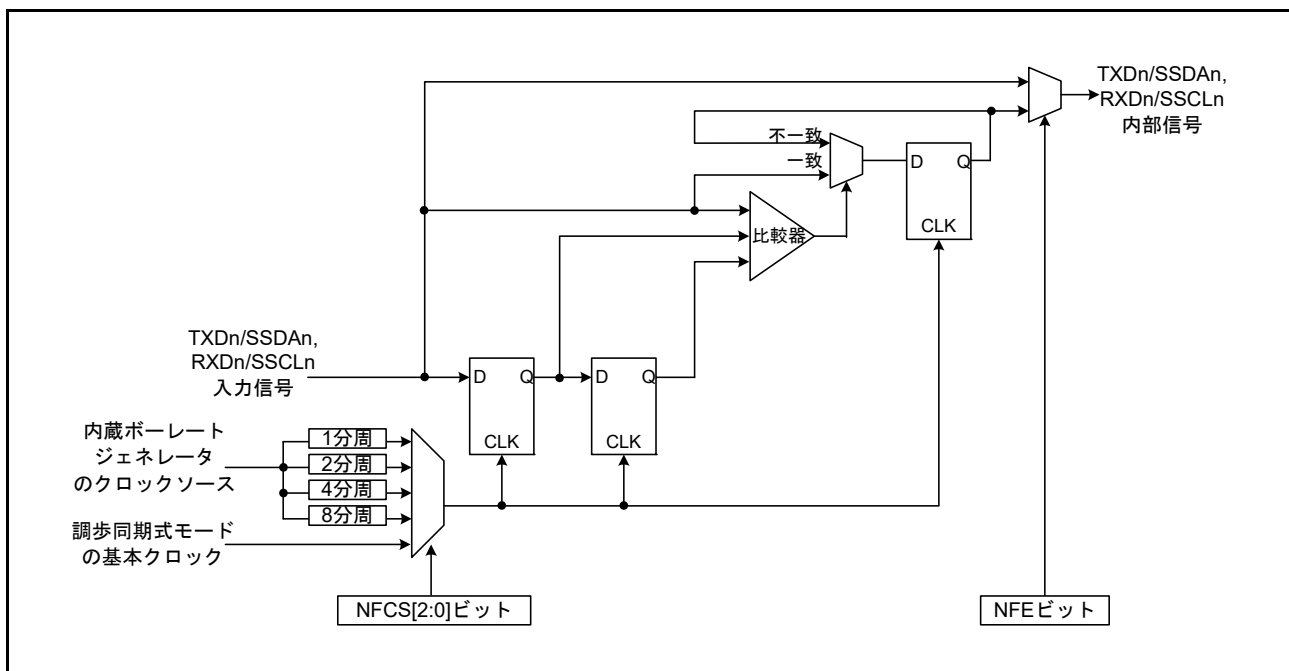


図 33.74 デジタルノイズフィルタ回路のブロック図

33.12 割り込み要因

33.12.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みに関しては、割り込みコントローラの割り込みステータスフラグが“1”のときに割り込み発生条件が成立しても、SCI は割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

割り込みコントローラの割り込みステータスフラグが“0”になると、SCI は割り込みコントローラに対して保持していた割り込み要求を出力します。その後、保持していた割り込み要求をクリアします。なお、内部で保持している割り込み要求は、対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を“0”にすることでクリアできます。

33.12.2 調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み

表 33.31 に調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR レジスタのイネーブルビットにより独立に許可することができます。

SCR.TIE ビットが“1”のとき、送信データが TDR レジスタ、または TDRL レジスタ（注1）から TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを“1”にした後で SCR.TE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に“1”にすることも発生します。TXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが“0”の状態でも SCR.TE ビットを“1”にした場合、および SCR.TE ビットが“1”の状態でも SCR.TIE ビットを“1”にした場合には発生しません。（注2）

SCR.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタ、または TDRL レジスタ（注1）に次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを“1”にしてから TDR レジスタ、または TDRL レジスタ（注1）に送信データをライトするまでの間は、SSR.TEND フラグは“1”を保持しており、SCR.TEIE ビットを“1”にすると TEI 割り込み要求が発生します。

TDR レジスタ、または TDRL レジスタ（注1）にデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが“1”のとき、受信データが RDR レジスタ、または RDRL レジスタ（注1）に格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

SCR.RIE ビットが“1”のとき、SSR レジスタの ORER、FER、PER フラグのいずれかが“1”になると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR レジスタの ORER、FER、PER フラグをすべてクリアすることにより ERI 割り込み要求を取り下げることができます。

注 1. 調歩同期式モードかつデータ長 9 ビットを選択した場合

注 2. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

表 33.31 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位
ERI	受信エラー	ORER, FER, PER	不可能	不可能	高 ↑ 低
RXI	受信データフル	RDRF	可能	可能	
TXI	送信データエンプティ	TDRE	可能	可能	
TEI	送信終了	TEND	不可能	不可能	

33.12.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 33.32 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 33.32 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位
ERI	受信エラー、エラーシグナル検出	ORER, PER, ERS	不可能	不可能	高 ↑ 低
RXI	受信データフル	—	可能	可能	
TXI	送信データエンプティ	TEND	可能	可能	

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”になると、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「18. DMA コントローラ (DMACA)」、「19. データトランスファコントローラ (DTCa)」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC または DMAC は起動されず、代わりに CPU に対し ERI 割り込み要求を生成しますのでエラーフラグをクリアしてください。

33.12.4 簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 33.33 の割り込み要因があります。STI 割り込みは、送信終了割り込み (TEI) 要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。

簡易 I²C モードも、DTC または DMAC を使って送受信を行うことができます。

SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCLn 端子立ち下がりで、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。また、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち下がりで、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。

SIMR2.IICINTM ビットが“0”のとき、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち上がりで、SSDAn 端子入力が Low だと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力が High だと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データまたは送信データの転送が可能です。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 33.33 SCI 割り込み要因

名称	割り込み要因		割り込みフラグ	DTCの起動	DMACの起動	優先順位
	IICINTMビット=0	IICINTMビット=1				
RXI	ACK検出	受信	—	可能	可能	高 ↑ 低
TXI	NACK検出	送信	—	可能(注1)	可能(注1)	
STI	開始条件、再開条件、 停止条件生成終了		IICSTIF	不可能	不可能	

注1. SIMR2.IICINTMビット=1 (受信割り込み、送信割り込みを選択) の場合のみDTC、DMACの起動が可能です。

33.12.5 拡張シリアルモード制御部の割り込み要求

SCIH の拡張シリアルモード制御部が生成する割り込み要求には、SCIX0 割り込み (Break Field Low width 検出)、SCIX1 割り込み (Control Field 0 一致、Control Field 1 一致、プライオリティインタラプトビット検出)、SCIX2 割り込み (バス衝突検出) および SCIX3 割り込み (有効エッジ検出) の計 6 種類があります。各割り込み要因が発生するとステータスフラグが“1”になります。表 33.34 に各割り込み要求の内容を示します。

表 33.34 拡張シリアルモード制御部の割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
SCIX0 割り込み (Break Field Low width 検出)	BDFD	<ul style="list-style-type: none"> • タイマに設定した期間より長い Break Field Low width を検出したとき • タイマに設定した期間、Break Field Low width 出力が完了したとき • タイマがアンダフローしたとき
SCIX1 割り込み (Control Field 0 一致)	CF0MF	Control Field 0 の受信データが CF0DR に設定したデータと一致したとき
SCIX1 割り込み (Control Field 1 一致)	CF1MF	Control Field 1 の受信データが PCF1DR または SCF1DR に設定したデータと一致したとき
SCIX1 割り込み (プライオリティ インタラプトビット検出)	PIBDF	プライオリティインタラプトビットに指定したビットのデータが PCF1DR に設定したデータと一致したとき
SCIX2 割り込み (バス衝突検出)	BCDF	TXDX12 端子の出力と RXDX12 端子の入力をバス衝突検出クロックでサンプリングし、3 回連続不一致が発生するとき
SCIX3 割り込み (有効エッジ検出)	AEDF	ビットレート測定中、有効エッジを検出したとき

33.13 イベントリンク機能

SCI5は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定していたモジュールを動作させることができます。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力することができます。また、割り込みステータスフラグが“1”の状態でもイベントは出力可能です。

(1) エラー (受信エラー・エラーシグナル検出) イベント出力

- 受信時にパリティエラーが発生して異常終了したことを示します。
- 受信時にフレーミングエラーが発生して異常終了したことを示します。
- 受信時にオーバランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで送信時にエラーシグナルを検出したことを示します。

(2) 受信データフルイベント出力

- 受信データが受信データレジスタ (RDR レジスタ、または RDRL レジスタ) にセットされたことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“0”のとき、ACK を検出したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCL5 端子立ち下がりを検出したことを示します。
- 簡易 I²C モードのマスタ送信かつ SIMR2.IICINTM ビットが“1”のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

(3) 送信データエンプティイベント出力

- SCR.TE ビットが“0”から“1”に変化したことを示します。
- 送信データレジスタ (TDR レジスタ、または TDRL レジスタ) から送信シフトレジスタ (TSR レジスタ) に送信データを転送したことを示します。
- スマートカードインタフェースモードで送信が完了したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“0”のとき、NACK を検出したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“1”のとき、9 ビット目の SSCL5 端子立ち下がりを検出したことを示します。

(4) 送信終了イベント出力

- 送信が完了したことを示します。
- 簡易 I²C モードで開始条件、再開条件、停止条件の生成が完了したことを示します。

33.14 使用上の注意事項

33.14.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) とモジュールストップコントロールレジスタ C (MSTPCRC) により、SCI の動作を禁止 / 許可することができます。リセット後の値では、SCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

33.14.2 ブレークの検出と処理について

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すことでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて Low になりますので、SSR.FER フラグが“1” (フレーミングエラーの発生あり) になり、また SSR.PER フラグも“1” (パリティエラーの発生あり) になる可能性があります。SEMR.RXDESEL ビットが“0” のとき、SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを“0” (フレーミングエラーの発生なし) にしても、再び FER フラグが“1” になりますので注意してください。SEMR.RXDESEL ビットが“1” のとき、SCI は、SSR.FER フラグを“1” にし、次のフレームのスタートビット検出待ちの状態を受信動作を停止します。このとき SSR.FER フラグを“0” にすれば、ブレーク中は SSR.FER フラグの“0” を保持します。RXDn 端子が High になりブレークが終了した後、最初の RXDn 端子の立ち下がりでスタートビットの始まりを検出し、受信動作を開始します。

33.14.3 マーク状態とブレークの送付

SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき、TXDn 端子はハイインピーダンスになります。このとき TXDn 端子を強制的にマーク / スペース状態にするには、I/O ポート関連のレジスタを設定して TXDn 端子を汎用出力ポートに切り替えてください。

SCR.TE ビットを“1” (シリアル送信動作を許可) にするまで、通信回線をマーク状態 (“1” の状態) にするためには、対応する PODR レジスタのビットを“1” にして、汎用出力ポートから High を出力します。通信を開始する場合、TE ビットを“1” にしてから PMR レジスタの対応するビットを“1” にしてください。

データ送信時にブレーク (一定期間以上連続したスペース) を送付したいときは、対応する PODR レジスタのビットを“0” (Low 出力) にした後、PMR レジスタの対応するビットを“0” (汎用入出力ポート) にします。TE ビットを“0” にする場合、この後実施してください。TE ビットを“0” にすると現在の送信状態とは無関係に送信部は初期化されます。

33.14.4 受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR.ORER) が“1” になった状態では、TDR レジスタにデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを“0” にしておいてください。また、SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても受信エラーフラグは“0” になりませんので注意してください。

33.14.5 TDR レジスタへのライトについて

TDR、TDRH、TDRL レジスタへのデータのライトを行うことができます。しかし、TDR、TDRH、TDRL レジスタに送信データが残っている状態で新しいデータを TDR、TDRH、TDRL レジスタにライトすると、TDR、TDRH、TDRL レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって、TDR、TDRH、TDRL レジスタへの送信データのライトは、TXI 割り込み要求に

よって行ってください。

33.14.6 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

(1) 送信開始時

CPU、DMAC または DTC による TDR レジスタの更新後、PCLK で 5 クロック以上経過した後に送信クロックを入力してください (図 33.75 参照)。

(2) 連続送信時

- ビット7の送信クロックの立ち上がり以前に、TDR レジスタまたは TDRL レジスタに次の送信データを書き込んでください (図 33.75 参照)。
- ビット7送信開始以降に TDR レジスタを更新する場合は、同期クロックが Low の期間に TDR レジスタを更新し、かつビット7の送信クロックの High 幅を、4 PCLK 以上にしてください (図 33.75 参照)。

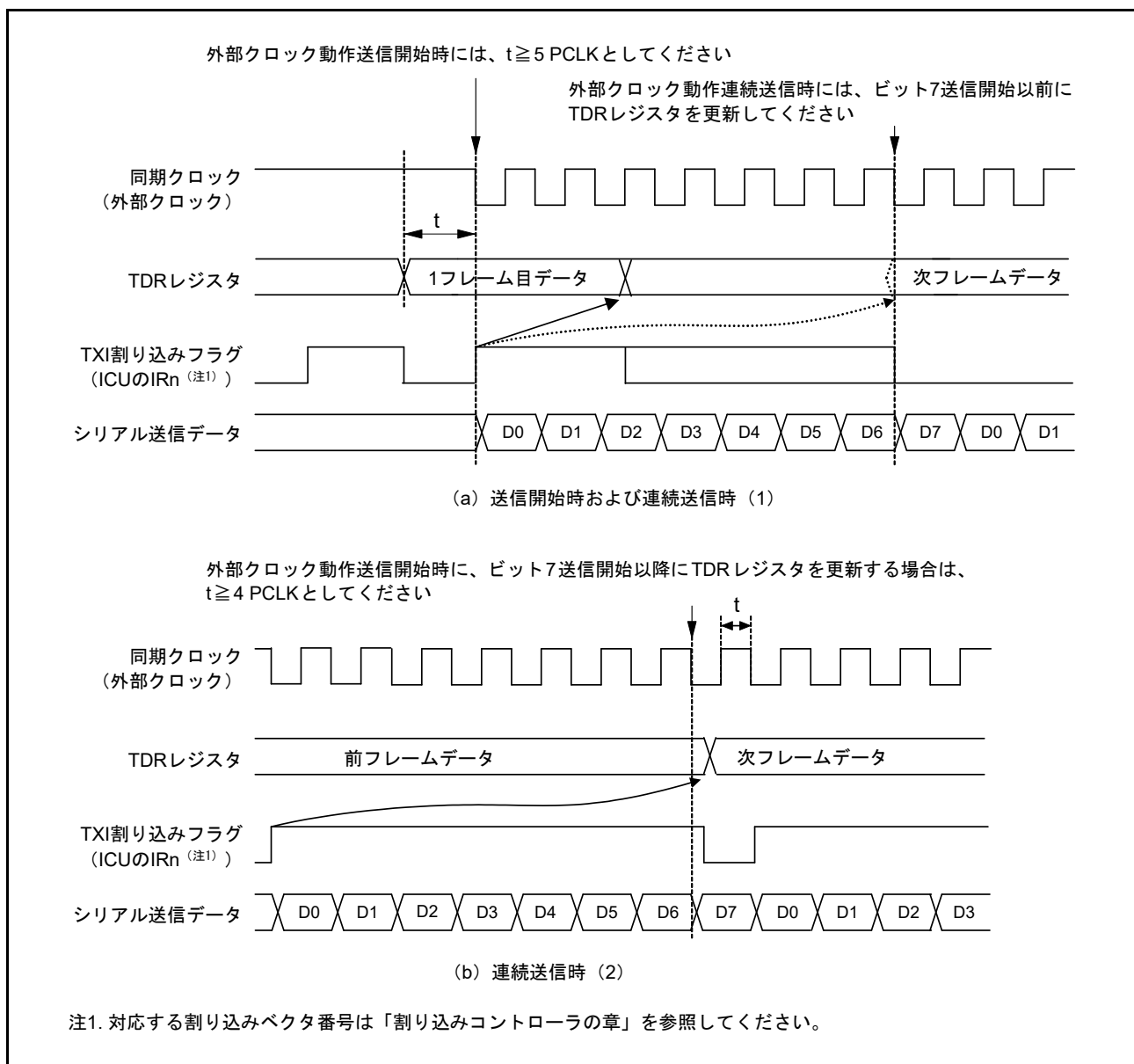


図 33.75 クロック同期式モード送信での外部クロック使用の制約事項

33.14.7 DMAC または DTC 使用上の制約事項

DMAC または DTC により、RDR、RDRH、RDRL レジスタのリードを行うときは起動要因を当該 SCI の受信データフル割り込み (RXI) に設定してください。

33.14.8 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) が“1”のときは、動作許可 (SCR.TE ビットを“1”に設定、または SCR.RE ビットを“1”に設定) 前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「15. 割り込みコントローラ (ICUb)」を参照してください。

- 通信が停止していること (SCR.TE ビットまたは SCR.RE ビットが“0”となっていること) を確認
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を“0”に設定
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を読み出し、“0”を確認
- 割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) に“0”を設定

33.14.9 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態への遷移、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えた後、動作を停止 (SCR.TIE ビット=0、TE ビット=0、TEIE ビット=0) してから行ってください。TE ビットを“0”にすることによって、TSR レジスタおよび SSR.TEND フラグは初期化されます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後は低消費電力へ遷移前のレベルを出力します。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態を解除した後、送信モードを変えないで送信する場合は、TE ビット=1 に設定し、SSR レジスタリード→TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 33.76 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。図 33.77、図 33.78 にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

また、DTC/DMA 転送による送信からモジュールストップ状態への遷移、または、ソフトウェアスタンバイモード遷移は、動作を停止 (TE ビット=0) してから行ってください。解除後、DTC/DMAC による送信を再開する場合は、TE ビット=1、TIE ビット=1 に設定すると TXI 割り込みフラグが立ち、DTC/DMAC による送信が始まります。

(2) 受信

モジュールストップ状態への遷移または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止 (SCR.RE ビット=0) してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE ビット=1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 33.79 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。

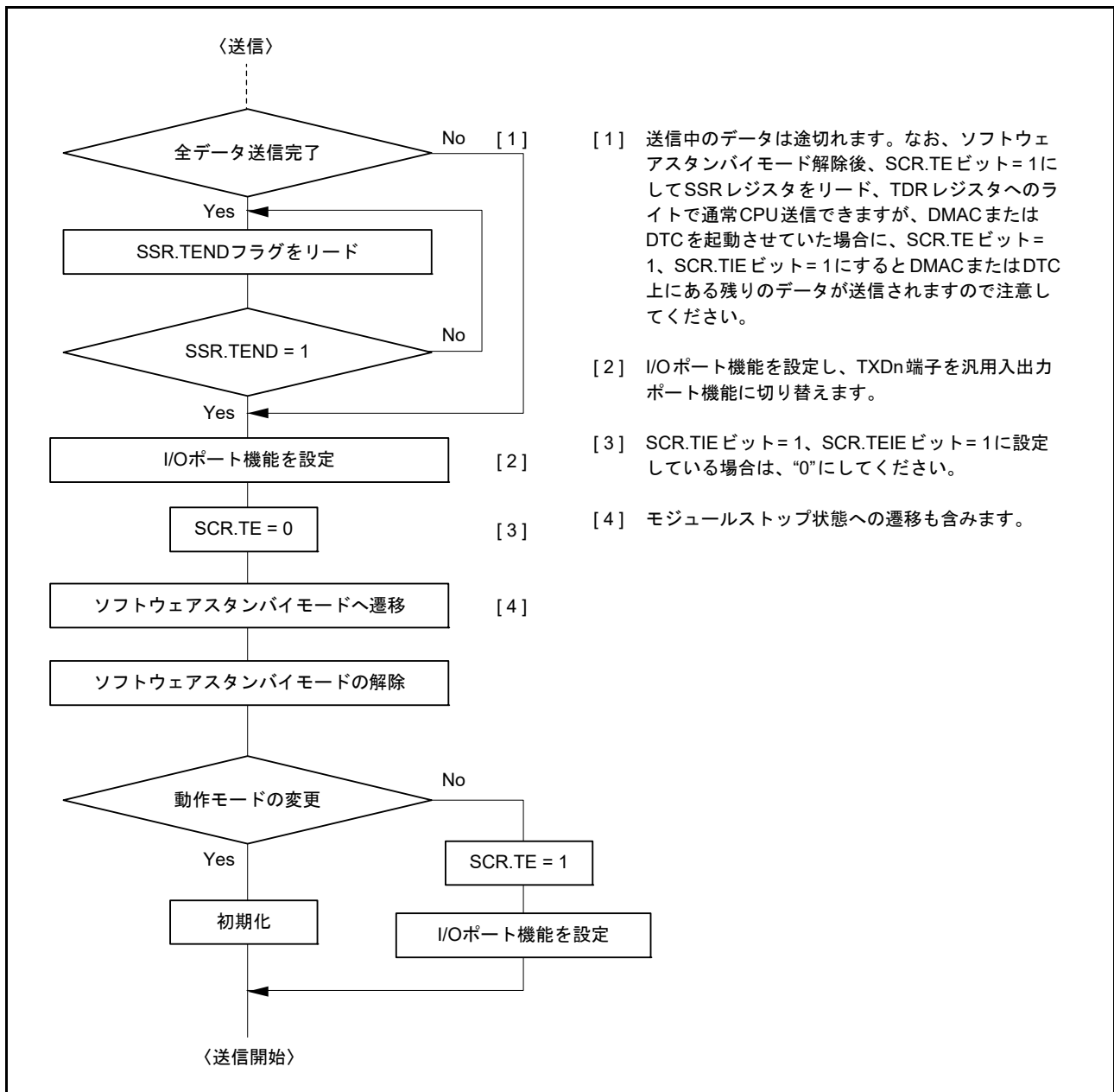


図 33.76 送信時のソフトウェアスタンバイモード遷移フローチャートの例

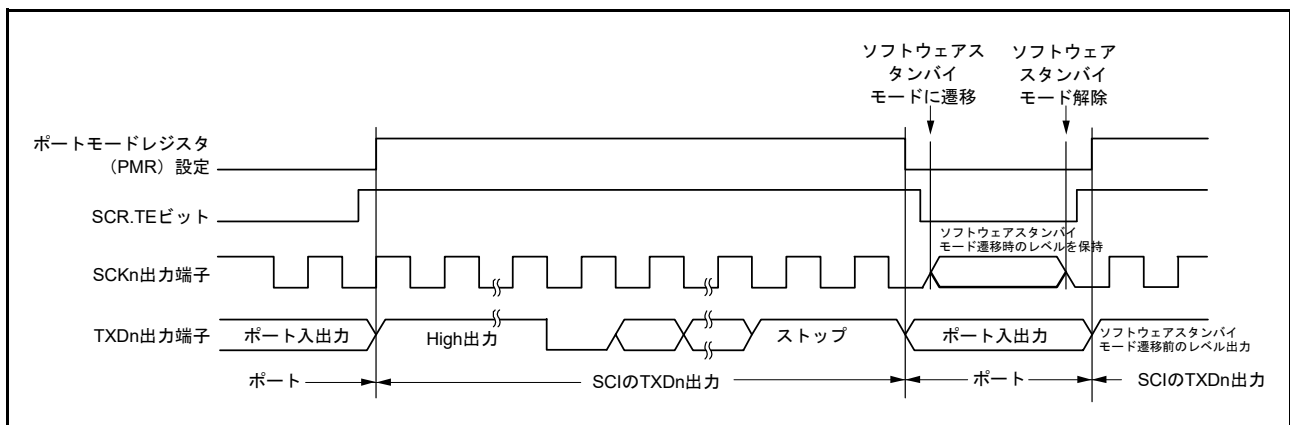


図 33.77 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

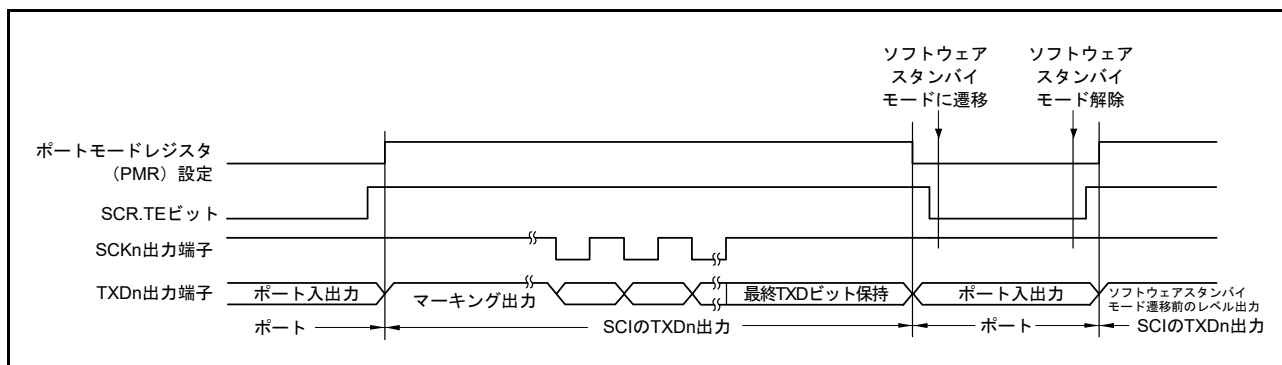


図 33.78 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

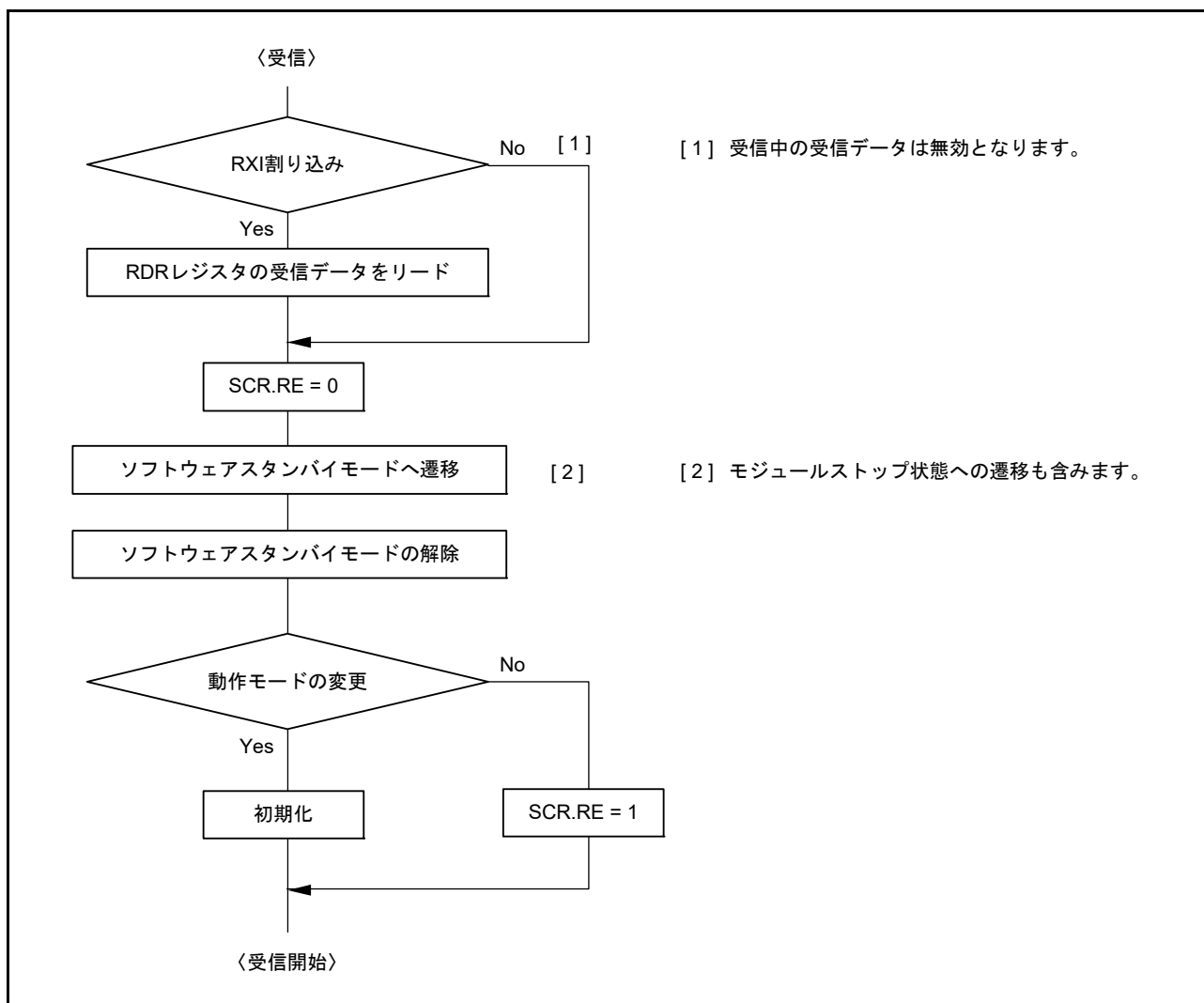


図 33.79 受信時のソフトウェアスタンバイモード遷移フローチャートの例

33.14.10 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードおよび簡易 SPI モード時、外部クロック SCKn への入力信号は、High 幅および Low 幅を 2 PCLK 以上、周期を 6 PCLK 以上としてください。

33.14.11 簡易 SPI モードの制約事項

(1) マスタモード

- SPMR.SSE ビットが“1”のとき、SPMR.CKPH、CKPOL ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ（プルダウン）してください。
SCR.TE ビットを“0”にしたときにクロック線がハイインピーダンスになるのを防ぐ、また SCR.TE ビットを“0”から“1”にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードで SPMR.SSE ビットが“0”のときは、SCR.TE ビットを“0”にしてもクロック線はハイインピーダンスになりませんのでプルアップ（プルダウン）は不要です。
- クロック遅れあり設定 (SPMR.CKPH ビット = 1) の場合、図 33.80 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (RXI) が発生します。このとき、SCR レジスタの TE、RE ビットを SCKn 端子の最終クロックエッジより前に“0”に設定すると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタ時、送受信キャラクタの途中でモードフォルトエラーが発生すると、SSn# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

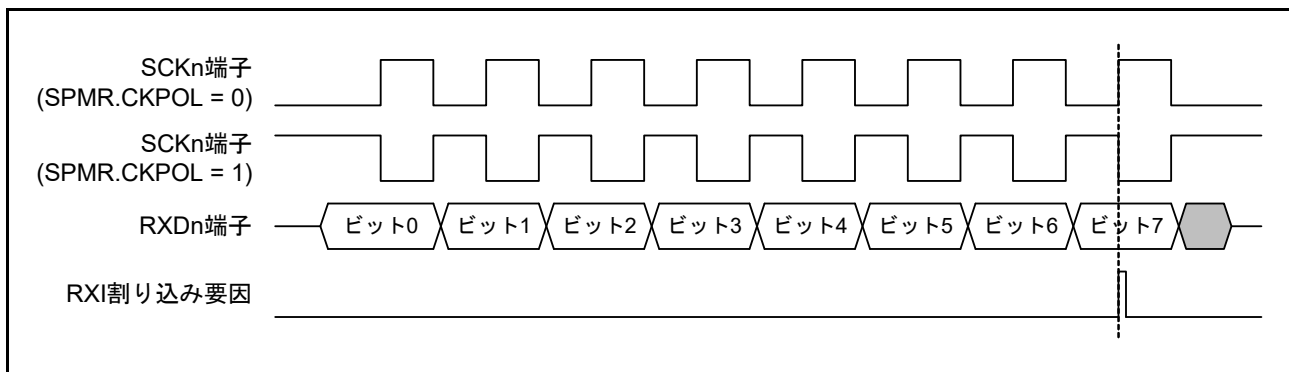


図 33.80 簡易 SPI モード (クロック遅れあり) RXI 割り込み発生タイミング

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから外部クロック入力開始まで 5 PCLK 以上の時間を確保し、また SSn# 端子への Low 入力から外部クロック入力開始までについても 5 PCLK 以上の時間を確保してください。
- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR レジスタの TE、RE ビットを“0”にし、再設定後、1 バイト目から転送をやり直してください。

33.14.12 拡張シリアルモード制御部の使用上の制約事項 1

PCR.SHARPS ビットを“1”にした場合、TXDX12/RXDX12 端子は以下のときのみ出力となります。

- SCIH タイマを Break Field Low width 出力モードで TCR.TCST ビットを“1”にしたとき
(TCR.TCST ビットを“1”にし、Low が出力されるまで、最大でタイマカウントクロックソースの 1 サイクルの High が出力されます。)
- SCIH2.SCR.TE ビットが“1”のとき

33.14.13 拡張シリアルモード制御部の使用上の制約事項 2

拡張シリアルモードを有効にした場合も、SCIg の割り込み要求は生成されます。スタートフレーム受信中は SCIH が SCIg の割り込み要求イベントを使用するため、SCIg の割り込み要求は使用しないでください。この対応として下記 2 つがあります。なお、受信エラーを検出したときは、図 33.81 のフローチャートの例に従って SCIg のエラーフラグのクリアおよび SCIH 制御部を初期化してください。

- (1) SCIg の SCR.RIE ビットを“0”にし、割り込み要求出力を禁止してください。この場合受信エラーが発生した場合に ERI 割り込みが発生しないため、スタートフレームの受信終了タイミングで、SCIg の SSR レジスタのエラーフラグを確認してください。スタートフレーム受信完了後インフォメーションフレームの第 1 バイト受信完了するまでの間に、SCIg の SCR.RIE ビットを“1”に切り替えてください。
- (2) SCIg の SCR.RIE ビットを“1”にし、ICU の RXI 割り込みを禁止し、ICU の ERI 割り込みを許可してください。スタートフレーム受信完了後インフォメーションフレームの第 1 バイト受信完了するまでの間に、ICU の RXI 割り込みに対応する IRn.IR フラグをクリアし、ICU の RXI 割り込みを許可に切り替えてください。

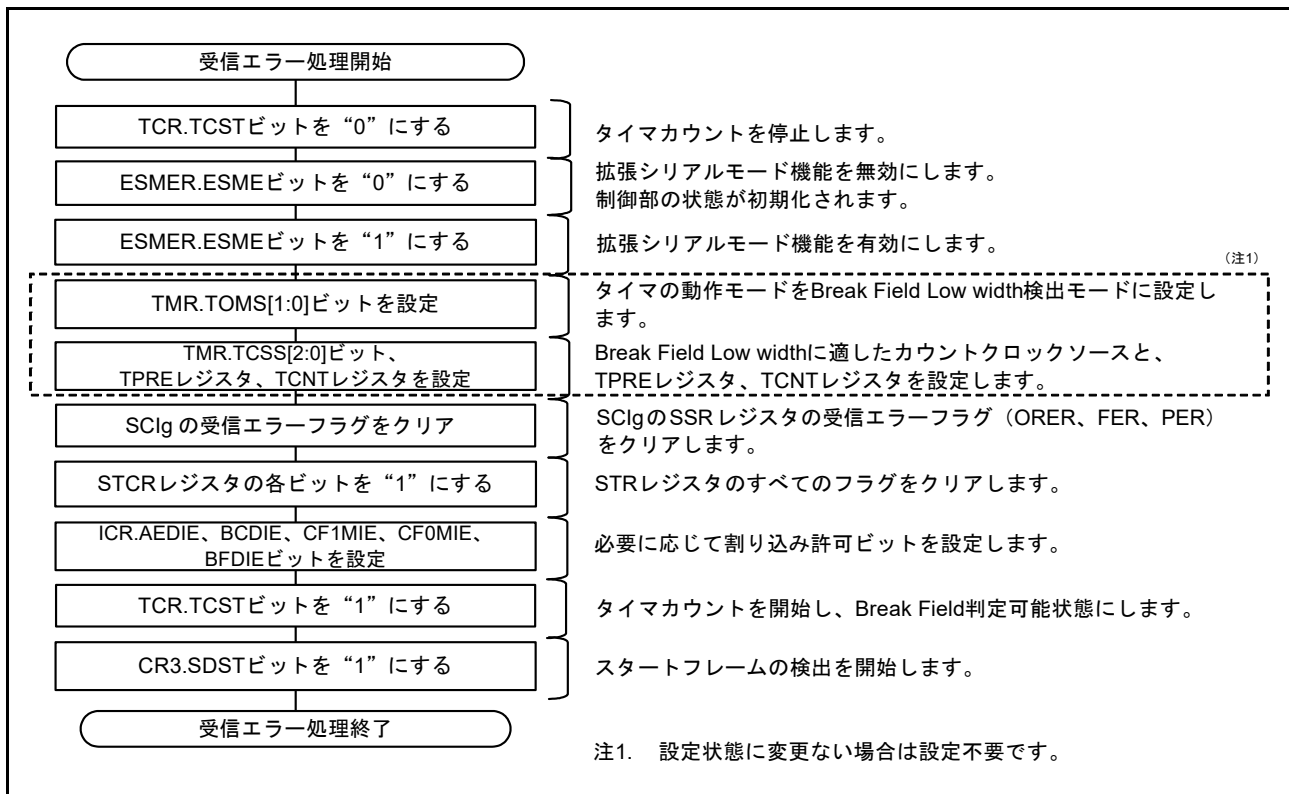


図 33.81 受信エラー処理のフローチャートの例 (スタートフレーム受信時)

33.14.14 トランスミットイネーブルビット (TE ビット) に関する注意事項

端子の機能を「TXDn」に設定した状態で、SCR.TE ビットを“0” (シリアル送信動作を禁止) にすると、端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- (1) TXDn ラインにプルアップ抵抗を接続する。
- (2) SCR.TE ビットを“0”にする前に、端子の機能を「汎用入出力ポート、出力」に変更する。
また、SCR.TE ビットを“1”にしてから、端子の機能を「TXDn」に変更する。

33.14.15 調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項

調歩同期式モードでは、SCR.RE ビットを“0”にしてから RTS 信号生成回路が停止するまでに、PCLK で 1 サイクル必要です。

RE ビットを“0”にしてから RDR (または RDRL) レジスタを読み出す場合は、これら 2 つの処理が連続して行われないように、RE ビットが“0”になったのを確認してから RDR (または RDRL) レジスタを読み出してください。

34. IrDA インタフェース

IrDA インタフェースは SCI5 と連携して IrDA (Infrared Data Association) 規格バージョン 1.0 に基づく IrDA 通信波形の送受信を実現します。

本章に記載している PCLK とは PCLKB を指します。

34.1 概要

IRCR レジスタの IRE ビットで IrDA 機能を有効にすると、SCI5 の TXD5, RXD5 信号は IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行います (IRTXD5/IRRXD5 端子)。これを赤外線送受信トランスミッタ/レシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現できます。

IrDA 規格バージョン 1.0 システムでは、9600bps の転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることができます。IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートはソフトウェアにより、設定を変更してください。

図 34.1 に IrDA と SCI5 の連携イメージのブロック図を示します。

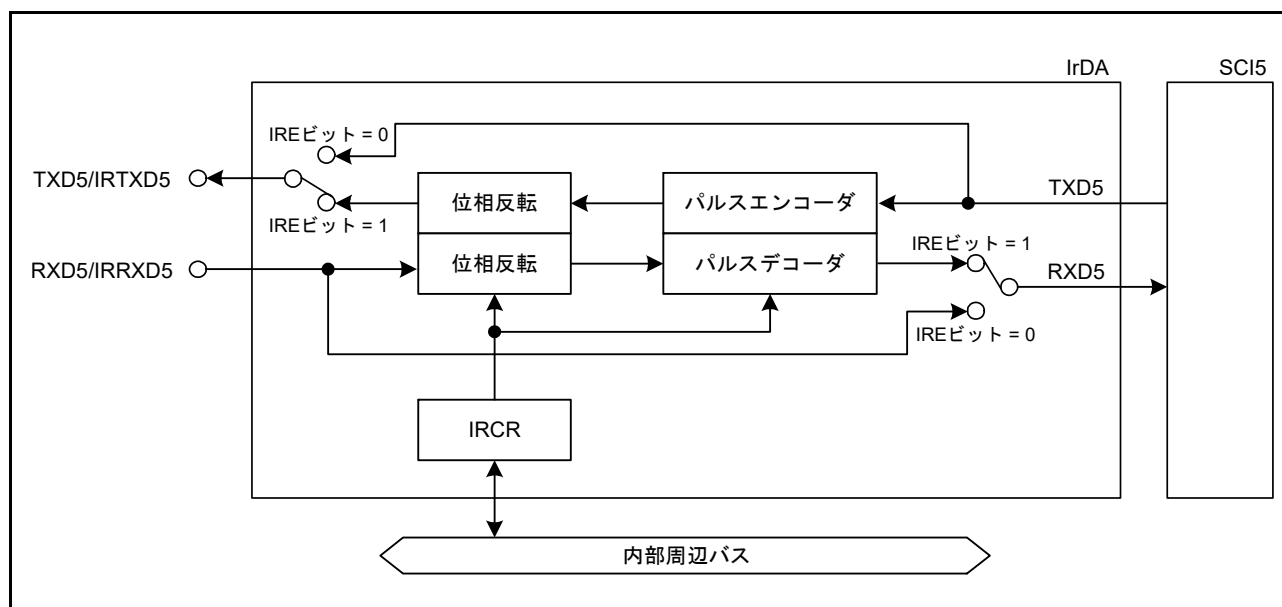


図 34.1 IrDA と SCI5 の連携イメージのブロック図

表 34.1 IrDA のインタフェースの入出力端子

端子名	入出力	機能
IRTXD5	出力	送信データ出力端子
IRRXD5	入力	受信データ入力端子

34.2 レジスタの説明

34.2.1 IrDA 制御レジスタ (IRCR)

アドレス IRDA.IRCR 0008 8410h

	b7	b6	b5	b4	b3	b2	b1	b0
	IRE	IRCKS[2:0]		IRTXIN V	IRRXIN V	—	—	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	IRRXINV	IrRXデータ極性切り替えビット	0: IRRXD5入力をそのまま受信データとして使用 1: IRRXD5入力を反転して受信データとして使用	R/W
b3	IRTXINV	IrTXデータ極性切り替えビット	0: 送信データをそのまま IRTXD5出力 1: 送信データを反転して IRTXD5出力	R/W
b6-b4	IRCKS[2:0]	IrDA出力パルス幅選択ビット	b6 b4 0 0 0: B × 3/16 (B = ビット周期) 0 0 1: PCLK/2 0 1 0: PCLK/4 0 1 1: PCLK/8 1 0 0: PCLK/16 1 0 1: PCLK/32 1 1 0: PCLK/64 1 1 1: PCLK/128	R/W
b7	IRE	IrDA有効ビット	0: シリアル入出力端子は、通常のシリアル機能として動作 1: シリアル入出力端子は、IrDA機能として動作	R/W

注. モジュールストップ状態、スリープモード、ディープスリープモード、ソフトウェアスタンバイモードではIRCRレジスタの値は保持されます。

IRRXINV ビット (IrRX データ極性切り替えビット)

IrRXD 入力のロジックレベルの反転を指定します。

IRRXINV = 0 のとき、IrRXD 入力をそのまま受信データとして使用します。

IRRXINV = 1 のとき、IrRXD 入力を反転して受信データとして使用します。

本ビットは、IRE ビットが“0”のとき、またはIRE ビットを“1”にすると同時に設定してください。

IRTXINV ビット (IrTX データ極性切り替えビット)

IrTXD 出力のロジックレベルの反転を指定します。

IRTXINV = 0 のとき、送信データをそのまま IrTXD 出力し、IRCKS で指定したパルス幅のハイレベルパルスとなります。

IRTXINV = 1 のとき、送信データを反転して IrTXD 出力し、IRCKS で指定したパルス幅のローレベルパルスとなります。

本ビットは、IRE ビットが“0”のとき、またはIRE ビットを“1”にすると同時に設定してください。

IRCKS[2:0] ビット (IrDA 出力パルス幅選択ビット)

IrDA 機能を有効にしたとき、IRTXD5 出力パルスエンコード時の High パルス幅を設定します。

IRCKS[2:0] ビットは下記の手順で設定してください。

- (1) IRCR レジスタで、IrDA 機能を設定 (IRE ビット = 1 (IrDA 許可)) する
- (2) IRCKS[2:0] ビットを一度、“000b” に設定する
- (3) SCI5 の SCI5.SCR.TE ビットを“1”(送信許可) にする

- (4) $18/(16 \times \text{SCI5 のビットレート})$ の時間を待つ
- (5) IRCKS[2:0] ビットを目的の値に設定する

IRE ビット (IrDA 有効ビット)

シリアル入出力端子を通常のシリアル機能にするか、IrDA 機能にするかを選択します。

34.3 動作説明

34.3.1 送信

送信時には、SCI5からの出力信号(UARTフレーム)はIrDAインタフェースによりIRフレームに変換されます(図34.2参照)。IRCR.IRTXINVビットが“0”でデータが“0”のとき、ビット周期の3/16のHighパルスが出力されます(初期値)。なお、Highパルス幅は、IRCR.IRCKS[2:0]ビットの設定値により変化させることもできます。規格では、Highパルス幅は、最小で1.41 μ s、最大でビット周期 \times (3/16+2.5%)、または(ビット周期 \times 3/16)+1.08 μ sと定められています。周辺モジュールクロックPCLKが20MHzのとき、表34.2に示すように、最小のHighパルス幅としては1.6 μ s(101b:PCLK/32)が設定可能です。また、データが“1”のときは、パルスは出力されません。

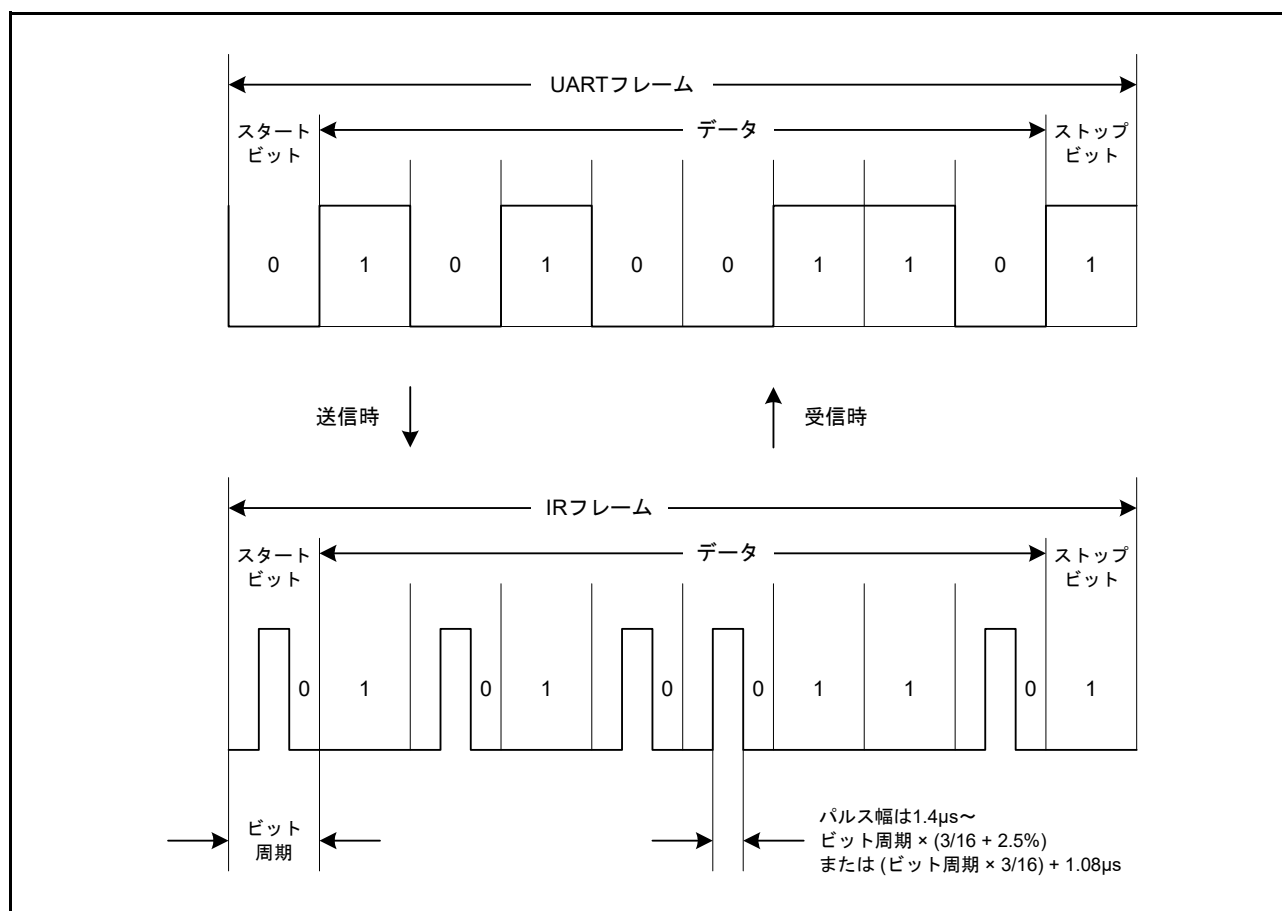


図 34.2 IrDA の送信 / 受信動作図

34.3.2 受信

受信時には、IRフレームのデータはIrDAインタフェースによりUARTフレームに変換され、SCI5に入力されます。IRCR.IRRXINVビットが“0”で、Highパルスが検出されたときにLowデータが入力され、1ビット期間中にパルスがない場合にはHighデータが入力されます。

34.3.3 High パルス幅の選択

IrDA 規格 (パルス幅は、最小 1.41 μ s、最大ビット周期 \times (3/16 + 2.5%) または (ビット周期 \times 3/16) + 1.08 μ s) に見合った波形にエンコードするために、IRCKS[2:0] ビットを設定する必要があります。IRCKS[2:0] ビットのデフォルト値は 000b (ビット周期 \times 3/16) であり、これよりパルス幅を短くする場合に設定可能な IRCKS[2:0] ビットの設定値と本モジュールの動作周波数、ビットレートの対応を表 34.2 に示します。

表 34.2 IRCKS[2:0] ビット設定 (IRCKS[2:0] = 000b (ビット周期 \times 3/16) よりパルス幅を狭くする場合)

周辺モジュール 動作周波数 PCLK (MHz)	ビットレート (bps) (上段)/ビット周期 \times 3/16 (μ s) (下段) (注1)					
	2400	9600	19200	38400	57600	115200
4.9152	011b-111b	011b-110b	011b-101b	011b-100b	011b-100b	011b
5	011b-111b	011b-110b	011b-101b	011b-100b	011b-100b	011b
6	100b-111b	100b-110b	100b-101b	100b	100b	— (注2)
6.144	100b-111b	100b-110b	100b-101b	100b	100b	— (注2)
7.3728	100b-111b	100b-110b	100b-101b	100b-101b	100b	— (注2)
8	100b-111b	100b-111b	100b-110b	100b-101b	100b	— (注2)
9.8304	100b-111b	100b-111b	100b-110b	100b-101b	100b-101b	100b
10	100b-111b	100b-111b	100b-110b	100b-101b	100b-101b	100b
12	101b-111b	101b-111b	101b-110b	101b	101b	— (注2)
12.288	101b-111b	101b-111b	101b-110b	101b	101b	— (注2)
14	101b-111b	101b-111b	101b-111b	101b-110b	101b	— (注2)
14.7456	101b-111b	101b-111b	101b-111b	101b-110b	101b	— (注2)
16	101b-111b	101b-111b	101b-111b	101b-110b	101b	— (注2)
16.9344	101b-111b	101b-111b	101b-111b	101b-110b	101b	— (注2)
17.2032	101b-111b	101b-111b	101b-111b	101b-110b	101b	— (注2)
18	101b-111b	101b-111b	101b-111b	101b-110b	101b	— (注2)
19.6608	101b-111b	101b-111b	101b-111b	101b-110b	101b-110b	101b
20	101b-111b	101b-111b	101b-111b	101b-110b	101b-110b	101b
25	110b-111b	110b-111b	110b-111b	110b	110b	— (注2)

注1. IrDAインタフェースでは、ビットレートの設定はできません。ビットレートの設定については、「33. シリアルコミュニケーションインタフェース (SCIg, SCIf)」を参照してください。

注2. ビット周期 \times 3/16 未満のパルス幅は設定できません。IRCKS[2:0] ビット = 000b としてください。

34.4 使用上の注意事項

34.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、IrDA の動作を禁止 / 許可することができます。リセット後の値では、IrDA の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

34.4.2 SCI5 の設定について

本 IrDA を使用するときには、SCI5 の SEMR.ABCS ビットを “0”、SMR.STOP ビットを “1” (2 ストップビット) にしてください。

34.4.3 受信時の最小パルス幅について

本 IrDA の入力信号 (IRRXD5) は、IrDA 規格 1.0 に準拠した波形を入力してください (IrDA 規格 1.0 の最小パルス幅は 1.4 μ s です)。

34.4.4 IrDA の初期設定 / 再設定に関する注意事項

SCI5.SCR.TE, RE ビットを “1” に変更する場合、IRCR.IRE ビットを “1” (IrDA 動作)、IRCR.IRCKS[2:0] ビットを “000b” に選択したうえで下記の手順が必要です。

(1) 送信許可について

- SCI.SCR.TE ビットを “1” (送信許可) にした後、18/(16 × SCI5 のビットレート) の時間を待ってから I/O ポート機能を、IRTXD5 端子へ切り替えてください。

(2) 受信許可について

- I/O ポート機能を IRRXD5 端子に切り替えた後、18/(16 × SCI5 のビットレート) の時間を待ってから SCI.SCR.RE ビットを “1” (受信許可) にしてください。

なお、送受信を行うときは、18/(16 × SCI5 のビットレート) の待ち時間は同時に待つことが可能です。

35. I²Cバスインタフェース (RIICa)

本MCUは、1チャンネルのI²Cバスインタフェース (RIIC) を内蔵しています。

RIICは、NXP社が提唱するI²Cバス (Inter-IC-bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

本章に記載しているPCLKとはPCLKBを指します。

35.1 概要

表 35.1 に RIIC の仕様を、図 35.1 に RIIC のブロック図を、図 35.2 に 入出力端子の外部回路接続例 (I²Cバス構成例) を示します。表 35.2 に RIIC で使用する入出力端子を示します。

表 35.1 RIICの仕様 (1/2)

項目	内容
通信フォーマット	<ul style="list-style-type: none"> I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応 (~400 kbps)
SCLクロック	マスタ時、SCLクロックのデューティ比を4%~96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	<ul style="list-style-type: none"> 異なるスレーブアドレスを3種類まで設定可能 7ビット/10ビットアドレスフォーマット対応(混在可能) ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能
アクリッジ応答	<ul style="list-style-type: none"> 送信時、アクリッジビットの自動ロード ノットアクリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクリッジビットの自動送出 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクリッジビット応答のソフトウェア制御が可能
ウェイト機能	<ul style="list-style-type: none"> 受信時、SCLクロックのLowホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト
SDA出力遅延機能	アクリッジ送信を含むデータ送信の出カタイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> マルチマスタ対応 他のマスタとのSCLクロック衝突時、SCLクロックの同期動作可能 スタートコンディション発行競合時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) ノットアクリッジ送信時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLクロックの長時間停止を検出可能
ノイズ除去	SCL、SDA入口にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	4種類 <ul style="list-style-type: none"> 通信エラー/通信イベント発生 アービトレーション検出 NACK検出 タイムアウト検出 スタートコンディション検出(リスタートコンディション含む) ストップコンディション検出 受信データフル(スレーブアドレス一致時含む) 送信データエンプティ(スレーブアドレス一致時含む) 送信終了
消費電力低減機能	モジュールストップ状態への遷移が可能

表 35.1 RIICの仕様 (2/2)

項目	内容
RIICの動作モード	<ul style="list-style-type: none"> 4種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード
イベントリンク機能 (出力)	<p>4種類 (RIIC0)</p> <ul style="list-style-type: none"> 通信エラー/通信イベント発生 アービトレーション検出 NACK検出 タイムアウト検出 スタートコンディション検出 (リスタートコンディション含む) ストップコンディション検出 受信データフル (スレーブアドレス一致時含む) 送信データエンプティ (スレーブアドレス一致時含む) 送信終了

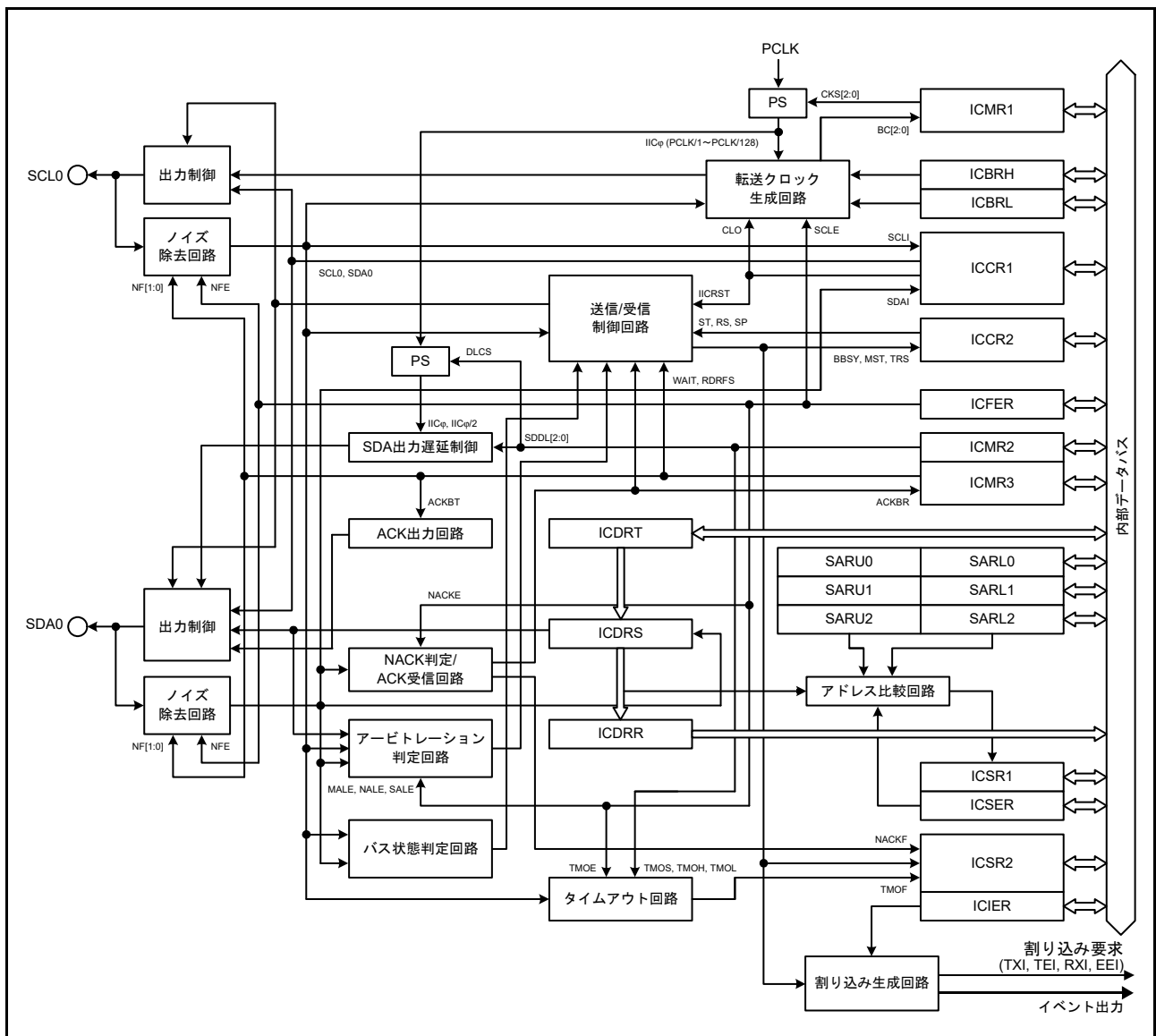


図 35.1 RIICのブロック図

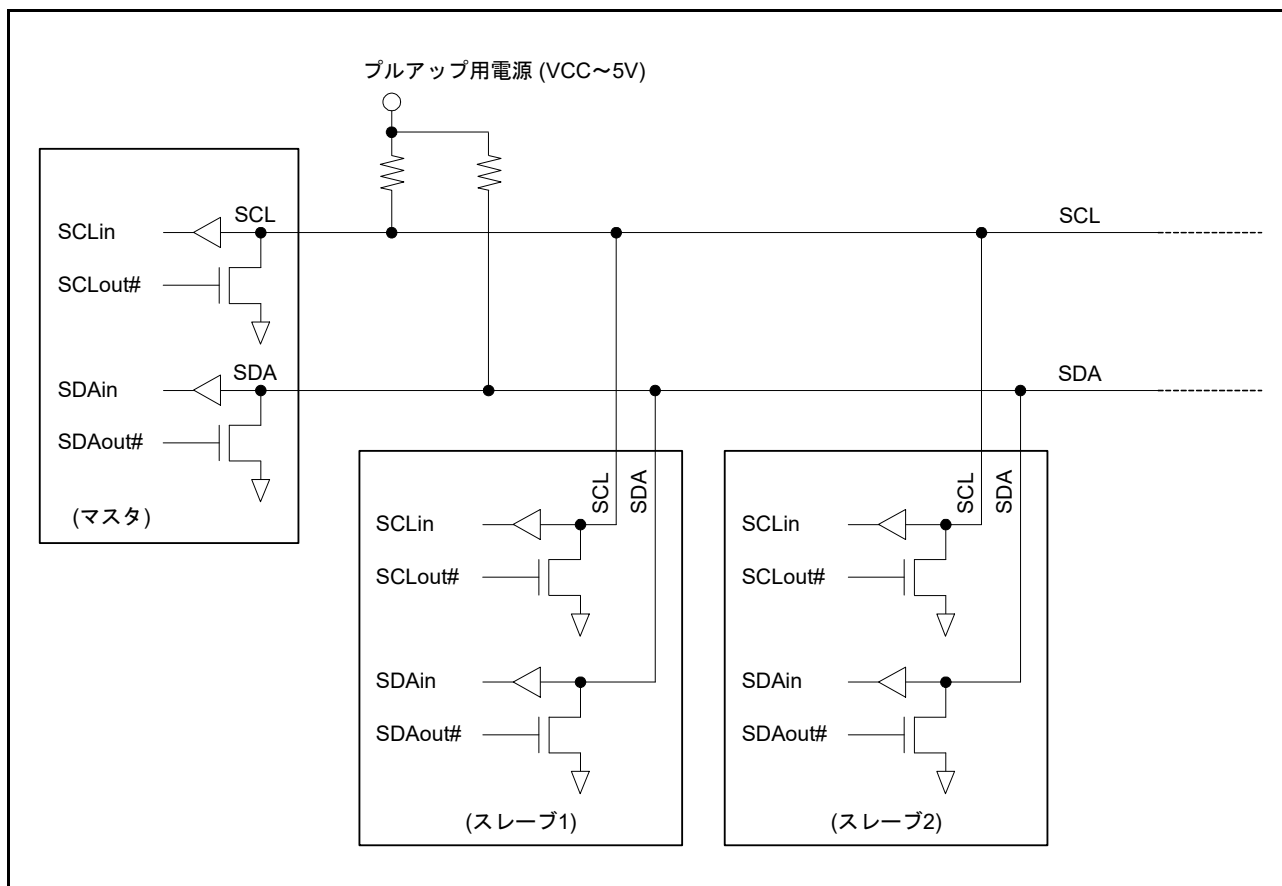


図 35.2 入出力端子の外部回路接続例 (I²Cバス構成例)

RIICの各信号の入力レベルは、I²Cバス選択時 (ICMR3.SMBSビット = 0) はCMOSレベルであり、SMBus選択時 (ICMR3.SMBSビット = 1) はTTLレベルです。

表 35.2 RIICの入出力端子

チャンネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0シリアルクロック入出力端子
	SDA0	入出力	RIIC0シリアルデータ入出力端子

35.2 レジスタの説明

35.2.1 I²Cバスコントロールレジスタ 1 (ICCR1)

アドレス RIIC0.ICCR1 0008 8300h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0 : SDA0ラインはLow 1 : SDA0ラインはHigh	R
b1	SCLI	SCLラインモニタビット	0 : SCL0ラインはLow 1 : SCL0ラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0 : SDA0端子をLowにしている 1 : SDA0端子を解放している ライト時 0 : SDA0端子をLowにする 1 : SDA0端子を解放する 	R/W
b3	SCLO	SCL出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0 : SCL0端子をLowにしている 1 : SCL0端子を解放している ライト時 0 : SCL0端子をLowにする 1 : SCL0端子を解放する (外部プルアップ抵抗によりHigh出力) 	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0 : SCLO、SDAOビットの書き換え許可 1 : SCLO、SDAOビットを保護 (読むと“1”が読めます)	R/W
b5	CLO	SCLクロック追加出力ビット	0 : SCLクロックを追加で出力しない(通常状態) 1 : SCLクロックを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I ² Cバスインタフェース内部リセットビット	0 : RIICリセット、内部リセット解除 1 : RIICリセット、内部リセット状態 (ビットカウンタのクリア、SCL0/SDA0出力ラッチを解除)	R/W
b7	ICE	I ² Cバスインタフェース許可ビット	0 : 禁止(SCL0、SDA0端子非駆動状態) 1 : 許可(SCL0、SDA0端子駆動状態) (IICRSTビットとの組み合わせで、RIICリセット、内部リセットを選択)	R/W

SDAO ビット (SDA 出力制御 / モニタビット)、SCLO ビット (SCL 出力制御 / モニタビット)

RIIC が出力する SDA0 信号、SCL0 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOWP ビットにも“0”を書いてください。

これらのビットを操作した結果は入力バッファを介して RIIC に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えしないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのとき RIIC が出力している信号の状態が読めます。

CLO ビット (SCL クロック追加出力ビット)

SCL クロックを 1 クロック単位で追加出力をする機能で、デバッグ時または異常処理時に使用します。

通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。
本機能の詳細については、「35.11.2 SCL クロック追加出力機能」を参照してください。

IICRST ビット (I²C バスインタフェース内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 35.3 に RIIC のリセットの種類を示します。

RIIC リセットでは全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (ICDRS)、I²C バスステータスレジスタ (ICSR1, ICSR2) および内部状態を初期化します。各レジスタのリセット状況については、「35.14 リセット時/コンディション検出時のレジスタおよび機能の初期化」を参照してください。

動作中 (ICE ビット=1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCL0 端子 / SDA0 端子をハイインピーダンスにしてバスを解放することができます。

注． スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態 (主に双方のビットカウンタ情報に差異が生じる) になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCL0 ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ずれの原因になります。

表 35.3 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット (I²C バスインタフェース許可ビット)

SCL0、SDA0 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については「表 35.3 RIIC のリセットの種類」を参照してください。

RIIC を使用するときは、ICE ビットを“1”に設定してください。ICE ビットが“1”のとき、SCL0、SDA0 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを“0”に設定してください。ICE ビットが“0”のとき、SCL0、SDA0 端子非駆動状態になります。また、マルチファンクションピンコントローラ (MPC) の設定で SCL0、SDA0 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレス比較動作を行いますので注意してください。

35.2.2 I²Cバスコントロールレジスタ 2 (ICCR2)

アドレス RIIC0.ICCR2 0008 8301h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0: リスタートコンディションの発行を要求しない 1: リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I ² Cバスが解放状態(バスフリー状態) 1: I ² Cバスが占有状態(バスビジー状態)	R

注1. ICMR1.MTWPビットが“1”のとき、MST、TRSビットへの書き込みができます。

STビット (スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

STビットが“1”になるとスタートコンディションの発行を要求し、BBSYフラグが“0”(バスフリー)のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「35.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- “0”を書いたとき
- スタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.ALフラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

注. STビットは、BBSYフラグが“0”(バスフリー)のとき、“1”(スタートコンディション発行要求)にしてください。

BBSYフラグが“1”(バスビジー)のとき、STビットを“1”(スタートコンディション発行要求)にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RSビット (リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RSビットが“1”になるとリスタートコンディションの発行を要求し、BBSYフラグが“1”(バスビジー)でかつMSTビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「35.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- リスタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ストップコンディション発行中に RS ビットを“1”にしないでください。

注. スレーブモードでは RS ビットに“1”(リスタートコンディション発行要求)を書いた場合、リスタートコンディションは発行されずに RS ビットは“1”のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット (ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが“1”になるとストップコンディションの発行を要求し、BBSY フラグが“1”(バスビジー)でかつ MST ビットが“1”(マスタモード)のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「35.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”でかつ ICCR2.MST ビットが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- ストップコンディションの発行が完了したとき (ストップコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. BBSY フラグが“0”(バスフリー)のとき書き込みはできません。

注. リスタートコンディション発行中に SP ビットを“1”にしないでください。

TRS ビット (送信 / 受信モードビット)

送信 / 受信モードを示すビットです。

TRS ビットが“0”のとき受信モード、TRS ビットが“1”のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行 / 検出および R/W# ビットの値で“1”または“0”になり、RIIC の動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき (ST ビットが“1”の状態、スタートコンディションを検出したとき)
- リスタートコンディション発行要求により正常にリスタートコンディションが発行されたとき (RS ビットが“1”の状態、リスタートコンディションを検出したとき)

- マスタモード時、スレーブアドレスに付加した R/W# ビットが“0”のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“1”を受信したとき
- ICMR1.MTWP ビットが“1”の状態に“1”を書いたとき

["0"になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“1”のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“0”を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (ICCR2.BBSY フラグ = 1、ICCR2.MST ビット = 0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態に“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

MST ビット (マスタ/スレーブモードビット)

マスタモード/スレーブモードを示すビットです。

MST ビットが“0”のときスレーブモード、MST ビットが“1”のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行/検出などで“1”または“0”になり、RIIC の動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ST ビットが“1”の状態に、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態に“1”を書いたとき

["0"になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが“1”の状態に“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスの占有 (バスビジー)/解放状態 (バスフリー) を示します。

SCL0 ラインが High の状態で SDA0 ラインが High から Low に変化すると、スタートコンディションが発行されると認識して“1”になります。

SCL0 ラインが High の状態で SDA0 ラインが Low から High に変化すると、ストップコンディションが発行されると認識し、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコンディション検出がないとき“0”になります。

["1"になる条件]

- スタートコンディションを検出したとき

["0"になる条件]

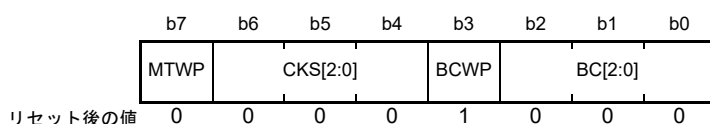
- ストップコンディションを検出後、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコン

ディション検出がないとき

- ICCR1.ICE ビットが“0”の状態ではICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

35.2.3 I²C バスモードレジスタ 1 (ICMR1)

アドレス RIIC0.ICMR1 0008 8302h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可 (読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	RIICの内部基準クロック (IICφ) ソースを選択します b6 b4 0 0 0 : PCLK/1クロック 0 0 1 : PCLK/2クロック 0 1 0 : PCLK/4クロック 0 1 1 : PCLK/8クロック 1 0 0 : PCLK/16クロック 1 0 1 : PCLK/32クロック 1 1 0 : PCLK/64クロック 1 1 1 : PCLK/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRS ビットへの書き込み禁止 1 : ICCR2.MST, TRS ビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、BCWPビットを“0”にするのと同時に書き換えてください。

BC[2:0] ビット (ビットカウンタ)

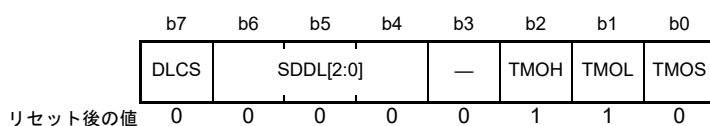
SCL0 ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数+1を指定し (データにアクリッジ1ビットが付加されて転送される)、転送バイト間にかつ SCL0 ラインが Low の状態で行ってください。

BC[2:0] ビットはアクリッジを含むデータ転送終了時、またはスタートコンディション検出 (リスタートコンディション含む) で自動的に“000b”に戻ります。

35.2.4 I²Cバスモードレジスタ 2 (ICMR2)

アドレス RIIC0.ICMR2 0008 8303h



ビット	シンボル	ビット名	機能	R/W																																																																						
b0	TMOS	タイムアウト検出時間選択ビット	0 : ロングモードを選択 1 : ショートモードを選択	R/W																																																																						
b1	TMOL	タイムアウトLカウント制御ビット	0 : SCL0ラインがLow期間中のカウントアップを禁止 1 : SCL0ラインがLow期間中のカウントアップを許可	R/W																																																																						
b2	TMOH	タイムアウトHカウント制御ビット	0 : SCL0ラインがHigh期間中のカウントアップを禁止 1 : SCL0ラインがHigh期間中のカウントアップを許可	R/W																																																																						
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																																						
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> ICMR2.DLCS ビット = 0 (IICφ) のとき <table border="0"> <tr><td>b6</td><td>b4</td><td></td></tr> <tr><td>0</td><td>0</td><td>0</td><td>: 出力遅延なし</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>: IICφの1サイクル</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>: IICφの2サイクル</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>: IICφの3サイクル</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>: IICφの4サイクル</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>: IICφの5サイクル</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>: IICφの6サイクル</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>: IICφの7サイクル</td></tr> </table> <ul style="list-style-type: none"> ICMR2.DLCS ビット = 1 (IICφ/2) のとき <table border="0"> <tr><td>b6</td><td>b4</td><td></td></tr> <tr><td>0</td><td>0</td><td>0</td><td>: 出力遅延なし</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>: IICφの1~2サイクル</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>: IICφの3~4サイクル</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>: IICφの5~6サイクル</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>: IICφの7~8サイクル</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>: IICφの9~10サイクル</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>: IICφの11~12サイクル</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>: IICφの13~14サイクル</td></tr> </table>	b6	b4		0	0	0	: 出力遅延なし	0	0	1	: IICφの1サイクル	0	1	0	: IICφの2サイクル	0	1	1	: IICφの3サイクル	1	0	0	: IICφの4サイクル	1	0	1	: IICφの5サイクル	1	1	0	: IICφの6サイクル	1	1	1	: IICφの7サイクル	b6	b4		0	0	0	: 出力遅延なし	0	0	1	: IICφの1~2サイクル	0	1	0	: IICφの3~4サイクル	0	1	1	: IICφの5~6サイクル	1	0	0	: IICφの7~8サイクル	1	0	1	: IICφの9~10サイクル	1	1	0	: IICφの11~12サイクル	1	1	1	: IICφの13~14サイクル	R/W
b6	b4																																																																									
0	0	0	: 出力遅延なし																																																																							
0	0	1	: IICφの1サイクル																																																																							
0	1	0	: IICφの2サイクル																																																																							
0	1	1	: IICφの3サイクル																																																																							
1	0	0	: IICφの4サイクル																																																																							
1	0	1	: IICφの5サイクル																																																																							
1	1	0	: IICφの6サイクル																																																																							
1	1	1	: IICφの7サイクル																																																																							
b6	b4																																																																									
0	0	0	: 出力遅延なし																																																																							
0	0	1	: IICφの1~2サイクル																																																																							
0	1	0	: IICφの3~4サイクル																																																																							
0	1	1	: IICφの5~6サイクル																																																																							
1	0	0	: IICφの7~8サイクル																																																																							
1	0	1	: IICφの9~10サイクル																																																																							
1	1	0	: IICφの11~12サイクル																																																																							
1	1	1	: IICφの13~14サイクル																																																																							
b7	DLCS	SDA出力遅延クロックソース 選択ビット	0 : SDA出力遅延カウンタのクロックソースに 内部基準クロック (IICφ) を選択 1 : SDA出力遅延カウンタのクロックソースに 内部基準クロックの2分周 (IICφ/2) を選択 (注1)	R/W																																																																						

注1. SCL端子がLowのときのみDLCSビット=1 (IICφ/2)の設定が有効になります。SCL端子がHighのときDLCSビット=1の設定は無効となり内部基準クロック (IICφ) となります。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能が有効時 (ICFER.TMOE ビット = 1) にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが16ビットカウンタとして、またショートモードでは14ビットカウンタとして動作し、SCL0ラインがTMOH、TMOLビットで選択された状態になったとき、内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「35.11.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウトLカウント制御ビット)

タイムアウト検出機能が有効時 (ICFER.TMOE ビット = 1) にSCL0ラインがLow期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

TMOH ビット (タイムアウトHカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) に SCL0 ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

SDA 出力遅延の設定は、I²C バス仕様 (データ有効時間/アクノリッジ有効時間 (注1) 内) または SMBus 仕様 (データホールド時間: 300 ns 以上、かつ SCL クロックの Low 幅-データセットアップ時間: 250 ns の範囲内) に収まるようにしてください。仕様外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

本機能の詳細については、「35.5 SDA 出力遅延機能」を参照してください。

注 1. データ有効時間 / アクノリッジ有効時間

3,450 ns (~ 100 kbps : スタンダードモード (Sm))

900 ns (~ 400 kbps : ファストモード (Fm))

35.2.5 I²Cバスモードレジスタ 3 (ICMR3)

アドレス RIIC0.ICMR3 0008 8304h

	b7	b6	b5	b4	b3	b2	b1	b0
	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0 : 1 IICφ以下のノイズを除去(フィルタは1段) 0 1 : 2 IICφ以下のノイズを除去(フィルタは2段) 1 0 : 3 IICφ以下のノイズを除去(フィルタは3段) 1 1 : 4 IICφ以下のノイズを除去(フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0 : アクノリッジビットに“0”を受信(ACK受信) 1 : アクノリッジビットに“1”を受信(NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0 : アクノリッジビットに“0”を送出(ACK送信) 1 : アクノリッジビットに“1”を送出(NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0 : ACKBTビットへの書き込み禁止 1 : ACKBTビットへの書き込み許可	R/W (注1)
b5	RDRFS	RDRFフラグセット タイミング選択ビット	0 : SCLクロックの9クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりにてSCL0ラインをLowにホールドしない) 1 : SCLクロックの8クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりにてSCL0ラインをLowにホールドする) LowホールドはACKBTビットへの書き込みで解除	R/W (注2)
b6	WAIT	WAITビット	0 : WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1 : WAITあり (9クロック目と1クロック目の間をLowにホールドする) LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I ² Cバス選択 ビット	0 : I ² Cバス選択 1 : SMBus選択	R/W

注1. ACKBTビットに書く場合には、ACKWPビットが“1”の状態で行ってください。ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。

注2. WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「35.6 デジタルノイズフィルタ回路」を参照してください。

注. ノイズフィルタで除去するノイズ幅の設定は、SCL0ラインのHigh/Low幅よりも狭くしてください。ノイズフィルタ幅を、[SCLクロックのHigh幅またはLow幅のいずれか短い方] - {1.5 × t_{IICcyc} (内部基準クロック (IICφ)の周期) + 120 ns (アナログノイズフィルタノイズ除去幅、参考値)} と同じか、それ以上に設定した場合は、RIICのノイズフィルタ機能によりSCLクロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

["1"になる条件]

- ICCR2.TRS ビットが“1”の状態であクノリッジビットに“1”を受信したとき

["0"になる条件]

- ICCR2.TRS ビットが“1”の状態であクノリッジビットに“0”を受信したとき

- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKBT ビット (送信アクノリッジビット)

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

[“1”になる条件]

- ACKWP ビットが“1”の状態では“1”を書いたとき

[“0”になる条件]

- ACKWP ビットが“1”の状態では“0”を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが“1”の状態では ストップコンディションを検出したとき)
- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセット タイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで SCL0 ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが“0”のとき、8 クロック目の立ち下がりで SCL0 ラインの Low ホールドは行わず、9 クロック目の立ち上がりで RDRF フラグを“1”にします。

RDRFS ビットが“1”のとき、RDRF フラグは 8 クロック目の立ち上がりで“1”にし、8 クロック目の立ち下がりで SCL0 ラインを Low にホールドします。この SCL0 ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCL0 ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが“0”) または NACK (ACKBT ビットが“1”) を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに I²C バス受信データレジスタ (ICDRR) の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま続けます。RDRFS ビットと WAIT ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1”のとき、1 バイト受信ごとに 9 クロック目の立ち下がりで以降、ICDRR レジスタの値が読み出されるまでの間 SCL0 ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注. WAIT ビットを“0”にする場合は、ICDRR レジスタを先に読んでから“0”にしてください。

SMBS ビット (SMBus/I²C バス選択ビット)

SMBS ビットを“1”にすると、SMBus が選択され IC SER.HOAE ビットが有効になります。

35.2.6 I²C バスファンクション許可レジスタ (ICFER)

アドレス RIIC0.ICFER 0008 8305h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0: タイムアウト検出機能無効 1: タイムアウト検出機能有効	R/W
b1	MALE	マスタアービトレーションロスト検出許可ビット	0: マスタアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行わない) 1: マスタアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行う)	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0: NACK送信アービトレーションロスト検出禁止 1: NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0: NACK受信時、転送を中断しない(転送中断禁止) 1: NACK受信時、転送を中断する(転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ回路有効ビット	0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路有効ビット	0: SCL同期回路無効 1: SCL同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効/無効を選択します。

タイムアウト検出機能の詳細については、「35.11.1 タイムアウト検出機能」を参照してください。

MALE ビット (マスタアービトレーションロスト検出許可ビット)

マスタモード時にアービトレーションロスト検出機能の有効/無効を決定します。通常は“1”にしてください。

NALE ビット (NACK 送信アービトレーションロスト検出許可ビット)

受信モード時、NACK 送中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット (NACK 受信転送中断許可ビット)

送信モード時、スレーブデバイスから NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACKE ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが“0”のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「35.8.2 NACK 受信転送中断機能」を参照してください。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0” (SCL 同期回路無効) にすると、クロック同期を行いません。この設定の場合、RIIC は SCL0 ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が仕様に定められた値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、仕様外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

35.2.7 I²C バスステータス許可レジスタ (ICSER)

アドレス RIIC0.ICSER 0008 8306h

b7	b6	b5	b4	b3	b2	b1	b0
HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E

リセット後の値 0 0 0 0 1 0 0 1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0許可ビット	0 : SARL0、SARU0の設定値は無効 1 : SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1許可ビット	0 : SARL1、SARU1の設定値は無効 1 : SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2許可ビット	0 : SARL2、SARU2の設定値は無効 1 : SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0 : デバイスIDアドレス検出は無効 1 : デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ~ 2)

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを“1”にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを“0”にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0 (write) : All “0”) を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第一バイトにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第一バイトがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0” (write) のとき第二バイト目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第一バイトがデバイス ID アドレスと一致しても無視され、第一バイトを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「35.7.3 デバイス ID アドレス検出機能」を参照してください。

HOAE ビット (ホストアドレス許可ビット)

ICMR3.SMBS ビットが“1”の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが“1”でかつ HOAE ビットが“1”の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが“0”または HOAE ビットが“0”の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

35.2.8 I²Cバス割り込み許可レジスタ (ICIER)

アドレス RIIC0.ICIER 0008 8307h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可ビット	0: タイムアウト割り込み (TMOI) 要求の禁止 1: タイムアウト割り込み (TMOI) 要求の許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可ビット	0: アービトレーションロスト割り込み (ALI) 要求の禁止 1: アービトレーションロスト割り込み (ALI) 要求の許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可ビット	0: スタートコンディション検出割り込み (STI) 要求の禁止 1: スタートコンディション検出割り込み (STI) 要求の許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可ビット	0: ストップコンディション検出割り込み (SPI) 要求の禁止 1: ストップコンディション検出割り込み (SPI) 要求の許可	R/W
b4	NAKIE	NACK受信割り込み要求許可ビット	0: NACK受信割り込み (NAKI) 要求の禁止 1: NACK受信割り込み (NAKI) 要求の許可	R/W
b5	RIE	受信データフル割り込み要求許可ビット	0: 受信データフル割り込み (RXI) 要求の禁止 1: 受信データフル割り込み (RXI) 要求の許可	R/W
b6	TEIE	送信終了割り込み要求許可ビット	0: 送信終了割り込み (TEI) 要求の禁止 1: 送信終了割り込み (TEI) 要求の許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可ビット	0: 送信データエンプティ割り込み (TXI) 要求の禁止 1: 送信データエンプティ割り込み (TXI) 要求の許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可ビット)

ICSR2.TMOF フラグが“1”になったとき、タイムアウト割り込み (TMOI) 要求の許可 / 禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み要求許可ビット)

ICSR2.AL フラグが“1”になったとき、アービトレーションロスト割り込み (ALI) 要求の許可 / 禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み要求許可ビット)

ICSR2.START フラグが“1”になったとき、スタートコンディション検出割り込み (STI) 要求の許可 / 禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み要求許可ビット)

ICSR2.STOP フラグが“1”になったとき、ストップコンディション検出割り込み (SPI) 要求の許可 / 禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット (NACK 受信割り込み要求許可ビット)

ICSR2.NACKF フラグが“1”になったとき、NACK 受信割り込み (NAKI) 要求の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット (受信データフル割り込み要求許可ビット)

ICSR2.RDRF フラグが“1”になったとき、受信データフル割り込み (RXI) 要求の許可 / 禁止を選択します。

TEIE ビット (送信終了割り込み要求許可ビット)

ICSR2.TEND フラグが“1”になったとき、送信終了割り込み (TEI) 要求の許可 / 禁止を選択します。TEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット (送信データエンプティ割り込み要求許可ビット)

ICSR2.TDRE フラグが“1”になったとき、送信データエンプティ割り込み (TXI) 要求の許可 / 禁止を選択します。

35.2.9 I²Cバスステータスレジスタ 1 (ICSR1)

アドレス RIIC0.ICSR1 0008 8308h

b7	b6	b5	b4	b3	b2	b1	b0
HOA	—	DID	—	GCA	AAS2	AAS1	AAS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0: スレーブアドレス0未検出 1: スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0: スレーブアドレス1未検出 1: スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0: スレーブアドレス2未検出 1: スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスIDアドレス検出フラグ	0: デバイスIDアドレス未検出 1: デバイスIDアドレス検出 • スタートコンディション直後の第一バイトがデバイスIDアドレス (1111 100b) + 0 (write) と一致した場合	R/(W) (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0: ホストアドレス未検出 1: ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス(0001 000b)と一致した場合	R/(W) (注1)

注1. “0”のみ書けます。

AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ~ 2)

[“1”になる条件]

[7ビットアドレスフォーマット選択時: SARUy.FS ビット = 0]

- ICSER.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと一致したとき、第一バイトの SCL クロックの9クロック目の立ち上がり

[10ビットアドレスフォーマット選択時: SARUy.FS ビット = 1]

- ICSER.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと一致したとき、第二バイトの SCL クロックの9クロック目の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

[7ビットアドレスフォーマット選択時: SARUy.FS ビット = 0]

- ICSER.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり

[10ビットアドレスフォーマット選択時: SARUy.FS ビット = 1]

- ICSER.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり

- ICSE.SARyEビットが“1”(スレーブアドレスy検出有効)の状態、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと不一致のとき、第二バイトの SCL クロックの9クロック目の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

["1"になる条件]

- ICSE.GCAEビットが“1”(ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と一致したとき、第一バイトの SCL クロックの9クロック目の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSE.GCAEビットが“1”(ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

["1"になる条件]

- ICSE.DIDEビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致したとき、第一バイトの SCL クロックの9クロック目の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSE.DIDEビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) と不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり
- ICSE.DIDEビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致し、続く第二バイトがスレーブアドレス 0 ~ 2 のすべてと不一致のとき、第二バイトの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ (ホストアドレス検出フラグ)

["1"になる条件]

- ICSE.HOAEビットが“1”(ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき、第一バイトの SCL クロックの9クロック目の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSE.HOAEビットが“1”(ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

35.2.10 I²Cバスステータスレジスタ 2 (ICSR2)

アドレス RIIC0.ICSR2 0008 8309h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロストの発生なし 1: アービトレーションロストの発生あり	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRRレジスタに受信データなし 1: ICDRRレジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信終了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: ICDRTレジスタに送信データあり 1: ICDRTレジスタに送信データなし	R

注1. “0”のみ書けます。

TMOF フラグ (タイムアウト検出フラグ)

SCL0ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1”になります。

[“1”になる条件]

- ICFER.TMOEビットが“1”(タイムアウト検出機能有効)で、かつマスタモードまたはスレーブモードで受信スレーブアドレスが一致した状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL0ラインの状態に変化がないとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失(アービトレーションロスト)したことを示します。RIICは送信中にSDA0ラインのレベルを監視し、出力データとSDA0ラインのレベルが一致しない場合ALフラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIICでは設定によりマスタモード時にNACK送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

[“1”になる条件]

【マスタアービトレーションロスト検出有効時: ICFER.MALEビット=1】

- マスタ送信モード時のデータ送信(スレーブアドレス送信含む)において、ACK期間を除くSCLクロックの立ち上がりで出力したSDA信号とSDA0ライン上の信号の状態が不一致のとき(内部SDA出力が

High 出力 (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)

- ICCR2.ST ビットが“1”(スタートコンディション発行要求)の状態ですタートコンディションを検出したとき、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき
- ICCR2.BBSY フラグが“1”の状態ですタートコンディション発行要求)に設定したとき

【NACK アービトレーションロスト検出有効時 : ICFER.NALE ビット = 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき

【スレーブアービトレーションロスト検出有効時 : ICFER.SALE ビット = 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

表 35.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST ビットが“1”の状態ですタートコンディション検出時に出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき ICCR2.BBSY フラグが“1”の状態ですタートコンディション発行要求)に設定したとき
			1	送信データ不一致	マスタ送信モードで送信データ(スレーブアドレス送信含む)とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x : Don't care

START フラグ (スタートコンディション検出フラグ)

【“1”になる条件】

- スタートコンディション (リスタートコンディション含む) を検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ (ストップコンディション検出フラグ)

【“1”になる条件】

- ストップコンディションを検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ (NACK 検出フラグ)

【“1”になる条件】

- ICFER.NACKE ビットが“1” (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジがなかった (NACK を受信した) とき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

注. NACKF フラグが“1” になると RIIC は通信動作を中断します。NACKF フラグが“1” の状態で送信モード時に ICDRT レジスタへの書き込みや、受信モード時に ICDRR レジスタの読み出しを行っても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0” にしてください。

RDRF フラグ (受信データフルフラグ)

[“1” になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により SCL クロックの 8 または 9 クロック目の立ち上がりで“1” になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが“0” のとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

[“1” になる条件]

- TDRE フラグが“1” の状態で、SCL クロックの 9 クロック目の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

[“1” になる条件]

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが“1” になったとき
- 受信したスレーブアドレスが一致し、TRS ビットが“1” のとき

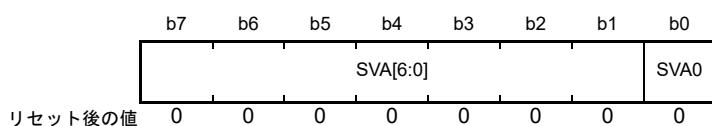
[“0” になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが“0” になったとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

注. ICFER.NACKE ビットが“1” の状態で NACKF フラグが“1” になると RIIC は通信動作を中断します。このとき、TDRE フラグが“0” の状態 (次の送信データがすでに書き込まれている状態) の場合、9 クロック目の立ち上がりで ICDRS レジスタへのデータ転送が行われ ICDRT レジスタが空になりますが、TDRE フラグは“1” になりません。

35.2.11 スレーブアドレスレジスタ Ly (SARLy) (y=0 ~ 2)

アドレス RIIC0.SARL0 0008 830Ah, RIIC0.SARL1 0008 830Ch, RIIC0.SARL2 0008 830Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。	R/W
b7-b1	SVA[6:0]	7ビットアドレス/ 10ビットアドレス下位ビット	スレーブアドレスを設定してください。	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、10ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて10ビットアドレス下位8ビットを設定します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) かつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

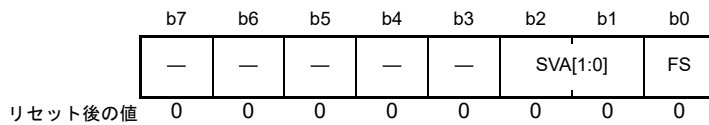
SVA[6:0] ビット (7 ビットアドレス / 10 ビットアドレス下位ビット)

7ビットアドレスフォーマット選択時 (SARUy.FS ビット = 0)、7ビットアドレスとして機能し、10ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、SVA0 ビットと合わせて10ビットアドレス下位8ビットとして機能します。

ICSER.SARyE ビットが“0” のとき設定値は無視されます。

35.2.12 スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)

アドレス RIIC0.SARU0 0008 830Bh, RIIC0.SARU1 0008 830Dh, RIIC0.SARU2 0008 830Fh



ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0: 7ビットアドレスフォーマット選択 1: 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FS ビット (7 ビット / 10 ビットアドレスフォーマット選択ビット)

スレーブアドレス y (SARLy, SARUy レジスタ) を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) かつ SARUy.FS ビットが“0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) かつ SARUy.FS ビットが“1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが“0” (SARLy, SARUy レジスタ無効) のとき SARUy.FS ビットの設定値は無効です。

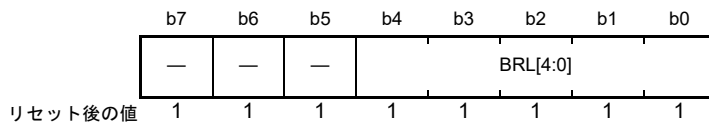
SVA[1:0] ビット (10 ビットアドレス上位ビット)

10 ビットアドレスフォーマット選択時 (FS ビット = 1)、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) かつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

35.2.13 I²Cバスビットレート Low レジスタ (ICBRL)

アドレス RIIC0.ICBRL 0008 8310h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLクロックのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL クロックの Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時 (「35.8 SCL の自動 Low ホールド機能」参照) のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間(注1)以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロック (IIC_φ) で Low 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRL レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

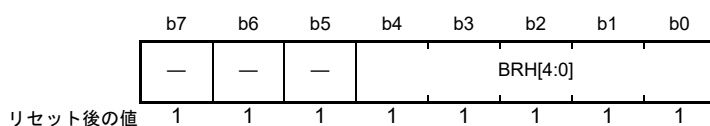
注 1. データセットアップ時間 (t_{SU:DAT})

250 ns (~ 100 kbps : スタンダードモード (Sm))

100 ns (~ 400 kbps : ファストモード (Fm))

35.2.14 I²Cバスビットレート High レジスタ (ICBRH)

アドレス RIIC0.ICBRH 0008 8311h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLクロックのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”として下さい。	R/W

ICBRHレジスタはSCLクロックのHigh幅を設定するための5ビットのレジスタで、マスタモード時に有効です。RIICを常にスレーブモードで使用する場合には、High幅を設定する必要はありません。

ICBRHレジスタはICMR1.CKS[2:0]ビットで選択された内部基準クロック(IICφ)でHigh幅をカウントします。

デジタルノイズフィルタ回路の使用を許可(ICFER.NFEビット=1)した場合、ICBRHレジスタは、ノイズフィルタの段数+1以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0]ビットを参照してください。

I²C転送速度およびSCLクロックのデューティ比は以下の式で算定します。

$$\text{転送速度} = 1 / \{ ((\text{ICBRH} + 1) + (\text{ICBRL} + 1)) / \text{IIC}\phi (\text{注1}) + \text{SCL0ライン立ち上がり時間} (\text{tr}) + \text{SCL0ライン立ち下がり時間} (\text{tf}) \}$$

$$\text{デューティ比} = \{ \text{SCL0ライン立ち上がり時間} (\text{tr}) (\text{注2}) + (\text{ICBRH} + 1) / \text{IIC}\phi \} / \{ \text{SCL0ライン立ち下がり時間} (\text{tf}) (\text{注2}) + (\text{ICBRL} + 1) / \text{IIC}\phi \}$$

注1. IICφ = PCLK × 分周比

注2. SCL0ライン立ち上がり時間(tr)、SCL0ライン立ち下がり時間(tf)は、バスライン総容量(Cb)とプルアップ抵抗(Rp)に依存します。詳細についてはNXP社のI²Cバス仕様書を参照してください。

ICBRH、ICBRLレジスタの値の設定例を表35.5に示します。

表 35.5 転送速度に対するICBRH、ICBRLレジスタの設定例

転送速度 (kbps)	動作周波数PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)

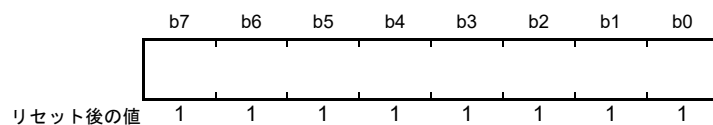
転送速度 (kbps)	動作周波数PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)

転送速度 (kbps)	動作周波数PCLK (MHz)			動作周波数PCLK (MHz)		
	30			32		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)	110b	22 (F6h)	25 (F9h)
50	100b	15 (EFh)	18 (F2h)	100b	16 (F0h)	19 (F3h)
100	011b	14 (EEh)	17 (F1h)	011b	15 (EFh)	18 (F2h)
400	001b	8 (E8h)	19 (F3h)	001b	9 (E9h)	20 (F4h)

注. SCL0ラインの立ち上がり時間(tr)を100 kbps以下(Sm)は1000 ns、400 kbps以下(Fm)は300 ns、SCL0ラインの立ち下がり時間(tf)を400 kbps以下(Sm/Fm)は300 nsとして計算した場合の設定例です。
SCL0ライン立ち上がり時間(tr)、SCL0ライン立ち下がり時間(tf)の値についてはNXP社のI²Cバス仕様書を参照してください。

35.2.15 I²Cバス送信データレジスタ (ICDRT)

アドレス RIIC0.ICDRT 0008 8312h



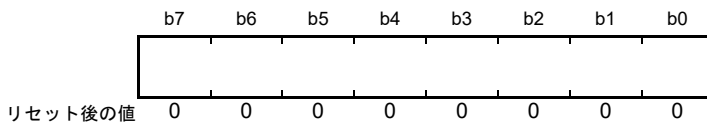
I²Cバスシフトレジスタ(ICDRS)の空きを検出すると、ICDRTレジスタに書き込まれた送信データがICDRSレジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRTレジスタとICDRSレジスタはダブルバッファ構造になっているため、ICDRSレジスタのデータ送信中に、次に送信するデータをICDRTレジスタに書いておくと連続送信動作が可能です。

ICDRTレジスタは常に読み出し/書き込み可能です。ICDRTレジスタへの送信データの書き込みは、送信データエンプティ割り込み(TXI)要求が発生したときに1回だけ行ってください。

35.2.16 I²Cバス受信データレジスタ (ICDRR)

アドレス RIIC0.ICDRR 0008 8313h



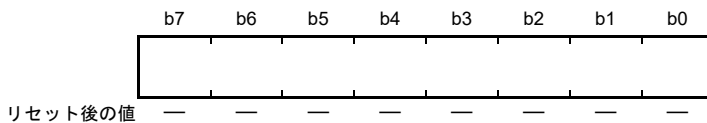
1バイトのデータの受信が終了すると、受信したデータはI²Cバスシフトレジスタ (ICDRS) からICDRRレジスタへ転送され、次のデータを受信可能にします。

ICDRSレジスタとICDRRレジスタはダブルバッファ構造になっているため、ICDRSレジスタのデータ受信中に、すでに受信したデータをICDRRレジスタから読んでおくと連続受信動作が可能です。

ICDRRレジスタに書き込みはできません。ICDRRレジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに1回だけ行ってください。

受信データをICDRRレジスタから読み出さないまま (ICSR2.RDRFフラグが“1”の状態のまま) 次の受信データを受け取ると、RIICはRDRFフラグが次に“1”になるタイミングの1つ手前のSCL0クロックの立ち下がり でSCL0ラインをLowにホールドします。

35.2.17 I²Cバスシフトレジスタ (ICDRS)



ICDRSレジスタは、データを送信/受信するためのシフトレジスタです。

送信時はICDRTレジスタから送信データがICDRSレジスタに転送され、SDA0端子からデータが送信されます。受信時は1バイトのデータの受信が終了すると、データがICDRSレジスタからICDRRレジスタへ転送されます。

ICDRSレジスタは直接アクセスすることはできません。

35.3 動作説明

35.3.1 通信データフォーマット

I²Cバスフォーマットは、8ビットのデータと1ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続く第一バイトは、アドレスバイトでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 35.3 に I²C バスフォーマットを、図 35.4 に I²C バスタイミングを示します。

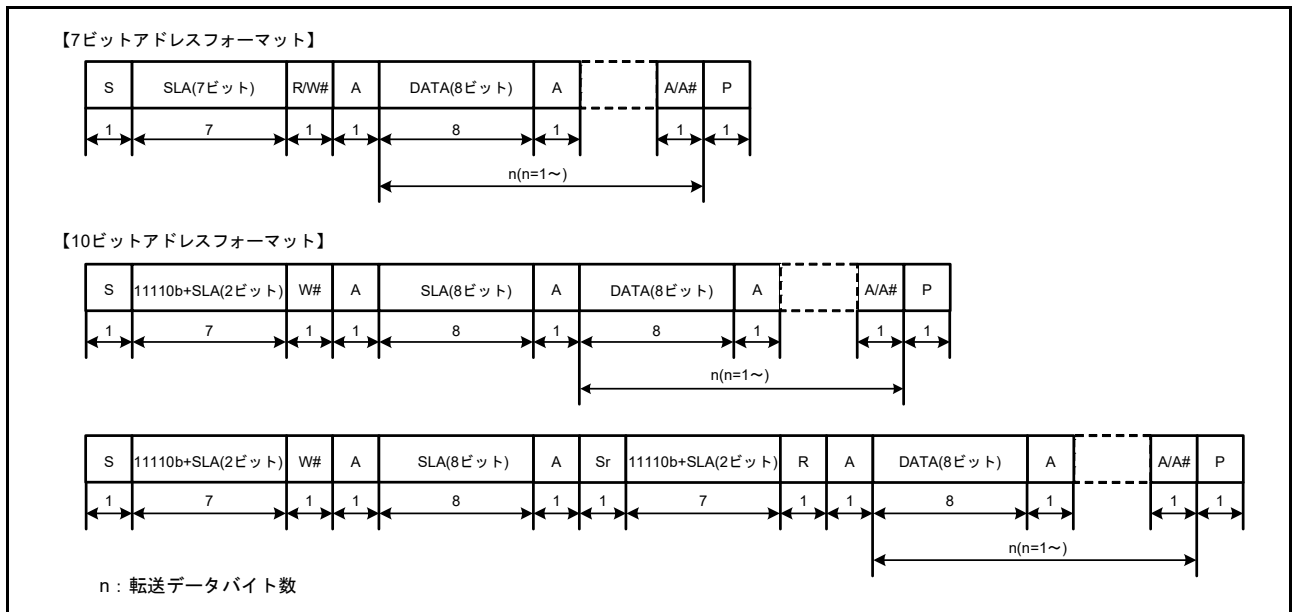


図 35.3 I²C バスフォーマット

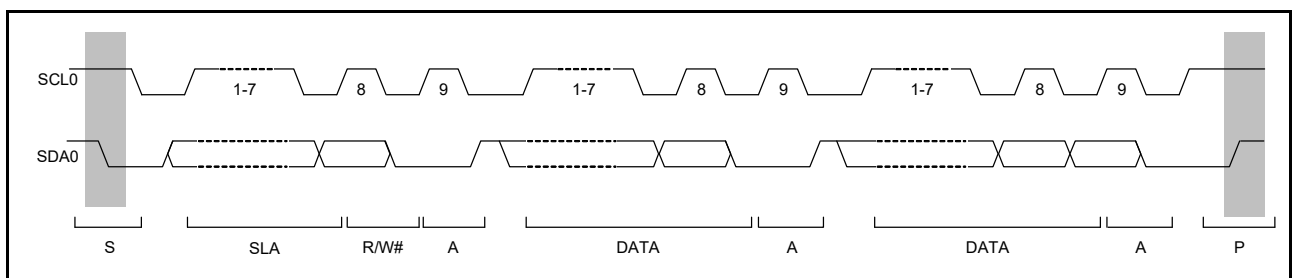


図 35.4 I²C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではSDA0ラインがHighからLowに変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A: アクノリッジを示します。受信デバイスがSDA0ラインをLowにします(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。
- A#: ノットアクノリッジを示します。受信デバイスがSDA0ラインをHighにします。
- Sr: リスタートコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではセットアップ時間経過後にSDA0ラインがHighからLowに変化します。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではSDA0ラインがLowからHighに変化します。

35.3.2 初期設定

データの送信/受信を開始する場合、**図 35.5** に示す手順に従って RIIC を初期化してください。

ICCR1.ICE ビットを“0” (SCL0、SDA0 端子非駆動状態) にしたまま ICCR1.IICRST ビットを“1” (RIIC リセット) にした後、ICCR1.ICE ビットを“1” (内部リセット) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y = 0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については**図 35.5** 参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを“0” (RIIC リセット解除) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

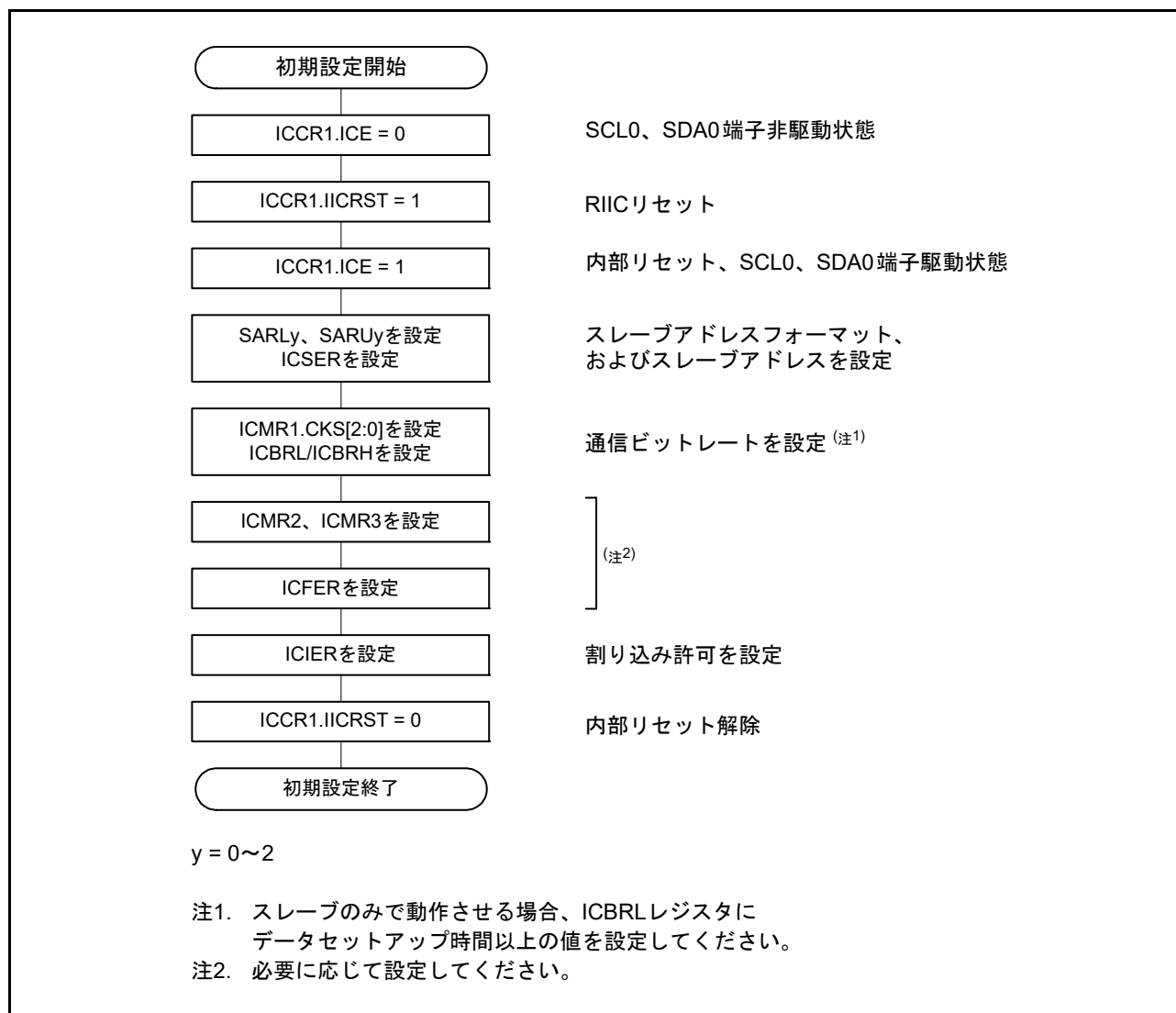


図 35.5 RIIC の初期化フローチャート例

35.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図 35.6 にマスタ送信の使用例を、図 35.7 ~ 図 35.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「35.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます(スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ(スレーブアドレスと R/W# ビット)を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“0”の第一バイトを受信すると、引き続きマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行われます。なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビット + W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICSR2.TDRE フラグが“1”であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL0 ラインを Low にホールドします。
- (5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが“1”になるまで待つから ICCR2.SP ビットに“1”を書いてください(ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

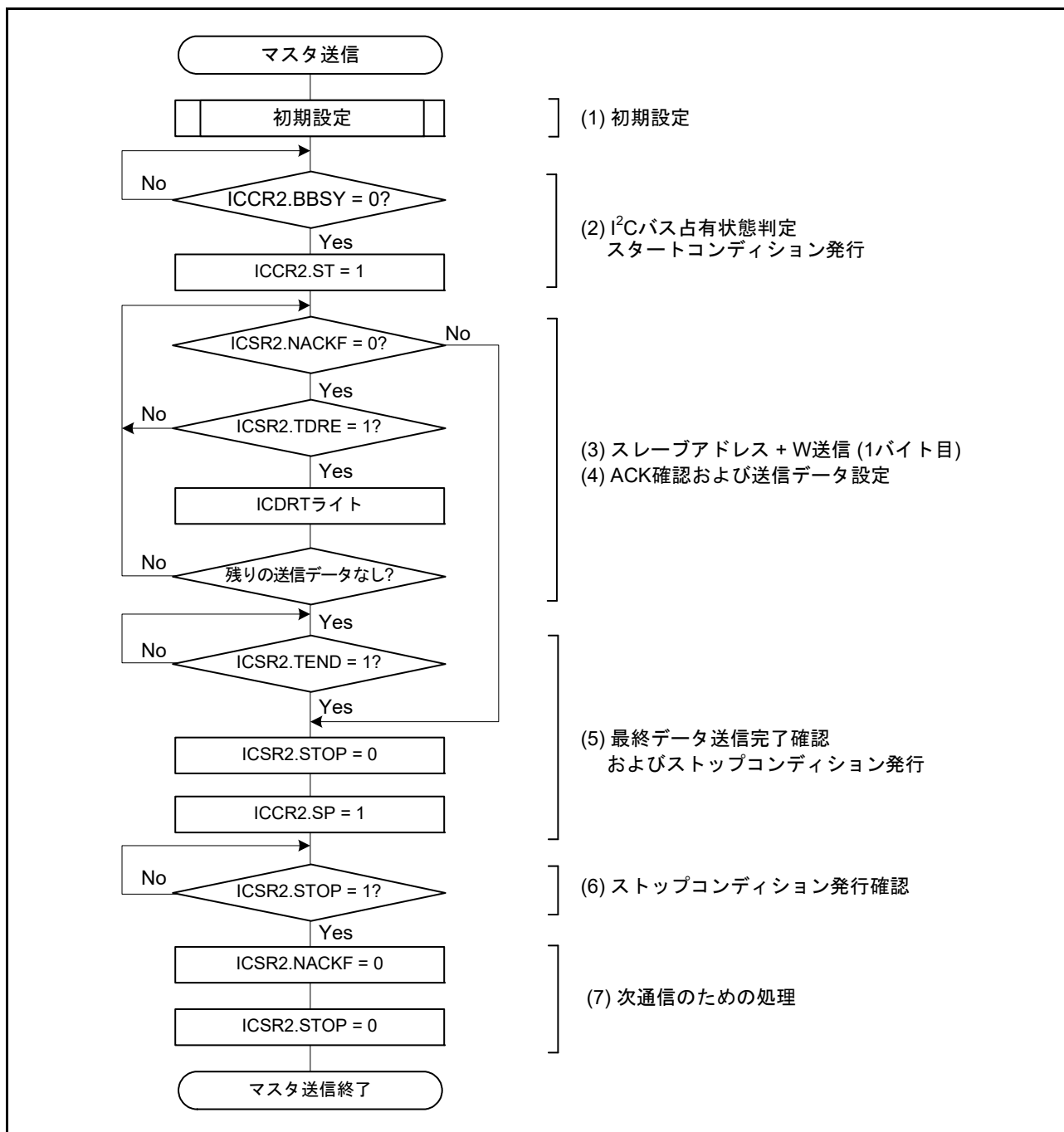


図 35.6 マスタ送信のフローチャート例

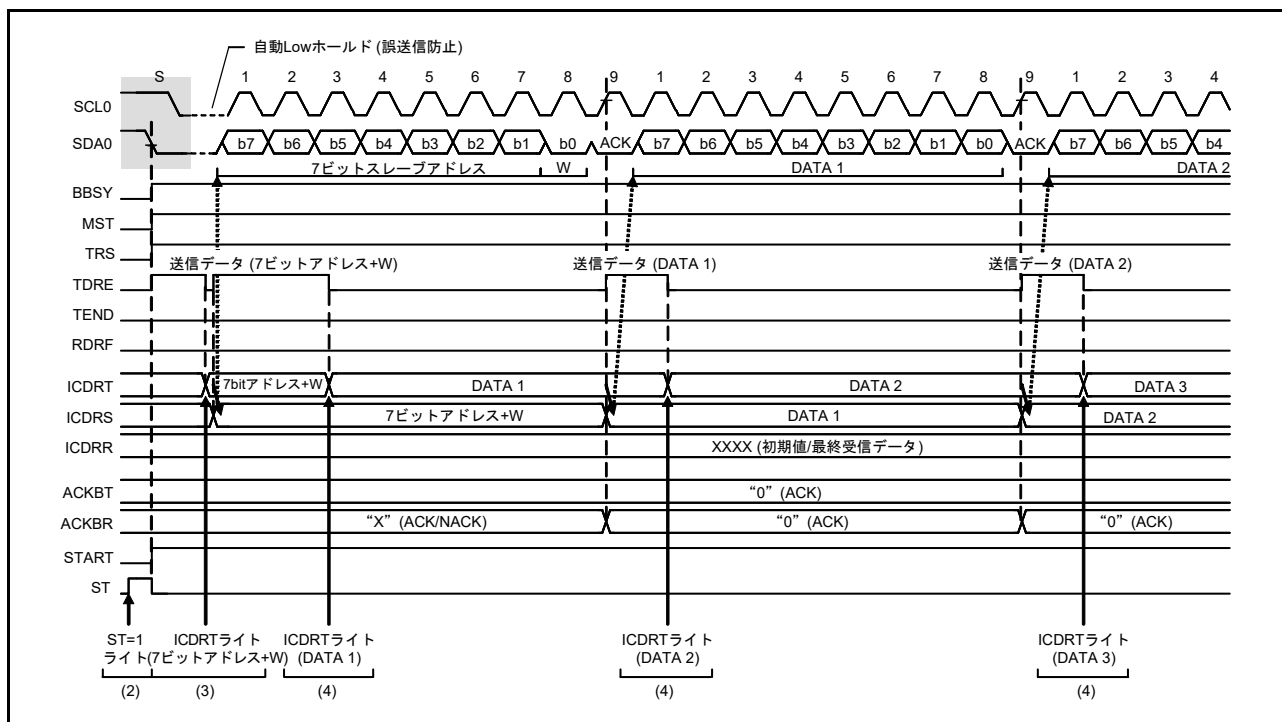


図 35.7 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマットのとき)

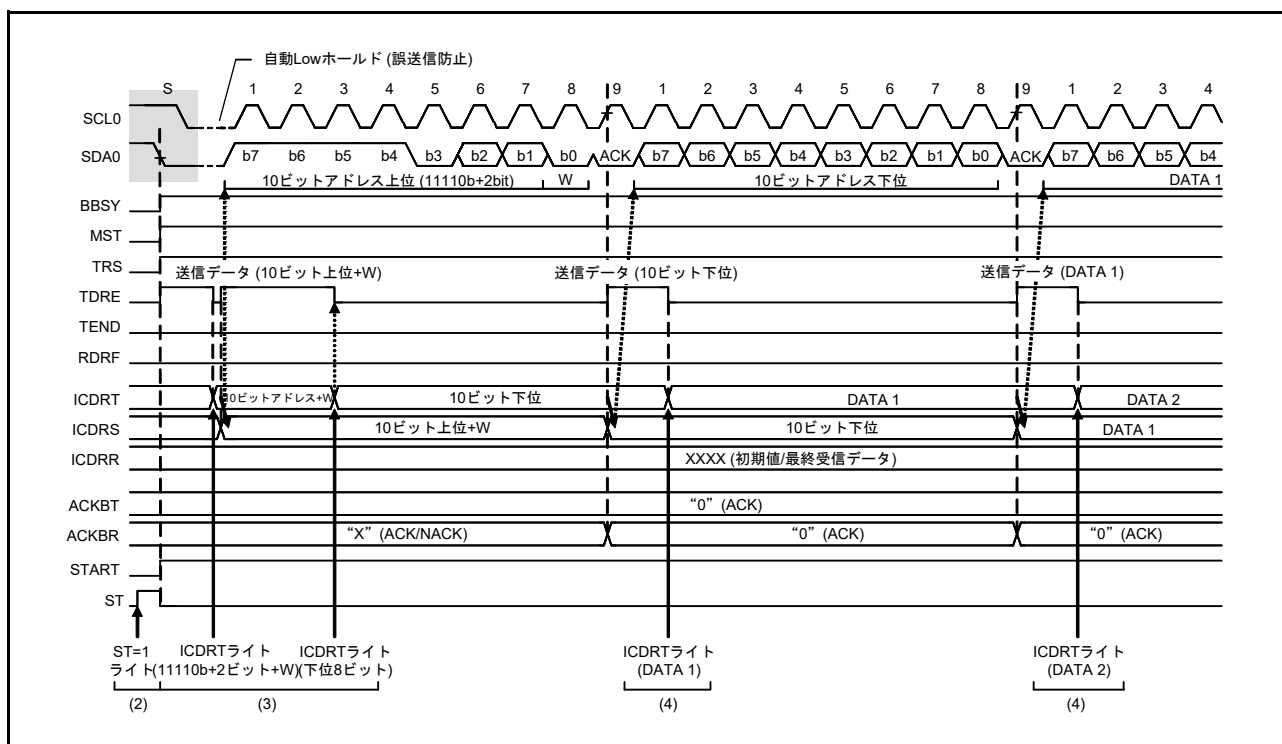


図 35.8 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマットのとき)

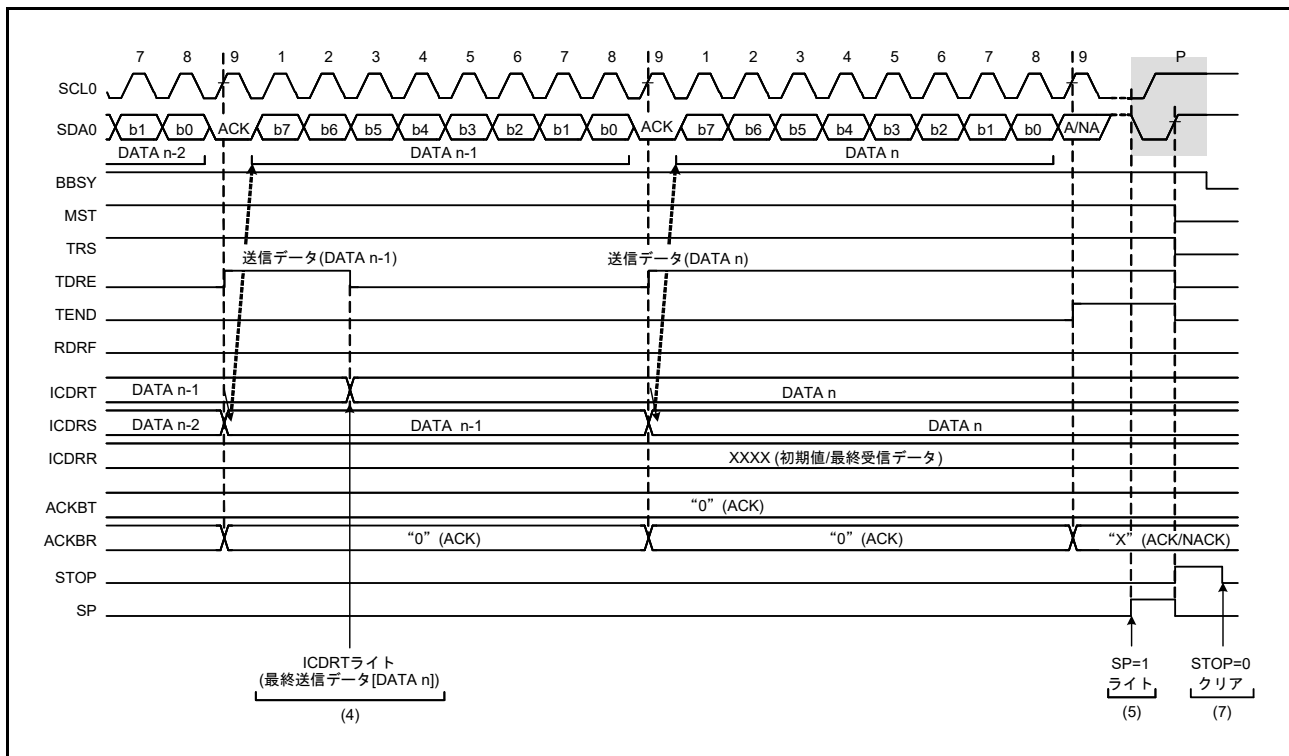


図 35.9 マスタ送信の動作タイミング (3)

35.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 35.10、図 35.11 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 35.12 ~ 図 35.14 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「35.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“1”の第一バイトを受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信

モードに移行します。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。

このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。

なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビット + R を送信することで、マスタ受信モードに移行します。

- (4) ICSR2.RDRF フラグが“1”であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。
- (5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト - 1 の場合、ICDRR レジスタ (最終バイト - 2 バイト目) を読む前に ICMR3.WAIT ビットを“1” (WAIT あり) にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを“1” (NACK) にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするるとともに、最終バイトの受信時に 9 クロック目の立ち下がり で SCL0 ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
- (6) ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを“1” (NACK) にしてください。
- (7) ICDRR レジスタ (最終バイト - 1 バイト目) 読み出し後、ICSR2.RDRF フラグが“1”であることを確認してから、ICCR2.SP ビットに“1”を書いて (ストップコンディション発行要求)、ICDRR レジスタ (最終バイト) を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL0 ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

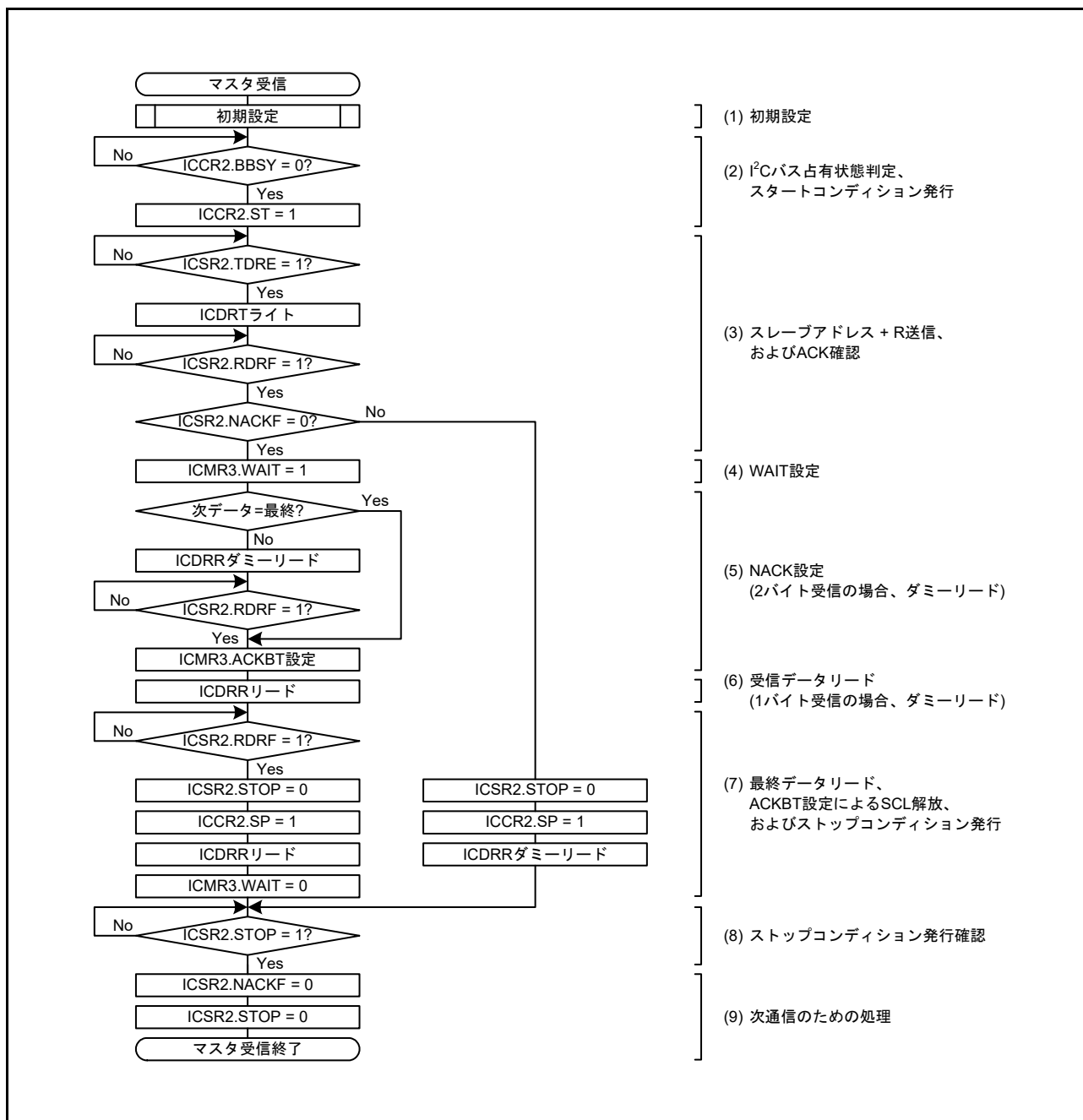


図 35.10 マスタ受信のフローチャート例 (7 ビットアドレスフォーマットの場合、2 バイト以下の場合)

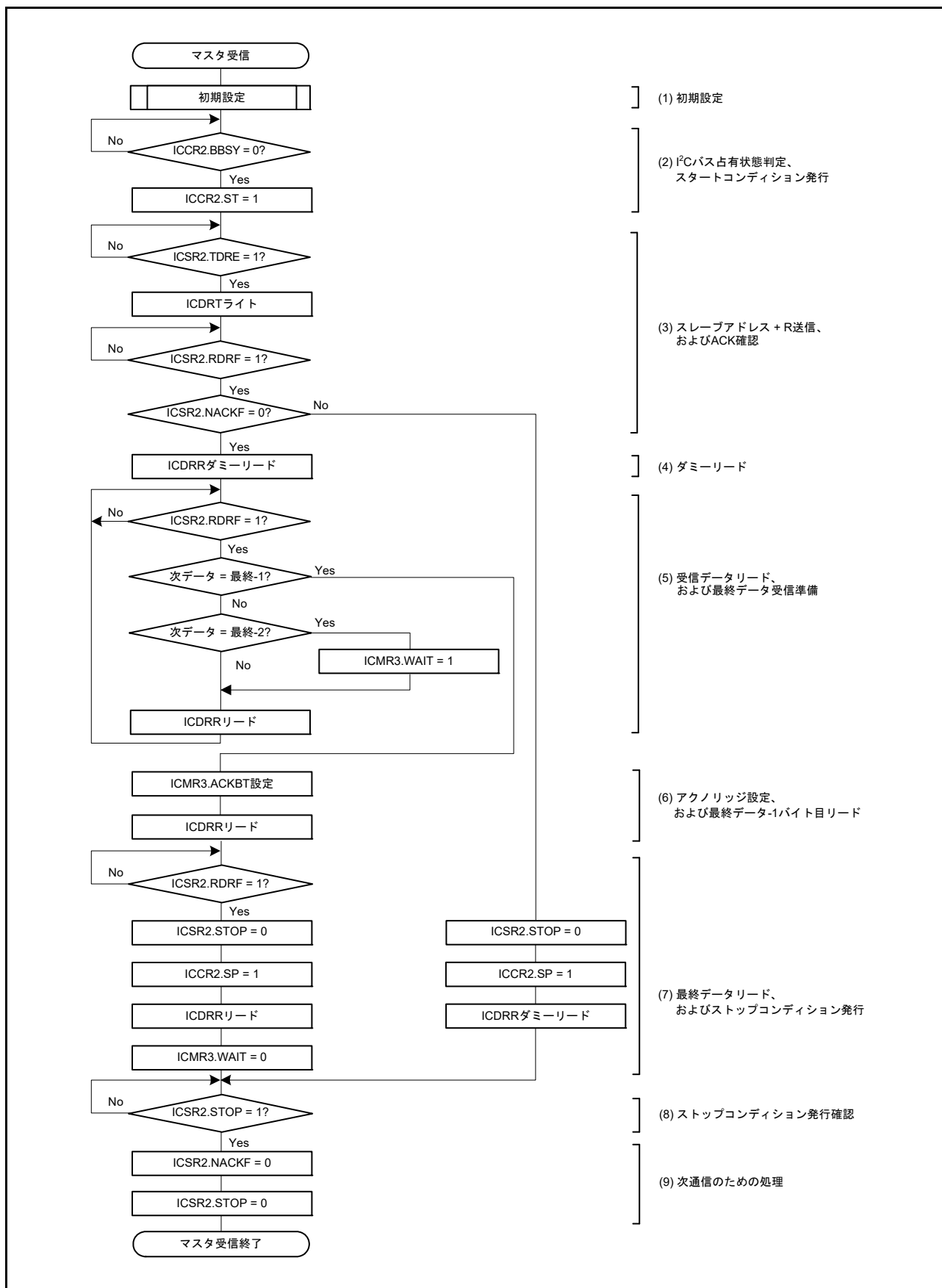


図 35.11 マスタ受信のフローチャート例 (7 ビットアドレスフォーマット、3 バイト以上の場合)

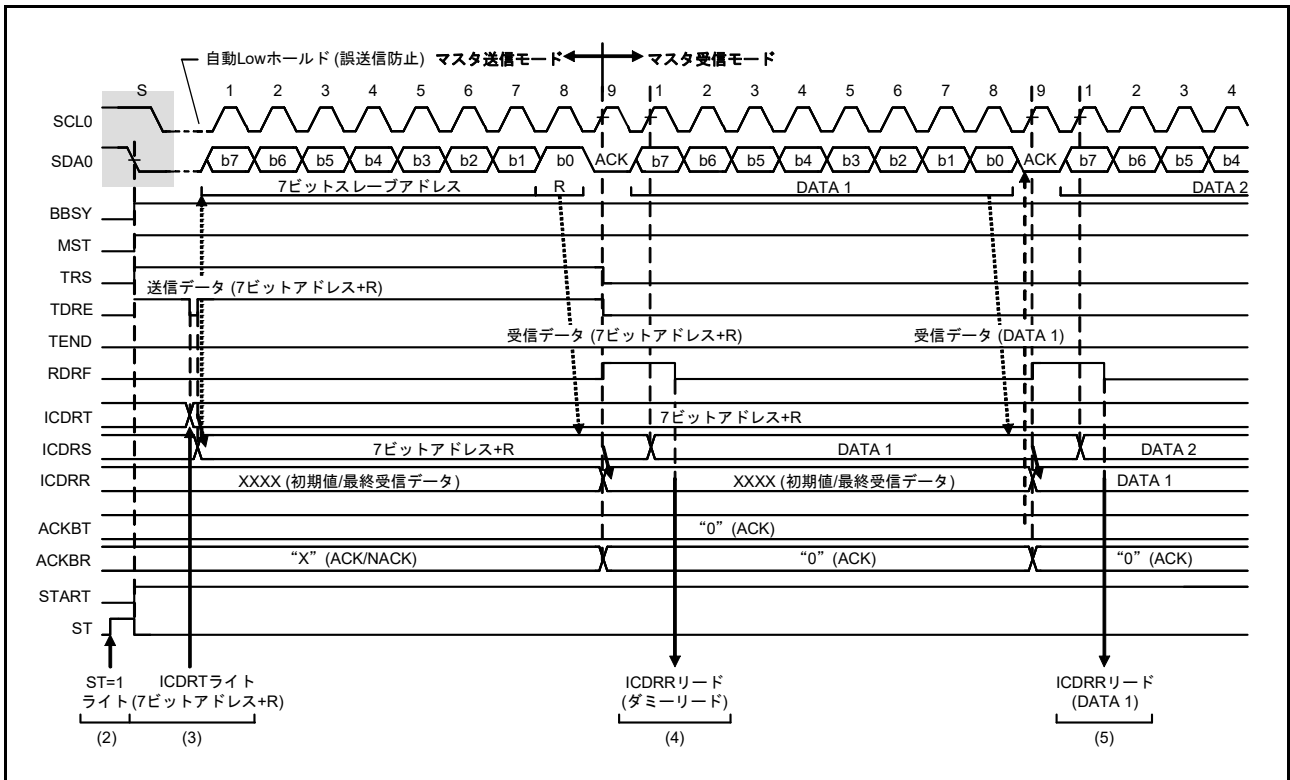


図 35.12 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

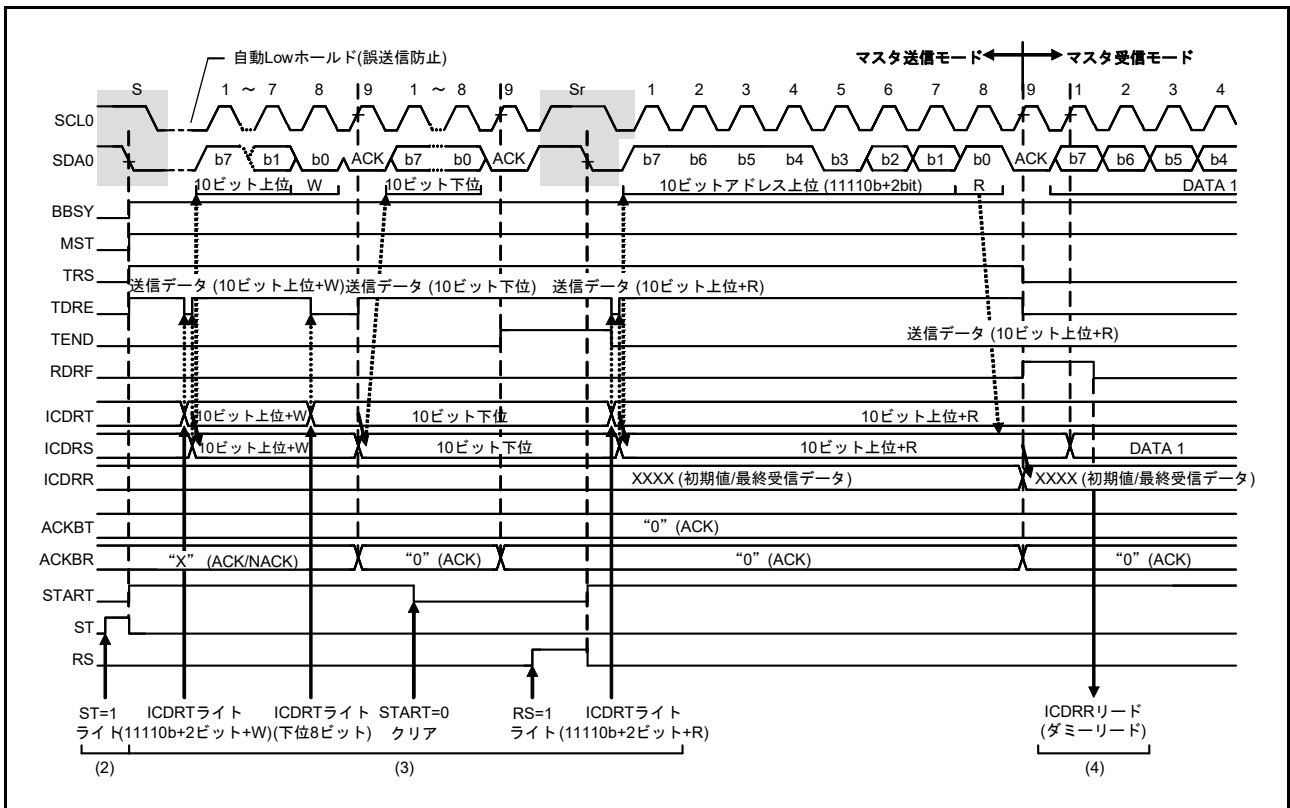


図 35.13 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

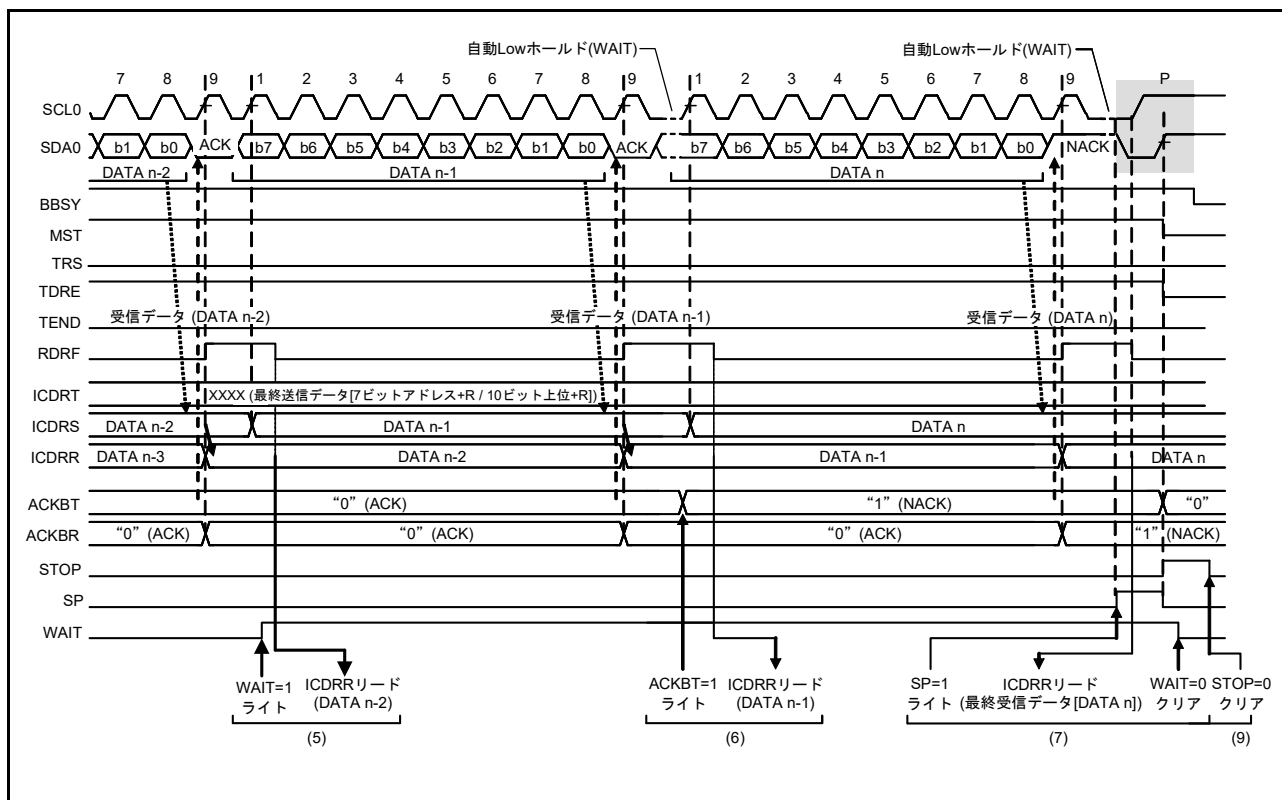


図 35.14 マスタ受信の動作タイミング (3) (RDRFS ビット = 0 のとき)

35.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 35.15 にスレーブ送信の使用例を示します。図 35.16、図 35.17 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「35.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0~2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“1”のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを“1”にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKF ビットが“1”の状態でもスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが“1”になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが“1”の状態、ICSR2.TEND フラグが“1”になるまで待ってください。ICSR2.NACKF フラグが“1”または TEND フラグが“1”の場合、RIIC は 9 クロック目の立ち下がり以降 SCL0 ラインを Low にホールドします。
- (5) ICSR2.NACKF フラグが“1”または ICSR2.TEND フラグが“1”の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCL0 ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0~2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に“0”にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

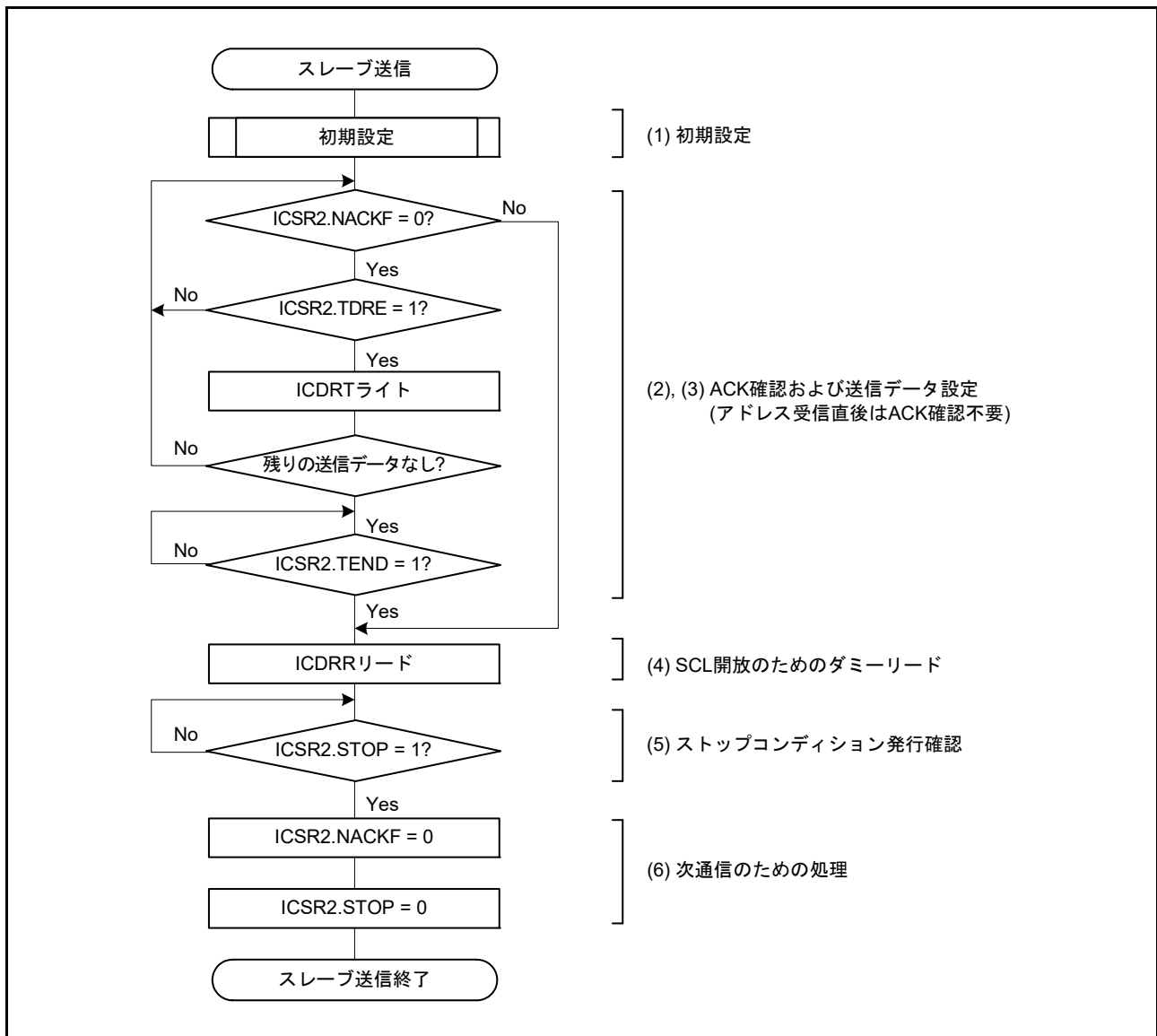


図 35.15 スレーブ送信のフローチャート例

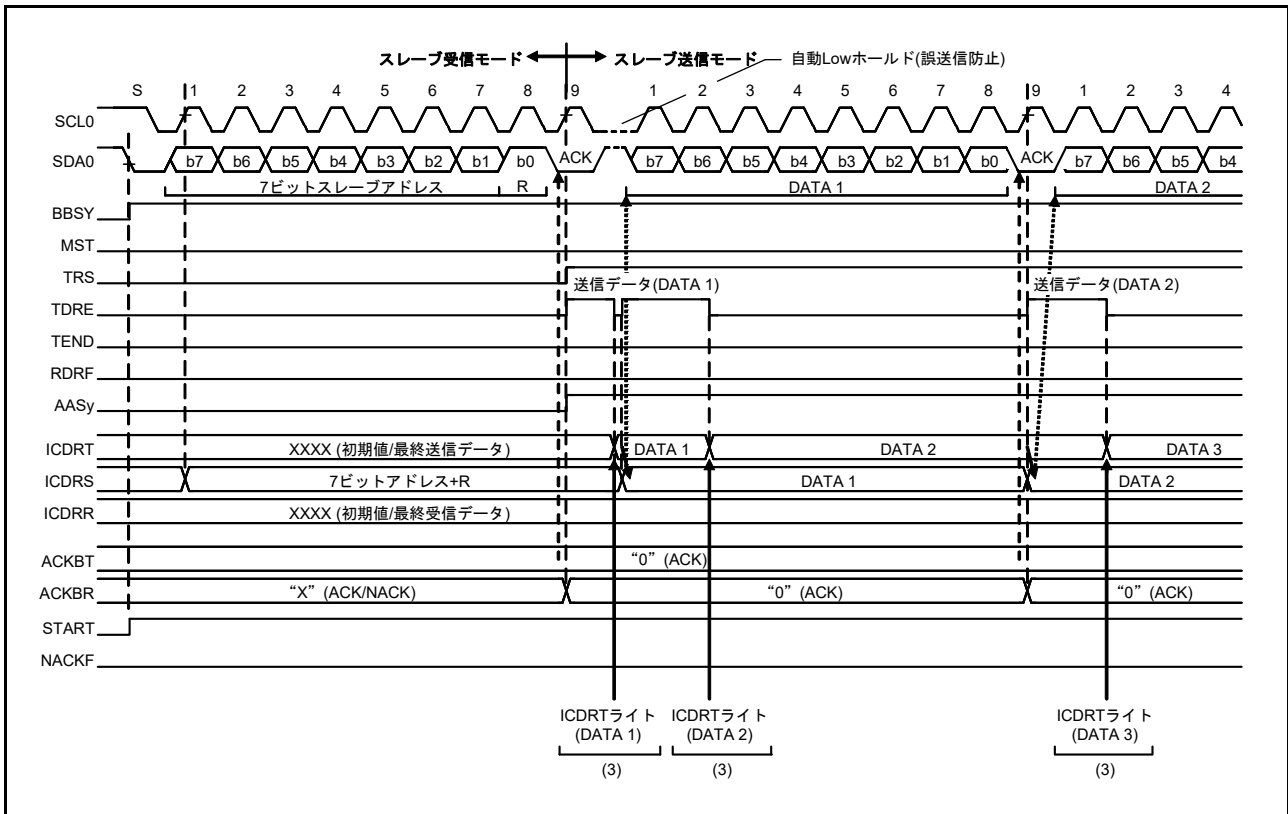


図 35.16 スレーブ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

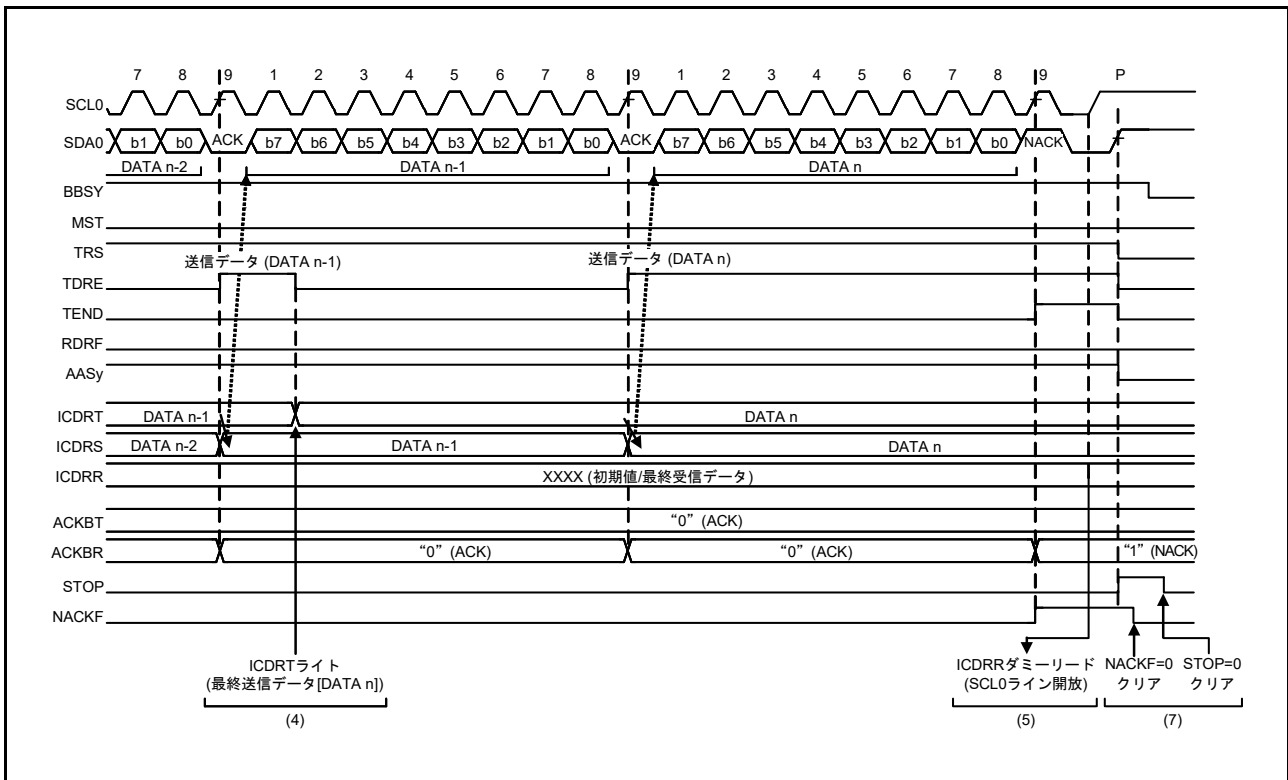


図 35.17 スレーブ送信の動作タイミング (2)

35.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 35.18 にスレーブ受信の使用例を図 35.19、図 35.20 にスレーブ受信の動作タイミングを示します。以下にスレーブ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「35.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y = 0 ~ 2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“0”なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを“1”にします。
- (3) ICSR2.STOP フラグが“0”で、かつ ICSR2.RDRF フラグが“1”であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。
- (4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に“0”にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが“1”になった状態で次のデータを受信すると、RIIC は RDRF フラグが“1”になるタイミングの 1 つ手前の SCL クロック立ち下がり SCL0 ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCL0 ラインを開放します。ICSR2.STOP フラグが“1”で、かつ ICSR2.RDRF フラグが“1”の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y = 0 ~ 2) を自動的に“0”にします。
- (6) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.STOP フラグを“0”にしてください。

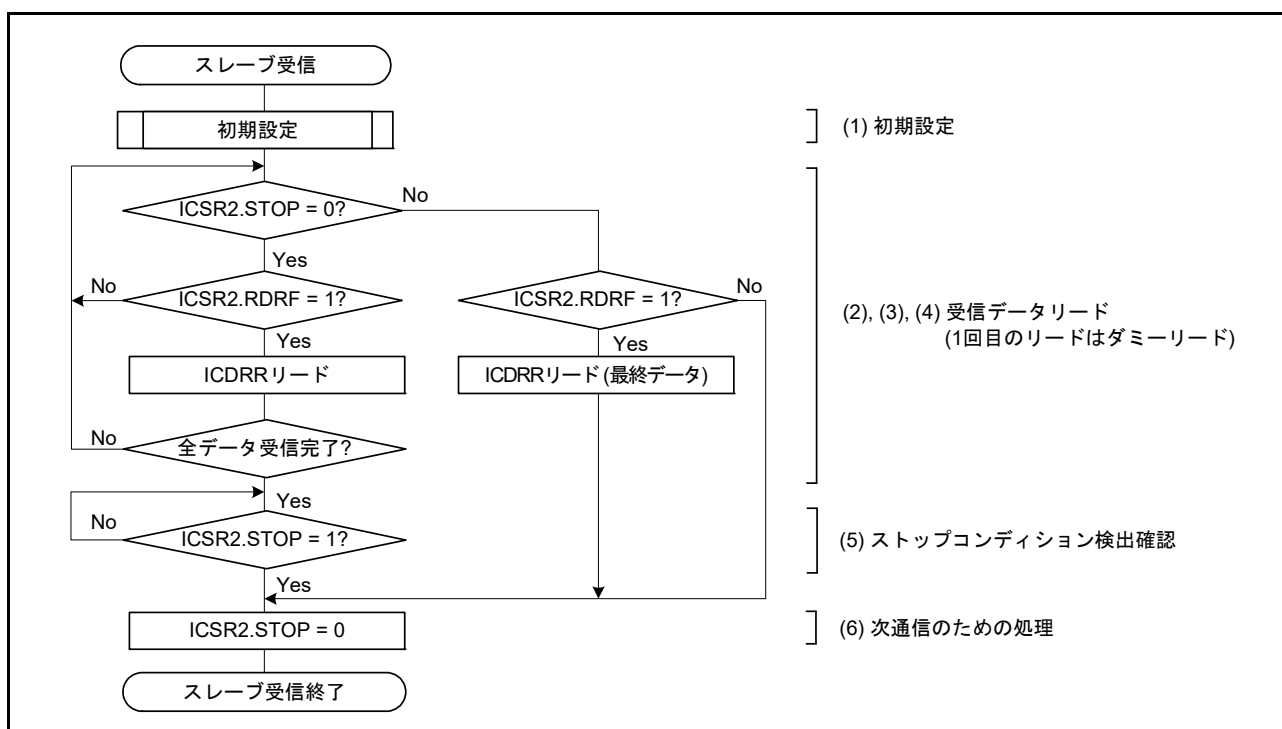


図 35.18 スレーブ受信のフローチャート例

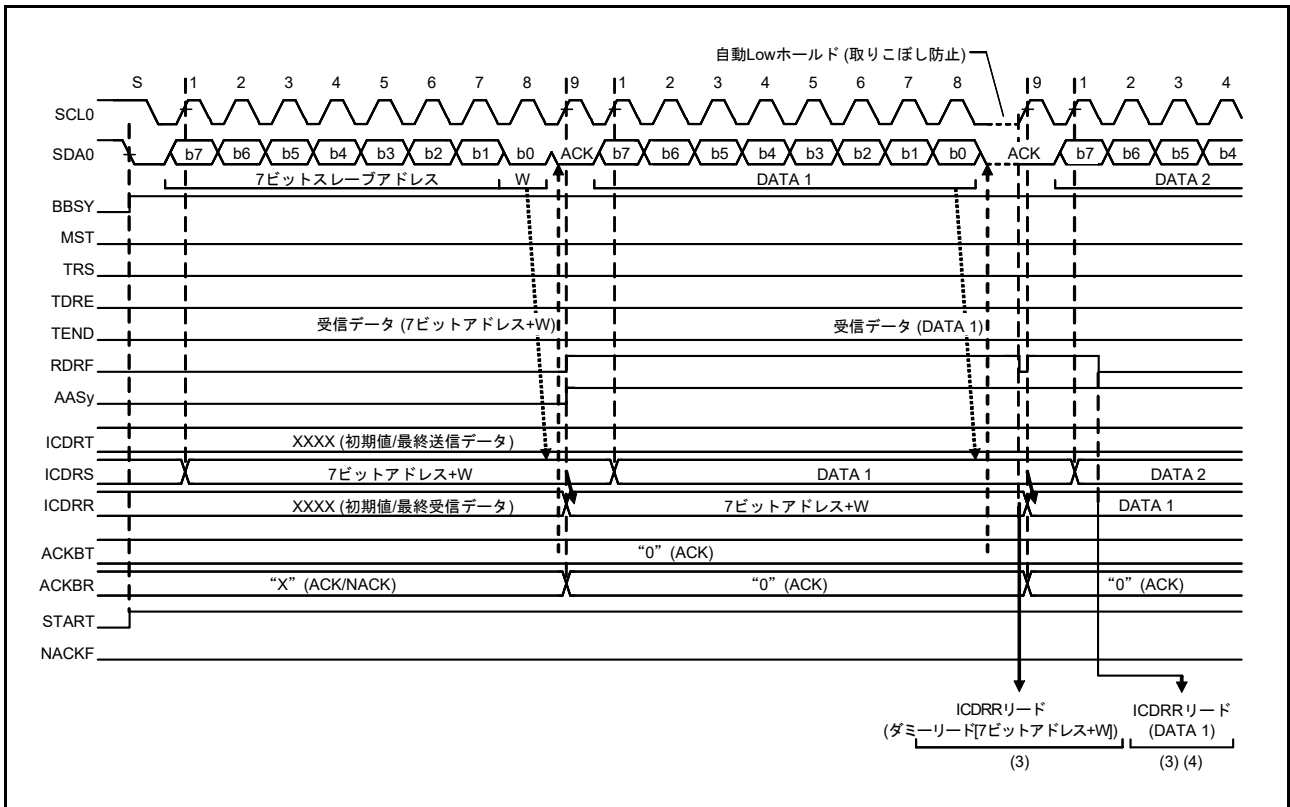


図 35.19 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

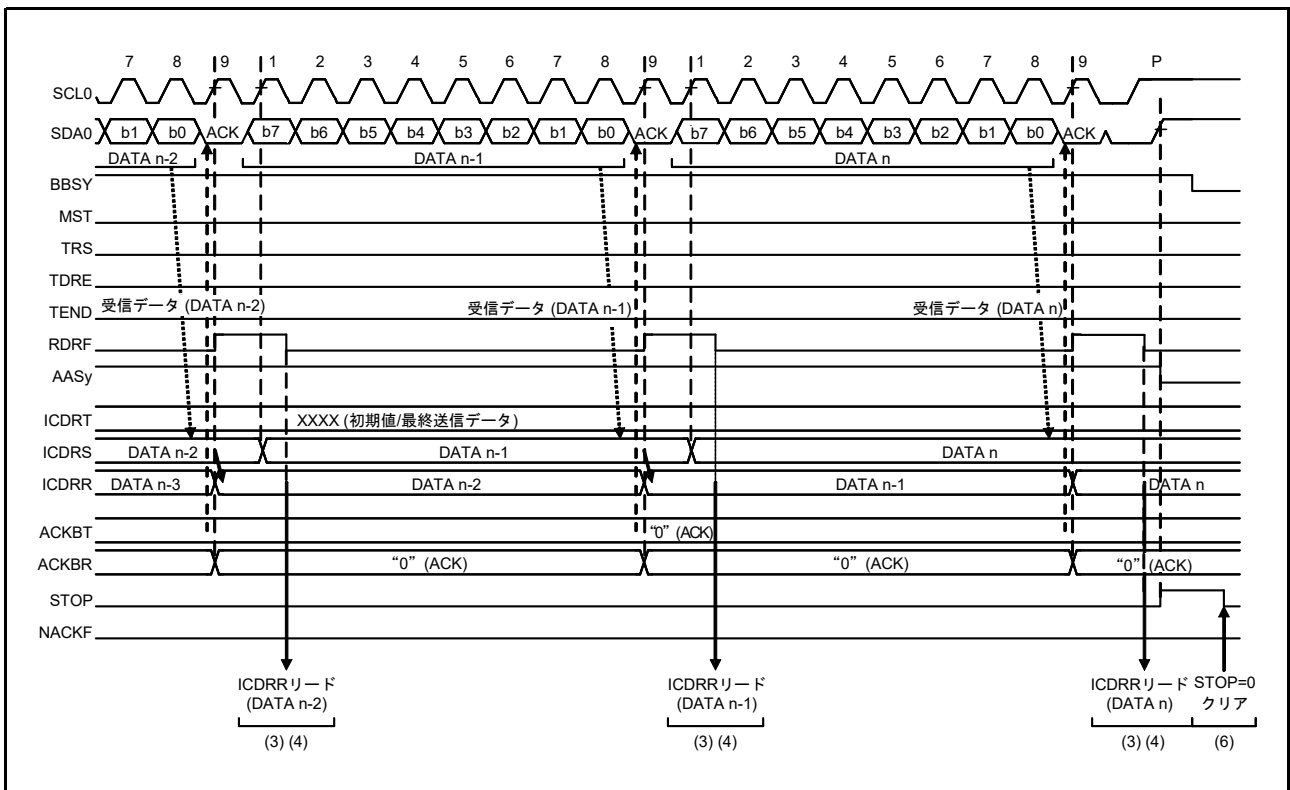


図 35.20 スレーブ受信の動作タイミング (2) (RDRFS ビット = 0 のとき)

35.4 SCL 同期回路

RIIC の SCL クロック生成は SCL0 ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウンタを開始し、High 幅のカウンタが終了すると SCL0 ラインを Low にドライブして立ち下げます。また SCL0 ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウンタを開始し、Low 幅のカウンタが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。これにより SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL クロックの同期化を行う必要があります。この SCL クロックの同期はビットごとに行う必要があります。RIIC はマスタモード時に SCL0 ラインを監視してビットごとに同期を取りながら SCL クロックを生成する機能 (SCL 同期回路) を備えています。

RIIC が SCL0 ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウンタ中に他のマスタデバイスの SCL クロック出力により SCL0 ラインが立ち下げられた場合、RIIC は SCL0 ラインの立ち下がりを検出すると High 幅のカウンタアップ動作を中断し、SCL0 ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウンタアップを開始します。Low 幅のカウンタが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。このとき他のマスタデバイスの SCL クロックの Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCL0 ラインが開放され SCL クロックが立ち上がります。そのため SCL クロック出力衝突時の SCL クロックの High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが“1”のとき有効です。

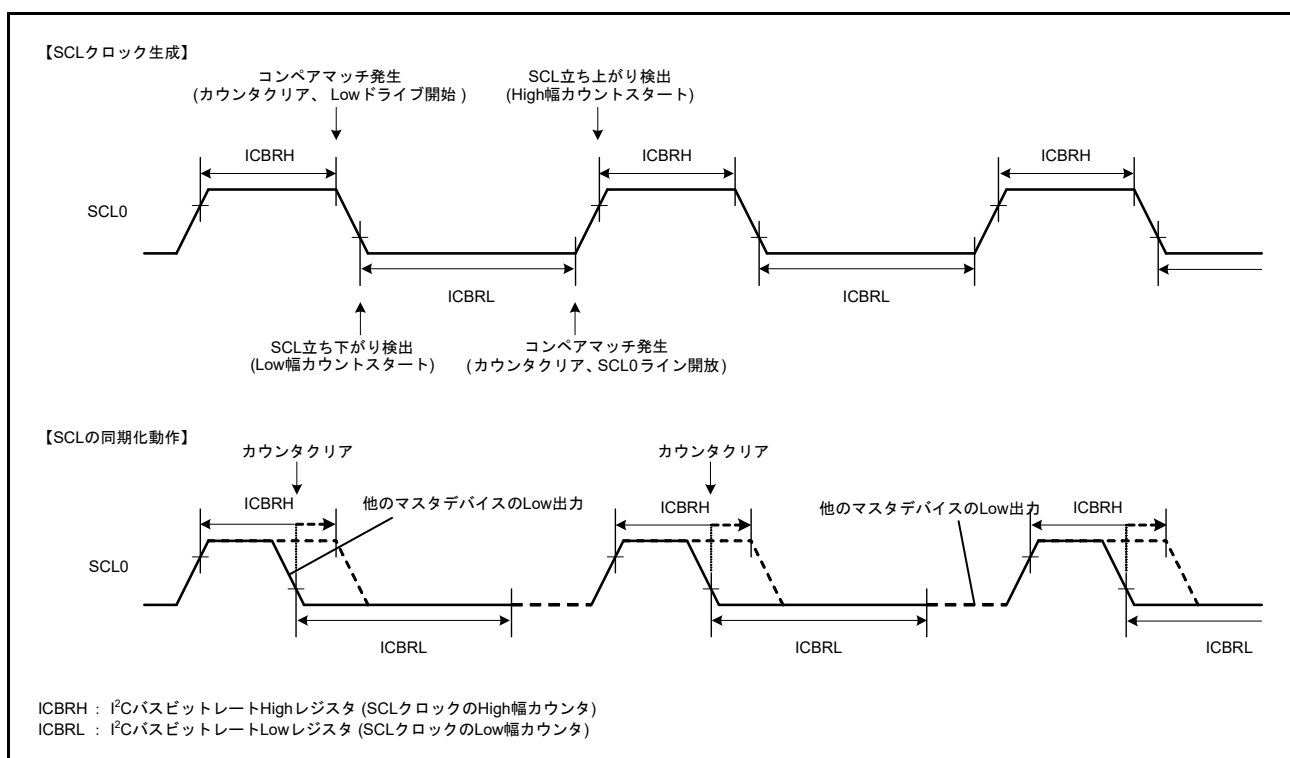


図 35.21 RIIC の SCL クロック生成および SCL 同期化動作

35.5 SDA出力遅延機能

RIICはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング(発行動作(開始/再開始/停止)、データ出力、ACK/NACK出力)を遅延させることができます。

SDA出力遅延機能は、SCLクロックの立ち上がり検出からSDA出力を遅延させ、確実にSCLクロックのLow期間中にSDA出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用する機能で、SMBusのデータホールド時間: 300 ns (min)の仕様を満たす目的でも使用することができます。

このSDA出力遅延機能はICMR2.SDDL[2:0]ビットが“000b”以外のとき有効で、SDDL[2:0]ビットが“000b”のとき無効です。

SDA出力遅延機能が有効(SDDL[2:0]ビットが“000b”以外)のとき、SDA出力遅延カウンタはICMR2.DLCSビットで選択された内部基準クロック(IICφ)またはその2分周クロック(IICφ/2)をカウントソースとしてSDDL[2:0]ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル分のカウントが終了した時点でRIICはSDA出力(発行動作(開始/再開始/停止)、データ出力、ACK/NACK出力)を行います。

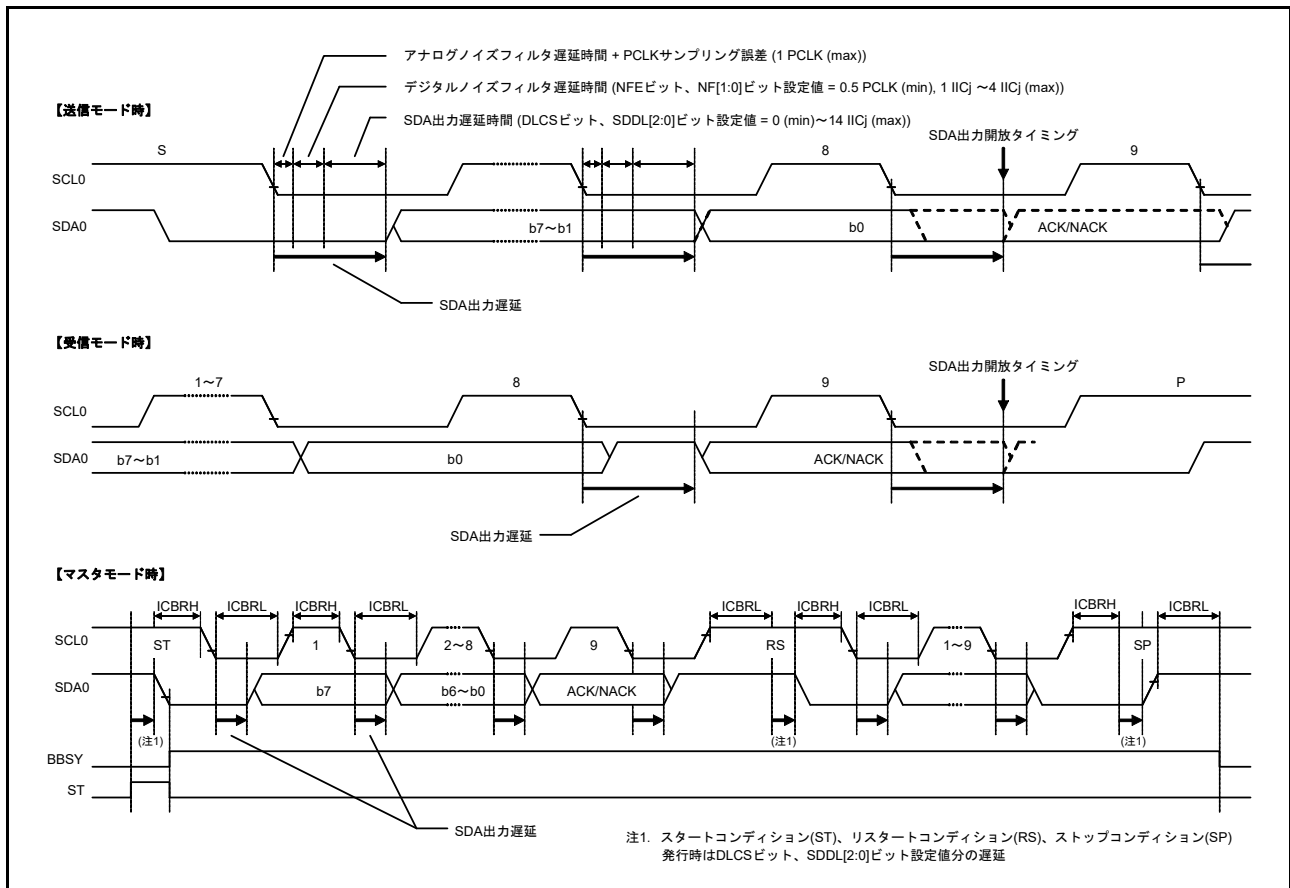


図 35.22 SDA出力遅延タイミング

35.6 デジタルノイズフィルタ回路

SCL0 端子および SDA0 端子の状態は、アナログノイズフィルタ回路およびデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 35.23 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて $1 IIC\phi \sim 4 IIC\phi$ サイクル分となります。

SCL0 端子入力信号 (または SDA0 端子入力信号) は $IIC\phi$ の立ち下がり でサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、 $PCLK = 4 \text{ MHz}$ 時の 400 kbps 通信のように内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上、ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止 (ICFER.NFE ビット = 0) し、アナログノイズフィルタ回路のみを使用することが可能です。

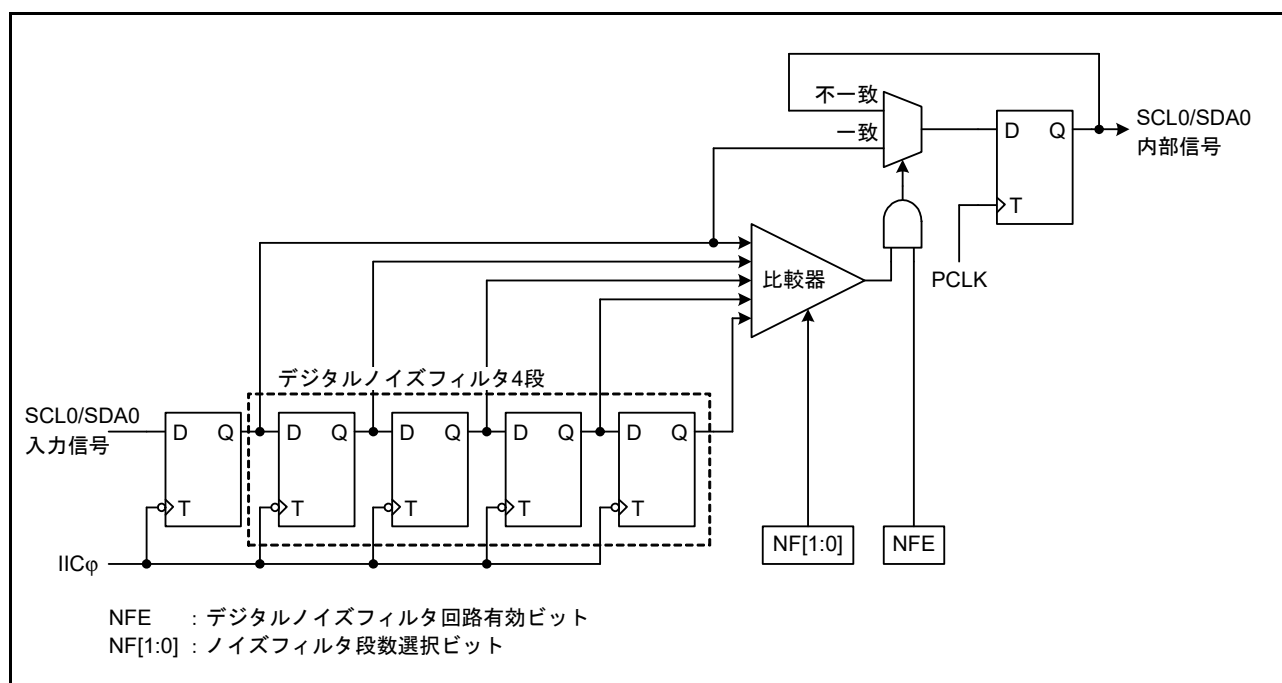


図 35.23 デジタルノイズフィルタ回路のブロック図

35.7 アドレス一致検出機能

RIICはジェネラルコールアドレス、ホストアドレスの他に3種類のスレーブアドレスを設定可能です。またスレーブアドレスには7ビットアドレスまたは10ビットアドレスの設定が可能です。

35.7.1 スレーブアドレス一致検出機能

RIICは3種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyEビット(y=0~2)が“1”のとき、SARUy/SARLyレジスタ(y=0~2)に設定されたスレーブアドレスを検出することができます。

RIICは設定されたスレーブアドレス一致を検出すると、SCLクロックの9クロック目の立ち上がりで該当するICSR1.AASyフラグ(y=0~2)を“1”にし、続くR/W#ビットによりICSR2.RDRFフラグまたはICSR2.TDREフラグを“1”にします。これにより受信データフル割り込み(RXI)または送信データエンpty割り込み(TXI)を発生させることができ、AASyフラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図35.24~図35.26にAASyフラグが“1”になるタイミングを示します。

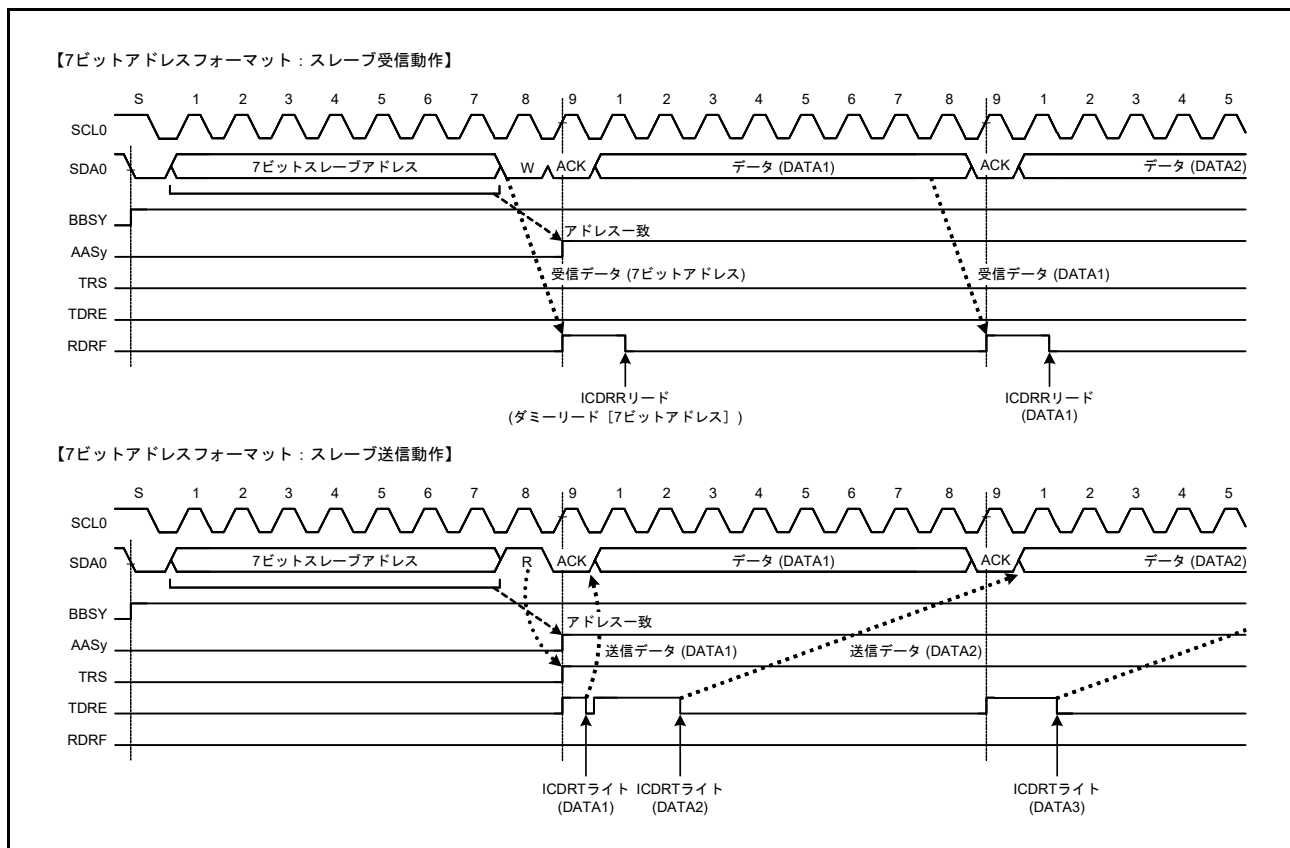


図 35.24 7ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

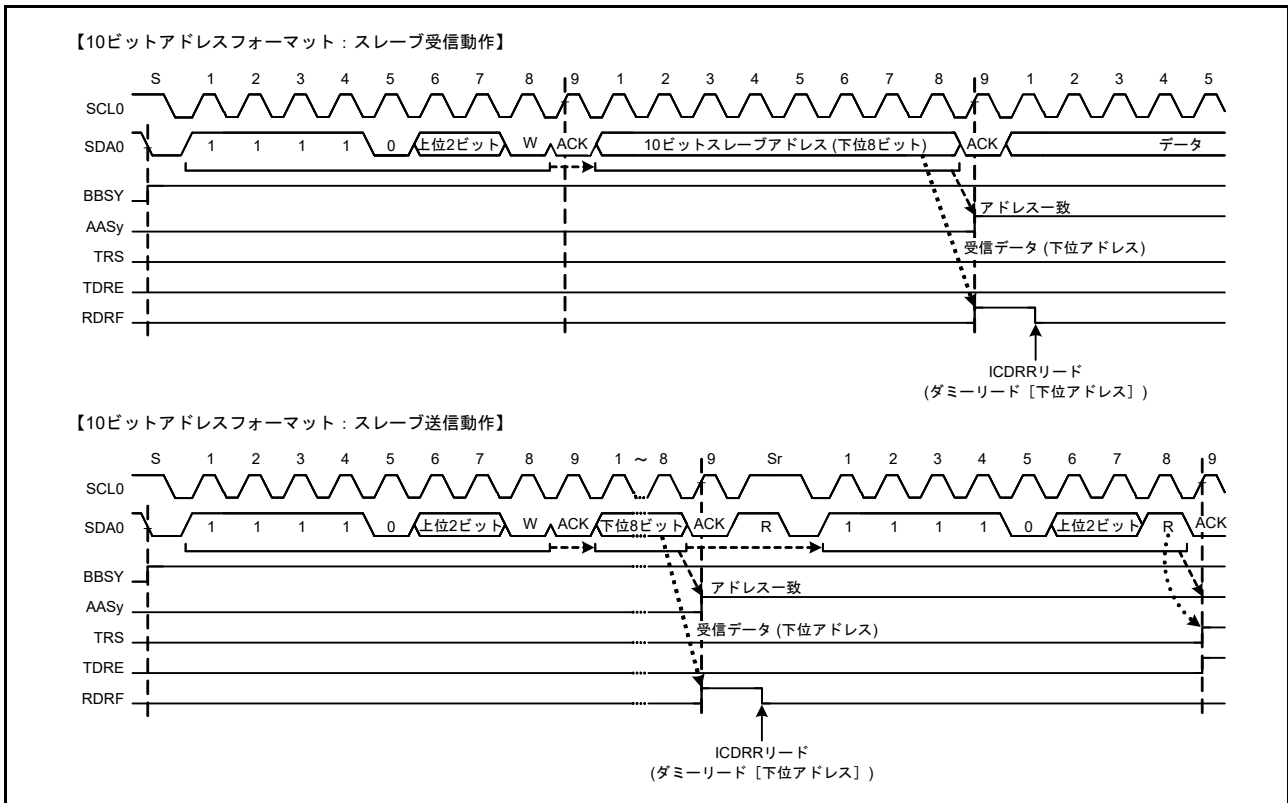


図 35.25 10ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

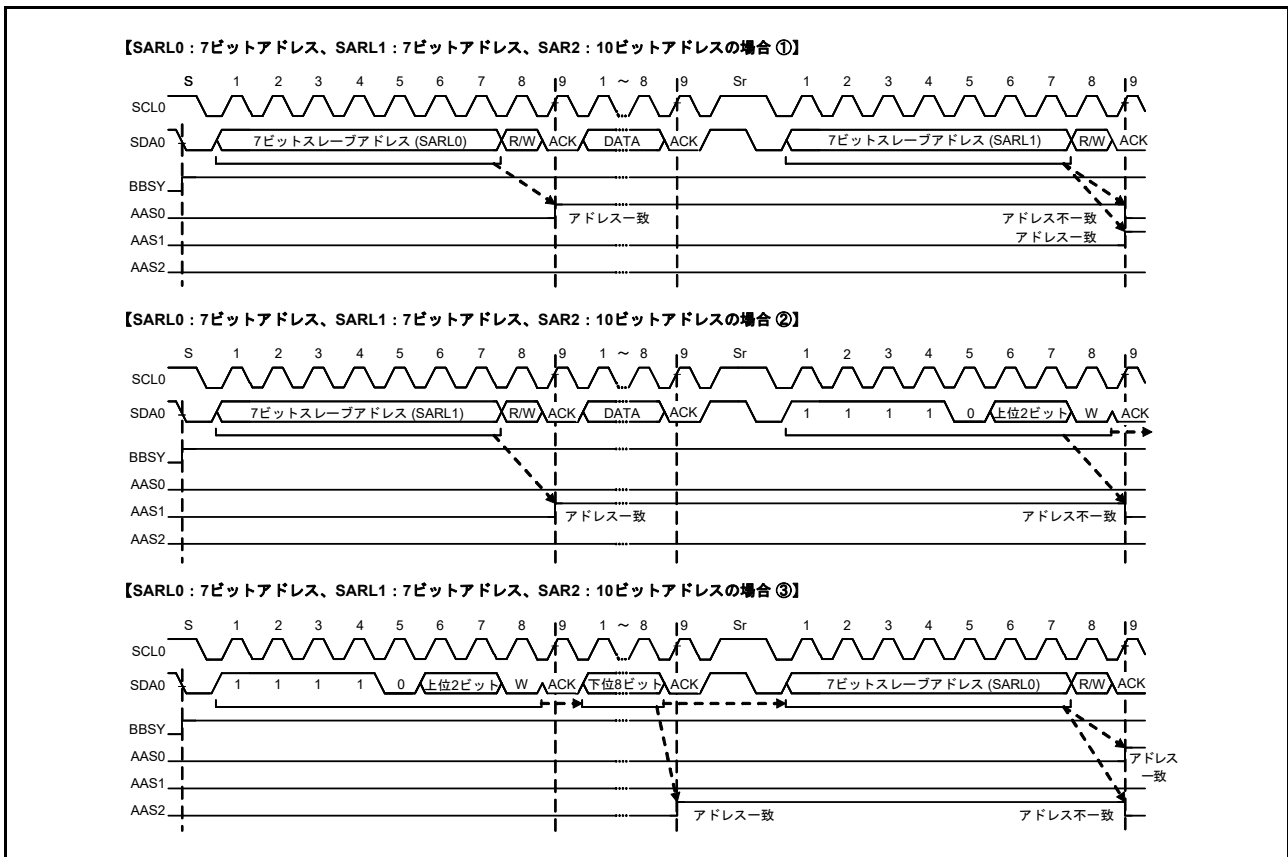


図 35.26 7ビット/10ビットアドレスフォーマット混在時に AASy フラグが“1”または“0”になるタイミング

35.7.2 ジェネラルコールアドレス検出機能

RIICはジェネラルコールアドレス (0000 000b + 0 (write)) の検出機能を備えています。ICSER.GCAE ビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b + 1 (read) (スタートバイト) だった場合、RIICはこのアドレスを All “0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIICはジェネラルコールアドレスを検出すると、SCLクロックの9クロック目の立ち上がりで ICSR1.GCA フラグを“1”にし、同時に ICSR2.RDRF フラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

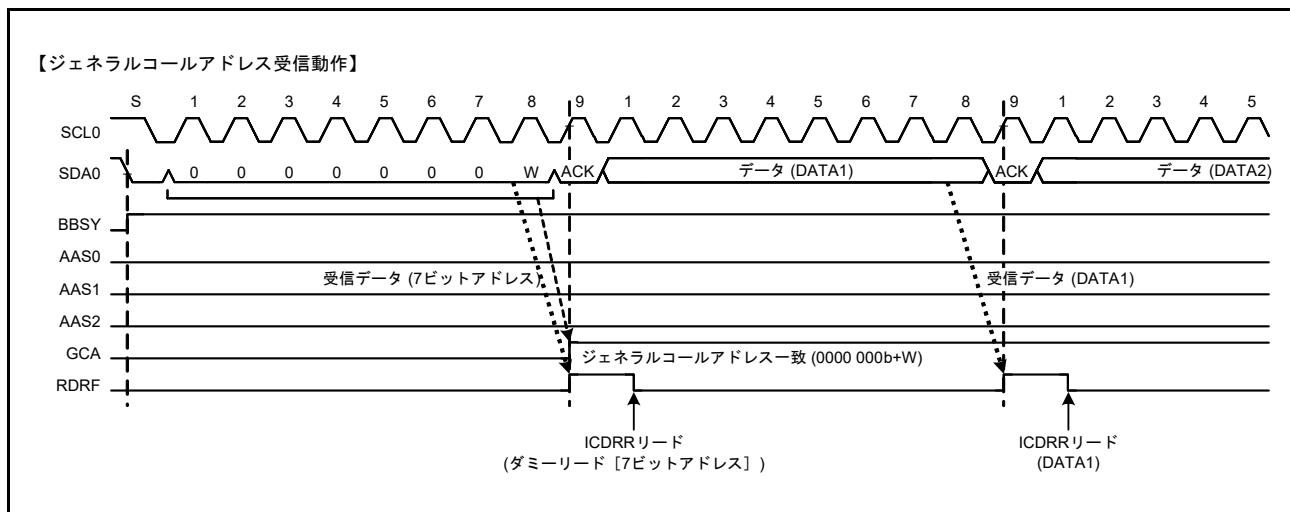


図 35.27 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

35.7.3 デバイス ID アドレス検出機能

RIICはI²Cバス(Rev.03)に準拠したデバイスIDアドレスの検出機能を備えています。ICSER.DIDEビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の1バイト目に1111 100bを受信すると、RIICはこのアドレスをデバイスIDアドレスと認識し、続くR/W#ビットが“0”のときSCLクロックの8クロック目の立ち上がりでICSR1.DIDフラグを“1”にした後、2バイト目以降と自スレーブアドレスとの比較動作を行います。この2バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当するICSR1.AASyフラグ(y=0~2)が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の1バイト目が再びデバイスIDアドレス(1111 100b)と一致し、続くR/W#ビットが“1”のときRIICは続く2バイト目以降はアドレス比較動作を行わず、ICSR2.TDREフラグを“1”にします。

デバイスIDアドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイスIDアドレスと不一致の場合、DIDフラグを“0”にし、スタートコンディションまたはリスタートコンディション後の1バイト目がデバイスIDアドレス(1111 100b)と一致し、かつR/W#ビットが“0”のときDIDフラグを“1”にセットし、続く2バイト目以降をスレーブアドレスと比較します。R/W#ビットが“1”の場合、DIDフラグは前値の状態を継続し、2バイト目以降のスレーブアドレス比較を行いません。そのため、TDREフラグが“1”であることを確認後DIDフラグをチェックすることで、デバイスIDを受信したことを確認することができます。

なお、一連のデバイスID受信後にホストに送信するデバイスIDフィールドとして必要な情報(3バイト分: メーカー[12ビット]+部品識別[9ビット]+リビジョン[3ビット])は、通常の送信データと同様あらかじめ準備してください。また、デバイスIDフィールドに必要な情報の詳細についてはNXP社にお問い合わせください。

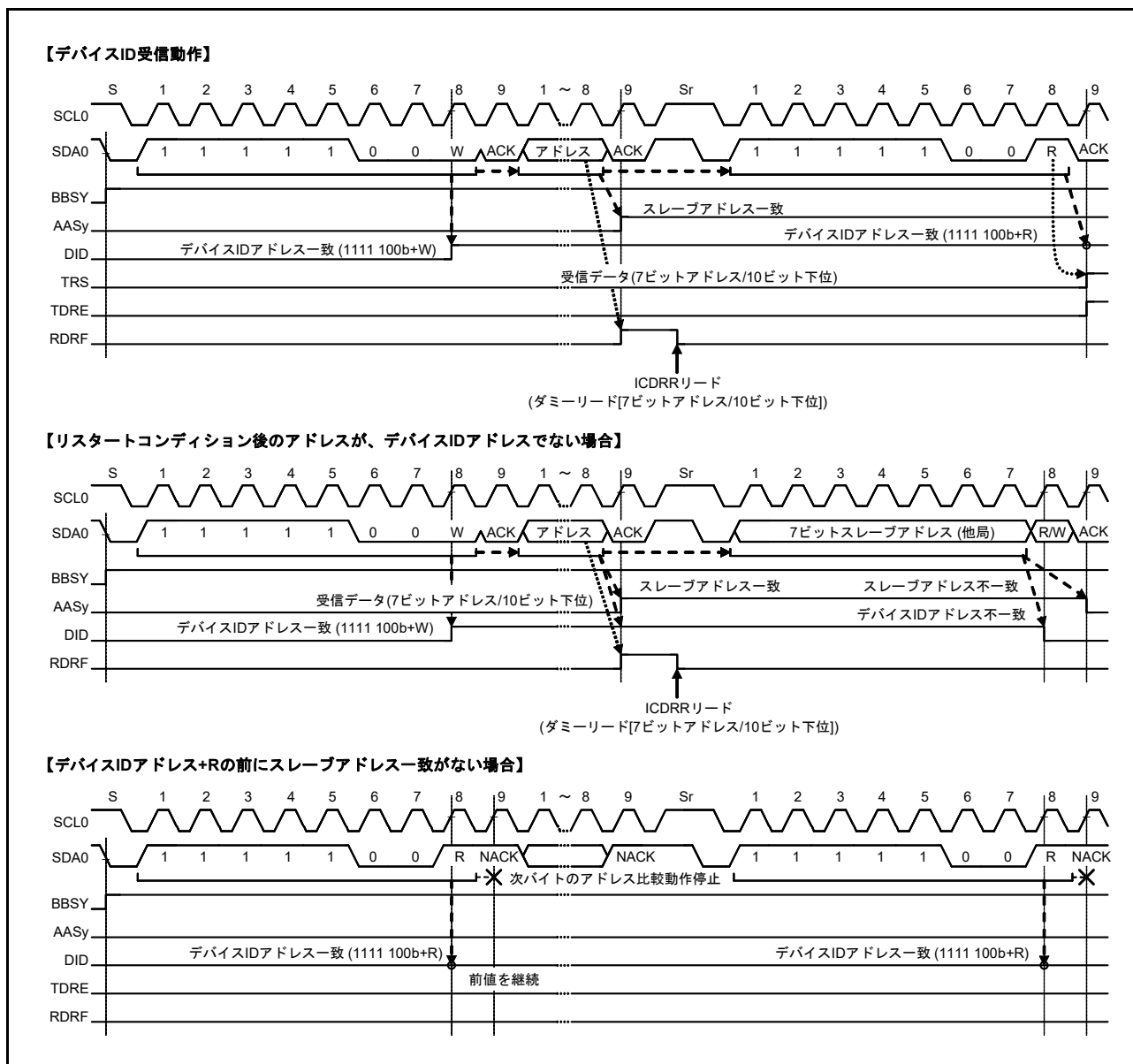


図 35.28 デバイス ID アドレス受信時の AASy、DID フラグセット/クリアタイミング

35.7.4 ホストアドレス検出機能

RIICにはSMBus動作時にホストアドレス検出機能を備えています。ICMR3.SMBSビットが“1”のときICSER.HOAEビットを“1”にすると、スレーブ受信モード (ICCR2.MST, TRSビット=00b) にホストアドレス (0001 000b) を検出することが可能です。

RIICはホストアドレスを検出すると、SCLクロックの9クロック目の立ち上がりでICSR1.HOAフラグを“1”にし、Wrビット (R/W#ビットに“0”を受信) のときICSR2.RDRFフラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、HOAフラグを確認することでスマートバッテリーなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス (0001 000b) に続くビットがRdビット (R/W#ビットに“1”を受信) の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

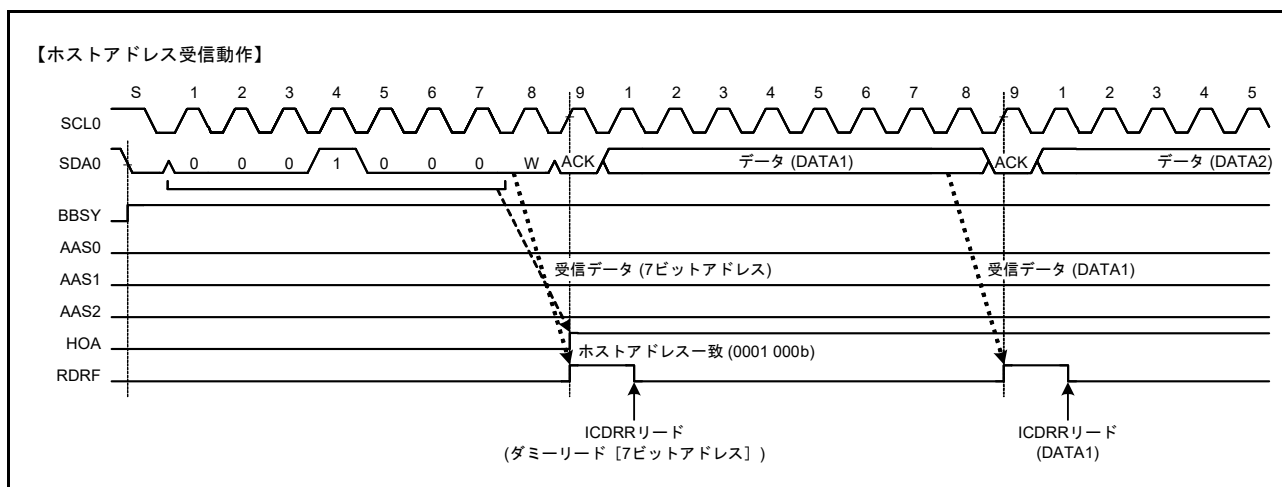


図 35.29 ホストアドレス受信時に HOA フラグが “1” になるタイミング

35.8 SCLの自動Lowホールド機能

35.8.1 送信データ誤送信防止機能

RIICは送信モード時(ICCR2.TRSビット=1)、シフトレジスタ(ICDRSレジスタ)が空の状態かつ送信データ(ICDRTレジスタ)が書かれていない場合、以下に示す区間、自動的にSCL0ラインのLowホールドを行います。このLowホールドは送信データの書き込みが行われるまでの期間Low区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション/リスタートコンディション発行後のLow区間
- 9クロック目と1クロック目のLow区間

《スレーブ送信モード》

- 9クロック目と1クロック目のLow区間

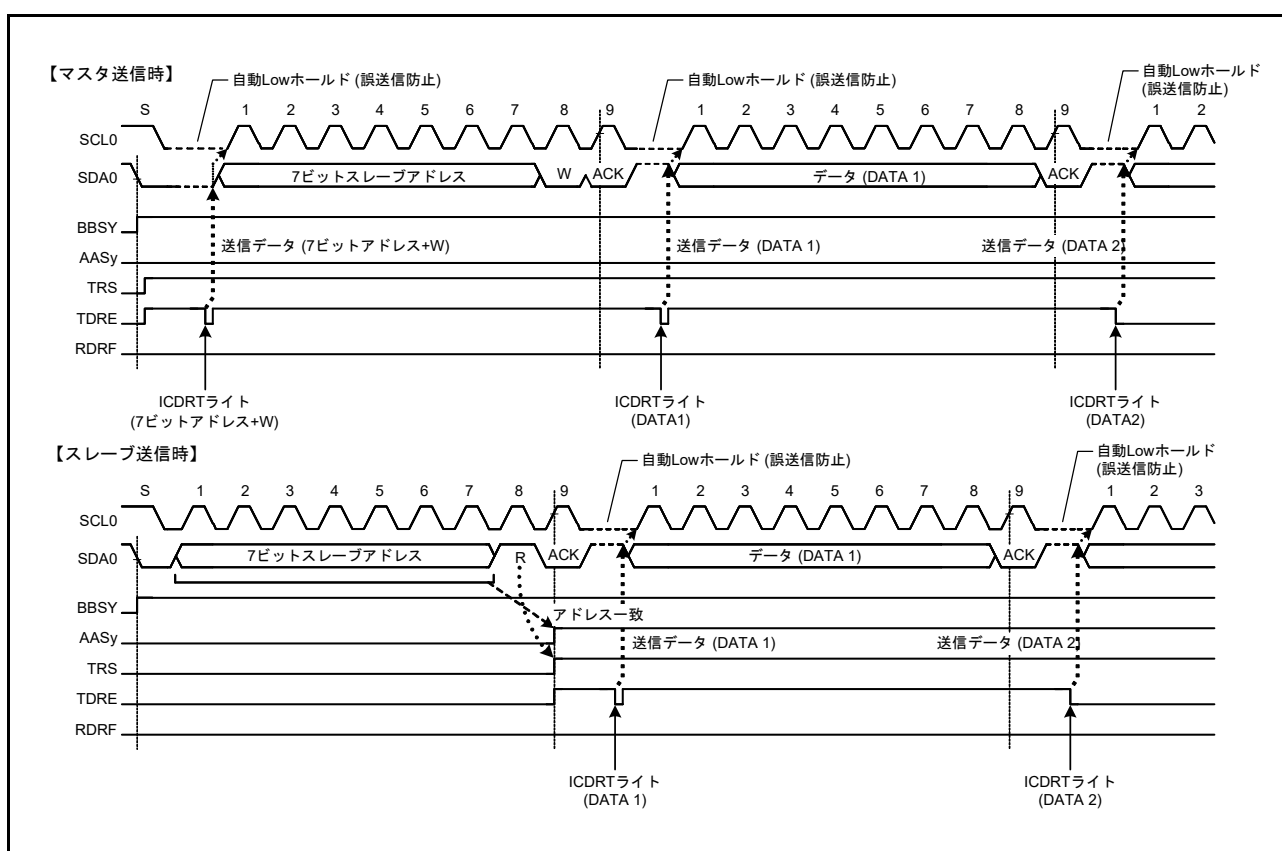


図 35.30 送信モードの自動Lowホールド動作

35.8.2 NACK 受信転送中断機能

RIICは送信モード時 (ICCR2.TRS ビット = 1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKCE ビットが “1” (転送中断許可) のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0 の状態)、SCL クロックの9クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が “0” のときの SDA0 ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。またマスタ送信モードの場合には NACKF フラグを “0” にした後、リスタートコンディション発行またはストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。

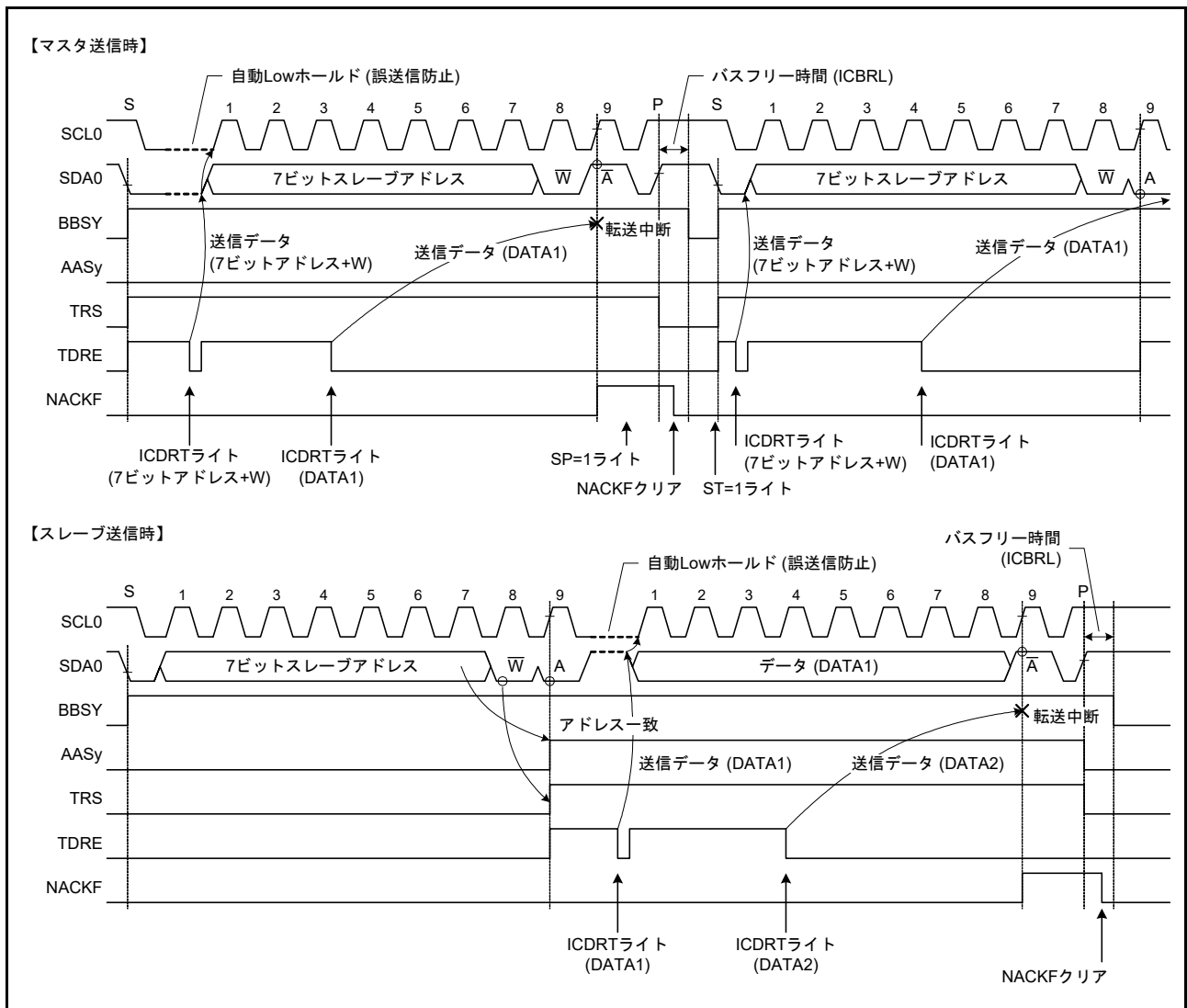


図 35.31 NACK 受信時の転送中断動作 (NACKCE ビット = 1 のとき)

35.8.3 受信データ取りこぼし防止機能

RIICは受信モード時 (ICCR2.TRS ビット = 0)、受信データフル (ICSR2.RDRF フラグ = 1) の状態で受信データ (ICDRR レジスタ) の読み出しが1転送バイト以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の1つ手前で自動的に SCL0 ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIICでは ICMR3.WAIT, RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる1バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを“1”にすると、RIICは WAIT ビット機能による1バイト受信動作になります。ICMR3.RDRFS ビットが“0”のとき、RIICは SCL クロックの8クロック目の立ち下がりから9クロック目の立ち下がり期間のアクノリッジビットには自動的に ICMR3.ACKBT ビットの内容が送出され、9クロック目立ち下がりを検出すると WAIT ビット機能により自動的に SCL0 ラインを Low にホールドします。この Low ホールドは ICDRR レジスタの読み出しによって解除されます。そのため1バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

(2) RDRFS ビットによる1バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを“1”にすると、RIICは RDRFS ビット機能による1バイト受信動作になります。RDRFS ビットを“1”にすると、受信データフルフラグ (ICSR2.RDRF フラグ) が“1”になるタイミングが SCL クロックの8クロック目の立ち上がりに変更され、8クロック目の立ち下がりを検出すると自動的に SCL0 ラインを Low にホールドします。この Low ホールドは ICMR3.ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため1バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

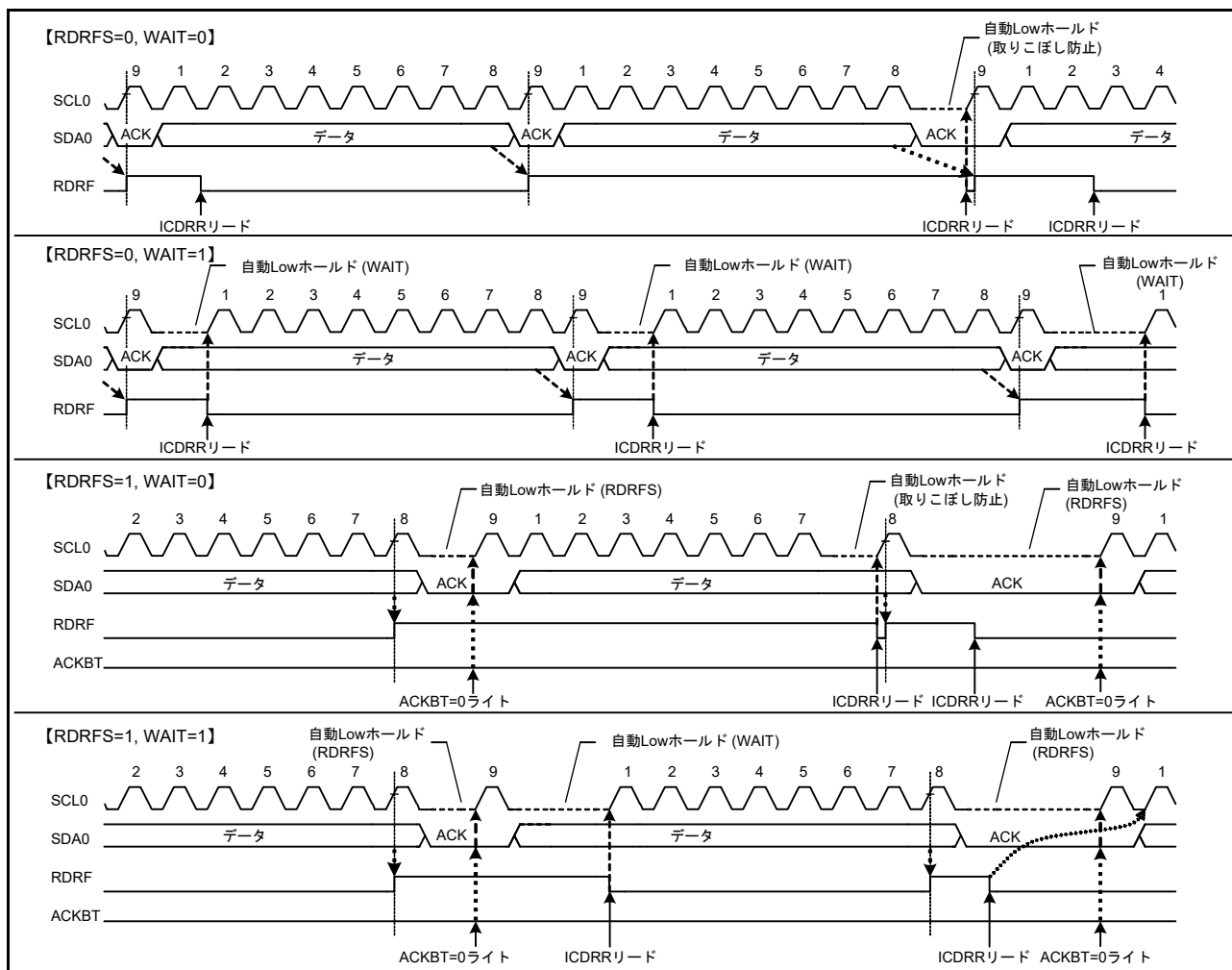


図 35.32 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

35.9 アービトレーションロスト検出機能

RIICにはI²Cバス仕様で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

35.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIICはスタートコンディション発行の際SDA0ラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDA0ラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICCR2.BBSYフラグが“1”(バスビジー中)のときにICCR2.STビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ(SDA信号)とSDA0ラインに不一致が生じた場合(SDA出力がHigh出力(SDA0端子はハイインピーダンス)で、SDAラインにLowを検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICはスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、ICFER.MALEビットが“1”(マスタアービトレーションロスト検出許可)の状態以下に示す条件が成立したとき、アービトレーションロストを検出します。

マスタアービトレーションロスト条件

- ICCR2.BBSYフラグが“0”の状態(ICCR2.STビットを“1”)にしてスタートコンディションを発行したときにSDA信号とSDA0ライン上の信号の状態が不一致のとき(スタートコンディション発行エラー)
- ICCR2.BBSYフラグが“1”でICCR2.STビットを“1”)にしたとき(スタートコンディション二重発行エラー)
- マスタ送信モード時(ICCR2.MST, TRSビット=11b)、アクノリッジを除く送信データ(SDA信号)とSDA0ライン上の信号の状態が不一致のとき

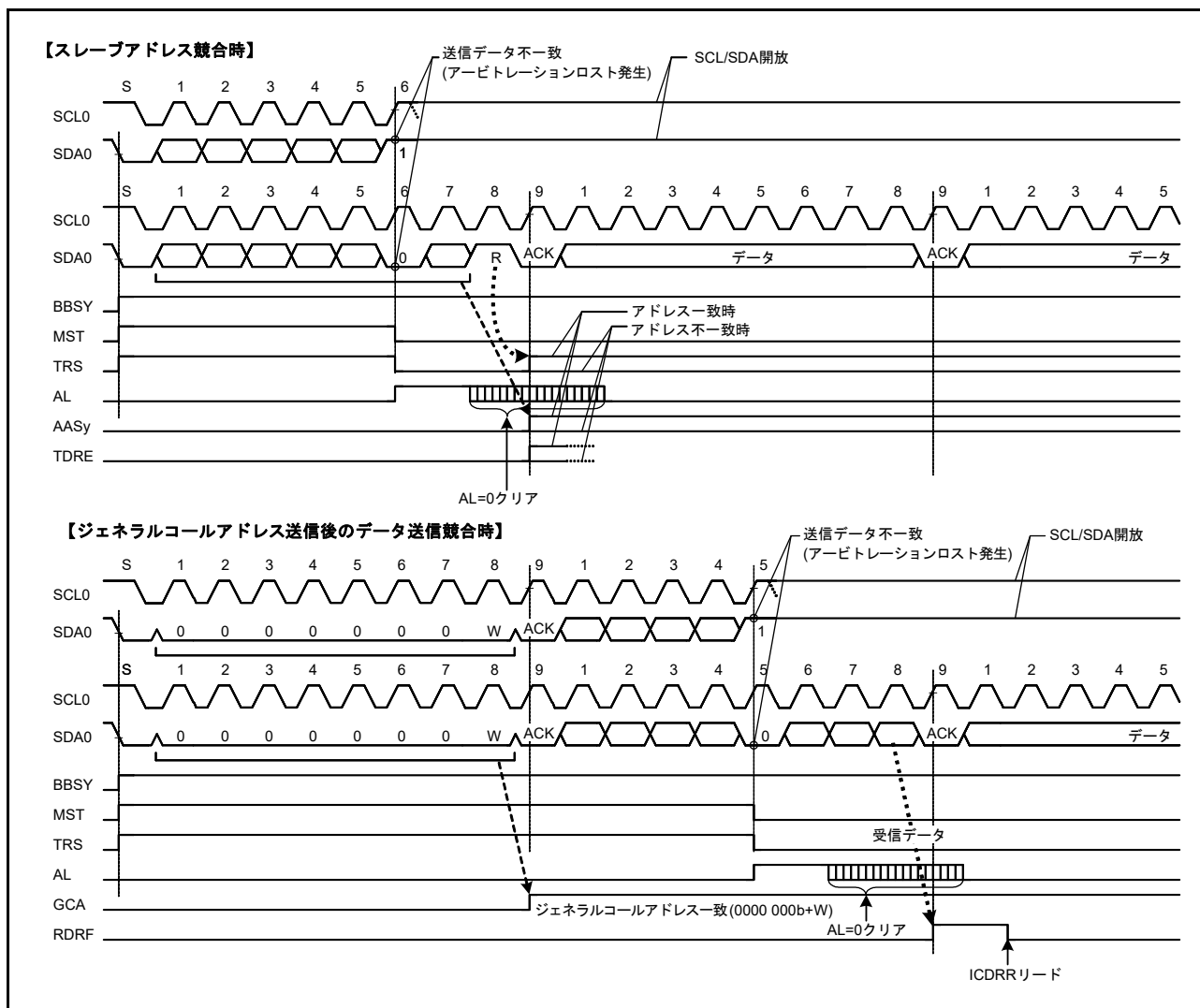


図 35.33 マスタアービトレーションロスト検出動作例 (MALE ビット = 1 のとき)

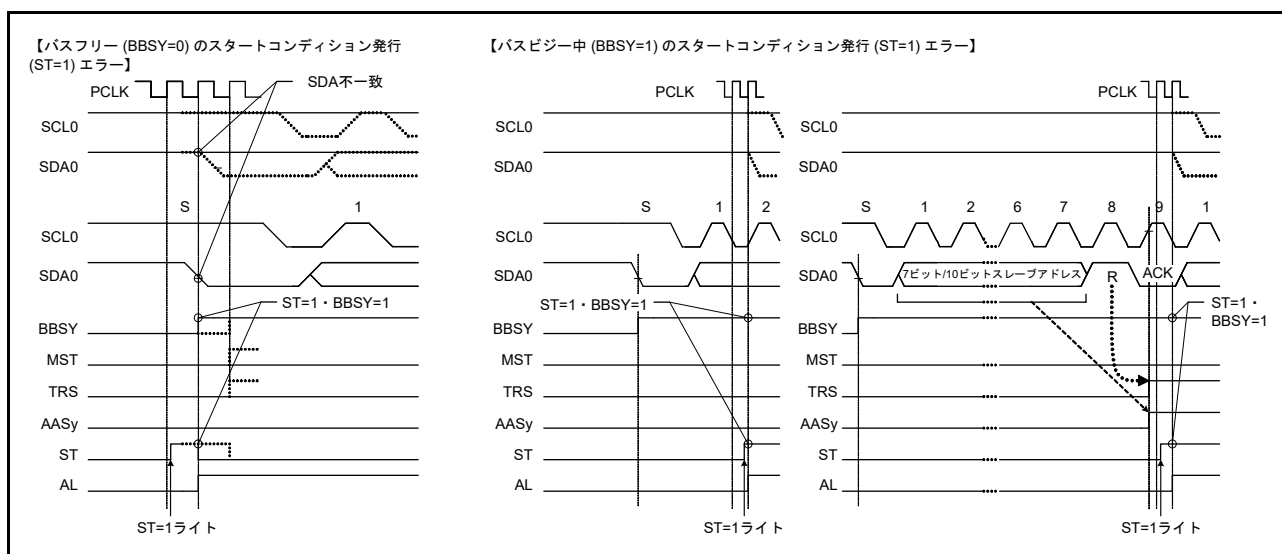


図 35.34 スタートコンディション発行時のアービトレーションロスト (MALE ビット = 1 のとき)

35.9.2 NACK 送信アービトレーションロス検出機能 (NALE ビット)

RIICは受信モード時でNACK送信時に出力したSDA信号とSDA0ライン上の信号の状態が不一致の場合(SDA出力がHigh出力(SDA0端子はハイインピーダンス)で、SDA0ラインにLowを検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロス機能は、主にマルチマスタのシステムにおいて2つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際にNACK送信とACK送信が衝突することで発生します。これは2つ以上のマスタデバイスが1つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図35.35にNACK送信アービトレーションロス検出動作例を示します。

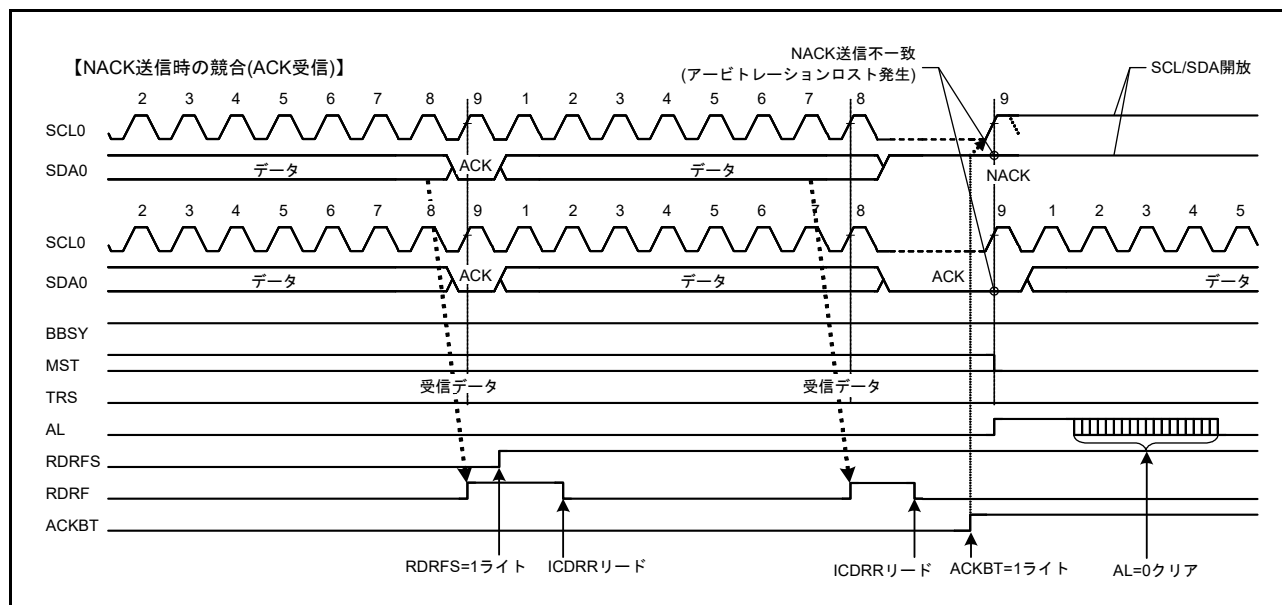


図 35.35 NACK 送信アービトレーションロス検出動作例 (NALE ビット = 1 のとき)

2つのマスタデバイス(マスタA、マスタB)と1つのスレーブデバイスがバス上に接続されている場合に例に挙げて説明します。マスタAはスレーブデバイスから2バイト受信、マスタBはスレーブデバイスから4バイト分のデータ受信を行うものとします。

このときマスタAとマスタBが同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタA、マスタBともスレーブデバイスアクセス時にアービトレーションロスが発生しません。そのためマスタA、マスタBともどちらもバス権を取得したものと認識して動作します。ここでマスタAは、スレーブデバイスから最終バイトである2バイト分の受信が完了した時点でNACKを送信します。一方マスタBは、スレーブデバイスから必要な4バイト受信に満たないためACK送信を行います。このときマスタAのNACK送信とマスタBのACK送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタAはマスタBが出したACK送信を検出できないままストップコンディション発行動作を行うため、マスタBのSCLクロック出力と競合し通信を障害します。

RIICはこのようなNACK送信時にACKを受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストを発生させることができます。

NACK送信アービトレーションロスが発生した場合、RIICはスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信障害を防止することが可能です。

またSMBusのARPコマンド処理において、アサインアドレスのUDID(ユニークデバイスアイデンティファイ)不一致時のNACK送信以降、およびアサインアドレス確定後のGetUDID(汎用)のNACK送信以降の余剰処理("FFh"送信処理)を省くことができます。

なお NACK 送信アービトレーションロスト検出は、ICFER.NALE ビットが“1” (NACK 送信アービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

NACK 送信アービトレーションロスト条件

- NACK 送信時 (ICMR3.ACKBT ビット=1)、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき (ACK を受信したとき)

35.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態に不一致が生じた場合 (出力した SDA 出力が High 出力 (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID (ユニークデバイスアイデンティファイ) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理 (“FFh” 送信処理) を省くことができます。

なおスレーブアービトレーションロスト検出は、ICFER.SALE ビットが“1” (スレーブアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

スレーブアービトレーションロスト条件

- スレーブ送信モード時 (ICCR2.MST, TRS ビット=01b)、アクノリッジを除く送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態が不一致のとき

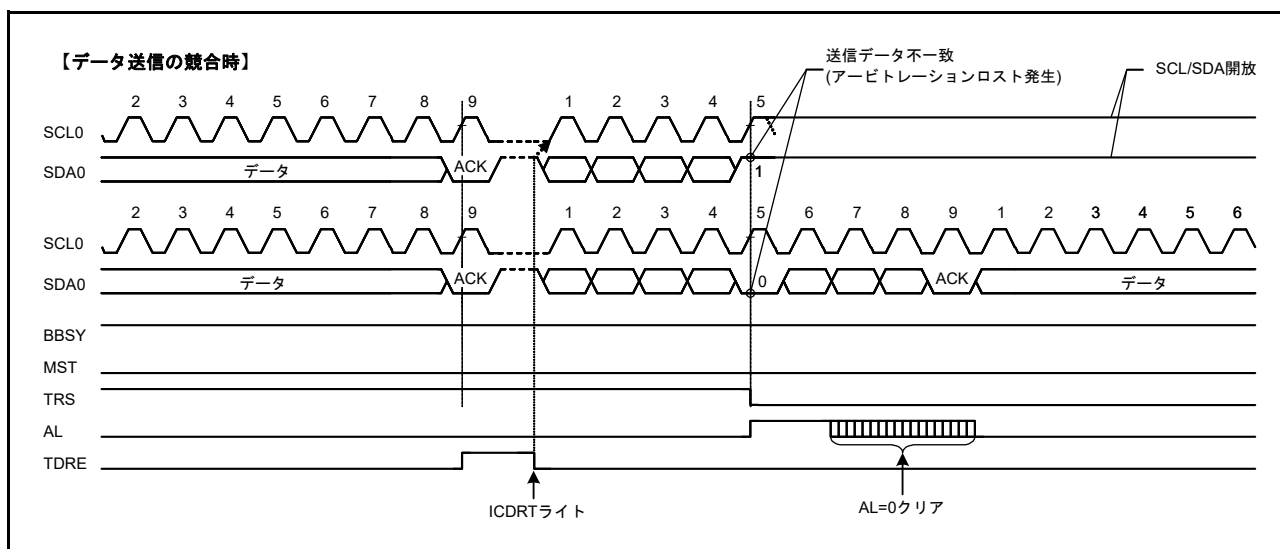


図 35.36 スレーブアービトレーションロスト検出動作例 (SALE ビット = 1 のとき)

35.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

35.10.1 スタートコンディション発行動作

RIICは、ICCR2.STビットによりスタートコンディションの発行を行います。

STビットを“1”にすると、スタートコンディション発行の要求が行われICCR2.BBSYフラグが“0”(バスフリー)の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIICは自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

スタートコンディション発行動作

- (1) SDA0ラインを立ち下げ (High から Low に遷移)
- (2) ICBRHレジスタで設定した時間スタートコンディションのホールド時間を確保
- (3) SCL0ラインを立ち下げ (High から Low に遷移)
- (4) SCL0ラインのLowを検出後、ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保

35.10.2 リスタートコンディション発行動作

RIICはICCR2.RSビットによりリスタートコンディションの発行を行います。

RSビットを“1”にするとリスタートコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”(バスビジー)の状態かつICCR2.MSTビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

リスタートコンディション発行動作

- (1) SDA0ラインを開放
- (2) ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保
- (3) SCL0ラインを開放 (Low から High に遷移)
- (4) SCL0ラインのHigh検出後、ICBRLレジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- (5) SDA0ラインを立ち下げ (High から Low に遷移)
- (6) ICBRHレジスタで設定した時間リスタートコンディションのホールド時間を確保
- (7) SCL0ラインを立ち下げ (High から Low に遷移)
- (8) SCL0ラインのLowを検出後、ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保

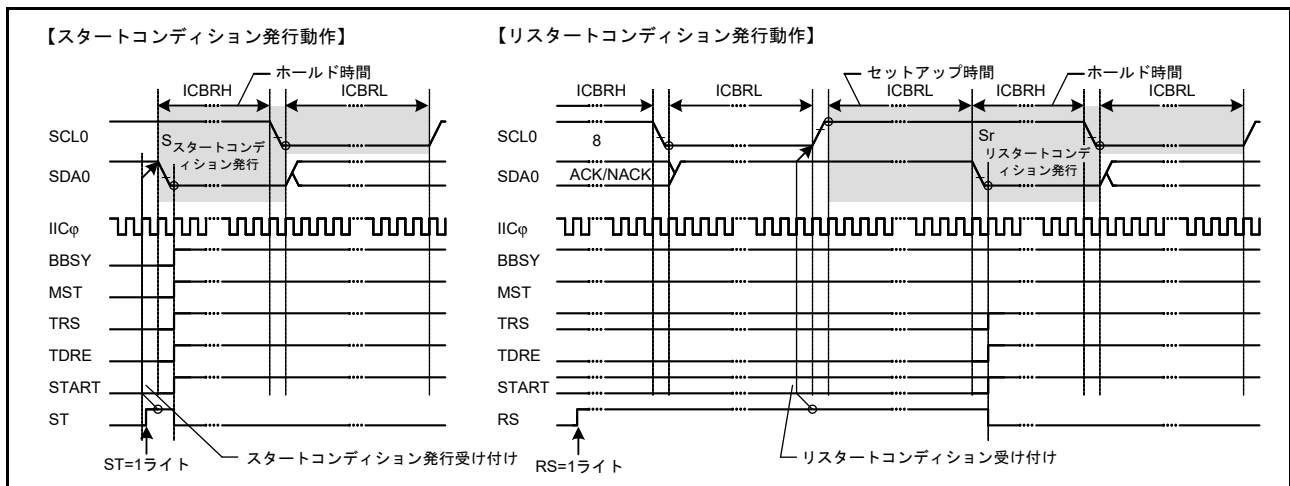


図 35.37 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

35.10.3 ストップコンディション発行動作

RIIC は ICCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを“1”にするとストップコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが“1” (バスビジー) の状態であつ ICCR2.MST ビットが“1” (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

ストップコンディション発行動作

- (1) SDA0 ラインを立ち下げ (High から Low に遷移)
- (2) ICBRL レジスタで設定した時間 SCL0 ラインの Low 幅を確保
- (3) SCL0 ラインを開放 (Low から High に遷移)
- (4) SCL0 ラインの High 検出後、ICBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
- (5) SDA0 ラインを開放 (Low から High に遷移)
- (6) ICBRL レジスタで設定した時間バスフリー時間を確保
- (7) BBSY フラグクリア (バス権解放)

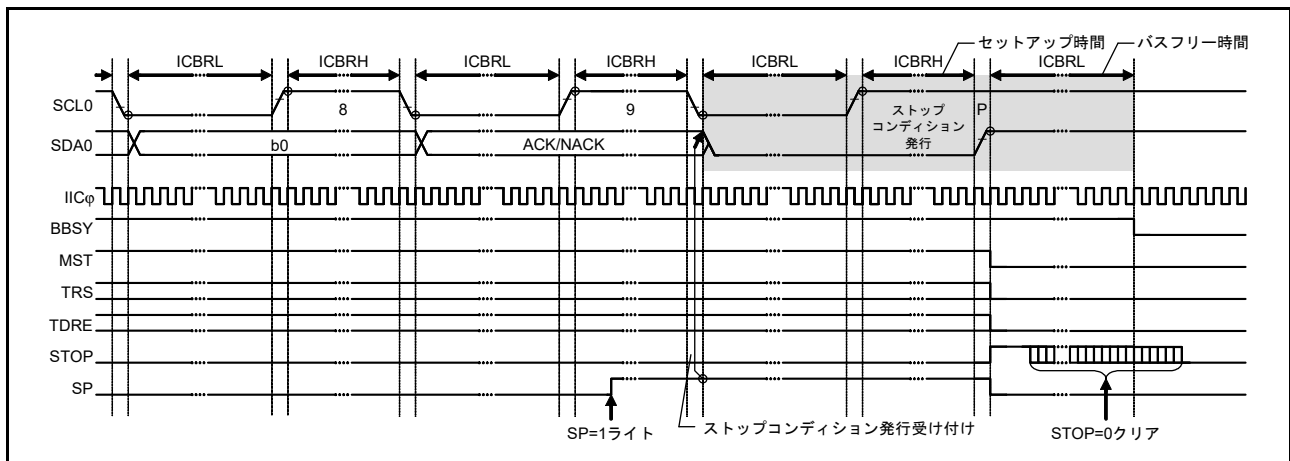


図 35.38 ストップコンディション発行動作タイミング (SP ビット)

35.11 バスハングアップ

I²Cバスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ずれが発生すると、SCL0ラインやSDA0ラインが固定されたままバスハングアップを起こす場合があります。

RIICは、このバスハングアップ状態に対しSCL0ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ずれによるバスハングアップ状態を解除するためのSCLクロック追加出力機能およびRIICリセット機能、内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAIビットを確認することで、RIIC自身がSCL0ライン/SDA0ラインにLow出力しているか、あるいは通信デバイス側がLow出力しているかどうかを確認することが可能です。

35.11.1 タイムアウト検出機能

RIICにはSCL0ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIICは、SCL0ラインがLowまたはHighに固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能はSCL0ラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCL0ラインに変化(立ち上がり/立ち下がり)があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL0ラインに変化がないまま内部カウンタがオーバフローすると、RIICはタイムアウトを検出しバスハングアップを知らせることができます。

このタイムアウト検出機能はICFER.TMOEビットが“1”のとき有効で、以下の期間にSCL0ラインのLow固定またはHigh固定のバスハングアップを検出します。

- マスタモード (ICCR2.MST ビット = 1) で、バスビジー (ICCR2.BBSY フラグ = 1)
- スレーブモード (ICCR2.MST ビット = 0) で、自スレーブアドレス一致 (ICSR1 レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSY フラグ = 1)
- スタートコンディション発行要求中 (ICCR2.ST ビット = 1) で、バスフリー (ICCR2.BBSY フラグ = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOS ビット = 0) 16ビットカウンタ、ショートモード選択時 (TMOS ビット = 1) 14ビットカウンタとなります。

また内部カウンタのカウント動作は、SCL0ラインがLowのときカウントさせるか、Highのときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH, TMOLビットの設定により選択することが可能です。なおTMOH, TMOLビットの両方を“0”にした場合は、内部カウント動作を行いません。

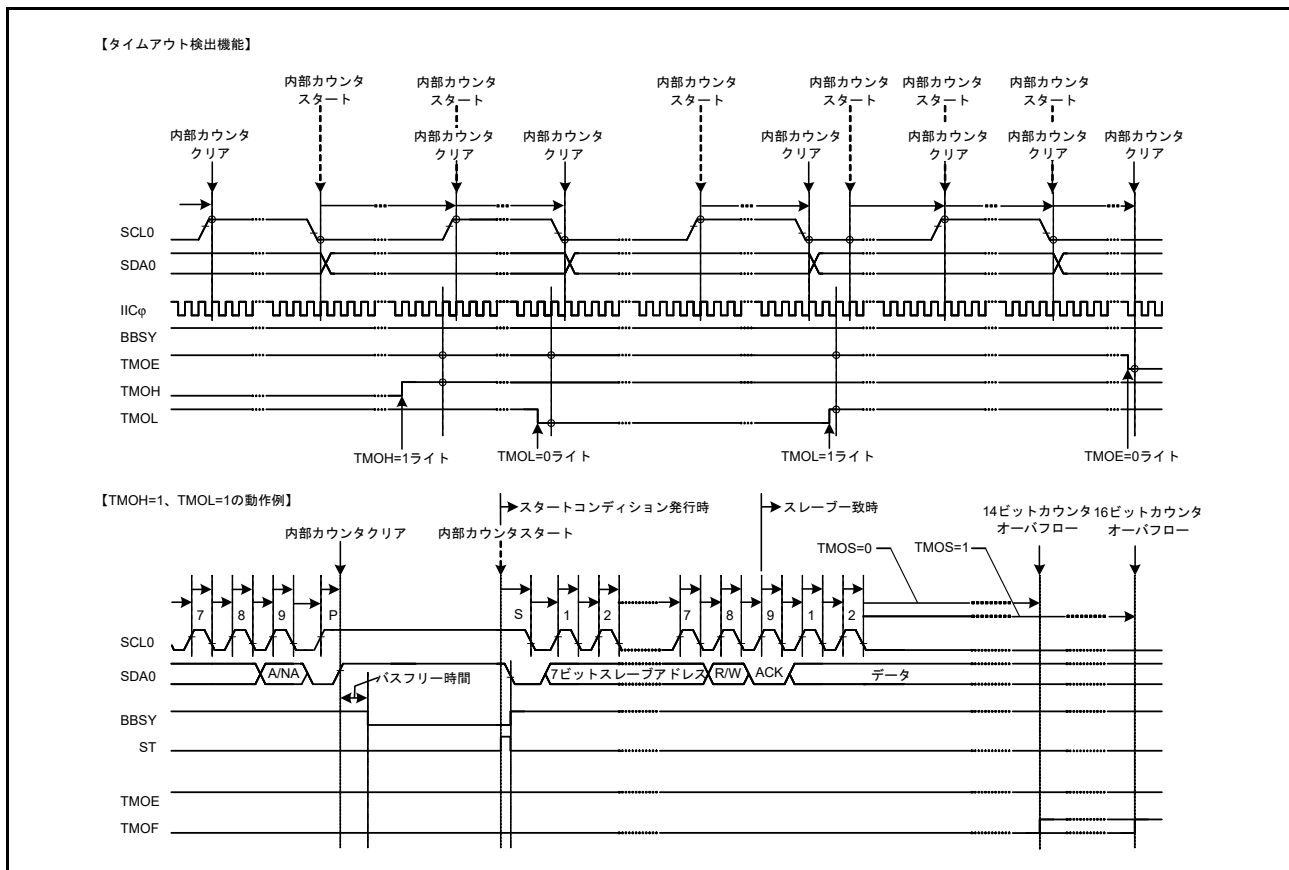


図 35.39 タイムアウト検出機能

35.11.2 SCL クロック追加出力機能

RIICにはマスタモード時、スレーブデバイスとの同期ずれによるスレーブデバイスのSDA0ラインLow固定状態を開放するためのSCLクロック追加出力機能を備えています。

SCLクロック追加出力機能は、SCLクロックを1クロック単位で追加出力をする機能で、主にマスタモード時にスレーブデバイスがSDA0ラインをLow固定状態のままストップコンディションを発行できない場合に、スレーブデバイスのSDA0ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCLクロック追加出力は、ICCR1.CLOビットを“1”にすると、ICMR1.CKS[2:0]ビット、ICBRH、ICBRLレジスタで設定された転送速度のSCLクロックが1クロック分追加クロックとして出力されます。1クロック分の追加クロック出力が終了するとCLOビットは自動的に“0”になります。そのためソフトウェアでCLOビットが“0”であることを確認後“1”を書くことにより、追加クロックを連続的に出力することができます。

RIICがマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ずれが原因でスレーブデバイスがSDA0ラインをLow固定状態のままストップコンディションを発行できないバスハングアップのとき、SCLクロック追加出力機能を使用して追加クロックを1クロックずつ出力することでスレーブデバイスのSDA0ラインのLow固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスのSDA0ライン開放はICCR1.SDAIビットをチェックすることで確認することができます。スレーブデバイスのSDA0ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合はICFER.MALEビットを“0”(マスタアービトレーションロスト検出禁

止)にして使用してください。MALE ビットが“1”(マスタアービトレーションロスト検出許可)の場合、ICCR1.SDAO ビットの値と SDA0 ラインが不一致のときアービトレーションロストが発生しますので注意してください。

ICCR1.CLO ビットの実出力条件

- バスフリー状態(ICCR2.BBSY フラグ=0)またはマスタモード(ICCR2.MST ビット=1、BBSY フラグ=1の状態)のとき
- 通信デバイスが SCL0 ラインを Low ホールドにしていない状態のとき

図 35.40 に SCL クロック追加出力機能 (CLO ビット) を示します。

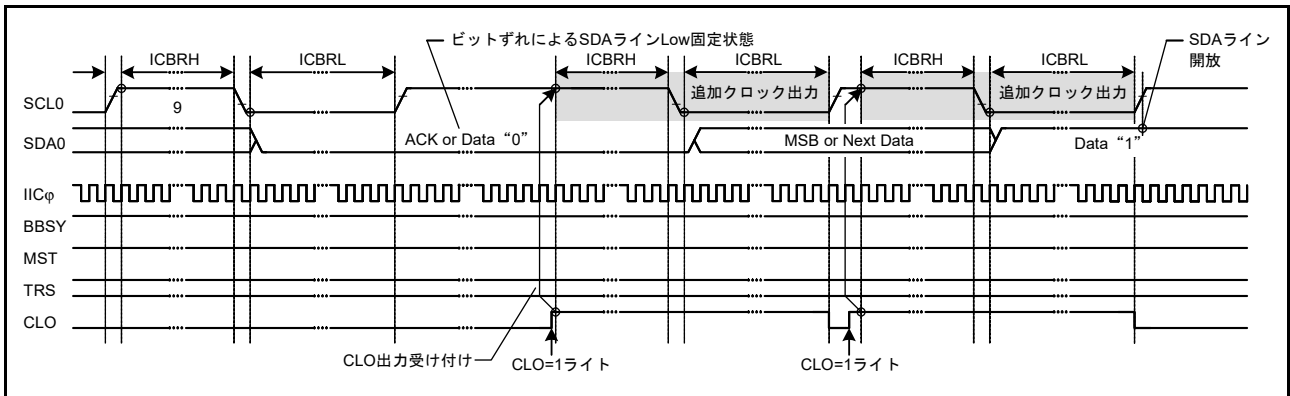


図 35.40 SCL クロック追加出力機能 (CLO ビット)

35.11.3 RIIC リセット、内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを“0”にしてください。

いずれのリセットも SCL0 端子 /SDA0 端子の出力状態を解除しハイインピーダンスに戻すため、バスハンダアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ずれを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット (ICCR1.ICE, IICRST ビット = 01b) のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC リセット、内部リセットの詳細については、「35.14 リセット時 /コンディション検出時のレジスタおよび機能の初期化」を参照してください。

35.12 SMBus 動作

RIIC は SMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを“1”にしてください。転送速度は SMBus 仕様の 10 kbps ~ 100 kbps の範囲に収まるよう ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタを設定し、データホールド時間：300 ns (min) の仕様を守るよう ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要ですが、ICBRL はデータセットアップ時間 (250 ns) 以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス (1100 001b) はスレーブアドレスレジスタ L0 ~ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、該当する SARUy.FS ビット (y=0 ~ 2) (7 ビット / 10 ビットアドレスフォーマット選択ビット) を“0” (7 ビットアドレスフォーマット) を選択してください。

また、UDID (ユニークデバイスアイデンティファイ) 送信時には、ICFER.SALE ビットを“1”にしてスレーブアービトラクションロスト検出機能を有効にしてください。

35.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間 (タイムアウト間隔： $T_{\text{LOW:SEXT}}$) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI) を利用してスタートコンディション検出からストップコンディション検出までの時間を MTU または TMR タイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (スレーブデバイス) $T_{\text{LOW:SEXT}}$: 25 ms (max) 以内である必要があります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low 検出のタイムアウト T_{TIMEOUT} : 25 ms (min) を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには ICCR1.IICRST ビットに“1”を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCL0 端子 / SDA0 端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間 (タイムアウト間隔： $T_{\text{LOW:MEXT}}$) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI)、および送信終了割り込み (TEI) または受信データフル割り込み (RXI) を利用して、それぞれの区間を MTU または TMR タイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $T_{\text{LOW:MEXT}}$: 10 ms (max) 以内である必要があります、スタートコンディションからストップコンディションまでのすべての $T_{\text{LOW:MEXT}}$ を加算した結果が $T_{\text{LOW:SEXT}}$: 25 ms (max) 以内である必要があります。

ACK 受信タイミング (SCL の 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで見ることがあります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SCL の 9 クロック目の立ち上がりで “1” になります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $T_{LOW:MEXT} : 10 \text{ ms (max)}$ または各計測時間の加算した結果が、SMBus 仕様のクロック Low 検出のタイムアウト $T_{TIMEOUT} : 25 \text{ ms (min)}$ を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDRT レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

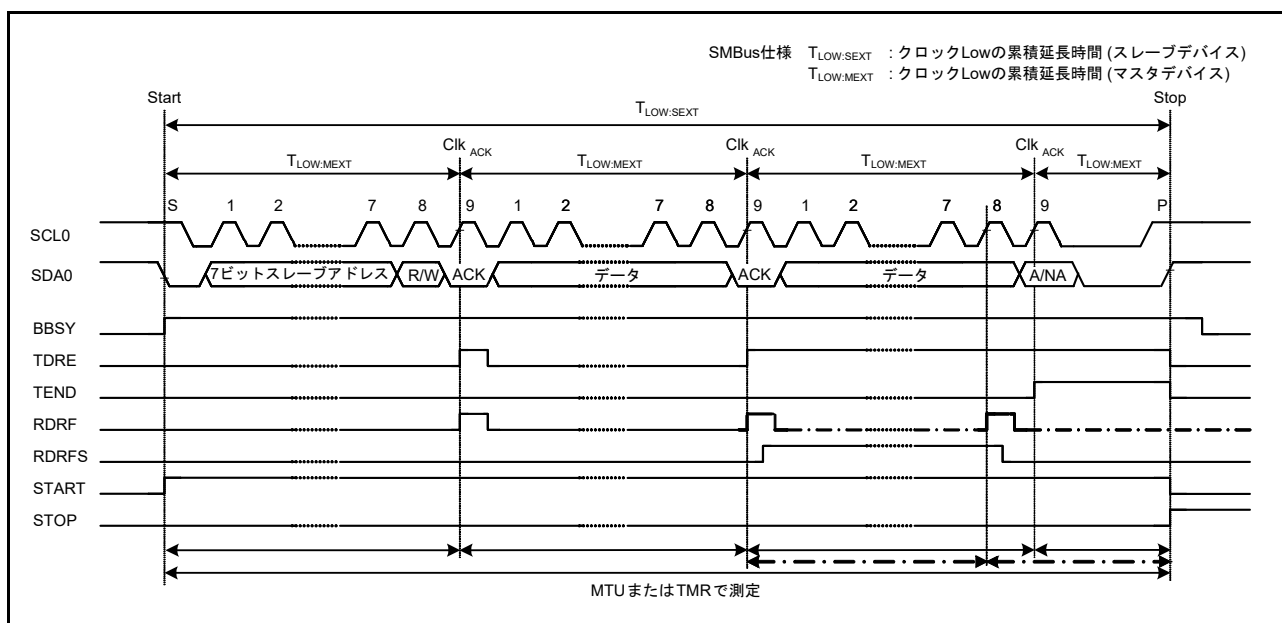


図 35.41 SMBus タイムアウト測定

35.12.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「39. CRC 演算器 (CRC)」を参照してください。

マスタ送信の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信の PEC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致 / 不一致に応じて ACK/NACK 送出手続きを行う場合には、最終バイト受信の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを “1” にし、8 クロック目の立ち下がり SCL0 ラインを Low にホールドしてください。

35.12.3 SMBus ホスト通知プロトコル (Notify ARP master コマンド)

SMBus ではスレーブデバイスが SMBus ホスト (または ARP マスタ) に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知 (または要求) することができます。

本 MCU を SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを“1”、ICSER.HOAE ビットを“1”にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

35.13 割り込み要因

RIICの割り込み要因には、通信エラー/通信イベント発生(アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の4種類があります。

表 35.6 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

表 35.6 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	割り込み条件
EEI	通信エラー/ 通信イベント発生	AL	不可能	不可能	AL = 1かつALIE = 1
		NACKF			NACKF = 1かつNAKIE = 1
		TMOF			TMOF = 1かつTMOIE = 1
		START			START = 1かつSTIE = 1
		STOP			STOP = 1かつSPIE = 1
RXI(注2)	受信データフル	RDRF	可能	可能	RDRF = 1かつRIE = 1
TXI(注1)	送信データ エンプティ	TDRE	可能	可能	TDRE = 1かつTIE = 1
TEI(注3)	送信終了	TEND	不可能	不可能	TEND = 1かつTEIE = 1

注. CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延があります。割り込みフラグをクリアまたは割り込み要求をマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1. TXI割り込みはエッジ割り込みのためクリアする必要はありません。またTXI割り込みの条件となるICSR2.TDREフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

注2. RXI割り込みはエッジ割り込みのためクリアする必要はありません。またRXI割り込みの条件となるICSR2.RDRFフラグは、ICDRRレジスタの読み出しで自動的に“0”になります。

注3. TEI割り込みを使用する場合、TEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。
なおICSR2.TENDフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたは割り込み要求をマスクしてください。

35.13.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、TXI 割り込みおよび RXI 割り込みに対応した IR フラグが“1”のときに割り込み発生の条件が整った場合、ICU に対して割り込み要求を出力せず内部で保持します(内部で保持できる容量は、1 要因ごとに 1 要求までです)。

IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアされます。

また、内部で保持している割り込み要求は、ICIER レジスタの対応する割り込み許可ビットを“0”にすることでクリアが可能です。

35.14 リセット時/コンディション検出時のレジスタおよび機能の初期化

RIICはMCUリセット、RIICリセットおよび内部リセットによってリセットできます。表35.7にリセット時/コンディション検出時のレジスタおよび機能のリセット状況を示します。

表35.7 リセット時/コンディション検出時のレジスタおよび機能のリセット状況

		MCU リセット	RIICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディション 検出
ICCR1	ICE, IICRST	リセット	保持	保持	保持	保持
	SCLO, SDAO		リセット	リセット		
	それ以外			保持		
ICCR2	BBSY	リセット	リセット	保持	保持	保持
	ST, RS			リセット	リセット	
	TRS, MST				保持	リセット
	SP				リセット	リセット
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	それ以外				保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3	ACKBT	リセット	リセット	保持	保持	リセット
	それ以外					
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	TDRE, TEND	リセット	リセット	リセット	保持	リセット
	START					
	それ以外					
SARL0, SARL1, SARL2, SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持
ICBRH, ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
タイムアウト検出機能		リセット	リセット	リセット	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

リセット：レジスタ、機能が初期化されます。

保持：レジスタ、機能は初期化されず、そのときの状況に応じて保持または更新されます。

35.15 イベントリンク機能 (出力)

RIIC0は次の要因が発生すると、イベントリンクコントローラ (ELC) に対してイベント出力を行います。

- 通信エラー / 通信イベント
- 受信データフル
- 送信データエンプティ
- 送信終了

35.15.1 割り込み処理とイベントリンクの関係

RIICの割り込みには、通信エラー / 通信イベント発生 (アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の4種類があり、それぞれに割り込み許可 / 禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合にCPUに対して割り込み要求信号を出力します。

これに対してイベント信号は、割り込み許可ビットに依存せず、割り込み要因が発生すると出力され、ELCを介して他のモジュールに伝達されます。

割り込み要因については、表 35.6 を参照してください。

35.16 使用上の注意事項

35.16.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、モジュールストップ状態への遷移/解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、「11. 消費電力低減機能」を参照してください。

35.16.2 通信の開始に関する注意事項

通信開始 (ICCR1.ICE ビット = 1) 時点で RIIC の割り込みに対応した IR フラグが “1” のときは、動作許可前に下記の手順で割り込み要求をクリアしてください。IR フラグが “1” で通信を開始 (ICCR1.ICE ビット = 1) すると、通信開始後の割り込み要求が内部で保持されるため、IR フラグが予期しない挙動となる可能性があります。

- (1) ICCR1.ICE ビットが “0” であることを確認
- (2) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を “0” にする
- (3) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を読み出し、“0” を確認
- (4) IR フラグを “0” にする

36. CANモジュール (RSCAN)

36.1 概要

ISO 11898-1 規格に準拠した CAN (Controller Area Network) プロトコルコントローラを 1 チャンネル内蔵した CAN モジュールを搭載しています。表 36.1 に CAN モジュールの仕様、図 36.1 に CAN モジュールブロック図、表 36.2 に CAN モジュールの入出力端子を示します。

なお、本章では次の変数を使用してレジスタなどの数を表しています。

- j ($j=0 \sim 15$) : 受信ルール登録レジスタ (GAFLIDL j , GAFLIDH j , GAFLML j , GAFLMH j , GAFLPL j , GAFLPH j) の番号
- m ($m=0, 1$) : 受信 FIFO バッファ番号
- n ($n=0 \sim 15$) : 受信バッファ番号
- p ($p=0 \sim 3$) : 送信バッファ番号
- r ($r=0 \sim 127$) : RAM テストレジスタ (RPGACCr) の番号

表 36.1 CANモジュールの仕様 (1/2)

項目	仕様
チャンネル数	1
プロトコル	ISO 11898-1規格準拠
通信速度	<ul style="list-style-type: none"> • 最大 1Mbps $\text{通信速度(CANビットタイムクロック)} = \frac{1}{\text{CANビットタイム}}$ CANビットタイム = CANT q × 1ビット分の T q 数 $\text{CANT}q = \frac{\text{CFGL.BRP}[9:0] + 1}{f\text{CAN}}$ T q : Time quantum fCAN : CANクロックソース(GCFGL.DCSビットで選択したクロック)の周波数
バッファ	合計 20 バッファ <ul style="list-style-type: none"> • 各チャンネル専用 : 4 バッファ (4 バッファ × 1 チャンネル) 送信バッファ : 4 バッファ / 1 チャンネル • チャンネル間共用 : 16 バッファ 受信バッファ : 0 ~ 16 バッファ 受信 FIFO バッファ : 2 本 (1 本あたり最大 16 バッファ割り当て可能) 送受信 FIFO バッファ : 1 本 / 1 チャンネル (1 本あたり最大 16 バッファ割り当て可能)
受信機能	<ul style="list-style-type: none"> • データフレームとリモートフレームを受信可能 • 受信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 • FIFO ごとの割り込み許可 / 禁止設定可能 • ミラー機能 (自送信メッセージの受信機能) • タイムスタンプ機能 (メッセージの受信時間を 16 ビットタイム値で記録)
受信フィルタ機能	<ul style="list-style-type: none"> • 合計 16 個の受信ルールで受信メッセージを選別可能 • チャンネルごとに 0 ~ 16 個の範囲で受信ルール数を設定可能 • アクセプタンスフィルタ処理 : 受信ルールごとに ID、マスク設定可能 • DLC フィルタ処理 : 受信ルールごとに DLC フィルタチェック可能
受信メッセージ転送機能	<ul style="list-style-type: none"> • ルーティング機能 受信メッセージを任意のバッファへ転送する機能 (転送可能バッファ数 : 2) 転送先 : 受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ • ラベル付加機能 受信バッファおよび FIFO バッファへメッセージを格納時、ラベル情報も同時に格納可能

表 36.1 CANモジュールの仕様 (2/2)

項目	仕様
送信機能	<ul style="list-style-type: none"> データフレームとリモートフレームを送信可能 送信するIDフォーマット(標準ID、拡張ID、両方)を選択可能 送信バッファ、送受信FIFOバッファごとに割り込み許可/禁止設定可能 ID優先送信または送信バッファ番号優先送信を選択可能 送信アボート機能(フラグでアボート完了を確認可能) ワンショット送信機能
インターバル送信機能	メッセージの送信間隔を設定可能(送受信FIFOバッファの送信モード)
送信履歴機能	送信完了したメッセージの履歴情報を格納する機能
バスオフ復帰モード選択	バスオフ状態からの復帰方法を選択可能 <ul style="list-style-type: none"> ISO 11898-1規格準拠 バスオフ開始でチャンネル待機モードへ自動遷移 バスオフ終了でチャンネル待機モードへ自動遷移 プログラムによるチャンネル待機モードへの遷移 プログラムによるエラーアクティブ状態への遷移(バスオフ強制復帰機能)
エラー状態の監視	<ul style="list-style-type: none"> CANプロトコルエラー(スタッフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー、バスドミナントロック)を監視 エラー状態の遷移を検出(エラーワーニング、エラーバッシブ、バスオフ開始、バスオフ復帰) エラーカウンタの読み出し DLCエラーを監視
割り込み要因	5本 <ul style="list-style-type: none"> グローバル(2本) <ul style="list-style-type: none"> グローバル受信FIFO割り込み グローバルエラー割り込み チャンネル(3本) <ul style="list-style-type: none"> チャンネル送信割り込み <ul style="list-style-type: none"> -送信完了割り込み -送信アボート割り込み -送受信FIFO送信完了割り込み -送信履歴割り込み 送受信FIFO受信割り込み チャンネルエラー割り込み
CANクロックソース	周辺モジュールクロック(PCLK)、CANMCLK
テスト機能	ユーザ評価用テスト機能 <ul style="list-style-type: none"> リッスンオンリモード セルフテストモード0(外部ループバック) セルフテストモード1(内部ループバック) RAMテスト(読み書きテスト)
消費電力低減機能	モジュールストップ状態への設定が可能

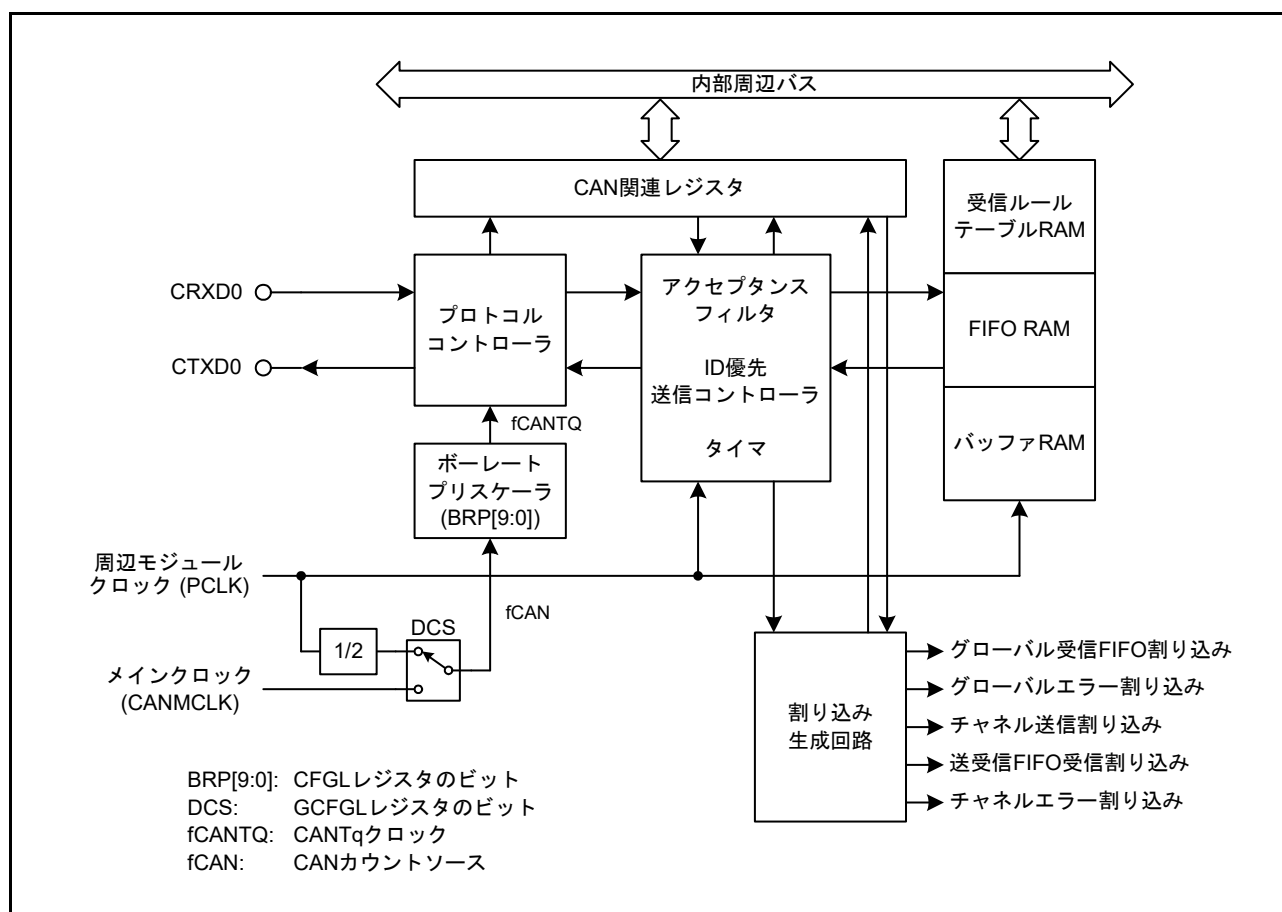


図 36.1 CANモジュールのブロック図

- CRXD0/CTXD0 : CANの入出力端子です。
- プロトコルコントローラ : バスアービトレーションや送受信時のビットタイミング、スタッフ処理、エラー処理などのCANプロトコル処理を行います。
- 受信ルールテーブルRAM : 受信メッセージのフィルタ処理に使用するルールを格納します。それぞれの受信ルールには、受信したいメッセージのID、フレームフォーマット、データ長コード、および、フィルタを通過したメッセージに付加するラベル、メッセージの格納場所を設定します。
- FIFO RAM : 16段のFIFOバッファを構成しているRAMです。受信専用のFIFOが2本と、送信用/受信用のいずれかに設定できるFIFOが1本あります。
- バッファRAM : 送信バッファまたは受信バッファとして使用するRAMです。送信バッファは4本、受信バッファは16本あります。
- アクセプタンスフィルタ : 受信メッセージのフィルタ処理を行います。このフィルタ処理には、受信ルールテーブルRAMのデータを使用します。
- タイマ : 受信時のタイムスタンプ機能に使用するタイマが1本、送信FIFOバッファ使用時に、メッセージ送信間隔を決定するタイマが1本あります。

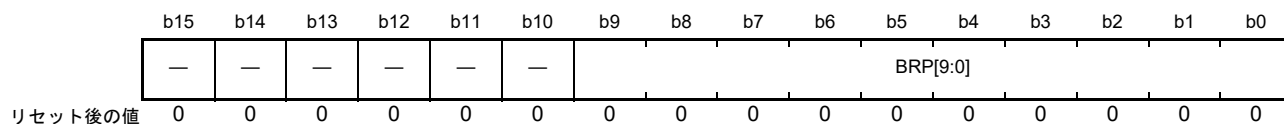
表 36.2 CANモジュールの入出力端子

端子名	入出力	機能
CRXD0	入力	RSCAN0の受信データ入力端子です
CTXD0	出力	RSCAN0の送信データ出力端子です

36.2 レジスタの説明

36.2.1 ビットコンフィギュレーションレジスタ L (CFGL)

アドレス RSCAN0.CFGL 000A 8300h



ビット	シンボル	ビット名	機能	R/W
b9-b0	BRP[9:0]	プリスケラ分周比設定ビット	設定値をP (0~1023)とすると、ポーレートプリスケラはfCANをP+1で分周します	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

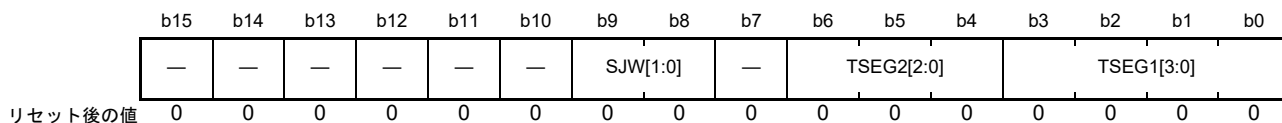
CFGL レジスタは、チャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。また、チャンネルリセットモードで本レジスタを設定した後で、チャンネル通信モードまたはチャンネル待機モードに遷移してください。ビットタイミングの設定については、「36.9 初期設定」を参照してください。

BRP[9:0] ビット (プリスケラ分周比設定ビット)

CAN クロックソース (fCAN) を BRP[9:0] ビットで分周したクロックが CANTq クロック (fCANTQ) になり、CANTq クロックの1クロックが1 Time Quantum (Tq) になります。

36.2.2 ビットコンフィギュレーションレジスタ H (CFGH)

アドレス RSCAN0.CFGH 000A 8302h



ビット	シンボル	ビット名	機能	R/W																																																																																					
b3-b0	TSEG1[3:0]	タイムセグメント1制御ビット	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%;">b3</td> <td style="width: 5%;">b2</td> <td style="width: 5%;">b1</td> <td style="width: 5%;">b0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>: 設定しないでください</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>: 設定しないでください</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>: 設定しないでください</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>: 4Tq</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>: 5Tq</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>: 6Tq</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>: 7Tq</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>: 8Tq</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>: 9Tq</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>: 10Tq</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>: 11Tq</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>: 12Tq</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>: 13Tq</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>: 14Tq</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>: 15Tq</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>: 16Tq</td> </tr> </table>	b3	b2	b1	b0		0	0	0	0	: 設定しないでください	0	0	0	1	: 設定しないでください	0	0	1	0	: 設定しないでください	0	0	1	1	: 4Tq	0	1	0	0	: 5Tq	0	1	0	1	: 6Tq	0	1	1	0	: 7Tq	0	1	1	1	: 8Tq	1	0	0	0	: 9Tq	1	0	0	1	: 10Tq	1	0	1	0	: 11Tq	1	0	1	1	: 12Tq	1	1	0	0	: 13Tq	1	1	0	1	: 14Tq	1	1	1	0	: 15Tq	1	1	1	1	: 16Tq	R/W
b3	b2	b1	b0																																																																																						
0	0	0	0	: 設定しないでください																																																																																					
0	0	0	1	: 設定しないでください																																																																																					
0	0	1	0	: 設定しないでください																																																																																					
0	0	1	1	: 4Tq																																																																																					
0	1	0	0	: 5Tq																																																																																					
0	1	0	1	: 6Tq																																																																																					
0	1	1	0	: 7Tq																																																																																					
0	1	1	1	: 8Tq																																																																																					
1	0	0	0	: 9Tq																																																																																					
1	0	0	1	: 10Tq																																																																																					
1	0	1	0	: 11Tq																																																																																					
1	0	1	1	: 12Tq																																																																																					
1	1	0	0	: 13Tq																																																																																					
1	1	0	1	: 14Tq																																																																																					
1	1	1	0	: 15Tq																																																																																					
1	1	1	1	: 16Tq																																																																																					
b6-b4	TSEG2[2:0]	タイムセグメント2制御ビット	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%;">b6</td> <td style="width: 5%;">b5</td> <td style="width: 5%;">b4</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>: 設定しないでください</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>: 2Tq</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>: 3Tq</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>: 4Tq</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>: 5Tq</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>: 6Tq</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>: 7Tq</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>: 8Tq</td> </tr> </table>	b6	b5	b4		0	0	0	: 設定しないでください	0	0	1	: 2Tq	0	1	0	: 3Tq	0	1	1	: 4Tq	1	0	0	: 5Tq	1	0	1	: 6Tq	1	1	0	: 7Tq	1	1	1	: 8Tq	R/W																																																	
b6	b5	b4																																																																																							
0	0	0	: 設定しないでください																																																																																						
0	0	1	: 2Tq																																																																																						
0	1	0	: 3Tq																																																																																						
0	1	1	: 4Tq																																																																																						
1	0	0	: 5Tq																																																																																						
1	0	1	: 6Tq																																																																																						
1	1	0	: 7Tq																																																																																						
1	1	1	: 8Tq																																																																																						
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																																																					
b9-b8	SJW[1:0]	再同期ジャンプ幅制御ビット	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%;">b9</td> <td style="width: 5%;">b8</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>: 1 Tq</td> </tr> <tr> <td>0</td> <td>1</td> <td>: 2 Tq</td> </tr> <tr> <td>1</td> <td>0</td> <td>: 3 Tq</td> </tr> <tr> <td>1</td> <td>1</td> <td>: 4 Tq</td> </tr> </table>	b9	b8		0	0	: 1 Tq	0	1	: 2 Tq	1	0	: 3 Tq	1	1	: 4 Tq	R/W																																																																						
b9	b8																																																																																								
0	0	: 1 Tq																																																																																							
0	1	: 2 Tq																																																																																							
1	0	: 3 Tq																																																																																							
1	1	: 4 Tq																																																																																							
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																																																					

CFGH レジスタは、チャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。また、チャンネルリセットモードで本レジスタを設定した後で、チャンネル通信モードまたはチャンネル待機モードに遷移してください。ビットタイミングの設定については「36.9 初期設定」を参照してください。

TSEG1[3:0] ビット (タイムセグメント1制御ビット)

プロパゲーションタイムセグメント (PROP_SEG) とフェーズバッファセグメント 1 (PHASE_SEG1) の合計長を Tq 値で指定します。

4 ~ 16Tq の値が設定可能です。

TSEG2[2:0] ビット (タイムセグメント2制御ビット)

フェーズバッファセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。

2 ~ 8Tq の値が設定可能です。

TSEG1[3:0] ビットより小さい値を設定してください。

SJW[1:0] ビット (再同期ジャンプ幅制御ビット)

再同期ジャンプ幅 (Resynchronization jump width) を Tq 値で指定します。1 ~ 4Tq の値が設定可能です。
TSEG2[3:0] ビット以下の値を設定してください。

36.2.3 制御レジスタ L (CTRL)

アドレス RSCAN0.CTRL 000A 8304h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	CHMDC[1:0]	モード選択ビット	b1 b0 0 0 : チャネル通信モード 0 1 : チャネルリセットモード 1 0 : チャネル待機モード 1 1 : 設定しないでください	R/W
b2	CSLPR	チャネルストップモードビット	0 : チャネルストップモードではない 1 : チャネルストップモード	R/W
b3	RTBO	バスオフ強制復帰ビット	RTBO ビットを“1”にすると、バスオフから強制的に復帰する。読むと“0”が読めます	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BEIE	プロトコルエラー割り込み許可ビット	0 : プロトコルエラー割り込み禁止 1 : プロトコルエラー割り込み許可	R/W
b9	EWIE	エラーワーニング割り込み許可ビット	0 : エラーワーニング割り込み禁止 1 : エラーワーニング割り込み許可	R/W
b10	EPIE	エラーパッシブ割り込み許可ビット	0 : エラーパッシブ割り込み禁止 1 : エラーパッシブ割り込み許可	R/W
b11	BOEIE	バスオフ開始割り込み許可ビット	0 : バスオフ開始割り込み禁止 1 : バスオフ開始割り込み許可	R/W
b12	BORIE	バスオフ復帰割り込み許可ビット	0 : バスオフ復帰割り込み禁止 1 : バスオフ復帰割り込み許可	R/W
b13	OLIE	オーバーロードフレーム送信割り込み許可ビット	0 : オーバーロードフレーム送信割り込み禁止 1 : オーバーロードフレーム送信割り込み許可	R/W
b14	BLIE	バスロック割り込み許可ビット	0 : バスロック割り込み禁止 1 : バスロック割り込み許可	R/W
b15	ALIE	アービトレーションロスト割り込み許可ビット	0 : アービトレーションロスト割り込み禁止 1 : アービトレーションロスト割り込み許可	R/W

CHMDC[1:0] ビット (モード選択ビット)

チャネルのモード (チャネル通信モード、チャネルリセットモード、チャネル待機モード) を選択するビットです。詳細は、「36.3.2 チャネルモード」を参照してください。チャネルストップモードへは、チャネルリセットモード時に CSLPR ビットを“1”にすることで遷移します。CHMDC[1:0] ビットを“11b”には設定しないでください。CTRH.BOM[1:0] ビットの設定によってチャネル待機モードへ遷移した場合は、CHMDC[1:0] ビットは自動的に“10b”になります。

CSLPR ビット (チャネルストップモードビット)

“1”にすると、チャネルストップモードになります。

“0”にすると、チャンネルストップモードは解除されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードでは書き換えないでください。

RTBO ビット (バスオフ強制復帰ビット)

バスオフ状態時“1”(バスオフからの強制復帰)にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に“0”になります。“1”にすると、STSH.TEC[7:0]フラグとSTSH.REC[7:0]フラグが“00h”になり、STSL.BOSTSフラグは“0”(バスオフ状態ではない)になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。CTRH.BOM[1:0]ビットが“00b”(ISO 11898-1規格準拠)のときにのみ使用してください。

RTBO ビットを“1”にしてからエラーアクティブ状態に遷移するまでに、最大1CANビットタイムの遅延が発生します。このビットはチャンネル通信モードで“1”を書いてください。

BEIE ビット (プロトコルエラー割り込み許可ビット)

BEIE ビットを“1”に設定し、ERFLL.BEFフラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EWIE ビット (エラーワーニング割り込み許可ビット)

EWIE ビットを“1”に設定し、ERFLL.EWFフラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EPIE ビット (エラーパッシブ割り込み許可ビット)

EPIE ビットを“1”に設定し、ERFLL.EPFフラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BOEIE ビット (バスオフ開始割り込み許可ビット)

BOEIE ビットを“1”に設定し、ERFLL.BOEFフラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BORIE ビット (バスオフ復帰割り込み許可ビット)

BORIE ビットを“1”に設定し、ERFLL.BORFフラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

OLIE ビット (オーバロードフレーム送信割り込み許可ビット)

OLIE ビットを“1”に設定し、ERFLL.OVLFフラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BLIE ビット (バスロック割り込み許可ビット)

BLIE ビットを“1”に設定し、ERFLL.BLFフラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

ALIE ビット (アービトレーションロスト割り込み許可ビット)

ALIE ビットを“1”に設定し、ERFLL.ALFフラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

36.2.4 制御レジスタ H (CTRH)

アドレス RSCAN0.CTRH 000A 8306h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CTMS[1:0]	CTME	ERRD	BOM[1:0]	—	—	—	—	—	—	TAIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TAIE	送信アポート割り込み許可ビット	0 : 送信アポート割り込み禁止 1 : 送信アポート割り込み許可	R/W
b4-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b5	BOM[1:0]	バスオフ復帰モード選択ビット	b6 b5 0 0 : ISO 11898-1規格準拠 0 1 : バスオフ開始でチャンネル待機モードへ遷移 1 0 : バスオフ終了でチャンネル待機モードへ遷移 1 1 : バスオフ中にプログラムによる要求でチャンネル待機モードへ遷移	R/W
b7	ERRD	エラー表示モード選択ビット	0 : ERFLRレジスタのb14～b8がすべてクリアされた後、最初に発生したエラー情報のエラーフラグのみ表示 1 : 発生したすべてのエラー情報のエラーフラグを表示	R/W
b8	CTME	通信テストモード許可ビット	0 : 通信テストモード禁止 1 : 通信テストモード許可	R/W
b10-b9	CTMS[1:0]	通信テストモード選択ビット	b10 b9 0 0 : 標準テストモード 0 1 : リスソオンリモード 1 0 : セルフテストモード0 (外部ループバックモード) 1 1 : セルフテストモード1 (内部ループバックモード)	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TAIE ビット (送信アポート割り込み許可ビット)

TAIE ビットを“1”に設定し、送信バッファの送信アポートが完了した場合、割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BOM[1:0] ビット (バスオフ復帰モード選択ビット)

CAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが“00b”の場合、バスオフ状態からエラーアクティブ状態への復帰はISO 11898-1規格に準拠します。すなわち、CANモジュールは、11ビットの連続するレセシブを128回検出後、再びCAN通信(エラーアクティブ状態)に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128回検出する前にCTRL.CHMDC[1:0] ビットを“10b”(チャンネル待機モード)にしても128回検出するまでチャンネル待機モードには遷移しません。

BOM[1:0] ビットが“01b”の場合、CANモジュールがバスオフ状態に達すると、CTRL.CHMDC[1:0] ビットが“10b”になり、チャンネル待機モードへ遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグが“00h”になります。

BOM[1:0] ビットが“10b”の場合、CANモジュールがバスオフ状態に達すると CTRL.CHMDC[1:0] ビットが“10b”になり、バスオフ状態から復帰した(11ビットの連続するレセシブを128回検出)後に、チャンネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグが“00h”になります。

BOM[1:0] ビットが“11b”の場合、CANモジュールがバスオフ状態のときに CTRL.CHMDC[1:0] ビットを“10b”にすると、チャンネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”になります。しかし、

CTRL.CHMDC[1:0] ビットを“10b”にする前に、11 ビットの連続するレセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

CAN モジュールがチャンネル待機モードに遷移するのと同様 (BOM[1:0] ビットが“01b”のとき：バスオフ開始時、または BOM[1:0] ビットが“10b”のとき：バスオフ終了時) に、CPU がチャンネルリセットモードへの遷移を要求した場合は、CPU の要求が優先されます。このビットはチャンネルリセットモードでのみ書き換えてください。

ERRD ビット (エラー表示モード選択ビット)

ERFLL レジスタの b14 ~ b8 の表示モードを制御します。

“0”にすると最初に発生したエラーのフラグのみが“1”になります。最初に複数のエラーが発生した場合、検出された複数のエラーのフラグはすべて“1”になります。

“1”にすると発生順に関係なく、起こったエラーのフラグはすべて“1”になります。

このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

CTME ビット (通信テストモード許可ビット)

“1”にすると通信テストモードは許可になります。このビットはチャンネル待機モードでのみ書き換えてください。

チャンネルリセットモード時は“0”になります。

CTMS[1:0] ビット (通信テストモード選択ビット)

通信テストモードを選択するビットです。このビットはチャンネル待機モードでのみ書き換えてください。チャンネルリセットモード時は“0”になります。

36.2.5 ステータスレジスタ L (STSL)

アドレス RSCAN0.STSL 000A 8308h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CRSTSTS	チャンネルリセットステータスフラグ	0: チャンネルリセットモードではない 1: チャンネルリセットモード	R
b1	CHLTSTS	チャンネル待機ステータスフラグ	0: チャンネル待機モードではない 1: チャンネル待機モード	R
b2	CSLPSTS	チャンネルストップステータスフラグ	0: チャンネルストップモードではない 1: チャンネルストップモード	R
b3	EPSTS	エラーパッシブステータスフラグ	0: エラーパッシブ状態ではない 1: エラーパッシブ状態	R
b4	BOSTS	バスオフステータスフラグ	0: バスオフ状態ではない 1: バスオフ状態	R
b5	TRMSTS	送信ステータスフラグ	0: バスアイドルまたは受信 1: 送信中またはバスオフ状態	R
b6	RECSTS	受信ステータスフラグ	0: バスアイドルまたは送信中またはバスオフ状態 1: 受信	R
b7	COMSTS	通信ステータスフラグ	0: 通信可能な状態ではない 1: 通信可能な状態	R
b15-b8	—	予約ビット	読むと“0”が読めます	R

CRSTSTS フラグ (チャンネルリセットステータスフラグ)

チャンネルリセットモードに遷移すると“1”になります。チャンネル通信モードまたはチャンネル待機モードに遷移すると“0”になります。チャンネルリセットモードからチャンネルストップモードに遷移しても“1”のままです。

CHLTSTS フラグ (チャンネル待機ステータスフラグ)

チャンネル待機モードに遷移すると“1”になります。チャンネル待機モード以外のモードに遷移すると“0”になります。

CSLPSTS フラグ (チャンネルストップステータスフラグ)

チャンネルストップモードに遷移すると“1”になります。チャンネルストップモードから復帰すると“0”になります。

EPSTS フラグ (エラーパッシブステータスフラグ)

エラーパッシブ状態 ($128 \leq \text{STSH.TEC}[7:0]$ フラグ ≤ 255 または $128 \leq \text{STSH.REC}[7:0]$ フラグ) になると“1”になります。エラーパッシブ状態以外になるか、またはチャンネルリセットモードになると“0”になります。

BOSTS フラグ (バスオフステータスフラグ)

バスオフ状態 ($\text{STSH.TEC}[7:0]$ フラグ > 255) になると“1”になります。バスオフ状態以外になると“0”になります。

TRMSTS フラグ (送信ステータスフラグ)

送信を開始すると“1”になります。バスオフ状態では“1”のままです。バスアイドル状態になるか、または受信を開始すると“0”になります。

RECSTS フラグ (受信ステータスフラグ)

受信を開始すると“1”になります。バスアイドル状態になるか、または送信を開始すると“0”になります。

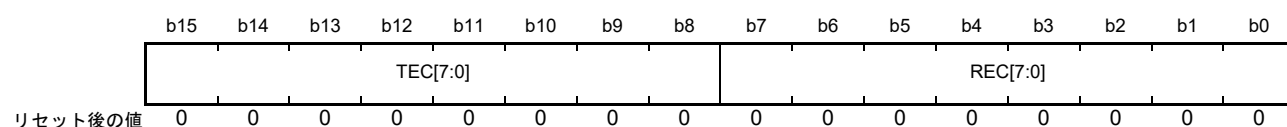
COMSTS フラグ (通信ステータスフラグ)

通信準備が整ったことを示すビットです。

チャンネルリセットモードまたはチャンネル待機モードからチャンネル通信モードに移行し、11ビットの連続するレセシブを検出した後に“1”になります。チャンネルリセットモードまたはチャンネル待機モード時は“0”になります。

36.2.6 ステータスレジスタ H (STSH)

アドレス RSCAN0.STSH 000A 830Ah



ビット	シンボル	機能	R/W
b7-b0	REC[7:0]	受信エラーカウンタ (REC)の値が読めます	R
b15-b8	TEC[7:0]	送信エラーカウンタ (TEC)の値が読めます	R

REC[7:0] フラグ

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、ISO 11898-1 規格を参照してください。

チャンネルリセットモード時は“00h”になります。

TEC[7:0] フラグ

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、ISO 11898-1 規格を参照してください。

チャンネルリセットモード時は“00h”になります。

36.2.7 エラーフラグレジスタ L (ERFLL)

アドレス RSCAN0.ERFLL 000A 830Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLf	BORF	BOEF	EPF	EWf	BEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEF	バスエラーフラグ	0: チャンネルバスエラー未検出 1: チャンネルバスエラー検出	R/(W) (注1)
b1	EWf	エラーワーニングフラグ	0: エラーワーニング未検出 1: エラーワーニング検出	R/(W) (注1)
b2	EPF	エラーパッシブフラグ	0: エラーパッシブ未検出 1: エラーパッシブ検出	R/(W) (注1)
b3	BOEF	バスオフ開始フラグ	0: バスオフ開始未検出 1: バスオフ開始検出	R/(W) (注1)
b4	BORF	バスオフ復帰フラグ	0: バスオフ復帰未検出 1: バスオフ復帰検出	R/(W) (注1)
b5	OVLf	オーバロードフラグ	0: オーバロード未検出 1: オーバロード検出	R/(W) (注1)
b6	BLF	バスロックフラグ	0: チャンネルバスロック未検出 1: チャンネルバスロック検出	R/(W) (注1)
b7	ALF	アービトレーションロストフラグ	0: アービトレーションロスト未検出 1: アービトレーションロスト検出	R/(W) (注1)
b8	SERR	スタッフエラーフラグ	0: スタッフエラー未検出 1: スタッフエラー検出	R/(W) (注1)
b9	FERR	フォームエラーフラグ	0: フォームエラー未検出 1: フォームエラー検出	R/(W) (注1)
b10	AERR	ACKエラーフラグ	0: ACKエラー未検出 1: ACKエラー検出	R/(W) (注1)
b11	CERR	CRCエラーフラグ	0: CRCエラー未検出 1: CRCエラー検出	R/(W) (注1)
b12	B1ERR	レセシブビットエラーフラグ	0: レセシブビットエラー未検出 1: レセシブビットエラー検出	R/(W) (注1)
b13	B0ERR	ドミナントビットエラーフラグ	0: ドミナントビットエラー未検出 1: ドミナントビットエラー検出	R/(W) (注1)
b14	ADERR	ACKデリミタエラーフラグ	0: ACKデリミタエラー未検出 1: ACKデリミタエラー検出	R/(W) (注1)
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。“1”を書いても値は変化しません。

各エラーの発生条件を確認するには、ISO 11898-1 規格を参照してください。各フラグを“0”にする場合は、プログラムで“0”を書いてください。プログラムで“1”にできません。フラグが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのフラグは“1”になります。チャンネルリセットモード時、“0”になります。

ERFLL レジスタの b14 ~ b8 に関して、CTRH.ERRD ビットを“0”（最初に発生したエラー情報のみ表示）に設定したとき、b14 ~ b8 のすべてのフラグが“0”の状態エラーが検出された場合に、対応するフラグは“1”になります。

BEF フラグ (バスエラーフラグ)

ADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERR フラグのいずれか1つでも“1”になると、BEF フラグは“1”になります。

EWf フラグ (エラーワーニングフラグ)

STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグの値が 95 を超えると“1”になります。STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが最初に 95 を超えたときのみ“1”になります。したがって、STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが 95 を超えたままで、プログラムで“0”を書いた場合、一度 STSH.REC[7:0] フラグと STSH.TEC[7:0] フラグの両方が 95 以下になり、再び STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが 95 を超えるまでは“1”にはなりません。

EPF フラグ (エラーパッシブフラグ)

エラーパッシブ状態 (STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグ > 127) になると“1”になります。STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが最初に 127 を超えたときのみ“1”になります。したがって、STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが 127 を超えたままで、プログラムで“0”を書いた場合、一度 STSH.REC[7:0] フラグと STSH.TEC[7:0] フラグの両方が 127 以下になり、再び STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが 127 を超えるまでは“1”にはなりません。

BOEF フラグ (バスオフ開始フラグ)

バスオフ状態 (STSH.TEC[7:0] フラグ > 255) になると“1”になります。CTRH.BOM[1:0] ビットが“01b”(バスオフ開始でチャンネル待機モードへ遷移)で、バスオフ状態になった場合も“1”になります。

BORF フラグ (バスオフ復帰フラグ)

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると“1”になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は“1”になりません。

- CTRL.CHMDC[1:0] ビットを“01b”(チャンネルリセットモード)に設定した場合
- CTRL.RTBO ビットを“1”(バスオフからの強制復帰)に設定した場合
- CTRH.BOM[1:0] ビットを“01b”(バスオフ開始でチャンネル待機モードへ遷移)に設定した場合
- CTRH.BOM[1:0] ビットが“11b”(バスオフ中にプログラムによる要求でチャンネル待機モードへ遷移)で、11 ビットの連続するレセシブを 128 回検出する前に、CTRL.CHMDC[1:0] ビットを“10b”(チャンネル待機モード)に設定した場合

OVLf フラグ (オーバロードフラグ)

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると“1”になります。

BLF フラグ (バスロックフラグ)

チャンネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると“1”になります。“1”になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF フラグを“1”から“0”にした後、レセシブビットを検出。
- BLF フラグを“1”から“0”にした後、チャンネルリセットモードに遷移し、再度チャンネル通信モードに遷移。

ALF フラグ (アービトレーションロストフラグ)

アービトレーションロストを検出すると“1”になります。

SERR フラグ (スタッフエラーフラグ)

スタッフエラーを検出すると“1”になります。

FERR フラグ (フォームエラーフラグ)

フォームエラーを検出すると“1”になります。

AERR フラグ (ACK エラーフラグ)

ACK エラーを検出すると“1”になります。

CERR フラグ (CRC エラーフラグ)

CRC エラーを検出すると“1”になります。

B1ERR フラグ (レセシブビットエラーフラグ)

レセシブを送信したにも関わらずドミナントを検出すると“1”になります。

B0ERR フラグ (ドミナントビットエラーフラグ)

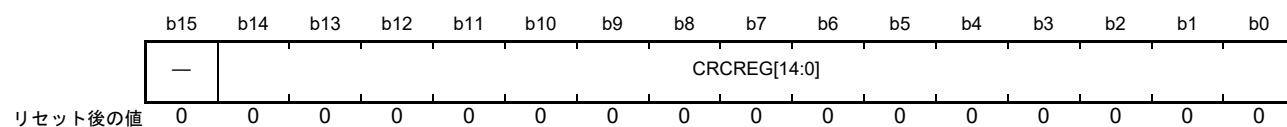
ドミナントを送信したにも関わらずレセシブを検出すると“1”になります。

ADERR フラグ (ACK デリミタエラーフラグ)

送信中の ACK デリミタでフォームエラーを検出すると“1”になります。

36.2.8 エラーフラグレジスタ H (ERFLH)

アドレス RSCAN0.ERFLH 000A 830Eh



ビット	シンボル	ビット名	機能	R/W
b14-b0	CRCREG[14:0]	CRC 演算データ	送信メッセージまたは受信メッセージを基に計算したCRC値を表示します	R
b15	—	予約ビット	読むと“0”が読めます	R

CRCREG[14:0] フラグ (CRC 演算データ)

CTRH.CTME ビットが“1”(通信テストモード許可)の場合、送信または受信メッセージを基に計算したCRC値が読めます。CTRH.CTME ビットが“0”(通信テストモード禁止)の場合、“0”が読めます。

36.2.9 グローバル設定レジスタ L (GCFGL)

アドレス RSCAN.GCFGL 000A 8322h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	TSSS	TSP[3:0]			—	—	—	DCS	MME	DRE	DCE	TPRI	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TPRI	送信優先順位選択ビット	0: ID優先 1: 送信バッファ番号優先	R/W
b1	DCE	DLCチェック許可ビット	0: DLCチェック禁止 1: DLCチェック許可	R/W
b2	DRE	DLC置換許可ビット	0: DLC置換禁止 1: DLC置換許可	R/W
b3	MME	ミラー機能許可ビット	0: ミラー機能禁止 1: ミラー機能許可	R/W
b4	DCS	CANクロックソース選択ビット	0: PCLK 1: CANMCLK (メインクロックから生成)	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	TSP[3:0]	タイムスタンプクロック源分周ビット	b11 b8 0 0 0 0 : 分周なし 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 0 1 1 1 : 128分周 1 0 0 0 : 256分周 1 0 0 1 : 512分周 1 0 1 0 : 1024分周 1 0 1 1 : 2048分周 1 1 0 0 : 4096分周 1 1 0 1 : 8192分周 1 1 1 0 : 16384分周 1 1 1 1 : 32768分周	R/W
b12	TSSS	タイムスタンプクロック源選択ビット	0: PCLK 1: CANビットタイムクロック	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GCFGL レジスタはグローバルリセットモードでのみ書き換えてください。

TPRI ビット (送信優先順位選択ビット)

TPRI ビットにより、送信優先順位を設定します。

“0”の場合、ID 優先となり送信優先順位は CAN バスアービトラージュルール (ISO 11898-1 規格) に準拠します。“1”の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

DCE ビット (DLC チェック許可ビット)

“1”にすると、DLC チェック機能が使用できます。GAFLPHj.GAFLDLC[3:0] ビットを“0000b”にしてから、DCE ビットを“0”にしてください。

DRE ビット (DLC 置換許可ビット)

DRE ビットを“1”にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00h”が格納されます。

DCE ビットが“1” (DLC チェック許可) のときに、DLC 置換機能を使用できます。

MME ビット (ミラー機能許可ビット)

“1”にすると、ミラー機能が使用できます。

DCS ビット (CAN クロックソース選択ビット)

DCS ビットを“0”にすると、CAN クロックソース (fCAN) は周辺クロック (PCLK) の 2 分周クロックが使用されます。

DCS ビットを“1”にすると、CAN クロックソース (fCAN) は、外部の EXTAL 端子から生成された CANMCLK が使用されます。

TSP[3:0] ビット (タイムスタンプクロック源分周ビット)

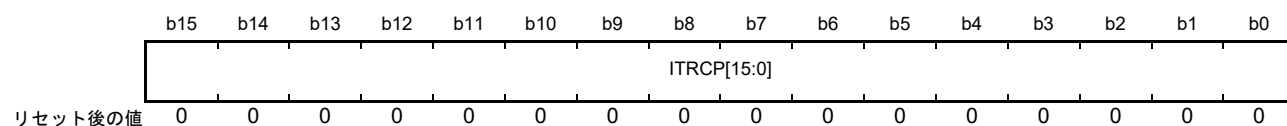
TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウントソースになります。

TSSS ビット (タイムスタンプクロック源選択ビット)

タイムスタンプカウンタのクロック源を選択します。

36.2.10 グローバル設定レジスタ H (GCFGH)

アドレス RSCAN.GCFGH 000A 8324h



ビット	シンボル	ビット名	機能	R/W
b15-b0	ITRCP[15:0]	インターバルタイムプリスケアラ設定ビット	設定値をMとするとPCLKをM分周します。 インターバルタイムを使用する場合、“0000h”を設定しないでください	R/W

GCFGH レジスタはグローバルリセットモードでのみ書き換えてください。

ITRCP[15:0] ビット (インターバルタイムプリスケアラ設定ビット)

FIFO 用インターバルタイムのクロック源の分周値を設定します。詳細は、「36.5.3 (1) インターバル送信機能」を参照してください。

36.2.11 グローバル制御レジスタ L (GCTRL)

アドレス RSCAN.GCTRL 000A 8326h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	GMDC[1:0]	グローバルモード選択ビット	b1 b0 0 0 : グローバル動作モード 0 1 : グローバルリセットモード 1 0 : グローバルテストモード 1 1 : 設定しないでください	R/W
b2	GSLPR	グローバルストップモードビット	0 : グローバルストップモードではない 1 : グローバルストップモード	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	DEIE	DLCエラー割り込み許可ビット	0 : DLCエラー割り込み禁止 1 : DLCエラー割り込み許可	R/W
b9	MEIE	FIFOメッセージロスト割り込み許可ビット	0 : FIFOメッセージロスト割り込み禁止 1 : FIFOメッセージロスト割り込み許可	R/W
b10	THLEIE	送信履歴バッファオーバーフロー割り込み許可ビット	0 : 送信履歴バッファオーバーフロー割り込み禁止 1 : 送信履歴バッファオーバーフロー割り込み許可	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GMDC[1:0] ビット (グローバルモード選択ビット)

CAN モジュール全体のモード (グローバル動作モード、グローバルリセットモード、グローバルテストモード) を選択するビットです。詳細は、「36.3.1 グローバルモード」を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを“1”にすることで遷移します。

GSLPR ビット (グローバルストップモードビット)

“1”にすると、グローバルストップモードになります。

“0”にすると、グローバルストップモードは解除されます。

このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えしないでください。

DEIE ビット (DLC エラー割り込み許可ビット)

DEIE ビットを“1”に設定し、GERFLL.DEF フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット (FIFO メッセージロスト割り込み許可ビット)

MEIE ビットを“1”に設定し、GERFLL.MES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

THLEIE ビット (送信履歴バッファオーバーフロー割り込み許可ビット)

THLEIE ビットを“1”に設定し、GERFLL.THLES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

36.2.12 グローバル制御レジスタ H (GCTRH)

アドレス RSCAN.GCTRH 000A 8328h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSRST	タイムスタンプカウンタリセットビット	TSRSTビットを“1”にすると、タイムスタンプカウンタをリセットします。読むと“0”が読み出されます	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TSRST ビット (タイムスタンプカウンタリセットビット)

タイムスタンプカウンタをリセットするために使用します。“1”にすると GTSC レジスタが“0000h”になります。

36.2.13 グローバルステータスレジスタ (GSTS)

アドレス RSCAN.GSTS 000A 832Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAMINIT	GSLPSTS	GHLTSTS	GRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	GRSTSTS	グローバルリセットステータスフラグ	0: グローバルリセットモードではない 1: グローバルリセットモード	R
b1	GHLTSTS	グローバルテストステータスフラグ	0: グローバルテストモードではない 1: グローバルテストモード	R
b2	GSLPSTS	グローバルストップステータスフラグ	0: グローバルストップモードではない 1: グローバルストップモード	R
b3	GRAMINIT	CAN用RAMクリアステータスフラグ	0: CAN用RAMクリア完了 1: CAN用RAMクリア中	R
b15-b4	—	予約ビット	読むと“0”が読めます	R

GRSTSTS フラグ (グローバルリセットステータスフラグ)

グローバルリセットモードに遷移すると“1”になります。

グローバルリセットモード以外のモードに遷移すると“0”になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1”のままです。

GHLTSTS フラグ (グローバルテストステータスフラグ)

グローバルテストモードに遷移すると“1”になります。グローバルテストモード以外のモードに遷移すると“0”になります。

GSLPSTS フラグ (グローバルストップステータスフラグ)

グローバルストップモードに遷移すると“1”になります。グローバルストップモードから復帰すると“0”になります。

GRAMINIT フラグ (CAN 用 RAM クリアステータスフラグ)

CAN 用 RAM のクリア状態を示します。

CAN モジュールイネーブル後、“1”になります。CAN 用 RAM クリアが完了すると“0”になります。

36.2.14 グローバルエラーフラグレジスタ (GERFLL)

アドレス RSCAN.GERFLL 000A 832Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THLES	MES	DEF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DEF	DLCエラーフラグ	0: DLCエラーなし 1: DLCエラー	R/(W) (注1)
b1	MES	FIFOメッセージロストステータスフラグ	0: FIFOメッセージロストエラーなし 1: FIFOメッセージロストエラー	R
b2	THLES	送信履歴バッファオーバーフローステータスフラグ	0: 送信履歴バッファオーバーフローなし 1: 送信履歴バッファオーバーフロー	R
b7-b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。“1”を書いても値は変化しません。

GERFLL レジスタのフラグは、グローバルリセットモード時、“0”になります。

DEF フラグ (DLC エラーフラグ)

DLC チェックでエラーが検出されると“1”になります。プログラムで“0”を書くことで“0”にできます。

MES フラグ (FIFO メッセージロストステータスフラグ)

RFSTSm.RFMLT フラグまたは CFSTS0.CFMLT フラグのいずれか1つでも“1”になると、MES フラグは“1”になります。

すべての RFSTSm.RFMLT フラグおよび CFSTS0.CFMLT フラグを“0”にすると、MES フラグは“0”になります。

THLES フラグ (送信履歴バッファオーバーフローステータスフラグ)

THLSTS0.THLELT フラグが“1”になると、THLES フラグは“1”になります。

THLSTS0.THLELT フラグを“0”にすると、THLES フラグは“0”になります。

36.2.15 グローバル送信割り込みステータスレジスタ (GTINTSTS)

アドレス RSCAN.GTINTSTS 000A 8388h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	THIF0	CFTIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSIF0	RSCAN0送信バッファ割り込みステータスフラグ	0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり	R
b1	TAIF0	RSCAN0送信バッファアポート割り込みステータスフラグ	0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり	R
b2	CFTIF0	RSCAN0送受信FIFO割り込みステータスフラグ	0: 送受信FIFO送信割り込み要求なし 1: 送受信FIFO送信割り込み要求あり	R
b3	THIF0	RSCAN0送信履歴割り込みステータスフラグ	0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり	R
b15-b4	—	予約ビット	読むと“0”が読めます	R

GTINTSTS レジスタのフラグは、グローバルリセットまたはチャンネルリセットモード時に“0”になります。

TSIF0 フラグ (RSCAN0 送信バッファ割り込みステータスフラグ)

TMIEC.TMIEp ビットが“1”(割り込み許可)、かつ対応する TMSTSp.TMTRF[1:0] フラグが“10b”(送信完了、アポート要求なし)、または“11b”(送信完了、アポート要求あり)になると、TSIF0 フラグは“1”になります。

TSIF0 フラグが“1”になる条件が成立している TMSTSp.TMTRF[1:0] フラグをすべて“00b”にすると、このフラグは“0”になります。また、TMIEC.TMIEp ビットを“0”にすることも、このフラグは“0”になります。

TAIF0 フラグ (RSCAN0 送信バッファアポート割り込みステータスフラグ)

CTRH.TAIE ビットが“1”(割り込み許可)、かつ TMSTSp.TMTRF[1:0] フラグが“01b”(送信アポート完了)になると、TAIF0 フラグは“1”になります。

送信アポート完了した TMSTSp.TMTRF[1:0] フラグをすべて“00b”にすると、このフラグは“0”になります。

CFTIF0 フラグ (RSCAN0 送受信 FIFO 割り込みステータスフラグ)

CFCCLO.CFTXIE ビットが“1”(割り込み許可)、かつ CFSTSO.CFTXIF フラグが“1”(割り込み要求あり)になると、CFTIF0 フラグは“1”になります。

CFSTSO.CFTXIF フラグを“0”にすると、このフラグは“0”になります。また、CFCCLO.CFTXIE ビットを“0”にすることも、このフラグは“0”になります。

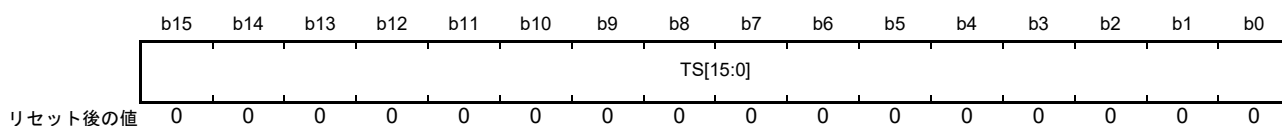
THIF0 フラグ (RSCAN0 送信履歴割り込みステータスフラグ)

THLCC0.THLIE ビットが“1”(割り込み許可)、かつ THLSTSO.THLIF フラグが“1”(割り込み要求あり)になると、THIF0 フラグは“1”になります。

THLSTSO.THLIF フラグを“0”にすると、このフラグは“0”になります。また、THLCC0.THLIE ビットを“0”にすることも、このフラグは“0”になります。

36.2.16 タイムスタンプレジスタ (GTSC)

アドレス RSCAN.GTSC 000A 832Eh



ビット	シンボル	機能	カウンタ値	R/W
b15-b0	TS[15:0]	タイムスタンプ用カウンタの値が読めます	0000h~FFFFh	R

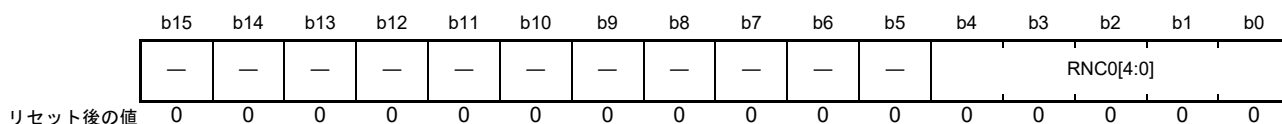
TS[15:0] ビットを読むと、その時点のタイムスタンプカウンタ (16 ビットフリーランカウンタ) の値が読めます。SOF を検出したとき、TS[15:0] ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。タイムスタンプカウンタはグローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- GCFGL.TSSS ビットが“0” (PCLK を選択) の場合
グローバル動作モードへ遷移したときにカウント開始。
グローバルストップモードまたはグローバルテストモードでカウント停止。
- GCFGL.TSSS ビットが“1” (CAN ビットタイムクロックを選択) の場合
対応するチャンネルがチャンネル通信モードへ遷移したときにカウント開始。
対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードでカウント停止。

36.2.17 受信ルール数設定レジスタ (GAFLCFG)

アドレス RSCAN.GAFLCFG 000A 8330h



ビット	シンボル	ビット名	機能	R/W
b4-b0	RNC0[4:0]	RSCAN0 受信ルール数設定ビット	チャンネル0の受信ルール数を設定してください。 設定範囲は“00h”~“10h”です	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GAFLCFG レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は最大 16 です。

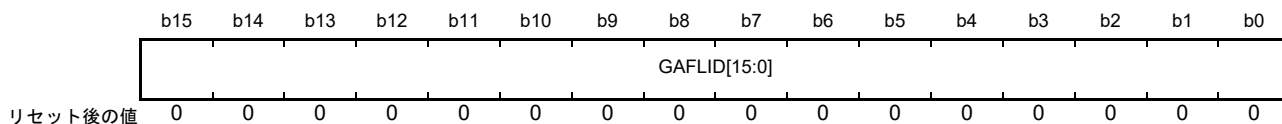
RNC0[4:0] ビット (RSCAN0 受信ルール数設定ビット)

チャンネル“0”の受信ルールテーブルに登録するルール数を設定します。

“00h”~“10h”以外の値を設定しないでください。

36.2.18 受信ルール登録レジスタ jAL (GAFLIDLj) (j = 0 ~ 15)

アドレス RSCAN.GAFLIDL0 000A 83A0h, RSCAN.GAFLIDL1 000A 83ACh, RSCAN.GAFLIDL2 000A 83B8h,
RSCAN.GAFLIDL3 000A 83C4h, RSCAN.GAFLIDL4 000A 83D0h, RSCAN.GAFLIDL5 000A 83DCh,
RSCAN.GAFLIDL6 000A 83E8h, RSCAN.GAFLIDL7 000A 83F4h, RSCAN.GAFLIDL8 000A 8400h,
RSCAN.GAFLIDL9 000A 840Ch, RSCAN.GAFLIDL10 000A 8418h, RSCAN.GAFLIDL11 000A 8424h,
RSCAN.GAFLIDL12 000A 8430h, RSCAN.GAFLIDL13 000A 843Ch, RSCAN.GAFLIDL14 000A 8448h,
RSCAN.GAFLIDL15 000A 8454h



ビット	シンボル	ビット名	機能	R/W
b15-b0	GAFLID[15:0]	ID設定ビットL	受信ルールのIDを設定してください。 標準IDの場合、b10~b0にIDを設定してください。b15~b11は“0”にしてください	R/W

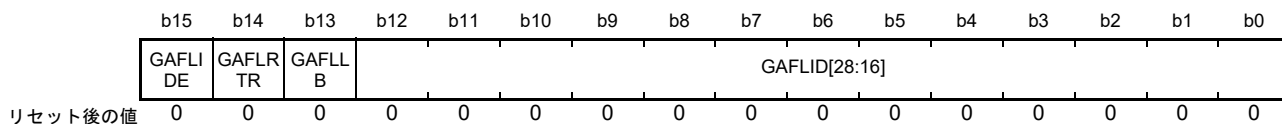
GAFLIDLj レジスタは、GRWCR.RPAGE ビットが“0”で、かつグローバルリセットモードでのみ書き換えしてください。

GAFLID[15:0] ビット (ID 設定ビット L)

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

36.2.19 受信ルール登録レジスタ jAH (GAFLIDHj) (j = 0 ~ 15)

アドレス RSCAN.GAFLIDH0 000A 83A2h, RSCAN.GAFLIDH1 000A 83AEh, RSCAN.GAFLIDH2 000A 83BAh,
RSCAN.GAFLIDH3 000A 83C6h, RSCAN.GAFLIDH4 000A 83D2h, RSCAN.GAFLIDH5 000A 83DEh,
RSCAN.GAFLIDH6 000A 83EAh, RSCAN.GAFLIDH7 000A 83F6h, RSCAN.GAFLIDH8 000A 8402h,
RSCAN.GAFLIDH9 000A 840Eh, RSCAN.GAFLIDH10 000A 841Ah, RSCAN.GAFLIDH11 000A 8426h,
RSCAN.GAFLIDH12 000A 8432h, RSCAN.GAFLIDH13 000A 843Eh, RSCAN.GAFLIDH14 000A 844Ah,
RSCAN.GAFLIDH15 000A 8456h



ビット	シンボル	ビット名	機能	R/W
b12-b0	GAFLID[28:16]	ID設定ビットH	受信ルールのIDを設定してください。 標準IDの場合、“0”にしてください	R/W
b13	GAFLLB	受信ルール対象メッセージ選択 ビット	0：他のCANノードが送信したメッセージを受信時 1：自らが送信したメッセージを受信時	R/W
b14	GAFLRTR	RTR選択ビット	0：データフレーム 1：リモートフレーム	R/W
b15	GAFLIDE	IDE選択ビット	0：標準ID 1：拡張ID	R/W

GAFLIDHj レジスタは、GRWCR.RPAGE ビットが“0”で、かつグローバルリセットモードでのみ書き換え
てください。

GAFLID[28:16] ビット (ID 設定ビット H)

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信
メッセージの ID を比較します。

GAFLLB ビット (受信ルール対象メッセージ選択ビット)

“0”にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処
理を行います。

ミラー機能使用時に“1”にすると、自らが送信したメッセージを受信する場合に、受信ルールを用いた
データ処理を行います。

GAFLRTR ビット (RTR 選択ビット)

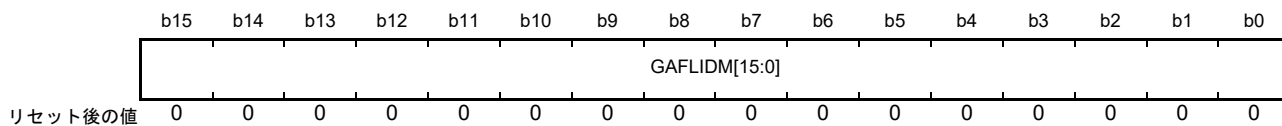
受信ルールのフレームフォーマット (データフレームまたはリモートフレーム) を選択します。アクセプ
タンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLIDE ビット (IDE 選択ビット)

受信ルールの ID フォーマット (標準 ID または拡張 ID) を選択します。アクセプタンスフィルタ処理で
は、このビットと受信メッセージの IDE ビットを比較します。

36.2.20 受信ルール登録レジスタ jBL (GAFLMLj) (j = 0 ~ 15)

アドレス RSCAN.GAFLML0 000A 83A4h, RSCAN.GAFLML1 000A 83B0h, RSCAN.GAFLML2 000A 83BCh,
RSCAN.GAFLML3 000A 83C8h, RSCAN.GAFLML4 000A 83D4h, RSCAN.GAFLML5 000A 83E0h,
RSCAN.GAFLML6 000A 83ECh, RSCAN.GAFLML7 000A 83F8h, RSCAN.GAFLML8 000A 8404h,
RSCAN.GAFLML9 000A 8410h, RSCAN.GAFLML10 000A 841Ch, RSCAN.GAFLML11 000A 8428h,
RSCAN.GAFLML12 000A 8434h, RSCAN.GAFLML13 000A 8440h, RSCAN.GAFLML14 000A 844Ch,
RSCAN.GAFLML15 000A 8458h



ビット	シンボル	ビット名	機能	R/W
b15-b0	GAFLIDM[15:0]	IDマスクビットL	0 : 対応するIDビットを比較しない 1 : 対応するIDビットを比較する	R/W

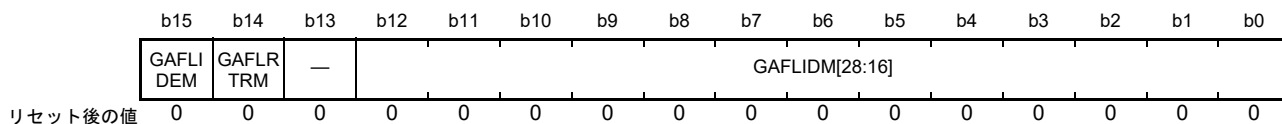
GAFLMLj レジスタは、GRWCR.RPAGE ビットが“0”で、かつグローバルリセットモードでのみ書き換えしてください。

GAFLIDM[15:0] ビット (ID マスクビット L)

受信ルールの対応する ID ビットをマスクするビットです。

36.2.21 受信ルール登録レジスタ jBH (GAFLMHj) (j = 0 ~ 15)

アドレス RSCAN.GAFLMH0 000A 83A6h, RSCAN.GAFLMH1 000A 83B2h, RSCAN.GAFLMH2 000A 83BEh,
RSCAN.GAFLMH3 000A 83CAh, RSCAN.GAFLMH4 000A 83D6h, RSCAN.GAFLMH5 000A 83E2h,
RSCAN.GAFLMH6 000A 83EEh, RSCAN.GAFLMH7 000A 83FAh, RSCAN.GAFLMH8 000A 8406h,
RSCAN.GAFLMH9 000A 8412h, RSCAN.GAFLMH10 000A 841Eh, RSCAN.GAFLMH11 000A 842Ah,
RSCAN.GAFLMH12 000A 8436h, RSCAN.GAFLMH13 000A 8442h, RSCAN.GAFLMH14 000A 844Eh,
RSCAN.GAFLMH15 000A 845Ah



ビット	シンボル	ビット名	機能	R/W
b12-b0	GAFLIDM[28:16]	IDマスクビットH	0: 対応するIDビットを比較しない 1: 対応するIDビットを比較する	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	GAFLRTRM	RTRマスクビット	0: RTRビットを比較しない 1: RTRビットを比較する	R/W
b15	GAFLIDEM	IDEマスクビット	0: IDEビットを比較しない 1: IDEビットを比較する	R/W

GAFLMHj レジスタは、GRWCR.RPAGE ビットが“0”で、かつグローバルリセットモードでのみ書き換えしてください。

GAFLIDM[28:16] ビット (ID マスクビット H)

受信ルールの対応する ID ビットをマスクするビットです。

GAFLRTRM ビット (RTR マスクビット)

受信ルールの RTR ビットをマスクするビットです。

GAFLIDEM ビット (IDE マスクビット)

“1”にすると、GAFLIDHj.GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

“0”にすると、すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを“0”にする場合は、GAFLMHj.GAFLIDM[28:16] ビットと GAFLMLj.GAFLIDM[15:0] ビットをすべて“0”にしてください。

36.2.22 受信ルール登録レジスタ jCL (GAFLPLj) (j = 0 ~ 15)

アドレス RSCAN.GAFLPL0 000A 83A8h, RSCAN.GAFLPL1 000A 83B4h, RSCAN.GAFLPL2 000A 83C0h,
RSCAN.GAFLPL3 000A 83CCh, RSCAN.GAFLPL4 000A 83D8h, RSCAN.GAFLPL5 000A 83E4h,
RSCAN.GAFLPL6 000A 83F0h, RSCAN.GAFLPL7 000A 83FCh, RSCAN.GAFLPL8 000A 8408h,
RSCAN.GAFLPL9 000A 8414h, RSCAN.GAFLPL10 000A 8420h, RSCAN.GAFLPL11 000A 842Ch,
RSCAN.GAFLPL12 000A 8438h, RSCAN.GAFLPL13 000A 8444h, RSCAN.GAFLPL14 000A 8450h,
RSCAN.GAFLPL15 000A 845Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	GAFLR MV	GAFLRMDP[6:0]						—	—	—	GAFLF DP4	—	—	GAFLF DP1	GAFLF DP0		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	GAFLFDP0	受信FIFOバッファ選択ビット0	0: 受信FIFOバッファ0を選択しない 1: 受信FIFOバッファ0を選択する	R/W
b1	GAFLFDP1	受信FIFOバッファ選択ビット1	0: 受信FIFOバッファ1を選択しない 1: 受信FIFOバッファ1を選択する	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	GAFLFDP4	RSCAN0送受信FIFOバッファ 選択ビット0	0: RSCAN0送受信FIFOバッファ0を選択しない 1: RSCAN0送受信FIFOバッファ0を選択する	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14-b8	GAFLRMDP[6:0]	受信バッファ番号選択ビット	受信メッセージを格納する受信バッファの番号を設定	R/W
b15	GAFLRMV	受信バッファ許可ビット	0: 受信バッファを使用しない 1: 受信バッファを使用する	R/W

GAFLPLj レジスタは、GRWCR.RPAGE ビットが“0”で、かつグローバルリセットモードでのみ書き換えてください。

GAFLFDP0 ビット (受信FIFOバッファ選択ビット0)、**GAFLFDP1 ビット (受信FIFOバッファ選択ビット1)、****GAFLFDP4 ビット (RSCAN0 送受信FIFOバッファ選択ビット0)**

フィルタを通過した受信メッセージを格納するFIFOバッファを指定します。最大2つのFIFOバッファが選択できます。ただし、GAFLPLj.GAFLRMV ビットを“1”(受信バッファにメッセージを格納する)にした場合は、最大1つのFIFOバッファが選択できます。受信FIFOバッファと、CFCCH0.CFM[1:0] ビットを“00b”(受信モード)に設定した送受信FIFOバッファのみ選択できます。

GAFLRMDP[6:0] ビット (受信バッファ番号選択ビット)

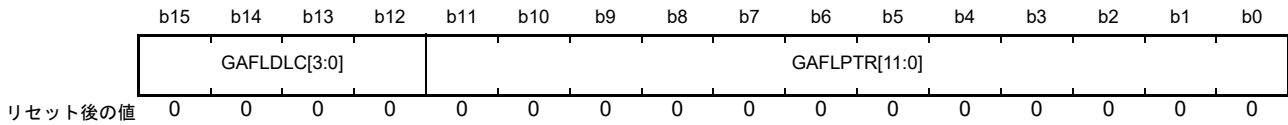
GAFLRMV ビットを“1”にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RMNB.NRXMB[4:0] ビットで設定した値より小さい番号を設定してください。

GAFLRMV ビット (受信バッファ許可ビット)

“1”にすると、GAFLRMDP[6:0] ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

36.2.23 受信ルール登録レジスタ jCH (GAFLPHj) (j = 0 ~ 15)

アドレス RSCAN.GAFLPH0 000A 83AAh, RSCAN.GAFLPH1 000A 83B6h, RSCAN.GAFLPH2 000A 83C2h,
 RSCAN.GAFLPH3 000A 83CEh, RSCAN.GAFLPH4 000A 83DAh, RSCAN.GAFLPH5 000A 83E6h,
 RSCAN.GAFLPH6 000A 83F2h, RSCAN.GAFLPH7 000A 83FEh, RSCAN.GAFLPH8 000A 840Ah,
 RSCAN.GAFLPH9 000A 8416h, RSCAN.GAFLPH10 000A 8422h, RSCAN.GAFLPH11 000A 842Eh,
 RSCAN.GAFLPH12 000A 843Ah, RSCAN.GAFLPH13 000A 8446h, RSCAN.GAFLPH14 000A 8452h,
 RSCAN.GAFLPH15 000A 845Eh



ビット	シンボル	ビット名	機能	R/W
b11-b0	GAFLPTR[11:0]	受信ルールラベル設定ビット	12ビットのラベル情報を設定	R/W
b15-b12	GAFLDLC[3:0]	受信ルールDLC設定ビット	b15 b12 0 0 0 0 : データ長0バイト以上(DLCチェックしない) 0 0 0 1 : データ長1バイト以上 0 0 1 0 : データ長2バイト以上 0 0 1 1 : データ長3バイト以上 0 1 0 0 : データ長4バイト以上 0 1 0 1 : データ長5バイト以上 0 1 1 0 : データ長6バイト以上 0 1 1 1 : データ長7バイト以上 1 x x x : データ長8バイト以上	R/W

x : Don't care

GAFLPHj レジスタは、GRWCR.RPAGE ビットが“0”で、かつグローバルリセットモードでのみ書き換えてください。

GAFLPTR[11:0] ビット (受信ルールラベル設定ビット)

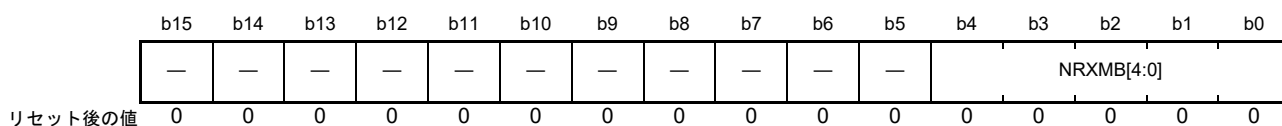
フィルタを通過したメッセージに付加する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に付加されます。

GAFLDLC[3:0] ビット (受信ルール DLC 設定ビット)

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0] ビットで設定した値以上の場合、DLC チェックを通過します。“0000b”を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

36.2.24 受信バッファ数設定レジスタ (RMNB)

アドレス RSCAN.RMNB 000A 8332h



ビット	シンボル	ビット名	機能	R/W
b4-b0	NRXMB[4:0]	受信バッファ数設定ビット	受信バッファ数を設定する。0～16の範囲で設定してください	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMNB レジスタはグローバルリセットモードでのみ書き換えてください。

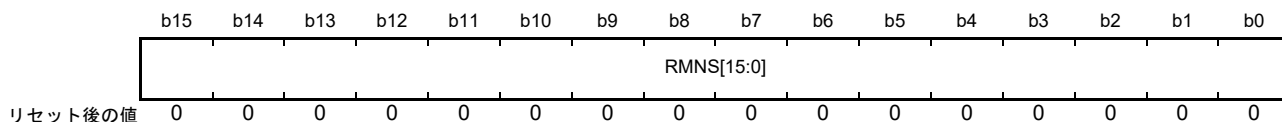
NRXMB[4:0] ビット (受信バッファ数設定ビット)

CAN モジュール全体の受信バッファ数を設定します。最大値は 16 です。

“0”を設定すると、受信バッファは使用できません。

36.2.25 受信バッファ受信完了フラグレジスタ (RMND0)

アドレス RSCAN.RMND0 000A 8334h



ビット	シンボル	ビット名	機能	R/W
b15-b0	RMNS[15:0]	受信バッファ受信完了フラグ n	0: 受信バッファ n に新しいメッセージなし (n = 0～15) 1: 受信バッファ n に新しいメッセージあり	R/W

RMND0 レジスタは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

RMNS[15:0] フラグ (受信バッファ受信完了フラグ n)

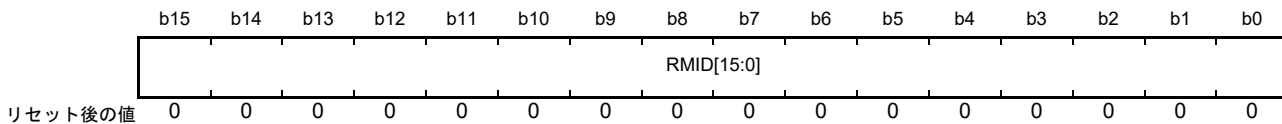
対応する受信バッファにメッセージを格納する処理が始まると“1”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合は、“0”にしたいビットを“0”、そうでないビットを“1”にして 16 ビット単位で書いてください。メッセージ格納中は“0”にできません。メッセージを格納する時間は PCLK の 10 クロック分です。

グローバルリセットモード時、“0”になります。

36.2.26 受信バッファレジスタ nAL (RMIDLn) (n = 0 ~ 15)

アドレス RSCAN.RMIDL0 000A 83A0h, RSCAN.RMIDL1 000A 83B0h, RSCAN.RMIDL2 000A 83C0h,
 RSCAN.RMIDL3 000A 83D0h, RSCAN.RMIDL4 000A 83E0h, RSCAN.RMIDL5 000A 83F0h,
 RSCAN.RMIDL6 000A 8400h, RSCAN.RMIDL7 000A 8410h, RSCAN.RMIDL8 000A 8420h,
 RSCAN.RMIDL9 000A 8430h, RSCAN.RMIDL10 000A 8440h, RSCAN.RMIDL11 000A 8450h,
 RSCAN.RMIDL12 000A 8460h, RSCAN.RMIDL13 000A 8470h, RSCAN.RMIDL14 000A 8480h,
 RSCAN.RMIDL15 000A 8490h



ビット	シンボル	ビット名	機能	R/W
b15-b0	RMID[15:0]	受信バッファ ID データ L	受信メッセージの標準 ID/拡張 ID が読めます。標準 ID の場合は、b10 ~ b0 を読んでください。b15 ~ b11 は 0 が読めます	R

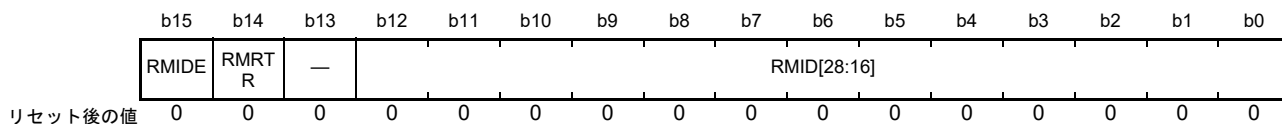
GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RMID[15:0] ビット (受信バッファ ID データ L)

受信バッファに格納されたメッセージの ID を示します。

36.2.27 受信バッファレジスタ nAH (RMIDHn) (n = 0 ~ 15)

アドレス RSCAN.RMIDH0 000A 83A2h, RSCAN.RMIDH1 000A 83B2h, RSCAN.RMIDH2 000A 83C2h,
RSCAN.RMIDH3 000A 83D2h, RSCAN.RMIDH4 000A 83E2h, RSCAN.RMIDH5 000A 83F2h,
RSCAN.RMIDH6 000A 8402h, RSCAN.RMIDH7 000A 8412h, RSCAN.RMIDH8 000A 8422h,
RSCAN.RMIDH9 000A 8432h, RSCAN.RMIDH10 000A 8442h, RSCAN.RMIDH11 000A 8452h,
RSCAN.RMIDH12 000A 8462h, RSCAN.RMIDH13 000A 8472h, RSCAN.RMIDH14 000A 8482h,
RSCAN.RMIDH15 000A 8492h



ビット	シンボル	ビット名	機能	R/W
b12-b0	RMID[28:16]	受信バッファ ID データ H	受信メッセージの標準 ID/拡張 ID が読めます。標準 ID の場合は、“0”が読めます	R
b13	—	予約ビット	読むと“0”が読めます	R
b14	RMRT R	受信バッファ RTR ビット	0 : データフレーム 1 : リモートフレーム	R
b15	RMIDE	受信バッファ IDE ビット	0 : 標準 ID 1 : 拡張 ID	R

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RMID[28:16] ビット (受信バッファ ID データ H)

受信バッファに格納されたメッセージの ID を示します。

RMRT R ビット (受信バッファ RTR ビット)

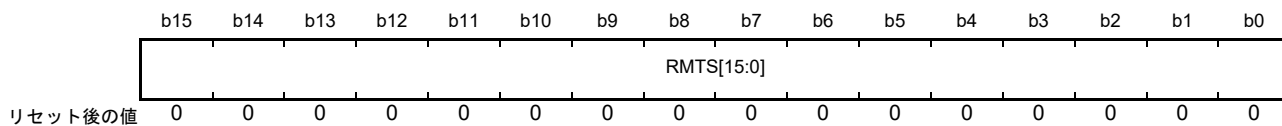
受信バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

RMIDE ビット (受信バッファ IDE ビット)

受信バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

36.2.28 受信バッファレジスタ nBL (RMTSn) (n = 0 ~ 15)

アドレス RSCAN.RMTS0 000A 83A4h, RSCAN.RMTS1 000A 83B4h, RSCAN.RMTS2 000A 83C4h,
RSCAN.RMTS3 000A 83D4h, RSCAN.RMTS4 000A 83E4h, RSCAN.RMTS5 000A 83F4h,
RSCAN.RMTS6 000A 8404h, RSCAN.RMTS7 000A 8414h, RSCAN.RMTS8 000A 8424h,
RSCAN.RMTS9 000A 8434h, RSCAN.RMTS10 000A 8444h, RSCAN.RMTS11 000A 8454h,
RSCAN.RMTS12 000A 8464h, RSCAN.RMTS13 000A 8474h, RSCAN.RMTS14 000A 8484h,
RSCAN.RMTS15 000A 8494h



ビット	シンボル	ビット名	機能	R/W
b15-b0	RMTS[15:0]	受信バッファタイムスタンプデータ	受信メッセージのタイムスタンプ値が読めます	R

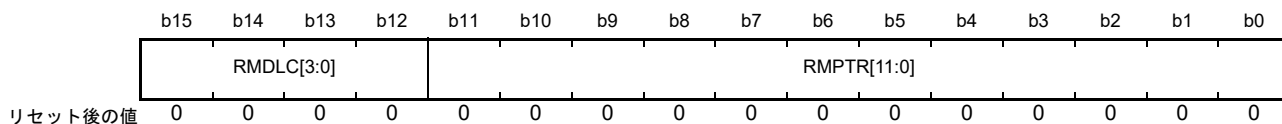
GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RMTS[15:0] ビット (受信バッファタイムスタンプデータ)

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

36.2.29 受信バッファレジスタ nBH (RMPTRn) (n = 0 ~ 15)

アドレス RSCAN.RMPTR0 000A 83A6h, RSCAN.RMPTR1 000A 83B6h, RSCAN.RMPTR2 000A 83C6h,
 RSCAN.RMPTR3 000A 83D6h, RSCAN.RMPTR4 000A 83E6h, RSCAN.RMPTR5 000A 83F6h,
 RSCAN.RMPTR6 000A 8406h, RSCAN.RMPTR7 000A 8416h, RSCAN.RMPTR8 000A 8426h,
 RSCAN.RMPTR9 000A 8436h, RSCAN.RMPTR10 000A 8446h, RSCAN.RMPTR11 000A 8456h,
 RSCAN.RMPTR12 000A 8466h, RSCAN.RMPTR13 000A 8476h, RSCAN.RMPTR14 000A 8486h,
 RSCAN.RMPTR15 000A 8496h



ビット	シンボル	ビット名	機能	R/W
b11-b0	RMPTR[11:0]	受信バッファラベルデータ	受信メッセージのラベル情報が読めます	R
b15-b12	RMDLC[3:0]	受信バッファ DLC データ	b15 b12 0 0 0 0 : 0バイト 0 0 0 1 : 1バイト 0 0 1 0 : 2バイト 0 0 1 1 : 3バイト 0 1 0 0 : 4バイト 0 1 0 1 : 5バイト 0 1 1 0 : 6バイト 0 1 1 1 : 7バイト 1 x x x : 8バイト	R

x : Don't care

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RMPTR[11:0] ビット (受信バッファラベルデータ)

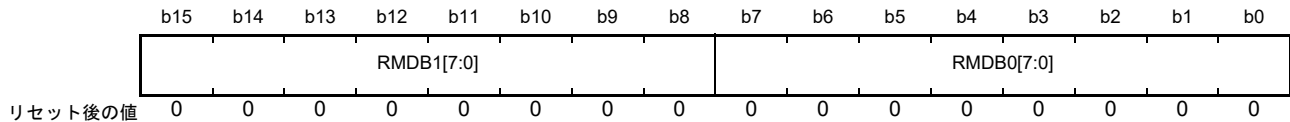
受信バッファに格納されたメッセージのラベル情報を示します。

RMDLC[3:0] ビット (受信バッファ DLC データ)

受信バッファに格納されたメッセージのデータ長を示します。

36.2.30 受信バッファレジスタ nCL (RMDF0n) (n = 0 ~ 15)

アドレス RSCAN.RMDF00 000A 83A8h, RSCAN.RMDF01 000A 83B8h, RSCAN.RMDF02 000A 83C8h,
RSCAN.RMDF03 000A 83D8h, RSCAN.RMDF04 000A 83E8h, RSCAN.RMDF05 000A 83F8h,
RSCAN.RMDF06 000A 8408h, RSCAN.RMDF07 000A 8418h, RSCAN.RMDF08 000A 8428h,
RSCAN.RMDF09 000A 8438h, RSCAN.RMDF10 000A 8448h, RSCAN.RMDF11 000A 8458h,
RSCAN.RMDF12 000A 8468h, RSCAN.RMDF13 000A 8478h, RSCAN.RMDF14 000A 8488h,
RSCAN.RMDF15 000A 8498h



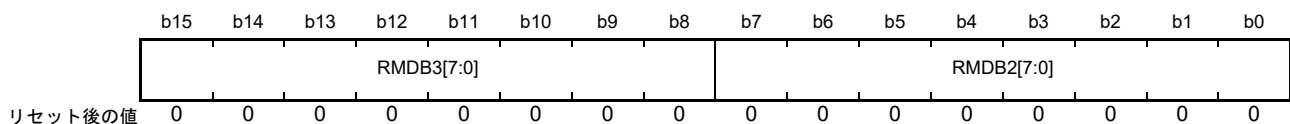
ビット	シンボル	ビット名	機能	R/W
b7-b0	RMDB0[7:0]	受信バッファデータバイト0	受信バッファに格納されたメッセージのデータが読めます	R
b15-b8	RMDB1[7:0]	受信バッファデータバイト1		R

RMPTRn.RMDLDC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

36.2.31 受信バッファレジスタ nCH (RMDF1n) (n = 0 ~ 15)

アドレス RSCAN.RMDF10 000A 83AAh, RSCAN.RMDF11 000A 83BAh, RSCAN.RMDF12 000A 83CAh,
RSCAN.RMDF13 000A 83DAh, RSCAN.RMDF14 000A 83EAh, RSCAN.RMDF15 000A 83FAh,
RSCAN.RMDF16 000A 840Ah, RSCAN.RMDF17 000A 841Ah, RSCAN.RMDF18 000A 842Ah,
RSCAN.RMDF19 000A 843Ah, RSCAN.RMDF110 000A 844Ah, RSCAN.RMDF111 000A 845Ah,
RSCAN.RMDF112 000A 846Ah, RSCAN.RMDF113 000A 847Ah, RSCAN.RMDF114 000A 848Ah,
RSCAN.RMDF115 000A 849Ah



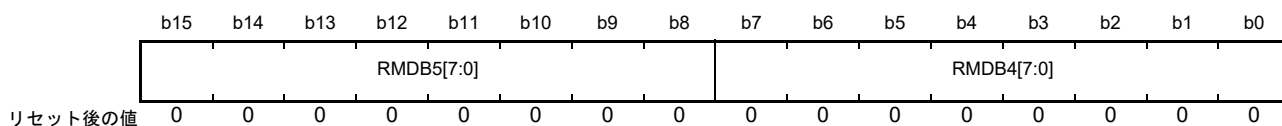
ビット	シンボル	ビット名	機能	R/W
b7-b0	RMDB2[7:0]	受信バッファデータバイト2	受信バッファに格納されたメッセージのデータが読めます	R
b15-b8	RMDB3[7:0]	受信バッファデータバイト3		R

RMPTRn.RMDLDC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

36.2.32 受信バッファレジスタ nDL (RMDF2n) (n = 0 ~ 15)

アドレス RSCAN.RMDF20 000A 83ACh, RSCAN.RMDF21 000A 83BCh, RSCAN.RMDF22 000A 83CCh,
RSCAN.RMDF23 000A 83DCh, RSCAN.RMDF24 000A 83ECh, RSCAN.RMDF25 000A 83FCh,
RSCAN.RMDF26 000A 840Ch, RSCAN.RMDF27 000A 841Ch, RSCAN.RMDF28 000A 842Ch,
RSCAN.RMDF29 000A 843Ch, RSCAN.RMDF210 000A 844Ch, RSCAN.RMDF211 000A 845Ch,
RSCAN.RMDF212 000A 846Ch, RSCAN.RMDF213 000A 847Ch, RSCAN.RMDF214 000A 848Ch,
RSCAN.RMDF215 000A 849Ch



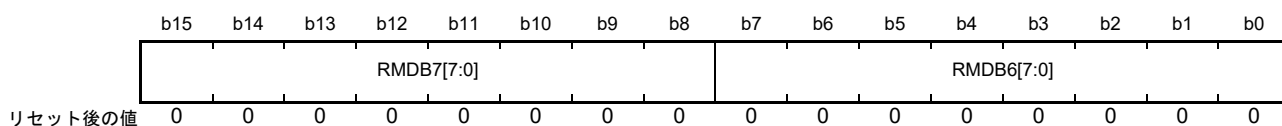
ビット	シンボル	ビット名	機能	R/W
b7-b0	RMDB4[7:0]	受信バッファデータバイト4	受信バッファに格納されたメッセージのデータが読めます	R
b15-b8	RMDB5[7:0]	受信バッファデータバイト5		R

RMPTRn.RMDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

36.2.33 受信バッファレジスタ nDH (RMDF3n) (n = 0 ~ 15)

アドレス RSCAN.RMDF30 000A 83AEh, RSCAN.RMDF31 000A 83BEh, RSCAN.RMDF32 000A 83CEh,
RSCAN.RMDF33 000A 83DEh, RSCAN.RMDF34 000A 83EEh, RSCAN.RMDF35 000A 83FEh,
RSCAN.RMDF36 000A 840Eh, RSCAN.RMDF37 000A 841Eh, RSCAN.RMDF38 000A 842Eh,
RSCAN.RMDF39 000A 843Eh, RSCAN.RMDF310 000A 844Eh, RSCAN.RMDF311 000A 845Eh,
RSCAN.RMDF312 000A 846Eh, RSCAN.RMDF313 000A 847Eh, RSCAN.RMDF314 000A 848Eh,
RSCAN.RMDF315 000A 849Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	RMDB6[7:0]	受信バッファデータバイト6	受信バッファに格納されたメッセージのデータが読めます	R
b15-b8	RMDB7[7:0]	受信バッファデータバイト7		R

RMPTRn.RMDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

36.2.34 受信 FIFO 制御レジスタ m (RFCCm) (m = 0, 1)

アドレス RSCAN.RFCC0 000A 8338h, RSCAN.RFCC1 000A 833Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	—	—	—	—	—	RFIE	RFE
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信 FIFO バッファ許可ビット	0 : 受信 FIFO バッファを使用しない 1 : 受信 FIFO バッファを使用する	R/W
b1	RFIE	受信 FIFO 割り込み許可ビット	0 : 受信 FIFO 割り込み禁止 1 : 受信 FIFO 割り込み許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	RFDC[2:0]	受信 FIFO バッファ段数設定ビット	b10 b8 0 0 0 : 0メッセージ 0 0 1 : 4メッセージ 0 1 0 : 8メッセージ 0 1 1 : 16メッセージ 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	RFIM	受信 FIFO 割り込み要因選択ビット	0 : RFIGCV[2:0] ビットで設定した条件に達したときに発生 1 : 1メッセージ受信完了ごとに発生	R/W
b15-b13	RFIGCV[2:0]	受信 FIFO 割り込み要求発生タイミング選択ビット	b15 b13 0 0 0 : FIFO バッファに1/8までメッセージ格納時 0 0 1 : FIFO バッファに2/8までメッセージ格納時 0 1 0 : FIFO バッファに3/8までメッセージ格納時 0 1 1 : FIFO バッファに4/8までメッセージ格納時 1 0 0 : FIFO バッファに5/8までメッセージ格納時 1 0 1 : FIFO バッファに6/8までメッセージ格納時 1 1 0 : FIFO バッファに7/8までメッセージ格納時 1 1 1 : FIFO バッファがフルの時	R/W

RFE ビット (受信 FIFO バッファ許可ビット)

“1”にすると、受信 FIFO バッファが使用できます。“0”にすると、RFSTSm.RFEMP フラグが“1”(バッファ空)になります。このビットはグローバル動作モードまたはグローバルテストモードでのみ書き換えてください。

RFIE ビット (受信 FIFO 割り込み許可ビット)

“1”にすると、受信 FIFO 割り込みが使用できます。RFE ビットが“0”(受信 FIFO バッファを使用しない)のときに、RFIE ビットを書き換えてください。

RFDC[2:0] ビット (受信 FIFO バッファ段数設定ビット)

1つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000b”に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット (受信 FIFO 割り込み要因選択ビット)

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFIGCV[2:0] ビット (受信 FIFO 割り込み要求発生タイミング選択ビット)

RFIM ビットを“0”にした場合の受信 FIFO 割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数 (RFDC[2:0] の設定) に対する分数で指定します。RFDC[2:0] ビットを“001b” (4 メッセージ) に設定した場合は、RFIGCV[2:0] ビットを“001b”、“011b”、“101b”、または“111b”にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

36.2.35 受信 FIFO ステータスレジスタ m (RFSTSm) (m = 0, 1)

アドレス RSCAN.RFSTS0 000A 8340h, RSCAN.RFSTS1 000A 8342h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RFMC[5:0]					—	—	—	—	RFIF	RFMLT	RFLL	RFEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RFEMP	受信FIFOバッファ空ステータスフラグ	0: 受信FIFOバッファに未読メッセージあり 1: 受信FIFOバッファに未読メッセージなし(バッファ空)	R
b1	RFLL	受信FIFOバッファフルステータスフラグ	0: 受信FIFOバッファフルではない 1: 受信FIFOバッファフル	R
b2	RFMLT	受信FIFOメッセージロストフラグ	0: 受信FIFOメッセージロストなし 1: 受信FIFOメッセージロスト	R/(W) (注1)
b3	RFIF	受信FIFO割り込み要求フラグ	0: 受信FIFO割り込み要求なし 1: 受信FIFO割り込み要求あり	R/(W) (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	RFMC[5:0]	受信FIFO未読メッセージ数表示カウンタ	受信FIFOバッファに格納された未読メッセージ数を示します	R
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。“1”を書いても値は変化しません。

RFEMP フラグ (受信 FIFO バッファ空ステータスフラグ)

受信 FIFO バッファのすべてのメッセージを読むと“1”になります。また、RFCCm.RFE ビットが“0”のとき、またはグローバルリセットモード時に“1”になります。

受信メッセージが1つでも受信 FIFO バッファに格納されると“0”になります。

RFLL フラグ (受信 FIFO バッファフルステータスフラグ)

受信 FIFO バッファに格納されたメッセージ数が、RFCCm.RFDC[2:0] ビットで設定した段数と一致すると“1”になります。

受信 FIFO バッファに格納されたメッセージ数が、RFCCm.RFDC[2:0] ビットで設定した段数より小さくなると“0”になります。また、RFCCm.RFE ビットが“0” (受信 FIFO バッファを使用しない) のとき、またはグローバルリセットモード時に“0”になります。

RFMLT フラグ (受信 FIFO メッセージロストフラグ)

受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき“1”になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。

このビットはグローバル動作モードまたはグローバルテストモードでのみ書き換えてください。

RFIF フラグ (受信 FIFO 割り込み要求フラグ)

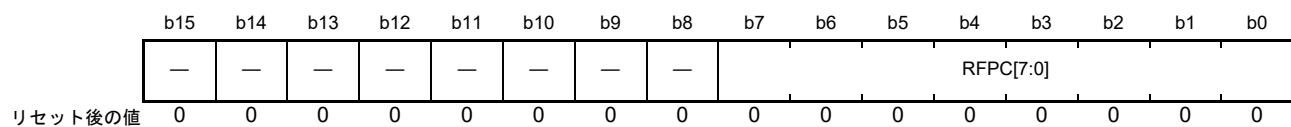
RFCCm.RFIGCV[2:0] ビット (m = 0, 1) と RFCCm.RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに“1”になります。RFIF フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。このビットはグローバル動作モードまたはグローバルテストモードでのみ書き換えてください。

RFMC[5:0] フラグ (受信 FIFO 未読メッセージ数表示カウンタ)

受信 FIFO バッファ内の未読メッセージ数を示します。RFCCm.RFE ビットを“0”にすると、“00h”になります。

36.2.36 受信 FIFO ポインタ制御レジスタ m (RFPCTRm) (m = 0, 1)

アドレス RSCAN.RFPCTR0 000A 8348h, RSCAN.RFPCTR1 000A 834Ah



ビット	シンボル	ビット名	機能	R/W
b7-b0	RFPC[7:0]	受信FIFOポインタ	“FFh”を書くと、受信FIFOバッファの次の未読メッセージにリードポインタが移動します。設定値は“FFh”です	W
b15-b8	—	予約ビット	書く場合、“0”としてください	W

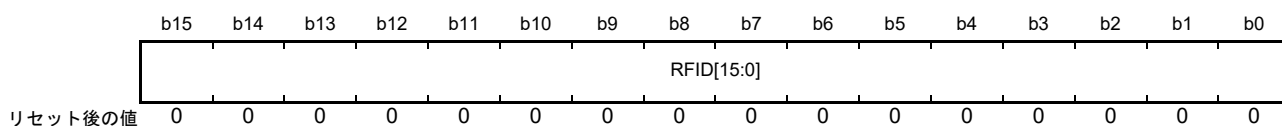
RFPC[7:0] ビット (受信 FIFO ポインタ)

RFPC[7:0] ビットに“FFh”を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RFSTSm.RFMC[5:0] フラグ (受信 FIFO 未読メッセージ数表示カウンタ) の値が“1”減算されます。RFIDLm、RFIDHm、RFTSm、RFPTRm、RFDF0m ~ RFDF3m レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0] ビットに“FFh”を書いてください。

なお、“FFh”の書き込みは、RFCCm.RFE ビットが“1”(受信 FIFO バッファを使用する)で、RFSTSm.RFEMP フラグが“0”(未読メッセージあり)のときに行ってください。

36.2.37 受信 FIFO アクセスレジスタ mAL (RFIDLm) (m = 0, 1)

アドレス RSCAN.RFIDL0 000A 85A0h, RSCAN.RFIDL1 000A 85B0h



ビット	シンボル	ビット名	機能	R/W
b15-b0	RFID[15:0]	受信FIFOバッファIDデータL	受信メッセージの標準ID/拡張IDが読めます。標準IDの場合は、b10～b0を読んでください。b15～b11は“0”が読めます	R

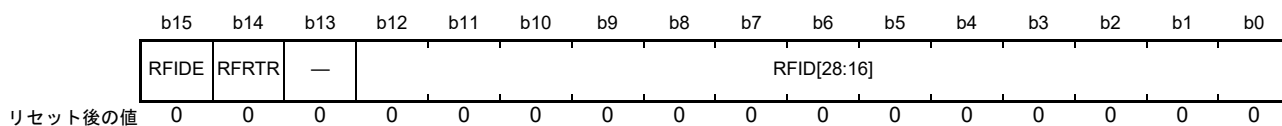
GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RFID[15:0] ビット (受信 FIFO バッファ ID データ L)

受信 FIFO バッファに格納されたメッセージの ID を示します。

36.2.38 受信 FIFO アクセスレジスタ mAH (RFIDHm) (m = 0, 1)

アドレス RSCAN.RFIDH0 000A 85A2h, RSCAN.RFIDH1 000A 85B2h



ビット	シンボル	ビット名	機能	R/W
b12-b0	RFID[28:16]	受信FIFOバッファIDデータH	受信メッセージの標準ID/拡張IDが読めます。標準IDの場合は、“0”が読めます	R
b13	—	予約ビット	読むと“0”が読めます	R
b14	RFRTR	受信FIFOバッファRTRビット	0：データフレーム 1：リモートフレーム	R
b15	RFIDE	受信FIFOバッファIDEビット	0：標準ID 1：拡張ID	R

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RFID[28:16] ビット (受信 FIFO バッファ ID データ H)

受信 FIFO バッファに格納されたメッセージの ID を示します。

RFRTR ビット (受信 FIFO バッファ RTR ビット)

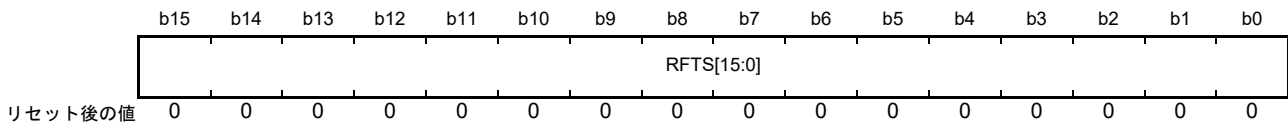
受信 FIFO バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

RFIDE ビット (受信 FIFO バッファ IDE ビット)

受信 FIFO バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

36.2.39 受信 FIFO アクセスレジスタ mBL (RFTSm) (m = 0, 1)

アドレス RSCAN.RFTS0 000A 85A4h, RSCAN.RFTS1 000A 85B4h



ビット	シンボル	ビット名	機能	R/W
b15-b0	RFTS[15:0]	受信FIFOバッファタイムスタンプデータ	受信メッセージのタイムスタンプ値が読めます	R

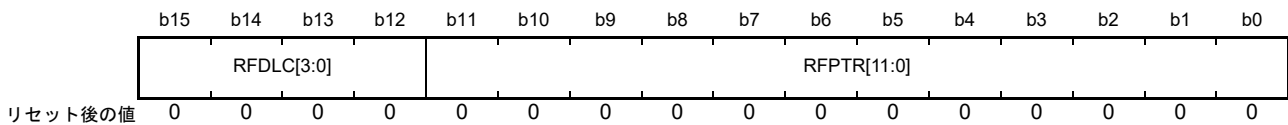
GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RFTS[15:0] ビット (受信 FIFO バッファタイムスタンプデータ)

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

36.2.40 受信 FIFO アクセスレジスタ mBH (RFPTRm) (m = 0, 1)

アドレス RSCAN.RFPTR0 000A 85A6h, RSCAN.RFPTR1 000A 85B6h



ビット	シンボル	ビット名	機能	R/W																														
b11-b0	RFPTR[11:0]	受信FIFOバッファラベルデータ	受信メッセージのラベル情報が読めます	R																														
b15-b12	RFDLC[3:0]	受信FIFOバッファ DLC データ	<table border="0"> <tr> <td>b15</td> <td>b12</td> <td></td> </tr> <tr> <td>0 0 0 0</td> <td>:</td> <td>0バイト</td> </tr> <tr> <td>0 0 0 1</td> <td>:</td> <td>1バイト</td> </tr> <tr> <td>0 0 1 0</td> <td>:</td> <td>2バイト</td> </tr> <tr> <td>0 0 1 1</td> <td>:</td> <td>3バイト</td> </tr> <tr> <td>0 1 0 0</td> <td>:</td> <td>4バイト</td> </tr> <tr> <td>0 1 0 1</td> <td>:</td> <td>5バイト</td> </tr> <tr> <td>0 1 1 0</td> <td>:</td> <td>6バイト</td> </tr> <tr> <td>0 1 1 1</td> <td>:</td> <td>7バイト</td> </tr> <tr> <td>1 x x x</td> <td>:</td> <td>8バイト</td> </tr> </table>	b15	b12		0 0 0 0	:	0バイト	0 0 0 1	:	1バイト	0 0 1 0	:	2バイト	0 0 1 1	:	3バイト	0 1 0 0	:	4バイト	0 1 0 1	:	5バイト	0 1 1 0	:	6バイト	0 1 1 1	:	7バイト	1 x x x	:	8バイト	R
b15	b12																																	
0 0 0 0	:	0バイト																																
0 0 0 1	:	1バイト																																
0 0 1 0	:	2バイト																																
0 0 1 1	:	3バイト																																
0 1 0 0	:	4バイト																																
0 1 0 1	:	5バイト																																
0 1 1 0	:	6バイト																																
0 1 1 1	:	7バイト																																
1 x x x	:	8バイト																																

x : Don't care

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RFPTR[11:0] ビット (受信 FIFO バッファラベルデータ)

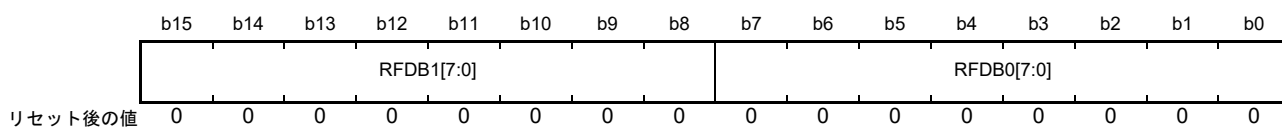
受信 FIFO バッファに格納されたメッセージのラベル情報を示します。

RFDLC[3:0] ビット (受信 FIFO バッファ DLC データ)

受信 FIFO バッファに格納されたメッセージのデータ長を示します。

36.2.41 受信 FIFO アクセスレジスタ mCL (RFDF0m) (m = 0, 1)

アドレス RSCAN.RFDF00 000A 85A8h, RSCAN.RFDF01 000A 85B8h



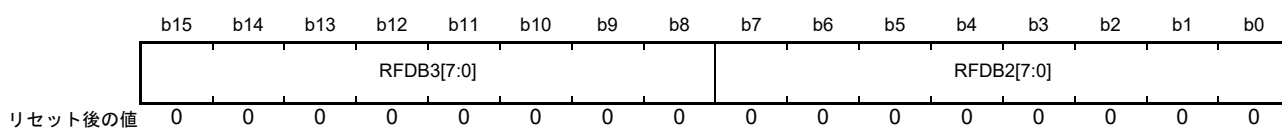
ビット	シンボル	ビット名	機能	R/W
b7-b0	RFDB0[7:0]	受信FIFOバッファデータバイト0	受信FIFOバッファに格納されたメッセージのデータが読めます	R
b15-b8	RFDB1[7:0]	受信FIFOバッファデータバイト1		R

RFPTRm.RFDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

36.2.42 受信 FIFO アクセスレジスタ mCH (RFDF1m) (m = 0, 1)

アドレス RSCAN.RFDF10 000A 85AAh, RSCAN.RFDF11 000A 85BAh



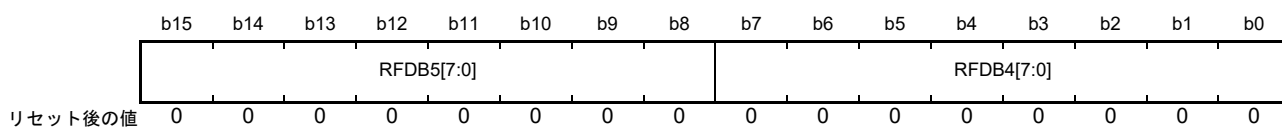
ビット	シンボル	ビット名	機能	R/W
b7-b0	RFDB2[7:0]	受信FIFOバッファデータバイト2	受信FIFOバッファに格納されたメッセージのデータが読めます	R
b15-b8	RFDB3[7:0]	受信FIFOバッファデータバイト3		R

RFPTRm.RFDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

36.2.43 受信 FIFO アクセスレジスタ mDL (RFDF2m) (m = 0, 1)

アドレス RSCAN.RFDF20 000A 85ACh, RSCAN.RFDF21 000A 85BCh



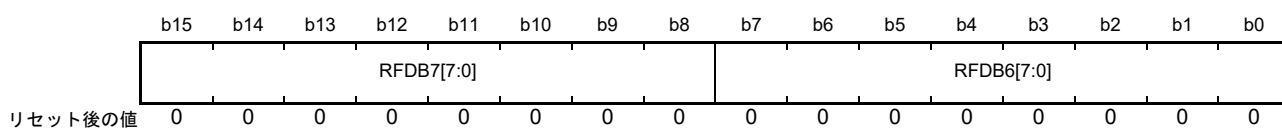
ビット	シンボル	ビット名	機能	R/W
b7-b0	RFDB4[7:0]	受信FIFOバッファデータバイト4	受信FIFOバッファに格納されたメッセージのデータが読めます	R
b15-b8	RFDB5[7:0]	受信FIFOバッファデータバイト5		R

RFPTRm.RFDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

36.2.44 受信 FIFO アクセスレジスタ mDH (RFDF3m) (m = 0, 1)

アドレス RSCAN.RFDF30 000A 85AEh, RSCAN.RFDF31 000A 85BEh



ビット	シンボル	ビット名	機能	R/W
b7-b0	RFDB6[7:0]	受信FIFOバッファデータバイト6	受信FIFOバッファに格納されたメッセージのデータが読めます	R
b15-b8	RFDB7[7:0]	受信FIFOバッファデータバイト7		R

RFPTRm.RFDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

36.2.45 送受信 FIFO 制御レジスタ 0L (CFCCL0)

アドレス RSCAN0.CFCCL0 000A 8350h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CFIGCV[2:0]			CFIM	—	CFDC[2:0]			—	—	—	—	—	CFTXIE	CFRXIE	CFE
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b0	CFE	送受信 FIFO バッファ許可ビット	0: 送受信 FIFO バッファを使用しない 1: 送受信 FIFO バッファを使用する	R/W
b1	CFRXIE	送受信 FIFO 受信割り込み許可ビット	0: 送受信 FIFO 受信割り込み禁止 1: 送受信 FIFO 受信割り込み許可	R/W
b2	CFTXIE	送受信 FIFO 送信割り込み許可ビット	0: 送受信 FIFO 送信割り込み禁止 1: 送受信 FIFO 送信割り込み許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CFDC[2:0]	送受信 FIFO バッファ段数設定ビット	b10 b8 0 0 0 : 0メッセージ 0 0 1 : 4メッセージ 0 1 0 : 8メッセージ 0 1 1 : 16メッセージ 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	CFIM	送受信 FIFO 割り込み要因選択ビット	0: 受信モード時 受信メッセージ数が CFIGCV[2:0] ビットで設定した条件に達したとき、FIFO 受信割り込み要求発生 送信モード時 メッセージ送信完了によってバッファが空になったとき、FIFO 送信割り込み要求発生 1: 受信モード時 1メッセージ受信ごとに FIFO 受信割り込み要求発生 送信モード時 1メッセージ送信が完了するごとに FIFO 送信割り込み要求発生	R/W
b15-b13	CFIGCV[2:0]	送受信 FIFO 受信割り込み要求発生タイミング選択ビット	b15 b13 0 0 0 : FIFO バッファに 1/8 までメッセージ格納時 0 0 1 : FIFO バッファに 2/8 までメッセージ格納時 0 1 0 : FIFO バッファに 3/8 までメッセージ格納時 0 1 1 : FIFO バッファに 4/8 までメッセージ格納時 1 0 0 : FIFO バッファに 5/8 までメッセージ格納時 1 0 1 : FIFO バッファに 6/8 までメッセージ格納時 1 1 0 : FIFO バッファに 7/8 までメッセージ格納時 1 1 1 : FIFO バッファがフルの時	R/W

CFE ビット (送受信 FIFO バッファ許可ビット)

“1”にすると、送受信 FIFO バッファを使用できます。

“0”にすると、送信モードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトラージロストの後に、空になります。それ以外の場合、または受信モードでは“0”にすると空になります。

このビットは、次に示す条件で“0”になります。

- 受信モード時：グローバルリセットモード
- 送信モード時：チャネルリセットモード

このビットは、次に示すモードでのみ書き換えてください。

- 受信モード：グローバル動作モードまたはグローバルテストモード
- 送信モード：チャンネル通信モードまたはチャンネル待機モード

CFRXIE ビット (送受信 FIFO 受信割り込み許可ビット)

このビットを“1”に設定し、CFSTS0.CFRXIF フラグが“1”になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが“0”の状態、CFRXIE ビットを書き換えてください。

CFTXIE ビット (送受信 FIFO 送信割り込み許可ビット)

このビットを“1”に設定し、CFSTS0.CFTXIF フラグが“1”になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが“0”(送受信 FIFO バッファを使用しない)の状態、CFTXIE ビットを書き換えてください。

CFDC[2:0] ビット (送受信 FIFO バッファ段数設定ビット)

1つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000b”に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット (送受信 FIFO 割り込み要因選択ビット)

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0] ビット (送受信 FIFO 受信割り込み要求発生タイミング選択ビット)

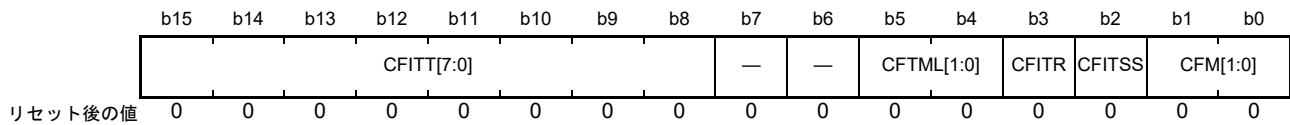
CFCCH0.CFM[1:0] ビットを“00b”(受信モード)に、CFIM ビットを“0”にした場合の送受信 FIFO 受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数(CFDC[2:0] ビットの設定)に対する分数で指定します。

CFDC[2:0] ビットを“001b”(4メッセージ)に設定した場合は、CFIGCV[2:0] ビットを“001b”、“011b”、“101b”、または“111b”にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

36.2.46 送受信 FIFO 制御レジスタ 0H (CFCCH0)

アドレス RSCAN0.CFCCH0 000A 8352h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CFM[1:0]	送受信FIFOモード選択ビット	b1 b0 0 0 : 受信モード 0 1 : 送信モード 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b2	CFITSS	インターバルタイマクロックソース選択ビット	0 : CFITR ビットで選択したクロック 1 : CAN ビットタイムクロック	R/W
b3	CFITR	送受信FIFOインターバルタイマ分解能	0 : PCLKをGCFGH.ITRCP[15:0]ビットで分周したクロック 1 : PCLKをGCFGH.ITRCP[15:0]ビットの値×10で分周したクロック	R/W
b5-b4	CFTML[1:0]	送信バッファリンク設定ビット	送受信FIFOバッファにリンクさせる送信バッファ番号を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	CFITT[7:0]	メッセージ送信間隔設定ビット	メッセージの送信間隔を設定してください。設定値は“00h”~“FFh”です	R/W

CFM[1:0] ビット (送受信 FIFO モード選択ビット)

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFITSS ビット (インターバルタイマクロックソース選択ビット)

“0”のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。

“1”のとき、CAN ビットタイムクロックがインターバルタイマのカウントソースになります。

CFCCL0.CFE ビットを“0”(送受信 FIFO バッファを使用しない)にしてから、CFITSS ビットを書き換えてください。

CFITR ビット (送受信 FIFO インターバルタイマ分解能)

CFITSS ビットが“1”のとき、有効です。

“0”のとき、PCLK を GCFGH.ITRCP[15:0] ビットで分周したクロックを選択します。

“1”のとき、PCLK を GCFGH.ITRCP[15:0] ビットの値×10 で分周したクロックを選択します。

CFCCL0.CFE ビットが“0”(送受信 FIFO バッファを使用しない)の状態、CFITR ビットを書き換えてください。

CFTML[1:0] ビット (送信バッファリンク設定ビット)

CFM[1:0] ビットを“01b”(送信モード)に設定した場合、送受信 FIFO バッファにリンクする送信バッファ番号を設定します。

CFCCL0.CFDC[2:0] ビットを“001b”以上にすると、CFTML[1:0] ビットの設定が有効になります。

このビットはグローバルリセットモードでのみ書き換えてください。

CFITT[7:0] ビット (メッセージ送信間隔設定ビット)

CFM[1:0] ビットを“01b”(送信モード)に設定した送受信 FIFO バッファから連続してメッセージを送信

する場合、メッセージの送信間隔を設定します。

CFCCLO.CFE ビットを“0”(送受信 FIFO バッファを使用しない)にしてから、CFITT[7:0] ビットを書き換えてください。

36.2.47 送受信 FIFO ステータスレジスタ 0 (CFSTS0)

アドレス RSCAN0.CFSTS0 000A 8358h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	CFMC[5:0]					—	—	—	CFTXIF	CFRXIF	CFMLT	CFLL	CFEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CFEMP	送受信 FIFO バッファ空ステータスフラグ	0: 送受信 FIFO バッファにメッセージあり 1: 送受信 FIFO バッファにメッセージなし(バッファ空)	R
b1	CFLL	送受信 FIFO バッファフルステータスフラグ	0: 送受信 FIFO バッファフルではない 1: 送受信 FIFO バッファフル	R
b2	CFMLT	送受信 FIFO メッセージロストフラグ	0: 送受信 FIFO メッセージロストなし 1: 送受信 FIFO メッセージロスト	R/(W) (注1)
b3	CFRXIF	送受信 FIFO 受信割り込み要求フラグ	0: 送受信 FIFO 受信割り込み要求なし 1: 送受信 FIFO 受信割り込み要求あり	R/(W) (注1)
b4	CFTXIF	送受信 FIFO 送信割り込み要求フラグ	0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり	R/(W) (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	CFMC[5:0]	送受信 FIFO メッセージ数表示カウンタ	送受信 FIFO バッファに格納されたメッセージ数を示します	R
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。“1”を書いても値は変化しません。

CFEMP フラグ (送受信 FIFO バッファ空ステータスフラグ)

["1"になる条件]

- CFCCH0.CFM[1:0] ビットが“00b”の場合: 全メッセージを読み出したとき、またはグローバルリセットモード
- CFCCH0.CFM[1:0] ビットが“01b”の場合: すべてのメッセージを送信したとき、またはチャンネルリセットモード
- CFCCL0.CFE ビットが“0”(送受信 FIFO バッファを使用しない)のとき
ただし、送受信 FIFO バッファのメッセージが送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトラージロストの後に、“1”になります。

["0"になる条件]

- CFCCH0.CFM[1:0] ビットが“00b”の場合: 受信メッセージが1つでも送受信 FIFO バッファに格納されたとき
- CFCCH0.CFM[1:0] ビットが“01b”の場合: CFIDL0、CFIDH0、CFPTR0、CFDF00 ~ CFDF30 レジスタに書いてから、CFPCTR0 レジスタに“FFh”を書いたとき

CFFLL フラグ (送受信 FIFO バッファフルステータスフラグ)

["1"になる条件]

- 送受信 FIFO バッファに格納されたメッセージ数が、CFCCL0.CFDC[2:0] ビットで設定した段数と一致したとき

["0"になる条件]

- 送受信 FIFO バッファに格納されたメッセージ数が、CFCCL0.CFDC[2:0] ビットで設定した段数より小さくなったとき
- CFCCL0.CFE ビットが "0" (送受信 FIFO バッファを使用しない) のとき
ただし、送受信 FIFO バッファのメッセージが送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、"0" になります。
- CFCCH0.CFM[1:0] ビットが "00b" の場合：グローバルリセットモード
- CFCCH0.CFM[1:0] ビットが "01b" の場合：チャンネルリセットモード

CFMLT フラグ (送受信 FIFO メッセージロストフラグ)

["1"になる条件]

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

["0"になる条件]

- CFMLT フラグへの "0" 書き込み
- CFCCH0.CFM[1:0] ビットが "00b" の場合：グローバルリセットモード
- CFCCH0.CFM[1:0] ビットが "01b" の場合：チャンネルリセットモード
このフラグは、グローバル動作モードまたはグローバルテストモードで "0" を書いてください。

CFRXIF フラグ (送受信 FIFO 受信割り込み要求フラグ)

["1"になる条件]

- CFCCH0.CFM[1:0] ビットが "00b" で、CFCCL0.CFIM ビットで選択した要因が発生したとき

["0"になる条件]

- CFRXIF フラグへの "0" 書き込み
- CFCCH0.CFM[1:0] ビットが "00b" の場合：グローバルリセットモード
- CFCCH0.CFM[1:0] ビットが "01b" の場合：チャンネルリセットモード
このフラグは、グローバル動作モードまたはグローバルテストモードで "0" を書いてください。

CFTXIF フラグ (送受信 FIFO 送信割り込み要求フラグ)

["1"になる条件]

- CFCCH0.CFM[1:0] ビットが "01b" で、CFCCL0.CFIM ビットで選択した要因が発生したとき

["0"になる条件]

- CFTXIF フラグへの "0" 書き込み
- CFCCH0.CFM[1:0] ビットが "00b" の場合：グローバルリセットモード
- CFCCH0.CFM[1:0] ビットが "01b" の場合：チャンネルリセットモード
このフラグは、グローバル動作モードまたはグローバルテストモードで "0" を書いてください。

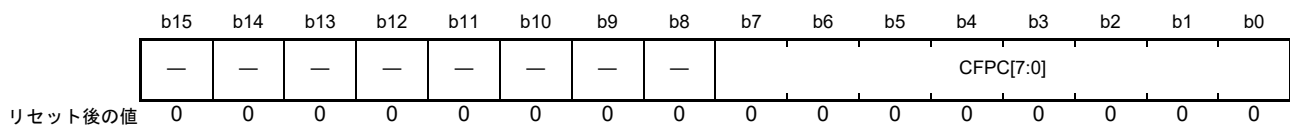
CFMC[5:0] フラグ (送受信 FIFO メッセージ数表示カウンタ)

CFMC[5:0] フラグが示す値は、CFCCH0.CFM[1:0] ビットの設定により次のようになります。

- CFCCH0.CFM[1:0] ビットが“01b” (送信モード) の場合：バッファに格納した未送信メッセージ数
- CFCCH0.CFM[1:0] ビットが“00b” (受信モード) の場合：バッファに格納された未読の受信メッセージ数
このビットは、次に示す条件で“0”になります。
- CFCCH0.CFM[1:0] ビットが“00b” の場合：グローバルリセットモード
- CFCCH0.CFM[1:0] ビットが“01b” の場合：チャンネルリセットモード

36.2.48 送受信 FIFO ポインタ制御レジスタ 0 (CFPCTR0)

アドレス RSCAN0.CFPCTR0 000A 835Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	CFPC[7:0]	RSCAN0送受信FIFOポインタ	受信モード時 “FFh”を書くと、送受信FIFOバッファの次の未読メッセージにリードポインタが移動します 送信モード時 “FFh”を書くと、送受信FIFOバッファの次の段にライトポインタが移動します	W
b15-b8	—	予約ビット	書く場合、“0”としてください	W

CFPC[7:0] ビット (RSCAN0 送受信 FIFO ポインタ)

[受信モード (CFCCH0.CFM[1:0] ビットが“00b”) のとき]

CFPC[7:0] ビットに“FFh”を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき CFSTS0.CFMC[5:0] フラグ (送受信 FIFO メッセージ数表示カウンタ) の値が“1” 減算されます。CFIDL0、CFIDH0、CFSTS0、CFPTR0、CFDF00 ~ CFDF30 レジスタを読んで送受信 FIFO バッファのメッセージを読み出したあと、CFPC[7:0] ビットに“FFh”を書いてください。

なお、“FFh”の書き込みは、CFCCL0.CFE ビットが“1” (送受信 FIFO バッファを使用する) で、CFSTS0.CFEMP フラグが“0” (メッセージあり) のときに行ってください。

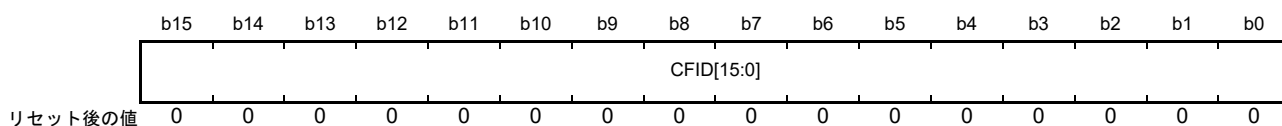
[送信モード (CFCCH0.CFM[1:0] ビットが“01b”) のとき]

CFPC[7:0] ビットに“FFh”を書くと、CFIDL0、CFIDH0、CFPTR0、CFDF00 ~ CFDF30 レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFSTS0.CFMC[5:0] フラグの値が“1” 加算されます。CFIDL0、CFIDH0、CFPTR0、CFDF00 ~ CFDF30 レジスタに送信メッセージを書いた後に、CFPC[7:0] ビットに“FFh”を書いてください。

なお、“FFh”の書き込みは、CFCCL0.CFE ビットが“1” で、CFSTS0.CFFLL フラグが“0” (フルではない) のときに行ってください。

36.2.49 送受信 FIFO アクセスレジスタ 0AL (CFIDL0)

アドレス RSCAN0.CFIDL0 000A 85E0h



ビット	シンボル	ビット名	機能	R/W
b15-b0	CFID[15:0]	送受信 FIFO バッファ ID データ L	CFCCH0.CFM[1:0] ビットが“01b” (送信モード) 時 標準 ID または拡張 ID を設定してください。標準 ID の場合、 b10～b0 に ID を設定してください。b15～b11 は“0”にして ください CFCCH0.CFM[1:0] ビットが“00” (受信モード) 時 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10～b0 を読んでください。b15～b11 は“0”が読め ます	R/W

CFCCH0.CFM[1:0] ビットが“01b” (送信モード) の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0] ビットが“00b” (受信モード) の場合のみ、このレジスタを読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

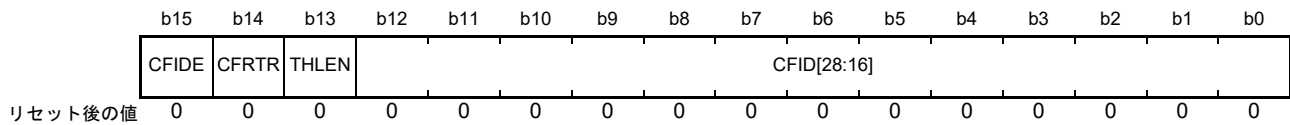
CFID[15:0] ビット (送受信 FIFO バッファ ID データ L)

CFCCH0.CFM[1:0] ビットが“00b”のとき、送受信 FIFO バッファに格納された受信メッセージの ID を示します。

CFCCH0.CFM[1:0] ビットが“01b”のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

36.2.50 送受信 FIFO アクセスレジスタ 0AH (CFIDH0)

アドレス RSCAN0.CFIDH0 000A 85E2h



ビット	シンボル	ビット名	機能	R/W
b12-b0	CFID[28:16]	送受信FIFOバッファIDデータH	CFCCH0.CFM[1:0]ビットが“01b”(送信モード)時標準IDまたは拡張IDを設定してください。標準IDの場合、“0”にしてください CFCCH0.CFM[1:0]ビットが“00b”(受信モード)時受信メッセージの標準IDまたは拡張IDが読めます。標準IDの場合、“0”が読めます	R/W
b13	THLEN	送信履歴データ格納許可ビット	CFCCH0.CFM[1:0]ビットが“01b”(送信モード)時のみ有効 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する	R/W
b14	CFRTR	送受信FIFOバッファRTRビット	0: データフレーム 1: リモートフレーム	R/W
b15	CFIDE	送受信FIFOバッファIDEビット	0: 標準ID 1: 拡張ID	R/W

CFCCH0.CFM[1:0] ビットが “01b” (送信モード) の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0] ビットが “00b” (受信モード) の場合のみ、このレジスタを読めます。

GRWCR.RPAGE ビットが “1” のときに、このレジスタの読み書きができます。

CFID[28:16] ビット (送受信 FIFO バッファ ID データ H)

CFCCH0.CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージの ID を示します。

CFCCH0.CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

THLEN ビット (送信履歴データ格納許可ビット)

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ (ラベル情報、バッファ番号、バッファタイプ) が送信履歴バッファに格納されます。

CFCCH0.CFM[1:0] ビットが “01b” (送信モード) のときに、有効になります。

CFRTR ビット (送受信 FIFO バッファ RTR ビット)

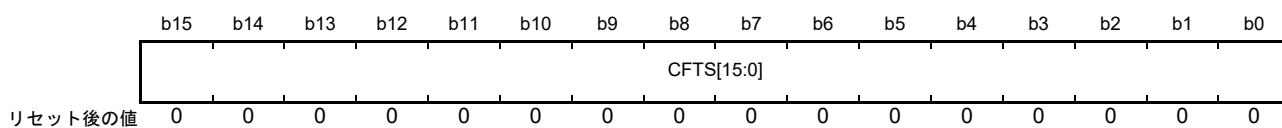
CFCCH0.CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット (データフレームまたはリモートフレーム) を示します。CFCCH0.CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。

CFIDE ビット (送受信 FIFO バッファ IDE ビット)

CFCCH0.CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット (標準 ID または拡張 ID) を示します。CFCCH0.CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

36.2.51 送受信 FIFO アクセスレジスタ 0BL (CFTS0)

アドレス RSCAN0.CFTS0 000A 85E4h



ビット	シンボル	ビット名	機能	R/W
b15-b0	CFTS[15:0]	送受信FIFOバッファタイムスタンプデータ	CFCCH0.CFM[1:0]ビットが“00b” (受信モード)時のみ有効 受信メッセージのタイムスタンプ値が読めます	R

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

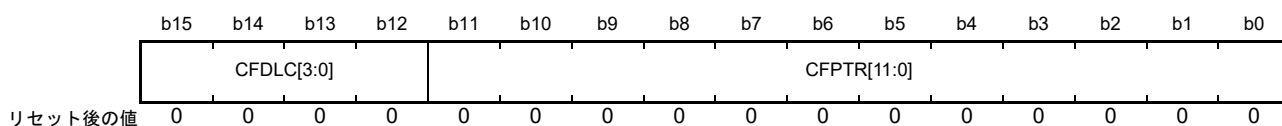
CFTS[15:0] ビット (送受信 FIFO バッファタイムスタンプデータ)

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

CFCCH0.CFM[1:0] ビットが“00b”のときに、有効になります。

36.2.52 送受信 FIFO アクセスレジスタ 0BH (CFPTR0)

アドレス RSCAN0.CFPTR0 000A 85E6h



ビット	シンボル	ビット名	機能	R/W
b11-b0	CFPTR[11:0]	送受信FIFOバッファラベルデータ	CFCCH0.CFM[1:0]ビットが“01b”(送信モード)時 送信履歴バッファに格納するラベル情報を設定してください。CFPTR[7:0]ビットのみ有効です CFCCH0.CFM[1:0]ビットが“00b”(受信モード)時 受信メッセージのラベル情報が読めます	R/W
b15-b12	CFDLC[3:0]	送受信FIFOバッファ DLC データ	b15 b12 0 0 0 0 : 0バイト 0 0 0 1 : 1バイト 0 0 1 0 : 2バイト 0 0 1 1 : 3バイト 0 1 0 0 : 4バイト 0 1 0 1 : 5バイト 0 1 1 0 : 6バイト 0 1 1 1 : 7バイト 1 x x x : 8バイト	R/W

x : Don't care

CFCCH0.CFM[1:0] ビットが“01b”(送信モード)の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0] ビットが“00b”(受信モード)の場合のみ、このレジスタを読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

CFPTR[11:0] ビット (送受信 FIFO バッファラベルデータ)

CFCCH0.CFM[1:0] ビットが“00b”のとき、送受信 FIFO バッファに格納された受信メッセージに付加されたラベル情報を示します。CFCCH0.CFM[1:0] ビットが“01b”のとき、メッセージ送信が完了した場合、CFPTR[7:0] ビットの値が送信履歴に格納されます。

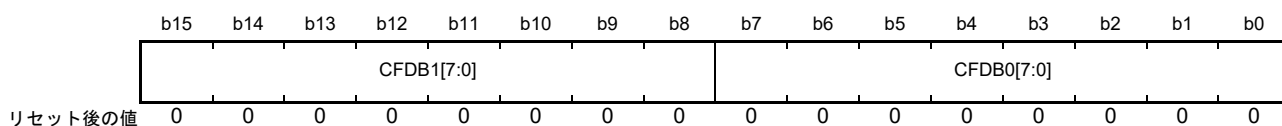
CFDLC[3:0] ビット (送受信 FIFO バッファ DLC データ)

CFCCH0.CFM[1:0] ビットが“00b”のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFCCH0.CFM[1:0] ビットが“01b”のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。

9 バイト以上を設定した場合、実際に送信されるデータは 8 バイトになります。

36.2.53 送受信 FIFO アクセスレジスタ 0CL (CFDF00)

アドレス RSCAN0.CFDF00 000A 85E8h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CFDB0[7:0]	送受信FIFOバッファデータバイト0	CFCCH0.CFM[1:0]ビットが“01b”(送信モード)時 送受信FIFOバッファのデータを設定してください CFCCH0.CFM[1:0]ビットが“00b”(受信モード)時 送受信FIFOバッファに格納されたメッセージのデータが読 めます	R/W
b15-b8	CFDB1[7:0]	送受信FIFOバッファデータバイト1		R/W

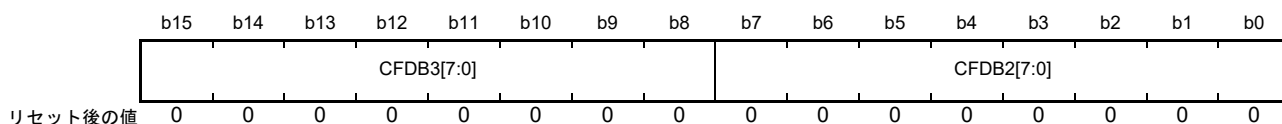
CFCCH0.CFM[1:0] ビットが“01b”の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0] ビットが“00b”の場合のみ、このレジスタを読めます。CFPTR0.CFDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

36.2.54 送受信 FIFO アクセスレジスタ 0CH (CFDF10)

アドレス RSCAN0.CFDF10 000A 85EAh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CFDB2[7:0]	送受信FIFOバッファデータバイト2	CFCCH0.CFM[1:0]ビットが“01b”(送信モード)時 送受信FIFOバッファのデータを設定してください CFCCH0.CFM[1:0]ビットが“00b”(受信モード)時 送受信FIFOバッファに格納されたメッセージのデータが読 めます	R/W
b15-b8	CFDB3[7:0]	送受信FIFOバッファデータバイト3		R/W

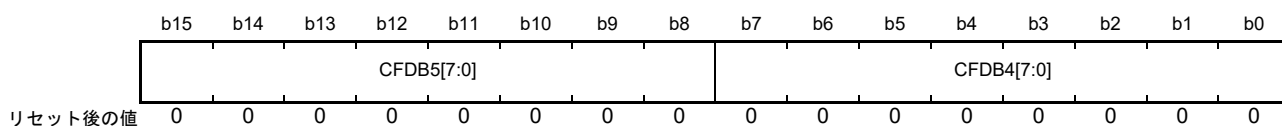
CFCCH0.CFM[1:0] ビットが“01b”の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0] ビットが“00b”の場合のみ、このレジスタを読めます。CFPTR0.CFDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

36.2.55 送受信 FIFO アクセスレジスタ 0DL (CFDF20)

アドレス RSCAN0.CFDF20 000A 85ECh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CFDB4[7:0]	送受信FIFOバッファデータバイト4	CFCCH0.CFM[1:0]ビットが“01b”(送信モード)時 送受信FIFOバッファのデータを設定してください CFCCH0.CFM[1:0]ビットが“00b”(受信モード)時 送受信FIFOバッファに格納されたメッセージのデータが読 めます	R/W
b15-b8	CFDB5[7:0]	送受信FIFOバッファデータバイト5		R/W

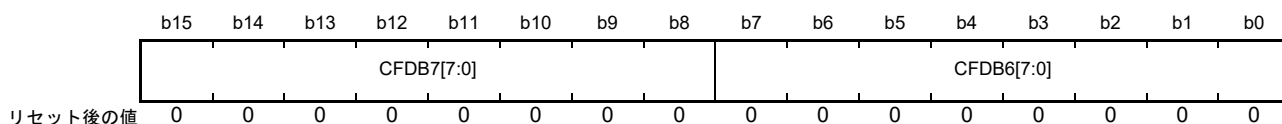
CFCCH0.CFM[1:0] ビットが“01b”の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0] ビットが“00b”の場合のみ、このレジスタを読めます。CFPTR0.CFDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

36.2.56 送受信 FIFO アクセスレジスタ 0DH (CFDF30)

アドレス RSCAN0.CFDF30 000A 85EEh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CFDB6[7:0]	送受信FIFOバッファデータバイト6	CFCCH0.CFM[1:0]ビットが“01b”(送信モード)時 送受信FIFOバッファのデータを設定してください CFCCH0.CFM[1:0]ビットが“00b”(受信モード)時 送受信FIFOバッファに格納されたメッセージのデータが読 めます	R/W
b15-b8	CFDB7[7:0]	送受信FIFOバッファデータバイト7		R/W

CFCCH0.CFM[1:0] ビットが“01b”の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0] ビットが“00b”の場合のみ、このレジスタを読めます。CFPTR0.CFDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

36.2.57 受信 FIFO メッセージロストステータスレジスタ (RFMSTS)

アドレス RSCAN.RFMSTS 000A 8360h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	RF1ML T	RF0ML T
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RF0MLT	受信FIFOバッファ0メッセージロストステータスフラグ	0: 受信FIFOバッファ mメッセージロストなし (m = 0, 1) 1: 受信FIFOバッファ mメッセージロスト	R
b1	RF1MLT	受信FIFOバッファ1メッセージロストステータスフラグ		R
b7-b2	—	予約ビット	読むと“0”が読めます	R

RFMSTS レジスタは、グローバルリセットモード時、“00h”になります。

RFmMLT フラグ (受信 FIFO バッファ m メッセージロストステータスフラグ)

RFSTS_m.RFMLT フラグが“1”(メッセージロスト)になると、RFmMLT フラグは“1”になります。

RFSTS_m.RFMLT フラグを“0”にすると、RFmMLT フラグは“0”になります。

36.2.58 送受信 FIFO メッセージロストステータスレジスタ (CFMSTS)

アドレス RSCAN0.CFMSTS 000A 8361h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CF0ML T
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF0MLT	RSCAN0送受信FIFOバッファ0メッセージロストステータスフラグ	0: RSCAN0送受信FIFOバッファ“0”メッセージロストなし 1: RSCAN0送受信FIFOバッファ“0”メッセージロスト	R
b7-b1	—	予約ビット	読むと“0”が読めます	R

CFMSTS レジスタは、グローバルリセットモード時、“00h”になります。

CF0MLT フラグ (RSCAN0 送受信 FIFO バッファ 0 メッセージロストステータスフラグ)

CFSTS0.CFMLT フラグが“1”(メッセージロスト)になると、CF0MLT フラグは“1”になります。

CFSTS0.CFMLT フラグを“0”にすると、CF0MLT フラグは“0”になります。

36.2.59 受信 FIFO 割り込みステータスレジスタ (RFISTS)

アドレス RSCAN.RFISTS 000A 8362h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	RF1IF	RF0IF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RF0IF	受信FIFOバッファ 0割り込み要求ステータスフラグ	0: 受信FIFOバッファ m割り込み要求なし (m = 0, 1) 1: 受信FIFOバッファ m割り込み要求あり	R
b1	RF1IF	受信FIFOバッファ 1割り込み要求ステータスフラグ		R
b7-b2	—	予約ビット	読むと“0”が読めます	R

RFISTS レジスタは、グローバルリセットモード時、“00h”になります。

RFmIF フラグ (受信 FIFO バッファ m 割り込み要求ステータスフラグ)

RFSTSm.RFIF フラグが“1”(割り込み要求あり)になると、RFmIF フラグは“1”になります。
RFSTSm.RFIF フラグを“0”にすると、RFmIF フラグは“0”になります。

36.2.60 送受信 FIFO 受信割り込みステータスレジスタ (CFISTS)

アドレス RSCAN.CFISTS 000A 8363h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CF0IF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF0IF	RSCAN0送受信FIFOバッファ 0受信割り込み要求ステータスフラグ	0: RSCAN0送受信FIFOバッファ “0”受信割り込み要求なし 1: RSCAN0送受信FIFOバッファ “0”受信割り込み要求あり	R
b7-b1	—	予約ビット	読むと“0”が読めます	R

CFISTS レジスタは、グローバルリセットモード時、“00h”になります。

CF0IF フラグ (RSCAN0 送受信 FIFO バッファ 0 受信割り込み要求ステータスフラグ)

CFST0.CFRXIF フラグが“1”(割り込み要求あり)になると、CF0IF フラグは“1”になります。
CFST0.CFRXIF フラグを“0”にすると、CF0IF フラグは“0”になります。

36.2.61 送信バッファ制御レジスタ p (TMCp) (p = 0 ~ 3)

アドレス RSCAN0.TMC0 000A 8364h, RSCAN0.TMC1 000A 8365h, RSCAN0.TMC2 000A 8366h,
RSCAN0.TMC3 000A 8367h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTR	送信要求ビット	0: 送信を要求しない 1: 送信を要求する	R/(W) (注1)
b1	TMTAR	送信アボート要求ビット	0: 送信アボートを要求しない 1: 送信アボートを要求する	R/(W) (注1)
b2	TMOM	ワンショット送信許可ビット	0: ワンショット送信禁止 1: ワンショット送信許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。“0”を書いても値は変化しません。

TMCp レジスタが次の条件を満たす場合は、“00h”にしてください。

- CFCCH0.CFTML[1:0] ビットで選択した送信バッファ番号に対応する

TMCp レジスタのビットは、チャンネルリセットモード時に“0”になります。TMCp レジスタ (p=0 ~ 3) は、チャンネル通信モードまたはチャンネル待機モードでのみ書き換えてください。

TMTR ビット (送信要求ビット)

“1”にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”にできません。

- 送信が完了したとき
- TMTAR ビットを“1”にし、送信アボートが完了したとき
- TMOM ビットが“1”の状態、エラーまたはアービトレーションロストを検出したとき
TMSTSp.TMTRF[1:0] フラグが“00b”のときに、TMTR ビットを“1”に設定してください。

TMTAR ビット (送信アボート要求ビット)

“1”にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが“1”のとき、TMTAR ビットを“1”にできます。

TMTAR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき
“0”になるタイミングと“1”を書くタイミングが同じ場合、“0”になります。

TMOM ビット (ワンショット送信許可ビット)

“1”にするとワンショット送信が許可されます。送信に失敗しても、CAN プロトコルに規定された再送信を行いません。

TMOM ビットは、TMSTSp.TMTRM フラグが“0”のときに書き換えてください。TMOM ビットに“1”を書く場合は、TMTR ビットと同時に“1”を書いてください。

36.2.62 送信バッファステータスレジスタ p (TMSTSp) (p = 0 ~ 3)

アドレス RSCAN0.TMSTS0 000A 836Ch, RSCAN0.TMSTS1 000A 836Dh, RSCAN0.TMSTS2 000A 836Eh, RSCAN0.TMSTS3 000A 836Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TMTAR M	TMTR M	TMTRF[1:0]		TMTST S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTSTS	送信バッファ送信ステータスフラグ	0 : 送信中ではない 1 : 送信中	R
b2-b1	TMTRF[1:0]	送信バッファ送信結果フラグ	b2 b1 0 0 : 送信中または送信要求なし 0 1 : 送信アポート完了 1 0 : 送信完了(送信アポート要求なし) 1 1 : 送信完了(送信アポート要求あり)	R/W
b3	TMTRM	送信バッファ送信要求ステータスフラグ	0 : 送信要求なし 1 : 送信要求あり	R
b4	TMTARM	送信バッファ送信アポート要求ステータスフラグ	0 : 送信アポート要求なし 1 : 送信アポート要求あり	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

TMSTSp レジスタのビットは、チャンネルリセットモード時に“0”になります。

TMTSTS フラグ (送信バッファ送信ステータスフラグ)

送信バッファからの送信が開始すると“1”になります。送信バッファからの送信が完了、またはバスエラーやアービトラージロストにより中断されると“0”になります。

TMTRF[1:0] フラグ (送信バッファ送信結果フラグ)

送信バッファからの送信結果を示します。

00b : 送信中または送信要求なし。

01b : 送信バッファからの送信がアポートされた。

10b : TMCp.TMTAR ビットが“0”(送信アポートを要求しない)で、送信が完了した。

11b : TMCp.TMTAR ビットが“1”(送信アポートを要求する)で、送信が完了した。

TMTRF[1:0] フラグは、チャンネル通信モードまたはチャンネル待機モードで“00b”を書いてください。“00b”以外の値は書かないでください。

TMTRM フラグ (送信バッファ送信要求ステータスフラグ)

TMCp.TMTR ビットを“1”にすると、TMTRM フラグは“1”になります。

TMCp.TMTR ビットが“0”になると、TMTRM フラグは“0”になります。

TMTARM フラグ (送信バッファ送信アポート要求ステータスフラグ)

TMCp.TMTAR ビットを“1”にすると、TMTARM フラグは“1”になります。

TMCp.TMTAR ビットが“0”になると、TMTARM フラグは“0”になります。

36.2.63 送信バッファ送信要求ステータスレジスタ (TMTRSTS)

アドレス RSCAN0.TMTRSTS 000A 8374h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TMTRS TS3	TMTRS TS2	TMTRS TS1	TMTRS TS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTRSTS0	RSCAN0送信バッファ 0送信要求ステータスフラグ	0: 送信要求なし 1: 送信要求あり	R
b1	TMTRSTS1	RSCAN0送信バッファ 1送信要求ステータスフラグ		R
b2	TMTRSTS2	RSCAN0送信バッファ 2送信要求ステータスフラグ		R
b3	TMTRSTS3	RSCAN0送信バッファ 3送信要求ステータスフラグ		R
b15-b4	—	予約ビット	読むと“0”が読めます	R

TMTRSTSp フラグ (RSCAN0 送信バッファ p 送信要求ステータスフラグ) (p = 0 ~ 3)

TMCP.TMTR ビットの状態を示します。

TMTR ビットを“1”(送信を要求する)にすると、対応する TMTRSTSp フラグは“1”になります。

TMTR ビットが“0”(送信を要求しない)になると、対応する TMTRSTSp フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

36.2.64 送信バッファ送信完了ステータスレジスタ (TMTCSTS)

アドレス RSCAN0.TMTCSTS 000A 8376h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TMTCS TS3	TMTCS TS2	TMTCS TS1	TMTCS TS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTCSTS0	RSCAN0送信バッファ0送信完了ステータスフラグ	0: 送信未完了 1: 送信完了	R
b1	TMTCSTS1	RSCAN0送信バッファ1送信完了ステータスフラグ		R
b2	TMTCSTS2	RSCAN0送信バッファ2送信完了ステータスフラグ		R
b3	TMTCSTS3	RSCAN0送信バッファ3送信完了ステータスフラグ		R
b15-b4	—	予約ビット	読むと“0”が読めます	R

TMTCSTSp フラグ (RSCAN0 送信バッファ p 送信完了ステータスフラグ) (p = 0 ~ 3)

TMSTSp.TMTRF[1:0] フラグが“10b”(送信完了、送信アポート要求なし)または“11b”(送信完了、送信アポート要求あり)になると、対応する TMTCSTSp フラグは“1”になります。

このフラグを“0”にする場合は、対応する TMSTSp.TMTRF[1:0] フラグを“00b”にしてください。また、チャンネルリセットモード時、“0”になります。

36.2.65 送信バッファ送信アポートステータスレジスタ (TMTASTS)

アドレス RSCAN0.TMTASTS 000A 8378h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TMTAS TS3	TMTAS TS2	TMTAS TS1	TMTAS TS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTASTS0	RSCAN0送信バッファ0送信アポートステータスフラグ	0: 送信アポートなし 1: 送信アポートあり	R
b1	TMTASTS1	RSCAN0送信バッファ1送信アポートステータスフラグ		R
b2	TMTASTS2	RSCAN0送信バッファ2送信アポートステータスフラグ		R
b3	TMTASTS3	RSCAN0送信バッファ3送信アポートステータスフラグ		R
b15-b4	—	予約ビット	読むと“0”が読めます	R

TMTASTSp フラグ (RSCAN0 送信バッファ p 送信アポートステータスフラグ) (p = 0 ~ 3)

TMSTSp.TMTRF[1:0] フラグが “01b” (送信アポート完了) になると、対応する TMTASTSp フラグは “1” になります。

このフラグを “0” にする場合は、対応する TMSTSp.TMTRF[1:0] フラグを “00b” にしてください。また、チャンネルリセットモード時、“0” になります。

36.2.66 送信バッファ割り込み許可レジスタ (TMIEC)

アドレス RSCAN0.TMIEC 000A 837Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TMIE3	TMIE2	TMIE1	TMIE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMIE0	RSCAN0送信バッファ 0割り込み許可ビット	0: 送信バッファ割り込み禁止 1: 送信バッファ割り込み許可	R/W
b1	TMIE1	RSCAN0送信バッファ 1割り込み許可ビット		R/W
b2	TMIE2	RSCAN0送信バッファ 2割り込み許可ビット		R/W
b3	TMIE3	RSCAN0送信バッファ 3割り込み許可ビット		R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMIEp ビット (RSCAN0 送信バッファ p 割り込み許可ビット) (p = 0 ~ 3)

このビットを“1”に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。このビットは対応する TMSTSp.TMTRM フラグが“0”(送信要求なし)のときに書き換えてください。送受信 FIFO バッファにリンクした送信バッファに対応するビットは“0”にしてください。

36.2.67 送信バッファレジスタ pAL (TMIDLp) (p = 0 ~ 3)

アドレス RSCAN0.TMIDL0 000A 8600h, RSCAN0.TMIDL1 000A 8610h, RSCAN0.TMIDL2 000A 8620h, RSCAN0.TMIDL3 000A 8630h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TMID[15:0]	送信バッファ ID データ L	標準 ID または拡張 ID を設定してください。 標準 ID の場合、b10 ~ b0 に ID を設定してください。b15 ~ b11 は“0”にしてください	R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが“0”(送信を要求しない)のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

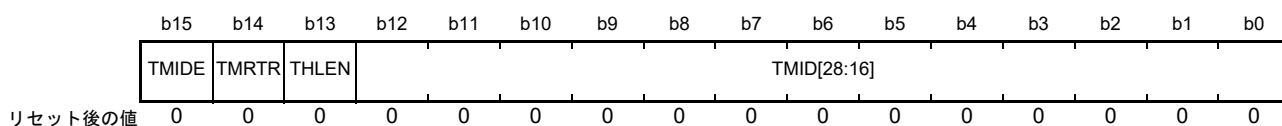
GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

TMID[15:0] ビット (送信バッファ ID データ L)

送信バッファから送信するメッセージの ID を設定します。

36.2.68 送信バッファレジスタ pAH (TMIDHp) (p = 0 ~ 3)

アドレス RSCAN0.TMIDH0 000A 8602h, RSCAN0.TMIDH1 000A 8612h, RSCAN0.TMIDH2 000A 8622h,
RSCAN0.TMIDH3 000A 8632h



ビット	シンボル	ビット名	機能	R/W
b12-b0	TMID[28:16]	送信バッファ ID データ H	標準 ID または拡張 ID を設定してください。 標準 ID の場合、“0”にしてください	R/W
b13	THLEN	送信履歴データ格納許可ビット	0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する	R/W
b14	TMRTR	送信バッファ RTR ビット	0: データフレーム 1: リモートフレーム	R/W
b15	TMIDE	送信バッファ IDE ビット	0: 標準 ID 1: 拡張 ID	R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが“0”(送信を要求しない)のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

TMID[28:16] ビット (送信バッファ ID データ H)

送信バッファから送信するメッセージの ID を設定します。

THLEN ビット (送信履歴データ格納許可ビット)

“1”にすると、送信が完了した後、送信メッセージの送信履歴データ (ラベル情報、バッファ番号、バッファタイプ) が送信履歴バッファに格納されます。

TMRTR ビット (送信バッファ RTR ビット)

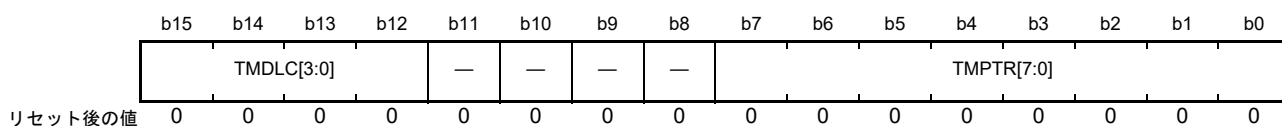
送信バッファから送信するメッセージのデータフォーマットを設定します。

TMIDE ビット (送信バッファ IDE ビット)

送信バッファから送信するメッセージの ID フォーマットを設定します。

36.2.69 送信バッファレジスタ pBH (TMPTRp) (p = 0 ~ 3)

アドレス RSCAN0.TMPTR0 000A 8606h, RSCAN0.TMPTR1 000A 8616h, RSCAN0.TMPTR2 000A 8626h,
RSCAN0.TMPTR3 000A 8636h



ビット	シンボル	ビット名	機能	R/W
b7-b0	TMPTR[7:0]	送信バッファラベルデータ	送信履歴バッファに格納するラベル情報を設定してください	R/W
b11-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	TMDLC[3:0]	送信バッファ DLC データ	b15 b12 0 0 0 0 : 0バイト 0 0 0 1 : 1バイト 0 0 1 0 : 2バイト 0 0 1 1 : 3バイト 0 1 0 0 : 4バイト 0 1 0 1 : 5バイト 0 1 1 0 : 6バイト 0 1 1 1 : 7バイト 1 x x x : 8バイト	R/W

x : Don't care

このレジスタは、対応する TMSTSp.TMTRM ビットが“0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

GRWCR.RPAGE ビットが“1” のときに、このレジスタの読み書きができます。

TMPTR[7:0] ビット (送信バッファラベルデータ)

メッセージ送信が完了した場合、TMPTR[7:0] ビットの値が送信履歴バッファに格納されます。

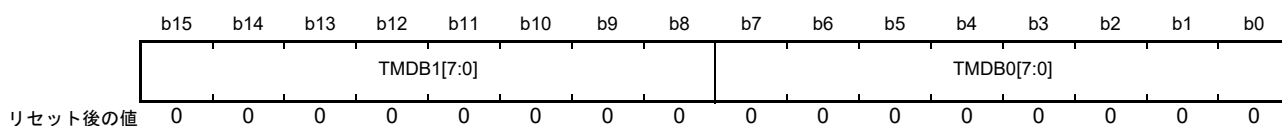
TMDLC[3:0] ビット (送信バッファ DLC データ)

TMIDHp.TMRTR ビットが“0” (データフレーム) のとき、送信バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、実際に送信されるデータは 8 バイトになります。

TMIDHp.TMRTR ビットが“1” (リモートフレーム) のとき、要求するメッセージのデータ長を設定します。

36.2.70 送信バッファレジスタ pCL (TMDF0p) (p = 0 ~ 3)

アドレス RSCAN0.TMDF00 000A 8608h, RSCAN0.TMDF01 000A 8618h, RSCAN0.TMDF02 000A 8628h,
RSCAN0.TMDF03 000A 8638h



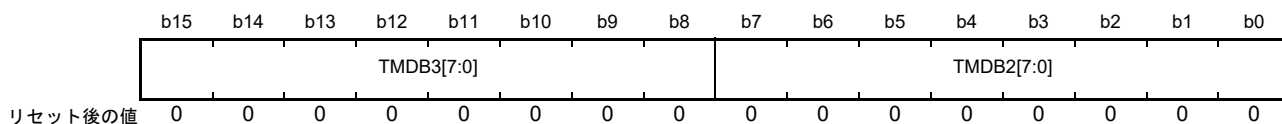
ビット	シンボル	ビット名	機能	R/W
b7-b0	TMDB0[7:0]	送信バッファデータバイト0	送信バッファのデータを設定してください	R/W
b15-b8	TMDB1[7:0]	送信バッファデータバイト1		R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが“0”(送信を要求しない)のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

36.2.71 送信バッファレジスタ pCH (TMDF1p) (p = 0 ~ 3)

アドレス RSCAN0.TMDF10 000A 860Ah, RSCAN0.TMDF11 000A 861Ah, RSCAN0.TMDF12 000A 862Ah,
RSCAN0.TMDF13 000A 863Ah



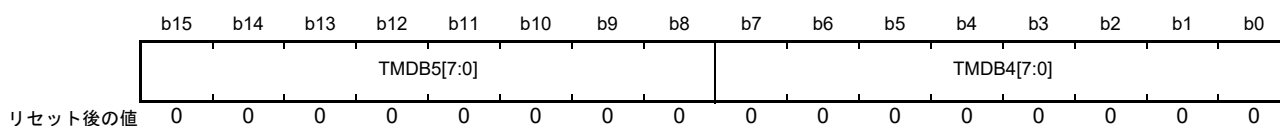
ビット	シンボル	ビット名	機能	R/W
b7-b0	TMDB2[7:0]	送信バッファデータバイト2	送信バッファのデータを設定してください	R/W
b15-b8	TMDB3[7:0]	送信バッファデータバイト3		R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが“0”(送信を要求しない)のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

36.2.72 送信バッファレジスタ pDL (TMDF2p) (p = 0 ~ 3)

アドレス RSCAN0.TMDF20 000A 860Ch, RSCAN0.TMDF21 000A 861Ch, RSCAN0.TMDF22 000A 862Ch,
RSCAN0.TMDF23 000A 863Ch



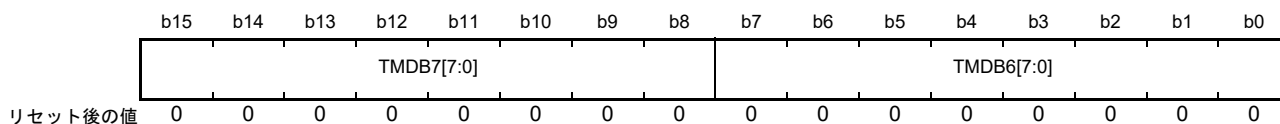
ビット	シンボル	ビット名	機能	R/W
b7-b0	TMDB4[7:0]	送信バッファデータバイト4	送信バッファのデータを設定してください	R/W
b15-b8	TMDB5[7:0]	送信バッファデータバイト5		R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが“0”(送信を要求しない)のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

36.2.73 送信バッファレジスタ pDH (TMDF3p) (p = 0 ~ 3)

アドレス RSCAN0.TMDF30 000A 860Eh, RSCAN0.TMDF31 000A 861Eh, RSCAN0.TMDF32 000A 862Eh,
RSCAN0.TMDF33 000A 863Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	TMDB6[7:0]	送信バッファデータバイト6	送信バッファのデータを設定してください	R/W
b15-b8	TMDB7[7:0]	送信バッファデータバイト7		R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが“0”(送信を要求しない)のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

36.2.74 送信履歴バッファ制御レジスタ (THLCC0)

アドレス RSCAN0.THLC0 000A 837Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THLDT E	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	THLE	送信履歴バッファ許可ビット	0: 送信履歴バッファを使用しない 1: 送信履歴バッファを使用する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	THLIE	送信履歴割り込み許可ビット	0: 送信履歴割り込み禁止 1: 送信履歴割り込み許可	R/W
b9	THLIM	送信履歴割り込み要因選択ビット	0: 送信履歴バッファに6データ格納されたとき 1: 1送信履歴データの格納完了時	R/W
b10	THLDTE	送信履歴対象バッファ選択ビット	0: 送受信FIFOからのエントリ 1: 送信バッファ、送受信FIFOからのエントリ	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

THLE ビット (送信履歴バッファ許可ビット)

“1”にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードでのみ書き換えてください。

THLIE ビット (送信履歴割り込み許可ビット)

THLIE ビットを“1”に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。

THLE ビットが“0”の状態、THLIE ビットを書き換えてください。

THLIM ビット (送信履歴割り込み要因選択ビット)

送信履歴割り込み要因を選択します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLDTE ビット (送信履歴対象バッファ選択ビット)

“0”にすると、送受信 FIFO バッファから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1”にすると、送信バッファ、送受信 FIFO バッファから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャンネルリセットモードでのみ書き換えてください。

36.2.75 送信履歴バッファステータスレジスタ (THLSTS0)

アドレス RSCAN0.THLSTS0 000A 8380h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	THLMC[3:0]			—	—	—	—	THLIF	THLELT	THLFL	THLEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	THLEMP	送信履歴バッファ空ステータスフラグ	0: 送信履歴バッファに未読データあり 1: 送信履歴バッファに未読データなし(バッファ空)	R
b1	THLFL	送信履歴バッファフルステータスフラグ	0: 送信履歴バッファフルではない 1: 送信履歴バッファフル	R
b2	THLELT	送信履歴バッファオーバフローフラグ	0: 送信履歴バッファオーバフローではない 1: 送信履歴バッファオーバフロー	R/(W) (注1)
b3	THLIF	送信履歴割り込み要求フラグ	0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり	R/(W) (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	THLMC[3:0]	送信履歴バッファ未読数カウンタ	送信履歴バッファに格納された未読データ数を示します	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。“1”を書いても値は変化しません。

THLEMP フラグ (送信履歴バッファ空ステータスフラグ)

送信履歴データが1つでも送信履歴バッファへ格納されると“0”になります。

送信履歴バッファのすべてのデータを読むと“1”になります。THLCC0.THLE ビットを“0”(送信履歴バッファを使用しない)にしたとき、またはチャンネルリセットモード時、“1”になります。

THLFL フラグ (送信履歴バッファフルステータスフラグ)

送信履歴バッファに8個のデータが格納されると“1”になります。格納数が8個より少なくなると“0”になります。

THLCC0.THLE ビットが“0”(送信履歴バッファを使用しない)のとき、またはチャンネルリセットモード時、“0”になります。

THLELT フラグ (送信履歴バッファオーバフローフラグ)

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき“1”になります。

この場合、新しいデータは破棄されます。プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

THLIF フラグ (送信履歴割り込み要求フラグ)

THLCC0.THLEIM ビットで設定した割り込み要因が発生したとき“1”になります。

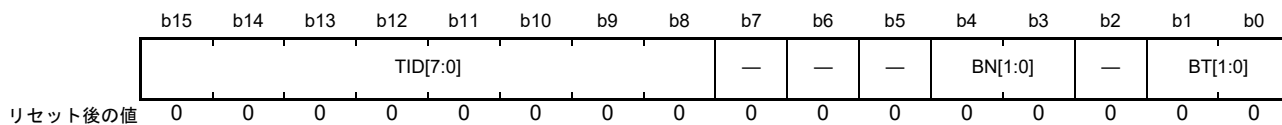
プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

THLMC[3:0] フラグ (送信履歴バッファ未読数カウンタ)

送信履歴バッファ内の未読データ数を示します。

36.2.76 送信履歴バッファアクセスレジスタ (THLACC0)

アドレス RSCAN0.THLACC0 000A 8680h



ビット	シンボル	ビット名	機能	R/W
b1-b0	BT[1:0]	バッファタイプデータ	b1 b0 0 1 : 送信バッファ 1 0 : 送信FIFOバッファ	R
b2	—	予約ビット	読むと“0”が読めます	R
b4-b3	BN[1:0]	バッファ番号データ	送信元の送信バッファ / 送受信FIFO番号が読めます	R
b7-b5	—	予約ビット	読むと“0”が読めます	R
b15-b8	TID[7:0]	ラベルデータ	格納されたデータのラベル情報が読めます	R

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

BT[1:0] ビット (バッファタイプデータ)

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

BN[1:0] ビット (バッファ番号データ)

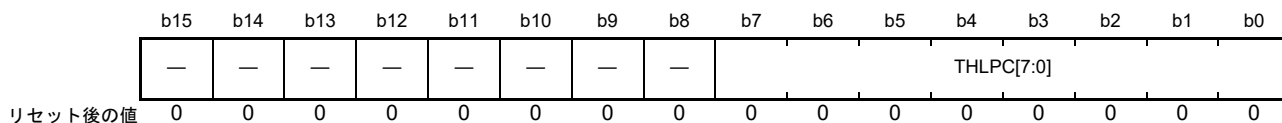
送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

TID[7:0] ビット (ラベルデータ)

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

36.2.77 送信履歴バッファポインタ制御レジスタ (THLPCTR0)

アドレス RSCAN0.THLPCTR0 000A 8384h



ビット	シンボル	ビット名	機能	R/W
b7-b0	THLPC[7:0]	送信履歴バッファポインタ	“FFh”を書くと、送信履歴バッファの次の未読データにリードポインタが移動します	W
b15-b8	—	予約ビット	書く場合、“0”としてください	W

THLPC[7:0] ビット (送信履歴バッファポインタ)

THLPC[7:0] ビットに“FFh”を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき THLSTS0.THLMC[3:0] フラグ (送信履歴バッファ未読数カウンタ) の値が“1”減算されます。

THLACC0 レジスタを読んだあと、THLPC[7:0] ビットに“FFh”を書いてください。

なお、“FFh”の書き込みは、THLCC0.THLE ビットが“1”(送信履歴バッファを使用する)で、THLSTS0.THLEMP フラグが“0”のときに行ってください。

36.2.78 グローバル RAM ウィンドウ制御レジスタ (GRWCR)

アドレス RSCAN.GRWCR 000A 838Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RPAGE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPAGE	RAMウィンドウ選択ビット	0: ウィンドウ0 (受信ルール登録レジスタ、RAMテストレジスタ)選択 1: ウィンドウ1 (受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データアクセスレジスタ)選択	R/W
b15-b1	—	予約ビット	書く場合、“0”としてください	R/W

RPAGE ビット (RAM ウィンドウ選択ビット)

RPAGE ビットで選択されたウィンドウによって、アドレス 000A 83A0h ~ 000A 8681h に割り付けられるレジスタを切り替えます。

[RPAGE ビットが“0” (ウィンドウ 0) の場合に割り付けられるレジスタ]

- 受信ルール登録レジスタ : GAFLIDLj, GAFLIDHj, GAFLMLj, GAFLMHj, GAFLPLj, GAFLPHj (j = 0 ~ 15)
- RAM テストレジスタ : RPGACCr (r = 0 ~ 127)

[RPAGE ビットが“1” (ウィンドウ 1) の場合に割り付けられるレジスタ]

- 受信バッファレジスタ : RMIDLn, RMIDHn, RMTSn, RMPTRn, RMDf0n ~ RMDf3n (n = 0 ~ 15)
- 受信 FIFO アクセスレジスタ : RFIDLm, RFIDHm, RFTSm, RFPTRm, RFDF0m ~ RFDF3m (m = 0, 1)
- 送受信 FIFO アクセスレジスタ : CFIDL0, CFIDH0, CFTS0, CFPTR0, CFDF00 ~ CFDF30
- 送信バッファレジスタ : TMIDLp, TMIDHp, TMPTRp, TMDF0p ~ TMDF3p (p = 0 ~ 3)
- 送信履歴バッファアクセスレジスタ : THLACC0

36.2.79 グローバルテスト設定レジスタ (GTSTCFG)

アドレス RSCAN.GTSTCFG 000A 838Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	RTMPS[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	RTMPS[2:0]	RAMテストページ設定ビット	ページ0 (“00h”)～2 (“02h”)ページの範囲で設定	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

RTMPS[2:0] ビット (RAM テストページ設定ビット)

RAM テスト時、RAM テスト対象となるページ番号を設定します。“00h”～“02h”以外の値を設定しないでください。

36.2.80 グローバルテスト制御レジスタ (GTSTCTRL)

アドレス RSCAN.GTSTCTRL 000A 838Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	RTME	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	RTME	RAMテスト許可ビット	0 : RAMテスト禁止 1 : RAMテスト許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

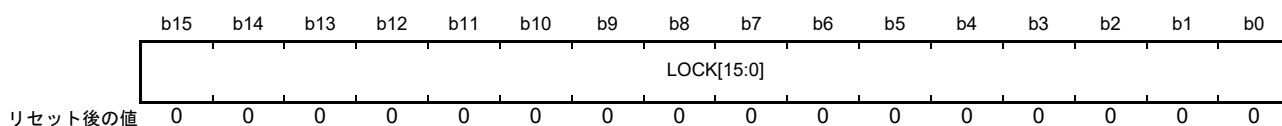
RTME ビット (RAM テスト許可ビット)

“1”にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。

- (1) GCTRL.GMDC[1:0] ビットを“10b”(グローバルテストモード)にする。
- (2) GLOCKK レジスタに“7575h”と“8A8Ah”を連続して書き込み、プロテクトを解除する。
- (3) RTME ビットを“1”にする。
- (4) RTME ビットが“1”になったことを確認する。

36.2.81 グローバルテストプロテクト解除レジスタ (GLOCKK)

アドレス RSCAN.GLOCKK 000A 8394h



ビット	シンボル	ビット名	機能	R/W
b15-b0	LOCK[15:0]	プロテクト解除データ	テスト機能を使用するために、プロテクト解除データを書いてください。読むと0000hが読めます	W

GLOCKK レジスタはグローバルテストモードでのみ書き換えてください。

LOCK[15:0] ビット (プロテクト解除データ)

表 36.3 に示すプロテクト解除データを連続して LOCK[15:0] ビットに書くと、対象ビットへの“1”書き込みが可能になります。

表 36.3 テスト機能用プロテクト解除データ

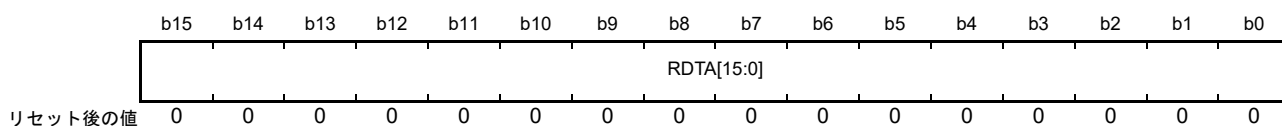
テスト機能	プロテクト解除データ1	プロテクト解除データ2	対象ビット
RAM テスト	7575h	8A8Ah	GTSTCTRL.RTME ビット

プロテクトが解除された後、RAM を除く CAN のレジスタ領域 (000A 8300h ~ 000A 839Fh) に書き込みを実行すると、再度プロテクトが有効になります。

CAN のレジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

36.2.82 RAM テストレジスタ r (RPGACCr) (r = 0 ~ 127)

アドレス RSCAN.RPGACC0~RSCAN.RPGACC127 000A 8580h~000A 867Eh



機能	R/W
CAN用RAMデータの読み書きができます	R/W

RPGACCr レジスタは、グローバルテストモードでかつ GTSTCTRL.RTME ビットが“1”(RAM テスト許可)の状態書き換えてください。GTSTCTRL.RTME ビットが“1”のときに、RPGACCr レジスタの読み書きができます。GRWCR.RPAGE ビットが“0”のときに、このレジスタの読み書きができます。

36.3 CANモード

CANモジュールには、CANモジュール全体の状態を制御するグローバルモードが4種類と、個々のチャネル状態を制御するチャネルモードが4種類あります。

詳細は「36.3.1 グローバルモード」および「36.3.2 チャネルモード」を参照してください。

- グローバルストップモード：モジュール全体のクロックを停止させ、低消費電力を実現する。
- グローバルリセットモード：モジュール全体の初期設定を行う。
- グローバルテストモード：テスト設定を行う。また、RAMテストを実施する。
- グローバル動作モード：モジュール全体を動作可能にする。
- チャネルストップモード：チャネルのクロックが停止する。
- チャネルリセットモード：チャネルの初期設定を行う。
- チャネル待機モード：CAN通信を停止する。また、チャネルのテストを許可する。
- チャネル通信モード：CAN通信を行う。

36.3.1 グローバルモード

図 36.2 にグローバルモードの遷移図を示します。

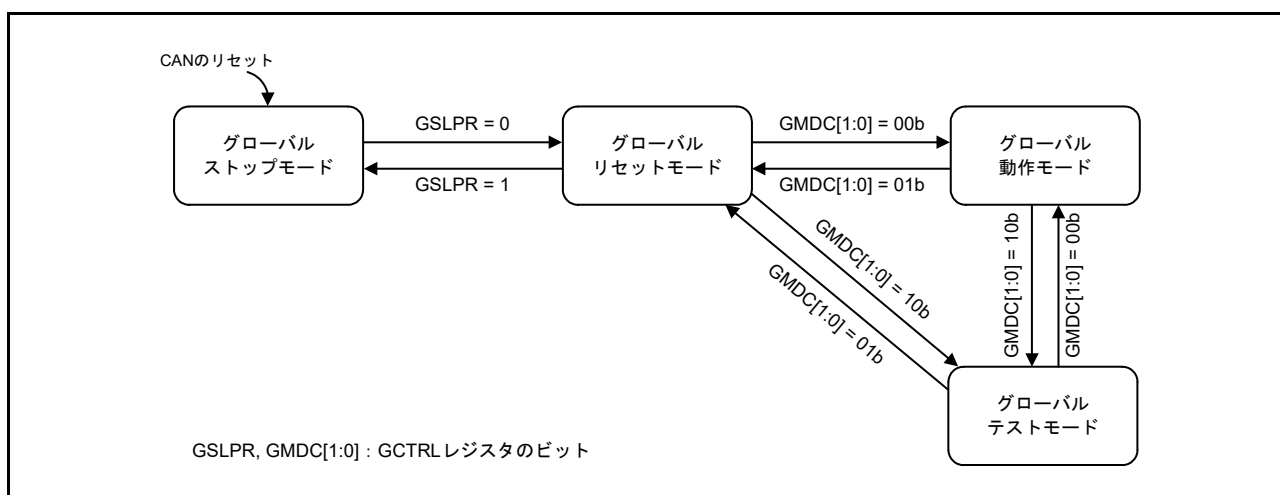


図 36.2 グローバルモードの遷移図

グローバルモードの遷移により、チャネルのモードが変化することがあります。表 36.4 にグローバルモード設定 (GCTRL.GMDC[1:0]、GSLPR ビット) によるチャネルモードの変化を示します。

表 36.4 グローバルモード設定 (GCTRL.GMDC[1:0]、GSLPR ビット) によるチャネルモードの変化

設定前のチャネルモード	設定後のチャネルモード			
	GMDC[1:0] = 00b GSLPR = 0 (グローバル動作)	GMDC[1:0] = 10b GSLPR = 0 (グローバルテスト)	GMDC[1:0] = 01b GSLPR = 0 (グローバルリセット)	GMDC[1:0] = 01b GSLPR = 1 (グローバルストップ)
チャネル通信	チャネル通信	チャネル通信	チャネルリセット	遷移禁止
チャネル待機	チャネル待機	チャネル待機	チャネルリセット	遷移禁止
チャネルリセット	チャネルリセット	チャネルリセット	チャネルリセット	チャネルストップ
チャネルストップ	チャネルストップ	チャネルストップ	チャネルストップ	チャネルストップ

表 36.5 にグローバルモードの遷移時間を示します。

表 36.5 グローバルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
グローバルストップ	グローバルリセット	3PCLKクロック
グローバルリセット	グローバルストップ	3PCLKクロック
グローバルリセット	グローバルテスト	10PCLKクロック
グローバルリセット	グローバル動作	10PCLKクロック
グローバルテスト	グローバルリセット	3PCLKクロック
グローバルテスト	グローバル動作	3PCLKクロック
グローバル動作	グローバルリセット	3PCLKクロック
グローバル動作	グローバルテスト	CAN フレームの2つ分

(1) グローバルストップモード

グローバルストップモードではCANのクロックが停止するので、消費電力が低減されます。CAN関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。

CANモジュールイネーブル後、グローバルストップモードになります。また、グローバルリセットモード時にGCTRL.GSLPRビットを“1”(グローバルストップモード)にすると、各CTRL.CSLPRビットが“1”(チャンネルストップモード)になります。すべてのチャンネルが強制的にチャンネルストップモードへ遷移すると、グローバルストップモードになります。GCTRL.GSLPRビットは、グローバル動作モードおよびグローバルテストモードでは書き換えしないでください。

(2) グローバルリセットモード

グローバルリセットモードでCANモジュールの設定を行います。グローバルリセットモードに遷移すると、一部のレジスタが初期化されます。表 36.8 と表 36.9 に初期化されるレジスタ一覧を示します。

GCTRL.GMDC[1:0]ビットを“01b”に設定すると、各CTRL.CHMDC[1:0]ビットが“01b”(チャンネルリセットモード)になります。すべてのチャンネルが強制的にチャンネルリセットモードへ遷移すると、グローバルリセットモードになります。すでにチャンネルリセットモードまたはチャンネルストップモードであるチャンネルはモード遷移しません(CTRL.CHMDC[1:0]ビットがすでに“01b”に設定されているため)。

(3) グローバルテストモード

グローバルテストモードでテスト関連レジスタの設定を行います。グローバルテストモードに遷移すると、すべてのCAN通信は停止します。

GCTRL.GMDC[1:0]ビットを“10b”に設定すると、各CTRL.CHMDC[1:0]ビットが“10b”(チャンネル待機モード)になります。すべてのチャンネルが強制的にチャンネル待機モードへ遷移すると、グローバルテストモードになります。チャンネルストップモード、チャンネルリセットモード、またはチャンネル待機モードであるチャンネルは、モード遷移しません。

(4) グローバル動作モード

グローバル動作モードではCANモジュール全体が動作します。

GCTRL.GMDC[1:0]ビットを“00b”にすると、グローバル動作モードに遷移します。

36.3.2 チャネルモード

図 36.3 にチャネルモードの状態遷移図を示します。表 36.6 にチャネルモードの遷移時間を示します。

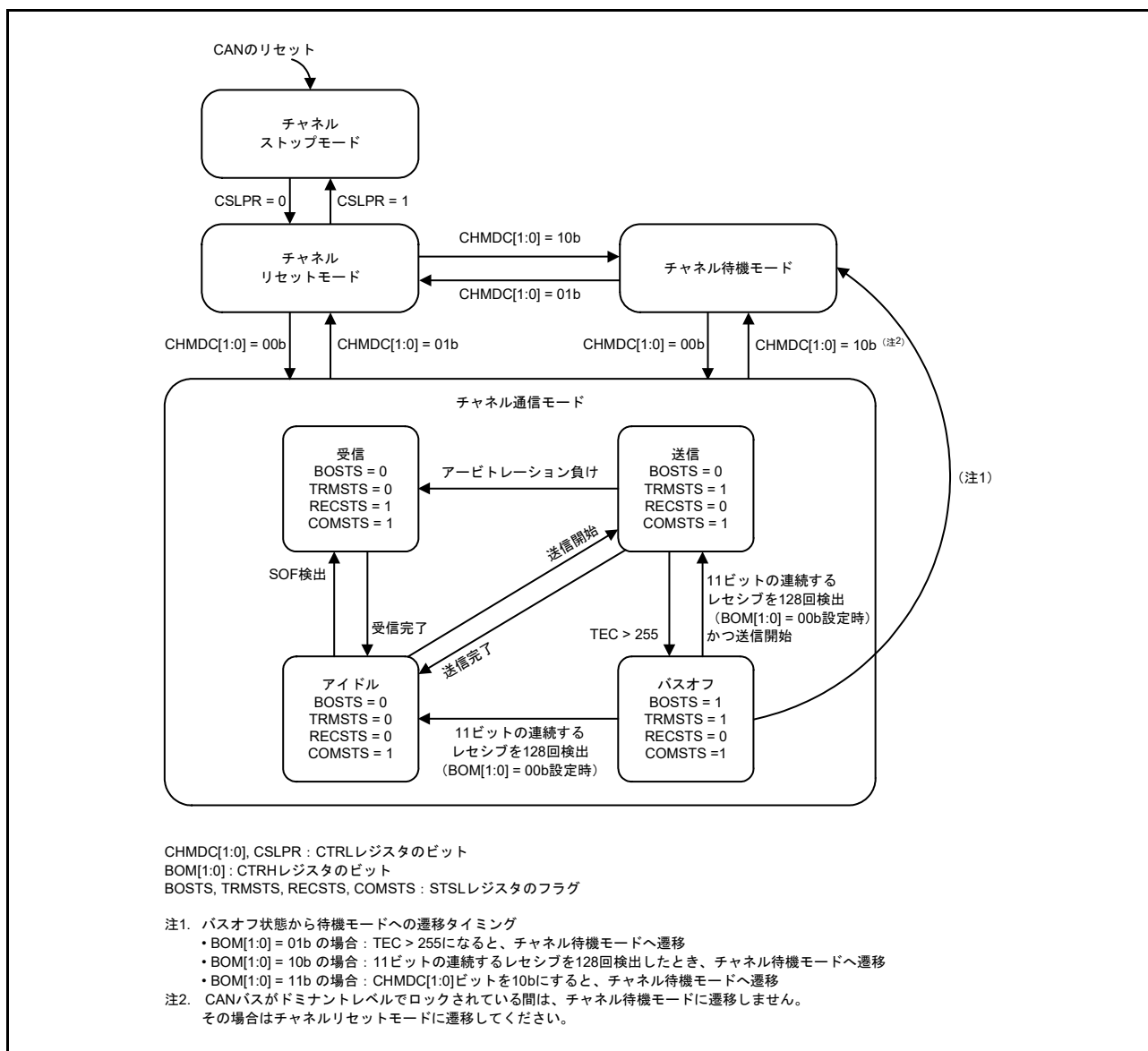


図 36.3 チャネルモードの状態遷移図

表 36.6 チャネルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
チャネルストップ	チャネルリセット	3 PCLKクロック
チャネルリセット	チャネルストップ	3 PCLKクロック
チャネルリセット	チャネル待機	3 CANビットタイム
チャネルリセット	チャネル通信	2 CANビットタイム
チャネル待機	チャネルリセット	3 PCLKクロック
チャネル待機	チャネル通信	3 CANビットタイム
チャネル通信	チャネルリセット	3 PCLKクロック
チャネル通信	チャネル待機	CANフレームの2つ分

(1) チャネルストップモード

チャネルストップモードでは、チャネルへ供給するクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。

各チャネルは、CAN モジュールイネーブル後、チャネルストップモードになります。また、チャネルリセットモード時に、CTRL.CSLPR ビットを“1”(チャネルストップモード)にすると、チャネルストップモードに遷移します。CTRL.CSLPR ビットはチャネル通信モードおよびチャネル待機モードでは書き換えしないでください。

(2) チャネルリセットモード

チャネルリセットモードでチャネルの設定を行います。チャネルリセットモードに遷移すると、一部のチャネル関連レジスタが初期化されます。表 36.8 に初期化されるレジスタ一覧を示します。

CAN 通信中に CTRL.CHMDC[1:0] ビットを“01b”(チャネルリセットモード)にすると、送受信の完了を待たずに通信が中断され、チャネルリセットモードへ遷移します。表 36.7 に CAN 通信中に CTRL.CHMDC[1:0] ビットを“01b”(チャネルリセットモード)に設定したときの動作を示します。

(3) チャネル待機モード

チャネル待機モードでチャネルのテスト関連レジスタの設定を行います。チャネル待機モードに遷移すると、チャネルの CAN 通信は停止します。

表 36.7 に CAN 通信中に CTRL.CHMDC[1:0] ビットを“10b”(チャネル待機モード)に設定したときの動作を示します。

表 36.7 チャネルリセット/チャネル待機モード遷移時の動作

モード	受信中	送信中	バスオフ状態
チャネルリセット (CHMDC[1:0] = 01b)	受信の終了を待たずにチャネルリセットモードに遷移(注1)	送信の終了を待たずにチャネルリセットモードに遷移(注1)	バスオフ復帰の終了を待たずにチャネルリセットモードに遷移
チャネル待機(注3) (CHMDC[1:0] = 10b)	受信の終了を待ってチャネル待機モードに遷移(注2)	送信の終了を待ってチャネル待機モードに遷移(注2)	<p>【BOM[1:0]ビットが“00b”の場合】 バスオフ復帰後のみ、チャネル待機モード遷移(CHMDC[1:0] = 10b)が実行される</p> <p>【BOM[1:0]ビットが“01b”の場合】 バスオフ状態への遷移条件が成立したときに自動的にチャネル待機モードに遷移</p> <p>【BOM[1:0]ビットが“10b”の場合】 バスオフ復帰の終了を待って自動的にチャネル待機モードに遷移</p> <p>【BOM[1:0]ビットが“11b”の場合】 CHMDC[1:0]ビットに“10b”が設定されるとすぐにチャネル待機モードに遷移(バスオフ復帰の終了は待たない)</p>

注1. 通信が終了した後にチャネルリセットモードへ遷移するには、まずCHMDC[1:0]ビットを“10b”に設定し、通信が終了しチャネル待機モードへ遷移したことを確認してから、CHMDC[1:0]ビットを“01b”に設定してください。

注2. CANバスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。ドミナントロックを検出するとERFLL.BLFフラグが“1”になるので、CANバスの状態を確認できます。

注3. チャネルリセットモードからチャネル待機モードへ遷移する場合、チャネルリセットモードでCFGLレジスタとCFGHレジスタを設定してからチャネル待機モードへ遷移してください。

(4) チャネル通信モード

チャネル通信モードでCAN通信を行います。CAN通信時、各チャネルは次に示す通信状態をとります。

- アイドル : 受信も送信もしていない状態。
- 受信 : 他のノードから送られてきたメッセージを受信している状態。
- 送信 : メッセージを送信している状態。
- バスオフ : CAN通信から遮断されている状態。

CTRL.CHMDC[1:0] ビットを“00b”にすると、チャンネル通信モードに遷移します。遷移後、11ビットの連続するレセシブを検出すると、STSL.COMSTS フラグが“1”(通信可能な状態)になり、CAN ネットワーク上でアクティブノードとして、送受信が許可されます。この時点で、メッセージの送受信を開始できるようになります。

(5) バスオフ状態

ISO 11898-1 規格の送信、受信エラーカウンタの増減ルールに従ってバスオフ状態に遷移します。バスオフ状態からの復帰方法は、CTRH.BOM[1:0] ビットで設定します。

- CTRH.BOM[1:0] ビットが“00b”のとき
ISO 11898-1 規格に準拠し、11ビットの連続するレセシブを128回検出後に、バスオフ状態からCAN通信可能な状態(エラーアクティブ状態)に復帰します。そのとき、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”に初期化され、ERFLL.BORF フラグが“1”(バスオフ復帰検出)になります。バスオフ状態で、CTRL.CHMDC[1:0] ビットを“10b”(チャンネル待機モード)にすると、バスオフ復帰が完了(11ビットの連続するレセシブを128回検出)してからチャンネル待機モードに遷移します。
- CTRH.BOM[1:0] ビットが“01b”のとき
バスオフ状態に遷移すると、CTRL.CHMDC[1:0] ビットが“10b”になり、チャンネル待機モードへ遷移します。そのとき、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”に初期化されます。ERFLL.BORF フラグは“1”になりません。
- CTRH.BOM[1:0] ビットが“10b”のとき
バスオフ状態に遷移すると、CTRL.CHMDC[1:0] ビットが“10b”になり、バスオフ復帰が完了(11ビットの連続するレセシブを128回検出)してからチャンネル待機モードへ遷移します。そのとき、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”に初期化され、ERFLL.BORF フラグは“1”になります。
- CTRH.BOM[1:0] ビットが“11b”のとき
バスオフ状態時に、CTRL.CHMDC[1:0] ビットを“10b”にすると、バスオフ復帰を待たずにチャンネル待機モードに遷移します。そのとき、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”に初期化されます。ERFLL.BORF フラグは“1”になりません。
ただし、CTRL.CHMDC[1:0] ビットを“10b”にする前に11ビットの連続するレセシブを128回検出し、エラーアクティブ状態に復帰した場合、ERFLL.BORF フラグは“1”になります。

CAN モジュールによるチャンネル待機モードへの遷移と、プログラムによる CTRL.CHMDC[1:0] ビットへの書き込みが同時に発生した場合、プログラムによる書き込みが優先されます。CTRH.BOM[1:0] ビットを“01b”または“10b”に設定した場合のチャンネル待機モードへの自動的な遷移は、CTRL.CHMDC[1:0] ビットが“00b”(チャンネル通信モード)のときのみ発生します。

また、CTRL.RTBO ビットを“1”にすることで、バスオフ状態から強制的に復帰することができます。CTRL.RTBO ビットに“1”を書くと、直ちにエラーアクティブ状態になり、11ビットの連続するレセシブを検出後、通信可能な状態になります。この場合、ERFLL.BORF フラグは“1”になりません。STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”に初期化されます。CTRL.RTBO ビットは、CTRH.BOM[1:0] ビットが“00b”のときに“1”を書いてください。

表36.8 グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスタ一覧

レジスタ	ビット/フラグ
CTRLレジスタ	CHMDC[1:0]
CTRHレジスタ	CTMS[1:0], CTME
STSLレジスタ	CHLTSTS, EPSTS, BOSTS, TRMSTS, RECSTS, COMSTS
STSHレジスタ	REC[7:0], TEC[7:0]
ERFLLレジスタ	ADERR, B0ERR, B1ERR, CERR, AERR, FERR, SERR, ALF, BLF, OVLF, BORF, BOEF, EPF, EWF, BEF
ERFLHレジスタ	CRCREG[14:0]
CFCCL0レジスタ	送受信FIFOバッファが送信モード時 : CFE
CFSTS0レジスタ	送受信FIFOバッファが送信モード時 : CFMC[5:0], CFTXIF, CFRXIF, CFMLT, CFFLL, CFEMP
TMCpレジスタ	TMOM, TMTAR, TMTR
TMSTSpレジスタ	TMTARM, TMTRM, TMTRF[1:0], TMTSTS
TMTRSTSレジスタ	TMTRSTSp
TMCSTSpレジスタ	TMCSTSp
TMASTSpレジスタ	TMASTSp
THLCC0レジスタ	THLE
THLSTS0レジスタ	THLMC[3:0], THLIF, THLELT, THLFLL, THLEMP
GTINTSTSレジスタ	THIF0, CFTIF0, TAIF0, TSIF0

表36.9 グローバルリセットモードでのみ初期化されるレジスタ一覧

レジスタ	ビット/フラグ
GSTSレジスタ	GHLTSTS
GERFLLレジスタ	THLES, MES, DEF
GTSCレジスタ	TS[15:0]
RMND0レジスタ	RMNSn
RFCCmレジスタ	RFE
RFSTSmレジスタ	RFMC[5:0], RFIF, RFMLT, RFFLL, RFEMP
CFCCL0レジスタ	送受信FIFOが受信モード時 : CFE
CFSTS0レジスタ	送受信FIFOバッファが受信モード時 : CFMC[5:0], CFTXIF, CFRXIF, CFMLT, CFFLL, CFEMP
RFMSTSレジスタ	RFmMLT
CFMSTSレジスタ	CF0MLT
RFISTSレジスタ	RFmIF
CFISTSレジスタ	CF0IF
GTSTCFGレジスタ	RTMPS[2:0]
GTSTCTRLレジスタ	RTME

36.4 受信機能

受信の種類には次の2つがあります。

- 受信バッファによる受信
全チャンネルで共有する受信バッファは、0～16バッファの範囲で使用できます。受信バッファに格納するメッセージは毎回上書きされるので、最新の受信データが読み出せます。
- 受信 FIFO バッファ、送受信 FIFO バッファ (受信モード) による受信
全チャンネルで共有する受信 FIFO バッファが2本と、各チャンネル専用の送受信 FIFO バッファが1チャンネルにつき1本ずつあります。FIFO バッファには RFCCm.RFDC[2:0] ビット、CFCCL0.CFDC[2:0] ビットで設定した段数までメッセージを保存することができ、古いメッセージから順次、読み出せます。

36.4.1 受信ルールテーブルを用いたデータ処理

受信ルールテーブルを用いたデータ処理により、選別したメッセージを指定のバッファに格納することができます。データ処理には、アクセプタンスフィルタ処理、DLC フィルタ処理、ルーティング処理、ラベル付加処理、ミラー機能の処理があります。

登録できる受信ルール数は1チャンネルにつき最大16となります。受信ルールを設定しない場合は、メッセージを受信できません。図36.4に受信ルール登録の説明図を示します。

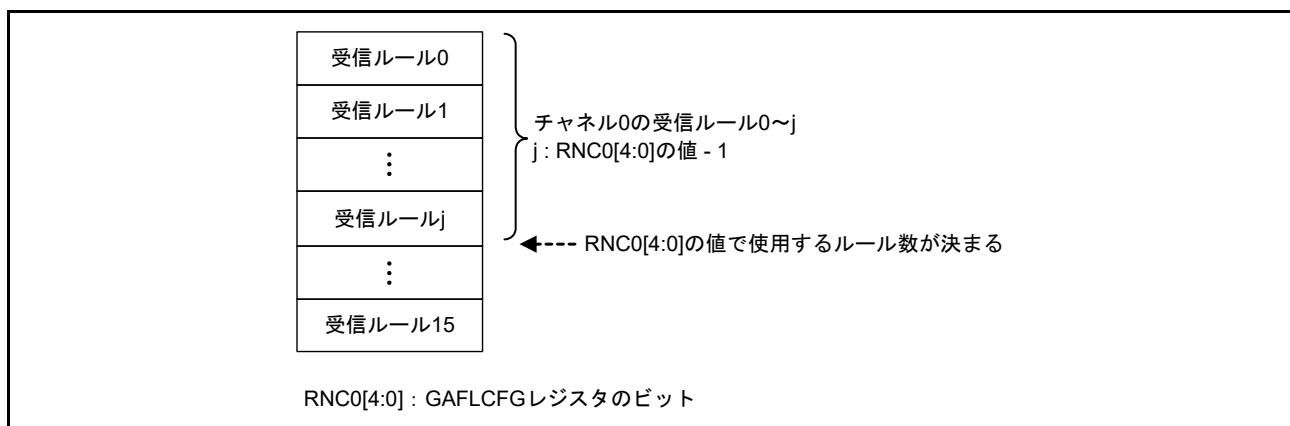


図 36.4 受信ルール登録

各受信ルールは GAFLIDL_j、GAFLIDH_j、GAFLML_j、GAFLMH_j、GAFLPL_j、GAFLPH_j レジスタの12バイトで構成されています。GAFLIDL_j レジスタと GAFLIDH_j レジスタでは ID、IDE、RTR ビット、ミラー機能の設定、GAFLML_j レジスタと GAFLMH_j レジスタではマスク設定、GAFLPL_j レジスタと GAFLPH_j レジスタでは付加するラベル情報、DLC 値、格納先受信バッファの設定、格納先 FIFO バッファの設定を行います。

(1) アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、受信メッセージの ID データ、IDE、RTR ビットが、対応するチャンネルの受信ルールに設定した ID データ、IDE、RTR ビットと比較されます。すべてのビットが一致すると、アクセプタンスフィルタ処理を通過します。GAFLML_j レジスタおよび GAFLMH_j レジスタで“0”(ビットを比較しない)にしたビットに対応する受信メッセージの ID データ、IDE、RTR ビットは、比較されずに一致したとみなします。

対応するチャンネルの一番小さい番号の受信ルールからチェックを開始します。受信メッセージの比較対象ビットが受信ルールとすべて一致したとき、または一致する受信ルールがないまますべてのチェックを終了したとき、フィルタ処理は停止します。一致する受信ルールがない場合は、受信バッファや FIFO バッファに格納されません。

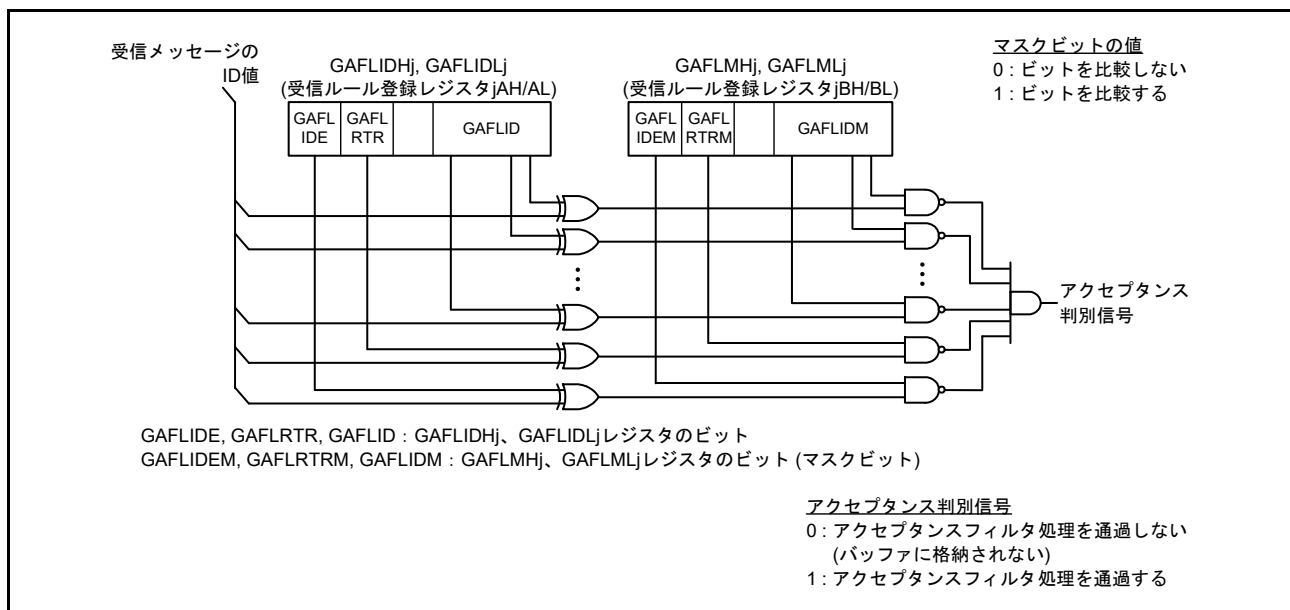


図 36.5 アクセプタンスフィルタ機能

(2) DLC フィルタ処理

GCFGL.DCE ビットを“1” (DLC チェック許可) にすると、アクセプタンスフィルタ処理を通過したメッセージに対して DLC フィルタ処理が行われます。メッセージの DLC 値が受信ルールに設定した DLC 値以上の場合、DLC フィルタ処理を通過します。

GCFGL.DRE ビットが“0” (DLC 置換禁止) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値がバッファに格納されます。この場合、受信メッセージのすべてのデータバイトがバッファに格納されます。

GCFGL.DRE ビットが“1” (DLC 置換許可) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00h”が格納されます。

受信メッセージの DLC 値が受信ルールの DLC 値より小さい場合は、DLC フィルタ処理を通過しません。この場合、メッセージは受信バッファや FIFO バッファに格納されず、GERFLL.DEF フラグが“1” (DLC エラー) となります。

(3) ルーティング処理

アクセプタンスフィルタ処理と DLC フィルタ処理を通過したメッセージは、受信バッファ、受信 FIFO バッファ、または受信モードに設定した送受信 FIFO バッファに格納されます。メッセージ格納先は、GAFLPLj.GAFLRMV、GAFLRMDP[6:0]、GAFLFDP4、GAFLFDP1、GAFLFDP0 ビットで設定します。フィルタ処理を通過したメッセージは最大2つのバッファに格納することができます。

(4) ラベル付加処理

フィルタ処理を通過したメッセージに 12 ビットのラベル情報を付加し、バッファに格納することができます。ラベル情報は、GAFLPHj.GAFLPTR[11:0] ビットに設定します。

(5) ミラー機能の処理

ミラー機能を使用すると、自らが送信したメッセージを受信することができます。ミラー機能は、GCFGL.MME ビットを“1” (ミラー機能許可) にすることで使用可能になります。

ミラー機能使用時、他の CAN ノードが送信したメッセージを受信するときは、GAFLIDHj.GAFLLB ビッ

トを“0”にした受信ルールがデータ処理に使用されます。自らが送信したメッセージを受信するときは、GAFLIDHj.GAFLLB ビットを“1”にした受信ルールがデータ処理に使用されます。

36.4.2 タイムスタンプ

タイムスタンプカウンタは、メッセージの受信時間を記録するために使用する 16 ビットのフリーランカウンタです。タイムスタンプカウンタ値は、メッセージの SOF (スタートオブフレーム) のタイミングで取り込まれ、メッセージ ID やデータとともに、受信バッファや FIFO バッファに格納されます。タイムスタンプカウンタのクロック源は、GCFGL.TSSS ビットで、PCLK または CAN ビットタイムクロックから選択できます。選択したクロック源を GCFGL.TSP[3:0] ビットで分周したクロックが、タイムスタンプカウンタのカウンタソースになります。

CAN ビットタイムクロックをクロック源として使用する場合、対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。PCLK をクロック源として使用する場合、タイムスタンプ機能はチャンネルモードに影響されません。

タイムスタンプカウンタ値は GCTRH.TSRST ビットを“1”にすると、“0000h”にリセットされます。

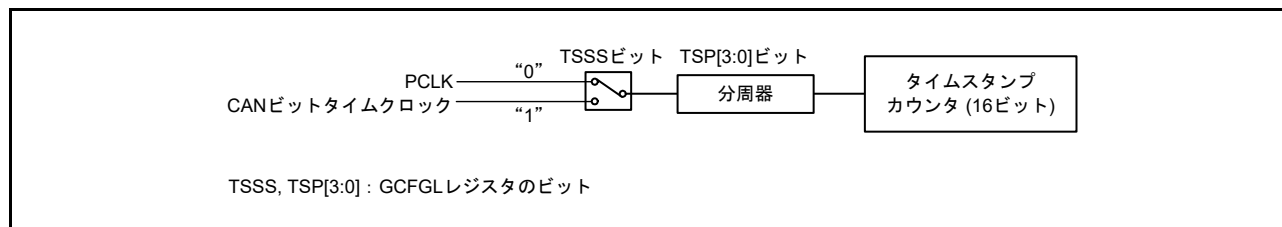


図 36.6 タイムスタンプ機能のブロック図

36.5 送信機能

送信の種類には、次の2つがあります。

- 送信バッファによる送信：
 - 1チャンネルにつき4バッファあります。
- 送受信 FIFO バッファ (送信モード) による送信：
 - 1チャンネルにつき1本ずつあります。1本のFIFOバッファに最大16メッセージ格納できます。送信バッファにリンクさせて使用します。FIFOバッファ内で、次に送信予定のメッセージのみ送信の優先順位判定の対象となります。メッセージは格納順に送信されます。

図 36.7 に送受信 FIFO バッファのリンクを示します。

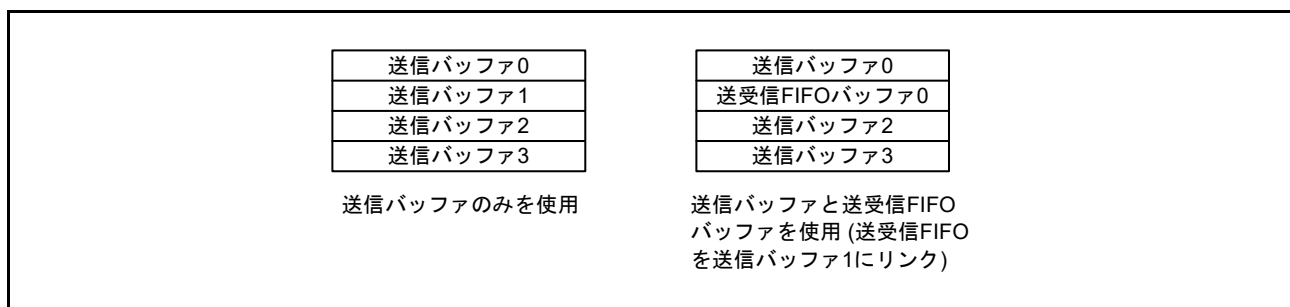


図 36.7 送受信 FIFO バッファのリンク

36.5.1 送信の優先順位判定

同一チャンネル内で複数のバッファから送信要求が出された場合、送信の優先順位を判定します。判定方法は次の2つから選択することができます。

- ID 優先 (GCFGL.TPRI ビットが“0”)
- 送信バッファ番号優先 (GCFGL.TPRI ビットが“1”)

GCFGL.TPRI ビットの設定は、すべての CAN チャンネルで有効です。

GCFGL.TPRI ビットを“0”にした場合、格納したメッセージ ID の優先順位に基づいてメッセージが送信されます。ID の優先順位は ISO 11898-1 規格に規定されている CAN バスアービトレーション規定に準拠します。送信バッファ、送信モードに設定した送受信 FIFO バッファに格納したメッセージの ID が判定対象になります。送受信 FIFO バッファの場合は、FIFO 内の最も古いメッセージが優先順位判定の対象になります。メッセージが送受信 FIFO バッファから送信中の場合、同じ FIFO バッファにある次のメッセージが優先順位判定の対象になります。GCFGL.TPRI ビットを“1”にした場合、送信要求があるバッファの中で、最も小さい番号の送信バッファのメッセージが最初に送信されます。送受信 FIFO バッファが送信バッファにリンクしている場合は、リンク先の送信バッファ番号で判定されます。

GCFGL.TPRI ビットの設定に関わらず、アービトレーションロスまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。

36.5.2 送信バッファを用いた送信

送信バッファの送信要求ビット (TMCp.TMTR ビット) を“1” (送信を要求する) にすると、データフレームまたはリモートフレームを送信することができます。

送信結果は、対応する TMSTSp.TMTRF[1:0] フラグで確認します。送信が成功すると、TMSTSp.TMTRF[1:0] フラグは“10b” (送信完了: 送信アボート要求なし) または“11b” (送信完了: 送信アボート要求あり) になります。

(1) 送信アボート機能

TMSTSp.TMTRM フラグが“1” (送信要求あり) である送信バッファにおいて、TMCp.TMTAR ビットを“1” (送信アボートを要求する) にすると、送信要求が取り消されます。送信アボートが完了すると、TMSTSp.TMTRF[1:0] フラグが“01b” (送信アボート完了) になり、送信要求が取り消されます (TMSTSp.TMTRM フラグが“0” になります)。

送信中のメッセージまたは送信の優先順位判定で次の送信に決定しているメッセージはアボートできません。ただし、TMCp.TMTAR ビットを“1” にしたメッセージを送信中にアービトレーションロストまたはエラーが発生した場合、再送信は行いません。

(2) ワンショット送信機能 (再送信禁止機能)

TMCp.TMOM ビットを“1” (ワンショット送信許可) にすると、1 回だけ送信を行います。アービトレーションロストまたはエラーが発生しても、再送信は行いません。

ワンショット送信の結果は、対応する TMSTSp.TMTRF[1:0] フラグで確認します。ワンショット送信が成功すると、TMSTSp.TMTRF[1:0] フラグは“10b” または“11b” になります。アービトレーションロストまたはエラーが発生した場合、TMSTSp.TMTRF[1:0] フラグは“01b” (送信アボート完了) になります。

36.5.3 FIFO バッファによる送信

1 本の送受信 FIFO バッファに、CFCCL0.CFDC[2:0] ビットで設定した段数分のメッセージを格納できます。最初に格納したメッセージから順に送信されます。

送受信 FIFO バッファは、CFCCH0.CFTML[1:0] ビットで選択した送信バッファにリンクされます。CFCCL0.CFE ビットを“1” (送受信 FIFO バッファを使用する) にすると、送信の優先順位判定の対象になります。FIFO バッファ内で、次に送信予定のメッセージに対してのみ優先順位判定を実施します。

CFCCL0.CFE ビットを“0” (送受信 FIFO バッファを使用しない) にすると、次に示すタイミングで CFSTS0.CFEMP フラグが“1” (送受信 FIFO バッファ空) になります。

- 送受信 FIFO バッファのメッセージが送信中でなく、次の送信に決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFCCL0.CFE ビットを“0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFCCL0.CFE ビットを“1” にする前に、CFSTS0.CFEMP フラグが“1” になったことを確認してください。

(1) インターバル送信機能

送信モードに設定した送受信 FIFO バッファを使用時に、同一 FIFO バッファからメッセージを送信する場合、メッセージ送信間のインターバル時間を設定できます。

CFCCL0.CFE ビットを“1” にし、最初のメッセージが FIFO バッファから正常に送信された後、インターバルタイマはカウントを開始します (CAN プロトコルの EOF7 の後)。その後インターバル時間が経過する

と、次のメッセージが送信されます。インターバルタイマは、CFCCL0.CFE ビットを“0”にしたとき、またはチャンネルリセットモード時、停止します。

インターバル時間は CFCCH0.CFITT[7:0] ビットで設定します。インターバルタイマを使用しない場合は、CFCCH0.CFITT[7:0] ビットに“00h”を設定してください。

CFCCH0.CFITR、CFITSS ビットで、インターバルタイマのカウントソースを選択します。

CFCCH0.CFITR、CFITSS ビットを“00b”にすると PCLK を GCFGH.ITRCP[15:0] ビットの値で分周したクロック、“10b”にすると PCLK を GCFGH.ITRCP[15:0] ビットの値×10 で分周したクロック、“x1b”にすると CAN ビットタイムクロックがカウントソースになります。

GCFGH.ITRCP[15:0] ビットの設定値を M、CFCCH0.CFITT[7:0] ビットの値を N とすると、インターバル時間は次の式で求められます。

- CFCCH0.CFITR、CFITSS ビットが“00b”の場合

$$\frac{1}{PCLK} \times M \times N$$

- CFCCH0.CFITR、CFITSS ビットが“10b”の場合

$$\frac{1}{PCLK} \times M \times 10 \times N$$

- CFCCH0.CFITR、CFITSS ビットが“x1b”の場合
(fCANBIT は CAN ビットタイムクロックの周波数)

$$\frac{1}{fCANBIT} \times N$$

図 36.8 にインターバルタイマのブロック図を示します。

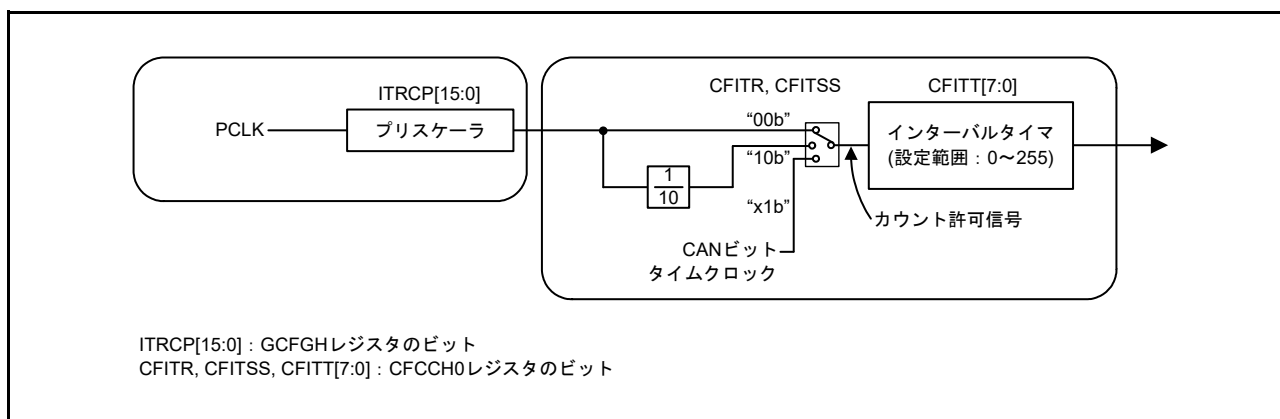


図 36.8 インターバルタイマのブロック図

図 36.9 にインターバルタイマのタイミング図を示します。

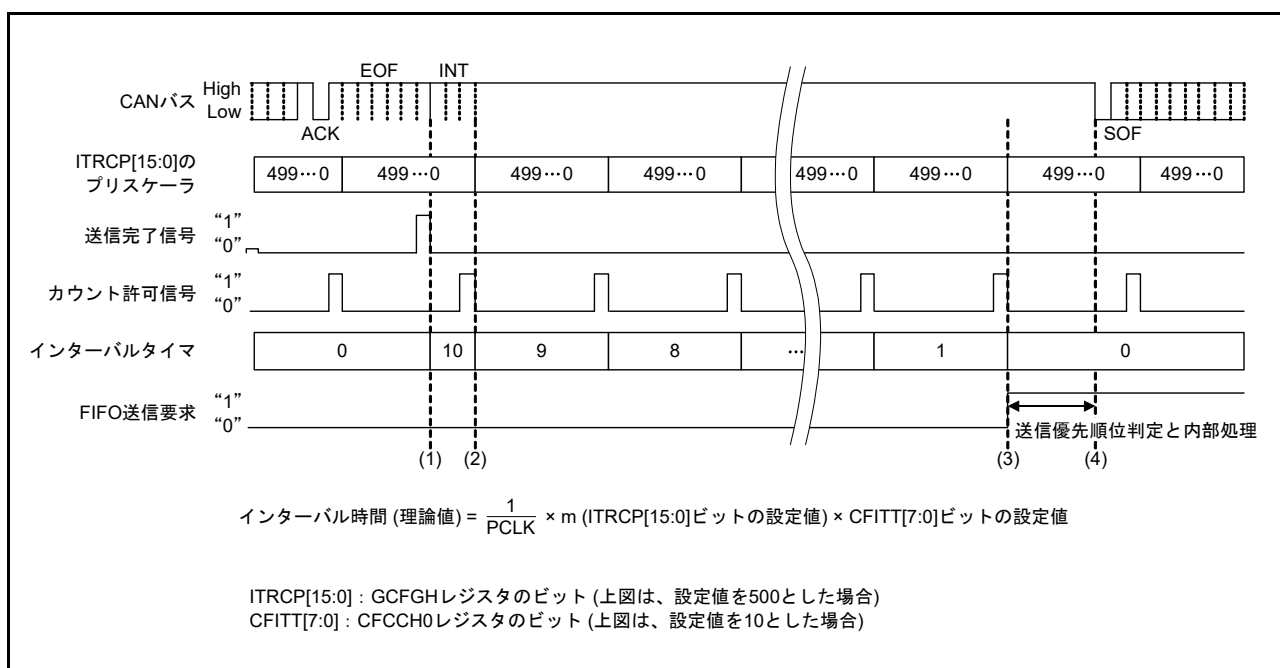


図 36.9 インターバルタイマのタイミング図

- (1) 送信が完了するとインターバルタイマがカウントを開始します。送信が完了したタイミングでプリスケアラが初期化されないため、最初のインターバル時間は、最大でインターバルタイマの1カウント分の誤差が発生します。
- (2) 次のカウント許可信号で、インターバルタイマは1減算されます。
- (3) インターバルタイマが“0”になると、送受信 FIFO バッファから送信要求が出されます。
- (4) 優先順位判定で送受信 FIFO バッファが次の送信に決まると、送信を開始します。送信要求が出されてから送信が開始するまで、CAN ビットタイムクロックの3クロック以下の遅延で、送信を開始します。

36.5.4 送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納できます。チャンネルごとに1つの送信履歴バッファを持ち、送信履歴バッファには8個の送信履歴データを格納できます。

THLCC0.THLDTE ビットで、メッセージ送信元のバッファの種類が選択できます。CFIDH0.THLEN ビットで、メッセージごとに送信履歴データを格納するかどうかを設定できます。

送信が成功した後に、次に示す送信メッセージの情報が送信履歴データとして送信履歴バッファへ格納されます。送信が成功してから送信履歴データが格納されるまで、最大で38PCLK分遅延する場合があります。

- バッファタイプ 01b: 送信バッファ
 10b: 送受信 FIFO バッファ
- バッファ番号 送信元の送信バッファ、または送受信 FIFO バッファの番号。
 これはバッファタイプに依存します。表 36.10 を参照してください。
- ラベルデータ 送信メッセージのラベル情報

表 36.10 送信履歴データのバッファ番号

バッファの番号	バッファタイプ	
	01b	10b
00b	送信バッファ 0	CFCCH0.CFTML[1:0]ビットで送受信FIFOバッファにリンクさせた送信バッファの番号
01b	送信バッファ 1	
10b	送信バッファ 2	
11b	送信バッファ 3	

ラベルデータは、メッセージを特定するために使用します。送信バッファ、送受信 FIFO バッファから送信するメッセージに、固有のラベルデータを付加することができます。

送信履歴データは、THLACC0 レジスタから読み出せます。バッファがフルの場合に、新しい送信履歴データを格納しようとする、バッファがオーバーフローし、新しいデータは破棄されます。

36.6 テスト機能

テスト機能は、通信テストとグローバルテストの2つに分類できます。

通信テスト：チャンネルごとに行うテスト

- 標準テストモード
 - リッスンオンリモード
 - セルフテストモード0(外部ループバックモード)
 - セルフテストモード1(内部ループバックモード)
- グローバルテスト：モジュール全体で行うテスト
- RAMテスト(読み書きテスト)

36.6.1 標準テストモード

標準テストモードでは、CRCテストを行うことができます。

36.6.2 リッスンオンリモード

リッスンオンリモードでは、データフレームとリモートフレームを受信できます。CANバス上にはレセシブビットのみが送信され、ACKビット、オーバーロードフラグ、アクティブエラーフラグは送信されません。リッスンオンリモードは、通信速度の検出に使用できます。

リッスンオンリモードでは、どのバッファからも送信要求をしないでください。

図 36.10 にリッスンオンリモード選択時の接続を示します。

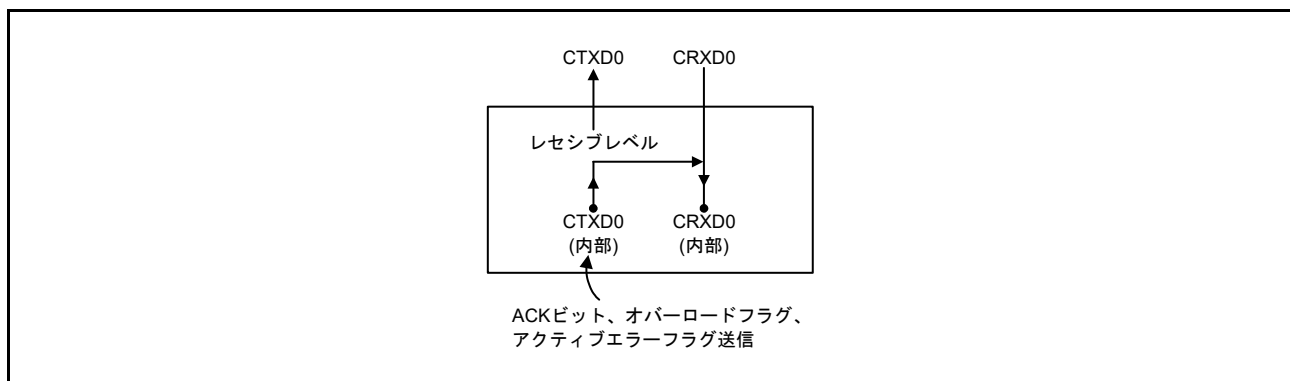


図 36.10 リッスンオンリモード選択時の接続

36.6.3 セルフテストモード (ループバックモード)

セルフテストモードでは、送信したメッセージを自チャンネルの受信ルールと比較し、フィルタ処理を通過するとバッファに格納されます。他のCANノードが送信したメッセージは、GAFLIDHj.GAFLLB ビットを“0”(他のCANノードが送信したメッセージを受信時)にした受信ルールとのみ比較されます。

ミラー機能とセルフテストモードが同時に許可された場合、セルフテストモードの設定が優先されます。

(1) セルフテストモード0 (外部ループバックモード)

セルフテストモード0はCANトランシーバを含めたチャンネルのループバックテストを行います。

セルフテストモード0では、送信したメッセージをCANトランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACKビットを生成します。

図 36.11 にセルフテストモード0 選択時の接続を示します。

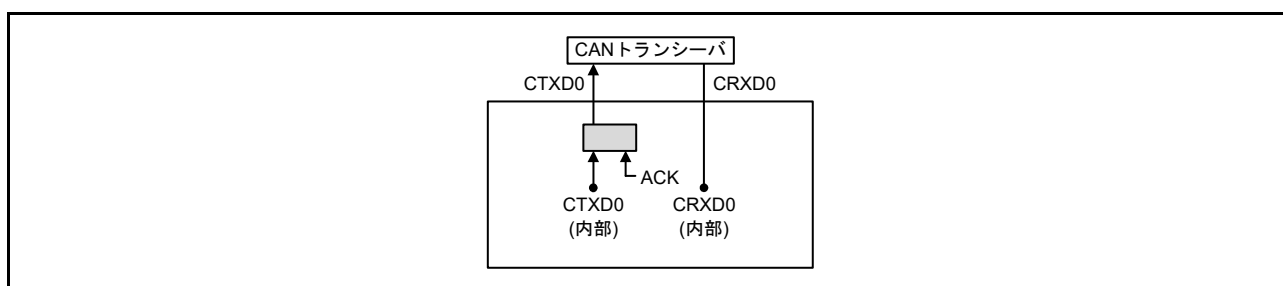


図 36.11 セルフテストモード0 選択時の接続

(2) セルフテストモード1 (内部ループバックモード)

セルフテストモード1では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACKビットを生成します。

セルフテストモード1では内部CTXD0端子から内部CRXD0端子への内部フィードバックを行います。外部CRXD0端子の入力は、切り離されます。外部CTXD0端子はレセシブビットのみ出力します。

図 36.12 にセルフテストモード1 選択時の接続を示します。

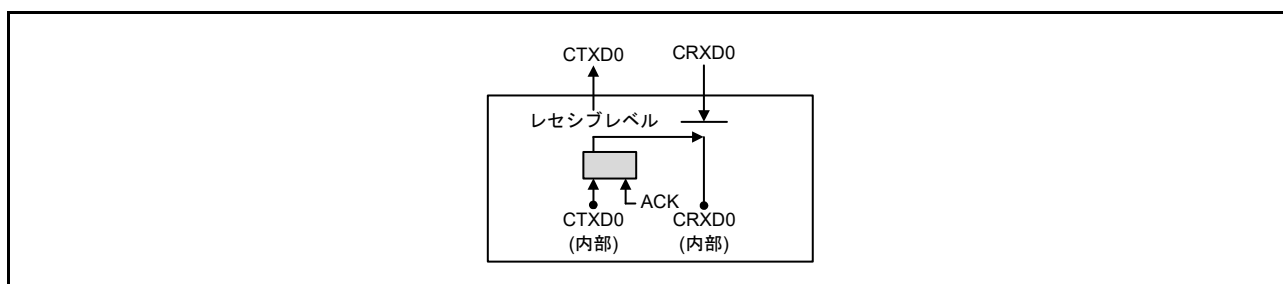


図 36.12 セルフテストモード1 選択時の接続

36.6.4 RAM テスト

RAMテスト機能を使用すると、CAN用RAM全体にアクセスすることができます。

RAMテスト機能使用時、RAMは256バイトごとのページに分けられます。ページはGTSTCFG.RTMPS[2:0]ビットで設定し、ページ内のデータはRPGACC_rレジスタから読み出し/書き込みができます。有効な総RAMサイズは、544バイト(0220h)です。

36.7 割り込み

CAN モジュールには 5 本の割り込みがあり、グローバル割り込みとチャンネル割り込みに分類されます。

グローバル割り込み (2 本)

- グローバル受信 FIFO 割り込み (RXINT)
- グローバルエラー割り込み (GLERRINT)

チャンネル割り込み (チャンネルごとに 3 本ずつ)

- チャンネル送信割り込み (TXINT)
 - 送信完了割り込み
 - 送信アボート割り込み
 - 送受信 FIFO 送信完了割り込み
 - 送信履歴割り込み
- 送受信 FIFO 受信割り込み (COMFRXINT)
- チャンネルエラー割り込み (CHERRINT)

割り込み要求が発生すると、CAN モジュールの対応する割り込み要求フラグが“1”(割り込み要求あり)になります。その場合、割り込み許可ビットを“1”(割り込み許可)にしていると、CAN モジュールから割り込み要求が出力されます(割り込みの発生は、割り込み機能により制御されます)。

割り込み要求フラグを“0”(割り込み要求なし)にするか、割り込み許可ビットを“0”(割り込み禁止)にすると、割り込み要求がクリアされます。割り込み要求をクリアするまで、次の割り込みは発生しません。

割り込みの設定については「15. 割り込みコントローラ (ICUb)」を参照してください。

次ページ以降に、表 36.11 に CAN 割り込み要因一覧を示します。また、図 36.13 に CAN グローバル割り込みブロック図を、図 36.14 に CAN チャンネル割り込みブロック図を示します。

表 36.11 CAN 割り込み要因一覧

割り込み要因		対応する割り込み要求フラグ(注1)	対応する割り込み許可ビット(注1)	
グローバル 割り込み	グローバル受信 FIFO	受信 FIFO0	RFSTS0.RFIF フラグ	
		受信 FIFO1	RFSTS1.RFIF フラグ	
	グローバルエラー		GERFLL.DEF フラグ	
			GERFLL.MES フラグ	
			GERFLL.THLES フラグ	
チャンネル 割り込み	チャンネル送信	送信完了	TMSTSp.TMTRF[1:0] フラグ	
		送信アボート	TMSTSp.TMTRF[1:0] フラグ	
		送受信 FIFO 送信	CFSTS0.CFTXIF フラグ	
		送信履歴	THLSTS0.THLIF フラグ	
	送受信 FIFO 受信	CFSTS0.CFRXIF フラグ	CFCC0.CFRXIE ビット	
	チャンネルエラー		ERFLL.BEF フラグ	CTRL.BEIE ビット
			ERFLL.ALF フラグ	CTRL.ALIE ビット
			ERFLL.BLF フラグ	CTRL.BLIE ビット
			ERFLL.OVLF フラグ	CTRL.OLIE ビット
			ERFLL.BORF フラグ	CTRL.BORIE ビット
			ERFLL.BOEF フラグ	CTRL.BOEIE ビット
			ERFLL.EPF フラグ	CTRL.EPIE ビット
		ERFLL.EWF フラグ	CTRL.EWIE ビット	
ウェイクアップ	なし	なし		

注1. 割り込み機能にある割り込み要求フラグ、割り込み許可ビットは記載していません。詳細については「15. 割り込みコントローラ(ICUb)」を参照してください。

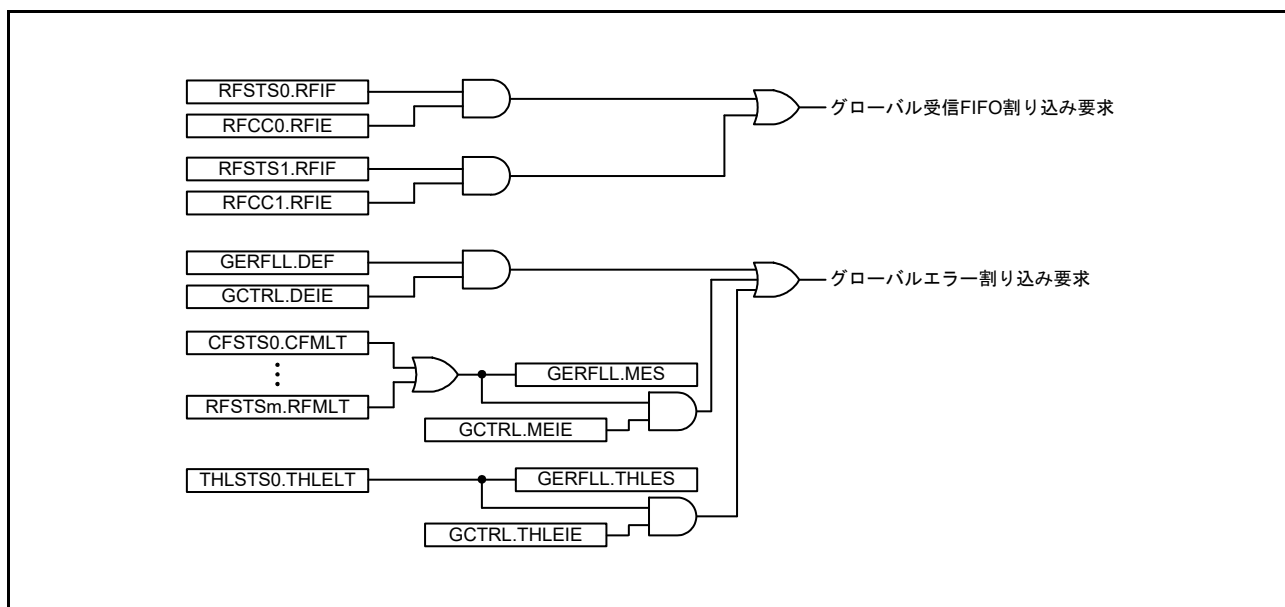


図 36.13 CAN グローバル割り込みブロック図

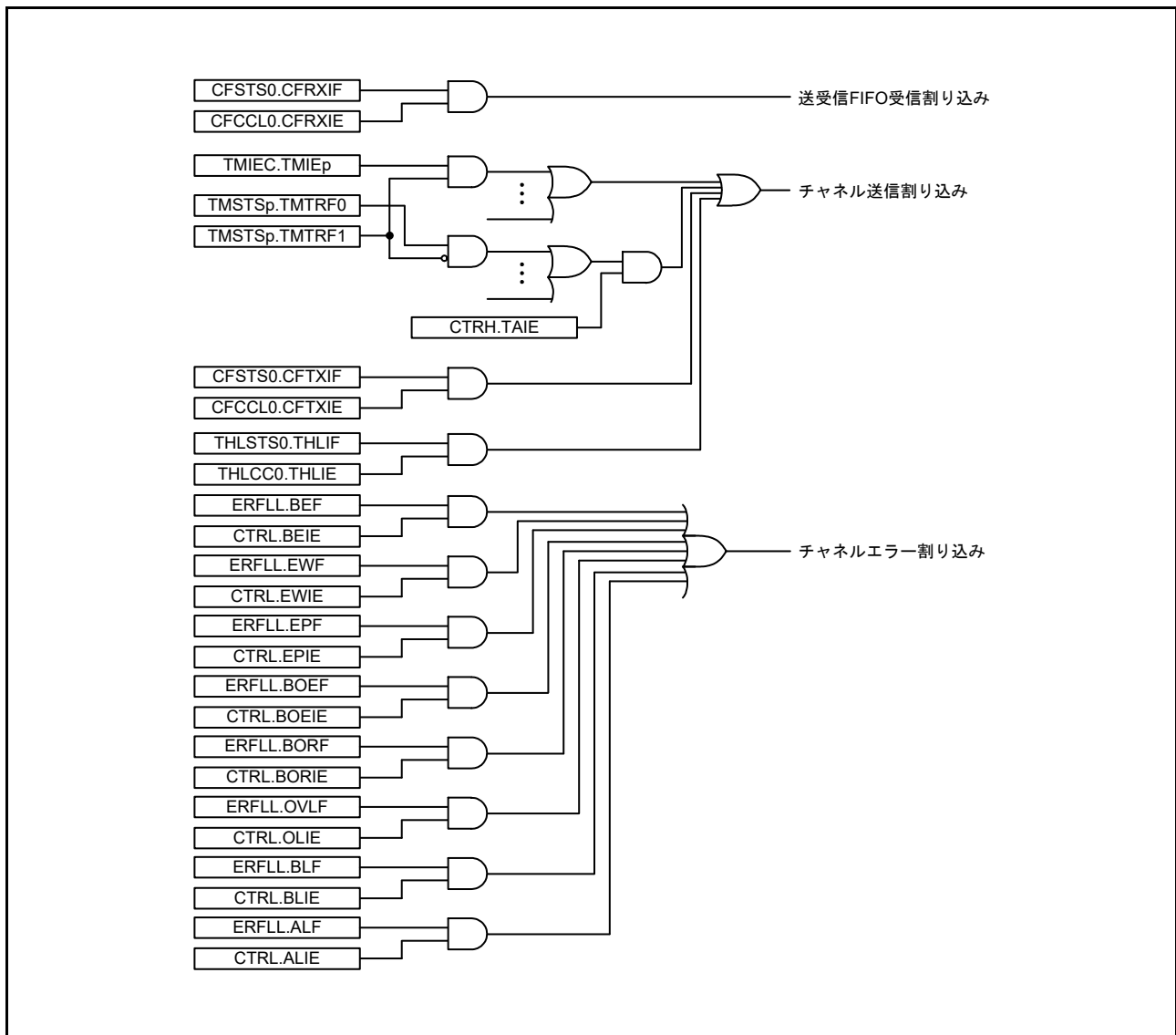


図 36.14 CAN チャンネル割り込みブロック図

36.8 RAM ウィンドウ

CANモジュールのアドレス 000A 83A0h ~ 000A 8681h はウィンドウ形式になっており、GRWCR.RPAGE ビットで、割り付けられるレジスタを切り替えることができます。

- GRWCR.RPAGE ビットが“0” (ウィンドウ 0) の場合に割り付けられるレジスタ
 受信ルール登録レジスタ : GAFLIDLj, GAFLIDHj, GAFLMLj, GAFLMHj, GAFLPLj, GAFLPHj
 RAM テストレジスタ : RPGACCr
- GRWCR.RPAGE ビットが“1” (ウィンドウ 1) の場合に割り付けられるレジスタ
 受信バッファレジスタ : RMIDLn, RMIDHn, RMTSn, RMPTRn, RMDf0n ~ RMDf3n
 受信 FIFO アクセスレジスタ : RFIDLm, RFIDHm, RFTSm, RFPTRm, RFDF0m ~ RFDF3m
 送受信 FIFO アクセスレジスタ : CFIDL0, CFIDH0, CFTS0, CFPTR0, CFDF00 ~ CFDF30
 送信バッファレジスタ : TMIDLp, TMIDHp, TMPTRp, TMDF0p ~ TMDF3p
 送信履歴バッファアクセスレジスタ : THLACC0

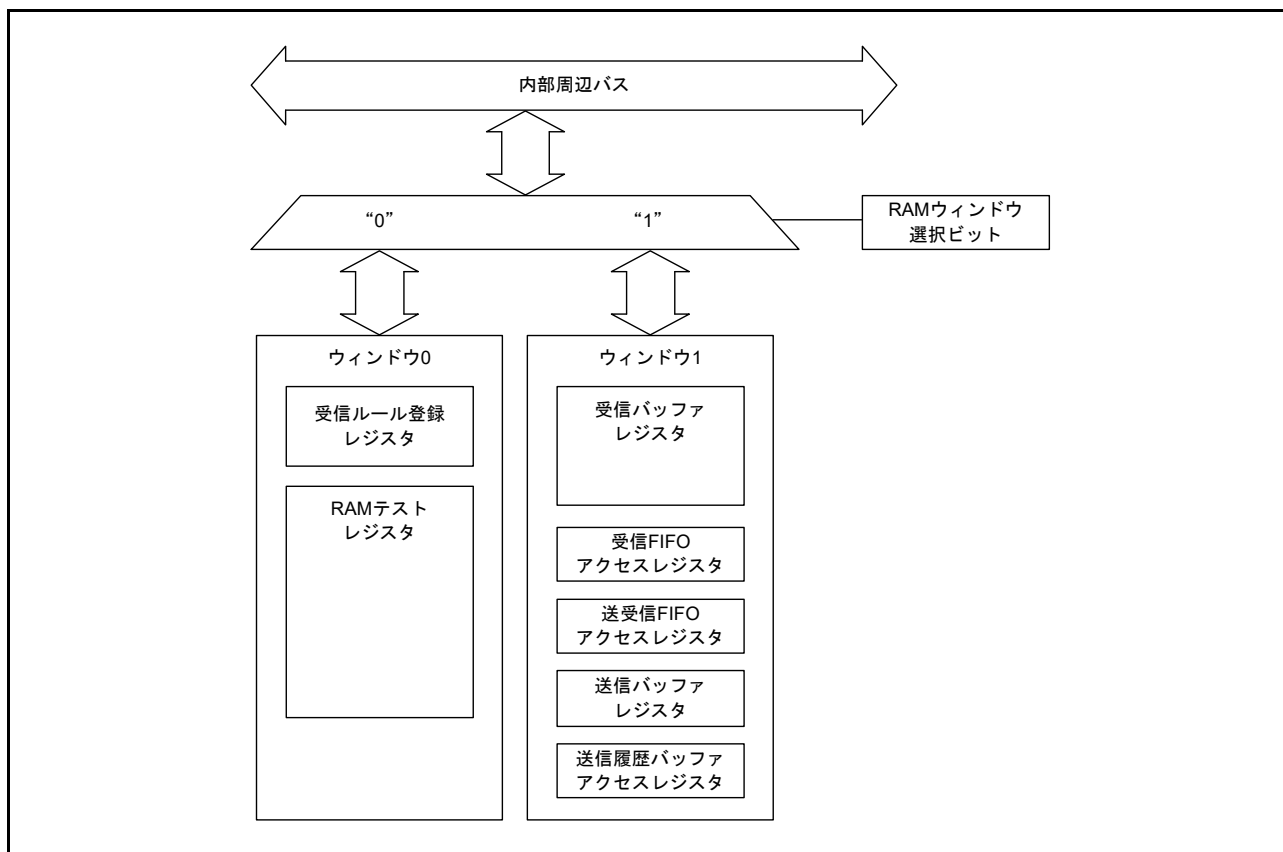


図 36.15 RAM ウィンドウ

36.9 初期設定

CAN モジュールイネーブル後に CAN モジュールは CAN 用 RAM の初期化を行います。RAM の初期化時間は、PCLK の 276 サイクルです。RAM の初期化中は、GSTS.GRAMINIT フラグが“1”(CAN 用 RAM クリア中)になり、初期化が終了すると“0”(CAN 用 RAM クリア完了)になります。GSTS.GRAMINIT フラグが“0”になった後に CAN の設定を行ってください。

図 36.16 に CAN モジュールイネーブル後の設定手順を示します。

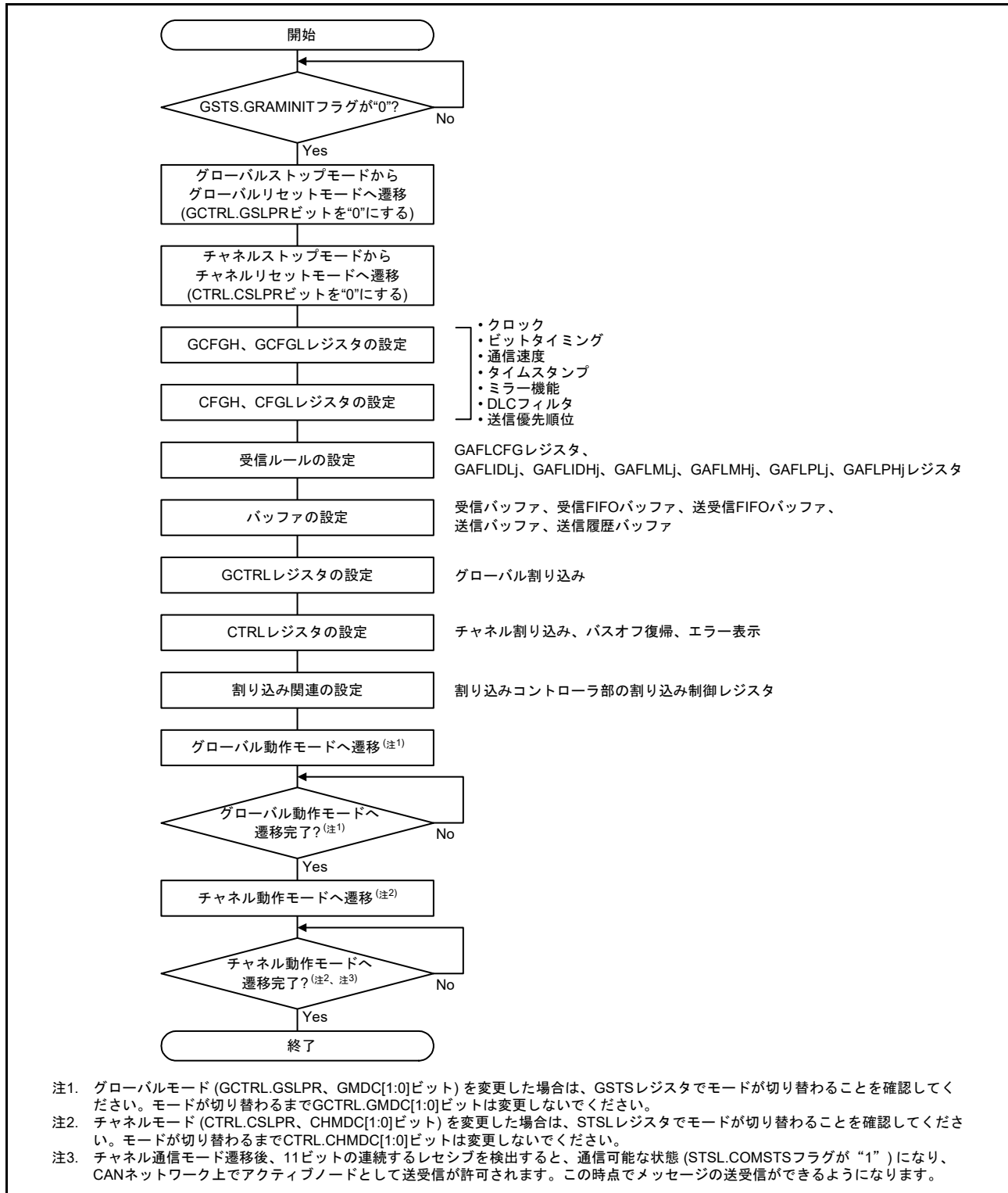


図 36.16 CAN モジュールイネーブル後の設定手順

36.9.1 クロックの設定

CANモジュールのクロック源であるCANクロックソース (fCAN) を設定します。GCFGL.DCS ビットで、PCLK または CANMCLK を選択します。

36.9.2 ビットタイミングの設定

CANプロトコルでは、通信フレームの1ビットはSS、TSEG1、TSEG2の3つのセグメントで構成されます。このうち、TSEG1 および TSEG2 の2つのセグメントをチャンネルごとに CFGH レジスタで設定できます。2つのセグメントを設定することで、サンプルポイントのタイミングを決めます。このタイミングは1 Time Quantum (以下 Tq) 単位で調整できます。1Tq は、GCFGL.DCS ビットで選択したクロックを CFGH.BRP[9:0] ビットで分周したクロック (CANTq クロック) の周期になります。

図 36.17 にビットタイミング図を示します。表 36.12 にビットタイミングの設定例を示します。

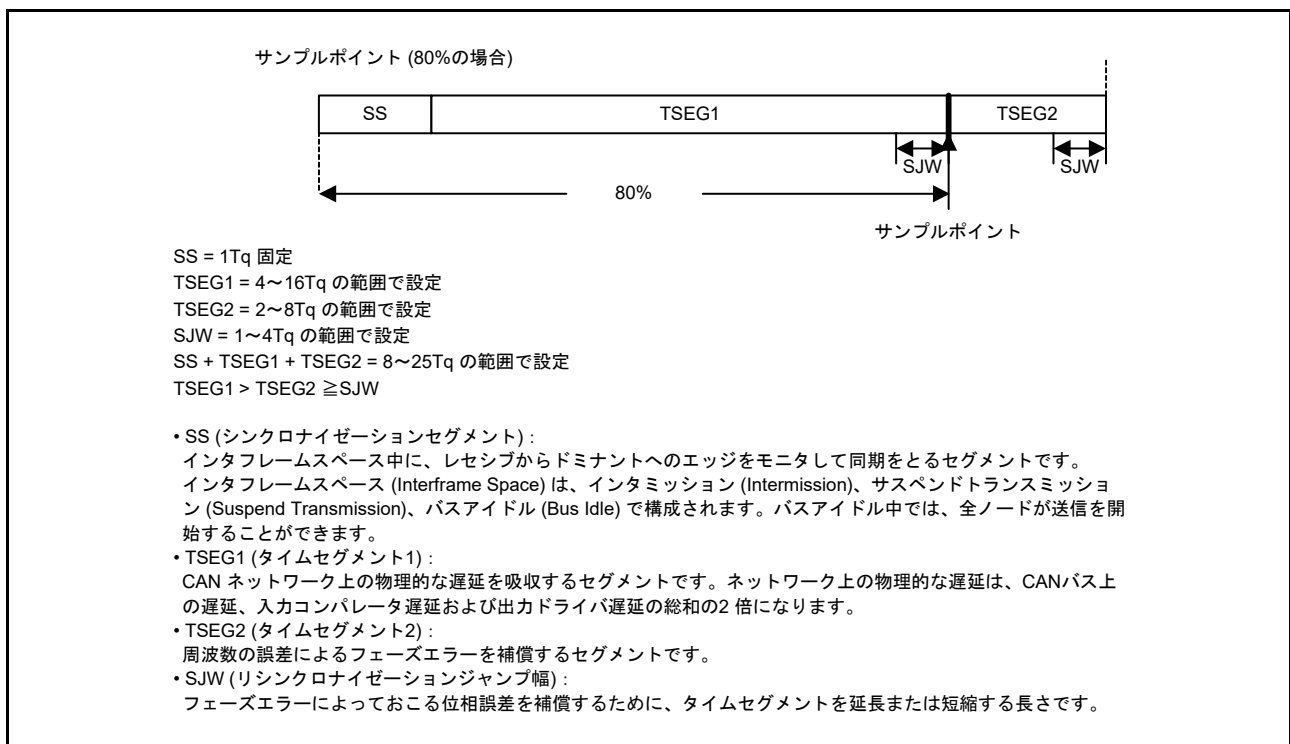


図 36.17 ビットタイミング図

表 36.12 ビットタイミングの設定例

1ビット	設定値(Tq)				サンプルポイント(%) (図36.17参照)
	SS	TSEG1	TSEG2	SJW	
8Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10Tq	1	6	3	1	70.00
	1	7	2	1	80.00
16Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20Tq	1	13	6	1	70.00
	1	15	4	3	80.00
24Tq	1	15	8	1	66.67
	1	16	7	1	70.83

36.9.3 通信速度の設定

CANの通信速度は、fCAN、ボーレートプリスケアラ分周値(CFGL.BRP[9:0]ビット)および1ビットタイムのTq数を用いてチャンネルごとに設定します。

図 36.18 に CAN クロック制御ブロック図を、表 36.13 に通信速度の設定例を示します。

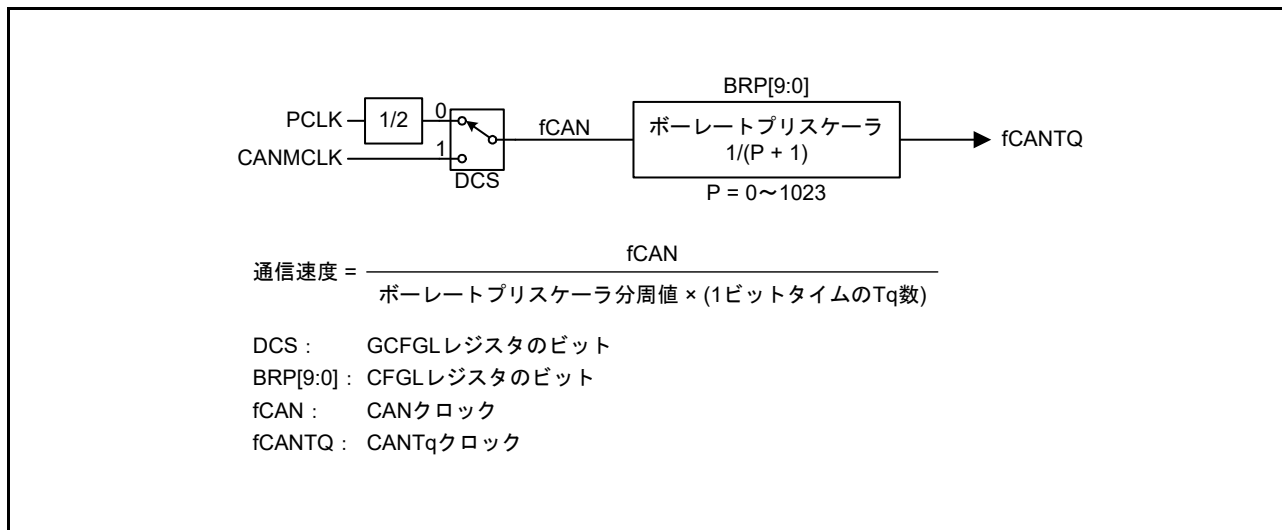


図 36.18 CAN クロック制御ブロック図

表 36.13 通信速度の設定例

通信速度	fCAN	
	16MHz	8MHz
1 Mbps	8Tq (2) 16Tq (1)	8Tq (1)
500 kbps	8Tq (4) 16Tq (2)	8Tq (2) 16Tq (1)
250 kbps	8Tq (8) 16Tq (4)	8Tq (4) 16Tq (2)
83.3 kbps	8Tq (24) 16Tq (12)	8Tq (12) 16Tq (6)
33.3 kbps	8Tq (60) 10Tq (48) 16Tq (30) 20Tq (24)	8Tq (30) 10Tq (24) 16Tq (15) 20Tq (12)

注. ()内の数字はボーレートプリスケアラ分周値

36.9.4 受信ルールの設定

受信ルール関連レジスタで受信ルールの設定を行うことができます。
16の受信ルールを登録できます。

図 36.19 に受信ルール設定手順について示します。

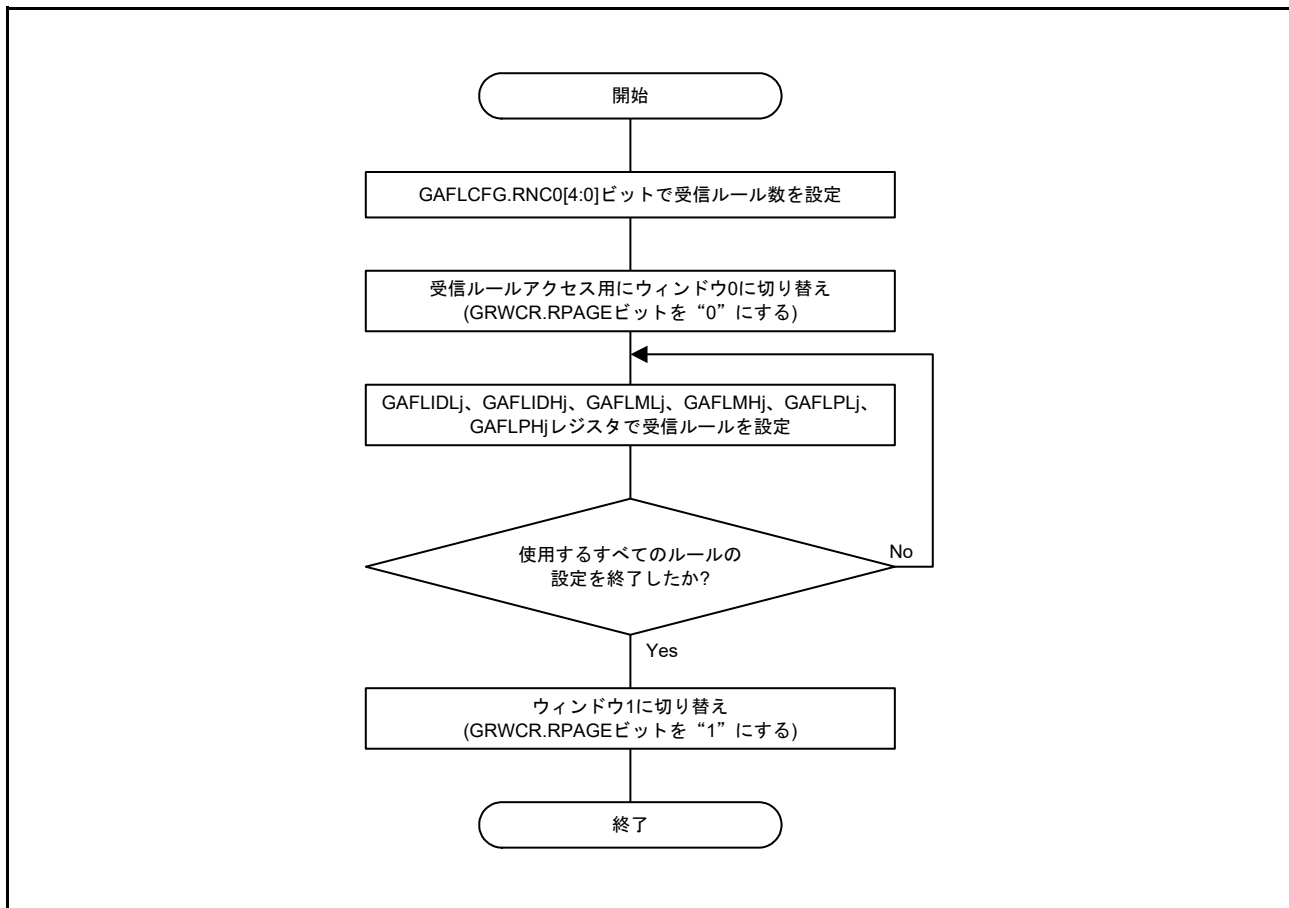


図 36.19 受信ルール設定手順

36.9.5 バッファの設定

各種バッファのサイズと割り込み要因を設定します。また、送信モードに設定した送受信 FIFO バッファはリンクする送信バッファを設定します。

図 36.20 にバッファの構成を示します。図 36.21 に各種バッファの設定手順を示します。

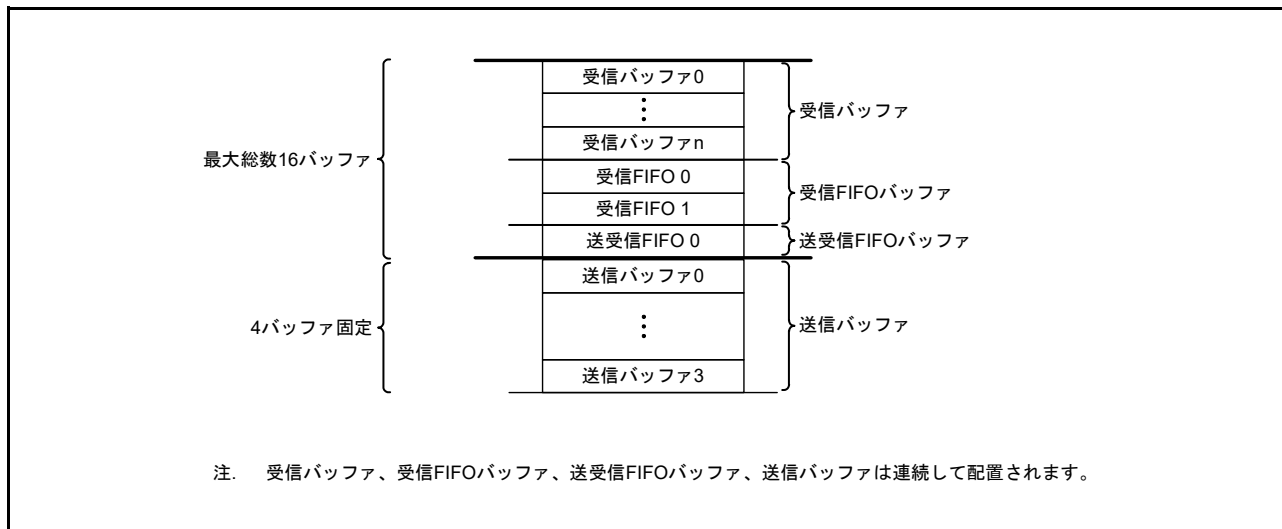


図 36.20 バッファの構成

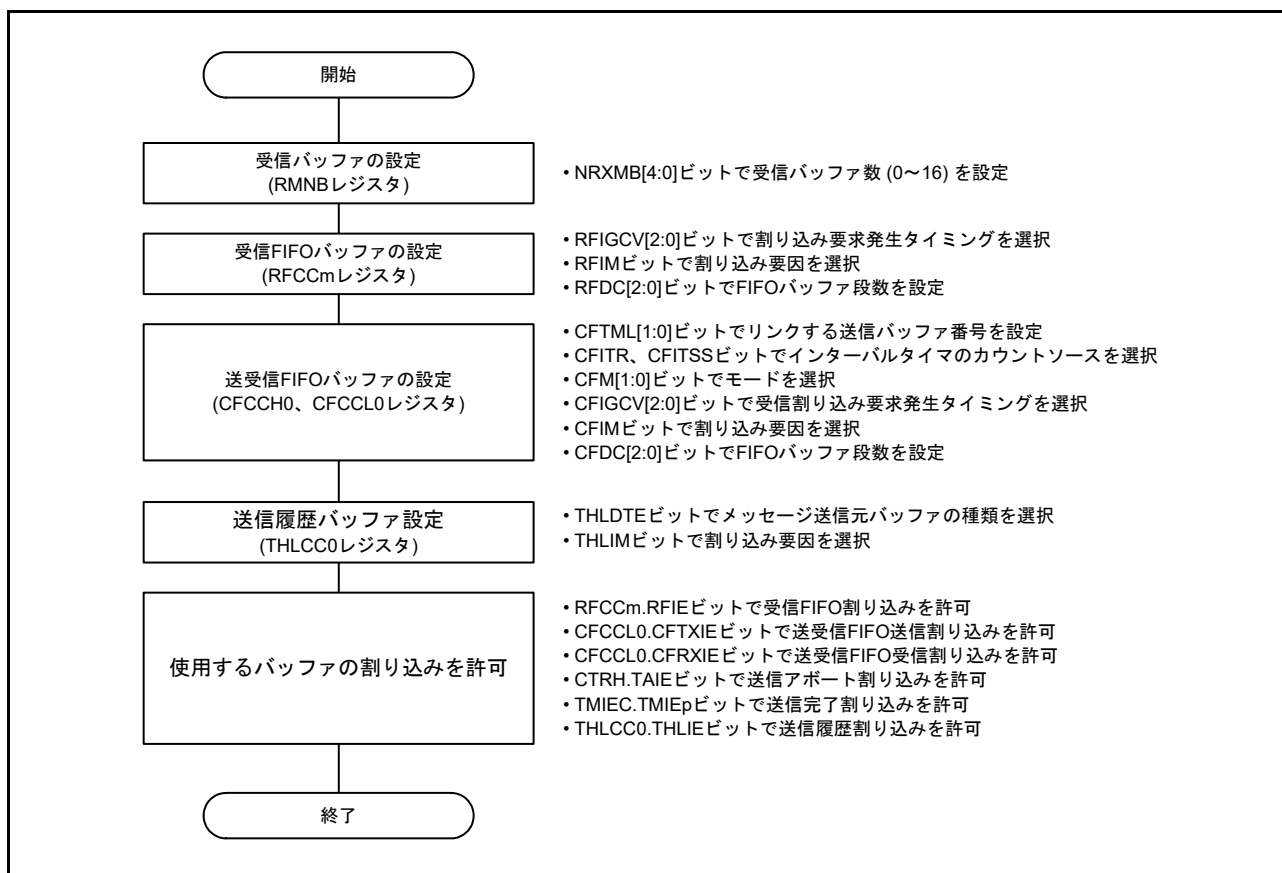


図 36.21 各種バッファの設定手順

36.10 受信手順

36.10.1 受信バッファの読み出し手順

受信したメッセージを受信バッファに格納する処理が始まると、RMND0.RMNSn フラグが“1”(受信バッファ n に新しいメッセージあり)になります。メッセージは RMIDLn、RMIDHn、RMTSn、RMPTRn、RMDf0n ~ RMDf3n レジスタから読めます。受信バッファからメッセージを読み出す前に次のメッセージを受信した場合、メッセージが上書きされます。

図 36.22 に受信バッファの読み出し手順を示します。

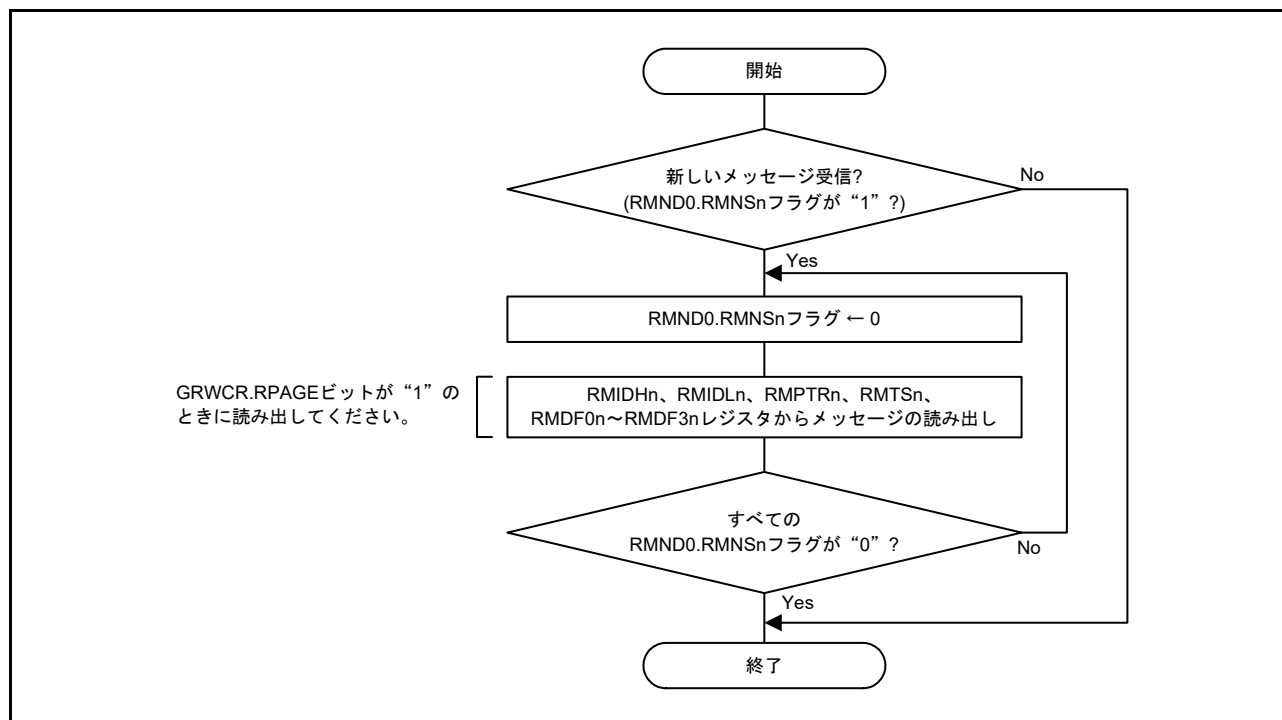


図 36.22 受信バッファの読み出し手順

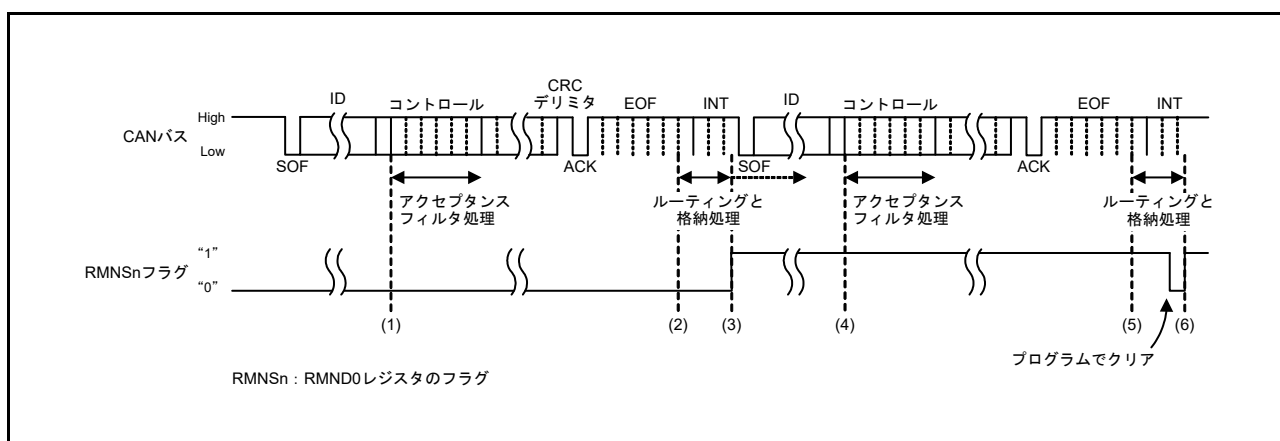


図 36.23 受信バッファの受信タイミング図

- (1) メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (2) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。GCFGL.DCE ビットが“1”(DLC チェック許可)の場合、この時点で DLC フィルタ処理を行います。
- (3) DLC フィルタ処理を通過すると、指定した受信バッファにメッセージを格納する処理が開始します。メッセージの格納処理が始まると、対応する RMND0.RMNSn フラグが“1”(受信バッファに新しいメッセージあり)になります。他のチャンネルでフィルタ処理や送信の優先順位判定処理を行っている場合、ルーティング処理や格納処理が遅延する場合があります。
- (4) 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (5) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。GCFGL.DCE ビットが“1”(DLC チェック許可)の場合、この時点で DLC フィルタ処理を行います。
- (6) 対応する RMND0.RMNSn フラグを“0”(受信バッファに新しいメッセージなし)にクリアした場合、メッセージの格納処理が始まると、再度、“1”になります。RMND0.RMNSn フラグが“1”のままでも、新しいメッセージは受信バッファに上書きされます。メッセージ格納中は RMND0.RMNSn フラグを“0”にできません。

36.10.2 FIFO バッファの読み出し手順

受信メッセージが1つ以上の受信 FIFO バッファまたは、受信モードに設定した送受信 FIFO バッファへ格納されると、対応するメッセージ数表示カウンタ (RFSTSm.RFMC[5:0] フラグまたは CFSTS0.CFMC[5:0] フラグ) の値が1加算されます。このとき、RFCCm.RFIE ビット (受信 FIFO 割り込み許可ビット) や CFCCL0.CFRXIE ビット (送受信 FIFO 受信割り込み許可ビット) を“1”にしていると、割り込み要求が発生します。受信メッセージは、受信 FIFO バッファの場合は RFIDLm、RFIDHm、RFTSm、RFPTRm、RFDF0m ~ RFDF3m レジスタから、送受信 FIFO バッファの場合は CFIDL0、CFIDH0、CFTS0、CFPTR0、CFDF00 ~ CFDF30 レジスタから読み出すことができます。FIFO バッファは古いメッセージから読み出せます。

メッセージ数表示カウンタの値が FIFO バッファの段数値 (RFCCm.RFDC[2:0] ビットまたは CFCCL0.CFDC[2:0] ビットで設定した値) に一致したとき、RFSTSm.RFFLL フラグまたは CFSTS0.CFFLL フラグが“1” (FIFO バッファフル) になります。

FIFO バッファからすべてのメッセージを読み出したとき、RFSTSm.RFEMP フラグまたは CFSTS0.CFEMP フラグが“1” (FIFO バッファ空) になります。

割り込み要求フラグ (RFSTSm.RFIF フラグまたは CFSTS0.CFRXIF フラグ) が“1” (割り込み要求あり) の状態で RFCCm.RFE ビットや CFCCL0.CFE ビットを“0” (FIFO バッファを使用しない) にすると、割り込み要求フラグは自動的に“0”になりません。割り込み要求フラグはプログラムで“0”にしてください。

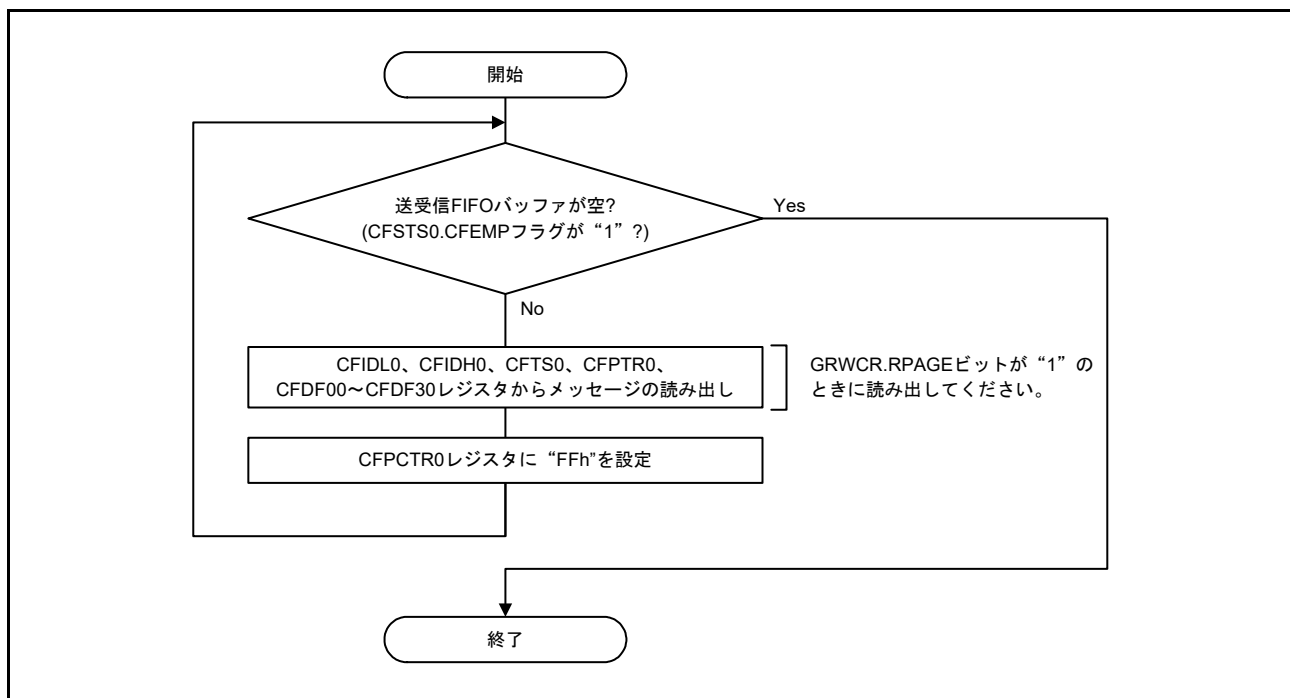


図 36.24 送受信 FIFO バッファの読み出し手順

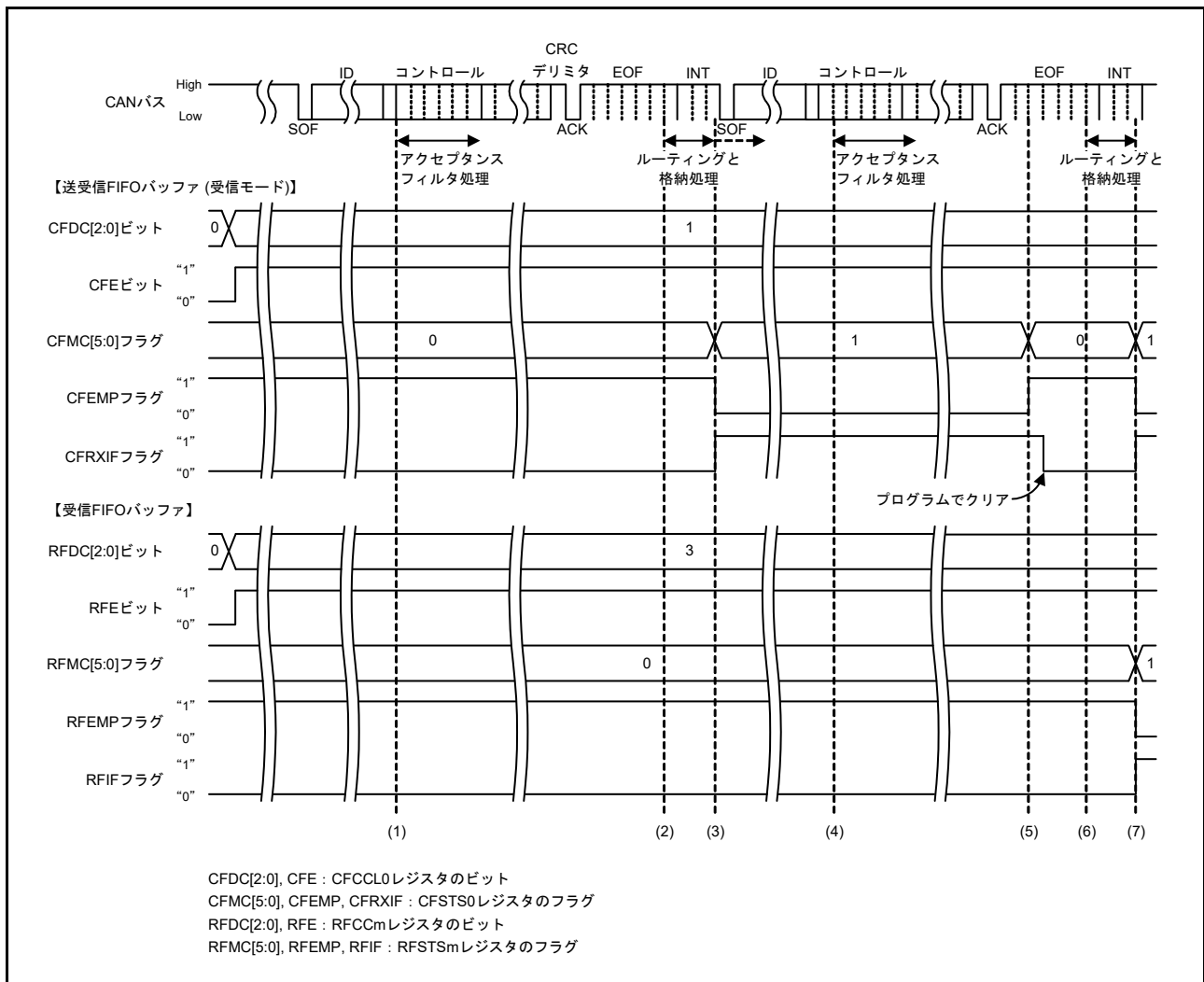


図 36.25 FIFO バッファの受信タイミング図

- (1) メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (2) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。GCFGL.DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (3) DLC フィルタ処理を通過し、かつ CFCCL0.CFE ビットが“1” (送受信 FIFO バッファを使用する) で、CFCCL0.CFDC[2:0] ビットの値が“001b”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFSTS0.CFMC[5:0] フラグが 1 加算されて“01h”になります。CFCCL0.CFIM ビットを“1” (1 メッセージ受信ごとに割り込み要求発生) にしている場合、CFSTS0.CFRXIF フラグが“1” (送受信 FIFO 受信割り込み要求あり) になります。CFSTS0.CFRXIF フラグはプログラムで“0”にできます。
- (4) 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (5) CFIDL0、CFIDH0、CFSTS0、CFPTR0、CFDF00 ~ CFDF30 レジスタから受信メッセージを読み出し、CFPCTR0 レジスタに“FFh”を書きます。それにより、CFSTS0.CFMC[5:0] フラグが 1 減算されて“00h”になり、CFSTS0.CFEMP フラグが“1” (送受信 FIFO バッファ空) になります。
- (6) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。GCFGL.DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。

- (7) DLC フィルタ処理を通過し、かつ CFCCL0.CFE ビットが“1”(送受信 FIFO バッファを使用する)、CFCCL0.CFDC[2:0] ビットの値が“001b”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFSTS0.CFMC[5:0] フラグが 1 加算されて“01h”になります。CFCCL0.CFIM ビットを“1”(1 メッセージ受信ごとに割り込み要求発生)にしている場合、CFSTS0.CFRXIF フラグが“1”(送受信 FIFO 受信割り込み要求あり)になります。
- また、RFCCm.RFE ビットが“1”(受信 FIFO バッファを使用する)、RFCCm.RFDC[2:0] ビットの値が“001b”以上の場合、受信 FIFO バッファにメッセージが格納されます。RFSTS0.RFMC[5:0] フラグが 1 加算されて“01h”になります。RFCCm.RFIM ビットを“1”(1 メッセージ受信ごとに割り込み要求発生)にしている場合、RFSTS0.RFIF フラグが“1”(受信 FIFO 割り込み要求あり)になります。

36.11 送信手順

36.11.1 送信バッファからの送信手順

図 36.26 に送信バッファからの送信手順を示します。

図 36.27 に 2 つの送信バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 36.28 に 2 つの送信バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

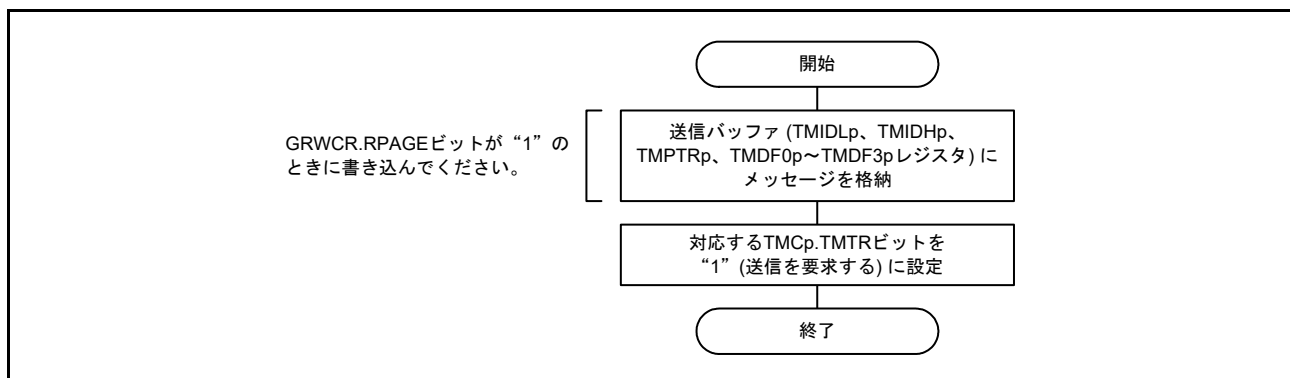


図 36.26 送信バッファからの送信手順

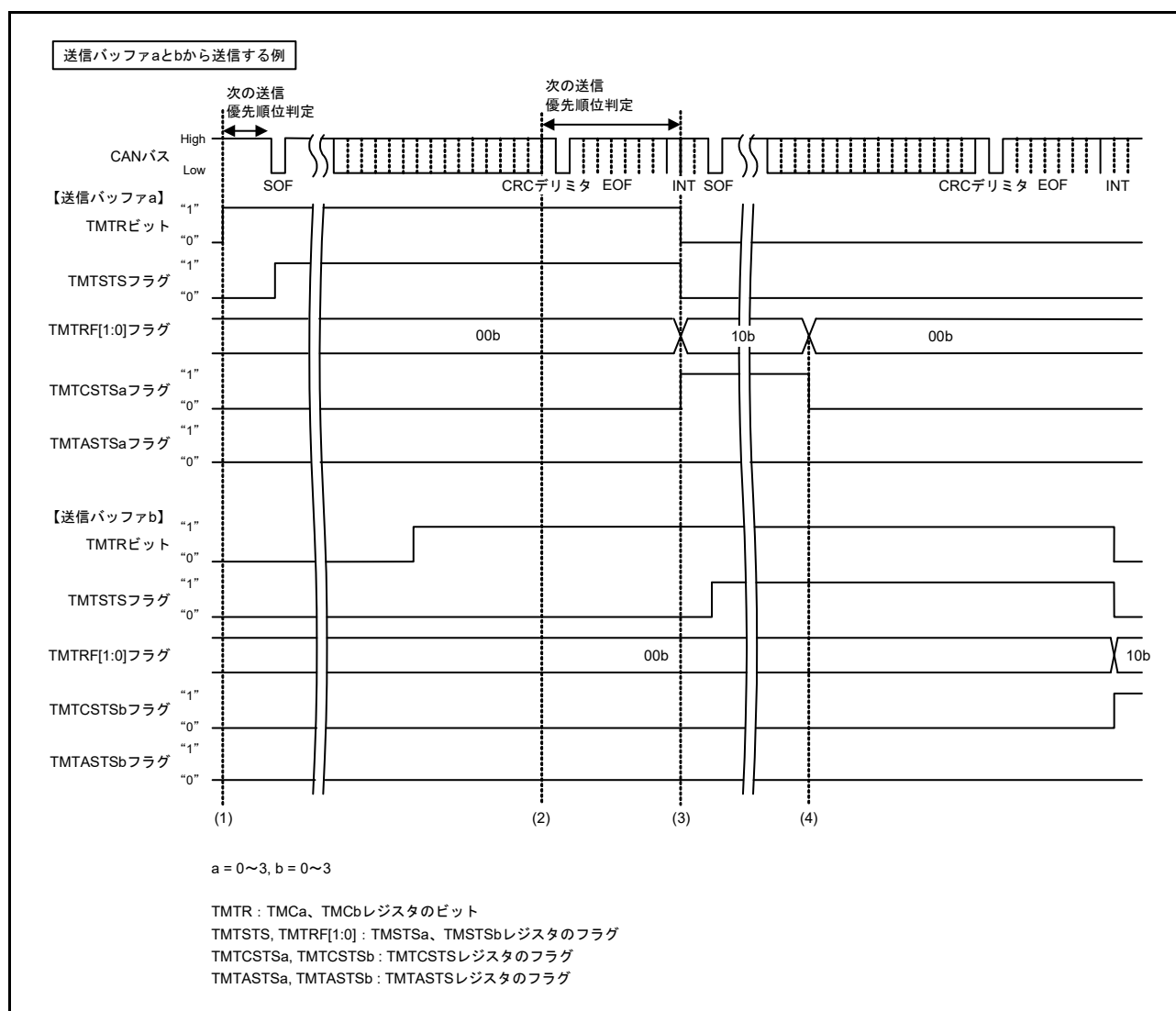


図 36.27 送信バッファの送信タイミング図 (正常に送信完了時)

- (1) CANバスがアイドル状態のとき TMCa.TMTR ビット (a = 0 ~ 3) を“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する TMTSTSa.TMTSTS フラグが“1”(送信中)になり、CANチャネルは送信を開始します。
- (2) CRCデリミタで、バッファからの送信要求があれば、次の優先順位判定を開始します。
- (3) 送信が成功すると、TMSTSa.TMTRF[1:0]フラグは“10b”(送信完了(送信アポート要求なし))、TMSTSa.TMTSTS フラグと TMCa.TMTR ビットは“0”、TMTCSTSa.TMTCSTSa フラグは“1”になります。TMIEC.TMIEa ビットが“1”(割り込み許可)のとき、送信割り込み要求が発生します。割り込み要求をクリアするには、TMSTSa.TMTRF[1:0]フラグを“00b”(送信中または送信要求なし)にしてください。
- (4) 次の送信を開始する前に、TMSTSa.TMTRF[1:0]フラグを“00b”にしてください。次のメッセージを送信バッファに書いてから、TMCa.TMTR ビットを“1”(送信を要求する)にしてください。TMSTSa.TMTRF[1:0]フラグが“00b”のときのみ、TMCa.TMTR ビットを“1”に設定できます。送信を開始後にアービトレーションロストが発生した場合、TMSTSa.TMTSTS フラグは“0”になります。送信の優先順位判定はCRCデリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

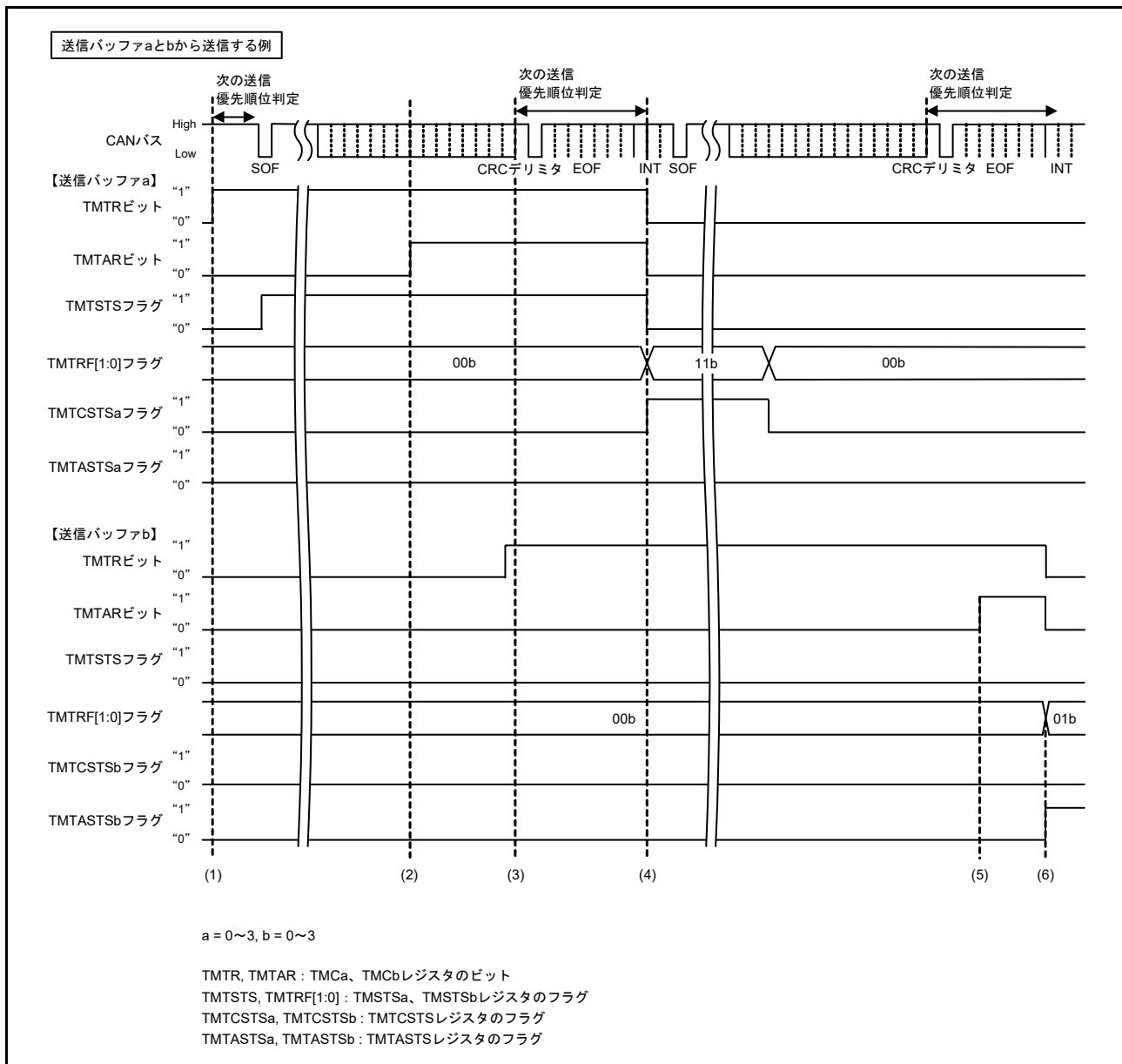


図 36.28 送信バッファの送信タイミング図 (送信アボート完了時)

- (1) CAN バスがアイドル状態のとき TMCa.TMTR ビット ($a=0\sim3$) を“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する TMSTSa.TMTSTS フラグが“1” (送信中) になり、CAN チャンネルは送信を開始します。
- (2) 送信バッファが次の送信に決まっているとき、または現在送信中であるとき、TMCa.TMTAR ビットを“1” (アボート要求する) にしても、エラーまたはアービトレーションロストが発生しない限り、メッセージ送信はアボートされません。
- (3) CRC デリミタで、次の優先順位判定処理を開始します。このタイミング図では、バッファ b は次の送信バッファとして選択されていません。
- (4) 送信が成功すると、TMSTSa.TMTRF[1:0] フラグは“11b” (送信完了 (送信アボート要求あり))、TMSTSa.TMTSTS フラグと TMCa.TMTR ビットは“0”、TMCSTS.TMCSTSa フラグは“1”になります。TMIEC.TMIEa ビットが“1” (割り込み許可) のとき、送信割り込み要求が発生します。割り込み要求をクリアするには、TMSTSa.TMTRF[1:0] フラグを“00b” (送信中または送信要求なし) にしてください。

- (5) CANバス上に他のCANノードが送信している場合 (TMSTSa.TMTSTS フラグは“0”)、対応するチャンネルが優先順位判定中に TMCa.TMTAR ビットを“1”にすると、TMCa.TMTR ビットを“0”にできません。
- (6) 内部処理時間経過後、送信は中止され、TMSTSa.TMTRF[1:0] フラグが“01b”、TMTASTS.TMTASTSa フラグは“1”になります。送信バッファが送信中ではなくて、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、アボート要求はすぐに受け付けられ、TMSTSa.TMTRF[1:0] フラグは“01b”になります。このとき、TMCa.TMTR ビットと TMTAR ビットは“0”になります。CTRHTAIE ビットが“1” (送信アボート割り込み許可) のとき、送信アボートが完了すると割り込み要求が発生します。割り込み要求をクリアするには、TMSTSa.TMTRF[1:0] フラグを“00b”にしてください。

CANチャンネルが送信を開始後にアービトレーションロストが発生した場合、TMSTSa.TMTSTS フラグは“0”になります。優先順位判定はCRCデリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

36.11.2 送受信 FIFO バッファからの送信手順

図 36.29 に送受信 FIFO バッファからの送信手順を示します。

図 36.30 に送受信 FIFO バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 36.31 に送受信 FIFO バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

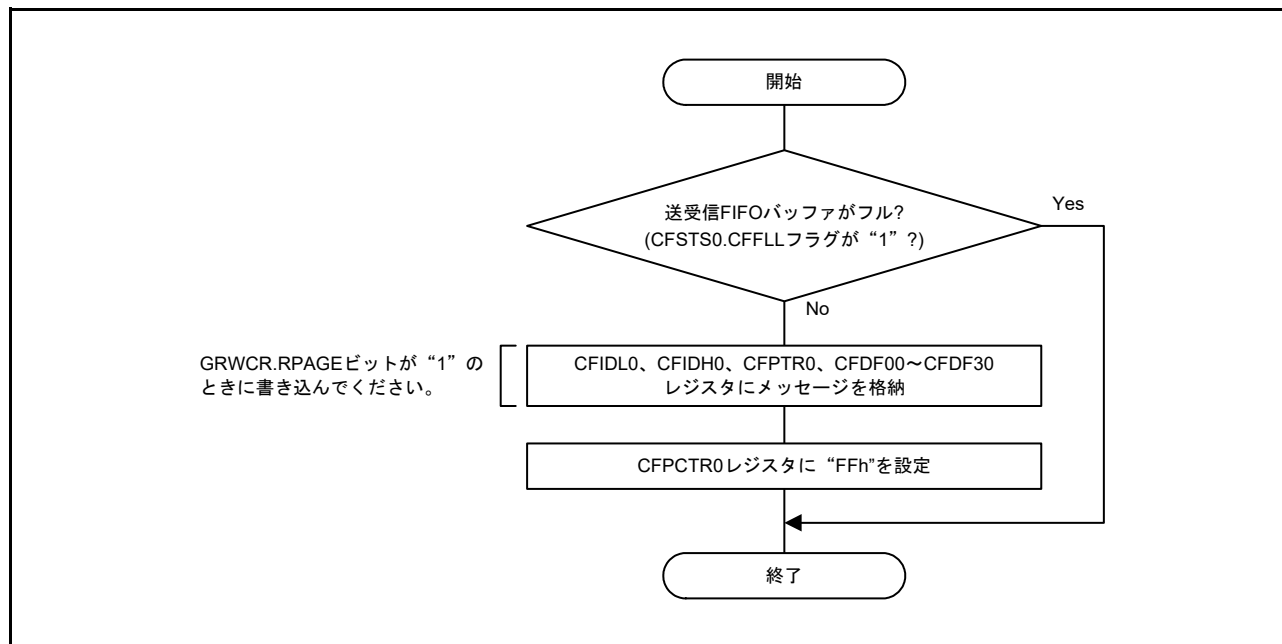


図 36.29 送受信 FIFO バッファからの送信手順

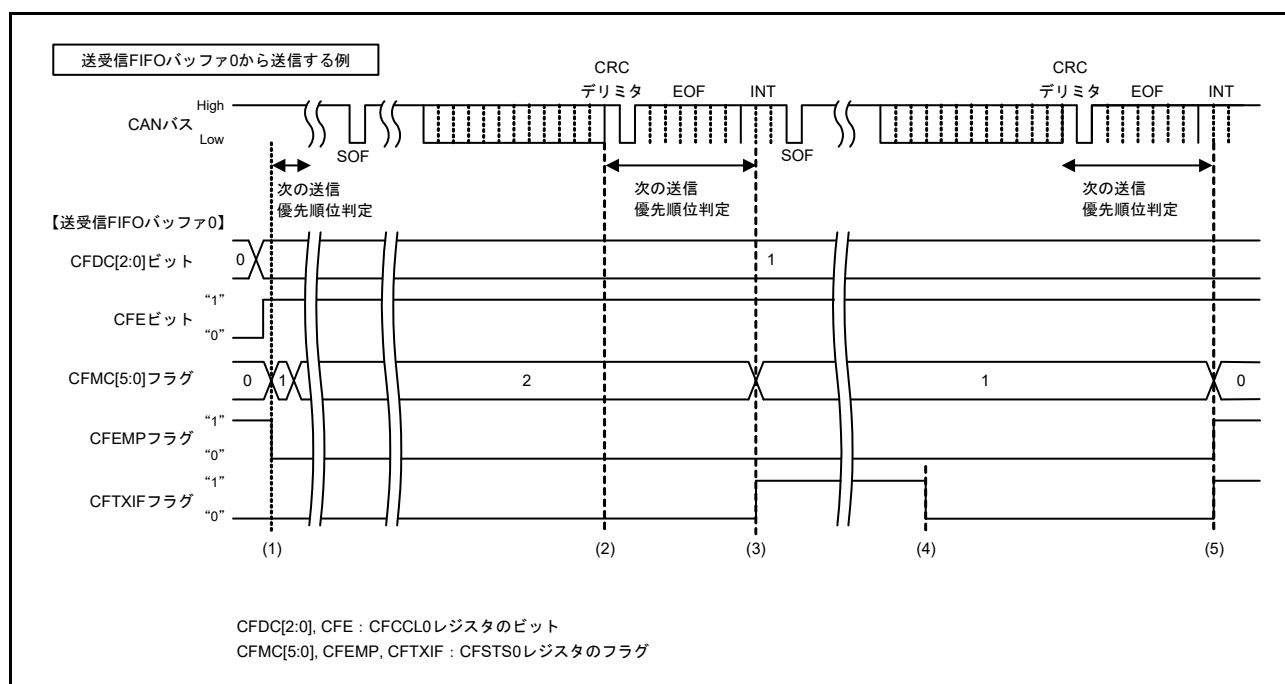


図 36.30 送受信 FIFO バッファの送信タイミング図 (正常に送信完了時)

- (1) CANバスがアイドル状態のとき、CFCL0.CFEビットが“1”(送受信FIFOバッファ0を使用する)、CFCL0.CFDC[2:0]ビットが“001b”(4メッセージ)以上、CFSTS0.CFMC[5:0]フラグの値が“01h”以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。
- (2) バッファからの送信要求があれば、CRCデリミタで次の優先順位判定処理を開始します。
- (3) 送信が成功すると、CFSTS0.CFMC[5:0]フラグが1減算されます。CFCL0.CFIMビットを“1”(1メッセージ送信ごとに割り込み要求発生)にした場合、CFSTS0.CFTXIFフラグが“1”(送受信FIFO送信割り込み要求あり)になります。
- (4) CFSTS0.CFTXIFフラグはプログラムでクリアできます。
- (5) 送受信FIFOバッファ0からの送信が完了し、CFSTS0.CFMC[5:0]フラグが1減算されます。CFSTS0.CFMC[5:0]フラグが“00h”になるため、CFSTS0.CFEMPフラグが“1”(送受信FIFOバッファ空)になります。CFSTS0.CFEMPフラグが“1”になるまで送信は続けられます。CFSTS0.CFLLフラグが“1”(送受信FIFOバッファフル)になるまで、送信メッセージをFIFOバッファに格納することができます。

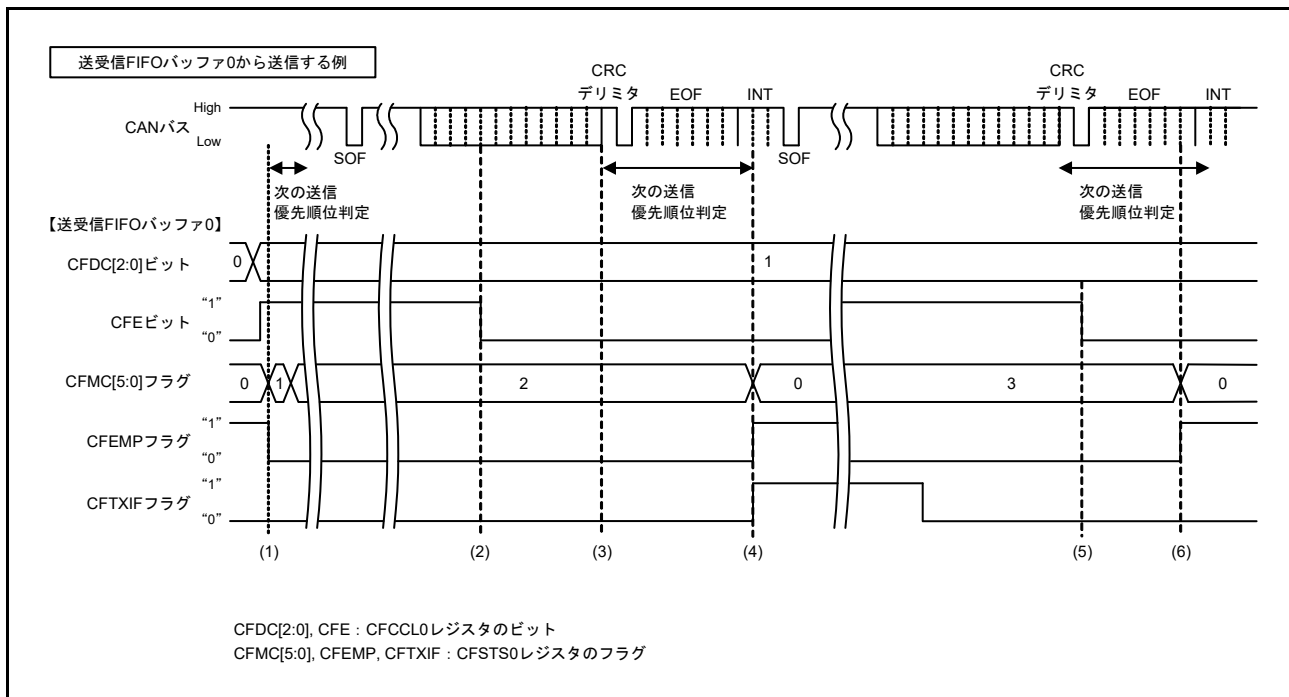


図 36.31 送受信 FIFO バッファの送信タイミング図 (送信アポート完了時)

- (1) CANバスがアイドル状態のとき、CFCC0.CFEビットが“1”(送受信FIFOバッファ0を使用する)、CFCC0.CFDC[2:0]ビットが“001b”(4メッセージ)以上、CFSTS0.CFMC[5:0]フラグの値が“01h”以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。
- (2) メッセージが送信中、または次の送信に決まっているとき、アービトラージョンロストまたはエラーが発生しない限り、CFCC0.CFEビットを“0”(送受信FIFOバッファ0を使用しない)にしても送信はアポートされません。
- (3) バッファからの送信要求があれば、CRCデリミタで次の優先順位判定処理を開始します。この図では、送受信FIFOバッファ0は次の送信用バッファとして選択されていません。
- (4) 送信が成功すると、CFSTS0.CFMC[5:0]フラグの値が“00h”になります。CFCC0.CFIMビットを“1”(1メッセージ送信ごとに割り込み要求発生)にした場合、CFSTS0.CFTXIFフラグが“1”(送受信FIFOバッファ送信割り込み要求あり)になります。CFSTS0.CFTXIFフラグはプログラムでクリアできます。
- (5) CANバス上の他のCANノードが送信中の場合(送受信FIFOバッファ0からは送信されていない)、送信の優先順位判定中にCFCC0.CFEビットを“0”(送受信FIFOバッファ0を使用しない)にしても、送受信FIFOバッファ0は直ちに禁止にはできません(CFSTS0.CFEMPフラグは直ちに“1”(送受信FIFOバッファ空)にはなりません)。
- (6) 内部処理時間経過後、送受信FIFOバッファは禁止され、CFSTS0.CFMC[5:0]フラグは“00h”になり、CFSTS0.CFEMPフラグは“1”になります。送受信FIFOバッファ0が送信中でもなく、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、直ちに送受信FIFOバッファ0は禁止されます(CFSTS0.CFMC[5:0]フラグは“00h”になり、CFSTS0.CFEMPフラグは“1”になります)。

36.11.3 送信履歴バッファの読み出し手順

送信履歴データは、THLACC0レジスタで読めます。1データを読んだ後、対応するTHLPCTR0レジスタへ“FFh”を書くと、次のデータへアクセスできます。図36.32に送信履歴バッファの読み出し手順を示します。

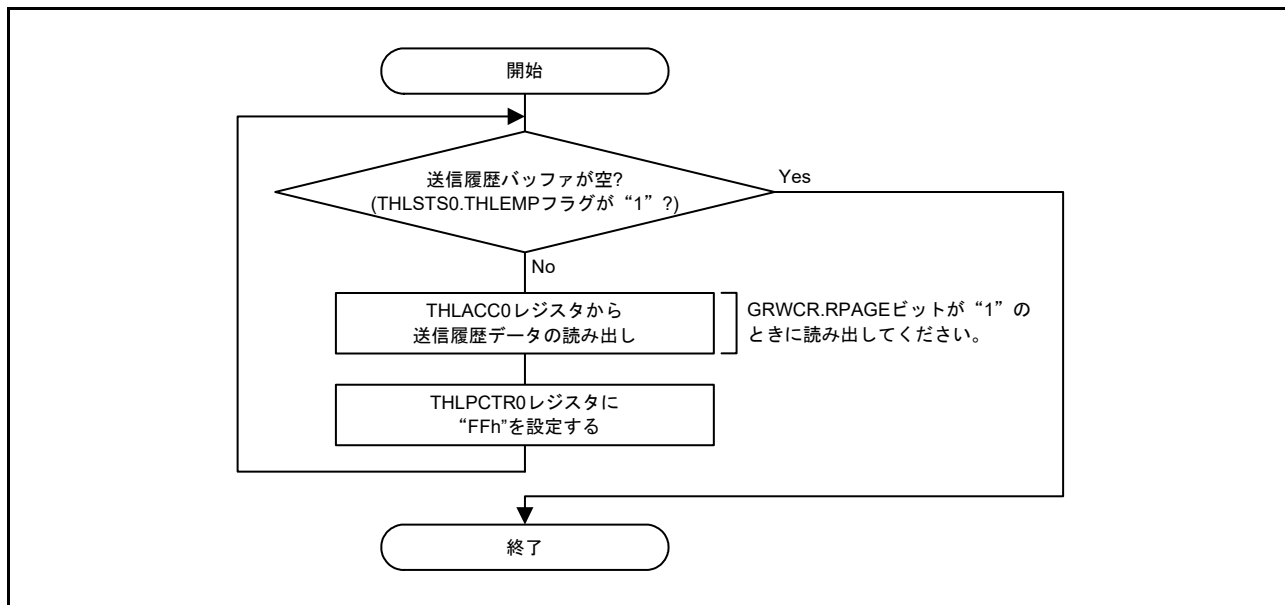


図 36.32 送信履歴バッファの読み出し手順

36.12 テスト設定

36.12.1 セルフテストモードの設定手順

セルフテストモードでは、自ら送信したメッセージを受信することにより、チャンネル単体で通信テストを行うことができます。

図 36.33 にセルフテストモードの設定手順を示します。

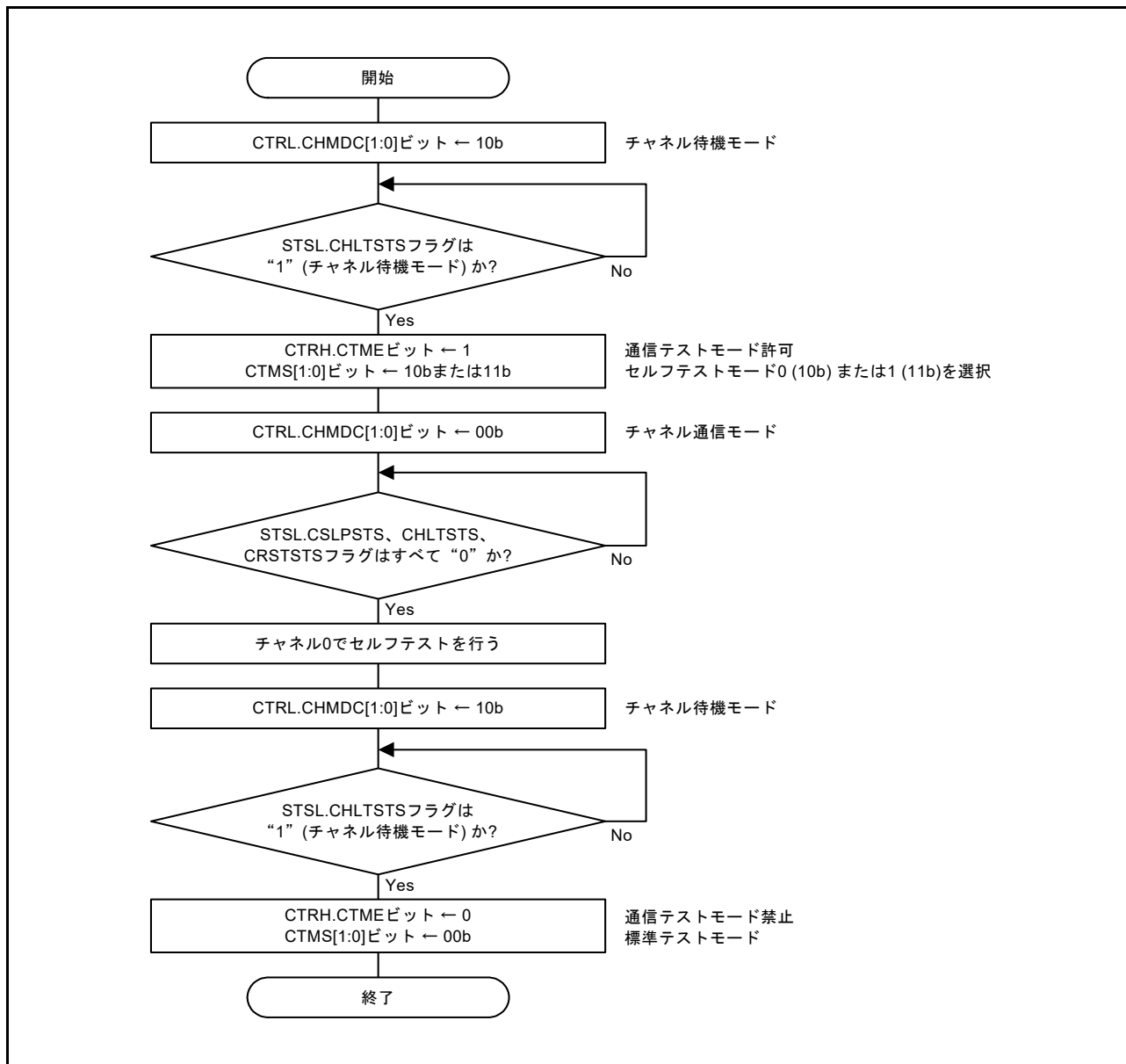


図 36.33 セルフテストモードの設定手順

36.12.2 プロテクト解除手順

表 36.14 に示すグローバルテスト機能はプロテクトされているため、解除データ 1 と解除データ 2 を連続して GLOCKK.LOCK[15:0] ビットに書いてから、それぞれのテスト機能ビットを“1”にしてください。

表 36.14 テスト機能用プロテクト解除データ

テスト機能	プロテクト解除データ1	プロテクト解除データ2	対象ビット
RAM テスト	7575h	8A8Ah	GTSTCTRL.RTME ビット

間違った値を GLOCKK.LOCK[15:0] ビットに書いた場合、再度、解除データ 1 の書き込みからやり直してください。

図 36.34 にプロテクト解除手順を示します。

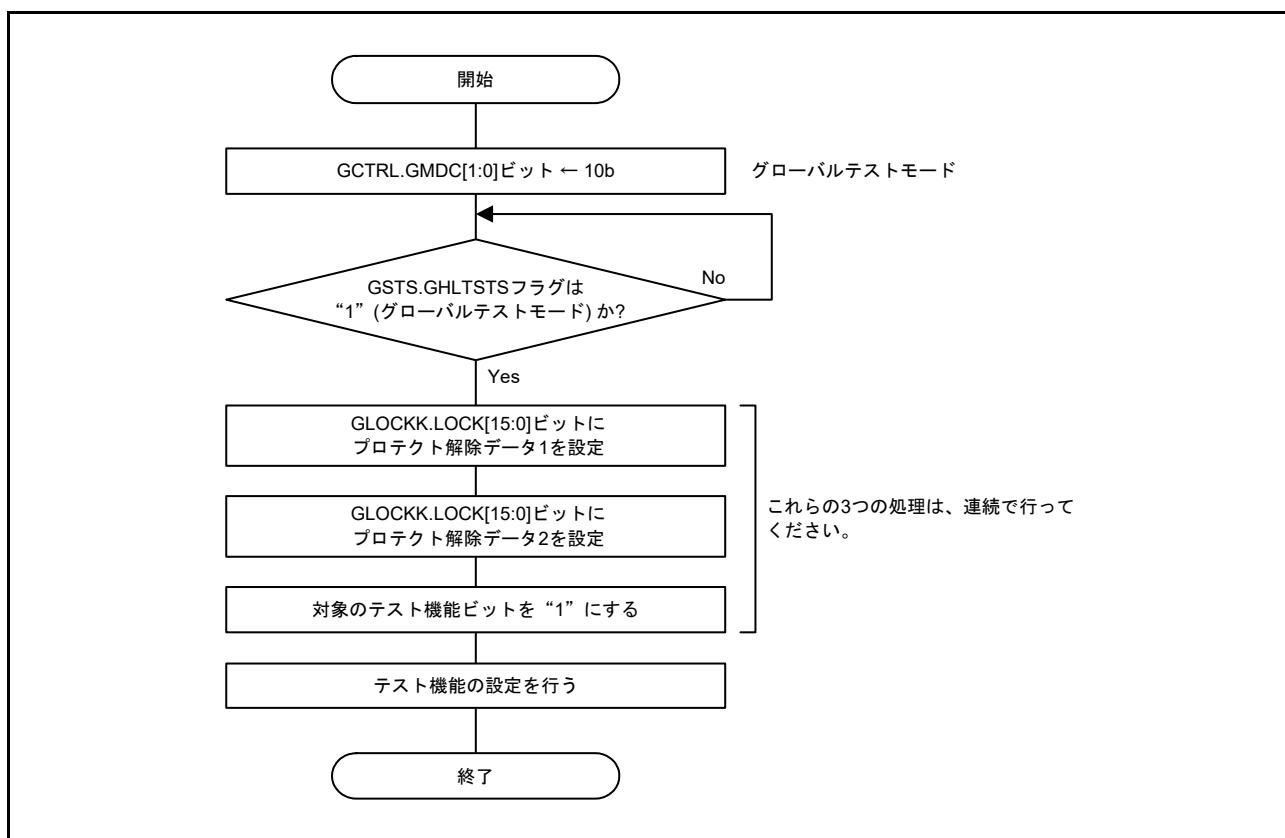


図 36.34 プロテクト解除手順

36.12.3 RAMテストの設定手順

RAMテストには、CAN用RAMの読み書きテストがあります。読み書きテストでは、RAMに書いた値が正しく読めることを確認できます。RAMテストを終了する前に、CAN用RAMの全ページに“0000h”を書いてください。

図 36.35 に RAM テストの設定手順を示します。

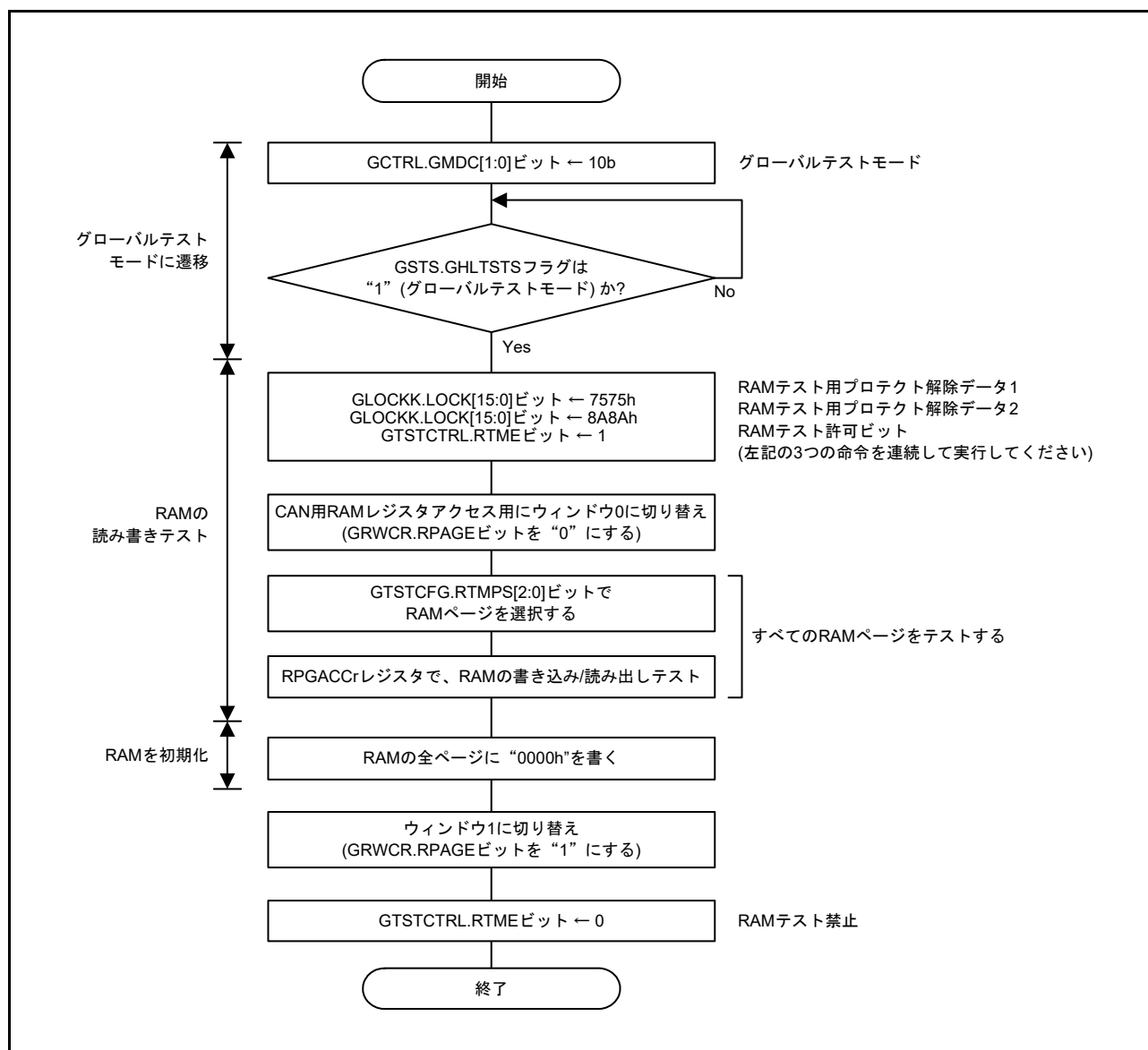


図 36.35 RAMテストの設定手順

36.13 CANモジュールの注意事項

- グローバルモードを変更する場合は、GSTS.GSLPSTS、GHLTSTS、GRSTSTS フラグで遷移を確認してください。チャンネルモードを変更する場合は、STSL.CSLPSTS、CHLTSTS、CRSTSTS フラグで遷移を確認してください。
- アクセプタンスフィルタ処理は、小さい番号の受信ルールから順にチェックを開始します。複数の受信ルールに同じ ID、IDE、RTR ビットの値を設定した場合、小さい番号の受信ルールでアクセプタンスフィルタ処理が通過します。その後の DLC フィルタ処理を通過しなかった場合も、アクセプタンスフィルタ処理には戻らず、データ処理は終了し、メッセージはバッファに格納されません。
- 送信バッファを送受信 FIFO バッファにリンクした場合、対応する送信バッファの制御レジスタ (TMCp レジスタ) は“00h”にしてください。また、対応する送信バッファのステータスレジスタ (TMSTSp レジスタ) は使用しないでください。その他のステータスレジスタ (TMTRSTS、TMTCSSTS、TMTASTS レジスタ) は、送受信 FIFO にリンクした送信バッファに対応するフラグは変化しません。対応する割り込み許可レジスタ (TMIEC レジスタ) の許可ビットは“0” (割り込み禁止) にしてください。
- タイムスタンプカウンタのクロック源に CAN ビットタイムクロックを選択した場合、対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。
- 受信 FIFO バッファ、送受信 FIFO バッファがフルのときに、新しい受信メッセージを格納しようとした場合、新しいメッセージは破棄されます。送受信 FIFO バッファに新しい送信メッセージを格納しようとする場合、送受信 FIFO バッファがフルでないことを確認してください。
- CAN モジュールの割り込み要求フラグは、割り込みが受け付けられても自動的に“0”になりませんので、プログラムで“0”にしてください。これらのフラグが“1”の場合、それ以降に成立した割り込み要因により割り込みは発生しません。
- 複数の割り込み要因が1つの割り込みにまとめられている CAN 関連割り込みを発生させるためには、以下の条件を満たす必要があります。
割り込み要因に対応する CAN モジュールの割り込み要求フラグがすべて“0” (ただし、表 36.11 にある対応する割り込み許可ビットが“1”の割り込み要求フラグのみが対象)。
- 未使用の受信バッファレジスタ (RMIDLn, RMIDHn, RMTSn, RMPTRn, RMDf0n ~ RMDf3n (n = 0 ~ 15)), 受信 FIFO アクセスレジスタ (RFIDLm, RFIDHm, RFTSm, RFPTRm, RFDF0m ~ RFDF3m (m = 0, 1)) と送受信 FIFO アクセスレジスタ (CFIDL0, CFIDH0, CFTS0, CFPTR0, CFDF00 ~ CFDF30) の値は、一度、グローバルリセットモードを抜けてグローバル動作モードやグローバルテストモードに遷移すると不定になります。

37. シリアルサウンドインタフェース (SSI)

本 MCU は、I²S バス仕様に準拠した 1 チャンネルのシリアルサウンドインタフェース (SSI) を内蔵しています。SSI は、I²S バス互換、および MSB ファースト右詰め/左詰めフォーマットに対応しており、さまざまなデバイスとオーディオデータの送受信を行うことができます。

37.1 概要

表 37.1 SSI の仕様

項目	内容
チャンネル数	1 チャンネル (SSI0)
動作モード	非圧縮モード
転送フォーマット	<ul style="list-style-type: none"> • I²S フォーマットに対応可能 • MSB ファーストに対応可能 • 右詰め/左詰めを選択可能
機能	<ul style="list-style-type: none"> • トランスミッタ、またはレシーバのいずれとしても動作可能 • チャンネル0は全二重通信可能 • 各種オーディオフォーマットに対応可能 • SSISCK0 (シリアルビットクロック) は 16fs、32fs、48fs、64fs (fs : サンプルレイト) から選択可能 • マスタクロック (MCLK) を以下のいずれかから選択可能 オーディオ用マスタクロック端子 (AUDIO_MCLK) : 1 ~ 25MHz メインクロック • 送信部、受信部に 8 段 FIFO バッファ内蔵 • データ転送停止時にワードセレクト (SSIWS0) を停止するかしないかを選択可能
割り込み要因	3種類 <ul style="list-style-type: none"> • 通信エラー 送信アンダフロー、送信オーバフロー、受信アンダフロー、受信オーバフロー、アイドル • 受信データフル • 送信データエンプティ
消費電力低減機能	モジュールストップ状態への設定が可能

図 37.1 に SSI のブロック図を示します。

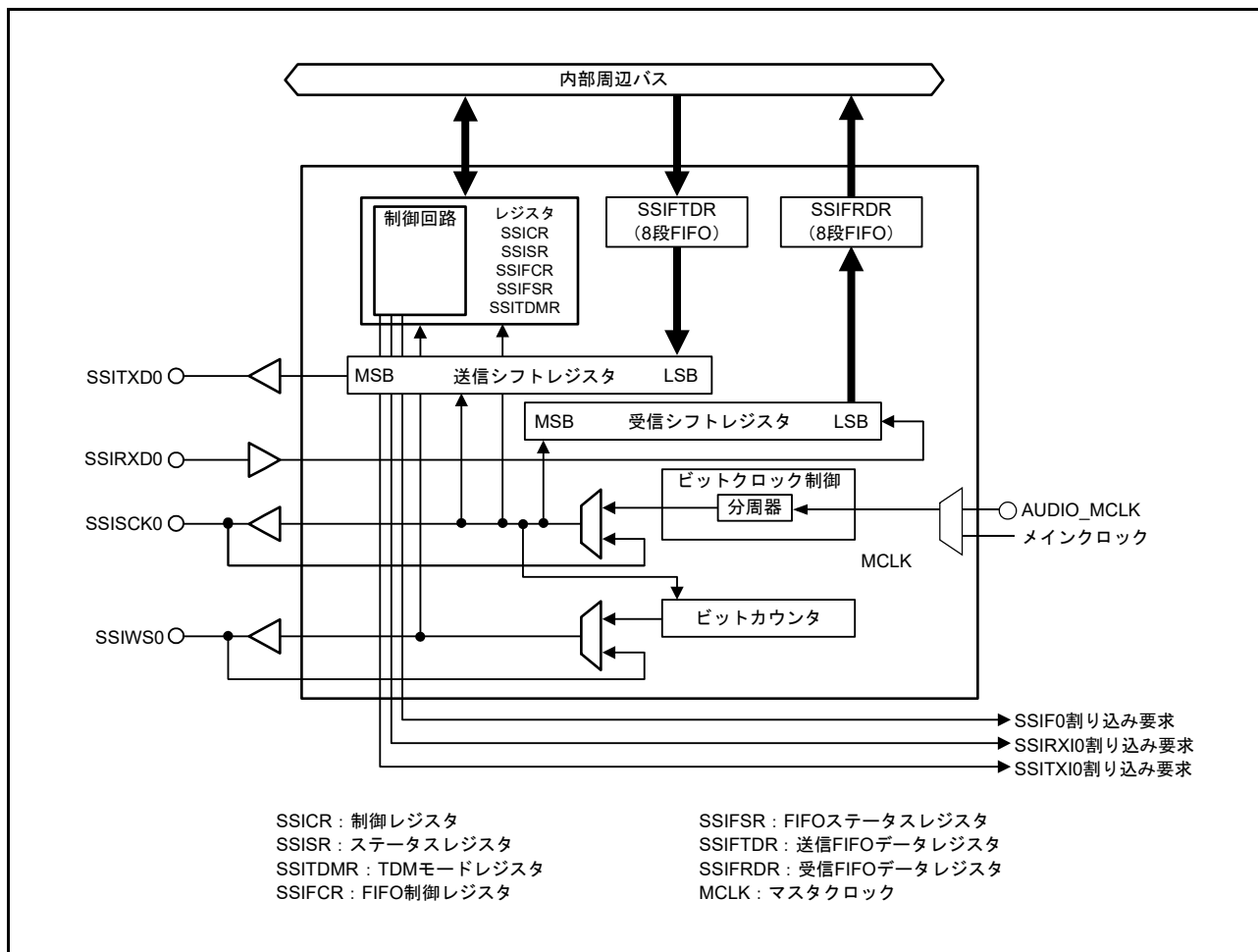


図 37.1 SSI のブロック図

表 37.2 に SSI の入出力端子を示します。

表 37.2 SSIの入出力端子

チャンネル	端子名	入出力	機能
SSI0	SSISCK0	入出力	シリアルビットクロック端子
	SSIWS0	入出力	ワードセレクト端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	AUDIO_MCLK	入力	オーディオ用マスタクロック端子 (マスタクロックを入力)

37.2 レジスタの説明

37.2.1 制御レジスタ (SSICR)

アドレス SSI0.SSICR 0008 A500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	CHNL[1:0]	DWL[2:0]		SWL[2:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]			MUEN	—	TEN	REN	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W																																										
b0	REN	受信許可ビット	0 : 受信動作を禁止 1 : 受信動作を許可	R/W																																										
b1	TEN	送信許可ビット	0 : 送信動作を禁止 1 : 送信動作を許可	R/W																																										
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																										
b3	MUEN	ミュート許可ビット(注1)	0 : ミュート状態にしない 1 : ミュート状態にする	R/W																																										
b7-b4	CKDV[3:0]	シリアルビットクロック周波数設定ビット(注3)	<table border="0"> <tr> <td>b7</td> <td>b4</td> <td></td> </tr> <tr> <td>0</td><td>0</td><td>0 : MCLK</td> </tr> <tr> <td>0</td><td>0</td><td>1 : MCLK/2</td> </tr> <tr> <td>0</td><td>0</td><td>1 0 : MCLK/4</td> </tr> <tr> <td>0</td><td>0</td><td>1 1 : MCLK/8</td> </tr> <tr> <td>0</td><td>1</td><td>0 0 : MCLK/16</td> </tr> <tr> <td>0</td><td>1</td><td>0 1 : MCLK/32</td> </tr> <tr> <td>0</td><td>1</td><td>1 0 : MCLK/64</td> </tr> <tr> <td>0</td><td>1</td><td>1 1 : MCLK/128</td> </tr> <tr> <td>1</td><td>0</td><td>0 0 : MCLK/6</td> </tr> <tr> <td>1</td><td>0</td><td>0 1 : MCLK/12</td> </tr> <tr> <td>1</td><td>0</td><td>1 0 : MCLK/24</td> </tr> <tr> <td>1</td><td>0</td><td>1 1 : MCLK/48</td> </tr> <tr> <td>1</td><td>1</td><td>0 0 : MCLK/96</td> </tr> </table> 上記以外は設定しないでください	b7	b4		0	0	0 : MCLK	0	0	1 : MCLK/2	0	0	1 0 : MCLK/4	0	0	1 1 : MCLK/8	0	1	0 0 : MCLK/16	0	1	0 1 : MCLK/32	0	1	1 0 : MCLK/64	0	1	1 1 : MCLK/128	1	0	0 0 : MCLK/6	1	0	0 1 : MCLK/12	1	0	1 0 : MCLK/24	1	0	1 1 : MCLK/48	1	1	0 0 : MCLK/96	R/W
b7	b4																																													
0	0	0 : MCLK																																												
0	0	1 : MCLK/2																																												
0	0	1 0 : MCLK/4																																												
0	0	1 1 : MCLK/8																																												
0	1	0 0 : MCLK/16																																												
0	1	0 1 : MCLK/32																																												
0	1	1 0 : MCLK/64																																												
0	1	1 1 : MCLK/128																																												
1	0	0 0 : MCLK/6																																												
1	0	0 1 : MCLK/12																																												
1	0	1 0 : MCLK/24																																												
1	0	1 1 : MCLK/48																																												
1	1	0 0 : MCLK/96																																												
b8	DEL	シリアルデータディレイビット(注3)	0 : I ² S フォーマット互換 SSIWS0とSSITXD0/SSIRXD0間で1クロックサイクルの遅延 1 : MSBファースト右詰め、左詰めフォーマット互換 SSIWS0とSSITXD0/SSIRXD0間の遅延なし	R/W																																										
b9	PDTA	パラレルデータアロケーションビット(注3)	(データワード長が8, 16ビットのとき) 0 : パラレルデータ (SSIFTDR, SSIFRDR) の下位側を先行して送受信 1 : パラレルデータ (SSIFTDR, SSIFRDR) の上位側を先行して送受信 (データワード長が18, 20, 22, 24ビットのとき) 0 : パラレルデータ (SSIFTDR, SSIFRDR) を左詰め 1 : パラレルデータ (SSIFTDR, SSIFRDR) を右詰め	R/W																																										
b10	SDTA	シリアルデータアライメントビット(注3)	0 : シリアルデータ、パディングビットの順に送受信 1 : パディングビット、シリアルデータの順に送受信	R/W																																										
b11	SPDP	シリアルパディング極性ビット(注3)	0 : パディングデータは“0” 1 : パディングデータは“1”	R/W																																										

ビット	シンボル	ビット名	機能	R/W
b12	SWSP	ワードセレクト極性ビット	0 : SSIWS0は第1システムワードでLow、第2システムワードでHigh 1 : SSIWS0は第1システムワードでHigh、第2システムワードでLow	R/W
b13	SCKP	シリアルビットクロック極性ビット (注3)	0 : SSIWS0、SSITXD0はSSISCK0の立ち下がリエッジで変化 (SSIWS0、SSIRXD0はSSISCK0の立ち上がりエッジでサンプリング) 1 : SSIWS0、SSITXD0はSSISCK0の立ち上がりエッジで変化 (SSIWS0、SSIRXD0はSSISCK0の立ち下がリエッジでサンプリング)	R/W
b14	SWSD	ワードセレクト方向ビット(注2、注3)	0 : SSIWS0端子は入力 (スレーブモード) 1 : SSIWS0端子は出力 (マスターモード)	R/W
b15	SCKD	シリアルビットクロック方向ビット (注2、注3)	0 : SSISCK0端子は入力 (スレーブモード) 1 : SSISCK0端子は出力 (マスターモード)	R/W
b18-b16	SWL[2:0]	システムワード長ビット(注3)	システムワード長は、シリアルビットクロック周波数/2fsを設定してください b18 b16 0 0 0 : 8ビット (シリアルビットクロック周波数 = 16fs) 0 0 1 : 16ビット (シリアルビットクロック周波数 = 32fs) 0 1 0 : 24ビット (シリアルビットクロック周波数 = 48fs) 0 1 1 : 32ビット (シリアルビットクロック周波数 = 64fs) 上記以外は設定しないでください	R/W
b21-b19	DWL[2:0]	データワード長ビット(注3)	b21 b19 0 0 0 : 8ビット 0 0 1 : 16ビット 0 1 0 : 18ビット 0 1 1 : 20ビット 1 0 0 : 22ビット 1 0 1 : 24ビット 上記以外は設定しないでください	R/W
b23-b22	CHNL[1:0]	チャンネルビット(注3)	b23 b22 0 0 : 1チャンネル 上記以外は設定しないでください	R/W
b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25	I IEN	アイドル割り込み許可ビット	0 : アイドル割り込みを禁止 1 : アイドル割り込みを許可	R/W
b26	ROIEN	受信オーバーフロー割り込み許可ビット	0 : 受信オーバーフロー割り込みを禁止 1 : 受信オーバーフロー割り込みを許可	R/W
b27	RUIEN	受信アンダフロー割り込み許可ビット	0 : 受信アンダフロー割り込みを禁止 1 : 受信アンダフロー割り込みを許可	R/W
b28	TOIEN	送信オーバーフロー割り込み許可ビット	0 : 送信オーバーフロー割り込みを禁止 1 : 送信オーバーフロー割り込みを許可	R/W
b29	TUIEN	送信アンダフロー割り込み許可ビット	0 : 送信アンダフロー割り込みを禁止 1 : 送信アンダフロー割り込みを許可	R/W
b30	CKS	オーディオクロック選択ビット(注3)	0 : AUDIO_MCLK入力 1 : メインクロック	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ミュート中は、シリアルデータ値に関係なくLowを出力しますが、モジュール内部のデータ転送は停止しません。送信FIFOのデータ数は減少していきますので、送信アンダフローを発生させないためには、SSIFTDRレジスタにダミーデータを書き込んでください。また、MUENビットを“1”にすると、SSIWS0端子に同期せずSSITXD0端子をLowにします。

注2. SWSDビットとSCKDビットには同じ値を設定してください。それ以外の設定は禁止です。

注3. アイドル状態以外での書き換えは禁止です。

REN ビット (受信許可ビット)

受信動作を許可または禁止します。REN ビットを“1”にすると、受信動作を開始します。

TEN ビット (送信許可ビット)

送信動作を許可または禁止します。TEN ビットを“1”にすると、送信動作を開始します。

SSI0 の SSITXD0 端子は、TEN ビットの設定によらず、マルチファンクションピンコントローラ (MPC) で端子の機能を SSITXD0 に設定すると出力になります。

表 37.3 SSITXD0, SSIRXD0の端子状態

レジスタ設定			SSI0	
MPC 設定	TEN	REN	SSITXD0	SSIRXD0
SSI の端子	0	0	出力	入力
	0	1	出力	入力
	1	0	出力	入力
	1	1	出力	入力
SSI 以外の機能	x	x	選択した機能に依存	選択した機能に依存

x : Don't care

— : 設定しないでください。

CKDV[3:0] ビット (シリアルビットクロック周波数設定ビット)

マスタモード時のシリアルビットクロックの周波数を選択するビットです。スレーブモードのときは SSISCK0 端子からの入力クロックが使用されますので、設定は無視されます。シリアルビットクロックはシフトレジスタの動作クロックになります。

[計算例]

f_s (サンプリングレート) = SSIWS0 周波数 = 96kHz、システムワード長 = 32 ビットの場合

ビットクロック周波数 = 96kHz × 32 ビット × 2 = 6.144MHz が必要となるため、MCLK = 12.288MHz の場合は、CKDV[3:0] = 0001b (MCLK/2) を設定します。

PDTA ビット (パラレルデータアロケーション ビット)

このビットの設定は、受信モード時の SSIFRDR レジスタと送信モード時の SSIFTDR レジスタに格納するデータの割り当てを指定します。

受信動作時、SSI はシリアルバスから受信したデータを PDTA ビットの設定に従って、SSIFRDR レジスタへ格納します。

送信動作時、SSI は SSIFTDR レジスタに格納したデータを送信シフトレジスタに格納し PDTA ビットの設定に従って、シリアルバスへ送信します。

(1) PDTA ビットが“0” のとき

DWL[2:0]ビット	SSIFTDR/SSIFRDRレジスタ			
000b	31 第4ワード	24 23 第3ワード	16 15 第2ワード	8 7 第1ワード
001b	31 第2ワード		16 15 第1ワード	
010b	31 有効		14 13 無効	
011b	31 有効		12 11 無効	
100b	31 有効		10 9 無効	
101b	31 有効		8 7 無効	

(2) PDTA ビットが“1” のとき

DWL[2:0]ビット	SSIFTDR/SSIFRDRレジスタ			
000b	31 第1ワード	24 23 第2ワード	16 15 第3ワード	8 7 第4ワード
001b	31 第1ワード		16 15 第2ワード	
010b	31 無効		18 17 有効	
011b	31 無効		20 19 有効	
100b	31 無効		22 21 有効	
101b	31 無効		24 23 有効	

SCKP ビット (シリアルビットクロック極性ビット)

SSISCK0 信号の極性を設定するビットです。

表 37.4 に SCKP ビットの設定と各信号の出力/入力タイミングについて記載します。

表 37.4 SCKP ビットの設定と各信号の動作タイミング

	SCKP ビット = 0	SCKP ビット = 1
受信時の SSIRXD0 入力サンプリングタイミング	SSISCK0 の立ち上がりエッジ	SSISCK0 の立ち下がりエッジ
送信時の SSITXD0 出力変化タイミング	SSISCK0 の立ち下がりエッジ	SSISCK0 の立ち上がりエッジ
スレーブモード時 (SWSD ビット = 0) の SSIWS0 入力サンプリングタイミング	SSISCK0 の立ち上がりエッジ	SSISCK0 の立ち下がりエッジ
マスターモード時 (SWSD ビット = 1) の SSIWS0 出力変化タイミング	SSISCK0 の立ち下がりエッジ	SSISCK0 の立ち上がりエッジ

CHNL[1:0] ビット (チャンネルビット)

システムワードごとにデコードされるチャンネル数を選択するビットです。本モジュールでは、“00b” を設定してください。

37.2.2 ステータスレジスタ (SSISR)

アドレス SSIO.SSISR 0008 A504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	TCHNO[1:0]	TSWNO	RCHNO[1:0]	RSWNO	IDST		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	IDST	アイドルステータスフラグ	0 : SSIが通信動作中 1 : SSIが通信アイドル中	R
b1	RSWNO	受信システムワード番号フラグ	受信ワード番号	R
b3-b2	RCHNO[1:0]	受信チャンネル番号フラグ	読んだ場合“00b”が読めます	R
b4	TSWNO	送信システムワード番号フラグ	送信ワード番号	R
b6-b5	TCHNO[1:0]	送信チャンネル番号フラグ	読んだ場合“00b”が読めます	R
b24-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25	IIRQ	アイドル割り込みステータスフラグ	0 : アイドル状態ではない 1 : アイドル状態	R
b26	ROIRQ	受信オーバーフロー割り込みステータスフラグ	0 : 受信オーバーフローは発生していない 1 : 受信オーバーフローが発生	R/(W) (注1)
b27	RUIRQ	受信アンダフロー割り込みステータスフラグ	0 : 受信アンダフローは発生していない 1 : 受信アンダフローが発生	R/(W) (注1)
b28	TOIRQ	送信オーバーフロー割り込みステータスフラグ	0 : 送信オーバーフローは発生していない 1 : 送信オーバーフローが発生	R/(W) (注1)
b29	TUIRQ	送信アンダフロー割り込みステータスフラグ	0 : 送信アンダフローは発生していない 1 : 送信アンダフローが発生	R/(W) (注1)
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグが“1”であることを確認した後、“0”を書くと“0”になります。また、フラグをクリアする場合は、クリアしたいフラグにのみ“0”を、他のフラグには“1”を書いてください。なお、“1”になっていないフラグに“0”を書かないでください。

IDST フラグ (アイドルステータスフラグ)

本ステータスフラグは、通信が停止したアイドル状態であることを示します。

このフラグは、SSICR.TEN ビットまたは SSICR.REN ビットを“1”に設定後、通信が開始したとき、“0”になります。また、TEN ビット、REN ビットがともに“0”になり、かつシステムワードの通信が終了すると、“1”になります。

なお、スレーブモードにおいて、通信が終了する前に外部デバイスがシリアルビットクロック入力を停止すると、このフラグは“1”になりません。

RSWNO フラグ (受信システムワード番号フラグ)

このフラグは、初期値が“1”で受信シフトレジスタから SSIFRDR レジスタにデータが転送されると値が反転します。

SSICR.REN ビットが“0”から“1”に変化したときに、“1”に初期化されます。

SSICR.DWL[2:0] ビットで指定するデータワード長が 18 ビット以上の場合、受信シフトレジスタから SSIFRDR レジスタに転送されたデータがどのシステムワードであるかを示します。

TSWNO フラグ (送信システムワード番号フラグ)

現在のワード番号を示します。

このフラグは、初期値が“1”で SSIFTDR レジスタから、送信シフトレジスタにデータが転送されると値が反転します。

SSICR.TEN ビットが“0”から“1”に変化したときに、“1”に初期化されます。

SSICR.DWL[2:0] ビットで指定するデータワード長が 18 ビット以上の場合、SSIFTDR レジスタから送信シフトレジスタに転送されたデータのシステムワードを示します。

IIRQ フラグ (アイドル割り込みステータスフラグ)

本ステータスフラグは SSI がアイドル状態であるかどうかを示します。ポーリングを可能にするため、このフラグは、SSICR.IIEN ビットの設定にかかわらず“1”になります。

割り込みは、SSICR.IIEN ビットを“0”にすることでマスクできますが、このフラグに“0”を書き込んでも割り込みをクリアできません。

IIRQ フラグ = 1 かつ SSICR.IIEN ビット = 1 のとき、割り込みが発生します。

ROIRQ フラグ (受信オーバフロー割り込みステータスフラグ)

本ステータスフラグは要求レートより高いレートで受信データが供給されたことを示します。受信オーバフローが発生した場合は、受信を停止したのちに再度フローをはじめから実行してください。

このフラグは、SSICR.ROIEN ビットの設定にかかわらず“1”になります。“0”にするには、“1”になっていることを確認した後、“0”を書き込んでください。

ROIRQ フラグ = 1 かつ SSICR.ROIEN ビット = 1 のとき、割り込みが発生します。

ROIRQ フラグ = 1 のとき、受信 FIFO がフル (SSIFSR.RDC[3:0] フラグ = 8h) の状態で、送信シフトレジスタから SSIFRDR レジスタへデータが転送されたことを示しています。これによりデータが損失される可能性があります。

注． オーバフローが発生すると、データバッファ中にあるデータは、SSI インタフェースから送られてくる次のデータに上書きされます。

RUIRQ フラグ (受信アンダフロー割り込みステータスフラグ)

本ステータスフラグは要求レートより低いレートで受信データが供給されたことを示します。受信アンダフローが発生した場合は、受信を停止したのちに再度フローをはじめから実行してください。

このフラグは、SSICR.RUIEN ビットの設定にかかわらず“1”になります。“0”にするには、“1”になっていることを確認した後、“0”を書き込んでください。

RUIRQ フラグ = 1 かつ SSICR.RUIEN ビット = 1 のとき、割り込みが発生します。

RUIRQ フラグ = 1 のとき、受信 FIFO が空 (SSIFSR.RDC[3:0] フラグ = 0h) の状態で SSIFRDR レジスタが読み出されたことを示しています。このとき、無効な受信データが格納される可能性があります。

TOIRQ フラグ (送信オーバフロー割り込みステータスフラグ)

本ステータスフラグは要求レートより高いレートで送信データが供給されたことを示します。送信オーバフローが発生した場合は、送信を停止したのちに再度フローをはじめから実行してください。

このフラグは、SSICR.TOIEN ビットの設定にかかわらず“1”になります。“0”にするには、“1”になっていることを確認した後、“0”を書き込んでください。

TOIRQ フラグ = 1 かつ SSICR.TOIEN ビット = 1 のとき、割り込みが発生します。

TOIRQ フラグ = 1 のとき、送信 FIFO がフル (SSIFSR.TDC[3:0] フラグ = 8h) の状態で SSIFTDR レジスタへの書き込みが発生したことを示しています。これによりデータが損失される可能性があります。

TUIRQ フラグ (送信アンダフロー割り込みステータスフラグ)

本ステータスフラグは要求レートより低いレートで送信データが供給されたことを示します。送信アンダフローが発生した場合は、送信を停止したのちに再度フローをはじめから実行してください。

このフラグは、SSICR.TUIEN ビットの設定にかかわらず“1”になります。“0”にクリアするには、“1”になっていることを確認した後、“0”を書き込んでください。

TUIRQ フラグ=1 かつ SSICR.TUIEN ビット=1 のとき、割り込みが発生します。

TUIRQ フラグ=1 のとき、送信する前に SSIFTDR レジスタに送信データが書き込まれなかったことを示しています。これにより同じデータが1回多く送信される可能性があります。

注. 送信アンダフローが発生すると、送信停止後、アイドル状態になるまで、SSIFTDR レジスタに最後に入力したデータが送信されます。

37.2.3 FIFO 制御レジスタ (SSIFCR)

アドレス SSI0.SSIFCR 0008 A510h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	TTRG[1:0]	RTRG[1:0]	TIE	RIE	TFRST	RFRST		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFRST	受信FIFOデータレジスタリセットビット(注4)	0: 受信FIFOデータリセット解除 1: 受信FIFOデータリセット状態	R/W
b1	TFRST	送信FIFOデータレジスタリセットビット(注4)	0: 送信FIFOデータリセット解除 1: 送信FIFOデータリセット状態	R/W
b2	RIE	受信データフル割り込み許可ビット	0: 受信データフル割り込み (RXI) 要求を禁止 1: 受信データフル割り込み (RXI) 要求を許可 (注1)	R/W
b3	TIE	送信データエンプティ割り込み許可ビット	0: 送信データエンプティ割り込み (TXI) 要求を禁止 1: 送信データエンプティ割り込み (TXI) 要求を許可 (注2)	R/W
b5-b4	RTRG[1:0]	受信FIFOしきい値設定ビット(注4)	b5 b4 0 0 : 1 0 1 : 2 1 0 : 4 1 1 : 6	R/W
b7-b6	TTRG[1:0]	送信FIFOしきい値設定ビット(注4)	b7 b6 0 0 : 7 (1) (注3) 0 1 : 6 (2) (注3) 1 0 : 4 (4) (注3) 1 1 : 2 (6) (注3)	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	SSIRST	SSIソフトウェアリセットビット	0: SSIソフトウェアリセット解除 1: SSIソフトウェアリセット状態	R/W
b30-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	AUCKE	マスタクロック許可ビット (注4)	0: マスタクロック無効 1: マスタクロック有効	R/W

注1. RXI要求の解除は、SSIFSR.RDFフラグを“0”にする（フラグを“0”にする手順についてはSSIFSR.RDFフラグの説明参照）か、RIEビットを“0”にすることで行えます。

注2. TXI要求の解除は、SSIFSR.TDEフラグを“0”にする（フラグを“0”にする手順についてはSSIFSR.TDEフラグの説明参照）か、TIEビットを“0”にすることで行えます。

注3. () 内の数値はSSIFSR.TDEフラグが“1”になるときのSSIFDRレジスタの空き段数を意味します。

注4. アイドル状態以外での書き換えは禁止です。

SSIFCR レジスタは、SSIFDR レジスタおよびSSIFRDR レジスタの格納データ数のリセット、送信FIFOしきい値、受信FIFOしきい値の設定を行うレジスタです。

RFRST ビット (受信FIFOデータレジスタリセットビット)

SSIFRDR レジスタ内のデータを無効にし、データを空の状態にリセットします。

TFRST ビット (送信FIFOデータレジスタリセットビット)

SSIFDR レジスタ内のデータを無効にし、データを空の状態にリセットします。

RIE ビット (受信データフル割り込み許可ビット)

受信動作時に、SSIFSR.RDF フラグが“1”になったときに、受信データフル割り込み (RXI) 要求の発生を許可 / 禁止します。

TIE ビット (送信データエンプティ割り込み許可ビット)

送信動作時に、SSIFSR.TDE フラグが“1”になったときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。

RTRG[1:0] ビット (受信 FIFO しきい値設定ビット)

受信 FIFO しきい値を設定します。SSIFRDR レジスタ (受信 FIFO) に格納された受信データの数が RTRG[1:0] ビットの設定値以上になったとき、SSIFSR.RDF フラグが“1”になり、受信データの読み出しが要求されます。このとき SSIFCR.RIE ビットが“1”であれば受信データフル割り込み (RXI) 要求が生成されます。

TTRG[1:0] ビット (送信 FIFO しきい値設定ビット)

送信 FIFO しきい値を設定します。SSIFTDR レジスタ (送信 FIFO) に格納された送信データの数が TTRG[1:0] ビットの設定値以下になったとき、SSIFSR.TDE フラグが“1”になり、送信データの書き込みが要求されます。このとき SSIFCR.TIE ビットが“1”であれば送信データエンプティ割り込み (TXI) 要求が生成されます。

SSIRST ビット (SSI ソフトウェアリセットビット)

“1”を書き込むと、SSI の内部状態、SSIFCR レジスタ以外のレジスタ、および SSIFCR レジスタ内の本ビットを除くビットが初期化されます。本ビットは自動で“0”にクリアされないため、“1”の書き込みを確認後、“0”を書いてください。本ビットに“0”を書き込むのと同時に、他のビットに“1”を書き込まないでください。また、本ビットを書き換えた後は、ビットが書き換わったことを確認してから次の処理を行ってください。

37.2.4 FIFO ステータスレジスタ (SSIFSR)

アドレス SSIO.SSIFSR 0008 A514h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	TDC[3:0]				—	—	—	—	—	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	RDC[3:0]				—	—	—	—	—	—	—	—	RDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	RDF	受信データフルフラグ	0 : SSIFRDRレジスタの受信データ数が受信FIFOしきい値より少ないことを表示 1 : SSIFRDRレジスタの受信データ数が受信FIFOしきい値以上であることを表示	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	RDC[3:0]	受信データ表示フラグ	SSIFRDRレジスタに格納されたデータ数を示します	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	TDE	送信データエンプティフラグ	0 : SSIFTDRレジスタの送信データ数が送信FIFOしきい値より多いことを表示 1 : SSIFTDRレジスタの送信データ数が送信FIFOしきい値以下であることを表示 (注2)	R/(W) (注1)
b23-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	TDC[3:0]	送信データ表示フラグ	SSIFTDRレジスタに格納されたデータ数を示します	R
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグが“1”であることを確認した後、“0”を書くことにより“0”になります。また、フラグをクリアする場合は、クリアしたいフラグにのみ“0”を、他のフラグには“1”を書いてください。なお、“1”になっていないフラグに“0”を書かないでください。

注2. SSIFTDRレジスタは8段のFIFOレジスタであるため、TDEフラグ = 1の状態でも書き込むことができるデータの最大数は「8から指定した送信FIFOしきい値を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SSIFTDRレジスタのデータ数はTDC[3:0]フラグで示されます。

SSIFSRレジスタは、SSIFTDRレジスタおよびSSIFRDRレジスタの動作状態を示すステータスフラグで構成されます。

RDF フラグ (受信データフルフラグ)

受信データがSSIFRDRレジスタに転送されたとき、SSIFRDRレジスタのデータ数が受信FIFOしきい値以上になり、SSIFRDRレジスタから受信データの読み出しが可能になったことを示します。

["1"になる条件]

- SSIFCR.RTRG[1:0]ビットで指定した値以上の数の受信データがSSIFRDRレジスタに格納されたとき

["0"になる条件]

- RDFフラグが“1”であることを確認した後、RDFフラグに“0”を書き込んだとき
- DMA/DTC転送（ブロック転送時は、ブロックの最終転送）により、SSIFRDRレジスタから受信データを読み出したとき（DMA/DTC転送時、RDFフラグを“0”にしないでください）

注. SSIFRDRレジスタは32バイトのFIFOレジスタであるため、RDFフラグが“1”のときに読み出すことができるデータの最大数は、RDC[3:0]フラグで示されます。SSIFRDRレジスタのすべてのデータを読み出した後、さらに読み出しを続けると不定値が読めます。

RDC[3:0] フラグ (受信データ表示フラグ)

SSIFRDR レジスタに格納されたデータ数を示します。

“0h” は受信データがないことを、“8h” は 32 バイトの受信データが SSIFRDR レジスタに格納されていることを示します。

TDE フラグ (送信データエンプティフラグ)

SSIFTDR レジスタから送信シフトレジスタにデータが転送されたとき、SSIFTDR レジスタのデータ数が送信 FIFO しきい値以下になり、SSIFTDR レジスタへ送信データの書き込みが可能になったことを示します。

[“1” になる条件]

- SSIFTDR レジスタに書き込んだ送信データの数が SSIFCR.TTRG[1:0] ビットで指定した値以下のとき

[“0” になる条件]

- TDE フラグが “1” であることを確認した後、TDE フラグに “0” を書き込んだとき
- DMA/DTC 転送 (ブロック転送時は、ブロックの最終転送) により、SSIFTDR レジスタに送信データを書き込んだとき (DMA/DTC 転送時、TDE フラグを “0” にしないでください)

注. SSIFTDR レジスタは 32 バイトの FIFO レジスタであるため、TDE フラグが “1” のときに書き込むことができるデータの最大数は、「8 - TDC[3:0]」になります。SSIFTDR レジスタにすべてのデータを書き込んだ後、さらに書き込みを続けると書き込みは無効になり、オーバフローとなります。

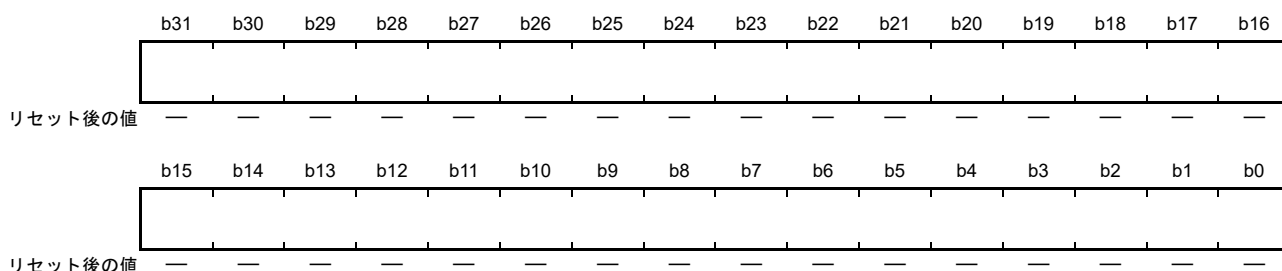
TDC[3:0] フラグ (送信データ表示フラグ)

SSIFTDR レジスタに格納されたデータ数を示します。

“0h” は送信データがないことを、“8h” は 32 バイトの送信データが SSIFTDR レジスタに格納されていることを示します。

37.2.5 送信 FIFO データレジスタ (SSIFTDR)

アドレス SSIO.SSIFTDR 0008 A518h



SSIFTDR レジスタは、送信データを格納する 32 ビット × 8 段の書き込み専用の FIFO レジスタです。

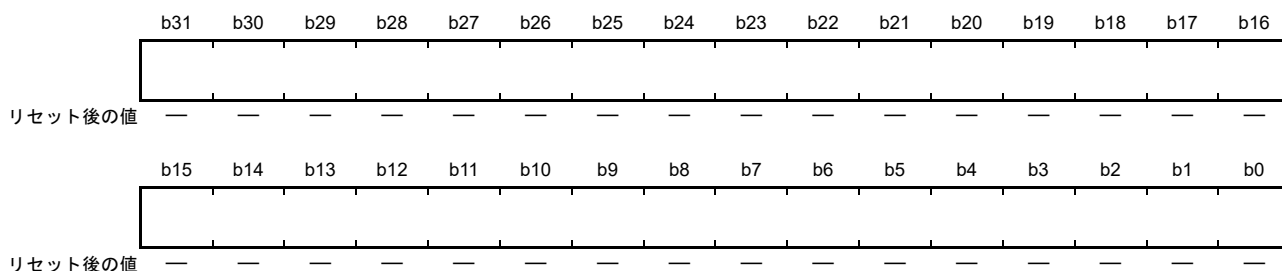
SSIFTDR レジスタは、データワード長設定とは関係なく、64 ビット (FIFO 2 段) 単位で送信データを書き込んでください。32 ビット境界で送信データが終了した場合は、残りの 32 ビットには“0000 0000h”を書き込み、64 ビット単位での書き込みが完了した状態で、送信を停止してください。

SSI は送信シフトレジスタが空であると、SSIFTDR レジスタに書き込まれた送信データを送信シフトレジスタに転送してシリアル送信を開始します。SSIFTDR レジスタの送信データが空になるまで連続シリアル送信ができます。

SSIFTDR レジスタが送信データでいっぱい (32 バイト) になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視され、オーバーフローとなります。

37.2.6 受信 FIFO データレジスタ (SSIFRDR)

アドレス SSIO.SSIFRDR 0008 A51Ch



SSIFRDR レジスタは、受信データを格納する 32 ビット × 8 段の読み出し専用の FIFO レジスタです。SSI は 4 バイトのシリアルデータを受信するたびに、受信したシリアルデータを受信シフトレジスタから SSIFRDR レジスタへ PDTA ビットの設定に従って格納します。最大 32 バイトの格納が終了するまで連続した受信動作が可能です。SSIFRDR レジスタは読み出しはできますが書き込みはできません。

SSIFRDR レジスタに受信データがない状態でデータを読み出すと値は不定になり、受信アンダフローとなります。

SSIFRDR レジスタが受信データでいっぱいになると、それ以降に受信したシリアルデータは失われ、受信オーバーフローとなります。

37.2.7 TDM モードレジスタ (SSITDMR)

アドレス SSIO.SSITDMR 0008 A520h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CONT	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CONT	WSコンティニューモードビット	0 : WSコンティニューモードを禁止 1 : WSコンティニューモードを許可 (注1)	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. マスタモード (SSICR.SCKDビット = 1かつSSICR.SWSDビット = 1) の場合のみ設定可能です。

SSITDMR レジスタは、読み出し / 書き込み可能な 32 ビットのレジスタで、WS コンティニューモードの設定を行います。

37.3 動作説明

37.3.1 バスフォーマット

SSI は、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、多くのシリアルバスフォーマットを使用できます。

バスフォーマットは表 37.5 に示す 6 個のモードから選択できます。

表 37.5 バスフォーマット

	TEN	REN	SCKD	SWSD	MUEN	IEN	TOIEN	TUIEN	ROIEN	RUIEN	CONT	SWSP	DEL	PDTA	SDTA	SPDP	SCKP	SWL[2:0]	DWL[2:0]	CHNL[1:0]
非圧縮スレーブレシーバ	0	1	0	0	制御ビット						コンフィギュレーションビット									
非圧縮スレーブトランスミッタ	1	0	0	0																
非圧縮スレーブトランシーバ	1	1	0	0																
非圧縮マスタレシーバ	0	1	1	1																
非圧縮マスタトランスミッタ	1	0	1	1																
非圧縮マスタトランシーバ	1	1	1	1																

37.3.2 非圧縮モード

本 SSI は、非圧縮モードのみサポートしています。I²S 互換フォーマットだけでなく、MSB ファースト右詰め/左詰めフォーマットにも対応しています。

(1) スレーブレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワードセレクト信号は外部デバイスから供給されます。これらの信号が SSI に設定されたフォーマットと一致しないとき、動作は保証されません。

(2) スレーブトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。シリアルデータストリームに使われるクロックとワードセレクト信号は外部デバイスから供給されます。これらの信号が SSI に設定されたフォーマットと一致しないとき、動作は保証されません。

(3) スレーブトランシーバ

このモードでは、別のデバイスとのシリアルデータの送受信ができます。シリアルデータストリームに使われるクロックとワードセレクト信号は外部デバイスから供給されます。これらの信号が SSI に設定されたフォーマットと一致しないとき、動作は保証されません。

(4) マスタレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。クロックとワードセレクト信号はマスタクロックから内部生成されます。これらの信号のフォーマットは SSI の設定に従います。別デバイスから送信されるデータが、設定されたフォーマットと一致しないとき、動作は保証されません。

(5) マスタトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。クロックとワードセレクト信号はマスタクロックから内部生成されます。これらの信号のフォーマットは SSI のコンフィギュレーションビットの設定に従います。

(6) マスタランシーバ

このモードでは、別のデバイスとのシリアルデータの送受信ができます。クロックとワードセレクト信号はマスタクロックから内部生成されます。これらの信号のフォーマットは SSI のコンフィギュレーションビットの設定に従います。

(7) 動作設定ーワード長関連

非圧縮モードでは、SSICR レジスタのワード長に関するすべてのビットが有効です。SSI は多数のコンフィギュレーションをサポートできますが、ここでは I²S 互換、MSB ファースト左詰め、MSB ファースト右詰めの各フォーマットについて説明します。

なお、ここでは SSITXD0、SSIRXD0 をまとめて SSIDATA と記載します。

• I²S 互換フォーマット

図 37.2、図 37.3 に、パディングなしとパディングありの I²S 互換フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

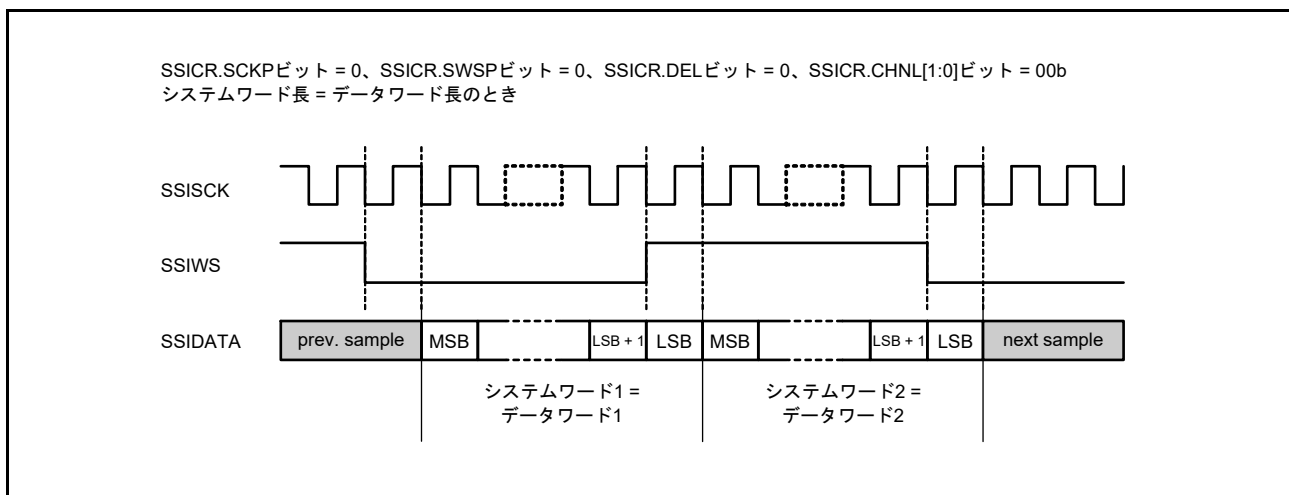


図 37.2 I²S 互換フォーマット (パディングなし)

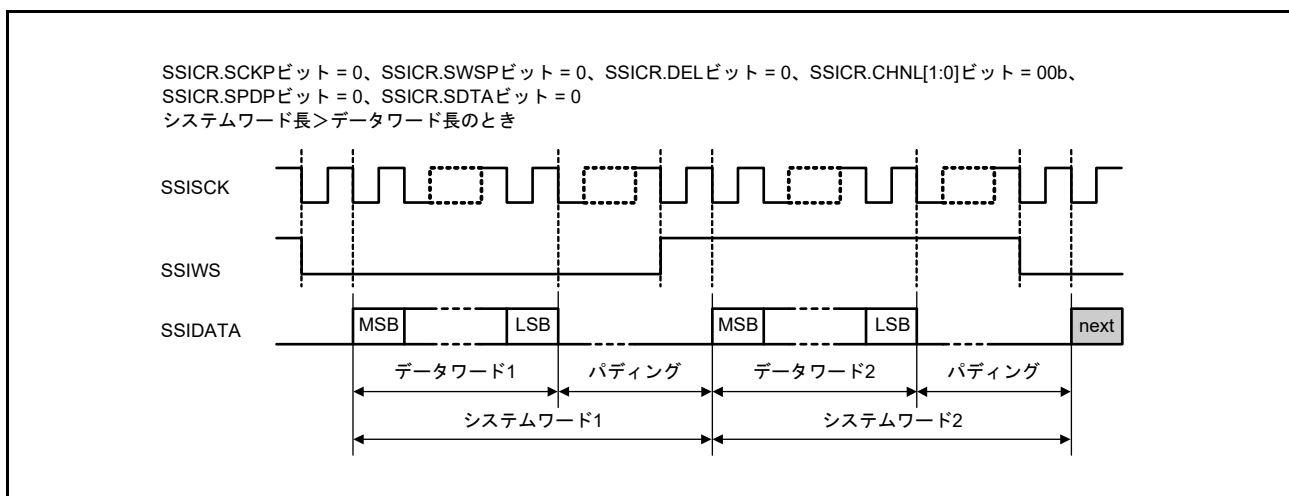


図 37.3 I²S 互換フォーマット (パディングあり)

• MSB ファースト左詰めフォーマット

図 37.4 に MSB ファースト左詰めフォーマットのパディングありの図を示します。

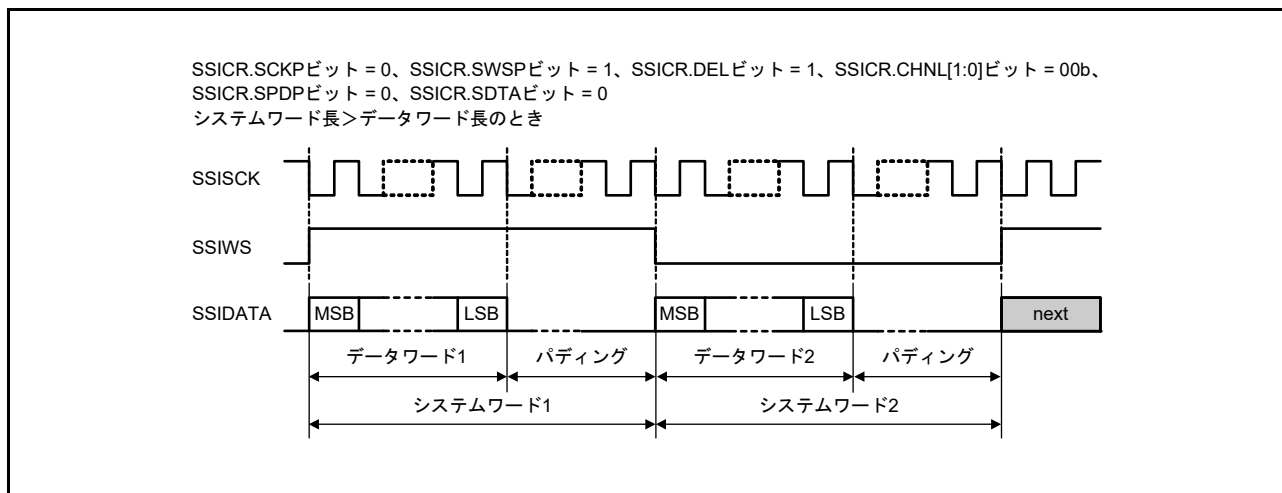


図 37.4 MSB ファースト左詰めフォーマット (シリアルデータ、パディングビットの順に送受信)

• MSB ファースト右詰めフォーマット

図 37.5 に MSB ファースト右詰めフォーマットのパディングありの図を示します。

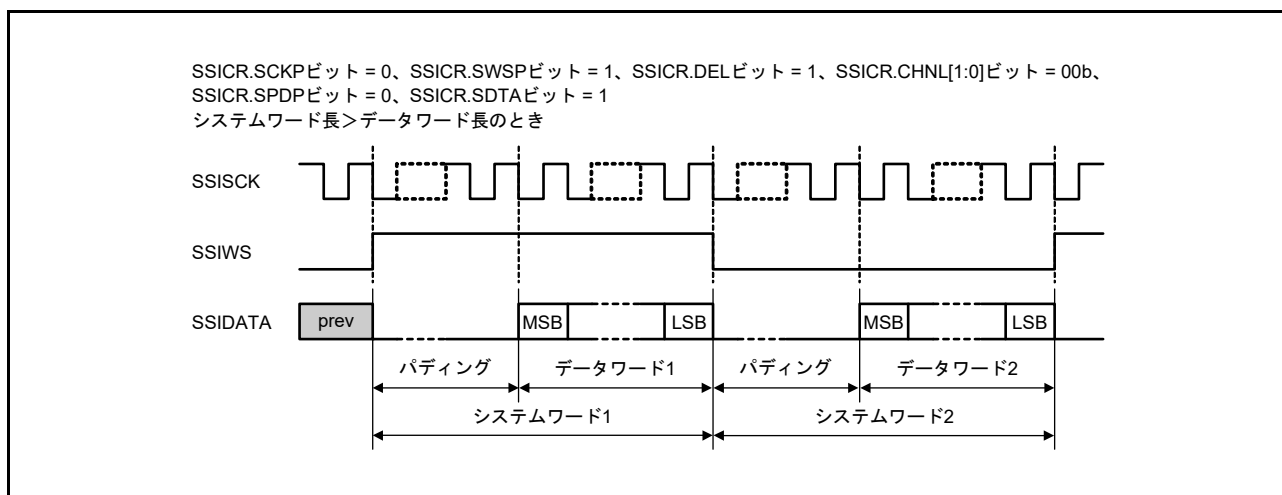


図 37.5 MSB ファースト右詰めフォーマット (パディングビット、シリアルデータの順に送受信)

表 37.6 に有効な設定とシステムワードごとのパディングビット数を示します。

表 37.6 有効な設定とシステムワードごとのパディングビット数

SSICR.CHNL[1:0]ビット (システムワードごとにデ コードされるチャンネル数)	SSICR.SWL[2:0]ビット (システムワード長)	SSICR.DWL[2:0]ビット (データワード長)							
		000b	001b	010b	011b	100b	101b		
		8ビット	16ビット	18ビット	20ビット	22ビット	24ビット		
00b	1チャンネル	000b	8ビット	0	—	—	—	—	—
		001b	16ビット	8	0	—	—	—	—
		010b	24ビット	16	8	6	4	2	0
		011b	32ビット	24	16	14	12	10	8

(8) 動作設定ーワード長関連以外の設定

非圧縮モードの他のコンフィギュレーションビットを以下に示します。これらのビットはお互いに排他的ではありませんが、組み合わせによっては実用的でない設定があります。

図 37.6 の基本のフォーマット例を参照しながら、これらのコンフィギュレーションビットを以下に説明します。

なお、図 37.6 ~ 図 37.14 では、図を簡単にするために、システムワード 6 ビット、データワード 4 ビットとしています。

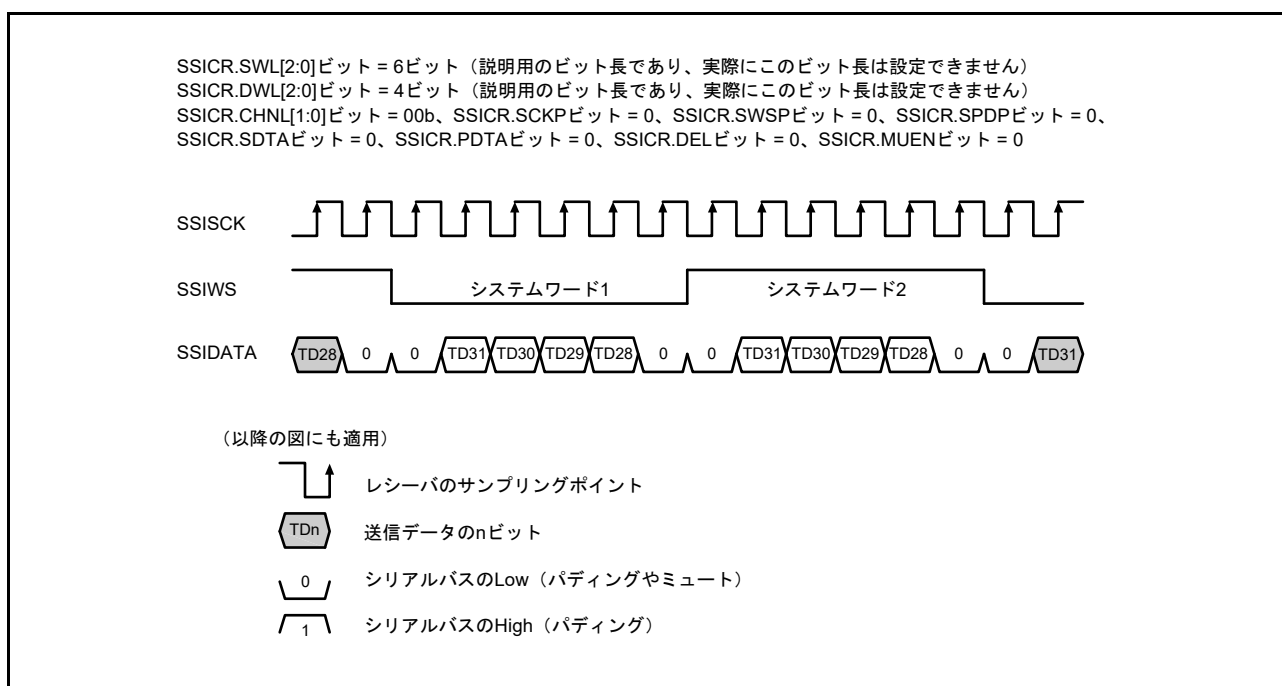


図 37.6 基本フォーマット例 (送信モード)

- 反転クロック

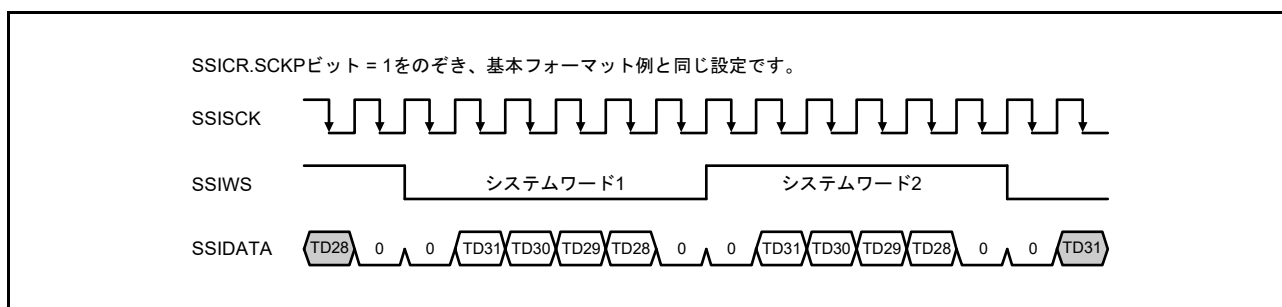


図 37.7 反転クロック

- 反転ワードセレクト信号

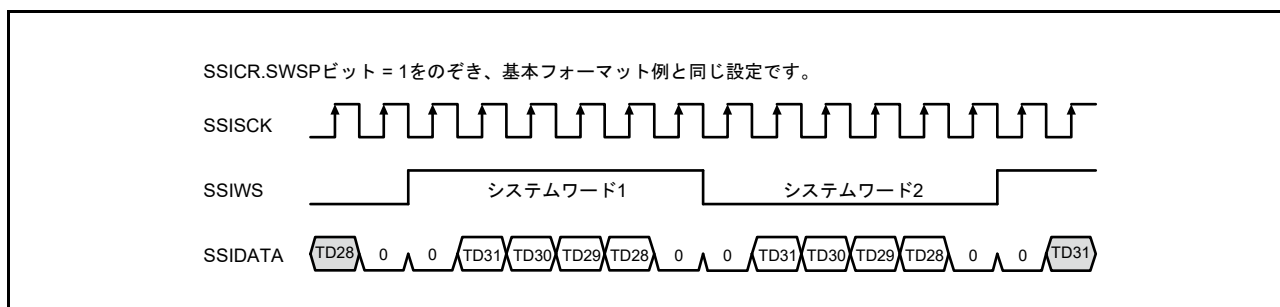


図 37.8 反転ワードセレクト信号

- 反転パディング極性

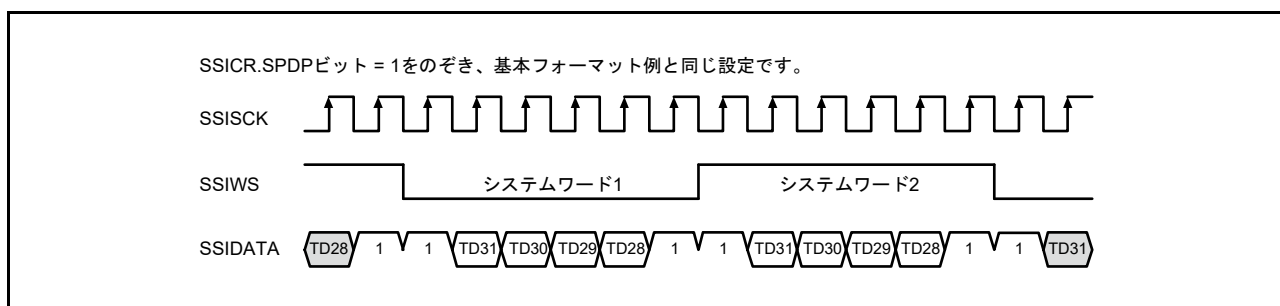


図 37.9 反転パディング極性

- パディングビット、シリアルデータの順に送受信、遅延あり

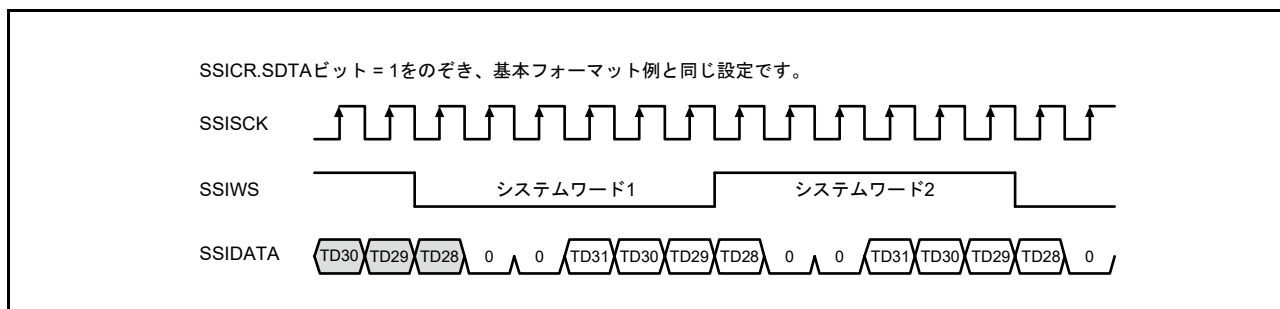


図 37.10 パディングビット、シリアルデータの順に送受信、遅延あり

- パディングビット、シリアルデータの順に送受信、遅延なし

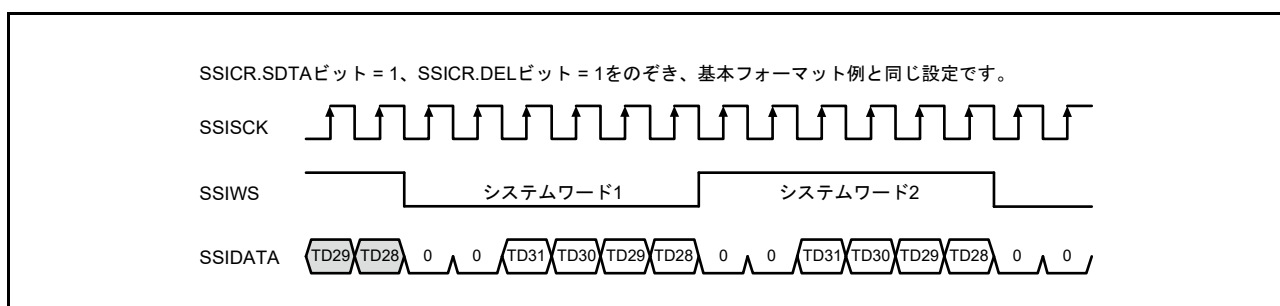


図 37.11 パディングビット、シリアルデータの順に送受信、遅延なし

- シリアルデータ、パディングビットの順に送受信、遅延なし

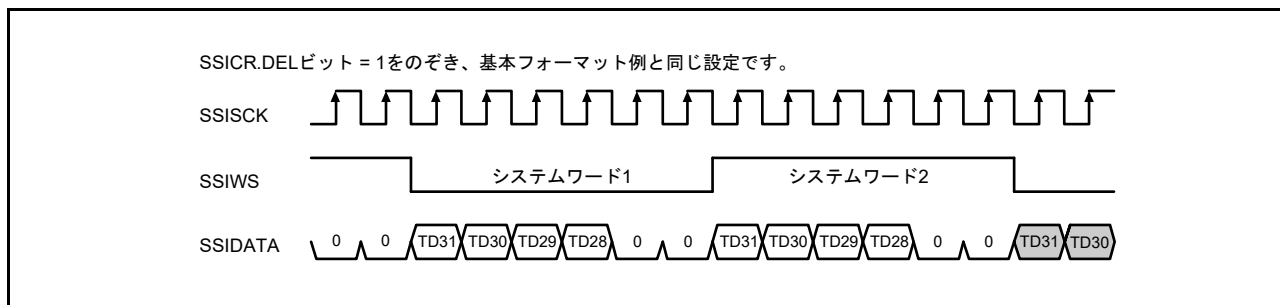


図 37.12 シリアルデータ、パディングビットの順に送受信、遅延なし

- パラレルデータの右詰め、遅延あり

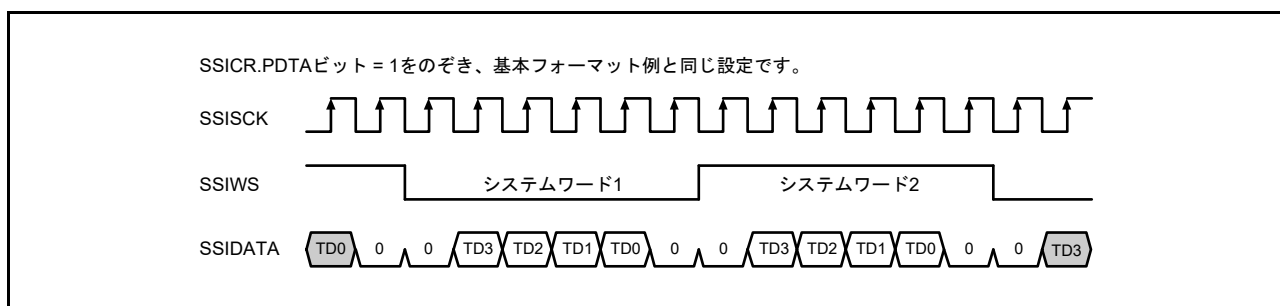


図 37.13 パラレルデータの右詰め、遅延あり

- ミュート有効

SSICR.MUEN ビットを“1”にすると、SSIWS0 信号に同期せず SSITXD0 端子を Low (“0”) にします。

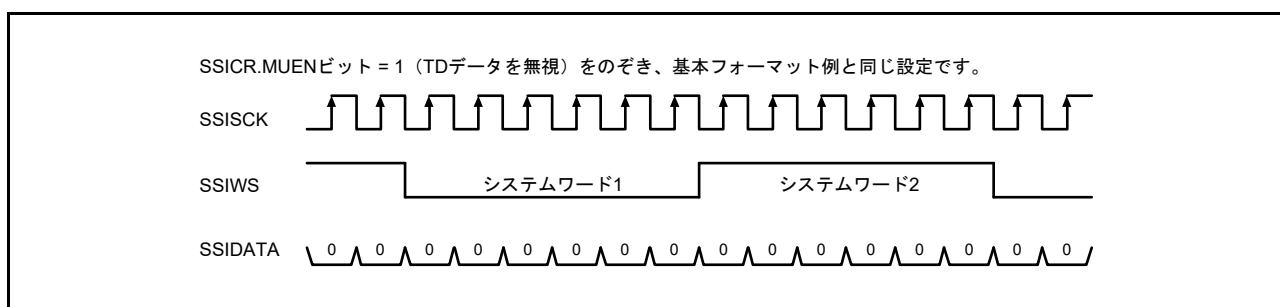


図 37.14 ミュート有効

37.3.3 WS コンティニューモード

WS コンティニューモードは、データ転送の許可/禁止に関係なく SSIWS0 信号をトグルし続けるモードです。このモードは SSITDMR.CONT ビットにて設定できます。このモードを許可すると、SSICR.TEN ビットおよび SSICR.REN ビットを“0”に（転送停止）しても SSIWS0 信号は停止せずにトグルし続けます。一方、このモードを禁止すると、SSICR.TEN ビットおよび SSICR.REN ビットをいずれも“0”にした場合は、SSIWS0 信号が停止します。

図 37.15、図 37.16 に WS コンティニューモードの許可/禁止設定の動作を示します。

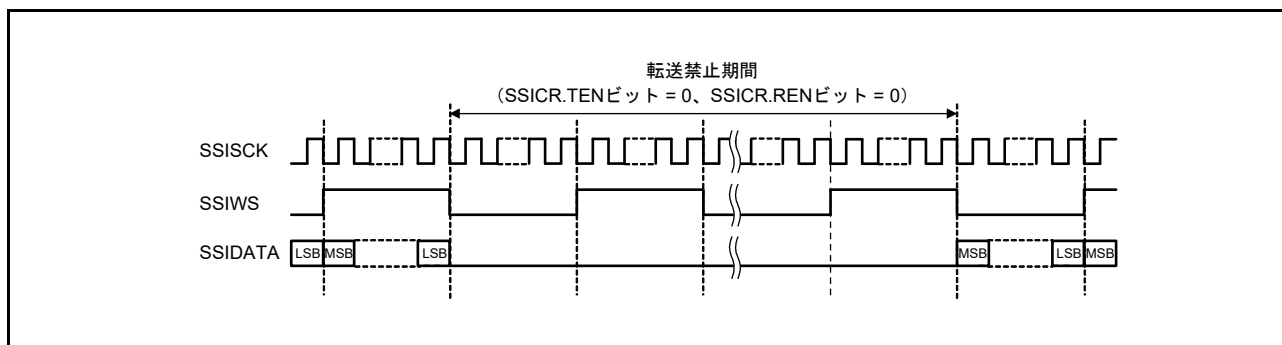


図 37.15 WS コンティニューモード許可

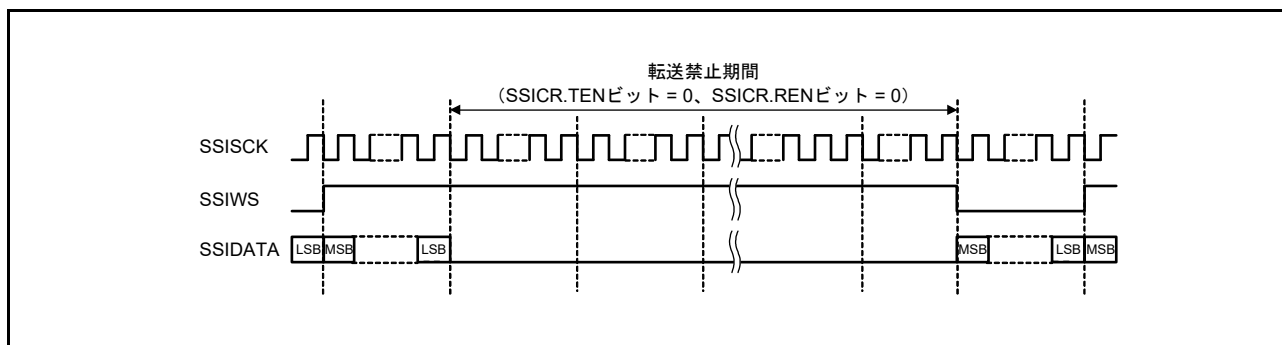


図 37.16 WS コンティニューモード禁止

37.3.4 動作状態

アイドル、通信動作およびアイドル待ちの3つの動作状態があります。図 37.17 に動作状態遷移図を示します。

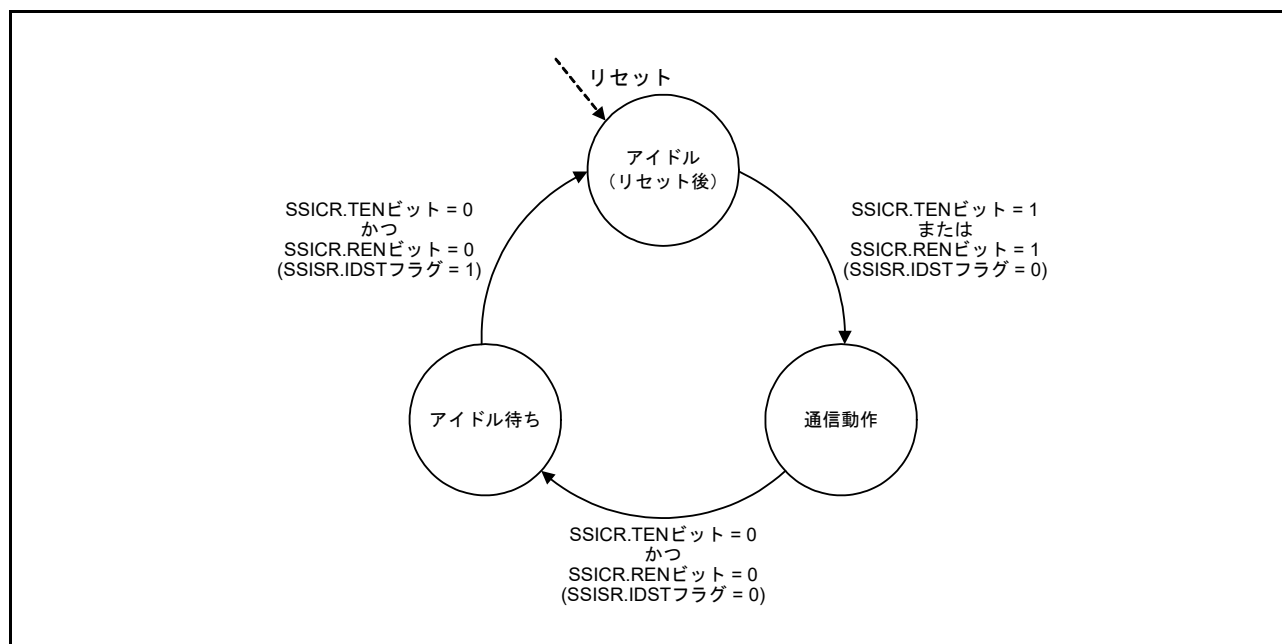


図 37.17 動作状態遷移図

(1) アイドル状態

リセット解除後、MSTPCRD.MSTPD14, MSTPD15 ビットを“0”にすると、本状態に遷移します。この状態で制御レジスタに必要な設定を行います。設定後、SSICR.TEN ビットまたは SSICR.REN ビットを“1”にし、通信動作に遷移します。

(2) 通信動作状態

この状態の通信動作は選択された動作状態に依存しています。詳細については「37.3.5 送信動作」と「37.3.6 受信動作」を参照してください。

(3) アイドル待ち状態

通信動作状態時に、SSICR.TEN ビットと SSICR.REN ビットの両方を“0”にすると本状態に遷移し、通信終了を待ちます。この状態でシステムワードの通信が終了すると、SSISR.IDST フラグが“1”になり、アイドル状態に遷移します。

37.3.5 送信動作

送信は DMA/DTC 転送または割り込みで制御できます。CPU 負荷を低減するという点では、DMAC/DTC 制御の方が優れています。

DMAC/DTC を使用した送信では、データのアンダフローやオーバフローの発生時、または DMA/DTC 転送終了は、割り込みによって通知されます。DMA/DTC 転送による送信時は、SSIFTDR レジスタに 64 ビット (FIFO 2 段) 単位で送信データを書き込むために、2 の倍数になるよう DMA/DTC 転送回数を設定してください。

別の制御方法としては、必要に応じて SSI がデータ供給のために生成する割り込みを用いる方法があります。割り込みによる送信時は、データフォーマットとは関係なく送信データを 64 ビット単位で書き込み、32 ビット境界で送信データが終了した場合は、最後の送信データ書き込み後に、“0000 0000h” を書き込み、64 ビット境界で書き込みが完了した状態にしてください。

送信を停止する場合、64 ビット単位で書き込みが完了した状態で SSIFTDR レジスタへの書き込みを停止してください。書き込み停止後、送信アンダフローの発生を待ってから、SSICR.TEN ビットを“0”に設定してください。送信アンダフロー中は、SSIFTDR レジスタに最後に入力したデータがアイドル状態に遷移するまで送信され続けます。TEN ビットを“0”にした後、SSISR.IIRQ フラグが“1” (アイドル状態) になるまで、クロック (注1) を供給してください。送信途中に、送信アンダフローエラー、送信オーバフローエラーが発生した場合、送信データの SSIFTDR レジスタへの書き込みが 64 ビット単位でなくなる場合があります。その場合は、データ書き込みを停止し、送信アンダフローエラーが発生するまで待ち、送信アンダフロー発生時の TSWNO フラグをチェックしてください。TSWNO フラグが“1”の場合は、SSIFTDR レジスタに“0000 0000h”を書き込み再度アンダフローの発生を待ってください。TSWNO フラグが“0”になるのが確認できたら、TEN ビットを“0”にした後、SSISR.IIRQ フラグが“1” (アイドル状態) になるまで、クロック (注1) を供給してください。

図 37.18 に DMAC/DTC を使用した送信フローを、図 37.19 に割り込みを使用した送信フローを示します。

- 注 1. SSICR.SCKD ビット = 0 のとき SSISCK0 端子からの入力クロック
SSICR.SCKD ビット = 1 のときマスタクロック

(1) DMAC/DTC を使用した送信

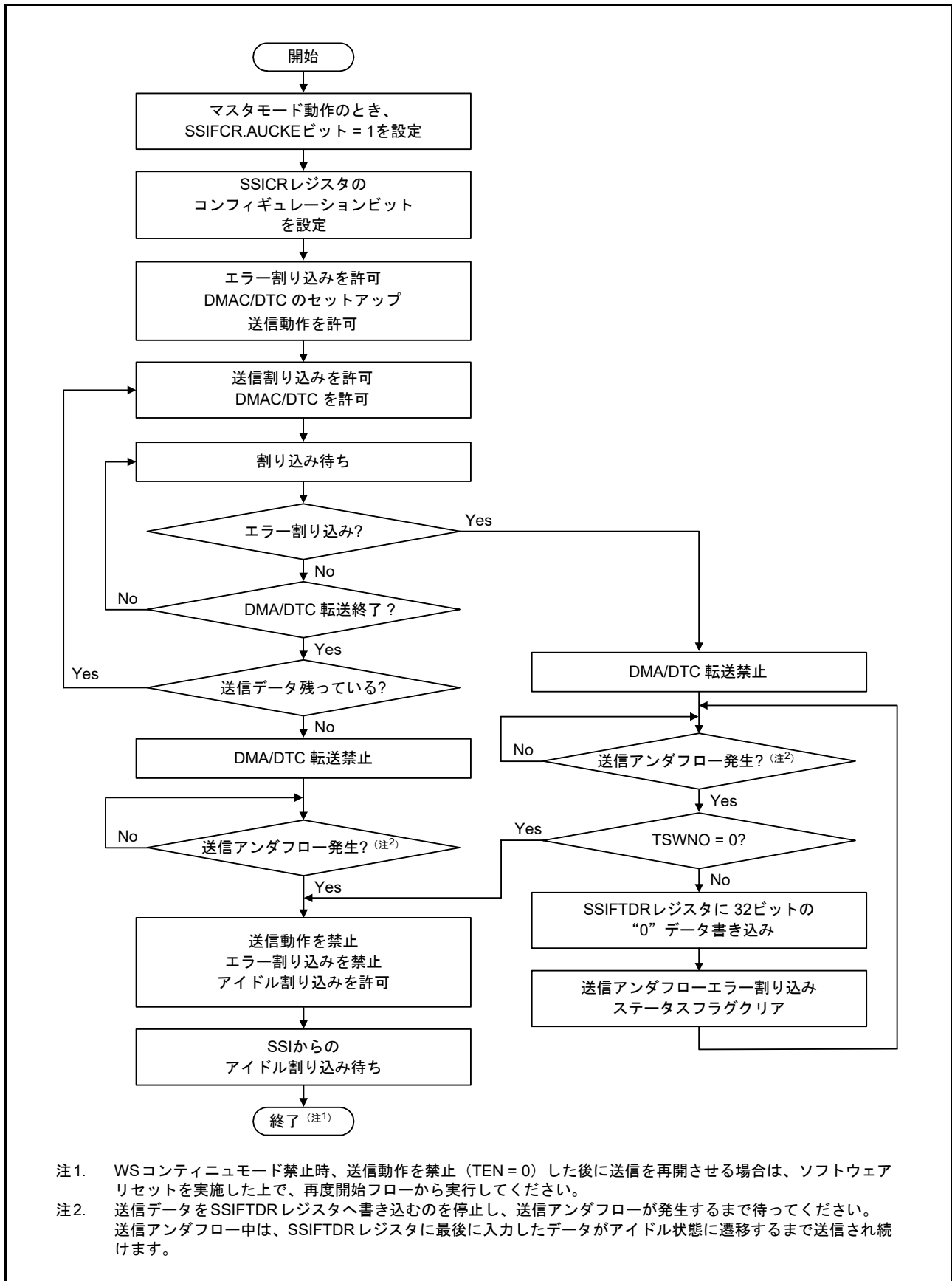


図 37.18 DMAC/DTC を使用した送信

(2) 割り込みを使用した送信

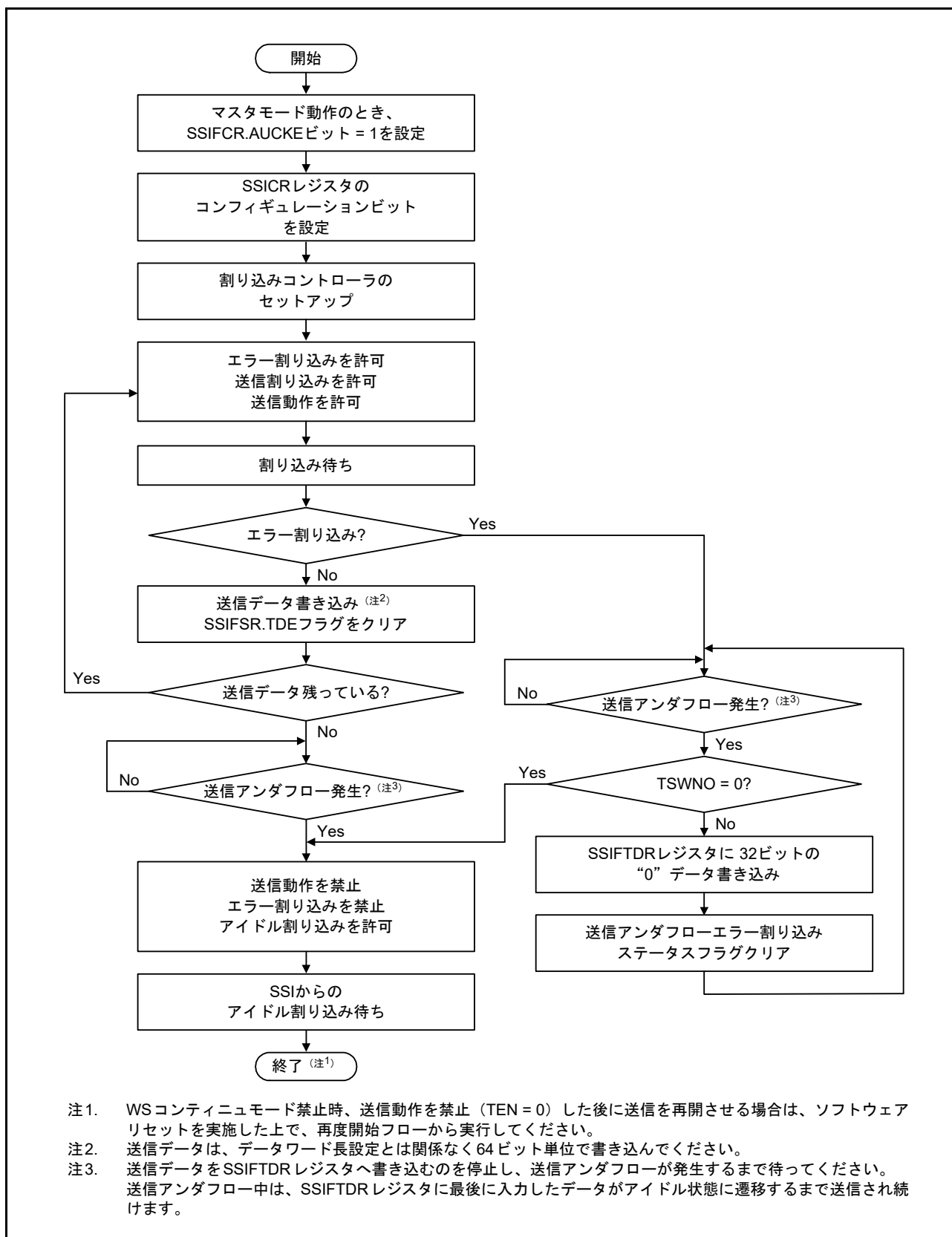


図 37.19 割り込みを使用した送信

37.3.6 受信動作

送信同様、受信も DMA/DTC 転送または割り込みで制御できます。

図 37.20、図 37.21 にそれぞれの動作フローチャートを示します。

受信を停止する場合、SSICR.REN ビットを“0”にした後、SSISR.IIRQ フラグが“1”（アイドル状態）になるまで、クロック（注1）を供給してください。

- 注1. SSICR.SCKD ビット = 0 のとき SSISCK0 端子からの入力クロック
 SSICR.SCKD ビット = 1 のときマスタクロック

(1) DMAC/DTC を使用した受信

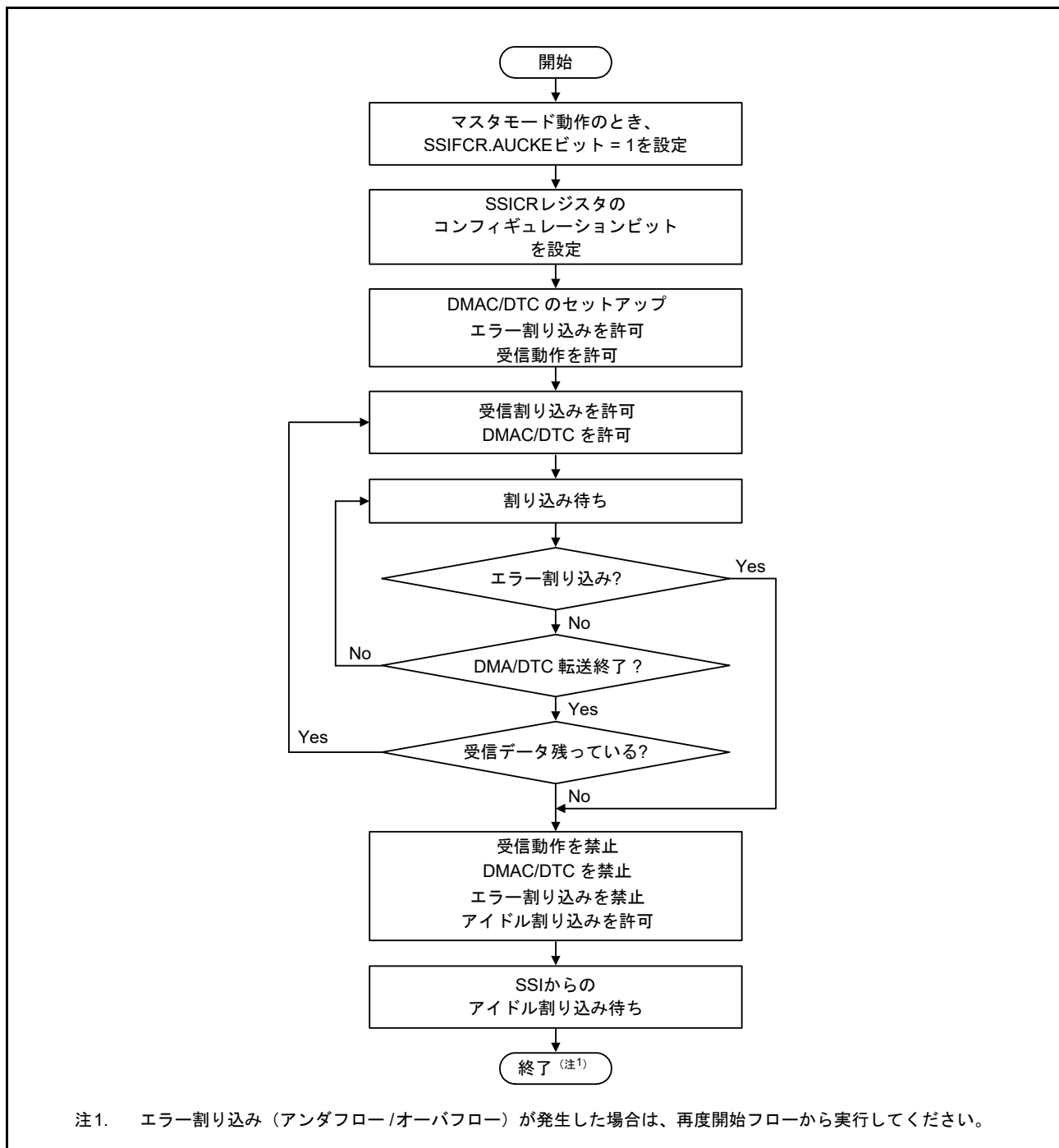


図 37.20 DMAC/DTC を使用した受信

(2) 割り込みを使用した受信

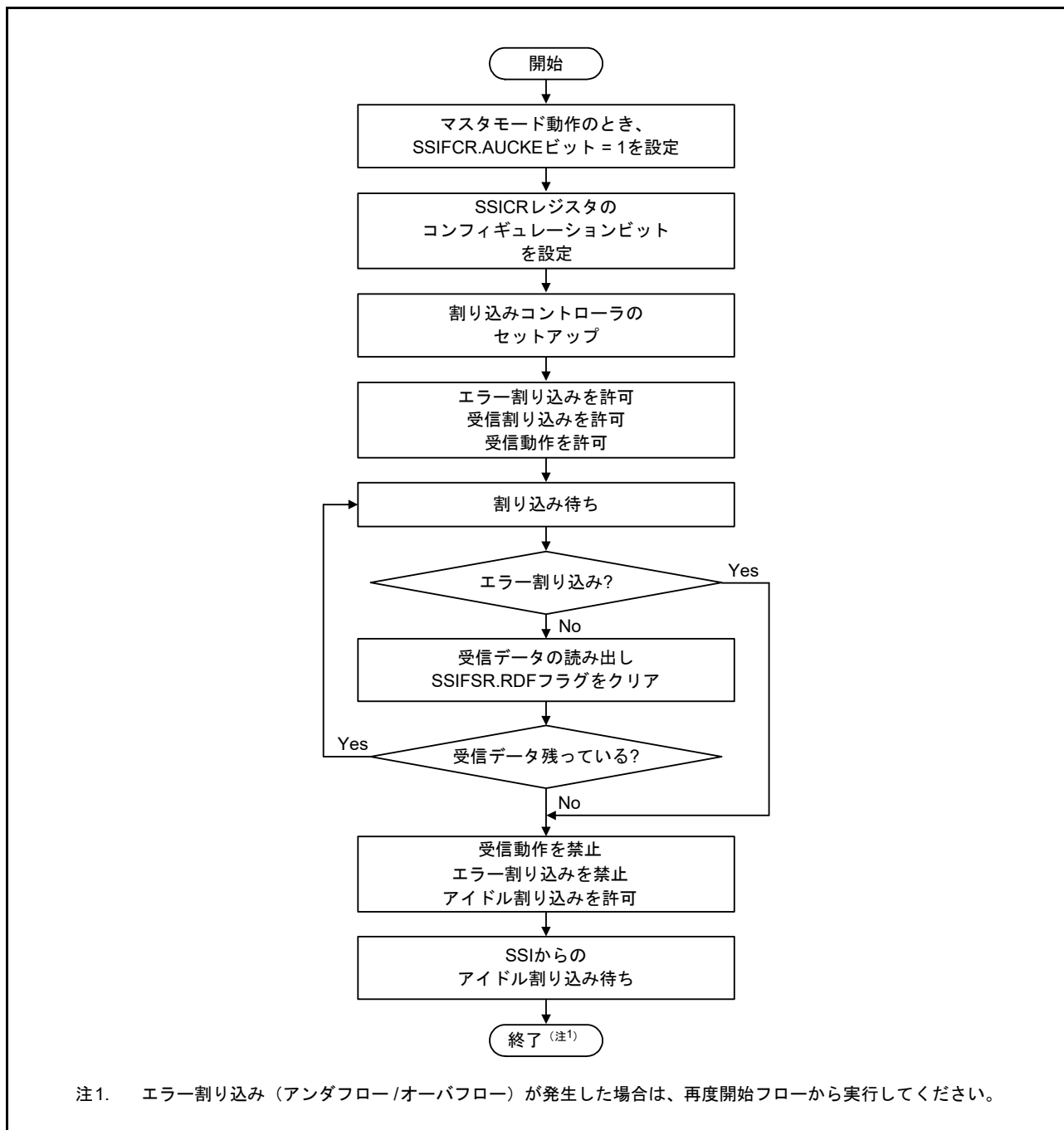


図 37.21 割り込みを使用した受信

37.3.7 シリアルビットクロック制御

SSIはSSICR.SCKDビットとSSICR.CKDV[3:0]ビットにより、シリアルビットクロックの制御と選択を行っています。

シリアルビットクロック方向が入力に設定されている場合 (SCKDビット=0)、SSIはスレーブモードであり、シフトレジスタが使うビットクロックはSSISCK0端子に入力されたクロックです。

シリアルビットクロック方向が出力に設定されている場合 (SCKDビット=1)、SSIはマスターモードであり、シフトレジスタが使うビットクロックはマスタクロック (MCLK) またはそれを分周したクロックです。マスタクロックは、SSICR.CKDV[3:0]ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われます。

上記のいずれの場合でも、SSISCK0端子の出力はビットクロックと同じになります。

37.4 割り込み要因

表 37.7 に各割り込み要因を示します。各割り込み要因は、SSICR.TUIEN, TOIEN, RUIEN, ROIEN, ILENビットとSSIFCR.TIE, RIEビットで許可または禁止ができます。

表 37.7 SSIの割り込み要因

チャンネル	割り込み要因	内容	割り込み ステータスフラグ	割り込み 許可ビット	DMAC/DTC起動
SSI0	SSIF0	送信アンダフロー割り込み	SSISR.TUIRQ	SSICR.TUIEN	不可能
		送信オーバーフロー割り込み	SSISR.TOIRQ	SSICR.TOIEN	
		受信アンダフロー割り込み 受信オーバーフロー割り込み アイドル割り込み	SSISR.RUIRQ SSISR.ROIEN SSISR.IIRQ	SSICR.RUIEN SSICR.ROIEN SSICR.IIEN	
	SSIRX10	受信データフル割り込み (RXI)	SSIFSR.RDF	SSIFCR.RIE	可能
	SSITX10	送信データエンプティ割り込み (TXI)	SSIFSR.TDE	SSIFCR.TIE	可能

37.5 使用上の注意事項

37.5.1 モジュールストップ機能の設定

MSTPCRD レジスタにより、モジュールストップ状態への遷移/解除を行うことができます。初期値では SSI はモジュールストップ状態です。モジュールストップ状態を解除することにより、SSI のレジスタへのアクセスが可能になります。

MSTPCRD レジスタの詳細は、「11. 消費電力低減機能」を参照してください。

37.5.2 転送モードを切り替える場合の注意事項

WS コンティニューモード禁止 (SSITDMR.CONT=0) の状態で、トランスミッタ、レシーバ、トランシーバ間でモード遷移する場合は、SSICR.TEN ビットと SSICR.REN ビットを“0”にし、一度アイドル状態に遷移してください。アイドル状態で、SSICR.TEN ビットと SSICR.REN ビットを再設定し転送を再開してください。

37.5.3 WS コンティニューモードの制限事項

WS コンティニューモードの設定を切り替える場合、切り替え直後の SSISCK0 信号、SSIWS0 信号の動作は保証されません。接続するデバイスに影響する場合は、動的に設定を切り替えないでください。

38. シリアルペリフェラルインタフェース (RSPIa)

本章に記載している PCLK とは PCLKB を指します。

38.1 概要

本 MCU は、1 チャンルのシリアルペリフェラルインタフェース (RSPI) を内蔵しています。

RSPI は、全二重同期式のシリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 38.1 に RSPI の仕様を、図 38.1 に RSPI のブロック図を示します。

なお、本章では、RSPI コマンドレジスタ m (SPCMDm) で使用している m は、0 ~ 7 と規定しています。

表 38.1 RSPI の仕様 (1/2)

項目	内容
チャンネル数	1チャンネル
RSPI 転送機能	<ul style="list-style-type: none"> • MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作 (4 線式) / クロック同期式動作 (3 線式) でシリアル通信が可能 • 送信のみの動作が可能 • 通信モード：全二重または送信のみを選択可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能
データフォーマット	<ul style="list-style-type: none"> • MSB ファースト / LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 送信/受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット)
ビットレート	<ul style="list-style-type: none"> • マスタモード時、内蔵ポーレートジェネレータで PCLK を分周して RSPCK を生成 (分周比は 2 ~ 4096 分周) • スレーブ時は、PCLK の最小 8 分周のクロックを、RSPCK として入力可能 (RSPCK の最高周波数は PCLK の 8 分周) High 幅：PCLK の 4 サイクル、Low 幅：PCLK の 4 サイクル
バッファ構成	<ul style="list-style-type: none"> • 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは 128 ビット
エラー検出	<ul style="list-style-type: none"> • モードフォルトエラー検出 • オーバランエラー検出 (注1) • パリティエラー検出
SSL 制御機能	<ul style="list-style-type: none"> • 1 チャンネルあたり 4 本の SSL 端子 (SSLA0 ~ SSLA3) • シングルマスタ設定時には、SSLA0 ~ SSLA3 端子を出力 • マルチマスタ設定時：SSLA0 端子は入力、SSLA1 ~ SSLA3 端子は出力または未使用 • スレーブ設定時：SSLA0 端子は入力、SSLA1 ~ SSLA3 端子は未使用 • SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 設定範囲：1 ~ 8 RSPCK 設定単位：1 RSPCK • RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 設定範囲：1 ~ 8 RSPCK 設定単位：1 RSPCK • 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲：1 ~ 8 RSPCK 設定単位：1 RSPCK • SSL 極性変更機能
マスタ転送時の制御方式	<ul style="list-style-type: none"> • 最大 8 コマンドで構成された転送を連続してループ実行可能 • 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、パースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 • 送信バッファへのライトで転送を起動可能 • SSL ネゲート時の MOSI 信号値を設定可能 • RSPCK 自動停止機能
割り込み要因	<ul style="list-style-type: none"> • 割り込み要因 受信バッファフル割り込み 送信バッファエンプティ割り込み RSPI エラー割り込み (モードフォルト、オーバラン、パリティエラー) RSPI アイドル割り込み (RSPI アイドル)

表 38.1 RSPIの仕様 (2/2)

項目	内容
イベントリンク機能 (出力)	<ul style="list-style-type: none"> 以下のイベントをイベントリンクコントローラへ出力可能(RSPI0) 受信バッファフルイベント信号 送信バッファエンptyイベント信号 モードフォルト/オーバラン/パリティエラーのイベント信号 RSPIアイドルイベント信号 送信完了イベント信号
その他の機能	<ul style="list-style-type: none"> CMOS/オープンドレイン出力切り替え機能 RSPI初期化機能 ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. マスタ受信かつ、RSPCK自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。

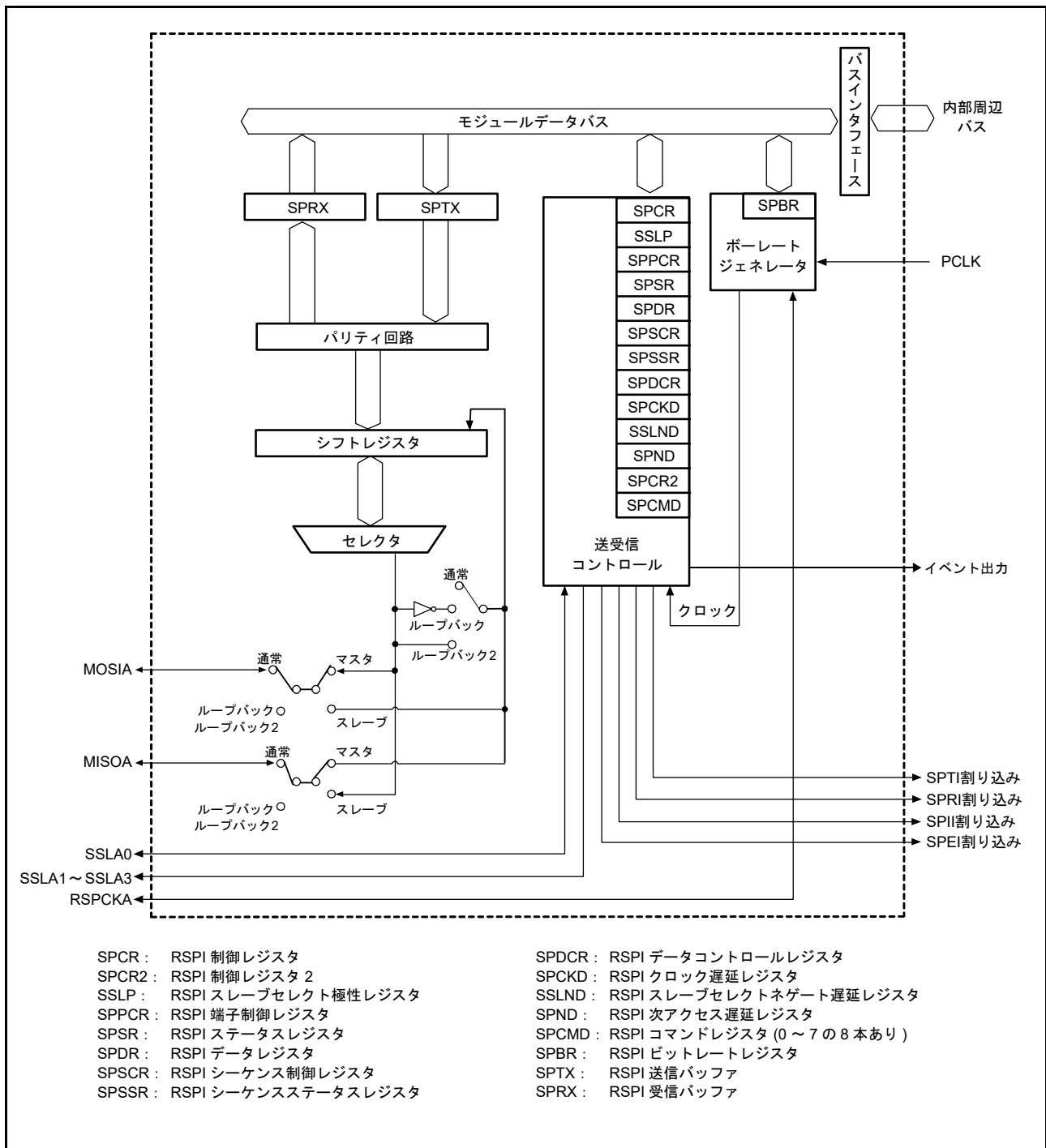


図 38.1 RSPI のブロック図

表 38.2 に RSPI で使用する入出力端子を示します。

SSLA0 端子の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKA、MOSIA、MISOA 端子の入出力方向は、マスタ/スレーブ設定と SSLA0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「38.3.2 RSPI 端子の制御」を参照してください。

表 38.2 RSPIの入出力端子

チャンネル	端子名	入出力	機能
RSPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力

38.2 レジスタの説明

38.2.1 RSPI 制御レジスタ (SPCR)

アドレス RSPI0.SPCR 0008 8380h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット	0: SPI動作(4線式) 1: クロック同期式動作(3線式)	R/W
b1	TXMD	通信動作モード選択ビット	0: 全二重同期式シリアル通信 1: 送信動作のみのシリアル通信	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	RSPIマスタ/スレーブモード選択ビット	0: スレーブモード 1: マスタモード	R/W
b4	SPEIE	RSPIエラー割り込み許可ビット	0: RSPIエラー割り込み要求の発生を禁止 1: RSPIエラー割り込み要求の発生を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可ビット	0: 送信バッファエンプティ割り込み要求の発生を禁止 1: 送信バッファエンプティ割り込み要求の発生を許可	R/W
b6	SPE	RSPI機能許可ビット	0: RSPI機能は無効 1: RSPI機能は有効	R/W
b7	SPRIE	RSPI受信バッファフル割り込み許可ビット	0: RSPI受信バッファフル割り込み要求の発生を禁止 1: RSPI受信バッファフル割り込み要求の発生を許可	R/W

SPCR.SPE ビットが“1”の場合、SPCR.MSTR ビット、SPCR.MODFEN ビット、SPCR.TXMD ビットの値を変更しないでください。

SPMS ビット (RSPI モード選択ビット)

SPI 動作(4線式)/クロック同期式動作(3線式)を選択するためのビットです。

クロック同期式動作を行う場合は SSLA0 ~ SSLA3 端子を使用せず、RSPCKA 端子、MOSIA 端子、MISOA 端子の3端子を用いて通信を行います。また、マスタモード時 (SPCR.MSTR=1) でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを“0”、“1”どちらにも設定できます。スレーブモード時 (SPCR.MSTR=0) でクロック同期式動作を行う場合は CPHA ビットを“1”に設定してください。スレーブモード時 (SPCR.MSTR=0) でクロック同期式動作を行う場合、CPHA ビットを“0”にしないでください。

TXMD ビット (通信動作モード選択ビット)

全二重同期式のシリアル通信、送信のみの動作を選択するためのビットです。

TXMD ビットを“1”にして、通信を行う場合は、送信動作のみを行い、受信動作を行いません (「38.3.6 通信動作モード」参照)。

また、TXMD ビットを“1”に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可/禁止するためのビットです(「38.3.8 エラー検出」を参照)。また、RSPIはMODFENビットとMSTRビットとの組み合わせに従って、SSLA0～SSLA3端子の入出力方向を決定します(「38.3.2 RSPI端子の制御」を参照)。

MSTR ビット (RSPI マスタ/スレーブモード選択ビット)

RSPIのマスタ/スレーブモードを選択するためのビットです。また、RSPIはMSTRビットの設定に従って、RSPCKA、MOSIA、MISOA、SSLA0～SSLA3端子の方向を決定します。

SPEIE ビット (RSPI エラー割り込み許可ビット)

RSPIがモードフォルトエラーを検出してSPSR.MODFフラグを“1”にした場合、RSPIがオーバランエラーを検出してSPSR.OVRFフラグを“1”にした場合、またはパリティエラーを検出してSPSR.PERFフラグを“1”にした場合のRSPIエラー割り込み要求の発生を許可/禁止します。詳細については、「38.3.8 エラー検出」を参照してください。

SPTIE ビット (送信バッファエンプティ割り込み許可ビット)

RSPIが送信バッファエンプティを検出し、送信バッファエンプティ割り込み要求の発生を許可/禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPTIEビットと同時または後に、SPEビットを“1”にすることで発生します。

RSPI機能は無効(SPEビットが“0”)に遷移しても、SPTIEビットを“1”にしていると、送信バッファエンプティ割り込みが発生することに注意してください。

SPE ビット (RSPI 機能許可ビット)

RSPI機能の有効/無効を選択します。

SPSR.MODFフラグが“1”の場合には、SPEビットを“1”にすることはできません。詳細は「38.3.8 エラー検出」を参照してください。

SPEビットを“0”にすると、RSPI機能が無効化され、モジュール機能の一部が初期化されます。詳細は「38.3.9 RSPIの初期化」を参照してください。また、SPEビットを“0”の状態から“1”または“1”の状態から“0”になることで送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット (RSPI 受信バッファフル割り込み許可ビット)

RSPIがシリアル転送完了後の受信バッファフルを検出し、RSPI受信バッファフル割り込み要求の発生を許可/禁止します。

38.2.2 RSPI スレーブセレクト極性レジスタ (SSLP)

アドレス RSPI0.SSLP 0008 8381h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0 : SSL0信号はアクティブLow 1 : SSL0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定ビット	0 : SSL1信号はアクティブLow 1 : SSL1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定ビット	0 : SSL2信号はアクティブLow 1 : SSL2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定ビット	0 : SSL3信号はアクティブLow 1 : SSL3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の場合、SSLP レジスタを書き換えしないでください。

38.2.3 RSPI 端子制御レジスタ (SPPCR)

アドレス RSPI0.SPPCR 0008 8382h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0 : 通常モード 1 : ループバックモード(データを反転して送信)	R/W
b1	SPLP2	RSPIループバック2ビット	0 : 通常モード 1 : ループバックモード(データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0 : MOSIアイドル時のMOSIA端子の出力値はLow 1 : MOSIアイドル時のMOSIA端子の出力値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0 : MOSI出力値は前回転送の最終データ 1 : MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の場合、SPPCR レジスタを書き換えしないでください。

SPLP ビット (RSPI ループバックビット)

RSPI の端子モードを選択します。

SPLP ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路(反転)を接続します。(ループバックモード)

SPLP2 ビット (RSPI ループバック 2 ビット)

RSPI の端子モードを選択します。

SPLP2 ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。(ループバックモード)

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードで MOIFE ビットが“1”の場合、SSL ネゲート期間(バースト転送における SSL 保持期間を含む)の MOSIA 端子の出力値を選択します。

MOIFE ビット (MOSI アイドル値固定許可ビット)

マスタモードの RSPI が、SSL ネゲート期間(バースト転送における SSL 保持期間を含む)に MOSIA 出力値を固定するために使用するビットです。MOIFE が“0”の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIA に出力します。MOIFE が“1”の場合には、RSPI は MOIFV ビットに設定された固定値を MOSIA に出力します。

38.2.4 RSPI ステータスレジスタ (SPSR)

アドレス RSPI0.SPSR 0008 8383h

b7	b6	b5	b4	b3	b2	b1	b0
SPRF	—	SPTEF	—	PERF	MODF	IDLNF	OVRF

リセット後の値 0 0 1 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	R/(W) (注1)
b1	IDLNF	RSPIアイドルフラグ	0: RSPIがアイドル状態 1: RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0: モードフォルトエラーなし 1: モードフォルトエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	SPTEF	送信バッファエンプティフラグ	0: 送信バッファに有効なデータあり 1: 送信バッファに有効なデータなし	R (注2)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SPRF	受信バッファフルフラグ	0: 受信バッファに有効なデータなし 1: 受信バッファに有効なデータあり	R (注2)

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

注2. 書く場合、“1”としてください。

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。マスタモード (SPCR.MSTR ビットが“1”) かつ RSPCK クロック自動停止機能有効 (SPCR2.SCKASE ビットが“1”) のときは、オーバランエラーが発生しないため、“1”になりません。詳細は「38.3.8.1 オーバランエラー」を参照ください。

[“1”になる条件]

- SPCR.TXMD ビットが“0”、受信バッファフル状態で次のシリアル受信が終了したとき

[“0”になる条件]

- OVRF フラグが“1”になったときの SPSR レジスタを読んだ後、OVRF フラグに“0”を書いたとき

IDLNF フラグ (RSPI アイドルフラグ)

RSPI の転送状況を示します。

["1" になる条件]

【マスタモード】

- 下記「“0”になる条件」のマスタモード時の(条件1)と(条件2)の両方が満たされないとき

【スレーブモード】

- SPCR.SPE ビットが“1”(RSPI 機能が有効)のとき

["0" になる条件]

【マスタモード】

- 下記 1. が満たされたとき(条件1)、または下記 2. ~ 4. がすべて満たされたとき(条件2)

1. SPCR.SPE ビットが“0”(RSPI 初期化)のとき
2. 送信用バッファ(SPTX)が空(次転送データがセットされていない)のとき
3. SPSSR.SPCP[2:0] ビットが“000b”(シーケンス制御の先頭)であるとき
4. RSPI 内部シーケンサがアイドル状態へ遷移したとき(次アクセス遅延までが動作完了された状態)

【スレーブモード】

- SPCR.SPE ビットが“0”(RSPI 初期化)のとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーの発生を示します。

["1" になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが“1”(マスタモード)、SPCR.MODFEN ビットが“1”(モードフォルトエラー検出を許可)の状態、SSLAi 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが“0”(スレーブモード)、SPCR.MODFEN ビットが“1”(モードフォルトエラー検出を許可)の状態、データ転送に必要な RSPCK サイクルが終了する前に SSLAi 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき

なお、SSLAi 信号のアクティブレベルは、SSLP.SSLiP ビット(SSL 信号極性設定ビット)によって決定されます。

["0" になる条件]

- MODF フラグが“1”の状態の SPSR レジスタを読んだ後、MODF フラグに“0”を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

["1" になる条件]

- SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態、シリアル転送が終了し、パリティエラーが検出されたとき

["0" になる条件]

- PERF フラグが“1”の状態の SPSR レジスタを読んだ後、PERF フラグに“0”を書いたとき

SPTEF フラグ (送信バッファエンptyフラグ)

RSPI データレジスタの送信バッファ (SPTX) 内にある有効データの有無を示すフラグです。

[“1”になる条件]

- SPCR.SPE ビットが“0”(RSPI 初期化)のとき
- 送信バッファからシフトレジスタに送信データが転送されたとき

[“0”になる条件]

- SPDR レジスタに SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込んだとき

なお、SPDR レジスタは SPTEF フラグが“1”のときのみデータを設定できます。SPTEF フラグが“0”のときにデータを設定しても、送信バッファのデータは更新されません。

SPRF フラグ (受信バッファフルフラグ)

RSPI データレジスタの受信バッファ (SPRX) 内にある有効データの有無を示すフラグです。

[“1”になる条件]

- SPCR.TXMD ビットが“0”(全二重)、SPRF フラグが“0”のときに、SPDCR.SPFC[1:0] ビットで設定したフレーム数分の受信データがシフトレジスタから受信バッファ (SPRX) に転送されたとき
ただし、OVRF フラグが“1”のときは、“1”に変化しません。

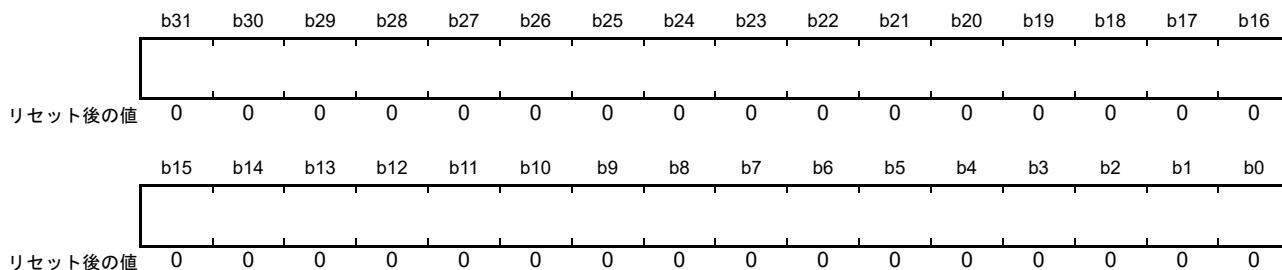
[“0”になる条件]

- SPDR レジスタから受信データをすべて読み出したとき

38.2.5 RSPI データレジスタ (SPDR)

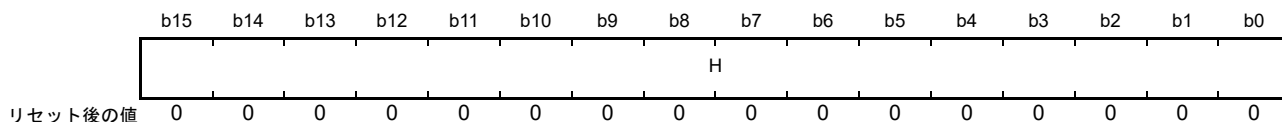
- ロングワードアクセス時

アドレス RSPI0.SPDR 0008 8384h



- ワードアクセス時

アドレス RSPI0.SPDR.H 0008 8384h



SPDR レジスタは、RSPI 送受信のデータを格納するバッファです。

ロングワードアクセス (SPLW ビットが“1”) のときは、SPDR を 32 ビット単位でアクセスしてください。

ワードアクセス (SPLW ビットが“0”) のときは、SPDR.H を 16 ビット単位でアクセスしてください。

送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を図 38.2 に示します。

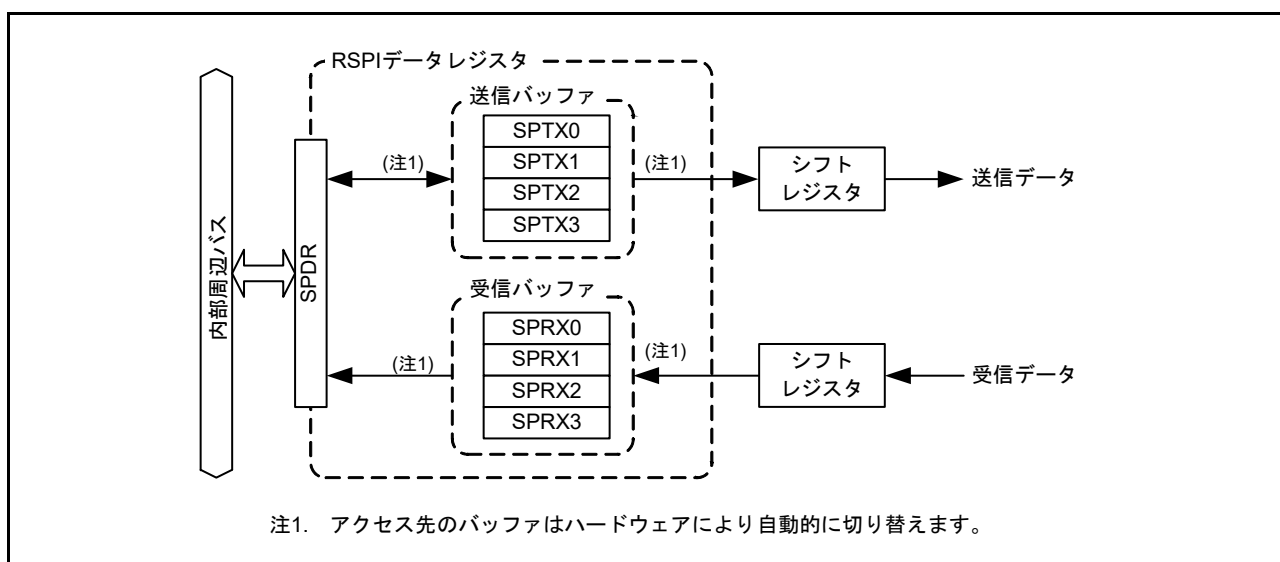


図 38.2 SPDR レジスタの構造図

送信バッファと受信バッファは、それぞれ 4 バッファあります。使用するバッファ数は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR レジスタには、これらの合計 8 バッファが 1 アドレスにマッピングされています。

送信バッファ SPTX_n (n=0～3) は、SPDR レジスタへの書き込みによって送信バッファへ値を書くことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバーラン発生時は、受信バッファの値を更新しません。

また、データ長が 32 ビット以外の場合、SPRX_n (n=0～3) の非参照ビットには、SPTX_n (n=0～3) の非参照ビットが格納されます。

たとえば、データ長が 9 ビットのデータを受信した場合は SPRX_n[8:0] には受信データが格納され、SPRX_n[31:9] に SPTX_n[31:9] が格納されます。

(1) バスインタフェース

SPDR レジスタは、32 ビットの送信バッファと受信バッファがそれぞれ 4 バッファ分、合計 32 バイトあります。これらの 32 バイトを SPDR レジスタの 4 バイト空間にマッピングしています。また、SPDR レジスタへのアクセスは、SPDCR.SPLW ビットで設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

(a) 書き込み

SPDR レジスタに書き込むことによって、送信バッファ (SPTX_n) に値を書くことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポイントがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

図 38.3 に送信バッファのバスインタフェース (ライト時) の構成図を示します。

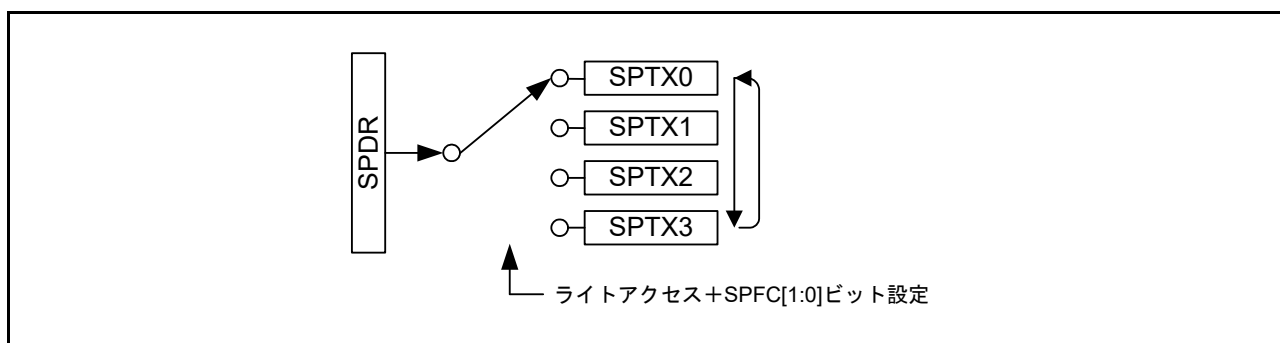


図 38.3 SPDR レジスタの構成図 (ライト時)

送信バッファライトポイントの切り替え順序は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0～SPTX3 の切り替え順序
 - SPFC[1:0] ビットが “00b” のとき : SPTX0 → SPTX0 → SPTX0 → . . .
 - SPFC[1:0] ビットが “01b” のとき : SPTX0 → SPTX1 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “10b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “11b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → . . .

RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTX_n) への書き込みは、送信バッファエンプティ割り込み発生後 (SPSR.SPTEF フラグが “1” になった後)、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0]) で設定

したフレーム数分の送信データを書き込んでください。同書き込み完了から次の送信バッファエンpty割り込み発生までの期間 (SPSR.SPTEF フラグが“0”の期間) は、送信バッファ (SPTXn) に書き込みを行っても同バッファの値は更新されません。

(b) 読み出し

SPDR レジスタを読み出すことによって、受信バッファ (SPRXn)、または送信バッファ (SPTXn) の値を読むことができます。RSPI データコントロールレジスタの RSPI 受信 / 送信データ選択ビット (SPDCR.SPRDTD) によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタの読み出し順は、独立した受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 38.4 に受信バッファと送信バッファのバスインタフェース (リード時) の構成図を示します。

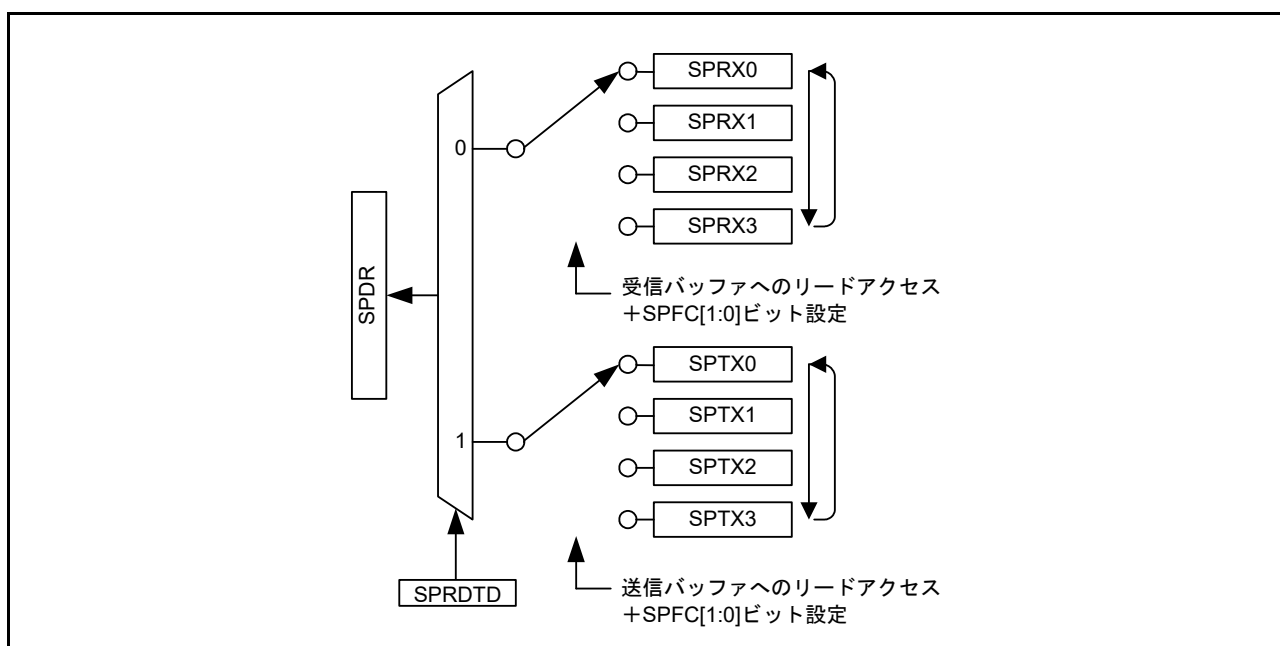


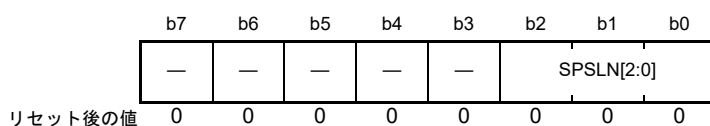
図 38.4 SPDR レジスタの構成図 (リード時)

受信バッファをリードすると、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。ただし、RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が“0”の状態では“1”を書くと、次の読み出し先は SPRX0 になります。

送信バッファリードポインタは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンpty割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンpty割り込みが発生するまでの期間 (SPSR.SPTEF フラグが“0”の期間) は、送信バッファの読み出し値は、すべて“0”となります。

38.2.6 RSPI シーケンス制御レジスタ (SPSCR)

アドレス RSPI0.SPSCR 0008 8388h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPSLN[2:0]	RSPIシーケンス長設定ビット	b2 b0 シーケンス長 参照するSPCMD0~7レジスタ(番号) 0 0 0 : 1 0→0→... 0 0 1 : 2 0→1→0→... 0 1 0 : 3 0→1→2→0→... 0 1 1 : 4 0→1→2→3→0→... 1 0 0 : 5 0→1→2→3→4→0→... 1 0 1 : 6 0→1→2→3→4→5→0→... 1 1 0 : 7 0→1→2→3→4→5→6→0→... 1 1 1 : 8 0→1→2→3→4→5→6→7→0→... 設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタの参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0~7レジスタの関係は上記のとおりです。なお、スレーブモードのRSPIでは、SPCMD0レジスタが参照されません。	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPSCR レジスタは、RSPI がマスタ動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに“1”の状態において、SPSCR.SPSSLN[2:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”の状態書き換えてください。

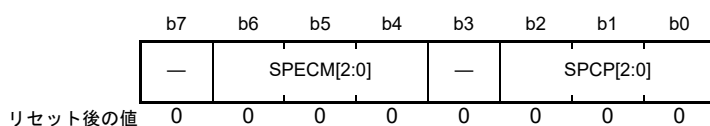
SPSLN[2:0] ビット (RSPI シーケンス長設定ビット)

マスタモードのRSPIがシーケンス動作する場合のシーケンス長を設定します。マスタモードのRSPIはSPSLN[2:0] ビットで設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタと参照順を変更します。

スレーブモードでは、SPCMD0レジスタが参照されます。

38.2.7 RSPI シーケンスステータスレジスタ (SPSSR)

アドレス RSPI0.SPSSR 0008 8389h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます	R

SPSSR レジスタは、RSPI がマスタ動作する場合のシーケンス制御の状態を示します。
SPSSR レジスタへの書き込みは無効です。

SPCP[2:0] ビット (RSPI コマンドポインタビット)

RSPI のシーケンス制御で、現在ポインタで指されている SPCMD_m レジスタを示します。
なお、RSPI のシーケンス制御については、「38.3.10.1 マスタモード動作」を参照してください。

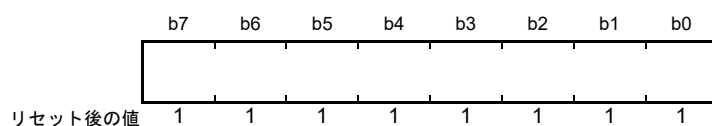
SPECM[2:0] ビット (RSPI エラーコマンドビット)

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMD_m レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに“0”で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPI のエラー検出機能については、「38.3.8 エラー検出」を参照してください。また、RSPI のシーケンス制御については、「38.3.10.1 マスタモード動作」を参照してください。

38.2.8 RSPI ビットレートレジスタ (SPBR)

アドレス RSPI0.SPBR 0008 838Ah



SPBR レジスタは、マスタモード時のビットレート設定に使用します。SPCR.MSTR、SPE ビットがともに“1”の場合、SPBR レジスタを書き換えしないでください。

RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット (ビットレート分周設定ビット) の設定に関係なく、入力クロックのビットレートに依存します。(電気的特性を満足するビットレートを使用してください)

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値 (0, 1, 2, …, 255)、N は BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

$$\text{ビットレート} = \frac{f(\text{PCLK})}{2 \times (n + 1) \times 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 38.3 に示します。相手デバイスの AC スペックを考慮の上、電気的特性を満足するビットレートを使用してください。

表 38.3 SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR レジスタの設定値 (n)	BRDV[1:0] ビットの設定値 (N)	分周比	ビットレート
			PCLK = 32 MHz
0	0	2	16.0 Mbps
1	0	4	8.00 Mbps
2	0	6	5.33 Mbps
3	0	8	4.00 Mbps
4	0	10	3.20 Mbps
5	0	12	2.67 Mbps
5	1	24	1.33 Mbps
5	2	48	667 kbps
5	3	96	333 kbps
255	3	4096	7.81 kbps

38.2.9 RSPI データコントロールレジスタ (SPDCR)

アドレス RSPI0.SPDCR 0008 838Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	SPLW	SPRDT D	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0 : 1フレーム 0 1 : 2フレーム 1 0 : 3フレーム 1 1 : 4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SPRDTD	RSPI受信/送信データ選択ビット	0 : SPDRは受信バッファを読み出す 1 : SPDRは送信バッファを読み出す (ただし、送信バッファが空のとき)	R/W
b5	SPLW	RSPIロングワードアクセス/ ワードアクセス設定ビット	0 : SPDRレジスタへはワードアクセス 1 : SPDRレジスタへはロングワードアクセス	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCMDm.SPB[3:0] ビット、SPSCR.SPSTLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから1回の送受信起動で最大4フレームを送受信できます。

SPCR.SPE ビットが“1”の状態において、SPDCR.SPFC[1:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”のときに書き換えてください。

SPFC[1:0] ビット (フレーム数設定ビット)

SPDR レジスタに格納できる(1回の転送起動)フレーム数を設定します。SPSCR.SPSTLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により1回の送受信起動で最大4フレームを送受信できます。また、SPFC[1:0] ビットの設定により、RSPI受信バッファフル割り込みが発生と送信バッファエンpty割り込みが発生または送信開始するためのフレーム数も変更します。

SPDR レジスタに SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込むと、SPSR.SPTEF フラグが“0”になり送信が開始されます。その後、設定したフレーム数分の送信データがシフトレジスタに転送されると、SPTEF フラグが“1”になり RSPI 送信バッファエンpty割り込みが発生します。

また、SPFC[1:0] ビットで設定したフレーム数分の受信を行うと、SPSR.SPRF フラグが“1”になり RSPI 受信バッファフル割り込みが発生します。

表 38.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定はしないでください。

表 38.4 SPSLN[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで 転送するフレーム数	送信バッファ、受信バッファが 「有効データあり」になるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

SPRDTD ビット (RSPI 受信 / 送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、送信バッファエンプティ割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前 (SPSR.SPTEF フラグが“1”の期間) に行ってください。

詳細は、「38.2.5 RSPI データレジスタ (SPDR)」を参照してください。

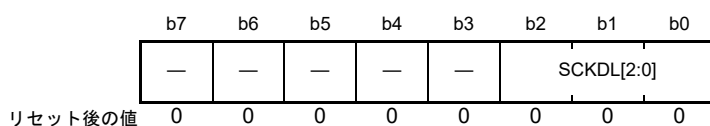
SPLW ビット (RSPI ロングワードアクセス / ワードアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが“0”のときはワードアクセス、SPLW ビットが“1”のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが“0”のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ~ 16 ビットに設定してください。20、24、32 ビットは選択しないでください。

38.2.10 RSPI クロック遅延レジスタ (SPCKD)

アドレス RSPi0.SPCKD 0008 838Ch



ビット	シンボル	ビット名	説明	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCKD レジスタは、SPCMDm.SCKDEN ビットが“1”の状態における、SSLAi 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の場合、SPCKD レジスタを書き換えしないでください。

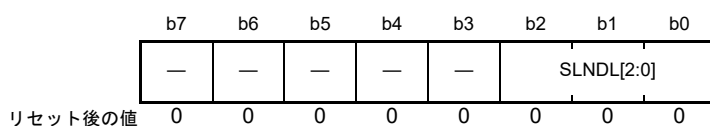
SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

SPCMDm.SCKDEN ビットが“1”の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを“000b”にしてください。

38.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

アドレス RSPI0.SSLND 0008 838Dh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSL ネゲート遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLND レジスタは、マスタモードの RSPI がシリアル転送の最終 RSPCK エッジを送出してから SSLAi 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の場合、SSLND レジスタを書き換えしないでください。

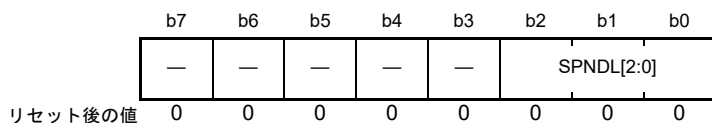
SLNDL[2:0] ビット (SSL ネゲート遅延設定ビット)

マスタモードの RSPI の SSL ネゲート遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SLNDL[2:0] ビットを“000b”にしてください。

38.2.12 RSPI 次アクセス遅延レジスタ (SPND)

アドレス RSPI0.SPND 0008 838Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK + 2 PCLK 0 0 1 : 2 RSPCK + 2 PCLK 0 1 0 : 3 RSPCK + 2 PCLK 0 1 1 : 4 RSPCK + 2 PCLK 1 0 0 : 5 RSPCK + 2 PCLK 1 0 1 : 6 RSPCK + 2 PCLK 1 1 0 : 7 RSPCK + 2 PCLK 1 1 1 : 8 RSPCK + 2 PCLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが“1”の状態、シリアル転送終了後の SSLAi 信号の非アクティブ期間 (次アクセス遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の場合、SPND レジスタを書き換えしないでください。

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが“1”の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを“000b”にしてください。

38.2.13 RSPI 制御レジスタ 2 (SPCR2)

アドレス RSPI0.SPCR2 0008 838Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SCKAS E	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット	0: 送信データパリティビットを付加しない 受信データのパリティチェックを行わない 1: 送信データにパリティビットを付加し、受信データの パリティチェックを行う(SPCR.TXMD = 0のとき) 送信データにパリティビットを付加するが、受信データ のパリティチェックは行わない(SPCR.TXMD = 1のとき)	R/W
b1	SPOE	パリティモードビット	0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W
b2	SPIIE	RSPIアイドル割り込み許可ビット	0: アイドル割り込み要求の発生を禁止 1: アイドル割り込み要求の発生を許可	R/W
b3	PTE	パリティ自己診断ビット	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能が有効	R/W
b4	SCKASE	RSPCK自動停止機能許可ビット	0: RSPCK自動停止機能が無効 1: RSPCK自動停止機能が有効	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の場合、SPCR2 レジスタの SPPE、SPOE、SCKASE ビットの設定値を変更しないでください。

SPPE ビット (パリティ許可ビット)

パリティ機能の有効、無効を選択するビットです。

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが“1”、SPCR2.SPPE ビットが“1”の場合、送信データにパリティビットを付加しますが、受信データのパリティチェックを行いません。

SPOE ビット (パリティモードビット)

偶数パリティ / 奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが“1”のときのみ有効です。

SPIIE ビット (RSPI アイドル割り込み許可ビット)

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが“0”になった場合に、RSPI アイドル割り込み要求の発生を許可 / 禁止します。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

SCKASE ビット (RSPCK 自動停止機能許可ビット)

RSPCK 自動停止機能の有効、無効を選択するビットです。本機能を有効にした場合、マスタモードのデータ受信時、オーバランエラーが発生する直前のタイミングで RSPCK クロックが停止します。詳細は「38.3.8.1 オーバランエラー」を参照ください。

38.2.14 RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)

アドレス RSPI0.SPCMD0 0008 8390h, RSPI0.SPCMD1 0008 8392h, RSPI0.SPCMD2 0008 8394h,
RSPI0.SPCMD3 0008 8396h, RSPI0.SPCMD4 0008 8398h, RSPI0.SPCMD5 0008 839Ah,
RSPI0.SPCMD6 0008 839Ch, RSPI0.SPCMD7 0008 839Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			SSLKP	SSLA[2:0]		BRDV[1:0]		CPOL	CPHA		
リセット後の値	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0: 奇数エッジでデータサンプル、偶数エッジでデータ変化 1: 奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0: アイドル時のRSPCKがLow 1: アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0: ベースのビットレートを選択 0 1: ベースのビットレートの2分周を選択 1 0: ベースのビットレートの4分周を選択 1 1: ベースのビットレートの8分周を選択	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 1 x x: 設定しないでください	R/W
b7	SSLKP	SSL信号レベル保持ビット	0: 転送終了時に全SSL信号をネゲート 1: 転送終了後から次アクセス開始までSSL信号レベルを保持	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11 b8 0100~0111 : 8ビット 1 0 0 0 : 9ビット 1 0 0 1 : 10ビット 1 0 1 0 : 11ビット 1 0 1 1 : 12ビット 1 1 0 0 : 13ビット 1 1 0 1 : 14ビット 1 1 1 0 : 15ビット 1 1 1 1 : 16ビット 0 0 0 0 : 20ビット 0 0 0 1 : 24ビット 0010, 0011 : 32ビット	R/W
b12	LSBF	RSPI LSB ファーストビット	0: MSB ファースト 1: LSB ファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延許可ビット	0: 次アクセス遅延は1 RSPCK + 2 PCLK 1: 次アクセス遅延はRSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0: SSLネゲート遅延は1 RSPCK 1: SSLネゲート遅延はRSPIスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0: RSPCK遅延は1 RSPCK 1: RSPCK遅延はRSPIクロック遅延レジスタ (SPCKD) の設定値	R/W

x : Don't care

SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを設定します。1 チャンネルの RSPI には、RSPI コマンドレジスタが 8 本あります (SPCMD0 ~ SPCMD7 レジスタ)。また、SPCMD0 レジスタの一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は SPSCR.SPSSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の (次転送のデータがセットされていない) 状態でその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、SPCR.MSTR ビットが“0”、SPCR.SPE ビットが“1”の場合、SPCMDm レジスタを書き換えしないでください。

CPHA ビット (RSPCK 位相設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 位相を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 極性を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するレジスタです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します (「38.2.8 RSPI ビットレートレジスタ (SPBR)」を参照)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし/2分周/4分周/8分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードの RSPI がシリアル転送する場合の SSLAi 信号のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSLAi 信号のアサートを制御します。SSLAi 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットを“000b”にした場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSLA0 端子は入力になるため)。

なお、RSPI をスレーブモードで使用する場合には、SSLA[2:0] ビットを“000b”にしてください。

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSLAi 信号レベルを保持するか、ネゲートするかを設定するビットです。

SSLKP ビットを“1”とすることによってバースト転送が可能となります。詳細は「38.3.10.1 マスタモード動作の (4) バースト転送」を参照してください。

RSPI をスレーブモードで使用する場合には、SSLKP ビットを“0”にしてください。

SPB[3:0] ビット (RSPI データ長設定ビット)

マスタモード/スレーブモードのRSPIの転送データ長を設定します。SPDCR.SPLW ビットが“0”のときは、“0100b”(8ビット)～“1111b”(16ビット)の範囲で値を設定してください。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード/スレーブモードのRSPIのデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを選択します。

SPNDEN ビット (RSPI 次アクセス遅延許可ビット)

マスタモードのRSPIがシリアル転送を終了してSSLAi信号を非アクティブにしてから、次アクセスのSSLAi信号アサートを可能にするまでの期間(次アクセス遅延)を設定します。SPNDENビットが“0”のとき、RSPIは次アクセス遅延を1RSPCK+2PCLKにします。SPNDENビットが“1”のとき、RSPIはSPNDレジスタの設定に従った次アクセス遅延を挿入します。

RSPIをスレーブモードで使用する場合には、SPNDENビットを“0”にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可ビット)

マスタモードのRSPIが、RSPCKを発振停止してからSSLAi信号を非アクティブにするまでの期間(SSLネゲート遅延)を設定します。SLNDENビットが“0”のとき、RSPIはSSLネゲート遅延を1RSPCKにします。SLNDENビットが“1”のとき、RSPIはSSLNDレジスタの設定に従ったRSPCK遅延でSSLをネゲートします。

RSPIをスレーブモードで使用する場合には、SLNDENビットを“0”にしてください。

SCKDEN ビット (RSPCK 遅延設定許可ビット)

マスタモードのRSPIが、SSLAi信号をアクティブにしてからRSPCKを発振するまでの期間(RSPCK遅延)を設定します。SCKDENビットが“0”のとき、RSPIはRSPCK遅延を1RSPCKにします。SCKDENビットが“1”のとき、RSPIはSPCKDレジスタの設定に従ったRSPCK遅延でRSPCKの発振を開始します。

RSPIをスレーブモードで使用する場合には、SCKDENビットを“0”にしてください。

38.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

38.3.1 RSPI 動作の概要

RSPI は、スレーブモード(SPI 動作)、シングルマスタモード(SPI 動作)、マルチマスタモード(SPI 動作)、スレーブモード(クロック同期式動作)、マスタモード(クロック同期式動作)での同期式のシリアル転送ができます。RSPI のモードは、SPCR.MSTR、MODFEN、SPMS ビットによって設定できます。表 38.5 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表 38.5 RSPIのモードとSPCRレジスタの設定の関係および各モードの概要

モード	スレーブ (SPI動作)	シングルマスタ (SPI動作)	マルチマスタ (SPI動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
MSTRビットの設定	0	1	1	0	1
MODFENビットの設定	0 or 1	0	1	0	0
SPMSビットの設定	0	0	0	1	1
RSPCKA信号	入力	出力	出力/Hi-Z	入力	出力
MOSIA信号	入力	出力	出力/Hi-Z	入力	出力
MISOA信号	出力/Hi-Z	入力	入力	出力	入力
SSLA0信号	入力	出力	入力	Hi-Z(注1)	Hi-Z(注1)
SSLA1～SSLA3信号	Hi-Z(注1)	出力	出力/Hi-Z	Hi-Z(注1)	Hi-Z(注1)
SSL極性変更機能	あり	あり	あり	—	—
転送レート	～PCLK/8	～PCLK/2	～PCLK/2	～PCLK/8	～PCLK/2
クロックソース	RSPCK入力	内蔵ボーレート ジェネレータ	内蔵ボーレート ジェネレータ	RSPCK入力	内蔵ボーレート ジェネレータ
クロック極性	2種				
クロック位相	2種	2種	2種	1種(CPHA = 1)	2種
先頭転送ビット	MSB/LSB				
転送データ長	8～16、20、24、32ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0,1)	可能 (CPHA = 0,1)	—	—
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL入力 アクティブ または RSPCK発振	送信バッファエンブ ティ割り込み要求、 またはSPTEF = 1で 送信バッファ書き込み	送信バッファエンブ ティ割り込み要求、 またはSPTEF = 1で 送信バッファ書き込み	RSPCK発振	送信バッファエンブ ティ割り込み要求、 またはSPTEF = 1で 送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンブティ 検出	あり				
受信バッファフル検出	あり(注2)				
オーバランエラー検出	あり(注2)	あり(注2、注4)	あり(注2、注4)	あり(注2)	あり(注2)
パリティエラー検出	あり(注2、注3)				
モードフォルトエラー 検出	あり (MODFEN = 1)	なし	あり	なし	なし

注1. 本モードでは使用しません。

注2. SPCR.TXMDビットが“1”のときは、受信バッファフル検出、オーバランエラー検出、パリティエラー検出を行いません。

注3. SPCR2.SPPEビットが“0”のときは、パリティエラー検出を行いません。

注4. SPCR2.SCKASEビットが“1”のときは、オーバランエラー検出を行いません。

38.3.2 RSPI 端子の制御

RSPI は、SPCR.MSTR、MODFEN、SPMS ビットと I/O ポートの ODRn.Bi ビットの設定により、端子の状態を切り替えます。I/O ポートの ODRn.Bi ビットの設定値を“0”にすると CMOS 出力に、“1”にするとオープンドレイン出力となります。端子状態と各ビットの設定値の関係を表 38.6 に示します。I/O ポートの設定も同じとなるよう設定してください。

表 38.6 RSPI端子の状態と制御ビット設定値の関係

モード	端子	端子状態(注2)	
		I/OポートのODRn.Biビット=0	I/OポートのODRn.Biビット=1
シングルマスタ(SPI動作) (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKA	CMOS出力	オープンドレイン出力
	SSLA0~SSLA3	CMOS出力	オープンドレイン出力
	MOSIA	CMOS出力	オープンドレイン出力
	MISOA	入力	入力
マルチマスタ(SPI動作) (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKA(注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	SSLA0	入力	入力
	SSLA1~SSLA3(注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	MOSIA(注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	MISOA	入力	入力
スレーブ(SPI動作) (MSTR = 0, SPMS = 0)	RSPCKA	入力	入力
	SSLA0	入力	入力
	SSLA1~SSLA3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIA	入力	入力
	MISOA(注4)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
マスタ(クロック同期式動作) (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKA	CMOS出力	オープンドレイン出力
	SSLA0~SSLA3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIA	CMOS出力	オープンドレイン出力
	MISOA	入力	入力
スレーブ(クロック同期式動作) (MSTR = 0, SPMS = 1)	RSPCKA	入力	入力
	SSLA0~SSLA3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIA	入力	入力
	MISOA	CMOS出力	オープンドレイン出力

注1. 本モードでは使用しません。

注2. RSPI機能が選択されていないマルチファンクションピンには、RSPIの設定値は反映されません。

注3. SSLA0がアクティブレベルの場合、端子状態がHi-Zになります。

注4. SSLA0が非アクティブレベルまたはSPCR.SPEビットが“0”の場合、端子状態がHi-Zになります。

注5. I/Oポートとして使用できます。

シングルマスタモード(SPI動作)、マルチマスタモード(SPI動作)のRSPIは、SPPCR.MOIFE、MOIFVビットの設定に従って、SSLネゲート期間(バースト転送におけるSSL保持期間を含む)のMOSI信号値を表 38.7 のように決定します。

表 38.7 SSLネゲート期間のMOSI信号値の決定方法

MOIFEビット	MOIFVビット	SSLネゲート期間のMOSIA信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

38.3.3 RSPI システム構成例

38.3.3.1 シングルマスタ / シングルスレーブ (本 MCU = マスタ)

図 38.5 に、本 MCU をマスタとして使用した場合のシングルマスタ / シングルスレーブの RSPI システムの構成例を示します。シングルマスタ / シングルスレーブの構成では、本 MCU (マスタ) の SSLA0 ~ SSLA3 出力は使用しません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブを選択できる状態にします。(注1)

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

注1. SPCMDm.CPHA ビットが“0”の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 MCU の SSLAi 出力をスレーブデバイスの SSL 入力に接続してください。

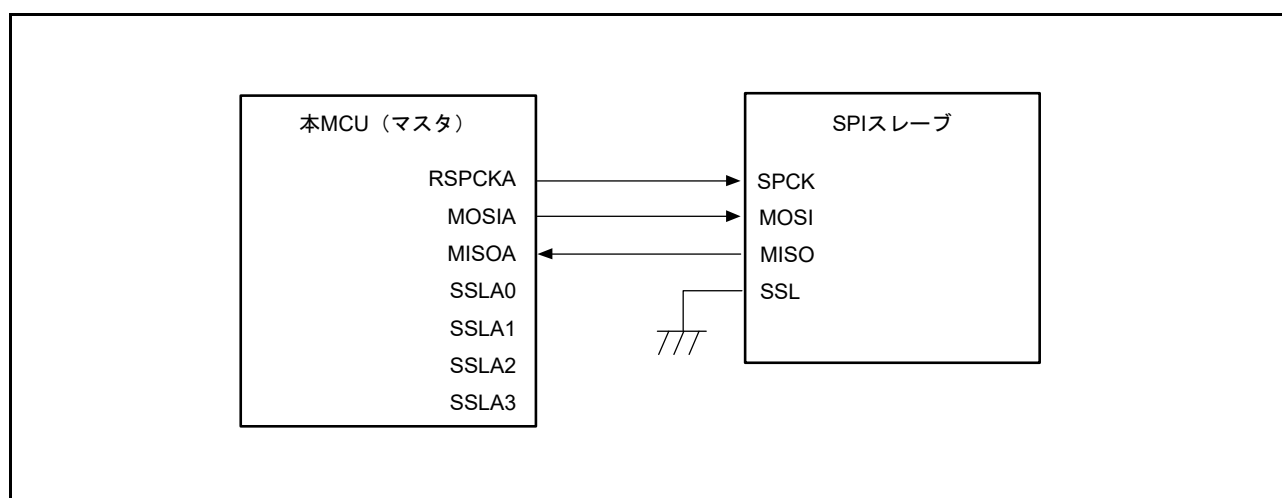


図 38.5 シングルマスタ / シングルスレーブの構成例 (本 MCU = マスタ)

38.3.3.2 シングルマスタ / シングルスレーブ (本 MCU = スレーブ)

図 38.6 に、本 MCU をスレーブとして使用した場合のシングルマスタ / シングルスレーブの RSPI システム構成例を示します。本 MCU をスレーブとして使用する場合には、SSLA0 端子を SSL 入力として使用します。SPI マスタは、SPCK と MOSI をドライブします。本 MCU (スレーブ) は、MISOA をドライブします。(注 1)

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合には、本 MCU (スレーブ) の SSLA0 入力を Low に固定して本 MCU (スレーブ) を選択できる状態とし、シリアル転送を実行することも可能です(図 38.7)。

注 1. SSLA0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

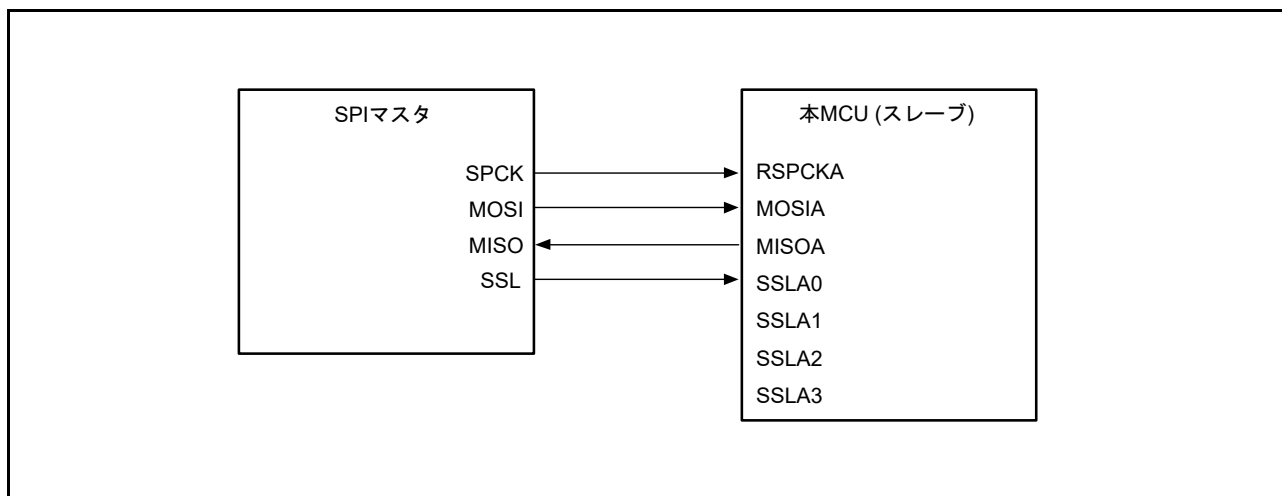


図 38.6 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 0)

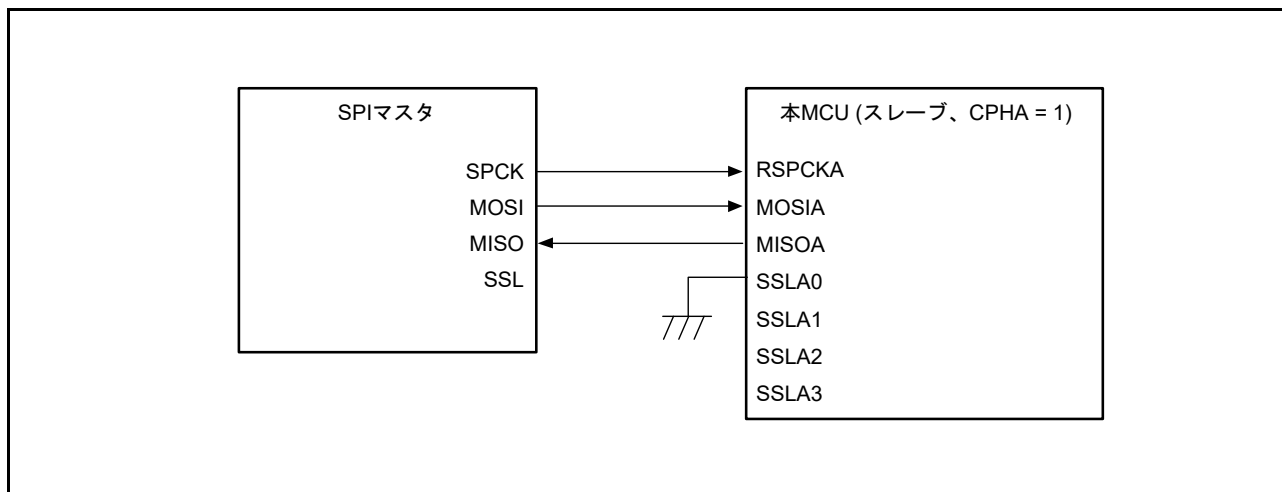


図 38.7 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 1)

38.3.3.3 シングルマスタ / マルチスレーブ (本 MCU = マスタ)

図 38.8 に、本 MCU をマスタとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 38.8 の例では、本 MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から RSPI システムを構成しています。

本 MCU (マスタ) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて本 MCU (マスタ) の MISOA 入力に接続します。本 MCU (マスタ) の SSLA0 ~ SSLA3 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入力に接続します。

本 MCU (マスタ) は、RSPCKA、MOSIA、SSLA0 ~ SSLA3 をドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入みに Low を入力されているスレーブが、MISO をドライブします。

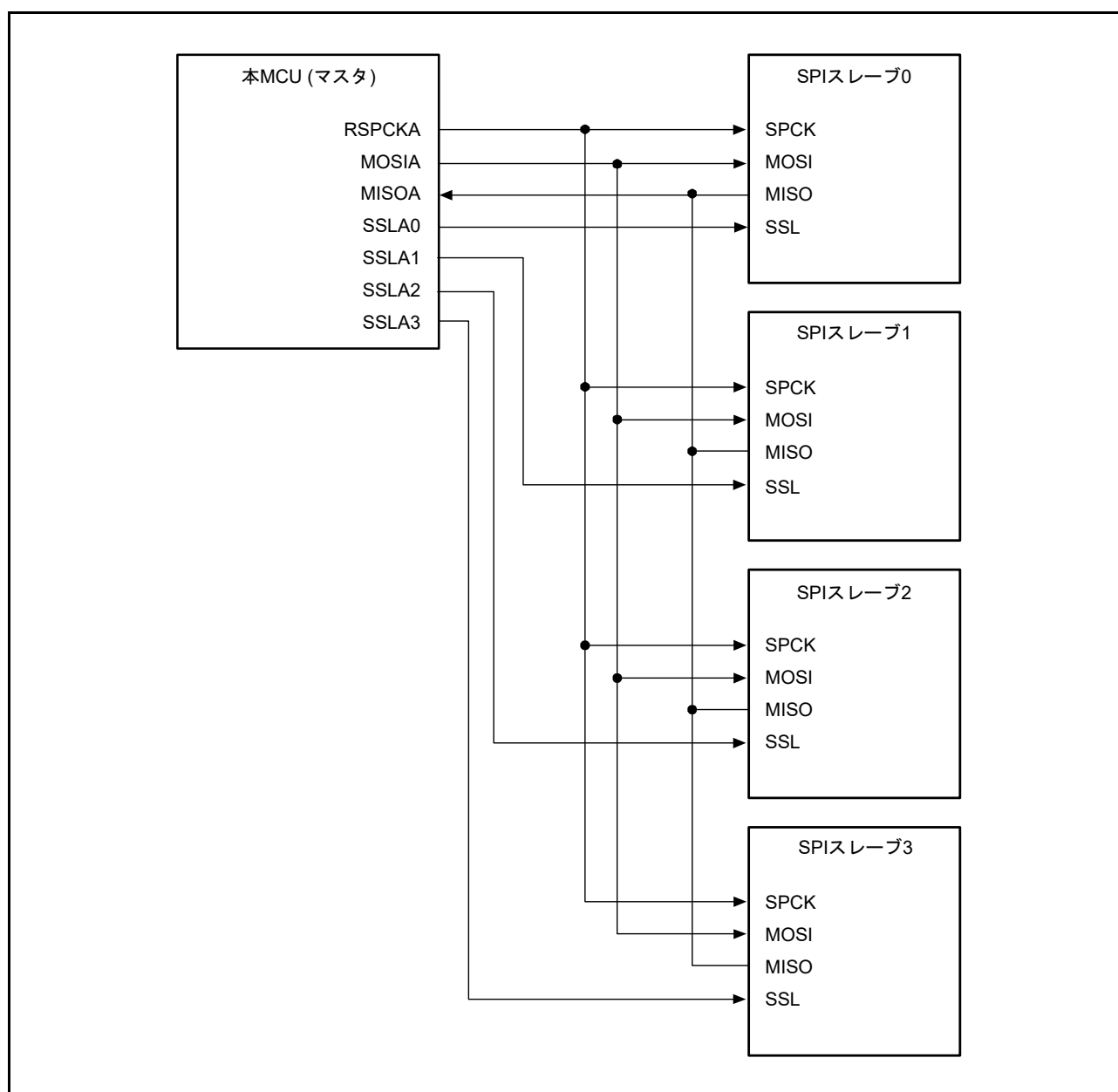


図 38.8 シングルマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

38.3.3.4 シングルマスタ / マルチスレーブ (本 MCU = スレーブ)

図 38.9 に、本 MCU をスレーブとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 38.9 の例では、SPI マスタと 2 つの本 MCU (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、本 MCU (スレーブ X、スレーブ Y) の RSPCKA 入力と MOSIA 入力に接続します。本 MCU (スレーブ X、スレーブ Y) の MISOA 出力は、SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、本 MCU (スレーブ X、スレーブ Y) の SSLA0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。本 MCU (スレーブ X、スレーブ Y) のうち、SSLA0 入力に Low を入力されているスレーブが、MISOA をドライブします。

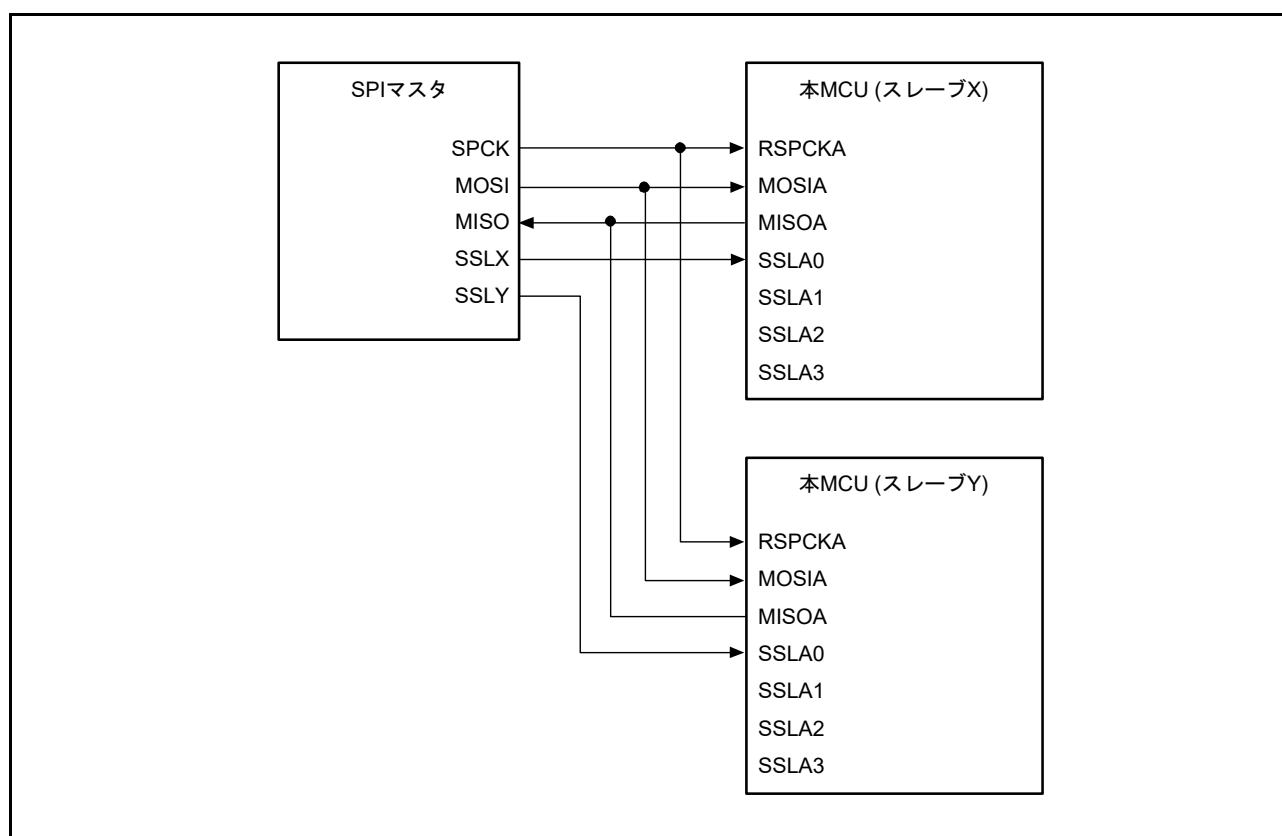


図 38.9 シングルマスタ / マルチスレーブの構成例 (本 MCU = スレーブ)

38.3.3.5 マルチマスタ / マルチスレーブ (本 MCU = マスタ)

図 38.10 に、本 MCU をマスタとして使用した場合のマルチマスタ / マルチスレーブの RSPI システム構成例を示します。図 38.10 の例では、2つの本 MCU (マスタ X、マスタ Y) と 2つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から RSPI システムを構成しています。

本 MCU (マスタ X、マスタ Y) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、本 MCU (マスタ X、マスタ Y) の MISOA 入力に接続します。本 MCU (マスタ X) の任意の汎用ポート Y 出力は、本 MCU (マスタ Y) の SSLA0 入力に接続します。本 MCU (マスタ Y) の任意の汎用ポート X 出力は、本 MCU (マスタ X) の SSLA0 入力に接続します。本 MCU (マスタ X、マスタ Y) の SSLA1 出力と SSLA2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLA0 入力、スレーブ接続用の SSLA1 出力、SSLA2 出力のみでシステムを構成できるので、本 MCU の SSLA3 出力を使用していません。

本 MCU は、SSLA0 入力レベルが High の場合には、RSPCKA、MOSIA、SSLA1、SSLA2 をドライブします。SSLA0 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCKA、MOSIA、SSLA1、SSLA2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。SPI スレーブ 1、SPI スレーブ 2 のうち、SSL 入力が Low を入力されているスレーブが、MISO をドライブします。

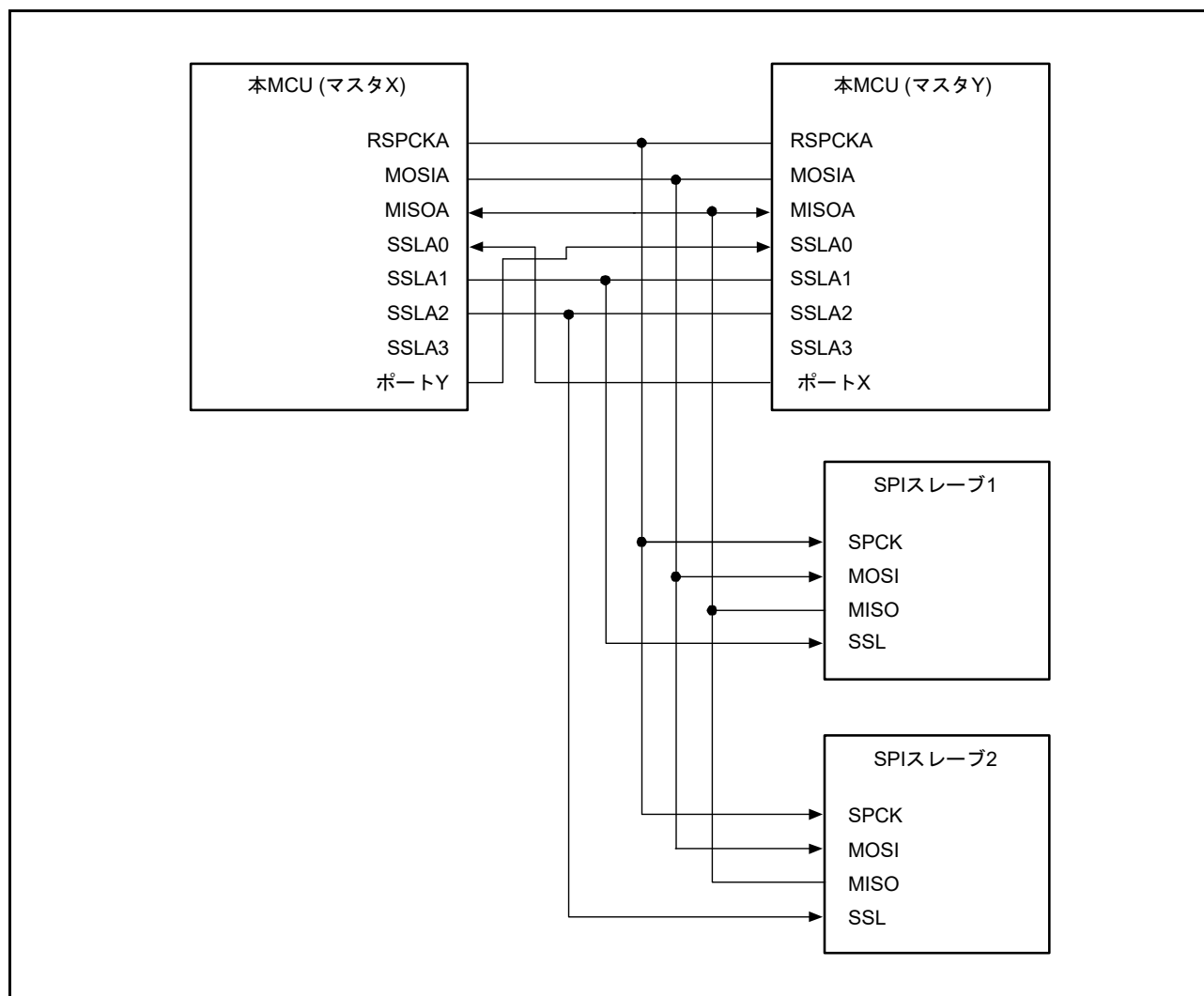


図 38.10 マルチマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

38.3.3.6 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)

図 38.11 に、本 MCU をマスタとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成では、本 MCU (マスタ) の SSLA0 ~ SSLA3 は使用しません。

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

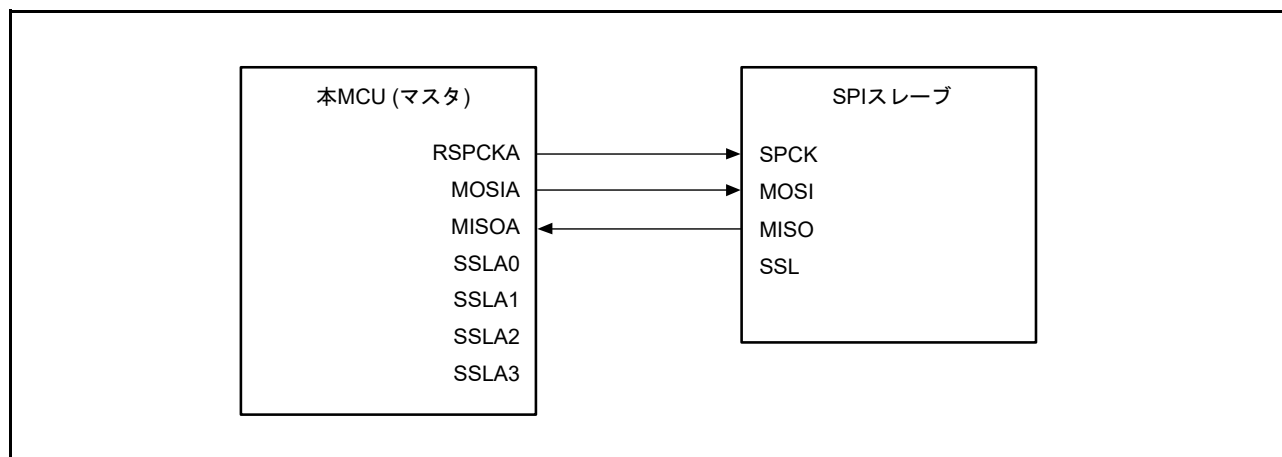


図 38.11 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 MCU = マスタ)

38.3.3.7 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)

図 38.12 に、本 MCU をスレーブとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 MCU をスレーブ (クロック同期式動作) として使用する場合には、本 MCU (スレーブ) は、MISOA をドライブし、SPI マスタは、SPCK と MOSI をドライブします。また、本 MCU (スレーブ) の SSLA0 ~ SSLA3 は使用しません。

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合のみ、本 MCU (スレーブ) はシリアル転送を実行することが可能です。

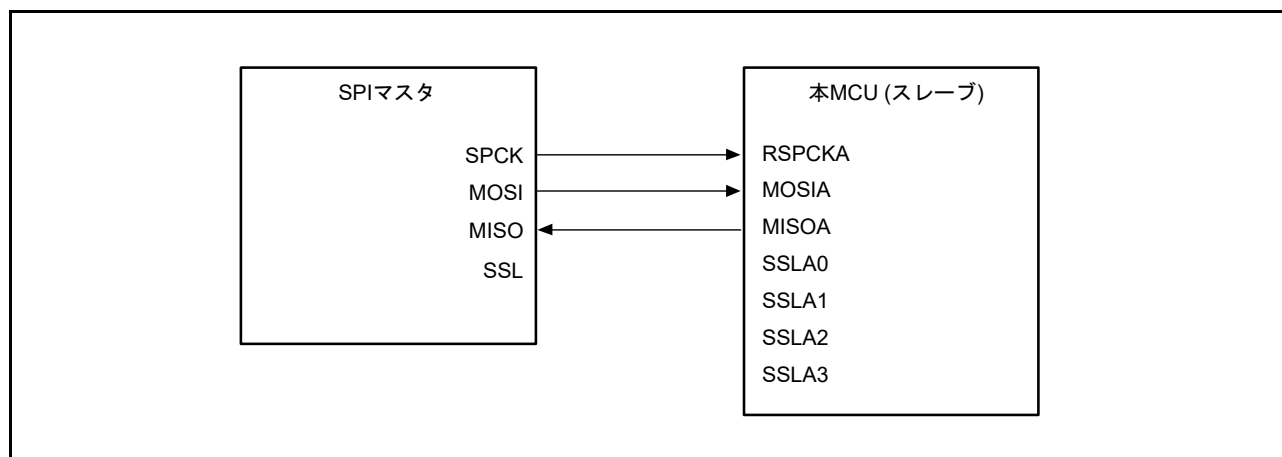


図 38.12 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例
(本 MCU = スレーブ、CPHA = 1)

38.3.4 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ m (SPCMD m)、RSPI 制御レジスタ 2 のパリティ許可ビット (SPCR2.SPPE) の設定値に依存します。MSB/LSB ファーストに関わらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a) パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。

(b) パリティ機能有効時

パリティ機能有効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

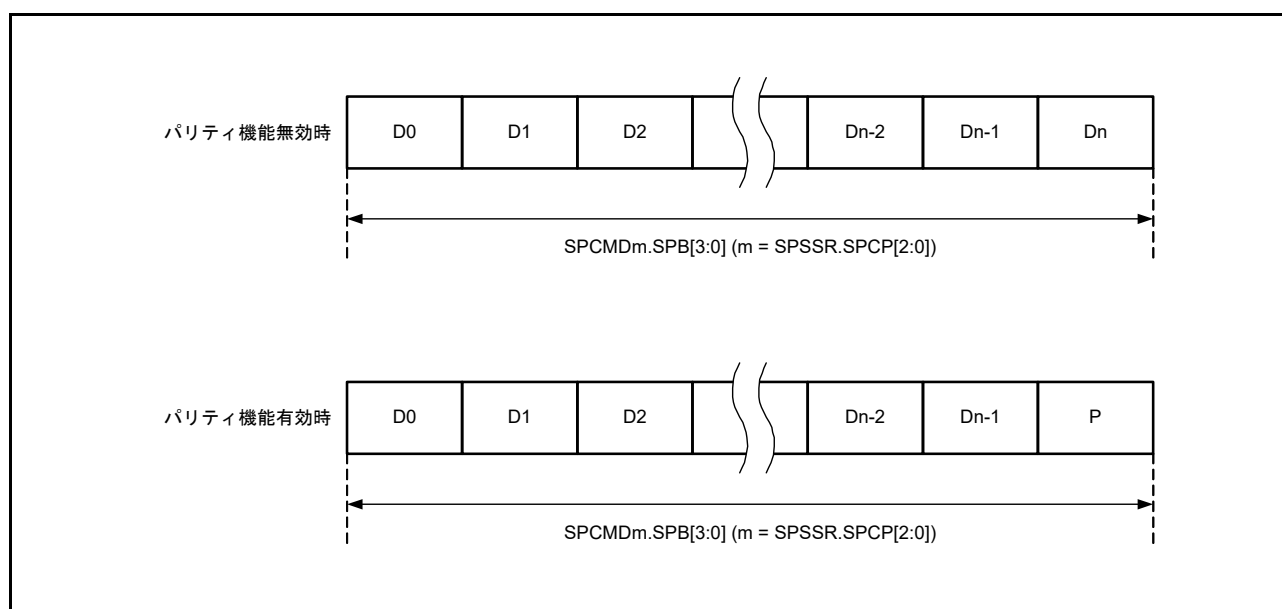


図 38.13 データフォーマット概要 (パリティ機能無効時 / 有効時)

38.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下にRSPI データレジスタ (SPDR) とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1) MSB ファースト転送 (32 ビットデータ)

図 38.14 に、パリティ機能無効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

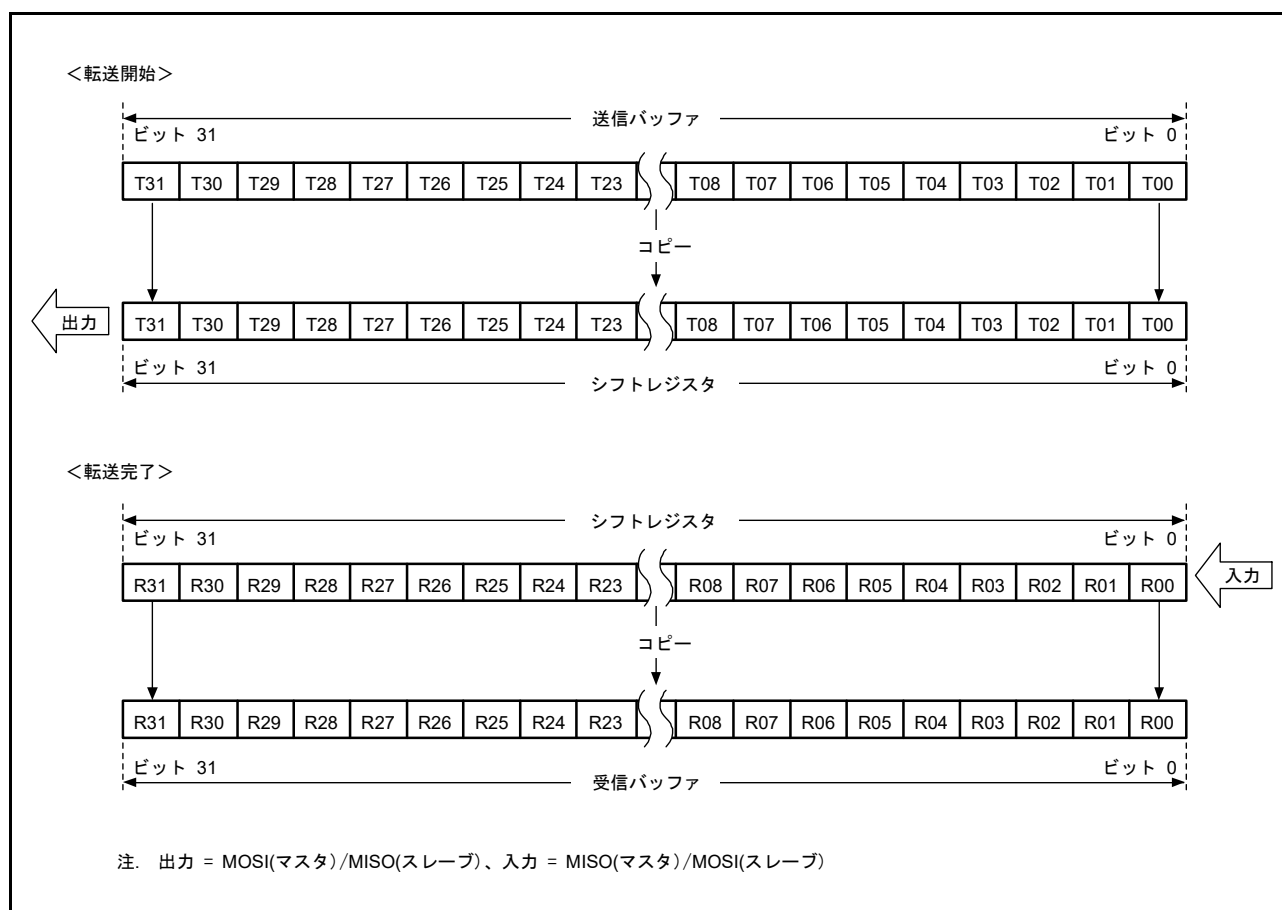


図 38.14 MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(2) MSB ファースト転送 (24 ビットデータ)

図 38.15 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

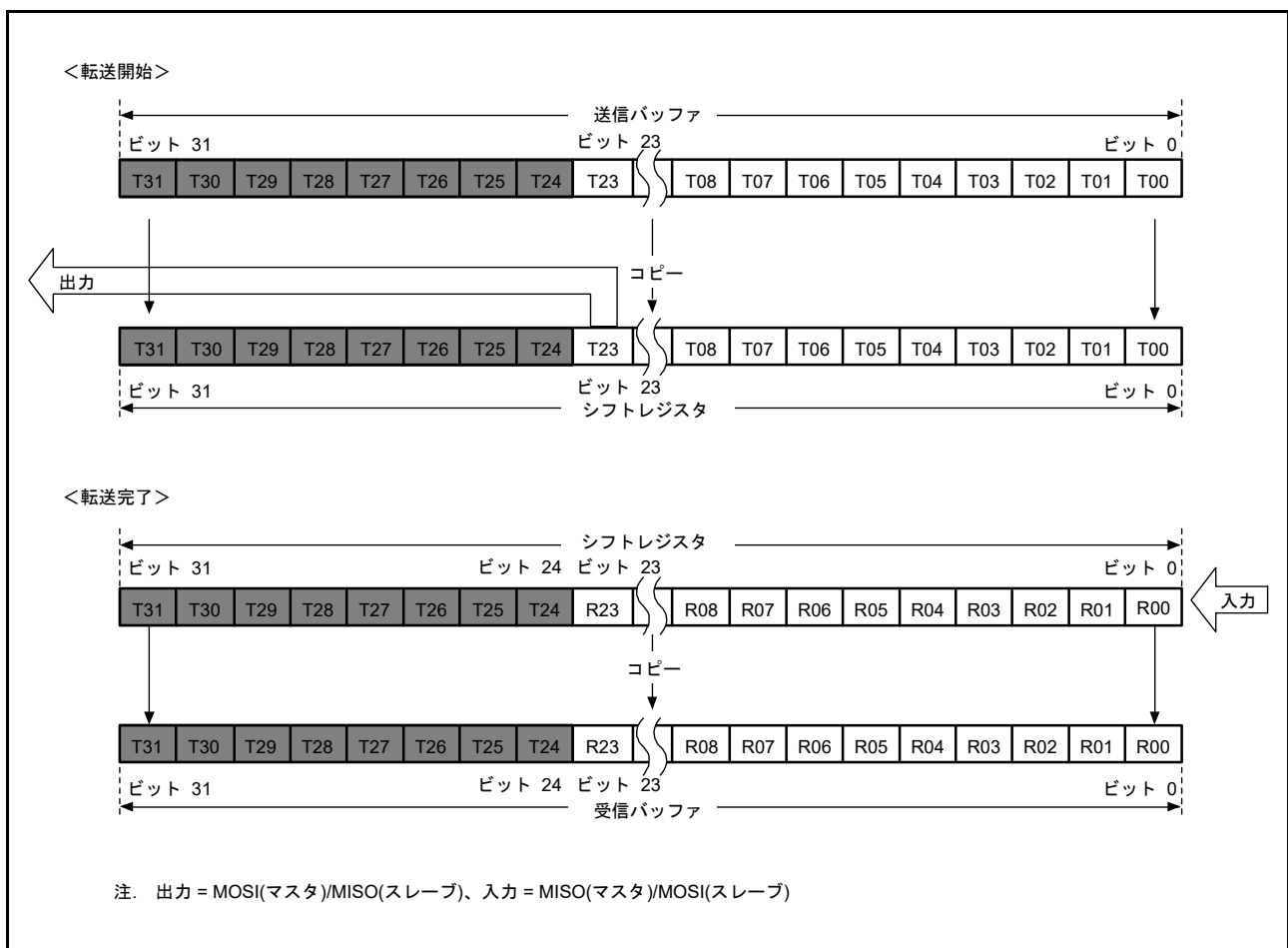


図 38.15 MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

(3) LSB ファースト転送 (32 ビットデータ)

図 38.16 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ~ T00) をビット単位で入れ替え、シフトレジスタに T00 ~ T31 の順番に並び替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

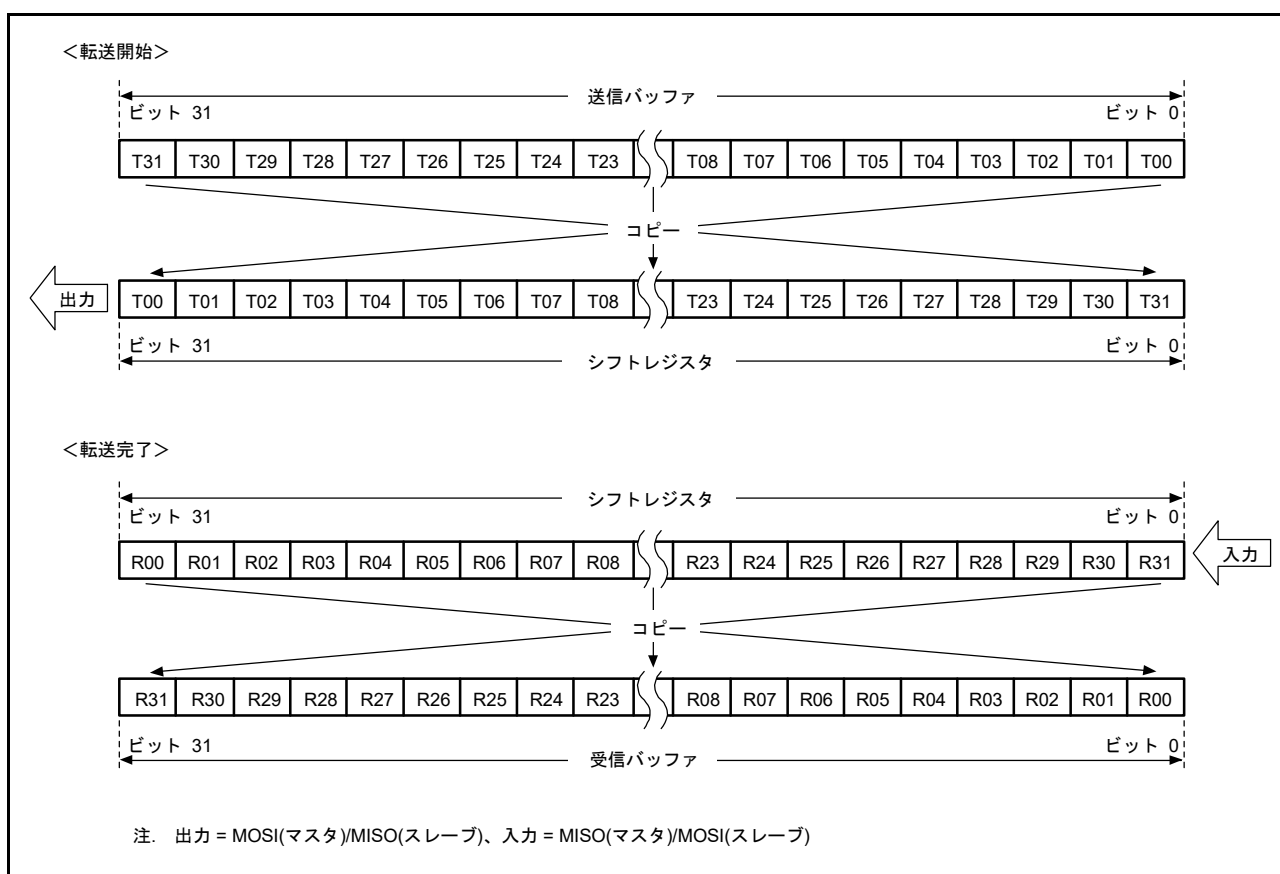


図 38.16 LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4) LSB ファースト転送 (24 ビットデータ)

図 38.17 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

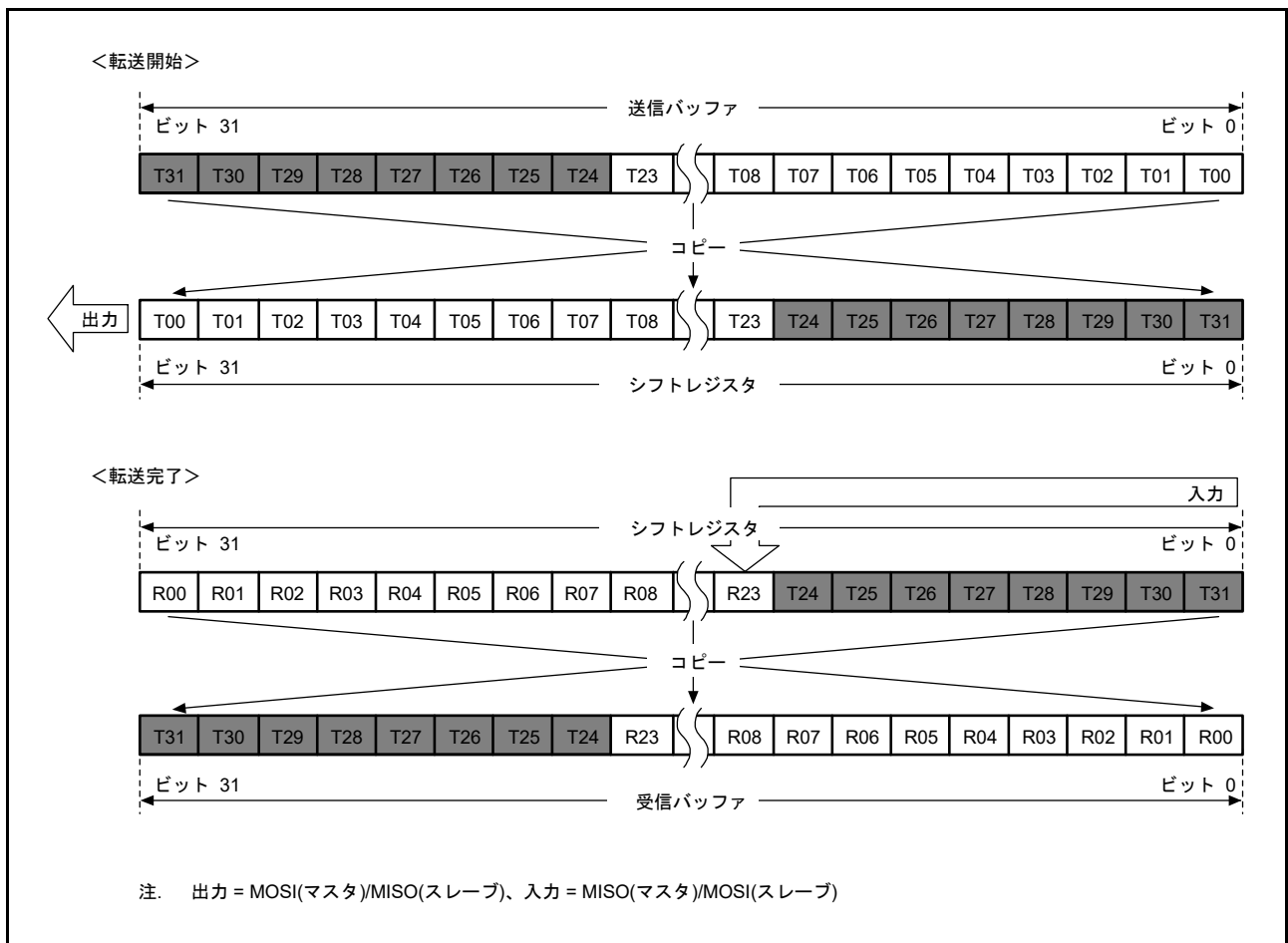


図 38.17 LSB ファースト (24 ビットデータ / パリティ機能無効)

38.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1) MSB ファースト転送 (32 ビットデータ)

図 38.18 に、パリティ機能有効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ~ P のデータをチェックし、パリティエラーの判定を行います。

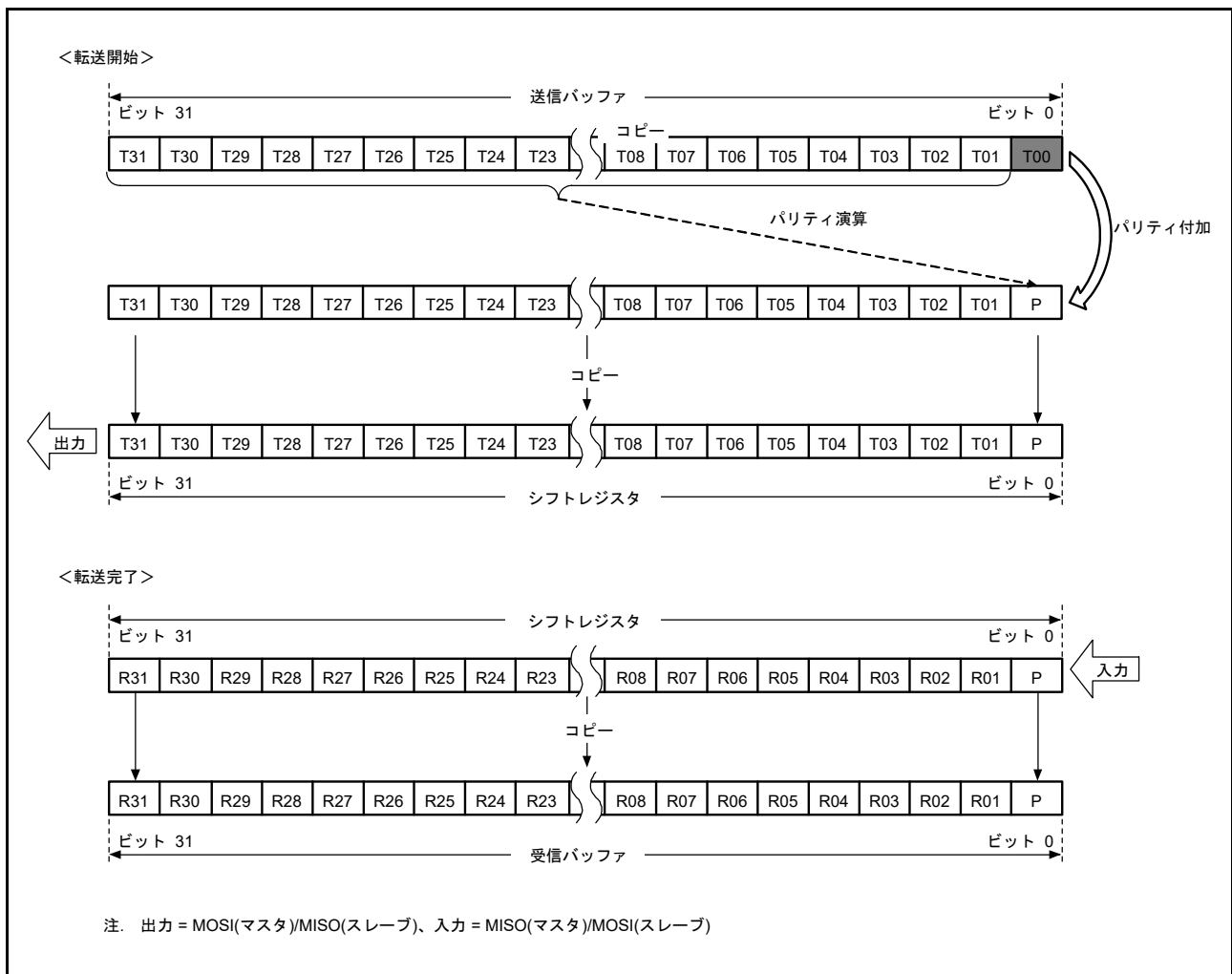


図 38.18 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) MSB ファースト転送 (24 ビットデータ)

図 38.19 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

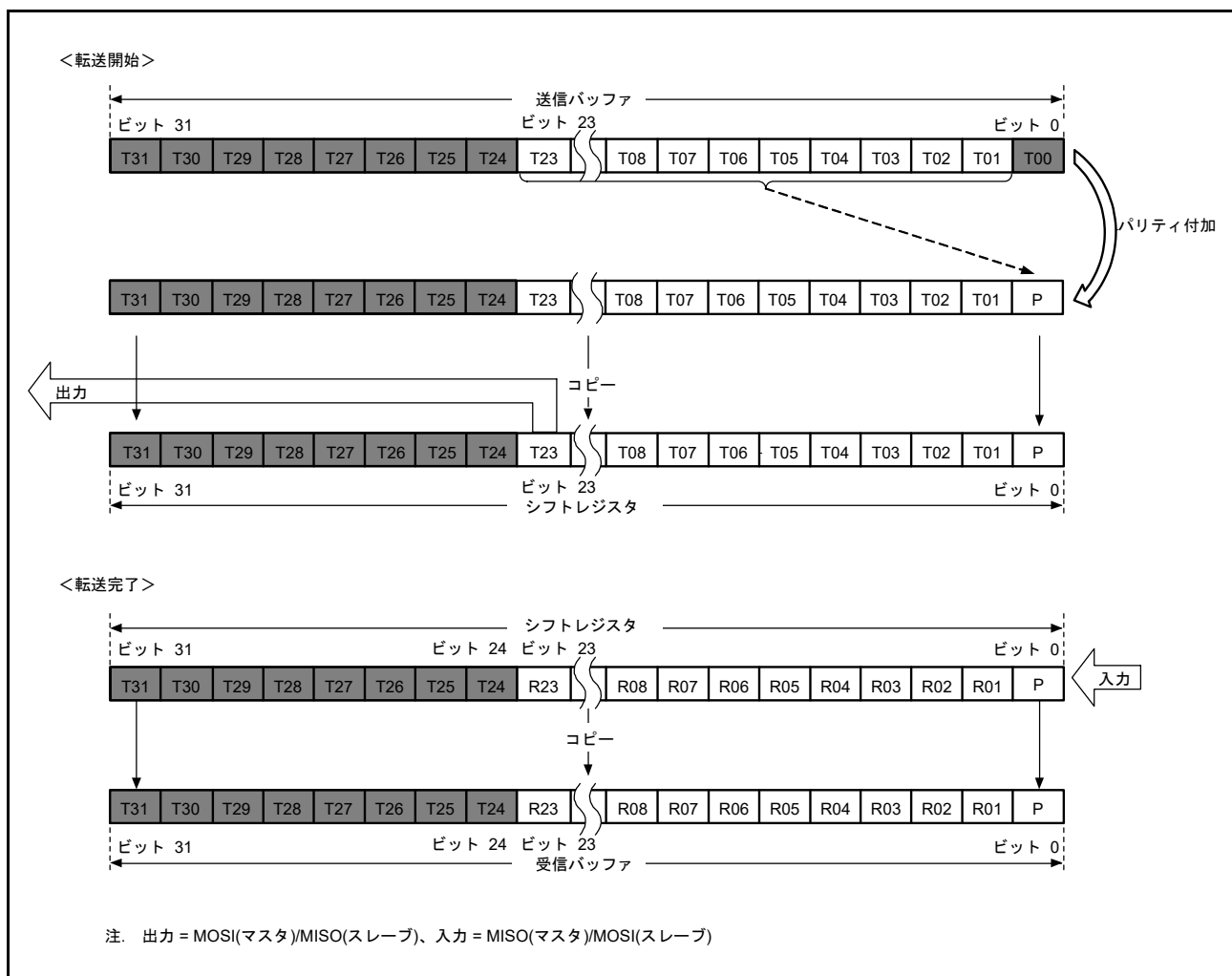


図 38.19 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) LSB ファースト転送 (32 ビットデータ)

図 38.20 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ~ P まで受信データがたまと、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。

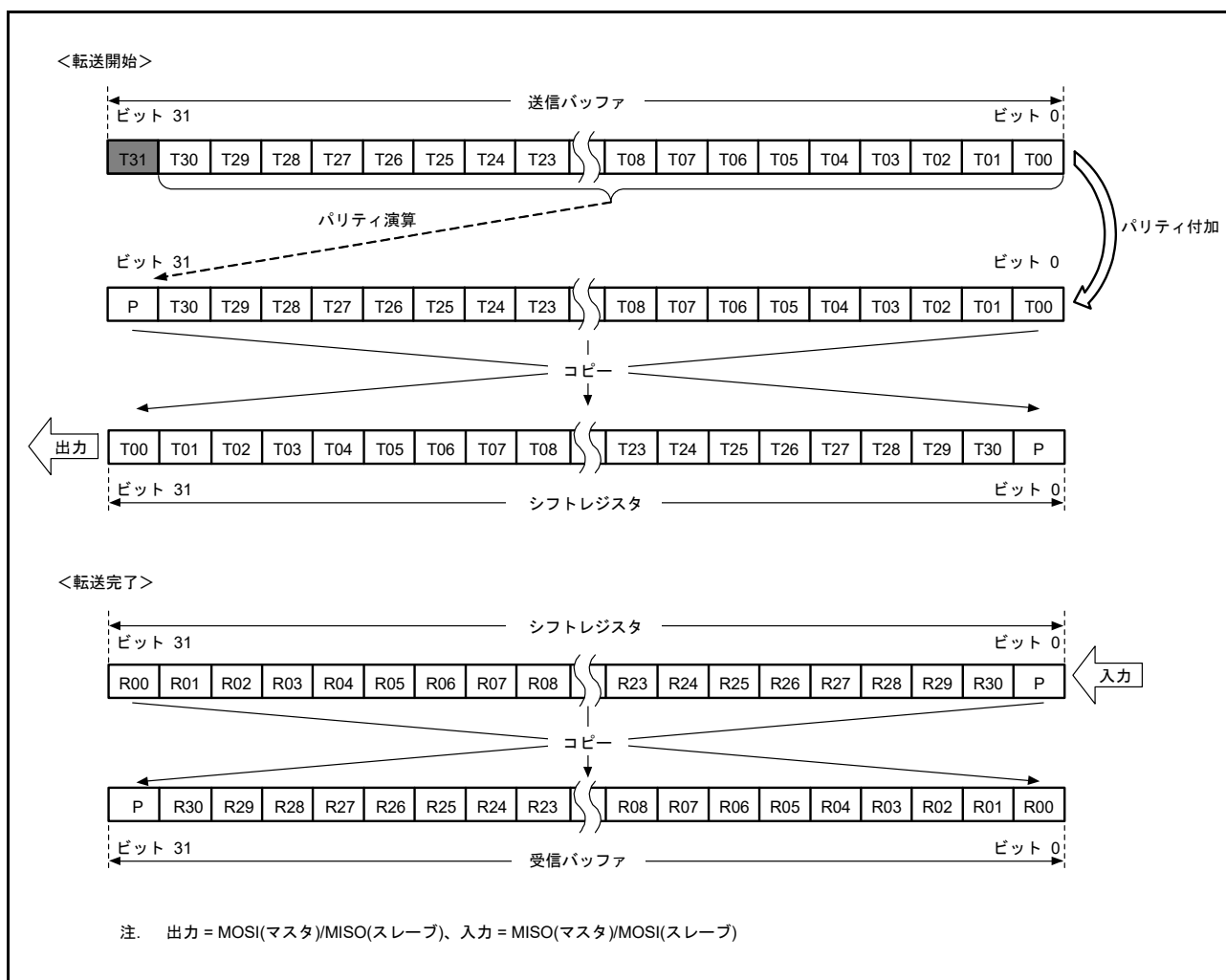


図 38.20 LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 38.21 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

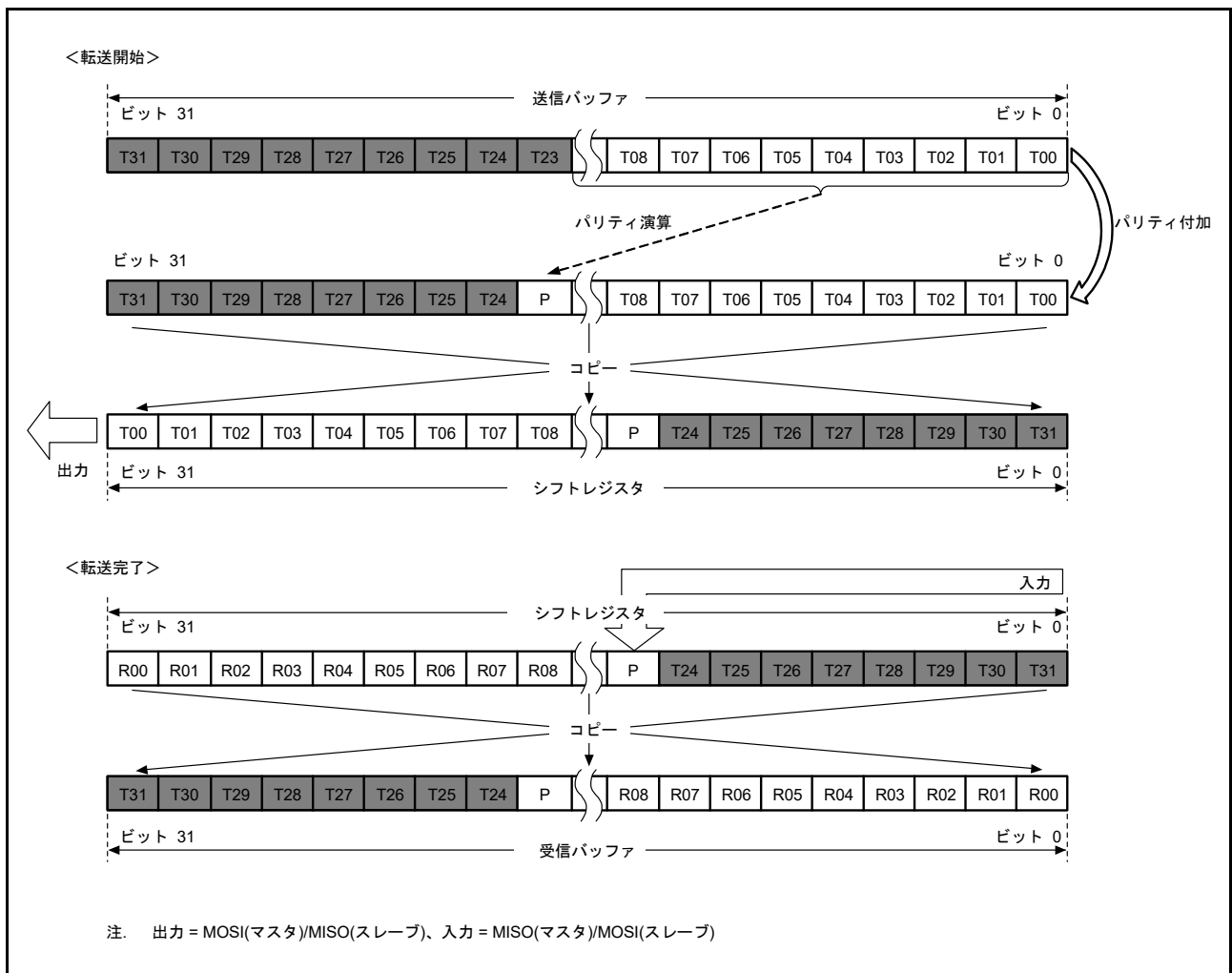


図 38.21 LSB ファースト (24 ビットデータ / パリティ機能有効)

38.3.5 転送フォーマット

38.3.5.1 CPHA ビット = 0 の場合

図 38.22 に SPCMDm.CPHA ビットが“0”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード (SPCR.MSTR = 0) で CPHA ビットが“0”の場合のクロック同期式動作 (SPCR.SPMS ビットが“1”の場合) はしないでください。図 38.22 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「38.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“0”の場合には、SSLAi 信号のアサートタイミングで、MOSIA 信号と MISOA 信号への有効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1 RSPCK 周期ごとにデータがサンプリングされます。MOSIA 信号と MISOA 信号の変化タイミングは、転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は、RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLAi 信号のアサートから RSPCKA 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKA 発振停止から SSLAi 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLAi 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「38.3.10.1 マスタモード動作」を参照してください。

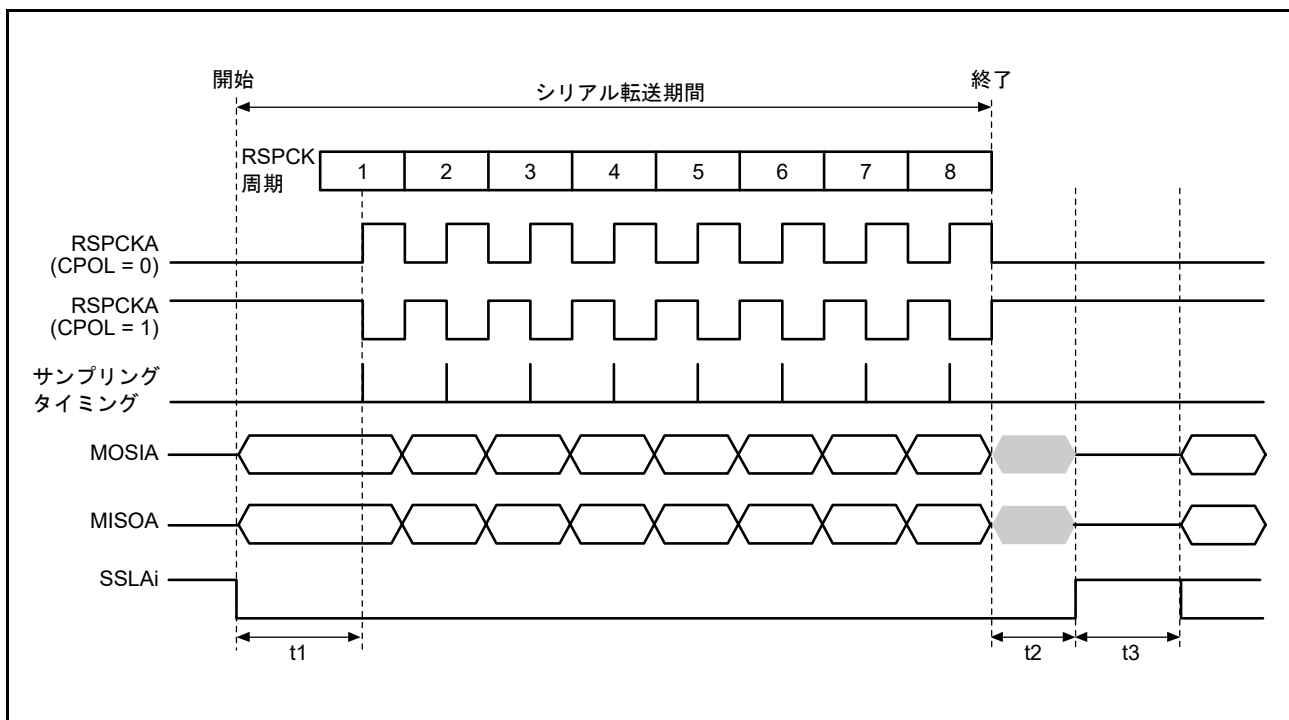


図 38.22 RSPI 転送フォーマット (CPHA ビット = 0)

38.3.5.2 CPHA ビット = 1 の場合

図 38.23 に SPCMDm.CPHA ビットが“1”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが“1”の場合は SSLAi 信号を用いず、RSPCKA 信号、MOSIA 信号、MISOA 信号のみで通信を行います。図 38.23 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード(マスタ/スレーブ)に依存します。詳細は「38.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“1”の場合には、SSLAi 信号のアサートタイミングで、MISOA 信号に無効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングで、MOSIA 信号と MISOA 信号への有効データへの出力が開始され、このタイミング以降 1 RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このタイミングの 1/2 RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「38.3.10.1 マスタモード動作」を参照してください。

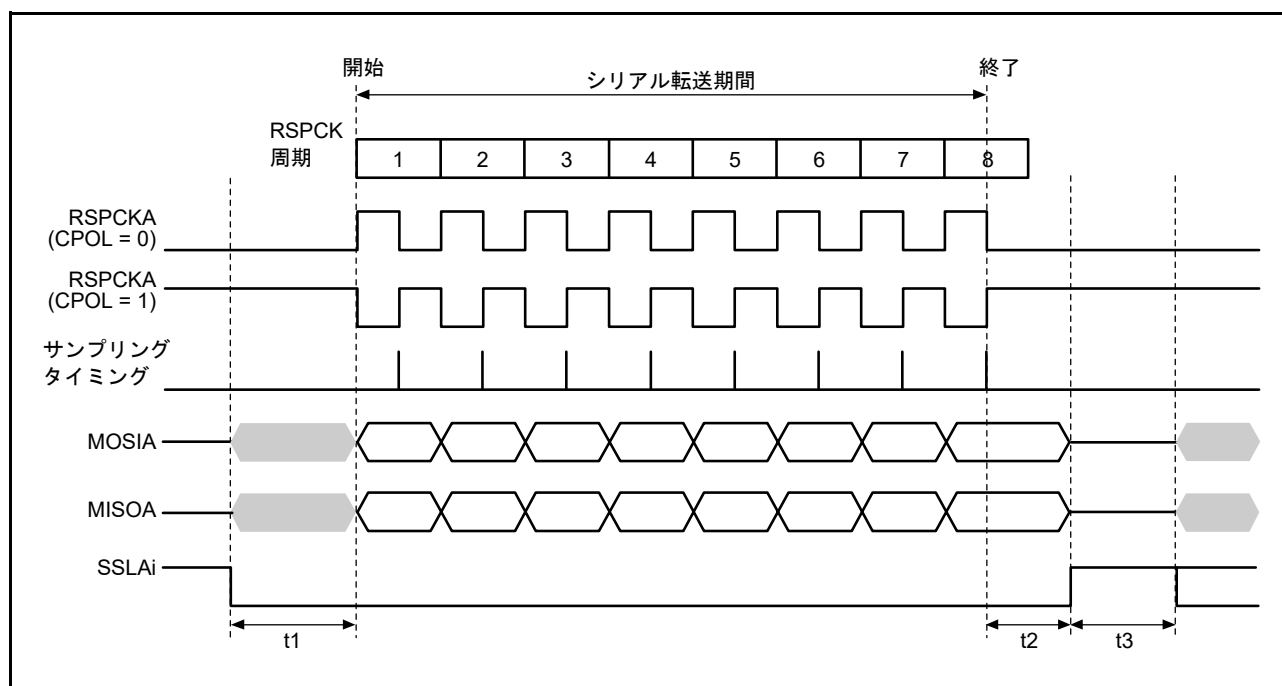


図 38.23 RSPI 転送フォーマット (CPHA ビット = 1)

38.3.6 通信動作モード

SPCR.TXMD ビットの設定により、全二重同期式シリアル通信または送信のみの動作を選択します。図 38.24、図 38.25 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクルを示しています。

38.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD = 0)

図 38.24 に、SPCR.TXMD ビットを“0”にした場合の動作例を示します。図 38.24 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

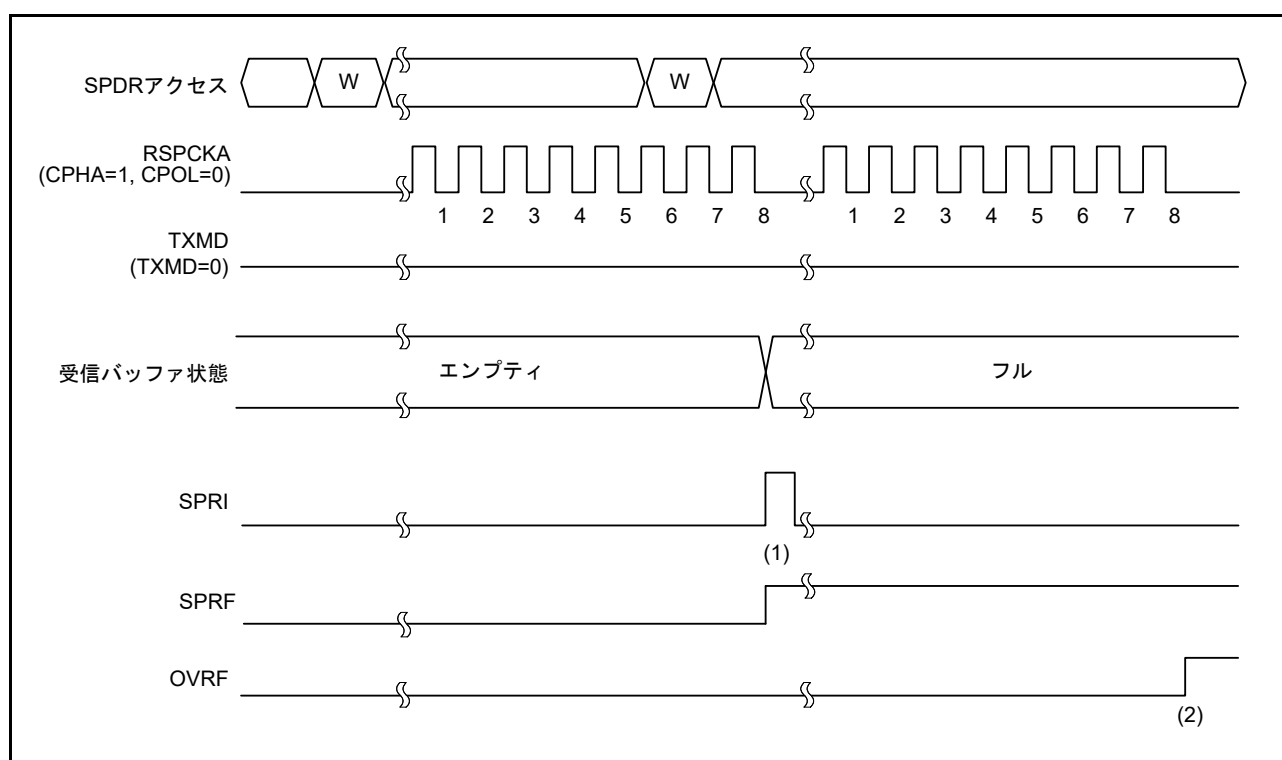


図 38.24 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を発生 (SPSR.SPRF フラグを“1”) してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

全二重同期式シリアル通信時 (SPCR.TXMD = 0) は、送信と同時に受信も行います。そのため、SPSR.SPRF、OVRF フラグは受信バッファの状態に応じて、それぞれ (1)、(2) のタイミングで“1”になります。

38.3.6.2 送信のみ動作 (SPCR.TXMD = 1)

図 38.25 に、SPCR.TXMD ビットを“1”に設定した場合の動作例を示します。図 38.25 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPIa が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

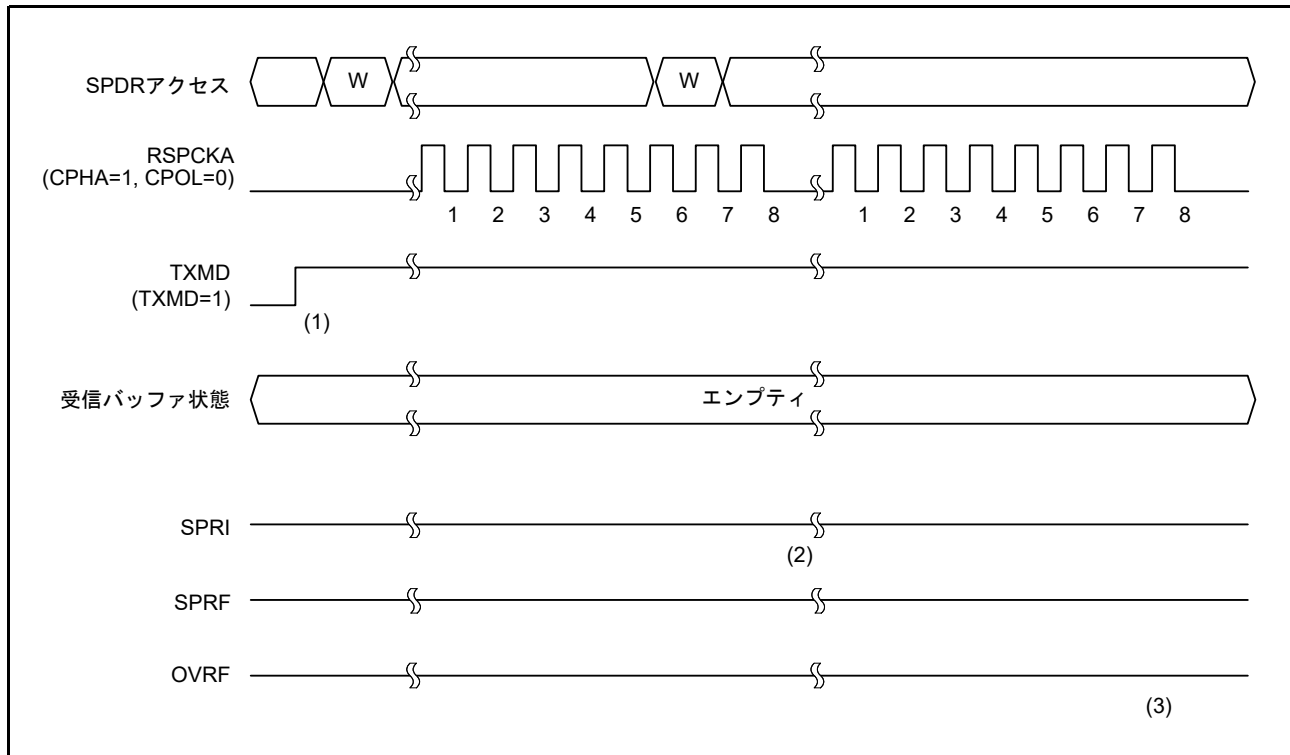


図 38.25 SPCR.TXMD = 1 の動作例

以下に、図中の (1)、(2)、(3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信のみ動作 (SPCR.TXMD = 1) への遷移は、受信バッファにデータが残っていないこと、SPSR.SPRF、OVRF フラグが“0”であることを確認してから、行ってください。
- (2) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみ動作 (SPCR.TXMD = 1) のときは、SPRF フラグは“0”を維持し、シフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作時 (SPCR.TXMD = 1) は、データ送信を実施するだけで、受信は行いません。そのため、SPSR.SPRF、OVRF フラグは (1)、(2)、(3) いずれのタイミングでも“0”を保持します。

38.3.7 送信バッファエンプティ/受信バッファフル割り込み

図 38.26 に送信バッファエンプティ割り込み (SPTI) と受信バッファフル割り込み (SPRI) の動作例を示します。図 38.26 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 38.26 の例では、SPCR.TXMD ビットが“0”、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

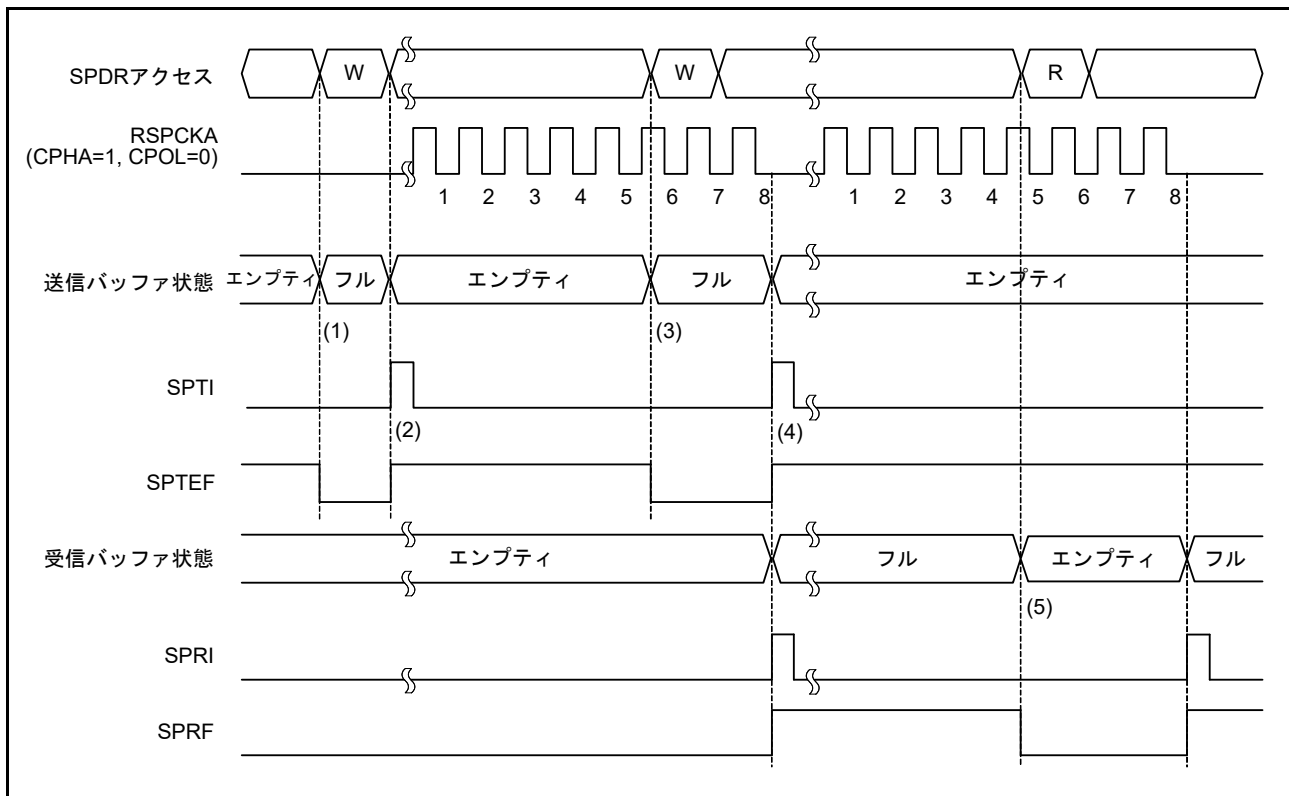


図 38.26 SPTI、SPRI 割り込みの動作例

以下に、図中の (1) ~ (5) に示したタイミングでの割り込みの動作内容を説明します。

- (1) SPDR レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを“0”にします。
- (2) シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPTI) を発生し、SPSR.SPTEF フラグを“1”にします。なお、シリアル転送の開始方法は、RSPI のモードに依存します。(「38.3.10 SPI 動作」、「38.3.11 クロック同期式動作」参照)
- (3) 送信バッファエンプティ割り込みルーチンまたは SPTEF フラグによる送信バッファエンプティ判定処理で、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送され、SPSR.SPTEF フラグが“0”になります。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
- (4) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を発生させ、SPSR.SPRF フラグを“1”にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が SPSR.SPTEF フラグを“1”にして送信

バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了するとRSPIはシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

- (5) 受信バッファフル割り込みルーチンまたはSPRFフラグによる受信バッファフル判定処理で、SPDRレジスタを読み出すと、受信データが読み出せます。受信データを読み出すと、SPRFフラグが“0”になります。

送信バッファに未送信のデータがある状態(SPTEFフラグが“0”)で、SPDRレジスタに送信データを書き込んだ場合には、RSPIは送信バッファのデータを更新しません。SPDRレジスタに送信データを書き込む場合には、送信バッファエンpty割り込みルーチンまたはSPTEFフラグによる送信バッファエンpty判定処理で行ってください。また、送信バッファエンpty割り込みを利用する場合には、SPCRのSPTIEビットを“1”にしてください。

SPCR.SPEビットを“0”(RSPI機能は無効)にするときは、SPCR.SPTIEビットも同時に“0”にしてください。SPCR.SPEビットが“0”のときにSPCR.SPTIEビットが“1”であると、送信バッファエンpty割り込み要求が発生します。

受信バッファフル(SPRFフラグが“1”)の状態では、シリアル転送が終了した場合には、RSPIはシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します(「38.3.8 エラー検出」参照)。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。またRSPI受信バッファフル割り込みを利用する場合には、SPCR.SPRIEビットを“1”にしてください。

送信/受信バッファの状態は、送信/受信割り込み、または対応するICUのIRn.IRフラグ(n=割り込みベクタ番号)によって確認することができます。割り込みベクタ番号については、「15. 割り込みコントローラ(ICUb)」を参照してください。また、SPTEFフラグ/SPRFフラグによって確認することもできます。

38.3.8 エラー検出

通常のRSPIのシリアル転送では、SPDRレジスタの送信バッファに書き込んだデータが送信され、受信されたデータをSPDRレジスタの受信バッファから読み出すことができます。SPDRレジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始/終了時のRSPIの状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPIはオーバランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表38.8に、通常以外の転送動作とRSPIのエラー検出機能の関係を示します。

表38.8 通常以外の転送の発生条件とRSPIのエラー検出機能

	発生条件	RSPI動作	エラー検出
1	送信バッファフルの状態ですPDRレジスタを書き込み	<ul style="list-style-type: none"> 送信バッファ内容を保持 書き込みデータ欠落 	なし
2	受信バッファエンプティの状態ですPDRレジスタを読み出し	前回受信したデータをバスに出力	なし
3	スレープモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始	前回シリアル転送時の受信データを送信	なし
4	受信バッファフルの状態、シリアル転送が終了	受信バッファ内容を保持 受信データ欠落	オーバランエラー検出
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出
6	マルチマスタモードでシリアル転送アイドル時にSSLA0入力信号アサート	<ul style="list-style-type: none"> RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
7	マルチマスタモードでシリアル転送中にSSLA0入力信号アサート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
8	スレープモードでシリアル転送中にSSLA0入力信号がネゲート	<ul style="list-style-type: none"> シリアル転送中断 送受信データ欠落 MISOA出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出

表38.8の1に示した動作に対しては、RSPIはエラーを検出しません。SPDRレジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求発生時、またはSPSR.SPTEFフラグが“1”のときにSPDRレジスタへの書き込みを実施してください。

2に示した動作に対しても、RSPIはエラーを検出しません。不要なデータを読み出さないようにするためには、RSPI受信バッファフル割り込み要求発生時、またはSPSR.SPRFフラグが“1”のときにSPDRレジスタの読み出しを実行するようにしてください。

3に示した動作に対しても、RSPIはエラーを検出しません。RSPIでは、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、3に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データはSPDRレジスタの受信バッファに保持されているので、正しく読み出されます(シリアル転送が終了する前にSPDRレジスタを読み出さないと、オーバランエラーが発生します)。

4に示したオーバランエラーについては「38.3.8.1 オーバランエラー」で、5に示したパリティエラーについては「38.3.8.2 パリティエラー」で説明します。また、6～8に示したモードフォルトエラーについては「38.3.8.3 モードフォルトエラー」で説明します。

なお、送受信の割り込みについては、「38.3.7 送信バッファエンプティ/受信バッファフル割り込み」を参照してください。

38.3.8.1 オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを“1”にします。OVRF フラグが“1”の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを“0”にするためには、OVRF フラグが“1”にセットされた状態の SPSR レジスタを読み出した後に、OVRF フラグに“0”を書く必要があります。

図 38.27 に、SPRF フラグと OVRF フラグの動作を示します。図 38.27 に記載した SPSR アクセスと SPDR アクセスは、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 38.27 の例では、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

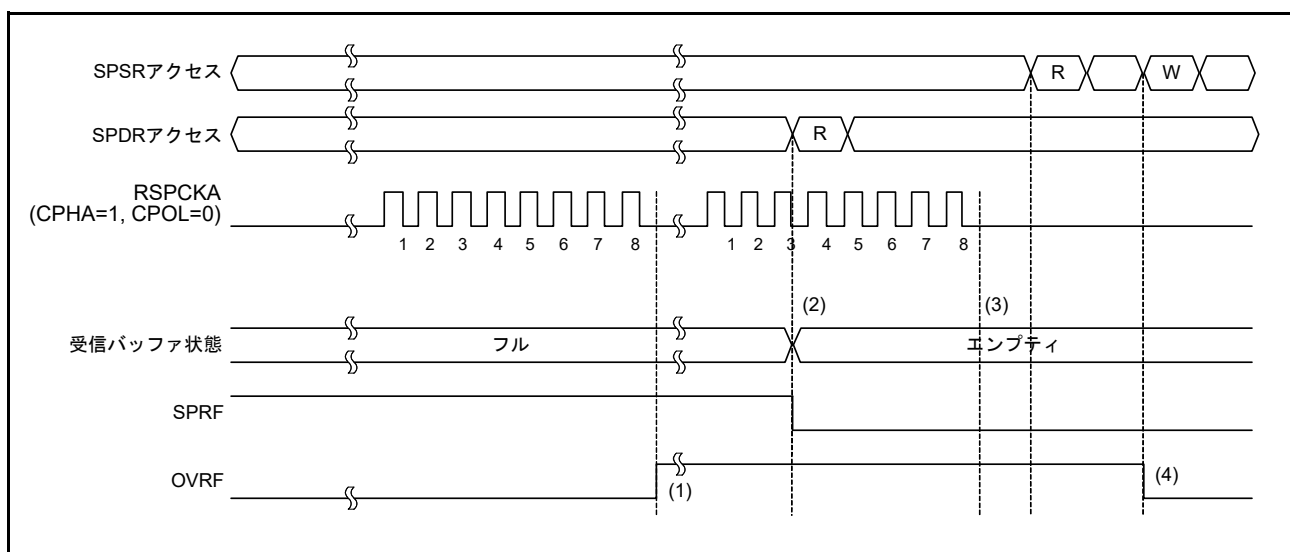


図 38.27 SPRF フラグと OVRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

- (1) 受信バッファフル (SPRF フラグが“1”) の状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを“1”にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) SPDR レジスタを読み出すと、RSPI は受信バッファのデータが読み出せます。このとき SPRF フラグは“0”になります。受信バッファが空になっても、OVRF フラグは“0”になりません。
- (3) OVRF フラグが“1”の状態 (オーバランエラー) でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは“0”のままです)。受信バッファフル割り込みも発生しません。また、SPPE ビット“1”であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
- (4) OVRF フラグが“1”の状態 で SPSR レジスタを読んだ後、OVRF フラグに“0”を書くと、RSPI は OVRF フラグを“0”にします。

オーバランの発生は、SPSR レジスタの読み出しあるいは RSPI エラー割り込みと SPSR レジスタの読み出

しによって確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバランエラーが発生して OVRF フラグが“1”になると、OVRF フラグが“0”になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効にした場合は、オーバランエラーが発生しません。図 38.28、図 38.29 にマスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

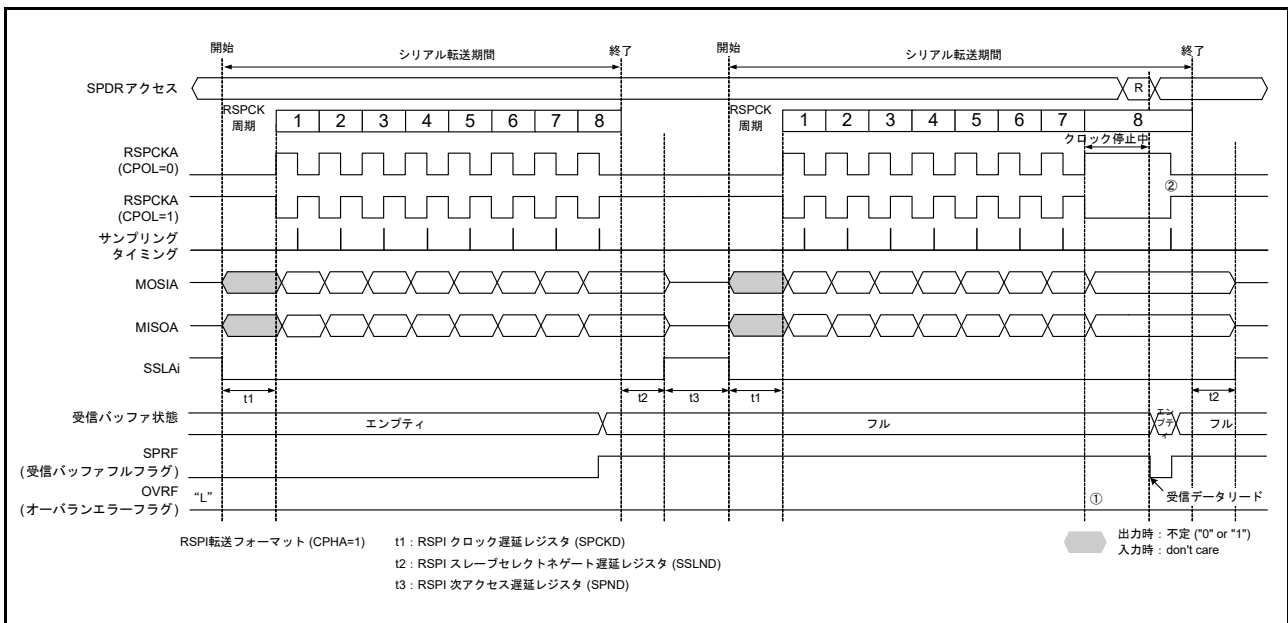


図 38.28 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

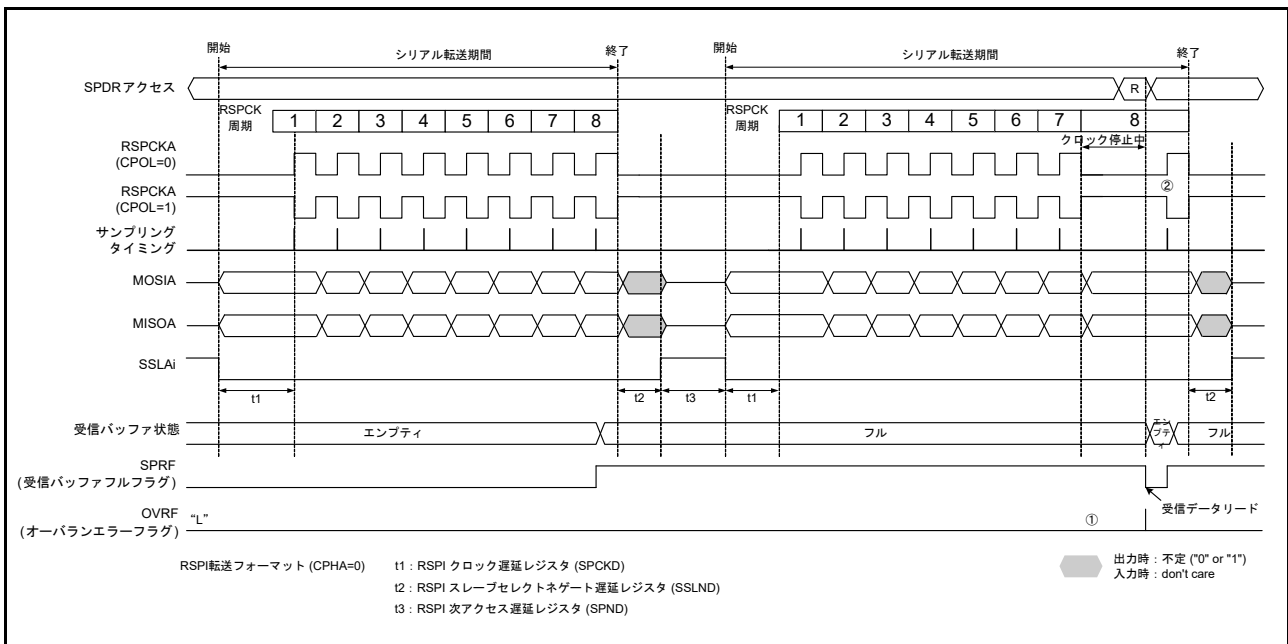


図 38.29 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) 受信バッファフルの場合は、RSPCK クロックが停止するためオーバランエラーは発生しません。
- (2) クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後 (SPRF フラグが“0”になった後)、RSPCK クロックが再開します。

38.3.8.2 パリティエラー

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態では全二重同期式シリアル通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPIは、受信データにパリティエラーを検出すると、SPSR.PERF フラグを“1”にします。SPSR.OVRF フラグが“1”の状態では、RSPIはシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを“0”にするためには、PERF フラグが“1”の状態の SPSR レジスタを読んだ後、PERF フラグに“0”を書く必要があります。

図 38.30 に、OVRF フラグと PERF フラグの動作を示します。図 38.30 に記載した“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 38.30 の例では、SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態では全二重同期式シリアル通信を行います。SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

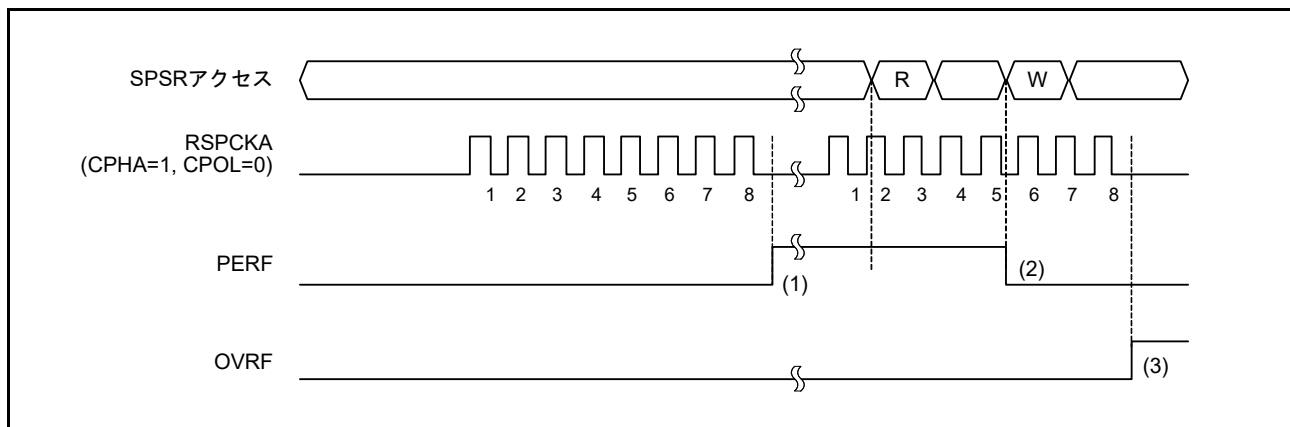


図 38.30 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) RSPI がオーバランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを“1”にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) PERF フラグが“1”の状態では SPSR レジスタを読んだ後、PERF フラグに“0”を書くと、PERF フラグが“0”になります。
- (3) RSPI がオーバランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

38.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが“1”、SPCR.SPMS ビットが“0”、SPCR.MODFEN ビットが“1”の場合には、RSPIはマルチマスタモードで動作します。マルチマスタモードのRSPIのSSLA0入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPIはモードフォルトエラーを検出してSPSR.MODFフラグを“1”にします。モードフォルトエラーを検出すると、RSPIはSPSSR.SPECM[2:0]ビットに、SPCMDmレジスタに対するポインタの値をコピーします。なお、SSLA0信号のアクティブレベルは、SSLP.SSLOPビットによって決定されます。

MSTR ビットが“0”の場合には、RSPIはスレーブモードで動作します。スレーブモードのRSPIのMODFEN ビットが“1”、SPMS ビットが“0”の場合、シリアル転送期間(有効データのドライブ開始から最終有効データの取り込みまで)にSSLA0入力信号がネゲートされると、RSPIはモードフォルトエラーを検出します。

RSPIはモードフォルトエラーを検出すると、出力信号のドライブ停止およびSPCR.SPEビットのクリアを実施します(「38.3.9 RSPIの初期化」を参照)。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブとRSPI機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSRレジスタの読み出し、あるいはRSPIエラー割り込みとSPSRレジスタの読み出しによって確認できます。RSPIエラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSRレジスタをポーリングする必要があります。RSPIをマスタモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。

MODFフラグが“1”の状態では、RSPIはSPEビットへの“1”の書き込みを無視します。モードフォルトエラー検出後にRSPI機能を有効にするためには、MODFフラグを“0”にしてください。

38.3.9 RSPIの初期化

SPCR.SPE ビットに“0”を書いた場合、またはモードフォルトエラー検出によりRSPIがSPEビットを“0”にした場合には、RSPIはRSPI機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPIはモジュール機能をすべて初期化します。以下に、SPCR.SPEビットを“0”にすることによる初期化とシステムリセットによる初期化について説明します。

38.3.9.1 SPEビットのクリアによる初期化

SPCR.SPEビットを“0”にしたとき、RSPIは以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI内部ステータスの初期化
- RSPI送信バッファを空にする (SPTEFフラグを“1”にする)

SPEビットを“0”にする初期化では、RSPIの制御ビットは初期化されません。このため、再度SPEビットを“1”にすれば初期化前と同じ転送モードでRSPIを起動できます。

SPSR.SPRF、OVRF、MODF、PERFフラグの値は初期化されません。また、SPSSRレジスタの値も初期化されません。このため、RSPIの初期化後も受信バッファのデータの読み出し、RSPI転送時のエラー発生状況の確認ができます。

送信バッファは空 (SPTEFフラグが“1”)の状態に初期化されます。このため、RSPI初期化後にSPCR.SPTIEビットを“1”にしていると、送信バッファエンプティ割り込みが発生します。CPUでRSPIを初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPEビットへの“0”書き込みと同時にSPTIEビットにも“0”を書いてください。

38.3.9.2 システムリセット

システムリセットによる初期化では、「38.3.9.1 SPEビットのクリアによる初期化」に記載の事項に加え、RSPI制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPIが完全に初期化されます。

38.3.10 SPI 動作

38.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出(「38.3.8 エラー検出」を参照)のみです。シングルマスタモードのRSPIではモードフォルトエラーを検出しません。マルチマスタモードのRSPIではモードフォルトエラーを検出します。本節では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

RSPI送信バッファが空(SPTEFフラグが“1”、次転送のデータがセットされていない)の状態、SPDRレジスタへデータを書き込むと、RSPIはSPDRレジスタの送信バッファ(SPTX)のデータを更新します。SPDRレジスタへSPDCR.SPFC[1:0]ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIの転送フォーマットの詳細については「38.3.5 転送フォーマット」を参照してください。SSLAi出力端子の極性は、SSLPレジスタの設定値に依存します。

(2) シリアル転送の終了

SPCMDm.CPHAビットにかかわらず、RSPIは最終サンプリングタイミングに対応するRSPCKAエッジを送出するとシリアル転送を終了します。受信バッファ(SPRX)が空(SPRFフラグが“0”)の場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIのデータ長は、SPCMDm.SPB[3:0]ビットの設定値に依存します。SSLAi出力端子の極性は、SSLPレジスタの設定値に依存します。RSPIの転送フォーマットの詳細については「38.3.5 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには RSPI 次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを“1”にして RSPI 機能を許可すると、RSPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

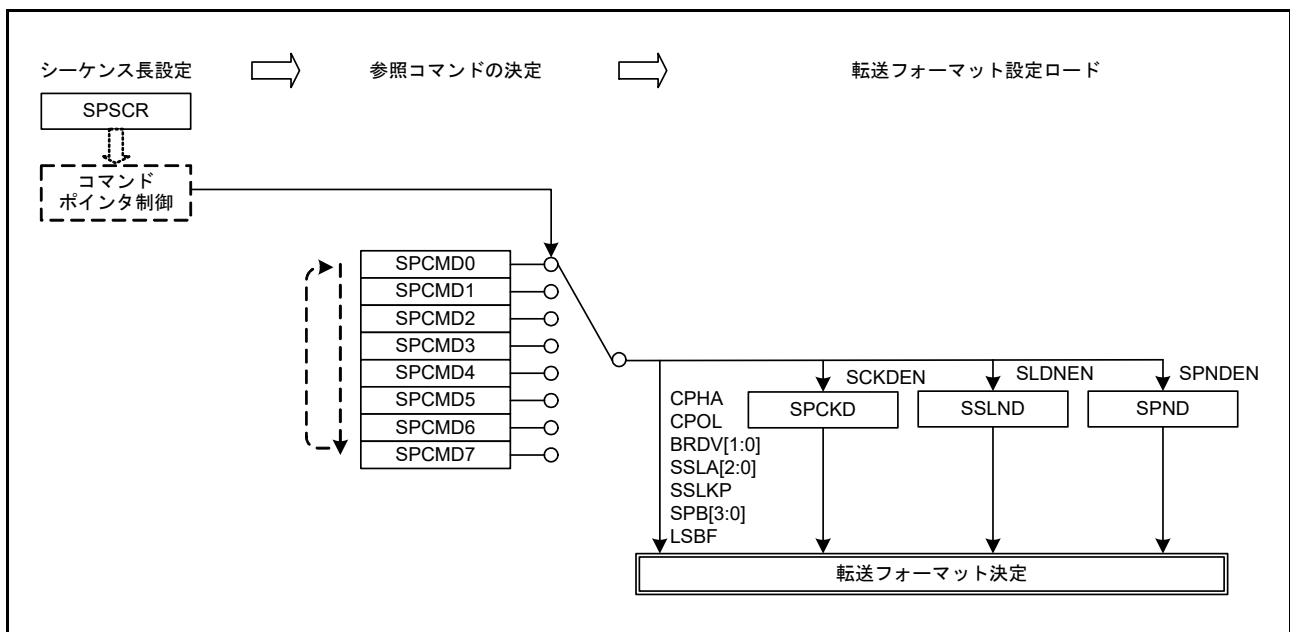


図 38.31 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

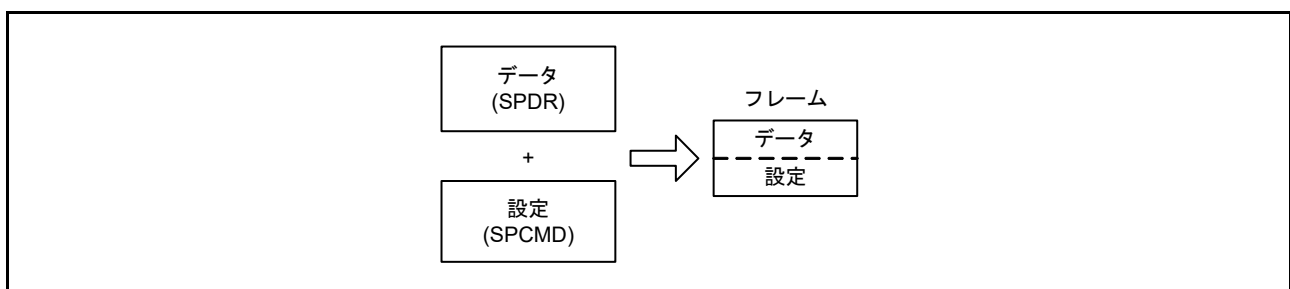


図 38.32 フレームの概念図

表 38.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 38.33 に示します。

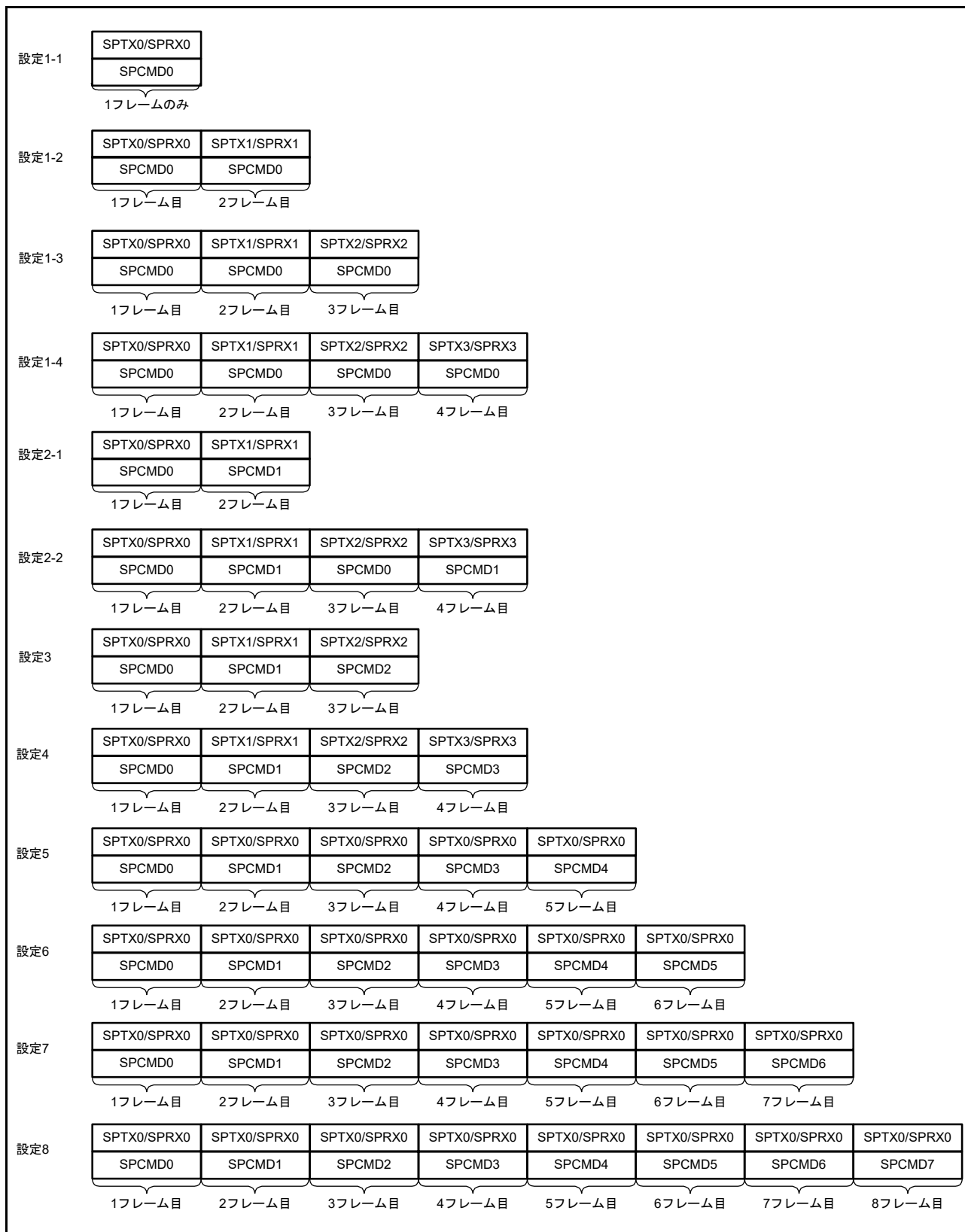


図 38.33 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) バースト転送

RSPIが現在のシリアル転送で参照しているSPCMDm.SSLKPビットが“1”の場合には、RSPIはシリアル転送中のSSLAi信号レベルを次のシリアル転送のSSLA信号アサート開始まで保持します。次のシリアル転送でのSSLAi信号レベルが、現在のシリアル転送でのSSLAi信号レベルと同じであれば、RSPIはSSLAi信号アサート状態を保持したまま連続的にシリアル転送を実行することができます(バースト転送)。

図38.34に、SPCMD0、SPCMD1レジスタの設定を使用してバースト転送を実現した場合のSSLAi信号動作例を示します。図38.34に記載した(1)～(7)のRSPI動作内容について、以下に説明します。なお、SSLAi出力信号の極性は、SSLPレジスタの設定値に依存します。

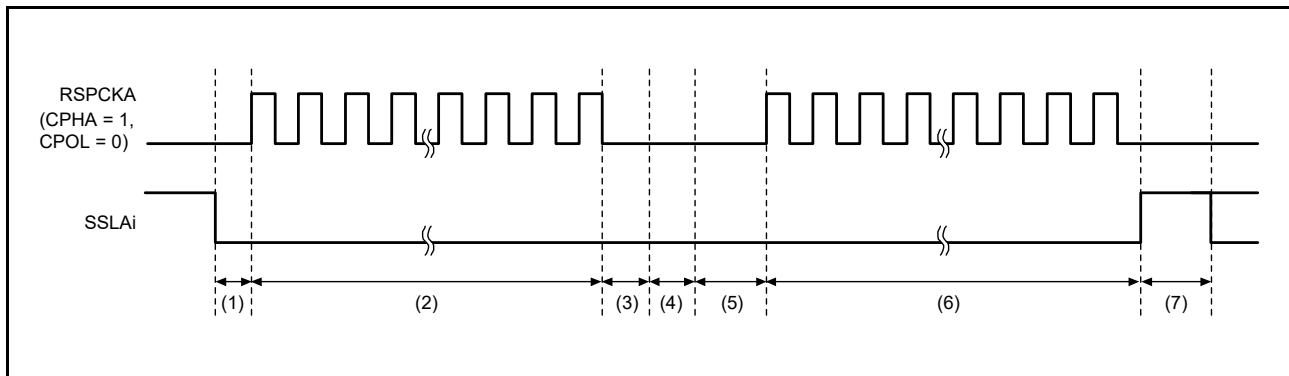


図 38.34 SSLKP ビットを利用したバースト転送動作の例

- (1) SPCMD0 レジスタに従った SSLAi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (2) SPCMD0 レジスタに従ったシリアル転送を実行します。
- (3) SSL ネゲート遅延を挿入します。
- (4) SPCMD0.SSLKP ビットが“1”であるため、SPCMD0 レジスタでの SSLAi 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
- (5) SPCMD1 レジスタに従った SSLAi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (6) SPCMD1 レジスタに従ったシリアル転送を実行します。
- (7) SPCMD1.SSLKP ビットが“0”であるため、SSLAi 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを“1”にした SPCMDm レジスタでの SSLAi 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLAi 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSLAi 信号のアサート時(図38.34の(5))に SSLAi 信号状態を切り替えます。このような SSLAi 信号の切り替えが発生した場合、MISOA をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPI は、SSLKP ビットを使用しない場合の SSLAi 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが“0”の場合でも、RSPI は内部で検出した次転送の SSLAi 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます。

(5) RSPCK 遅延 (t1)

マスタモードのRSPIのRSPCK遅延値は、SPCMDm.SCKDENビットの設定とSPCKDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SCKDENビットとSPCKDレジスタを使用して、表38.9のようにシリアル転送時のRSPCK遅延値を決定します。なお、RSPCK遅延の定義については、「38.3.5 転送フォーマット」を参照してください。

表38.9 SCKDENビット、SPCKDレジスタとRSPCK遅延値の関係

SPCMDm.SCKDENビット	SPCKD.SCKDL[2:0]ビット	RSPCK遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(6) SSL ネゲート遅延 (t2)

マスタモードのRSPIのSSLネゲート遅延値は、SPCMDm.SLNDENビットの設定とSSLNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SLNDENビットとSSLNDレジスタを使用して、表38.10のようにシリアル転送時のSSLネゲート遅延値を決定します。なお、SSLネゲート遅延の定義については、「38.3.5 転送フォーマット」を参照してください。

表38.10 SLNDENビット、SSLNDレジスタとSSLネゲート遅延値の関係

SPCMDm.SLNDENビット	SSLND.SLNDL[2:0]ビット	SSLネゲート遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(7) 次アクセス遅延 (t3)

マスタモードのRSPIの次アクセス遅延は、SPCMDm.SPNDENビットの設定とSPNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SPNDENビットとSPNDレジスタを使用して、表38.11のようにシリアル転送時のRSPCK遅延を決定します。なお、次アクセス遅延の定義については、「38.3.5 転送フォーマット」を参照してください。

表38.11 SPNDENビット、SPNDレジスタと次アクセス遅延値の関係

SPCMDm.SPNDENビット	SPND.SPNDL[2:0]ビット	次アクセス遅延値
0	000b ~ 111b	1 RSPCK + 2 PCLK
1	000b	1 RSPCK + 2 PCLK
	001b	2 RSPCK + 2 PCLK
	010b	3 RSPCK + 2 PCLK
	011b	4 RSPCK + 2 PCLK
	100b	5 RSPCK + 2 PCLK
	101b	6 RSPCK + 2 PCLK
	110b	7 RSPCK + 2 PCLK
	111b	8 RSPCK + 2 PCLK

(8) 初期化フロー

図 38.35 に、SPI 動作時、RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

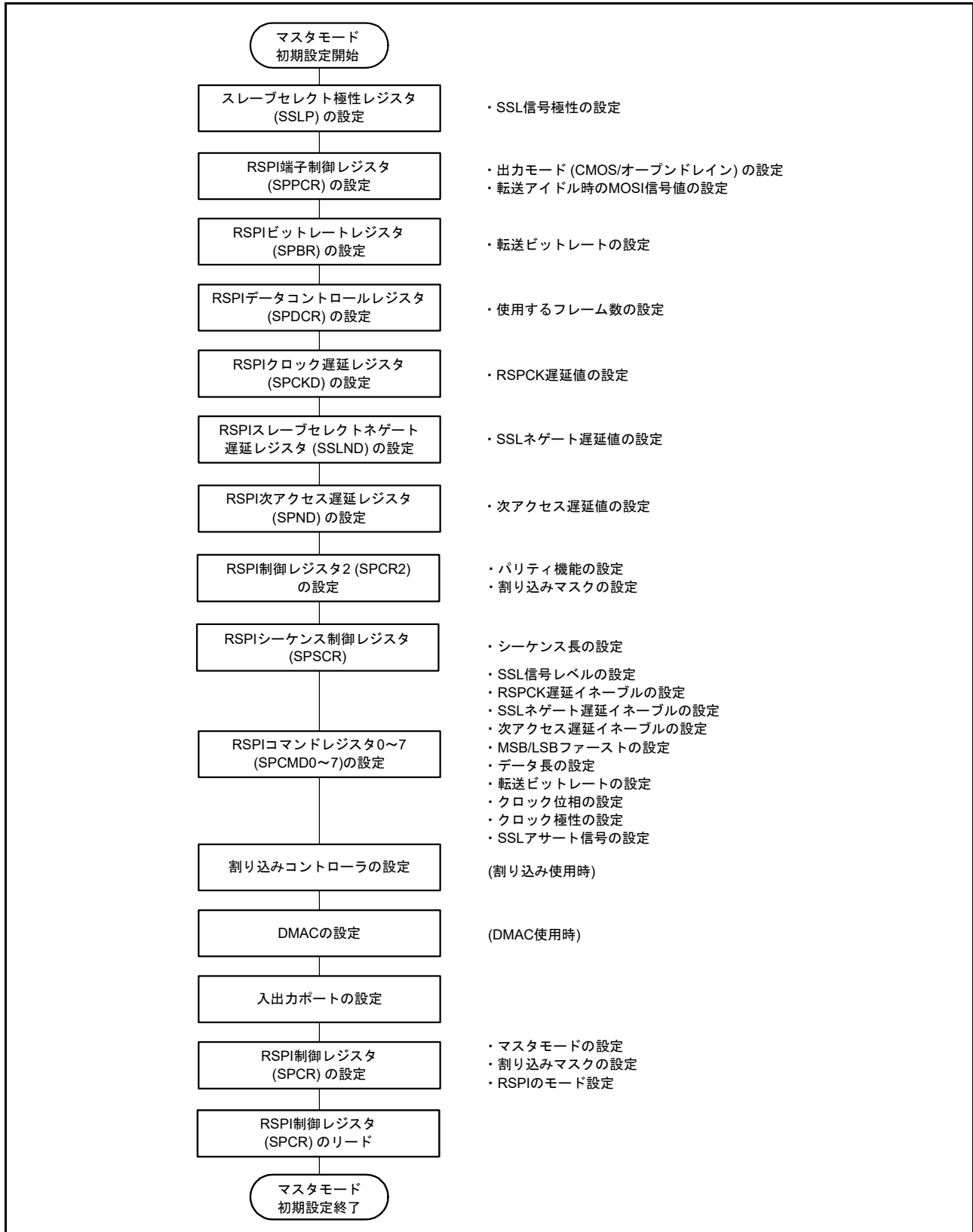


図 38.35 マスタモード時の初期化フロー例 (SPI 動作)

(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 38.36 ~ 図 38.38 に示します。

(a) 送信処理フロー

送信を行う場合、最終データの書き込み完了後 SPII 割り込みを許可することによって、全データ送信完了を CPU に通知することが可能です。

SPII 割り込みの代わりに、SPSR.IDLNF フラグが“0”になったかどうかをポーリングすることでも全データ送信完了を確認できます。ただし、SPDR レジスタに送信データを書いてから IDLNF フラグが“1”になるまでには、PCLK で1サイクル必要です。SPDR レジスタに最終データを書いた後は、“1”になる前の IDLNF フラグで判定しないように、一度 SPSR レジスタの値を読み捨てて、次に読み出した SPSR.IDLNF フラグの値から全データ送信完了の確認に使用してください。

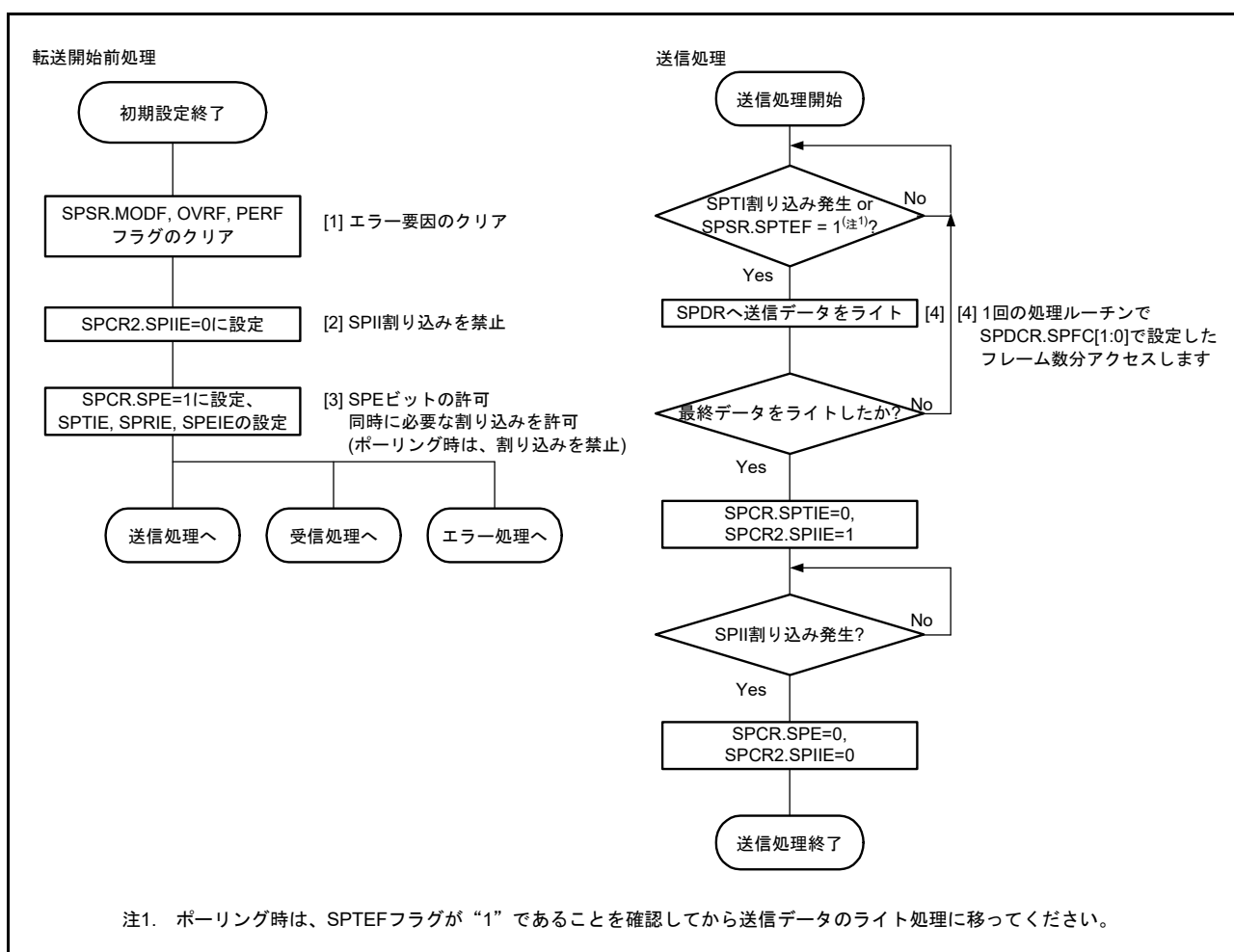


図 38.36 マスタモード時のフローチャート (送信)

(b) 受信処理フロー

RSPIは受信のみの動作を持たないため、送信を必要とします。

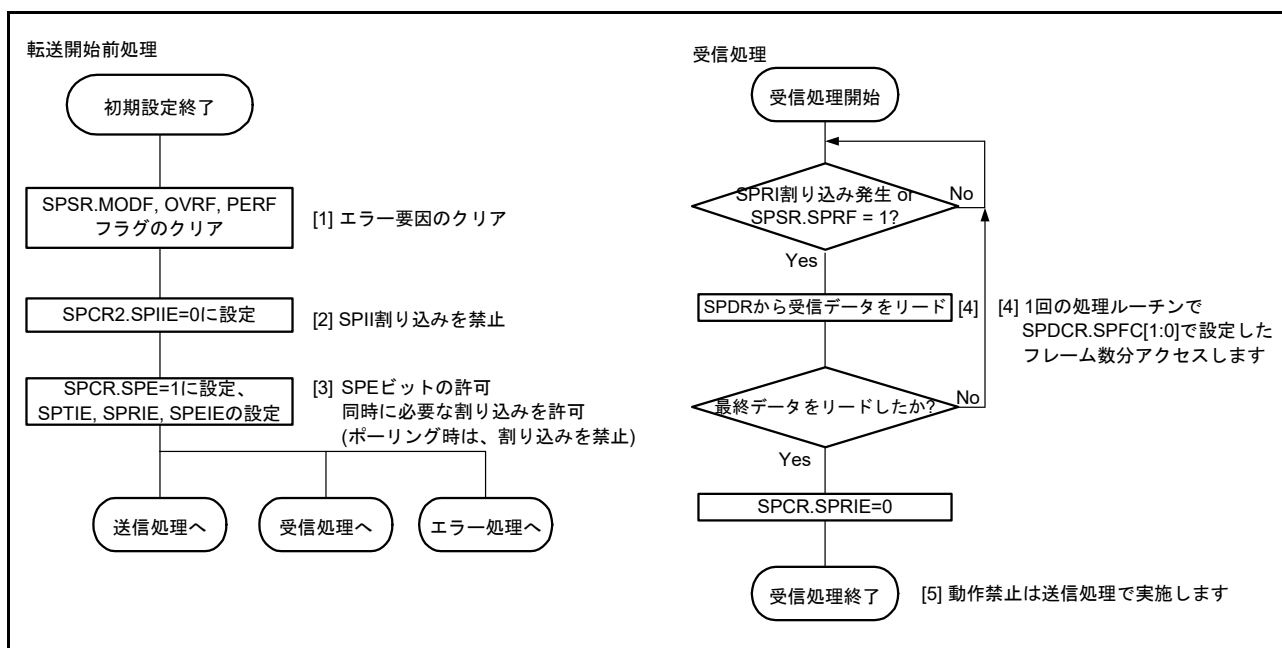


図 38.37 マスタモード時のフローチャート (受信)

(c) エラー処理フロー

RSPIは3種類のエラーを持ちます。モードフォルトエラー発生時は、SPCR.SPEビットが自動的にクリアされ、送信/受信動作を停止させます。しかし、その他のエラー要因ではSPCR.SPEビットはクリアされず送信/受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0]ビットが更新されてしまうため、SPCR.SPEビットをクリアし動作を停止することを推奨します。

割り込み使用時にエラーが発生したときは、ICU.IRn.IRフラグにSPTI割り込みまたはSPRI割り込み要求が保持されている可能性がありますので、エラー処理にてICU.IRn.IRフラグをクリアしてください。また、SPRI割り込み要求が保持されている場合、受信バッファを読み出してRSPIの内部シーケンサを初期化してください。

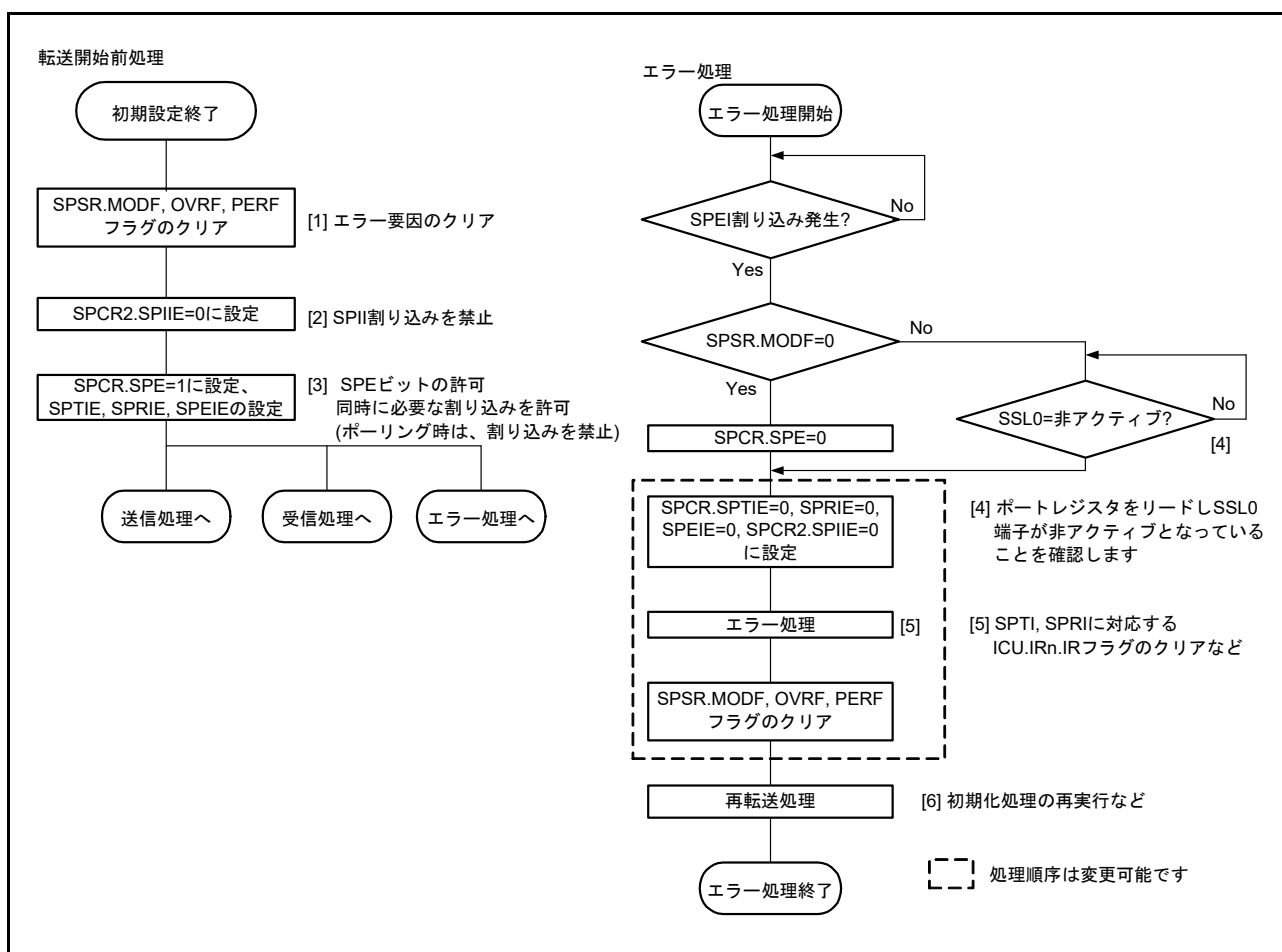


図 38.38 マスタモード時のフローチャート(エラー)

38.3.10.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが“0”の場合、RSPIはSSLA0入力信号のアサートを検出すると、MISOA出力信号への有効データのドライブを開始する必要があります。このため、CPHAビットが“0”の場合には、SSLA0入力信号のアサートがシリアル転送開始のトリガになります。

CPHAビットが“1”の場合には、RSPIはSSLA0入力信号のアサート状態で最初のRSPCKAエッジを検出すると、MISOA出力信号への有効データのドライブを開始する必要があります。このため、CPHAビットが“1”の場合には、SSLA0信号アサート状態における最初のRSPCKAエッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

CPHAビットの設定に依存せず、RSPIがMISOA出力信号のドライブを開始するタイミングは、SSLA0信号アサートタイミングです。CPHAビットの設定によって、RSPIが出力するデータの有効/無効が異なります。

なお、RSPIの転送フォーマットの詳細については、「38.3.5 転送フォーマット」を参照してください。SSLA0入力信号の極性は、SSLP.SSL0Pビットの設定値に依存します。

(2) シリアル転送の終了

SPCMD0.CPHAビットにかかわらず、RSPIは最終サンプリングタイミングに相当するRSPCKAエッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合(SPRFフラグが“0”の場合)には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態に関わらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間にRSPIがSSLA0入力信号のネゲートを検出するとモードフォルトエラーが発生します(「38.3.8 エラー検出」を参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。SSLA0入力信号の極性は、SSLP.SSL0Pビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「38.3.5 転送フォーマット」を参照してください。

(3) シングルスレーブ時の注意点

SPCMD0.CPHAビットが“0”の場合には、RSPIはSSLA0入力信号のアサートエッジを検出するとシリアル転送を開始します。図38.7の例に示したような構成でRSPIをシングルスレーブで使用する場合には、SSLA0入力信号がアクティブ状態に固定されるため、CPHAビットを“0”に設定したRSPIではシリアル転送を正しく開始できません。SSLA0入力信号をアクティブ状態に固定する構成で、スレーブモードRSPIの送受信を正しく実行するためには、CPHAビットを“1”にしてください。CPHAビットを“0”にする必要がある場合には、SSLA0入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが“1”の場合には、SSLA0 入力信号のアサート状態を保持したままで連続的なシリアル転送(バースト転送)を実行できます。CPHA ビットが“1”の場合には、SSLA0 入力信号アクティブ状態における最初の RSPCKA エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLA0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが“0”の場合には、バースト転送の2回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 38.39 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

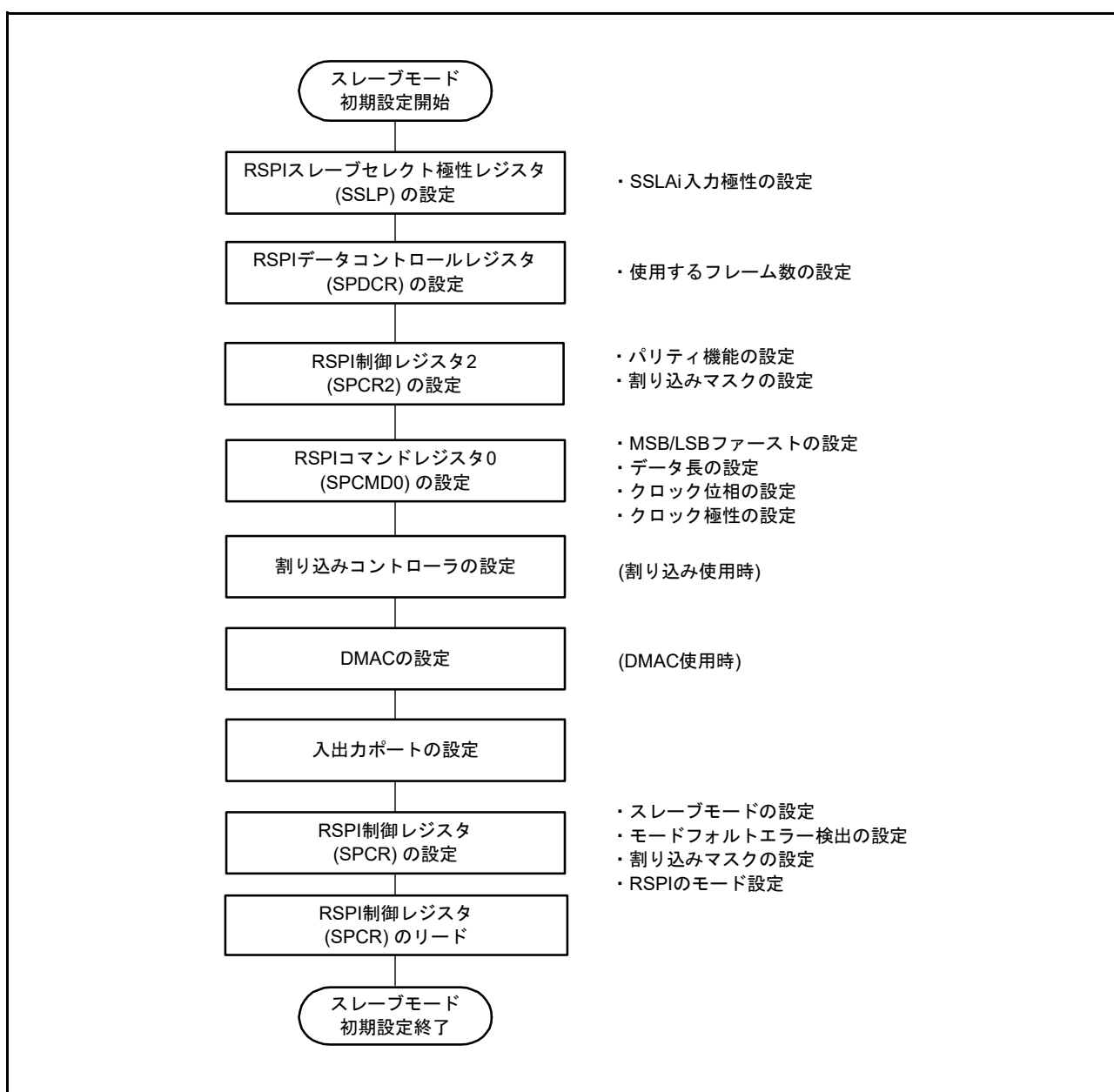


図 38.39 スレーブモード時の初期化フロー例 (SPI 動作)

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 38.40 ~ 図 38.42 に示します。

(a) 送信処理フロー

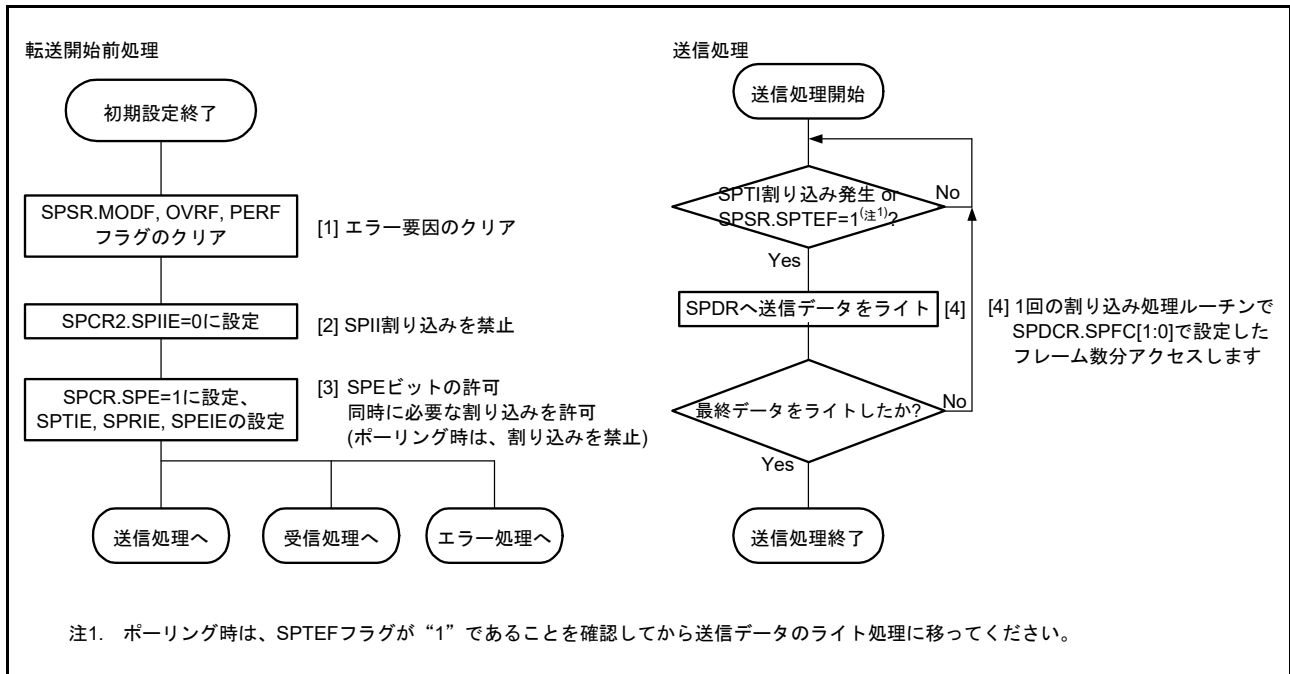


図 38.40 スレーブモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの動作を持たないため、送信を必要とします。

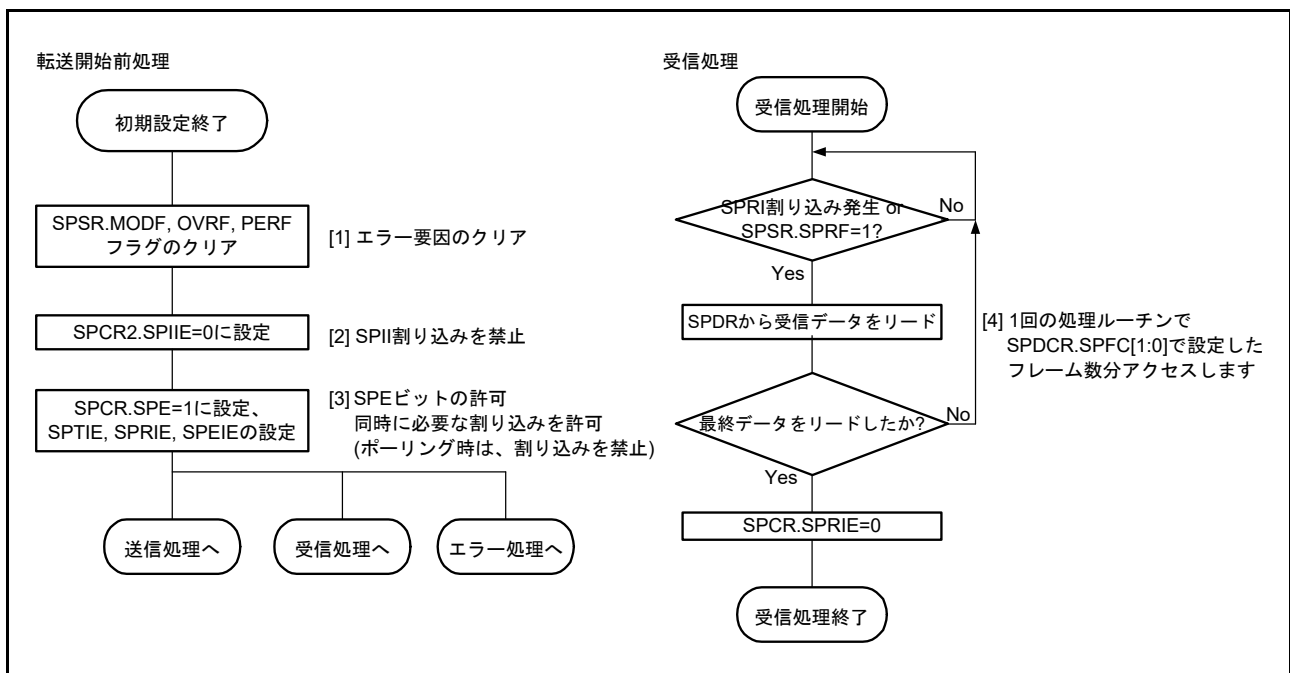


図 38.41 スレーブモード時のフローチャート (受信)

(c) エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても SSLA0 端子の状態にかかわらず、SPSR.MODF フラグをクリアすることができます。

割り込み使用時にエラーが発生したときは、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性があるためエラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

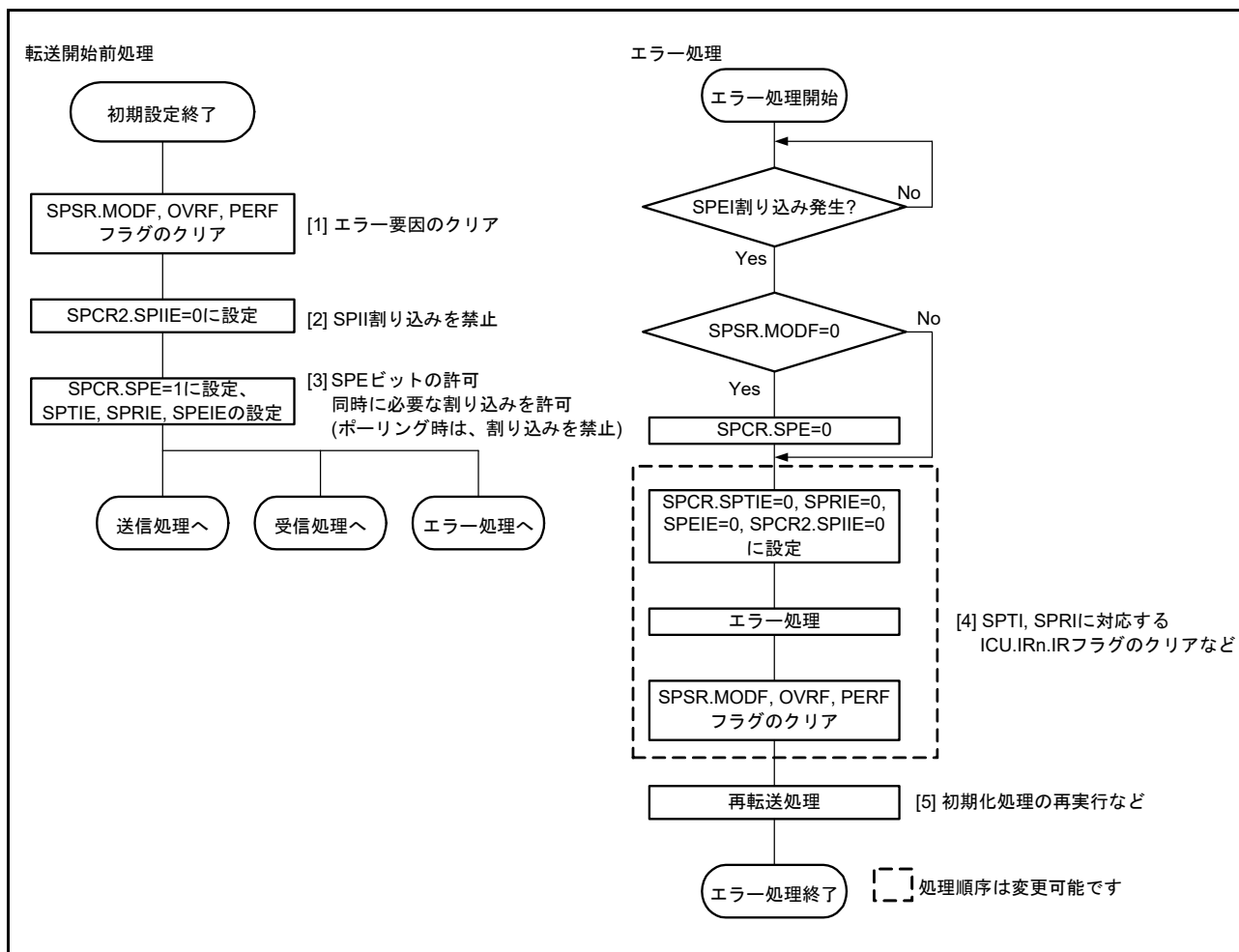


図 38.42 スレーブモード時のフローチャート (エラー処理)

38.3.11 クロック同期式動作

RSPIは、SPCR.SPMS ビットが“1”であるとき、クロック同期式動作となります。クロック同期式動作は、SSLAi 端子を使用せず、RSPCKA、MOSIA、MISOA の3本の端子を用いて通信を行い、SSLAi 端子はI/Oポートとして使用することができます。

クロック同期式動作は、SSLAi 端子を使用せず通信を行います。モジュール内部の動作はSPI動作と同様の動作を行います。マスタ動作、スレーブ動作において、SPI動作時と同様のフローで通信を行うことができますが、SSLAi 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時(SPCR.MSTR = 0)にSPCMDm.CPHA ビットを“0”にしないでください。

38.3.11.1 マスタモード動作

(1) シリアル転送の開始

送信バッファが空(SPSR.SPTEF フラグが“1”、次転送のデータがセットされていない)の状態、SPDRレジスタへデータを書くと、RSPIはSPDRレジスタの送信バッファ(SPTX)のデータを更新します。SPDRレジスタへSPDCR.SPFC[1:0]ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIの転送フォーマットの詳細については、「38.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0出力信号を用いずに通信を行います。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに対応するRSPCKAエッジを送出するとシリアル転送を終了します。受信バッファ(SPRX)が空(SPSR.SPRF フラグが“0”)の場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIのデータ長は、SPCMDm.SPB[3:0]ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「38.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0出力信号を用いずに通信を行います。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCRレジスタ、SPCMDmレジスタ、SPBRレジスタ、SPCKDレジスタ、SSLNDレジスタ、SPNDレジスタによって決定されます。クロック同期式動作時は、SSLAi信号の出力を行いませんが、これらの設定は有効です。

SPSCRレジスタは、マスタモードのRSPIで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDmレジスタには、SSLAi出力信号値、MSB/LSBファースト、データ長、ビットレート設定の一部、RSPCKA極性/位相、SPCKDレジスタの参照要否、SSLNDレジスタの参照要否、SPNDレジスタの参照要否が設定されています。SPBRレジスタにはビットレート設定の一部、SPCKDレジスタにはRSPIクロック遅延値、SSLNDレジスタにはSSLネゲート遅延、SPNDレジスタには次アクセス遅延値が設定されています。

RSPIは、SPSCRレジスタに設定されたシーケンス長に従って、SPCMDmレジスタの一部/全部からなるシーケンスを構成します。RSPIには、シーケンスを構成しているSPCMDmレジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0]ビットの読み出しによって確認できます。SPCR.SPEビットが“1”でRSPI動作が許可された状態にすると、RSPIはコマンドに対するポインタをSPCMD0レジ

スタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIはポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

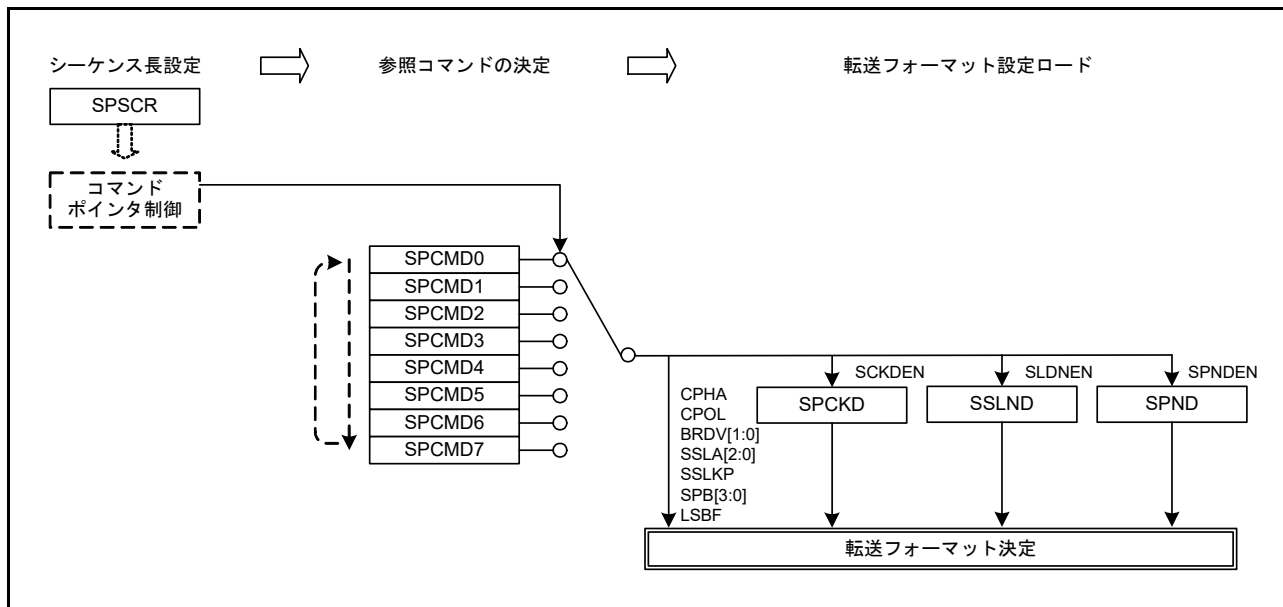


図 38.43 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

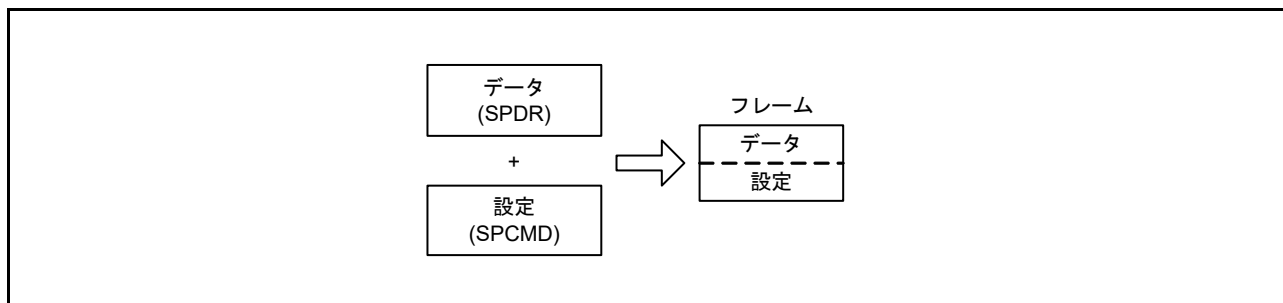


図 38.44 フレーム概念図

表 38.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 38.45 に示します。

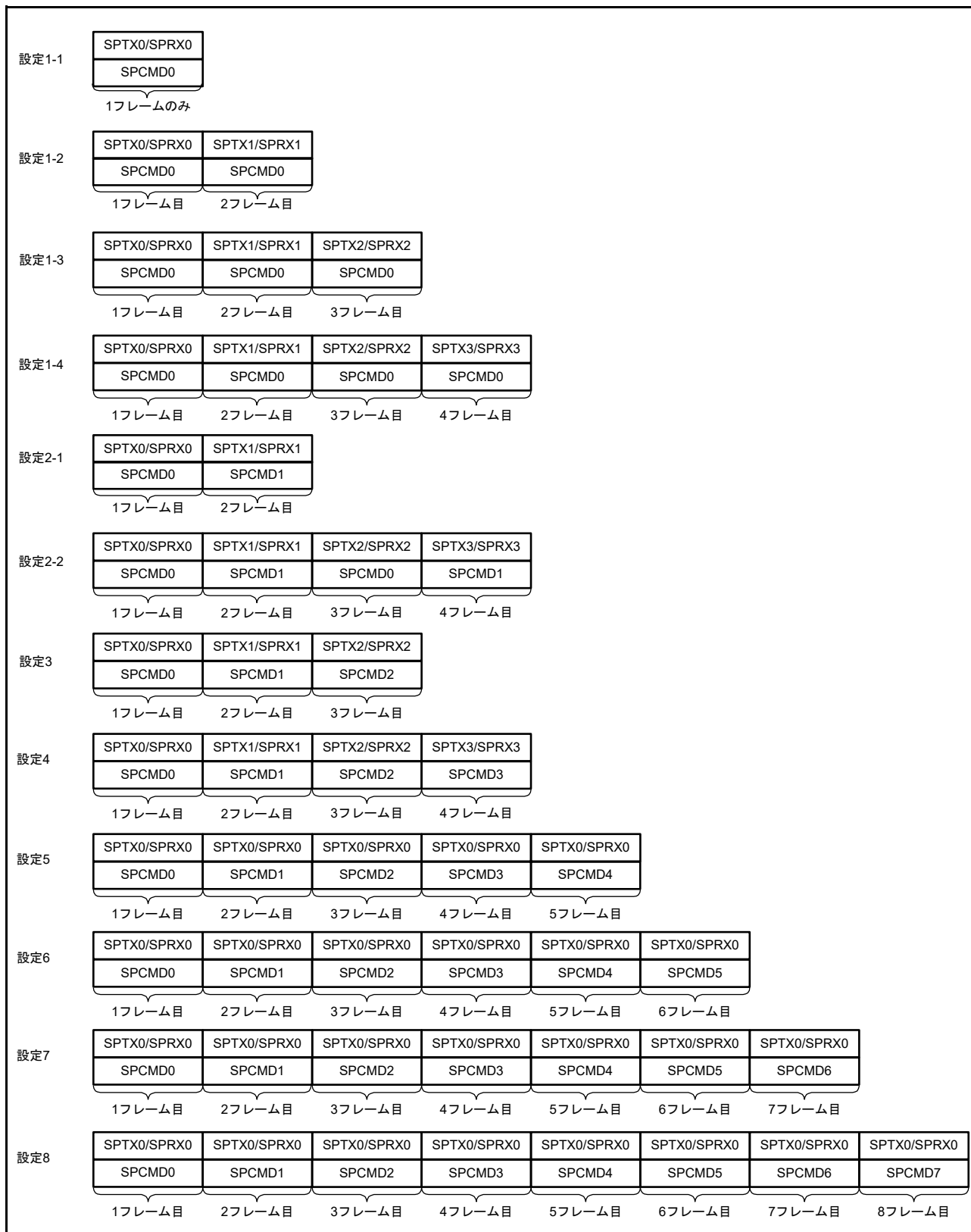


図 38.45 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) 初期化フロー

図 38.46 に、クロック同期式動作時の RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

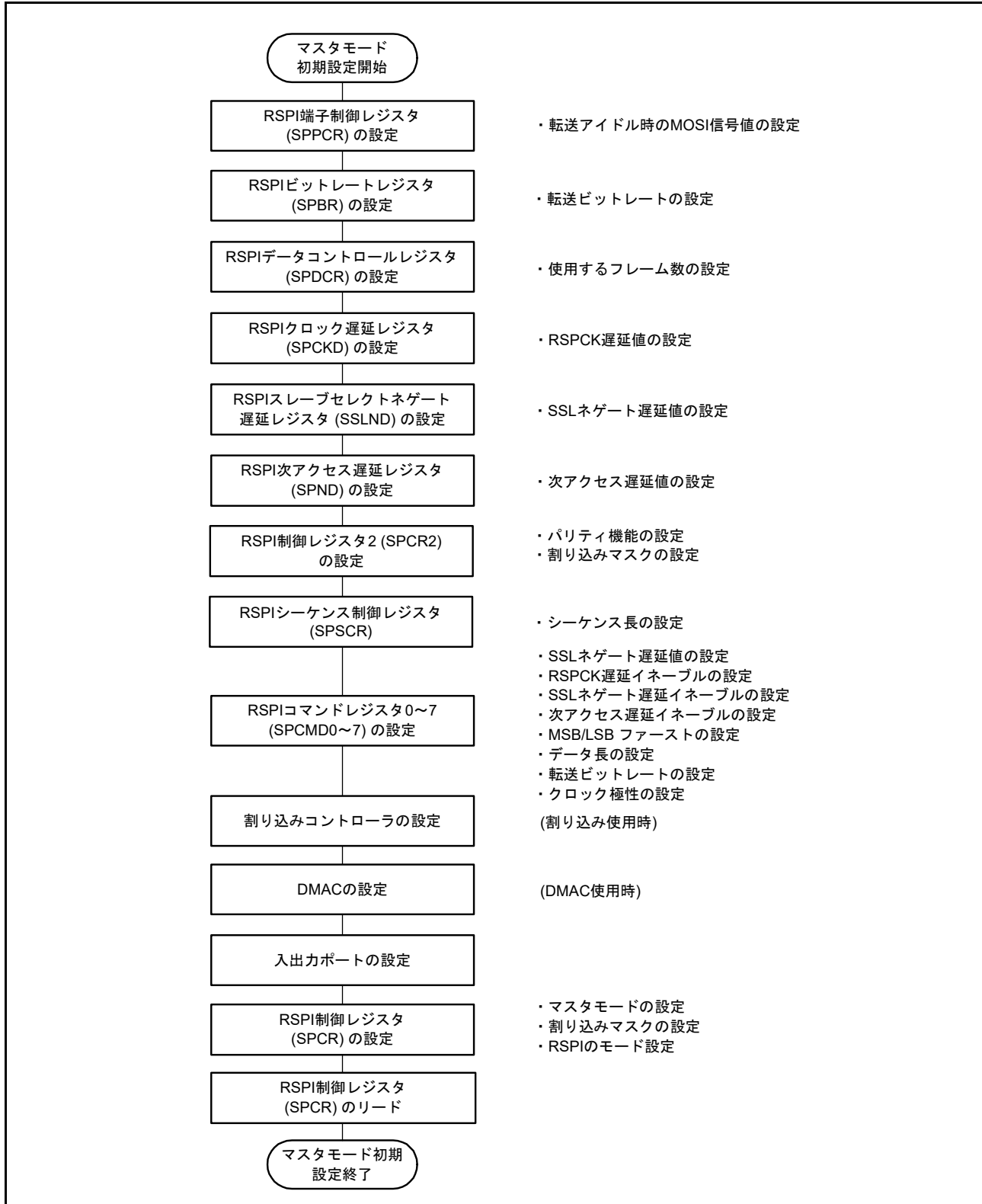


図 38.46 マスタモード時の初期化フロー例 (クロック同期式動作)

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「38.3.10.1 (9) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

38.3.11.2 スレーブモード動作

(1) シリアル転送の開始

RSPIは、SPCR.SPMSビットが“1”であるとき、最初のRSPCKAエッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

SPMSビットが“1”であるときは、RSPIはMISOA出力信号をドライブします。

なお、RSPIの転送フォーマットの詳細については、「38.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時はSSLA0入力信号を使用しません。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに相当するRSPCKAエッジを検出するとシリアル転送を終了します。受信バッファが空(SPSR.SPRFフラグが“0”)の場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「38.3.5 転送フォーマット」を参照してください。

(3) 初期化フロー

図 38.47 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

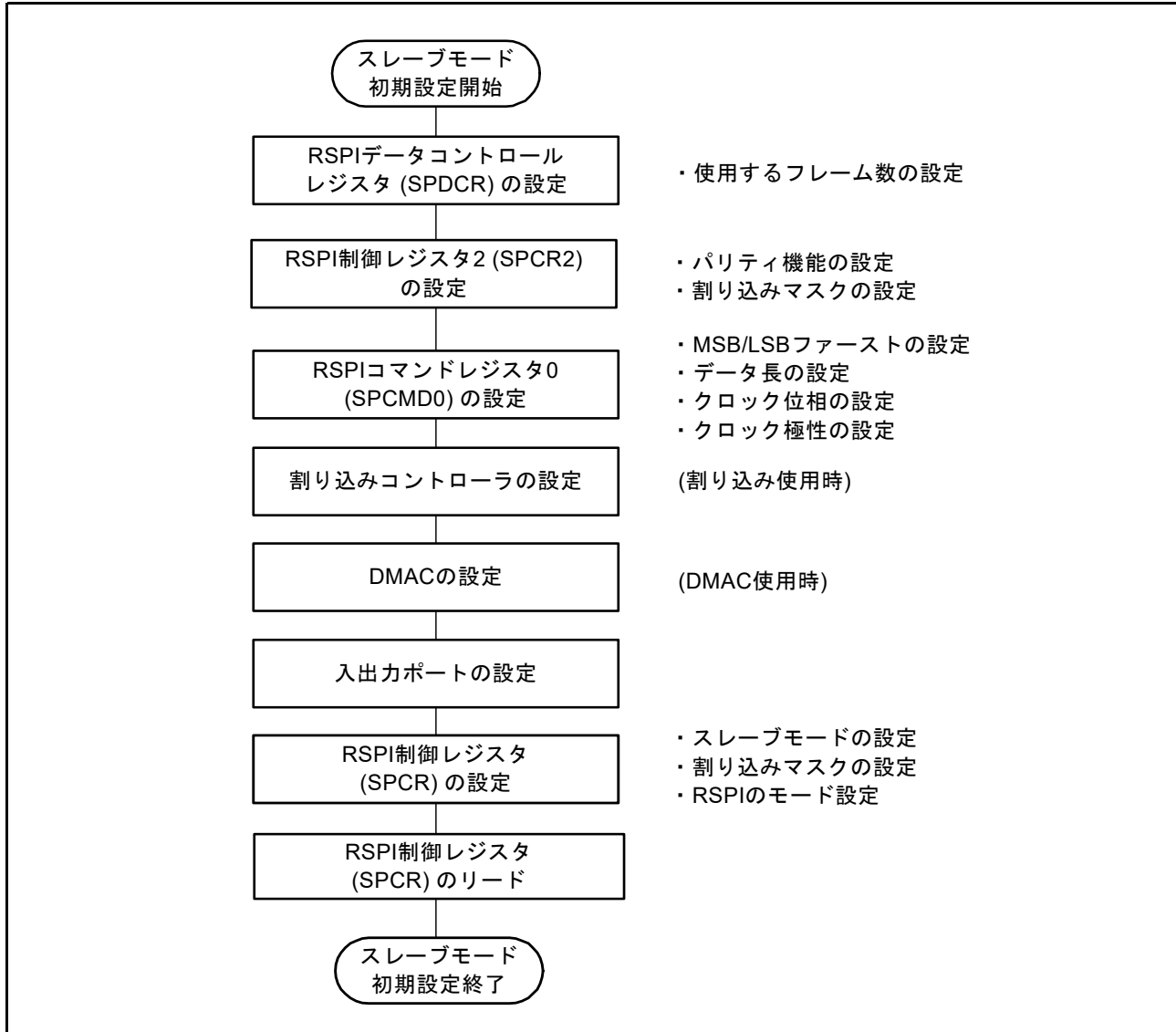


図 38.47 スレーブモード時の初期化フロー例 (クロック同期式動作)

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「38.3.10.2 (6) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

38.3.12 ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに“1”を書くと、RSPIは SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが“1”ならば、MOSIA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MISOA 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 38.12 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、図 38.48 に、マスターモードの RSPI をループバックモード (SPPCR.SPLP2 = 0, SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 38.12 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIA 端子または MISOA 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

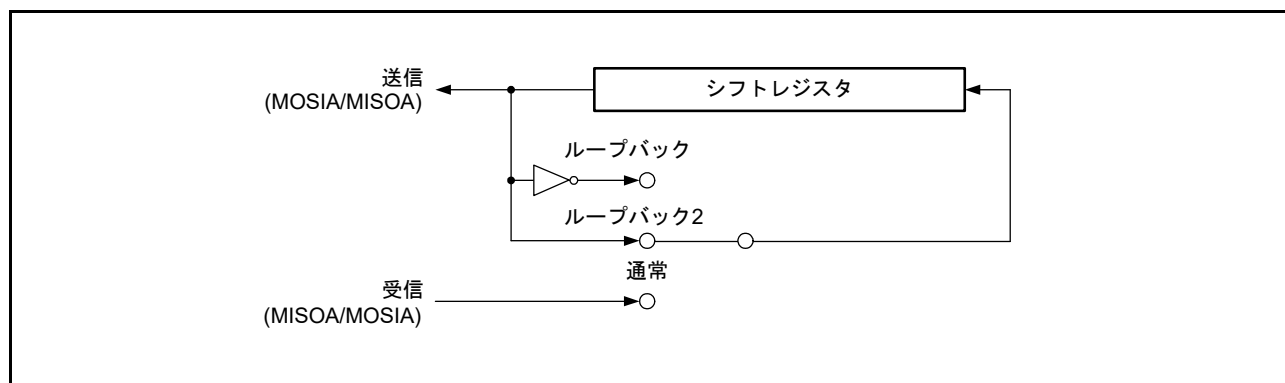


図 38.48 ループバックモード時のシフトレジスタ入出力構成 (マスターモード)

38.3.13 パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 38.49 に示すのフローに従い、パリティ回路の自己診断を行います。

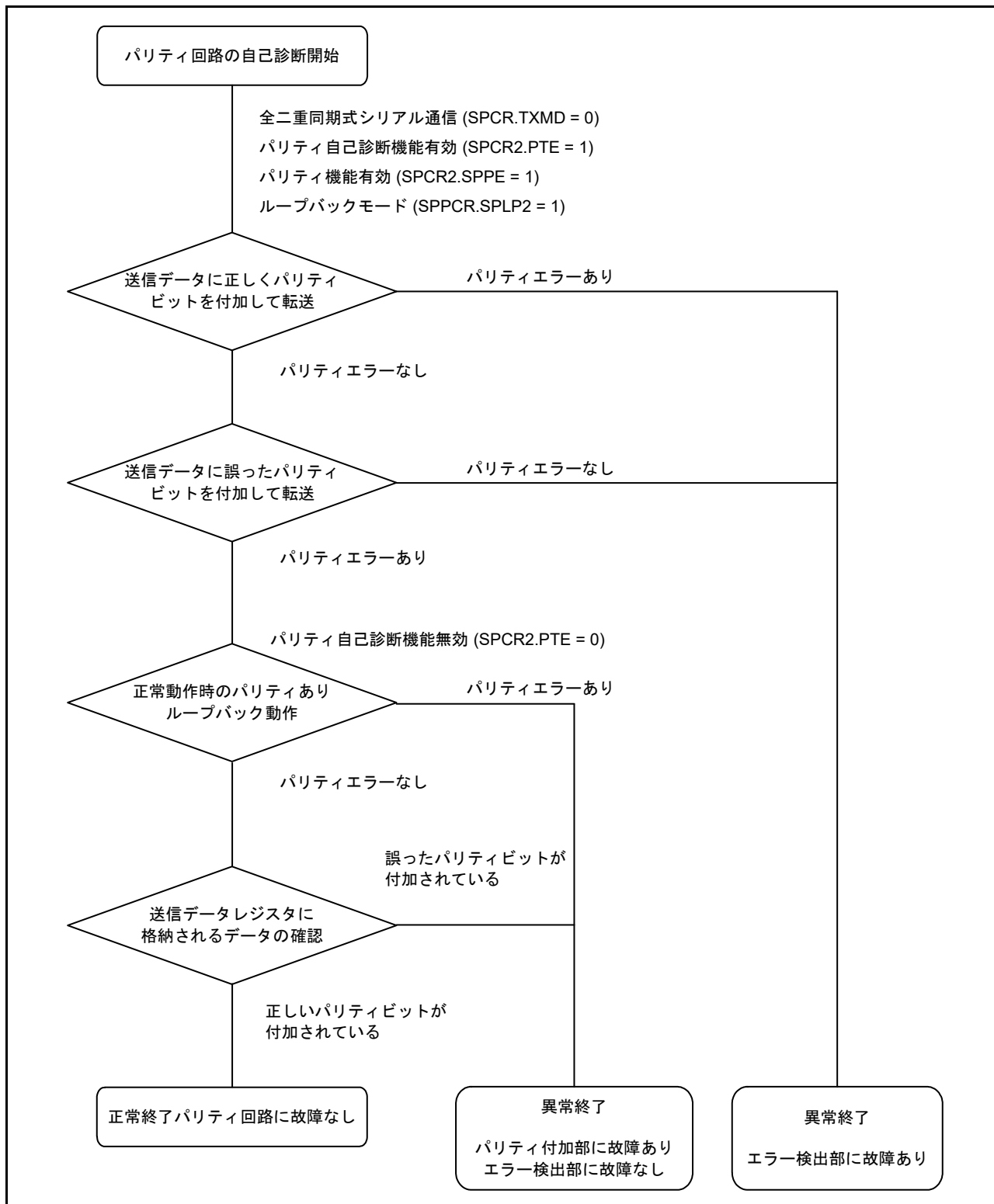


図 38.49 パリティ回路の自己判断フロー

38.3.14 割り込み要因

RSPI の割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバラン、パリティエラー、RSPI アイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC、DMAC を起動し、データ転送を行うことができます。

モードフォルト、オーバラン、パリティエラーの割り込み要求が SPEI のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表 38.13 に RSPI の割り込み要因を示します。表 38.13 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから RSPI の設定を行ってください。DTC または DMAC の設定方法は「18. DMA コントローラ (DMACA)」、「19. データトランスファコントローラ (DTCa)」を参照してください。

送信バッファエンプティ割り込み、および受信バッファフル割り込みは、ICU.IRn.IR フラグが“1”のときに割り込み発生条件となっても、ICU に対して割り込み要求を出力せず内部で保持します (内部で保持できる容量は、1 要因ごとに 1 要求までです)。ICU.IRn.IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると、保持している割り込み要求は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット (SPCR.SPRTIE ビットまたは SPCR.SPRTIE ビット) を“0”にすることでクリアが可能です。

表 38.13 RSPI の割り込み要因

割り込み要因	略称	割り込み条件	DMAC/DTC 起動
受信バッファフル	SPRI	SPCR.SPRTIE ビットが“1”の状態を受信バッファフル (SPRF フラグが“1”) になったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIE ビットが“1”の状態を送信バッファエンプティ (SPTEF フラグが“1”) になったとき	可能
RSPI エラー (モードフォルト、オーバラン、パリティエラー)	SPEI	SPCR.SPEIE ビットが“1”の状態で SPSR.MODF、OVRF、または PERF フラグが“1”になったとき	不可能
RSPI アイドル	SPII	SPCR2.SPIIE ビットが“1”の状態で IDLNF フラグが“0”になったとき	不可能

38.4 イベントリンク機能によるリンク動作

RSPI0 はイベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。イベントリンク出力信号は、割り込み許可ビットに依存せず出力します。

38.4.1 受信バッファフルイベント出力

シリアル転送が終了してシフトレジスタから SPDR レジスタに受信データを転送したときに、イベントを出力します。

38.4.2 送信バッファエンプティイベント出力

送信バッファからシフトレジスタに送信データが転送されたとき、また、SPCR.SPE ビットを“0”から“1”に変化させたときにイベントを出力します。

38.4.3 モードフォルト/オーバラン/パリティエラーイベント出力

(1) モードフォルト

表 38.14 にモードフォルトイベント出力の発生条件を示します。

表 38.14 モードフォルトイベント出力の発生条件

	SPCR.MODFEN ビット	SSLA0端子	備考
マスタ (SPCR.MSTRビットが“1”)	1	アクティブ	MSTRビットが“1”かつSPCR.MODFENビットが“1”のとき、SPCR.SPMSビットが“0”では、モードフォルトエラーおよびオーバランエラー、パリティエラーイベント出力は使用できません。ELSRnレジスタに“52h”を設定しないでください。
スレーブ (SPCR.MSTRビットが“0”)	1	非アクティブ	通信動作中にSSLA0端子が非アクティブになった場合のみイベント出力

(2) オーバラン

オーバランイベント出力の発生条件として、SPCR.TXMD ビットが“0”、かつ受信用バッファに未リードのデータがある状態でシリアル転送が終了したとき、OVRF フラグが“1”となり、イベントを出力します。

(3) パリティエラー

パリティエラーイベント出力の発生条件として、SPCR の TXMD ビットが“0”、SPCR2 の SPPE ビットが“1”の状態ではシリアル転送が終了し、パリティエラーが検出されたとき、イベントを出力します。

38.4.4 RSPI アイドルイベント出力

(1) マスタモード時

マスタモードのときは、IDLNF フラグ (RSPI アイドルフラグ) が“0”になる条件が成立したときイベントを出力します。

(2) スレーブモード時

スレーブモードのときは、SPCR.SPE ビットが“0” (RSPI 初期化) のとき、イベントを出力します。

38.4.5 送信完了イベント出力

SPI 動作、クロック同期式動作ともマスタモードのときは、IDLNF フラグ (RSPI アイドルフラグ) が“1”から“0”になる条件でイベントを出力します。

表 38.15 送信完了イベント出力の発生条件(スレーブ)

	送信バッファ状態	シフトレジスタ状態	その他
SPI動作 (SPMS = 0)	エンプティ	エンプティ	SSLA0入力ネゲート
クロック同期式動作 (SPMS = 1)	エンプティ	エンプティ	最終RSPCKAのエッジ検出

マスタ/スレーブに関わらず、送信動作中に SPCR.SPE ビットへの“0”の書き込み時、またはモードフォルトエラー発生による SPCR.SPE ビットのクリア時はイベントを出力しません。

38.5 使用上の注意事項

38.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、RSPI の動作禁止 / 許可を設定できます。リセット後の値では、RSPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「11. 消費電力低減機能」を参照してください。

38.5.2 消費電力低減機能の注意事項

モジュールストップ機能の使用、およびスリープモードを除く低消費電力モードに遷移する場合は、あらかじめ SPCR.SPE ビットを“0”に設定し通信を終了させてください。

38.5.3 通信の開始に関する注意事項

ICU.IRn.IR フラグが“1”で通信を開始すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

通信開始時点で ICU.IRn.IR フラグが“1”のときは、動作許可 (SPCR.SPE ビットを“1”にする) 前に下記の手順で割り込み要求をクリアしてください。

- (1) 通信が停止していること (SPCR.SPE ビットが“0”となっていること) を確認
- (2) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にする
- (3) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出し、“0”を確認
- (4) ICU.IRn.IR フラグを“0”にする

38.5.4 SPRF/SPTEF フラグに関する注意事項

SPSR.SPRF, SPTEF フラグをポーリングして使用する場合、SPCR.SPRIE, SPTIE ビットを“0”にしてください。

39. CRC演算器 (CRC)

CRC (Cyclic Redundancy Check) 演算器は、CRCコード生成を行います。

39.1 概要

表 39.1 に CRC 演算器の仕様を示します。図 39.1 に CRC 演算器のブロック図を示します。

表 39.1 CRC演算器の仕様

項目	内容
CRC演算対象データ (注1)	8nビットのデータに対してCRCコードを生成 (n=自然数)
CRC演算処理方式	8ビット並列実行
CRC生成多項式	3つの多項式から選択可能 <ul style="list-style-type: none"> • 8ビットCRC $X^8 + X^2 + X + 1$ • 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$
CRC演算切り替え	LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダを切り替えることが可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. 演算対象データをCRC演算の単位に分割する機能はありません。8ビット単位で書いてください。

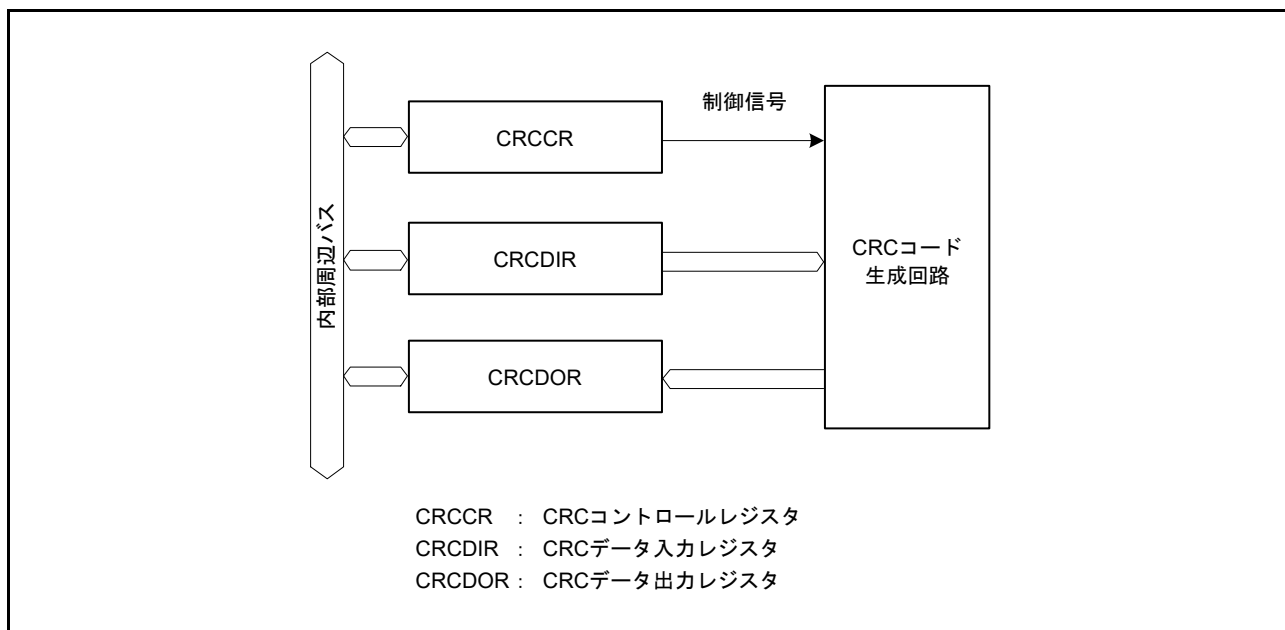


図 39.1 CRC演算器のブロック図

39.2 レジスタの説明

39.2.1 CRC コントロールレジスタ (CRCCR)

アドレス 0008 8280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DORCLR	—	—	—	—	LMS	GPS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	GPS[1:0]	CRC生成多項式切り替えビット	b1 b0 0 0 : 演算しません 0 1 : 8ビットCRC ($X^8 + X^2 + X + 1$) 1 0 : 16ビットCRC ($X^{16} + X^{15} + X^2 + 1$) 1 1 : 16ビットCRC ($X^{16} + X^{12} + X^5 + 1$)	R/W
b2	LMS	CRC演算切り替えビット	0 : LSBファースト通信用にCRCを生成 1 : MSBファースト通信用にCRCを生成	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DORCLR	CRCDORレジスタクリアビット	1 : CRCDORレジスタをクリア 読むと“0”が読めます	R/W (注1)

注1. “1”のみ書けます。

LMS ビット (CRC 演算切り替えビット)

生成した16ビットのCRCコードのビットオーダを選択します。LSBファーストで通信を行う場合はCRCコードの下位バイト (b7～b0) から先に、MSBファーストで通信を行う場合はCRCコードの上位バイト (b15～b8) から先に送信してください。CRCコードの送信および受信については、「39.3 CRC演算器の動作説明」を参照してください。

DORCLR ビット (CRCDOR レジスタクリアビット)

DORCLR ビットを“1”にすると、CRCDORレジスタが“0000h”になります。

読むと“0”が読めます。“1”のみ書けます。

39.2.2 CRC データ入力レジスタ (CRCDIR)

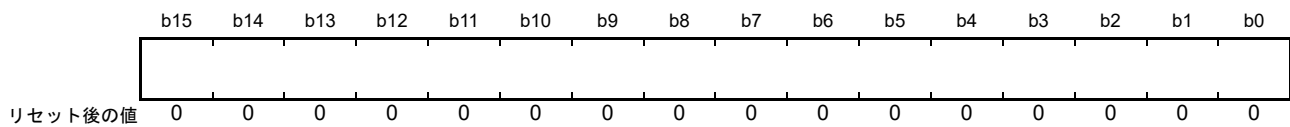
アドレス 0008 8281h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CRCDIRレジスタは、読み出し／書き込み可能なレジスタです。CRC演算対象となるデータを書いてください。

39.2.3 CRCデータ出力レジスタ (CRCDOR)

アドレス 0008 8282h



CRCDOR レジスタは、読み出し／書き込み可能なレジスタです。

初期値は "0000h" です。初期値以外を用いて演算する場合は、CRCDOR を書き換えてください。

データを CRCDIR レジスタに書くと、演算結果が CRCDOR レジスタに格納されます。また、通信データに続いて CRC コードを CRC 演算し、結果が "0000h" の場合、誤りがないと判断できます。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、下位バイト (b7 ~ b0) に有効な CRC コードが得られます。上位バイト (b15 ~ b8) は、更新されません。

39.3 CRC演算器の動作説明

CRC演算器は、LSBファースト/MSBファースト通信用CRCコードを生成します。

16ビットのCRC生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (“F0h”) のCRCコードを生成する例を以下に示します。この例ではCRC演算の前に、CRCデータ出力レジスタ (CRCDOR) の値をクリアします。

8ビットCRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、CRCDORレジスタの下位バイトに有効なCRCコードが得られます。

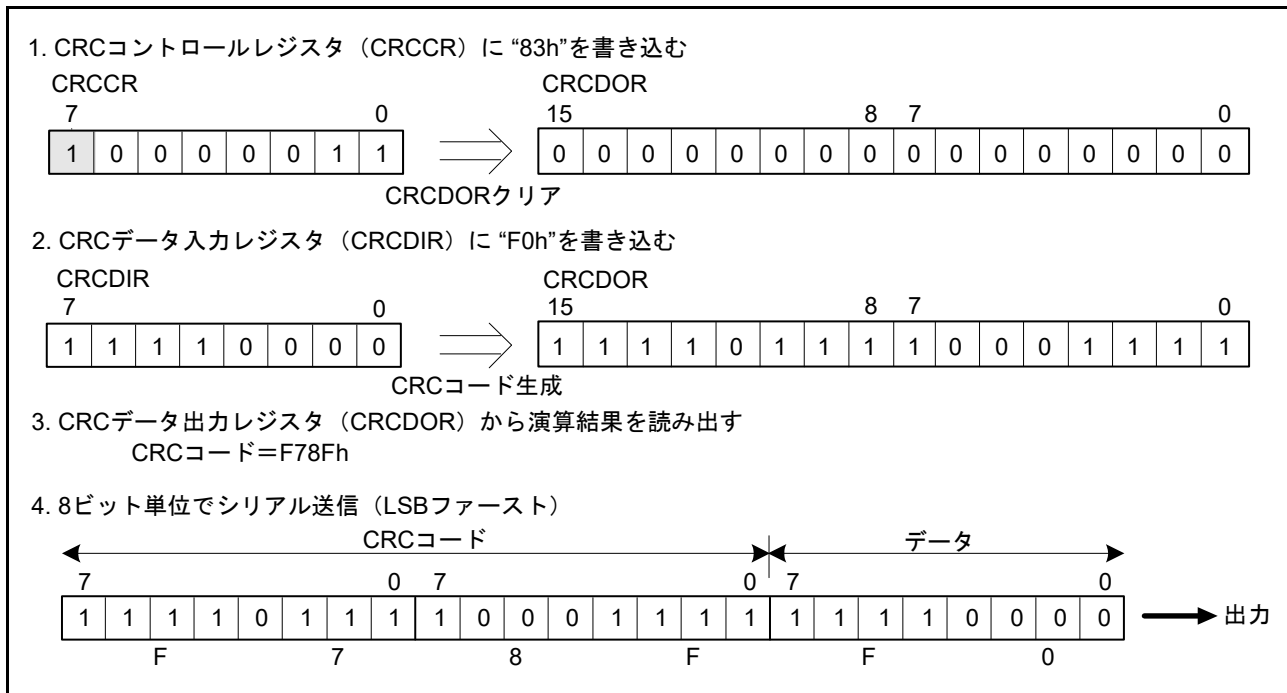


図 39.2 LSBファーストでのデータ送信

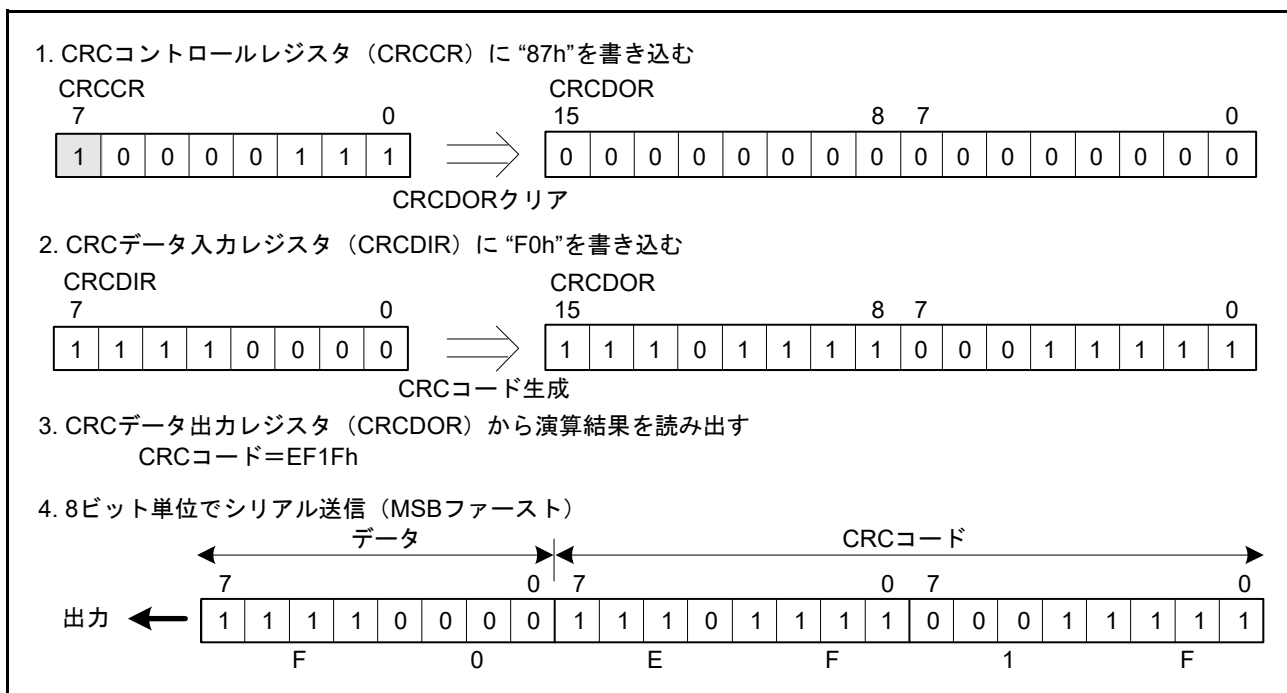


図 39.3 MSBファーストでのデータ送信

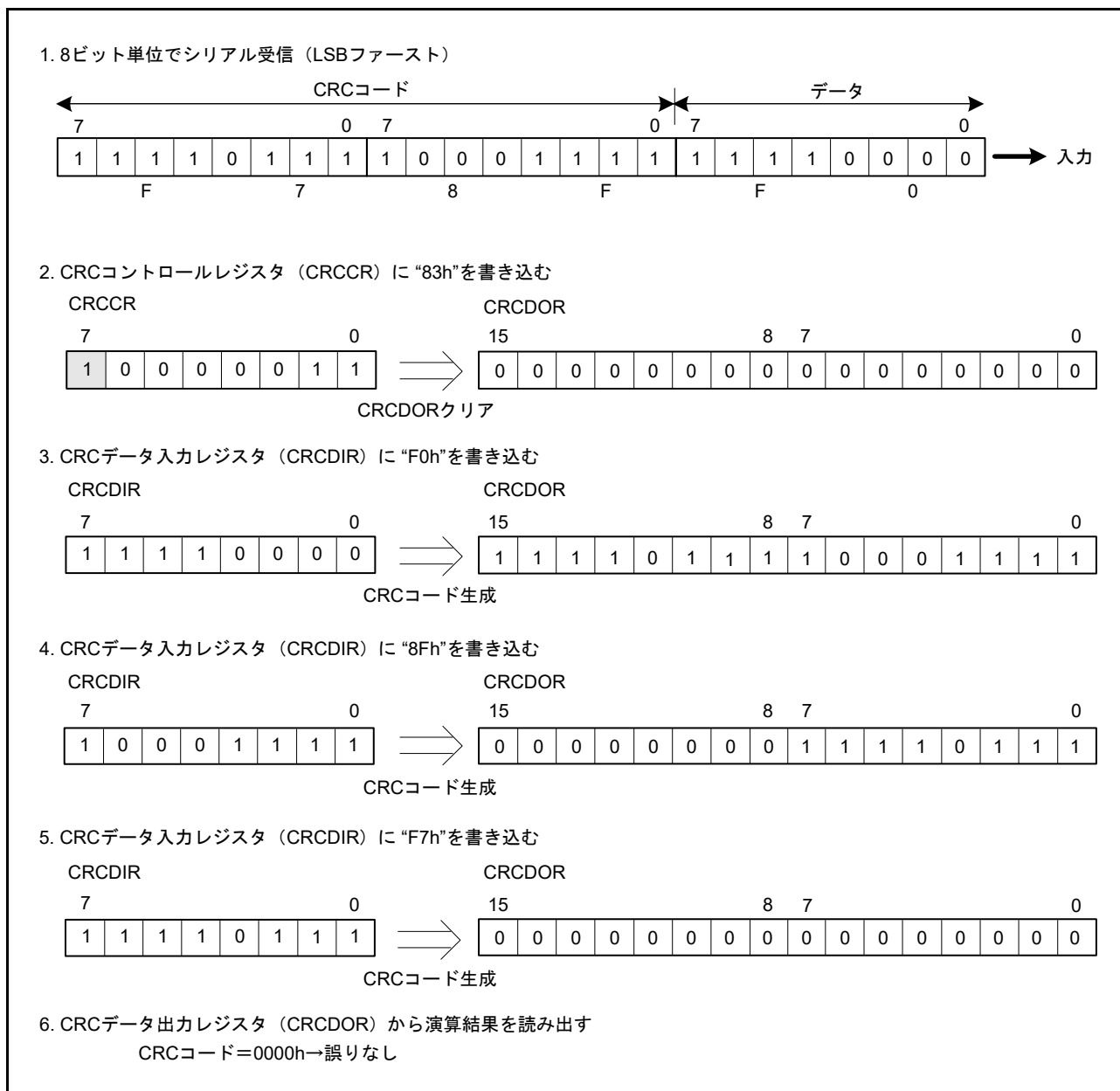


図 39.4 LSBファーストでのデータ受信

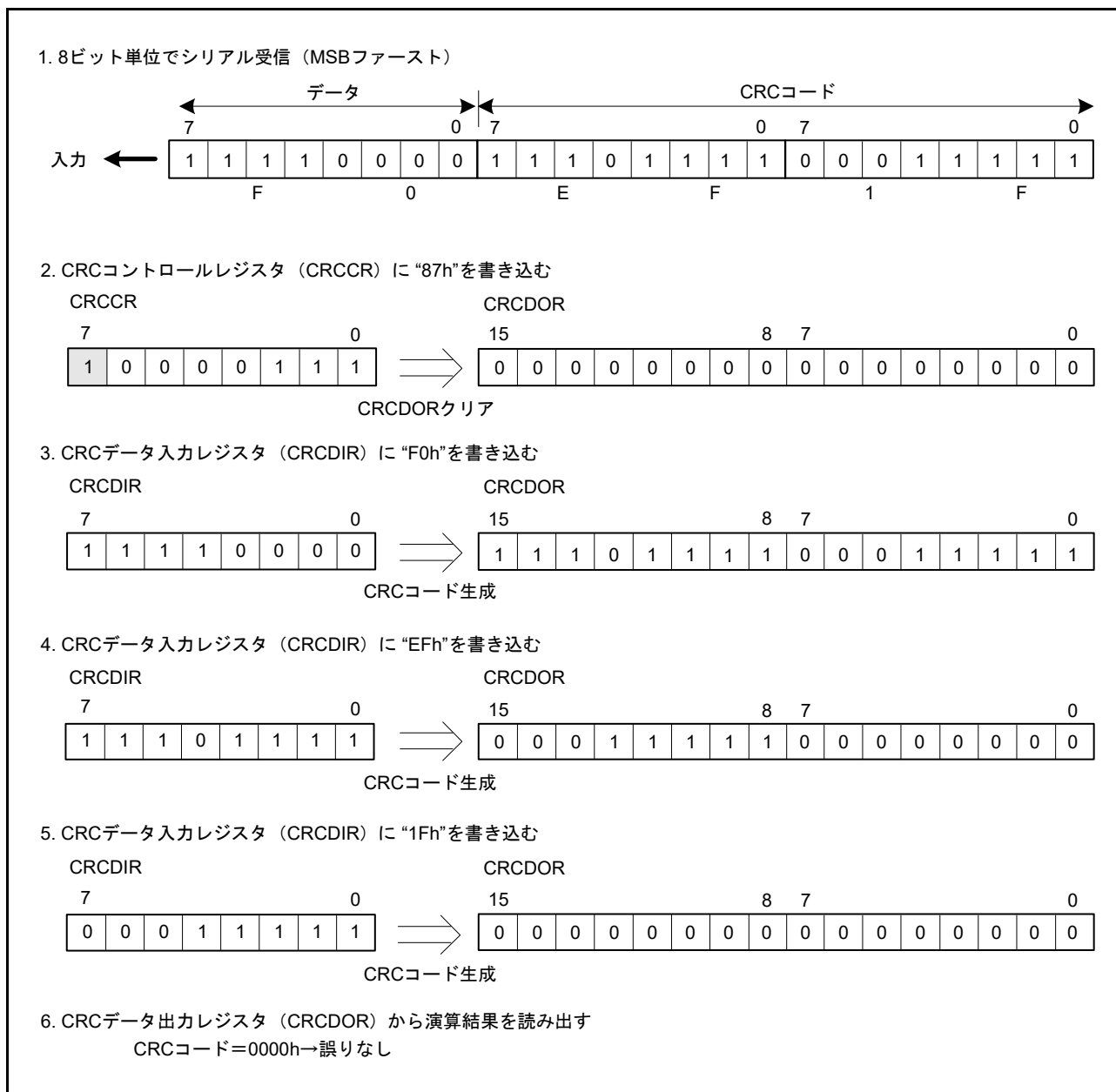


図 39.5 MSBファーストでのデータ受信

39.4 使用上の注意事項

39.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CRC 演算器の動作を禁止/許可することが可能です。リセット後、CRC はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。

詳細は「11. 消費電力低減機能」を参照してください。

39.4.2 転送時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードを送る順序が異なりますので注意してください。

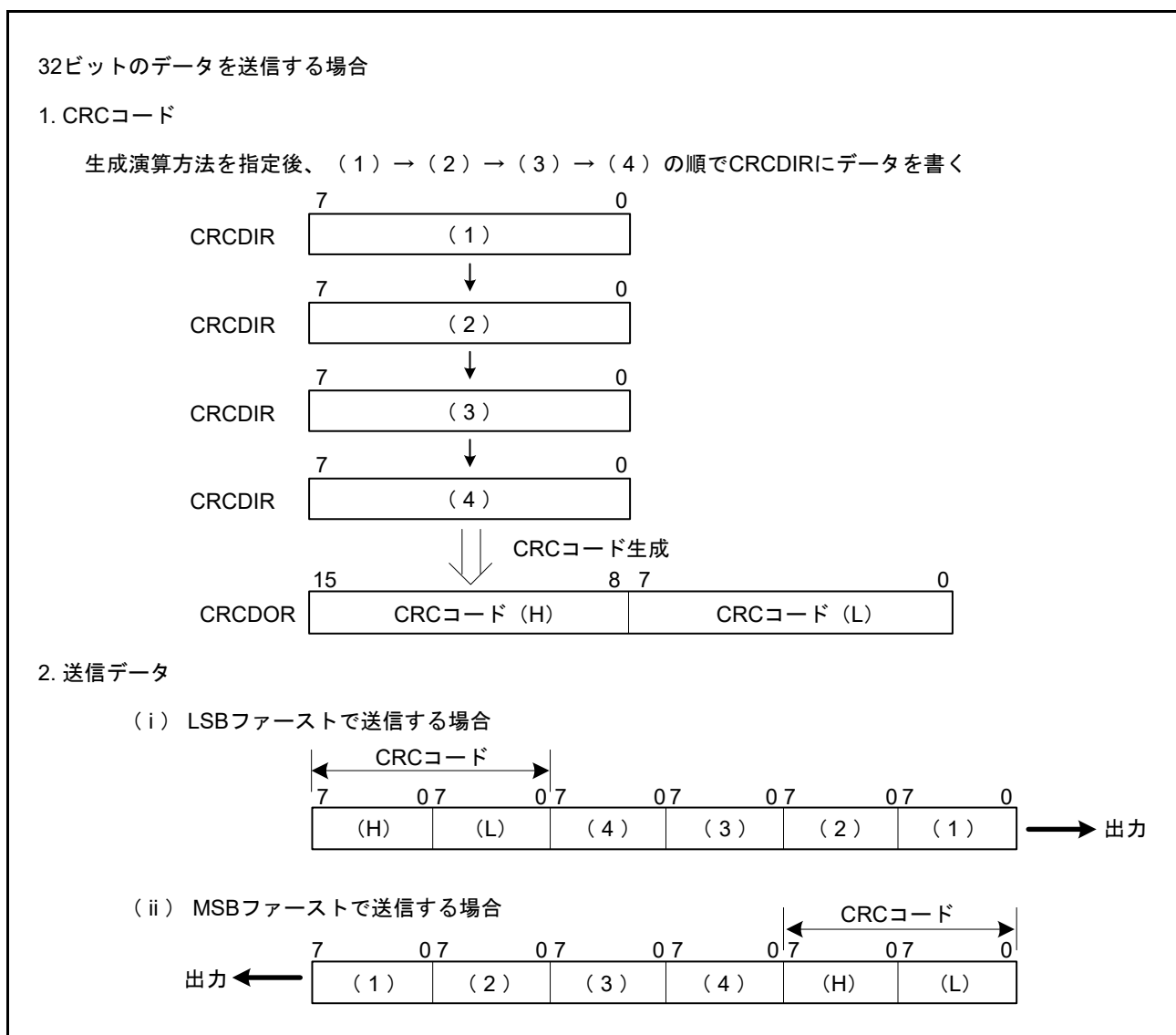


図 39.6 LSB ファーストと MSB ファーストの送信データ

40. SDホストインタフェース(SDHIa)

本MCUは、SD規格に対応したSDホストインタフェース(SDHI)を内蔵しています。

SD規格に対応したホスト機器を開発するには、SD Host/Ancillary Product License Agreement (SD HALA)の締結が必要です。

40.1 概要

表 40.1 に SDHI の仕様を示します。

表 40.1 SDHIの仕様

項目	機能
SD Busインタフェース	<ul style="list-style-type: none"> SDメモリカード、SDIOカードに対応(注1) 転送バス幅をワイドバスモード(4ビット)、デフォルトバスモード(1ビット)から選択可能 SD、SDHC、SDXCのSDメモリカードアクセスに対応
転送モード	デフォルトスピードモードに対応
SDHIクロック	周辺モジュールクロック(PCLKB)をn分周してSDHIクロックを生成 (n = 1, 2, 4, 8, 16, 32, 64, 128, 256, 512)
エラーチェック機能	<ul style="list-style-type: none"> CRC7(コマンド、レスポンス) CRC16(転送データ)
割り込み要因	4要因 <ul style="list-style-type: none"> カードアクセス割り込み(CACI) SDIOアクセス割り込み(SDACI) カード検出割り込み(CDETI) SDバッファアクセス割り込み(SBFAI)
DMA転送要求	SDバッファアクセス割り込み(SBFAI)によりDMAC/DTCを起動可能 DMAC/DTCによるSDバッファのリード/ライトが可能
その他の機能	<ul style="list-style-type: none"> カード検出機能 ライトプロテクト機能

注1. SPI Busインタフェース、Embedded SDIOのShared Bus、8ビットSD Bus、SDIOのSuspend/Resume機能には対応していません。

図 40.1 に SDHI のブロック図を示します。

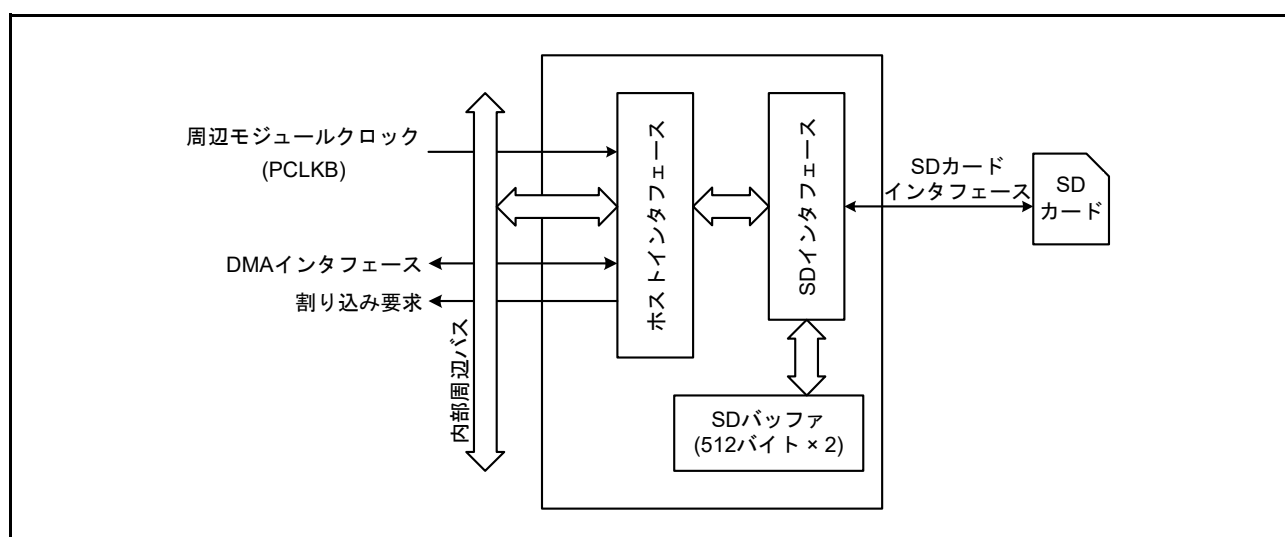


図 40.1 SDHIのブロック図

表 40.2 に SDHI の入出力端子を示します。

表 40.2 SDHIの入出力端子

端子名	入出力	機能
SDHI_CLK	出力	SDHIクロック
SDHI_CMD	入出力	コマンドの出力、レスポンスの入力
SDHI_D0	入出力	データ 0 (DAT0)
SDHI_D1	入出力	データ 1 (DAT1)、SDIO アクセス割り込み
SDHI_D2	入出力	データ 2 (DAT2)、リードウェイト
SDHI_D3	入出力	データ 3 (DAT3)、SDカード検出
SDHI_CD	入力	SDカード検出
SDHI_WP	入力	SDライトプロテクト

40.2 レジスタの説明

40.2.1 コマンドレジスタ (SDCMD)

アドレス SDHI.SDCMD 0008 AC00h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMD12AT[1:0]	TRSTP	CMDRW	CMDTP	RSPTP[2:0]		ACMD[1:0]		CMDIDX[5:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMDIDX[5:0]	コマンドインデックスビット	command indexフィールド値を設定します。以下にb7-b6も含めた設定例を示します。 b7 b6 0 0 0 0 1 1 0 : CMD6 0 0 0 1 0 0 1 0 : CMD18 0 1 0 0 1 1 0 1 : ACMD13	R/W
b7-b6	ACMD[1:0]	ACMDビット	b7 b6 0 0 : CMD 0 1 : ACMD 上記以外は設定しないでください	R/W
b10-b8	RSPTP[2:0]	レスポンスタイプビット (注1)	<ul style="list-style-type: none"> ノーマルモード b10 b8 0 0 0 : コマンド(ACMD[1:0]ビットおよびCMDIDX[5:0]ビットの組み合わせ)によって、レスポンスの種類と転送の方法が決まります。このとき、本レジスタのb15-b11の設定は無効です 拡張モード b10 b8 0 1 1 : レスポンスなし 1 0 0 : R1、R5、R6、R7レスポンス 1 0 1 : R1bレスポンス 1 1 0 : R2レスポンス 1 1 1 : R3、R4レスポンス 上記以外は設定しないでください 	R/W
b11	CMDTP	コマンドタイプビット (注2)	0 : コマンドタイプは、bc、bcr、acのいずれか (データ転送を行わないコマンド) 1 : コマンドタイプは、adtc (データ転送を行うコマンド)	R/W
b12	CMDRW	リードライトコマンドビット (注3)	0 : SDカードへ書き込み 1 : SDカードから読み出し	R/W
b13	TRSTP	転送タイプビット (注3)	0 : シングルブロック転送 1 : マルチブロック転送	R/W
b15-b14	CMD12AT[1:0]	マルチブロック転送モードビット (注4)	b15 b14 0 0 : マルチブロック転送時、CMD12を自動送信する 0 1 : マルチブロック転送時、CMD12を自動送信しない 上記以外は設定しないでください	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

注1. ノーマルモードで使用できないコマンドがあります。表40.3を参照してRSPTP[2:0]ビットを設定してください。
 注2. CMDTPビットは、RSPTP[2:0]ビットが“000b”以外のときのみ有効です。
 注3. CMDRW、TRSTPビットは、RSPTP[2:0]ビットが“000b”以外で、CMDTPビットが“1”のときのみ有効です。
 注4. CMD12AT[1:0]ビットは、RSPTP[2:0]ビットが“000b”以外で、TRSTPビットが“1”のときのみ有効です。

SDCMDレジスタは、コマンドやレスポンスの種類を設定するレジスタです。RSPTP[2:0]ビットが“000b”以外の場合、コマンドタイプや転送モードを設定する必要があります。SDCMDレジスタに値を書き込む

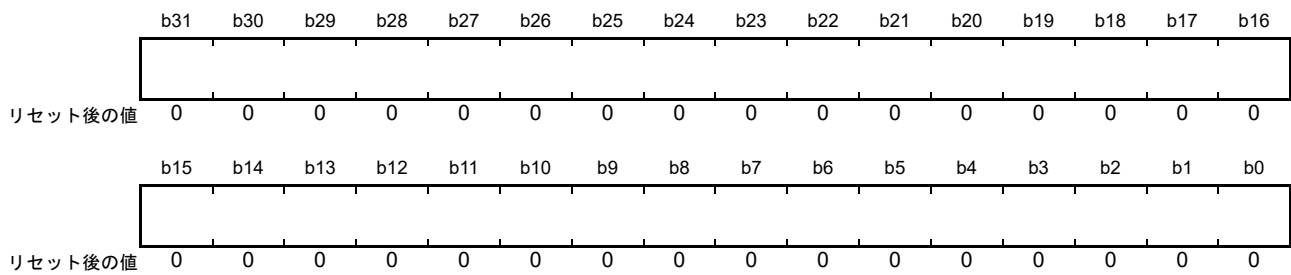
と、SDHIはコマンドシーケンスを開始します。SDCMDレジスタの設定例を表40.3に示します。
SDSTS2.CBSYフラグが“1”のとき、SDCMDレジスタへ書き込まないでください。

表40.3 SDCMDレジスタへの設定例

種類	コマンド	SDCMDレジスタ設定例	備考
CMD	CMD0	0000 0000h	
	CMD2	0000 0002h	
	CMD3	0000 0003h	
	CMD4	0000 0004h	
	CMD5	0000 0705h or 0000 0005h	
	CMD6	0000 1C06h or 0000 0006h	
	CMD7	0000 0007h	カードを非選択状態にすると、SDカードからレスポンスが返りません。そのため、SDSTS2.RSPTOフラグが“1”になります
	CMD8	0000 0408h or 0000 0008h	
	CMD9	0000 0009h	
	CMD10	0000 000Ah	
	CMD11	0000 040Bh or 0000 000Bh	
	CMD12	0000 000Ch	
	CMD13	0000 000Dh	
	CMD15	0000 000Fh	
	CMD16	0000 0010h	
	CMD17	0000 0011h	
	CMD18	0000 0012h	
	CMD20	0000 0514h or 0000 0014h	
	CMD24	0000 0018h	
	CMD25	0000 0019h	
	CMD27	0000 001Bh	
	CMD28	0000 001Ch	
	CMD29	0000 001Dh	
	CMD30	0000 001Eh	
	CMD32	0000 0020h	
	CMD33	0000 0021h	
	CMD38	0000 0026h	
	CMD42	0000 002Ah	
	CMD52	0000 0434h or 0000 0034h	
	CMD53	0000 1C35h	シングルリードの場合
		0000 0C35h	シングルライトの場合
		0000 7C35h	マルチリードの場合
		0000 6C35h	マルチライトの場合
0000 0035h		シングルまたはマルチ転送に関わらず、左記の設定も可能です。ただしSDARGレジスタの最上位ビット(RW flag)に、読み出しの場合は“0”、書き込みの場合は“1”を設定する必要があります	
CMD55	0000 0037h		
CMD56	0000 0038h		
ACMD	ACMD6	0000 0046h	
	ACMD13	0000 004Dh	
	ACMD22	0000 0056h	
	ACMD23	0000 0057h	
	ACMD41	0000 0069h	
	ACMD42	0000 006Ah	
	ACMD51	0000 0073h	

40.2.2 アーギュメントレジスタ (SDARG)

アドレス SDHI.SDARG 0008 AC08h



SDARG レジスタは、**argument** フィールド値を設定するレジスタです。SDCMD レジスタに書き込む前に SDARG レジスタに書き込んでください。

なお、自動送信される CMD12 の **argument** フィールド値は、SDARG レジスタの値に関わらず “0000 0000h” です。

40.2.3 データストップレジスタ (SDSTOP)

アドレス SDHI.SDSTOP 0008 AC10h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SDBLK CNTEN	—	—	—	—	—	—	—	STP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STP	転送停止ビット	“1”を書くと転送が停止します	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b8	SDBLKCNTEN	ブロックカウントレジスタ有効ビット (注1)	0 : SDBLKCNT レジスタの設定値は無効 1 : SDBLKCNT レジスタの設定値は有効	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

注1. SDSTS2.CBSYフラグが“1”のとき、SDBLKCNTENビットを書き換えしないでください。

SDSTOP レジスタは、転送の停止を行うレジスタです。また、マルチブロック転送時は、SDBLKCNT レジスタ値(転送ブロック数)を有効または無効にします。

STP ビット(転送停止ビット)

STP ビットを“1”にするのは、SDSTS1.RSPEND フラグが“1”になった後に、STP ビットを“0”にするのは、SDSTS1.ACEND フラグが“1”になった後に、それぞれ行ってください。

なお、コマンドシーケンスが終了しているときに STP ビットを“1”にしても、SDHI は CMD12 を発行せず、SDSTS1.ACEND フラグは“1”になりません。また、R1b レスポンスを受信した後のビジー状態のとき、STP ビットを“1”にしても SDHI は CMD12 を送信せず、ビジー状態が解除された後、SDSTS1.ACEND フラグが“1”になります。

- マルチブロック転送の場合

STP ビットを“1”にすると、SDHI は CMD12 を送信し、コマンドシーケンスは停止します。STP ビットを“1”にした後も SD バッファにアクセスできますが、バッファアクセスエラーとなり、SDSTS2.ILW フラグまたは SDSTS2.ILR フラグが“1”になります。

通信エラーまたはタイムアウトによりコマンドシーケンスが停止している場合、SDHI は CMD12 を送信しません。

- シングルブロック転送の場合

シングルブロックライト中に STP ビットを“1”にしたとき、SD バッファにデータがないと、SDSTS1.ACEND フラグが“1”になります。SD バッファにデータがあると、ビジー状態が解除された後に SDSTS1.ACEND フラグが“1”になります。

シングルブロックリード中に STP ビットを“1”にしたとき、SDSTS1.ACEND フラグが“1”になります。なお、シングルブロックライトまたはリード時は、STP ビットを“1”にしても CMD12 は送信されません。

SDBLKCNTEN ビット (ブロックカウントレジスタ有効ビット)

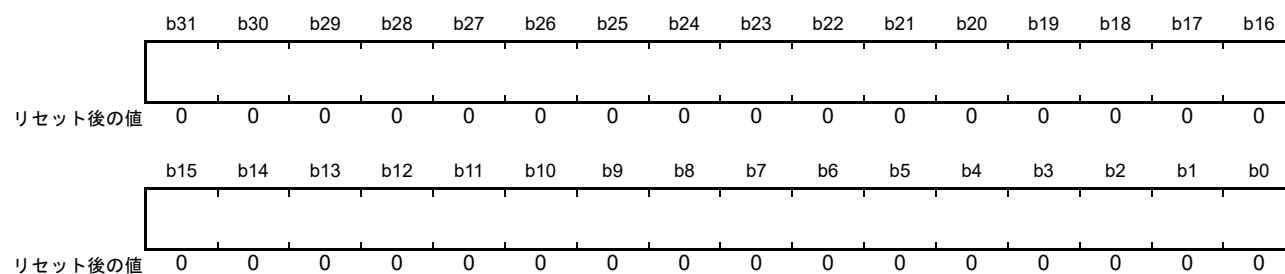
マルチブロック転送中、SDBLKCNTEN ビットが“1”であると、SDHI は CMD12 を自動送信します。

ノーマルモード (SDCMD.RSPTP[2:0] ビットが“000b”) で CMD18 または CMD25 を送信したとき、または拡張モード (SDCMD.RSPTP[2:0] ビットが“000b”以外) で SDCMD.TRSTP ビットが“1” (マルチブロック転送)、SDCMD.CMD12AT[1:0] ビットが“00b” (CMD12 を自動送信する) のとき、転送ブロック数が SDBLKCNT レジスタに設定した値になると、SDHI は CMD12 を自動送信します。

通信エラーまたはタイムアウトによりコマンドシーケンスが停止した場合、CMD12 は自動送信されません。

40.2.4 ブロックカウントレジスタ (SDBLKCNT)

アドレス SDHI.SDBLKCNT 0008 AC14h



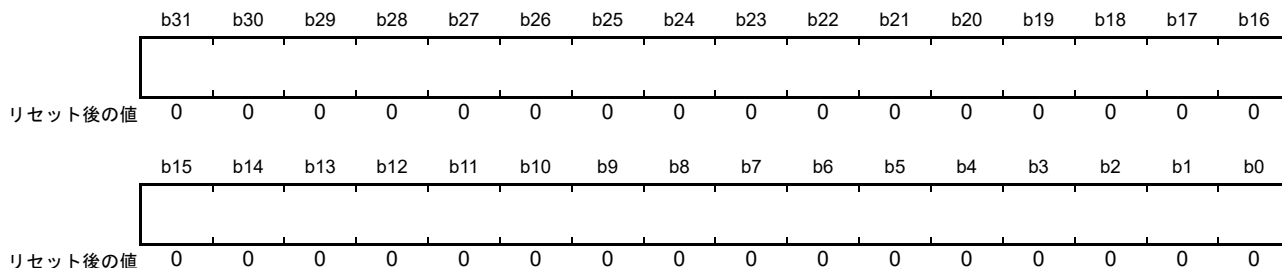
SDBLKCNT レジスタは、マルチブロック転送時の転送ブロック数を設定する読み書き可能なレジスタです。設定した値が転送ブロック数になります。たとえば、“0000 0001h”を設定すると1ブロック、“0000 FFFFh”を設定すると65535ブロック、“FFFF FFFFh”を設定すると4294967295ブロックになります。“0000 0000h”は設定しないでください。

SDSTS2.CBSY フラグが“1”のときは、SDBLKCNT レジスタを書き換えしないでください。

40.2.5 レスポンスレジスタ 10 (SDRSP10)、レスポンスレジスタ 32 (SDRSP32)、レスポンスレジスタ 54 (SDRSP54)、レスポンスレジスタ 76 (SDRSP76)

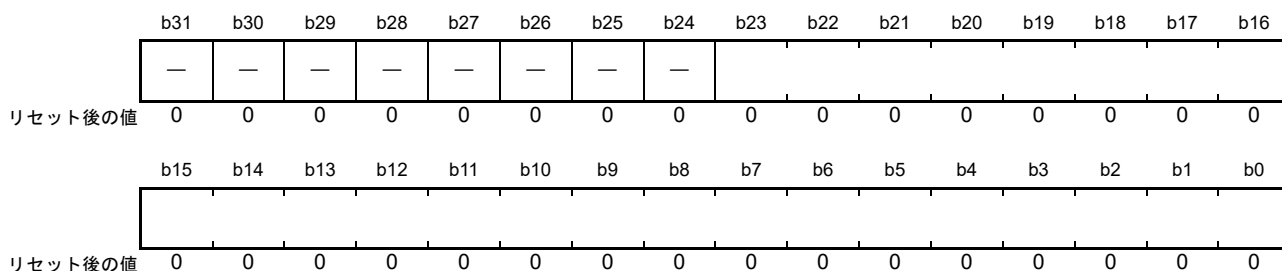
- SDRSP10, SDRSP32, SDRSP54

アドレス SDHI.SDRSP10 0008 AC18h, SDHI.SDRSP32 0008 AC20h, SDHI.SDRSP54 0008 AC28h



- SDRSP76

アドレス SDHI.SDRSP76 0008 AC30h



ビット	シンボル	ビット名	機能	R/W
b23-b0	—	—	SDカードからのレスポンスを格納します。	R
b31-b24	—	予約ビット	読むと“0”が読めます	R

SDRSP レジスタは、SD カードからのレスポンスを格納する、読み出し専用のレジスタです。

SDHI は、SD カードからのレスポンスの種類により、レスポンスの内容を SDRSP10、SDRSP32、SDRSP54、SDRSP76 レジスタに分割して格納します。SDRSP レジスタとレスポンスの格納先の対応を表 40.4 に示します。

表40.4 SDRSPレジスタとレスポンスの格納先の対応

レスポンスタイプ	SDRSP76レジスタ	SDRSP54レジスタ	SDRSP32レジスタ	SDRSP10レジスタ
R1	—	[39:8] (注1)	—	[39:8]
R1b	—	[39:8] (注1)	—	[39:8]
R2	[127:104]	[103:72]	[71:40]	[39:8]
R3	—	—	—	[39:8]
R4	—	—	—	[39:8]
R5	—	—	—	[39:8]
R6	—	—	—	[39:8]
R7	—	—	—	[39:8]

注1. CMD18またはCMD25に対するレスポンスは、SDRSP10レジスタとSDRSP54レジスタの両方に格納されます。このため、自動送信されたCMD12のレスポンスがSDRSP10レジスタに上書きされた場合でも、SDRSP54レジスタに格納された値を参照することで、CMD18またはCMD25に対するレスポンスを確認できます。

40.2.6 SD ステータスレジスタ 1 (SDSTS1)

アドレス SDHI.SDSTS1 0008 AC38h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SDD3MON	SDD3IN	SDD3RM	SDWPMON	—	SDCDMON	SDCDIN	SDCDRM	ACEND	—	RSPEND
リセット後の値	0	0	0	0	0	x	0	0	x	0	x	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	RSPEND	レスポンスエンドフラグ	0 : レスポンスエンドを検出していない 1 : レスポンスエンドを検出した	R/(W) (注1)
b1	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b2	ACEND	アクセスエンドフラグ	0 : アクセスエンドを検出していない 1 : アクセスエンドを検出した	R/(W) (注1)
b3	SDCDRM	SDHI_CD 抜去フラグ	0 : SDHI_CD 端子によるSDカード抜去を検出していない 1 : SDHI_CD 端子によるSDカード抜去を検出した	R/(W) (注1)
b4	SDCDIN	SDHI_CD 挿入フラグ	0 : SDHI_CD 端子によるSDカード挿入を検出していない 1 : SDHI_CD 端子によるSDカード挿入を検出した	R/(W) (注1)
b5	SDCDMON	SDHI_CD モニタフラグ	0 : SDHI_CD 端子のレベルはHigh (注2) 1 : SDHI_CD 端子のレベルはLow (注2)	R
b6	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b7	SDWPMON	SDHI_WP モニタフラグ	0 : SDHI_WP 端子のレベルはHigh 1 : SDHI_WP 端子のレベルはLow	R
b8	SDD3RM	SDHI_D3 抜去フラグ	0 : SDHI_D3 端子によるSDカード抜去を検出してない 1 : SDHI_D3 端子によるSDカード抜去を検出した	R/(W) (注1)
b9	SDD3IN	SDHI_D3 挿入フラグ	0 : SDHI_D3 端子によるSDカード挿入を検出してない 1 : SDHI_D3 端子によるSDカード挿入を検出した	R/(W) (注1)
b10	SDD3MON	SDHI_D3 モニタフラグ	0 : SDHI_D3 端子のレベルはLow 1 : SDHI_D3 端子のレベルはHigh	R
b31-b11	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。
 注2. SDOPT.CTOP[3:0]ビットで指定した期間以上、同じレベルが継続したときにフラグが変化します。

SDSTS1 レジスタは、コマンドシーケンスにおけるレスポンスエンドおよびアクセスエンドの検出を表示します。また、SD カードの挿抜検出、ライトプロテクトの状態を表示します。

マルチブロック転送中に CMD12 および CMD52 (SDIO abort) を送信した場合、ACEND フラグは“1”になりますが、RSPEND フラグは“1”になりません。

通信エラーまたはタイムアウトによりコマンドシーケンスが停止した場合、ACEND フラグまたは RSPEND フラグが“1”になります。

SDD3MON、SDD3IN、SDD3RM フラグはリセット解除後、SDHI_D3 端子の状態により変化します。また、4 ビットモードでのデータ転送中にも変化します。

フラグをクリアする場合は、クリアするフラグに“0”を、それ以外のフラグには“1”を書き込んでください。

RSPEND フラグ (レスポンスエンドフラグ)

[“1”になる条件]

- レスポンスの受信を完了したとき
- レスポンスがないコマンドの送信が完了したとき
- R1b レスポンスを受信した後、ビジー状態が解除されたとき
- マルチブロック転送中に SDIOMD.C52PUB ビットを“1”にした後、CMD52 のレスポンス受信が完了したとき
- 通信エラーまたはタイムアウトによりコマンドシーケンスが中断したとき

[“0”になる条件]

- “0”を書いたとき

注. データ転送のないコマンドを送信したとき、コマンドシーケンスが終了した後、RSPEND フラグが“1”になります

ACEND フラグ (アクセスエンドフラグ)

[“1”になる条件]

- シングルブロックリード時、SD バッファからの読み出しが完了したとき
- マルチブロックリード時、SD バッファから最終ブロックの読み出しが完了したとき
- マルチブロックリード時、CMD12 を自動送信する場合、SD バッファからの読み出しが完了し、CMD12 に対するレスポンスの受信が完了したとき
- シングルブロックライト時、CRC status トークンを受信した後、ビジー状態が解除されたとき
- マルチブロックライト時、最終ブロックの CRC status トークンを受信した後、ビジー状態が解除されたとき
- マルチブロックライト時、CMD12 を自動送信する場合、CMD12 に対するレスポンスビジー (busy) の受信が完了したとき
- マルチブロックリード時、CMD12 を自動送信する場合、SDSTOP.STP ビットを“1”にした後に自動送信された CMD12 に対するレスポンスの受信が完了したとき
- マルチブロックライト時、CMD12 を自動送信する場合、SDSTOP.STP ビットを“1”にした後に自動送信された CMD12 に対するレスポンスビジー (busy) の受信が完了したとき
- マルチブロックリード中に SDIOMD.IOABT ビットを“1”にした後、CMD52 に対するレスポンスの受信が完了したとき
- マルチブロックライト中に SDIOMD.IOABT ビットを“1”にした後、CMD52 に対するレスポンスの受信が完了したとき
- 通信エラーまたはタイムアウトによりコマンドシーケンスが中断したとき

[“0”になる条件]

- “0”を書いたとき

注. コマンドシーケンスが終了した後、ACEND フラグが“1”になります

SDCDRM フラグ (SDHI_CD 抜去フラグ)

[“1”になる条件]

- SDHI_CD 端子が Low から High になり、High の期間が SDOPT.CTOP[3:0] ビットで指定された期間以上であったとき

[“0”になる条件]

- “0”を書いたとき

SDDCDIN フラグ (SDHI_CD 挿入フラグ)

[“1”になる条件]

- SDHI_CD 端子が High から Low になり、Low の期間が SDOPT.CTOP[3:0] ビットで指定された期間以上であったとき

[“0”になる条件]

- “0”を書いたとき

SDD3RM フラグ (SDHI_D3 抜去フラグ)

[“1”になる条件]

- SDHI_D3 端子が High から Low になり、Low の期間が PCLKB の 2 サイクル以上であったとき

[“0”になる条件]

- “0”を書いたとき

SDD3IN フラグ (SDHI_D3 挿入フラグ)

[“1”になる条件]

- SDHI_D3 端子が Low から High になり、High の期間が PCLKB の 2 サイクル以上であったとき

[“0”になる条件]

- “0”を書いたとき

40.2.7 SD ステータスレジスタ 2 (SDSTS2)

アドレス SDHI.SDSTS2 0008 AC3Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ILA	CBSY	SDCLK CREN	—	—	—	BWE	BRE	SDD0M ON	RSPTO	ILR	ILW	DTO	ENDE	CRCE	CMDE
リセット後の値	0	0	1	0	0	0	0	0	x	0	0	0	0	0	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	CMDE	コマンドエラーフラグ	0: コマンドエラーの発生なし 1: コマンドエラーの発生あり	R/(W) (注1)
b1	CRCE	CRCエラーフラグ	0: CRCエラーの発生なし 1: CRCエラーの発生あり	R/(W) (注1)
b2	ENDE	エンドビットエラーフラグ	0: エンドビットエラーの発生なし 1: エンドビットエラーの発生あり	R/(W) (注1)
b3	DTO	データタイムアウトフラグ	0: データタイムアウトの発生なし 1: データタイムアウトの発生あり	R/(W) (注1)
b4	ILW	SDBUFR不正書き込みフラグ	0: SDBUFRレジスタへの不正な書き込みなし 1: SDBUFRレジスタへの不正な書き込みあり	R/(W) (注1)
b5	ILR	SDBUFR不正読み出しフラグ	0: SDBUFRレジスタから不正な読み出しなし 1: SDBUFRレジスタから不正な読み出しあり	R/(W) (注1)
b6	RSPTO	レスポンスタイムアウトフラグ	0: レスポンスタイムアウトの発生なし 1: レスポンスタイムアウトの発生あり	R/(W) (注1)
b7	SDD0MON	SDHI_D0モニタフラグ	0: SDHI_D0端子はLowレベル 1: SDHI_D0端子はHighレベル	R
b8	BRE	SDBUFR読み出し許可フラグ	0: SDBUFRレジスタからの読み出し禁止 1: SDBUFRレジスタからの読み出し許可	R/(W) (注1)
b9	BWE	SDBUFR書き込み許可フラグ	0: SDBUFRレジスタへの書き込み禁止 1: SDBUFRレジスタへの書き込み許可	R/(W) (注1)
b10	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b11	—	予約ビット	読むと“0”が読めます。書く場合、“1”としてください	R/W
b12	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b13	SDCLKREN	SDCLKCR書き込み許可フラグ	0: SD Bus (CMDとDATライン)がビジーなので、 SDCLKCR.CLKENビットとCLKSEL[7:0]ビットへの書き 込み禁止 1: SD Bus (CMDとDATライン)がビジーではないので、 SDCLKCR.CLKENビットとCLKSEL[7:0]ビットへの書き 込み許可	R
b14	CBSY	コマンドシーケンスビジーフラグ	0: コマンドシーケンス終了 1: コマンドシーケンス実行中(ビジー状態)	R
b15	ILA	不正アクセスエラーフラグ	0: 不正アクセスエラーの発生なし 1: 不正アクセスエラーの発生あり	R/(W) (注1)
b31-b16	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

注1. “1”を書いてもフラグの値は変化しません。“0”を書くともフラグの値は“0”になります。

SDSTS2レジスタは、SDバッファおよびSDカードのステータスを表示します。フラグをクリアする場合は、クリアするフラグに“0”、それ以外のフラグに“1”を書き込んでください。

CMDE フラグ (コマンドエラーフラグ)

コマンドエラーが発生するとコマンドシーケンスは停止します。

SDIOMD.C52PUB ビットを“1”にして CMD52 が自動送信されたとき、通信エラーもしくはレスポンスタイムアウトが発生すると、コマンドシーケンスは終了しません。「40.3.6.8 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード)」または「40.3.6.9 IO_RW_EXTENDED (CMD53/ マルチブロックライト)」に示されたエラー処理を行って、コマンドシーケンスを終了してください。

["1" になる条件]

- 送信したコマンドの command index フィールド値と受信したレスポンスの command index フィールド値が異なるとき
- 転送を停止するために自動送信された CMD12 または CMD52 の command index フィールド値と受信したレスポンスの command index フィールド値が異なるとき

["0" になる条件]

- “0” を書いたとき

CRCE フラグ (CRC エラーフラグ)

CRC エラーが発生するとコマンドシーケンスは停止します。

SDIOMD.C52PUB ビットを“1”にして CMD52 が自動送信された場合、通信エラーもしくはレスポンスタイムアウトが発生すると、コマンドシーケンスは終了しません。「40.3.6.8 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード)」または「40.3.6.9 IO_RW_EXTENDED (CMD53/ マルチブロックライト)」に示されたエラー処理を行って、コマンドシーケンスを終了してください。

["1" になる条件]

- 受信した CRC status トークンがエラーを示しているとき (“010b” 以外のとき)
- 読み出したデータに CRC エラーがあるとき
- レスポンスに CRC エラーがあるとき
- 転送を停止するために自動送信された CMD12 または CMD52 のレスポンスに CRC エラーがあるとき

["0" になる条件]

- “0” を書いたとき

ENDE フラグ (エンドビットエラーフラグ)

エンドビットエラーが発生するとコマンドシーケンスは停止します。

SDIOMD.C52PUB ビットを“1”にして CMD52 が自動送信されたとき、通信エラーもしくはレスポンスタイムアウトが発生すると、コマンドシーケンスは終了しません。「40.3.6.8 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード)」または「40.3.6.9 IO_RW_EXTENDED (CMD53/ マルチブロックライト)」に示されたエラー処理を行って、コマンドシーケンスを終了してください。

["1" になる条件]

- レスポンス長にエラーがあるとき (エンドビットが検出できなかったとき)
- 読み出しデータ長にエラーがあるとき (有効ビットのエンドビットが検出できなかったとき)
- CRC status トークン長にエラーがあるとき (エンドビットが検出できなかったとき)
- 転送を停止するために自動送信された CMD12 または CMD52 のレスポンス長にエラーがあるとき (エンドビットが検出できなかったとき)

["0" になる条件]

- “0” を書いたとき

DTO フラグ (データタイムアウトフラグ)

SDOPT.TOP[3:0] ビットで設定した期間、期待するデータを受信できなかったことを表示します。ただし、レスポンスタイムアウトは除きます。データタイムアウトが発生するとコマンドシーケンスは停止します。

[“1”になる条件]

- R1b レスポンスを受信した後、指定期間以上ビジー状態のとき
- CRC status トークンを受信した後、指定期間以上ビジー状態のとき
- データを書き込んだ後、指定期間以上 CRC status トークンを受信しないとき
- リードコマンドを送信した後、指定期間以上読み出しデータを受信しないとき
- コマンドシーケンス中に CMD12 が送信された後、指定期間以上ビジー状態のとき
- 読み出しデータを受信した後、指定期間以上次の読み出しデータを受信しないとき
- Read Wait 状態が解除された後、指定期間以上次の読み出しデータを受信しないとき

[“0”になる条件]

- “0”を書いたとき

ILW フラグ (SDBUFR 不正書き込みフラグ)

[“1”になる条件]

- リードまたはライトコマンドステートでないときに SDBUFR レジスタに書き込んだとき
- SD バッファがフルのときに SDBUFR レジスタに書き込んだとき
- CRC status トークンまたは CRC status トークン長がエラーの場合に SDBUFR レジスタに書き込んだとき
- CRC status トークンを受信した後、SDOPT.TOP[3:0] ビットで設定した期間以上ビジー状態のとき、SDBUFR レジスタに書き込んだとき

[“0”になる条件]

- “0”を書いたとき

ILR フラグ (SDBUFR 不正読み出しフラグ)

[“1”になる条件]

- SD バッファがエンプティのときに SDBUFR レジスタを読み出したとき
- CRC エラーまたはエンドビットエラーを含むデータを SDBUFR レジスタから読み出したとき

[“0”になる条件]

- “0”を書いたとき

RSPTO フラグ (レスポンスタイムアウトフラグ)

レスポンスタイムアウトが発生すると、コマンドシーケンスは停止します。

SDIOMD.C52PUB ビットを“1”にして CMD52 が自動送信されたとき、通信エラーもしくはレスポンスタイムアウトが発生すると、コマンドシーケンスは終了しません。「40.3.6.8 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード)」または「40.3.6.9 IO_RW_EXTENDED (CMD53/ マルチブロックライト)」に示されたエラー処理を行って、コマンドシーケンスを終了してください。

[“1”になる条件]

- SDHI クロックで 640 サイクル以上の時間が経過してもレスポンスを受信しないとき
(転送を停止するために自動送信された CMD12 または CMD52 のレスポンスを含みます)

[“0”になる条件]

- “0”を書いたとき

SDD0MON フラグ (SDHI_D0 モニタフラグ)

SDHI_D0 端子の状態を表示します。

イレーズコマンドを送信した後、DTO フラグが“1”で、RSPTO フラグが“0”の場合、ポーリングにより SDD0MON フラグが“0”から“1”になるのを監視し、イレーズコマンドシーケンスの終了を確認することができます。なお、ライトシーケンス中に通信エラーまたはタイムアウトが発生すると、SDHI_D0 端子が Low のままになっている場合があります。

SDHI クロックが停止しているときは停止前の値を保持します

BRE フラグ (SDBUFR 読み出し許可フラグ)

[“1”になる条件]

- シングルブロック転送時、SDSIZE.LEN[9:0] ビットに設定したサイズのデータが、SD バッファに格納されたとき
- マルチブロック転送時、SDSIZE.LEN[9:0] ビットに設定したサイズのデータが、2つある SD バッファのうちいずれかひとつに格納されたとき

[“0”になる条件]

- “0”を書いたとき
- DMA 転送にて SD バッファからデータを1ブロック分読み出したとき
CPU にて SDBUFR レジスタからデータを読み出す場合、BRE フラグを“0”にしてから SDSIZE.LEN[9:0] ビットに設定したサイズ(注1)のデータを読み出すようにしてください。

読み出したブロックに CRC エラーまたはエンドビットエラーがあった場合も、SD バッファにデータが格納され BRE フラグが“1”になります。

注1. SDSIZE.LEN[9:0] ビットに設定する転送データサイズに奇数を設定した場合、端数バイトは無視されます。詳細は「40.5.2 SDBUFR レジスタ不正書き込みエラー」を参照してください。

BWE フラグ (SDBUFR 書き込み許可フラグ)

[“1”になる条件]

- シングルブロック転送時、SD バッファがエンプティのとき
- マルチブロック転送時、2つある SD バッファのうちいずれかひとつがエンプティのとき

[“0”になる条件]

- “0”を書いたとき
- DMA 転送にて SD バッファにデータを1ブロック分書いたとき
CPU にて SDBUFR レジスタにデータを書き込む場合、BWE フラグを“0”にしてから SDSIZE.LEN[9:0] ビットに設定したサイズ(注1)のデータを書き込むようにしてください。

注1. SDSIZE.LEN[9:0] ビットに設定する転送データサイズに奇数を設定した場合、端数バイトは無視されます。詳細は「40.5.2 SDBUFR レジスタ不正書き込みエラー」を参照してください。

SDCLKREN フラグ (SDCLKCR 書き込み許可フラグ)

SDCMD レジスタに値が書き込まれると、SDHI はコマンドシーケンスを開始し、SDSTS2.CBSY フラグは“1”に、SDSTS2.SDCLKREN フラグは“0”になります。コマンドシーケンスが終了すると、SDSTS2.CBSY フラグが“0”になった後、SDHI クロックの8サイクル後に SDSTS2.SDCLKREN フラグが“1”になります。

ILA フラグ (不正アクセスエラーフラグ)

[“1”になる条件]

- SDSTS2.CBSY フラグが“1”のときに SDCMD レジスタに書き込んだとき
- SDCMD.CMDTP ビットを“1”(データ転送のあるコマンド)、SDCMD.ACMD[1:0] ビットを“00b”かつ SDCMD.CMDIDX[5:0] ビットを“001100b”(CMD12)にしたとき

[“0”になる条件]

- “0”を書いたとき

40.2.8 SD 割り込みマスクレジスタ 1 (SDIMSK1)

アドレス SDHI.SDIMSK1 0008 AC40h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	SDD3I NM	SDD3R MM	—	—	—	SDCDI NM	SDCDR MM	ACEND M	—	RSPEN DM
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RSPENDM	レスポンスエンド割り込み要求マスクビット	0: レスポンスエンド割り込み要求をマスクしない 1: レスポンスエンド割り込み要求をマスクする	R/W
b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b2	ACENDM	アクセスエンド割り込み要求マスクビット	0: アクセスエンド割り込み要求をマスクしない 1: アクセスエンド割り込み要求をマスクする	R/W
b3	SDCDRMM	SDHI_CD 抜き割り込み要求マスクビット	0: SDHI_CD 端子による SD カード抜き割り込み要求をマスクしない 1: SDHI_CD 端子による SD カード抜き割り込み要求をマスクする	R/W
b4	SDCDINM	SDHI_CD 挿入割り込み要求マスクビット	0: SDHI_CD 端子による SD カード挿入割り込み要求をマスクしない 1: SDHI_CD 端子による SD カード挿入割り込み要求をマスクする	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b8	SDD3RMM	SDHI_D3 抜き割り込み要求マスクビット	0: SDHI_D3 端子による SD カード抜き割り込み要求をマスクしない 1: SDHI_D3 端子による SD カード抜き割り込み要求をマスクする	R/W
b9	SDD3INM	SDHI_D3 挿入割り込み要求マスクビット	0: SDHI_D3 端子による SD カード挿入割り込み要求をマスクしない 1: SDHI_D3 端子による SD カード挿入割り込み要求をマスクする	R/W
b31-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

SDIMSK1 レジスタは、SDSTS1 レジスタの各ステータスフラグによる割り込みの要求を許可または禁止します。

各ステータスフラグと要求される割り込み要因の関係は「表 40.8 割り込み要因」を参照してください。

40.2.9 SD 割り込みマスクレジスタ 2 (SDIMSK2)

アドレス SDHI.SDIMSK2 0008 AC44h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ILAM	—	—	—	—	—	BWEM	BREM	—	RSPTOM	ILRM	ILWM	DTTOM	ENDEM	CRCEM	CMDEM
リセット後の値	1	0	0	0	1	0	1	1	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	CMDEM	コマンドエラー割り込み要求マスクビット	0: コマンドエラー割り込み要求をマスクしない 1: コマンドエラー割り込み要求をマスクする	R/W
b1	CRCEM	CRCエラー割り込み要求マスクビット	0: CRCエラー割り込み要求をマスクしない 1: CRCエラー割り込み要求をマスクする	R/W
b2	ENDEM	エンドビットエラー割り込み要求マスクビット	0: エンドビット検出エラー割り込み要求をマスクしない 1: エンドビット検出エラー割り込み要求をマスクする	R/W
b3	DTTOM	データタイムアウト割り込み要求マスクビット	0: データタイムアウト割り込み要求をマスクしない 1: データタイムアウト割り込み要求をマスクする	R/W
b4	ILWM	SDBUFR不正書き込み割り込み要求マスクビット	0: SDBUFRレジスタへの不正書き込み検出割り込み要求をマスクしない 1: SDBUFRレジスタへの不正書き込み検出割り込み要求をマスクする	R/W
b5	ILRM	SDBUFR不正読み出し割り込み要求マスクビット	0: SDBUFRレジスタへの不正読み出し検出割り込み要求をマスクしない 1: SDBUFRレジスタへの不正読み出し検出割り込み要求をマスクする	R/W
b6	RSPTOM	レスポンスタイムアウト割り込み要求マスクビット	0: レスポンスタイムアウト割り込み要求をマスクしない 1: レスポンスタイムアウト割り込み要求をマスクする	R/W
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b8	BREM	BRE割り込み要求マスクビット (注1)	0: SDBUFRレジスタからの読み出し許可割り込み要求をマスクしない 1: SDBUFRレジスタからの読み出し許可割り込み要求をマスクする	R/W
b9	BWEM	BWE割り込み要求マスクビット (注1)	0: SDBUFRレジスタへの書き込み許可割り込み要求をマスクしない 1: SDBUFRレジスタへの書き込み許可割り込み要求をマスクする	R/W
b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b11	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b14-b12	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ILAM	不正アクセスエラー割り込み要求マスクビット	0: 不正アクセスエラー割り込み要求をマスクしない 1: 不正アクセスエラー割り込み要求をマスクする	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. BWEMビットもしくはBREMビットのいずれかが“0”のとき、SDDMAEN.DMAENビットは“0”にしてください。また、SDDMAEN.DMAENビットが“1”のとき、BWEMビットとBREMビットは両方も“1”にしてください。

SDIMSK2 レジスタは、SDSTS2 レジスタの各ステータスフラグによる割り込みの要求を許可または禁止します。

各ステータスフラグと要求される割り込み要因の関係は「表 40.8 割り込み要因」を参照してください。

40.2.10 SDHI クロックコントロールレジスタ (SDCLKCR)

アドレス SDHI.SDCLKCR 0008 AC48h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CLKCT RLEN	CLKEN	CLKSEL[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CLKSEL[7:0]	SDHIクロック選択ビット	b7 b0 00000000 : PCLKBの2分周 00000001 : PCLKBの4分周 00000010 : PCLKBの8分周 00000100 : PCLKBの16分周 00001000 : PCLKBの32分周 00010000 : PCLKBの64分周 00100000 : PCLKBの128分周 01000000 : PCLKBの256分周 10000000 : PCLKBの512分周 11111111 : PCLKB(注2) 上記以外は設定しないでください	R/W (注1)
b8	CLKEN	SDHIクロック出力許可ビット	0 : SDHIクロックの出力を禁止(SDHI_CLK信号をLowに固定) 1 : SDHIクロックの出力を許可	R/W (注1)
b9	CLKCTRLEN	SDHIクロック自動制御許可ビット	0 : SDHIクロック出力の自動制御は無効 1 : SDHIクロック出力の自動制御は有効	R/W
b31-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

- 注1. SDSTS2.SDCLKCRENフラグが“0”のとき、CLKSEL[7:0]ビット、CLKENビットに書き込むことはできません。
 注2. CLKSEL[7:0]ビットを“1111111b”にする場合、または“1111111b”から他の値に変更する場合は以下の手順で実施してください。
 (1) CLKENビットを“0”にする。このとき他のビットの値は変更しないでください。
 (2) CLKSEL[7:0]ビットの値を変更する。このとき他のビットの値は変更しないでください。
 (3) CLKENビットを“1”にする。このとき他のビットの値は変更しないでください。

SDCLKCR レジスタは、SDHI クロックの周波数の設定や出力の制御を行います。SDCMD レジスタに値を書き込んでコマンドシーケンスが開始される前に CLKEN ビットを“1”にしてください。

SDSTS2.SDCLKCREN フラグが“0”のとき、SDCLKCR レジスタに書き込まないでください。

CLKCTRLEN ビット (SDHI クロック自動制御許可ビット)

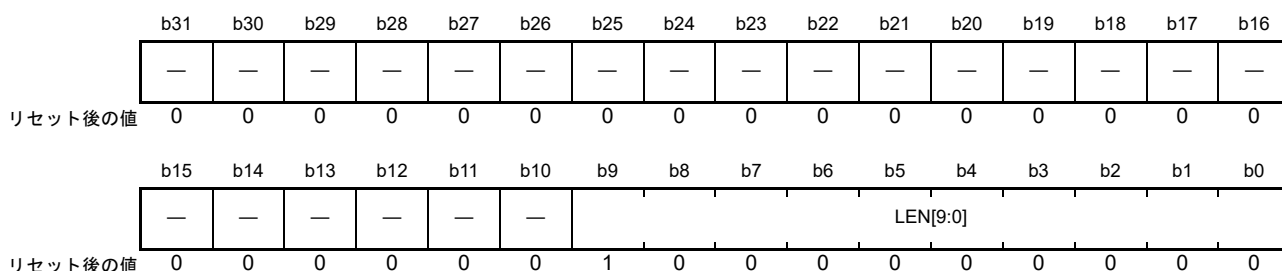
SDHI クロック出力の自動制御機能は、コマンドシーケンス中だけ SDHI クロックを出力する機能です。

この機能が有効である場合、SDCMD レジスタに値が設定されると、SDHI は SDHI クロックの出力を開始します。また、コマンドシーケンスが終了した後、SDHI クロックで 8 サイクルが経過すると、SDHI は SDHI クロックの出力を停止します。

なお、CLKEN ビットが“0”のときは、CLKCTRLEN ビットの値に関わらず、SDHI_CLK 端子からの出力は Low です。

40.2.11 転送データサイズレジスタ (SDSIZE)

アドレス SDHI.SDSIZE 0008 AC4Ch



ビット	シンボル	ビット名	機能	R/W
b9-b0	LEN[9:0]	転送データサイズビット (注1)	転送データサイズ設定	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b31-b12	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. SDSTS2.CBSYフラグが“1”のとき、LEN[9:0]ビットを書き換えしないでください。

SDSIZE レジスタは、転送データサイズを設定するレジスタです。

LEN[9:0] ビット (転送データサイズビット)

シングルブロック転送時には、1 バイト～ 512 バイトの範囲を設定できます。

CMD12 を自動送信するマルチブロック転送時 (CMD18 と CMD25) には、512 バイトのみ設定できます。

CMD12 を自動送信しないマルチブロック転送時には、512 バイトの他、32、64、128、256 バイトを設定できます。ただし、32、64、128、256 バイトのマルチブロックリード転送は、SDIO のマルチブロック転送時 (CMD53) に限ります。

なお、データ転送のあるコマンドのとき、LEN[9:0] ビットを“0”にしないでください。

40.2.12 カードアクセスオプションレジスタ (SDOPT)

アドレス SDHI.SDOPT 0008 AC50h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	WIDTH	—	—	—	—	—	—	—	TOP[3:0]			CTOP[3:0]				
リセット後の値	0	1	0	0	0	0	0	0	1	1	1	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CTOP[3:0]	カード検出タイムカウンタビット (注1)	b3 b0 0000: PCLKB × 2 ¹⁰ 0001: PCLKB × 2 ¹¹ : : 1101: PCLKB × 2 ²³ 1110: PCLKB × 2 ²⁴ 1111: 設定しないでください	R/W
b7-b4	TOP[3:0]	タイムアウトカウンタビット (注1)	b7 b4 0000: SDHIクロック × 2 ¹³ 0001: SDHIクロック × 2 ¹⁴ : : 1101: SDHIクロック × 2 ²⁶ 1110: SDHIクロック × 2 ²⁷ 1111: 設定しないでください	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12-b9	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	—	予約ビット	読むと“1”が読めます。書き込みは無効となります	R
b15	WIDTH	SD Bus幅選択ビット (注1)	0: ワイドバスモード(4ビット) 1: デフォルトバスモード(1ビット)	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

注1. SDSTS2.CBSYフラグが“1”のとき、CTOP[3:0]、TOP[3:0]、WIDTHビットを書き換えしないでください。

SDOPTレジスタは、SD Busの幅およびタイムアウトカウンタを設定するレジスタです。

40.2.13 SD エラーステータスレジスタ 1 (SDERSTS1)

アドレス SDHI.SDERSTS1 0008 AC58h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CRCTK[2:0]	CRCTKE	RDCRCE	RSPCRCE1	RSPCRCE0	—	—	CRCLENE	RDLENE	RSPLNE1	RSPLNE0	CMDE1	CMDE0	
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMDE0	コマンドエラーフラグ0	0: コマンド(注1)のレスポンスの command index フィールド値にエラーなし 1: コマンド(注1)のレスポンスの command index フィールド値にエラーあり	R
b1	CMDE1	コマンドエラーフラグ1	0: コマンド(注2)のレスポンスの command index フィールド値にエラーなし 1: コマンド(注2)のレスポンスの command index フィールド値にエラーあり (SDCMD.CMDIDX[5:0]ビットに設定することでCMD12を送信した場合のエラーはCMDE0フラグに表示されます)	R
b2	RSPLNE0	レスポンス長エラーフラグ0	0: コマンド(注1)のレスポンス長にエラーなし 1: コマンド(注1)のレスポンス長にエラーあり	R
b3	RSPLNE1	レスポンス長エラーフラグ1	0: コマンド(注2)のレスポンス長にエラーなし 1: コマンド(注2)のレスポンス長にエラーあり (SDCMD.CMDIDX[5:0]ビットに設定することでCMD12を送信した場合のエラーはRSPLNE0フラグに表示されます)	R
b4	RDLENE	読み出しデータ長エラーフラグ	0: 読み出しデータ長エラーの発生なし 1: 読み出しデータ長エラーの発生あり	R
b5	CRCLENE	CRC status トークン長エラーフラグ	0: CRC status トークン長エラーなし 1: CRC status トークン長エラーあり	R
b7-b6	—	予約ビット	読むと“0”が読めます	R
b8	RSPCRCE0	レスポンスCRCエラーフラグ0	0: コマンド(注1)のレスポンスにCRCエラーなし 1: コマンド(注1)のレスポンスにCRCエラーあり	R
b9	RSPCRCE1	レスポンスCRCエラーフラグ1	0: コマンド(注2)のレスポンスにCRCエラーなし 1: コマンド(注2)のレスポンスにCRCエラーあり (SDCMD.CMDIDX[5:0]ビットに設定することでCMD12を送信した場合のエラーはRSPCRCE0フラグに表示されます)	R
b10	RDCRCE	読み出しデータCRCエラーフラグ	0: 読み出しデータにCRCエラーなし 1: 読み出しデータにCRCエラーあり	R
b11	CRCTKE	CRC status トークンエラーフラグ	0: CRC status トークンにエラーなし 1: CRC status トークンにエラーあり	R
b14-b12	CRCTK[2:0]	CRC status トークンビット	CRC status トークン値を格納します(正常値は“010b”)	R
b15	—	予約ビット	読むと“0”が読めます	R
b31-b16	—	予約ビット	読んだ場合、その値は不定	R

注1. 転送を停止するために自動送信されたCMD12またはCMD52以外のコマンド。

注2. 転送を停止するために自動送信されたCMD12またはCMD52。

SDERSTS1 レジスタは、CRC status トークン、CRC エラー、エンドビットエラー、およびコマンドエラーを表示します。

40.2.14 SD エラーステータスレジスタ 2 (SDERSTS2)

アドレス SDHI.SDERSTS2 0008 AC5Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CRCBS YTO	CRCTO	RDTO	BSYTO 1	BSYTO 0	RSPTO 1	RSPTO 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RSPTO0	レスポンスタイムアウトフラグ0	0: コマンド(注1)を送信した後、640 SDHIクロック未満でレスポンスを受信した 1: コマンド(注1)を送信した後、640 SDHIクロック以上経過してもレスポンスを受信しなかった	R
b1	RSPTO1	レスポンスタイムアウトフラグ1	0: コマンド(注2)を送信した後、640 SDHIクロック未満でレスポンスを受信した 1: コマンド(注2)を送信した後、640 SDHIクロック以上経過してもレスポンスを受信しなかった (SDCMD.CMDIDX[5:0]ビットに設定することでCMD12を送信した場合のエラーはRSPTO0フラグに表示されます)	R
b2	BSYTO0	ビジータイムアウトフラグ0	0: R1bレスポンス受信後、指定時間(注3)以内にビジー状態が解除された 1: R1bレスポンス受信後、指定時間(注3)が経過してもビジー状態のまま	R
b3	BSYTO1	ビジータイムアウトフラグ1	0: CMD12の自動送信後、指定時間(注3)以内にビジー状態が解除された 1: CMD12の自動送信後、指定時間(注3)が経過してもビジー状態のまま (SDCMD.CMDIDX[5:0]ビットに設定することでCMD12を送信した場合のエラーはBSYTO0フラグに表示されます)	R
b4	RDTO	読み出しデータタイムアウトフラグ	リードコマンドの後、指定時間(注3)が経過してもリードデータを受信しないとき“1”になります。 リードデータ受信の後、指定時間(注3)が経過しても次ブロックリードデータを受信しないとき“1”になります。 Read Wait解除の後、指定時間(注3)が経過しても次ブロックリードデータを受信しないとき“1”になります。	R
b5	CRCTO	CRC status トークンタイムアウトフラグ	0: データを書き込んだ後、指定時間(注3)以内にCRC status トークンを受信した 1: CRCデータを書き込んだ後、指定時間(注3)が経過してもCRC status トークンを受信しなかった	R
b6	CRCBSYTO	CRC status トークンビジータイムアウトフラグ	0: CRC status トークン受信後、指定時間(注3)以内にビジー状態が解除された 1: CRC status トークン受信後、指定時間(注3)が経過してもビジー状態のまま	R
b31-b7	—	予約ビット	読むと“0”が読めます	R

注1. 転送を停止するために自動送信されたCMD12またはCMD52以外のコマンド。

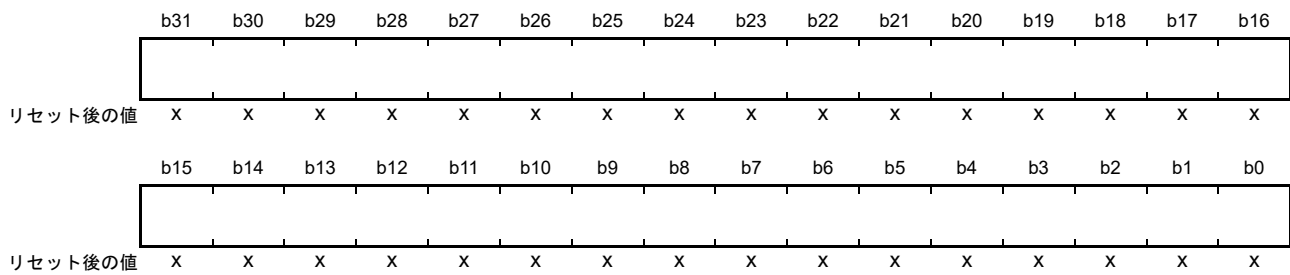
注2. 転送を停止するために自動送信されたCMD12またはCMD52。

注3. SDOPT.TOP[3:0]ビットで設定します。

SDERSTS2 レジスタは、タイムアウトの状態を表示します。

40.2.15 SD バッファレジスタ (SDBUFR)

アドレス SDHI.SDBUFR 0008 AC60h



x : 不定

SDBUFR レジスタは、SD カードヘータを書き込むとき、または読み出すときに使用するレジスタです。SDHI の内部にある SD バッファと接続されています。SDBUFR レジスタと SD バッファの構成については「40.3.1 SD カードのデータブロックフォーマット」を参照してください。

40.2.16 SDIO モードコントロールレジスタ (SDIOMD)

アドレス SDHI.SDIOMD 0008 AC68h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	C52PUB	IOABT	—	—	—	—	—	RWREQ	—	INTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INTEN	SDIO Interrupt受け付け許可ビット (注1)	0 : SDIO Interruptの受け付けを禁止 1 : SDIO Interruptの受け付けを許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b2	RWREQ	Read Wait リクエストビット	0 : Read Wait 状態の解除 1 : Read Wait 状態への遷移を要求	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b8	IOABT	SDIO abortビット	CMD53によるマルチブロック転送時に“1”にすると直ちにCMD52が送信され、コマンドシーケンスは中断します	R/W
b9	C52PUB	SDIO none abortビット	CMD53によるマルチブロック転送時に“1”にすると、転送中の処理を終えてからCMD52が送信され、コマンドシーケンスは終了します	R/W
b31-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

注1. SDSTS2.CBSYフラグが“1”のとき、INTENビットを書き換えしないでください。

SDIOMD レジスタは、SDIO Interrupt の受け付け、マルチブロック転送時のCMD52の送信、Read Wait リクエストの制御を行うレジスタです。C52PUB ビットと IOABT ビットの両方を同時に“1”にしないでください。

RWREQ ビット (Read Wait リクエストビット)

CMD53 の送信によるマルチブロックリードシーケンス中、RWREQ ビットを“1”にすると、そのとき読み出し中のブロックの読み出しが終了したあと、Read Wait 状態になります。Read Wait 状態の解除方法を以下に示します。

- Read Wait 状態でRWREQ ビットを“0”にすると、Read Wait 状態が解除されます。
- Read Wait 状態でIOABT ビットを“1”にすると、CMD52の送信後、RWREQ ビットが“0”になり、Read Wait 状態が解除されます。
- CMD53の送信によるマルチブロックリードシーケンス中にC52PUBビットと同時にRWREQビットを“1”にした場合(注1)、Read Wait 状態は自動で解除されませんので、CMD52 のレスポンスを受信した後、RWREQ ビットを“0”にしてください。

注1. RWREQ ビットと C52PUB ビットは同時に“1”にしてください。

CMD53 の送信によるマルチブロックリードシーケンス中、最終ブロックの転送中にRWREQ ビットを“1”にした場合、Read Wait 状態にはならず、SDSTS1.ACEND フラグが“1”になり、RWREQ ビットが“0”になります。

RWREQ ビットを“1”にする場合は、SDSTS1.RSPEND フラグが“1”になった後に行ってください。

IOABT ビット (SDIO abort ビット)

- CMD53 の送信によるマルチブロック転送時、IOABT ビットを“1”にすると、SDHI は CMD53 のコマンドシーケンスを停止し、CMD52 を送信します。
なお、通信エラーまたはタイムアウトによりコマンドシーケンスが停止している場合、SDHI は CMD52 を送信しません。
また、IOABT ビットを“1”にした後も SD バッファにアクセスできますが、SDSTS2.ILR または ILW フラグが“1”になり、バッファアクセスエラーが発生します。
IOABT ビットを“1”にする前に SDARG レジスタを設定してください。
- シングルブロックライト時、IOABT ビットを“1”にしたときに SD バッファにデータがない場合、SDHI は CMD52 を送信せずに SDSTS1.ACEND フラグを“1”にします。SD バッファにデータがある場合、SDHI は CMD52 を送信せずにビジー状態が解除された後、SDSTS1.ACEND フラグを“1”にします。
- シングルブロックリード時、IOABT ビットを“1”にしたとき、SDHI は CMD52 を送信せず、すぐに SDSTS1.ACEND フラグを“1”にします。
- R1b レスポンスを受信した後のビジー状態のときに IOABT ビットを“1”にした場合、SDHI は CMD52 を送信せずに、ビジー状態が解除された後 SDSTS1.ACEND フラグを“1”にします。
- コマンドシーケンスが終了しているときに IOABT ビットを“1”にした場合、SDHI は CMD52 を送信せず、SDSTS1.ACEND フラグを“1”にしません。
- IOABT ビットを“1”にする場合は、SDSTS1.RSPEND フラグが“1”になった後に行ってください。
- IOABT ビットを“0”にする場合は、SDSTS1.ACEND フラグが“1”になった後に行ってください。

C52PUB ビット (SDIO none abort ビット)

- CMD53 の送信によるマルチブロックライト時、C52PUB ビットを“1”にした場合、SD バッファが完全にエンpty状態となり、かつ、そのとき書き込み中のブロックへ書き込みが終了したあと、CMD52 を自動で送信します。
C52PUB ビットは、CMD52 に対するレスポンスの受信を完了した後、“0”になります。
なお、最終ブロック転送中に C52PUB ビットが“1”の場合、SDHI は CMD52 を送信せず、SDSTS1.RSPEND フラグを“1”にした後、C52PUB ビットを“0”にします。
- CMD53 の送信によるマルチブロックリード時、C52PUB ビットと RWREQ ビットを“1”にした場合、そのとき読み出し中のブロックの読み出しが終了したあと、Read Wait の状態になり、SDHI は CMD52 を自動で送信します。
C52PUB ビットは、CMD52 に対するレスポンスの受信を完了した後、“0”になります。
なお、最終ブロック転送中に C52PUB ビットを“1”にした場合、SDHI は CMD52 を送信せず、SDSTS1.RSPEND フラグを“1”にした後、C52PUB ビットを“0”にします。
- CMD53 の送信によるマルチブロックリード時、C52PUB ビットを“1”にする場合、RWREQ ビットも“1”にしてください。
- C52PUB ビットを“1”にする前に SDARG レジスタを設定してください。
- C52PUB ビットを“1”にする場合、SDSTS1.RSPEND フラグが“1”になった後に行ってください。

40.2.17 SDIO ステータスレジスタ (SDIOSTS)

アドレス SDHI.SDIOSTS 0008 AC6Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EXWT	EXPUB52	—	—	—	—	—	—	—	—	—	—	—	—	—	IOIRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOIRQ	SDIO 割り込みフラグ	0 : SDIO Interruptの受け付けなし 1 : SDIO Interruptの受け付けあり	R/(W) (注1)
b2-b1	—	予約ビット	読むと不定値が読めます。書く場合、“1”としてください	R/W
b13-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b14	EXPUB52	EXPUB52ステータスフラグ	EXPUB52ステータスを表示します	R/(W) (注1)
b15	EXWT	EXWTステータスフラグ	EXWTステータスを表示します	R/(W) (注1)
b31-b16	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. “1”を書いてもフラグの値は変化しません。“0”を書くときフラグの値は“0”になります。

SDIOSTS レジスタは、SDIO カードアクセスに関するステータスを表示します。フラグをクリアする場合、クリアするビットに“0”、それ以外のビットに“1”を書き込んでください。

IOIRQ フラグ (SDIO 割り込みフラグ)

[“1”になる条件]

- SDIOMD.INTEN ビットが“1”のときに SDIO カードからの SDIO Interrupt を受け付けたとき

[“0”になる条件]

- “0”を書いたとき(注1)

注1. SDIO カードにアクセスし SDIO カードからの SDIO Interrupt をネゲートしてから IOIRQ フラグを“0”にしてください。SDIO カードからの SDIO Interrupt をネゲートしない場合、IOIRQ フラグが再び“1”になる可能性があります。

EXPUB52 フラグ (EXPUB52 ステータスフラグ)

[“1”になる条件]

- CMD53 の送信によるマルチブロック転送時、最終ブロックの転送中に SDIOMD.C52PUB ビットを“1”にしたとき
- CMD53 の送信によるマルチブロックライト時、C52PUB ビットが“1”のまま最終ブロックが転送されたとき

[“0”になる条件]

- “0”を書いたとき

EXWT フラグ (EXWT ステータスフラグ)

[“1”になる条件]

- CMD53 の送信によるマルチブロックリードシーケンス中、最終ブロックの転送中に SDIOMD.RWREQ ビットを“1”にしたとき

[“0”になる条件]

- “0”を書いたとき

40.2.18 SDIO 割り込みマスクレジスタ (SDIOIMSK)

アドレス SDHI.SDIOIMSK 0008 AC70h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EXWT M	EXPUB 52M	—	—	—	—	—	—	—	—	—	—	—	—	—	IOIRQ M
リセット後の値	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	IOIRQM	IOIRQ割り込みマスクビット	0 : SDIO Interruptの受け付け割り込み要求をマスクしない 1 : SDIO Interruptの受け付け割り込み要求をマスクする	R/W
b2-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b13-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b14	EXPUB52M	EXPUB52割り込みマスクビット	0 : EXPUB52割り込み要求をマスクしない 1 : EXPUB52割り込み要求をマスクする	R/W
b15	EXWTM	EXWT割り込みマスクビット	0 : EXWT割り込み要求をマスクしない 1 : EXWT割り込み要求をマスクする	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

SDIOIMSK レジスタは、SDIOSTS レジスタの各ステータスフラグによる割り込みの要求を許可または禁止します。

各ステータスフラグと要求される割り込み要因の関係は「表 40.8 割り込み要因」を参照してください。

40.2.19 DMA 転送許可レジスタ (SDDMAEN)

アドレス SDHI.SDDMAEN 0008 ADB0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMAEN	—
リセット後の値	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	DMAEN	DMA 転送許可ビット (注1、注2)	0 : DMAC/DTCによるSDBUFRレジスタへのアクセス禁止 1 : DMAC/DTCによるSDBUFRレジスタへのアクセス許可	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b9-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b12	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R
b31-b13	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

注1. SDSTS2.CBSYフラグが“1”のとき、DMAENビットを書き換えしないでください。

注2. SDIMSK2.BWEMビットもしくはSDIMSK2.BREMビットのいずれかが“0”のとき、DMAENビットは“0”にしてください。また、DMAENビットが“1”のとき、SDIMSK2.BWEMビットとSDIMSK2.BREMビットは両方とも“1”にしてください。

SDDMAEN レジスタは、DMA 転送の許可 / 禁止を設定するレジスタです。

DMAEN ビット (DMA 転送許可ビット)

SD バッファの読み出しおよび書き込みを DMA 転送を用いて行う場合、SDCMD レジスタを設定する前に DMAEN ビットを“1”にしてください。

40.2.20 SDHI ソフトウェアリセットレジスタ (SDRST)

アドレス SDHI.SDRST 0008 ADC0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SDRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDRST	SDHIソフトウェアリセットビット	0: SDHIソフトウェアリセット 1: SDHIソフトウェアリセット解除	R/W
b2-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R
b31-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

SDHI ソフトウェアリセットで初期化されるビットまたはフラグを表 40.5 に示します。

表40.5 SDHIソフトウェアリセットで初期化されるビットまたはフラグ

レジスタ	ビットまたはフラグ
SDSTOP	SDBLKCNTE
SDSTS1	RSPEND, ACEND
SDSTS2	CMDE, CRCE, ENDE, DTO, ILW, ILR, RSPTO, SDDOMON, BRE, BWE, SDCLKCREN, ILA
SDCLKCR	CLKEN
SDOPT (注1)	CTOP[3:0], TOP[3:0], WIDTH
SDERSTS1	CMDE0, CMDE1, RSPLNE0, RSPLNE1, RDLENE, CRCLNE, RSPCRCE0, RSPCRCE1, RDCRCE, CRCTKE, CRCTK[2:0]
SDERSTS2	RSPTO0, RSPTO1, BSYTO0, BSYTO1, RDTO, CRCTO, CRCBSYTO
SDIOSTS	IOIRQ, EXPUB52, EXWT

注1. SDOPTレジスタのb8とb13もSDHIソフトウェアリセットで初期化されます。

40.2.21 スワップコントロールレジスタ (SDSWAP)

アドレス SDHI.SDSWAP 0008 ADE0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	BRSW P	BWSW P	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b4-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b6	BWSWP	SDBUFRスワップ書き込みビット (注1)	0: 通常の書き込み 1: バイトのエンディアンを入れ替えてSDBUFRレジスタに書き込む	R/W
b7	BRSWP	SDBUFRスワップ読み出しビット (注1)	0: 通常の読み出し 1: バイトのエンディアンを入れ替えてSDBUFRレジスタから読み出す	R/W
b10-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b12-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14-b13	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書き込みは無効となります	R

注1. SDSTS2.CBSYフラグが“1”のとき、BWSWP、BRSWPビットを書き換えしないでください。

SDSWAP レジスタは、SDBUFR レジスタにアクセスするとき、データのバイトエンディアンを入れ替えてアクセスするかどうかを選択するレジスタです。SDSWAP レジスタ値による SDBUFR レジスタへのアクセス方法の差異については「40.3.1 SD カードのデータブロックフォーマット」を参照してください。

40.3 動作説明

40.3.1 SDカードのデータブロックフォーマット

SDHIは、データラインとしてSDHI_D0端子のみを使用するデフォルトバスモード(1ビット幅)と、SDHI_D0～SDHI_D3端子を使用するワイドバスモード(4ビット)に対応しています。デフォルトバスモードでの転送フォーマットを図40.2に、ワイドバスモードでの転送フォーマットを図40.3に示します。

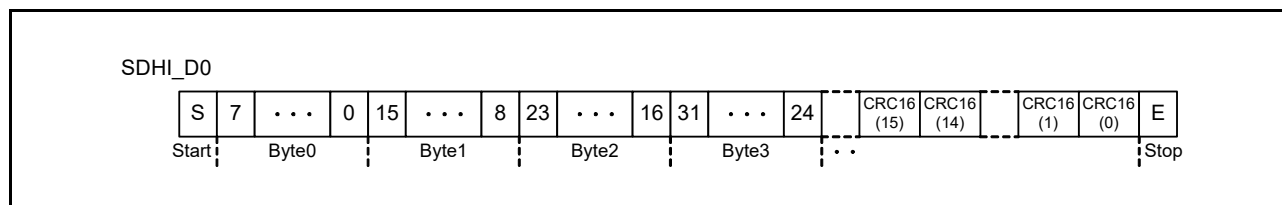


図 40.2 デフォルトバスモードの転送フォーマット (SDOPT.WIDTH ビットが“1”のとき)

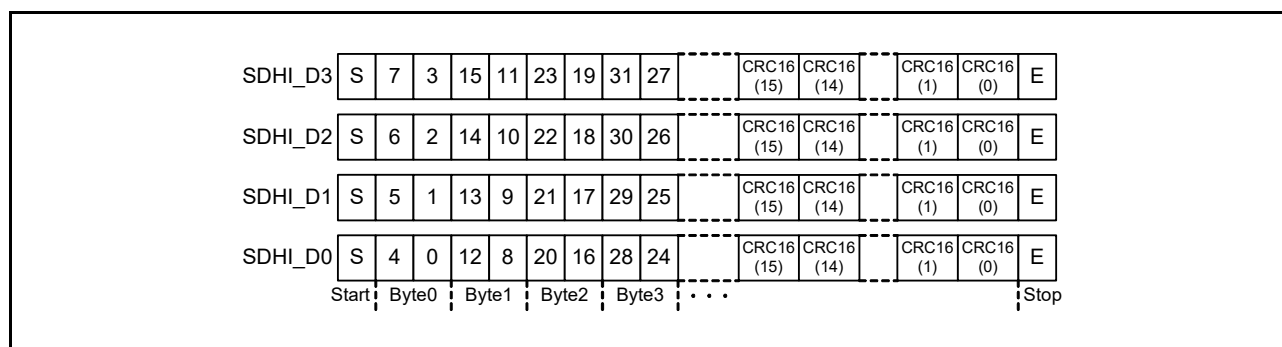


図 40.3 ワイドバスモードの転送フォーマット (SDOPT.WIDTH ビットが“0”のとき)

40.3.2 SDバッファとSDBUFRレジスタ

SDHIは、SDHIの内部にあるSDバッファを経由してSDカードとのデータ転送を行います。SDバッファは、ダブルバッファ構成になっており、各バッファのサイズは512バイトです。

SDバッファのデータ構造を図40.4に示します。

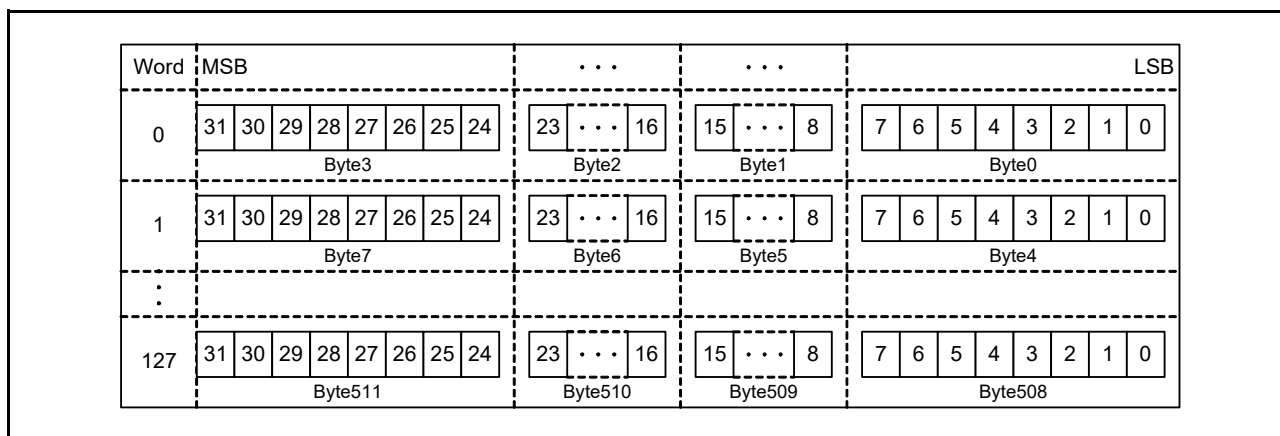


図 40.4 SDバッファのデータ構造(ダブルバッファのうちのひとつ)

SDバッファへのアクセスはSDBUFRレジスタを経由して行います。

SDSWAP.BSWPビットが“1”のときにSDBUFRレジスタにデータを書き込むと、SDHIはバイトのエンディアンを入れ替えて、SDBUFRレジスタにデータを格納します。

SDSWAP.BRSWPビットが“1”のときにSDBUFRレジスタからデータを読み出すと、バイトのエンディアンが入れ替えられたデータを読み出すことができます。

SDBUFRレジスタからデータを読み出すときのデータ配置を図40.5に示します。

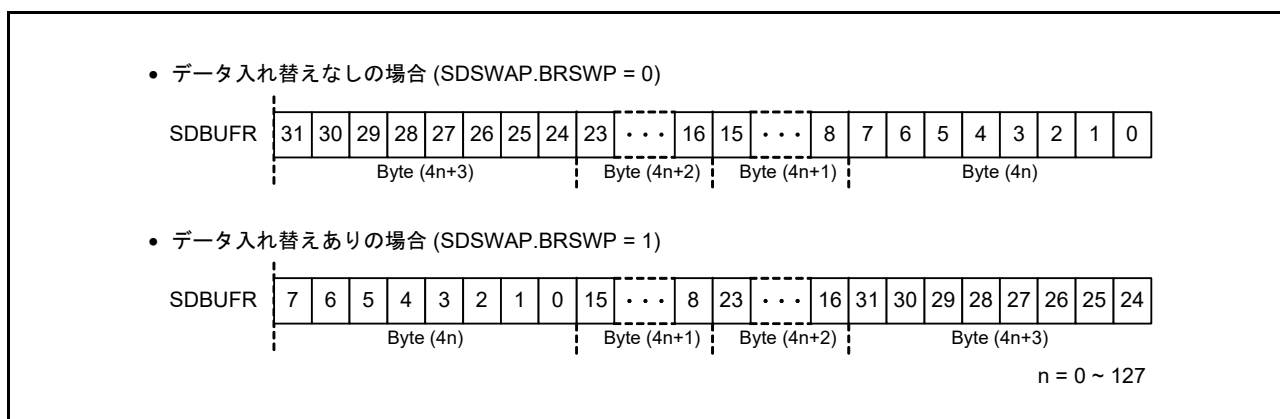


図 40.5 SDBUFRレジスタ読み出し時のデータ配置

40.3.3 SDカードの検出

SDHIは、SDHI_CD端子あるいはSDHI_D3端子を使用してSDカードの検出を行うことができます。

40.3.3.1 SDHI_CD端子によるカード検出

図40.6にSDHI_CD端子によるSDカード検出のタイミングチャートを示します。

SDHI_CD端子はSDカードコネクタのカード検出スイッチに接続し、MCU側でプルアップします。プルアップ抵抗値はホスト機器の仕様により決定します。なお、カード挿入時にカード検出スイッチがオープンになるSDカードソケットもありますので注意してください。

- SDカード挿入の検出

SDカードが挿入されると、SDHI_CD端子がLowになります。このとき、SDHI_CD端子がSDOPT.CTOP[3:0]ビットに設定された期間Lowであれば、SDSTS1.SDCDINフラグが“1”になります。SDSTS1.SDCDINフラグをクリアするには“0”を書き込んでください。

- SDカード抜去の検出

SDカードが抜かれると、SDHI_CD端子がHighになります。このとき、SDHI_CD端子がSDOPT.CTOP[3:0]ビットに設定された期間Highであれば、SDSTS1.SDCDRMフラグが“1”になります。SDSTS1.SDCDRMフラグをクリアするには“0”を書き込んでください。

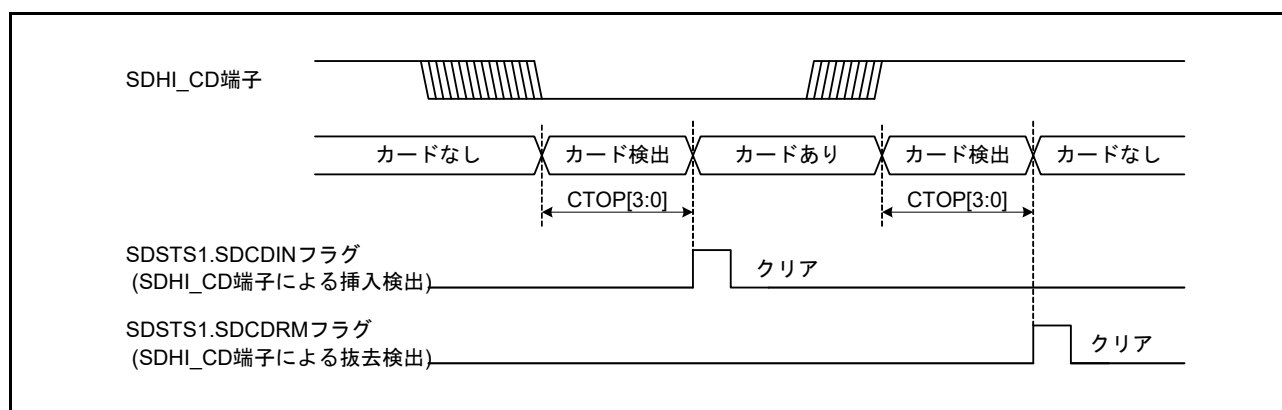


図 40.6 SDHI_CD端子によるカード検出例

40.3.3.2 SDHI_D3 端子による SD カード検出

図 40.7 に SDHI_D3 端子による SD カード検出のタイミングチャートを示します。

SDHI_D3 端子は MCU 側でプルダウンします。プルダウン抵抗値はホスト機器の仕様により決定します。

- SD カード挿入の検出
SD カードが挿入されると、SDHI_D3 端子が High になります。これにより、SDSTS1.SDD3IN フラグが“1”になります。SDSTS1.SDD3IN フラグをクリアするには“0”を書き込んでください。
- SD カード抜去の検出
SD カードが抜かれると、SDHI_D3 端子が Low になります。これにより、SDSTS1.SDD3RM フラグが“1”になります。SDSTS1.SDD3RM フラグをクリアするには“0”を書き込んでください。

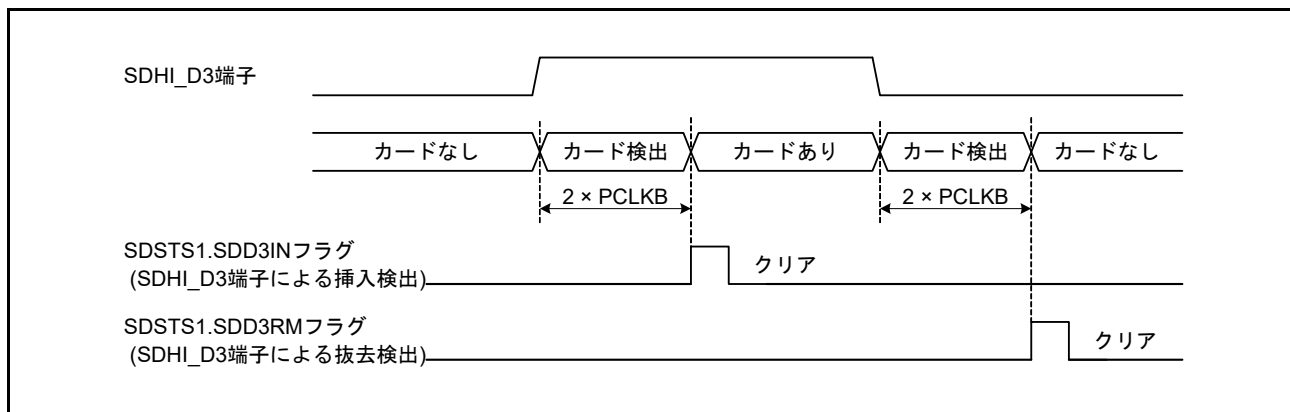


図 40.7 SDHI_D3 端子による SD カード検出

40.3.4 SD カードのライトプロテクト

SDHI は SDHI_WP 端子あるいはコマンドにより、SD カードへの書き込みを禁止することができます。

40.3.4.1 SDHI_WP 端子によるライトプロテクト

SDHI_WP 端子は SD カードコネクタの WP 検出スイッチに接続し、カードが挿入されると、プルダウンまたはプルアップされます。プルアップまたはプルダウンの選択および抵抗値はホスト機器の仕様により決定します。SDHI_WP 端子の状態は SDSTS1.SDWPMON フラグに反映されます。SD カードが挿入された後、SDSTS1.SDWPMON フラグを参照することによりライトプロテクトの判定を行うことができます。

40.3.4.2 コマンドによるライトプロテクト

SDHI は、ライトプロテクトコマンドや SD カードロックコマンドを使用して、SD カードへの書き込みを禁止することができます。

40.3.5 通信エラーとタイムアウト

通信エラーまたはタイムアウトが発生すると、発生したエラーの種類により、SDSTS2 レジスタの対応するステータスフラグが“1”になります。また発生したエラー要因により、SDERSTS1 または SDERSTS2 レジスタの対応するステータスフラグが“1”になります。

SDERSTS1 または SDERSTS2 レジスタの各ステータスフラグは、SDCMD レジスタへの書き込み、また SDRST.SDRST ビットに“0”を書き込むことで“0”になります。

表40.6 通信エラー

通信エラー	割り込みフラグレジスタ		エラーステータスレジスタ		説明
	レジスタ	ビット	レジスタ	ビット	
エンドビットエラー	SDSTS2	ENDE	SDERSTS1	CRCLNE	CRC status トークン長がエラーのとき
				RDLNE	リードデータ長がエラーのとき
				RSPLNE1	レスポンス長がエラーのとき(注1)
				RSPLNE0	レスポンス長がエラーのとき(注2)
CRCエラー		CRCE		CRCTKE	CRC status トークンがエラーのとき
				RDCRCE	リードデータにCRCエラーがあるとき
				RSPCRCE1	レスポンスにCRCエラーがあるとき(注1)
				RSPCRCE0	レスポンスにCRCエラーがあるとき(注2)
コマンドエラー		CMDE		CMDE1	送信したコマンドと受信したレスポンスの command index フィールド値が異なるとき(注1)
				CMDE0	送信したコマンドと受信したレスポンスの command index フィールド値が異なるとき(注2)

注1. 転送を停止するために自動送信されたCMD12またはCMD52

注2. 転送を停止するために自動送信されたCMD12またはCMD52以外のコマンド

表40.7 タイムアウト

タイムアウト	割り込みフラグレジスタ		エラーステータスレジスタ		説明
	レジスタ	ビット	レジスタ	ビット	
レスポンスタイムアウト	SDSTS2	RSPTO	SDERSTS2	RSPTO1	SDHiクロックで640サイクル以上経過してもレスポンスを受信しないとき(注1)
				RSPTO0	SDHiクロックで640サイクル以上経過してもレスポンスを受信しないとき(注2)
データタイムアウト (レスポンスタイムアウト除く)		DTO		CRCBSYTO	CRC status トークン受信後、指定期間(注3)以上ビジー状態のとき
				CRCTO	ライトデータを送信した後、指定期間(注3)以上経過してもCRC status トークンを受信しないとき
				RDTO	リードコマンドの後、指定期間(注3)以上経過してもリードデータを受信しないとき
					リードデータ受信の後、指定期間(注3)以上経過しても次ブロックリードデータを受信しないとき
					Read Wait解除の後、指定期間(注3)以上経過しても次ブロックリードデータを受信しないとき
				BSYTO1	コマンドシーケンス中のCMD12送信の後、指定期間(注3)以上ビジー状態のとき
BSYTO0	R1bレスポンスの後、指定期間(注3)以上ビジー状態のとき(コマンドシーケンス中のCMD12以外のコマンド)				

注1. 転送を停止するために自動送信されたCMD12またはCMD52

注2. 転送を停止するために自動送信されたCMD12またはCMD52以外のコマンド

注3. SDOPT.TOP[3:0]ビットで指定します

40.3.6 コマンドの送信例

40.3.6.1 レスポンスの受信およびデータ転送を行わないコマンド

SDHI からコマンドを送信した後、レスポンスの受信やデータの転送を行わないコマンドの送信例を図40.8に示します。

- (1) SDSTS1 および SDSTS2 レジスタの各フラグを“0”にします。
- (2) SDCLKCR レジスタに SDHI クロックの設定を、SDIMSK1 および SDIMSK2 レジスタにマスクする割り込み要求を設定します。SDCLKCR レジスタの設定に関しては「40.5.5 SDCLKCR レジスタ設定時の注意」を参照してください。
- (3) SDARG レジスタに argument フィールド値を設定した後、SDCMD レジスタに送信するコマンドの内容を書き込みます。SDCMD レジスタに値が書き込まれると、SDHI はコマンドを送信します。
- (4) コマンドの送信が終了すると、SDSTS1.RSPEND フラグが“1”になり、レスポンスエンド割り込み要求が発生します。
- (5) SDSTS1.RSPEND フラグを“0”にします。

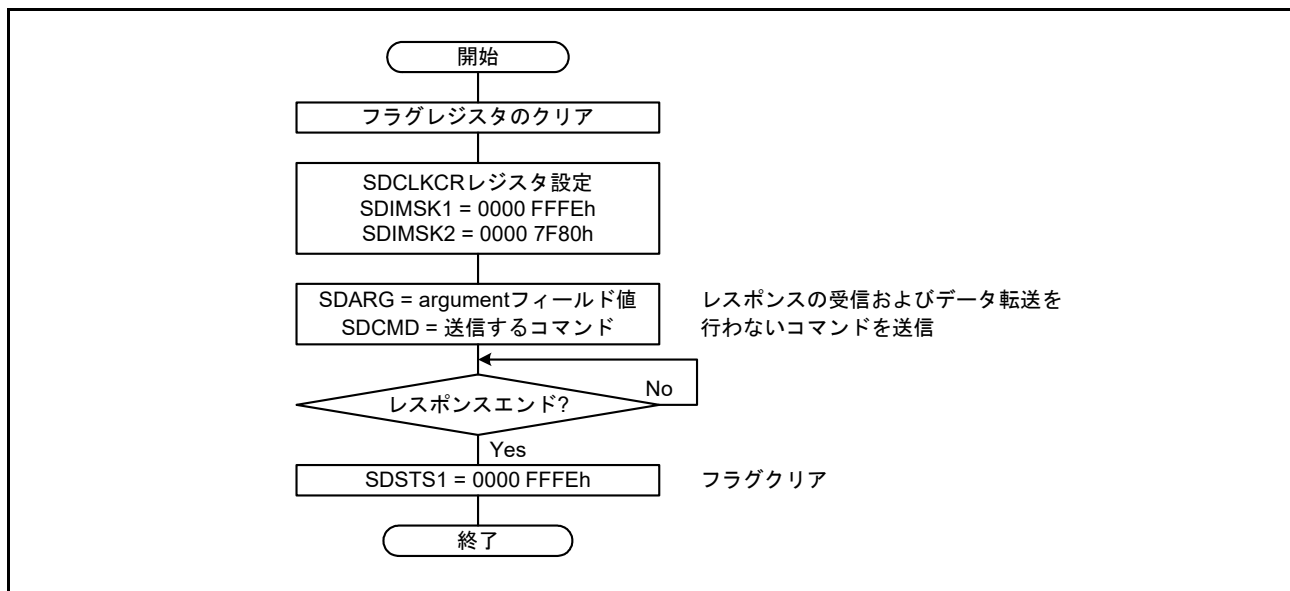


図 40.8 レスポンスの受信とデータ転送のないコマンドの送信例

40.3.6.2 データ転送を行わないコマンド

SDHI からコマンドを送信した後、レスポンスの受信のみを行い、データ転送を行わない例を図 40.9 に示します。

- (1) SDSTS1 および SDSTS2 レジスタの各フラグを“0”にします。
- (2) SDCLKCR レジスタに SDHI クロックの設定を、SDIMSK1 および SDIMSK2 レジスタにマスクする割り込み要求を設定します。SDCLKCR レジスタの設定に関しては「40.5.5 SDCLKCR レジスタ設定時の注意」を参照してください。
- (3) SDARG レジスタに argument フィールド値を設定した後、SDCMD レジスタに送信するコマンドの内容を書き込みます。SDCMD レジスタに値が書き込まれると、SDHI はコマンドを送信します。
- (4) レスポンスを受信すると、SDSTS1.RSPEND フラグが“1”になり、レスポンスエンド割り込み要求が発生します。
- (5) SDSTS1.RSPEND フラグを“0”にし、SDRSP10 レジスタに格納されたレスポンスを読み出します。

なお、通信エラーまたはタイムアウトが発生した場合、エラー処理(割り込みフラグのクリア)を行ってください。

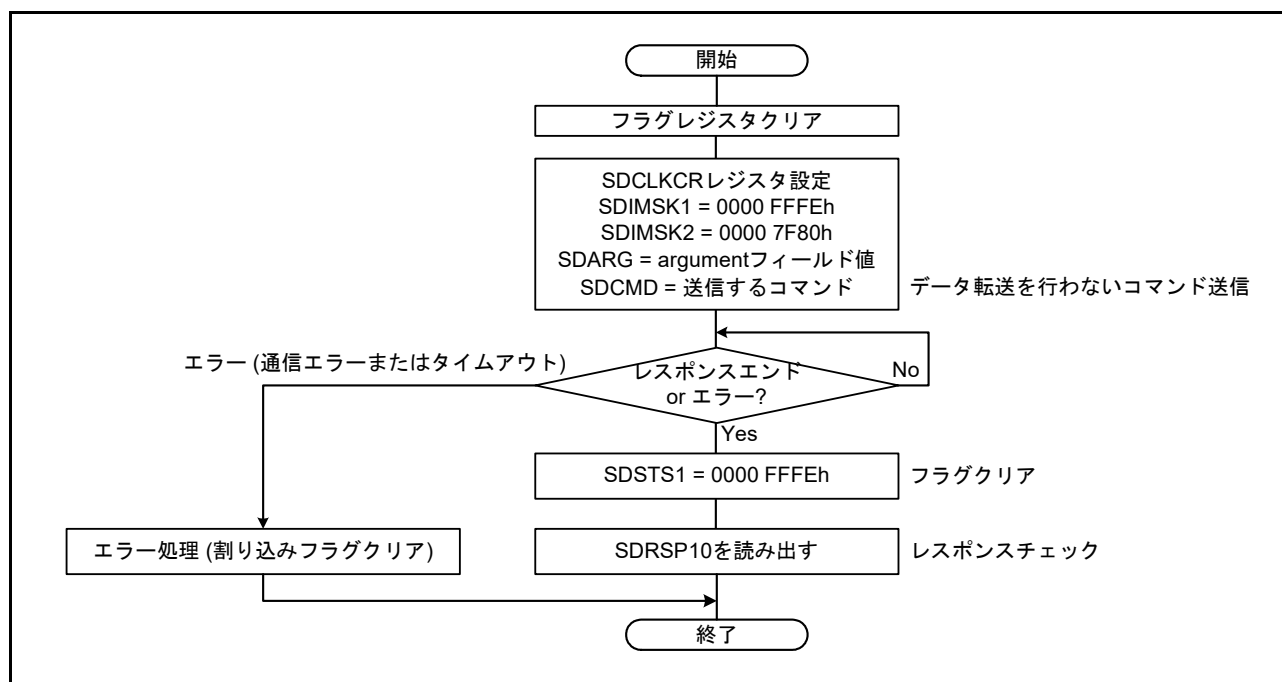


図 40.9 データ転送を行わないコマンドの送信例

40.3.6.3 シングルブロックリードコマンド (CMD17)

シングルブロックリードコマンド (CMD17) の送信例を図 40.10 に示します。

- (1) SDSTS1 および SDSTS2 レジスタの各フラグを“0”にします。
- (2) SDCLKCR レジスタに SDHI クロックの設定を、SDIMSK1 および SDIMSK2 レジスタにマスクする割り込み要求を設定します。SDCLKCR レジスタの設定に関しては「40.5.5 SDCLKCR レジスタ設定時の注意」を参照してください。
- (3) SDARG レジスタに CMD17 の argument フィールド値を設定した後、SDCMD レジスタに“0000 0011h”を書き込みます。SDCMD レジスタに値が書き込まれると、SDHI は CMD17 を送信します。
- (4) レスポンスを受信すると、SDSTS1.RSPEND フラグが“1”になり、レスポンスエンド割り込み要求が発生します。
- (5) SDSTS1.RSPEND フラグを“0”にし、SDRSP10 レジスタに格納されたレスポンスを読み出します。読み出したレスポンスにエラーがある場合、SDSTOP.STP ビットまたは SDIOMD.IOABT ビットを“1”にして、コマンドシーケンスを停止することができます。コマンドシーケンスが停止すると、SDSTS1.ACEND フラグが“1”になります。なお、このコマンドシーケンスの停止によって CMD12 または CMD52 は自動で送信されません。
- (6) レスポンスを受信した後、SDIMSK1.ACENDM ビットを“0”、SDIMSK2.BREM ビットを“0”にします。
- (7) SD カードから、SDSIZE.LEN[9:0] ビットに設定したサイズ of データ受信が終了すると、SDSTS2.BRE フラグが“1”になり、BRE 割り込み要求が発生します。
- (8) SDSTS2.BRE フラグを“0”にして、SDSIZE.LEN[9:0] ビットに設定したサイズ分のデータを SDBUFR レジスタから読み出します。
- (9) SDBUFR レジスタからの読み出しが完了すると、SDSTS1.ACEND フラグが“1”になり、アクセスエンド割り込み要求が発生します。
- (10) SDSTS1.ACEND フラグを“0”にします。

なお、通信エラーまたはタイムアウトが発生した場合、エラー処理 (割り込みフラグのクリア) を行ってください。

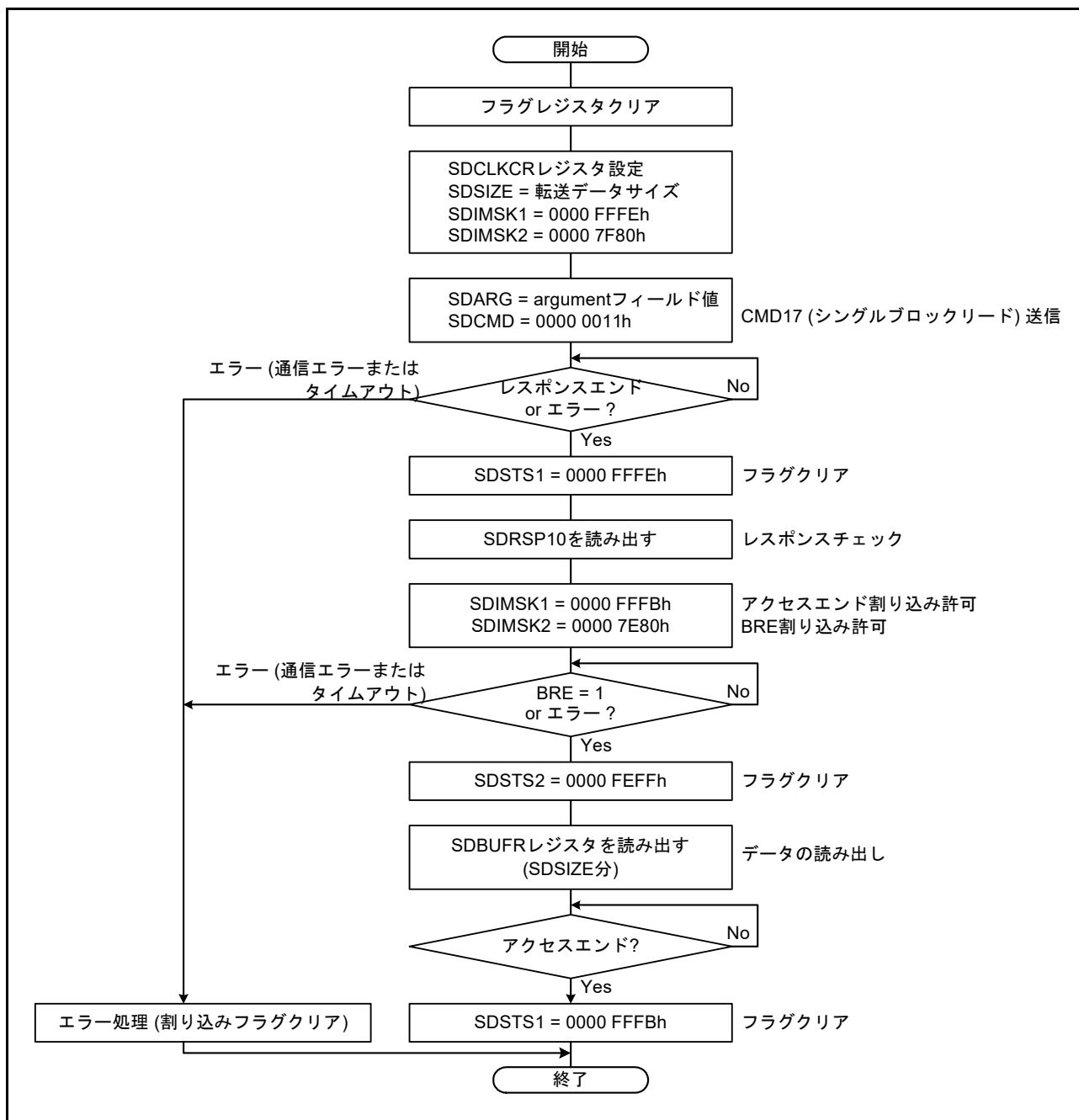


図 40.10 シングルブロックリードコマンドの送信例

40.3.6.4 シングルブロックライトコマンド (CMD24)

シングルブロックライトコマンド (CMD24) の送信例を図 40.11 に示します。

- (1) SDSTS1 および SDSTS2 レジスタの各フラグを“0”にします。
- (2) SDCLKCR レジスタに SDHI クロックの設定を、SDIMSK1 および SDIMSK2 レジスタにマスクする割り込み要求を設定します。SDCLKCR レジスタの設定に関しては「40.5.5 SDCLKCR レジスタ設定時の注意」を参照してください。
- (3) SDARG レジスタに CMD24 の argument フィールド値を設定した後、SDCMD レジスタに“0000 0018h”を書き込みます。SDCMD レジスタに値が書き込まれると、SDHI は CMD24 を送信します。
- (4) レスポンスを受信すると、SDSTS1.RSPEND フラグが“1”になり、レスポンスエンド割り込み要求が発生します。
- (5) SDSTS1.RSPEND フラグを“0”にし、SDRSP10 レジスタに格納されたレスポンスを読み出します。読み出したレスポンスにエラーがある場合、SDSTOP.STP ビットまたは SDIOMD.IOABT ビットを“1”にして、コマンドシーケンスを停止することができます。コマンドシーケンスが停止すると、SDSTS1.ACEND フラグが“1”になります。なお、このコマンドシーケンスの停止によって CMD12 または CMD52 は自動で送信されません。
- (6) レスポンスを受信した後、SDIMSK1.ACENDM ビットを“0”、SDIMSK2.BWEM ビットを“0”にします。
- (7) SDBUFR レジスタに書き込めるようになると、SDSTS2.BWE フラグが“1”になり、BWE 割り込み要求が発生します。
- (8) SDSTS2.BWE フラグを“0”にして、SDSIZE.LEN[9:0] ビットに設定したサイズ分のデータを SDBUFR レジスタへ書き込みます。SDBUFR レジスタへの書き込みが終了すると、SDHI は書き込むデータを SD カードへ送信します。なお、SDBUFR レジスタに書き込んだ後、送信中のデータによる通信エラーまたはタイムアウトが発生する場合があります。
- (9) SD カードへ書き込むデータを送信し終わると、SDHI は CRC status トークンを受信し、SDHI_D0 端子ラインがビジー状態 (Low) になります。その後、ビジー状態が解除されると、SDSTS1.ACEND フラグが“1”になり、アクセスエンド割り込み要求が発生します。
- (10) SDSTS1.ACEND フラグを“0”にします。

なお、通信エラーまたはタイムアウトが発生した場合、エラー処理 (割り込みフラグのクリア) を行ってください。

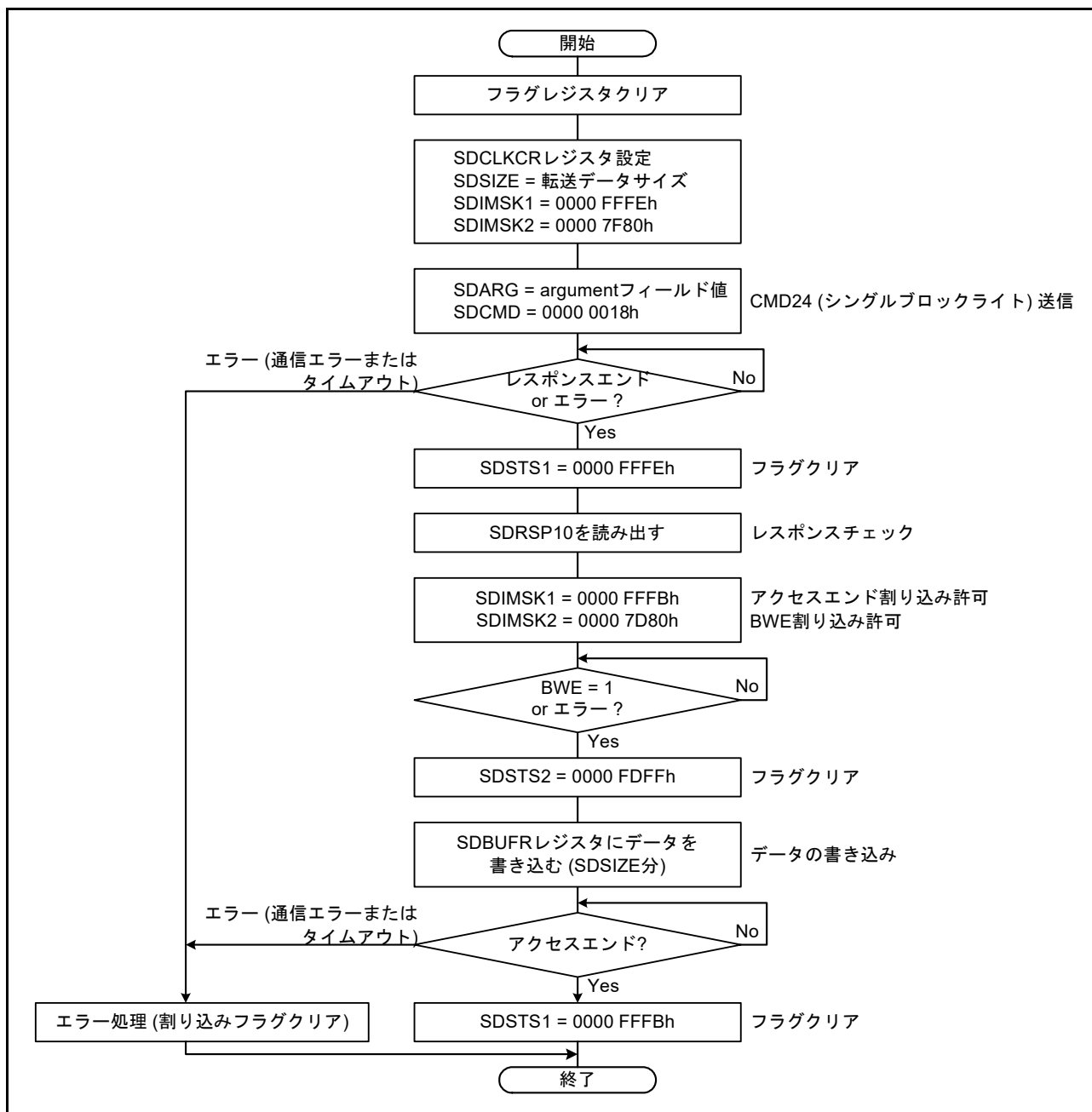


図 40.11 シングルブロックライトコマンドの送信例

40.3.6.5 マルチブロックリードコマンド (CMD18)

マルチブロックリードコマンド (CMD18) の送信例を図 40.12 に示します。

- (1) SDSTS1 および SDSTS2 レジスタの各フラグを“0”にします。
- (2) SDCLKCR レジスタに SDHI クロックの設定を、SDIMSK1 および SDIMSK2 レジスタにマスクする割り込み要求を設定します。SDCLKCR レジスタへの設定に関しては「40.5.5 SDCLKCR レジスタ設定時の注意」を参照してください。SDSTOP.SDBLKCNTEN ビットを“1”にして、SDBLKCNT レジスタに転送ブロック数を設定します。
- (3) SDARG レジスタに CMD18 の argument フィールド値を設定した後、SDCMD レジスタに“0000 0012h”を書き込みます。SDCMD レジスタに値が書き込まれると、SDHI は CMD18 を送信します。
- (4) レスポンスを受信すると、SDSTS1.RSPEND フラグが“1”になり、レスポンスエンド割り込み要求が発生します。
- (5) SDSTS1.RSPEND フラグを“0”にし、SDRSP54 レジスタに格納されたレスポンスを読み出します。読み出したレスポンスにエラーがある場合、SDSTOP.STP ビットを“1”にして、コマンドシーケンスを停止することができます。SDSTOP.STP ビットを“1”にすると、SDHI は CMD12 を自動で送信し、レスポンスを受信します。このとき、SDSTS1.ACEND フラグが“1”になり、アクセスエンド割り込み要求が許可されていると、アクセスエンド割り込み要求が発生します。その後、ACEND フラグを“0”にして、レスポンスを読み出してください。
- (6) レスポンスを受信した後、SDIMSK1.ACENDM ビットを“0”、SDIMSK2.BREM ビットを“0”にします。
- (7) SD カードから、1 ブロック分のデータ受信が終了すると、SDSTS2.BRE フラグが“1”になり、BRE 割り込み要求が発生します。
- (8) SDSTS2.BRE フラグを“0”にして、SDSIZE.LEN[9:0] ビットに設定したサイズ分のデータを SDBUFR レジスタから読み出します。SDBUFR レジスタからの読み出しは、SDBLKCNT レジスタで設定した転送ブロック分だけ繰り返します。なお、SDBUFR レジスタの読み出し中、受信中のデータによる通信エラーまたはタイムアウトが発生する場合があります。SDBLKCNT レジスタで設定した転送ブロック分の読み出しが完了すると、SDHI は CMD12 を自動で送信し、レスポンスを受信します。このとき、SDHI は、SDARG レジスタに“0000 0000h”を自動で設定します。
- (9) 全ブロック分のデータの読み出しと CMD12 に対するレスポンスを受信すると、SDSTS1.ACEND フラグが“1”になり、アクセスエンド割り込み要求が発生します。
- (10) SDSTS1.ACEND フラグを“0”にして、レスポンスを読み出します。

なお、通信エラーまたはタイムアウトが発生した場合、エラー処理 (割り込みフラグのクリア) を行ってください。

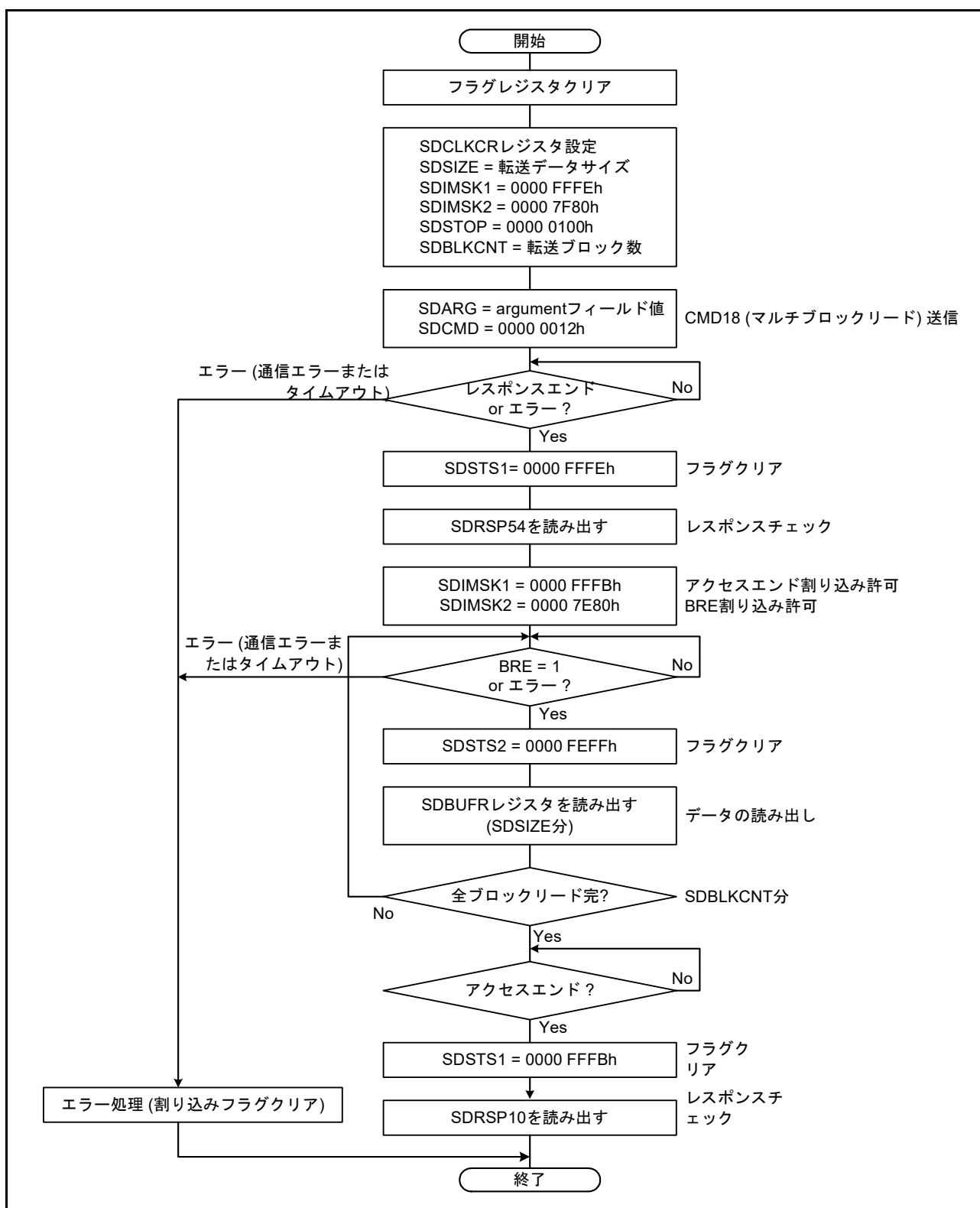


図 40.12 マルチブロックリードコマンドの送信例

40.3.6.6 マルチブロックライトコマンド (CMD25)

マルチブロックライトコマンド (CMD25) の送信例を図 40.13 に示します。

- (1) SDSTS1 および SDSTS2 レジスタの各フラグを“0”にします。
- (2) SDCLKCR レジスタに SDHI クロックの設定を、SDIMSK1 および SDIMSK2 レジスタにマスクする割り込み要求を設定します。SDCLKCR レジスタへの設定に関しては「40.5.5 SDCLKCR レジスタ設定時の注意」を参照してください。
SDSTOP.SDBLKCNTEN ビットを“1”にして、SDBLKCNT レジスタに転送ブロック数を設定します。
- (3) SDARG レジスタに CMD25 の argument フィールド値を設定した後、SDCMD レジスタに“0000 0019h”を書き込みます。SDCMD レジスタに値が書き込まれると、SDHI は CMD25 を送信します。
- (4) レスポンスを受信すると、SDSTS1.RSPEND フラグが“1”になり、レスポンスエンド割り込み要求が発生します。
- (5) SDSTS1.RSPEND フラグを“0”にし、SDRSP54 レジスタに格納されたレスポンスを読み出します。
読み出したレスポンスにエラーがある場合、SDSTOP.STP ビットを“1”にして、コマンドシーケンスを停止することができます。SDSTOP.STP ビットを“1”にすると、SDHI は CMD12 を自動で送信し、レスポンスを受信します。このとき、SDSTS1.ACEND フラグが“1”になり、アクセスエンド割り込み要求が許可されていると、アクセスエンド割り込み要求が発生します。その後、ACEND フラグを“0”にして、レスポンスを読み出してください。
- (6) レスポンスを受信した後、SDIMSK1 レジスタにアクセスエンド割り込み要求の許可の設定を、SDIMSK2 レジスタに BWE 割り込み要求の許可の設定を行います。
- (7) SDBUFR レジスタに書き込めるようになると、SDSTS2.BWE フラグが“1”になり、BWE 割り込み要求が発生します。
- (8) SDSTS2.BWE フラグを“0”にして、SDSIZE.LEN[9:0] ビットに設定したサイズ分のデータを SDBUFR レジスタへ書き込みます。SDBUFR レジスタへの書き込みが終了すると、SDHI は書き込むデータを SD カードへ送信した後、CRC status トークンを受信し、SDHI_D0 端子ラインがビジー状態 (Low) になります。SDBUFR レジスタへの書き込みと CRC status トークンの受信は、SDBLKCNT レジスタで設定した転送ブロック分だけ繰り返します。
なお、SDBUFR レジスタに書き込んだ後、送信中のデータによる通信エラーまたはタイムアウトが発生する場合があります。
SDBLKCNT レジスタで設定した転送ブロック分の書き込みが完了すると、SDHI は CMD12 を自動で送信し、レスポンスを受信します。このとき、SDHI は、SDARG レジスタに“0000 0000h”を自動で設定します。
- (9) 全ブロック分のデータの送信と CRC status トークンの受信が完了すると、ビジー状態が解除され、SDSTS1.ACEND フラグが“1”になり、アクセスエンド割り込み要求が発生します。
- (10) SDSTS1.ACEND フラグを“0”にして、レスポンスを読み出します。

なお、通信エラーまたはタイムアウトが発生した場合、エラー処理 (割り込みフラグのクリア) を行ってください。

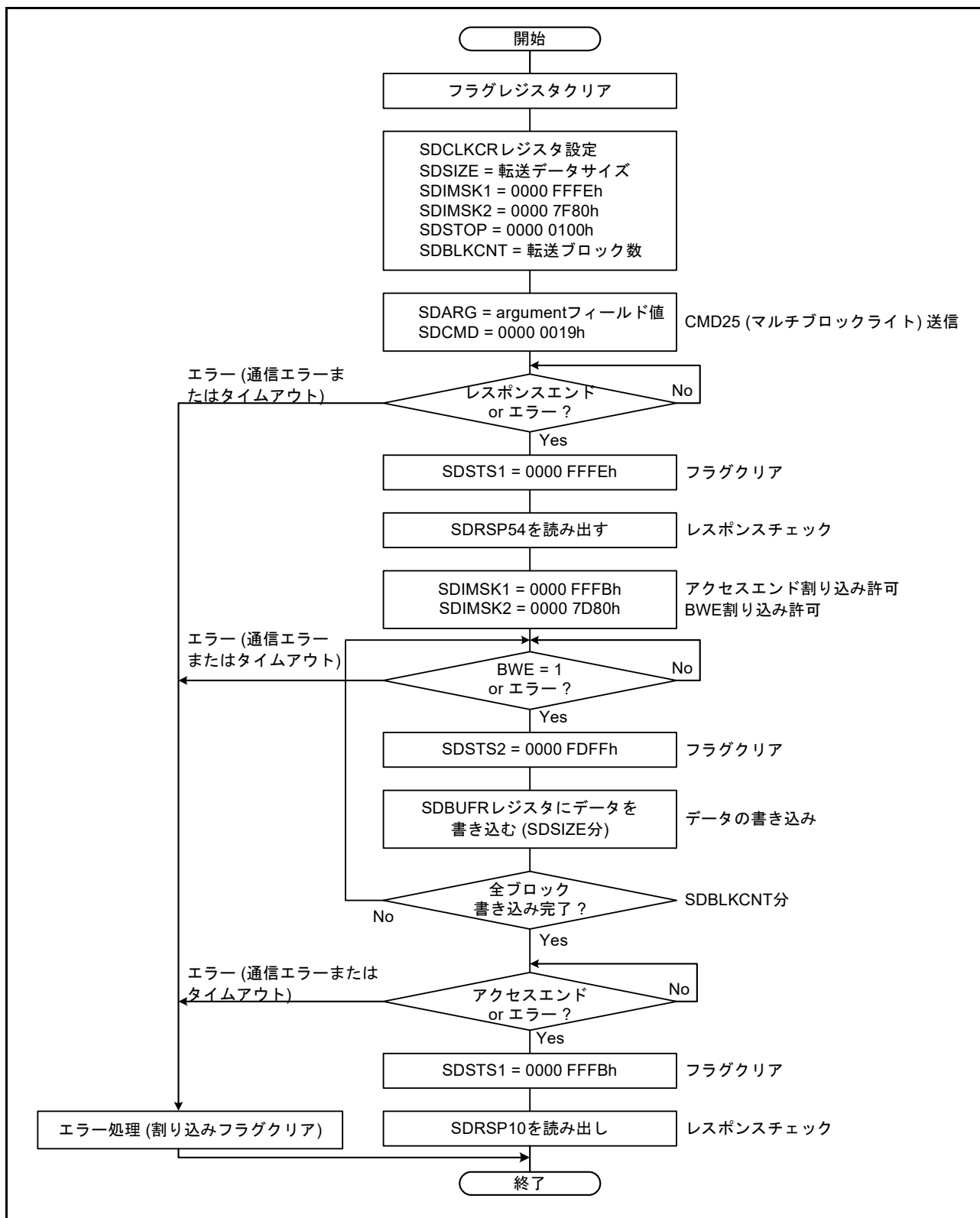


図 40.13 マルチブロックライトコマンドの送信例

40.3.6.7 IO_RW_DIRECT コマンド (CMD52)

IO_RW_DIRECT コマンド (CMD52) の送信例を図 40.14 に示します。

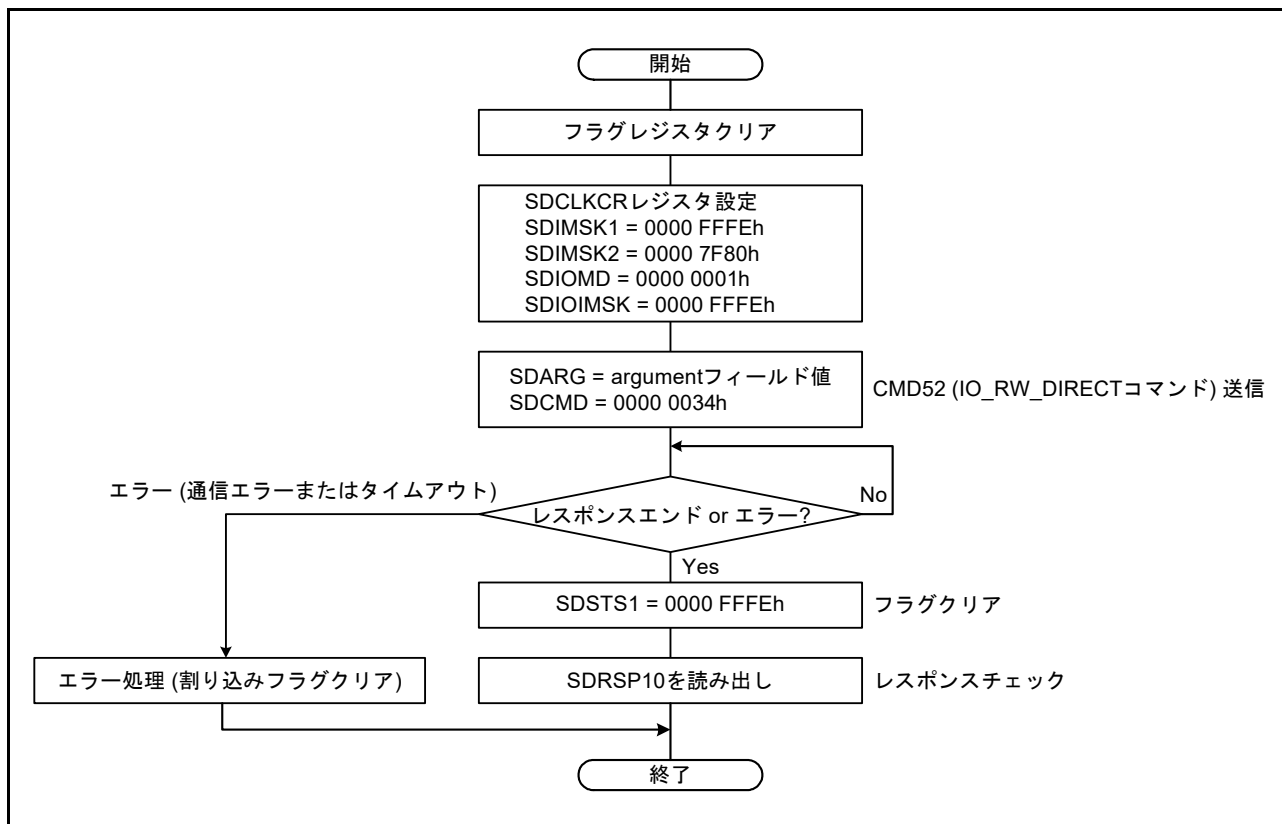


図 40.14 IO_RW_DIRECT コマンドの送信例

40.3.6.8 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード)

IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード) の送信例を図 40.15 に示します。

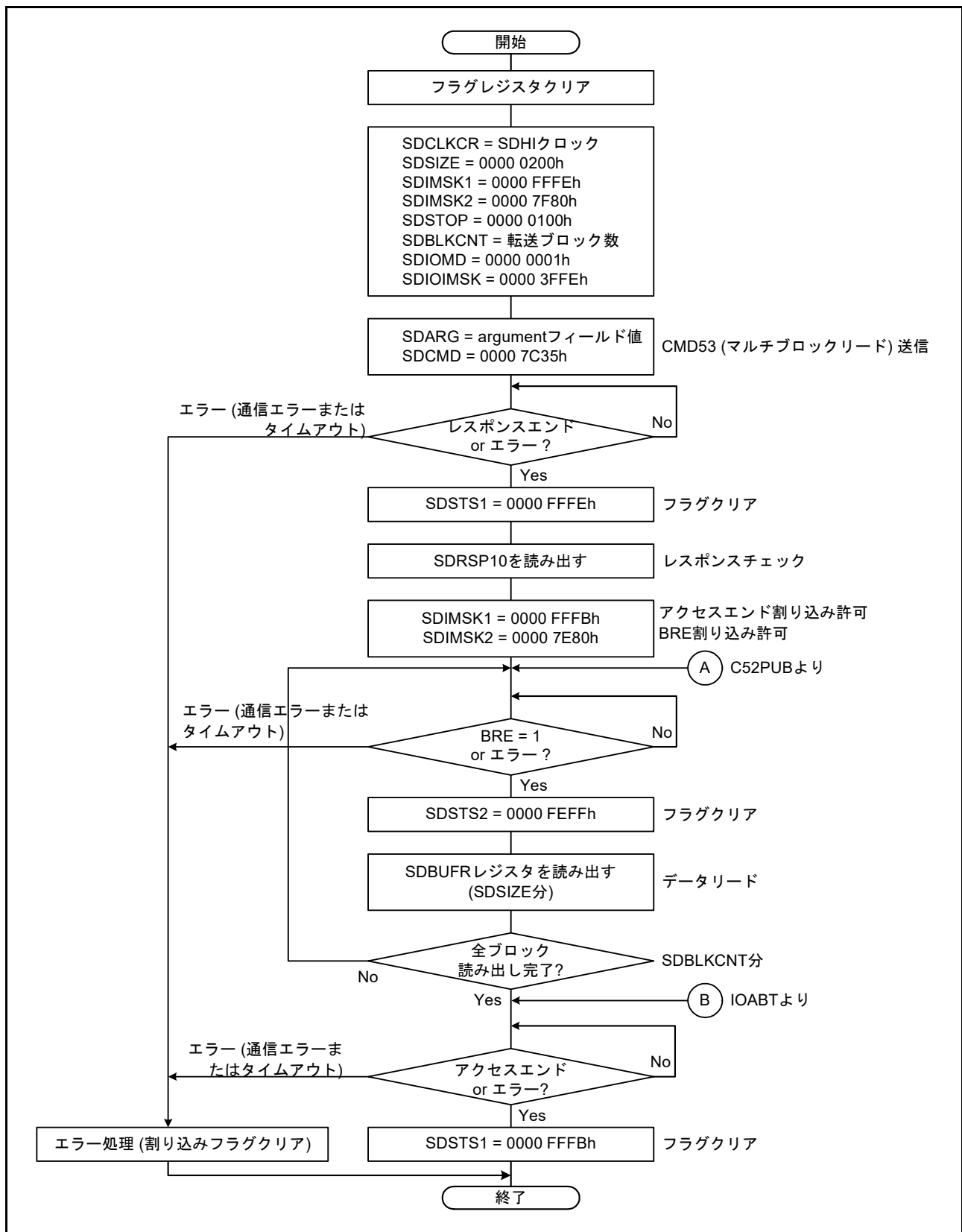


図 40.15 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード) の送信例

IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード) のシーケンス中に、SDIO abort コマンド (CMD52) を送信する例を図 40.16 に示します。

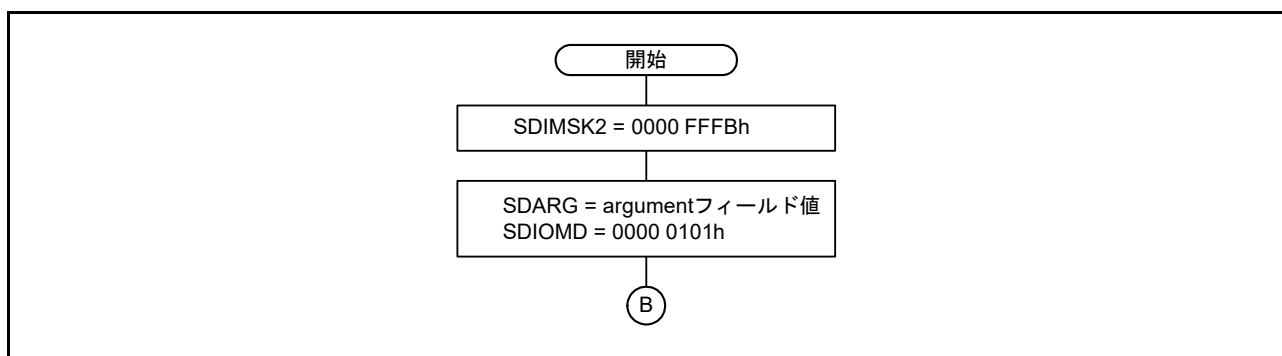


図 40.16 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード) のシーケンス中に SDIO abort コマンド (CMD52) を送信する例

IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード) のシーケンス中に、Read Wait 状態にした後、SDIO none abort コマンド (CMD52) を送信する例を図 40.17 に示します。

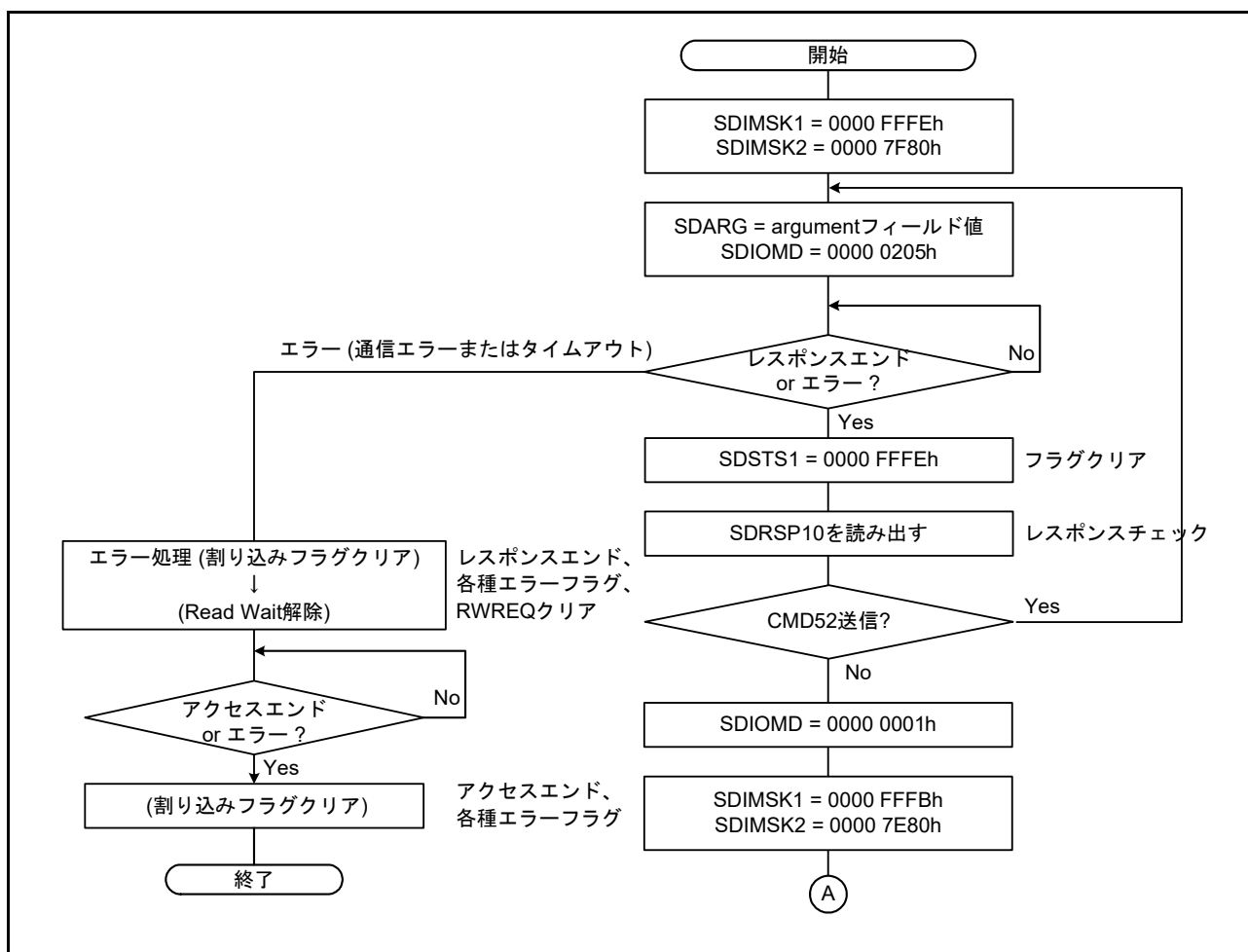


図 40.17 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックリード) のシーケンス中に Read Wait 状態にした後、SDIO none abort コマンド (CMD52) を送信する例

40.3.6.9 IO_RW_EXTENDED (CMD53/ マルチブロックライト)

IO_RW_EXTENDED コマンド (CMD53/ マルチブロックライト) の送信例を図 40.18 に示します。

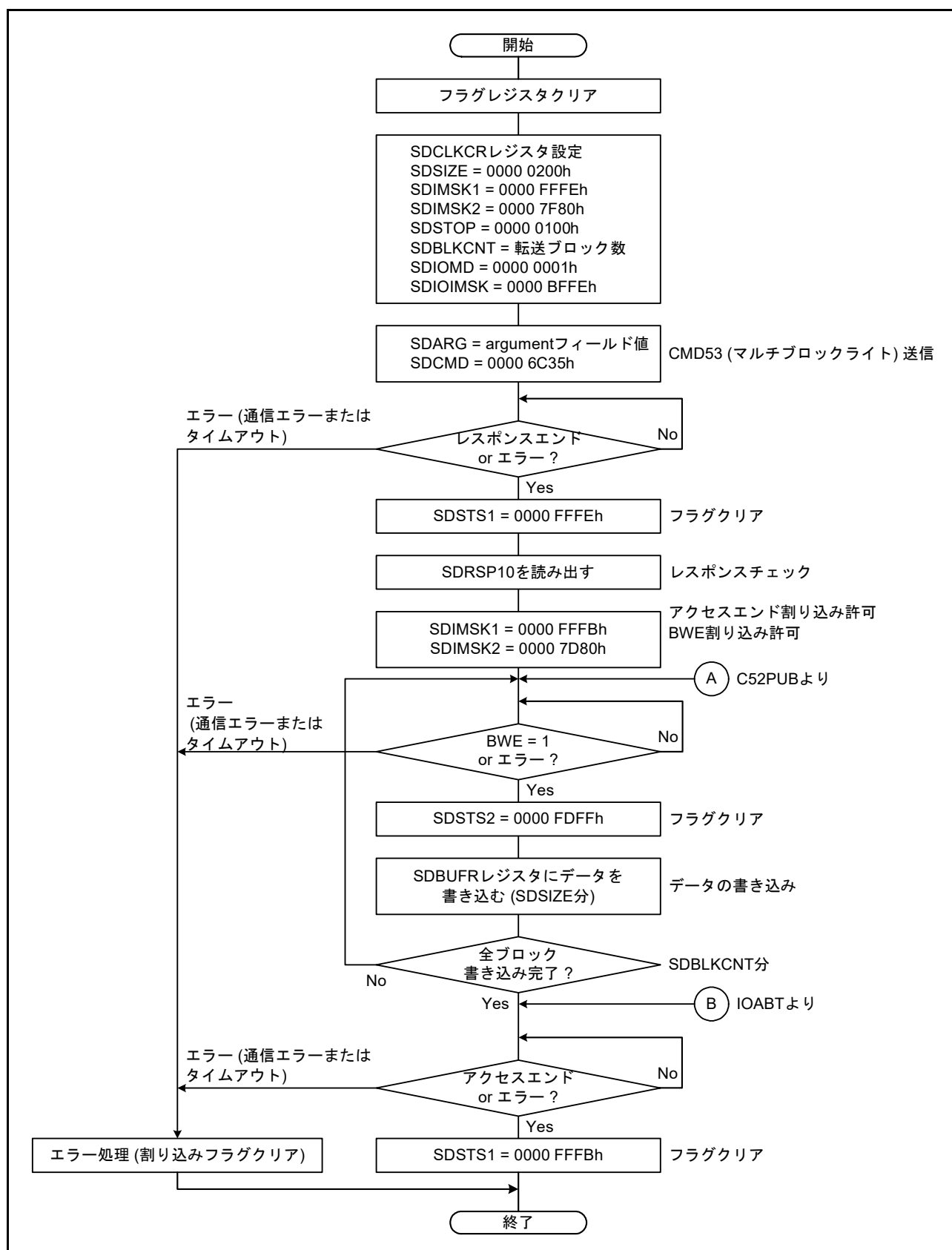


図 40.18 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックライト) の送信例

IO_RW_EXTENDED コマンド (CMD53/ マルチブロックライト) のシーケンス中に、SDIO abort コマンド (CMD52) を送信する例を図 40.19 に示します。

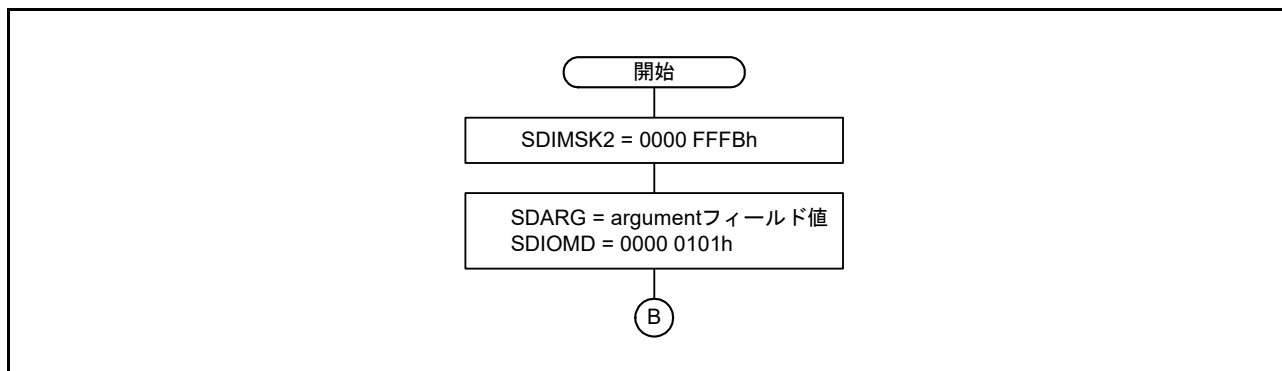


図 40.19 IO_RW_EXTENDED コマンド (CMD53) のシーケンス中に SDIO abort (CMD52) を送信する例

IO_RW_EXTENDED コマンド (CMD53/ マルチブロックライト) のシーケンス中に、SDIO none abort コマンド (CMD52) を送信する例を図 40.20 に示します。

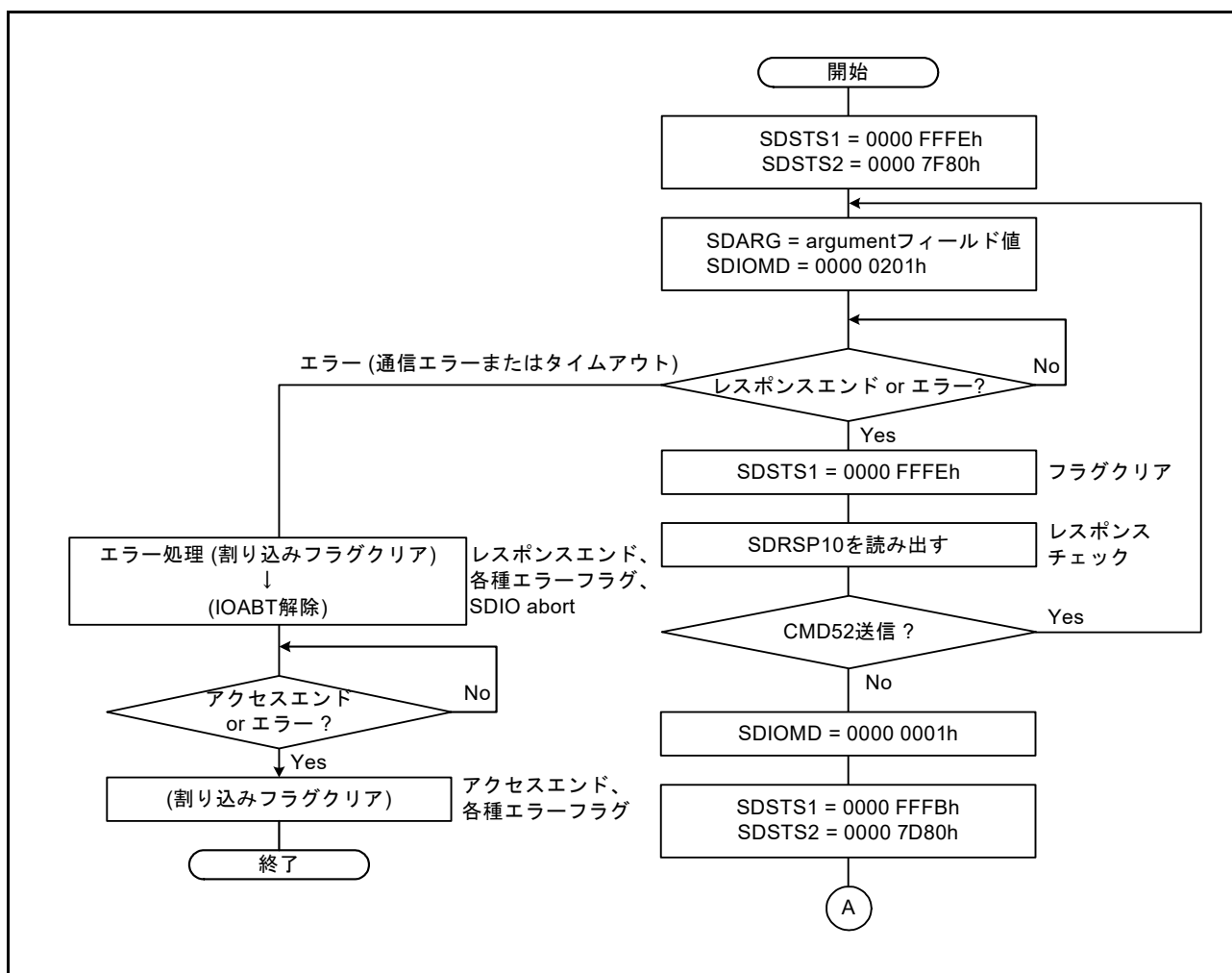


図 40.20 IO_RW_EXTENDED コマンド (CMD53/ マルチブロックライト) のシーケンス中に SDIO none abort (CMD52) を送信する例

40.3.6.10 DMA 転送

マルチブロックリードコマンド (CMD18) を送信した後、DMA 転送で SDBUFR レジスタからデータを転送する例を図 40.21 に示します。

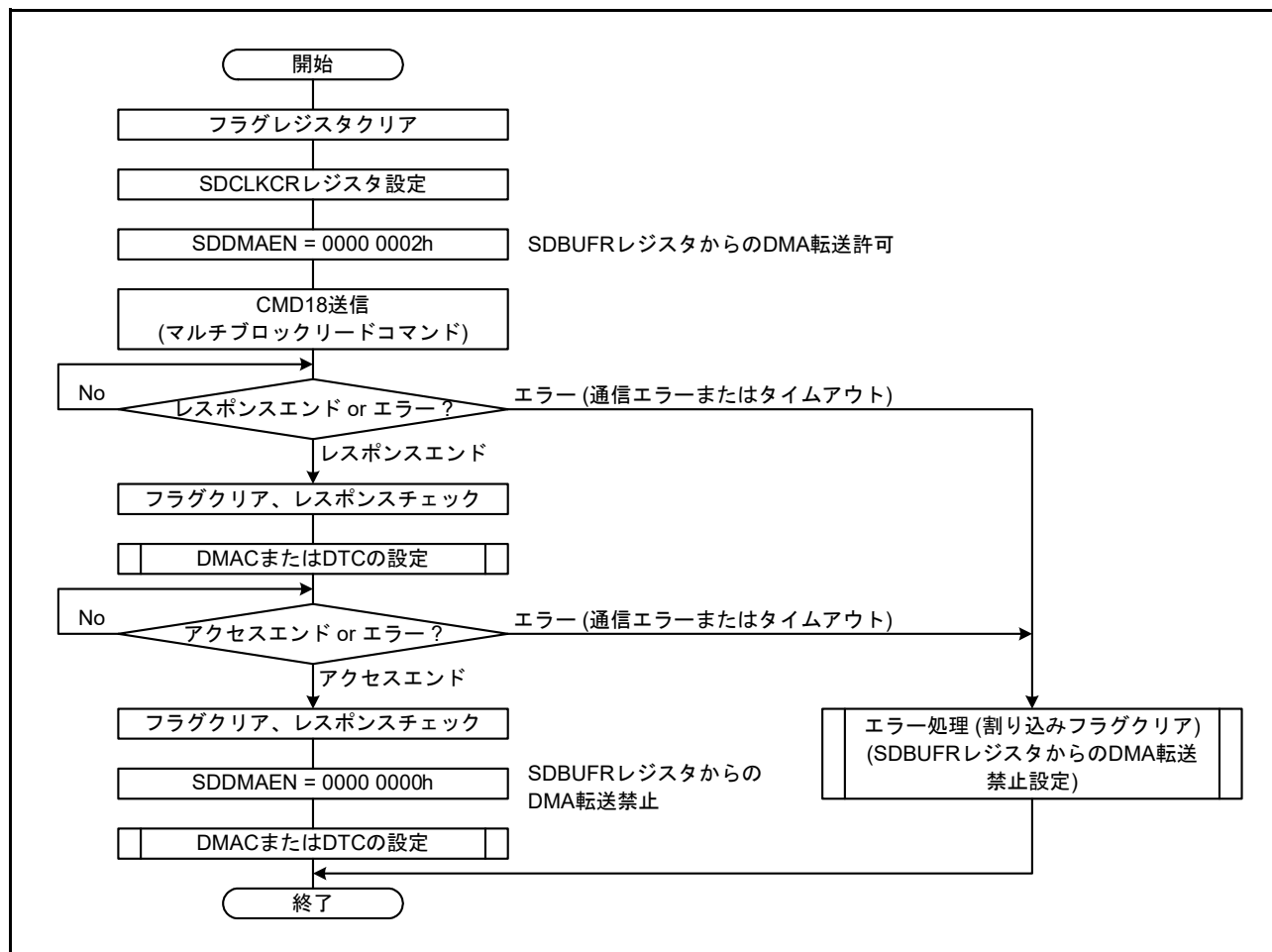


図 40.21 マルチブロックリードコマンド (CMD18) を送信した後、DMA 転送で SDBUFR レジスタから転送する例

マルチブロックライトコマンド (CMD25) を送信した後、DMA 転送で SDBUFR レジスタヘデータを転送する例を図 40.22 に示します。

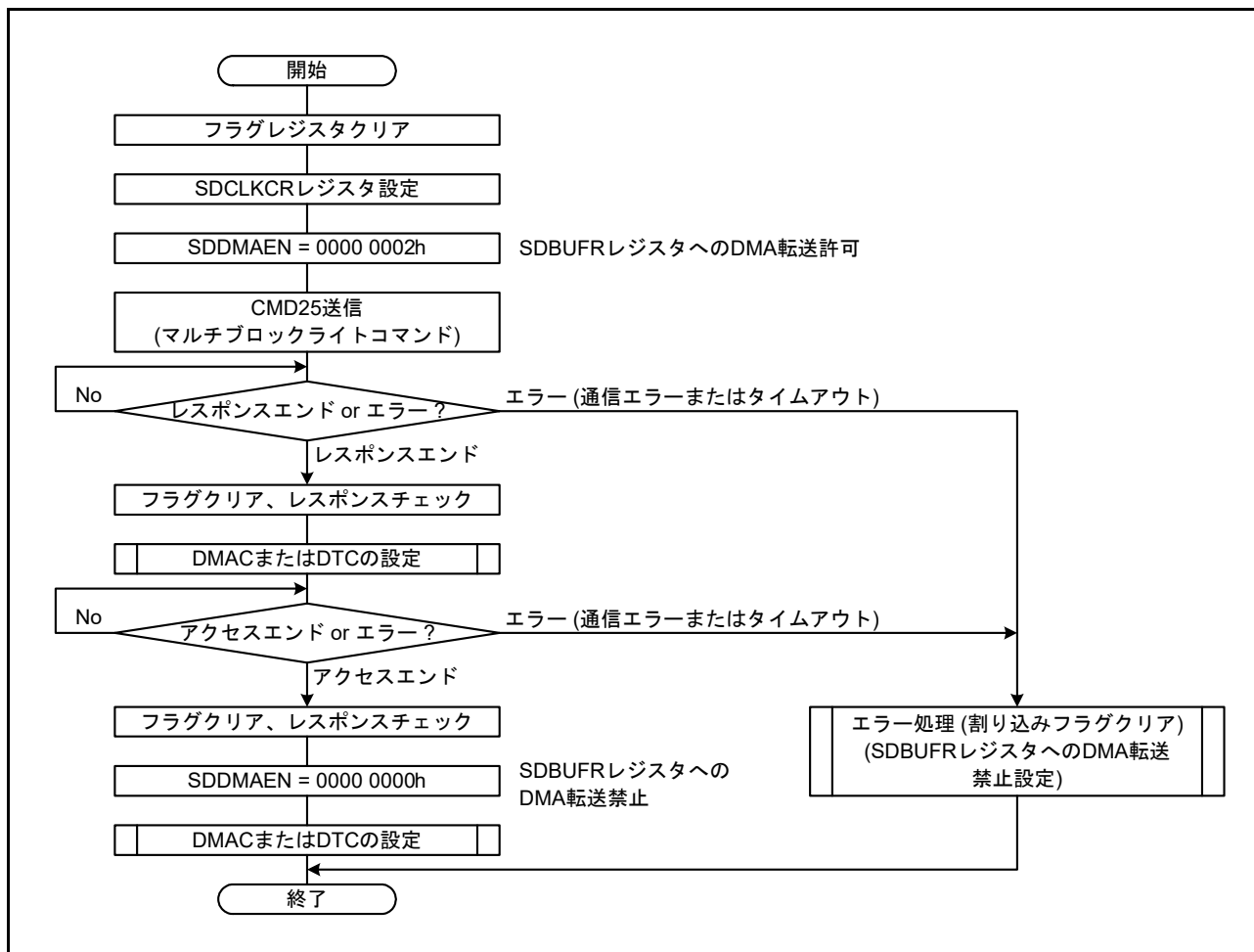


図 40.22 マルチブロックライトコマンド (CMD25) を送信した後、DMA 転送で SDBUFR レジスタへ転送する例

40.4 割り込み

SDHIの割り込み要因を表40.8に示します。SDSTS1、SDSTS2、SDIOSTSレジスタの各ステータスフラグが“1”になったとき、SDIMSK1、SDIMSK2、SDIOIMSKレジスタの対応するビットが“0”であれば、SDHIは割り込みを要求します。SDSTS1、SDSTS2、SDIOSTSレジスタの各ステータスフラグをクリアする場合は、クリアするステータスフラグに“0”を、それ以外のステータスフラグには“1”を書き込んでください。

表40.8 割り込み要因

割り込み要因	ステータスフラグレジスタ		割り込みマスク/許可レジスタ		DMAC/DTC起動
	レジスタ	フラグ	レジスタ	ビット	
カードアクセス割り込み(CACI)	SDSTS1	ACEND	SDIMSK1	ACENDM	不可能
		RSPEND		RSPENDM	
	SDSTS2	ILA	SDIMSK2	ILAM	
		BWE		BWEM	
		BRE		BREM	
		RSPTO		RSPTOM	
		ILR		ILRM	
		ILW		ILWM	
		DTO		DTTOM	
		ENDE		ENDEM	
		CRCE		CRCEM	
CMDE	CMDEM				
SDIOアクセス割り込み(SDACI)	SDIOSTS	EXWT	SDIOIMSK	EXWTM	不可能
		EXPUB52		EXPUB52M	
		IOIRQ		IOIRQM	
カード検出割り込み(CDETI)	SDSTS1	SDD3IN	SDIMSK1	SDD3INM	不可能
		SDD3RM		SDD3RMM	
		SDCDIN		SDCDINM	
		SDCDRM		SDCDRMM	
SDバッファアクセス割り込み(SBFAI)	SDSTS2	BWE	SDDMAEN	DMAEN	可能
		BRE			

40.4.1 割り込み要求による DMA 転送

SD バッファアクセス割り込み (SBFAI) を要求することで、SDBUFR レジスタへの書き込みおよび読み出しを、DMA/DTC 転送によって行うことができます。SBFAI 割り込みを使用する場合は、SDDMAEN.DMAEN ビットを“1”(DMA/DTC 転送許可)にし、SDIMSK2.BWEM ビット、SDIMSK2.BREM ビットを両方とも“1”(割り込み要求をマスク)にしてください。

SDDMAEN.DMAEN ビットが“1”のとき、ライトコマンドを送信すると SDSTS2.BWE フラグが“1”になり、リードコマンドを送信すると SDSTS2.BRE フラグが“1”になります。このとき、SBFAI 割り込み要求が出力されます。

1 ブロック (SDSIZE.LEN[9:0] ビットに設定された転送データサイズ) の最終データが転送されると、SBFAI 割り込み要求が消え、SDSTS2.BWE フラグまたは SDSTS2.BRE フラグが“0”になります。

なお、SBFAI 割り込み要求は、以下の方法によっても消すことができます。

- SDRST.SDRST ビットを“0”にしたとき (SDHI ソフトウェアリセット)
- SDSTOP.STP ビットを“1”にしたとき
- SDIOMD.IOABT ビットを“1”にしたとき
- SDDMAEN.DMAEN ビットを“0”にしたとき

ただし、SDCMD レジスタに次のコマンドを書き込む前に DMAEN ビットを再び“1”にすると、SBFAI 割り込み要求が再度出力されます。

DMA 転送中に通信エラーまたはタイムアウトが発生した場合、SBFAI 割り込み要求は消えません。ソフトウェアにてエラー処理を実施してください。

SDSTS2.BWE フラグおよび BRE フラグは、通信エラーやタイムアウトが発生したとき、あるいは SDSTOP.STP ビットや SDIOMD.IOABT ビットを“1”にしたときでも“0”になりません。SDSTS2.BWE フラグおよび BRE フラグが“1”のままであると、ライトコマンドまたはリードコマンドを送信しても、SBFAI 割り込み要求は出力されませんので、次のコマンドを送信する前に“0”にしてください。

DMA 転送を行う場合の DMAC/DTC の設定内容を表 40.9 に示します。

表 40.9 DMA 転送時の DMAC/DTC 設定

項目		設定内容
転送モード		ブロック転送モード
転送データ	1 データ	32 ビット
	ブロックサイズ	SDSIZE.LEN[9:0] ビットで指定したサイズ + 4
ブロック転送回数		SDBLKCNT レジスタで指定した転送回数

40.5 使用上の注意事項

40.5.1 マルチブロックリード時における不正な読み出しとその回避方法

読み出すブロック数が1ブロックまたは2ブロックのマルチブロックリードコマンド(CMD18)を送信した後、SDRSP10レジスタに格納されたCMD18のレスポンスを読み出す場合、タイミングによっては正しく読み出せないことがあります。

図40.23に、読み出すブロック数が2のマルチブロックリードコマンドを送信した場合の通常読み出し例と不正な読み出し例を示します。

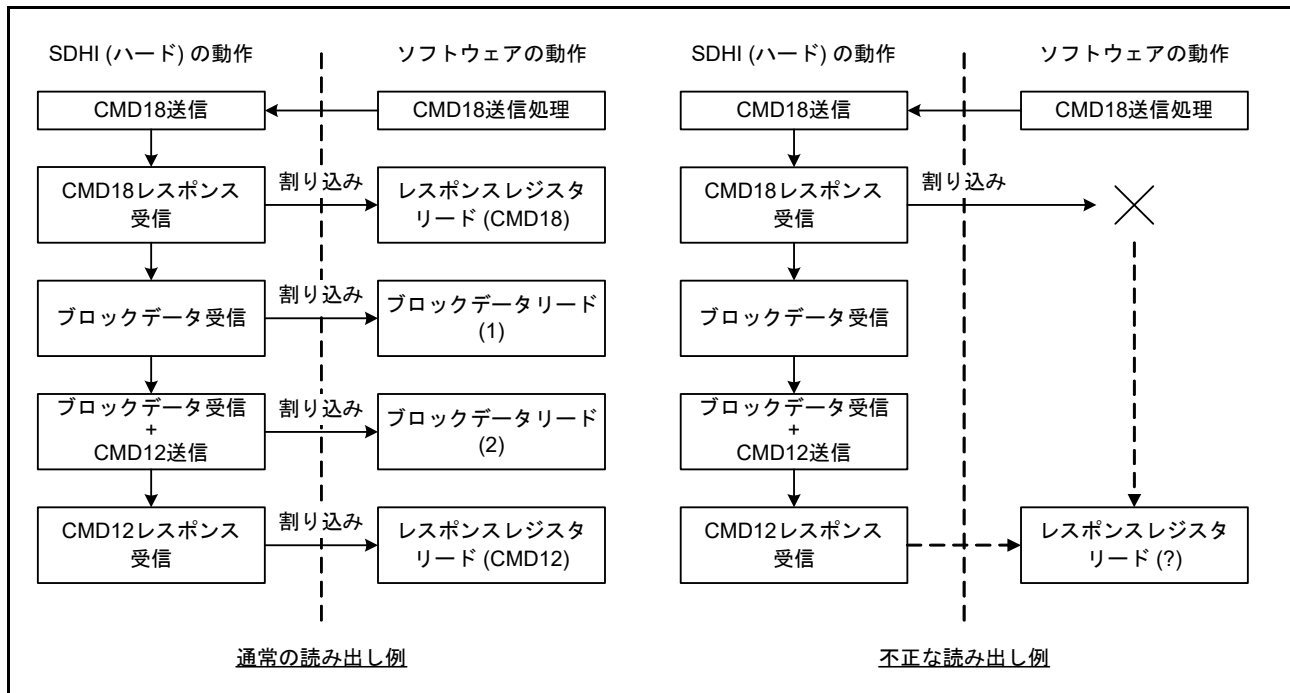


図 40.23 マルチブロックリード処理例 (2 ブロック)

不正な読み出し例では、CMD18のレスポンス受信による割り込みが発生したとき、その割り込み処理ルーチン内でSDRSP10レジスタを読み出すタイミングが遅れ、CMD18のレスポンスではなく、CMD12のレスポンス受信中のデータやCMD12のレスポンスを読み出してしまふ可能性があります。

この問題は、以下いずれかの方法で回避することができます。

- 読み出すブロック数が1ブロックまたは2ブロックの場合、マルチブロックリードコマンドではなく、シングルブロックリードコマンドを使用する
- CMD18のレスポンスを読み出す場合、SDRSP10レジスタではなくSDRSP54レジスタを読み出す

なお、マルチブロックリードで読み出すブロック数が3ブロック以上の場合、ブロックデータを読み出さなければCMD12を送信することはありませんので、この問題は発生しません。また、マルチブロックライトの場合は、CMD25のレスポンスを読み出してからブロックデータを送信しますので、同様にこの問題は発生しません。

40.5.2 SDBUFR レジスタ不正書き込みエラー

シングルブロックライトまたはマルチブロックライトコマンドを送信した後に SDBUFR レジスタにデータを書きこむ場合、SDSIZE.LEN[9:0] ビットで設定したサイズ分のデータを書き込むようにしてください。SDSIZE.LEN[9:0] ビットで設定したサイズを超えて書き込んだ場合、SDBUFR レジスタ不正書き込みエラーが発生し、SDSTS2.ILW フラグが“1”になります。

ただし、SDBUFR レジスタに書き込むデータに含まれるパディングデータは無視されますので、このエラーは発生しません。たとえば、SDSIZE.LEN[9:0] ビットで設定したサイズが奇数の場合、SDBUFR レジスタに書き込むデータのうち、1 バイトまたは3 バイトは端数となり、余分なデータの書き込みに相当しますが、エラーは発生しません。また、SDSIZE.LEN[9:0] ビットで設定したサイズが偶数で、端数バイトが2 バイトの場合も同様に、この2 バイトを書き込んでもエラーは発生しません。

なお、場合によっては、SDBUFR レジスタに書き込んだデータの送信が行われず、SDSTS2.SDCLKCREN フラグが“0”のままとなることがあります。この場合は、SDRST.SDRST ビットを“0”にしてから“1”に戻すことにより SDCLKCREN フラグを“1”にすることができます。

40.5.3 SDHI クロック出力の自動制御

SD カード規格では、電源投入後、カード初期化コマンド (CMD0) を送信する前に、ホストから SD カードへ SDHI クロックを 74 サイクル供給する必要があります。そのため、SDHI から SD カードへ 74 サイクルの SDHI クロックが供給されてから、SDHI クロック出力の自動制御を有効にしてください。

SDHI クロック出力の自動制御を有効にした場合、通信エラーまたはタイムアウトによりコマンドシーケンスが終了すると、SDHI_CLK 端子からのクロック出力が停止します。そのため、コマンドシーケンスが終了した後も SD カード内のステートを遷移させる必要がある場合などは、SDHI クロック出力の自動制御を無効にして、SDHI クロックを SD カードへ供給してください。

40.5.4 マルチブロックライト時の C52PUB ビット設定制限

CMD53 によるマルチブロックライトシーケンス中、SDIOMD.C52PUB ビットを“1”にすると、SDHI は SD バッファが空になった後に CMD52 を送信します。すぐに CMD52 コマンドを送信したい場合は、以下の手順で SD バッファへの書き込みを一時停止してから、C52PUB ビットを“1”にしてください。

- DMA 転送を使用しない場合 (割り込みを使用する場合)

- (1) SDIMSK2.BWEM ビットを“1”にして割り込みを禁止にし、SDBUFR レジスタへの書き込みを一時停止する
- (2) SDIOMD.C52PUB ビットを“1”にする。その後、SD バッファが空になると、CMD52 コマンドが送信される
- (3) CMD52 のレスポンスを受信した後、SDIMSK2.BWEM ビットを“0”にして割り込みを許可し、SDBUFR レジスタへの書き込みを再開する

- DMA 転送を使用する場合

- (1) DMA 転送を SDSIZE レジスタ設定値 × n ブロック (n = 1, 2, ...) ごとに行うように設定しておき、SDIOMD.C52PUB ビットを設定する前に、SDBUFR レジスタへの DMA 転送を一時停止する
- (2) SDIOMD.C52PUB ビットを“1”にする。その後、SD バッファが空になると、CMD52 コマンドが送信される
- (3) CMD52 のレスポンスを受信した後、SDBUFR レジスタへの DMA 転送を再開する

40.5.5 SDCLKCR レジスタ設定時の注意

SDSTS2.SDCLKCREN フラグが“0”のときは、SDCLKCR レジスタに書き込みません。
SDSTS2.SDCLKCREN フラグが“1”であることを確認してから、SDCLKCR レジスタに値を設定してください。

40.5.6 マルチブロックリード中の SDSTOP レジスタへの設定

SDSTOP.SDBLKCNTEN ビットが“1”のときのマルチブロックリード中、SDSTOP.STP ビットを“1”にしてコマンドシーケンスを停止する場合、SDSTOP.STP ビットを“1”にするタイミングによっては、コマンドシーケンスが終了しないことがあります。この問題を回避するには、SDSTOP.STP ビットと SDSTOP.SDBLKCNTEN ビットを同時に“0”にしてください。なお、このとき、SDSTS2.SDCLKCREN フラグが“0”であっても SDSTOP.SDBLKCNTEN ビットを“0”にしてください。

また、SDSTOP.SDBLKCNTEN ビットを“0”にしない場合は、SDRST.SDRST ビットを“0”にすることで、コマンドシーケンスを終了させることもできます。

CMD53 コマンドによるマルチブロック転送中に SDIOMD.IOABT ビットを“1”にして転送を停止する場合、SDSTOP.SDBLKCNTEN ビットは“1”のままにしてください。

40.5.7 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、SDHI の動作を禁止または許可することができます。

リセット後は、SDHI の動作は停止しています。モジュールストップ状態を解除することにより、レジスタにアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

41. Trusted Secure IP (TSIP-Lite)

本 MCU は、セキュリティ機能に対応した Trusted Secure IP Lite (TSIP-Lite) を内蔵しています。TSIP-Lite はアクセスマネジメント回路、暗号エンジン、乱数生成回路から構成されます。TSIP-Lite は、TSIP-Lite ライブラリを組み合わせることで、盗聴を防止する「秘匿性」、情報の偽造を防止する「完全性」、成りすましを防止する「認証」が実現できます。

また、暗号、復号の処理に用いる鍵情報は TSIP-Lite 内のみに格納し、外部からのアクセスを遮断することが可能なため、より強固なセキュリティシステムを実現することができます。

41.1 概要

表 41.1 に TSIP-Lite の仕様を示します。図 41.1 に TSIP-Lite のブロック図を示します。

表 41.1 TSIP-Lite の仕様

項目	内容
アクセス制御	アクセスマネジメント回路 <ul style="list-style-type: none"> プログラムの改ざんや、CPU の暴走等により TSIP-Lite への異常なアクセスが発生した場合、それ以降のアクセスを受け付けず、TSIP-Lite からのデータ出力を停止
暗号エンジン	AES : NIST FIPS PUB 197 準拠 <ul style="list-style-type: none"> 鍵長 : 128 ビット/256 ビット データブロック長 : 128 ビット 暗号利用モード <ul style="list-style-type: none"> ECB, CBC, CTR : NIST SP 800-38A 準拠 CMAC : NIST SP 800-38B 準拠 CCM : NIST SP 800-38C 準拠 GCM : NIST SP 800-38D 準拠 XTS : NIST SP 800-38E 準拠 GCTR 実行サイクル数 (注1) <ul style="list-style-type: none"> ECB, CBC, CTR, CMAC, GCTR, XTS : <ul style="list-style-type: none"> 鍵長 128 ビット : PCLKB 44 サイクル、256 ビット : PCLKB 61 サイクル CCM : <ul style="list-style-type: none"> 鍵長 128 ビット : PCLKB 88 サイクル AES-GCM <ul style="list-style-type: none"> AES-GCTR と GHASH の組み合わせで AES GCM を実現 鍵の管理 <ul style="list-style-type: none"> 鍵は TSIP-Lite の内部でのみ有効 TSIP-Lite の外部には鍵生成情報のみを出力 鍵生成情報を TSIP-Lite に入力することで、鍵が再生成可能 エンディアン <ul style="list-style-type: none"> ビッグエンディアン、リトルエンディアンに対応
乱数生成	32 ビット真正乱数生成回路 <ul style="list-style-type: none"> 32 ビット真正乱数を用いて TSIP-Lite ライブラリにより 128 ビット、256 ビットの真正乱数を生成可能 生成した 128 ビット、256 ビットの真正乱数を暗号、復号の鍵として使用可能
鍵の不正コピー防止	<ul style="list-style-type: none"> MCU 個体固有の ID (ユニーク ID) をアクセスマネジメント回路から専用バス経由でアクセス可能 ユニーク ID を鍵生成情報に組み込むことで、本 MCU グループの別の個体への不正コピーを防止可能
スーパバイザモード	<ul style="list-style-type: none"> スーパバイザモード信号をアクセスマネジメント回路に接続しており、TSIP-Lite の制御をスーパバイザモード時に限定することが可能
割り込み要因	3 種類 DMAC/DTC によるデータ転送が可能
消費電力低減機能	モジュールストップ状態への遷移が可能

注 1. TSIP-Lite ライブラリ呼び出しのオーバーヘッドは含みません。

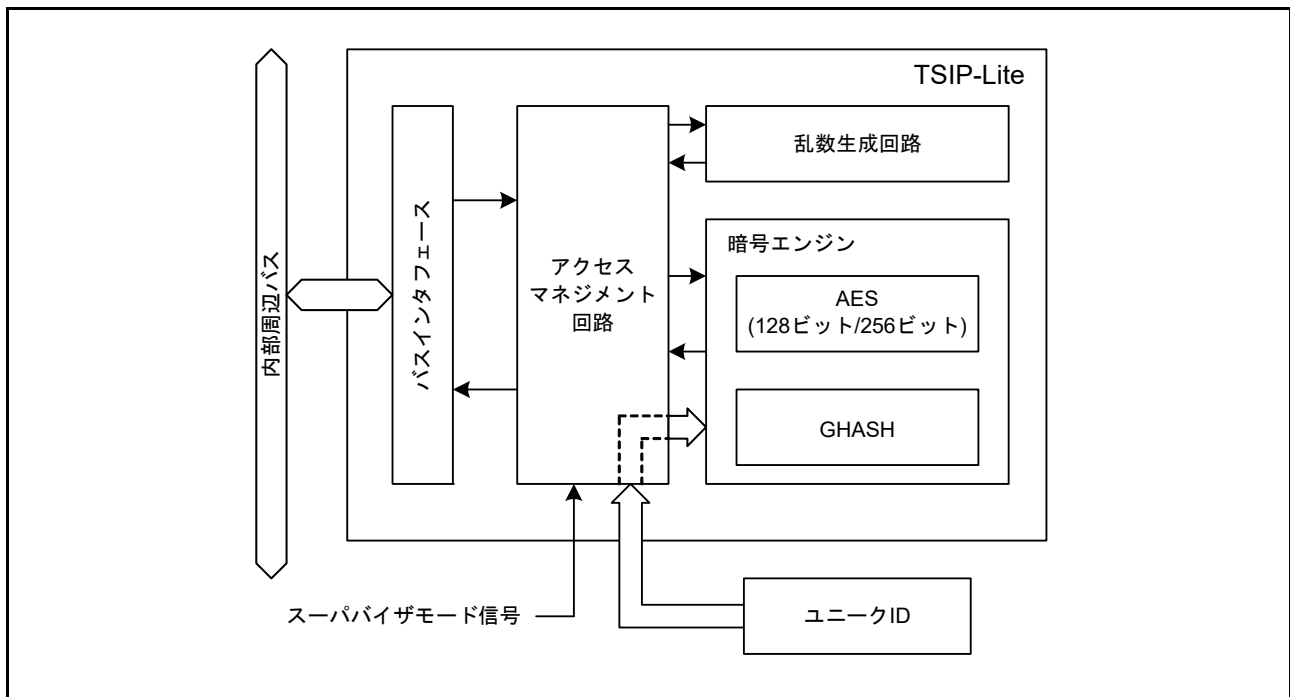


図 41.1 TSIP-Lite のブロック図

41.2 動作説明

41.2.1 動作モードと状態遷移

図 41.2 に TSIP-Lite の状態遷移図を示します。

TSIP-Lite のセキュリティ機能を使用する場合は、ルネサス エレクトロニクスが提供する TSIP-Lite ライブラリを用いて、図に示す状態遷移に従って実行する必要があります。

また、プログラムの改ざんや CPU の暴走等により、手順を違反して TSIP-Lite への異常なアクセスが発生した場合、それ以降のアクセスを受け付けず、TSIP-Lite からのデータ出力を停止します。

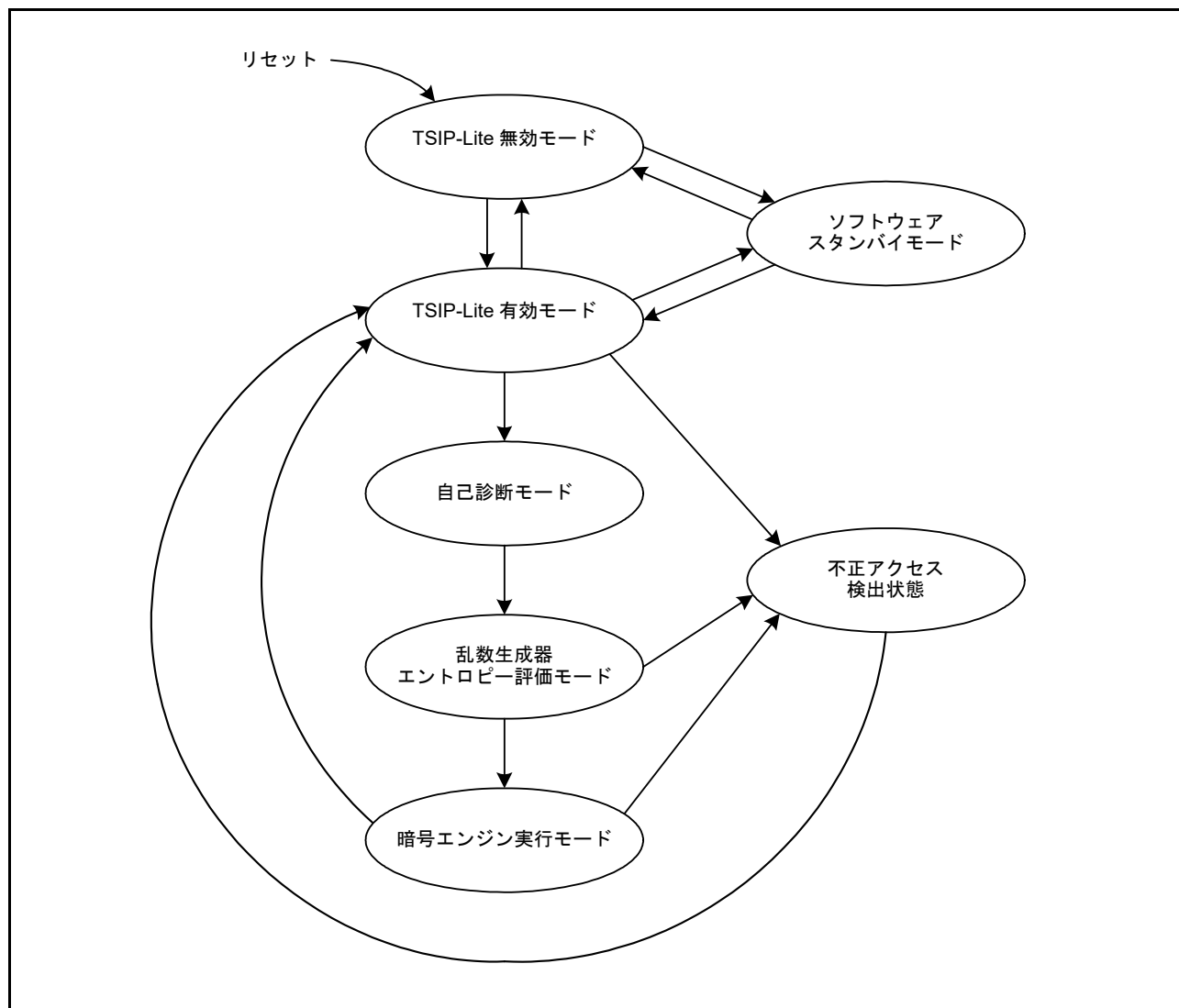


図 41.2 TSIP-Lite の動作モード状態遷移図

TSIP-Lite が提供するセキュリティ機能の多くは、暗号エンジン実行モードで実行します。暗号エンジン実行モードでは、次の処理を行うことができます。

- (1) 鍵データインストール
- (2) 暗号/復号処理
- (3) 鍵生成
- (4) 乱数生成

41.2.2 暗号エンジン

TSIP-Lite に搭載している暗号エンジンの概念図を図 41.3 に示します。

暗号エンジンは鍵生成情報を使用し、平文を暗号文に、または暗号文を平文に変換する処理をハードウェアで行います。

鍵データや暗号/復号処理の中間データが TSIP-Lite の外部に出力されることなく、暗号/復号処理を行うことができます。

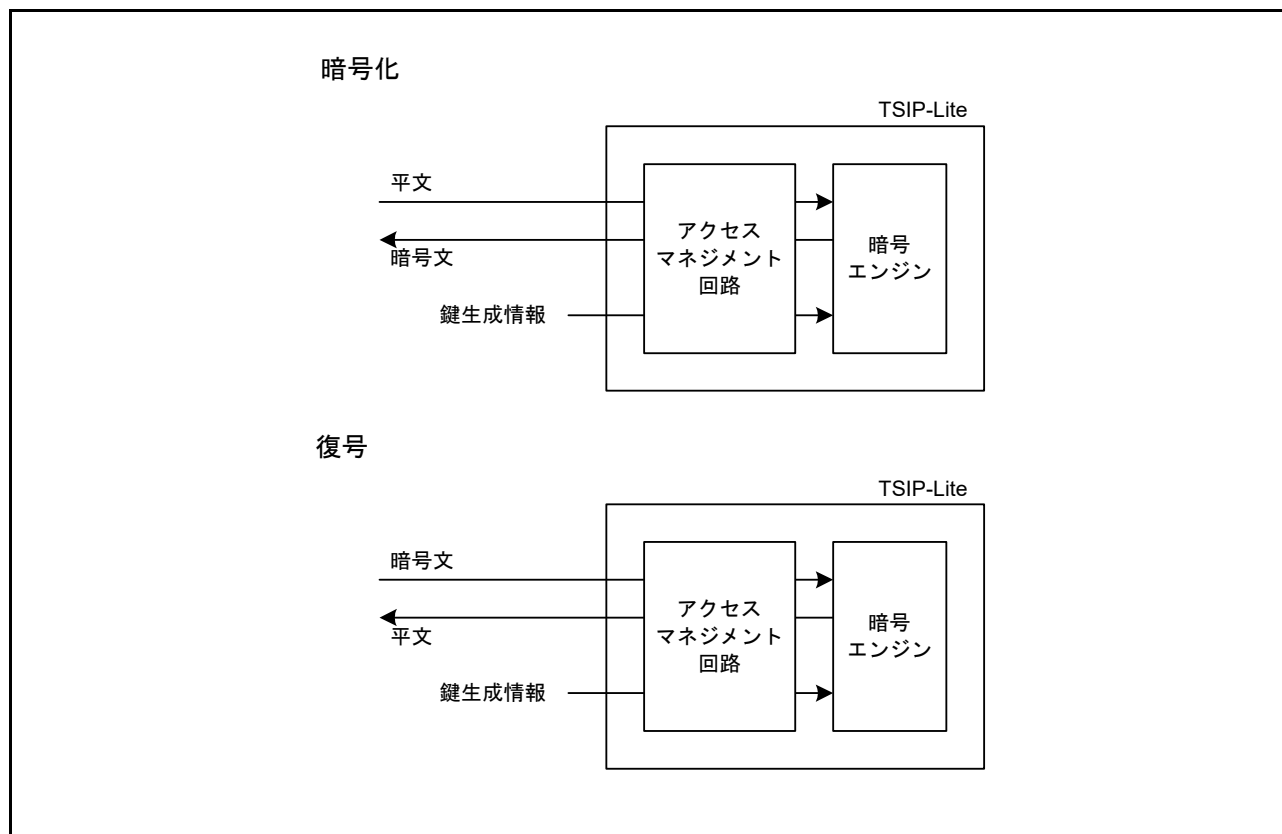


図 41.3 暗号エンジン概念図

41.2.3 鍵データインストール

鍵データのインストールは、ユーザ鍵を安全に鍵生成情報に変換してフラッシュメモリに格納する処理です。以下に鍵データのインストール手順について説明します。

- (1) ユーザは、ユーザ鍵 (Key-1) を、ユーザ鍵を暗号化するための鍵 (Key-2) で暗号化します (eKey-1)。
- (2) ユーザはシリアルインタフェースを用いて TSIP-Lite に暗号化したユーザ鍵 (eKey-1) を送ります。
- (3) TSIP-Lite ライブラリで提供される Key-2 の鍵生成情報 (Index-2) から Key-2 を復元し、この鍵を用いてユーザ鍵を復号します。
- (4) ユーザ鍵をユニーク ID および乱数を用いてユーザ鍵生成情報 (Index-1) に変換し、フラッシュメモリに格納します。

これらのインストール手順の概念図を図 41.4 に、フローを図 41.5 に示します。

鍵データをインストールした後は、ユーザ鍵生成情報 (Index-1) を使用して暗号 / 復号処理を行います。

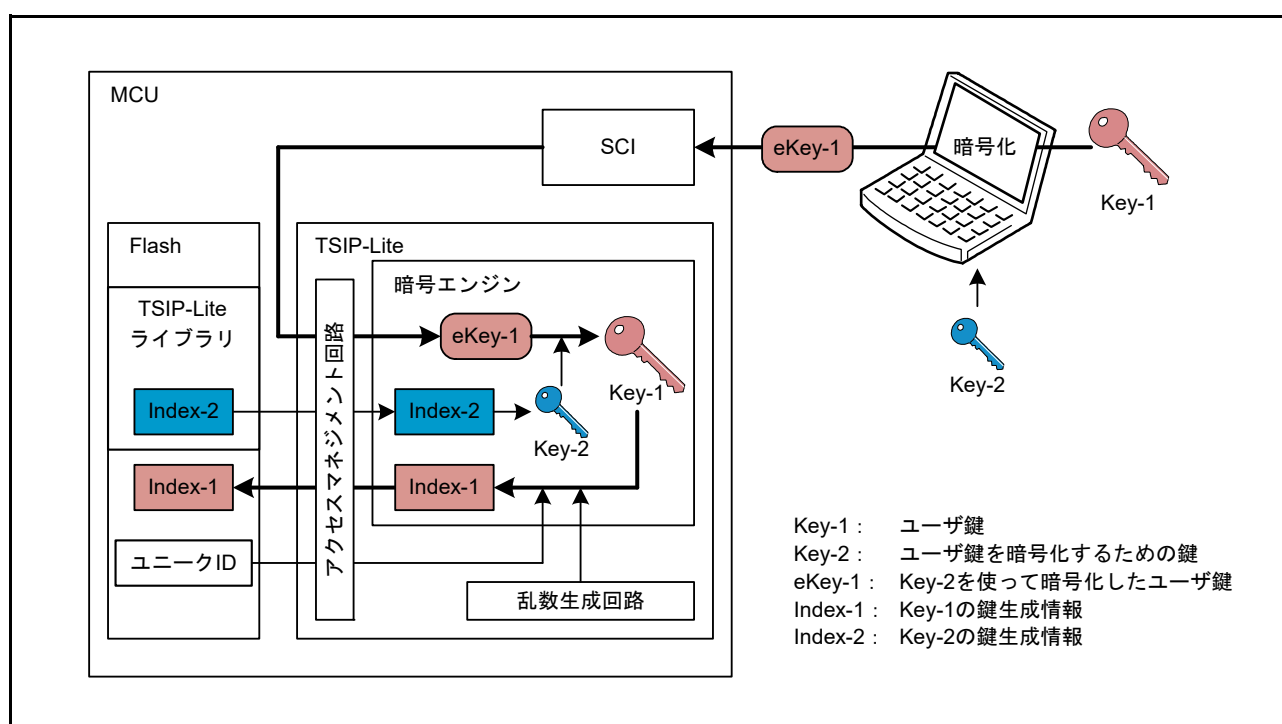


図 41.4 鍵インストール概念図

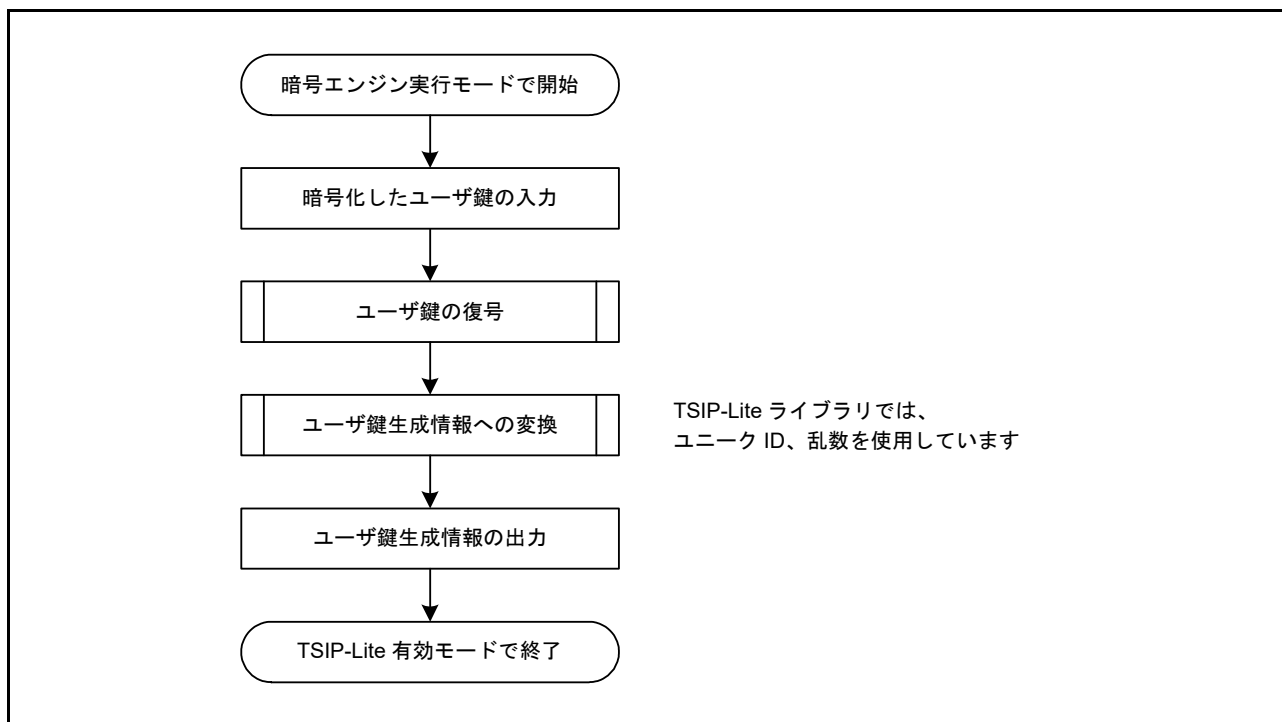


図 41.5 鍵インストールフロー

41.2.4 暗号 / 復号処理

暗号 / 復号処理は、以下の手順で行います。

- (1) 鍵生成情報を TSIP-Lite に入力し、鍵データを復元します。
- (2) 処理対象のデータを TSIP-Lite に入力します。平文は暗号文に、暗号文は平文に変換されます。
- (3) 変換されたデータを読み出します。

暗号エンジンは入力バッファ、出力バッファを持っており、データの入出力と並行して暗号 / 復号処理を行うことができます。

図 41.6 に暗号 / 復号処理タイミング図を、図 41.7 に暗号化フロー、図 41.8 に復号フローを示します。

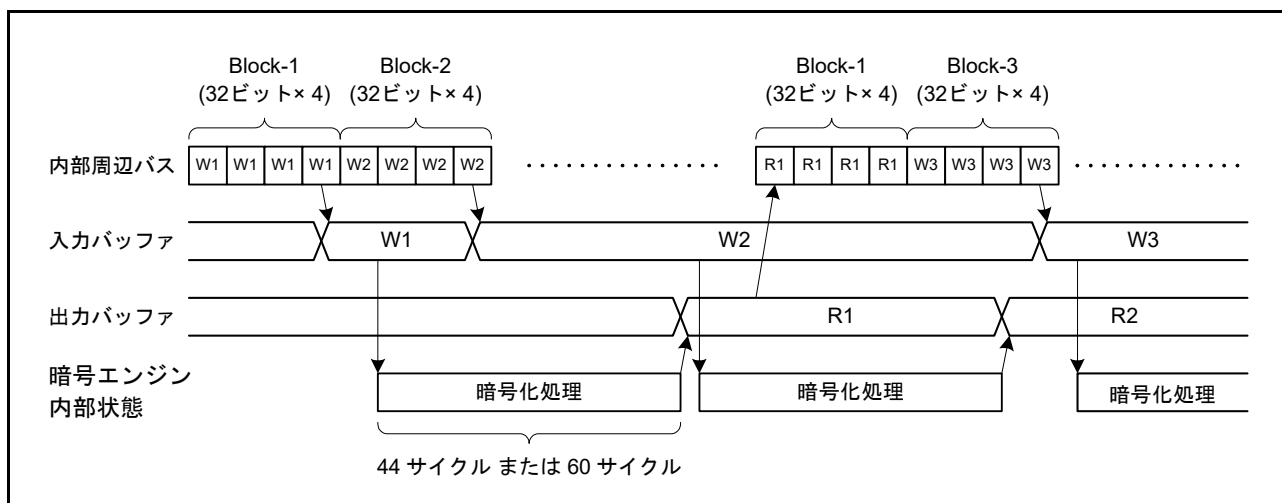


図 41.6 暗号 / 復号処理タイミング図

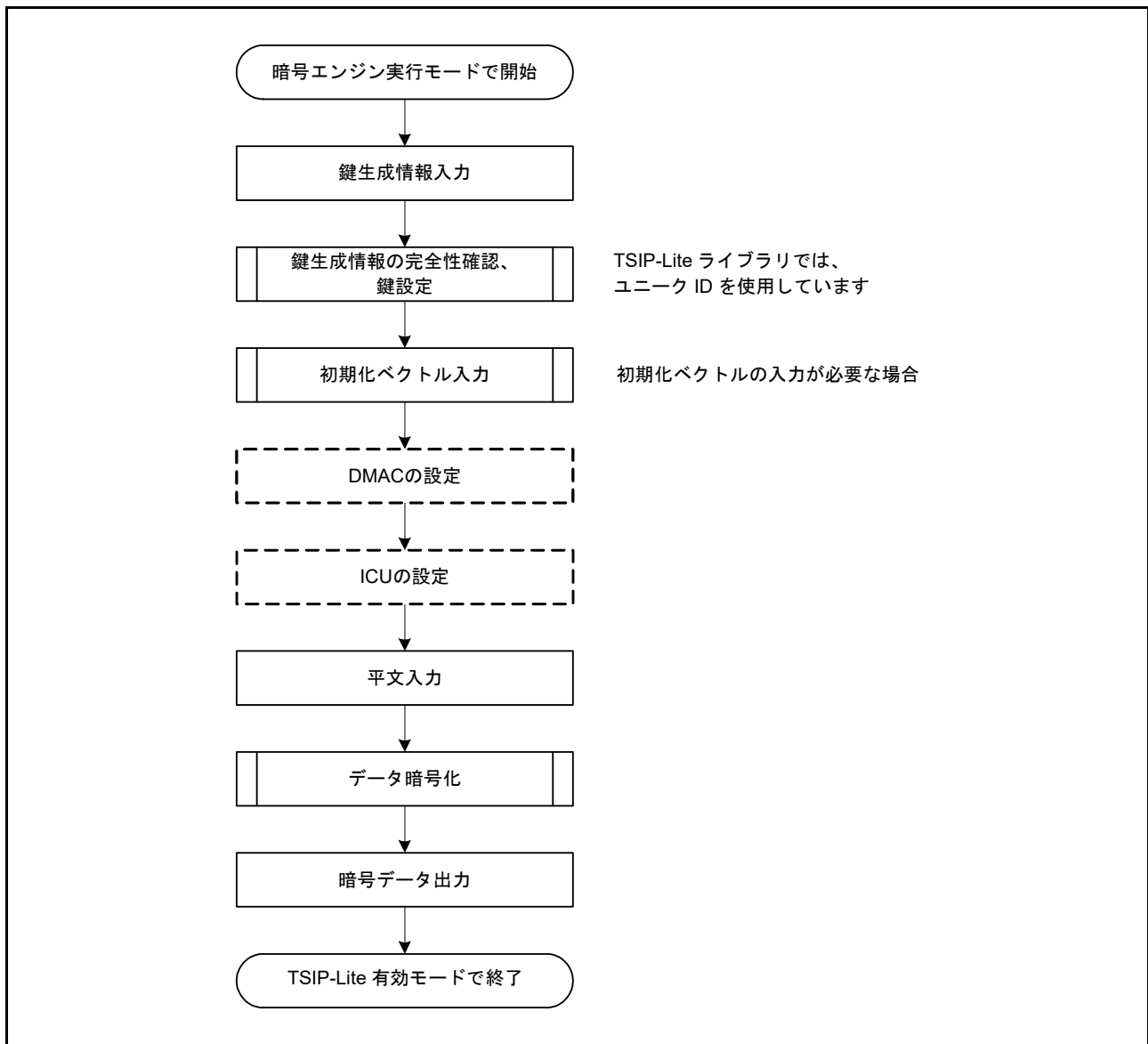


図 41.7 暗号化フロー

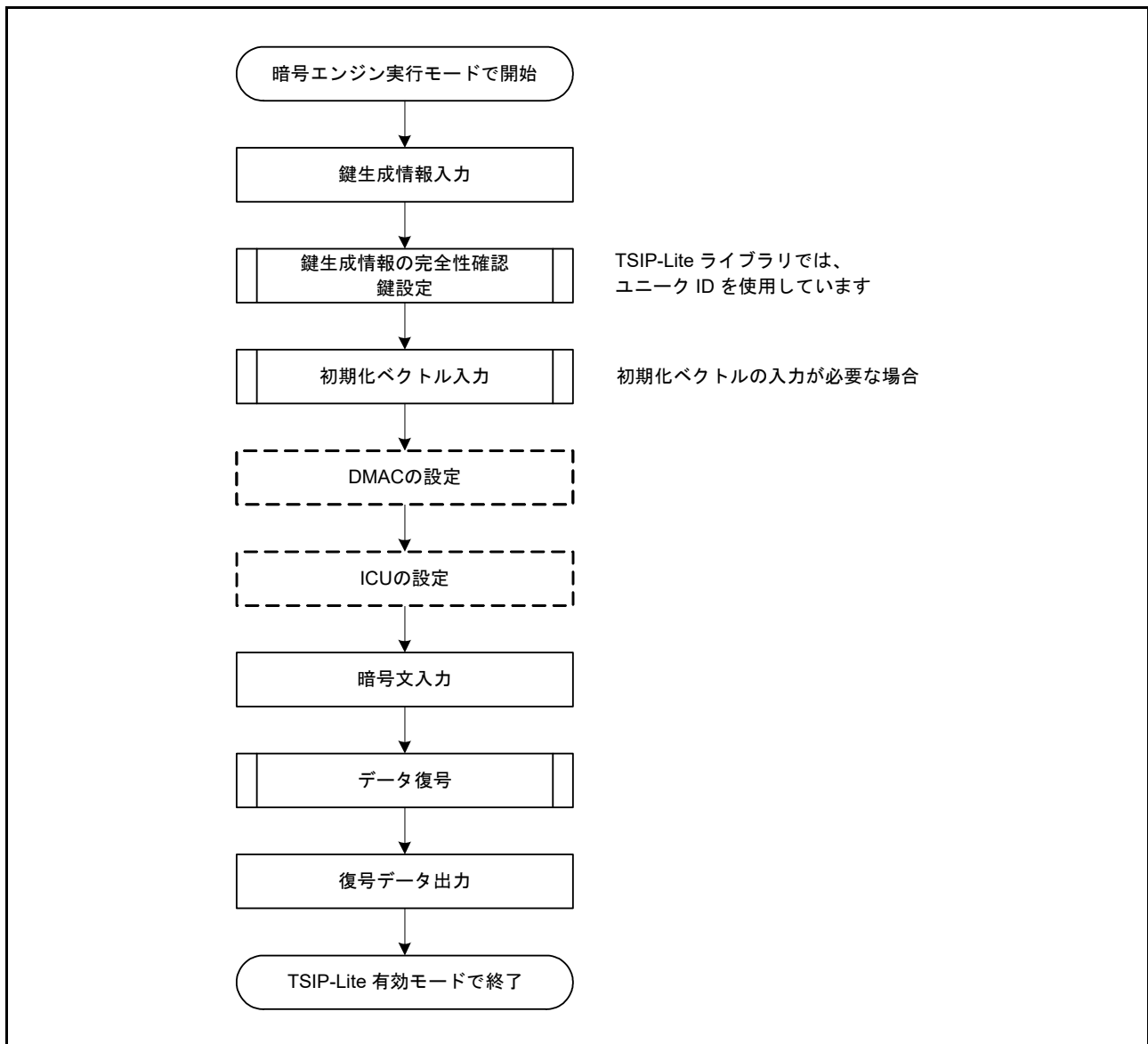


図 41.8 復号フロー

41.2.5 鍵生成情報作成 (乱数使用)

図 41.9 に乱数使用時の鍵生成情報作成フローを示します。

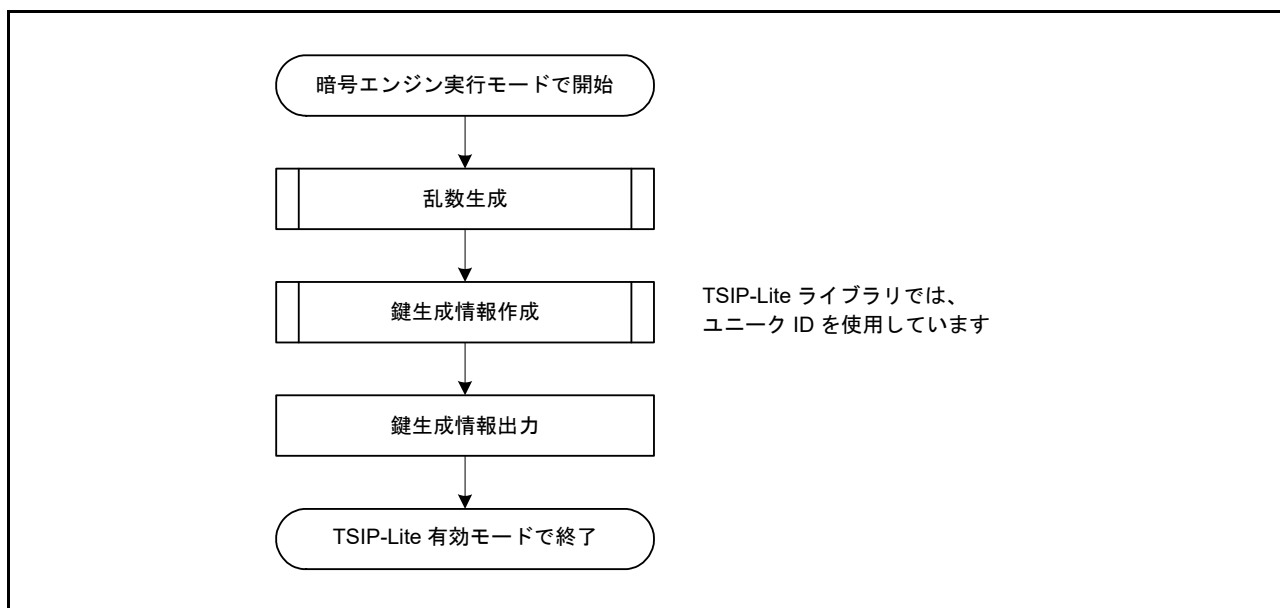


図 41.9 鍵生成情報作成フロー (乱数使用)

41.2.6 乱数生成

図 41.10 に乱数生成のフローを示します。

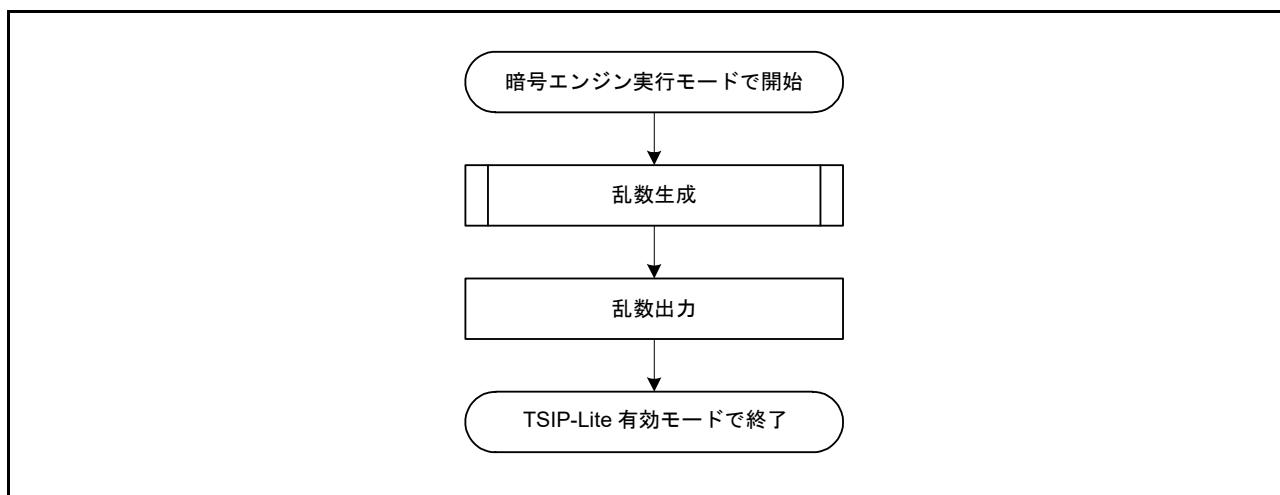


図 41.10 乱数生成フロー

41.3 割り込み

表 41.2 に TSIP-Lite の割り込み要因の一覧を示します。

TSIP-Lite ライブラリではこれらの割り込みを使用して処理を行っています。これらの割り込み要因に対応する ICU.IERm.IENj ビットを“0”にしないでください。

表41.2 TSIP-Liteの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
RD	データ出力レディ	可能	可能
WR	データ入力レディ	可能	可能
Error	不正アクセス検出	不可能	不可能

41.4 使用上の注意事項

41.4.1 スタンバイモード

暗号エンジンが処理を実行している途中にスタンバイモードに遷移した場合、復帰後に処理を継続しても正しく動作しません。TSIP-Lite 無効モードまたは TSIP-Lite 有効モードに遷移した後にスタンバイモードに移行して下さい。

41.4.2 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、TSIP-Lite の動作を禁止 / 許可することができます。リセット後は、TSIP-Lite の動作は停止しています。モジュールストップ状態を解除することにより、TSIP-Lite にアクセスできます。詳細は「11. 消費電力低減機能」を参照して下さい。

41.4.3 TSIP-Lite ライブラリ

TSIP-Lite を使用する際は、ルネサス エレクトロニクスから提供する TSIP-Lite ライブラリが必要になります。TSIP-Lite ライブラリに関する情報は、弊社営業窓口にお問い合わせください。

42. 静電容量式タッチセンサ (CTSU)

静電容量式タッチセンサユニット (CTSU: Capacitive Touch Sensing Unit) は、タッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は誘電体で覆われており、指が電極に接触しません。

図 42.1 に示すように、電極と周囲の導電体との間には静電容量 (寄生容量) が存在します。人体も導電体ですので、電極に指が近づくと静電容量の値が増加します。

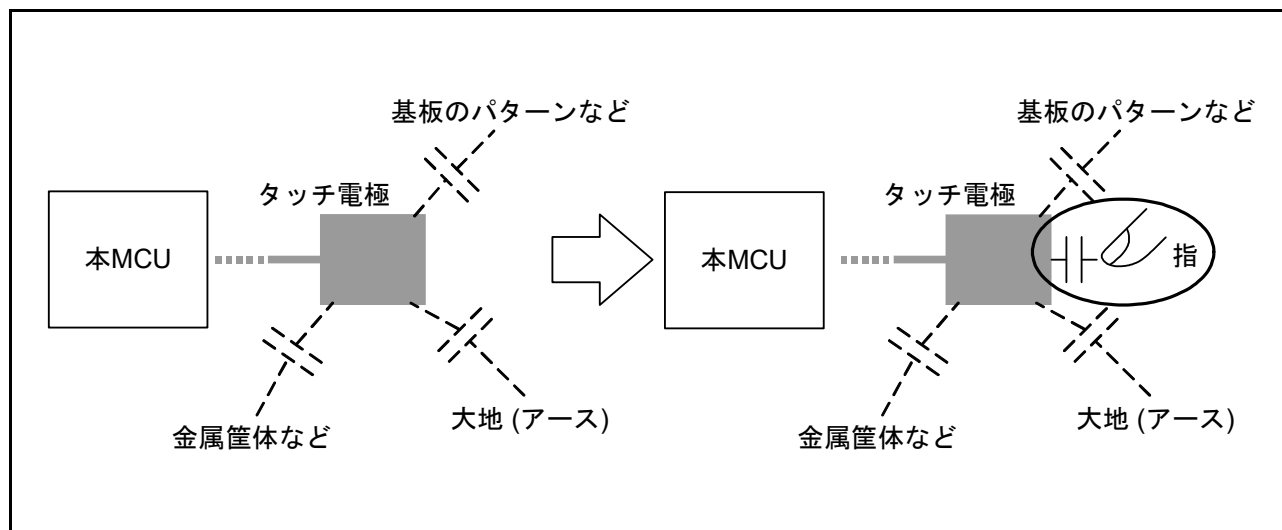


図 42.1 指による静電容量の増加

静電容量の検出方式には自己容量方式と相互容量方式があります。

自己容量方式では、指とひとつの電極との間に生じる静電容量を検出します。一方、相互容量方式は、二つの電極を送信電極と受信電極として使用し、指が接近することによって両者の間に生じる静電容量の変化を検出する方式です。

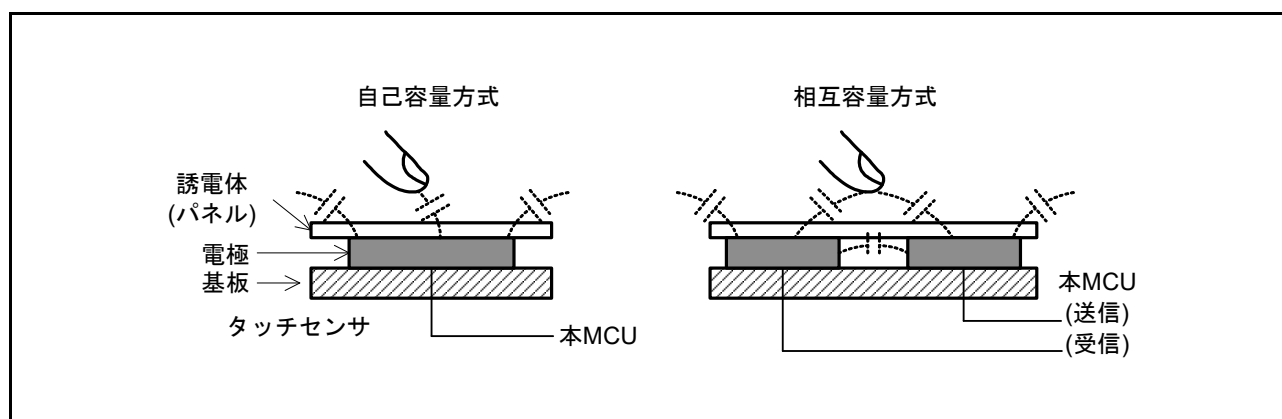


図 42.2 自己容量方式と相互容量方式

静電容量の測定は、充放電電流の量に応じて周波数が変化するクロック信号を一定の時間カウントすることにより行います。

CTSU の計測動作原理については、「42.3.1 計測動作原理」を参照してください。

本章に記載している PCLK とは PCLKB を指します。

42.1 概要

表 42.1 に CTSU の仕様を、図 42.3 に CTSU のブロック図を示します。

表42.1 CTSUの仕様

項目	内容	
動作クロック	PCLK、PCLK/2またはPCLK/4	
端子	TS0～TS9, TS12, TS13, TS15～TS20, TS22, TS23, TS27, TS30, TS33, TS35	静電容量計測端子(24チャンネル)
	TSCAP	LPF (Low-pass filter)接続用端子
計測モード	自己容量シングルスキャンモード	自己容量方式による任意の1チャンネルの静電容量を計測
	自己容量マルチスキャンモード	自己容量方式による任意の複数チャンネルの静電容量を連続して計測
	相互容量フルスキャンモード	相互容量による任意の複数チャンネルの静電容量を連続して計測
ノイズ対策	同期系ノイズ対策、高域ノイズ対策	
計測開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 外部トリガ(イベントリンクコントローラ(ELC)からのイベント入力) 	

CTSUSは、図 42.3 に示すようにステータス制御部、トリガ制御部、クロック制御部、チャンネル制御部、ポート制御部、センサドライブパルス生成部、計測部、割り込み部、制御レジスタで構成されます。

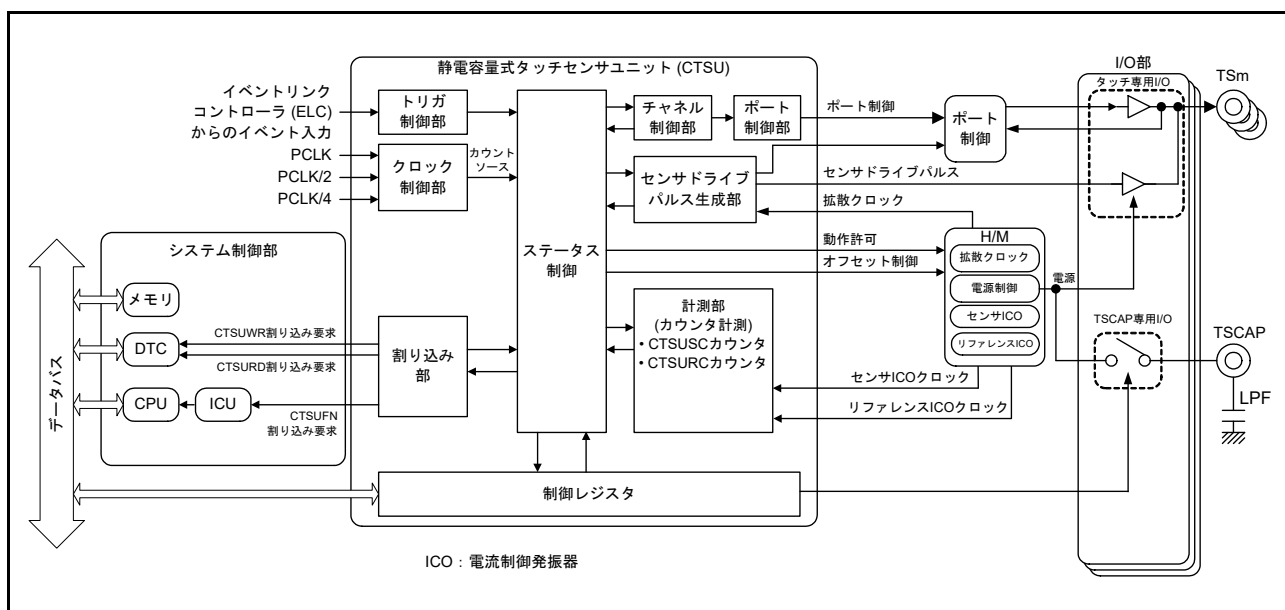


図 42.3 CTSUS のブロック図 (m = 0 ~ 9, 12, 13, 15 ~ 20, 22, 23, 27, 30, 33, 35)

表 42.2 CTSUS の入出力端子

端子名	入出力	機能
TS0～TS9, TS12, TS13, TS15～TS20, TS22, TS23, TS27, TS30, TS33, TS35	入出力	静電容量計測端子(タッチ端子)
TSCAP	—	LPF 接続用端子

42.2 レジスタの説明

42.2.1 CTSU 制御レジスタ 0 (CTSUCR0)

アドレス CTSU.CTSUCR0 000A 0900h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CTSUI NIT	CTSUI OC	CTSUS NZ	CTSUC AP	CTSUS TRT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUSTRT	CTSUS計測動作開始ビット	0 : 計測動作停止 1 : 計測動作開始	R/W
b1	CTSUCAP	CTSUS計測動作開始トリガ選択ビット	0 : ソフトウェアトリガ 1 : 外部トリガ	R/W
b2	CTSUSNZ	CTSUS待機時省電力有効ビット	0 : 待機時省電力機能無効 1 : 待機時省電力機能有効	R/W
b3	CTSUIOC	CTSUS送信端子制御ビット	0 : TS端子からLow出力 1 : TS端子からHigh出力	R/W
b4	CTSUIINIT	CTSUS制御部初期化ビット	“1”を書くとCTSUS制御部とレジスタが初期化されま ず(注1)。読むと“0”が読めます	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CTSUSC、CTSUSRC、CTSUSMCH0、CTSUSMCH1、CTSUSTの各レジスタが初期化されます。

CTSUCAP ビット、CTSUSNZ ビットは、CTSUSTRT ビットが“0”のときに設定してください。なお、CTSUSTRT ビットを“1”にするのと同時に設定するのは問題ありません。

CTSUSTRT ビット (CTSUS 計測動作開始ビット)

計測動作開始 / 停止を指定します。

CTSUCAP ビットが“0”(ソフトウェアトリガ)のとき、CTSUSTRT ビットを“1”にすると計測が開始され、計測終了時には自動的に“0”になります。

CTSUCAP ビットが“1”(外部トリガ)のとき、CTSUSTRT ビットを“1”にすると、外部トリガの待機状態となり、外部トリガの立ち上がりで計測を開始します。計測が終了したら、次の外部トリガの待機状態となり動作が継続されます。

CTSUS の状態を、表 42.3 に示します。

表42.3 CTSUSの状態

CTSUSTRT ビット	CTSUCAP ビット	CTSUSの状態
0	0	停止
0	1	停止
1	0	計測中
1	1	計測中 / 外部トリガ待ち(注1)

注1. CTSUST.CTSUSTC[2:0] フラグで状態を判断できます。
計測中 : CTSUST.CTSUSTC[2:0] フラグ ≠ 000b
外部トリガ待ち : CTSUST.CTSUSTC[2:0] フラグ = 000b

CTSUSTRT ビットが“1”のとき、CTSUSTRT ビットに“1”を上書きした場合は、書き込みは無視され動作は継続されます。

CTSUSTRT ビットが“1”のとき、計測動作を強制的に終了させたい場合(強制終了)は、CTSUSTRT ビッ

トを“0”にするのと同時に CTSUINIT ビットを“1”にしてください。

CTSUCAP ビット (CTSU 計測動作開始トリガ選択ビット)

計測開始条件を指定します。詳細は CTSUSTRT ビットを参照してください。

CTSUSNZ ビット (CTSU 待機時省電力有効ビット)

待機時省電力動作の有効/無効を選択します。また本ビットにより、CTSU 電源はサスペンド状態となり、待機状態の低電力化が可能になります。

サスペンド状態は、CTSU 電源が起動し、外部 TSCAP が充電された後、充電を保ったまま CTSU 電源が OFF された状態です。

表 42.4 CTSU 電源状態制御

CTSUCR1.CTSUPONビット	CTSUSNZビット	CTSUCAPビット	CTSUSTRTビット	CTSU電源の状態
0	0	0	0	停止
1	0	—	—	動作状態
1	1	0	0	サスペンド状態

注. 上記以外は設定しないでください。

サスペンド状態から計測を開始する場合は、CTSUSNZ ビットに“0”を設定した後、16 μs 待ってから、CTSUSTRT ビットに“1”を設定してください。計測終了後、再びサスペンド状態にするときは、CTSUSNZ ビットに“1”を設定してください。

CTSUIOC ビット (CTSU 送信端子制御ビット)

CTSUERRS.CTSUTSOD ビットを“1”にした場合に、TS 端子から出力するレベルを選択します。

CTSUTSOD ビットを“0”にした場合、このビットは無視されます。

CTSUINIT ビット (CTSU 制御部初期化ビット)

本ビットに“1”を設定することで内部制御レジスタを初期化できます。動作中に強制終了させる場合は、CTSUSTRT ビットを“0”にするのと同時に CTSUINIT ビットを“1”にしてください。この場合は動作が停止し、内部制御レジスタが初期化されます。

CTSUSTRT ビットを“1”(CTSU 動作開始)にするのと同時に CTSUINIT ビットを“1”にしないでください。

42.2.2 CTSU 制御レジスタ 1 (CTSUCR1)

アドレス CTSU.CTSUCR1 000A 0901h

b7	b6	b5	b4	b3	b2	b1	b0
CTSUMD[1:0]	CTSUCLK[1:0]	CTSUA TUNE1	CTSUA TUNE0	CTSUC SW	CTSUS ON		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUSPON	CTSUS電源供給許可ビット	0 : 電源OFF 1 : 電源ON	R/W
b1	CTSUCSW	CTSUS LPF容量充電制御ビット	0 : 容量スイッチOFF 1 : 容量スイッチON	R/W
b2	CTSUA TUNE0	CTSUS電源動作モード設定ビット	VCC ≥ 2.4 V 0 : 通常動作モード 1 : 低電圧動作モード VCC < 2.4 V 0 : 設定しないでください 1 : 低電圧動作モード	R/W
b3	CTSUA TUNE1	CTSUS電源能力調整ビット	0 : 通常出力 1 : 高出力	R/W
b5-b4	CTSUCLK[1:0]	CTSUS動作クロック選択ビット	b5 b4 0 0 : PCLK 0 1 : PCLK/2 (PCLKを2分周したクロック) 1 0 : PCLK/4 (PCLKを4分周したクロック) 1 1 : 設定しないでください	R/W
b7-b6	CTSUMD[1:0]	CTSUS計測モード選択ビット	b7 b6 0 0 : 自己容量シングルスキャンモード 0 1 : 自己容量マルチスキャンモード 1 0 : 設定しないでください 1 1 : 相互容量フルスキャンモード	R/W

CTSUCR1 レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

CTSUSPON ビット (CTSUS電源供給許可ビット)

CTSUSの電源制御を行います。CTSUSPON ビットと CTSUCSW ビットは、同時に同値を設定してください。

CTSUCSW ビット (CTSUS LPF 容量充電制御ビット)

TSCAP 端子に接続される LPF 容量の充電制御 (容量スイッチの ON/OFF) を行います。

容量スイッチを ON にしてから TSCAP 端子に接続している容量が充電されるまで、一定時間待った後、計測を開始 (CTSUCR0.CTSUSTRT = 1) してください。計測に先立って、I/O ポートで TSCAP 端子に Low を出力し、すでに充電されている LPF 容量を放電してください。また CTSUSPON ビットと CTSUCSW ビットは、同時に同値を設定してください。

**CTSUA
TUNE0 ビット (CTSUS電源動作モード設定ビット)**

CTSUSの電源動作モードを設定します。CTSUSを動作させる VCC の下限に応じて本ビットを設定してください。一例として、バッテリー動作など VCC が変動するシステム (VCC 電圧範囲が 2 ~ 3 V) においてタッチ計測を行う場合は、初期の VCC 電圧に関わらず本ビットに“1”を設定してください。

CTSUAUTUNE1 ビット (CTSUS 電源能力調整ビット)

CTSUS の電源能力を設定します。通常は、“0” を設定してください。

CTSUCLK[1:0] ビット (CTSUS 動作クロック選択ビット)

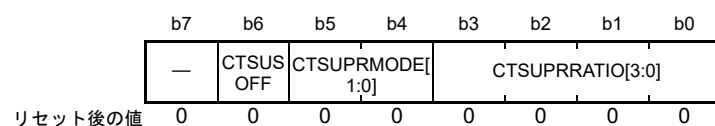
CTSUS の動作クロックを選択します。

CTSUMD[1:0] ビット (CTSUS 計測モード選択ビット)

CTSUS の計測モードを設定します。詳細は、「42.3.2 計測モード」を参照してください。

42.2.3 CTSUS 同期ノイズ低減設定レジスタ (CTSUSDPRES)

アドレス CTSUS.CTUSDPRES 000A 0902h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CTSUSPRRATIO[3:0]	CTSUS計測時間、計測パルス数調整ビット	推奨設定値：3 (0011b)	R/W
b5-b4	CTSUSPRMODE[1:0]	CTSUS基本周期、基本パルス数設定ビット	b5 b4 0 0：510パルス 0 1：126パルス 1 0：62パルス(推奨設定値) 1 1：設定禁止	R/W
b6	CTSUSOFF	CTSUS高域ノイズ低減機能OFF設定ビット	0：高域ノイズ低減機能ON 1：高域ノイズ低減機能OFF	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CTSUSDPRES レジスタは、CTSUCR0.CTUSSTRT ビットが“0”のときに設定してください。

CTSUSPRRATIO[3:0] ビット (CTSUS 計測時間、計測パルス数調整ビット)

計測時間、計測パルス数を決定します。計測時間、計測パルス数は以下の式で計算できます。

基本パルスは、CTSUSPRMODE[1:0] ビットによって決定されます。

計測パルス数 = 基本パルス数 × (CTSUSPRRATIO[3:0] ビット + 1)

計測時間 = (基本パルス数 × (CTSUSPRRATIO[3:0] ビット + 1) + (基本パルス数 - 2) × 0.25) × ベースクロック周期

注． ベースクロック周期については、「42.2.15 CTSUS センサオフセットレジスタ 1 (CTSUSO1)」を参照してください。

CTSUSPRMODE[1:0] ビット (CTSUS 基本周期、基本パルス数設定ビット)

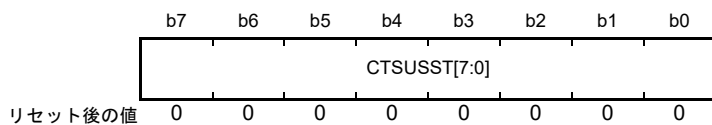
計測における、基本パルス数を選択します。

CTSUSOFF ビット (CTSUS 高域ノイズ低減機能 OFF 設定ビット)

高域ノイズを低減する機能の ON/OFF を設定します。高域ノイズ低減機能を OFF するときは本ビットに“1”を設定してください。

42.2.4 CTSU センサ安定待ち時間レジスタ (CTSUSST)

アドレス CTSU.CTSUSST 000A 0903h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUSST[7:0]	CTSUセンサ安定待ち時間制御ビット	固定値“00010000b”を設定してください	R/W

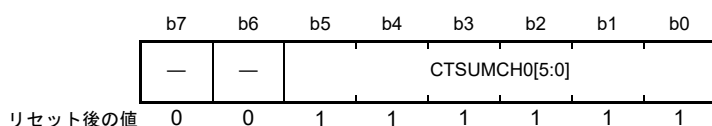
CTSUSST レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

CTSUSST[7:0] ビット (CTSU センサ安定待ち時間制御ビット)

TSCAP 端子の電圧の安定待ち時間を設定します。固定値“00010000b”を設定してください。本ビットが設定されない場合、計測開始時の TSCAP 電圧が不安定となり、正しいタッチ計測結果が得られません。

42.2.5 CTSU 計測チャンネルレジスタ 0 (CTSUMCH0)

アドレス CTSU.CTSMCH0 000A 0904h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CTSUMCH0[5:0]	CTSUS計測チャンネル0ビット	<ul style="list-style-type: none"> 自己容量シングルスキャンモード b5 b0 000000: TS0 : 001001: TS9 001100: TS12 001101: TS13 001111: TS15 : 010100: TS20 010110: TS22 010111: TS23 011011: TS27 011110: TS30 100001: TS33 100011: TS35 上記以外: 設定後の計測動作開始 (CTSUCR0.CTUSSTRT ビット = 1)は禁止 自己容量シングルスキャン以外の計測モード b5 b0 000000: TS0 : 001001: TS9 001100: TS12 001101: TS13 001111: TS15 : 010100: TS20 010110: TS22 010111: TS23 011011: TS27 011110: TS30 100001: TS33 100011: TS35 111111: 計測停止中 	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 自己容量シングルスキャンモード(CTSUCR1.CTUSMD[1:0]ビット = 00b)時のみ、書き込み可能です。

CTSUMCH0 レジスタは、CTSUCR0.CTUSSTRT ビットが“0”のときに設定してください。

CTSUMCH0[5:0] ビット (CTSUS 計測チャンネル0 ビット)

自己容量シングルスキャンモードでは、計測するチャンネルを設定し、それ以外のモードでは、測定している受信チャンネルを示します。

自己容量シングルスキャンモードでのチャンネル設定では、有効チャンネル (000000b ~ 001001b, 001100b, 001101b, 001111b ~ 010100b, 010110b, 010111b, 011011b, 011110b, 100001b, 100011b) 以外は設定しないでください。また、それ以外のモードでは本ビットへの書き込みは無効となります。

42.2.6 CTSU 計測チャンネルレジスタ 1 (CTSUMCH1)

アドレス CTSU.CTSMCH1 000A 0905h



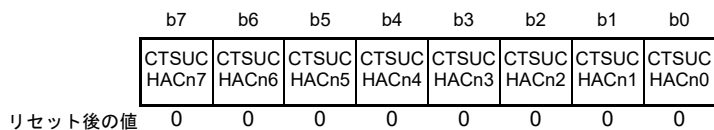
ビット	シンボル	ビット名	機能	R/W
b5-b0	CTSUMCH1[5:0]	CTSUS計測チャンネル1ビット	b5 b0 000000 : TS0 : : 001001 : TS9 001100 : TS12 001101 : TS13 001111 : TS15 : : 010100 : TS20 010110 : TS22 010111 : TS23 011011 : TS27 011110 : TS30 100001 : TS33 100011 : TS35 111111 : 計測停止中	R
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

CTSUMCH1[5:0] ビット (CTSUS 計測チャンネル 1 ビット)

相互容量フルスキャンモードで計測中の送信チャンネルを示します。計測停止中、または自己容量シングルスキャンモードおよび自己容量マルチスキャンモードでは、“111111b”になります。

42.2.7 CTSU チャネル有効制御レジスタ n (CTSUCHACn) (n = 0 ~ 3)

アドレス CTSU.CTSUCHAC0 000A 0906h, CTSU.CTSUCHAC1 000A 0907h, CTSU.CTSUCHAC2 000A 0908h, CTSU.CTSUCHAC3 000A 0909h



ビット	シンボル	ビット名	機能	R/W
b0	CTSUCHACn0	CTSUチャネル有効制御n0ビット	0 : 計測対象外 1 : 計測対象 本ビットはTS0～TS31端子(注1)の設定を行います	R/W
b1	CTSUCHACn1	CTSUチャネル有効制御n1ビット		R/W
b2	CTSUCHACn2	CTSUチャネル有効制御n2ビット		R/W
b3	CTSUCHACn3	CTSUチャネル有効制御n3ビット		R/W
b4	CTSUCHACn4	CTSUチャネル有効制御n4ビット		R/W
b5	CTSUCHACn5	CTSUチャネル有効制御n5ビット		R/W
b6	CTSUCHACn6	CTSUチャネル有効制御n6ビット		R/W
b7	CTSUCHACn7	CTSUチャネル有効制御n7ビット		R/W

注1. TS10, TS11, TS14, TS21, TS24, TS25, TS26, TS28, TS29, TS31端子はありません。

CTSUCHACn レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

CTSUCHACnj ビット (CTSU チャネル有効制御 nj ビット) (j = 0 ~ 7)

静電容量を計測する端子(送信、受信)を設定します。

CTSUCHAC00 ビットは、TS0 端子に、CTSUCHAC07 ビットは、TS7 端子に対応します。

CTSUCHAC10 ビットは、TS8 端子に、CTSUCHAC17 ビットは、TS15 端子に対応します。

CTSUCHAC20 ビットは、TS16 端子に、CTSUCHAC27 ビットは、TS23 端子に対応します。

CTSUCHAC30 ビットは、TS24 端子に、CTSUCHAC37 ビットは、TS31 端子に対応します。

注. TS10, TS11, TS14, TS21, TS24, TS25, TS26, TS28, TS29, TS31 端子はありません。

42.2.8 CTSU チャネル有効制御レジスタ 4 (CTSUCHAC4)

アドレス CTSU.CTSUCHAC4 000A 090Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CTSUC HAC43	CTSUC HAC42	CTSUC HAC41	CTSUC HAC40
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUCHAC40	CTSUチャネル有効制御40ビット	0: 計測対象外 1: 計測対象 本ビットはTS32～TS35端子(注1)の設定を行います	R/W
b1	CTSUCHAC41	CTSUチャネル有効制御41ビット		R/W
b2	CTSUCHAC42	CTSUチャネル有効制御42ビット		R/W
b3	CTSUCHAC43	CTSUチャネル有効制御43ビット		R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TS32, TS34端子はありません。

CTSUCHAC4 レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

CTSUCHAC4j ビット (CTSU チャネル有効制御 4j ビット) (j = 0 ~ 3)

静電容量を計測する端子(送信、受信)を設定します。

CTSUCHAC40 ビットは、TS32 端子に、CTSUCHAC43 ビットは、TS35 端子に対応します。

注. TS32, TS34 端子はありません。

42.2.9 CTSU チャネル送受信制御レジスタ n (CTSUCHTRCn) (n = 0 ~ 3)

アドレス CTSU.CTSUCHTRC0 000A 090Bh, CTSU.CTSUCHTRC1 000A 090Ch, CTSU.CTSUCHTRC2 000A 090Dh,
CTSU.CTSUCHTRC3 000A 090Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	CTSUC HTRCn7	CTSUC HTRCn6	CTSUC HTRCn5	CTSUC HTRCn4	CTSUC HTRCn3	CTSUC HTRCn2	CTSUC HTRCn1	CTSUC HTRCn0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUCHTRCn0	CTSUチャネル送受信制御n0ビット	0: 受信 1: 送信 本ビットはTS0~TS31端子(注1)の設定を行います	R/W
b1	CTSUCHTRCn1	CTSUチャネル送受信制御n1ビット		R/W
b2	CTSUCHTRCn2	CTSUチャネル送受信制御n2ビット		R/W
b3	CTSUCHTRCn3	CTSUチャネル送受信制御n3ビット		R/W
b4	CTSUCHTRCn4	CTSUチャネル送受信制御n4ビット		R/W
b5	CTSUCHTRCn5	CTSUチャネル送受信制御n5ビット		R/W
b6	CTSUCHTRCn6	CTSUチャネル送受信制御n6ビット		R/W
b7	CTSUCHTRCn7	CTSUチャネル送受信制御n7ビット		R/W

注1. TS10, TS11, TS14, TS21, TS24, TS25, TS26, TS28, TS29, TS31端子はありません。

CTSUCHTRCn レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

CTSU チャネル送受信制御 nj ビット (CTSU チャネル送受信制御 nj ビット) (j = 0 ~ 7)

相互容量フルスキャンモードでの TS 端子に対する受信、送信の割り当てを行います。自己容量シングル
スキャンモード、および自己容量マルチスキャンモードでは、本ビットの設定は無視されます。

CTSUCHTRC00 ビットは、TS0 端子に、CTSUCHTRC07 ビットは、TS7 端子に対応します。

CTSUCHTRC10 ビットは、TS8 端子に、CTSUCHTRC17 ビットは、TS15 端子に対応します。

CTSUCHTRC20 ビットは、TS16 端子に、CTSUCHTRC27 ビットは、TS23 端子に対応します。

CTSUCHTRC30 ビットは、TS24 端子に、CTSUCHTRC37 ビットは、TS31 端子に対応します。

注. TS10, TS11, TS14, TS21, TS24, TS25, TS26, TS28, TS29, TS31 端子はありません。

42.2.10 CTSU チャネル送受信制御レジスタ 4 (CTSUCHTRC4)

アドレス CTSU.CTSUCHTRC4 000A 090Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CTSUC HTRC43	CTSUC HTRC42	CTSUC HTRC41	CTSUC HTRC40
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUCHTRC40	CTSUチャネル送受信制御40ビット	0: 受信 1: 送信	R/W
b1	CTSUCHTRC41	CTSUチャネル送受信制御41ビット		R/W
b2	CTSUCHTRC42	CTSUチャネル送受信制御42ビット	本ビットはTS32～TS35端子(注1)の設定を行います	R/W
b3	CTSUCHTRC43	CTSUチャネル送受信制御43ビット		R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TS32, TS34端子はありません。

CTSUCHTRC4 レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

CTSUCHTRC4j ビット (CTSU チャネル送受信制御 4j ビット) (j = 0 ~ 3)

相互容量フルスキャンモードでの TS 端子に対する受信、送信の割り当てを行います。自己容量シングル
スキャンモード、および自己容量マルチスキャンモードでは、本ビットの設定は無視されます。

CTSUCHTRC40 ビットは、TS32 端子に、CTSUCHTRC43 ビットは、TS35 端子に対応します。

注. TS32, TS34 端子はありません。

42.2.11 CTSU 高域ノイズ低減制御レジスタ (CTSUDCLKC)

アドレス CTSU.CTSUDCLKC 000A 0910h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CTSUSSCNT[1:0]	—	—	—	CTSUSSMOD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CTSUSSMOD[1:0]	CTSU 拡散クロックモード選択ビット	“00b”に設定してください	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	CTSUSSCNT[1:0]	CTSU 拡散クロック制御ビット	“11b”に設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CTSUDCLKC レジスタは、CTSUCR0.CTSUSTRT ビットが“0”のときに設定してください。

CTSUSSMOD[1:0] ビット (CTSU 拡散クロックモード選択ビット)

高域ノイズ低減に関わるスペクトラム拡散クロックのモードを設定します。高域ノイズ低減機能を使用する場合は、固定値“00b”を設定してください。本ビットが設定されない場合、高域ノイズ低減の効果が正しく得られません。

CTSUSSCNT[1:0] ビット (CTSU 拡散クロック制御ビット)

高域ノイズ低減のためのスペクトラム拡散量を調整します。高域ノイズ低減機能を使用する場合は、固定値“11b”を設定してください。本ビットが設定されない場合、タッチ計測が正しく行われたい可能性があります。

42.2.12 CTSU ステータスレジスタ (CTSUST)

アドレス CTSU.CTSUST 000A 0911h

	b7	b6	b5	b4	b3	b2	b1	b0
	CTSUS S	CTSUS OVF	CTSUS OVF	CTSUS TSR	—	CTSUSTC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSUSTC[2:0]	CTSUS計測ステータスカウンタ	b2 b0 0 0 0 : Status0 0 0 1 : Status1 0 1 0 : Status2 0 1 1 : Status3 1 0 0 : Status4 1 0 1 : Status5	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CTSUDTSR	CTSUSデータ転送ステータスフラグ	0 : 計測結果が読み出されている 1 : 計測結果が読み出されていない	R
b5	CTSUSOVF	CTSUSセンサカウンタオーバーフローフラグ	0 : オーバフローなし 1 : オーバフローあり	R/W
b6	CTSUSROVF	CTSUSリファレンスカウンタオーバーフローフラグ	0 : オーバフローなし 1 : オーバフローあり	R/W
b7	CTSUSPS	CTSUS相互容量計測状態フラグ	0 : 1回目の計測 1 : 2回目の計測	R

CTSUCR0.CTSUINIT ビットでオーバーフローフラグをクリアする場合は、CTSUCR0.CTSUSTRT ビットが“0”のときにクリアしてください。

CTSUSTC[2:0] フラグ (CTSUS 計測ステータスカウンタ)

現在の計測ステータスを示します。各ステータスの詳細は、「42.3.2.2 ステータスカウンタ」を参照してください。

CTSUDTSR フラグ (CTSUS データ転送ステータスフラグ)

センサカウンタ、リファレンスカウンタに格納された計測結果を読み出したか否かを示します。計測完了時に“1”になり、ソフトウェアまたはDTCでリファレンスカウンタを読み出すと“0”となります。

また本フラグは、CTSUCR0.CTSUINIT ビットでもクリアされます。

CTSUSOVF フラグ (CTSUS センサカウンタオーバーフローフラグ)

センサカウンタがオーバーフローしたか否かを示します。オーバーフローが発生した計測結果 (CTSUSC カウンタ) は“FFFFh”が読み出されます。

オーバーフローが発生しても設定された期間まで計測処理は継続されます。

オーバーフロー発生時でも割り込みは発生しません。そのため、どのチャンネルでオーバーフローが発生したかは、計測完了後 (完了割り込み発生後)、各チャンネルの計測結果により判定してください。

本フラグは、ソフトウェアで“1”を読み出した後、“0”を書き込むことによりクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

CTSUROVF フラグ (CTSU リファレンスカウンタオーバーフローフラグ)

リファレンスカウンタがオーバーフローしたか否かを示します。オーバーフローが発生した計測結果 (CTSURC カウンタ) は“FFFFh”が読み出されます。

オーバーフローが発生しても設定された期間まで計測処理は継続されます。

オーバーフロー発生時でも割り込みは発生しません。そのため、どのチャンネルでオーバーフローが発生したかは、計測完了後 (完了割り込み発生後)、各チャンネルの計測結果により判定してください。

本フラグは、ソフトウェアで“1”を読み出した後、“0”を書き込むことによりクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

CTSUPS フラグ (CTSU 相互容量計測状態フラグ)

相互容量フルスキャンモード (CTSUCR1.CTSUMD[1:0] ビット = 11b) で1チャンネルあたり2回の計測をするうちの、1回目または2回目を示します。

計測停止中または他の計測モードでは、本フラグは“0”を示します。

42.2.13 CTSU 高域ノイズ低減スペクトラム拡散制御レジスタ (CTSUSSC)

アドレス CTSU.CTSSUSC 000A 0912h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	CTSUSSDIV[3:0]				—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	CTSUSSDIV[3:0]	CTSUSスペクトラム拡散分周設定ビット	ベースクロックの分周設定に合わせて、スペクトラム拡散分周設定値を設定します	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CTSUSSDIV[3:0] ビット (CTSUS スペクトラム拡散分周設定ビット)

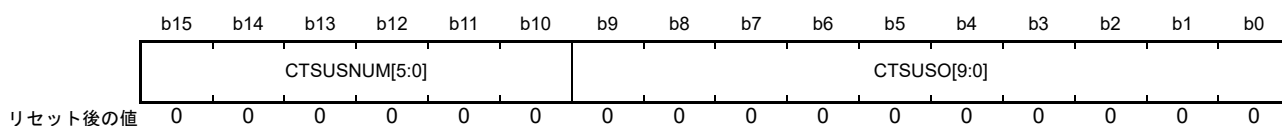
ベースクロックの分周設定に合わせて、スペクトラム拡散分周設定値を設定します。表 42.5 のベースクロック周波数と CTSUSSDIV[3:0] ビット設定値の関係を参考に値を設定してください。

表 42.5 ベースクロック周波数と CTSUSSDIV[3:0] ビット設定値の関係

ベースクロック周波数 fb (MHz)	CTSUSSDIV[3:0] ビット設定値
$4.00 \leq f_b$	0000b
$2.00 \leq f_b < 4.00$	0001b
$1.33 \leq f_b < 2.00$	0010b
$1.00 \leq f_b < 1.33$	0011b
$0.80 \leq f_b < 1.00$	0100b
$0.67 \leq f_b < 0.80$	0101b
$0.57 \leq f_b < 0.67$	0110b
$0.50 \leq f_b < 0.57$	0111b
$0.44 \leq f_b < 0.50$	1000b
$0.40 \leq f_b < 0.44$	1001b
$0.36 \leq f_b < 0.40$	1010b
$0.33 \leq f_b < 0.36$	1011b
$0.31 \leq f_b < 0.33$	1100b
$0.29 \leq f_b < 0.31$	1101b
$0.27 \leq f_b < 0.29$	1110b
$f_b < 0.27$	1111b

42.2.14 CTSU センサオフセットレジスタ 0 (CTSUSO0)

アドレス CTSU.CTSUSO0 000A 0914h



ビット	シンボル	ビット名	機能	R/W
b9-b0	CTSUSO[9:0]	CTSUSOセンサオフセット調整ビット	b9 b0 0000000000 : 電流オフセット量0 0000000001 : 電流オフセット量1 0000000010 : 電流オフセット量2 : : 1111111110 : 電流オフセット量1022 1111111111 : 電流オフセット量最大	R/W
b15-b10	CTSUSNUM[5:0]	CTSUSNUM計測回数設定ビット	CTSUSNUMの計測回数を設定します	R/W

CTSUSO[9:0] ビット (CTSUSO センサオフセット調整ビット)

センサ ICO の入力電流オフセットを調整する制御ビットです。タッチ計測時に非タッチ状態の静電容量により発生するセンサ ICO 入力電流をオフセットし、CTSUSO センサカウンタのオーバフローを防ぎます。

次に計測する TS 端子への設定は、CTSUSWR 割り込みの発生後に行ってください。

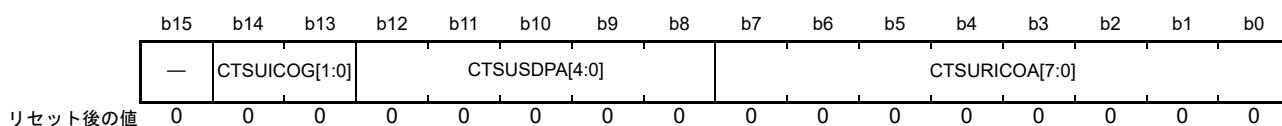
CTSUSNUM[5:0] ビット (CTSUSNUM 計測回数設定ビット)

CTSUSDPRS.CTUSUPRRATIO[3:0] ビットおよび CTSUSDPRS.CTUSUPRMODE[1:0] ビットで決定される計測パルス数を計測時間で何回繰り返すかを設定します。繰り返し回数は (CTSUSNUM[5:0] ビット + 1) となります。

次に計測する TS 端子への設定は、CTSUSWR 割り込みの発生後に行ってください。

42.2.15 CTSU センサオフセットレジスタ 1 (CTSUSO1)

アドレス CTSU.CTSUSO1 000A 0916h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSURICOA[7:0]	CTSUS リファレンスICO 電流調整ビット	b7 b0 00000000: 入力電流量0 00000001: 入力電流量1 00000010: 入力電流量2 : : 11111110: 入力電流量254 11111111: 入力電流量最大	R/W
b12-b8	CTSUSDPA[4:0]	CTSUS ベースクロック設定ビット	b12 b8 00000: 動作クロックの2分周 (注1) 00001: 動作クロックの4分周 00010: 動作クロックの6分周 00011: 動作クロックの8分周 00100: 動作クロックの10分周 00101: 動作クロックの12分周 00110: 動作クロックの14分周 00111: 動作クロックの16分周 01000: 動作クロックの18分周 01001: 動作クロックの20分周 01010: 動作クロックの22分周 01011: 動作クロックの24分周 01100: 動作クロックの26分周 01101: 動作クロックの28分周 01110: 動作クロックの30分周 01111: 動作クロックの32分周 10000: 動作クロックの34分周 10001: 動作クロックの36分周 10010: 動作クロックの38分周 10011: 動作クロックの40分周 10100: 動作クロックの42分周 10101: 動作クロックの44分周 10110: 動作クロックの46分周 10111: 動作クロックの48分周 11000: 動作クロックの50分周 11001: 動作クロックの52分周 11010: 動作クロックの54分周 11011: 動作クロックの56分周 11100: 動作クロックの58分周 11101: 動作クロックの60分周 11110: 動作クロックの62分周 11111: 動作クロックの64分周	R/W
b14-b13	CTSUICOG[1:0]	CTSUS ICOゲイン調整ビット	b14 b13 00: ゲイン100% 01: ゲイン66% 10: ゲイン50% 11: ゲイン40%	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 相互容量フルスキャンモード(CTSUCR1.CTSUMD[1:0]ビット = 11b)の高域ノイズ低減機能OFF状態(CTSUSDPRS.CTUSOFFビット = 1)では、CTSUSDPA[4:0]ビット = 00000bは設定しないでください。

CTSUSWR 割り込み発生後、CTSUSCC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタの順に書き込んでください。また、CTSUSO1 レジスタへの書き込み動作により Status3 へ遷移します。そのため、CTSUSO1 レジスタに書き込む場合は、1度に全ビットに書き込むようにしてください。

CTSURICOA[7:0] ビット (CTSUSC リファレンス ICO 電流調整ビット)

リファレンス ICO の入力電流により、発振周波数を調整します。

CTSUSDPA[4:0] ビット (CTSUSC ベースクロック設定ビット)

動作クロックを分周して、センサドライブパルスの元となるベースクロックを生成します。

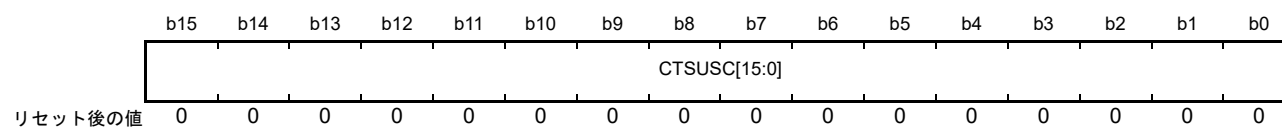
設定手順の詳細は、「42.3.2.1 初期設定フロー」を参照してください。

CTSUICOG[1:0] ビット (CTSUSC ICO ゲイン調整ビット)

センサ ICO とリファレンス ICO の出力周波数ゲインを調整します。通常は最大ゲイン “00b” を設定してください。非タッチータッチ時の容量変化が、センサ ICO のダイナミックレンジを大きく超える場合は、ゲイン調整ビットで適切なゲインに調整してください。

42.2.16 CTSUSC センサカウンタ (CTSUSC)

アドレス CTSUSC.000A 0918h



ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSUSC[15:0]	CTSUSC センサカウンタビット	オーバフロー発生時は“FFFFh”を示します	R

CTSURD 割り込み発生後、CTSUSC カウンタ、CTSUSC カウンタの順に読み出してください。

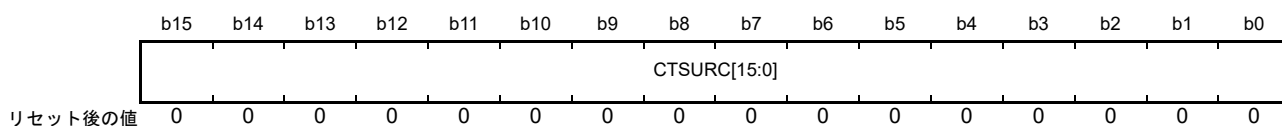
CTSUSC[15:0] ビット (CTSUSC センサカウンタビット)

計測のためにセンサ ICO クロックをカウントするインクリメントカウンタです。

本ビットは、CTSURD 割り込み発生後に読み出してください。本ビットは CTSUSC カウンタ読み出し後、次の計測で CTSUSC 計測ステータスカウンタが Status4 に遷移する (CTSUSC.CTSUSC[2:0] フラグが “100b” になる) 直前にクリアされます。また、CTSUSC0.CTSUSCINIT ビットでも本ビットはクリアされます。

42.2.17 CTSU リファレンスカウンタ (CTSURC)

アドレス CTSU.CTSURC 000A 091Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSURC[15:0]	CTSUリファレンスカウンタビット	オーバフロー発生時は“FFFFh”を示します	R

CTSURD 割り込み発生後、CTSUSC カウンタ、CTSURC カウンタの順に読み出してください。

Status3 の指定した安定時間を経過しても CTSURC カウンタの読み出しが行われていない場合は、読み出されるまで Status3 を継続します。

CTSURC[15:0] ビット (CTSU リファレンスカウンタビット)

リファレンス ICO クロックをカウントするインクリメントカウンタです。

リファレンス ICO はセンサ ICO によるタッチ計測を最適化するために使用します。CTSU に内蔵されたセンサ ICO とリファレンス ICO は個体により若干の偏差はありますが、同一個体ではほぼ同様の特性を持ち、ダイナミックレンジや電流一周波数の特性が近似しています。リファレンス ICO 電流調整ビットで設定できる電流量の範囲がほぼ ICO のダイナミックレンジになるため、センサ ICO に入力する電流量もこのダイナミックレンジに収める必要があります。まず、ICO の個体差を確認するためにリファレンス ICO を使い、電流一周波数の特性を計測します。リファレンス ICO 発振周波数はリファレンス ICO カウンタで取得できますので、リファレンス ICO 電流調整ビットに値を設定し、リファレンス ICO カウンタを計測することで、入力した電流量に対する ICO の発振周波数 (カウンタ値 / 計測時間) を計測できます。また、リファレンス ICO 電流調整ビットの最大値で計測されるリファレンス ICO カウンタの値が、ICO のダイナミックレンジの最大値となります。したがって、センサ ICO カウンタの値がこの値を超えないように、オフセット調整ビットでセンサ ICO の電流量をオフセットする必要があります。

本ビットは、CTSURD 割り込み発生後に読み出してください。本ビットは読み出した後、次の計測で CTSU 計測ステータスカウンタが Status4 に遷移する (CTSUST.CTSUSTC[2:0] フラグが “100b” になる) 前にクリアされます。また、CTSUCR0.CTSUINIT ビットでも本ビットはクリアされます。

42.2.18 CTSU エラーステータスレジスタ (CTSUERRS)

アドレス CTSU.CTSUERRS 000A 091Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CTSUI COMP	—	—	—	—	—	—	—	CTSUT SOC	—	—	—	CTSUD RV	CTSUT SOD	CTSUSPMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CTSUSPMD[1:0]	キャリブレーションモードビット	b1 b0 0 0 : 静電容量計測モード 0 1 : 設定禁止 1 0 : キャリブレーションモード 1 1 : 設定禁止	R/W
b2	CTSUTSOD	TS端子固定出力ビット	0 : 静電容量計測モード 1 : TS端子固定出力(High/Low出力)	R/W
b3	CTSUDRV	キャリブレーション設定ビット1	0 : 静電容量計測モード 1 : キャリブレーション設定1	R/W
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CTSUTSOC	キャリブレーション設定ビット2	0 : 静電容量計測モード 1 : キャリブレーション設定2	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	CTSUICOMP	TSCAP電圧異常監視ビット	0 : TSCAP電圧正常 1 : TSCAP電圧異常	R

CTSUSPMD[1:0] ビット (キャリブレーションモードビット)

CTSUSPMD[1:0] ビットは、CTSU のキャリブレーションを行う場合に使用します。
静電容量を計測する場合は、“00b” にしてください。

CTSUTSOD ビット (TS 端子固定出力ビット)

CTSUTSOD ビットは、CTSU のキャリブレーションを行う場合に使用します。CTSUTSOD ビットを“1”にした場合、CTSUCR0.CTSUIOC ビットで指定したレベルが TS 端子から出力されます。
静電容量を計測する場合は、“0” にしてください。

CTSUDRV ビット (キャリブレーション設定ビット 1)

CTSUDRV ビットは、CTSU のキャリブレーションを行う場合に使用します。
静電容量を計測する場合は、“0” にしてください。

CTSUTSOC ビット (キャリブレーション設定ビット 2)

CTSUTSOC ビットは、CTSU のキャリブレーションを行う場合に使用します。
静電容量を計測する場合は、“0” にしてください。

CTSUICOMP ビット (TSCAP 電圧異常監視ビット)

TSCAP 電圧の異常状態を監視します。CTSUSO1 レジスタで設定したオフセット電流量が、タッチ計測時のセンサ ICO 入力電流を上回った場合、TSCAP 電圧が異常となりタッチ計測が正しく行われません。本ビットは、TSCAP 電圧を監視し、異常となった場合、“1”になります。なお、TSCAP 電圧が異常となった場合、センサ ICO カウンタの値は不定になりますが、タッチ計測は正常に終了しますので、センサ ICO カウンタ値からは異常を検知することが困難です。CTSUSO1 レジスタの CTSU リファレンス ICO 電流調整

ビット (CTSURICOA[7:0]) に “0” 以外を設定した場合は、タッチ計測終了時に本ビットを確認してください。
本ビットは、CTSUCR1.CTSUPON ビットに “0” を書き込み、電源 OFF とすることでクリアされます。

42.3 動作説明

42.3.1 計測動作原理

図 42.4 に計測部回路を示します。

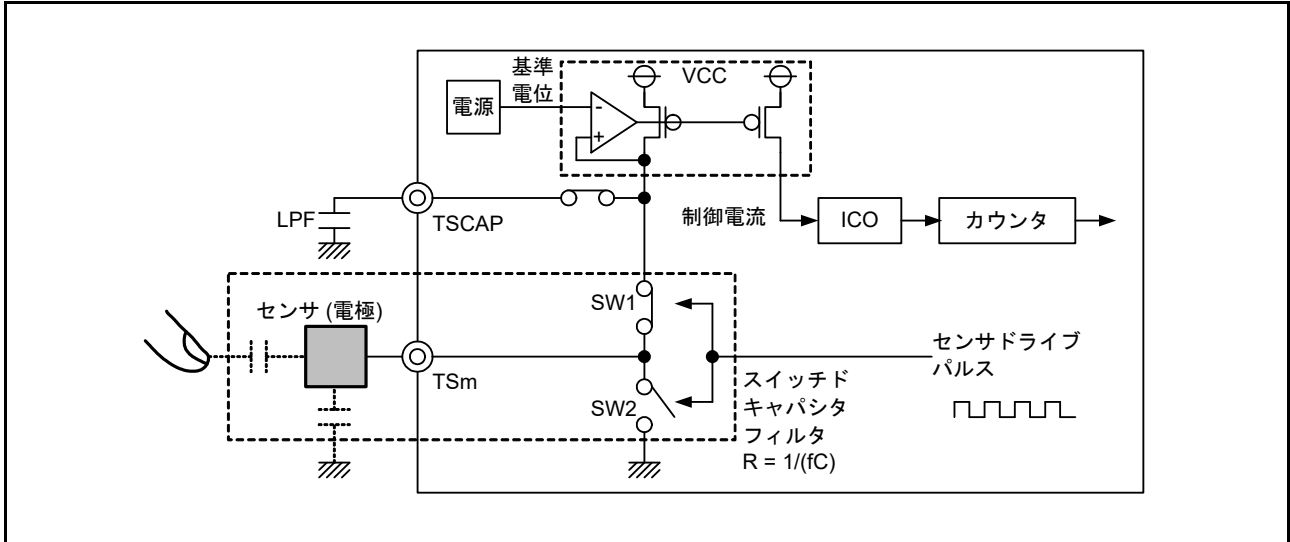


図 42.4 計測部回路 (m = 0 ~ 9, 12, 13, 15 ~ 20, 22, 23, 27, 30, 33, 35)

図 42.5 ~ 図 42.7 に CTSU の電流周波数変換方式の静電容量計測動作原理を示します。

- (1) SW1 : ON、SW2 : OFF にすることで、電極の静電容量に充電されます (図 42.5)。
- (2) SW1 : OFF、SW2 : ON にすることで、充電された容量は放電されます (図 42.6)。

(1) と (2) の充放電を早いタイミングで切り替えることにより、スイッチドキャパシタフィルタに電流が流れます。このとき、人体の接近により静電容量値が変わるため、流れる電流が変化します。TSCAP 電源を生成する回路からスイッチドキャパシタフィルタに流れる電流に比例した制御電流を ICO に供給することで、クロックを生成します。人体の接近によって変わるクロック周波数をカウンタで計測し、読み出したカウンタ値を用いて、ソフトウェアで人体の接近を判定します (図 42.7)。

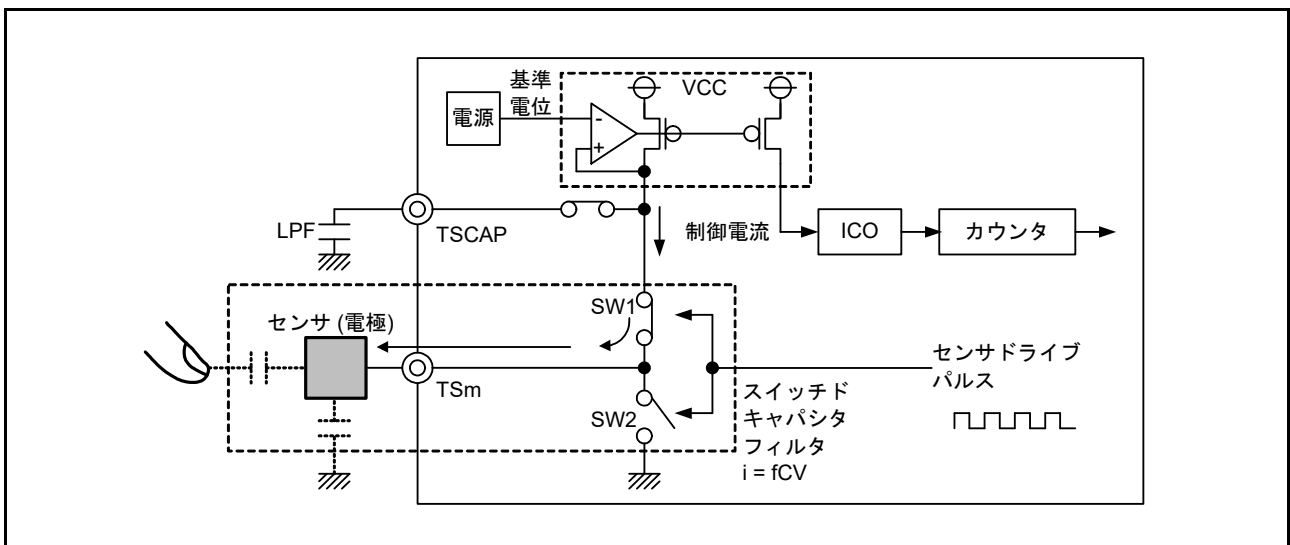


図 42.5 充電動作 (m = 0 ~ 9, 12, 13, 15 ~ 20, 22, 23, 27, 30, 33, 35)

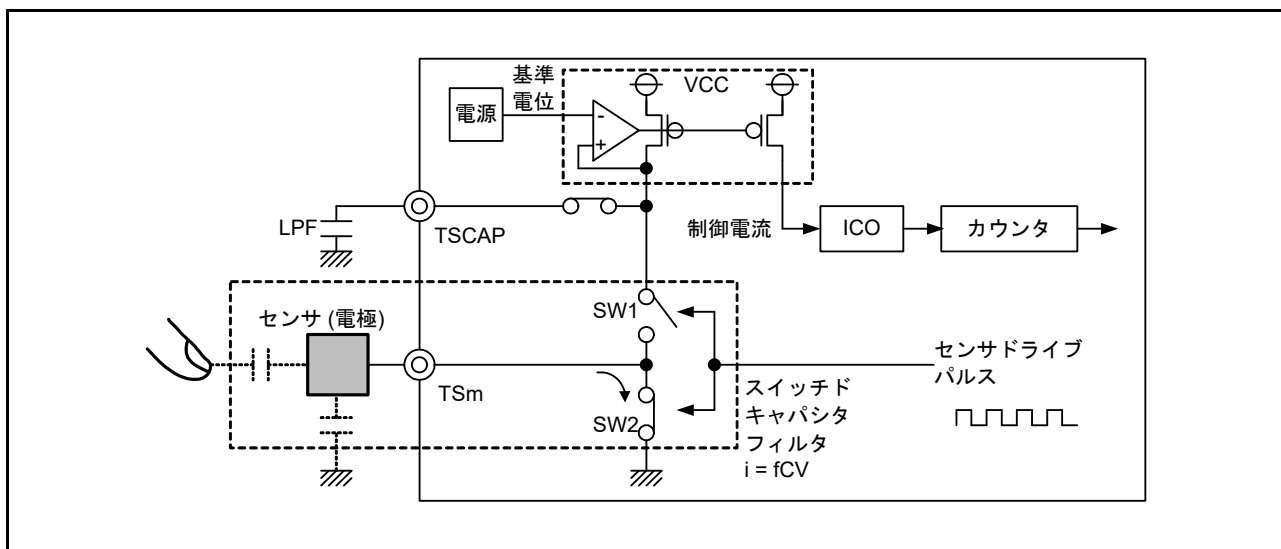


図 42.6 放電動作 (m = 0 ~ 9, 12, 13, 15 ~ 20, 22, 23, 27, 30, 33, 35)

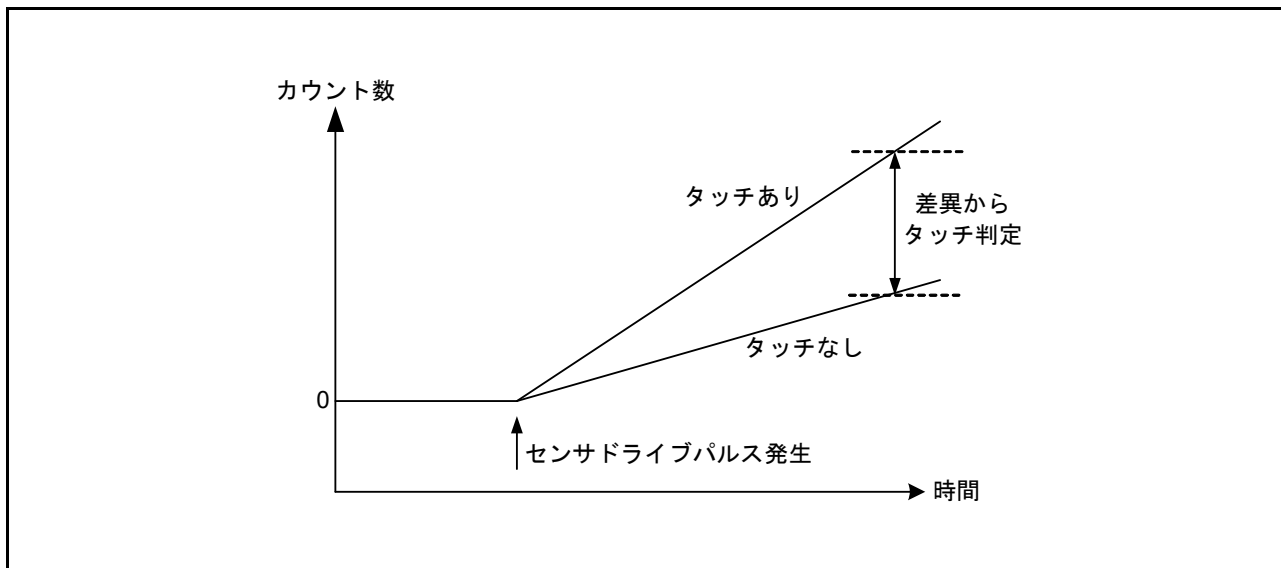


図 42.7 接触 / 非接触による計測値の変化

42.3.2 計測モード

CTSUは、自己容量方式と相互容量方式に対応しています。図42.8に自己容量方式と相互容量方式の概要を示します。

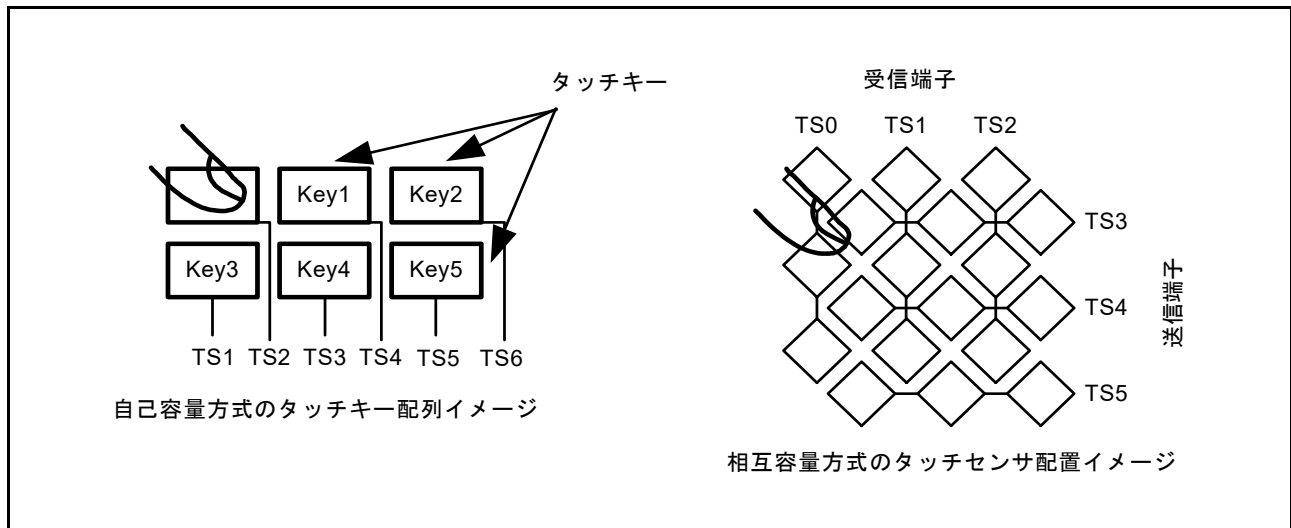


図 42.8 自己容量方式と相互容量方式の概要

自己容量方式では、1つのタッチキーに1つのタッチ端子を割り当て、それぞれの人体の接近による静電容量を計測します。自己容量方式には、シングルスキャンとマルチスキャンの計測モードがあります。

相互容量方式では、対向する2つの電極(送信端子、受信端子)間の容量を計測します。

42.3.2.1 初期設定フロー

図 42.9 に、CTSUS の初期設定フローを示します。

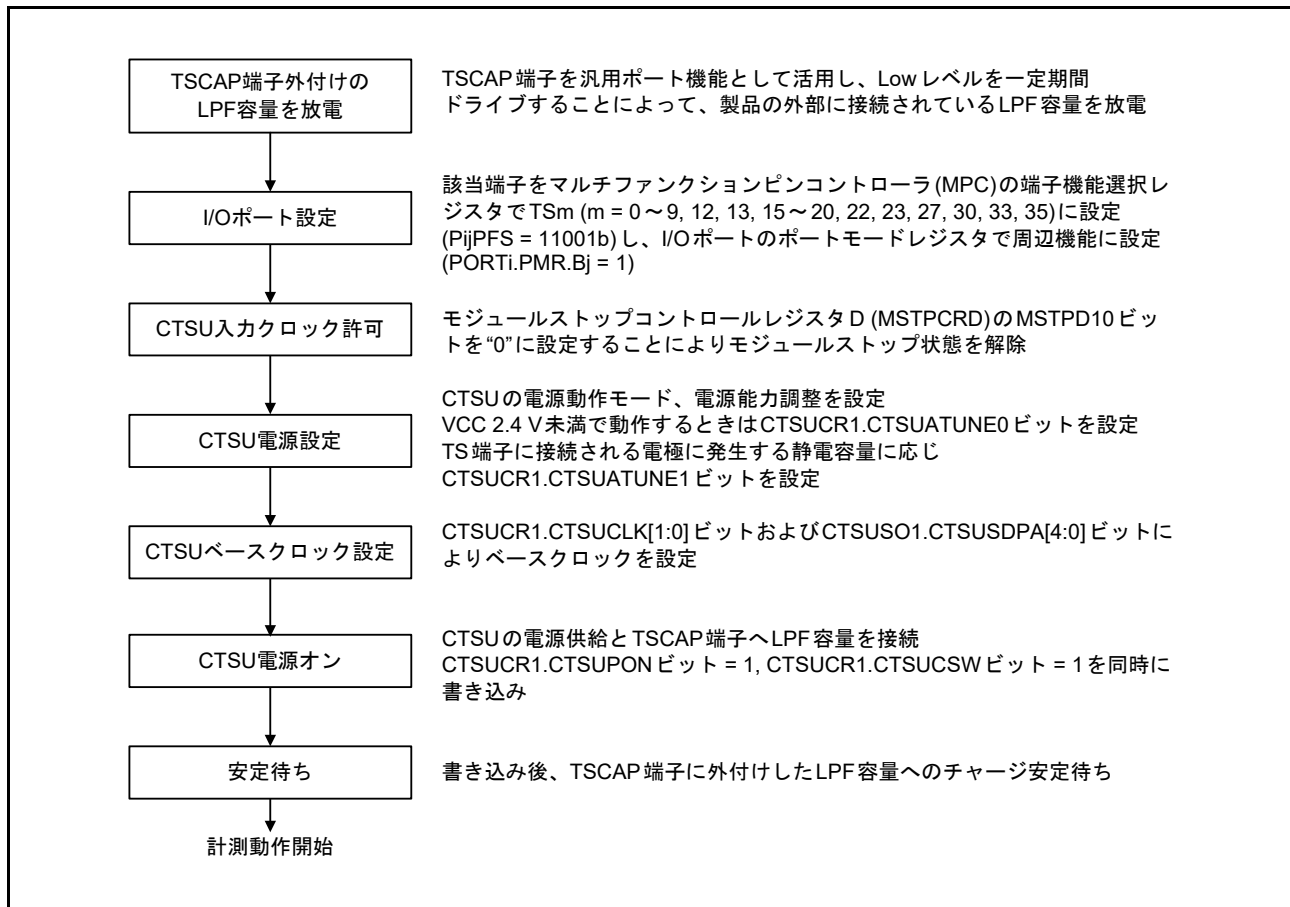


図 42.9 CTSUS 初期設定フロー

図 42.10 に、CTSUS の動作を停止し、スタンバイ状態にするフローを示します。

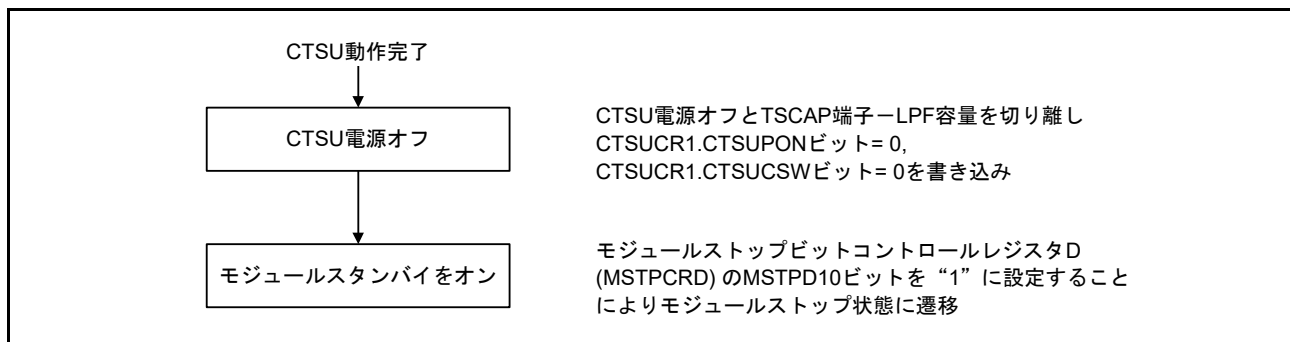


図 42.10 CTSUS 停止フロー

停止から再開する場合は、図 42.9 の初期設定フローに従ってください。

42.3.2.2 ステータスカウンタ

CTSUS ステータスレジスタ (CTSUST) の計測ステータスカウンタは、現在の計測ステータスを示します。計測ステータスは、4つの計測モードで共通です。図 42.11 にステータス動作遷移図を示します。

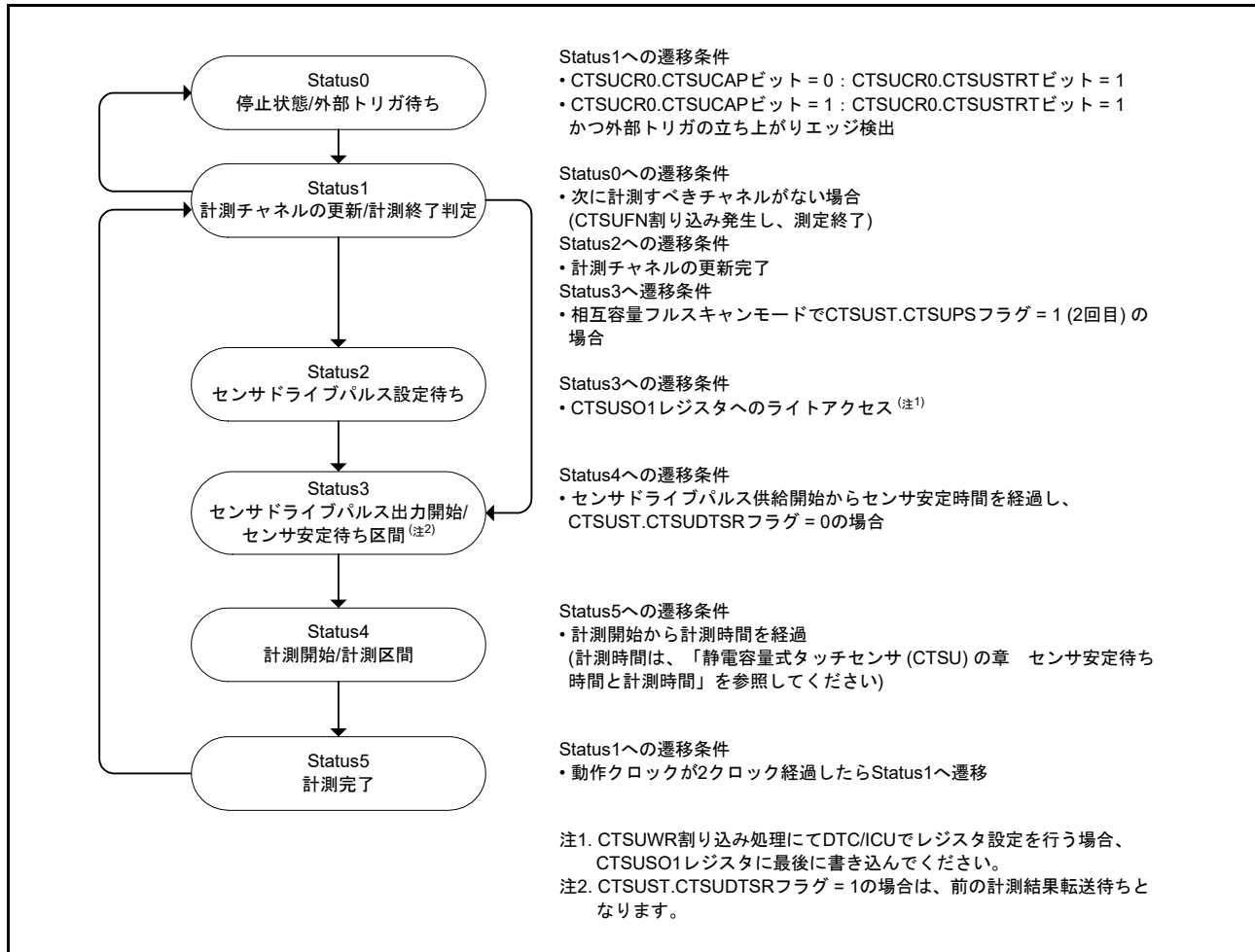


図 42.11 ステータス動作遷移図

ステータスカウンタは、指定したすべての計測チャンネルの計測が終了すると Status0 に遷移します。

CTSUCR0.CTSUSTRT ビットは、ソフトウェアトリガではハードウェアにより“0”にクリアされます。また外部トリガでは“1”が保持され、次のトリガの待機状態になります。

計測中またはトリガ待機状態時に強制終了 (CTSUCR0.CTSUSTRT ビットの“0”と CTSUCR0.CTSUINIT ビットの“1”の同時書き込み) することにより、強制的に Status0 に遷移し停止します。

また、CTSUSMCH0 レジスタ、CTSUSCHACn レジスタ (n = 0 ~ 3)、CTSUSCHAC4 レジスタと CTSUSCHTRCn レジスタ (n = 0 ~ 3)、CTSUSCHTRC4 レジスタの設定で計測するチャンネルがない場合は、Status1 へ遷移後、すぐに CTSUFN 割り込みを発生し Status0 に遷移します。計測するチャンネルがないケースは以下のとおりです。

- CTSUSCHACn レジスタ、CTSUSCHAC4 レジスタで測定対象チャンネルを指定しない場合
- 自己容量シングルスキャンモードで、CTSUSMCH0 レジスタで指定したチャンネルが CTSUSCHACn レジスタ、CTSUSCHAC4 レジスタで測定対象外となっていた場合
- 相互容量フルスキャンモードで、CTSUSCHACn レジスタ、CTSUSCHAC4 レジスタと CTSUSCHTRCn レジスタ、CTSUSCHTRC4 レジスタの組み合わせで、計測する送信チャンネルまたは受信チャンネルが存在しない場合

42.3.2.3 自己容量シングルスキャンモード動作

自己容量シングルスキャンモードは、任意の1チャンネルの静電容量を計測します。図 42.12 にソフトウェアフローと動作例を、図 42.13 にタイミングチャートを示します。

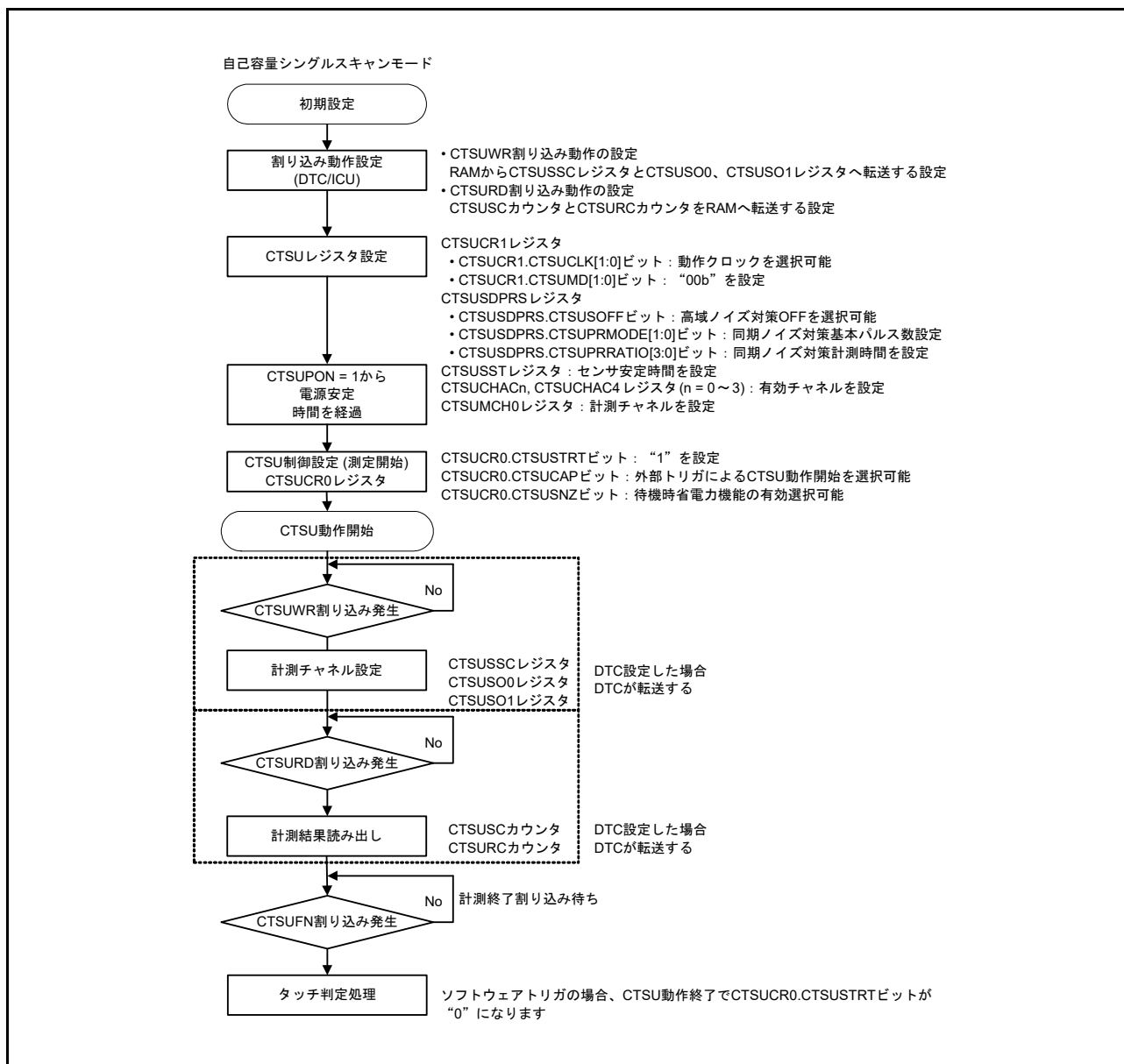


図 42.12 自己容量シングルスキャンモードのソフトウェアフローと動作例

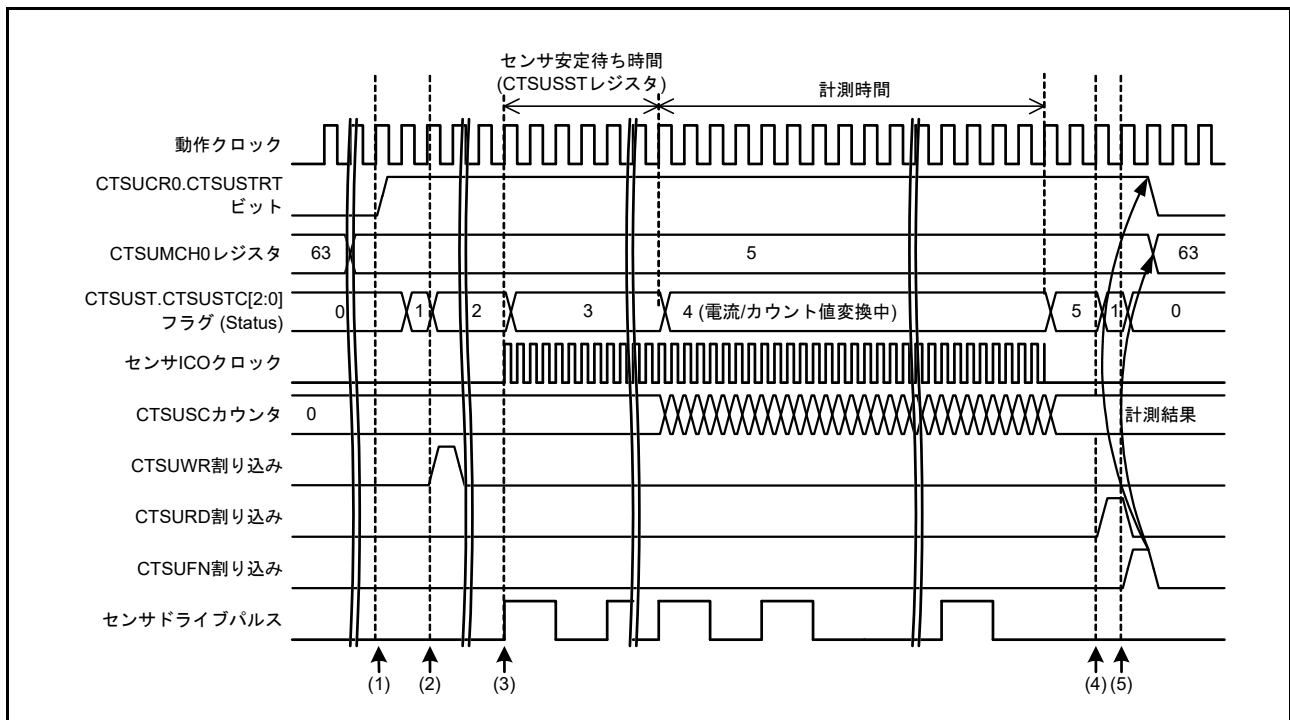


図 42.13 自己容量シングルスキャンモードのタイミングチャート (計測開始条件がソフトウェアトリガの場合)

図 42.13 のタイミングチャートの動作説明は以下のとおりです。

- (1) 各種設定を実施後、CTSUCR0.CTSUSTRT ビットに“1”を書き込むと開始します。
- (2) あらかじめ設定された条件に従い、計測するチャンネルが決定された後に、当該チャンネルの設定要求 (CTSUWR) を出力します。
- (3) 計測チャンネルの設定書き込み (CTSUSSC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。
- (4) センサ安定待ち時間、計測時間を経過して計測が終了した後、計測結果読み出し要求 (CTSURD) を出力します。
- (5) 計測終了割り込み (CTSUFN) を出力して計測終了 (Status0 へ遷移) します。

表 42.6 に自己容量シングルスキャンモードのタッチ端子状態を示します。

表42.6 自己容量シングルスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測チャンネル	非計測チャンネル
0	Low	Low
1	Low	Low
2	Low	Low
3	パルス	Low
4	パルス	Low
5	Low	Low

42.3.2.4 自己容量マルチスキャンモード動作

自己容量マルチスキャンモードは、CTSUCHACn レジスタ (n = 0 ~ 3)、CTSUCHAC4 レジスタで計測対象に設定したすべてのチャンネルに対して静電容量を昇順で順次計測します。図 42.14 にソフトウェアフローと動作例を、図 42.15 にタイミングチャートを示します。

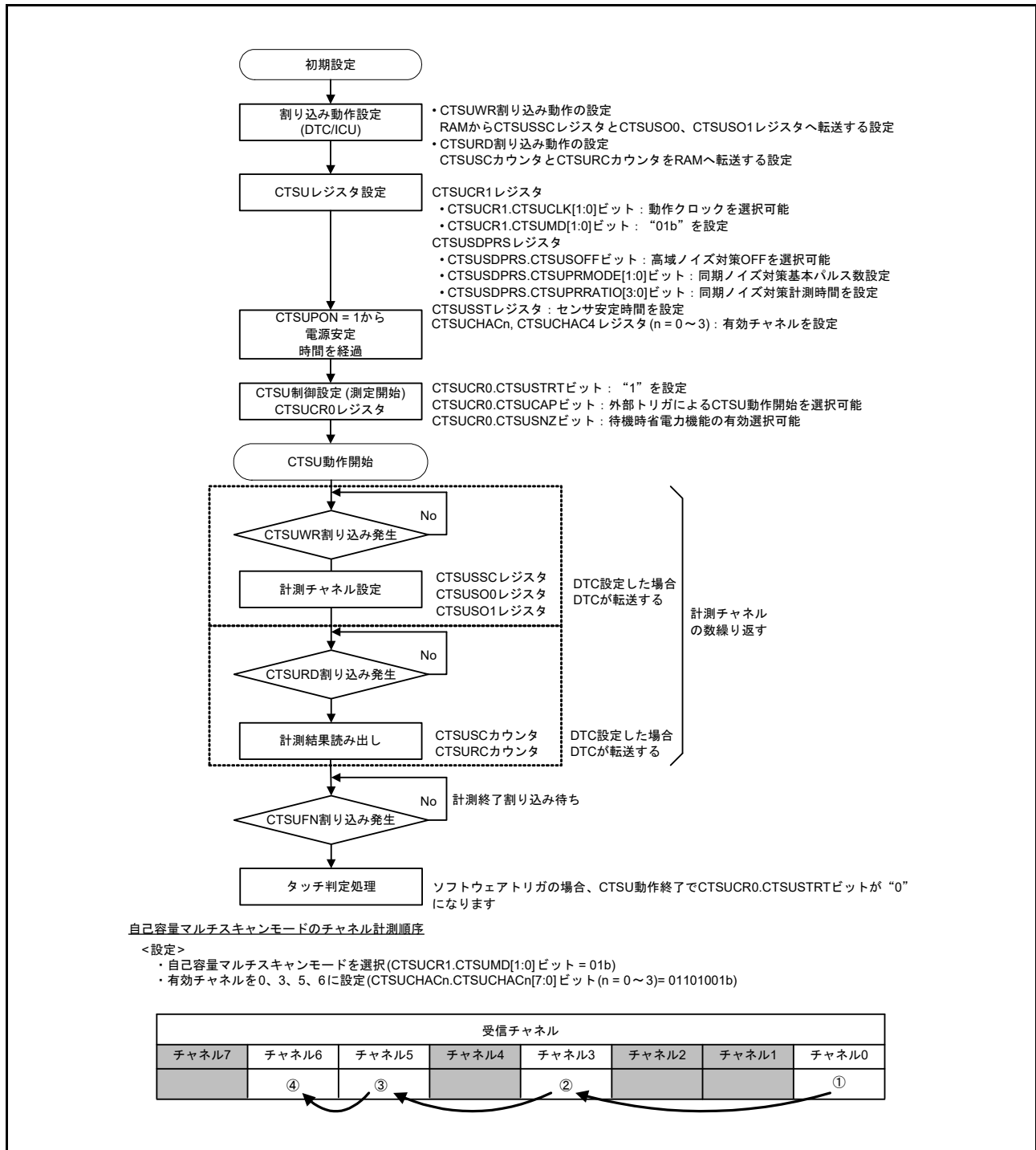


図 42.14 自己容量マルチスキャンモードのソフトウェアフローと動作例

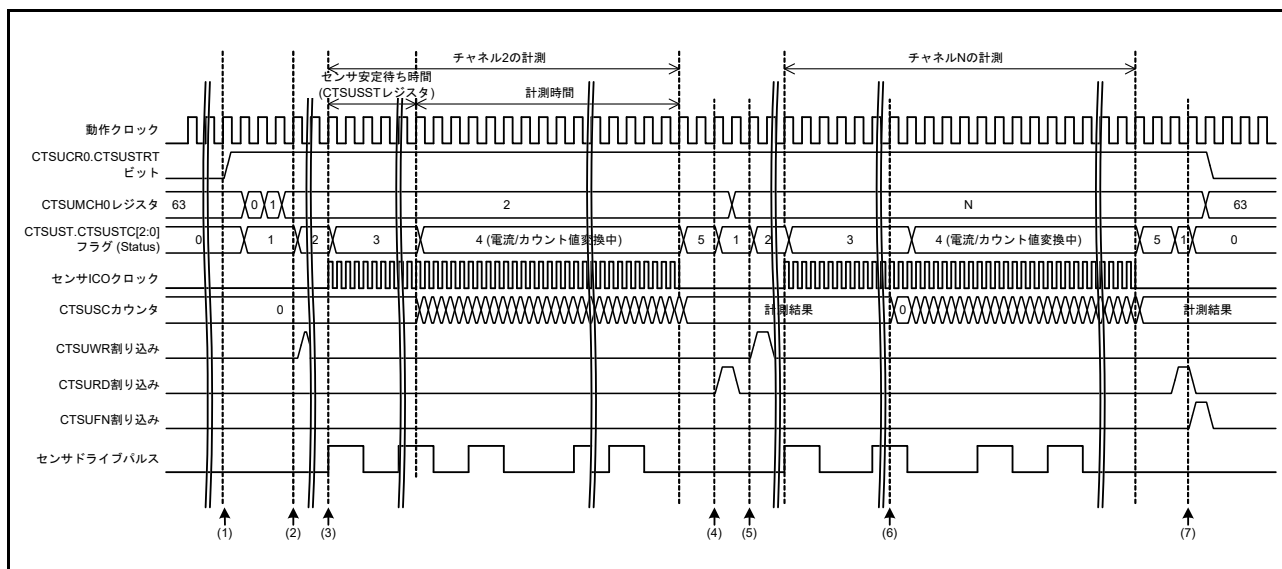


図 42.15 自己容量マルチスキャンモードのタイミングチャート (計測開始条件がソフトウェアトリガの場合)

図 42.15 のタイミングチャートの動作説明は以下のとおりです。

- (1) 各種設定を実施後、CTSUCR0.CTSUSTRT ビットに“1”を書き込むと開始します。
- (2) あらかじめ設定された条件に従い、計測するチャンネルが決定された後に、当該チャンネルの設定要求 (CTSUWR) を出力します。
- (3) 計測チャンネルの設定書き込み (CTSUSSC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。
- (4) センサ安定待ち時間、計測時間を経過して計測が終了した後、計測結果読み出し要求 (CTSURD) を出力します。
- (5) 次に計測するチャンネルが決定した後、計測チャンネルの設定要求 (CTSUWR) を出力します。
- (6) 安定待ち時間の経過、および前回の計測結果の読み出しによって、前回の計測結果をクリアし、計測を開始します。
- (7) すべてのチャンネル計測が完了したら、計測終了割り込み (CTSUFN) を出力して計測を終了 (Status0 へ遷移) します。

表 42.7 に自己容量マルチスキャンモードのタッチ端子状態を示します。

表 42.7 自己容量マルチスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測チャンネル	非計測チャンネル
0	Low	Low
1	Low	Low
2	Low	Low
3	パルス	Low
4	パルス	Low
5	Low	Low

42.3.2.5 相互容量フルスキャンモード動作

相互容量フルスキャンモードは、受信チャンネルのセンサドライブパルスの High 期間に対して、計測対象の送信チャンネルにエッジを印加して計測を行います。1 計測対象に対して立ち上がりエッジと立ち下がりエッジの 2 回の計測を実施します。この 2 回の計測データの差分からタッチ判定を行い、より高いタッチ感度を実現します。

計測チャンネルは CTSUCHTRCn レジスタ (n = 0 ~ 3)、CTSUCHTRC4 レジスタで設定した送信、受信と CTSUCHACn レジスタ (n = 0 ~ 3)、CTSUCHAC4 レジスタで計測対象に設定したチャンネルに対して静電容量を順次計測します。計測対象の端子に対して送信と受信を割り当て、総当たりで計測します。図 42.16 にソフトウェアフローと動作例を、図 42.17 にタイミングチャートを示します。

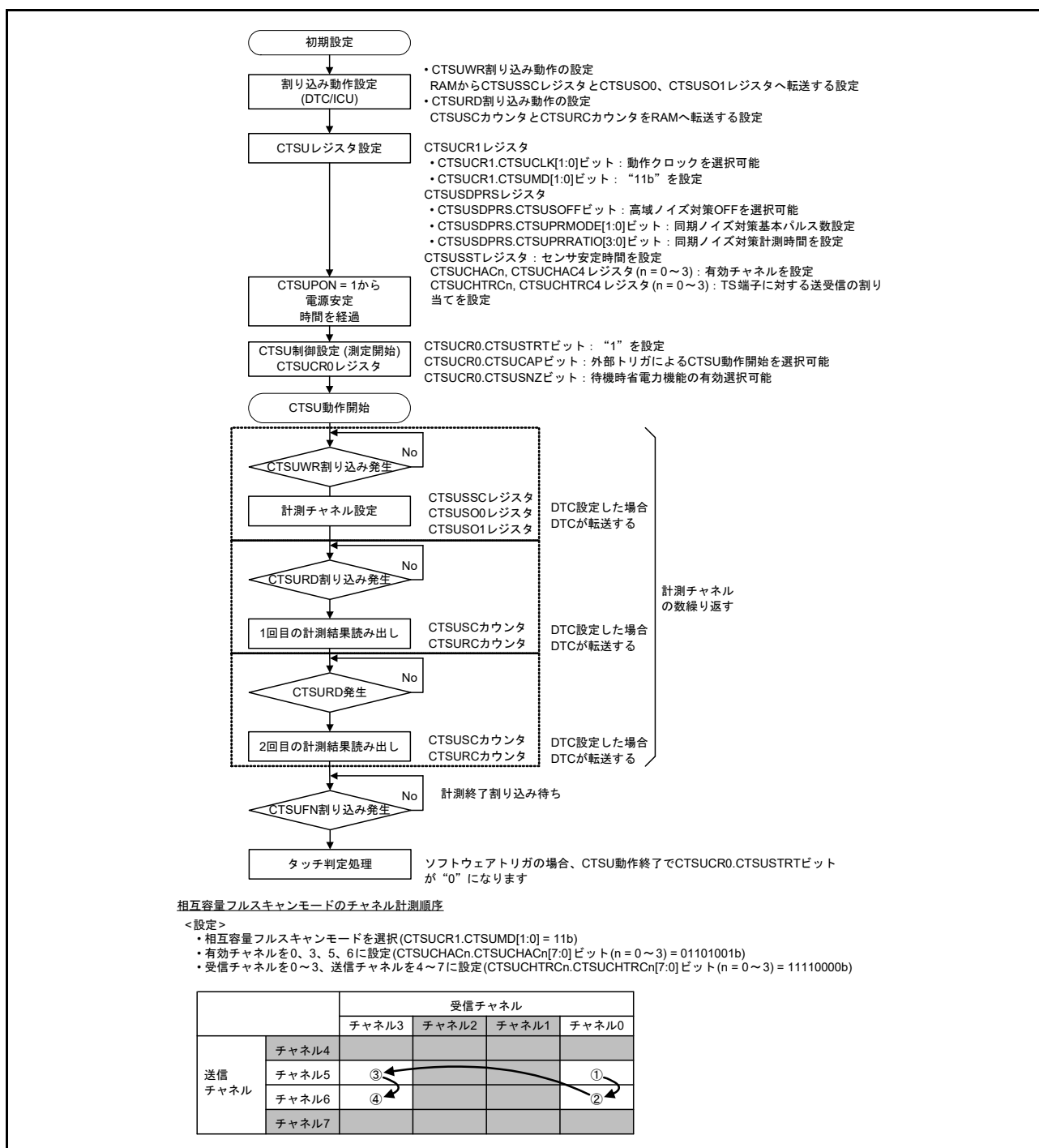


図 42.16 相互容量フルスキャンモードのソフトウェアフローと動作例

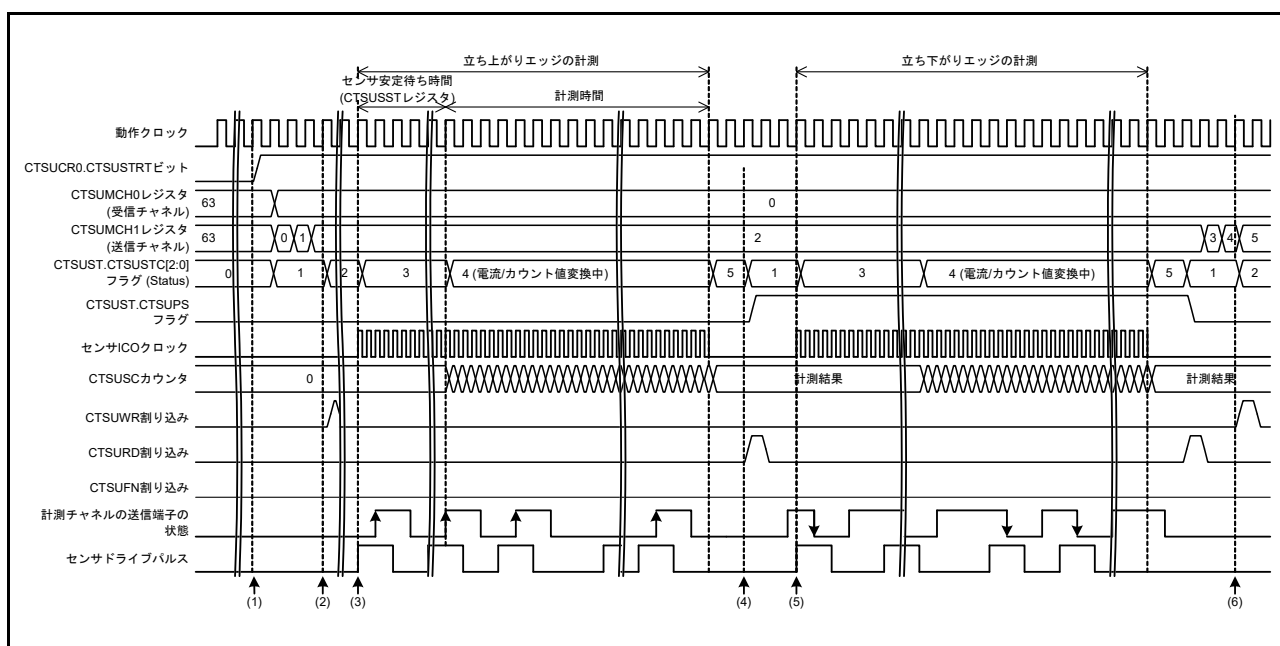


図 42.17 相互容量フルスキャンモードのタイミングチャート (計測開始条件がソフトウェアトリガの場合)

図 42.17 のタイミングチャートの動作説明は以下のとおりです。

- (1) 各種設定を実施後、CTSUCR0.CTSUSTRT ビットに“1”を書き込むと開始します。
- (2) あらかじめ設定された条件に従い、計測するチャンネルが決定された後に、当該チャンネルの設定要求 (CTSUWR) を出力します。
- (3) 計測チャンネルの設定書き込み (CTSUSSC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ IC クロックとリファレンス IC クロックが動作します。
同時に、計測チャンネルの送信端子にセンサドライブパルスの High 期間に対して、立ち上がりエッジとなるパルスを出力します。
- (4) センサ安定待ち時間、計測時間を経過して計測が終了した後、計測結果読み出し要求 (CTSURD) を出力します。
- (5) 同一チャンネルに対して、センサドライブパルスの High 期間に対して、立ち下がりエッジとなるパルスを出力した計測を行います。
- (6) 同一チャンネルに対して 2 回の計測が完了した後、次に計測するチャンネルが決定し、同様の計測を行います。
- (7) すべてのチャンネル計測が完了したら計測終了割り込み (CTSUFN) を出力して計測を終了 (Status0 へ遷移) します。

なお、相互容量計測状態フラグ (CTSUST.CTSUPS フラグ) は、Status5 から Status1 へ遷移するタイミングで変化します。

表 42.8 に相互容量フルスキャンモードのタッチ端子状態を示します。

表42.8 相互容量フルスキャンモードのタッチ端子状態

Status	受信チャンネルのタッチ端子		送信チャンネルのタッチ端子		備考
	計測チャンネル	非計測チャンネル	計測チャンネル	非計測チャンネル	
0	Low	Low	Low	Low	—
1	Low	Low	Low/High	Low	—
2	Low	Low	Low	Low	—
3	パルス	Low	パルス	Low	1回目の計測：受信チャンネルと同相のパルス 2回目の計測：受信チャンネルと逆相のパルス
4	パルス	Low	パルス	Low	—
5	Low	Low	Low	Low	—

42.3.3 複数モードに関わる共通事項

42.3.3.1 センサ安定待ち時間と計測時間

図 42.18 にセンサ安定待ち時間と計測時間のタイミングチャートを示します。

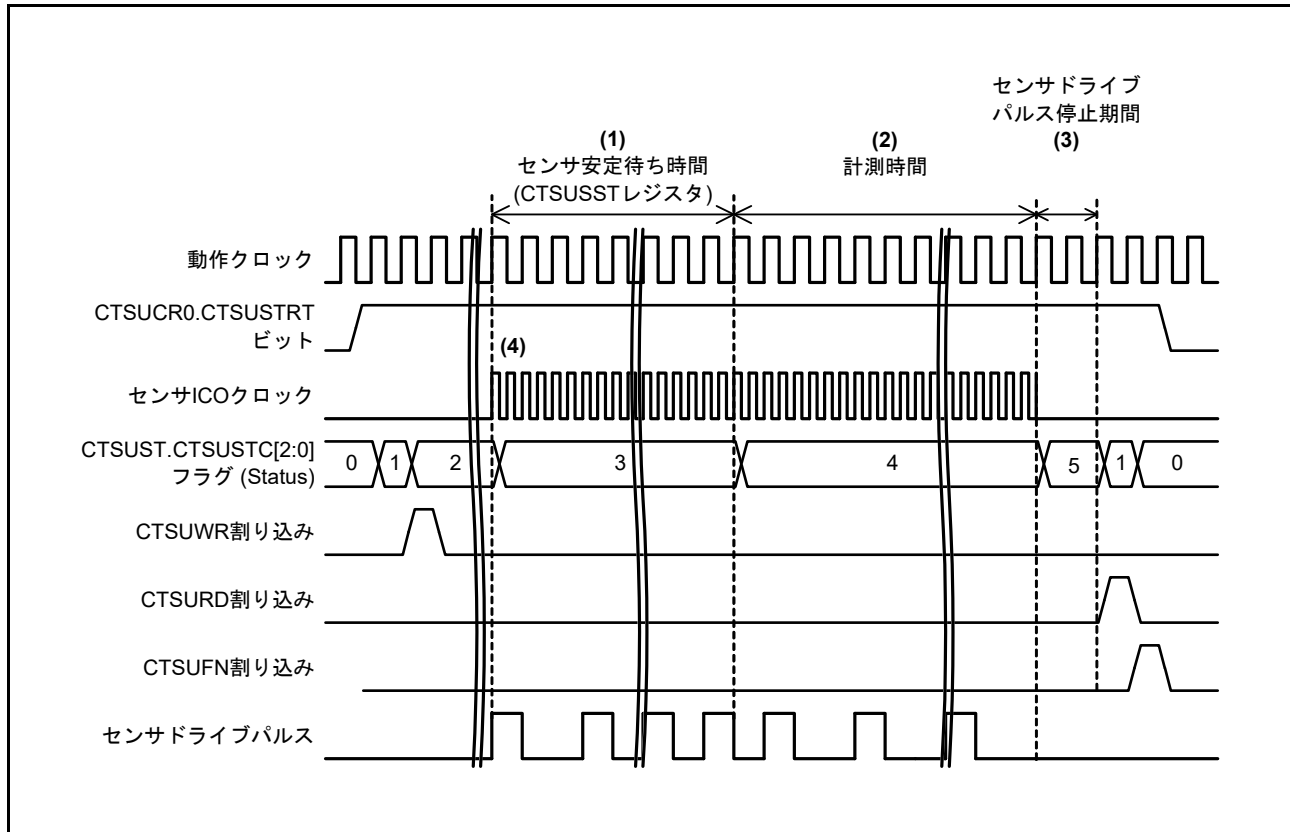


図 42.18 センサ安定待ち時間と計測時間

- (1) CTSUWR 割り込み要求に対して、CTSUSO1 レジスタへライトアクセスすることでセンサドライブパルスの出力を開始し、CTSUSST レジスタで設定した安定時間を待ちます。
- (2) センサ安定時間が経過し、かつ CTSUST.CTSUDTSR フラグが“0”になり、Status4 に遷移することによって計測を開始します。計測時間は、ベースクロックの周期と CTSUSDPRS.CTSUPRMODE[1:0], CTSUPRRATIO[3:0] ビット、CTSUSO0.CTSUSNUM[5:0] ビットで決定します。計測時間が経過すると当該チャンネルの計測を終了します。
- (3) 計測時間経過後、動作クロック 2 サイクルで Status1 へ遷移し、CTSURD 割り込みを発生しますので、CTSUSC カウンタおよび CTSURC カウンタの内容を読み出してください。このとき、センサドライブパルスは Low 出力になります。設定した全チャンネルの計測が完了した場合は、CTSUCR0.CTSUSTRT ビットが“0”になります。
- (4) センサ ICO クロックは、CTSUST.CTSUSTC[2:0] フラグの値が“011b” (Status3) または“100b” (Status4) の期間に発振します。

42.3.3.2 割り込み

CTSUSには、以下の3種類の割り込みがあります。

- チャンネル毎の設定レジスタ書き込み要求割り込み (CTSUSWR)
- 測定データ転送要求割り込み (CTSUSRD)
- 測定終了割り込み (CTSUSFN)

(1) チャンネル毎の設定レジスタ書き込み要求割り込み (CTSUSWR)

計測チャンネルごとの設定データをRAM上に用意しておき、あらかじめCTSUSWR割り込みに対応したDTC/ICUの転送設定を行います。CTSUSWR割り込みはStatus1からStatus2へ遷移したタイミングで出力します。対応するチャンネルの設定データをRAMからCTSUSSSCレジスタとCTSUSO0レジスタ、CTSUSO1レジスタに書き込んでください(図42.19)。CTSUSO1レジスタへのライトアクセスには次のStatusへ遷移する制御があるため、CTSUSO1レジスタを最後に設定してください。

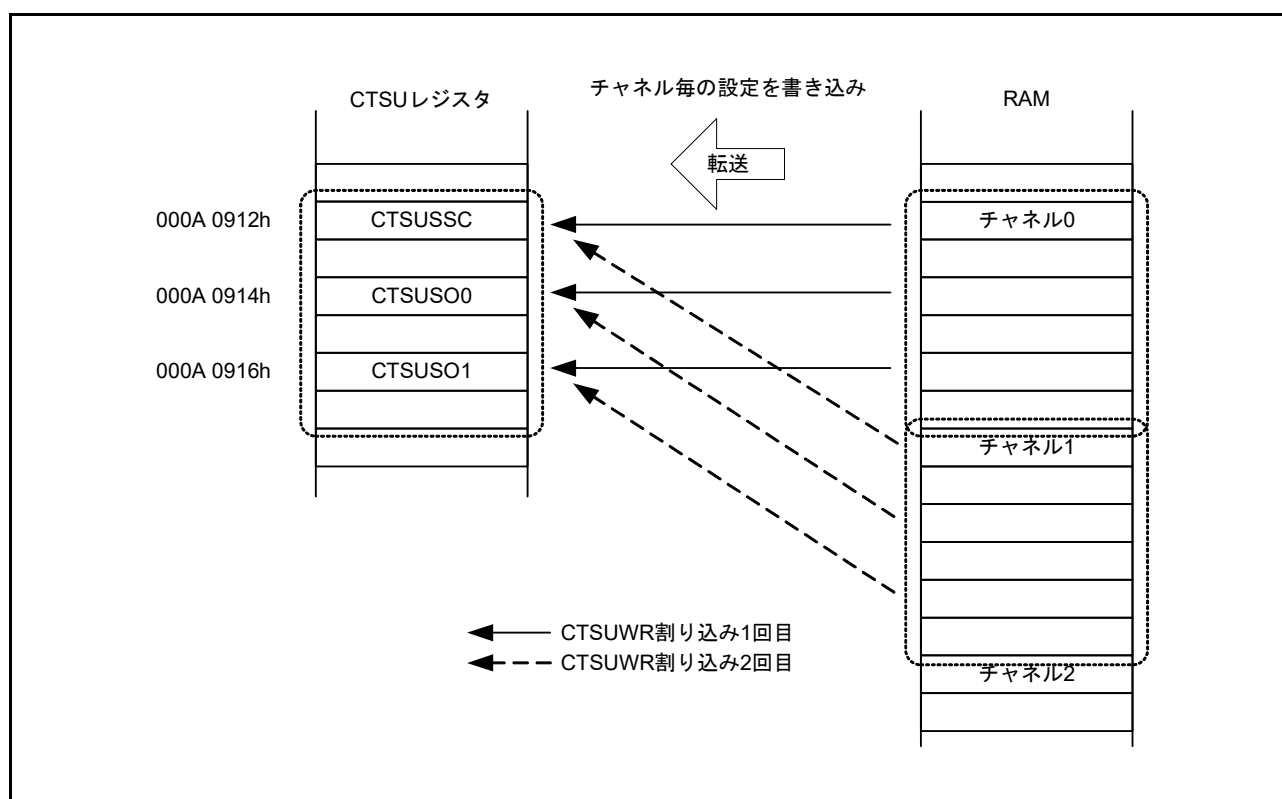


図 42.19 CTSUSWR 割り込みを用いた DTC 転送動作例

設定するレジスタ (CTSUSSSC レジスタと CTSUSO0、CTSUSO1 レジスタ) は、連続したアドレスに配置しています。割り込みが発生したときの動作として以下のとおり設定してください。

- 転送先アドレス : CTSUSSSC レジスタのアドレス
- 転送先アドレスの処理 : 1回の割り込みで2バイトのデータを3回転送(先頭バイトのアドレスは固定)
- 転送元アドレス : RAM上に用意した設定データの最小チャンネルのCTSUSSSCレジスタデータ格納アドレス
- 転送元アドレスの処理 : 1回の割り込みで2バイトのデータを3回転送(先頭バイトのアドレスは前回の割り込み処理から継続)
- 割り込みによる転送回数 : 計測する回数を指定

(2) 測定データ転送要求割り込み (CTSURD)

あらかじめ、CTSURD 割り込みに対応した DTC/ICU の転送設定を行います。1 チャンネル計測終了後の Status5 から Status1 に遷移するタイミングで CTSURD 割り込みを出力します。計測結果を CTSUSC カウンタと CTSURC カウンタから読み出してください(図 42.20)。

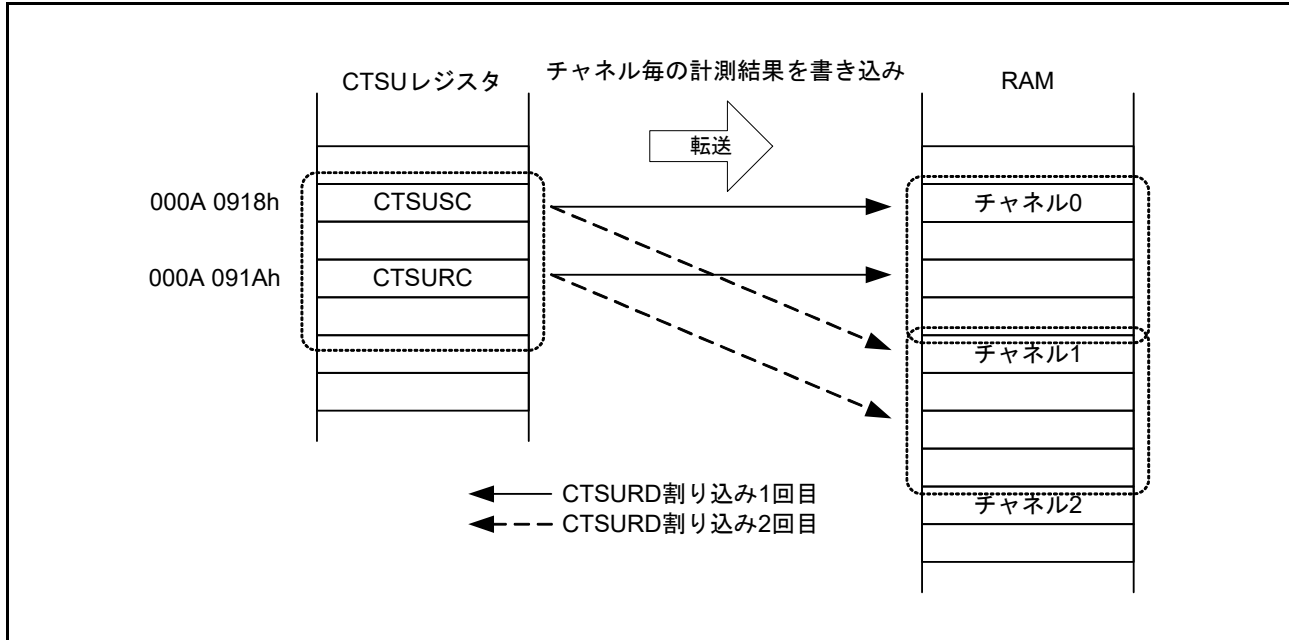


図 42.20 CTSURD 割り込みを用いた DTC 転送動作例

転送元である計測結果レジスタ (CTSUSC カウンタと CTSURC カウンタ) は、連続したアドレスに配置してあります。割り込みが発生したときの動作として以下のとおり設定してください。

- 転送元アドレス : CTSUSC カウンタのアドレス
- 転送元アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 2 回転送 (先頭アドレスは固定)
- 転送先アドレス : RAM 上に用意した設定データの最少チャンネルの CTSUSC カウンタデータ格納アドレス
- 転送先アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 2 回転送 (先頭アドレスは前回の割り込み処理から継続)
- 割り込みによる転送回数 : 計測する回数を指定

(3) 測定終了割り込み (CTSUFN)

すべてのチャンネル計測が終了した Status1 から Status0 に遷移するタイミングで割り込みが発生します。ソフトウェアによるオーバフローフラグ (CTSUST.CTSUSOVF, CTSUROVF フラグ) の確認と読み出された計測結果により、タッチの有無を判定します。

割り込み要求の受付、禁止は割り込み制御部で行います。

42.4 使用上の注意事項

42.4.1 計測結果データ (CTSUSC カウンタ、CTSUSRC カウンタ)

計測中のリードアクセスは禁止です。アクセスした場合は、非同期のため正しくない値を読み出す場合があります。

42.4.2 ソフトウェアトリガ

CTSUCR1.CTSUCLK[1:0] ビットで“10b” (PCLK/4) を選択した場合、計測完了後に、CTSUCR0.CTSUSTRT ビットへの“1”書き込みを再開させる場合は、割り込み発生から3サイクル以上待ってから書き込むようにしてください。

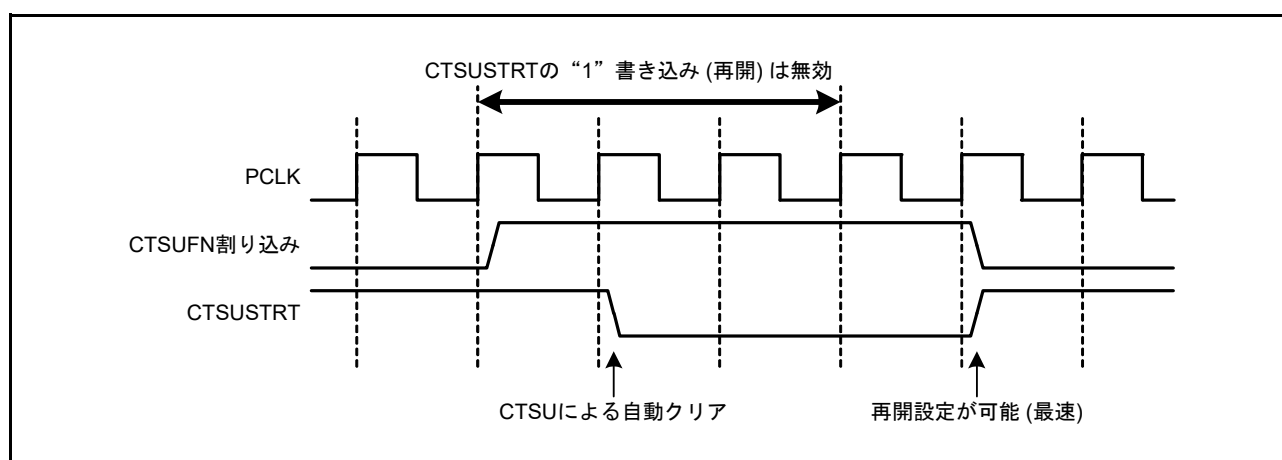


図 42.21 再開時の注意事項

42.4.3 外部トリガ

- 計測時間中に外部トリガが入力された場合、計測は開始されません。次の外部イベントは、CTSUFN 割り込みが発生した動作クロックの1サイクル後から有効になります。
- 外部トリガモードを終了する場合は、CTSUCR0.CTSUSTRT ビットの“0”と CTSUCR0.CTSUINIT ビットの“1”の同時書き込み(強制停止)で停止します。

42.4.4 強制停止の注意事項

動作中に強制停止させる場合は、CTSUCR0.CTSUSTRT ビットの“0”と CTSUCR0.CTSUINIT ビットの“1”を同時に書き込んでください。動作が停止し、内部制御レジスタが初期化されます。

CTSUCR0.CTSUINIT ビットによる初期化では、内部計測状態の初期化に加え、以下のレジスタが初期化されます。

- CTSUMCH0 レジスタ
- CTSUMCH1 レジスタ
- CTSUST レジスタ
- CTSUSC カウンタ
- CTSURC カウンタ

また強制停止した場合、内部状態によっては割り込み要求が発生することがあります。強制停止後、DTC や ICU の停止 / 無効処理を行ってください。

搭載するシステムが何らかの要因で DTC 転送を停止する場合は、CTSUSU に対しても強制終了および初期化処理を行ってください。


42.4.5 TSCAP 端子

TSCAP 端子には、CTSUSU の内部電圧を安定させるためのコンデンサを接続する必要があります。TSCAP 端子とコンデンサの間、およびコンデンサと GND の間の配線は、できるだけ太く、短くしてください。

TSCAP 端子に接続されたコンデンサは、スイッチを ON (CTSUCR1.CTSUCSW ビット = 1) にして接続する前に、I/O ポート制御により Low を出力させ、十分に放電させてください。

42.4.6 計測動作中 (CTSUCR0.CTSUSTRT ビット = 1) の注意事項

計測動作中 (CTSUCR0.CTSUSTRT ビット = 1) に、上位システムから「周辺モジュールクロックを停止」や「タッチ端子 (TS 端子、TSCAP 端子) に関わるポート設定変更」を行わないでください。

本制約を違反する制御をした場合は、強制停止 (CTSUCR0.CTSUSTRT ビット = 0、CTSUCR0.CTSUINIT ビット = 1) 後、CTSUCR1.CTSUPON ビットと CTSUCR1.CTSUCSW ビットに同時に“0”を書き込み、CTSUCR0.CTSUSNZ ビットに“0”を設定し、 42.9 の初期設定フローから再開するようにしてください。

43. 12ビットA/Dコンバータ (S12ADE)

本章に記載している PCLK とは PCLKB を指します。

43.1 概要

本 MCU は、逐次比較方式の 12 ビットの A/D コンバータを 1 ユニット内蔵しています。最大 24 チャンネルのアナログ入力と温度センサ出力、内部基準電圧を選択できます。

12 ビット A/D コンバータは、選択した最大 24 チャンネルのアナログ入力、温度センサ出力または内部基準電圧を逐次比較方式で 12 ビットのデジタル値に変換します。動作モードは、任意に選択した最大 24 チャンネルのアナログ入力を若いチャンネル番号順に 1 回のみ変換するシングルスキャンモードと、任意に選択した最大 24 チャンネルのアナログ入力を順次若いチャンネル番号順に連続して変換する連続スキャンモードと、最大 24 チャンネルのアナログ入力を任意に選択して 2 つのグループ (グループ A とグループ B) に分け、グループ単位で選択したチャンネルのアナログ入力を若いチャンネル番号順に変換するグループスキャンモードがあります。

グループスキャンモードでは、グループ A とグループ B のスキャン開始条件 (同期トリガ) を個別に選択することで、グループ A とグループ B は異なるタイミングで A/D 変換を開始することができます。グループ A の優先制御動作を設定すると、前述の動作に加えてグループ B の A/D 変換動作中にグループ A のスキャン開始を受け付けて、グループ B の A/D 変換動作を中断して、グループ A の A/D 変換動作を優先的に開始します。

ダブルトリガモードは、任意に選択した 1 チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード (グループ A) で変換し、1 回目の同期トリガで変換したデータと 2 回目の同期トリガで変換したデータを別々のレジスタに格納 (A/D 変換データの二重化) します。

自己診断は、スキャンごとの最初に 1 回実施され、12 ビット A/D コンバータ内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

温度センサ出力と内部基準電圧の両方を同時に選択することはできません。温度センサ出力または内部基準電圧は、それぞれ単独で A/D 変換を行ってください。

高電位側基準電圧には外部端子入力 (VREFH0) かアナログ基準電圧 (AVCC0) から選択することができます。低電位側基準電圧には外部端子入力 (VREFL0) かアナログ基準電圧 (AVSS0) を選択することができます。

コンペア機能 (ウィンドウ A、ウィンドウ B) を有しています。ウィンドウ A/B それぞれに High 側、Low 側の基準値を指定し、選択したチャンネルの A/D 変換値が比較条件に一致した場合、イベント条件 (A or B、A and B、A exor B) に応じて ELC イベント (S12ADWMELC/S12ADWUMELC) を出力します。また、A/D 変換値と Low 側基準値を比較するコンパレータ動作も可能です。

A/D データ格納バッファは、A/D 変換データを順番に格納する 16 本からなるリングバッファです。

表 43.1 に 12 ビット A/D コンバータの仕様を、表 43.2 に 12 ビット A/D コンバータの機能概要を示します。図 43.1 に 12 ビット A/D コンバータのブロック図を示します。

表43.1 12ビットA/Dコンバータの仕様 (1/2)

項目	内容
ユニット数	1ユニット
入力チャンネル	24チャンネル
拡張アナログ機能	温度センサ出力、内部基準電圧
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャンネル当たり 0.83 μ s (A/D変換クロック ADCLK = 54MHz動作時)
A/D変換クロック	周辺モジュールクロックPCLK(注1)とA/D変換クロックADCLK(注1)を以下の周波数比で設定可能 PCLK : ADCLK周波数比 = 1 : 1、1 : 2、2 : 1、4 : 1、8 : 1 ADCLKの設定はクロック発生回路で行います
データレジスタ	<ul style="list-style-type: none"> アナログ入力用24本、ダブルトリガモードでのA/D変換データ二重化用1本 温度センサ用1本 内部基準電圧用1本 自己診断用1本 A/D変換結果を12ビットA/Dデータレジスタに保持 A/D変換結果の12ビット精度出力に対応 加算モード時はA/D変換結果の加算値を変換精度ビット数+2ビット/4ビット(注2)でA/Dデータレジスタに保持 ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能) 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目は対象チャンネルのデータレジスタに保持、2回目のA/D変換データは二重化レジスタに保持
動作モード	<ul style="list-style-type: none"> シングルスキャンモード : 任意に選択した最大24チャンネルのアナログ入力を1回のみA/D変換 温度センサ出力を1回のみA/D変換 内部基準電圧を1回のみA/D変換 連続スキャンモード : 任意に選択した最大24チャンネルのアナログ入力を繰り返しA/D変換 グループスキャンモード : 任意に選択した最大24チャンネルのアナログ入力をグループAとグループBに分け、グループ単位で選択したアナログ入力を1回のみA/D変換 グループAとグループBは、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 グループスキャンモード(グループA優先制御選択時) グループBのA/D変換動作中にグループAのトリガ入力があった場合、グループBのA/D変換動作を中断し、グループAのA/D変換動作を実施 グループAのA/D変換動作終了後、グループBのA/D変換動作を再実行(再スキャン)の設定が可能
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ マルチファンクションタイムパルスユニット(MTU)、イベントリンクコントローラ(ELC)、16ビットタイムパルスユニット(TPU)からのトリガ 非同期トリガ 外部トリガADTRG0#端子によるA/D変換動作の開始が可能
機能	<ul style="list-style-type: none"> サンプリングステート数可変機能 12ビットA/Dコンバータの自己診断機能 A/D変換値加算モードと平均モードが選択可能 アナログ入力断線検出機能(ディスチャージ機能/プリチャージ機能) ダブルトリガモード(A/D変換データ二重化機能) A/Dデータレジスタオートクリア機能 コンペア機能(ウィンドウA、ウィンドウB) コンペア機能使用時のリングバッファ(16本)
割り込み要因	<ul style="list-style-type: none"> ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求(GBADI)を発生 グループスキャンモードでダブルトリガモード選択時は、グループAの2回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求(GBADI)を発生 S12ADI0、GBADI割り込みでDMAコントローラ(DMAC)、データトランスファコントローラ(DTC)を起動可能

表43.1 12ビットA/Dコンバータの仕様 (2/2)

項目	内容
イベントリンク機能	<ul style="list-style-type: none"> グループスキャンモードでのグループBのスキャン終了を除くスキャン終了時にELCイベント発生 グループスキャンモードでのグループBのスキャン終了時にELCイベント発生 すべてのスキャン終了時にELCイベント発生 ELCからのトリガによりスキャン開始可能 シングルスキャンモードでのウィンドウコンペア機能のイベント条件に応じて、ELCイベント発生
消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ状態への設定が可能(注3、注4)

注1. 周辺モジュールクロックPCLKはSCKCR.PCKB[3:0]ビットで設定した周波数、A/D変換クロックADCLKはSCKCR.PCKD[3:0]ビットで設定した周波数になります。

注2. 加算時の拡張ビット数は、加算回数により異なります。

2ビット拡張：1～4回変換(0～3回加算)

4ビット拡張：16回変換(15回加算)

注3. 詳細は、「11. 消費電力低減機能」を参照してください。

注4. モジュールストップ状態を解除後は、1μs以上待ってからA/D変換を開始してください。

表43.2 12ビットA/Dコンバータの機能概要

項目		端子名、略称等		
アナログ入力チャネル		AN000～AN007、 AN016～AN031、 温度センサ出力、内部基準電圧		
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能	
	非同期トリガ	ADTRG0#	可能	
	同期トリガ	MTU0.TGRAのコンペアマッチ/インプットキャプチャ		TRG0AN
		MTU0.TGRBのコンペアマッチ/インプットキャプチャ		TRG0BN
		MTU0～MTU4のTGRAのコンペアマッチ/インプットキャプチャまたは相補PWMモード時のMTU4.TCNTのアンダフロー(谷)		TRGAN
		MTU0.TGREのコンペアマッチ		TRG0EN
		MTU0.TGRFのコンペアマッチ		TRG0FN
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ(割り込み間引き機能)		TRG4AN
		MTU4.TADCORBとMTU4.TCNTのコンペアマッチ(割り込み間引き機能)		TRG4BN
		MTU4.TADCORAとMTU4.TCNT、MTU4.TADCORBとMTU4.TCNTコンペアマッチ(割り込み間引き機能)		TRG4ABN
		TPU0～TPU4のTGRAのコンペアマッチ/インプットキャプチャまたはTPU0.TGRAのコンペアマッチ/インプットキャプチャ		TRGAN1 TRG4ABN1
ELCからのトリガ		可能		
割り込み		S12ADI0、GBADI割り込み		
モジュールストップ機能の設定(注1)		MSTPCRA.MSTPA17ビット		

注1. 詳細は、「11. 消費電力低減機能」を参照してください。

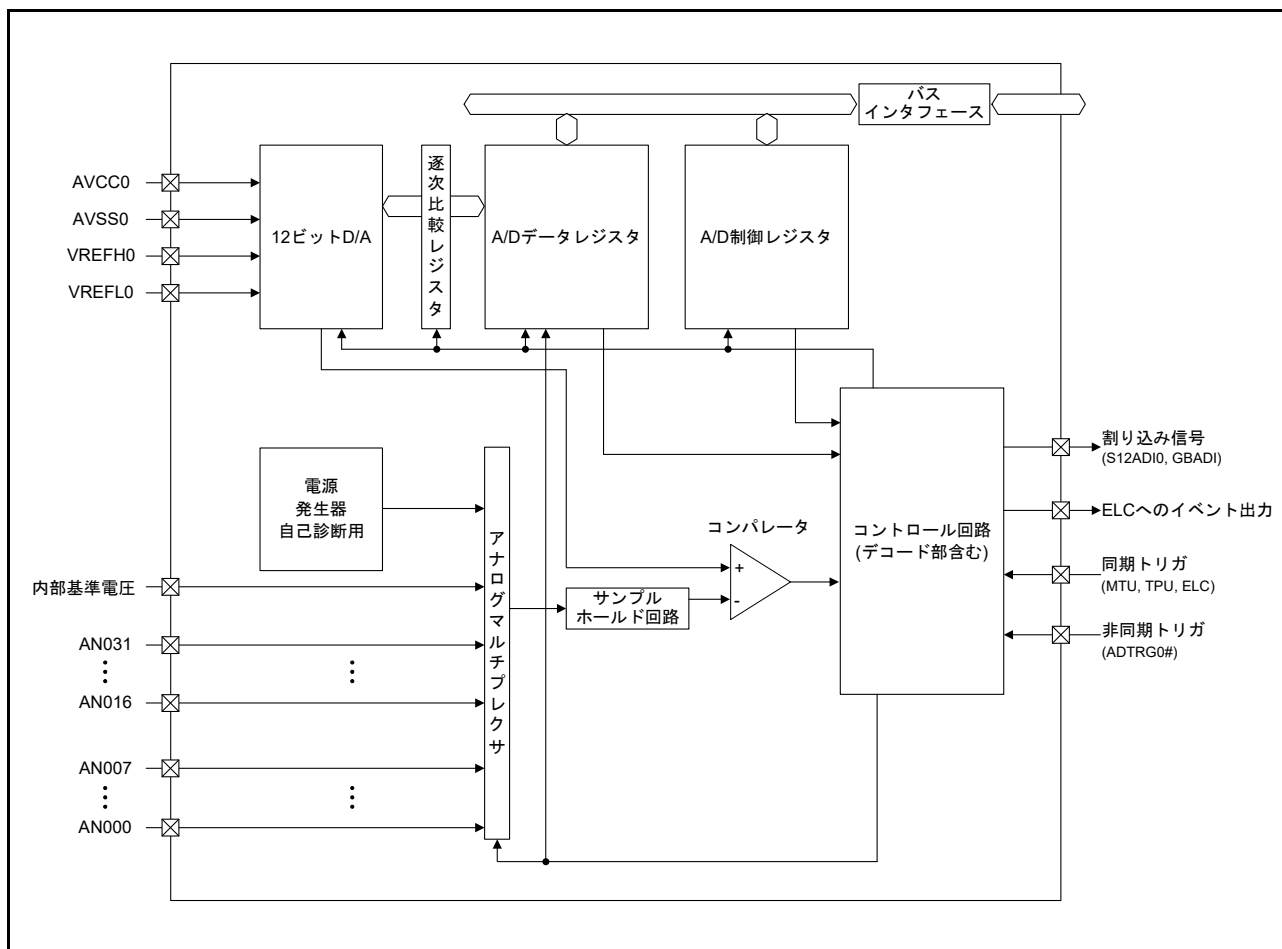


図 43.1 12ビットA/Dコンバータのブロック図

表 43.3 に 12ビット A/D コンバータで使用する入力端子を示します。

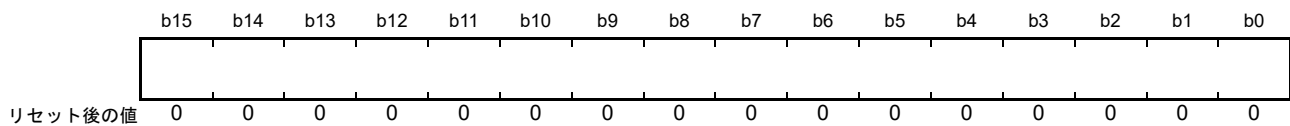
表 43.3 12ビットA/Dコンバータの入力端子

端子名	入出力	機能
AVCC0	入力	アナログ部の電源端子
AVSS0	入力	アナログ部のグランド端子
VREFH0	入力	基準電源端子
VREFL0	入力	基準電源グランド端子
AN000～AN007, AN016～AN031	入力	アナログ入力端子0～7、アナログ入力端子16～31
ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子

43.2 レジスタの説明

43.2.1 A/D データレジスタ y (ADDRy)、 A/D データ二重化レジスタ (ADDBLDR)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR)

アドレス S12AD.ADDR0 0008 9020h, S12AD.ADDR1 0008 9022h, S12AD.ADDR2 0008 9024h,
S12AD.ADDR3 0008 9026h, S12AD.ADDR4 0008 9028h, S12AD.ADDR5 0008 902Ah,
S12AD.ADDR6 0008 902Ch, S12AD.ADDR7 0008 902Eh, S12AD.ADDR16 0008 9040h,
S12AD.ADDR17 0008 9042h, S12AD.ADDR18 0008 9044h, S12AD.ADDR19 0008 9046h,
S12AD.ADDR20 0008 9048h, S12AD.ADDR21 0008 904Ah, S12AD.ADDR22 0008 904Ch,
S12AD.ADDR23 0008 904Eh, S12AD.ADDR24 0008 9050h, S12AD.ADDR25 0008 9052h,
S12AD.ADDR26 0008 9054h, S12AD.ADDR27 0008 9056h, S12AD.ADDR28 0008 9058h,
S12AD.ADDR29 0008 905Ah, S12AD.ADDR30 0008 905Ch, S12AD.ADDR31 0008 905Eh,
S12AD.ADBLDR 0008 9018h, S12AD.ADTSDR 0008 901Ah, S12AD.ADOCDR 0008 901Ch



ADDRy レジスタ (y = 0 ~ 7, 16 ~ 31) は、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADOCDR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

各レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)
- 加算回数選択ビット (ADADC.ADC[2:0]) の設定値 (1 回、2 回、3 回、15 回加算)
- 平均モードイネーブルビット (ADADC.AVEE) の設定値 (加算、または平均)

以下、条件ごとのフォーマットを示します。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めのフォーマットに設定した場合
b11-b0 に A/D 変換値を格納します。読み出し時、b15-b12 は“0”が読み出されます。
- 左詰めのフォーマットに設定した場合
b15-b4 に A/D 変換値を格納します。読み出し時、b3-b0 は“0”が読み出されます。

(2) A/D 変換値平均モードを選択した場合

- 右詰めのフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値を平均した値を格納します。読み出し時、b15-b12 は“0”が読み出されます。
- 左詰めのフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値を平均した値を格納します。読み出し時、b3-b0 は“0”が読み出されます。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

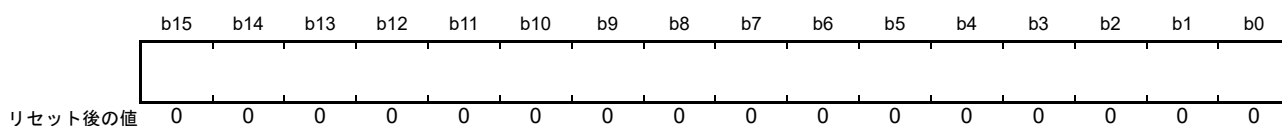
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回 ~ 4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。読み出し時、b15-b14 は“0”が読み出されます。

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合 b15-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合 b15-b2 に同一チャンネルの A/D 変換値を加算した値を格納します。読み出し時、b1-b0 は“0”が読み出されます。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合 b15-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。

A/D 変換値加算モードを選択したとき、同一チャンネルの A/D 変換値を加算した値を示します。A/D 変換回数を 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、変換回数を 1 回～4 回に設定した場合は、A/D 変換結果の加算値を変換精度のビット数に 2 ビット分拡張したデータとして、変換回数を 16 回に設定した場合は、A/D 変換結果の加算値を変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに保持します。A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

43.2.2 A/D 自己診断データレジスタ (ADRD)

アドレス S12AD.ADRD 0008 901Eh



ADRD レジスタは、12ビットA/Dコンバータの自己診断でA/D変換した結果を格納する16ビットの読み出し専用レジスタです。A/D変換値に加えて、自己診断のステータスが付加されます。ADRDレジスタは下記の条件でフォーマットが異なります。

- A/Dデータレジスタフォーマット選択ビット(ADCER.ADRFMT)の設定値(右詰め、または左詰め)

AD自己診断機能にはA/D変換加算モードとA/D変換平均モードを適用することはできません。自己診断の詳細については「43.2.11 A/Dコントロール拡張レジスタ(ADCER)」を参照してください。

以下、条件ごとのフォーマットを示します。

- 右詰めフォーマットに設定した場合
b11-b0にA/D変換値を格納します。b15-b14に自己診断ステータスを格納します。読み出し時、b13-b12は“0”が読み出されます。
- 左詰めフォーマットに設定した場合
b15-b4にA/D変換値を格納します。b1-b0に自己診断ステータスを格納します。読み出し時、b3-b2は“0”が読み出されます。

表43.4 自己診断ステータス内容

右詰めフォーマット時のb15-b14 左詰めフォーマット時のb1-b0	自己診断ステータス
00b	パワーオンから一度も自己診断を実施していないことを示します
01b	0Vの電圧値の自己診断を実施したことを示します
10b	基準電圧×1/2の電圧値の自己診断を実施したことを示します
11b	基準電圧の電圧値の自己診断を実施したことを示します

注. 自己診断の詳細については、「43.2.11 A/Dコントロール拡張レジスタ(ADCER)」を参照してください。

43.2.3 A/D コントロールレジスタ (ADCSR)

アドレス S12AD.ADCSR 0008 9000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS[1:0]	ADIE	—	ADHSC	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャンネル選択ビット	ダブルトリガ対象のアナログ入力を1チャンネル選択します。ダブルトリガモード選択時のみ有効です	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	GBADIE	グループBスキャン終了割り込み許可ビット	0: グループBのスキャン終了後にGBADI割り込み発生を禁止 1: グループBのスキャン終了後にGBADI割り込み発生を許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット (注1)	0: 同期トリガによるA/D変換の開始を選択 1: 非同期トリガによるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b10	ADHSC	A/D変換動作選択ビット	0: 高速変換動作 1: 低電流変換動作	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0: スキャン終了後のS12ADI0割り込み発生を禁止 1: スキャン終了後のS12ADI0割り込み発生を許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタートビット	0: A/D変換停止 1: A/D変換開始	R/W

注1. 外部端子(非同期トリガ)でA/D変換を起動する方法
外部端子(ADTRG0#)にHighを入力した状態で、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。その後、ADTRG0#の信号をLowに変化させると、ADTRG0#の立ち上がりエッジを検出し、スキャン変換を開始します。このときのLow入力のパルス幅は、1.5PCLKクロック以上が必要です。

ADCSRレジスタは、ダブルトリガモードの設定、A/D変換起動トリガの設定、スキャン終了割り込み許可/禁止、スキャンモードの選択、A/D変換の開始/停止を行うレジスタです。

DBLANS[4:0] ビット (ダブルトリガ対象チャンネル選択ビット)

ダブルトリガモードでA/D変換データを二重化する1チャンネルを選択します。

DBLANS[4:0]ビットで選択したチャンネルのアナログ入力を、1回目のA/D変換開始トリガで変換した結果がA/Dデータレジスタyに格納され、2回目のA/D変換開始トリガで変換した結果がA/Dデータ二重化レジスタに格納されます。表43.5にダブルトリガ対象チャンネルの選択表を示します。

ダブルトリガモードを選択した場合は、ADANSA0、ADANSA1レジスタで選択したチャンネルの選択は無効になり、DBLANS[4:0]ビットで選択した1チャンネルがA/D変換を行うチャンネルとなります。

ダブルトリガモードを使用する場合は、自己診断機能、温度センサ出力および内部基準電圧のA/D変換は選択しないでください(グループスキャンのグループBのA/D変換には温度センサ出力および内部基準電圧を選択することができます)。また、DBLANS[4:0]ビットは、ADSTビットが“0”のときに設定してください(ADSTビットへの“1”書き込みと同時に設定もしないでください)。

なお、ダブルトリガモードを設定した状態でのA/D変換値加算/平均モードは、DBLANS[4:0]ビットで選択したチャンネルをADANSA0、ADANSA1レジスタで選択することで実行可能です。

表43.5 DBLANS[4:0]ビット設定値とダブルトリガ対象チャンネルの関係

DBLANS[4:0]	二重化チャンネル	DBLANS[4:0]	二重化チャンネル	DBLANS[4:0]	二重化チャンネル
00000b	AN000	10000b	AN016	11000b	AN024
00001b	AN001	10001b	AN017	11001b	AN025
00010b	AN002	10010b	AN018	11010b	AN026
00011b	AN003	10011b	AN019	11011b	AN027
00100b	AN004	10100b	AN020	11100b	AN028
00101b	AN005	10101b	AN021	11101b	AN029
00110b	AN006	10110b	AN022	11110b	AN030
00111b	AN007	10111b	AN023	11111b	AN031

GBADIEビット(グループBスキャン終了割り込み許可ビット)

グループスキャンモードでのグループBのスキャン終了割り込み(GBADI)の発生を許可/禁止します。

DBLEビット(ダブルトリガモード選択ビット)

ダブルトリガモードは、1回目の同期トリガで変換された結果と2回目で変換された結果を別々の結果レジスタに格納する機能です。

ダブルトリガモードを選択した場合、ADANSA0、ADANSA1レジスタで指定したチャンネルは無効となり、DBLANS[4:0]ビットで選択したチャンネルが有効となります。ADSTRGR.TRSA[5:0]ビットで選択された同期トリガのみで動作します。非同期トリガ、およびソフトウェアトリガは発生させないでください。1回目の同期トリガで変換した結果は、A/Dデータレジスタyに格納され、2回目の同期トリガで変換した結果は、A/Dデータ二重化レジスタに格納されます。このとき、ADIEビットが“1”に設定していると、1回目の変換終了時は割り込みを発生せず、2回目の変換終了時に割り込みを発生します。

なお、ダブルトリガモードは、連続スキャンモードで使用しないでください。

DBLEビットの設定は、あらかじめADSTビットを“0”にしてから行ってください。

EXTRGビット(トリガ選択ビット)

A/D変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

TRGEビット(トリガ開始許可ビット)

同期トリガ、非同期トリガによるA/D変換の起動を許可/禁止します。

グループスキャンモードでは、このビットを“1”にしてください。

ADHSCビット(A/D変換動作選択ビット)

A/D変換の動作モードを設定します。

ADHSCビットを書き換える場合は、12ビットA/Dコンバータをスタンバイ状態にする必要があります。ADHSCビットの書き換え手順は、「43.8.10 ADHSCビットの書き換え手順」を参照してください。

ADIEビット(スキャン終了割り込み許可ビット)

グループスキャンモードでのグループBを除く、A/Dスキャン変換終了割り込み(S12ADI0)の発生を許可/禁止します。

ダブルトリガモードを非選択に設定した場合は、1回のスキャンが終了したときに、ADIEビットが“1”に設定されていれば、S12ADI0割り込みが発生します。

ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガからのトリガで開始したスキャンに限り、2回目のスキャンが終了したときにADIEビットが“1”に設定されていればS12ADIO割り込みが発生します。

ADCS[1:0] ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA0、ADANSA1 レジスタで選択した最大 24 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADST ビットが“1”の間、ADANSA0、ADANSA1 レジスタで選択した最大 24 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。連続スキャン中にADCSR.ADST ビットを“0”にすると、スキャン中に A/D 変換を停止します。

グループスキャンモードはADSTRGR.TRSA[5:0] ビットで選択した同期トリガを開始条件として、ADANSA0、ADANSA1 レジスタで選択した最大 24 チャンネルのアナログ入力 (グループ A) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。また、同様にADSTRGR.TRSB[5:0] ビットで選択した同期トリガを A/D 変換開始条件として、ADANSB0、ADANSB1 レジスタで選択した最大 24 チャンネルのアナログ入力 (グループ B) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。

グループスキャンモードを選択する場合は、グループ A とグループ B で異なるチャンネルと異なるトリガを選択してください。

温度センサ出力または内部基準電圧を選択する場合は、シングルスキャンモードを選択し、ADANSA0、ADANSA1 レジスタでのチャンネル選択をすべて非選択としてから A/D 変換を行います。選択した温度センサ出力または内部基準電圧の A/D 変換が終了すると停止します。

ADCS[1:0] ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時設定もしないでください)。

ADST ビット (A/D 変換スタートビット)

A/D 変換の開始 / 停止を制御します。

ADST ビットを“1”に設定する前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

["1"になる条件]

- ソフトウェアで“1”を書き込んだとき
- ADCSR.EXTRG ビットに“0”、ADCSR.TRGE ビットに“1”を設定し、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを検出したとき
- グループスキャンモードでADCSR.TRGE ビットに“1”を設定しADSTRGR.TRSB[5:0] ビットで選択した同期トリガを検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを“1”、ADSTRGR.TRSA[5:0] ビットを“000000b”に設定し、非同期トリガを検出したとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット = 01bかつADGSPCR.PGSビット = 1)に、グループ B のトリガを検出し、グループ B の A/D 変換を開始したとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット = 01bかつADGSPCR.PGSビット = 1)に、ADGSPCR.GBRSCN ビットを“1”に設定し、グループ B の A/D 変換を再開したとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット = 01bかつADGSPCR.PGSビット = 1)に、ADGSPCR.GBRP ビットを“1”に設定し、グループ B の A/D 変換を開始したとき

["0" になる条件]

- ソフトウェアで“0”を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネル、温度センサ出力または内部基準電圧のA/D変換が終了したとき
- グループスキャンモードでグループAのスキャンが終了したとき
- グループスキャンモードでグループBのスキャンが終了したとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)に、グループBのA/D変換実行中に、グループAのトリガを検出し、グループBのスキャンが中断されたとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)に、ADGSPCR.GBRSCNビットを“1”に設定し、グループBの再起動トリガによるスキャンが終了したとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)に、ADGSPCR.GBRPビットを“1”に設定し、グループBのトリガによるスキャンが終了したとき

注. グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)、ADSTビットを“1”にしないでください。

注. グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)、かつADGSPCR.GBRPビット=1のとき、ADSTビットを“0”にしないでください。A/D変換を強制停止させる場合、ADSTビットのクリア手順に従ってください。

43.2.4 A/D チャネル選択レジスタ A0 (ADANSA0)

アドレス S12AD.ADANSA0 0008 9004h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	ANSA0 07	ANSA0 06	ANSA0 05	ANSA0 04	ANSA0 03	ANSA0 02	ANSA0 01	ANSA0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D変換チャンネル選択ビット	0 : AN000 ~ AN007を変換対象から外す 1 : AN000 ~ AN007を変換対象とする	R/W
b1	ANSA001			R/W
b2	ANSA002			R/W
b3	ANSA003			R/W
b4	ANSA004			R/W
b5	ANSA005			R/W
b6	ANSA006			R/W
b7	ANSA007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANSA0 レジスタは、A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN007 を選択するレジスタです。グループスキャンモードでは、グループ A のチャンネルを選択します。

ANSA0n ビット (n = 00 ~ 07) (A/D 変換チャンネル選択ビット)

A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN007 の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA000 ビットが AN000 に、ANSA007 ビットが AN007 に対応します。

温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャンネルを選択しないでください(本レジスタ設定値を“0000h”としてください)。

ダブルトリガモードを選択した場合は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

43.2.5 A/D チャネル選択レジスタ A1 (ADANSA1)

アドレス S12AD.ANANSA1 0008 9006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ANSA1 15	ANSA1 14	ANSA1 13	ANSA1 12	ANSA1 11	ANSA1 10	ANSA1 09	ANSA1 08	ANSA1 07	ANSA1 06	ANSA1 05	ANSA1 04	ANSA1 03	ANSA1 02	ANSA1 01	ANSA1 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA100	A/D変換チャネル選択ビット	0 : AN016 ~ AN031 を変換対象から外す 1 : AN016 ~ AN031 を変換対象とする	R/W
b1	ANSA101			R/W
b2	ANSA102			R/W
b3	ANSA103			R/W
b4	ANSA104			R/W
b5	ANSA105			R/W
b6	ANSA106			R/W
b7	ANSA107			R/W
b8	ANSA108			R/W
b9	ANSA109			R/W
b10	ANSA110			R/W
b11	ANSA111			R/W
b12	ANSA112			R/W
b13	ANSA113			R/W
b14	ANSA114			R/W
b15	ANSA115			R/W

ADANSA1 レジスタは、A/D 変換を行うチャネルのアナログ入力 AN016 ~ AN031 を選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

ANSA1n ビット (n = 00 ~ 15) (A/D 変換チャネル選択ビット)

A/D 変換を行うチャネルのアナログ入力 AN016 ~ AN031 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANSA100 ビットが AN016 に、ANSA115 ビットが AN031 に対応します。

温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください(本レジスタ設定値を 0000h としてください)。

ダブルトリガモードを選択した場合は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA1n ビットの設定は無効になります。

ANSA1n ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

43.2.6 A/D チャネル選択レジスタ B0 (ADANSB0)

アドレス S12AD.ADANSB0 0008 9014h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	ANSB0 07	ANSB0 06	ANSB0 05	ANSB0 04	ANSB0 03	ANSB0 02	ANSB0 01	ANSB0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D変換チャネル選択ビット	0 : AN000 ~ AN007を変換対象から外す 1 : AN000 ~ AN007を変換対象とする	R/W
b1	ANSB001			R/W
b2	ANSB002			R/W
b3	ANSB003			R/W
b4	ANSB004			R/W
b5	ANSB005			R/W
b6	ANSB006			R/W
b7	ANSB007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000 ~ AN007 を選択するレジスタです。ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (n = 00 ~ 07) (A/D 変換チャネル選択ビット)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000 ~ AN007 の選択を行います。ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (ADANSA0、ADANSA1 レジスタ、またはダブルトリガモードによる ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル) 以外から設定します。

ANSB000 ビットが AN000 に、ANSB007 ビットが AN007 に対応します。

温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください (本レジスタ設定値を 0000h としてください)。

ANSB0n ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

43.2.7 A/D チャネル選択レジスタ B1 (ADANSB1)

アドレス S12AD.ADANSB1 0008 9016h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ANSB1 15	ANSB1 14	ANSB1 13	ANSB1 12	ANSB1 11	ANSB1 10	ANSB1 09	ANSB1 08	ANSB1 07	ANSB1 06	ANSB1 05	ANSB1 04	ANSB1 03	ANSB1 02	ANSB1 01	ANSB1 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB100	A/D変換チャネル選択ビット	0 : AN016～AN031を変換対象から外す 1 : AN016～AN031を変換対象とする	R/W
b1	ANSB101			R/W
b2	ANSB102			R/W
b3	ANSB103			R/W
b4	ANSB104			R/W
b5	ANSB105			R/W
b6	ANSB106			R/W
b7	ANSB107			R/W
b8	ANSB108			R/W
b9	ANSB109			R/W
b10	ANSB110			R/W
b11	ANSB111			R/W
b12	ANSB112			R/W
b13	ANSB113			R/W
b14	ANSB114			R/W
b15	ANSB115			R/W

ADANSB1 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN016～AN031 を選択するレジスタです。ADANSB1 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB1n ビット (n = 00 ～ 15) (A/D 変換チャネル選択ビット)

ANSB1n ビットは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネル AN016～AN031 の選択を行います。ADANSB1 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (ADANSA0、ADANSA1 レジスタ、またはダブルトリガモードによる ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル) 以外から設定します。

ANSB100 ビットが AN016 に、ANSB115 ビットが AN031 に対応します。

温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください (本レジスタ設定値を 0000h としてください)。

ANSB1n ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

43.2.8 A/D 変換値加算 / 平均機能チャンネル選択レジスタ 0 (ADADS0)

アドレス S12AD.ADADS0 0008 9008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ADS007	ADS006	ADS005	ADS004	ADS003	ADS002	ADS001	ADS000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D変換値加算/平均チャンネル選択ビット	0 : AN000 ~ AN007のA/D変換値加算/平均モード非選択 1 : AN000 ~ AN007のA/D変換値加算/平均モード選択	R/W
b1	ADS001			R/W
b2	ADS002			R/W
b3	ADS003			R/W
b4	ADS004			R/W
b5	ADS005			R/W
b6	ADS006			R/W
b7	ADS007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADS0 レジスタは、A/D 変換を連続 2 ~ 4、16 回実施して加算 (積算)、または平均する A/D 変換チャンネル 00 ~ 07 を選択します。

ADS0n ビット (n = 00 ~ 07) (A/D 変換値加算 / 平均チャンネル選択ビット)

ADANSA0.ANSA0n ビット (n = 00 ~ 07)、または ADCSR.DBLANS[4:0] ビットと ADANSB0.ANSB0n ビット (n = 00 ~ 07) で選択した A/D 変換チャンネルと同一番号の ADS0n ビットを“1”にすると、ADADC.ADC[2:0] ビットで設定した回数 (2 ~ 4、16 回) 分、選択したチャンネルのアナログ入力を連続して A/D 変換し、ADADC.AVEE ビットが“0”の場合、加算 (積算) した値を、ADADC.AVEE ビットが“1”の場合、加算 (積算) 値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS0n ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

43.2.9 A/D 変換値加算 / 平均機能チャンネル選択レジスタ 1 (ADADS1)

アドレス S12AD.ADADS1 0008 900Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADS11 5	ADS11 4	ADS11 3	ADS11 2	ADS11 1	ADS11 0	ADS10 9	ADS10 8	ADS10 7	ADS10 6	ADS10 5	ADS10 4	ADS10 3	ADS10 2	ADS10 1	ADS10 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS100	A/D変換値加算/平均チャンネル選択ビット	0 : AN016 ~ AN031のA/D変換値加算/平均モード非選択 1 : AN016 ~ AN031のA/D変換値加算/平均モード選択	R/W
b1	ADS101			R/W
b2	ADS102			R/W
b3	ADS103			R/W
b4	ADS104			R/W
b5	ADS105			R/W
b6	ADS106			R/W
b7	ADS107			R/W
b8	ADS108			R/W
b9	ADS109			R/W
b10	ADS110			R/W
b11	ADS111			R/W
b12	ADS112			R/W
b13	ADS113			R/W
b14	ADS114			R/W
b15	ADS115			R/W

ADADS1 レジスタは、A/D 変換を連続 2 ~ 4、16 回実施して加算 (積算)、または平均する A/D 変換チャンネル 16 ~ 31 を選択します。

ADS1n ビット (n = 00 ~ 15) (A/D 変換値加算 / 平均チャンネル選択ビット)

ADANSA1.ANSA1n ビット (n = 00 ~ 15)、または ADCSR.DBLANS[4:0] ビットと ADANSB1.ANSB1n ビット (n = 00 ~ 15) で選択した A/D 変換チャンネルと同一番号の ADS1n ビットを“1”にすると、ADADC.ADC[2:0] ビットで設定した回数 (2 ~ 4、16 回) 分、選択したチャンネルのアナログ入力を連続して A/D 変換し、ADADC.AVEE ビットが“0”の場合、加算 (積算) した値を、ADADC.AVEE ビットが“1”の場合、加算 (積算) 値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS1n ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

図 43.2 に ADS002 ビットと ADS006 ビットを“1”にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (ADCSR.ADCS[1:0] = 10b) で、加算モードを選択 (ADADC.AVEE = 0)、加算回数は 3 回に設定 (ADADC.ADC[2:0] = 011b)、AN000 ~ AN007 が選択 (ADANSA0.ANSA0n = FFh) されているものとします。AN000 から変換を開始します。AN002 の変換は 4 回連続変換 (3 回加算) し、加算 (積算) 値を A/D データレジスタ 2 に返します。その後、AN003 の変換を開始し、AN006 の変換で 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 6 に返します。AN007 の変換後、再度 AN000 から同じシーケンスで動作します。

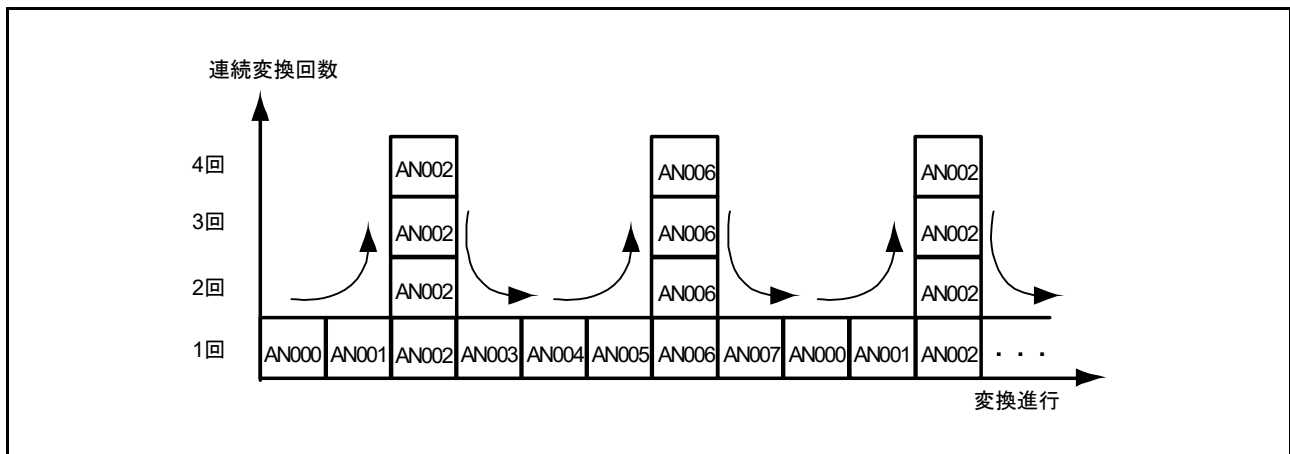


図 43.2 ADADC.ADC[2:0] = 011b、ADS002 = 1、ADS006 = 1 選択時のスキャン変換シーケンス

43.2.10 A/D 変換値加算 / 平均回数選択レジスタ (ADADC)

アドレス S12AD.ADADC 0008 900Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	AVEE	—	—	—	—	ADC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ADC[2:0]	加算回数選択ビット	b2 b0 0 0 0 : 1回変換(加算なし。通常変換と同じ) 0 0 1 : 2回変換(1回加算を行う) 0 1 0 : 3回変換(2回加算を行う)(注1) 0 1 1 : 4回変換(3回加算を行う) 1 0 1 : 16回変換(15回加算を行う)(注1) 上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	AVEE	平均モードイネーブルビット	0 : 加算モードを選択 1 : 平均モードを選択	R/W

注1. AVEEビットは、2回変換、4回変換の時にのみ有効です。平均モードを選択した場合(ADADC.AVEEビット = 1)、3回変換(ADADC.ADC[2:0] = 010b)および16回変換(ADADC.ADC[2:0] = 101b)に設定しないでください。

ADADCレジスタは、A/D変換値加算/平均モードが選択されたチャンネル、温度センサ出力、内部基準電圧のA/D変換に対して加算回数の設定と、加算モード/平均モードの選択を行います。

ADC[2:0]ビット(加算回数選択ビット)

ダブルトリガモードでの選択チャンネル(ADCSR.DBLANS[4:0]ビットでの選択チャンネル)を含むA/D変換および加算/平均モードが選択されたチャンネル、温度センサ出力、内部基準電圧のA/D変換に対して共通の加算回数を設定します。

ADADC.AVEEビットを“1”にして平均モードを選択する場合、1回変換(ADADC.ADC[2:0] = 000b)、3回変換(ADADC.ADC[2:0] = 010b)および16回変換(ADADC.ADC[2:0] = 101b)に設定しないでください。

ADC[2:0]ビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

AVEEビット(平均モードイネーブルビット)

ダブルトリガモードでの選択チャンネル(ADCSR.DBLANS[4:0]ビットでの選択チャンネル)を含むA/D変換および加算/平均モードが選択されたチャンネル、温度センサ出力、内部基準電圧のA/D変換に対して加算モード、または平均モードの選択を行います。

ADADC.AVEEビットを“1”にして平均モードを選択する場合、1回変換(ADADC.ADC[2:0] = 000b)、3回変換(ADADC.ADC[2:0] = 010b)および16回変換(ADADC.ADC[2:0] = 101b)に設定しないでください。1回、3回および16回変換の平均値を求めることはできません。

AVEEビットの設定は、ADCSR.ADSTビットが“0”のときに設定してください。

43.2.11 A/D コントロール拡張レジスタ (ADCER)

アドレス S12AD.ADCER 0008 900Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	A/D データレジスタ自動クリアイネーブルビット	0 : 自動クリアを禁止 1 : 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0 : 自己診断電圧固定モード時は設定禁止 0 1 : 0Vの電圧を使って自己診断を行う 1 0 : 基準電圧×1/2の電圧を使って自己診断を行う (注1) 1 1 : 基準電圧の電圧を使って自己診断を行う (注1)	R/W
b10	DIAGLD	自己診断モード選択ビット	0 : 自己診断電圧ローテーションモード 1 : 自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブルビット	0 : 12ビットA/Dコンバータの自己診断を実施しない 1 : 12ビットA/Dコンバータの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/D データレジスタフォーマット選択ビット	0 : A/D データレジスタのフォーマットを右詰めにする 1 : A/D データレジスタのフォーマットを左詰めにする	R/W

注1. 基準電圧とはADHVREFCNTレジスタで選択した端子の電圧を意味します。

ADCER レジスタは、自己診断モード、A/D データレジスタ y (ADDRy) のフォーマット、A/D データレジスタの自動クリア機能の設定を行うレジスタです。

ACE ビット (A/D データレジスタ自動クリアイネーブルビット)

CPU、DTC および DMACA によって ADDRy、ADRD、ADDBLDR、ADTSDR、ADOCDR レジスタを読み出した後、当該レジスタの自動クリア (All“0”) を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新故障を検出することができます。

DIAGVAL[1:0] ビット (自己診断変換電圧選択ビット)

自己診断電圧固定モードでの電圧値を選択します。詳細は ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが“00b”の状態では ADCER.DIAGLD ビットを“1”に設定して、自己診断を実施しないでください。

DIAGLD ビット (自己診断モード選択ビット)

自己診断で変換する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。

ADCER.DIAGLD ビットを“0”にすると 0V → 基準電圧×1/2 → 基準電圧の順番にローテーションして変換していきます。リセット後、自己診断ローテーションモードを選択した場合は 0V から自己診断を行います。自己診断電圧固定モードを選択した場合は ADCER.DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても 0V に戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

DIAGM ビット (自己診断イネーブルビット)

自己診断を実施するかしないかを選択します。

自己診断は、12ビットA/Dコンバータの故障を検出するための機能です。内部で生成する0V、基準電圧×1/2、基準電圧の3つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアでADRDレジスタを読み出し、変換値が正常の範囲にある(正常)かない(異常)かを判断します。自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。グループスキャンモードで自己診断を選択した場合は、グループAとグループBのそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

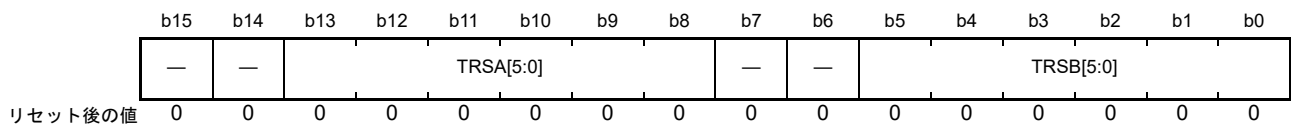
ADDRy、ADRD、ADTSDR、ADOCADR、ADDBLDR、ADCMPDR0、ADCMPDR1、ADWINLLB、ADWINULB レジスタに格納するデータの右詰め/左詰めを選択します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

各データレジスタのフォーマットの詳細は、「43.2.1 A/D データレジスタ y (ADDRy)、A/D データ二重化レジスタ (ADDBLDR)、A/D 温度センサデータレジスタ (ADTSDR)、A/D 内部基準電圧データレジスタ (ADOCADR)」、「43.2.2 A/D 自己診断データレジスタ (ADRD)」、「43.2.25 A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)」、「43.2.26 A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)」、「43.2.33 A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)」、「43.2.34 A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)」を参照してください。

43.2.12 A/D 変換開始トリガ選択レジスタ (ADSTRGR)

アドレス S12AD.ADSTRGR 0008 9010h



ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループB専用A/D変換開始トリガ選択ビット	グループスキャンモードでグループBのA/D変換開始トリガを選択します	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択ビット	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSTRGR レジスタは、A/D 変換開始トリガの選択を行うレジスタです。

TRSB[5:0] ビット (グループB専用A/D変換開始トリガ選択ビット)

グループBで選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループBのスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定は禁止です。よって、グループスキャンモードでは、TRSB[5:0] ビットを“000000b”以外に設定し、ADCSR.TRGE ビットを“1”に設定してください。

グループスキャンモードのグループA優先制御時に、ADGSPCR.GBRP ビットを“1”にすることで、グループBをシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを“1”に設定する場合は、TRSB[5:0] ビットを“3Fh”に設定してください。なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによるA/D変換が無効となる場合があります。

A/D変換開始トリガに54MHz動作モジュール(MTU)からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「43.3.6 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 43.6 に TRSB[5:0] ビットでの A/D 起動要因選択一覧を示します。

TRSA[5:0] ビット (A/D変換開始トリガ選択ビット)

シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガの選択を行います。グループスキャンモードではグループAで選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを実行する場合は、ソフトウェアトリガと非同期トリガは使用できません。

- 同期トリガのA/D変換起動要因を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつADCSR.EXTRG ビットを“0”に設定してください。
- 非同期トリガを使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつADCSR.EXTRG ビットを“1”に設定してください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0] ビットの設定値にかかわらず有効です。

なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによるA/D変換が無効となる場合があります。A/D変換開始トリガに54MHz動作モジュール (MTU) からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「43.3.6 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。表43.7にTRSA[5:0]ビットでのA/D起動要因選択一覧を示します。

表43.6 TRSB[5:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態			1	1	1	1	1	1
MTU	TRG0AN	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRG0BN	MTU0.TGRBのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGAN	MTU0~MTU4のTGRAのコンペアマッチ/インプットキャプチャまたは相補PWMモード時のMTU4.TCNTのアンダフロー(谷)	0	0	0	0	1	1
	TRG0EN	MTU0.TGREのコンペアマッチ	0	0	0	1	0	0
	TRG0FN	MTU0.TGRFのコンペアマッチ	0	0	0	1	0	1
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ(割り込み間引き機能)	0	0	0	1	1	0
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ(割り込み間引き機能)	0	0	0	1	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNT、MTU4.TADCORBとMTU4.TCNTコンペアマッチ(割り込み間引き機能)	0	0	1	0	0	0
TPU	TRGAN1	TPU0~TPU4のTGRAのコンペアマッチ/インプットキャプチャ	0	0	1	1	0	1
	TRG4ABN1	TPU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	1	1	1	0
ELC	ELCTRG0		0	0	1	0	0	1

表43.7 TRSA[5:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態			1	1	1	1	1	1
外部端子	ADTRG0#	トリガ入力端子	0	0	0	0	0	0
MTU	TRG0AN	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRG0BN	MTU0.TGRBのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGAN	MTU0~MTU4のTGRAのコンペアマッチ/インプットキャプチャまたは相補PWMモード時のMTU4.TCNTのアンダフロー(谷)	0	0	0	0	1	1
	TRG0EN	MTU0.TGREのコンペアマッチ	0	0	0	1	0	0
	TRG0FN	MTU0.TGRFのコンペアマッチ	0	0	0	1	0	1
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ(割り込み間引き機能)	0	0	0	1	1	0
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ(割り込み間引き機能)	0	0	0	1	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNT、MTU4.TADCORBとMTU4.TCNTコンペアマッチ(割り込み間引き機能)	0	0	1	0	0	0
TPU	TRGAN1	TPU0~TPU4のTGRAのコンペアマッチ/インプットキャプチャ	0	0	1	1	0	1
	TRG4ABN1	TPU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	1	1	1	0
ELC	ELCTRG0		0	0	1	0	0	1

43.2.13 A/D変換拡張入力コントロールレジスタ (ADEXICR)

アドレス S12AD.ADEXICR 0008 9012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OCSA	TSSA	—	—	—	—	—	—	OCSAD	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力A/D変換値加算/平均モード選択ビット	0: 温度センサ出力A/D変換値加算/平均モード非選択 1: 温度センサ出力A/D変換値加算/平均モード選択	R/W
b1	OCSAD	内部基準電圧A/D変換値加算/平均モード選択ビット	0: 内部基準電圧A/D変換値加算/平均モード非選択 1: 内部基準電圧A/D変換値加算/平均モード選択	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TSSA	温度センサ出力A/D変換選択ビット	0: 温度センサ出力をA/D変換しない 1: 温度センサ出力をA/D変換する	R/W
b9	OCSA	内部基準電圧A/D変換選択ビット	0: 内部基準電圧をA/D変換しない 1: 内部基準電圧をA/D変換する	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADEXICR レジスタは、温度センサ出力 / 内部基準電圧の A/D 変換の設定をします。

TSSAD ビット (温度センサ出力 A/D 変換値加算 / 平均モード選択ビット)

温度センサ出力の A/D 変換を選択し、TSSAD ビットを“1”にすると、ADADC.ADC[2:0] ビットで設定した回数 (2 ~ 4、16 回) 分、温度センサ出力を連続して A/D 変換し、ADADC.AVEE ビットが“0”の場合は加算 (積算) した値を、ADADC.AVEE ビットが“1”の場合は平均した値を A/D 温度センサデータレジスタ (ADTSDR) に格納します。TSSAD ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

OCSAD ビット (内部基準電圧 A/D 変換値加算 / 平均モード選択ビット)

内部基準電圧の A/D 変換を選択し、OCSAD ビットを“1”にすると、ADADC.ADC[2:0] ビットで設定した回数 (2 ~ 4、16 回) 分、内部基準電圧を連続して A/D 変換し、ADADC.AVEE ビットが“0”の場合は加算 (積算) した値を、ADADC.AVEE ビットが“1”の場合は平均した値を A/D 内部基準電圧データレジスタ (ADOCDR) に格納します。

OCSAD ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

TSSA ビット (温度センサ出力 A/D 変換選択ビット)

シングルスキャンモードでの温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換を行う場合は、ADANSA0、ADANSA1 レジスタ、ADANSB0、ADANSB1 レジスタの全ビットと ADCSR.DBLE ビット、OCSA ビットのすべてに“0”を設定し、シングルスキャンモードで実行してください。TSSA ビットの設定は、ADST ビットが“0”のときに行ってください。温度センサ出力の A/D 変換は、サンプリング前にディスチャージを行う必要がありますので、ADDISCR.ADNDIS[4:0] ビットに“0Fh”を自動的に設定します。また、サンプリング時間は 5 μ s 以上に設定してください。

温度センサ出力の A/D 変換は、ディスチャージ完了後、サンプリングが開始するので、オートディスチャージ期間 (15ADCLK) がサンプリング前に挿入されます。

OCSA ビット (内部基準電圧 A/D 変換選択ビット)

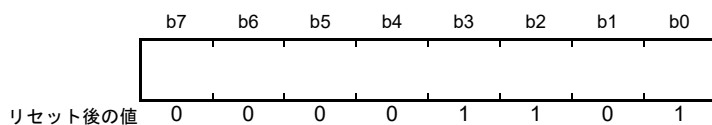
シングルスキャンモードでの内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換を行う場

合は、ADANSA0、ADANSA1 レジスタ、ADANSB0、ADANSB1 レジスタの全ビットと ADCSR.DBLE ビット、TSSA ビットのすべてに“0”を設定し、シングルスキャンモードで実行してください。OCSA ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。内部基準電圧の A/D 変換は、サンプリング前にディスチャージを行う必要がありますので、ADDISCR.ADNDIS[4:0] ビットに“0Fh”を自動的に設定します。また、サンプリング時間は 5 μ s 以上に設定してください。

内部基準電圧の A/D 変換は、ディスチャージ完了後、サンプリングが開始するので、オートディスチャージ期間 (15ADCLK) がサンプリング前に挿入されます。

43.2.14 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 7, L, T, O)

アドレス S12AD.ADSSTR0 0008 90E0h, S12AD.ADSSTR1 0008 90E1h, S12AD.ADSSTR2 0008 90E2h,
S12AD.ADSSTR3 0008 90E3h, S12AD.ADSSTR4 0008 90E4h, S12AD.ADSSTR5 0008 90E5h,
S12AD.ADSSTR6 0008 90E6h, S12AD.ADSSTR7 0008 90E7h



ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定を行います。

1 ステート = 1ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 54MHz であれば 1 ステート = 18.5ns になります。初期値は 13 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。

ADSSTRn レジスタは、ADCSR.ADST ビットが“0”のときに設定してください。サンプリング時間の設定下限値は、PCLK と ADCLK の周波数比により異なります。

PCLK : ADCLK 周波数比 = 1 : 1、2 : 1、4 : 1、8 : 1 の場合、5 ステート以上の値を設定してください。

PCLK : ADCLK 周波数比 = 1 : 2、1 : 4 の場合、6 ステート以上の値を設定してください。

表 43.8 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。

詳細は、「43.3.6 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

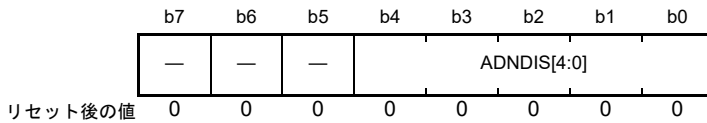
表43.8 A/Dサンプリングステートレジスタと対象チャネルの関係

レジスタ名	対象チャネル
ADSSTR0 レジスタ	AN000
ADSSTR1 レジスタ	AN001
ADSSTR2 レジスタ	AN002
ADSSTR3 レジスタ	AN003
ADSSTR4 レジスタ	AN004
ADSSTR5 レジスタ	AN005
ADSSTR6 レジスタ	AN006
ADSSTR7 レジスタ	AN007
ADSSTR L レジスタ	AN016 ~ AN031
ADSSTR T レジスタ	温度センサ出力 (注1)
ADSSTR O レジスタ	内部基準電圧 (注1)

注1. 温度センサ出力または内部基準電圧をA/D変換する場合、サンプリング時間を5 μ s以上に設定する必要があります。本レジスタでは255ステートまでしか設定できないため、温度センサ出力または内部基準電圧をA/D変換する場合は、ADCLK周波数に留意してください。(例：ADCLK = 54MHzの場合、255ステート設定しても5 μ sに達しません。)

43.2.15 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス S12AD.ADDISCR 0008 907Ah



ビット	シンボル	ビット名	機能	R/W
b4-b0	ADNDIS[4:0]	A/D断線検出アシスト設定ビット	b4 ADNDIS[4] : ディスチャージ/プリチャージの選択 0 : ディスチャージ 1 : プリチャージ b3-b0 ADNDIS[3:0] : ディスチャージ/プリチャージ期間	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADDISCR レジスタは、断線検出アシスト機能を設定するレジスタです。

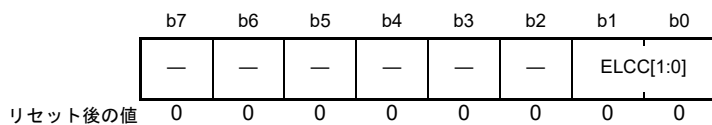
ADNDIS[4:0] ビット (A/D 断線検出アシスト設定ビット)

A/D 断線検出アシスト機能のプリチャージ/ディスチャージの設定、期間を設定します。ADNDIS[4] ビット = 1 でプリチャージ、ADNDIS[4] ビット = 0 でディスチャージが選択されます。ADNDIS[3:0] ビットで、プリチャージ/ディスチャージ期間を設定します。ADNDIS[3:0] ビット = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] ビット = 0001b は設定禁止です。ADNDIS[3:0] ビット = 0000b、0001b 以外では、設定した値がプリチャージ/ディスチャージ期間のステート数となります。

温度センサ出力または内部基準電圧を A/D 変換するために、ADEXICR.OCSA もしくは TSSA ビットを“1”にすると、ADNDIS[4:0] ビットを自動的に“0Fh”に固定し、A/D 変換に先立ちディスチャージする設定 (オートディスチャージ) となります。温度センサ出力または内部基準電圧を A/D 変換するたびに、オートディスチャージ期間 (15ADCLK) がサンプリング前に挿入されます。

43.2.16 A/D イベントリンクコントロールレジスタ (ADELCCR)

アドレス S12AD.ADELCCR 0008 907Dh



ビット	シンボル	ビット名	機能	R/W
b1-b0	ELCC[1:0]	イベントリンクコントロールビット	b1 b0 0 0 : グループスキャンモードのグループBのスキャン終了を除くスキャン終了時にイベント発生 0 1 : グループスキャンモードのグループBのスキャン終了時にイベント発生 1 x : すべてのスキャン終了時にイベント発生	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

ADELCCR レジスタは、ELC 用スキャン終了イベント (S12ADELC) のイベント発生条件を設定します。

ELCC[1:0] ビット (イベントリンクコントロールビット)

ELC 用スキャン終了イベント (S12ADELC) 発生条件を選択するビットです。

43.2.17 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス S12AD.ADGSPCR 0008 9080h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループA優先制御設定ビット (注1)	0: グループAの優先制御動作を行わない 1: グループAの優先制御動作を行う	R/W
b1	GBRSCN	グループB再起動設定ビット (注2)	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0: グループAの優先制御でグループBのA/D変換動作中断後の再起動をしない 1: グループAの優先制御でグループBのA/D変換動作中断後の再起動をする	R/W
b14-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	GBRP	グループB用シングルスキャン連続起動設定ビット (注3)	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0: グループBはシングルスキャン連続動作しない 1: グループBのシングルスキャン連続動作開始	R/W

注1. PGSビットを“1”にするときは、ADCSR.ADCS[1:0]ビットを“01b”(グループスキャンモード)に設定してください。それ以外の設定をした場合、動作は保証されません。

注2. GBRSCNビットを“1”にする場合は、周辺モジュールクロックPCLKとA/D変換クロックADCLKの周波数比を1:1にしてください。

注3. GBRPビットを“1”にした場合は、GBRSCNビットの設定によらず、グループBのシングルスキャン連続動作を実行します。

ADGSPCRレジスタは、グループスキャンモードでグループAを優先的にA/D変換する優先制御を設定するレジスタです。

PGSビット(グループA優先制御設定ビット)

グループAの優先動作を制御します。グループA優先制御動作を行うときに“1”を設定してください。

PGSビットを“1”に設定するときは、ADCSR.ADCS[1:0]ビットを“01b”(グループスキャンモード)に設定してください。

PGSビットを“0”にする場合は、「43.8.2 A/D変換停止時の注意事項」に従い、ソフトウェアでのクリアを行ってください。PGSビットを“1”にする場合は、「43.3.4.3 グループA優先制御動作」の手順に従い設定を行ってください。

GBRSCNビット(グループB再起動設定ビット)

グループA優先制御時の、グループBの再スキャン動作を設定します。

GBRSCNビットを“1”にすると、グループAのトリガ入力によるスキャン動作中断後、グループAのA/D変換動作の終了を待って、グループBの再スキャン動作を実行します。また、グループAのA/D変換動作中にグループBのトリガ入力があった場合、グループAのA/D変換動作の終了を待って、グループBの再スキャン動作を行います。

GBRSCNビットを“0”にした場合は、A/D変換実行中に入力されたトリガは無視されます。また、GBRSCNビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

GBRSCNビットの設定は、PGSビットが“1”のときにも有効となります。

GBRPビット(グループB用シングルスキャン連続起動設定ビット)

グループBをシングルスキャンで連続動作させる場合に設定します。

GBRPビットを“1”にすると、グループBのシングルスキャンが起動します。スキャン終了後、自動的に

グループ B のシングルスキャンを再開します。グループ A 優先制御動作でグループ B の A/D 変換動作が中断した後は、グループ A の A/D 変換動作終了後、自動的にグループ B のシングルスキャンを再開します。

GBRP ビットを“1”にする場合は、事前にグループ B のトリガ入力を無効にしてください。GBRP ビットを“1”にした場合、GBRSCN ビットの設定は無効です。

GBRP ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

GBRP ビットの設定は、PGS ビットが“1”のときに有効となります。

43.2.18 A/D コンペア機能コントロールレジスタ (ADCMPCR)

アドレス S12AD.ADCMPCR 0008 9090h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	WCMP E	—	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	CMPAB[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMPAB[1:0]	ウィンドウ A/B の複合条件設定ビット	b1 b0 0 0 : ウィンドウ A 比較条件一致 OR ウィンドウ B 比較条件一致で S12ADWMELC 出力、それ以外は S12ADWUMELC 出力 0 1 : ウィンドウ A 比較条件一致 EXOR ウィンドウ B 比較条件一致で S12ADWMELC 出力、それ以外は S12ADWUMELC 出力 1 0 : ウィンドウ A 比較条件一致 AND ウィンドウ B 比較条件一致で S12ADWMELC 出力、それ以外は S12ADWUMELC 出力 1 1 : 設定禁止	R/W
b8-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	CMPBE	コンペアウィンドウ B 動作許可ビット	0 : コンペアウィンドウ B 停止 S12ADWMELC/S12ADWUMELC 出力禁止 1 : コンペアウィンドウ B 動作	R/W
b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	CMPAE	コンペアウィンドウ A 動作許可ビット	0 : コンペアウィンドウ A 停止 S12ADWMELC/S12ADWUMELC 出力禁止 1 : コンペアウィンドウ A 動作	R/W
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	WCMPE	ウィンドウ機能設定ビット	0 : ウィンドウ機能無効 ウィンドウ A/B は下位側の 1 値と A/D 変換結果を比較するコンパレータとして動作します。 1 : ウィンドウ機能有効 ウィンドウ A/B は上位側、下位側の 2 値と A/D 変換結果を比較するウィンドウコンパレータとして動作します。	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPCR レジスタは、コンペアウィンドウ A/B 機能の設定を行います。

CMPAB[1:0] ビット (ウィンドウ A/B の複合条件設定ビット)

CMPAB[1:0] ビットは、シングルスキャン時、ウィンドウ A/B が共に有効である場合 (CMPAE = 1 かつ CMPBE = 1) に有効です。ELC 用コンペア機能マッチ/アンマッチイベント出力条件と ADWINMON.MONCOMB フラグのモニタ条件を選択します。CMPAB[1:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

CMPBE ビット (コンペアウィンドウ B 動作許可ビット)

コンペアウィンドウ B の停止 / 動作を選択します。CMPBE ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

以下のレジスタを設定する場合は、本ビットを “0” にしてください。

- A/D チャンネル選択レジスタ A0/A1/B0/B1 (ADANSA0, ADANSA1, ADANSB0, ADANSB1)
- A/D 変換拡張入力コントロールレジスタの OCSA、TSSA (ADEXICR.OCSA, TSSA)
- ウィンドウ B チャンネル選択レジスタの CMPCHB[5:0] (ADCMPBNSR.CMPCHB[5:0])

CMPAE ビット (コンペアウィンドウ A 動作許可ビット)

コンペアウィンドウ A の停止 / 動作を選択します。CMPAE ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

以下のレジスタを設定する場合は、本ビットを “0” にしてください。

- A/D チャンネル選択レジスタ A0/A1/B0/B1 (ADANSA0, ADANSA1, ADANSB0, ADANSB1)
- A/D 変換拡張入力コントロールレジスタの OCSA、TSSA (ADEXICR.OCSA, TSSA)
- ウィンドウ A チャンネル選択レジスタ 0/1 (ADCMPANSR0, ADCMPANSR1)
- ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

WCMPE ビット (ウィンドウ機能設定ビット)

ウィンドウ機能の有効 / 無効を選択します。WCMPE ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

43.2.19 A/Dコンペア機能ウィンドウAチャンネル選択レジスタ0 (ADCMPANSR0)

アドレス S12AD.ADCMPANSR0 0008 9094h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPC HA007	CMPC HA006	CMPC HA005	CMPC HA004	CMPC HA003	CMPC HA002	CMPC HA001	CMPC HA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCHA000	コンペアウィンドウA チャンネル選択ビット	0 : AN000～AN007をコンペアウィンドウA対象から外す 1 : AN000～AN007をコンペアウィンドウA対象とする	R/W
b1	CMPCHA001			R/W
b2	CMPCHA002			R/W
b3	CMPCHA003			R/W
b4	CMPCHA004			R/W
b5	CMPCHA005			R/W
b6	CMPCHA006			R/W
b7	CMPCHA007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSR0レジスタは、コンペアウィンドウAの条件で比較を行うチャンネルのアナログ入力AN000～AN007を選択するレジスタです。

CMPCHA0nビット (n = 00～07)(コンペアウィンドウAチャンネル選択ビット)

ADANSA0.ANSA0nビット (n = 00～07) と ADANSB0.ANSB0nビット (n = 00～07) で選択したA/D変換チャンネルと同一番号のCMPCHA0nビットを“1”にすると、コンペア機能が有効になります。

CMPCHA0nビットは、ADCSR.ADSTビットが“0”のときに設定してください。

43.2.20 A/Dコンペア機能ウィンドウAチャンネル選択レジスタ1 (ADCMPANSR1)

アドレス S12AD.ADCMPANSR1 0008 9096h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPCHA115	CMPCHA114	CMPCHA113	CMPCHA112	CMPCHA111	CMPCHA110	CMPCHA109	CMPCHA108	CMPCHA107	CMPCHA106	CMPCHA105	CMPCHA104	CMPCHA103	CMPCHA102	CMPCHA101	CMPCHA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCHA100	コンペアウィンドウA チャンネル選択ビット	0 : AN016～AN031をコンペアウィンドウA対象から外す 1 : AN016～AN031をコンペアウィンドウA対象とする	R/W
b1	CMPCHA101			R/W
b2	CMPCHA102			R/W
b3	CMPCHA103			R/W
b4	CMPCHA104			R/W
b5	CMPCHA105			R/W
b6	CMPCHA106			R/W
b7	CMPCHA107			R/W
b8	CMPCHA108			R/W
b9	CMPCHA109			R/W
b10	CMPCHA110			R/W
b11	CMPCHA111			R/W
b12	CMPCHA112			R/W
b13	CMPCHA113			R/W
b14	CMPCHA114			R/W
b15	CMPCHA115			R/W

ADCMPANSR1レジスタは、コンペアウィンドウAの条件で比較を行うチャンネルのアナログ入力AN016～AN031を選択するレジスタです。

CMPCHA1nビット (n = 00 ~ 15) (コンペアウィンドウAチャンネル選択ビット)

ADANSA1.ANSA1nビット (n = 00 ~ 15) と ADANSB1.ANSB1nビット (n = 00 ~ 15) で選択したA/D変換チャンネルと同一番号のCMPCHA1nビットを“1”にすると、コンペア機能が有効になります。

CMPCHA1nビットは、ADCSR.ADSTビットが“0”のときに設定してください。

43.2.21 A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

アドレス S12AD.ADCMPANSER 0008 9092h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPO CA	CMPTS A
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPTSA	温度センサ出力コンペア選択ビット	0 : 温度センサ出力をコンペアウィンドウA対象から外す 1 : 温度センサ出力をコンペアウィンドウA対象とする	R/W
b1	CMPOCA	内部基準電圧コンペア選択ビット	0 : 内部基準電圧をコンペアウィンドウA対象から外す 1 : 内部基準電圧をコンペアウィンドウA対象とする	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSER レジスタは、温度センサ出力 / 内部基準電圧をコンペアウィンドウ A の条件で比較を行うかを選択するレジスタです。

CMPTSA ビット (温度センサ出力コンペア選択ビット)

ADEXICR.TSSA ビットが“1”のときに CMPTSA ビットを“1”にすると、コンペアウィンドウ A 機能が有効になります。CMPTSA ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

CMPOCA ビット (内部基準電圧コンペア選択ビット)

ADEXICR.OCSA ビットが“1”のときに CMPOCA ビットを“1”にすると、コンペアウィンドウ A 機能が有効になります。CMPOCA ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

43.2.22 A/Dコンペア機能ウィンドウA比較条件設定レジスタ0 (ADCMPLR0)

アドレス S12AD.ADCMPLR0 0008 9098h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPLCHA007	CMPLCHA006	CMPLCHA005	CMPLCHA004	CMPLCHA003	CMPLCHA002	CMPLCHA001	CMPLCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLCHA000	コンペアウィンドウAコンペア条件選択ビット	ウィンドウ機能無効時(ADCMPCR.WCMPEビットが“0”) 0 : ADCMPDR0レジスタ値 > A/D変換値 1 : ADCMPDR0レジスタ値 < A/D変換値	R/W
b1	CMPLCHA001			R/W
b2	CMPLCHA002		R/W	
b3	CMPLCHA003		ウィンドウ機能有効時(ADCMPCR.WCMPEビットが“1”) 0 : AD変換値 < ADCMPDR0レジスタ値または ADCMPDR1レジスタ値 < AD変換値 1 : ADCMPDR0レジスタ値 < A/D変換値 < ADCMPDR1レジスタ値	R/W
b4	CMPLCHA004			R/W
b5	CMPLCHA005			R/W
b6	CMPLCHA006			R/W
b7	CMPLCHA007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPLR0レジスタは、ADCMPDR0/ADCMPDR1レジスタ値とA/D変換結果を比較する条件を設定します。ADCMPLR0レジスタの設定は、ADCSR.ADSTビットが“0”のときに設定してください。

CMPLCHA0nビット (n = 00 ~ 07) (コンペアウィンドウAコンペア条件選択ビット)

ウィンドウA比較条件の対象としたチャンネル (AN000 ~ AN007) の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA000ビットがAN000に、CMPLCHA007ビットがAN007に対応します。

各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPDR0.CMPSTCHA0nフラグが“1”にセットされます。コンペア条件を図43.3に示します。

(1) ウィンドウ機能無効時のコンペア条件	
CMPLCHA0n = 0	
ADCMPDR0レジスタ値 ≤ A/D変換値	不一致
ADCMPDR0レジスタ値 > A/D変換値	一致
CMPLCHA0n = 1	
ADCMPDR0レジスタ値 < A/D変換値	一致
ADCMPDR0レジスタ値 ≥ A/D変換値	不一致
(2) ウィンドウ機能有効時のコンペア条件	
CMPLCHA0n = 0	
ADCMPDR1レジスタ値 < AD変換値	一致
ADCMPDR0レジスタ値 ≤ AD変換値 ≤ ADCMPDR1レジスタ値	不一致
AD変換値 < ADCMPDR0レジスタ値	一致
CMPLCHA0n = 1	
ADCMPDR1レジスタ値 ≤ AD変換値	不一致
ADCMPDR0レジスタ値 < A/D変換値 < ADCMPDR1レジスタ値	一致
AD変換値 ≤ ADCMPDR0レジスタ値	不一致

図 43.3 コンペア機能ウィンドウA コンペア条件説明

43.2.23 A/Dコンペア機能ウィンドウA比較条件設定レジスタ1 (ADCMPPLR1)

アドレス S12AD.ADCMPPLR1 0008 909Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPLCHA115	CMPLCHA114	CMPLCHA113	CMPLCHA112	CMPLCHA111	CMPLCHA110	CMPLCHA109	CMPLCHA108	CMPLCHA107	CMPLCHA106	CMPLCHA105	CMPLCHA104	CMPLCHA103	CMPLCHA102	CMPLCHA101	CMPLCHA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLCHA100	コンペアウィンドウAコンペア条件選択ビット	ウィンドウ機能無効時(ADCMPPCR.WCMPEビットが“0”) 0 : ADCMPDR0レジスタ値 > A/D変換値 1 : ADCMPDR0レジスタ値 < A/D変換値	R/W
b1	CMPLCHA101			R/W
b2	CMPLCHA102		R/W	
b3	CMPLCHA103		ウィンドウ機能有効時(ADCMPPCR.WCMPEビットが“1”) 0 : AD変換値 < ADCMPDR0レジスタ値または ADCMPDR1レジスタ値 < AD変換値 1 : ADCMPDR0レジスタ値 < A/D変換値 < ADCMPDR1レジスタ値	R/W
b4	CMPLCHA104			R/W
b5	CMPLCHA105		R/W	
b6	CMPLCHA106		R/W	
b7	CMPLCHA107		R/W	
b8	CMPLCHA108		R/W	
b9	CMPLCHA109		R/W	
b10	CMPLCHA110		R/W	
b11	CMPLCHA111		R/W	
b12	CMPLCHA112		R/W	
b13	CMPLCHA113		R/W	
b14	CMPLCHA114		R/W	
b15	CMPLCHA115		R/W	

ADCMPPLR1レジスタは、ADCMPDR0/ADCMPDR1レジスタ値とA/D変換結果を比較する条件を設定します。ADCMPPLR1レジスタの設定は、ADCSR.ADSTビットが“0”のときに設定してください。

CMPLCHA1nビット (n = 00 ~ 15) (コンペアウィンドウAコンペア条件選択ビット)

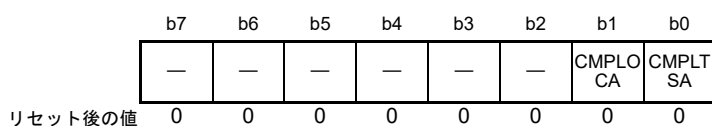
ウィンドウA比較条件の対象としたチャンネル(AN016 ~ AN031)の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA100ビットがAN016に、CMPLCHA115ビットがAN031に対応します。

各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPDR1.CMPSTCHA1nフラグが“1”にセットされます。

コンペア条件を図43.3に示します。

43.2.24 A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER)

アドレス S12AD.ADCMPLER 0008 9093h



ビット	シンボル	ビット名	機能	R/W
b0	CMPLTSA	コンペアウィンドウA 温度センサ出力コンペア条件選択ビット	ウィンドウA機能無効時(ADCMPCR.WCMPEビットが“0”) 0 : ADCMPDR0レジスタ値 > A/D変換値 1 : ADCMPDR0レジスタ値 < A/D変換値 ウィンドウA機能有効時(ADCMPCR.WCMPEビットが“1”) 0 : AD変換値 < ADCMPDR0レジスタ値または AD変換値 > ADCMPDR1レジスタ値 1 : ADCMPDR0レジスタ値 < A/D変換値 < ADCMPDR1レジスタ値	R/W
b1	CMPLOCA	コンペアウィンドウA 内部基準電圧コンペア条件選択ビット	ウィンドウA機能無効時(ADCMPCR.WCMPEビットが“0”) 0 : ADCMPDR0レジスタ値 > A/D変換値 1 : ADCMPDR0レジスタ値 < A/D変換値 ウィンドウA機能有効時(ADCMPCR.WCMPEビットが“1”) 0 : AD変換値 < ADCMPDR0レジスタ値または AD変換値 > ADCMPDR1レジスタ値 1 : ADCMPDR0レジスタ値 < A/D変換値 < ADCMPDR1レジスタ値	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPLER レジスタは、ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。ADCMPLER レジスタの設定は、ADCSR.ADST ビットが“0”のときに設定してください。

CMPLTSA ビット (コンペアウィンドウ A 温度センサ出力コンペア条件選択ビット)

温度センサ出力をウィンドウ A 比較条件の対象とした場合の比較条件を設定します。

温度センサ出力の比較結果が設定した条件と一致したとき、ADCMPSER.CMPSTTSA フラグが“1”にセットされます。コンペア条件を図 43.3 に示します。

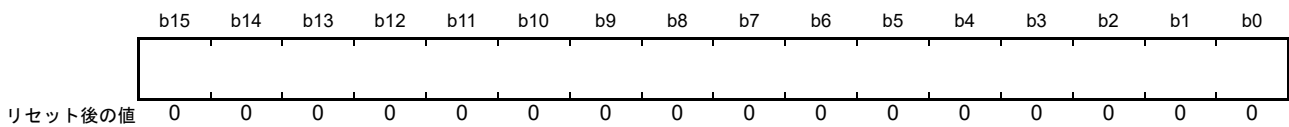
CMPLOCA ビット (コンペアウィンドウ A 内部基準電圧コンペア条件選択ビット)

内部基準電圧をウィンドウ A 比較条件の対象とした場合の比較条件を設定します。

内部基準電圧の比較結果が設定した条件と一致したとき、ADCMPSER.CMPSTOCA フラグが“1”にセットされます。コンペア条件を図 43.3 に示します。

43.2.25 A/Dコンペア機能ウィンドウA下位側レベル設定レジスタ (ADCMPDR0)

アドレス S12AD.ADCMPDR0 0008 909Ch



ADCMPDR0 レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADCMPDR0 レジスタは、ウィンドウ A の下位側レベルを設定します。

ADCMPDR0 レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル \geq 下限側レベル (ADCMPDR1 設定値 \geq ADCMPDR0 設定値) となるように設定してください。

ADCMPDR0 レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めフォーマットに設定した場合
b11-b0 にコンペアレベル (下位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めフォーマットに設定した場合
b15-b4 にコンペアレベル (下位側) を設定します。b3-b0 は “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b3-b0 は “0” を書いてください。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b14 は “0” を書いてください。
- 右詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。
- 左詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b15-b2 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b1-b0 は “0” を書いてください。

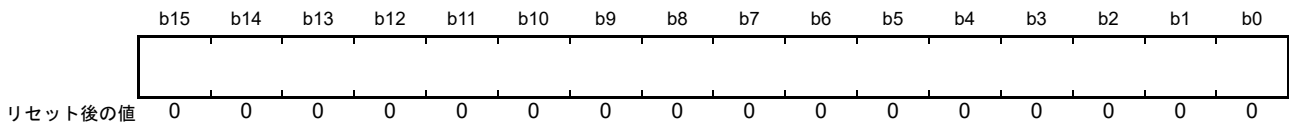
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。

A/D 変換値加算モードを選択したとき、同一チャンネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADCMPDR0 レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADCMPDR0 レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

43.2.26 A/Dコンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)

アドレス S12AD.ADCMPDR1 0008 909Eh



ADCMPDR1 レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADCMPDR1 は、ウィンドウ A の上位側レベルを設定します。

ADCMPDR1 レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル \geq 下限側レベル (ADCMPDR1 設定値 \geq ADCMPDR0 設定値) となるように設定してください。

ADCMPDR1 レジスタはウィンドウ機能無効時には使用しません。

ADCMPDR1 レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めのフォーマットに設定した場合
b11-b0 にコンペアレベル (上位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めのフォーマットに設定した場合
b15-b4 にコンペアレベル (上位側) を設定します。b3-b0 は “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めのフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めのフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b3-b0 は “0” を書いてください。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b14 は “0” を書いてください。
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b15-b2 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b1-b0 は “0”

を書いてください。

- 左詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合 b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。

A/D 変換値加算モードを選択したとき、同一チャンネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADCMPDR1 レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADCMPDR1 レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

43.2.27 A/D コンペア機能ウィンドウ A チャンステータスレジスタ 0 (ADCMPSTR0)

アドレス S12AD.ADCMPSTR0 0008 90A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPST CHA007	CMPST CHA006	CMPST CHA005	CMPST CHA004	CMPST CHA003	CMPST CHA002	CMPST CHA001	CMPST CHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTCHA000	コンペアウィンドウ A フラグ	ウィンドウ A 動作状態 (ADCMPPCR.CMPAE = 1) のとき、ウィンドウ A 比較条件の対象とした CH (AN000 ~ AN007) の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b1	CMPSTCHA001			R/W
b2	CMPSTCHA002			R/W
b3	CMPSTCHA003			R/W
b4	CMPSTCHA004			R/W
b5	CMPSTCHA005			R/W
b6	CMPSTCHA006			R/W
b7	CMPSTCHA007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPSTR0 レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPSTCHA0n フラグ (n = 00 ~ 07) (コンペアウィンドウ A フラグ)

ウィンドウ A 比較条件の対象としたチャンネル (AN000 ~ AN007) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPPLR0.CMPLCHA0n ビットに設定された比較条件と一致した場合、“1”にセットされます。CMPSTCHA000 フラグが AN000 に、CMPSTCHA007 フラグが AN007 に対応します。

CMPSTCHA0n フラグに“1”を書き込むことはできません。

["1"になる条件]

- ADCMPPCR.CMPAE = 1 の条件で、ADCMPPLR0.CMPLCHA0n ビットに設定した条件が成立したとき

["0"になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

43.2.28 A/Dコンペア機能ウィンドウAチャネルステータスレジスタ1 (ADCMPSTR1)

アドレス S12AD.ADCMPSTR1 0008 90A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPST CHA115	CMPST CHA114	CMPST CHA113	CMPST CHA112	CMPST CHA111	CMPST CHA110	CMPST CHA109	CMPST CHA108	CMPST CHA107	CMPST CHA106	CMPST CHA105	CMPST CHA104	CMPST CHA103	CMPST CHA102	CMPST CHA101	CMPST CHA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTCHA100	コンペアウィンドウAフラグ	ウィンドウA動作状態(ADCMPSTR.CMPAE = 1)のとき、ウィンドウA比較条件の対象としたCH (AN016～AN031)の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b1	CMPSTCHA101			R/W
b2	CMPSTCHA102			R/W
b3	CMPSTCHA103			R/W
b4	CMPSTCHA104			R/W
b5	CMPSTCHA105			R/W
b6	CMPSTCHA106			R/W
b7	CMPSTCHA107			R/W
b8	CMPSTCHA108			R/W
b9	CMPSTCHA109			R/W
b10	CMPSTCHA110			R/W
b11	CMPSTCHA111			R/W
b12	CMPSTCHA112			R/W
b13	CMPSTCHA113			R/W
b14	CMPSTCHA114			R/W
b15	CMPSTCHA115			R/W

ADCMPSTR1 レジスタは、コンペアウィンドウA機能の比較結果を格納するレジスタです。

CMPSTCHA1n フラグ (n = 00 ~ 15) (コンペアウィンドウAフラグ)

ウィンドウA比較条件の対象としたチャンネル (AN016 ~ AN031) の比較結果を示すステータスフラグです。A/D変換終了時に ADCMPSTR1.CMPLCHA1n ビットに設定された比較条件と一致した場合、“1”にセットされます。CMPSTCHA100 ビットが AN016 に、CMPSTCHA104 ビットが AN020 に、CMPSTCHA115 ビットが AN031 に対応します。

CMPSTCHA1n フラグに“1”を書き込むことはできません。

["1"になる条件]

- ADCMPSTR.CMPAE = 1 の条件で、ADCMPSTR1.CMPLCHA1n ビットに設定した条件が成立したとき

["0"になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

43.2.29 A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ (ADCMPSER)

アドレス S12AD.ADCMPSER 0008 90A4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPST OCA	CMPST TSA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTTSA	コンペアウィンドウA 温度センサ出力コンペアフラグ	ウィンドウA動作状態(ADCMPPCR.CMPAE = 1)のとき、温度センサ出力の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/W
b1	CMPSTOCA	コンペアウィンドウA 内部基準電圧コンペアフラグ	ウィンドウA動作状態(ADCMPPCR.CMPAE = 1)のとき、内部基準電圧の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPSER レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPSTTSA フラグ (コンペアウィンドウ A 温度センサ出力コンペアフラグ)

温度センサ出力の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPPLER.CMPLTSA ビットに設定された比較条件と一致した場合、“1”にセットされます。

CMPSTTSA フラグに“1”を書き込むことはできません。

["1"になる条件]

- ADCMPPCR.CMPAE = 1 の条件で、ADCMPPLER.CMPLTSA ビットに設定した条件が成立したとき

["0"になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

CMPSTOCA フラグ (コンペアウィンドウ A 内部基準電圧コンペアフラグ)

内部基準電圧の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPPLER.CMPLOCA に設定された比較条件と一致した場合、“1”にセットされます。

CMPSTOCA フラグに“1”を書き込むことはできません。

["1"になる条件]

- ADCMPPCR.CMPAE = 1 の条件で、ADCMPPLER.CMPLOCA ビットに設定した条件が成立したとき

["0"になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

43.2.30 A/D 高電位 / 低電位基準電圧コントロールレジスタ (ADHVREFCNT)

アドレス S12AD.ADHVREFCNT 0008 908Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	ADSLP	—	—	LVSEL	—	—	HVSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	HVSEL[1:0]	高電位側基準電圧選択ビット	b1 b0 0 0 : 高電位側基準電圧にAVCC0を選択 0 1 : 高電位側基準電圧のVREFH0を選択 上記以外は設定しないでください	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	LVSEL	低電位側基準電圧選択ビット	0 : 低電位側基準電圧にAVSS0を選択 1 : 低電位側基準電圧にVREFL0を選択	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ADSLP	スリープビット	0 : 通常動作 1 : スタンバイ状態	R/W

ADHVREFCNT レジスタは、高電位 / 低電位基準電圧の設定を行います。A/D 変換前に設定してください。

HVSEL[1:0] ビット (高電位側基準電圧選択ビット)

高電位側基準電圧の設定を行います。AVCC0、VREFH0 から選択できます。

LVSEL ビット (低電位側基準電圧選択ビット)

低電位側基準電圧の設定を行います。AVSS0、VREFL0 から選択できます。

ADSLP ビット (スリープビット)

12ビットA/Dコンバータをスタンバイ状態にします。ADCSR.ADHSC ビットを書き換える場合にのみADSLP ビットを“1”にしてください。ADCSR.ADHSC ビットを書き換え以外で、ADSLP ビットを“1”にすることは禁止です。

ADSLP ビットを“1”にした後は、5 μ s以上経ってから“0”にしてください。またADSLP ビットを“0”にした後、1 μ s以上待ってからA/D変換を開始してください。

ADHSC ビットを書き換え手順は、「43.8.10 ADHSC ビットを書き換え手順」を参照してください。

43.2.31 A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON)

アドレス S12AD.ADWINMON 0008 908Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MONC MPB	MONC MPA	—	—	—	MONC OMB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MONCOMB	組み合わせ結果モニタフラグ	組み合わせの結果を示します。 本フラグはウィンドウA/B共に動作状態のときに有効です。 0：ウィンドウA/Bの複合条件不成立 1：ウィンドウA/Bの複合条件成立	R
b3-b1	—	予約ビット	読むと“0”が読めます	R
b4	MONCMPA	比較結果モニタAフラグ	0：ウィンドウA比較条件不成立 1：ウィンドウA比較条件成立	R
b5	MONCMPB	比較結果モニタBフラグ	0：ウィンドウB比較条件不成立 1：ウィンドウB比較条件成立	R
b7-b6	—	予約ビット	読むと“0”が読めます	R

ADWINMON レジスタは比較結果と組みあわせ結果をモニタできます。

MONCOMB フラグ (組み合わせ結果モニタフラグ)

ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件で比較条件結果 A と比較結果条件 B を組み合わせた結果を示す読み出し専用のフラグです。

["1"になる条件]

- ADCMPCR.CMPAE = 1 かつ ADCMPCR.CMPBE = 1 の条件で、ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件に一致

["0"になる条件]

- ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件に一致しない。
- ADCMPCR.CMPAE = 0 または ADCMPCR.CMPBE = 0 のとき

MONCMPA フラグ (比較結果モニタ A フラグ)

ADCMPLR0、ADCMPLR1、ADCMPLER レジスタで設定した条件にウィンドウ A 対象チャネルの AD 変換値が一致した場合は“1”を、一致しなかった場合は“0”を示す読み出し専用のフラグです。

["1"になる条件]

- ADCMPCR.CMPAE = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が成立したとき

["0"になる条件]

- ADCMPCR.CMPAE = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が不成立のとき
- ADCMPCR.CMPAE = 0 のとき (ADCMPCR.CMPAE = 1 → 0 で自動クリア)

MONCMPB フラグ (比較結果モニタ B フラグ)

ADCMPBNSR.CMPLB ビットで設定した条件にウィンドウ B 対象チャネルの AD 変換値が一致した場合は“1”を、一致しなかった場合は“0”を示す読み出し専用のフラグです。

["1"になる条件]

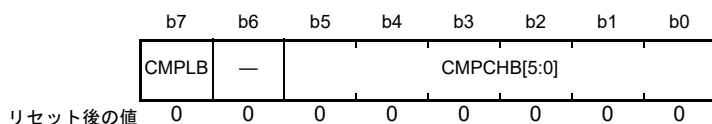
- ADCMPCR.CMPBE = 1 の条件で、ADCMPBNSR.CMPLB ビットに設定した条件が成立したとき

[“0”になる条件]

- ADCMPPCR.CMPBE = 1 の条件で、ADCMPBNSR.CMPLB ビットに設定した条件が不成立のとき
- ADCMPPCR.CMPBE = 0 のとき (ADCMPPCR.CMPBE = 1 → 0 で自動クリア)

43.2.32 A/D コンペア機能ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR)

アドレス S12AD.ADCMPBNSR 0008 90A6h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHB[5:0]	コンペアウィンドウ B チャンネル選択ビット	コンペアウィンドウ B の条件で比較を行うチャンネルを選択します b5 b0 0 0 0 0 0 : AN000 0 0 0 0 1 : AN001 0 0 0 1 0 : AN002 : : 0 0 0 1 1 0 : AN006 0 0 0 1 1 1 : AN007 0 1 0 0 0 0 : AN016 0 1 0 0 0 1 : AN017 : : 0 1 1 1 0 1 : AN029 0 1 1 1 1 0 : AN030 0 1 1 1 1 1 : AN031 1 0 0 0 0 0 : 温度センサ 1 0 0 0 0 1 : 内部基準電圧 上記以外は設定しないでください	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CMPLB	コンペアウィンドウ B コンペア条件設定ビット	ウィンドウ機能無効時 (ADCMPPCR.WCMPE ビットが“0”) 0 : ADWINLLB レジスタ値 > A/D 変換値 1 : ADWINLLB レジスタ値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPPCR.WCMPE ビットが“1”) 0 : A/D 変換値 < ADWINLLB レジスタ値 または ADWINULB レジスタ値 < A/D 変換値 1 : ADWINLLB レジスタ値 < A/D 変換値 < ADWINULB レジスタ値	R/W

ADCMPBNSR レジスタは、コンペアウィンドウ B 機能の設定を行います。

CMPCHB[5:0] ビット (コンペアウィンドウ B チャンネル選択ビット)

コンペアウィンドウ B の条件で比較を行うチャンネルを AN000 ~ AN007、AN016 ~ AN031、温度センサ、内部基準電圧から選択するビットです。

ADANSA0、ADANSA1、ADANSB0、または ADANSB1 レジスタで選択した A/D 変換チャンネルの番号 (16 進) を指定すると、コンペアウィンドウ B 機能が有効になります。

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

CMPLB ビット (コンペアウィンドウ B コンペア条件設定ビット)

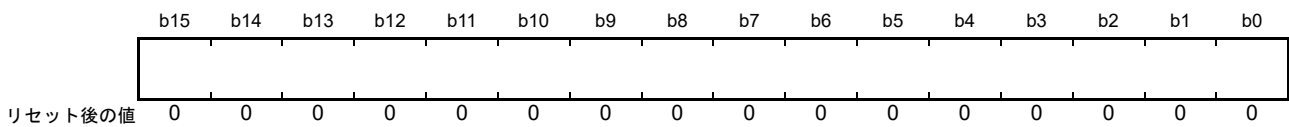
ウィンドウ B 対象としたチャンネルの比較条件を設定します。各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPBSR.CMPSTB フラグが“1”にセットされます。コンペア条件を図 43.4 に示します。

(1) ウィンドウ機能無効時のコンペア条件			
CMPLB = 0		CMPLB = 1	
ADWINLLB レジスタ値 \leq A/D 変換値	不一致	ADWINLLB レジスタ値 $<$ A/D 変換値	一致
ADWINLLB レジスタ値 $>$ A/D 変換値	一致	ADWINLLB レジスタ値 \geq A/D 変換値	不一致
(2) ウィンドウ機能有効時のコンペア条件			
CMPLB = 0			
AD 変換値 $>$ ADWINULB レジスタ値	一致		
ADWINLLB レジスタ値 \leq AD 変換値 \leq ADWINULB レジスタ値	不一致		
AD 変換値 $<$ ADWINLLB レジスタ値	一致		
CMPLB = 1			
AD 変換値 \geq ADWINULB レジスタ値	不一致		
ADWINLLB レジスタ値 $<$ A/D 変換値 $<$ ADWINULB レジスタ値	一致		
AD 変換値 \leq ADWINLLB レジスタ値	不一致		

図 43.4 コンペア機能ウィンドウ B コンペア条件説明

43.2.33 A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)

アドレス S12AD.ADWINLLB 0008 90A8h



ADWINLLB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADWINLLB は、ウィンドウ B の下位側レベルを設定します。

ADWINLLB レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル \geq 下限側レベル (ADWINULB 設定値 \geq ADWINLLB 設定値) となるように設定してください。

ADWINLLB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めフォーマットに設定した場合
b11-b0 にコンペアレベル (下位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めフォーマットに設定した場合
b15-b4 にコンペアレベル (下位側) を設定します。b3-b0 は “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b3-b0 は “0” を書いてください。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b14 は “0” を書いてください。
- 右詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。
- 左詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b15-b2 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b1-b0 は “0” を書いてください。

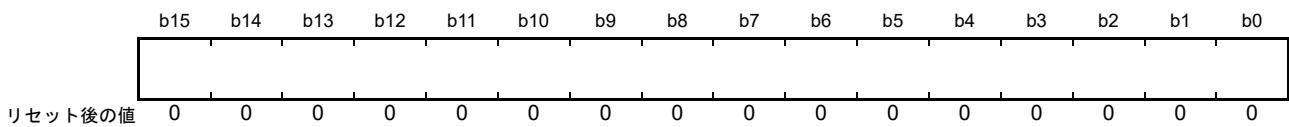
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。

A/D 変換値加算モードを選択したとき、同一チャンネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADWINLLB レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADWINLLB レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

43.2.34 A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)

アドレス S12AD.ADWINULB 0008 90AAh



ADWINULB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADWINULB は、ウィンドウ B の上位側レベルを設定します。

ADWINULB レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル \geq 下限側レベル (ADWINULB 設定値 \geq ADWINLLB 設定値) となるように設定してください。

ADWINULB レジスタはウィンドウ機能無効時には使用しません。

ADWINULB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めフォーマットに設定した場合
b11-b0 にコンペアレベル (上位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めフォーマットに設定した場合
b15-b4 にコンペアレベル (上位側) を設定します。b3-b0 は “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b3-b0 は “0” を書いてください。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b14 は “0” を書いてください。
- 右詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。
- 左詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b15-b2 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b1-b0 は “0”

を書いてください。

- 左詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合 b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。

A/D 変換値加算モードを選択したとき、同一チャンネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADWINULB レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADWINULB レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

43.2.35 A/D コンペア機能ウィンドウ B チャンステータスレジスタ (ADCOMPBSR)

アドレス S12AD.ADCMPBSR 0008 90ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPST B
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウ B フラグ	0 : 比較条件不成立 1 : 比較条件成立	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCOMPBSR レジスタは、コンペアウィンドウ B 機能の比較結果を格納するレジスタです。

CMPSTB フラグ (コンペアウィンドウ B フラグ)

ウィンドウ B 比較条件の対象としたチャンネル (AN000～AN007, AN016～AN031、温度センサ、内部基準電圧) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPBSR.CMPCHB[5:0] ビットに設定された比較条件と一致した場合、“1”にセットされます。

CMPSTB フラグに“1”を書き込むことはできません。

[“1”になる条件]

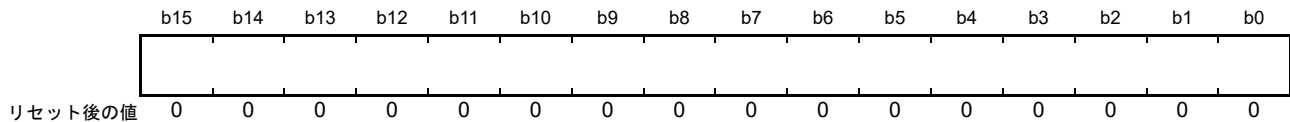
- ADCMPBSR.CMPBE = 1 の条件で、ADCMPBSR.CMPLB ビットに設定した条件が成立したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

43.2.36 A/D データ格納バッファレジスタ n (ADBUFn) (n = 0 ~ 15)

アドレス S12AD.ADBUF0 0008 90B0h, S12AD.ADBUF1 0008 90B2h, S12AD.ADBUF2 0008 90B4h,
S12AD.ADBUF3 0008 90B6h, S12AD.ADBUF4 0008 90B8h, S12AD.ADBUF5 0008 90BAh,
S12AD.ADBUF6 0008 90BCh, S12AD.ADBUF7 0008 90BEh, S12AD.ADBUF8 0008 90C0h,
S12AD.ADBUF9 0008 90C2h, S12AD.ADBUF10 0008 90C4h, S12AD.ADBUF11 0008 90C6h,
S12AD.ADBUF12 0008 90C8h, S12AD.ADBUF13 0008 90CAh, S12AD.ADBUF14 0008 90CCh,
S12AD.ADBUF15 0008 90CEh



A/D データ格納バッファレジスタ n (ADBUFn) は、全 A/D 変換値を順に格納する 16 ビットの読み出し専用レジスタです。本レジスタはオートクリア機能対象外です。

ADBUFn レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めフォーマットに設定した場合
b11-b0 に A/D 変換値を格納します。読み出し時、b15-b12 は“0”が読み出されます。
- 左詰めフォーマットに設定した場合
b15-b4 に A/D 変換値を格納します。読み出し時、b3-b0 は“0”が読み出されます。

(2) A/D 変換値平均モードを選択した場合

- 右詰めフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値を平均した値を格納します。読み出し時、b15-b12 は“0”が読み出されます。
- 左詰めフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値を平均した値を格納します。読み出し時、b3-b0 は“0”が読み出されます。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。読み出し時、b15-b14 は“0”が読み出されます。
- 右詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。
- 左詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b15-b2 に同一チャンネルの A/D 変換値を加算した値を格納します。読み出し時、b1-b0 は“0”が読み出されます。
- 左詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。

A/D 変換値加算モードを選択したとき、同一チャンネルの A/D 変換値を加算した値を格納します。A/D 変換

回数は1回～4回、16回に設定できます。A/D変換値加算モードを選択すると、A/D変換回数を1回～4回設定時には、変換精度のビット数に2ビット分拡張したデータとしてADBUFnレジスタに格納します。A/D変換回数16回設定時には、変換精度のビット数に4ビット分拡張したデータとしてADBUFnレジスタに格納します。

A/D変換値加算モードを選択した場合でも、A/Dデータレジスタフォーマット選択ビットの設定にしたがいADBUFnレジスタに拡張したA/D変換値を格納します。

43.2.37 A/Dデータ格納バッファイネーブルレジスタ (ADBUFEN)

アドレス S12AD.ADBUFEN 0008 90D0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BUFEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BUFEN	データ格納バッファイネーブルビット	0: データ格納バッファを使用しない 1: データ格納バッファを使用する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADBUFENレジスタは、データ格納バッファイネーブルの設定を行います。

BUFENビット (データ格納バッファイネーブルビット)

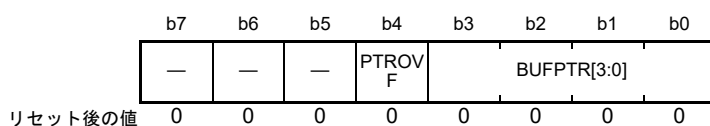
コンペア機能使用時に、データ格納バッファの使用を許可するビットです。

BUFEN = 1 のとき、自己診断以外のA/D変換結果(加算結果)をADBUFnに格納します。

ADBUFn、およびADBUFPTRは、データ格納動作を停止(BUFEN = 0)させてから読み出してください。データ二重化/連続スキャン/グループスキャン時、データ格納バッファは使用しないでください。

43.2.38 A/D データ格納バッファポインタレジスタ (ADBUFPTR)

アドレス S12AD.ADBUFPTR 0008 90D2h



ビット	シンボル	ビット名	機能	R/W
b3-b0	BUFPTR[3:0]	データ格納バッファポインタ	次のA/D変換データが転送されるデータ格納バッファの番号を示します	R/W
b4	PTROVF	ポインタオーバーフローフラグ	0: データ格納バッファポインタがオーバーフローしていない 1: データ格納バッファポインタがオーバーフローした	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADBUFPTR レジスタは、データ格納バッファポインタのレジスタです。

BUFPTR[3:0] ビット (データ格納バッファポインタ)

次のA/D変換データが転送されるデータ格納バッファの番号を示す読み出しビットです。

データ格納バッファ 15 にデータが転送されると、ポインタの値は“0000b”になり、PTROVF フラグが“1”にセットされます。次のデータが転送されるとデータ格納バッファ 0 のデータを上書きします。

本レジスタに“00h”を書き込むと値はクリアされます。“00h”以外の書き込みは無効です。

PTROVF フラグ (ポインタオーバーフローフラグ)

データ格納バッファポインタがオーバーフローしたかどうかを示す読み出しビットです。ポインタの値がオーバーフローして“0000b”になると“1”がセットされます。

本レジスタに“00h”を書き込むと値はクリアされます。“00h”以外の書き込みは無効です。

43.3 動作説明

43.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、シングルスキャンモードと連続スキャンモードとグループスキャンモードの3種類の動作モードがあります。また、変換モードには高速変換モードと通常変換モードがあります。シングルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアでADCSR.ADSTビットを“0”(“1”の状態から“0”)にクリアするまで無制限に繰り返し実施するモードです。グループスキャンモードは、グループAとグループBのスキャンをそれぞれ選択した同期トリガで開始し、グループAとグループBで選択したチャンネルのスキャンをそれぞれ1回ずつ実施して終了するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA0、ADANSA1レジスタで選択したAN_nのnが小さい番号順からA/D変換を行います。グループスキャンモードは、グループAがADANSA0、ADANSA1レジスタで選択したAN_nのnが小さい番号順から、グループBがADANSB0、ADANSB1レジスタで選択したAN_nのnが小さい番号順からA/D変換を行います。

自己診断を選択した場合は、スキャンごとの最初に1回実施され、12ビットA/Dコンバータ内部で生成する3つの電圧値のうち1つをA/D変換します。

温度センサ出力または、内部基準電圧をA/D変換する場合は単独でスキャンを実施してください。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可すると、ADSTRGR.TRSA[5:0]ビットで選択した、同期トリガでのスキャン起動でのみ、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルのA/D変換データを二重化します。

43.3.2 シングルスキャンモード

43.3.2.1 基本動作

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって、ADCSR.ADSTビットが“1”(A/D変換開始)になると、ADANSA0、ADANSA1レジスタで選択したAN_nのnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDR_y)に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI0割り込み許可)に設定されていると、S12ADI0割り込み要求を発生します。
- (4) ADCSR.ADSTビットはA/D変換中は“1”(A/D変換開始)を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

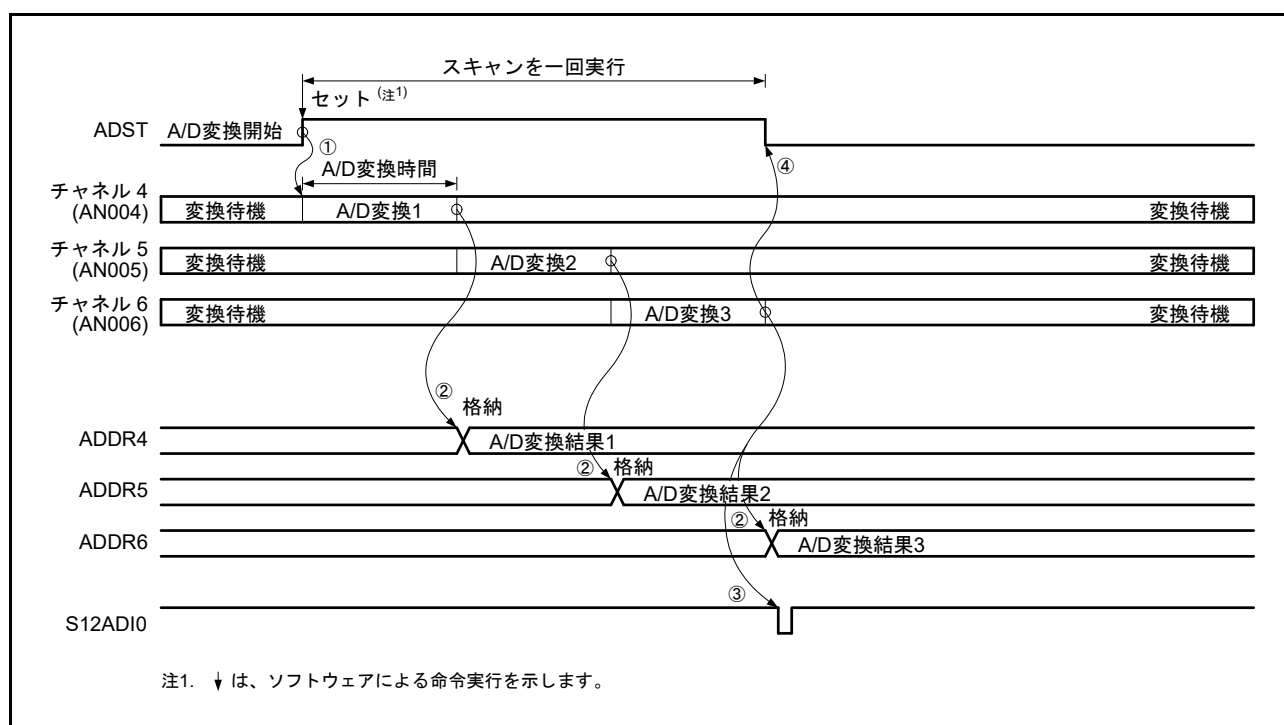


図 43.5 シングルスキャンモードの動作例 (基本動作 : AN004、AN005、AN006 選択)

43.3.2.2 チャネル選択と自己診断

チャネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャンネルのアナログ入力を1回のみA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ(ADRD)に格納され、次にADANSA0、ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)へ格納されます。
- (4) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI0割り込み許可)に設定されていれば、S12ADI0割り込み要求を発生します。
- (5) ADSTビットはA/D変換中は“1”(A/D変換開始)を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

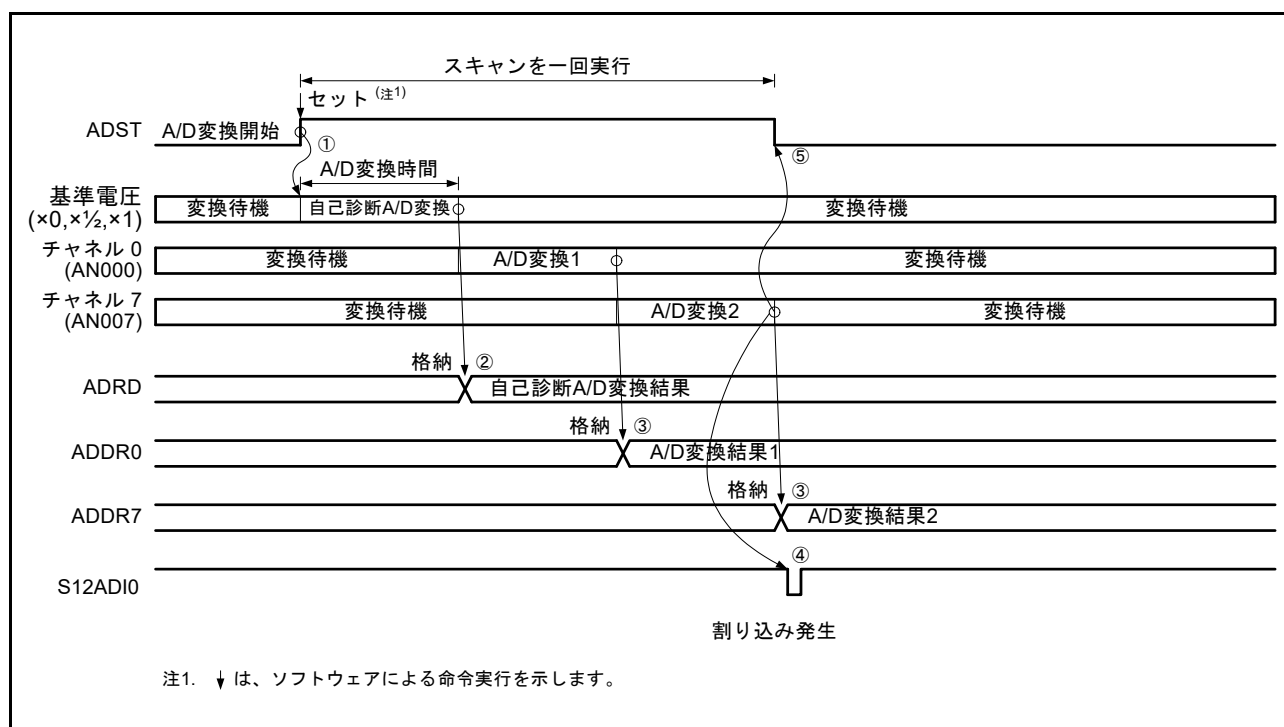


図 43.6 シングルスキャンモードの動作例 (基本動作 : AN000、AN007 選択 + 自己診断)

43.3.2.3 温度センサ出力 / 内部基準電圧選択時の A/D 変換動作

温度センサ出力または内部基準電圧の A/D 変換は、シングルスキャンモードで実行し、動作は以下のようになります。

チャンネル選択はすべて非選択 (ADANSA0、ADANSA1 レジスタビットはすべて“0”かつ ADCSR.DBLE ビットを“0”) に設定します。また温度センサ出力の A/D 変換を選択する場合は、内部基準電圧の A/D 変換選択ビット (ADEXICR.OCOSA) は“0” (非選択) に、内部基準電圧の A/D 変換を選択する場合は、温度センサ出力の A/D 変換選択ビット (ADEXICR.TSSA) は“0” (非選択) に設定します。

- (1) サンプリング時間は $5\mu\text{s}$ 以上になるように設定してください。
- (2) 内部基準電圧または温度センサ出力の A/D 変換に切り替えた後、ADST ビットを“1”にセットして変換を開始してください。
- (3) A/D 変換が終了すると、A/D 変換結果は対応する A/D 温度センサデータレジスタ (ADTSDR) または A/D 内部基準電圧データレジスタ (ADOCDR) に格納され、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。
- (4) ADST ビットは A/D 変換中は“1”を保持し、A/D 変換が終了すると自動的にクリアされ、A/D 変換器は待機状態になります。

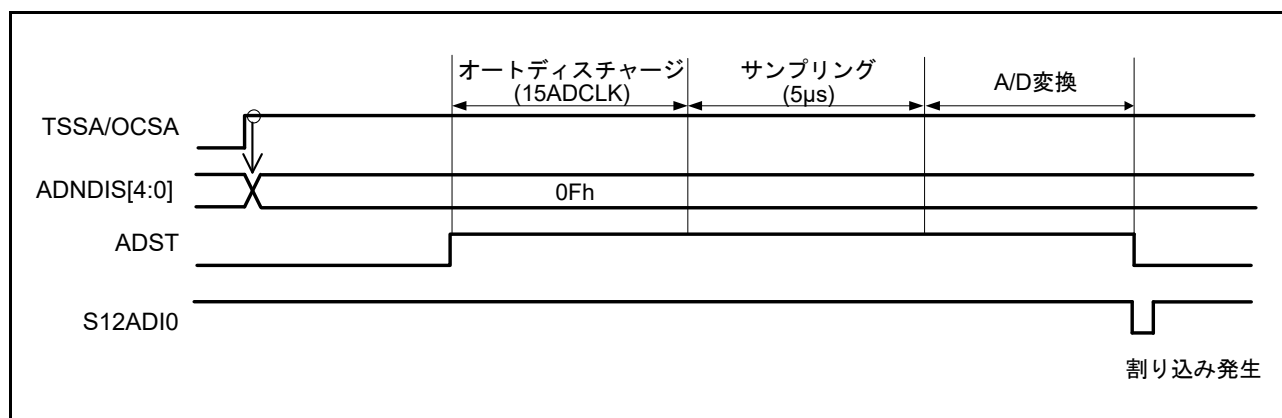


図 43.7 シングルスキャンモードの動作例 (温度センサ出力、内部基準電圧選択)

43.3.2.4 ダブルトリガモード選択時の動作

シングルスキャンモードでダブルトリガモードを選択した場合は、以下のように同期トリガで開始するシングルスキャンモードを2回行います。

自己診断は非選択とし、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSSA) を“0”に設定してください。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。ADCSR.DBLE を“1”にした場合は ADANSA0、ADANSA1 レジスタのチャンネル選択は無効になります。またダブルトリガモードを選択する場合は、ADSTRGR.TRSA[5:0] ビットで同期トリガを選択し、ADCSR.EXTRG ビットを“0”に、ADCSR.TRGE ビットを“1”に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) 同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) にセットされると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) へ格納されます。
- (3) ADST は自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了による S12ADI0 割り込み許可) の設定に関わらず、S12ADI0 割り込みは発生しません。
- (4) 2 回目のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (5) A/D 変換が終了すると、A/D 変換結果はダブルトリガモード専用の A/D データ二重化レジスタ (ADDBLDR) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI0 割り込み許可) に設定されていれば、S12ADI0 割り込み要求を発生します。
- (7) ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

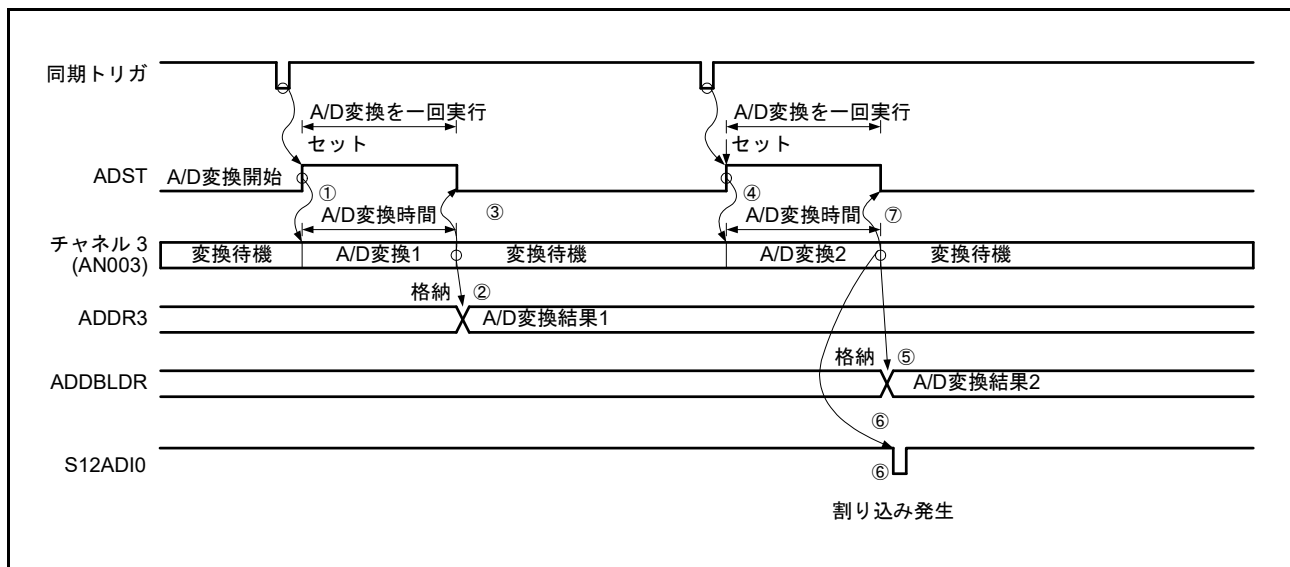


図 43.8 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003 を二重化)

43.3.3 連続スキャンモード

43.3.3.1 基本動作

連続スキャンモードの基本動作は、選択されたチャンネルのアナログ入力を以下のように繰り返しA/D変換します。

連続スキャンモード時は、温度センサ出力A/D変換選択ビット (ADEXICR.TSSA) と内部基準電圧A/D変換選択ビット (ADEXICR.OCSA) はともに“0”(非選択)に設定します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、ADANSA0、ADANSA1レジスタで選択したANnのnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI0割り込み許可)に設定されていると、S12ADI0割り込み要求を発生します。
また12ビットA/Dコンバータは、継続してADANSA0、ADANSA1レジスタで選択したANnのnが小さい番号順にA/D変換を開始します。
- (4) A/D変換開始ビットは自動的にクリアされず、“1”(A/D変換開始)の間は(2)～(3)を繰り返します。A/D変換開始ビットを“0”(A/D変換停止)に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (5) その後、A/D変換開始ビットを“1”(A/D変換開始)にセットすると再びADANSA0、ADANSA1レジスタで選択したANnのnが小さい番号順にA/D変換を開始します。

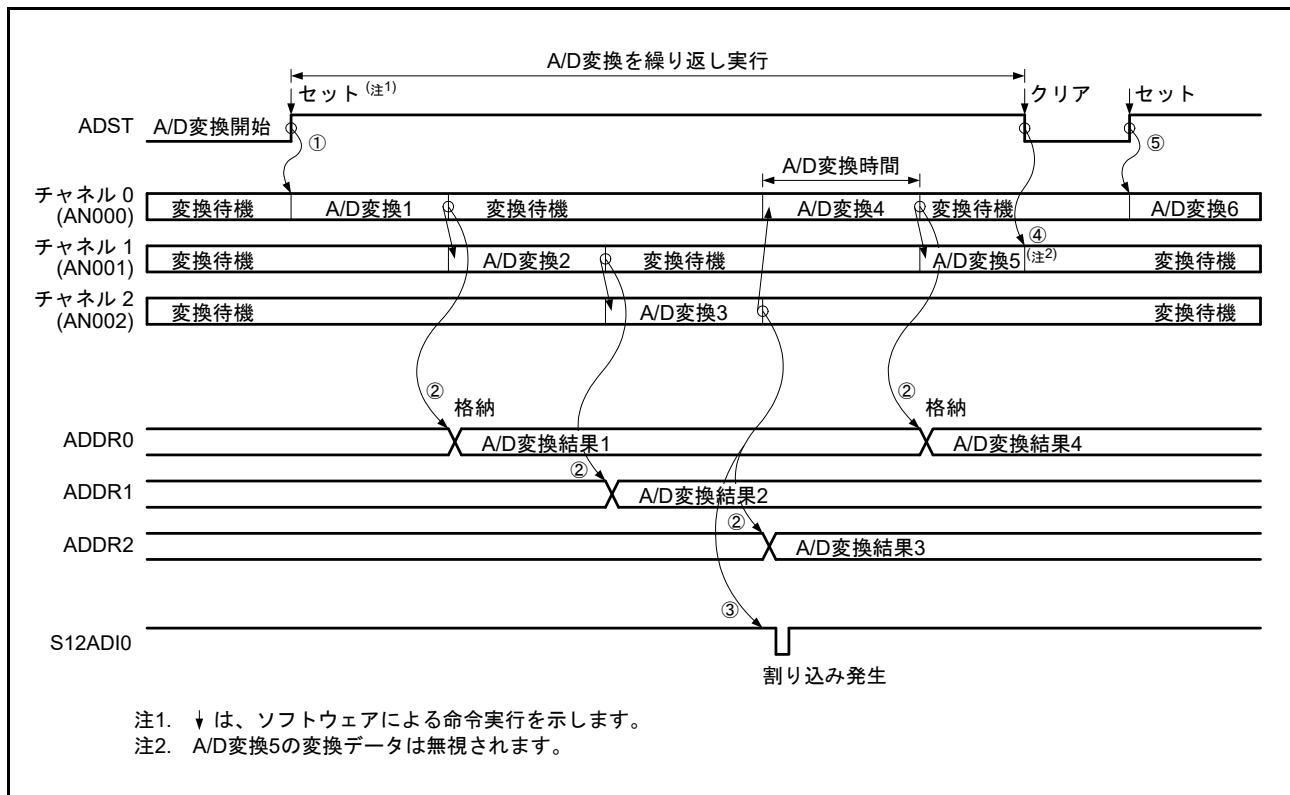


図 43.9 連続スキャンモードの動作例 (基本動作 : AN000、AN001、AN002 選択)

43.3.3.2 チャネル選択と自己診断

チャネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャンネルのアナログ入力をA/D変換する動作を繰り返します。連続スキャンモード時は温度センサA/D変換選択ビット(ADEXICR.TSSA)と内部基準電圧A/D変換選択ビット(ADEXICR.OCSA)はともに“0”(非選択)に設定します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ(ADDRD)に格納され、次にADANSA0、ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)へ格納されます。
- (4) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI0割り込み許可)に設定されていれば、S12ADI0割り込み要求を発生します。また、12ビットA/Dコンバータは継続して自己診断でのA/D変換を開始し、終了後にADANSA0、ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (5) ADSTビットは自動的にクリアされず、“1”に設定されている間は(2)～(4)を繰り返します。ADSTビットを“0”(A/D変換停止)に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (6) その後、ADSTビットが“1”(A/D変換開始)に設定されると、再び自己診断でのA/D変換から開始します。

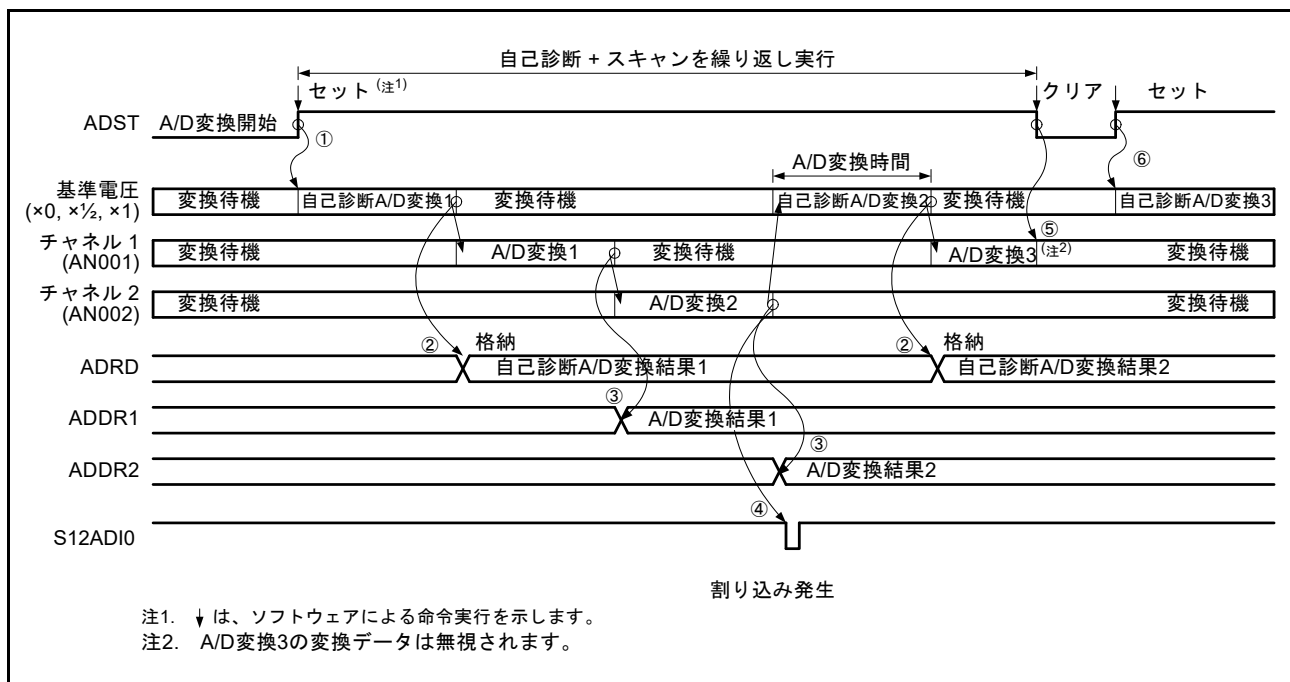


図 43.10 連続スキャンモードの動作例 (基本動作 : AN001、AN002 選択 + 自己診断)

43.3.4 グループスキャンモード

43.3.4.1 基本動作

グループスキャンモードの基本動作は、同期トリガをスキャン開始条件とし、グループ A とグループ B のそれぞれで選択したすべてのチャンネルのアナログ入力を以下のように 1 回のみ A/D 変換します。グループ A とグループ B のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。また、ソフトウェアトリガは使用しないでください。

A/D 変換対象とするチャンネルは、ADANSA0、ADANSA1 レジスタでグループ A のチャンネルを選択し、ADANSB0、ADANSB1 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモード時は温度センサ A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSSA) はともに“0” (非選択) に設定します。

グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B それぞれで自己診断を実施します。

以下に MTU からの同期トリガによるグループスキャンモードの動作例を示します。グループ A は MTU からの TRG4AN トリガで変換開始し、グループ B は MTU からの TRG4BN トリガで変換開始する設定です。

- (1) MTU からの TRG4AN トリガでグループ A のスキャンを開始します。
- (2) グループ A のスキャン終了時に ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込みを発生します。
- (3) MTU からの TRG4BN トリガでグループ B のスキャンを開始します。
- (4) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1” (スキャン終了による GBADI 割り込み許可) に設定されていると、GBADI 割り込みを発生します。

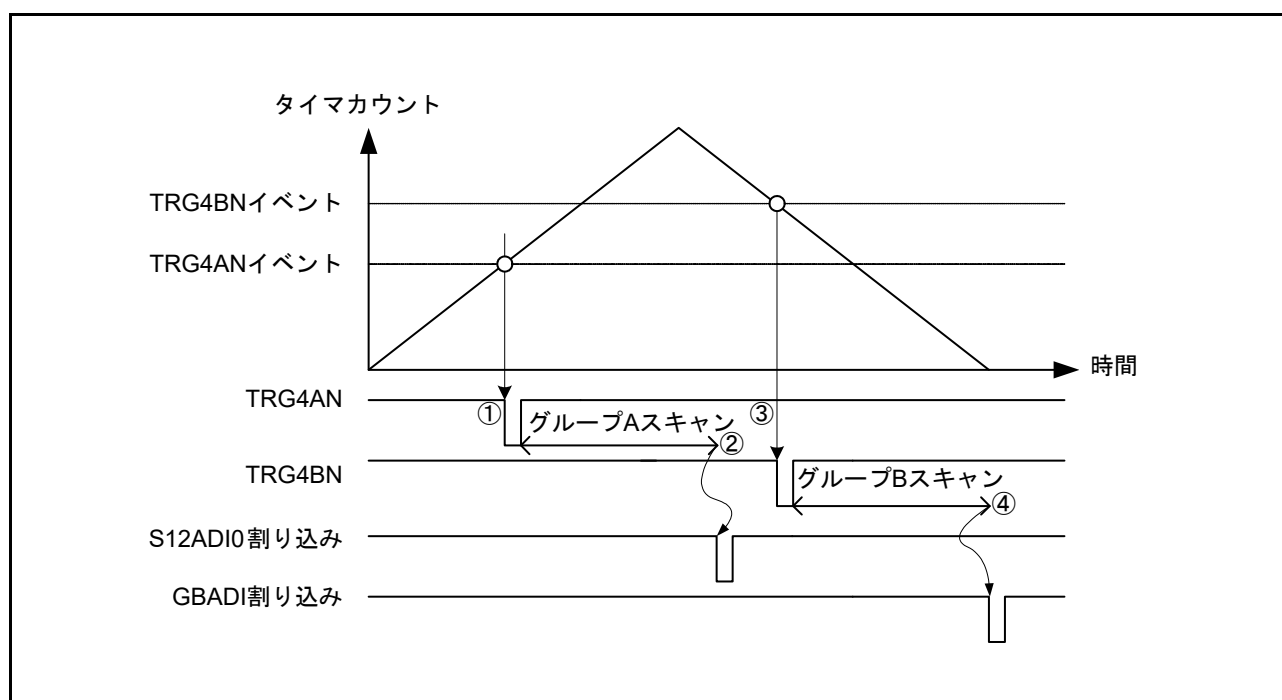


図 43.11 グループスキャンモードの動作例 (MTU からの同期トリガ発生による基本動作)

43.3.4.2 ダブルトリガモード選択時の動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガで開始するシングルスキャンモードの実行 2 回分を一連の動作として制御します。グループ B は同期トリガで開始するシングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。また、ソフトウェアトリガ、および非同期トリガは使用しないでください。

A/D 変換対象とするチャンネルは、ADCSR.DBLANS[4:0] ビットでグループ A のチャンネルを選択し、ADANSB0、ADANSB1 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。グループスキャンモード時は温度センサ A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) はともに“0”(非選択)に設定します。

グループスキャンモードでダブルトリガモード選択時は自己診断は選択できません。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。

以下に MTU からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。グループ A は MTU からの TRG4ABN トリガで変換開始し、グループ B は MTU からの TRG0AN トリガで変換開始する設定です。

- (1) MTU からの TRG0AN トリガでグループ B のスキャンを開始します。
- (2) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1”(スキャン終了による GBADI 割り込み許可)に設定されていると、GBADI 割り込みを発生します。
- (3) MTU からの 1 回目の TRG4ABN トリガでグループ A の 1 回目のスキャンを開始します。
- (4) グループ A の 1 回目のスキャン終了時は、A/D 変換結果を対応する A/D データレジスタ (ADDRy) に格納し、ADCSR.ADIE ビットの設定に関わらず S12ADI0 割り込み要求は発生しません。
- (5) MTU からの 2 回目の TRG4ABN トリガでグループ A の 2 回目のスキャンを開始します。
- (6) グループ A の 2 回目のスキャン終了時は、変換データを ADDBLDR に格納し、ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI0 割り込み許可)に設定されていると、S12ADI0 割り込み要求を発生します。

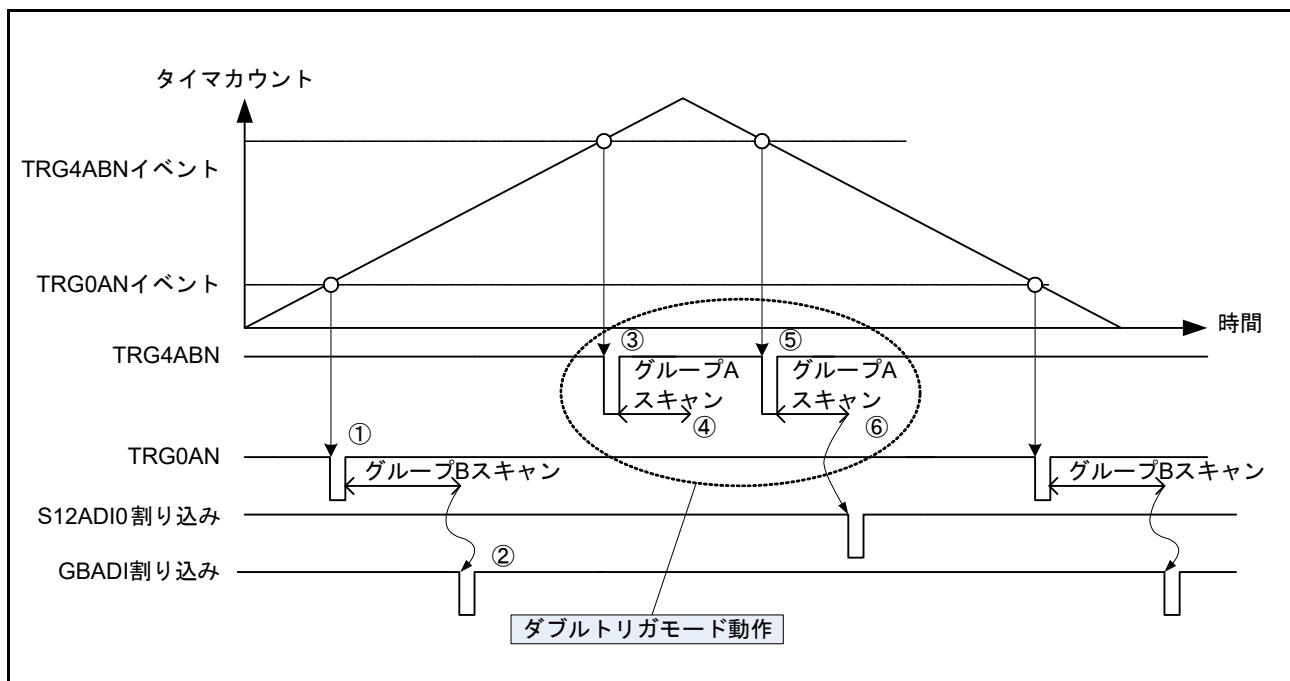


図 43.12 グループスキャンモードでダブルトリガモード選択時の動作例
(MTUからの同期トリガ発生による基本動作)

43.3.4.3 グループ A 優先制御動作

グループスキャンモードでA/Dグループスキャン優先コントロールレジスタ (ADGSPCR) のPGSビットを“1”にすると、グループA優先制御動作を行います。ADGSPCRレジスタのPGSビットを“1”に設定する際は、図43.13に記載された手順に従い、設定を実行してください。フロー以外の設定をした場合、A/D変換の動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループA、もしくはグループBのA/D変換動作中に他方のトリガ入力があっても無視されます。グループA優先制御動作では、グループBのA/D変換動作中にグループAのトリガ入力があった場合、グループBのA/D変換動作を中断して、グループAのA/D変換動作を行います。ADGSPCR.GBRSCNビットが“0”のときは、グループAのA/D変換動作終了後に待機状態となります。ADGSPCR.GBRSCNビットが“1”のときは、グループAのA/D変換動作終了後、自動的にグループBのA/D変換動作をスキャン先頭から再開します。ADGSPCR.GBRSCNビットの設定とA/D変換動作中のトリガ入力時の動作を表43.9に示します。

グループAとグループBのスキャン動作は、シングルスキャンモードと同じ動作になります。またグループBのスキャン動作は、ADGSPCR.GBRPビットに“1”を設定すると、シングルスキャンを連続して実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0]ビットでグループAの同期トリガを選択し、ADSTRGR.TRSB[5:0]ビットでグループAのトリガとは異なるグループBの同期トリガを選択してください。ADGSPCR.GBRPビットに“1”を設定する場合は、ADSTRGR.TRSB[5:0]ビットは“3Fh”を設定してください。またA/D変換対象とするチャンネルは、ADANSA0、ADANSA1レジスタでグループAのチャンネルを選択し、ADANSB0、ADANSB1レジスタでグループAとは異なるグループBのチャンネルを選択してください。

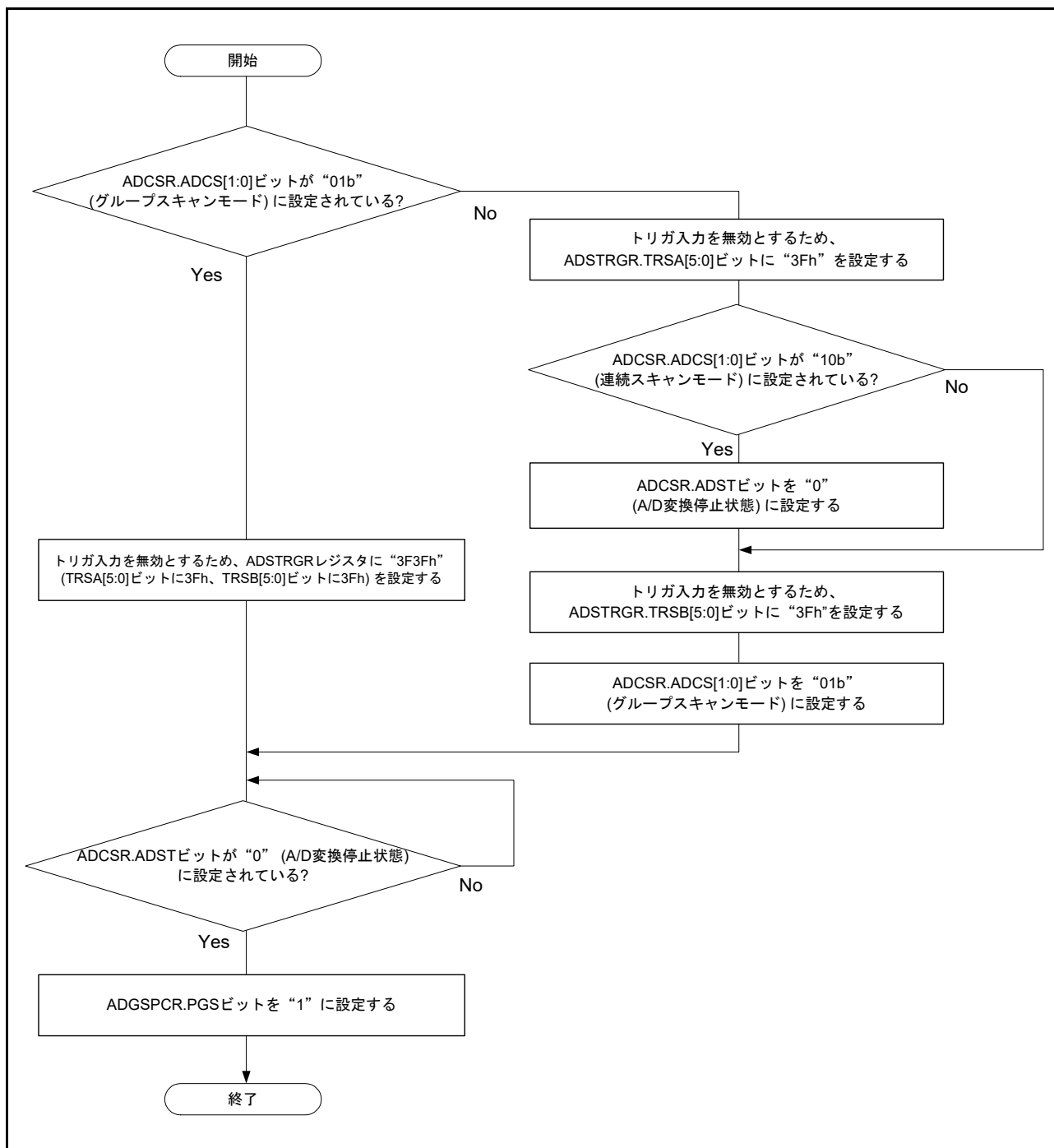


図 43.13 ADGSPCR.PGS ビット設定時のフロー

表43.9 ADGSPCR.GBRSCNビットの設定によるA/D変換動作制御

A/D変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループA のA/D変換動作中	グループAトリガ入力	トリガ入力無効	トリガ入力無効
	グループBトリガ入力	トリガ入力無効	グループAのA/D変換動作終了後、グループBのA/D変換動作を行います。
グループB のA/D変換動作中	グループAトリガ入力	グループBのA/D変換中断し、 グループAのA/D変換動作開始	<ul style="list-style-type: none"> グループBのA/D変換中断し、グループAのA/D変換動作開始 グループAのA/D変換終了後、グループBのA/D変換動作開始
	グループBトリガ入力	トリガ入力無効	トリガ入力無効

以下にグループAにチャンネル0を、グループBにチャンネル1～3を選択したグループスキャンモードグループA優先制御動作の動作例 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0時) を示します。

- グループBのトリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、ADANSB0、ADANSB1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- A/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
- グループBのA/D変換動作中に、グループAのトリガ入力があると、ADCSR.ADSTビットを“0”にクリアし、動作中のA/D変換を中断します。その後、ADCSR.ADSTビットが“1”(A/D変換開始)になると、ADANSA0、ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
- ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI0割り込み許可)に設定されていると、S12ADI0割り込み要求を発生します。
- ADSTビットは自動的にクリアされた後、再度、自動的にADCSR.ADSTビットが“1”(A/D変換開始)になると、ADANSB0、ADANSB1レジスタで選択したチャンネルANnのnが小さい番号順に、グループBのA/D変換を再度開始します。
- 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
- ADCSR.GBADIEビットが“1”(グループBのスキャン終了によるGBADI割り込み許可)に設定されていると、GBADI割り込み要求を発生します。
- ADSTビットはA/D変換中は“1”(A/D変換開始)を保持し、A/D変換が終了すると自動的にクリアされ、A/Dコンバータは待機状態になります。

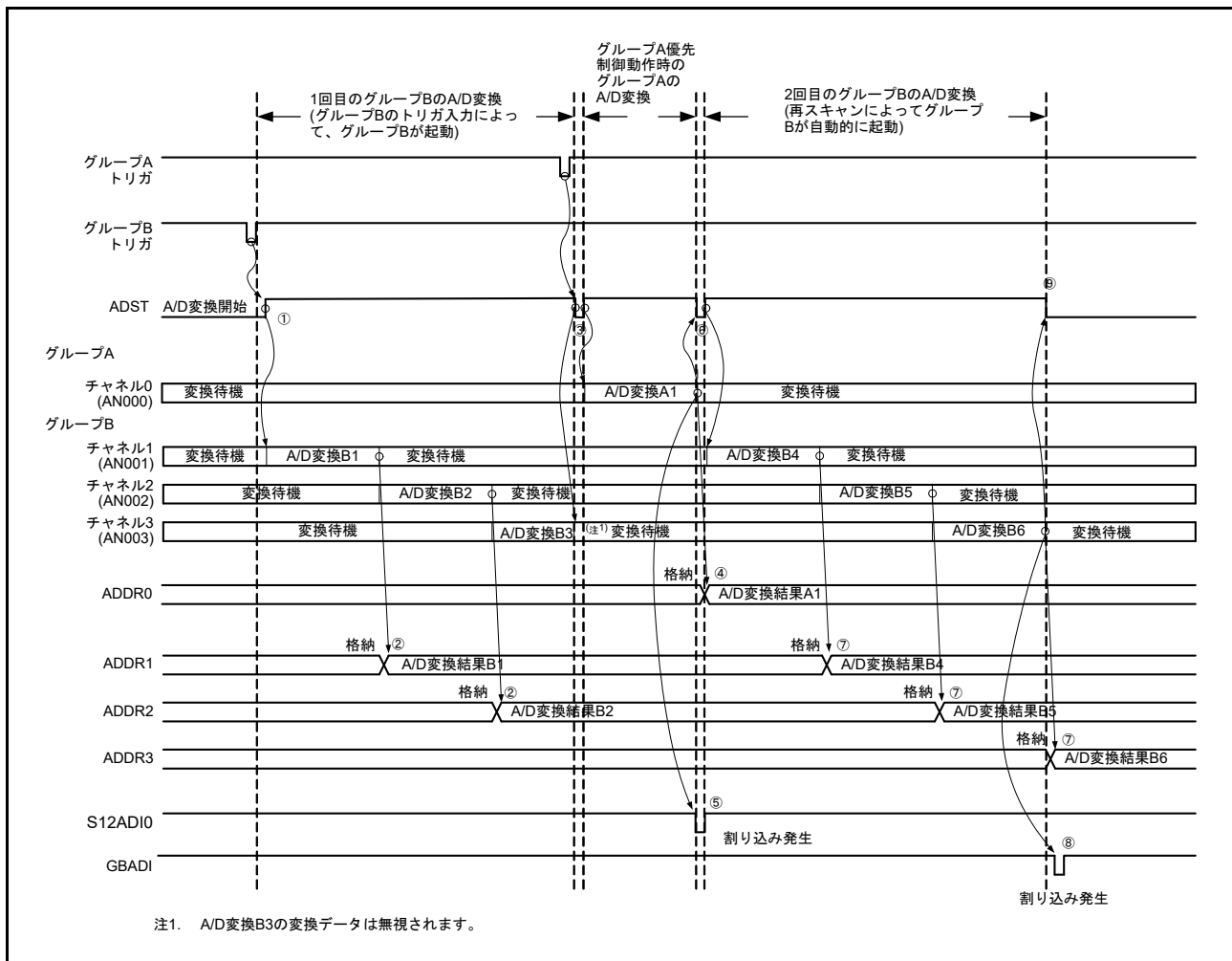


図 43.14 グループ A 優先制御の動作例 (1) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時の動作)

次に、グループ B 再スキャン動作時に、再度グループ A のトリガが入力された場合の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 0 を、グループ B にチャンネル 1 ~ 3 を選択した場合の例を示します。

- (1) グループ B のトリガ入力によって、ADCSR.ADST ビットが“1” (A/D 変換開始) に設定されると、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリア (A/D 変換停止) し、動作中のグループ B の A/D 変換を中断します。
- (4) その後、ADCSR.ADST ビットを自動的に“1”にし、ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、グループ A の A/D 変換を開始します。
- (5) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。
- (7) ADGSPCR.GBRSCN ビットが“1” (再スキャン動作有効) に設定されていると、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが“1”に設定されます。その

- 後、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
- (8) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
 - (9) 再スキャン起動によるグループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリア (A/D 変換停止) し、動作中のグループ B の A/D 変換を中断します。
 - (10) その後、ADCSR.ADST ビットを自動的に“1”にし、ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、グループ A の A/D 変換を開始します。
 - (11) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
 - (12) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。
 - (13) ADGSPCR.GBRSCN ビットが“1” (再スキャン動作有効) に設定されていると、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが“1”に設定されます。その後、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
 - (14) 再スキャン起動によるグループ B の A/D 変換中に、グループ A のトリガ入力があると、(9) ~ (13) を繰り返し実行します。グループ A のトリガ入力がない場合は、グループ B の A/D 変換が終了すると ADCSR.ADST ビットが自動的にクリアされ、12ビット A/D コンバータは待機状態になります。

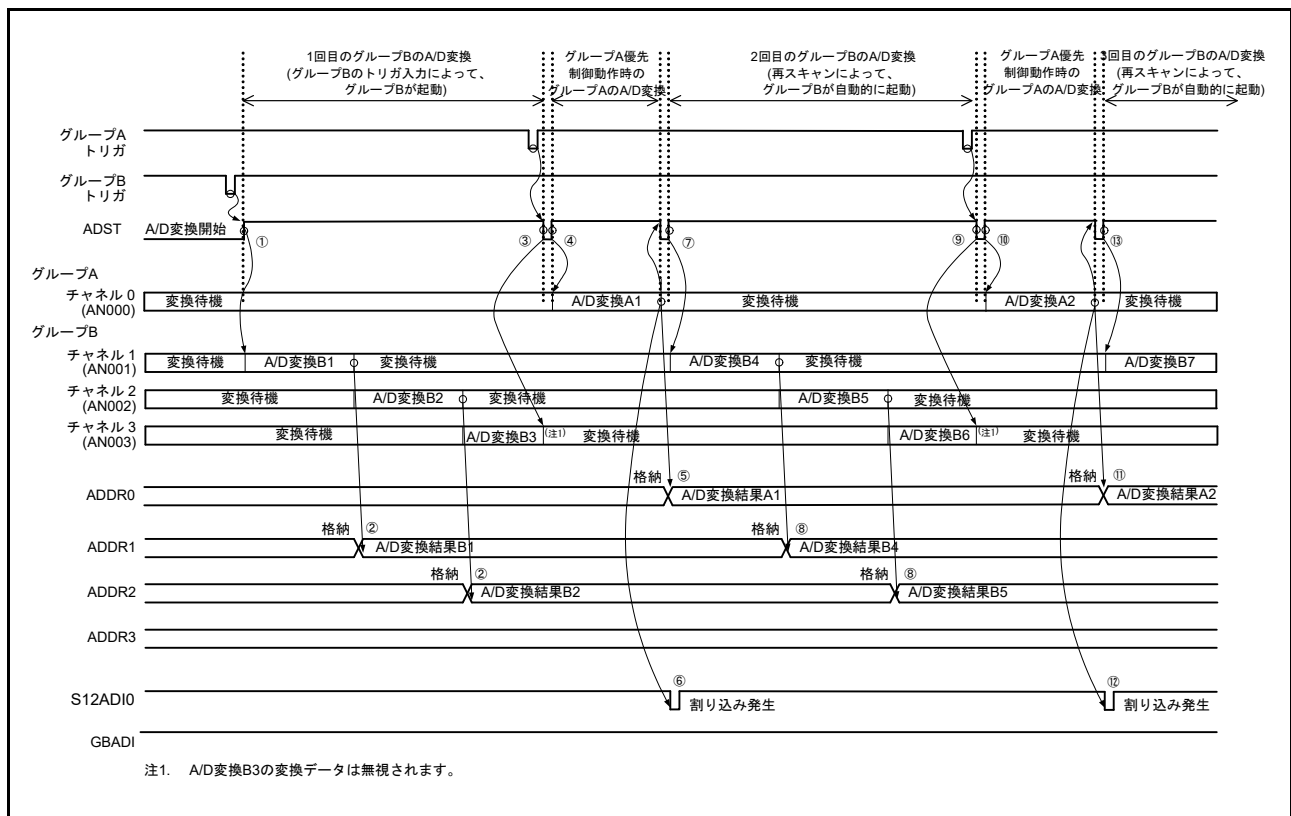


図 43.15 グループ A 優先制御の動作例 (2) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時の動作)

次に、グループ A の A/D 変換動作中に、グループ B のトリガが入力された場合の、再スキャン動作の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 1 ~ 3 を、グループ B にチャンネル 0 を選択した場合の例を示します。

- (1) グループ A のトリガ入力によって、ADCSR.ADST ビットが“1”(A/D 変換開始)になると、ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ A の A/D 変換動作中に、グループ B のトリガ入力があると、グループ A の A/D 変換終了後に、グループ B の A/D 変換を実行できる状態となります。(ただし、グループ A のトリガが連続で入力された場合、グループ B の再スキャン動作は、グループ A に打ち消され、実施されません)
- (4) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI0 割り込み許可)に設定されていると、S12ADI0 割り込み要求を発生します。
- (5) グループ A のスキャン終了後、グループ B の再スキャン起動により、自動的に ADCSR.ADST ビットが“1”に設定されます。
その後、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
- (6) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (7) 再スキャン起動による、グループ B のスキャン終了後、ADCSR.GBADIE ビットが“1”(スキャン終了による GBADI 割り込み許可)に設定されていると、GBADI 割り込み要求を発生します。
- (8) ADST ビットは A/D 変換中は“1”(A/D 変換開始)を保持し、A/D 変換が終了すると、自動的にクリアされ、A/D 変換器は待機状態になります。

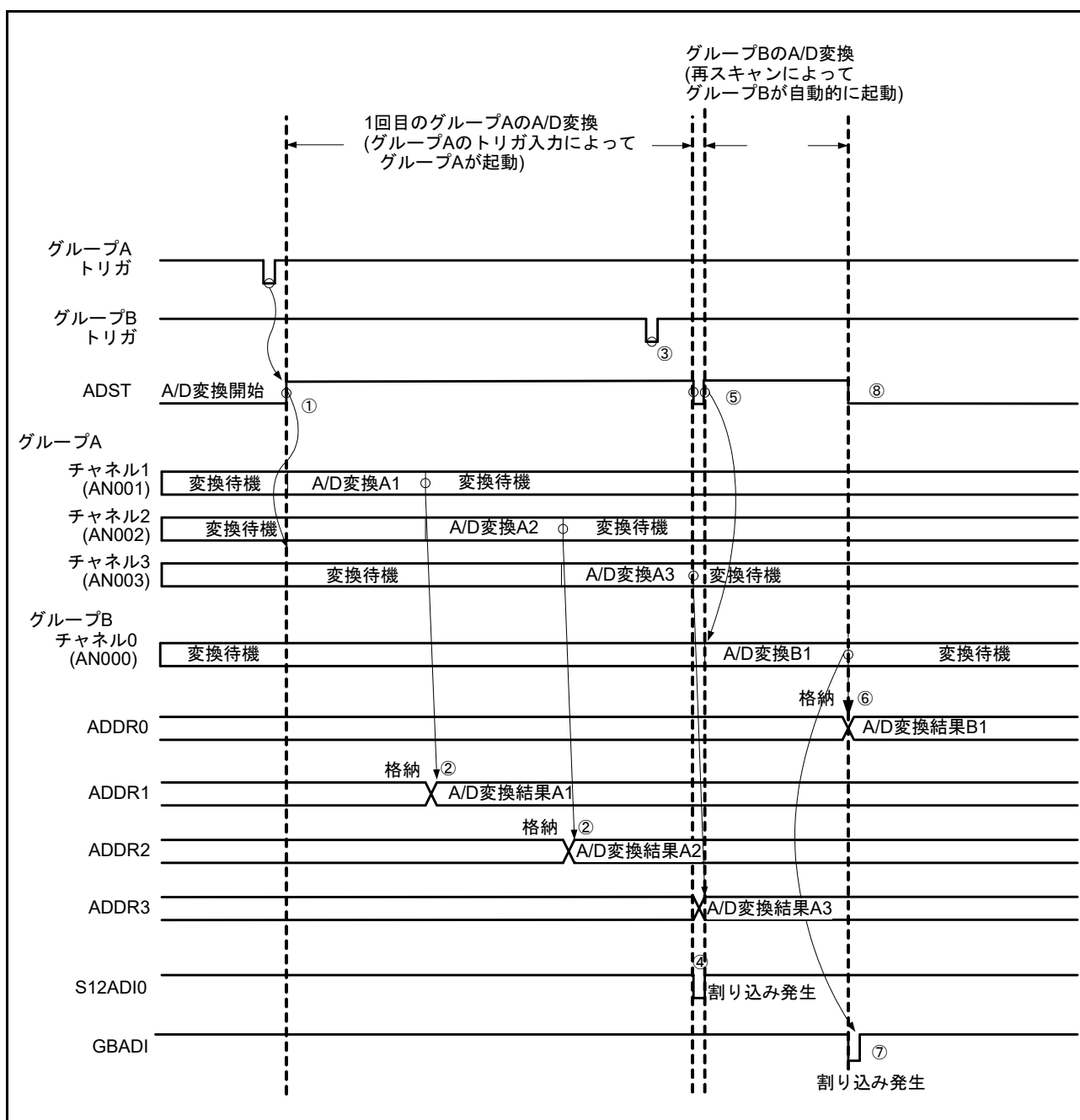


図 43.16 グループ A 優先制御の動作例 (3) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時の動作)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときのグループ A 優先制御の動作例 (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0) を示します。

- (1) グループ B のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリアし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットが自動的に“1” (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (4) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。
- (6) ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、A/D 変換器は待機状態になります。

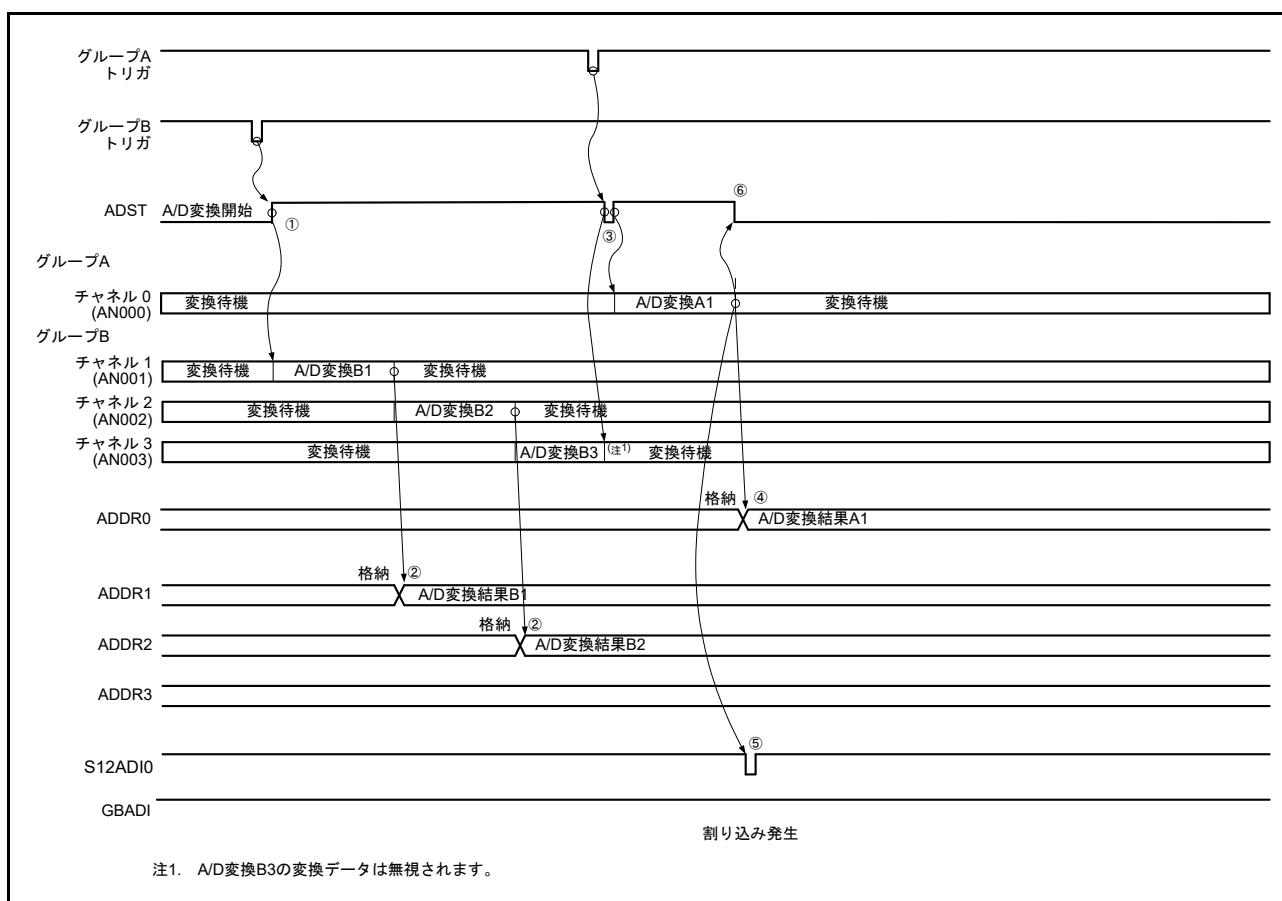


図 43.17 グループ A 優先制御の動作例 (4) (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0 時の動作)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときの、グループ A 優先制御の動作例 (ADGSPCR.GBRP = 1) を示します。

- (1) ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが“1”(A/D 変換開始) に設定され、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリアし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットが自動的に“1”(A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。
- (6) ADST ビットを自動的にクリアした後、再度、ADCSR.ADST ビットが自動的に“1”(A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を再度開始します。
- (7) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (8) ADCSR.GBADIE ビットが“1”に設定されていると、GBADI 割り込み要求を発生します。
- (9) ADST ビットを自動的にクリアした後、再度、自動的に ADCSR.ADST ビットを“1”(A/D 変換開始) に設定して、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を再度開始します。ADGSPCR.GBRP ビットが“1”に設定されている間は、(6)～(9)の動作を繰り返します。ADGSPCR.GBRP ビットが“1”に設定されている間は、ADCSR.ADST ビットを“0”にクリアしないでください。ADGSPCR.GBRP = 1 のとき、A/D 変換を強制停止させるには、「43.8.2 A/D 変換停止時の注意事項」に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

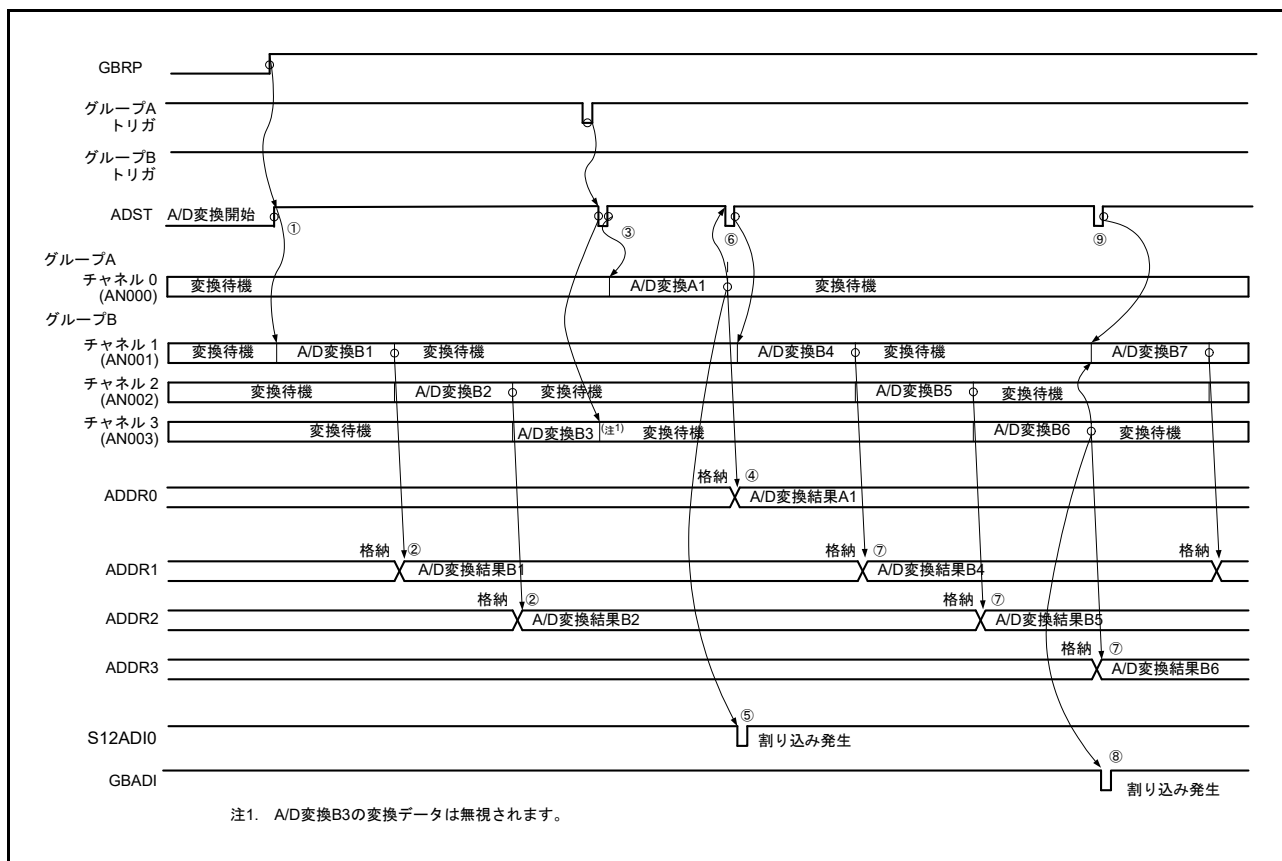


図 43.18 グループ A 優先制御の動作例 (5) (ADGSPCR.GBRP = 1 時の動作)

43.3.5 コンペア機能 (ウィンドウ A、ウィンドウ B)

43.3.5.1 コンペア機能ウィンドウ A/B

コンペア機能は、レジスタに設定した基準値と A/D 変換結果を比較する機能で、ウィンドウ (A/B) 毎に基準値を設定できます。コンペア機能使用時は、自己診断機能、ダブルトリガモードは使用できません。ウィンドウ A とウィンドウ B の大きな違いは、ウィンドウ B が選択可能なチャンネルが 1 つであること、割り込み出力信号が異なることです。

連続スキャンモードとコンペア機能を組み合わせた場合の動作を以下に示します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、選択されたチャンネルの A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y, ADTSDR, ADOCDR) に格納されます。ADCMPCR.CMPAE = 1 のとき、ADCMPSR_y レジスタ、ADCMPSER レジスタでウィンドウ A 対象に設定されていれば、ADCMPCR0、ADCMPCR1 レジスタ設定値と比較されます。ADCMPCR.CMPBE = 1 のとき、ADCMPSR レジスタで、ウィンドウ B 対象に設定されていれば、ADWINULB/ADWINLLB レジスタ設定値と比較されます。
- (3) 比較の結果、ウィンドウ A は、ADCMPLR0、ADCMPLR1、ADCMPLER レジスタで設定した条件と一致したときコンペアウィンドウ A のフラグ (ADCMPSR0.CMPSTCHA0_n, ADCMPSR1.CMPSTCHA1_n, ADCMPSER.CMPSTTSA, ADCMPSER.CMPSTOCA) が“1”にセットされます。同様に、ウィンドウ B は、ADCMPSR.CMPLB で設定した条件と一致したとき、コンペアウィンドウ B フラグ (ADCMPSR.CMPSTB) が“1”にセットされます。
- (4) 選択されたすべての A/D 変換と比較が終了すると、再びスキャンを行います。
- (5) ADCSR.ADST ビットを“0” (A/D 変換停止) に設定し、コンペアフラグが“1”になっているチャンネルに対する処理を実行します。
- (6) 処理終了後、すべてのコンペアフラグをクリアしてください。再度コンペアを実行する場合には、再度 A/D 変換を開始してください。

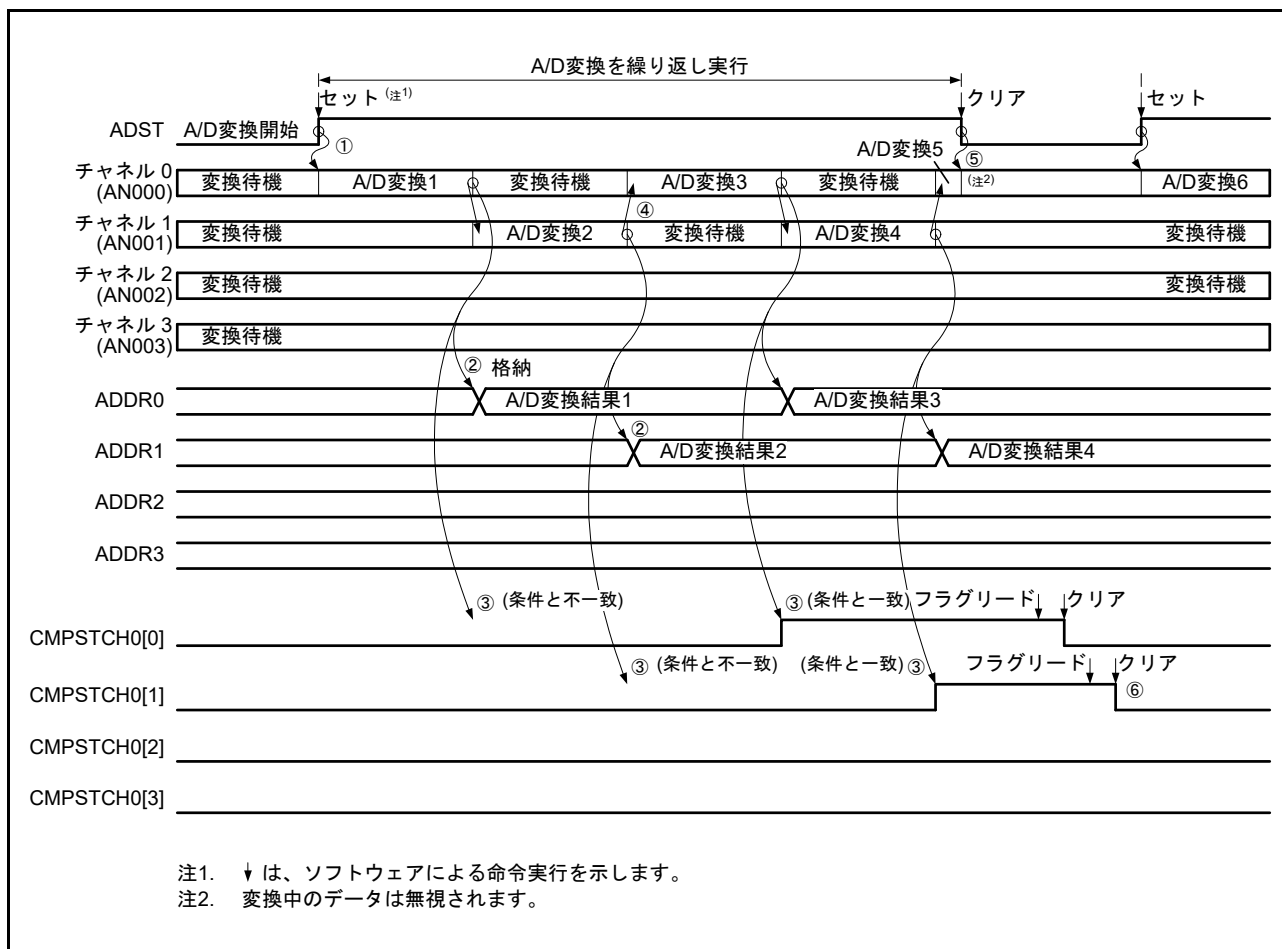


図 43.19 コンペア機能の動作例 (AN000、AN001、AN002、AN003 コンペア対象)

43.3.5.2 コンペア機能の ELC 出力

コンペア機能の ELC 出力は、ウィンドウ A/B それぞれに High 側、Low 側の基準値を指定し、選択したチャンネルの A/D 変換値を High/Low 基準値と比較して、ウィンドウ A と B の比較条件成立 / 不成立結果からイベント条件 (A or B, A and B, A exor B) に応じて ELC イベント (S12ADWMELC/S12ADWUMELC) を出力します。

ウィンドウ A で複数チャンネルを選択した場合は、いずれか一つのチャンネルの比較条件成立で、ウィンドウ A は比較条件成立となります。

本機能を使用する場合はシングルスキャンモードで A/D 変換してください。

ウィンドウ A には、AN000 ~ AN007、AN016 ~ AN031、内部基準電圧、温度センサ出力の中から任意のチャンネルを選択することができます。ただし、内部基準電圧か温度センサ出力を選択する時は他のチャンネルと同時に選択することはできません。ウィンドウ B には、AN000 ~ AN007、AN016 ~ AN031、内部基準電圧、温度センサ出力の中から一つのチャンネルを選択することができます。

以下に本機能を用いる場合の設定手順を示します。通常のシングルスキャンモードでの A/D 変換に必要な設定手順は省きます。

- (1) ADCSR.ADCS[1:0] ビットは“00b”(シングルスキャンモード)であることを確認してください。
- (2) ADCMPANSR0/1、ADCMPANSER レジスタでウィンドウ A、ADCMPBNSR レジスタでウィンドウ B に使用するチャンネル (AN000 ~ AN007、AN016 ~ AN031、温度センサ、内部基準電圧) を選択してください。
- (3) ADCMPLR0、ADCMPLR1、ADCMPLER、ADCMPBNSR レジスタでウィンドウコンペアの比較条件を設定し、ADCMPDR0、ADCMPLR1、ADWINULB/ADWINLLB レジスタで上限 / 下限基準値の設定を行ってください。
- (4) ADCMPPCR レジスタで、ウィンドウ A/B の複合条件設定、ウィンドウ A/B 動作許可、割り込み出力許可を設定してください。1 回のシングルスキャンが終了するタイミングで ELC へのスキャン終了イベント (S12ADELC) が出力されます。また、ADCMPPCR.CMPAB[1:0] の設定により、マッチ / アンマッチイベント (S12ADWMELC/S12ADWUMELC) が 1PCLK 遅れて出力されます。
マッチ / アンマッチイベントは排他出力で、同時にイベント両方を出力することはありません。

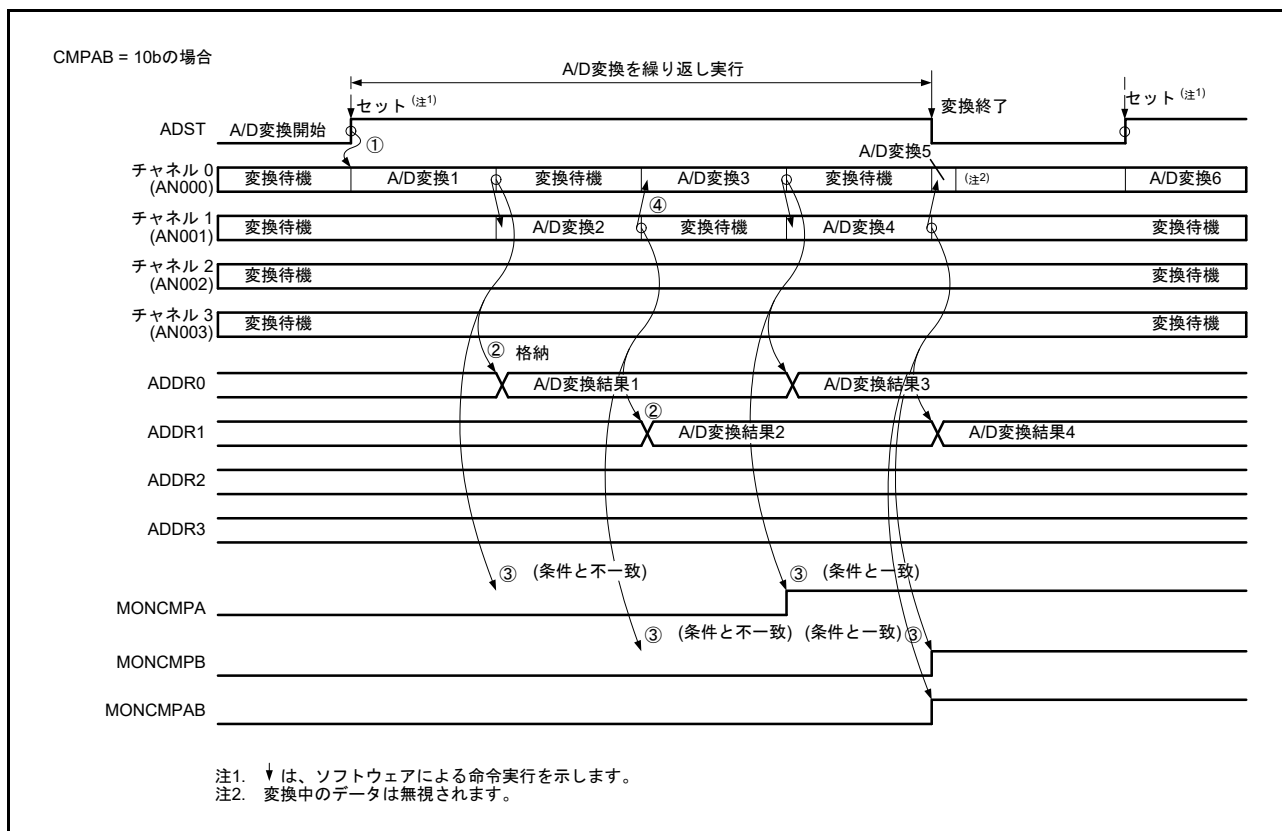


図 43.20 ウィンドウコンペア機能の動作例 (AN000、AN001、AN002、AN003 コンペア対象)

43.3.5.3 データ格納バッファの使用法

S12ADEは、A/Dデータ格納バッファ16個からなるリングバッファ機能を有しており、コンペア機能使用時に、自己診断以外のA/D変換結果(加算/平均結果含む)を順番にデータ格納バッファ(ADBUFn(n=0~15))に格納します。

変換結果の格納タイミングは、A/D変換結果がデータレジスタに書き込まれるのと同時で、直近の16回分の変換データが保有されます。

以下にデータ格納バッファとポインタ、オーバフローフラグの動作概要図を示す。BUFENビットを“1”にセットすると、A/D変換終了毎にA/D変換結果が転送される。ポインタの指し示す番号は次のデータが転送されてきた時にデータが書き込まれるデータ格納バッファの番号です。バッファ15までデータが書き込まれると、ポインタは“0000b”に戻り、オーバフローフラグが“1”になります。その後続けて転送されてきたデータは以前に書き込まれたデータを上書きしていきます。ADBUFPTRレジスタに“00h”を書き込むとポインタとオーバフローフラグは初期値に戻ります。

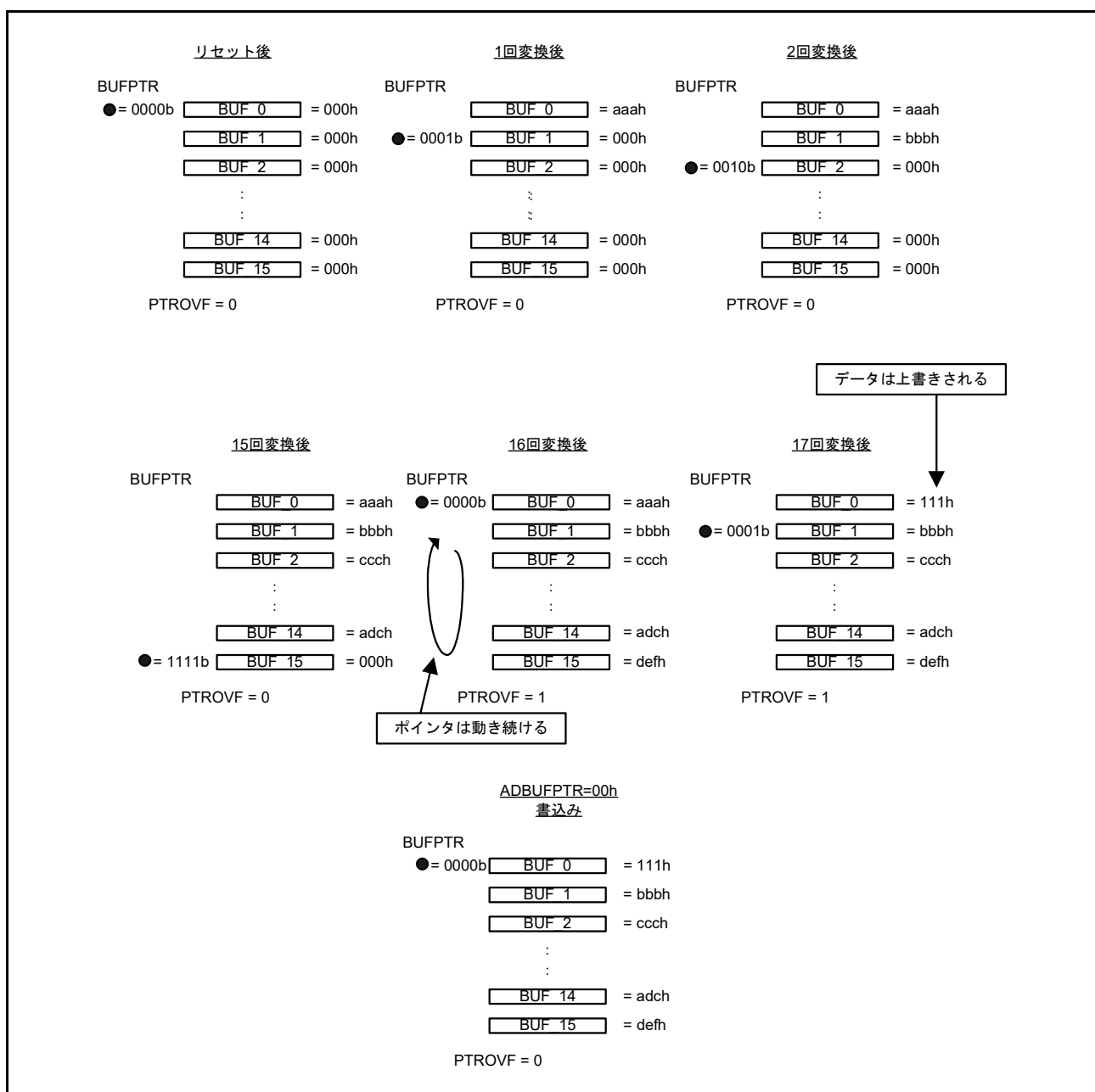


図 43.21 データ格納バッファとポインタ、オーバフローフラグの動作概要

43.3.5.4 コンペア機能制約

コンペア機能には、以下の制約条件があります。

1. 自己診断機能、ダブルトリガモードは併用禁止です
(ADRD、ADDBLDR レジスタはコンペア機能対象外です。)
2. マッチ/アンマッチイベント出力を使用する場合は、シングルスキャンモードを設定してください。
3. ウィンドウ A で温度センサか内部基準電圧選択時は、ウィンドウ B の動作は禁止です。
4. ウィンドウ B で温度センサか内部基準電圧選択時は、ウィンドウ A の動作は禁止です。
5. ウィンドウ A とウィンドウ B で同一 CH は設定禁止です。
6. バッファ機能を使用する場合は、シングルスキャンモードを設定してください。
(ダブルトリガモードも併用禁止です)
7. High 側基準値 \geq Low 側基準値となるように設定してください。

43.3.6 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェア、同期トリガまたは非同期トリガ入力による起動が選択できます。スキャン変換開始遅延時間 (t_D) の後に、断線検出アシスト処理、自己診断変換処理を行い、この後に A/D 変換処理が開始されます。

図 43.22 にシングルスキャンモード、ソフトウェア起動と同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。また、図 43.23 にシングルスキャンモード、非同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、断線検出アシスト処理時間 (t_{DIS}) (注 1)、自己診断変換時間 (t_{DIAG}) (注 2)、A/D 変換処理時間 (t_{CONV})、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。

A/D 変換処理時間 (t_{CONV}) は、サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間となります。サンプリング時間 (t_{SPL}) は、A/D コンバータ内のサンプルホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTRn レジスタでサンプリング時間を調整することができます。

逐次変換時間 (t_{SAM}) は、高速変換動作時で 32 ステート (ADCLK)、低電流変換動作時で 41 ステート (ADCLK) となります。スキャン変換時間を表 43.10 に示します。

選択チャンネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n) \text{ (注 3)} + t_{ED}$$

連続スキャンの 1 サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省いた時間です。

連続スキャンの 2 サイクル目以降は、 $(t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \times n)$ となります。

- 注 1. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$ となります。温度センサ、内部基準電圧を A/D 変換する場合に限り、オートディスチャージ期間 15 ステート (ADCLK) 挿入されます。
- 注 2. 自己診断を設定しない場合は、 $t_{DIAG} = 0$ 、 $t_{DSD} = 0$ となります。
- 注 3. 選択チャンネルのサンプリング時間 (t_{SPL}) が、同一の場合は $t_{CONV} \times n$ となりますが、チャンネルごとに異なる場合は、各チャンネルのサンプリング時間 (t_{SPL}) と逐次変換時間 (t_{SAM}) の総和となります。

表 43.10 スキャンでの各所要時間(ADCLKとPCLKのサイクル数で示します)

項目	記号	種別/条件			単位		
		同期トリガ(注5)	非同期トリガ	ソフトウェアトリガ			
スキャン開始処理時間(注1、注2)	t_D	グループA優先制御動作によるグループAのA/D変換	グループB中断あり(グループAのA/D変換要因によってグループBを停止させた後、グループAを起動)	3PCLK + 6ADCLK	—	—	サイクル
		グループB中断なし(グループAのA/D変換要因によって起動)	2PCLK + 4ADCLK	—	—		
	自己診断有効時のA/D変換	自己診断変換開始時	2PCLK + 6ADCLK	4PCLK + 6ADCLK	6ADCLK		
	上記以外	2PCLK + 4ADCLK	4PCLK + 4ADCLK	4ADCLK			
断線検出アシスト処理時間		t_{DIS}	ADDISCR.ADNDIS[3:0]設定値(初期値00h) × ADCLK(注3)				
自己診断変換処理時間(注1)	サンプリング時間		t_{DIAG}	t_{SPL}	ADSSTR0設定値(初期値0Dh) × ADCLK(注4)		サイクル
	逐次変換時間	12ビット変換精度			t_{SAM}	32ADCLK(高速変換動作時)	
	自己診断変換終了後、通常のA/D変換開始時		t_{DED}	2ADCLK			
	連続スキャン時の最終チャンネル変換終了後、自己診断変換開始時		t_{DSD}	2ADCLK			
A/D変換処理時間(注1)	サンプリング時間		t_{CONV}	t_{SPL}	ADSSTRn(n = 0 ~ 7, L, T, O)設定値(初期値0Dh) × ADCLK(注4)		
	逐次変換時間	12ビット変換精度			t_{SAM}	32ADCLK(高速変換動作時)	41ADCLK(低電流変換動作時)
	スキャン終了時間(注1)				t_{ED}	1PCLK + 3ADCLK(注6)	

- 注1. t_D 、 t_{DIAG} 、 t_{CONV} 、 t_{ED} の各タイミングについては図43.22、図43.23を参照してください。
- 注2. ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。
- 注3. 温度センサ出力/内部基準電圧をA/D変換時は、“0Fh”(15ADCLK)に固定されます。
- 注4. 電圧条件により必要なサンプリング時間(ns)が規定されています。「50.5 A/D変換特性」を参照ください。
- 注5. タイマ出力からトリガ入力までの経路で消費する時間は含まれていません。
- 注6. ADCLKがPCLKより高速な場合(PCLK : ADCLK周波数比 = 1 : 2、1 : 4の設定)では、2PCLK + 3ADCLKになります。

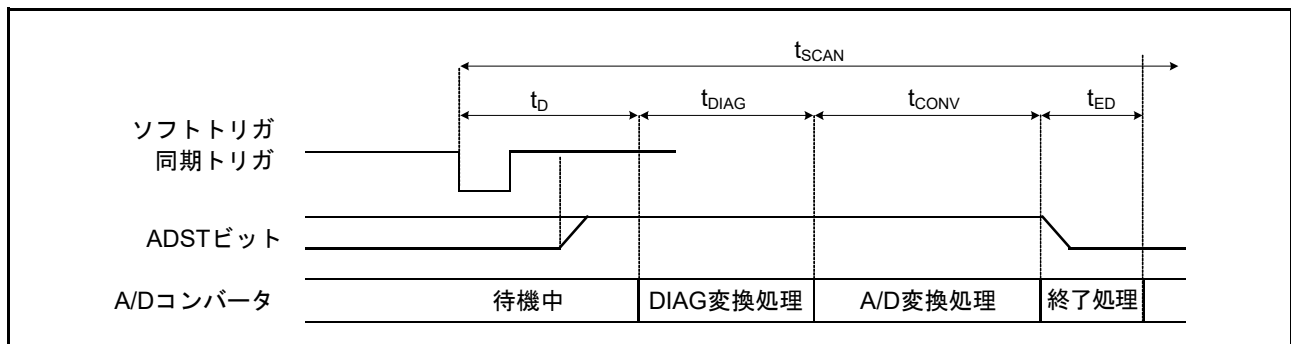


図 43.22 スキャン変換のタイミング(ソフトウェア起動、同期トリガ起動の場合)

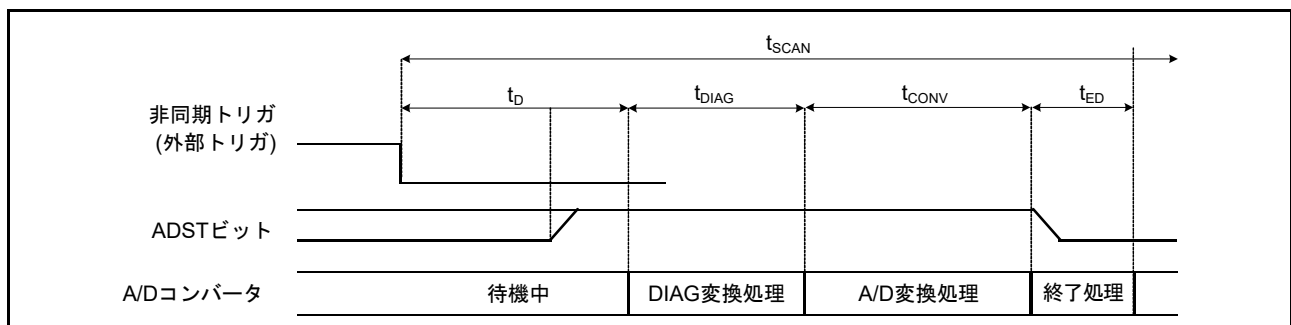


図 43.23 スキャン変換のタイミング(非同期トリガ起動の場合)

43.3.7 A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを“1”にすることにより、CPU、DTC および DMACA によって A/D データレジスタ (ADDRy, ADRD, ADTSDR, ADOCDR, ADDBLDR) を読み出す際、自動的に ADDRy、ARDR、ADTSDR、ADOCDR、ADDBLDR レジスタを“0000h”にクリアできます。

リングバッファ (ADBUFn (n=0~15)) はオートクリア対象外です。

この機能を使うことにより、ADDRy、ARDR、ADTSDR、ADOCDR、ADDBLDR レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効/有効時の例を示します。

ADCER.ACE ビットが“0”(自動クリア禁止)の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、古いデータ (0111h) が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) が汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが“1”(自動クリア許可)の場合には、ADDRy = 0111h を CPU、DTC および DMACA により読み出す際、ADDRy レジスタは自動的に“0000h”にクリアされます。その後、A/D 変換結果 (0222h) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、“0000h”が汎用レジスタなどに保持されます。読み出されたデータ値が“0000h”であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

43.3.8 A/D 変換値加算 / 平均機能

A/D 変換値加算機能は、同じチャンネルを 2~4、16 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。A/D 変換値平均機能は、同じチャンネルを 2 回、または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算 / 平均機能は、チャンネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換選択時に使用できます。

43.3.9 断線検出アシスト機能

A/D 変換開始前に、サンプリング容量の電荷を所定の状態 (A/D 高電位 / 低電位基準電圧コントロールレジスタで選択した基準電圧) に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 43.24 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。また、図 43.25 にプリチャージを選択した場合の断線検出例を、図 43.26 にディスチャージを選択した場合の断線検出例を示します。

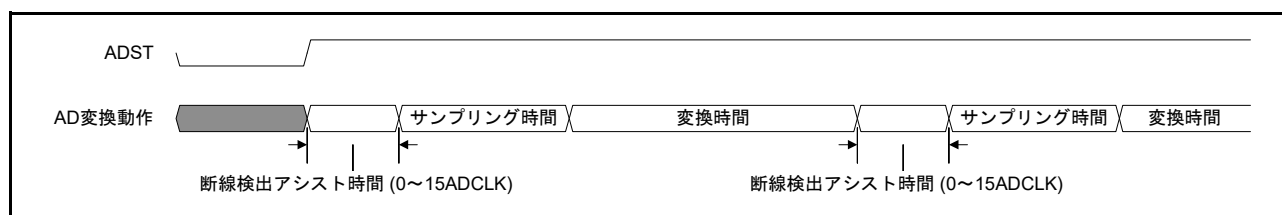


図 43.24 断線検出アシスト機能を使用した場合の A/D 変換動作図

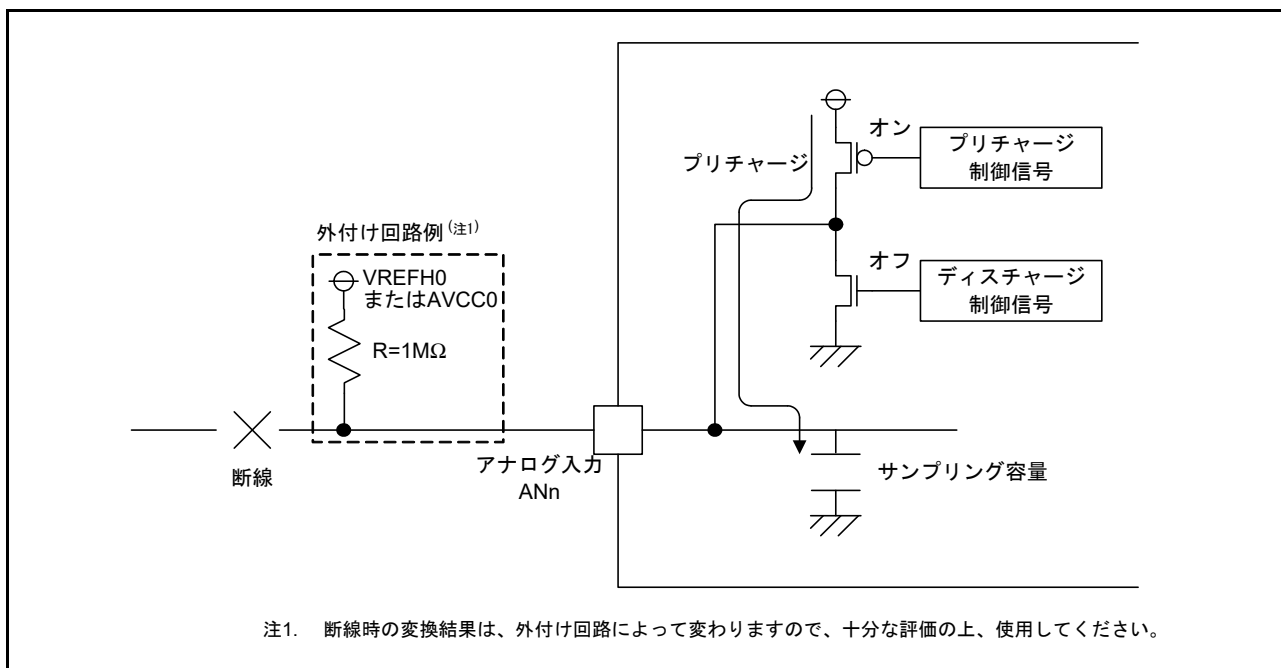


図 43.25 プリチャージを選択した場合の断線検出例

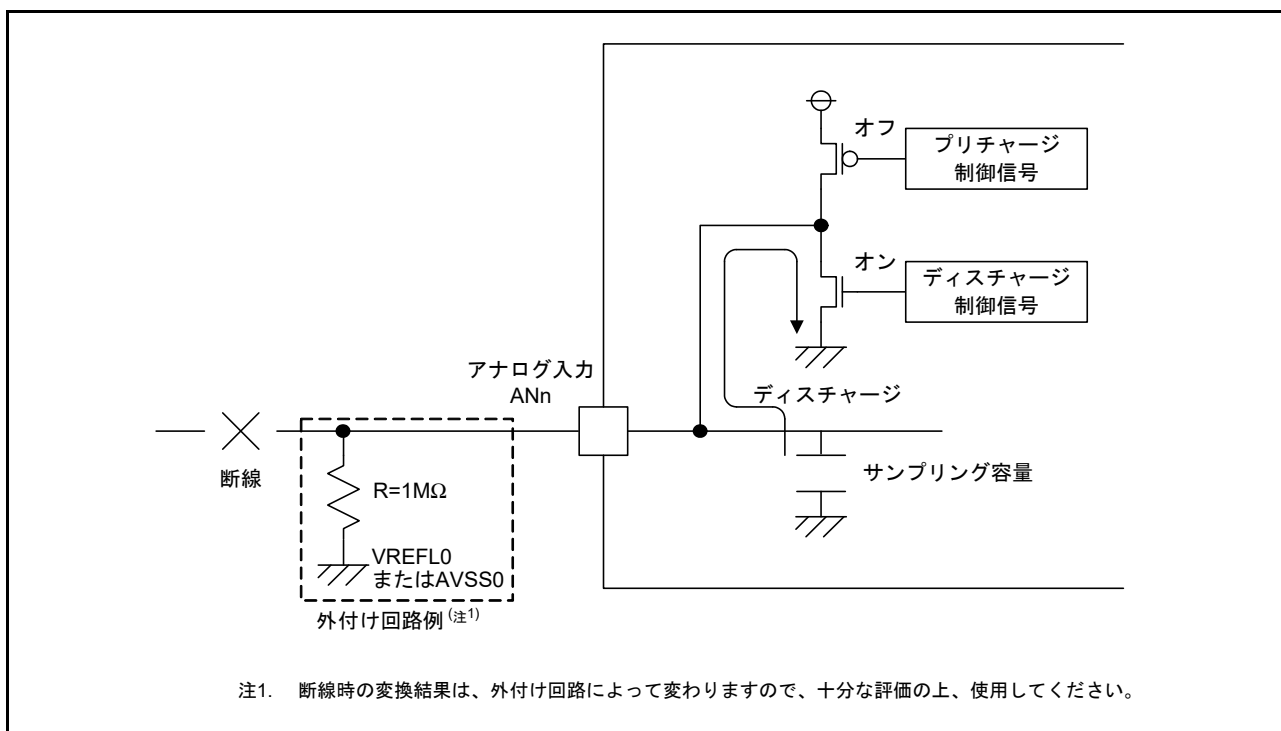


図 43.26 ディスチャージを選択した場合の断線検出例

43.3.10 非同期トリガによる A/D 変換の開始

非同期トリガの入力により AD 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を “000000b” に設定し、非同期トリガ (ADTRG0# 端子) に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 43.27 に非同期トリガ入力タイミングを示します。

ADST ビットが “1” になってから、変換を開始するまでの時間は、「43.8.3 A/D 変換強制停止と開始時の動作タイミング」を参照してください。グループスキャンモードで使用するグループ B は、非同期トリガを選択できません。

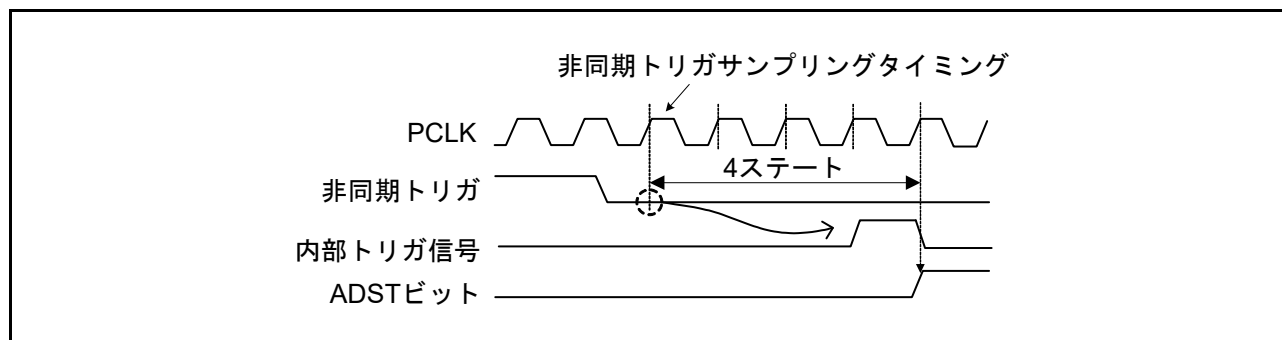


図 43.27 非同期トリガ入力タイミング

43.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始

同期トリガによって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0” とし、ADSTRGR.TRSA[5:0]、ADSTRGR.TRSB[5:0] ビットで該当の A/D 変換開始要因を選択します。

43.4 割り込み要因と DTC、DMAC 転送要求

43.4.1 割り込み要求

CPU へのスキャン終了割り込み要求である S12ADI0、GBADI 割り込みを発生することができます。

ADCSR.ADIE ビットを “1” にすると S12ADI0 を許可、“0” にすると S12ADI0 を禁止できます。

ADCSR.GBADIE ビットを “1” にすると GBADI を許可、“0” にすると GBADI を禁止できます。

また、S12ADI0、GBADI 発生時に DTC または DMACA を起動できます。S12ADI0、GBADI 割り込みで変換されたデータの読み出しを DTC または DMACA で行くと、連続変換がソフトウェアの負担なく実現できます。DTC の設定は「19. データトランスファコントローラ (DTCa)」を、DMACA の設定は「18. DMA コントローラ (DMACA)」を参照してください。

43.5 イベントリンク機能

43.5.1 ELC へのイベント出力動作

ELC では、S12ADI0 割り込み要求信号をイベント信号 (S12ADELC) として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。イベント信号は、イベントリンクコントロールビット (ADELCCR.ELCC[1:0] ビット) で設定した条件で発生します。

イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。

12ビットA/Dコンバータは、A/D変換終了イベント (S12ADELC)、ウィンドウ機能コンペアマッチイベント (S12ADWMELC)、アンマッチイベント (S12ADWUMELC) を出力します。

ELC へのスキャン終了イベント出力 (S12ADELC) は、ADCSR.ADIE の設定によらず、割り込み出力 (S12ADI0) と同じ出力タイミングでイベントを出力します。

ELC へのコンペアマッチ/アンマッチイベント (S12ADWMELC/S12ADWUMELC) は、ADCSR.ADIE の設定によらず、割り込み出力 (S12ADI0) から 1 サイクル (PCLK) 遅れたタイミングでイベントを出力します。

ELC へのコンペアマッチ/アンマッチイベント (S12ADWMELC/S12ADWUMELC) を使用する場合は、シングルスキャンモードに設定してください。

43.5.2 ELC からのイベントによる 12ビットA/Dコンバータの動作

12ビットA/DコンバータはELCのELSRnの設定により、あらかじめ設定したイベントによるA/D変換開始動作が可能です。

43.5.3 ELC からのイベントによる 12ビットA/Dコンバータの注意事項

A/D変換中にイベントが発生した場合は、イベントは無効になります。

43.6 基準電圧の選択方法

A/Dコンバータは高電位側基準電圧をVREFH0とAVCC0、低電位側基準電圧をVREFL0とAVSS0からそれぞれ選択することができます。A/D変換前に設定してください。設定の詳細は、「43.2.30 A/D高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT)」を参照してください。

43.7 許容信号源インピーダンスについて

本MCUのアナログ入力は、高速変換 $0.83\mu\text{s}$ を実現するために、信号源インピーダンスが $0.5\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。シングルスキャンモードで1端子のみ変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $2.6\text{k}\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号には追従できないことがあります。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

図 43.28 にアナログ入力端子と外部センサの等価回路を示します。

A/D 変換を正しく行うためには、図 43.28 に示す内部コンデンサ C への充電が所定の時間内に終了することが必要です。この所定の時間をサンプリング時間と言います。

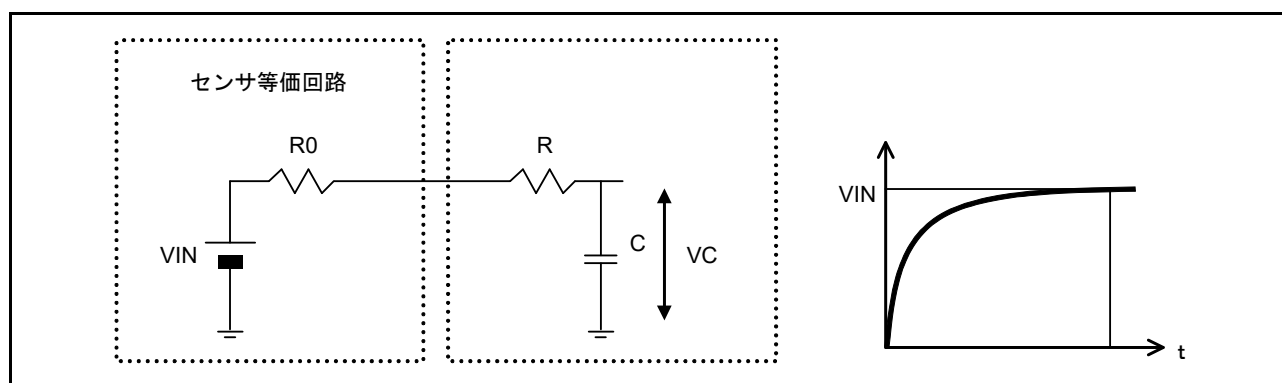


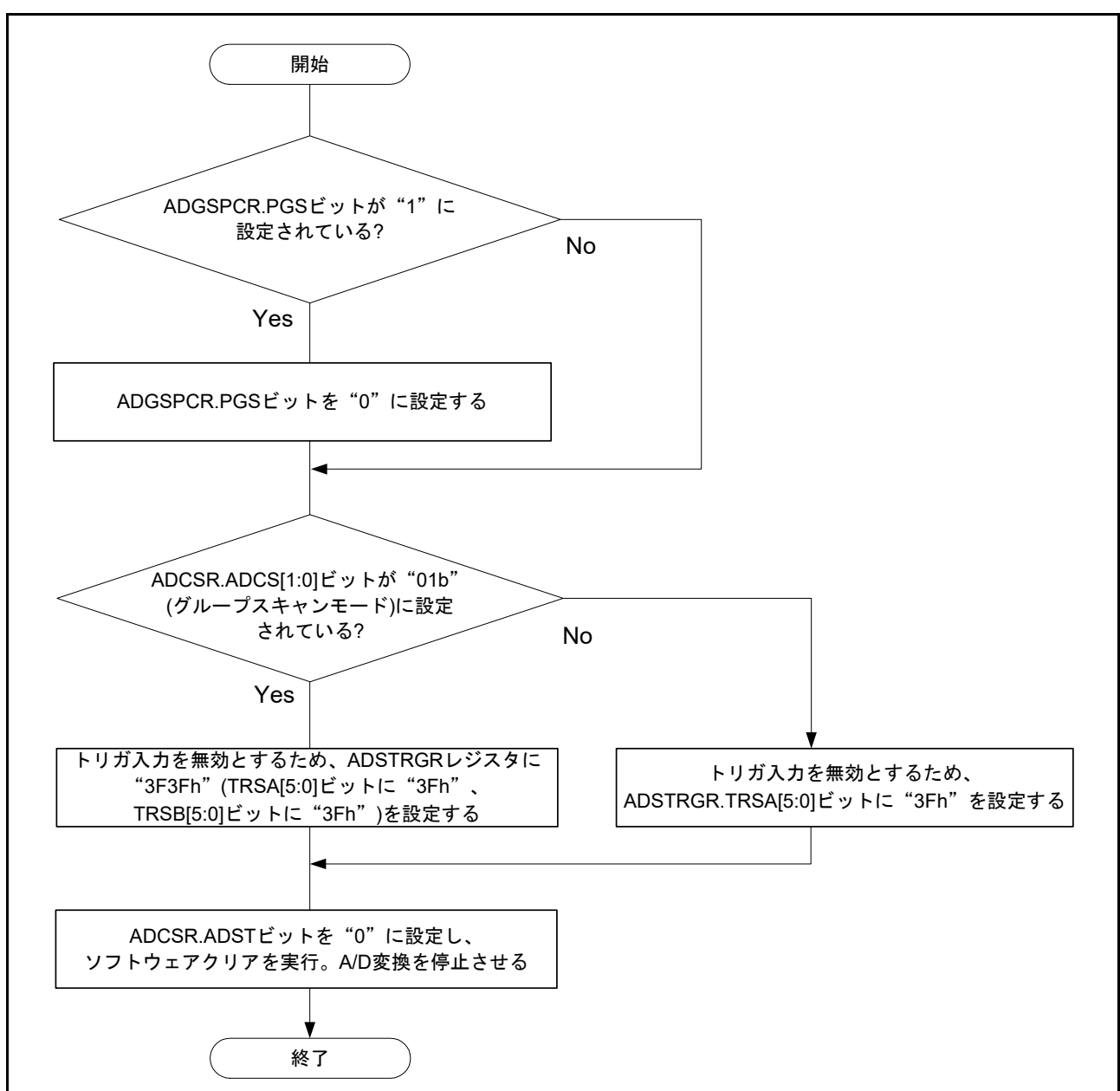
図 43.28 アナログ入力端子と外部センサの等価回路

43.8 使用上の注意事項

43.8.1 データレジスタの読出し注意事項

A/D データレジスタ、A/D データ二重化レジスタ、A/D データ二重化レジスタ A、A/D データ二重化レジスタ B、A/D 温度センサデータレジスタ、A/D 内部基準電圧データレジスタ、および A/D 自己診断データレジスタの読み出しは、ワード単位で行ってください。バイト単位で上位バイト/下位バイトの2回に分けて読み出すことにより、1回目に読み出した A/D 変換値と2回目に読み出した A/D 変換値が変化するのを避けるため、バイト単位の読み出しは行わないでください。

43.8.2 A/D 変換停止時の注意事項

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D 変換を停止させるためには、 43.29 のフローチャートの手順に従ってください。

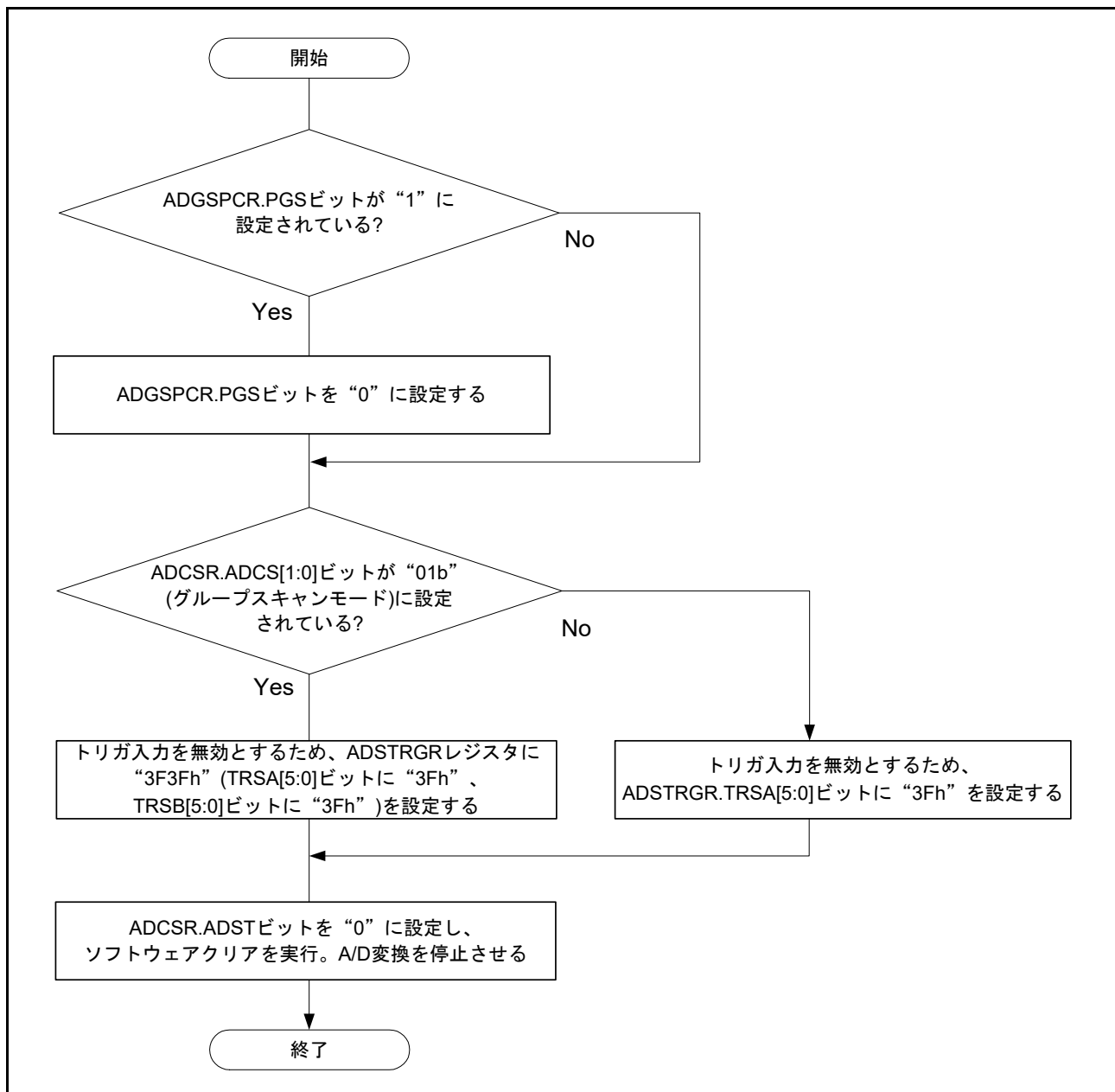


図 43.29 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー

43.8.3 A/D変換強制停止と開始時の動作タイミング

12ビットA/Dコンバータのアナログ部が停止した状態で ADCSR.ADST ビットを“1”に設定し12ビットA/Dコンバータのアナログ部が動作を開始するのに ADCLK で最大6クロックの時間を必要とします。ADCSR.ADST ビットを“0”に設定してA/D変換を強制停止させると、12ビットA/Dコンバータのアナログ部が動作を停止するのに、ADCLK で最大3クロックの時間を必要とします。

43.8.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合等で、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終えていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

43.8.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタA (MSTPCRA)により、12ビットA/Dコンバータの動作禁止/許可を設定することが可能です。初期値では、12ビットA/Dコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1 μ s待ってからA/D変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

43.8.6 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ移行する場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADST ビットを“0”に設定後、12ビットA/Dコンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

図43.29に示す、ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローに従い、ADCSR.ADST ビットを“0”に設定してください。その後、ADCLKの2クロック期間待った後、モジュールストップモードやソフトウェアスタンバイモードへ移行させてください。

43.8.7 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、水晶発振安定時間またはPLL回路の安定時間経過後、さらに1 μ s以上待ってからA/D変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

43.8.8 12ビットA/Dコンバータを使用する場合の端子の設定

12ビットA/Dコンバータを使用する場合は、ポート4の各端子を出力に設定しないでください。ポート4の回路の一部でアナログ電源を使用しているため、出力にするとA/D変換精度に影響することがあります。

43.8.9 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、アナログ入力端子にプルアップ/プルダウン抵抗 (R_p) と信号源抵抗 (R_s) の抵抗分圧分の誤差電圧が入力され、A/Dコンバータの絶対精度誤差が生じます。絶対精度の誤差は下式で表されます。

断線検出アシスト機能は、十分な評価の上、使用してください。

$$\text{最大絶対精度誤差 (LSB)} = 4095 \times R_s/R_p$$

43.8.10 ADHSC ビットの書き換え手順

AD変換動作選択ビット (ADCSR.ADHSC) を書き換える場合 (“0” から “1” または “1” から “0” にする場合) は、12ビットA/Dコンバータをスタンバイ状態にする必要があります。ADCSR.ADHSCビットの書き換えは下記の1～3の手順で行ってください。また、スリープビット (ADHVREFCNT.ADSL P) を “0” にした後は、1 μ s以上待ってからA/D変換を開始してください。

【ADCSR.ADHSCビットの書き換え手順】

1. スリープビット (ADHVREFCNT.ADSL P) を “1” にする。
2. 0.2 μ s以上待ってから、AD変換動作選択ビット (ADCSR.ADHSC) を書き換える。
3. 4.8 μ s以上待ってから、スリープビット (ADHVREFCNT.ADSL P) を “0” にする。

注. AD変換動作選択ビット (ADCSR.ADHSC) の書き換え以外で、ADHVREFCNT.ADSL Pビットを “1” にすることは禁止です。

43.8.11 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えてMCUを使用した場合は、MCUの信頼性に悪影響を及ぼすことがあります。

• アナログ入力電圧の設定範囲

アナログ入力端子 AN_n に印加する電圧は $AVSS0 \leq VAN \leq AVCC0$ の範囲としてください。また、VREFH0端子、VREFL0端子に印加するリファレンス電圧の設定範囲は、 $VREFH0 \leq AVCC0$ 、 $VREFL0 = AVSS0$ にしてください。アナログ入力端子 AN_n に印加する電圧が、VREFH0を超える場合は、正しく変換できません (図 43.30 参照)。

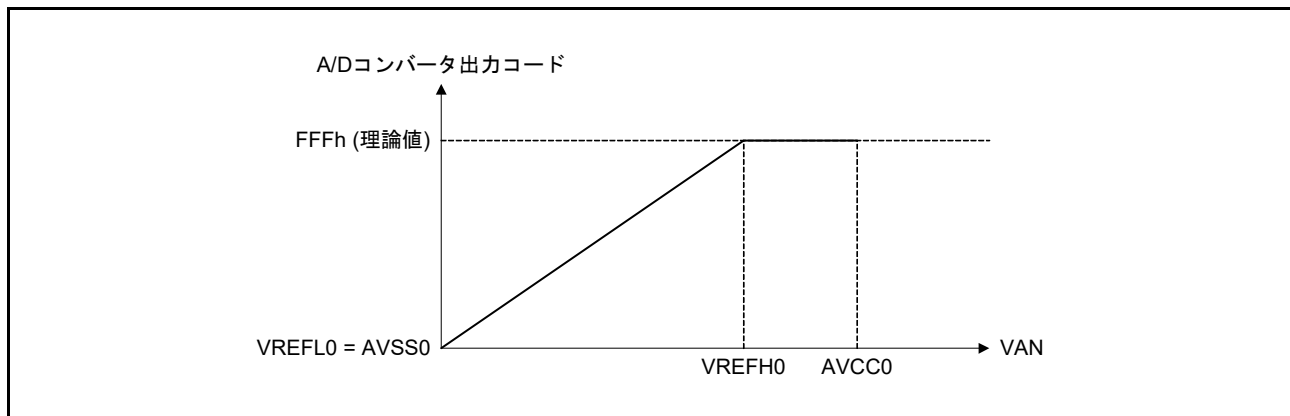


図 43.30 アナログ入力端子に印加する電圧と出力コードの関係

- 各電源端子 (AVCC0 - AVSS0, VREFH0 - VREFL0, VCC - VSS) の関係

AVSS0 と VSS との関係は $AVSS0 = VSS$ としてください。アナログ入力端子 ANn (n = 016 ~ 031) の A/D 変換を行う場合は、 $AVCC0 = VCC$ としてください。また、図 43.31 に示すように各々の電源間に最短で閉ループが形成できるように $0.1\mu\text{F}$ のコンデンサを接続し、供給元で $VREFL0 = AVSS0 = VSS$ になるように接続してください。12ビットA/Dコンバータを使用しない場合は、 $VREFH0 = AVCC0 = VCC$ 、 $VREFL0 = AVSS0 = VSS$ としてください。

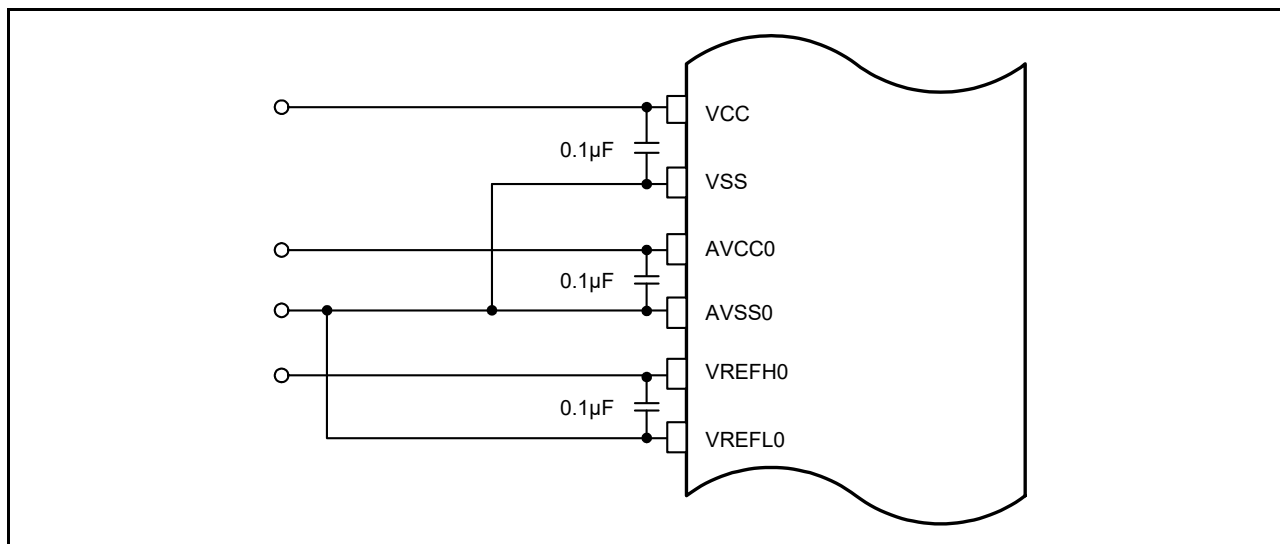


図 43.31 各電源端子の接続例

43.8.12 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D変換値の精度に悪影響を及ぼします。アナログ入力端子 (AN000 ~ AN007, AN016 ~ AN031)、基準電源端子 (VREFH0)、基準グランド端子 (VREFL0)、アナログ電源 (AVCC0) は、アナロググランド (AVSS0) で、デジタル回路と分離してください。さらにアナロググランド (AVSS0) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

43.8.13 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN000 ~ AN007, AN016 ~ AN031) の破壊を防ぐために、図 43.32 に示すように AVCC0 と AVSS0 間、VREFH0 と VREFL0 間に容量を、またアナログ入力端子 (AN000 ~ AN007, AN016 ~ AN031) を基準に保護回路を接続してください。

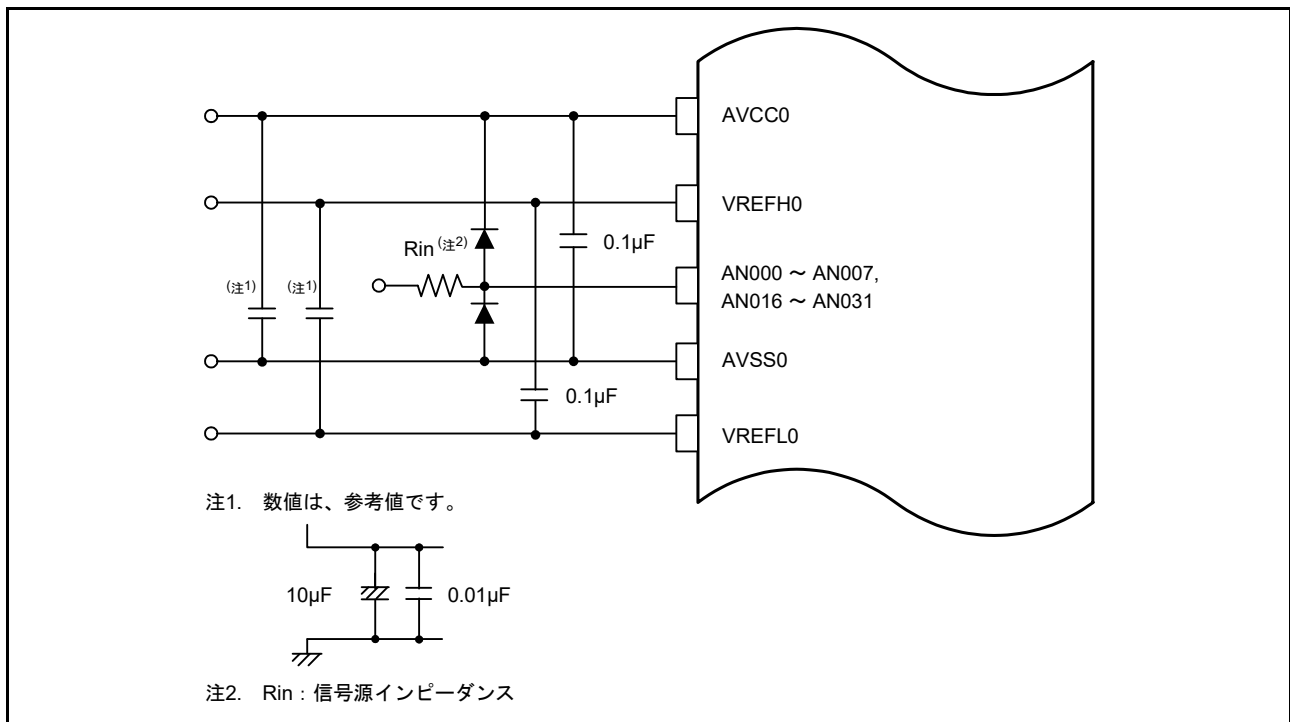


図 43.32 アナログ入力保護回路の例

44. 12ビットD/Aコンバータ (R12DAA)

44.1 概要

本MCUは、12ビットD/Aコンバータを2チャンネル内蔵しています。

表44.1に12ビットD/Aコンバータの仕様を示します。図44.1に12ビットD/Aコンバータのブロック図を示します。

表44.1 12ビットD/Aコンバータの仕様

項目	内容
分解能	12ビット
出力チャンネル	2チャンネル
アナログモジュールの干渉対策	<ul style="list-style-type: none"> D/A変換とA/D変換の干渉対策 12ビットA/Dコンバータが出力する12ビットD/Aコンバータ同期D/A変換許可信号により、D/A変換データの更新タイミングを制御する。これにより、12ビットD/Aコンバータのラッシュカレント発生タイミングを許可信号で制御し、干渉によるA/D変換精度劣化を低減する。
消費電力低減機能	モジュールストップ状態への遷移が可能
イベントリンク機能 (入力)	イベント信号の入力により、チャンネル0のD/A変換を開始可能

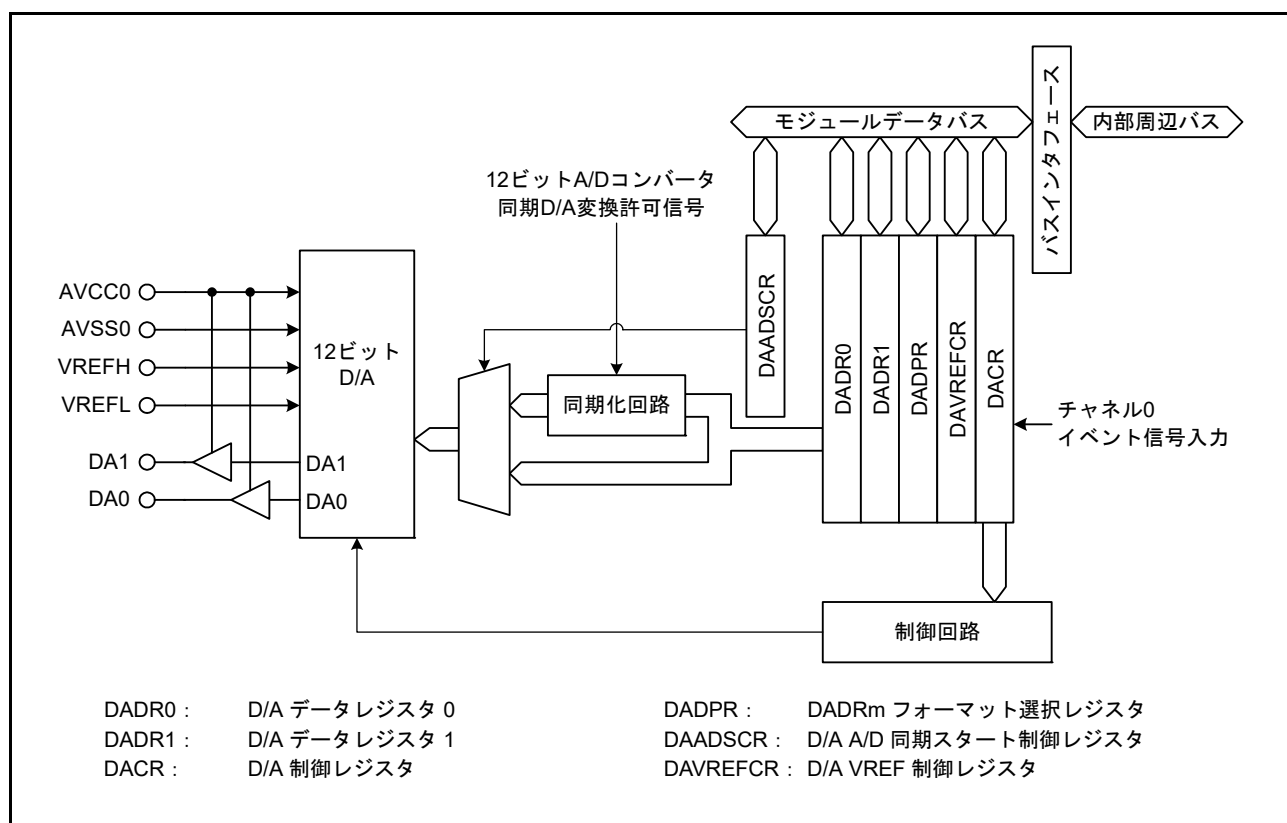


図 44.1 12ビットD/Aコンバータのブロック図

表 44.2 に 12 ビット D/A コンバータで使用する入出力端子を示します。

表44.2 12ビットD/Aコンバータの入出力端子

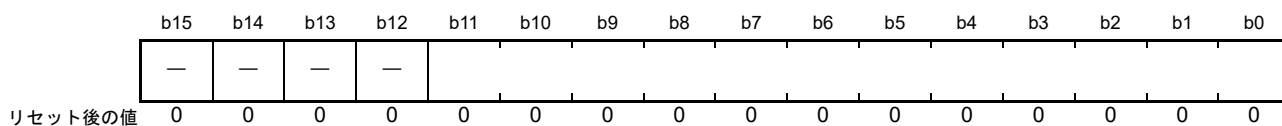
端子名	入出力	機能
AVCC0	入力	12ビットA/Dコンバータと12ビットD/Aコンバータのアナログ電源端子。12ビットA/Dコンバータと12ビットD/Aコンバータを使用しない場合は、VCCに接続してください
AVSS0	入力	12ビットA/Dコンバータと12ビットD/Aコンバータのアナロググランド端子。12ビットA/Dコンバータと12ビットD/Aコンバータを使用しない場合は、VSSに接続してください
VREFH	入力	12ビットD/Aコンバータの基準電源端子
VREFL	入力	12ビットD/Aコンバータの基準グランド端子
DA0	出力	チャンネル0のアナログ出力
DA1	出力	チャンネル1のアナログ出力

44.2 レジスタの説明

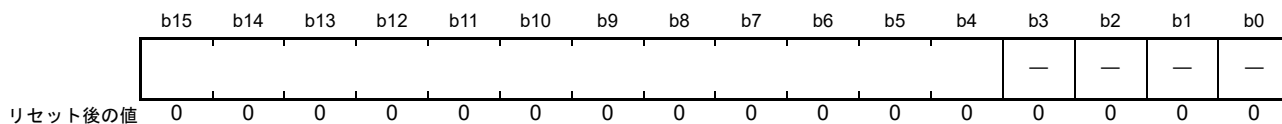
44.2.1 D/A データレジスタ m (DADRm) (m = 0, 1)

アドレス DA.DADR0 0008 8040h, DA.DADR1 0008 8042h

- ・ DADPR.DPSEL ビット = 0 (データは右詰め)



- ・ DADPR.DPSEL ビット = 1 (データは左詰め)



DADRm レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し / 書き込み可能なレジスタです。アナログ出力を許可すると、DADRm レジスタの値が変換され D/A コンバータから出力されます。

DADPR.DPSEL ビットの設定によって 12 ビットのデータの配置を変更できます。“—”のビットは、読むと“0”が読めます。書く場合、“0”としてください。

44.2.2 D/A 制御レジスタ (DACR)

アドレス DA.DACR 0008 8044h

b7	b6	b5	b4	b3	b2	b1	b0
DAOE1	DAOE0	—	—	—	—	—	—

リセット後の値 0 0 0 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b6	DAOE0	D/A出力許可0ビット	0: チャネル0のアナログ出力 (DA0) を禁止 1: チャネル0のD/A変換を許可 チャネル0のアナログ出力 (DA0) を許可	R/W
b7	DAOE1	D/A出力許可1ビット	0: チャネル1のアナログ出力 (DA1) を禁止 1: チャネル1のD/A変換を許可 チャネル1のアナログ出力 (DA1) を許可	R/W

このレジスタは、DAADSCR.DAADST ビットが“1” (D/A 変換と A/D 変換の干渉対策が有効) の場合、12ビット A/D コンバータ停止中に設定してください (ADCSR.ADST ビットが“0”のときに設定してください)。このとき確実に12ビット A/D コンバータを停止させるため、トリガ選択をソフトウェアトリガに設定してください。

DAOE0 ビット (D/A 出力許可 0 ビット)

D/A 変換とアナログ出力を制御します。

イベントリンク機能により、DAOE0 ビットを“1”にできます。ELC の ELSR16 レジスタで設定されたイベントが発生すると、DAOE0 ビットが“1”になり、D/A 変換出力を開始します。

DAOE1 ビット (D/A 出力許可 1 ビット)

D/A 変換とアナログ出力を制御します。

44.2.3 DADR_m フォーマット選択レジスタ (DADPR) (m = 0, 1)

アドレス DA.DADPR 0008 8045h

b7	b6	b5	b4	b3	b2	b1	b0
DPSEL	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSEL	DADR _m フォーマット選択ビット	0: D/A データレジスタは右詰め 1: D/A データレジスタは左詰め	R/W

44.2.4 D/A A/D 同期スタート制御レジスタ (DAADSCR)

アドレス DA.DAADSCR 0008 8046h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAADST	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DAADST	D/A A/D同期変換ビット	0: 12ビットD/Aコンバータは、12ビットA/Dコンバータと同期変換しない (D/A変換とA/D変換の干渉対策の無効) 1: 12ビットD/Aコンバータは、12ビットA/Dコンバータと同期変換する (D/A変換とA/D変換の干渉対策の有効)	R/W

DAADSCR レジスタは、D/A 変換と A/D 変換の干渉対策のために、12 ビット D/A コンバータの変換開始タイミングを 12 ビット A/D コンバータからの 12 ビット A/D コンバータ同期 D/A 変換許可信号に同期させるかさせないかを選択します。

このレジスタは、12 ビット A/D コンバータ停止中に設定してください (12 ビット A/D コンバータのトリガ選択をソフトウェアトリガに選択後、ADCSR.ADST ビットが“0”のときに設定してください)。

DAADST ビット (D/A A/D 同期変換ビット)

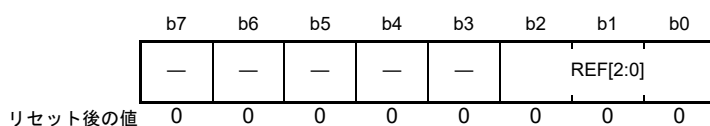
DAADST ビットを“0”にすると、随時 DADR_m レジスタ (m=0, 1) の値を D/A 変換します。DAADST ビットを“1”にすると、12 ビット A/D コンバータからの同期 D/A 変換許可信号に同期して D/A 変換が行われます。したがって、DADR_m レジスタの値を書き換えても、12 ビット A/D コンバータの A/D 変換が終了するまで D/A 変換は行われません。

DAADST ビットの設定は 12 ビット A/D コンバータの ADCSR.ADST ビットが“0”のときに設定してください。このとき確実に 12 ビット A/D コンバータを停止させるため、トリガ選択をソフトウェアトリガに設定してください。

なお、DAADST ビットを“1”にした場合は、イベント機能は使用できません。ELC の ELSR16 でイベントリンク機能を停止に設定してください。DAADST ビットは、12 ビット D/A コンバータのチャンネル 0, 1 の共通仕様です。

44.2.5 D/A VREF 制御レジスタ (DAVREFCR)

アドレス DA.DAVREFCR 0008 8047h



ビット	シンボル	ビット名	機能	R/W
b2-b0	REF[2:0]	D/A基準電圧選択ビット	b2 b0 000 : 非選択 001 : AVCC0/AVSS0 011 : 内部基準電圧/AVSS0 110 : VREFH/VREFL 上記以外は設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読み出されます。書く場合、“0”としてください	R

DAVREFCR レジスタは、12ビットD/Aコンバータの基準電圧を選択します。

REF[2:0] ビット (D/A 基準電圧選択ビット)

12ビットD/Aコンバータ0/1の基準電圧を選択するビットです。値を変更する場合は、一旦REF[2:0]ビットを“000b”にしてから変更してください。変更後に読み出して、値が変わっていることを確認してください。内部基準電圧を選択するときはDADR0レジスタ、DADR1レジスタを“0000h”に設定してVREF経路をディスチャージしてから切り替えてください。リセット解除後はディスチャージされた状態なので、内部基準電圧を選択することができます。ディスチャージ方法については、「44.3.2 内部基準電圧を基準電圧として使用する時の注意点」を参照してください。また、12ビットA/DコンバータがA/D変換中は本レジスタを書き換えないでください。書き換えた場合、A/D変換の精度は保証されません。

内部基準電圧を選択した場合は電圧発生回路が動作し、75μA程度電流が増加します。内部基準電圧を選択したままソフトウェアスタンバイモードに遷移しても電圧発生回路は自動的にOFFになりません。

44.3 動作説明

2チャンネルの12ビットD/Aコンバータは、それぞれ独立して変換を行うことができます。

DACR.DA0Emビット (m=0, 1) を“1”にすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図44.2に示します。

- (1) DADPR.DPSELビットとDADR0レジスタにD/A変換を行うためのデータを設定します。
- (2) DACR.DA0E0ビットを“1”にすると、D/A変換が開始されます。変換時間 t_{DCONV} が経過すると、DA0出力が設定値に対応する電圧で安定します。DADR0レジスタを書き換えるか、DA0E0ビットを“0”にするまで、この電圧が出力され続けます。出力電圧(参考)は以下の式で計算します。

$$\frac{\text{DADRm レジスタ}}{4096} \times \text{基準電圧}$$

なお、D/Aコンバータの出力は、出力バッファアンプを介して行われるため、最低出力電圧、最高出力電圧はそれぞれAVSS0、AVCC0まで達しません。出力電圧の範囲は、「50. 電気的特性」を参照してください。

- (3) DADR0レジスタを書き換えると変換が開始されます。変換時間 t_{DCONV} が経過すると、DA0出力が変更した電圧で安定します。DAADSCR.DAADSTビットが“1”(D/A変換とA/D変換の干渉対策が有効)の場合、D/A変換開始まで最大A/D変換1回分待たされます(ADCLKが周辺モジュールクロックよりも速い場合は、A/D変換1回分以上待たされる場合があります)。
- (4) DA0E0ビットを“0”にするとアナログ出力が禁止されます。

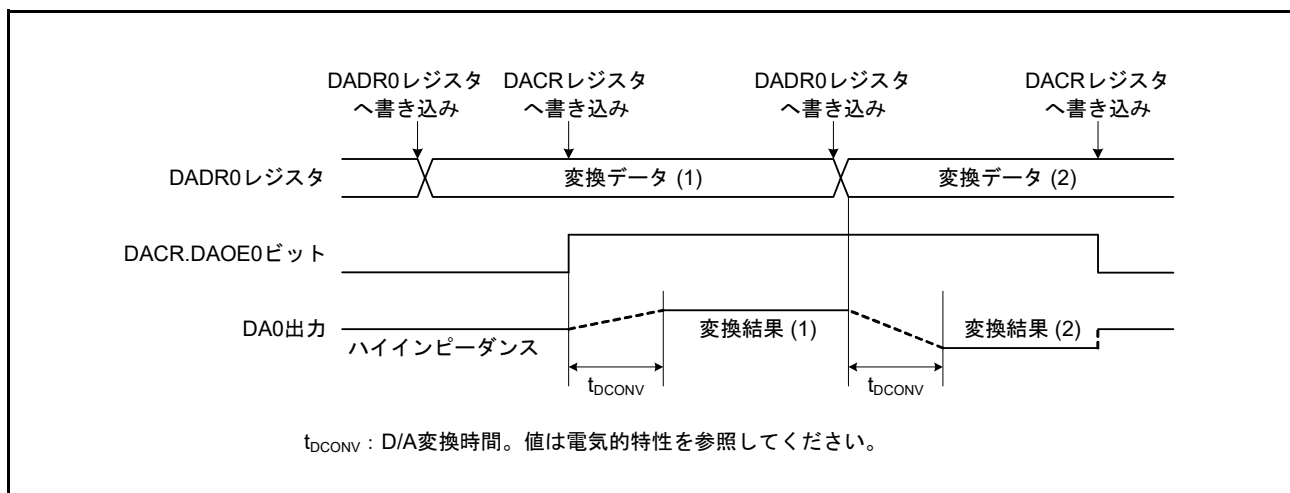


図 44.2 12ビットD/Aコンバータの動作例

44.3.1 D/A変換とA/D変換の干渉対策

D/A変換が始まると12ビットD/Aコンバータにはラッシュカレントが発生します。12ビットD/Aコンバータと12ビットA/Dコンバータのアナログ電源が共通のため、発生したラッシュカレントが12ビットA/Dコンバータの変換に干渉することがあります。

DAADSCR.DAADSTビットを“1”にしている場合、12ビットA/DコンバータがA/D変換中にDADR_mレジスタ ($m=0, 1$) にデータを書き換えても、すぐに変換されず、12ビットA/DコンバータのA/D変換終了タイミングに同期して変換を開始します。DADR_mレジスタへの書き込みからD/A変換回路の入力に反映するまで最大A/D変換1回分待たされます。その間DADR_mレジスタ値とアナログ出力値は一致しません。

本機能が有効なときに、DADR_mレジスタの値がD/A変換されたかどうかをソフトウェアで確認する手段はありません。

DAADSCR.DAADSTビットを“1”にしている場合であっても、12ビットA/DコンバータがADCSR.ADSTビットを“0”にして停止中であればDADR_mレジスタにデータを書き換えると、1PCLKB後にD/A変換を開始します。

図44.3に12ビットD/Aコンバータを12ビットA/Dコンバータに同期変換させる場合のチャンネル0のD/A変換の動作例を示します。

- (1) 12ビットA/Dコンバータが停止中であることを確認し、DAADSCR.DAADSTビットを“1”にする。
- (2) 12ビットA/Dコンバータが停止中であることを確認し、DACR.DAOE0ビットを“1”にする。
- (3) DADR0レジスタを設定する (ADCLKが周辺モジュールクロックよりも速い場合は、A/D変換1回分以上待たされる場合があります)。
 - DADR0レジスタを書き換えたとき、12ビットA/Dコンバータが停止していた場合 (ADCSR.ADSTビット=0)、1PCLKB後にD/A変換が開始されます。
 - DADR0レジスタを書き換えたとき、12ビットA/DコンバータがA/D変換中の場合 (ADCSR.ADSTビット=1)、A/D変換終了時にD/A変換が開始されます。A/D変換中に2回、DADR0レジスタを書き換えた場合、1回目の値は、D/A変換されないことがあります。

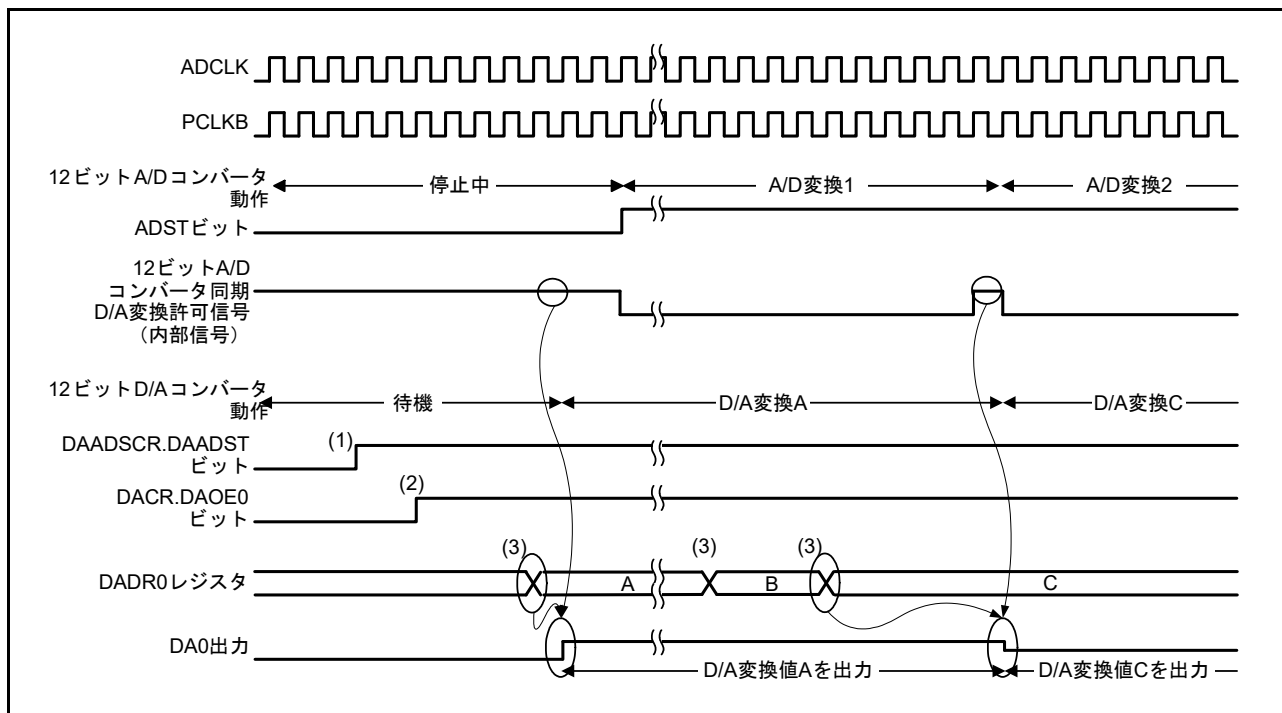


図 44.3 12ビットD/Aコンバータを12ビットA/Dコンバータに同期して変換する例

ADCLKがPCLKBよりも速い場合、A/D変換1とA/D変換2の間に出力されるADCLK1周期分の12ビットA/Dコンバータ同期D/A変換許可信号を12ビットD/Aコンバータが取り込めない可能性があります。図44.4に12ビットD/Aコンバータが12ビットA/Dコンバータ同期D/A変換許可信号を取り込めない例を示します。この場合、DA0出力はD/A変換値Aの出力を継続します。

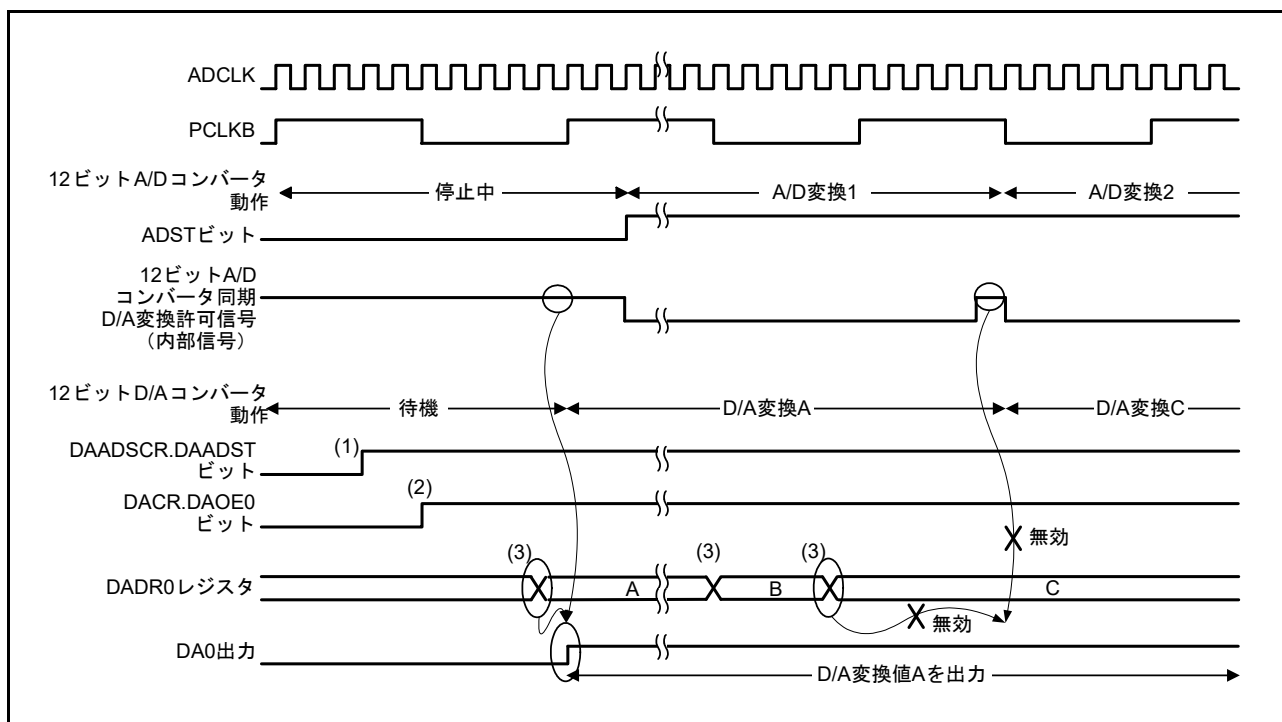


図 44.4 12ビットD/Aコンバータが12ビットA/Dコンバータ同期D/A変換許可信号を取り込めない例

44.3.2 内部基準電圧を基準電圧として使用する時の注意点

DAVREFCR.REF[2:0] ビットを“011b”にし、内部基準電圧 /AVSS0 を基準電圧として用いる場合、選択する前に VREF 経路をディスチャージする必要があります。ディスチャージ手順を以下に示します。

- (1) REF[2:0] ビットに“000b”を書き込む。
- (2) DADR0 レジスタに“0000h”、DADR1 レジスタに“0000h”を設定する。
- (3) (2) の状態を 10 μ s 間維持する (ディスチャージ動作)。
- (4) ディスチャージ完了後、REF[2:0] ビットに“011b”を書き込み、内部基準電圧 /AVSS0 を選択する。
- (5) DACR.DAOEm ビット (m=0, 1) を“1”に設定し、内部基準電圧の安定待ち時間 5 μ s 待つ。
- (6) DADRm レジスタにデータを書き込み、D/A 変換を開始する。

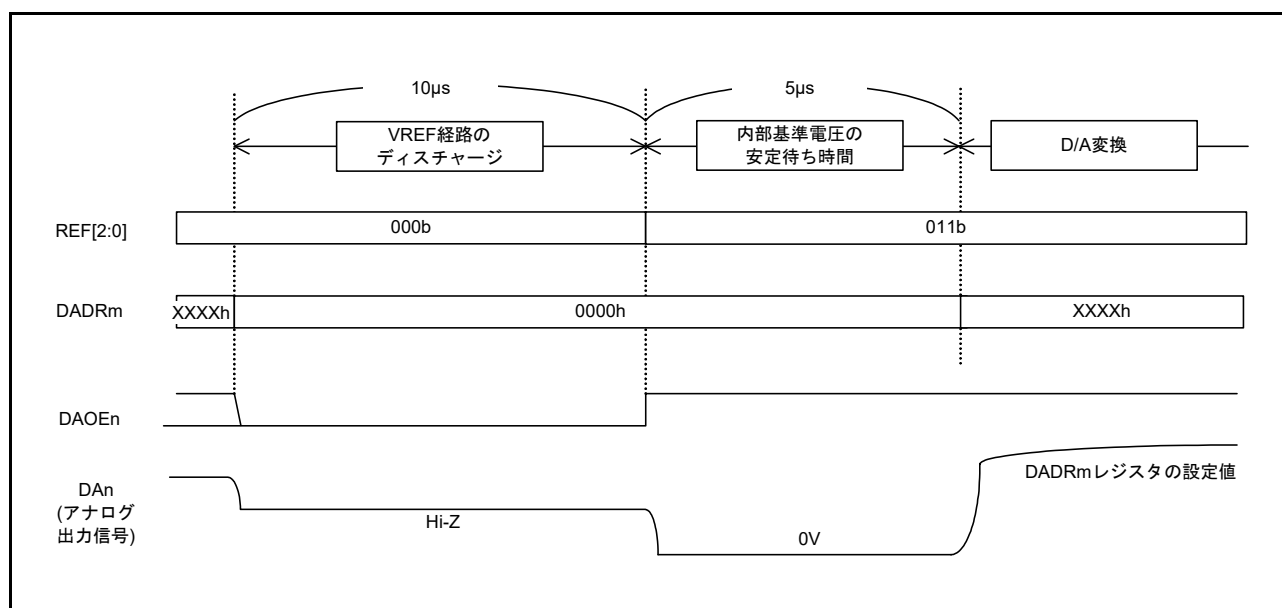


図 44.5 基準電圧に内部基準電圧を選択する手順

44.4 イベントリンクの動作設定手順

以下にイベントリンク動作手順を示します。

- (1) DADPR.DPSEL ビットの設定と DADR0 レジスタに D/A 変換を行うためのデータを設定します。
- (2) ELC の ELSR16 レジスタにリンクする ELSR16 設定イベント信号のビットの値を設定します。
- (3) ELCR.ELCON ビットを“1”にします。これによりイベントリンクが設定されている全モジュールのイベントリンク動作が有効となります。
- (4) イベント出力元のモジュールを設定し、起動します。モジュールから出力されるイベントにより、DACR.DAOE0 ビットが“1”になり、チャンネル0のD/A変換が開始されます。
- (5) 12ビットD/Aコンバータのチャンネル0のイベントリンク動作を停止するときは、ELSR16.ELS[7:0] ビットに“0000 0000b”を設定してください。また ELCR.ELCON ビットを“0”にすることにより、全モジュールのイベントリンク動作が停止します。

44.5 イベントリンク動作における注意事項

- (1) DACR.DAOE0 ビットへの書き込みサイクル中に ELSR16 レジスタで設定されたイベントが発生すると、DACR.DAOE0 ビットへの書き込みサイクルは行われず、イベント発生による“1”設定が優先されます。
- (2) D/A 変換と A/D 変換の干渉対策として、DAADSCR.DAADST ビットを“1”にする場合、イベントリンク機能は使用禁止です。

44.6 使用上の注意事項

44.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、12ビットD/Aコンバータの動作禁止/許可を設定することが可能です。初期値では、12ビットD/Aコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

44.6.2 モジュールストップ時のD/Aコンバータの動作

D/A変換を許可した状態でモジュールストップ状態になるとD/Aコンバータの出力は保持され、アナログ電源電流はD/A変換中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0ビットをすべて“0”にしてD/Aコンバータの出力を禁止してください。

44.6.3 ソフトウェアスタンバイモード時のD/Aコンバータの動作

D/A変換を許可した状態でソフトウェアスタンバイモードになるとD/Aコンバータの出力は保持され、アナログ電源電流はD/A変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0ビットをすべて“0”にしてD/Aコンバータの出力を禁止してください。

44.6.4 D/A変換とA/D変換の干渉対策有効時の注意事項

DAADSCR.DAADSTビットが“1” (D/A変換とA/D変換の干渉対策が有効) の場合、12ビットA/Dコンバータをモジュールストップ状態にしないでください。A/D変換が停止するだけでなく、D/A変換が停止する可能性があります。

45. 温度センサ (TEMPSA)

45.1 概要

本 MCU は、温度センサを内蔵しています。温度センサは温度により変化する電圧を出力します。温度センサの出力電圧を 12 ビット A/D コンバータでデジタル値に変換し、温度に換算することで、MCU 周辺の温度を求めることができます。

表 45.1 に温度センサの仕様を示します。図 45.1 に温度センサ周りのブロック図を示します。

表 45.1 温度センサの仕様

項目	内容
温度センサ電圧出力	12ビットA/Dコンバータへ出力

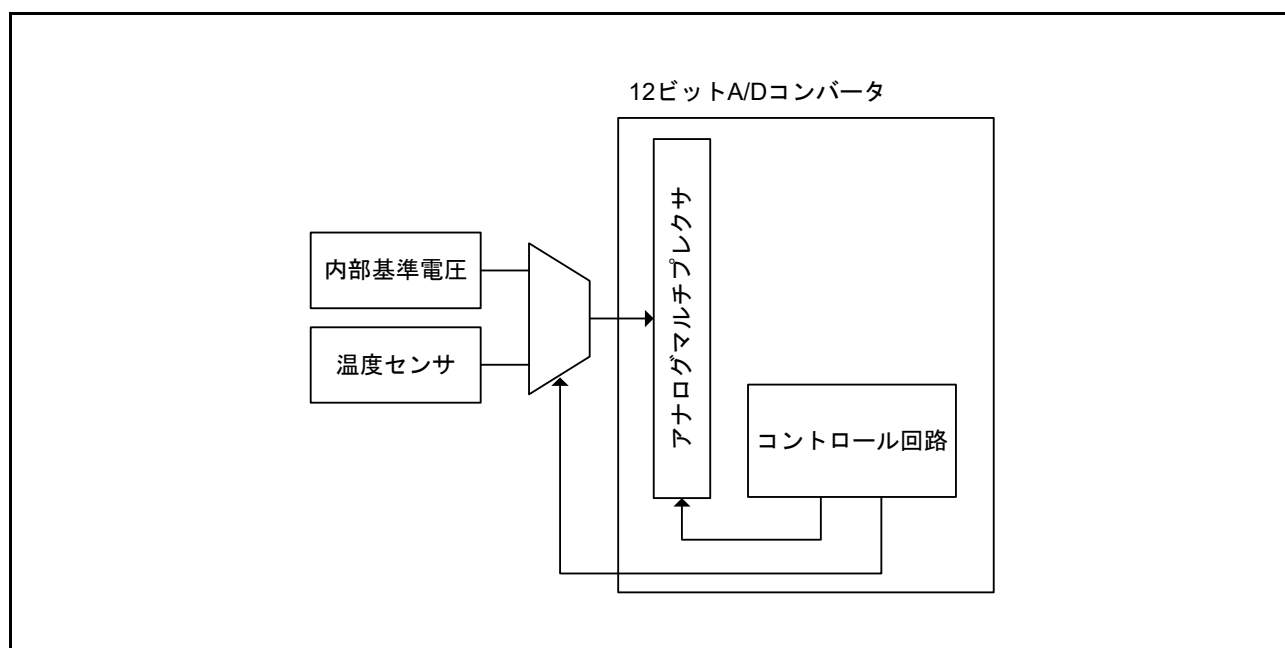


図 45.1 温度センサ周りのブロック図

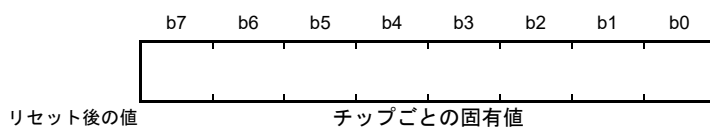
45.2 レジスタの説明

45.2.1 温度センサ校正データレジスタ (TSCDRH, TSCDRL)

アドレス TSCDRL 007F C0ACh



アドレス TSCDRH 007F C0ADh



TSCDRH, TSCDRL レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。

温度センサ校正データは、 $T_a = T_j = 88\text{ }^\circ\text{C}$ 、 $AVCC0 = VREFH0 = 3.3\text{V}$ の条件における温度センサの出力電圧を、12 ビット A/D コンバータでデジタル変換した値です。TSCDRH レジスタには変換値の上位 4 ビット、TSCDRL レジスタには下位 8 ビットが格納されています。

45.3 温度センサの使用法

温度センサは、温度により変化する電圧を出力します。この電圧を 12 ビット A/D コンバータを用いてデジタル変換し、温度に換算することで MCU の周辺の温度を求めることができます。

45.3.1 使用前の準備

温度センサの温度特性を示します。温度センサ出力電圧は、温度変化と比例関係にあり、以下の式で表されます。

温度特性の式

$$T = (V_s - V_1) / \text{Slope} + T_1$$

T : 測定温度 (°C)

V_s : 温度測定時の温度センサの出力電圧 (V)

T₁ : 1 点目の試行測定時の温度 (°C)

V₁ : 1 点目の試行測定時の温度センサの出力電圧 (V)

T₂ : 2 点目の試行測定時の温度 (°C)

V₂ : 2 点目の試行測定時の温度センサの出力電圧 (V)

Slope : 温度センサの温度傾斜 (V/°C) Slope = (V₂ - V₁) / (T₂ - T₁)

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施しておくことを推奨します。

まず、温度 T₁ のときの温度センサの出力電圧 V₁ を 12 ビット A/D コンバータで試行測定することで求めます。

次に、温度 T₁ と異なる温度 T₂ のときの温度センサの出力電圧 V₂ を 12 ビット A/D コンバータにて試行測定することで求めます。

両者の測定結果から、温度傾斜 (Slope = (V₂ - V₁) / (T₂ - T₁)) を求めます。

この Slope を温度特性の式に代入し、温度特性 T = (V_s - V₁) / Slope + T₁ を求めます。

また、「50. 電気的特性」に記載の温度傾斜を用いることで、温度 T₁ のときの温度センサの出力電圧 V₁ を、12 ビット A/D コンバータで試行測定することで求め、下記式により測定温度を算出します。なお、本測定温度精度は 2 点測定方法よりも劣ります。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

また、本 MCU は、TSCDRH、TSCDRL レジスタに、T_a = T_j = 88 °C、AVCC0 = VREFH0 = 3.3V の条件における温度センサの温度測定値 (CAL₈₈) を格納しています。この値を 1 点目の試行測定結果として使用することで、使用前の準備を省略することができます。

この測定値 CAL₈₈ は、以下のように計算できます。

$$\text{CAL}_{88} = (\text{TSCDRH レジスタ値} \ll 8) + \text{TSCDRL レジスタ値}$$

CAL₈₈ から V₁ を求めると、

$$V_1 = 3.3 \times \text{CAL}_{88} / 4096 \text{ [V]}$$

となり、これを用いると、測定温度は下記の式にて算出できます。

$$T = (V_s - V_1) / \text{Slope} + 88 \text{ [}^\circ\text{C]}]$$

T : 測定温度 (°C)

V_s : 温度測定時の温度センサの出力電圧 (V)

V₁ : Ta = Tj = 88 °C、AVCC0 = VREFH0 = 3.3V 時の温度センサの出力電圧 (V)

Slope : 表 50.55 に記載の温度傾斜 ÷ 1000 (V/°C)

なお、測定温度誤差 (ばらつき範囲は 3σ) は、図 45.2 のとおりです。

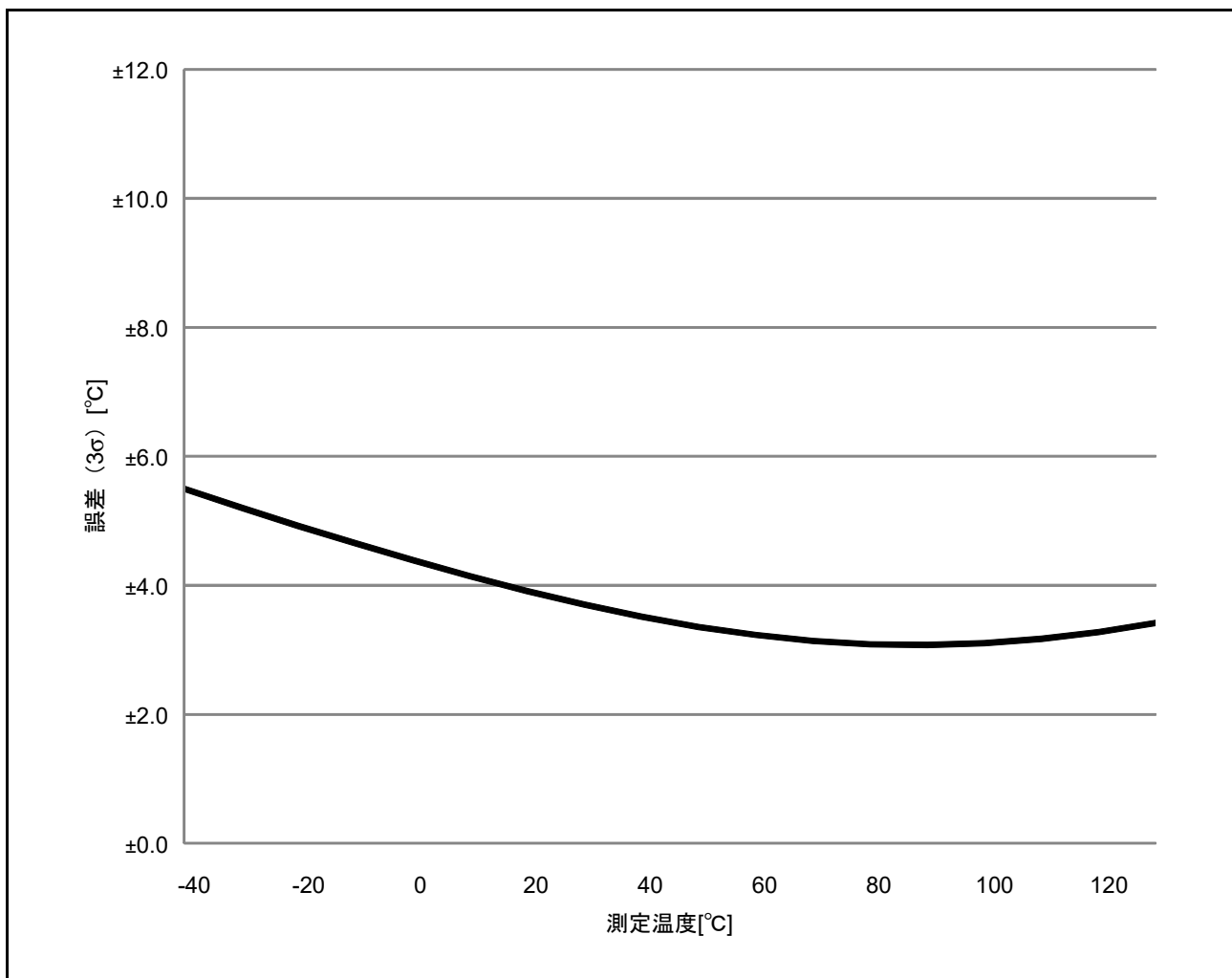


図 45.2 測定温度誤差 (設計値)

45.3.2 12 ビット A/D コンバータの設定

詳細は、「43. 12 ビット A/D コンバータ (S12ADE)」を参照してください。

46. コンパレータ B (CMPBa)

コンパレータ B はリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータ B0 とコンパレータ B1、コンパレータ B2 とコンパレータ B3 の独立した 4 つのコンパレータです。

本章に記載している PCLK とは PCLKB を指します。

46.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。また、比較結果を外部に出力することもできます。リファレンス入力電圧として CVREFBn (n=0 ~ 3) 端子への入力、または MCU 内部で生成する内部基準電圧 (1.44V) のいずれかを選択可能です。

動作開始前にコンパレータ B 応答速度を設定することができます。高速モードにすると応答遅延時間が小さくなりますが消費電流は大きくなります。低速モードにすると応答遅延時間が大きいですが、消費電流は小さくなります。

表 46.1 にコンパレータ B の仕様、図 46.1 にコンパレータ B (ウィンドウ機能無効時) のブロック図、図 46.2 にコンパレータ B (ウィンドウ機能有効時) のブロック図、表 46.2 にコンパレータ B の入出力端子を示します。

表 46.1 コンパレータ B の仕様

項目	内容
アナログ入力電圧	CMPBn 端子への入力電圧 (n=0 ~ 3)
リファレンス入力電圧	CVREFBn 端子への入力電圧 (n=0 ~ 3) または内部基準電圧
比較結果	CPBFLG.CPBnOUT フラグの読み出し (n=0 ~ 3) 比較結果を CMPOBn 端子 (n=0 ~ 3) へ出力可能
割り込み要求発生タイミング	コンパレータ B0 の比較結果が変化するとき コンパレータ B1 の比較結果が変化するとき コンパレータ B2 の比較結果が変化するとき コンパレータ B3 の比較結果が変化するとき
ELC へのイベント発生タイミング	コンパレータ B0 の比較結果が変化するとき コンパレータ B0 または B1 の比較結果が変化するとき
選択機能	<ul style="list-style-type: none"> デジタルフィルタ機能 デジタルフィルタの有無、サンプリング周波数を選択可能 ウィンドウ機能 ウィンドウ機能 (低電位側リファレンス (VRFL) < CMPBn (n=0 ~ 3) < 高電位側リファレンス (VRFH)) の有効/無効選択可能 リファレンス入力電圧 CVREFBn 端子入力/内部基準電圧 (内部生成) を選択可能 (n=0 ~ 3) コンパレータ B 応答速度 高速モード/低速モードを選択可能
消費電力低減機能	モジュールストップ状態への設定が可能

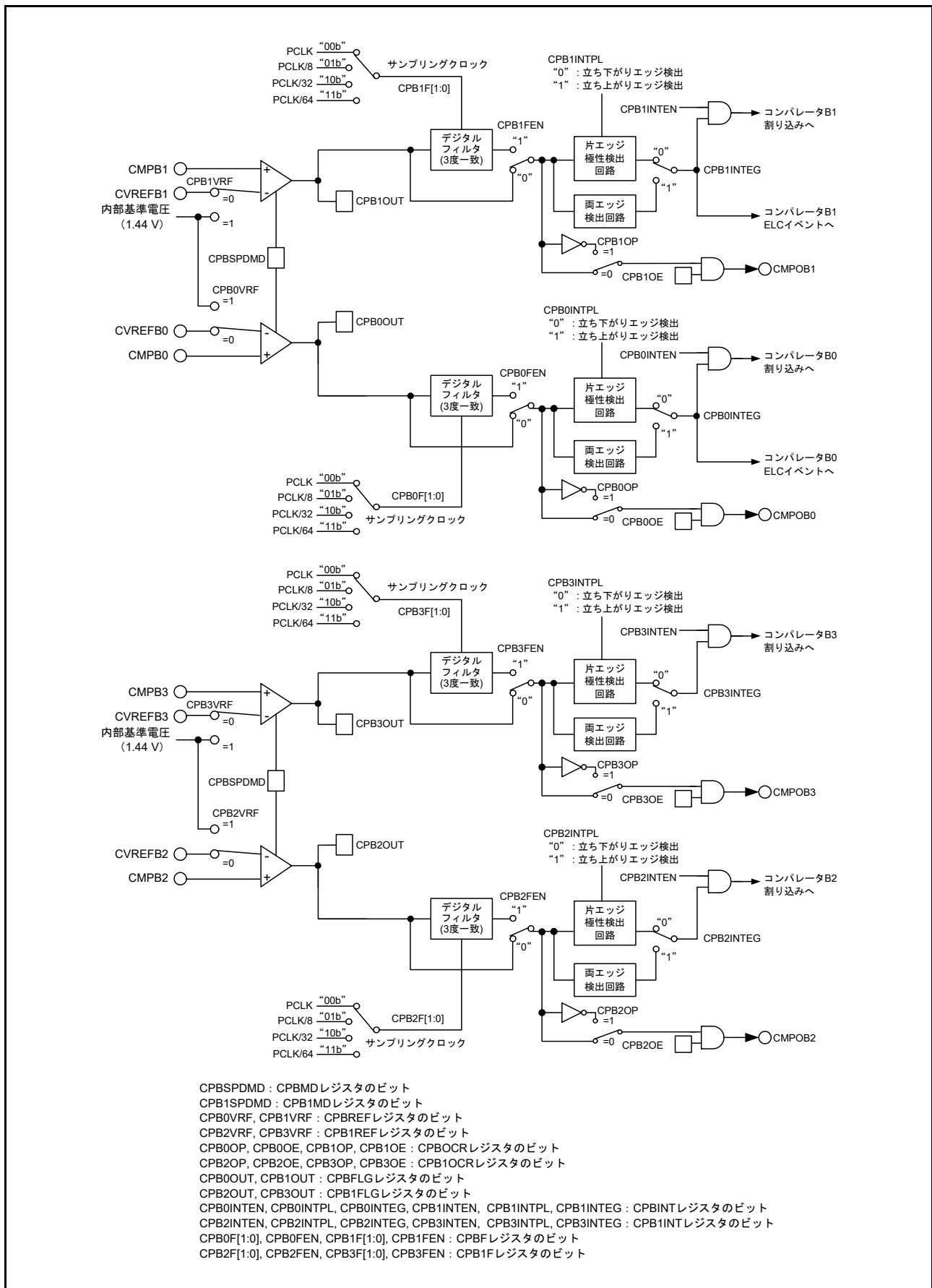


図 46.1 コンパレータ B のブロック図 (ウィンドウ機能無効時)

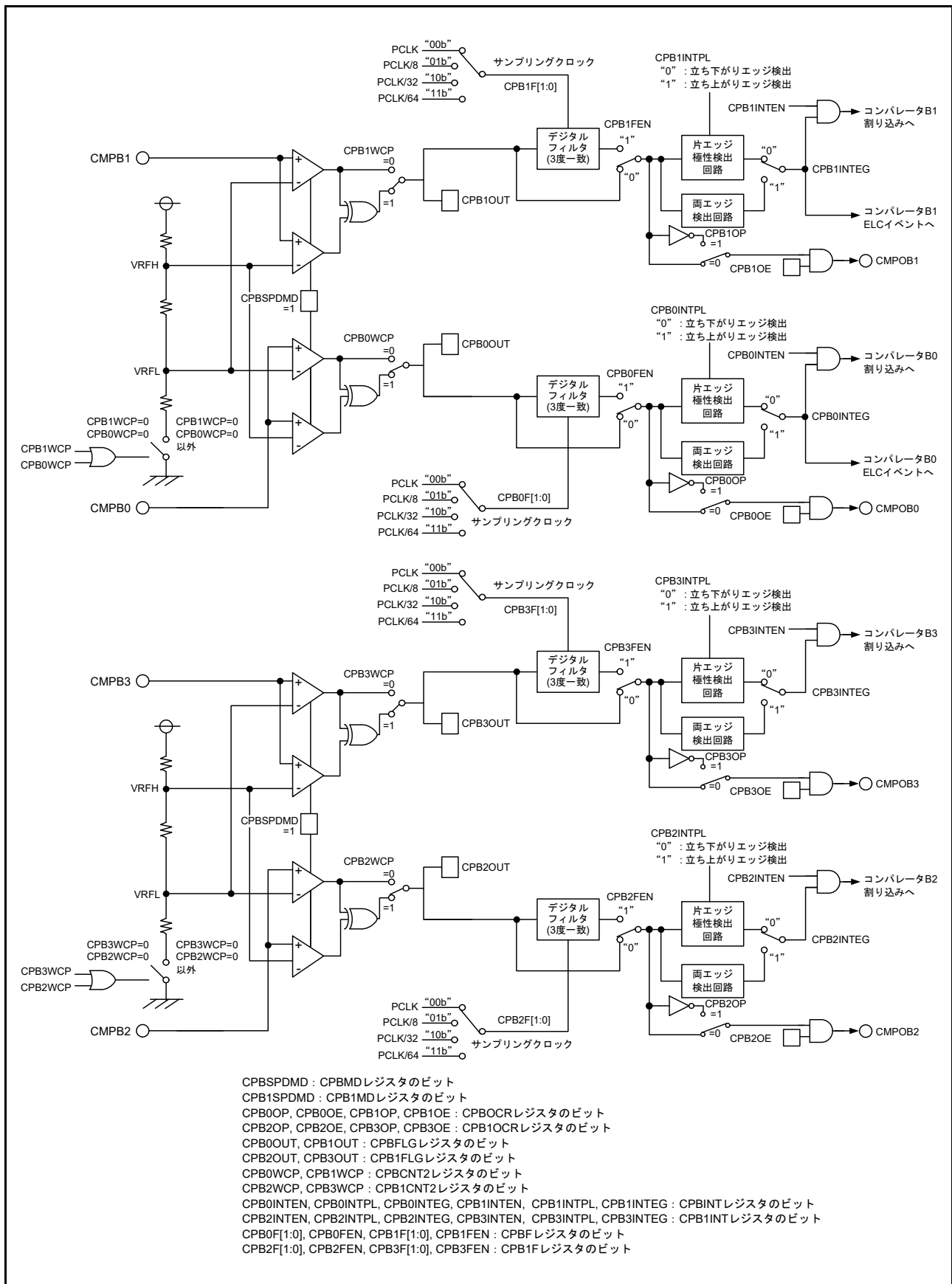


図 46.2 コンパレータ B のブロック図 (ウィンドウ機能有効時)

表 46.2 コンパレータ B の入出力端子

端子名	入出力	機能
CMPB0	入力	コンパレータ B0用アナログ端子
CVREFB0	入力	コンパレータ B0用リファレンス入力電圧端子
CMPB1	入力	コンパレータ B1用アナログ端子
CVREFB1	入力	コンパレータ B1用リファレンス入力電圧端子
CMPB2	入力	コンパレータ B2用アナログ端子
CVREFB2	入力	コンパレータ B2用リファレンス入力電圧端子
CMPB3	入力	コンパレータ B3用アナログ端子
CVREFB3	入力	コンパレータ B3用リファレンス入力電圧端子
CMPOB0	出力	コンパレータ B0出力端子
CMPOB1	出力	コンパレータ B1出力端子
CMPOB2	出力	コンパレータ B2出力端子
CMPOB3	出力	コンパレータ B3出力端子

46.2 レジスタの説明

46.2.1 コンパレータ B 制御レジスタ 1 (CPBCNT1)

アドレス 0008 C580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CPB11 NI	—	—	—	CPB01 NI
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPB01NI	コンパレータ B0 許可ビット	0 : 禁止 1 : 許可 (コンパレータの電源 ON))	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB11NI	コンパレータ B1 許可ビット	0 : 禁止 1 : 許可 (コンパレータの電源 ON))	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

46.2.2 コンパレータ B1 制御レジスタ 1 (CPB1CNT1)

アドレス 0008 C5A0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CPB31 NI	—	—	—	CPB21 NI
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPB21NI	コンパレータ B2 許可ビット	0 : 禁止 1 : 許可 (コンパレータの電源 ON))	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB31NI	コンパレータ B3 許可ビット	0 : 禁止 1 : 許可 (コンパレータの電源 ON))	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

46.2.3 コンパレータ B 制御レジスタ 2 (CPBCNT2)

アドレス 0008 C581h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CPB1W CP	—	—	—	CPB0W CP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0WCP	コンパレータ B0 ウィンドウ機能有効ビット	0 : 無効 1 : 有効	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB1WCP	コンパレータ B1 ウィンドウ機能有効ビット	0 : 無効 1 : 有効	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

46.2.4 コンパレータ B1 制御レジスタ 2 (CPB1CNT2)

アドレス 0008 C5A1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CPB3W CP	—	—	—	CPB2W CP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPB2WCP	コンパレータ B2 ウィンドウ機能有効ビット	0 : 無効 1 : 有効	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB3WCP	コンパレータ B3 ウィンドウ機能有効ビット	0 : 無効 1 : 有効	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

46.2.5 コンパレータ B フラグレジスタ (CPBFLG)

アドレス 0008 C582h

b7	b6	b5	b4	b3	b2	b1	b0
CPB1OUT	—	—	—	CPB0OUT	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	CPB0OUT	コンパレータ B0 モニタフラグ	(ウィンドウ機能無効時) 0 : CMPB0 < CVREFB0、またはCMPB0 < 内部基準電圧またはコンパレータ B0 動作禁止 1 : CMPB0 > CVREFB0、またはCMPB0 > 内部基準電圧 (ウィンドウ機能有効時) 0 : CMPB0 < 低電位側リファレンス (VRFL) またはCMPB0 > 高電位側リファレンス (VRFH) またはコンパレータ B0 動作禁止 1 : 低電位側リファレンス (VRFL) < CMPB0 < 高電位側リファレンス (VRFH)	R
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CPB1OUT	コンパレータ B1 モニタフラグ	(ウィンドウ機能無効時) 0 : CMPB1 < CVREFB1、またはCMPB1 < 内部基準電圧またはコンパレータ B1 動作禁止 1 : CMPB1 > CVREFB1、またはCMPB1 > 内部基準電圧 (ウィンドウ機能有効時) 0 : CMPB1 < 低電位側リファレンス (VRFL) またはCMPB1 > 高電位側リファレンス (VRFH) またはコンパレータ B1 動作禁止 1 : 低電位側リファレンス (VRFL) < CMPB1 < 高電位側リファレンス (VRFH)	R

46.2.6 コンパレータ B1 フラグレジスタ (CPB1FLG)

アドレス 0008 C5A2h

	b7	b6	b5	b4	b3	b2	b1	b0
	CPB3OUT	—	—	—	CPB2OUT	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	CPB2OUT	コンパレータ B2 モニタ フラグ	(ウィンドウ機能無効時) 0 : CMPB2 < CVREFB2、または CMPB2 < 内部基準電圧または コンパレータ B2 動作禁止 1 : CMPB2 > CVREFB2、または CMPB2 > 内部基準電圧 (ウィンドウ機能有効時) 0 : CMPB2 < 低電位側リファレンス (VRFL) または CMPB2 > 高電位側リファレンス (VRFH) またはコンパレータ B2 動作禁止 1 : 低電位側リファレンス (VRFL) < CMPB2 < 高電位側リファレンス (VRFH)	R
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CPB3OUT	コンパレータ B3 モニタ フラグ	(ウィンドウ機能無効時) 0 : CMPB3 < CVREFB3、または CMPB3 < 内部基準電圧または コンパレータ B3 動作禁止 1 : CMPB3 > CVREFB3、または CMPB3 > 内部基準電圧 (ウィンドウ機能有効時) 0 : CMPB3 < 低電位側リファレンス (VRFL) または CMPB3 > 高電位側リファレンス (VRFH) またはコンパレータ B3 動作禁止 1 : 低電位側リファレンス (VRFL) < CMPB3 < 高電位側リファレンス (VRFH)	R

46.2.7 コンパレータ B 割り込み制御レジスタ (CPBINT)

アドレス 0008 C583h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	CPB11 NTPL	CPB11 NTEG	CPB11 NTEN	—	CPB01 NTPL	CPB01 NTEG	CPB01 NTEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0INTEN	コンパレータ B0 割り込み許可ビット	0: 禁止 1: 許可	R/W
b1	CPB0INTEG	コンパレータ B0 割り込み/ ELCエッジ選択ビット (注1)	0: 片エッジ 1: 両エッジ	R/W
b2	CPB0INTPL	コンパレータ B0 割り込み/ ELCエッジ極性選択ビット (注2)	0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB1INTEN	コンパレータ B1 割り込み許可ビット	0: 禁止 1: 許可	R/W
b5	CPB1INTEG	コンパレータ B1 割り込み/ ELCエッジ選択ビット (注1)	0: 片エッジ 1: 両エッジ	R/W
b6	CPB1INTPL	コンパレータ B1 割り込み/ ELCエッジ極性選択ビット (注2)	0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CPB0INTPLビットを変更すると、IR058.IRビットが“1”(割り込み要求あり)に、CPB1INTPLビットを変更すると、IR059.IRビットが“1”(割り込み要求あり)になることがあります。「15. 割り込みコントローラ(ICUb)」を参照してください。

注2. CPBnINTPLビットはCPBnINTEGビット=0 (コンパレータ割り込みエッジに片エッジを選択) のときのみ有効です。

46.2.8 コンパレータ B1 割り込み制御レジスタ (CPB1INT)

アドレス 0008 C5A3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	CPB3I NTPL	CPB3I NTEG	CPB3I NTEN	—	CPB2I NTPL	CPB2I NTEG	CPB2I NTEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPB2INTEN	コンパレータB2割り込み許可ビット	0: 禁止 1: 許可	R/W
b1	CPB2INTEG	コンパレータB2割り込みエッジ選択ビット (注1)	0: 片エッジ 1: 両エッジ	R/W
b2	CPB2INTPL	コンパレータB2割り込みエッジ極性選択ビット (注2)	0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB3INTEN	コンパレータB3割り込み許可ビット	0: 禁止 1: 許可	R/W
b5	CPB3INTEG	コンパレータB3割り込みエッジ選択ビット (注1)	0: 片エッジ 1: 両エッジ	R/W
b6	CPB3INTPL	コンパレータB3割り込みエッジ極性選択ビット (注2)	0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CPB2INTPLビットを変更すると、IR104.IRビットが“1”（割り込み要求あり）に、CPB3INTPLビットを変更すると、IR105.IRビットが“1”（割り込み要求あり）になることがあります。「15. 割り込みコントローラ(ICUb)」を参照してください。

注2. CPBnINTPLビットはCPBnINTEGビット=0（コンパレータ割り込みエッジに片エッジを選択）のときのみ有効です。

46.2.9 コンパレータ B フィルタ選択レジスタ (CPBF)

アドレス 0008 C584h

b7	b6	b5	b4	b3	b2	b1	b0
CPB1F[1:0]	—	CPB1F EN	CPB0F[1:0]	—	—	—	CPB0F EN

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0FEN	コンパレータ B0 フィルタ有効／無効選択ビット (注1)	0 : フィルタ無効 1 : フィルタ有効	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	CPB0F[1:0]	コンパレータ B0 フィルタ選択ビット (注1)	b3 b2 0 0 : PCLKでサンプリング 0 1 : PCLK/8でサンプリング 1 0 : PCLK/32でサンプリング 1 1 : PCLK/64でサンプリング	R/W
b4	CPB1FEN	コンパレータ B1 フィルタ有効／無効選択ビット (注1)	0 : フィルタ無効 1 : フィルタ有効	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	CPB1F[1:0]	コンパレータ B1 フィルタ選択ビット (注1)	b7 b6 0 0 : PCLKでサンプリング 0 1 : PCLK/8でサンプリング 1 0 : PCLK/32でサンプリング 1 1 : PCLK/64でサンプリング	R/W

注1. CPBnF[1:0]ビットはCPBnFENビット=1のとき（フィルタ有効を選択時）のみ有効です。

46.2.10 コンパレータ B1 フィルタ選択レジスタ (CPB1F)

アドレス 0008 C5A4h

b7	b6	b5	b4	b3	b2	b1	b0
CPB3F[1:0]	—	CPB3F EN	CPB2F[1:0]	—	—	—	CPB2F EN

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPB2FEN	コンパレータ B2 フィルタ有効／無効選択ビット (注1)	0 : フィルタ無効 1 : フィルタ有効	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	CPB2F[1:0]	コンパレータ B2 フィルタ選択ビット (注1)	b3 b2 0 0 : PCLKでサンプリング 0 1 : PCLK/8でサンプリング 1 0 : PCLK/32でサンプリング 1 1 : PCLK/64でサンプリング	R/W
b4	CPB3FEN	コンパレータ B3 フィルタ有効／無効選択ビット (注1)	0 : フィルタ無効 1 : フィルタ有効	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	CPB3F[1:0]	コンパレータ B3 フィルタ選択ビット (注1)	b7 b6 0 0 : PCLKでサンプリング 0 1 : PCLK/8でサンプリング 1 0 : PCLK/32でサンプリング 1 1 : PCLK/64でサンプリング	R/W

注1. CPBnF[1:0]ビットはCPBnFENビット=1のとき（フィルタ有効を選択時）のみ有効です。

46.2.11 コンパレータ B モード選択レジスタ (CPBMD)

アドレス 0008 C585h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CPBSP DMD
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPBSPDMD	コンパレータ B 速度選択ビット	0 : 高速モード 1 : 低速モード (注1)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CPBSPDMD ビットを書き換える場合は、CPBCNT1 レジスタの CPBnINI ビット (n=0, 1) を“0”にしてから書き換えてください。

46.2.12 コンパレータ B1 モード選択レジスタ (CPB1MD)

アドレス 0008 C5A5h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CPB1S PDMD
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPB1SPDMD	コンパレータ B 速度選択ビット	0 : 高速モード 1 : 低速モード (注1)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CPB1SPDMD ビットを書き換える場合は、CPB1CNT1 レジスタの CPBnINI ビット (n=2, 3) を“0”にしてから書き換えてください。

46.2.13 コンパレータ B リファレンス入力電圧選択レジスタ (CPBREF)

アドレス 0008 C586h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CPB1V RF	—	—	—	CPB0V RF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0VRF	コンパレータ B0 リファレンス入力電圧選択ビット	0: コンパレータ B0 リファレンス入力電圧は CVREFB0 入力 1: コンパレータ B0 リファレンス入力電圧は内部基準電圧 (注1、注2、注3)	R/W (注4)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB1VRF	コンパレータ B1 リファレンス入力電圧選択ビット	0: コンパレータ B1 リファレンス入力電圧は CVREFB1 入力 1: コンパレータ B1 リファレンス入力電圧は内部基準電圧 (注1、注2、注3)	R/W (注4)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. ウィンドウ機能無効時のみ有効です。ウィンドウ機能有効時には、本ビットの設定に関わらずコンパレータ B 内部のリファレンス入力電圧が選択されます。
- 注2. 内部基準電圧を選択している場合は、A/D コンバータに温度センサ出力は選択禁止です。
- 注3. 内部基準電圧を選択した場合は電圧発生回路が動作し、75 μ A 程度電流が増加します。内部基準電圧を選択したままソフトウェアスタンバイモードに遷移しても電圧発生回路は自動的に OFF しません。
- 注4. CPBnVRF ビットは、CPBCNT2.CPBnWCP = 0 のときは書き換え禁止です。

<リファレンス入力電圧を変更する場合の注意点>

- ◆リファレンス入力電圧を CVREFBn (n=0、1) から内部基準電圧へ変更する場合、下記手順に従い、変更してください。
1. CPBCNT1.CPBnINI ビットを“1”にする。
 2. CPBCNT2.CPBnWCP ビットを“1”にする。
 3. CPBREF.CPBnVRF ビットを“1”にして、内部基準電圧を選択する。
 4. CVREFBn 端子として使用しているポートの端子機能制御レジスタのアナログ選択ビット (ASEL) を“0”にする。
 5. コンパレータ安定時間を待つ (最小 100 μ s)。
 6. CPBCNT2.CPBnWCP ビットを“0”にする。
- ◆リファレンス入力電圧を内部基準電圧から CVREFBn (n=0、1) へ変更する場合、下記手順に従い、変更してください。
1. CPBCNT1.CPBnINI ビットを“1”にする。
 2. CPBCNT2.CPBnWCP ビットを“1”にする。
 3. CPBREF.CPBnVRF ビットを“0”にして、CVREFBn 端子入力を選択する。
 4. CVREFBn 端子として使用しているポートの端子機能制御レジスタのアナログ選択ビット (ASEL) を“1”にする。
 5. コンパレータ安定時間を待つ (最小 100 μ s)。
 6. CPBCNT2.CPBnWCP ビットを“0”にする。

46.2.14 コンパレータ B1 リファレンス入力電圧選択レジスタ (CPB1REF)

アドレス 0008 C5A6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CPB3V RF	—	—	—	CPB2V RF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPB2VRF	コンパレータB2リファレンス入力電圧選択ビット	0: コンパレータB2リファレンス入力電圧はCVREFB2入力 1: コンパレータB2リファレンス入力電圧は内部基準電圧 (注1、注2、注3)	R/W (注4)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB3VRF	コンパレータB3リファレンス入力電圧選択ビット	0: コンパレータB3リファレンス入力電圧はCVREFB3入力 1: コンパレータB3リファレンス入力電圧は内部基準電圧 (注1、注2、注3)	R/W (注4)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. ウィンドウ機能無効時のみ有効です。ウィンドウ機能有効時には、本ビットの設定に関わらずコンパレータB内部のリファレンス入力電圧が選択されます。
- 注2. 内部基準電圧を選択している場合は、A/Dコンバータに温度センサ出力は選択禁止です。
- 注3. 内部基準電圧を選択した場合は電圧発生回路が動作し、75 μ A程度電流が増加します。内部基準電圧を選択したままソフトウェアスタンバイモードに遷移しても電圧発生回路は自動的にOFFしません。
- 注4. CPBnVRFビットは、CPB1CNT2.CPBnWCP = 0のときは書き換え禁止です。

<リファレンス入力電圧を変更する場合の注意点>

◆リファレンス入力電圧を CVREFBn (n=2, 3) から内部基準電圧へ変更する場合、下記手順に従い、変更してください。

1. CPB1CNT1.CPBnINI ビットを“1”にする。
2. CPB1CNT2.CPBnWCP ビットを“1”にする。
3. CPB1REF.CPBnVRF ビットを“1”にして、内部基準電圧を選択する。
4. CVREFBn 端子として使用しているポートの端子機能制御レジスタのアナログ選択ビット (ASEL) を“0”にする。
5. コンパレータ安定時間を待つ (最小 100 μ s)。
6. CPB1CNT2.CPBnWCP ビットを“0”にする。

◆リファレンス入力電圧を内部基準電圧から CVREFBn (n=2, 3) へ変更する場合、下記手順に従い、変更してください。

1. CPB1CNT1.CPBnINI ビットを“1”にする。
2. CPB1CNT2.CPBnWCP ビットを“1”にする。
3. CPB1REF.CPBnVRF ビットを“0”にして、CVREFBn 端子入力を選択する。
4. CVREFBn 端子として使用しているポートの端子機能制御レジスタのアナログ選択ビット (ASEL) を“1”にする。
5. コンパレータ安定時間を待つ (最小 100 μ s)。
6. CPB1CNT2.CPBnWCP ビットを“0”にする。

46.2.15 コンパレータ B 出力制御レジスタ (CPBOCR)

アドレス 0008 C587h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	CPB1O P	CPB1O E	—	—	CPB0O P	CPB0O E

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0OE	CMPOB0 端子出力許可ビット	0 : コンパレータ B0 の CMPOB0 端子出力禁止 (注1) 1 : コンパレータ B0 の CMPOB0 端子出力許可	R/W
b1	CPB0OP	CMPOB0 出力極性選択ビット	0 : コンパレータ B0 出力を CMPOB0 へ出力 1 : コンパレータ B0 出力の反転を CMPOB0 へ出力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB1OE	CMPOB1 端子出力許可ビット	0 : コンパレータ B1 の CMPOB1 端子出力禁止 (注1) 1 : コンパレータ B1 の CMPOB1 端子出力許可	R/W
b5	CPB1OP	CMPOB1 出力極性選択ビット	0 : コンパレータ B1 出力を CMPOB1 へ出力 1 : コンパレータ B1 出力の反転を CMPOB1 へ出力	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CPBnOE ビット (n=0, 1) を“0”として、CMPOBn (n=0, 1) 端子出力禁止とした場合、CPBnOP ビット (n=0, 1) の値に関わらず、CMPOBn (n=0, 1) へは“0”を出力します。

46.2.16 コンパレータ B1 出力制御レジスタ (CPB1OCR)

アドレス 0008 C5A7h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	CPB3O P	CPB3O E	—	—	CPB2O P	CPB2O E

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPB2OE	CMPOB2 端子出力許可ビット	0 : コンパレータ B2 の CMPOB2 端子出力禁止 (注1) 1 : コンパレータ B2 の CMPOB2 端子出力許可	R/W
b1	CPB2OP	CMPOB2 出力極性選択ビット	0 : コンパレータ B2 出力を CMPOB2 へ出力 1 : コンパレータ B2 出力の反転を CMPOB2 へ出力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB3OE	CMPOB3 端子出力許可ビット	0 : コンパレータ B3 の CMPOB3 端子出力禁止 (注1) 1 : コンパレータ B3 の CMPOB3 端子出力許可	R/W
b5	CPB3OP	CMPOB3 出力極性選択ビット	0 : コンパレータ B3 出力を CMPOB3 へ出力 1 : コンパレータ B3 出力の反転を CMPOB3 へ出力	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CPBnOE ビット (n=2, 3) を“0”として、CMPOBn (n=2, 3) 端子出力禁止とした場合、CPBnOP ビット (n=2, 3) の値に関わらず、CMPOBn (n=2, 3) へは“0”を出力します。

46.3 動作説明

コンパレータ B0 ~コンパレータ B3 はそれぞれ独立して動作できます。動作は同じです。なお、コンパレータ中にレジスタの値を変更した時の動作は保証しません。表 46.3 にウィンドウ機能無効時のコンパレータ B 関連レジスタの設定手順を、表 46.4 にウィンドウ機能有効時のコンパレータ B 関連レジスタの設定手順を示します。

表 46.3 コンパレータ B 関連レジスタの設定手順 (ウィンドウ機能無効時)

順番	レジスタ	ビット	設定値	
1	CMPBn端子を割り当てているポートのP**PFS	ASEL	1	
2	CPBMD、CPB1MD	CPBSPDMD	コンパレータ応答速度の選択 (0: 高速モード/1: 低速モード)	
3	CPBCNT1、CPB1CNT1	CPBnINI (n=0~3)	電源ONにする: 1	
4	CPBCNT2、CPB1CNT2	CPBnWCP (n=0~3)	1 (注1)	
5	CPBREF、CPB1REF	CPBnVRF (n=0~3)	0: リファレンス入力電圧= CVREFBn入力 (注1)	1: リファレンス入力電圧= 内部基準電圧
6	CVREFBn端子を割り当てているポートのP**PFS	ASEL	1	0
7	コンパレータ安定時間 (最小100μs) 待ち (注1)			
8	CPBCNT2、CPB1CNT2	CPBnWCP (n=0~3)	0 (注1)	
9	CPBF、CPB1F	フィルタ有無、サンプリングクロック選択		
10	コンパレータ安定時間 (最小100μs) 待ち			
11	CPBOCR、CPB1OCR	CPBnOP、CPBnOE (n=0~3)	CMPOBn出力の設定 (極性選択、出力許可/禁止を設定)	
12	CPBINT、CPB1INT	CPBnINTEN (n=0~3)	割り込みを使用する場合: 1 (割り込み許可)	
		CPBnINTEG (n=0~3)	割り込みまたはELCを使用する場合: 入力エッジ (1=両エッジ/0=片エッジ) 選択	
		CPBnINTPL (n=0~3)	割り込みまたはELCを使用する場合: CPBnINTEG=0 (片エッジ選択) の場合、入力極性を選択 (1=立ち上がりエッジ/0=立ち下がりエッジ)	
13	IPR058 (コンパレータ B0)、 IPR059 (コンパレータ B1)、 IPR104 (コンパレータ B2)、 IPR105 (コンパレータ B3)	IPR[3:0]	割り込みを使用する場合: 割り込み優先レベル選択	
	IR058 (コンパレータ B0)、 IR059 (コンパレータ B1)、 IR104 (コンパレータ B2)、 IR105 (コンパレータ B3)	IR	割り込みを使用する場合: 0 (割り込み要求なし: 初期化)	
	IER07	IEN2 (コンパレータ B0)、 IEN3 (コンパレータ B1)、 IEN0 (コンパレータ B2)、 IEN1 (コンパレータ B3)	割り込みを使用する場合: 1 (割り込みコントローラ (ICU) 側の割り込み許可)	

注1. リファレンス入力電圧をCVREFBn入力から内部基準電圧、もしくは内部基準電圧からCVREFBn入力へ変更する場合、必要な設定です。リセット解除後でCVREFBn入力を選択する場合であればCPBREF.CPBnVRFビットまたはCPB1REF.CPBnVRFビットの初期値が"0"であるため、手順4、5、7、8は不要です。

表 46.4 コンパレータ B 関連レジスタの設定手順 (ウィンドウ機能有効時)

順番	レジスタ	ビット	設定値
1	CMPBn端子を割り当てているポートのP**PFS	ASEL	1
2	CPBMD、CPB1MD	CPBSPDMD	0 (必ず高速モードを指定)
3	CPBCNT1、CPB1CNT1	CPBnINI (n=0~3)	電源ONにする: 1
4	CPBF、CPB1F	フィルタ有無、サンプリングクロック選択	
5	CPBCNT2、CPB1CNT2	CPBnWCP (n=0~3)	1 (動作許可)
6	コンパレータ安定時間 (最小100μs) 待ち		
7	CPBOCR、CPB1OCR	CPBnOP、CPBnOE (n=0~3)	CMPOBn出力の設定 (極性選択、出力許可/禁止を設定)
8	CPBINT、CPB1INT	CPBnINTEN (n=0~3)	割り込みを使用する場合: 1 (割り込み許可)
		CPBnINTEG (n=0~3)	割り込みまたはELCを使用する場合: 入力エッジ (1=両エッジ/0=片エッジ) 選択
		CPBnINTPL (n=0~3)	割り込みまたはELCを使用する場合: CPBnINTEG=0 (片エッジ選択) の場合、入力極性選択 (1=立ち上がりエッジ/0=立ち下がエッジ) 選択
9	IPR058 (コンパレータ B0)、 IPR059 (コンパレータ B1)、 IPR104 (コンパレータ B2)、 IPR105 (コンパレータ B3)	IPR[3:0]	割り込みを使用する場合: 割り込み優先レベル選択
	IR058 (コンパレータ B0)、 IR059 (コンパレータ B1)、 IR104 (コンパレータ B2)、 IR105 (コンパレータ B3)	IR	割り込みを使用する場合: 0 (割り込み要求なし: 初期化)
	IER07	IEN2 (コンパレータ B0)、 IEN3 (コンパレータ B1)、 IEN0 (コンパレータ B2)、 IEN1 (コンパレータ B3)	割り込みを使用する場合: 1 (割り込み許可)

図 46.3 にコンパレータ B_n (n=0~3) (ウィンドウ機能無効時) の動作例を示します。

リファレンス入力電圧 (CVREFB0/CVREFB1、CVREFB2/CVREFB3、または内部基準電圧) とアナログ入力電圧の比較を行います。リファレンス入力よりアナログ入力の電圧が高い場合は、CPBFLG.CPBnOUT ビットまたは CPB1FLG.CPBnOUT ビットが“1”になり、リファレンス入力よりアナログ入力の電圧が低い場合は、CPBnOUT ビットが“0”になります。

コンパレータ B_n 割り込みを使用する場合は、CPBINT.CPBnINTEN ビットまたは CPB1INT.CPBnINTEN ビットを“1” (割り込み許可) にしてください。このとき比較結果が変化すれば、コンパレータ B_n 割り込み要求が発生します。割り込みについては「46.4 コンパレータ B0 ~コンパレータ B3 割り込み」を参照してください。

コンパレータ B_n (n=0, 1) は ELC へイベントを出力し、他のモジュールを動作させることができます。ELC については「46.5 イベントリンク出力機能」を参照してください。

コンパレート中は、各レジスタの値は変更しないでください。

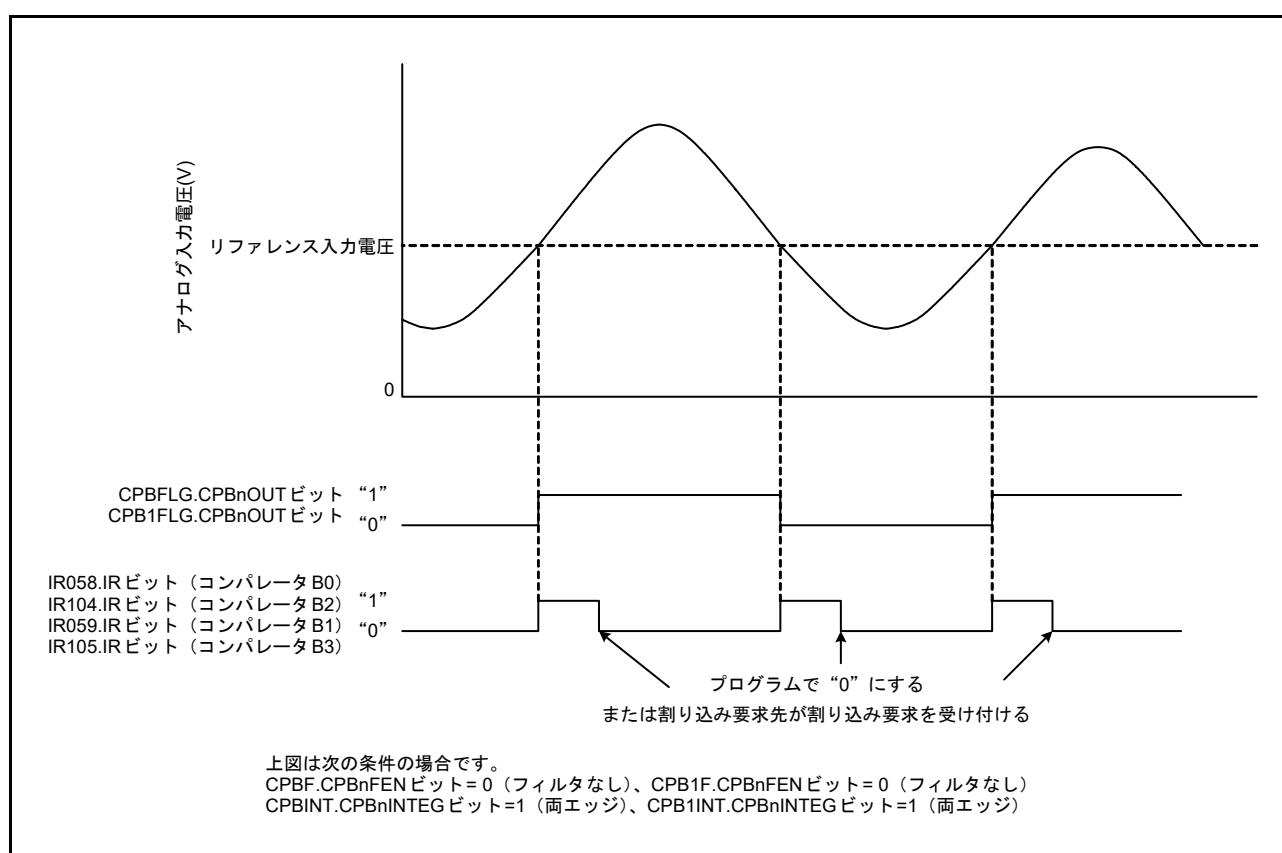


図 46.3 コンパレータ B_n (n=0~3) の動作例 (ウィンドウ機能無効時)

図 46.4 にコンパレータ B_n (n=0~3) (ウィンドウ機能有効時) の動作例を示します。

ウィンドウ機能用内部基準電圧 (VRFH/VRFL) とアナログ入力電圧の比較を行います。VRFL < アナログ入力の電圧 < VRFH となる場合は、CPB_nOUT ビットが“1”になり、アナログ入力の電圧 < VRFL または VRFH < アナログ入力の電圧となる場合は CPB_nOUT ビットが“0”になります。

コンパレータ B_n 割り込みを使用する場合は、CPBINT.CPB_nINTEN ビットまたは CPB1INT.CPB_nINTEN ビットを“1” (割り込み許可) にしてください。このとき比較結果が変化すれば、コンパレータ B_n 割り込み要求が発生します。割り込みについては「46.4 コンパレータ B0 ~コンパレータ B3 割り込み」を参照してください。

コンパレータ B_n (n=0, 1) は ELC へイベントを出力し、他のモジュールを動作させることができます。ELC については「46.5 イベントリンク出力機能」を参照してください。

コンパレート中は、各レジスタの値は変更しないでください。

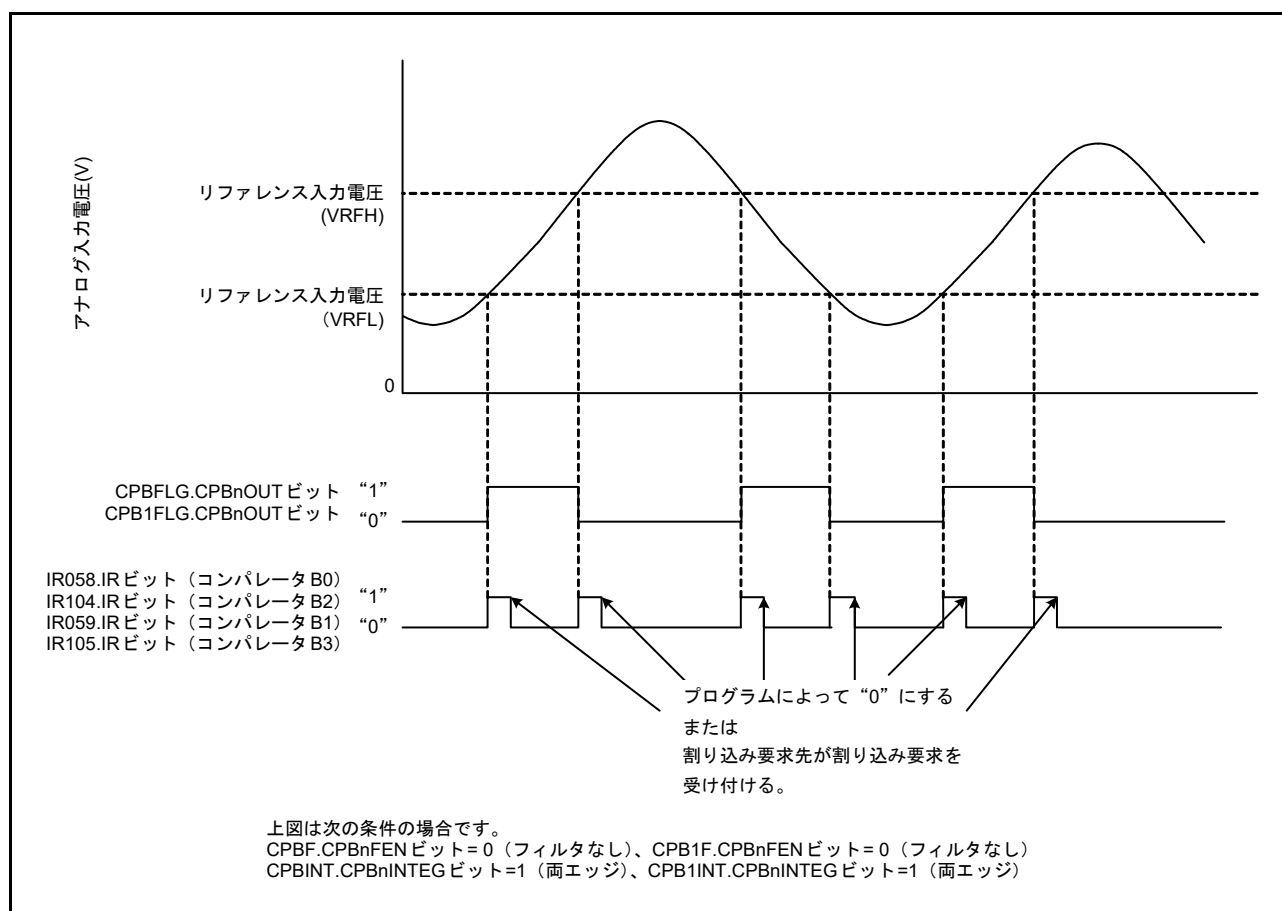


図 46.4 コンパレータ B_n (n=0~3) の動作例 (ウィンドウ機能有効時)

46.3.1 コンパレータ B_n デジタルフィルタ (n=0~3)

サンプリングクロックは、CPBF.CPB_nF[1:0] ビットまたは CPB1F.CPB_nF[1:0] ビットで選択できます。サンプリングクロックごとにコンパレータ B_n の CPB_nOUT 出力信号 (内部信号) をサンプリングし、レベルが 3 度一致した次のクロックタイミングで、IR058.IR ビット (コンパレータ B0 選択時)、IR059.IR ビット (コンパレータ B1 選択時)、IR104.IR ビット (コンパレータ B2 選択時)、IR105.IR ビット (コンパレータ B3 選択時) が“1” (割り込み要求あり) になり、コンパレータ B0、B1 については ELC イベントが出力されます。

図 46.5 にコンパレータ B_n デジタルフィルタの構成を、図 46.6 にコンパレータ B_n デジタルフィルタの

動作例を示します。

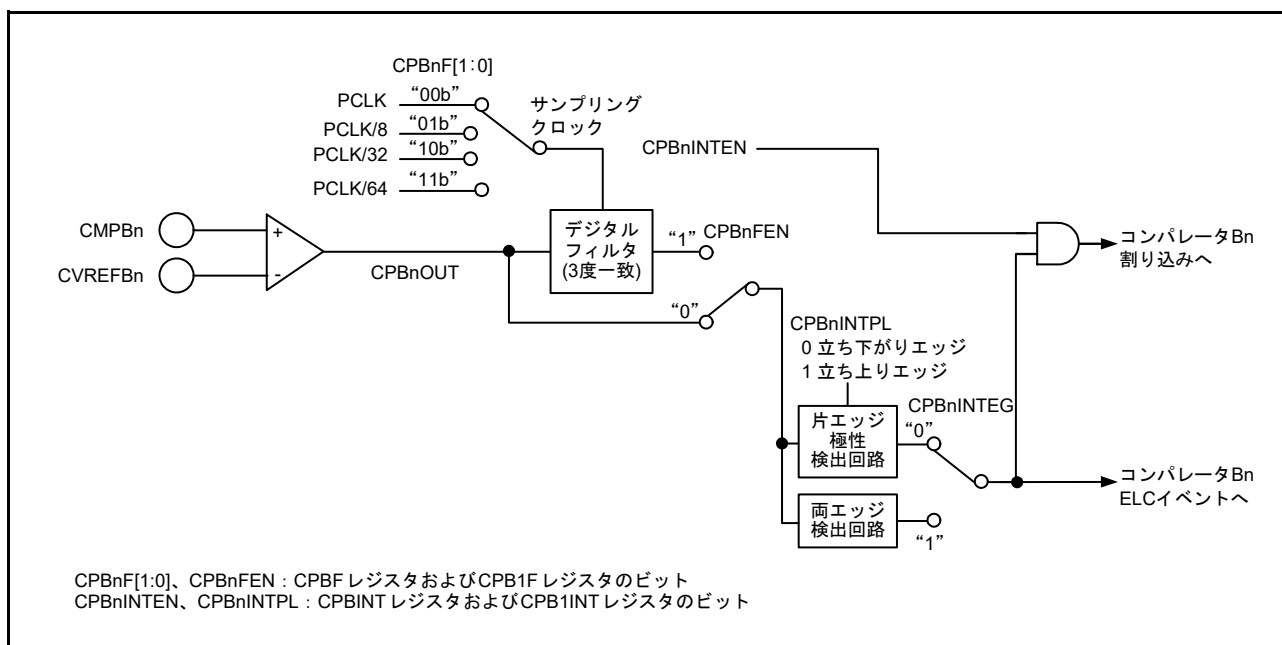


図 46.5 コンパレータ Bn デジタルフィルタ (n = 0 ~ 3) の構成

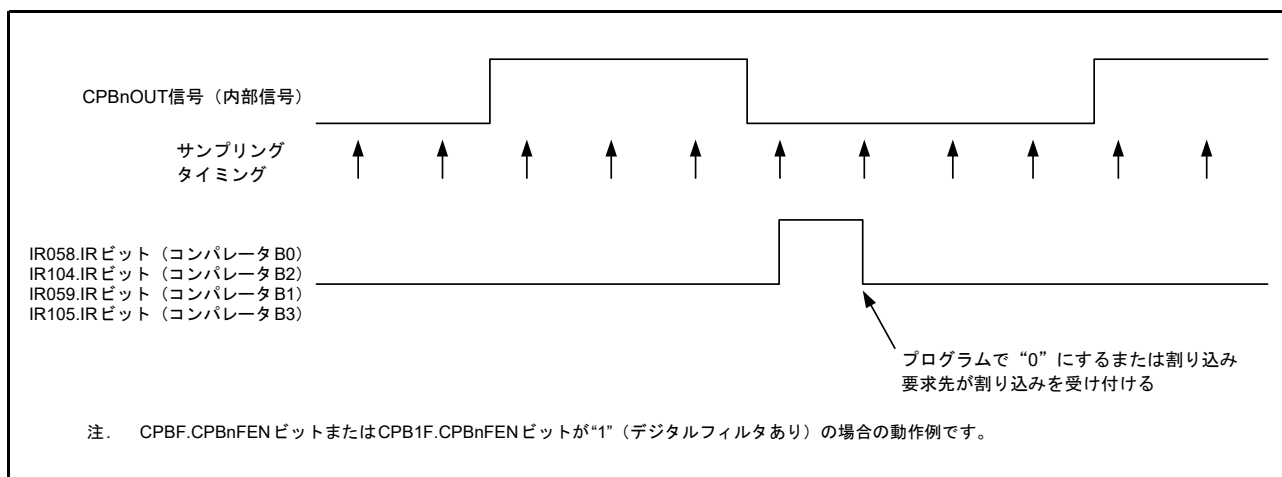


図 46.6 コンパレータ Bn デジタルフィルタ (n = 0 ~ 3) の動作例

46.4 コンパレータ B0 ~コンパレータ B3 割り込み

コンパレータ B はコンパレータ B0 ~コンパレータ B3 の 4 つの割り込み要求を発生します。コンパレータ Bn (n = 0 ~ 3) 割り込みは、IR058.IR、IR059.IR、IR104.IR、IR105.IR、IPR058.IPR[3:0]、IPR059.IPR[3:0]、IPR104.IPR[3:0]、IPR105.IPR[3:0] ビットと、それぞれ 1 つの割り込みベクタを持ちます。

コンパレータ Bn 割り込みを使用するときは、CPBINT.CPBnINTEN ビットまたは CPB1INT.CPBnINTEN ビットを "1" (割り込み許可) にしてください。さらに片エッジ検出か両エッジ検出かを CPBINT.CPBnINTEG ビットまたは CPB1INT.CPBnINTEG ビットで選択できます。片エッジ選択時は極性を CPBINT.CPBnINTPL ビットまたは CPB1INT.CPBnINTPL ビットで選択できます。

また、4 種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

46.5 イベントリンク出力機能

イベントリンクコントローラ (ELC) に対して以下のタイミングでイベント出力を行う機能を持っています。

- (1) コンパレータ B0 の比較結果が変化したとき
- (2) コンパレータ B0、B1 の比較結果が変化したとき
コンパレータ B0、B1 からの結果が同時、あるいは連続して出力された場合、1つのイベントとして出力されます。

46.5.1 割り込み処理とイベントリンクの関係

コンパレータ Bn (n=0、1) はイベントリンクコントローラ (ELC) へイベントを出力し、あらかじめ設定したモジュールを動作させることができます。ELC へのイベントは CPBnINTEN ビットの値に関わらず出力されます。

コンパレータ Bn から ELC へのイベント出力信号は、割り込み要求信号と同様に片エッジ検出か両エッジ検出かを CPBINT.CPBnINTEG ビットで選択できます。片エッジ選択時は極性を CPBINT.CPBnINTPL ビットで選択できます。

46.5.2 コンパレータ Bn 出力 (n = 0 ~ 3) 機能

コンパレータ B の比較結果を外部端子へ出力することができます。CPBOCR.CPBnOP ビット、CPB1OCR.CPBnOP ビット、CPBOCR.CPBnOE ビット (n=0、1)、CPB1OCR.CPBnOE ビット (n=2、3) により出力極性 (そのまま出力 / 反転出力) および、出力許可 / 禁止を設定できます。レジスタ設定とコンパレータ出力の対応は、「46.2.15 コンパレータ B 出力制御レジスタ (CPBOCR)」または「46.2.16 コンパレータ B1 出力制御レジスタ (CPB1OCR)」を参照してください。

外部端子 CMPOB0、CMPOB1、CMPOB2、または CMPOB3 へコンパレータ B 比較結果を出力する場合は、以下の手順に従ってポート設定してください (リセット後、ポートは入力設定になっています)。

- (1) コンパレータ B のモード設定、入力設定をする (表 46.3 記載の順番 1 ~ 10 および、表 46.4 記載の順番 1 ~ 6)。
- (2) CMPOB0 ~ CMPOB3 出力極性選択、出力許可をする (CPBOCR.CPBnOP ビット、CPB1OCR.CPBnOP ビット、CPBOCR.CPBnOE ビット、CPB1OCR.CPBnOE ビットを設定)。
- (3) CMPOB0 ~ CMPOB3 出力端子に対応するポートモードレジスタ、端子機能制御レジスタの設定をする (端子から出力開始)。

46.5.3 コンパレータ B を使用したソフトウェアスタンバイモード復帰例

コンパレータ B0 出力を使用してソフトウェアスタンバイモードから復帰する例を示します。

この例では、ソフトウェアスタンバイモード移行前がリファレンス入力電圧 (CVREFB0) > アナログ入力電圧 (CMPB0) の場合を示します。

ソフトウェアスタンバイモード移行前に下記①～③の設定を行ってください。

- ① 「46.3 動作説明」に従ってコンパレータ B0 関連レジスタの設定を行ってください。
ただし、CPBF.CPB0FEN ビットはフィルタ無効、CPBOCR.CPB0OE ビットは出力許可、CPBOCR.CPB0OP ビットはコンパレータ B0 出力を CMPOB0 へ出力に設定してください。
- ② 「15.4.8 外部端子割り込み」に従って IRQ7 の割り込み設定を行ってください。
ただし、IRQFLTE0.FLTEN7 ビットは“0” (デジタルフィルタ無効)、IRQCRn.IRQMD[1:0] ビットはコンパレータ B0 出力と同じ極性を選択してください。
この例では立ち上がりエッジ選択となります。
- ③ マルチファンクションピンコントローラ (MPC) の設定で CMPOB0 機能選択と IRQ7 を有効にしてください。

ソフトウェアスタンバイモードから復帰する場合は、コンパレータ B0 用アナログ端子 (CMPB0) からリファレンス入力電圧 (CVREFB0) < アナログ入力電圧 (CMPB0) となる電圧を入力することで、コンパレータ B0 出力端子 (CMPOB0) を経由して IRQ7 割り込みが発生し、ソフトスタンバイモードから復帰します。

46.6 使用上の注意事項

46.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、コンパレータ B の動作禁止/許可を設定することが可能です。初期値では、コンパレータ B の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

47. データ演算回路 (DOC)

47.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算または減算をする機能です。

表 47.1 にデータ演算回路 (DOC) の仕様を示します。データ演算回路のブロック図を図 47.1 に示します。

16 ビットのデータを比較し、選択した条件に該当する場合に割り込みを発生させることができます。

表 47.1 データ演算回路(DOC)の仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への設定が可能
割り込み	<ul style="list-style-type: none"> データ比較の結果が一致または不一致のとき データ加算の結果が“FFFFh”より大きくなったとき データ減算の結果が“0000h”より小さくなったとき
イベントリンク機能(出力)	<ul style="list-style-type: none"> データ比較の結果が一致または不一致のとき データ加算の結果が“FFFFh”より大きくなったとき データ減算の結果が“0000h”より小さくなったとき

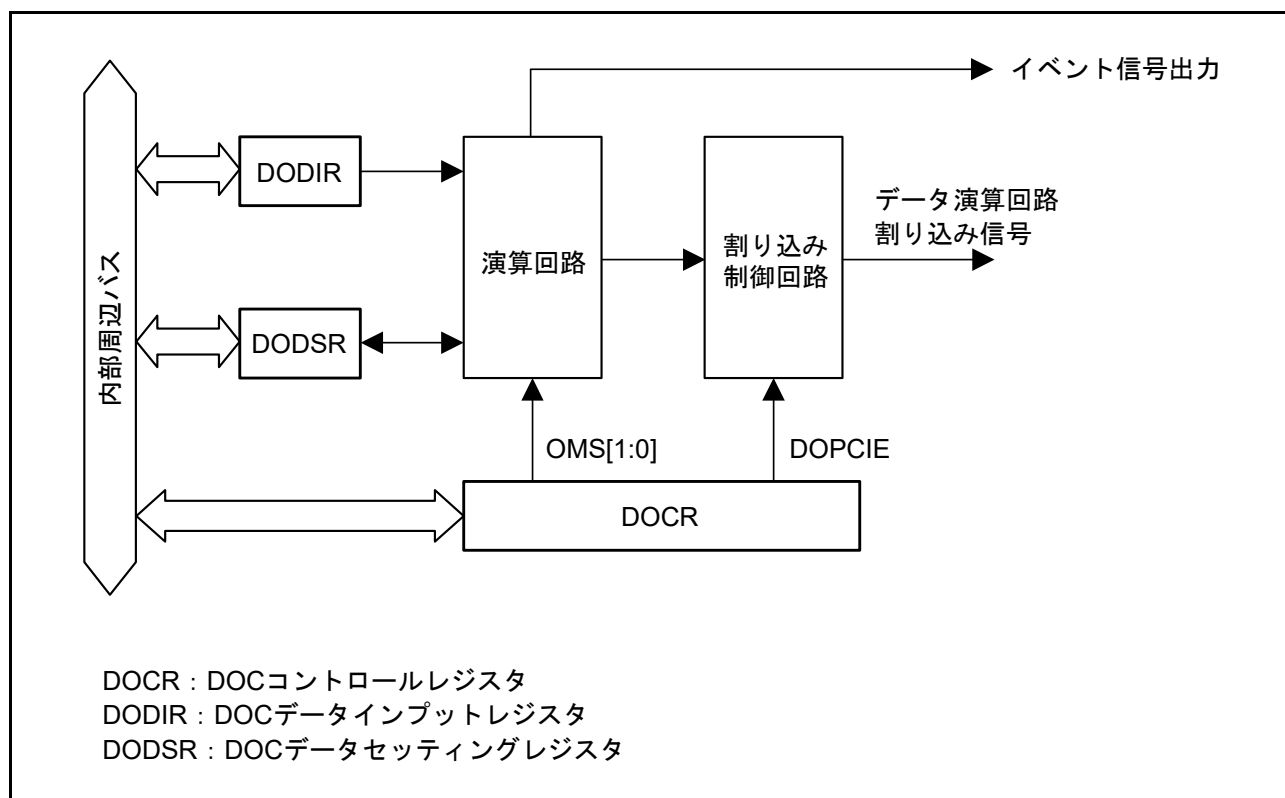


図 47.1 データ演算回路のブロック図

47.2 レジスタの説明

47.2.1 DOC コントロールレジスタ (DOCR)

アドレス 0008 B080h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCF CL	DOPCF	DOPCI E	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択ビット	b1 b0 0 0 : データ比較モード 0 1 : データ加算モード 1 0 : データ減算モード 1 1 : 設定しないでください	R/W
b2	DCSEL(注1)	検出条件選択ビット	データ比較の結果 0 : 不一致を検出する 1 : 一致を検出する	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DOPCIE	データ演算回路割り込み許可ビット	0 : データ演算回路割り込み無効 1 : データ演算回路割り込み有効	R/W
b5	DOPCF	データ演算回路フラグ	演算結果を示します	R
b6	DOPCFCL	DOPCFクリアビット	0 : DOPCFフラグ状態を保持 1 : DOPCFフラグをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	RW

注1. データ比較モード選択時のみ有効

OMS[1:0] ビット (動作モード選択ビット)

本ビットの設定によりデータ演算回路の動作モードを選択します。

DCSEL ビット (検出条件選択ビット)

データ比較モード選択時のみ有効です。

本ビットの設定によりデータ比較モード時の結果の検出条件を選択します。

DOPCIE ビット (データ演算回路割り込み許可ビット)

本ビットが“1”の場合、データ演算回路割り込みを許可します。

DOPCF フラグ (データ演算回路フラグ)

["1"になる条件]

- DCSEL ビットで選択した条件になったとき
- データ加算の結果が“FFFFh”より大きくなったとき
- データ減算の結果が“0000h”より小さくなったとき

["0"になる条件]

- DOPCFCL ビットに“1”を書き込んだとき

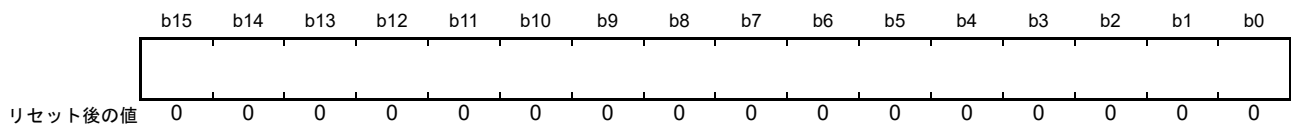
DOPCFCL ビット (DOPCF クリアビット)

本ビットを“1”にすると DOPCF フラグをクリアします。

読むと“0”が読めます。

47.2.2 DOC データインプットレジスタ (DODIR)

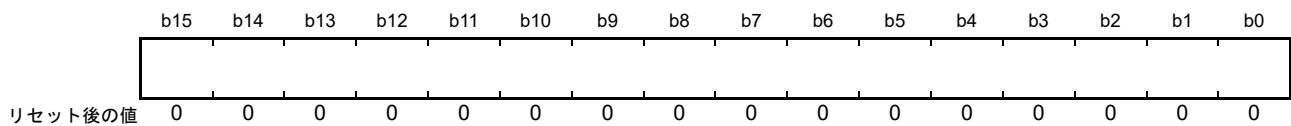
アドレス 0008 B082h



DODIR は、演算対象の 16 ビットのデータを格納する 16 ビットの読み出し / 書き込み可能なレジスタです。

47.2.3 DOC データセッティングレジスタ (DODSR)

アドレス 0008 B084h



DODSR は、16 ビットの読み出し / 書き込み可能なレジスタです。データ比較モードでは、基準となる 16 ビットのデータを格納します。また、データ加算モードおよびデータ減算モードでは、演算結果を格納します。

47.3 動作説明

47.3.1 データ比較モード

図 47.2 にデータ比較モードの動作例を示します。

データ演算回路は、データ比較モード時、以下のように動作します。

以下は DCSEL = 0 (データ比較の結果、不一致を検出) 設定時の動作例です。

- (1) DOCR.OMS[1:0] ビットに “00b” を書き込むと、データ比較モードになります。
- (2) DODSR レジスタに基準となる 16 ビットのデータを設定します。
- (3) DODIR レジスタに比較する 16 ビットのデータを書き込みます。
- (4) すべての比較するデータの書き込みが完了するまで、DODIR レジスタに比較する 16 ビットのデータを書き込みます。
- (5) DODIR レジスタに書き込まれたデータが DODSR レジスタに設定されているデータと一致しなかった (注 1) とき DOCR.DOPCF フラグが “1” になります。また、DOCR.DOPCFCL ビットが “1” の場合は、データ演算回路割り込みが発生します。

注 1. DOCR.DCSEL = 0 の場合

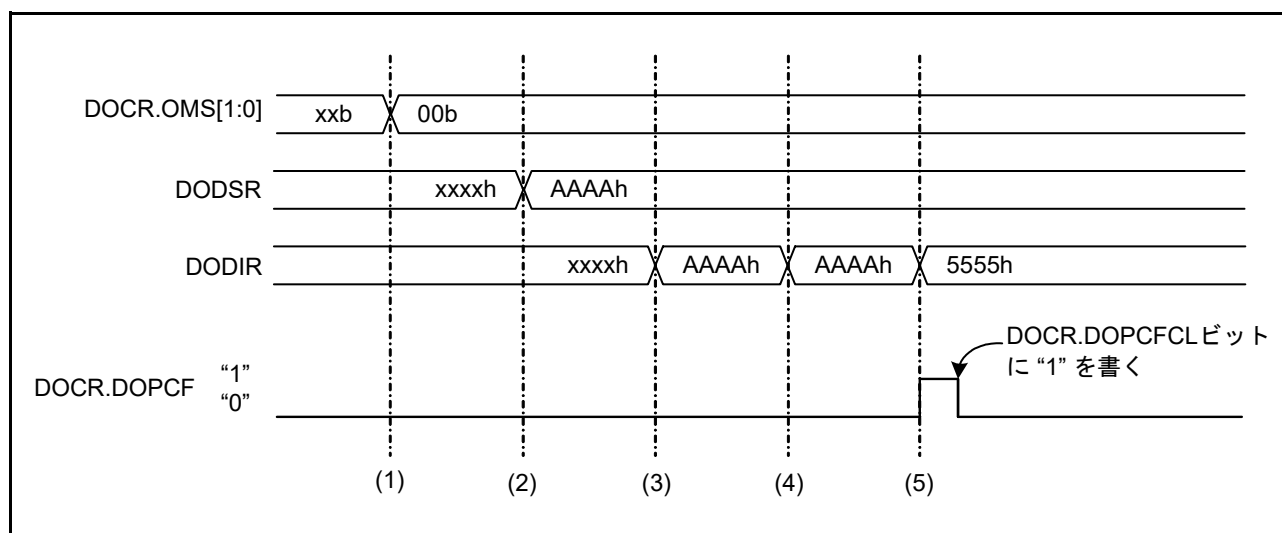


図 47.2 データ比較モードの動作例

47.3.2 データ加算モード

図 47.3 にデータ加算モードの動作例を示します。

データ演算回路は、データ加算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに“01b”を書き込むと、データ加算モードになります。
- (2) DODSR レジスタに初期値として 16 ビットのデータを設定します。
- (3) DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべての加算するデータの書き込みが完了するまで、DODIR レジスタに加算する 16 ビットのデータを書き込みます。
- (5) 演算結果が“FFFFh”よりも大きくなったとき DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

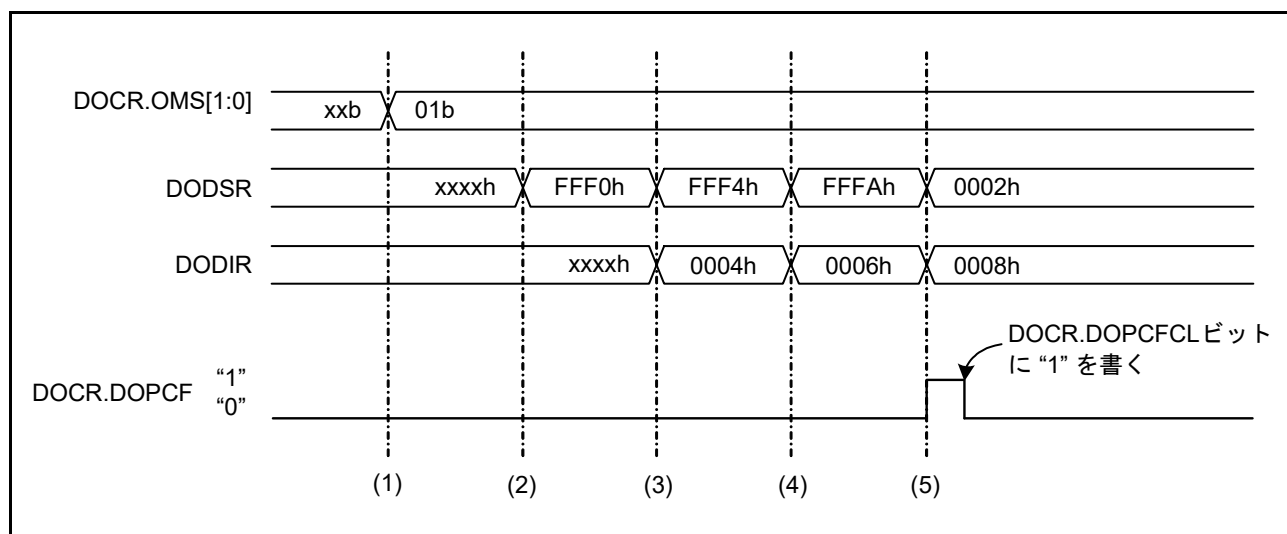


図 47.3 データ加算モードの動作例

47.3.3 データ減算モード

図 47.4 にデータ減算モードの動作例を示します。

データ演算回路は、データ減算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに“10b”を書き込むと、データ減算モードになります。
- (2) DODSR レジスタに初期値として 16 ビットのデータを設定します。
- (3) DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべての減算するデータの書き込みが完了するまで、DODIR レジスタに減算する 16 ビットのデータを書き込みます。
- (5) 演算結果が“0000h”よりも小さくなったとき DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCFCL ビットが“1”の場合は、データ演算回路割り込みが発生します。

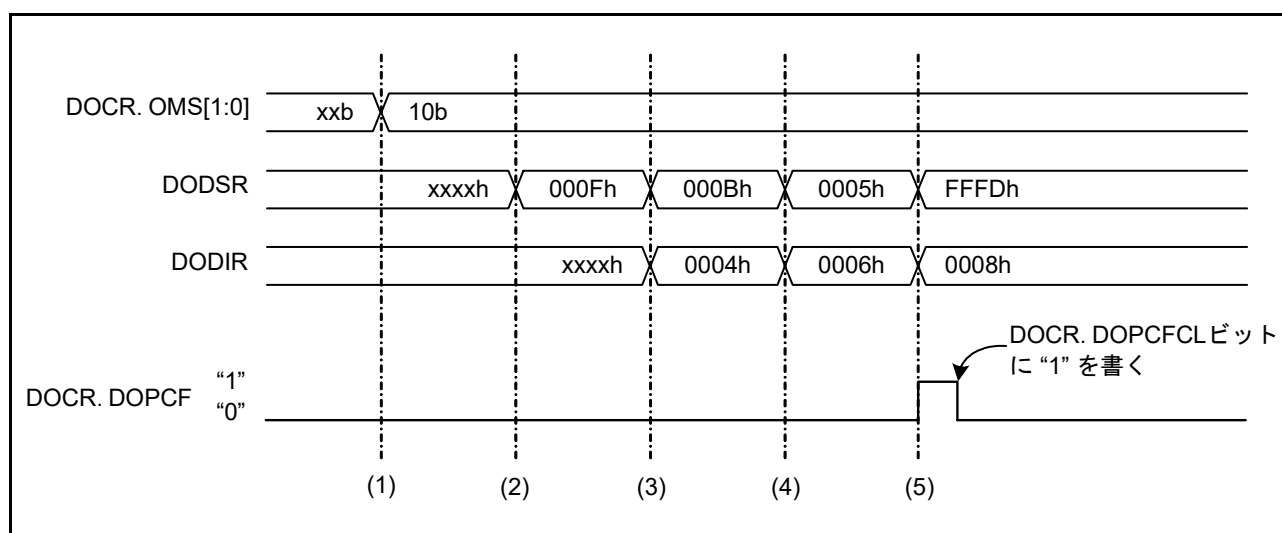


図 47.4 データ減算モードの動作例

47.4 割り込み要求

データ演算回路が生成する割り込み要求には、データ演算回路割り込みがあります。割り込み要因が発生するとデータ演算回路フラグが“1”になります。表 47.2 に割り込み要求の内容を示します。

表 47.2 データ演算回路割り込み要求

割り込み要求	データ演算回路フラグ	割り込み発生タイミング
データ演算回路割り込み	DOPCF	<ul style="list-style-type: none"> • データ比較の結果が一致または不一致のとき • データ加算の結果が“FFFFh”より大きくなったとき • データ減算の結果が“0000h”より小さくなったとき

47.5 イベントリンク出力機能

DOC はイベントリンクコントローラ (ELC) へ以下の条件でイベントを出力し、あらかじめ設定していたモジュールを動作させることができます。

- データ比較の結果が一致または不一致のとき
- データ加算の結果が“FFFFh”より大きくなったとき
- データ減算の結果が“0000h”より小さくなったとき

47.5.1 割り込み処理とイベントリンクの関係

DOC には、割り込みを許可 / 禁止するビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

47.6 使用上の注意事項

47.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、データ演算回路の動作を禁止 / 許可することが可能です。初期値では、データ演算回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

48. RAM

本 MCU は、高速スタティック RAM を内蔵しています。

48.1 概要

表 48.1 に RAM の仕様を示します。

表 48.1 RAM の仕様

項目	内容
容量	最大 64K バイト (注 2)
アクセス	<ul style="list-style-type: none"> 読み出し、書き込みともに 1 サイクルで動作 RAM 有効/無効選択可能 (注 1)
消費電力低減機能	モジュールストップ状態への遷移が可能

注 1. SYSCR1.RAME ビットにより選択可能です。SYSCR1 レジスタについては、「3.2.3 システムコントロールレジスタ 1 (SYSCR1)」を参照してください。

注 2. 製品によって RAM 容量が異なります。

RAM 容量	RAM アドレス
64K バイト	0000 0000h ~ 0000 FFFFh
32K バイト	0000 0000h ~ 0000 7FFFh

48.2 動作説明

48.2.1 消費電力低減機能

モジュールストップコントロールレジスタ C (MSTPCRC) の設定により、RAM へのクロック供給を停止させることで、消費電力を低減ができます。

MSTPCRC.MSTPC0 ビットを“1”にセットすると RAM に供給されるクロックが停止します。

クロック供給の停止により、RAM はモジュールストップ状態になります。リセット後の初期値では、RAM は動作状態です。

モジュールストップ状態になると、RAM へのアクセスができなくなります。RAM のアクセス中にモジュールストップ状態へ遷移しないでください。

MSTPCRC レジスタの詳細については、「11. 消費電力低減機能」を参照してください。

48.2.2 RAM の自己診断に関する注意事項

RAM にはライトバッファが搭載されているため、書き込みを行った後に同一アドレスから読み出しを行うと、RAM のメモリセルではなくライトバッファのデータが読み出されることがあります。RAM の自己診断を行う場合、ライトバッファのデータを読み出さないように、以下の手順で書いたデータの確認を実施してください。

- (1) 診断対象のアドレスにデータを書く
- (2) (1) のアドレスから 4 番地以上離れたアドレスにデータを書く
- (3) (1) のアドレスからデータを読む

49. フラッシュメモリ

本MCUは、128K/256K/384K/512K バイトのユーザ領域 (ROM) と 8K バイトのデータ領域 (E2 データフラッシュ) を内蔵しています。

本章に記載している PCLK とは PCLKB を指します。

49.1 概要

表 49.1 にフラッシュメモリの仕様を示します。

表 49.7 にブートモードで使用する入出力端子を示します。

表49.1 フラッシュメモリの仕様

項目	内容
メモリ空間	<ul style="list-style-type: none"> ユーザ領域：最大512Kバイト データ領域：8Kバイト エクストラ領域：スタートアップ領域情報、アクセスウィンドウ情報、ユニークIDを格納
ソフトウェアコマンド	<ul style="list-style-type: none"> 以下のソフトウェアコマンドを実装 プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ エクストラ領域のプログラム用に以下のコマンドを実装 スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム
イレーズ後の値	<ul style="list-style-type: none"> ROM：FFh E2データフラッシュ：FFh
割り込み	ソフトウェアコマンド処理の完了、または強制停止処理の完了により割り込み (FRDYI) が発生
オンボードプログラミング	ブートモード (SCI インタフェース) (注1) <ul style="list-style-type: none"> シリアルコミュニケーションインタフェースのチャンネル1 (SCI1) を調歩同期式モードで使用 ユーザ領域とデータ領域を書き換え可能 ブートモード (FINE インタフェース) <ul style="list-style-type: none"> FINE を使用 ユーザ領域とデータ領域を書き換え可能 ブートモード (USB インタフェース) (注1) <ul style="list-style-type: none"> USB2.0 ファンクションモジュールのチャンネル0 (USB0) を使用 ユーザ領域とデータ領域を書き換え可能 セルフパワー、バスパワーいずれのモードでもフラッシュ書き換えが可能 USB ケーブルだけを用いてパソコンと接続が可能 セルフプログラミング (シングルチップモード) <ul style="list-style-type: none"> ユーザプログラム内のフラッシュ書き換えルーチンによるユーザ領域とデータ領域の書き換えが可能
オフボードプログラミング	本MCUに対応したフラッシュプログラム (シリアルプログラム、パラレルプログラム) を使用して、ユーザ領域とデータ領域の書き換えが可能
IDコードプロテクト	<ul style="list-style-type: none"> ブートモード時、シリアルプログラムとの接続の許可または禁止を、IDコードにより制御可能 オンチップデバッグエミュレータ接続時、IDコードにより制御可能 パラレルプログラム接続時、ROMコードにより制御可能
スタートアッププログラム保護機能	ブロック0~7の書き換えを安全に行うための機能
エリアプロテクション	セルフプログラミング時、ユーザ領域内の指定された範囲のみ書き換えを許可し、それ以外への書き換えを禁止することが可能
バックグラウンドオペレーション (BGO) 機能	E2データフラッシュの書き換え中に、ROM上に配置されたプログラムを実行可能

注1. 詳細については『PG-FP5フラッシュメモリプログラマユーザズ・マニュアル』、『Renesas Flash Programmerフラッシュ書き込みソフトウェア・ユーザズ・マニュアル』をご参照ください。

49.2 ROMの領域とブロックの構成

本MCUのROMは最大で512Kバイトあります。ROMは2Kバイトのブロックと呼ばれる単位に分割されており、ブロックイレーズコマンドはこのブロック単位でメモリの消去を実行します。図49.1にROMの領域とブロックの構成を示します。

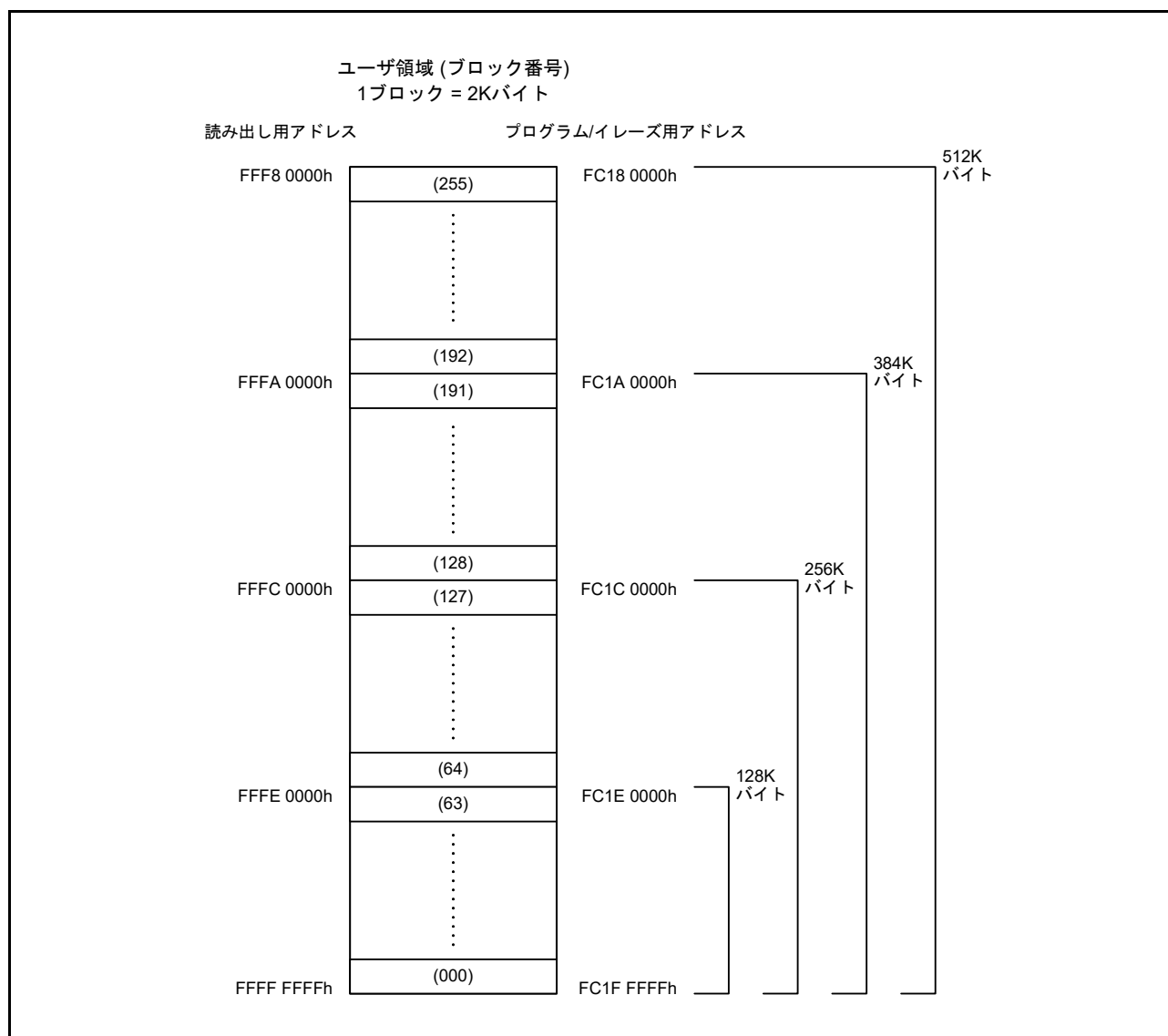


図 49.1 ROMの領域とブロックの構成

表 49.2 ROM容量と読み出し用アドレス対応表

ROM容量	読み出し用アドレス
512Kバイト	FFF8 0000h ~ FFFF FFFFh
384Kバイト	FFFA 0000h ~ FFFF FFFFh
256Kバイト	FFFC 0000h ~ FFFF FFFFh
128Kバイト	FFFE 0000h ~ FFFF FFFFh

49.3 E2 データフラッシュの領域とブロックの構成

本 MCU の E2 データフラッシュは 8K バイトで構成されています。ブロックに分割されており、イレーズはこのブロック単位で行います。図 49.2 に E2 データフラッシュの領域とブロックの構成を示します。

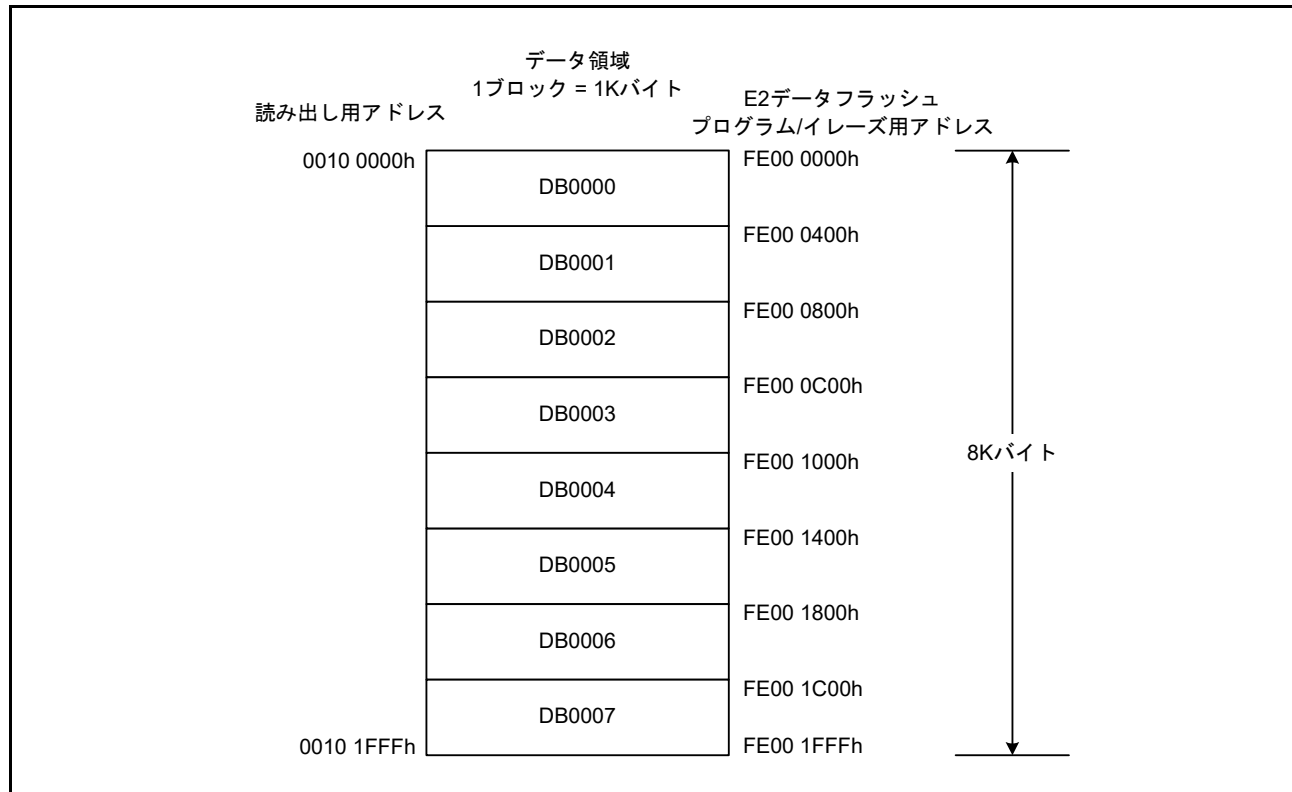


図 49.2 E2 データフラッシュの領域とブロックの構成

49.4 レジスタの説明

49.4.1 E2 データフラッシュ制御レジスタ (DFLCTL)

アドレス 007F C090h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DFLEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFLEN	E2データフラッシュアクセス許可ビット	0: E2データフラッシュへのアクセスおよびP/Eモード時におけるエクストラ領域へのアクセス(注1)禁止 1: E2データフラッシュへのアクセスおよびP/Eモード時におけるエクストラ領域へのアクセス(注1)許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム

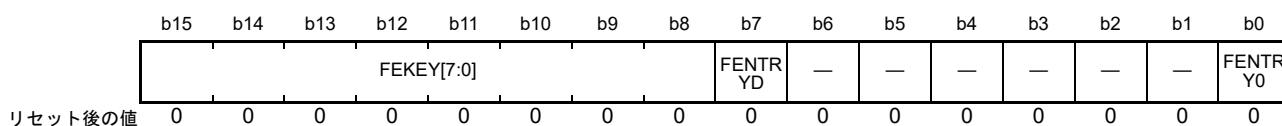
DFLCTL レジスタは、E2 データフラッシュへのアクセス(リード、プログラム、イレーズ)の許可/禁止およびP/Eモード時におけるエクストラ領域へのアクセス(スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム)を許可/禁止するためのレジスタです。

E2 データフラッシュのリード、プログラム、イレーズを行う場合は、DFLCTL.DFLEN ビットを“1”にしてE2 データフラッシュ STOP 解除時間 (tDSTOP) 経過後にE2 データフラッシュの読み出しとE2 データフラッシュ P/E モードへの遷移を行ってください。E2 データフラッシュ STOP 解除時間 (tDSTOP) を経過するまではE2 データフラッシュの読み出しとE2 データフラッシュ P/E モードへの遷移を行わないでください。

E2 データフラッシュ P/E モードについては、「49.7.1 シーケンサのモード」を、E2 データフラッシュ STOP 解除時間 (tDSTOP) については、「50. 電気的特性」を参照してください。

49.4.2 フラッシュ P/E モードエントリレジスタ (FENTRYR)

アドレス 007F FFB2h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/Eモードエントリビット0	0 : ROMはリードモード 1 : ROMはP/Eモードエントリ可能	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	FENTRYD	E2データフラッシュ P/Eモードエントリビット	0 : E2データフラッシュはリードモード 1 : E2データフラッシュはP/Eモードエントリ可能	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYRレジスタの書き換えを制御します。 下位8ビットの値を書き換える場合、このビットを “AAh”にして16ビット単位で同時に書いてください。 読むと“00h”が読めます	R/W

ROM や E2 データフラッシュを書き換えるためには、FENTRYD, FENTRY0 ビットのいずれかのビットを“1”にして P/E モードに移行させる必要があります。

リードモードに戻るときは、FENTRYR レジスタを設定した後、値が書き換わっていることを確認してから、ROM や E2 データフラッシュのリードを行ってください。

P/E モード、リードモードについては、「49.7.1 シーケンサのモード」を参照してください。

FENTRY0 ビット (ROM P/E モードエントリビット 0)

ROM を P/E モードに移行させるためのビットです。

[“1”になる条件]

- FENTRYR レジスタが“0000h”のときに、FENTRYR レジスタに“AA01h”を書いた場合

注. ROM P/E モードに遷移する場合、ROM に対する命令フェッチを実行させないため、命令フェッチ番地を ROM 以外の領域に移す必要があります。必要な命令コードを内蔵 RAM ヘコピーして内蔵 RAM ヘジャンプしてください。ただし、E2 データフラッシュは、ROM 上に配置されたプログラムで書き換え可能です。

[“0”になる条件]

- FENTRYR レジスタに“AA00h”を書いた場合

FENTRYD ビット (E2 データフラッシュ P/E モードエントリビット)

E2 データフラッシュを P/E モードに移行させるためのビットです。

[“1”になる条件]

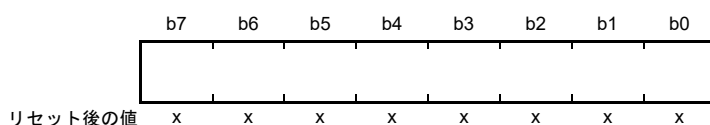
- FENTRYR レジスタが“0000h”のときに、FENTRYR レジスタに“AA80h”を書いた場合

[“0”になる条件]

- FENTRYR レジスタに“AA00h”を書いた場合

49.4.3 プロテクト解除レジスタ (FPR)

アドレス 007F C180h



x : 不定

本レジスタは、CPUが暴走したときに備え、FPMCRレジスタが容易に書き換えられないように保護するための書き込み専用のレジスタです。以下に示す手順でレジスタをアクセスした場合のみ、FPMCRレジスタへの書き込みが有効になります。

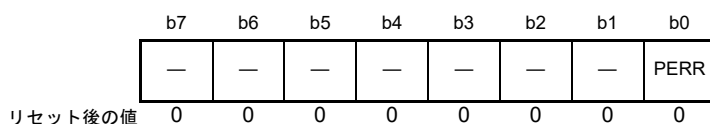
プロテクト解除手順

- (1) FPRレジスタに“A5h”を書き込む
- (2) FPMCRレジスタに設定したい値を書き込む
- (3) FPMCRレジスタに設定したい値の反転値を書き込む
- (4) FPMCRレジスタに再び設定したい値を書き込む

上記プロテクト解除手順以外で書き込みを行った場合、FPSR.PERRフラグが“1”になります。

49.4.4 プロテクト解除ステータスレジスタ (FPSR)

アドレス 007F C184h



ビット	シンボル	ビット名	機能	R/W
b0	PERR	プロテクトエラーフラグ	0 : エラーなし 1 : エラー発生	R
b7-b1	—	予約ビット	読むと“0”が読めます	R

PERRフラグ(プロテクトエラーフラグ)

FPMCRレジスタに対して、プロテクト解除手順どおりのアクセスを行わなかった場合、レジスタへの書き込みは行われず、このフラグが“1”になります。

[“1”になる条件]

- FPMCRレジスタに対して、プロテクト解除手順どおりのアクセスを行わなかった場合

[“0”になる条件]

- 「49.4.3 プロテクト解除レジスタ (FPR)」に記載のプロテクト解除手順でレジスタをアクセスした場合

49.4.5 フラッシュ P/E モード制御レジスタ (FPMCR)

アドレス 007F C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	FMS2	LVPE	—	FMS1	RPDIS	—	FMS0	—
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	FMS0	フラッシュ動作モード選択ビット0	FMS2 FMS1 FMS0 0 0 0 : ROM/E2データフラッシュリードモード 0 1 0 : E2データフラッシュ P/Eモード 0 1 1 : ディスチャージモード1 1 0 1 : ROM P/Eモード 1 1 1 : ディスチャージモード2 上記以外は設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	RPDIS	ROM P/E 禁止ビット	0 : ROMはプログラム/イレーズ可能 1 : ROMはプログラム/イレーズ不可能	R/W
b4	FMS1	フラッシュ動作モード選択ビット1	FMS0ビットを参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVPE	低電圧 P/E モード有効ビット	0 : 低電圧 P/E モード無効 1 : 低電圧 P/E モード有効	R/W
b7	FMS2	フラッシュ動作モード選択ビット2	FMS0ビットを参照してください	R/W

フラッシュメモリの動作モードを設定するレジスタです。

本レジスタはプロテクトされています。プロテクト解除手順を用いて値を設定してください(詳細は「49.4.3 プロテクト解除レジスタ (FPR)」を参照)。

ディスチャージモード2、ROM P/E モードに遷移する場合、もしくはそのモード中はRAM上で命令を実行する必要があります。

FMS0, FMS1, FMS2 ビット (フラッシュ動作モード選択ビット0～フラッシュ動作モード選択ビット2)

フラッシュの動作モードを設定します。

[リードモードから ROM P/E モードに遷移する場合]

FMS2 ビット = 0, FMS1 ビット = 1, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

ROM モード遷移待ち時間 1 (tDIS、「50. 電気的特性」を参照) 待ちます。

FMS2 ビット = 1, FMS1 ビット = 1, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

FMS2 ビット = 1, FMS1 ビット = 0, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

ROM モード遷移待ち時間 2 (tMS、「50. 電気的特性」を参照) 待ちます。

[ROM P/E モードからリードモードに遷移する場合]

FMS2 ビット = 1, FMS1 ビット = 1, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

ROM モード遷移待ち時間 1 (tDIS、「50. 電気的特性」を参照) 待ちます。

FMS2 ビット = 0, FMS1 ビット = 1, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

FMS2 ビット = 0, FMS1 ビット = 0, FMS0 ビット = 0, RPDIS ビット = 1 に設定します。

ROM モード遷移待ち時間 2 (tMS、「50. 電気的特性」を参照) 待ちます。

[リードモードから E2 データフラッシュ P/E モードに遷移する場合]

FMS2 ビット = 0, FMS1 ビット = 1, FMS0 ビット = 0, RPDIS ビット = 0 に設定します。

[E2 データフラッシュ P/E モードからリードモードに遷移する場合]

FMS2 ビット = 0, FMS1 ビット = 0, FMS0 ビット = 0, RPDIS ビット = 1 に設定します。

ROM モード遷移待ち時間 2 (tMS、「50. 電気的特性」を参照) 待ちます。

RPDIS ビット (ROM P/E 禁止ビット)

ROM のプログラム / イレーズ実行をソフトウェアによって禁止します。

LVPE ビット (低電圧 P/E モード有効ビット)

高速モード時にプログラム / イレーズを実施する場合は“0”に、中速モード時にプログラム / イレーズを実施する場合は“1”にしてください。

49.4.6 フラッシュ初期設定レジスタ (FISR)

アドレス 007F C1D8h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PCKA[4:0]	周辺クロック通知ビット	FlashIF クロック (FCLK) の周波数を設定するためのビットです	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	SAS[1:0]	スタートアップ領域選択ビット	b7 b6 0 x : エクストラ領域内のスタートアップ領域設定に従う 1 0 : 一時的にスタートアップ領域をデフォルト領域に切り替える 1 1 : 一時的にスタートアップ領域を代替領域に切り替える	R/W

x : Don't care

FISR レジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

PCKA[4:0] ビット (周辺クロック通知ビット)

ROM/E2 データフラッシュのプログラム / イレーズ時に、FlashIF クロック (FCLK) の周波数を設定するためのビットです。

プログラム / イレーズを行う前に PCKA[4:0] ビットに FCLK の周波数を設定してください。ROM/E2 データフラッシュのプログラム / イレーズ中は、FCLK の周波数を変更しないでください。

[FCLK が 4 MHz より高い場合]

小数部がある場合は切り上げて設定してください。

たとえば 31.5 MHz の場合は、32 MHz (PCKA[4:0] ビット = 11111b) に設定してください。

[FCLK が 4 MHz 以下の場合]

小数部のある周波数は使用しないでください。

1 MHz, 2 MHz, 3 MHz または 4 MHz の周波数で使用してください。

注. FCLK と異なる周波数を PCKA[4:0] ビットに設定した場合、ROM/E2 データフラッシュのデータが破壊される可能性があります。

表 49.3 FlashIFクロック周波数設定例

FlashIFのクロック周波数 (MHz)	PCKA[4:0] ビット設定値	FlashIFのクロック周波数 (MHz)	PCKA[4:0] ビット設定値	FlashIFのクロック周波数 (MHz)	PCKA[4:0] ビット設定値
32	11111b	31	11110b	30	11101b
29	11100b	28	11011b	27	11010b
26	11001b	25	11000b	24	10111b
23	10110b	22	10101b	21	10100b
20	10011b	19	10010b	18	10001b
17	10000b	16	01111b	15	01110b
14	01101b	13	01100b	12	01011b
11	01010b	10	01001b	9	01000b
8	00111b	7	00110b	6	00101b
5	00100b	4	00011b	3	00010b
2	00001b	1	00000b	—	—

SAS[1:0] ビット (スタートアップ領域選択ビット)

スタートアップ領域を選択します。スタートアップ領域を変更するには、以下の3種類の方法があります。

① エクストラ領域のスタートアップ領域設定に従いスタートアップ領域を選択する場合

SAS[1:0] ビットが“00b”または“01b”の場合、エクストラ領域のスタートアップ領域設定に従ってスタートアップ領域が選択されます。スタートアップ領域情報プログラムコマンドを使用して、スタートアップ領域を変更してください。

② 一時的にスタートアップ領域をデフォルト領域に切り替える場合

SAS[1:0] ビットを“10b”にすると、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域をデフォルト領域に変更できます。

③ 一時的にスタートアップ領域を代替領域に切り替える場合

SAS[1:0] ビットを“11b”にすると、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域を代替領域に変更できます。

49.4.7 フラッシュリセットレジスタ (FRESETR)

アドレス 007F C124h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FRESE T
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRESET	フラッシュリセットビット	0: フラッシュ制御回路のリセットを解除する 1: フラッシュ制御回路をリセットする	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FRESET ビット (フラッシュリセットビット)

このビットを“1”にすると、FASR, FSARH, FSARL, FEARH, FEARL, FWB0, FWB1, FWB2, FWB3, FCR, FEXCR レジスタがリセットされます。また、FEAMH, FEAML レジスタの値が不定になります。リセット中はこれらのレジスタにアクセスしないでください。リセットを解除するときは、このビットを“0”にしてください。

なお、ソフトウェアコマンド実行中やエクストラ領域書き換え中は、本レジスタへ書き込まないでください。

49.4.8 フラッシュ領域選択レジスタ (FASR)

アドレス 007F C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EXS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXS	エクストラ領域選択ビット	0: ユーザ領域、データ領域 1: エクストラ領域	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FASR レジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

FASR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されま

す。FRESETR.FRESET ビットが“1”の間中は書き込みません。

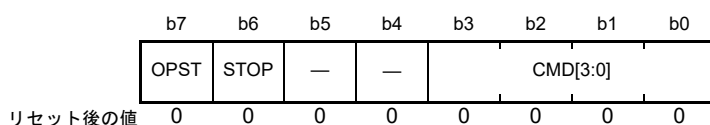
EXS ビット (エクストラ領域選択ビット)

エクストラ領域に対するソフトウェアコマンド (スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム) を発行する前に“1”にします。また、ユーザ領域に対するソフトウェアコマンド (プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ) を発行する前に“0”にします。

ソフトウェアコマンド発行後は、次のソフトウェアコマンドの発行まで値を変更しないでください。

49.4.9 フラッシュ制御レジスタ (FCR)

アドレス 007F C114h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CMD[3:0]	ソフトウェアコマンド設定ビット	b3 b0 0 0 0 1 : プログラム 0 0 1 1 : ブランクチェック 0 1 0 0 : ブロックイレーズ 0 1 1 0 : 全ブロックイレーズ 上記以外は設定しないでください(注1)	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	STOP	強制処理停止ビット	“1”にすると、実行中の処理を強制的に停止させることができます	R/W
b7	OPST	処理開始ビット	0 : 処理停止 1 : 処理開始	R/W

注1. FSTATR1.FRDRYフラグが“1”のとき、FCRレジスタを“00h”にする場合を除きます。

FCR レジスタは、ROM P/E モードでかつ ROM がプログラム/イレーズ可能時、または E2 データフラッシュ P/E モード時に書き込みができます。

FCR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込めません。

ただし、ソフトウェアコマンド実行中は FRESETR.FRESET ビットによる初期化はできません。

CMD[3:0] ビット (ソフトウェアコマンド設定ビット)

ソフトウェアコマンド(プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ)を設定します。それぞれのコマンドの機能を以下に示します。

[プログラム]

- FSARH/FSARL レジスタに設定したアドレスに、FWB0/FWB1/FWB2/FWB3 レジスタに設定した値を書き込みます。

[ブランクチェック]

- FSARH/FSARL レジスタに設定したアドレスから、FEARH/FEARL レジスタに設定したアドレスまでのブランクチェックを行います。書き込みが行われていないことを確認します。消去状態の保持を保証するものではありません。

[ブロックイレーズ]

- フラッシュメモリ内の指定した任意の連続した領域をブロック単位で消去します。消去したいブロックの先頭アドレスと最終アドレスを、それぞれ FSARH/FSARL レジスタと FEARH/FEARL レジスタに設定してください。それ以外の値を設定した場合、消去が正しく行えない場合があります。

[全ブロックイレーズ]

- ROM、または E2 データフラッシュを一括で消去します。全ブロックイレーズは、ブロックイレーズに比べてより短時間でメモリを消去できます。ROM を一括消去する場合は、ROM の先頭アドレスを FSARH/FSARL レジスタに、ROM の最終アドレスを FEARH/FEARL レジスタに設定してください。表 49.4 に全ブロックイレーズ時のアドレス設定値

を示します。

表 49.4 全ブロックイレーズ時のアドレス設定値

対象	容量	FSARH/FSARL	FEARH/FEARL
ROM	512Kバイト	FC180000h	FC1FFFFFFh
	384Kバイト	FC1A0000h	FC1FFFFFFh
	256Kバイト	FC1C0000h	FC1FFFFFFh
	128Kバイト	FC1E0000h	FC1FFFFFFh
E2データフラッシュ	8Kバイト	FE000000h	FE001FFFFh

STOP ビット (強制処理停止ビット)

実行中の処理 (ブランクチェック、ブロックイレーズ、全ブロックイレーズ) を強制的に停止させるときに使用します。

このビットを“1”にした後は、FSTATR1.FRDY フラグが“1” (処理完了) になるのを待ってから OPST ビットを“0”にしてください。

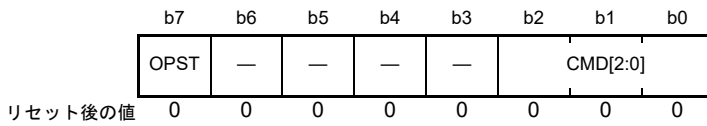
OPST ビット (処理開始ビット)

CMD[2:0] ビットに設定したコマンドを実行するために使用します。

処理が完了しても“0”には戻りません。FSTATR1.FRDY フラグが“1” (処理完了) になったのを確認してから“0”に戻してください。また、その後 FSTATR1.FRDY フラグが“0”になったのを確認してから次の処理を実施してください。

49.4.10 フラッシュエクストラ領域制御レジスタ (FEXCR)

アドレス 007F C1DCh



ビット	シンボル	ビット名	機能	R/W
b2-b0	CMD[2:0]	ソフトウェアコマンド設定ビット	b2 b0 0 0 1 : スタートアップ領域情報プログラム 0 1 0 : アクセスウィンドウ情報プログラム 上記以外は設定しないでください(注1)	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OPST	処理開始ビット	0 : 処理停止 1 : 処理開始	R/W

注1. FSTATR1.EXRDYビットが“1”のとき、FEXCRレジスタを“00h”にする場合を除きます。

FEXCR レジスタは、ROM P/E モードでかつ ROM がプログラム / イレーズ可能時に書き込みができます。

FEXCR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されません。FRESETR.FRESET ビットが“1”の間中は書き込めません。

ただし、ソフトウェアコマンド実行中は FRESETR.FRESET ビットによる初期化はできません。

CMD[2:0] ビット (ソフトウェアコマンド設定ビット)

ソフトウェアコマンド (スタートアップ領域情報プログラム、またはアクセスウィンドウ情報プログラム) を設定します。

各コマンドの詳細を以下に示します。

[スタートアップ領域情報プログラム]

スタートアッププログラム保護機能で使用するスタートアップ領域切り替えに使用します。

- スタートアップ領域をデフォルト領域に設定する場合
FWB0, FWB1, FWB2, FWB3 レジスタに“FFFFh”を設定してこのコマンドを実行します。
- スタートアップ領域を代替領域に設定する場合
FWB0 レジスタに“FEFFh”を、FWB1 レジスタに“FFFFh”を、FWB2, FWB3 レジスタに“FFFFh”を設定してこのコマンドを実行します。

なお、FWB0, FWB1, FWB2, FWB3 レジスタに上記以外の設定をした場合、スタートアップ領域情報プログラムを実行しないでください。

[アクセスウィンドウ情報プログラム]

エリアプロテクションで使用するアクセスウィンドウを設定するために使用します。

アクセスウィンドウはブロック単位で設定します。

FWB0 レジスタにアクセスウィンドウの先頭アドレス (アクセスウィンドウ開始アドレス) を、FWB1 レジスタにアクセスウィンドウの最終アドレスの次のアドレス (アクセスウィンドウ終了アドレス) を指定してこのコマンドを発行します。各レジスタにはプログラム / イレーズ用アドレスの b21-b10 を設定してください。

なお、開始アドレスと終了アドレスに同じ値を指定した場合、全領域がアクセス可能になります。また、開始アドレスに終了アドレスより大きい値を指定しないでください。

OPST ビット (処理開始ビット)

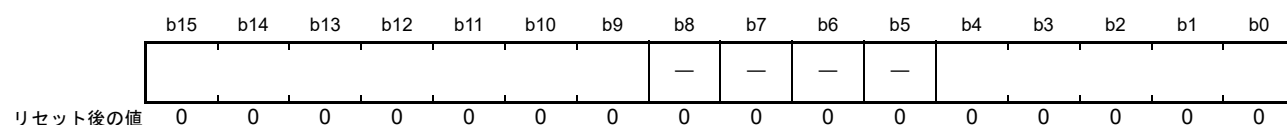
CMD[2:0] ビットに設定したコマンドを実行するために使用します。

処理が完了しても“0”には戻りません。FSTATR1.EXRDY フラグが“1” (処理完了) になったのを確認してから“0”に戻してください。また、その後 FSTATR1.EXRDY フラグが“0”になったのを確認してから次の処理を実施してください。

OPST ビットに“1”を書き込むことで、エクストラ領域へのプログラムが開始されます。ソフトウェアコマンド実行中は、CMD[2:0] ビットへの書き込みは禁止です。

49.4.11 フラッシュ処理開始アドレスレジスタ H (FSARH)

アドレス 007F C110h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象アドレス、または、フラッシュメモリの処理対象範囲の先頭アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b31-b25、b20-b16 を設定します。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

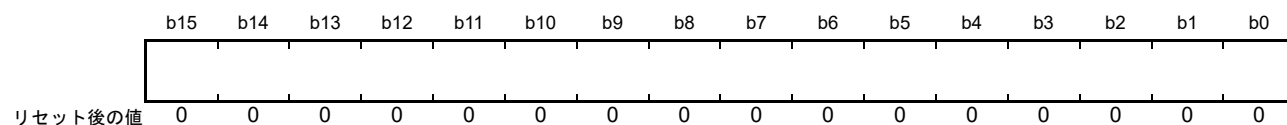
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込めません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 49.1、図 49.2 を参照してください。

49.4.12 フラッシュ処理開始アドレスレジスタ L (FSARL)

アドレス 007F C108h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象アドレス、または、フラッシュメモリの処理対象範囲の先頭アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。

なお、対象が ROM の場合、b2-b0 には“000b”を設定してください。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込めません。

このレジスタはプログラムコマンド実行後、ROM を指定した場合、+8h、E2 データフラッシュを指定した場合、+1h インクリメントされます。そのため、連続してプログラムコマンドを実行する場合、このレジ

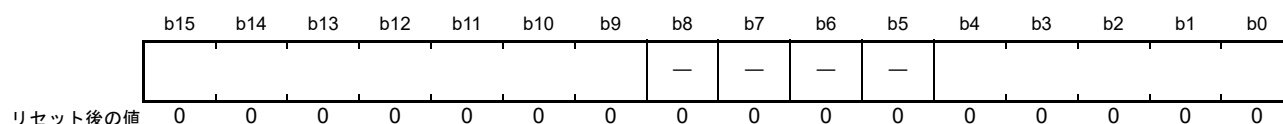
スタへのプログラム対象アドレスの設定は不要になります。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 49.1、図 49.2 を参照してください。

49.4.13 フラッシュ処理終了アドレスレジスタ H (FEARH)

アドレス 007F C120h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象範囲の最終アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b31-b25、b20-b16 を設定します。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

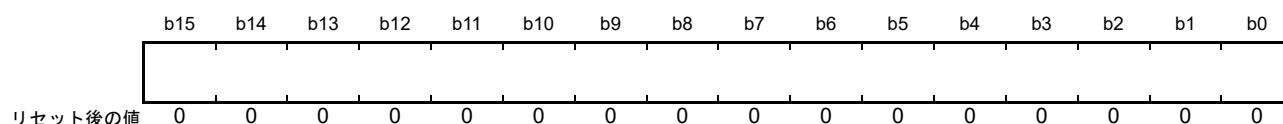
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込めません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 49.1、図 49.2 を参照してください。

49.4.14 フラッシュ処理終了アドレスレジスタ L (FEARL)

アドレス 007F C118h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象範囲の最終アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。

なお、対象が ROM の場合、b2-b0 には“000b”を設定してください。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

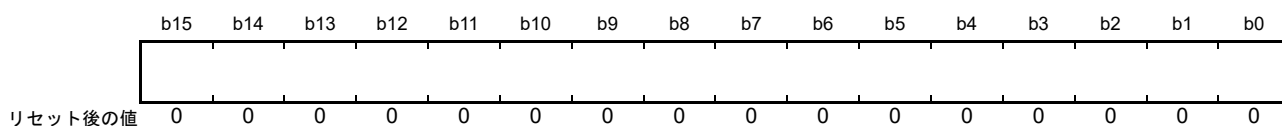
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込めません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 49.1、図 49.2 を参照してください。

49.4.15 フラッシュライトバッファ n レジスタ (FWBn) (n = 0 ~ 3)

アドレス FWB0 007F C130h, FWB1 007F C138h, FWB2 007F C140h, FWB3 007F C144h



FWBn レジスタは、ROM、E2 データフラッシュ、またはエクストラ領域にプログラムするデータを設定するレジスタです。ROM P/E モード、または E2 データフラッシュ P/E モード時に書き込みができます。

FWBn レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みません。

また、FCR レジスタによるソフトウェアコマンド実行中、または FEXCR レジスタによるソフトウェアコマンド実行中に FWBn レジスタを読み出した場合、その値は不定です。

エクストラ領域にプログラムする場合、プログラムする 4 バイトのデータは FWB0 レジスタと FWB1 レジスタに設定してください。

E2 データフラッシュにプログラムする場合、プログラムするデータは FWB0 レジスタの下位 8 ビットに設定してください。

ROM にプログラムする場合、プログラムする 8 バイトのデータは FWB0 レジスタから FWB3 レジスタに設定してください。図 49.3 に FSARH/FSARL レジスタが示すアドレスと FWBn レジスタに設定されたデータの関係を示します。

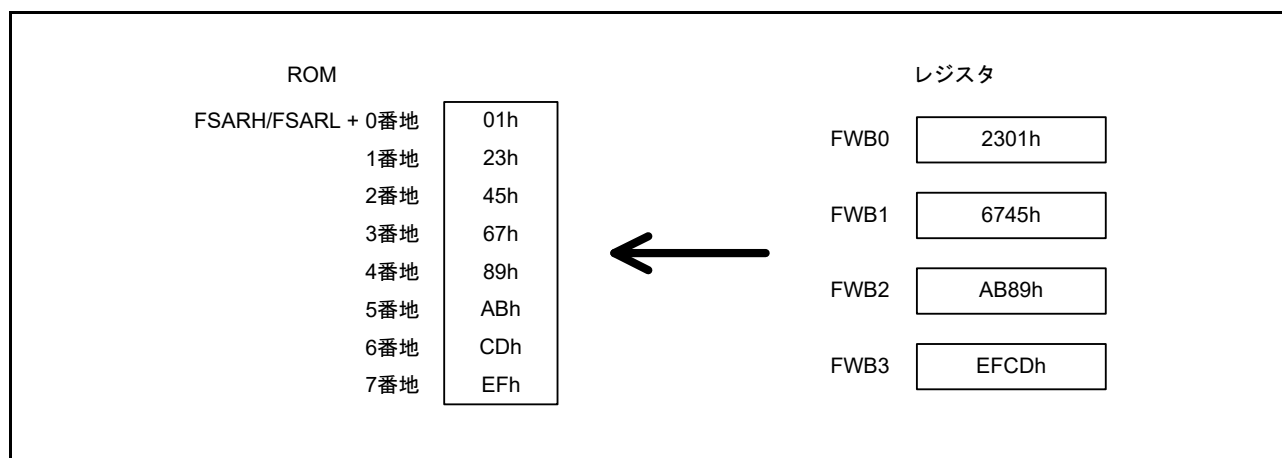


図 49.3 FWBn レジスタ設定値と ROM 上のデータ配置

49.4.16 フラッシュステータスレジスタ 0 (FSTATR0)

アドレス 007F C1F0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	EILGLERR	ILGLERR	BCERR	—	PRGERR	ERERR
リセット後の値	x	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ERERR	イレーズエラーフラグ	0: イレーズは正常終了 1: イレーズ中にエラー発生	R
b1	PRGERR	プログラムエラーフラグ	0: プログラムは正常終了 1: プログラム中にエラー発生	R
b2	—	予約ビット	読んだ場合、その値は不定	R
b3	BCERR	ブランクチェックエラーフラグ	0: ブランクチェックは正常終了 1: ブランクチェック中にエラー発生	R
b4	ILGLERR	イリーガルコマンドエラーフラグ	0: 不正なソフトウェアコマンドや、不正なアクセスを検出していない 1: 不正なソフトウェアコマンドや、不正なアクセスを検出	R
b5	EILGLERR	エクストラ領域イリーガルコマンドエラーフラグ	0: エクストラ領域に対し、不正なコマンドや、不正なアクセスを検出していない 1: エクストラ領域に対し、不正なコマンドや、不正なアクセスを検出	R
b7-b6	—	予約ビット	読んだ場合、その値は不定	R

ソフトウェアコマンドの実行結果を確認するためのステータスレジスタです。各エラーフラグは、次のソフトウェアコマンドを実行すると“0”になります。

ERERR フラグ (イレーズエラーフラグ)

ROM/E2 データフラッシュに対するイレーズ処理の結果を示すフラグです。

["1"]になる条件]

- イレーズ中にエラーが発生した

["0"]になる条件]

- 次のソフトウェアコマンドを実行した
イレーズ中に FCR.STOP ビットを“1”(強制処理停止)にするとフラグの値は不定になります。

PRGERR フラグ (プログラムエラーフラグ)

ROM/E2 データフラッシュに対するプログラム処理の結果を示すフラグです。

["1"]になる条件]

- プログラム中にエラーが発生した

["0"]になる条件]

- 次のソフトウェアコマンドを実行した

BCERR フラグ (ブランクチェックエラーフラグ)

ROM/E2 データフラッシュに対するブランクチェック処理の結果を示すフラグです。

["1"]になる条件]

- ブランクチェック中にエラーが発生した

["0"になる条件]

- 次のソフトウェアコマンドを実行した
ブランクチェック中にFCR.STOP ビットを“1”(強制処理停止)にするとフラグの値は不定になります。

ILGLERR フラグ(イリーガルコマンドエラーフラグ)

ソフトウェアコマンドの実行結果を示すフラグです。

["1"になる条件]

- アクセスウィンドウの範囲外の領域に対して、プログラム/イレーズを実行した
- FSARH/FSARL レジスタの設定値が FEARH/FEARL レジスタの設定値より大きいときに、ブランクチェック、ブロックイレーズのいずれかのコマンドを実行した
- FASR.EXS ビットが“1”のときに、プログラムコマンド、ブロックイレーズコマンドを実行した
- アクセスウィンドウを設定した状態で全ブロックイレーズを実行した
- FSARH/FSARL レジスタ、FEARH/FEARL レジスタの設定を正しく行わずに全ブロックイレーズコマンドを実行した
- ROMがP/EモードのときにFSARH/FSARL レジスタにE2データフラッシュのアドレスを設定して、ソフトウェアコマンドを実行した
- E2データフラッシュがP/EモードのときにFSARH/FSARL レジスタにROMのアドレスを設定して、ソフトウェアコマンドを実行した
- ROM/E2データフラッシュともP/Eモードに設定して、ソフトウェアコマンドを実行した

["0"になる条件]

- 次のソフトウェアコマンドを実行した

EILGLERR フラグ(エクストラ領域イリーガルコマンドエラーフラグ)

エクストラ領域に対するソフトウェアコマンドの実行結果を示すフラグです。

["1"になる条件]

- FASR.EXS ビットが“0”のときに、エクストラ領域に対するソフトウェアコマンドを実行した

["0"になる条件]

- 次のソフトウェアコマンドを実行した

49.4.17 フラッシュステータスレジスタ 1 (FSTATR1)

アドレス 007F C12Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	EXRDY	FRDY	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます	R
b2	—	予約ビット	読むと“1”が読めます	R
b5-b3	—	予約ビット	読むと“0”が読めます	R
b6	FRDY	フラッシュレディフラグ	0: 下記以外 1: FCRレジスタに“00h”を書き込むこと(ソフトウェアコマンド終了処理)が可能	R
b7	EXRDY	エクストラ領域レディフラグ	0: 下記以外 1: FEXCRレジスタに“00h”を書き込むこと(ソフトウェアコマンド終了処理)が可能	R

ソフトウェアコマンドの実行結果を確認するためのステータスレジスタです。各フラグは、次のソフトウェアコマンドを実行すると“0”になります。

FRDY フラグ (フラッシュレディフラグ)

ソフトウェアコマンドの実行状態を確認するためのフラグです。

実行したソフトウェアコマンドの処理が完了するか、または強制停止処理が完了すると“1”になり、FCR.OPST ビットを“0”にすると、“0”になります。

また、FRDY フラグが“1”になると割り込み (FRDYI) が発生します。

EXRDY フラグ (エクストラ領域レディフラグ)

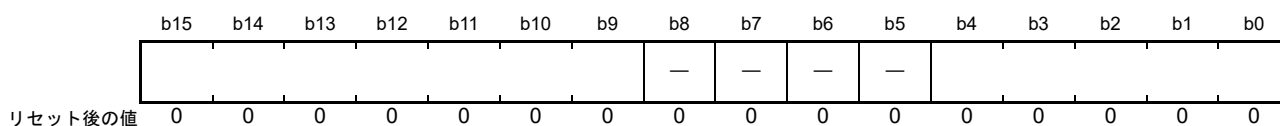
エクストラ領域に対するソフトウェアコマンドの実行状態を確認するためのフラグです。

実行したソフトウェアコマンドの処理が完了すると“1”になり、FEXCR.OPST ビットを“0”にすると、“0”になります。

また、EXRDY フラグが“1”になると割り込み (FRDYI) が発生します。

49.4.18 フラッシュエラーアドレスモニタレジスタ H (FEAMH)

アドレス 007F C1E8h



ソフトウェアコマンドの処理中にエラーが発生した場合、フラッシュメモリのエラー発生アドレスを確認するためのレジスタです。エラーが発生したアドレスの b31-b25、b20-b16 (プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b31-b25、b20-b16 (ブロックイレーズコマンド、全ブロックイレーズコマンド) が格納されます。

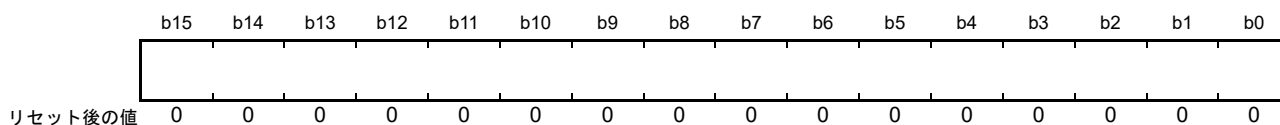
なお、FRESETR.FRESET ビットを“1”にすると不定になりますので、エラー処理を行う際はリセット前に値を読み出しておいてください。

ソフトウェアコマンドが正常に終了した場合は、コマンド実行時の最終アドレスの b31-b25、b20-b16 が格納されます。

フラッシュメモリのアドレスは、図 49.1、図 49.2 を参照してください。

49.4.19 フラッシュエラーアドレスモニタレジスタ L (FEAML)

アドレス 007F C1E0h



ソフトウェアコマンドの処理中にエラーが発生した場合、フラッシュメモリのエラー発生アドレスを確認するためのレジスタです。エラーが発生したアドレスの b15-b0 (プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b15-b0 (ブロックイレーズコマンド、全ブロックイレーズコマンド) が格納されます。

なお、FRESETR.FRESET ビットを“1”にすると不定になりますので、エラー処理を行う際はリセット前に値を読み出しておいてください。

ソフトウェアコマンドが正常に終了した場合は、コマンド実行時の最終アドレスの b15-b0 が格納されます。

なお、ROM に対するソフトウェアコマンドを実行した場合下位 2 ビットは“00b”になります。

フラッシュメモリのアドレスは、図 49.1、図 49.2 を参照してください。

49.4.20 フラッシュスタートアップ設定モニタレジスタ (FSCMR)

アドレス 007F C1C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SASMF	—	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	0	1	1	ユーザ の設定 値 (注1)	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます	R
b8	SASMF	スタートアップ領域設定モニタフラグ	0: 代替領域から起動する設定になっています 1: デフォルト領域から起動する設定になっています	R
b10-b9	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b11	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b14-b12	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b15	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. ブランク品は“1”です。スタートアップ領域情報プログラムコマンドを実行した後は、FWB1レジスタのb8に設定した値と同じ値になります。

SASMF フラグ (スタートアップ領域設定モニタフラグ)

スタートアップ領域の設定内容を確認するためのフラグです。

“0”の場合、ユーザプログラムは代替領域から起動する設定になっています。

“1”の場合、ユーザプログラムはデフォルト領域から起動する設定になっています。

49.4.21 フラッシュアクセスウィンドウ開始アドレスモニタレジスタ (FAWSMR)

アドレス 007F C1C8h

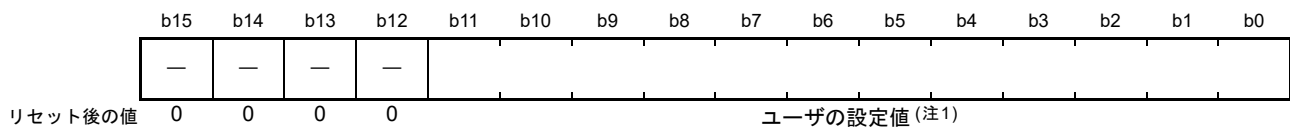
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—												
リセット後の値	0	0	0	0												

注1. ブランク品は“1”です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWB0レジスタのb11-b0に設定した値と同じ値になります。

エリアプロテクションに使用するアクセスウィンドウの開始アドレス設定値を確認するためのレジスタです。

49.4.22 フラッシュアクセスウィンドウ終了アドレスモニタレジスタ (FAWEMR)

アドレス 007F C1D0h

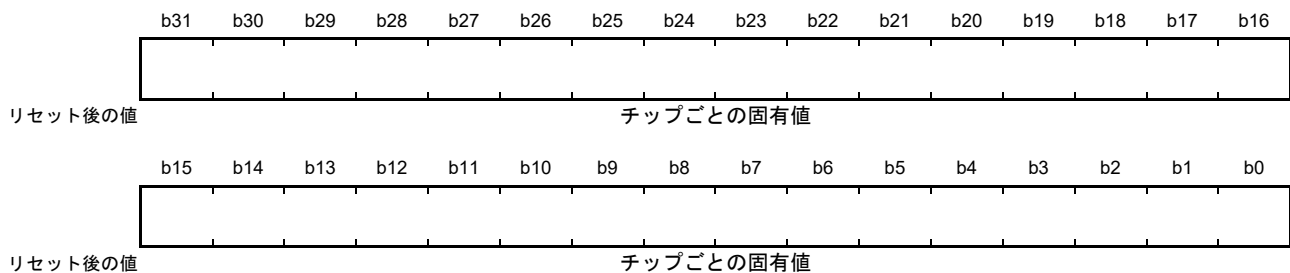


注1. ブランク品は“1”です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWB1レジスタのb11-b0に設定した値と同じ値になります。

エリアプロテクションに使用するアクセスウィンドウの終了アドレス設定値を確認するためのレジスタです。

49.4.23 ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)

アドレス UIDR0 007F C350h, UIDR1 007F C354h, UIDR2 007F C358h, UIDR3 007F C35Ch



UIDRn レジスタは、MCU の個体を識別するために用意された 16 バイト長の ID コード (ユニーク ID) を格納しているレジスタです。

ユニーク ID はフラッシュメモリのエクストラ領域に格納されており、ユーザが書き換えることはできません。

49.5 スタートアッププログラム保護機能

セルフプログラミングでスタートアッププログラム(注1)の書き換えを行うとき、電源の瞬断などで書き換えが中断すると、スタートアッププログラムが正しく書き込まれず、ユーザプログラムを正しく起動できなくなる可能性があります。

この機能を使用することで、スタートアッププログラムを消去せずに書き換えることができようになり、上記のような問題が回避できます。なお、この機能はROM容量が32Kバイト以上の製品で有効です。

図49.4にスタートアッププログラム保護機能の概念を示します。ここでは説明のため、ブロック0～7をデフォルト領域、ブロック8～15を代替領域と呼びます。

注1. ユーザプログラムを起動するための処理を行うプログラム。固定ベクタテーブルも含まれる。

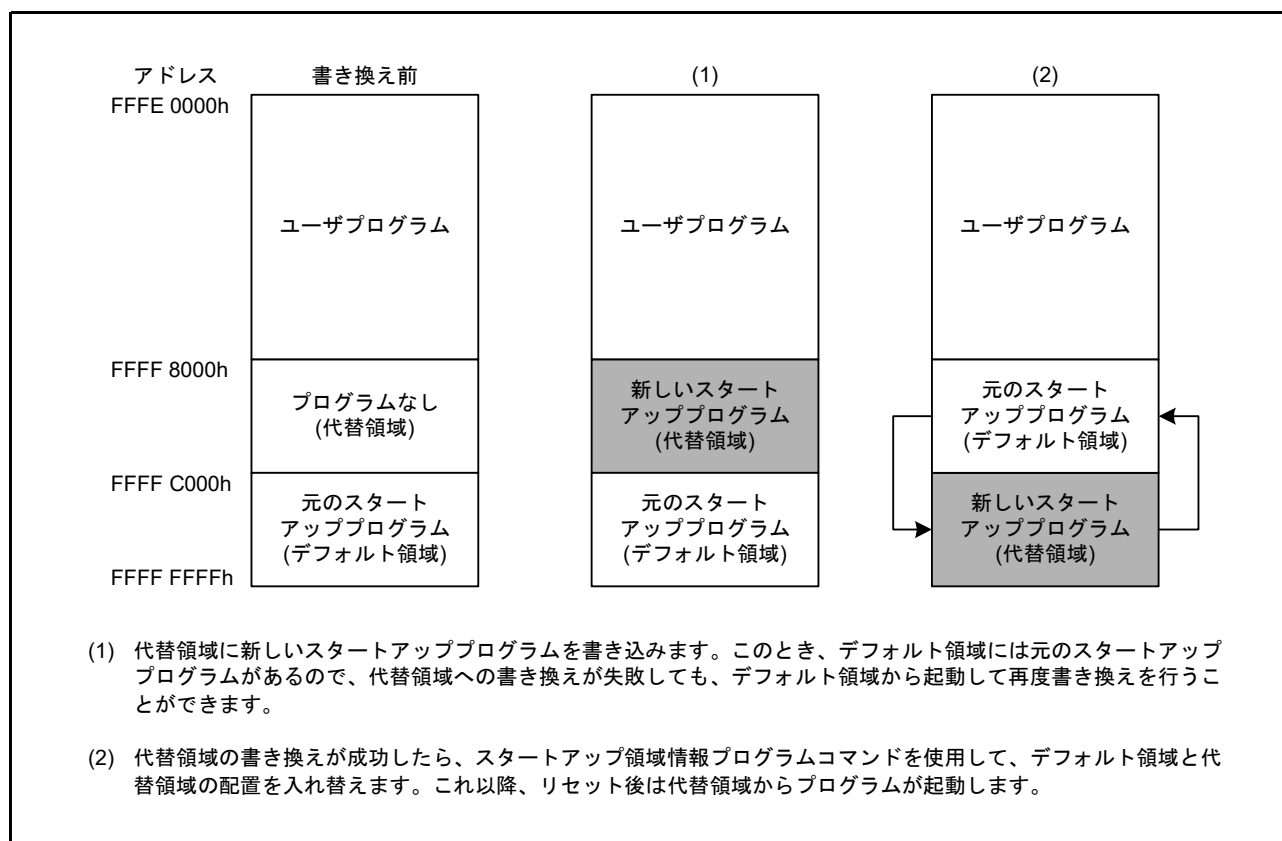


図 49.4 スタートアッププログラム保護機能の概念

49.6 エリアプロテクション

セルフプログラミング時に、ユーザ領域の指定された範囲(アクセスウィンドウ)のみ書き換えを許可し、それ以外は書き換えを禁止する機能です。データ領域にアクセスウィンドウを設定することはできません。

アクセスウィンドウの範囲設定は、開始アドレスと終了アドレスを指定して行います。アクセスウィンドウの範囲は、ブートモードおよびセルフプログラミングのいずれでも設定できますが、エリアプロテクションが有効になるのはシングルチップモードでセルフプログラミングを行うときだけです。

図 49.5 にエリアプロテクションの概念を示します。

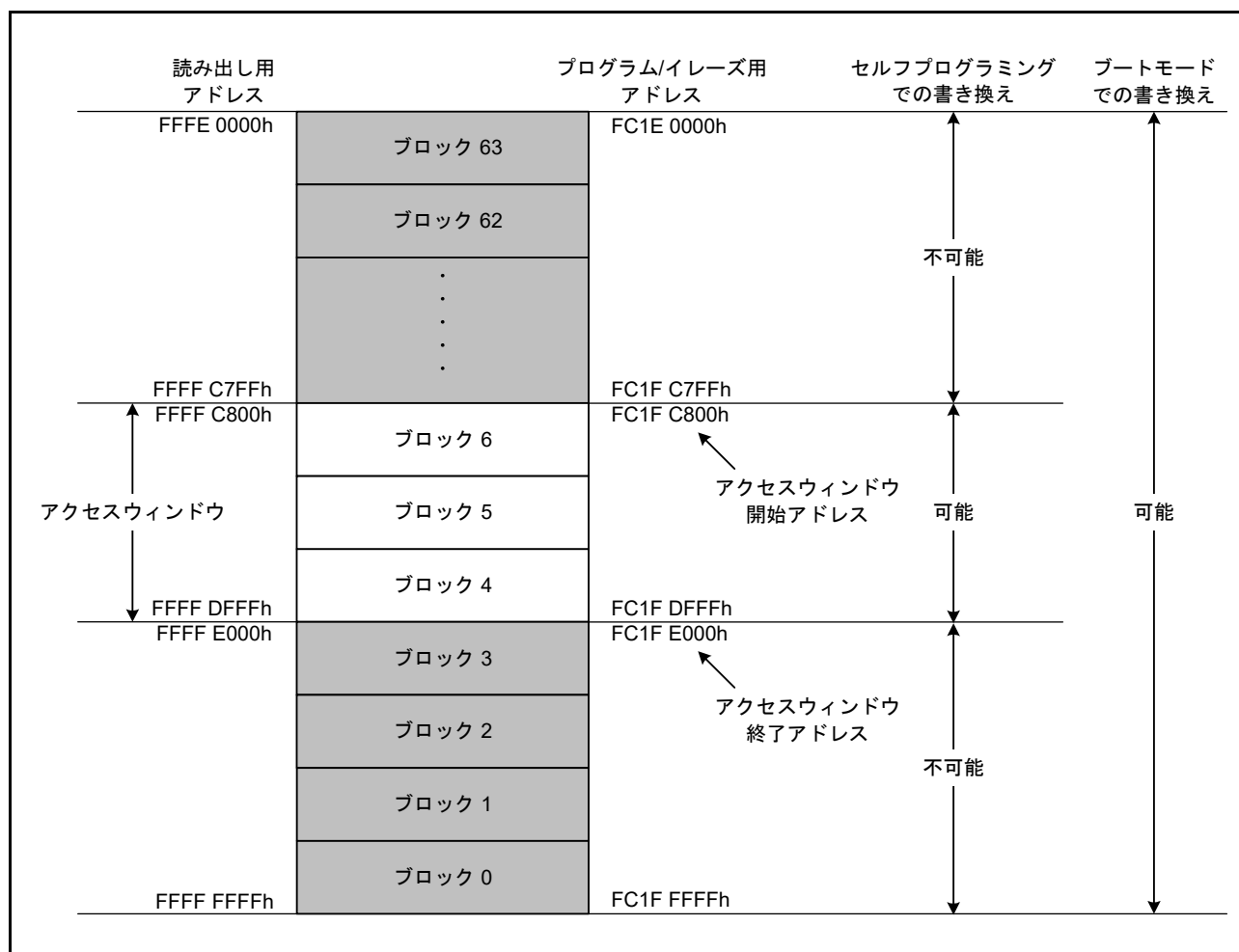


図 49.5 エリアプロテクションの概念 (ROM 容量が 128K バイトの製品で、ブロック 4 からブロック 6 をアクセスウィンドウに設定した場合)

49.7 プログラム/イレーズ

ROM や E2 データフラッシュへのプログラム/イレーズは、プログラム/イレーズ用の専用シーケンサのモードへ移行して、プログラム/イレーズ用のコマンドを発行することで行います。

ROM や E2 データフラッシュへのプログラム/イレーズに必要なモード移行とコマンドについて以下に説明します。これらはブートモード/シングルチップモードで共通です

49.7.1 シーケンサのモード

シーケンサには、4 種類のモードがあります。モードの移行は、DFLCTL レジスタ、FENTRYR レジスタへの書き込み、および FPMCR レジスタの設定で行います。図 49.6 にフラッシュメモリのモード遷移図を示します。

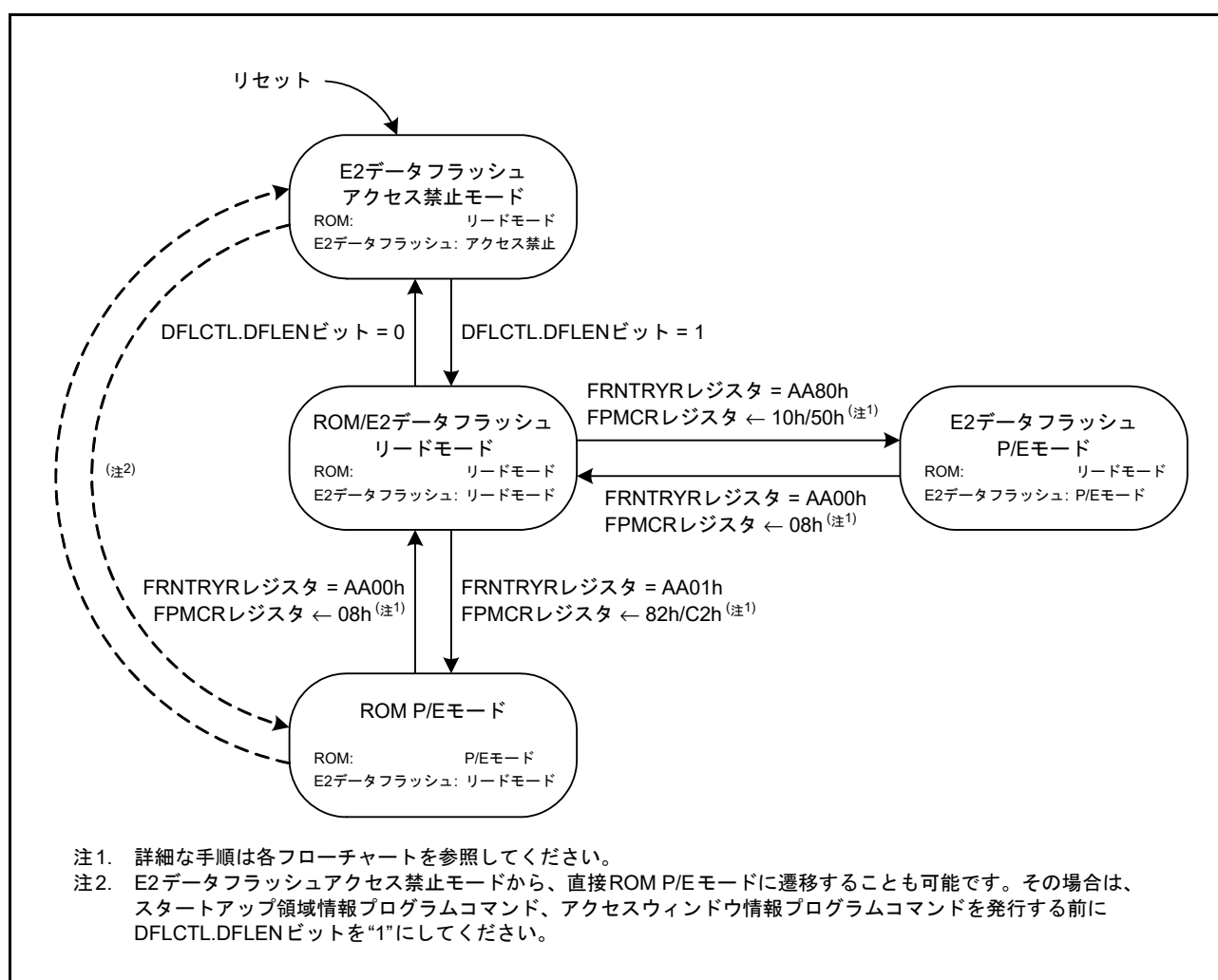


図 49.6 フラッシュメモリのモード遷移図

49.7.1.1 E2 データフラッシュアクセス禁止モード

E2 データフラッシュアクセス禁止モードは、E2 データフラッシュのアクセスが禁止されているモードです。リセット直後はこのモードに遷移します。

DFLCTL.DFLEN ビットを“1”にすると、E2 データフラッシュはリードモードに遷移します。

49.7.1.2 リードモード

リードモードは、ROMまたはE2データフラッシュの高速読み出しを行うためのモードです。読み出し用アドレスに対してリードアクセスを実行した場合、HCLKクロックの高速読み出しが可能です。

(1) ROM/E2データフラッシュリードモード

ROM、E2データフラッシュともにリードモードになっているモードを、ROM/E2データフラッシュリードモードと言います。P/Eモードからは、FPMCRレジスタを“08h”、FENTRYR.FENTRYDビットを“0”、FENTRYR.FENTRY0ビットを“0”にした場合にこのモードに遷移します。

49.7.1.3 P/Eモード

P/Eモードは、ROMまたはE2データフラッシュのプログラム/イレーズを行うモードです。

(1) ROM P/Eモード

ROMがP/Eモード、E2データフラッシュがリードモードになっているモードを、ROM P/Eモードと言います。FENTRYR.FENTRYDビットを“0”、FENTRYR.FENTRY0ビットを“1”、FPMCRレジスタを“82h”または“C2h”にした場合にこのモードに遷移します。

(2) E2データフラッシュ P/Eモード

ROMがリードモード、E2データフラッシュがP/Eモードになっているモードを、E2データフラッシュ P/Eモードと言います。FENTRYR.FENTRYDビットを“1”、FENTRYR.FENTRY0ビットを“0”、FPMCRレジスタを“10h”または“50h”にした場合にこのモードに遷移します。

49.7.2 モード遷移

49.7.2.1 E2データフラッシュアクセス禁止モードからリードモードへの遷移

E2データフラッシュをリードするためには、E2データフラッシュアクセス禁止モードから、ROM/E2データフラッシュリードモードに遷移させる必要があります。

ROM/E2データフラッシュリードモードに遷移させるためには、DFLCTL.DFLENビットを“1”にします。

図 49.7 に E2データフラッシュアクセス禁止モードから ROM/E2データフラッシュリードモードへの遷移フローを示します。

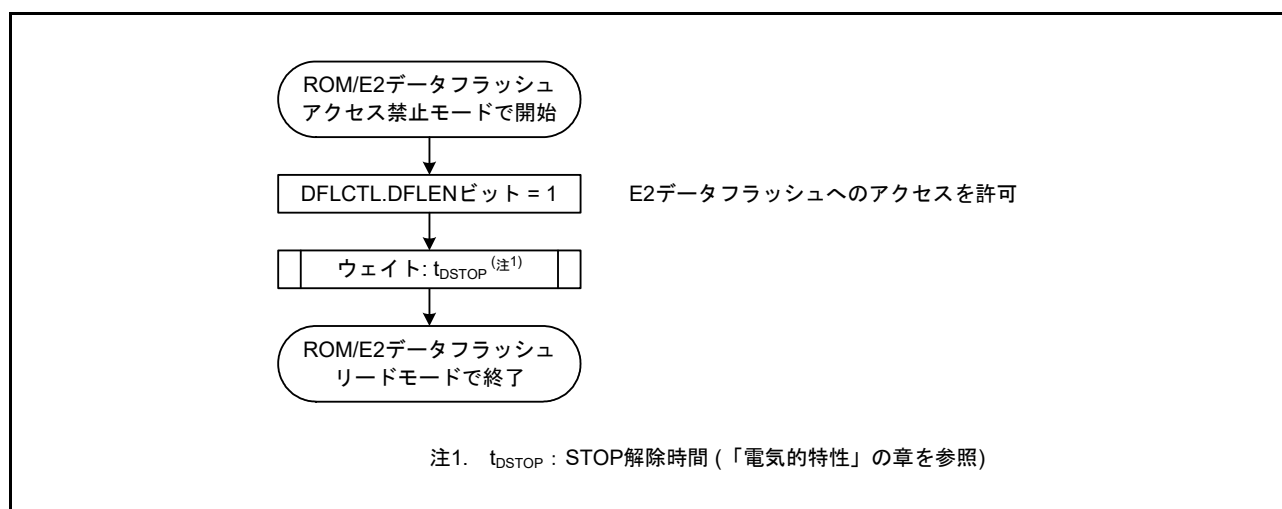


図 49.7 E2データフラッシュアクセス禁止モードからROM/E2データフラッシュリードモードへの遷移フロー

49.7.2.2 リードモードから P/E モードへの遷移

ROM 関連のソフトウェアコマンドを実行するためには、ROM P/E モードに遷移させる必要があります。

図 49.8 に ROM/E2 データフラッシュリードモードから ROM P/E モードへの遷移フローを、図 49.9 に ROM/E2 データフラッシュリードモードから E2 データフラッシュ P/E モードへの遷移フローを示します。

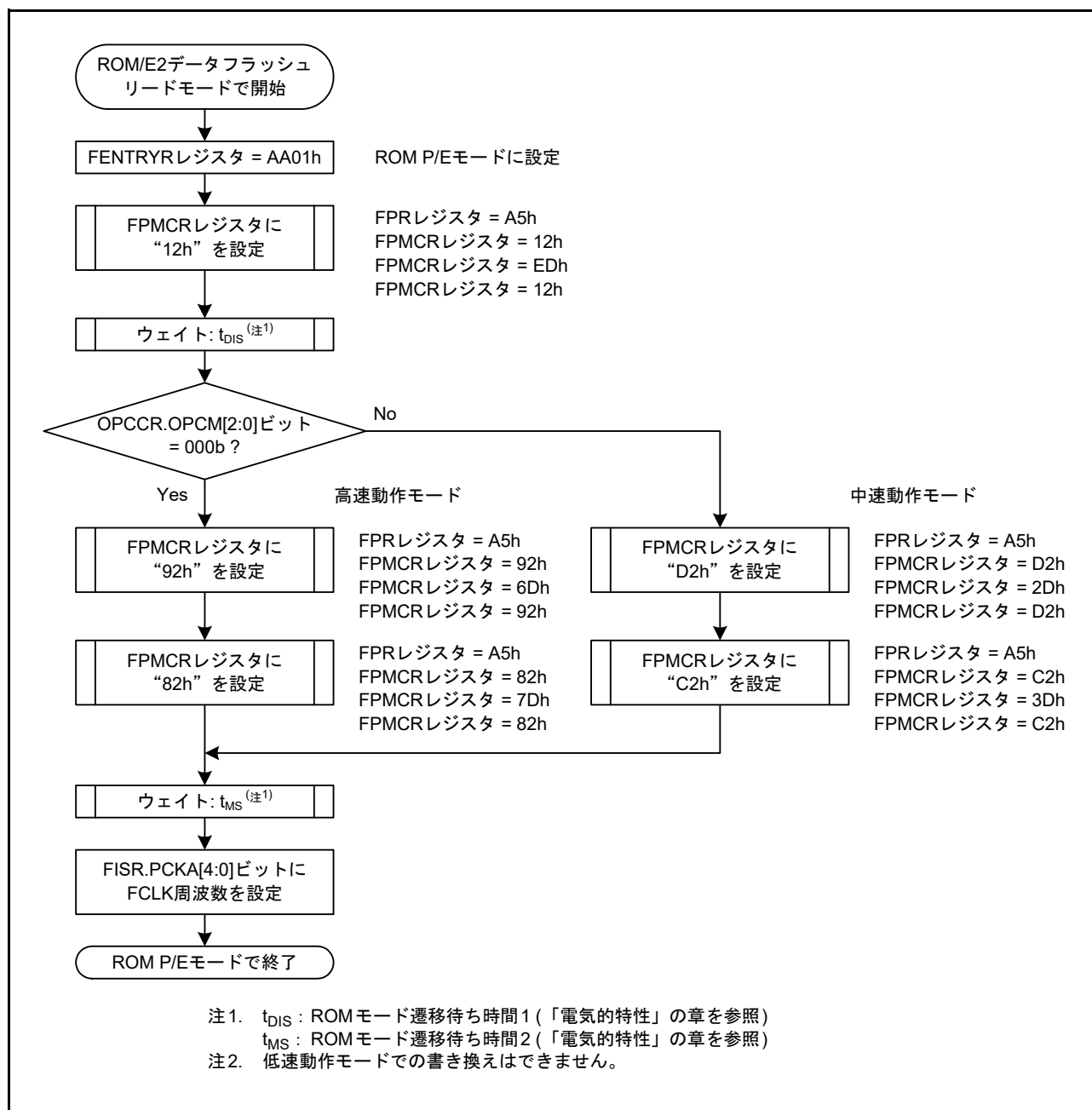


図 49.8 ROM/E2 データフラッシュリードモードから ROM P/E モードへの遷移フロー

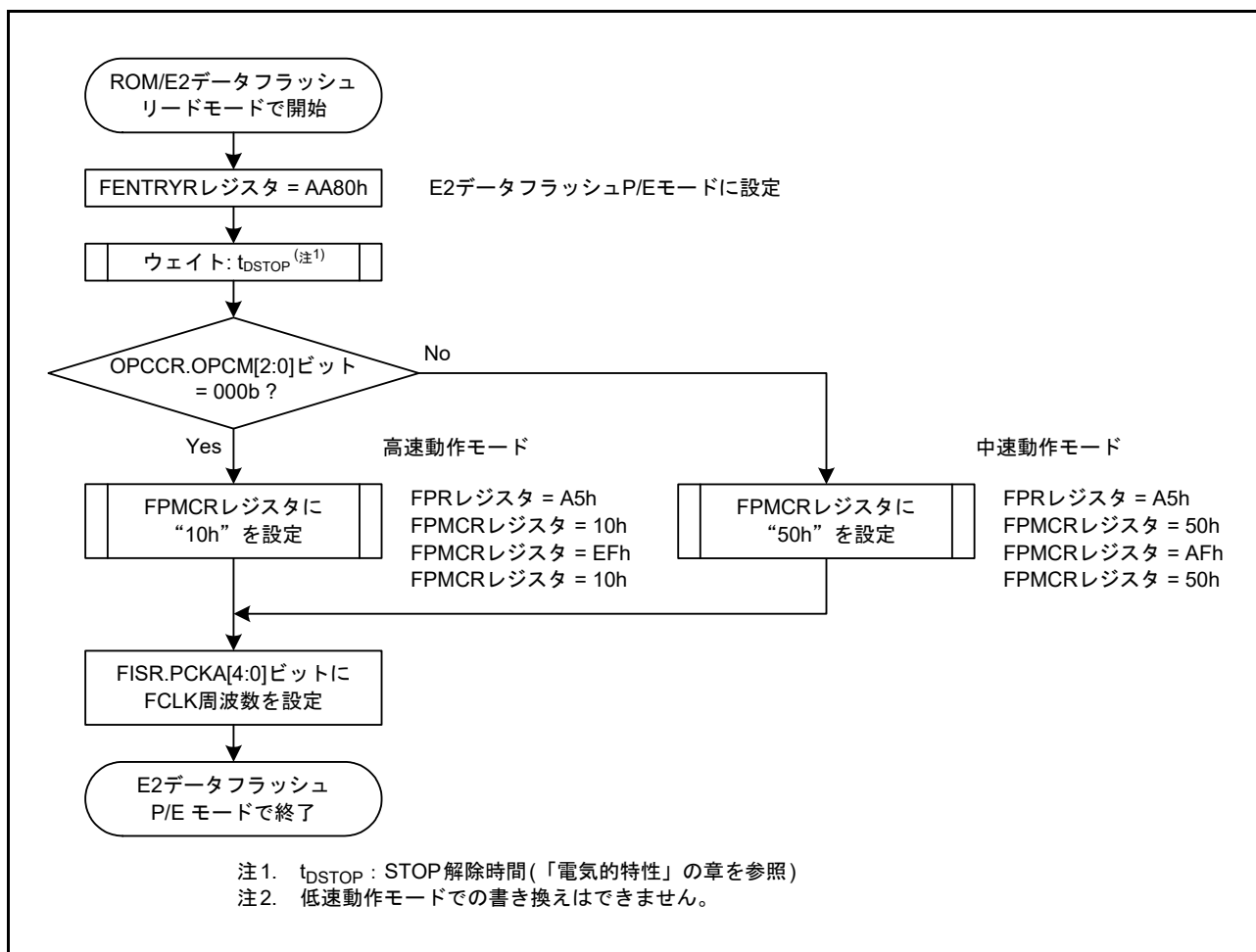


図 49.9 ROM/E2 データフラッシュリードモードから E2 データフラッシュ P/E モードへの遷移フロー

49.7.2.3 P/Eモードからリードモードへの遷移

ROMの高速読み出しを行うためには、ROM/E2データフラッシュリードモードに遷移させる必要があります。

図49.10にROM P/EモードからROM/E2データフラッシュリードモードへの遷移フローを、図49.11にE2データフラッシュ P/EモードからROM/E2データフラッシュリードモードへの遷移フローを示します。

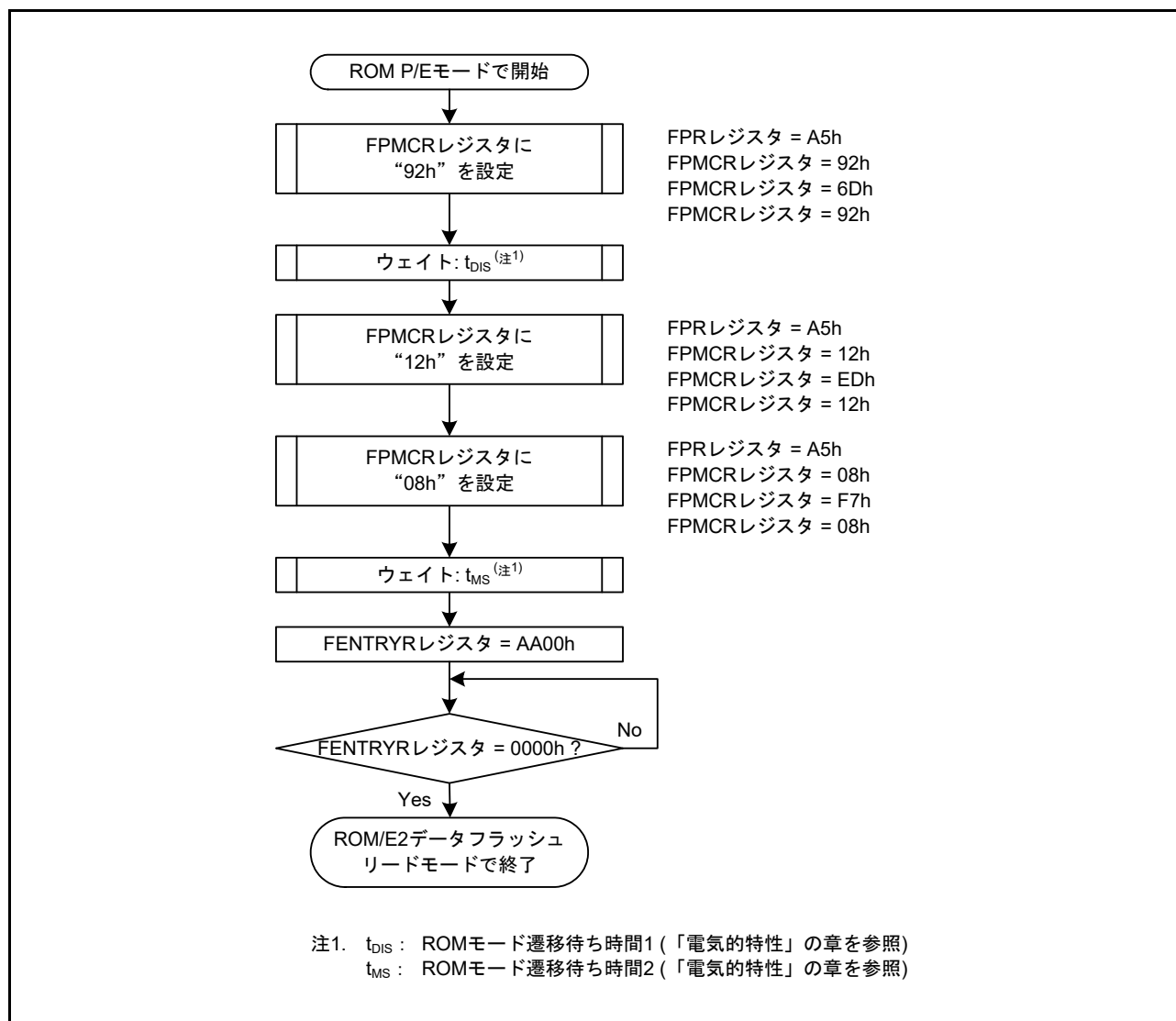


図 49.10 ROM P/EモードからROM/E2データフラッシュリードモードへの遷移フロー

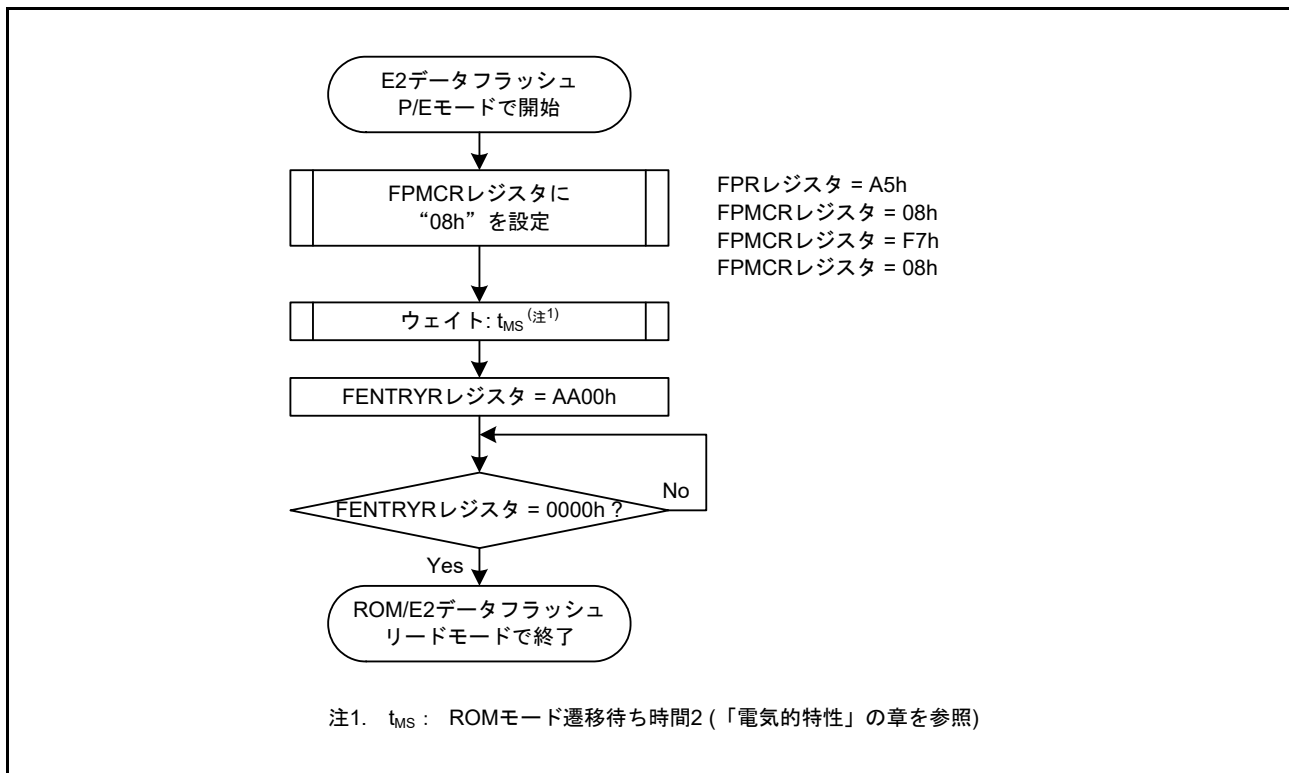


図 49.11 E2 データフラッシュ P/E モードから ROM/E2 データフラッシュリードモードへの遷移フロー

49.7.3 ソフトウェアコマンド一覧

ソフトウェアコマンドには、プログラム/イレーズを行うためのコマンドや、スタートアッププログラム領域情報のプログラムを行うコマンド、アクセスウィンドウ情報プログラムを行うコマンドなどがあります。表 49.5 にフラッシュメモリで使用可能なソフトウェアコマンドの一覧を示します。

表49.5 ソフトウェアコマンド一覧

コマンド	機能
プログラム	<ul style="list-style-type: none"> ROMへの書き込み(8バイト) E2データフラッシュへの書き込み(1バイト)
ブロックイレーズ	ROM/E2データフラッシュの消去
全ブロックイレーズ	ROM/E2データフラッシュの一括消去
ブランクチェック	指定した領域内のブランクチェックを行います 書き込みが行われていないことを確認します。消去状態の保持を保証するものではありません
スタートアップ領域情報プログラム	スタートアッププログラム保護機能で使用するスタートアップ領域切り替え情報を書き換えます
アクセスウィンドウ情報プログラム	エリアプロテクションで使用するアクセスウィンドウを設定します

49.7.4 ソフトウェアコマンド使用方法

ここでは各ソフトウェアコマンドの使用方法について、フローチャートを用いて説明します。

49.7.4.1 プログラム

図 49.12、図 49.13 にプログラムコマンドの発行フローを示します。

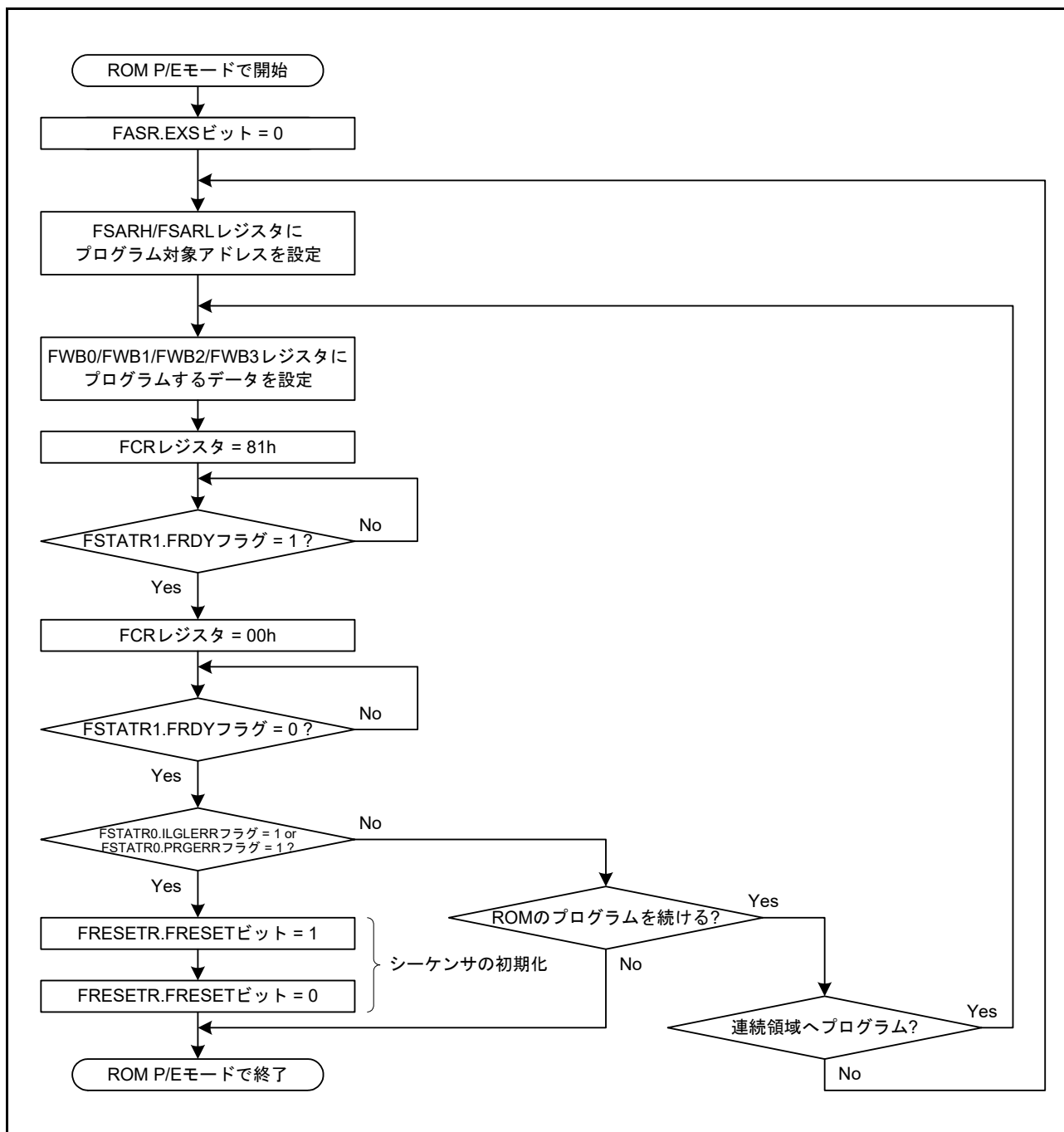


図 49.12 プログラムコマンドの発行フロー (ROM)

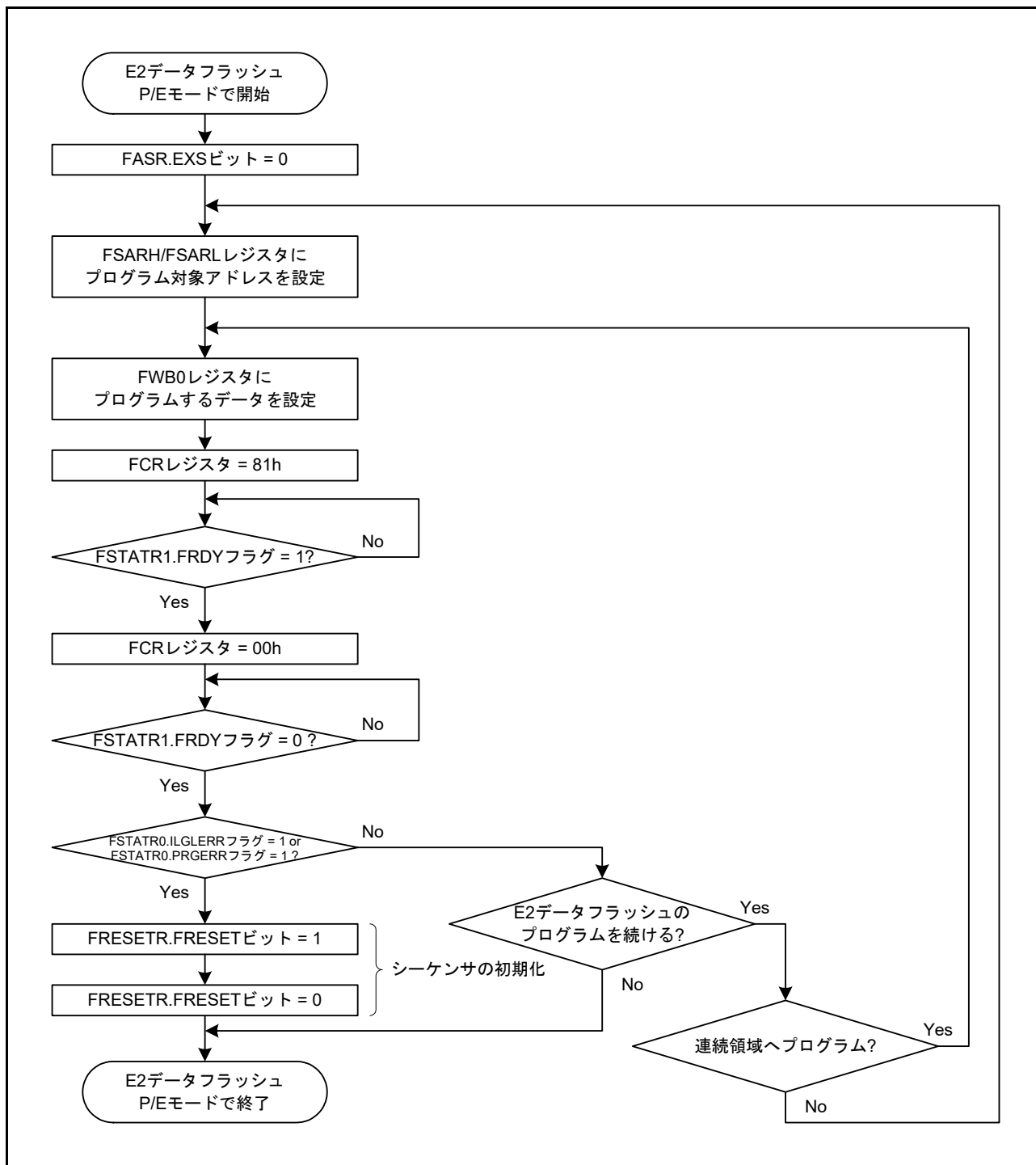


図 49.13 プログラムコマンドの発行フロー (E2 データフラッシュ)

49.7.4.2 ブロックイレーズ

図 49.14、図 49.15 にブロックイレーズコマンドの発行フローを示します。

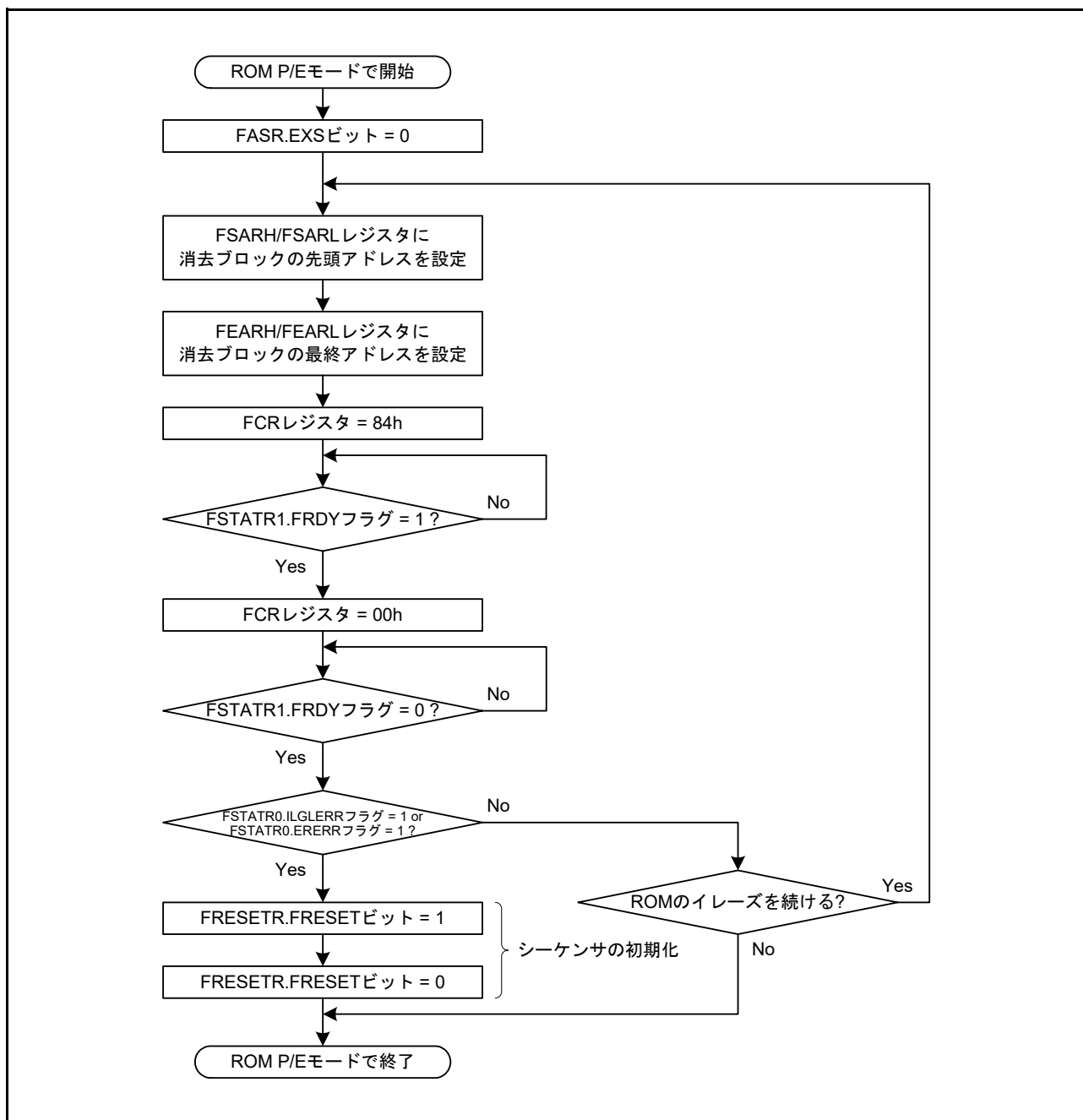


図 49.14 ブロックイレーズコマンドの発行フロー (ROM)

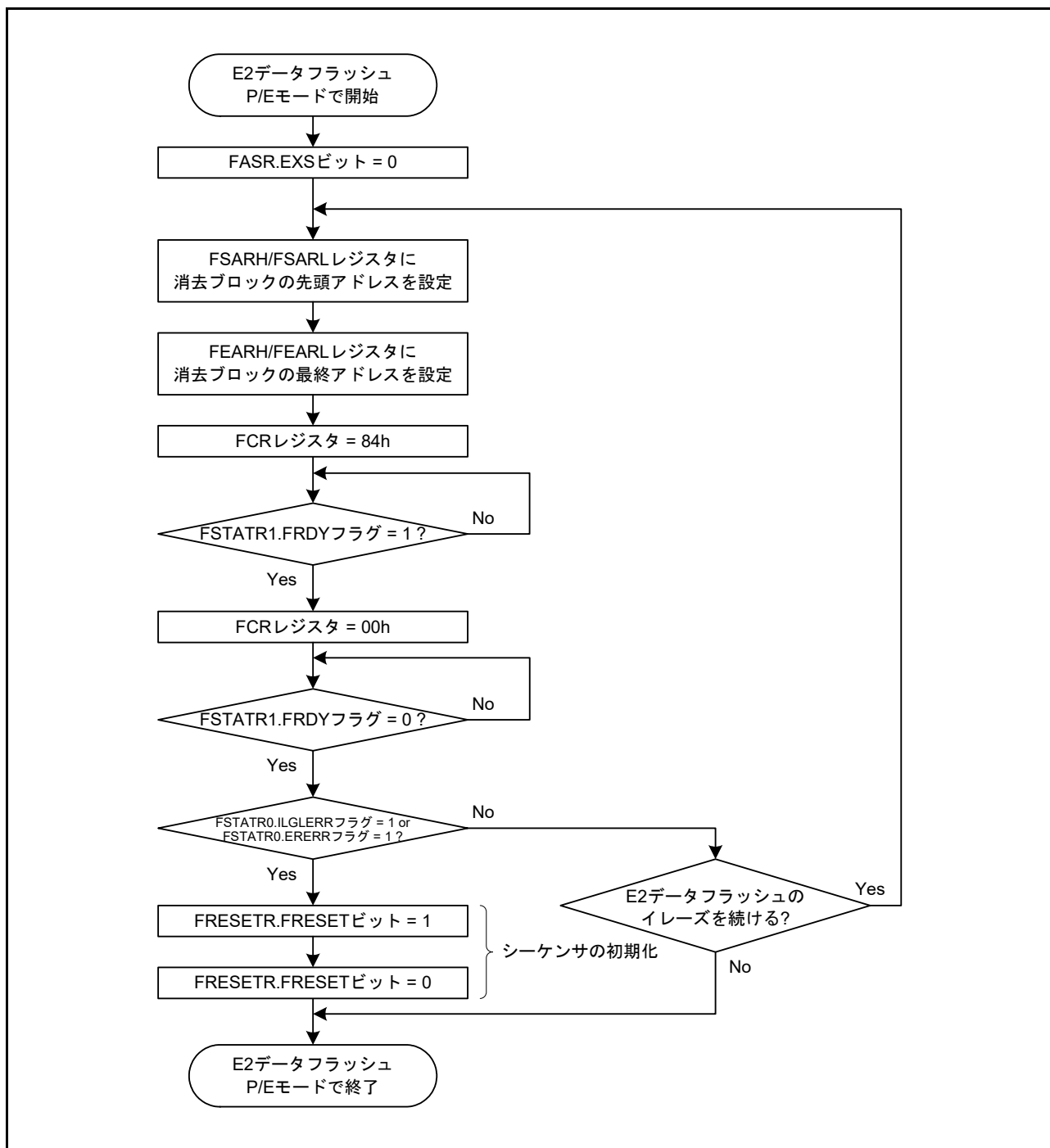


図 49.15 ブロックイレーズコマンドの発行フロー (E2 データフラッシュ)

49.7.4.3 全ブロックイレーズ

図 49.16、図 49.17 に全ブロックイレーズコマンドの発行フローを示します。

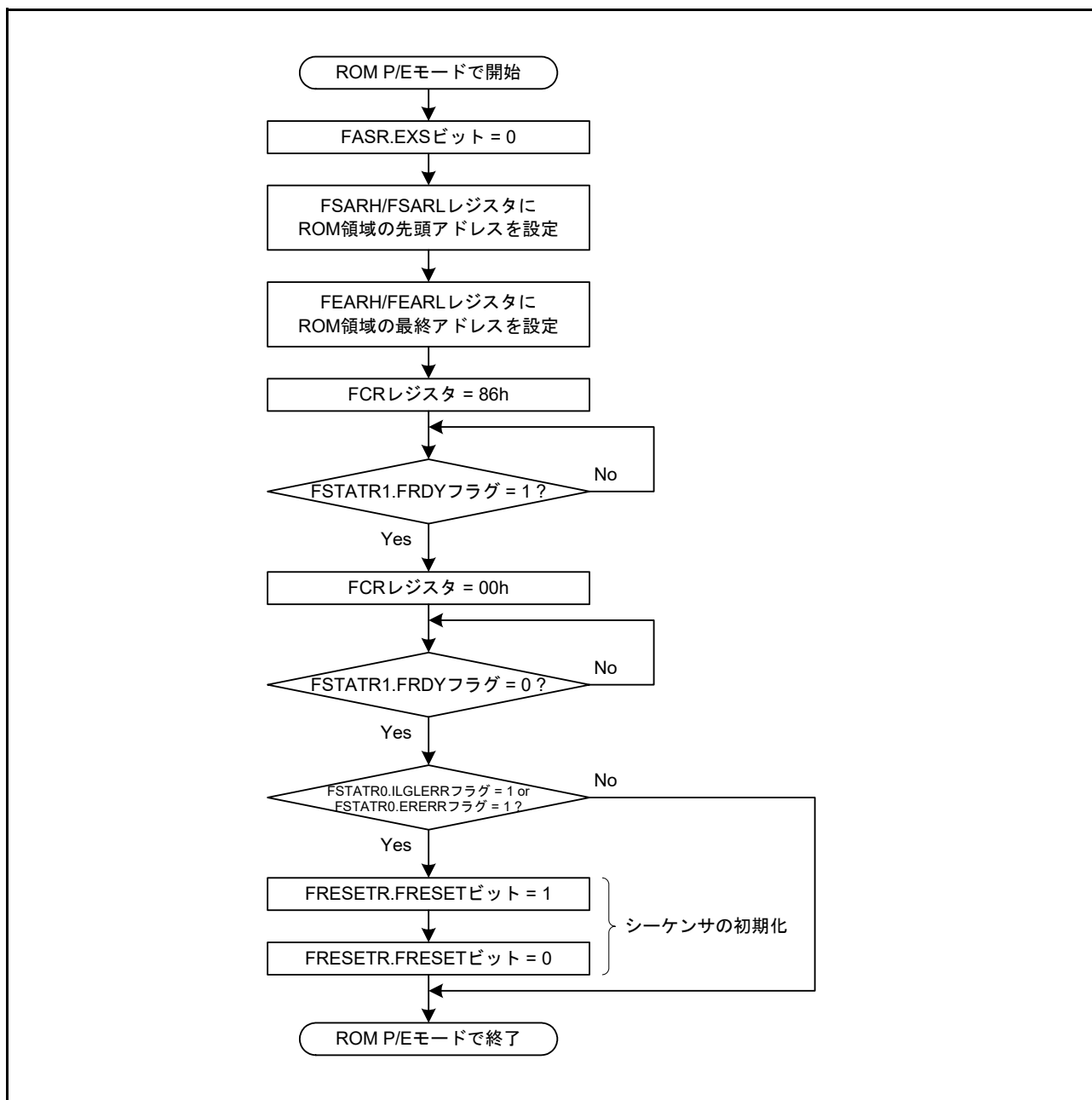


図 49.16 全ブロックイレーズコマンドの発行フロー (ROM)

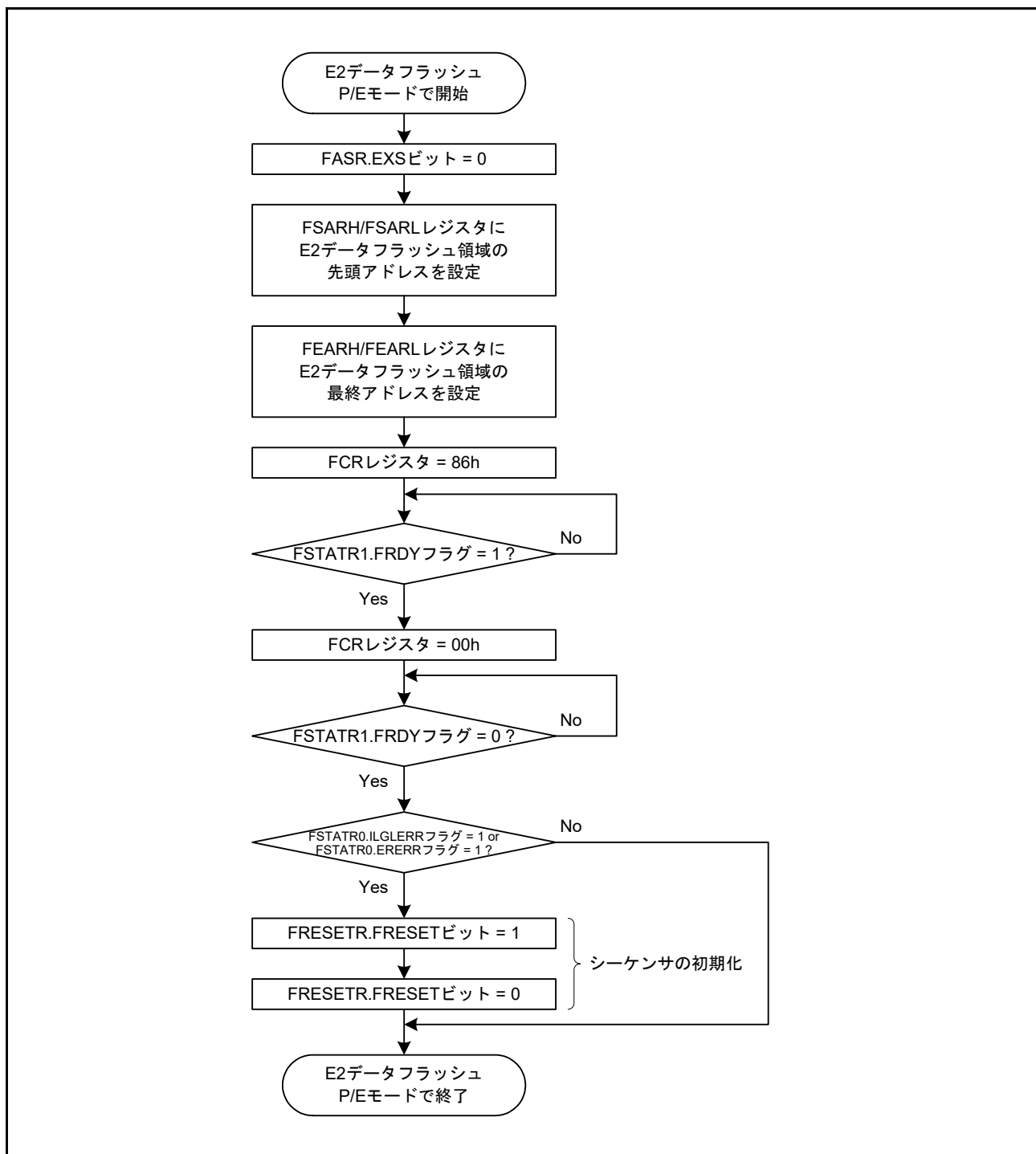


図 49.17 全ブロックイレーズコマンドの発行フロー (E2 データフラッシュ)

49.7.4.4 ブランクチェック

図 49.18、図 49.19 にブランクチェックコマンドの発行フローを示します。

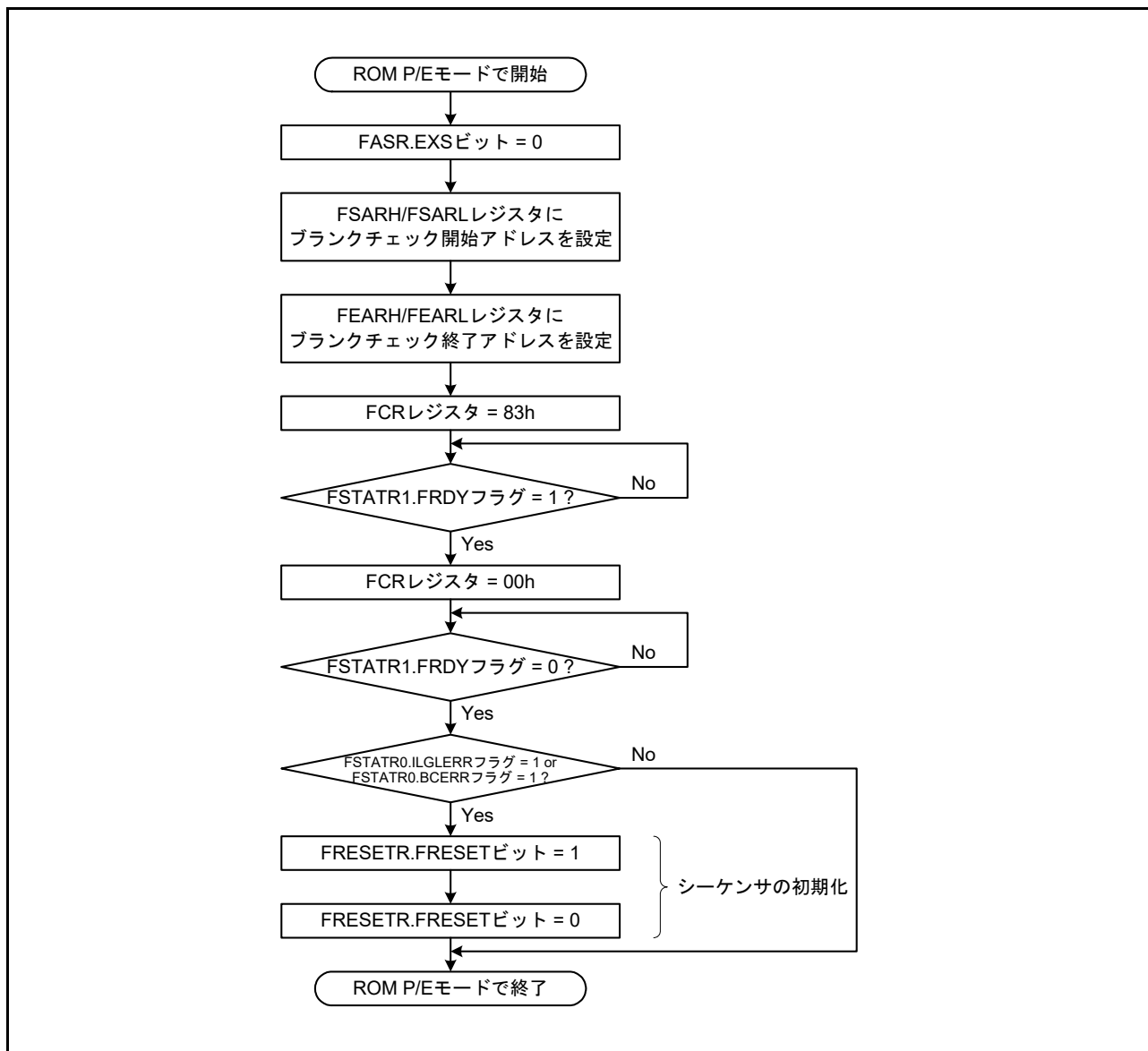


図 49.18 ブランクチェックコマンドの発行フロー (ROM)

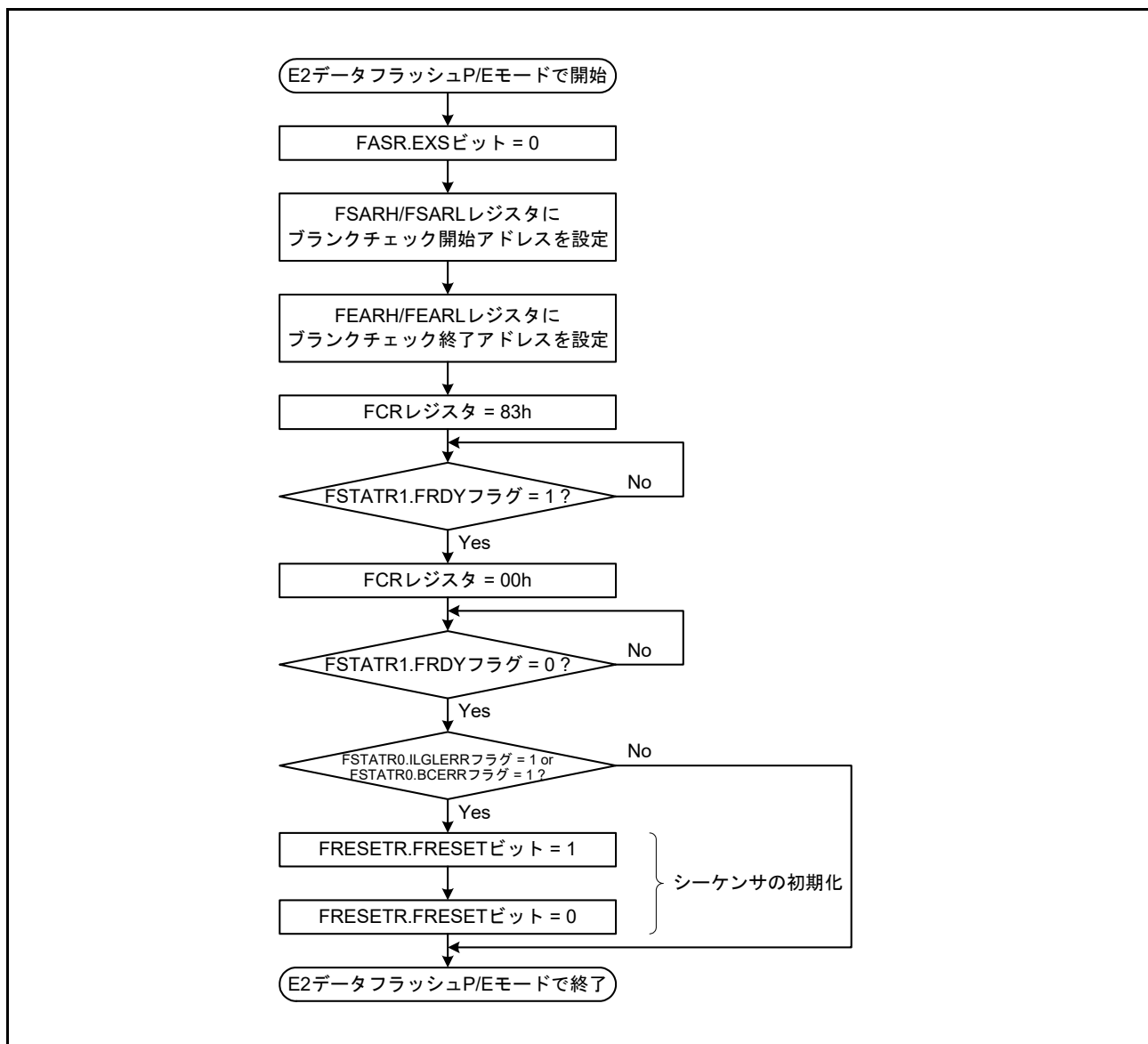


図 49.19 ブランクチェックコマンドの発行フロー (E2 データフラッシュ)

49.7.4.5 スタートアップ領域情報プログラム/アクセスウィンドウ情報プログラム

図 49.20 にスタートアップ領域情報プログラムコマンド/アクセスウィンドウ情報プログラムコマンドの発行フローを示します。

なお、E2 データフラッシュアクセス禁止モードから直接 ROM P/E モードに遷移した場合は、フローの先頭で DFLCTL.DFLEN ビットを“1”にしてください。

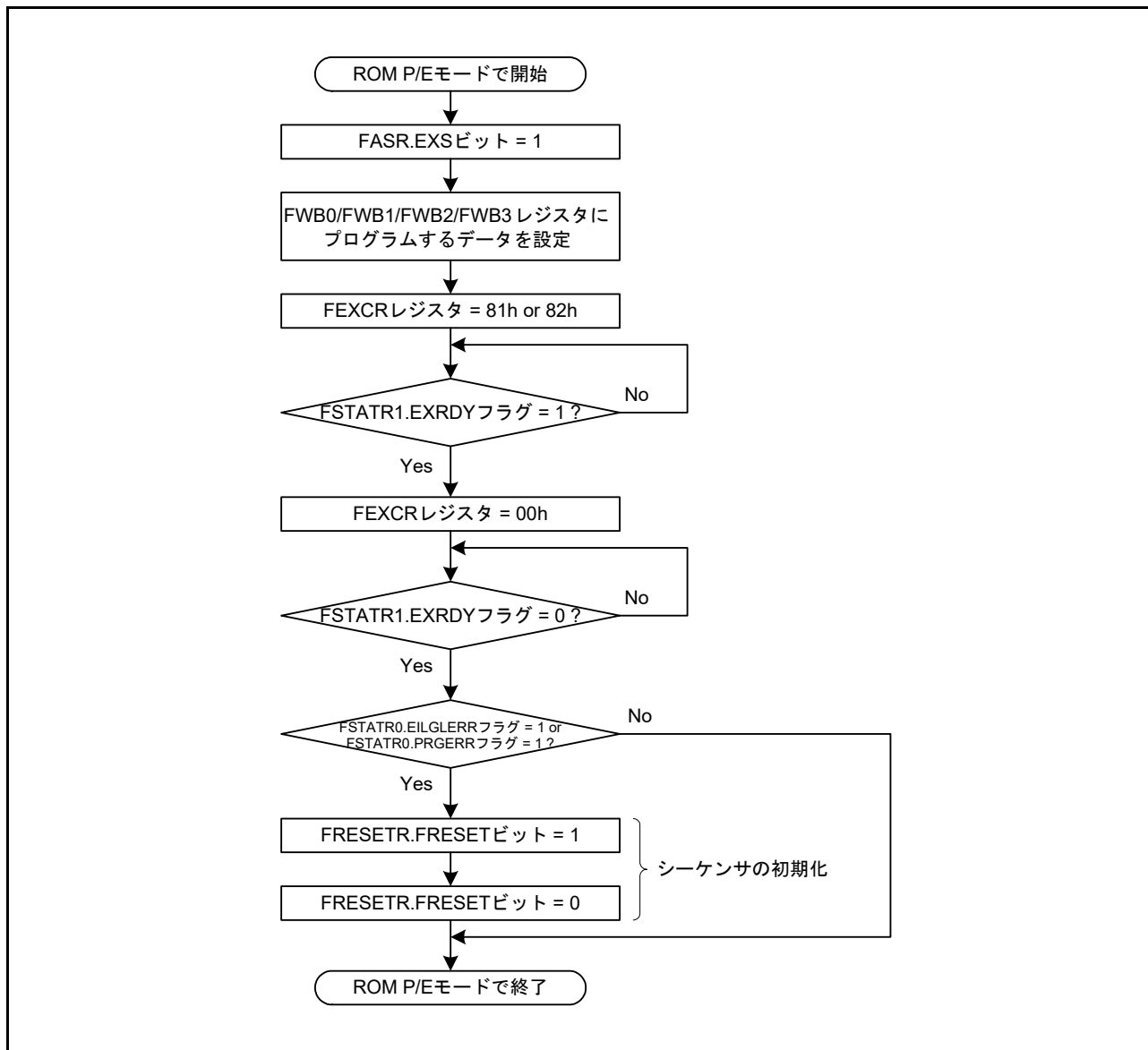


図 49.20 スタートアップ領域情報プログラムコマンド/アクセスウィンドウ情報プログラムコマンドの発行フロー

49.7.4.6 ソフトウェアコマンドの強制停止

ブランクチェックコマンド、ブロックイレーズコマンドを強制的に停止させるには、図 49.21 に従って実施してください。

強制停止を実行すると、FEAMH/FEAML レジスタに中断した時点のアドレスが格納されます。ブランクチェックの場合は、FEAMH/FEAML レジスタの値を FSARH/FSARL レジスタにコピーすることで、中断した処理を続きから再開させることができます。

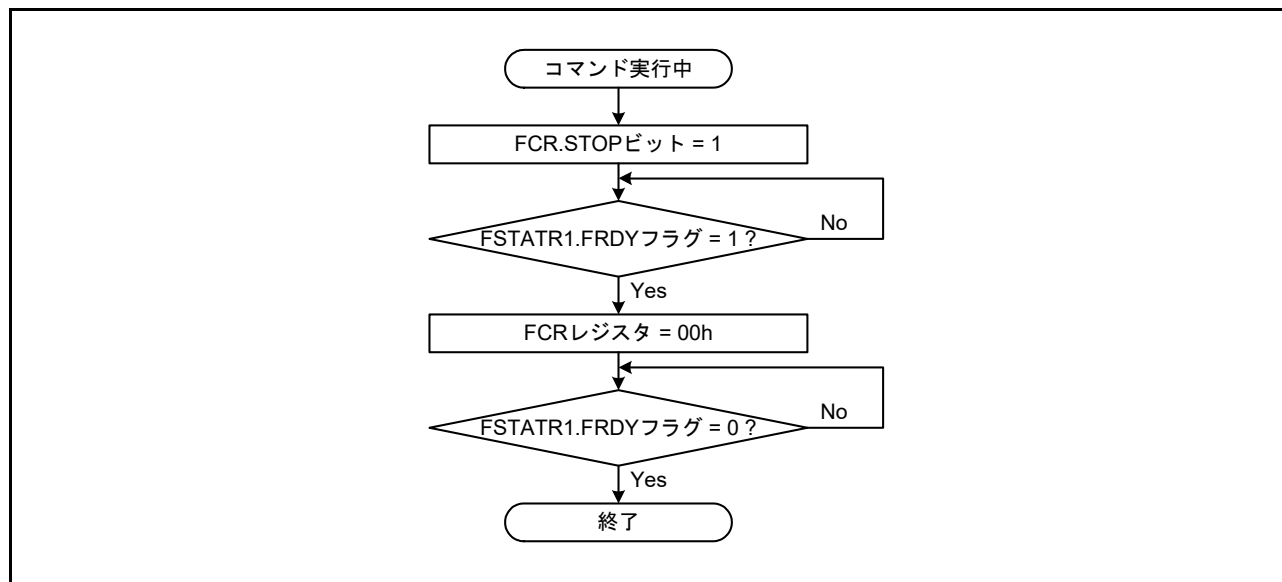


図 49.21 ソフトウェアコマンド強制停止の実行フロー

49.7.5 割り込み

ソフトウェアコマンド処理が完了するか、または強制停止処理が完了すると割り込み (FRDYI) が発生します。FCR.OPST ビットを“0”にすると FSTATR1.FRDY フラグが“0”に、また、FEXCR.OPST ビットを“0”にすると FSTATR1.EXRDY フラグが“0”になり、次の割り込み (FRDYI) を受け付けられるようになります。

本割り込みに対応する ICU の IERm.IEN ビットを“1”にする前に、IRn.IR フラグをクリアしてください。

49.8 ブートモード

ブートモードは、USB インタフェース、SCI インタフェース、または FINE インタフェースを使用します。

表 49.6 にブートモードでプログラム/イレーズ可能な領域と使用する周辺モジュールを、表 49.7 にブートモードで使用する入出力端子を示します。

表49.6 ブートモードでプログラム/イレーズ可能な領域と使用する周辺モジュール

項目	ブートモード		
	USBインタフェース	SCIインタフェース	FINEインタフェース
プログラム/イレーズ可能な領域	ユーザ領域 データ領域	ユーザ領域 データ領域	ユーザ領域 データ領域
使用する周辺モジュール	USB0	SCI1 (調歩同期式シリアル通信)	FINE

表49.7 ブートモードで使用する入出力端子

端子名	入出力	使用するモード	用途
PC7/UB	入力	ブートモード	動作モードを選択(「3. 動作モード」参照)
MD	入力		動作モードを選択(「3. 動作モード」参照)
MD/FINED	入出力	ブートモード (FINEインタフェース)	動作モードを選択、FINEデータ入出力
USB0_DP, USB0_DM	入出力	ブートモード (USBインタフェース)	データ入出力
P16/USB0_VBUS	入力		USBケーブルの接続/切断検出
P35/UPSEL	入力		バスパワーモードかセルフパワーモードの設定
P30/RXD1	入力	ブートモード (SCIインタフェース)	データ受信(注1)
P26/TXD1	出力		データ送信(注1)

注1. SCIインタフェースを使用する場合は、抵抗を介してVCCに接続(プルアップ)してください。

49.8.1 ブートモード (USB インタフェース)

ブートモード (USB インタフェース) は、フラッシュメモリのプログラム/イレーズに USB インタフェースを用いるモードです。ユーザ領域とデータ領域を書き換えることができます。

MD 端子を Low、UB 端子を High にしてリセットを解除すると、MCU はブートモード (USB インタフェース) で起動します。また、リセット解除時の UPSEL 端子の状態に応じてセルフパワーモードまたはバスパワーモードを選択できます。リセット解除時に UPSEL 端子が Low であればセルフパワーモード、UPSEL 端子が High であればバスパワーモードで動作します。

シリアルプログラマ (USB プログラマ) についてはメーカーにお問い合わせください。

49.8.1.1 ブートモード (USB インタフェース) の動作条件

ブートモード (USB インタフェース) では、シリアルプログラマとの通信に、USB0 を使用します。メインクロック発振器への入力周波数は、4, 6, 8, 12, 16 MHz のいずれかが使用できます。動作電圧は、3.0 V 以上 3.6 V 以下です。

また UB 端子は、VCC に直結、または抵抗を介して VCC に接続 (プルアップ) してください。

図 49.22 にブートモード (USB インタフェース) 時の端子接続例 (セルフパワーモード) を、表 49.8 にブートモード (USB インタフェース) 時に使用する端子の処理内容 (セルフパワーモード) を、図 49.23 にブートモード (USB インタフェース) 時の端子接続例 (バスパワーモード) を、表 49.9 にブートモード (USB インタフェース) 時に使用する端子の処理内容 (バスパワーモード) を示します。

なお、図 49.22、図 49.23 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものではありません。

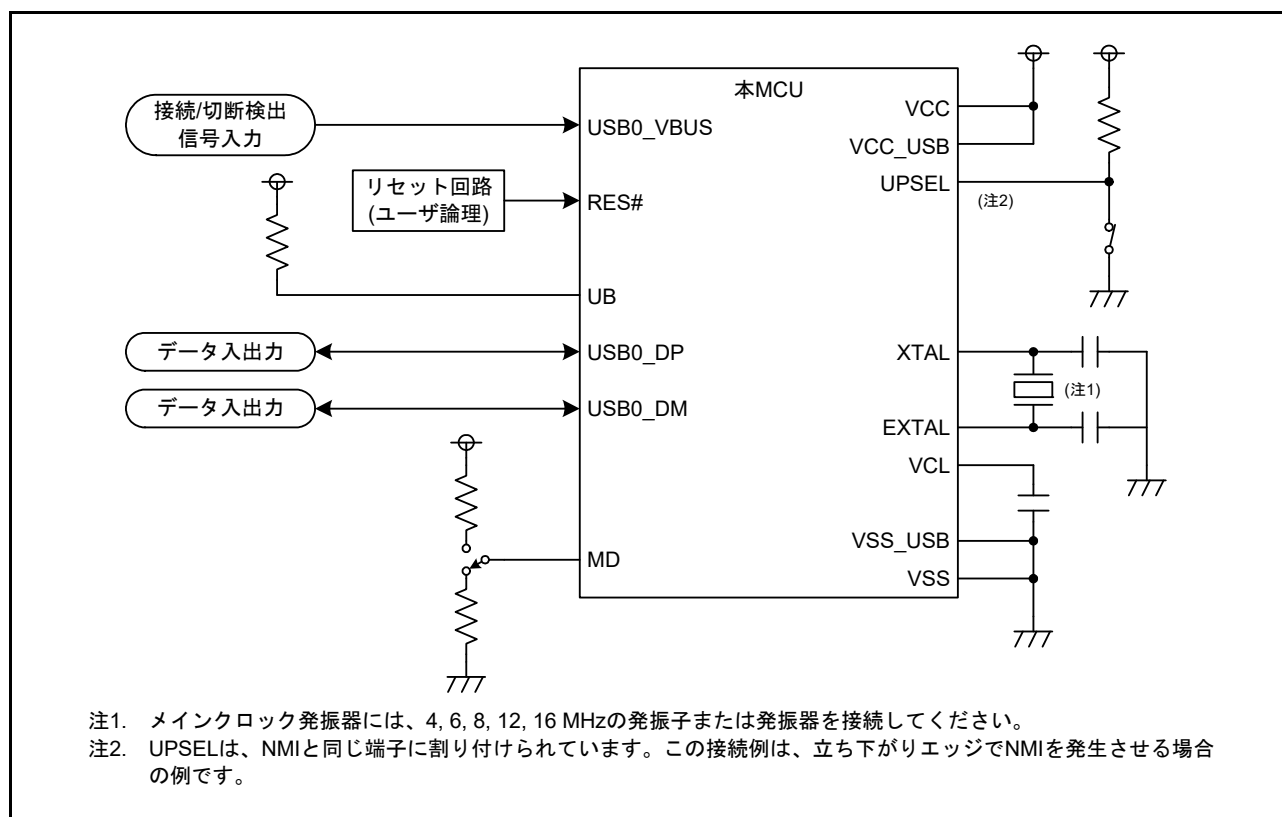


図 49.22 ブートモード (USB インタフェース) 時の端子接続例 (セルフパワーモード)

表 49.8 ブートモード(USBインタフェース)時に使用する端子の処理内容(セルフパワーモード)

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC端子には3.0V以上3.6V以下の電圧を、VSS端子には0Vを入力してください
VCC_USB, VSS_USB	USB電源	—	VCC_USBはVCCに接続してください。VSS_USBはVSSに接続してください
AVCC0, AVSS0	12ビットA/Dコンバータ電源	—	AVCC0はVCCに接続してください。AVSS0はVSSに接続してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介してVSSに接続してください
XTAL, EXTAL	メインクロック入出力端子	入出力	4, 6, 8, 12, 16 MHzの発振子または発振器を接続してください
MD	動作モードコントロール	入力	Lowを入力してください
PC7/UB	動作モードコントロール	入力	Highを入力してください(注1)
P35/UPSEL	USBパワーモードコントロール	入力	Lowを入力してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください
USB0_DP	USB内蔵トランシーバD+入出力端子	入出力	「32. USB2.0ホスト/ファンクションモジュール(USBd)」記載の回路へ接続してください
USB0_DM	USB内蔵トランシーバD-入出力端子	入出力	「32. USB2.0ホスト/ファンクションモジュール(USBd)」記載の回路へ接続してください
P16/USB0_VBUS	USBケーブル接続モニタ端子	入力	「32. USB2.0ホスト/ファンクションモジュール(USBd)」記載の回路へ接続してください

注1. 入力レベルはリセット解除後、2 ms以上、保持してください。

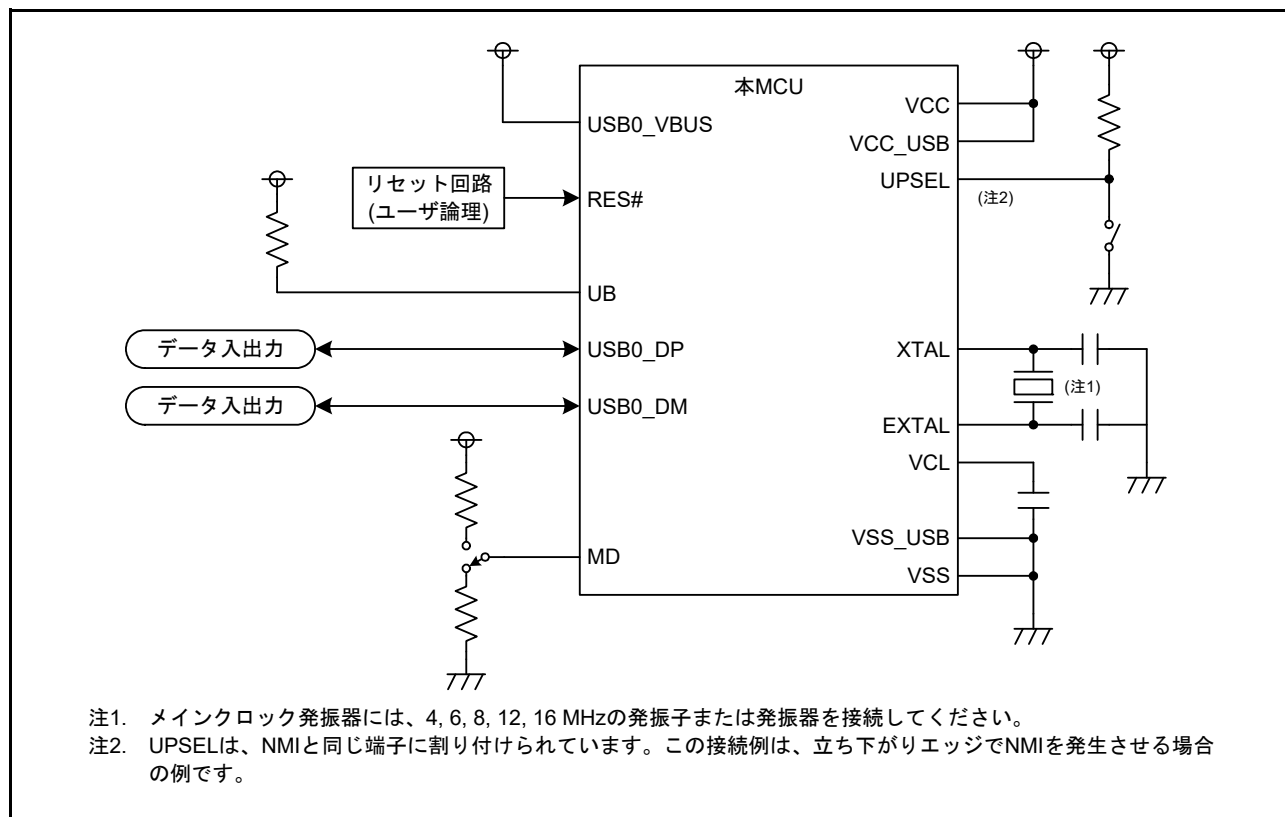


図 49.23 ブートモード (USB インタフェース) 時の端子接続例 (バスパワーモード)

表 49.9 ブートモード(USBインタフェース)時に使用する端子の処理内容(バスパワーモード)

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC端子には3.0V以上3.6V以下の電圧を、VSS端子には0Vを入力してください
VCC_USB, VSS_USB	USB電源	—	VCC_USBはVCCに接続してください。VSS_USBはVSSに接続してください
AVCC0, AVSS0	12ビットA/Dコンバータ電源	—	AVCC0はVCCに接続してください。AVSS0はVSSに接続してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介してVSSに接続してください
XTAL, EXTAL	メインクロック入出力端子	入出力	4, 6, 8, 12, 16 MHzの発振子または発振器を接続してください
MD	動作モードコントロール	入力	Lowを入力してください
PC7/UB	動作モードコントロール	入力	Highを入力してください(注1)
P35/UPSEL	USBパワーモードコントロール	入力	Highを入力してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください
USB0_DP	USB内蔵トランシーバD+入出力端子	入出力	「32. USB2.0ホスト/ファンクションモジュール(USBd)」記載の回路へ接続してください
USB0_DM	USB内蔵トランシーバD-入出力端子	入出力	「32. USB2.0ホスト/ファンクションモジュール(USBd)」記載の回路へ接続してください
P16/USB0_VBUS	USBケーブル接続モニタ端子	入力	USB0_VBUSはVCCに接続してください

注1. 入力レベルはリセット解除後、2 ms以上、保持してください。

49.8.2 ブートモード (SCI インタフェース)

ブートモード (SCI インタフェース) は、フラッシュメモリのプログラム / イレージに SCI の調歩同期式モードを用いるモードです。ユーザ領域とデータ領域を書き換えることができます。

MD 端子、UB 端子を Low にしてリセットを解除すると、MCU はブートモード (SCI インタフェース) で起動します。

シリアルプログラマについてはメーカーにお問い合わせください。

49.8.2.1 ブートモード (SCI インタフェース) の動作条件

ブートモード (SCI インタフェース) は、シリアルプログラマとの通信に、SCI1 を調歩同期式モードで使用します。図 49.24 にブートモード (SCI インタフェース) 時の端子接続例を、表 49.10 にブートモード (SCI インタフェース) 時に使用する端子の処理内容を示します。

なお、図 49.24 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保證するものではありません。

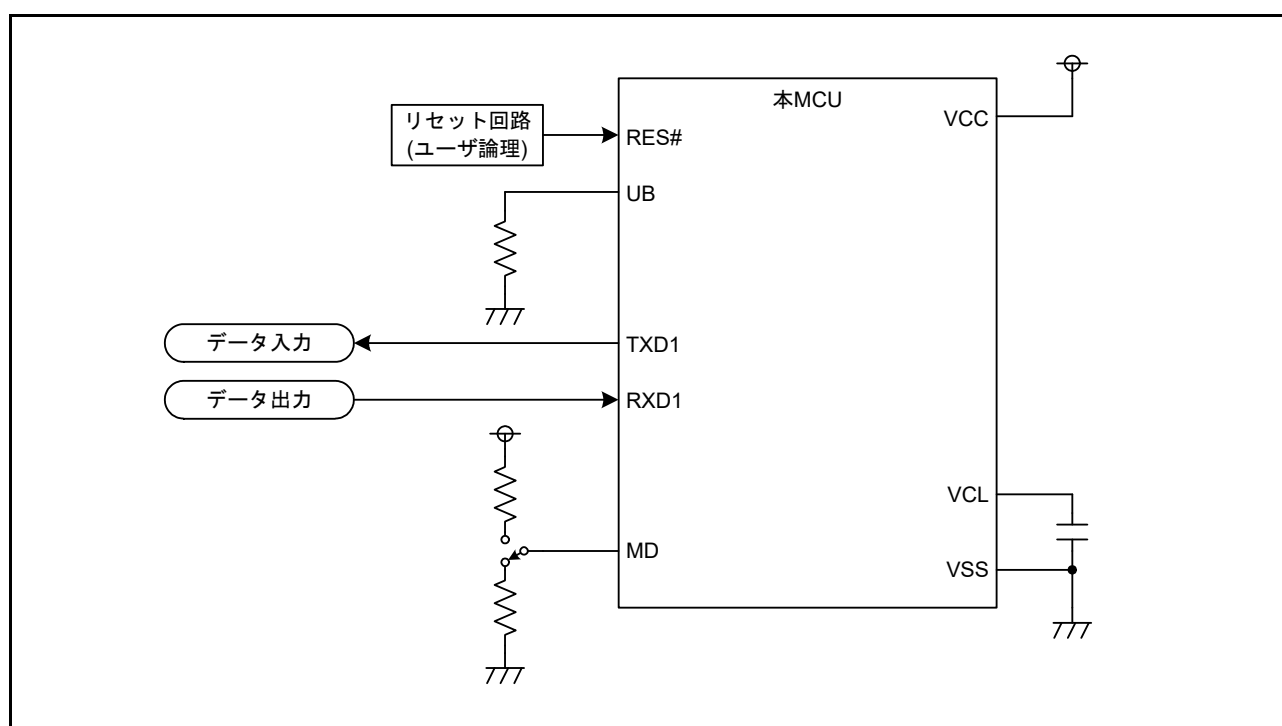


図 49.24 ブートモード (SCI インタフェース) 時の端子接続例

表 49.10 ブートモード (SCI インタフェース) 時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC 端子には 1.8 V 以上の電圧を、VSS 端子には 0 V を入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介して VSS に接続してください
MD	動作モードコントロール	入力	Low を入力してください
PC7/UB	動作モードコントロール	入力	Low を入力してください (注1)
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください
P30/RXD1	データ入力 RXD	入力	シリアルデータの入力端子です
P26/TXD1	データ出力 TXD	出力	シリアルデータの出力端子です

注1. 入力レベルはリセット解除後、2 ms 以上、保持してください。

シリアルプログラマとの通信フォーマットは、図 49.25 に示すとおり、8 ビットデータ、1 ストップビット、パリティなし、LSB ファーストです。

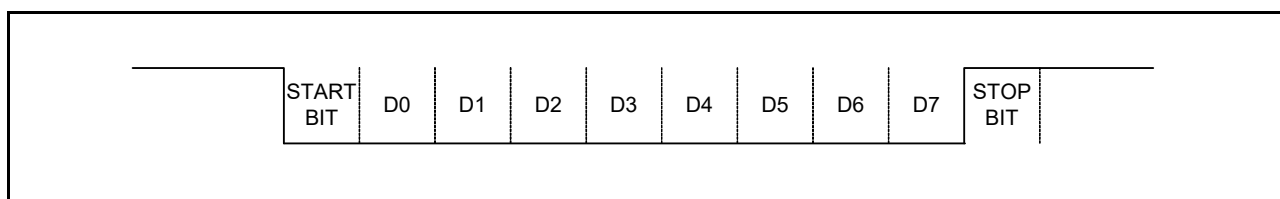


図 49.25 通信フォーマット

シリアルプログラマとの初期通信は、9,600 bps または 19,200 bps で行います。通信ビットレートは、接続後に変更できます。ブートモード (SCI インタフェース) で通信が可能な最大通信ビットレートを表 49.11 に示します。

表 49.11 通信可能な条件

動作電圧	最大通信ビットレート
3.0 V未満	500 kbps
3.0 V以上	2 Mbps

49.8.2.2 ブートモード (SCI インタフェース) の起動方法

ブートモード (SCI インタフェース) で起動するには、MD 端子、UB 端子を両方とも Low にして、リセットを解除 (RES# 端子を Low から High に) する必要があります。ブートモード (SCI インタフェース) で起動した後、400 ms 経過すると本 MCU との通信が可能になります。

図 49.26 に示すとおり、リセット解除後 400 ms の間は各端子の信号を変化させないでください。リセットに関しては、「50.3.2 リセットタイミング」に示す規格を守ってください。

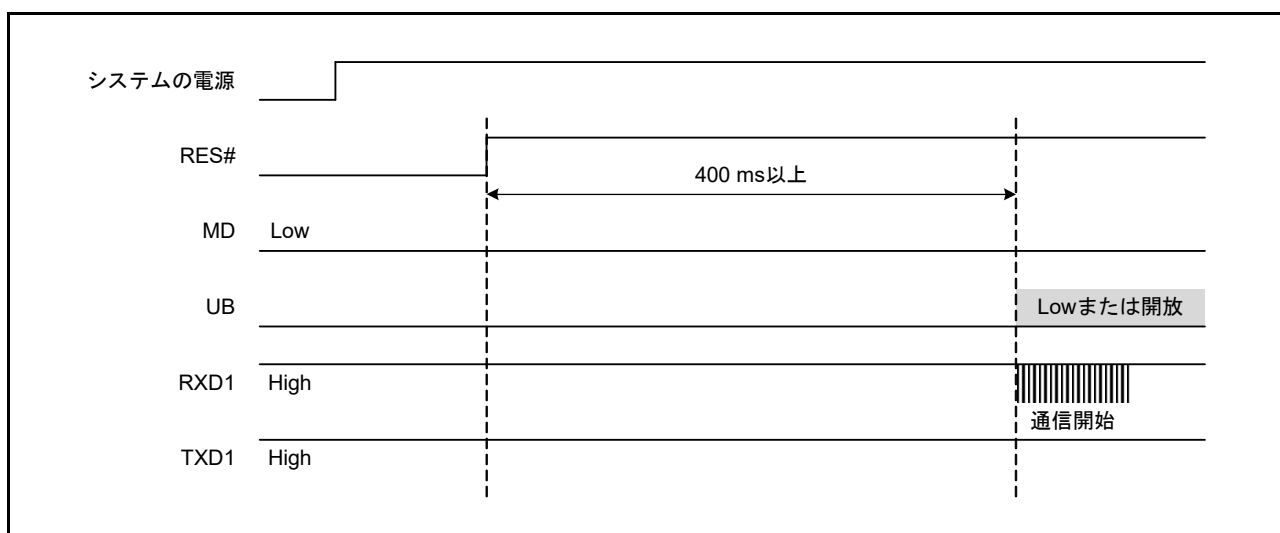


図 49.26 ブートモード (SCI インタフェース) で通信が可能になるまでの待ち時間

49.8.3 ブートモード (FINE インタフェース)

ブートモード (FINE インタフェース) は、フラッシュメモリのプログラム / イレーズに FINE を使用するモードです。ユーザ領域とデータ領域を書き換えることができます。

シリアルプログラマについてはメーカーにお問い合わせください。

49.8.3.1 ブートモード (FINE インタフェース) の動作条件

ブートモード (FINE インタフェース) は、シリアルプログラマとの通信に、FINE を使用します。

図 49.27 にブートモード (FINE インタフェース) 時の端子接続例を、表 49.12 にブートモード (FINE インタフェース) 時に使用する端子の処理内容を示します。

なお、図 49.27 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものではありません。

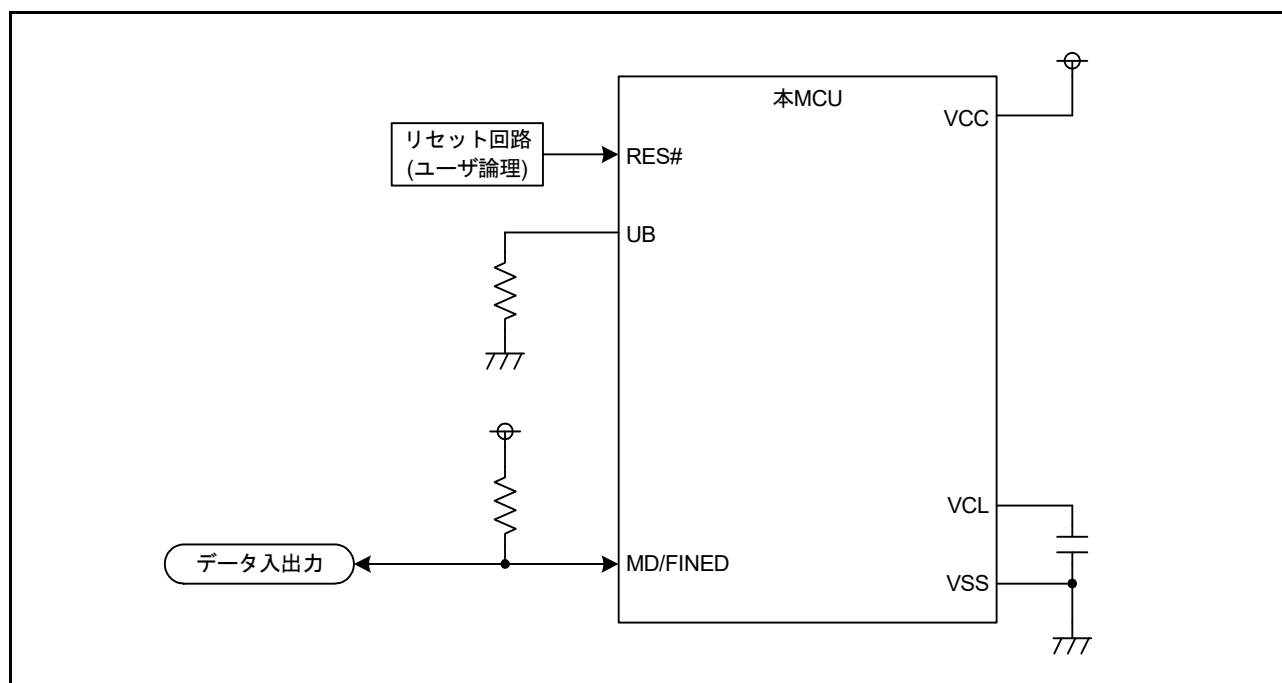


図 49.27 ブートモード (FINE インタフェース) 時の端子接続例

表 49.12 ブートモード (FINE インタフェース) 時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC 端子には 1.8 V 以上の電圧を、VSS 端子には 0 V を入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介して VSS に接続してください
MD	動作モードコントロール/ データ入出力	入出力	抵抗を介して VCC に接続 (プルアップ) してください
PC7/UB	動作モードコントロール	入力	Low を入力してください (注1)
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください

注1. 入力レベルはリセット解除後、2 ms 以上、保持してください。

49.9 フラッシュメモリプロテクト機能

フラッシュメモリプロテクト機能は、第三者によるフラッシュメモリの読み出し、書き換えから保護する機能です。

シリアルプログラマ接続時にはブートモード ID コードプロテクト、オンチップデバッキングエミュレータ接続時にはオンチップデバッキングエミュレータ ID コードプロテクトがあります。また、パラレルプログラマ接続時にはROM コードプロテクトがあります。

49.9.1 ID コードプロテクト

ID コードプロテクトには、シリアルプログラマを接続したときのブートモード ID コードプロテクト、オンチップデバッキングエミュレータを接続したときのオンチップデバッキングエミュレータ ID コードプロテクトの2つがあります。どちらも使用する ID コードは同じものですが、動作が異なります。

ID コードは、制御コード+ID コード1～ID コード15で構成されています。32ビット長4ワードのデータで、32ビット単位で設定してください。図 49.28 に ID コードの構成を示します。

	31	24 23	16 15	8 7	0
FFFF FFA0h	制御コード	IDコード1	IDコード2	IDコード3	
FFFF FFA4h	IDコード4	IDコード5	IDコード6	IDコード7	
FFFF FFA8h	IDコード8	IDコード9	IDコード10	IDコード11	
FFFF FFACH	IDコード12	IDコード13	IDコード14	IDコード15	

図 49.28 ID コードの構成

ID コードを設定するときのプログラムの記述例を以下に示します。

制御コード、ID コード1～ID コード15を順に“45h, 01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h, 09h, 0Ah, 0Bh, 0Ch, 0Dh, 0Eh, 0Fh”に設定する場合

C 言語：

```
#pragma address ID_CODE = 0xFFFFFA0
const unsigned long ID_CODE [4] = {0x45010203, 0x04050607, 0x08090A0B, 0x0C0D0E0F};
```

アセンブリ言語：

```
.SECTION ID_CODE, CODE
.ORG 0xFFFFFA0h
.LWORD 45010203h
.LWORD 04050607h
.LWORD 08090A0Bh
.LWORD 0C0D0E0Fh
```

49.9.1.1 ブートモード ID コードプロテクト

ブートモード ID コードプロテクトは、第三者がシリアルプログラマを接続したときのユーザ領域とデータ領域の読み出し、書き換えを禁止する機能です。

制御コードが“45h”または“52h”(ブートモード ID コードプロテクト有効)の場合は、シリアルプログラマから送られてくる 16 バイトのコードと、ユーザ領域上にある ID コードを比較し、その結果に従って、ユーザ領域とデータ領域の読み出し、書き換えを許可します。

制御コードが“45h”、“52h”以外(ブートモード ID コードプロテクト無効)の場合、ユーザ領域とデータ領域のすべてのブロックを消去し、ユーザ領域とデータ領域の読み出し、書き込みを許可します。

制御コードは、プロテクトの有効もしくは無効を設定します。表 49.13 にブートモード ID コードプロテクトの仕様を、図 49.29 にブートモード ID コードプロテクトの認証フローを示します。

ID コード 1 ~ ID コード 15 は、任意の値が設定できます。

ただし、無条件にシリアルプログラマの接続を禁止する場合は、ID コード 1 ~ ID コード 15 に順に“50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, FFh, FFh, FFh, FFh, FFh, FFh, FFh”と設定してください。

表 49.13 ブートモード ID コードプロテクトの仕様

ID コード		プロテクト	ID コードの 判定結果	動作
制御コード	ID コード 1 ~ ID コード 15			
45h	任意	有効	一致	ブートモード ID コード認証ステートを完了し、プログラム/イ レーズホストコマンド待ちステートに遷移する
			不一致	ブートモード ID コード認証ステートを継続する
			不一致 (3回連続)	ユーザ領域とデータ領域のすべてのブロックを消去し、ブート モード ID コード認証ステートを継続する
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, + FFh, ..., FFh (8 バ イトすべて FFh)	有効	—	シリアルプログラマが送信したコードの値に関係なく、フラッ シュメモリの読み出し、書き換えを許可しない
			一致	ブートモード ID コード認証ステートを完了し、プログラム/イ レーズホストコマンド待ちステートに遷移する
	上記以外		不一致	ブートモード ID コード認証ステートを継続する
上記以外	任意	無効	—	ユーザ領域とデータ領域のすべてのブロックを消去する

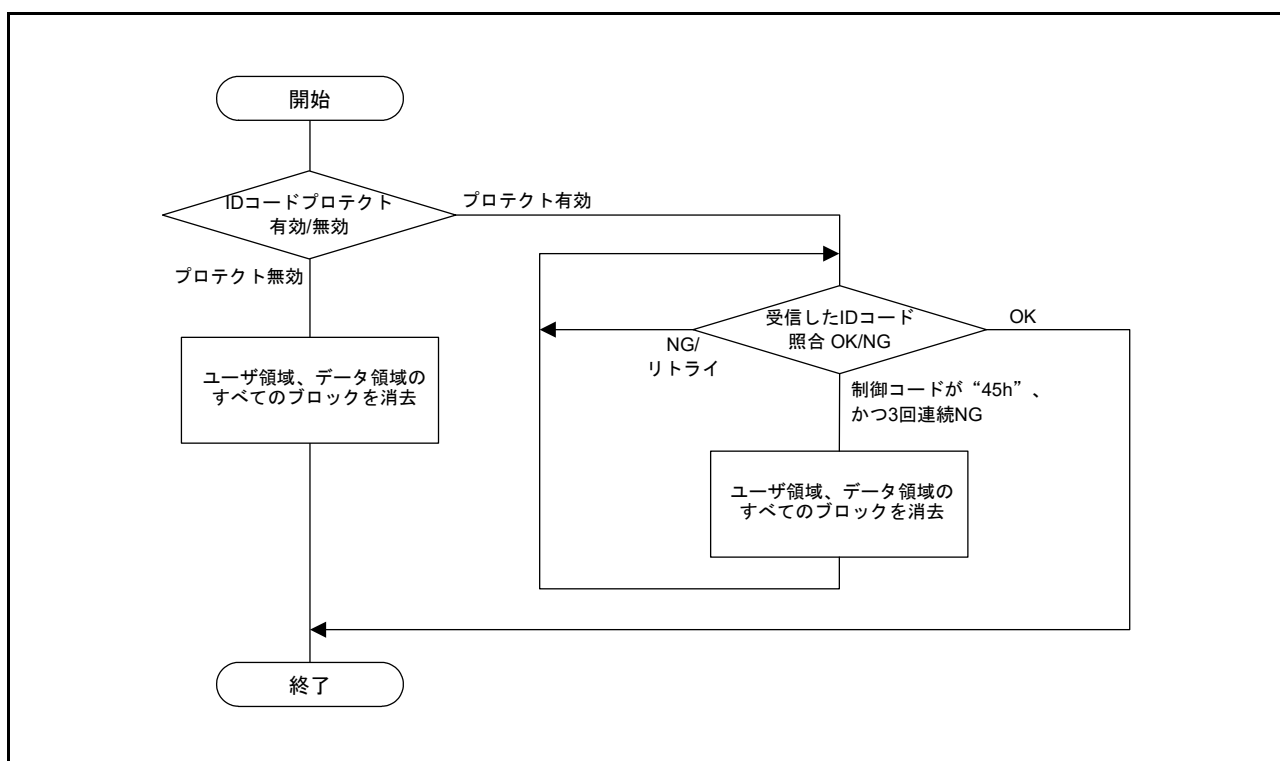


図 49.29 ブートモード ID コードプロテクトの認証フロー

49.9.1.2 オンチップデバッグエミュレータ ID コードプロテクト

オンチップデバッグエミュレータ ID コードプロテクトは、オンチップデバッグエミュレータとの接続を許可/禁止する機能です。

オンチップデバッグエミュレータ ID コードプロテクトが無効の場合もしくは、プロテクトが有効でオンチップデバッグエミュレータから送られてくる 16 バイトのコードとユーザ領域にある ID コードが一致した場合、オンチップデバッグエミュレータとの接続を許可します。

オンチップデバッグエミュレータ ID コードプロテクトの仕様を、表 49.14 に示します。

表 49.14 オンチップデバッグエミュレータ ID コードプロテクトの仕様

IDコード		プロテクト	IDコードの判定結果	動作
制御コード	IDコード1～IDコード15			
FFh	FFh, ..., FFh (15バイトすべてFFh)	無効	—	オンチップデバッグエミュレータとの接続を許可する
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, + 任意の8バイト	有効	—	オンチップデバッグエミュレータが送信したコードの値に関係なく、オンチップデバッグエミュレータの接続を許可しない
上記以外	上記以外	有効	一致	オンチップデバッグエミュレータとの接続を許可する
			不一致	IDコード待ちを継続する

49.9.2 ROMコードプロテクト

ROMコードプロテクトは、パラレルプログラマを使用する場合に第三者によるフラッシュメモリの読み出し、書き換えから保護する機能です。表 49.15 に ROMコードプロテクトの仕様を示します。

フラッシュメモリ上のROMコードは、32ビット長のデータで、ユーザ領域のブロック 0 内に配置されています。図 49.30 に ROMコードの構成を示します。ROMコードは 32ビット単位で設定してください。

ROMコードプロテクトを解除する場合、ブートモードもしくはセルフプログラミングでユーザ領域のブロック 0 をイレーズしてください。

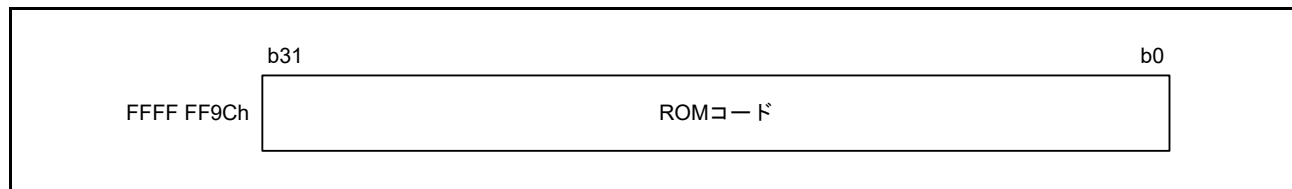


図 49.30 ROMコードの構成

表 49.15 ROMコードプロテクトの仕様

ROMコード	プロテクト	パラレルプログラマ接続時の動作
0000 0000h	有効	ユーザ領域、データ領域の読み出し、書き換えを禁止する
0000 0001h	有効	ユーザ領域、データ領域の読み出しを禁止する
上記以外	無効	ユーザ領域、データ領域の読み出し、書き換えを許可する

49.10 通信プロトコル

ここでは、ブートモードで使用するプロトコルについて説明します。シリアルプログラマを開発する場合には、この通信プロトコルに従って制御してください。

49.10.1 ブートモード (SCI インタフェース) の状態遷移

図 49.31 にブートモード (SCI インタフェース) の状態遷移図を示します。

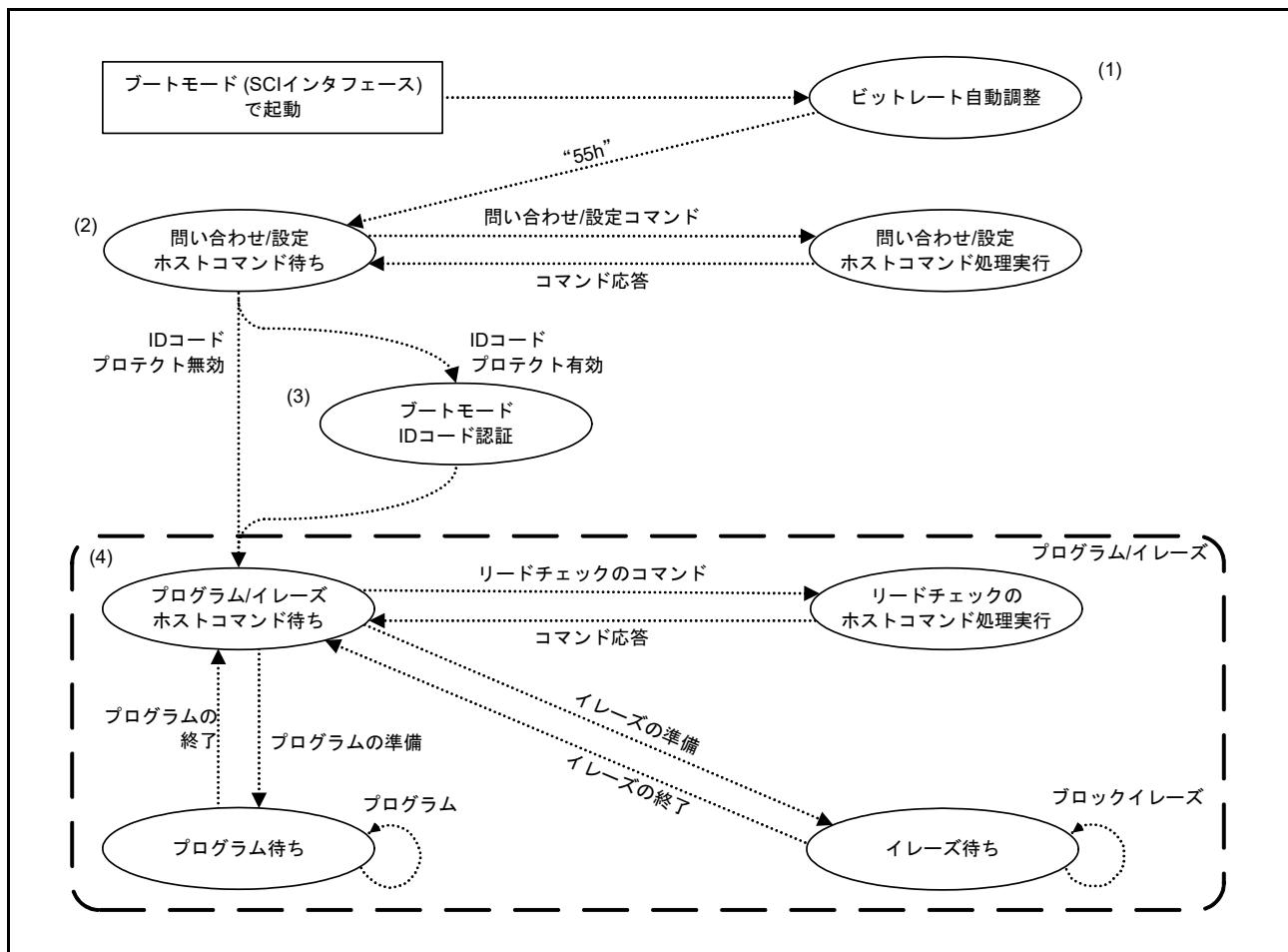


図 49.31 ブートモード (SCI インタフェース) の状態遷移図

(1) ビットレート自動調整ステート

ビットレート自動調整ステートでは、本 MCU とホスト間の通信ビットレートを 9,600 bps または 19,200 bps に自動調整します。本 MCU はビットレート自動調整が終了するとホストへ“00h”を送信します。ホストは“00h”を受け取った後、“55h”を送信してください。本 MCU は、“55h”を受信するとホストへ“E6h”を送信し、問い合わせ / 設定ホストコマンド待ちステートに遷移します。なお、ホストは、本 MCU のリセットを解除した後、400 ms 以上経過するまではデータを送信しないでください。

(2) 問い合わせ / 設定ホストコマンド待ちステート

問い合わせ / 設定ホストコマンド待ちステートでは、ブロック構成、ブロックサイズ、ユーザ領域やデータ領域の配置アドレスなど本 MCU の情報問い合わせや、データのエンディアン、ビットレートの選択ができます。本 MCU はホストからプログラム / イレーズホストコマンド待ちステート遷移コマンドを受信すると、ブートモード ID コードプロテクトの有効、無効を判定します。ブートモード ID コー

ドプロテクトが無効の場合、プログラム/イレーズホストコマンド待ちステートに遷移します。ブートモード ID コードプロテクトが有効の場合、ブートモード ID コード認証ステートに遷移します。問い合わせ/設定コマンドに関する詳細は、「49.10.5 問い合わせコマンド」、「49.10.6 設定コマンド」を参照してください。

(3) ブートモード ID コード認証ステート

ブートモード ID コード認証ステートでは、ID コード認証コマンドを受け付けます。ブートモード ID コードが不一致の場合は、ブートモード ID コード認証ステートから他のステートに遷移することはありません。

ブートモード ID コードプロテクトに関する詳細は、「49.9.1.1 ブートモード ID コードプロテクト」を参照してください。ID コード認証コマンドに関する詳細は、「49.10.7 ID コード認証コマンド」を参照してください。

(4) プログラム/イレーズステート

プログラム/イレーズステートでは、ホストからのコマンドに従って、プログラムやイレーズやリードチェックのコマンド処理を実行します。

プログラム/イレーズコマンドに関する詳細は、「49.10.8 プログラム/イレーズコマンド」を、リードチェックコマンドに関する詳細は、「49.10.9 リードチェックコマンド」を参照してください。

49.10.2 コマンドとレスポンスの構成

通信プロトコルは、ホストから本 MCU へ送信する“コマンド”と本 MCU からホストへ送信する“レスポンス”で構成されています。

コマンドには1バイトコマンドと複数バイトコマンドがあります。

レスポンスには1バイトレスポンスと複数バイトレスポンス、エラーレスポンスがあります。

複数バイトコマンド、複数バイトレスポンスには、送受信データのバイト数を通知する“サイズ”と、通信異常を検出するための“SUM”があります。

“サイズ”はコマンドコード(先頭1バイト)、サイズ、SUM を除いた送受信データのバイト数を指します。

“SUM”は、コマンドもしくはレスポンスの各バイトを合計した値が、“00h”になるように計算されたバイトデータを指します。

プログラムコマンドで指定するプログラムアドレス、ブロックイレーズコマンドで指定するブロック先頭アドレス、アクセスウィンドウ情報プログラムコマンドで指定する AW 先頭アドレス、AW 最終アドレス、アクセスウィンドウリードコマンドで受信する AW 先頭アドレス、AW 最終アドレスはフラッシュメモリの読み出し用アドレスを使用します。

49.10.3 未定義コマンドに対するレスポンス

本 MCU は未定義のコマンドを受信した場合、コマンドエラーを意味するレスポンスを返します。コマンドエラーのレスポンスの内容は以下のとおりです。エラーレスポンスの返信データには、受信したコマンドのコマンドコードが格納されています。

エラーレスポンス	80h	コマンド コード
----------	-----	-------------

49.10.4 ブートモードステータス問い合わせ

ブートプログラムの、現在のステータスと直前のコマンドを発行したときにどのようなエラーがあったか、確認するコマンドです。

本 MCU が応答するステータス、エラーの一覧を、表 49.16、表 49.17 に示します。

ブートモードステータス問い合わせコマンドは、問い合わせ / 設定ホストコマンド待ちステータスとプログラム / イレーズホストコマンド待ちステータスで使用することができます。

コマンド	4Fh				
レスポンス	5Fh	サイズ	ステータス	エラー	SUM
サイズ (1 バイト)	: ステータス、エラーのデータの総バイト数 (固定値で "02h")				
ステータス (1 バイト)	: 本 MCU の現在のステータス (表 49.16 を参照)				
エラー (1 バイト)	: 直前に発行したコマンドに対するエラー状況 (表 49.17 を参照)				
SUM (1 バイト)	: レスポンスデータを合計して "00h" になる値				

表 49.16 ステータスの内容

コード	ステータス (注1)	詳細
11h	問い合わせ/設定ホストコマンド待ちステータス	デバイス選択待ち
12h/13h		動作周波数選択待ち
1Fh		プログラム/イレーズホストコマンド待ちステータス遷移コマンド待ち
31h	ブートモードIDコード認証ステータス	ユーザ領域、データ領域のイレーズ中
3Fh	プログラム/イレーズホストコマンド待ちステータス	プログラム/イレーズコマンド待ち
4Fh		プログラムデータ受信待ち
5Fh		ブロックイレーズ指定待ち

注1. 状態遷移については、図 49.31 に記載しています。図の内容も併せて確認してください。

表 49.17 エラーの内容

コード	内容
00h	エラーなし
11h	SUMエラー
21h	デバイスコードエラー
24h	ビットレート選択エラー
29h	ブロック先頭アドレスエラー
2Ah	アドレスエラー
2Bh	データ長エラー
51h	イレーズエラー
52h	データあり(未消去エラー)
53h	プログラムエラー
61h	IDコード不一致
63h	IDコード不一致かつイレーズエラー
80h	コマンドエラー
FFh	ビットレート自動調整エラー

49.10.5 問い合わせコマンド

問い合わせコマンドは、設定コマンドやプログラム/イレーズコマンド、リードチェックコマンドを送信するために必要な基本情報を取得するコマンドです。表 49.18 に問い合わせコマンド一覧を示します。一覧にあるコマンドは、問い合わせ/設定ホストコマンド待ち状態でのみ使用可能です。

表 49.18 問い合わせコマンド一覧

コマンド	応答内容
サポートデバイス問い合わせ	デバイスコードとシリーズ名
データ領域有無問い合わせ	データ領域の有無
ユーザ領域情報問い合わせ	ユーザ領域の個数、領域先頭/領域最終アドレス
データ領域情報問い合わせ	データ領域の個数、領域先頭/領域最終アドレス
ブロック情報問い合わせ	ユーザ領域、データ領域それぞれの先頭アドレス、1ブロックのブロックサイズ、ブロック数

49.10.5.1 サポートデバイス問い合わせ

開発したソフトウェアのエンディアンを識別するためのデバイス情報を取得するコマンドです。

このコマンドを受信すると、本 MCU は開発したソフトウェアがリトルエンディアンで動作する場合のデバイス情報とビッグエンディアンで動作する場合のデバイスの情報を順に送信します。

コマンド	20h		
レスポンス	30h	サイズ	デバイス数
	文字数	デバイスコード(リトルエンディアン)	シリーズ名(リトルエンディアン)
	文字数	デバイスコード(ビッグエンディアン)	シリーズ名(ビッグエンディアン)
	SUM		

- サイズ(1バイト) : デバイス数、文字数、デバイスコード、シリーズ名のデータの総バイト数
 デバイス数(1バイト) : MCU がサポートするエンディアンの種別数(固定値で“02h”)
 文字数(1バイト) : デバイスコードとシリーズ名の文字数
 デバイスコード(4バイト) : 開発したソフトウェアのエンディアンを認識するための認識コード
 シリーズ名(nバイト) : MCU のシリーズ名とリトルエンディアン/ビッグエンディアンの別(ASCIIコード)
 SUM(1バイト) : レスポンスデータを合計して“00h”になる値

49.10.5.2 データ領域有無問い合わせ

このコマンドを受信すると、本MCUは「データ領域あり、エリアプロテクションあり、データ領域プログラムコマンドあり」という結果を送信します。

コマンド	2Ah			
レスポンス	3Ah	サイズ	領域有無	SUM
サイズ (1バイト)	: 領域有無の文字数 (固定値で "01h")			
領域有無 (1バイト)	: データ領域の有無 (固定値で "1Dh") (データ領域あり、エリアプロテクションあり、データ領域プログラムコマンドあり)			
SUM (1バイト)	: レスポンスデータを合計して "00h" になる値 (固定値で "A8h")			

49.10.5.3 ユーザ領域情報問い合わせ

このコマンドを受信すると、本MCUはユーザ領域の領域数とアドレスの情報を送信します。

コマンド	25h		
レスポンス	35h	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		
サイズ (1バイト)	: 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数 (固定値で "09h")		
領域数 (1バイト)	: ユーザ領域の領域数 (固定値で "01h")		
領域先頭アドレス (4バイト)	: ユーザ領域の先頭アドレス		
領域最終アドレス (4バイト)	: ユーザ領域の最終アドレス		
SUM (1バイト)	: レスポンスデータを合計して "00h" になる値		

49.10.5.4 データ領域情報問い合わせ

このコマンドを受信すると、本 MCU はデータ領域の領域数とアドレスの情報を送信します。

コマンド	2Bh		
レスポンス	3Bh	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ (1 バイト) : 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数 (固定値で "09h")
 領域数 (1 バイト) : データ領域の領域数 (固定値で "01h")
 領域先頭アドレス (4 バイト) : データ領域の先頭アドレス (固定値で "0010 0000h")
 領域最終アドレス (4 バイト) : データ領域の最終アドレス (固定値で "0010 1FFFh")
 SUM (1 バイト) : レスポンスデータを合計して "00h" になる値 (固定値で "7Dh")

49.10.5.5 ブロック情報問い合わせ

このコマンドを受信すると、本 MCU はユーザ領域の先頭アドレス、1 ブロックのブロックサイズ、ブロック数とデータ領域の先頭アドレス、1 ブロックのブロックサイズ、ブロック数を送信します。

コマンド	26h		
レスポンス	36h	サイズ	DDh
	ユーザ領域先頭アドレス		
	1ブロックブロックサイズ(ユーザ領域)		
	ユーザ領域ブロック数		
	データ領域先頭アドレス		
	1ブロックブロックサイズ(データ領域)		
	データ領域ブロック数		
	SUM		

サイズ (2 バイト) : "DDh" からデータ領域ブロック数までのデータの総バイト数 (固定値で "00 19h")
 ユーザ領域先頭アドレス (4 バイト) : ユーザ領域の先頭アドレス
 1 ブロックブロックサイズ (ユーザ領域) (4 バイト) : 1 ブロックのメモリサイズ (固定値で "00 00 08 00h")
 ユーザ領域ブロック数 (4 バイト) : ユーザ領域を構成するブロックの数
 データ領域先頭アドレス (4 バイト) : データ領域の先頭アドレス (固定値で "00 10 00 00h")
 1 ブロックブロックサイズ (データ領域) (4 バイト) : 1 ブロックのメモリサイズ (固定値で "00 00 04 00h")
 データ領域ブロック数 (4 バイト) : データ領域を構成するブロックの数 (固定値で "00 00 00 08h")
 SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

49.10.6 設定コマンド

設定コマンドは、本MCUのプログラムやイレーズを実行するために必要な基本設定を行うためのコマンドです。

表 49.19 に設定コマンドの一覧を示します。一覧にあるコマンドは、問い合わせ / 設定ホストコマンド待ちステートでのみ使用できます。

表49.19 設定コマンド一覧

コマンド	機能
デバイス選択	デバイスコードの選択
動作周波数選択	通信のビットレートを変更
プログラム/イレーズホストコマンド待ちステート遷移	プログラム/イレーズホストコマンド待ちステート、またはブートモードIDコード認証ステートに遷移

49.10.6.1 デバイス選択

開発したソフトウェアのエンディアンを指定するコマンドです。コマンドに指定するデバイスコードは、サポートデバイス問い合わせコマンドで取得したデバイスコードの中から選択してください。

本MCUは受け取ったデバイスコードがサポートしているデバイスに一致した場合、レスポンス“46h”を送信します。サポートしていないデバイスであった場合や、受信したコマンドのSUM値が一致しなかった場合には、エラーレスポンスを送信します。

コマンド	10h	サイズ	デバイスコード	SUM
------	-----	-----	---------	-----

サイズ (1 バイト) : デバイスコードの文字数 (固定値で“04h”)

デバイスコード (4 バイト) : 開発したソフトウェアのエンディアンを認識するための認識コード
(サポートデバイス問い合わせコマンドの応答と同一のデバイスコード)

SUM (1 バイト) : コマンドデータを合計して“00h”になる値

レスポンス

46h

エラーレスポンス

90h	エラー
-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“21h” : デバイスコードエラー

49.10.6.2 動作周波数選択

MCUの動作周波数、フラッシュメモリプログラマとの通信ビットレートを指定するコマンドです。コマンドに指定するビットレートは、動作電圧に応じた32 MHzか8 MHzを分周して得られるビットレートとの誤差が4%未満となるビットレートを設定してください。

本MCUは指定された設定内容がサポート可能である場合、レスポンス“06h”を送信します。ビットレート誤差が4%以上の場合や、受信したコマンドのSUM値が一致しなかった場合には、エラーレスポンスを送信します。

ホストはレスポンスを受信した後、旧ビットレートで1ビット期間以上待ってから新ビットレートで通信確認データを送信してください。

本MCUは通信確認データを正しく受信できた場合、レスポンス“06h”を送信します。正しく受信できなかった場合には、エラーレスポンスを送信します。

コマンド	3Fh	サイズ	ビットレート		ダミーデータ
	クロック数	通倍率1	通倍率2		
	SUM				

サイズ (1バイト) : ビットレート、ダミーデータ、クロック数、通倍率のデータの総バイト数 (固定値で“07h”)

ビットレート (2バイト) : 新ビットレート

ビットレートを1/100した値を設定 (例: 19200 bpsの場合、“00C0h”を設定)

ダミーデータ (2バイト) : 固定値で“0000h”を設定

クロック数 (1バイト) : 通倍率を設定するクロックの種類 (固定値: “02h”)

通倍率1 (1バイト) : システムクロック (ICLK) の通倍率 (固定値で“01h”)

通倍率2 (1バイト) : 周辺モジュールクロック (PCLK) の通倍率 (固定値で“01h”)

SUM (1バイト) : コマンドデータ (ダミーデータを含む) を合計して“00h”になる値

レスポンス

06h

エラーレスポンス

BFh

エラー

エラー (1バイト) : エラーコード

“11h” : SUMエラー

“24h” : ビットレート選択エラー

通信確認

06h

レスポンス

06h

エラーレスポンス

FFh

- ビットレート選択エラー

動作周波数選択コマンドで指定したビットレートを、本 MCU が誤差 4% 未満で生成できない場合にビットレート選択エラーが発生します。

動作周波数選択コマンドで指定した新ビットレートを B、動作電圧に応じた 32 (MHz) か 8 (MHz) を Pφ にした場合のビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left(\frac{P\phi \times 10^6}{B \times 32 \times N} - 1 \right) \times 100$$

$$N = \text{INT} \left(\frac{P\phi \times 10^6}{B \times 32} \right)$$

Pφ : 動作電圧が 3.0 V 以上の場合、32 (MHz)
3.0 V 未満の場合、8 (MHz)

B : 新ビットレート (bps)

N : Pφ と新ビットレートの 32 倍との比 (ただし、1 ≤ N ≤ 256)

49.10.6.3 プログラム / イレーズホストコマンド待ちステート遷移

問い合わせ / 設定ホストコマンド待ちステートからプログラム / イレーズホストコマンド待ちステートに遷移させるために使用するコマンドです。このコマンドを受信すると、本 MCU はブートモード ID コードプロテクトの有効、無効を判定します。

ブートモード ID コードプロテクトが無効の場合、ユーザ領域、データ領域のすべてのブロックをイレーズします。すべてのブロックのイレーズが完了するとレスポンス “06h” を送信し、プログラム / イレーズホストコマンド待ちステートに遷移します。正しくすべてのブロックをイレーズできなかった場合には、エラーレスポンスを送信します。

ブートモード ID コードプロテクトが有効の場合、レスポンス “16h” を送信し、ブートモード ID コード認証ステートに遷移します。

コマンド	40h
レスポンス	ACK
ACK (1 バイト)	: ACK コード “06h” : ID コードプロテクト無効 “16h” : ID コードプロテクト有効
エラーレスポンス	C0h エラー
エラー (1 バイト)	: エラーコード “51h” : イレーズエラー

49.10.7 IDコード認証コマンド

IDコード認証コマンドは、ブートモードIDコードプロテクトが有効の場合に、IDコード認証を行うためのコマンドです。表 49.20 に ID コード認証コマンドの一覧を示します。一覧にあるコマンドは、ブートモード ID コード認証状態でのみ使用可能です。

表 49.20 IDコード認証コマンド一覧

コマンド	機能
IDコードチェック	ホストから送信する16バイトのコードとIDコードとを比較する

49.10.7.1 IDコードチェック

ブートモード ID コードプロテクトを解除するために使用するコマンドです。コマンド中で指定する比較用 ID コードは、ユーザ領域にプログラム済みの制御コード、ID コード 1 ~ ID コード 15 と同じ値にしてください。

ホストから送信した比較用 ID コードと、ユーザ領域にプログラムされた ID コードが一致した場合、本 MCU はレスポンス “06h” を送信し、プログラム / イレーズホストコマンド待ち状態に遷移します。一致しなかった場合や受信したコマンドの SUM 値が一致しなかった場合、エラーレスポンスを送信します。

制御コードに “45h” がプログラムされているときに 3 回連続で不一致となった場合、ユーザ領域、データ領域のすべてのブロックをイレーズします。イレーズ中にエラーが発生すると、本 MCU はエラーレスポンスを送信します。また、すべてのブロックのイレーズが正常に完了してもエラーレスポンスを送信し、ブートモード ID コード認証状態を継続します。プログラム / イレーズホストコマンド待ち状態に遷移するには、本 MCU をリセットしてください。

コマンド	60h	サイズ
	比較用 ID コード (制御コード + ID コード 1 ~ ID コード 15)	
	SUM	

サイズ (1 バイト) : ID コードのバイト数 (固定値で “10h”)

ID コード (16 バイト) : 制御コード (1 バイト) + ID コード 1 ~ ID コード 15 (15 バイト)

SUM (1 バイト) : コマンドデータを合計して “00h” になる値

レスポンス	ACK
-------	-----

ACK (1 バイト) : ACK コード

“06h” : プログラム / イレーズホストコマンド待ち状態に遷移します。

エラーレスポンス	E0h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“61h” : ID コード不一致

“63h” : ID コード不一致かつイレーズエラー

49.10.8 プログラム/イレーズコマンド

プログラム/イレーズコマンドは、問い合わせコマンドのレスポンスをもとに、本MCUのユーザ領域やデータ領域に対してプログラムやイレーズを行うコマンドです。表 49.21 にプログラム/イレーズホストコマンド待ち、プログラム待ち、イレーズ待ちの各状態で使用可能なプログラム/イレーズコマンドの一覧を、表 49.22 に各状態で受け付けるコマンドを示します。

各状態で表 49.22 に記載されていないコマンドを受信するとコマンドエラーのレスポンスを送信します。

表49.21 プログラム/イレーズコマンド一覧

コマンド	機能
ユーザ/データ領域プログラム準備	ユーザ領域、データ領域にデータをプログラムするためのプログラム待ち状態に遷移
プログラム	ユーザ領域またはデータ領域の指定領域に指定したデータをプログラム。 またはプログラム/イレーズホストコマンド待ち状態に遷移(プログラムの終了)
データ領域プログラム	データ領域の指定領域に指定したサイズのデータをプログラム。 またはプログラム/イレーズホストコマンド待ち状態に遷移(データ領域プログラムの終了)
イレーズ準備	イレーズ待ち状態に遷移
ブロックイレーズ	指定ブロックのイレーズ、またはプログラム/イレーズホストコマンド待ち状態に遷移(イレーズの終了)

表49.22 ステート毎の受け付け可能なコマンド

ステート	受け付け可能なコマンド
プログラム/イレーズホストコマンド待ち状態	ユーザ/データ領域プログラム準備コマンド、イレーズ準備コマンド
プログラム待ち状態	プログラムコマンド、データ領域プログラムコマンド
イレーズ待ち状態	ブロックイレーズコマンド

49.10.8.1 ユーザ/データ領域プログラム準備

プログラムコマンドとデータ領域プログラムコマンドの受け付け準備をさせるためのコマンドです。このコマンドを受信すると、本MCUはプログラムの準備の指示がホストから行われたと判断し、プログラムコマンドとデータ領域プログラムコマンドのみ受け付ける、プログラム待ち状態に遷移し、レスポンス“06h”を送信します。

コマンド

43h

レスポンス

06h

49.10.8.2 プログラム

ユーザ領域、データ領域に指定のデータを書き込むためのコマンドです。コマンド中で指定するプログラムアドレスは、下位 8 ビットを“0”にしてください。プログラムデータ長が 256 バイトに満たないデータを書き込むことはできません。不足部分は“FFh”で埋めてください。

本 MCU は指定されたアドレスからのプログラムが正常に終了すると、レスポンス“06h”を送信します。受信したコマンドの SUM 値が一致しなかった場合や、プログラム中にエラーが発生すると、本 MCU はエラーレスポンスを送信します。

プログラムを終了してプログラム/イレーズホストコマンド待ちステートに遷移する場合、ホストから“50h FFh FFh FFh FFh B4h”を送信してください。本 MCU はレスポンス“06h”を送信し、プログラム/イレーズホストコマンド待ちステートに遷移します。

コマンド	50h	プログラムアドレス
	プログラムデータ	
	SUM	

プログラムアドレス (4 バイト) : プログラム先のアドレス

下位 8 ビットを“0”に設定

プログラムを終了する場合は“FFFF FFFFh”を設定

プログラムデータ (n バイト) : プログラムデータ (n = 256 または 0 (終了時))

n バイトに満たない領域には“FFh”を設定

プログラムを終了する場合はプログラムデータなし

SUM (1 バイト)

: コマンドデータを合計して“00h”になる値

レスポンス

06h

エラーレスポンス

D0h	エラー
-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー (アドレスが指定の領域内でない)

“53h” : プログラムエラー (データが書き込めない)

49.10.8.3 データ領域プログラム

データ領域に指定のデータを書き込むためのコマンドです。コマンド中で指定するプログラムアドレスは、下位2ビットを“0”にしてください。プログラムデータ長が4バイトに満たないデータを書き込むことはできません。不足部分は“FFh”で埋めてください。

本MCUは指定されたアドレスからのプログラムが正常に終了すると、レスポンス“06h”を送信します。受信したコマンドのSUM値が一致しなかった場合や、プログラム中にエラーが発生すると、本MCUはエラーレスポンスを送信します。

プログラムを終了してプログラム/イレーズホストコマンド待ちステートに遷移する場合、ホストから“51h FFh FFh FFh FFh 00h B3h”を送信してください。本MCUはレスポンス“06h”を送信し、プログラム/イレーズホストコマンド待ちステートに遷移します。

コマンド	51h	プログラムアドレス	プログラムデータ長
	プログラムデータ		
	SUM		

プログラムアドレス (4 バイト) : データ領域のプログラム先アドレス

指定するアドレスの下位2ビットは“0”に設定

データ領域プログラムを終了する場合は“FFFF FFFFh”を設定

プログラムデータ長 (1 バイト) : プログラムデータのサイズ

4バイト単位のデータを設定

データ領域プログラムを終了する場合は“00h”を設定

プログラムデータ (n バイト) : データ領域へのプログラムデータ (n = プログラムデータ長、“0” (終了時))

プログラムデータ長分のデータを設定

nバイトに満たない領域には“FFh”を設定

データ領域プログラムを終了する場合はプログラムデータなし

SUM (1 バイト)

: コマンドデータを合計して“00h”になる値

レスポンス	06h
-------	-----

エラーレスポンス	D1h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー

“2Bh” : データ長エラー

“53h” : プログラムエラー (データが書き込めない)

49.10.8.4 イレーズ準備

ブロックイレーズコマンドの受け付け準備をさせるためのコマンドです。このコマンドを受信すると、本MCUはイレーズの準備の指示がホストから行われたと判断し、ブロックイレーズコマンドのみを受け付けるイレーズ待ちステートに遷移し、レスポンス“06h”を送信します。

コマンド	48h
レスポンス	06h

49.10.8.5 ブロックイレーズ

ユーザ領域、データ領域の指定のブロックを消去するためのコマンドです。コマンド中で指定するブロック先頭アドレスは、ブロック情報問い合わせコマンドのレスポンスを元にアドレスを計算して指定してください。

本MCUはブロック先頭アドレスで指定されたブロックのイレーズが正常に終了すると、レスポンス“06h”を送信します。受信したコマンドのSUM値が一致しなかった場合や、イレーズ中にエラーが発生すると、本MCUはエラーレスポンスを送信します。

イレーズを終了してプログラム/イレーズホストコマンド待ちステートに遷移する場合、ホストから“59h 04h FFh FFh FFh FFh A7h”を送信してください。本MCUはプログラム/イレーズホストコマンド待ちステートに遷移し、レスポンス“06h”を送信します。

コマンド	59h	サイズ
	ブロック先頭アドレス	
	SUM	

サイズ (1バイト) : ブロック先頭アドレスのデータの総バイト数 (固定値で“04h”)

ブロック先頭アドレス (4バイト) : イレーズするブロックの先頭アドレス
イレーズを終了する場合には“FFFF FFFFh”を設定

SUM (1バイト) : コマンドデータを合計して“00h”になる値

レスポンス	06h
-------	-----

エラーレスポンス	D9h	エラー
----------	-----	-----

エラー (1バイト) : エラーコード
 “11h” : SUMエラー
 “29h” : ブロック先頭アドレスエラー
 “51h” : イレーズエラー (指定ブロックがイレーズできない)

49.10.9 リードチェックコマンド

リードチェックコマンドは、問い合わせコマンドのレスポンスをもとに、本MCUのユーザ領域やデータ領域に対してデータリードやブランクチェックを行うコマンドです。表 49.23 にプログラム/イレーズホストコマンド待ち状態で使用可能なリードチェックコマンドの一覧を示します。

表 49.23 リードチェックコマンド一覧

コマンド	機能
メモリリード	ユーザ領域、データ領域のデータ読み出し
ユーザ領域チェックサム	ユーザ領域全体のチェックサムを取得
データ領域チェックサム	データ領域全体のチェックサムを取得
ユーザ領域ブランクチェック	ユーザ領域のプログラム済みデータの有無をチェック
データ領域ブランクチェック	データ領域のプログラム済みデータの有無をチェック
アクセスウィンドウ情報プログラム	アクセスウィンドウの設定
アクセスウィンドウリード	アクセスウィンドウの設定読み出し

49.10.9.1 メモリリード

ユーザ領域、データ領域にプログラムされているデータを読み出すコマンドです。コマンド中で指定する読み出し先頭アドレスは、ユーザ領域情報問い合わせコマンド、データ領域情報問い合わせコマンドのレスポンス中の領域先頭アドレスから領域最終アドレスまでの範囲内の値を設定してください。

コマンド中で指定する読み出しサイズは、読み出し先頭アドレスに読み出しサイズを加算したアドレスが、ユーザ領域情報問い合わせコマンド、データ領域情報問い合わせコマンドのレスポンス中の領域先頭アドレスから領域最終アドレスまでの範囲に入るように設定してください。

本MCUはデータを正常にリードできた場合、指定された範囲のデータを送信します。受信したコマンドのSUM値が一致しなかった場合や、リードを正常に実行できなかった場合、エラーレスポンスを送信します。

コマンド	52h	サイズ	領域
	読み出し先頭アドレス		
	読み出しサイズ		
	SUM		

サイズ (1 バイト) : 領域、読み出し先頭アドレス、読み出しサイズのデータの総バイト数

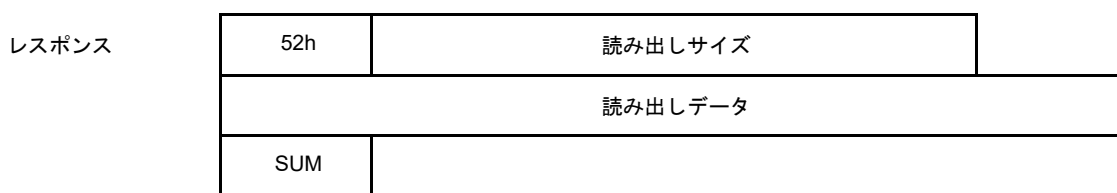
領域 (1 バイト) : 読み出し対象の領域

“01h” : ユーザ領域またはデータ領域

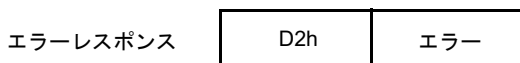
読み出し先頭アドレス (4 バイト) : 読み出し対象範囲の先頭アドレス

読み出しサイズ (4 バイト) : 読み出すデータのサイズ (バイト単位)

SUM (1 バイト) : コマンドデータを合計して “00h” になる値



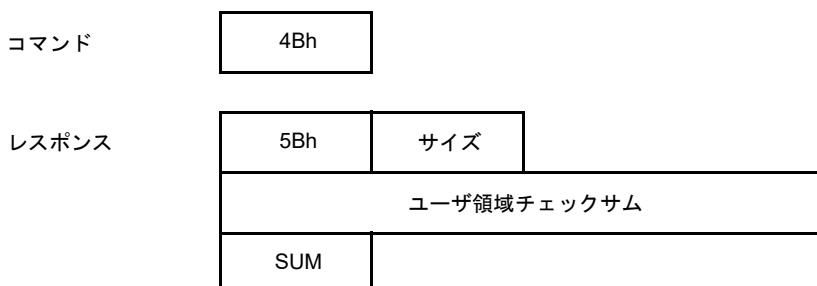
読み出しサイズ (4 バイト) : 読み出したデータのサイズ (バイト単位)
 読み出しデータ (n バイト) : 指定範囲から読み出したデータ (n = 読み出しサイズ)
 SUM (1 バイト) : レスポンスデータを合計して "00h" になる値



エラー (1 バイト) : エラーコード
 "11h" : SUM エラー
 "2Ah" : アドレスエラー
 ・ コマンドの「領域」に "01h" 以外を指定した
 ・ コマンドの読み出し先頭アドレスが読み出し対象領域の範囲外である
 "2Bh" : サイズエラー
 ・ コマンドの読み出しサイズに "0000 0000h" が指定されている
 ・ コマンドの読み出しサイズが読み出し対象領域のサイズを超えている
 ・ コマンドの読み出し先頭アドレスと読み出しサイズを加算したアドレスが読み出し対象領域の範囲外である

49.10.9.2 ユーザ領域チェックサム

ユーザ領域全体のチェックサムを取得するコマンドです。このコマンドを受信すると、本 MCU はユーザ領域の先頭アドレスから最終アドレスまでのデータをバイト単位で加算し、加算結果 (チェックサム) をレスポンスとして送信します。



サイズ (1 バイト) : ユーザ領域チェックサムのバイト数 (固定値で "04h")
 ユーザ領域チェックサム (4 バイト) : ユーザ領域のデータを 1 バイト単位で加算した結果
 SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

49.10.9.3 データ領域チェックサム

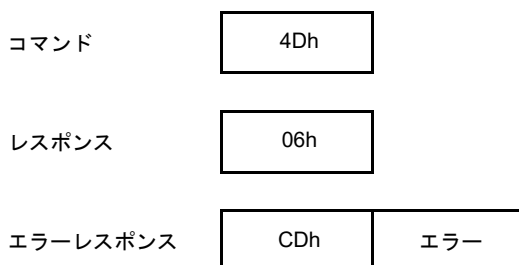
データ領域全体のチェックサムを取得するコマンドです。このコマンドを受信すると、本MCUはデータ領域の先頭アドレスから最終アドレスまでのデータをバイト単位で加算し、加算結果(チェックサム)をレスポンスとして送信します。



サイズ(1バイト) : データ領域チェックサムのバイト数(固定値で“04h”)
 データ領域チェックサム(4バイト) : データ領域のデータを1バイト単位で加算した結果
 SUM(1バイト) : レスポンスデータを合計して“00h”になる値

49.10.9.4 ユーザ領域ブランクチェック

ユーザ領域にデータがプログラムされているかどうかを確認するコマンドです。このコマンドを受信すると、本MCUはユーザ領域全体のブランクチェックを行い、データがプログラムされていない場合、レスポンス“06h”を送信します。1バイトでもデータがプログラムされている場合には、エラーレスポンスを送信します。



エラー(1バイト) : エラーコード
 “52h” : データあり

49.10.9.5 データ領域ブランクチェック

データ領域にデータがプログラムされているかどうかを確認するコマンドです。このコマンドを受信すると、本MCUはデータ領域全体のブランクチェックを行い、データがプログラムされていない場合、レスポンス“06h”を送信します。1バイトでもデータがプログラムされている場合には、エラーレスポンスを送信します。

コマンド	62h	
レスポンス	06h	
エラーレスポンス	E2h	エラー

エラー (1バイト) : エラーコード
 “52h” : データあり

49.10.9.6 アクセスウィンドウ情報プログラム

エリアプロテクションで使用するアクセスウィンドウを設定するコマンドです。コマンド中で指定するアクセスウィンドウ先頭アドレスには、スタートブロックの先頭アドレスを指定してください。また、アクセスウィンドウ最終アドレスには、エンドブロックの最終アドレスを指定してください。

本MCUは指定されたアクセスウィンドウの設定が正常に終了すると、レスポンス“06h”を送信します。受信したコマンドのSUM値が一致しなかった場合や、アクセスウィンドウの設定中にエラーが発生すると、エラーレスポンスを送信します。

アクセスウィンドウの詳細については、「49.6 エリアプロテクション」を参照してください。

コマンド	74h	05h	AW区分	
	AW先頭 アドレスLH	AW先頭 アドレスHL	AW最終 アドレスLH	AW最終 アドレスHL
	SUM			

AW区分 (1バイト)	: アクセスウィンドウの設定 / 解除 アクセスウィンドウを設定する場合には“00h”を設定 アクセスウィンドウを解除する場合には“FFh”を設定
AW先頭アドレスLH (1バイト)	: アクセスウィンドウ範囲の先頭アドレス (A15 ~ A8) スタートブロック先頭アドレスのA15 ~ A8を設定 アクセスウィンドウを解除する場合には“FFh”を設定
AW先頭アドレスHL (1バイト)	: アクセスウィンドウ範囲の先頭アドレス (A23 ~ A16) スタートブロック先頭アドレスのA23 ~ A16を設定 アクセスウィンドウを解除する場合には“FFh”を設定
AW最終アドレスLH (1バイト)	: アクセスウィンドウ範囲の最終アドレス (A15 ~ A8) エンドブロック最終アドレスのA15 ~ A8を設定 アクセスウィンドウを解除する場合には“FFh”を設定
AW最終アドレスHL (1バイト)	: アクセスウィンドウ範囲の最終アドレス (A23 ~ A16) エンドブロック最終アドレスのA23 ~ A16を設定 アクセスウィンドウを解除する場合には“FFh”を設定
SUM (1バイト)	: コマンドデータを合計して“00h”になる値

レスポンス

06h

エラーレスポンス

F4h	エラー
-----	-----

エラー (1バイト) : エラーコード
 “11h” : SUM エラー
 “2Ah” : アドレスエラー (指定されたアドレスが領域内がない)
 “53h” : プログラムエラー (アクセスウィンドウの設定ができない)

49.10.9.7 アクセスウィンドウリード

設定されているアクセスウィンドウの範囲を確認するためのコマンドです。

本 MCU はアクセスウィンドウの範囲を正常に取得できた場合、読み出したアクセスウィンドウ先頭アドレスとアクセスウィンドウ最終アドレスを送信します。受信したコマンドの SUM 値が一致しなかった場合、エラーレスポンスを送信します。

コマンド

73h	01h	FFh	8Dh
-----	-----	-----	-----

レスポンス

73h	05h		
AW先頭 アドレスLH	AW先頭 アドレスHL	AW最終 アドレスLH	AW最終 アドレスHL
FFh			
SUM			

AW 先頭アドレス LH (1バイト) : アクセスウィンドウ範囲の先頭アドレス (A15 ~ A8)
 AW 先頭アドレス HL (1バイト) : アクセスウィンドウ範囲の先頭アドレス (A23 ~ A16)
 AW 最終アドレス LH (1バイト) : アクセスウィンドウ範囲の最終アドレス (A15 ~ A8)
 AW 最終アドレス HL (1バイト) : アクセスウィンドウ範囲の最終アドレス (A23 ~ A16)
 SUM (1バイト) : レスポンスデータを合計して “00h” になる値

エラーレスポンス

F3h	エラー
-----	-----

エラー (1バイト) : エラーコード
 “11h” : SUM エラー

49.11 ブートモード (SCI インタフェース) でのシリアルプログラマ動作説明

ブートモード (SCI インタフェース) を用いたシリアルプログラマで、ユーザ領域、データ領域のプログラム/イレーズを行う手順を説明します。

1. ビットレート自動調整
2. MCU の情報を取得 (注 1)
3. デバイスの指定、ビットレートの変更
4. プログラム/イレーズホストコマンド待ちステートへの遷移
5. ブートモード ID コードプロテクトの解除
6. ユーザ領域、データ領域のイレーズ (注 2、注 3)
7. ユーザ領域、データ領域のプログラム (注 2、注 3)
8. ユーザ領域のデータを確認 (注 2)
9. データ領域のデータを確認 (注 2)
10. ユーザ領域にアクセスウィンドウを設定
11. MCU のリセット

注 1. 2. の処理は、取得する情報がすでにある場合、省略できます。

注 2. 6. ~ 10. の処理は、必要に応じて行ってください。また実行順を入れ替えても構いません。

注 3. タイムアウトが発生した場合や無効な応答データを受信した場合は、処理を中断し、11. の処理を行ってください。

上記 2. ~ 10. の処理で使用するコマンドの詳細は、それぞれ「49.10.5 問い合わせコマンド」、「49.10.6 設定コマンド」、「49.10.7 ID コード認証コマンド」、「49.10.8 プログラム/イレーズコマンド」、「49.10.9 リードチェックコマンド」を参照してください。

49.11.1 ビットレート自動調整の制御手順

MCUはシリアルプログラマから9,600 bpsまたは19,200 bpsで送信されるデータ“00h”のLow期間を測定してビットレートの自動調整を行います。

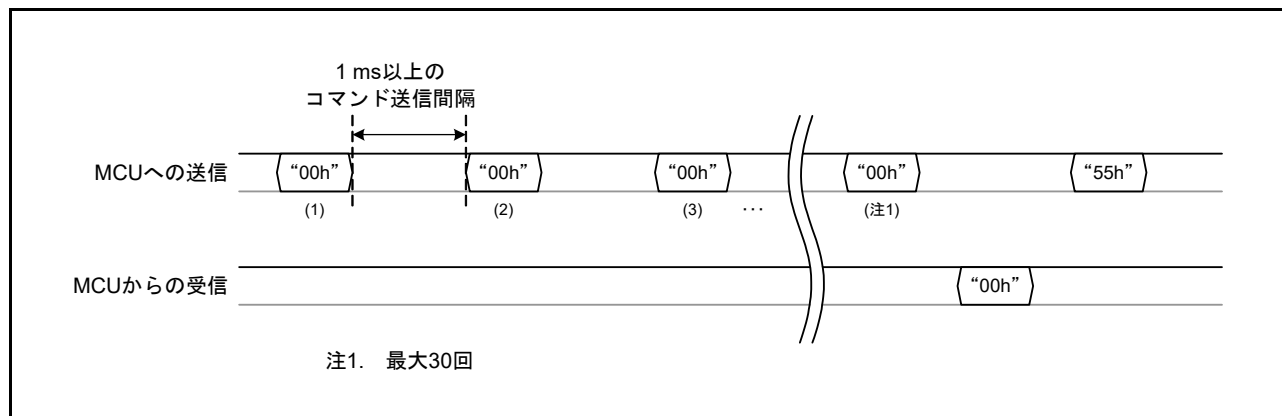


図 49.32 ビットレート自動調整時のデータフォーマット

ブートモードで起動して400 ms以上経過した後にシリアルプログラマから“00h”を送信してください。MCUはビットレート調整が終了すると“00h”をシリアルプログラマへ送信します。シリアルプログラマが“00h”を受信した場合には、シリアルプログラマから“55h”を送信してください。“00h”を受信できなかった場合は、1 ms以上置いて再度“00h”を送信してください。30回“00h”を送信しても“00h”を受信できなかった場合は、MCUをブートモードで再起動し、再度ビットレート自動調整をやり直してください。

MCUは“55h”を受信すると“E6h”を送信して問い合わせ/設定コマンド待ち状態になります。“55h”を受信できなかった場合には“FFh”を送信します。シリアルプログラマは“FFh”を受信したら、MCUをブートモードで再起動し、再度ビットレート自動調整からやり直してください。

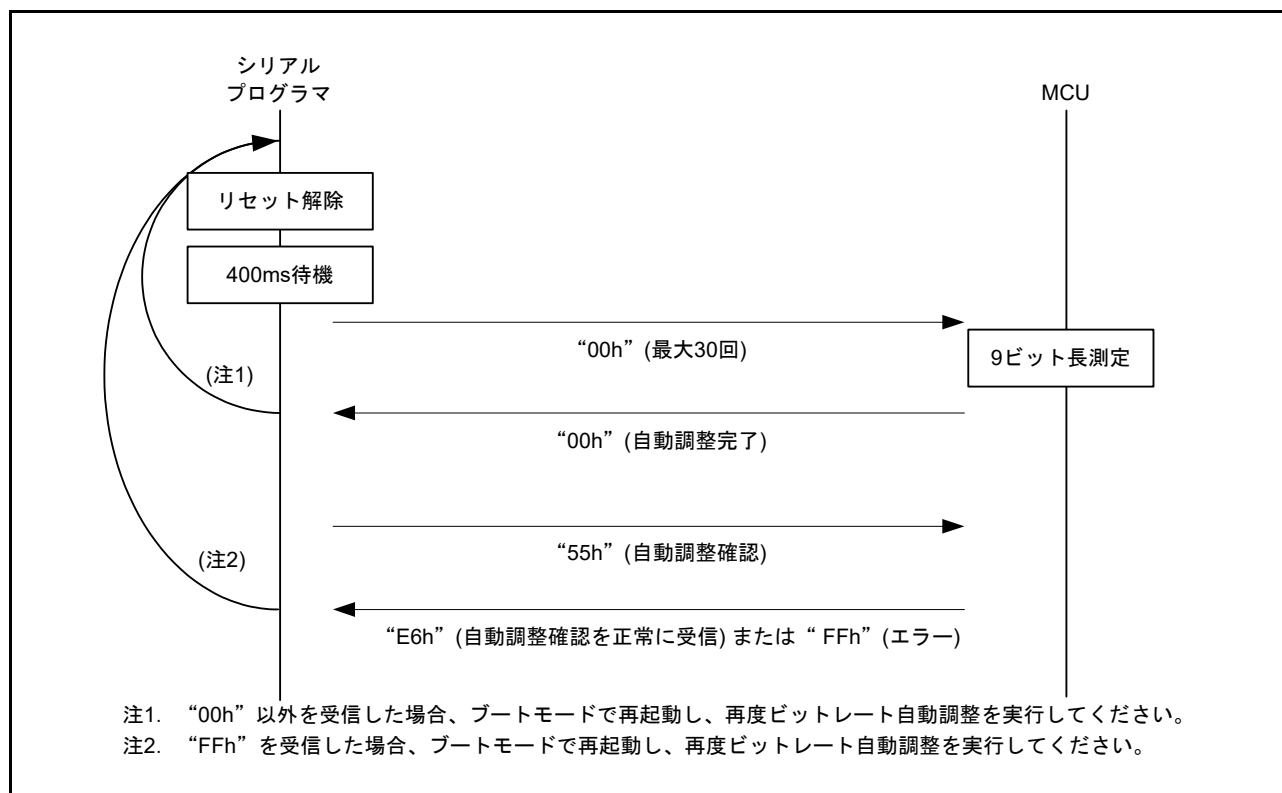


図 49.33 ビットレート自動調整の手順

49.11.2 MCU の情報取得手順

問い合わせコマンドを送信し、設定コマンドとプログラム/イレーズコマンド、リードチェックコマンドを送信するために必要な情報を取得します。

- (1) MCU がどのエンディアンをサポートしているのかを確認するため、サポートデバイス問い合わせコマンド“20h”を送信します。MCU はサポートしているすべてのデバイスコードとシリーズ名を応答します。
- (2) ユーザ領域の先頭アドレスと最終アドレスを確認するため、ユーザ領域情報問い合わせコマンド“25h”を送信します。MCU はユーザ領域の先頭アドレスと最終アドレスを応答します。
- (3) ブロックの構成を確認するため、ブロック情報問い合わせコマンド“26h”を送信します。MCU はユーザ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数とデータ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数を応答します。
- (4) データ領域の先頭アドレスと最終アドレスを確認するため、データ領域情報問い合わせコマンド“2Bh”を送信します。MCU はデータ領域の先頭アドレスと最終アドレスを応答します。

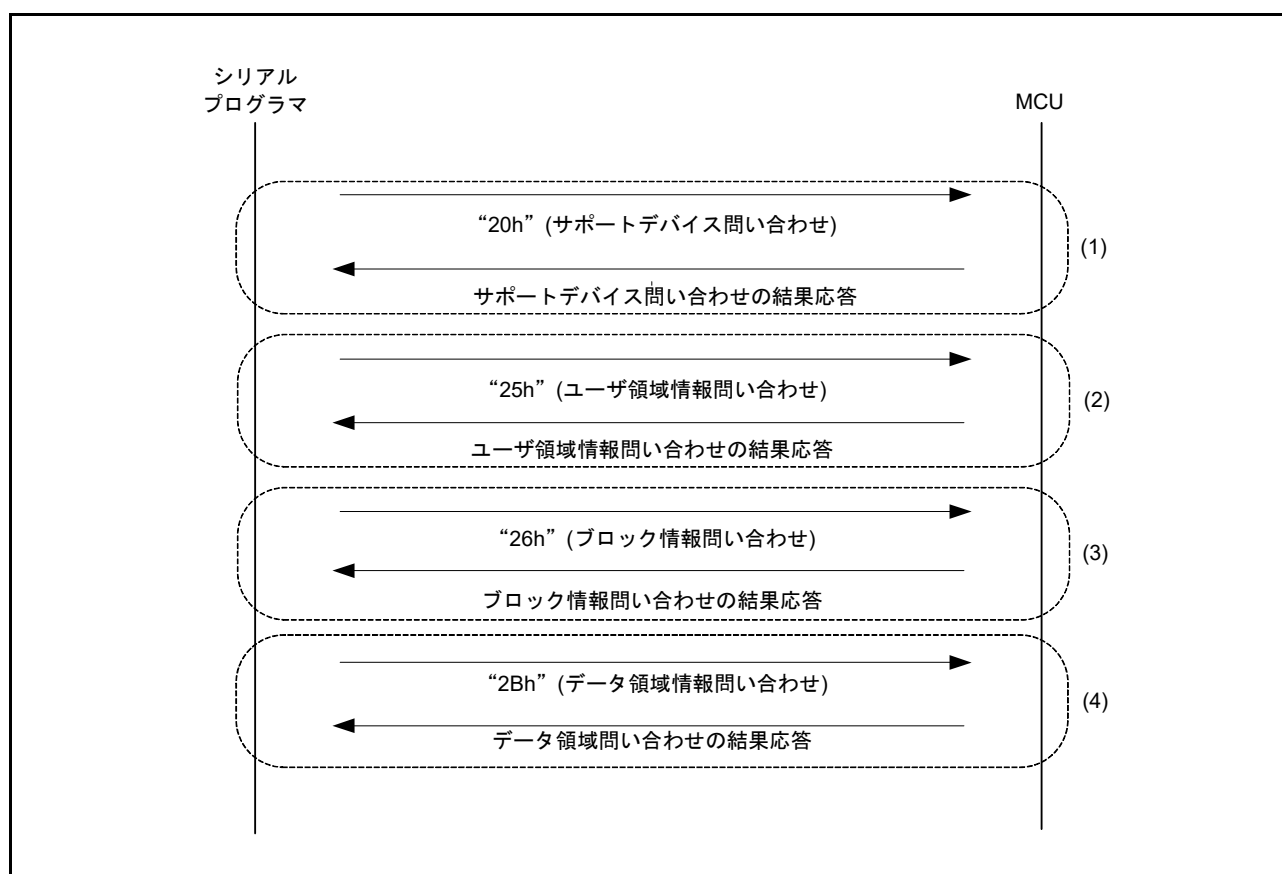


図 49.34 MCU の情報取得手順

49.11.3 デバイス指定、ビットレート変更の制御手順

シリアルプログラマと接続するデバイスの指定と通信ビットレートの変更を行います。

- (1) デバイス選択コマンド“10h”を送信します。開発したソフトウェアのエンディアンに合わせて、デバイスコードを指定してください。
- (2) 通信ビットレートを 9,600 bps または 19,200 bps から変更するため、動作周波数選択コマンド“3Fh”を送信します。

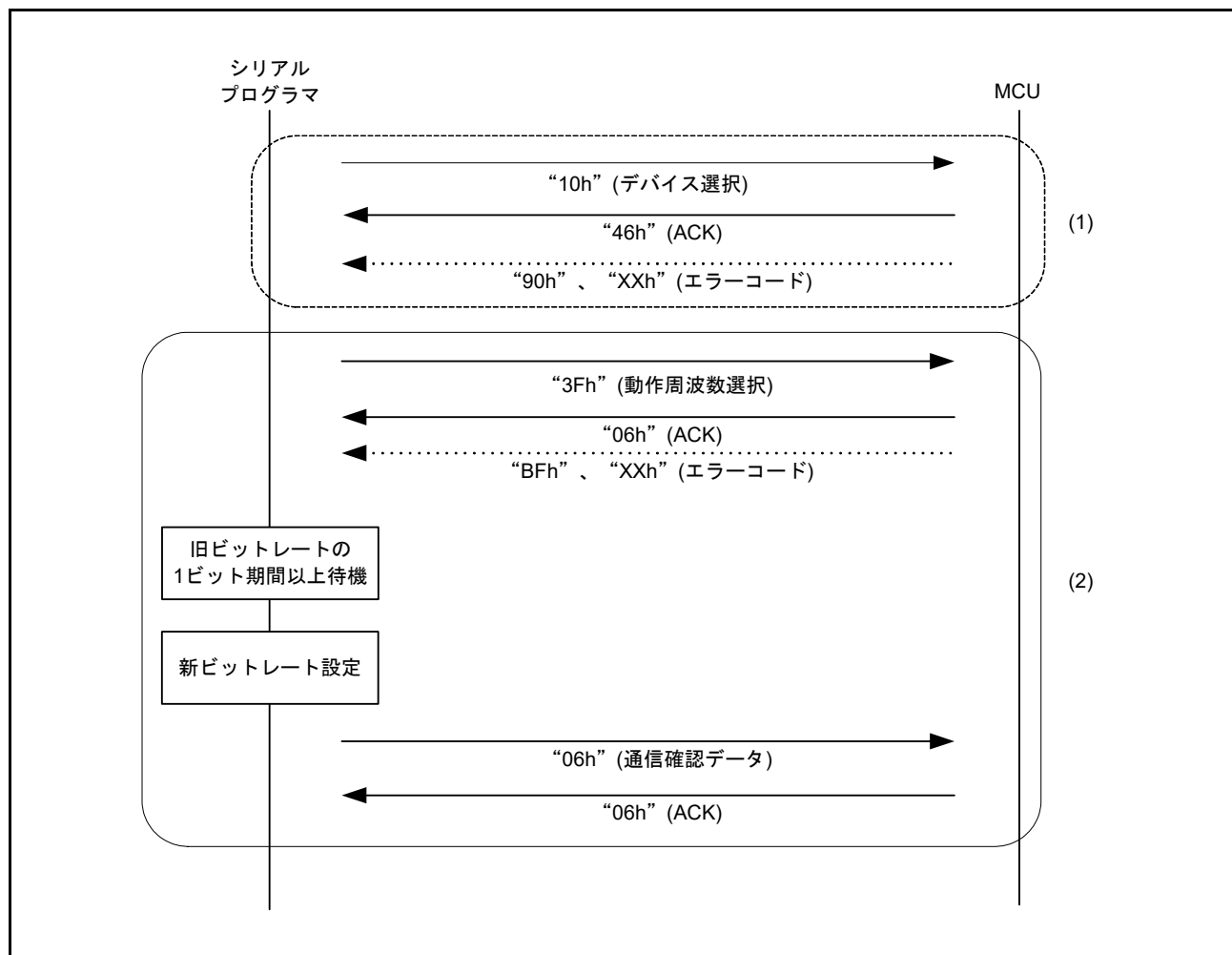


図 49.35 デバイス指定、ビットレート変更の手順

49.11.4 プログラム/イレーズホストコマンド待ち状態への遷移手順

プログラム/イレーズを行うため、プログラム/イレーズホストコマンド待ち状態遷移コマンドを送信します。MCUはブートモードIDコードプロテクトの有効/無効に応じてレスポンスを送信します。

- (1) ブートモードIDコードプロテクトが無効の場合、MCUはレスポンス“06h”を応答し、プログラム/イレーズホストコマンド待ち状態に遷移します。シリアルプログラマは「49.11.6 ユーザ領域、データ領域のイレーズ手順」から実行してください。
- (2) ブートモードIDコードプロテクトが有効の場合、MCUはレスポンス“16h”を応答し、IDコード認証状態に遷移します。シリアルプログラマは「49.11.5 ブートモードIDコードプロテクトの解除手順」から実行してください。

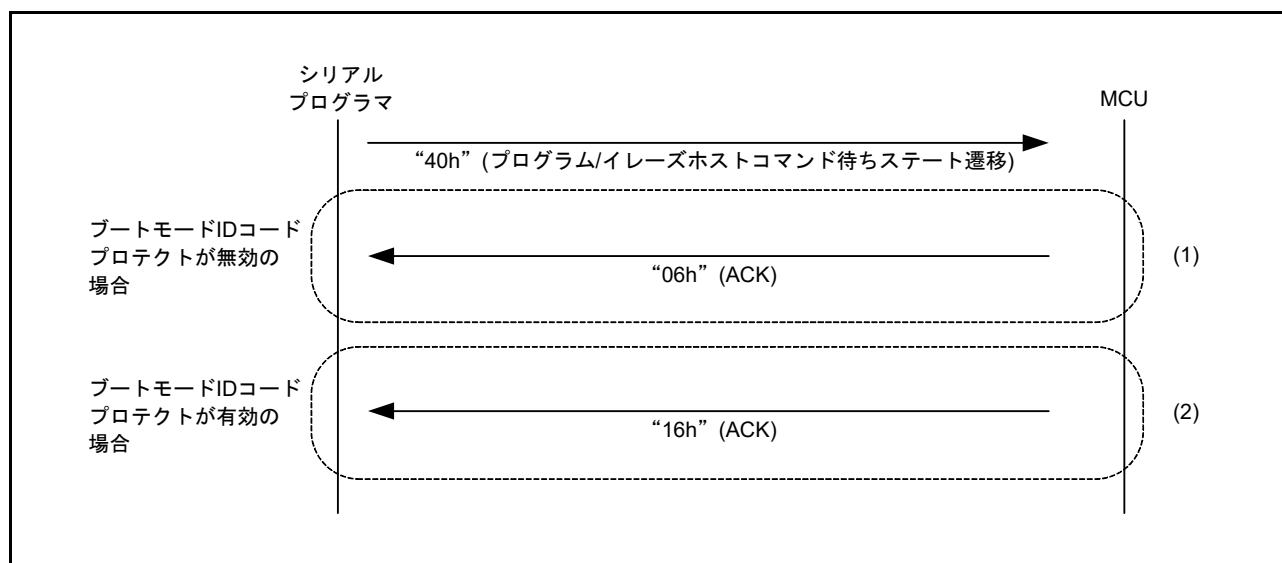


図 49.36 プログラム/イレーズホストコマンド待ち状態への遷移手順

49.11.5 ブートモード ID コードプロテクトの解除手順

ブートモード ID コードプロテクトを解除するため、ID コードチェックコマンドを送信します。

- (1) ID コードが一致した場合、MCU はプログラム / イレーズホストコマンド待ちステートに遷移します。このとき、ユーザ領域、データ領域のデータは消去されません。シリアルプログラマは「49.11.6 ユーザ領域、データ領域のイレーズ手順」から実行してください。
- (2) ID コードが不一致の場合、MCU はブートモード ID コード認証ステートから遷移しません。シリアルプログラマは MCU をリセット後「49.11.1 ビットレート自動調整の制御手順」から再実行してください。

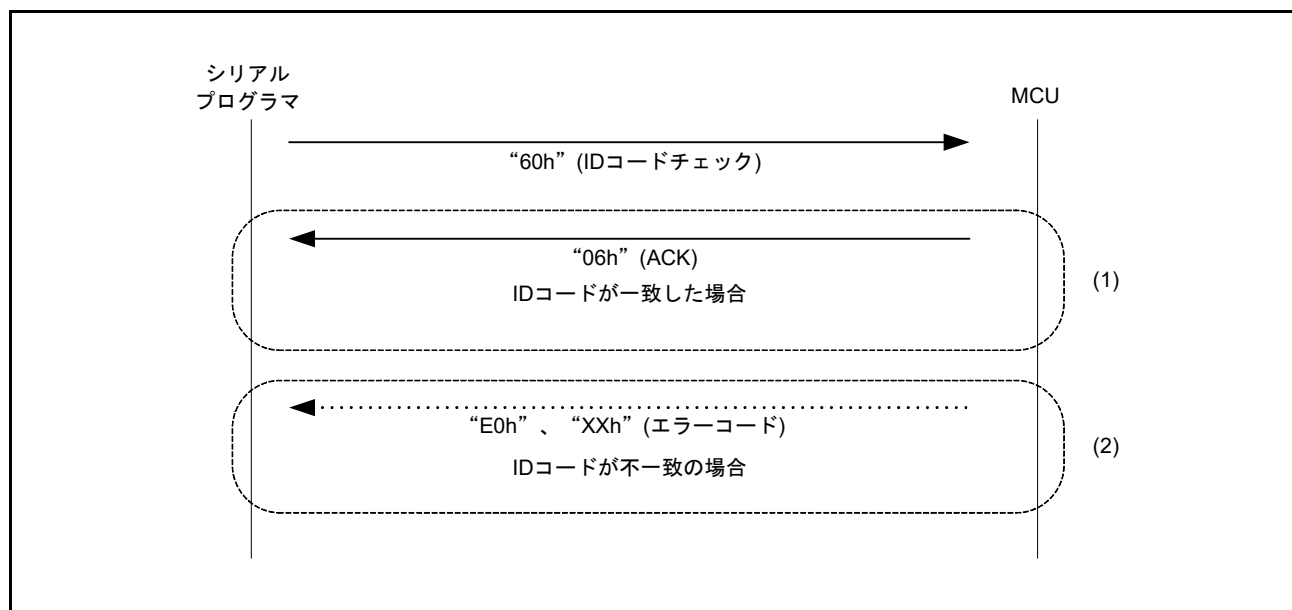


図 49.37 ブートモード ID コードプロテクトの解除手順

49.11.6 ユーザ領域、データ領域のイレーズ手順

ユーザプログラムやデータを書き込むために、ユーザ領域、データ領域を消去します。

- (1) イレーズ準備コマンド“48h”を送信します。
- (2) ブロックイレーズコマンド“59h”を送信します。
- (3) プログラム/イレーズホストコマンド待ちステータスに遷移するため、イレーズを終了するブロックイレーズコマンド“59h 04h FFh FFh FFh FFh A7h”を送信します。

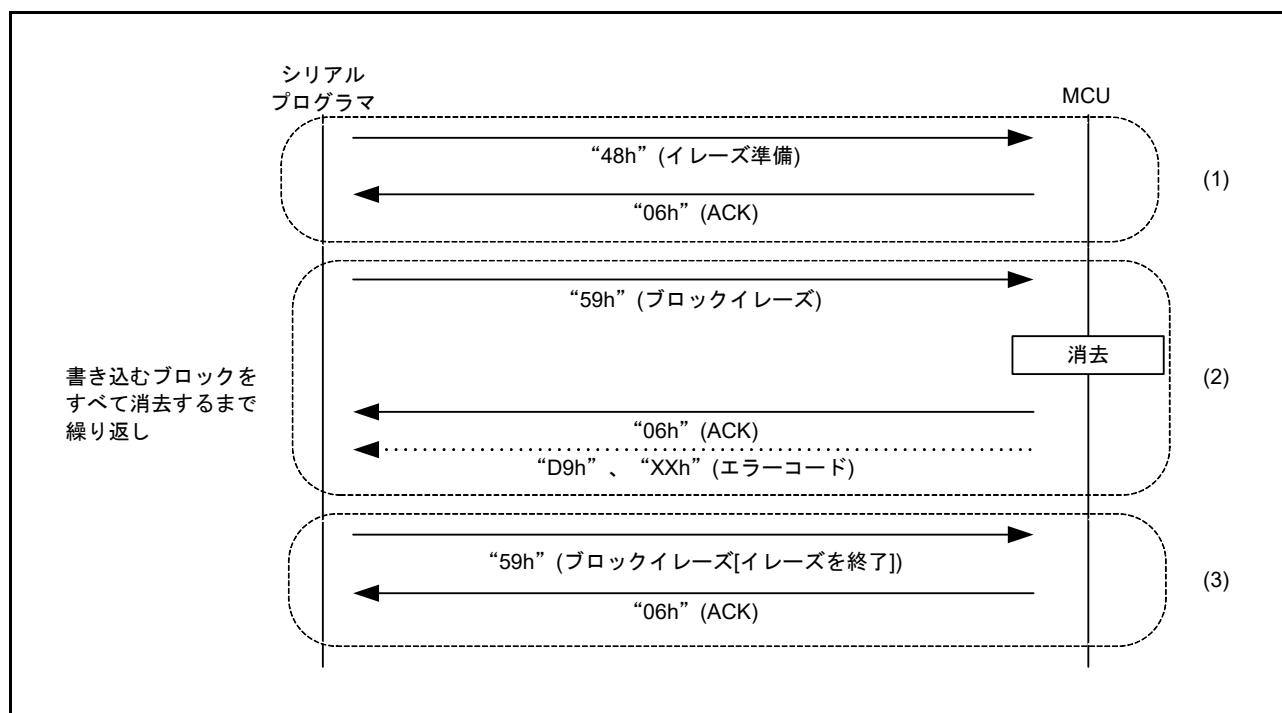


図 49.38 ユーザ領域、データ領域のイレーズ手順

49.11.7 ユーザ領域、データ領域のプログラム手順

ユーザ領域、データ領域にユーザプログラムやデータを書き込みます。

- (1) ユーザ/データ領域プログラム準備コマンド“43h”を送信します。
- (2) プログラムコマンド“50h”またはデータ領域プログラムコマンド“51h”を送信します。
- (3) プログラム/イレーズホストコマンド待ち状態に遷移するため、プログラムを終了するプログラムコマンド“50h FFh FFh FFh FFh B4h”またはデータ領域プログラムコマンド“51h FFh FFh FFh FFh 00h B3h”を送信します。

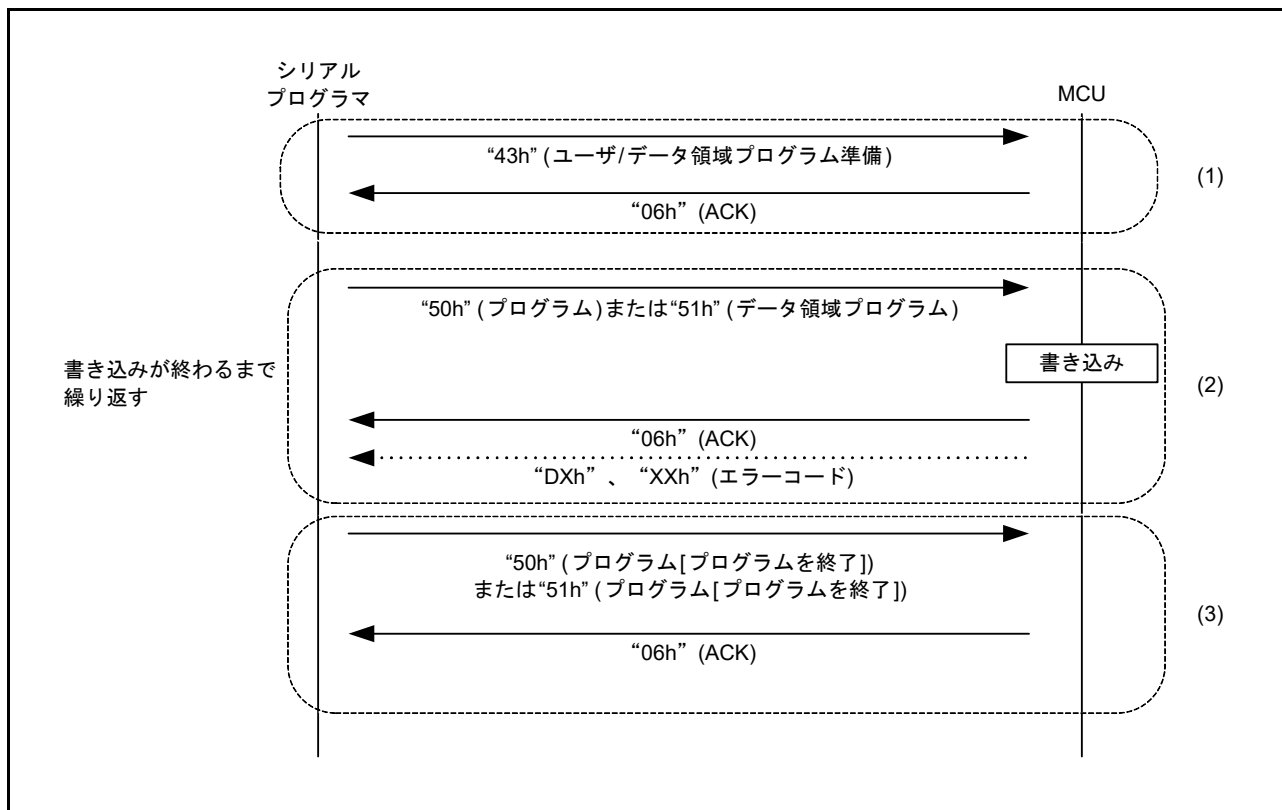


図 49.39 ユーザ領域、データ領域のプログラム手順

49.11.8 ユーザ領域のデータ確認手順

ユーザ領域に書き込まれたデータを確認するため、ユーザ領域のリードチェック、チェックサム、ブランクチェックを行います。

- (1) リードチェックは、ユーザ領域にあるデータを読み出して書き込んだ値と比較することで、プログラムが正常に行われたかを確認します。ユーザ領域にあるデータを読み出すために、メモリリードコマンド“52h”を送信します。
- (2) ユーザ領域のチェックサム値でプログラムデータを確認するため、ユーザ領域チェックサムコマンド“4Bh”を送信します。
- (3) ユーザ領域にデータがあるかないかを確認するため、ユーザ領域ブランクチェックコマンド“4Dh”を送信します。

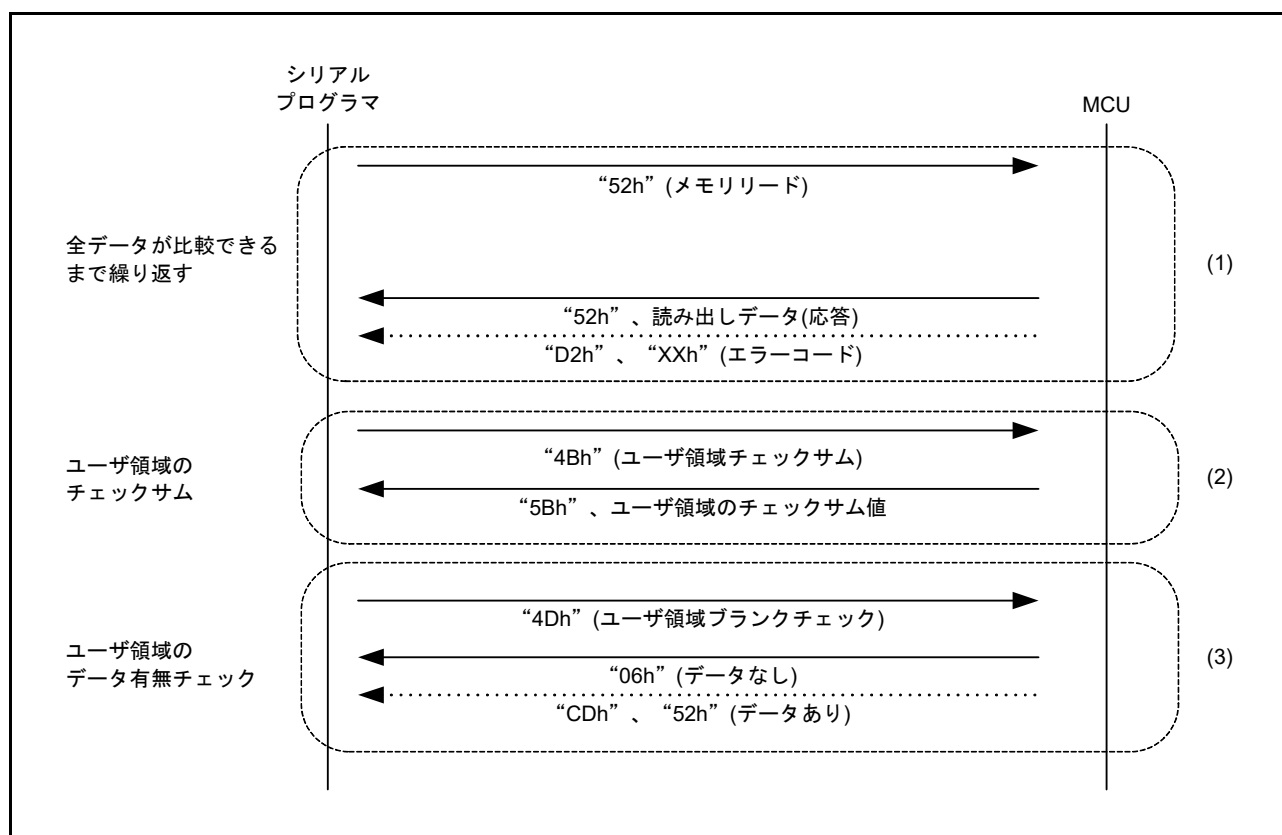


図 49.40 ユーザ領域のデータ確認手順

49.11.9 データ領域のデータ確認手順

データ領域に書き込まれたデータを確認するため、データ領域のリードチェック、チェックサム、ブランクチェックを行います。

- (1) リードチェックは、データ領域にあるデータを読み出して書き込んだ値と比較することで、プログラムが正常に行われたかを確認します。データ領域にあるデータを読み出すために、メモリリードコマンド“52h”を送信します。
- (2) データ領域のチェックサム値でプログラムデータを確認するため、データ領域チェックサムコマンド“61h”を送信します。
- (3) データ領域にデータがあるかないかを確認するため、データ領域ブランクチェックコマンド“62h”を送信します。

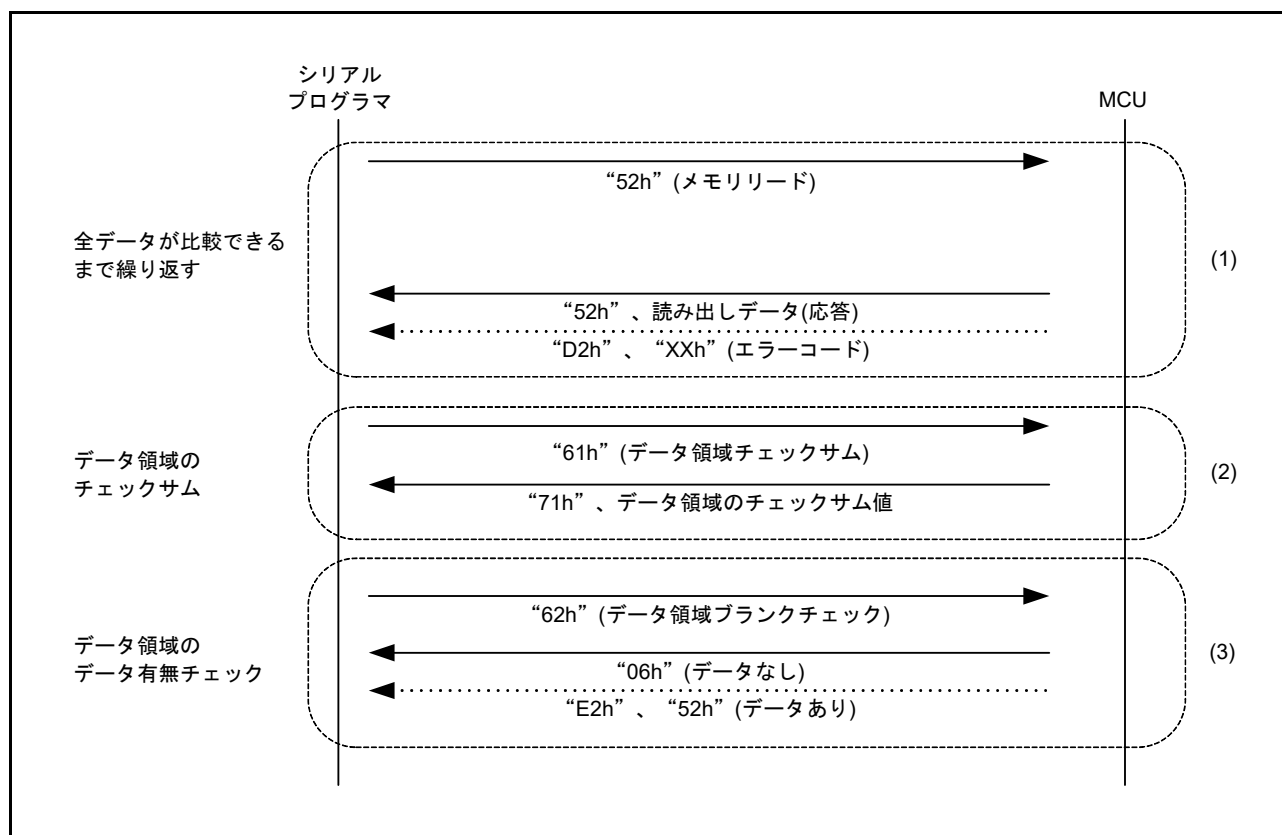


図 49.41 データ領域のデータ確認手順

49.11.10 ユーザ領域のアクセスウィンドウ設定手順

セルフプログラミングで、ユーザ領域の意図しない書き換えを防ぐため、アクセスウィンドウの設定を行います。

- (1) アクセスウィンドウの設定を行うため、アクセスウィンドウ情報プログラムコマンド“74h”を送信します。
- (2) アクセスウィンドウの設定を確認するため、アクセスウィンドウリードコマンド“73h”を送信します。

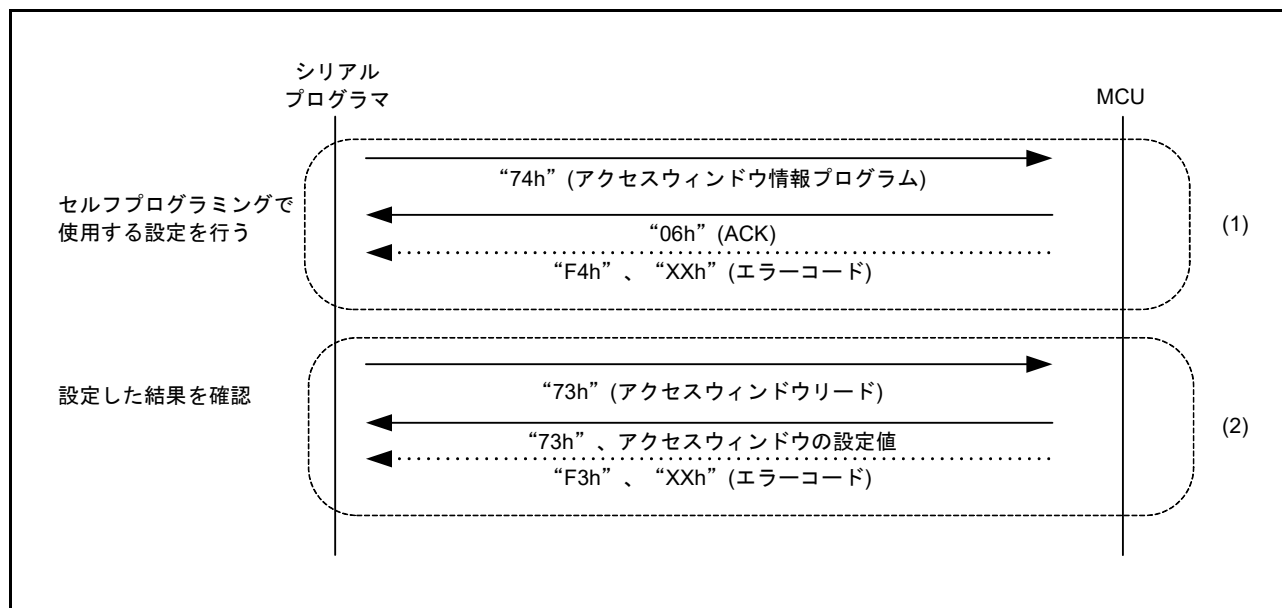


図 49.42 ユーザ領域のアクセスウィンドウ設定手順

49.12 セルフプログラミングでの書き換え

49.12.1 概要

本MCUは、ユーザプログラム自身によるフラッシュメモリの書き換えをサポートします。ユーザプログラム内にフラッシュ書き換えルーチンを用意することにより、ROMとE2データフラッシュを書き換えることができます。

E2データフラッシュは、BGO機能を利用してROM上でフラッシュ書き換えルーチンを実行して、書き換えることができます。また、あらかじめ内蔵RAMに転送したフラッシュ書き換えルーチンを実行して、E2データフラッシュを書き換えることもできます。

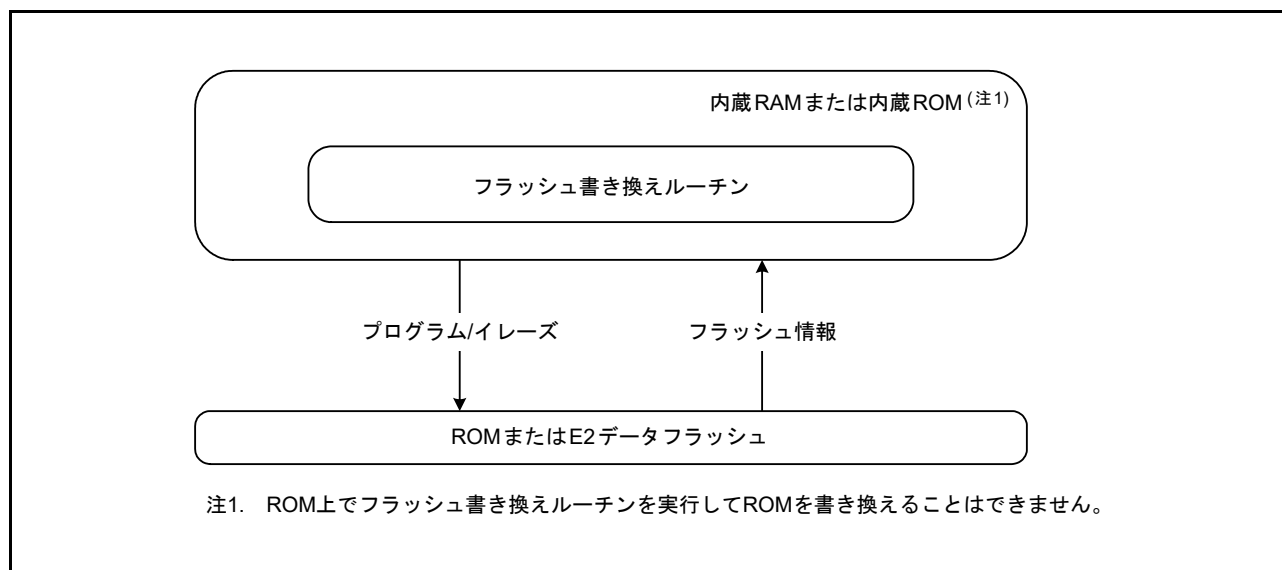


図 49.43 セルフプログラミングの概念

49.13 使用上の注意事項

- (1) イレーズ処理強制停止後の該当ブロックへのアクセス
イレーズ処理を強制停止した場合、処理が中断されたブロックの格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、当該ブロックでの命令実行や、データ読み出しが発生しないように注意してください。
- (2) イレーズ処理強制停止後の処理
イレーズ処理を強制停止した場合は、もう一度同一ブロックに対して、ブロックイレーズコマンドを発行してください。
- (3) 追加書き込み禁止
同一アドレスに2回以上のプログラムを行うことはできません。プログラム済みの領域を書き換えたい場合には、当該ブロックを消去してください。
- (4) プログラム/イレーズ中のリセット
プログラム/イレーズ中に RES# 端子リセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、tRESW (「50. 電気的特性」を参照) 以上のリセット入力期間の後にリセットを解除してください。
プログラム/イレーズ中の IWDG リセット、ソフトウェアリセットについては、上記の時間保持に関係なく使用できます。
- (5) プログラム/イレーズ中の割り込みベクタ、例外ベクタの配置
プログラム/イレーズ中に割り込みや例外が発生すると、ROM からのベクタフェッチが発生する場合があります。ROM からのベクタフェッチを回避するには、CPU の INTB レジスタおよび EXTB レジスタにより、割り込みベクタテーブル、例外ベクタテーブルを ROM 以外に配置してください。
- (6) 低速動作モードでの書き込み/消去
消費電力低減機能の SOPCCR レジスタで低速動作モードを選択した場合は、フラッシュへのプログラム/イレーズを行わないでください。
- (7) プログラム/イレーズ中の異常終了
プログラム/イレーズ中、動作電圧範囲を超える電圧変動、リセット、および事項(8)の禁止事項により、プログラム/イレーズが正常に終了しなかった場合、再度該当領域のイレーズを行ってください。
- (8) プログラム/イレーズ中の禁止事項
プログラム/イレーズ中は、フラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。
 - ・本 MCU の電源を動作電圧範囲外にする。
 - ・OPCCR.OPCM[2:0] ビットの値を更新する。
 - ・SOPCCR.SOPCM ビットの値を更新する。
 - ・SCKCR3 レジスタのクロックソース選択ビットを変更する。
 - ・RSTCKCR.RSTCKEN ビットの設定により、スリープモード復帰時のクロックソース切り替えを有効にする。
 - ・FlashIF クロック (FCLK) の分周比を変更する。
 - ・ディープスリープモード、ソフトウェアスタンバイモードに移行する。
 - ・ROM のプログラム/イレーズ中に E2 データフラッシュへアクセスする。
 - ・E2 データフラッシュのプログラム/イレーズ中に DFLCTL.DFLEN ビットの値を変更する。
- (9) プログラム/イレーズ時の FCLK について
セルフプログラミングでプログラム/イレーズを行う場合、FlashIF クロック (FCLK) の周波数を設定し、FISR.PCKA[4:0] ビットに FCLK 周波数を MHz 単位の整数値で設定してください。ただし、FCLK が 4 ~ 32 MHz の場合は、たとえば 12.5 MHz など整数値でない周波数を使用する場合に、小数点以下を切り上げて設定してください (12.5 MHz の場合は 13 MHz)。FCLK が 4 MHz 以下の場合は、1 MHz, 2 MHz, 3 MHz または 4 MHz 以外の周波数は使用できません。

49.14 使用上の注意事項 (ブートモード)

- (1) ブートモードで通信異常が発生した場合に関する注意事項
本MCUと正常な通信ができなくなった場合、本MCUをリセットして、再度ブートモードで起動させてください。
- (2) ブートモード (SCI インタフェース) での電源電圧に関する注意事項
500 kbps を超える通信ビットレートを使用する際は、3.0 V 以上で動作させてください。
- (3) ブートモードでのオプション設定メモリに関する注意事項
ブートモードではオプション機能選択レジスタ 0 (OFS0)、オプション機能選択レジスタ 1 (OFS1)、エンディアン選択レジスタ (MDE) の設定は無効になります。
- (4) ブートモード (USB インタフェース) でのクロックに関する注意事項
ブートモード (USB インタフェース) を使用する場合は、EXTAL, XTAL 端子に外部から入力するか、発振子を接続してクロックを供給してください。
ブートモード (USB インタフェース) では、4, 6, 8, 12, 16 MHz の外部クロックを使用してください。4, 6, 8, 12, 16 MHz 以外の外部クロックでは使用できません。
- (5) ブートモード (USB インタフェース) での電源電圧に関する注意事項
ブートモード (USB インタフェース) では、3.0 V 以上 3.6 V 以下で動作させてください。3.0 V 未満の電圧では使用できません。
- (6) スタートアップ領域の切り替えに関する注意事項
スタートアップ領域の切り替えは、セルフプログラミングで実施してください。

50. 電気的特性

50.1 絶対最大定格

表 50.1 絶対最大定格

条件：VSS = AVSS0 = VREFL0 = VREFL = VSS_USB = 0V

項目	記号	定格値	単位
電源電圧	VCC、VCC_USB	-0.3 ~ +6.5	V
VBATT 電源電圧	Vbatt	-0.3 ~ +6.5	V
入力電圧	5Vトレラント対応ポート (注1)	V_{in}	V
	ポート03、05、07、 P40~P47		
	上記以外		
リファレンス電源電圧	VREFH0 VREFH	-0.3 ~ AVCC0+0.3	V
アナログ電源電圧	AVCC0	-0.3 ~ +6.5	V
アナログ入力電圧	AN000~AN007使用時	V_{AN}	V
	AN016~AN031使用時		
動作温度(注2)	T_{opr}	-40 ~ +85	°C
		-40 ~ +105	
保存温度	T_{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0間、VCC_USB端子とVSS_USB端子間、VREFH0端子とVREFL0間、VREFH端子とVREFL間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1 μ F程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL端子は、4.7 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。詳細は「50.15.1 VCLコンデンサ、バイパスコンデンサ接続方法」を参照してください。

当該デバイスの電源がOFF状態の時に、5Vトレラントポート以外のポートに入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップからの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5Vトレラントポートには-0.3 ~ +6.5Vの電圧を入力してもMCU破壊などの問題は発生しません。

注1. ポート12、13、16、17、30、31、32、B5は、5Vトレラント対応です。

注2. 製品により動作温度の上限が85°Cの製品と105°Cの製品とあります。詳細は、「1.2 製品一覧」を参照してください。

表 50.2 推奨動作電圧条件

項目	記号	条件	min	typ	max	単位
電源電圧	VCC (注1、注2)	USB 未使用時	1.8	—	5.5	V
		USB 使用時 USB レギュレータ未使用時	3.0	—	3.6	
		USB 使用時 USB レギュレータ使用時	4.0	—	5.5	
	VSS	—	0	—		
USB電源電圧	VCC_USB	USB レギュレータ未使用時	—	VCC	—	V
	VSS_USB		—	0	—	
VBATT 電源電圧	VBATT		1.8	—	5.5	V
アナログ電源電圧	AVCC0 (注1、注2)		1.8	—	5.5	V
	AVSS0		—	0	—	
	VREFH0		1.8	—	AVCC0	
	VREFL0		—	0	—	
	VREFH		1.8	—	AVCC0	
	VREFL		—	0	—	

注1. AVCC0とVCCは次の条件で使用してください。
VCC ≥ 2.0Vの時：AVCC0とVCCは使用範囲内で独立して設定可能
VCC < 2.0Vの時：AVCC0 = VCC

注2. VCC端子とAVCC0端子の電源投入順序は、同時もしくはVCC端子、AVCC0端子の順になるように投入してください。

50.2 DC 特性

表50.3 DC特性 (1)

条件: $2.7V \leq VCC = VCC_USB \leq 5.5V$ 、 $2.7V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く、5Vトレラント)	V_{IH}	$VCC \times 0.7$	—	5.8	V		
	ポート12、13、16、17、ポートB5 (5Vトレラント)		$VCC \times 0.8$	—	5.8			
	ポート14~15、ポート20~27、 ポート33~37、ポート50~55、 ポートA0~A7、 ポートB0~B4、B6、B7、 ポートC0~C7、 ポートD0~D7、 ポートE0~E7、 ポートJ3、 ポート30~32 (時間キャプチャイベン ト入力非選択時)、 RES#		$VCC \times 0.8$	—	$VCC + 0.3$			
	ポート03、05、07、ポート40~47		$AVCC0 \times 0.8$	—	$AVCC0 + 0.3$			
	ポート30~32 (時間キャプチャ イベント入力選択時)	VCC給電時	$VCC \times 0.8$	—	$VCC + 0.3$			
		VBATT給電時	$VBATT \times 0.8$	—	$VBATT + 0.3$			
	ポート03、05、07、ポート40~47	V_{IL}	-0.3	—	$AVCC0 \times 0.2$			
	RIIC入力端子 (SMBusを除く)		-0.3	—	$VCC \times 0.3$			
	RIIC入力端子以外、 ポート30~32以外		-0.3	—	$VCC \times 0.2$			
	ポート30~32 (時間キャプチャ イベント入力選択時)		VCC給電時	-0.3	—			$VCC \times 0.3$
			VBATT給電時	-0.3	—			$VBATT \times 0.3$
	ポート03、05、07、ポート40~47		ΔV_T	$AVCC0 \times 0.1$	—			—
	RIIC入力端子 (SMBusを除く)			$VCC \times 0.05$	—			—
	ポート12、13、16、17、ポートB5			$VCC \times 0.05$	—			—
RIIC入力端子以外	$VCC \times 0.1$	—		—				
入力レベル電圧 (シュミット トリガ入力端子 を除く)	MD	V_{IH}	$VCC \times 0.9$	—	$VCC + 0.3$	V		
	EXTAL (外部クロック入力)		$VCC \times 0.8$	—	$VCC + 0.3$			
	RIIC入力端子 (SMBus)		2.1	—	$VCC + 0.3$			
	MD	V_{IL}	-0.3	—	$VCC \times 0.1$			
	EXTAL (外部クロック入力)		-0.3	—	$VCC \times 0.2$			
	RIIC入力端子 (SMBus)		-0.3	—	0.8			

表 50.4 DC特性 (2)

条件: $1.8V \leq VCC = VCC_USB < 2.7V$ 、 $1.8V \leq AVCC0 < 2.7V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	ポート12、13、16、17、 ポートB5 (5Vトレラント)	V_{IH}	$VCC \times 0.8$	—	5.8	V	
	ポート14~15、ポート20~27、 ポート30~37、ポート50~55、 ポートA0~A7、 ポートB0~B4、B6、B7、 ポートC0~C7、 ポートD0~D7、 ポートE0~E7、 ポートJ3、 RES#		$VCC \times 0.8$	—	$VCC + 0.3$		
	ポート03、05、07、 ポート40~47		$AVCC0 \times 0.8$	—	$AVCC0 + 0.3$		
	ポート03、05、07、 ポート40~47	V_{IL}	-0.3	—	$AVCC0 \times 0.2$		
	上記ポート以外		-0.3	—	$VCC \times 0.2$		
	ポート03、05、07、 ポート40~47	ΔV_T	$AVCC0 \times 0.01$	—	—		
	上記ポート以外		$VCC \times 0.01$	—	—		
入力レベル電圧 (シュミット トリガ入力端子 を除く)	MD	V_{IH}	$VCC \times 0.9$	—	$VCC + 0.3$	V	
	EXTAL (外部クロック入力)		$VCC \times 0.8$	—	$VCC + 0.3$		
	MD	V_{IL}	-0.3	—	$VCC \times 0.1$		
	EXTAL (外部クロック入力)		-0.3	—	$VCC \times 0.2$		

表 50.5 DC特性 (3)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#、MD、ポート35	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0V$ 、 VCC
スリーステートリーク 電流 (オフ状態)	5Vトレラント対応ポート	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0V$ 、5.8V
	5Vトレラント対応ポート以外		—	—	0.2		$V_{in} = 0V$ 、 VCC
入力容量	全入力端子 (ポート35、USB0_DM、 USB0_DP以外)	C_{in}	—	—	15	pF	$V_{in} = 0mV$ 、 $f = 1MHz$ 、 $T_a = 25^\circ C$
	ポート35、USB0_DM、 USB0_DP		—	—	30		

表 50.6 DC特性 (4)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力プルアップ抵抗	全ポート (ポート35以外)	R_U	10	20	50	k Ω	$V_{in} = 0V$

表 50.7 DC特性 (5)

条件 : $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目				記号	typ (注4)	max	単位	測定条件		
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし(注2)	ICLK = 54MHz	I _{CC}	6.5	—	mA		
				ICLK = 32MHz		4.1	—			
				ICLK = 16MHz		2.9	—			
				ICLK = 8MHz		2.2	—			
				ICLK = 4MHz		1.9	—			
			全周辺動作 通常動作	ICLK = 54MHz(注11)		26.5	—			
				ICLK = 32MHz(注3)		21.0	—			
				ICLK = 16MHz(注3)		11.8	—			
				ICLK = 8MHz(注3)		6.6	—			
				ICLK = 4MHz(注3)		4.2	—			
			全周辺動作 最大動作	ICLK = 54MHz(注11)		—	53.3			
				ICLK = 32MHz(注3)		—	40.8			
			Trusted Secure IP 動作の増加分	PCLKB = 32MHz		—	2			
			スリープモード	周辺動作なし(注2)		ICLK = 54MHz	3.5			—
		ICLK = 32MHz			2.4	—				
		ICLK = 16MHz			1.9	—				
		ICLK = 8MHz			1.6	—				
		ICLK = 4MHz			1.5	—				
		全周辺動作 通常動作			ICLK = 54MHz(注11)	13.4	—			
					ICLK = 32MHz(注3)	12.5	—			
	ICLK = 16MHz(注3)				7.3	—				
	ICLK = 8MHz(注3)				4.6	—				
	ICLK = 4MHz(注3)				3.3	—				
	ディープ スリープモード	周辺動作なし(注2)		ICLK = 54MHz	2.3	—				
				ICLK = 32MHz	1.5	—				
				ICLK = 16MHz	1.3	—				
				ICLK = 8MHz	1.2	—				
				ICLK = 4MHz	1.1	—				
		全周辺動作 通常動作	ICLK = 54MHz(注11)	10.6	—					
			ICLK = 32MHz(注3)	9.9	—					
			ICLK = 16MHz(注3)	5.9	—					
			ICLK = 8MHz(注3)	3.8	—					
ICLK = 4MHz(注3)			2.7	—						
BGO動作時の増加分(注5)					2.5	—				
中速動作モード	通常動作モード	周辺動作なし(注6)	ICLK = 12MHz	I _{CC}	2.7	—	mA			
			ICLK = 8MHz		1.8	—				
			ICLK = 4MHz		1.4	—				
			ICLK = 1MHz		1.1	—				
			全周辺動作 通常動作(注7)		ICLK = 12MHz	9.6		—		
					ICLK = 8MHz	6.2		—		
		ICLK = 4MHz			3.8	—				
		ICLK = 1MHz			2.3	—				
		全周辺動作 最大動作(注7)	ICLK = 12MHz		—	16.7				

項目				記号	typ (注4)	max	単位	測定条件
消費電流	中速動作モード	スリープモード	周辺動作なし(注6)	ICLK = 12MHz	I _{CC}	1.9	—	mA
				ICLK = 8MHz		1.2	—	
				ICLK = 4MHz		1.1	—	
				ICLK = 1MHz		1.0	—	
			全周辺動作 通常動作(注7)	ICLK = 12MHz		6.1	—	
				ICLK = 8MHz		4.4	—	
				ICLK = 4MHz		3.0	—	
				ICLK = 1MHz		2.0	—	
		ディープ スリープモード	周辺動作なし(注6)	ICLK = 12MHz	1.6	—		
				ICLK = 8MHz	1.0	—		
				ICLK = 4MHz	0.9	—		
				ICLK = 1MHz	0.8	—		
	全周辺動作 通常動作(注7)	ICLK = 12MHz	5.1	—				
		ICLK = 8MHz	3.7	—				
		ICLK = 4MHz	2.6	—				
		ICLK = 1MHz	1.8	—				
	BGO動作時の増加分(注5)					2.5	—	
	低速動作モード	通常動作モード	周辺動作なし(注8)	ICLK = 32kHz	I _{CC}	5.2	—	μA
				全周辺動作 通常動作(注9、注10)		ICLK = 32kHz	22.3	
			全周辺動作 最大動作(注9、注10)	ICLK = 32kHz		—	74.4	
スリープモード		周辺動作なし(注8)	ICLK = 32kHz	3.0		—		
			全周辺動作 通常動作(注9)	ICLK = 32kHz		13.1	—	
ディープ スリープモード		周辺動作なし(注8)	ICLK = 32kHz	2.4		—		
			全周辺動作 通常動作(注9)	ICLK = 32kHz		10.5	—	

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態です。BGO動作は除きます。クロックソースはPLLです。BCLK、FCLK、PCLKは64分周設定です。
- 注3. 周辺機能はクロック供給状態です。BGO動作は除きます。クロックソースはPLLです。BCLK、FCLK、PCLKはICLKと同じ周波数です。
- 注4. VCC=3.3Vの値です。
- 注5. プログラム実行中に、ROMまたはデータ格納用フラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注6. 周辺機能はクロック停止状態です。クロックソースはICLK = 12MHzの時はPLL、その他はHOCOです。BCLK、FCLK、PCLKは64分周設定です。
- 注7. 周辺機能はクロック供給状態です。クロックソースはICLK = 12MHzの時はPLL、その他はHOCOです。BCLK、FCLK、PCLKはICLKと同じ周波数です。
- 注8. 周辺機能はクロック停止状態です。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKは64分周設定です。
- 注9. 周辺機能はクロック供給状態です。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKはICLKと同じ周波数です。
- 注10. MSTPCRA.MSTPA17 (12ビットA/Dコンバータモジュールストップ設定ビット) をモジュールストップ状態に設定した時の値です。
- 注11. 周辺機能はクロック供給状態です。BGO動作は除きます。クロックソースはPLLです。BCLK、FCLK、PCLKBは2分周設定、PCLKA、PCLKDはICLKと同じ周波数です。

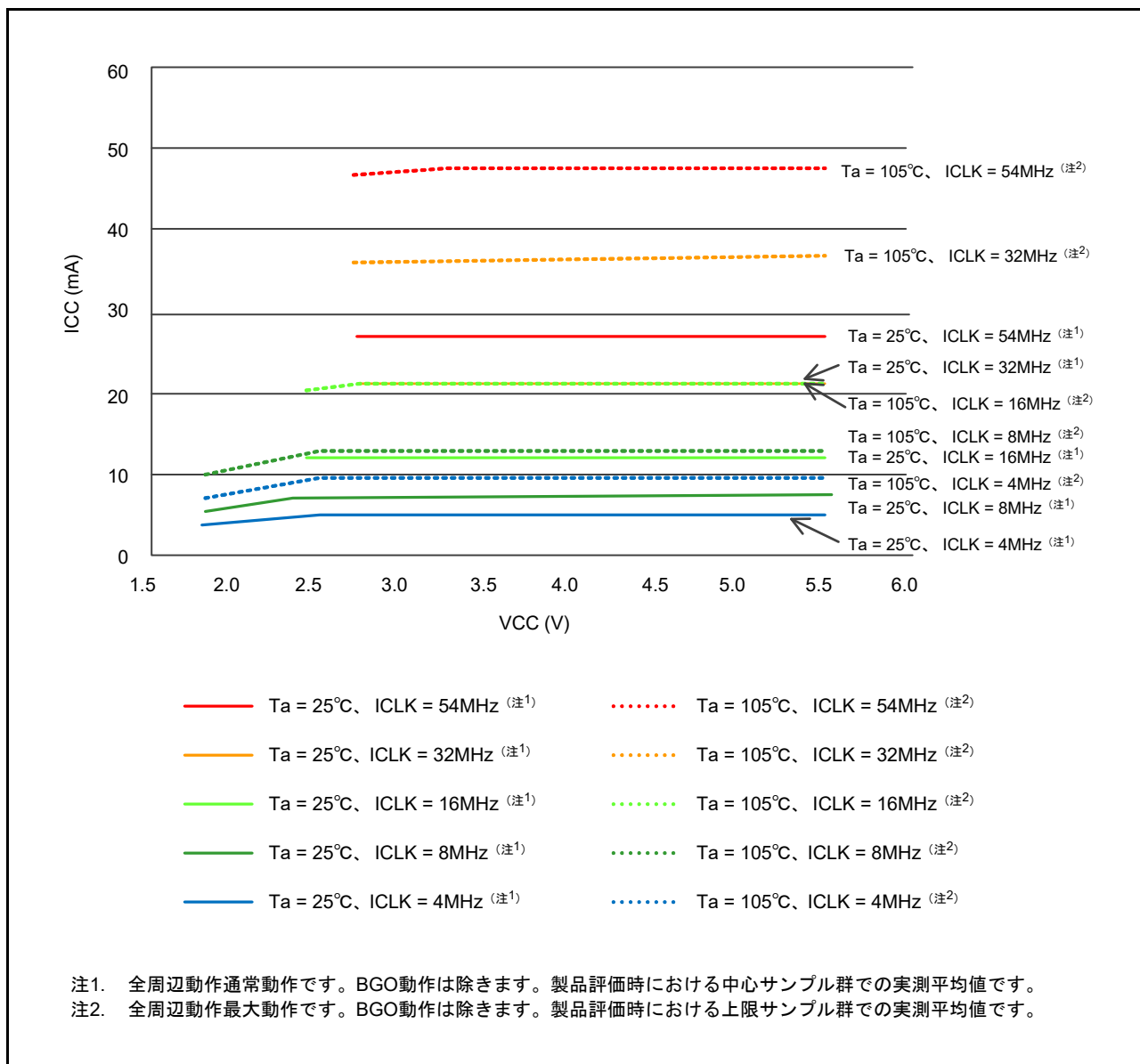


図 50.1 高速動作モードの電圧依存性 (参考データ)

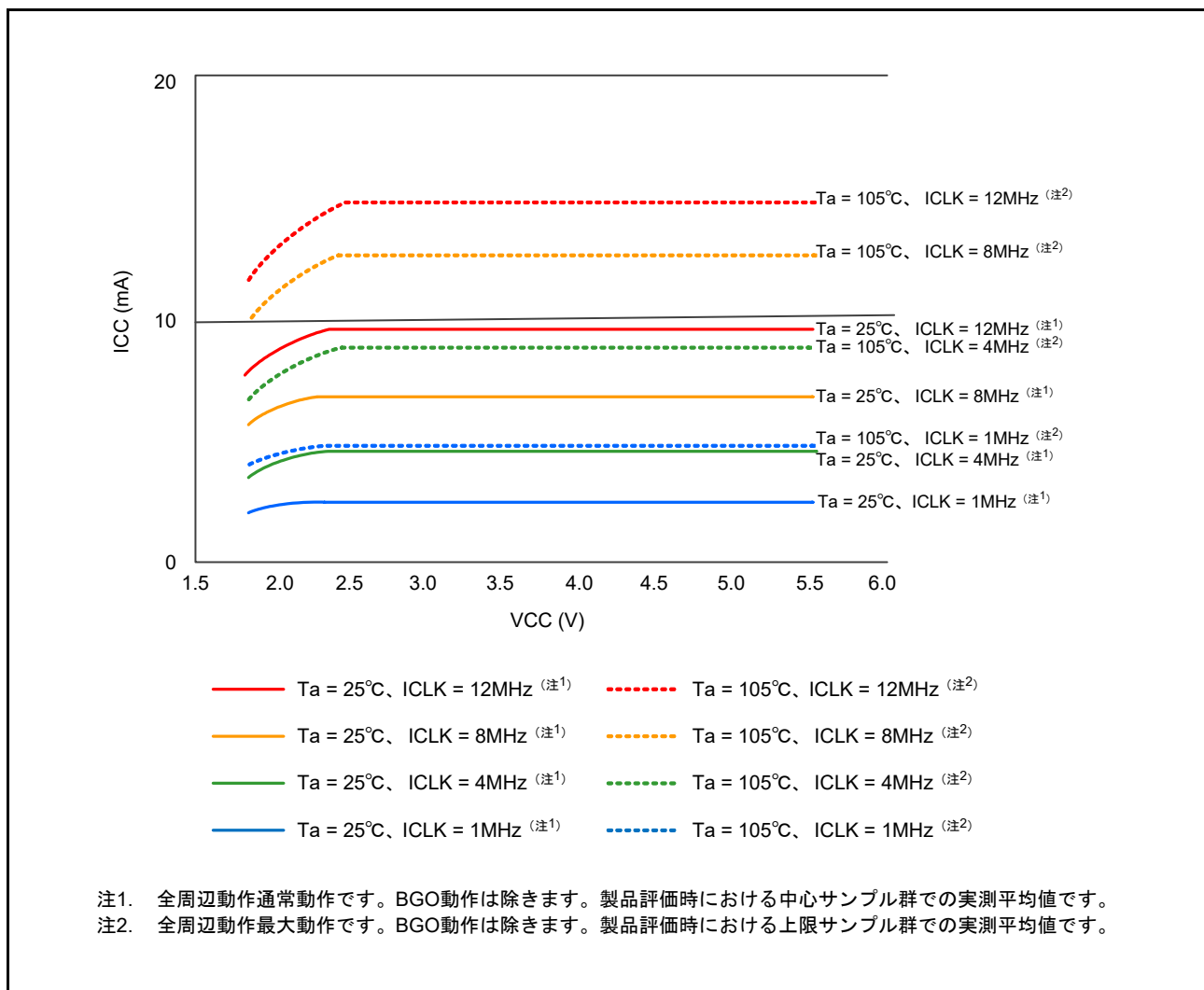


図 50.2 中速動作モードの電圧依存性 (参考データ)

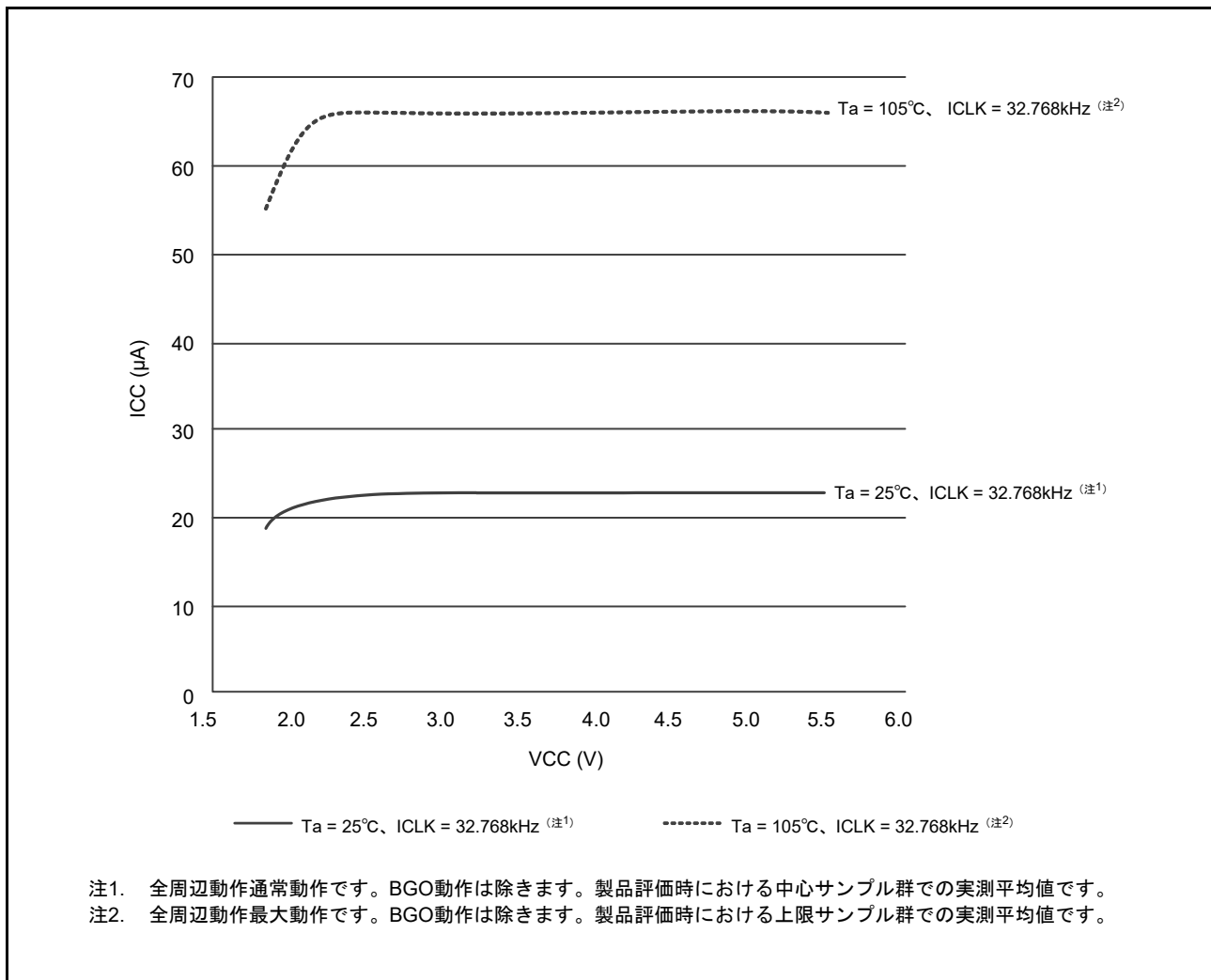


図 50.3 低速動作モードの電圧依存性 (参考データ)

表 50.8 DC特性 (6)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VSS_USB = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	typ(注3)	max	単位	測定条件
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	$T_a = 25^\circ C$	I_{CC}	0.8	3.7	μA	クロックソースはIWDT専用オンチップオシレータを使用 RCR3.RTCDV[2:0]はドライブ能力低設定 RCR3.RTCDV[2:0]はドライブ能力標準設定
		$T_a = 55^\circ C$		1.2	4.3		
		$T_a = 85^\circ C$		3.5	18.6		
		$T_a = 105^\circ C$		7.9	45.2		
	IWDT動作の増加分			0.4	—		
	LPT動作の増加分			0.4	—		
	RTC動作の増加分(注4)			0.4	—		
				1.2	—		

- 注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。
- 注2. IWDTとLVD、CMPBは動作停止です。
- 注3. $VCC = 3.3V$ の場合です。
- 注4. 発振回路を含みます。

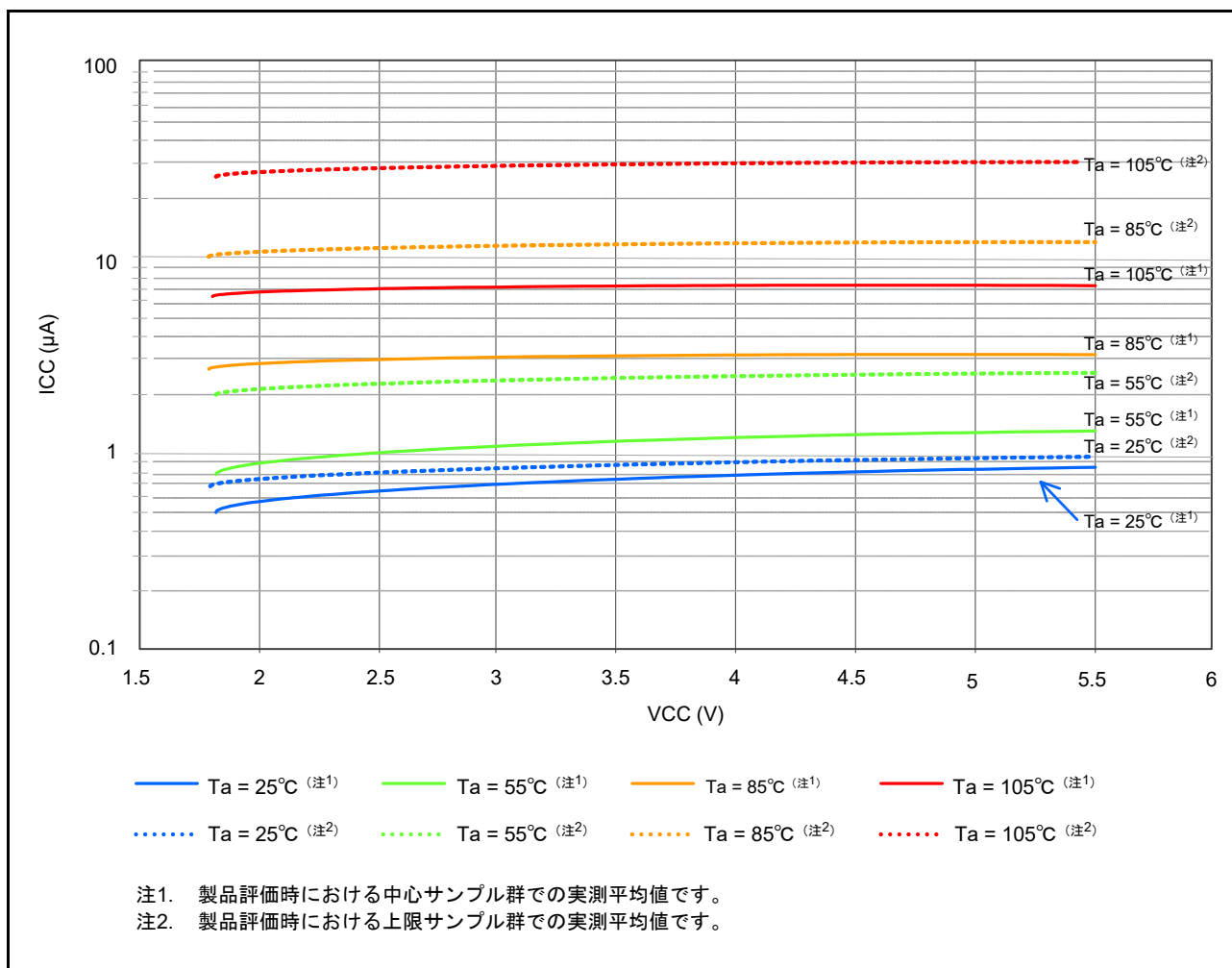


図 50.4 ソフトウェアスタンバイモード時の電圧依存性 (参考データ)

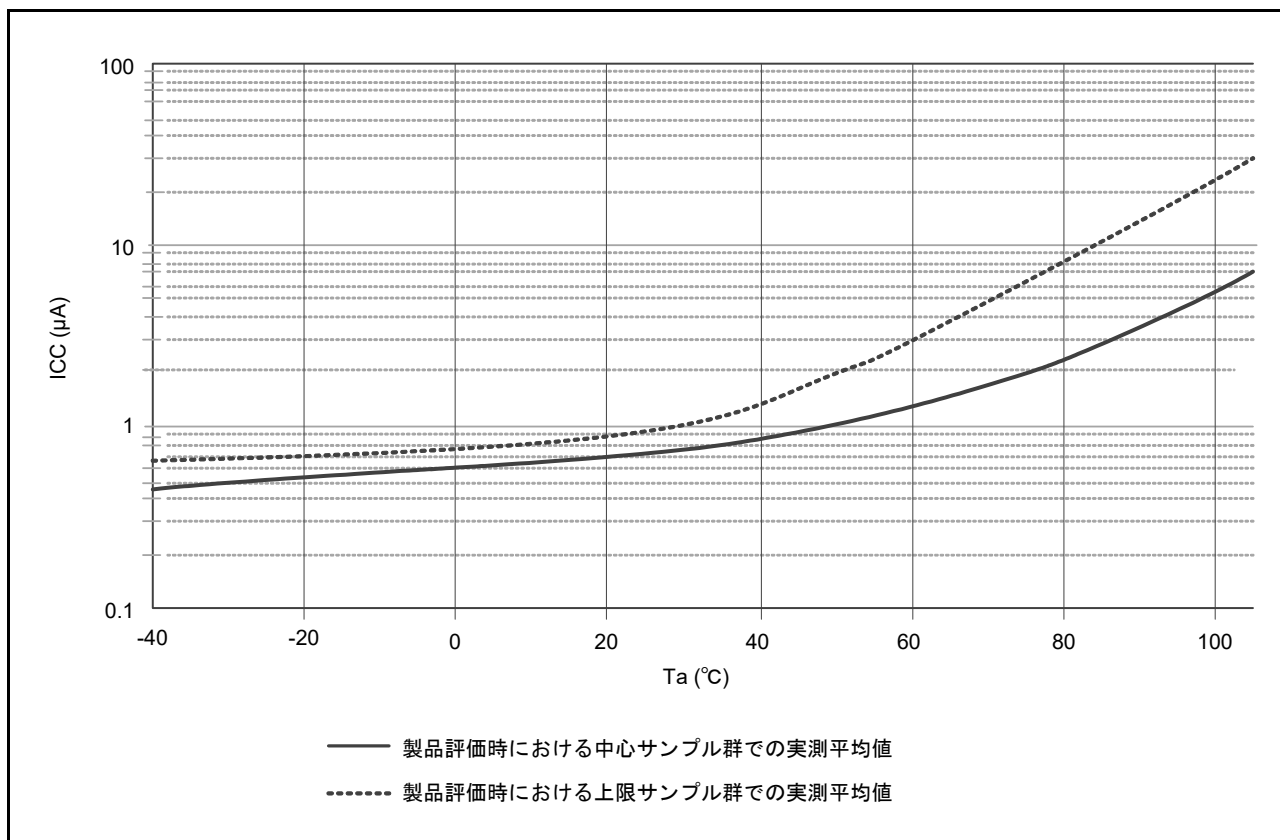


図 50.5 ソフトウェアスタンバイモード時の温度依存性 (参考データ)

表 50.9 DC特性 (7)

条件 : $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	typ	max	単位	測定条件
消費電流 (注1)	VCCオフ時の RTC動作	$T_a = 25^\circ C$	I_{CC}	0.8	—	μA VBATT = 2.0V RCR3.RTCDV[2:0]はドライブ能力低設定
		$T_a = 55^\circ C$	0.9	—		
		$T_a = 85^\circ C$	1.0	—		
		$T_a = 105^\circ C$	1.2	—		
		$T_a = 25^\circ C$	0.9	—	VBATT = 3.3V RCR3.RTCDV[2:0]はドライブ能力低設定	
		$T_a = 55^\circ C$	1.0	—		
		$T_a = 85^\circ C$	1.1	—		
		$T_a = 105^\circ C$	1.3	—		
		$T_a = 25^\circ C$	1.5	—	VBATT = 2.0V RCR3.RTCDV[2:0]はドライブ能力標準設定	
		$T_a = 55^\circ C$	1.8	—		
		$T_a = 85^\circ C$	2.1	—		
		$T_a = 105^\circ C$	2.4	—		
		$T_a = 25^\circ C$	1.6	—	VBATT = 3.3V RCR3.RTCDV[2:0]はドライブ能力標準設定	
		$T_a = 55^\circ C$	1.9	—		
		$T_a = 85^\circ C$	2.2	—		
		$T_a = 105^\circ C$	2.5	—		

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。

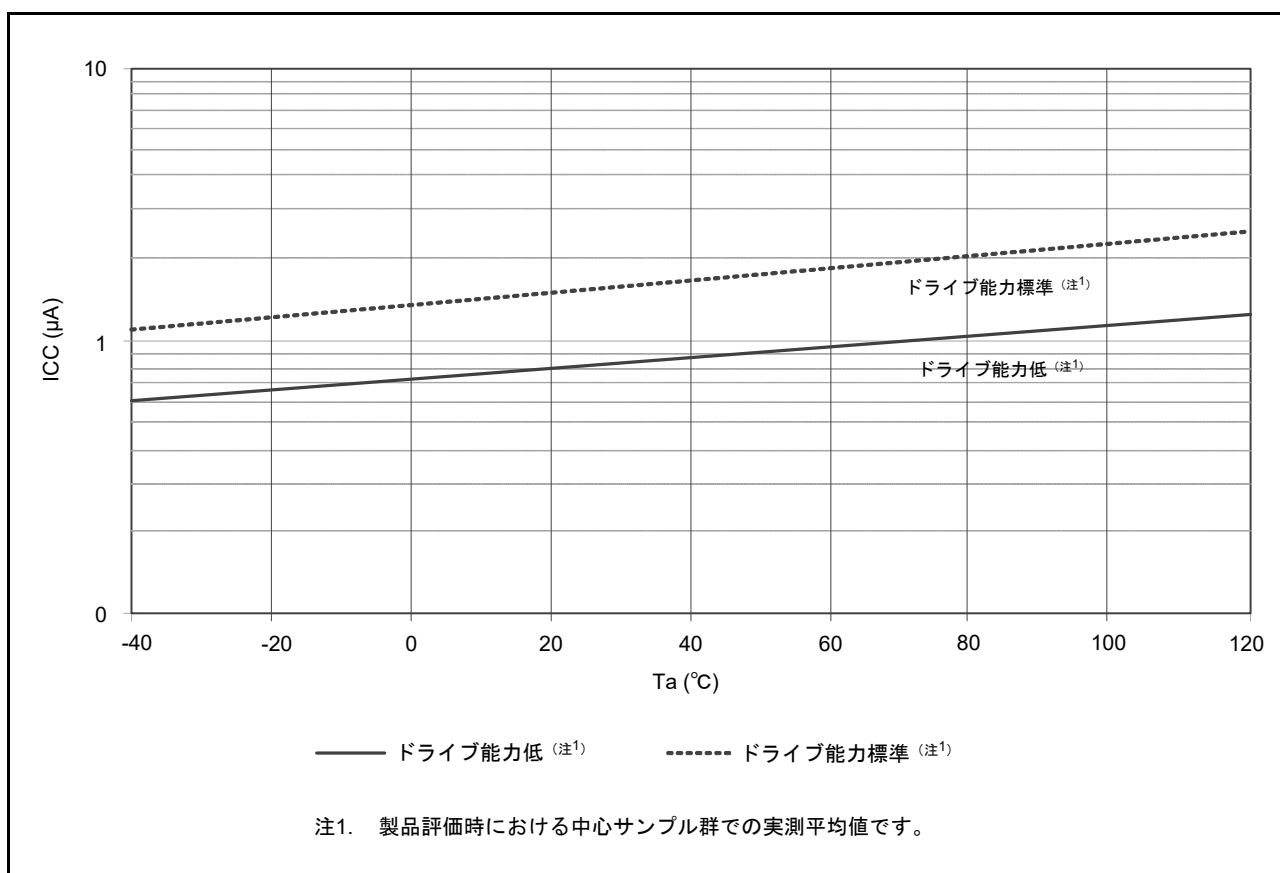


図 50.6 VCC オフ時の RTC 動作の温度依存性 (参考データ)

表 50.10 DC特性 (8)

条件 : 1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V

項目	記号	min	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	—	350	mW	Dバージョン製品
許容総消費電力 (注1)	Pd	—	—	130	mW	Gバージョン製品

注. Gバージョン製品のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格から軽減することです。

注1. チップ全体 (出力電流を含む) の総電力です。

表50.11 DC特性 (9)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ (注7)	max	単位	測定条件
アナログ電源電流	A/D変換中 (高速変換時)	I_{AVCC}	—	0.7	1.7	mA	
	A/D変換中 (低電流モード)		—	0.6	1.0		
	D/A変換中 (1チャンネル当り) (注1)		—	0.4	0.8		
	A/D、D/A変換待機時 (全ユニット)		—	—	0.4	μA	
リファレンス電源電流	A/D変換中 (高速変換時)	I_{REFH0}	—	25	150	μA	
	A/D変換待機時 (全ユニット)		—	—	60	nA	
	D/A変換中 (1チャンネル当り)	I_{REFH}	—	50	100	μA	
	D/A変換待機時 (全ユニット)		—	—	100	nA	
LVD1、2	1チャンネル当り	I_{LVD}	—	0.15	—	μA	
温度センサ (注6)	—	I_{TEMP}	—	75	—	μA	
コンパレータB動作電流 (注6)	ウィンドウ機能有効	I_{CMP} (注5)	—	12.5	28.6	μA	
	コンパレータ高速モード (1チャンネル当り)		—	3.2	16.2	μA	
	コンパレータ低速モード (1チャンネル当り)		—	1.7	4.4	μA	
CTSU動作電流	<ul style="list-style-type: none"> 計測期間中 (CPUはスリープ) ベースクロック 2MHz 端子容量 50pF 	I_{CTSU}	—	150	—	μA	
USB動作電流 (注4)	以下の設定, 条件におけるUSB通信動作時 <ul style="list-style-type: none"> フルスピードモードのホスト動作設定 バルクOUT転送 (64バイト) 1本、 バルクIN転送 (64バイト) 1本 USBポートからUSBケーブル (1m) を経由して周辺機器に接続 	I_{USBH} (注2)	—	4.3 (VCC) 0.9 (VCC_USB)	—	mA	
	以下の設定, 条件におけるUSB通信動作時 <ul style="list-style-type: none"> フルスピードモードのファンクション動作設定 バルクOUT転送 (64バイト) 1本 バルクIN転送 (64バイト) 1本 USBポートからUSBケーブル (1m) を経由してホスト機器に接続 	I_{USBF} (注2)	—	3.6 (VCC) 1.1 (VCC_USB)	—	mA	
	以下の設定, 条件におけるサスペンド時 <ul style="list-style-type: none"> フルスピードモードのファンクション動作設定 (USB0_DP端子をプルアップ) ソフトウェアスタンバイモード USBポートからUSBケーブル (1m) を経由してホスト機器に接続 	I_{SUSP} (注3)	—	0.35 (VCC) 170 (VCC_USB)	—	μA	

注1. D/Aコンバータは、電源電流にリファレンス電流も含む値です。

注2. USBモジュールのみの消費電流です。

注3. サスペンド状態における本製品の自己消費電流に加えて、USB0_DP端子のプルアップ抵抗からホスト機器側のプルダウン抵抗に供給される電流を含みます。

注4. 電源 (VCC、VCC_USB) の消費電流です。

注5. コンパレータBモジュールのみの消費電流です。

注6. 電源 (VCC) の消費電流です。

注7. $VCC = AVCC0 = VCC_USB = 3.3V$ のとき。

表50.12 DC特性 (10)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
RAM保持電圧	V_{RAM}	1.8	—	—	V	

表 50.13 DC特性 (11)

条件: $0V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
電源投入時 VCC立ち上がり勾配	通常起動時(注1)	0.02	—	20	ms/V	
	起動時間短縮時(注2)	0.02	—	2		
	起動時電圧監視0リセット有効時(注3、注4)	0.02	—	—		

注1. OFS1.(FASTSTUP, LVDAS)ビット = 11bを設定した場合です。

注2. OFS1.(FASTSTUP, LVDAS)ビット = 01bを設定した場合です。

注3. OFS1.LVDASビット = 0を設定した場合です。

注4. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表 50.14 DC特性 (12)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 電源リップルは、VCCの上限と下限は超えない範囲で許容電源リップル周波数 $f_r(VCC)$ を満たしてください。VCC変動が $VCC \pm 10\%$ を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 50.7 $V_r(VCC) \leq VCC \times 0.2$ の場合
		—	—	1	MHz	図 50.7 $V_r(VCC) \leq VCC \times 0.08$ の場合
		—	—	10	MHz	図 50.7 $V_r(VCC) \leq VCC \times 0.06$ の場合
許容電源変動立ち上がり/ 立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC変動が $VCC \pm 10\%$ を超える場合

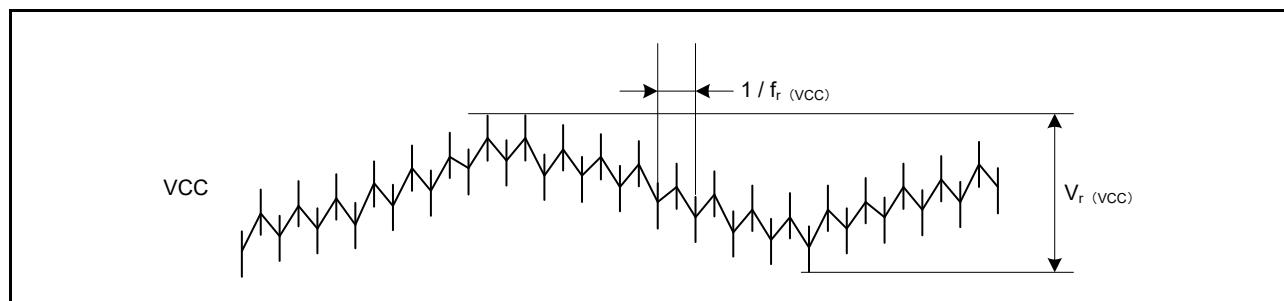


図 50.7 電源リップル波形

表 50.15 DC特性 (13)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
VCL端子外付け容量許容誤差	C_{VCL}	1.4	4.7	7.0	μF	

注. 推奨は4.7 μF です。端子容量のばらつきは、上記の範囲内にしてください。

表 50.16 出力許容電流値 (1)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目		記号	max	単位	
出力Lowレベル許容電流 (1端子あたりの平均値)	ポート40~47、ポート03、05、07、ポート36、37	I_{OL}	4.0	mA	
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
出力Lowレベル許容電流 (1端子あたりの最大値)	ポート40~47、ポート03、05、07、ポート36、37	I_{OL}	4.0	mA	
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
出力Lowレベル許容電流	ポート40~47、ポート03、05、07の合計	ΣI_{OL}	40	mA	
	ポート12~17、ポート20~27、ポート30~37、 ポートPJ3の合計		40		
	ポート50~55、ポートC0~C7、ポートB0~B7の合計		40		
	ポートE0~E7、ポートA0~A7、ポートD0~D4の合計		40		
	全出力端子の総和		80		
出力Highレベル許容電流 (1端子あたりの平均値)	ポート40~47、ポート03、05、07、ポート36、37	I_{OH}	-4.0	mA	
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
出力Highレベル許容電流 (1端子あたりの最大値)	ポート40~47、ポート03、05、07、ポート36、37	I_{OH}	-4.0	mA	
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
出力Highレベル許容電流	ポート40~47、ポート03、05、07の合計	ΣI_{OH}	-40	mA	
	ポート12~17、ポート20~27、ポート30~37、 ポートPJ3の合計		-40		
	ポート50~55、ポートC0~C7、ポートB0~B7の合計		-40		
	ポートE0~E7、ポートA0~A7、ポートD0~D4の合計		-40		
	全出力端子の総和		-80		

注. 許容総消費電流は超えないようにしてください。

表 50.17 出力許容電流値 (2)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	max	単位	
出力Lowレベル許容電流 (1端子あたりの平均値)	ポート40~47、ポート03、05、07、ポート36、37	I_{OL}	4.0	mA	
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
出力Lowレベル許容電流 (1端子あたりの最大値)	ポート40~47、ポート03、05、07、ポート36、37	I_{OL}	4.0	mA	
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
出力Lowレベル許容電流	ポート40~47、ポート03、05、07の合計	ΣI_{OL}	30	mA	
	ポート12~17、ポート20~27、ポート30~37、 ポートPJ3の合計		30		
	ポート50~55、ポートC0~C7、ポートB0~B7の合計		30		
	ポートE0~E7、ポートA0~A7、ポートD0~D4の合計		30		
	全出力端子の総和		60		
出力Highレベル許容電流 (1端子あたりの平均値)	ポート40~47、ポート03、05、07、ポート36、37	I_{OH}	-4.0	mA	
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
出力Highレベル許容電流 (1端子あたりの最大値)	ポート40~47、ポート03、05、07、ポート36、37	I_{OH}	-4.0	mA	
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
出力Highレベル許容電流	ポート40~47、ポート03、05、07の合計	ΣI_{OH}	-30	mA	
	ポート12~17、ポート20~27、ポート30~37、 ポートPJ3の合計		-30		
	ポート50~55、ポートC0~C7、ポートB0~B7の合計		-30		
	ポートE0~E7、ポートA0~A7、ポートD0~D4の合計		-30		
	全出力端子の総和		-60		

注. 許容総消費電流は超えないようにしてください。

表 50.18 出力電圧値 (1)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 < 2.7V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目			記号	min	max	単位	測定条件
出力Low レベル	全出力端子	通常出力時	V_{OL}	—	0.3	V	$I_{OL} = 0.5mA$
		高駆動出力時		—	0.3		$I_{OL} = 1.0mA$
出力High レベル	全出力端子	通常出力時	V_{OH}	ポート03、05、07、 ポート40～47	$AVCC0 - 0.3$	—	$I_{OH} = -0.5mA$
				上記以外	$VCC - 0.3$	—	
		高駆動出力時		$VCC - 0.3$	—	$I_{OH} = -1.0mA$	

表 50.19 出力電圧値 (2)

条件: $2.7V \leq VCC = VCC_USB = AVCC0 < 4.0V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目			記号	min	max	単位	測定条件
出力Low レベル	全出力端子 (RIIC以外)	通常出力時	V_{OL}	—	0.5	V	$I_{OL} = 1.0mA$
		高駆動出力時		—	0.5		$I_{OL} = 2.0mA$
	RIIC端子	スタンダードモード (通常駆動選択時)		—	0.4		$I_{OL} = 3.0mA$
		ファストモード (高駆動出力選択時)		—	0.6		$I_{OL} = 6.0mA$
出力High レベル	全出力端子	通常出力時	V_{OH}	ポート03、05、07、 ポート40～47	$AVCC0 - 0.5$	—	$I_{OH} = -1.0mA$
				上記以外	$VCC - 0.5$	—	
		高駆動出力時		$VCC - 0.5$	—	$I_{OH} = -2.0mA$	

表 50.20 出力電圧値 (3)

条件: $4.0V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目			記号	min	max	単位	測定条件
出力Low レベル	全出力端子 (RIIC以外)	通常出力時	V_{OL}	—	0.8	V	$I_{OL} = 2.0mA$
		高駆動出力時		—	0.8		$I_{OL} = 4.0mA$
	RIIC端子	スタンダードモード (通常駆動選択時)		—	0.4		$I_{OL} = 3.0mA$
		ファストモード (高駆動出力選択時)		—	0.6		$I_{OL} = 6.0mA$
出力High レベル	全出力端子	通常出力時	V_{OH}	ポート03、05、07、 ポート40～47	$AVCC0 - 0.8$	—	$I_{OH} = -2.0mA$
				上記以外	$VCC - 0.8$	—	
		高駆動出力時		$VCC - 0.8$	—	$I_{OH} = -4.0mA$	

50.2.1 標準 I/O 端子出力特性 (1)

図 50.8 ~ 図 50.12 に駆動能力制御レジスタで通常出力を選択したときの特性を示します。

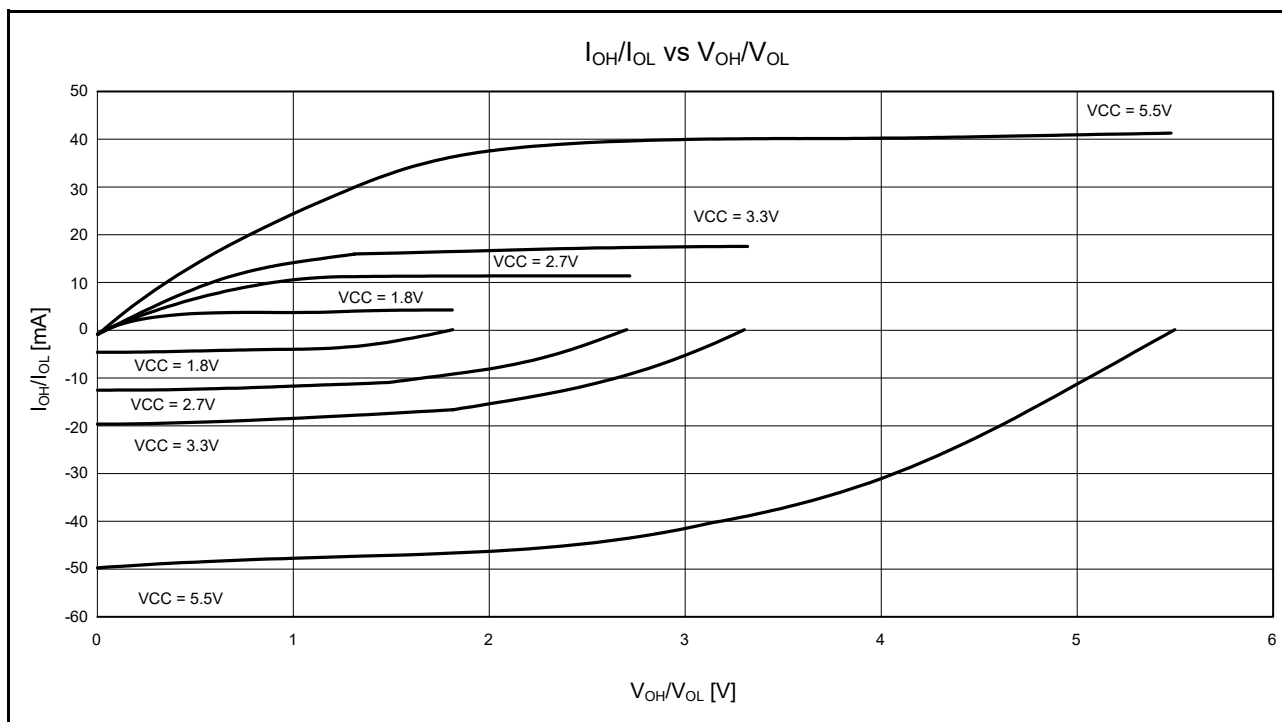


図 50.8 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 電圧特性 $T_a = 25^\circ C$ (参考データ)

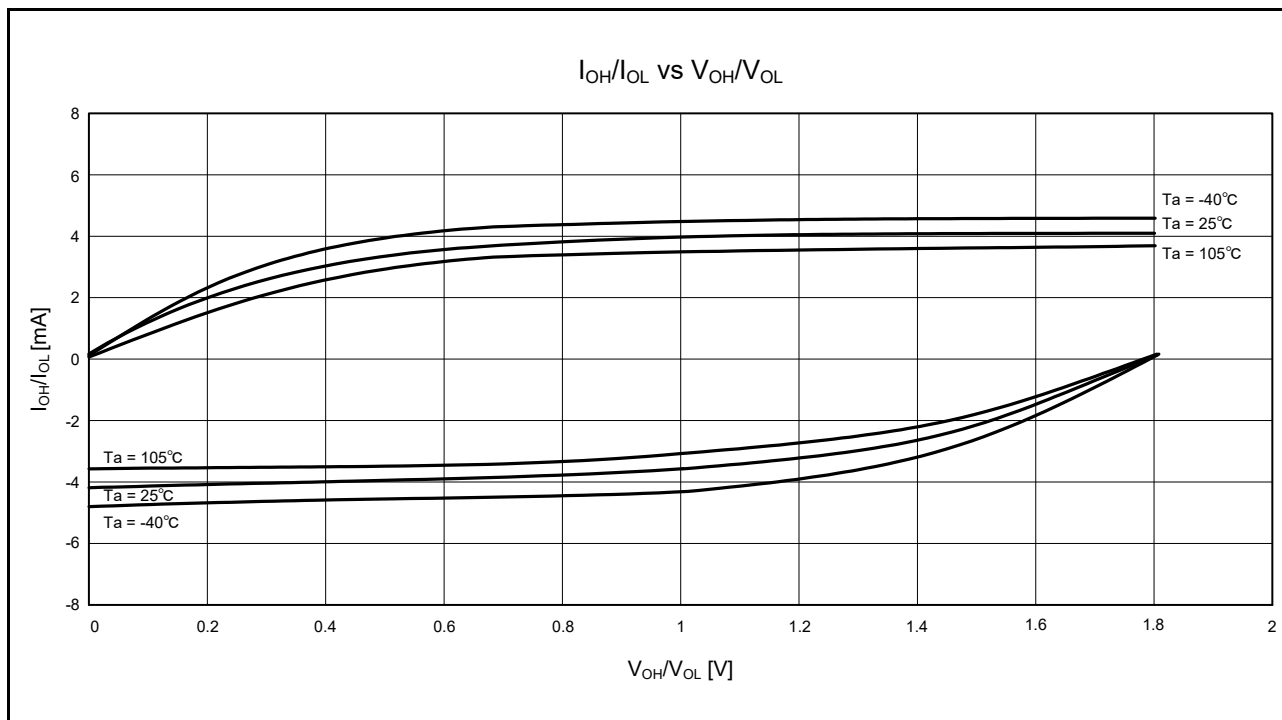


図 50.9 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 1.8V$ (参考データ)

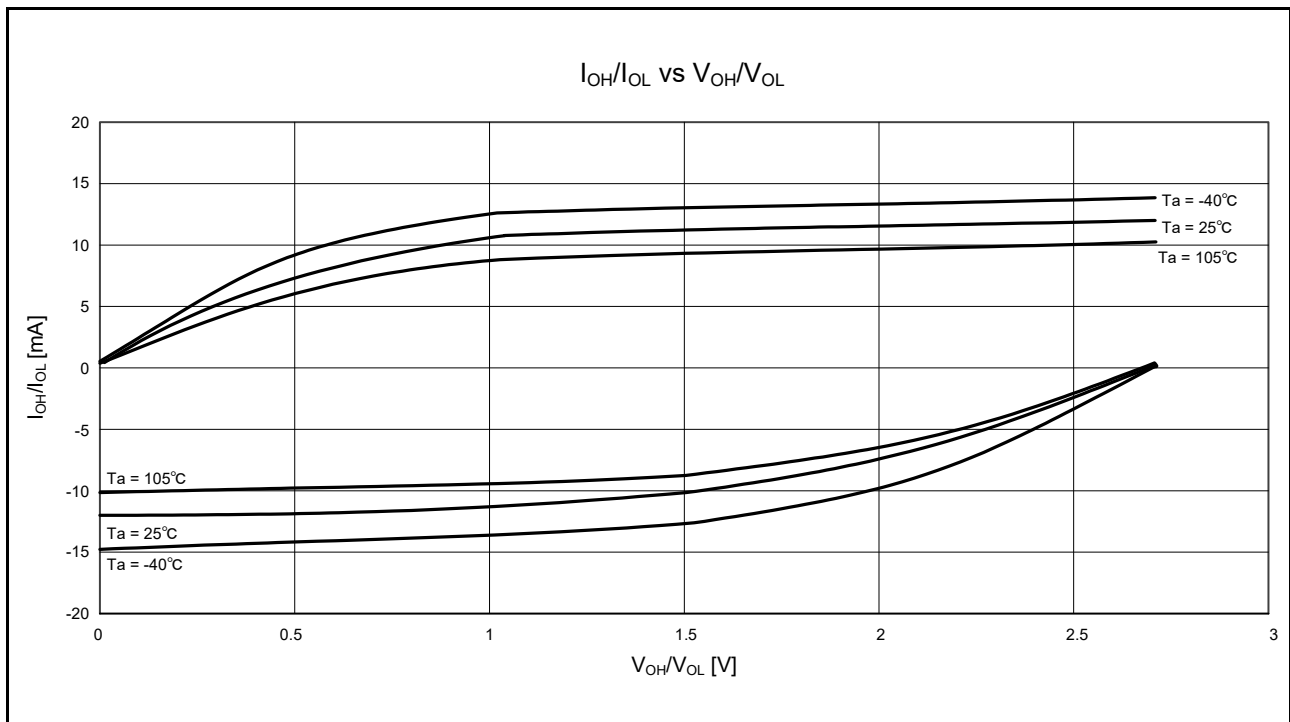


図 50.10 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

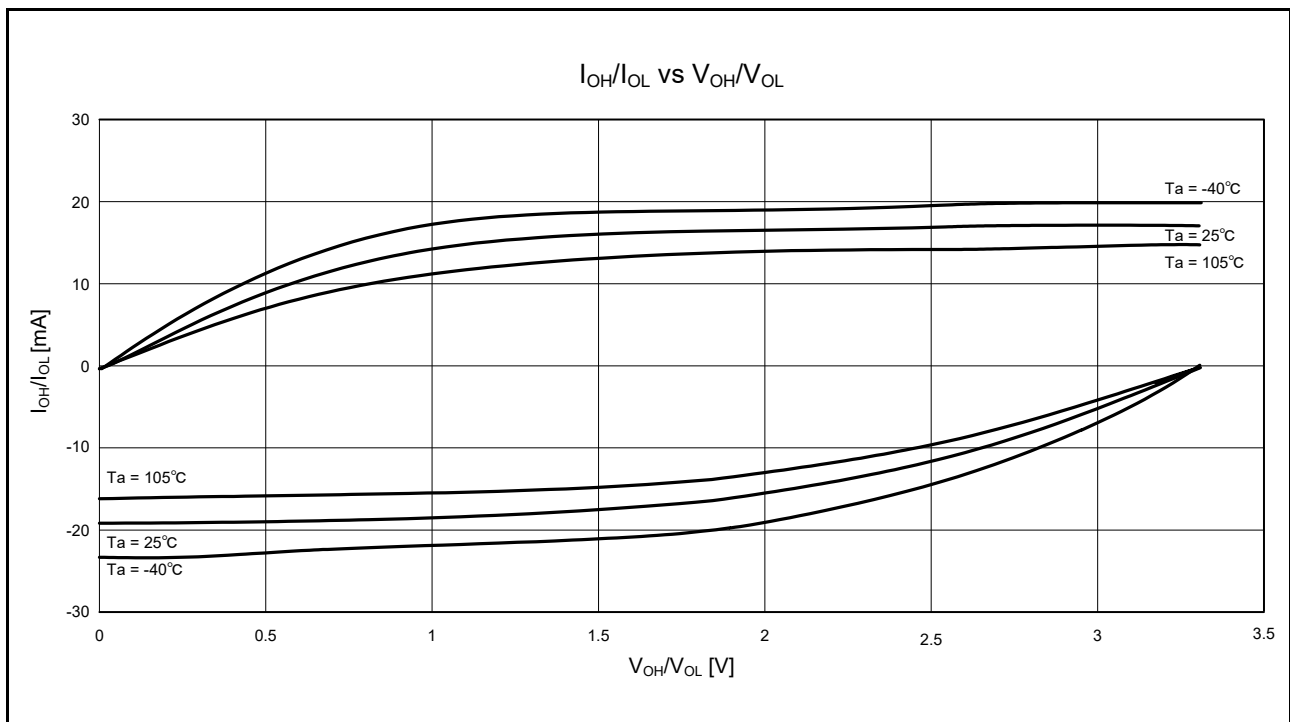


図 50.11 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 3.3V$ (参考データ)

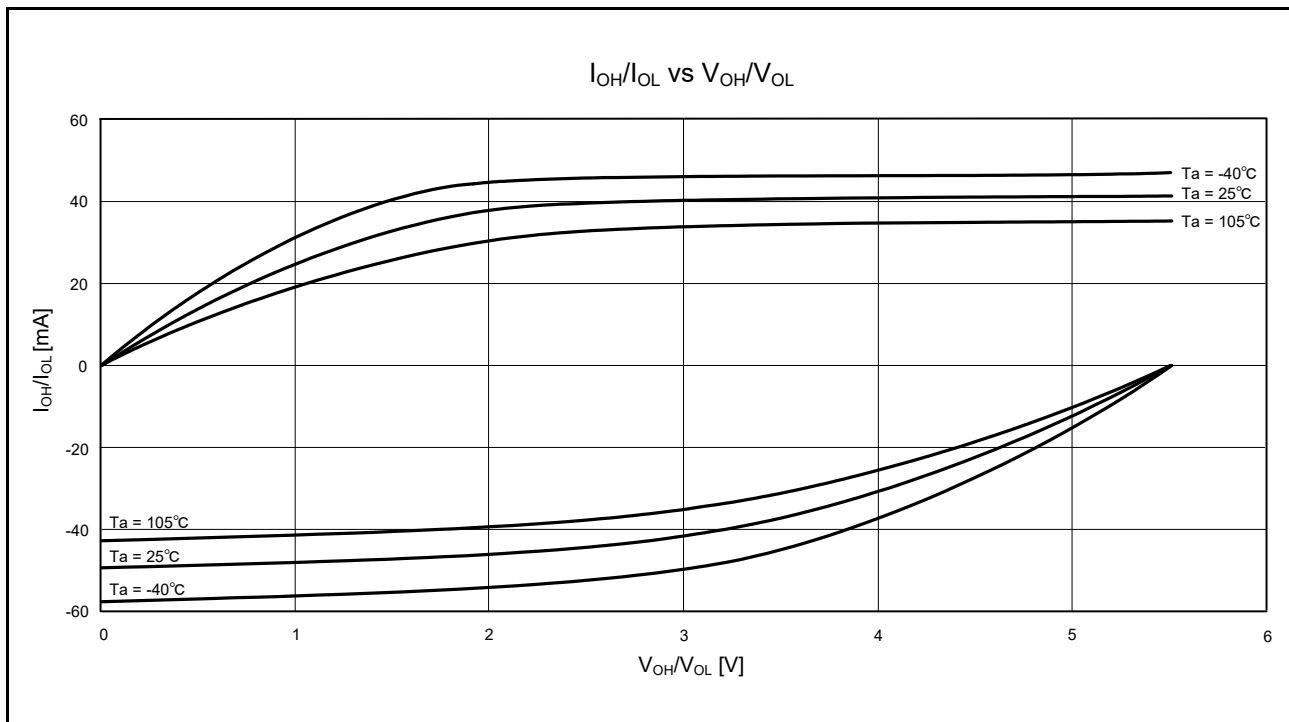


図 50.12 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.5\text{V}$ (参考データ)

50.2.2 標準 I/O 端子出力特性 (2)

図 50.13 ~ 図 50.17 に駆動能力制御レジスタで高駆動出力を選択したときの特性を示します。

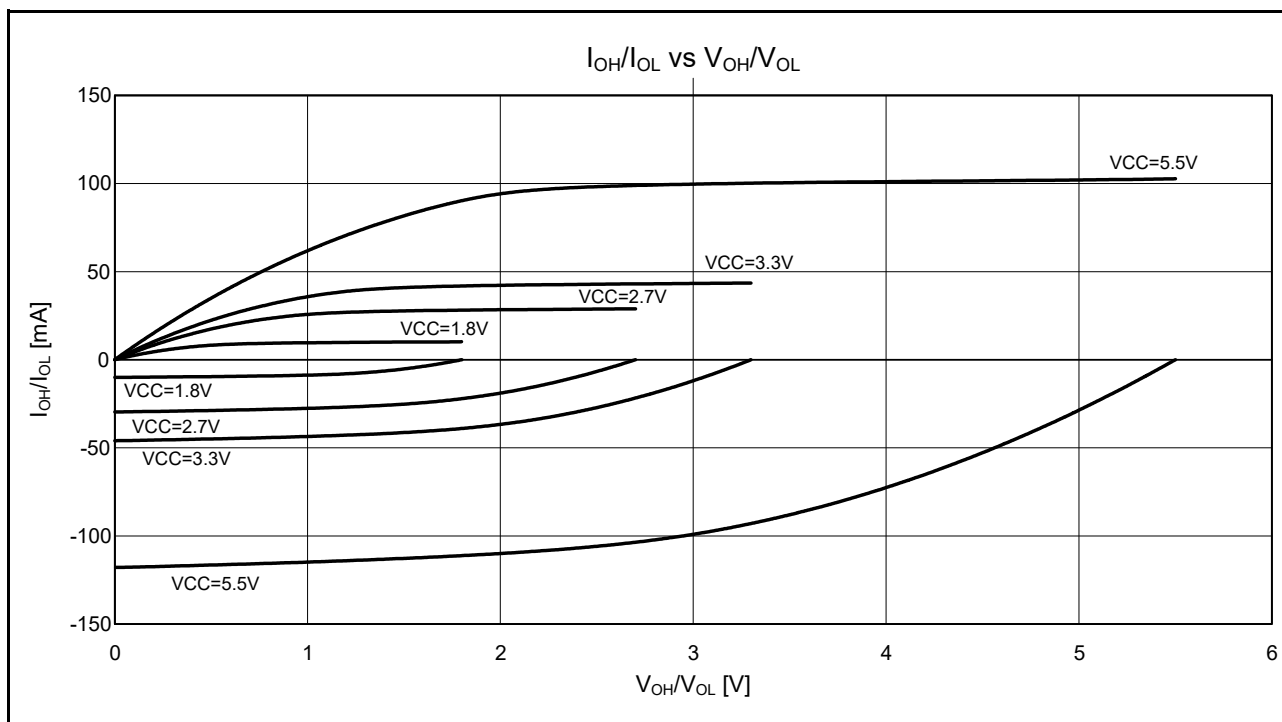


図 50.13 高駆動出力を選択したときの VOH/VOL、IOH/IOL 電圧特性 Ta = 25°C (参考データ)

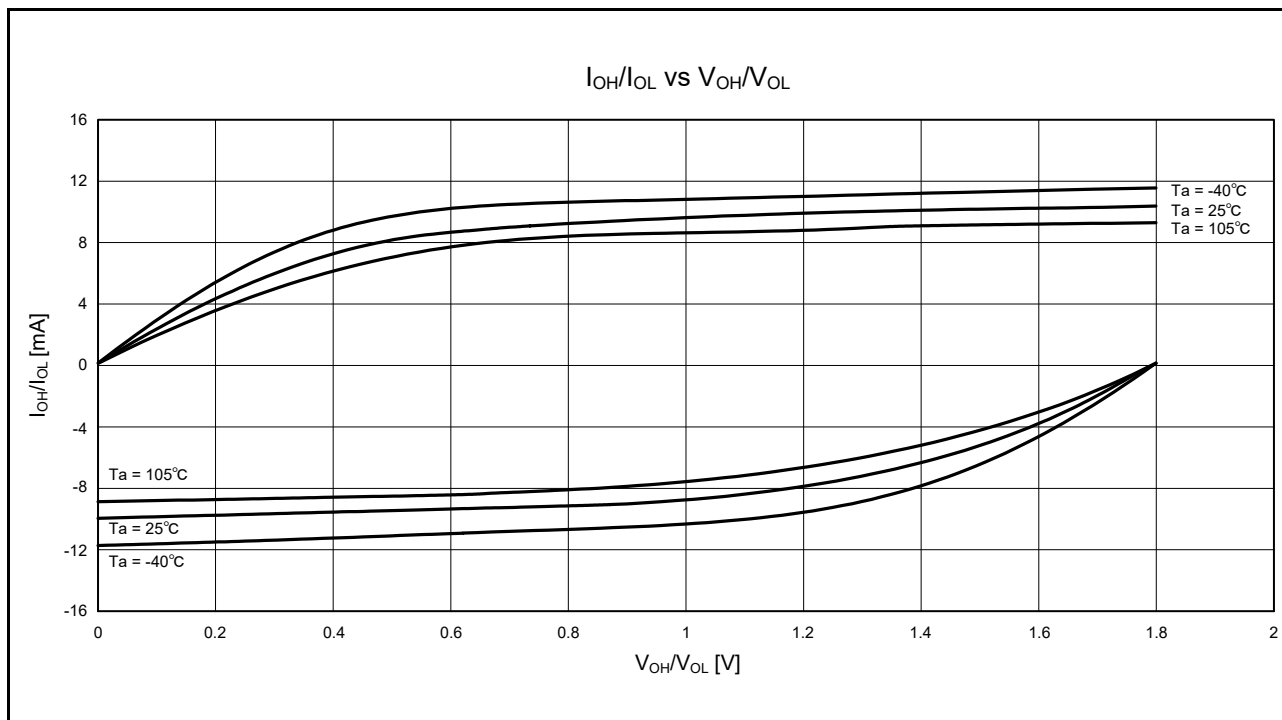


図 50.14 高駆動出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 1.8V (参考データ)

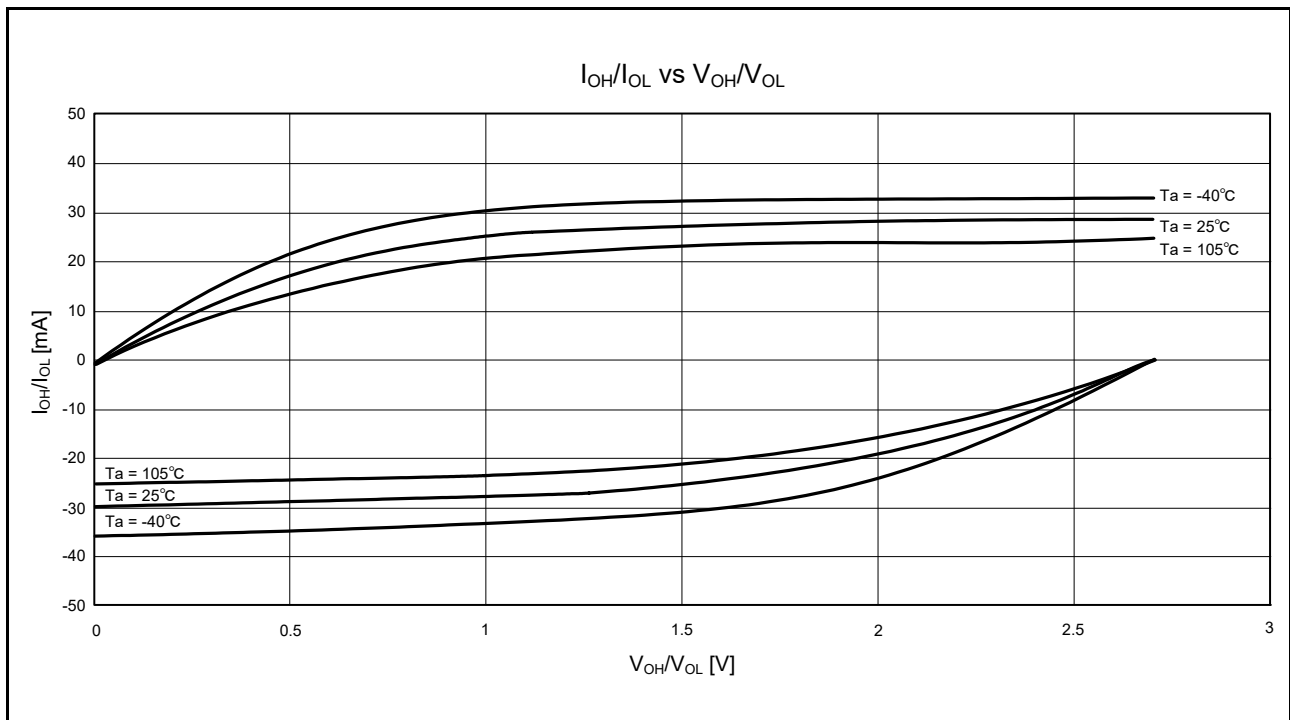


図 50.15 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

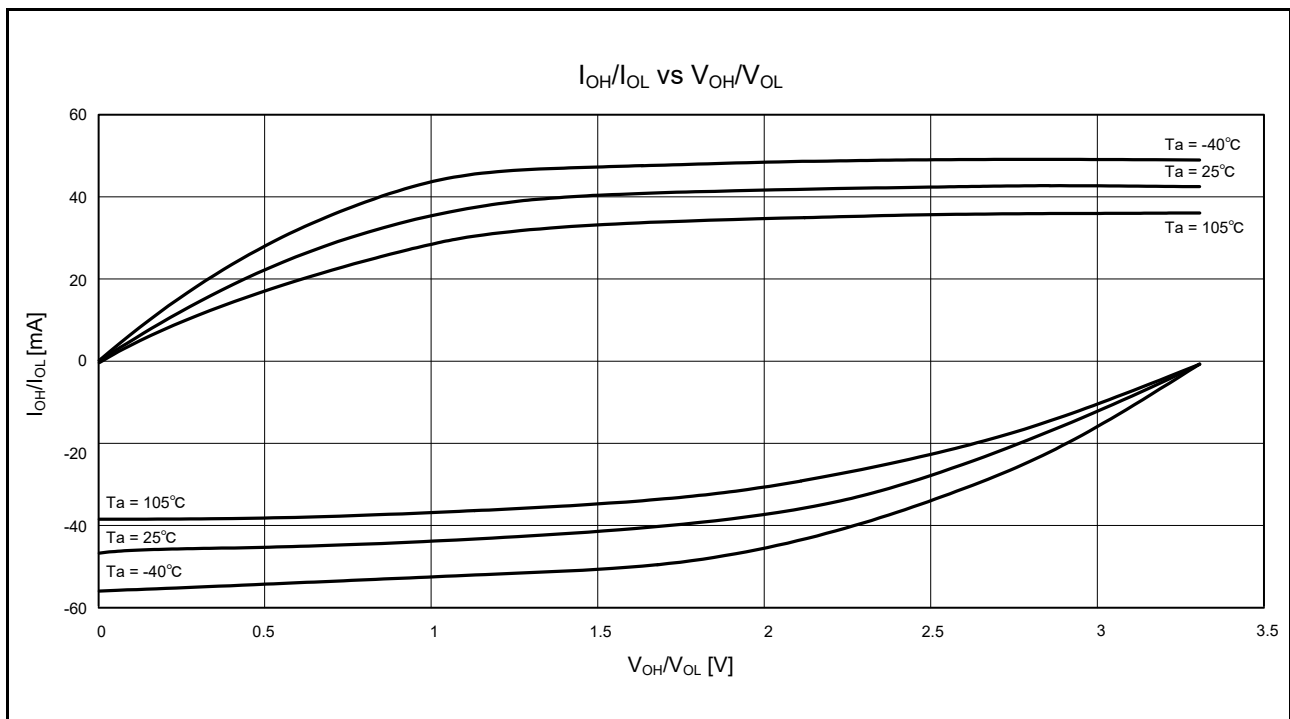


図 50.16 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 3.3V$ (参考データ)

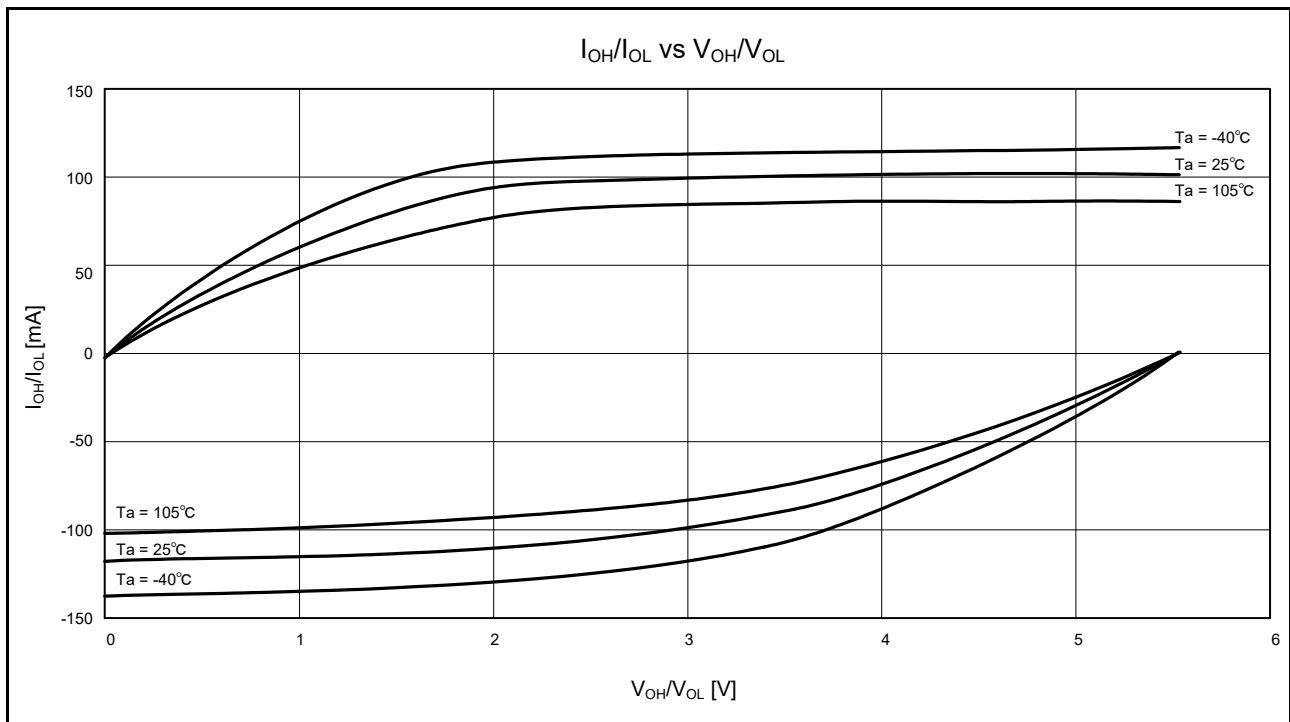


図 50.17 高駆動出力を選択したときの V_{OH}/V_{OL}、I_{OH}/I_{OL} 温度特性 VCC = 5.5V (参考データ)

50.2.3 標準 I/O 端子出力特性 (3)

図 50.18 ~ 図 50.21 に RIIC 出力端子の特性を示します。

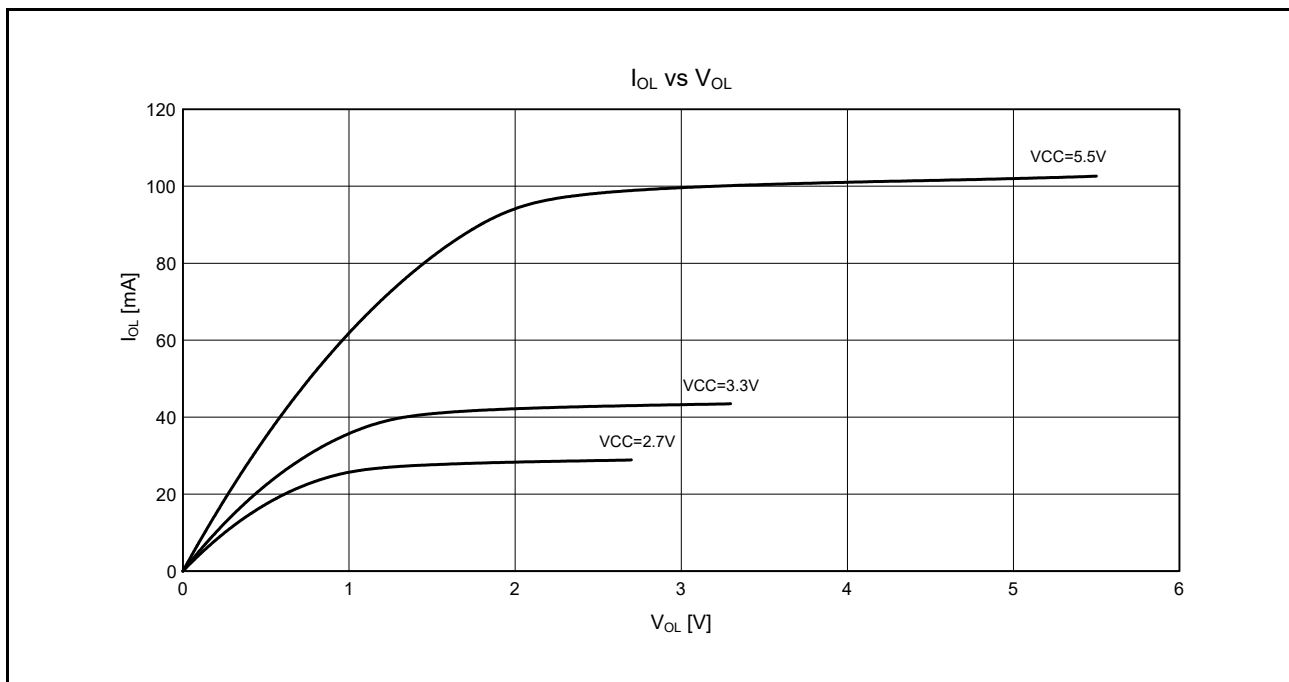


図 50.18 RIIC 出力端子の V_{OL} 、 I_{OL} 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

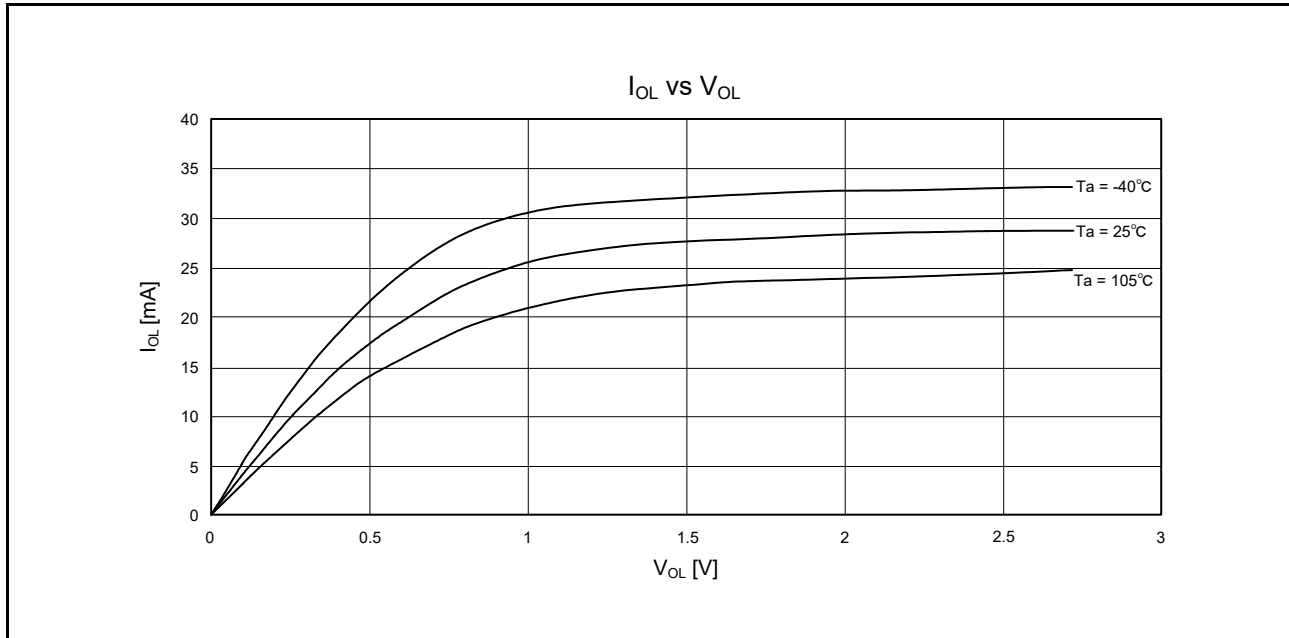


図 50.19 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 2.7\text{V}$ (参考データ)

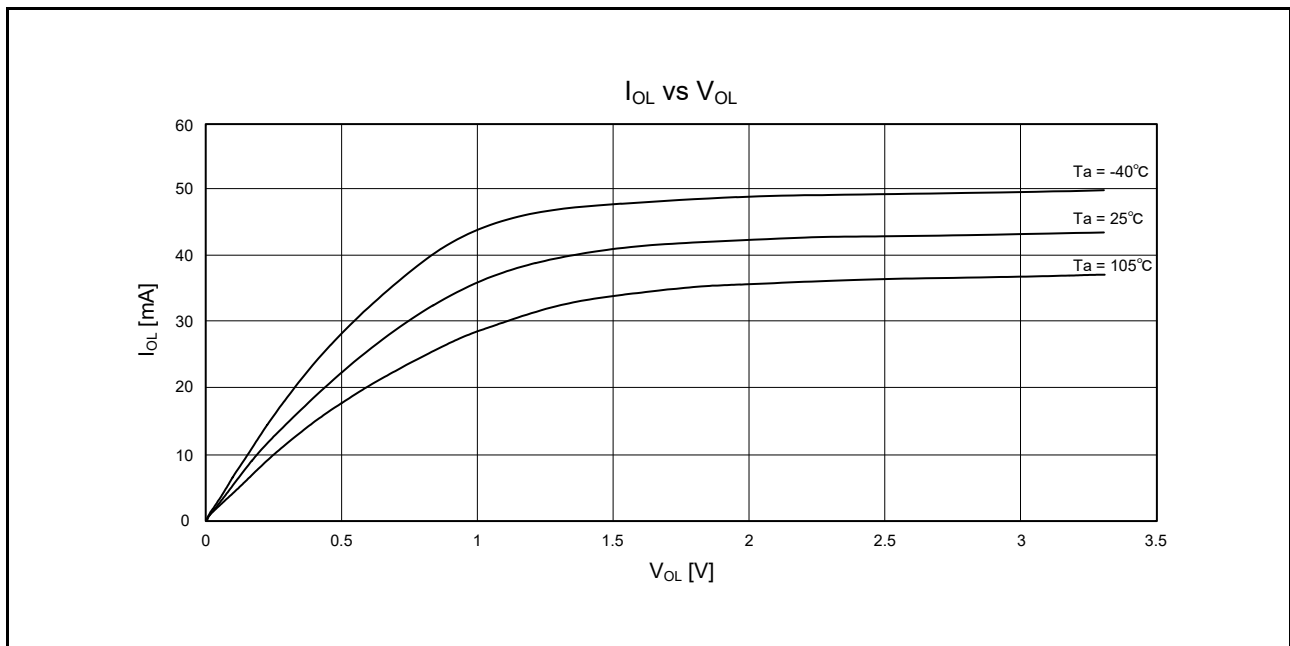


図 50.20 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 3.3\text{V}$ (参考データ)

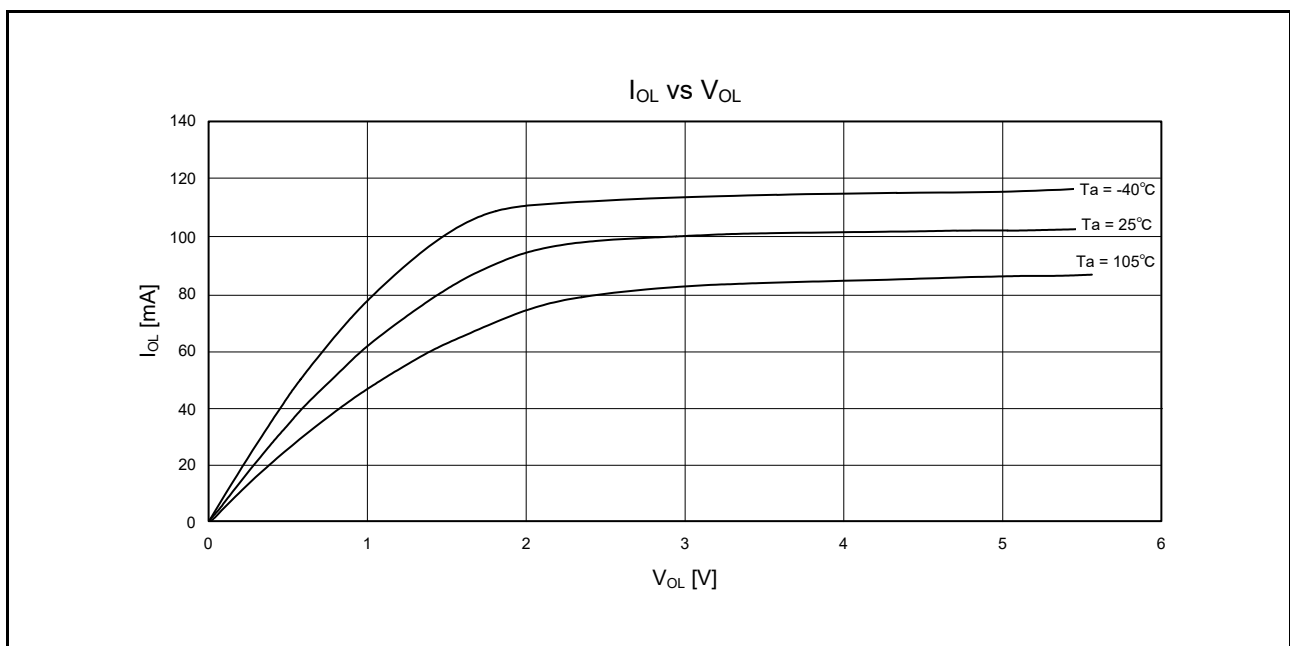


図 50.21 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 5.5\text{V}$ (参考データ)

50.3 AC 特性

50.3.1 クロックタイミング

表 50.21 動作周波数（高速動作モード）

条件： $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	VCC				単位	
		$1.8V \leq VCC < 2.4V$	$2.4V \leq VCC < 2.7V$	$2.7V \leq VCC \leq 5.5V$	USB使用時 (注3)		
最大動作周波数(注4)	システムクロック (ICLK)	f_{max}	8	16	54	54	MHz
	FlashIFクロック (FCLK)(注1、注2)		8	16	32	32	
	周辺モジュールクロック (PCLKA)		8	16	54	54	
	周辺モジュールクロック (PCLKB)		8	16	32	32	
	周辺モジュールクロック (PCLKD)		8	32	54	54	
	外部バスクロック (BCLK)		8	16	32	32	
	BCLK端子出力		8	8	16	16	
	USBクロック (UCLK)		f_{usb}	—	—	—	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。

注3. USBクロック使用時のVCC_USBは3.0~5.5Vです。

注4. 記載している最高動作周波数には、外部発振子や内蔵オシレータの誤差を含めず表記しています。動作保証範囲については、「表50.26 クロックタイミング」を参照してください。

表 50.22 動作周波数（中速動作モード）

条件： $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	VCC				単位	
		$1.8V \leq VCC < 2.4V$	$2.4V \leq VCC < 2.7V$	$2.7V \leq VCC \leq 5.5V$	USB使用時 (注3)		
最大動作周波数(注4)	システムクロック (ICLK)	f_{max}	8	12	12	12	MHz
	FlashIFクロック (FCLK)(注1、注2)		8	12	12	12	
	周辺モジュールクロック (PCLKA)		8	12	12	12	
	周辺モジュールクロック (PCLKB)		8	12	12	12	
	周辺モジュールクロック (PCLKD)		8	12	12	12	
	外部バスクロック (BCLK)		8	12	12	12	
	BCLK端子出力		8	8	12	12	
	USBクロック (UCLK)		f_{usb}	—	—	—	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。

注3. USBクロック使用時のVCC_USBは3.0~5.5Vです。

注4. 記載している最高動作周波数には、外部発振子や内蔵オシレータの誤差を含めず表記しています。動作保証範囲については、「表50.26 クロックタイミング」を参照してください。

表 50.23 動作周波数（低速動作モード）

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	VCC			単位	
		1.8V ≤ VCC < 2.4V	2.4V ≤ VCC < 2.7V	2.7V ≤ VCC ≤ 5.5V		
最大動作周波数 (注3)	システムクロック (ICLK)	f _{max}	32.768			kHz
	FlashIFクロック (FCLK) (注1)		32.768			
	周辺モジュールクロック (PCLKA)		32.768			
	周辺モジュールクロック (PCLKB)		32.768			
	周辺モジュールクロック (PCLKD) (注2)		32.768			
	外部バスクロック (BCLK)		32.768			
	BCLK端子出力		32.768			

注1. フラッシュメモリのP/Eはできません。

注2. A/Dコンバータは使用できません。

注3. 記載している最高動作周波数には、外部発振子の誤差を含めず表記しています。動作保証範囲については、「表 50.26 クロックタイミング」を参照してください。

表 50.24 BCLKクロックタイミング (1)

条件：2.7V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、f_{BCLK} ≤ 32MHz (BCLK端子出力周波数 ≤ 16MHz)、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
BCLK端子出力サイクル時間	t _{Bcyc}	62.5	—	—	ns	図 50.22
BCLK端子出力Highレベルパルス幅	t _{CH}	15	—	—	ns	
BCLK端子出力Lowレベルパルス幅	t _{CL}	15	—	—	ns	
BCLK端子出力立ち上がり時間	t _{Cr}	—	—	12	ns	
BCLK端子出力立ち下がり時間	t _{Cf}	—	—	12	ns	

表 50.25 BCLKクロックタイミング (2)

条件：1.8V ≤ VCC = VCC_USB = AVCC0 < 2.7V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、f_{BCLK} ≤ 16MHz (BCLK端子出力周波数 ≤ 8MHz)、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
BCLK端子出力サイクル時間	t _{Bcyc}	125	—	—	ns	図 50.22
BCLK端子出力Highレベルパルス幅	t _{CH}	30	—	—	ns	
BCLK端子出力Lowレベルパルス幅	t _{CL}	30	—	—	ns	
BCLK端子出力立ち上がり時間	t _{Cr}	—	—	25	ns	
BCLK端子出力立ち下がり時間	t _{Cf}	—	—	25	ns	

表 50.26 クロックタイミング

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
EXTAL外部クロック入力サイクル時間	t _{Xcyc}	50	—	—	ns	図 50.23	
EXTAL外部クロック入力パルス幅Highレベル	t _{XH}	20	—	—	ns		
EXTAL外部クロック入力パルス幅Lowレベル	t _{XL}	20	—	—	ns		
EXTAL外部クロック立ち上がり時間	t _{Xr}	—	—	5	ns		
EXTAL外部クロック立ち下がり時間	t _{Xf}	—	—	5	ns		
EXTAL外部クロック入力待機時間(注1)	t _{XWT}	0.5	—	—	μs	図 50.24	
メインクロック発振器発振周波数(注2)	f _{MAIN}	2.4 ≤ VCC ≤ 5.5	1	—	20		MHz
		1.8 ≤ VCC < 2.4	1	—	8		
メインクロック発振安定時間(水晶振動子)(注2)	t _{MAINOSC}	—	3	—	ms		
メインクロック発振安定時間(セラミック共振子)(注2)	t _{MAINOSC}	—	50	—	μs		
LOCOクロック発振周波数	f _{LOCO}	3.44	4.0	4.56	MHz	図 50.25	
LOCOクロック発振安定時間	t _{LOCO}	—	—	0.5	μs		
IWDT専用クロック発振周波数	f _{ILOCO}	12.75	15	17.25	kHz	図 50.26	
IWDT専用クロック発振安定時間	t _{ILOCO}	—	—	50	μs		
HOCOクロック発振周波数	f _{HOCO} (32MHz)	31.52	32	32.48	MHz	T _a = -40 ~ +85°C	
		31.68	32	32.32		T _a = 0 ~ +55°C	
		31.36	32	32.64		T _a = -40 ~ +105°C	
	f _{HOCO} (54MHz)	53.19	54	54.81	MHz	T _a = -40 ~ +85°C	
		53.46	54	54.54		T _a = 0 ~ +55°C	
		52.92	54	55.08		T _a = -40 ~ +105°C	
HOCOクロック発振安定時間	t _{HOCO}	—	—	30	μs	図 50.28	
PLL入力周波数(注3)	f _{PLLIN}	4	—	12.5	MHz	図 50.29	
PLL回路発振周波数(注3)	f _{PLL}	24	—	54	MHz		
PLLクロック発振安定時間	t _{PLL}	—	—	50	μs		
PLL自動発振周波数	f _{PLLFR}	—	8	—	MHz	図 50.29	
USBPLL入力周波数(注5)	f _{PLLIN}	—	6、8(注6)	—	MHz		
USBPLL回路発振周波数(注5)	f _{PLL}	—	48(注6)	—	MHz		
USBPLLクロック発振安定時間	t _{PLL}	—	—	50	μs	図 50.29	
サブクロック発振器発振周波数(注7)	f _{SUB}	—	32.768	—	kHz	図 50.30	
サブクロック発振安定時間(注4)	t _{SUBOSC}	—	0.5	—	s		

注1. メインクロック発振器停止ビット(MOSCCR.MOSTP)を“0”(動作)にしてから、使用できるまでの時間です。

注2. 8MHzの発振子を使用した場合の参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

注3. PLLを使用する場合、VCCは2.4~5.5Vにしてください。

注4. 32.768kHzの発振子を使用した参考値です。

SOSCCR.SOSTPビット、またはRCR3.RTCENビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定時間として発振子メーカーが推奨する安定時間以上の時間が経過した後、サブクロックの使用を開始してください。

注5. USBPLL使用時のVCCは3.0~5.5Vです。

注6. 入力周波数は6または8MHz、発振周波数は48MHzのみ設定可能です。

注7. 32.768kHzのみ使用可能です。

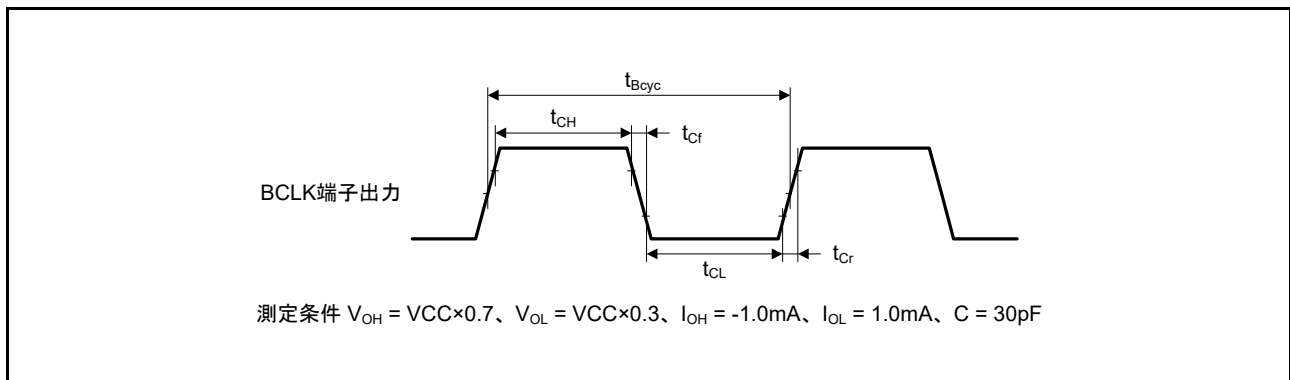


図 50.22 BCLK 端子出力タイミング

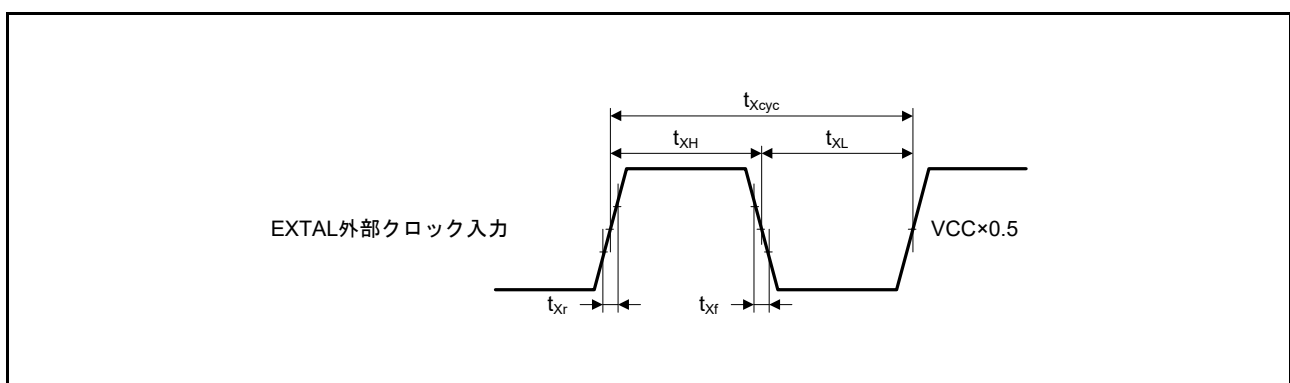


図 50.23 EXTAL 外部クロック入力タイミング

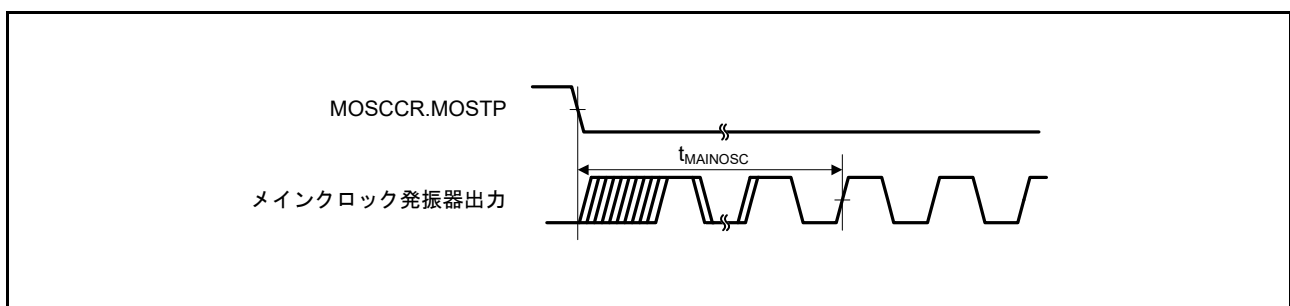


図 50.24 メインクロック発振開始タイミング

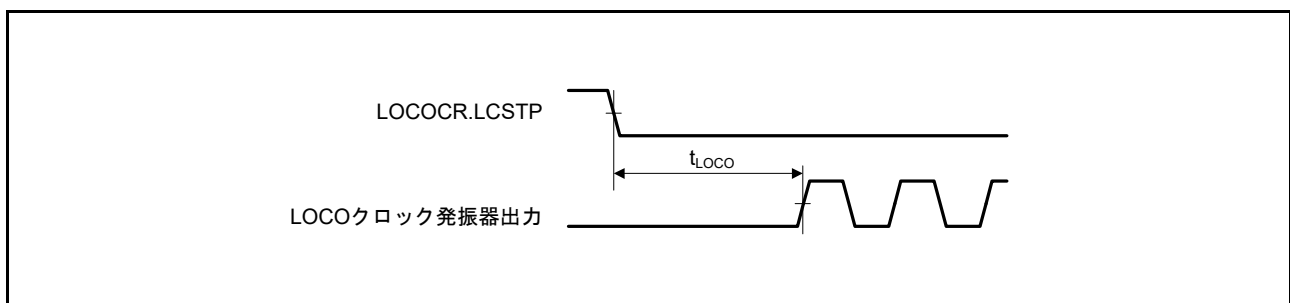


図 50.25 LOCO クロック発振開始タイミング

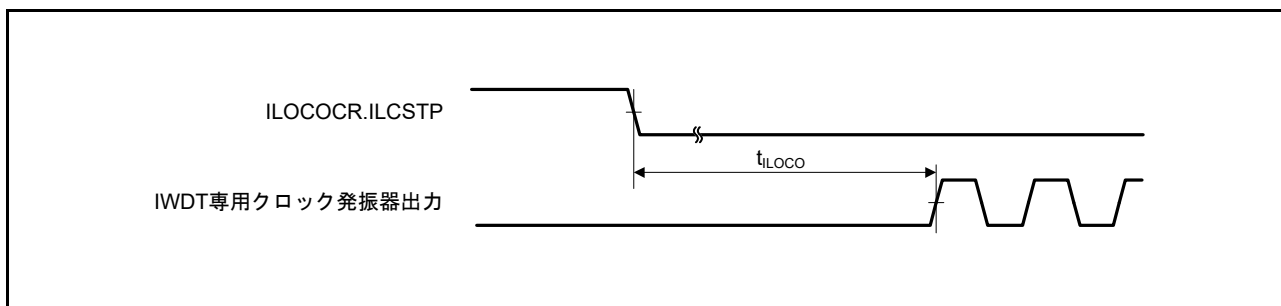


図 50.26 IWDW 専用クロック発振開始タイミング

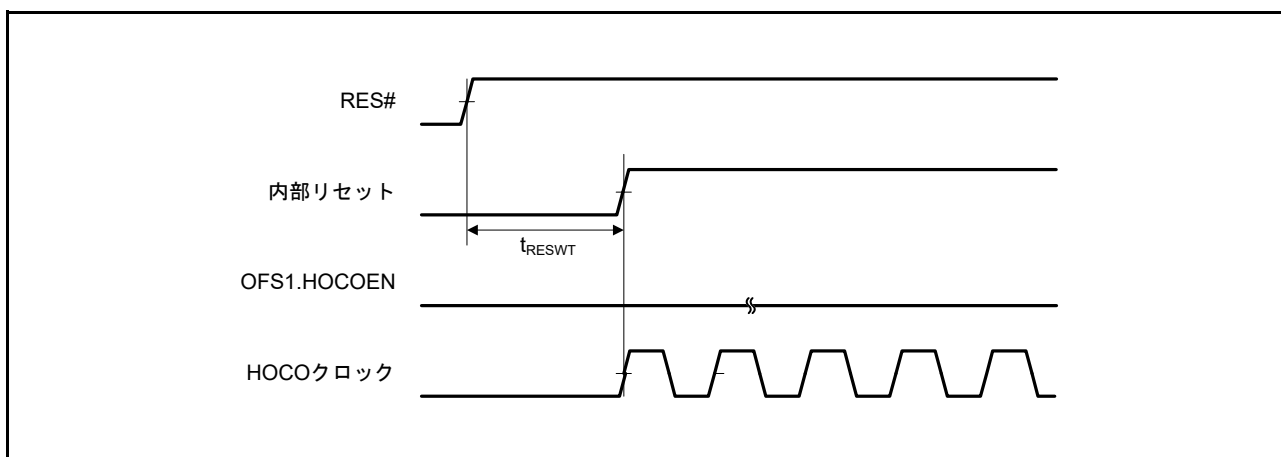


図 50.27 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0” 設定時のリセット解除後)

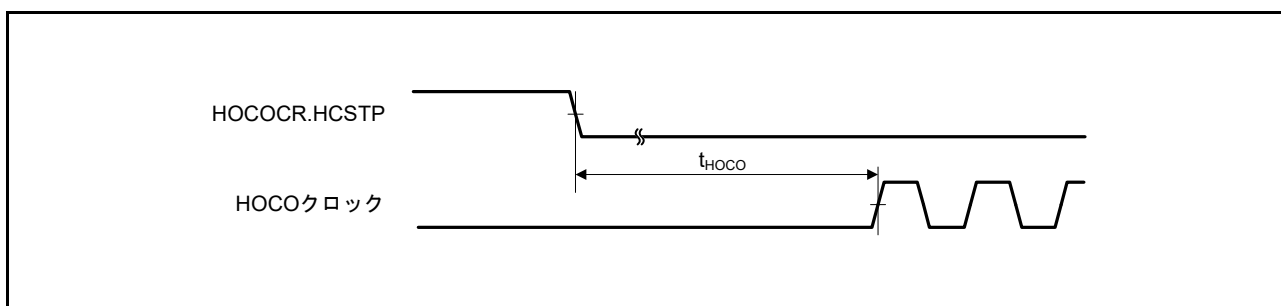


図 50.28 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

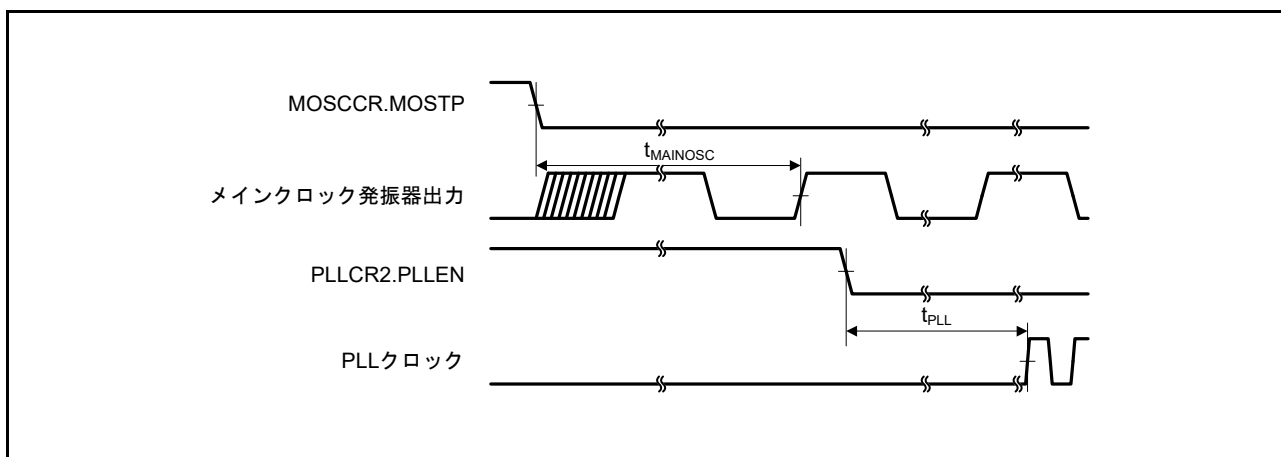


図 50.29 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

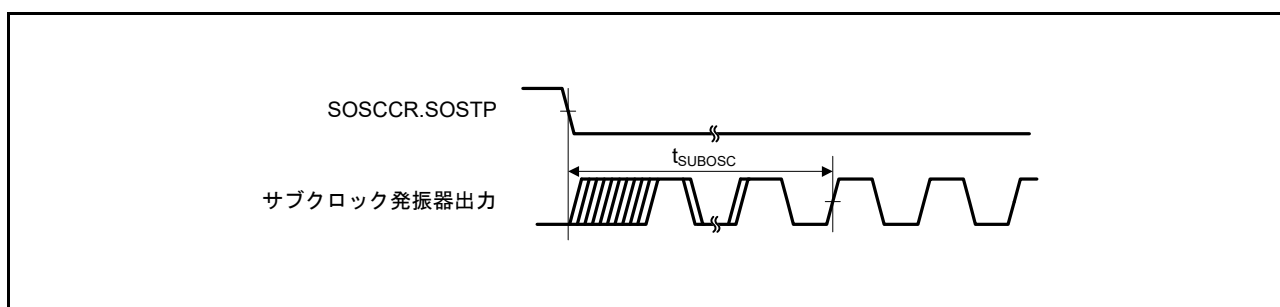


図 50.30 サブクロック発振開始タイミング

50.3.2 リセットタイミング

表 50.27 リセットタイミング

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	3	—	—	ms	図 50.31
	上記以外	t _{RESW}	30	—	—	μs	図 50.32
RES#解除後待機時間 (電源投入時)	通常起動時(注1)	t _{RESWT}	—	8.5	—	ms	図 50.31
	起動時間短縮時(注2)	t _{RESWT}	—	560	—	μs	
RES#解除後待機時間 (電源立ち上がった状態)		t _{RESWT}	—	120	—	μs	図 50.32
独立ウォッチドッグタイマリセット期間		t _{RESWIW}	—	1	—	IWDT clock cycle	図 50.33
ウォッチドッグタイマリセット期間		t _{RESWWW}	—	4	—	PCLKB cycle	
ソフトウェアリセット期間		t _{RESWSW}	—	1	—	ICLK cycle	
独立ウォッチドッグタイマリセット解除後待機時間(注3)		t _{RESWT2}	—	300	—	μs	
ウォッチドッグタイマリセット解除後待機時間(注4)		t _{RESWT2}	—	300	—	μs	
ソフトウェアリセット解除後待機時間		t _{RESWT2}	—	170	—	μs	

- 注1. OFS1.(LVDAS, FASTSTUP)ビット = 11bを設定した場合です。
- 注2. OFS1.(LVDAS, FASTSTUP)ビット = 11b以外を設定した場合です。
- 注3. IWDTCR.CKS[3:0]ビット = 0000bを設定した場合です。
- 注4. WDTCR.CKS[3:0]ビット = 0001bを設定した場合です。

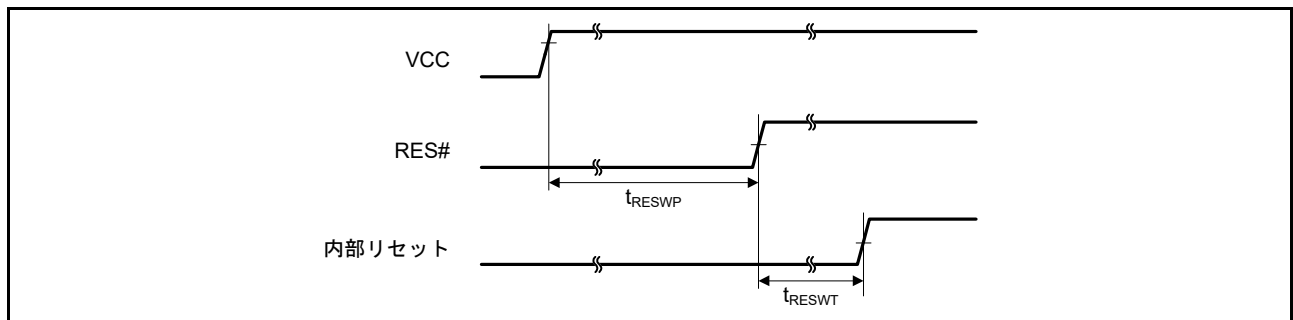


図 50.31 電源投入時リセット入力タイミング

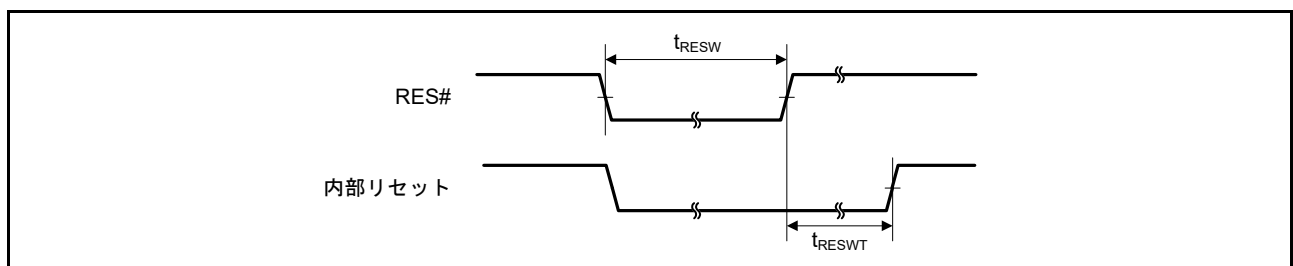


図 50.32 リセット入力タイミング (1)

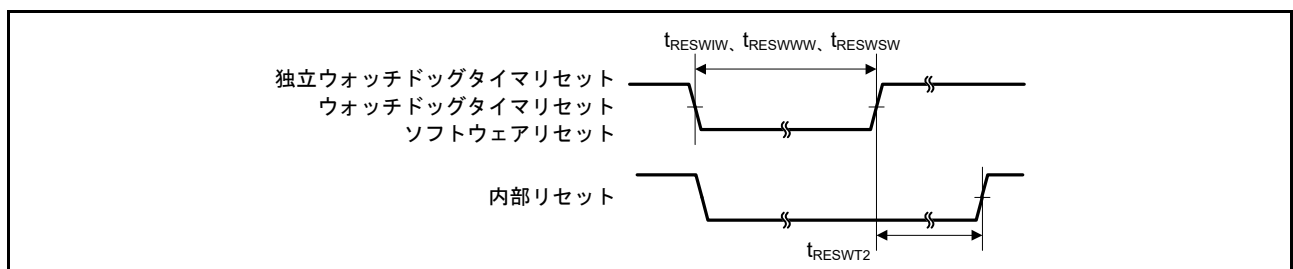


図 50.33 リセット入力タイミング (2)

50.3.3 低消費電力状態からの復帰タイミング

表50.28 低消費電力状態からの復帰タイミング (1)

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目			記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間(注1)	高速モード	メインクロック発振器に水晶振動子を接続	t _{SBYMC}	—	2	3	ms	図 50.34
		メインクロック発振器に外部クロックを入力	t _{SBYEX}	—	35	50	μs	
		サブクロック発振器動作	t _{SBYSC}	—	650	800	μs	
		HOCOクロック動作	t _{SBYHO}	—	40	55	μs	
		LOCOクロック動作	t _{SBYLO}	—	40	55	μs	

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が20MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に"04h"を設定した場合です。

注3. 外部クロックの周波数が20MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に"00h"を設定した場合です。

表50.29 低消費電力状態からの復帰タイミング (2)

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目			記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間(注1)	中速モード	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作(注2)	t _{SBYMC}	—	2	3	ms	図 50.34
			メインクロック発振器、PLL回路動作(注3)	t _{SBYPC}	—	2	3	ms	
		メインクロック発振器に外部クロックを入力	メインクロック発振器動作(注4)	t _{SBYEX}	—	3	4	μs	
			メインクロック発振器、PLL回路動作(注5)	t _{SBYPE}	—	65	85	μs	
		サブクロック発振器動作	t _{SBYSC}	—	600	750	μs		
		HOCOクロック動作(注6)	t _{SBYHO}	—	40	50	μs		
		LOCOクロック動作	t _{SBYLO}	—	5	7	μs		

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が12MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に"04h"を設定した場合です。

注3. PLLの周波数が12MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に"04h"を設定した場合です。

注4. 外部クロックの周波数が12MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に"00h"を設定した場合です。

注5. PLLの周波数が12MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に"00h"を設定した場合です。

注6. システムクロックにHOCOを選択し8MHzとなるように分周設定した場合です。

表 50.30 低消費電力状態からの復帰タイミング (3)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目			記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間(注1)	低速モード	サブクロック発振器動作	t_{SBYSC}	—	600	750	μs	図 50.34

注1. 低速モード時のソフトウェアスタンバイモードではサブクロックは発振を継続します。

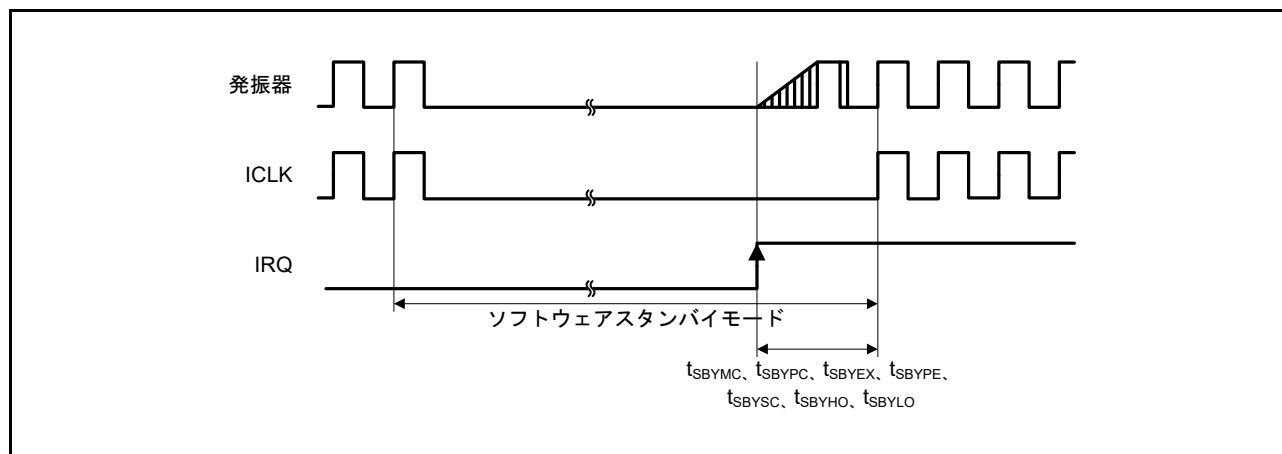


図 50.34 ソフトウェアスタンバイモード復帰タイミング

表 50.31 低消費電力状態からの復帰タイミング (4)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
ディープスリープモード解除後復帰時間(注1)	高速モード(注2)	$t_{DSL P}$	—	2	3.5	μs	図 50.35
	中速モード(注3)	$t_{DSL P}$	—	3	4	μs	
	低速モード(注4)	$t_{DSL P}$	—	400	500	μs	

注1. ディープスリープモードでは発振器は発振を継続します。

注2. システムクロック周波数が32MHzの場合です。

注3. システムクロック周波数が12MHzの場合です。

注4. システムクロック周波数が32kHzの場合です。

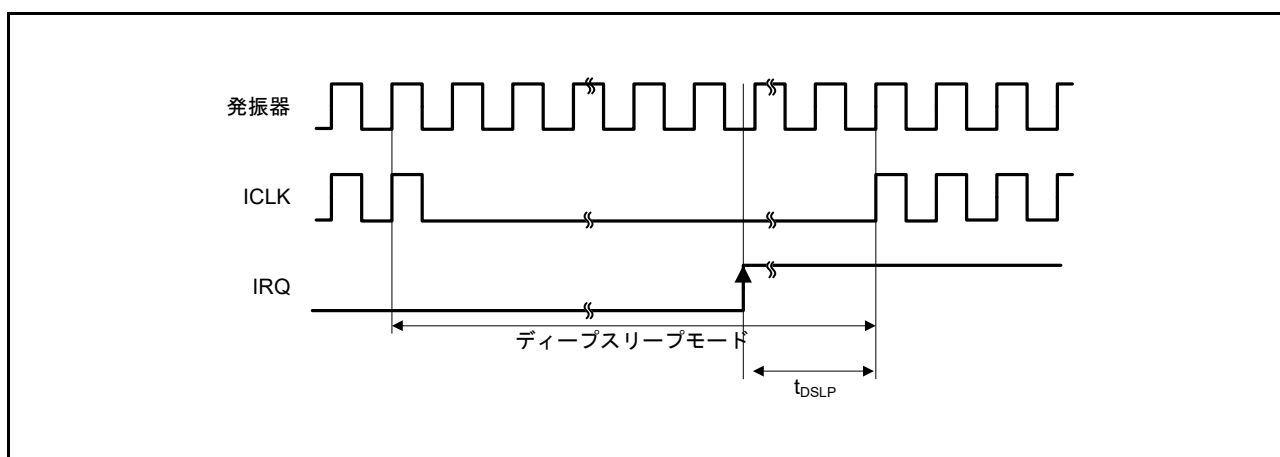


図 50.35 ディープスリープモード解除タイミング

表 50.32 動作モード遷移時間

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、T_a = -40 ~ +105°C

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	8MHz	—	10	—	μs
中速動作モード	高速動作モード	8MHz	—	37.5	—	μs
低速動作モード	中速動作・高速動作モード	32.768kHz	—	215	—	μs
中速動作・高速動作モード	低速動作モード	32.768kHz	—	185	—	μs

注. PCLKA、PCLKB、PCLKD、FCLK、BCLKを分周していない設定時の値です。

50.3.4 制御信号タイミング

表 50.33 制御信号タイミング

条件 : $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	$t_{NMICK} \times 3 \leq 200ns$
		$t_{NMICK} \times 3.5$ (注2)	—	—			$t_{NMICK} \times 3 > 200ns$
IRQパルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	$t_{IRQCK} \times 3 \leq 200ns$
		$t_{IRQCK} \times 3.5$ (注3)	—	—			$t_{IRQCK} \times 3 > 200ns$

注. ソフトウェアスタンバイモード時は最小200nsです。

注1. t_{Pcyc} はPCLKBの周期を指します。

注2. t_{NMICK} はNMIデジタルフィルタサンプリングクロックの周期です。

注3. t_{IRQCK} はIRQiデジタルフィルタサンプリングクロック (i = 0~7) の周期を指します。

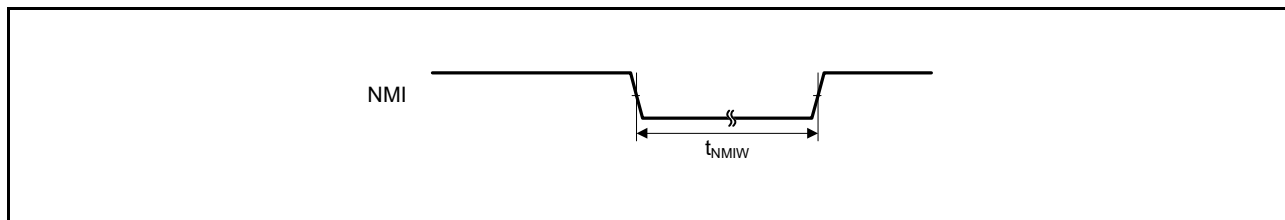


図 50.36 NMI 割り込み入力タイミング

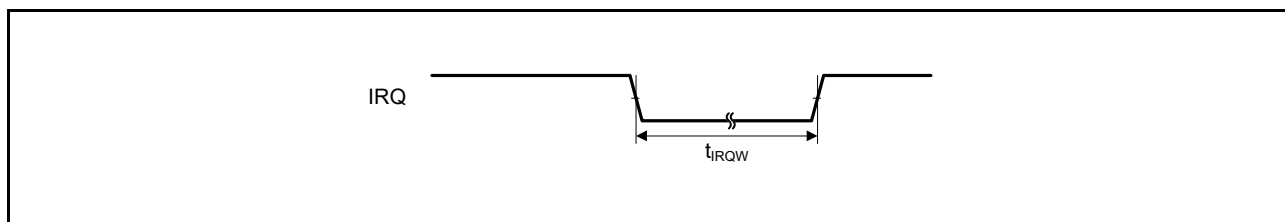


図 50.37 IRQ 割り込み入力タイミング

50.3.5 バスタイミング

表50.34 バスタイミング (1)

条件：2.7V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V、
fBCLK ≤ 32MHz (BCLK端子出力周波数 ≤ 16MHz)、T_a = -40 ~ +105°C、V_{OH} = VCC × 0.5、V_{OL} = VCC × 0.5、
I_{OH} = -1.0mA、I_{OL} = 1.0mA、C_L = 30pF 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t _{AD}	—	55	ns	図50.38 ~ 図50.41
バイトコントロール遅延時間	t _{BCD}	—	55	ns	
CS#遅延時間	t _{CSD}	—	55	ns	
RD#遅延時間	t _{RSD}	—	55	ns	
リードデータセットアップ時間	t _{RDS}	40	—	ns	
リードデータホールド時間	t _{RDH}	0	—	ns	
WR#遅延時間	t _{WRD}	—	55	ns	
ライトデータ遅延時間	t _{WDD}	—	55	ns	
ライトデータホールド時間	t _{WDH}	0	—	ns	
WAIT#セットアップ時間	t _{WTS}	40	—	ns	図50.42
WAIT#ホールド時間	t _{WTH}	0	—	ns	

表50.35 バスタイミング (2)

条件：1.8V ≤ VCC = VCC_USB = AVCC0 < 2.7V、VSS = AVSS0 = VSS_USB = 0V、
fBCLK ≤ 16MHz (BCLK端子出力周波数 ≤ 8MHz)、T_a = -40 ~ +105°C、V_{OH} = VCC × 0.5、V_{OL} = VCC × 0.5、
I_{OH} = -1.0mA、I_{OL} = 1.0mA、C_L = 30pF 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t _{AD}	—	90	ns	図50.38 ~ 図50.41
バイトコントロール遅延時間	t _{BCD}	—	90	ns	
CS#遅延時間	t _{CSD}	—	90	ns	
RD#遅延時間	t _{RSD}	—	90	ns	
リードデータセットアップ時間	t _{RDS}	60	—	ns	
リードデータホールド時間	t _{RDH}	0	—	ns	
WR#遅延時間	t _{WRD}	—	90	ns	
ライトデータ遅延時間	t _{WDD}	—	90	ns	
ライトデータホールド時間	t _{WDH}	0	—	ns	
WAIT#セットアップ時間	t _{WTS}	60	—	ns	図50.42
WAIT#ホールド時間	t _{WTH}	0	—	ns	

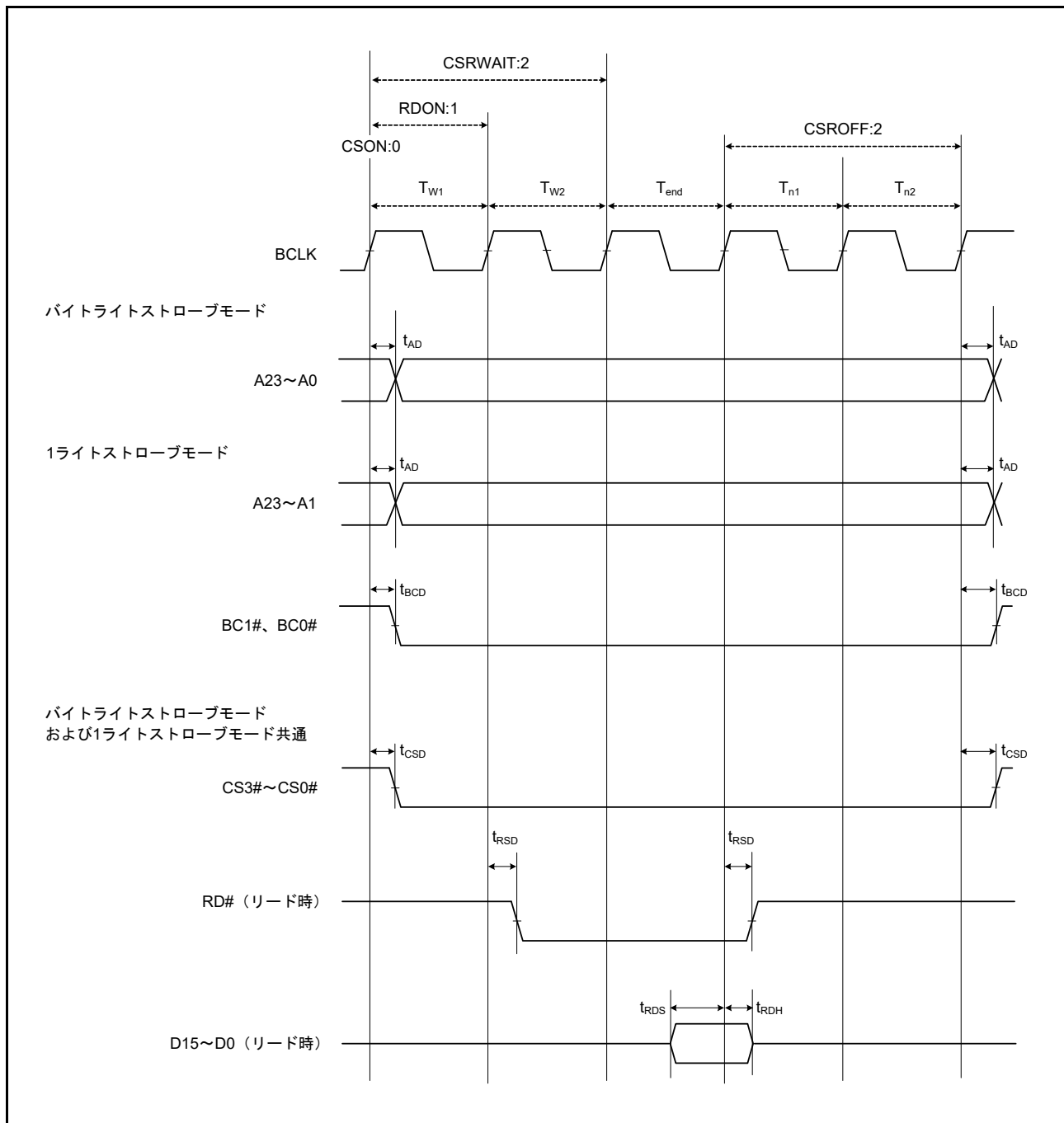


図 50.38 外部バスタイミング／ノーマルリードサイクル（バスクロック同期）

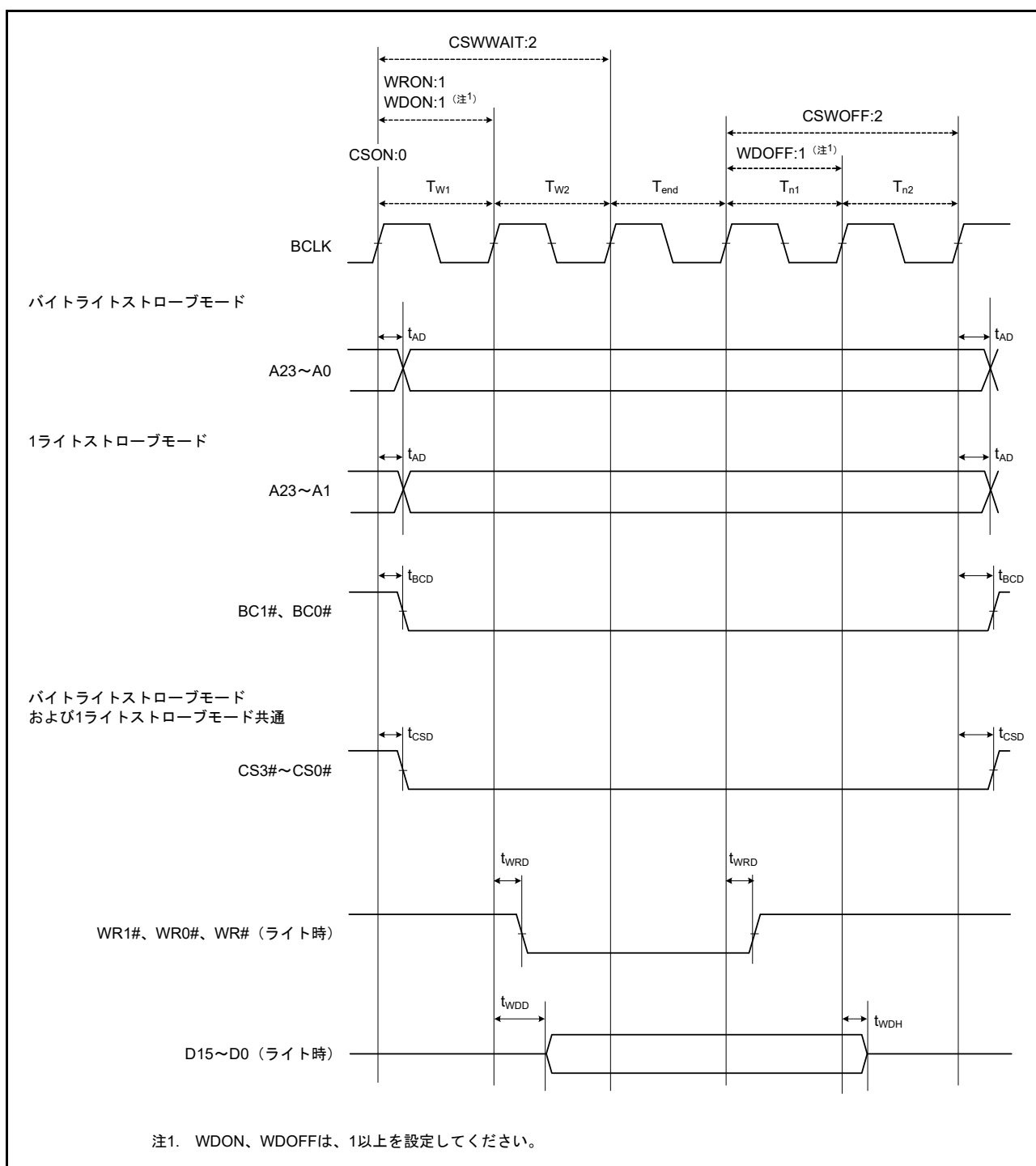


図 50.39 外部バスタイミング／ノーマルライトサイクル（バスクロック同期）

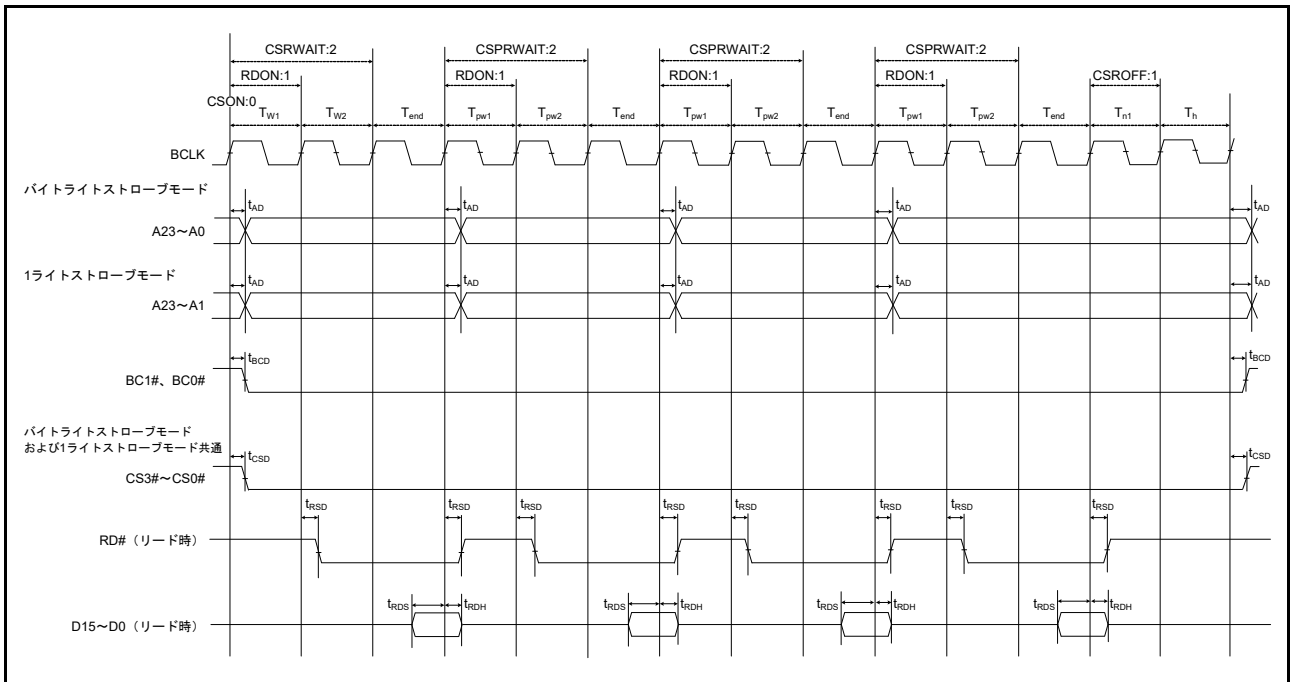


図 50.40 外部バスタイミング／ページリードサイクル (バスクロック同期)

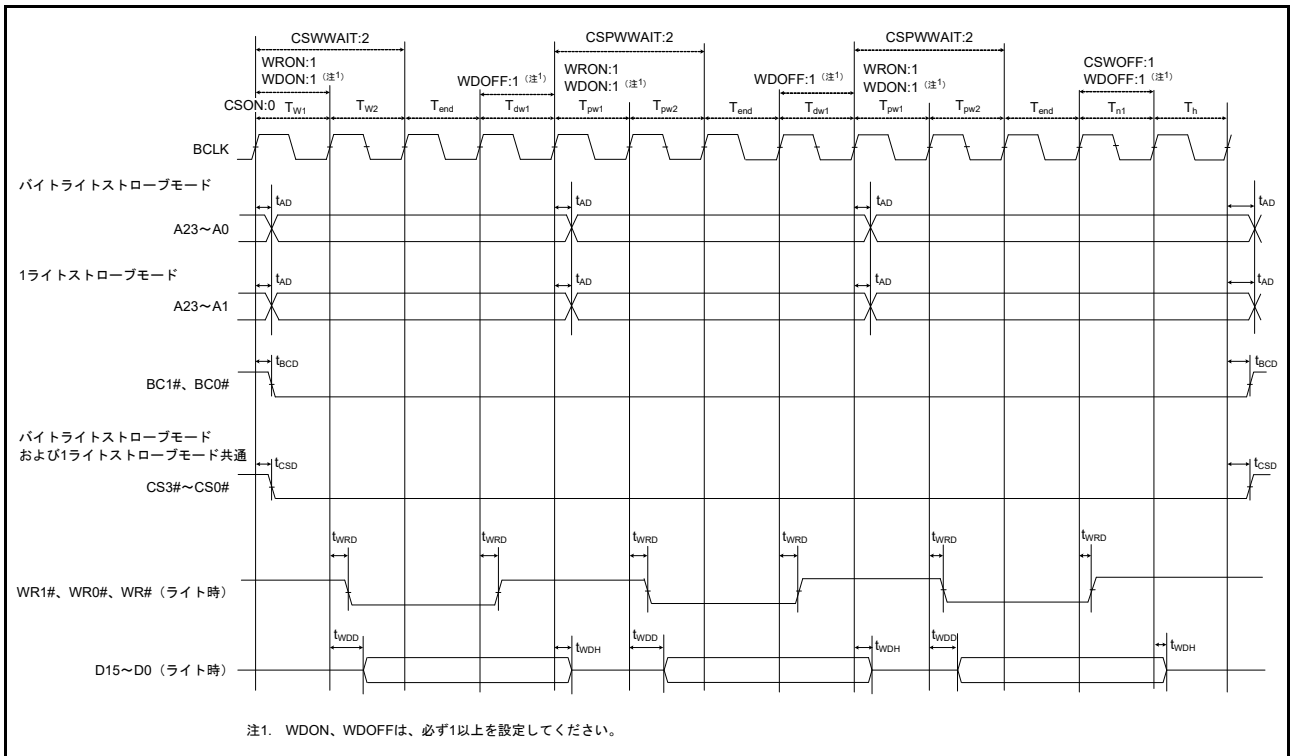


図 50.41 外部バスタイミング／ページライトサイクル (バスクロック同期)

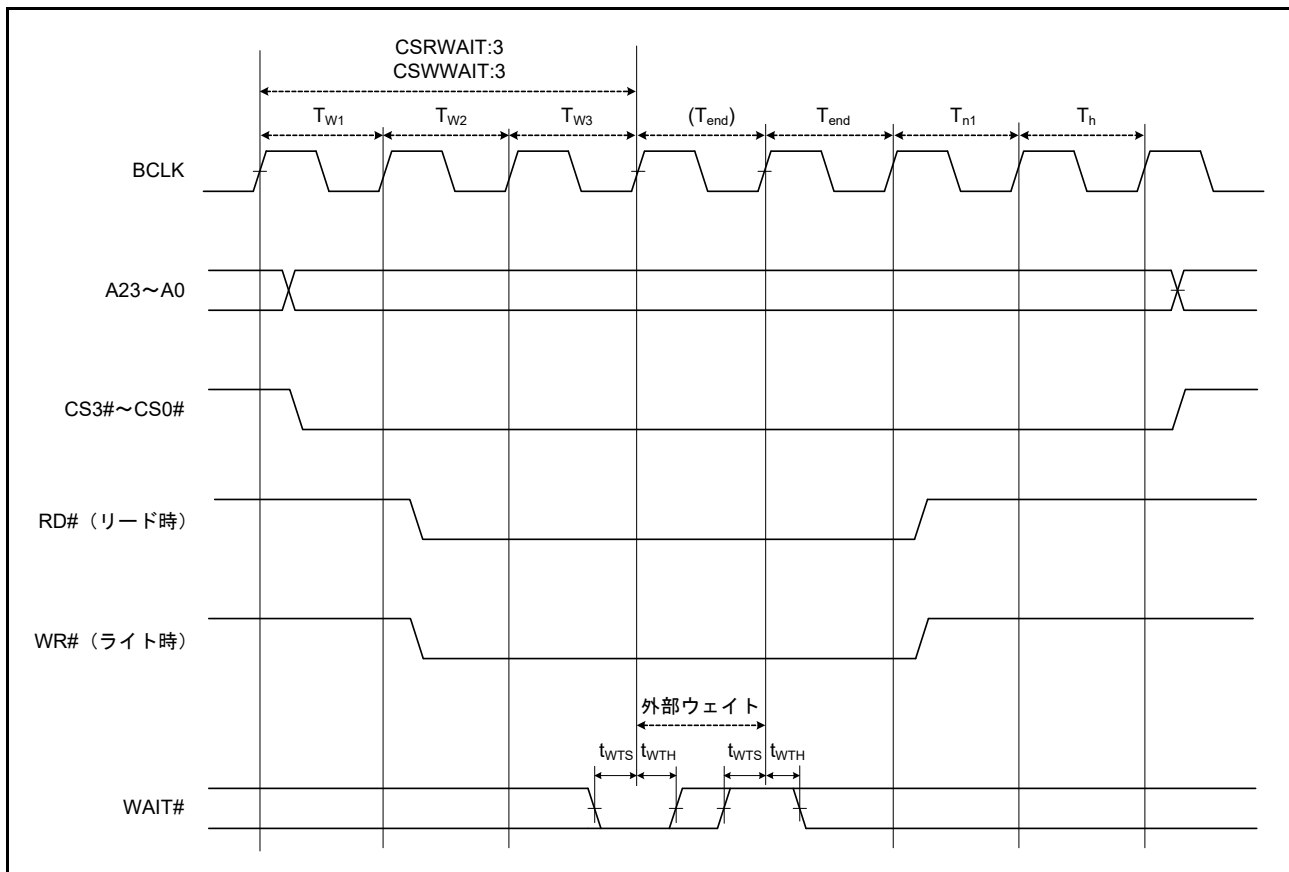


図 50.42 外部バスタイミング／外部ウェイト制御

表 50.36 バスタイミング (マルチプレクスバス) (1)

条件: $2.7V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、
 $fBCLK \leq 32MHz$ (BCLK端子出力周波数 $\leq 16MHz$)、 $T_a = -40 \sim +105^\circ C$ 、 $V_{OH} = VCC \times 0.5$ 、 $V_{OL} = VCC \times 0.5$ 、
 $I_{OH} = -1.0mA$ 、 $I_{OL} = 1.0mA$ 、 $C_L = 30pF$ 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	55	ns	図 50.43、 図 50.44
バイトコントロール遅延時間	t_{BCD}	—	55	ns	
CS#遅延時間	t_{CSD}	—	55	ns	
RD#遅延時間	t_{RSD}	—	55	ns	
ALE遅延時間	t_{ALED}	—	55	ns	
リードデータセットアップ時間	t_{RDS}	40	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	55	ns	
ライトデータ遅延時間	t_{WDD}	—	55	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	40	—	ns	図 50.42
WAIT#ホールド時間	t_{WTH}	0	—	ns	

表 50.37 バスタイミング (マルチプレクスバス) (2)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 < 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、
 $fBCLK \leq 16MHz$ (BCLK端子出力周波数 $\leq 8MHz$)、 $T_a = -40 \sim +105^\circ C$ 、 $V_{OH} = VCC \times 0.5$ 、 $V_{OL} = VCC \times 0.5$ 、
 $I_{OH} = -1.0mA$ 、 $I_{OL} = 1.0mA$ 、 $C_L = 30pF$ 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	90	ns	図 50.43、 図 50.44
バイトコントロール遅延時間	t_{BCD}	—	90	ns	
CS#遅延時間	t_{CSD}	—	90	ns	
RD#遅延時間	t_{RSD}	—	90	ns	
ALE遅延時間	t_{ALED}	—	90	ns	
リードデータセットアップ時間	t_{RDS}	60	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	90	ns	
ライトデータ遅延時間	t_{WDD}	—	90	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	60	—	ns	図 50.42
WAIT#ホールド時間	t_{WTH}	0	—	ns	

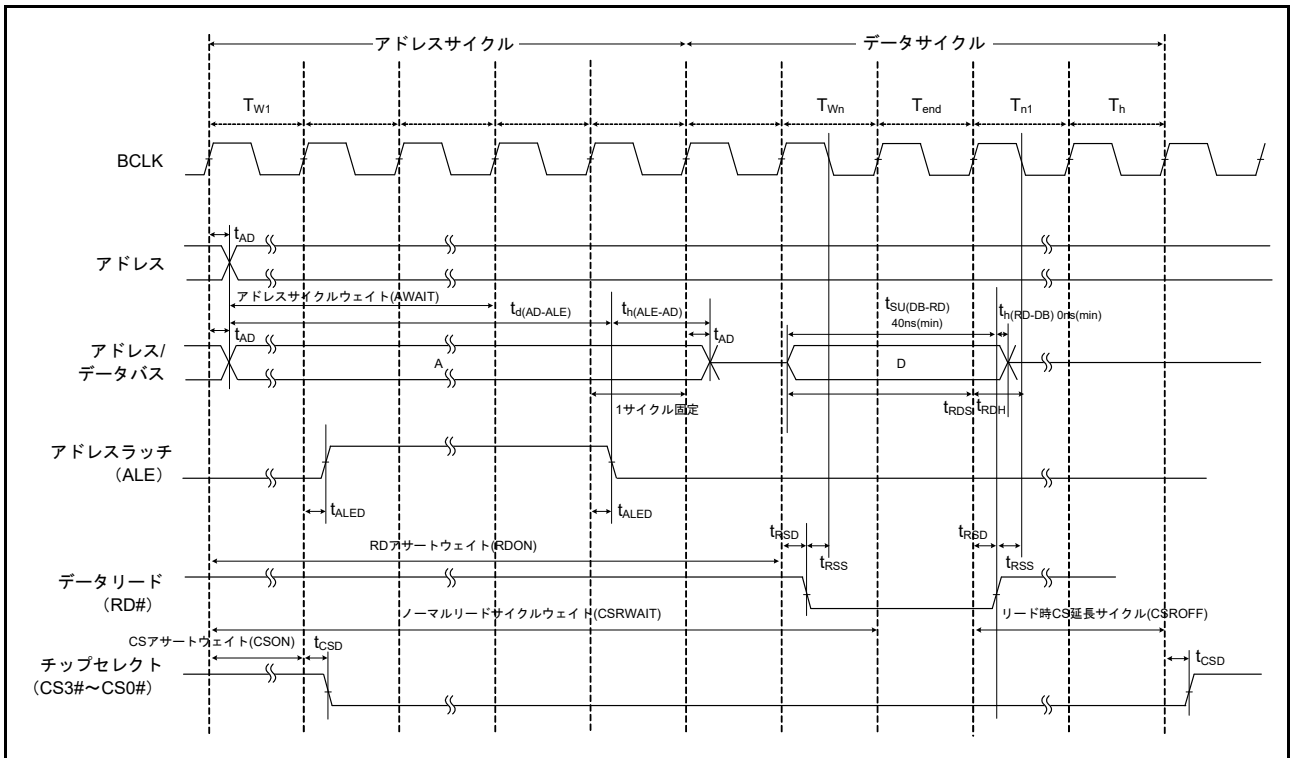


図 50.43 外部バスタイミング/リードアクセスの動作例 (マルチプレクス)

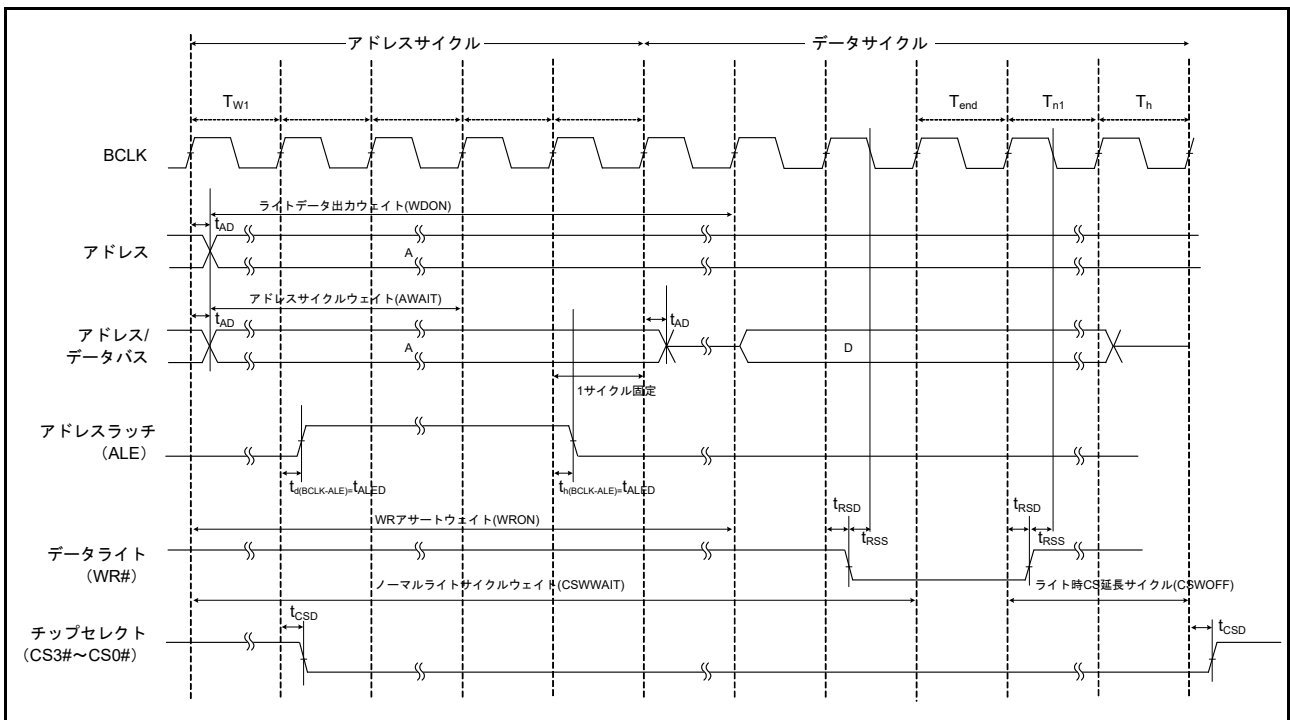


図 50.44 外部バスタイミング/ライトアクセスの動作例 (マルチプレクス)

50.3.6 内蔵周辺モジュールタイミング

表50.38 内蔵周辺モジュールタイミング (1)

条件 : 1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目		記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅	t _{PRW}	1.5	—	t _{Pcyc}	図50.45	
MTU2/TPU	インプットキャプチャ入力パルス幅	単エッジ指定	t _{TICW}	1.5	—	t _{Pcyc}	図50.46
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定	t _{TCKWH} 、 t _{TCKWL}	1.5	—	t _{Pcyc}	図50.47
		両エッジ指定		2.5	—		
		位相計数モード		2.5	—		
POE2	POE#入力パルス幅	t _{POEW}	1.5	—	t _{Pcyc}	図50.48	
TMR	タイマクロックパルス幅	単エッジ指定	t _{TMCWH} 、 t _{TMCWL}	1.5	—	t _{Pcyc}	図50.49
		両エッジ指定		2.5	—		
SCI	入カロックサイクル時間	調歩同期	t _{Scyc}	4	—	t _{Pcyc}	図50.50
		クロック同期		6	—		
	入カロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}	
	入カロック立ち上がり時間		t _{SCKr}	—	20	ns	
	入カロック立ち下がり時間		t _{SCKf}	—	20	ns	
	出カロックサイクル時間	調歩同期	t _{Scyc}	16	—	t _{Pcyc}	図50.51
		クロック同期		4	—		
	出カロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}	
	出カロック立ち上がり時間		t _{SCKr}	—	20	ns	
	出カロック立ち下がり時間		t _{SCKf}	—	20	ns	
	送信データ遅延時間 (マスタ)	クロック同期	t _{TXD}	—	40	ns	
	送信データ遅延時間 (スレーブ)	クロック同期		2.7V以上	—	65	ns
			1.8V以上	—	100	ns	
受信データセットアップ 時間 (マスタ)	クロック同期	t _{RXS}	2.7V以上	65	—	ns	
			1.8V以上	90	—	ns	
受信データセットアップ 時間 (スレーブ)	クロック同期		40	—	ns		
受信データホールド時間	クロック同期	t _{RXH}	40	—	ns		
A/Dコンバータ	トリガ入力パルス幅	t _{TRGW}	1.5	—	t _{Pcyc}	図50.52	
CAC	CACREF入力パルス幅	t _{Pcyc} ≤ t _{cac} (注2)	t _{CACREF}	4.5 t _{cac} + 3 t _{Pcyc}	—	ns	
		t _{Pcyc} > t _{cac} (注2)		5 t _{cac} + 6.5 t _{Pcyc}			
CLKOUT	CLKOUT 端子出力サイクル (注4)	t _{Ccyc}	VCC = 2.7V以上	62.5	—	ns	図50.53
			VCC = 1.8V以上	125			
	CLKOUT 端子 High レベルパルス幅 (注3)	t _{CH}	VCC = 2.7V以上	15	—	ns	
			VCC = 1.8V以上	30			
	CLKOUT 端子 Low レベルパルス幅 (注3)	t _{CL}	VCC = 2.7V以上	15	—	ns	
			VCC = 1.8V以上	30			
	CLKOUT 端子出力立ち上がり時間	t _{Cr}	VCC = 2.7V以上	—	12	ns	
			VCC = 1.8V以上		25		
CLKOUT 端子出力立ち下がり時間	t _{Cf}	VCC = 2.7V以上	—	12	ns		
		VCC = 1.8V以上		25			

注1. t_{Pcyc} : PCLKの周期

注2. t_{cac} : CACカウントクロックソースの周期

注3. クロック出力ソースにLOCO選択 (CKOCR.CKOSSEL[2:0]ビット= 000b) の場合は、クロック出力分周比選択を2分周 (CKOCR.CKODIV[2:0]ビット= 001b) に設定してください。

注4. EXTAL外部クロック入力または発振子を使用して1分周 (CKOCR.CKOSSEL[2:0]ビット= 010bかつCKOCR.CKODIV[2:0]ビット= 000b) をCLKOUTより出力する場合は、入力デューティ比45~55%で上記を満たします。

表 50.39 内蔵周辺モジュールタイミング (2)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 、 $C = 30pF$

駆動能力制御レジスタで高駆動出力を選択時

項目			記号	min	max	単位	測定条件		
RSPI	RSPCKクロック サイクル	マスタ	t_{SPcyc}	2	4096	t_{Pcyc} (注1)	図 50.54		
		スレーブ		8	4096				
	RSPCKクロック Highレベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$		—		ns	
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$		—			
	RSPCKクロック Lowレベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$		—		ns	
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$		—			
	RSPCKクロック 立ち上がり/ 立ち下がり時間	出力	2.7V以上	t_{SPCKr} 、 t_{SPCKf}	—	10		ns	
			1.8V以上		—	15			
		入力	—	1	μs				
	データ入力セット アップ時間	マスタ	2.7V以上	t_{SU}	10	—		ns	図 50.55 ~ 図 50.58
			1.8V以上		30	—			
		スレーブ	$25 - t_{Pcyc}$	—	—				
	データ入力ホールド 時間	マスタ	RSPCKをPCLKB の2分周以外に設定	t_H	t_{Pcyc}	—		ns	
			RSPCKをPCLKB の2分周に設定		0	—			
		スレーブ	t_H	$20 + 2 \times t_{Pcyc}$	—				
	SSLセットアップ 時間	マスタ	t_{LEAD}	$-30 + N$ (注2) $\times t_{SPcyc}$		—		ns	
		スレーブ		2	—	t_{Pcyc}			
	SSLホールド時間	マスタ	t_{LAG}	$-30 + N$ (注3) $\times t_{SPcyc}$		—		ns	
		スレーブ		2	—	t_{Pcyc}			
	データ出力遅延時間	マスタ	2.7V以上	t_{OD}	—	14		ns	
1.8V以上			—		30				
スレーブ		2.7V以上	—		$3 \times t_{Pcyc} + 65$				
		1.8V以上	—		$3 \times t_{Pcyc} + 105$				
データ出力ホールド 時間	マスタ	t_{OH}	0	—	ns				
	スレーブ		0	—					
連続送信遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns				
	スレーブ		$4 \times t_{Pcyc}$	—					
MOSI、MISO 立ち上がり/ 立ち下がり時間	出力	2.7V以上	t_{Dr} 、 t_{Df}	—	10	ns			
		1.8V以上		—	15				
	入力	—		1	μs				
SSL立ち上がり/ 立ち下がり時間	出力	2.7V以上	t_{SSLr} 、 t_{SSLf}	—	10	ns			
		1.8V以上		—	15				
	入力	—		1	μs				
スレーブアクセス時間	2.7V以上	t_{SA}	—	6	t_{Pcyc}	図 50.57、 図 50.58			
	1.8V以上		—	7					
スレーブ出力開放時間	2.7V以上	t_{REL}	—	5	t_{Pcyc}				
	1.8V以上		—	6					

注1. t_{Pcyc} : PCLKの周期

注2. N: RSPIクロック遅延レジスタ (SPCKD) にて設定可能な1~8の整数

注3. N: RSPIスレーブセレクトネゲート遅延レジスタ (SSLND) にて設定可能な1~8の整数

表 50.40 内蔵周辺モジュールタイミング (3)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位 (注1)	測定条件	
簡易 SPI	SCKクロックサイクル出力 (マスタ)	t_{SPcyc}	4	65536	t_{Pcyc}	図 50.54	
	SCKクロックサイクル入力 (スレーブ)		6	65536	t_{Pcyc}		
	SCKクロック High レベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}		
	SCKクロック Low レベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}		
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr} 、 t_{SPCKf}	—	20	ns		
	データ入力セットアップ時間 (マスタ)	2.7V以上	t_{SU}	65	—	ns	図 50.55、 図 50.56
		1.8V以上		95	—		
	データ入力セットアップ時間 (スレーブ)	40		—			
	データ入力ホールド時間	t_H	40	—	ns		
	SSL入力セットアップ時間	t_{LEAD}	3	—	t_{SPcyc}		
	SSL入力ホールド時間	t_{LAG}	3	—	t_{SPcyc}		
	データ出力遅延時間 (マスタ)	t_{OD}	—	40	ns		
	データ出力遅延時間 (スレーブ)		2.7V以上	—		65	
			1.8V以上	—		100	
	データ出力ホールド時間 (マスタ)	2.7V以上	t_{OH}	-10	—	ns	
1.8V以上		-20		—			
データ出力ホールド時間 (スレーブ)		-10		—			
データ立ち上がり/立ち下がり時間	t_{Dr} 、 t_{Df}	—	20	ns			
SSL入力立ち上がり/立ち下がり時間	t_{SSLr} 、 t_{SSLf}	—	20	ns			
スレーブアクセス時間	t_{SA}	—	6	t_{Pcyc}	図 50.57、 図 50.58		
スレーブ出力開放時間	t_{REL}	—	6	t_{Pcyc}			

注1. t_{Pcyc} : PCLKの周期

表 50.41 内蔵周辺モジュールタイミング (4)

条件: $2.7V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $fPCLKB \leq 32MHz$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min (注1、注2)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCL サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 1300$	—	ns	図 50.59
	SCL Highパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL Lowパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA スパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	SDA バスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	開始条件ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件セットアップ時間	t_{STOS}	1000	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b	—	400	pF	
RIIC (ファストモード)	SCL サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 600$	—	ns	図 50.59
	SCL Highパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL Lowパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA スパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	SDA バスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	開始条件ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件セットアップ時間	t_{STAS}	300	—	ns	
	停止条件セットアップ時間	t_{STOS}	300	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b	—	400	pF	

注. t_{IICcyc} : RIICの内部基準クロック (IICφ) の周期

注1. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_b はバスラインの容量総計です。

表 50.42 内蔵周辺モジュールタイミング (5)

条件: $2.7V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $fPCLKB \leq 32MHz$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min (注1)	max	単位	測定条件
簡易I ² C (スタンダード モード)	SDA立ち上がり時間	t_{Sr}	—	1000	ns	図 50.59
	SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SDAスパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$	ns	
	データセットアップ時間	t_{SDAS}	250	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
簡易I ² C (ファストモード)	SDA立ち上がり時間	t_{Sr}	—	300	ns	図 50.59
	SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SDAスパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$	ns	
	データセットアップ時間	t_{SDAS}	100	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注. t_{Pcyc} : PCLKの周期注1. C_b はバスラインの容量総計です。

表 50.43 内蔵周辺モジュールタイミング (6)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $fPCLKB \leq 32MHz$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件
SSI	AUDIO_MCLK入力周波数	t_{AUDIO}	2.7V以上	1	25	MHz
	1.8V以上		1	4		
出カクロック周期		t_O	250	—	ns	図 50.60
入カクロック周期		t_I	250	—	ns	
クロックHighレベル		t_{HC}	0.4	0.6	t_o 、 t_i	
クロックLowレベル		t_{LC}	0.4	0.6	t_o 、 t_i	
クロック立ち上がり時間		t_{RC}	—	20	ns	
データ遅延時間	2.7V以上	t_{DTR}	—	65	ns	図 50.61 図 50.62
	1.8V以上		—	105		
セットアップ時間	2.7V以上	t_{SR}	65	—	ns	
	1.8V以上		90	—		
ホールド時間		t_{HTR}	40	—	ns	
WS変化エッジSSIDATA出力遅延		t_{DTRW}	—	105	ns	図 50.63

表 50.44 内蔵周辺モジュールタイミング (7)

条件 : $2.7V \leq VCC = VCC_USB = AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $fPCLKB \leq 32MHz$ 、 $T_a = -40 \sim +105^\circ C$
 駆動能力制御レジスタで高駆動出力を選択時

項目		記号	min	max	単位	測定条件
SDHI	SDHI_CLK端子出力サイクル時間	$t_{PP(SD)}$	62.5	—	ns	図 50.64
	SDHI_CLK端子出力Highレベルパルス幅	$t_{WH(SD)}$	18.25	—	ns	
	SDHI_CLK端子出力Lowレベルパルス幅	$t_{WL(SD)}$	18.25	—	ns	
	SDHI_CLK端子出力立ち上がり時間	$t_{TLH(SD)}$	—	10	ns	
	SDHI_CLK端子出力立ち下がり時間	$t_{THL(SD)}$	—	10	ns	
	SDHI_CMD、SDHI_D3～SDHI_D0端子 出力データ遅延時間 (データ転送モード)	$t_{ODLY(SD)}$	-18.25	18.25	ns	
	SDHI_CMD、SDHI_D3～SDHI_D0端子 入力データセットアップ時間	$t_{ISU(SD)}$	9.25	—	ns	
	SDHI_CMD、SDHI_D3～SDHI_D0端子 入力データホールド時間	$t_{IH(SD)}$	8.3	—	ns	

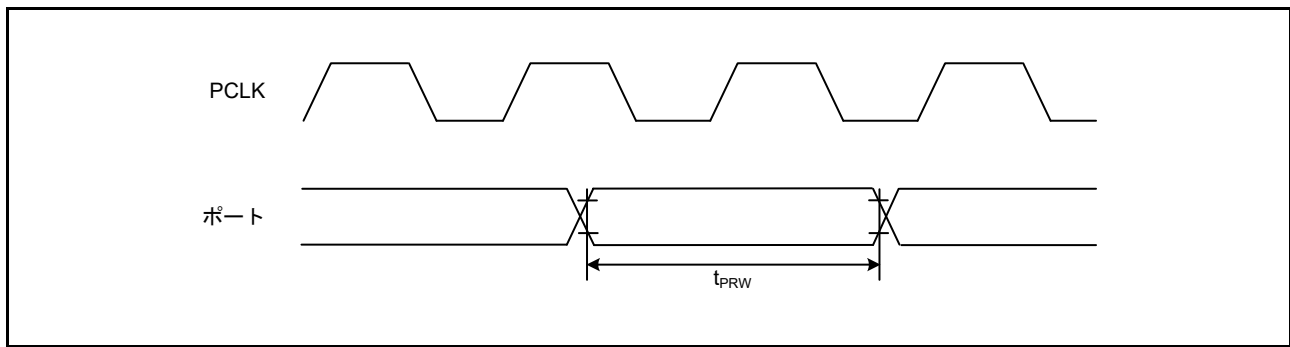


図 50.45 I/O ポート入力タイミング

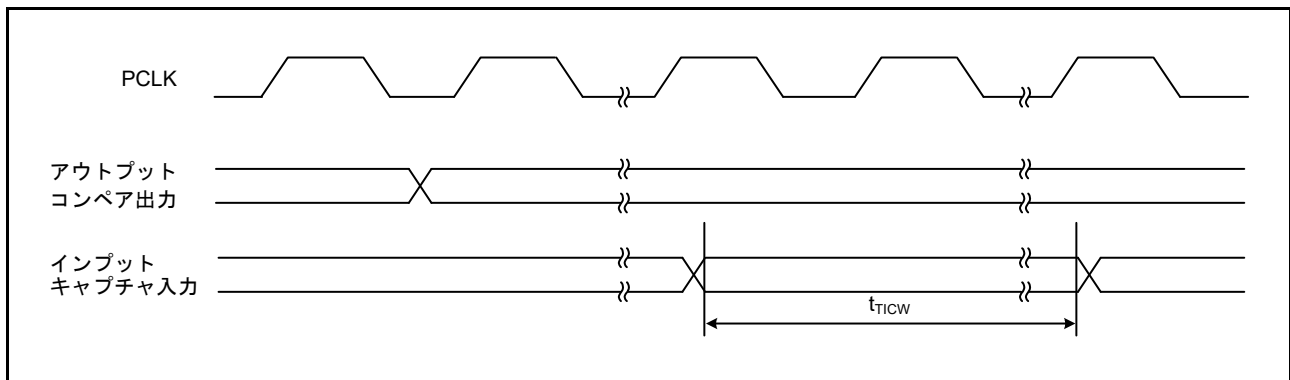


図 50.46 MTU2 入出力タイミング

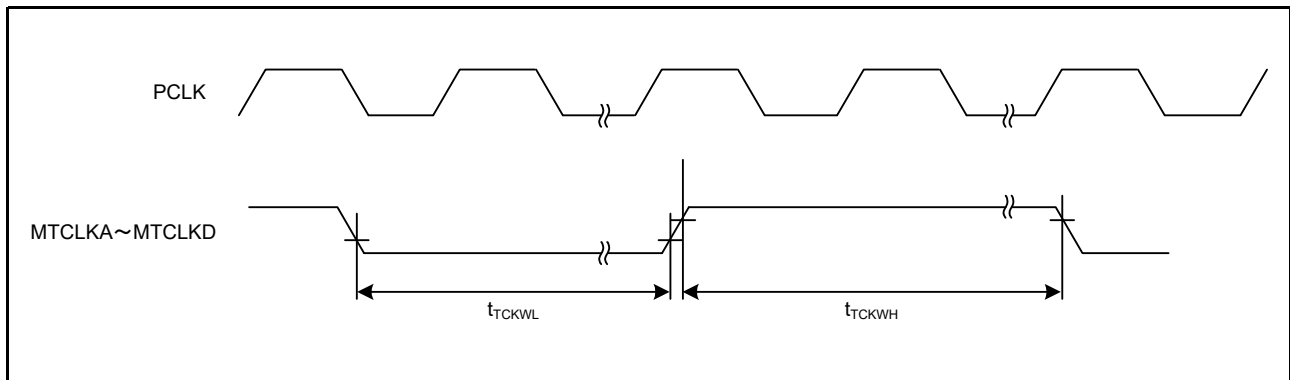


図 50.47 MTU2 クロック入力タイミング

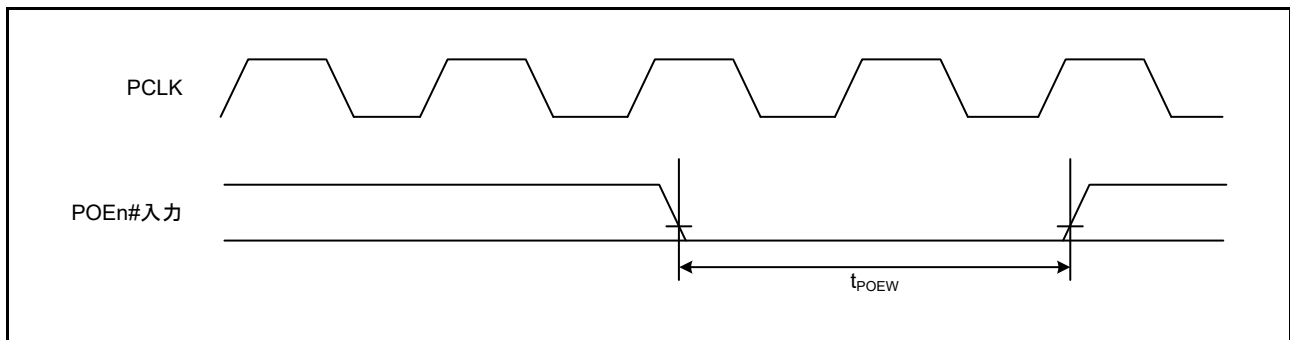


図 50.48 POE# 入力タイミング

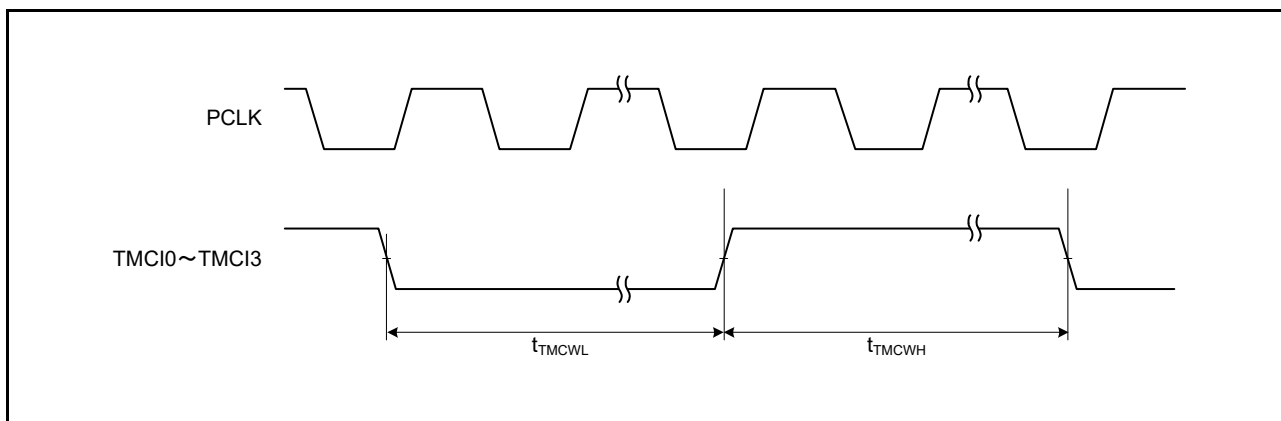


図 50.49 TMR クロック入カタイミング

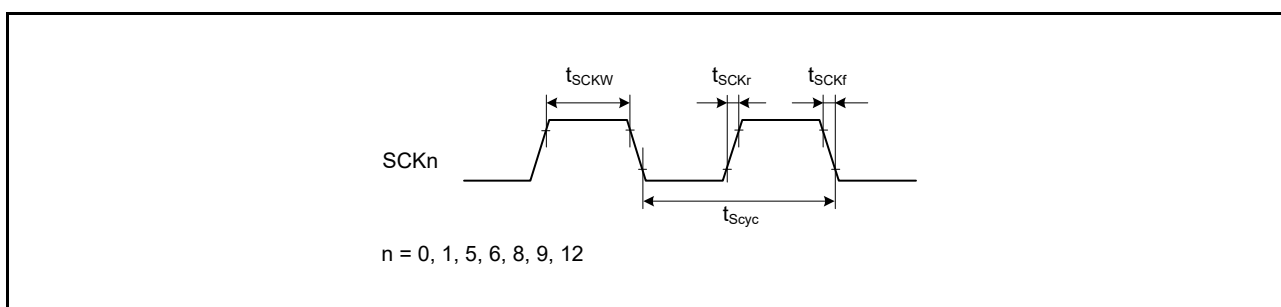


図 50.50 SCK クロック入カタイミング

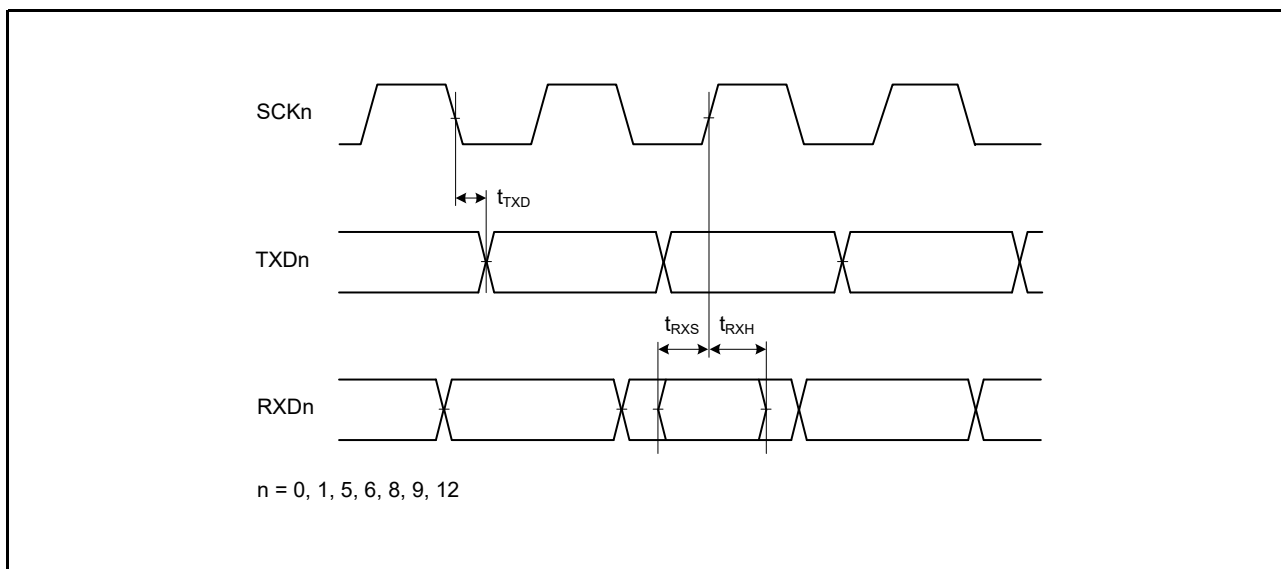


図 50.51 SCI 入出カタイミング / クロック同期式モード

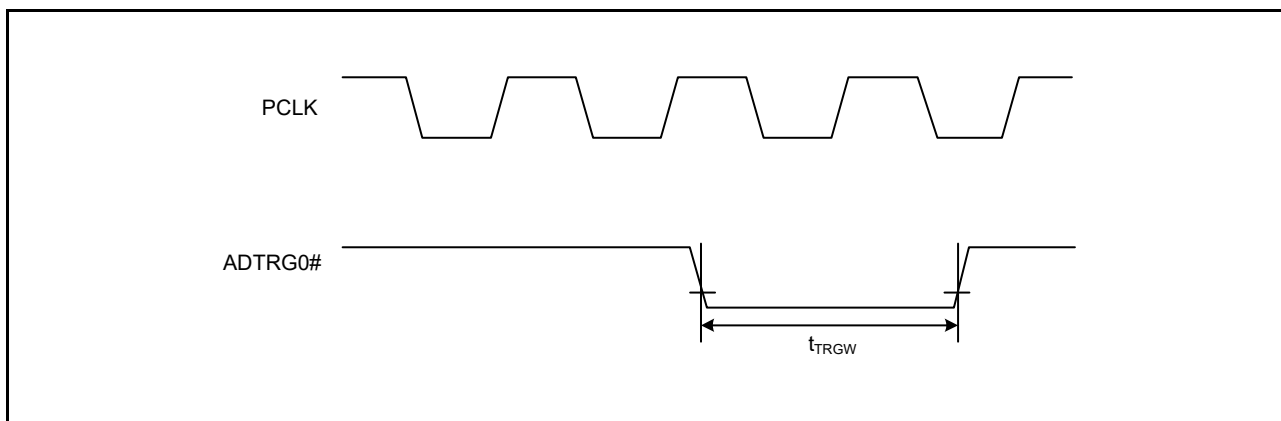


図 50.52 A/D コンバータ外部トリガ入力タイミング

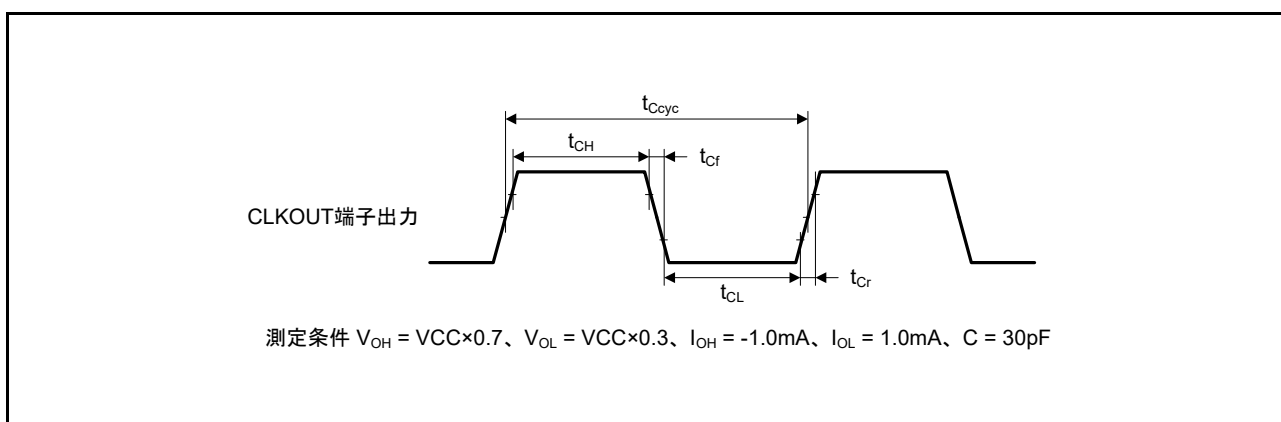


図 50.53 CLKOUT 出カタイミング

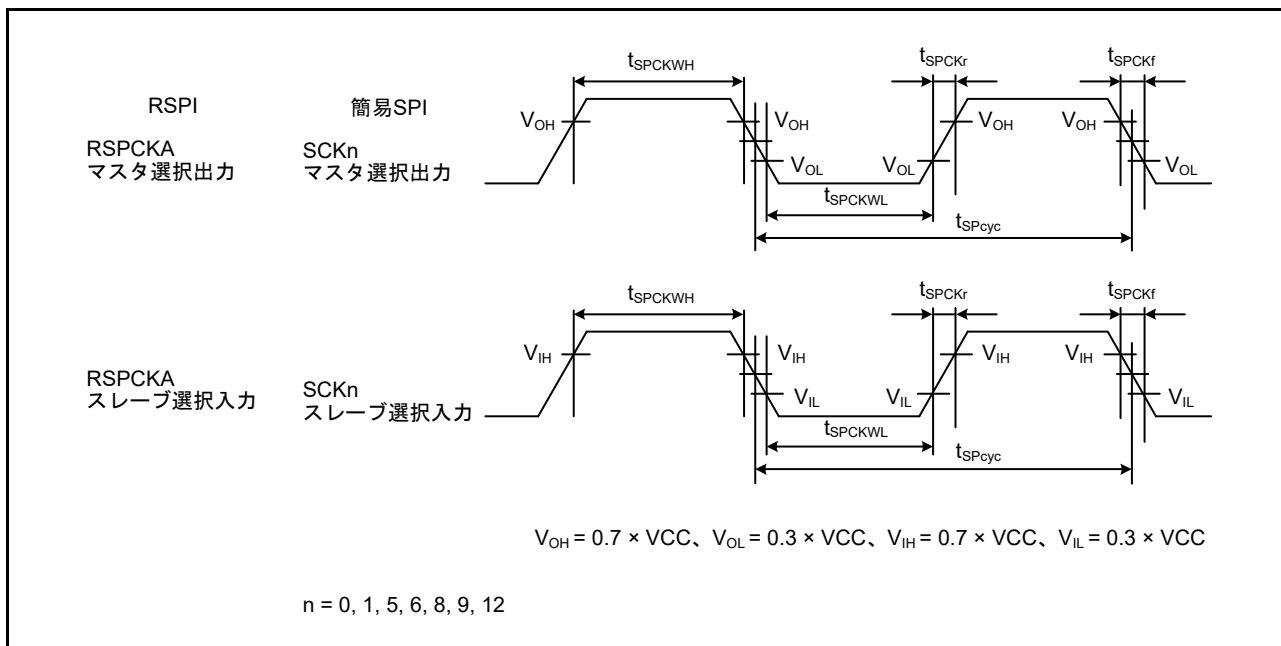


図 50.54 RSPI クロックタイミング / 簡易 SPI クロックタイミング

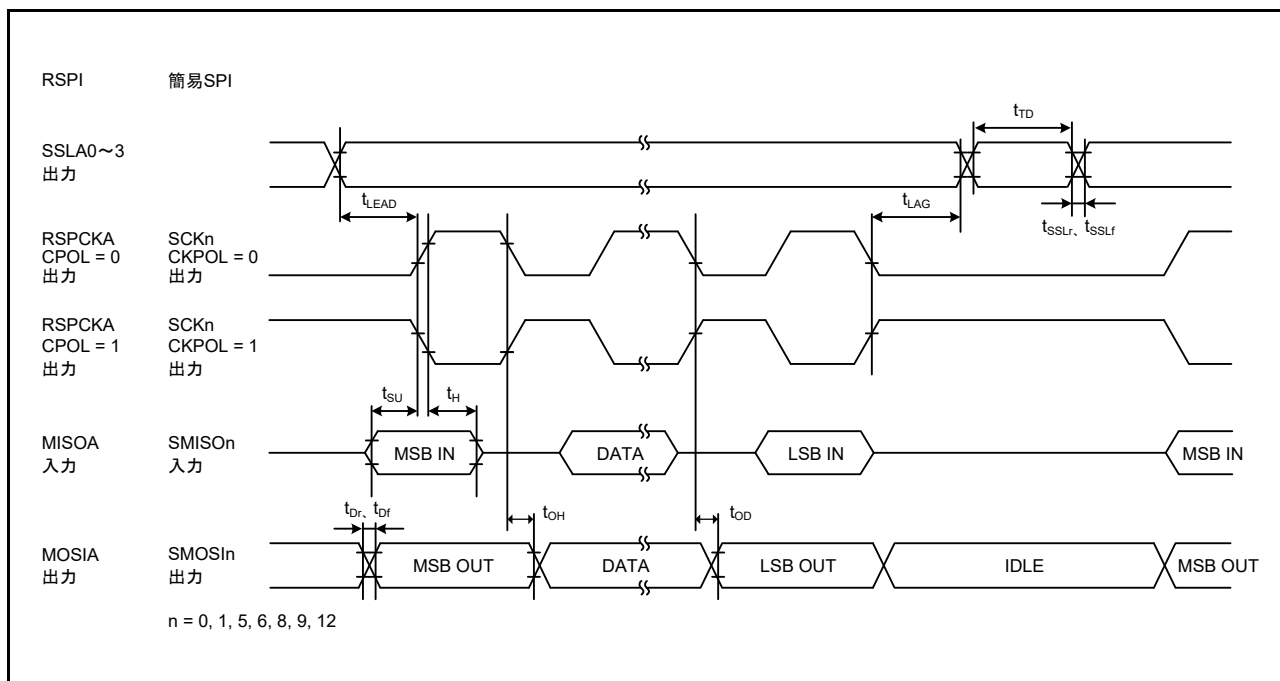


図 50.55 RSPI タイミング (マスタ、CPHA = 0) / 簡易 SPI クロックタイミング (マスタ、CKPH = 1)

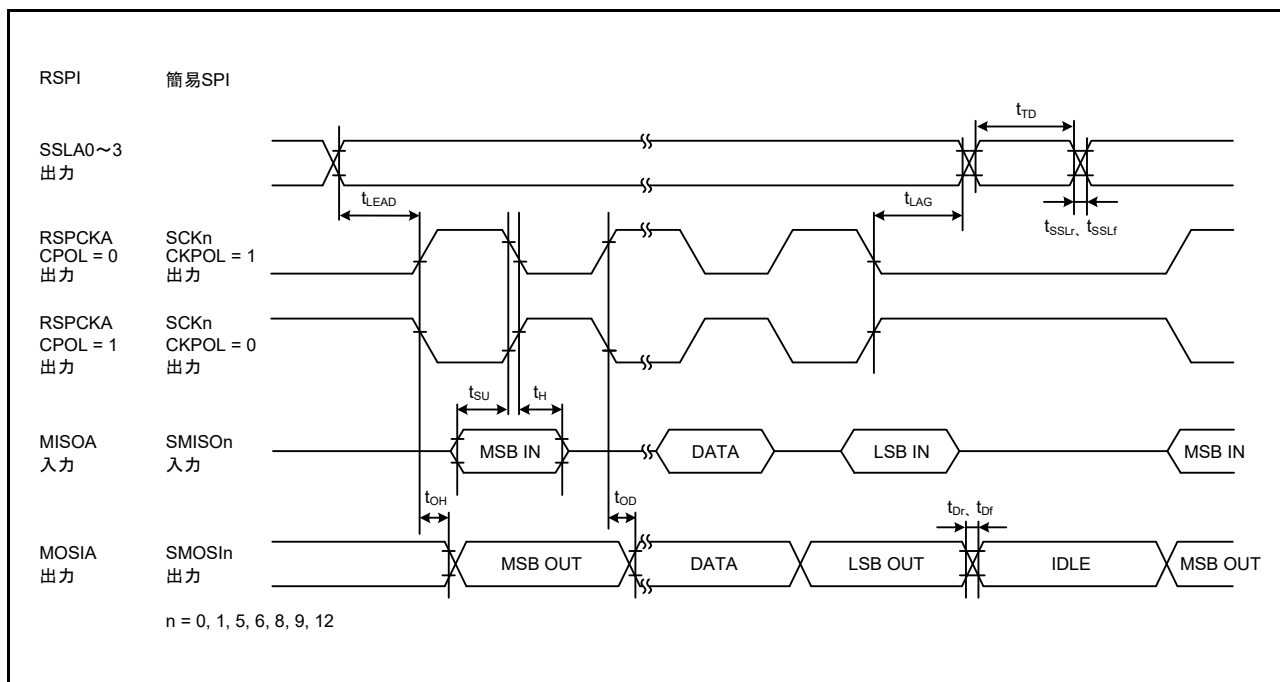


図 50.56 RSPI タイミング (マスタ、CPHA = 1) / 簡易 SPI クロックタイミング (マスタ、CKPH = 0)

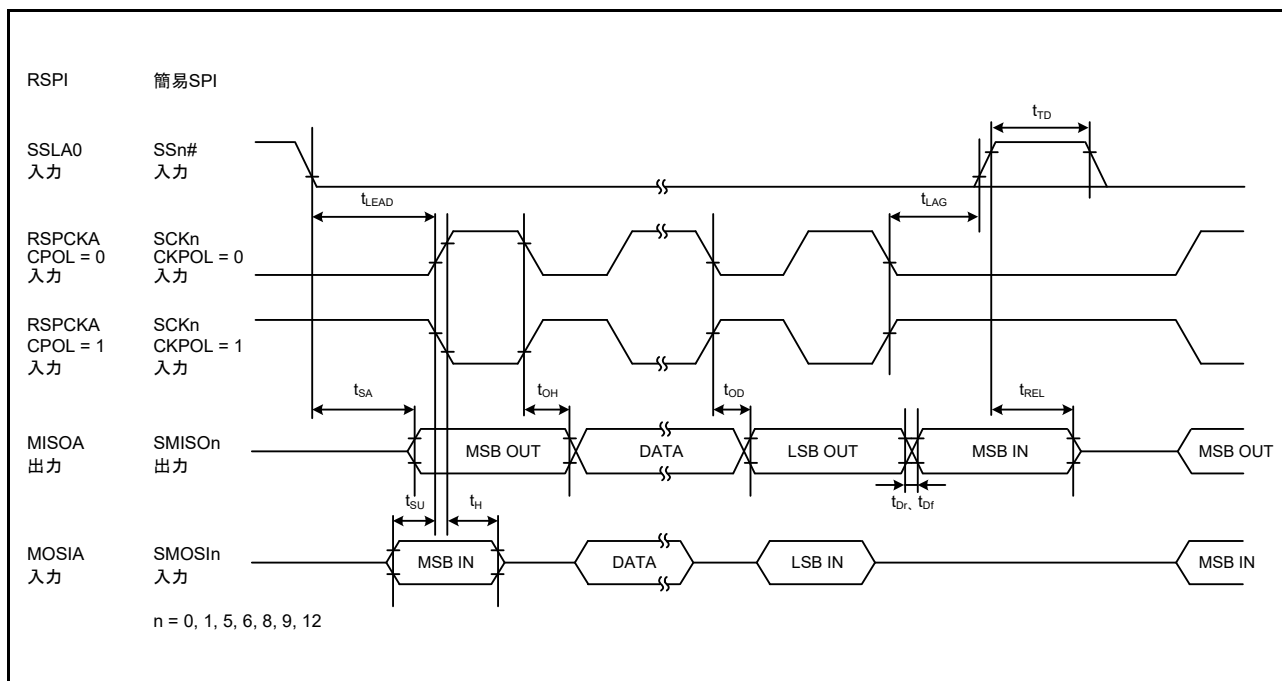


図 50.57 RSPI タイミング (スレーブ、CPHA=0) / 簡易 SPI クロックタイミング (スレーブ、CKPH=1)

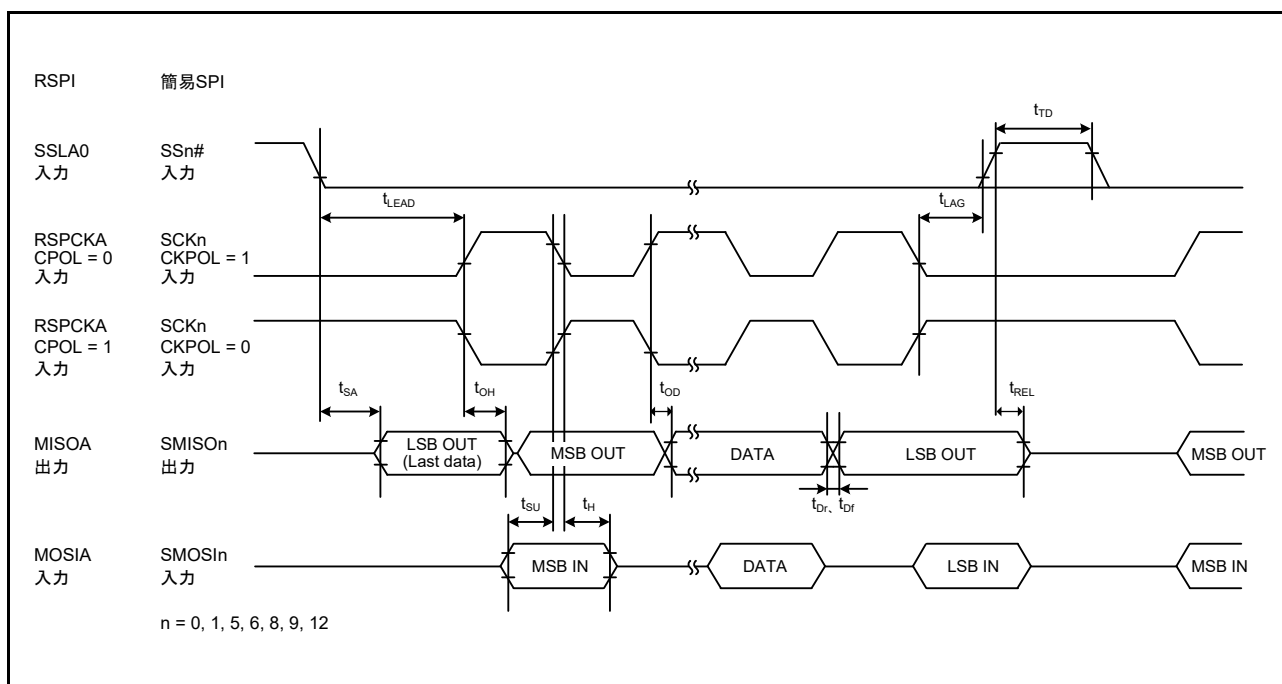


図 50.58 RSPI タイミング (スレーブ、CPHA=1) / 簡易 SPI クロックタイミング (スレーブ、CKPH=0)

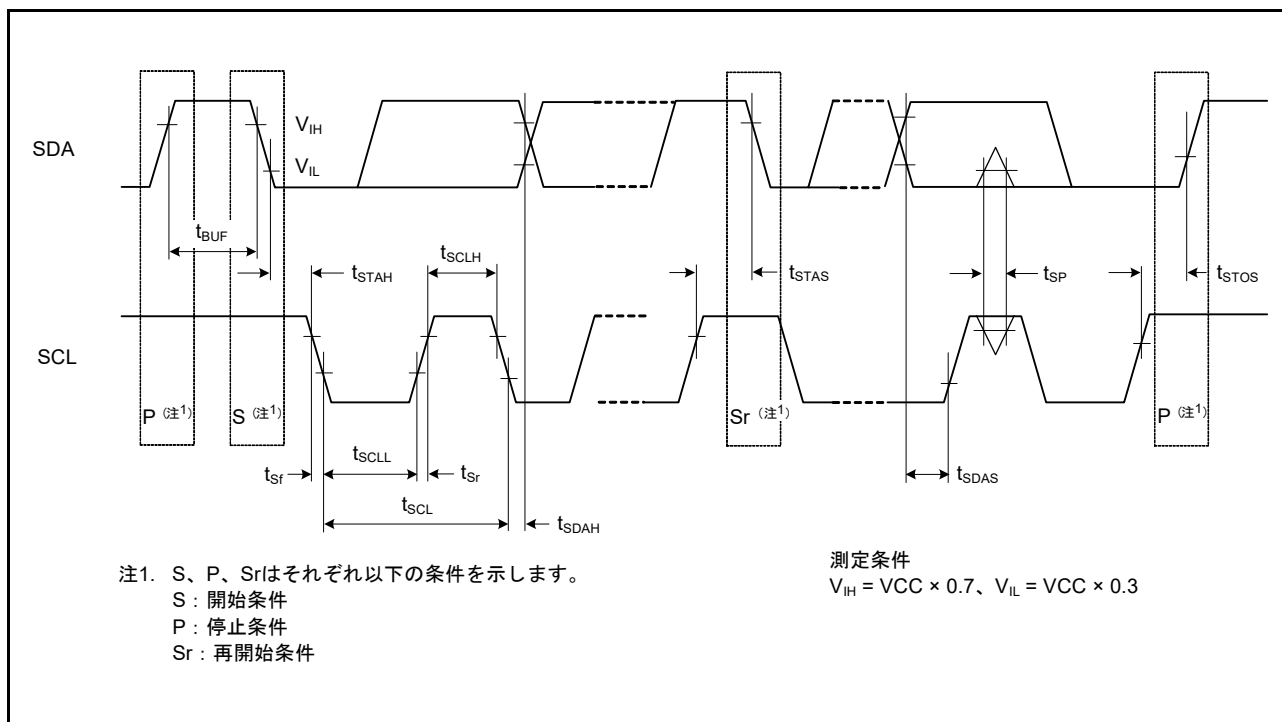


図 50.59 RIIC バスインタフェース入出力タイミング / 簡易 I²C バスインタフェース入出力タイミング

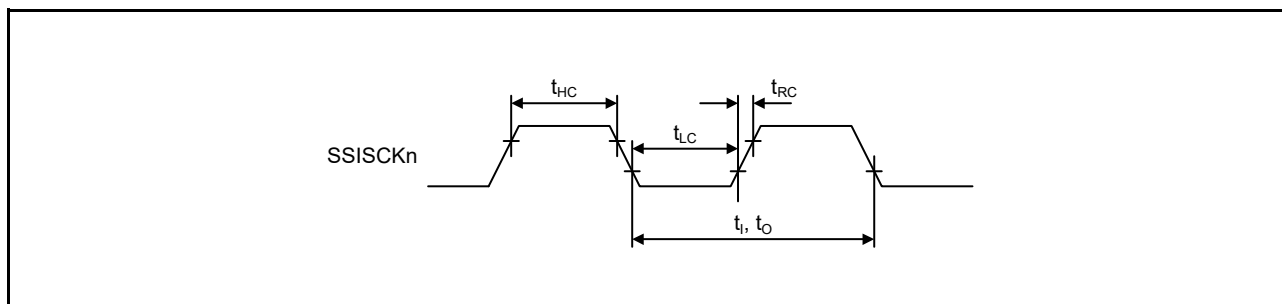


図 50.60 SSI クロック入出力タイミング

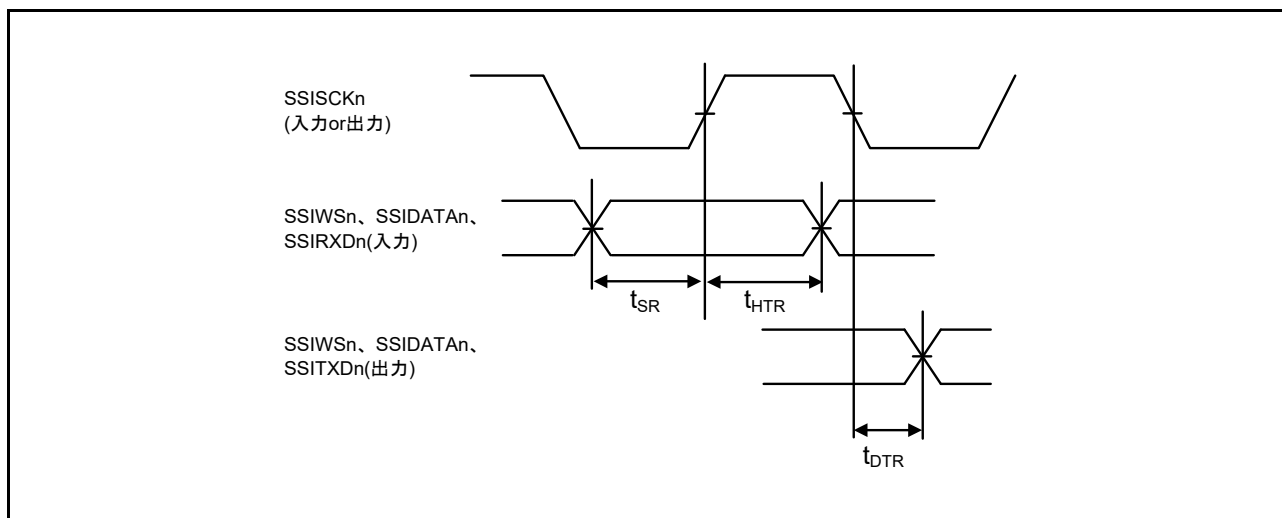


図 50.61 SSI 送受信タイミング (SSICR.SCKP=0)

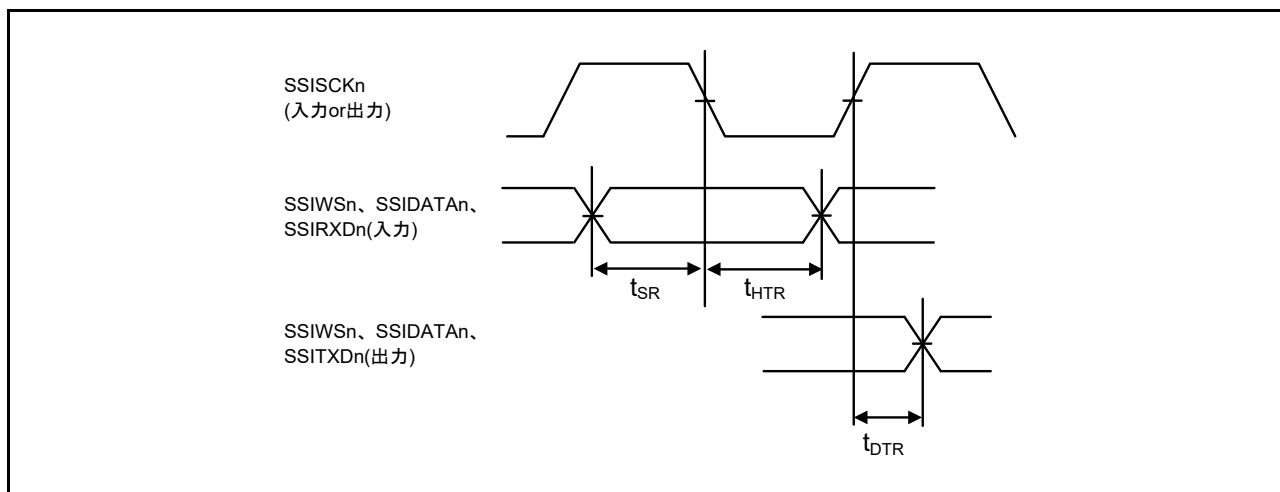


図 50.62 SSI 送受信タイミング (SSICR.SCKP=1)

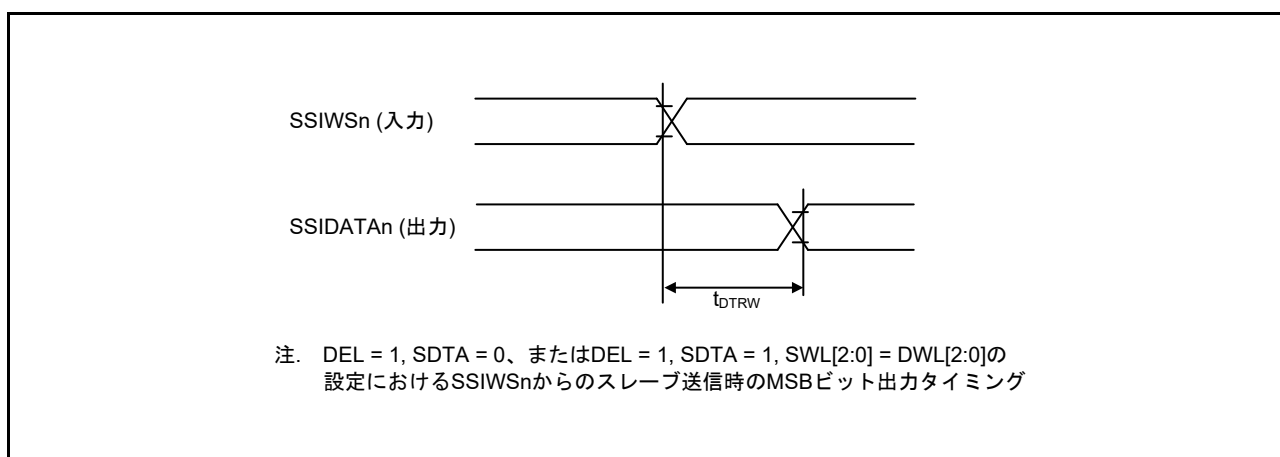


図 50.63 SSIWSn 変化エッジからの SSIDATA 出力遅延

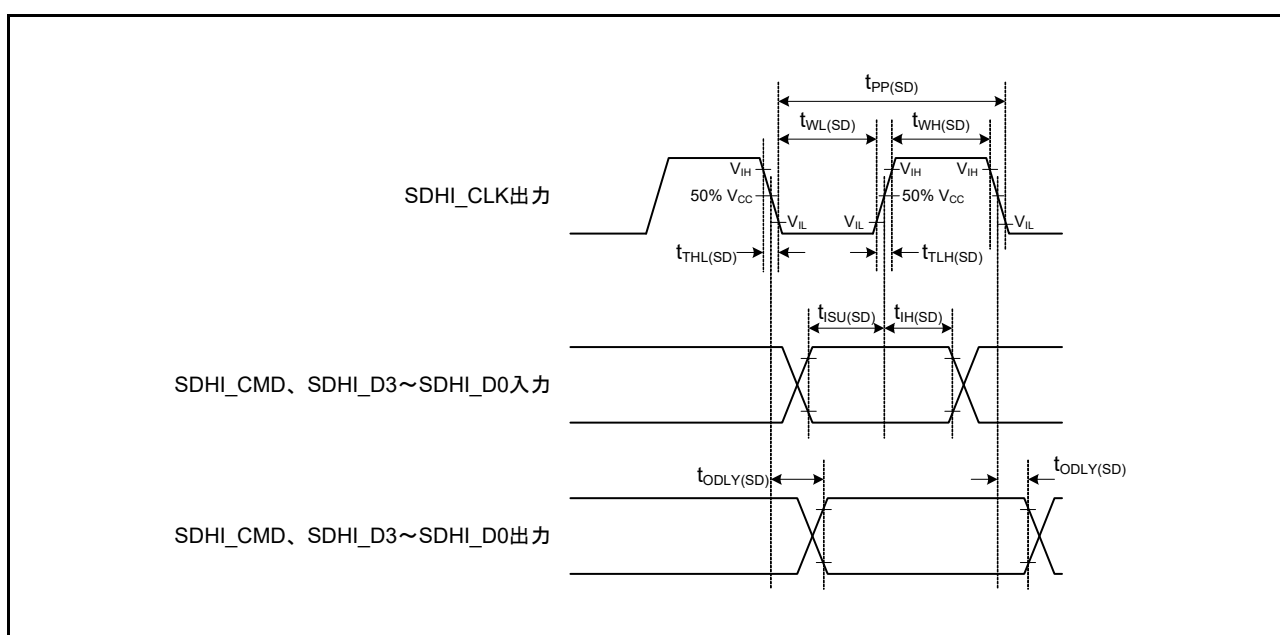


図 50.64 SD ホストインタフェース入出力信号タイミング

50.4 USB 特性

表50.45 USB特性 (USB0_DP、USB0_DM端子特性)

条件：3.0V ≤ VCC = VCC_USB = AVCC0 < 3.6V (レギュレータ未使用時) または 4.0V ≤ VCC = AVCC0 < 5.5V (レギュレータ使用時)、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目		記号	min	max	単位	測定条件	
入力特性	入力Highレベル電圧	V _{IH}	2.0	—	V		
	入力Lowレベル電圧	V _{IL}	—	0.8	V		
	差動入力感度	V _{DI}	0.2	—	V	USB0_DP - USB0_DM	
	差動共通モードレンジ	V _{CM}	0.8	2.5	V		
出力特性	出力Highレベル電圧	V _{OH}	2.8	VCC_USB	V	I _{OH} = -200μA	
	出力Lowレベル電圧	V _{OL}	0.0	0.3	V	I _{OL} = 2mA	
	クロスオーバー電圧	V _{CRS}	1.3	2.0	V	図50.65、 図50.66	
	立ち上がり時間	FS	t _r	4	20		ns
		LS		75	300		
	立ち下がり時間	FS	t _f	4	20		ns
		LS		75	300		
	立ち上がり/ 立ち下がり時間比	FS	t _r /t _f	90	111.11		%
		LS		80	125		
	出力抵抗	Z _{DRV}	28	44	Ω	(外部素子による抵抗調整不要)	
VBUS特性	VBUS入力電圧	V _{IH}	VCC × 0.8	—	V		
		V _{IL}	—	VCC × 0.2	V		
プルアップ、 プルダウン	プルダウン抵抗	R _{PD}	14.25	24.80	kΩ		
	プルアップ抵抗	R _{PUI}	0.9	1.575	kΩ	アイドル時	
		R _{PUA}	1.425	3.09	kΩ	受信時	
バッテリー チャージング 規格 Ver1.2	D+シンク電流	I _{DP_SINK}	25	175	μA		
	D-シンク電流	I _{DM_SINK}	25	175	μA		
	DCDソース電流	I _{DP_SRC}	7	13	μA		
	データ検出電圧	V _{DAT_REF}	0.25	0.4	V		
	D+ソース電圧	V _{DP_SRC}	0.5	0.7	V	出力電流 = 250μA	
	D-ソース電圧	V _{DM_SRC}	0.5	0.7	V	出力電流 = 250μA	

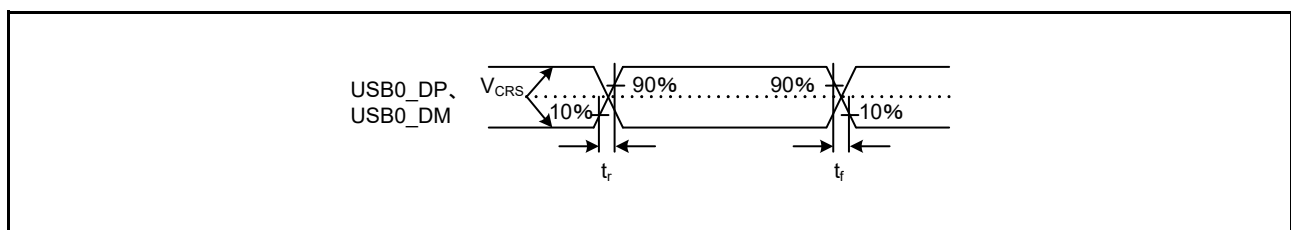


図 50.65 USB0_DP、USB0_DM 出力タイミング

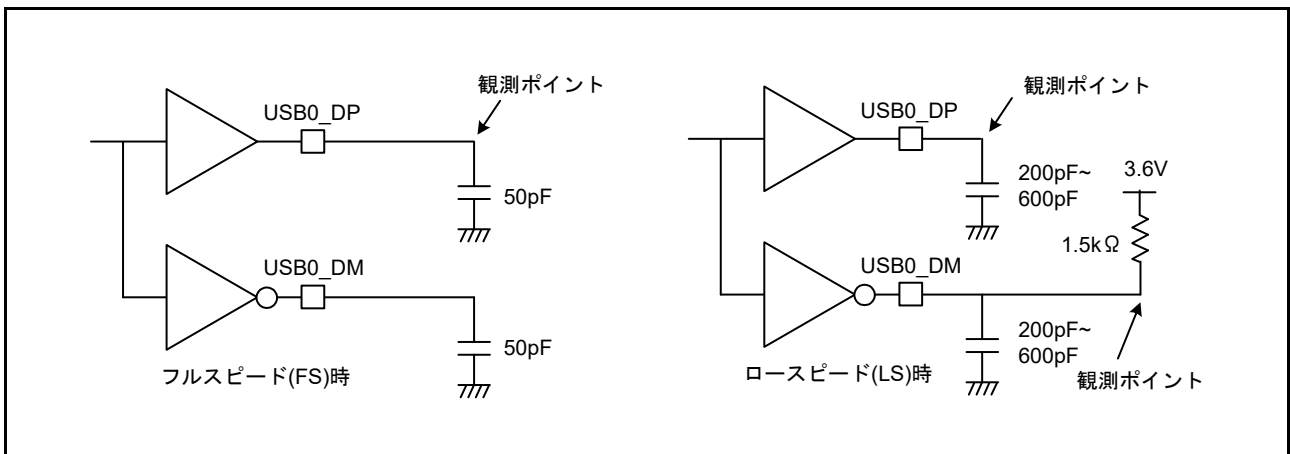


図 50.66 測定回路

50.5 A/D 変換特性

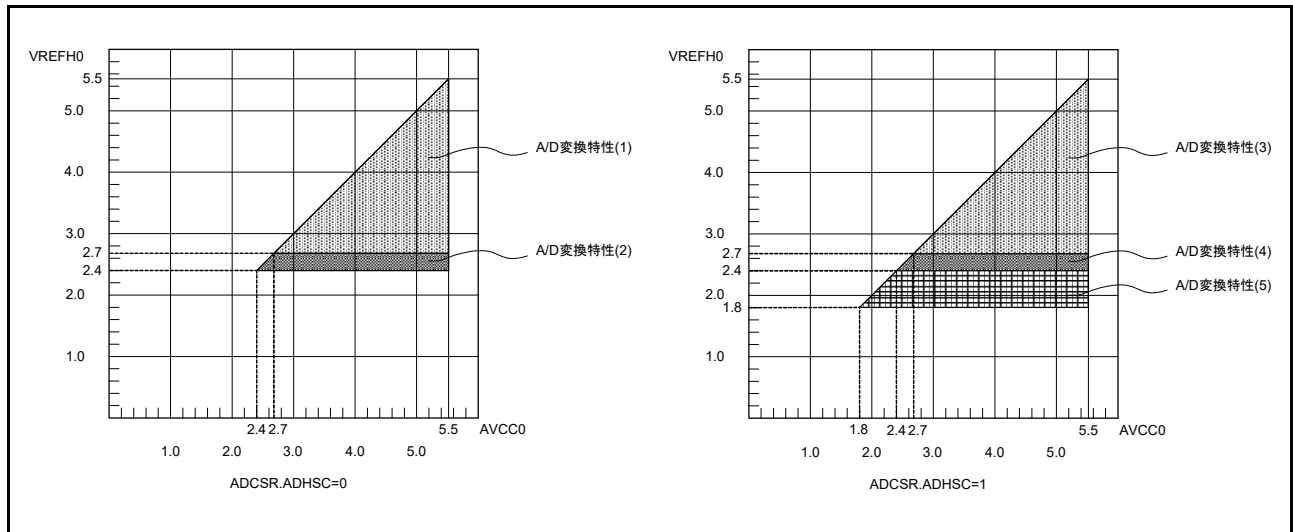


図 50.67 AVCC0-VREFH0 電圧範囲

表 50.46 A/D 変換特性 (1)

条件 : $2.7V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$, $2.7V \leq VREFH0 \leq AVCC0$, $VREFH0$ を基準電圧にしたとき、
 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$, $PCLKD = 54MHz$, $T_a = -40 \sim +105^\circ C$

項目	min	typ	max	単位	測定条件	
周波数	1	—	54	MHz		
分解能	—	—	12	ビット		
変換時間 (注1) (PCLKD = 54MHz時)	許容信号源 インピーダンス max = 0.3kΩ	0.83	—	—	μs	高精度チャンネル ADCSR.ADHSCビット = 0 ADSSTRnレジスタ = 0Dh
		1.33	—	—		通常精度チャンネル ADCSR.ADHSCビット = 0 ADSSTRnレジスタ = 28h
アナログ入力容量	Cs	—	15	pF	端子容量含む 図 50.68	
アナログ入力抵抗	Rs	—	2.5	kΩ	図 50.68	
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	
オフセット誤差		—	±0.5	±4.5	高精度チャンネル	
				±6.0	上記以外	
フルスケール誤差		—	±0.75	±4.5	高精度チャンネル	
				±6.0	上記以外	
量子化誤差		—	±0.5	—	LSB	
絶対精度		—	±1.25	±5.0	高精度チャンネル	
				±8.0	上記以外	
DNL 微分非直線性誤差		—	±1.0	—	LSB	
INL 積分非直線性誤差		—	±1.0	±3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 50.47 A/D変換特性 (2)

条件: $2.4V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$, $2.4V \leq VREFH0 \leq AVCC0$, $VREFH0$ を基準電圧にしたとき、
 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$, $PCLKD = 32MHz$, $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
周波数		1	—	32	MHz	
分解能		—	—	12	ビット	
変換時間(注1) (PCLKD = 32MHz時)	許容信号源 インピーダンス max = 1.3k Ω	1.41	—	—	μs	高精度チャネル ADCSR.ADHSCビット=0 ADSSTRnレジスタ=0Dh
		2.25	—	—		通常精度チャネル ADCSR.ADHSCビット=0 ADSSTRnレジスタ=28h
アナログ入力容量	Cs	—	—	15	pF	端子容量含む 図50.68
アナログ入力抵抗	Rs	—	—	2.5	k Ω	図50.68
オフセット誤差		—	± 0.5	± 4.5	LSB	
フルスケール誤差		—	± 0.75	± 4.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャネル
				± 8.0	LSB	上記以外
DNL微分非直線性誤差		—	± 1.0	—	LSB	
INL積分非直線性誤差		—	± 1.0	± 4.5	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 50.48 A/D変換特性 (3)

条件: $2.7V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$, $2.7V \leq VREFH0 \leq AVCC0$, $VREFH0$ を基準電圧にしたとき、
 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$, $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
周波数		1	—	27	MHz	
分解能		—	—	12	ビット	
変換時間(注1) (PCLKD = 27MHz時)	許容信号源 インピーダンス max = 1.1k Ω	2	—	—	μs	高精度チャネル ADCSR.ADHSCビット=1 ADSSTRnレジスタ=0Dh
		3	—	—		通常精度チャネル ADCSR.ADHSCビット=1 ADSSTRnレジスタ=28h
アナログ入力容量	Cs	—	—	15	pF	端子容量含む 図50.68
アナログ入力抵抗	Rs	—	—	2.5	k Ω	図50.68
オフセット誤差		—	± 0.5	± 4.5	LSB	
フルスケール誤差		—	± 0.75	± 4.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャネル
				± 8.0	LSB	上記以外
DNL微分非直線性誤差		—	± 1.0	—	LSB	
INL積分非直線性誤差		—	± 1.0	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 50.49 A/D変換特性 (4)

条件：2.4V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、2.4V ≤ VREFH0 ≤ AVCC0、VSS = AVSS0 = VSS_USB = 0V、
VREFH0を基準電圧にしたとき、T_a = -40 ~ +105°C

項目		min	typ	max	単位	測定条件
周波数		1	—	16	MHz	
分解能		—	—	12	ビット	
変換時間(注1) (PCLKD = 16MHz時)	許容信号源 インピーダンス max = 2.2kΩ	3.38	—	—	μs	高精度チャンネル ADCSR.ADHSCビット=1 ADSSTRnレジスタ=0Dh
		5.06	—	—		通常精度チャンネル ADCSR.ADHSCビット=1 ADSSTRnレジスタ=28h
アナログ入力容量	Cs	—	—	15	pF	端子容量含む 図50.68
アナログ入力抵抗	Rs	—	—	2.5	kΩ	図50.68
オフセット誤差		—	±0.5	±4.5	LSB	
フルスケール誤差		—	±0.75	±4.5	LSB	
量子化誤差		—	±0.5	—	LSB	
絶対精度		—	±1.25	±5.0	LSB	高精度チャンネル
				±8.0	LSB	上記以外
DNL微分非直線性誤差		—	±1.0	—	LSB	
INL積分非直線性誤差		—	±1.0	±3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 50.50 A/D変換特性 (5)

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、1.8V ≤ VREFH0 ≤ AVCC0、VSS = AVSS0 = VSS_USB = 0V、
VREFH0を基準電圧にしたとき、T_a = -40 ~ +105°C

項目		min	typ	max	単位	測定条件
周波数		1	—	8	MHz	
分解能		—	—	12	ビット	
変換時間(注1) (PCLKD = 8MHz時)	許容信号源 インピーダンス max = 5 kΩ	6.75	—	—	μs	高精度チャンネル ADCSR.ADHSCビット=1 ADSSTRnレジスタ=0Dh
		10.13	—	—		通常精度チャンネル ADCSR.ADHSCビット=1 ADSSTRnレジスタ=28h
アナログ入力容量	Cs	—	—	15	pF	端子容量含む 図50.68
アナログ入力抵抗	Rs	—	—	2.5	kΩ	図50.68
オフセット誤差		—	±1	±7.5	LSB	
フルスケール誤差		—	±1.5	±7.5	LSB	
量子化誤差		—	±0.5	—	LSB	
絶対精度		—	±3.0	±8.0	LSB	
DNL微分非直線性誤差		—	±1.0	—	LSB	
INL積分非直線性誤差		—	±1.25	±3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 50.51 A/Dコンバータチャネル分類表

分類	対象チャネル	条件	備考
高精度チャネル	AN000～AN007	AVCC0 = 1.8～5.5V	A/Dコンバータ使用時、AN000～AN007端子をデジタル出力として使用することはできません
通常精度チャネル	AN016～AN031		
内部基準電圧入力チャネル	内部基準電圧	AVCC0 = 2.0～5.5V	
温度センサ入力チャネル	温度センサ出力	AVCC0 = 2.0～5.5V	

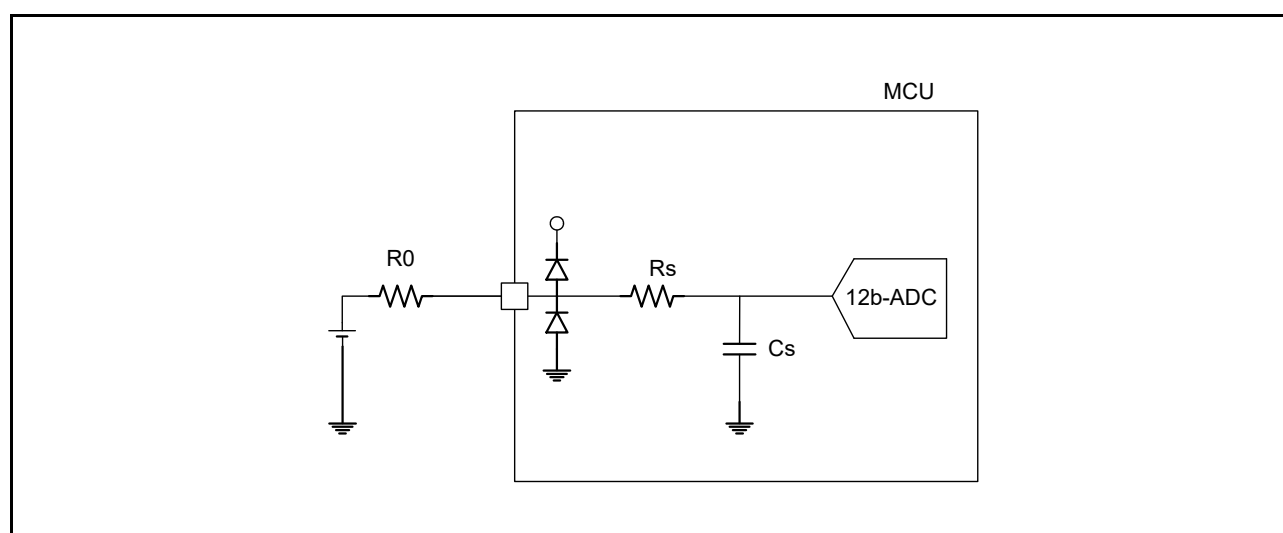


図 50.68 等価回路

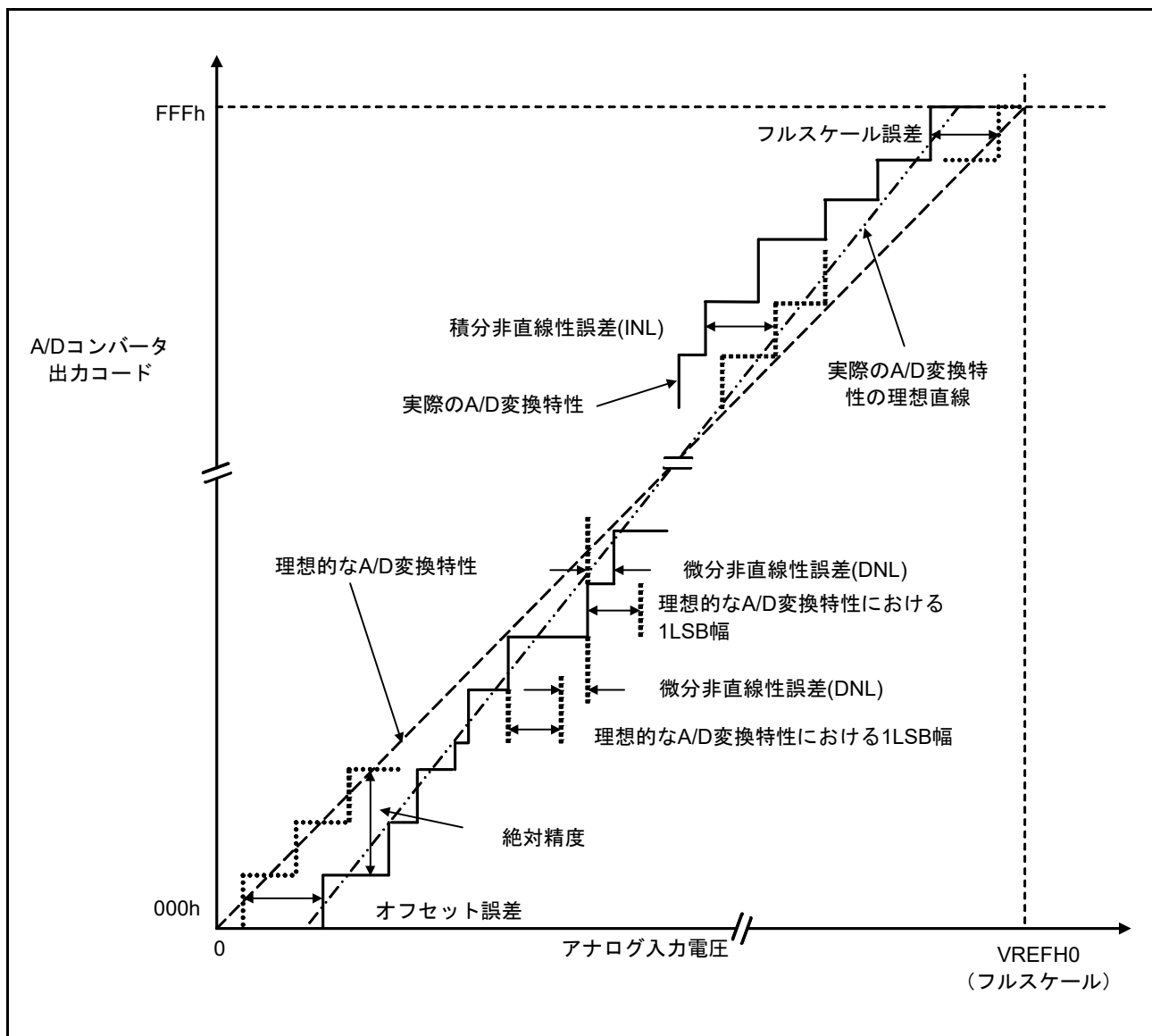


図 50.69 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅（1LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧（VREFH0 = 3.072V）の場合、1LSB 幅は 0.75mV で、アナログ入力電圧には 0mV、0.75mV、1.5mV... を使用します。

絶対精度 $\pm 5\text{LSB}$ とは、アナログ入力電圧が 6mV の場合、理論的な A/D 変換特性では出力コード“008h”を期待できますが、実際の A/D 変換結果は“003h”～“00Dh”になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

50.6 D/A 変換特性

表 50.52 D/A 変換特性 (1)

条件 : $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$
 基準電圧 = VREFH、VREFL 選択時

項目	min	typ	max	単位	測定条件
分解能	—	—	12	ビット	
負荷抵抗	30	—	—	k Ω	
負荷容量	—	—	50	pF	
出力電圧範囲	0.35	—	AVCC0 - 0.47	V	
DNL 微分非直線性誤差	—	± 0.5	± 1.0	LSB	
INL 積分非直線性誤差	—	± 2.0	± 8.0	LSB	
オフセット誤差	—	—	± 20	mV	
フルスケール誤差	—	—	± 20	mV	
出力抵抗	—	5	—	Ω	
変換時間	—	—	30	μs	

表 50.53 D/A 変換特性 (2)

条件 : $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VREFL = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$
 基準電圧 = AVCC0、AVSS0 選択時

項目	min	typ	max	単位	測定条件
分解能	—	—	12	ビット	
負荷抵抗	30	—	—	k Ω	
負荷容量	—	—	50	pF	
出力電圧範囲	0.35	—	AVCC0 - 0.47	V	
DNL 微分非直線性誤差	—	± 0.5	± 2.0	LSB	
INL 積分非直線性誤差	—	± 2.0	± 8.0	LSB	
オフセット誤差	—	—	± 30	mV	
フルスケール誤差	—	—	± 30	mV	
出力抵抗	—	5	—	Ω	
変換時間	—	—	30	μs	

表 50.54 D/A 変換特性 (3)

条件 : $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$
 基準電圧 = 内部基準電圧選択時

項目	min	typ	max	単位	測定条件
分解能	—	—	12	ビット	
内部基準電圧 (Vbgr)	1.36	1.43	1.50	V	
負荷抵抗	30	—	—	k Ω	
負荷容量	—	—	50	pF	
出力電圧範囲	0.35	—	Vbgr	V	
DNL 微分非直線性誤差	—	± 2.0	± 16.0	LSB	
INL 積分非直線性誤差	—	± 8.0	± 16.0	LSB	
オフセット誤差	—	—	30	mV	
出力抵抗	—	5	—	Ω	
変換時間	—	—	30	μs	

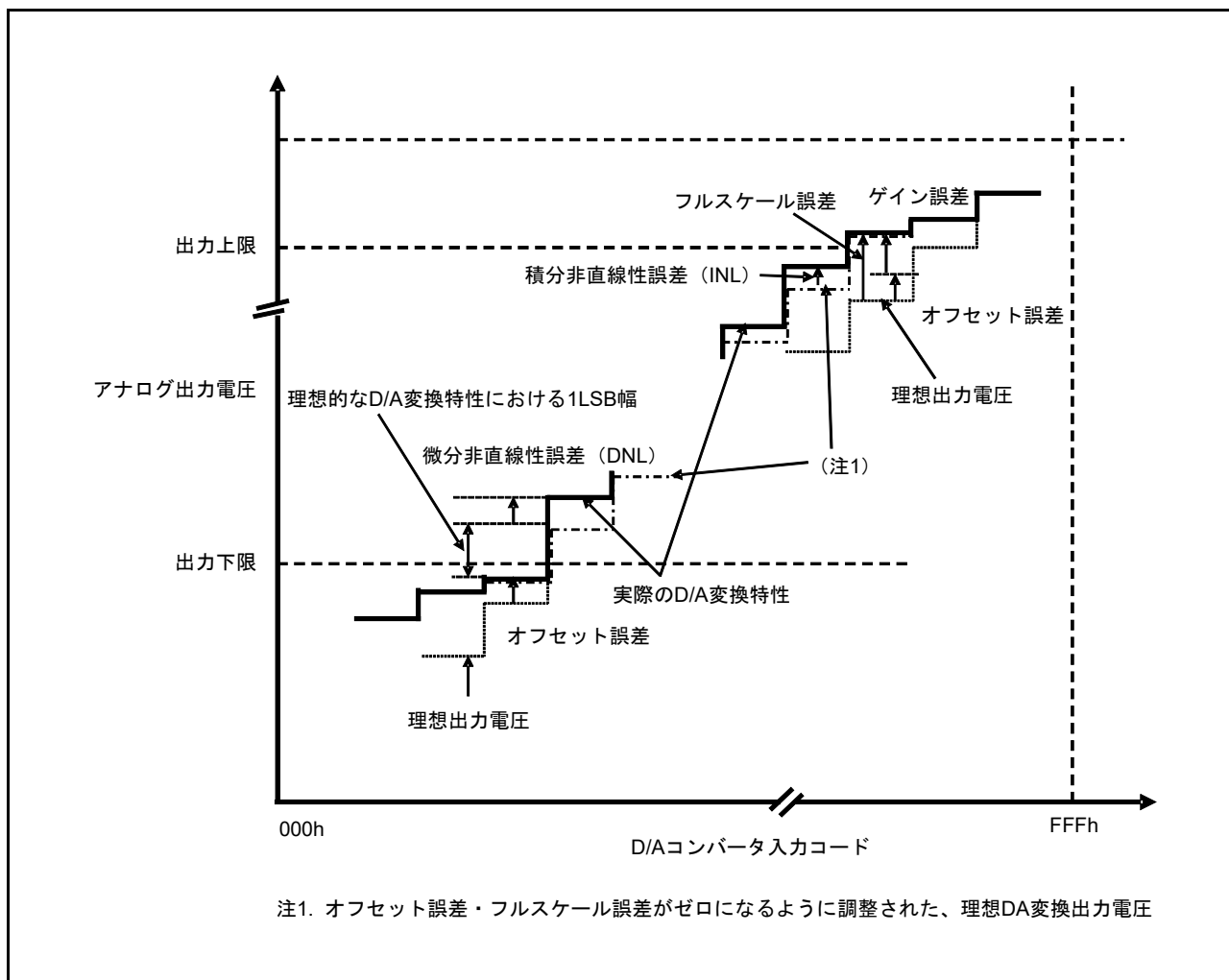


図 50.70 D/A コンバータ特性用語説明図

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な D/A 変換特性における 1LSB 幅と実際出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

50.7 温度センサ特性

表 50.55 温度センサ特性

条件：2.0V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
相対精度	—	—	±1.5	—	°C	2.4V以上
		—	±2.0	—		2.4V未満
温度傾斜	—	—	-3.65	—	mV/°C	
出力電位 (25°C)	—	—	1.05	—	V	VCC = 3.3V
温度センサ起動時間	t _{START}	—	—	5	μs	
サンプリング時間	—	5	—	—	μs	

50.8 コンパレータ特性

表 50.56 コンパレータ特性

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
CVREFB0 ~ CVREFB3 入力基準電圧	VREF	0	—	VCC - 1.4	V	
CMPB0 ~ CMPB3 入力電圧	VI	-0.3	—	VCC + 0.3	V	
オフセット	コンパレータ高速モード	—	—	50	mV	
	コンパレータ高速モード ウィンドウ機能有効	—	—	60	mV	
	コンパレータ低速モード	—	—	40	mV	
コンパレータ 出力遅延時間	コンパレータ高速モード	Td	—	1.2	μs	VCC = 3V、 入カスルーレート ≥ 50mV/us
	コンパレータ高速モード ウィンドウ機能有効	Tdw	—	2.0	μs	
	コンパレータ低速モード	Td	—	5.0	μs	
高電位側リファレンス電圧 (コンパレータ高速モード、ウィンドウ機能 有効)	VRFH	—	0.76VCC	—	V	
低電位側リファレンス電圧 (コンパレータ高速モード、ウィンドウ機能 有効)	VRFL	—	0.24VCC	—	V	
動作安定待ち時間	Tcmp	100	—	—	μs	

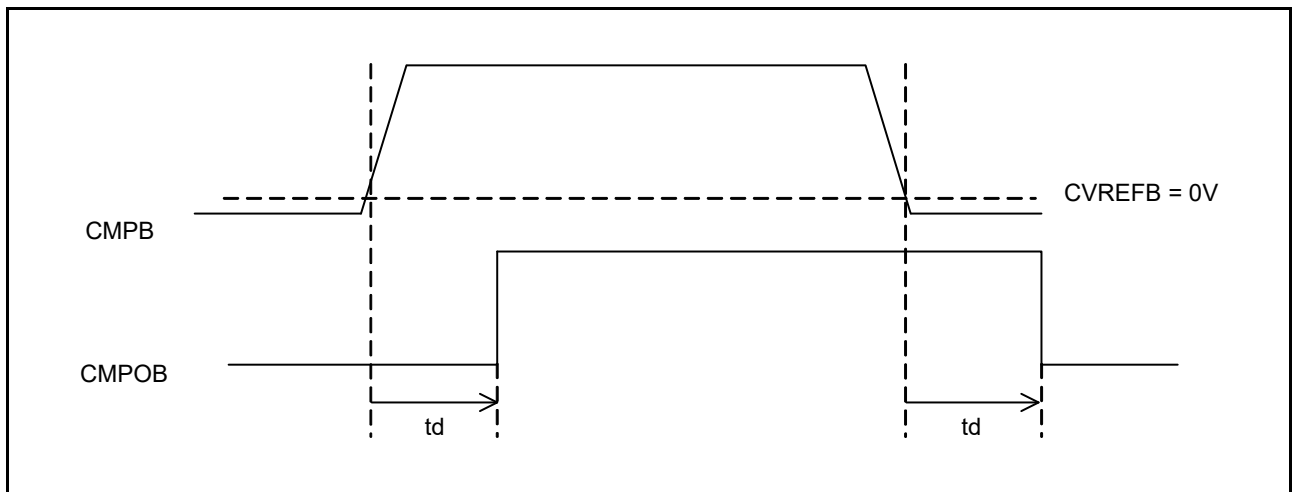


図 50.71 コンパレータ高速モード、低速モードのコンパレータ出力遅延時間

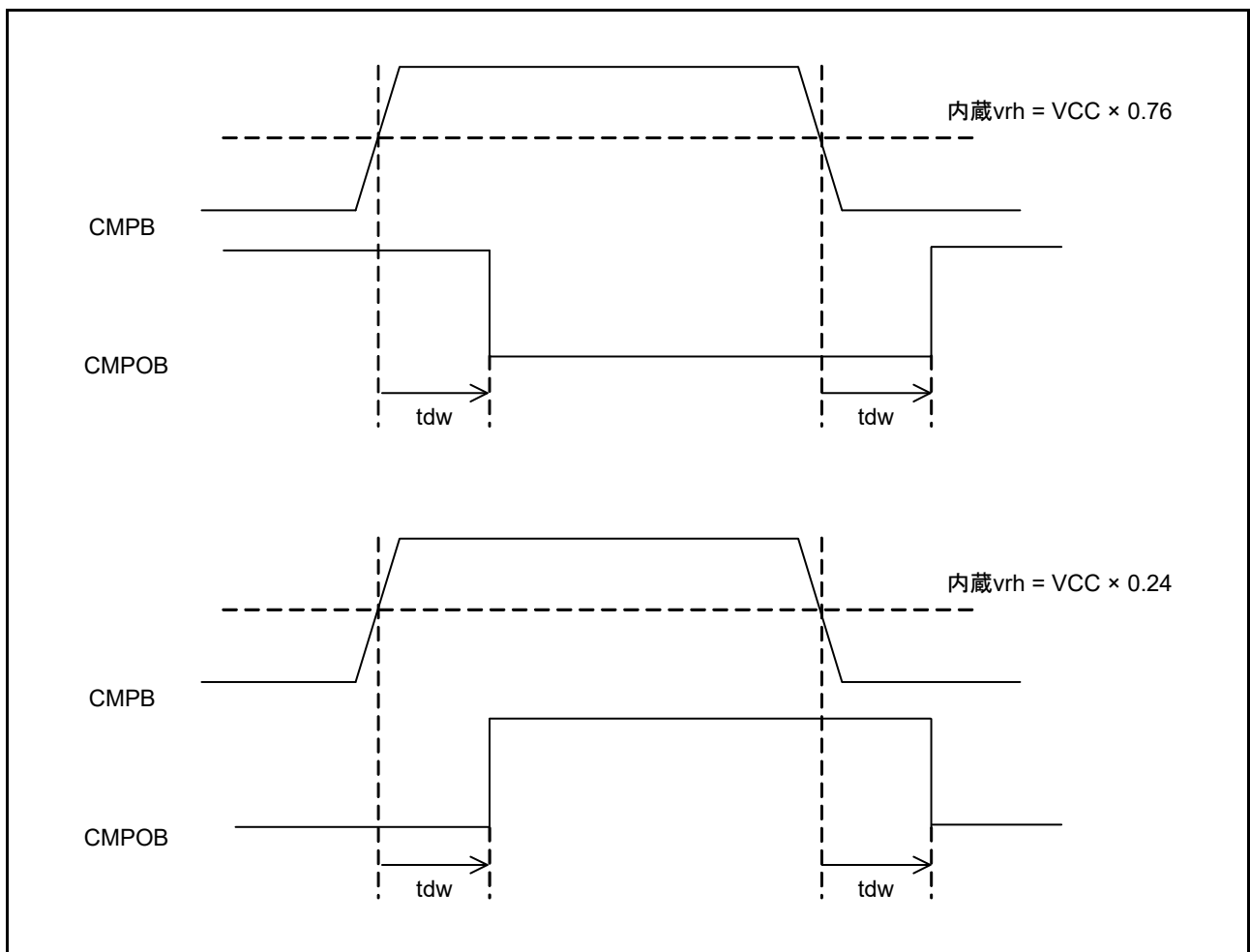


図 50.72 コンパレータ高速モードウィンドウ機能有効のコンパレータ出力遅延時間

50.9 CTSU 特性

表 50.57 CTSU 特性

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
TSCAP 端子外付け容量	C _{tscap}	9	10	11	nF	
TS 端子負荷容量	C _{base}	—	—	50	pF	
出力 High レベル許容電流	ΣI _{OH}	—	—	-24	mA	相互容量方式で使用する場合

50.10 パワーオンリセット回路、電圧検出回路特性

表 50.58 パワーオンリセット回路、電圧検出回路特性 (1)

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V _{POR}	1.35	1.50	1.65	V	図 50.73、図 50.74
	電圧検出回路 (LVD0) (注1)	V _{det0_0}	3.67	3.84	3.97	V	図 50.75 VCC 立ち下がり時
		V _{det0_1}	2.70	2.82	3.00		
		V _{det0_2}	2.37	2.51	2.67		
		V _{det0_3}	1.80	1.90	1.99		
	電圧検出回路 (LVD1) (注2)	V _{det1_0}	4.12	4.29	4.42	V	図 50.76 VCC 立ち下がり時
		V _{det1_1}	3.98	4.14	4.28		
		V _{det1_2}	3.86	4.02	4.16		
		V _{det1_3}	3.68	3.84	3.98		
		V _{det1_4}	2.99	3.10	3.29		
		V _{det1_5}	2.89	3.00	3.19		
		V _{det1_6}	2.79	2.90	3.09		
		V _{det1_7}	2.68	2.79	2.98		
		V _{det1_8}	2.57	2.68	2.87		
		V _{det1_9}	2.47	2.58	2.67		
		V _{det1_A}	2.37	2.48	2.57		
		V _{det1_B}	2.10	2.20	2.30		
	電圧検出回路 (LVD2) (注3)	V _{det2_0}	4.08	4.29	4.48	V	図 50.77 VCC 立ち下がり時
		V _{det2_1}	3.95	4.14	4.35		
		V _{det2_2}	3.82	4.02	4.22		
V _{det2_3}		3.62	3.84	4.02			

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD2) の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号V_{det0_n}のnは、OFS1.VDSEL[1:0]ビットの値です。

注2. 記号V_{det1_n}のnは、LVDLVLR.LVD1LVL[3:0]ビットの値です。

注3. 記号V_{det2_n}のnは、LVDLVLR.LVD2LVL[1:0]ビットの値です。

表 50.59 パワーオンリセット回路、電圧検出回路特性 (2)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
パワーオンリセット解除後待機時間	通常起動時(注1)	t_{POR}	—	9.1	—	ms 図 50.74
	起動時間短縮時(注2)	t_{POR}	—	1.6	—	
電圧監視0リセット解除後待機時間	起動時電圧監視0リセット無効時(注1)	t_{LVD0}	—	568	—	μs 図 50.75
	起動時電圧監視0リセット有効時(注2)		—	100	—	
電圧監視1リセット解除後待機時間	t_{LVD1}	—	100	—	μs	図 50.76
電圧監視2リセット解除後待機時間	t_{LVD2}	—	100	—	μs	図 50.77
応答遅延時間	t_{det}	—	—	350	μs	図 50.73
最小VCC低下時間(注3)	t_{VOFF}	350	—	—	μs	図 50.73、VCC = 1.0V以上
パワーオンリセット有効時間	t_W (POR)	1	—	—	ms	図 50.74、VCC = 1.0V未満
LVD動作安定時間 (LVD有効切り替え時)	T_d (E-A)	—	—	300	μs	図 50.76、図 50.77
ヒステリシス幅 (パワーオンリセット (POR))	V_{PORH}	—	110	—	mV	
ヒステリシス幅 (電圧検出回路 (LVD1、LVD2))	V_{LVH}	—	70	—	mV	Vdet1_0~4選択時
		—	60	—		Vdet1_5~9選択時
		—	50	—		Vdet1_A~B選択時
		—	40	—		Vdet1_C~D選択時
		—	60	—		LVD2選択時

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD1) の電圧検出レベルとオーバラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. OFS1.(LVDAS, FASTSTUP) = 11bを設定した場合です。

注2. OFS1.(LVDAS, FASTSTUP) = 11b以外を設定した場合です。

注3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} のmin値を下回っている時間です。

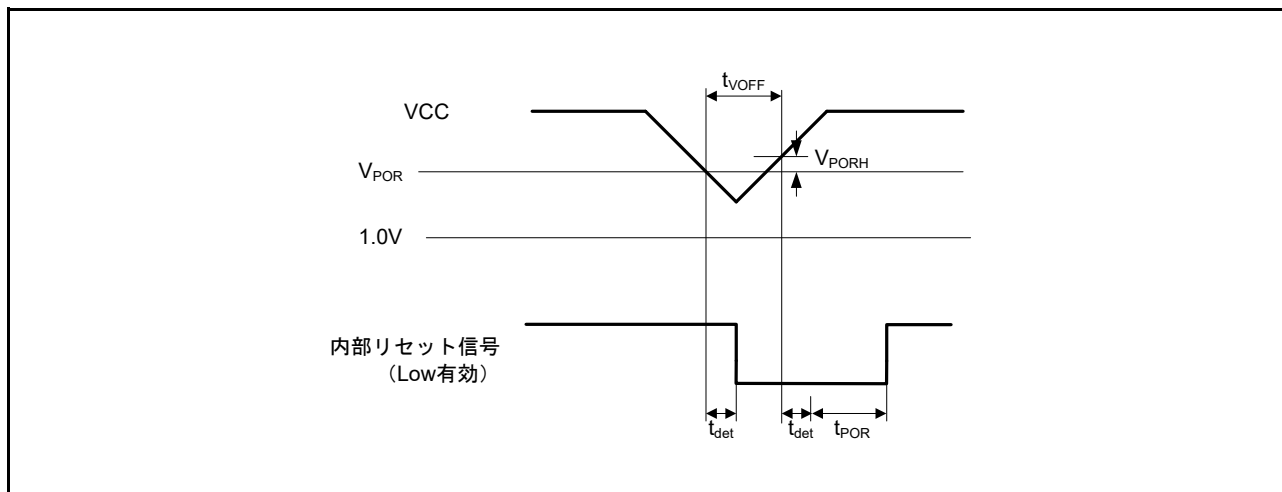


図 50.73 電圧検出リセットタイミング

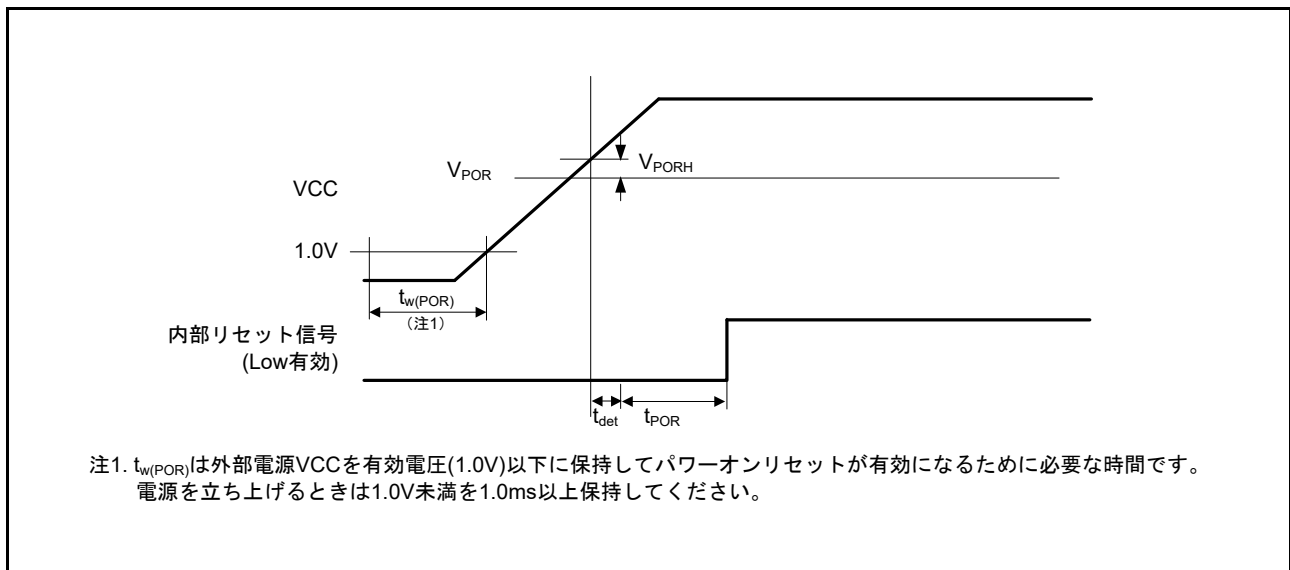


図 50.74 パワーオンリセットタイミング

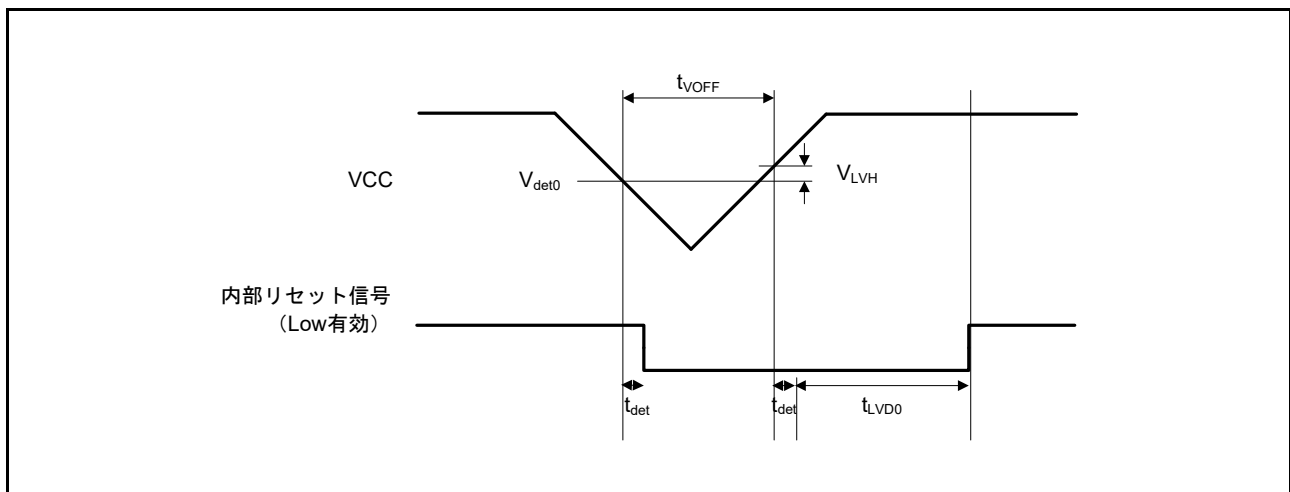


図 50.75 電圧検出回路タイミング (Vdet0)

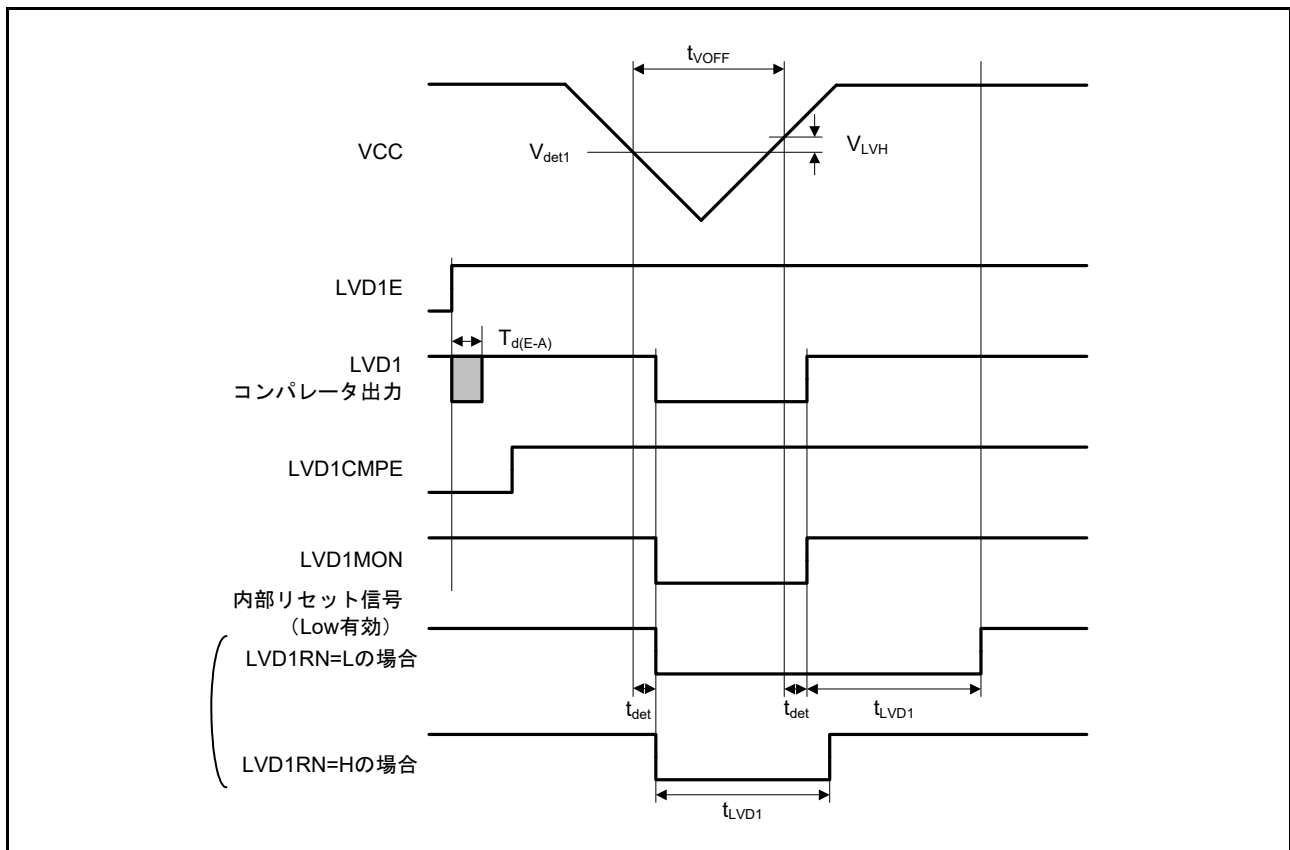


図 50.76 電圧検出回路タイミング (V_{det1})

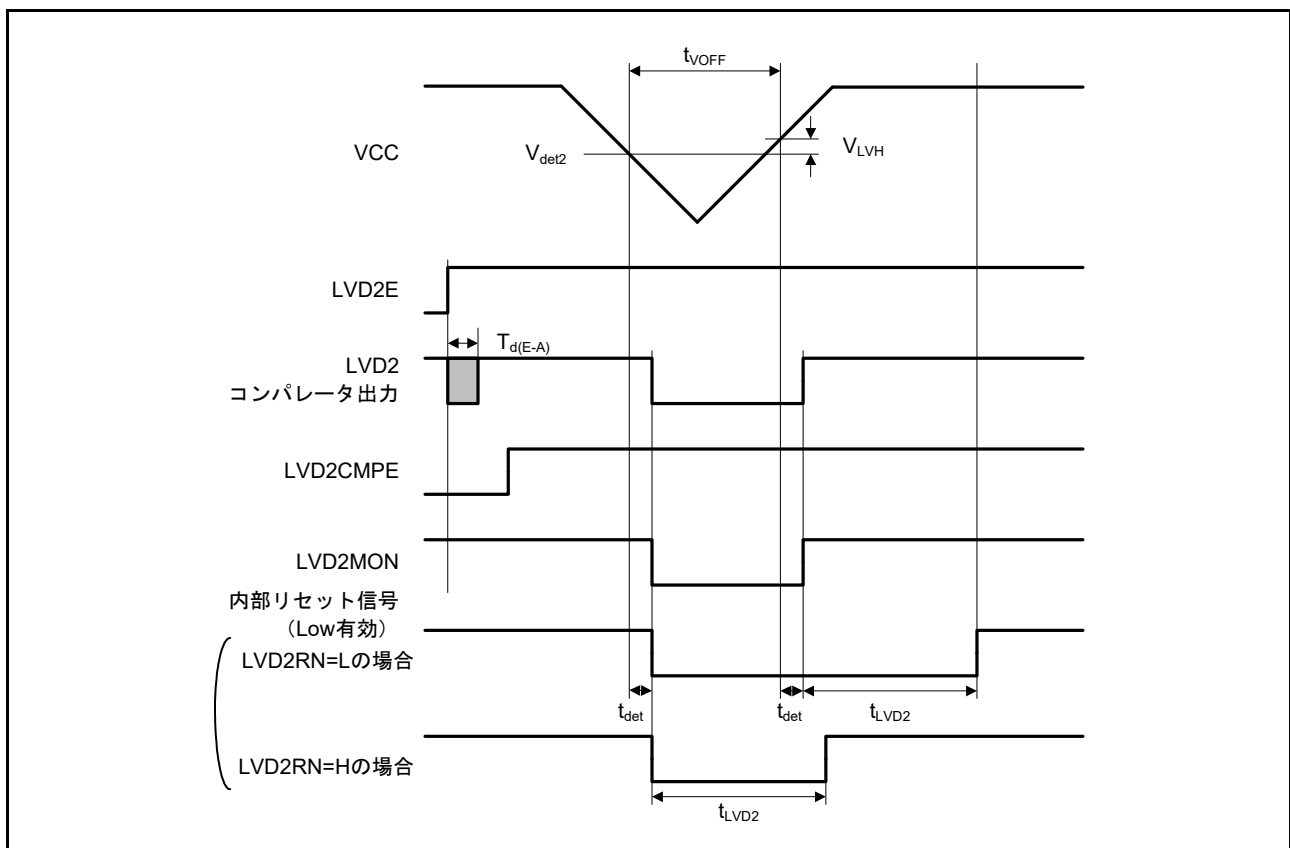


図 50.77 電圧検出回路タイミング (V_{det2})

50.11 発振停止検出タイミング

表 50.60 発振停止検出回路特性

条件 : $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 50.78

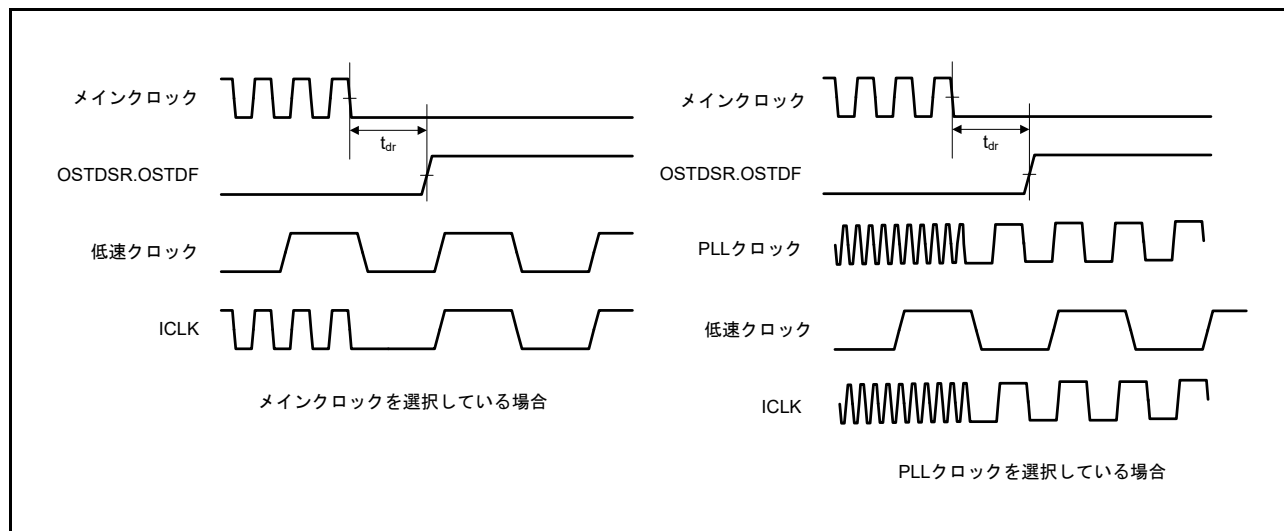


図 50.78 発振停止検出タイミング

50.12 バッテリバックアップ機能特性

表 50.61 バッテリバックアップ機能特性

条件 : $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $1.8V \leq VBATT \leq 5.5V$ 、 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件	
バッテリバックアップ切り替え電圧レベル (立ち下がり)	V_{DET_BATT}	1.99	2.09	2.19	V	図 50.79	
ヒステリシス幅	V_{VBATT_H}	—	100	—	mV		
切り替え可能VCCオフ期間	$t_{V_OFF_BATT}$	—	—	350	μs		
許容電源変動立ち上げ/立ち下り勾配	$dt/dVCC$	1.0	—	—	ms/V	図 50.7	
VBATT 端子電圧低下検出レベル (立ち下がり)	$VBTLVDLVL[1:0] = 10b$	$V_{DET_BATT_LVD}$	2.11	2.20	2.29	V	図 50.79
	$VBTLVDLVL[1:0] = 11b$		1.87	2.00	2.13	V	
VBATT 端子電圧低下検出ヒステリシス幅	$V_{BATT_LVD_H}$	—	50	—	mV		

注. 切り替え可能VCCオフ期間は、VCCがバッテリバックアップ切り替え電圧レベル V_{DET_BATT} のmin値を下回っている時間です。

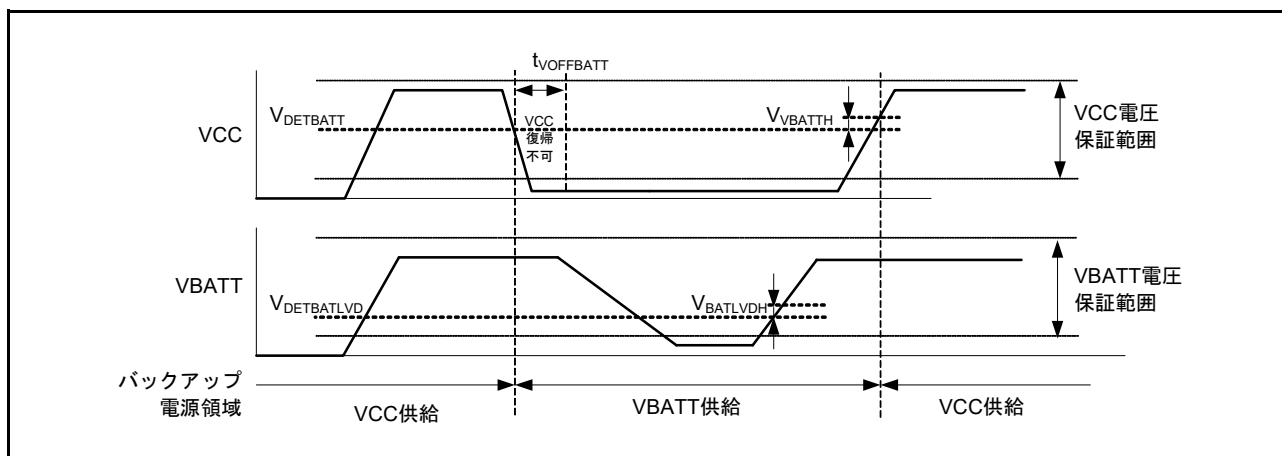


図 50.79 バッテリバックアップ機能特性

50.13 ROM（コード格納用フラッシュメモリ）特性

表50.62 ROM（コード格納用フラッシュメモリ）特性（1）

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル(注1)	N _{PEC}	1000	—	—	回	
データ保持時間	N _{PEC} 1000回後	t _{DRP}	20(注2、注3)	—	年	T _a = +85°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 1000回）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に4バイト書き込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表50.63 ROM（コード格納用フラッシュメモリ）特性（2）高速動作モード

条件：2.7V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t _{p8}	—	112	967	—	52.3	491	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.75	278	—	5.50	215	ms
	512Kバイト (ブロックイレーズ コマンド使用時)	t _{E512K}	—	928	19218	—	72.0	1679	ms
	512Kバイト (全ブロックイレーズ コマンド使用時)	t _{EA512K}	—	923	19013	—	66.7	1469	ms
ブランクチェック時間	8バイト	t _{BC8}	—	—	55.0	—	—	16.1	μs
	2Kバイト	t _{BC2K}	—	—	1840	—	—	136	ms
イレーズ処理強制停止時間		t _{SED}	—	—	18.0	—	—	10.7	μs
スタートアップ領域入れ替え設定時間		t _{SAS}	—	12.3	566.5	—	6.2	434	ms
アクセスウィンドウ設定時間		t _{AWS}	—	12.3	566.5	—	6.2	434	ms
ROMモード遷移待ち時間1		t _{DIS}	2.0	—	—	2.0	—	—	μs
ROMモード遷移待ち時間2		t _{MS}	5.0	—	—	5.0	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

表 50.64 ROM (コード格納用フラッシュメモリ) 特性 (3) 中速動作モード
 条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$
 プログラム/イレーズ時の動作温度範囲: $T_a = -40 \sim +85^\circ C$

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t_{P8}	—	152	1367	—	97.9	936	μs
イレーズ時間	2Kバイト	t_{E2K}	—	8.8	279.7	—	5.9	221	ms
	512Kバイト (ブロックイレーズ コマンド使用時)	t_{E512K}	—	928	19221	—	191	4108	ms
	512Kバイト (全ブロックイレーズ コマンド使用時)	t_{EA512K}	—	923	19015	—	185	3901	ms
ブランクチェック時間	8バイト	t_{BC8}	—	—	85.0	—	—	50.88	μs
	2Kバイト	t_{BC2K}	—	—	1870	—	—	402	μs
イレーズ処理強制停止時間		t_{SED}	—	—	28.0	—	—	21.3	μs
スタートアップ領域入れ替え設定時間		t_{SAS}	—	13.0	573.3	—	7.7	451	ms
アクセスウィンドウ設定時間		t_{AWS}	—	13.0	573.3	—	7.7	451	ms
ROMモード遷移待ち時間1		t_{DIS}	2.0	—	—	2.0	—	—	μs
ROMモード遷移待ち時間2		t_{MS}	3.0	—	—	3.0	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。

50.14 E2 データフラッシュ（データ格納用フラッシュメモリ）特性

表50.65 E2データフラッシュ特性（1）

項目	記号	min	typ	max	単位	条件	
再プログラム/イレースサイクル(注1)	N _{DPEC}	100000	1000000	—	回		
データ保持時間	N _{DPEC} 10000回後	t _{DDRP}	20 (注2、注3)	—	—	年	T _a = +85°C
	N _{DPEC} 100000回後		5 (注2、注3)	—	—	年	
	N _{DPEC} 1000000回後	—	1 (注2、注3)	—	年	T _a = +25°C	

注1. 再プログラム/イレースサイクルの定義：再プログラム/イレースサイクルは、ブロックごとの消回数です。再プログラム/イレースサイクルがn回（n = 100000回）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に1バイト書き込みを1000回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表50.66 E2データフラッシュ特性（2）高速動作モード

条件：2.7V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V

プログラム/イレース時の動作温度範囲：T_a = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	95.0	797	—	40.8	376	μs
イレース時間	1Kバイト	t _{DE1K}	—	19.5	498	—	6.2	230	ms
	8Kバイト	t _{DE8K}	—	119.8	2556	—	12.9	368	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	55.00	—	—	16.1	μs
	1Kバイト	t _{DBC1K}	—	—	0.72	—	—	0.50	ms
イレース処理強制停止時間	t _{DSERD}	—	—	16.0	—	—	10.7	μs	
データフラッシュ STOP解除時間	t _{DSTOP}	5.0	—	—	5.0	—	—	μs	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

表50.67 E2データフラッシュ特性（3）中速動作モード

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V

プログラム/イレース時の動作温度範囲：T_a = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	135	1197	—	86.5	823	μs
イレース時間	1Kバイト	t _{DE1K}	—	19.6	501	—	8.0	265	ms
	8Kバイト	t _{DE8K}	—	120	2558	—	27.7	669	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	85.0	—	—	50.9	μs
	1Kバイト	t _{DBC1K}	—	—	0.72	—	—	1.45	ms
イレース処理強制停止時間	t _{DSERD}	—	—	28.0	—	—	21.3	μs	
データフラッシュ STOP解除時間	t _{DSTOP}	0.72	—	—	0.72	—	—	μs	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

50.15 使用上の注意事項

50.15.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源（VCL 端子）と VSS 端子間には、内部電圧安定用のコンデンサ 4.7 μ F を接続する必要があります。外付けコンデンサ接続方法を図 50.80 ～図 50.82 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は 0.1 μ F（推奨値）を使用してください。水晶発振関連のコンデンサについては「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「43. 12 ビット A/D コンバータ (S12ADE)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ)でも説明していますので、最新版をルネサス エレクトロニクスホームページから入手して参照ください。

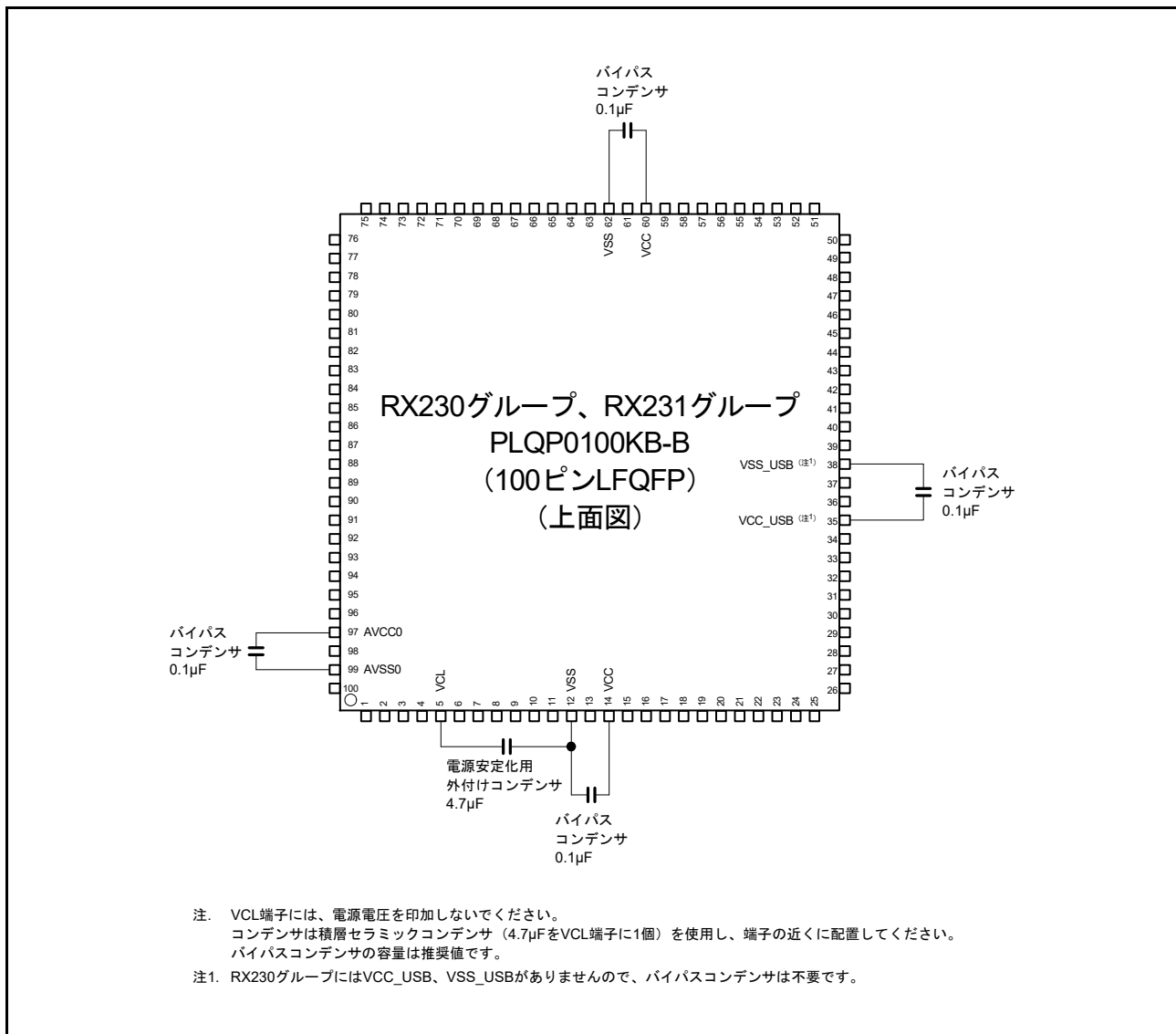


図 50.80 コンデンサ接続方法（100ピン）

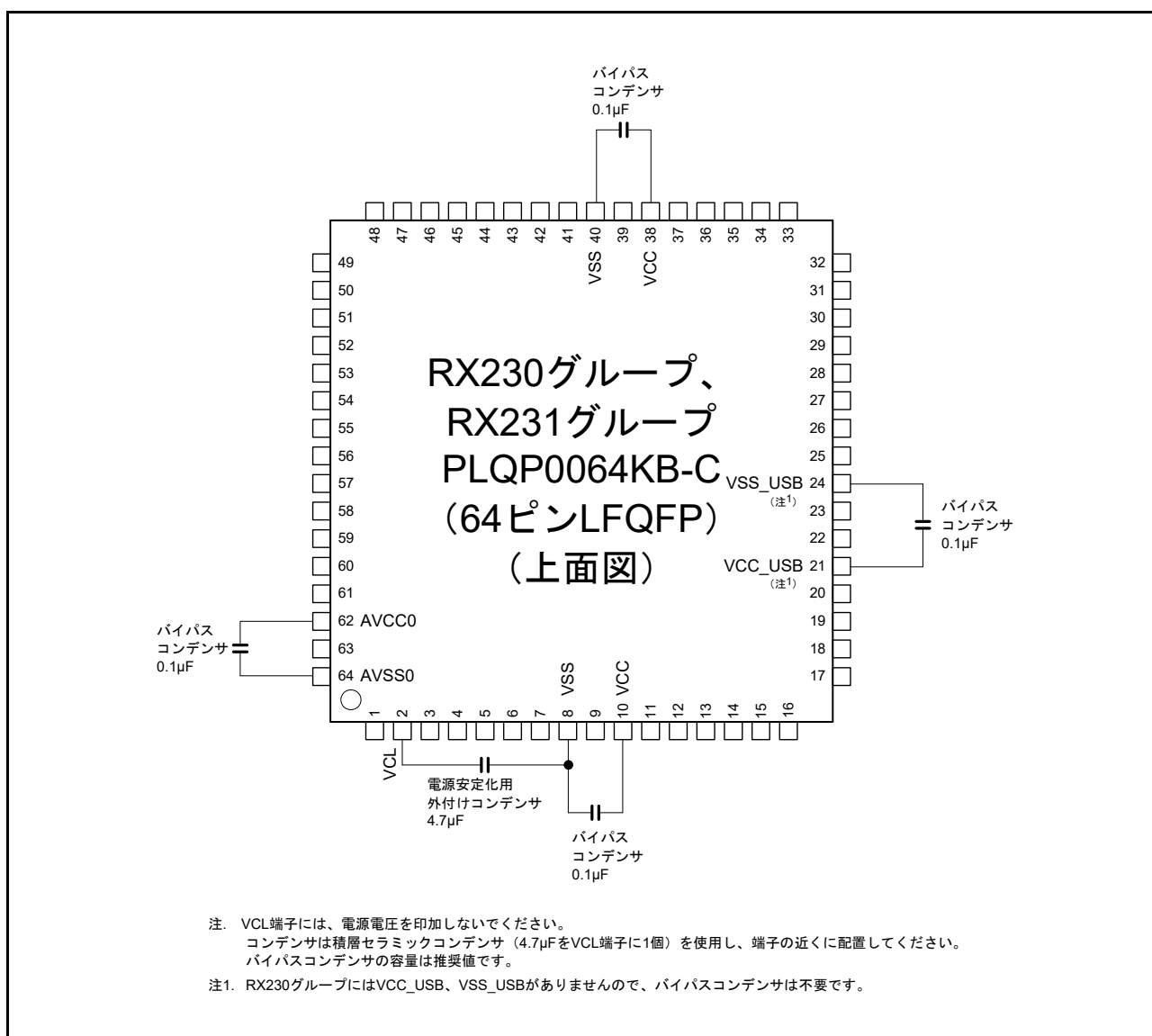


図 50.81 コンデンサ接続方法 (64ピン)

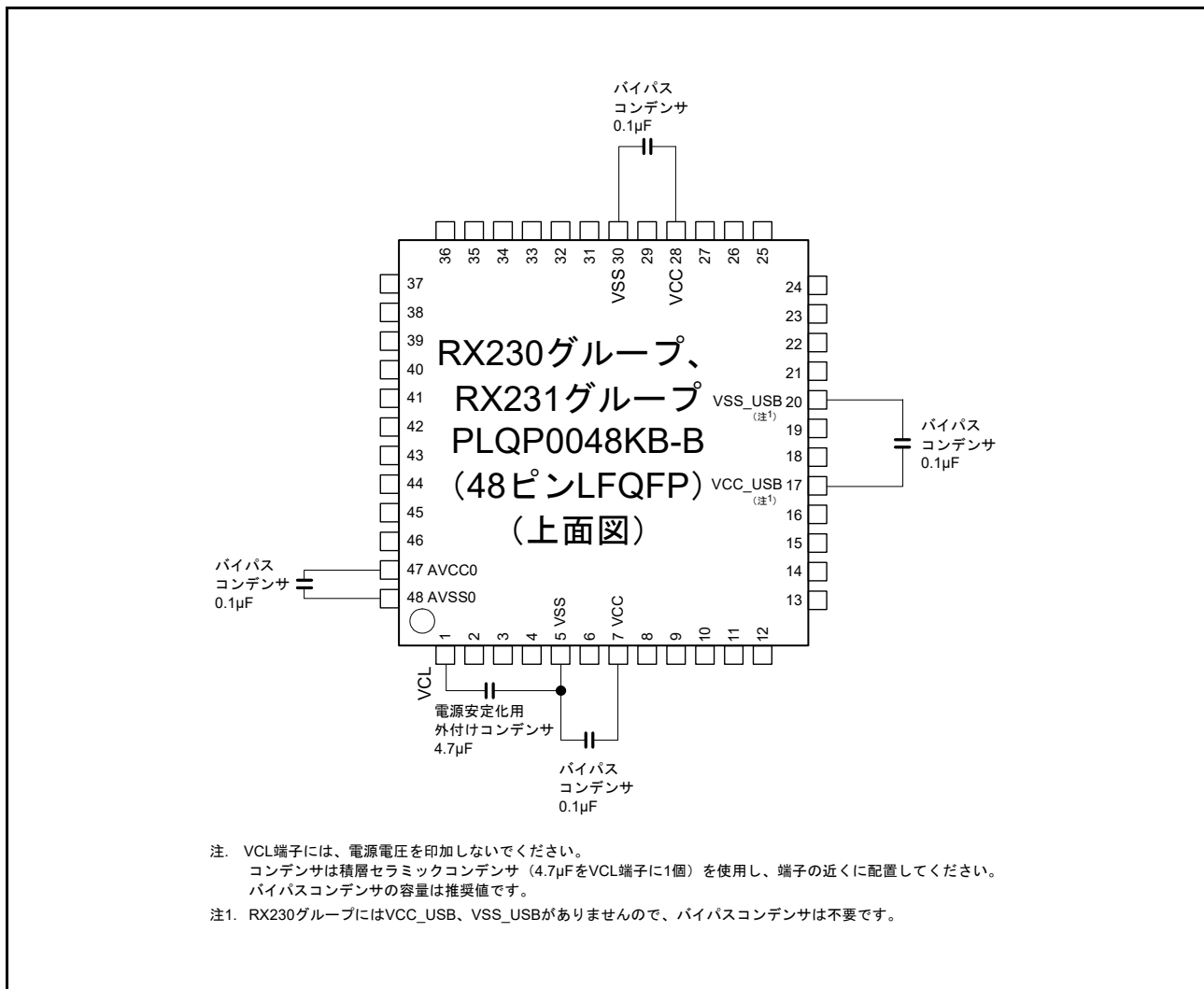


図 50.82 コンデンサ接続方法（48ピン）

付録1. 各処理状態におけるポートの状態

表 1.1 各処理状態におけるポートの状態 (1 / 4)

ポート名 端子名	レジスタ設定による動作モード		リセット	ソフトウェアスタンバイモード	
				OPE = 1	OPE = 0
P03 (DA0)	全モード	DA0出力時 (DAOE0 = 1)	Hi-Z	DA出力保持	
		上記以外 (DAOE0 = 0)		Keep-O	
P05 (DA1)	全モード	DA1出力時 (DAOE1 = 1)	Hi-Z	DA出力保持	
		上記以外 (DAOE1 = 0)		Keep-O	
P07	全モード	Hi-Z	Keep-O		
P12、P13 (IRQ2、IRQ3)	全モード	Hi-Z	Keep-O (注1)		
P14 (USB0_OVRCURA/IRQ4)	全モード	Hi-Z	Keep-O (注1、注2)		
P15 (IRQ5)	全モード	Hi-Z	Keep-O (注1)		
P16 (USB0_VBUS/ USB0_OVRCURB/IRQ6/ RTCOUT)	全モード	Hi-Z	[RTCOUT出力時] RTCOUT出力 [上記以外] Keep-O (注1、注2)		
P17 (CMPOB2/IRQ7)	全モード	Hi-Z	[CMPOB2出力時] CMPOB2出力 [上記以外] Keep-O (注1)		
P20、P21	全モード	Hi-Z	Keep-O		
P22 (USB0_OVRCURB)	全モード	Hi-Z	Keep-O (注2)		
P23	全モード	Hi-Z	Keep-O		
P24、P25 (CS0#、CS1#)	シングルチップモード (EXBE = 0)		Keep-O		
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[CS#出力時] H [上記以外] Keep-O	[CS#出力時] Hi-Z [上記以外] Keep-O	
P26 (CS2#)	シングルチップモード (EXBE = 0)		Keep-O		
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[CS#出力時] H [上記以外] Keep-O	[CS#出力時] Hi-Z [上記以外] Keep-O	
P27 (CS3#)	シングルチップモード (EXBE = 0)		Keep-O		
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[CS#出力時] H [上記以外] Keep-O	[CS#出力時] Hi-Z [上記以外] Keep-O	
P30 (CMPOB3/IRQ0)	全モード	Hi-Z	[CMPOB3出力時] CMPOB3出力 [上記以外] Keep-O (注1)		
P31 (IRQ1)	全モード	Hi-Z	Keep-O (注1)		

表 1.1 各処理状態におけるポートの状態 (2 / 4)

ポート名 端子名	レジスタ設定による動作モード	リセット	ソフトウェアスタンバイモード	
			OPE = 1	OPE = 0
P32 (IRQ2/RTCOU)	全モード	Hi-Z	[RTCOU出力時] RTCOU出力 [上記以外] Keep-O (注1)	
P33 (IRQ3)	全モード	Hi-Z	Keep-O (注1)	
P34 (IRQ4)	全モード	Hi-Z	Keep-O (注1)	
P35 (NMI)	全モード	Hi-Z	Keep-O (注1)	
P36、P37	全モード	Hi-Z	Keep-O	
P40～P47	全モード	Hi-Z	Keep-O	
P50 (WR0#/BC0#)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O	
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[WR0#/BC0#出力時] H [上記以外] Keep-O	[WR0#/BC0#出力時] Hi-Z [上記以外] Keep-O
P51 (WR1#/BC1#)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O	
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[WR1#/BC1#出力時] H [上記以外] Keep-O	[WR1#/BC1#出力時] Hi-Z [上記以外] Keep-O
P52 (RD#)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O	
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[RD#出力時] H [上記以外] Keep-O	[RD#出力時] Hi-Z [上記以外] Keep-O
P53 (BCLK)	全モード	Hi-Z	[クロック出力時] H [上記以外] Keep-O	
P54 (ALE)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O	
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[ALE出力時] L [上記以外] Keep-O	[ALE出力時] Hi-Z [上記以外] Keep-O
P55	全モード	Hi-Z	Keep-O	
PA0 (A0/BC0#)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O	
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [BC0#出力時] H [上記以外] Keep-O	[アドレス出力時] Hi-Z [BC0#出力時] Hi-Z [上記以外] Keep-O
PA1、PA2 (A1、A2)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O	
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O

表 1.1 各処理状態におけるポートの状態 (3 / 4)

ポート名 端子名	レジスタ設定による動作モード	リセット	ソフトウェアスタンバイモード	
			OPE = 1	OPE = 0
PA3、PA4 (IRQ6/A3、IRQ5/A4)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注1)	
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注1)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注1)
PA5～PA7 (A5～A7)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O	
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O
PB0 (A8)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O	
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O
PB1 (IRQ4/CMPOB1/A9)	シングルチップモード (EXBE = 0)	Hi-Z	[CMPOB1出力時] CMPOB1出力 [上記以外] Keep-O (注1)	
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [CMPOB1出力時] CMPOB1出力 [上記以外] Keep-O	[アドレス出力時] Hi-Z [CMPOB1出力時] CMPOB1出力 [上記以外] Keep-O
PB2～PB4 (A10～A12)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O	
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O
PB5 (USB0_VBUS/A13)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注2)	
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O
PB6、PB7 (A14、A15)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O	
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O
PC0～PC3 (A16～A19)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O	
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O

表 1.1 各処理状態におけるポートの状態 (4 / 4)

ポート名 端子名	レジスタ設定による動作モード	リセット	ソフトウェアスタンバイモード	
			OPE = 1	OPE = 0
PC4～PC7 (A20/CS3#～A23/CS0#)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O	
	内蔵ROM有効/無効拡張モード (EXBE = 1)		[アドレス出力時] アドレス出力保持 [CS#出力時] H [上記以外] Keep-O	[アドレス出力時] Hi-Z [CS#出力時] Hi-Z [上記以外] Keep-O
PD0～PD7 (D0/IRQ0～D7/IRQ7)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注1)	
	内蔵ROM有効/無効拡張モード (EXBE = 1)		Hi-Z	
PE0、PE1 (D8、D9)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O	
	内蔵ROM有効/ 無効拡張モード (EXBE = 1)		Keep-O	
			バス幅8ビット バス幅16ビット	Hi-Z
PE2 (D10/IRQ7)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注1)	
	内蔵ROM有効/ 無効拡張モード (EXBE = 1)		Keep-O (注1)	
			バス幅8ビット バス幅16ビット	Hi-Z
PE3、PE4 (D11/CLKOUT、D12/ CLKOUT)	シングルチップモード (EXBE = 0)	Hi-Z	[CLKOUT出力時] CLKOUT出力 [上記以外] Keep-O	
	内蔵ROM有効/ 無効拡張モード (EXBE = 1)		[CLKOUT出力時] CLKOUT出力 [上記以外] Keep-O	
			バス幅8ビット バス幅16ビット	Hi-Z
PE5 (CMPOB0/D13/IRQ5)	シングルチップモード (EXBE = 0)	Hi-Z	[CMPOB0出力時] CMPOB0出力 [CS#出力時] H [上記以外] Keep-O (注1)	
	内蔵ROM有効/ 無効拡張モード (EXBE = 1)		[CMPOB0出力時] CMPOB0出力 [上記以外] Keep-O (注1)	
			バス幅8ビット バス幅16ビット	Hi-Z
PE6、PE7 (D14/IRQ6、D15/IRQ7)	シングルチップモード (EXBE = 0)	Hi-Z	Keep-O (注1)	
	内蔵ROM有効/ 無効拡張モード (EXBE = 1)		Keep-O (注1)	
			バス幅8ビット バス幅16ビット	Hi-Z
PJ3	全モード	Hi-Z	Keep-O	
PH0～3	全モード	Hi-Z	Keep-O	

H : High レベル

L : Low レベル

Keep-O: 出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス

Hi-Z : ハイインピーダンス

注1. 外部端子割り込みとして使用時は、ソフトウェアスタンバイモード解除要因として設定されている場合、入力できます。

注2. USB端子 (USB0_VBUS/USB0_OVRCURA/USB0_OVRCURB) として使用時は入力できません。

付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

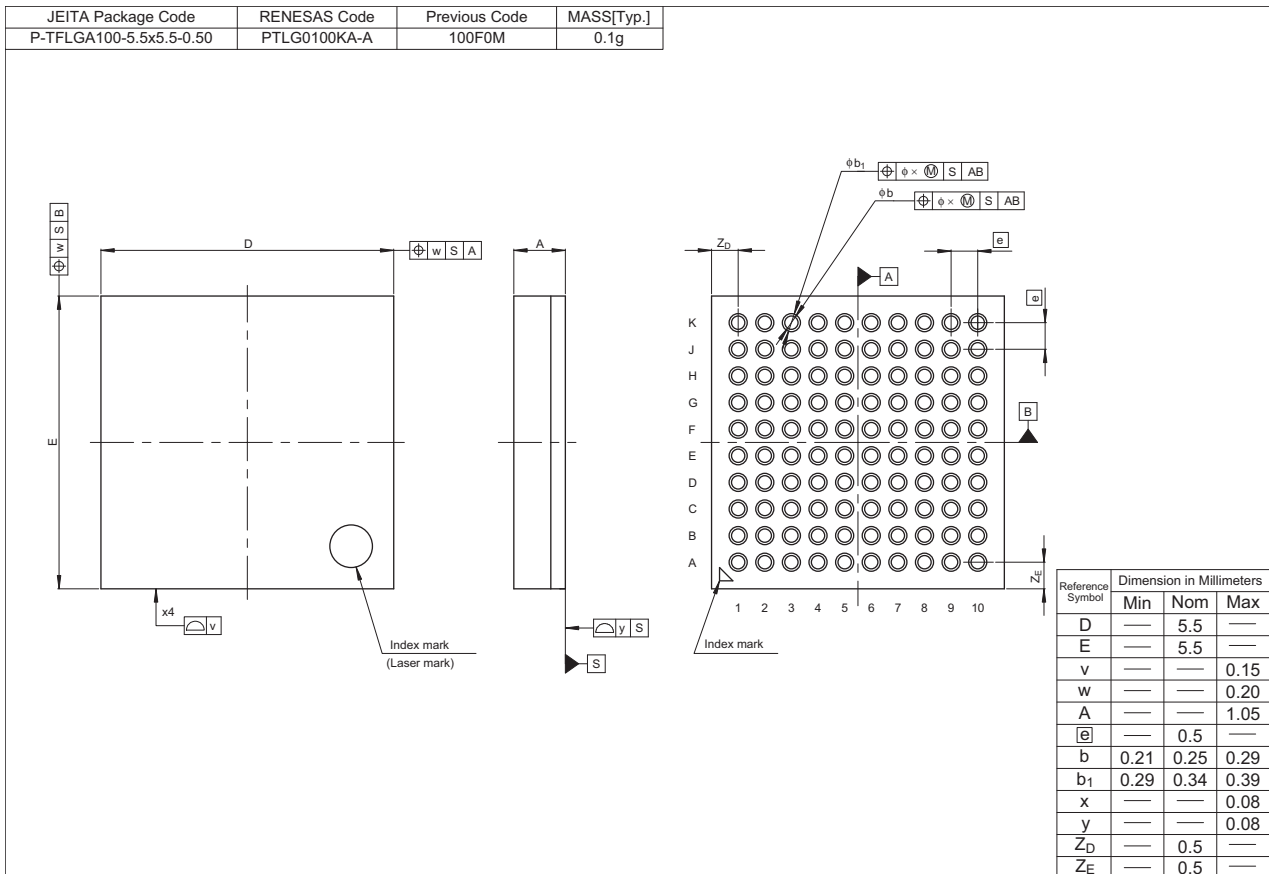


図 A. 100ピン TFLGA (PTLG0100KA-A)

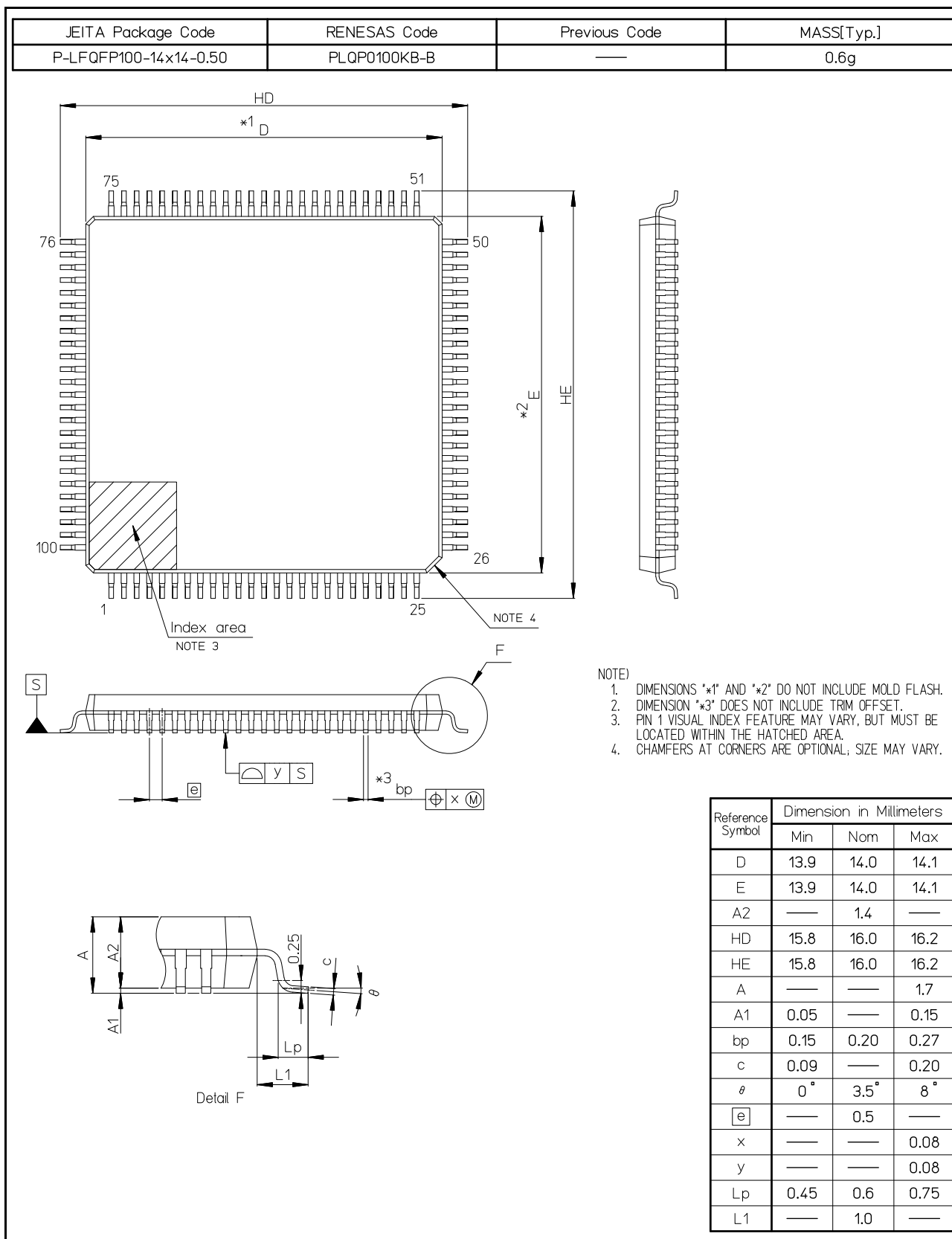
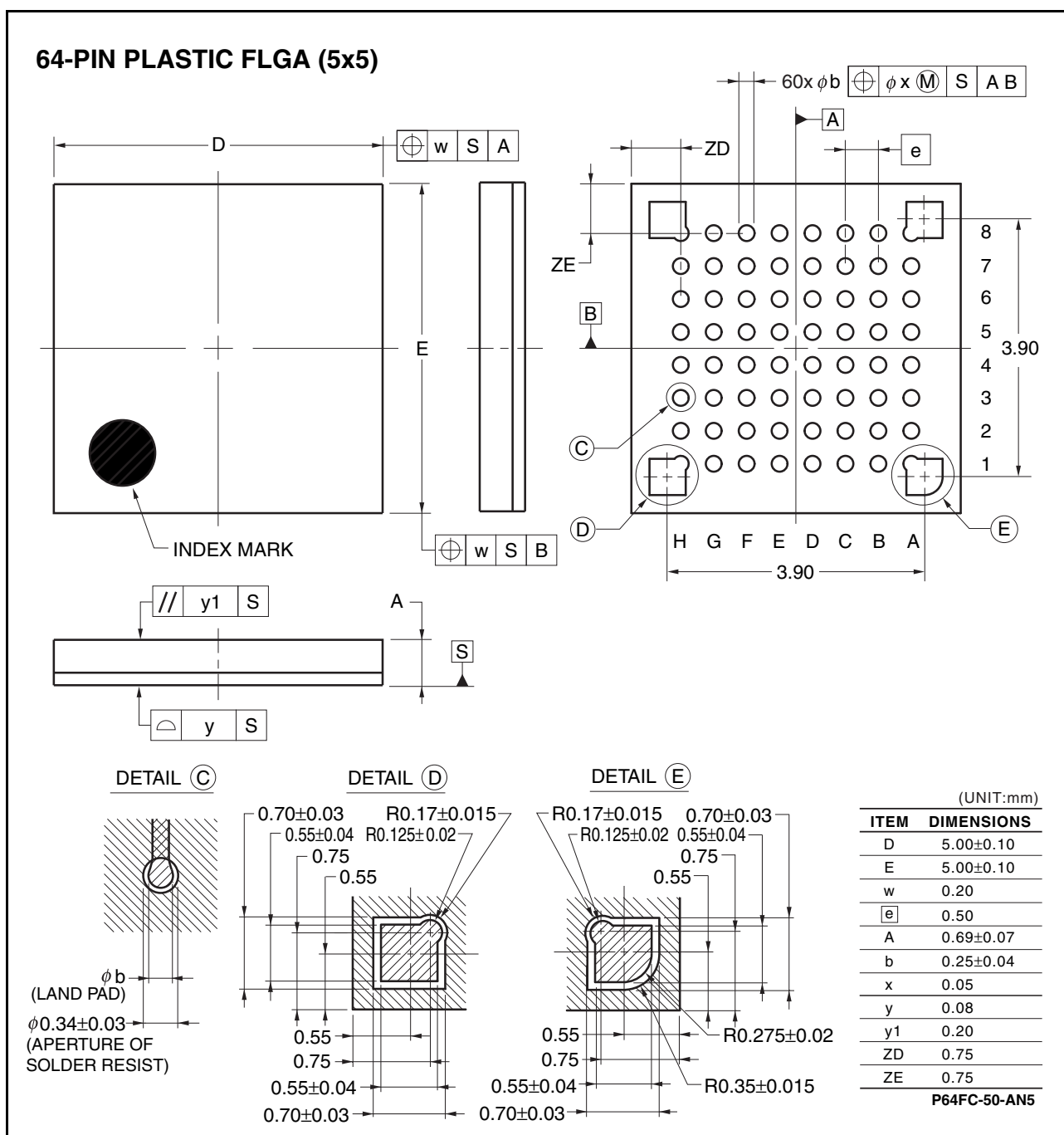
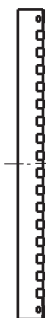
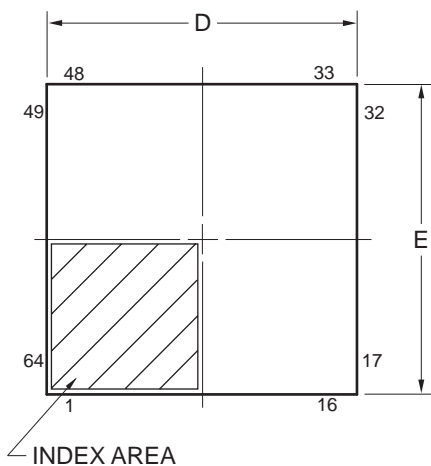


図 B. 100ピン LQFP (PLQP0100KB-B)

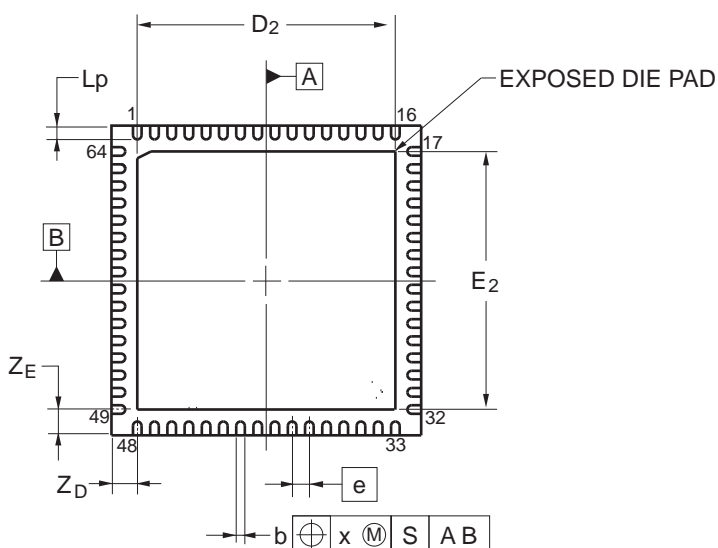
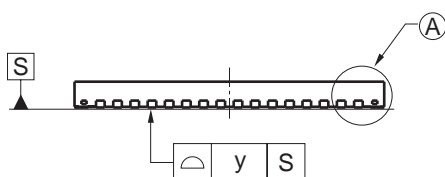
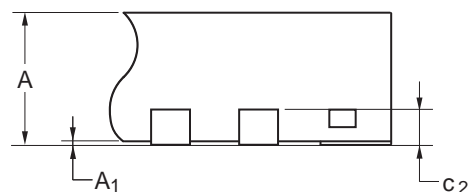


☒ C. 64ピンWFLGA (PWL0064KA-A)

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN64-9x9-0.50	PWQN0064KC-A	P64K8-50-6B4-5	0.21



DETAIL OF (A) PART



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	8.95	9.00	9.05
E	8.95	9.00	9.05
A	—	—	0.80
A ₁	0.00	—	—
b	0.18	0.25	0.30
e	—	0.50	—
L _p	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05
Z _D	—	0.75	—
Z _E	—	0.75	—
c ₂	0.15	0.20	0.25
D ₂	—	7.50	—
E ₂	—	7.50	—

図 D. 64ピン HWQFN (PWQN0064KC-A)

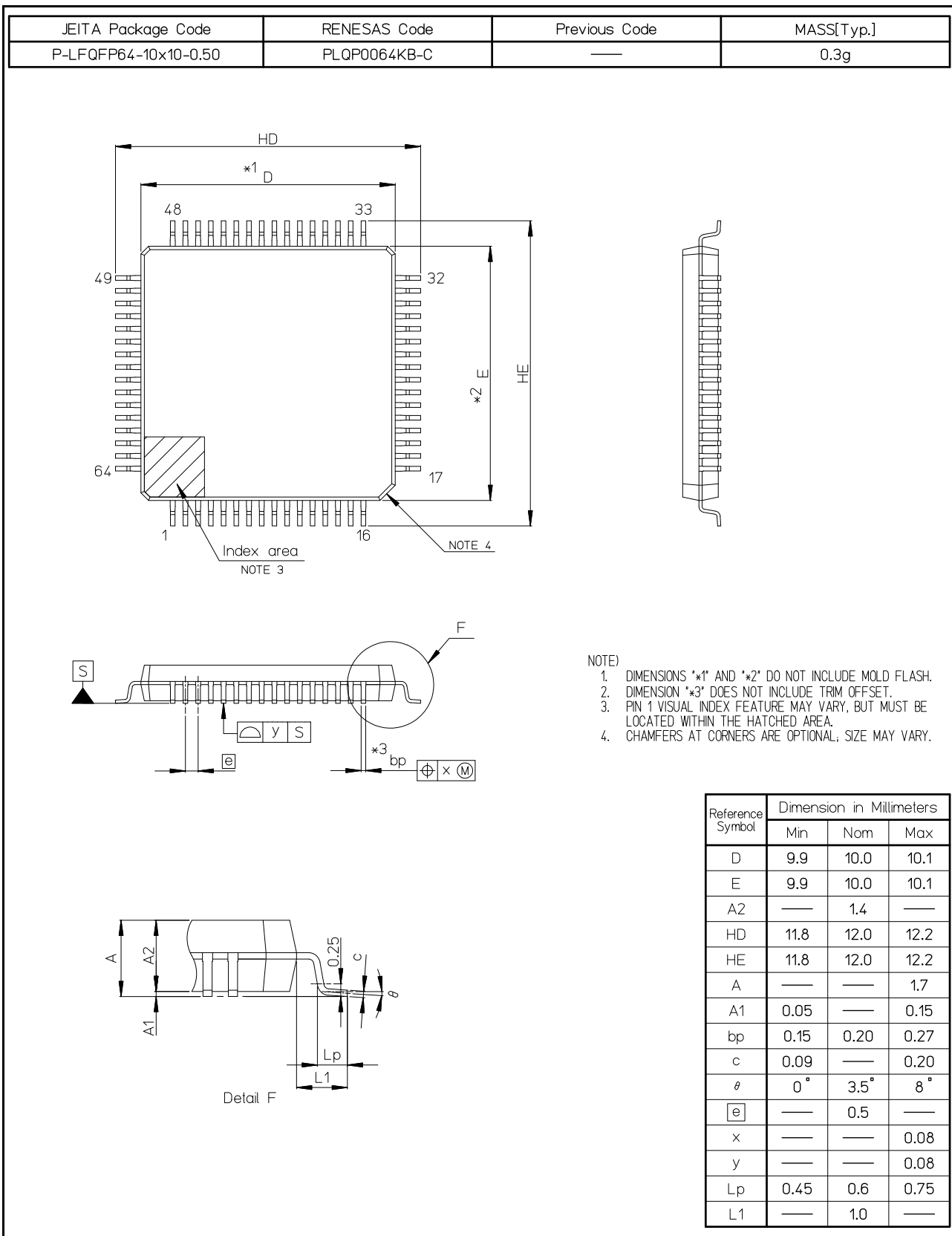
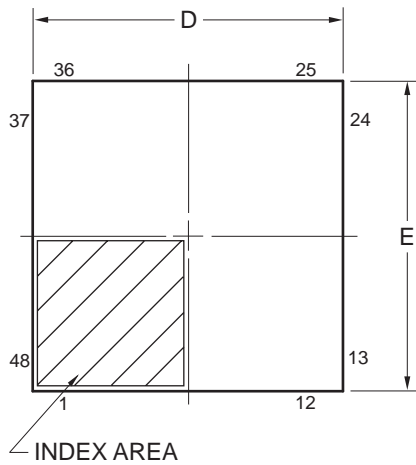
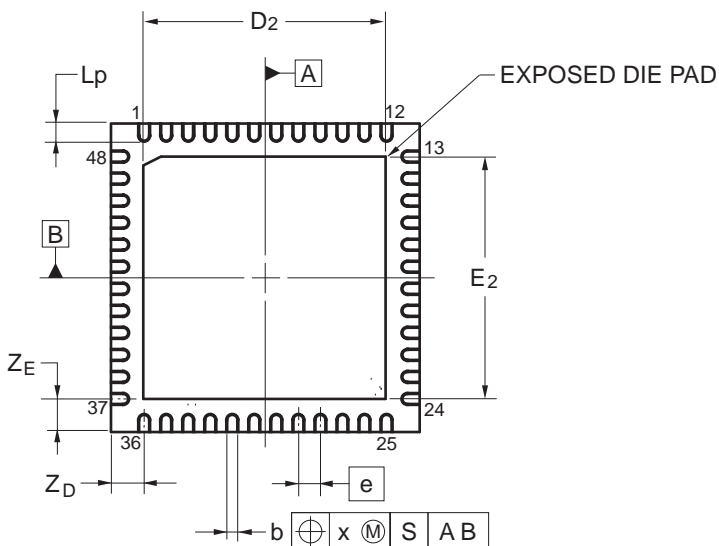
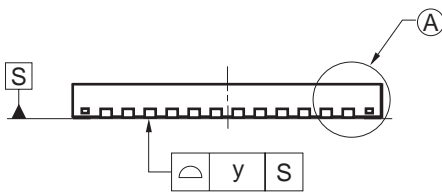
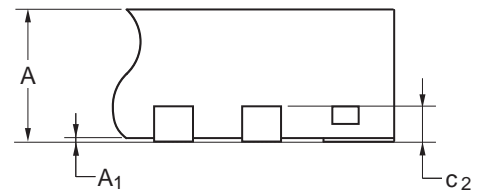


図 E. 64ピン LQFP (PLQP0064KB-C)

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN48-7x7-0.50	PWQN0048KB-A	48PJN-A P48K8-50-5B4-7	0.13



DETAIL OF (A) PART



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.95	7.00	7.05
E	6.95	7.00	7.05
A	—	—	0.80
A ₁	0.00	—	—
b	0.18	0.25	0.30
e	—	0.50	—
L _p	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05
Z _D	—	0.75	—
Z _E	—	0.75	—
c ₂	0.15	0.20	0.25
D ₂	—	5.50	—
E ₂	—	5.50	—

図 F. 48ピンHWQFN (PWQN0048KB-A)

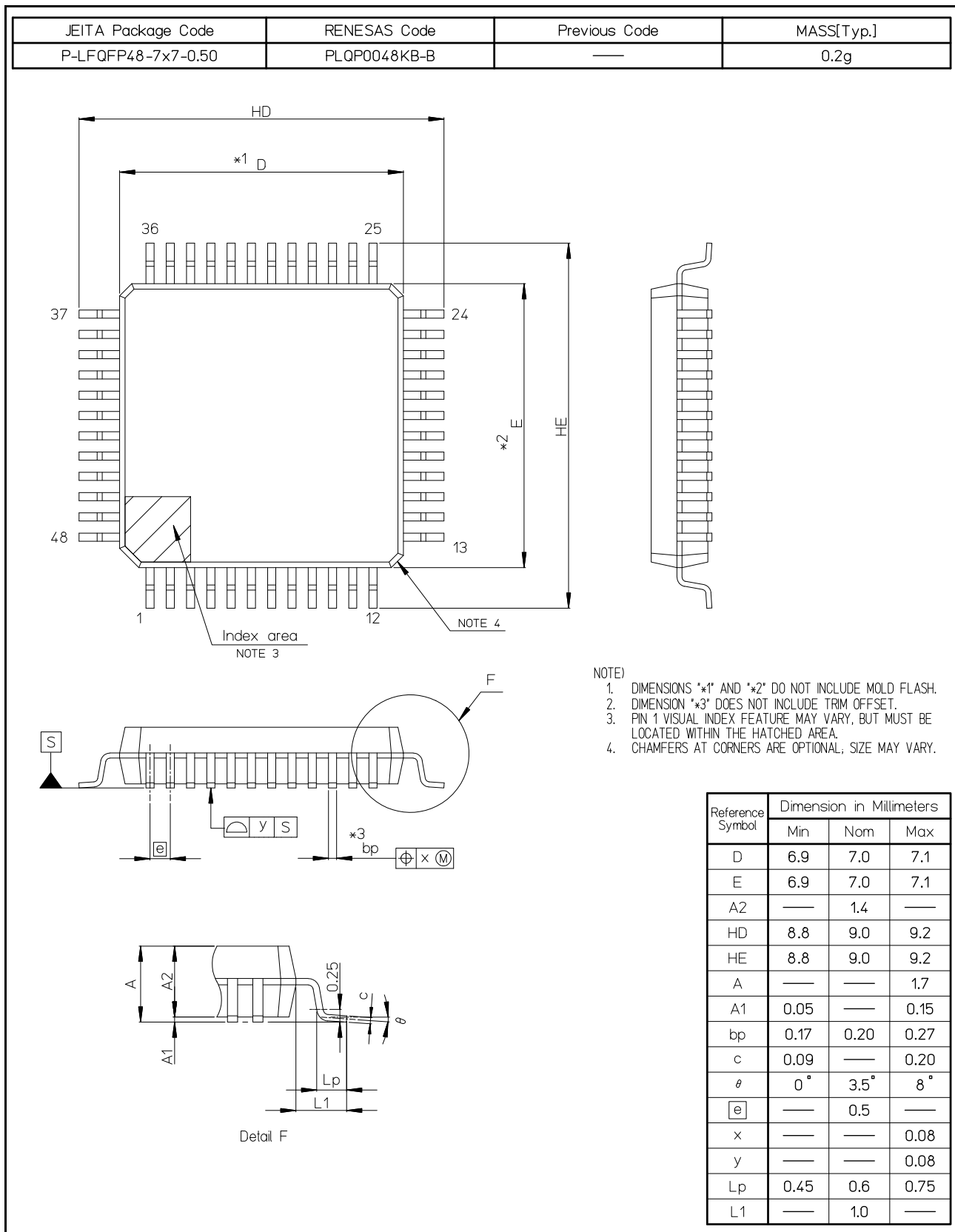


図 G. 48ピンLFQFP (PLQP0048KB-B)

改訂記録	RX230グループ、RX231グループ ユーザーズマニュアル ハードウェア編
------	---

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2015.06.24	—	初版発行	
1.10	2015.10.30		製品間の仕様の相違点	
		5	表1 パッケージによる仕様の相違点 追加	
			1. 概要	
		57	表1.1 仕様概要 (2 / 5) 変更	
		59	表1.1 仕様概要 (4 / 5) にSDホストインタフェース (SDH1a) 追加	
		60~61	表1.2 パッケージ別機能比較一覧 にRX230グループ 追加	
			4. アドレス空間	
		124	図4.1 各動作モードのメモリマップ 変更	
			5. I/Oレジスタ	
		151	表5.1 I/Oレジスタアドレス一覧 (24 / 42) 変更	TN-RX*-A139A/J
		168	表5.1 I/Oレジスタアドレス一覧 (41 / 42) 変更	
			9. クロック発生回路	
		230	MSTS[4:0] ビット (メインクロック発振器ウェイト時間設定ビット) 変更	
		242	9.5.2 発振停止検出割り込み 変更	
		246	9.8.1 クロック発生回路に関する注意事項の(1) 変更	
			11. 消費電力低減機能	
		264	表11.2 各モードにおける遷移および解除方法と動作状態の注1. 変更	
		265	図11.1 モード遷移の注2. 変更	
		266	表11.3 各動作モードでの発振器の使用可否 表ヘッダ 変更	
		285	11.6.2.1 ディープスリープモードへの遷移 変更	
			12. バッテリバックアップ機能	
		292	VBTLVDLVL[1:0] ビット (VBATT 端子電圧低下検出レベル選択ビット) の説明 変更	TN-RX*-A137A/J
		293	VBTLVDMON フラグ (VBATT 端子電圧モニタフラグ) の説明 変更	TN-RX*-A137A/J
		296	図12.3 VBATT 端子電源電圧モニタフラグの動作例 変更	
			15. 割り込みコントローラ (ICUb)	
		329~331	表15.3 割り込みのベクタテーブル (1/6)~表15.3 割り込みのベクタテーブル(3/6) 変更	
			19. データトランスファコントローラ (DTCa)	
		全体	【用語統一】 1つの起動要因→1回の転送要求	
		465	表19.1 DTCの仕様 変更	
		467	19.2 レジスタの説明 変更	
		471~474	19.2 レジスタ説明 アドレスに「DTC. レジスタシンボル」追加	
		472	19.2.8 DTC ベクタベースレジスタ (DTCVBR) 変更	
		474	19.2.11 DTC ステータスレジスタ (DTCSTS) VECN[7:0] ビット説明変更	
		475	19.3 起動要因 変更	
		475	19.3.1 転送情報の配置とDTC ベクタテーブル 変更	
		477	19.4 動作説明 変更	
		479	19.4.1 転送情報リードスキップ機能 変更	
		489	図19.14 DTC の設置手順 変更	
		490	(2) DTC ベクタテーブルの設定 変更	
			20. イベントリンクコントローラ (ELC)	
		518	20.4.1 ELSRnレジスタの設定について (1) ELSR8 レジスタの設定 追加	
			21. I/Oポート	
		537	21.3.5 オープンドレイン制御レジスタ0 (ODR0) 変更	TN-RX*-A139A/J

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.10	2015.10.30	538	21.3.6 オープンドレイン制御レジスタ1 (ODR1) 変更	
		541	21.3.9 ポート切り替えレジスタB (PSRB) 変更	
		28. リアルタイムクロック (RTCe)		
		917	(1) 低CL水晶振動子の使用に関する注意事項 変更	
		919	28.2.21 時間キャプチャ制御レジスタy (RTCCRy) (y=0 ~ 2) TCENビット説明変更	
		31. 独立ウォッチドッグタイマ (IWDtA)		
		978	31.3.1.1 レジスタスタートモード 変更	
		32. USB2.0ホスト/ファンクションモジュール (USBd)		
		1031	32.2.26 パイプウィンドウ選択レジスタ (PIPESEL) 変更	
		33. シリアルコミュニケーションインタフェース (SCIg, SC1h)		
		1114	32.2.7 シリアルモードレジスタ (SMR) 変更	
		1115	CHR ビット (キャラクターレングスビット) の説明 変更	
		1116	(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット=1) モジュールシンボル 変更	
		1121	(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット=1) モジュールシンボル 変更	
		1123	(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット=0) のb6, b7 変更	TN-RX*-A138A/J
		1123	(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット=0) の注1., 注2. 変更	TN-RX*-A138A/J
		1125	RDRF フラグ (受信データフルフラグ)、TDRE フラグ (送信データエンプティフラグ) の説明 追加	TN-RX*-A138A/J
		1125	(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット=1) のモジュールシンボル 変更	
		1125	(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット=1) のb6, b7 変更	TN-RX*-A138A/J
		1125	(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット=1) の注1., 注2. 変更	TN-RX*-A138A/J
		1127	RDRF フラグ (受信データフルフラグ)、TDRE フラグ (送信データエンプティフラグ) の説明 追加	TN-RX*-A138A/J
		1128	33.2.10 スマートカードモードレジスタ (SCMR) のモジュールシンボル変更	
		1130	表33.10 BRRレジスタの設定値NとビットレートBの関係 変更	
		1133	表33.15 各動作周波数における最大ビットレート (調歩同期式モード) 変更	
		1161	33.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン 変更	
		1233	表33.31 SCI 割り込み要因 変更	
		1243	33.14.12 拡張シリアルモード制御部の使用上の制約事項1 変更	
		35. I ² C バスインタフェース (RIICa)		
		全体	各シンボル+「端子」、「ビット」、または「フラグ」 【用語統一】 通信エラー/イベント発生→通信エラー/通信イベント発生 転送フレーム→転送バイト 1フレーム, 2フレーム→第一バイト 2フレーム→第二バイト アドレスフレーム→アドレスバイト 規格→仕様 [Sm], [Fm], [W], [R]→(Sm), (Fm), (write), (read)	
		1251	表35.1 RIICの仕様 (1/2) 変更	
		1252	図35.1 RIICのブロック図 変更	
		1264	35.2.6 I ² C バスファンクション許可レジスタ (ICFER) SCLE ビット説明変更	
		1270	35.2.9 I ² C バスステータスレジスタ1 (ICSR1) HOA フラグ説明変更	
		1279	表35.5 転送速度に対するICBRH、ICBRLレジスタの設定例注. 変更	
		1283	35.3.3 マスタ送信動作の(3) 変更	
		1286	35.3.4 マスタ受信動作の(2), (3) 変更	
		1309	35.9.1 マスタアービトラクションロスト検出機能 (MALE ビット) 変更	
		1321	35.13 割り込み要因 変更 表35.6 割り込み要因注. 変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.10	2015.10.30	1322	35.14 リセットと各コンディション発行時のレジスタおよび機能の状態、 表35.7 リセットと各コンディション発行時のレジスタおよび機能 変更	
		1323	35.15 イベントリンク機能（出力）タイトル、説明変更 35.15.1 割り込み処理とイベントリンクの関係 変更	
		36. CANモジュール (RSCAN)		
		全体	【用語統一】 コンフィグレーション→コンフィギュレーション CAN仕様→ISO 11898-1 規格 CAN仕様 (ISO 11898-1) →ISO 11898-1 規格 内部バス→内部周辺バス	
		1419	図36.18 CANクロック制御ブロック図 変更	
		37. シリアルサウンドインタフェース (SSI)		
		1446	37.2.3 FIFO 制御レジスタ (SSIFCR) ビット名変更	
		1448	37.2.4 FIFO ステータスレジスタ (SSIFSR) 変更	
		38. シリアルペリフェラルインタフェース (RSPIa)		
		全体	【用語統一】 RSPCK→RSPCKA、MOSI→MOSIA、SSL0→SSLA0	
		1475	38.2.4 RSPIステータスレジスタ (SPSR) 変更、注2 追加 SPTEFフラグ、SPRFフラグ 追加	TN-RX*-A137A/J
		1477	38.2.4 RSPIステータスレジスタ (SPSR) SPTEFフラグ、SPRFフラグ 追加	TN-RX*-A137A/J
		1479～1480	38.2.5 RSPI データレジスタ (SPDR) 変更 (a) 書き込み、(b) 読み出し 変更	
		1484、1485	38.2.9 RSPI データコントロールレジスタ (SPDCR) SPFC[1:0] ビット、SPRDTD ビット説明変更	
		1485	表38.4 SPSLN[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ 変更	
		1494	表38.5 RSPIのモードとSPCRレジスタの設定の関係および各モードの概 要 変更	
		1498	38.3.3.3 シングルマスタ/マルチスレーブ (本MCU = マスタ) 変更	
		1513	38.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD = 0) 変更 図38.24 SPCR.TXMD = 0 の動作例 変更	
		1514	38.3.6.2 送信のみ動作 (SPCR.TXMD = 1) 変更 図38.25 SPCR.TXMD = 1 の動作例 変更	
		1515	38.3.7 送信バッファエンプティ/受信バッファフル割り込み 変更 図38.26 SPTI、SPRI 割り込みの動作例 変更	
		1517	38.3.8 エラー検出 変更	
		1518～1520	38.3.8.1 オーバランエラー 変更	
		1519	図38.28 マスタモードの受信バッファフル状態でシリアル転送が継続する ときのクロック停止波形 (CPHA = 1)、図38.29 マスタモードの受信バッ ファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0) 変更	
		1523	38.3.9.1 SPE ビットのクリアによる初期化 変更	
		1524	38.3.10.1 マスタモード動作 (1) シリアル転送の開始、(2) シリアル転送の終了 変更	
		1526	38.3.10.1 マスタモード動作 (4) パースト転送 変更	
		1531	図38.36 マスタモード時のフローチャート (送信) 変更	
		1532	図38.37 マスタモード時のフローチャート (受信) 変更	
		1533	図38.38 マスタモード時のフローチャート (エラー) 変更	
		1534	38.3.10.2 スレーブモード動作 (2) シリアル転送の終了 変更	
		1536	図38.40 スレーブモード時のフローチャート (送信)、図38.41 スレーブ モード時のフローチャート (受信) 変更	
		1537	38.3.10.2 スレーブモード動作 (c) エラー処理フロー 変更 図38.42 スレーブモード時のフローチャート (エラー処理) 変更	
		1538	38.3.11.1 マスタモード動作 (1) シリアル転送の開始、(2) シリアル転送の終了 変更	
		1542	38.3.11.2 スレーブモード動作 (1) シリアル転送の開始、(2) シリアル転送の終了 変更	
		1546	表38.13 RSPIの割り込み要因 変更	
		1549	38.5.4 SPRF/SPTEF フラグに関する注意事項 追加	
		40. SD ホストインタフェース(SDHla)		

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.10	2015.10.30	1603	図40.14 IO_RW_DIRECT コマンドの送信例 変更	
		41. セキュリティ機能		
		1615~1624	変更	
		42. 静電容量式タッチセンサ (CTSUSC)		
		1643	42.2.16 CTSU センサカウンタ (CTSUSC) CTSUSC[15:0]のR/W特性 変更	
		1643	45.2.17 CTSU リファレンスカウンタ (CTSURC) CTSUSC[15:0]のR/W特性 変更	
		44. 12ビットD/Aコンバータ (R12DAA)		
		1752~1755	44.2 レジスタ説明 アドレスに「R12DA.レジスタシンボル」追加	
		1755	44.2.5 D/A VREF制御レジスタ (DAVREFCR) REF[2:0]ビット説明変更	
		49. フラッシュメモリ		
		1796	本文変更	
		1796	図49.1 ROMの領域とブロックの構成 変更	
		1828	図49.13 プログラムコマンドの発行フロー (E2データフラッシュ) 変更	
		1836	49.7.5 割り込み 変更	
		50. 電気的特性		
		1881	表50.1 絶対最大定格 変更	TN-RX*-A137A/J
		1882	表50.2 推奨動作電圧条件 変更	
		1883	表50.3 DC特性 (1) 変更	TN-RX*-A137A/J
		1884	表50.4 DC特性 (2) 変更	
		1884	表50.5 DC特性 (3) 変更	
		1889	図50.3 低速動作モードの電圧依存性 (参考データ) 変更	TN-RX*-A137A/J
		1890	表50.8 DC特性 (6)	
		1892	表50.10 DC特性 (8) の条件 変更	
		1893	表50.11 DC特性 (9) 変更	TN-RX*-A137A/J
		1895	表50.16 出力許容電流値 (1) 変更	TN-RX*-A137A/J
		1896	表50.17 出力許容電流値 (2) 変更	
		1897	表50.18 出力電圧値 (1) 変更	
		1897	表50.19 出力電圧値 (2) 変更	TN-RX*-A137A/J
		1897	表50.20 出力電圧値 (3) 変更	TN-RX*-A137A/J
		1901	図50.13 高駆動出力を選択したときのVOH/VOL、IOH/IOL電圧特性Ta = 25℃ (参考データ)	TN-RX*-A137A/J
		1904	図50.18 RIIC出力端子のVOL、IOL電圧特性Ta = 25℃ (参考データ) 変更	TN-RX*-A137A/J
		1906	表50.21 動作周波数 (高速動作モード) の注3. 変更	TN-RX*-A137A/J
		1906	表50.22 動作周波数 (中速動作モード) の注3. 変更	TN-RX*-A137A/J
		1908	表50.26 クロックタイミング 変更	TN-RX*-A137A/J
		1912	表50.27 リセットタイミング 変更	
		1915	表50.32 動作モード遷移時間の条件 変更	
		1934	図50.61 SSI送受信タイミング (SSICR.SCKP=0) 変更	TN-RX*-A137A/J
		1935	図50.62 SSI送受信タイミング (SSICR.SCKP=1) 変更	TN-RX*-A137A/J
		1938	図50.66 AVCC0-VREFH0電圧範囲 変更	
		1938	表50.45 A/D変換特性 (1) の条件およびアナログ入力電圧範囲(max) 変更	
		1939	表50.46 A/D変換特性 (2) の条件変更	
		1939	表50.47 A/D変換特性 (3) の条件変更	
		1940	表50.48 A/D変換特性 (4) の条件変更	
		1940	表50.49 A/D変換特性 (5) の条件および絶対精度の測定条件 変更	
		1948	表50.57 パワーオンリセット回路、電圧検出回路特性 (1) 変更	TN-RX*-A137A/J
		1949	表50.58 パワーオンリセット回路、電圧検出回路特性 (2) のヒステリシス幅の測定条件 変更	
		1950	図50.74 電圧検出回路タイミング (Vdet0) 変更	
付録2. 外形寸法図				
1966	図B. 100ピンLQFP (PLQP0100KB-B) 変更	TN-RX*-A137A/J		
1969	図E. 64ピンLQFP (PLQP0064KB-C) 変更	TN-RX*-A137A/J		
1971	図G. 48ピンLQFP (PLQP0048KB-B) 変更	TN-RX*-A137A/J		

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2018.09.28	製品間の仕様の相違点		
		5	表1 パッケージによる仕様の相違点 変更	TN-RX*-A145A/J
		6	表2 製品グループ、チップバージョンによる主な仕様の相違点 (2/2) 変更	TN-RX*-A145A/J
		特長		
		56	SD Host I/F (オプション : 1ch) SD メモリ/SDIO 1 or 4 ビットSDバスをサポート 注記削除	TN-RX*-A145A/J
		1. 概要		
		61	表1.2 パッケージ別機能比較一覧 (1/2) 変更 (64ピンのIRQ2を削除)	
		62	表1.2 パッケージ別機能比較一覧 (2/2) 注1追加	TN-RX*-A145A/J
		63	表1.3 製品一覧表 Dバージョン (Ta = -40 ~ 85°C) (1/2) 変更	TN-RX*-A145A/J
		65	表1.4 製品一覧表 Gバージョン (Ta = -40 ~ 105°C) (1/2) 変更	TN-RX*-A145A/J
		66	図1.1 型名とメモリサイズ・パッケージ 変更	TN-RX*-A145A/J
		71	表1.5 端子機能一覧 (4/5) 変更 (VCC_USBの説明を変更)	TN-RX*-A201A/J
		80	表1.6 機能別端子一覧 (100ピンTFLGA) (2/3) 変更 (UPSELをP35の欄に追加)	
		82	表1.7 機能別端子一覧 (100ピンLFQFP) (1/3) 変更 (UPSELをP35の欄に追加)	
		86	表1.8 機能別端子一覧 (64ピンWFLGA) (2/2) 変更 (UPSELをP35の欄に追加)	
		87	表1.9 機能別端子一覧 (64ピンLFQFP/HWQFN) (1/2) 変更 (UPSELをP35の欄に追加)	
		89	表1.10 機能別端子一覧 (48ピンLFQFP/HWQFN) (1/2) 変更 (UPSELをP35の欄に追加)	
		89	表1.10 機能別端子一覧 (48ピンLFQFP/HWQFN) (1/2) 変更	TN-RX*-A145A/J
		3. 動作モード		
		123	3.3.4.2 ブートモード (SCI インタフェース) 変更	
		7. オプション設定メモリ (OFSM)		
		181	7.2.2 オプション機能選択レジスタ1 (OFS1) 注1を追加	TN-RX*-A200A/J
		183	7.3.1 オプション設定メモリの設定例 変更	TN-RX*-A200A/J
		8. 電圧検出回路 (LVDAb)		
		197	表8.3 電圧監視1割り込み、電圧監視1リセット関連ビットの動作設定手順 変更	TN-RX*-A194A/J
		199	表8.5 電圧監視2割り込み、電圧監視2リセット関連ビットの動作設定手順 変更	TN-RX*-A194A/J
		9. クロック発生回路		
		203	図9.1 クロック発生回路のブロック図 変更	
		11. 消費電力低減機能		
		265	11.2.5 モジュールストップコントロールレジスタD (MSTPCRD) 変更	TN-RX*-A169A/J
		15. 割り込みコントローラ (ICUb)		
		327	15.3.3 ノンマスカブル割り込みのベクタ領域 変更	
		336	15.4.8 外部端子割り込み 変更	
		337	15.5 ノンマスカブル割り込みの動作説明 注記を追加	
		19. データトランスファコントローラ (DTCa)		
		487	19.9 消費電力低減機能 変更	
		487	(2) ディープスリープモード 追加	
		20. イベントリンクコントローラ (ELC)		
		509	20.3.6 イベントリンクの動作設定手順例 変更	TN-RX*-A201A/J
		21. I/O ポート		
		525	21.3.1 ポート方向レジスタ (PDR) 変更	
530	21.3.6 オープンドレイン制御レジスタ1 (ODR1) 変更 (PORT7.ODR1 0008 C08Fhを削除、PORT9.ODR1 0008 C093hを削除)	TN-RX*-A201A/J		
22. マルチファンクションピンコントローラ (MPC)				
545	表22.1 マルチプル端子の割り当て端子一覧 (8/11) 変更	TN-RX*-A145A/J		
557	表22.10 100ピン 端子入出力機能レジスタ設定 変更 (P53を追加)			
561	表22.17 48ピン 端子入出力機能レジスタ設定 変更	TN-RX*-A145A/J		
563	表22.20 48ピン 端子入出力機能レジスタ設定 変更	TN-RX*-A145A/J		
23. マルチファンクションタイマパルスユニット2 (MTU2a)				
590	表23.12 TIORH (MTU0) 注1追加			
591	表23.13 TIORL (MTU0) 注2追加			

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2018.09.28	594	表23.20 TIORH (MTU0) 注1追加	
		595	表23.21 TIORL (MTU0) 注2追加	
		599	表23.28 TIORU, TIORV, TIORW (MTU5) 変更	TN-RX*-A148A/J
		25. 16ビットタイマバルスユニット (TPUa)		
		846	25.9.11 カスケード接続時の TCNT同時インプットキャプチャ 追加	TN-RX*-A177A/J
		28. リアルタイムクロック (RTCe)		
		925	図28.7 アラーム機能の使用法 変更	
		32. USB2.0ホスト/ファンクションモジュール(USBd)		
		992	32.2.4 CFIFOポートレジスタ (CFIFO) D0FIFOポートレジスタ (D0FIFO) D1FIFOポートレジスタ (D1FIFO) 変更	
		1077	32.3.5.4 DMA転送 (D0FIFO/D1FIFOポート) 追加	
		33. シリアルコミュニケーションインタフェース (SCIg, SCIH)		
		1173	33.5.2 CTS、RTS機能 文章を追加	
		1187、1188	33.6.5 SCIの初期化 (スマートカードインタフェースモード) 変更	
		1194	33.6.8 クロック出力制御 変更	
		1205	33.7.7 バスハングアップからの回復 追加	
		1240	33.14.15 調歩同期モードにおけるRTS機能使用時の受信停止に関する注意事項 追加	TN-RX*-A151A/J
		35. I ² Cバスインタフェース (RIICa)		
		1275	表35.5 転送速度に対するICBRH、ICBRLレジスタの設定例 変更	TN-RX*-A193A/J
		1319	表35.7 リセット時/コンディション検出時のレジスタおよび機能のリセット状況 変更	
		38. シリアルペリフェラルインタフェース (RSPIa)		
		1528	38.3.10.1 マスタモード動作 (9)ソフトウェア処理フロー (a)送信処理フロー 変更	TN-RX*-A147A/J
		40. SDホストインタフェース (SDH1a)		
		1555	表40.2 SDHIの入出力端子 変更 (SDHI_D2端子の機能)	
		1575	40.2.13 SD エラーステータスレジスタ1 (SDERSTS1) 変更	TN-RX*-A197A/J
		41. Trusted Secure IP (TSIP-Lite)		
		1612	章タイトル 変更 セキュリティ機能→Trusted Secure IP (TSIP-Lite)	
		42. 静電容量式タッチセンサ (CTSUs)		
		1624	42.2.1 CTSU制御レジスタ0 (CTSUCR0) 変更	TN-RX*-A168B/J
		1631	42.2.7 CTSUチャンネル有効制御レジスタn (CTSUCHACn) (n=0~3) 変更	
		1632	42.2.8 CTSUチャンネル有効制御レジスタ4 (CTSUCHAC4) 変更	
		1633	42.2.9 CTSUチャンネル送受信制御レジスタn (CTSUCHTRCn) (n=0~3) 変更	
		1634	42.2.10 CTSUチャンネル送受信制御レジスタ4 (CTSUCHTRC4) 変更	
		1643	42.2.18 CTSUエラーステータスレジスタ (CTSUERRS) 変更	TN-RX*-A168B/J
		1661	42.4.5 TSCAP端子 文章を追加	
		43. 12ビットA/Dコンバータ (S12ADE)		
		1673	43.2.4 A/Dチャンネル選択レジスタA0 (ADANSA0) 変更	
		1674	43.2.5 A/Dチャンネル選択レジスタA1 (ADANSA1) 変更	
		1675	43.2.6 A/Dチャンネル選択レジスタB0 (ADANSB0) 変更	
		1676	43.2.7 A/Dチャンネル選択レジスタB1 (ADANSB1) 変更	
		1677	43.2.8 A/D変換値加算/平均機能チャンネル選択レジスタ0 (ADADS0) 変更	
		1678	43.2.9 A/D変換値加算/平均機能チャンネル選択レジスタ1 (ADADS1) 変更	
		1681	43.2.11 A/Dコントロール拡張レジスタ (ADCER) 注1追加	
		1693	43.2.19 A/Dコンペア機能ウィンドウAチャンネル選択レジスタ0 (ADCMPANSR0) 変更	
		1694	43.2.20 A/Dコンペア機能ウィンドウAチャンネル選択レジスタ1 (ADCMPANSR1) 変更	
		1696	43.2.22 A/Dコンペア機能ウィンドウA比較条件設定レジスタ0 (ADCMPLR0) 変更	
		1697	43.2.23 A/Dコンペア機能ウィンドウA比較条件設定レジスタ1 (ADCMPLR1) 変更	
		1702	43.2.27 A/Dコンペア機能ウィンドウAチャンネルステータスレジスタ0 (ADCMPSTR0) 変更	

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
1.20	2018.09.28	1703	43.2.28 A/Dコンペア機能ウィンドウAチャネルステータスレジスタ1 (ADCMPSR1) 変更		
		1748	43.8.8 12ビットA/Dコンバータを使用する場合の端子の設定 追加		
		1749	43.8.10 ADHSCビットの書き換え手順 注記削除		
		1749	43.8.11 アナログ電源端子他の設定範囲 変更		
		1749	図43.30 アナログ入力端子に印加する電圧と出力コードの関係 追加		
		48. RAM			
		1796	48.2.2 RAM の自己診断に関する注意事項 追加	TN-RX*-A173A/J	
		49. フラッシュメモリ			
		1880	49.13 使用上の注意事項 (5)変更、旧(6)削除		
		50. 電氣的特性			
		1898	表 50.18 出力電圧値 (1) 変更	TN-RX*-A201A/J	
		1898	表 50.19 出力電圧値 (2) 変更	TN-RX*-A201A/J	
		1901	図 50.12 通常出力を選択したときのVOH/VOL、IOH/IOL 温度特性VCC = 5.5V (参考データ) 変更	TN-RX*-A201A/J	
		1930	表 50.44 内蔵周辺モジュールタイミング (7) 追加	TN-RX*-A197A/J	
		1937	図 50.64 SD ホストインタフェース入出力信号タイミング 追加	TN-RX*-A197A/J	
		1938	表 50.45 USB特性 (USB0_DP、USB0_DM端子特性) 条件変更		

RX230グループ、RX231グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2015年6月24日 Rev.1.00
2018年9月28日 Rev.1.20

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）



ルネサスエレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

技術的なお問合せおよび資料のご請求は下記どうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>

RX230 グループ、RX231 グループ