

RX24T グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32ビットマイクロコンピュータ

RXファミリ/RX200シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を、全部または一部を問わず、改造、改変、複製、その他の不適切に使用しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することはできません。たとえ、意図しない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を、(1)核兵器、化学兵器、生物兵器等の大量破壊兵器およびこれらを運搬することができるミサイル（無人航空機を含みます。）の開発、設計、製造、使用もしくは貯蔵等の目的、(2)通常兵器の開発、設計、製造または使用の目的、または(3)その他の国際的な平和および安全の維持の妨げとなる目的で、自ら使用せず、かつ、第三者に使用、販売、譲渡、輸出、賃貸もしくは使用許諾しないでください。
当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様の転売、貸与等により、本書（本ご注意書きを含みます。）記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は一切その責任を負わず、お客様にかかる使用に基づく当社への請求につき当社を免責いただきます。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載された情報または当社製品に関し、ご不明点がある場合には、当社営業にお問い合わせください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

製品間の仕様の相違点

本 MCU 製品は、パッケージの違いにより、以下のような仕様の相違点があります。

表1 パッケージによる仕様の相違点

章		仕様差分	
		64ピンのパッケージの製品	80ピン、100ピンのパッケージの製品
1. 概要	1.5 ピン配置図	独立したVREF端子はなく、AVCC2と端子を共有しています。	独立したVREF端子があります。

本 MCU 製品は、発注型名の違いにより、以下のような仕様の相違点があります。

表2 発注型名による仕様の相違点

章		仕様差分	
		発注型名末尾 #31	発注型名末尾 #30(注1)
7. オプション設定メモリ	7.2.2 オプション機能 選択レジスタ1 (OFS1)	【電圧検出0レベル選択ビット】 b1 b0 0 1: 2.82Vを選択	【電圧検出0レベル選択ビット】 b1 b0 0 1: 設定しないでください
9. クロック発生回路		高速オンチップオシレータ機能に対応 します。	高速オンチップオシレータ機能に対応 してません。

注1. 旧バージョン製品のため、新規発注はできません。

本 MCU 製品は、表 3 の製品チップの違いにより、表 4 に示す仕様の相違点があります。

表3 製品チップと型名の相関

グループ	チップバージョン	型名	パッケージ		ROM容量	RAM容量
RX24T	チップバージョンB	R5F524TEADFP	PLQP0100KB-B	LFQFP/100/0.50	512Kバイト	32Kバイト
		R5F524TCADFP	PLQP0100KB-B	LFQFP/100/0.50	384Kバイト	
		R5F524TBADFP	PLQP0100KB-B	LFQFP/100/0.50	256Kバイト	
	チップバージョンA	R5F524TAADFP	PLQP0100KB-B	LFQFP/100/0.50	256Kバイト	16Kバイト
		R5F524TAADFF	PLQP0080JA-A	LQFP/80/0.65		
		R5F524TAADFN	PLQP0080KB-B	LFQFP/80/0.50		
		R5F524TAADFM	PLQP0064KB-C	LFQFP/64/0.50		
		R5F524T8ADFP	PLQP0100KB-B	LFQFP/100/0.50	128Kバイト	
		R5F524T8ADFF	PLQP0080JA-A	LQFP/80/0.65		
		R5F524T8ADFN	PLQP0080KB-B	LFQFP/80/0.50		
		R5F524T8ADFM	PLQP0064KB-C	LFQFP/64/0.50		

表4 製品チップによる100ピン版の主な仕様の相違点

No.	機能内容		対象章	RX24Tグループ	
				チップバージョンB	チップバージョンA
1	メモリ	ROM	36. フラッシュメモリ	256K/384K/512Kバイト	128K/256Kバイト
2		RAM	35. RAM	32Kバイト	16Kバイト
3	マルチファンクションピンコントローラ	MTU反転入出力	19. マルチファンクションピンコントローラ(MPC)	あり	なし
4	タイマ	ポートアウトプットイネーブル3 (POE3)	21. ポートアウトプットイネーブル3 (POE3b, POE3A)	MTU3/GPT出力端子のハイインピーダンス制御	MTU3出力端子のハイインピーダンス制御
5		汎用入出力ポート切り替え制御		あり	なし
6		コンパレータ要因個別設定		あり	なし
7		GPT		22. 汎用PWMタイマ (GPTB)	16ビット×4ch
8	通信	RSCAN	28. CANモジュール(RSCAN)	1ch	なし
9	コンパレータ	外部リファレンス電圧	33. コンパレータC (CMPC)	なし	CVREFC0, CVREFC1端子
10		内部リファレンス電圧		DA0/DA1出力を選択	コンパレータC専用D/A
11	8ビットD/A		32. D/Aコンバータ (DA, DAa)	2ch	1ch
12	外部出力			あり	なし(コンパレータCリファレンス電圧生成専用)

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX24Tグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスのホームページに掲載されています。

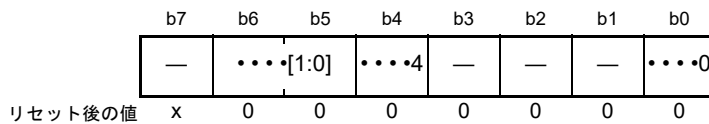
ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	RX24Tグループ データシート	R01DS0257JJ
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	RX24Tグループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU・命令セットの説明	RXファミリ RXv2命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編	R01US0071JJ
アプリケーションノート	基板設計上の注意事項	RXファミリ ハードウェアデザインガイド	R01AN1411JJ
	レジスタ初期設定例	RX24Tグループ 初期設定例	R01AN2837JJ
	応用例参考プログラムなど	—	—
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報	—	—

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.Xレジスタ

アドレス xxxx xxxh



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	····0	····ビット	0 : 1 : 設定しないでください	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	····4	····ビット	0 : 1 : 上記以外は設定しないでください	R
b6-b5	····[1:0]	····ビット	00 : 01 : 上記以外は設定しないでください	R/(W) (注1)
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

- (1) R/W : 読み出し/書き込みともに有効です。
R/(W) : 読み出し/書き込みともに有効ですが、書き込みには制限があります。
制限の内容については、各レジスタの説明や注記を参照ください。
R : 読み出しのみ有効です。書き込みは無効になります。
- (2) 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。
- (3) 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

SuperFlash®は、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

特長	43
1. 概要	44
1.1 仕様概要	44
1.2 製品一覧	50
1.3 ブロック図	52
1.4 端子機能	53
1.5 ピン配置図	57
2. CPU	71
2.1 特長	71
2.2 CPU レジスタセット	72
2.2.1 汎用レジスタ (R0 ~ R15)	73
2.2.2 制御レジスタ	73
2.2.2.1 割り込みスタックポインタ (ISP)/ ユーザスタックポインタ (USP)	74
2.2.2.2 例外テーブルレジスタ (EXTB)	74
2.2.2.3 割り込みテーブルレジスタ (INTB)	74
2.2.2.4 プログラムカウンタ (PC)	74
2.2.2.5 プロセッサステータスワード (PSW)	75
2.2.2.6 バックアップ PC (BPC)	76
2.2.2.7 バックアップ PSW (BPSW)	77
2.2.2.8 高速割り込みベクタレジスタ (FINTV)	77
2.2.2.9 浮動小数点ステータスワード (FPSW)	78
2.2.3 アキュムレータ	80
2.3 プロセッサモード	81
2.3.1 スーパーバイザモード	81
2.3.2 ユーザモード	81
2.3.3 特権命令	81
2.3.4 プロセッサモード間の移行	81
2.4 データタイプ	82
2.4.1 整数	82
2.4.2 浮動小数点数	83
2.4.3 ビット	83
2.4.4 ストリング	84
2.5 エンディアン	85
2.5.1 エンディアンの設定	85
2.5.2 I/O レジスタアクセス	88
2.5.3 I/O レジスタアクセスの注意事項	88
2.5.4 データ配置	89
2.5.4.1 レジスタのデータ配置	89
2.5.4.2 メモリ上のデータ配置	89
2.5.5 命令コード配置の注意事項	89

2.6	ベクタテーブル	90
2.6.1	例外ベクタテーブル	90
2.6.2	割り込みベクタテーブル	91
2.7	命令動作	92
2.7.1	RMPA 命令、ストリング操作命令に関する制約事項	92
2.7.1.1	転送サイズとデータプリフェッチ	92
2.7.1.2	I/O レジスタへのアクセス	92
2.8	サイクル数	93
2.8.1	命令とサイクル数	93
2.8.2	割り込み応答サイクル数	97
3.	動作モード	98
3.1	動作モードの種類と選択	98
3.2	レジスタの説明	99
3.2.1	モードモニタレジスタ (MDMONR)	99
3.2.2	システムコントロールレジスタ 1 (SYSCR1)	99
3.3	動作モードの説明	100
3.3.1	シングルチップモード	100
3.3.2	ブートモード	100
3.3.2.1	ブートモード (SCI インタフェース)	100
3.4	動作モード遷移	101
3.4.1	モード設定端子による動作モード遷移	101
4.	アドレス空間	102
4.1	アドレス空間	102
5.	I/O レジスタ	104
5.1	I/O レジスタアドレス一覧 (アドレス順)	106
6.	リセット	143
6.1	概要	143
6.2	レジスタの説明	145
6.2.1	リセットステータスレジスタ 0 (RSTSR0)	145
6.2.2	リセットステータスレジスタ 1 (RSTSR1)	146
6.2.3	リセットステータスレジスタ 2 (RSTSR2)	147
6.2.4	ソフトウェアリセットレジスタ (SWRR)	148
6.3	動作説明	149
6.3.1	RES# 端子リセット	149
6.3.2	パワーオンリセット、電圧監視 0 リセット	149
6.3.3	電圧監視 1 リセット、電圧監視 2 リセット	151
6.3.4	独立ウォッチドッグタイマリセット	153
6.3.5	ソフトウェアリセット	153
6.3.6	コールドスタート / ウォームスタート判定機能	154
6.3.7	リセット発生要因の判定	155

7.	オプション設定メモリ	156
7.1	概要	156
7.2	レジスタの説明	157
7.2.1	オプション機能選択レジスタ 0 (OFS0)	157
7.2.2	オプション機能選択レジスタ 1 (OFS1)	159
7.2.3	エンディアン選択レジスタ (MDE)	160
7.3	使用上の注意事項	160
7.3.1	オプション設定メモリの設定例	160
8.	電圧検出回路 (LVDAb)	161
8.1	概要	161
8.2	レジスタの説明	164
8.2.1	電圧監視 1 回路制御レジスタ 1 (LVD1CR1)	164
8.2.2	電圧監視 1 回路ステータスレジスタ (LVD1SR)	165
8.2.3	電圧監視 2 回路制御レジスタ 1 (LVD2CR1)	166
8.2.4	電圧監視 2 回路ステータスレジスタ (LVD2SR)	167
8.2.5	電圧監視回路制御レジスタ (LVCMPCCR)	168
8.2.6	電圧検出レベル選択レジスタ (LVDLVLR)	169
8.2.7	電圧監視 1 回路制御レジスタ 0 (LVD1CR0)	170
8.2.8	電圧監視 2 回路制御レジスタ 0 (LVD2CR0)	171
8.3	VCC 入力電圧のモニタ	172
8.3.1	Vdet0 のモニタ	172
8.3.2	Vdet1 のモニタ	172
8.3.3	Vdet2 のモニタ	172
8.4	電圧監視 0 リセット	173
8.5	電圧監視 1 割り込み、電圧監視 1 リセット	174
8.6	電圧監視 2 割り込み、電圧監視 2 リセット	176
9.	クロック発生回路	178
9.1	概要	178
9.2	レジスタの説明	180
9.2.1	システムクロックコントロールレジスタ (SCKCR)	180
9.2.2	システムクロックコントロールレジスタ 3 (SCKCR3)	182
9.2.3	PLL コントロールレジスタ (PLLCR)	183
9.2.4	PLL コントロールレジスタ 2 (PLLCR2)	185
9.2.5	メインクロック発振器コントロールレジスタ (MOSCCR)	186
9.2.6	低速オンチップオシレータコントロールレジスタ (LOCOCR)	187
9.2.7	IWDT 専用オンチップオシレータコントロールレジスタ (ILOOCR)	188
9.2.8	高速オンチップオシレータコントロールレジスタ (HOCOOCR)	189
9.2.9	高速オンチップオシレータコントロールレジスタ 2 (HOCOOCR2)	190
9.2.10	高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)	191
9.2.11	発振安定フラグレジスタ (OSCOVFSR)	192

9.2.12	発振停止検出コントロールレジスタ (OSTDCR)	194
9.2.13	発振停止検出ステータスレジスタ (OSTDSR)	195
9.2.14	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)	196
9.2.15	メインクロック発振器強制発振コントロールレジスタ (MOFCR)	197
9.2.16	メモリウェイトサイクル設定レジスタ (MEMWAIT)	198
9.3	メインクロック発振器	201
9.3.1	発振子を接続する方法	201
9.3.2	外部クロックを入力する方法	202
9.3.3	外部クロック入力に関する注意事項	202
9.4	発振停止検出機能	203
9.4.1	発振停止検出と検出後の動作	203
9.4.2	発振停止検出割り込み	204
9.5	PLL 回路	205
9.6	内部クロック	205
9.6.1	システムクロック	205
9.6.2	周辺モジュールクロック	205
9.6.3	FlashIF クロック	205
9.6.4	CAN クロック	205
9.6.5	CAC クロック	206
9.6.6	IWDT 専用クロック	206
9.7	使用上の注意事項	207
9.7.1	クロック発生回路に関する注意事項	207
9.7.2	発振子に関する注意事項	207
9.7.3	ボード設計上の注意	207
10.	クロック周波数精度測定回路 (CAC)	208
10.1	概要	208
10.2	レジスタの説明	210
10.2.1	CAC コントロールレジスタ 0 (CACR0)	210
10.2.2	CAC コントロールレジスタ 1 (CACR1)	211
10.2.3	CAC コントロールレジスタ 2 (CACR2)	212
10.2.4	CAC 割り込み要求許可レジスタ (CAICR)	213
10.2.5	CAC ステータスレジスタ (CASTR)	214
10.2.6	CAC 上限値設定レジスタ (CAULVR)	215
10.2.7	CAC 下限値設定レジスタ (CALLVR)	215
10.2.8	CAC カウンタバッファレジスタ (CACNTBR)	215
10.3	動作説明	216
10.3.1	クロック周波数測定	216
10.3.2	CACREF 端子のデジタルフィルタ機能	217
10.4	割り込み要求	217
10.5	使用上の注意事項	218

10.5.1	モジュールストップ機能の設定	218
11.	消費電力低減機能	219
11.1	概要	219
11.2	レジスタの説明	223
11.2.1	スタンバイコントロールレジスタ (SBYCR)	223
11.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	224
11.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	226
11.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	227
11.2.5	動作電力コントロールレジスタ (OPCCR)	228
11.3	クロックの切り替えによる消費電力の低減	230
11.4	モジュールストップ機能	230
11.5	動作電力低減機能	231
11.5.1	動作電力制御モード設定方法	231
11.6	低消費電力状態	232
11.6.1	スリープモード	232
11.6.1.1	スリープモードへの移行	232
11.6.1.2	スリープモードの解除	233
11.6.2	ディープスリープモード	234
11.6.2.1	ディープスリープモードへの遷移	234
11.6.2.2	ディープスリープモードの解除	235
11.6.3	ソフトウェアスタンバイモード	236
11.6.3.1	ソフトウェアスタンバイモードへの移行	236
11.6.3.2	ソフトウェアスタンバイモードの解除	237
11.6.3.3	ソフトウェアスタンバイモードの応用例	238
11.7	使用上の注意事項	239
11.7.1	I/O ポートの状態	239
11.7.2	DTC のモジュールストップ	239
11.7.3	内蔵周辺モジュールの割り込み	239
11.7.4	MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み	239
11.7.5	WAIT 命令の実行タイミング	239
11.7.6	スリープモード中の DTC によるレジスタの書き換えについて	239
12.	レジスタライトプロテクション機能	240
12.1	レジスタの説明	241
12.1.1	プロテクトレジスタ (PRCR)	241
13.	例外処理	242
13.1	例外事象	242
13.1.1	未定義命令例外	243
13.1.2	特権命令例外	243
13.1.3	アクセス例外	243
13.1.4	浮動小数点例外	243

13.1.5	リセット	243
13.1.6	ノンマスカブル割り込み	243
13.1.7	割り込み	243
13.1.8	無条件トラップ	243
13.2	例外の処理手順	244
13.3	例外事象の受け付け	246
13.3.1	受け付けタイミングと退避される PC 値	246
13.3.2	ベクタと PC、PSW の退避場所	246
13.4	例外の受け付け / 復帰時のハードウェア処理	247
13.5	ハードウェア前処理	248
13.5.1	未定義命令例外	248
13.5.2	特権命令例外	248
13.5.3	アクセス例外	248
13.5.4	浮動小数点例外	248
13.5.5	リセット	248
13.5.6	ノンマスカブル割り込み	249
13.5.7	割り込み	249
13.5.8	無条件トラップ	249
13.6	例外処理ルーチンからの復帰	250
13.7	例外事象の優先順位	250
14.	割り込みコントローラ (ICUb)	251
14.1	概要	251
14.2	レジスタの説明	253
14.2.1	割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)	253
14.2.2	割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)	254
14.2.3	割り込み要因プライオリティレジスタ n (IPRn) (n = 割り込みベクタ番号)	255
14.2.4	高速割り込み設定レジスタ (FIR)	256
14.2.5	ソフトウェア割り込み起動レジスタ (SWINTR)	257
14.2.6	DTC 転送要求許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)	258
14.2.7	IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)	259
14.2.8	IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)	260
14.2.9	IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)	261
14.2.10	ノンマスカブル割り込みステータスレジスタ (NMISR)	262
14.2.11	ノンマスカブル割り込み許可レジスタ (NMIER)	264
14.2.12	ノンマスカブル割り込みステータスクリアレジスタ (NMICLR)	265
14.2.13	NMI 端子割り込みコントロールレジスタ (NMICR)	266
14.2.14	NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)	266
14.2.15	NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)	267
14.3	ベクタテーブル	268
14.3.1	割り込みのベクタテーブル	268

14.3.2	高速割り込みのベクタテーブル	274
14.3.3	ノンマスカブル割り込みのベクタ領域	274
14.4	割り込みの動作説明	275
14.4.1	割り込み検出	275
14.4.1.1	エッジ検出の割り込みステータスフラグ	275
14.4.1.2	レベル検出の割り込みステータスフラグ	277
14.4.2	割り込み要求の許可 / 禁止	278
14.4.3	割り込み要求先の選択	279
14.4.4	優先順位の判定	280
14.4.5	多重割り込み	280
14.4.6	高速割り込み	280
14.4.7	デジタルフィルタ	281
14.4.8	外部端子割り込み	282
14.5	ノンマスカブル割り込みの動作説明	283
14.6	低消費電力状態からの復帰	284
14.6.1	スリープモードおよびディープスリープモードからの復帰	284
14.6.2	ソフトウェアスタンバイモードからの復帰	284
14.7	使用上の注意事項	285
14.7.1	ノンマスカブル割り込み使用時の WAIT 命令の注意事項	285
15.	バス	286
15.1	概要	286
15.2	バスの説明	288
15.2.1	CPU バス	288
15.2.2	メモリバス	288
15.2.3	内部メインバス	288
15.2.4	内部周辺バス	289
15.2.5	ライトバッファ機能 (内部周辺バス)	290
15.2.6	並列動作	290
15.2.7	制約事項	291
15.3	レジスタの説明	292
15.3.1	バスエラーステータスクリアレジスタ (BERCLR)	292
15.3.2	バスエラー監視許可レジスタ (BEREN)	292
15.3.3	バスエラーステータスレジスタ 1 (BERSR1)	293
15.3.4	バスエラーステータスレジスタ 2 (BERSR2)	293
15.3.5	バスプライオリティ制御レジスタ (BUSPRI)	294
15.4	バスエラー監視部	296
15.4.1	バスエラーの種類	296
15.4.1.1	不正アドレスアクセス	296
15.4.1.2	タイムアウト	296
15.4.2	バスエラー発生時の動作	297

15.4.3	バリエーションの発生条件	297
15.5	割り込み	298
15.5.1	割り込み要因	298
16.	メモリプロテクションユニット (MPU)	299
16.1	概要	299
16.1.1	アクセス制御の種類	301
16.1.2	アクセス制御領域	301
16.1.3	バックグラウンド領域	301
16.1.4	領域のオーバーラップ	301
16.1.5	領域をまたぐ命令とデータ	301
16.2	レジスタの説明	302
16.2.1	領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ~ 7)	302
16.2.2	領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ~ 7)	303
16.2.3	メモリプロテクション機能有効化レジスタ (MPEN)	304
16.2.4	バックグラウンドアクセス制御レジスタ (MPBAC)	305
16.2.5	メモリプロテクションエラーステータスクリアレジスタ (MPECLR)	306
16.2.6	メモリプロテクションエラーステータスレジスタ (MPESTS)	307
16.2.7	データメモリプロテクションエラーアドレスレジスタ (MPDEA)	308
16.2.8	領域サーチアドレスレジスタ (MPSA)	308
16.2.9	領域サーチオペレーションレジスタ (MPOPS)	309
16.2.10	領域インバリデイトオペレーションレジスタ (MPOPI)	309
16.2.11	命令ヒット領域レジスタ (MHITI)	310
16.2.12	データヒット領域レジスタ (MHITD)	312
16.3	機能	314
16.3.1	メモリプロテクション機能	314
16.3.2	領域サーチ機能	314
16.3.3	メモリプロテクションユニット関連レジスタの保護	314
16.3.4	メモリプロテクション機能のアクセス判定フロー	315
16.4	メモリプロテクション機能使用手順	317
16.4.1	アクセス制御情報の設定	317
16.4.2	メモリプロテクション機能の有効化	317
16.4.3	ユーザモードへの移行	317
16.4.4	メモリプロテクションエラー発生時の処理	317
17.	データトランスファコントローラ (DTCa)	319
17.1	概要	319
17.2	レジスタの説明	321
17.2.1	DTC モードレジスタ A (MRA)	321
17.2.2	DTC モードレジスタ B (MRB)	322
17.2.3	DTC 転送元レジスタ (SAR)	323
17.2.4	DTC 転送先レジスタ (DAR)	323

17.2.5	DTC 転送カウントレジスタ A (CRA)	324
17.2.6	DTC 転送カウントレジスタ B (CRB)	325
17.2.7	DTC コントロールレジスタ (DTCCR)	325
17.2.8	DTC ベクタベースレジスタ (DTCVBR)	326
17.2.9	DTC アドレスモードレジスタ (DTCADMOD)	326
17.2.10	DTC モジュール起動レジスタ (DTCST)	327
17.2.11	DTC ステータスレジスタ (DTCSTS)	328
17.3	起動要因	329
17.3.1	転送情報の配置と DTC ベクタテーブル	329
17.4	動作説明	331
17.4.1	転送情報リードスキップ機能	333
17.4.2	転送情報ライトバックスキップ機能	334
17.4.3	ノーマル転送モード	335
17.4.4	リピート転送モード	336
17.4.5	ブロック転送モード	337
17.4.6	チェーン転送	338
17.4.7	動作タイミング	339
17.4.8	DTC の実行サイクル	342
17.4.9	DTC のバス権解放タイミング	342
17.5	DTC の設定手順	343
17.6	DTC 使用例	344
17.6.1	ノーマル転送	344
17.6.2	カウンタが“0”のときのチェーン転送	345
17.7	割り込み要因	346
17.8	消費電力低減機能	347
17.9	使用上の注意事項	348
17.9.1	転送情報先頭アドレス	348
17.9.2	転送情報の配置	348
18.	I/O ポート	349
18.1	概要	349
18.2	入出力ポートの構成	351
18.3	レジスタの説明	354
18.3.1	ポート方向レジスタ (PDR)	354
18.3.2	ポート出力データレジスタ (PODR)	355
18.3.3	ポート入力データレジスタ (PIDR)	356
18.3.4	ポートモードレジスタ (PMR)	357
18.3.5	オープンドレイン制御レジスタ 0 (ODR0)	358
18.3.6	オープンドレイン制御レジスタ 1 (ODR1)	359
18.3.7	プルアップ制御レジスタ (PCR)	360
18.3.8	駆動能力制御レジスタ (DSCR)	361

18.4	ポート方向レジスタ (PDR) の初期化	362
18.5	未使用端子の処理	364
19.	マルチファンクションピンコントローラ (MPC)	365
19.1	概要	365
19.2	レジスタの説明	372
19.2.1	書き込みプロテクトレジスタ (PWPR)	372
19.2.2	P0n 端子機能制御レジスタ (P0nPFS) (n = 0 ~ 2)	373
19.2.3	P1n 端子機能制御レジスタ (P1nPFS) (n = 0, 1)	375
19.2.4	P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ~ 4)	377
19.2.5	P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ~ 3)	379
19.2.6	P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 7)	381
19.2.7	P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ~ 5)	382
19.2.8	P6n 端子機能制御レジスタ (P6nPFS) (n = 0 ~ 5)	383
19.2.9	P7n 端子機能制御レジスタ (P7nPFS) (n = 0 ~ 6)	384
19.2.10	P8n 端子機能制御レジスタ (P8nPFS) (n = 0 ~ 2)	385
19.2.11	P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 6)	386
19.2.12	PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ~ 5)	387
19.2.13	PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7)	389
19.2.14	PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ~ 7)	391
19.2.15	PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 5)	393
19.3	使用上の注意事項	395
19.3.1	端子入出力機能設定手順	395
19.3.2	MPC レジスタ設定する場合の注意事項	395
19.3.3	アナログ機能を使う場合の注意事項	396
19.3.4	PB1、PB2 端子の入力レベルについての注意事項	396
19.3.5	POE 要因発生時、汎用入出力ポートへの切り替え制御の注意事項 (チップバージョン B のみ)	396
19.3.6	MTU、GPT 入出力端子の反転入出力機能についての注意事項 (チップバージョン B のみ)	397
20.	マルチファンクションタイマパルスユニット 3 (MTU3d)	399
20.1	概要	399
20.2	レジスタの説明	405
20.2.1	タイマコントロールレジスタ (TCR)	405
20.2.2	タイマコントロールレジスタ 2 (TCR2)	407
20.2.3	タイマモードレジスタ 1 (TMDR1)	411
20.2.4	タイマモードレジスタ 2 (TMDR2A, TMDR2B)	413
20.2.5	タイマモードレジスタ 3 (TMDR3)	414
20.2.6	タイマ I/O コントロールレジスタ (TIOR)	416
20.2.7	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	433
20.2.8	タイマインタラプトイネーブルレジスタ (TIER)	434
20.2.9	タイマステータスレジスタ (TSR)	437

20.2.10	タイマバッファ動作転送モードレジスタ (TBTM)	438
20.2.11	タイマインプットキャプチャコントロールレジスタ (TICCR)	439
20.2.12	タイマシンクロクリアレジスタ (TSYCR)	440
20.2.13	タイマカウンタ (TCNT)	441
20.2.14	タイマロングワードカウンタ (TCNTLW)	441
20.2.15	タイマジェネラルレジスタ (TGR)	442
20.2.16	タイマロングワードジェネラルレジスタ (TGRALW, TGRBLW)	443
20.2.17	タイマスタートレジスタ (TSTRA, TSTRB, TSTR)	444
20.2.18	タイマシンクロレジスタ (TSYRA, TSYRB)	446
20.2.19	タイマカウンタシンクロスタートレジスタ (TCSYSTR)	448
20.2.20	タイマリードライトイネーブルレジスタ (TRWERA, TRWERB)	450
20.2.21	タイマアウトプットマスタイネーブルレジスタ (TOERA, TOERB)	451
20.2.22	タイマアウトプットコントロールレジスタ 1 (TOCR1A, TOCR1B)	453
20.2.23	タイマアウトプットコントロールレジスタ 2 (TOCR2A, TOCR2B)	455
20.2.24	タイマアウトプットレベルバッファレジスタ (TOLBRA, TOLBRB)	458
20.2.25	タイマゲートコントロールレジスタ (TGCRA, TGCRB)	459
20.2.26	タイマサブカウンタ (TCNTSA, TCNTSB)	461
20.2.27	タイマ周期データレジスタ (TCDRA, TCDRB)	461
20.2.28	タイマ周期バッファレジスタ (TCBRA, TCBRB)	462
20.2.29	タイマデッドタイムデータレジスタ (TDDRA, TDDRB)	462
20.2.30	タイマデッドタイムイネーブルレジスタ (TDERA, TDERB)	463
20.2.31	タイマバッファ転送設定レジスタ (TBTERA, TBTERB)	464
20.2.32	タイマ波形コントロールレジスタ (TWCRA, TWCRB)	465
20.2.33	ノイズフィルタコントロールレジスタ n (NFCRn) (n = 0 ~ 4, 6, 7, 9, C)	467
20.2.34	ノイズフィルタコントロールレジスタ 5 (NFCR5)	470
20.2.35	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	471
20.2.36	タイマ A/D 変換開始要求周期設定レジスタ (TADCORA, TADCORB)	475
20.2.37	タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA, TADCOBRB)	475
20.2.38	タイマ割り込み間引きモードレジスタ (TITMRA, TITMRB)	476
20.2.39	タイマ割り込み間引き設定レジスタ 1 (TITCR1A, TITCR1B)	477
20.2.40	タイマ割り込み間引き回数カウンタ 1 (TITCNT1A, TITCNT1B)	479
20.2.41	タイマ割り込み間引き設定レジスタ 2 (TITCR2A, TITCR2B)	481
20.2.42	タイマ割り込み間引き回数カウンタ 2 (TITCNT2A, TITCNT2B)	483
20.2.43	A/D 変換開始要求選択レジスタ 0 (TADSTRGR0)	485
20.2.44	A/D 変換開始要求選択レジスタ 1 (TADSTRGR1)	486
20.3	動作説明	487
20.3.1	基本動作	487
20.3.2	同期動作	493
20.3.3	バッファ動作	495
20.3.4	カスケード接続動作	500

20.3.5	PWM モード	505
20.3.6	位相計数モード	510
20.3.6.1	16 ビット位相計数モード	510
20.3.6.2	カスケード接続 32 ビット位相計数モード	522
20.3.7	リセット同期 PWM モード	523
20.3.8	相補 PWM モード	526
20.3.9	A/D 変換開始要求ディレイド機能	567
20.3.10	MTU0 ~ MTU4、MTU6、MTU7、MTU9 の同期動作	574
20.3.11	外部パルス幅測定機能	577
20.3.12	デッドタイム補償用機能	578
20.3.13	相補 PWM モード時の「山/谷」での TCNTU, TCNTV, TCNTW キャプチャ動作	580
20.3.14	ノイズフィルタ機能	581
20.3.15	A/D 変換開始要求フレーム同期信号	581
20.4	割り込み要因	582
20.4.1	割り込み要因と優先順位	582
20.4.2	DTC の起動	584
20.4.3	A/D コンバータの起動	585
20.5	動作タイミング	587
20.5.1	入出力タイミング	587
20.5.2	割り込み信号タイミング	593
20.6	使用上の注意事項	596
20.6.1	モジュールストップ機能の設定	596
20.6.2	カウントクロックの制限事項	596
20.6.3	周期設定上の注意事項	596
20.6.4	TCNT への書き込みとクリアの競合	597
20.6.5	TCNT への書き込みとカウントアップの競合	597
20.6.6	TGR レジスタへの書き込みとコンペアマッチの競合	598
20.6.7	バッファレジスタへの書き込みとコンペアマッチの競合	598
20.6.8	バッファレジスタへの書き込みと TCNT クリアの競合	599
20.6.9	TGR レジスタの読み出しとインプットキャプチャの競合	599
20.6.10	TGR レジスタへの書き込みとインプットキャプチャの競合	600
20.6.11	バッファレジスタへの書き込みとインプットキャプチャの競合	601
20.6.12	カスケード接続における MTU2.TCNT への書き込みとオーバフロー/ アンダフローの競合	602
20.6.13	相補 PWM モードでのカウント動作停止時のカウンタ値	603
20.6.14	相補 PWM モードでのバッファ動作の設定	603
20.6.15	リセット同期 PWM モードのバッファ動作とコンペアマッチ	604
20.6.16	リセット同期 PWM モードのオーバフロー	605
20.6.17	オーバフロー/アンダフローとカウンタクリアの競合	606
20.6.18	TCNT への書き込みとオーバフロー/アンダフローの競合	606

20.6.19	ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ 遷移する場合の注意事項	607
20.6.20	相補 PWM モード、リセット同期 PWM モードの出力レベル	607
20.6.21	カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ ...	607
20.6.22	割り込み間引き機能 2	608
20.6.23	相補 PWM モードの出力保護機能未使用時の注意事項	608
20.6.24	タイマカウンタ (MTU5.TCNT) とタイマジェネラルレジスタ (MTU5.TGR) の 注意事項	608
20.6.25	相補 PWM モード同期クリアするときの異常動作防止の注意事項	609
20.6.26	コンペアマッチによる割り込み信号の連続出力	611
20.6.27	相補 PWM モードにおける A/D 変換ディレイド機能の注意事項	611
20.7	MTU 出力端子の初期化方法	613
20.7.1	動作モード	613
20.7.2	動作中の異常などによる再設定時の動作	613
20.7.3	動作中の異常などによる端子の初期化手順、モード移行の概要	614
21.	ポートアウトプットイネーブル 3 (POE3b, POE3A)	644
21.1	概要	644
21.2	レジスタの説明	648
21.2.1	入力レベルコントロール/ステータスレジスタ 1 (ICSR1)	648
21.2.2	入力レベルコントロール/ステータスレジスタ 2 (ICSR2)	649
21.2.3	入力レベルコントロール/ステータスレジスタ 3 (ICSR3)	650
21.2.4	入力レベルコントロール/ステータスレジスタ 4 (ICSR4)	651
21.2.5	入力レベルコントロール/ステータスレジスタ 5 (ICSR5)	652
21.2.6	入力レベルコントロール/ステータスレジスタ 6 (ICSR6)	653
21.2.7	入力レベルコントロール/ステータスレジスタ 7 (ICSR7)	654
21.2.8	出力レベルコントロール/ステータスレジスタ 1 (OCSR1)	655
21.2.9	出力レベルコントロール/ステータスレジスタ 2 (OCSR2)	656
21.2.10	アクティブレベルレジスタ 1 (ALR1)	657
21.2.11	アクティブレベルレジスタ 2 (ALR2)	659
21.2.12	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	661
21.2.13	ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)	663
21.2.14	ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)	665
21.2.15	ポートアウトプットイネーブルコントロールレジスタ 3 (POECR3)	667
21.2.16	ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4)	669
21.2.17	ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5)	672
21.2.18	ポートアウトプットイネーブルコントロールレジスタ 6 (POECR6)	674
21.2.19	ポートアウトプットイネーブルコントロールレジスタ 7 (POECR7)	676
21.2.20	ポートアウトプットイネーブルコントロールレジスタ 8 (POECR8)	678
21.2.21	ポートモードマスクコントロールレジスタ 0 (PMMCR0)	680
21.2.22	ポートモードマスクコントロールレジスタ 1 (PMMCR1)	682
21.2.23	ポートモードマスクコントロールレジスタ 2 (PMMCR2)	685

21.2.24	ポートモードマスクコントロールレジスタ 3 (PMMCR3)	687
21.2.25	ポートアウトプットイネーブルコンパレータ出力検出フラグレジスタ (POECMPFR)	689
21.2.26	ポートアウトプットイネーブルコンパレータ要求選択レジスタ (POECMPSEL)	690
21.2.27	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ m (POECMPExm) (m = 0 ~ 2, 4, 5)	691
21.3	動作説明	692
21.3.1	入力レベル検出動作	718
21.3.2	出力レベル比較動作	719
21.3.3	レジスタによる出力停止制御	720
21.3.4	発振停止検出検知による出力停止制御	720
21.3.5	コンパレータ出力検出による出力停止制御	720
21.3.6	出力停止制御条件の追加機能	720
21.3.7	出力停止要求発生時の制御	721
21.3.8	出力停止状態の解除	721
21.4	POE 設定手順	722
21.5	割り込み	722
21.6	使用上の注意事項	723
21.6.1	低消費電力モードへの遷移	723
21.6.2	MTU/GPT 端子非選択時の出力停止制御	723
21.6.3	POE を使用しない場合について	723
21.6.4	MTU 反転出力設定時のアクティブレベル設定について	723
22.	汎用 PWM タイマ (GPTB)	724
22.1	概要	724
22.2	レジスタの説明	730
22.2.1	汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)	730
22.2.2	ノイズフィルタ制御レジスタ (NFCR)	731
22.2.3	汎用 PWM タイマハードウェア要因スタート/ストップ制御レジスタ (GTHSCR) ..	733
22.2.4	汎用 PWM タイマハードウェア要因クリア制御レジスタ (GTHCCR)	735
22.2.5	汎用 PWM タイマハードウェアスタート要因セレクトレジスタ (GTHSSR)	737
22.2.6	汎用 PWM タイマハードウェアストップ/クリア要因セレクトレジスタ (GTHPSR)	739
22.2.7	汎用 PWM タイマ書き込み保護レジスタ (GTWP)	741
22.2.8	汎用 PWM タイマシンクロレジスタ (GTSYNC)	742
22.2.9	汎用 PWM タイマ外部トリガ入力割り込みレジスタ (GTETINT)	744
22.2.10	汎用 PWM タイマバッファ動作禁止レジスタ (GTBDR)	745
22.2.11	汎用 PWM タイマスタート書き込み保護レジスタ (GTSWP)	746
22.2.12	汎用 PWM タイマクリア書き込み保護レジスタ (GTCWP)	747
22.2.13	汎用 PWM タイマ共通レジスタ書き込み保護レジスタ (GTCMNWP)	748
22.2.14	汎用 PWM タイマモードレジスタ (GTMDR)	749

22.2.15	汎用 PWM タイマ外部クロックノイズフィルタコントロールレジスタ (GTECNFCR)	750
22.2.16	汎用 PWM タイマ A/D 変換開始要求信号モニタレジスタ (GTADSMR)	752
22.2.17	汎用 PWM タイマ I/O 制御レジスタ (GTIOR)	754
22.2.18	汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)	758
22.2.19	汎用 PWM タイマ制御レジスタ (GTCR)	760
22.2.20	汎用 PWM タイマバッファイネーブルレジスタ (GTBER)	762
22.2.21	汎用 PWM タイマカウント方向レジスタ (GTUDC)	765
22.2.22	汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC)	768
22.2.23	汎用 PWM タイマステータスレジスタ (GTST)	770
22.2.24	汎用 PWM タイマカウンタ (GTCNT)	771
22.2.25	汎用 PWM タイマロングワードカウンタレジスタ (GTCNTLW)	772
22.2.26	汎用 PWM タイマコンペアキャプチャレジスタ m (GTCCRm) (m = A ~ F)	772
22.2.27	汎用 PWM タイマロングワードコンペアキャプチャレジスタ m (GTCCRmLW) (m = A ~ F)	773
22.2.28	汎用 PWM タイマ周期設定レジスタ (GTPR)	773
22.2.29	汎用 PWM タイマロングワード周期設定レジスタ (GTPRLW)	774
22.2.30	汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)	774
22.2.31	汎用 PWM タイマロングワード周期設定バッファレジスタ (GTPBRLW)	775
22.2.32	汎用 PWM タイマ周期設定ダブルバッファレジスタ (GTPDBR)	775
22.2.33	汎用 PWM タイマロングワード周期設定ダブルバッファレジスタ (GTPDBRLW)	776
22.2.34	A/D 変換開始要求タイミングレジスタ m (GTADTRm) (m = A, B)	776
22.2.35	ロングワード A/D 変換開始要求タイミングレジスタ m (GTADTRmLW) (m = A, B)	777
22.2.36	A/D 変換開始要求タイミングバッファレジスタ m (GTADTBRm) (m = A, B)	777
22.2.37	ロングワード A/D 変換開始要求タイミングバッファレジスタ m (GTADTBRmLW) (m = A, B)	778
22.2.38	A/D 変換開始要求タイミングダブルバッファレジスタ m (GTADTDBRm) (m = A, B)	778
22.2.39	ロングワード A/D 変換開始要求タイミングダブルバッファレジスタ m (GTADTDBRmLW) (m = A, B)	779
22.2.40	汎用 PWM タイマ出力ネゲート制御レジスタ (GTONCR)	780
22.2.41	汎用 PWM タイマデッドタイム制御レジスタ (GTDTCR)	782
22.2.42	汎用 PWM タイマデッドタイム値レジスタ m (GTDVm) (m = U, D)	783
22.2.43	汎用 PWM タイマロングワードデッドタイム値レジスタ m (GTDVmLW) (m = U, D)	784
22.2.44	汎用 PWM タイマデッドタイムバッファレジスタ m (GTDBm) (m = U, D)	784
22.2.45	汎用 PWM タイマロングワードデッドタイムバッファレジスタ m (GTDBmLW) (m = U, D)	785
22.2.46	汎用 PWM タイマ出力保護機能ステータスレジスタ (GTSOS)	786
22.2.47	汎用 PWM タイマ出力保護機能一時解除レジスタ (GTSOTR)	787
22.3	動作説明	788
22.3.1	基本動作	788

22.3.1.1	カウンタの動作	788
22.3.1.2	コンペアマッチによる波形出力機能	792
22.3.1.3	インプットキャプチャ機能	796
22.3.2	バッファ動作	798
22.3.2.1	GTPR(LW) レジスタのバッファ動作	798
22.3.2.2	GTCCRA(LW), GTCCRB(LW) レジスタのバッファ動作	801
22.3.2.3	GTADTRA(LW), GTADTRB(LW) レジスタのバッファ動作	806
22.3.3	PWM 出力動作モード	809
22.3.4	デッドタイム自動設定機能	821
22.3.5	カウント方向切り替え機能	826
22.3.6	デューティ 0%/100% 出力機能	827
22.3.7	ハードウェアカウントスタート/カウントストップ、カウンタクリア動作	829
22.3.7.1	ハードウェアスタート動作	829
22.3.7.2	ハードウェアストップ動作	831
22.3.7.3	ハードウェアクリア動作	835
22.3.8	同期動作	838
22.3.8.1	同期クリア動作	838
22.3.8.2	同期スタート動作	841
22.3.9	PWM 出力動作例	847
22.3.10	ノイズフィルタ機能	853
22.4	割り込み要因	854
22.4.1	割り込み要因と優先順位	854
22.4.2	DTC の起動	858
22.4.3	割り込み、A/D 変換要求の間引き機能	858
22.5	A/D 変換開始要求	862
22.6	保護機能	865
22.6.1	レジスタの書き込み保護	865
22.6.1.1	共通レジスタの書き込み保護	865
22.6.1.2	チャンネルレジスタの書き込み保護	865
22.6.2	バッファ動作の抑止	866
22.6.3	GTIOC 端子出力のネゲート制御	867
22.6.4	GTIOC 端子出力の出力保護機能	868
22.6.5	POE 機能による GTIOC 端子出力のハイインピーダンス制御	874
22.7	出力端子の初期化方法	875
22.7.1	リセット後の端子設定	875
22.7.2	動作中の異常などによる端子の初期化	875
22.8	使用上の注意事項	876
22.8.1	モジュールストップ機能の設定	876
22.8.2	コンペアマッチ動作時の GTCCRm(LW) レジスタの設定 (m = A ~ F)	876
22.8.3	タイマの安全な停止方法	877

22.8.4	カウンタ動作の各イベントの優先順序	878
22.8.5	GTMDR レジスタの設定	878
22.8.6	カウント停止時の端子出力	879
23.	8 ビットタイマ (TMR)	880
23.1	概要	880
23.2	レジスタの説明	888
23.2.1	タイマカウンタ (TCNT)	888
23.2.2	タイムコンスタントレジスタ A (TCORA)	889
23.2.3	タイムコンスタントレジスタ B (TCORB)	889
23.2.4	タイマコントロールレジスタ (TCR)	890
23.2.5	タイマカウンタコントロールレジスタ (TCCR)	891
23.2.6	タイマコントロール/ステータスレジスタ (TCSR)	893
23.3	動作説明	895
23.3.1	パルス出力	895
23.3.2	外部カウンタリセット入力	896
23.4	動作タイミング	897
23.4.1	TCNT カウンタのカウントタイミング	897
23.4.2	コンペアマッチ時の割り込みタイミング	898
23.4.3	コンペアマッチ時の出力信号タイミング	898
23.4.4	コンペアマッチによるカウンタクリアタイミング	899
23.4.5	TCNT カウンタの外部リセットタイミング	899
23.4.6	オーバフローによる割り込みタイミング	900
23.5	カスケード接続時の動作	901
23.5.1	16 ビットカウントモード	901
23.5.2	コンペアマッチカウントモード	901
23.6	割り込み要因	902
23.6.1	割り込み要因と DTC 起動	902
23.6.2	A/D コンバータの起動	902
23.7	使用上の注意事項	903
23.7.1	モジュールストップ機能の設定	903
23.7.2	周期設定上の注意	903
23.7.3	TCNT カウンタへの書き込みとカウンタクリアの競合	903
23.7.4	TCNT カウンタへの書き込みとカウントアップの競合	904
23.7.5	TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合	904
23.7.6	コンペアマッチ A、B の競合	905
23.7.7	内部クロックの切り替えと TCNT カウンタの動作	905
23.7.8	カスケード接続時のクロックソース設定	907
23.7.9	コンペアマッチ割り込みの連続出力	907
24.	コンペアマッチタイマ (CMT)	908
24.1	概要	908

24.2	レジスタの説明	909
24.2.1	コンペアマッチタイマスタートレジスタ 0 (CMSTR0)	909
24.2.2	コンペアマッチタイマスタートレジスタ 1 (CMSTR1)	909
24.2.3	コンペアマッチタイマコントロールレジスタ (CMCR)	910
24.2.4	コンペアマッチタイマカウンタ (CMCNT)	911
24.2.5	コンペアマッチタイマコンスタントレジスタ (CMCOR)	911
24.3	動作説明	912
24.3.1	周期カウント動作	912
24.3.2	CMCNT カウンタのカウントタイミング	912
24.4	割り込み	913
24.4.1	割り込み要因	913
24.4.2	コンペアマッチ割り込みの発生タイミング	913
24.5	使用上の注意事項	914
24.5.1	モジュールストップ機能の設定	914
24.5.2	CMCNT カウンタへの書き込みとコンペアマッチの競合	914
24.5.3	CMCNT カウンタへの書き込みとカウントアップの競合	914
25.	独立ウォッチドッグタイマ (IWDTa)	915
25.1	概要	915
25.2	レジスタの説明	917
25.2.1	IWDT リフレッシュレジスタ (IWDTRR)	917
25.2.2	IWDT コントロールレジスタ (IWDTCR)	918
25.2.3	IWDT ステータスレジスタ (IWDTSR)	921
25.2.4	IWDT リセットコントロールレジスタ (IWDTRCR)	922
25.2.5	IWDT カウント停止コントロールレジスタ (IWDTCSTPR)	923
25.2.6	オプション機能選択レジスタ 0 (OFS0)	923
25.3	動作説明	924
25.3.1	カウント開始条件別の各動作	924
25.3.1.1	レジスタスタートモード	924
25.3.1.2	オートスタートモード	926
25.3.2	IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御	928
25.3.3	リフレッシュ動作	929
25.3.4	ステータスフラグ	931
25.3.5	リセット出力	931
25.3.6	割り込み要因	931
25.3.7	カウンタ値の読み出し	932
25.3.8	オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応	933
25.4	使用上の注意事項	933
25.4.1	リフレッシュ動作について	933
25.4.2	クロック分周比の設定	933

26.	シリアルコミュニケーションインタフェース (SClg)	934
26.1	概要	934
26.2	レジスタの説明	939
26.2.1	レシーブシフトレジスタ (RSR)	939
26.2.2	レシーブデータレジスタ (RDR)	939
26.2.3	レシーブデータレジスタ H、L、HL (RDRH、RDRL、RDRHL)	940
26.2.4	トランスミットデータレジスタ (TDR)	941
26.2.5	トランスミットデータレジスタ H、L、HL (TDRH、TDRL、TDRHL)	942
26.2.6	トランスミットシフトレジスタ (TSR)	942
26.2.7	シリアルモードレジスタ (SMR)	943
26.2.8	シリアルコントロールレジスタ (SCR)	947
26.2.9	シリアルステータスレジスタ (SSR)	952
26.2.10	スマートカードモードレジスタ (SCMR)	957
26.2.11	ビットレートレジスタ (BRR)	959
26.2.12	モジュレーションデューティレジスタ (MDDR)	967
26.2.13	シリアル拡張モードレジスタ (SEMR)	968
26.2.14	ノイズフィルタ設定レジスタ (SNFR)	971
26.2.15	I ² C モードレジスタ 1 (SIMR1)	972
26.2.16	I ² C モードレジスタ 2 (SIMR2)	973
26.2.17	I ² C モードレジスタ 3 (SIMR3)	974
26.2.18	I ² C ステータスレジスタ (SISR)	976
26.2.19	SPI モードレジスタ (SPMR)	977
26.3	調歩同期式モードの動作	979
26.3.1	シリアル送信 / 受信フォーマット	979
26.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	981
26.3.3	クロック	982
26.3.4	倍速モード	982
26.3.5	CTS、RTS 機能	983
26.3.6	SCI の初期化 (調歩同期式モード)	984
26.3.7	シリアルデータの送信 (調歩同期式モード)	985
26.3.8	シリアルデータの受信 (調歩同期式モード)	989
26.4	マルチプロセッサ通信機能	993
26.4.1	マルチプロセッサシリアルデータ送信	994
26.4.2	マルチプロセッサシリアルデータ受信	995
26.5	クロック同期式モードの動作	998
26.5.1	クロック	998
26.5.2	CTS、RTS 機能	999
26.5.3	SCI の初期化 (クロック同期式モード)	1000
26.5.4	シリアルデータの送信 (クロック同期式モード)	1001
26.5.5	シリアルデータの受信 (クロック同期式モード)	1005

26.5.6	シリアルデータの送受信同時動作（クロック同期式モード）	1008
26.6	スマートカードインタフェースモードの動作	1009
26.6.1	接続例	1009
26.6.2	データフォーマット（ブロック転送モード時を除く）	1010
26.6.3	ブロック転送モード	1011
26.6.4	受信データサンプリングタイミングと受信マージン	1012
26.6.5	SCIの初期化（スマートカードインタフェースモード）	1013
26.6.6	シリアルデータの送信（ブロック転送モードを除く）	1015
26.6.7	シリアルデータの受信（ブロック転送モードを除く）	1018
26.6.8	クロック出力制御	1020
26.7	簡易 I ² C モードの動作	1021
26.7.1	開始条件、再開条件、停止条件の生成	1022
26.7.2	クロック同期化	1024
26.7.3	SSDA 出力遅延	1025
26.7.4	SCIの初期化（簡易 I ² C モード）	1026
26.7.5	マスタ送信動作（簡易 I ² C モード）	1027
26.7.6	マスタ受信動作（簡易 I ² C モード）	1029
26.8	簡易 SPI モードの動作	1031
26.8.1	マスタモード、スレーブモードと各端子の状態	1032
26.8.2	マスタモード時の SS 機能	1032
26.8.3	スレーブモード時の SS 機能	1032
26.8.4	クロックと送受信データの関係	1033
26.8.5	SCIの初期化（簡易 SPI モード）	1033
26.8.6	シリアルデータの送受信（簡易 SPI モード）	1034
26.9	ビットレートモジュレーション機能	1034
26.10	ノイズ除去機能	1035
26.11	割り込み要因	1036
26.11.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1036
26.11.2	調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける 割り込み	1036
26.11.3	スマートカードインタフェースモードにおける割り込み	1037
26.11.4	簡易 I ² C モードにおける割り込み	1038
26.12	使用上の注意事項	1039
26.12.1	モジュールストップ機能の設定	1039
26.12.2	ブレークの検出と処理について	1039
26.12.3	マーク状態とブレークの送出	1039
26.12.4	受信エラーフラグと送信動作について （クロック同期式モードおよび簡易 SPI モード）	1039
26.12.5	TDR レジスタへのライトについて	1039
26.12.6	クロック同期送信時の制約事項 （クロック同期式モードおよび簡易 SPI モード）	1040

26.12.7	DTC 使用上の制約事項	1041
26.12.8	通信の開始に関する注意事項	1041
26.12.9	低消費電力状態時の動作について	1041
26.12.10	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力	1043
26.12.11	簡易 SPI モードの制約事項	1044
26.12.12	トランスミットイネーブルビット (TE ビット) に関する注意事項	1045
26.12.13	調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項	1045
27.	I²C バスインタフェース (RIICa)	1046
27.1	概要	1046
27.2	レジスタの説明	1049
27.2.1	I ² C バスコントロールレジスタ 1 (ICCR1)	1049
27.2.2	I ² C バスコントロールレジスタ 2 (ICCR2)	1051
27.2.3	I ² C バスモードレジスタ 1 (ICMR1)	1054
27.2.4	I ² C バスモードレジスタ 2 (ICMR2)	1055
27.2.5	I ² C バスモードレジスタ 3 (ICMR3)	1057
27.2.6	I ² C バスファンクション許可レジスタ (ICFER)	1059
27.2.7	I ² C バスステータス許可レジスタ (ICSER)	1061
27.2.8	I ² C バス割り込み許可レジスタ (ICIER)	1063
27.2.9	I ² C バスステータスレジスタ 1 (ICSR1)	1065
27.2.10	I ² C バスステータスレジスタ 2 (ICSR2)	1067
27.2.11	スレーブアドレスレジスタ Ly (SARLy) (y=0 ~ 2)	1070
27.2.12	スレーブアドレスレジスタ Uy (SARUy) (y=0 ~ 2)	1071
27.2.13	I ² C バスビットレート Low レジスタ (ICBRL)	1072
27.2.14	I ² C バスビットレート High レジスタ (ICBRH)	1073
27.2.15	I ² C バス送信データレジスタ (ICDRT)	1074
27.2.16	I ² C バス受信データレジスタ (ICDRR)	1075
27.2.17	I ² C バスシフトレジスタ (ICDRS)	1075
27.3	動作説明	1076
27.3.1	通信データフォーマット	1076
27.3.2	初期設定	1077
27.3.3	マスタ送信動作	1078
27.3.4	マスタ受信動作	1081
27.3.5	スレーブ送信動作	1087
27.3.6	スレーブ受信動作	1090
27.4	SCL 同期回路	1092
27.5	SDA 出力遅延機能	1093
27.6	デジタルノイズフィルタ回路	1094
27.7	アドレス一致検出機能	1095
27.7.1	スレーブアドレス一致検出機能	1095
27.7.2	ジェネラルコールアドレス検出機能	1097

27.7.3	デバイス ID アドレス検出機能	1098
27.7.4	ホストアドレス検出機能	1100
27.8	SCL の自動 Low ホールド機能	1101
27.8.1	送信データ誤送信防止機能	1101
27.8.2	NACK 受信転送中断機能	1102
27.8.3	受信データ取りこぼし防止機能	1103
27.9	アービトレーションロスト検出機能	1105
27.9.1	マスタアービトレーションロスト検出機能 (MALE ビット)	1105
27.9.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット)	1107
27.9.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	1108
27.10	スタートコンディション、リスタートコンディション、ストップコンディション 発行機能	1109
27.10.1	スタートコンディション発行動作	1109
27.10.2	リスタートコンディション発行動作	1109
27.10.3	ストップコンディション発行動作	1110
27.11	バスハングアップ	1111
27.11.1	タイムアウト検出機能	1111
27.11.2	SCL クロック追加出力機能	1112
27.11.3	RIIC リセット、内部リセット	1113
27.12	SMBus 動作	1114
27.12.1	SMBus タイムアウト測定	1114
27.12.2	パケットエラーコード (PEC)	1115
27.12.3	SMBus ホスト通知プロトコル (Notify ARP master コマンド)	1116
27.13	割り込み要因	1117
27.13.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1117
27.14	リセット時 / コンディション検出時のレジスタおよび機能の初期化	1118
27.15	使用上の注意事項	1119
27.15.1	モジュールストップ機能の設定	1119
27.15.2	通信の開始に関する注意事項	1119
28.	CAN モジュール (RSCAN)	1120
28.1	概要	1120
28.2	レジスタの説明	1123
28.2.1	ビットコンフィギュレーションレジスタ L (CFGL)	1123
28.2.2	ビットコンフィギュレーションレジスタ H (CFGH)	1124
28.2.3	制御レジスタ L (CTRL)	1125
28.2.4	制御レジスタ H (CTRH)	1127
28.2.5	ステータスレジスタ L (STSL)	1129
28.2.6	ステータスレジスタ H (STSH)	1130
28.2.7	エラーフラグレジスタ L (ERFLL)	1131
28.2.8	エラーフラグレジスタ H (ERFLH)	1133

28.2.9	グローバル設定レジスタ L (GCFGL)	1134
28.2.10	グローバル設定レジスタ H (GCFGH)	1135
28.2.11	グローバル制御レジスタ L (GCTRL)	1136
28.2.12	グローバル制御レジスタ H (GCTRH)	1137
28.2.13	グローバルステータスレジスタ (GSTS)	1137
28.2.14	グローバルエラーフラグレジスタ (GERFLL)	1138
28.2.15	グローバル送信割り込みステータスレジスタ (GTINTSTS)	1139
28.2.16	タイムスタンプレジスタ (GTSC)	1140
28.2.17	受信ルール数設定レジスタ (GAFLCFG)	1140
28.2.18	受信ルール登録レジスタ jAL (GAFLIDLj) (j = 0 ~ 15)	1141
28.2.19	受信ルール登録レジスタ jAH (GAFLIDHj) (j = 0 ~ 15)	1142
28.2.20	受信ルール登録レジスタ jBL (GAFLMLj) (j = 0 ~ 15)	1143
28.2.21	受信ルール登録レジスタ jBH (GAFLMHj) (j = 0 ~ 15)	1144
28.2.22	受信ルール登録レジスタ jCL (GAFLPLj) (j = 0 ~ 15)	1145
28.2.23	受信ルール登録レジスタ jCH (GAFLPHj) (j = 0 ~ 15)	1146
28.2.24	受信バッファ数設定レジスタ (RMNB)	1147
28.2.25	受信バッファ受信完了フラグレジスタ (RMND0)	1147
28.2.26	受信バッファレジスタ nAL (RMIDLn) (n = 0 ~ 15)	1148
28.2.27	受信バッファレジスタ nAH (RMIDHn) (n = 0 ~ 15)	1149
28.2.28	受信バッファレジスタ nBL (RMTSn) (n = 0 ~ 15)	1150
28.2.29	受信バッファレジスタ nBH (RMPTRn) (n = 0 ~ 15)	1151
28.2.30	受信バッファレジスタ nCL (RMDf0n) (n = 0 ~ 15)	1152
28.2.31	受信バッファレジスタ nCH (RMDf1n) (n = 0 ~ 15)	1152
28.2.32	受信バッファレジスタ nDL (RMDf2n) (n = 0 ~ 15)	1153
28.2.33	受信バッファレジスタ nDH (RMDf3n) (n = 0 ~ 15)	1153
28.2.34	受信 FIFO 制御レジスタ m (RFCCm) (m = 0, 1)	1154
28.2.35	受信 FIFO ステータスレジスタ m (RFSTSm) (m = 0, 1)	1155
28.2.36	受信 FIFO ポインタ制御レジスタ m (RFPCTRm) (m = 0, 1)	1156
28.2.37	受信 FIFO アクセスレジスタ mAL (RFIDLm) (m = 0, 1)	1157
28.2.38	受信 FIFO アクセスレジスタ mAH (RFIDHm) (m = 0, 1)	1157
28.2.39	受信 FIFO アクセスレジスタ mBL (RFTSm) (m = 0, 1)	1158
28.2.40	受信 FIFO アクセスレジスタ mBH (RFPTRM) (m = 0, 1)	1158
28.2.41	受信 FIFO アクセスレジスタ mCL (RFDF0m) (m = 0, 1)	1159
28.2.42	受信 FIFO アクセスレジスタ mCH (RFDF1m) (m = 0, 1)	1159
28.2.43	受信 FIFO アクセスレジスタ mDL (RFDF2m) (m = 0, 1)	1160
28.2.44	受信 FIFO アクセスレジスタ mDH (RFDF3m) (m = 0, 1)	1160
28.2.45	送受信 FIFO 制御レジスタ 0L (CFCCL0)	1161
28.2.46	送受信 FIFO 制御レジスタ 0H (CFCCH0)	1163
28.2.47	送受信 FIFO ステータスレジスタ 0 (CFSTS0)	1164
28.2.48	送受信 FIFO ポインタ制御レジスタ 0 (CFPCTR0)	1166

28.2.49	送受信 FIFO アクセスレジスタ 0AL (CFIDL0)	1167
28.2.50	送受信 FIFO アクセスレジスタ 0AH (CFIDH0)	1168
28.2.51	送受信 FIFO アクセスレジスタ 0BL (CFTS0)	1169
28.2.52	送受信 FIFO アクセスレジスタ 0BH (CFPTR0)	1170
28.2.53	送受信 FIFO アクセスレジスタ 0CL (CFDF00)	1171
28.2.54	送受信 FIFO アクセスレジスタ 0CH (CFDF10)	1171
28.2.55	送受信 FIFO アクセスレジスタ 0DL (CFDF20)	1172
28.2.56	送受信 FIFO アクセスレジスタ 0DH (CFDF30)	1172
28.2.57	受信 FIFO メッセージロストステータスレジスタ (RFMSTS)	1173
28.2.58	送受信 FIFO メッセージロストステータスレジスタ (CFMSTS)	1173
28.2.59	受信 FIFO 割り込みステータスレジスタ (RFISTS)	1174
28.2.60	送受信 FIFO 受信割り込みステータスレジスタ (CFISTS)	1174
28.2.61	送信バッファ制御レジスタ p (TMCp) (p = 0 ~ 3)	1175
28.2.62	送信バッファステータスレジスタ p (TMSTSp) (p = 0 ~ 3)	1176
28.2.63	送信バッファ送信要求ステータスレジスタ (TMTRSTS)	1177
28.2.64	送信バッファ送信完了ステータスレジスタ (TMTCASTS)	1178
28.2.65	送信バッファ送信アボートステータスレジスタ (TMTASTS)	1179
28.2.66	送信バッファ割り込み許可レジスタ (TMIEC)	1180
28.2.67	送信バッファレジスタ pAL (TMIDLp) (p = 0 ~ 3)	1180
28.2.68	送信バッファレジスタ pAH (TMIDHp) (p = 0 ~ 3)	1181
28.2.69	送信バッファレジスタ pBH (TMPTRp) (p = 0 ~ 3)	1182
28.2.70	送信バッファレジスタ pCL (TMDF0p) (p = 0 ~ 3)	1183
28.2.71	送信バッファレジスタ pCH (TMDF1p) (p = 0 ~ 3)	1183
28.2.72	送信バッファレジスタ pDL (TMDF2p) (p = 0 ~ 3)	1184
28.2.73	送信バッファレジスタ pDH (TMDF3p) (p = 0 ~ 3)	1184
28.2.74	送信履歴バッファ制御レジスタ (THLCC0)	1185
28.2.75	送信履歴バッファステータスレジスタ (THLSTS0)	1186
28.2.76	送信履歴バッファアクセスレジスタ (THLACC0)	1187
28.2.77	送信履歴バッファポインタ制御レジスタ (THLPCTR0)	1188
28.2.78	グローバル RAM ウィンドウ制御レジスタ (GRWCR)	1189
28.2.79	グローバルテスト設定レジスタ (GTSTCFG)	1190
28.2.80	グローバルテスト制御レジスタ (GTSTCTRL)	1190
28.2.81	グローバルテストプロテクト解除レジスタ (GLOCKK)	1191
28.2.82	RAM テストレジスタ r (RPGACCr) (r = 0 ~ 127)	1191
28.3	CAN モード	1192
28.3.1	グローバルモード	1192
28.3.2	チャンネルモード	1194
28.4	受信機能	1198
28.4.1	受信ルールテーブルを用いたデータ処理	1198
28.4.2	タイムスタンプ	1200

28.5	送信機能	1201
28.5.1	送信の優先順位判定	1201
28.5.2	送信バッファを用いた送信	1202
28.5.3	FIFO バッファによる送信	1202
28.5.4	送信履歴機能	1205
28.6	テスト機能	1206
28.6.1	標準テストモード	1206
28.6.2	リッスンオンリモード	1206
28.6.3	セルフテストモード (ループバックモード)	1207
28.6.4	RAM テスト	1207
28.7	割り込み	1208
28.8	RAM ウィンドウ	1211
28.9	初期設定	1212
28.9.1	クロックの設定	1213
28.9.2	ビットタイミングの設定	1213
28.9.3	通信速度の設定	1214
28.9.4	受信ルールの設定	1215
28.9.5	バッファの設定	1216
28.10	受信手順	1217
28.10.1	受信バッファの読み出し手順	1217
28.10.2	FIFO バッファの読み出し手順	1219
28.11	送信手順	1221
28.11.1	送信バッファからの送信手順	1221
28.11.2	送受信 FIFO バッファからの送信手順	1224
28.11.3	送信履歴バッファの読み出し手順	1227
28.12	テスト設定	1228
28.12.1	セルフテストモードの設定手順	1228
28.12.2	プロテクト解除手順	1229
28.12.3	RAM テストの設定手順	1230
28.13	CAN モジュールの注意事項	1231
29.	シリアルペリフェラルインタフェース (RSPIb)	1232
29.1	概要	1232
29.2	レジスタの説明	1235
29.2.1	RSPI 制御レジスタ (SPCR)	1235
29.2.2	RSPI スレーブセレクト極性レジスタ (SSLP)	1237
29.2.3	RSPI 端子制御レジスタ (SPPCR)	1238
29.2.4	RSPI ステータスレジスタ (SPSR)	1239
29.2.5	RSPI データレジスタ (SPDR)	1242
29.2.6	RSPI シーケンス制御レジスタ (SPSCR)	1245
29.2.7	RSPI シーケンスステータスレジスタ (SPSSR)	1246

29.2.8	RSPI ビットレートレジスタ (SPBR)	1247
29.2.9	RSPI データコントロールレジスタ (SPDCR)	1248
29.2.10	RSPI クロック遅延レジスタ (SPCKD)	1250
29.2.11	RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)	1251
29.2.12	RSPI 次アクセス遅延レジスタ (SPND)	1252
29.2.13	RSPI 制御レジスタ 2 (SPCR2)	1253
29.2.14	RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)	1255
29.3	動作説明	1258
29.3.1	RSPI 動作の概要	1258
29.3.2	RSPI 端子の制御	1259
29.3.3	RSPI システム構成例	1260
29.3.3.1	シングルマスタ / シングルスレーブ (本 MCU = マスタ)	1260
29.3.3.2	シングルマスタ / シングルスレーブ (本 MCU = スレーブ)	1261
29.3.3.3	シングルマスタ / マルチスレーブ (本 MCU = マスタ)	1262
29.3.3.4	シングルマスタ / マルチスレーブ (本 MCU = スレーブ)	1263
29.3.3.5	マルチマスタ / マルチスレーブ (本 MCU = マスタ)	1264
29.3.3.6	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)	1265
29.3.3.7	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)	1265
29.3.4	データフォーマット	1266
29.3.4.1	パリティ機能無効時 (SPCR2.SPPE = 0)	1267
29.3.4.2	パリティ機能有効時 (SPCR2.SPPE = 1)	1271
29.3.5	転送フォーマット	1275
29.3.5.1	CPHA ビット = 0 の場合	1275
29.3.5.2	CPHA ビット = 1 の場合	1276
29.3.6	通信動作モード	1277
29.3.6.1	全二重同期式シリアル通信 (SPCR.TXMD = 0)	1277
29.3.6.2	送信のみ動作 (SPCR.TXMD = 1)	1278
29.3.7	送信バッファエンプティ / 受信バッファフル割り込み	1279
29.3.8	エラー検出	1281
29.3.8.1	オーバランエラー	1282
29.3.8.2	パリティエラー	1285
29.3.8.3	モードフォルトエラー	1286
29.3.8.4	アンダランエラー	1286
29.3.9	RSPI の初期化	1287
29.3.9.1	SPE ビットのクリアによる初期化	1287
29.3.9.2	システムリセット	1287
29.3.10	SPI 動作	1288
29.3.10.1	マスタモード動作	1288
29.3.10.2	スレーブモード動作	1298

29.3.11	クロック同期式動作	1302
29.3.11.1	マスタモード動作	1302
29.3.11.2	スレーブモード動作	1306
29.3.12	ループバックモード	1308
29.3.13	パリティビット機能の自己判断	1309
29.3.14	割り込み要因	1310
29.4	使用上の注意事項	1311
29.4.1	モジュールストップ機能の設定	1311
29.4.2	消費電力低減機能の注意事項	1311
29.4.3	通信の開始に関する注意事項	1311
29.4.4	SPRF/SPTEF フラグに関する注意事項	1311
30.	CRC 演算器 (CRC)	1312
30.1	概要	1312
30.2	レジスタの説明	1313
30.2.1	CRC コントロールレジスタ (CRCCR)	1313
30.2.2	CRC データ入力レジスタ (CRCDIR)	1313
30.2.3	CRC データ出力レジスタ (CRCDOR)	1314
30.3	CRC 演算器の動作説明	1315
30.4	使用上の注意事項	1318
30.4.1	モジュールストップ機能の設定	1318
30.4.2	転送時の注意事項	1318
31.	12 ビット A/D コンバータ (S12ADF)	1319
31.1	概要	1319
31.2	レジスタの説明	1328
31.2.1	A/D データレジスタ y (ADDRy) A/D データ二重化レジスタ (ADDBLDR) A/D データ二重化レジスタ A (ADDBLDRA) A/D データ二重化レジスタ B (ADDBLDRB) A/D 内部基準電圧データレジスタ (ADOCDR)	1328
31.2.2	A/D 自己診断データレジスタ (ADRD)	1330
31.2.3	A/D コントロールレジスタ (ADCSR)	1331
31.2.4	A/D チャネル選択レジスタ A0 (ADANSA0)	1335
31.2.5	A/D チャネル選択レジスタ A1 (ADANSA1)	1338
31.2.6	A/D チャネル選択レジスタ B0 (ADANSB0)	1339
31.2.7	A/D チャネル選択レジスタ B1 (ADANSB1)	1342
31.2.8	A/D チャネル選択レジスタ C0 (ADANSC0)	1344
31.2.9	A/D チャネル選択レジスタ C1 (ADANSC1)	1347
31.2.10	A/D 変換値加算 / 平均機能チャネル選択レジスタ 0 (ADADS0)	1348
31.2.11	A/D 変換値加算 / 平均機能チャネル選択レジスタ 1 (ADADS1)	1351
31.2.12	A/D 変換値加算 / 平均回数選択レジスタ (ADADC)	1353
31.2.13	A/D コントロール拡張レジスタ (ADCER)	1354

31.2.14	A/D 変換開始トリガ選択レジスタ (ADSTRGR)	1356
31.2.15	A/D 変換拡張入力コントロールレジスタ (ADEXICR)	1361
31.2.16	A/D グループ C トリガ選択レジスタ (ADGCTRGR)	1362
31.2.17	A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 11, L, O)	1365
31.2.18	A/D サンプル & ホールド回路コントロールレジスタ (ADSHCR)	1367
31.2.19	A/D 断線検出コントロールレジスタ (ADDISCR)	1368
31.2.20	A/D グループスキャン優先コントロールレジスタ (ADGSPCR)	1369
31.2.21	A/D プログラマブルゲインアンプコントロールレジスタ (ADPGACR)	1371
31.2.22	A/D プログラマブルゲインアンプゲイン設定レジスタ 0 (ADPGAGS0)	1373
31.3	動作説明	1375
31.3.1	スキャンの動作説明	1375
31.3.2	シングルスキャンモード	1376
31.3.2.1	基本動作 (チャンネル専用サンプル&ホールドなし)	1376
31.3.2.2	基本動作 (チャンネル専用サンプル&ホールドあり)	1377
31.3.2.3	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)	1378
31.3.2.4	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)	1379
31.3.2.5	内部基準電圧選択時の A/D 変換動作	1380
31.3.2.6	ダブルトリガモード選択時の動作	1381
31.3.2.7	ダブルトリガ拡張モードの動作	1382
31.3.3	連続スキャンモード	1384
31.3.3.1	基本動作 (チャンネル専用サンプル&ホールドなし)	1384
31.3.3.2	基本動作 (チャンネル専用サンプル&ホールドあり)	1385
31.3.3.3	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)	1386
31.3.3.4	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)	1387
31.3.4	グループスキャンモード	1388
31.3.4.1	基本動作	1388
31.3.4.2	ダブルトリガモード選択時の動作	1389
31.3.4.3	グループ優先制御動作	1391
31.3.5	アナログ入力のサンプリング時間とスキャン変換時間	1409
31.3.6	A/D データレジスタの自動クリア機能の使用例	1411
31.3.7	A/D 変換値加算 / 平均機能	1411
31.3.8	断線検出アシスト機能	1411
31.3.9	非同期トリガによる A/D 変換の開始	1413
31.3.10	周辺モジュールからの同期トリガによる A/D 変換の開始	1413
31.3.11	プログラマブルゲインアンプ	1413
31.4	割り込み要因と DTC 転送要求	1414
31.4.1	割り込み要求	1414
31.5	許容信号源インピーダンスについて	1415
31.6	使用上の注意事項	1416
31.6.1	データレジスタの読み出し注意事項	1416

31.6.2	A/D 変換停止時の注意事項	1416
31.6.3	A/D 変換強制停止と開始時の動作タイミング	1418
31.6.4	スキャン終了割り込み処理の注意事項	1418
31.6.5	モジュールストップ機能の設定	1418
31.6.6	低消費電力状態への遷移時の注意	1418
31.6.7	ソフトウェアスタンバイモード解除時の注意	1418
31.6.8	断線検出アシスト機能使用時の絶対精度誤差	1418
31.6.9	アナログ電源端子他の設定範囲	1419
31.6.10	ボード設計上の注意	1419
31.6.11	ノイズ対策上の注意	1420
32.	D/A コンバータ (DA, DAa)	1421
32.1	概要	1421
32.2	レジスタの説明	1423
32.2.1	D/A データレジスタ m (DADRm) (m = 0, 1)	1423
32.2.2	D/A 制御レジスタ (DACR)	1424
32.2.3	DADRm フォーマット選択レジスタ (DADPR) (m = 0, 1)	1424
32.2.4	D/A A/D 同期スタート制御レジスタ (DAADSCR)	1425
32.3	動作説明	1426
32.3.1	D/A 変換と A/D 変換の干渉対策	1427
32.4	使用上の注意事項	1429
32.4.1	モジュールストップ機能の設定	1429
32.4.2	モジュールストップ時の D/A コンバータの動作	1429
32.4.3	ソフトウェアスタンバイモード時の D/A コンバータの動作	1429
32.4.4	D/A コンバータの設定について	1429
32.4.5	D/A 変換と A/D 変換の干渉対策有効時の注意事項 (チップバージョン B のみ)	1429
32.4.6	VREF と VCC の電圧関係について (チップバージョン B のみ)	1429
33.	コンパレータ C (CMPC)	1430
33.1	概要	1430
33.2	レジスタの説明	1434
33.2.1	コンパレータ制御レジスタ (CMPCTL)	1434
33.2.2	コンパレータ入力切り替えレジスタ (CMPSEL0)	1435
33.2.3	コンパレータ基準電圧選択レジスタ (CMPSEL1)	1436
33.2.4	コンパレータ出力モニタレジスタ (CMPMON)	1437
33.2.5	コンパレータ外部出力許可レジスタ (CMPIOC)	1437
33.3	動作説明	1438
33.3.1	コンパレータ動作例	1438
33.3.2	ノイズフィルタ	1439
33.3.3	コンパレータ割り込み	1440
33.3.4	コンパレータの端子出力	1440
33.3.5	コンパレータの設定手順	1441

33.4	使用上の注意事項	1443
33.4.1	モジュールストップ機能の設定	1443
33.4.2	モジュールストップ時のコンパレータ C の動作	1443
33.4.3	ソフトウェアスタンバイモード時のコンパレータ C の動作	1443
33.4.4	12 ビット A/D コンバータがモジュールストップ中のコンパレータ C の動作	1443
33.4.5	リファレンス電圧生成に使用する D/A コンバータの設定について	1443
34.	データ演算回路 (DOC)	1444
34.1	概要	1444
34.2	レジスタの説明	1445
34.2.1	DOC コントロールレジスタ (DOCR)	1445
34.2.2	DOC データインプットレジスタ (DODIR)	1446
34.2.3	DOC データセッティングレジスタ (DODSR)	1446
34.3	動作説明	1447
34.3.1	データ比較モード	1447
34.3.2	データ加算モード	1448
34.3.3	データ減算モード	1449
34.4	割り込み要求	1449
34.5	使用上の注意事項	1449
34.5.1	モジュールストップ機能の設定	1449
35.	RAM	1450
35.1	概要	1450
35.2	動作説明	1450
35.2.1	消費電力低減機能	1450
36.	フラッシュメモリ	1451
36.1	概要	1451
36.2	ROM の領域とブロックの構成	1452
36.3	E2 データフラッシュの領域とブロックの構成	1453
36.4	レジスタの説明	1454
36.4.1	E2 データフラッシュ制御レジスタ (DFLCTL)	1454
36.4.2	フラッシュ P/E モードエントリレジスタ (FENTRYR)	1455
36.4.3	プロテクト解除レジスタ (FPR)	1456
36.4.4	プロテクト解除ステータスレジスタ (FPSR)	1456
36.4.5	フラッシュ P/E モード制御レジスタ (FPMCR)	1457
36.4.6	フラッシュ初期設定レジスタ (FISR)	1458
36.4.7	フラッシュリセットレジスタ (FRESETR)	1460
36.4.8	フラッシュ領域選択レジスタ (FASR)	1460
36.4.9	フラッシュ制御レジスタ (FCR)	1461
36.4.10	フラッシュエクストラ領域制御レジスタ (FEXCR)	1463
36.4.11	フラッシュ処理開始アドレスレジスタ H (FSARH)	1464
36.4.12	フラッシュ処理開始アドレスレジスタ L (FSARL)	1464

36.4.13	フラッシュ処理終了アドレスレジスタ H (FEARH)	1465
36.4.14	フラッシュ処理終了アドレスレジスタ L (FEARL)	1465
36.4.15	フラッシュライトバッファ n レジスタ (FWBn) (n = 0 ~ 3)	1466
36.4.16	フラッシュステータスレジスタ 0 (FSTATR0)	1467
36.4.17	フラッシュステータスレジスタ 1 (FSTATR1)	1469
36.4.18	フラッシュエラーアドレスモニタレジスタ H (FEAMH)	1470
36.4.19	フラッシュエラーアドレスモニタレジスタ L (FEAML)	1470
36.4.20	フラッシュスタートアップ設定モニタレジスタ (FSCMR)	1471
36.4.21	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ (FAWSMR)	1471
36.4.22	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ (FAWEMR)	1472
36.4.23	ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)	1472
36.4.24	ROM キャッシュ許可レジスタ (ROMCE)	1473
36.4.25	ROM キャッシュ無効化レジスタ (ROMCIV)	1473
36.5	スタートアッププログラム保護機能	1474
36.6	エリアプロテクション	1475
36.7	プログラム/イレーズ	1476
36.7.1	シーケンサのモード	1476
36.7.1.1	E2 データフラッシュアクセス禁止モード	1476
36.7.1.2	リードモード	1477
36.7.1.3	P/E モード	1477
36.7.2	モード遷移	1477
36.7.2.1	E2 データフラッシュアクセス禁止モードからリードモードへの遷移	1477
36.7.2.2	リードモードから P/E モードへの遷移	1478
36.7.2.3	P/E モードからリードモードへの遷移	1480
36.7.3	ソフトウェアコマンド一覧	1482
36.7.4	ソフトウェアコマンド使用方法	1483
36.7.4.1	プログラム	1483
36.7.4.2	ブロックイレーズ	1485
36.7.4.3	全ブロックイレーズ	1487
36.7.4.4	ブランクチェック	1489
36.7.4.5	スタートアップ領域情報プログラム/アクセスウィンドウ情報プログラム	1491
36.7.4.6	ソフトウェアコマンドの強制停止	1492
36.7.5	割り込み	1492
36.8	ブートモード	1493
36.8.1	ブートモード (SCI インタフェース)	1494
36.8.1.1	ブートモード (SCI インタフェース) の動作条件	1494
36.8.1.2	ブートモード (SCI インタフェース) の起動方法	1495
36.8.2	ブートモード (FINE インタフェース)	1496
36.8.2.1	ブートモード (FINE インタフェース) の動作条件	1496
36.9	フラッシュメモリプロテクト機能	1497

36.9.1	ID コードプロテクト	1497
36.9.1.1	ブートモード ID コードプロテクト	1498
36.9.1.2	オンチップデバッグエミュレータ ID コードプロテクト	1499
36.9.2	ROM コードプロテクト	1500
36.10	通信プロトコル	1501
36.10.1	ブートモード (SCI インタフェース) の状態遷移	1501
36.10.2	コマンドとレスポンスの構成	1502
36.10.3	未定義コマンドに対するレスポンス	1502
36.10.4	ブートモードステータス問い合わせ	1503
36.10.5	問い合わせコマンド	1504
36.10.5.1	サポートデバイス問い合わせ	1504
36.10.5.2	データ領域有無問い合わせ	1505
36.10.5.3	ユーザ領域情報問い合わせ	1505
36.10.5.4	データ領域情報問い合わせ	1506
36.10.5.5	ブロック情報問い合わせ	1506
36.10.6	設定コマンド	1507
36.10.6.1	デバイス選択	1507
36.10.6.2	動作周波数選択	1508
36.10.6.3	プログラム / イレーズホストコマンド待ちステート遷移	1509
36.10.7	ID コード認証コマンド	1510
36.10.7.1	ID コードチェック	1510
36.10.8	プログラム / イレーズコマンド	1511
36.10.8.1	ユーザ / データ領域プログラム準備	1511
36.10.8.2	プログラム	1512
36.10.8.3	データ領域プログラム	1513
36.10.8.4	イレーズ準備	1514
36.10.8.5	ブロックイレーズ	1514
36.10.9	リードチェックコマンド	1515
36.10.9.1	メモリリード	1515
36.10.9.2	ユーザ領域チェックサム	1516
36.10.9.3	データ領域チェックサム	1517
36.10.9.4	ユーザ領域ブランクチェック	1517
36.10.9.5	データ領域ブランクチェック	1518
36.10.9.6	アクセスウィンドウ情報プログラム	1518
36.10.9.7	アクセスウィンドウリード	1519
36.11	ブートモード (SCI インタフェース) でのシリアルプログラマ動作説明	1520
36.11.1	ビットレート自動調整の制御手順	1521
36.11.2	MCU の情報取得手順	1522
36.11.3	デバイス指定、ビットレート変更の制御手順	1523
36.11.4	プログラム / イレーズホストコマンド待ちステートへの遷移手順	1524

36.11.5	ブートモード ID コードプロテクトの解除手順	1525
36.11.6	ユーザ領域、データ領域のイレーズ手順	1526
36.11.7	ユーザ領域、データ領域のプログラム手順	1527
36.11.8	ユーザ領域のデータ確認手順	1528
36.11.9	データ領域のデータ確認手順	1529
36.11.10	ユーザ領域のアクセスウィンドウ設定手順	1530
36.12	セルフプログラミングでの書き換え	1531
36.12.1	概要	1531
36.13	使用上の注意事項	1532
36.14	使用上の注意事項 (ブートモード)	1533
37.	電气的特性	1534
37.1	絶対最大定格	1534
37.2	DC 特性	1535
37.2.1	標準 I/O 端子出力特性 (1)	1544
37.2.2	標準 I/O 端子出力特性 (2)	1546
37.2.3	標準 I/O 端子出力特性 (3)	1548
37.2.4	RIIC 端子出力特性	1550
37.3	AC 特性	1552
37.3.1	クロックタイミング	1552
37.3.2	リセットタイミング	1556
37.3.3	低消費電力状態からの復帰タイミング	1557
37.3.4	制御信号タイミング	1560
37.3.5	内蔵周辺モジュールタイミング	1561
37.4	A/D 変換特性	1572
37.5	プログラマブルゲインアンプ特性	1576
37.6	コンパレータ特性	1577
37.7	D/A 変換特性	1578
37.8	パワーオンリセット回路、電圧検出回路特性	1579
37.9	発振停止検出タイミング	1582
37.10	ROM (コード格納用フラッシュメモリ) 特性	1583
37.11	E2 データフラッシュ (データ格納用フラッシュメモリ) 特性	1585
37.12	使用上の注意事項	1586
37.12.1	VCL コンデンサ、バイパスコンデンサ接続方法	1586
付録 1.	各処理状態におけるポートの状態	1589
付録 2.	外形寸法図	1590
改訂記録	1594

80MHz、32ビットRX MCU、FPU内蔵、153.6 DMIPS、電源5V対応、
12ビットADC (3ch同時S/H回路、ダブルデータレジスタ、オペアンプ、コンパレータ) 3ユニット、
最大ADC 5ch同時サンプリング可能、CAN搭載、
80MHz PWM (三相相補2ch + 単相相補4ch もしくは三相相補3ch + 単相相補1ch)

特長

■ 32ビットRXv2 CPU コア内蔵

- 最大動作周波数 80MHz
153.6 DMIPS の性能 (80MHz 動作時)
- DSP 強化: 32ビット積和、16ビット積差命令に対応
- FPU 搭載: 32ビット単精度浮動小数点 (IEEE754 に準拠)
- 除算器 (最速2クロックで実行)
- 高速割り込み
- 5段パイプラインのCISCハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵
- メモリプロテクションユニット (MPU) 対応

■ 消費電力低減機能

- 2.7V ~ 5.5V 動作の単一電源
- 3種類の低消費電力モード

■ 内蔵コードフラッシュメモリ

- 512K/384K/256K/128K バイトの容量
- オンボードおよびオフボードによるユーザ書き込み
- 命令、オペランド用

■ 内蔵データフラッシュメモリ

- 8K バイト (プログラム/イレーズ回数 1,000,000 回 (typ.))
- BGO (Back Ground Operation)

■ 内蔵SRAM (ウェイトなし)

- 32K/16K バイトの容量

■ データ転送機能

- DTC: 4種類の転送モード

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) など7種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■ クロック機能

- メインクロック発振子周波数: 1 ~ 20MHz
- 外部クロック入力周波数: ~ 20MHz
- PLL 回路入力 4MHz ~ 12.5MHz
- 低速オンチップオシレータ、高速オンチップオシレータ、IWDT 専用オンチップオシレータ内蔵
- クロック周波数精度測定回路 (CAC) 内蔵

■ 独立ウォッチドッグタイマ内蔵

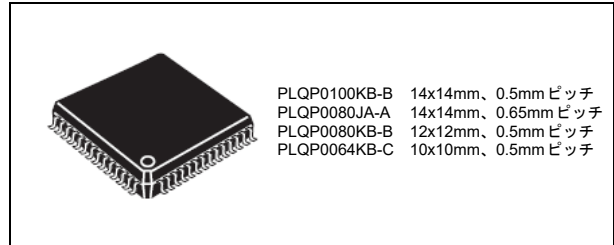
- 15kHz IWDT 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

- A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能など

■ MPC

- 周辺機能の入出力端子を複数個所から選択可能



■ 最大6本の通信機能を内蔵

- CAN (ISO11898-1 準拠)、16 メッセージボックス内蔵 (1ch)
- 多彩な機能に対応した SCI (3ch)
- 調歩同期式モード/クロック同期式モード/スマートカードインタフェースモード/簡易 SPI/簡易 I²C/拡張シリアルモードから選択
- I²C バスインタフェース 最大 400kbps 転送 SMBus に対応 (1ch)
- 高速通信可能な RSPI を搭載 最大 20Mbps 転送 (1ch)

■ 最大25本の16ビット拡張タイマ機能

- 16ビット MTU3: 80MHz 動作、インプットキャプチャ、アウトプットコンペア、三相相補 PWM 波形 2ch 出力、CPU に負担をかけない相補 PWM、位相計数モード (9ch)
- 16ビット GPT: 80MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形単相相補 4ch 出力もしくは三相相補 1ch + 単相相補 1ch 出力、コンパレータ連動 (カウント動作、PWM ネゲート制御) (4ch)
- 8ビット TMR (8ch)
- 16ビット CMT (4ch)

■ 12ビットA/Dコンバータ3ユニット計22ch内蔵

- サンプル&ホールド回路内蔵 12ビット×3ユニット (ユニット 0: 5ch、ユニット 1: 5ch、ユニット 2: 12ch)
- チャンネルごとにサンプリング時間を設定可能
- グループスキャン優先制御モード搭載 (3 レベル)
- 自己診断機能 / アナログ入力断線検出アシスト機能内蔵 (IEC60730 対応)
- プログラマブルゲインアンプによる入力信号増幅機能 (4ch)
- ADC: 3ch 同時サンプル & ホールド回路 (3shunt 方式)、ダブルデータレジスタ (1shunt 方式)、アンプ (4ch)、コンパレータ (4ch)

■ 8ビットD/Aコンバータ内蔵: 2ch

- コンパレータの基準電圧用として使用可能

■ 重要なレジスタの書き換え保護が可能なレジスタライトプロテクト機能

■ 最大81本のGPIO内蔵

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■ 動作周囲温度

- 40°C ~ +85°C

■ 用途

- 一般産業、民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールおよび周辺モジュールのチャンネル数は、チップバージョンおよびパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/5)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：80MHz 32ビットRX CPU (RX v2) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 基本命令：75種類 可変長命令形式 浮動小数点演算命令：11種類 DSP機能命令：23種類 アドレッシングモード：11種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット ROMキャッシュ：2Kバイト (デフォルト無効)
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点(32ビット) IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	<ul style="list-style-type: none"> 容量：128K/256K/384K/512Kバイト 32MHz以下：ウェイトなし 32MHz～80MHz：ウェイトあり オフボードプログラミング 書き換え方法：シリアルライタープログラミング(調歩同期式シリアル通信)、セルフプログラミング
	RAM	<ul style="list-style-type: none"> 容量：16K/32Kバイト 80MHz、ウェイトなし
	E2データフラッシュ	<ul style="list-style-type: none"> 容量8Kバイト プログラム/イレーズ回数：1,000,000回(typ)
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDI専用オンチップオシレータ システムクロック(ICLK)、周辺モジュールクロック(PCLK)、FlashIFクロック(FCLK)を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 80MHz MTU3、GPTはPCLKA同期：Max 80MHz MTU3、GPT以外の周辺モジュールはPCLKB同期：Max 40MHz S12ADのADCLKはPCLKD同期：Max 40MHz フラッシュメモリ周辺回路はFCLK同期：Max 32MHz
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路(LVDAb)	<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出0は検出電圧を3レベルから選択可能 電圧検出1は検出電圧を9レベルから選択可能 電圧検出2は検出電圧を4レベルから選択可能

表 1.1 仕様概要 (2/5)

分類	モジュール/機能	説明
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 3種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード 高速動作モード、中速動作モード
割り込み	割り込み コントローラ (ICUb)	<ul style="list-style-type: none"> 割り込みベクタ数：163 外部割り込み：要因数 9 (NMI、IRQ0～IRQ7 端子) ノンマスクابل割り込み：要因数 5 (NMI 端子、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込み、IWDWT 割り込み) 16レベルの割り込み優先順位を設定可能
DMA	データ転送ファ コントローラ (DTCa)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード 起動要因：割り込み要因により起動 チェーン転送機能あり
I/Oポート	汎用入出力ポート	100/80/64ピン <ul style="list-style-type: none"> 入出力：80/60/48 入力：1/1/1 プルアップ抵抗：80/60/48 オープンドレイン出力：60/45/37 5Vトレラント：2/2/2
マルチファンクションピン コントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	マルチファンクシ ョ ン タイマパルスユ ニット3 (MTU3d)	<ul style="list-style-type: none"> 9チャンネル(16ビット×9チャンネル) 最大28本のパルス入出力と3本のパルス入力が可能 14種類のカウントクロック (PCLK/1, PCLK/2, PCLK/4, PCLK/8, PCLK/16, PCLK/32, PCLK/64, PCLK/256, PCLK/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A) を選択可能 (チャンネル1、3、4、6、7は11種類、チャンネル2は12種類、チャンネル5は10種類) 43本のジェネラルレジスタ (その内28本はアウトプットコンペアレジスタ兼インプットキャプチャレジスタ) カウンタクリア動作 (コンペアマッチ/インプットキャプチャによる同時クリア可能) 複数のタイマカウンタ (TCNT) への同時書き込み カウンタの同期動作による各レジスタの同期入出力 バッファ動作 カスケード接続動作 45種類の割り込み要因 レジスタデータの自動転送 パルス出力モード トグル/PWM/相補PWM/リセット同期PWM 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0～100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 リセット同期PWMモード 任意のデューティ比の正相・逆相PWM波形を3相出力 位相計数モード：16ビットモード (チャンネル1、2)/32ビットモード (チャンネル1、2) デッドタイム補償用カウンタ機能 A/Dコンバータの変換開始トリガを生成可能 A/Dコンバータ開始間引き機能 インプットキャプチャ、外部カウントクロック端子にデジタルフィルタあり
	ポートアウトプット イネーブル3 (POE3b, POE3A)	<ul style="list-style-type: none"> POE3b MTU3波形出力端子のハイインピーダンス制御 POE0#、POE4#、POE8#、POE10#、POE11#、POE12#に6つの入力端子による起動 出力短絡検出 (PWM出力が同時にアクティブレベルになったことを検出) による起動 発振停止検出/コンパレータ検出/ソフトウェアによる起動 出力制御対象端子をプログラマブルに追加制御可能 POE3A (POE3bに以下の機能を付加) GPT波形出力端子のハイインピーダンス制御 MTU3/GPT波形出力端子の汎用入出力ポートへの切り替え制御 出力端子グループごとにコンパレータ検出要因設定可能

表 1.1 仕様概要 (3/5)

分類	モジュール/機能	説明
タイマ	汎用PWMタイマ (GPTB)	<ul style="list-style-type: none"> 16ビット×4チャンネル 2チャンネルをカスケード接続し32ビットタイマとして使用可能 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波)が選択可能 チャンネルごとに13種類のカウントクロック (PCLK/1, PCLK/2, PCLK/4, PCLK/8, PCLK/16, PCLK/32, PCLK/64, PCLK/256, PCLK/1024, GTECLKA, GTECLKB, GTECLKC, GTECLKD)から選択可能 チャンネルごとに2本の入出力端子 チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 チャンネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) それぞれのカウンタを同期動作可能 同期動作のモード(同時または任意のタイミングでずらす(位相シフトに対応)) PWM動作の際にデットタイム生成が可能 3つのカウンタを組み合わせて、デットタイム付きの3相PWM波形を生成可能 外部/内部トリガによりカウントスタート/クリア/ストップ可能 内部トリガ要因として、コンパレータ検出、MTU3カウントスタート、ソフトウェア、コンペアマッチ インプットキャプチャ、外部トリガ端子、外部カウントクロック端子におけるノイズフィルタ機能 A/Dコンバータの変換開始トリガを生成可能
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> (16ビット×2チャンネル)×2ユニット 4種類のクロック (PCLK/8, PCLK/32, PCLK/128, PCLK/512) を選択可能
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> 14ビット×1チャンネル カウントクロック：IWDT専用オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周
	8ビットタイマ (TMR)	<ul style="list-style-type: none"> (8ビット×2チャンネル)×4ユニット 7種類の内部クロック (PCLK/1, PCLK/2, PCLK/8, PCLK/32, PCLK/64, PCLK/1024, PCLK/8192)と外部クロックを選択可能 任意のデューティのパルス出力やPWM出力が可能 2チャンネルをカスケード接続し16ビットタイマとして使用可能 A/Dコンバータの変換開始トリガを生成可能 SCI5、SCI6のポーレートクロック生成可能
通信機能	シリアルコミュニケーションインタフェース (SCIg)	<ul style="list-style-type: none"> 3チャンネル(チャンネル1、5、6：SCIg) SCIg シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース 内蔵ポーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能 (SCI5, SCI6) 簡易I²Cサポート 簡易SPIサポート マルチプロセッサ機能 スタートビット検出：レベルおよびエッジを選択可能 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート
	I ² Cバスインタフェース (RIICa)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット：I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブを選択可能 ファストモード対応
	CANモジュール (RSCAN)	<ul style="list-style-type: none"> 1チャンネル ISO11898-1仕様に準拠(標準フレーム/拡張フレーム) 16メッセージボックス

表 1.1 仕様概要 (4/5)

分類	モジュール/機能	説明
通信機能	シリアルペリフェラルインタフェース (RSPIb)	<ul style="list-style-type: none"> 1チャンネル 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードを選択可能 データフォーマット LSBファースト/MSBファーストを選択可能 転送ビット長(8~16、20、24、32ビット)を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信バッファ構成はダブルバッファ
12ビットA/Dコンバータ (S12ADF)		<ul style="list-style-type: none"> 12ビット(5チャンネル×2ユニット、12チャンネル×1ユニット) 分解能：12ビット 最小変換時間：1チャンネル当たり1.0μs (ADCLK = 40MHz動作時) 動作モード スキャンモード(シングルスキャンモード、連続スキャンモード、3グループスキャンモード) グループA優先制御動作(3グループスキャンモードのみ) サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 自己診断機能 ダブルトリガモード(A/D変換データ二重化機能) アナログ入力断線検出アシスト機能 A/D変換開始条件 ソフトウェアトリガ、タイマ(MTU3、GPT、TMR)のトリガ、外部トリガ サンプルホールド機能 サンプル&ホールド回路を搭載(3チャンネル/ユニット1) プログラマブルゲインアンプによる入力信号増幅機能 (1チャンネル/ユニット0、3チャンネル/ユニット1) 増幅率：2.0倍、2.5倍、3.077倍、3.636倍、4.0倍、4.444倍(計6ステップ)
コンパレータC (CMPc)		<ul style="list-style-type: none"> 4チャンネル リファレンス電圧とアナログ入力電圧の比較機能 リファレンス電圧：2種類から選択可能 アナログ入力電圧：4入力から選択可能
8ビットD/Aコンバータ (DA, DAa)		<ul style="list-style-type: none"> DA 1チャンネル 分解能：8ビット 出力電圧：0V~VREF コンパレータCリファレンス電圧生成専用 DAa 2チャンネル 分解能：8ビット 出力電圧：0V~VREF 外部出力可能、コンパレータCリファレンス電圧として使用可能
セーフティ	メモリプロテクションユニット(MPU)	<ul style="list-style-type: none"> プロテクションエリア：0000 0000h~FFFF FFFFh範囲内で最大8エリアを設定可能 最小保護単位：16バイト 各エリアごとに読み出し/書き込み/実行のアクセス許可を設定可能 設定エリア外へのアクセス検出時、アドレス例外が発生
	レジスタライトプロテクション	<ul style="list-style-type: none"> プログラムが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算器(CRC)	<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
	メインクロック発振停止機能	<ul style="list-style-type: none"> メインクロック発振停止検出：あり
	クロック周波数精度測定回路(CAC)	<ul style="list-style-type: none"> メインクロック発振器、高速オンチップオシレータ、低速オンチップオシレータ、PLL周波数シンセサイザ、IWDT専用オンチップオシレータ、およびPCLKBにおける出力クロック周波数の異常を監視可能
	データ演算回路(DOC)	16ビットのデータを比較、加算、減算する機能
電源電圧/動作周波数		VCC = 2.7~5.5V : 80MHz

表 1.1 仕様概要 (5/5)

分類	モジュール/機能	説明
パッケージ		100ピンLFQFP 0.5mmピッチ 80ピンLQFP 0.65mmピッチ 80ピンLFQFP 0.5mmピッチ 64ピンLFQFP 0.5mmピッチ
オンチップデバッキングシステム		E1エミュレータ(FINEインタフェース)

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX24Tグループ			
		チップバージョンB		チップバージョンA	
		100ピン	100ピン	80ピン	64ピン
メモリ	ROM	512K/384K/256Kバイト		256K/128Kバイト	
	RAM	32Kバイト		16Kバイト	
	E2データフラッシュ	8Kバイト			
割り込み	外部割り込み	NMI, IRQ0~7			
DTC	データトランスファコントローラ(DTCa)	あり			
タイマ	マルチファンクションタイムパルスユニット3(MTU3d)	9チャンネル			
	汎用PWMタイマ(GPTB)	4チャンネル	なし		
	ポートアウトプットイネーブル3(POE3b)	なし	あり		
	ポートアウトプットイネーブル3(POE3A)	あり	なし		
	8ビットタイマ(TMR)	2チャンネル×4ユニット			
	コンペアマッチタイマ(CMT)	2チャンネル×2ユニット			
	独立ウォッチドッグタイマ(IWDTa)	あり			
通信機能	シリアルコミュニケーションインターフェース(SCIg) [簡易I ² C、簡易SPI]	3チャンネル (SCI1, 5, 6)			
	I ² Cバスインターフェース(RIICa)	1チャンネル			
	シリアルペリフェラルインターフェース(RSPIb)	1チャンネル			
	CANモジュール(RSCAN)	1チャンネル	なし		
12ビットA/Dコンバータ(S12ADF) (内 高精度チャンネル)		5チャンネル×2ユニット、 12チャンネル×1ユニット (4チャンネル×2ユニット、 12チャンネル×1ユニット)	5チャンネル×2ユニット、 7チャンネル×1ユニット (4チャンネル×2ユニット、 7チャンネル×1ユニット)	3チャンネル×1ユニット、 4チャンネル×1ユニット、 5チャンネル×1ユニット (3チャンネル×1ユニット、 3チャンネル×1ユニット、 5チャンネル×1ユニット)	
	3チャンネル同時サンプリング機能	3チャンネル/ユニット1			
	プログラマブルゲインアンプ	1チャンネル/ユニット0、3チャンネル/ユニット1			
コンパレータC(CMPC)		4チャンネル			
		リファレンス電圧外部 入力なし	リファレンス電圧外部入力あり		
D/Aコンバータ(DA)		なし	あり		
D/Aコンバータ(DAa)		あり	なし		
CRC演算器(CRC)		あり			
パッケージ		100ピンLQFP	100ピンLQFP	80ピンLQFP/LQFP	64ピンLQFP

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

グループ	型名	発注型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数(max)	チップバージョン
RX24T	R5F524TEADFP	R5F524TEADFP#31	PLQP0100KB-B	512Kバイト	32Kバイト	8Kバイト	80MHz	B
	R5F524TCADFP	R5F524TCADFP#31	PLQP0100KB-B	384Kバイト				
	R5F524TBADFP	R5F524TBADFP#31	PLQP0100KB-B	256Kバイト				
	R5F524TAADFP	R5F524TAADFP#31	PLQP0100KB-B	256Kバイト	16Kバイト	8Kバイト	80MHz	A
	R5F524TAADFF	R5F524TAADFF#31	PLQP0080JA-A					
	R5F524TAADFN	R5F524TAADFN#31	PLQP0080KB-B					
	R5F524TAADFM	R5F524TAADFM#31	PLQP0064KB-C					
	R5F524T8ADFP	R5F524T8ADFP#31	PLQP0100KB-B	128Kバイト				
	R5F524T8ADFF	R5F524T8ADFF#31	PLQP0080JA-A					
	R5F524T8ADFN	R5F524T8ADFN#31	PLQP0080KB-B					
	R5F524T8ADFM	R5F524T8ADFM#31	PLQP0064KB-C					

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

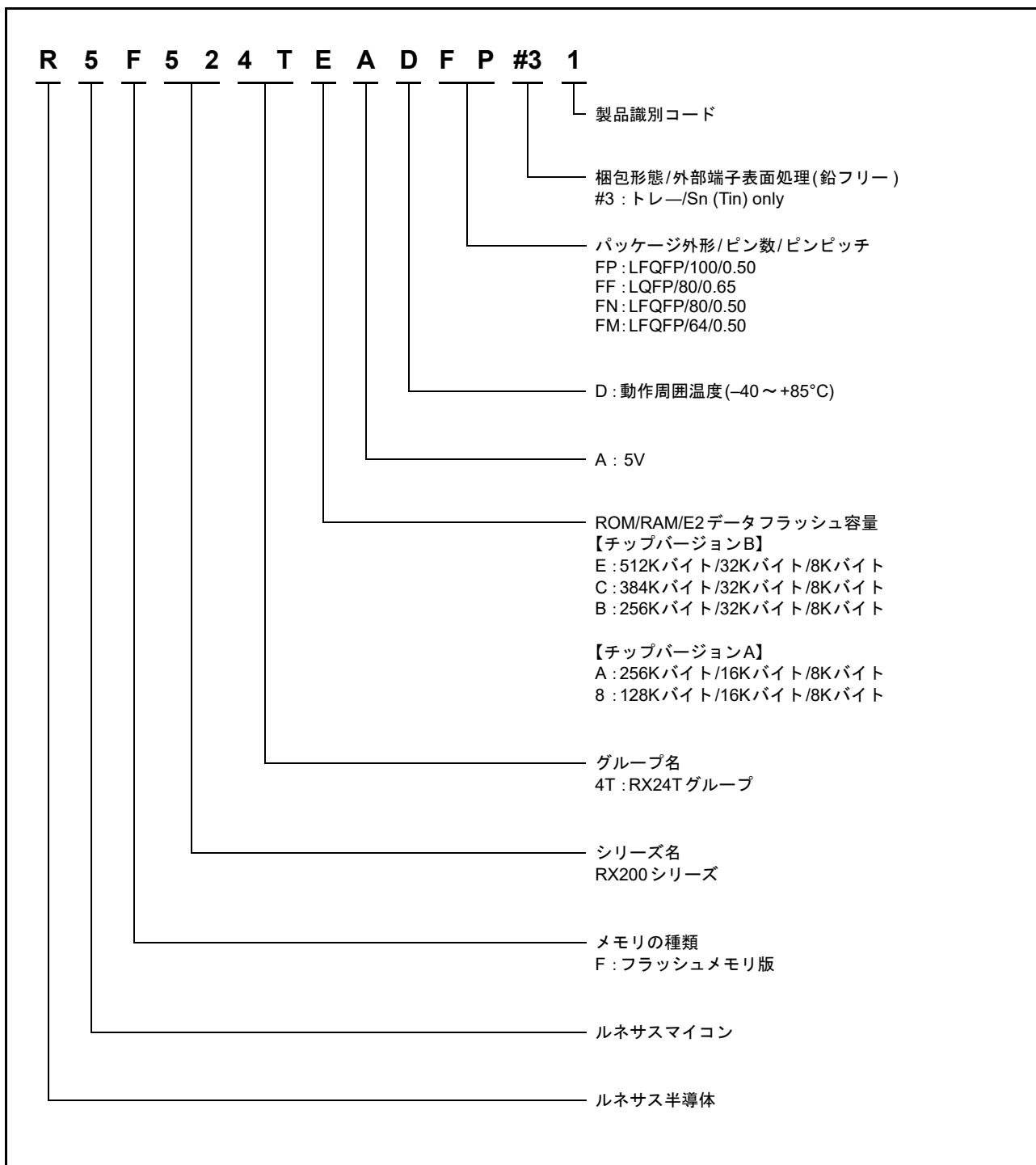


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

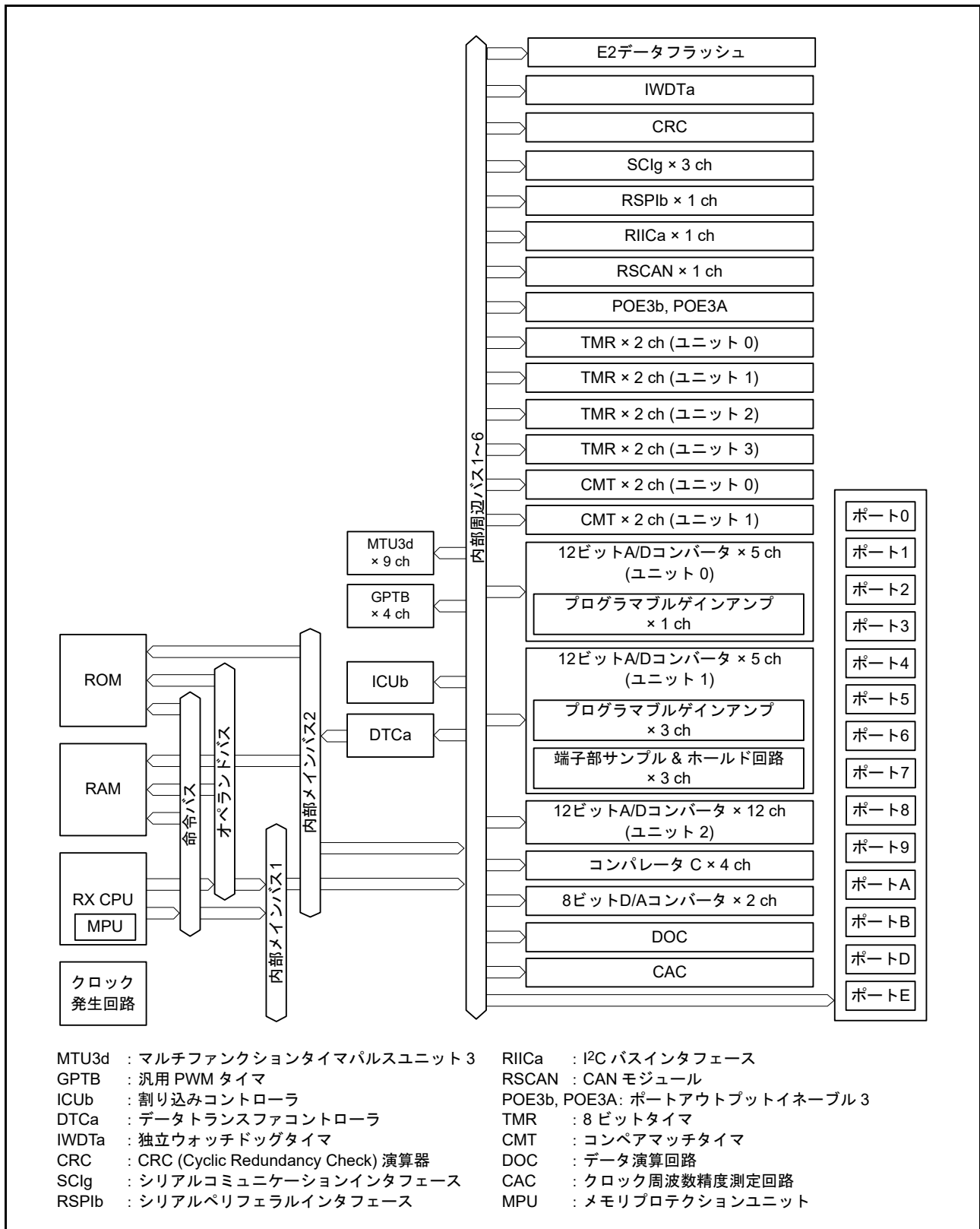


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1/4)

分類	端子名	入出力	機能
電源	VCC	—	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ(4.7μF)を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	—	グランド端子。システムの電源(0V)に接続してください
クロック	XTAL	出力	水晶振動子接続端子。また、EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0~IRQ7	入力	割り込み要求端子
マルチファンクション タイムパルスユニット3 (MTU3d)	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0A#, MTIOC0B#, MTIOC0C#, MTIOC0D#	入出力	TGRA0~TGRD0のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A#, MTIOC1B#	入出力	TGRA1, TGRB1のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A#, MTIOC2B#	入出力	TGRA2, TGRB2のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A#, MTIOC3B#, MTIOC3C#, MTIOC3D#	入出力	TGRA3~TGRD3のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4~TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A#, MTIOC4B#, MTIOC4C#, MTIOC4D#	入出力	TGRA4~TGRD4のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTIC5U#, MTIC5V#, MTIC5W#	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ反転入力/外部パルス反転入力端子
	MTIOC6A, MTIOC6B, MTIOC6C, MTIOC6D	入出力	TGRA6~TGRD6のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6A#, MTIOC6B#, MTIOC6C#, MTIOC6D#	入出力	TGRA6~TGRD6のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D	入出力	TGRA7~TGRD7のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7A#, MTIOC7B#, MTIOC7C#, MTIOC7D#	入出力	TGRA7~TGRD7のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D	入出力	TGRA9~TGRD9のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

表 1.4 端子機能一覧 (2/4)

分類	端子名	入出力	機能
マルチファンクションタイマパルスユニット3 (MTU3d)	MTIOC9A#, MTIOC9B#, MTIOC9C#, MTIOC9D#	入出力	TGRA9~TGRD9のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックの入力端子
	MTCLKA#, MTCLKB#, MTCLKC#, MTCLKD#	入力	外部クロックの反転入力端子
	ADSM0, ADSM1	出力	A/Dトリガ出力端子
汎用PWMタイマ(GPTB)	GTIOC0A, GTIOC0B	入出力	GPT0.GTGRA, GPT0.GTGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0A#, GTIOC0B#	入出力	GPT0.GTGRA, GPT0.GTGRBのインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	GTIOC1A, GTIOC1B	入出力	GPT1.GTGRA, GPT1.GTGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC1A#, GTIOC1B#	入出力	GPT1.GTGRA, GPT1.GTGRBのインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	GTIOC2A, GTIOC2B	入出力	GPT2.GTGRA, GPT2.GTGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC2A#, GTIOC2B#	入出力	GPT2.GTGRA, GPT2.GTGRBのインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	GTIOC3A, GTIOC3B	入出力	GPT3.GTGRA, GPT3.GTGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC3A#, GTIOC3B#	入出力	GPT3.GTGRA, GPT3.GTGRBのインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	GTETRG	入力	GPT0~GPT3用の外部トリガ入力端子
	GTECLKA, GTECLKB, GTECLKC, GTECLKD	入力	外部クロックの入力端子A~D
8ビットタイマ(TMR)	GTADSM0, GTADSM1	出力	A/D変換開始要求モニタ出力端子
	TMO0~TMO7	出力	コンペアマッチ出力端子
	TMCIO~TMCIO7	入力	カウンタに入力する外部クロックの入力端子
ポートアウトプットイネーブル3 (POE3b, POE3A)	TMRI0~TMRI7	入力	カウンタリセット入力端子
	POE0#, POE4#, POE8#, POE10#, POE11#, POE12#	入力	MTU, GPT用の端子をハイインピーダンスまたは汎用入出力ポートに切り替える要求信号の入力端子
	シリアルコミュニケーションインタフェース (SCIg)	<ul style="list-style-type: none"> 調歩同期モード/クロック同期モード 	
SCK1, SCK5, SCK6		入出力	クロック入出力端子
RXD1, RXD5, RXD6		入力	受信データ入力端子
TXD1, TXD5, TXD6		出力	送信データ出力端子
CTS1#, CTS5#, CTS6#		入力	送受信開始制御用入力端子
RTS1#, RTS5#, RTS6#		出力	送受信開始制御用出力端子
<ul style="list-style-type: none"> 簡易I²Cモード 			
SSCL1, SSCL5, SSCL6		入出力	I ² Cクロック入出力端子
SSDA1, SSDA5, SSDA6		入出力	I ² Cデータ入出力端子
<ul style="list-style-type: none"> 簡易SPIモード 			
SCK1, SCK5, SCK6		入出力	クロック入出力端子
SMISO1, SMISO5, SMISO6		入出力	スレーブ送出データ入出力端子
SMOSI1, SMOSI5, SMOSI6		入出力	マスタ送出データ入出力端子
SS1#, SS5#, SS6#		入力	チップセレクト入力端子

表 1.4 端子機能一覧 (3/4)

分類	端子名	入出力	機能
I ² Cバスインタフェース (RiICa)	SCL0	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA0	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
シリアルペリフェラルインタフェース (RSPIb)	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1~SSLA3	出力	RSPIのスレーブセレクト出力端子
CANモジュール (RSCAN)	CRXD0	入力	入力端子
	CTXD0	出力	出力端子
12ビットA/Dコンバータ (S12ADF)	AN000~AN003, AN016, AN100~AN103, AN116, AN200~AN211	入力	A/Dコンバータのアナログ入力端子
	ADST0, ADST1, ADST2	出力	AD変換中を示すステータス出力端子
	ADTRG0#, ADTRG1#, ADTRG2#	入力	A/D変換開始のための外部トリガ入力端子
8ビットD/Aコンバータ (DAa)	DA0, DA1	出力	D/Aコンバータのアナログ出力端子
コンパレータ C (CMPC)	COMP0~COMP3	出力	コンパレータ検出結果出力端子
	CVREFC0, CVREFC1	入力	コンパレータC用のリファレンス電圧端子
	CMPC00~CMPC03	入力	CMPC0用アナログ入力端子
	CMPC10~CMPC13	入力	CMPC1用アナログ入力端子
	CMPC20~CMPC23	入力	CMPC2用アナログ入力端子
	CMPC30~CMPC33	入力	CMPC3用アナログ入力端子
アナログ電源	AVCC0	—	12ビットA/Dコンバータユニット0のアナログ電源、基準電源端子。12ビットA/Dコンバータユニット0を使用しない場合、AVCC0端子はAVCC1、AVCC2、VREFのいずれかに接続してください。
	AVSS0	—	12ビットA/Dコンバータユニット0のアナロググランド、基準グランド端子。12ビットA/Dコンバータユニット0を使用しない場合、AVSS0端子はAVSS1、AVSS2のいずれかに接続してください。
	AVCC1	—	12ビットA/Dコンバータユニット1のアナログ電源、基準電源端子。12ビットA/Dコンバータユニット1を使用しない場合、AVCC1端子はAVCC0、AVCC2、VREFのいずれかに接続してください。
	AVSS1	—	12ビットA/Dコンバータユニット1のアナロググランド、基準グランド端子。12ビットA/Dコンバータユニット1を使用しない場合、AVSS1端子はAVSS0、AVSS2のいずれかに接続してください。
	AVCC2	—	12ビットA/Dコンバータユニット2のアナログ電源、基準電源端子。12ビットA/Dコンバータユニット2を使用しない場合、AVCC2端子はAVCC0、AVCC1、VREFのいずれかに接続してください。
	AVSS2	—	12ビットA/Dコンバータユニット2のアナロググランド、基準グランド端子。コンパレータCおよび8ビットD/Aコンバータのアナロググランド端子。12ビットA/Dコンバータユニット2、コンパレータCおよび8ビットD/Aコンバータを使用しない場合、AVSS2端子はAVSS0、AVSS1のいずれかに接続してください。
	VREF	—	コンパレータCおよび8ビットD/Aコンバータのアナログ電源端子。64ピンLFQFP版ではVREFは内部でAVCC2と接続され、端子は共通化されています。その他のパッケージでコンパレータCおよび8ビットD/Aコンバータを使用しない場合、VREF端子はAVCC0、AVCC1、AVCC2のいずれかに接続してください。

表 1.4 端子機能一覧 (4/4)

分類	端子名	入出力	機能
I/Oポート	P00～P02	入出力	3ビットの入出力端子
	P10, P11	入出力	2ビットの入出力端子
	P20～P24	入出力	5ビットの入出力端子
	P30～P33, P36, P37	入出力	6ビットの入出力端子
	P40～P47	入出力	8ビットの入出力端子
	P50～P55	入出力	6ビットの入出力端子
	P60～P65	入出力	6ビットの入出力端子
	P70～P76	入出力	7ビットの入出力端子
	P80～P82	入出力	3ビットの入出力端子
	P90～P96	入出力	7ビットの入出力端子
	PA0～PA5	入出力	6ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE5	入出力	6ビットの入出力端子 (PE2は入力端子)

注. A/Dコンバータ、D/Aコンバータ、コンパレータCを使用しない場合、AVCC0、AVCC1、AVCC2、VREF端子はVCCに、AVSS0、AVSS1、AVSS2端子はVSSにそれぞれ接続してください。

1.5 ピン配置図

図 1.3 ~ 図 1.6 にピン配置図を示します。また、表 1.5 ~ 表 1.8 に機能別端子一覧を示します。

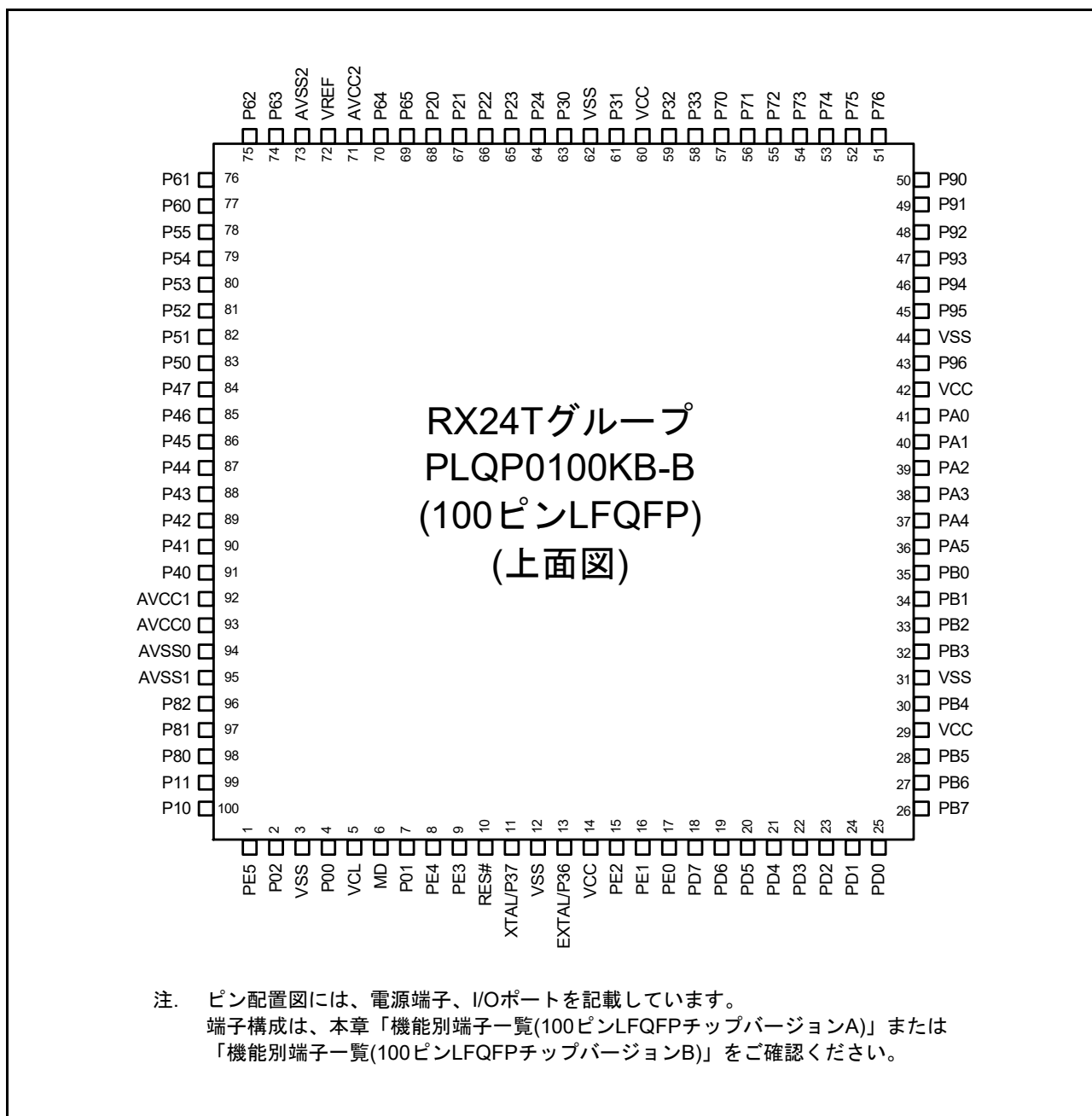


図 1.3 100ピンLQFPピン配置図(チップバージョンA、B共通)

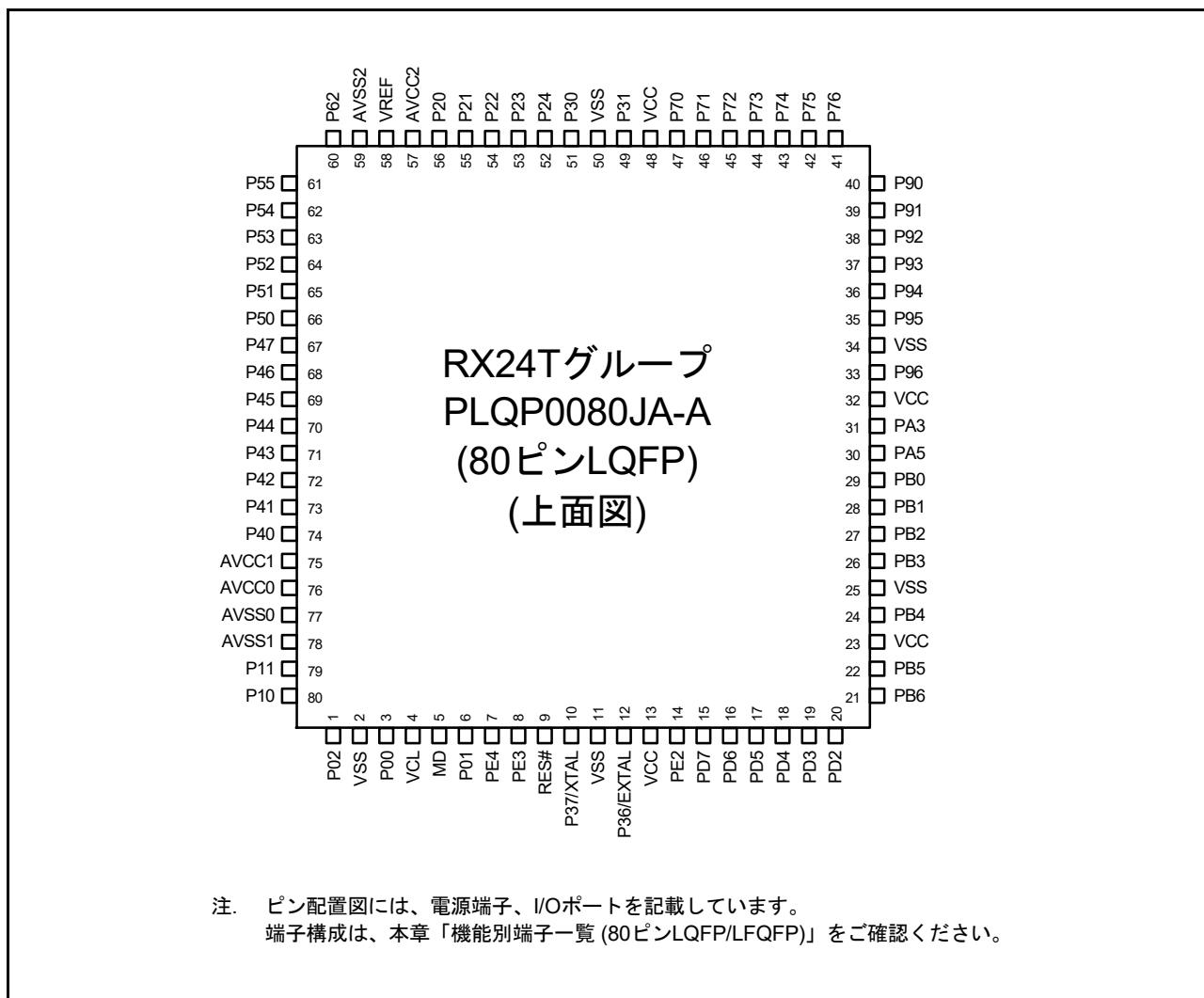


図 1.4 80 ピン LQFP ピン配置図

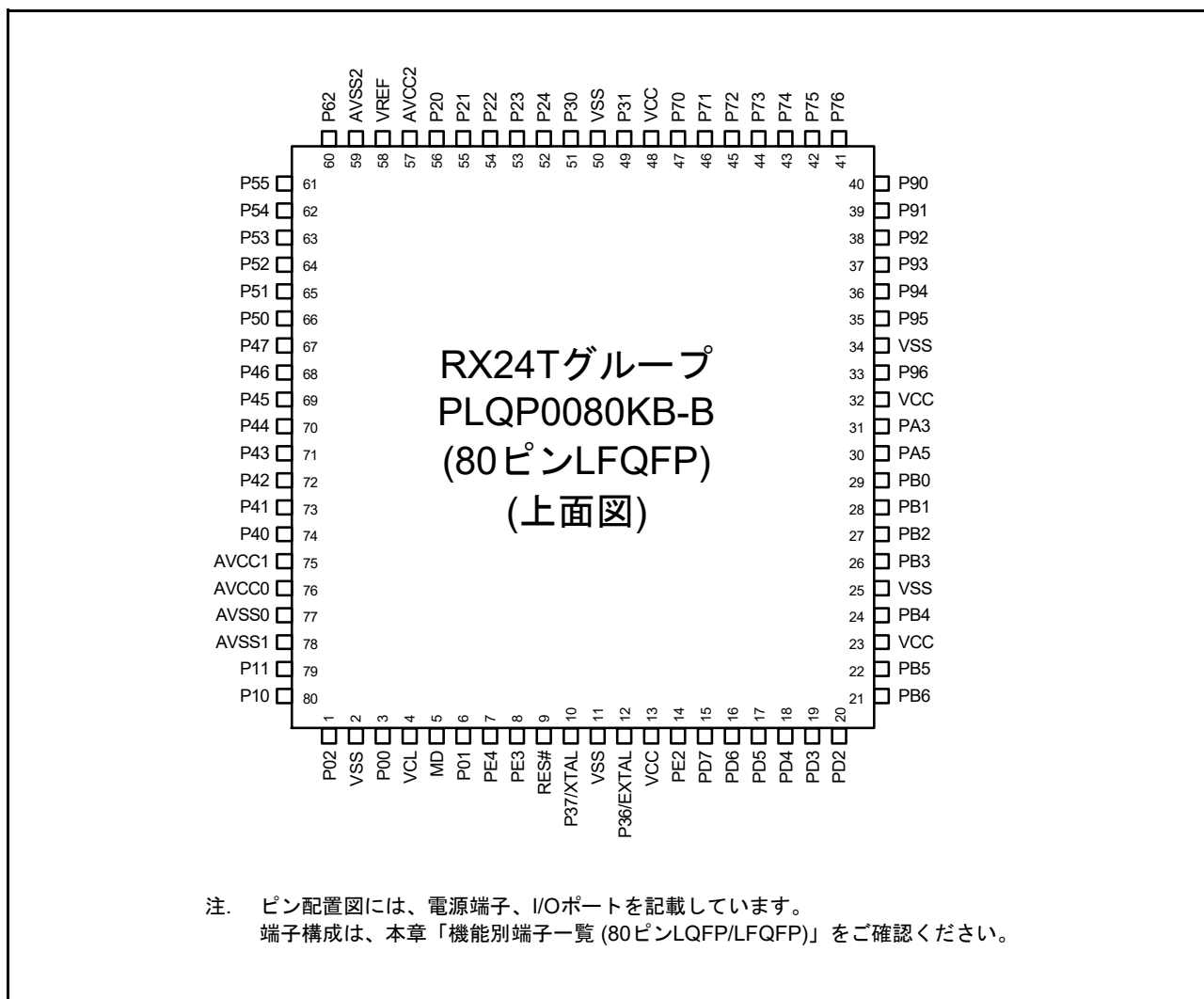


図 1.5 80ピンLFQFPピン配置図

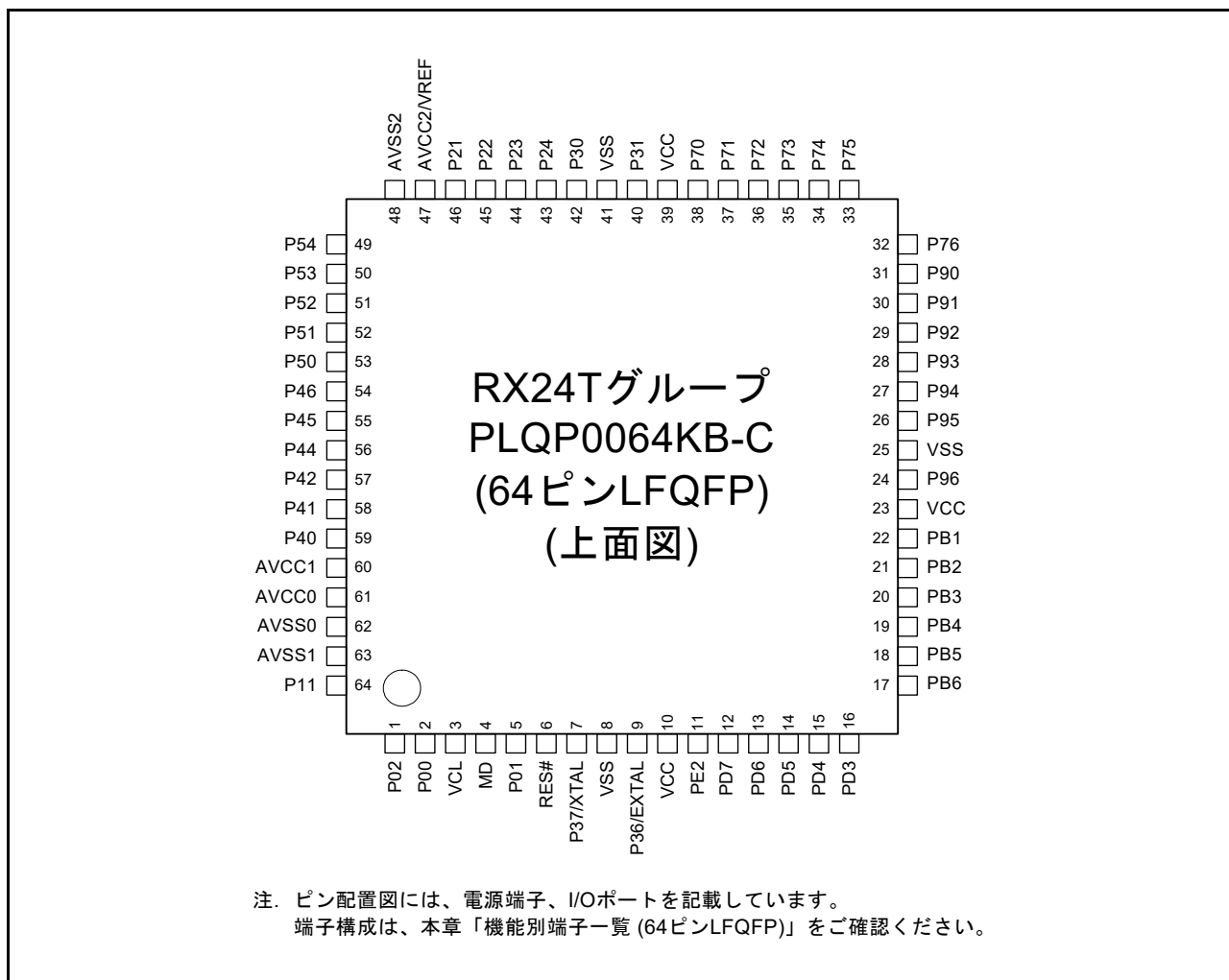


図 1.6 64ピンLQFPピン配置図

表 1.5 機能別端子一覧(100ピンLQFP チップバージョンB) (1/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (TMR, MTU, POE, CAC, GPT)	通信 (SCI, RSPI, RIIC, RSCAN)	その他
1		PE5			IRQ0
2		P02	MTIOC9D, MTIOC9D#	CTS1#, RTS1#, SS1#	IRQ5, ADST0
3	VSS				
4		P00			IRQ2, ADST1
5	VCL				
6	MD				FINED
7		P01	POE12#		IRQ4, ADST2
8		PE4	MTCLKC, MTCLKC#, POE10#		IRQ1
9		PE3	MTCLKD, MTCLKD#, POE11#		IRQ2
10	RES#				
11	XTAL	P37			
12	VSS				
13	EXTAL	P36			
14	VCC				
15		PE2	POE10#		NMI
16		PE1	MTIOC9D, MTIOC9D#, TMO5	CTS5#, RTS5#, SS5#, SSLA3	
17		PE0	MTIOC9B, MTIOC9B#, TMC11, TMC15	RXD5, SMISO5, SSCL5, SSLA2	
18		PD7	MTIOC9A, MTIOC9A#, TMR11, TMR15, GTIOC3A, GTIOC3A#	TXD5, SMOSI5, SSDA5, SSLA1	
19		PD6	MTIOC9C, MTIOC9C#, TMO1, GTIOC3B, GTIOC3B#	CTS1#, RTS1#, SS1#, SSLA0	IRQ5, ADST0
20		PD5	TMRI0, TMRI6, GTECLKA	RXD1, SMISO1, SSCL1	IRQ3
21		PD4	TMC10, TMC16, GTECLKB	SCK1	IRQ2
22		PD3	TMO0, GTECLKC	TXD1, SMOSI1, SSDA1	
23		PD2	TMC11, TMO4, GTIOC0A, GTIOC0A#	SCK5, MOSIA	
24		PD1	TMO2, GTIOC0B, GTIOC0B#	MISOA	
25		PD0	TMO6, GTIOC1A, GTIOC1A#	RSPCKA	
26		PB7	GTIOC1B, GTIOC1B#	SCK5	
27		PB6	GTIOC2A, GTIOC2A#	RXD5, SMISO5, SSCL5	IRQ5
28		PB5	GTIOC2B, GTIOC2B#	TXD5, SMOSI5, SSDA5	
29	VCC				
30		PB4	POE8#, GTETRG, GTECLKD	CTS5#, RTS5#, SS5#	IRQ3
31	VSS				
32		PB3	MTIOC0A, MTIOC0A#, CACREF	SCK6, RSPCKA	
33		PB2	MTIOC0B, MTIOC0B#, TMR10, ADSM0	TXD6, SMOSI6, SSDA6, SDA0	
34		PB1	MTIOC0C, MTIOC0C#, TMC10, ADSM1	RXD6, SMISO6, SSCL6, SCL0	
35		PB0	MTIOC0D, MTIOC0D#, TMO0	TXD6, SMOSI6, SSDA6, MOSIA	ADTRG2#
36		PA5	MTIOC1A, MTIOC1A#, TMC13	RXD6, SMISO6, SSCL6, MISOA	IRQ1, ADTRG1#
37		PA4	MTIOC1B, MTIOC1B#, TMC17	SCK6, RSPCKA	ADTRG0#
38		PA3	MTIOC2A, MTIOC2A#, TMR17, GTADSM0	SSLA0	
39		PA2	MTIOC2B, MTIOC2B#, TMO7, GTADSM1	CTS6#, RTS6#, SS6#, SSLA1	
40		PA1	MTIOC6A, MTIOC6A#, TMO4	SSLA2, CRXD0	ADTRG0#
41		PA0	MTIOC6C, MTIOC6C#, TMO2	SSLA3, CTXD0	
42	VCC				
43		P96	POE4#		IRQ4
44	VSS				
45		P95	MTIOC6B, MTIOC6B#		
46		P94	MTIOC7A, MTIOC7A#		

表 1.5 機能別端子一覧(100ピンLQFP チップバージョンB) (2/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (TMR, MTU, POE, CAC, GPT)	通信 (SCI, RSPI, RIIC, RSCAN)	その他
47		P93	MTIOC7B, MTIOC7B#		
48		P92	MTIOC6D, MTIOC6D#		
49		P91	MTIOC7C, MTIOC7C#		
50		P90	MTIOC7D, MTIOC7D#		
51		P76	MTIOC4D, MTIOC4D#, GTIOC2B, GTIOC2B#		
52		P75	MTIOC4C, MTIOC4C#, GTIOC1B, GTIOC1B#		
53		P74	MTIOC3D, MTIOC3D#, GTIOC0B, GTIOC0B#		
54		P73	MTIOC4B, MTIOC4B#, GTIOC2A, GTIOC2A#		
55		P72	MTIOC4A, MTIOC4A#, GTIOC1A, GTIOC1A#		
56		P71	MTIOC3B, MTIOC3B#, GTIOC0A, GTIOC0A#		
57		P70	POE0#		IRQ5
58		P33	MTIOC3A, MTIOC3A#, MTCLKA, MTCLKA#, TMO0	SSLA3	
59		P32	MTIOC3C, MTIOC3C#, MTCLKB, MTCLKB#, TMO6	SSLA2	
60	VCC				
61		P31	MTIOC0A, MTIOC0A#, MTCLKC, MTCLKC#, TMR16	SSLA1	IRQ6
62	VSS				
63		P30	MTIOC0B, MTIOC0B#, MTCLKD, MTCLKD#, TMC16	SSLA0	IRQ7, COMP3
64		P24	MTIC5U, MTIC5U#, TMC12, TMO6	RSPCKA	COMP0, DA0
65		P23	MTIC5V, MTIC5V#, TMO2, CACREF	MOSIA	COMP1, DA1
66		P22	MTIC5W, MTIC5W#, TMR12, TMO4	MISOA	ADTRG2#, COMP2
67		P21	MTCLKA, MTCLKA#, MTIOC9A, MTIOC9A#, TMC14		IRQ6, ADTRG1#, AN116
68		P20	MTCLKB, MTCLKB#, MTIOC9C, MTIOC9C#, TMR14		IRQ7, ADTRG0#, AN016
69		P65			AN205
70		P64			AN204
71	AVCC2				
72	VREF				
73	AVSS2				
74		P63			AN203, IRQ7
75		P62			AN202, IRQ6
76		P61			AN201, IRQ5
77		P60			AN200, IRQ4
78		P55			AN211, IRQ3
79		P54			AN210, IRQ2
80		P53			AN209, IRQ1
81		P52			AN208, IRQ0
82		P51			AN207
83		P50			AN206
84		P47			AN103
85		P46			AN102, CMPC12, CMPC13, CMPC30, CMPC31
86		P45			AN101, CMPC02, CMPC03, CMPC20, CMPC21

表 1.5 機能別端子一覧(100ピンLFQFP チップバージョンB) (3/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (TMR, MTU, POE, CAC, GPT)	通信 (SCI, RSPI, RIIC, RSCAN)	その他
87		P44			AN100, CMPC10, CMPC11, CMPC32, CMPC33
88		P43			AN003
89		P42			AN002
90		P41			AN001
91		P40			AN000, CMPC00, CMPC01, CMPC22, CMPC23
92	AVCC1				
93	AVCC0				
94	AVSS0				
95	AVSS1				
96		P82	MTIC5U, MTIC5U#, TMO4	SCK6	
97		P81	MTIC5V, MTIC5V#, TMC14	TXD6, SMOSI6, SSDA6	
98		P80	MTIC5W, MTIC5W#, TMRI4	RXD6, SMISO6, SSCL6	
99		P11	MTIOC3A, MTIOC3A#, MTCLKC, MTCLKC#, TMO3		IRQ1
100		P10	MTIOC9B, MTIOC9B#, MTCLKD, MTCLKD#, TMRI3, POE12#	CTS6#, RTS6#, SS6#	IRQ0

表 1.6 機能別端子一覧(100ピンLQFP チップバージョンA) (1/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC)	通信 (SCI, RSPI, RIIC)	その他
1		PE5			IRQ0
2		P02	MTIOC9D	CTS1#, RTS1#, SS1#	IRQ5, ADST0
3	VSS				
4		P00			IRQ2, ADST1
5	VCL				
6	MD				FINED
7		P01	POE12#		IRQ4, ADST2
8		PE4	MTCLKC, POE10#		IRQ1
9		PE3	MTCLKD, POE11#		IRQ2
10	RES#				
11	XTAL	P37			
12	VSS				
13	EXTAL	P36			
14	VCC				
15		PE2	POE10#		NMI
16		PE1	MTIOC9D, TMO5	CTS5#, RTS5#, SS5#, SSLA3	
17		PE0	MTIOC9B, TMC11, TMC15	SSLA2	
18		PD7	MTIOC9A, TMR11, TMR15	SSLA1	
19		PD6	MTIOC9C, TMO1	CTS1#, RTS1#, SS1#, SSLA0	IRQ5, ADST0
20		PD5	TMR10, TMR16	RXD1, SMISO1, SSCL1	IRQ3
21		PD4	TMC10, TMC16	SCK1	IRQ2
22		PD3	TMO0	TXD1, SMOS11, SSSA1	
23		PD2	TMC11, TMO4	SCK5, MOSIA	
24		PD1	TMO2	MISOA	
25		PD0	TMO6	RSPCKA	
26		PB7		SCK5	
27		PB6		RXD5, SMISO5, SSCL5	IRQ5
28		PB5		TXD5, SMOSI5, SSSA5	
29	VCC				
30		PB4	POE8#	CTS5#, RTS5#, SS5#	IRQ3
31	VSS				
32		PB3	MTIOC0A, CACREF	SCK6, RSPCKA	
33		PB2	MTIOC0B, TMR10, ADSM0	TXD6, SMOSI6, SSSA6, SDA0	
34		PB1	MTIOC0C, TMC10, ADSM1	RXD6, SMISO6, SSCL6, SCL0	
35		PB0	MTIOC0D, TMO0	TXD6, SMOSI6, SSSA6, MOSIA	ADTRG2#
36		PA5	MTIOC1A, TMC13	RXD6, SMISO6, SSCL6, MISOA	IRQ1, ADTRG1#
37		PA4	MTIOC1B, TMC17	SCK6, RSPCKA	ADTRG0#
38		PA3	MTIOC2A, TMR17	SSLA0	
39		PA2	MTIOC2B, TMO7	CTS6#, RTS6#, SS6#, SSLA1	
40		PA1	MTIOC6A, TMO4	SSLA2	ADTRG0#
41		PA0	MTIOC6C, TMO2	SSLA3	
42	VCC				
43		P96	POE4#		IRQ4
44	VSS				
45		P95	MTIOC6B		
46		P94	MTIOC7A		
47		P93	MTIOC7B		
48		P92	MTIOC6D		

表 1.6 機能別端子一覧(100ピンLQFP チップバージョンA) (2/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC)	通信 (SCI, RSPI, RIIC)	その他
49		P91	MTIOC7C		
50		P90	MTIOC7D		
51		P76	MTIOC4D		
52		P75	MTIOC4C		
53		P74	MTIOC3D		
54		P73	MTIOC4B		
55		P72	MTIOC4A		
56		P71	MTIOC3B		
57		P70	POE0#		IRQ5
58		P33	MTIOC3A, MTCLKA, TMO0	SSLA3	
59		P32	MTIOC3C, MTCLKB, TMO6	SSLA2	
60	VCC				
61		P31	MTIOC0A, MTCLKC, TMRI6	SSLA1	IRQ6
62	VSS				
63		P30	MTIOC0B, MTCLKD, TMC16	SSLA0	IRQ7, COMP3
64		P24	MTIC5U, TMC12, TMO6	RSPCKA	COMP0
65		P23	MTIC5V, TMO2, CACREF	MOSIA	COMP1
66		P22	MTIC5W, TMRI2, TMO4	MISOA	ADTRG2#, COMP2
67		P21	MTCLKA, MTIOC9A, TMC14		IRQ6, ADTRG1#, AN116, CVREFC1
68		P20	MTCLKB, MTIOC9C, TMRI4		IRQ7, ADTRG0#, AN016, CVREFC0
69		P65			AN205
70		P64			AN204
71	AVCC2				
72	VREF				
73	AVSS2				
74		P63			AN203, IRQ7
75		P62			AN202, IRQ6
76		P61			AN201, IRQ5
77		P60			AN200, IRQ4
78		P55			AN211, IRQ3
79		P54			AN210, IRQ2
80		P53			AN209, IRQ1
81		P52			AN208, IRQ0
82		P51			AN207
83		P50			AN206
84		P47			AN103
85		P46			AN102, CMPC12, CMPC13, CMPC30, CMPC31
86		P45			AN101, CMPC02, CMPC03, CMPC20, CMPC21
87		P44			AN100, CMPC10, CMPC11, CMPC32, CMPC33
88		P43			AN003
89		P42			AN002
90		P41			AN001

表 1.6 機能別端子一覧(100ピンLFQFP チップバージョンA) (3/3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC)	通信 (SCI, RSPI, RIIC)	その他
91		P40			AN000, CMPC00, CMPC01, CMPC22, CMPC23
92	AVCC1				
93	AVCC0				
94	AVSS0				
95	AVSS1				
96		P82	MTIC5U, TMO4	SCK6	
97		P81	MTIC5V, TMC14	TXD6, SMOSI6, SSSDA6	
98		P80	MTIC5W, TMRI4	RXD6, SMISO6, SSCL6	
99		P11	MTIOC3A, MTCLKC, TMO3		IRQ1
100		P10	MTIOC9B, MTCLKD, TMRI3, POE12#	CTS6#, RTS6#, SS6#	IRQ0

表 1.7 機能別端子一覧(80ピンLQFP/LFQFP) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC)	通信 (SCI, RSPI, RIIC)	その他
1		P02	MTIOC9D	CTS1#, RTS1#, SS1#	IRQ5, ADST0
2	VSS				
3		P00			IRQ2, ADST1
4	VCL				
5	MD				FINED
6		P01	POE12#		IRQ4, ADST2
7		PE4	MTCLKC, POE10#		IRQ1
8		PE3	MTCLKD, POE11#		IRQ2
9	RES#				
10	XTAL	P37			
11	VSS				
12	EXTAL	P36			
13	VCC				
14		PE2	POE10#		NMI
15		PD7	MTIOC9A, TMR1, TMR15	SSLA1	
16		PD6	MTIOC9C, TMO1	CTS1#, RTS1#, SS1#, SSLA0	IRQ5, ADST0
17		PD5	TMRI0, TMRI6	RXD1, SMISO1, SSCL1	IRQ3
18		PD4	TMCIO, TMC16	SCK1	IRQ2
19		PD3	TMO0	TXD1, SMOS1, SSSDA1	
20		PD2	TMC11, TMO4	SCK5, MOSIA	
21		PB6		RXD5, SMISO5, SSCL5	IRQ5
22		PB5		TXD5, SMOS5, SSSDA5	
23	VCC				
24		PB4	POE8#	CTS5#, RTS5#, SS5#	IRQ3
25	VSS				
26		PB3	MTIOC0A, CACREF	SCK6, RSPCKA	
27		PB2	MTIOC0B, TMRI0, ADSM0	TXD6, SMOS6, SSSDA6, SDA0	
28		PB1	MTIOC0C, TMCIO, ADSM1	RXD6, SMISO6, SSCL6, SCL0	
29		PB0	MTIOC0D, TMO0	TXD6, SMOS6, SSSDA6, MOSIA	ADTRG2#
30		PA5	MTIOC1A, TMC13	RXD6, SMISO6, SSCL6, MISOA	IRQ1, ADTRG1#
31		PA3	MTIOC2A, TMR17	SSLA0	
32	VCC				
33		P96	POE4#		IRQ4
34	VSS				
35		P95	MTIOC6B		
36		P94	MTIOC7A		
37		P93	MTIOC7B		
38		P92	MTIOC6D		
39		P91	MTIOC7C		
40		P90	MTIOC7D		
41		P76	MTIOC4D		
42		P75	MTIOC4C		
43		P74	MTIOC3D		
44		P73	MTIOC4B		
45		P72	MTIOC4A		
46		P71	MTIOC3B		
47		P70	POE0#		IRQ5
48	VCC				

表 1.7 機能別端子一覧(80ピンLQFP/LFQFP) (2/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC)	通信 (SCI, RSPI, RIIC)	その他
49		P31	MTIOC0A, MTCLKC, TMRI6	SSLA1	IRQ6
50	VSS				
51		P30	MTIOC0B, MTCLKD, TMCI6	SSLA0	IRQ7, COMP3
52		P24	MTIC5U, TMCI2, TMO6	RSPCKA	COMP0
53		P23	MTIC5V, TMO2, CACREF	MOSIA	COMP1
54		P22	MTIC5W, TMRI2, TMO4	MISOA	ADTRG2#, COMP2
55		P21	MTCLKA, MTIOC9A, TMCI4		IRQ6, ADTRG1#, AN116, CVREFC1
56		P20	MTCLKB, MTIOC9C, TMRI4		IRQ7, ADTRG0#, AN016, CVREFC0
57	AVCC2				
58	VREF				
59	AVSS2				
60		P62			AN202, IRQ6
61		P55			AN211, IRQ3
62		P54			AN210, IRQ2
63		P53			AN209, IRQ1
64		P52			AN208, IRQ0
65		P51			AN207
66		P50			AN206
67		P47			AN103
68		P46			AN102, CMPC12, CMPC13, CMPC30, CMPC31
69		P45			AN101, CMPC02, CMPC03, CMPC20, CMPC21
70		P44			AN100, CMPC10, CMPC11, CMPC32, CMPC33
71		P43			AN003
72		P42			AN002
73		P41			AN001
74		P40			AN000, CMPC00, CMPC01, CMPC22, CMPC23
75	AVCC1				
76	AVCC0				
77	AVSS0				
78	AVSS1				
79		P11	MTIOC3A, MTCLKC, TMO3		IRQ1
80		P10	MTIOC9B, MTCLKD, TMRI3, POE12#	CTS6#, RTS6#, SS6#	IRQ0

表 1.8 機能別端子一覧(64ピンLQFP) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC)	通信 (SCI, RSPI, RIIC)	その他
1		P02	MTIOC9D	CTS1#, RTS1#, SS1#	IRQ5, ADST0
2		P00			IRQ2, ADST1
3	VCL				
4	MD				FINED
5		P01	POE12#		IRQ4, ADST2
6	RES#				
7	XTAL	P37			
8	VSS				
9	EXTAL	P36			
10	VCC				
11		PE2	POE10#		NMI
12		PD7	MTIOC9A, TMRI1, TMRI5	SSLA1	
13		PD6	MTIOC9C, TMO1	CTS1#, RTS1#, SS1#	
14		PD5	TMRI0, TMRI6	RXD1, SMISO1, SSCL1	
15		PD4	TMCi0, TMCi6	SCK1	IRQ2
16		PD3	TMO0	TXD1, SMOSI1, SDA1	
17		PB6		RXD5, SMISO5, SSCL5	IRQ5
18		PB5		TXD5, SMOSI5, SDA5	
19		PB4	POE8#	CTS5#, RTS5#, SS5#	IRQ3
20		PB3	MTIOC0A, CACREF	SCK6, RSPCKA	
21		PB2	MTIOC0B, TMRI0, ADSM0	TXD6, SMOSI6, SDA6, SDA0	
22		PB1	MTIOC0C, TMCi0, ADSM1	RXD6, SMISO6, SSCL6, SCL0	
23	VCC				
24		P96	POE4#		IRQ4
25	VSS				
26		P95	MTIOC6B		
27		P94	MTIOC7A		
28		P93	MTIOC7B		
29		P92	MTIOC6D		
30		P91	MTIOC7C		
31		P90	MTIOC7D		
32		P76	MTIOC4D		
33		P75	MTIOC4C		
34		P74	MTIOC3D		
35		P73	MTIOC4B		
36		P72	MTIOC4A		
37		P71	MTIOC3B		
38		P70	POE0#		IRQ5
39	VCC				
40		P31	MTIOC0A, MTCLKC, TMRI6	SSLA1	IRQ6
41	VSS				
42		P30	MTIOC0B, MTCLKD, TMCi6	SSLA0	IRQ7, COMP3
43		P24	MTIC5U, TMCi2, TMO6	RSPCKA	COMP0
44		P23	MTIC5V, TMO2, CACREF	MOSIA	COMP1
45		P22	MTIC5W, TMRI2, TMO4	MISOA	ADTRG2#, COMP2
46		P21	MTCLKA, MTIOC9A, TMCi4		IRQ6, ADTRG1#, AN116, CVREFC1
47	AVCC2/VREF				
48	AVSS2				

表 1.8 機能別端子一覧(64ピンLFQFP) (2/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC)	通信 (SCI, RSPI, RIIC)	その他
49		P54			AN210, IRQ2
50		P53			AN209, IRQ1
51		P52			AN208, IRQ0
52		P51			AN207
53		P50			AN206
54		P46			AN102, CMPC12, CMPC13, CMPC30, CMPC31
55		P45			AN101, CMPC02, CMPC03, CMPC20, CMPC21
56		P44			AN100, CMPC10, CMPC11, CMPC32, CMPC33
57		P42			AN002
58		P41			AN001
59		P40			AN000, CMPC00, CMPC01, CMPC22, CMPC23
60	AVCC1				
61	AVCC0				
62	AVSS0				
63	AVSS1				
64		P11	MTIOC3A, MTCLKC, TMO3		IRQ1

2. CPU

RXv2 命令セットアーキテクチャ (RXv2) は、RXv1 命令セットアーキテクチャ (RXv1) と上位互換性のある命令セットアーキテクチャです。

- 可変長命令方式の採用

RXv1 と同様に、可変長命令形式の採用により、使用頻度の高い命令をより短い命令長に割り付けていますので、コード効率の良いプログラムを開発できます。

- 強力な命令セット

RXv2 は厳選された 109 個の命令をサポートしています。DSP 機能命令や浮動小数点演算命令の拡充により、DSP に匹敵するデータ処理能力を発揮します。

- 豊富なアドレッシングモード

11 種類の豊富なアドレッシングモードを持ち、レジスタ-レジスタ間、レジスタ-メモリ間の演算や、ビットを対象とする演算ができます。また、メモリ-メモリ間の転送ができます。

2.1 特長

- 最短命令実行時間：1 サイクルで実行
- アドレス空間：4G バイト・リニアアドレス
- CPU レジスタセット
汎用レジスタ：32 ビット×16 本
制御レジスタ：32 ビット×10 本
アキュムレータ：72 ビット×2 本
- 可変長命令形式 (1 バイト長～8 バイト長)
- 109 命令 / 11 種類アドレッシングモード
基本命令：75 種類
浮動小数点演算命令：11 種類
DSP 機能命令：23 種類
- プロセッサモード
スーパバイザモード、ユーザモード
- ベクタテーブル
例外ベクタテーブル、割り込みベクタテーブル
- メモリプロテクションユニット
- データ配置
リトルエンディアン / ビッグエンディアン選択可能

2.2 CPU レジスタセット

RXv2 CPU のレジスタには、汎用レジスタ (16 本) と、制御レジスタ (10 本)、および DSP 機能命令で使用するアキュムレータ (2 本) があります。



図 2.1 CPU レジスタセット

2.2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、32ビット幅で16本(R0 ~ R15)あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

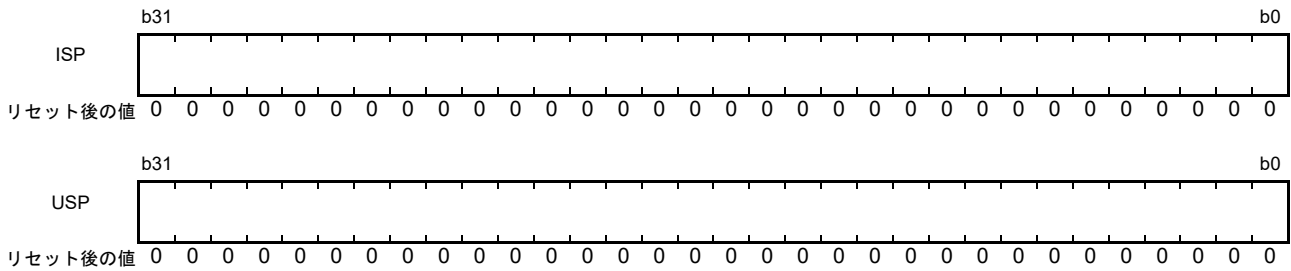
汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の10本のレジスタがあります。

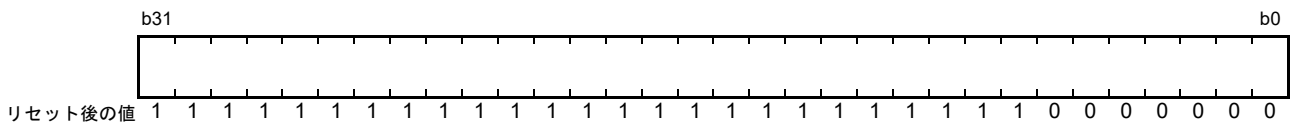
- 割り込みスタックポインタ (ISP)
- ユーザスタックポインタ (USP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- プログラムカウンタ (PC)
- プロセッサステータスワード (PSW)
- バックアップ PC (BPC)
- バックアップ PSW (BPSW)
- 高速割り込みベクタレジスタ (FINTV)
- 浮動小数点ステータスワード (FPSW)

2.2.2.1 割り込みスタックポインタ (ISP)/ ユーザスタックポインタ (USP)



スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の 2 種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。ISP、USP に 4 の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

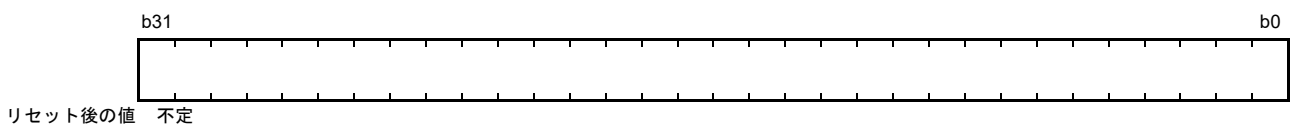
2.2.2.2 例外テーブルレジスタ (EXTB)



例外テーブルレジスタ (EXTB) には、例外ベクタテーブルの先頭番地を設定してください。

EXTB に 4 の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

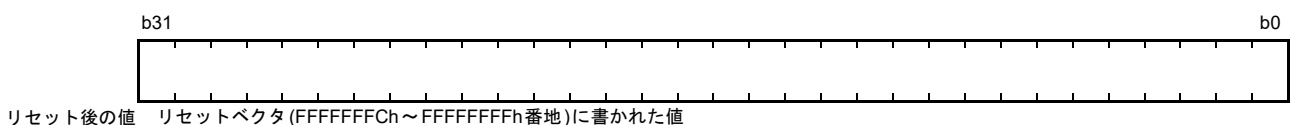
2.2.2.3 割り込みテーブルレジスタ (INTB)



割り込みテーブルレジスタ (INTB) には、割り込みベクタテーブルの先頭番地を設定してください。

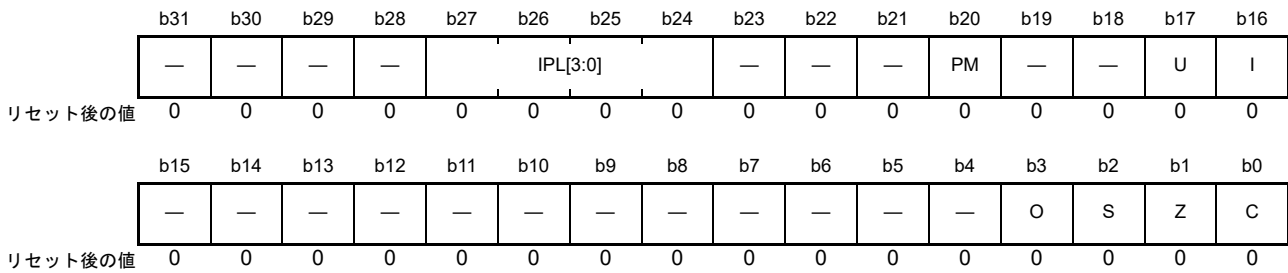
INTB に 4 の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

2.2.2.4 プログラムカウンタ (PC)



プログラムカウンタ (PC) は、実行中の命令の番地を示します。

2.2.2.5 プロセッサステータスワード (PSW)



ビット	シンボル	ビット名	機能	R/W
b0	C	キャリフラグ	0: キャリの発生なし 1: キャリの発生あり	R/W
b1	Z	ゼロフラグ	0: 演算結果は0でなかった 1: 演算結果は0であった	R/W
b2	S	サインフラグ	0: 演算結果は正または0であった 1: 演算結果は負であった	R/W
b3	O	オーバフローフラグ	0: オーバフローの発生なし 1: オーバフローの発生あり	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I(注1)	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b17	U(注1)	スタックポインタ指定ビット	0: 割り込みスタックポインタ (ISP)を指定 1: ユーザスタックポインタ (USP)を指定	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM (注1、注2、注3)	プロセッサモード設定ビット	0: スーパーバイザモードに設定 1: ユーザモードに設定	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	IPL[3:0](注1)	プロセッサ割り込み優先レベル	b27 b24 0 0 0 0: 優先レベル0 (最低) 0 0 0 1: 優先レベル1 0 0 1 0: 優先レベル2 0 0 1 1: 優先レベル3 0 1 0 0: 優先レベル4 0 1 0 1: 優先レベル5 0 1 1 0: 優先レベル6 0 1 1 1: 優先レベル7 1 0 0 0: 優先レベル8 1 0 0 1: 優先レベル9 1 0 1 0: 優先レベル10 1 0 1 1: 優先レベル11 1 1 0 0: 優先レベル12 1 1 0 1: 優先レベル13 1 1 1 0: 優先レベル14 1 1 1 1: 優先レベル15 (最高)	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. ユーザモードのときは、MVTC、POPC命令によるIPL[3:0]、PM、U、Iビットへの書き込みは無視されます。また、MVTIPL命令でIPL[3:0]ビットへの書き込みを行った場合は、特権命令例外が発生します。
- 注2. スーパーバイザモードのときは、MVTC、POPC命令によるPMビットへの書き込みは無視されます。それ以外のビットへの書き込みはできません。
- 注3. スーパーバイザモードからユーザモードに切り替える場合は、スタックに退避されたPSW.PMビットを“1”にした後、RTE命令を実行するか、BPSW.PMビットを“1”にした後、RTFI命令を実行してください。

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

C フラグ (キャリフラグ)

キャリー、ボロー、シフトアウトしたビット等を保持します。

Z フラグ (ゼロフラグ)

演算の結果が0のとき“1”になり、それ以外るとき“0”になります。

S フラグ (サインフラグ)

演算の結果が負のとき“1”になり、それ以外るとき“0”になります。

O フラグ (オーバフローフラグ)

演算の結果がオーバフローしたとき“1”になり、それ以外るとき“0”になります。

I ビット (割り込み許可ビット)

割り込み要求の受け付けを許可するビットです。例外を受け付けると、このビットは“0”になります。

U ビット (スタックポインタ指定ビット)

使用するスタックポインタ (ISP/USP) を指定するビットです。例外を受け付けると、このビットは“0”になります。スーパーバイザモードからユーザモードに移行すると、このビットは“1”になります。

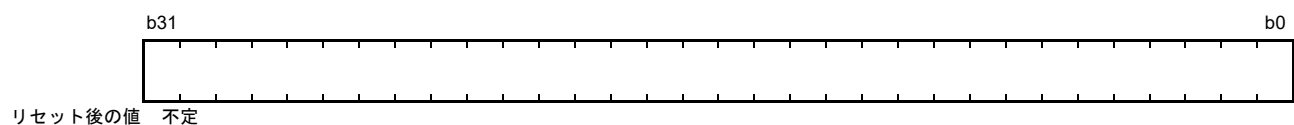
PM ビット (プロセッサモード設定ビット)

プロセッサモードを設定するビットです。例外を受け付けると、このビットは“0”になります。

IPL[3:0] ビット (プロセッサ割り込み優先レベル)

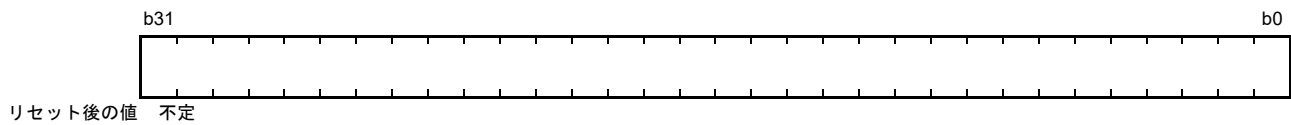
IPL[3:0] ビットは、優先レベル 0 (最低) ~ 優先レベル 15 (最高) までの 16 段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル 15 (Fh) に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスクابل割り込みが発生したとき、レベル 15 (Fh) になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

2.2.2.6 バックアップ PC (BPC)



バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

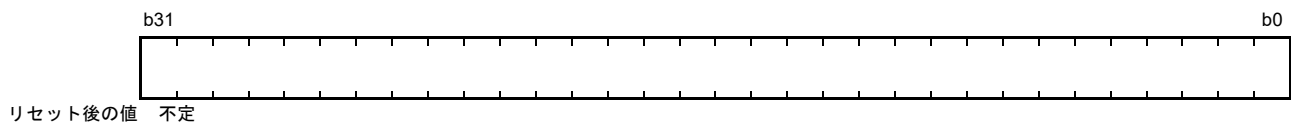
2.2.2.7 バックアップ PSW (BPSW)



バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

2.2.2.8 高速割り込みベクタレジスタ (FINTV)



高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

2.2.2.9 浮動小数点ステータスワード (FPSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EX	EU	EZ	EO	EV	—	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RM[1:0]	浮動小数点丸めモード設定ビット	b1 b0 0 0 : 最近値への丸め 0 1 : 0方向への丸め 1 0 : +∞方向への丸め 1 1 : -∞方向への丸め	R/W
b2	CV	無効演算要因フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり	R/(W) (注1)
b3	CO	オーバフロー要因フラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり	R/(W) (注1)
b4	CZ	ゼロ除算要因フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり	R/(W) (注1)
b5	CU	アンダフロー要因フラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり	R/(W) (注1)
b6	CX	精度異常要因フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり	R/(W) (注1)
b7	CE	非実装処理要因フラグ	0 : 非実装処理の発生なし 1 : 非実装処理の発生あり	R/(W) (注1)
b8	DN	非正規化数の0フラッシュビット	0 : 非正規化数を非正規化数として扱う 1 : 非正規化数を0として扱う(注2)	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	EV	無効演算例外処理許可ビット	0 : 無効演算発生による例外処理を禁止 1 : 無効演算発生による例外処理を許可	R/W
b11	EO	オーバフロー例外処理許可ビット	0 : オーバフロー発生による例外処理を禁止 1 : オーバフロー発生による例外処理を許可	R/W
b12	EZ	ゼロ除算例外処理許可ビット	0 : ゼロ除算発生による例外処理を禁止 1 : ゼロ除算発生による例外処理を許可	R/W
b13	EU	アンダフロー例外処理許可ビット	0 : アンダフロー発生による例外処理を禁止 1 : アンダフロー発生による例外処理を許可	R/W
b14	EX	精度異常例外処理許可ビット	0 : 精度異常発生による例外処理を禁止 1 : 精度異常発生による例外処理を許可	R/W
b25-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	FV(注3)	無効演算フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり(注8)	R/W
b27	FO(注4)	オーバフローフラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり(注8)	R/W
b28	FZ(注5)	ゼロ除算フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり(注8)	R/W
b29	FU(注6)	アンダフローフラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり(注8)	R/W
b30	FX(注7)	精度異常フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり(注8)	R/W

ビット	シンボル	ビット名	機能	R/W
b31	FS	浮動小数点エラーサマリフラグ	FU、FZ、FO、FVフラグの論理和を反映	R

- 注1. “0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。
 注2. 正の非正規化数は+0、負の非正規化数は-0として扱います。
 注3. EVビットが“0”のときに、FVフラグは有効となります。
 注4. EOビットが“0”のときに、FOフラグは有効となります。
 注5. EZビットが“0”のときに、FZフラグは有効となります。
 注6. EUビットが“0”のときに、FUフラグは有効となります。
 注7. EXビットが“0”のときに、FXフラグは有効となります。
 注8. 当該ビットが一度“1”になると、ソフトウェアで“0”にするまで“1”を保持します。

浮動小数点ステータスワード (FPSW) は、浮動小数点演算結果を示します。

例外処理許可ビット E_j で例外処理を許可 ($E_j = 1$) した場合は、例外処理ルーチンで該当する C_j フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 ($E_j = 0$) した場合は、一連の処理の最後に F_j フラグをチェックし、例外発生の有無を確認することができます。 F_j フラグは蓄積フラグです。
 ($j = X, U, Z, O, V$)

RM[1:0] ビット (浮動小数点丸めモード設定ビット)

浮動小数点丸めモードを設定します。

【浮動小数点丸めモードの説明】

- 最近値への丸め(デフォルト) : 無限の有効桁を持つとして計算した場合の結果と近い方の値へ丸める
中間時は結果が偶数になる方向へ丸める
- 0方向への丸め : 結果の絶対値が小さくなる方向へ丸める(単純な切り捨て)
- $+\infty$ 方向への丸め : 結果の値が大きくなる方向へ丸める
- $-\infty$ 方向への丸め : 結果の値が小さくなる方向へ丸める

(1) 「最近値への丸め」はデフォルトのモードであり、最も正確な値を返します。

(2) 「0方向への丸め」、「 $+\infty$ 方向への丸め」、「 $-\infty$ 方向への丸め」は、区間演算 (Interval arithmetic) を使用した精度保証を行うときに使用します。

CV フラグ (無効演算要因フラグ)、CO フラグ (オーバフロー要因フラグ)、

CZ フラグ (ゼロ除算要因フラグ)、CU フラグ (アンダフロー要因フラグ)、

CX フラグ (精度異常要因フラグ)、CE フラグ (非実装処理要因フラグ)

IEEE754 規格で規定された5つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他、非実装処理が発生した場合に該当するフラグが“1”になります。

- “1”の場合、FPU 演算命令実行時に“0”になります。
- MVTC、POPC 命令で“0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。

DN ビット (非正規化数の0フラッシュビット)

“0”のとき非正規化数を非正規化数として扱います。“1”のとき非正規化数を“0”として扱います。

EV ビット (無効演算例外処理許可ビット)、EO ビット (オーバフロー例外処理許可ビット)、

EZ ビット (ゼロ除算例外処理許可ビット)、EU ビット (アンダフロー例外処理許可ビット)、

EX ビット (精度異常例外処理許可ビット)

浮動小数点演算命令実行により、IEEE754 規格で規定された5つの例外が発生したときに、CPU が例外処理に移行するかどうかを制御します。

“0”の場合、例外処理は禁止されます。“1”の場合、例外処理が許可されます。

FV フラグ (無効演算フラグ)、FO フラグ (オーバフローフラグ)、FZ フラグ (ゼロ除算フラグ)、FU フラグ (アンダフローフラグ)、FX フラグ (精度異常フラグ)

例外処理許可ビット E_j が“0” (例外処理を禁止) の場合、IEEE754 規格で規定された 5 つの例外が発生すると、該当するフラグが“1”になります。

- $E_j=1$ (例外処理を許可) のときは、このフラグは変化しません。
- 当該フラグが“1”になると、ソフトウェアで“0”にするまで“1”を保持します。(蓄積フラグ)

FS フラグ (浮動小数点エラーサマリフラグ)

FU、FZ、FO、FV フラグの論理和を反映します。

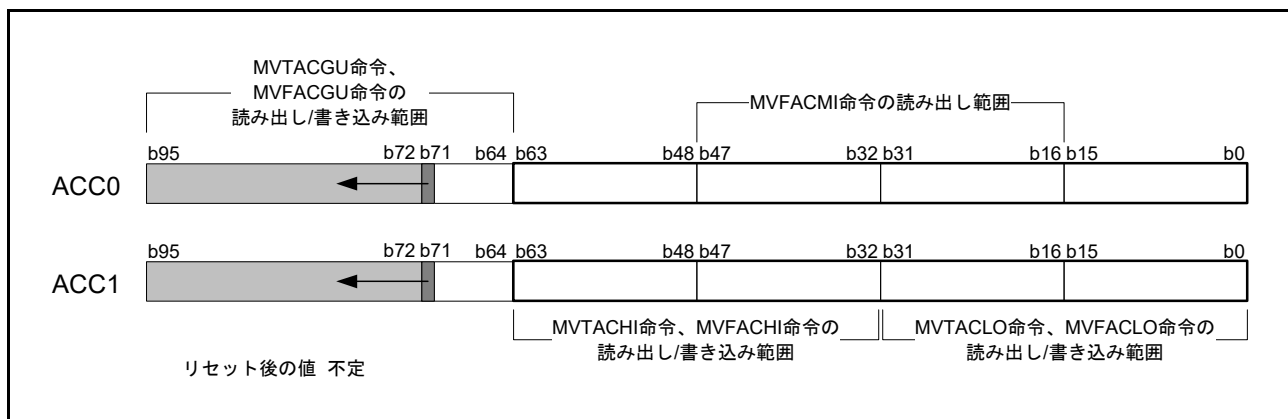
2.2.3 アキュムレータ

アキュムレータ (ACC0, ACC1) は、72 ビットのレジスタです。DSP 機能命令で使用されます。アキュムレータは、読み出し時や書き込み時は 96 ビットのレジスタとして扱われます。このとき、アキュムレータの b95 ~ b72 の扱いは、読み出し時に b71 の値を符号拡張し、書き込み時には無視します。また、ACC0 は乗算命令 (EMUL, EMULU, FMUL, MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC0 の値が変更されます。

ACC0、ACC1 への書き込みには、「MVTACGU 命令」、「MVTACHI 命令」と「MVTACLO 命令」を使用します。「MVTACGU 命令」は (b95 ~ b64) に、「MVTACHI 命令」は上位側 32 ビット (b63 ~ b32) に、「MVTACLO 命令」は下位側 32 ビット (b31 ~ b0) にデータを転送します。

読み出しには、「MVFACGU 命令」、「MVFACHI 命令」、「MVFACMI 命令」と「MVFACLO 命令」を使用します。

「MVFACGU 命令」でガードビット (b95 ~ b64)、「MVFACHI 命令」で上位側 32 ビット (b63 ~ b32)、「MVFACMI 命令」で中央の 32 ビット (b47 ~ b16)、「MVFACLO 命令」で下位側 32 ビット (b31 ~ b0) のデータをそれぞれ読み出します。



注. b95 ~ b72 は、b71 の値を符号拡張した値が読み出されます。この部分への書き込みは無視されます。

2.3 プロセッサモード

RXv2 CPUには、スーパーバイザモード、およびユーザモードの2つのプロセッサモードがあります。これらのプロセッサモードとメモリプロテクション機能を使用して、CPUリソースやメモリに対する階層的な保護機構を実現することができます。各プロセッサモードには、メモリアクセスや実行可能な命令に対する権限を規定しており、スーパーバイザモードはユーザモードより高い権限を持っています。リセット後は、スーパーバイザモードで動作します。

2.3.1 スーパーバイザモード

スーパーバイザモードでは、すべてのCPUリソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC命令によるプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) への書き込みは無視されます。PMビットへの書き込み方法については、「2.2.2.5 プロセッサステータスワード (PSW)」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部のCPUリソースへのライトアクセスが制限されます。ライトアクセスが制限されるCPUリソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード (PSW) の一部のビット (IPL[3:0], PM, U, I)
- 割り込みスタックポインタ (ISP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- バックアップ PSW (BPSW)
- バックアップ PC (BPC)
- 高速割り込みベクタレジスタ (FINTV)

2.3.3 特権命令

特権命令は、スーパーバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、MVTIPL、RTE、WAIT命令があります。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) によって切り替えられます。ただし、MVTC、POPC命令によるPMビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパーバイザモードへの移行

例外が発生するとPSW.PMビットが“0”になり、CPUはスーパーバイザモードへ移行します。ハードウェア前処理は、スーパーバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避されたPSW.PMビットに保持されます。

(2) スーパーバイザモードからユーザモードへの移行

スタック上に退避されているPSW.PMビットを“1”にした後RTE命令を実行する、あるいはバックアップPSW (BPSW) に退避されているPSW.PMビットを“1”にした後RTFI命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSWのスタックポインタ指定ビット (U) が“1”になります。

2.4 データタイプ

RXv2 CPU は、整数、浮動小数点数、ビット、ストリングの4種類のデータを扱うことができます。

詳細は「RXファミリ RXv2 命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編」を参照してください。

2.4.1 整数

整数には、符号付きと、符号なしがあります。符号付き整数の負の値は、2の補数で表現します。

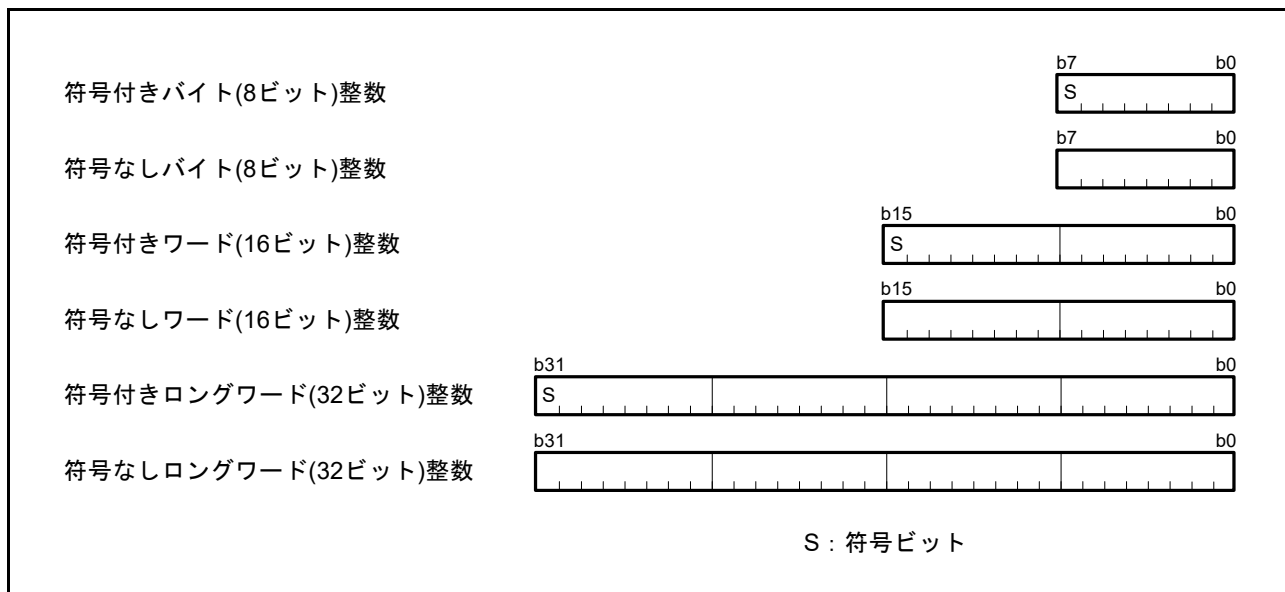


図 2.2 整数

2.4.2 浮動小数点数

浮動小数点数は、IEEE754 規格で規定されている単精度浮動小数点数に準拠しています。浮動小数点数は、浮動小数点演算命令 FADD、FCMP、FDIV、FMUL、FSQRT、FSUB、FTOI、FTOU、ITOF、ROUND、UTOF の 11 種類の命令で使用できます。

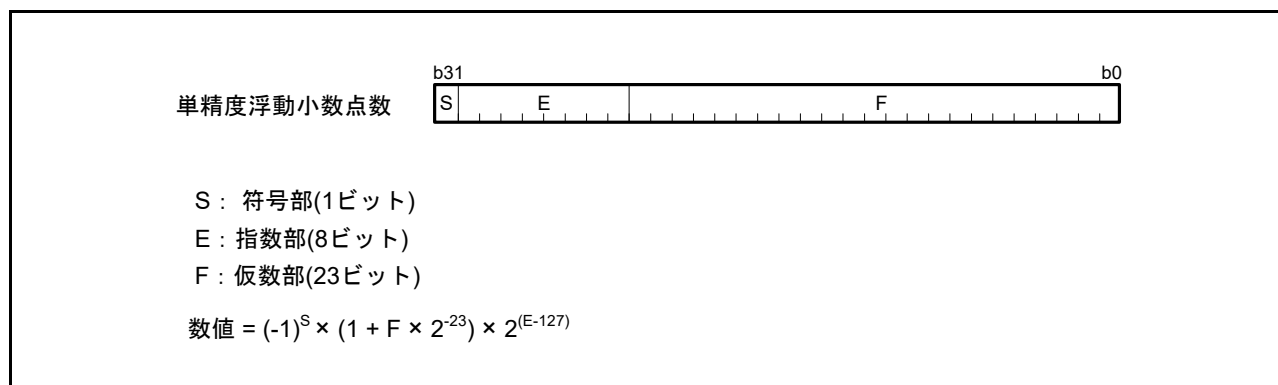


図 2.3 浮動小数点数

浮動小数点数は、以下の数値に対応しています。

$0 < E < 255$ (正規化数 - Normal Numbers)

$E = 0$ かつ $F = 0$ (ゼロ - Signed Zero)

$E = 0$ かつ $F > 0$ (非正規化数 - Subnormal Numbers)(注 1)

$E = 255$ かつ $F = 0$ (無限大 - Infinity)

$E = 255$ かつ $F > 0$ (非数 - NaN : Not a Number)

注 1. FPSW.DN ビットが“1”のときは、0として扱います。DN ビットが“0”のときは、非実装処理が発生します。

2.4.3 ビット

ビットは、ビット操作命令 BCLR、BMCnd、BNOT、BSET、BTST の 5 種類の命令で使用できます。

レジスタのビットは、対象とするレジスタと、31 ~ 0 のビット番号で指定します。

メモリのビットは、対象とするアドレスと、7 ~ 0 のビット番号で指定します。アドレス指定に使用できるアドレッシングモードは、レジスタ間接、レジスタ相対の 2 種類です。

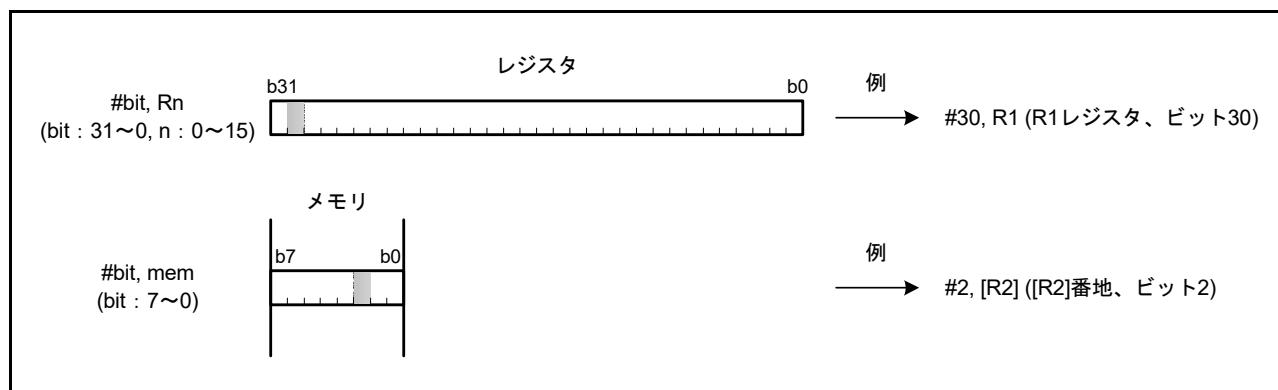


図 2.4 ビット

2.4.4 スtring

Stringとは、バイト(8ビット)、ワード(16ビット)、またはロングワード(32ビット)のデータを任意の数だけ連続して並べたデータタイプです。Stringは、String操作命令 SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE の7種類の命令で使用できます

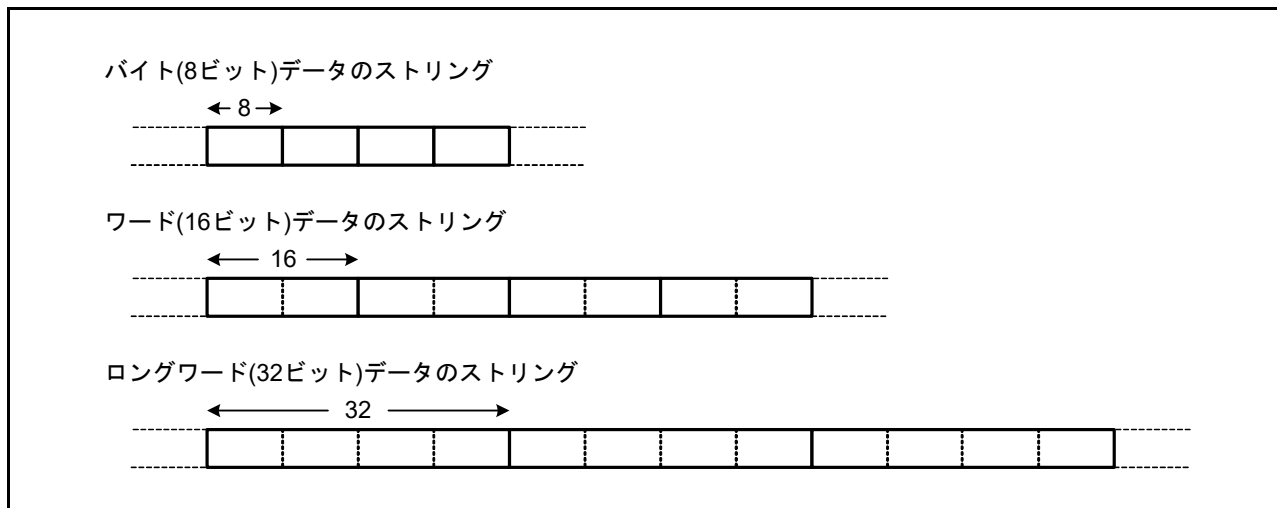


図 2.5 String

2.5 エンディアン

RXv2 CPU の命令は、リトルエンディアン固定です。

データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1 エンディアンの設定

本 MCU では、バイトデータの並び方を、上位バイト (MSB) が 0 番地になるビッグエンディアン、下位バイト (LSB) が 0 番地になるリトルエンディアンのいずれも使用できます。

エンディアンの設定については、「3. 動作モード」を参照してください。

命令によって 8/16/32 ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表 2.1 ~ 表 2.12 に示します。

表中の

LL は、汎用レジスタの D7 ~ D0

LH は、汎用レジスタの D15 ~ D8

HL は、汎用レジスタの D23 ~ D16

HH は、汎用レジスタの D31 ~ D24 を示します。

	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0
汎用レジスタ Rm	HH	HL	LH	LL

表 2.1 リトルエンディアン設定時の 32 ビットリード動作

動作 src 番地	0 番地を 32 ビットで リード	1 番地を 32 ビットで リード	2 番地を 32 ビットで リード	3 番地を 32 ビットで リード	4 番地を 32 ビットで リード
0 番地	LL に転送	—	—	—	—
1 番地	LH に転送	LL に転送	—	—	—
2 番地	HL に転送	LH に転送	LL に転送	—	—
3 番地	HH に転送	HL に転送	LH に転送	LL に転送	—
4 番地	—	HH に転送	HL に転送	LH に転送	LL に転送
5 番地	—	—	HH に転送	HL に転送	LH に転送
6 番地	—	—	—	HH に転送	HL に転送
7 番地	—	—	—	—	HH に転送

表 2.2 ビッグエンディアン設定時の 32 ビットリード動作

動作 src 番地	0 番地を 32 ビットで リード	1 番地を 32 ビットで リード	2 番地を 32 ビットで リード	3 番地を 32 ビットで リード	4 番地を 32 ビットで リード
0 番地	HH に転送	—	—	—	—
1 番地	HL に転送	HH に転送	—	—	—
2 番地	LH に転送	HL に転送	HH に転送	—	—
3 番地	LL に転送	LH に転送	HL に転送	HH に転送	—
4 番地	—	LL に転送	LH に転送	HL に転送	HH に転送
5 番地	—	—	LL に転送	LH に転送	HL に転送
6 番地	—	—	—	LL に転送	LH に転送
7 番地	—	—	—	—	LL に転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	LLを転送	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—
2番地	HLを転送	LHを転送	LLを転送	—	—
3番地	HHを転送	HLを転送	LHを転送	LLを転送	—
4番地	—	HHを転送	HLを転送	LHを転送	LLを転送
5番地	—	—	HHを転送	HLを転送	LHを転送
6番地	—	—	—	HHを転送	HLを転送
7番地	—	—	—	—	HHを転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	HHを転送	—	—	—	—
1番地	HLを転送	HHを転送	—	—	—
2番地	LHを転送	HLを転送	HHを転送	—	—
3番地	LLを転送	LHを転送	HLを転送	HHを転送	—
4番地	—	LLを転送	LHを転送	HLを転送	HHを転送
5番地	—	—	LLを転送	LHを転送	HLを転送
6番地	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	LLを転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.10 ビッグエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.11 リトルエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

表2.12 ビッグエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

2.5.2 I/O レジスタアクセス

I/O レジスタはビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがってI/O レジスタへのアクセスは、エンディアン変更の影響を受けません。I/O レジスタの配置については、各章のレジスタの説明を参照してください。

2.5.3 I/O レジスタアクセスの注意事項

I/O レジスタは、以下の規則に従ってアクセスしてください。

- 8ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Bであるか、サイズ拡張指定子(.memex)が.Bまたは.UBである命令を使用してアクセスしてください。
- 16ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Wであるか、サイズ拡張指定子(.memex)が.Wまたは.UWである命令を使用してアクセスしてください。
- 32ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Lであるか、サイズ拡張指定子(.memex)が.Lである命令を使用してアクセスしてください。

2.5.4 データ配置

2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を図 2.6 に示します。

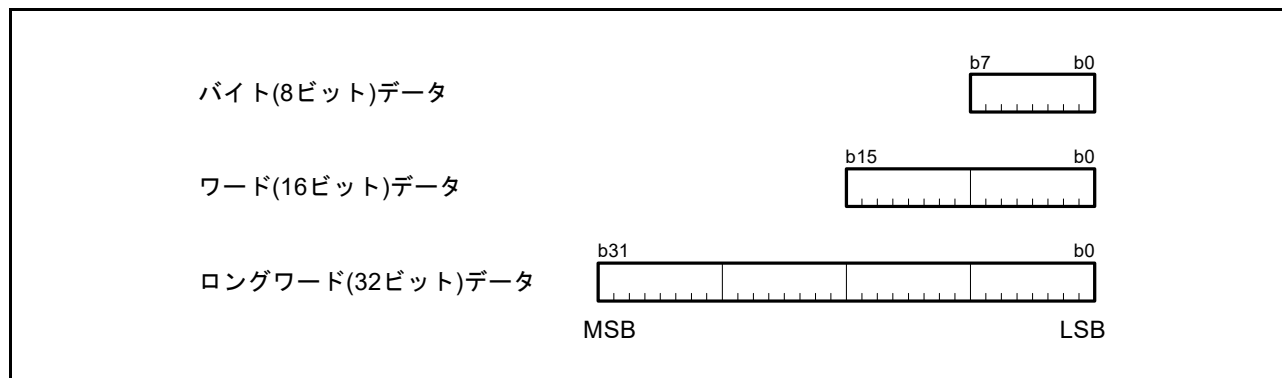


図 2.6 レジスタのデータ配置

2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット) の 3 種類です。データ配置は、リトルエンディアンか、ビッグエンディアンかを選択することができます。メモリ上のデータ配置を図 2.7 に示します。

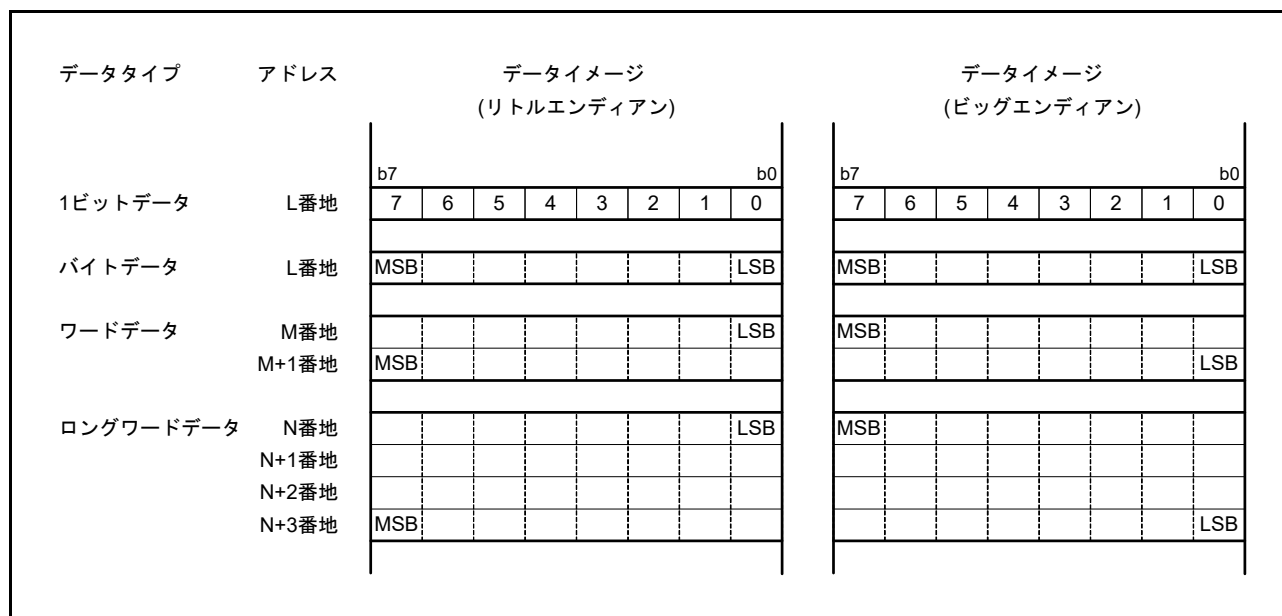


図 2.7 メモリ上のデータ配置

2.5.5 命令コード配置の注意事項

外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.6 ベクタテーブル

ベクタテーブルには、例外ベクタテーブルと割り込みベクタテーブルがあります。ベクタテーブルは、1ベクタあたり4バイトで構成されており、各ベクタに対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 例外ベクタテーブル

例外ベクタテーブルは、例外テーブルレジスタ (EXTB) の内容で示された値を先頭アドレス (ExtBase) とする 124 バイトの領域に、特権命令例外、アクセス例外、未定義命令例外、浮動小数点例外、ノンマスカブル割り込みの各ベクタを配置しています。リセットのベクタは例外ベクタテーブルの値に関係なく常に FFFFFFFCh 番地に配置されます。図 2.8 に例外ベクタテーブルを示します。

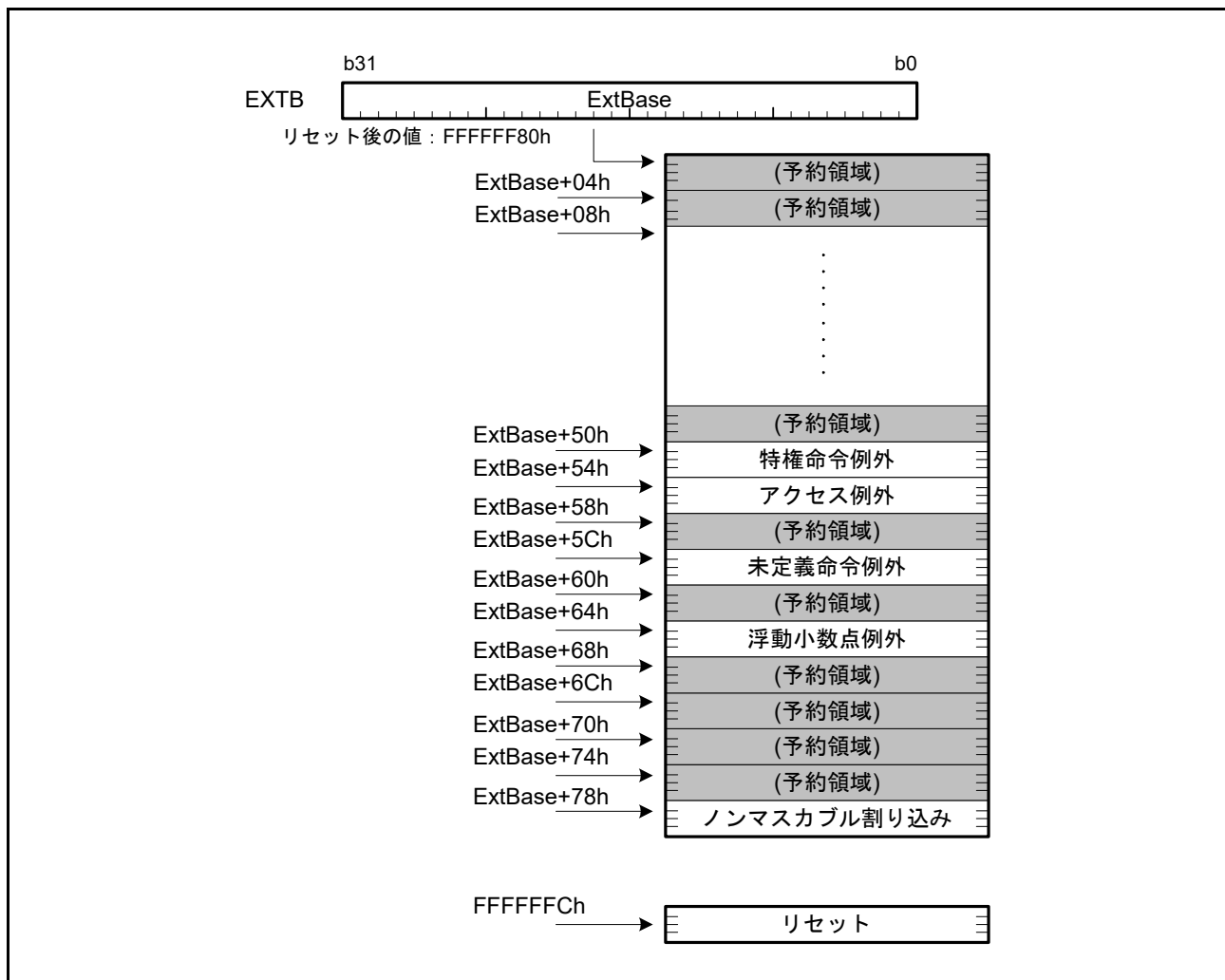


図 2.8 例外ベクタテーブル

2.6.2 割り込みベクタテーブル

割り込みベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ (INTB) の内容で示された値を先頭アドレス (IntBase) とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。図 2.9 に割り込みベクタテーブルを示します。

割り込みベクタテーブルには、ベクタごとに番号 (0 ~ 255) が付けられています。無条件トラップ発生要因の INT 命令ではオペランドで指定した番号 (0 ~ 255) に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。また、割り込み要因では、製品ごとに決められたベクタ番号 (0 ~ 255) が割り当てられています。割り込みのベクタ番号については、「14.3.1 割り込みのベクタテーブル」を参照してください。

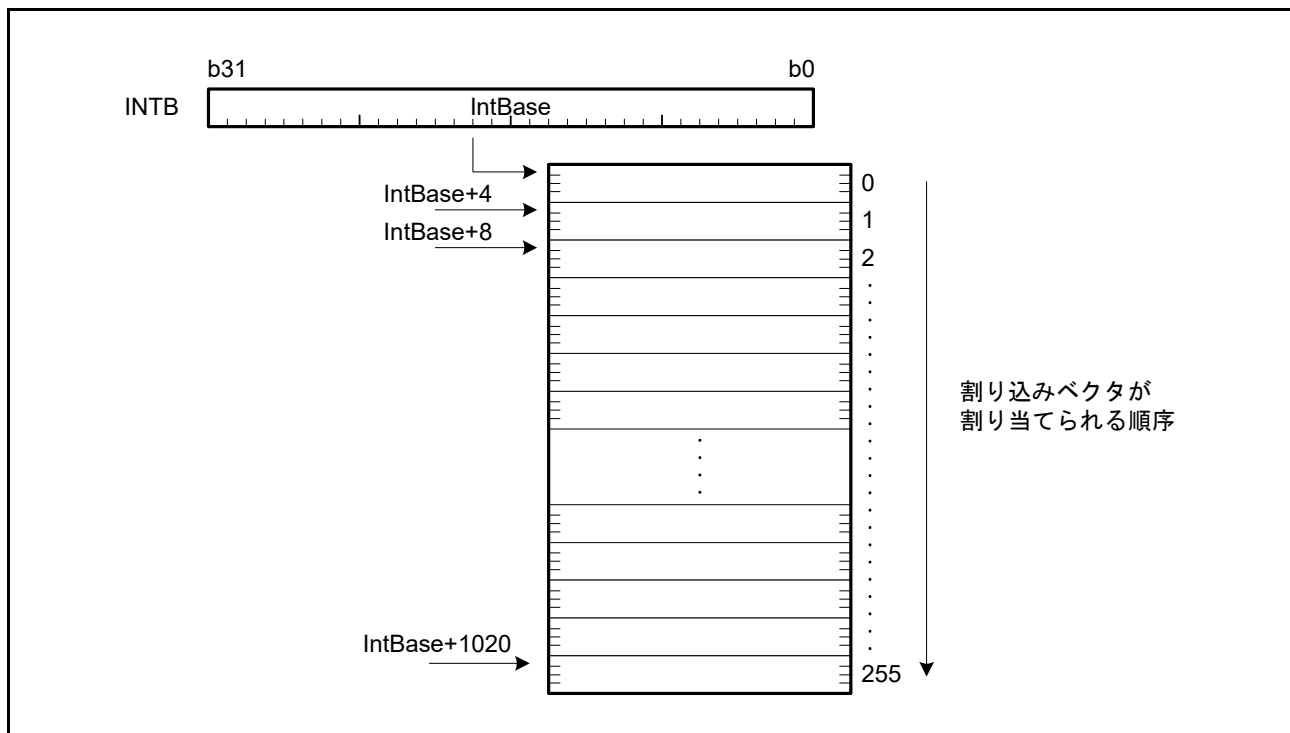


図 2.9 割り込みベクタテーブル

2.7 命令動作

2.7.1 RMPA 命令、ストリング操作命令に関する制約事項

2.7.1.1 転送サイズとデータプリフェッチ

RMPA 命令、およびストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) は、メモリからのデータ読み出し、およびメモリへのデータ書き込みを高速に処理するため、ロングワード単位でデータ転送を行います。最後にロングワード未満のデータ処理が残った場合、以下のサイズでデータ転送を行います。

- RMPA、SSTR、SUNTIL、SWHILE 命令：サイズ指定子で指定したサイズ
- SCMPU、SMOVB、SMOVF、SMOVU 命令：バイト

また、上記の処理を行うため、RMPA 命令、および SSTR 命令を除くストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SUNTIL, SWHILE) は、メモリからのデータ読み出しにおいて、データプリフェッチを行います。データ読み出し位置に対して、最大で3バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令：R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令：R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL、SWHILE 命令：R1 で指定される比較先番地
- SMOVB、SMOVF、SMOVU 命令：R2 で指定される転送元番地

2.7.1.2 I/O レジスタへのアクセス

RMPA 命令、ストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) の操作対象データを I/O レジスタに配置することは禁止しており、その動作は保証していません。

2.8 サイクル数

2.8.1 命令とサイクル数

表 2.13 ～表 2.20 に各命令実行のサイクル数を示します。メモリアクセスを行う命令のサイクル数は、ノーウェイトメモリアクセス時のサイクル数です。また、表中のオペランド表記は、以下に従います。

#IMM : 即値

flag : ビット、フラグ

Rs, Rs2, Rd, Rd2, Ri, Rb : 汎用レジスタ

As, Ad : アキュムレータ

CR : 制御レジスタ

dsp : ディスプレースメント

pcdsp : ディスプレースメント

表 2.13 算術/論理演算命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
算術/論理演算命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> • {ABS, NEG, NOT} "Rd"/"Rs, Rd" • {ADC, MAX, MIN, ROTL, ROTR, XOR} "#IMM, Rd"/"Rs, Rd" • ADD "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd"/"Rs, Rs2, Rd" • {AND, MUL, OR, SUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd" • {CMP, TST} "#IMM, Rs"/"Rs, Rs2" • NOP • {ROLC, RORC, SAT} "Rd" • SBB "Rs, Rd" • {SHAR, SHLL, SHLR} "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd" 	1
	• DIV "#IMM, Rd"/"Rs, Rd"	3 ~ 20(注1)
	• DIVU "#IMM, Rd"/"Rs, Rd"	2 ~ 18(注1)
	• {EMUL, EMULU} "#IMM, Rd"/"Rs, Rd"	2
	• SATR	3
	算術/論理演算命令 (メモリソースオペランド)	<ul style="list-style-type: none"> • {ADC, ADD, AND, MAX, MIN, MUL, OR, SBB, SUB, XOR} "[Rs], Rd"/"dsp[Rs], Rd" • {CMP, TST} "[Rs], Rs2"/"dsp[Rs], Rs2"
• DIV "[Rs], Rd / dsp[Rs], Rd"		5 ~ 22
• DIVU "[Rs], Rd / dsp[Rs], Rd"		4 ~ 20
• {EMUL, EMULU} "[Rs], Rd"/"dsp[Rs], Rd"		4
• RMPA.B		6+7×floor(n/4)+4×(n%4) nは処理バイト数(注2)
• RMPA.W		6+5×floor(n/2)+4×(n%2) nは処理ワード数(注2)
• RMPA.L	6+4n nは処理ロングワード数(注2)	

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。

注2. floor(x) : x以下の最大の整数

表2.14 転送命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
転送命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> MOV "#IMM, Rd"/"Rs, Rd" {MOVU, REVL, REVW} "Rs, Rd" SCCnd "Rd" {STNZ, STZ} "#IMM, Rd"/"Rs, Rd" 	1
	<ul style="list-style-type: none"> XCHG "Rs, Rd" 	2
転送命令 (ロード動作)	<ul style="list-style-type: none"> {MOV, MOVU} "[Rs], Rd"/"dsp[Rs], Rd"/"[Rs+], Rd"/"[-Rs], Rd"/"[Ri, Rb], Rd" LDL "[Rs], Rd" POP "Rd" 	スループット : 1 レイテンシ : 2(注1)
	<ul style="list-style-type: none"> POPC "CR" 	スループット : 3 レイテンシ : 4(注1)
	<ul style="list-style-type: none"> POPM "Rd-Rd2" 	スループット : n レイテンシ : n+1 nはレジスタ数(注1、注2)
転送命令 (ストア動作)	<ul style="list-style-type: none"> MOV "Rs, [Rd]"/"Rs, dsp[Rd]"/"Rs, [Rd+]" / "Rs, [-Rd]"/"Rs, [Ri, Rb]"/"#IMM, dsp[Rd]"/"#IMM, [Rd]" PUSH "Rs" PUSHC "CR" SCCnd "[Rd]"/"dsp[Rd]" STC "Rs, [Rd]" 	1
	<ul style="list-style-type: none"> PUSHM "Rs-Rs2" 	n nはレジスタ数(注3)
転送命令 (メモリーレジスタの交換)	<ul style="list-style-type: none"> XCHG "[Rs], Rd"/"dsp[Rs], Rd" 	2
転送命令(メモリー間転送)	<ul style="list-style-type: none"> MOV "[Rs], [Rd]"/"dsp[Rs], [Rd]"/"[Rs], dsp[Rd]"/"dsp[Rs], dsp[Rd]" PUSH "[Rs]"/"dsp[Rs]" 	3

注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は「レイテンシ」として記載されているサイクル数を参照してください。それ以外は「スループット」として記載されているサイクル数を参照してください。

注2. POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じ処理です。

注3. PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じ処理です。

表2.15 ビット操作命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
ビット操作命令(レジスタ)	<ul style="list-style-type: none"> {BCLR, BNOT, BSET} "#IMM, Rd"/"Rs, Rd" BMCnd "#IMM, Rd" BTST "#IMM, Rs"/"Rs, Rs2" 	1
ビット操作命令 (メモリスソースオペランド)	<ul style="list-style-type: none"> {BCLR, BNOT, BSET} "#IMM, [Rd]"/"#IMM, dsp[Rd]"/"Rs, [Rd]"/"Rs, dsp[Rd]" BMCnd "#IMM, [Rd]"/"#IMM, dsp[Rd]" BTST "#IMM, [Rs]"/"#IMM, dsp[Rs]"/"Rs, [Rs2]"/"Rs, dsp[Rs2]" 	3

表 2.16 分岐命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
分岐命令	<ul style="list-style-type: none"> • BCnd "pcdsp" • {BRA, BSR} "pcdsp"/"Rs" • {JMP, JSR} "Rs" 	分岐成立 : 3 分岐不成立 : 1
	• RTE	6
	• RTFI	3
	• RTS	5
	• RTSD "#IMM"	5
	• RTSD "#IMM, Rd-Rd2"	スループット : $n < 5? 5: 1+n$ レイテンシ : $n < 4? 5: 2+n$ nはレジスタ数(注1)

?: 条件演算子

注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スループット”として記載されているサイクル数を参照してください。

表 2.17 浮動小数点演算命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
浮動小数点演算命令 (レジスタ間、即値-レジスタ)	• {FADD, FSUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd"	2
	• FCMP "#IMM, Rs"/"Rs, Rs2"	1
	• FDIV "#IMM, Rd"/"Rs, Rd"	16
	• FMUL "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd"	2
	• FSQRT "Rs, Rd"	16
	• {FTOI, ROUND, ITOF} "Rs, Rd"	2
	• {FTOU, UTOF} "Rs, Rd"	2
浮動小数点演算命令 (メモリスソースオペランド)	• {FADD, FSUB} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• FCMP "[Rs], Rs2"/"dsp[Rs], Rs2"	3
	• FDIV "[Rs], Rd"/"dsp[Rs], Rd"	18
	• FMUL "[Rs], Rd"/"dsp[Rs], Rd"	4
	• FSQRT "[Rs], Rd"/"dsp[Rs], Rd"	18
	• {FTOI, ROUND, ITOF} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• {FTOU, UTOF} "[Rs], Rd"/"dsp[Rs], Rd"	4

表 2.18 DSP機能命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
DSP機能命令	<ul style="list-style-type: none"> • {EMULA, EMACA, EMSBA, MULLH, MULHI, MULLO, MACLH, MACHI, MACLO, MSBLH, MSBHI, MSBLO} "Rs, Rs2, Ad" • {MVFACHI, MVFACMI, MVFACLO, MVFACGU} "#IMM, As, Rd" • {MVTACHI, MVTACLO, MVTACGU} "As, Rd" • {RDACW, RDA CL, RACW, RA CL} "#IMM, Ad" 	1

表2.19 スtring操作命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
String操作命令(注1)	• SCMPU	$2+4 \times \text{floor}(n/4)+4 \times (n\%4)$ nは比較バイト数(注2)
	• SMOVB	$n > 3 ? 6 + 3 \times \text{floor}(n/4) + 3 \times (n\%4) : 2 + 3n$ nは転送バイト数(注2)
	• SMOVF, SMOVU	$2 + 3 \times \text{floor}(n/4) + 3 \times (n\%4)$ nは転送バイト数(注2)
	• SSTR.B	$2 + \text{floor}(n/4) + n\%4$ nは転送バイト数(注2)
	• SSTR.W	$2 + \text{floor}(n/2) + n\%2$ nは転送ワード数(注2)
	• SSTR.L	$2 + n$ nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	$3 + 3 \times \text{floor}(n/4) + 3 \times (n\%4)$ nは比較バイト数(注2)
	• SUNTIL.W, SWHILE.W	$3 + 3 \times \text{floor}(n/2) + 3 \times (n\%2)$ nは比較ワード数(注2)
	• SUNTIL.L, SWHILE.L	$3 + 3 \times n$ nは比較ロングワード数

?: 条件演算子

注1. SCMPU、SMOVU、SWHILE、SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。

注2. floor(x) : x以下の最大の整数

表2.20 システム操作命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
システム操作命令	• {CLRPSW, SETPSW}“flag” • MVTC “#IMM, CR”/“Rs, CR” • MVFC “CR, Rd” • MVTIPL “#IMM”	1
	• RTE	6
	• RTFI	3

2.8.2 割り込み応答サイクル数

表 2.21 に割り込み応答処理のサイクル数を示します。

表2.21 割り込み応答サイクル数

割り込み要求の種類/処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受け付けまでのサイクル数	Nサイクル (実行している命令によって異なる)	
CPU ハードウェア前処理 PC、PSWのRAMへの退避 (高速割り込みは、制御レジスタへ退避) ベクタの読み出し 例外処理ルーチンへ分岐	4サイクル	6サイクル

表 2.21 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。本 MCU は、ノーウェイトアクセス可能なコードフラッシュメモリ、RAM を搭載しています。プログラム(含むベクタ)はコードフラッシュメモリ、スタック領域は RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受け付けまでのサイクル数 N は、表 2.13 ~ 表 2.20 を参照してください。

割り込み受け付けタイミングは命令の実行状態に依存します。割り込み受け付けタイミングについては、「13.3.1 受け付けタイミングと退避される PC 値」を参照してください。

3. 動作モード

3.1 動作モードの種類と選択

動作モードには、リセット解除時の端子のレベルによって選択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

リセット解除時のモード設定端子 (MD) のレベルと、そのとき選択される動作モードの関係を表 3.1 に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。

表3.1 モード設定端子による動作モードの選択

モード設定端子 MD(注1)	動作モード
Low	ブートモード(SCIインタフェース)
High	シングルチップモード

注1. MCU動作中にMD端子を変化させないください。

シングルチップモードでは、エンディアンを選択することができます。エンディアンの設定は、オプション設定メモリのMDE.MDE[2:0]ビットで設定します。設定値は表 3.2 を参照してください。

表3.2 エンディアンの選択

MDE.MDE[2:0]ビットの設定値	選択されるエンディアン
000b	ビッグエンディアン
111b	リトルエンディアン

3.2 レジスタの説明

3.2.1 モードモニタレジスタ (MDMONR)

アドレス 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
リセット後の値	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0/1

(注1)

ビット	シンボル	ビット名	説明	R/W
b0	MD	MD端子ステータスフラグ	0: MD端子は“Low” 1: MD端子は“High”	R
b7-b1	—	予約ビット	読むと“0”が読めます	R
b8	—	予約ビット	読んだ場合、その値は不定です	R
b15-b9	—	予約ビット	読むと“0”が読めます	R

注1. リセット解除時のMD端子のレベルが反映されます。

3.2.2 システムコントロールレジスタ 1 (SYSCR1)

アドレス 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	説明	R/W
b0	RAME	RAM有効ビット	0: RAM無効 1: RAM有効	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

RAME ビット (RAM 有効ビット)

RAMの有効/無効を選択するビットです。

RAMをアクセスしているときは、“0”にしないでください。また、RAMEビットを“0”から“1”に書き換えた後は、RAMEビットが“1”になったことを確認してからRAMをアクセスするようにしてください。

3.3 動作モードの説明

3.3.1 シングルチップモード

シングルチップモードは、すべての I/O ポートを汎用入出力ポート、周辺機能入出力、または割り込み入力端子として使用できるモードです。

MD 端子を High にしてリセットを解除すると、シングルチップモードで起動します。

3.3.2 ブートモード

MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。調歩同期式シリアルインタフェース (SCI1) を使用して、MCU 外部から内蔵 ROM (ROM、E2 データフラッシュ) を書き換えることができます。詳細は、「36. フラッシュメモリ」を参照してください。

MD 端子を Low にしてリセットを解除すると、ブートモードで起動します。

3.3.2.1 ブートモード (SCI インタフェース)

MD 端子を Low にしてリセットを解除すると、ブートモード (SCI インタフェース) で起動します。ブートモード (SCI インタフェース) については、「36.8.1 ブートモード (SCI インタフェース)」を参照してください。

3.4 動作モード遷移

3.4.1 モード設定端子による動作モード遷移

MD 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。

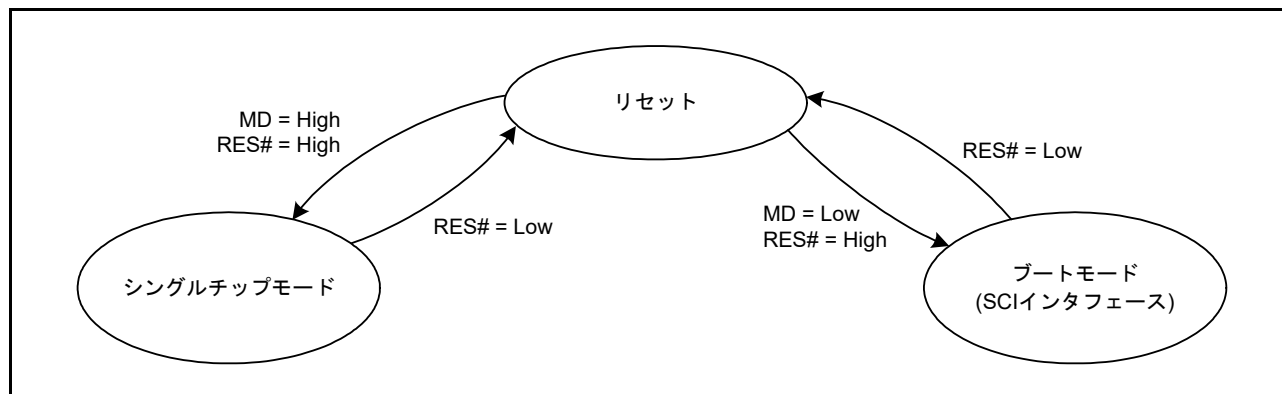


図 3.1 モード設定端子のレベルと動作モード

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 4.1 にメモリマップを示します。

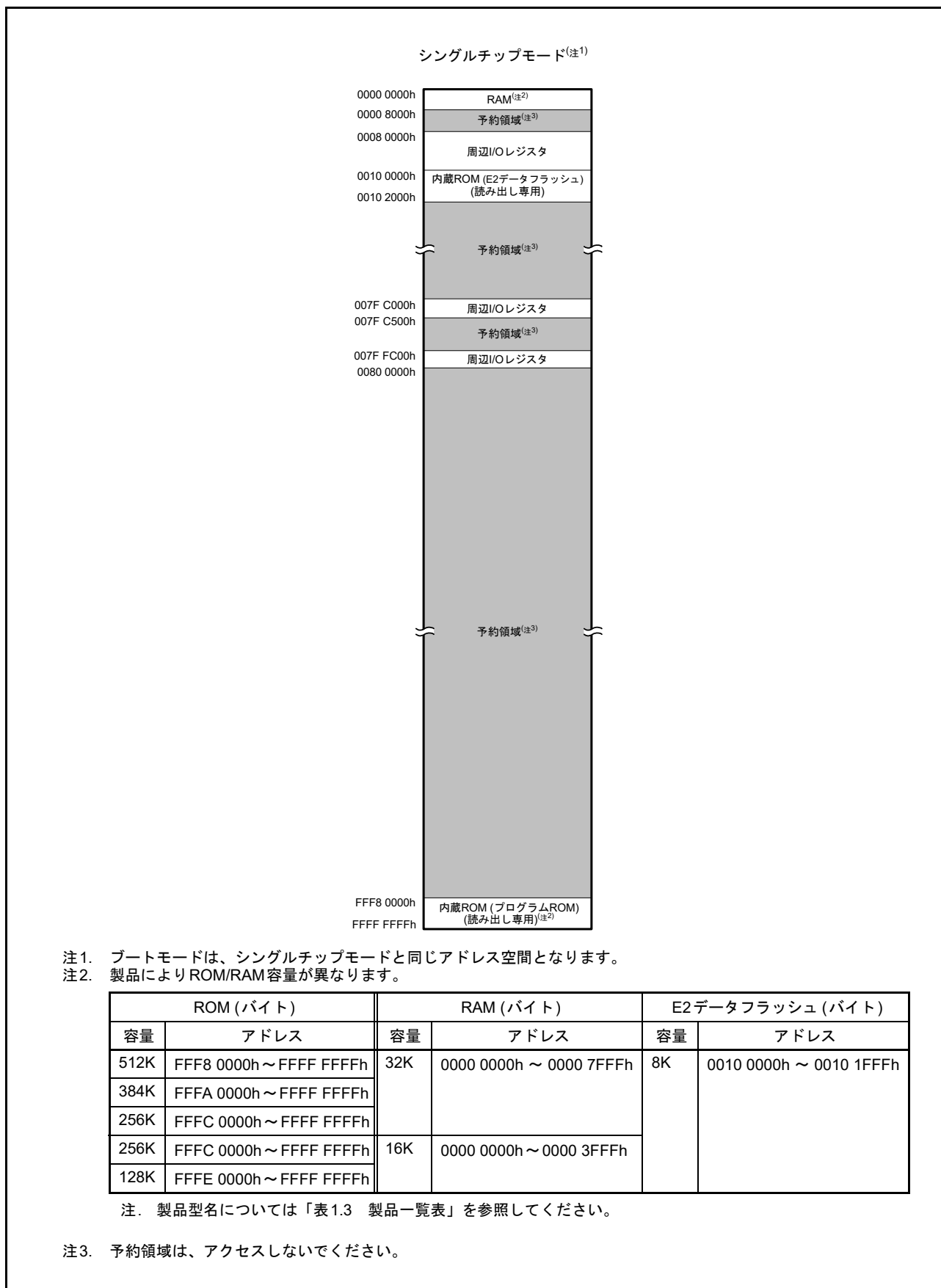


図 4.1 各動作モードのメモリマップ

5. I/Oレジスタ

I/Oレジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/Oレジスタアドレス一覧(アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部I/Oレジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/Oレジスタ書き込み時の注意事項

CPUがI/Oレジスタに書き込む際、CPUは書き込み完了を待たずに後続の命令を実行します。そのため、I/Oレジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/Oレジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット(ICU.IERn.IENjビット)のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いてWAIT命令を実行する場合

このような場合には、I/Oレジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/Oレジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/Oレジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```


- I/Oレジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行ったI/Oレジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/Oレジスタアクセスサイクル数

I/Oレジスタアクセスサイクル数は、「表 5.1 I/Oレジスタアドレス一覧」を参照してください。

I/Oレジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\text{I/Oレジスタアクセスサイクル数} = \text{内部メインバス1のバスサイクル数} + \\ \text{分周クロック同期化サイクル数} + \\ \text{内部周辺バス1～6のバスサイクル数}$$

内部周辺バス1～6のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス2～6に接続されている周辺機能へアクセスする場合には、分周クロック同期化サイクル数が追加されます。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ (または FCLK) の周波数関係の場合、内部メインバス1のバスサイクル数と分周クロック同期化サイクル数を合わせると、 PCLK (または FCLK) で最大1サイクルとなるため、表 5.1 では 1PCLK (または FCLK) の幅を持たせて記載しています。

注1. CPUからのレジスタアクセスが、異なるバスマスタ(DTC)のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) RMPA命令、ストリング操作命令に関する制約事項

RMPA命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

(5) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ(「表 5.1 I/Oレジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ)への書き込みは禁止です。

5.1 I/Oレジスタアドレス一覧(アドレス順)

表5.1 I/Oレジスタアドレス一覧(1/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK	3章
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK	3章
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK	11章
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK	11章
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK	11章
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK	11章
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK	9章
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK	9章
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK	9章
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK	9章
0008 0031h	SYSTEM	メモリウェイトサイクル設定レジスタ	MEMWAIT	8	8	3ICLK	9章
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK	9章
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK	9章
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK	9章
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK	9章
0008 0037h	SYSTEM	高速オンチップオシレータコントロールレジスタ2	HOCOCR2	8	8	3ICLK	9章
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3ICLK	9章
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK	9章
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK	9章
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK	11章
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK	9章
0008 00A5h	SYSTEM	高速オンチップオシレータウェイトコントロールレジスタ	HOCOWTCR	8	8	3ICLK	9章
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK	6章
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK	6章
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK	8章
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK	8章
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK	8章
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK	8章
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK	12章
0008 1000h	FLASH	ROMキャッシュ許可レジスタ	ROMCE	16	16	3ICLK	36章
0008 1004h	FLASH	ROMキャッシュ無効化レジスタ	ROMCIV	16	16	3ICLK	36章
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK	15章
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK	15章
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK	15章
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK	15章
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK	15章
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK	17章
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK	17章
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK	17章
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK	17章
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK	17章
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK	16章
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK	16章
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK	16章
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK	16章
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK	16章
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK	16章
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK	16章

表5.1 I/Oレジスタアドレス一覧 (2/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK	16章
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK	16章
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK	16章
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK	16章
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK	16章
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK	16章
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK	16章
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK	16章
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK	16章
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK	16章
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK	16章
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK	16章
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK	16章
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK	16章
0008 6520h	MPU	領域サーチャドレスレジスタ	MPSA	32	32	1ICLK	16章
0008 6524h	MPU	領域サーチャオペレーションレジスタ	MPOPS	16	16	1ICLK	16章
0008 6526h	MPU	領域インバリデートオペレーションレジスタ	MPOPI	16	16	1ICLK	16章
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK	16章
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK	16章
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK	14章
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK	14章
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK	14章
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK	14章
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK	14章
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK	14章
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK	14章
0008 7020h	ICU	割り込み要求レジスタ 032	IR032	8	8	2ICLK	14章
0008 7021h	ICU	割り込み要求レジスタ 033	IR033	8	8	2ICLK	14章
0008 7022h	ICU	割り込み要求レジスタ 034	IR034	8	8	2ICLK	14章
0008 7028h	ICU	割り込み要求レジスタ 040(注2)	IR040	8	8	2ICLK	14章
0008 7029h	ICU	割り込み要求レジスタ 041(注2)	IR041	8	8	2ICLK	14章
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK	14章
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK	14章
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK	14章
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK	14章
0008 7030h	ICU	割り込み要求レジスタ 048(注2)	IR048	8	8	2ICLK	14章
0008 7031h	ICU	割り込み要求レジスタ 049(注2)	IR049	8	8	2ICLK	14章
0008 7032h	ICU	割り込み要求レジスタ 050(注2)	IR050	8	8	2ICLK	14章
0008 7033h	ICU	割り込み要求レジスタ 051(注2)	IR051	8	8	2ICLK	14章
0008 7034h	ICU	割り込み要求レジスタ 052(注2)	IR052	8	8	2ICLK	14章
0008 7035h	ICU	割り込み要求レジスタ 053(注2)	IR053	8	8	2ICLK	14章
0008 7036h	ICU	割り込み要求レジスタ 054(注2)	IR054	8	8	2ICLK	14章
0008 7037h	ICU	割り込み要求レジスタ 055(注2)	IR055	8	8	2ICLK	14章
0008 7038h	ICU	割り込み要求レジスタ 056(注2)	IR056	8	8	2ICLK	14章
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK	14章
0008 703Bh	ICU	割り込み要求レジスタ 059(注2)	IR059	8	8	2ICLK	14章
0008 703Ch	ICU	割り込み要求レジスタ 060(注2)	IR060	8	8	2ICLK	14章
0008 703Dh	ICU	割り込み要求レジスタ 061(注2)	IR061	8	8	2ICLK	14章
0008 703Eh	ICU	割り込み要求レジスタ 062(注2)	IR062	8	8	2ICLK	14章
0008 703Fh	ICU	割り込み要求レジスタ 063(注2)	IR063	8	8	2ICLK	14章
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧 (3/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK \geq PCLKの場合	
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK	14章
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK	14章
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK	14章
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK	14章
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK	14章
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK	14章
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK	14章
0008 7058h	ICU	割り込み要求レジスタ 088	IR088	8	8	2ICLK	14章
0008 7059h	ICU	割り込み要求レジスタ 089	IR089	8	8	2ICLK	14章
0008 7062h	ICU	割り込み要求レジスタ 098(注2)	IR098	8	8	2ICLK	14章
0008 7063h	ICU	割り込み要求レジスタ 099(注2)	IR099	8	8	2ICLK	14章
0008 7064h	ICU	割り込み要求レジスタ 100(注2)	IR100	8	8	2ICLK	14章
0008 7065h	ICU	割り込み要求レジスタ 101(注2)	IR101	8	8	2ICLK	14章
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK	14章
0008 7067h	ICU	割り込み要求レジスタ 103	IR103	8	8	2ICLK	14章
0008 7068h	ICU	割り込み要求レジスタ 104	IR104	8	8	2ICLK	14章
0008 7069h	ICU	割り込み要求レジスタ 105	IR105	8	8	2ICLK	14章
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2ICLK	14章
0008 706Bh	ICU	割り込み要求レジスタ 107	IR107	8	8	2ICLK	14章
0008 706Ch	ICU	割り込み要求レジスタ 108	IR108	8	8	2ICLK	14章
0008 706Dh	ICU	割り込み要求レジスタ 109	IR109	8	8	2ICLK	14章
0008 706Eh	ICU	割り込み要求レジスタ 110	IR110	8	8	2ICLK	14章
0008 706Fh	ICU	割り込み要求レジスタ 111	IR111	8	8	2ICLK	14章
0008 7070h	ICU	割り込み要求レジスタ 112	IR112	8	8	2ICLK	14章
0008 7071h	ICU	割り込み要求レジスタ 113	IR113	8	8	2ICLK	14章
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK	14章
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK	14章
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK	14章
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK	14章
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK	14章
0008 7077h	ICU	割り込み要求レジスタ 119	IR119	8	8	2ICLK	14章
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK	14章
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK	14章
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK	14章
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK	14章
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK	14章
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK	14章
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK	14章
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK	14章
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK	14章
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK	14章
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK	14章
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK	14章
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK	14章
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK	14章
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK	14章
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK	14章
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK	14章
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK	14章
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK	14章
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧 (4/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK	14章
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK	14章
0008 708Eh	ICU	割り込み要求レジスタ 142	IR142	8	8	2ICLK	14章
0008 708Fh	ICU	割り込み要求レジスタ 143	IR143	8	8	2ICLK	14章
0008 7090h	ICU	割り込み要求レジスタ 144	IR144	8	8	2ICLK	14章
0008 7091h	ICU	割り込み要求レジスタ 145	IR145	8	8	2ICLK	14章
0008 7092h	ICU	割り込み要求レジスタ 146	IR146	8	8	2ICLK	14章
0008 7095h	ICU	割り込み要求レジスタ 149	IR149	8	8	2ICLK	14章
0008 7096h	ICU	割り込み要求レジスタ 150	IR150	8	8	2ICLK	14章
0008 7097h	ICU	割り込み要求レジスタ 151	IR151	8	8	2ICLK	14章
0008 7098h	ICU	割り込み要求レジスタ 152	IR152	8	8	2ICLK	14章
0008 7099h	ICU	割り込み要求レジスタ 153	IR153	8	8	2ICLK	14章
0008 709Fh	ICU	割り込み要求レジスタ 159	IR159	8	8	2ICLK	14章
0008 70A0h	ICU	割り込み要求レジスタ 160	IR160	8	8	2ICLK	14章
0008 70A1h	ICU	割り込み要求レジスタ 161	IR161	8	8	2ICLK	14章
0008 70A2h	ICU	割り込み要求レジスタ 162	IR162	8	8	2ICLK	14章
0008 70A3h	ICU	割り込み要求レジスタ 163	IR163	8	8	2ICLK	14章
0008 70A4h	ICU	割り込み要求レジスタ 164	IR164	8	8	2ICLK	14章
0008 70A5h	ICU	割り込み要求レジスタ 165	IR165	8	8	2ICLK	14章
0008 70A8h	ICU	割り込み要求レジスタ 168	IR168	8	8	2ICLK	14章
0008 70A9h	ICU	割り込み要求レジスタ 169	IR169	8	8	2ICLK	14章
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK	14章
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK	14章
0008 70ACh	ICU	割り込み要求レジスタ 172	IR172	8	8	2ICLK	14章
0008 70ADh	ICU	割り込み要求レジスタ 173	IR173	8	8	2ICLK	14章
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK	14章
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK	14章
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK	14章
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK	14章
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK	14章
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK	14章
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK	14章
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK	14章
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK	14章
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK	14章
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK	14章
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2ICLK	14章
0008 70BAh	ICU	割り込み要求レジスタ 186	IR186	8	8	2ICLK	14章
0008 70BBh	ICU	割り込み要求レジスタ 187	IR187	8	8	2ICLK	14章
0008 70BCh	ICU	割り込み要求レジスタ 188	IR188	8	8	2ICLK	14章
0008 70BDh	ICU	割り込み要求レジスタ 189	IR189	8	8	2ICLK	14章
0008 70BEh	ICU	割り込み要求レジスタ 190	IR190	8	8	2ICLK	14章
0008 70BFh	ICU	割り込み要求レジスタ 191	IR191	8	8	2ICLK	14章
0008 70C0h	ICU	割り込み要求レジスタ 192	IR192	8	8	2ICLK	14章
0008 70C1h	ICU	割り込み要求レジスタ 193	IR193	8	8	2ICLK	14章
0008 70C2h	ICU	割り込み要求レジスタ 194	IR194	8	8	2ICLK	14章
0008 70C3h	ICU	割り込み要求レジスタ 195	IR195	8	8	2ICLK	14章
0008 70C4h	ICU	割り込み要求レジスタ 196	IR196	8	8	2ICLK	14章
0008 70C5h	ICU	割り込み要求レジスタ 197	IR197	8	8	2ICLK	14章
0008 70CAh	ICU	割り込み要求レジスタ 202(注2)	IR202	8	8	2ICLK	14章
0008 70CBh	ICU	割り込み要求レジスタ 203(注2)	IR203	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧 (5/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK \geq PCLKの場合	
0008 70CCh	ICU	割り込み要求レジスタ 204(注2)	IR204	8	8	2ICLK	14章
0008 70CDh	ICU	割り込み要求レジスタ 205(注2)	IR205	8	8	2ICLK	14章
0008 70CEh	ICU	割り込み要求レジスタ 206(注2)	IR206	8	8	2ICLK	14章
0008 70CFh	ICU	割り込み要求レジスタ 207(注2)	IR207	8	8	2ICLK	14章
0008 70D0h	ICU	割り込み要求レジスタ 208(注2)	IR208	8	8	2ICLK	14章
0008 70D1h	ICU	割り込み要求レジスタ 209(注2)	IR209	8	8	2ICLK	14章
0008 70D2h	ICU	割り込み要求レジスタ 210(注2)	IR210	8	8	2ICLK	14章
0008 70D3h	ICU	割り込み要求レジスタ 211(注2)	IR211	8	8	2ICLK	14章
0008 70D4h	ICU	割り込み要求レジスタ 212(注2)	IR212	8	8	2ICLK	14章
0008 70D5h	ICU	割り込み要求レジスタ 213(注2)	IR213	8	8	2ICLK	14章
0008 70D6h	ICU	割り込み要求レジスタ 214(注2)	IR214	8	8	2ICLK	14章
0008 70D7h	ICU	割り込み要求レジスタ 215(注2)	IR215	8	8	2ICLK	14章
0008 70D8h	ICU	割り込み要求レジスタ 216(注2)	IR216	8	8	2ICLK	14章
0008 70D9h	ICU	割り込み要求レジスタ 217(注2)	IR217	8	8	2ICLK	14章
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK	14章
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK	14章
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK	14章
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK	14章
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK	14章
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK	14章
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK	14章
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK	14章
0008 70E2h	ICU	割り込み要求レジスタ 226	IR226	8	8	2ICLK	14章
0008 70E3h	ICU	割り込み要求レジスタ 227	IR227	8	8	2ICLK	14章
0008 70E4h	ICU	割り込み要求レジスタ 228	IR228	8	8	2ICLK	14章
0008 70E5h	ICU	割り込み要求レジスタ 229	IR229	8	8	2ICLK	14章
0008 70EEh	ICU	割り込み要求レジスタ 238(注2)	IR238	8	8	2ICLK	14章
0008 70EFh	ICU	割り込み要求レジスタ 239(注2)	IR239	8	8	2ICLK	14章
0008 70F0h	ICU	割り込み要求レジスタ 240(注2)	IR240	8	8	2ICLK	14章
0008 70F1h	ICU	割り込み要求レジスタ 241(注2)	IR241	8	8	2ICLK	14章
0008 70F2h	ICU	割り込み要求レジスタ 242(注2)	IR242	8	8	2ICLK	14章
0008 70F3h	ICU	割り込み要求レジスタ 243(注2)	IR243	8	8	2ICLK	14章
0008 70F4h	ICU	割り込み要求レジスタ 244(注2)	IR244	8	8	2ICLK	14章
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK	14章
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK	14章
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK	14章
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK	14章
0008 711Bh	ICU	DTC転送要求許可レジスタ 027	DTCER027	8	8	2ICLK	14章
0008 711Ch	ICU	DTC転送要求許可レジスタ 028	DTCER028	8	8	2ICLK	14章
0008 711Dh	ICU	DTC転送要求許可レジスタ 029	DTCER029	8	8	2ICLK	14章
0008 711Eh	ICU	DTC転送要求許可レジスタ 030	DTCER030	8	8	2ICLK	14章
0008 711Fh	ICU	DTC転送要求許可レジスタ 031	DTCER031	8	8	2ICLK	14章
0008 712Dh	ICU	DTC転送要求許可レジスタ 045	DTCER045	8	8	2ICLK	14章
0008 712Eh	ICU	DTC転送要求許可レジスタ 046	DTCER046	8	8	2ICLK	14章
0008 7130h	ICU	DTC転送要求許可レジスタ 048(注2)	DTCER048	8	8	2ICLK	14章
0008 7131h	ICU	DTC転送要求許可レジスタ 049(注2)	DTCER049	8	8	2ICLK	14章
0008 7132h	ICU	DTC転送要求許可レジスタ 050(注2)	DTCER050	8	8	2ICLK	14章
0008 7133h	ICU	DTC転送要求許可レジスタ 051(注2)	DTCER051	8	8	2ICLK	14章
0008 7135h	ICU	DTC転送要求許可レジスタ 053(注2)	DTCER053	8	8	2ICLK	14章
0008 7136h	ICU	DTC転送要求許可レジスタ 054(注2)	DTCER054	8	8	2ICLK	14章
0008 7137h	ICU	DTC転送要求許可レジスタ 055(注2)	DTCER055	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧 (6/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK \geq PCLKの場合	
0008 7138h	ICU	DTC転送要求許可レジスタ 056(注2)	DTCER056	8	8	2ICLK	14章
0008 713Bh	ICU	DTC転送要求許可レジスタ 059(注2)	DTCER059	8	8	2ICLK	14章
0008 7140h	ICU	DTC転送要求許可レジスタ 064	DTCER064	8	8	2ICLK	14章
0008 7141h	ICU	DTC転送要求許可レジスタ 065	DTCER065	8	8	2ICLK	14章
0008 7142h	ICU	DTC転送要求許可レジスタ 066	DTCER066	8	8	2ICLK	14章
0008 7143h	ICU	DTC転送要求許可レジスタ 067	DTCER067	8	8	2ICLK	14章
0008 7144h	ICU	DTC転送要求許可レジスタ 068	DTCER068	8	8	2ICLK	14章
0008 7145h	ICU	DTC転送要求許可レジスタ 069	DTCER069	8	8	2ICLK	14章
0008 7146h	ICU	DTC転送要求許可レジスタ 070	DTCER070	8	8	2ICLK	14章
0008 7147h	ICU	DTC転送要求許可レジスタ 071	DTCER071	8	8	2ICLK	14章
0008 7162h	ICU	DTC転送要求許可レジスタ 098(注2)	DTCER098	8	8	2ICLK	14章
0008 7163h	ICU	DTC転送要求許可レジスタ 099(注2)	DTCER099	8	8	2ICLK	14章
0008 7164h	ICU	DTC転送要求許可レジスタ 100(注2)	DTCER100	8	8	2ICLK	14章
0008 7165h	ICU	DTC転送要求許可レジスタ 101(注2)	DTCER101	8	8	2ICLK	14章
0008 7166h	ICU	DTC転送要求許可レジスタ 102	DTCER102	8	8	2ICLK	14章
0008 7167h	ICU	DTC転送要求許可レジスタ 103	DTCER103	8	8	2ICLK	14章
0008 7168h	ICU	DTC転送要求許可レジスタ 104	DTCER104	8	8	2ICLK	14章
0008 7169h	ICU	DTC転送要求許可レジスタ 105	DTCER105	8	8	2ICLK	14章
0008 716Ah	ICU	DTC転送要求許可レジスタ 106	DTCER106	8	8	2ICLK	14章
0008 716Bh	ICU	DTC転送要求許可レジスタ 107	DTCER107	8	8	2ICLK	14章
0008 716Ch	ICU	DTC転送要求許可レジスタ 108	DTCER108	8	8	2ICLK	14章
0008 716Dh	ICU	DTC転送要求許可レジスタ 109	DTCER109	8	8	2ICLK	14章
0008 716Eh	ICU	DTC転送要求許可レジスタ 110	DTCER110	8	8	2ICLK	14章
0008 716Fh	ICU	DTC転送要求許可レジスタ 111	DTCER111	8	8	2ICLK	14章
0008 7170h	ICU	DTC転送要求許可レジスタ 112	DTCER112	8	8	2ICLK	14章
0008 7171h	ICU	DTC転送要求許可レジスタ 113	DTCER113	8	8	2ICLK	14章
0008 7172h	ICU	DTC転送要求許可レジスタ 114	DTCER114	8	8	2ICLK	14章
0008 7173h	ICU	DTC転送要求許可レジスタ 115	DTCER115	8	8	2ICLK	14章
0008 7174h	ICU	DTC転送要求許可レジスタ 116	DTCER116	8	8	2ICLK	14章
0008 7175h	ICU	DTC転送要求許可レジスタ 117	DTCER117	8	8	2ICLK	14章
0008 7179h	ICU	DTC転送要求許可レジスタ 121	DTCER121	8	8	2ICLK	14章
0008 717Ah	ICU	DTC転送要求許可レジスタ 122	DTCER122	8	8	2ICLK	14章
0008 717Dh	ICU	DTC転送要求許可レジスタ 125	DTCER125	8	8	2ICLK	14章
0008 717Eh	ICU	DTC転送要求許可レジスタ 126	DTCER126	8	8	2ICLK	14章
0008 7181h	ICU	DTC転送要求許可レジスタ 129	DTCER129	8	8	2ICLK	14章
0008 7182h	ICU	DTC転送要求許可レジスタ 130	DTCER130	8	8	2ICLK	14章
0008 7183h	ICU	DTC転送要求許可レジスタ 131	DTCER131	8	8	2ICLK	14章
0008 7184h	ICU	DTC転送要求許可レジスタ 132	DTCER132	8	8	2ICLK	14章
0008 7186h	ICU	DTC転送要求許可レジスタ 134	DTCER134	8	8	2ICLK	14章
0008 7187h	ICU	DTC転送要求許可レジスタ 135	DTCER135	8	8	2ICLK	14章
0008 7188h	ICU	DTC転送要求許可レジスタ 136	DTCER136	8	8	2ICLK	14章
0008 7189h	ICU	DTC転送要求許可レジスタ 137	DTCER137	8	8	2ICLK	14章
0008 718Ah	ICU	DTC転送要求許可レジスタ 138	DTCER138	8	8	2ICLK	14章
0008 718Bh	ICU	DTC転送要求許可レジスタ 139	DTCER139	8	8	2ICLK	14章
0008 718Ch	ICU	DTC転送要求許可レジスタ 140	DTCER140	8	8	2ICLK	14章
0008 718Dh	ICU	DTC転送要求許可レジスタ 141	DTCER141	8	8	2ICLK	14章
0008 718Eh	ICU	DTC転送要求許可レジスタ 142	DTCER142	8	8	2ICLK	14章
0008 718Fh	ICU	DTC転送要求許可レジスタ 143	DTCER143	8	8	2ICLK	14章
0008 7190h	ICU	DTC転送要求許可レジスタ 144	DTCER144	8	8	2ICLK	14章
0008 7191h	ICU	DTC転送要求許可レジスタ 145	DTCER145	8	8	2ICLK	14章
0008 7195h	ICU	DTC転送要求許可レジスタ 149	DTCER149	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧 (7/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 7196h	ICU	DTC転送要求許可レジスタ 150	DTCER150	8	8	2ICLK	14章
0008 7197h	ICU	DTC転送要求許可レジスタ 151	DTCER151	8	8	2ICLK	14章
0008 7198h	ICU	DTC転送要求許可レジスタ 152	DTCER152	8	8	2ICLK	14章
0008 7199h	ICU	DTC転送要求許可レジスタ 153	DTCER153	8	8	2ICLK	14章
0008 719Fh	ICU	DTC転送要求許可レジスタ 159	DTCER159	8	8	2ICLK	14章
0008 71A0h	ICU	DTC転送要求許可レジスタ 160	DTCER160	8	8	2ICLK	14章
0008 71A1h	ICU	DTC転送要求許可レジスタ 161	DTCER161	8	8	2ICLK	14章
0008 71A2h	ICU	DTC転送要求許可レジスタ 162	DTCER162	8	8	2ICLK	14章
0008 71ADh	ICU	DTC転送要求許可レジスタ 173	DTCER173	8	8	2ICLK	14章
0008 71AEh	ICU	DTC転送要求許可レジスタ 174	DTCER174	8	8	2ICLK	14章
0008 71AFh	ICU	DTC転送要求許可レジスタ 175	DTCER175	8	8	2ICLK	14章
0008 71B1h	ICU	DTC転送要求許可レジスタ 177	DTCER177	8	8	2ICLK	14章
0008 71B2h	ICU	DTC転送要求許可レジスタ 178	DTCER178	8	8	2ICLK	14章
0008 71B4h	ICU	DTC転送要求許可レジスタ 180	DTCER180	8	8	2ICLK	14章
0008 71B5h	ICU	DTC転送要求許可レジスタ 181	DTCER181	8	8	2ICLK	14章
0008 71B7h	ICU	DTC転送要求許可レジスタ 183	DTCER183	8	8	2ICLK	14章
0008 71B8h	ICU	DTC転送要求許可レジスタ 184	DTCER184	8	8	2ICLK	14章
0008 71BAh	ICU	DTC転送要求許可レジスタ 186	DTCER186	8	8	2ICLK	14章
0008 71BBh	ICU	DTC転送要求許可レジスタ 187	DTCER187	8	8	2ICLK	14章
0008 71BDh	ICU	DTC転送要求許可レジスタ 189	DTCER189	8	8	2ICLK	14章
0008 71BEh	ICU	DTC転送要求許可レジスタ 190	DTCER190	8	8	2ICLK	14章
0008 71C0h	ICU	DTC転送要求許可レジスタ 192	DTCER192	8	8	2ICLK	14章
0008 71C1h	ICU	DTC転送要求許可レジスタ 193	DTCER193	8	8	2ICLK	14章
0008 71C3h	ICU	DTC転送要求許可レジスタ 195	DTCER195	8	8	2ICLK	14章
0008 71C4h	ICU	DTC転送要求許可レジスタ 196	DTCER196	8	8	2ICLK	14章
0008 71CBh	ICU	DTC転送要求許可レジスタ 203(注2)	DTCER203	8	8	2ICLK	14章
0008 71CCh	ICU	DTC転送要求許可レジスタ 204(注2)	DTCER204	8	8	2ICLK	14章
0008 71CDh	ICU	DTC転送要求許可レジスタ 205(注2)	DTCER205	8	8	2ICLK	14章
0008 71CEh	ICU	DTC転送要求許可レジスタ 206(注2)	DTCER206	8	8	2ICLK	14章
0008 71CFh	ICU	DTC転送要求許可レジスタ 207(注2)	DTCER207	8	8	2ICLK	14章
0008 71D0h	ICU	DTC転送要求許可レジスタ 208(注2)	DTCER208	8	8	2ICLK	14章
0008 71D1h	ICU	DTC転送要求許可レジスタ 209(注2)	DTCER209	8	8	2ICLK	14章
0008 71D2h	ICU	DTC転送要求許可レジスタ 210(注2)	DTCER210	8	8	2ICLK	14章
0008 71D4h	ICU	DTC転送要求許可レジスタ 212(注2)	DTCER212	8	8	2ICLK	14章
0008 71D5h	ICU	DTC転送要求許可レジスタ 213(注2)	DTCER213	8	8	2ICLK	14章
0008 71D6h	ICU	DTC転送要求許可レジスタ 214(注2)	DTCER214	8	8	2ICLK	14章
0008 71D7h	ICU	DTC転送要求許可レジスタ 215(注2)	DTCER215	8	8	2ICLK	14章
0008 71D8h	ICU	DTC転送要求許可レジスタ 216(注2)	DTCER216	8	8	2ICLK	14章
0008 71D9h	ICU	DTC転送要求許可レジスタ 217(注2)	DTCER217	8	8	2ICLK	14章
0008 71DBh	ICU	DTC転送要求許可レジスタ 219	DTCER219	8	8	2ICLK	14章
0008 71DCh	ICU	DTC転送要求許可レジスタ 220	DTCER220	8	8	2ICLK	14章
0008 71DFh	ICU	DTC転送要求許可レジスタ 223	DTCER223	8	8	2ICLK	14章
0008 71E0h	ICU	DTC転送要求許可レジスタ 224	DTCER224	8	8	2ICLK	14章
0008 71E3h	ICU	DTC転送要求許可レジスタ 227	DTCER227	8	8	2ICLK	14章
0008 71E4h	ICU	DTC転送要求許可レジスタ 228	DTCER228	8	8	2ICLK	14章
0008 71EEh	ICU	DTC転送要求許可レジスタ 238(注2)	DTCER238	8	8	2ICLK	14章
0008 71EFh	ICU	DTC転送要求許可レジスタ 239(注2)	DTCER239	8	8	2ICLK	14章
0008 71F1h	ICU	DTC転送要求許可レジスタ 241(注2)	DTCER241	8	8	2ICLK	14章
0008 71F2h	ICU	DTC転送要求許可レジスタ 242(注2)	DTCER242	8	8	2ICLK	14章
0008 71F3h	ICU	DTC転送要求許可レジスタ 243(注2)	DTCER243	8	8	2ICLK	14章
0008 71F4h	ICU	DTC転送要求許可レジスタ 244(注2)	DTCER244	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧 (8/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 71F7h	ICU	DTC転送要求許可レジスタ 247	DT CER247	8	8	2ICLK	14章
0008 71F8h	ICU	DTC転送要求許可レジスタ 248	DT CER248	8	8	2ICLK	14章
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2ICLK	14章
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2ICLK	14章
0008 7204h	ICU	割り込み要求許可レジスタ 04	IER04	8	8	2ICLK	14章
0008 7205h	ICU	割り込み要求許可レジスタ 05	IER05	8	8	2ICLK	14章
0008 7206h	ICU	割り込み要求許可レジスタ 06(注2)	IER06	8	8	2ICLK	14章
0008 7207h	ICU	割り込み要求許可レジスタ 07	IER07	8	8	2ICLK	14章
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2ICLK	14章
0008 720Bh	ICU	割り込み要求許可レジスタ 0B	IER0B	8	8	2ICLK	14章
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK	14章
0008 720Dh	ICU	割り込み要求許可レジスタ 0D	IER0D	8	8	2ICLK	14章
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK	14章
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK	14章
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK	14章
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK	14章
0008 7212h	ICU	割り込み要求許可レジスタ 12	IER12	8	8	2ICLK	14章
0008 7213h	ICU	割り込み要求許可レジスタ 13	IER13	8	8	2ICLK	14章
0008 7214h	ICU	割り込み要求許可レジスタ 14	IER14	8	8	2ICLK	14章
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2ICLK	14章
0008 7216h	ICU	割り込み要求許可レジスタ 16	IER16	8	8	2ICLK	14章
0008 7217h	ICU	割り込み要求許可レジスタ 17	IER17	8	8	2ICLK	14章
0008 7218h	ICU	割り込み要求許可レジスタ 18	IER18	8	8	2ICLK	14章
0008 7219h	ICU	割り込み要求許可レジスタ 19(注2)	IER19	8	8	2ICLK	14章
0008 721Ah	ICU	割り込み要求許可レジスタ 1A(注2)	IER1A	8	8	2ICLK	14章
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK	14章
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK	14章
0008 721Dh	ICU	割り込み要求許可レジスタ 1D(注2)	IER1D	8	8	2ICLK	14章
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK	14章
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK	14章
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK	14章
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK	14章
0008 7300h	ICU	割り込み要因プライオリティレジスタ 000	IPR000	8	8	2ICLK	14章
0008 7302h	ICU	割り込み要因プライオリティレジスタ 002	IPR002	8	8	2ICLK	14章
0008 7303h	ICU	割り込み要因プライオリティレジスタ 003	IPR003	8	8	2ICLK	14章
0008 7304h	ICU	割り込み要因プライオリティレジスタ 004	IPR004	8	8	2ICLK	14章
0008 7305h	ICU	割り込み要因プライオリティレジスタ 005	IPR005	8	8	2ICLK	14章
0008 7306h	ICU	割り込み要因プライオリティレジスタ 006	IPR006	8	8	2ICLK	14章
0008 7307h	ICU	割り込み要因プライオリティレジスタ 007	IPR007	8	8	2ICLK	14章
0008 7320h	ICU	割り込み要因プライオリティレジスタ 032	IPR032	8	8	2ICLK	14章
0008 7321h	ICU	割り込み要因プライオリティレジスタ 033	IPR033	8	8	2ICLK	14章
0008 7322h	ICU	割り込み要因プライオリティレジスタ 034	IPR034	8	8	2ICLK	14章
0008 7328h	ICU	割り込み要因プライオリティレジスタ 040(注2)	IPR040	8	8	2ICLK	14章
0008 7329h	ICU	割り込み要因プライオリティレジスタ 041(注2)	IPR041	8	8	2ICLK	14章
0008 732Ch	ICU	割り込み要因プライオリティレジスタ 044	IPR044	8	8	2ICLK	14章
0008 7330h	ICU	割り込み要因プライオリティレジスタ 048(注2)	IPR048	8	8	2ICLK	14章
0008 7331h	ICU	割り込み要因プライオリティレジスタ 049(注2)	IPR049	8	8	2ICLK	14章
0008 7332h	ICU	割り込み要因プライオリティレジスタ 050(注2)	IPR050	8	8	2ICLK	14章
0008 7333h	ICU	割り込み要因プライオリティレジスタ 051(注2)	IPR051	8	8	2ICLK	14章
0008 7334h	ICU	割り込み要因プライオリティレジスタ 052(注2)	IPR052	8	8	2ICLK	14章
0008 7335h	ICU	割り込み要因プライオリティレジスタ 053(注2)	IPR053	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧 (9/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 7336h	ICU	割り込み要因プライオリティレジスタ 054(注2)	IPR054	8	8	2ICLK	14章
0008 7337h	ICU	割り込み要因プライオリティレジスタ 055(注2)	IPR055	8	8	2ICLK	14章
0008 7338h	ICU	割り込み要因プライオリティレジスタ 056(注2)	IPR056	8	8	2ICLK	14章
0008 7339h	ICU	割り込み要因プライオリティレジスタ 057	IPR057	8	8	2ICLK	14章
0008 733Bh	ICU	割り込み要因プライオリティレジスタ 059(注2)	IPR059	8	8	2ICLK	14章
0008 733Ch	ICU	割り込み要因プライオリティレジスタ 060(注2)	IPR060	8	8	2ICLK	14章
0008 733Dh	ICU	割り込み要因プライオリティレジスタ 061(注2)	IPR061	8	8	2ICLK	14章
0008 733Eh	ICU	割り込み要因プライオリティレジスタ 062(注2)	IPR062	8	8	2ICLK	14章
0008 733Fh	ICU	割り込み要因プライオリティレジスタ 063(注2)	IPR063	8	8	2ICLK	14章
0008 7340h	ICU	割り込み要因プライオリティレジスタ 064	IPR064	8	8	2ICLK	14章
0008 7341h	ICU	割り込み要因プライオリティレジスタ 065	IPR065	8	8	2ICLK	14章
0008 7342h	ICU	割り込み要因プライオリティレジスタ 066	IPR066	8	8	2ICLK	14章
0008 7343h	ICU	割り込み要因プライオリティレジスタ 067	IPR067	8	8	2ICLK	14章
0008 7344h	ICU	割り込み要因プライオリティレジスタ 068	IPR068	8	8	2ICLK	14章
0008 7345h	ICU	割り込み要因プライオリティレジスタ 069	IPR069	8	8	2ICLK	14章
0008 7346h	ICU	割り込み要因プライオリティレジスタ 070	IPR070	8	8	2ICLK	14章
0008 7347h	ICU	割り込み要因プライオリティレジスタ 071	IPR071	8	8	2ICLK	14章
0008 7358h	ICU	割り込み要因プライオリティレジスタ 088	IPR088	8	8	2ICLK	14章
0008 7359h	ICU	割り込み要因プライオリティレジスタ 089	IPR089	8	8	2ICLK	14章
0008 7362h	ICU	割り込み要因プライオリティレジスタ 098(注2)	IPR098	8	8	2ICLK	14章
0008 7363h	ICU	割り込み要因プライオリティレジスタ 099(注2)	IPR099	8	8	2ICLK	14章
0008 7364h	ICU	割り込み要因プライオリティレジスタ 100(注2)	IPR100	8	8	2ICLK	14章
0008 7365h	ICU	割り込み要因プライオリティレジスタ 101(注2)	IPR101	8	8	2ICLK	14章
0008 7366h	ICU	割り込み要因プライオリティレジスタ 102	IPR102	8	8	2ICLK	14章
0008 7367h	ICU	割り込み要因プライオリティレジスタ 103	IPR103	8	8	2ICLK	14章
0008 7368h	ICU	割り込み要因プライオリティレジスタ 104	IPR104	8	8	2ICLK	14章
0008 7369h	ICU	割り込み要因プライオリティレジスタ 105	IPR105	8	8	2ICLK	14章
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 106	IPR106	8	8	2ICLK	14章
0008 736Bh	ICU	割り込み要因プライオリティレジスタ 107	IPR107	8	8	2ICLK	14章
0008 736Ch	ICU	割り込み要因プライオリティレジスタ 108	IPR108	8	8	2ICLK	14章
0008 736Dh	ICU	割り込み要因プライオリティレジスタ 109	IPR109	8	8	2ICLK	14章
0008 736Eh	ICU	割り込み要因プライオリティレジスタ 110	IPR110	8	8	2ICLK	14章
0008 736Fh	ICU	割り込み要因プライオリティレジスタ 111	IPR111	8	8	2ICLK	14章
0008 7370h	ICU	割り込み要因プライオリティレジスタ 112	IPR112	8	8	2ICLK	14章
0008 7371h	ICU	割り込み要因プライオリティレジスタ 113	IPR113	8	8	2ICLK	14章
0008 7372h	ICU	割り込み要因プライオリティレジスタ 114	IPR114	8	8	2ICLK	14章
0008 7376h	ICU	割り込み要因プライオリティレジスタ 118	IPR118	8	8	2ICLK	14章
0008 7379h	ICU	割り込み要因プライオリティレジスタ 121	IPR121	8	8	2ICLK	14章
0008 737Bh	ICU	割り込み要因プライオリティレジスタ 123	IPR123	8	8	2ICLK	14章
0008 737Dh	ICU	割り込み要因プライオリティレジスタ 125	IPR125	8	8	2ICLK	14章
0008 737Fh	ICU	割り込み要因プライオリティレジスタ 127	IPR127	8	8	2ICLK	14章
0008 7381h	ICU	割り込み要因プライオリティレジスタ 129	IPR129	8	8	2ICLK	14章
0008 7385h	ICU	割り込み要因プライオリティレジスタ 133	IPR133	8	8	2ICLK	14章
0008 7386h	ICU	割り込み要因プライオリティレジスタ 134	IPR134	8	8	2ICLK	14章
0008 738Ah	ICU	割り込み要因プライオリティレジスタ 138	IPR138	8	8	2ICLK	14章
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 139	IPR139	8	8	2ICLK	14章
0008 738Eh	ICU	割り込み要因プライオリティレジスタ 142	IPR142	8	8	2ICLK	14章
0008 7392h	ICU	割り込み要因プライオリティレジスタ 146	IPR146	8	8	2ICLK	14章
0008 7395h	ICU	割り込み要因プライオリティレジスタ 149	IPR149	8	8	2ICLK	14章
0008 7397h	ICU	割り込み要因プライオリティレジスタ 151	IPR151	8	8	2ICLK	14章
0008 7399h	ICU	割り込み要因プライオリティレジスタ 153	IPR153	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧 (10/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 739Fh	ICU	割り込み要因プライオリティレジスタ 159	IPR159	8	8	2ICLK	14章
0008 73A3h	ICU	割り込み要因プライオリティレジスタ 163	IPR163	8	8	2ICLK	14章
0008 73A8h	ICU	割り込み要因プライオリティレジスタ 168	IPR168	8	8	2ICLK	14章
0008 73ADh	ICU	割り込み要因プライオリティレジスタ 173	IPR173	8	8	2ICLK	14章
0008 73AEh	ICU	割り込み要因プライオリティレジスタ 174	IPR174	8	8	2ICLK	14章
0008 73B1h	ICU	割り込み要因プライオリティレジスタ 177	IPR177	8	8	2ICLK	14章
0008 73B4h	ICU	割り込み要因プライオリティレジスタ 180	IPR180	8	8	2ICLK	14章
0008 73B7h	ICU	割り込み要因プライオリティレジスタ 183	IPR183	8	8	2ICLK	14章
0008 73BAh	ICU	割り込み要因プライオリティレジスタ 186	IPR186	8	8	2ICLK	14章
0008 73BDh	ICU	割り込み要因プライオリティレジスタ 189	IPR189	8	8	2ICLK	14章
0008 73C0h	ICU	割り込み要因プライオリティレジスタ 192	IPR192	8	8	2ICLK	14章
0008 73C3h	ICU	割り込み要因プライオリティレジスタ 195	IPR195	8	8	2ICLK	14章
0008 73CAh	ICU	割り込み要因プライオリティレジスタ 202(注2)	IPR202	8	8	2ICLK	14章
0008 73CBh	ICU	割り込み要因プライオリティレジスタ 203(注2)	IPR203	8	8	2ICLK	14章
0008 73CCh	ICU	割り込み要因プライオリティレジスタ 204(注2)	IPR204	8	8	2ICLK	14章
0008 73CDh	ICU	割り込み要因プライオリティレジスタ 205(注2)	IPR205	8	8	2ICLK	14章
0008 73CEh	ICU	割り込み要因プライオリティレジスタ 206(注2)	IPR206	8	8	2ICLK	14章
0008 73CFh	ICU	割り込み要因プライオリティレジスタ 207(注2)	IPR207	8	8	2ICLK	14章
0008 73D0h	ICU	割り込み要因プライオリティレジスタ 208(注2)	IPR208	8	8	2ICLK	14章
0008 73D1h	ICU	割り込み要因プライオリティレジスタ 209(注2)	IPR209	8	8	2ICLK	14章
0008 73D2h	ICU	割り込み要因プライオリティレジスタ 210(注2)	IPR210	8	8	2ICLK	14章
0008 73D3h	ICU	割り込み要因プライオリティレジスタ 211(注2)	IPR211	8	8	2ICLK	14章
0008 73D4h	ICU	割り込み要因プライオリティレジスタ 212(注2)	IPR212	8	8	2ICLK	14章
0008 73D5h	ICU	割り込み要因プライオリティレジスタ 213(注2)	IPR213	8	8	2ICLK	14章
0008 73D6h	ICU	割り込み要因プライオリティレジスタ 214(注2)	IPR214	8	8	2ICLK	14章
0008 73D7h	ICU	割り込み要因プライオリティレジスタ 215(注2)	IPR215	8	8	2ICLK	14章
0008 73D8h	ICU	割り込み要因プライオリティレジスタ 216(注2)	IPR216	8	8	2ICLK	14章
0008 73D9h	ICU	割り込み要因プライオリティレジスタ 217(注2)	IPR217	8	8	2ICLK	14章
0008 73DAh	ICU	割り込み要因プライオリティレジスタ 218	IPR218	8	8	2ICLK	14章
0008 73DEh	ICU	割り込み要因プライオリティレジスタ 222	IPR222	8	8	2ICLK	14章
0008 73E2h	ICU	割り込み要因プライオリティレジスタ 226	IPR226	8	8	2ICLK	14章
0008 73EEh	ICU	割り込み要因プライオリティレジスタ 238(注2)	IPR238	8	8	2ICLK	14章
0008 73EFh	ICU	割り込み要因プライオリティレジスタ 239(注2)	IPR239	8	8	2ICLK	14章
0008 73F0h	ICU	割り込み要因プライオリティレジスタ 240(注2)	IPR240	8	8	2ICLK	14章
0008 73F1h	ICU	割り込み要因プライオリティレジスタ 241(注2)	IPR241	8	8	2ICLK	14章
0008 73F2h	ICU	割り込み要因プライオリティレジスタ 242(注2)	IPR242	8	8	2ICLK	14章
0008 73F3h	ICU	割り込み要因プライオリティレジスタ 243(注2)	IPR243	8	8	2ICLK	14章
0008 73F4h	ICU	割り込み要因プライオリティレジスタ 244(注2)	IPR244	8	8	2ICLK	14章
0008 73F6h	ICU	割り込み要因プライオリティレジスタ 246	IPR246	8	8	2ICLK	14章
0008 73F7h	ICU	割り込み要因プライオリティレジスタ 247	IPR247	8	8	2ICLK	14章
0008 73F8h	ICU	割り込み要因プライオリティレジスタ 248	IPR248	8	8	2ICLK	14章
0008 73F9h	ICU	割り込み要因プライオリティレジスタ 249	IPR249	8	8	2ICLK	14章
0008 7500h	ICU	IRQコントロールレジスタ 0	IRQCR0	8	8	2ICLK	14章
0008 7501h	ICU	IRQコントロールレジスタ 1	IRQCR1	8	8	2ICLK	14章
0008 7502h	ICU	IRQコントロールレジスタ 2	IRQCR2	8	8	2ICLK	14章
0008 7503h	ICU	IRQコントロールレジスタ 3	IRQCR3	8	8	2ICLK	14章
0008 7504h	ICU	IRQコントロールレジスタ 4	IRQCR4	8	8	2ICLK	14章
0008 7505h	ICU	IRQコントロールレジスタ 5	IRQCR5	8	8	2ICLK	14章
0008 7506h	ICU	IRQコントロールレジスタ 6	IRQCR6	8	8	2ICLK	14章
0008 7507h	ICU	IRQコントロールレジスタ 7	IRQCR7	8	8	2ICLK	14章
0008 7510h	ICU	IRQ端子デジタルフィルタ許可レジスタ 0	IRQFLTE0	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧 (11/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 7514h	ICU	IRQ端子デジタルフィルタ設定レジスタ0	IRQFLTC0	16	16	2ICLK	14章
0008 7580h	ICU	ノンマスクابل割り込みステータスレジスタ	NMISR	8	8	2ICLK	14章
0008 7581h	ICU	ノンマスクابل割り込み許可レジスタ	NMIER	8	8	2ICLK	14章
0008 7582h	ICU	ノンマスクابل割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK	14章
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK	14章
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK	14章
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK	14章
0008 8000h	CMT	コンペアマッチタイムスタートレジスタ0	CMSTR0	16	16	2 ~ 3PCLKB	24章
0008 8002h	CMT0	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	24章
0008 8004h	CMT0	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	24章
0008 8006h	CMT0	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	24章
0008 8008h	CMT1	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	24章
0008 800Ah	CMT1	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	24章
0008 800Ch	CMT1	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	24章
0008 8010h	CMT	コンペアマッチタイムスタートレジスタ1	CMSTR1	16	16	2 ~ 3PCLKB	24章
0008 8012h	CMT2	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	24章
0008 8014h	CMT2	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	24章
0008 8016h	CMT2	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	24章
0008 8018h	CMT3	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	24章
0008 801Ah	CMT3	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	24章
0008 801Ch	CMT3	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	24章
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2 ~ 3PCLKB	25章
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2 ~ 3PCLKB	25章
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2 ~ 3PCLKB	25章
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2 ~ 3PCLKB	25章
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDTCSTPR	8	8	2 ~ 3PCLKB	25章
0008 80C0h	DA	D/Aデータレジスタ0	DADR0	16	16	2 ~ 3PCLKB	32章
0008 80C2h	DA	D/Aデータレジスタ1(注2)	DADR1	16	16	2 ~ 3PCLKB	32章
0008 80C4h	DA	D/A制御レジスタ	DACR	8	8	2 ~ 3PCLKB	32章
0008 80C5h	DA	DADRmフォーマット選択レジスタ	DADPR	8	8	2 ~ 3PCLKB	32章
0008 80C6h	DA	D/A A/D同期スタート制御レジスタ(注2)	DAADSCR	8	8	2 ~ 3PCLKB	32章
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	23章
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	23章
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	23章
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	23章
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	23章
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8(注1)	2 ~ 3PCLKB	23章
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	23章
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8(注1)	2 ~ 3PCLKB	23章
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	23章
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8(注1)	2 ~ 3PCLKB	23章
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	23章
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8(注1)	2 ~ 3PCLKB	23章
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	23章
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	23章
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	23章
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	23章
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	23章
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8(注1)	2 ~ 3PCLKB	23章
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	23章
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8(注1)	2 ~ 3PCLKB	23章

表5.1 I/Oレジスタアドレス一覧 (12/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	23章
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8(注1)	2 ~ 3PCLKB	23章
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	23章
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8(注1)	2 ~ 3PCLKB	23章
0008 8220h	TMR4	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	23章
0008 8221h	TMR5	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	23章
0008 8222h	TMR4	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	23章
0008 8223h	TMR5	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	23章
0008 8224h	TMR4	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	23章
0008 8225h	TMR5	タイムコンスタントレジスタA	TCORA	8	8(注1)	2 ~ 3PCLKB	23章
0008 8226h	TMR4	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	23章
0008 8227h	TMR5	タイムコンスタントレジスタB	TCORB	8	8(注1)	2 ~ 3PCLKB	23章
0008 8228h	TMR4	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	23章
0008 8229h	TMR5	タイマカウンタ	TCNT	8	8(注1)	2 ~ 3PCLKB	23章
0008 822Ah	TMR4	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	23章
0008 822Bh	TMR5	タイマカウンタコントロールレジスタ	TCCR	8	8(注1)	2 ~ 3PCLKB	23章
0008 8230h	TMR6	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	23章
0008 8231h	TMR7	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	23章
0008 8232h	TMR6	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	23章
0008 8233h	TMR7	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	23章
0008 8234h	TMR6	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	23章
0008 8235h	TMR7	タイムコンスタントレジスタA	TCORA	8	8(注1)	2 ~ 3PCLKB	23章
0008 8236h	TMR6	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	23章
0008 8237h	TMR7	タイムコンスタントレジスタB	TCORB	8	8(注1)	2 ~ 3PCLKB	23章
0008 8238h	TMR6	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	23章
0008 8239h	TMR7	タイマカウンタ	TCNT	8	8(注1)	2 ~ 3PCLKB	23章
0008 823Ah	TMR6	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	23章
0008 823Bh	TMR7	タイマカウンタコントロールレジスタ	TCCR	8	8(注1)	2 ~ 3PCLKB	23章
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2 ~ 3PCLKB	30章
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2 ~ 3PCLKB	30章
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2 ~ 3PCLKB	30章
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB	27章
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB	27章
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB	27章
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB	27章
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB	27章
0008 8305h	RIIC0	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2 ~ 3PCLKB	27章
0008 8306h	RIIC0	I ² Cバスステータス許可レジスタ	ICSER	8	8	2 ~ 3PCLKB	27章
0008 8307h	RIIC0	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2 ~ 3PCLKB	27章
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB	27章
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB	27章
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2 ~ 3PCLKB	27章
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2 ~ 3PCLKB	27章
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2 ~ 3PCLKB	27章
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2 ~ 3PCLKB	27章
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2 ~ 3PCLKB	27章
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2 ~ 3PCLKB	27章
0008 8310h	RIIC0	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2 ~ 3PCLKB	27章
0008 8311h	RIIC0	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2 ~ 3PCLKB	27章
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB	27章
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB	27章

表5.1 I/Oレジスタアドレス一覧 (13/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2 ~ 3PCLKB	29章
0008 8381h	RSPI0	RSPIスレープセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKB	29章
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKB	29章
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2 ~ 3PCLKB	29章
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16, 32	2 ~ 3PCLKB	29章
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ~ 3PCLKB	29章
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ~ 3PCLKB	29章
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2 ~ 3PCLKB	29章
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ~ 3PCLKB	29章
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ~ 3PCLKB	29章
0008 838Dh	RSPI0	RSPIスレープセレクトネゲート遅延レジスタ	SSLND	8	8	2 ~ 3PCLKB	29章
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ~ 3PCLKB	29章
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2 ~ 3PCLKB	29章
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ~ 3PCLKB	29章
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ~ 3PCLKB	29章
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ~ 3PCLKB	29章
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ~ 3PCLKB	29章
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ~ 3PCLKB	29章
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ~ 3PCLKB	29章
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ~ 3PCLKB	29章
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ~ 3PCLKB	29章
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB	31章
0008 9004h	S12AD	A/Dチャンネル選択レジスタA0	ADANSA0	16	16	2 ~ 3PCLKB	31章
0008 9006h	S12AD	A/Dチャンネル選択レジスタA1	ADANSA1	16	16	2 ~ 3PCLKB	31章
0008 9008h	S12AD	A/D変換値加算/平均機能チャンネル選択レジスタ0	ADADS0	16	16	2 ~ 3PCLKB	31章
0008 900Ah	S12AD	A/D変換値加算/平均機能チャンネル選択レジスタ1	ADADS1	16	16	2 ~ 3PCLKB	31章
0008 900Ch	S12AD	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2 ~ 3PCLKB	31章
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2 ~ 3PCLKB	31章
0008 9010h	S12AD	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16	2 ~ 3PCLKB	31章
0008 9014h	S12AD	A/Dチャンネル選択レジスタB0	ADANSB0	16	16	2 ~ 3PCLKB	31章
0008 9016h	S12AD	A/Dチャンネル選択レジスタB1	ADANSB1	16	16	2 ~ 3PCLKB	31章
0008 9018h	S12AD	A/Dデータ二重化レジスタ	ADDBLDR	16	16	2 ~ 3PCLKB	31章
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADRD	16	16	2 ~ 3PCLKB	31章
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2 ~ 3PCLKB	31章
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2 ~ 3PCLKB	31章
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2 ~ 3PCLKB	31章
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2 ~ 3PCLKB	31章
0008 9040h	S12AD	A/Dデータレジスタ16	ADDR16	16	16	2 ~ 3PCLKB	31章
0008 907Ah	S12AD	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB	31章
0008 9080h	S12AD	A/Dグループキャン優先コントロールレジスタ	ADGSPCR	16	16	2 ~ 3PCLKB	31章
0008 9084h	S12AD	A/Dデータ二重化レジスタA	ADDBLDRA	16	16	2 ~ 3PCLKB	31章
0008 9086h	S12AD	A/Dデータ二重化レジスタB	ADDBLDRB	16	16	2 ~ 3PCLKB	31章
0008 90D4h	S12AD	A/Dチャンネル選択レジスタC0	ADANSC0	16	16	2 ~ 3PCLKB	31章
0008 90D6h	S12AD	A/Dチャンネル選択レジスタC1	ADANSC1	16	16	2 ~ 3PCLKB	31章
0008 90D9h	S12AD	A/DグループCトリガ選択レジスタ	ADGCTRGR	8	8	2 ~ 3PCLKB	31章
0008 90DDh	S12AD	A/DサンプリングステートレジスタL	ADSSTRL	8	8	2 ~ 3PCLKB	31章
0008 90E0h	S12AD	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2 ~ 3PCLKB	31章
0008 90E1h	S12AD	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2 ~ 3PCLKB	31章
0008 90E2h	S12AD	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2 ~ 3PCLKB	31章
0008 90E3h	S12AD	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2 ~ 3PCLKB	31章
0008 91A0h	S12AD	A/Dプログラマブルゲインアンプコントロールレジスタ	ADPGACR	16	16	2 ~ 3PCLKB	31章

表5.1 I/Oレジスタアドレス一覧 (14/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 91A2h	S12AD	A/D プログラマブルゲインアンプゲイン設定レジスタ0	ADPGAGS0	16	16	2 ~ 3PCLKB	31章
0008 9200h	S12AD1	A/Dコントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB	31章
0008 9204h	S12AD1	A/Dチャンネル選択レジスタA0	ADANSA0	16	16	2 ~ 3PCLKB	31章
0008 9206h	S12AD1	A/Dチャンネル選択レジスタA1	ADANSA1	16	16	2 ~ 3PCLKB	31章
0008 9208h	S12AD1	A/D変換値加算/平均機能チャンネル選択レジスタ0	ADADS0	16	16	2 ~ 3PCLKB	31章
0008 920Ah	S12AD1	A/D変換値加算/平均機能チャンネル選択レジスタ1	ADADS1	16	16	2 ~ 3PCLKB	31章
0008 920Ch	S12AD1	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2 ~ 3PCLKB	31章
0008 920Eh	S12AD1	A/Dコントロール拡張レジスタ	ADCER	16	16	2 ~ 3PCLKB	31章
0008 9210h	S12AD1	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16	2 ~ 3PCLKB	31章
0008 9214h	S12AD1	A/Dチャンネル選択レジスタB0	ADANSB0	16	16	2 ~ 3PCLKB	31章
0008 9216h	S12AD1	A/Dチャンネル選択レジスタB1	ADANSB1	16	16	2 ~ 3PCLKB	31章
0008 9218h	S12AD1	A/Dデータ二重化レジスタ	ADDBLDR	16	16	2 ~ 3PCLKB	31章
0008 921Eh	S12AD1	A/D自己診断データレジスタ	ADRD	16	16	2 ~ 3PCLKB	31章
0008 9220h	S12AD1	A/Dデータレジスタ0	ADDR0	16	16	2 ~ 3PCLKB	31章
0008 9222h	S12AD1	A/Dデータレジスタ1	ADDR1	16	16	2 ~ 3PCLKB	31章
0008 9224h	S12AD1	A/Dデータレジスタ2	ADDR2	16	16	2 ~ 3PCLKB	31章
0008 9226h	S12AD1	A/Dデータレジスタ3	ADDR3	16	16	2 ~ 3PCLKB	31章
0008 9240h	S12AD1	A/Dデータレジスタ16	ADDR16	16	16	2 ~ 3PCLKB	31章
0008 9266h	S12AD1	A/Dサンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2 ~ 3PCLKB	31章
0008 927Ah	S12AD1	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB	31章
0008 9280h	S12AD1	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2 ~ 3PCLKB	31章
0008 9284h	S12AD1	A/Dデータ二重化レジスタA	ADDBLDRA	16	16	2 ~ 3PCLKB	31章
0008 9286h	S12AD1	A/Dデータ二重化レジスタB	ADDBLDRB	16	16	2 ~ 3PCLKB	31章
0008 92D4h	S12AD1	A/Dチャンネル選択レジスタC0	ADANSC0	16	16	2 ~ 3PCLKB	31章
0008 92D6h	S12AD1	A/Dチャンネル選択レジスタC1	ADANSC1	16	16	2 ~ 3PCLKB	31章
0008 92D9h	S12AD1	A/DグループCトリガ選択レジスタ	ADGCTRGR	8	8	2 ~ 3PCLKB	31章
0008 92DDh	S12AD1	A/DサンプリングステートレジスタL	ADSSTRL	8	8	2 ~ 3PCLKB	31章
0008 92E0h	S12AD1	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2 ~ 3PCLKB	31章
0008 92E1h	S12AD1	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2 ~ 3PCLKB	31章
0008 92E2h	S12AD1	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2 ~ 3PCLKB	31章
0008 92E3h	S12AD1	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2 ~ 3PCLKB	31章
0008 93A0h	S12AD1	A/D プログラマブルゲインアンプコントロールレジスタ	ADPGACR	16	16	2 ~ 3PCLKB	31章
0008 93A2h	S12AD1	A/D プログラマブルゲインアンプゲイン設定レジスタ0	ADPGAGS0	16	16	2 ~ 3PCLKB	31章
0008 9400h	S12AD2	A/Dコントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB	31章
0008 9404h	S12AD2	A/Dチャンネル選択レジスタA0	ADANSA0	16	16	2 ~ 3PCLKB	31章
0008 9408h	S12AD2	A/D変換値加算/平均機能チャンネル選択レジスタ0	ADADS0	16	16	2 ~ 3PCLKB	31章
0008 940Ch	S12AD2	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2 ~ 3PCLKB	31章
0008 940Eh	S12AD2	A/Dコントロール拡張レジスタ	ADCER	16	16	2 ~ 3PCLKB	31章
0008 9410h	S12AD2	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16	2 ~ 3PCLKB	31章
0008 9412h	S12AD2	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16	2 ~ 3PCLKB	31章
0008 9414h	S12AD2	A/Dチャンネル選択レジスタB0	ADANSB0	16	16	2 ~ 3PCLKB	31章
0008 9418h	S12AD2	A/Dデータ二重化レジスタ	ADDBLDR	16	16	2 ~ 3PCLKB	31章
0008 941Ch	S12AD2	A/D内部基準電圧データレジスタ	ADOCDR	16	16	2 ~ 3PCLKB	31章
0008 941Eh	S12AD2	A/D自己診断データレジスタ	ADRD	16	16	2 ~ 3PCLKB	31章
0008 9420h	S12AD2	A/Dデータレジスタ0	ADDR0	16	16	2 ~ 3PCLKB	31章
0008 9422h	S12AD2	A/Dデータレジスタ1	ADDR1	16	16	2 ~ 3PCLKB	31章
0008 9424h	S12AD2	A/Dデータレジスタ2	ADDR2	16	16	2 ~ 3PCLKB	31章
0008 9426h	S12AD2	A/Dデータレジスタ3	ADDR3	16	16	2 ~ 3PCLKB	31章
0008 9428h	S12AD2	A/Dデータレジスタ4	ADDR4	16	16	2 ~ 3PCLKB	31章
0008 942Ah	S12AD2	A/Dデータレジスタ5	ADDR5	16	16	2 ~ 3PCLKB	31章
0008 942Ch	S12AD2	A/Dデータレジスタ6	ADDR6	16	16	2 ~ 3PCLKB	31章

表5.1 I/Oレジスタアドレス一覧 (15/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 942Eh	S12AD2	A/Dデータレジスタ7	ADDR7	16	16	2 ~ 3PCLKB	31章
0008 9430h	S12AD2	A/Dデータレジスタ8	ADDR8	16	16	2 ~ 3PCLKB	31章
0008 9432h	S12AD2	A/Dデータレジスタ9	ADDR9	16	16	2 ~ 3PCLKB	31章
0008 9434h	S12AD2	A/Dデータレジスタ10	ADDR10	16	16	2 ~ 3PCLKB	31章
0008 9436h	S12AD2	A/Dデータレジスタ11	ADDR11	16	16	2 ~ 3PCLKB	31章
0008 947Ah	S12AD2	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB	31章
0008 9480h	S12AD2	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2 ~ 3PCLKB	31章
0008 9484h	S12AD2	A/Dデータ二重化レジスタA	ADDBLDRA	16	16	2 ~ 3PCLKB	31章
0008 9486h	S12AD2	A/Dデータ二重化レジスタB	ADDBLDRB	16	16	2 ~ 3PCLKB	31章
0008 94D4h	S12AD2	A/Dチャンネル選択レジスタC0	ADANSC0	16	16	2 ~ 3PCLKB	31章
0008 94D9h	S12AD2	A/DグループCトリガ選択レジスタ	ADGCTRGR	8	8	2 ~ 3PCLKB	31章
0008 94DFh	S12AD2	A/DサンプリングステートレジスタO	ADSSTRO	8	8	2 ~ 3PCLKB	31章
0008 94E0h	S12AD2	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2 ~ 3PCLKB	31章
0008 94E1h	S12AD2	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2 ~ 3PCLKB	31章
0008 94E2h	S12AD2	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2 ~ 3PCLKB	31章
0008 94E3h	S12AD2	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2 ~ 3PCLKB	31章
0008 94E4h	S12AD2	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2 ~ 3PCLKB	31章
0008 94E5h	S12AD2	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2 ~ 3PCLKB	31章
0008 94E6h	S12AD2	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2 ~ 3PCLKB	31章
0008 94E7h	S12AD2	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8	2 ~ 3PCLKB	31章
0008 94E8h	S12AD2	A/Dサンプリングステートレジスタ8	ADSSTR8	8	8	2 ~ 3PCLKB	31章
0008 94E9h	S12AD2	A/Dサンプリングステートレジスタ9	ADSSTR9	8	8	2 ~ 3PCLKB	31章
0008 94EAh	S12AD2	A/Dサンプリングステートレジスタ10	ADSSTR10	8	8	2 ~ 3PCLKB	31章
0008 94EBh	S12AD2	A/Dサンプリングステートレジスタ11	ADSSTR11	8	8	2 ~ 3PCLKB	31章
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	26章
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	26章
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	26章
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	26章
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	26章
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	26章
0008 A026h	SMCI1	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	26章
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	26章
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	26章
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	26章
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	26章
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	26章
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	26章
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	26章
0008 A02Eh	SCI1	トランスミットデータレジスタHL	TDRHL	16	16	4 ~ 5PCLKB	26章
0008 A02Eh	SCI1	トランスミットデータレジスタH	TDRH	8	8	2 ~ 3PCLKB	26章
0008 A02Fh	SCI1	トランスミットデータレジスタL	TDRL	8	8	2 ~ 3PCLKB	26章
0008 A030h	SCI1	レシーブデータレジスタHL	RDRHL	16	16	4 ~ 5PCLKB	26章
0008 A030h	SCI1	レシーブデータレジスタH	RDRH	8	8	2 ~ 3PCLKB	26章
0008 A031h	SCI1	レシーブデータレジスタL	RDRL	8	8	2 ~ 3PCLKB	26章
0008 A032h	SCI1	モジュレーションデュリティレジスタ	MDDR	8	8	2 ~ 3PCLKB	26章
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	26章
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	26章
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	26章
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	26章
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	26章
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	26章

表5.1 I/Oレジスタアドレス一覧 (16/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 A0A6h	SMCI5	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	26章
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	26章
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	26章
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	26章
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	26章
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	26章
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	26章
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	26章
0008 A0AEh	SCI5	トランスミッターデータレジスタHL	TDRHL	16	16	4 ~ 5PCLKB	26章
0008 A0AEh	SCI5	トランスミッターデータレジスタH	TDRH	8	8	2 ~ 3PCLKB	26章
0008 A0AFh	SCI5	トランスミッターデータレジスタL	TDRL	8	8	2 ~ 3PCLKB	26章
0008 A0B0h	SCI5	レシーブデータレジスタHL	RDRHL	16	16	4 ~ 5PCLKB	26章
0008 A0B0h	SCI5	レシーブデータレジスタH	RDRH	8	8	2 ~ 3PCLKB	26章
0008 A0B1h	SCI5	レシーブデータレジスタL	RDRL	8	8	2 ~ 3PCLKB	26章
0008 A0B2h	SCI5	モジュレーションデュリティレジスタ	MDDR	8	8	2 ~ 3PCLKB	26章
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	26章
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	26章
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	26章
0008 A0C3h	SCI6	トランスミッターデータレジスタ	TDR	8	8	2 ~ 3PCLKB	26章
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	26章
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	26章
0008 A0C6h	SMCI6	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	26章
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	26章
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	26章
0008 A0C9h	SCI6	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	26章
0008 A0CAh	SCI6	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	26章
0008 A0CBh	SCI6	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	26章
0008 A0CCh	SCI6	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	26章
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	26章
0008 A0CEh	SCI6	トランスミッターデータレジスタHL	TDRHL	16	16	4 ~ 5PCLKB	26章
0008 A0CEh	SCI6	トランスミッターデータレジスタH	TDRH	8	8	2 ~ 3PCLKB	26章
0008 A0CFh	SCI6	トランスミッターデータレジスタL	TDRL	8	8	2 ~ 3PCLKB	26章
0008 A0D0h	SCI6	レシーブデータレジスタHL	RDRHL	16	16	4 ~ 5PCLKB	26章
0008 A0D0h	SCI6	レシーブデータレジスタH	RDRH	8	8	2 ~ 3PCLKB	26章
0008 A0D1h	SCI6	レシーブデータレジスタL	RDRL	8	8	2 ~ 3PCLKB	26章
0008 A0D2h	SCI6	モジュレーションデュリティレジスタ	MDDR	8	8	2 ~ 3PCLKB	26章
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2 ~ 3PCLKB	10章
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2 ~ 3PCLKB	10章
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2 ~ 3PCLKB	10章
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2 ~ 3PCLKB	10章
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2 ~ 3PCLKB	10章
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2 ~ 3PCLKB	10章
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2 ~ 3PCLKB	10章
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2 ~ 3PCLKB	10章
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2 ~ 3PCLKB	34章
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2 ~ 3PCLKB	34章
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2 ~ 3PCLKB	34章
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	18章
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	18章
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	18章
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	18章

表5.1 I/Oレジスタアドレス一覧 (17/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	18章
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	18章
0008 C006h	PORT6	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	18章
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	18章
0008 C008h	PORT8	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	18章
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	18章
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	18章
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	18章
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	18章
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	18章
0008 C020h	PORT0	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	18章
0008 C021h	PORT1	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	18章
0008 C022h	PORT2	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	18章
0008 C023h	PORT3	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	18章
0008 C024h	PORT4	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	18章
0008 C025h	PORT5	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	18章
0008 C026h	PORT6	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	18章
0008 C027h	PORT7	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	18章
0008 C028h	PORT8	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	18章
0008 C029h	PORT9	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	18章
0008 C02Ah	PORTA	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	18章
0008 C02Bh	PORTB	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	18章
0008 C02Dh	PORTD	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	18章
0008 C02Eh	PORTE	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	18章
0008 C040h	PORT0	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	18章
0008 C041h	PORT1	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	18章
0008 C042h	PORT2	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	18章
0008 C043h	PORT3	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	18章
0008 C044h	PORT4	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	18章
0008 C045h	PORT5	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	18章
0008 C046h	PORT6	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	18章
0008 C047h	PORT7	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	18章
0008 C048h	PORT8	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	18章
0008 C049h	PORT9	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	18章
0008 C04Ah	PORTA	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	18章
0008 C04Bh	PORTB	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	18章
0008 C04Dh	PORTD	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	18章
0008 C04Eh	PORTE	ポート入カデータレジスタ	PIDR	8	8	2 ~ 3PCLKB	18章
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	18章
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	18章
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	18章
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	18章
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	18章
0008 C068h	PORT8	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	18章
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	18章
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	18章
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	18章
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	18章
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	18章
0008 C080h	PORT0	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C082h	PORT1	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章

表5.1 I/Oレジスタアドレス一覧 (18/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 C084h	PORT2	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C085h	PORT2	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB	18章
0008 C086h	PORT3	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C08Eh	PORT7	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C08Fh	PORT7	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB	18章
0008 C090h	PORT8	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C092h	PORT9	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C093h	PORT9	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB	18章
0008 C094h	PORTA	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C095h	PORTA	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB	18章
0008 C096h	PORTB	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C097h	PORTB	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB	18章
0008 C09Ah	PORTD	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C09Bh	PORTD	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB	18章
0008 C09Ch	PORTE	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C09Dh	PORTE	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB	18章
0008 C0C0h	PORT0	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0C4h	PORT4	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0C5h	PORT5	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0C6h	PORT6	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0C7h	PORT7	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0C8h	PORT8	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0C9h	PORT9	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0CAh	PORTA	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0CDh	PORTD	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0CEh	PORTE	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0E0h	PORT0	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0E3h	PORT3	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0E7h	PORT7	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0E8h	PORT8	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0E9h	PORT9	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0EEh	PORTE	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2 ~ 3PCLKB	19章
0008 C140h	MPC	P00端子機能制御レジスタ	P00PFS	8	8	2 ~ 3PCLKB	19章
0008 C141h	MPC	P01端子機能制御レジスタ	P01PFS	8	8	2 ~ 3PCLKB	19章
0008 C142h	MPC	P02端子機能制御レジスタ	P02PFS	8	8	2 ~ 3PCLKB	19章
0008 C148h	MPC	P10端子機能制御レジスタ	P10PFS	8	8	2 ~ 3PCLKB	19章
0008 C149h	MPC	P11端子機能制御レジスタ	P11PFS	8	8	2 ~ 3PCLKB	19章
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2 ~ 3PCLKB	19章
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2 ~ 3PCLKB	19章
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2 ~ 3PCLKB	19章
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2 ~ 3PCLKB	19章

表5.1 I/Oレジスタアドレス一覧 (19/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2 ~ 3PCLKB	19章
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2 ~ 3PCLKB	19章
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2 ~ 3PCLKB	19章
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2 ~ 3PCLKB	19章
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2 ~ 3PCLKB	19章
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2 ~ 3PCLKB	19章
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2 ~ 3PCLKB	19章
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2 ~ 3PCLKB	19章
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2 ~ 3PCLKB	19章
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2 ~ 3PCLKB	19章
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2 ~ 3PCLKB	19章
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2 ~ 3PCLKB	19章
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2 ~ 3PCLKB	19章
0008 C168h	MPC	P50端子機能制御レジスタ	P50PFS	8	8	2 ~ 3PCLKB	19章
0008 C169h	MPC	P51端子機能制御レジスタ	P51PFS	8	8	2 ~ 3PCLKB	19章
0008 C16Ah	MPC	P52端子機能制御レジスタ	P52PFS	8	8	2 ~ 3PCLKB	19章
0008 C16Bh	MPC	P53端子機能制御レジスタ	P53PFS	8	8	2 ~ 3PCLKB	19章
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2 ~ 3PCLKB	19章
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2 ~ 3PCLKB	19章
0008 C170h	MPC	P60端子機能制御レジスタ	P60PFS	8	8	2 ~ 3PCLKB	19章
0008 C171h	MPC	P61端子機能制御レジスタ	P61PFS	8	8	2 ~ 3PCLKB	19章
0008 C172h	MPC	P62端子機能制御レジスタ	P62PFS	8	8	2 ~ 3PCLKB	19章
0008 C173h	MPC	P63端子機能制御レジスタ	P63PFS	8	8	2 ~ 3PCLKB	19章
0008 C174h	MPC	P64端子機能制御レジスタ	P64PFS	8	8	2 ~ 3PCLKB	19章
0008 C175h	MPC	P65端子機能制御レジスタ	P65PFS	8	8	2 ~ 3PCLKB	19章
0008 C178h	MPC	P70端子機能制御レジスタ	P70PFS	8	8	2 ~ 3PCLKB	19章
0008 C179h	MPC	P71端子機能制御レジスタ	P71PFS	8	8	2 ~ 3PCLKB	19章
0008 C17Ah	MPC	P72端子機能制御レジスタ	P72PFS	8	8	2 ~ 3PCLKB	19章
0008 C17Bh	MPC	P73端子機能制御レジスタ	P73PFS	8	8	2 ~ 3PCLKB	19章
0008 C17Ch	MPC	P74端子機能制御レジスタ	P74PFS	8	8	2 ~ 3PCLKB	19章
0008 C17Dh	MPC	P75端子機能制御レジスタ	P75PFS	8	8	2 ~ 3PCLKB	19章
0008 C17Eh	MPC	P76端子機能制御レジスタ	P76PFS	8	8	2 ~ 3PCLKB	19章
0008 C180h	MPC	P80端子機能制御レジスタ	P80PFS	8	8	2 ~ 3PCLKB	19章
0008 C181h	MPC	P81端子機能制御レジスタ	P81PFS	8	8	2 ~ 3PCLKB	19章
0008 C182h	MPC	P82端子機能制御レジスタ	P82PFS	8	8	2 ~ 3PCLKB	19章
0008 C188h	MPC	P90端子機能制御レジスタ	P90PFS	8	8	2 ~ 3PCLKB	19章
0008 C189h	MPC	P91端子機能制御レジスタ	P91PFS	8	8	2 ~ 3PCLKB	19章
0008 C18Ah	MPC	P92端子機能制御レジスタ	P92PFS	8	8	2 ~ 3PCLKB	19章
0008 C18Bh	MPC	P93端子機能制御レジスタ	P93PFS	8	8	2 ~ 3PCLKB	19章
0008 C18Ch	MPC	P94端子機能制御レジスタ	P94PFS	8	8	2 ~ 3PCLKB	19章
0008 C18Dh	MPC	P95端子機能制御レジスタ	P95PFS	8	8	2 ~ 3PCLKB	19章
0008 C18Eh	MPC	P96端子機能制御レジスタ	P96PFS	8	8	2 ~ 3PCLKB	19章
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2 ~ 3PCLKB	19章
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2 ~ 3PCLKB	19章
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2 ~ 3PCLKB	19章
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2 ~ 3PCLKB	19章
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2 ~ 3PCLKB	19章
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2 ~ 3PCLKB	19章
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2 ~ 3PCLKB	19章
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2 ~ 3PCLKB	19章
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2 ~ 3PCLKB	19章

表5.1 I/Oレジスタアドレス一覧 (20/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2 ~ 3PCLKB	19章
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2 ~ 3PCLKB	19章
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2 ~ 3PCLKB	19章
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2 ~ 3PCLKB	19章
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2 ~ 3PCLKB	19章
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2 ~ 3PCLKB	19章
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2 ~ 3PCLKB	19章
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2 ~ 3PCLKB	19章
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2 ~ 3PCLKB	19章
0008 C1ACh	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2 ~ 3PCLKB	19章
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2 ~ 3PCLKB	19章
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2 ~ 3PCLKB	19章
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2 ~ 3PCLKB	19章
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2 ~ 3PCLKB	19章
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2 ~ 3PCLKB	19章
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2 ~ 3PCLKB	19章
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2 ~ 3PCLKB	19章
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2 ~ 3PCLKB	19章
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2 ~ 3PCLKB	19章
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4 ~ 5PCLKB	6章
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4 ~ 5PCLKB	6章
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4 ~ 5PCLKB	9章
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4 ~ 5PCLKB	8章
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVL	8	8	4 ~ 5PCLKB	8章
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4 ~ 5PCLKB	8章
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4 ~ 5PCLKB	8章
0008 C4C0h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	8, 16	2 ~ 3PCLKB	21章
0008 C4C2h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	8, 16	2 ~ 3PCLKB	21章
0008 C4C4h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	8, 16	2 ~ 3PCLKB	21章
0008 C4C6h	POE	出力レベルコントロール/ステータスレジスタ2	OCSR2	16	8, 16	2 ~ 3PCLKB	21章
0008 C4C8h	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	8, 16	2 ~ 3PCLKB	21章
0008 C4CAh	POE	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2 ~ 3PCLKB	21章
0008 C4Cbh	POE	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8	2 ~ 3PCLKB	21章
0008 C4CCh	POE	ポートアウトブッティネーブルコントロールレジスタ2	POECR2	16	16	2 ~ 3PCLKB	21章
0008 C4CEh	POE	ポートアウトブッティネーブルコントロールレジスタ3(注2)	POECR3	16	16	2 ~ 3PCLKB	21章
0008 C4D0h	POE	ポートアウトブッティネーブルコントロールレジスタ4	POECR4	16	16	2 ~ 3PCLKB	21章
0008 C4D2h	POE	ポートアウトブッティネーブルコントロールレジスタ5	POECR5	16	16	2 ~ 3PCLKB	21章
0008 C4D4h	POE	ポートアウトブッティネーブルコントロールレジスタ6(注2)	POECR6	16	16	2 ~ 3PCLKB	21章
0008 C4D6h	POE	入力レベルコントロール/ステータスレジスタ4	ICSR4	16	8, 16	2 ~ 3PCLKB	21章
0008 C4D8h	POE	入力レベルコントロール/ステータスレジスタ5	ICSR5	16	8, 16	2 ~ 3PCLKB	21章
0008 C4DAh	POE	アクティブレベルレジスタ1	ALR1	16	8, 16	2 ~ 3PCLKB	21章
0008 C4DCh	POE	入力レベルコントロール/ステータスレジスタ6	ICSR6	16	16	2 ~ 3PCLKB	21章
0008 C4DEh	POE	アクティブレベルレジスタ2	ALR2	16	8, 16	2 ~ 3PCLKB	21章
0008 C4E0h	POE	入力レベルコントロール/ステータスレジスタ7	ICSR7	16	8, 16	2 ~ 3PCLKB	21章
0008 C4E2h	POE	ポートアウトブッティネーブルコントロールレジスタ7	POECR7	16	16	2 ~ 3PCLKB	21章
0008 C4E4h	POE	ポートアウトブッティネーブルコントロールレジスタ8	POECR8	16	16	2 ~ 3PCLKB	21章
0008 C4E6h	POE	ポートアウトブッティネーブルコンパレータ出力検出フラグレジスタ	POECMPFR	16	16	2 ~ 3PCLKB	21章
0008 C4E8h	POE	ポートアウトブッティネーブルコンパレータ要求選択レジスタ	POECMPSEL	16	16	2 ~ 3PCLKB	21章
0008 C4F0h	POE	ポートモードマスクコントロールレジスタ0(注2)	PMMCR0	8	8	2 ~ 3PCLKB	21章
0008 C4F2h	POE	ポートモードマスクコントロールレジスタ1(注2)	PMMCR1	16	16	2 ~ 3PCLKB	21章

表5.1 I/Oレジスタアドレス一覧 (21/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 C4F4h	POE	ポートモードマスクコントロールレジスタ2(注2)	PMMCR2	16	16	2 ~ 3PCLKB	21章
0008 C4F6h	POE	ポートモードマスクコントロールレジスタ3(注2)	PMMCR3	16	16	2 ~ 3PCLKB	21章
0008 C4F8h	POE	ポートアウトブッティネーブルコンパレータ要求拡張レジスタ0(注2)	POECMPEX0	8	8	2 ~ 3PCLKB	21章
0008 C4F9h	POE	ポートアウトブッティネーブルコンパレータ要求拡張レジスタ1(注2)	POECMPEX1	8	8	2 ~ 3PCLKB	21章
0008 C4FAh	POE	ポートアウトブッティネーブルコンパレータ要求拡張レジスタ2(注2)	POECMPEX2	8	8	2 ~ 3PCLKB	21章
0008 C4FCh	POE	ポートアウトブッティネーブルコンパレータ要求拡張レジスタ4(注2)	POECMPEX4	8	8	2 ~ 3PCLKB	21章
0008 C4FDh	POE	ポートアウトブッティネーブルコンパレータ要求拡張レジスタ5(注2)	POECMPEX5	8	8	2 ~ 3PCLKB	21章
000A 0C80h	CMPC0	コンパレータ制御レジスタ0	CMPCTL	8	8	1 ~ 2PCLKB	33章
000A 0C84h	CMPC0	コンパレータ入力切り替えレジスタ0	CMPSEL0	8	8	1 ~ 2PCLKB	33章
000A 0C88h	CMPC0	コンパレータ基準電圧選択レジスタ0	CMPSEL1	8	8	1 ~ 2PCLKB	33章
000A 0C8Ch	CMPC0	コンパレータ出力モニタレジスタ0	CMPMON	8	8	1 ~ 2PCLKB	33章
000A 0C90h	CMPC0	コンパレータ外部出力許可レジスタ0	CMPIOC	8	8	1 ~ 2PCLKB	33章
000A 0CA0h	CMPC1	コンパレータ制御レジスタ1	CMPCTL	8	8	1 ~ 2PCLKB	33章
000A 0CA4h	CMPC1	コンパレータ入力切り替えレジスタ1	CMPSEL0	8	8	1 ~ 2PCLKB	33章
000A 0CA8h	CMPC1	コンパレータ基準電圧選択レジスタ1	CMPSEL1	8	8	1 ~ 2PCLKB	33章
000A 0CACh	CMPC1	コンパレータ出力モニタレジスタ1	CMPMON	8	8	1 ~ 2PCLKB	33章
000A 0CB0h	CMPC1	コンパレータ外部出力許可レジスタ1	CMPIOC	8	8	1 ~ 2PCLKB	33章
000A 0CC0h	CMPC2	コンパレータ制御レジスタ2	CMPCTL	8	8	1 ~ 2PCLKB	33章
000A 0CC4h	CMPC2	コンパレータ入力切り替えレジスタ2	CMPSEL0	8	8	1 ~ 2PCLKB	33章
000A 0CC8h	CMPC2	コンパレータ基準電圧選択レジスタ2	CMPSEL1	8	8	1 ~ 2PCLKB	33章
000A 0CCCh	CMPC2	コンパレータ出力モニタレジスタ2	CMPMON	8	8	1 ~ 2PCLKB	33章
000A 0CD0h	CMPC2	コンパレータ外部出力許可レジスタ2	CMPIOC	8	8	1 ~ 2PCLKB	33章
000A 0CE0h	CMPC3	コンパレータ制御レジスタ3	CMPCTL	8	8	1 ~ 2PCLKB	33章
000A 0CE4h	CMPC3	コンパレータ入力切り替えレジスタ3	CMPSEL0	8	8	1 ~ 2PCLKB	33章
000A 0CE8h	CMPC3	コンパレータ基準電圧選択レジスタ3	CMPSEL1	8	8	1 ~ 2PCLKB	33章
000A 0CECh	CMPC3	コンパレータ出力モニタレジスタ3	CMPMON	8	8	1 ~ 2PCLKB	33章
000A 0CF0h	CMPC3	コンパレータ外部出力許可レジスタ3	CMPIOC	8	8	1 ~ 2PCLKB	33章
000A 8300h	RSCAN0	ビットコンフィグレーションレジスタL(注2)	CFGFL	16	16	2 ~ 3PCLKB	28章
000A 8302h	RSCAN0	ビットコンフィグレーションレジスタH(注2)	CFGH	16	16	2 ~ 3PCLKB	28章
000A 8304h	RSCAN0	制御レジスタL(注2)	CTRL	16	16	2 ~ 3PCLKB	28章
000A 8306h	RSCAN0	制御レジスタH(注2)	CTRH	16	16	2 ~ 3PCLKB	28章
000A 8308h	RSCAN0	ステータスレジスタL(注2)	STSL	16	16	2 ~ 3PCLKB	28章
000A 830Ah	RSCAN0	ステータスレジスタH(注2)	STSH	16	16	2 ~ 3PCLKB	28章
000A 830Ch	RSCAN0	エラーフラグレジスタL(注2)	ERFLL	16	16	2 ~ 3PCLKB	28章
000A 830Eh	RSCAN0	エラーフラグレジスタH(注2)	ERFLH	16	16	2 ~ 3PCLKB	28章
000A 8322h	RSCAN	グローバル設定レジスタL(注2)	GCFGL	16	16	2 ~ 3PCLKB	28章
000A 8324h	RSCAN	グローバル設定レジスタH(注2)	GCFGH	16	16	2 ~ 3PCLKB	28章
000A 8326h	RSCAN	グローバル制御レジスタL(注2)	GCTRL	16	16	2 ~ 3PCLKB	28章
000A 8328h	RSCAN	グローバル制御レジスタH(注2)	GCTRH	16	16	2 ~ 3PCLKB	28章
000A 832Ah	RSCAN	グローバルステータスレジスタ(注2)	GSTS	16	16	2 ~ 3PCLKB	28章
000A 832Ch	RSCAN	グローバルエラーフラグレジスタ(注2)	GERFLL	8	8	1 ~ 2PCLKB	28章
000A 832Eh	RSCAN	タイムスタンプレジスタ(注2)	GTSC	16	16	2 ~ 3PCLKB	28章
000A 8330h	RSCAN	受信ルール数設定レジスタ(注2)	GAFLCFG	16	16	2 ~ 3PCLKB	28章
000A 8332h	RSCAN	受信バッファ数設定レジスタ(注2)	RMNB	16	16	2 ~ 3PCLKB	28章
000A 8334h	RSCAN	受信バッファ受信完了フラグレジスタ(注2)	RMND0	16	16	2 ~ 3PCLKB	28章
000A 8338h	RSCAN	受信FIFO制御レジスタ0(注2)	RFCC0	16	16	2 ~ 3PCLKB	28章
000A 833Ah	RSCAN	受信FIFO制御レジスタ1(注2)	RFCC1	16	16	2 ~ 3PCLKB	28章
000A 8340h	RSCAN	受信FIFOステータスレジスタ0(注2)	RFSTS0	16	16	2 ~ 3PCLKB	28章

表5.1 I/Oレジスタアドレス一覧 (22/37)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
000A 8342h	RSCAN	受信FIFOステータスレジスタ1(注2)	RFSTS1	16	16	2 ~ 3PCLKB	28章
000A 8348h	RSCAN	受信FIFOポインタ制御レジスタ0(注2)	RFPCTR0	16	16	2 ~ 3PCLKB	28章
000A 834Ah	RSCAN	受信FIFOポインタ制御レジスタ1(注2)	RFPCTR1	16	16	2 ~ 3PCLKB	28章
000A 8350h	RSCAN0	送受信FIFO制御レジスタ0L(注2)	CFCCL0	16	16	2 ~ 3PCLKB	28章
000A 8352h	RSCAN0	送受信FIFO制御レジスタ0H(注2)	CFCCH0	16	16	2 ~ 3PCLKB	28章
000A 8358h	RSCAN0	送受信FIFOステータスレジスタ0(注2)	CFSTS0	16	16	2 ~ 3PCLKB	28章
000A 835Ch	RSCAN0	送受信FIFOポインタ制御レジスタ0(注2)	CFPCTR0	16	16	2 ~ 3PCLKB	28章
000A 8360h	RSCAN	受信FIFOメッセージロスステータスレジスタ(注2)	RFMSTS	8	8	1 ~ 2PCLKB	28章
000A 8361h	RSCAN0	送受信FIFOメッセージロスステータスレジスタ(注2)	CFMSTS	8	8	1 ~ 2PCLKB	28章
000A 8362h	RSCAN	受信FIFO割り込みステータスレジスタ(注2)	RFISTS	8	8	1 ~ 2PCLKB	28章
000A 8363h	RSCAN	送受信FIFO受信割り込みステータスレジスタ(注2)	CFISTS	8	8	1 ~ 2PCLKB	28章
000A 8364h	RSCAN0	送信バッファ制御レジスタ0(注2)	TMC0	8	8	1 ~ 2PCLKB	28章
000A 8365h	RSCAN0	送信バッファ制御レジスタ1(注2)	TMC1	8	8	1 ~ 2PCLKB	28章
000A 8366h	RSCAN0	送信バッファ制御レジスタ2(注2)	TMC2	8	8	1 ~ 2PCLKB	28章
000A 8367h	RSCAN0	送信バッファ制御レジスタ3(注2)	TMC3	8	8	1 ~ 2PCLKB	28章
000A 836Ch	RSCAN0	送信バッファステータスレジスタ0(注2)	TMSTS0	8	8	1 ~ 2PCLKB	28章
000A 836Dh	RSCAN0	送信バッファステータスレジスタ1(注2)	TMSTS1	8	8	1 ~ 2PCLKB	28章
000A 836Eh	RSCAN0	送信バッファステータスレジスタ2(注2)	TMSTS2	8	8	1 ~ 2PCLKB	28章
000A 836Fh	RSCAN0	送信バッファステータスレジスタ3(注2)	TMSTS3	8	8	1 ~ 2PCLKB	28章
000A 8374h	RSCAN0	送信バッファ送信要求ステータスレジスタ(注2)	TMTRSTS	16	16	2 ~ 3PCLKB	28章
000A 8376h	RSCAN0	送信バッファ送信完了ステータスレジスタ(注2)	TMTCSTS	16	16	2 ~ 3PCLKB	28章
000A 8378h	RSCAN0	送信バッファ送信アポートステータスレジスタ(注2)	TMTASTS	16	16	2 ~ 3PCLKB	28章
000A 837Ah	RSCAN0	送信バッファ割り込み許可レジスタ(注2)	TMIEC	16	16	2 ~ 3PCLKB	28章
000A 837Ch	RSCAN0	送信履歴バッファ制御レジスタ(注2)	THLCC0	16	16	2 ~ 3PCLKB	28章
000A 8380h	RSCAN0	送信履歴バッファステータスレジスタ(注2)	THLSTS0	16	16	2 ~ 3PCLKB	28章
000A 8384h	RSCAN0	送信履歴バッファポインタ制御レジスタ(注2)	THLPCTR0	16	16	2 ~ 3PCLKB	28章
000A 8388h	RSCAN	グローバル送信割り込みステータスレジスタ(注2)	GTINTSTS	16	16	2 ~ 3PCLKB	28章
000A 838Ah	RSCAN	グローバルRAMウィンドウ制御レジスタ(注2)	GRWCR	16	16	2 ~ 3PCLKB	28章
000A 838Ch	RSCAN	グローバルテスト設定レジスタ(注2)	GTSTCFG	16	16	2 ~ 3PCLKB	28章
000A 838Eh	RSCAN	グローバルテスト制御レジスタ(注2)	GTSTCTRL	8	8	1 ~ 2PCLKB	28章
000A 8394h	RSCAN	グローバルテストプロテクト解除レジスタ(注2)	GLOCKK	16	16	2 ~ 3PCLKB	28章
000A 83A0h	RSCAN	受信ルール登録レジスタ0AL(注2)	GAFLIDL0	16	16	2 ~ 3PCLKB	28章
000A 83A0h	RSCAN	受信バッファレジスタ0AL(注2)	RMIDL0	16	16	2 ~ 3PCLKB	28章
000A 83A2h	RSCAN	受信ルール登録レジスタ0AH(注2)	GAFLIDH0	16	16	2 ~ 3PCLKB	28章
000A 83A2h	RSCAN	受信バッファレジスタ0AH(注2)	RMIDH0	16	16	2 ~ 3PCLKB	28章
000A 83A4h	RSCAN	受信ルール登録レジスタ0BL(注2)	GAFLML0	16	16	2 ~ 3PCLKB	28章
000A 83A4h	RSCAN	受信バッファレジスタ0BL(注2)	RMTS0	16	16	2 ~ 3PCLKB	28章
000A 83A6h	RSCAN	受信ルール登録レジスタ0BH(注2)	GAFLMH0	16	16	2 ~ 3PCLKB	28章
000A 83A6h	RSCAN	受信バッファレジスタ0BH(注2)	RMPTR0	16	16	2 ~ 3PCLKB	28章
000A 83A8h	RSCAN	受信ルール登録レジスタ0CL(注2)	GAFLPL0	16	16	2 ~ 3PCLKB	28章
000A 83A8h	RSCAN	受信バッファレジスタ0CL(注2)	RMDF00	16	16	2 ~ 3PCLKB	28章
000A 83AAh	RSCAN	受信ルール登録レジスタ0CH(注2)	GAFLPH0	16	16	2 ~ 3PCLKB	28章
000A 83AAh	RSCAN	受信バッファレジスタ0CH(注2)	RMDF10	16	16	2 ~ 3PCLKB	28章
000A 83ACh	RSCAN	受信ルール登録レジスタ1AL(注2)	GAFLIDL1	16	16	2 ~ 3PCLKB	28章
000A 83ACh	RSCAN	受信バッファレジスタ0DL(注2)	RMDF20	16	16	2 ~ 3PCLKB	28章
000A 83AEh	RSCAN	受信ルール登録レジスタ1AH(注2)	GAFLIDH1	16	16	2 ~ 3PCLKB	28章
000A 83AEh	RSCAN	受信バッファレジスタ0DH(注2)	RMDF30	16	16	2 ~ 3PCLKB	28章
000A 83B0h	RSCAN	受信ルール登録レジスタ1BL(注2)	GAFLML1	16	16	2 ~ 3PCLKB	28章
000A 83B0h	RSCAN	受信バッファレジスタ1AL(注2)	RMIDL1	16	16	2 ~ 3PCLKB	28章
000A 83B2h	RSCAN	受信ルール登録レジスタ1BH(注2)	GAFLMH1	16	16	2 ~ 3PCLKB	28章
000A 83B2h	RSCAN	受信バッファレジスタ1AH(注2)	RMIDH1	16	16	2 ~ 3PCLKB	28章

表5.1 I/Oレジスタアドレス一覧 (23/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
000A 83B4h	RSCAN	受信ルール登録レジスタ1CL(注2)	GAFLPL1	16	16	2 ~ 3PCLKB	28章
000A 83B4h	RSCAN	受信バッファレジスタ1BL(注2)	RMST1	16	16	2 ~ 3PCLKB	28章
000A 83B6h	RSCAN	受信ルール登録レジスタ1CH(注2)	GAFLPH1	16	16	2 ~ 3PCLKB	28章
000A 83B6h	RSCAN	受信バッファレジスタ1BH(注2)	RMPTR1	16	16	2 ~ 3PCLKB	28章
000A 83B8h	RSCAN	受信ルール登録レジスタ2AL(注2)	GAFLIDL2	16	16	2 ~ 3PCLKB	28章
000A 83B8h	RSCAN	受信バッファレジスタ1CL(注2)	RMDF01	16	16	2 ~ 3PCLKB	28章
000A 83BAh	RSCAN	受信ルール登録レジスタ2AH(注2)	GAFLIDH2	16	16	2 ~ 3PCLKB	28章
000A 83BAh	RSCAN	受信バッファレジスタ1CH(注2)	RMDF11	16	16	2 ~ 3PCLKB	28章
000A 83BCh	RSCAN	受信ルール登録レジスタ2BL(注2)	GAFLML2	16	16	2 ~ 3PCLKB	28章
000A 83BCh	RSCAN	受信バッファレジスタ1DL(注2)	RMDF21	16	16	2 ~ 3PCLKB	28章
000A 83BEh	RSCAN	受信ルール登録レジスタ2BH(注2)	GAFLMH2	16	16	2 ~ 3PCLKB	28章
000A 83BEh	RSCAN	受信バッファレジスタ1DH(注2)	RMDF31	16	16	2 ~ 3PCLKB	28章
000A 83C0h	RSCAN	受信ルール登録レジスタ2CL(注2)	GAFLPL2	16	16	2 ~ 3PCLKB	28章
000A 83C0h	RSCAN	受信バッファレジスタ2AL(注2)	RMIDL2	16	16	2 ~ 3PCLKB	28章
000A 83C2h	RSCAN	受信ルール登録レジスタ2CH(注2)	GAFLPH2	16	16	2 ~ 3PCLKB	28章
000A 83C2h	RSCAN	受信バッファレジスタ2AH(注2)	RMIDH2	16	16	2 ~ 3PCLKB	28章
000A 83C4h	RSCAN	受信ルール登録レジスタ3AL(注2)	GAFLIDL3	16	16	2 ~ 3PCLKB	28章
000A 83C4h	RSCAN	受信バッファレジスタ2BL(注2)	RMST2	16	16	2 ~ 3PCLKB	28章
000A 83C6h	RSCAN	受信ルール登録レジスタ3AH(注2)	GAFLIDH3	16	16	2 ~ 3PCLKB	28章
000A 83C6h	RSCAN	受信バッファレジスタ2BH(注2)	RMPTR2	16	16	2 ~ 3PCLKB	28章
000A 83C8h	RSCAN	受信ルール登録レジスタ3BL(注2)	GAFLML3	16	16	2 ~ 3PCLKB	28章
000A 83C8h	RSCAN	受信バッファレジスタ2CL(注2)	RMDF02	16	16	2 ~ 3PCLKB	28章
000A 83CAh	RSCAN	受信ルール登録レジスタ3BH(注2)	GAFLMH3	16	16	2 ~ 3PCLKB	28章
000A 83CAh	RSCAN	受信バッファレジスタ2CH(注2)	RMDF12	16	16	2 ~ 3PCLKB	28章
000A 83CCh	RSCAN	受信ルール登録レジスタ3CL(注2)	GAFLPL3	16	16	2 ~ 3PCLKB	28章
000A 83CCh	RSCAN	受信バッファレジスタ2DL(注2)	RMDF22	16	16	2 ~ 3PCLKB	28章
000A 83CEh	RSCAN	受信ルール登録レジスタ3CH(注2)	GAFLPH3	16	16	2 ~ 3PCLKB	28章
000A 83CEh	RSCAN	受信バッファレジスタ2DH(注2)	RMDF32	16	16	2 ~ 3PCLKB	28章
000A 83D0h	RSCAN	受信ルール登録レジスタ4AL(注2)	GAFLIDL4	16	16	2 ~ 3PCLKB	28章
000A 83D0h	RSCAN	受信バッファレジスタ3AL(注2)	RMIDL3	16	16	2 ~ 3PCLKB	28章
000A 83D2h	RSCAN	受信ルール登録レジスタ4AH(注2)	GAFLIDH4	16	16	2 ~ 3PCLKB	28章
000A 83D2h	RSCAN	受信バッファレジスタ3AH(注2)	RMIDH3	16	16	2 ~ 3PCLKB	28章
000A 83D4h	RSCAN	受信ルール登録レジスタ4BL(注2)	GAFLML4	16	16	2 ~ 3PCLKB	28章
000A 83D4h	RSCAN	受信バッファレジスタ3BL(注2)	RMST3	16	16	2 ~ 3PCLKB	28章
000A 83D6h	RSCAN	受信ルール登録レジスタ4BH(注2)	GAFLMH4	16	16	2 ~ 3PCLKB	28章
000A 83D6h	RSCAN	受信バッファレジスタ3BH(注2)	RMPTR3	16	16	2 ~ 3PCLKB	28章
000A 83D8h	RSCAN	受信ルール登録レジスタ4CL(注2)	GAFLPL4	16	16	2 ~ 3PCLKB	28章
000A 83D8h	RSCAN	受信バッファレジスタ3CL(注2)	RMDF03	16	16	2 ~ 3PCLKB	28章
000A 83DAh	RSCAN	受信ルール登録レジスタ4CH(注2)	GAFLPH4	16	16	2 ~ 3PCLKB	28章
000A 83DAh	RSCAN	受信バッファレジスタ3CH(注2)	RMDF13	16	16	2 ~ 3PCLKB	28章
000A 83DCh	RSCAN	受信ルール登録レジスタ5AL(注2)	GAFLIDL5	16	16	2 ~ 3PCLKB	28章
000A 83DCh	RSCAN	受信バッファレジスタ3DL(注2)	RMDF23	16	16	2 ~ 3PCLKB	28章
000A 83DEh	RSCAN	受信ルール登録レジスタ5AH(注2)	GAFLIDH5	16	16	2 ~ 3PCLKB	28章
000A 83DEh	RSCAN	受信バッファレジスタ3DH(注2)	RMDF33	16	16	2 ~ 3PCLKB	28章
000A 83E0h	RSCAN	受信ルール登録レジスタ5BL(注2)	GAFLML5	16	16	2 ~ 3PCLKB	28章
000A 83E0h	RSCAN	受信バッファレジスタ4AL(注2)	RMIDL4	16	16	2 ~ 3PCLKB	28章
000A 83E2h	RSCAN	受信ルール登録レジスタ5BH(注2)	GAFLMH5	16	16	2 ~ 3PCLKB	28章
000A 83E2h	RSCAN	受信バッファレジスタ4AH(注2)	RMIDH4	16	16	2 ~ 3PCLKB	28章
000A 83E4h	RSCAN	受信ルール登録レジスタ5CL(注2)	GAFLPL5	16	16	2 ~ 3PCLKB	28章
000A 83E4h	RSCAN	受信バッファレジスタ4BL(注2)	RMST4	16	16	2 ~ 3PCLKB	28章
000A 83E6h	RSCAN	受信ルール登録レジスタ5CH(注2)	GAFLPH5	16	16	2 ~ 3PCLKB	28章

表5.1 I/Oレジスタアドレス一覧 (24/37)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	参照章
						ICLK \geq PCLKの場合	
000A 83E6h	RSCAN	受信バッファレジスタ4BH(注2)	RMPTR4	16	16	2 ~ 3PCLKB	28章
000A 83E8h	RSCAN	受信ルール登録レジスタ6AL(注2)	GAFLIDL6	16	16	2 ~ 3PCLKB	28章
000A 83E8h	RSCAN	受信バッファレジスタ4CL(注2)	RMDF04	16	16	2 ~ 3PCLKB	28章
000A 83EAh	RSCAN	受信ルール登録レジスタ6AH(注2)	GAFLIDH6	16	16	2 ~ 3PCLKB	28章
000A 83EAh	RSCAN	受信バッファレジスタ4CH(注2)	RMDF14	16	16	2 ~ 3PCLKB	28章
000A 83ECh	RSCAN	受信ルール登録レジスタ6BL(注2)	GAFLML6	16	16	2 ~ 3PCLKB	28章
000A 83ECh	RSCAN	受信バッファレジスタ4DL(注2)	RMDF24	16	16	2 ~ 3PCLKB	28章
000A 83EEh	RSCAN	受信ルール登録レジスタ6BH(注2)	GAFLMH6	16	16	2 ~ 3PCLKB	28章
000A 83EEh	RSCAN	受信バッファレジスタ4DH(注2)	RMDF34	16	16	2 ~ 3PCLKB	28章
000A 83F0h	RSCAN	受信ルール登録レジスタ6CL(注2)	GAFLPL6	16	16	2 ~ 3PCLKB	28章
000A 83F0h	RSCAN	受信バッファレジスタ5AL(注2)	RMIDL5	16	16	2 ~ 3PCLKB	28章
000A 83F2h	RSCAN	受信ルール登録レジスタ6CH(注2)	GAFLPH6	16	16	2 ~ 3PCLKB	28章
000A 83F2h	RSCAN	受信バッファレジスタ5AH(注2)	RMIDH5	16	16	2 ~ 3PCLKB	28章
000A 83F4h	RSCAN	受信ルール登録レジスタ7AL(注2)	GAFLIDL7	16	16	2 ~ 3PCLKB	28章
000A 83F4h	RSCAN	受信バッファレジスタ5BL(注2)	RMTS5	16	16	2 ~ 3PCLKB	28章
000A 83F6h	RSCAN	受信ルール登録レジスタ7AH(注2)	GAFLIDH7	16	16	2 ~ 3PCLKB	28章
000A 83F6h	RSCAN	受信バッファレジスタ5BH(注2)	RMPTR5	16	16	2 ~ 3PCLKB	28章
000A 83F8h	RSCAN	受信ルール登録レジスタ7BL(注2)	GAFLML7	16	16	2 ~ 3PCLKB	28章
000A 83F8h	RSCAN	受信バッファレジスタ5CL(注2)	RMDF05	16	16	2 ~ 3PCLKB	28章
000A 83FAh	RSCAN	受信ルール登録レジスタ7BH(注2)	GAFLMH7	16	16	2 ~ 3PCLKB	28章
000A 83FAh	RSCAN	受信バッファレジスタ5CH(注2)	RMDF15	16	16	2 ~ 3PCLKB	28章
000A 83FCh	RSCAN	受信ルール登録レジスタ7CL(注2)	GAFLPL7	16	16	2 ~ 3PCLKB	28章
000A 83FCh	RSCAN	受信バッファレジスタ5DL(注2)	RMDF25	16	16	2 ~ 3PCLKB	28章
000A 83FEh	RSCAN	受信ルール登録レジスタ7CH(注2)	GAFLPH7	16	16	2 ~ 3PCLKB	28章
000A 83FEh	RSCAN	受信バッファレジスタ5DH(注2)	RMDF35	16	16	2 ~ 3PCLKB	28章
000A 8400h	RSCAN	受信ルール登録レジスタ8AL(注2)	GAFLIDL8	16	16	2 ~ 3PCLKB	28章
000A 8400h	RSCAN	受信バッファレジスタ6AL(注2)	RMIDL6	16	16	2 ~ 3PCLKB	28章
000A 8402h	RSCAN	受信ルール登録レジスタ8AH(注2)	GAFLIDH8	16	16	2 ~ 3PCLKB	28章
000A 8402h	RSCAN	受信バッファレジスタ6AH(注2)	RMIDH6	16	16	2 ~ 3PCLKB	28章
000A 8404h	RSCAN	受信ルール登録レジスタ8BL(注2)	GAFLML8	16	16	2 ~ 3PCLKB	28章
000A 8404h	RSCAN	受信バッファレジスタ6BL(注2)	RMTS6	16	16	2 ~ 3PCLKB	28章
000A 8406h	RSCAN	受信ルール登録レジスタ8BH(注2)	GAFLMH8	16	16	2 ~ 3PCLKB	28章
000A 8406h	RSCAN	受信バッファレジスタ6BH(注2)	RMPTR6	16	16	2 ~ 3PCLKB	28章
000A 8408h	RSCAN	受信ルール登録レジスタ8CL(注2)	GAFLPL8	16	16	2 ~ 3PCLKB	28章
000A 8408h	RSCAN	受信バッファレジスタ6CL(注2)	RMDF06	16	16	2 ~ 3PCLKB	28章
000A 840Ah	RSCAN	受信ルール登録レジスタ8CH(注2)	GAFLPH8	16	16	2 ~ 3PCLKB	28章
000A 840Ah	RSCAN	受信バッファレジスタ6CH(注2)	RMDF16	16	16	2 ~ 3PCLKB	28章
000A 840Ch	RSCAN	受信ルール登録レジスタ9AL(注2)	GAFLIDL9	16	16	2 ~ 3PCLKB	28章
000A 840Ch	RSCAN	受信バッファレジスタ6DL(注2)	RMDF26	16	16	2 ~ 3PCLKB	28章
000A 840Eh	RSCAN	受信ルール登録レジスタ9AH(注2)	GAFLIDH9	16	16	2 ~ 3PCLKB	28章
000A 840Eh	RSCAN	受信バッファレジスタ6DH(注2)	RMDF36	16	16	2 ~ 3PCLKB	28章
000A 8410h	RSCAN	受信ルール登録レジスタ9BL(注2)	GAFLML9	16	16	2 ~ 3PCLKB	28章
000A 8410h	RSCAN	受信バッファレジスタ7AL(注2)	RMIDL7	16	16	2 ~ 3PCLKB	28章
000A 8412h	RSCAN	受信ルール登録レジスタ9BH(注2)	GAFLMH9	16	16	2 ~ 3PCLKB	28章
000A 8412h	RSCAN	受信バッファレジスタ7AH(注2)	RMIDH7	16	16	2 ~ 3PCLKB	28章
000A 8414h	RSCAN	受信ルール登録レジスタ9CL(注2)	GAFLPL9	16	16	2 ~ 3PCLKB	28章
000A 8414h	RSCAN	受信バッファレジスタ7BL(注2)	RMTS7	16	16	2 ~ 3PCLKB	28章
000A 8416h	RSCAN	受信ルール登録レジスタ9CH(注2)	GAFLPH9	16	16	2 ~ 3PCLKB	28章
000A 8416h	RSCAN	受信バッファレジスタ7BH(注2)	RMPTR7	16	16	2 ~ 3PCLKB	28章
000A 8418h	RSCAN	受信ルール登録レジスタ10AL(注2)	GAFLIDL10	16	16	2 ~ 3PCLKB	28章
000A 8418h	RSCAN	受信バッファレジスタ7CL(注2)	RMDF07	16	16	2 ~ 3PCLKB	28章

表5.1 I/Oレジスタアドレス一覧 (25/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
000A 841Ah	RSCAN	受信ルール登録レジスタ 10AH(注2)	GAFLIDH10	16	16	2 ~ 3PCLKB	28章
000A 841Ah	RSCAN	受信バッファレジスタ 7CH(注2)	RMDF17	16	16	2 ~ 3PCLKB	28章
000A 841Ch	RSCAN	受信ルール登録レジスタ 10BL(注2)	GAFLML10	16	16	2 ~ 3PCLKB	28章
000A 841Ch	RSCAN	受信バッファレジスタ 7DL(注2)	RMDF27	16	16	2 ~ 3PCLKB	28章
000A 841Eh	RSCAN	受信ルール登録レジスタ 10BH(注2)	GAFLMH10	16	16	2 ~ 3PCLKB	28章
000A 841Eh	RSCAN	受信バッファレジスタ 7DH(注2)	RMDF37	16	16	2 ~ 3PCLKB	28章
000A 8420h	RSCAN	受信ルール登録レジスタ 10CL(注2)	GAFLPL10	16	16	2 ~ 3PCLKB	28章
000A 8420h	RSCAN	受信バッファレジスタ 8AL(注2)	RMIDL8	16	16	2 ~ 3PCLKB	28章
000A 8422h	RSCAN	受信ルール登録レジスタ 10CH(注2)	GAFLPH10	16	16	2 ~ 3PCLKB	28章
000A 8422h	RSCAN	受信バッファレジスタ 8AH(注2)	RMIDH8	16	16	2 ~ 3PCLKB	28章
000A 8424h	RSCAN	受信ルール登録レジスタ 11AL(注2)	GAFLIDL11	16	16	2 ~ 3PCLKB	28章
000A 8424h	RSCAN	受信バッファレジスタ 8BL(注2)	RMTS8	16	16	2 ~ 3PCLKB	28章
000A 8426h	RSCAN	受信ルール登録レジスタ 11AH(注2)	GAFLIDH11	16	16	2 ~ 3PCLKB	28章
000A 8426h	RSCAN	受信バッファレジスタ 8BH(注2)	RMPTR8	16	16	2 ~ 3PCLKB	28章
000A 8428h	RSCAN	受信ルール登録レジスタ 11BL(注2)	GAFLML11	16	16	2 ~ 3PCLKB	28章
000A 8428h	RSCAN	受信バッファレジスタ 8CL(注2)	RMDF08	16	16	2 ~ 3PCLKB	28章
000A 842Ah	RSCAN	受信ルール登録レジスタ 11BH(注2)	GAFLMH11	16	16	2 ~ 3PCLKB	28章
000A 842Ah	RSCAN	受信バッファレジスタ 8CH(注2)	RMDF18	16	16	2 ~ 3PCLKB	28章
000A 842Ch	RSCAN	受信ルール登録レジスタ 11CL(注2)	GAFLPL11	16	16	2 ~ 3PCLKB	28章
000A 842Ch	RSCAN	受信バッファレジスタ 8DL(注2)	RMDF28	16	16	2 ~ 3PCLKB	28章
000A 842Eh	RSCAN	受信ルール登録レジスタ 11CH(注2)	GAFLPH11	16	16	2 ~ 3PCLKB	28章
000A 842Eh	RSCAN	受信バッファレジスタ 8DH(注2)	RMDF38	16	16	2 ~ 3PCLKB	28章
000A 8430h	RSCAN	受信ルール登録レジスタ 12AL(注2)	GAFLIDL12	16	16	2 ~ 3PCLKB	28章
000A 8430h	RSCAN	受信バッファレジスタ 9AL(注2)	RMIDL9	16	16	2 ~ 3PCLKB	28章
000A 8432h	RSCAN	受信ルール登録レジスタ 12AH(注2)	GAFLIDH12	16	16	2 ~ 3PCLKB	28章
000A 8432h	RSCAN	受信バッファレジスタ 9AH(注2)	RMIDH9	16	16	2 ~ 3PCLKB	28章
000A 8434h	RSCAN	受信ルール登録レジスタ 12BL(注2)	GAFLML12	16	16	2 ~ 3PCLKB	28章
000A 8434h	RSCAN	受信バッファレジスタ 9BL(注2)	RMTS9	16	16	2 ~ 3PCLKB	28章
000A 8436h	RSCAN	受信ルール登録レジスタ 12BH(注2)	GAFLMH12	16	16	2 ~ 3PCLKB	28章
000A 8436h	RSCAN	受信バッファレジスタ 9BH(注2)	RMPTR9	16	16	2 ~ 3PCLKB	28章
000A 8438h	RSCAN	受信ルール登録レジスタ 12CL(注2)	GAFLPL12	16	16	2 ~ 3PCLKB	28章
000A 8438h	RSCAN	受信バッファレジスタ 9CL(注2)	RMDF09	16	16	2 ~ 3PCLKB	28章
000A 843Ah	RSCAN	受信ルール登録レジスタ 12CH(注2)	GAFLPH12	16	16	2 ~ 3PCLKB	28章
000A 843Ah	RSCAN	受信バッファレジスタ 9CH(注2)	RMDF19	16	16	2 ~ 3PCLKB	28章
000A 843Ch	RSCAN	受信ルール登録レジスタ 13AL(注2)	GAFLIDL13	16	16	2 ~ 3PCLKB	28章
000A 843Ch	RSCAN	受信バッファレジスタ 9DL(注2)	RMDF29	16	16	2 ~ 3PCLKB	28章
000A 843Eh	RSCAN	受信ルール登録レジスタ 13AH(注2)	GAFLIDH13	16	16	2 ~ 3PCLKB	28章
000A 843Eh	RSCAN	受信バッファレジスタ 9DH(注2)	RMDF39	16	16	2 ~ 3PCLKB	28章
000A 8440h	RSCAN	受信ルール登録レジスタ 13BL(注2)	GAFLML13	16	16	2 ~ 3PCLKB	28章
000A 8440h	RSCAN	受信バッファレジスタ 10AL(注2)	RMIDL10	16	16	2 ~ 3PCLKB	28章
000A 8442h	RSCAN	受信ルール登録レジスタ 13BH(注2)	GAFLMH13	16	16	2 ~ 3PCLKB	28章
000A 8442h	RSCAN	受信バッファレジスタ 10AH(注2)	RMIDH10	16	16	2 ~ 3PCLKB	28章
000A 8444h	RSCAN	受信ルール登録レジスタ 13CL(注2)	GAFLPL13	16	16	2 ~ 3PCLKB	28章
000A 8444h	RSCAN	受信バッファレジスタ 10BL(注2)	RMTS10	16	16	2 ~ 3PCLKB	28章
000A 8446h	RSCAN	受信ルール登録レジスタ 13CH(注2)	GAFLPH13	16	16	2 ~ 3PCLKB	28章
000A 8446h	RSCAN	受信バッファレジスタ 10BH(注2)	RMPTR10	16	16	2 ~ 3PCLKB	28章
000A 8448h	RSCAN	受信ルール登録レジスタ 14AL(注2)	GAFLIDL14	16	16	2 ~ 3PCLKB	28章
000A 8448h	RSCAN	受信バッファレジスタ 10CL(注2)	RMDF010	16	16	2 ~ 3PCLKB	28章
000A 844Ah	RSCAN	受信ルール登録レジスタ 14AH(注2)	GAFLIDH14	16	16	2 ~ 3PCLKB	28章
000A 844Ah	RSCAN	受信バッファレジスタ 10CH(注2)	RMDF110	16	16	2 ~ 3PCLKB	28章
000A 844Ch	RSCAN	受信ルール登録レジスタ 14BL(注2)	GAFLML14	16	16	2 ~ 3PCLKB	28章

表5.1 I/Oレジスタアドレス一覧 (26/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
000A 844Ch	RSCAN	受信バッファレジスタ 10DL(注2)	RMDF210	16	16	2 ~ 3PCLKB	28章
000A 844Eh	RSCAN	受信ルール登録レジスタ 14BH(注2)	GAFLMH14	16	16	2 ~ 3PCLKB	28章
000A 844Eh	RSCAN	受信バッファレジスタ 10DH(注2)	RMDF310	16	16	2 ~ 3PCLKB	28章
000A 8450h	RSCAN	受信ルール登録レジスタ 14CL(注2)	GAFLPL14	16	16	2 ~ 3PCLKB	28章
000A 8450h	RSCAN	受信バッファレジスタ 11AL(注2)	RMIDL11	16	16	2 ~ 3PCLKB	28章
000A 8452h	RSCAN	受信ルール登録レジスタ 14CH(注2)	GAFLPH14	16	16	2 ~ 3PCLKB	28章
000A 8452h	RSCAN	受信バッファレジスタ 11AH(注2)	RMIDH11	16	16	2 ~ 3PCLKB	28章
000A 8454h	RSCAN	受信ルール登録レジスタ 15AL(注2)	GAFLIDL15	16	16	2 ~ 3PCLKB	28章
000A 8454h	RSCAN	受信バッファレジスタ 11BL(注2)	RMTS11	16	16	2 ~ 3PCLKB	28章
000A 8456h	RSCAN	受信ルール登録レジスタ 15AH(注2)	GAFLIDH15	16	16	2 ~ 3PCLKB	28章
000A 8456h	RSCAN	受信バッファレジスタ 11BH(注2)	RMPTR11	16	16	2 ~ 3PCLKB	28章
000A 8458h	RSCAN	受信ルール登録レジスタ 15BL(注2)	GAFLML15	16	16	2 ~ 3PCLKB	28章
000A 8458h	RSCAN	受信バッファレジスタ 11CL(注2)	RMDF011	16	16	2 ~ 3PCLKB	28章
000A 845Ah	RSCAN	受信ルール登録レジスタ 15BH(注2)	GAFLMH15	16	16	2 ~ 3PCLKB	28章
000A 845Ah	RSCAN	受信バッファレジスタ 11CH(注2)	RMDF111	16	16	2 ~ 3PCLKB	28章
000A 845Ch	RSCAN	受信ルール登録レジスタ 15CL(注2)	GAFLPL15	16	16	2 ~ 3PCLKB	28章
000A 845Ch	RSCAN	受信バッファレジスタ 11DL(注2)	RMDF211	16	16	2 ~ 3PCLKB	28章
000A 845Eh	RSCAN	受信ルール登録レジスタ 15CH(注2)	GAFLPH15	16	16	2 ~ 3PCLKB	28章
000A 845Eh	RSCAN	受信バッファレジスタ 11DH(注2)	RMDF311	16	16	2 ~ 3PCLKB	28章
000A 8460h	RSCAN	受信バッファレジスタ 12AL(注2)	RMIDL12	16	16	2 ~ 3PCLKB	28章
000A 8462h	RSCAN	受信バッファレジスタ 12AH(注2)	RMIDH12	16	16	2 ~ 3PCLKB	28章
000A 8464h	RSCAN	受信バッファレジスタ 12BL(注2)	RMTS12	16	16	2 ~ 3PCLKB	28章
000A 8466h	RSCAN	受信バッファレジスタ 12BH(注2)	RMPTR12	16	16	2 ~ 3PCLKB	28章
000A 8468h	RSCAN	受信バッファレジスタ 12CL(注2)	RMDF012	16	16	2 ~ 3PCLKB	28章
000A 846Ah	RSCAN	受信バッファレジスタ 12CH(注2)	RMDF112	16	16	2 ~ 3PCLKB	28章
000A 846Ch	RSCAN	受信バッファレジスタ 12DL(注2)	RMDF212	16	16	2 ~ 3PCLKB	28章
000A 846Eh	RSCAN	受信バッファレジスタ 12DH(注2)	RMDF312	16	16	2 ~ 3PCLKB	28章
000A 8470h	RSCAN	受信バッファレジスタ 13AL(注2)	RMIDL13	16	16	2 ~ 3PCLKB	28章
000A 8472h	RSCAN	受信バッファレジスタ 13AH(注2)	RMIDH13	16	16	2 ~ 3PCLKB	28章
000A 8474h	RSCAN	受信バッファレジスタ 13BL(注2)	RMTS13	16	16	2 ~ 3PCLKB	28章
000A 8476h	RSCAN	受信バッファレジスタ 13BH(注2)	RMPTR13	16	16	2 ~ 3PCLKB	28章
000A 8478h	RSCAN	受信バッファレジスタ 13CL(注2)	RMDF013	16	16	2 ~ 3PCLKB	28章
000A 847Ah	RSCAN	受信バッファレジスタ 13CH(注2)	RMDF113	16	16	2 ~ 3PCLKB	28章
000A 847Ch	RSCAN	受信バッファレジスタ 13DL(注2)	RMDF213	16	16	2 ~ 3PCLKB	28章
000A 847Eh	RSCAN	受信バッファレジスタ 13DH(注2)	RMDF313	16	16	2 ~ 3PCLKB	28章
000A 8480h	RSCAN	受信バッファレジスタ 14AL(注2)	RMIDL14	16	16	2 ~ 3PCLKB	28章
000A 8482h	RSCAN	受信バッファレジスタ 14AH(注2)	RMIDH14	16	16	2 ~ 3PCLKB	28章
000A 8484h	RSCAN	受信バッファレジスタ 14BL(注2)	RMTS14	16	16	2 ~ 3PCLKB	28章
000A 8486h	RSCAN	受信バッファレジスタ 14BH(注2)	RMPTR14	16	16	2 ~ 3PCLKB	28章
000A 8488h	RSCAN	受信バッファレジスタ 14CL(注2)	RMDF014	16	16	2 ~ 3PCLKB	28章
000A 848Ah	RSCAN	受信バッファレジスタ 14CH(注2)	RMDF114	16	16	2 ~ 3PCLKB	28章
000A 848Ch	RSCAN	受信バッファレジスタ 14DL(注2)	RMDF214	16	16	2 ~ 3PCLKB	28章
000A 848Eh	RSCAN	受信バッファレジスタ 14DH(注2)	RMDF314	16	16	2 ~ 3PCLKB	28章
000A 8490h	RSCAN	受信バッファレジスタ 15AL(注2)	RMIDL15	16	16	2 ~ 3PCLKB	28章
000A 8492h	RSCAN	受信バッファレジスタ 15AH(注2)	RMIDH15	16	16	2 ~ 3PCLKB	28章
000A 8494h	RSCAN	受信バッファレジスタ 15BL(注2)	RMTS15	16	16	2 ~ 3PCLKB	28章
000A 8496h	RSCAN	受信バッファレジスタ 15BH(注2)	RMPTR15	16	16	2 ~ 3PCLKB	28章
000A 8498h	RSCAN	受信バッファレジスタ 15CL(注2)	RMDF015	16	16	2 ~ 3PCLKB	28章
000A 849Ah	RSCAN	受信バッファレジスタ 15CH(注2)	RMDF115	16	16	2 ~ 3PCLKB	28章
000A 849Ch	RSCAN	受信バッファレジスタ 15DL(注2)	RMDF215	16	16	2 ~ 3PCLKB	28章
000A 849Eh	RSCAN	受信バッファレジスタ 15DH(注2)	RMDF315	16	16	2 ~ 3PCLKB	28章

表5.1 I/Oレジスタアドレス一覧 (27/37)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
000A 8580h ~ 000A 859Fh	RSCAN	RAMテストレジスタ0~15(注2)	RPGACC0~15	16	16	2~3PCLKB	28章
000A 85A0h	RSCAN	受信FIFOアクセスレジスタ0AL(注2)	RFIDL0	16	16	2~3PCLKB	28章
000A 85A0h	RSCAN	RAMテストレジスタ16(注2)	RPGACC16	16	16	2~3PCLKB	28章
000A 85A2h	RSCAN	受信FIFOアクセスレジスタ0AH(注2)	RFIDH0	16	16	2~3PCLKB	28章
000A 85A2h	RSCAN	RAMテストレジスタ17(注2)	RPGACC17	16	16	2~3PCLKB	28章
000A 85A4h	RSCAN	受信FIFOアクセスレジスタ0BL(注2)	RFTS0	16	16	2~3PCLKB	28章
000A 85A4h	RSCAN	RAMテストレジスタ18(注2)	RPGACC18	16	16	2~3PCLKB	28章
000A 85A6h	RSCAN	受信FIFOアクセスレジスタ0BH(注2)	RFPTR0	16	16	2~3PCLKB	28章
000A 85A6h	RSCAN	RAMテストレジスタ19(注2)	RPGACC19	16	16	2~3PCLKB	28章
000A 85A8h	RSCAN	受信FIFOアクセスレジスタ0CL(注2)	RDF00	16	16	2~3PCLKB	28章
000A 85A8h	RSCAN	RAMテストレジスタ20(注2)	RPGACC20	16	16	2~3PCLKB	28章
000A 85AAh	RSCAN	受信FIFOアクセスレジスタ0CH(注2)	RDF010	16	16	2~3PCLKB	28章
000A 85AAh	RSCAN	RAMテストレジスタ21(注2)	RPGACC21	16	16	2~3PCLKB	28章
000A 85ACh	RSCAN	受信FIFOアクセスレジスタ0DL(注2)	RDF020	16	16	2~3PCLKB	28章
000A 85ACh	RSCAN	RAMテストレジスタ22(注2)	RPGACC22	16	16	2~3PCLKB	28章
000A 85AEh	RSCAN	受信FIFOアクセスレジスタ0DH(注2)	RDF030	16	16	2~3PCLKB	28章
000A 85AEh	RSCAN	RAMテストレジスタ23(注2)	RPGACC23	16	16	2~3PCLKB	28章
000A 85B0h	RSCAN	受信FIFOアクセスレジスタ1AL(注2)	RFIDL1	16	16	2~3PCLKB	28章
000A 85B0h	RSCAN	RAMテストレジスタ24(注2)	RPGACC24	16	16	2~3PCLKB	28章
000A 85B2h	RSCAN	受信FIFOアクセスレジスタ1AH(注2)	RFIDH1	16	16	2~3PCLKB	28章
000A 85B2h	RSCAN	RAMテストレジスタ25(注2)	RPGACC25	16	16	2~3PCLKB	28章
000A 85B4h	RSCAN	受信FIFOアクセスレジスタ1BL(注2)	RFTS1	16	16	2~3PCLKB	28章
000A 85B4h	RSCAN	RAMテストレジスタ26(注2)	RPGACC26	16	16	2~3PCLKB	28章
000A 85B6h	RSCAN	受信FIFOアクセスレジスタ1BH(注2)	RFPTR1	16	16	2~3PCLKB	28章
000A 85B6h	RSCAN	RAMテストレジスタ27(注2)	RPGACC27	16	16	2~3PCLKB	28章
000A 85B8h	RSCAN	受信FIFOアクセスレジスタ1CL(注2)	RDF01	16	16	2~3PCLKB	28章
000A 85B8h	RSCAN	RAMテストレジスタ28(注2)	RPGACC28	16	16	2~3PCLKB	28章
000A 85BAh	RSCAN	受信FIFOアクセスレジスタ1CH(注2)	RDF011	16	16	2~3PCLKB	28章
000A 85BAh	RSCAN	RAMテストレジスタ29(注2)	RPGACC29	16	16	2~3PCLKB	28章
000A 85BCh	RSCAN	受信FIFOアクセスレジスタ1DL(注2)	RDF021	16	16	2~3PCLKB	28章
000A 85BCh	RSCAN	RAMテストレジスタ30(注2)	RPGACC30	16	16	2~3PCLKB	28章
000A 85BEh	RSCAN	受信FIFOアクセスレジスタ1DH(注2)	RDF031	16	16	2~3PCLKB	28章
000A 85BEh	RSCAN	RAMテストレジスタ31(注2)	RPGACC31	16	16	2~3PCLKB	28章
000A 85C0h ~ 000A 85DEh	RSCAN	RAMテストレジスタ32~47(注2)	RPGACC32~47	16	16	2~3PCLKB	28章
000A 85E0h	RSCAN0	送受信FIFOアクセスレジスタ0AL(注2)	CFIDL0	16	16	2~3PCLKB	28章
000A 85E0h	RSCAN	RAMテストレジスタ48(注2)	RPGACC48	16	16	2~3PCLKB	28章
000A 85E2h	RSCAN0	送受信FIFOアクセスレジスタ0AH(注2)	CFIDH0	16	16	2~3PCLKB	28章
000A 85E2h	RSCAN	RAMテストレジスタ49(注2)	RPGACC49	16	16	2~3PCLKB	28章
000A 85E4h	RSCAN0	送受信FIFOアクセスレジスタ0BL(注2)	CFTS0	16	16	2~3PCLKB	28章
000A 85E4h	RSCAN	RAMテストレジスタ50(注2)	RPGACC50	16	16	2~3PCLKB	28章
000A 85E6h	RSCAN0	送受信FIFOアクセスレジスタ0BH(注2)	CFPTR0	16	16	2~3PCLKB	28章
000A 85E6h	RSCAN	RAMテストレジスタ51(注2)	RPGACC51	16	16	2~3PCLKB	28章
000A 85E8h	RSCAN0	送受信FIFOアクセスレジスタ0CL(注2)	CFDF00	16	16	2~3PCLKB	28章
000A 85E8h	RSCAN	RAMテストレジスタ52(注2)	RPGACC52	16	16	2~3PCLKB	28章
000A 85EAh	RSCAN0	送受信FIFOアクセスレジスタ0CH(注2)	CFDF010	16	16	2~3PCLKB	28章
000A 85EAh	RSCAN	RAMテストレジスタ53(注2)	RPGACC53	16	16	2~3PCLKB	28章
000A 85ECh	RSCAN0	送受信FIFOアクセスレジスタ0DL(注2)	CFDF020	16	16	2~3PCLKB	28章
000A 85ECh	RSCAN	RAMテストレジスタ54(注2)	RPGACC54	16	16	2~3PCLKB	28章
000A 85EEh	RSCAN0	送受信FIFOアクセスレジスタ0DH(注2)	CFDF030	16	16	2~3PCLKB	28章

表5.1 I/Oレジスタアドレス一覧 (28/37)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
000A 85EEh	RSCAN	RAMテストレジスタ 55(注2)	RPGACC55	16	16	2 ~ 3PCLKB	28章
000A 85F0h ~ 000A 85FEh	RSCAN	RAMテストレジスタ 56 ~ 63(注2)	RPGACC56 ~ 63	16	16	2 ~ 3PCLKB	28章
000A 8600h	RSCAN0	送信バッファレジスタ 0AL(注2)	TMIDL0	16	16	2 ~ 3PCLKB	28章
000A 8600h	RSCAN	RAMテストレジスタ 64(注2)	RPGACC64	16	16	2 ~ 3PCLKB	28章
000A 8602h	RSCAN0	送信バッファレジスタ 0AH(注2)	TMIDH0	16	16	2 ~ 3PCLKB	28章
000A 8602h	RSCAN	RAMテストレジスタ 65(注2)	RPGACC65	16	16	2 ~ 3PCLKB	28章
000A 8604h	RSCAN	RAMテストレジスタ 66(注2)	RPGACC66	16	16	2 ~ 3PCLKB	28章
000A 8606h	RSCAN0	送信バッファレジスタ 0BH(注2)	TMPTR0	16	16	2 ~ 3PCLKB	28章
000A 8606h	RSCAN	RAMテストレジスタ 67(注2)	RPGACC67	16	16	2 ~ 3PCLKB	28章
000A 8608h	RSCAN0	送信バッファレジスタ 0CL(注2)	TMDF00	16	16	2 ~ 3PCLKB	28章
000A 8608h	RSCAN	RAMテストレジスタ 68(注2)	RPGACC68	16	16	2 ~ 3PCLKB	28章
000A 860Ah	RSCAN0	送信バッファレジスタ 0CH(注2)	TMDF10	16	16	2 ~ 3PCLKB	28章
000A 860Ah	RSCAN	RAMテストレジスタ 69(注2)	RPGACC69	16	16	2 ~ 3PCLKB	28章
000A 860Ch	RSCAN0	送信バッファレジスタ 0DL(注2)	TMDF20	16	16	2 ~ 3PCLKB	28章
000A 860Ch	RSCAN	RAMテストレジスタ 70(注2)	RPGACC70	16	16	2 ~ 3PCLKB	28章
000A 860Eh	RSCAN0	送信バッファレジスタ 0DH(注2)	TMDF30	16	16	2 ~ 3PCLKB	28章
000A 860Eh	RSCAN	RAMテストレジスタ 71(注2)	RPGACC71	16	16	2 ~ 3PCLKB	28章
000A 8610h	RSCAN0	送信バッファレジスタ 1AL(注2)	TMIDL1	16	16	2 ~ 3PCLKB	28章
000A 8610h	RSCAN	RAMテストレジスタ 72(注2)	RPGACC72	16	16	2 ~ 3PCLKB	28章
000A 8612h	RSCAN0	送信バッファレジスタ 1AH(注2)	TMIDH1	16	16	2 ~ 3PCLKB	28章
000A 8612h	RSCAN	RAMテストレジスタ 73(注2)	RPGACC73	16	16	2 ~ 3PCLKB	28章
000A 8614h	RSCAN	RAMテストレジスタ 74(注2)	RPGACC74	16	16	2 ~ 3PCLKB	28章
000A 8616h	RSCAN0	送信バッファレジスタ 1BH(注2)	TMPTR1	16	16	2 ~ 3PCLKB	28章
000A 8616h	RSCAN	RAMテストレジスタ 75(注2)	RPGACC75	16	16	2 ~ 3PCLKB	28章
000A 8618h	RSCAN0	送信バッファレジスタ 1CL(注2)	TMDF01	16	16	2 ~ 3PCLKB	28章
000A 8618h	RSCAN	RAMテストレジスタ 76(注2)	RPGACC76	16	16	2 ~ 3PCLKB	28章
000A 861Ah	RSCAN0	送信バッファレジスタ 1CH(注2)	TMDF11	16	16	2 ~ 3PCLKB	28章
000A 861Ah	RSCAN	RAMテストレジスタ 77(注2)	RPGACC77	16	16	2 ~ 3PCLKB	28章
000A 861Ch	RSCAN0	送信バッファレジスタ 1DL(注2)	TMDF21	16	16	2 ~ 3PCLKB	28章
000A 861Ch	RSCAN	RAMテストレジスタ 78(注2)	RPGACC78	16	16	2 ~ 3PCLKB	28章
000A 861Eh	RSCAN0	送信バッファレジスタ 1DH(注2)	TMDF31	16	16	2 ~ 3PCLKB	28章
000A 861Eh	RSCAN	RAMテストレジスタ 79(注2)	RPGACC79	16	16	2 ~ 3PCLKB	28章
000A 8620h	RSCAN0	送信バッファレジスタ 2AL(注2)	TMIDL2	16	16	2 ~ 3PCLKB	28章
000A 8620h	RSCAN	RAMテストレジスタ 80(注2)	RPGACC80	16	16	2 ~ 3PCLKB	28章
000A 8622h	RSCAN0	送信バッファレジスタ 2AH(注2)	TMIDH2	16	16	2 ~ 3PCLKB	28章
000A 8622h	RSCAN	RAMテストレジスタ 81(注2)	RPGACC81	16	16	2 ~ 3PCLKB	28章
000A 8624h	RSCAN	RAMテストレジスタ 82(注2)	RPGACC82	16	16	2 ~ 3PCLKB	28章
000A 8626h	RSCAN0	送信バッファレジスタ 2BH(注2)	TMPTR2	16	16	2 ~ 3PCLKB	28章
000A 8626h	RSCAN	RAMテストレジスタ 83(注2)	RPGACC83	16	16	2 ~ 3PCLKB	28章
000A 8628h	RSCAN0	送信バッファレジスタ 2CL(注2)	TMDF02	16	16	2 ~ 3PCLKB	28章
000A 8628h	RSCAN	RAMテストレジスタ 84(注2)	RPGACC84	16	16	2 ~ 3PCLKB	28章
000A 862Ah	RSCAN0	送信バッファレジスタ 2CH(注2)	TMDF12	16	16	2 ~ 3PCLKB	28章
000A 862Ah	RSCAN	RAMテストレジスタ 85(注2)	RPGACC85	16	16	2 ~ 3PCLKB	28章
000A 862Ch	RSCAN0	送信バッファレジスタ 2DL(注2)	TMDF22	16	16	2 ~ 3PCLKB	28章
000A 862Ch	RSCAN	RAMテストレジスタ 86(注2)	RPGACC86	16	16	2 ~ 3PCLKB	28章
000A 862Eh	RSCAN0	送信バッファレジスタ 2DH(注2)	TMDF32	16	16	2 ~ 3PCLKB	28章
000A 862Eh	RSCAN	RAMテストレジスタ 87(注2)	RPGACC87	16	16	2 ~ 3PCLKB	28章
000A 8630h	RSCAN0	送信バッファレジスタ 3AL(注2)	TMIDL3	16	16	2 ~ 3PCLKB	28章
000A 8630h	RSCAN	RAMテストレジスタ 88(注2)	RPGACC88	16	16	2 ~ 3PCLKB	28章
000A 8632h	RSCAN0	送信バッファレジスタ 3AH(注2)	TMIDH3	16	16	2 ~ 3PCLKB	28章

表5.1 I/Oレジスタアドレス一覧 (29/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
000A 8632h	RSCAN	RAMテストレジスタ 89(注2)	RPGACC89	16	16	2 ~ 3PCLKB	28章
000A 8634h	RSCAN	RAMテストレジスタ 90(注2)	RPGACC90	16	16	2 ~ 3PCLKB	28章
000A 8636h	RSCAN0	送信バッファレジスタ 3BH(注2)	TMPTR3	16	16	2 ~ 3PCLKB	28章
000A 8636h	RSCAN	RAMテストレジスタ 91(注2)	RPGACC91	16	16	2 ~ 3PCLKB	28章
000A 8638h	RSCAN0	送信バッファレジスタ 3CL(注2)	TMDFF03	16	16	2 ~ 3PCLKB	28章
000A 8638h	RSCAN	RAMテストレジスタ 92(注2)	RPGACC92	16	16	2 ~ 3PCLKB	28章
000A 863Ah	RSCAN0	送信バッファレジスタ 3CH(注2)	TMDFF13	16	16	2 ~ 3PCLKB	28章
000A 863Ah	RSCAN	RAMテストレジスタ 93(注2)	RPGACC93	16	16	2 ~ 3PCLKB	28章
000A 863Ch	RSCAN0	送信バッファレジスタ 3DL(注2)	TMDFF23	16	16	2 ~ 3PCLKB	28章
000A 863Ch	RSCAN	RAMテストレジスタ 94(注2)	RPGACC94	16	16	2 ~ 3PCLKB	28章
000A 863Eh	RSCAN0	送信バッファレジスタ 3DH(注2)	TMDFF33	16	16	2 ~ 3PCLKB	28章
000A 863Eh	RSCAN	RAMテストレジスタ 95(注2)	RPGACC95	16	16	2 ~ 3PCLKB	28章
000A 8640h ~ 000A 867Eh	RSCAN	RAMテストレジスタ 96 ~ 127(注2)	RPGACC96 ~ 127	16	16	2 ~ 3PCLKB	28章
000A 8680h	RSCAN0	送信履歴バッファアクセスレジスタ(注2)	THLACC0	16	16	2 ~ 3PCLKB	28章
000C 1200h	MTU3	タイマコントロールレジスタ	TCR	8	8, 16, 32	4 ~ 5PCLKA	20章
000C 1201h	MTU4	タイマコントロールレジスタ	TCR	8	8	4 ~ 5PCLKA	20章
000C 1202h	MTU3	タイマモードレジスタ1	TMDR1	8	8, 16	4 ~ 5PCLKA	20章
000C 1203h	MTU4	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA	20章
000C 1204h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8, 16, 32	4 ~ 5PCLKA	20章
000C 1205h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA	20章
000C 1206h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8, 16	4 ~ 5PCLKA	20章
000C 1207h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA	20章
000C 1208h	MTU3	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16	4 ~ 5PCLKA	20章
000C 1209h	MTU4	タイマインタラプトイネーブルレジスタ	TIER	8	8	4 ~ 5PCLKA	20章
000C 120Ah	MTU	タイマアウトプットマスタイネーブルレジスタA	TOERA	8	8	4 ~ 5PCLKA	20章
000C 120Dh	MTU	タイマゲートコントロールレジスタ	TGCRA	8	8	4 ~ 5PCLKA	20章
000C 120Eh	MTU	タイマアウトプットコントロールレジスタ1A	TOCR1A	8	8, 16	4 ~ 5PCLKA	20章
000C 120Fh	MTU	タイマアウトプットコントロールレジスタ2A	TOCR2A	8	8	4 ~ 5PCLKA	20章
000C 1210h	MTU3	タイマカウンタ	TCNT	16	16, 32	4 ~ 5PCLKA	20章
000C 1212h	MTU4	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA	20章
000C 1214h	MTU	タイマ周期データレジスタA	TCDRA	16	16, 32	4 ~ 5PCLKA	20章
000C 1216h	MTU	タイマデッドタイムデータレジスタA	TDDRA	16	16	4 ~ 5PCLKA	20章
000C 1218h	MTU3	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA	20章
000C 121Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA	20章
000C 121Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA	20章
000C 121Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA	20章
000C 1220h	MTU	タイマサブカウンタA	TCNTSA	16	16, 32	4 ~ 5PCLKA	20章
000C 1222h	MTU	タイマ周期バッファレジスタA	TCBRA	16	16	4 ~ 5PCLKA	20章
000C 1224h	MTU3	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA	20章
000C 1226h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA	20章
000C 1228h	MTU4	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA	20章
000C 122Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA	20章
000C 122Ch	MTU3	タイマステータスレジスタ	TSR	8	8, 16	4 ~ 5PCLKA	20章
000C 122Dh	MTU4	タイマステータスレジスタ	TSR	8	8	4 ~ 5PCLKA	20章
000C 1230h	MTU	タイマ割り込み間引き設定レジスタ1A	TITCR1A	8	8, 16	4 ~ 5PCLKA	20章
000C 1231h	MTU	タイマ割り込み間引き回数カウンタ1A	TITCNT1A	8	8	4 ~ 5PCLKA	20章
000C 1232h	MTU	タイマバッファ転送設定レジスタA	TBTERA	8	8	4 ~ 5PCLKA	20章
000C 1234h	MTU	タイマデッドタイムイネーブルレジスタA	TDERA	8	8	4 ~ 5PCLKA	20章
000C 1236h	MTU	タイマアウトプットレベルバッファレジスタA	TOLBRA	8	8	4 ~ 5PCLKA	20章
000C 1238h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8, 16	4 ~ 5PCLKA	20章

表5.1 I/Oレジスタアドレス一覧 (30/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
000C 1239h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4 ~ 5PCLKA	20章
000C 123Ah	MTU	タイマ割り込み間引きモードレジスタA	TITMRA	8	8	4 ~ 5PCLKA	20章
000C 123Bh	MTU	タイマ割り込み間引き設定レジスタ2A	TITCR2A	8	8	4 ~ 5PCLKA	20章
000C 123Ch	MTU	タイマ割り込み間引き回数カウンタ2A	TITCNT2A	8	8	4 ~ 5PCLKA	20章
000C 1240h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	4 ~ 5PCLKA	20章
000C 1244h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16, 32	4 ~ 5PCLKA	20章
000C 1246h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	4 ~ 5PCLKA	20章
000C 1248h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16, 32	4 ~ 5PCLKA	20章
000C 124Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	4 ~ 5PCLKA	20章
000C 124Ch	MTU3	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA	20章
000C 124Dh	MTU4	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA	20章
000C 1260h	MTU	タイマ波形コントロールレジスタA	TWCRA	8	8	4 ~ 5PCLKA	20章
000C 1270h	MTU	タイマモードレジスタ2A	TMDR2A	8	8	4 ~ 5PCLKA	20章
000C 1272h	MTU3	タイマジェネラルレジスタE	TGRE	16	16	4 ~ 5PCLKA	20章
000C 1274h	MTU4	タイマジェネラルレジスタE	TGRE	16	16	4 ~ 5PCLKA	20章
000C 1276h	MTU4	タイマジェネラルレジスタF	TGRF	16	16	4 ~ 5PCLKA	20章
000C 1280h	MTU	タイマスタートレジスタA	TSTRA	8	8, 16	4 ~ 5PCLKA	20章
000C 1281h	MTU	タイマシンクロレジスタA	TSYRA	8	8	4 ~ 5PCLKA	20章
000C 1282h	MTU	タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	8	4 ~ 5PCLKA	20章
000C 1284h	MTU	タイマリードライトイネーブルレジスタA	TRWERA	8	8	4 ~ 5PCLKA	20章
000C 1290h	MTU0	ノイズフィルタコントロールレジスタ0	NFCR0	8	8	4 ~ 5PCLKA	20章
000C 1291h	MTU1	ノイズフィルタコントロールレジスタ1	NFCR1	8	8	4 ~ 5PCLKA	20章
000C 1292h	MTU2	ノイズフィルタコントロールレジスタ2	NFCR2	8	8	4 ~ 5PCLKA	20章
000C 1293h	MTU3	ノイズフィルタコントロールレジスタ3	NFCR3	8	8	4 ~ 5PCLKA	20章
000C 1294h	MTU4	ノイズフィルタコントロールレジスタ4	NFCR4	8	8	4 ~ 5PCLKA	20章
000C 1296h	MTU9	ノイズフィルタコントロールレジスタ9	NFCR9	8	8	4 ~ 5PCLKA	20章
000C 1299h	MTU0	ノイズフィルタコントロールレジスタC	NFCRC	8	8	4 ~ 5PCLKA	20章
000C 1300h	MTU0	タイマコントロールレジスタ	TCR	8	8, 16, 32	4 ~ 5PCLKA	20章
000C 1301h	MTU0	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA	20章
000C 1302h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8, 16	4 ~ 5PCLKA	20章
000C 1303h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA	20章
000C 1304h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4 ~ 5PCLKA	20章
000C 1306h	MTU0	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA	20章
000C 1308h	MTU0	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA	20章
000C 130Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA	20章
000C 130Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA	20章
000C 130Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA	20章
000C 1320h	MTU0	タイマジェネラルレジスタE	TGRE	16	16, 32	4 ~ 5PCLKA	20章
000C 1322h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	4 ~ 5PCLKA	20章
000C 1324h	MTU0	タイマインタラプトイネーブルレジスタ2	TIER2	8	8, 16	4 ~ 5PCLKA	20章
000C 1326h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4 ~ 5PCLKA	20章
000C 1328h	MTU0	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA	20章
000C 1380h	MTU1	タイマコントロールレジスタ	TCR	8	8, 16	4 ~ 5PCLKA	20章
000C 1381h	MTU1	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA	20章
000C 1382h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	4 ~ 5PCLKA	20章
000C 1384h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4 ~ 5PCLKA	20章
000C 1385h	MTU1	タイマステータスレジスタ	TSR	8	8	4 ~ 5PCLKA	20章
000C 1386h	MTU1	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA	20章
000C 1388h	MTU1	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA	20章
000C 138Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA	20章
000C 1390h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	4 ~ 5PCLKA	20章

表5.1 I/Oレジスタアドレス一覧 (31/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
000C 1391h	MTU1	タイマモードレジスタ3	TMDR3	8	8	4 ~ 5PCLKA	20章
000C 1394h	MTU1	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA	20章
000C 13A0h	MTU1	タイマロングワードカウンタ	TCNTLW	32	32	4 ~ 5PCLKA	20章
000C 13A4h	MTU1	タイマロングワードジェネラルレジスタ	TGRALW	32	32	4 ~ 5PCLKA	20章
000C 13A8h	MTU1	タイマロングワードジェネラルレジスタ	TGRBLW	32	32	4 ~ 5PCLKA	20章
000C 1400h	MTU2	タイマコントロールレジスタ	TCR	8	8, 16	4 ~ 5PCLKA	20章
000C 1401h	MTU2	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA	20章
000C 1402h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	4 ~ 5PCLKA	20章
000C 1404h	MTU2	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4 ~ 5PCLKA	20章
000C 1405h	MTU2	タイマステータスレジスタ	TSR	8	8	4 ~ 5PCLKA	20章
000C 1406h	MTU2	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA	20章
000C 1408h	MTU2	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA	20章
000C 140Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA	20章
000C 140Ch	MTU2	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA	20章
000C 1580h	MTU9	タイマコントロールレジスタ	TCR	8	8, 16, 32	4 ~ 5PCLKA	20章
000C 1581h	MTU9	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA	20章
000C 1582h	MTU9	タイマI/OコントロールレジスタH	TIORH	8	8, 16	4 ~ 5PCLKA	20章
000C 1583h	MTU9	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA	20章
000C 1584h	MTU9	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4 ~ 5PCLKA	20章
000C 1586h	MTU9	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA	20章
000C 1588h	MTU9	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA	20章
000C 158Ah	MTU9	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA	20章
000C 158Ch	MTU9	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA	20章
000C 158Eh	MTU9	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA	20章
000C 15A0h	MTU9	タイマジェネラルレジスタE	TGRE	16	16, 32	4 ~ 5PCLKA	20章
000C 15A2h	MTU9	タイマジェネラルレジスタF	TGRF	16	16	4 ~ 5PCLKA	20章
000C 15A4h	MTU9	タイマインタラプトイネーブルレジスタ2	TIER2	8	8, 16	4 ~ 5PCLKA	20章
000C 15A6h	MTU9	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4 ~ 5PCLKA	20章
000C 15A8h	MTU9	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA	20章
000C 1A00h	MTU6	タイマコントロールレジスタ	TCR	8	8, 16, 32	4 ~ 5PCLKA	20章
000C 1A01h	MTU7	タイマコントロールレジスタ	TCR	8	8	4 ~ 5PCLKA	20章
000C 1A02h	MTU6	タイマモードレジスタ1	TMDR1	8	8, 16	4 ~ 5PCLKA	20章
000C 1A03h	MTU7	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA	20章
000C 1A04h	MTU6	タイマI/OコントロールレジスタH	TIORH	8	8, 16, 32	4 ~ 5PCLKA	20章
000C 1A05h	MTU6	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA	20章
000C 1A06h	MTU7	タイマI/OコントロールレジスタH	TIORH	8	8, 16	4 ~ 5PCLKA	20章
000C 1A07h	MTU7	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA	20章
000C 1A08h	MTU6	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16	4 ~ 5PCLKA	20章
000C 1A09h	MTU7	タイマインタラプトイネーブルレジスタ	TIER	8	8	4 ~ 5PCLKA	20章
000C 1A0Ah	MTU	タイマアウトプットマスタイネーブルレジスタB	TOERB	8	8	4 ~ 5PCLKA	20章
000C 1A0Dh	MTU	タイマゲートコントロールレジスタ	TGCRB	8	8	4 ~ 5PCLKA	20章
000C 1A0Eh	MTU	タイマアウトプットコントロールレジスタ1B	TOCR1B	8	8, 16	4 ~ 5PCLKA	20章
000C 1A0Fh	MTU	タイマアウトプットコントロールレジスタ2B	TOCR2B	8	8	4 ~ 5PCLKA	20章
000C 1A10h	MTU6	タイマカウンタ	TCNT	16	16, 32	4 ~ 5PCLKA	20章
000C 1A12h	MTU7	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA	20章
000C 1A14h	MTU	タイマ周期データレジスタB	TCDRB	16	16, 32	4 ~ 5PCLKA	20章
000C 1A16h	MTU	タイマデッドタイムデータレジスタB	TDDRb	16	16	4 ~ 5PCLKA	20章
000C 1A18h	MTU6	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA	20章
000C 1A1Ah	MTU6	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA	20章
000C 1A1Ch	MTU7	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA	20章
000C 1A1Eh	MTU7	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA	20章

表5.1 I/Oレジスタアドレス一覧 (32/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
000C 1A20h	MTU	タイマサブカウンタB	TCNTSB	16	16, 32	4 ~ 5PCLKA	20章
000C 1A22h	MTU	タイマ周期バッファレジスタB	TCBRB	16	16	4 ~ 5PCLKA	20章
000C 1A24h	MTU6	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA	20章
000C 1A26h	MTU6	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA	20章
000C 1A28h	MTU7	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA	20章
000C 1A2Ah	MTU7	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA	20章
000C 1A2Ch	MTU6	タイマステータスレジスタ	TSR	8	8, 16	4 ~ 5PCLKA	20章
000C 1A2Dh	MTU7	タイマステータスレジスタ	TSR	8	8	4 ~ 5PCLKA	20章
000C 1A30h	MTU	タイマ割り込み間引き設定レジスタ1B	TITCR1B	8	8, 16	4 ~ 5PCLKA	20章
000C 1A31h	MTU	タイマ割り込み間引き回数カウンタ1B	TITCNT1B	8	8	4 ~ 5PCLKA	20章
000C 1A32h	MTU	タイマバッファ転送設定レジスタB	TBTERB	8	8	4 ~ 5PCLKA	20章
000C 1A34h	MTU	タイマデッドタイムイネーブルレジスタB	TDERB	8	8	4 ~ 5PCLKA	20章
000C 1A36h	MTU	タイマアウトプットレベルバッファレジスタB	TOLBRB	8	8	4 ~ 5PCLKA	20章
000C 1A38h	MTU6	タイマバッファ動作転送モードレジスタ	TBTM	8	8, 16	4 ~ 5PCLKA	20章
000C 1A39h	MTU7	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4 ~ 5PCLKA	20章
000C 1A3Ah	MTU	タイマ割り込み間引きモードレジスタB	TITMRB	8	8	4 ~ 5PCLKA	20章
000C 1A3Bh	MTU	タイマ割り込み間引き設定レジスタ2B	TITCR2B	8	8	4 ~ 5PCLKA	20章
000C 1A3Ch	MTU	タイマ割り込み間引き回数カウンタ2B	TITCNT2B	8	8	4 ~ 5PCLKA	20章
000C 1A40h	MTU7	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	4 ~ 5PCLKA	20章
000C 1A44h	MTU7	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16, 32	4 ~ 5PCLKA	20章
000C 1A46h	MTU7	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	4 ~ 5PCLKA	20章
000C 1A48h	MTU7	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16, 32	4 ~ 5PCLKA	20章
000C 1A4Ah	MTU7	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	4 ~ 5PCLKA	20章
000C 1A4Ch	MTU6	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA	20章
000C 1A4Dh	MTU7	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA	20章
000C 1A50h	MTU6	タイマシンクロクリアレジスタ	TSYCR	8	8	4 ~ 5PCLKA	20章
000C 1A60h	MTU	タイマ波形コントロールレジスタB	TWCRB	8	8	4 ~ 5PCLKA	20章
000C 1A70h	MTU	タイマモードレジスタ2B	TMDR2B	8	8	4 ~ 5PCLKA	20章
000C 1A72h	MTU6	タイマジェネラルレジスタE	TGRE	16	16	4 ~ 5PCLKA	20章
000C 1A74h	MTU7	タイマジェネラルレジスタE	TGRE	16	16	4 ~ 5PCLKA	20章
000C 1A76h	MTU7	タイマジェネラルレジスタF	TGRF	16	16	4 ~ 5PCLKA	20章
000C 1A80h	MTU	タイマスタートレジスタB	TSTRB	8	8, 16	4 ~ 5PCLKA	20章
000C 1A81h	MTU	タイマシンクロレジスタB	TSYRB	8	8	4 ~ 5PCLKA	20章
000C 1A84h	MTU	タイマリードライトイネーブルレジスタB	TRWERB	8	8	4 ~ 5PCLKA	20章
000C 1A93h	MTU6	ノイズフィルタコントロールレジスタ6	NFCR6	8	8	4 ~ 5PCLKA	20章
000C 1A94h	MTU7	ノイズフィルタコントロールレジスタ7	NFCR7	8	8	4 ~ 5PCLKA	20章
000C 1A95h	MTU5	ノイズフィルタコントロールレジスタ5	NFCR5	8	8	4 ~ 5PCLKA	20章
000C 1C80h	MTU5	タイマカウンタU	TCNTU	16	16, 32	4 ~ 5PCLKA	20章
000C 1C82h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	4 ~ 5PCLKA	20章
000C 1C84h	MTU5	タイマコントロールレジスタU	TCRU	8	8	4 ~ 5PCLKA	20章
000C 1C85h	MTU5	タイマコントロールレジスタ2U	TCR2U	8	8	4 ~ 5PCLKA	20章
000C 1C86h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	4 ~ 5PCLKA	20章
000C 1C90h	MTU5	タイマカウンタV	TCNTV	16	16, 32	4 ~ 5PCLKA	20章
000C 1C92h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	4 ~ 5PCLKA	20章
000C 1C94h	MTU5	タイマコントロールレジスタV	TCRV	8	8	4 ~ 5PCLKA	20章
000C 1C95h	MTU5	タイマコントロールレジスタ2V	TCR2V	8	8	4 ~ 5PCLKA	20章
000C 1C96h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	4 ~ 5PCLKA	20章
000C 1CA0h	MTU5	タイマカウンタW	TCNTW	16	16, 32	4 ~ 5PCLKA	20章
000C 1CA2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	4 ~ 5PCLKA	20章
000C 1CA4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	4 ~ 5PCLKA	20章
000C 1CA5h	MTU5	タイマコントロールレジスタ2W	TCR2W	8	8	4 ~ 5PCLKA	20章

表5.1 I/Oレジスタアドレス一覧 (33/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
000C 1CA6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	4 ~ 5PCLKA	20章
000C 1CB2h	MTU5	タイムインタラプティブレジスタ	TIER	8	8	4 ~ 5PCLKA	20章
000C 1CB4h	MTU5	タイムスタートレジスタ	TSTR	8	8	4 ~ 5PCLKA	20章
000C 1CB6h	MTU5	タイムコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	4 ~ 5PCLKA	20章
000C 1D30h	MTU	A/D変換開始要求選択レジスタ0	TADSTRGR0	8	8	4 ~ 5PCLKA	20章
000C 1D32h	MTU	A/D変換開始要求選択レジスタ1	TADSTRGR1	8	8	4 ~ 5PCLKA	20章
000C 2000h	GPT	汎用PWMタイマソフトウェアスタートレジスタ(注2)	GTSTR	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2002h	GPT	ノイズフィルタ制御レジスタ(注2)	NFCR	16	16, 32	4 ~ 5PCLKA	22章
000C 2004h	GPT	汎用PWMタイマハードウェア要因スタートコントロールレジスタ(注2)	GTHSCR	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2006h	GPT	汎用PWMタイマハードウェア要因クリアコントロールレジスタ(注2)	GTHCCR	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2008h	GPT	汎用PWMタイマハードウェアスタート要因セレクトレジスタ(注2)	GTHSSR	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 200Ah	GPT	汎用PWMタイマハードウェアストップ・クリア要因セレクトレジスタ(注2)	GTHPSR	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 200Ch	GPT	汎用PWMタイマ書き込み保護レジスタ(注2)	GTWP	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 200Eh	GPT	汎用PWMタイマシンクロレジスタ(注2)	GTSYNC	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2010h	GPT	汎用PWMタイマ外部トリガ入力割り込みレジスタ(注2)	GTETINT	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2014h	GPT	汎用PWMタイマバッファ動作禁止レジスタ(注2)	GTBDR	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2018h	GPT	汎用PWMタイマスタート書き込み保護レジスタ(注2)	GTSWP	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 201Ch	GPT	汎用PWMタイマクリア書き込み保護レジスタ(注2)	GTCWP	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2020h	GPT	汎用PWMタイマ共通レジスタ書き込み保護レジスタ(注2)	GTCMNWP	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2024h	GPT	汎用PWMタイマモードレジスタ(注2)	GTMDR	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2028h	GPT	汎用PWMタイマ外部クロックノイズフィルタコントロールレジスタ(注2)	GTECNFCR	32	8, 16, 32	4 ~ 5PCLKA	22章
000C 202Ch	GPT	汎用PWMタイマA/D変換開始要求信号モニタレジスタ(注2)	GTADSMR	32	8, 16, 32	4 ~ 5PCLKA	22章
000C 2100h	GPT0	汎用PWMタイマI/Oコントロールレジスタ(注2)	GTIOR	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2102h	GPT0	汎用PWMタイマ割り込み出力設定レジスタ(注2)	GTINTAD	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2104h	GPT0	汎用PWMタイマコントロールレジスタ(注2)	GTCR	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2106h	GPT0	汎用PWMタイマバッファインペーブルレジスタ(注2)	GTBER	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2108h	GPT0	汎用PWMタイマカウント方向レジスタ(注2)	GTUDC	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 210Ah	GPT0	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ(注2)	GTITC	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 210Ch	GPT0	汎用PWMタイマステータスレジスタ(注2)	GTST	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 210Eh	GPT0	汎用PWMタイマカウンタ(注2)	GTCNT	16	16	4 ~ 5PCLKA	22章
000C 2110h	GPT0	汎用PWMタイマコンペアキャプチャレジスタA(注2)	GTCCRA	16	16, 32	4 ~ 5PCLKA	22章
000C 2112h	GPT0	汎用PWMタイマコンペアキャプチャレジスタB(注2)	GTCCRB	16	16, 32	4 ~ 5PCLKA	22章
000C 2114h	GPT0	汎用PWMタイマコンペアキャプチャレジスタC(注2)	GTCCRC	16	16, 32	4 ~ 5PCLKA	22章
000C 2116h	GPT0	汎用PWMタイマコンペアキャプチャレジスタD(注2)	GTCCRD	16	16, 32	4 ~ 5PCLKA	22章
000C 2118h	GPT0	汎用PWMタイマコンペアキャプチャレジスタE(注2)	GTCCRE	16	16, 32	4 ~ 5PCLKA	22章
000C 211Ah	GPT0	汎用PWMタイマコンペアキャプチャレジスタF(注2)	GTCCRF	16	16, 32	4 ~ 5PCLKA	22章
000C 211Ch	GPT0	汎用PWMタイマ周期設定レジスタ(注2)	GTPR	16	16, 32	4 ~ 5PCLKA	22章
000C 211Eh	GPT0	汎用PWMタイマ周期設定バッファレジスタ(注2)	GTPBR	16	16, 32	4 ~ 5PCLKA	22章
000C 2120h	GPT0	汎用PWMタイマ周期設定ダブルバッファレジスタ(注2)	GTPDBR	16	16, 32	4 ~ 5PCLKA	22章
000C 2124h	GPT0	A/D変換開始要求タイミングレジスタA(注2)	GTADTRA	16	16, 32	4 ~ 5PCLKA	22章
000C 2126h	GPT0	A/D変換開始要求タイミングバッファレジスタA(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA	22章
000C 2128h	GPT0	A/D変換開始要求タイミングダブルバッファレジスタA(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA	22章
000C 212Ch	GPT0	A/D変換開始要求タイミングレジスタB(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA	22章
000C 212Eh	GPT0	A/D変換開始要求タイミングバッファレジスタB(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA	22章
000C 2130h	GPT0	A/D変換開始要求タイミングダブルバッファレジスタB(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA	22章
000C 2134h	GPT0	汎用PWMタイマ出力ネゲートコントロールレジスタ(注2)	GTONCR	16	16, 32	4 ~ 5PCLKA	22章
000C 2136h	GPT0	汎用PWMタイマデッドタイムコントロールレジスタ(注2)	GTDCR	16	16, 32	4 ~ 5PCLKA	22章

表5.1 I/Oレジスタアドレス一覧 (34/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
000C 2138h	GPT0	汎用PWMタイマデッドタイム値レジスタU ^(注2)	GTDVU	16	16, 32	4 ~ 5PCLKA	22章
000C 213Ah	GPT0	汎用PWMタイマデッドタイム値レジスタD ^(注2)	GTDVD	16	16, 32	4 ~ 5PCLKA	22章
000C 213Ch	GPT0	汎用PWMタイマデッドタイムバッファレジスタU ^(注2)	GTDBU	16	16, 32	4 ~ 5PCLKA	22章
000C 213Eh	GPT0	汎用PWMタイマデッドタイムバッファレジスタD ^(注2)	GTDBD	16	16, 32	4 ~ 5PCLKA	22章
000C 2140h	GPT0	汎用PWMタイマ出力保護機能ステータスレジスタ ^(注2)	GTSOS	16	16, 32	4 ~ 5PCLKA	22章
000C 2142h	GPT0	汎用PWMタイマ出力保護一時解除レジスタ ^(注2)	GTSOTR	16	16, 32	4 ~ 5PCLKA	22章
000C 2180h	GPT1	汎用PWMタイマI/Oコントロールレジスタ ^(注2)	GTIOR	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2182h	GPT1	汎用PWMタイマ割り込み出力設定レジスタ ^(注2)	GTINTAD	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2184h	GPT1	汎用PWMタイマコントロールレジスタ ^(注2)	GTCR	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2186h	GPT1	汎用PWMタイマバッファファイナブルレジスタ ^(注2)	GTBER	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2188h	GPT1	汎用PWMタイマカウント方向レジスタ ^(注2)	GTUDC	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 218Ah	GPT1	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ ^(注2)	GTITC	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 218Ch	GPT1	汎用PWMタイマステータスレジスタ ^(注2)	GTST	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 218Eh	GPT1	汎用PWMタイマカウンタ ^(注2)	GTCNT	16	16	4 ~ 5PCLKA	22章
000C 2190h	GPT1	汎用PWMタイマコンペアキャプチャレジスタA ^(注2)	GTCCRA	16	16, 32	4 ~ 5PCLKA	22章
000C 2192h	GPT1	汎用PWMタイマコンペアキャプチャレジスタB ^(注2)	GTCCRB	16	16, 32	4 ~ 5PCLKA	22章
000C 2194h	GPT1	汎用PWMタイマコンペアキャプチャレジスタC ^(注2)	GTCCRC	16	16, 32	4 ~ 5PCLKA	22章
000C 2196h	GPT1	汎用PWMタイマコンペアキャプチャレジスタD ^(注2)	GTCCRD	16	16, 32	4 ~ 5PCLKA	22章
000C 2198h	GPT1	汎用PWMタイマコンペアキャプチャレジスタE ^(注2)	GTCCRE	16	16, 32	4 ~ 5PCLKA	22章
000C 219Ah	GPT1	汎用PWMタイマコンペアキャプチャレジスタF ^(注2)	GTCCRF	16	16, 32	4 ~ 5PCLKA	22章
000C 219Ch	GPT1	汎用PWMタイマ周期設定レジスタ ^(注2)	GTPR	16	16, 32	4 ~ 5PCLKA	22章
000C 219Eh	GPT1	汎用PWMタイマ周期設定バッファレジスタ ^(注2)	GTPBR	16	16, 32	4 ~ 5PCLKA	22章
000C 21A0h	GPT1	汎用PWMタイマ周期設定ダブルバッファレジスタ ^(注2)	GTPDBR	16	16, 32	4 ~ 5PCLKA	22章
000C 21A4h	GPT1	A/D変換開始要求タイミングレジスタA ^(注2)	GTADTRA	16	16, 32	4 ~ 5PCLKA	22章
000C 21A6h	GPT1	A/D変換開始要求タイミングバッファレジスタA ^(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA	22章
000C 21A8h	GPT1	A/D変換開始要求タイミングダブルバッファレジスタA ^(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA	22章
000C 21ACh	GPT1	A/D変換開始要求タイミングレジスタB ^(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA	22章
000C 21AEh	GPT1	A/D変換開始要求タイミングバッファレジスタB ^(注2)	GTADTRBB	16	16, 32	4 ~ 5PCLKA	22章
000C 21B0h	GPT1	A/D変換開始要求タイミングダブルバッファレジスタB ^(注2)	GTADTRBB	16	16, 32	4 ~ 5PCLKA	22章
000C 21B4h	GPT1	汎用PWMタイマ出力ネゲートコントロールレジスタ ^(注2)	GTONCR	16	16, 32	4 ~ 5PCLKA	22章
000C 21B6h	GPT1	汎用PWMタイマデッドタイムコントロールレジスタ ^(注2)	GTDTCR	16	16, 32	4 ~ 5PCLKA	22章
000C 21B8h	GPT1	汎用PWMタイマデッドタイム値レジスタU ^(注2)	GTDVU	16	16, 32	4 ~ 5PCLKA	22章
000C 21BAh	GPT1	汎用PWMタイマデッドタイム値レジスタD ^(注2)	GTDVD	16	16, 32	4 ~ 5PCLKA	22章
000C 21BCh	GPT1	汎用PWMタイマデッドタイムバッファレジスタU ^(注2)	GTDBU	16	16, 32	4 ~ 5PCLKA	22章
000C 21BEh	GPT1	汎用PWMタイマデッドタイムバッファレジスタD ^(注2)	GTDBD	16	16, 32	4 ~ 5PCLKA	22章
000C 21C0h	GPT1	汎用PWMタイマ出力保護機能ステータスレジスタ ^(注2)	GTSOS	16	16, 32	4 ~ 5PCLKA	22章
000C 21C2h	GPT1	汎用PWMタイマ出力保護一時解除レジスタ ^(注2)	GTSOTR	16	16, 32	4 ~ 5PCLKA	22章
000C 2200h	GPT2	汎用PWMタイマI/Oコントロールレジスタ ^(注2)	GTIOR	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2202h	GPT2	汎用PWMタイマ割り込み出力設定レジスタ ^(注2)	GTINTAD	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2204h	GPT2	汎用PWMタイマコントロールレジスタ ^(注2)	GTCR	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2206h	GPT2	汎用PWMタイマバッファファイナブルレジスタ ^(注2)	GTBER	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2208h	GPT2	汎用PWMタイマカウント方向レジスタ ^(注2)	GTUDC	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 220Ah	GPT2	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ ^(注2)	GTITC	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 220Ch	GPT2	汎用PWMタイマステータスレジスタ ^(注2)	GTST	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 220Eh	GPT2	汎用PWMタイマカウンタ ^(注2)	GTCNT	16	16	4 ~ 5PCLKA	22章
000C 2210h	GPT2	汎用PWMタイマコンペアキャプチャレジスタA ^(注2)	GTCCRA	16	16, 32	4 ~ 5PCLKA	22章
000C 2212h	GPT2	汎用PWMタイマコンペアキャプチャレジスタB ^(注2)	GTCCRB	16	16, 32	4 ~ 5PCLKA	22章
000C 2214h	GPT2	汎用PWMタイマコンペアキャプチャレジスタC ^(注2)	GTCCRC	16	16, 32	4 ~ 5PCLKA	22章
000C 2216h	GPT2	汎用PWMタイマコンペアキャプチャレジスタD ^(注2)	GTCCRD	16	16, 32	4 ~ 5PCLKA	22章
000C 2218h	GPT2	汎用PWMタイマコンペアキャプチャレジスタE ^(注2)	GTCCRE	16	16, 32	4 ~ 5PCLKA	22章

表5.1 I/Oレジスタアドレス一覧 (35/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
000C 221Ah	GPT2	汎用PWMタイマコンペアキャプチャレジスタF(注2)	GTCCRFB	16	16, 32	4 ~ 5PCLKA	22章
000C 221Ch	GPT2	汎用PWMタイマ周期設定レジスタ(注2)	GTPR	16	16, 32	4 ~ 5PCLKA	22章
000C 221Eh	GPT2	汎用PWMタイマ周期設定バッファレジスタ(注2)	GTPBR	16	16, 32	4 ~ 5PCLKA	22章
000C 2220h	GPT2	汎用PWMタイマ周期設定ダブルバッファレジスタ(注2)	GTPDBR	16	16, 32	4 ~ 5PCLKA	22章
000C 2224h	GPT2	A/D 変換開始要求タイミングレジスタA(注2)	GTADTRA	16	16, 32	4 ~ 5PCLKA	22章
000C 2226h	GPT2	A/D 変換開始要求タイミングバッファレジスタA(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA	22章
000C 2228h	GPT2	A/D 変換開始要求タイミングダブルバッファレジスタA(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA	22章
000C 222Ch	GPT2	A/D 変換開始要求タイミングレジスタB(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA	22章
000C 222Eh	GPT2	A/D 変換開始要求タイミングバッファレジスタB(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA	22章
000C 2230h	GPT2	A/D 変換開始要求タイミングダブルバッファレジスタB(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA	22章
000C 2234h	GPT2	汎用PWMタイマ出力ネゲートコントロールレジスタ(注2)	GTONCR	16	16, 32	4 ~ 5PCLKA	22章
000C 2236h	GPT2	汎用PWMタイマデッドタイムコントロールレジスタ(注2)	GTDCR	16	16, 32	4 ~ 5PCLKA	22章
000C 2238h	GPT2	汎用PWMタイマデッドタイム値レジスタU(注2)	GTUVU	16	16, 32	4 ~ 5PCLKA	22章
000C 223Ah	GPT2	汎用PWMタイマデッドタイム値レジスタD(注2)	GTDVD	16	16, 32	4 ~ 5PCLKA	22章
000C 223Ch	GPT2	汎用PWMタイマデッドタイムバッファレジスタU(注2)	GTDBU	16	16, 32	4 ~ 5PCLKA	22章
000C 223Eh	GPT2	汎用PWMタイマデッドタイムバッファレジスタD(注2)	GTDBD	16	16, 32	4 ~ 5PCLKA	22章
000C 2240h	GPT2	汎用PWMタイマ出力保護機能ステータスレジスタ(注2)	GTSOS	16	16, 32	4 ~ 5PCLKA	22章
000C 2242h	GPT2	汎用PWMタイマ出力保護一時解除レジスタ(注2)	GTSOTR	16	16, 32	4 ~ 5PCLKA	22章
000C 2280h	GPT3	汎用PWMタイマI/O コントロールレジスタ(注2)	GTIOR	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2282h	GPT3	汎用PWMタイマ割り込み出力設定レジスタ(注2)	GTINTAD	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2284h	GPT3	汎用PWMタイマコントロールレジスタ(注2)	GTCR	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2286h	GPT3	汎用PWMタイマバッファインプットレジスタ(注2)	GTBER	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 2288h	GPT3	汎用PWMタイマカウント方向レジスタ(注2)	GTUDC	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 228Ah	GPT3	汎用PWMタイマ割り込み、A/D 変換開始要求間引き設定レジスタ(注2)	GTITC	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 228Ch	GPT3	汎用PWMタイマステータスレジスタ(注2)	GTST	16	8, 16, 32	4 ~ 5PCLKA	22章
000C 228Eh	GPT3	汎用PWMタイマカウンタ(注2)	GTCNT	16	16	4 ~ 5PCLKA	22章
000C 2290h	GPT3	汎用PWMタイマコンペアキャプチャレジスタA(注2)	GTCCRA	16	16, 32	4 ~ 5PCLKA	22章
000C 2292h	GPT3	汎用PWMタイマコンペアキャプチャレジスタB(注2)	GTCCRB	16	16, 32	4 ~ 5PCLKA	22章
000C 2294h	GPT3	汎用PWMタイマコンペアキャプチャレジスタC(注2)	GTCCRC	16	16, 32	4 ~ 5PCLKA	22章
000C 2296h	GPT3	汎用PWMタイマコンペアキャプチャレジスタD(注2)	GTCCRD	16	16, 32	4 ~ 5PCLKA	22章
000C 2298h	GPT3	汎用PWMタイマコンペアキャプチャレジスタE(注2)	GTCCRE	16	16, 32	4 ~ 5PCLKA	22章
000C 229Ah	GPT3	汎用PWMタイマコンペアキャプチャレジスタF(注2)	GTCCRFB	16	16, 32	4 ~ 5PCLKA	22章
000C 229Ch	GPT3	汎用PWMタイマ周期設定レジスタ(注2)	GTPR	16	16, 32	4 ~ 5PCLKA	22章
000C 229Eh	GPT3	汎用PWMタイマ周期設定バッファレジスタ(注2)	GTPBR	16	16, 32	4 ~ 5PCLKA	22章
000C 22A0h	GPT3	汎用PWMタイマ周期設定ダブルバッファレジスタ(注2)	GTPDBR	16	16, 32	4 ~ 5PCLKA	22章
000C 22A4h	GPT3	A/D 変換開始要求タイミングレジスタA(注2)	GTADTRA	16	16, 32	4 ~ 5PCLKA	22章
000C 22A6h	GPT3	A/D 変換開始要求タイミングバッファレジスタA(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA	22章
000C 22A8h	GPT3	A/D 変換開始要求タイミングダブルバッファレジスタA(注2)	GTADTBRA	16	16, 32	4 ~ 5PCLKA	22章
000C 22ACh	GPT3	A/D 変換開始要求タイミングレジスタB(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA	22章
000C 22AEh	GPT3	A/D 変換開始要求タイミングバッファレジスタB(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA	22章
000C 22B0h	GPT3	A/D 変換開始要求タイミングダブルバッファレジスタB(注2)	GTADTRB	16	16, 32	4 ~ 5PCLKA	22章
000C 22B4h	GPT3	汎用PWMタイマ出力ネゲートコントロールレジスタ(注2)	GTONCR	16	16, 32	4 ~ 5PCLKA	22章
000C 22B6h	GPT3	汎用PWMタイマデッドタイムコントロールレジスタ(注2)	GTDCR	16	16, 32	4 ~ 5PCLKA	22章
000C 22B8h	GPT3	汎用PWMタイマデッドタイム値レジスタU(注2)	GTUVU	16	16, 32	4 ~ 5PCLKA	22章
000C 22BAh	GPT3	汎用PWMタイマデッドタイム値レジスタD(注2)	GTDVD	16	16, 32	4 ~ 5PCLKA	22章
000C 22BCh	GPT3	汎用PWMタイマデッドタイムバッファレジスタU(注2)	GTDBU	16	16, 32	4 ~ 5PCLKA	22章
000C 22BEh	GPT3	汎用PWMタイマデッドタイムバッファレジスタD(注2)	GTDBD	16	16, 32	4 ~ 5PCLKA	22章
000C 22C0h	GPT3	汎用PWMタイマ出力保護機能ステータスレジスタ(注2)	GTSOS	16	16, 32	4 ~ 5PCLKA	22章
000C 22C2h	GPT3	汎用PWMタイマ出力保護一時解除レジスタ(注2)	GTSOTR	16	16, 32	4 ~ 5PCLKA	22章
000C 2300h	GPT01	汎用PWMタイマログワードカウンタ(注2)	GTCNTLW	32	32	4 ~ 5PCLKA	22章

表5.1 I/Oレジスタアドレス一覧 (36/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
000C 2304h	GPT01	汎用PWMタイマロングワードコンペアキャプチャレジスタA(注2)	GTCCRALW	32	32	4 ~ 5PCLKA	22章
000C 2308h	GPT01	汎用PWMタイマロングワードコンペアキャプチャレジスタB(注2)	GTCCRBLW	32	32	4 ~ 5PCLKA	22章
000C 230Ch	GPT01	汎用PWMタイマロングワードコンペアキャプチャレジスタC(注2)	GTCCRCLW	32	32	4 ~ 5PCLKA	22章
000C 2310h	GPT01	汎用PWMタイマロングワードコンペアキャプチャレジスタD(注2)	GTCCRDW	32	32	4 ~ 5PCLKA	22章
000C 2314h	GPT01	汎用PWMタイマロングワードコンペアキャプチャレジスタE(注2)	GTCCRELW	32	32	4 ~ 5PCLKA	22章
000C 2318h	GPT01	汎用PWMタイマロングワードコンペアキャプチャレジスタF(注2)	GTCCRFLW	32	32	4 ~ 5PCLKA	22章
000C 231Ch	GPT01	汎用PWMタイマロングワード周期設定レジスタ(注2)	GTPRLW	32	32	4 ~ 5PCLKA	22章
000C 2320h	GPT01	汎用PWMタイマロングワード周期設定バッファレジスタ(注2)	GTPBRLW	32	32	4 ~ 5PCLKA	22章
000C 2324h	GPT01	汎用PWMタイマロングワード周期設定ダブルバッファレジスタ(注2)	GTPDBRLW	32	32	4 ~ 5PCLKA	22章
000C 2328h	GPT01	ロングワードA/D 変換開始要求タイミングレジスタA(注2)	GTADTRALW	32	32	4 ~ 5PCLKA	22章
000C 232Ch	GPT01	ロングワードA/D 変換開始要求タイミングバッファレジスタA(注2)	GTADTBRAW	32	32	4 ~ 5PCLKA	22章
000C 2330h	GPT01	ロングワードA/D 変換開始要求タイミングダブルバッファレジスタA(注2)	GTADTDBRALW	32	32	4 ~ 5PCLKA	22章
000C 2334h	GPT01	ロングワードA/D 変換開始要求タイミングレジスタB(注2)	GTADTRBLW	32	32	4 ~ 5PCLKA	22章
000C 2338h	GPT01	ロングワードA/D 変換開始要求タイミングバッファレジスタB(注2)	GTADTBRAW	32	32	4 ~ 5PCLKA	22章
000C 233Ch	GPT01	ロングワードA/D 変換開始要求タイミングダブルバッファレジスタB(注2)	GTADTDBRAW	32	32	4 ~ 5PCLKA	22章
000C 2340h	GPT01	汎用PWMタイマロングワードデッドタイム値レジスタU(注2)	GTDVULW	32	32	4 ~ 5PCLKA	22章
000C 2344h	GPT01	汎用PWMタイマロングワードデッドタイム値レジスタD(注2)	GTDVDLW	32	32	4 ~ 5PCLKA	22章
000C 2348h	GPT01	汎用PWMタイマロングワードデッドタイムバッファレジスタU(注2)	GTDBULW	32	32	4 ~ 5PCLKA	22章
000C 234Ch	GPT01	汎用PWMタイマロングワードデッドタイムバッファレジスタD(注2)	GTDBDLW	32	32	4 ~ 5PCLKA	22章
000C 2380h	GPT23	汎用PWMタイマロングワードカウンタ(注2)	GTCNTLW	32	32	4 ~ 5PCLKA	22章
000C 2384h	GPT23	汎用PWMタイマロングワードコンペアキャプチャレジスタA(注2)	GTCCRALW	32	32	4 ~ 5PCLKA	22章
000C 2388h	GPT23	汎用PWMタイマロングワードコンペアキャプチャレジスタB(注2)	GTCCRBLW	32	32	4 ~ 5PCLKA	22章
000C 238Ch	GPT23	汎用PWMタイマロングワードコンペアキャプチャレジスタC(注2)	GTCCRCLW	32	32	4 ~ 5PCLKA	22章
000C 2390h	GPT23	汎用PWMタイマロングワードコンペアキャプチャレジスタD(注2)	GTCCRDW	32	32	4 ~ 5PCLKA	22章
000C 2394h	GPT23	汎用PWMタイマロングワードコンペアキャプチャレジスタE(注2)	GTCCRELW	32	32	4 ~ 5PCLKA	22章
000C 2398h	GPT23	汎用PWMタイマロングワードコンペアキャプチャレジスタF(注2)	GTCCRFLW	32	32	4 ~ 5PCLKA	22章
000C 239Ch	GPT23	汎用PWMタイマロングワード周期設定レジスタ(注2)	GTPRLW	32	32	4 ~ 5PCLKA	22章
000C 23A0h	GPT23	汎用PWMタイマロングワード周期設定バッファレジスタ(注2)	GTPBRLW	32	32	4 ~ 5PCLKA	22章
000C 23A4h	GPT23	汎用PWMタイマロングワード周期設定ダブルバッファレジスタ(注2)	GTPDBRLW	32	32	4 ~ 5PCLKA	22章
000C 23A8h	GPT23	ロングワードA/D 変換開始要求タイミングレジスタA(注2)	GTADTRALW	32	32	4 ~ 5PCLKA	22章
000C 23ACh	GPT23	ロングワードA/D 変換開始要求タイミングバッファレジスタA(注2)	GTADTBRAW	32	32	4 ~ 5PCLKA	22章
000C 23B0h	GPT23	ロングワードA/D 変換開始要求タイミングダブルバッファレジスタA(注2)	GTADTDBRALW	32	32	4 ~ 5PCLKA	22章
000C 23B4h	GPT23	ロングワードA/D 変換開始要求タイミングレジスタB(注2)	GTADTRBLW	32	32	4 ~ 5PCLKA	22章
000C 23B8h	GPT23	ロングワードA/D 変換開始要求タイミングバッファレジスタB(注2)	GTADTBRAW	32	32	4 ~ 5PCLKA	22章
000C 23BCh	GPT23	ロングワードA/D 変換開始要求タイミングダブルバッファレジスタB(注2)	GTADTDBRAW	32	32	4 ~ 5PCLKA	22章
000C 23C0h	GPT23	汎用PWMタイマロングワードデッドタイム値レジスタU(注2)	GTDVULW	32	32	4 ~ 5PCLKA	22章
000C 23C4h	GPT23	汎用PWMタイマロングワードデッドタイム値レジスタD(注2)	GTDVDLW	32	32	4 ~ 5PCLKA	22章

表5.1 I/Oレジスタアドレス一覧 (37/37)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
000C 23C8h	GPT23	汎用PWMタイマロングワードデッドタイムバッファレジスタU(注2)	GTDBULW	32	32	4 ~ 5PCLKA	22章
000C 23CCh	GPT23	汎用PWMタイマロングワードデッドタイムバッファレジスタD(注2)	GTDBDLW	32	32	4 ~ 5PCLKA	22章
007F C090h	FLASH	E2データフラッシュ制御レジスタ	DFLCTL	8	8	2 ~ 3FCLK	36章
007F C100h	FLASH	フラッシュ P/E モード制御レジスタ	FPMCR	8	8	2 ~ 3FCLK	36章
007F C104h	FLASH	フラッシュ領域選択レジスタ	FASR	8	8	2 ~ 3FCLK	36章
007F C108h	FLASH	フラッシュ処理開始アドレスレジスタL	FSARL	16	16	2 ~ 3FCLK	36章
007F C110h	FLASH	フラッシュ処理開始アドレスレジスタH	FSARH	16	16	2 ~ 3FCLK	36章
007F C114h	FLASH	フラッシュ制御レジスタ	FCR	8	8	2 ~ 3FCLK	36章
007F C118h	FLASH	フラッシュ処理終了アドレスレジスタL	FEARL	16	16	2 ~ 3FCLK	36章
007F C120h	FLASH	フラッシュ処理終了アドレスレジスタH	FEARH	16	16	2 ~ 3FCLK	36章
007F C124h	FLASH	フラッシュリセットレジスタ	FRESETR	8	8	2 ~ 3FCLK	36章
007F C12Ch	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2 ~ 3FCLK	36章
007F C130h	FLASH	フラッシュライトバッファ0レジスタ	FWB0	16	16	2 ~ 3FCLK	36章
007F C138h	FLASH	フラッシュライトバッファ1レジスタ	FWB1	16	16	2 ~ 3FCLK	36章
007F C140h	FLASH	フラッシュライトバッファ2レジスタ	FWB2	16	16	2 ~ 3FCLK	36章
007F C144h	FLASH	フラッシュライトバッファ3レジスタ	FWB3	16	16	2 ~ 3FCLK	36章
007F C180h	FLASH	プロテクト解除レジスタ	FPR	8	8	2 ~ 3FCLK	36章
007F C184h	FLASH	プロテクト解除ステータスレジスタ	FPSR	8	8	2 ~ 3FCLK	36章
007F C1C0h	FLASH	フラッシュスタートアップ設定モニタレジスタ	FSCMR	16	16	2 ~ 3FCLK	36章
007F C1C8h	FLASH	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ	FAWSMR	16	16	2 ~ 3FCLK	36章
007F C1D0h	FLASH	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ	FAWEMR	16	16	2 ~ 3FCLK	36章
007F C1D8h	FLASH	フラッシュ初期設定レジスタ	FISR	8	8	2 ~ 3FCLK	36章
007F C1DCh	FLASH	フラッシュエクストラ領域制御レジスタ	FEXCR	8	8	2 ~ 3FCLK	36章
007F C1E0h	FLASH	フラッシュエラーアドレスモニタレジスタL	FEAML	16	16	2 ~ 3FCLK	36章
007F C1E8h	FLASH	フラッシュエラーアドレスモニタレジスタH	FEAMH	16	16	2 ~ 3FCLK	36章
007F C1F0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2 ~ 3FCLK	36章
007F C350h	FLASHCO NST	ユニークIDレジスタ0	UIDR0	32	32	2 ~ 3FCLK	36章
007F C354h	FLASHCO NST	ユニークIDレジスタ1	UIDR1	32	32	2 ~ 3FCLK	36章
007F C358h	FLASHCO NST	ユニークIDレジスタ2	UIDR2	32	32	2 ~ 3FCLK	36章
007F C35Ch	FLASHCO NST	ユニークIDレジスタ3	UIDR3	32	32	2 ~ 3FCLK	36章
007F FFB2h	FLASH	フラッシュ P/E モードエントリレジスタ	FENTRYR	16	16	2 ~ 3FCLK	36章

注1. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMR0, TMR2, TMR4, TMR6のレジスタのアドレスへアクセスしてください。表23.5に16ビットアクセスのレジスタ配置を示します。

注2. チップバージョンAにはありません。

6. リセット

6.1 概要

リセットには、RES# 端子リセット、パワーオンリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1 にリセットの名称と要因を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
RES#端子リセット	RES#端子の入力電圧がLow
パワーオンリセット	VCCの上昇(監視電圧: VPOR) ^(注1)
電圧監視0リセット	VCCの下降(監視電圧: Vdet0) ^(注1)
電圧監視1リセット	VCCの下降(監視電圧: Vdet1) ^(注1)
電圧監視2リセット	VCCの下降(監視電圧: Vdet2) ^(注1)
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ソフトウェアリセット	レジスタ設定

注1. 監視電圧(VPOR, Vdet0, Vdet1, Vdet2)については、「8. 電圧検出回路(LVDAb)」、「37. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。

表 6.2 にリセット種別ごとの初期化対象を示します。

表6.2 リセット種別ごとの初期化対象

リセット対象	リセット要因						
	RES#端子 リセット	パワーオン リセット	電圧監視0 リセット	独立ウォッチ ドッグタイマ リセット	電圧監視1 リセット	電圧監視2 リセット	ソフトウェア リセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	—	—	—	—	—	—
コールドスタート/ウォームスタート判別 フラグ (RSTSR1.CWSF)	— (注1)	○	—	—	—	—	—
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	—	—	—	—	—
独立ウォッチドッグタイマリセット検出 フラグ (RSTSR2.IWDTRF)	○	○	○	—	—	—	—
独立ウォッチドッグタイマのレジスタ (IWDTRR, IWDTCR, IWDTSR, IWDTRCR, IWDTCSTPR, ILOCOCR)	○	○	○	—	—	—	—
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	○	—	—	—
電圧監視機能1のレジスタ (LVD1CR0, LVCMPCR.LVD1E, LVDLVL.R.LVD1LVL[3:0])	○	○	○	○	—	—	—
(LVD1CR1, LVD1SR)	○	○	○	○	—	—	—
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	○	○	—	—
電圧監視機能2のレジスタ (LVD2CR0, LVD2E, LVDLVL.R.LVD2LVL[1:0])	○	○	○	○	○	—	—
(LVD2CR1, LVD2SR)	○	○	○	○	○	—	—
ソフトウェアリセット検出フラグ (RSTSR2.SWRF)	○	○	○	○	○	○	—
上記以外のレジスタ、CPUおよび内部状態	○	○	○	○	○	○	○

○：初期化されます。 —：変化しない

注1. 電源投入時は初期化されます。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「13. 例外処理」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

6.2 レジスタの説明

6.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス 0008 C290h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF
リセット後の値	0	0	0	0	0 (注1)	0 (注1)	0 (注1)	0 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0: パワーオンリセット未検出 1: パワーオンリセット検出	R/(W) (注2)
b1	LVD0RF	電圧監視0リセット検出フラグ	0: 電圧監視0リセット未検出 1: 電圧監視0リセット検出	R/(W) (注2)
b2	LVD1RF	電圧監視1リセット検出フラグ	0: 電圧監視1リセット未検出 1: 電圧監視1リセット検出	R/(W) (注2)
b3	LVD2RF	電圧監視2リセット検出フラグ	0: 電圧監視2リセット未検出 1: 電圧監視2リセット検出	R/(W) (注2)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための“0”書き込みのみ可能です。

PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

["1"になる条件]

- パワーオンリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD0RF フラグ (電圧監視0リセット検出フラグ)

VCC 電圧が Vdet0 レベル以下を検知したことを示します。

["1"になる条件]

- Vdet0 レベルの VCC 電圧を検知したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD1RF フラグ (電圧監視1リセット検出フラグ)

VCC 電圧が Vdet1 レベル以下を検知したことを示します。

["1"になる条件]

- Vdet1 レベルの VCC 電圧を検知したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD2RF フラグ (電圧監視 2 リセット検出フラグ)

VCC 電圧が Vdet2 レベル以下を検知したことを示します。

[“1”になる条件]

- Vdet2 レベルの VCC 電圧を検知したとき

[“0”になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

6.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス 0008 C291h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CWSF

リセット後の値 0 0 0 0 0 0 0 0/1
(注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0 : コールドスタート 1 : ウォームスタート	R/(W) (注2)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをセットするための“1”書き込みのみ可能です。

RSTSR1 レジスタは、電源が投入されたときのリセット処理 (コールドスタート) か、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) かを判定するレジスタです。

CWSF フラグ (コールドスタート/ウォームスタート判別フラグ)

コールドスタートかウォームスタートかを示します。

CWSF フラグは、電源投入時に初期化されます。

[“1”になる条件]

- プログラムで“1”を書いたとき。“0”を書いても変化しません。

[“0”になる条件]

- 表 6.2 に示すリセットを行ったとき

6.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス 0008 00C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SWRF	—	IWDTR F
リセット後の値	0	0	0	0	0	0 (注1)	0	0 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R/(W) (注2)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R/(W) (注2)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための“0”書き込みのみ可能です。

IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

["1"になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

SWRF フラグ (ソフトウェアリセット検出フラグ)

ソフトウェアリセットが発生したことを示します。

["1"になる条件]

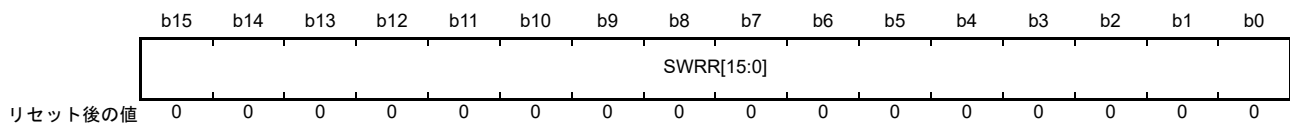
- ソフトウェアリセットを行ったとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

6.2.4 ソフトウェアリセットレジスタ (SWRR)

アドレス 0008 00C2h



ビット	シンボル	ビット名	機能	R/W
b15-b0	SWRR[15:0]	ソフトウェアリセットビット	“A501h”を書くとLSIがリセットされます。読むと“0000h”が読めます	R/W

注. このレジスタはPRCR.PRC1ビットを“1” (書き込み許可)にした後で書き換えてください。

6.3 動作説明

6.3.1 RES# 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切られ、リセット状態になります。

確実にリセットするために、電源投入時は規定の電源安定時間に従い、RES# 端子が Low を保持するようにしてください。

RES# 端子を Low から High にした後、RES# 解除後待機時間 (tRESWT) 経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、「37. 電気的特性」を参照してください。

6.3.2 パワーオンリセット、電圧監視 0 リセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。

RES# 端子に抵抗を介して VCC に接続した状態で電源を投入すると、パワーオンリセットが発生します。RES# 端子にコンデンサを接続する場合も、RES# 端子の電圧が常に VIH 以上になるようにしてください。

VIH は、「37. 電気的特性」を参照してください。VCC が VPOR を超えると、ある一定時間 (パワーオンリセット時間) が経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源および MCU が安定するための時間です。

また、パワーオンリセットが発生すると、RSTSR0.PORF フラグが“1”になります。PORF フラグは、RES# 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。

オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が“0” (リセット後、電圧監視 0 リセット有効) の状態で、VCC が Vdet0 以下になると、RSTSR0.LVD0RF フラグが“1”になり、電圧検出回路は電圧監視 0 リセットを発生します。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを“0”にしてください。VCC が Vdet0 を超えると、LVD0 リセット時間 (tLVD0) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

図 6.1 にパワーオンリセット、および電圧監視 0 リセットの動作例を示します。

電圧監視 0 リセットの詳細は、「8. 電圧検出回路 (LVDAb)」を参照してください。

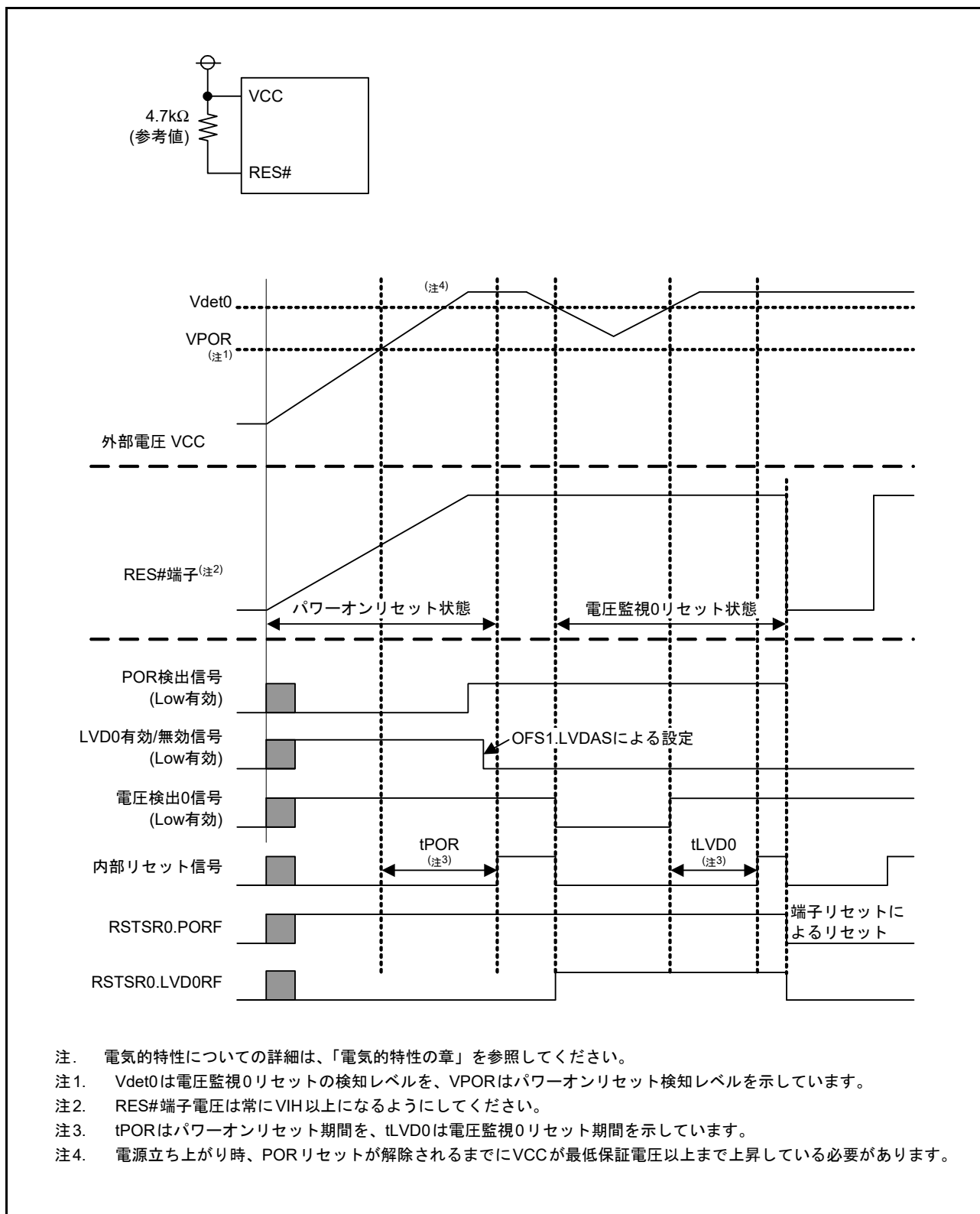


図 6.1 パワーオンリセット、電圧監視 0 リセット動作例

6.3.3 電圧監視 1 リセット、電圧監視 2 リセット

電圧監視回路による内部リセットです。

電圧監視 1 回路制御レジスタ 0 (LVD1CR0) の電圧監視 1 割り込み/リセット許可ビット (LVD1RIE) が “1” (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (LVD1RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が V_{det1} 以下になると、RSTSR0.LVD1RF フラグが “1” になり、電圧検出回路は電圧監視 1 リセットを発生します。

同様に、電圧監視 2 回路制御レジスタ 0 (LVD2CR0) の電圧監視 2 割り込み/リセット許可ビット (LVD2RIE) が “1” (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (LVD2RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が V_{det2} 以下になると、RSTSR0.LVD2RF フラグが “1” になり、電圧検出回路は電圧監視 2 リセットを発生します。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (LVD1RN) で選択可能です。LVD1CR0.LVD1RN ビットが “0” のとき、VCC が V_{det1} 以下になり、その後 V_{det1} を超えてから LVD1 リセット時間 (t_{LVD1}) が経過すると内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.LVD1RN ビットが “1” のとき、VCC が V_{det1} 以下になってから LVD1 リセット時間 (t_{LVD1}) 経過後に内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (LVD2RN) の設定により選択可能です。

V_{det1} 、および V_{det2} の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) の設定によって変更できます。

図 6.2 に電圧監視 1 リセット、および電圧監視 2 リセットの動作例を示します。

電圧監視 1 リセット、および電圧監視 2 リセットの詳細は、「8. 電圧検出回路 (LVDAb)」を参照してください。

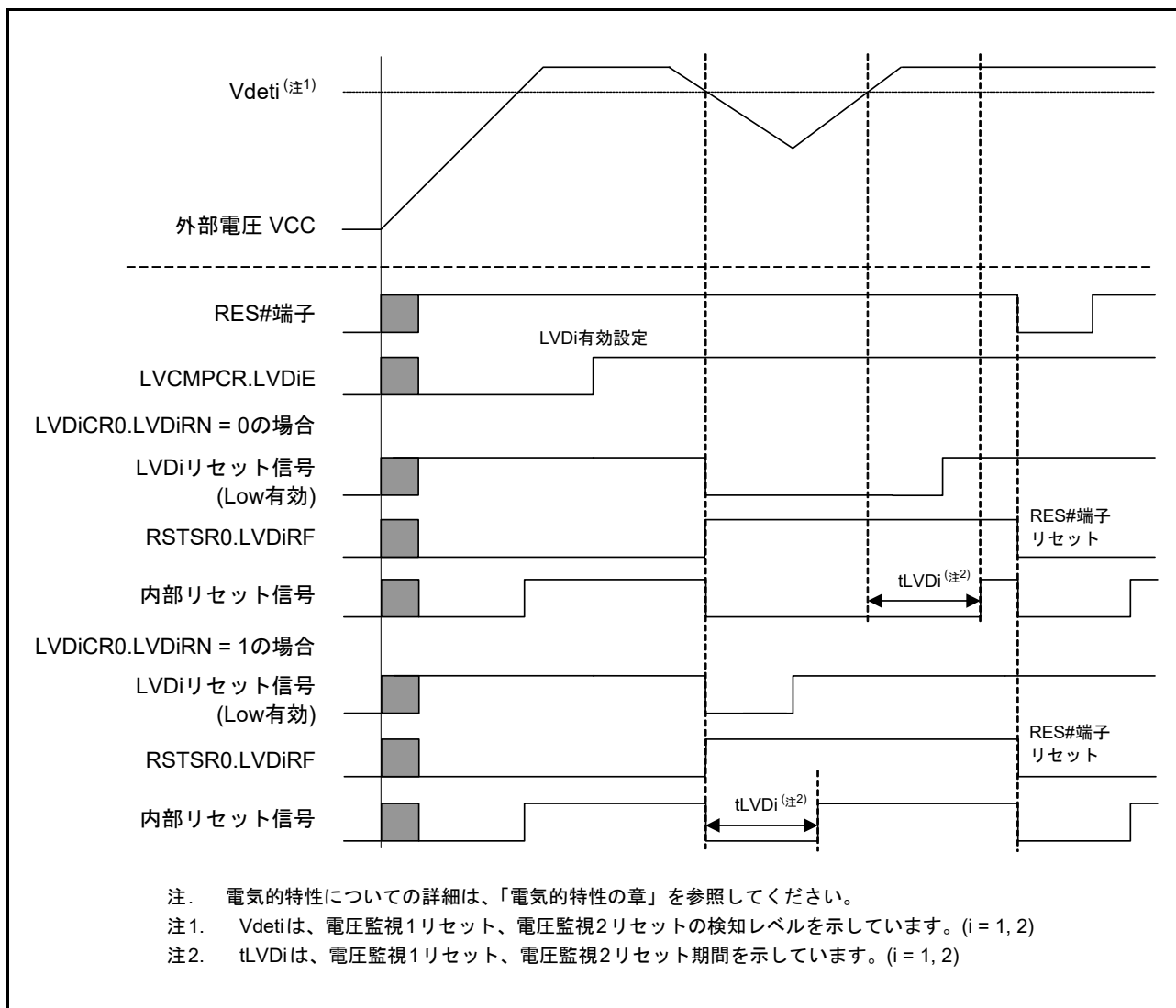


図 6.2 電圧監視 1 リセット、電圧監視 2 リセット動作例

6.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

IWDT リセットコントロールレジスタ (IWDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセット出力を選択した場合、独立ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は「25. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

6.3.5 ソフトウェアリセット

ソフトウェアリセット回路による内部リセットです。

SWRR レジスタに“A501h”を書くと、ソフトウェアリセットが発生します。ソフトウェアリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

6.3.6 コールドスタート/ウォームスタート判定機能

RSTSR1.CWSF フラグにより、電源が投入されたときのリセット処理 (コールドスタート) か、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) かの判定をすることができます。

RSTSR1.CWSF フラグはパワーオンリセットが発生すると“0” (コールドスタート) になります。その他のリセットを行っても“0” になりません。また、プログラムで“1” を書くと、“1” になります。“0” を書いても変化しません。

図 6.3 にコールドスタート/ウォームスタート判定機能の動作例を示します。

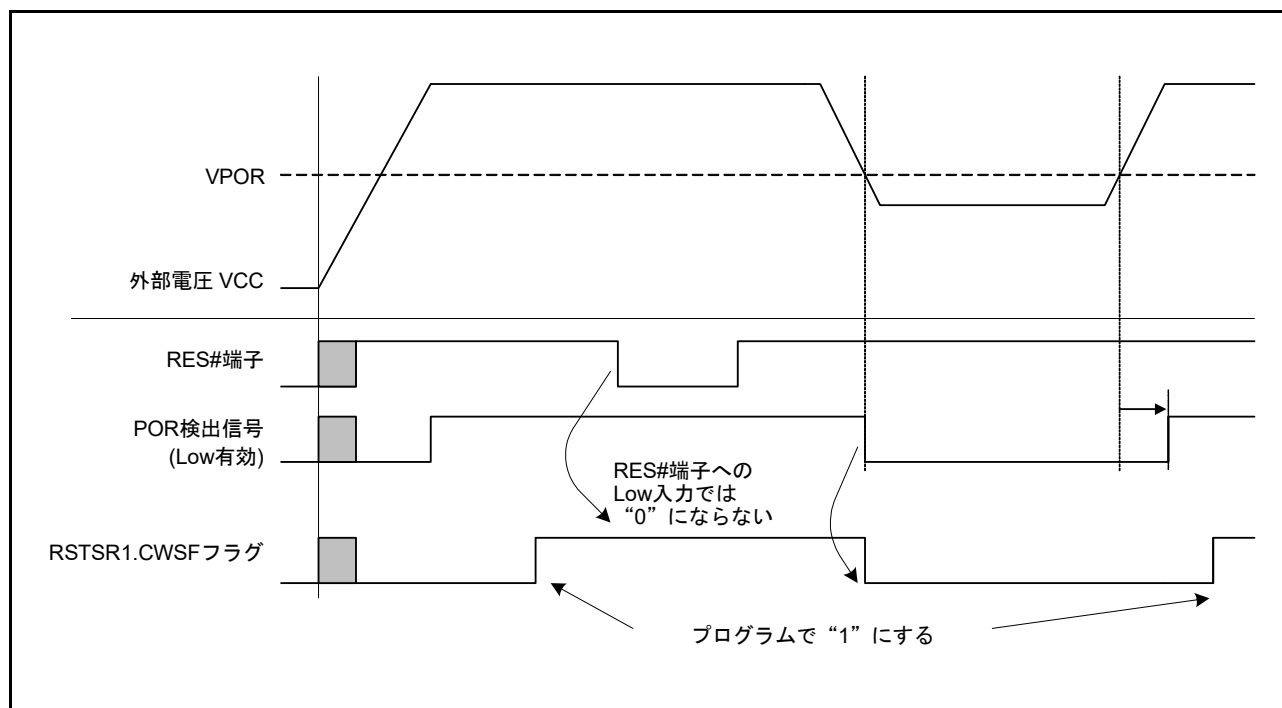


図 6.3 コールドスタート/ウォームスタート判定機能の動作例

6.3.7 リセット発生要因の判定

RSTSR0 レジスタと RSTSR2 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 6.4 にリセット発生要因判定フロー例を示します。

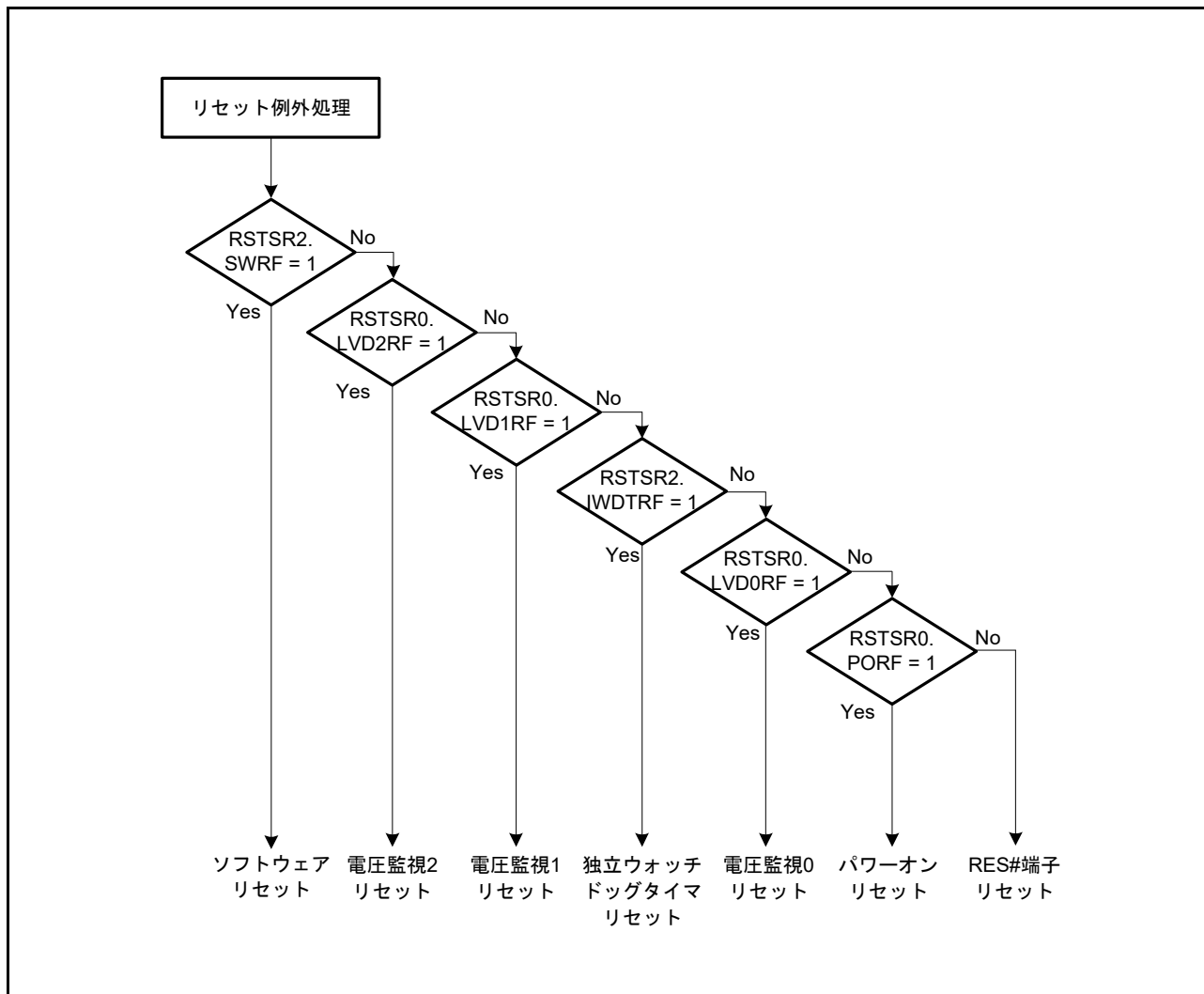


図 6.4 リセット発生要因判定フロー例

7. オプション設定メモリ

7.1 概要

オプション設定メモリは、リセット後のマイコンの状態を選択するレジスタを備えています。オプション設定メモリは、ROM上にあります。

図 7.1 にオプション設定メモリ領域を示します。

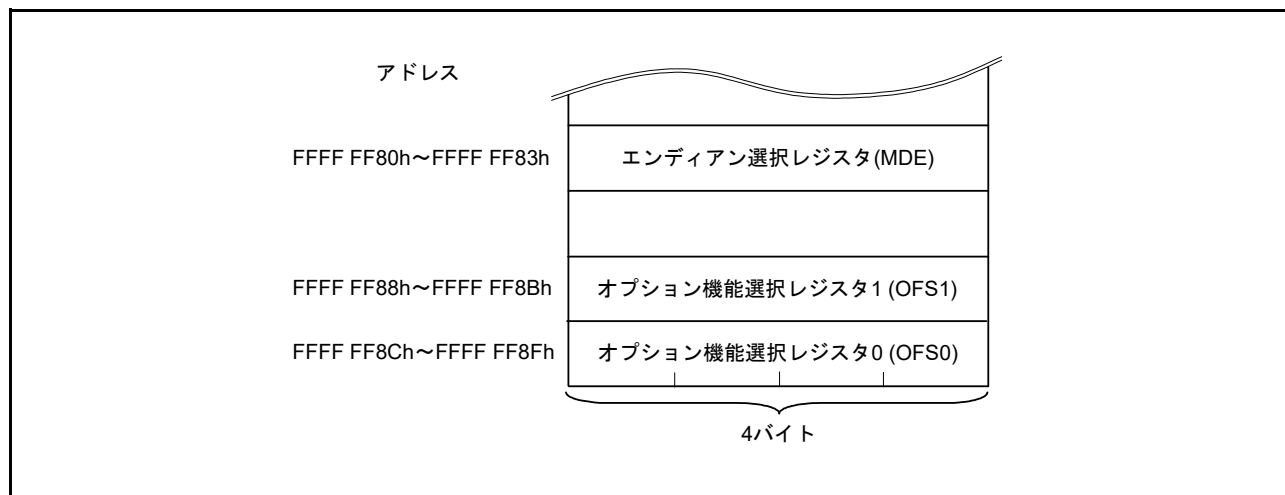


図 7.1 オプション設定メモリ領域

7.2 レジスタの説明

7.2.1 オプション機能選択レジスタ 0 (OFS0)

アドレス FFFF FF8Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDTS LCSTP	—	IWDTR STIRQS	IWDTRPSS[1:0]	IWDTRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]	IWDTS TRT	—				
リセット後の値 ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b1	IWDTSTRT	IWDTスタートモード選択ビット	0：リセット後、IWDTはオートスタートモードにて自動的に起動 1：リセット後、IWDTは停止状態	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択ビット	b3 b2 0 0：128サイクル (007Fh) 0 1：512サイクル (01FFh) 1 0：1024サイクル (03FFh) 1 1：2048サイクル (07FFh)	R
b7-b4	IWDTCKS[3:0]	IWDTクロック分周比選択ビット	b7 b4 0 0 0 0：分周なし 0 0 1 0：16分周 0 0 1 1：32分周 0 1 0 0：64分周 1 1 1 1：128分周 0 1 0 1：256分周 上記以外は設定しないでください	R
b9-b8	IWDTRPES[1:0]	IWDTウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDTRPSS[1:0]	IWDTウィンドウ開始位置選択ビット	b11 b10 0 0：25% 0 1：50% 1 0：75% 1 1：100% (ウィンドウの開始位置設定なし)	R
b12	IWDTRSTIRQS	IWDTリセット割り込み要求選択ビット	0：ノンマスクابل割り込み要求を許可 1：リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b14	IWDTS LCSTP	IWDTスリープモードカウント停止制御ビット	0：カウント停止無効 1：スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード移行時のカウント停止有効	R
b31-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品は、“FFFF FFFFh”です。ユーザでのプログラム後は、プログラムした値になります。

OFS0 レジスタはROM上にあります。プログラムと一緒に書いてください。書いた後、OFS0 レジスタに追加書き込みをしないでください。

OFS0 レジスタを含むブロックを消去すると、OFS0 レジスタは“FFFF FFFFh”になります。

ブートモード時はOFS0 レジスタの値は無視され、“FFFF FFFFh”が設定されているときと同じ動作になります。

IWDTSTRT ビット (IWDT スタートモード選択ビット)

リセット後のIWDTの起動モード（停止状態、またはオートスタートモードでの起動）が選択できます。オートスタートモードでの起動の場合、IWDTの設定は、OFS0 レジスタの設定が有効となります。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間をIWDTCKS[3:0] ビットで設定した分周クロックを1サイクルとして、128サイクル/512サイクル/1024サイクル/2048サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間（IWDT専用クロック数）は、IWDTCKS[3:0] ビットとIWDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「25. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTCKS[3:0] ビット (IWDT クロック分周比選択ビット)

IWDT専用クロックを分周するプリスケアラの分周比設定を1分周/16分周/32分周/64分周/128分周/256分周から選択します。IWDTTOPS[1:0] ビットと組み合わせて、IWDTのカウント期間をIWDT専用クロックの128～524288クロックの間で設定できます。

詳細は「25. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置>ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDRPSS[1:0]、IWDRPES[1:0] ビットで設定したウィンドウ開始/終了位置のカウント値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は「25. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を100%、アンダフロー発生時を0%）の100%、75%、50%、25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「25. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRSTIRQS ビット (IWDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「25. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTSLCSTP ビット (IWDT スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード移行時のカウント停止を選択します。

詳細は「25. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

7.2.2 オプション機能選択レジスタ 1 (OFS1)

アドレス FFFF FF88h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

リセット後の値 ユーザの設定値 (注1)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	HOCO EN	—	—	—	—	—	LVDAS	VDSEL[1:0]	—

リセット後の値 ユーザの設定値 (注1)

ビット	シンボル	ビット名	機能	R/W
b1-b0	VDSEL[1:0]	電圧検出0レベル選択ビット	b1 b0 0 0 : 3.84Vを選択 0 1 : 2.82Vを選択 1 0 : 2.51Vを選択 電圧検出0回路を使用する場合は、上記以外は設定しないでください	R
b2	LVDAS	電圧検出0回路起動ビット	0 : リセット後、電圧監視0リセット有効 1 : リセット後、電圧監視0リセット無効	R
b7-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b8	HOCOEN	HOCO発振有効ビット	0 : リセット後、HOCO発振が有効 1 : リセット後、HOCO発振が無効	R
b31-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品は、“FFFF FFFFh”です。ユーザでのプログラム後は、プログラムした値になります。

OFS1 レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、OFS1 レジスタに追加書き込みをしないでください。

OFS1 レジスタを含むブロックを消去すると、OFS1 レジスタは“FFFF FFFFh”となります。

ブートモード時は OFS1 レジスタの値は無視され、“FFFF FFFFh” が設定されているときと同じ動作になります。

VDSEL[1:0] ビット (電圧検出 0 レベル選択ビット)

電圧検出 0 回路の電圧検出レベルを選択します。

LVDAS ビット (電圧検出 0 回路起動ビット)

リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

電圧検出 0 回路で監視する Vdet0 電圧は、VDSEL[1:0] ビットで選択します。

HOCOEN ビット (HOCO 発振有効ビット)

リセット後、HOCO 用発振を有効にするか無効にするかを選択します。

HOCOEN ビットを“0”にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

なお、HOCOEN ビットを“0”にしても、システムクロックソースは HOCO に切り替わりません。CPU からクロックソース選択ビット (SCKCR3.CKSEL[2:0]) を書き換えることにより、切り替わります。

また、HOCOEN ビットに“0”を設定している場合、HOCO 発振安定時間 (tHOCO) はハードウェアで確

保されているため、CPU リセット解除後から電気的特性に記載の HOCO 発振周波数 (fHOCO) の精度のクロックが供給されます。

7.2.3 エンディアン選択レジスタ (MDE)

アドレス FFFF FF80h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	MDE[2:0]	
リセット後の値 ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b2-b0	MDE[2:0]	エンディアン選択ビット	b2 b0 0 0 0: ビッグエンディアン 1 1 1: リトルエンディアン 上記以外は設定しないでください	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品は、“FFFF FFFFh”です。ユーザでのプログラム後は、プログラムした値になります。

MDE レジスタは、CPU のエンディアンを選択するレジスタです。MDE レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、MDE レジスタに追加書き込みをしないでください。

MDE レジスタを含むブロックを消去すると、MDE レジスタは“FFFF FFFFh”になります。

MDE[2:0] ビット (エンディアン選択ビット)

リトルエンディアン/ビッグエンディアンを選択します。

7.3 使用上の注意事項

7.3.1 オプション設定メモリの設定例

オプション設定メモリは ROM 上にありますので、命令の実行では書き換えられません。プログラム作成時に適切な値を書いてください。以下に設定例を示します。

- OFS0 レジスタに“ffff fff8h”を設定する場合
 .org 0ffff ff8ch
 .lword 0ffffff8h

注. プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

8. 電圧検出回路 (LVDAb)

電圧検出回路は VCC 端子に入力する電圧を監視する回路です。VCC 入力電圧をプログラムで監視できます。

8.1 概要

電圧検出 0 はオプション機能選択レジスタ 1 (OFS1) で、検出電圧を 3 レベルから選択できます。

電圧検出 1 は、電圧検出レベル選択レジスタ (LVDLVLR) で、検出電圧を 9 レベルから選択できます。

電圧検出 2 は、LVDLVLR レジスタで検出電圧を 4 レベルから選択できます。

電圧監視 0 リセット、電圧監視 1 リセット/割り込み、電圧監視 2 リセット/割り込みを使用できます。

表 8.1 に電圧検出回路の仕様を示します。図 8.1 に電圧検出回路ブロック図を、図 8.2 に電圧監視 1 割り込み/リセット発生回路のブロック図を、図 8.3 に電圧監視 2 割り込み/リセット発生回路のブロック図を示します。

表 8.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	下降してVdet0を通過した場合	上昇または下降してVdet1を通過した場合	上昇または下降してVdet2を通過した場合
	検出電圧	OFS1レジスタで3レベルから選択可能	LVDLVLR.LVD1LVL[3:0]ビットで9レベルから選択可能	LVDLVLR.LVD2LVL[1:0]ビットで4レベルから選択可能
	モニタフラグ	なし	LVD1SR.LVD1MONフラグ： Vdet1より高いか低いかをモニタ	LVD2SR.LVD2MONフラグ： Vdet2より高いか低いかをモニタ
電圧検出時の処理	リセット	電圧監視0リセット	電圧監視1リセット	電圧監視2リセット
		Vdet0 > VCCでリセット： VCC > Vdet0の一定時間後にCPU動作再開	Vdet1 > VCCでリセット： VCC > Vdet1の一定時間後にCPU動作再開、またはVdet1 > VCCの一定時間後にCPU動作再開を選択可能	Vdet2 > VCCでリセット： VCC > Vdet2の一定時間後にCPU動作再開、またはVdet2 > VCCの一定時間後にCPU動作再開を選択可能
	割り込み	なし	電圧監視1割り込み	電圧監視2割り込み
			ノンマスクブルまたはマスクブルを選択可能	ノンマスクブルまたはマスクブルを選択可能
		Vdet1 > VCC、VCC > Vdet1の両方、またはどちらかで割り込み要求	Vdet2 > VCC、VCC > Vdet2の両方、またはどちらかで割り込み要求	

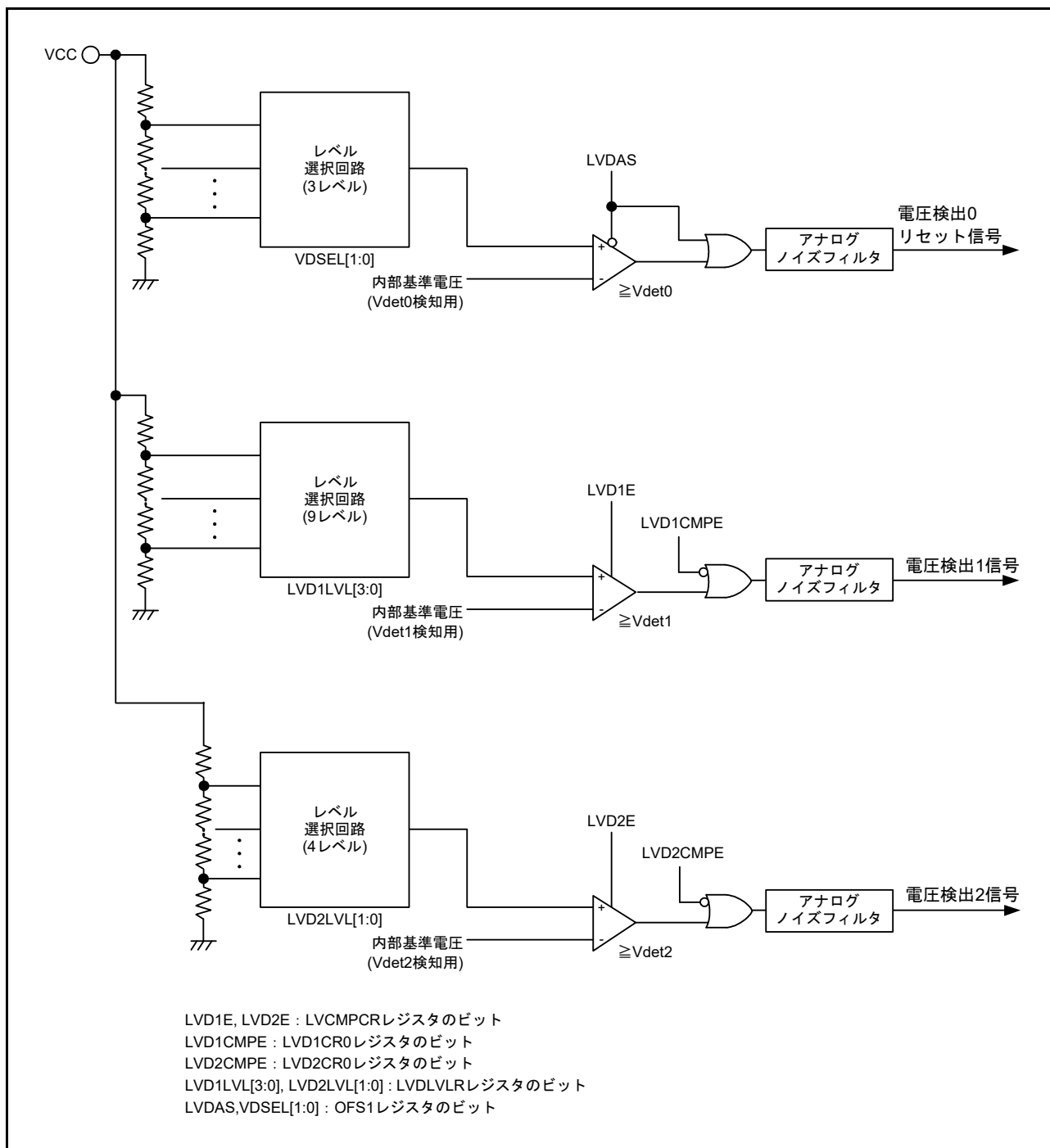


図 8.1 電圧検出回路ブロック図

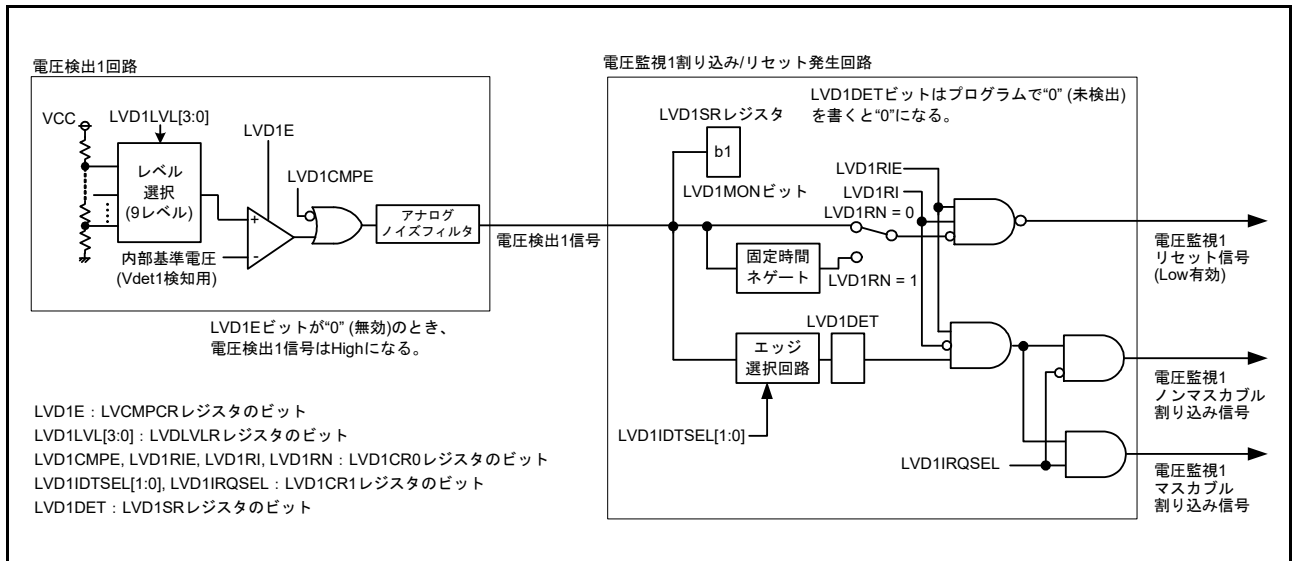


図 8.2 電圧監視 1 割り込み / リセット発生回路のブロック図

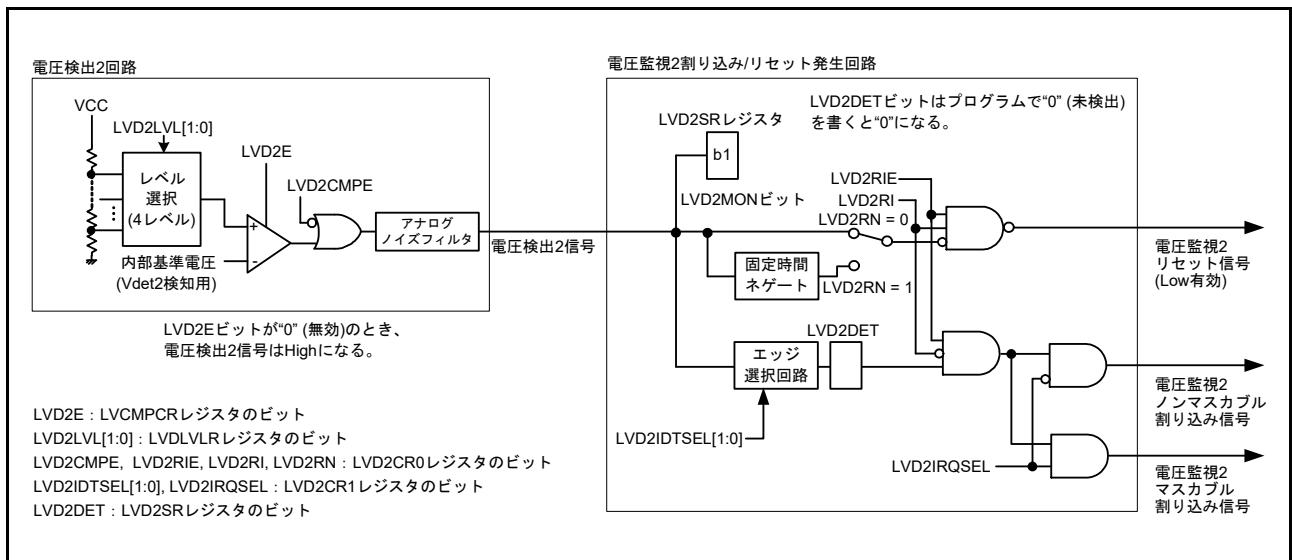


図 8.3 電圧監視 2 割り込み / リセット発生回路のブロック図

8.2 レジスタの説明

8.2.1 電圧監視1回路制御レジスタ1(LVD1CR1)

アドレス 0008 00E0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	LVD1IR QSEL	LVD1IDTSEL [1:0]	
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD1IDTSEL [1:0]	電圧監視1割り込み発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet1 (上昇)検出時 0 1 : VCC < Vdet1 (下降)検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD1IRQSEL	電圧監視1割り込み種類選択ビット	0 : ノンマスクブル割り込み 1 : マスクブル割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

8.2.2 電圧監視 1 回路ステータスレジスタ (LVD1SR)

アドレス 0008 00E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1M ON	LVD1D ET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD1DET	電圧監視 1 電圧変化検出フラグ	0 : 未検出 1 : Vdet1 通過検出	R/(W) (注1)
b1	LVD1MON	電圧監視 1 信号モニタフラグ	0 : VCC < Vdet1 1 : VCC ≥ Vdet1 または LVD1MON 無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD1DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD1DET フラグ (電圧監視 1 電圧変化検出フラグ)

LVD1DET フラグは、LVCMPCR.LVD1E ビットが“1”(電圧検出 1 回路有効)、かつ LVD1CR0.LVD1CMPE ビットが“1”(電圧監視 1 回路比較結果出力許可)のとき有効になります。

LVD1DET フラグを“0”にするときは、LVD1CR0.LVD1RIE を“0”(禁止)にしてから行ってください。再度、LVD1CR0.LVD1RIE を“1”(許可)にする場合は、PCLKB2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD1MON フラグ (電圧監視 1 信号モニタフラグ)

LVD1MON フラグは、LVCMPCR.LVD1E ビットが“1”(電圧検出 1 回路有効)、かつ LVD1CR0.LVD1CMPE ビットが“1”(電圧監視 1 回路比較結果出力許可)のとき有効になります。

8.2.3 電圧監視2回路制御レジスタ1 (LVD2CR1)

アドレス 0008 00E2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	LVD2IR QSEL	LVD2IDTSEL [1:0]	
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD2IDTSEL [1:0]	電圧監視2割り込み発生条件選択ビット	b1 b0 0 0 : VCC \geq Vdet2 (上昇)検出時 0 1 : VCC < Vdet2 (下降)検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD2IRQSEL	電圧監視2割り込み種類選択ビット	0 : ノンマスクブル割り込み 1 : マスクブル割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

8.2.4 電圧監視 2 回路ステータスレジスタ (LVD2SR)

アドレス 0008 00E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2MON	LVD2DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD2DET	電圧監視2電圧変化検出フラグ	0 : 未検出 1 : Vdet2通過検出	R/(W) (注1)
b1	LVD2MON	電圧監視2信号モニタフラグ	0 : VCC < Vdet2 1 : VCC ≥ Vdet2またはLVD2MON無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD2DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD2DET フラグ (電圧監視 2 電圧変化検出フラグ)

LVD2DET フラグは、LVCMPCR.LVD2E ビットが“1”(電圧検出 2 回路有効)、かつ LVD2CR0.LVD2CMPE ビットが“1”(電圧監視 2 回路比較結果出力許可)のとき有効になります。

LVD2DET フラグを“0”にするときは、LVD2CR0.LVD2RIE を“0”(禁止)にしてから行ってください。再度、LVD2CR0.LVD2RIE を“1”(許可)にする場合は、PCLKB2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD2MON フラグ (電圧監視 2 信号モニタフラグ)

LVD2MON フラグは、LVCMPCR.LVD2E ビットが“1”(電圧検出 2 回路有効)、かつ LVD2CR0.LVD2CMPE ビットが“1”(電圧監視 2 回路比較結果出力許可)のとき有効になります。

8.2.5 電圧監視回路制御レジスタ (LVCMPCR)

アドレス 0008 C297h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	LVD1E	電圧検出1許可ビット	0：電圧検出1回路無効 1：電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可ビット	0：電圧検出2回路無効 1：電圧検出2回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

LVD1E ビット (電圧検出1許可ビット)

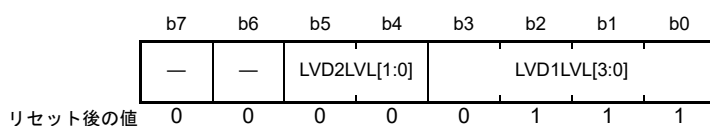
電圧検出1の割り込み/リセットを使用する場合、またはLVD1SR.LVD1MONフラグを使用する場合、LVD1Eビットを“1”にしてください。LVD1Eビットを“0”から“1”にした後、 $Td_{(E-A)}$ 経過してから電圧検出1回路が動作します。

LVD2E ビット (電圧検出2許可ビット)

電圧検出2の割り込み/リセットを使用する場合、またはLVD2SR.LVD2MONフラグを使用する場合、LVD2Eビットを“1”にしてください。LVD2Eビットを“0”から“1”にした後、 $Td_{(E-A)}$ 経過してから電圧検出2回路が動作します。

8.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス 0008 C298h



ビット	シンボル	ビット名	機能	R/W
b3-b0	LVD1LVL[3:0]	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b0 0 0 0 0 : 4.29V 0 0 0 1 : 4.14V 0 0 1 0 : 4.02V 0 0 1 1 : 3.84V 0 1 0 0 : 3.10V 0 1 0 1 : 3.00V 0 1 1 0 : 2.90V 0 1 1 1 : 2.79V 1 0 0 0 : 2.68V 上記以外は設定しないでください	R/W
b5-b4	LVD2LVL[1:0]	電圧検出2レベル選択ビット (電圧下降時の標準電圧)	b5 b4 0 0 : 4.29V 0 1 : 4.14V 1 0 : 4.02V 1 1 : 3.84V	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

LVDLVLR レジスタを変更するときは、LVCMPCR.LVD1E ビットおよびLVCMPCR.LVD2E ビットを共に“0”(電圧検出 n 回路無効)(n = 1, 2)にしてから行ってください。

また、LVD1LVL[3:0] ビットで設定の電圧検出レベルの範囲と LVD2LVL[1:0] ビットで設定の電圧検出レベルの範囲とがオーバーラップする設定をした場合、LVD1、LVD2 のどちらで電圧検出動作するかは特定できません。電圧検出レベルの範囲については、「37. 電気的特性」を参照してください。

8.2.7 電圧監視 1 回路制御レジスタ 0 (LVD1CR0)

アドレス 0008 C29Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD1RN	LVD1RI	—	—	—	LVD1CMPE	—	LVD1RIE
リセット後の値	1	0	0	0	x	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD1RIE	電圧監視1割り込み/リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD1CMPE	電圧監視1回路比較結果出力許可ビット	0 : 電圧監視1回路比較結果出力禁止 1 : 電圧監視1回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD1RI	電圧監視1回路モード選択ビット	0 : Vdet1 通過時に電圧監視1割り込み 1 : 下降してVdet1 通過時に電圧監視1リセット	R/W
b7	LVD1RN	電圧監視1リセットネゲート選択ビット	0 : VCC > Vdet1 検出から一定時間(tLVD1) 経過後にネゲート 1 : 電圧監視1リセットアサートから一定時間(tLVD1) 経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

LVD1RIE ビット (電圧監視 1 割り込み / リセット許可ビット)

LVD1RIE ビットは、LVCMPCR.LVD1E ビットが“1”(電圧検出 1 回路有効)かつ LVD1CMPE ビットが“1”(電圧検出 1 回路比較結果出力許可)のとき有効になります。

フラッシュメモリの書き込み / 消去中は、電圧監視 1 リセットおよび電圧監視 1 ノンマスクブル割り込みを発生させないでください。

LVD1RN ビット (電圧監視 1 リセットネゲート選択ビット)

LVD1RN ビットを“1”(電圧監視 1 リセットアサートから一定時間経過後にネゲート)にする場合は、LOCOCR.LCSTP ビットは“0”(LOCO 動作)にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD1RN ビットを“0”(VCC > Vdet1 検出から一定時間経過後にネゲート)にすることのみ可能です。LVD1RN ビットを“1”(電圧監視 1 リセットアサートから一定時間経過後にネゲート)にしないでください。

8.2.8 電圧監視 2 回路制御レジスタ 0 (LVD2CR0)

アドレス 0008 C29Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2RN	LVD2RI	—	—	—	LVD2CMPE	—	LVD2RIE
リセット後の値	1	0	0	0	x	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD2RIE	電圧監視2割り込み/リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD2CMPE	電圧監視2回路比較結果出力許可ビット	0 : 電圧監視2回路比較結果出力禁止 1 : 電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD2RI	電圧監視2回路モード選択ビット	0 : Vdet2通過時に電圧監視2割り込み 1 : 下降してVdet2通過時に電圧監視2リセット	R/W
b7	LVD2RN	電圧監視2リセットネゲート選択ビット	0 : VCC > Vdet2検出から一定時間(tLVD2)経過後にネゲート 1 : 電圧監視2リセットアサートから一定時間(tLVD2)経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

LVD2RIE ビット (電圧監視 2 割り込み / リセット許可ビット)

LVD2RIE ビットは、LVCMPCR.LVD2E ビットが“1”(電圧検出 2 回路有効)かつ LVD2CMPE ビットが“1”(電圧検出 2 回路比較結果出力許可)のとき有効になります。

フラッシュメモリの書き込み / 消去中は、電圧監視 2 リセットおよび電圧監視 2 ノンマスクブル割り込みを発生させないでください。

LVD2RN ビット (電圧監視 2 リセットネゲート選択ビット)

LVD2RN ビットを“1”(電圧監視 2 リセットアサートから一定時間経過後にネゲート)にする場合は、LOCOCR.LCSTP ビットは“0”(LOCO 動作)にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD2RN ビットを“0”(VCC > Vdet2 検出から一定時間経過後にネゲート)にすることのみ可能です。LVD2RN ビットを“1”(電圧監視 2 リセットアサートから一定時間経過後にネゲート)にしないでください。

8.3 VCC 入力電圧のモニタ

8.3.1 Vdet0 のモニタ

Vdet0 のモニタはできません。

8.3.2 Vdet1 のモニタ

以下の設定をした後、LVD1SR.LVD1MON フラグで電圧監視 1 の比較結果をモニタできます。

- (1) LVDLVL.R.LVD1LVL[3:0] ビット (電圧検出 1 検出電圧) を設定する
- (2) LVCMP.R.LVD1E ビットを “1” (電圧検出 1 回路有効) にする
- (3) $T_{d(E-A)}$ 待ってから、LVD1CR0.LVD1CMPE ビットを “1” (電圧監視 1 回路比較結果出力許可) にする。

8.3.3 Vdet2 のモニタ

以下の設定をした後、LVD2SR.LVD2MON フラグで電圧監視 2 の比較結果をモニタできます。

- (1) LVDLVL.R.LVD2LVL[1:0] ビット (電圧検出 2 検出電圧) を設定する
- (2) LVCMP.R.LVD2E ビットを “1” (電圧検出 2 回路有効) にする
- (3) $T_{d(E-A)}$ 待ってから、LVD2CR0.LVD2CMPE ビットを “1” (電圧監視 2 回路比較結果出力許可) にする。

8.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFS1.LVDAS ビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

図 8.4 に電圧監視0リセット動作例を示します。

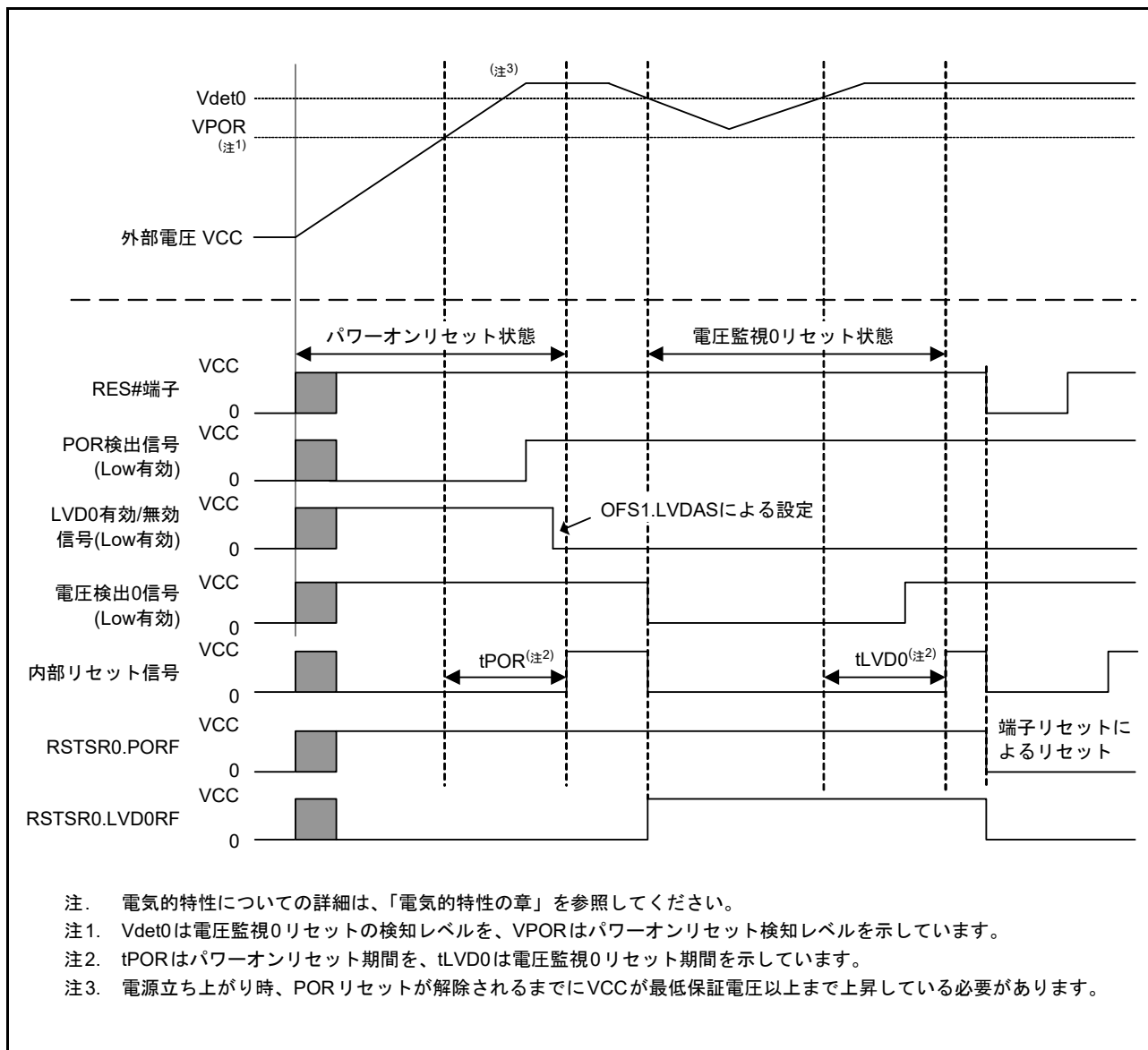


図 8.4 電圧監視0リセット動作例

8.5 電圧監視 1 割り込み、電圧監視 1 リセット

表 8.2 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を、表 8.3 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を、図 8.5 に電圧監視 1 割り込み動作例を示します。電圧監視 1 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

表 8.2 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	電圧監視 1 割り込み	電圧監視 1 リセット
1(注1)	LVD1LVR.LVD1LVL[3:0]ビットで検出電圧を選択する	
2(注1)	LVD1CR0.LVD1RI ビットを“0” (電圧監視 1 割り込み)にする	LVD1CR0.LVD1RI ビットを“1” (電圧監視 1 リセット)にする。 LVD1CR0.LVD1RN ビットでリセットネゲートの種類を選択する
3	LVD1CR1.LVD1IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する。 LVD1CR1.LVD1IRQSEL ビットで割り込みの種類を選択する。	—
4	—	LVD1CR0.LVD1RIE ビットを“1” (電圧監視 1 割り込み/リセット許可)にする。
5(注1)	LVCMPCR.LVD1E ビットを“1” (電圧検出 1 回路有効)にする	
6(注1)	Td(E-A) 以上待つ	
7	LVD1CR0.LVD1CMPE ビットを“1” (電圧監視 1 回路比較結果出力許可)にする	
8	LVD1SR.LVD1DET ビットを“0”にする	—
9	LVD1CR0.LVD1RIE ビットを“1” (電圧監視 1 割り込み/リセット許可)にする	—

注1. 電圧監視 1 割り込み設定 (LVD1CR0.LVD1RI = 0) で動作させている場合で、停止後に LVD1CR1.LVD1IRQSEL、LVD1IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 1、2、5、6 は不要です。電圧監視 1 リセット設定 (LVD1CR0.LVD1RI = 1) で動作させている場合の変更は、上記手順 1~9 で設定してください。

表 8.3 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順	電圧監視 1 割り込み	電圧監視 1 リセット
1	LVD1CR0.LVD1RIE ビットを“0” (電圧監視 1 割り込み/リセット禁止)にする	—
2	LVD1CR0.LVD1CMPE ビットを“0” (電圧監視 1 回路比較結果出力禁止)にする	
3(注1)	LVCMPCR.LVD1E ビットを“0” (電圧検出 1 回路無効)にする	
4	—	LVD1CR0.LVD1RIE ビットを“0” (電圧監視 1 割り込み/リセット禁止)にする
5	LVCMPCR.LVD1E、LVD1CR0.LVD1RIE、LVD1CR0.LVD1CMPE を除く電圧検出回路関連レジスタの設定を変更する	

注1. 電圧監視 1 割り込み設定 (LVD1CR0.LVD1RI = 0) で動作させている場合で、停止後に LVD1CR1.LVD1IRQSEL、LVD1IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 3 は不要です。電圧監視 1 リセット設定 (LVD1CR0.LVD1RI = 1) で動作させている場合の変更は、上記手順 1~5 で設定してください。

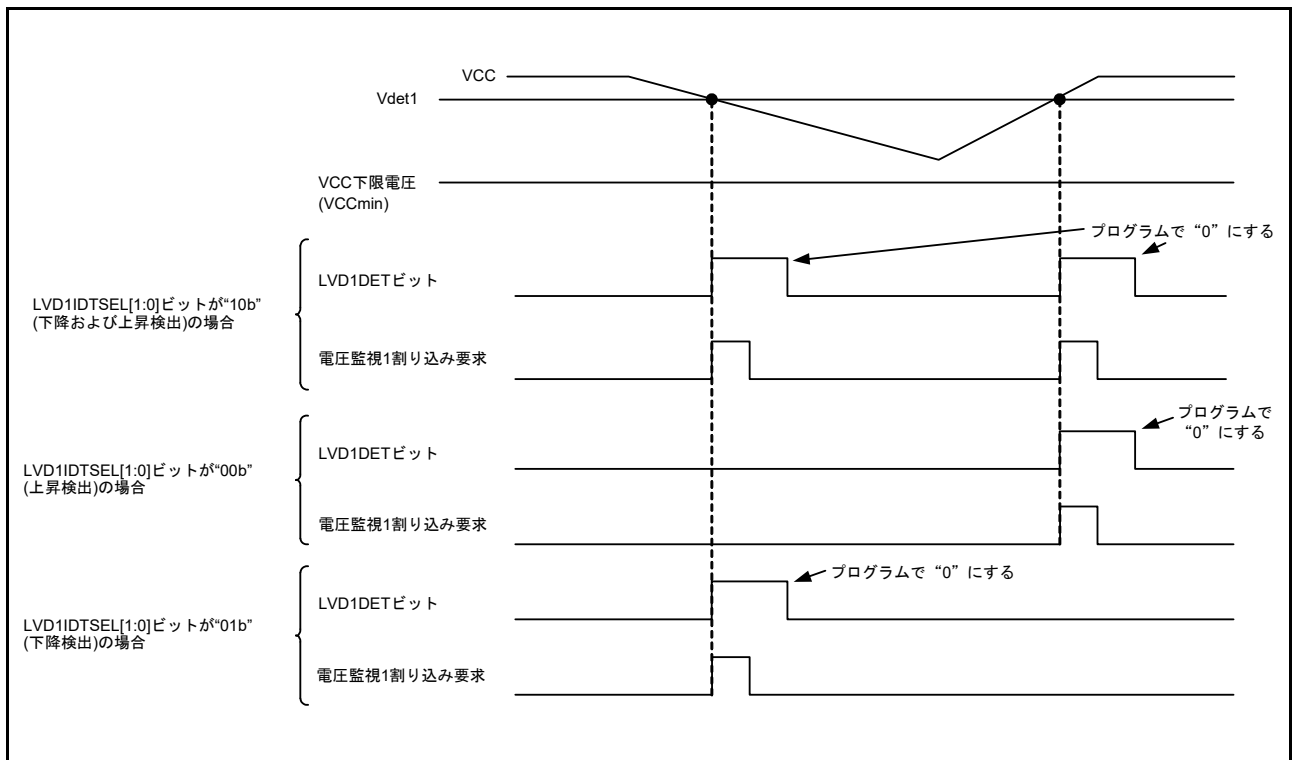


図 8.5 電圧監視 1 割り込み動作例

8.6 電圧監視 2 割り込み、電圧監視 2 リセット

表 8.4 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を、表 8.5 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を、図 8.6 に電圧監視 2 割り込み動作例を示します。電圧監視 2 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

表 8.4 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順

手順	電圧監視 2 割り込み	電圧監視 2 リセット
1(注1)	LVDLVLRLVD2LVL[1:0]ビットで検出電圧を選択する	
2(注1)	LVD2CR0.LVD2RI ビットを“0” (電圧監視 2 割り込み)にする	LVD2CR0.LVD2RI ビットを“1” (電圧監視 2 リセット)にする。 LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する。
3	LVD2CR1.LVD2IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する。 LVD2CR1.LVD2IRQSEL ビットで割り込みの種類を選択する	—
4	—	LVD2CR0.LVD2RIE ビットを“1” (電圧監視 2 割り込み/リセット許可)にする
5(注1)	LVCMPCLR.LVD2E ビットを“1” (電圧検出 2 回路有効)にする	
6(注1)	Td(E-A) 以上待つ	
7	LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可)にする	
8	LVD2SR.LVD2DET ビットを“0”にする	—
9	LVD2CR0.LVD2RIE ビットを“1” (電圧監視 2 割り込み/リセット許可)にする	—

注1. 電圧監視 2 割り込み設定 (LVD2CR0.LVD2RI = 0) で動作させている場合で、停止後に LVD2CR1.LVD2IRQSEL、LVD2IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 1、2、5、6 は不要です。電圧監視 2 リセット設定 (LVD2CR0.LVD2RI = 1) で動作させている場合の変更は、上記手順 1~9 で設定してください。

表 8.5 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順	電圧監視 2 割り込み	電圧監視 2 リセット
1	LVD2CR0.LVD2RIE ビットを“0” (電圧監視 2 割り込み/リセット禁止)にする	—
2	LVD2CR0.LVD2CMPE ビットを“0” (電圧監視 2 回路比較結果出力禁止)にする	
3(注1)	LVCMPCLR.LVD2E ビットを“0” (電圧検出 2 回路無効)にする	
4	—	LVD2CR0.LVD2RIE ビットを“0” (電圧監視 2 割り込み/リセット禁止)にする
5	LVCMPCLR.LVD2E、LVD2CR0.LVD2RIE、LVD2CR0.LVD2CMPE を除く電圧検出回路関連レジスタの設定を変更する	

注1. 電圧監視 2 割り込み設定 (LVD2CR0.LVD2RI = 0) で動作させている場合で、停止後に LVD2CR1.LVD2IRQSEL、LVD2IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 3 は不要です。電圧監視 2 リセット設定 (LVD2CR0.LVD2RI = 1) で動作させている場合の変更は、上記手順 1~5 で設定してください。

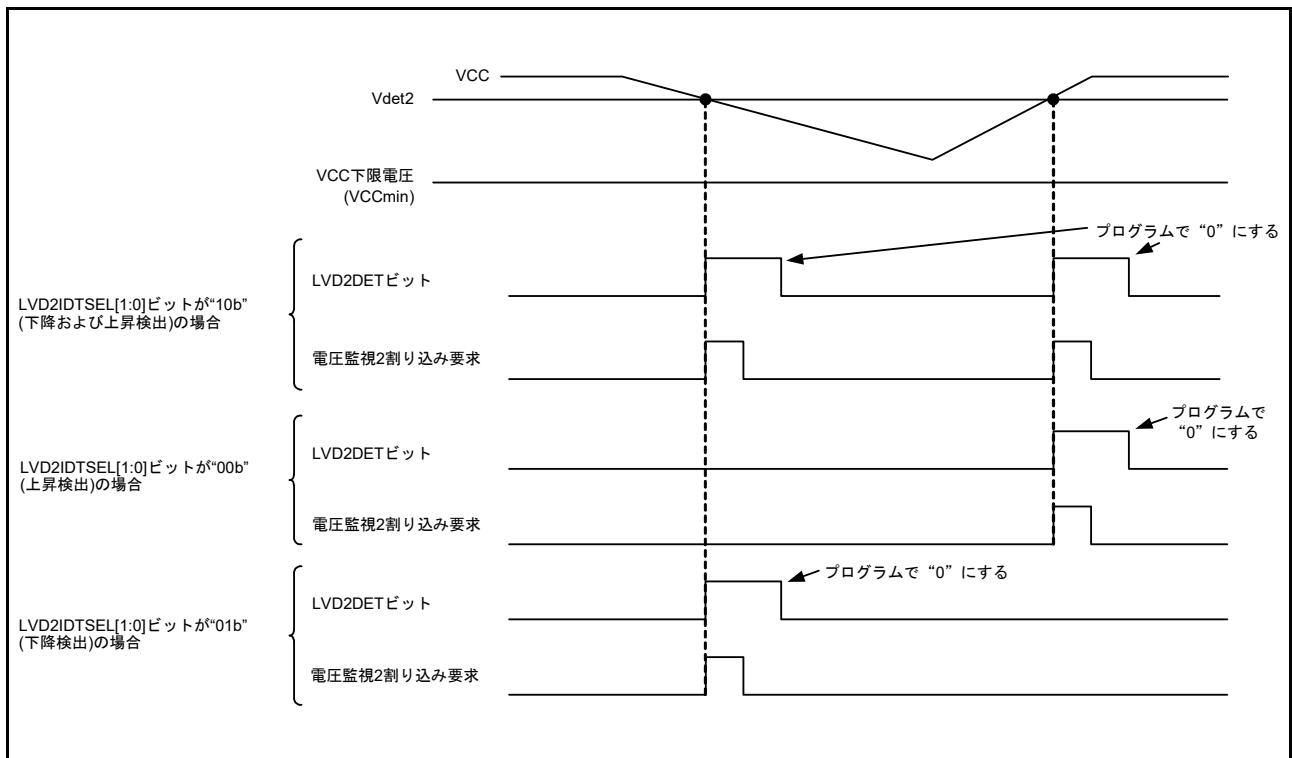


図 8.6 電圧監視 2 割り込み動作例

9. クロック発生回路

9.1 概要

本 MCU には、クロック発生回路を内蔵しています。

表 9.1 にクロック発生回路の仕様を、図 9.1 にクロック発生回路のブロック図を示します。

表9.1 クロック発生回路の仕様

項目	仕様
用途	<ul style="list-style-type: none"> • CPU、DTC、ROMおよびRAMに供給されるシステムクロック (ICLK)の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKA, PCLKB, PCLKD)の生成 周辺モジュールクロック (PCLKA)はMTU、GPT用、周辺モジュールクロック (PCLKD)はS12AD用、周辺モジュールクロック (PCLKB)はそれ以外の周辺モジュール用の動作クロックです。 • FlashIFに供給されるFlashIFクロック (FCLK)の生成 • CACに供給されるCACクロック (CACCLK)の生成 • IWDTに供給されるIWDT専用クロック (IWDTCLK)の生成 • RSCANに供給されるCANクロック (CANMCLK)の生成
動作周波数(注1)	<ul style="list-style-type: none"> • ICLK : 80MHz (max) • PCLKA : 80MHz (max) • PCLKB : 40MHz (max) • PCLKD : 40MHz (max) • FCLK : 1MHz~32MHz (ROM) • CACCLK : 各発振器のクロックと同じ • IWDTCLK : 15kHz • CANMCLK : 20MHz (max)
メインクロック発振器	<ul style="list-style-type: none"> • 発振器周波数 : 1MHz~20MHz • 外部クロック入力周波数 : 20MHz (max) • 接続できる発振器、または付加回路 : セラミック共振子、水晶振動子 • 接続端子 : EXTAL, XTAL • 発振停止検出機能 : メインクロックの発振停止検出時、LOCOに切り替える機能、MTU、GPTの端子出力を停止する機能 • ドライブ能力を切り替える機能
PLL回路	<ul style="list-style-type: none"> • 入力クロック源 : メインクロック、HOCO (32MHz)の4分周クロック • 入力分周比 : 1、2、4分周から選択可能 • 入力周波数 : 4MHz~12.5MHz • 通倍比 : 4~15.5通倍 (0.5刻み)から選択可能 • 発振周波数 : 40MHz~80MHz
高速オンチップオシレータ (HOCO)	発振周波数 : 32MHz, 64MHz
低速オンチップオシレータ (LOCO)	発振周波数 : 4MHz
IWDT専用オンチップオシレータ	発振周波数 : 15kHz

注1. 高速動作モードでの最大動作周波数です。その他の動作電力モードにおける最大動作周波数については、「11.2.5 動作電力コントロールレジスタ (OPCCR)」を参照してください。

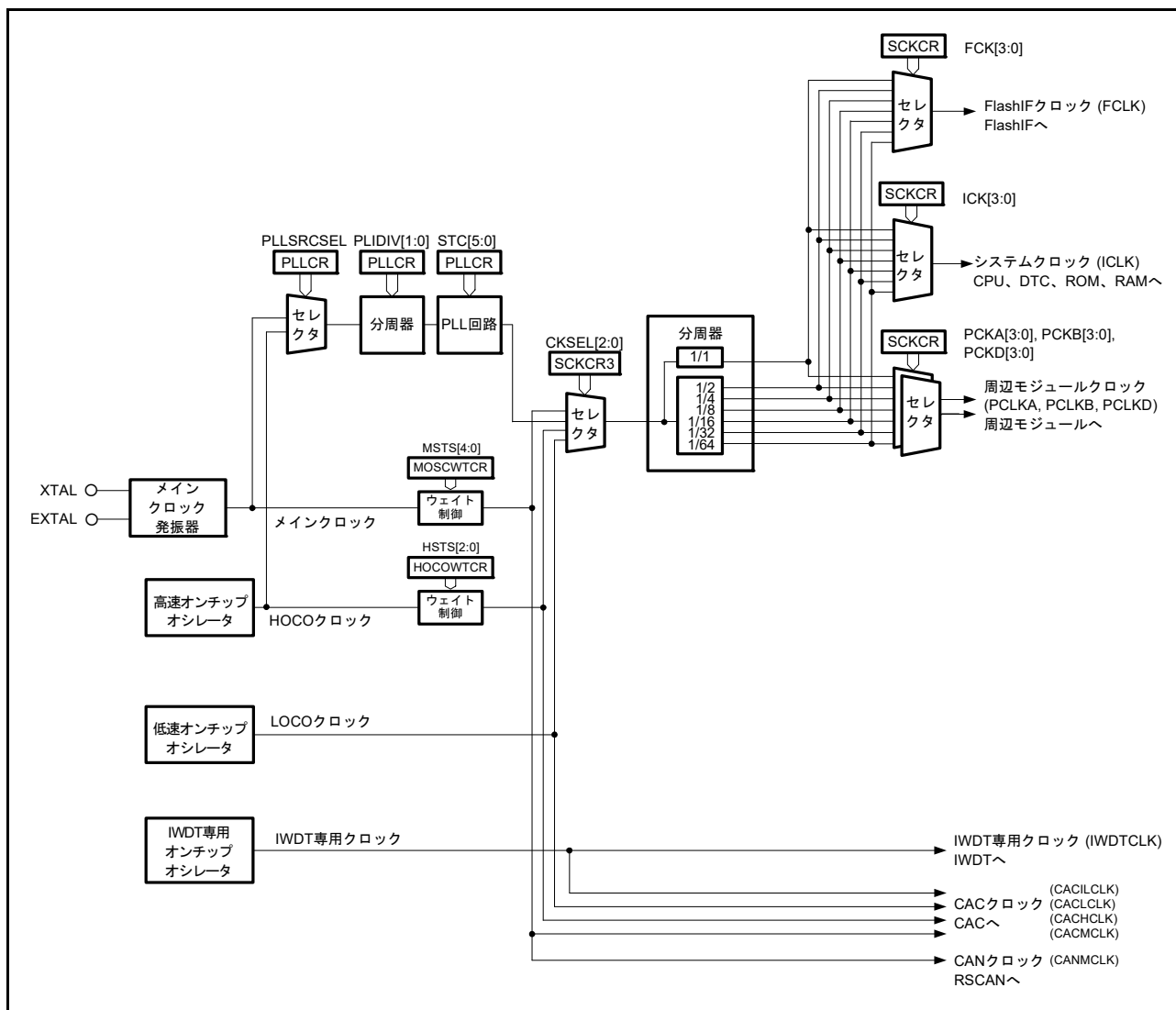


図 9.1 クロック発生回路のブロック図

表 9.2 にクロック発生回路の入出力端子を示します。

表 9.2 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	発振子接続端子。また、EXTAL端子は外部クロックを入力することもできます。詳細は、「9.3.2 外部クロックを入力する方法」参照
EXTAL	入力	

9.2 レジスタの説明

9.2.1 システムクロックコントロールレジスタ (SCKCR)

アドレス 0008 0020h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
FCK[3:0]				ICK[3:0]				—	—	—	—	—	—	—	—	
リセット後の値	0	0	1	1	0	0	1	1	0	0	0	0	0	0	1	1
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
PCKA[3:0]				PCKB[3:0]				—	—	—	—	PCKD[3:0]				
リセット後の値	0	0	1	1	0	0	1	1	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	PCKD[3:0] (注2)	周辺モジュールクロック D (PCLKD) 選択ビット	b3 b0 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	PCKB[3:0] (注2)	周辺モジュールクロック B (PCLKB) 選択ビット	b11 b8 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b15-b12	PCKA[3:0] (注2)	周辺モジュールクロック A (PCLKA) 選択ビット	b15 b12 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は、設定しないでください	R/W
b19-b16	—	予約ビット	PCKB[3:0] ビットの設定値と同じ値を設定してください	R/W
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	ICK[3:0] (注1、注3)	システムクロック (ICK) 選択ビット	b27 b24 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b28	FCK[3:0] (注2)	FlashIFクロック (FCLK) 選択ビット	b31 b28 0 0 0 0 : 1分周 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 上記以外は設定しないでください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. SCKCR3.CKSEL[2:0]で32MHzより高い周波数のクロックを選択し、かつMEMWAIT.MEMWAIT[1:0] = “00b”の場合、システムクロック (ICLK) が32MHzを超える設定は禁止です。

注2. システムクロック (ICLK) より高い周波数を設定しないでください。

注3. SCKCR3.CKSEL[2:0]で32MHzより高い周波数のクロックを選択し、かつ MEMWAIT.MEMWAIT[1:0] = “01b”の場合、システムクロック (ICLK) が64MHzを超える設定は禁止です。

フラッシュメモリが P/E 中はこのレジスタへの書き込みができません。書き込みは無効になります。

SCKCR レジスタへの書き込み後、後続の命令で SCKCR レジスタ、SCKCR3 レジスタのいずれかのレジスタへ書き込みをする場合、以下の手順に従ってください。

1. SCKCR レジスタへの書き込み
2. SCKCR レジスタに値が書かれたことを確認する
3. 次のステップに進む

PCKD[3:0] ビット (周辺モジュールクロック D (PCLKD) 選択ビット)

周辺モジュールクロック D (PCLKD) の周波数を選択します。

PCKB[3:0] ビット (周辺モジュールクロック B (PCLKB) 選択ビット)

周辺モジュールクロック B (PCLKB) の周波数を選択します。

PCKA[3:0] ビット (周辺モジュールクロック A (PCLKA) 選択ビット)

周辺モジュールクロック A (PCLKA) の周波数を選択します。

ICK[3:0] ビット (システムクロック (ICLK) 選択ビット)

システムクロック (ICLK) の周波数を選択します。

FCK[3:0] ビット (FlashIF クロック (FCLK) 選択ビット)

FlashIF クロック (FCLK) の周波数を選択します。

9.2.2 システムクロックコントロールレジスタ 3 (SCKCR3)

アドレス 0008 0026h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CKSEL[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0] (注1、注2)	クロックソース選択ビット	b10 b8 000 : LOCO選択 001 : HOCO選択 010 : メインクロック発振器選択 100 : PLL回路選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. MEMWAIT.MEMWAIT[1:0] = “00b”の場合、SCKCR.ICK[3:0]およびSCKCR3.CKSEL[2:0]の設定でシステムクロック(ICLK)が32MHzを超える設定は禁止です。

注2. MEMWAIT.MEMWAIT[1:0] = “01b”の場合、SCKCR.ICK[3:0]およびSCKCR3.CKSEL[2:0]の設定でシステムクロック(ICLK)が64MHzを超える設定は禁止です。

フラッシュメモリがP/E中はこのレジスタへの書き込みができません。書き込みは無効になります。

CKSEL[2:0] ビット (クロックソース選択ビット)

システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKD)、FlashIF クロック (FCLK) のクロックソースを低速オンチップオシレータ (LOCO)、高速オンチップオシレータ (HOCO)、メインクロック発振器、PLL 回路から選択します。

停止しているクロックソースへの切り替えは禁止です。

9.2.3 PLL コントロールレジスタ (PLLCR)

アドレス 0008 0028h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	STC[5:0]					—	—	—	—	—	—	PLLSRCSEL	PLIDIV[1:0]	
リセット後の値	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PLIDIV[1:0]	PLL入力分周比選択ビット	b1 b0 0 0 : 1分周 0 1 : 2分周 1 0 : 4分周 1 1 : 設定しないでください	R/W
b2	PLLSRCSEL	PLLクロックソース選択ビット	0 : メインクロック発振器選択 1 : HOCO選択	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	STC[5:0]	周波数通倍率設定ビット	b13 b8 000111 : ×4 001000 : ×4.5 001001 : ×5 001010 : ×5.5 001011 : ×6 001100 : ×6.5 001101 : ×7 001110 : ×7.5 001111 : ×8 010000 : ×8.5 010001 : ×9 010010 : ×9.5 010011 : ×10 010100 : ×10.5 010101 : ×11 010110 : ×11.5 010111 : ×12 011000 : ×12.5 011001 : ×13 011010 : ×13.5 011011 : ×14 011100 : ×14.5 011101 : ×15 011110 : ×15.5 上記以外は設定しないでください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

PLLCR2.PLLEN ビットが“0”(PLL 動作) のとき、PLLCR レジスタへの書き込みは禁止です。

PLIDIV[1:0] ビット (PLL 入力分周比選択ビット)

PLL のクロックソースの入力分周比を選択します。

PLIDIV[1:0] ビットは、PLL の入力周波数 (4MHz ~ 12.5MHz) の範囲に入るように設定してください。

PLLSRCSEL ビット (PLL クロックソース選択ビット)

PLL のクロックソースを選択します。

クロックソースに HOCO を選択する場合、高速オンチップオシレータコントロールレジスタ 2 の HOCO 周波数設定ビット (HOCOCR2.HCFRQ[1:0]) を“00b”(32MHz 選択) に設定し HOCO クロック発振周波数を

32MHzとしてください。また、PLIDIV[1:0] ビットを“10b”に設定し、クロックソースの入力分周比を4分周としてください。PLLCR.STC[5:0] ビットは“010011b”に設定し、周波数通倍率は×10倍としてください。

STC[5:0] ビット (周波数通倍率設定ビット)

PLLの周波数通倍率を設定します。

STC[5:0] ビットは、PLLの発振周波数(40MHz～80MHz)の範囲に入るように設定してください。

9.2.4 PLL コントロールレジスタ 2 (PLLCR2)

アドレス 0008 002Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLEN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLEN	PLL停止制御ビット	0 : PLL動作 1 : PLL停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

PLLEN ビット (PLL 停止制御ビット)

PLL の動作 / 停止を制御します。

PLL クロックソースは、メインクロック発振器と HOCO の 2 種類が選択可能です。

PLLCR.PLLSRCSEL ビットで PLL クロックソースにメインクロック発振器を選択する場合、メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。

PLLEN ビットで PLL を動作設定に変更後、OSCOVFSR.PLOVF フラグが“1”になっていることを確認してから、システムクロックを PLL クロックに切り替えてください。

PLL は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

以下に PLL クロックソースにメインクロック発振器を選択した場合の注意点を示します。

- PLL を停止設定後、再度動作設定にする場合、OSCOVFSR.PLOVF フラグの“0”を確認してから設定してください。
- PLL の停止設定は、PLL 動作かつ OSCOVFSR.PLOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、PLL を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.PLOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- PLL を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.PLOVF フラグの“0”を確認してから WAIT 命令を実行してください。

SCKCR3.CKSEL[2:0] ビットで PLL を選択しているときは、PLLEN ビットを“1”(PLL 停止)にする書き込みは禁止です。

9.2.5 メインロック発振器コントロールレジスタ (MOSCCR)

アドレス 0008 0032h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインロック発振器停止ビット	0:メインロック発振器動作 1:メインロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

メインロック発振器ウェイトコントロールレジスタを設定してから本レジスタを設定してください。

MOSTP ビット (メインロック発振器停止ビット)

メインロック発振器の動作/停止を制御します。

MOSTP ビットにてメインロックを動作設定に変更後、OSCOVFSR.MOOVF フラグが“1”になっていることを確認してから、メインロックの使用を開始してください。

メインロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- メインロック発振器を停止設定後、再度動作設定にする場合、OSCOVFSR.MOOVF フラグの“0”を確認してから設定してください。
- メインロック発振器の停止設定は、メインロック発振器動作かつ OSCOVFSR.MOOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、メインロック発振器を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.MOOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- メインロック発振器を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.MOOVF フラグの“0”を確認してから WAIT 命令を実行してください。

以下のいずれかの条件を満たす場合、MOSTP ビットを“1”にしないでください。

- システムクロックのクロックソースにメインロックを選択しているとき (SCKCR3.CKSEL[2:0] = 010b)
- PLL のクロックソースとして MOSC を選択 (PLLCR.PLLSRCSEL = 0) かつシステムクロックのクロックソースに PLL クロックを選択しているとき (SCKCR3.CKSEL[2:0] = 100b)
- PLL のクロックソースとして MOSC を選択 (PLLCR.PLLSRCSEL = 0) かつ PLL を動作させているとき (PLLCR2.PLEN = 0)

9.2.6 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス 0008 0034h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	0 : LOCO動作 1 : LOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

LCSTP ビット (LOCO 停止ビット)

LOCO の動作 / 停止を制御します。

LCSTP ビットにて LOCO を停止設定から動作設定に変更後、LOCO クロックを使用する場合は、LOCO クロック発振安定時間 (t_{LOCO}) が経過した後、使用開始してください。

LOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- LOCO を停止設定後、再度動作設定にする場合、停止期間は LOCO クロックで 5 サイクル以上の時間となるようにしてください。
- LOCO の停止設定は、LOCO の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、LOCO を動作設定にしてソフトウェアスタンバイモードに移行する場合は、LOCO の発振が安定した状態で WAIT 命令を実行してください。
- LOCO を停止設定後、ソフトウェアスタンバイモードに移行する場合は、LOCO 停止設定後、LOCO クロック 3 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で LOCO を選択しているとき、LCSTP ビットを“1”(LOCO 停止) にする書き込みは禁止です。

9.2.7 IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)

アドレス 0008 0035h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ILCSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ILCSTP	IWDT専用オンチップオシレータ停止ビット	0 : IWDT専用オンチップオシレータ動作 1 : IWDT専用オンチップオシレータ停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

オプション機能選択レジスタ0のIWDTスタートモード選択ビット(OFS0.IWDTSTRT)が“0”(IWDT動作)のとき、ILOCOCRレジスタの設定は無効です。OFS0.IWDTSTRTビットが“1”(IWDT停止)のとき、ILOCOCRレジスタの設定は有効です。ILOCOCRレジスタが有効、かつILCSTPビットが“0”(IWDT専用オンチップオシレータ動作)の後、“1”(IWDT専用オンチップオシレータ停止)に設定することはできません。

ILCSTP ビット (IWDT 専用オンチップオシレータ停止ビット)

IWDT専用オンチップオシレータの動作/停止を制御します。

ILCSTPビットで、IWDT専用オンチップオシレータを停止設定から動作設定に変更した場合、IWDT専用クロック発振安定時間(t_{ILOCO})に相当する一定時間経過後、MCU内部にクロックが供給開始されます。IWDT専用クロックを使用する場合は、この待ち時間が経過した後、使用開始してください。

IWDT専用オンチップオシレータを動作設定にしてソフトウェアスタンバイモードに移行する場合は、発振が安定した状態でWAIT命令を実行してください。

9.2.8 高速オンチップオシレータコントロールレジスタ (HOCOOCR)

アドレス 0008 0036h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HCSTP
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止ビット	0 : HOCO動作 1 : HOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

注1. オプション機能選択レジスタ1のHOCO発振有効ビット(OFS1.HOCOEN)が“0”のとき、HCSTPビットのリセット後の値は“0”になります。OFS1.HOCOENビットが“1”のとき、HCSTPビットのリセット後の値は“1”になります。

高速オンチップオシレータウェイトコントロールレジスタを設定してから本レジスタを設定してください。

HCSTP ビット (HOCO 停止ビット)

HOCO の動作 / 停止を制御します。

HCSTP ビットで HOCO を停止設定から動作設定に変更した場合、OSCOVFSR.HCOVF フラグが“1”になっていることを確認してからシステムクロックを HOCO クロックに切り替えてください。

HOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

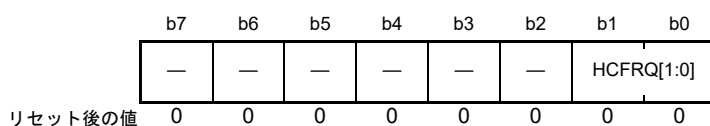
- HOCO を停止設定後、再度動作設定にする場合、OSCOVFSR.HCOVF フラグの“0”を確認してから設定してください。
- HOCO の停止設定は、HOCO 動作かつ OSCOVFSR.HCOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、HOCO を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.HCOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- HOCO を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.HCOVF フラグの“0”を確認してから WAIT 命令を実行してください。

SCKCR3.CKSEL[2:0] ビットで HOCO を選択しているとき、HCSTP ビットを“1” (HOCO 停止) にする書き込みは禁止です。

PLL のクロックソースとして HOCO を選択 (PLLCR.PLLSRCSEL = 1) かつシステムクロックのクロックソースに PLL クロックを選択 (SCKCR3.CKSEL[2:0] = 100b) しているとき、および PLL のクロックソースとして HOCO を選択 (PLLCR.PLLSRCSEL = 1) かつ PLL を動作 (PLLCR2.PPLEN = 0) させているとき、HCSTP ビットを“1” (HOCO 停止) にする書き込みは禁止です。

9.2.9 高速オンチップオシレータコントロールレジスタ 2 (HOCOCR2)

アドレス 0008 0037h



ビット	シンボル	ビット名	機能	R/W
b1-b0	HCFRQ[1:0]	HOCO周波数設定ビット	b1 b0 0 0 : 32MHz 1 1 : 64MHz 上記以外は設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

HOCOCR.HCSTP ビットが“0”(HOCO 動作) のとき、HOCOCR2 レジスタへの書き込みは禁止です。

HCFRQ[1:0] ビット (HOCO 周波数設定ビット)

HOCO の周波数を設定します。HCFREQ[1:0] ビットを“00b”に設定し、HOCO 周波数を 32MHz に設定する場合、HOCOWTCR.HSTS[2:0] ビットは“101b”に設定してください。HCFREQ[1:0] ビットを“11b”に設定し、HOCO 周波数を 64MHz に設定する場合、HOCOWTCR.HSTS[2:0] ビットは“110b”に設定してください。

9.2.10 高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)

アドレス 0008 00A5h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	HSTS[2:0]		
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	HSTS[2:0]	高速オンチップオシレータ発振安定待ち時間設定ビット	b2 b0 1 0 1 : 待ち時間 = 142サイクル (HOCO発振周波数を32MHzに設定する場合) 1 1 0 : 待ち時間 = 270サイクル (HOCO発振周波数を64MHzに設定する場合) 上記以外は、設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC2ビットを“1”(書き込み許可)にした後で書き換えてください。

HOCOWTCR レジスタは、次の場合には書き換え可能です。それ以外は書き換えしないでください。

- HOCOCR.HCSTP ビットを“0”(動作)にし、かつ OSCOVFSR.HCOVF フラグの“1”を確認した場合
- HOCOCR.HCSTP ビットを“1”(停止)にし、かつ OSCOVFSR.HCOVF フラグの“0”を確認した場合

HSTS[2:0] ビット (高速オンチップオシレータ発振安定待ち時間設定ビット)

HOCO 動作 (HOCOCR.HCSTP ビットに“0”) 設定時およびソフトウェアスタンバイモード解除時の HOCO の発振安定待ち時間を選択します。HOCOCR2.HCFREQ[1.0] ビットを“00b”に設定し、HOCO 発振周波数を 32MHz に設定した場合、HSTS[2:0] ビットは“101b”に設定してください。HOCOCR2.HCFREQ[1.0] ビットを“11b”に設定し、HOCO 発振周波数を 64MHz に設定した場合、HSTS[2:0] ビットは“110b”に設定してください。

HSTS[2:0] ビットで設定したサイクル分、LOCO でカウントした後、MCU 内部への HOCO クロック供給が開始されます。LOCO によるカウントは、LOCOCR.LOSTP ビットの設定に関わらず行われ、ハードウェアで自動的に LOCO の動作、停止が制御されます。

カウントが完了するまでの間、MCU 内部へのクロック供給は行われません。

カウント完了後、MCU 内部へのクロック供給が開始され、OSCOVFSR.HCOVF フラグが“1”になります。

9.2.11 発振安定フラグレジスタ (OSCOVFSR)

アドレス 0008 003Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	HCOVF	PLOVF	—	MOOV F
リセット後の値	0	0	0	0	0/1	0	0	0

(注1)

ビット	シンボル	ビット名	機能	R/W
b0	MOOVF	メインクロック発振安定フラグ	0: メインクロック停止 1: 発振安定、システムクロックとして使用可能(注2)	R
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	PLOVF	PLLクロック発振安定フラグ	0: PLL停止、または発振安定待ち中 1: 発振安定、システムクロックとして使用可能	R
b3	HCOVF	HOCOクロック発振安定フラグ	0: HOCO停止、または発振安定待ち中 1: 発振安定、システムクロックとして使用可能(注2)	R
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. オプション機能選択レジスタ1のHOCO発振有効ビット(OFS1.HOCOEN)が“0”のとき、HCOVFビットのリセット後の値は“1”になります。OFS1.HOCOENビットが“1”のとき、HCOVFビットのリセット後の値は“0”になります。

注2. 各発振器のウェイトコントロールレジスタに適切な値を設定した場合、設定値(待ち時間)が不足している場合は、発振が安定する前にクロックの供給が開始されます。

OSCOVFSR レジスタは各発振器の発振が安定したかどうかをモニタするレジスタです。

それぞれの発振器にウェイトコントロールレジスタがある場合は、発振回路の安定時間以上になるように待ち時間を設定してください。

MOOVF フラグ (メインクロック発振安定フラグ)

メインクロックの発振安定の状態を示します。

[“1”になる条件]

- MOSCCR.MOSTP ビットが“1”(メインクロック発振器停止)のときに、MOSTP ビットを“0”(メインクロック発振器動作)にした後、MOSCWTCR レジスタの設定値に応じた時間が経過し、MCU 内部にメインクロックの供給が開始されたとき

[“0”になる条件]

- MOSCCR.MOSTP ビットを“1”にした後、メインクロック発振器の発振停止処理が完了したとき

PLOVF フラグ (PLL クロック発振安定フラグ)

PLL クロックの発振安定の状態を示します。

[“1”になる条件]

- PLLCR2.PLEN ビットが“1”(PLL停止)のときに、PLEN ビットを“0”(PLL動作)にした後、MOOVF フラグが“1”になり、かつ PLL クロック発振安定時間(t_{PLL})が経過し、MCU 内部に PLL クロックの供給が開始されたとき
ただし、PLEN ビットを“0”に設定したときに、PLLCR2.PLLSRCSEL ビットで選択された PLL クロックソースの発振が安定していなければ、PLL クロックソースの発振安定を待ってから LOCO クロックでのカウントを開始します。

[“0”になる条件]

- PLLCR2.PLEN ビットを“1”にした後、PLL の発振停止処理が完了したとき

HCOVF フラグ (HOCO クロック発振安定フラグ)

HOCO クロックの発振安定の状態を示します。

["1" になる条件]

- HOCO.CR.HCSTP ビットが“1” (HOCO 停止) のときに、HCSTP ビットを“0” (HOCO 動作) にした後、MCU 内部に HOCO クロックの供給が開始されたとき

["0" になる条件]

- HOCO.CR.HCSTP ビットを“1” にした後、HOCO の発振停止処理が完了したとき

9.2.12 発振停止検出コントロールレジスタ (OSTDCR)

アドレス 0008 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	0: 発振停止検出割り込みを禁止、POEへの発振停止検出通知なし 1: 発振停止検出割り込みを許可、POEへの発振停止検出通知あり	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OSTDE	発振停止検出機能許可ビット	0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

OSTDIE ビット (発振停止検出割り込み許可ビット)

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) のクリアは、OSTDIE ビットを“0”にした後に行ってください。その後、OSTDIE ビットを再度“1”にする場合は、PCLKB で2サイクル以上待つから行ってください。アクセスサイクル数がPCLKBで定義されているI/Oレジスタを読み出すことによって、PCLKB2サイクル以上の待ち時間を確保することが可能です。

OSTDE ビット (発振停止検出機能許可ビット)

発振停止検出機能の有効/無効を設定します。

OSTDE ビットを“1”(発振停止検出機能有効)にすると、LOCO 停止ビット (LOCOCR.LCSTP) も“0”となり、LOCO が動作します。発振停止検出機能が有効である間は、LOCO を停止させることはできません。LOCOCR.LCSTP ビットへ“1”(LOCO 停止)を書いても、その書き込みは無効になります。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が“1”(メインクロック発振停止検出)のとき、OSTDE ビットへの“0”書き込みは無効になります。

OSTDE ビットが“1”の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを“0”にして、WAIT 命令を実行してください。

9.2.13 発振停止検出ステータスレジスタ (OSTDSR)

アドレス 0008 0041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0: メインクロックの発振停止を未検出 1: メインクロックの発振停止を検出	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. “0”のみ書けます。

OSTDF フラグ (発振停止検出フラグ)

メインクロックの状態を示すステータスフラグです。OSTDF フラグが“1”のときメインクロックの発振停止を検出したことを示します。

メインクロックの発振停止を検出した後で、メインクロックの発振が再開しても、OSTDF フラグは“0”になりません。OSTDF フラグは“1”を読んだ後、“0”を書くことによって“0”になります。OSTDF=0が読み出し値に反映されるまで ICLK3 サイクル以上待つ必要があります。メインクロックの発振を停止している状態で OSTDF フラグを“0”にした場合、OSTDF フラグは一度“0”になった後、再度“1”になります。

また、システムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でメインクロック発振器 (“010b”) または PLL (“100b”) を選択している場合は、OSTDF フラグを“0”にすることはできません。クロックソースをメインクロック発振器、PLL 以外に切り替えてから OSTDF フラグを“0”にしてください。

[“1”になる条件]

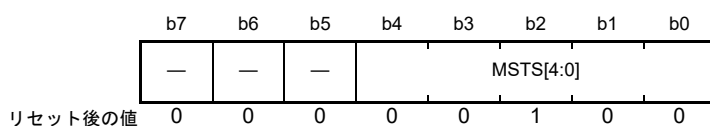
- OSTDCR.OSTDE ビットが“1”(発振停止検出機能有効)の状態、メインクロックの発振が停止したとき

[“0”になる条件]

- SCKCR3.CKSEL[2:0] ビットが“010b”、または“100b”以外の場合に、“1”を読んだ後、“0”を書いたとき

9.2.14 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス 0008 00A2h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MSTS[4:0]	メインクロック発振器ウェイト時間設定ビット	b4 b0 00000: 待ち時間 = 2 サイクル(0.5 μ s) 00001: 待ち時間 = 1024 サイクル(256 μ s) 00010: 待ち時間 = 2048 サイクル(512 μ s) 00011: 待ち時間 = 4096 サイクル(1.024ms) 00100: 待ち時間 = 8192 サイクル(2.048ms) 00101: 待ち時間 = 16384 サイクル(4.096ms) 00110: 待ち時間 = 32768 サイクル(8.192ms) 00111: 待ち時間 = 65536 サイクル(16.384ms) 上記以外は設定しないでください 待ち時間は LOCO = 4.0MHz(0.25 μ s, TYP)の場合	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

MSTS[4:0] ビット (メインクロック発振器ウェイト時間設定ビット)

メインクロック発振器の発振安定待ち時間を選択します。

メインクロック発振安定待ち時間は、発振子メーカーが推奨する発振安定時間以上になるように設定してください。メインクロックを外部入力で使用している場合は、発振安定待ち時間は必要ないため、“00000b”を設定してください。

MSTS[4:0] ビットで設定した待ち時間は、LOCO クロックを使用して計測されます。LOCO は、LOCOCR.LCSTP ビットの値にかかわらず、必要なときに自動で発振します。

設定した待ち時間が経過した後、MCU 内部へのメインクロック供給が開始され、OSCOVFSR.MOOVF フラグが“1”になります。なお、設定した待ち時間が短かった場合は、メインクロックの発振が安定する前にクロックの供給が開始されます。

MOSCWTCR レジスタは、MOSCCR.MOSTP ビットが“1”で、OSCOVFSR.MOOVF フラグが“0”のときに書き換えてください。これ以外のときは書き換えしないでください。

9.2.15 メインクロック発振器強制発振コントロールレジスタ (MOFCR)

アドレス 0008 C293h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MOSEL	MODRV21	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	MODRV21	メインクロック発振器ドライブ能力切り替えビット	0: 1MHz~10MHz未満 1: 10MHz~20MHz	R/W
b6	MOSEL	メインクロック発振器切り替えビット	0: 発振子 1: 外部発振入力	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

MODRV21 ビット (メインクロック発振器ドライブ能力切り替えビット)

メインクロック発振器のドライブ能力の切り替えをします。

MOSEL ビット (メインクロック発振器切り替えビット)

メインクロック発振器の発振源の切り替えを行います。

9.2.16 メモリウェイトサイクル設定レジスタ (MEMWAIT)

アドレス 0008 0031h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	MEMWAIT[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	MEMWAIT[1:0]	メモリウェイトサイクル設定ビット (注1、注2)	b1 b0 00 : ウェイトなし 01 : ウェイトあり (ICLK ≤ 64MHz) 10 : ウェイトあり (ICLK ≤ 80MHz) 上記以外設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. 本レジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

注1. SCKGR.ICK[3:0]ビットおよびSCKCR3.CKSEL[2:0]ビットで、システムクロック(ICLK)に32MHzより高い周波数のクロックを選択した場合、MEMWAIT[1:0]ビット=00b(ウェイトなし)は選択禁止です。また、システムクロック(ICLK)に32MHz以下の周波数のクロックを選択した場合、MEMWAIT[1:0]ビット=01b(ウェイトあり(ICLK ≤ 64MHz))にする必要はありません。

注2. SCKGR.ICK[3:0]ビットおよびSCKCR3.CKSEL[2:0]ビットで、システムクロック(ICLK)に64MHzより高い周波数のクロックを選択した場合、MEMWAIT[1:0]ビット=01b(ウェイトあり(ICLK ≤ 64MHz))は選択禁止です。また、システムクロック(ICLK)に64MHz以下の周波数のクロックを選択した場合、MEMWAIT[1:0]ビット=10b(ウェイトあり(ICLK ≤ 80MHz))にする必要はありません。

MEMWAITレジスタは、ROMのウェイトサイクルの制御を行います。システムクロック(ICLK)に32MHzより高い周波数のクロックを設定する場合、本レジスタ設定によりROMアクセス時のウェイト挿入を設定してください。ROMキャッシュが動作しているとき、キャッシュにヒットしてROMキャッシュからデータが供給される場合は、本レジスタ設定によるウェイト挿入は行われません。なお、ROMキャッシュはリセット解除後は無効となっています。ROMキャッシュの動作設定については、「36.4.24 ROMキャッシュ許可レジスタ(ROMCE)」を参照してください。

MEMWAIT[1:0]ビット(メモリウェイトサイクル設定ビット)

ROMのウェイトサイクルを設定します。

リセット直後、ウェイトなしに設定されています。

システムクロック(ICLK)に32MHzより高い周波数のクロックを選択する場合、MEMWAIT[1:0]ビットを“01b”(ウェイトあり(ICLK ≤ 64MHz))または“10b”(ウェイトあり(ICLK ≤ 80MHz))にしてください。

MEMWAIT[1:0]ビットを“01b”(ウェイトあり(ICLK ≤ 64MHz))または“10b”(ウェイトあり(ICLK ≤ 80MHz))に設定する場合は高速動作モードの状態を設定し、MEMWAIT[1:0]ビットが設定した値になった後に、システムクロックを32MHzより高い周波数のクロックに変更してください。

また、MEMWAIT[1:0]ビットを“00b”(ウェイトなし)に設定する場合は、システムクロック(ICLK)の周波数が32MHz以下の状態で設定し、動作電力制御状態を変更する場合は、MEMWAIT[1:0]ビットが“00b”になった後に変更してください。

表 9.3 に MEMWAIT[1:0] ビットの設定制約を、図 9.2、図 9.3 に MEMWAIT ビットの変更手順を示します。

表9.3 MEMWAIT[1:0]ビット設定制約

MEMWAIT[1:0]ビット	動作電力制御状態			
	高速動作モード			中速動作モード
	ICLK ≤ 32MHz	32MHz < ICLK ≤ 64MHz	64MHz < ICLK ≤ 80MHz	
00b	設定可	設定禁止	設定禁止	設定可
01b	設定可	設定可	設定禁止	設定禁止
10b	設定可	設定可	設定可	設定禁止
上記以外	設定禁止			

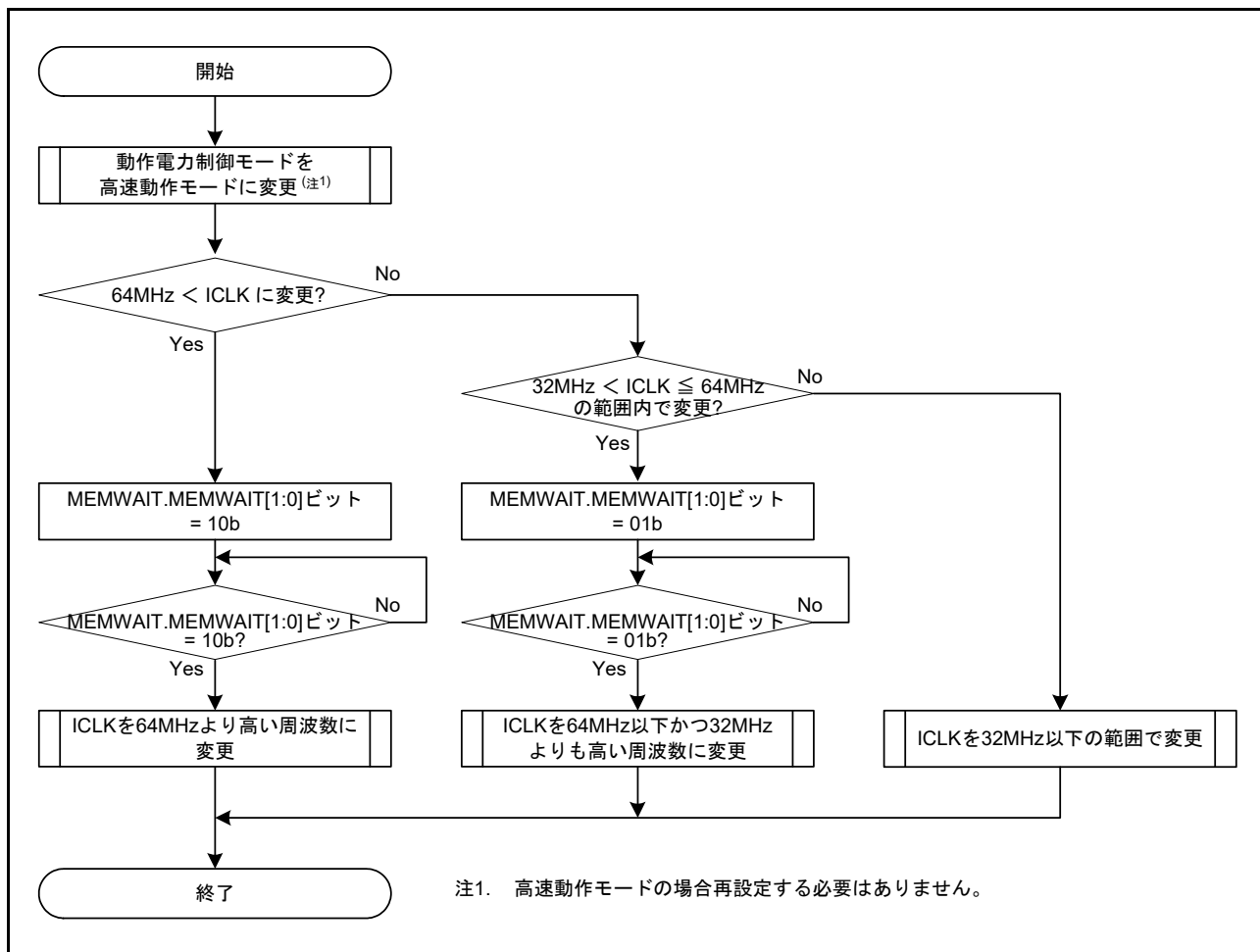


図 9.2 ICLK を現在の周波数よりも高い周波数に変更する場合の設定手順例

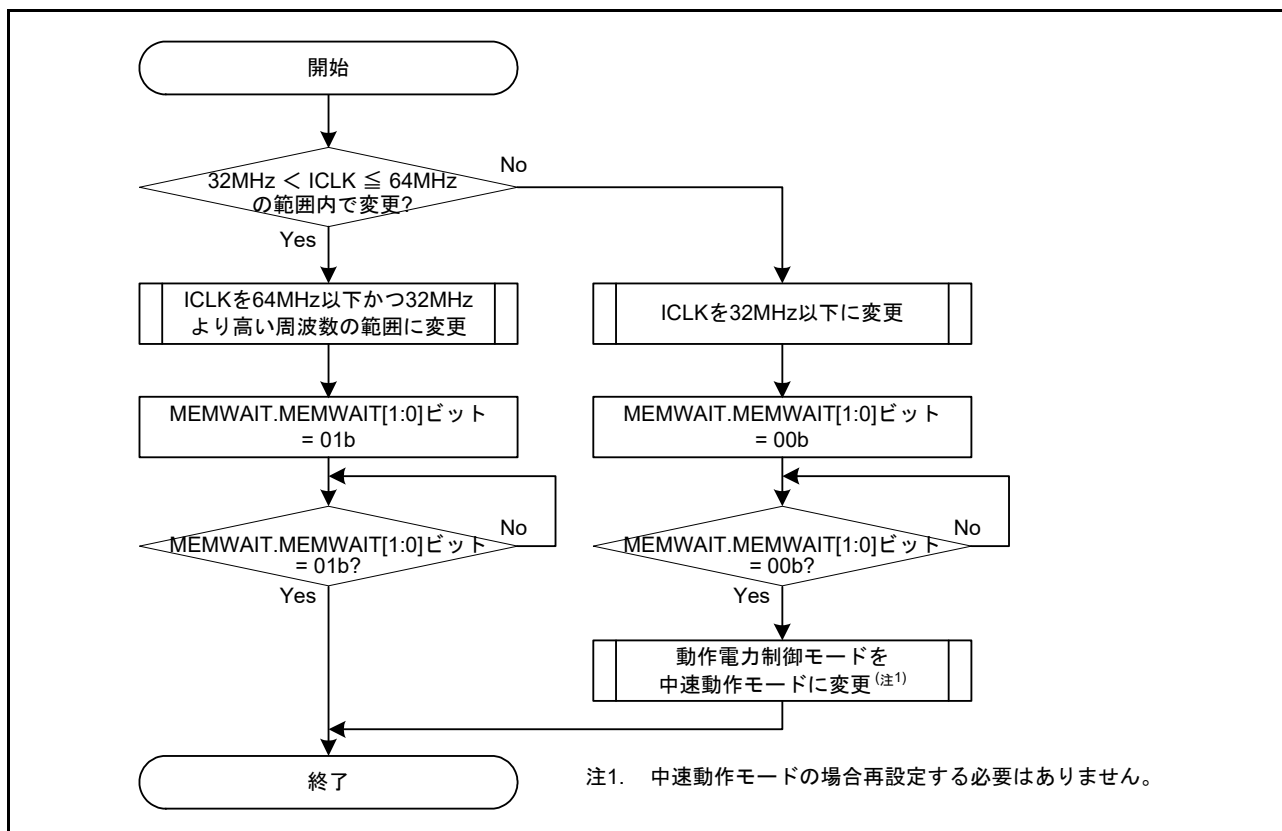


図 9.3 ICLK を現在の周波数よりも低い周波数に変更する場合の設定手順例

9.3 メインクロック発振器

メインクロック発振器へクロックを供給する方法には、発振子を接続する方法と外部クロックを入力する方法があります。

9.3.1 発振子を接続する方法

発振子を接続する場合の接続例を図9.4に示します。

必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従って EXTAL、XTAL 間に R_f を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は表9.1のメインクロック発振器の発振子周波数の範囲内としてください。

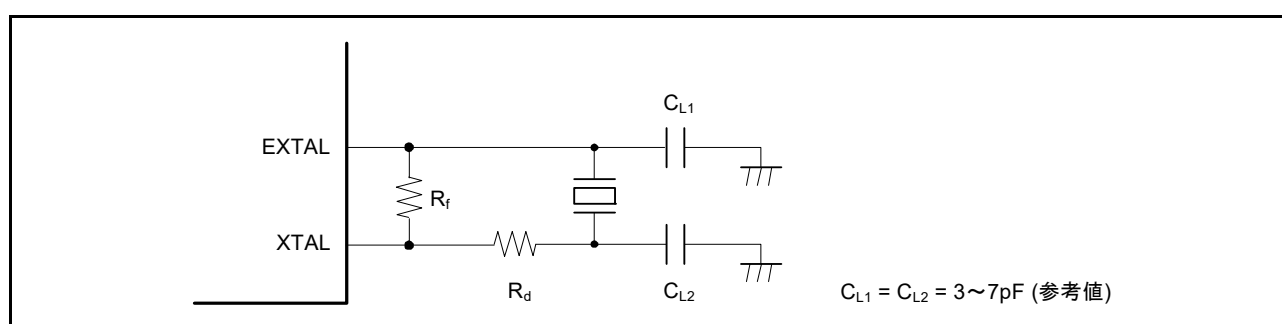


図 9.4 水晶振動子の接続例

表9.4 ダンピング抵抗(参考値)

周波数 (MHz)	2	8	16	20
R_d (Ω)	0	0	0	0

水晶振動子の等価回路を図9.5に示します。水晶振動子は表9.5に示す特性のものを参考として使用してください。

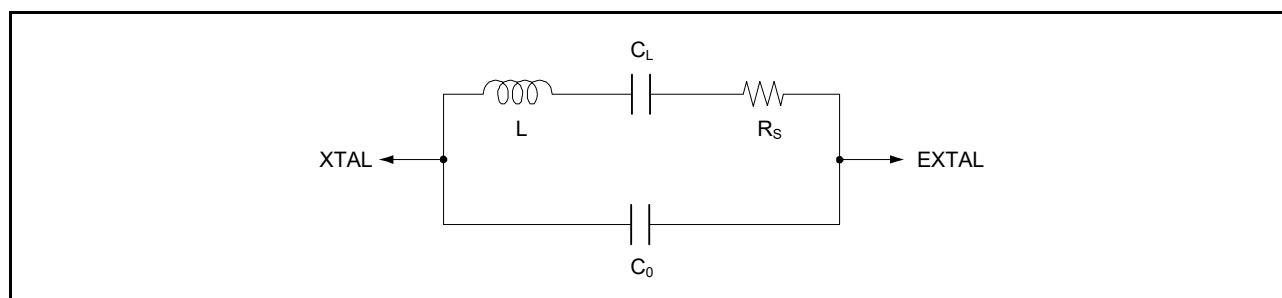


図 9.5 水晶振動子の等価回路

表9.5 水晶振動子の特性(参考値)

周波数 (MHz)	8	12	16
R_s max (Ω)	200	120	56
C_0 max (pF)	1.3	1.3	1.4

9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図9.6に示します。外部クロックを入力して動作させる場合には、MOFCR.MOSEL ビットを“1”にしてください。このとき XTAL 端子は、Hi-Z になります。

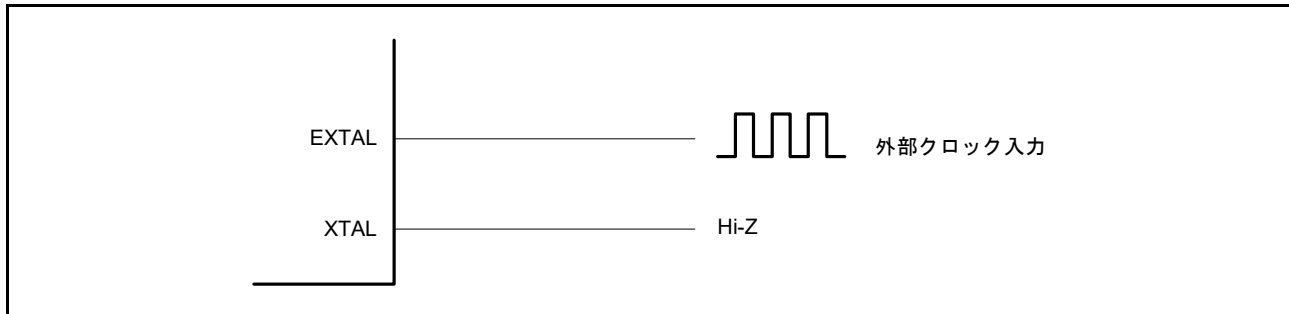


図 9.6 外部クロックの接続例

9.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器停止ビット (MOSCCR.MOSTP) に“0” (メインクロック発振器動作) が設定されている間は、外部クロック入力周波数を変更しないでください。

9.4 発振停止検出機能

9.4.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックの代わりに低速オンチップオシレータが出力する低速クロックを供給する機能です。

PLL のクロックソースに HOCO クロックを選択し、かつシステムクロックのクロックソースに PLL クロックを選択している場合、メインクロックの発振停止を検出しても、システムクロックは LOCO クロックに切り替わりません。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。また、発振停止検出時に、MTU、GPT の出力を強制的に停止することも可能です。詳細は、「20. マルチファンクションタイマパルスユニット 3 (MTU3d)」、「21. ポートアウトプットイネーブル 3 (POE3b, POE3A)」、「22. 汎用 PWM タイマ (GPTB)」を参照してください。

本 MCU は、メインクロック発振器の異常などによって入力クロックが一定期間“0”または“1”となった場合に、(「37. 電気的特性」の発振停止検出回路特性参照)、メインクロックの発振停止を検出します。

発振停止を検出すると、クロックソース選択ビット (SCKCR3.CKSEL[2:0]) で選択されるメインクロックが、前段のセレクトにて LOCO クロックに切り替わります。そのため、システムクロックのクロックソースにメインクロックを選択した状態で発振停止を検出すると、CKSEL[2:0] ビットの設定値は変わらないまま、システムクロックのクロックソースが LOCO クロックへと切り替わります。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で PLL クロックが選択されている場合に発振停止を検出すると、SCKCR3.CKSEL[2:0] の設定値は変わらないまま、システムクロックのクロックソースは PLL クロックのままです。ただし、固有の周波数 (自励発振周波数) になります。

メインクロックと LOCO クロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。OSTDF フラグが“1”になると LOCO クロックへ切り替わり、OSTDF フラグを“0”にするとメインクロックに戻ります。ただし、CKSEL[2:0] ビットでメインクロックあるいは PLL クロックを選択している場合は、OSTDF フラグを“0”にできません。発振停止検出後にクロックソースをメインクロックあるいは PLL クロックに戻したい場合は、一度 CKSEL[2:0] ビットの設定をメインクロックおよび PLL クロック以外に変更し、OSTDF フラグを“0”にしてください。その後、OSTDF フラグが“1”になっていないことを確認し、所定の発振安定時間経過後に CKSEL[2:0] ビットの設定をメインクロックまたは PLL クロックに変更してください。

リセット解除後、メインクロック発振器は停止、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、メインクロック発振器を動作させ、所定の発振安定時間経過後に発振停止検出機能許可ビット (OSTDCR.OSTDE) への書き込みを行ってください。

発振停止検出機能は、外部要因によるメインクロックの停止に備えた機能であるため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードに移行する場合は、あらかじめ発振停止検出機能は無効にしてください。

発振停止検出によって LOCO クロックに切り替わるのは、システムクロックソースとしてメインクロックを選択した場合のシステムクロック、CAC メインクロック (CACMCLK)、および CAN クロック (CANMCLK) を選択していた場合です。LOCO クロック動作時のシステムクロック (ICLK) の周波数については、LOCO 発振周波数とシステムクロック (ICLK) 選択ビット (SCKCR.ICK[3:0]) の分周比の設定で決まります。

発振停止検出によって PLL の自励発振周波数で動作するのは、システムクロックソースとして PLL クロックを選択した場合のシステムクロックです。

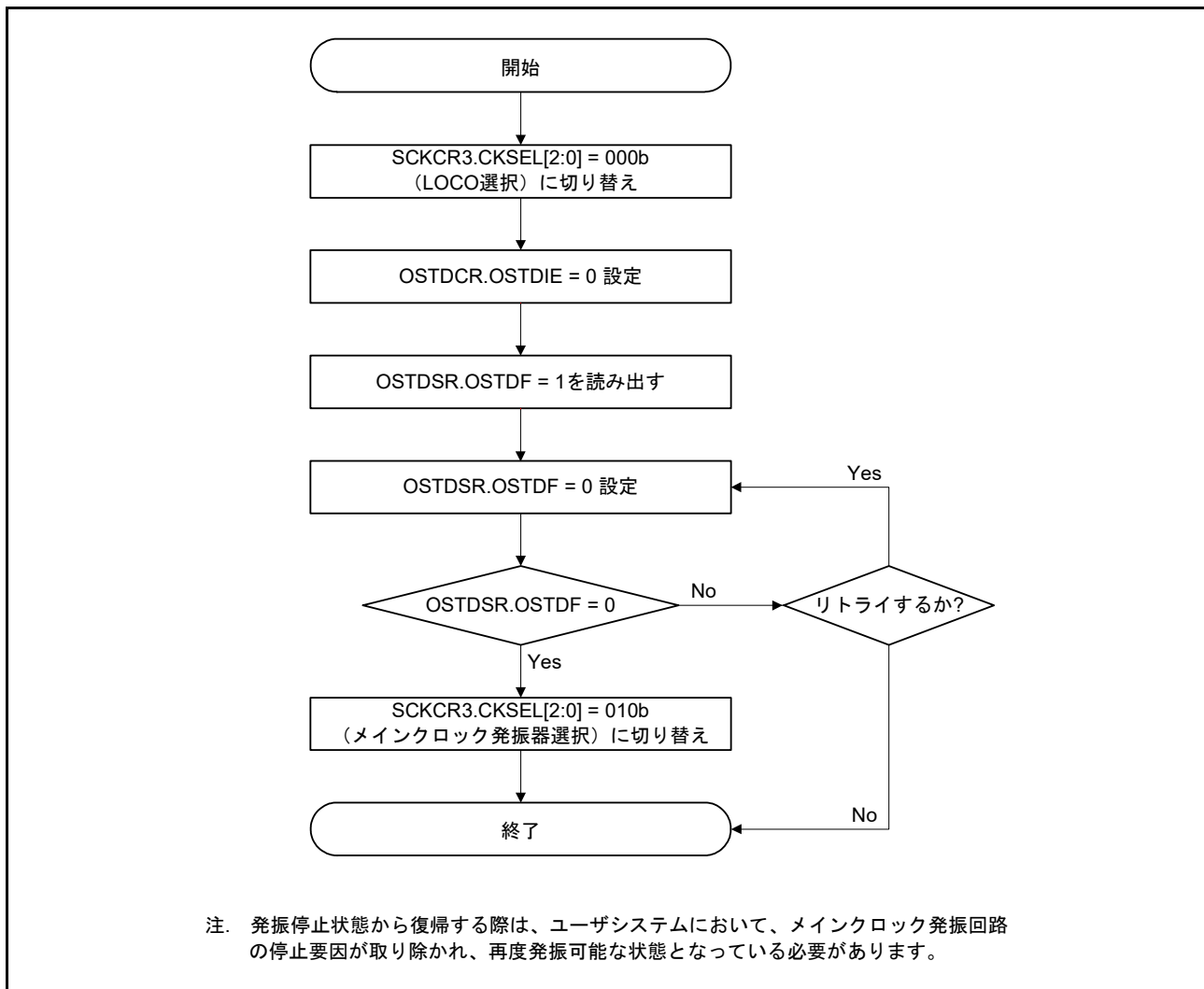


図 9.7 発振停止検出からの復帰のフローチャート例

9.4.2 発振停止検出割り込み

発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が“1” (発振停止検出割り込みを許可) のとき、発振停止検出フラグ (OSTDSR.OSTDF) が“1”になるとポートアウトプットイネーブル (POE) へメインクロック発振器の停止を通知します。POE は、発振停止の通知を受けて入力レベルコントロール/ステータスレジスタ 6 の発振停止検出フラグ (ICSR6.OSTSTF) を“1”にします。この ICSR6.OSTSTF フラグは、発振停止を検出後、PCLKB で 10 サイクル経過するまで書き込みできませんので注意してください。OSTDSR.OSTDF フラグのクリアは、発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を“0”にした後に行ってください。その後、OSTDCR.OSTDIE ビットを再度“1”にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

発振停止検出割り込みはノンマスクابل割り込みです。リセット解除後の初期状態では、「ノンマスクابل割り込み禁止」となっていますので、発振停止検出割り込みを使用する場合は、ソフトウェアでノンマスクابل割り込みを有効にしてください。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。発振停止を検出して PLL が自励発振周波数で動作している状態は、システムとして何らかの異常が発生している状態です。異常に対する応急処置のみ実施するようにしてください。

9.5 PLL 回路

PLL 回路は、発振器からの周波数を逡倍する機能を持っています。

9.6 内部クロック

内部クロックは、クロック源としてメインクロック、HOCO クロック、LOCO クロック、PLL クロック、IWDT 専用クロックがあり、これらのクロックから以下に示す内部クロックを生成します。

- (1) CPU、DTC、ROM および RAM の動作クロック：システムクロック (ICLK)
- (2) 周辺モジュールの動作クロック：周辺モジュールクロック (PCLKA, PCLKB, PCLKD)
- (3) FlashIF の動作クロック：FlashIF クロック (FCLK)
- (4) CAN モジュール用の動作クロック：CAN クロック (CANMCLK)
- (5) CAC モジュール用の動作クロック：CAC クロック (CACCLK)
- (6) IWDT モジュール用の動作クロック：IWDT 専用クロック (IWDTCLK)

内部クロックの周波数は、分周比を選択する SCKCR.FCK[3:0]、ICK[3:0]、PCKA[3:0]、PCKB[3:0]、PCKD[3:0] ビット、クロック源を選択する SCKCR3.CKSEL[2:0] ビット、PLL 回路の周波数を選択する PLLCR.STC[5:0]、PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットの組み合わせで設定します。各ビットの書き換え後に、変更後の周波数で動作します。

9.6.1 システムクロック

システムクロック (ICLK) は、CPU、DTC、ROM および RAM の動作クロックです。

ICLK の周波数は、SCKCR.ICK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットで設定します。

9.6.2 周辺モジュールクロック

周辺モジュールクロック (PCLKA, PCLKB, PCLKD) は、周辺モジュール用の動作クロックです。

PCLKA、PCLKB、PCLKD の周波数は、SCKCR.PCKA[3:0]、PCKB[3:0]、PCKD[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットで設定します。

周辺モジュールクロック (PCLKD) は S12AD 用、周辺モジュールクロック (PCLKA, PCLKB) は、S12AD 以外の周辺モジュール用の動作クロックです。

9.6.3 FlashIF クロック

FlashIF クロック (FCLK) は、FlashIF 用の動作クロックです。

FCLK の周波数は、SCKCR.FCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットで設定します。

9.6.4 CAN クロック

CAN クロック (CANMCLK) は、CAN モジュール用の動作クロックです。

CANMCLK は、メインクロック発振器で生成されたクロックです。

9.6.5 CAC クロック

CAC クロック (CACCLK) は、CAC モジュール用の動作クロックです。

CACCLK にはメインクロック発振器で生成される CACMCLK、高速オンチップオシレータで生成される CACHCLK、低速オンチップオシレータで生成される CACLCLK、IWDT 専用オンチップオシレータで生成される CACILCLK があります。

9.6.6 IWDT 専用クロック

IWDT 専用クロック (IWDTCLK) は、IWDT モジュールの動作クロックです。

IWDTCLK は、IWDT 専用オンチップオシレータで内部発振によって生成されたクロックです。

9.7 使用上の注意事項

9.7.1 クロック発生回路に関する注意事項

- (1) SCKCR レジスタで、各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKD)、FlashIF クロック (FCLK) の周波数を選択します。各周波数は、以下のよう
にしてください。

各周波数は電气的特性の AC タイミングのクロックサイクル時間 (t_{cyc}) の動作保証範囲内に収まるよう
に選択してください。

周波数は表 9.1 の周波数範囲内に収まるように設定してください。

周辺モジュールは、基本的に PCLKA、PCLKB、PCLKD を基準に動作します。このため、周波数変更
の前後でタイマや SCI などの動作速度が変わりますので注意してください。

- (2) システムクロック (ICLK)、周辺モジュールクロック A、B、D (PCLKA, PCLKB, PCLKD)、FlashIF ク
ロック (FCLK) との間には下記の周波数関係が必要です。

ICLK:FCLK = N:1 (N は整数) の周波数関係

ICLK:PCLKA、PCLKB、PCLKD = N:1 (N は整数) の周波数関係

- (3) クロック周波数を変更後、確実に次の処理を実行するためには、周波数変更の書き込みをした後、同レ
ジスタの読み出しを行ってから次の処理を実行してください。

9.7.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例
を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮
遊容量などによって異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される
電圧が最大定格を超えないようにしてください。

9.7.3 ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してくださ
い。図 9.8 に示すように発振回路の近くには信号線を通させないでください。電磁誘導によって正常に発
振しなくなることがあります。

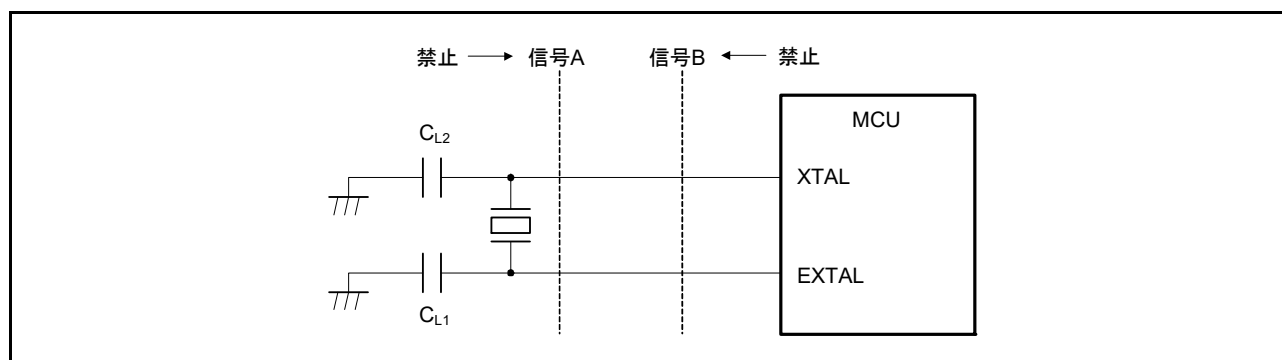


図 9.8 発振回路部のボード設計に関する注意事項

10. クロック周波数精度測定回路 (CAC)

10.1 概要

クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。

測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求を発生します。

表 10.1 に CAC の仕様を、図 10.1 に CAC のブロック図を示します。

表 10.1 CAC の仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> • メインクロック • HOCOクロック • LOCOクロック • IWDTCCLKクロック • 周辺モジュールクロック B (PCLKB)
測定基準クロック	<ul style="list-style-type: none"> • 外部から CACREF 端子に入力したクロック • メインクロック • HOCOクロック • LOCOクロック • IWDTCCLKクロック • 周辺モジュールクロック B (PCLKB)
選択機能	デジタルフィルタ機能
割り込み要因	<ul style="list-style-type: none"> • 測定終了割り込み • 周波数エラー割り込み • オーバフロー割り込み
消費電力低減機能	モジュールストップ状態への設定が可能

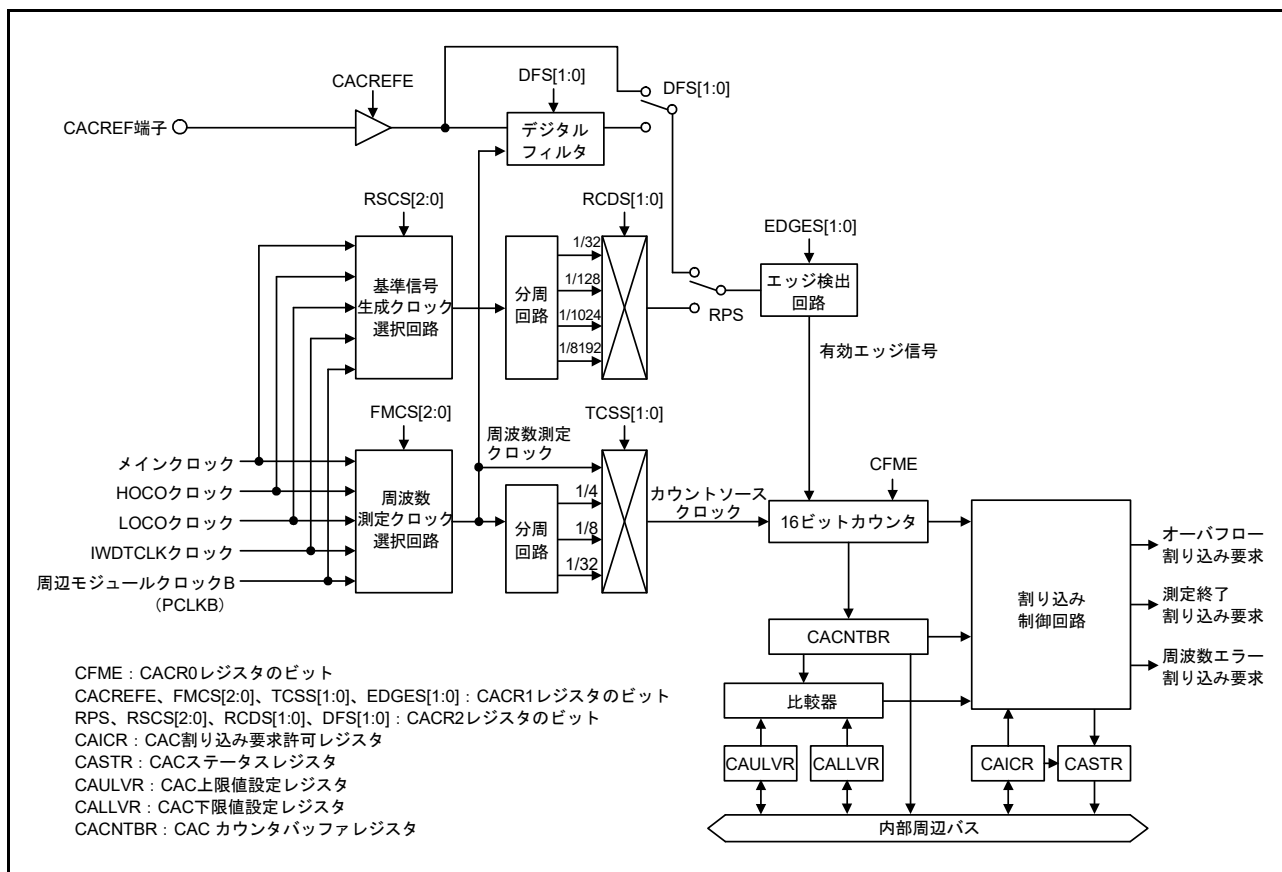


図 10.1 CACのブロック図

表 10.2 に CAC の入出力端子を示します。

表 10.2 CACの入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

10.2 レジスタの説明

10.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス 0008 B000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効ビット	0 : クロック周波数測定無効 1 : クロック周波数測定有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

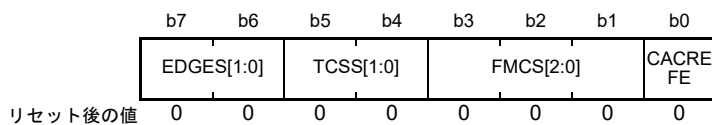
CFME ビット (クロック周波数測定有効ビット)

クロック周波数測定の有効 / 無効を指定するビットです。

このビットを書き換えても内部回路に反映されるまでは時間がかかります。前値が内部回路に反映されていない状態でこのビットを書き換えると無視されます。書き換えが反映されたかはビットの読み出しで確認できます。

10.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス 0008 B001h



ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力有効ビット	0 : CACREF 端子入力無効 1 : CACREF 端子入力有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDTCLKクロック 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	TCSS[1:0]	タイマカウントクロックソース 選択ビット	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択ビット	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり/立ち下がり両エッジ 1 1 : 設定しないでください	R/W

注1. CACR1レジスタは、CACR0.CFMEビットが“0”のときに設定してください。

CACREFE ビット (CACREF 端子入力有効ビット)

CACREF 端子入力の有効 / 無効を指定するビットです。

FMCS[2:0] ビット (測定対象クロック選択ビット)

周波数を測定する測定対象クロックを選択します。

TCSS[1:0] ビット (タイマカウントクロックソース選択ビット)

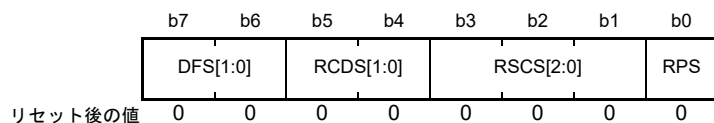
このビットの設定によりクロック周波数精度測定回路のカウントクロックソースを選択します。

EDGES[1:0] ビット (有効エッジ選択ビット)

このビットの設定により基準信号の有効エッジを選択します。

10.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス 0008 B002h



ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択ビット	0 : CACREF 端子入力 1 : 内部クロック (内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDTCCLKクロック 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択ビット	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1024分周クロック 1 1 : 8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択ビット	b7 b6 0 0 : デジタルフィルタ機能無効 0 1 : 周波数測定クロック 1 0 : 周波数測定クロックの4分周クロック 1 1 : 周波数測定クロックの16分周クロック	R/W

注1. CACR2レジスタは、CACR0.CFMEビットが“0”のときに設定してください。

RPS ビット (基準信号選択ビット)

このビットの設定により基準信号として CACREF 端子入力か内部クロック (内部生成信号) のどちらを使用するか選択します。

RSCS[2:0] ビット (測定基準クロック選択ビット)

このビットの設定により測定基準クロックを生成するクロックソースを選択します。

RCDS[1:0] ビット (測定基準クロック分周比選択ビット)

このビットの設定により測定基準クロックの分周比を選択します。

DFS[1:0] ビット (デジタルフィルタ機能選択ビット)

このビットの設定により、デジタルフィルタの有効/無効、サンプリングクロックを選択します。

10.2.4 CAC 割り込み要求許可レジスタ (CAICR)

アドレス 0008 B003h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可ビット	0: 周波数エラー割り込み要求無効 1: 周波数エラー割り込み要求有効	R/W
b1	MENDIE	測定終了割り込み要求許可ビット	0: 測定終了割り込み要求無効 1: 測定終了割り込み要求有効	R/W
b2	OVFIE	オーバフロー割り込み要求許可ビット	0: オーバフロー割り込み要求無効 1: オーバフロー割り込み要求有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FERRFCL	FERRF フラグクリアビット	このビットを“1”にすると CASTR.FERRF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b5	MENDFCL	MENDF フラグクリアビット	このビットを“1”にすると CASTR.MENDF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b6	OVFFCL	OVFF フラグクリアビット	このビットを“1”にすると CASTR.OVFF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRIE ビット (周波数エラー割り込み要求許可ビット)

周波数エラー割り込み要求の有効 / 無効を指定するビットです。

MENDIE ビット (測定終了割り込み要求許可ビット)

測定終了割り込み要求の有効 / 無効を指定するビットです。

OVFIE ビット (オーバフロー割り込み要求許可ビット)

オーバフロー割り込み要求の有効 / 無効を指定するビットです。

FERRFCL ビット (FERRF フラグクリアビット)

このビットを“1”にすると CASTR.FERRF フラグをクリアします。

MENDFCL ビット (MENDF フラグクリアビット)

このビットを“1”にすると CASTR.MENDF フラグをクリアします。

OVFFCL ビット (OVFF フラグクリアビット)

このビットを“1”にすると CASTR.OVFF フラグをクリアします。

10.2.5 CAC ステータスレジスタ (CASTR)

アドレス 0008 B004h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた (周波数エラー)	R
b1	MENDF	測定終了フラグ	0: 測定中 1: 測定が終了	R
b2	OVFF	オーバフローフラグ	0: カウンタがオーバフローしていない 1: カウンタがオーバフロー	R
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRF フラグ (周波数エラーフラグ)

クロックの周波数が設定値を外れた (周波数エラー) ことを示します。

["1" になる条件]

- クロック周波数が設定値を外れたとき

["0" になる条件]

- CAICR.FERRFCL ビットに“1”を書き込んだとき

MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

["1" になる条件]

- 測定終了したとき

["0" になる条件]

- CAICR.MENDFCL ビットに“1”を書き込んだとき

OVFF フラグ (オーバフローフラグ)

カウンタがオーバフローしたことを示します。

["1" になる条件]

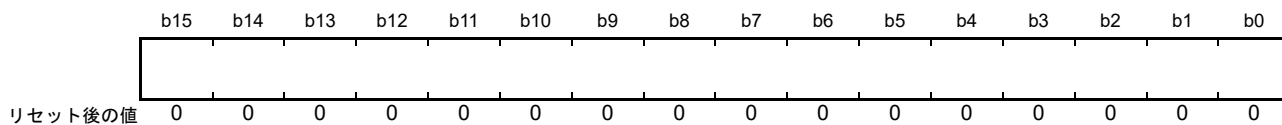
- カウンタがオーバフローしたとき

["0" になる条件]

- CAICR.OVFFCL ビットに“1”を書き込んだとき

10.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス 0008 B006h



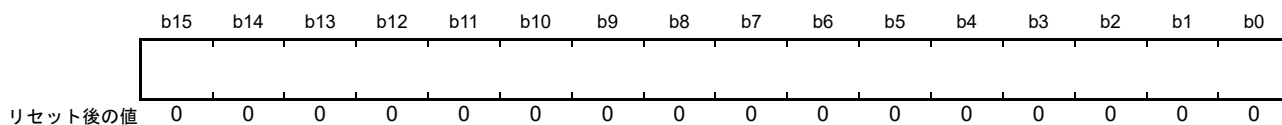
CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス 0008 B008h



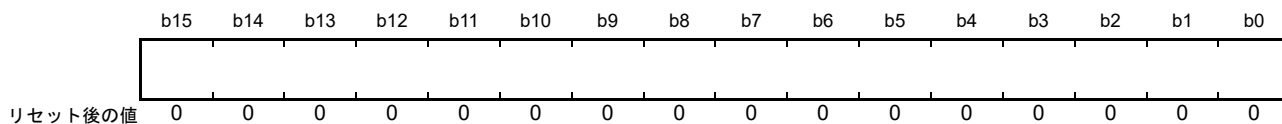
CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス 0008 B00Ah



基準信号の有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。

10.3 動作説明

10.3.1 クロック周波数測定

クロック周波数精度測定回路は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。図 10.2 にクロック周波数精度測定回路の動作例を示します。

クロック周波数精度測定回路は、クロック周波数測定時、以下のように動作します。

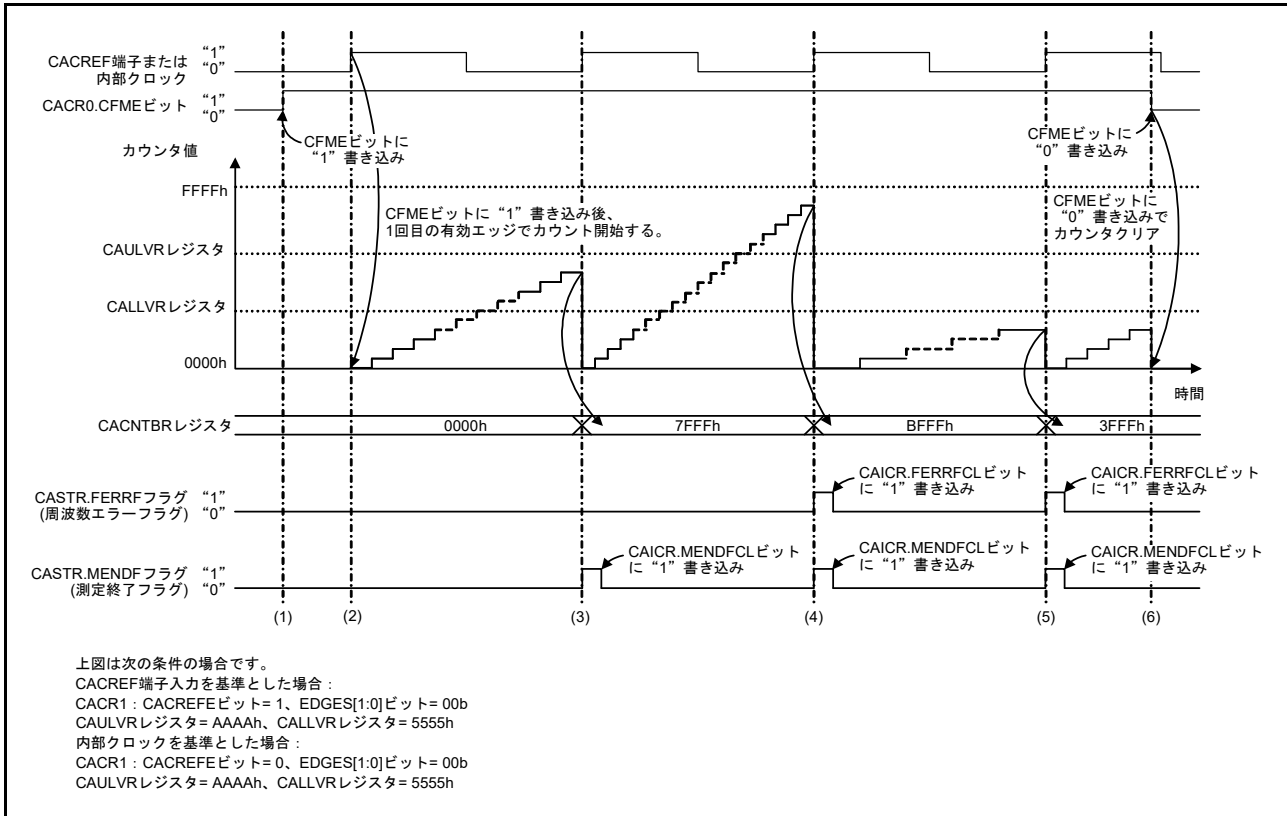


図 10.2 クロック周波数精度測定回路の動作例

- (1) CACREF 端子入力を基準とした場合 (CACR1.CACREFE ビット = 1) は、CACR2.RPS ビットを “0”、CACR1.CACREFE ビットを “1” に設定した状態で、CACR0.CFME ビットに “1” を書き込むとクロック周波数測定が有効になります。
一方、内部クロックを基準とした場合 (CACR1.CACREFE ビット = 0) は、CACR2.RPS ビットを “1” に設定した状態で、CACR0.CFME ビットに “1” を書き込むとクロック周波数測定が有効になります。
- (2) CACREF 端子入力を基準とした場合は、CFME ビットに “1” を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)) が入力されるとタイマのカウンタアップが開始します。
内部クロックを基準とした場合は、CFME ビットに “1” を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)) が入力されるとタイマのカウンタアップが開始します。
- (3) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ \leq CAULVR レジスタかつ CACNTBR レジスタ \geq CALLVR レジスタのときはクロック周波数が正常なので CASTR.MENDF フラグだけが “1” にセットされます。また、CAICR.MENDIE ビットを “1” に設定している場合は、測定終了割り込みが発生します。

- (4) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ > CAULVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (5) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ < CALLVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (6) CACR0.CFME ビットが“1”の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACR0.CFME ビットに“0”を書き込むと、カウンタをクリアしカウントアップが停止します。

10.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが3回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが3回連続で一致するまで内部へは同じレベルを伝達し続けます。

デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。

カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

$$\text{カウント値誤差} = (\text{カウントソースクロック 1 周期}) / (\text{サンプリングクロック 1 周期})$$

10.4 割り込み要求

CAC が要求する割り込み要因には、周波数エラー割り込み、測定終了割り込みおよびオーバフロー割り込みの3種類があります。各割り込み要因が発生すると各ステータスフラグが“1”にセットされます。表 10.3 にクロック周波数精度測定回路割り込み要求を示します。

表 10.3 クロック周波数精度測定回路割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタを CAULVR レジスタおよび CALLVR レジスタと比較をした結果が CACNTBR レジスタ > CAULVR レジスタまたは CACNTBR レジスタ < CALLVR レジスタのとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	基準信号の有効エッジが入力されたとき ただし、CACR0.CFME ビットを“1”に書き込み後、1回目の有効エッジでは測定終了割り込みは発生しない。
オーバフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバフローしたとき

10.5 使用上の注意事項

10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、クロック周波数精度測定回路の動作禁止 / 許可を設定することが可能です。初期値では、クロック周波数精度測定回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

11. 消費電力低減機能

11.1 概要

本 MCU には、消費電力低減機能としてクロックの切り替えによる消費電力の低減、モジュールストップ機能、通常動作時の低消費電力機能、および低消費電力状態への遷移機能があります。

表 11.1 に消費電力低減機能の仕様を、表 11.2 に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DTC、RAM 以外のモジュールは停止状態になります。

表 11.1 消費電力低減機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、高速周辺モジュールクロック (PCLKA)、周辺モジュールクロック (PCLKB)、S12AD 用クロック (PCLKD)、FlashIF クロック (FCLK) に対し、個別に分周比を設定することが可能(注1)
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	<ul style="list-style-type: none"> • CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	<ul style="list-style-type: none"> • スリープモード • ディープスリープモード • ソフトウェアスタンバイモード
動作電力低減機能	<ul style="list-style-type: none"> • 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、およびディープスリープモード時の消費電力を低減することが可能 • 動作電力制御状態：2種類 高速動作モード 中速動作モード

注1. 詳細は「9. クロック発生回路」を参照してください。

表 11.2 各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	ディープスリープモード	ソフトウェアスタンバイモード
遷移方法	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令
リセット以外の解除方法	割り込み	割り込み	割り込み(注1)
解除後の状態(注2)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
メインクロック発振器	動作可能	動作可能	停止
高速オンチップオシレータ	動作可能	動作可能	停止
低速オンチップオシレータ	動作可能	動作可能	停止
IWDT専用オンチップオシレータ	動作可能(注3)	動作可能(注3)	動作可能(注3)
PLL	動作可能	動作可能	停止
CPU	停止(保持)	停止(保持)	停止(保持)
RAM0 (0000 0000h~0000 7FFFh)	動作可能(保持)	停止(保持)	停止(保持)
DTC	動作可能(注5)	停止(保持)	停止(保持)
フラッシュメモリ	動作	停止(保持)	停止(保持)
独立ウォッチドッグタイマ(IWDT)	動作可能(注3)	動作可能(注3)	動作可能(注3)
電圧検出回路(LVD)	動作可能	動作可能	動作可能
パワーオンリセット回路	動作	動作	動作
周辺モジュール	動作可能	動作可能	停止(保持)(注4)
I/Oポート	動作	動作	保持
コンパレータC	動作可能	動作可能	動作可能(注6)

動作可能は、制御レジスタ設定によって動作/停止を制御可能であることを示します。
停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

注1. 外部端子割り込み(NMI, IRQ0~IRQ7)、周辺機能割り込み(IWDT、電圧監視)

注2. RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除は除きます。
RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除の場合は、リセット状態に遷移します。

注3. IWDTオートスタートモード時、オプション機能選択レジスタ0のIWDTスリープモードカウント停止制御ビット(OFS0.IWDTSLCSTP)の設定により、動作/停止を選択することができます。IWDTオートスタートモードではないとき、IWDTカウント停止コントロールレジスタのスリープモードカウント停止制御ビット(IWDTCSTPR.SLCSTP)の設定により、動作/停止を選択することができます。

注4. 周辺モジュールは状態を保持します。

注5. スリープモード中は、システム制御関連のレジスタ(「表 5.1 I/Oレジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ)への書き込みは禁止です。

注6. デジタルフィルタ機能は使用禁止です。比較結果のCOMPn端子への出力のみ動作可能です。

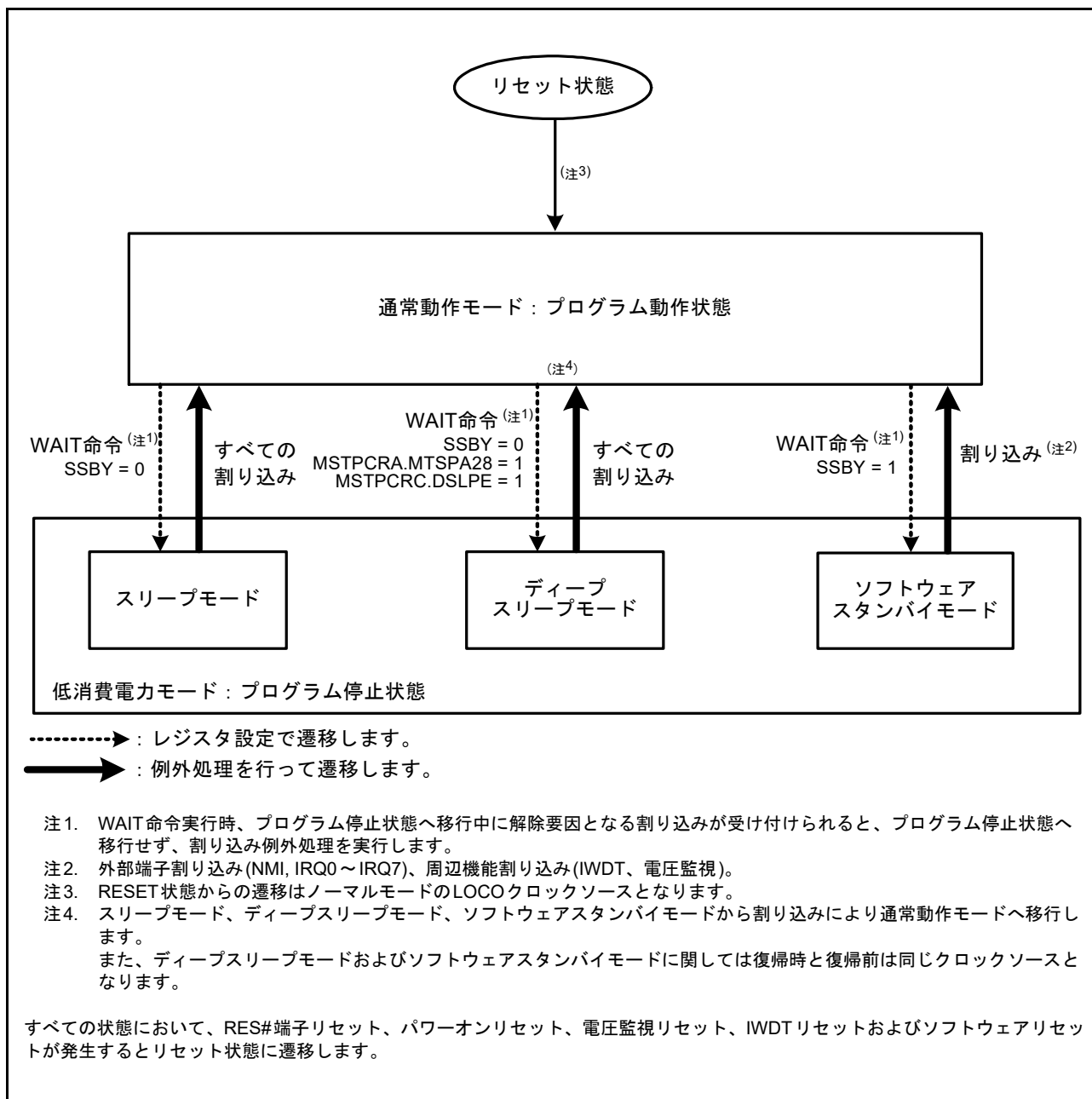


図 11.1 モード遷移

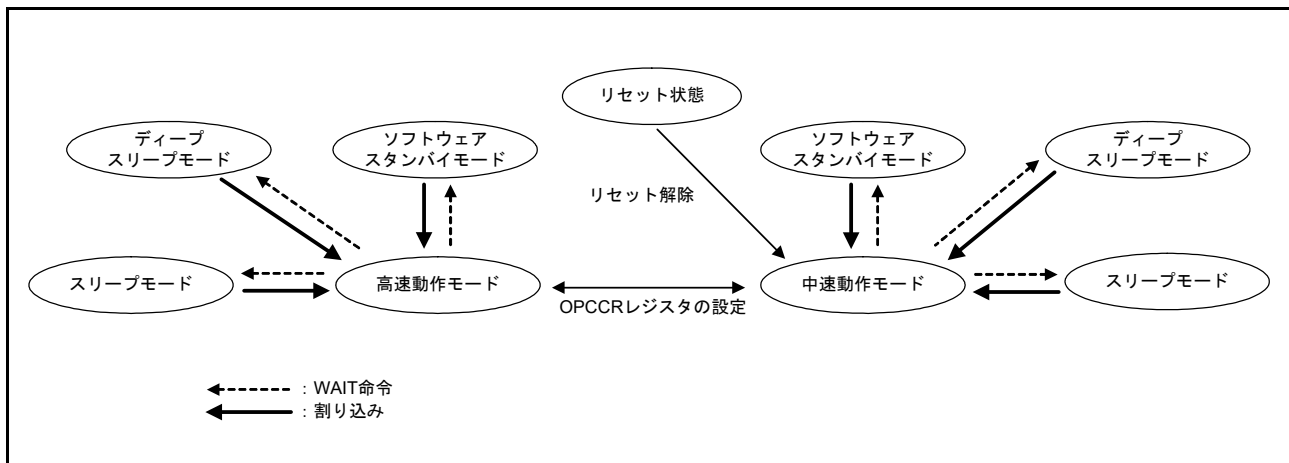


図 11.2 動作モード

- スリープモードからはスリープモードへ遷移する前の動作状態に戻ることができます。
- リセット解除後は中速動作モードで動作開始します。

11.2 レジスタの説明

11.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15	SSBY	ソフトウェアスタンバイビット	0 : WAIT 命令実行後、スリープモードまたはディープスリープモードに遷移 1 : WAIT 命令実行後、ソフトウェアスタンバイモードに遷移	R/W

注. このレジスタはPRCR.PRC1ビットを“1” (書き込み許可)にした後で書き換えてください。

SSBY ビット (ソフトウェアスタンバイビット)

WAIT 命令実行後の遷移先を設定します。

SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。

なお、割り込みによってソフトウェアスタンバイモードが解除され通常モードに遷移したときは、SSBY ビットは“1”のままです。SSBY ビットを“0”にするときは“0”を書いてください。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) が“1”のときは、SSBY ビットに設定された値は無効になります。SSBY ビットが“1”のときも、WAIT 命令実行後は、スリープモードまたはディープスリープモードに遷移します。

11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	MSTPA 28	—	—	—	—	MSTPA 23	—	—	—	MSTPA 19	—	MSTPA 17	MSTPA 16
リセット後の値	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA 15	MSTPA 14	—	—	—	—	MSTPA 9	—	MSTPA 7	—	MSTPA 5	MSTPA 4	MSTPA 3	MSTPA 2	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	MSTPA2	8ビットタイマ7、6(ユニット3)モジュールストップ設定ビット	対象モジュール：TMR7, TMR6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3	MSTPA3	8ビットタイマ5、4(ユニット2)モジュールストップ設定ビット	対象モジュール：TMR5, TMR4 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4	MSTPA4	8ビットタイマ3、2(ユニット1)モジュールストップ設定ビット	対象モジュール：TMR3, TMR2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPA5	8ビットタイマ1、0(ユニット0)モジュールストップ設定ビット	対象モジュール：TMR1, TMR0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	MSTPA7	汎用PWMタイマモジュールストップ設定ビット	対象モジュール：GPT 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPA9	マルチファンクションタイマパルスユニット3モジュールストップ設定ビット	対象モジュール：MTU 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b14	MSTPA14	コンペアマッチタイマ1(ユニット1)モジュールストップ設定ビット	対象モジュール：CMTユニット1(CMT2, CMT3) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	MSTPA15	コンペアマッチタイマ(ユニット0)モジュールストップ設定ビット	対象モジュール：CMTユニット0(CMT0, CMT1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	MSTPA16	12ビットA/Dコンバータ1モジュールストップ設定ビット	対象モジュール：S12AD1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17	MSTPA17	12ビットA/Dコンバータモジュールストップ設定ビット	対象モジュール：S12AD 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPA19	8ビットD/Aコンバータモジュールストップ設定ビット	対象モジュール：DA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPA23	12ビットA/Dコンバータ2モジュールストップ設定ビット	対象モジュール：S12AD2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27-b24	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b28	MSTPA28	データトランスファコントローラモジュールストップ設定ビット	対象モジュール：DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b29	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス 0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	MSTPB30	—	—	—	MSTPB26	MSTPB25	—	MSTPB23	—	MSTPB21	—	—	—	MSTPB17	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MSTPB10	—	—	—	MSTPB6	—	—	—	—	—	MSTPB0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPB0	RSCANモジュールストップ設定ビット (注1)	対象モジュール：RSCAN 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	MSTPB6	DOCモジュールストップ設定ビット	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9-b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b10	MSTPB10	コンパレータCモジュールストップ設定ビット	対象モジュール：コンパレータC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16-b11	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPB17	シリアルペリフェラルインタフェース0モジュールストップ設定ビット	対象モジュール：RSPI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20-b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b21	MSTPB21	I ² Cバスインタフェース0モジュールストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPB23	CRC演算器モジュールストップ設定ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b25	MSTPB25	シリアルコミュニケーションインタフェース6モジュールストップ設定ビット	対象モジュール：SCI6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPB26	シリアルコミュニケーションインタフェース5モジュールストップ設定ビット	対象モジュール：SCI5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29-b27	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b30	MSTPB30	シリアルコミュニケーションインタフェース1モジュールストップ設定ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. 本ビットの書き換えは、本ビットによって制御するクロックの発振が安定しているときに行ってください。本ビットを書き換えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後CANMCLKで2サイクル経過したのち、WAIT命令を実行してください。

11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DSLPE	—	—	—	—	—	—	—	—	—	—	—	MSTPC19	—	—	—
リセット後の値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAM0 モジュールストップ設定ビット(注1)	対象モジュール：RAM0 (0000 0000h~0000 7FFFh) 0：RAM0動作 1：RAM0停止	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPC19	クロック周波数精度測定回路 モジュールストップ設定ビット(注2)	対象モジュール：CAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	DSLPE	ディープスリープモード許可ビット	0：ディープスリープモード禁止 1：ディープスリープモード許可	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. RAMアクセス中に該当するMSTPC0ビットを“1”にしないでください。また、MSTPC0ビットが“1”の状態、該当するRAMにアクセスしないでください。

注2. MSTPC19ビットの書き換えは、本ビットによって制御するクロックの発振が安定しているときに行ってください。本ビットを書き換えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後、そのときに発振している発振器のうち、最も遅いクロックを出力する発振器の出力クロックで2サイクル経過したのち、WAIT命令を実行してください。

DSLPE ビット (ディープスリープモード許可ビット)

DSLPE ビットにて、ディープスリープモードへの移行の許可または禁止を設定します。DSLPE ビットを“1”にし、SBYCR.SSBY ビットおよび MSTPCRA.MSTPA28 ビットが所定の条件を満たした状態で、CPU が WAIT 命令を実行した場合、ディープスリープモードに移行します。詳細は「11.6.2 ディープスリープモード」を参照してください。

11.2.5 動作電力コントロールレジスタ (OPCCR)

アドレス 0008 00A0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	OPCM TSF	—	OPCM[2:0]		
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	OPCM[2:0]	動作電力制御モード 選択ビット	b2 b0 0 0 0 : 高速動作モード 0 1 0 : 中速動作モード 上記以外は設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	OPCMTSF	動作電力制御モード 遷移状態フラグ	0 : 遷移完了 1 : 遷移中	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

OPCCR レジスタは、通常動作モード、スリープモード、ディープスリープモード時の消費電力を低減させるためのレジスタです。

OPCCR レジスタの設定によって、使用する動作周波数、動作電圧に応じて消費電力を低減させることができます。

以下に該当する場合、OPCCR レジスタの書き換えは無効になります。

- OPCCR.OPCMTSF フラグが“1”(遷移中)のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間
- ディープスリープモードへ移行するための WAIT 命令実行から、ディープスリープモードから通常動作へ復帰するまでの期間

フラッシュメモリがプログラム/イレーズ (P/E) 中は、OPCCR レジスタのライトアクセスはできません。書き込みは無効になります。

動作電力制御モードへの遷移手順は、「11.5 動作電力低減機能」を参照してください。

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ(「表 5.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ)への書き込みは禁止です。

OPCM[2:0] ビット (動作電力制御モード選択ビット)

通常動作モード、スリープモード、ディープスリープモード時の動作電力制御モードを選択します。

表 11.3 に動作電力制御モードと OPCM[2:0] ビットの設定値と動作周波数範囲・動作電圧範囲の関係を示します。

OPCMTSF フラグ (動作電力制御モード遷移状態フラグ)

動作電力制御モード切り替え時の切り替え制御状態を表します。

OPCM[2:0] ビットの値を書き換えると“1”になり、モード遷移が完了すると“0”になります。このフラグが“0”になったことを確認してから次の処理を行ってください。また、OPCM[2:0] ビットの書き換えは、このフラグが“0”のときに行ってください。

表 11.3 動作電力制御モードと動作周波数範囲・動作電圧範囲の関係

動作電力制御モード	OPCM [2:0] ビット	動作電圧範囲	動作周波数範囲					
			フラッシュメモリ リード時					フラッシュメモリ P/E時
			ICLK	FCLK	PCLKD	PCLKB	PCLKA	FCLK
高速動作モード	000b	2.7 ~ 5.5V	~ 80MHz	~ 32MHz	~ 40MHz	~ 40MHz	~ 80MHz	1MHz ~ 32MHz
中速動作モード	010b	2.7 ~ 5.5V	~ 12MHz	~ 12MHz	~ 12MHz	~ 12MHz	~ 12MHz	1MHz ~ 12MHz

注. フラッシュメモリ P/E時、FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。

各動作電力制御モードについて以下に説明します。

- 高速動作モード

FLASH リード時の最高動作周波数は、ICLK、PCLKA が 80MHz、PCLKB、PCLKD が 40MHz で、FCLK が 32MHz です。

P/E時は、動作周波数範囲が 1 ~ 32MHz となります。

注. フラッシュメモリ P/E時、FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。

- 中速動作モード

高速動作モードよりも低速動作向けに消費電力を低減したモードです。

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、PCLKD が 12MHz です。

P/E時は、動作周波数範囲が 1 ~ 12MHz となります。

同条件(周波数・電圧)で同じ動作をさせる場合、高速動作モードよりも消費電力を低減できます。

リセット解除後は、本モードで起動します。

注. フラッシュメモリ P/E時、FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。

11.3 クロックの切り替えによる消費電力の低減

SCKCR.FCK[3:0]、ICK[3:0]、PCKA[3:0]、PCKB[3:0]、PCKD[3:0] ビットを設定すると、クロック周波数が切り替わります。CPU、DTC、ROM、RAM は、ICK[3:0] ビットで設定した動作クロックで動作します。

周辺モジュールは、PCKA[3:0]、PCKB[3:0]、PCKD[3:0] ビットで設定した動作クロックで動作します。
フラッシュインタフェースはFCK[3:0] ビットで設定した動作クロックで動作します。
詳細は「9. クロック発生回路」を参照してください。

11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ~ MSTPCRC レジスタに対応する MSTPmi ビット ($m = A \sim C, i = 31 \sim 0$) を“1”にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を続けます。対応する MSTPmi ビットを“0”にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット解除後は、DTC、RAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできませんが、モジュールストップ設定直後に書き込みを行った場合、書き込める場合がありますので注意してください。

11.5 動作電力低減機能

動作周波数、動作電圧に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、ディープスリープモード時の消費電力を低減することができます。

11.5.1 動作電力制御モード設定方法

動作電力制御モードの遷移手順を以下に示します。

(1) 消費電力が大きいモードから消費電力が小さいモードへ切り替える場合

- 高速動作モードから中速動作モードへの切り替え
(高速動作モードで高速動作)

↓

各クロックの周波数を中速動作モードの最大動作周波数以下に設定

↓

OPCCR.OPCMTSF フラグが“0”(遷移完了)であることを確認

↓

OPCCR.OPCM[2:0] ビットを“010b”(中速動作モード)に設定

↓

OPCCR.OPCMTSF フラグが“0”(遷移完了)であることを確認

↓

(中速動作モードで中速動作)

(2) 消費電力が小さいモードから消費電力が大きいモードへ切り替える場合

- 中速動作モードから高速動作モードへの切り替え
中速動作モードで中速動作

↓

OPCCR.OPCMTSF フラグが“0”(遷移完了)であることを確認

↓

OPCCR.OPCM[2:0] ビットを“000b”(高速動作モード)に設定

↓

OPCCR.OPCMTSF フラグが“0”(遷移完了)であることを確認

↓

各クロックの周波数を高速動作モードの最大動作周波数以下に設定

↓

高速動作モードでの高速動作

11.6 低消費電力状態

11.6.1 スリープモード

11.6.1.1 スリープモードへの移行

SBYCR.SSBY ビットが“0”の状態では WAIT 命令を実行すると、スリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、スリープモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、スリープモードへ移行後も IWDT はカウントを継続します。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット(注1)を“0”にする。
- (2) スリープモードからの復帰に使用する割り込みの要求先(注2)を CPU に設定する。
- (3) スリープモードからの復帰に使用する割り込みの優先レベル(注3)を、CPU の PSW.IPL[3:0] ビット(注1)よりも高く設定する。
- (4) スリープモードからの復帰に使用する割り込みの IERm.IENj ビット(注3)を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令の実行(WAIT 命令の実行により CPU の PSW.I ビット(注1)は自動的に“1”になります)。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注3. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

11.6.1.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。マスカブル割り込みが CPU でマスクされている場合 (割り込み優先レベルが(注1)CPU の PSW.IPL[3:0] ビット(注2)以下に設定されている場合) には、スリープモードは解除されません。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

パワーオンリセットによって、スリープモードが解除されます。

- 電圧監視リセットによる解除

電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。

- 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、スリープモードが解除されます。ただし、スリープモード時に IWDT がカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

11.6.2 ディープスリープモード

11.6.2.1 ディープスリープモードへの遷移

MSTPCRC.DSLPE ビットを“1”に設定し、かつ MSTPCRA.MSTPA28 ビットを“1”に設定し SBYCR.SSBY ビットを“0”にクリアした状態で WAIT 命令を実行すると、ディープスリープモードに遷移します(注1)。

ディープスリープモードでは、CPUに加え、DTC、ROM、RAMのクロックも停止します。周辺機能は停止しません。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに、ディープスリープモードへ遷移すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときに、ディープスリープモードへ遷移すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”(低消費電力モード遷移時 IWDT カウント継続)のときは、ディープスリープモードへ遷移後も、IWDT はカウントを継続します。同様にレジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ディープスリープモードへ遷移後、IWDT はカウントを継続します。

ディープスリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU.PSW.I ビット(注2)を“0”にする。
- (2) ディープスリープモードからの復帰に使用する割り込みの要求先(注3)を CPU に設定する。
- (3) ディープスリープモードからの復帰に使用する割り込みの優先レベル(注4)を、CPU の PSW.IPL[3:0] ビット(注2)よりも高く設定する。
- (4) ディープスリープモードからの復帰に使用する割り込みの IERm.IENn(注4)を“1”にする。
- (5) 最後に書きこみを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令を実行する(WAIT 命令の実行により CPU の PSW.I(注2)は自動的に“1”になります)。

注1. DTC の動作状態によっては、ディープスリープモードに移行できない場合があります。

MSTPCRA.MSTPA28 ビットを“1”にする前に、DTC の DTCST.DTCST ビットを“0”にして、DTC が起動していない状態で行ってください。

注2. 詳細は「2. CPU」を参照してください。

注3. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注4. 詳細は「14. 割り込みコントローラ(ICUb)」を参照してください。

11.6.2.2 ディープスリープモードの解除

ディープスリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除
割り込みが発生すると、ディープスリープモードは解除され、割り込み例外処理を開始します。マスクされた割り込みが CPU でマスクされている場合 (割り込みの優先レベル(注1)が CPU の PSW.IPL[3:0] ビット(注2)以下に設定されている場合)には、ディープスリープモードは解除されません。
- RES# 端子リセットによる解除
RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。
- パワーオンリセットによる解除
パワーオンリセットによって、ディープスリープモードが解除されます。
- 電圧監視リセットによる解除
電圧検出回路の電圧監視リセットにより、ディープスリープモードが解除されます。
- 独立ウォッチドッグタイマによる解除
IWDT のアンダフローの内部リセットによって、ディープスリープモードが解除されます。ただし、ディープスリープモード時に IWDT がカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

11.6.3 ソフトウェアスタンバイモード

11.6.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを“1”にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能以外のすべての機能が停止します。ただし、CPU の内部レジスタの値と RAM のデータ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、発振器が停止するため、消費電力は著しく低減されます。

WAIT 命令を実行する前に DTC の DTCST.DTCST ビットを“0”にしてください。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに、ソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCS1PR.SLCSTP ビットが“1”のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCS1PR.SLCSTP ビットが“0”のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット(注1)を“0”にする。
- (2) ソフトウェアスタンバイモードからの復帰に使用する割り込みの要求先(注2)を CPU に設定する。
- (3) ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル(注3)を CPU の PSW.IPL[3:0] ビット(注1)よりも高く設定する。
- (4) ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENj ビット(注3)を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
- (6) WAIT 命令を実行する (WAIT 命令の実行によって CPU の PSW.I ビット(注1)は自動的に“1”になります)。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注3. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

11.6.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み (NMI, IRQ0 ~ IRQ7)、周辺機能割り込み (IWDT、電圧監視)、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。ソフトウェアスタンバイモードの解除要因が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、これらすべての発振器の発振が安定するのを待ってソフトウェアスタンバイモードから復帰します。

- 割り込みによる解除

NMI、IRQ0 ~ IRQ7、IWDT、電圧監視の割り込み要求が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、MOSCWTCR.MSTS[4:0] ビットで設定した各発振器の発振安定待ち時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、MCU にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されます。

- 電圧監視リセットによる解除

電源電圧の低下によって電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除されません。

- 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、ソフトウェアスタンバイモードが解除されます。ただし、ソフトウェアスタンバイモード時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

11.6.3.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジでソフトウェアスタンバイモードに移行し、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 11.3 に示します。

この例では、ICU の IRQCRI.IRQMD[1:0] ビットが “01b” (立ち下がりエッジ) の状態で、IRQn 割り込みを受け付けた後、IRQCRI.IRQMD[1:0] ビットを “10b” (立ち上がりエッジ) に設定し、SBYCR.SSBY ビットを “1” にした後、WAIT 命令を実行してソフトウェアスタンバイモードに移行しています。その後、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

なお、ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ (ICU) の設定も必要となります。詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

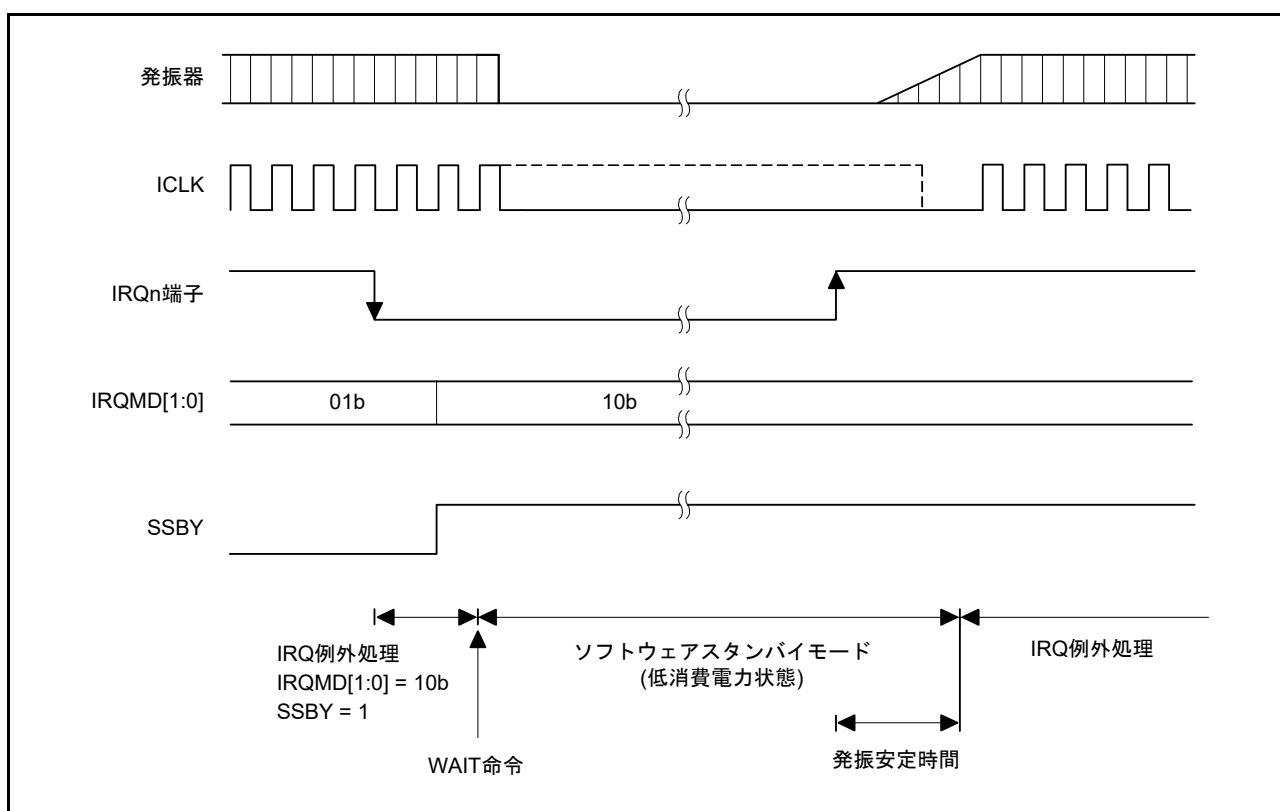


図 11.3 ソフトウェアスタンバイモードの応用例

11.7 使用上の注意事項

11.7.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。したがって、High を出力している場合は出力電流分の消費電流は低減されません。

11.7.2 DTC のモジュールストップ

MSTPCRA.MSTPA28 ビットを“1”にする前に、DTC の DTCST.DTCST ビットを“0”にして、DTC が起動していない状態にしてください。

詳細は、「17. データトランスファコントローラ (DTCa)」を参照してください。

11.7.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

11.7.4 MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み

MSTPCRA、MSTPCRB、および MSTPCRC レジスタへの書き込みは、CPU のみで行ってください。

11.7.5 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

11.7.6 スリープモード中の DTC によるレジスタの書き換えについて

スリープモード中は OFS0.IWDTSLCSTP ビット、IWDTCSSTPR.SLCSTP ビットの設定によって IWDT が停止します。その場合、スリープモード中に DTC によって IWDT 関連のレジスタを書き換えないでください。

12. レジスタライトプロテクション機能

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 12.1 に PRCR レジスタと保護されるレジスタの対応を示します。

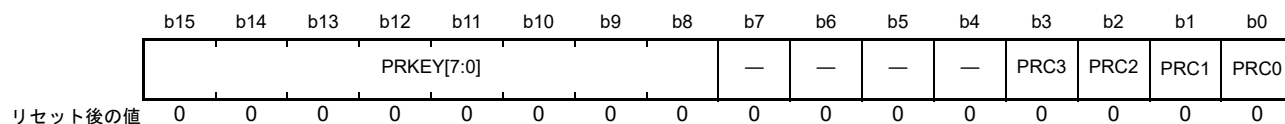
表 12.1 PRCR レジスタと保護されるレジスタの対応

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> クロック発生回路関連レジスタ SCKCR, SCKCR3, PLLCR, PLLCR2, MOSCCR, LOCOCR, ILOCOCR, HOCOCR, HOCOCR2, OSTDCR, OSTDSR, MEMWAIT
PRC1 ビット	<ul style="list-style-type: none"> 動作モード関連レジスタ SYSCR1 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, OPCCR クロック発生回路関連レジスタ MOFCR, MOSCWTCR ソフトウェアリセットレジスタ SWRR
PRC2 ビット	<ul style="list-style-type: none"> クロック発生回路関連レジスタ HOCOWTCR
PRC3 ビット	<ul style="list-style-type: none"> LVD 関連レジスタ LVCMPCR, LVDLVLR, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR

12.1 レジスタの説明

12.1.1 プロテクトレジスタ (PRCR)

アドレス 0008 03FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、消費電力低減機能、クロック発生回路関連レジスタ、ソフトウェアリセットレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	PRC2	プロテクトビット2	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	PRCキーコードビット	PRCRレジスタの書き換えの可否を制御します。 PRCRレジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/W (注1)

注1. 書き込みデータは保持されません。

PRCi ビット (プロテクトビット i) (i = 0 ~ 3)

保護するレジスタへの書き込み許可 / 禁止を選択します。

PRCi ビットが“1”のとき、保護されるレジスタへの書き込みができます。PRCi ビットが“0”のとき、レジスタへの書き込みができません。

13. 例外処理

13.1 例外事象

CPU が通常のプログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して例外事象と呼びます。

RXv2 CPU は、8 種類の例外に対応します。図 13.1 に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパーバイザモードになります。

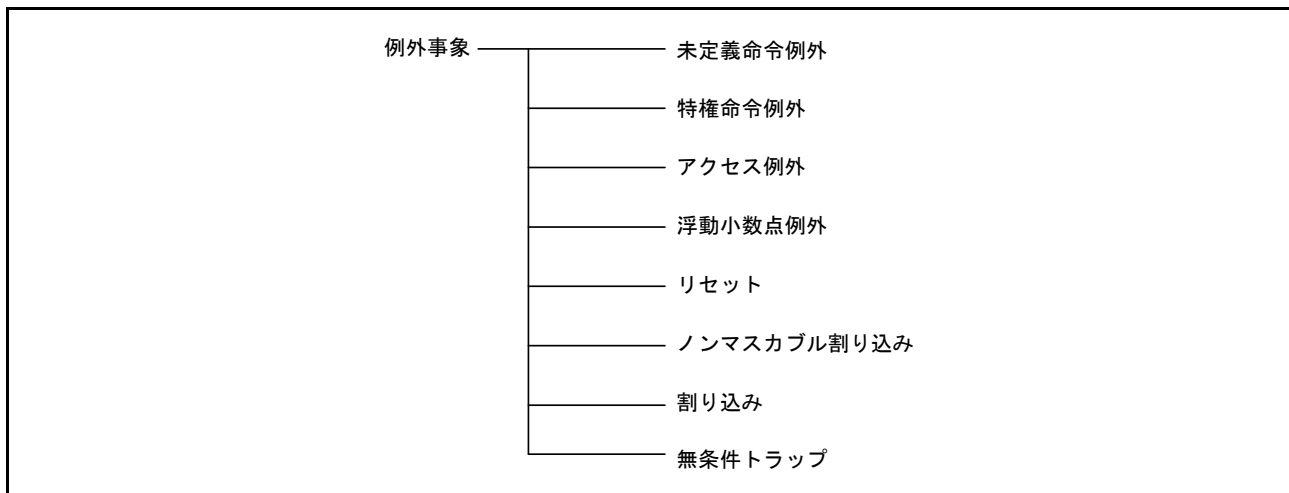


図 13.1 例外事象の種類

13.1.1 未定義命令例外

未定義命令例外は、未定義命令 (実装されていない命令) の実行を検出した場合に発生します。

13.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパーバイザモードでのみ実行可能です。

13.1.3 アクセス例外

アクセス例外は、CPUからのメモリアクセスによるエラーが検出された場合に発生します。メモリプロテクションユニットが命令メモリプロテクションエラーを検出した場合には命令アクセス例外が、データメモリプロテクションエラーを検出した場合にはオペランドアクセス例外が発生します。

13.1.4 浮動小数点例外

浮動小数点例外は、IEEE754規格で規定された5つの例外事象 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他、非実装処理を検出した場合に発生します。浮動小数点例外は、FPSWのEX、EU、EZ、EO、EVビットが“0”のとき、例外処理が禁止されます。

13.1.5 リセット

CPUにリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

13.1.6 ノンマスカブル割り込み

CPUにノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合にのみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

13.1.7 割り込み

CPUに割り込み信号を入力することによって発生します。割り込みのうち1つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは15 (最高) です。

PSWのIビットが“0”のとき、割り込みの受け付けは禁止されます。

13.1.8 無条件トラップ

INT命令、およびBRK命令を実行すると無条件トラップが発生します。

13.2 例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム (例外処理ルーチン) によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 13.2 に示します。

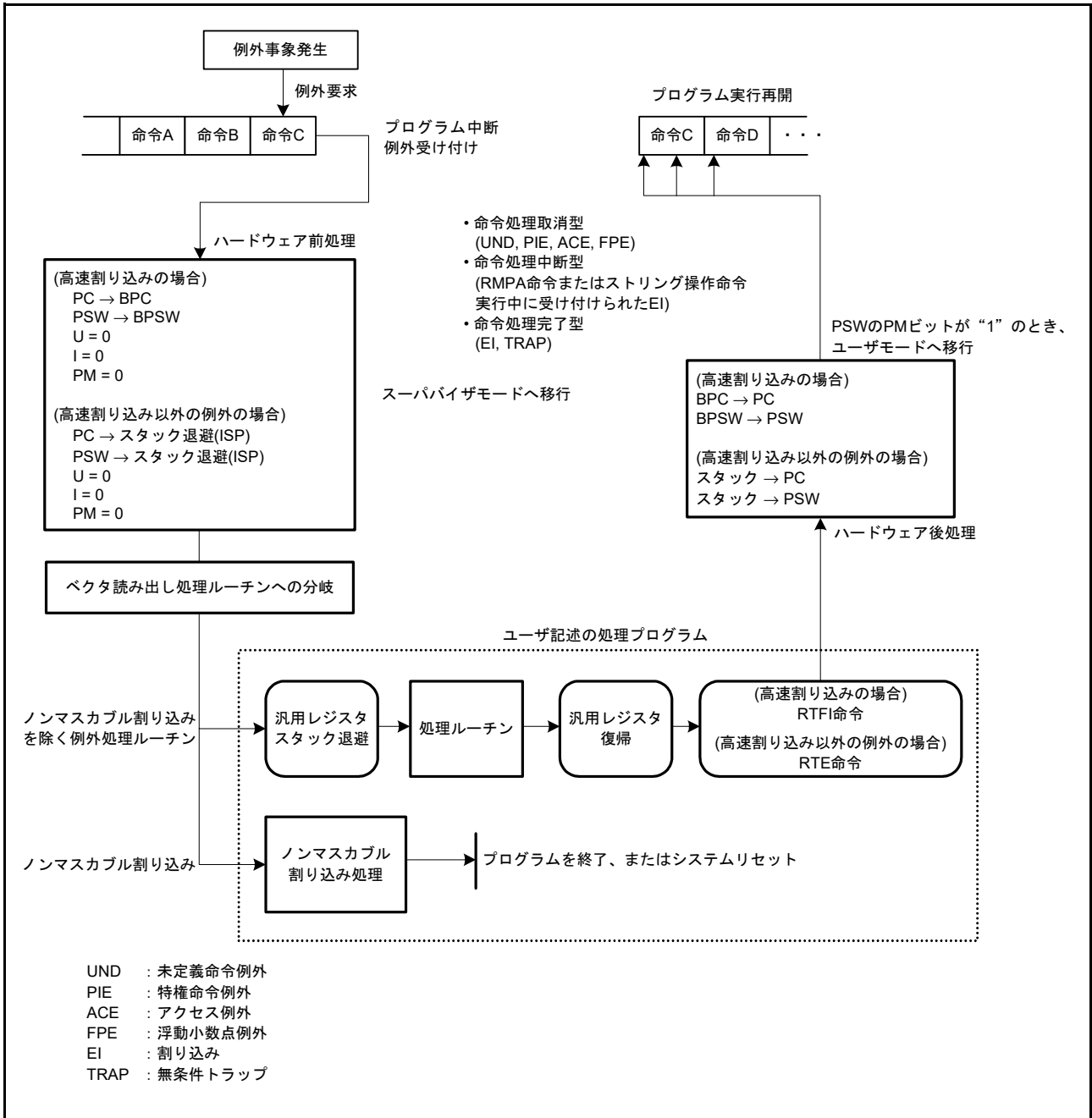


図 13.2 例外の処理手順の概要

例外が受け付けられると、RXv2 CPUはハードウェア処理を行った後、ベクタにアクセスし、分岐先アドレスを取得します。ベクタには例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RXv2 CPUのハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ(PC)の内容をバックアップPC(BPC)に、プロセッサステータスワード(PSW)の内容をバックアップPSW(BPSW)へ退避します。高速割り込み以外の例外では、PC、PSWをスタック領域に退避します。例外処理ルーチン中で使用する汎用レジスタ、およびPC、PSW以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによってスタックに退避してください。

例外処理ルーチン処理完了後、スタックに退避したレジスタを復帰してRTE命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI命令を実行します。ただし、ノンマスカブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RXv2 CPUのハードウェア後処理では、高速割り込みの場合はBPCをPCに、また、BPSWの値をPSWに戻します。高速割り込み以外の例外では、スタック領域からPC、PSWの値を復帰します。

13.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチンに分岐します。

13.3.1 受け付けタイミングと退避されるPC値

各例外事象の受け付けタイミングと退避されるプログラムカウンタ(PC)の値を表13.1に示します。

表13.1 受け付けタイミングと退避されるPC値

例外事象	処理型	受け付け タイミング	BPC/スタックに退避されるPC値	
未定義命令例外	命令処理取消型	命令実行中	例外が発生した命令のPC値	
特権命令例外	命令処理取消型	命令実行中	例外が発生した命令のPC値	
アクセス例外	命令処理取消型	命令実行中	例外が発生した命令のPC値	
浮動小数点例外	命令処理取消型	命令実行中	例外が発生した命令のPC値	
リセット	命令処理放棄型	各マシンサイクル	なし	
ノンマスカブル 割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
無条件トラップ	命令処理完了型	命令の区切り	次の命令のPC値	

13.3.2 ベクタとPC、PSWの退避場所

各例外事象のベクタとプログラムカウンタ(PC)、プロセッサステータスワード(PSW)の退避場所を表13.2に示します。例外ベクタテーブル、および割り込みベクタテーブルは、それぞれ先頭アドレスを設定する必要があります。詳細は、「2.6 ベクタテーブル」を参照してください。

表13.2 ベクタとPC、PSWの退避場所

例外事象	ベクタ	PC、PSWの退避場所	
未定義命令例外	例外ベクタテーブル(EXTB)	スタック	
特権命令例外	例外ベクタテーブル(EXTB)	スタック	
アクセス例外	例外ベクタテーブル(EXTB)	スタック	
浮動小数点例外	例外ベクタテーブル(EXTB)	スタック	
リセット	例外ベクタテーブル(EXTB)	なし	
ノンマスカブル割り込み	例外ベクタテーブル(EXTB)	スタック	
割り込み	高速割り込み	FINTV	BPC, BPSW
	高速割り込み以外	割り込みベクタテーブル(INTB)	スタック
無条件トラップ	割り込みベクタテーブル(INTB)	スタック	

13.4 例外の受け付け / 復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1) 例外受け付け時のハードウェア前処理

(a) PSW の退避

(高速割り込みの場合)

PSW → BPSW

(高速割り込み以外の例外の場合)

PSW → スタック領域

注． FPSW は、ハードウェア前処理では退避されません。浮動小数点演算命令を例外処理ルーチン内で使用する場合は、例外処理ルーチン内でユーザがスタックへ退避してください。

(b) PSW の PM、U、I ビットの更新

I： 0 にする

U： 0 にする

PM： 0 にする

(c) PC の退避

(高速割り込みの場合)

PC → BPC

(高速割り込み以外の例外の場合)

PC → スタック領域

(d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

(2) RTE 命令、RTFI 命令実行時のハードウェア後処理

(a) PSW の復帰

(高速割り込みの場合)

BPSW → PSW

(高速割り込み以外の例外の場合)

スタック領域 → PSW

(b) PC の復帰

(高速割り込みの場合)

BPC → PC

(高速割り込み以外の例外の場合)

スタック領域 → PC

13.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

13.5.1 未定義命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 0000005Ch 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.2 特権命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 00000050h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.3 アクセス例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 00000054h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.4 浮動小数点例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 00000064h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.5 リセット

1. 制御を初期化します。
2. FFFFFFFCh 番地からベクタを取得します。
3. 取得したベクタをプログラムカウンタ (PC) にセットします。

13.5.6 ノンマスカブル割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) を“Fh”にします。
5. EXTB の値 + 00000078h 番地からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.7 割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PSW (BPSW) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PC (BPC) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) に、受け付けた割り込みの割り込み優先レベルを設定します。
5. 割り込みベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ (FINTV) からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.8 無条件トラップ

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. 次の命令のプログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. INT 命令の場合は、割り込みベクタテーブルから INT 命令番号に対応したベクタを取得します。BRK 命令の場合は、割り込みベクタテーブルの先頭番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で表 13.3 に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ (BPC, BPSW) に退避されていたプログラムカウンタ (PC) とプロセッサステータスワード (PSW) の内容が復帰されます。

表 13.3 例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
アクセス例外		RTE
浮動小数点例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		禁止
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

13.7 例外事象の優先順位

例外事象の優先順位を表 13.4 に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表 13.4 例外事象の優先順位

優先順位	例外事象
高い ↑ 低い	1 リセット
	2 ノンマスカブル割り込み
	3 割り込み
	4 命令アクセス例外
	5 未定義命令例外 特権命令例外
	6 無条件トラップ
	7 オペランドアクセス例外
	8 浮動小数点例外

14. 割り込みコントローラ (ICUb)

14.1 概要

割り込みコントローラは、周辺モジュール、外部端子からの割り込みを受け付け、CPU への割り込みおよび DTC への転送要求を行います。

表 14.1 に割り込みコントローラの仕様を、図 14.1 に割り込みコントローラのブロック図を示します。

表 14.1 割り込みコントローラの仕様

項目		内容
割り込み	周辺機能割り込み	<ul style="list-style-type: none"> 周辺モジュールからの割り込み 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定
	外部端子割り込み	<ul style="list-style-type: none"> IRQ0～IRQ7 端子からの割り込み 要因数：8 割り込み検出：Low/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 デジタルフィルタ機能：あり
	ソフトウェア割り込み	<ul style="list-style-type: none"> レジスタ書き込みによる割り込み 要因数：1
	割り込み優先順位	レジスタにより優先順位を設定
	高速割り込み機能	CPUの割り込み処理を高速化可能。1要因にのみ設定
	DTC制御	割り込み要因によりDTCの起動が可能(注1)
ノンマスクابل 割り込み	NMI端子割り込み	<ul style="list-style-type: none"> NMI端子からの割り込み 割り込み検出：立ち下がりエッジ/立ち上がりエッジ デジタルフィルタ機能：あり
	発振停止検出割り込み	発振停止検出時の割り込み
	IWDT アンダフロー/ リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	電圧監視1割り込み	電圧検出回路1 (LVD1)の電圧監視割り込み
	電圧監視2割り込み	電圧検出回路2 (LVD2)の電圧監視割り込み
低消費電力状態からの復帰	<ul style="list-style-type: none"> スリープモード、ディープスリープモード：ノンマスクابل割り込み、全割り込み要因で復帰 ソフトウェアスタンバイモード：ノンマスクابل割り込み、IRQ0～IRQ7割り込みで復帰 	

注1. DTCの起動要因については、「表 14.3 割り込みのベクタテーブル」を参照してください。

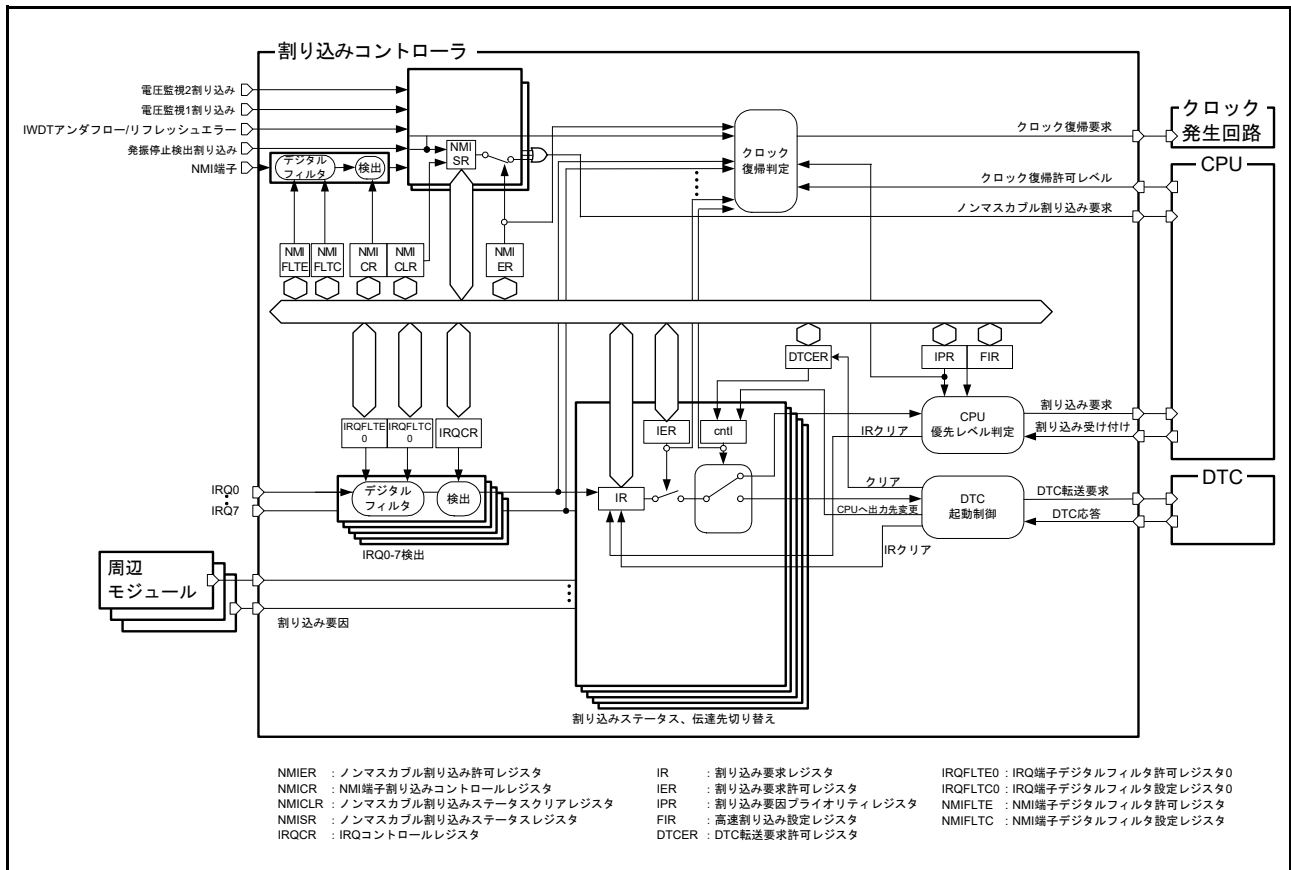


図 14.1 割り込みコントローラのブロック図

表 14.2 に割り込みコントローラで使用する入出力端子を示します。

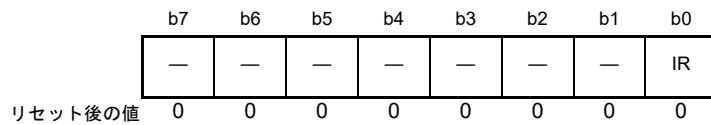
表 14.2 割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスクابل割り込み要求端子
IRQ0~IRQ7	入力	外部割り込み要求端子

14.2 レジスタの説明

14.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)

アドレス 0008 7010h~0008 70FFh



ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. エッジ検出要因の場合、“0”のみ書けます。“1”を書かないでください。
レベル検出要因の場合、書き込みできません。

IRn レジスタは割り込み要因ごとに存在し、n は割り込みベクタ番号に対応しています。

割り込み要因と割り込みベクタ番号の対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

IR フラグ (割り込みステータスフラグ)

割り込み要求のステータスフラグです。割り込み要求が発生すると“1”になります。割り込み要求を検出するためには、周辺モジュールの割り込みイネーブルビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法は、エッジ検出とレベル検出があります。周辺モジュールからの割り込みは、要因ごとにエッジ検出/レベル検出が決まっています。IRQi 端子 (i=0~7) からの割り込みは、IRQCRi.IRQMD[1:0] ビットの設定によって、エッジ検出とレベル検出が切り替わります。各要因の検出方法については、「表 14.3 割り込みのベクタテーブル」を参照してください。

(1) エッジ検出の場合

[“1”になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生すると“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

[“0”になる条件]

- 割り込み要求先が割り込み要求を受け付けると“0”になります。
- IR フラグに“0”を書くと“0”になります。ただし、割り込み要求先を DTC に設定している場合、IR フラグへの“0”書き込みは禁止です。

(2) レベル検出の場合

[“1”になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生している間は“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

[“0”になる条件]

- 割り込み要求の出力元をクリアすると“0”になります。(割り込み要求先が割り込み要求を受け付けても“0”になりません。)周辺モジュールごとの割り込み要求クリアについては、各周辺モジュールの章を参照してください。

IRQi 端子をレベル検出で使用する場合に、割り込みを取り下げるには IRQi 端子を High にしてください。レベル検出時は、IR フラグへの“0”、“1”ともに書き込みは禁止です。

14.2.2 割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)

アドレス 0008 7202h ~ 0008 721Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット0	0: 割り込み要求禁止 1: 割り込み要求許可	R/W
b1	IEN1	割り込み要求許可ビット1		R/W
b2	IEN2	割り込み要求許可ビット2		R/W
b3	IEN3	割り込み要求許可ビット3		R/W
b4	IEN4	割り込み要求許可ビット4		R/W
b5	IEN5	割り込み要求許可ビット5		R/W
b6	IEN6	割り込み要求許可ビット6		R/W
b7	IEN7	割り込み要求許可ビット7		R/W

注. 予約となっているベクタ番号に対応するビットへの書き込みは“0”としてください。読むと“0”が読み出されます。

IENj ビット (割り込み要求許可ビット) (j = 0 ~ 7)

IENj ビットが“1”のとき、割り込み要求先に割り込み要求を出力します。

IENj ビットが“0”のとき、割り込み要求先に割り込み要求を出力しません。

IRn.IR フラグ (n = 割り込みベクタ番号) は、IENj ビットの影響を受けません。IENj ビットが“0”であっても、「14.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)」に示す条件で IR フラグは変化します。

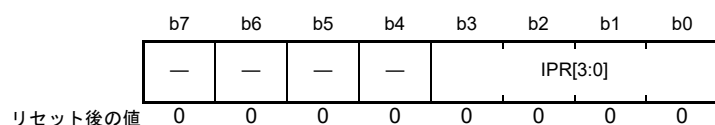
IERm.IENj ビットは、割り込み要因 (ベクタ番号) ごとに存在します。

割り込み要因と IERm.IENj ビットの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

割り込み要求先の選択における IERm.IENj ビットの設定手順は、「14.4.3 割り込み要求先の選択」を参照してください。

14.2.3 割り込み要因プライオリティレジスタ n (IPRn) (n = 割り込みベクタ番号)

アドレス 0008 7300h~0008 73FFh



ビット	シンボル	ビット名	機能	R/W
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	b3 b0 0 0 0 0 : レベル0 (割り込み禁止)(注1) 0 0 0 1 : レベル1 0 0 1 0 : レベル2 0 0 1 1 : レベル3 0 1 0 0 : レベル4 0 1 0 1 : レベル5 0 1 1 0 : レベル6 0 1 1 1 : レベル7 1 0 0 0 : レベル8 1 0 0 1 : レベル9 1 0 1 0 : レベル10 1 0 1 1 : レベル11 1 1 0 0 : レベル12 1 1 0 1 : レベル13 1 1 1 0 : レベル14 1 1 1 1 : レベル15 (最高)	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 高速割り込みに設定している場合は、レベル0であっても割り込みの発行が可能です。

割り込み要因と IPRn レジスタの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

IPR[3:0] ビット (割り込み優先レベル設定ビット)

対応する割り込み要因の優先レベルを選択するビットです。

IPR[3:0] ビットで選択した優先レベルは、CPU への割り込み要求の優先順位判定にのみ参照され、DTC への転送要求には影響を与えません。

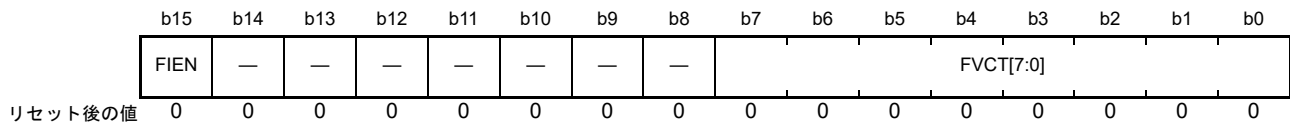
CPU は、PSW.IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみを受け付け、割り込み処理を行います。

複数の割り込み要求が同時に発生した場合、IPR[3:0] ビットの設定値で優先順位比較を行います。同一レベルの割り込み要求が同時に発生した場合には、ベクタ番号の小さい割り込み要因が優先となります。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0 (m = 02h ~ 1Fh, j = 0 ~ 7)) した状態で行ってください。

14.2.4 高速割り込み設定レジスタ (FIR)

アドレス 0008 72F0h



ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みにするベクタ番号を指定します	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0 : 高速割り込みを禁止 1 : 高速割り込みを許可	R/W

FIR レジスタの設定による高速化の機能は、CPU への割り込みにのみ有効です。DTC への転送要求には影響を与えません。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0 (m = 02h ~ 1Fh, j = 0 ~ 7)) した状態で行ってください。

FVCT[7:0] ビット (高速割り込みベクタ設定ビット)

高速割り込み機能を使用する割り込みのベクタ番号を指定するビットです。

FIEN ビット (高速割り込み許可ビット)

高速割り込みを許可するビットです。

FIEN ビットを“1”にすると、FVCT[7:0] ビットに設定したベクタ番号の割り込みが高速割り込みになります。

FIEN ビットが“1”のとき、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定したベクタ番号の割り込み要求が発生すると、IPRn レジスタ (n = 割り込みベクタ番号) の設定に関係なく、高速割り込みとして CPU に要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合には「14.6.2 ソフトウェアスタンバイモードからの復帰」を参照してください。

IERm.IENj ビットで割り込み要求が禁止されている割り込み要因は、CPU に割り込み要求が出力されません。

設定できるベクタ番号は、「表 14.3 割り込みのベクタテーブル」を参照してください。

FVCT[7:0] ビットには、予約のベクタ番号を指定しないでください。

高速割り込みの詳細は、「13. 例外処理」および「14.4.6 高速割り込み」を参照してください。

14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)

アドレス 0008 72E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読み出されます。“1”書き込みでソフトウェア割り込み要求を発行します。“0”書き込みは無効です	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

SWINT ビット (ソフトウェア割り込み起動ビット)

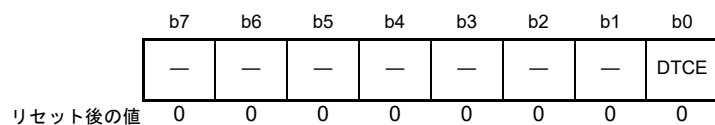
SWINT ビットに“1”を書くと、割り込み要求レジスタ 027 (IR027) が“1”になります。

DTC 転送要求許可レジスタ 027 (DTCER027) を“0”にして、SWINT ビットに“1”を書くと CPU への割り込みが発生します。

DTC 転送要求許可レジスタ 027 (DTCER027) を“1”にして、SWINT ビットに“1”を書くと DTC 転送要求を発行します。

14.2.6 DTC 転送要求許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)

アドレス 0008 711Bh~0008 71FFh



ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC転送要求許可ビット	0 : CPUへの割り込み要因に設定する 1 : DTCの起動要因に設定する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

割り込み要因との対応は「表 14.3 割り込みのベクタテーブル」を参照してください。

DTCE ビット (DTC 転送要求許可ビット)

DTCE ビットを“1”にすると、対応する割り込み要因が DTC 起動要因として選択されます。

[“1”になる条件]

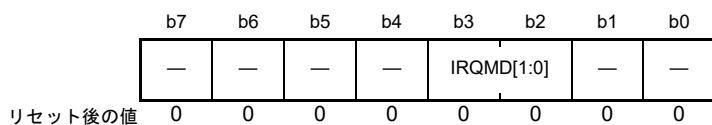
- DTCE ビットに“1”を書いたとき

[“0”になる条件]

- 指定した回数のデータ転送が終了したとき (チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき)
- DTCE ビットに“0”を書いたとき

14.2.7 IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)

アドレス 0008 7500h ~ 0008 7507h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ検出設定ビット	b3 b2 0 0 : Low 0 1 : 立ち下がリエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

該当する割り込み要求許可ビットが割り込み要求禁止 (IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) が“0”) の状態でこのレジスタの設定変更を行ってください。レジスタ変更後はIRフラグをクリアし、その後割り込み要求許可ビットを許可に設定してください。ただし、Lowに変更する場合は、IRフラグをクリアする必要はありません。

IRQMD[1:0] ビット (IRQ 検出設定ビット)

IRQ_i 端子の割り込み検出方法を設定します。

外部端子割り込みの検出設定手順は、「14.4.8 外部端子割り込み」を参照してください。

14.2.8 IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)

アドレス 0008 7510h

b7	b6	b5	b4	b3	b2	b1	b0
FLTEN 7	FLTEN 6	FLTEN 5	FLTEN 4	FLTEN 3	FLTEN 2	FLTEN 1	FLTEN 0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0 デジタルフィルタ許可ビット	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W
b1	FLTEN1	IRQ1 デジタルフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2 デジタルフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3 デジタルフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4 デジタルフィルタ許可ビット		R/W
b5	FLTEN5	IRQ5 デジタルフィルタ許可ビット		R/W
b6	FLTEN6	IRQ6 デジタルフィルタ許可ビット		R/W
b7	FLTEN7	IRQ7 デジタルフィルタ許可ビット		R/W

FLTEN_i ビット (IRQ_i デジタルフィルタ許可ビット) (i = 0 ~ 7)

IRQ_i 端子のデジタルフィルタの使用を許可するビットです。

FLTEN_i ビットが“1”のとき、デジタルフィルタが有効になります。FLTEN_i ビットが“0”のとき、デジタルフィルタ機能は無効です。

IRQFLTC0.FCLKSEL_i[1:0] ビットで設定したサンプリングクロックごとに IRQ_i 端子のレベルをサンプリングし、レベルが3回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.9 IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)

アドレス 0008 7514h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FCLKSEL7[1:0]	FCLKSEL6[1:0]	FCLKSEL5[1:0]	FCLKSEL4[1:0]	FCLKSEL3[1:0]	FCLKSEL2[1:0]	FCLKSEL1[1:0]	FCLKSEL0[1:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0 デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1 デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4 デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5 デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7 デジタルフィルタサンプリングクロック設定ビット		R/W

FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 0 ~ 7)

IRQ_i 端子のデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8 クロックに 1 回)、PCLK/32 (32 クロックに 1 回)、PCLK/64 (64 クロックに 1 回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.10 ノンマスクابل割り込みステータスレジスタ (NMISR)

アドレス 0008 7580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2S T	LVD1S T	IWDTS T	—	OSTST	NMIST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0: NMI端子割り込み要求なし 1: NMI端子割り込み要求あり	R
b1	OSTST	発振停止検出割り込みステータスフラグ	0: 発振停止検出割り込み要求なし 1: 発振停止検出割り込み要求あり	R
b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b3	IWDTS	IWDTアンダフロー/リフレッシュエラーステータスフラグ	0: IWDTアンダフロー/リフレッシュエラー割り込み要求なし 1: IWDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b4	LVD1ST	電圧監視1割り込みステータスフラグ	0: 電圧監視1割り込み要求なし 1: 電圧監視1割り込み要求あり	R
b5	LVD2ST	電圧監視2割り込みステータスフラグ	0: 電圧監視2割り込み要求なし 1: 電圧監視2割り込み要求あり	R
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスクابل割り込み要因のステータスをモニタするレジスタです。NMISR レジスタへの書き込みは無視されます。

ノンマスクابل割り込み許可レジスタ (NMIER) の設定はこれらステータスフラグには影響しません。

ノンマスクابل割り込みハンドラが終了する前に NMISR レジスタを読み出し、他のノンマスクابل割り込みの発生状況を確認してください。NMISR レジスタの全ビットが“0”であることを確認してから、ハンドラを終了してください。

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求を示します。

NMIST フラグは読み出しのみ可能で、クリアは NMICLR.NMICLR ビットによって行います。

["1"になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

["0"になる条件]

- NMICLR.NMICLR ビットに“1”を書いたとき

OSTST フラグ (発振停止検出割り込みステータスフラグ)

発振停止検出割り込み要求を示します。

OSTST フラグは読み出しのみ可能で、クリアは NMICLR.OSTCLR ビットによって行います。

["1"になる条件]

- 発振停止検出割り込みが発生したとき

["0"になる条件]

- NMICLR.OSTCLR ビットに“1”を書いたとき

IWDTS フラグ (IWDT アンダフロー/リフレッシュエラーステータスフラグ)

IWDT アンダフロー/リフレッシュエラー割り込み要求を示します。

IWDTST フラグは読み出しのみ可能で、クリアは NMICLR.IWDTCLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、IWDT アンダフロー/リフレッシュエラー割り込みが発生したとき

["0" になる条件]

- NMICLR.IWDTCLR ビットに "1" を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータスフラグ)

電圧監視 1 割り込み要求を示します。

LVD1ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD1CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 1 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD1CLR ビットに "1" を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータスフラグ)

電圧監視 2 割り込み要求を示します。

LVD2ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD2CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 2 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD2CLR ビットに "1" を書いたとき

14.2.11 ノンマスクブル割り込み許可レジスタ (NMIER)

アドレス 0008 7581h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	LVD2E N	LVD1E N	IWDTE N	—	OSTEN	NMIEN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI端子割り込み許可ビット	0 : NMI端子割り込み禁止 1 : NMI端子割り込み許可	R/(W) (注1)
b1	OSTEN	発振停止検出割り込み許可ビット	0 : 発振停止検出割り込み禁止 1 : 発振停止検出割り込み許可	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	IWDTEN	IWDTアンダフロー/リフレッシュエラー許可ビット	0 : IWDTアンダフロー/リフレッシュエラー割り込み禁止 1 : IWDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b4	LVD1EN	電圧監視1割り込み許可ビット	0 : 電圧監視1割り込み禁止 1 : 電圧監視1割り込み許可	R/(W) (注1)
b5	LVD2EN	電圧監視2割り込み許可ビット	0 : 電圧監視2割り込み禁止 1 : 電圧監視2割り込み許可	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 1回だけ“1”を書くことができます。以後の書き込みは無効です。

NMIEN ビット (NMI 端子割り込み許可ビット)

NMI 端子割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

OSTEN ビット (発振停止検出割り込み許可ビット)

発振停止検出割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

IWDTEN ビット (IWDT アンダフロー/リフレッシュエラー許可ビット)

IWDT アンダフロー/リフレッシュエラー割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD1EN ビット (電圧監視1割り込み許可ビット)

電圧監視1割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD2EN ビット (電圧監視2割り込み許可ビット)

電圧監視2割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

14.2.12 ノンマスクブル割り込みステータスクリアレジスタ (NMICLR)

アドレス 0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2C LR	LVD1C LR	IWDTCLR	—	OSTCLR	NMICLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.NMISTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b1	OSTCLR	OSTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.OSTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	IWDTCLR	IWDTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.IWDTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b4	LVD1CLR	LVD1クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD1STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b5	LVD2CLR	LVD2クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD2STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

NMICLR ビット (NMI クリアビット)

“1”を書くと、NMISR.NMIST フラグは“0”になります。読むと“0”が読めます。

OSTCLR ビット (OST クリアビット)

“1”を書くと、NMISR.OSTST フラグは“0”になります。読むと“0”が読めます。

IWDTCLR ビット (IWDT クリアビット)

“1”を書くと、NMISR.IWDTST フラグは“0”になります。読むと“0”が読めます。

LVD1CLR ビット (LVD1 クリアビット)

“1”を書くと、NMISR.LVD1ST フラグは“0”になります。読むと“0”が読めます。

LVD2CLR ビット (LVD2 クリアビット)

“1”を書くと、NMISR.LVD2ST フラグは“0”になります。読むと“0”が読めます。

14.2.13 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス 0008 7583h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI検出設定ビット	0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタによる設定変更は、NMI 端子割り込みの使用を許可 (NMIER.NMIEN ビットを“1”にする) する前に行ってください。

NMIMD ビット (NMI 検出設定ビット)

NMI 端子割り込みの検出方法を設定します。

14.2.14 NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)

アドレス 0008 7590h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	NFLTE N
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMI デジタルフィルタ許可ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFLTEN ビット (NMI デジタルフィルタ許可ビット)

NMI 端子割り込みのデジタルフィルタの使用を許可するビットです。

NFLTEN ビットが“1”のとき、デジタルフィルタが有効になります。NFLTEN ビットが“0”のとき、デジタルフィルタ機能は無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロックごとに NMI 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.15 NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)

アドレス 0008 7594h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	NFCLKSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMI デジタルフィルタ サンプリングクロック設定ビット	b1 b0 0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFCLKSEL[1:0] ビット (NMI デジタルフィルタ サンプリングクロック設定ビット)

NMI 端子割り込みのデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8 クロックに 1 回)、PCLK/32 (32 クロックに 1 回)、PCLK/64 (64 クロックに 1 回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.3 ベクタテーブル

割り込みコントローラで検出する例外事象には、割り込みとノンマスカブル割り込みがあります。

CPUが割り込み、またはノンマスカブル割り込みを受け付けた場合は、ベクタテーブルから4バイトのベクタアドレスを取得します。

14.3.1 割り込みのベクタテーブル

割り込みのベクタテーブルは、CPUの割り込みテーブルレジスタ(INTB)に設定した番地から、1024バイト(4バイト×256要因分)の領域に連続に配置されます。INTBレジスタは割り込みを許可する前に設定してください。INTBレジスタに4の倍数を設定してください。

なお、INT命令、およびBRK命令を実行すると無条件トラップが発生します。無条件トラップのベクタは、表14.3の割り込みのベクタテーブルと同じ領域を利用します。BRK命令はベクタ番号0のみ、INT命令は指定した番号(0～255)のベクタとなります。

表14.3に割り込みのベクタテーブルを示します。表14.3の各項目の内容は以下のとおりです。

項目	内容
割り込み要求発生元	割り込み要求発生元の名称を示します
名称	割り込み名称を示します
ベクタ番号	ベクタ番号を示します
ベクタアドレスオフセット	ベクタベースアドレスオフセット値を示します
割り込みの検出方法	割り込みの検出方法を“エッジ”、“レベル”で示します
CPU割り込み	CPU割り込み要因を“○”で示します
DTC起動	DTC起動要因を“○”で示します
ssstb復帰	ソフトウェアスタンバイモードからの復帰要因を“○”で示します
IER	ベクタ番号に対応するIERレジスタ、ビット名を示します
IPR	割り込み要因に対応するIPRレジスタを示します
DTCER	DTC起動要因に対応するDTCERレジスタを示します

表 14.3 割り込みのベクタテーブル (1/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	ssib復帰	IER	IPR	DTCER
—	無条件トラップ専用	0	0000h	—	×	×	×	—	—	—
—	無条件トラップ専用	1	0004h	—	×	×	×	—	—	—
—	無条件トラップ専用	2	0008h	—	×	×	×	—	—	—
—	無条件トラップ専用	3	000Ch	—	×	×	×	—	—	—
—	無条件トラップ専用	4	0010h	—	×	×	×	—	—	—
—	無条件トラップ専用	5	0014h	—	×	×	×	—	—	—
—	無条件トラップ専用	6	0018h	—	×	×	×	—	—	—
—	無条件トラップ専用	7	001Ch	—	×	×	×	—	—	—
—	無条件トラップ専用	8	0020h	—	×	×	×	—	—	—
—	無条件トラップ専用	9	0024h	—	×	×	×	—	—	—
—	無条件トラップ専用	10	0028h	—	×	×	×	—	—	—
—	無条件トラップ専用	11	002Ch	—	×	×	×	—	—	—
—	無条件トラップ専用	12	0030h	—	×	×	×	—	—	—
—	無条件トラップ専用	13	0034h	—	×	×	×	—	—	—
—	無条件トラップ専用	14	0038h	—	×	×	×	—	—	—
—	無条件トラップ専用	15	003Ch	—	×	×	×	—	—	—
BSC	BUSERR	16	0040h	レベル	○	×	×	IER02.IEN0	IPR000	—
—	予約	17	0044h	—	×	×	×	—	—	—
—	予約	18	0048h	—	×	×	×	—	—	—
—	予約	19	004Ch	—	×	×	×	—	—	—
—	予約	20	0050h	—	×	×	×	—	—	—
—	予約	21	0054h	—	×	×	×	—	—	—
—	予約	22	0058h	—	×	×	×	—	—	—
FCU	FRDYI	23	005Ch	エッジ	○	×	×	IER02.IEN7	IPR002	—
—	予約	24	0060h	—	×	×	×	—	—	—
—	予約	25	0064h	—	×	×	×	—	—	—
—	予約	26	0068h	—	×	×	×	—	—	—
ICU	SWINT	27	006Ch	エッジ	○	○	×	IER03.IEN3	IPR003	DTCER027
CMT0	CMI0	28	0070h	エッジ	○	○	×	IER03.IEN4	IPR004	DTCER028
CMT1	CMI1	29	0074h	エッジ	○	○	×	IER03.IEN5	IPR005	DTCER029
CMT2	CMI2	30	0078h	エッジ	○	○	×	IER03.IEN6	IPR006	DTCER030
CMT3	CMI3	31	007Ch	エッジ	○	○	×	IER03.IEN7	IPR007	DTCER031
CAC	FERRF	32	0080h	レベル	○	×	×	IER04.IEN0	IPR032	—
	MENDF	33	0084h	レベル	○	×	×	IER04.IEN1	IPR033	—
	OVFF	34	0088h	レベル	○	×	×	IER04.IEN2	IPR034	—
—	予約	35	008Ch	—	×	×	×	—	—	—
—	予約	36	0090h	—	×	×	×	—	—	—
—	予約	37	0094h	—	×	×	×	—	—	—
—	予約	38	0098h	—	×	×	×	—	—	—
—	予約	39	009Ch	—	×	×	×	—	—	—
GPT	ETGIN	40	00A0h	エッジ	○	×	×	IER05.IEN0	IPR040	—
	ETGIP	41	00A4h	エッジ	○	×	×	IER05.IEN1	IPR041	—
—	予約	42	00A8h	—	×	×	×	—	—	—
—	予約	43	00ACh	—	×	×	×	—	—	—
RSPI0	SPEI0	44	00B0h	レベル	○	×	×	IER05.IEN4	IPR044	—
	SPRI0	45	00B4h	エッジ	○	○	×	IER05.IEN5		DTCER045
	SPTI0	46	00B8h	エッジ	○	○	×	IER05.IEN6		DTCER046
	SPII0	47	00BCh	レベル	○	×	×	IER05.IEN7		—

表 14.3 割り込みのベクタテーブル (2/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	ssib復帰	IER	IPR	DTCEr
GPT0	GTCIA0	48	00C0h	エッジ	○	○	×	IER06.IEN0	IPR048	DTCEr048
	GTCIB0	49	00C4h	エッジ	○	○	×	IER06.IEN1	IPR049	DTCEr049
	GTCIC0	50	00C8h	エッジ	○	○	×	IER06.IEN2	IPR050	DTCEr050
	GTCID0	51	00CCh	エッジ	○	○	×	IER06.IEN3	IPR051	DTCEr051
	GDTE0	52	00D0h	エッジ	○	×	×	IER06.IEN4	IPR052	—
	GTCIE0	53	00D4h	エッジ	○	○	×	IER06.IEN5	IPR053	DTCEr053
	GTCIF0	54	00D8h	エッジ	○	○	×	IER06.IEN6	IPR054	DTCEr054
	GTCIV0	55	00DCh	エッジ	○	○	×	IER06.IEN7	IPR055	DTCEr055
	GTCIU0	56	00E0h	エッジ	○	○	×	IER07.IEN0	IPR056	DTCEr056
DOC	DOPCF	57	00E4h	レベル	○	×	×	IER07.IEN1	IPR057	—
—	予約	58	00E8h	—	×	×	×	—	—	—
RSCAN	COMFRXINT	59	00ECh	エッジ	○	○	×	IER07.IEN3	IPR059	DTCEr059
	RXFINT	60	00F0h	レベル	○	×	×	IER07.IEN4	IPR060	—
	TXINT	61	00F4h	レベル	○	×	×	IER07.IEN5	IPR061	—
	CHERRINT	62	00F8h	レベル	○	×	×	IER07.IEN6	IPR062	—
	GLERRINT	63	00FCh	レベル	○	×	×	IER07.IEN7	IPR063	—
ICU	IRQ0	64	0100h	エッジ/レベル	○	○	○	IER08.IEN0	IPR064	DTCEr064
	IRQ1	65	0104h	エッジ/レベル	○	○	○	IER08.IEN1	IPR065	DTCEr065
	IRQ2	66	0108h	エッジ/レベル	○	○	○	IER08.IEN2	IPR066	DTCEr066
	IRQ3	67	010Ch	エッジ/レベル	○	○	○	IER08.IEN3	IPR067	DTCEr067
	IRQ4	68	0110h	エッジ/レベル	○	○	○	IER08.IEN4	IPR068	DTCEr068
	IRQ5	69	0114h	エッジ/レベル	○	○	○	IER08.IEN5	IPR069	DTCEr069
	IRQ6	70	0118h	エッジ/レベル	○	○	○	IER08.IEN6	IPR070	DTCEr070
	IRQ7	71	011Ch	エッジ/レベル	○	○	○	IER08.IEN7	IPR071	DTCEr071
—	予約	72	0120h	—	×	×	×	—	—	—
—	予約	73	0124h	—	×	×	×	—	—	—
—	予約	74	0128h	—	×	×	×	—	—	—
—	予約	75	012Ch	—	×	×	×	—	—	—
—	予約	76	0130h	—	×	×	×	—	—	—
—	予約	77	0134h	—	×	×	×	—	—	—
—	予約	78	0138h	—	×	×	×	—	—	—
—	予約	79	013Ch	—	×	×	×	—	—	—
—	予約	80	0140h	—	×	×	×	—	—	—
—	予約	81	0144h	—	×	×	×	—	—	—
—	予約	82	0148h	—	×	×	×	—	—	—
—	予約	83	014Ch	—	×	×	×	—	—	—
—	予約	84	0150h	—	×	×	×	—	—	—
—	予約	85	0154h	—	×	×	×	—	—	—
—	予約	86	0158h	—	×	×	×	—	—	—
—	予約	87	015Ch	—	×	×	×	—	—	—
LVD	LVD1	88	0160h	エッジ	○	×	○	IER0B.IEN0	IPR088	—
	LVD2	89	0164h	エッジ	○	×	○	IER0B.IEN1	IPR089	—
—	予約	90	0168h	—	×	×	×	—	—	—
—	予約	91	016Ch	—	×	×	×	—	—	—
—	予約	92	0170h	—	×	×	×	—	—	—
—	予約	93	0174h	—	×	×	×	—	—	—
—	予約	94	0178h	—	×	×	×	—	—	—
—	予約	95	017Ch	—	×	×	×	—	—	—
—	予約	96	0180h	—	×	×	×	—	—	—
—	予約	97	0184h	—	×	×	×	—	—	—

表 14.3 割り込みのベクタテーブル (3/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	ssib 復帰	IER	IPR	DTCER
GPT1	GTCIA1	98	0188h	エッジ	○	○	×	IER0C.IEN2	IPR098	DTCER098
	GTCIB1	99	018Ch	エッジ	○	○	×	IER0C.IEN3	IPR099	DTCER099
	GTCIC1	100	0190h	エッジ	○	○	×	IER0C.IEN4	IPR100	DTCER100
	GTCID1	101	0194h	エッジ	○	○	×	IER0C.IEN5	IPR101	DTCER101
S12AD	S12ADI	102	0198h	エッジ	○	○	×	IER0C.IEN6	IPR102	DTCER102
	GBADI	103	019Ch	エッジ	○	○	×	IER0C.IEN7	IPR103	DTCER103
	GCADI	104	01A0h	エッジ	○	○	×	IER0D.IEN0	IPR104	DTCER104
S12AD1	S12ADI1	105	01A4h	エッジ	○	○	×	IER0D.IEN1	IPR105	DTCER105
	GBADI1	106	01A8h	エッジ	○	○	×	IER0D.IEN2	IPR106	DTCER106
	GCADI1	107	01ACh	エッジ	○	○	×	IER0D.IEN3	IPR107	DTCER107
CMPC0	CMPC0	108	01B0h	エッジ	○	○	×	IER0D.IEN4	IPR108	DTCER108
CMPC1	CMPC1	109	01B4h	エッジ	○	○	×	IER0D.IEN5	IPR109	DTCER109
CMPC2	CMPC2	110	01B8h	エッジ	○	○	×	IER0D.IEN6	IPR110	DTCER110
S12AD2	S12ADI2	111	01BCh	エッジ	○	○	×	IER0D.IEN7	IPR111	DTCER111
	GBADI2	112	01C0h	エッジ	○	○	×	IER0E.IEN0	IPR112	DTCER112
	GCADI2	113	01C4h	エッジ	○	○	×	IER0E.IEN1	IPR113	DTCER113
MTU0	TGIA0	114	01C8h	エッジ	○	○	×	IER0E.IEN2	IPR114	DTCER114
	TGIB0	115	01CCh	エッジ	○	○	×	IER0E.IEN3		DTCER115
	TGIC0	116	01D0h	エッジ	○	○	×	IER0E.IEN4		DTCER116
	TGID0	117	01D4h	エッジ	○	○	×	IER0E.IEN5		DTCER117
	TCIV0	118	01D8h	エッジ	○	×	×	IER0E.IEN6	IPR118	—
	TGIE0	119	01DCh	エッジ	○	×	×	IER0E.IEN7		—
	TGIF0	120	01E0h	エッジ	○	×	×	IER0F.IEN0		—
MTU1	TGIA1	121	01E4h	エッジ	○	○	×	IER0F.IEN1	IPR121	DTCER121
	TGIB1	122	01E8h	エッジ	○	○	×	IER0F.IEN2		DTCER122
	TCIV1	123	01ECh	エッジ	○	×	×	IER0F.IEN3	IPR123	—
	TCIU1	124	01F0h	エッジ	○	×	×	IER0F.IEN4		—
MTU2	TGIA2	125	01F4h	エッジ	○	○	×	IER0F.IEN5	IPR125	DTCER125
	TGIB2	126	01F8h	エッジ	○	○	×	IER0F.IEN6		DTCER126
	TCIV2	127	01FCh	エッジ	○	×	×	IER0F.IEN7	IPR127	—
	TCIU2	128	0200h	エッジ	○	×	×	IER10.IEN0		—
MTU3	TGIA3	129	0204h	エッジ	○	○	×	IER10.IEN1	IPR129	DTCER129
	TGIB3	130	0208h	エッジ	○	○	×	IER10.IEN2		DTCER130
	TGIC3	131	020Ch	エッジ	○	○	×	IER10.IEN3		DTCER131
	TGID3	132	0210h	エッジ	○	○	×	IER10.IEN4		DTCER132
	TCIV3	133	0214h	エッジ	○	×	×	IER10.IEN5	IPR133	—
MTU4	TGIA4	134	0218h	エッジ	○	○	×	IER10.IEN6	IPR134	DTCER134
	TGIB4	135	021Ch	エッジ	○	○	×	IER10.IEN7		DTCER135
	TGIC4	136	0220h	エッジ	○	○	×	IER11.IEN0		DTCER136
	TGID4	137	0224h	エッジ	○	○	×	IER11.IEN1		DTCER137
	TCIV4	138	0228h	エッジ	○	○	×	IER11.IEN2	IPR138	DTCER138
MTU5	TGIU5	139	022Ch	エッジ	○	○	×	IER11.IEN3	IPR139	DTCER139
	TGIV5	140	0230h	エッジ	○	○	×	IER11.IEN4		DTCER140
	TGIW5	141	0234h	エッジ	○	○	×	IER11.IEN5		DTCER141
MTU6	TGIA6	142	0238h	エッジ	○	○	×	IER11.IEN6	IPR142	DTCER142
	TGIB6	143	023Ch	エッジ	○	○	×	IER11.IEN7		DTCER143
	TGIC6	144	0240h	エッジ	○	○	×	IER12.IEN0		DTCER144
	TGID6	145	0244h	エッジ	○	○	×	IER12.IEN1		DTCER145
	TCIV6	146	0248h	エッジ	○	×	×	IER12.IEN2	IPR146	—
—	予約	147	024Ch	—	×	×	×	—	—	—

表 14.3 割り込みのベクタテーブル (4/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	ssib復帰	IER	IPR	DTCER
—	予約	148	0250h	—	×	×	×	—	—	—
MTU7	TGIA7	149	0254h	エッジ	○	○	×	IER12.IEN5	IPR149	DTCER149
	TGIB7	150	0258h	エッジ	○	○	×	IER12.IEN6		DTCER150
	TGIC7	151	025Ch	エッジ	○	○	×	IER12.IEN7	IPR151	DTCER151
	TGID7	152	0260h	エッジ	○	○	×	IER13.IEN0		DTCER152
	TCIV7	153	0264h	エッジ	○	○	×	IER13.IEN1	IPR153	DTCER153
—	予約	154	0268h	—	×	×	×	—	—	—
—	予約	155	026Ch	—	×	×	×	—	—	—
—	予約	156	0270h	—	×	×	×	—	—	—
—	予約	157	0274h	—	×	×	×	—	—	—
—	予約	158	0278h	—	×	×	×	—	—	—
MTU9	TGIA9	159	027Ch	エッジ	○	○	×	IER13.IEN7	IPR159	DTCER159
	TGIB9	160	0280h	エッジ	○	○	×	IER14.IEN0		DTCER160
	TGIC9	161	0284h	エッジ	○	○	×	IER14.IEN1		DTCER161
	TGID9	162	0288h	エッジ	○	○	×	IER14.IEN2		DTCER162
	TCIV9	163	028Ch	エッジ	○	×	×	IER14.IEN3	IPR163	—
	TGIE9	164	0290h	エッジ	○	×	×	IER14.IEN4		—
	TGIF9	165	0294h	エッジ	○	×	×	IER14.IEN5		—
—	予約	166	0298h	—	×	×	×	—	—	—
—	予約	167	029Ch	—	×	×	×	—	—	—
POE	OEI1	168	02A0h	レベル	○	×	×	IER15.IEN0	IPR168	—
	OEI2	169	02A4h	レベル	○	×	×	IER15.IEN1		—
	OEI3	170	02A8h	レベル	○	×	×	IER15.IEN2		—
	OEI4	171	02ACh	レベル	○	×	×	IER15.IEN3		—
	OEI5	172	02B0h	レベル	○	×	×	IER15.IEN4		—
CMPC3	CMPC3	173	02B4h	エッジ	○	○	×	IER15.IEN5	IPR173	DTCER173
TMR0	CMIA0	174	02B8h	エッジ	○	○	×	IER15.IEN6	IPR174	DTCER174
	CMIB0	175	02BCh	エッジ	○	○	×	IER15.IEN7		DTCER175
	OVI0	176	02C0h	エッジ	○	×	×	IER16.IEN0		—
TMR1	CMIA1	177	02C4h	エッジ	○	○	×	IER16.IEN1	IPR177	DTCER177
	CMIB1	178	02C8h	エッジ	○	○	×	IER16.IEN2		DTCER178
	OVI1	179	02CCh	エッジ	○	×	×	IER16.IEN3		—
TMR2	CMIA2	180	02D0h	エッジ	○	○	×	IER16.IEN4	IPR180	DTCER180
	CMIB2	181	02D4h	エッジ	○	○	×	IER16.IEN5		DTCER181
	OVI2	182	02D8h	エッジ	○	×	×	IER16.IEN6		—
TMR3	CMIA3	183	02DCh	エッジ	○	○	×	IER16.IEN7	IPR183	DTCER183
	CMIB3	184	02E0h	エッジ	○	○	×	IER17.IEN0		DTCER184
	OVI3	185	02E4h	エッジ	○	×	×	IER17.IEN1		—
TMR4	CMIA4	186	02E8h	エッジ	○	○	×	IER17.IEN2	IPR186	DTCER186
	CMIB4	187	02ECh	エッジ	○	○	×	IER17.IEN3		DTCER187
	OVI4	188	02F0h	エッジ	○	×	×	IER17.IEN4		—
TMR5	CMIA5	189	02F4h	エッジ	○	○	×	IER17.IEN5	IPR189	DTCER189
	CMIB5	190	02F8h	エッジ	○	○	×	IER17.IEN6		DTCER190
	OVI5	191	02FCh	エッジ	○	×	×	IER17.IEN7		—
TMR6	CMIA6	192	0300h	エッジ	○	○	×	IER18.IEN0	IPR192	DTCER192
	CMIB6	193	0304h	エッジ	○	○	×	IER18.IEN1		DTCER193
	OVI6	194	0308h	エッジ	○	×	×	IER18.IEN2		—
TMR7	CMIA7	195	030Ch	エッジ	○	○	×	IER18.IEN3	IPR195	DTCER195
	CMIB7	196	0310h	エッジ	○	○	×	IER18.IEN4		DTCER196
	OVI7	197	0314h	エッジ	○	×	×	IER18.IEN5		—

表 14.3 割り込みのベクタテーブル (5/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	ssib復帰	IER	IPR	DTCER
—	予約	198	0318h	—	x	x	x	—	—	—
—	予約	199	031Ch	—	x	x	x	—	—	—
—	予約	200	0320h	—	x	x	x	—	—	—
—	予約	201	0324h	—	x	x	x	—	—	—
GPT1	GDTE1	202	0328h	エッジ	○	x	x	IER19.IEN2	IPR202	—
	GTCIE1	203	032Ch	エッジ	○	○	x	IER19.IEN3	IPR203	DTCER203
	GTCIF1	204	0330h	エッジ	○	○	x	IER19.IEN4	IPR204	DTCER204
	GTCIV1	205	0334h	エッジ	○	○	x	IER19.IEN5	IPR205	DTCER205
	GTCIU1	206	0338h	エッジ	○	○	x	IER19.IEN6	IPR206	DTCER206
GPT2	GTCIA2	207	033Ch	エッジ	○	○	x	IER19.IEN7	IPR207	DTCER207
	GTCIB2	208	0340h	エッジ	○	○	x	IER1A.IEN0	IPR208	DTCER208
	GTCIC2	209	0344h	エッジ	○	○	x	IER1A.IEN1	IPR209	DTCER209
	GTCID2	210	0348h	エッジ	○	○	x	IER1A.IEN2	IPR210	DTCER210
	GDTE2	211	034Ch	エッジ	○	x	x	IER1A.IEN3	IPR211	—
	GTCIE2	212	0350h	エッジ	○	○	x	IER1A.IEN4	IPR212	DTCER212
	GTCIF2	213	0354h	エッジ	○	○	x	IER1A.IEN5	IPR213	DTCER213
	GTCIV2	214	0358h	エッジ	○	○	x	IER1A.IEN6	IPR214	DTCER214
	GTCIU2	215	035Ch	エッジ	○	○	x	IER1A.IEN7	IPR215	DTCER215
GPT3	GTCIA3	216	0360h	エッジ	○	○	x	IER1B.IEN0	IPR216	DTCER216
	GTCIB3	217	0364h	エッジ	○	○	x	IER1B.IEN1	IPR217	DTCER217
SCI1	ERI1	218	0368h	レベル	○	x	x	IER1B.IEN2	IPR218	—
	RX11	219	036Ch	エッジ	○	○	x	IER1B.IEN3		DTCER219
	TX11	220	0370h	エッジ	○	○	x	IER1B.IEN4		DTCER220
	TEI1	221	0374h	レベル	○	x	x	IER1B.IEN5		—
SCI5	ERI5	222	0378h	レベル	○	x	x	IER1B.IEN6	IPR222	—
	RX15	223	037Ch	エッジ	○	○	x	IER1B.IEN7		DTCER223
	TX15	224	0380h	エッジ	○	○	x	IER1C.IEN0		DTCER224
	TEI5	225	0384h	レベル	○	x	x	IER1C.IEN1		—
SCI6	ERI6	226	0388h	レベル	○	x	x	IER1C.IEN2	IPR226	—
	RX16	227	038Ch	エッジ	○	○	x	IER1C.IEN3		DTCER227
	TX16	228	0390h	エッジ	○	○	x	IER1C.IEN4		DTCER228
	TEI6	229	0394h	レベル	○	x	x	IER1C.IEN5		—
—	予約	230	0398h	—	x	x	x	—	—	—
—	予約	231	039Ch	—	x	x	x	—	—	—
—	予約	232	03A0h	—	x	x	x	—	—	—
—	予約	233	03A4h	—	x	x	x	—	—	—
—	予約	234	03A8h	—	x	x	x	—	—	—
—	予約	235	03ACh	—	x	x	x	—	—	—
—	予約	236	03B0h	—	x	x	x	—	—	—
—	予約	237	03B4h	—	x	x	x	—	—	—
GPT3	GTCIC3	238	03B8h	エッジ	○	○	x	IER1D.IEN6	IPR238	DTCER238
	GTCID3	239	03BCh	エッジ	○	○	x	IER1D.IEN7	IPR239	DTCER239
	GDTE3	240	03C0h	エッジ	○	x	x	IER1E.IEN0	IPR240	—
	GTCIE3	241	03C4h	エッジ	○	○	x	IER1E.IEN1	IPR241	DTCER241
	GTCIF3	242	03C8h	エッジ	○	○	x	IER1E.IEN2	IPR242	DTCER242
	GTCIV3	243	03CCh	エッジ	○	○	x	IER1E.IEN3	IPR243	DTCER243
	GTCIU3	244	03D0h	エッジ	○	○	x	IER1E.IEN4	IPR244	DTCER244
—	予約	245	03D4h	—	x	x	x	—	—	—

表 14.3 割り込みのベクタテーブル (6/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	ssib復帰	IER	IPR	DTCER
RIIC0	E EI0	246	03D8h	レベル	○	×	×	IER1E.IEN6	IPR246	—
	R XI0	247	03DCh	エッジ	○	○	×	IER1E.IEN7	IPR247	DTCER247
	T XI0	248	03E0h	エッジ	○	○	×	IER1F.IEN0	IPR248	DTCER248
	T EI0	249	03E4h	レベル	○	×	×	IER1F.IEN1	IPR249	—
—	予約	250	03E8h	—	×	×	×	—	—	—
—	予約	251	03ECh	—	×	×	×	—	—	—
—	予約	252	03F0h	—	×	×	×	—	—	—
—	予約	253	03F4h	—	×	×	×	—	—	—
—	予約	254	03F8h	—	×	×	×	—	—	—
—	予約	255	03FCh	—	×	×	×	—	—	—

注1. ベクタ番号が小さいほど、優先順位は高くなります。

14.3.2 高速割り込みのベクタテーブル

高速割り込みに設定された割り込みのベクタテーブルは、CPUの高速割り込みベクタレジスタ(FINTV)です。

14.3.3 ノンマスカブル割り込みのベクタ領域

ノンマスカブル割り込みが使用するベクタ領域は、例外ベクタテーブルにあります。

例外ベクタテーブルは、CPUの例外テーブルレジスタ(EXTB)に設定したアドレスを先頭とする128バイト(4バイト×32要因)の領域に配置されます。EXTBレジスタはノンマスカブル割り込みを許可する前に設定してください。また、EXTBレジスタには4の倍数を設定してください。

14.4 割り込みの動作説明

割り込みコントローラは次の処理を行います。

- 割り込み検出
- 割り込み許可 / 禁止制御
- 割り込み要求先 (CPU 割り込み、DTC 起動) の選択
- 割り込み優先順位判定

14.4.1 割り込み検出

割り込み要求の検出方法は、レベル検出とエッジ検出の2種類があります。

IRQ_i 端子 (i = 0 ~ 7) からの外部割り込み要求は、IRQCRI.IRQMD[1:0] ビットの設定によってエッジ検出とレベル検出を切り替えることができます。

周辺モジュールからの割り込み要求は、要因ごとにエッジ検出 / レベル検出が決まっています。

各要因に対応する検出方法は、「表 14.3 割り込みのベクタテーブル」を参照してください。

14.4.1.1 エッジ検出の割り込みステータスフラグ

周辺機能割り込みと、外部端子割り込みのエッジ検出の IR_n.IR フラグ (n = 割り込みベクタ番号) の動作を図 14.2 に示します。

割り込み要求が発生したときの割り込み信号の変化点で IR_n.IR フラグが“1”になります。割り込み要求先が CPU の場合、割り込みを受け付けると IR_n.IR フラグは自動的に“0”になります。割り込み要求先が DTC の場合は、DTC の転送設定、転送回数によって異なります。詳細は「表 14.4 DTC 起動時の動作」を参照してください。ソフトウェアで IR_n.IR フラグをクリアする必要はありません。

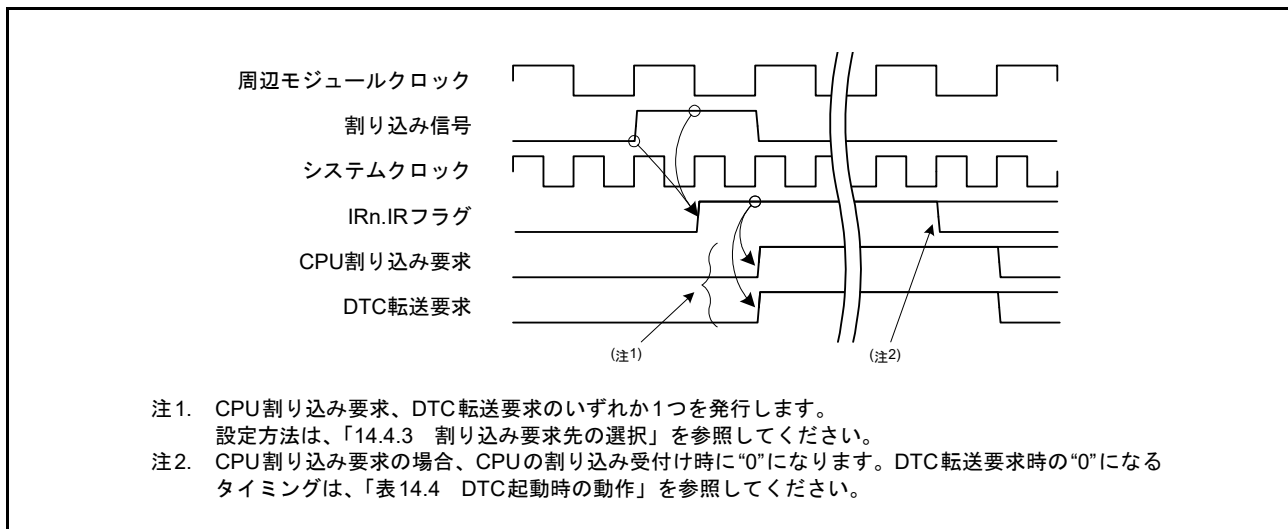


図 14.2 エッジ検出の IR_n.IR フラグ (n = 割り込みベクタ番号) の動作

図 14.3～図 14.5 の割り込み信号は、割り込みコントローラの信号です。割り込みベクタ番号 64～95 の割り込みでは、タイミングが他の割り込みと異なります。割り込みベクタ番号 64～79 の IRQ 端子割り込みの場合、IRQ 端子入力から内部遅延 + 2PCLK 分の遅延が増加します。割り込みベクタ番号 80～95 の割り込みの場合、2PCLK 分の遅延が増加します。

毎サイクル割り込み信号が発生した場合、後続する割り込みの検出はできません。連続する割り込み要求はシステムクロックで 2 サイクル以上間隔をあけてください。

割り込み要求が発生し IRn.IR フラグが“1”の状態では、再度発生した割り込み要求は無視されます。(注 1) IRn.IR フラグの再セットのタイミングを図 14.3 に示します。

注 1. ただし、SCI、RSPI、RIIC、RSCAN の各送信割り込み / 受信割り込みの場合、IRn.IR フラグが“1”の状態が発生した割り込み要求は保持され、IRn.IR フラグが“0”になった後、保持された要求によって再度 IRn.IR フラグが“1”になります。詳細は、「26. シリアルコミュニケーションインタフェース (SCIg)」、「27. I²C バスインタフェース (RIICa)」、「29. シリアルペリフェラルインタフェース (RSPIb)」の各割り込みの説明を参照してください。

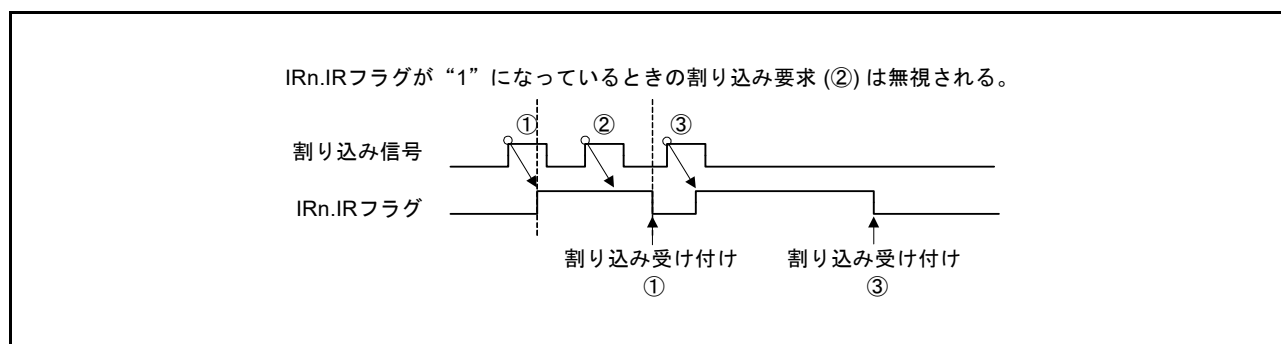


図 14.3 IRn.IR フラグの再セットのタイミング

IRn.IR フラグが“1”になった後、割り込みを禁止 (周辺モジュールの割り込み許可ビットで割り込み要求の出力を禁止) としても、IRn.IR フラグは影響を受けず保持されます。割り込みを禁止した場合の動作を図 14.4 に示します。

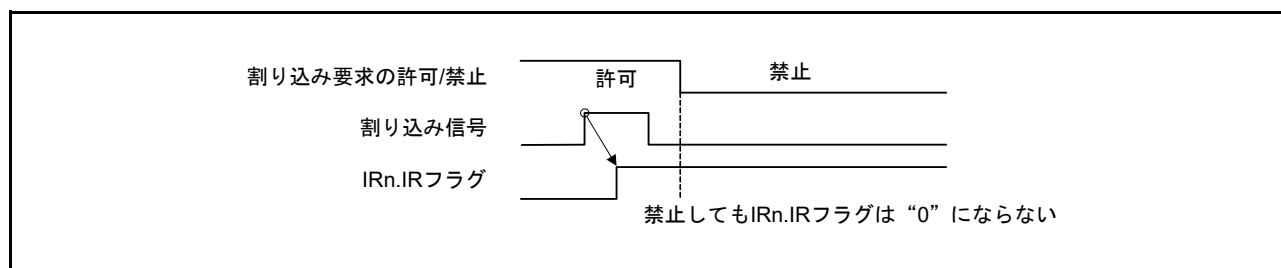


図 14.4 割り込み要求の禁止と IRn.IR フラグの関係

14.4.1.2 レベル検出の割り込みステータスフラグ

周辺機能割り込みと外部端子割り込みのレベル検出時の $IRn.IR$ フラグ (n = 割り込みベクタ番号) の動作を図 14.5 に示します。

割り込み信号がアサートされている間、 $IRn.IR$ フラグを“1”にし続けます。 $IRn.IR$ フラグを“0”にするためには、割り込み発生元の割り込み要求を“0”にしてください。割り込み要求発生元の割り込み要求フラグが“0”になったことを確認、および $IRn.IR$ フラグが“0”になったことを確認してから、割り込みハンドラを終了してください。

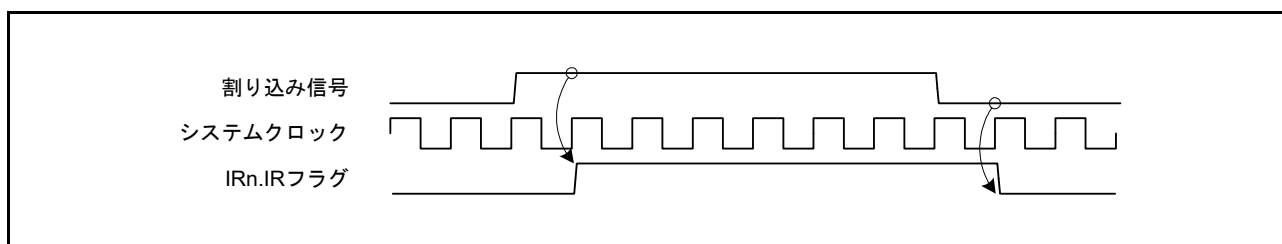


図 14.5 レベル検出時の $IRn.IR$ フラグ (n = 割り込みベクタ番号) の動作

レベル検出割り込みの処理手順を図 14.6 に示します

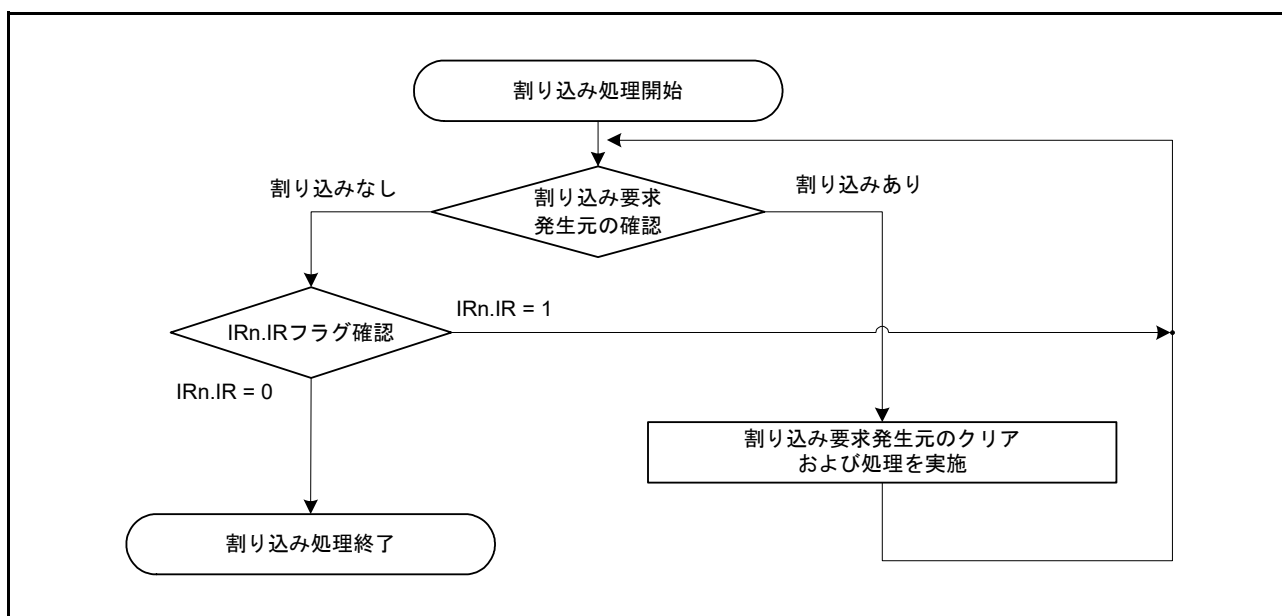


図 14.6 レベル検出割り込み処理手順

14.4.2 割り込み要求の許可 / 禁止

割り込み要求を許可するためには、以下の設定が必要です。

1. 周辺機能割り込みの場合、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可
2. IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) によって割り込み要求を許可

割り込み発生元で割り込み出力が許可された割り込み要求が発生すると、対応する IRn.IR フラグ (n = 割り込みベクタ番号) が“1”になります。

IERm.IENj ビットで割り込み要求を許可することで、IRn.IR フラグが“1”である割り込み要求が割り込み要求先へ出力されます。また、IERm.IENj ビットで割り込み要求を禁止することで、IRn.IR フラグが“1”になった割り込み要求は保留されます。

IRn.IR フラグは、IERm.IENj ビットの影響を受けません。

割り込み要求を禁止にする手順は以下のとおりです。

1. IERm.IENj ビットを割り込み要求禁止に設定する。
2. 周辺モジュールの割り込み出力許可ビットを禁止に設定し、書き込みを行ったレジスタを読んで、書き込み完了を確認する。
3. 必要に応じて、IRn.IR フラグを確認、もしくは IRn.IR フラグを“0”にする。(注1)

注 1. SCI、RSPI、RIIC の各送信割り込み / 受信割り込みを許可状態から禁止状態に変更する場合、上記の手順で IRn.IR フラグを“0”にしてください。詳細は、「26. シリアルコミュニケーションインタフェース (SClg)」、「27. I²C バスインタフェース (RIICa)」、「29. シリアルペリフェラルインタフェース (RSPIb)」の各割り込みの説明を参照してください。

14.4.3 割り込み要求先の選択

割り込み要因ごとに設定できる割り込み要求先は決められており、「表 14.3 割り込みのベクタテーブル」に示された要求先が設定できます。表 14.3 に「○」の記載がない割り込み要求先を選択しないでください。

IRQ_i 端子 (i = 0 ~ 7) で DTC を割り込み要求先に設定する場合は、IRQCR_i.IRQMD[1:0] ビットをエッジ検出に設定してください。

割り込み要求先の設定方法を以下に示します。

(1) DTC 起動

各要因ごとに、IER_m.IEN_j ビット (m = 02h ~ 1Fh, j = 0 ~ 7) が “0” のときに以下の設定を行ってください。

1. 当該要因の DTC 転送要求許可レジスタの DTC 転送要求許可ビット (DTCER_n.DTCE (n = 割り込みベクタ番号)) を “1” に設定する

上記の状態、IER_m.IEN_j ビットを “1” にしてください。

また、DTC モジュール起動ビット (DTCST.DTCST) を “1” にしてください。各要因ごとの設定と DTC モジュール起動ビットの設定はどちらを先に行っても構いません。

DTC の設定手順は、「17. データトランスファコントローラ (DTCa)」の「17.5 DTC の設定手順」を参照してください。

(2) CPU 割り込み要求

割り込み要求先が DTC ではない要因は、CPU 割り込み対象となります。

上記の DTC 起動の設定がされていない状態で、IER_m.IEN_j ビット (m = 02h ~ 1Fh, j = 0 ~ 7) を “1” にしてください。

DTC を割り込み要求先に設定した場合の動作は、表 14.4 に示すとおりになります。

表 14.4 DTC 起動時の動作

割り込み要求先	DISEL (注1)	残り転送回数	1要求ごとの動作	IR (注2)	転送後の割り込み要求先
DTC (注3)	1	≠ 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTC
		= 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCER _n .DTCE ビットがクリアされ CPU に切り替え
	0	≠ 0	DTC 転送	DTC 転送情報読み出し後の DTC データ転送開始時にクリア	DTC
		= 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCER _n .DTCE ビットがクリアされ CPU に切り替え

注1. DTC の DISEL は DTC.MRB.DISEL ビットで設定します。

注2. IR_n.IR フラグが “1” のとき、再度発生した割り込み要求 (DTC 転送要求) は無視されます。

注3. チェーン転送の場合は、チェーン最終転送まで DTC 転送を継続します。チェーン最終転送時の CPU 割り込みの有無、IR_n.IR フラグのクリア、転送後の割り込み要求先の各動作は、チェーン最終転送の DISEL、および残り転送回数によって決まります。チェーン転送については、「17. データトランスファコントローラ (DTCa)」の「表 17.3 チェーン転送の条件」を参照してください。

割り込み要求先を変更する場合は IER_m.IEN_j ビットが “0” のときに行ってください。

「(1) DTC 起動」を設定してから転送が完了していない状態 (DTCER_n.DTCE ビット (n = 割り込みベクタ番号) がクリアされていない状態) で、割り込み要求先を変更する場合、または DTC 転送設定内容を変更する場合は、以下の手順で行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IER_m.IEN_j ビットを “0” にする。
2. DTC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. 「(1) DTC 起動」の設定を行う。

14.4.4 優先順位の判定

割り込みコントローラは、割り込み要求先ごとに優先順位の判定を行います。それぞれの割り込み要求先に対する優先順位判定方法は以下のとおりです。

(1) 割り込み要求先が CPU の場合の優先順位判定

高速割り込みに設定された要因が最も優先されます。その次に割り込み優先レベル設定ビット (IPRn.IPR[3:0] (n = 割り込みベクタ番号)) の値が大きい要因が優先されます。IPRn.IPR[3:0] ビットの値が同一レベルの要因が複数ある場合には、ベクタ番号が小さい要因が優先されます。

(2) 割り込み要求先が DTC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。ベクタ番号が小さい要因が優先されます。

14.4.5 多重割り込み

CPU の多重割り込みを許可するには、受け付けた割り込みの処理ルーチン内で PSW.I ビットを“1”(割り込み許可)にしてください。

割り込み処理ルーチンに分岐した直後の PSW.IPL[3:0] ビットは、受け付けた割り込み要求の割り込み優先レベルと同じ値になっています。このとき、PSW.IPL[3:0] ビットより高い割り込み優先レベルの割り込み要求が発生すると、この割り込み要求の受け付け (多重割り込み) が行われます。

受け付けた割り込み要求の割り込み優先レベルが 15 (高速割り込み、IPR[3:0] を“1111b”に設定した割り込み) の場合は、多重割り込みは発生しません。

14.4.6 高速割り込み

高速割り込みは、CPU の割り込み応答を高速に実行できる割り込みで、割り込み要因のうちの 1 つだけを割り当てることができます。

高速割り込みの割り込み優先レベルは、IPRn.IPR[3:0] ビット (n = 割り込みベクタ番号) の設定にかかわらず、15 (最高) です。また、他のレベル 15 の割り込み要因よりも優先的に受け付けられます。ただし、PSW.IPL[3:0] ビットの値が“1111b”(優先レベル 15) の場合は、高速割り込みも受け付けられません。

割り込み要因を高速割り込みに割り当てするには、FIR.FVCT[7:0] ビットにその要因のベクタ番号を設定し、FIR.FIEN ビットを“1”(高速割り込みを許可)にしてください。

高速割り込みについては「2. CPU」や「13. 例外処理」も参照してください。

14.4.7 デジタルフィルタ

外部割り込み要求端子 IRQ_i ($i=0 \sim 7$) と NMI 端子割り込みには、デジタルフィルタ機能を持っています。デジタルフィルタは入力信号をフィルタ用サンプリングクロック (PCLK) でサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

IRQ_i 端子のデジタルフィルタを使用する場合、 $IRQFLTC0.FCLKSEL_i[1:0]$ ビットでサンプリング周波数 (PCLK, PCLK/8, PCLK/32, PCLK/64) を設定し、 $IRQFLTE0.FLTEN_i$ ビットを“1”(デジタルフィルタ有効) にしてください。

NMI 端子割り込みのデジタルフィルタを使用する場合、 $NMIFLTC.NFCLKSEL[1:0]$ ビットでサンプリング周波数 (PCLK, PCLK/8, PCLK/32, PCLK/64) を設定し、 $NMIFLTE.NFLTEN$ ビットを“1”(デジタルフィルタ有効) にしてください。

図 14.7 にデジタルフィルタの動作例を示します。

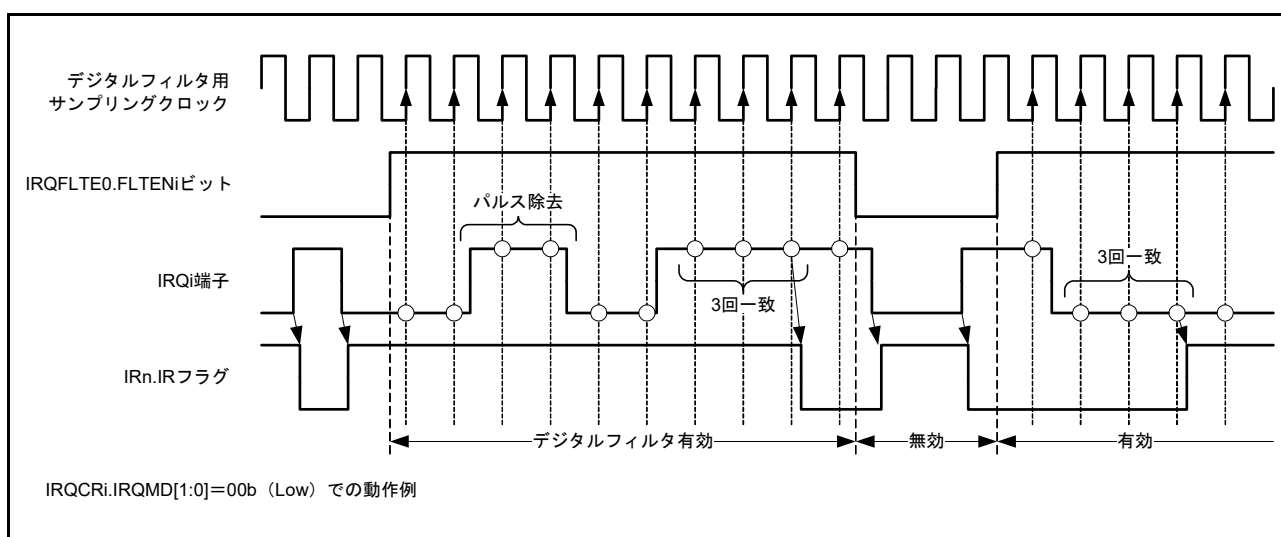


図 14.7 デジタルフィルタ動作例

ソフトウェアスタンバイモードに移行する際は、 $IRQFLTE0.FLTEN_i$ ビット、および $NMIFLTE.NFLTEN$ ビットを“0”(デジタルフィルタ無効) にしてください。ソフトウェアスタンバイモードからの復帰後に再度デジタルフィルタを使用する場合は、 $IRQFLTE0.FLTEN_i$ ビット、もしくは $NMIFLTE.NFLTEN$ ビットを“1”(デジタルフィルタ有効) にしてください。

14.4.8 外部端子割り込み

外部端子割り込みを使用する手順は以下のとおりです。

1. IERm.IENj ビット ($m = 02h \sim 1Fh, j = 0 \sim 7$) を “0” (割り込み要求禁止) にする。
2. IRQFLTE0.FLTENi ビット ($i = 0 \sim 7$) を “0” (デジタルフィルタ無効) にする。(注1)
3. IRQFLTC0.FCLKSELi[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する。(注1)
4. I/Oポートの設定、および確認を行う。
5. IRQCRi.IRQMD[1:0] ビットで検出方法を設定する。
6. IRn.IR フラグ ($n =$ 割り込みベクタ番号) を “0” にする (エッジ検出の場合)。
7. IRQFLTE0.FLTENi ビットを “1” (デジタルフィルタ有効) にする。(注1)
8. DTC 起動の場合 DTCERn.DTCE ビットを設定する (設定しない場合は CPU 割り込み)。
9. IERm.IENj ビットを “1” (割り込み要求許可) にする。

注 1. デジタルフィルタを使用する場合、設定が必要です。

14.5 ノンマスクابل割り込みの動作説明

ノンマスクابل割り込みにはNMI端子割り込み、発振停止検出割り込み、IWDTアンダフロー/リフレッシュエラー、電圧監視1割り込み、電圧監視2割り込みがあります。ノンマスクابل割り込みはCPUへの割り込みのみであり、DTCの起動はできません。高速割り込みを含むすべての割り込みの中で最優先の割り込みです。

ノンマスクابل割り込み要求は、CPUのPSW.Iビット(割り込み許可ビット)、PSW.IPL[3:0]ビット(プロセッサ割り込み優先レベル)の状態にかかわらず受け付けられます。ノンマスクابل割り込みの有無はノンマスクابل割り込みステータスレジスタ(NMISR)で確認できます。

ノンマスクابل割り込みハンドラでは、NMISRレジスタの全ビットが“0”であることを確認してから、ハンドラを終了してください。

初期状態では「ノンマスクابل割り込み禁止」となっています。ノンマスクابل割り込みを使用するシステムでは、プログラム処理の先頭で以下の手順に従ってください。

ノンマスクابل割り込み使用手順

1. スタックポインタ(SP)を設定する。
2. NMI端子を使用する場合は、NMIFLTC.NFCLTENビットを“0”(デジタルフィルタ無効)にする。(注1)
3. NMI端子を使用する場合は、NMIFLTC.NFCLCKSEL[1:0]ビットでデジタルフィルタのサンプリングクロックを設定する。(注1)
4. NMI端子を使用する場合は、NMICR.NMIMDビットでNMI端子の検出センスを設定する。
5. NMI端子を使用する場合は、NMICLR.NMICLRビットに“1”を書いて、NMISR.NMISTフラグを“0”にする。
6. NMI端子を使用する場合は、NMIFLTC.NFCLTENビットを“1”(デジタルフィルタ有効)にする。(注1)
7. ノンマスクابل割り込み許可レジスタ(NMIER)の許可する割り込みに対応するビットを“1”にして、ノンマスクابل割り込みの使用を許可する。

注1. デジタルフィルタを使用する場合、設定が必要です。

NMIERレジスタに“1”を書くと、以後のNMIERレジスタへの書き込みは無視されます。ノンマスクابل割り込みを禁止することはできません。リセットでのみ禁止になります。

ノンマスクابل割り込みの処理の流れは、「13. 例外処理」を参照してください。

NMIステータスフラグ(NMISR.NMIST)は、NMICLR.NMICLRビットに“1”を書くことで“0”になります。

発振停止検出割り込みステータスフラグ(NMISR.OSTST)は、NMICLR.OSTCLRビットに“1”を書くことで“0”になります。

IWDTアンダフロー/リフレッシュエラーステータスフラグ(NMISR.IWDTST)は、NMICLR.IWDTCCLRビットに“1”を書くことで“0”になります。

電圧監視1割り込みステータスフラグ(NMISR.LVD1ST)は、NMICLR.LVD1CLRビットに“1”を書くことで“0”になります。

電圧監視2割り込みステータスフラグ(NMISR.LVD2ST)は、NMICLR.LVD2CLRビットに“1”を書くことで“0”になります。

14.6 低消費電力状態からの復帰

スリープモード、ディープスリープモード、ソフトウェアスタンバイモードからの復帰割り込みとして使用可能な割り込み要因を「表 14.3 割り込みのベクタテーブル」に示します。

詳細は「11. 消費電力低減機能」を参照してください。各低消費電力モードにおける、復帰対象割り込みの設定方法は以下のとおりです。

14.6.1 スリープモードおよびディープスリープモードからの復帰

ノンマスクابل割り込み、および全要因の割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
 - (1) 割り込み要求先が CPU であること
 - (2) IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) によって該当する割り込み要求が許可されていること
 - (3) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
- ノンマスクابل割り込み
 - NMIER レジスタによって該当する割り込み要求が許可されていること

14.6.2 ソフトウェアスタンバイモードからの復帰

ノンマスクابل割り込み、およびソフトウェアスタンバイモードからの復帰可能な割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
 - (1) ソフトウェアスタンバイモードから復帰可能な要因であること
 - (2) 割り込み要求先が CPU であること
 - (3) IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) によって該当する割り込み要求が許可されていること
 - (4) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
(高速割り込みに設定した要因には高速割り込み設定レジスタ (FIR) だけでなく、対応する割り込み優先レベル (IPRn (n = 割り込みベクタ番号)) も CPU.PSW.IPL より高い設定にしてください。)

上記条件を満たさない IRQ 端子では、ソフトウェアスタンバイモードでクロック停止期間中に発生した割り込み要因は検出されません。

- ノンマスクابل割り込み
 - NMIER レジスタによって該当する割り込み要求が許可されていること
- ソフトウェアスタンバイモードへの移行/復帰の手順
 - (1) ソフトウェアスタンバイモードに移行する前に、復帰対象の割り込み要因のデジタルフィルタを無効 (IRQFLTE0.FLTENi ビットを“0”、NMIFLTE.NFLTEN ビットを“0”) にしてください。
 - (2) ソフトウェアスタンバイモードから復帰後に再度デジタルフィルタを使用する場合は、デジタルフィルタを有効 (IRQFLTE0.FLTENi ビットを“1”、NMIFLTE.NFLTEN ビットを“1”) にしてください。

14.7 使用上の注意事項

14.7.1 ノンマスカブル割り込み使用時の WAIT 命令の注意事項

WAIT 命令を実行する場合は、NMISR レジスタのすべてのステータスフラグが“0”であることを確認した後で行ってください。

15. バス

15.1 概要

表 15.1 にバスの仕様を、図 15.1 にバスの構成図を、表 15.2 にバス種類別アドレス対応表を示します。

表 15.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	<ul style="list-style-type: none"> • CPU (命令)を接続 • 内蔵メモリを接続 (RAM, ROM) • システムクロック (ICLK)に同期して動作
	オペランドバス	<ul style="list-style-type: none"> • CPU (オペランド)を接続 • 内蔵メモリを接続 (RAM, ROM) • システムクロック (ICLK)に同期して動作
メモリバス	メモリバス1	<ul style="list-style-type: none"> • RAMを接続
	メモリバス2	<ul style="list-style-type: none"> • ROMを接続
内部メインバス	内部メインバス1	<ul style="list-style-type: none"> • CPUを接続 • システムクロック (ICLK)に同期して動作
	内部メインバス2	<ul style="list-style-type: none"> • DTCを接続 • 内蔵メモリを接続 (RAM, ROM) • システムクロック (ICLK)に同期して動作
内部周辺バス	内部周辺バス1	<ul style="list-style-type: none"> • 周辺機能(DTC、割り込みコントローラ、バスエラー監視部)を接続 • システムクロック (ICLK)に同期して動作
	内部周辺バス2	<ul style="list-style-type: none"> • 周辺機能(内部周辺バス1、3、4以外の周辺機能)を接続 • 周辺モジュールクロック (PCLKB)に同期して動作
	内部周辺バス3	<ul style="list-style-type: none"> • 周辺機能(RSCAN, CMPC)を接続 • 周辺モジュールクロック (PCLKB)に同期して動作
	内部周辺バス4	<ul style="list-style-type: none"> • 周辺機能(MTU, GPT)を接続 • 周辺モジュールクロック (PCLKA)に同期して動作
	内部周辺バス6	<ul style="list-style-type: none"> • フラッシュ制御モジュール、E2データフラッシュを接続 • FlashIFクロック (FCLK)に同期して動作

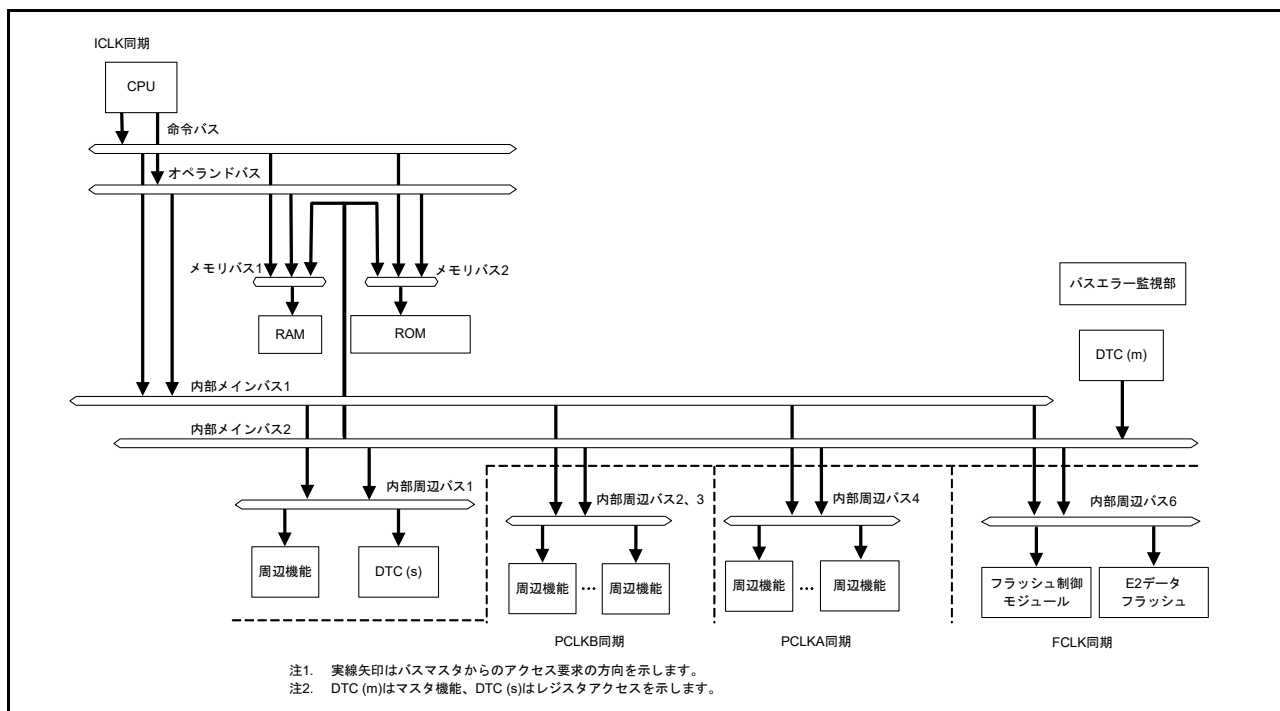


図 15.1 バスの構成図

表 15.2 バス種類別アドレス対応表

アドレス	バス	内容
0000 0000h ~ 0000 7FFFh	メモリバス 1	RAM
0000 8000h ~ 0007 FFFFh		予約領域
0008 0000h ~ 0008 7FFFh	内部周辺バス 1	周辺 I/O レジスタ
0008 8000h ~ 0009 FFFFh	内部周辺バス 2	
000A 0000h ~ 000B FFFFh	内部周辺バス 3	
000C 0000h ~ 000D FFFFh	内部周辺バス 4	
000E 0000h ~ 000F FFFFh	予約領域	予約領域
0010 0000h ~ 00FF FFFFh	内部周辺バス 6	フラッシュ制御モジュール、E2 データフラッシュ
0100 0000h ~ 7FFF FFFFh	予約領域	予約領域
8000 0000h ~ FFFF FFFFh	メモリバス 2	ROM (読み出し専用)

15.2 バスの説明

15.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。命令バスは 64 ビットです。オペランドバスは、32 ビットです。

命令バスとオペランドバスは、RAM、ROM に接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、ROM は読み出しのみ CPU からの直接アクセスが可能であり、プログラム/イレーズは内部周辺バスを介して行います。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス (メモリバス 1、メモリバス 2、内部メインバス 1) に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、ROM と RAM などの並列動作が可能となります。

15.2.2 メモリバス

メモリバスには、メモリバス 1 とメモリバス 2 があり、メモリバス 1 には RAM、メモリバス 2 には ROM が接続されています。メモリバスは 64 ビットです。メモリバス 1、2 は、CPU バス (命令フェッチとオペランド)、内部メインバス 2 からのバス権要求を調停します。

バスの優先順位は、それぞれバスプライオリティ制御レジスタのメモリバス 1 (RAM) プライオリティ制御ビット (BUSPRI.BPRA[1:0])、メモリバス 2 (ROM) プライオリティ制御ビット (BUSPRI.BPRO[1:0]) により設定可能です。優先順位固定の場合は、バスの優先順位は、内部メインバス 2 > CPU バス (オペランド > 命令フェッチ) の順となります。優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

15.2.3 内部メインバス

内部メインバスは、CPU が使用するバス (内部メインバス 1) と、CPU 以外のバスマスタ (DTC) が使用するバス (内部メインバス 2) の 2 本で構成されます。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

CPU と CPU 以外のバスマスタからの要求が異なるバス (内蔵メモリ、内部周辺バス 1 ~ 内部周辺バス 4、内部周辺バス 6) に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

ただし、CPU により XCHG 命令が実行された場合には、バスプライオリティ制御レジスタ (BUSPRI) の設定にかかわらず、XCHG 命令によるバスアクセスが完了するまで CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表 15.3 バスマスタ優先順位

優先度	内部メインバス	バスマスタ
高 ↑	2	DTC
低 ↓	1	CPU

注. 上記はバス優先権が固定の場合です。

バスプライオリティ制御レジスタ (BUSPRI) により、内部メインバス 1 とそれ以外 (内部メインバス 2) のバス優先権をトグルすることができます。(ラウンドロビン方式)

15.2.4 内部周辺バス

表 15.4 に内部周辺バスに接続される周辺機能を示します。

表 15.4 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス1	DTC、割り込みコントローラ、バスエラー監視部
内部周辺バス2	内部周辺バス1、3、4以外の周辺機能
内部周辺バス3	RSCAN, CMPC
内部周辺バス4	MTU, GPT
内部周辺バス6	フラッシュ制御モジュール、E2データフラッシュ

内部周辺バス1～4、6は、それぞれ、CPU (内部メインバス1) と CPU 以外のバスマスタ (内部メインバス2) からのバス権要求を調停します。

2本のバスの優先順位は、バスプライオリティ制御レジスタ (BUSPRI) により設定可能です。優先順位は、内部周辺バス1プライオリティ制御ビット (BUSPRI.BPIB[1:0])、内部周辺バス2、3プライオリティ制御ビット (BUSPRI.BPGB[1:0])、内部周辺バス4プライオリティ制御ビット (BUSPRI.BPHB[1:0])、内部周辺バス6プライオリティ制御ビット (BUSPRI.BPFB[1:0]) によりバスごとに設定できます。優先順位固定の場合は、内部メインバス2 > 内部メインバス1の順となります。優先順位トグルの場合は、内部メインバス1と内部メインバス2とでバス要求を受け付けられた方の優先順位が低くなります。(ラウンドロビン方式)

BUSPRIレジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください (図 15.2 参照)。

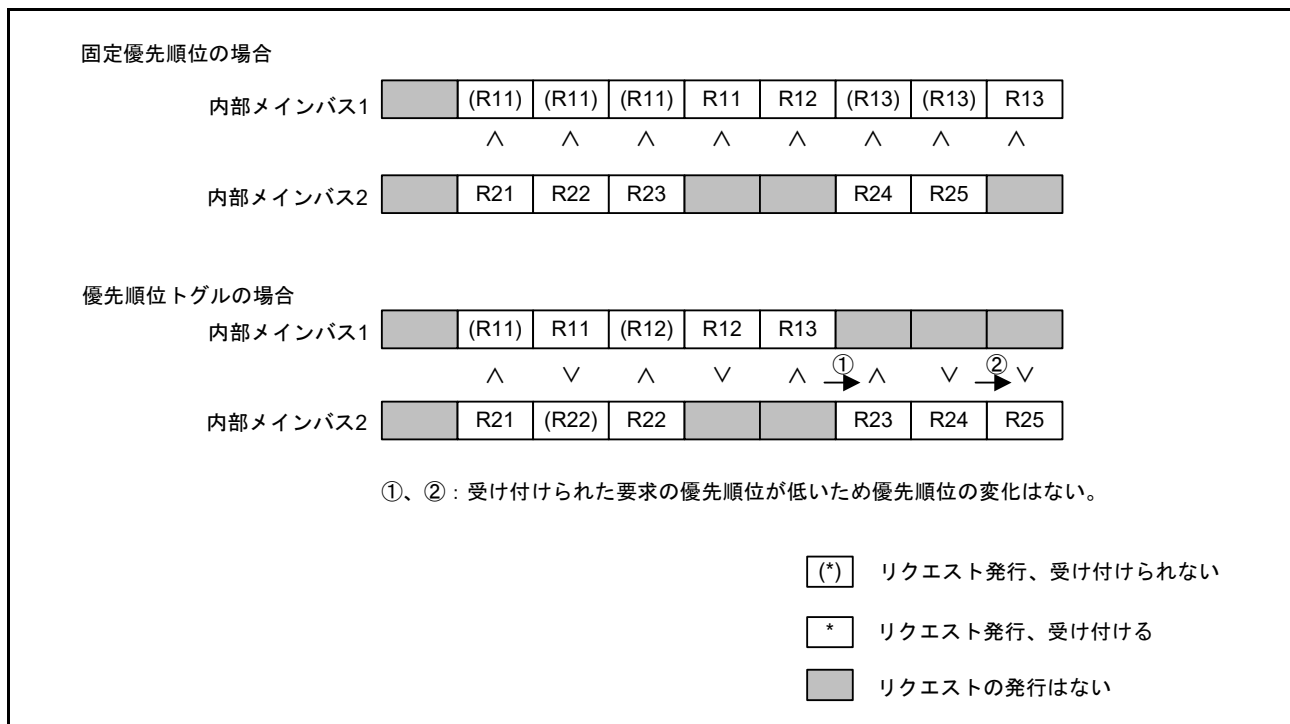


図 15.2 内部周辺バス優先順位

15.2.5 ライトバッファ機能 (内部周辺バス)

内部周辺バスはライトバッファ機能を持っており、ライトアクセスの場合は、動作の終了を待たずに、次のアクセスを受け付けることができます。ただし、同じバスマスタからのアクセスの場合、ライトアクセスの次のアクセスが異なる内部周辺バスに対するものであれば、ライトアクセスが終了するまで次のアクセスは、待たされます。CPU から内部周辺バスのライトアクセス後に内蔵メモリへのリードアクセスがある場合には、動作の終了を待たずに次のアクセスが受け付けられるため、アクセスの順番が入れ替わることがありますので注意してください。(図 15.3 参照)

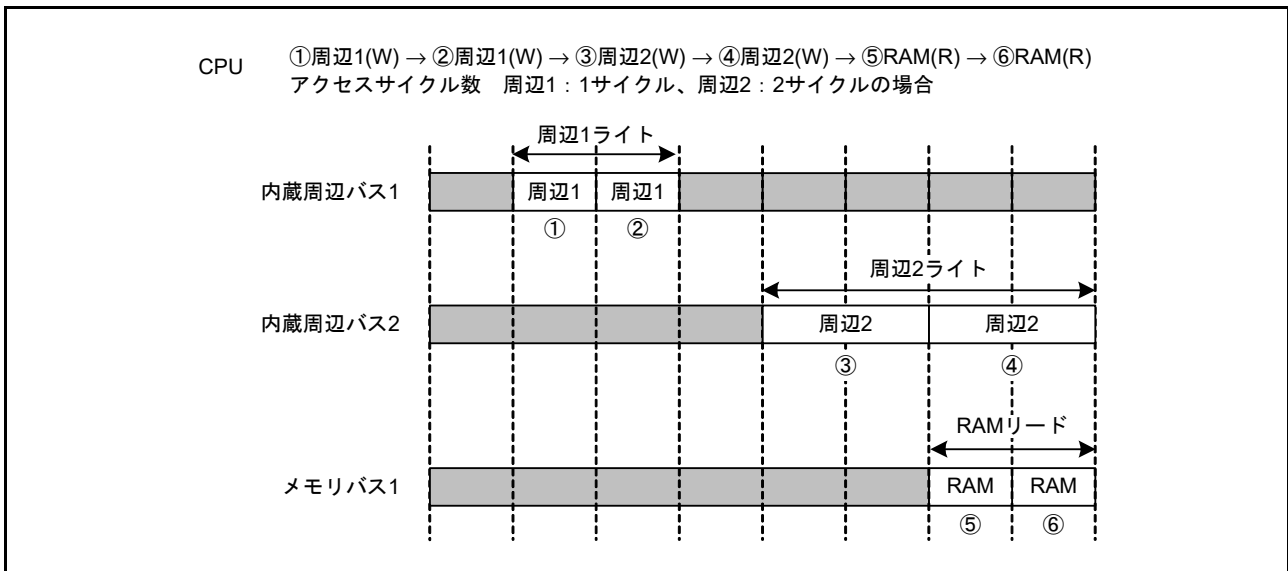


図 15.3 ライトバッファ機能

15.2.6 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPU の命令フェッチが ROM を、オペランドが RAM をアクセス中に、DTC は周辺—周辺バス間の転送を行うことができます。図 15.4 に並列動作の例を示します。この例の場合、CPU は命令バスとオペランドバスを使って、それぞれ ROM と RAM を同時にアクセスすることが可能です。また、CPU が ROM と RAM をアクセス中に、DTC は内部メインバス 2 を使って、周辺バスを同時にアクセスすることができます。

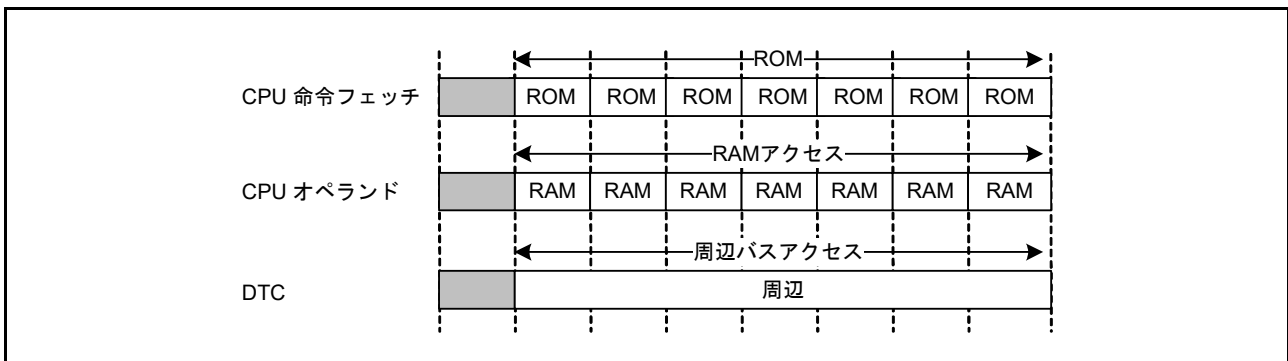


図 15.4 並列動作の例

15.2.7 制約事項

(1) アドレス空間の複数領域にまたがるアクセスの禁止

1つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで2つの領域にまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

- (a) RMPA 命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

15.3 レジスタの説明

15.3.1 バスエラーステータスクリアレジスタ (BERCLR)

アドレス 0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STSCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	ステータスクリアビット	0: 無効 1: バスエラーステータスレジスタクリア	(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”書き込みのみ有効で、“0”書き込みは無効です。

STSCLR ビット (ステータスクリアビット)

“1”を書き込むと、バスエラーステータスレジスタ 1 (BERSR1) とバスエラーステータスレジスタ 2 (BERSR2) がクリアされます。

“0”書き込みは無効です。読むと“0”が読み出されます。

15.3.2 バスエラー監視許可レジスタ (BEREN)

アドレス 0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TOEN	IGAEN
リセット後の値	0	0	0	0	0	0	0	0

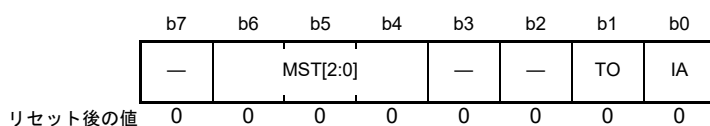
ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0: 不正アドレスアクセス検出禁止 1: 不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット(注1、注2)	0: バスタイムアウト検出禁止 1: バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 検出禁止(TOENビット=0)にしてバスアクセスを行った場合、バスがフリーズすることがあります。

注2. タイムアウトエラー検出中にTOENビットを“0”(検出禁止)にしないようにしてください。

15.3.3 バスエラーステータスレジスタ 1 (BERSR1)

アドレス 0008 1308h



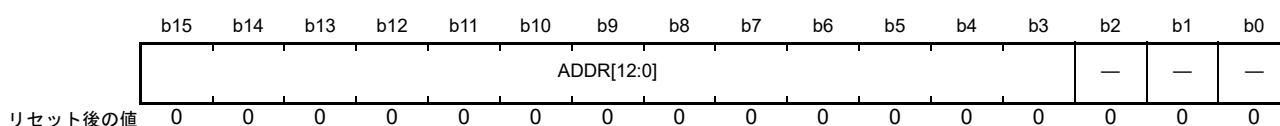
ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0 : 不正アドレスアクセスの発生なし 1 : 不正アドレスアクセスの発生あり	R
b1	TO	タイムアウトビット	0 : タイムアウトの発生なし 1 : タイムアウトの発生あり	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6 b4 0 0 0 : CPU 0 0 1 : 予約 0 1 0 : 予約 0 1 1 : DTC 1 0 0 : 予約 1 0 1 : 予約 1 1 0 : 予約 1 1 1 : 予約	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MST[2:0] ビット (バスマスタコードビット)

バスエラーを発生させたアクセスのバスマスタを示します。

15.3.4 バスエラーステータスレジスタ 2 (BERSR2)

アドレス 0008 130Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位13ビット(512Kバイト単位)	R

15.3.5 バスプライオリティ制御レジスタ (BUSPRI)

アドレス 0008 1310h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	BPFB[1:0]	BPHB[1:0]	BPGB[1:0]	BPIB[1:0]	BPRO[1:0]	BPRA[1:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BPRA[1:0]	メモリバス1 (RAM) プライオリティ制御ビット	b1 b0 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b3-b2	BPRO[1:0]	メモリバス2 (ROM) プライオリティ制御ビット	b3 b2 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b5-b4	BPIB[1:0]	内部周辺バス1プライオリティ制御ビット	b5 b4 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b7-b6	BPGB[1:0]	内部周辺バス2, 3プライオリティ制御ビット	b7 b6 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b9-b8	BPHB[1:0]	内部周辺バス4プライオリティ制御ビット	b9 b8 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b11-b10	BPFB[1:0]	内部周辺バス6プライオリティ制御ビット	b11 b10 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DTCが停止した状態で、1回のみ書き込みできます。2回以上、書き込んだ場合、動作は保証されません。

BPRA[1:0] ビット (メモリバス1 (RAM) プライオリティ制御ビット)

メモリバス1 (RAM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > 内部メインバス1となります。

優先順位トグルの場合は、内部メインバス1と内部メインバス2とでバス要求を受け付けられた方の優先順位が低くなります。

BPRO[1:0] ビット (メモリバス2 (ROM) プライオリティ制御ビット)

メモリバス2 (ROM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > 内部メインバス1となります。

優先順位トグルの場合は、内部メインバス1と内部メインバス2とでバス要求を受け付けられた方の優先順位が低くなります。

BPIB[1:0] ビット (内部周辺バス 1 プライオリティ制御ビット)

内部周辺バス 1 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPGb[1:0] ビット (内部周辺バス 2, 3 プライオリティ制御ビット)

内部周辺バス 2 と内部周辺バス 3 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPHB[1:0] ビット (内部周辺バス 4 プライオリティ制御ビット)

内部周辺バス 4 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPFb[1:0] ビット (内部周辺バス 6 プライオリティ制御ビット)

内部周辺バス 6 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

15.4 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合、バスマスタへ通知します。

15.4.1 バスエラーの種類

バスエラーには、不正アドレスアクセス、タイムアウトの2種類のバスエラーがあります。

不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出し、タイムアウトはバスアクセスが768 サイクル以内に終了しない場合に検出します。

15.4.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効 (BEREN.IGAEN = 1) に設定された場合で、以下のアクセスが起こった場合に発生します。

- 不正アドレス領域にアクセスした場合どの領域が不正アドレスアクセスエラーを発生するかを表 15.5 に示します。

15.4.1.2 タイムアウト

タイムアウトは、バスエラー監視許可レジスタのタイムアウト検出許可ビットが有効 (BEREN.TOEN = 1) に設定された場合で、バスアクセスが768 サイクル以内に終了しない場合に発生します。

- 内部周辺バス (2, 3): バスアクセス開始後、周辺モジュールクロック (PCLKB) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると PCLKB で256 サイクル間、バスマスタからのアクセスは受け付けられません。本 MCU ではタイムアウトは発生しません。
- 内部周辺バス (4): バスアクセス開始後、周辺モジュールクロック (PCLKA) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると PCLKA で256 サイクル間、バスマスタからのアクセスは受け付けられません。
- 内部周辺バス (6): バスアクセス開始後、FlashIF クロック (FCLK) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると FCLK で256 サイクル間、バスマスタからのアクセスは受け付けられません。本 MCU ではタイムアウトは発生しません。

15.4.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知：
割り込みが発生します。割り込みを発生させるかどうかは、ICU.IERn レジスタで制御できます。

15.4.3 バスエラーの発生条件

表 15.5 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態 (バスエラーステータスレジスタ n (BERSRn) (n = 1, 2) がクリアされている場合) で、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると、BERSRn レジスタにその時点の状態が記憶されます。一度バスエラーが発生すると、その後バスエラーが発生しても BERSRn がクリアされていない場合はその状態を記憶しません。

2 つ以上のバスマスタについてバスエラーが同時に発生する場合は、1 つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSRn レジスタがクリアされるまで状態を保持します。

表 15.5 発生するバスエラーの種類

アドレス	内容	種類
		不正アドレスアクセス
0000 0000h ~ 0007 FFFFh	メモリバス 1	—
0008 0000h ~ 0008 7FFFh	内部周辺バス 1	—
0008 8000h ~ 0009 FFFFh	内部周辺バス 2	△
000A 0000h ~ 000B FFFFh	内部周辺バス 3	△
000C 0000h ~ 000D FFFFh	内部周辺バス 4	△
000E 0000h ~ 000F FFFFh	予約領域	—
0010 0000h ~ 00FF FFFFh	内部周辺バス 6	△
0100 0000h ~ 0FFF FFFFh	予約領域	—
1000 0000h ~ 7FFF FFFFh	予約領域	○
8000 0000h ~ FFFF FFFFh	メモリバス 2	—

— : バスエラーは発生しません。

△ : バスエラーは不定です。

○ : バスエラーを発生します。

注. 実装されるRAM、ROMの容量は製品により異なります。製品ごとの仕様については、「35. RAM」、「36. フラッシュメモリ」を参照してください。

15.5 割り込み

15.5.1 割り込み要因

バスは、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると割り込みコントローラにバスエラーが発生します。

表 15.6 割り込み要因

名称	割り込み要因	DTC起動
BUSERR	不正アドレスアクセスエラーまたはタイムアウト	不可能

16. メモリプロテクションユニット (MPU)

16.1 概要

RXv2 CPU にはメモリプロテクションユニットが内蔵されており、全アドレス空間 (0000 0000h ~ FFFF FFFFh) を対象に CPU によるアクセスのアドレスチェックを行います。

最大 8 つの領域を設定することができ、領域ごとのアクセス制御情報に従いアクセスを許可します。設定領域外へのアクセスを検出すると、デフォルトではメモリプロテクションエラーが発生します。

各領域のアクセス制御情報は、読み出し許可、書き込み許可、実行許可に対応しています。このアクセス制御情報は、CPU のプロセッサモードがユーザモードのときに有効です。スーパーバイザモードのときは、メモリ保護を行いません。

表 16.1 にメモリプロテクションユニットの仕様を、図 16.1 にブロック図を示します。

表 16.1 メモリプロテクションの仕様

仕様	内容
メモリプロテクション対象領域とプロセッサモード	0000 0000h~FFFF FFFFh (ユーザモード時) スーパーバイザモード時はメモリ保護なし
領域数	8
ページサイズ(最小保護単位)	16バイト
各領域のアドレス指定	開始ページ番号、終了ページ番号で設定
各領域の有効設定	領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) で各領域の有効/無効を設定 (n = 0~7)
各領域のアクセス制御情報	命令実行：実行許可 オペランドアクセス：読み出し許可、書き込み許可
メモリプロテクション動作の開始	メモリプロテクション機能を有効にした後、ユーザモードに移行することによりアクセスの監視をスタート
メモリプロテクションエラー処理	アクセス例外発生
メモリプロテクションエラー発生アドレス	命令実行アドレス：スタック領域にPCを退避 オペランドアクセスアドレス：データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納
メモリプロテクションエラー要因判定	メモリプロテクションエラーステータスレジスタ (MPESTS) に要因を格納
バックグラウンド領域設定	バックグラウンド領域(全アドレス空間)に対して、アクセス制御情報を設定可能
領域オーバーラップの処理	あるアドレスに対して領域がオーバーラップして設定され、各領域のアクセス制御情報が異なる場合、許可が優先されます。

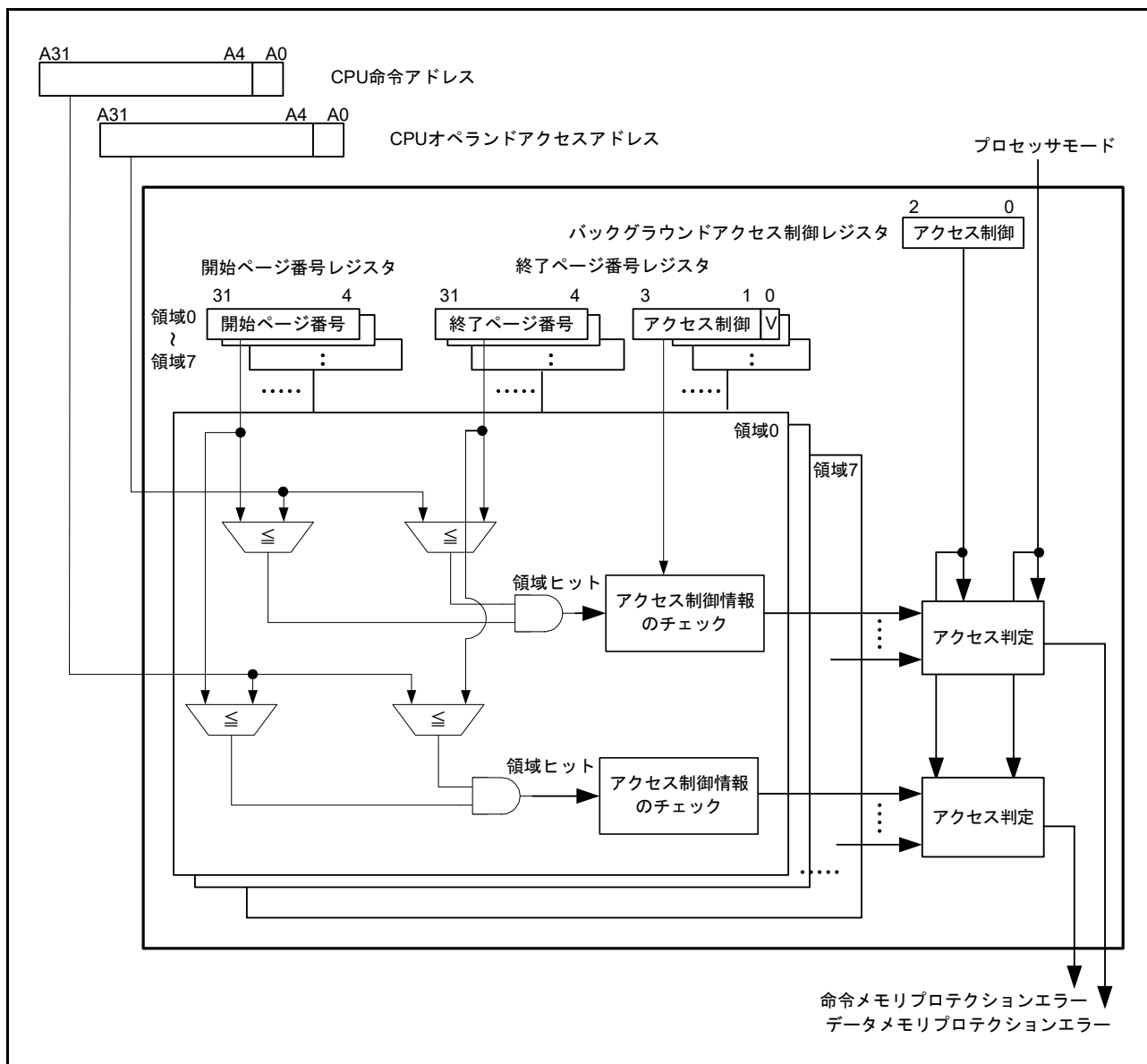


図 16.1 メモリプロテクションユニットブロック図

16.1.1 アクセス制御の種類

アクセス制御は、命令の実行許可と、オペランドアクセスの読み出し許可、書き込み許可の 3 種類があります。これらのアクセス制御に対する違反の検出は、ユーザモードのプログラムに対してのみ行います。スーパーバイザモードのプログラムに対しては違反を検出しません。

16.1.2 アクセス制御領域

アクセス制御領域は 8 つまで定義することができます。各アクセス制御領域の範囲は、領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います (n = 0 ~ 7)。

ページは、アクセス制御の最小単位であり、アドレス空間を 16 バイトごとに区切ったものです。アドレス [31:0] の上位 28 ビット ([31:4]) がページ番号に対応します。

各領域のアクセス制御情報と、その領域を有効にするかどうかは REPAGEn レジスタで指定します。

16.1.3 バックグラウンド領域

バックグラウンド領域は全アドレス空間 (0000 0000h ~ FFFF FFFFh) です。バックグラウンド領域のアクセス制御情報はバックグラウンドアクセス制御レジスタ (MPBAC) で設定します。バックグラウンド領域のアクセス制御情報は、8 つのアクセス制御領域と異なり、メモリプロテクション機能が有効 (MPEN.MPEN ビットが“1”) であれば有効となります。

16.1.4 領域のオーバーラップ

複数の領域がオーバーラップした場合のアクセス制御情報は、オーバーラップした領域 (バックグラウンド領域を含む) のアクセス制御ビットの論理和となり、許可が優先して設定されます。

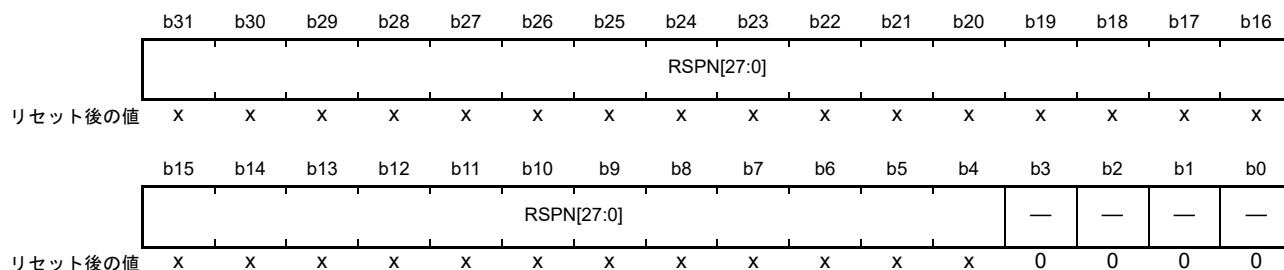
16.1.5 領域をまたぐ命令とデータ

異なるアクセス制御設定を行った領域にまたがるように配置された命令やデータに関するメモリプロテクションエラー検出動作は不定です。異なるアクセス制御設定を行った領域にまたがるように命令やデータを配置しないでください。

16.2 レジスタの説明

16.2.1 領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ~ 7)

アドレス RSPAGE0 0008 6400h, RSPAGE1 0008 6408h, RSPAGE2 0008 6410h, RSPAGE3 0008 6418h,
RSPAGE4 0008 6420h, RSPAGE5 0008 6428h, RSPAGE6 0008 6430h, RSPAGE7 0008 6438h



x : 不定

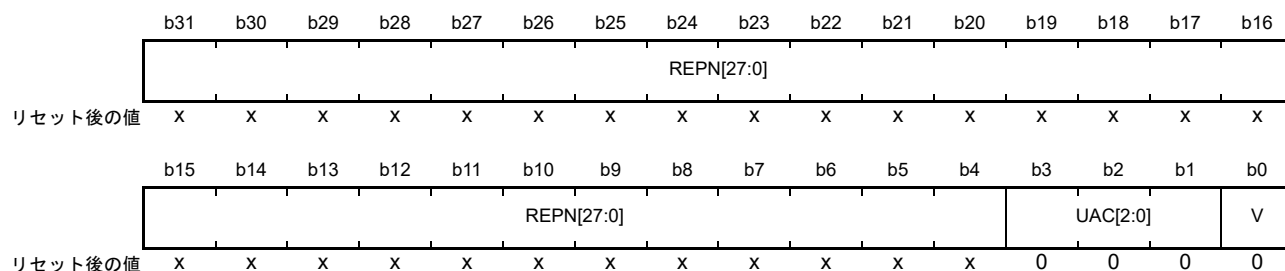
ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b4	RSPN[27:0]	領域開始ページ番号ビット	領域判定に使用する領域開始ページ番号情報	R/W

RSPN[27:0] ビット (領域開始ページ番号ビット)

領域開始ページ番号を設定します。

16.2.2 領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ~ 7)

アドレス REPAGE0 0008 6404h, REPAGE1 0008 640Ch, REPAGE2 0008 6414h, REPAGE3 0008 641Ch,
 REPAGE4 0008 6424h, REPAGE5 0008 642Ch, REPAGE6 0008 6434h, REPAGE7 0008 643Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	V	有効ビット	0 : 領域設定無効 1 : 領域設定有効	R/W
b3-b1	UAC[2:0]	ユーザモード時アクセス制御ビット	b3 0 : 読み出し禁止 1 : 読み出し許可 b2 0 : 書き込み禁止 1 : 書き込み許可 b1 0 : 実行禁止 1 : 実行許可	R/W
b31-b4	REPN[27:0]	領域終了ページ番号ビット	領域判定に使用する領域終了ページ番号情報	R/W

V ビット (有効ビット)

該当する領域設定を有効にするか、無効にするかを選択します。

領域インバリデートオペレーションレジスタ (MPOPI) により 全アクセス制御領域のインバリデート (無効化) を行った場合、V ビットは“0”になります。

UAC[2:0] ビット (ユーザモード時アクセス制御ビット)

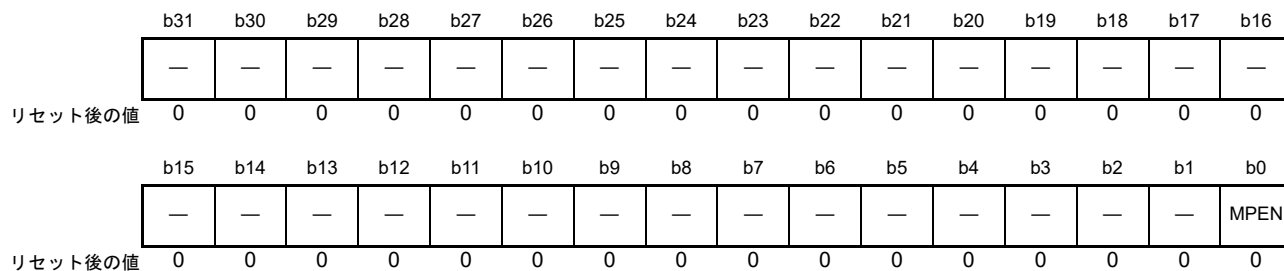
ユーザモード時のアクセス制御を設定します。

REPN[27:0] ビット (領域終了ページ番号ビット)

領域終了ページ番号を設定します。対応する領域の開始ページ番号と等しいか、大きな値を設定してください。領域終了ページ番号も、メモリプロテクション対象領域になります。

16.2.3 メモリプロテクション機能有効化レジスタ (MPEN)

アドレス 0008 6500h



ビット	シンボル	ビット名	機能	R/W
b0	MPEN	メモリプロテクション機能有効化ビット	1:メモリプロテクション機能有効 0:メモリプロテクション機能無効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

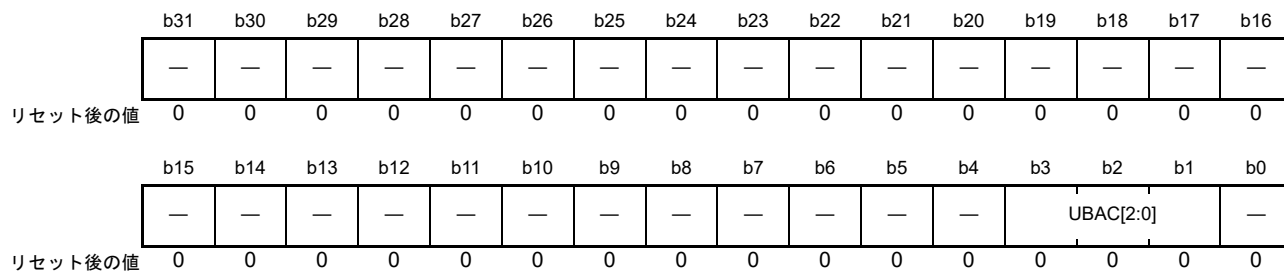
MPEN ビット (メモリプロテクション機能有効化ビット)

メモリプロテクション機能を有効にするか、無効にするかを選択します。

MPEN ビットに“1”を書いた後、ユーザモードへ移行する分岐命令 (RTE, RTFI) の実行により、CPU のメモリプロテクションによるアドレスチェックが開始されます。

16.2.4 バックグラウンドアクセス制御レジスタ (MPBAC)

アドレス 0008 6504h



ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b1	UBAC[2:0]	ユーザモード時バックグラウンドアクセス制御ビット	b3 0 : 読み出し禁止 1 : 読み出し許可 b2 0 : 書き込み禁止 1 : 書き込み許可 b1 0 : 実行禁止 1 : 実行許可	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

UBAC[2:0] ビット (ユーザモード時バックグラウンドアクセス制御ビット)

ユーザモード時のバックグラウンドアクセス制御を設定します。

16.2.5 メモリプロテクションエラーステータスクリアレジスタ (MPECLR)

アドレス 0008 6508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLR	エラーステータスクリアビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：MPESTS.DRW、DMPER、IMPERビットを“0”にします	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CLR ビット (エラーステータスクリアビット)

メモリプロテクションエラーステータスレジスタ (MPESTS) のデータリード/ライトビット (DRW)、データメモリプロテクションエラー発生ビット (DMPER)、命令メモリプロテクションエラー発生ビット (IMPER) を“0”にします。

16.2.6 メモリプロテクションエラーステータスレジスタ (MPESTS)

アドレス 0008 650Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRW	DMPE R	IMPER
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMPER	命令メモリプロテクションエラー発生ビット	0: 命令メモリプロテクションエラー発生なし 1: 命令メモリプロテクションエラー発生	R
b1	DMPER	データメモリプロテクションエラー発生ビット	0: データメモリプロテクションエラー発生なし 1: データメモリプロテクションエラー発生	R
b2	DRW	データリード/ライトビット	0: データリード 1: データライト	R
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IMPER ビット (命令メモリプロテクションエラー発生ビット)

命令実行によるメモリプロテクションエラー発生状態を示します。

IMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

DMPER ビット (データメモリプロテクションエラー発生ビット)

オペランドアクセスによるメモリプロテクションエラー発生状態を示します。

DMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

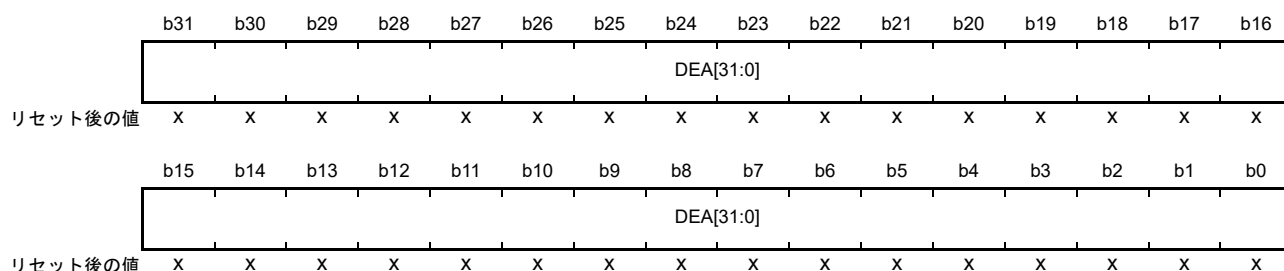
DRW ビット (データリード/ライトビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアクセスのリード / ライト属性を示します。DRW ビットは、DMPER ビットが“1”の場合のみ有効です。

DRW ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、“0”になります。

16.2.7 データメモリプロテクションエラーアドレスレジスタ (MPDEA)

アドレス 0008 6514h



x : 不定

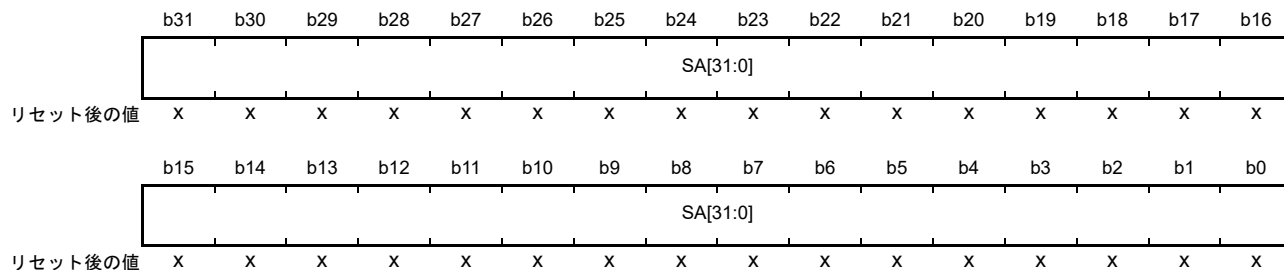
ビット	シンボル	ビット名	機能	R/W
b31-b0	DEA[31:0]	データメモリプロテクションエラーアドレスビット	データメモリプロテクションエラーアドレス	R

DEA[31:0] ビット (データメモリプロテクションエラーアドレスビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアドレスを保持します。

16.2.8 領域サーチアドレスレジスタ (MPSA)

アドレス 0008 6520h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	SA[31:0]	領域サーチアドレスビット	領域サーチ用アドレス	R/W

SA[31:0] ビット (領域サーチアドレスビット)

領域サーチオペレーションで、領域 n 開始ページ番号レジスタ (RSPAGE_n) の領域開始アドレス、領域 n 終了ページ番号レジスタ (REPAGE_n) の領域終了アドレスと比較するアドレスを設定します。

16.2.9 領域サーチオペレーションレジスタ (MPOPS)

アドレス 0008 6524h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	S
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	S	領域サーチオペレーションビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 領域のサーチオペレーションを行う	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S ビット (領域サーチオペレーションビット)

S ビットを“1”にすることにより、メモリプロテクションユニットは領域サーチオペレーションを行います。領域サーチアドレスレジスタ (MPSA) で指定されたアドレスと、各領域のアドレス情報との比較を行い、ヒットする領域をサーチします。

サーチ結果は、データヒット領域レジスタ (MHITD) のデータヒット領域ビット (HITD[7:0]) に格納されます。また、ヒットした領域のアクセス制御ビットの論理和が、ユーザモード時データヒット領域アクセス制御ビット (UHACD[2:0]) に格納されます。

16.2.10 領域インバリデートオペレーションレジスタ (MPOPI)

アドレス 0008 6526h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

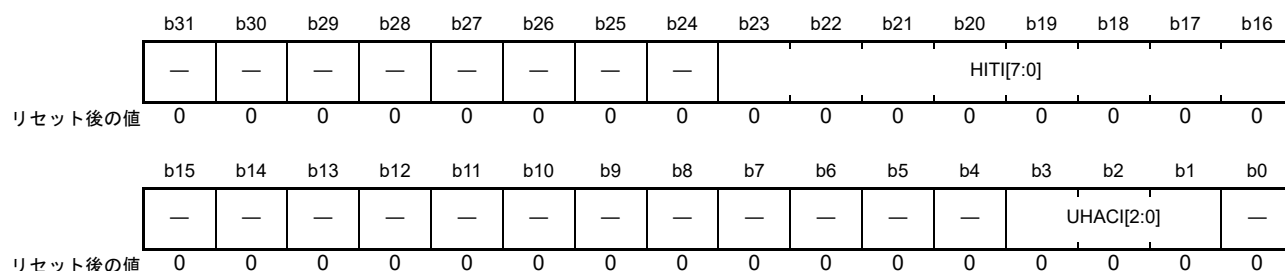
ビット	シンボル	ビット名	機能	R/W
b0	INV	領域インバリデート起動ビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 全アクセス制御領域のインバリデート(無効化)	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

INV ビット (領域インバリデート起動ビット)

INV ビットを“1”にすることにより、すべての領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) を“0”にします。REPAGEn.V ビットを“0”にした後は、バックグラウンド領域のアクセス制御設定以外は無効となります。

16.2.11 命令ヒット領域レジスタ (MHITI)

アドレス 0008 6528h



ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b1	UHACI[2:0]	ユーザモード時命令ヒット領域アクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b16	HITI[7:0]	命令ヒット領域ビット	命令メモリプロテクションエラー発生ビット(MPESTS.IMPER) = 1のとき、[b23:b16] = 0000 0000b：バックグラウンド領域で命令メモリプロテクションエラー 上記以外 b23 0：領域7で命令メモリプロテクションエラーなし 1：領域7で命令メモリプロテクションエラーあり b22 0：領域6で命令メモリプロテクションエラーなし 1：領域6で命令メモリプロテクションエラーあり b21 0：領域5で命令メモリプロテクションエラーなし 1：領域5で命令メモリプロテクションエラーあり b20 0：領域4で命令メモリプロテクションエラーなし 1：領域4で命令メモリプロテクションエラーあり b19 0：領域3で命令メモリプロテクションエラーなし 1：領域3で命令メモリプロテクションエラーあり b18 0：領域2で命令メモリプロテクションエラーなし 1：領域2で命令メモリプロテクションエラーあり b17 0：領域1で命令メモリプロテクションエラーなし 1：領域1で命令メモリプロテクションエラーあり b16 0：領域0で命令メモリプロテクションエラーなし 1：領域0で命令メモリプロテクションエラーあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

UHACI[2:0] ビット (ユーザモード時命令ヒット領域アクセス制御ビット)

UHACI[2:0] ビットは、命令メモリプロテクションエラーが発生した領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

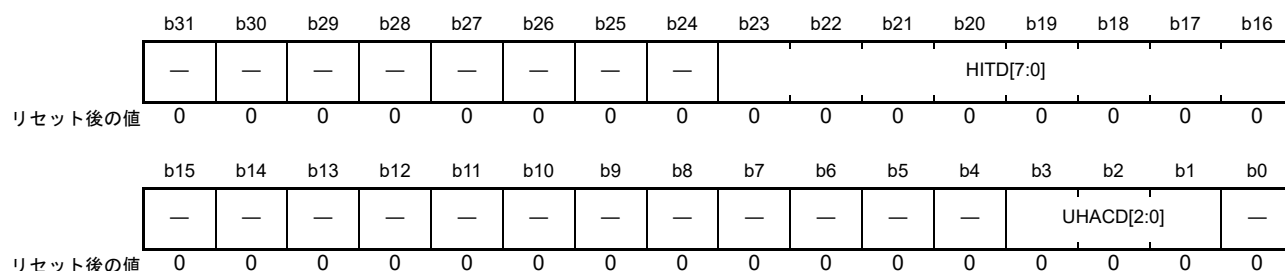
オーバーラップした領域でエラーが発生した場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時アクセス制御ビットの論理和を保持します。

HITI[7:0] ビット (命令ヒット領域ビット)

HITI[7:0] ビットは、命令メモリプロテクションエラーが発生した領域を示します。バックグラウンド領域で命令メモリプロテクションエラーが発生したときは、HITI[7:0] ビットは“0000 0000b”にセットされます。

16.2.12 データヒット領域レジスタ (MHITD)

アドレス 0008 652Ch



ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b1	UHACD[2:0]	ユーザモード時 データヒット領域 アクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b16	HITD[7:0]	データヒット領域 ビット	データメモリプロテクションエラー発生ビット(MPESTS.DMPER) = 1のとき、[b23:b16] = 0000 0000b : バックグラウンド領域でデータメモリプロテクションエラー 上記以外 b23 0: 領域7でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域7でデータメモリプロテクションエラーあり、またはサーチヒットあり b22 0: 領域6でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域6でデータメモリプロテクションエラーあり、またはサーチヒットあり b21 0: 領域5でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域5でデータメモリプロテクションエラーあり、またはサーチヒットあり b20 0: 領域4でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域4でデータメモリプロテクションエラーあり、またはサーチヒットあり b19 0: 領域3でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域3でデータメモリプロテクションエラーあり、またはサーチヒットあり b18 0: 領域2でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域2でデータメモリプロテクションエラーあり、またはサーチヒットあり b17 0: 領域1でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域1でデータメモリプロテクションエラーあり、またはサーチヒットあり b16 0: 領域0でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域0でデータメモリプロテクションエラーあり、またはサーチヒットあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

UHACD[2:0] ビット (ユーザモード時 データヒット領域 アクセス制御ビット)

UHACD[2:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

オーバーラップした領域でエラーが発生した場合、もしくは領域サーチでヒットした場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時のアクセス制御ビットの論理和を保持します。

HITD[7:0] ビット (データヒット領域 ビット)

HITD[7:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域を示します。バックグラウンド領域でデータメモリプロテクションエラーが発生したとき、HITD[7:0] ビットは“0000 0000b”にセットされます。

注. ユーザモードでメモリプロテクションユニットのレジスタにアクセスしてデータメモリプロテクションエラーが発生した場合には、MHITD レジスタの値は 0000 0000h になります。

16.3 機能

16.3.1 メモリプロテクション機能

メモリプロテクション機能は、アクセス制御領域とバックグラウンド領域に設定されたアクセス制御情報に従って、ユーザモードのプログラムがアクセス制御情報に違反したアクセスを行わないかどうかを監視する機能です。アクセス制御違反(メモリプロテクションエラー)を検出した場合は、メモリプロテクションユニットはCPUへその情報を通知し、CPUはアクセス例外処理を開始します。

メモリプロテクション機能は、メモリプロテクション機能有効化レジスタ(MPEN)のメモリプロテクション機能有効化ビット(MPEN)を“1”にすることで有効になります。

命令の実行違反を検出した場合には命令メモリプロテクションエラーが、オペランドアクセスの読み出し、書き込み違反を検出した場合にはデータメモリプロテクションエラーが発生します。データメモリプロテクションエラー発生時は、アクセス制御違反を起こしたオペランドアクセスは実行されません。

16.3.2 領域サーチ機能

領域サーチ機能は、ある特定のアドレスが8つのアクセス制御領域のどの領域にヒットするのか、また、そのアドレスのアクセス制御情報(実行許可、読み出し許可、書き込み許可)がどのように設定されているかを調べる機能です。

領域サーチオペレーションレジスタ(MPOPS)の領域サーチオペレーションビット(S)を“1”にすることにより、領域サーチアドレスレジスタ(MPSA)で指定したアドレスと、各領域のアドレスの比較を行います。領域サーチ実行後のデータヒット領域レジスタ(MHITD)は、ヒットした領域と各領域のアクセス制御情報の論理和を示します。

16.3.3 メモリプロテクションユニット関連レジスタの保護

メモリプロテクションユニット関連レジスタへは、CPUのオペランドアクセス以外の手段(命令フェッチ、DMA)ではアクセスできません。メモリプロテクションユニット関連レジスタへは、スーパーバイザモードでのみアクセスすることができます。ユーザモードでCPUのオペランドアクセスでメモリプロテクションユニット関連レジスタへのアクセスを行った場合には、メモリプロテクション機能が有効かどうかに関わらずデータメモリプロテクションエラーが発生します。

16.3.4 メモリプロテクション機能のアクセス判定フロー

図 16.2 にデータアクセス判定フローを、図 16.3 に命令アクセス判定フローを示します。

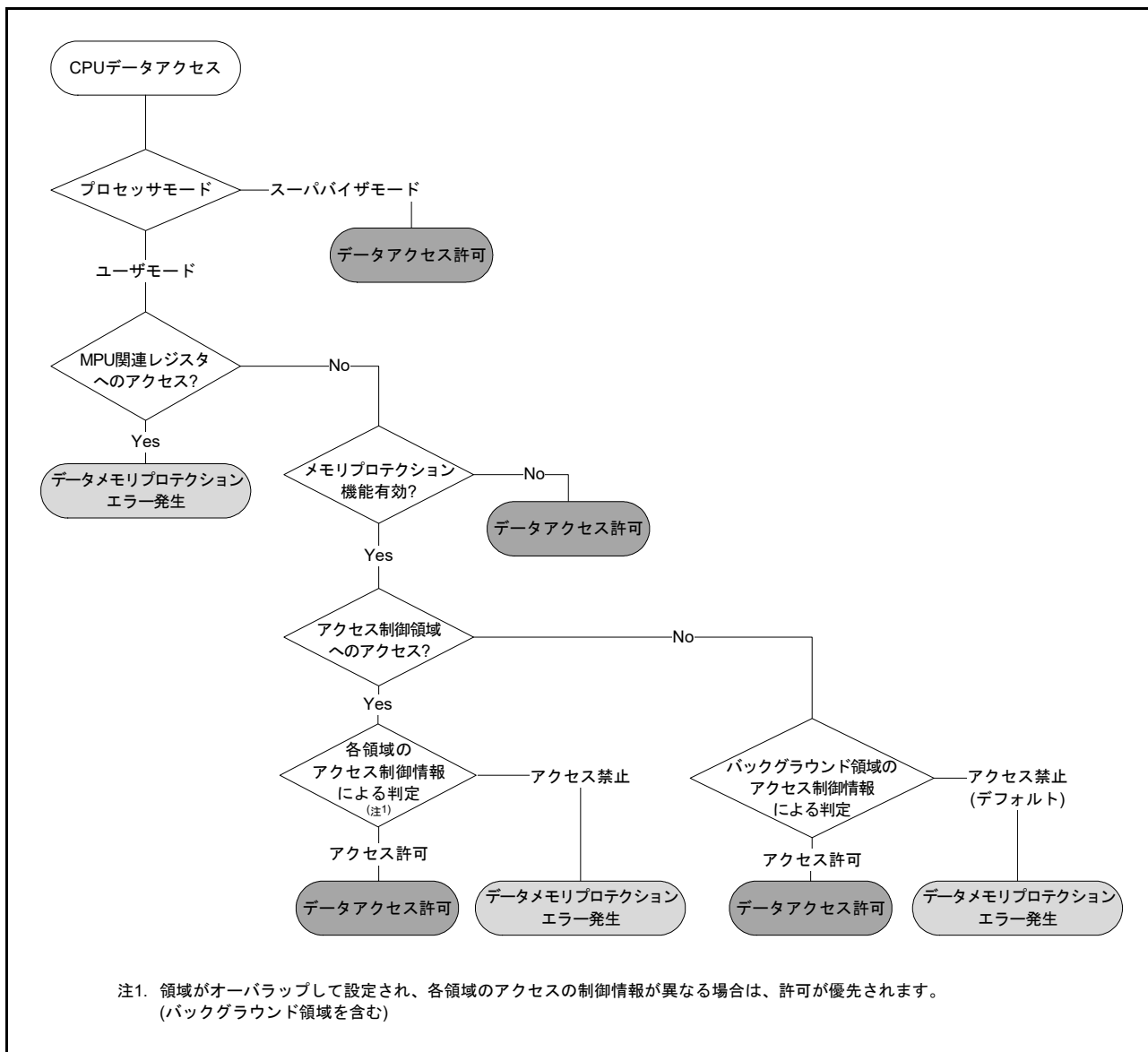


図 16.2 データアクセス判定フロー

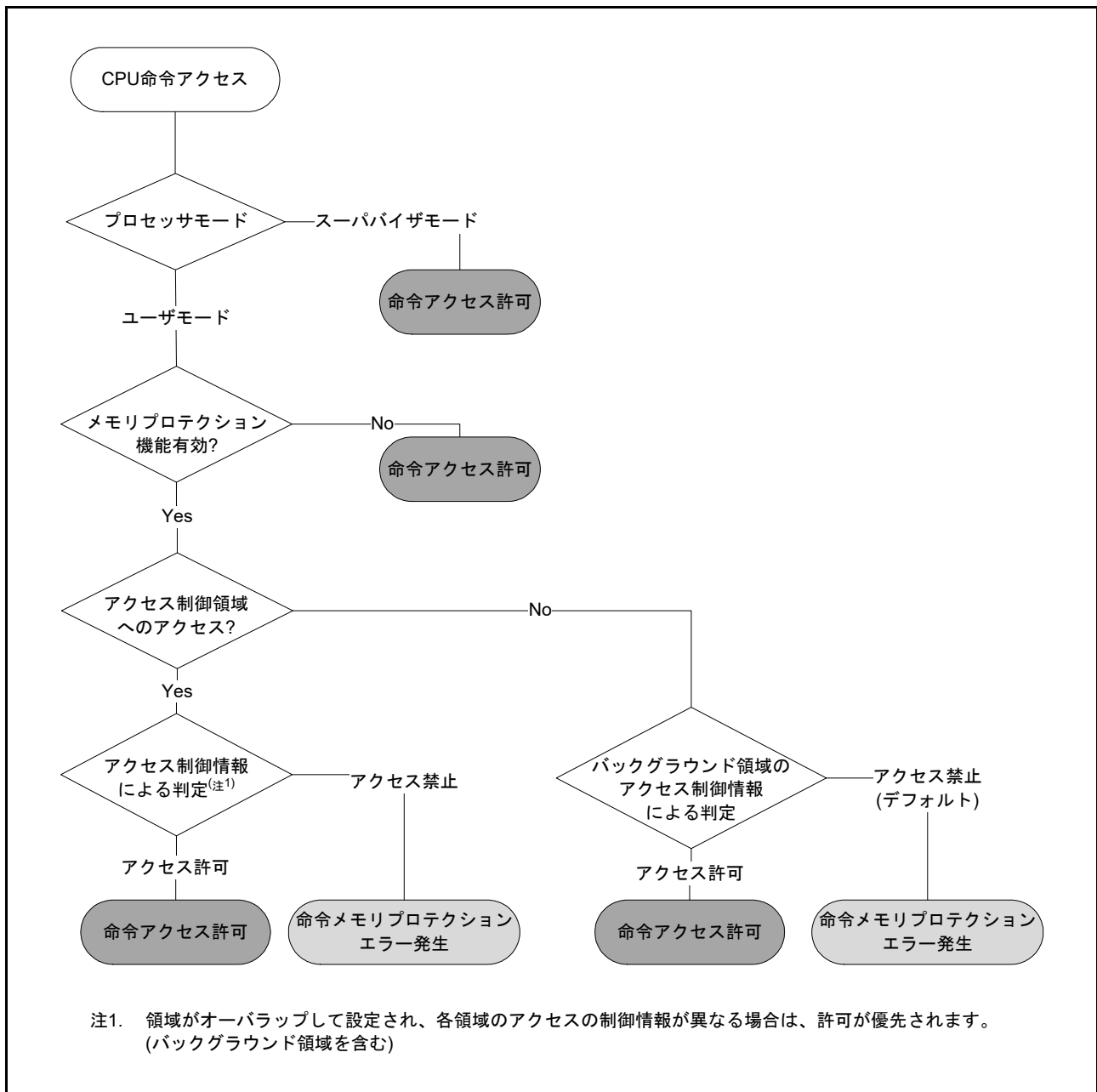


図 16.3 命令アクセス判定フロー

16.4 メモリプロテクション機能使用手順

16.4.1 アクセス制御情報の設定

スーパーバイザモードで、各領域のアクセス制御情報を設定します。

最大8つのアクセス制御領域の設定を領域n開始ページ番号レジスタ (RSPAGEn) および領域n終了ページ番号レジスタ (REPAGEn) で行います (n=0~7)。

バックグラウンドアクセス制御領域の設定をバックグラウンドアクセス制御レジスタ (MPBAC) で行います。

16.4.2 メモリプロテクション機能の有効化

スーパーバイザモードで、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を“1”にします。

16.4.3 ユーザモードへの移行

メモリプロテクションユニット関連レジスタの設定を書き換えた後は、ユーザモードへ移行する前に、必ずいずれかのメモリプロテクションユニット関連レジスタを読み出し、値が設定されたことを確認した後(読み出し値を使った演算実行後)にユーザモードへ移行してください。スーパーバイザモードからユーザモードへは、以下のいずれかの方法で移行します。

- スタック領域に退避されたプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) を“1”(ユーザモードに設定)にした後、RTE 命令を実行
- バックアップ PSW (BPSW) の PM ビットを“1”にした後、RTFI 命令を実行

注． MVTc、POPC 命令による PSW.PM ビットを書き換えは無効です。RTE 命令、あるいは RTFI 命令で PSW.PM ビットの値を変更してください。

ユーザモードに移行することにより、メモリプロテクションユニットは、CPU の命令実行アドレスおよびオペランドアクセスアドレスのチェックを開始します。

16.4.4 メモリプロテクションエラー発生時の処理

アクセス制御情報違反 (メモリプロテクションエラー) を検出すると、CPU はアクセス例外処理を開始します。アクセス例外処理の CPU 動作の詳細は、「13. 例外処理」を参照してください。

例外処理ルーチン内で、メモリプロテクションエラーステータスレジスタ (MPESTS) の命令メモリプロテクションエラー発生ビット (IMPER) およびデータメモリプロテクションエラー発生ビット (DMPER) を確認し、命令メモリプロテクションエラーか、データメモリプロテクションエラーのどちらが発生したかを判別します。

確認後は、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、MPESTS レジスタをクリアします。

(1) データメモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生したオペランドアクセスアドレスが、データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納され、メモリプロテクションエラーを発生した領域情報がデータヒット領域レジスタ (MHITD) に格納されます。

- 有効な領域 0 ~ 7 にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応したデータヒット領域ビット (MHITD.HITD[7:0]) が “1” になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

- 有効な領域 0 ~ 7 の領域外にアクセスし、かつバックグラウンド領域のアクセス制御に違反した場合

データヒット領域ビット (MHITD.HITD[7:0]) は、“0000 0000b” になります。バックグラウンド領域のアクセス制御情報が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

(2) 命令メモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生した領域情報が、命令ヒット領域レジスタ (MHITI) に格納されます。

- 有効な領域 0 ~ 7 にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応した命令ヒット領域ビット (MHITI.HITI[7:0]) が “1” になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITI.UHACI[2:0]) にセットされます。

- 有効な領域 0 ~ 7 の領域外にアクセスし、かつ、バックグラウンド領域のアクセス制御に違反した場合

命令ヒット領域ビット (MHITI.HITI[7:0]) は、“0000 0000b” になります。バックグラウンド領域アクセス制御が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITI.UHACI[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

17. データトランスファコントローラ (DTCa)

本 MCU は、データトランスファコントローラ (DTC) を内蔵しています。
DTC は、割り込み要求によって起動し、データ転送を行うことができます。

17.1 概要

表 17.1 に DTC の仕様を、図 17.1 に DTC のブロック図を示します。

表 17.1 DTC の仕様

項目	内容
転送チャンネル数	<ul style="list-style-type: none"> DTC 起動が可能なすべての割り込み要因の数と同数
転送モード	<ul style="list-style-type: none"> ノーマル転送モード 1回の起動で1つのデータを転送する リピート転送モード 1回の起動で1つのデータを転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピート回数は最大256回設定可能で、256 × 32 ビットで、最大1024バイト転送可能 ブロック転送モード 1回の起動で1ブロックのデータを転送する ブロックサイズは、最大256 × 32 ビット = 1024バイト設定可能
チェーン転送機能	<ul style="list-style-type: none"> 1回の転送要求に対して複数種類のデータ転送を連続して実行可能 「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能
転送空間	<ul style="list-style-type: none"> ショートアドレスモードのとき16Mバイト ("0000 0000h" ~ "007F FFFFh" と "FF80 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域) フルアドレスモードのとき4Gバイト ("0000 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域)
データ転送単位	<ul style="list-style-type: none"> 1データ：1バイト (8ビット)、1ワード (16ビット)、1ロングワード (32ビット) 1ブロックサイズ：1~256データ
CPU 割り込み要求	<ul style="list-style-type: none"> DTC を起動した割り込みで CPU への割り込み要求を発生可能 1回のデータ転送終了後に CPU への割り込み要求を発生可能 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
リードスキップ	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
消費電力低減機能	モジュールストップ状態への遷移が可能

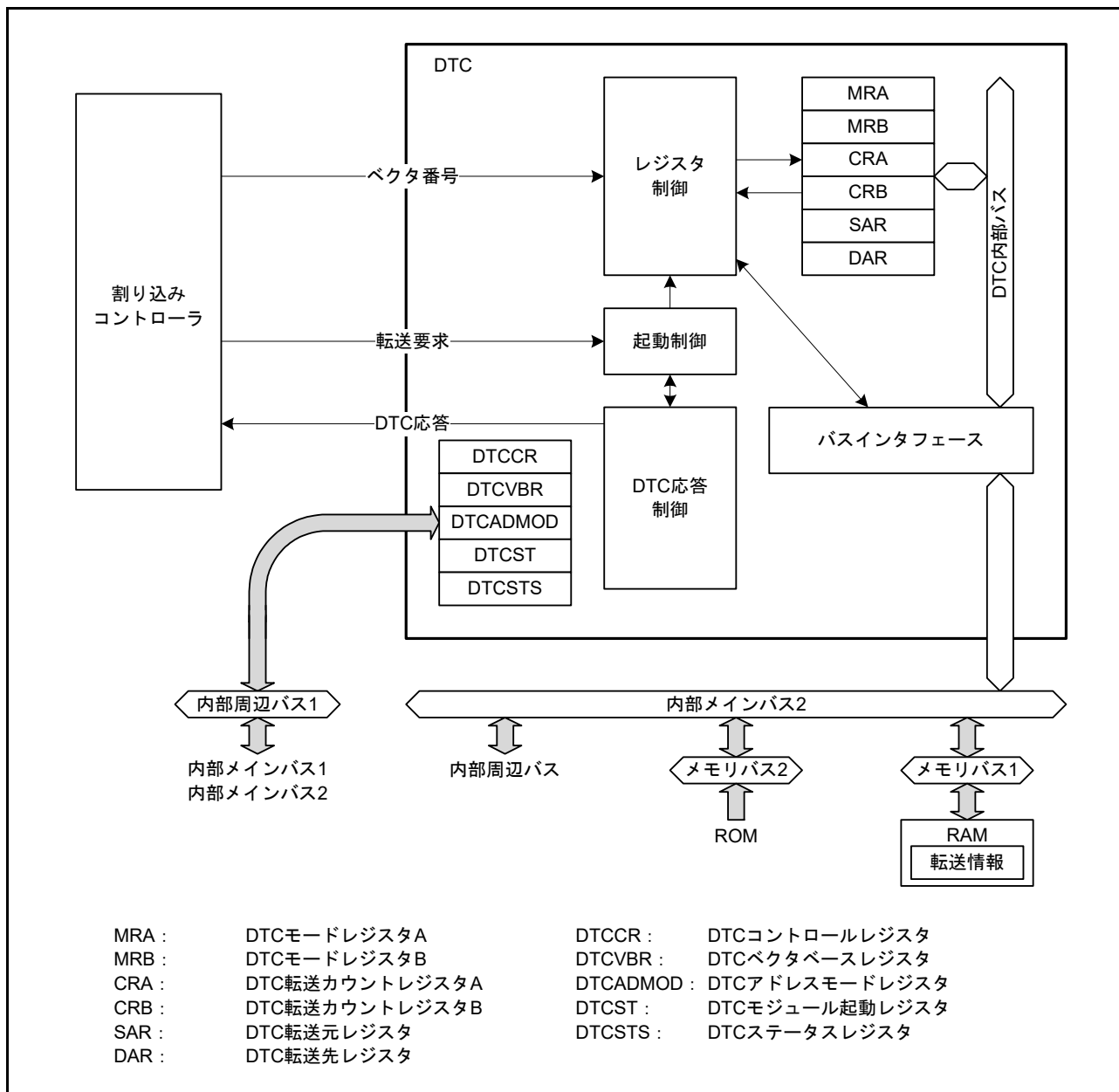


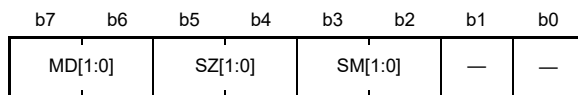
図 17.1 DTC のブロック図

17.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB レジスタはDTCの内部レジスタです。CPUから直接アクセスすることはできません。これら内部レジスタの設定値はRAM領域に転送情報として配置します。DTCは転送要求を受け付けると、RAM領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、更新された内部レジスタの値は転送情報としてRAM領域にライトバックされます。

17.2.1 DTC モードレジスタ A (MRA)

アドレス (CPUから直接アクセス不可)



リセット後の値 X X X X X X X X

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	"0"にしてください	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 0 0 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 0 1 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 1 0 : 転送後SARレジスタをインクリメント (SZ[1:0]ビットが"00b"のとき1、 "01b"のとき+2、"10b"のとき+4) 1 1 : 転送後SARレジスタをデクリメント (SZ[1:0]ビットが"00b"のとき-1、 "01b"のとき-2、"10b"のとき-4)	—
b5-b4	SZ[1:0]	DTCデータトランスファサイズビット	b5 b4 0 0 : バイト (8ビット) 転送 0 1 : ワード (16ビット) 転送 1 0 : ロングワード (32ビット) 転送 1 1 : 設定しないでください	—
b7-b6	MD[1:0]	DTC転送モード選択ビット	b7 b6 0 0 : ノーマル転送モード 0 1 : リピート転送モード 1 0 : ブロック転送モード 1 1 : 設定しないでください	—

MRAレジスタは、DTCの動作モードを選択するレジスタです。CPUから直接アクセスすることはできません。

17.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—	
リセット後の値	X	X	X	X	X	X	X	X

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	“0”にしてください	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモードビット	b3 b2 0 0: DARレジスタはアドレス固定 (DARレジスタのライトバックはスキップされます) 0 1: DARレジスタはアドレス固定 (DARレジスタのライトバックはスキップされます) 1 0: 転送後、DARレジスタをインクリメント (MRA.SZ[1:0]ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1: 転送後DARレジスタをデクリメント (MRA.SZ[1:0]ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4)	—
b4	DTS	DTC転送モード選択ビット	0: 転送先がリピート領域またはブロック領域 1: 転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC割り込み選択ビット	0: 指定した回数のデータ転送が終了したとき、CPUへの割り込み要求が発生 1: データ転送のたびに、CPUへの割り込み要求が発生	—
b6	CHNS	DTCチェーン転送選択ビット	0: 転送が終了するたびにチェーン転送を行う 1: 転送カウンタが1→0、または1→CRAHとなったとき、チェーン転送を行う	—
b7	CHNE	DTCチェーン転送許可ビット	0: チェーン転送禁止 1: チェーン転送許可	—

MRBレジスタは、DTCの動作モードを選択するレジスタです。CPUから直接アクセスすることはできません。

DTS ビット (DTC 転送モード選択ビット)

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域にするかを指定します。

CHNS ビット (DTC チェーン転送選択ビット)

チェーン転送の条件を選択します。

CHNEビットが“0”のときはCHNSビットの設定は無視されます。チェーン転送が選択される条件の詳細は、「表 17.3 チェーン転送の条件」を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPUへの割り込み要求は発生しません。

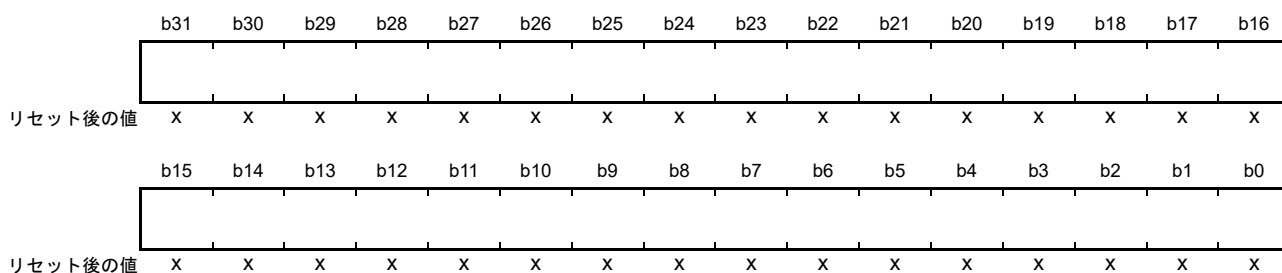
CHNE ビット (DTC チェーン転送許可ビット)

チェーン転送を指定します。

チェーン転送の条件の選択は、CHNSビットで行います。チェーン転送の詳細は、「17.4.6 チェーン転送」を参照してください。

17.2.3 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可)



x: 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。

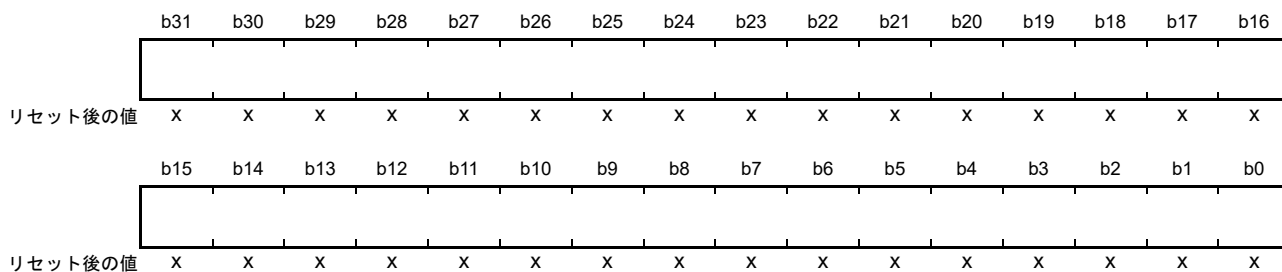
フルアドレスモードでは 32 ビットが有効となります。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31~b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

17.2.4 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可)



x: 不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビットが有効となります。

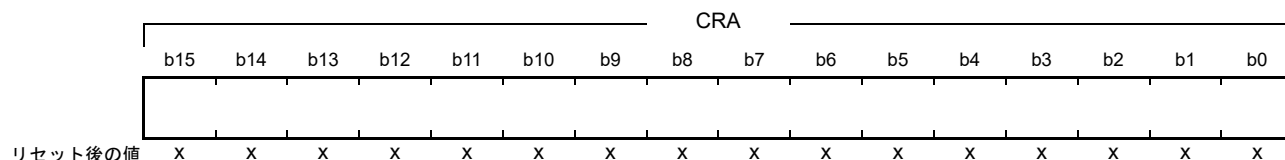
ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31~b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

17.2.5 DTC 転送カウントレジスタ A (CRA)

- ノーマル転送モード

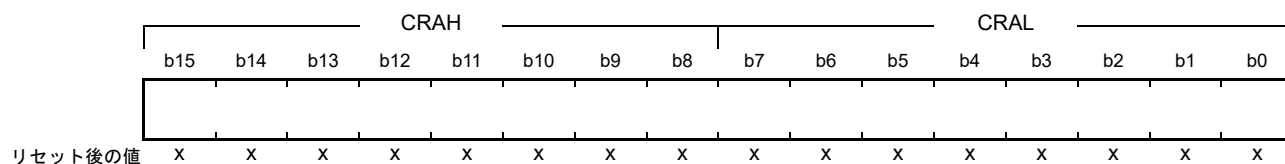
アドレス (CPUから直接アクセス不可)



x: 不定

- リピート転送モード、ブロック転送モード

アドレス (CPUから直接アクセス不可)



x: 不定

シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定します。転送中はカウンタとして動作します	—
CRAH	転送カウンタA上位レジスタ	転送回数を設定します。転送中はリロードレジスタとして動作します	—

注. 転送モードによって機能が異なります。

注. リピート転送モード時およびブロック転送モード時は、CRAH、CRALレジスタには同じ値を設定してください。

CRA レジスタは転送回数をカウントするレジスタです。CPU から直接アクセスすることはできません。

(1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = 00b)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が“0001h”のときは 1 回、“FFFFh”のときは 65535 回、“0000h”のときは 65536 回となります。

データ転送を 1 回行うたびにデクリメント (-1) されます。

(2) リピート転送モードの場合 (MRA.MD[1:0] ビット = 01b)

CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。

転送回数は、設定値が“01h”のときは 1 回、“FFh”のときは 255 回、“00h”のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (-1) され、“00h”になると CRAH レジスタの値がリロードされます。

(3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = 10b)

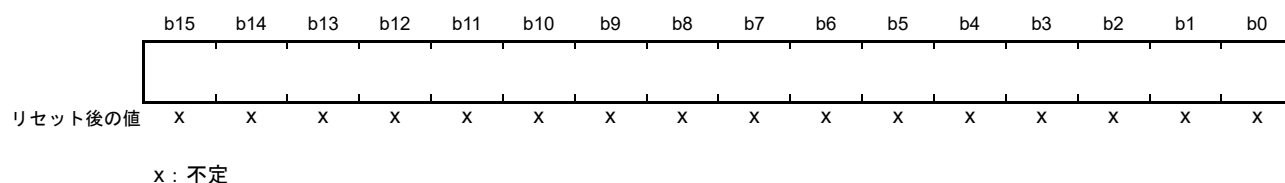
CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が“01h”のときは 1 回、“FFh”のときは 255 回、“00h”のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (-1) され、“00h”になると CRAH レジスタの値がリロードされます。

17.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可)



CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。CPU から直接アクセスすることはできません。

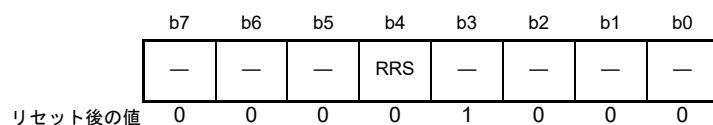
転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。

1ブロックサイズの最終データ転送時にデクリメント (-1) されます。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。

17.2.7 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 0008 2400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC 転送情報リードスキップ許可ビット	0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCCR レジスタは、DTC の動作を制御するレジスタです。

RRS ビット (DTC 転送情報リードスキップ許可ビット)

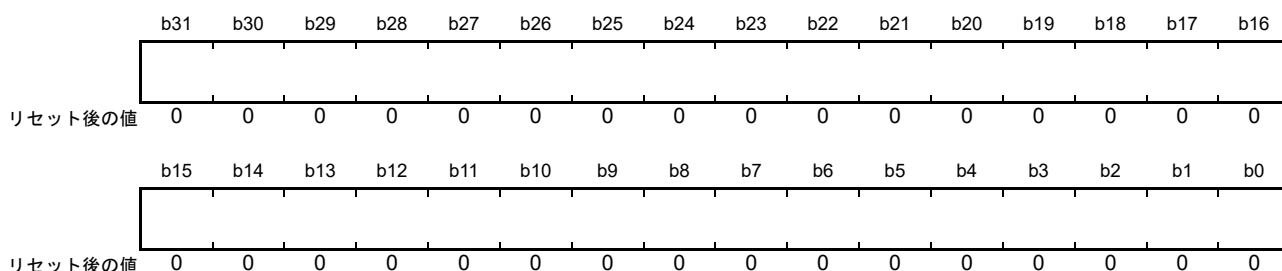
DTC ベクタ番号は、前回起動のベクタ番号と比較されます。

ベクタ番号が一致し RRS ビットが“1”のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

また、前回の転送が、ノーマル転送で転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。

17.2.8 DTC ベクタベースレジスタ (DTCVBR)

アドレス DTC.DTCVBR 0008 2404h

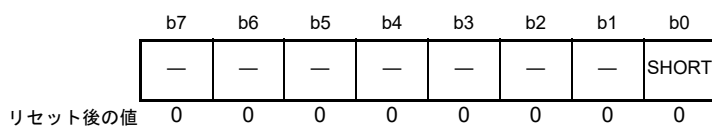


DTCVBR レジスタは、DTC ベクタの配置アドレスを算出するためのベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は“0”固定です。書く場合、“0”を書いてください。

0000 0000h ~ 07FF FC00h、および F800 0000h ~ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

17.2.9 DTC アドレスモードレジスタ (DTCADMOD)

アドレス DTC.DTCADMOD 0008 2408h



ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット	0 : フルアドレスモード 1 : ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCADMOD レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

SHORT ビット (ショートアドレスモード設定ビット)

SAR レジスタ、DAR レジスタのアドレスモードを選択するビットです。

フルアドレスモードでは、4G バイト空間 (0000 0000h ~ FFFF FFFFh) のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間 (0000 0000h ~ 007F FFFFh と FF80 0000h ~ FFFF FFFFh) のアクセスが可能です。

17.2.10 DTC モジュール起動レジスタ (DTCST)

アドレス DTC.DTCST 0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCST ビット (DTC モジュール起動ビット)

DTC を転送要求受け付け可能にするためには、DTCST ビットを“1”にしてください。DTCST ビットを“0”にすると新たな転送要求を受け付けません。

動作中に“0”に書き換えた場合、受け付け済みの転送要求は処理が終わるまで動作します。

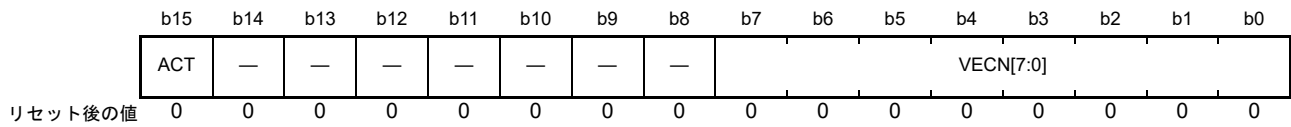
モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへ移行する際は、DTCST ビットを“0”にしてください。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードから復帰した後、DTCST ビットを“1”にすると、データ転送が再開できます。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへの移行については「17.8 消費電力低減機能」、および「11. 消費電力低減機能」を参照してください。

17.2.11 DTC ステータスレジスタ (DTCSTS)

アドレス DTC.DTCSTS 0008 240Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTCアクティブベクタ番号モニタフラグ	データ転送実行中にその起動要因をベクタ番号で示します データ転送実行中 (ACTフラグが“1”のとき) にのみ有効値を示します	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ACT	DTCアクティブフラグ	0: データ転送は実行していない 1: データ転送実行中	R

VECN[7:0] フラグ (DTC アクティブベクタ番号モニタフラグ)

データ転送を実行中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが“1” (データ転送実行中) であれば、VECN[7:0] フラグの値は有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが“0” (データ転送は実行していない) であれば、VECN[7:0] フラグの値は無効値です。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUb)」の「14.3.1 割り込みのベクタテーブル」を参照してください。

ACT フラグ (DTC アクティブフラグ)

データ転送の実行状態を示します。

[“1”になる条件]

- 転送要求に対して DTC が起動したとき

[“0”になる条件]

- 1回の転送要求に対するデータ転送が終了したとき

17.3 起動要因

DTC は割り込み要求によって起動します。DTC を起動する割り込み要求に対応する ICU.DTCERn.DTCE ビット (n = 割り込みベクタ番号) を“1”にすると DTC の起動要因になります。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUb)」の「14.3.1 割り込みのベクタテーブル」を参照してください。また、ソフトウェア起動については、「14. 割り込みコントローラ (ICUb)」の「14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)」を参照してください。

DTC が一度、転送要求を受け付けると、その 1 要求分の転送が終わるまでは、優先順位に関わりなく新たな転送要求を受け付けません。DTC のデータ転送中に複数の転送要求が発生した場合、その転送が終わった時点で最も優先順位の高い要求が受け付けられます。DTCST.DTCST ビットが“0” (DTC モジュール停止) の状態で複数の転送要求が発生した場合も、その後、DTCST.DTCST ビットを“1” (DTC モジュール動作) にした時点で最も優先順位の高い要求が受け付けられます。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) を行うごとに、DTC は以下の動作を行います。

- 指定した総転送数の最終終了時は、データ転送後に ICU.DTCERn.DTCE ビットを“0”にして CPU に割り込みを要求します。
- MRB.DISEL ビットが“1”のときは、データ転送後に CPU に割り込みを要求します。
- 上記のいずれでもない場合は、データ転送開始時に起動要因となった割り込みステータスフラグを“0”にします。

17.3.1 転送情報の配置と DTC ベクタテーブル

DTC は起動要因別に DTC ベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報を読みます。

DTC ベクタテーブルは、ベースアドレス (先頭アドレス) の下位 10 ビットが“0”になるように、1K バイト境界に配置してください。DTC ベクタテーブルのベースアドレスは、DTC ベクタベースレジスタ (DTCVBR) に設定してください。

転送情報は、RAM 領域に配置します。ベクタ番号 n に対する転送情報 n の先頭アドレスは、DTCVBR + 4n 番地に格納してください。

転送情報は、4 バイト境界に配置してください。ショートアドレスモードの場合、12 バイト、フルアドレスモード場合、16 バイト使用します。DTCADM.SHORT ビットで、ショートアドレスモード (SHORT ビット = 1)、フルアドレスモード (SHORT ビット = 0) の設定を行います。

DTC ベクタテーブルと転送情報の対応を図 17.2 に示します。

RAM 領域上の転送情報の配置を図 17.3 に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は、「17.9.2 転送情報の配置」を参照してください。

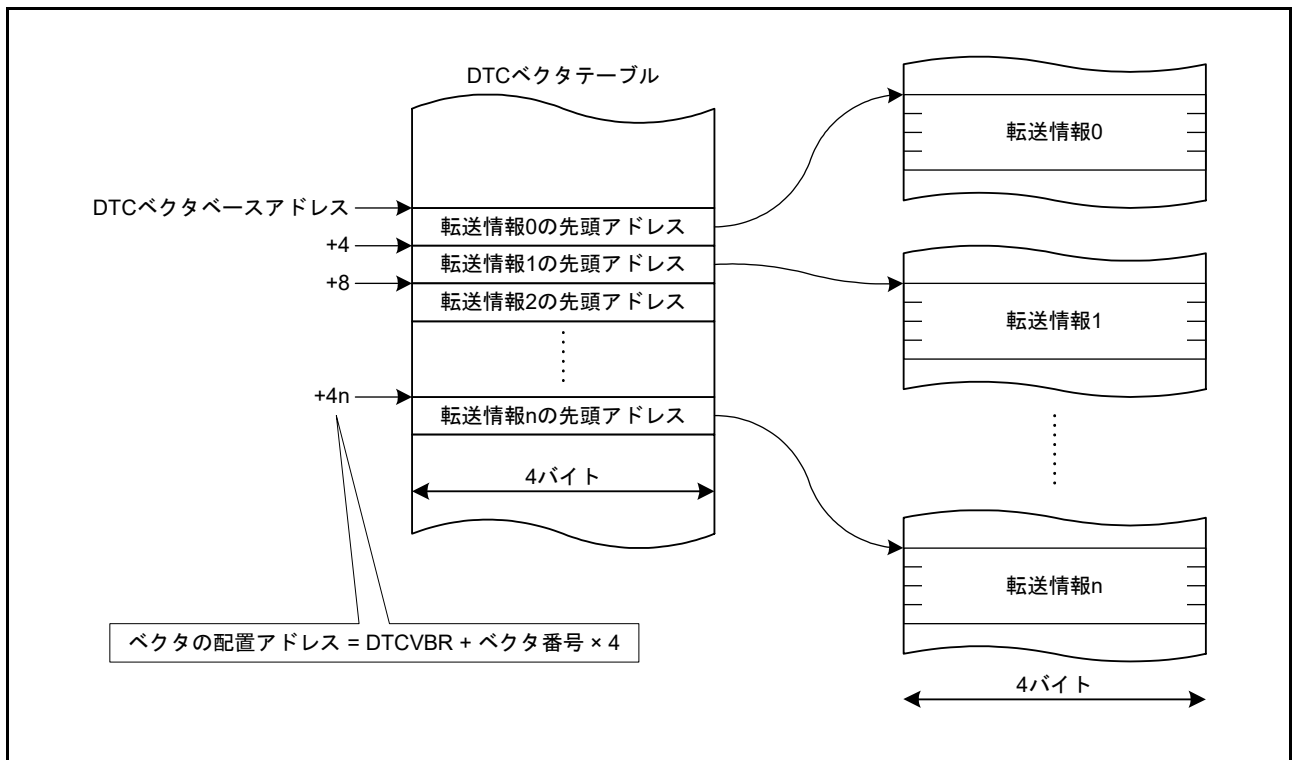


図 17.2 DTC ベクタテーブルと転送情報の対応

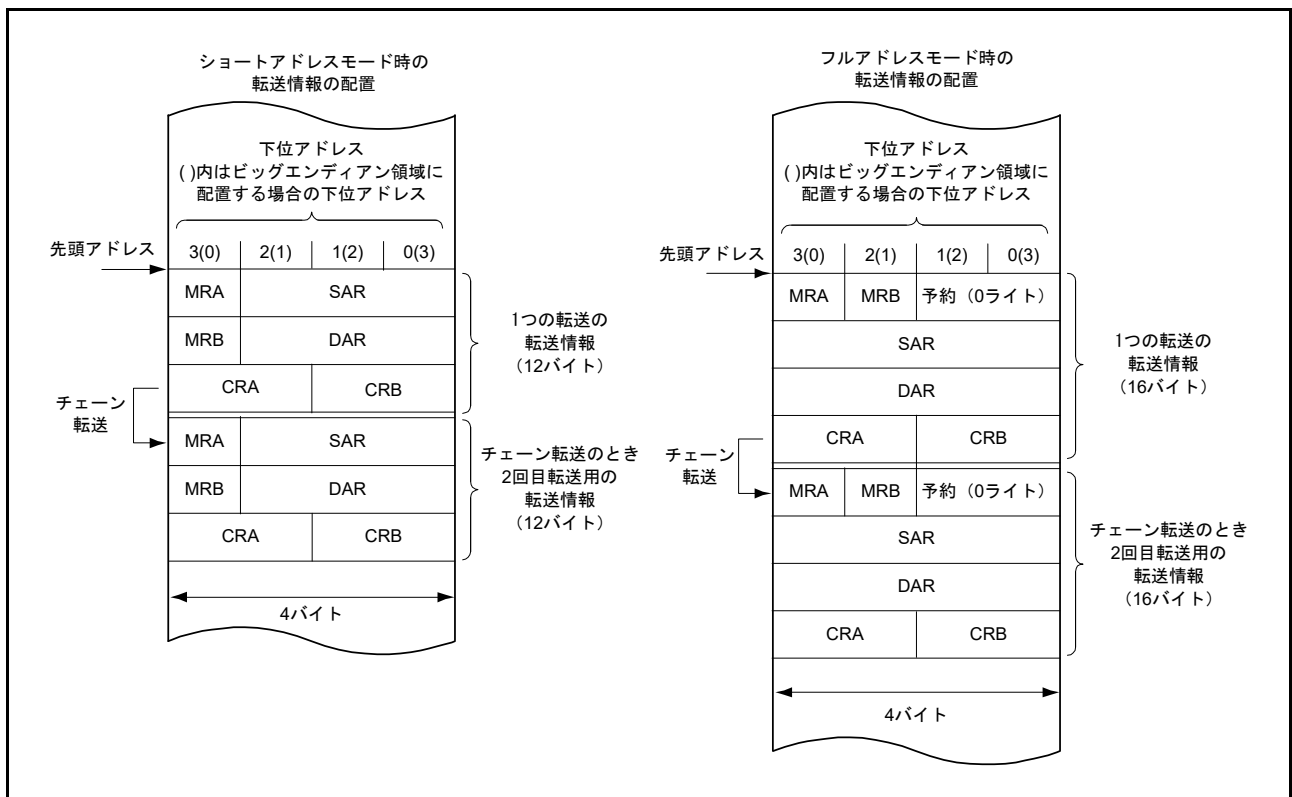


図 17.3 RAM 領域上の転送情報の配置

17.4 動作説明

DTC は、転送情報を元にデータを転送します。DTC を動作させるためには、あらかじめ転送情報を RAM 領域に格納しておく必要があります。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読み出します。次に DTC ベクタが示すアドレスから転送情報を読み出してデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報を RAM 領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

転送元アドレスは SAR レジスタ、転送先アドレスは DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、それぞれの設定（インクリメント/デクリメント/固定）に従って、転送後に更新されます。

DTC の転送モードを表 17.2 に示します。

表 17.2 DTC の転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード (注1)	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～256回 (注3)
ブロック転送モード (注2)	CRAHレジスタで指定したブロックサイズ (1～256バイト/1～256ワード/1～256ロングワード)	1、2または4増減あるいはアドレス固定	1～65536回

注1. 転送元または転送先のいずれかをリピート領域に設定

注2. 転送元または転送先のいずれかをブロック領域に設定

注3. 指定回数の転送終了後は、初期状態を回復し動作を継続（リピート）する。

また、MRB.CHNE ビットを“1”にしておくことにより、1回の転送要求で複数の転送を行うことができます（チェーン転送）。MRB.CHNS ビットの設定で、指定された回数のデータ転送が終了したときにチェーン転送を行う設定も可能です。

DTC 動作フローチャートを図 17.4 に示します。チェーン転送の条件を表 17.3 に示します。

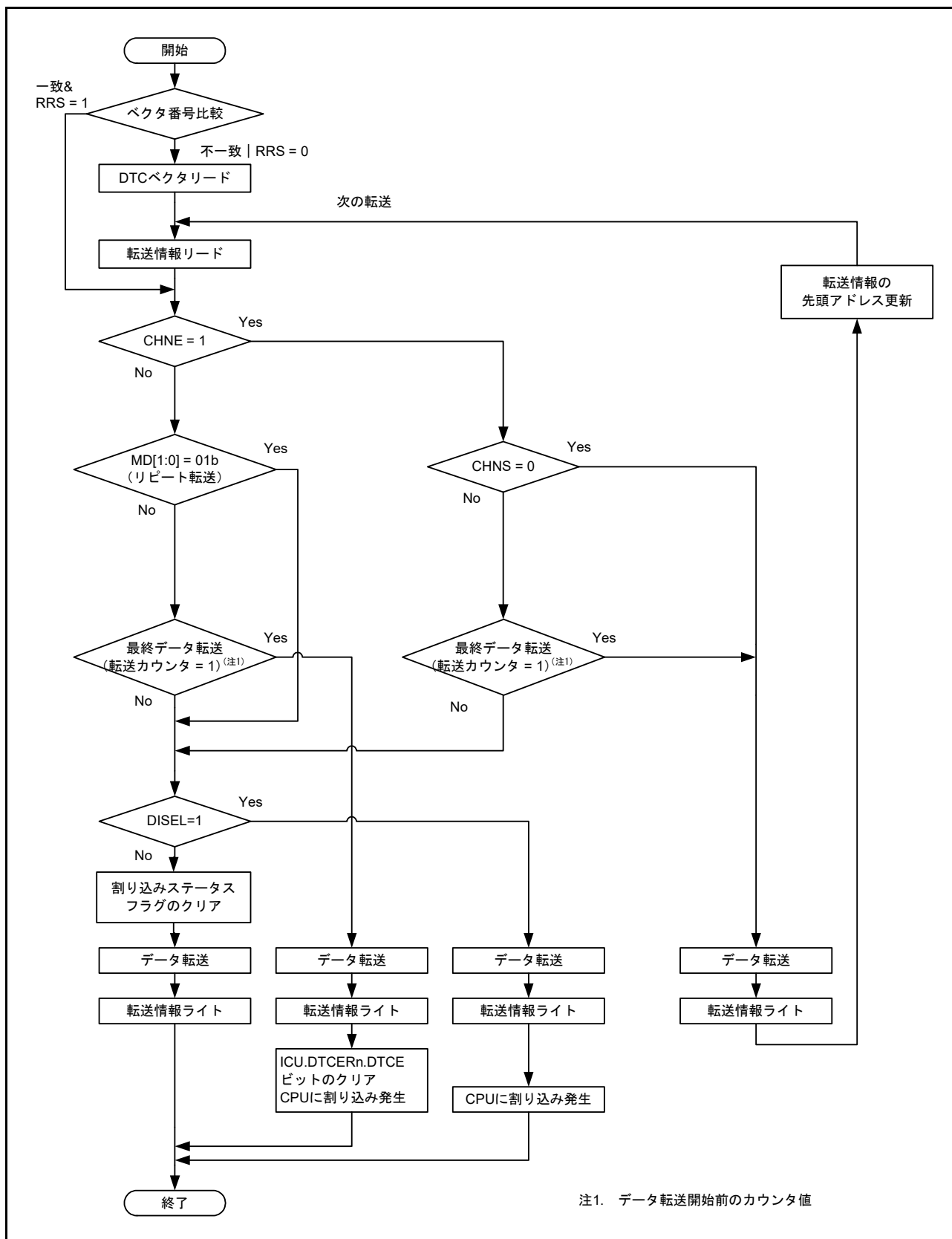


図 17.4 DTC 動作フローチャート

表 17.3 チェーン転送の条件

第1の転送				第2の転送 (注3)				データ転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	
0	—	0	(1 → 0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1 → 0)	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	0	(1 → *) 以外	—	—	—	—	第1転送で終了
1	1	—	(1 → *)	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	1	(1 → *) 以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

注1. 転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。

ノーマル転送モード：CRAレジスタ、リピータ転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ

注2. 転送終了時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは(1 → 0)、リピータ転送モードでは(1 → CRAH)となります。表中の(1 → *)はこの両方を指しています。

注3. 第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNEビットが“1”の組み合わせを省略しています。

17.4.1 転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、DTC ベクタのリードと転送情報のリードをスキップすることができます。

DTC 転送要求が入力されたとき、今回起動する DTC ベクタ番号と前回起動した DTC ベクタ番号が比較されます。比較結果が一致し、DTCCR.RRS ビットが“1”のとき、DTC ベクタのリードと転送情報のリードを行わず、DTC 内部に残っている転送情報に従ってデータ転送を行います。前回の起動がチェーン転送のときは、DTC ベクタのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、DTCCR.RRS ビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を図 17.13 に示します。

DTC ベクタテーブルと転送情報を更新する場合には、一度 DTCCR.RRS ビットを“0”にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを“1”にしてください。DTCCR.RRS ビットを“0”にすることによって DTC の内部に保持されていたベクタ番号は破棄されます。次回の起動時は、更新された DTC ベクタテーブルおよび転送情報がリードされます。

17.4.2 転送情報ライトバックスキップ機能

MRA.SM[1:0] ビット、または MRB.DM[1:0] ビットをアドレス固定 (“00b” または “01b”) に設定すると、転送情報の一部がライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。

転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを表 17.4 に示します。なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。

また、フルアドレスモードの場合、MRA レジスタ、MRB レジスタはライトバックスキップされます。

表 17.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット		SARレジスタ	DARレジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

17.4.3 ノーマル転送モード

1回の転送要求で、1バイト、1ワードまたは1ロングワードの転送を行います。転送回数は1～65536です。

転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表17.5に、ノーマル転送モードのメモリマップを図17.5に示します。

表17.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)
CRA	転送カウンタA	CRA - 1
CRB	転送カウンタB	更新されない

注1. アドレス固定のときは、ライトバックはスキップされます。

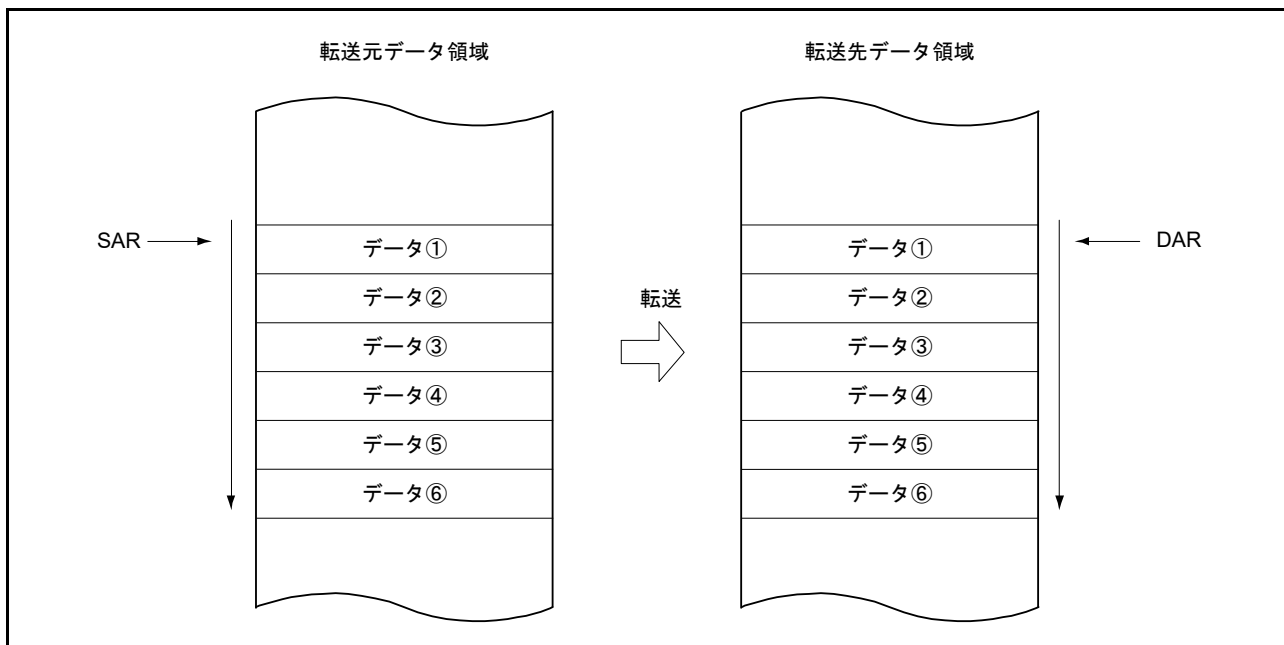


図17.5 ノーマル転送モードのメモリマップ

17.4.4 リピート転送モード

1回の転送要求で、1バイト、1ワードまたは1ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は1～256まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが“00h”になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは“00h”にならないので、MRB.DISEL ビットが“0”（指定した回数のデータ転送が終了したとき、CPU への割り込みが発生）の場合は CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 17.6 に、リピート転送モードのメモリマップを図 17.6 に示します。

表 17.6 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値		
		CRAL ≠ 1 のとき	CRAL = 1 のとき	
			MRB.DTSビット=0のとき	MRB.DTSビット=1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)	インクリメント/デクリメント/固定 (注1)	SARレジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)	DARレジスタの初期値	インクリメント/デクリメント/固定 (注1)
CRAH	転送カウンタ初期値保持	CRAH	CRAH	
CRAL	転送カウンタA	CRAL - 1	CRAH	
CRB	転送カウンタB	更新されない	更新されない	

注1. アドレス固定のときは、ライトバックはスキップされます。

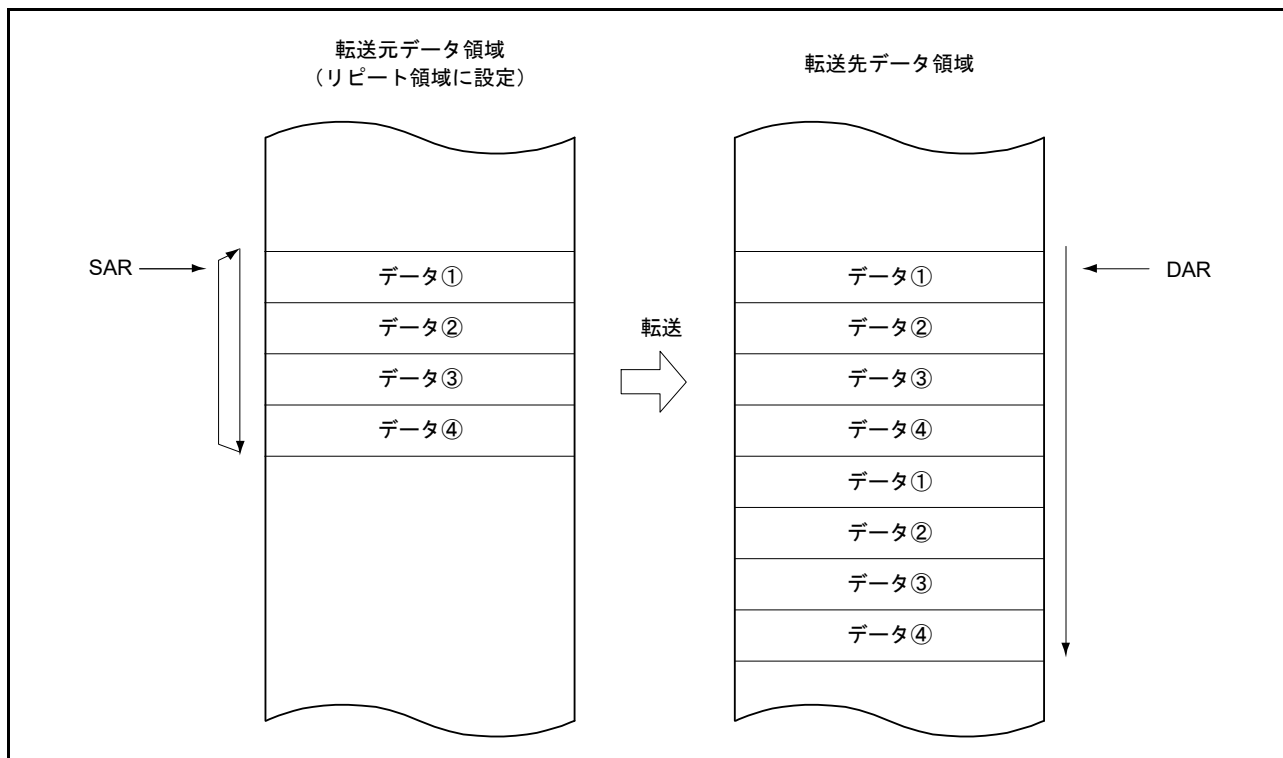


図 17.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合)

17.4.5 ブロック転送モード

1回の転送要求で、1ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは1～256バイト、1～256ワードまたは1～256ロングワードの指定が可能です。

指定された1ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが“1”のとき SAR レジスタ、DTS ビットが“0”のとき DAR レジスタ) の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

転送回数 (ブロック回数) は、1～65536まで指定可能です。指定回数のブロック転送が終了すると、CPUへの割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表 17.7 に、ブロック転送モードのメモリマップを図 17.7 に示します。

表 17.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値	
		MRB.DTSビット=0のとき	MRB.DTSビット=1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)	SARレジスタの初期値
DAR	転送先アドレス	DARレジスタの初期値	インクリメント/デクリメント/固定 (注1)
CRAH	ブロックサイズ初期値保持	CRAH	
CRAL	ブロックサイズカウンタ	CRAH	
CRB	ブロック転送回数カウンタ	CRB - 1	

注1. アドレス固定のときは、ライトバックはスキップされます。

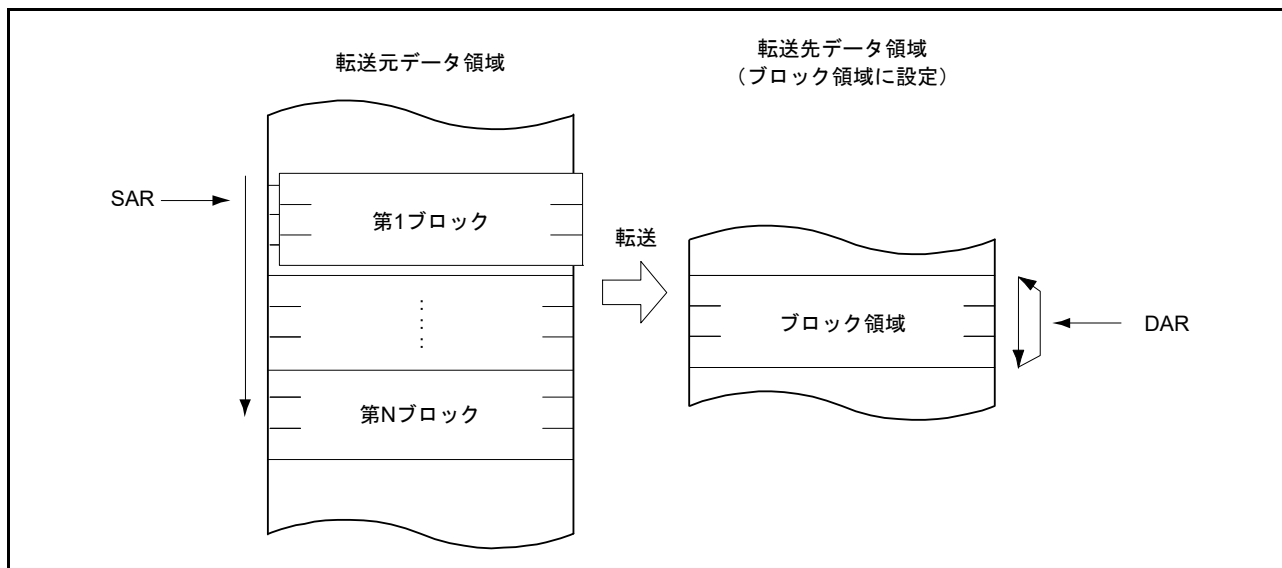


図 17.7 ブロック転送モードのメモリマップ (転送先をブロック領域に指定した場合)

17.4.6 チェーン転送

MRB.CHNE ビットを“1”にするとチェーン転送ができます。チェーン転送は、1回の転送要求で複数のデータ転送を行います。

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“0”にした場合、指定した回数のデータ転送が終了したときも、MRB.DISEL ビットを“1”（データ転送のたびに、CPU への割り込み要求が発生）にしているときも、CPU への割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグにも影響を与えません。

データ転送を定義する転送情報（SAR, DAR, CRA, CRB, MRA, MRB）はそれぞれ個別に設定できます。図 17.8 にチェーン転送の動作を示します。

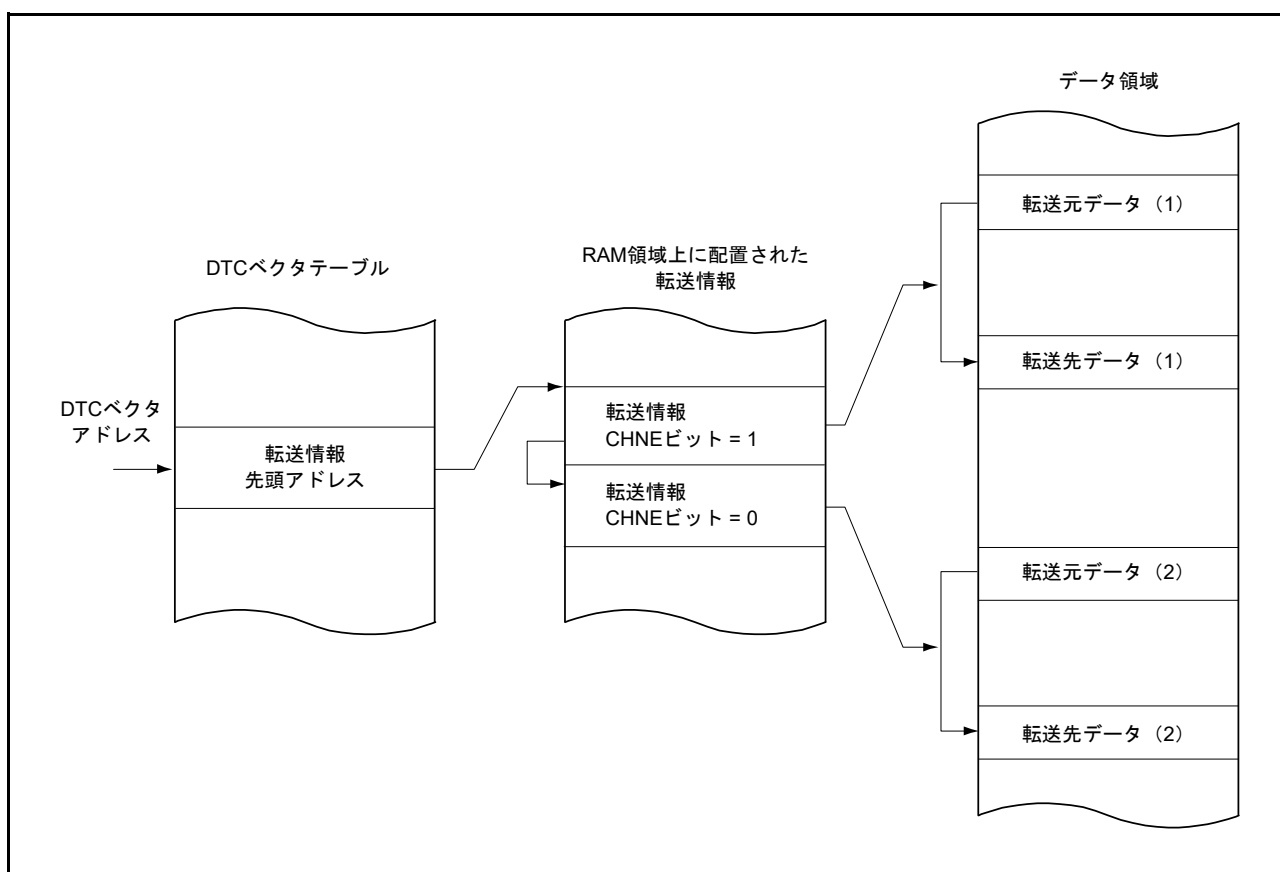


図 17.8 チェーン転送の動作

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“1”にした場合、指定された回数のデータ転送が終了したときのみチェーン転送を行います。リピート転送モードでも、指定された回数のデータ転送が終了したときにチェーン転送を行います。

チェーン転送の条件の詳細については、表 17.3 のチェーン転送の条件を参照してください。

17.4.7 動作タイミング

DTC の動作タイミングの例を図 17.9 ~ 図 17.13 に示します。

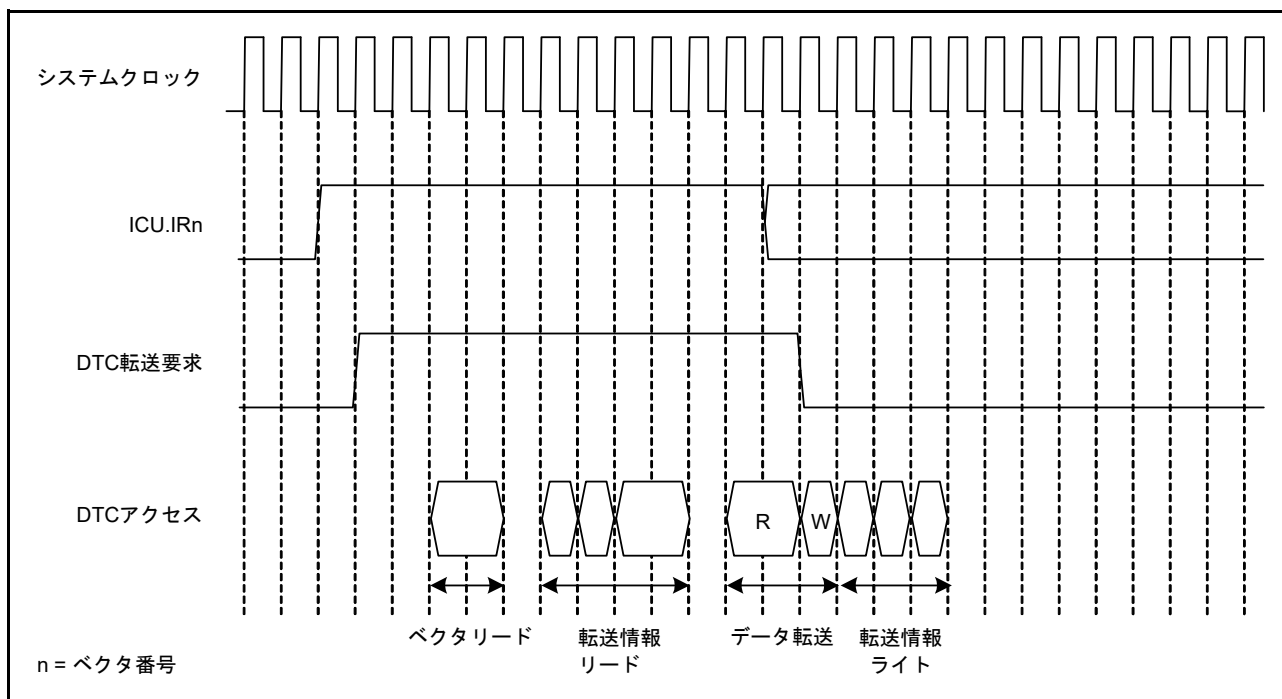


図 17.9 DTC 動作タイミング例 (1)
(ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合)

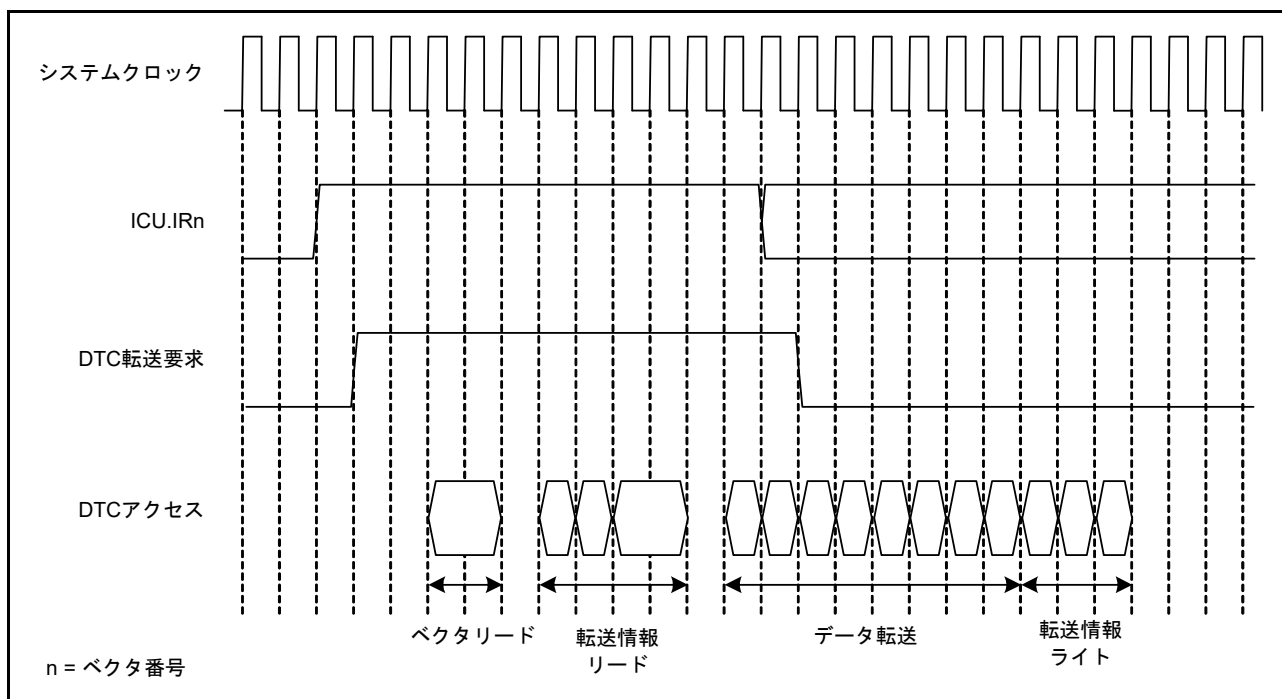


図 17.10 DTC 動作タイミング例 (2)
(ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合)

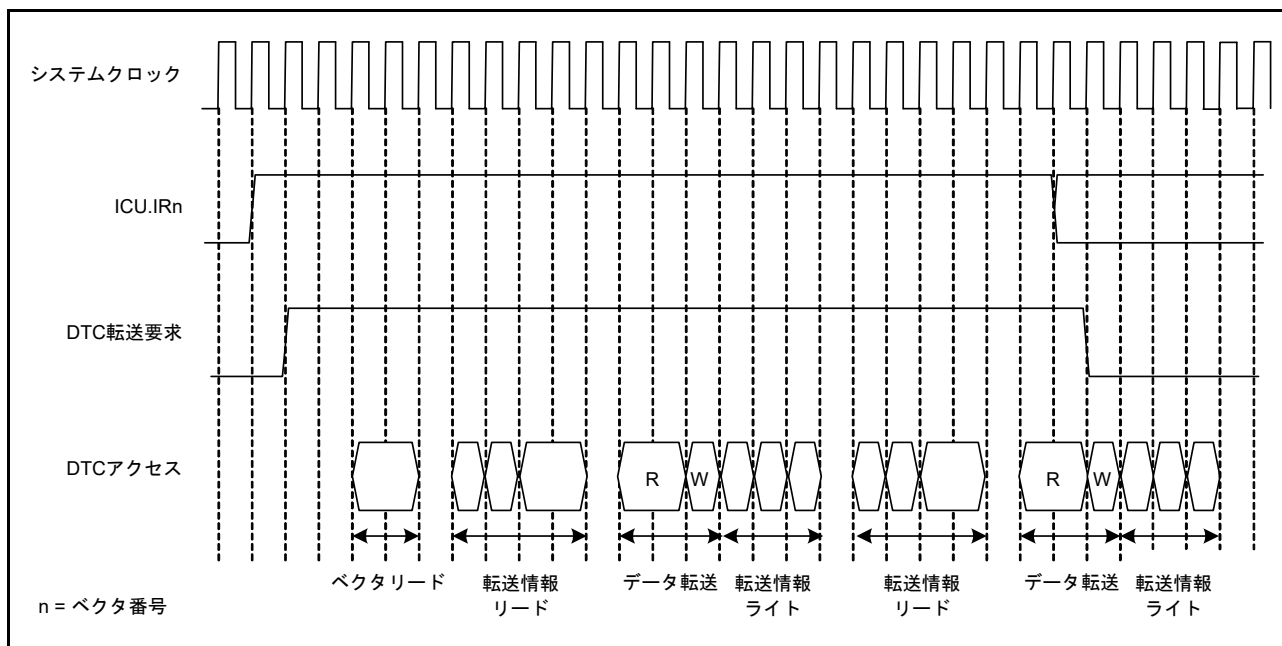


図 17.11 DTC 動作タイミング例 (3) (ショートアドレスモード、チェーン転送の場合)

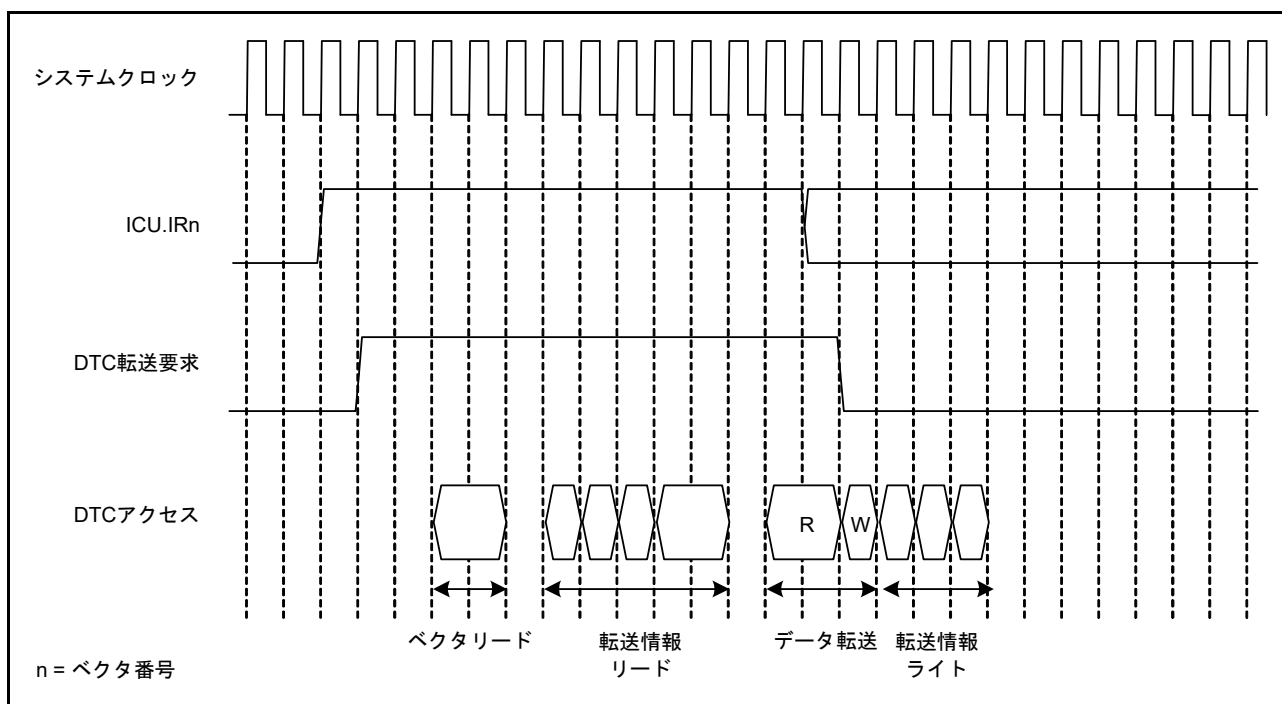


図 17.12 DTC 動作タイミング例 (4)
(フルアドレスモード、ノーマル転送モード、リピート転送モードの場合)

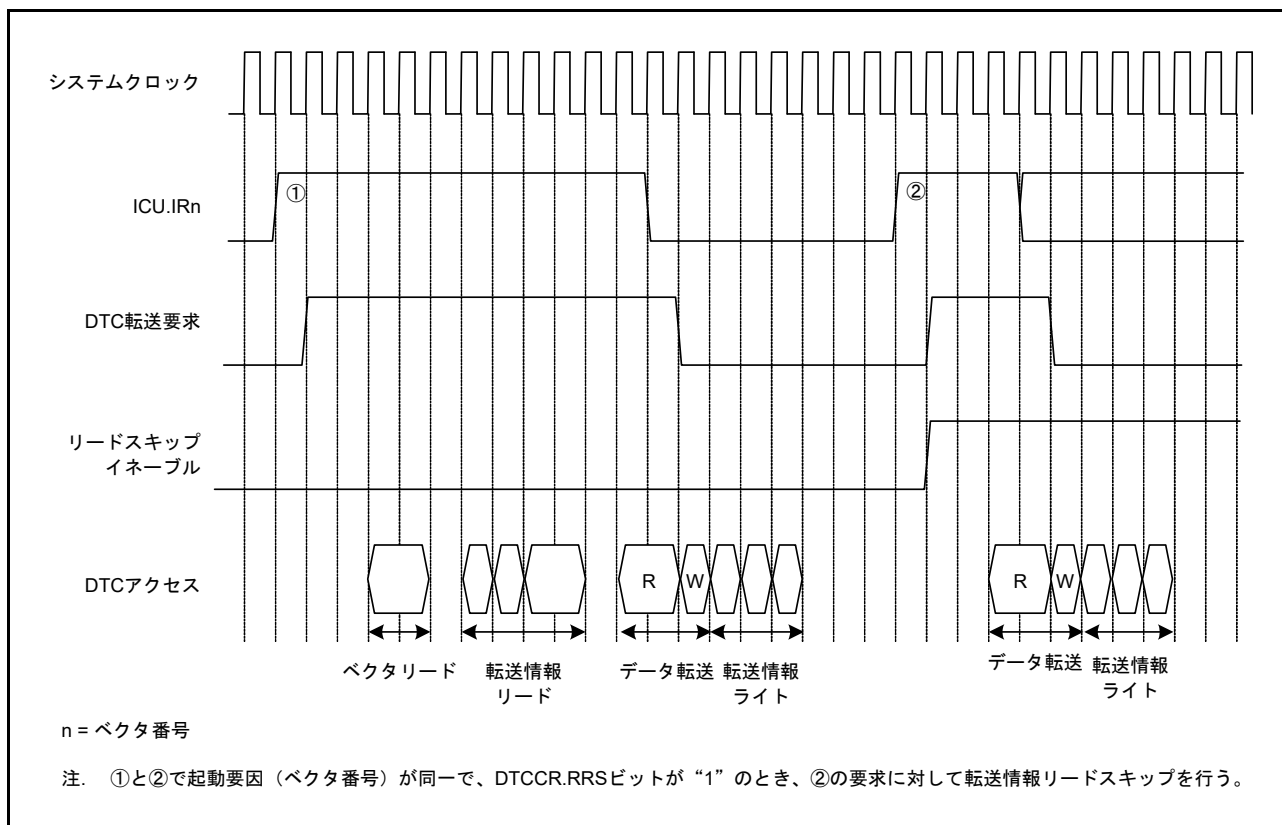


図 17.13 転送情報リードスキップ時の動作例
 (ベクタ、転送情報、転送先がRAM、転送元は周辺モジュールの場合)

17.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 17.8 に示します。

各処理状態の実施順序は、「17.4.7 動作タイミング」を参照してください。

表 17.8 DTCの実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データ転送		内部動作	
									リード	ライト		
ノーマル	Cv + 1	0 (注 1)	4 × Ci + 1 (注 2)	3 × Ci + 1 (注 3)	0 (注 1)	3 × Ci (注 4)	2 × Ci (注 5)	Ci (注 6)	Cr + 1	Cw	2	0 (注 1)
リピート									Cr + 1	Cw		
ブロック (注 7)									P × Cr	P × Cw		

注 1. 転送情報リードスキップのとき

注 2. フルアドレスモード動作のとき

注 3. ショートアドレスモード動作のとき

注 4. SARレジスタ、DARレジスタがともにアドレス固定でないとき

注 5. SARレジスタ、またはDARレジスタがアドレス固定のとき

注 6. SARレジスタとDARレジスタがともにアドレス固定のとき

注 7. ブロックサイズが2以上の場合です。ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

P：ブロックサイズ (CRAH、CRAL レジスタの設定値)

Cv：ベクタ転送情報格納先アクセスサイクル

Ci：転送情報格納先アドレスアクセスサイクル

Cr：データリード先アクセスサイクル

Cw：データライト先アクセスサイクル

(ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック (ICLK) です。)

(Cv、Ci、Cr、Cwはアクセス先で異なります。アクセス先ごとのサイクル数は、「35. RAM」、「36. フラッシュメモリ」、「5. I/O レジスタ」を参照してください。)

17.4.9 DTC のバス権解放タイミング

DTC は、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。

バス調停については、「15. バス」を参照してください。

17.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。

図 17.14 に DTC の起動に必要な設定手順を示します。

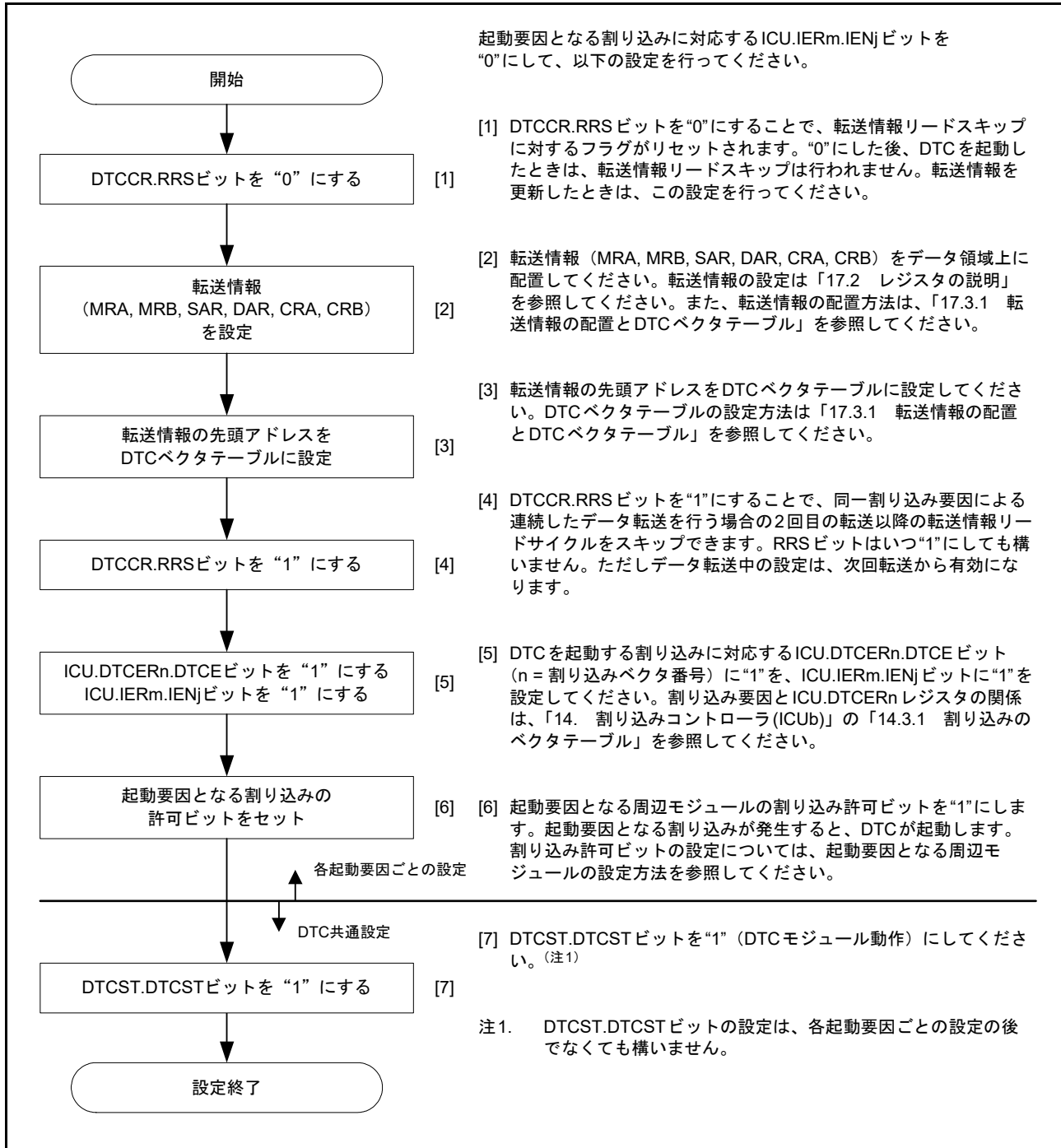


図 17.14 DTC の設定手順

17.6 DTC 使用例

17.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定

MRA レジスタの MD[1:0] ビットを “00b” (ノーマル転送モード)、SZ[1:0] ビットを “00b” (バイト転送)、SM[1:0] ビットを “00b” (転送元アドレス固定) に設定します。MRB レジスタの CHNE ビットを “0” (チェーン転送禁止)、DISEL ビットを “0” (指定回数のデータ転送終了時、割り込み発生)、DM[1:0] ビットを “10b” (転送後 DAR レジスタをインクリメント) に設定します。MRB.DTS ビットは、任意の値にすることができます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128 (“0080h”) を設定します。CRB レジスタは、任意の値にすることができます。

(2) DTC ベクタテーブルの設定

受信完了割り込み (RXI) 用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動

対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERm.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定

SCI の SCR.RIE ビットを “1” にして、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送

SCI で 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理

128 回のデータ転送が終了後、CRA レジスタが “0” になると、CPU に RXI 割り込み要求が出力されます。割り込み処理ルーチンで終了処理を行ってください。

17.6.2 カウンタが“0”のときのチェーン転送

第1のデータ転送の転送カウンタが“0”になったときのみ第2のデータ転送を行い、第2のデータ転送において第1の転送情報を変更します。このチェーン転送を繰り返すことで、転送回数が256回を超えるリピート転送を行うことができます。

128Kバイトの入力バッファを20 0000h～21 FFFFh番地に構成する例を示します（入力バッファは下位アドレス“0000h”から始まるように設定します）。カウンタが“0”のときのチェーン転送を図17.15に示します。

- (1) 第1のデータ転送は、入力データ用にノーマル転送モードを設定します。転送元アドレスは固定、CRAレジスタは“0000h”（65536回）、MRB.CHNEビットは“1”（チェーン転送許可）、MRB.CHNSビットは“1”（転送カウンタが“0”になったときのみチェーン転送を行う）、MRB.DISELビットは“0”（指定された回数のデータ転送が終了したときCPUへの割り込みが発生）にしてください。
- (2) 第1のデータ転送の転送先アドレスの65536回ごとの先頭アドレスの上位8ビット（この例の場合は“21h”と“20h”）を別の領域（ROMなど）に用意してください。
- (3) 第2のデータ転送は、第1のデータ転送の転送先アドレス再設定用にリピート転送モード（転送元をリピート領域）にします。転送先は第1の転送情報内のDARレジスタの上位8ビットが配置されているアドレスです。このときMRB.CHNEビットは“0”（チェーン転送禁止）、MRB.DISELビットは“0”（指定された回数のデータ転送が終了したときCPUへの割り込みが発生）にしてください。この例の場合は、転送カウンタを“2”にしてください。
- (4) DTC転送要求を受け付けると、第1のデータ転送を実行します。65536回実行して、第1のデータ転送の転送カウンタが“0”になると、第2のデータ転送が開始され、第1のデータ転送の転送先アドレスの上位8ビットを“21h”にします。このとき、第1のデータ転送の転送先アドレスの下位16ビットと転送カウンタは、“0000h”になっています。
- (5) 引き続き、DTC転送要求を受け付けると、第1のデータ転送を実行します。65536回実行して、第1のデータ転送の転送カウンタが“0”になると、第2のデータ転送が開始され、第1のデータ転送の転送先アドレスの上位8ビットを“20h”にします。このとき、第1のデータ転送の転送先アドレスの下位16ビットと転送カウンタは“0000h”になっています。
- (6) 上記(4)、(5)を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPUへの割り込み要求は発生しません。

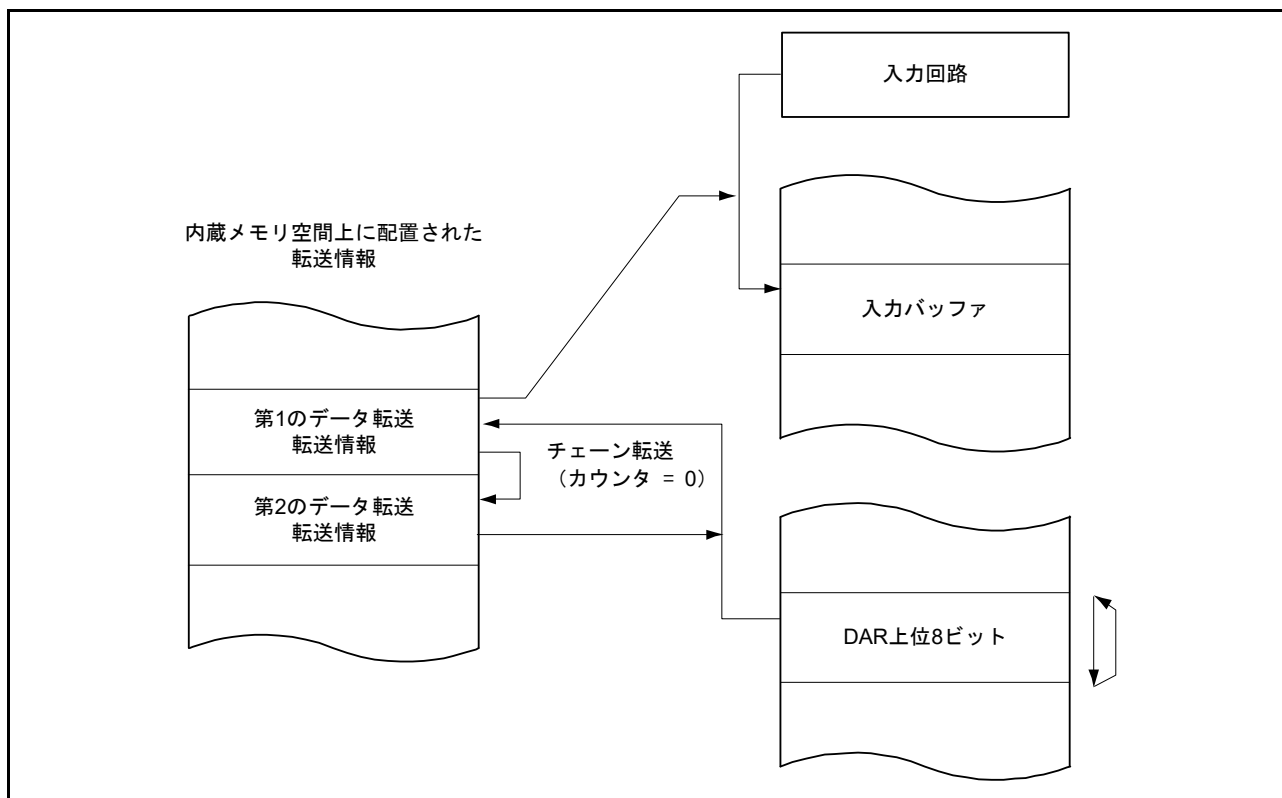


図 17.15 カウンタが“0”のときのチェーン転送

17.7 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および MRB.DISEL ビットが “1” (データ転送のために、CPU への割り込みが発生) のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは、CPU の PSW.I ビット (割り込み許可ビット)、PSW.IPL[3:0] ビット (プロセッサ割り込み優先レベル)、および割り込みコントローラの優先順位の制御を受けます。

17.8 消費電力低減機能

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットを“0” (DTC モジュール停止) にした後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1” (モジュールストップ状態への遷移) を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1” を書いたときにデータ転送が実行中であった場合、データ転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1” のとき、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0” (モジュールストップ状態の解除) を書くことにより、DTC のモジュールストップが解除されます。

(2) ディープスリープモード

「11. 消費電力低減機能」の「11.6.2.1 ディープスリープモードへの遷移」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合、データ転送終了後にディープスリープモードに移行します。

ディープスリープモードから復帰後、MSTPCRA.MSTPA28 ビットに“0” を書くことにより、DTC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合、データ転送終了後にソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「11. 消費電力低減機能」の「11.7.5 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、データ転送を行うには、再度 DTCST.DTCST ビットを“1” にしてください。

ディープスリープモード期間、ソフトウェアスタンバイモード期間に発生した要求を DTC 転送要求でなく CPU への割り込み要求にする場合は、「14. 割り込みコントローラ (ICUb)」の「14.4.3 割り込み要求先の選択」の設定方法に沿って、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

17.9 使用上の注意事項

17.9.1 転送情報先頭アドレス

ベクタテーブルに指定する転送情報の先頭アドレスは、4の倍数を指定してください。4の倍数以外を指定すると、アドレスの最下位2ビットは“00b”としてアクセスします。

17.9.2 転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、図 17.16 に示すとおり配置してください。

たとえば、CRA、CRB設定データを16ビットで書く場合、ビッグエンディアンの場合は+8h (+Ch) 番地に CRA 設定データ、+Ah (+Eh) 番地に CRB 設定データを書いてください。リトルエンディアンの場合は+8h (+Ch) 番地に CRB 設定データ、+Ah (+Eh) 番地に CRA 設定データを書いてください。32ビットで書く場合は、エンディアンにかかわらず32ビットのMSB側にCRA設定データ、LSB側にCRB設定データを配置して+8h (+Ch) 番地に書いてください。

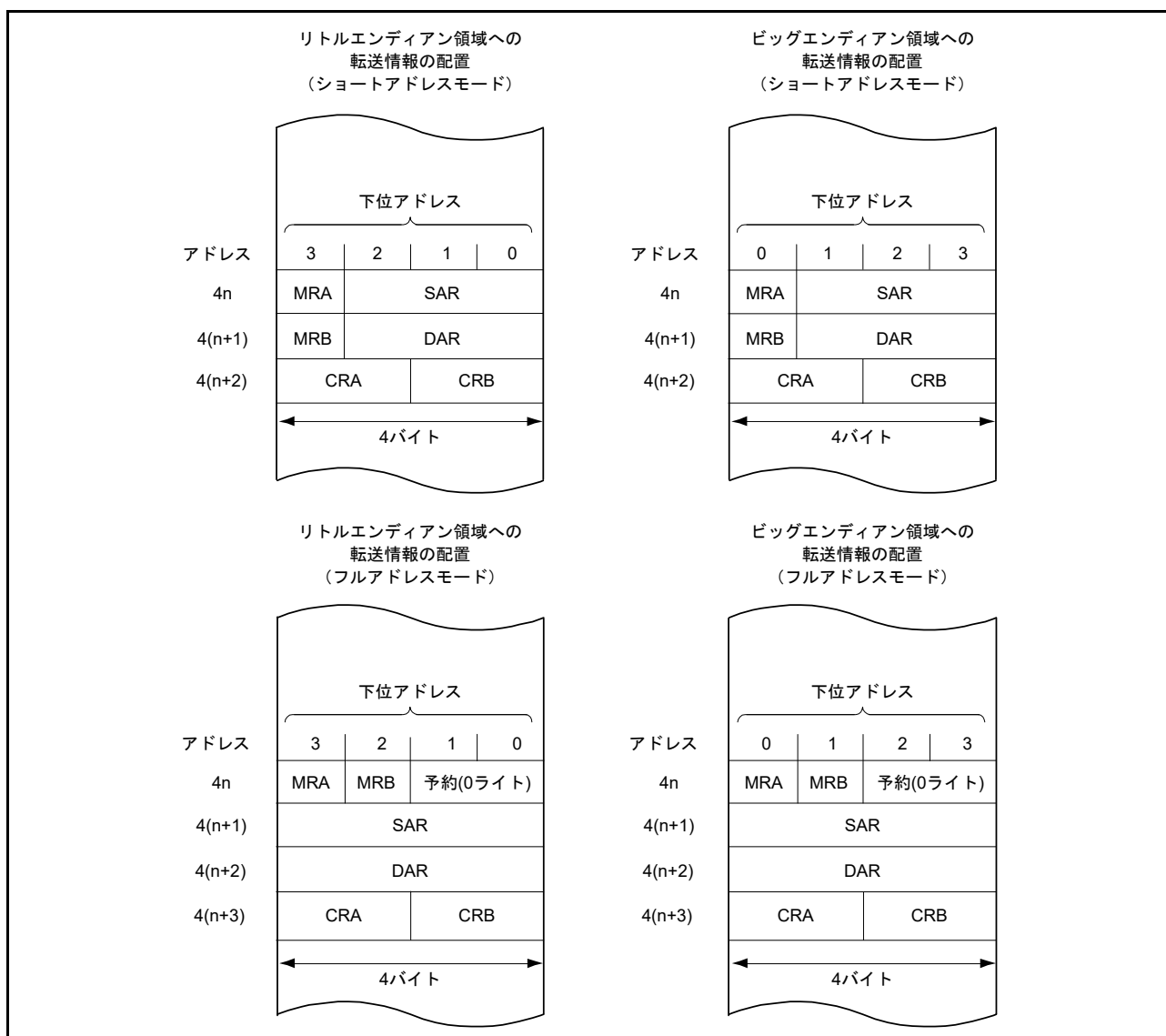


図 17.16 転送情報の配置

18. I/Oポート

18.1 概要

I/Oポートは、汎用入出力ポートと周辺機能の入出力、または割り込み入力端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/Oポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入力/出力を指定するポート方向レジスタ (PDR)、出力データを格納するポート出力データレジスタ (PODR)、端子の状態を反映するポート入力データレジスタ (PIDR)、端子の出力形態を選択するオープンドレイン制御レジスタ y (ODR y) ($y = 0, 1$)、入力プルアップ MOS のオン/オフを制御するプルアップ制御レジスタ (PCR)、駆動能力の切り替えを制御する駆動能力制御レジスタ (DSCR)、機能端子を指定するポートモードレジスタ (PMR) を備えています。PMR レジスタの詳細については、「19. マルチファンクションピンコントローラ (MPC)」を参照してください。

パッケージによって、I/Oポートの構成が異なります。表 18.1 に I/Oポートの仕様を、表 18.2 に I/Oポートの機能を示します。

表 18.1 I/Oポートの仕様

ポート シンボル	パッケージ		パッケージ		パッケージ		
	100ピン(チップバージョンA、B共通)	本数	80ピン	本数	64ピン	本数	
PORT0	P00~P02	3	P00~P02	3	P00~P02	3	
PORT1	P10, P11	2	P10, P11	2	P11	1	
PORT2	P20~P24	5	P20~P24	5	P21~P24	4	
PORT3	P30~P33, P36, P37	6	P30, P31, P36, P37	4	P30, P31, P36, P37	4	
PORT4	P40~P47	8	P40~P47	8	P40~P42, P44~P46	6	
PORT5	P50~P55	6	P50~P55	6	P50~P54	5	
PORT6	P60~P65	6	P62	1	—	—	
PORT7	P70~P76	7	P70~P76	7	P70~P76	7	
PORT8	P80~P82	3	—	—	—	—	
PORT9	P90~P96	7	P90~P96	7	P90~P96	7	
PORTA	PA0~PA5	6	PA3, PA5	2	—	—	
PORTB	PB0~PB7	8	PB0~PB6	7	PB1~PB6	6	
PORTD	PD0~PD7	8	PD2~PD7	6	PD3~PD7	5	
PORTE	PE0~PE5	6	PE2~PE4	3	PE2	1	
ポートの合計数		81	ポートの合計数		61	ポートの合計数	

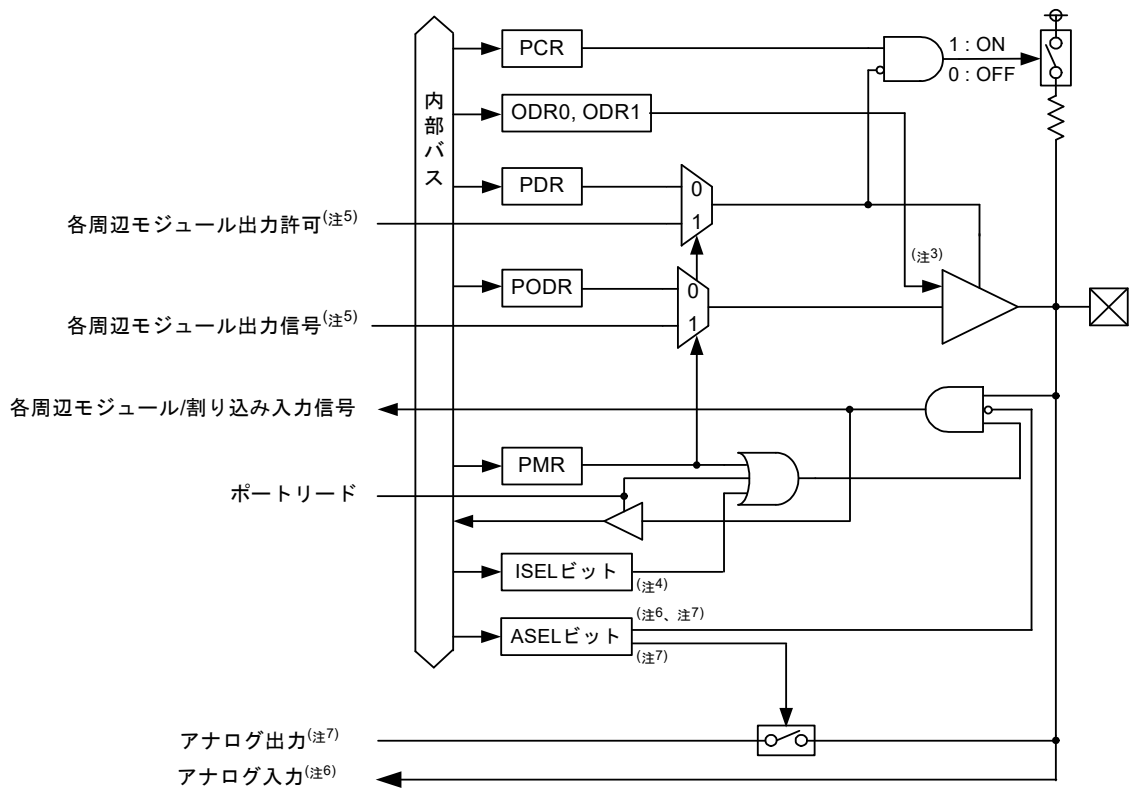
表 18.2 I/Oポートの機能

ポートシンボル	ポートレジスタ	入力プルアップ機能	オープンドレイン出力機能	駆動能力切り替え機能	大電流端子	5Vトレラント
PORT0	P00～P02	○	○	○	—	—
PORT1	P10, P11	○	○	○	—	—
PORT2	P20～P24	○	○	○	—	—
PORT3	P30～P33	○	○	○	—	—
	P36, P37	○	○	通常出力固定	—	—
PORT4	P40～P47	○	—	通常出力固定	—	—
PORT5	P50～P55	○	—	通常出力固定	—	—
PORT6	P60～P65	○	—	通常出力固定	—	—
PORT7	P70	○	○	○	—	—
	P71～P76	○	○	高駆動出力固定	○	—
PORT8	P80, P82	○	○	○	—	—
	P81	○	○	高駆動出力固定	○	—
PORT9	P90～P95	○	○	高駆動出力固定	○	—
	P96	○	○	○	—	—
PORTA	PA0～PA3, PA5	○	○	○	—	—
	PA4	○	○	○	—	—
PORTB	PB0, PB3	○	○	○	—	—
	PB1, PB2	○	○	高駆動出力固定	—	○
	PB5	○	○	高駆動出力固定	○	—
	PB4, PB6, PB7	○	○	○	—	—
PORTD	PD0, PD2	○	○	○	—	—
	PD3	○	○	高駆動出力固定	○	—
	PD1, PD4～PD7	○	○	○	—	—
PORTE	PE0, PE1, PE3～PE5	○	○	○	—	—
	PE2	—	—	—	—	—

入力プルアップ機能、オープンドレイン出力機能、駆動能力切り替え機能、5Vトレラントの設定は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

18.2 入出力ポートの構成

- ポート0 : P00~P02
- ポート1 : P10^(注2), P11
- ポート2 : P20^(注2), P21~P24
- ポート3 : P30, P31, P32^(注1), P33^(注1)
- ポート4 : P40~P42, P43^(注2), P44~P46, P47^(注2)
- ポート5 : P50~P54, P55^(注2)
- ポート6 : P60^(注1), P61^(注1), P62^(注2), P63~P65^(注1)
- ポート7 : P70~P76
- ポート8 : P80~P82^(注1)
- ポート9 : P90~P96
- ポートA : PA0~PA2^(注1), PA3^(注2), PA4^(注1), PA5^(注2)
- ポートB : PB0^(注2), PB1~PB6, PB7^(注1)
- ポートD : PD0^(注1), PD1^(注1), PD2^(注2), PD3~PD7
- ポートE : PE0^(注1), PE1^(注1), PE3^(注2), PE4^(注2), PE5^(注1)



- 注1. 80ピン、64ピンにはありません。
- 注2. 64ピンにはありません。
- 注3. Nチャンネルオープンドレインの制御信号です。
- 注4. 外部割り込み機能がある端子
- 注5. 周辺モジュールの出力機能がある端子
- 注6. アナログ入力機能がある端子
- 注7. アナログ出力機能がある端子

図 18.1 入出力ポートの構成 (1)

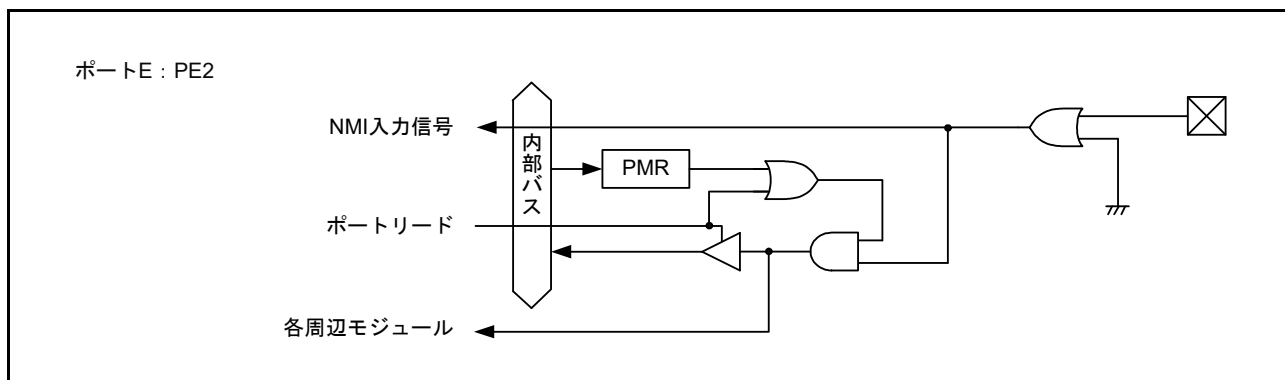


図 18.2 入出力ポートの構成 (2)

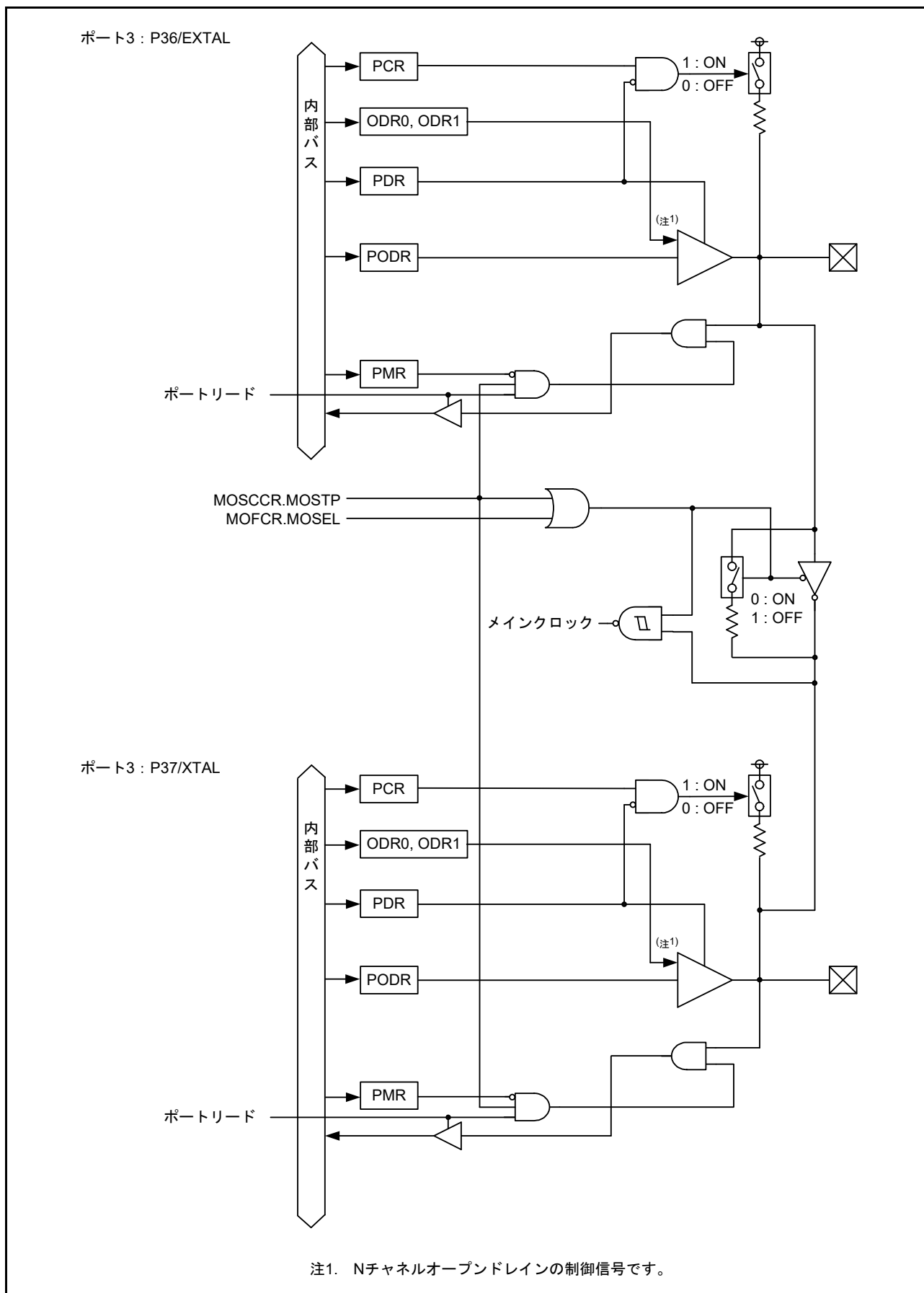


図 18.3 入出力ポートの構成 (3)

18.3 レジスタの説明

18.3.1 ポート方向レジスタ (PDR)

アドレス PORT0.PDR 0008 C000h, PORT1.PDR 0008 C001h, PORT2.PDR 0008 C002h, PORT3.PDR 0008 C003h, PORT4.PDR 0008 C004h, PORT5.PDR 0008 C005h, PORT6.PDR 0008 C006h, PORT7.PDR 0008 C007h, PORT8.PDR 0008 C008h, PORT9.PDR 0008 C009h, PORTA.PDR 0008 C00Ah, PORTB.PDR 0008 C00Bh, PORTD.PDR 0008 C00Dh, PORTE.PDR 0008 C00Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0方向制御ビット	0: 入力(入力ポートとして機能) 1: 出力(出力ポートとして機能)	R/W
b1	B1	Pm1方向制御ビット		R/W
b2	B2	Pm2方向制御ビット		R/W
b3	B3	Pm3方向制御ビット		R/W
b4	B4	Pm4方向制御ビット		R/W
b5	B5	Pm5方向制御ビット		R/W
b6	B6	Pm6方向制御ビット		R/W
b7	B7	Pm7方向制御ビット		R/W

m = 0 ~ 9, A, B, D, E

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

PORTm.PDR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

存在しないポート m の端子に対応している PDR レジスタの各ビットは予約ビットです。「18.4 ポート方向レジスタ (PDR) の初期化」に従って、設定してください。

PE2 端子は入力専用のため、PORTE.PDR.B2 ビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

18.3.2 ポート出力データレジスタ (PODR)

アドレス PORT0.PODR 0008 C020h, PORT1.PODR 0008 C021h, PORT2.PODR 0008 C022h, PORT3.PODR 0008 C023h, PORT4.PODR 0008 C024h, PORT5.PODR 0008 C025h, PORT6.PODR 0008 C026h, PORT7.PODR 0008 C027h, PORT8.PODR 0008 C028h, PORT9.PODR 0008 C029h, PORTA.PODR 0008 C02Ah, PORTB.PODR 0008 C02Bh, PORTD.PODR 0008 C02Dh, PORTE.PODR 0008 C02Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m = 0 ~ 9, A, B, D, E

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

PE2 端子は入力専用のため、PORTE.PODR.B2 ビットは予約ビットです。また、存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

18.3.3 ポート入力データレジスタ (PIDR)

アドレス PORT0.PIDR 0008 C040h, PORT1.PIDR 0008 C041h, PORT2.PIDR 0008 C042h, PORT3.PIDR 0008 C043h, PORT4.PIDR 0008 C044h, PORT5.PIDR 0008 C045h, PORT6.PIDR 0008 C046h, PORT7.PIDR 0008 C047h, PORT8.PIDR 0008 C048h, PORT9.PIDR 0008 C049h, PORTA.PIDR 0008 C04Ah, PORTB.PIDR 0008 C04Bh, PORTD.PIDR 0008 C04Dh, PORTE.PIDR 0008 C04Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 X X X X X X X X

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0ビット	ポートの端子状態を反映	R
b1	B1	Pm1ビット		R
b2	B2	Pm2ビット		R
b3	B3	Pm3ビット		R
b4	B4	Pm4ビット		R
b5	B5	Pm5ビット		R
b6	B6	Pm6ビット		R
b7	B7	Pm7ビット		R

m = 0 ~ 9, A, B, D, E

PIDR レジスタは、ポートの端子の状態を反映するレジスタです。

PORTm.PIDR レジスタを読むと、PORTm.PDR レジスタ、PORTm.PMR の値に関係なく端子の状態が読めます。

PE2 は NMI 端子の状態が読み出されます。

存在しない端子のビットは予約ビットです。予約ビットは、読んだ場合、その値は不定です。書き込みは無効になります。

注． P36、P37 を汎用入出力ポートとして使用する場合、MOSCCR.MOSTP ビットに“1” (メインクロック発振停止)、かつ PORT3.PMR レジスタの P36 制御ビット、P37 制御ビットに“0” (汎用ポートとして使用) を設定してください。

18.3.4 ポートモードレジスタ (PMR)

アドレス PORT0.PMR 0008 C060h, PORT1.PMR 0008 C061h, PORT2.PMR 0008 C062h, PORT3.PMR 0008 C063h,
PORT7.PMR 0008 C067h, PORT8.PMR 0008 C068h, PORT9.PMR 0008 C069h, PORTA.PMR 0008 C06Ah,
PORTB.PMR 0008 C06Bh, PORTD.PMR 0008 C06Dh, PORTE.PMR 0008 C06Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 端子モード制御ビット	0 : 汎用入出力ポートとして使用 1 : 周辺機能として使用	R/W
b1	B1	Pm1 端子モード制御ビット		R/W
b2	B2	Pm2 端子モード制御ビット		R/W
b3	B3	Pm3 端子モード制御ビット		R/W
b4	B4	Pm4 端子モード制御ビット		R/W
b5	B5	Pm5 端子モード制御ビット		R/W
b6	B6	Pm6 端子モード制御ビット		R/W
b7	B7	Pm7 端子モード制御ビット		R/W

m = 0 ~ 3, 7 ~ 9, A, B, D, E

PORTm.PMR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

18.3.5 オープンドレイン制御レジスタ 0 (ODR0)

アドレス PORT0.ODR0 0008 C080h, PORT1.ODR0 0008 C082h, PORT2.ODR0 0008 C084h, PORT3.ODR0 0008 C086h, PORT7.ODR0 0008 C08Eh, PORT8.ODR0 0008 C090h, PORT9.ODR0 0008 C092h, PORTA.ODR0 0008 C094h, PORTB.ODR0 0008 C096h, PORTD.ODR0 0008 C09Ah, PORTE.ODR0 0008 C09Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	B6	—	B4	—	B2	—	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	B2	Pm1出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	B4	Pm2出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm3出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 0 ~ 3, 7 ~ 9, A, B, D, E

存在しない端子やオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

18.3.6 オープンドレイン制御レジスタ 1 (ODR1)

アドレス PORT2.ODR1 0008 C085h, PORT7.ODR1 0008 C08Fh, PORT9.ODR1 0008 C093h, PORTA.ODR1 0008 C095h, PORTB.ODR1 0008 C097h, PORTD.ODR1 0008 C09Bh, PORTE.ODR1 0008 C09Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	B6	—	B4	—	B2	—	B0

リセット後の値 0 0 0 0 0 0 0 0

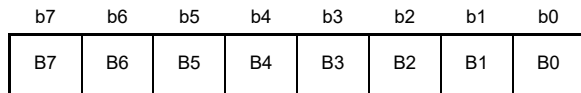
ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm4出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	B2	Pm5出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	B4	Pm6出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm7出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 2, 7, 9, A, B, D, E

存在しない端子やオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

18.3.7 プルアップ制御レジスタ (PCR)

アドレス PORT0.PCR 0008 C0C0h, PORT1.PCR 0008 C0C1h, PORT2.PCR 0008 C0C2h, PORT3.PCR 0008 C0C3h, PORT4.PCR 0008 C0C4h, PORT5.PCR 0008 C0C5h, PORT6.PCR 0008 C0C6h, PORT7.PCR 0008 C0C7h, PORT8.PCR 0008 C0C8h, PORT9.PCR 0008 C0C9h, PORTA.PCR 0008 C0CAh, PORTB.PCR 0008 C0CBh, PORTD.PCR 0008 C0CDh, PORTE.PCR 0008 C0CEh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0入力プルアップ抵抗制御ビット	0 : 入力プルアップ抵抗無効 1 : 入力プルアップ抵抗有効	R/W
b1	B1	Pm1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pm2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pm3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pm4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pm5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pm6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pm7入力プルアップ抵抗制御ビット		R/W

m = 0 ~ 9, A, B, D, E

端子が入力状態のとき、PORTm.PCR レジスタが“1”のビットに対応する端子の入力プルアップ抵抗が有効になります。

汎用ポート出力、周辺機能出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。

リセット中もプルアップ抵抗は無効になります。

PORTE.PCR.B2 ビットは予約ビットです。また、存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

18.3.8 駆動能力制御レジスタ (DSCR)

アドレス PORT0.DSCR 0008 C0E0h, PORT1.DSCR 0008 C0E1h, PORT2.DSCR 0008 C0E2h, PORT3.DSCR 0008 C0E3h, PORT7.DSCR 0008 C0E7h, PORT8.DSCR 0008 C0E8h, PORT9.DSCR 0008 C0E9h, PORTA.DSCR 0008 C0EAh, PORTB.DSCR 0008 C0EBh, PORTD.DSCR 0008 C0EDh, PORTE.DSCR 0008 C0EEh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 駆動能力制御ビット	0 : 通常出力 1 : 高駆動出力	R/W
b1	B1	Pm1 駆動能力制御ビット		R/W
b2	B2	Pm2 駆動能力制御ビット		R/W
b3	B3	Pm3 駆動能力制御ビット		R/W
b4	B4	Pm4 駆動能力制御ビット		R/W
b5	B5	Pm5 駆動能力制御ビット		R/W
b6	B6	Pm6 駆動能力制御ビット		R/W
b7	B7	Pm7 駆動能力制御ビット		R/W

m = 0 ~ 3, 7 ~ 9, A, B, D, E

高駆動出力を選択した場合、標準出力を選択した場合に比べてスイッチングノイズが増えます。高駆動能力を選択する場合は、近隣端子にノイズによる影響がないか十分に評価してください。

駆動能力が固定されている端子、および存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

18.4 ポート方向レジスタ (PDR) の初期化

PDR レジスタの予約ビットは、表 18.3 ~ 表 18.6 を参照して初期化してください。

- 表 18.3 ~ 表 18.6 の空欄は、「表 18.1 I/O ポートの仕様」に記載されている端子に対応するビットです。使用するシステムに応じて“1”(出力)か“0”(入力)を設定してください。
- 表 18.3 ~ 表 18.6 の空欄以外は、予約ビットです。予約ビットには表 18.3 ~ 表 18.6 に従って“0”(入力)または“1”(出力)を設定ください。予約ビットを設定する場合は、バイト単位でアクセスしてください。

表 18.3 100ピンのPDRレジスタの設定値[チップバージョンAの場合]

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	0	0	0	0	0			
PORT1	0	0	0	0	0	0		
PORT2	0	0	0					
PORT3			0	0				
PORT4								
PORT5	0	0						
PORT6	0	0						
PORT7	0							
PORT8	0	0	0	0	0			
PORT9	0							
PORTA	0	0						
PORTB								
PORTD								
PORTE	0	0				0		

表 18.4 100ピンのPDRレジスタの設定値[チップバージョンBの場合]

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	0	0	0	0	0			
PORT1	1	1	1	1	1	1		
PORT2	1	1	1					
PORT3			1	1				
PORT4								
PORT5	0	0						
PORT6	0	0						
PORT7	0							
PORT8	0	0	0	1	1			
PORT9	0							
PORTA	1	1						
PORTB								
PORTD								
PORTE	0	1				0		

表 18.5 80 ピンのPDR レジスタの設定値

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	0	0	0	0	0			
PORT1	0	0	0	0	0	0		
PORT2	0	0	0					
PORT3			0	0	1	1		
PORT4								
PORT5	0	0						
PORT6	0	0	1	1	1		1	1
PORT7	0							
PORT8	0	0	0	0	0	1	1	1
PORT9	0							
PORTA	0	0		1		1	1	1
PORTB	1							
PORTD							1	1
PORTE	0	0	1			0	1	1

表 18.6 64 ピンのPDR レジスタの設定値

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	0	0	0	0	0			
PORT1	0	0	0	0	0	0		1
PORT2	0	0	0					1
PORT3			0	0	1	1		
PORT4	1				1			
PORT5	0	0	1					
PORT6	0	0	1	1	1	1	1	1
PORT7	0							
PORT8	0	0	0	0	0	1	1	1
PORT9	0							
PORTA	0	0	1	1	1	1	1	1
PORTB	1							1
PORTD						1	1	1
PORTE	0	0	1	1	1	0	1	1

18.5 未使用端子の処理

表 18.7 に未使用端子の処理内容を示します。

表 18.7 未使用端子の処理内容

端子名	処理内容
MD	(モード端子として使用)
RES#	抵抗を介してVCCに接続(プルアップ)
PE2/NMI	抵抗を介してVCCに接続(プルアップ)
P36/EXTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1”(汎用ポートP36)に設定 ポートP36としても使用しない場合は、ポート0~3、7~9、A、B、D、Eの処理と同様
P37/XTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1”(汎用ポートP37)に設定 ポートP37としても使用しない場合は、ポート0~3、7~9、A、B、D、Eの処理と同様 EXTAL端子に外部クロックを入力する場合は、端子を開放
ポート0~3、7~9、 ポートA、B、D、E	<ul style="list-style-type: none"> • 入力に設定(PORTn.PDRビット=0)し、1端子ごとに抵抗を介してVCCに接続(プルアップ)、または1端子ごとに抵抗を介してVSSに接続(プルダウン)(注1) • 出力に設定(PORTn.PDRビット=1)し、端子を開放(注1、注2)
ポート4~6	1端子ごと抵抗を介してアナログ電源(AVCC0/AVCC1/AVCC2/VREF)に接続(プルアップ)、または抵抗を介してアナロググランド(AVSS0/AVSS1/AVSS2)に接続(プルダウン)

注1. PORTn.PMRビットを“0”、およびPmnPFS.ISEL、ASELビットを“0”にしてください。

注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

19. マルチファンクションピンコントローラ (MPC)

19.1 概要

マルチファンクションピンコントローラ (MPC) は、周辺機能入出力、および割り込み入力信号を複数のポートから選択し割り付ける機能です。

表 19.1 にマルチプル端子の割り当て端子一覧を示します。パッケージの違いによる端子の有無については、表内で○、×で示します。同一機能を複数端子で有効にすることは禁止です。

表 19.1 マルチプル端子の割り当て端子一覧 (1/7)

モジュール/機能	チャンネル	端子機能	割り当てポート	チップバージョンB	チップバージョンA		
				100ピン	100ピン	80ピン	64ピン
割り込み	IRQ0	IRQ0 (入力)	P10	○	○	○	×
			P52	○	○	○	○
			PE5	○	○	×	×
	IRQ1	IRQ1 (入力)	P11	○	○	○	○
			P53	○	○	○	○
			PA5	○	○	○	×
			PE4	○	○	○	×
	IRQ2	IRQ2 (入力)	P00	○	○	○	○
			P54	○	○	○	○
			PD4	○	○	○	○
			PE3	○	○	○	×
	IRQ3	IRQ3 (入力)	P55	○	○	○	×
			PB4	○	○	○	○
			PD5	○	○	○	○
	IRQ4	IRQ4 (入力)	P01	○	○	○	○
			P60	○	○	×	×
			P96	○	○	○	○
	IRQ5	IRQ5 (入力)	P02	○	○	○	○
			P61	○	○	×	×
			P70	○	○	○	○
			PB6	○	○	○	○
			PD6	○	○	○	○
	IRQ6	IRQ6 (入力)	P21	○	○	○	○
			P31	○	○	○	○
			P62	○	○	○	×
	IRQ7	IRQ7 (入力)	P20	○	○	○	×
			P30	○	○	○	○
			P63	○	○	×	×
	NMI	NMI (入力)	PE2	○	○	○	○

表 19.1 マルチプル端子の割り当て端子一覧 (2/7)

モジュール/機能	チャネル	端子機能	割り当てポート	チップバージョン				
				バージョンB 100ピン	バージョンA 100ピン 80ピン 64ピン			
マルチファンクション タイマユニット3	MTU0	MTIOC0A (入出力)/MTIOC0A# (入出力)	P31	○	○	○	○	
			PB3	○	○	○	○	
		MTIOC0B (入出力)/MTIOC0B# (入出力)	P30	○	○	○	○	
			PB2	○	○	○	○	
		MTIOC0C (入出力)/MTIOC0C# (入出力)	PB1	○	○	○	○	
	MTIOC0D (入出力)/MTIOC0D# (入出力)	PB0	○	○	○	×		
	MTU1	MTIOC1A (入出力)/MTIOC1A# (入出力)	PA5	○	○	○	×	
			MTIOC1B (入出力)/MTIOC1B# (入出力)	PA4	○	○	×	×
	MTU2	MTIOC2A (入出力)/MTIOC2A# (入出力)	PA3	○	○	○	×	
			MTIOC2B (入出力)/MTIOC2B# (入出力)	PA2	○	○	×	×
	MTU3	MTIOC3A (入出力)/MTIOC3A# (入出力)	P11	○	○	○	○	
			P33	○	○	×	×	
		MTIOC3B (入出力)/MTIOC3B# (入出力)	P71	○	○	○	○	
		MTIOC3C (入出力)/MTIOC3C# (入出力)	P32	○	○	×	×	
	MTIOC3D (入出力)/MTIOC3D# (入出力)	P74	○	○	○	○		
	MTU4	MTIOC4A (入出力)/MTIOC4A# (入出力)	P72	○	○	○	○	
			MTIOC4B (入出力)/MTIOC4B# (入出力)	P73	○	○	○	○
			MTIOC4C (入出力)/MTIOC4C# (入出力)	P75	○	○	○	○
			MTIOC4D (入出力)/MTIOC4D# (入出力)	P76	○	○	○	○
	MTU5	MTIC5U (入力)/MTIC5U# (入力)	P24	○	○	○	○	
			P82	○	○	×	×	
		MTIC5V (入力)/MTIC5V# (入力)	P23	○	○	○	○	
			P81	○	○	×	×	
	MTIC5W (入力)/MTIC5W# (入力)	P22	○	○	○	○		
		P80	○	○	×	×		
	MTU6	MTIOC6A (入出力)/MTIOC6A# (入出力)	PA1	○	○	×	×	
			MTIOC6B (入出力)/MTIOC6B# (入出力)	P95	○	○	○	○
			MTIOC6C (入出力)/MTIOC6C# (入出力)	PA0	○	○	×	×
			MTIOC6D (入出力)/MTIOC6D# (入出力)	P92	○	○	○	○

表 19.1 マルチプル端子の割り当て端子一覧 (3/7)

モジュール/機能	チャネル	端子機能	割り当てポート	チップバージョンB	チップバージョンA		
				100ピン	100ピン	80ピン	64ピン
マルチファンクション タイマユニット3	MTU7	MTIOC7A (入出力)/MTIOC7A# (入出力)	P94	○	○	○	○
		MTIOC7B (入出力)/MTIOC7B# (入出力)	P93	○	○	○	○
		MTIOC7C (入出力)/MTIOC7C# (入出力)	P91	○	○	○	○
		MTIOC7D (入出力)/MTIOC7D# (入出力)	P90	○	○	○	○
	MTU9	MTIOC9A (入出力)/MTIOC9A# (入出力)	P21	○	○	○	○
			PD7	○	○	○	○
		MTIOC9B (入出力)/MTIOC9B# (入出力)	P10	○	○	○	×
			PE0	○	○	×	×
		MTIOC9C (入出力)/MTIOC9C# (入出力)	P20	○	○	○	×
			PD6	○	○	○	○
	MTIOC9D (入出力)/MTIOC9D# (入出力)	P02	○	○	○	○	
		PE1	○	○	×	×	
	MTU	MTCLKA (入力)/MTCLKA# (入力)	P21	○	○	○	○
			P33	○	○	×	×
		MTCLKB (入力)/MTCLKB# (入力)	P20	○	○	○	×
			P32	○	○	×	×
		MTCLKC (入力)/MTCLKC# (入力)	P11	○	○	○	○
			P31	○	○	○	○
			PE4	○	○	○	×
		MTCLKD (入力)/MTCLKD# (入力)	P10	○	○	○	×
	P30		○	○	○	○	
	PE3		○	○	○	×	
	ADSM0 (出力)	PB2	○	○	○	○	
	ADSM1 (出力)	PB1	○	○	○	○	
汎用PWMタイマ	GPT0	GTIOC0A (入出力)/GTIOC0A# (入出力)	P71	○	×	×	×
			PD2	○	×	×	×
		GTIOC0B (入出力)/GTIOC0B# (入出力)	P74	○	×	×	×
			PD1	○	×	×	×
	GPT1	GTIOC1A (入出力)/GTIOC1A# (入出力)	P72	○	×	×	×
			PD0	○	×	×	×
		GTIOC1B (入出力)/GTIOC1B# (入出力)	P75	○	×	×	×
			PB7	○	×	×	×
	GPT2	GTIOC2A (入出力)/GTIOC2A# (入出力)	P73	○	×	×	×
			PB6	○	×	×	×
		GTIOC2B (入出力)/GTIOC2B# (入出力)	P76	○	×	×	×
			PB5	○	×	×	×
GPT3	GTIOC3A (入出力)/GTIOC3A# (入出力)	PD7	○	×	×	×	
	GTIOC3B (入出力)/GTIOC3B# (入出力)	PD6	○	×	×	×	

表 19.1 マルチプル端子の割り当て端子一覧 (4/7)

モジュール/機能	チャンネル	端子機能	割り当てポート	チップバージョンB	チップバージョンA		
				100ピン	100ピン	80ピン	64ピン
汎用PWMタイマ	GPT	GTECLKA (入力)	PD5	○	×	×	×
		GTECLKB (入力)	PD4	○	×	×	×
		GTECLKC (入力)	PD3	○	×	×	×
		GTECLKD (入力)	PB4	○	×	×	×
		GTETRG (入力)	PB4	○	×	×	×
		GTADSM0 (出力)	PA3	○	×	×	×
		GTADSM1 (出力)	PA2	○	×	×	×
8ビットタイマ	TMR0	TMO0 (出力)	PD3	○	○	○	○
			P33	○	○	×	×
			PB0	○	○	○	×
		TMCi0 (入力)	PD4	○	○	○	○
			PB1	○	○	○	○
			PD5	○	○	○	○
	TMR1	TMO1 (出力)	PD6	○	○	○	○
			PD2	○	○	○	×
			PE0	○	○	×	×
	TMR2	TMO2 (出力)	PD7	○	○	○	○
			P23	○	○	○	○
			PA0	○	○	×	×
		TMCi2 (入力)	PD1	○	○	×	×
	P24		○	○	○	○	
	TMR3	TMO3 (出力)	P22	○	○	○	○
			P11	○	○	○	○
			PA5	○	○	○	×
	TMR4	TMCi3 (入力)	P10	○	○	○	×
			P22	○	○	○	○
			P82	○	○	×	×
		TMO4 (出力)	PA1	○	○	×	×
			PD2	○	○	○	×
			P21	○	○	○	○
	TMCi4 (入力)	P81	○	○	×	×	
		P20	○	○	○	×	
		P80	○	○	×	×	
	TMR5	TMO5 (出力)	PE1	○	○	×	×
			PE0	○	○	×	×
			PD7	○	○	○	○
	TMR6	TMO6 (出力)	PD7	○	○	○	○
P24			○	○	○	○	
P32			○	○	×	×	
TMCi6 (入力)		PD0	○	○	×	×	
		P30	○	○	○	○	
		PD4	○	○	○	○	
TMRi6 (入力)	P31	○	○	○	○		
	PD5	○	○	○	○		

表 19.1 マルチプル端子の割り当て端子一覧 (5/7)

モジュール/機能	チャンネル	端子機能	割り当てポート	チップバージョンB	チップバージョンA		
				100ピン	100ピン	80ピン	64ピン
8ビットタイマ	TMR7	TMO7 (出力)	PA2	○	○	×	×
		TMC17 (入力)	PA4	○	○	×	×
		TMRI7 (入力)	PA3	○	○	○	×
CANモジュール	RSCAN0	CTXD0 (出力)	PA0	○	×	×	×
		CRXD0 (入力)	PA1	○	×	×	×
ポートアウトプット イネーブル3	POE0	POE0# (入力)	P70	○	○	○	○
	POE4	POE4# (入力)	P96	○	○	○	○
	POE8	POE8# (入力)	PB4	○	○	○	○
	POE10	POE10# (入力)	PE2	○	○	○	○
			PE4	○	○	○	×
	POE11	POE11# (入力)	PE3	○	○	○	×
	POE12	POE12# (入力)	P01	○	○	○	○
P10			○	○	○	×	
シリアル コミュニケーション インタフェース	SCI1	RXD1 (入力)/SMISO1 (入出力) /SSCL1 (入出力)	PD5	○	○	○	○
		TXD1 (出力)/SMOSI1 (入出力) /SSDA1 (入出力)	PD3	○	○	○	○
		SCK1 (入出力)	PD4	○	○	○	○
		CTS1# (入力)/RTS1# (出力) SS1# (入力)	P02	○	○	○	○
	PD6		○	○	○	○	
	SCI5	RXD5 (入力)/SMISO5 (入出力) /SSCL5 (入出力)	PB6	○	○	○	○
			PE0	○	×	×	×
		TXD5 (出力)/SMOSI5 (入出力) /SSDA5 (入出力)	PB5	○	○	○	○
			PD7	○	×	×	×
		SCK5 (入出力)	PB7	○	○	×	×
			PD2	○	○	○	×
	CTS5# (入力)/RTS5# (出力) SS5# (入力)	PB4	○	○	○	○	
		PE1	○	○	×	×	
	SCI6	RXD6 (入力)/SMISO6 (入出力) /SSCL6 (入出力)	P80	○	○	×	×
			PA5	○	○	○	×
			PB1	○	○	○	○
		TXD6 (出力)/SMOSI6 (入出力) /SSDA6 (入出力)	P81	○	○	×	×
			PB0	○	○	○	×
			PB2	○	○	○	○
		SCK6 (入出力)	P82	○	○	×	×
PA4			○	○	×	×	
CTS6# (入力)/RTS6# (出力) SS6# (入力)		PB3	○	○	○	○	
		P10	○	○	○	×	
PA2			○	○	×	×	
			○	○	×	×	
I ² Cバス インタフェース		SCL0 (入出力)	PB1	○	○	○	○
		SDA0 (入出力)	PB2	○	○	○	○

表 19.1 マルチプル端子の割り当て端子一覧 (6/7)

モジュール/機能	チャンネル	端子機能	割り当てポート	チップバージョンB	チップバージョンA		
				100ピン	100ピン	80ピン	64ピン
シリアルペリフェラルインタフェース	RSPCKA (入出力)	P24	○	○	○	○	
		PA4	○	○	×	×	
		PB3	○	○	○	○	
		PD0	○	○	×	×	
	MOSIA (入出力)	P23	○	○	○	○	
		PB0	○	○	○	×	
		PD2	○	○	○	×	
	MISOA (入出力)	P22	○	○	○	○	
		PA5	○	○	○	×	
		PD1	○	○	×	×	
	SSLA0 (入出力)	P30	○	○	○	○	
		PA3	○	○	○	×	
		PD6	○	○	○	○	
	SSLA1 (出力)	P31	○	○	○	○	
		PA2	○	○	×	×	
		PD7	○	○	○	○	
	SSLA2 (出力)	P32	○	○	×	×	
		PA1	○	○	×	×	
		PE0	○	○	×	×	
	SSLA3 (出力)	P33	○	○	×	×	
		PA0	○	○	×	×	
		PE1	○	○	×	×	
	12ビットA/Dコンバータ	AN000 (入力)	P40	○	○	○	○
		AN001 (入力)	P41	○	○	○	○
AN002 (入力)		P42	○	○	○	○	
AN003 (入力)		P43	○	○	○	×	
AN016 (入力)		P20	○	○	○	×	
AN100 (入力)		P44	○	○	○	○	
AN101 (入力)		P45	○	○	○	○	
AN102 (入力)		P46	○	○	○	○	
AN103 (入力)		P47	○	○	○	×	
AN116 (入力)		P21	○	○	○	○	
AN200 (入力)		P60	○	○	×	×	
AN201 (入力)		P61	○	○	×	×	
AN202 (入力)		P62	○	○	○	×	
AN203 (入力)		P63	○	○	×	×	
AN204 (入力)		P64	○	○	×	×	
AN205 (入力)		P65	○	○	×	×	
AN206 (入力)		P50	○	○	○	○	
AN207 (入力)		P51	○	○	○	○	
AN208 (入力)		P52	○	○	○	○	
AN209 (入力)		P53	○	○	○	○	
AN210 (入力)		P54	○	○	○	○	
AN211 (入力)	P55	○	○	○	×		

表 19.1 マルチプル端子の割り当て端子一覧 (7/7)

モジュール/機能	チャンネル	端子機能	割り当てポート	チップバージョンB	チップバージョンA		
				100ピン	100ピン	80ピン	64ピン
12ビットA/Dコンバータ	ADTRG0# (入力)	PA4	○	○	×	×	
		P20	○	○	○	×	
		PA1	○	○	×	×	
	ADTRG1# (入力)	P21	○	○	○	○	
		PA5	○	○	○	×	
	ADTRG2# (入力)	P22	○	○	○	○	
		PB0	○	○	○	×	
	ADST0 (出力)	P02	○	○	○	○	
		PD6	○	○	○	○	
	ADST1 (出力)	P00	○	○	○	○	
ADST2 (出力)	P01	○	○	○	○		
8ビットD/Aコンバータ	DA0	P24	○	×	×	×	
	DA1	P23	○	×	×	×	
クロック周波数精度測定回路	CACREF (入力)	P23	○	○	○	○	
		PB3	○	○	○	○	
コンパレータ	COMP0 (出力)	P24	○	○	○	○	
	COMP1 (出力)	P23	○	○	○	○	
	COMP2 (出力)	P22	○	○	○	○	
	COMP3 (出力)	P30	○	○	○	○	
	CVREFC0 (入力)	P20	×	○	○	×	
	CVREFC1 (入力)	P21	×	○	○	○	
	CMPC00 (入力)	P40	○	○	○	○	
	CMPC01 (入力)	P40	○	○	○	○	
	CMPC02 (入力)	P45	○	○	○	○	
	CMPC03 (入力)	P45	○	○	○	○	
	CMPC10 (入力)	P44	○	○	○	○	
	CMPC11 (入力)	P44	○	○	○	○	
	CMPC12 (入力)	P46	○	○	○	○	
	CMPC13 (入力)	P46	○	○	○	○	
	CMPC20 (入力)	P45	○	○	○	○	
	CMPC21 (入力)	P45	○	○	○	○	
	CMPC22 (入力)	P40	○	○	○	○	
	CMPC23 (入力)	P40	○	○	○	○	
	CMPC30 (入力)	P46	○	○	○	○	
	CMPC31 (入力)	P46	○	○	○	○	
CMPC32 (入力)	P44	○	○	○	○		
CMPC33 (入力)	P44	○	○	○	○		

19.2 レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書く場合は、リセット後の値を書いてください。

19.2.1 書き込みプロテクトレジスタ (PWPR)

アドレス 0008 C11Fh

b7	b6	b5	b4	b3	b2	b1	b0
BOWI	PFSWE	—	—	—	—	—	—

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PFSWE	PFSレジスタ書き込み許可ビット	0 : PFSレジスタへの書き込みを禁止 1 : PFSレジスタへの書き込みを許可	R/W
b7	BOWI	PFSWEビット書き込み禁止ビット	0 : PFSWEビットへの書き込みを許可 1 : PFSWEビットへの書き込みを禁止	R/W

PFSWE ビット (PFS レジスタ書き込み許可ビット)

PFSWE ビットを“1”にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。

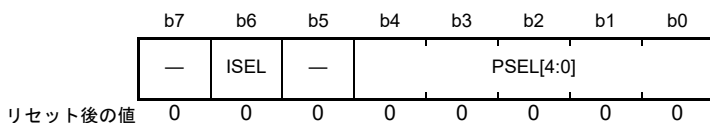
PFSWE ビットを“1”にする場合は、BOWI ビットに“0”を書いた後、PFSWE ビットを“1”にしてください。

BOWI ビット (PFSWE ビット書き込み禁止ビット)

BOWI ビットを“0”にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

19.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n = 0 ~ 2)

アドレス P00PFS 0008 C140h, P01PFS 0008 C141h, P02PFS 0008 C142h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、 【100(チップバージョンA)/80/64ピン版の場合】 表 19.2を参照してください 【100(チップバージョンB)ピン版の場合】 表 19.3を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P00 : IRQ2 (100/80/64ピン) P01 : IRQ4 (100/80/64ピン) P02 : IRQ5 (100/80/64ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

Pmn 端子機能制御レジスタ (PmnPFS) は、端子の機能を選択します。

PSEL[4:0] ビットで端子に割り付ける周辺機能を設定します。

ISEL ビットは、IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせても使用できます。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

IRQn 機能のない端子の ISEL ビットは予約です。

表 19.2 100ピン(チップバージョンA)、80ピン、64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子		
	P00	P01	P02
00000b (初期値)	Hi-Z		
00001b	—	—	MTIOC9D
00111b	—	POE12#	—
01001b	ADST1	ADST2	ADST0
01010b	—	—	CTS1# RTS1# SS1#

— : 設定しないでください。

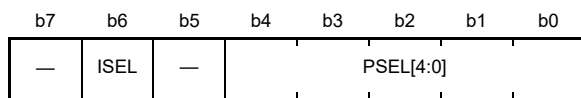
表 19.3 100ピン(チップバージョンB) 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子		
	P00	P01	P02
00000b (初期値)	Hi-Z		
00001b	—	—	MTIOC9D
00011b	—	—	MTIOC9D#
00111b	—	POE12#	—
01001b	ADST1	ADST2	ADST0
01010b	—	—	CTS1# RTS1# SS1#

— : 設定しないでください。

19.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n = 0, 1)

アドレス P10PFS 0008 C148h, P11PFS 0008 C149h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、 【100(チップバージョンA)/80ピン版の場合】 表 19.4 を参照してください 【100(チップバージョンB)ピン版の場合】 表 19.5 を参照してください 【64ピン版の場合】 表 19.6 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P10 : IRQ0 (100/80ピン) P11 : IRQ1 (100/80/64ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.4 100ピン(チップバージョンA)、80ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子	
	P10	P11
00000b (初期値)	Hi-Z	
00001b	MTIOC9B	MTIOC3A
00010b	MTCLKD	MTCLKC
00101b	TMRI3	TMO3
00111b	POE12#	—
01010b	CTS6# RTS6# SS6#	—

— : 設定しないでください。

表 19.5 100ピン(チップバージョンB) 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子	
	P10	P11
00000b (初期値)	Hi-Z	
00001b	MTIOC9B	MTIOC3A
00010b	MTCLKD	MTCLKC
00011b	MTIOC9B#	MTIOC3A#
00100b	MTCLKD#	MTCLKC#
00101b	TMRI3	TMO3
00111b	POE12#	—
01010b	CTS6# RTS6# SS6#	—

— : 設定しないでください。

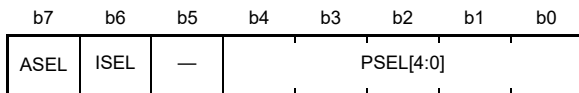
表 19.6 64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子
	P11
00000b (初期値)	Hi-Z
00001b	MTIOC3A
00010b	MTCLKC
00101b	TMO3
00111b	—
01010b	—

— : 設定しないでください。

19.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ~ 4)

アドレス P20PFS 0008 C150h, P21PFS 0008 C151h, P22PFS 0008 C152h, P23PFS 0008 C153h, P24PFS 0008 C154h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、 【100(チップバージョンA)/80ピン版の場合】 表 19.7を参照してください 【100(チップバージョンB)版の場合】 表 19.8を参照してください 【64ピン版の場合】 表 19.9を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P20 : IRQ7 (100/80ピン) P21 : IRQ6 (100/80/64ピン)	R/W
b7	ASEL	アナログ端子機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する 【チップバージョンAの場合】 P20 : AN016, CVREFC0 (100/80ピン) P21 : AN116, CVREFC1 (100/80/64ピン) 【チップバージョンBの場合】 P20 : AN016, CVREFC0 (100ピン) P21 : AN116, CVREFC1 (100ピン) P23 : DA1 (100ピン) P24 : DA0 (100ピン)	R/W

表 19.7 100ピン(チップバージョンA)、80ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子				
	P20	P21	P22	P23	P24
00000b (初期値)	Hi-Z				
00001b	MTIOC9C	MTIOC9A	MTIC5W	MTIC5V	MTIC5U
00010b	MTCLKB	MTCLKA	—	—	—
00101b	TMRI4	TMCI4	TMRI2	TMO2	TMCI2
00110b	—	—	TMO4	—	TMO6
00111b	—	—	—	CACREF	—
01001b	ADTRG0#	ADTRG1#	ADTRG2#	—	—
01101b	—	—	MISOA	MOSIA	RSPCKA
11110b	—	—	COMP2	COMP1	COMP0

— : 設定しないでください。

表 19.8 100ピン(チップバージョンB) 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子				
	P20	P21	P22	P23	P24
00000b (初期値)	Hi-Z				
00001b	MTIOC9C	MTIOC9A	MTIC5W	MTIC5V	MTIC5U
00010b	MTCLKB	MTCLKA	—	—	—
00011b	MTIOC9C#	MTIOC9A#	MTIC5W#	MTIC5V#	MTIC5U#
00100b	MTCLKB#	MTCLKA#	—	—	—
00101b	TMRI4	TMCI4	TMRI2	TMO2	TMCI2
00110b	—	—	TMO4	—	TMO6
00111b	—	—	—	CACREF	—
01001b	ADTRG0#	ADTRG1#	ADTRG2#	—	—
01101b	—	—	MISOA	MOSIA	RSPCKA
11110b	—	—	COMP2	COMP1	COMP0

— : 設定しないでください。

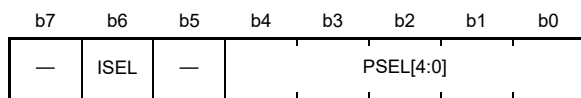
表 19.9 64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	P21	P22	P23	P24
00000b (初期値)	Hi-Z			
00001b	MTIOC9A	MTIC5W	MTIC5V	MTIC5U
00010b	MTCLKA	—	—	—
00101b	TMCI4	TMRI2	TMO2	TMCI2
00110b	—	TMO4	—	TMO6
00111b	—	—	CACREF	—
01001b	ADTRG1#	ADTRG2#	—	—
01101b	—	MISOA	MOSIA	RSPCKA
11110b	—	COMP2	COMP1	COMP0

— : 設定しないでください。

19.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ~ 3)

アドレス P30PFS 0008 C158h, P31PFS 0008 C159h, P32PFS 0008 C15Ah, P33PFS 0008 C15Bh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、 【100(チップバージョンA)ピン版の場合】 表 19.10を参照してください 【100(チップバージョンB)ピン版の場合】 表 19.11を参照してください 【80/64ピン版の場合】 表 19.12を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P30 : IRQ7 (100/80/64ピン) P31 : IRQ6 (100/80/64ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.10 100ピン(チップバージョンA) 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	P30	P31	P32	P33
00000b (初期値)	Hi-Z			
00001b	MTIOC0B	MTIOC0A	MTIOC3C	MTIOC3A
00010b	MTCLKD	MTCLKC	MTCLKB	MTCLKA
00101b	TMCI6	TMRI6	TMO6	TMO0
01101b	SSLA0	SSLA1	SSLA2	SSLA3
11110b	COMP3	—	—	—

— : 設定しないでください。

表 19.11 100ピン(チップバージョンB) 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	P30	P31	P32	P33
00000b (初期値)	Hi-Z			
00001b	MTIOC0B	MTIOC0A	MTIOC3C	MTIOC3A
00010b	MTCLKD	MTCLKC	MTCLKB	MTCLKA
00011b	MTIOC0B#	MTIOC0A#	MTIOC3C#	MTIOC3A#
00100b	MTCLKD#	MTCLKC#	MTCLKB#	MTCLKA#
00101b	TMCI6	TMRI6	TMO6	TMO0
01101b	SSLA0	SSLA1	SSLA2	SSLA3
11110b	COMP3	—	—	—

— : 設定しないでください。

表 19.12 80ピン、64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子	
	P30	P31
00000b (初期値)	Hi-Z	
00001b	MTIOC0B	MTIOC0A
00010b	MTCLKD	MTCLKC
00101b	TMCI6	TMRI6
01101b	SSLA0	SSLA1
11110b	COMP3	—

— : 設定しないでください。

19.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 7)

アドレス P40PFS 0008 C160h, P41PFS 0008 C161h, P42PFS 0008 C162h, P43PFS 0008 C163h,
P44PFS 0008 C164h, P45PFS 0008 C165h, P46PFS 0008 C166h, P47PFS 0008 C167h

b7	b6	b5	b4	b3	b2	b1	b0
ASEL	—	—	—	—	—	—	—

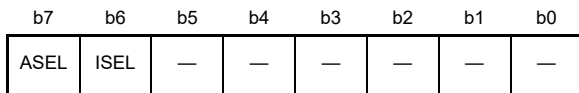
リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ入力機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40 : AN000, CMPC00, CMPC01, CMPC22, CMPC23 (100/80/64 ピン) P41 : AN001 (100/80/64 ピン) P42 : AN002 (100/80/64 ピン) P43 : AN003 (100/80 ピン) P44 : AN100, CMPC10, CMPC11, CMPC32, CMPC33 (100/80/64 ピン) P45 : AN101, CMPC02, CMPC03, CMPC20, CMPC21 (100/80/64 ピン) P46 : AN102, CMPC12, CMPC13, CMPC30, CMPC31 (100/80/64 ピン) P47 : AN103 (100/80 ピン)	R/W

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。このとき、端子状態を読むことはできません。

19.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ~ 5)

アドレス P50PFS 0008 C168h, P51PFS 0008 C169h, P52PFS 0008 C16Ah, P53PFS 0008 C16Bh,
P54PFS 0008 C16Ch, P55PFS 0008 C16Dh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P52 : IRQ0 (100/80/64 ピン) P53 : IRQ1 (100/80/64 ピン) P54 : IRQ2 (100/80/64 ピン) P55 : IRQ3 (100/80 ピン)	R/W
b7	ASEL	アナログ入力機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P50 : AN206 (100/80/64 ピン) P51 : AN207 (100/80/64 ピン) P52 : AN208 (100/80/64 ピン) P53 : AN209 (100/80/64 ピン) P54 : AN210 (100/80/64 ピン) P55 : AN211 (100/80 ピン)	R/W

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。このとき、端子状態を読むことはできません。

19.2.8 P6n 端子機能制御レジスタ (P6nPFS) (n = 0 ~ 5)

アドレス P60PFS 0008 C170h, P61PFS 0008 C171h, P62PFS 0008 C172h, P63PFS 0008 C173h,
P64PFS 0008 C174h, P65PFS 0008 C175h

b7	b6	b5	b4	b3	b2	b1	b0
ASEL	ISEL	—	—	—	—	—	—

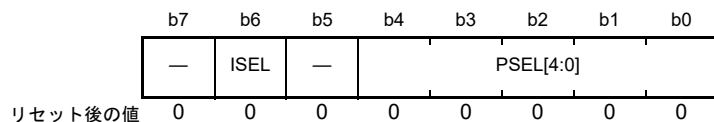
リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P60 : IRQ4 (100ピン) P61 : IRQ5 (100ピン) P62 : IRQ6 (100/80ピン) P63 : IRQ7 (100ピン)	R/W
b7	ASEL	アナログ入力機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P60 : AN200 (100ピン) P61 : AN201 (100ピン) P62 : AN202 (100/80ピン) P63 : AN203 (100ピン) P64 : AN204 (100ピン) P65 : AN205 (100ピン)	R/W

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。このとき、端子状態を読むことはできません。

19.2.9 P7n 端子機能制御レジスタ (P7nPFS) (n = 0 ~ 6)

アドレス P70PFS 0008 C178h, P71PFS 0008 C179h, P72PFS 0008 C17Ah, P73PFS 0008 C17Bh,
P74PFS 0008 C17Ch, P75PFS 0008 C17Dh, P76PFS 0008 C17Eh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、 【100(チップバージョンA)/80/64ピン版の場合】 表 19.13を参照してください 【100(チップバージョンB)ピン版の場合】 表 19.14を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P70 : IRQ5 (100/80/64ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.13 100ピン(チップバージョンA)、80ピン、64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子						
	P70	P71	P72	P73	P74	P75	P76
00000b (初期値)	Hi-Z						
00001b	—	MTIOC3B	MTIOC4A	MTIOC4B	MTIOC3D	MTIOC4C	MTIOC4D
00111b	POE0#	—	—	—	—	—	—

— : 設定しないでください。

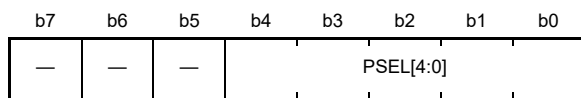
表 19.14 100ピン(チップバージョンB) 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子						
	P70	P71	P72	P73	P74	P75	P76
00000b (初期値)	Hi-Z						
00001b	—	MTIOC3B	MTIOC4A	MTIOC4B	MTIOC3D	MTIOC4C	MTIOC4D
00011b	—	MTIOC3B#	MTIOC4A#	MTIOC4B#	MTIOC3D#	MTIOC4C#	MTIOC4D#
00111b	POE0#	—	—	—	—	—	—
10100b	—	GTIOC0A	GTIOC1A	GTIOC2A	GTIOC0B	GTIOC1B	GTIOC2B
10110b	—	GTIOC0A#	GTIOC1A#	GTIOC2A#	GTIOC0B#	GTIOC1B#	GTIOC2B#

— : 設定しないでください。

19.2.10 P8n 端子機能制御レジスタ (P8nPFS) (n = 0 ~ 2)

アドレス P80PFS 0008 C180h, P81PFS 0008 C181h, P82PFS 0008 C182h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、 【100(チップバージョンA)ピン版の場合】 表 19.15を参照してください 【100(チップバージョンB)ピン版の場合】 表 19.16を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.15 100ピン(チップバージョンA) 端子入出力機能レジスタ設定

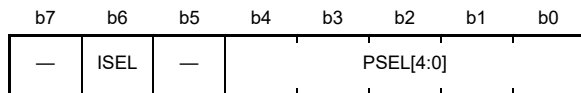
PSEL[4:0]ビット 設定値	端子		
	P80	P81	P82
00000b (初期値)	Hi-Z		
00001b	MTIC5W	MTIC5V	MTIC5U
00101b	TMRI4	TMC14	TMO4
01010b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6

表 19.16 100ピン(チップバージョンB) 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子		
	P80	P81	P82
00000b (初期値)	Hi-Z		
00001b	MTIC5W	MTIC5V	MTIC5U
00011b	MTIC5W#	MTIC5V#	MTIC5U#
00101b	TMRI4	TMC14	TMO4
01010b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6

19.2.11 P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 6)

アドレス P90PFS 0008 C188h, P91PFS 0008 C189h, P92PFS 0008 C18Ah, P93PFS 0008 C18Bh,
P94PFS 0008 C18Ch, P95PFS 0008 C18Dh, P96PFS 0008 C18Eh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、 【100(チップバージョンA)/80/64ピン版の場合】 表 19.17を参照してください 【100(チップバージョンB)ピン版の場合】 表 19.18を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P96 : IRQ4 (100/80/64ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.17 100ピン(チップバージョンA)、80ピン、64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子						
	P90	P91	P92	P93	P94	P95	P96
00000b (初期値)	Hi-Z						
00001b	MTIOC7D	MTIOC7C	MTIOC6D	MTIOC7B	MTIOC7A	MTIOC6B	—
00111b	—	—	—	—	—	—	POE4#

— : 設定しないでください。

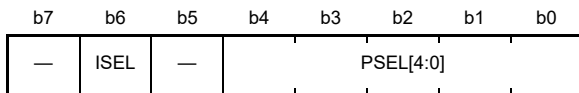
表 19.18 100ピン(チップバージョンB) 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子						
	P90	P91	P92	P93	P94	P95	P96
00000b (初期値)	Hi-Z						
00001b	MTIOC7D	MTIOC7C	MTIOC6D	MTIOC7B	MTIOC7A	MTIOC6B	—
00011b	MTIOC7D#	MTIOC7C#	MTIOC6D#	MTIOC7B#	MTIOC7A#	MTIOC6B#	—
00111b	—	—	—	—	—	—	POE4#

— : 設定しないでください。

19.2.12 PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ~ 5)

アドレス PA0PFS 0008 C190h, PA1PFS 0008 C191h, PA2PFS 0008 C192h, PA3PFS 0008 C193h, PA4PFS 0008 C194h, PA5PFS 0008 C195h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、 【100(チップバージョンA)ピン版の場合】 表 19.19を参照してください 【100(チップバージョンB)ピン版の場合】 表 19.20を参照してください 【80ピン版の場合】 表 19.21を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PA5 : IRQ1 (100/80ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.19 100ピン(チップバージョンA) 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子					
	PA0	PA1	PA2	PA3	PA4	PA5
00000b (初期値)	Hi-Z					
00001b	MTIOC6C	MTIOC6A	MTIOC2B	MTIOC2A	MTIOC1B	MTIOC1A
00101b	TMO2	TMO4	TMO7	TMRI7	TMCI7	TMCI3
01001b	—	ADTRG0#	—	—	ADTRG0#	ADTRG1#
01010b	—	—	CTS6# RTS6# SS6#	—	SCK6	RXD6 SMISO6 SSCL6
01101b	SSLA3	SSLA2	SSLA1	SSLA0	RSPCKA	MISOA

— : 設定しないでください。

表 19.20 100ピン(チップバージョンB) 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子					
	PA0	PA1	PA2	PA3	PA4	PA5
00000b (初期値)	Hi-Z					
00001b	MTIOC6C	MTIOC6A	MTIOC2B	MTIOC2A	MTIOC1B	MTIOC1A
00010b	MTIOC6C#	MTIOC6A#	MTIOC2B#	MTIOC2A#	MTIOC1B#	MTIOC1A#
00101b	TMO2	TMO4	TMO7	TMRI7	TMCI7	TMCI3
01001b	—	ADTRG0#	—	—	ADTRG0#	ADTRG1#
01010b	—	—	CTS6# RTS6# SS6#	—	SCK6	RXD6 SMISO6 SSCL6
01101b	SSLA3	SSLA2	SSLA1	SSLA0	RSPCKA	MISOA
10000b	CTXD0	CRXD0	—	—	—	—
10100b	—	—	GTADSM1	GTADSM0	—	—

— : 設定しないでください。

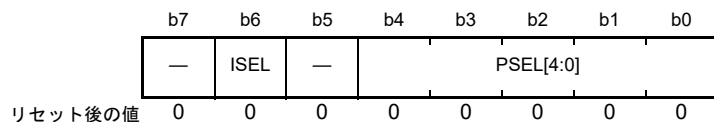
表 19.21 80ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子	
	PA3	PA5
00000b (初期値)	Hi-Z	
00001b	MTIOC2A	MTIOC1A
00101b	TMRI7	TMCI3
01001b	—	ADTRG1#
01010b	—	RXD6 SMISO6 SSCL6
01101b	SSLA0	MISOA

— : 設定しないでください。

19.2.13 PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7)

アドレス PB0PFS 0008 C198h, PB1PFS 0008 C199h, PB2PFS 0008 C19Ah, PB3PFS 0008 C19Bh, PB4PFS 0008 C19Ch, PB5PFS 0008 C19Dh, PB6PFS 0008 C19Eh, PB7PFS 0008 C19Fh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、 【100(チップバージョンA)ピン版の場合】 表 19.22を参照してください 【100(チップバージョンB)ピン版の場合】 表 19.23を参照してください 【80ピン版の場合】 表 19.24を参照してください 【64ピン版の場合】 表 19.25を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PB4 : IRQ3 (100/80/64ピン) PB6 : IRQ5 (100/80/64ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.22 100ピン(チップバージョンA) 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
00000b (初期値)	Hi-Z							
00001b	MTIOC0D	MTIOC0C	MTIOC0B	MTIOC0A	—	—	—	—
00101b	TMO0	TMCIO	TMRI0	—	—	—	—	—
00111b	—	—	—	CACREF	POE8#	—	—	—
01001b	ADTRG2#	ADSM1	ADSM0	—	—	—	—	—
01010b	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	CTS5# RTS5# SS5#	TXD5 SMOSI5 SSDA5	RXD5 SMISO5 SSCL5	SCK5
01101b	MOSIA	—	—	RSPCKA	—	—	—	—
01111b	—	SCL0	SDA0	—	—	—	—	—

— : 設定しないでください。

表 19.23 100ピン(チップバージョンB) 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
00000b (初期値)	Hi-Z							
00001b	MTIOC0D	MTIOC0C	MTIOC0B	MTIOC0A	—	—	—	—
00011b	MTIOC0D#	MTIOC0C#	MTIOC0B#	MTIOC0A#	—	—	—	—
00101b	TMO0	TMCIO	TMRI0	—	—	—	—	—
00111b	—	—	—	CACREF	POE8#	—	—	—
01001b	ADTRG2#	ADSM1	ADSM0	—	—	—	—	—
01010b	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	CTS5# RTS5# SS5#	TXD5 SMOSI5 SSDA5	RXD5 SMISO5 SSCL5	SCK5
01101b	MOSIA	—	—	RSPCKA	—	—	—	—
01111b	—	SCL0	SDA0	—	—	—	—	—
10100b	—	—	—	—	GTETRG	GTIOC2B	GTIOC2A	GTIOC1B
10101b	—	—	—	—	GTECLKD	—	—	—
10110b	—	—	—	—	—	GTIOC2B#	GTIOC2A#	GTIOC1B#

— : 設定しないでください。

表 19.24 80ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子						
	PB0	PB1	PB2	PB3	PB4	PB5	PB6
00000b (初期値)	Hi-Z						
00001b	MTIOC0D	MTIOC0C	MTIOC0B	MTIOC0A	—	—	—
00101b	TMO0	TMCIO	TMRI0	—	—	—	—
00111b	—	—	—	CACREF	POE8#	—	—
01001b	ADTRG2#	ADSM1	ADSM0	—	—	—	—
01010b	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	CTS5# RTS5# SS5#	TXD5 SMOSI5 SSDA5	RXD5 SMISO5 SSCL5
01101b	MOSIA	—	—	RSPCKA	—	—	—
01111b	—	SCL0	SDA0	—	—	—	—

— : 設定しないでください。

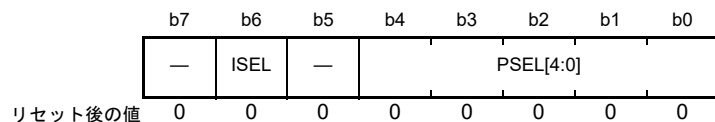
表 19.25 64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子					
	PB1	PB2	PB3	PB4	PB5	PB6
00000b (初期値)	Hi-Z					
00001b	MTIOC0C	MTIOC0B	MTIOC0A	—	—	—
00101b	TMCIO	TMRI0	—	—	—	—
00111b	—	—	CACREF	POE8#	—	—
01001b	ADSM1	ADSM0	—	—	—	—
01010b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	CTS5# RTS5# SS5#	TXD5 SMOSI5 SSDA5	RXD5 SMISO5 SSCL5
01101b	—	—	RSPCKA	—	—	—
01111b	SCL0	SDA0	—	—	—	—

— : 設定しないでください。

19.2.14 PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ~ 7)

アドレス PD0PFS 0008 C1A8h, PD1PFS 0008 C1A9h, PD2PFS 0008 C1AAh, PD3PFS 0008 C1ABh,
PD4PFS 0008 C1ACh, PD5PFS 0008 C1ADh, PD6PFS 0008 C1AEh, PD7PFS 0008 C1AFh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、 【100(チップバージョンA)ピン版の場合】 表 19.26を参照してください 【100(チップバージョンB)ピン版の場合】 表 19.27を参照してください 【80ピン版の場合】 表 19.28を参照してください 【64ピン版の場合】 表 19.29を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PD4 : IRQ2 (100/80/64ピン) PD5 : IRQ3 (100/80/64ピン) PD6 : IRQ5 (100/80/64ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.26 100ピン(チップバージョンA) 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子							
	PD0	PD1	PD2	PD3	PD4	PD5	PD6	PD7
00000b (初期値)	Hi-Z							
00001b	—	—	—	—	—	—	MTIOC9C	MTIOC9A
00101b	TMO6	TMO2	TMC11	TMO0	TMC10	TMR10	TMO1	TMR11
00110b	—	—	TMO4	—	TMC16	TMR16	—	TMR15
01001b	—	—	—	—	—	—	ADST0	—
01010b	—	—	SCK5	TXD1 SMOS11 SSDA1	SCK1	RXD1 SMISO1 SSCL1	CTS1# RTS1# SS1#	—
01101b	RSPCKA	MISOA	MOSIA	—	—	—	SSLA0	SSLA1

— : 設定しないでください。

表 19.27 100ピン(チップバージョンB) 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子							
	PD0	PD1	PD2	PD3	PD4	PD5	PD6	PD7
00000b (初期値)	Hi-Z							
00001b	—	—	—	—	—	—	MTIOC9C	MTIOC9A
00011b	—	—	—	—	—	—	MTIOC9C#	MTIOC9A#
00101b	TMO6	TMO2	TMC11	TMO0	TMC10	TMRI0	TMO1	TMRI1
00110b	—	—	TMO4	—	TMC16	TMRI6	—	TMRI5
01001b	—	—	—	—	—	—	ADST0	—
01010b	—	—	SCK5	TXD1 SMOS11 SSDA1	SCK1	RXD1 SMISO1 SSCL1	CTS1# RTS1# SS1#	TXD5 SMOS15 SSDA5
01101b	RSPCKA	MISOA	MOSIA	—	—	—	SSLA0	SSLA1
10100b	GTIOC1A	GTIOC0B	GTIOC0A	—	—	—	GTIOC3B	GTIOC3A
10101b	—	—	—	GTECLKC	GTECLKB	GTECLKA	—	—
10110b	GTIOC1A#	GTIOC0B#	GTIOC0A#	—	—	—	GTIOC3B#	GTIOC3A#

— : 設定しないでください。

表 19.28 80ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子					
	PD2	PD3	PD4	PD5	PD6	PD7
00000b (初期値)	Hi-Z					
00001b	—	—	—	—	MTIOC9C	MTIOC9A
00101b	TMC11	TMO0	TMC10	TMRI0	TMO1	TMRI1
00110b	TMO4	—	TMC16	TMRI6	—	TMRI5
01001b	—	—	—	—	ADST0	—
01010b	SCK5	TXD1 SMOS11 SSDA1	SCK1	RXD1 SMISO1 SSCL1	CTS1# RTS1# SS1#	—
01101b	MOSIA	—	—	—	SSLA0	SSLA1

— : 設定しないでください。

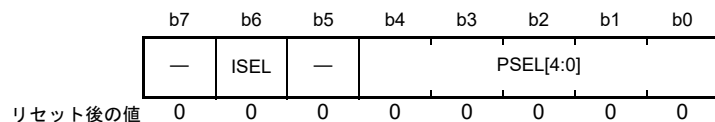
表 19.29 64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子				
	PD3	PD4	PD5	PD6	PD7
00000b (初期値)	Hi-Z				
00001b	—	—	—	MTIOC9C	MTIOC9A
00101b	TMO0	TMC10	TMRI0	TMO1	TMRI1
00110b	—	TMC16	TMRI6	—	TMRI5
01001b	—	—	—	ADST0	—
01010b	TXD1 SMOS11 SSDA1	SCK1	RXD1 SMISO1 SSCL1	CTS1# RTS1# SS1#	—
01101b	—	—	—	SSLA0	SSLA1

— : 設定しないでください。

19.2.15 PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 5)

アドレス PE0PFS 0008 C1B0h, PE1PFS 0008 C1B1h, PE2PFS 0008 C1B2h, PE3PFS 0008 C1B3h,
PE4PFS 0008 C1B4h, PE5PFS 0008 C1B5h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、 【100(チップバージョンA)ピン版の場合】 表 19.30を参照してください 【100(チップバージョンB)ピン版の場合】 表 19.31を参照してください 【80ピン版の場合】 表 19.32を参照してください 【64ピン版の場合】 表 19.33を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PE3 : IRQ2 (100/80ピン) PE4 : IRQ1 (100/80ピン) PE5 : IRQ0 (100ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.30 100ピン(チップバージョンA) 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子				
	PE0	PE1	PE2	PE3	PE4
00000b (初期値)	Hi-Z				
00001b	MTIOC9B	MTIOC9D	—	—	—
00010b	—	—	—	MTCLKD	MTCLKC
00101b	TMCI1	TMO5	—	—	—
00110b	TMCI5	—	—	—	—
00111b	—	—	POE10#	POE11#	POE10#
01010b	—	CTS5# RTS5# SS5#	—	—	—
01101b	SSLA2	SSLA3	—	—	—

— : 設定しないでください。

注. NMIER.NMIEN = 1に設定してある場合、NMI処理を優先します。

表 19.31 100ピン(チップバージョンB) 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子				
	PE0	PE1	PE2	PE3	PE4
00000b (初期値)	Hi-Z				
00001b	MTIOC9B	MTIOC9D	—	—	—
00010b	—	—	—	MTCLKD	MTCLKC
00011b	MTIOC9B#	MTIOC9D#	—	—	—
00100b	—	—	—	MTCLKD#	MTCLKC#
00101b	TMC11	TMO5	—	—	—
00110b	TMC15	—	—	—	—
00111b	—	—	POE10#	POE11#	POE10#
01010b	RXD5 SMISO5 SSCL5	CTS5# RTS5# SS5#	—	—	—
01101b	SSLA2	SSLA3	—	—	—

— : 設定しないでください。

注. NMIER.NMIEN = 1に設定してある場合、NMI処理を優先します。

表 19.32 80ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子		
	PE2	PE3	PE4
00000b (初期値)	Hi-Z		
00001b	—	—	—
00010b	—	MTCLKD	MTCLKC
00101b	—	—	—
00110b	—	—	—
00111b	POE10#	POE11#	POE10#
01010b	—	—	—
01101b	—	—	—

— : 設定しないでください。

注. NMIER.NMIEN = 1に設定してある場合、NMI処理を優先します。

表 19.33 64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子
	PE2
00000b (初期値)	Hi-Z
00001b	—
00010b	—
00101b	—
00110b	—
00111b	POE10#
01010b	—
01101b	—

— : 設定しないでください。

注. NMIER.NMIEN = 1に設定してある場合、NMI処理を優先します。

19.3 使用上の注意事項

19.3.1 端子入出力機能設定手順

端子入出力機能の設定は下記の手順で行ってください。

1. 当該端子のポートモードレジスタ (PMR) を“0”にして汎用入出力ポートに設定します。
2. 周辺機能モジュールにおいて、当該端子にアサインする入出力信号を設定します。
3. 書き込みプロテクトレジスタ (PWPR) を設定して、Pmn 端子機能制御レジスタ (PmnPFS) を書き込み有効にします (m = 0 ~ 9, A, B, D, E, n = 0 ~ 7)。
4. PmnPFS.PSEL[4:0] ビットにより端子入出力機能を設定します。
5. PWPR.PFSWE ビットを“0”にして、PmnPFS レジスタへの書き込み禁止してください。
6. 必要に応じて PMR レジスタを“1”にして、選択された端子入出力機能に切り替えます。

19.3.2 MPC レジスタ設定する場合の注意事項

1. Pmn 端子機能制御レジスタ (PmnPFS) を設定するときは、当該端子の PMR レジスタが“0”の状態を設定してください。当該端子の PMR レジスタが“1”の状態では PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は、意図しないパルスが出力されたりする可能性があります。
2. PmnPFS レジスタで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合、動作は保証されません。
3. MPC により同一の機能を複数の端子に割り当てる設定はしないでください。
4. ポート 2、4、5、6 は A/D コンバータのアナログ入力端子の機能も兼ねています。アナログ入力端子として使用する場合は、精度劣化させないために、ポートモードレジスタ (PMR) の当該ビットを“0”にして、ポート方向レジスタ (PDR) の当該ビットを“0”にして当該端子を汎用入力にし、PmnPFS.ASEL ビットを“1”にしてください。
5. マルチプル端子のポートモードレジスタ (PMR)、ポート方向レジスタ (PDR) と、Pmn 端子機能制御レジスタ (PmnPFS) の設定および注意事項を表 19.34 に示します。端子状態の読み出しは、ASEL ビットが“0”のとき可能です。PSEL[4:0] ビットの変更は、PMR.Bj ビットが“0”の状態で行ってください。
6. チップバージョン B の P23、P24 は D/A コンバータのアナログ出力端子の機能も兼ねています。アナログ出力端子として使用する場合は、精度劣化させないために、ポートモードレジスタ (PMR) の当該ビットを“0”にして、ポート方向レジスタ (PDR) の当該ビットを“0”にして当該端子を汎用入力にし、PmnPFS.ASEL ビットを“1”、PSEL[4:0] ビットを“00000b”にしてください。

表 19.34 レジスタの設定

項目	PMR.Bn	PDR.Bn	PmnPFS			注意事項
			ASEL	ISEL	PSEL[4:0]	
リセット解除後	0	0	0	0	00000b	リセット解除後は汎用入力ポートとして機能します
汎用入力ポート	0	0	0	0/1	×	割り込み入力と併用する場合は、ISELビットを“1”にしてください
汎用出力ポート	0	1	0	0	×	
周辺機能	1	×	0	0/1	周辺機能 (表 19.2～ 表 19.33参照)	割り込み入力と併用する場合は、ISELビットを“1”にしてください
割り込み入力	0	0	0	1	×	
NMI	×	×	×	×	×	レジスタの設定は不要です
アナログ入出力	0(注2)	0	1	×(注1)	×/00000b(注3)	出力バッファをOFFにするため、汎用入力ポートに設定してください

× : 設定不要

0/1 : PmnPFS.ISEL ビットを“0”にすれば、IRQ 端子として機能しません

PmnPFS.ISEL ビットを“1”にすれば、IRQ 端子として機能します (IRQ がマルチプルされている場合)

注. ・端子状態の読み出しは、PmnPFS.ASEL ビットが“0”のとき可能です。
 ・PmnPFS.PSEL[4:0] ビットの変更は、PMR.Bn ビットが“0”の状態で行ってください。
 ・RIIC をアサインしたポートは、PCR.Bn ビットを“0”にしてください (RIIC 以外の周辺機能出力では自動的にプルアップが OFF になります)。

注1. PmnPFS.ISEL ビットを“1”にしても、IRQn 入力端子として機能しません。

注2. PORT4～6 は設定不要です。

注3. P23、P24 を D/A コンバータのアナログ出力機能として使用する場合は、PmnPFS.PSEL[4:0] ビットを“00000b”にしてください。

19.3.3 アナログ機能を使う場合の注意事項

アナログ機能を使用するときは、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”にし、当該端子を汎用入力にしてから、Pmn 端子機能制御レジスタの端子機能選択ビット (PmnPFS.ASEL) を“1”にしてください。

19.3.4 PB1、PB2 端子の入力レベルについての注意事項

PB1、PB2 端子は、PB1PFS.PSEL、PB2PFS.PSEL で SCL/SDA 機能を選択し、RIIC の ICMR3.SMBS ビットで SMBus を選択した場合、入力レベルは TTL になります。これに伴い、PB1、PB2 のポートリードも TTL となります。

19.3.5 POE 要因発生時、汎用入出力ポートへの切り替え制御の注意事項 (チップバージョン B のみ)

POE 要因発生時、POE の PMMCRn (n = 0 ~ 3) で設定した端子は汎用入出力ポートに切り替わります。制御対象端子のポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) の設定により、切り替わり後の端子状態が決まります。なお、ポートモードレジスタ (PMR) の値は保持されます。

19.3.6 MTU、GPT 入出力端子の反転入出力機能についての注意事項 (チップバージョンBのみ)

表 19.35 に示す MTU、GPT 入出力端子は、当該端子の PmnPFS.PSEL[4:0] ビットの設定により、入力信号を反転して取り込み、出力信号を反転して出力させることができます。正転入出力状態と反転入出力状態を切り替える場合は、必ず当該端子の PMR レジスタが“0”の状態を設定してください。

表 19.35 MTU、GPT 入出力端子 (1/2)

モジュール/機能	チャンネル	正転入出力	反転入出力
マルチファンクションタイマユニット3	MTU0	MTIOC0A	MTIOC0A#
		MTIOC0B	MTIOC0B#
		MTIOC0C	MTIOC0C#
		MTIOC0D	MTIOC0D#
	MTU1	MTIOC1A	MTIOC1A#
		MTIOC1B	MTIOC1B#
	MTU2	MTIOC2A	MTIOC2A#
		MTIOC2B	MTIOC2B#
	MTU3	MTIOC3A	MTIOC3A#
		MTIOC3B	MTIOC3B#
		MTIOC3C	MTIOC3C#
		MTIOC3D	MTIOC3D#
	MTU4	MTIOC4A	MTIOC4A#
		MTIOC4B	MTIOC4B#
		MTIOC4C	MTIOC4C#
		MTIOC4D	MTIOC4D#
	MTU5	MTIC5U	MTIC5U#
		MTIC5V	MTIC5V#
		MTIC5W	MTIC5W#
	MTU6	MTIOC6A	MTIOC6A#
		MTIOC6B	MTIOC6B#
		MTIOC6C	MTIOC6C#
		MTIOC6D	MTIOC6D#
	MTU7	MTIOC7A	MTIOC7A#
		MTIOC7B	MTIOC7B#
		MTIOC7C	MTIOC7C#
		MTIOC7D	MTIOC7D#
	MTU9	MTIOC9A	MTIOC9A#
		MTIOC9B	MTIOC9B#
		MTIOC9C	MTIOC9C#
		MTIOC9D	MTIOC9D#
	MTU	MTCLKA	MTCLKA#
		MTCLKB	MTCLKB#
		MTCLKC	MTCLKC#
		MTCLKD	MTCLKD#

表 19.35 MTU、GPT 入出力端子 (2/2)

モジュール/機能	チャンネル	正転入出力	反転入出力
汎用PWM タイマ	GPT0	GTIOC0A	GTIOC0A#
		GTIOC0B	GTIOC0B#
	GPT1	GTIOC1A	GTIOC1A#
		GTIOC1B	GTIOC1B#
	GPT2	GTIOC2A	GTIOC2A#
		GTIOC2B	GTIOC2B#
	GPT3	GTIOC3A	GTIOC3A#
		GTIOC3B	GTIOC3B#

20. マルチファンクションタイマパルスユニット3 (MTU3d)

20.1 概要

本 MCU は、9 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 3 (MTU3d) を内蔵しています。

表 20.1 に MTU の仕様を、表 20.2 に MTU の機能一覧を示します。また、図 20.1、図 20.2 に MTU のブロック図を示します。

表 20.1 MTU の仕様

項目	内容
パルス入出力	最大28本
パルス入力	3本
カウントクロック	チャンネルごとに11種類 (MTU0、MTU9は14種類、MTU2は12種類、MTU5は10種類、MTU1 & MTU2 (LWA = 1のとき) は4種類)
動作周波数	~80MHz
設定可能動作	<p>【MTU0~MTU4, MTU6, MTU7, MTU9】</p> <ul style="list-style-type: none"> コンペアマッチによる波形出力 インプットキャプチャ機能 (ノイズフィルタ設定可能) カウンタクリア動作 複数のタイマカウンタ (TCNT) への同時書き込み コンペアマッチ/インプットキャプチャによる同時クリア カウンタの同期動作による各レジスタの同期入出力 同期動作と組み合わせることによる最大14相のPWM出力 <p>【MTU0, MTU3, MTU4, MTU6, MTU7, MTU9】</p> <ul style="list-style-type: none"> バッファ動作を設定可能 <p>【MTU1, MTU2】</p> <ul style="list-style-type: none"> 独立に位相計数モードを設定可能 MTU1、MTU2連動の32ビット位相計数モードを設定可能 (TMDR3.LWA = 1 設定時) カスケード接続動作が可能 <p>【MTU3, MTU4, MTU6, MTU7】</p> <ul style="list-style-type: none"> MTU3/MTU4、およびMTU6/MTU7の連動動作による相補PWM、リセットPWM動作で、6相のポジ/ネガ計12相の出力が可能 相補PWMモード時、タイマカウンタの山/谷もしくはバッファレジスタ (MTU4.TGRD, MTU7.TGRD) への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 相補PWMモードでダブルバッファ機能を設定可能 <p>【MTU3, MTU4】</p> <ul style="list-style-type: none"> MTU0と連動させて、相補PWM、リセットPWMを用いたAC同期モータ (ブラシレスDCモータ) 駆動モードが設定可能で、2種類 (チョッピング、レベル) の波形出力が選択可能 <p>【MTU5】</p> <ul style="list-style-type: none"> デッドタイム補償用カウンタとして使用することが可能 <p>【MTU6, MTU7】</p> <ul style="list-style-type: none"> MTU9と連動させて、相補PWM、リセットPWMを用いたAC同期モータ (ブラシレスDCモータ) 駆動モードが設定可能で、2種類 (チョッピング、レベル) の波形出力が選択可能
割り込み間引き機能	相補PWMモード時に、カウンタの山/谷での割り込み、およびA/Dコンバータの変換スタートトリガを間引くことが可能
割り込み要因	45種類
バッファ動作	レジスタデータの自動転送 (バッファレジスタからタイマレジスタへの転送)
トリガ生成	A/Dコンバータの変換開始トリガを生成可能 A/D変換開始要求のディレイド機能により、任意のタイミングでA/D変換開始が可能。またPWM出力との同期動作が可能
消費電力低減機能	モジュールストップ状態への設定が可能

表20.2 MTUの機能一覧 (1/2)

項目	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU5	MTU6	MTU7	MTU9
カウントク ロック	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB MTCLKC MTCLKD MTIOC1A	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB MTCLKC	MTCLKA MTCLKB MTCLKC MTCLKD	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTIOC1A	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB
位相計数 モードの 外部クロック	—	MTCLKA MTCLKB	MTCLKA MTCLKB MTCLKC MTCLKD	MTCLKA MTCLKB MTCLKC MTCLKD	—	—	—	—	—	—
ジェネラルレ ジスタ (TGR)	TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRALW TGRBLW	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW	TGRA TGRB	TGRA TGRB	TGRA TGRB TGRE
ジェネラルレ ジスタ/パッ ファレジスタ	TGRC TGRD TGRF	—	—	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	TGRC TGRD TGRF
入出力端子	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC1A MTIOC1B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	MTIC5U MTIC5V MTIC5W	MTIOC6A MTIOC6B MTIOC6C MTIOC6D	MTIOC7A MTIOC7B MTIOC7C MTIOC7D	MTIOC9A MTIOC9B MTIOC9C MTIOC9D
カウンタク リア機能	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRALW/ TGRBLWの コンペアマ ッチまたは インプット キャプチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ
コン ペア マッ チ出 力	0出力 ○	○	○	○	○	○	—	○	○	○
1出力	○	○	○	○	○	○	—	○	○	○
トグル 出力	○	○	○	○	○	○	—	○	○	○
インプ ット キャ プ 機 能	○	○	○	○ (注1)	○	○	○	○	○	○
同期動作	○	○	○	—	○	○	—	○	○	○
PWMモード1	○	○	○	—	○	○	—	○	○	○
PWMモード2	○	○	○	—	—	—	—	—	—	○
相補PWM モード	—	—	—	—	○	○	—	○	○	—
リセット同期 PWMモード	—	—	—	—	○	○	—	○	○	—
AC同期モー タ駆動モード	○	—	—	—	○	○	—	○	○	○
位相計数モー ド	—	○	○	○	—	—	—	—	—	—
パルファ動作	○	—	—	—	○	○	—	○	○	○
デッドタイム 補償用カウン タ機能	—	—	—	—	—	—	○	—	—	—
DTCの起動	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRALW/ TGRBLWの コンペアマ ッチまたは インプット キャプチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャとTCNT オーバフロー/ アンダフロー	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャとTCNT オーバフロー/ アンダフロー	TGRのコン ペアマッチ またはイン プットキャ プチャ
A/D変換開始 トリガ	TGRAのコン ペアマッチ またはイン プットキャ プチャ TGREのコン ペアマッチ	TGRAのコン ペアマッチ またはイン プットキャ プチャ	TGRAのコン ペアマッチ またはイン プットキャ プチャ	TGRALWの コンペアマ ッチまたは インプット キャプチャ	TGRAのコン ペアマッチ またはイン プットキャ プチャ	TGRAのコン ペアマッチ またはイン プットキャ プチャ、または 相補PWMモー ド時TCNTの アンダフロー (谷)	—	TGRAのコン ペアマッチ またはイン プットキャ プチャ	TGRAのコン ペアマッチ またはイン プットキャ プチャ、または 相補PWMモー ド時TCNTの アンダフロー (谷)	TGRAのコン ペアマッチ またはイン プットキャ プチャ TGREのコン ペアマッチ

表 20.2 MTUの機能一覧 (2/2)

項目	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU5	MTU6	MTU7	MTU9
割り込み要因	7要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ 0A コンペア マッチ/インプットキャプチャ 0B コンペア マッチ/インプットキャプチャ 0C コンペア マッチ/インプットキャプチャ 0D コンペア マッチ 0E コンペア マッチ 0F オーバーフロー 	4要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ 1A コンペア マッチ/インプットキャプチャ 1B オーバーフロー アンドーフロー 	4要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ 2A コンペア マッチ/インプットキャプチャ 2B オーバーフロー アンドーフロー 	4要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ 1A コンペア マッチ/インプットキャプチャ 1B オーバーフロー アンドーフロー 	5要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ 3A コンペア マッチ/インプットキャプチャ 3B コンペア マッチ/インプットキャプチャ 3C コンペア マッチ/インプットキャプチャ 3D オーバーフロー 	5要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ 4A コンペア マッチ/インプットキャプチャ 4B コンペア マッチ/インプットキャプチャ 4C コンペア マッチ/インプットキャプチャ 4D オーバーフロー/アンドーフロー 	3要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ 5U コンペア マッチ/インプットキャプチャ 5V コンペア マッチ/インプットキャプチャ 5W 	5要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ 6A コンペア マッチ/インプットキャプチャ 6B コンペア マッチ/インプットキャプチャ 6C コンペア マッチ/インプットキャプチャ 6D オーバーフロー 	5要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ 7A コンペア マッチ/インプットキャプチャ 7B コンペア マッチ/インプットキャプチャ 7C コンペア マッチ/インプットキャプチャ 7D オーバーフロー/アンドーフロー 	7要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ 9A コンペア マッチ/インプットキャプチャ 9B コンペア マッチ/インプットキャプチャ 9C コンペア マッチ/インプットキャプチャ 9D コンペア マッチ 9E コンペア マッチ 9F オーバーフロー
A/D変換開始要求ディレイド機能	—	—	—	—	—	• TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	—	—	• TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	—
割り込み間引き機能1	—	—	—	—	• TGRAのコンペアマッチ割り込みを間引き	• TCIV割り込みを間引き	—	• TGRAのコンペアマッチ割り込みを間引き	• TCIV割り込みを間引き	—
割り込み間引き機能2	—	—	—	—	—	• TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き	—	—	• TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き	—
モジュールストップ	MSTPCRA.MSTPA9 (注2)									

○：可能 —：不可能

注1. LWA = 1の場合、TGRALWのキャプチャ要因はMTIOC1Aからの入力またはMTU0.TGRAのコンペアマッチ/インプットキャプチャイベントから選択可能です。TGRBLWのキャプチャ要因はMTIOC1Bからの入力、MTU0.TGRCのコンペアマッチ/インプットキャプチャイベントから選択可能です。

注2. モジュールストップの詳細については、「11. 消費電力低減機能」を参照してください。

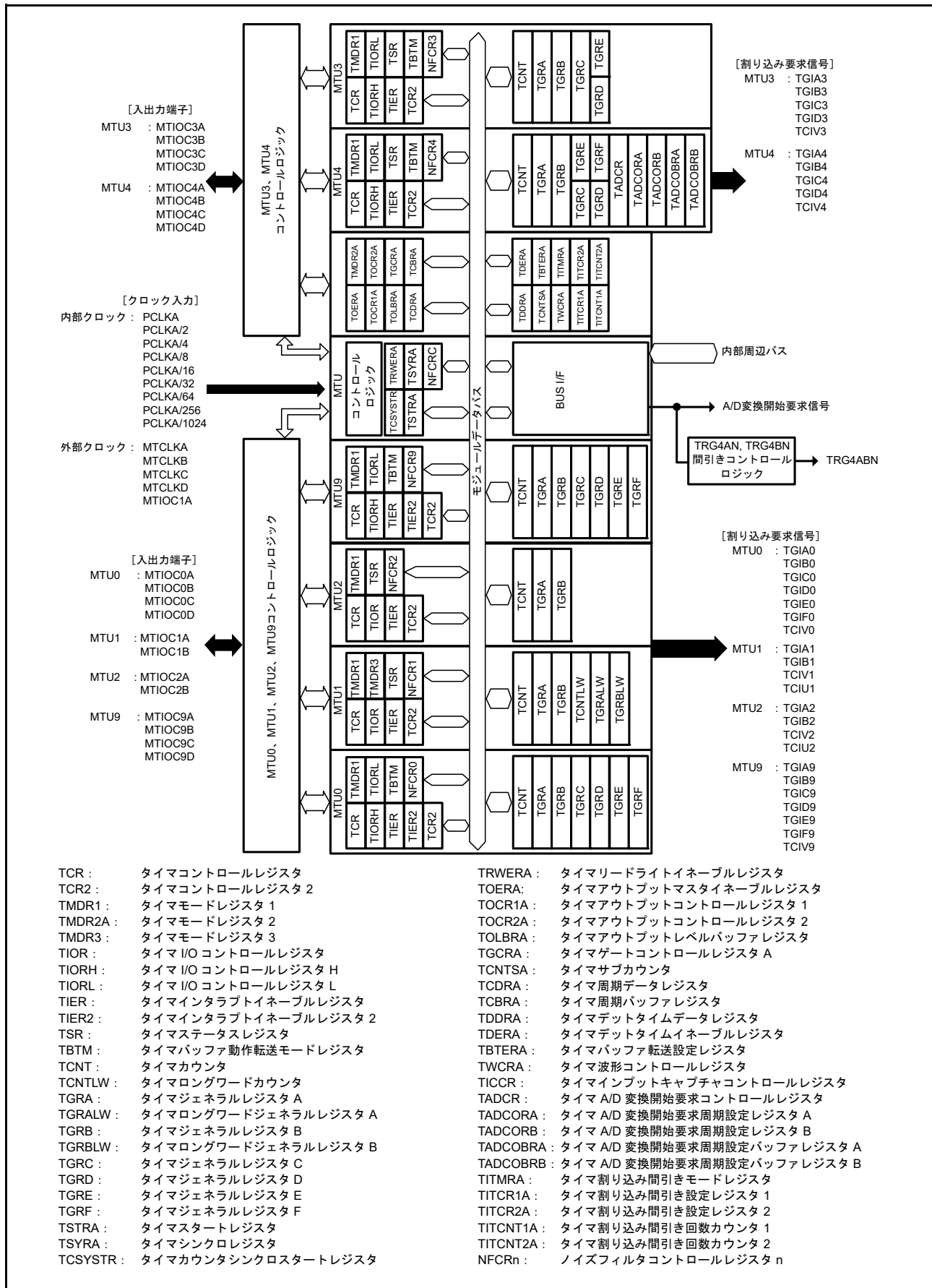


図 20.1 MTU のブロック図 (MTU0 ~ MTU4, MTU9)

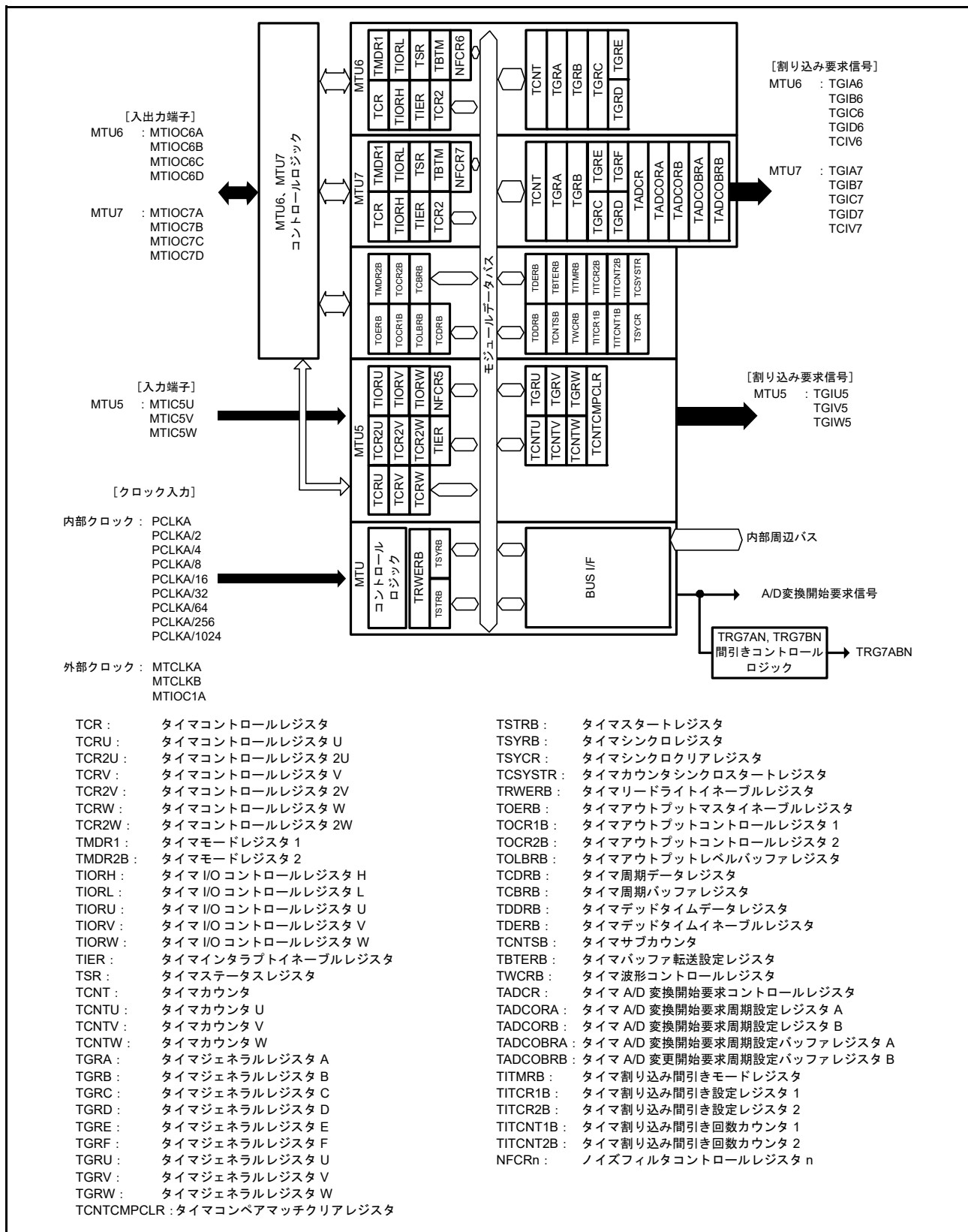


図 20.2 MTU のブロック図 (MTU5 ~ MTU7)

表 20.3 に MTU で使用する入出力端子を示します。

表 20.3 MTUの入出力端子

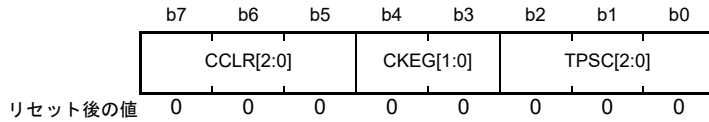
チャンネル	端子名	入出力	機能
MTU	MTCLKA	入力	外部クロックA入力端子 (MTU1の位相計数モードA相入力)
	MTCLKB	入力	外部クロックB入力端子 (MTU1の位相計数モードB相入力)
	MTCLKC	入力	外部クロックC入力端子 (MTU2の位相計数モードA相入力)
	MTCLKD	入力	外部クロックD入力端子 (MTU2の位相計数モードB相入力)
	ADSM0	出力	A/D変換開始要求フレーム同期信号0出力端子
	ADSM1	出力	A/D変換開始要求フレーム同期信号1出力端子
MTU0	MTIOC0A	入出力	MTU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0B	入出力	MTU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0C	入出力	MTU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0D	入出力	MTU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU1	MTIOC1A	入出力	MTU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1B	入出力	MTU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU2	MTIOC2A	入出力	MTU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2B	入出力	MTU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU3	MTIOC3A	入出力	MTU3.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3B	入出力	MTU3.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3C	入出力	MTU3.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3D	入出力	MTU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU4	MTIOC4A	入出力	MTU4.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4B	入出力	MTU4.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4C	入出力	MTU4.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4D	入出力	MTU4.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU5	MTIC5U	入力	MTU5.TGRUのインプットキャプチャ入力/外部パルス入力端子
	MTIC5V	入力	MTU5.TGRVのインプットキャプチャ入力/外部パルス入力端子
	MTIC5W	入力	MTU5.TGRWのインプットキャプチャ入力/外部パルス入力端子
MTU6	MTIOC6A	入出力	MTU6.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6B	入出力	MTU6.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6C	入出力	MTU6.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6D	入出力	MTU6.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU7	MTIOC7A	入出力	MTU7.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7B	入出力	MTU7.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7C	入出力	MTU7.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7D	入出力	MTU7.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU9	MTIOC9A	入出力	MTU9.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC9B	入出力	MTU9.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC9C	入出力	MTU9.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC9D	入出力	MTU9.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

20.2 レジスタの説明

20.2.1 タイマコントロールレジスタ (TCR)

- MTU0.TCR, MTU1.TCR, MTU2.TCR, MTU3.TCR, MTU4.TCR, MTU6.TCR, MTU7.TCR, MTU9.TCR

アドレス MTU0.TCR 000C 1300h, MTU1.TCR 000C 1380h, MTU2.TCR 000C 1400h, MTU3.TCR 000C 1200h,
MTU4.TCR 000C 1201h, MTU6.TCR 000C 1A00h, MTU7.TCR 000C 1A01h, MTU9.TCR 000C 1580h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケラ選択ビット	表 20.6～表 20.9を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリア要因選択ビット	表 20.4、表 20.5を参照してください	R/W

x : Don't care

TCR レジスタは、TCR2 と組み合わせて各チャネルの TCNT を制御します。MTU0～MTU4、MTU6、MTU7、MTU9 に各 1 本、MTU5 には TCRU/V/W の 3 本、計 11 本の TCR レジスタがあります。TCR レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC[2:0] ビット (タイマプリスケラ選択ビット)

TCNT のカウントクロックソースを選択します。各チャネル独立に選択することができます。詳細は表 20.6～表 20.9 を参照してください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

カウントクロックソース (MTIOC1A 端子含む) のエッジを選択します。内部クロックを両エッジでカウントすると、カウントクロックの周期が 1/2 になります (例: PCLKA/4 の両エッジ = PCLKA/2 の立ち上がりエッジ)。MTU1、MTU2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、カウントクロックソースが PCLKA/2 もしくはそれより遅い場合に有効です。カウントクロックソースに PCLKA/1、あるいは他のチャネルのオーバフロー/アンダフローを選択した場合、値は書き込めますが、動作は初期値になります。

CCLR[2:0] ビット (カウンタクリア要因選択ビット)

TCNT のカウンタクリア要因を選択します。詳細は表 20.4、表 20.5 を参照してください。

表 20.4 CCLR[2:0] (MTU0, MTU3, MTU4, MTU6, MTU7, MTU9)

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR[2]	CCLR[1]	CCLR[0]	
MTU0	0	0	0	TCNTのクリア禁止
MTU3	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
MTU4	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
MTU6	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア (注1)
MTU7	1	0	0	TCNTのクリア禁止
MTU9	1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア (注2)
	1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア (注2)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア (注1)

注1. 同期動作の設定は、TSYRA.SYNCビット、TSYRB.SYNCビットを“1”にすることにより行います。

注2. TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

表 20.5 CCLR[2:0] (MTU1, MTU2)

チャンネル	ビット7	ビット6	ビット5	説明
	予約ビット (注2)	CCLR[1]	CCLR[0]	
MTU1	0	0	0	TCNTのクリア禁止
MTU2	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア (注1)

注1. 同期動作の設定は、TSYRA.SYNCビット、TSYRB.SYNCビットを“1”にすることにより行います。

注2. MTU1、MTU2ではビット7は予約ビットです。読むと“0”が読めます。書き込みは無効となります。

- MTU5.TCRU, MTU5.TCRV, MTU5.TCRW

アドレス MTU5.TCRU 000C 1C84h, MTU5.TCRV 000C 1C94h, MTU5.TCRW 000C 1CA4h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TPSC[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TPSC[1:0]	タイマプリスケラ選択ビット	表 20.10を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

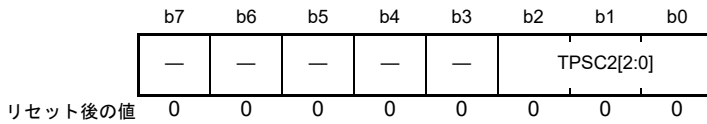
TPSC[1:0] ビット (タイマプリスケラ選択ビット)

TCNTのカウントクロックソースを選択します。詳細は表 20.10を参照してください。

20.2.2 タイマコントロールレジスタ 2 (TCR2)

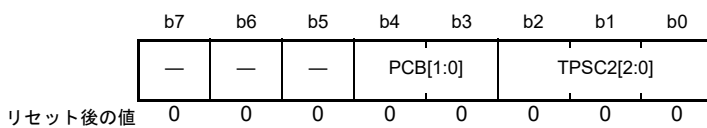
- MTU0.TCR2, MTU3.TCR2, MTU4.TCR2, MTU6.TCR2, MTU7.TCR2, MTU9.TCR2

アドレス MTU0.TCR2 000C 1328h, MTU3.TCR2 000C 124Ch, MTU4.TCR2 000C 124Dh, MTU6.TCR2 000C 1A4Ch, MTU7.TCR2 000C 1A4Dh, MTU9.TCR2 000C 15A8h



- MTU1.TCR2, MTU2.TCR2

アドレス MTU1.TCR2 000C 1394h, MTU2.TCR2 000C 140Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC2[2:0]	タイマプリスケラ選択ビット	表 20.6～表 20.9を参照してください	R/W
b4-b3	PCB[1:0]	位相計数モード機能拡張制御ビット	位相計数モード2、3、5モードの機能拡張を制御	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCR2 レジスタは、TCR と組み合わせて各チャンネルの TCNT を制御します。MTU0～MTU4、MTU6、MTU7、MTU9 に各 1 本、MTU5 には TCRU/V/W の 3 本、計 11 本の TCR2 レジスタがあります。TCR2 レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC2[2:0] ビット (タイマプリスケラ選択ビット)

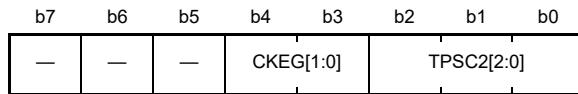
TCNT のカウントクロックソースを選択します。各チャンネル独立に選択することができます。詳細は表 20.6～表 20.9 を参照してください。

PCB[1:0] ビット (位相計数モード機能拡張制御ビット)

MTU1 と MTU2 の位相計数モード 2、3、5 の機能拡張制御ビットです。詳細は「20.3.6 位相計数モード」を参照してください。

- MTU5.TCR2U, MTU5.TCR2V, MTU5.TCR2W

アドレス MTU5.TCR2U 000C 1C85h, MTU5.TCR2V 000C 1C95h, MTU5.TCR2W 000C 1CA5h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC2[2:0]	タイマプリスケラ選択ビット	表 20.10 を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

TPSC2[2:0] ビット (タイマプリスケラ選択ビット)

TCNT のカウントクロックソースを選択します。詳細は表 20.10 を参照してください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

MTIOC1A 端子によるカウントクロックソースのエッジを選択します。

表 20.6 TPSC[2:0], TPSC2[2:0] (MTU0, MTU9)

チャネル	TCR2 レジスタ			TCR レジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU0 MTU9	0	0	0	0	0	0	内部クロック : PCLKA/1 でカウント
	0	0	0	0	0	1	内部クロック : PCLKA/4 でカウント
	0	0	0	0	1	0	内部クロック : PCLKA/16 でカウント
	0	0	0	0	1	1	内部クロック : PCLKA/64 でカウント
	0	0	0	1	0	0	外部クロック : MTCLKA 端子入力 でカウント
	0	0	0	1	0	1	外部クロック : MTCLKB 端子入力 でカウント
	0	0	0	1	1	0	外部クロック : MTCLKC 端子入力 でカウント
	0	0	0	1	1	1	外部クロック : MTCLKD 端子入力 でカウント
	0	0	1	x	x	x	内部クロック : PCLKA/2 でカウント
	0	1	0	x	x	x	内部クロック : PCLKA/8 でカウント
	0	1	1	x	x	x	内部クロック : PCLKA/32 でカウント
	1	0	0	x	x	x	内部クロック : PCLKA/256 でカウント
	1	0	1	x	x	x	内部クロック : PCLKA/1024 でカウント
	1	1	0	x	x	x	設定しないでください
1	1	1	x	x	x	外部クロック : MTIOC1A 端子入力 でカウント	

x : Don't care

表20.7 TPSC[2:0], TPSC2[2:0] (MTU1)

チャンネル	TCR2 レジスタ			TCR レジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU1	0	0	0	0	0	0	内部クロック : PCLKA/1でカウント
	0	0	0	0	0	1	内部クロック : PCLKA/4でカウント
	0	0	0	0	1	0	内部クロック : PCLKA/16でカウント
	0	0	0	0	1	1	内部クロック : PCLKA/64でカウント
	0	0	0	1	0	0	外部クロック : MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック : MTCLKB端子入力でカウント
	0	0	0	1	1	0	内部クロック : PCLKA/256でカウント
	0	0	0	1	1	1	MTU2.TCNTのオーバフロー/アンダフロー
	0	0	1	x	x	x	内部クロック : PCLKA/2でカウント
	0	1	0	x	x	x	内部クロック : PCLKA/8でカウント
	0	1	1	x	x	x	内部クロック : PCLKA/32でカウント
	1	0	0	x	x	x	内部クロック : PCLKA/1024でカウント
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
1	1	1	x	x	x	設定しないでください	

x : Don't care

注. MTU1が位相計数モード時、この設定は無効になります。

表20.8 TPSC[2:0], TPSC2[2:0] (MTU2)

チャンネル	TCR2 レジスタ			TCR レジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU2	0	0	0	0	0	0	内部クロック : PCLKA/1でカウント
	0	0	0	0	0	1	内部クロック : PCLKA/4でカウント
	0	0	0	0	1	0	内部クロック : PCLKA/16でカウント
	0	0	0	0	1	1	内部クロック : PCLKA/64でカウント
	0	0	0	1	0	0	外部クロック : MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック : MTCLKB端子入力でカウント
	0	0	0	1	1	0	外部クロック : MTCLKC端子入力でカウント
	0	0	0	1	1	1	内部クロック : PCLKA/1024でカウント
	0	0	1	x	x	x	内部クロック : PCLKA/2でカウント
	0	1	0	x	x	x	内部クロック : PCLKA/8でカウント
	0	1	1	x	x	x	内部クロック : PCLKA/32でカウント
	1	0	0	x	x	x	内部クロック : PCLKA/256でカウント
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
1	1	1	x	x	x	設定しないでください	

x : Don't care

注. MTU2が位相計数モード時、この設定は無効になります。

表 20.9 TPSC[2:0], TPSC2[2:0] (MTU3, MTU4, MTU6, MTU7)

チャンネル	TCR2 レジスタ			TCR レジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU3	0	0	0	0	0	0	内部クロック : PCLKA/1 でカウント
MTU4	0	0	0	0	0	1	内部クロック : PCLKA/4 でカウント
MTU6	0	0	0	0	1	0	内部クロック : PCLKA/16 でカウント
MTU7	0	0	0	0	1	1	内部クロック : PCLKA/64 でカウント
	0	0	0	1	0	0	内部クロック : PCLKA/256 でカウント
	0	0	0	1	0	1	内部クロック : PCLKA/1024 でカウント
	0	0	0	1	1	0	外部クロック : MTCLKA 端子入力 でカウント
	0	0	0	1	1	1	外部クロック : MTCLKB 端子入力 でカウント
	0	0	1	x	x	x	内部クロック : PCLKA/2 でカウント
	0	1	0	x	x	x	内部クロック : PCLKA/8 でカウント
	0	1	1	x	x	x	内部クロック : PCLKA/32 でカウント
	1	0	0	x	x	x	設定しないでください
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	設定しないでください

x : Don't care

表 20.10 TPSC[1:0], TPSC2[2:0] (MTU5)

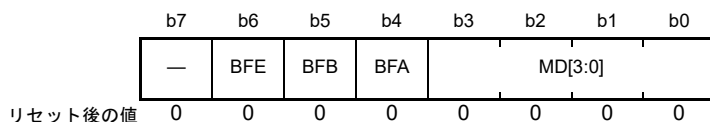
チャンネル	TCR2 レジスタ			TCR レジスタ		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[1]	TPSC[0]	
MTU5	0	0	0	0	0	内部クロック : PCLKA/1 でカウント
	0	0	0	0	1	内部クロック : PCLKA/4 でカウント
	0	0	0	1	0	内部クロック : PCLKA/16 でカウント
	0	0	0	1	1	内部クロック : PCLKA/64 でカウント
	0	0	1	x	x	内部クロック : PCLKA/2 でカウント
	0	1	0	x	x	内部クロック : PCLKA/8 でカウント
	0	1	1	x	x	内部クロック : PCLKA/32 でカウント
	1	0	0	x	x	内部クロック : PCLKA/256 でカウント
	1	0	1	x	x	内部クロック : PCLKA/1024 でカウント
	1	1	0	x	x	設定しないでください
	1	1	1	x	x	外部クロック : MTIOC1A 端子入力

x : Don't care

20.2.3 タイマモードレジスタ 1 (TMDR1)

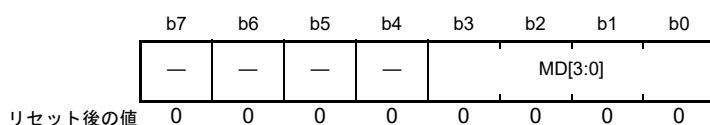
- MTU0.TMDR1, MTU9.TMDR1

アドレス MTU0.TMDR1 000C 1301h, MTU9.TMDR1 000C 1581h



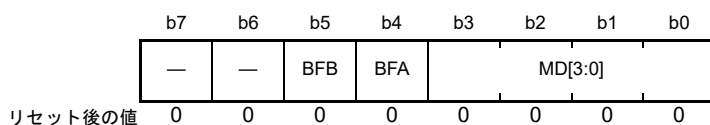
- MTU1.TMDR1, MTU2.TMDR1

アドレス MTU1.TMDR1 000C 1381h, MTU2.TMDR1 000C 1401h



- MTU3.TMDR1, MTU4.TMDR1, MTU6.TMDR1, MTU7.TMDR1

アドレス MTU3.TMDR1 000C 1202h, MTU4.TMDR1 000C 1203h, MTU6.TMDR1 000C 1A02h, MTU7.TMDR1 000C 1A03h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表20.11を参照してください	R/W
b4	BFA	バッファ動作Aビット	0 : TGRAとTGRCレジスタは通常動作 1 : TGRAとTGRCレジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0 : TGRBとTGRDレジスタは通常動作 1 : TGRBとTGRDレジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0 : MTU0.TGRE、MTU9.TGREとMTU0.TGRF、MTU9.TGRFは通常動作 1 : MTU0.TGRE、MTU9.TGREとMTU0.TGRF、MTU9.TGRFはバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR1 レジスタは、各チャネルの動作モードの設定を行うレジスタです。MTU0～MTU4、MTU6、MTU7、MTU9に各1本、計8本のTMDR1レジスタがあります。TMDR1レジスタの設定は、TCNTの動作が停止した状態で行ってください。

表 20.11 MD[3:0]ビットによる動作モードの設定 (MTU0~MTU4, MTU6, MTU7, MTU9)

ビット3	ビット2	ビット1	ビット0	説明	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU6	MTU7	MTU9
MD[3]	MD[2]	MD[1]	MD[0]										
0	0	0	0	ノーマルモード	○	○	○		○	○	○	○	○
0	0	0	1	設定しないでください									
0	0	1	0	PWMモード1	○	○	○		○	○	○	○	○
0	0	1	1	PWMモード2	○	○	○						○
0	1	0	0	位相計数モード1		○	○	○					
0	1	0	1	位相計数モード2		○	○	○					
0	1	1	0	位相計数モード3		○	○	○					
0	1	1	1	位相計数モード4		○	○	○					
1	0	0	0	リセット同期PWMモード (注1)					○		○		
1	0	0	1	位相計数モード5		○	○	○					
1	0	1	x	設定しないでください									
1	1	0	0	設定しないでください									
1	1	0	1	相補PWMモード1 (山で転送) (注1)					○		○		
1	1	1	0	相補PWMモード2 (谷で転送) (注1)					○		○		
1	1	1	1	相補PWMモード3 (山・谷で転送) (注1)					○		○		

x : Don't care

注. 各チャンネルで該当以外の動作モードは設定しないでください。

注1. リセット同期PWMモード、相補PWMモードの設定は、MTU3、MTU6のみ可能です。

MTU3、MTU6をリセット同期PWMモードまたは相補PWMモードに設定した場合、MTU4、MTU7の設定は無効となり自動的にMTU3、MTU6の設定に従います。MTU4、MTU7には初期値（ノーマルモード）を設定してください。

BFA ビット (バッファ動作 A ビット)

TGRA レジスタを通常動作させるか、TGRA と TGRC レジスタを組み合わせるバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ (MTU4.TIER) の TGIEC ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4 (MTU6 および MTU7) のバッファ動作は、MTU3.TMDR1 (MTU6.TMDR1) の BFA ビットの設定に従い動作します。MTU4.TMDR1 (MTU7.TMDR1) の BFA ビットを“0”にしてください。

TGRC レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、図 20.49 を参照してください。

BFB ビット (バッファ動作 B ビット)

TGRB レジスタを通常動作させるか、TGRB と TGRD レジスタを組み合わせるバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ (MTU4.TIER) の TGIED ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4 (MTU6 および MTU7) のバッファ動作は、MTU3.TMDR1 (MTU6.TMDR1) の BFB ビットの設定に従い動作します。MTU4.TMDR1 (MTU7.TMDR1) の BFB ビットを“0”にしてください。

TGRD レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、図 20.49 を参照してください。

BFE ビット (バッファ動作 E ビット)

MTU0.TGRE、MTU9.TGRE と MTU0.TGRF、MTU9.TGRF を通常動作またはバッファ動作させるかどうかを選択します。TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。

MTU1 ~ MTU4、MTU6、MTU7 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

20.2.4 タイマモードレジスタ 2 (TMDR2A, TMDR2B)

アドレス MTU.TMDR2A 000C 1270h, MTU.TMDR2B 000C 1A70h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DRS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRS	ダブルバッファ選択ビット	0: ダブルバッファ機能は無効 1: ダブルバッファ機能は有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR2A、TMDR2B レジスタは、相補 PWM モード 3 (山・谷で転送) 時、ダブルバッファ機能の設定を行うレジスタです。MTU3 (TMDR2A)、MTU6 (TMDR2B) に各 1 本、計 2 本の TMDR2 レジスタがあります。TMDR2A、TMDR2B レジスタの設定は、TCNT の動作が停止した状態で行ってください。

DRS ビット (ダブルバッファ選択ビット)

相補 PWM モード時、ダブルバッファ機能を有効 / 無効を選択します。

20.2.5 タイマモードレジスタ 3 (TMDR3)

アドレス MTU1.TMDR3 000C 1391h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PHCKSEL	LWA
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LWA	ロングワードアクセス制御ビット	0 : 16ビットアクセス可能 1 : 32ビットアクセス可能	R/W
b1	PHCKSEL	外部入力位相クロック選択ビット	0 : 外部入力位相クロックはMTCLKA、MTCLKB 1 : 外部入力位相クロックはMTCLKC、MTCLKD	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR3 レジスタは、MTU1 と MTU2 を組み合わせた 32 ビットのレジスタ、カウンタのロングワードアクセスを制御します。MTU1 のみに一本あります。MTU1 と MTU2 のカウンタ (TCNTLW)、ジェネラルレジスタ A (TGRALW)、ジェネラルレジスタ B (TGRBLW) は表 20.12 のような組み合わせでアクセスされます。

LWA ビット (ロングワードアクセス制御ビット)

MTU1 と MTU2 のレジスタを組み合わせて 32 ビットでのアクセスを選択します。

LWA ビットが“0”の場合、MTU1 と MTU2 はそれぞれ独立した 16 ビットタイマとして動作するため、TCNTLW、TGRALW、TGRBLW レジスタはアクセスできません。

LWA ビットが“1”の場合、MTU1 と MTU2 はカスケード接続された 32 ビットタイマとして動作し、タイマの制御は MTU1.TCR、MTU1.TCR2、MTU1.TIOR、MTU1.TMDR1 レジスタで行います。MTU2.TCR、MTU2.TCR2、MTU2.TIOR、MTU2.TMDR1 レジスタの設定は無効で、MTU1、MTU2 の 16 ビットレジスタ (TCNT、TGRA、TGRB レジスタ) へのアクセスもできません。また、MTU2 のインプットキャプチャとコンペアマッチも無効となります。

なお、LWA ビットを“1”にした MTU1 と MTU2 のカスケード接続は、位相計数モードでのみ使用できません。ノーマルモード、PWM1 モード、PWM2 モードでは使用できません。LWA ビットを“1”にする場合、位相計数モードを選択してください。

LWA ビットを“1”にする場合は、事前に MTU1 と MTU2 の TCNT、TGRA、TGRB レジスタを初期化してください。

PHCKSEL ビット (外部入力位相クロック選択ビット)

MTU1 と MTU2 のレジスタを組み合わせて、32 ビット位相計数モードまたは MTU2 の位相計数モードで、外部入力クロックから A 相、B 相信号を選択します。詳細は「表 20.67 位相計数モードクロック入力端子」を参照してください。

表20.12 TMDR3レジスタの設定と組み合わせ

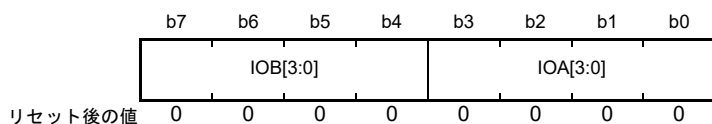
レジスタ	TMDR3.LWA=0		TMDR3.LWA=1	
	シンボル	アクセス方式	シンボル	アクセス方式
MTU1のカウンタ (注1)	MTU1.TCNT	ワード	MTU1.TCNTLW	ロングワード
MTU2のカウンタ	MTU2.TCNT	ワード		
MTU1のジェネラルレジスタA	MTU1.TGRA	ワード	MTU1.TGRALW	ロングワード
MTU2のジェネラルレジスタA	MTU2.TGRA	ワード		
MTU1のジェネラルレジスタB	MTU1.TGRB	ワード	MTU1.TGRBLW	ロングワード
MTU2のジェネラルレジスタB	MTU2.TGRB	ワード		

注1. LWA=1にした場合、MTU1のカウントクロックをMTU2.TCNTのオーパフロー/アンダフローに設定する必要はありません。

20.2.6 タイマ I/O コントロールレジスタ (TIOR)

- MTU0.TIORH, MTU1.TIOR, MTU2.TIOR, MTU3.TIORH, MTU4.TIORH, MTU6.TIORH, MTU7.TIORH, MTU9.TIORH

アドレス MTU0.TIORH 000C 1302h, MTU1.TIOR 000C 1382h, MTU2.TIOR 000C 1402h, MTU3.TIORH 000C 1204h,
MTU4.TIORH 000C 1206h, MTU6.TIORH 000C 1A04h, MTU7.TIORH 000C 1A06h, MTU9.TIORH 000C 1582h

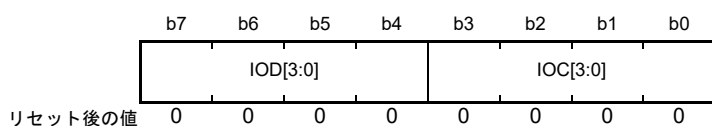


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/OコントロールAビット (注1)	下記の表を参照してください MTU0.TIORH : 表 20.27 MTU1.TIOR : 表 20.29 MTU2.TIOR : 表 20.30 MTU3.TIORH : 表 20.31 MTU4.TIORH : 表 20.33 MTU6.TIORH : 表 20.35 MTU7.TIORH : 表 20.37 MTU9.TIORH : 表 20.39	R/W
b7-b4	IOB[3:0]	I/OコントロールBビット (注1)	下記の表を参照してください MTU0.TIORH : 表 20.13 MTU1.TIOR : 表 20.15 MTU2.TIOR : 表 20.16 MTU3.TIORH : 表 20.17 MTU4.TIORH : 表 20.19 MTU6.TIORH : 表 20.21 MTU7.TIORH : 表 20.23 MTU9.TIORH : 表 20.25	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IO[n:0] (n = A, B) の値を出力禁止 ("0000b"または"0100b") へ変更するとHi-Zになります。

- MTU0.TIORL, MTU3.TIORL, MTU4.TIORL, MTU6.TIORL, MTU7.TIORL, MTU9.TIORL

アドレス MTU0.TIORL 000C 1303h, MTU3.TIORL 000C 1205h, MTU4.TIORL 000C 1207h, MTU6.TIORL 000C 1A05h,
MTU7.TIORL 000C 1A07h, MTU9.TIORL 000C 1583h

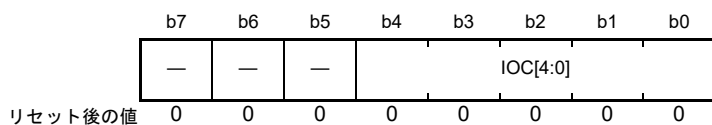


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/OコントロールCビット (注1)	下記の表を参照してください MTU0.TIORL : 表 20.28 MTU3.TIORL : 表 20.32 MTU4.TIORL : 表 20.34 MTU6.TIORL : 表 20.36 MTU7.TIORL : 表 20.38 MTU9.TIORL : 表 20.40	R/W
b7-b4	IOD[3:0]	I/OコントロールDビット (注1)	下記の表を参照してください MTU0.TIORL : 表 20.14 MTU3.TIORL : 表 20.18 MTU4.TIORL : 表 20.20 MTU6.TIORL : 表 20.22 MTU7.TIORL : 表 20.24 MTU9.TIORL : 表 20.26	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IO[n:0] (n = C, D) の値を出力禁止 ("0000b"または"0100b") へ変更するとHi-Zになります。

- MTU5.TIORU、MTU5.TIORV、MTU5.TIORW

アドレス MTU5.TIORU 000C 1C86h, MTU5.TIORV 000C 1C96h, MTU5.TIORW 000C 1CA6h



ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/OコントロールCビット	下記の表を参照してください MTU5.TIORU, MTU5.TIORV, MTU5.TIORW : 表20.41	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TIORレジスタは、TGRレジスタを制御します。MTU0、MTU3、MTU4、MTU6、MTU7、MTU9に各2本、MTU1、MTU2に各1本、MTU5にはMTU5.TIORU/V/Wの3本、計17本のTIORがあります。TIORレジスタはTMDRレジスタの設定が、ノーマルモード、PWMモード、位相計数モードの場合に設定します。

TIORレジスタはTMDR1レジスタの設定により影響を受けますので注意してください。

TIORレジスタで指定した初期出力はカウンタ停止した（TSTRA.CSTビットおよびTSTRB.CSTビットを“0”にした）状態で有効になります。また、PWMモード2の場合にはカウンタが“0”になった時点での出力を指定します。

TGRCレジスタ、あるいはTGRDレジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表20.13 TIORH (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ
1	0	0	1	立ち下がりエッジでインプットキャプチャ	
1	0	1	x	両エッジでインプットキャプチャ	
1	1	x	x	キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA=0) またはMTU1.TCNTLW (LWA=1) のカ ウントアップ/カウントダウンでインプットキャプチャ (注1)	

x : Don't care

注1. MTU1のカウントクロックにPCLKA/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKA/1以外のクロックを選択してください。

表20.14 TIORL (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ (注1)
1	0	0	1	立ち下がりエッジでインプットキャプチャ	
1	0	1	x	両エッジでインプットキャプチャ	
1	1	x	x	キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA=0) またはMTU1.TCNTLW (LWA=1) のカ ウントアップ/カウントダウンでインプットキャプチャ (注2)	

x : Don't care

注1. MTU0.TMDR1.BFBビットを"1"にして、MTU0.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU1のカウントクロックにPCLKA/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKA/1以外のクロックを選択してください。

表20.15 TIOR (MTU1)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB/TGRBLW レジスタの機能	MTIOC1B 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	0	x		MTU0.TGRCのコンペアマッチ/インプットキャプチャの発生 でインプットキャプチャ

x : Don't care

表20.16 TIOR (MTU2)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB レジスタの機能	MTIOC2B 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 20.17 TIORH (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB レジスタの機能	MTIOC3B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表 20.18 TIORL (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRD レジスタの機能	MTIOC3D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ (注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU3.TMDR1.BFBビットを“1”にして、MTU3.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表20.19 TIORH (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB レジスタの機能	MTIOC4B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表20.20 TIORL (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRD レジスタの機能	MTIOC4D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU4.TMDR1.BFBビットを“1”にして、MTU4.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表20.21 TIORH (MTU6)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC6B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表20.22 TIORL (MTU6)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC6Dの端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ (注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU6.TMDR1.BFBビットを“1”にして、MTU6.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表20.23 TIORH (MTU7)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB レジスタの機能	MTIOC7B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表20.24 TIORL (MTU7)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRD レジスタの機能	MTIOC7D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU7.TMDR1.BFBビットを“1”にして、MTU7.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表20.25 TIORH (MTU9)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC9B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU2/カウントクロック MTU2.TCNTのカウントアップ/カウントダウンでインプット キャプチャ (注1)

x : Don't care

注1. MTU2のカウントクロックにPCLKA/1を選択した場合、MTU9のインプットキャプチャは発生しません。PCLKA/1以外のクロックを選択してください。

表20.26 TIORL (MTU9)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC9D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU2/カウントクロック MTU2.TCNTのカウントアップ/カウントダウンでインプット キャプチャ (注2)

x : Don't care

注1. MTU9.TMDR1.BFBビットを“1”にして、MTU9.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU2のカウントクロックにPCLKA/1を選択した場合、MTU9のインプットキャプチャは発生しません。PCLKA/1以外のクロックを選択してください。

表20.27 TIORH (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	0	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA=0) またはMTU1.TCNTLW (LWA=1) のカ ウントアップ/カウントダウンでインプットキャプチャ (注1)

x : Don't care

注1. MTU1のカウントクロックにPCLKA/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKA/1以外のクロックを選択してください。

表20.28 TIORL (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRCレジスタの機能	MTIOC0C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA=0) またはMTU1.TCNTLW (LWA=1) のカ ウントアップ/カウントダウンでインプットキャプチャ (注2)

x : Don't care

注1. MTU0.TMDR1.BFAビットを“1”にして、MTU0.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU1のカウントクロックにPCLKA/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKA/1以外のクロックを選択してください。

表20.29 TIOR (MTU1)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA/TGRALW レジスタの機能	MTIOC1A端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRAのコンペアマッチ/インプットキャプチャの発生 でインプットキャプチャ

x : Don't care

表20.30 TIOR (MTU2)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC2A端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表20.31 TIORH (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC3A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表20.32 TIORL (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの端子	MTIOC3C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ (注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU3.TMDR1.BFAビットを“1”にして、MTU3.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表20.33 TIORH (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC4A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表20.34 TIORL (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRCレジスタの機能	MTIOC4C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ (注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU4.TMDR1.BFAビットを“1”にして、MTU4.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 20.35 TIORH (MTU6)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC6A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表 20.36 TIORL (MTU6)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの機能	MTIOC6C の端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ (注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU6.TMDR1.BFAビットを“1”にして、MTU6.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 20.37 TIORH (MTU7)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC7A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 20.38 TIORL (MTU7)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの機能	MTIOC7C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU7.TMDR1.BFAビットを“1”にして、MTU7.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 20.39 TIORH (MTU9)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC9A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	0	x		キャプチャ入力元はMTU2/カウントクロック MTU2.TCNTのカウントアップ/カウントダウンでインプット キャプチャ (注1)

x : Don't care

注1. MTU2のカウントクロックにPCLKA/1を選択した場合、MTU9のインプットキャプチャは発生しません。PCLKA/1以外のクロックを選択してください。

表 20.40 TIORL (MTU9)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRCレジスタの機能	MTIOC9C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU2/カウントクロック MTU2.TCNTのカウントアップ/カウントダウンでインプット キャプチャ (注2)

x : Don't care

注1. MTU9.TMDR1.BFAビットを“1”にして、MTU9.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU2のカウントクロックにPCLKA/1を選択した場合、MTU9のインプットキャプチャは発生しません。PCLKA/1以外のクロックを選択してください。

表20.41 TIORU、TIORV、TIORW (MTU5)

ビット4	ビット3	ビット2	ビット1	ビット0	説明	
IOC[4]	IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRU、TGRV、 TGRWレジスタの機能	MTIC5U、MTIC5V、MTIC5W端子の機能
0	0	0	0	0	アウトプットコンペア レジスタ	機能なし
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャ レジスタ (注1)	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定しないでください
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用 相補PWMモードの山と谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用 相補PWMモードの山と谷でキャプチャ

x : Don't care

注1. IOC[4:0]ビットへの“19h”、“1Ah”、“1Bh”、“1Dh”、“1Eh”、“1Fh”の設定は、外部パルス幅測定機能使用時か、MTU6、MTU7と連動したデッドタイム補償機能使用時のみとしてください。詳細は「20.3.11 外部パルス幅測定機能」、「20.3.12 デッドタイム補償機能」を参照してください。

20.2.7 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

アドレス MTU5.TCNTCMPCLR 000C 1CB6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア5Wビット	0 : MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの0000hクリアを禁止 1 : MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの0000hクリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア5Vビット	0 : MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの0000hクリアを禁止 1 : MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの0000hクリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア5Uビット	0 : MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの0000hクリアを禁止 1 : MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの0000hクリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCNTCMPCLR レジスタは、MTU5.TCNTU、MTU5.TCNTV、MTU5.TCNTW のクリア要求を設定するレジスタです。MTU5 に 1 本の TCNTCMPCLR レジスタがあります。

20.2.8 タイマインタラプトイネーブルレジスタ (TIER)

- MTU1.TIER, MTU2.TIER

アドレス MTU1.TIER 000C 1384h, MTU2.TIER 000C 1404h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU0.TIER, MTU3.TIER, MTU6.TIER, MTU9.TIER

アドレス MTU0.TIER 000C 1304h, MTU3.TIER 000C 1208h, MTU6.TIER 000C 1A08h, MTU9.TIER 000C 1584h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU4.TIER, MTU7.TIER

アドレス MTU4.TIER 000C 1209h, MTU7.TIER 000C 1A09h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR 割り込み許可Aビット	0: 割り込み要求 (TGIA) を禁止 1: 割り込み要求 (TGIA) を許可	R/W
b1	TGIEB	TGR 割り込み許可Bビット	0: 割り込み要求 (TGIB) を禁止 1: 割り込み要求 (TGIB) を許可	R/W
b2	TGIEC	TGR 割り込み許可Cビット	0: 割り込み要求 (TGIC) を禁止 1: 割り込み要求 (TGIC) を許可	R/W
b3	TGIED	TGR 割り込み許可Dビット	0: 割り込み要求 (TGID) を禁止 1: 割り込み要求 (TGID) を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0: 割り込み要求 (TCIV) を禁止 1: 割り込み要求 (TCIV) を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0: 割り込み要求 (TCIU) を禁止 1: 割り込み要求 (TCIU) を許可	R/W
b6	TTGE2	A/D変換開始要求許可2ビット	0: MTUn.TCNTのアンダフロー (谷) によるA/D変換要求を禁止 1: MTUn.TCNTのアンダフロー (谷) によるA/D変換要求を許可	R/W
b7	TTGE	A/D変換開始要求許可ビット	0: A/D変換開始要求の発生を禁止 1: A/D変換開始要求の発生を許可	R/W

n = 4, 7

TIER レジスタは、各チャネルの割り込み要求の許可、禁止を制御するレジスタです。MTU0、MTU9 に 2 本、MTU1 ~ MTU7 に各 1 本、計 11 本の TIER レジスタがあります。

TGIEA、TGIEB ビット (TGR 割り込み許可 A、B ビット)

割り込み要求 (TGIn) を許可または禁止します。(n = A, B)

TGIEC、TGIED ビット (TGR 割り込み許可 C、D ビット)

割り込み要求 (TGIn) を許可または禁止します。(n = C, D)

MTU1、MTU2 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TCIEV ビット (オーバフロー割り込み許可ビット)

割り込み要求 (TCIV) を許可または禁止します。

TCIEU ビット (アンダフロー割り込み許可ビット)

割り込み要求 (TCIU) を許可または禁止します。

MTU0、MTU3、MTU4、MTU6、MTU7、MTU9 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE2 ビット (A/D 変換開始要求許可 2 ビット)

相補 PWM モードで、MTUn.TCNT のアンダフロー (谷) による A/D 変換要求の発生を許可または禁止します。(n = 4, 7)

MTU0 ~ MTU3、MTU6、MTU9 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE ビット (A/D 変換開始要求許可ビット)

TGRA レジスタのインプットキャプチャ/コンペアマッチによる A/D コンバータの開始要求の発生を許可または禁止します。

- MTU0.TIER2, MTU9.TIER2

アドレス MTU0.TIER2 000C 1324h, MTU9.TIER2 000C 15A4h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE2	—	—	—	—	—	TGIEF	TGIEE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR 割り込み許可Eビット	0 : 割り込み要求 (TGIE) を禁止 1 : 割り込み要求 (TGIE) を許可	R/W
b1	TGIEF	TGR 割り込み許可Fビット	0 : 割り込み要求 (TGIF) を禁止 1 : 割り込み要求 (TGIF) を許可	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TTGE2	A/D変換開始要求許可2ビット	0 : MTU0.TCNTとMTU0.TGRE、MTU9.TCNTとMTU9.TGREのコンペアマッチによるA/D変換開始要求を禁止 1 : MTU0.TCNTとMTU0.TGRE、MTU9.TCNTとMTU9.TGREのコンペアマッチによるA/D変換開始要求を許可	R/W

TGIEE、TGIEF ビット (TGR 割り込み許可 E、F ビット)

MTU0.TCNTとMTU0.TGR_n、MTU9.TCNTとMTU9.TGR_nのコンペアマッチによる割り込み要求の発生を許可または禁止します (n = E, F)。

TTGE2 ビット (A/D 変換開始要求許可 2 ビット)

MTU0.TCNTとMTU0.TGRE、MTU9.TCNTとMTU9.TGREのコンペアマッチによるA/D変換開始要求の発生を許可または禁止します。

- MTU5.TIER

アドレス MTU5.TIER 000C 1CB2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR 割り込み許可5Wビット	0 : TGIW5 割り込み要求を禁止 1 : TGIW5 割り込み要求を許可	R/W
b1	TGIE5V	TGR 割り込み許可5Vビット	0 : TGIV5 割り込み要求を禁止 1 : TGIV5 割り込み要求を許可	R/W
b2	TGIE5U	TGR 割り込み許可5Uビット	0 : TGIU5 割り込み要求を禁止 1 : TGIU5 割り込み要求を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIE5_n ビット (TGR 割り込み許可 5_n ビット)

割り込み要求 (TGIn5) を許可または禁止します。 (n = U, V, W)

20.2.9 タイマステータスレジスタ (TSR)

- MTU1.TSR, MTU2.TSR

アドレス MTU1.TSR 000C 1385h, MTU2.TSR 000C 1405h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	0	0	0	0	0	0

- MTU3.TSR, MTU4.TSR, MTU6.TSR, MTU7.TSR

アドレス MTU3.TSR 000C 122Ch, MTU4.TSR 000C 122Dh, MTU6.TSR 000C 1A2Ch, MTU7.TSR 000C 1A2Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0 : TCNTはダウンカウント 1 : TCNTはアップカウント	R

TSR レジスタは、各チャンネルのステータスの表示を行うレジスタです。MTU1 ~ MTU4、MTU6、MTU7 に各1本、計6本の TSR レジスタがあります。

TCFD フラグ (カウント方向フラグ)

MTU1 ~ MTU4、MTU6、MTU7 の TCNT のカウント方向を示すステータスフラグです。

20.2.10 タイマバッファ動作転送モードレジスタ (TBTM)

- MTU0.TBTM, MTU9.TBTM

アドレス MTU0.TBTM 000C 1326h, MTU9.TBTM 000C 15A6h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TTSE	TTSB	TTSA

リセット後の値 0 0 0 0 0 0 0 0

- MTU3.TBTM, MTU4.TBTM, MTU6.TBTM, MTU7.TBTM

アドレス MTU3.TBTM 000C 1238h, MTU4.TBTM 000C 1239h, MTU6.TBTM 000C 1A38h, MTU7.TBTM 000C 1A39h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TTSB	TTSA

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0 : TGRCからTGRAへの転送タイミングは各チャンネルのコンペアマッチA発生時 1 : TGRCからTGRAへの転送タイミングは各チャンネルのTCNTクリア時	R/W
b1	TTSB	タイミング選択Bビット	0 : TGRDからTGRBへの転送タイミングは各チャンネルのコンペアマッチB発生時 1 : TGRDからTGRBへの転送タイミングは各チャンネルのTCNTクリア時	R/W
b2	TTSE	タイミング選択Eビット	0 : MTU0.TGRFからMTU0.TGRE、MTU9.TGRFからMTU9.TGREへの転送タイミングはMTU0、MTU9のコンペアマッチE発生時 1 : MTU0.TGRFからMTU0.TGRE、MTU9.TGRFからMTU9.TGREへの転送タイミングはMTU0.TCNT、MTU9.TCNTクリア時	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TBTMレジスタは、PWMモード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定するレジスタです。MTU0、MTU3、MTU4、MTU6、MTU7、MTU9に各1本、計6本のTBTMレジスタがあります。

TTSA ビット (タイミング選択 A ビット)

各チャンネルのバッファ動作時のTGRCレジスタからTGRAレジスタへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSAビットを“1”にしないでください。

TTSB ビット (タイミング選択 B ビット)

各チャンネルのバッファ動作時のTGRDレジスタからTGRBレジスタへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSBビットを“1”にしないでください。

TTSE ビット (タイミング選択 E ビット)

バッファ動作時のMTU0.TGRFからMTU0.TGRE、MTU9.TGRFからMTU9.TGREへの転送タイミングを設定します。MTU3、MTU4、MTU6、MTU7では予約ビットです。読むと“0”が読めます。書く場合、“0”にしてください。

なお、PWMモード以外で使用するチャンネルでは、TTSEビットを“1”にしないでください。

20.2.11 タイムインプットキャプチャコントロールレジスタ (TICCR)

アドレス MTU1.TICCR 000C 1390h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0: MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加しない 1: MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0: MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加しない 1: MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0: MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加しない 1: MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0: MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加しない 1: MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TICCR レジスタは、MTU1.TCNT と MTU2.TCNT のカスケード接続時のインプットキャプチャ条件を制御するレジスタです。MTU1 に 1 本の TICCR レジスタがあります。

20.2.12 タイマシンクロクリアレジスタ (TSYCR)

アドレス MTU6.TSYCR 000C 1A50h

b7	b6	b5	b4	b3	b2	b1	b0
CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CE2B	クリア許可2Bビット	0 : MTU2のTGIB2割り込み発生タイミングでのクリア禁止 1 : MTU2のTGIB2割り込み発生タイミングでのクリア許可	R/W
b1	CE2A	クリア許可2Aビット	0 : MTU2のTGIA2割り込み発生タイミング ^(注1) でのクリア禁止 1 : MTU2のTGIA2割り込み発生タイミング ^(注1) でのクリア許可	R/W
b2	CE1B	クリア許可1Bビット	0 : MTU1のTGIB1割り込み発生タイミング ^(注1) でのクリア禁止 1 : MTU1のTGIB1割り込み発生タイミング ^(注1) でのクリア許可	R/W
b3	CE1A	クリア許可1Aビット	0 : MTU1のTGIA1割り込み発生タイミング ^(注1) でのクリア禁止 1 : MTU1のTGIA1割り込み発生タイミング ^(注1) でのクリア許可	R/W
b4	CE0D	クリア許可0Dビット	0 : MTU0のTGID0割り込み発生タイミング ^(注1) でのクリア禁止 1 : MTU0のTGID0割り込み発生タイミング ^(注1) でのクリア許可	R/W
b5	CE0C	クリア許可0Cビット	0 : MTU0のTGIC0割り込み発生タイミング ^(注1) でのクリア禁止 1 : MTU0のTGIC0割り込み発生タイミング ^(注1) でのクリア許可	R/W
b6	CE0B	クリア許可0Bビット	0 : MTU0のTGIB0割り込み発生タイミング ^(注1) でのクリア禁止 1 : MTU0のTGIB0割り込み発生タイミング ^(注1) でのクリア許可	R/W
b7	CE0A	クリア許可0Aビット	0 : MTU0のTGIA0割り込み発生タイミング ^(注1) でのクリア禁止 1 : MTU0のTGIA0割り込み発生タイミング ^(注1) でのクリア許可	R/W

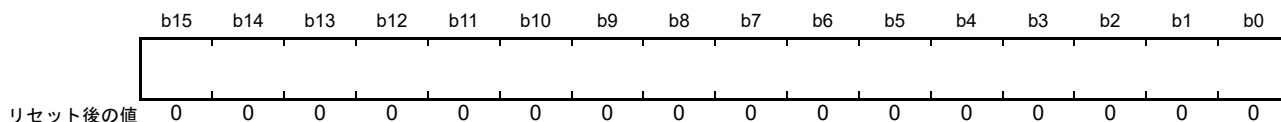
注1. TIERn.TGIEmビットの設定値によりません。(n = 0, 1, 2、m = A, B, C, D)

TSYCR レジスタは、MTU の MTU6.TCNT、MTU7.TCNT の同期クリア条件の設定を行うレジスタです。MTU6 に 1 本の TSYCR レジスタがあります。

CE_nm ビット (クリア許可 **nm** ビット) (n = 0, 1, 2、m = A, B, C, D)MTU_n.TGI_mn 割り込み発生タイミングでのクリア禁止 / 許可を設定します。

20.2.13 タイマカウンタ (TCNT)

アドレス MTU0.TCNT 000C 1306h, MTU1.TCNT 000C 1386h, MTU2.TCNT 000C 1406h, MTU3.TCNT 000C 1210h,
MTU4.TCNT 000C 1212h, MTU5.TCNTU 000C 1C80h, MTU5.TCNTV 000C 1C90h, MTU5.TCNTW 000C 1CA0h,
MTU6.TCNT 000C 1A10h, MTU7.TCNT 000C 1A12h, MTU9.TCNT 000C 1586h



注. TCNTの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCNTは、16ビットの読み出し/書き込み可能なカウンタです。MTU0～MTU4、MTU6、MTU7、MTU9に各1本、MTU5にTCNTU、TCNTV、TCNTWの3本、計11本のTCNTがあります。

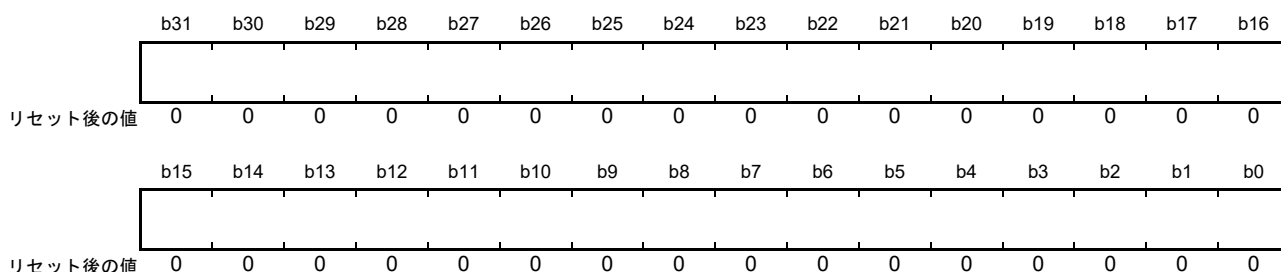
MTU0～MTU4、MTU6、MTU7、MTU9のTCNTは、リセット時に“0000h”に初期化されます。MTU5のTCNTU、TCNTV、TCNTWは、リセット時に“0000h”に初期化されます。

TCNTの8ビット単位でのアクセスは禁止です。MTU0～MTU4、MTU6、MTU7、MTU9のTCNTは、16ビット単位でアクセスしてください。

MTU1.TCNT、MTU2.TCNTは、TMDR3.LWA=1のときは“0000h”が読み出されます。詳細は「20.2.5 タイマモードレジスタ3 (TMDR3)」を参照してください。

20.2.14 タイマロングワードカウンタ (TCNTLW)

アドレス MTU1.TCNTLW 000C 13A0h



注. 8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

TCNTLWカウンタは、TMDR3.LWA=1のときのみ有効で、MTU1.TCNTとMTU2.TCNTで構成される、32ビットの読み出し/書き込み可能なカウンタです。MTU1に1本あります。

TCNTLWカウンタは、リセット時に“0000 0000h”に初期化されます。また、TMDR3.LWA=0のときは“0000 0000h”が読み出されます。詳細は「20.2.5 タイマモードレジスタ3 (TMDR3)」を参照してください。

本レジスタは32ビット位相計数モードのときのみ使用可能です。

20.2.15 タイマジェネラルレジスタ (TGR)

MTU0.TGRA 000C 1308h, MTU0.TGRB 000C 130Ah, MTU0.TGRC 000C 130Ch, MTU0.TGRD 000C 130Eh,
 MTU0.TGRE 000C 1320h, MTU0.TGRF 000C 1322h,
 MTU1.TGRA 000C 1388h, MTU1.TGRB 000C 138Ah,
 MTU2.TGRA 000C 1408h, MTU2.TGRB 000C 140Ah,
 MTU3.TGRA 000C 1218h, MTU3.TGRB 000C 121Ah, MTU3.TGRC 000C 1224h, MTU3.TGRD 000C 1226h,
 MTU3.TGRE 000C 1272h,
 MTU4.TGRA 000C 121Ch, MTU4.TGRB 000C 121Eh, MTU4.TGRC 000C 1228h, MTU4.TGRD 000C 122Ah,
 アドレス MTU4.TGRE 000C 1274h, MTU4.TGRF 000C 1276h,
 MTU5.TGRU 000C 1C82h, MTU5.TGRV 000C 1C92h, MTU5.TGRW 000C 1CA2h,
 MTU6.TGRA 000C 1A18h, MTU6.TGRB 000C 1A1Ah, MTU6.TGRC 000C 1A24h, MTU6.TGRD 000C 1A26h,
 MTU6.TGRE 000C 1A72h,
 MTU7.TGRA 000C 1A1Ch, MTU7.TGRB 000C 1A1Eh, MTU7.TGRC 000C 1A28h, MTU7.TGRD 000C 1A2Ah,
 MTU7.TGRE 000C 1A74h, MTU7.TGRF 000C 1A76h,
 MTU9.TGRA 000C 1588h, MTU9.TGRB 000C 158Ah, MTU9.TGRC 000C 158Ch, MTU9.TGRD 000C 158Eh,
 MTU9.TGRE 000C 15A0h, MTU9.TGRF 000C 15A2h



注. TGRの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。TGRの初期値は、“FFFFh”です。

TGRレジスタは、16ビットの読み出し/書き込み可能なレジスタです。MTU0、MTU9に6本、MTU1、MTU2に各2本、MTU3、MTU6に各5本、MTU4、MTU7に各6本、MTU5に3本、計41本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRDレジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。MTU0、MTU3、MTU4、MTU6、MTU7、MTU9のTGRCレジスタとTGRDレジスタは、バッファレジスタとして動作設定することができます。TGRレジスタとバッファレジスタの組み合わせは、TGRA–TGRC、TGRB–TGRDになります。

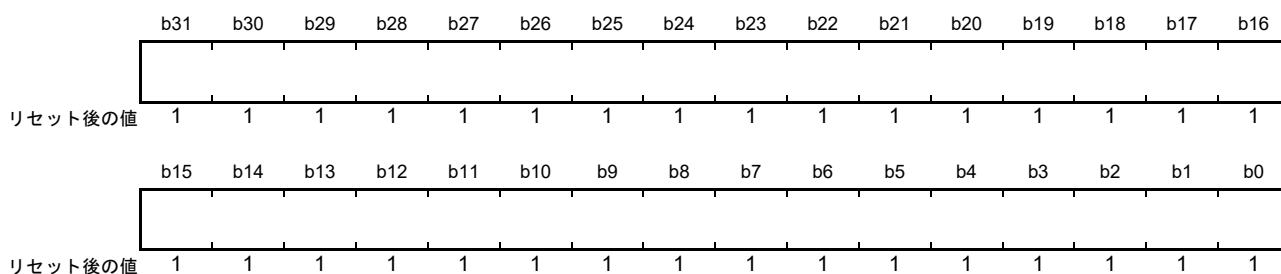
MTU0.TGRE、MTU0.TGRF、MTU9.TGRE、MTU9.TGRFレジスタはコンペアレジスタとして機能し、MTU0.TCNTカウンタとMTU0.TGREレジスタまたはMTU9.TCNTカウンタとMTU9.TGREレジスタが一致したとき、A/D変換開始要求を発生することができます。TGRFレジスタは、バッファレジスタとして動作設定することができます。TGRレジスタとバッファレジスタの組み合わせは、TGRE–TGRFになります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRWレジスタはコンペアマッチ/インプットキャプチャ/外部パルス幅測定兼用のレジスタです。

MTU1.TGRA、MTU2.TGRA、MTU1.TGRB、MTU2.TGRBレジスタは、TMDR3.LWA=1のときは“0000h”が読み出されます。詳細は「20.2.5 タイマモードレジスタ3 (TMDR3)」を参照してください。

20.2.16 タイマロングワードジェネラルレジスタ (TGRALW, TGRBLW)

アドレス MTU1.TGRALW 000C 13A4h, MTU1.TGRBLW 000C 13A8h



注. 8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

TGR_nLW レジスタ (n = A, B) は、TMDR3.LWA=1 のときのみ有効で、MTU1.TGR_n レジスタと MTU2.TGR_n レジスタで構成される、32 ビットの読み出し / 書き込み可能なレジスタです。MTU1 に 2 本あります。

TGR_nLW レジスタは、リセット時に“FFFF FFFFh”に初期化されますが、TMDR3.LWA=0 のときは“0000 0000h”が読み出されます。詳細は「20.2.5 タイマモードレジスタ 3 (TMDR3)」を参照してください。

TGRALW レジスタ、TGRBLW レジスタは、TMDR3.LWA=1 の場合でアウトプットコンペア / インプットキャプチャ兼用のレジスタです。

本レジスタは 32 ビット位相計数モードのときのみ使用可能です。

20.2.17 タイマスタートレジスタ (TSTRA, TSTRB, TSTR)

- MTU.TSTRA (MTU0, MTU1, MTU2, MTU3, MTU4, MTU9)

アドレス MTU.TSTRA 000C 1280h

b7	b6	b5	b4	b3	b2	b1	b0
CST4	CST3	—	CST9	—	CST2	CST1	CST0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0 : MTU0.TCNTはカウント停止 1 : MTU0.TCNTはカウント動作	R/W
b1	CST1	カウンタスタート1ビット	0 : MTU1.TCNTはカウント停止 1 : MTU1.TCNTはカウント動作	R/W
b2	CST2	カウンタスタート2ビット	0 : MTU2.TCNTはカウント停止 1 : MTU2.TCNTはカウント動作	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CST9	カウンタスタート9ビット	0 : MTU9.TCNTはカウント停止 1 : MTU9.TCNTはカウント動作	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST3	カウンタスタート3ビット	0 : MTU3.TCNTはカウント停止 1 : MTU3.TCNTはカウント動作	R/W
b7	CST4	カウンタスタート4ビット	0 : MTU4.TCNTはカウント停止 1 : MTU4.TCNTはカウント動作	R/W

注. TCSYSTRレジスタを“1”にしたときは、TSTRAレジスタの対応するビットが自動的に“1”になります。

TSTRA レジスタはMTU0～MTU4、MTU9のTCNTの動作/停止を選択するレジスタです。

TSTRB レジスタはMTU6、MTU7のTCNTの動作/停止を選択するレジスタです。

TSTR レジスタはMTU5のTCNTの動作/停止を選択するレジスタです。

TMDR1 レジスタへ動作モードを設定する場合やTCRレジスタへTCNTのカウントクロックを設定する場合は、TCNTのカウンタ動作を停止してから行ってください。

CSTn ビット (カウンタスタート n ビット) (n = 0, 1, 2, 3, 4, 9)

各チャネルのTCNTの動作または停止を選択します。

MTIOC端子を出力状態で動作中に、CSTnビットに“0”を書くとカウンタが停止します。このとき、相補PWMモード/リセット同期PWMモードでは、MTIOC端子からTOCR1AレジスタまたはTOCR2Aレジスタで設定した初期出力レベルが出力されます。

相補PWMモード/リセット同期PWMモード以外では、MTIOC端子のアウトプットコンペア出力レベルは保持されます。CSTnビットが“0”の状態ではTIORレジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTU.TSTRB (MTU6, MTU7)

アドレス MTU.TSTRB 000C 1A80h

	b7	b6	b5	b4	b3	b2	b1	b0
	CST7	CST6	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST6	カウンタスタート6ビット	0 : MTU6.TCNTはカウント停止 1 : MTU6.TCNTはカウント動作	R/W
b7	CST7	カウンタスタート7ビット	0 : MTU7.TCNTはカウント停止 1 : MTU7.TCNTはカウント動作	R/W

注. TCSYSTRレジスタを“1”にしたときは、TSTRBレジスタの対応するビットが自動的に“1”になります。

CSTn ビット (カウンタスタート n ビット) (n = 6, 7)

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタが停止します。このとき、相補 PWM モード / リセット同期 PWM モードでは、MTIOC 端子から TOCR1B レジスタまたは TOCR2B レジスタで設定した初期出力レベルが出力されます。

相補 PWM モード / リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTU5.TSTR (MTU5)

アドレス MTU5.TSTR 000C 1CB4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CSTU5	CSTV5	CSTW5
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0 : MTU5.TCNTWはカウント停止 1 : MTU5.TCNTWはカウント動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0 : MTU5.TCNTVはカウント停止 1 : MTU5.TCNTVはカウント動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0 : MTU5.TCNTUはカウント停止 1 : MTU5.TCNTUはカウント動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

20.2.18 タイマシンクロレジスタ (TSYRA, TSYRB)

- MTU.TSYRA (MTU0, MTU1, MTU2, MTU3, MTU4, MTU9)

アドレス MTU.TSYRA 000C 1281h

b7	b6	b5	b4	b3	b2	b1	b0
SYNC4	SYNC3	—	—	SYNC9	SYNC2	SYNC1	SYNC0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0 : MTU0.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU0.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b1	SYNC1	タイマ同期1ビット	0 : MTU1.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU1.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b2	SYNC2	タイマ同期2ビット	0 : MTU2.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU2.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b3	SYNC9	タイマ同期9ビット	0 : MTU9.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU9.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC3	タイマ同期3ビット	0 : MTU3.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU3.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b7	SYNC4	タイマ同期4ビット	0 : MTU4.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU4.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W

TSYRA レジスタは MTU0 ~ MTU4、MTU9 の TCNT の独立動作または同期動作を選択するレジスタです。

TSYRB レジスタは MTU6、MTU7 の TCNT の独立動作または同期動作を選択するレジスタです。
対応するビットを“1”にしたチャンネルが同期動作を行います。

SYNCn ビット (タイマ同期 n ビット) (n = 0, 1, 2, 3, 4, 9)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期セットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低 2 チャンネルの SYNC ビットを“1”にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

- MTU.TSYRB (MTU6, MTU7)

アドレス MTU.TSYRB 000C 1A81h

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC7	SYNC6	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC6	タイマ同期6ビット	0 : MTU6.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU6.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b7	SYNC7	タイマ同期7ビット	0 : MTU7.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU7.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W

SYNCn ビット (タイマ同期 n ビット) (n = 6, 7)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期セットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低 2 チャンネルの SYNC ビットを“1”にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

20.2.19 タイマカウンタシンクスタートレジスタ (TCSYSTR)

アドレス MTU.TCSYSTR 000C 1282h

	b7	b6	b5	b4	b3	b2	b1	b0
	SCH0	SCH1	SCH2	SCH3	SCH4	SCH9	SCH6	SCH7
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SCH7	シンクスタート7ビット	0 : MTU7.TCNTをシンクスタートしない 1 : MTU7.TCNTをシンクスタートする	R/(W) (注1)
b1	SCH6	シンクスタート6ビット	0 : MTU6.TCNTをシンクスタートしない 1 : MTU6.TCNTをシンクスタートする	R/(W) (注1)
b2	SCH9	シンクスタート9ビット	0 : MTU9.TCNTをシンクスタートしない 1 : MTU9.TCNTをシンクスタートする	R/(W) (注1)
b3	SCH4	シンクスタート4ビット	0 : MTU4.TCNTをシンクスタートしない 1 : MTU4.TCNTをシンクスタートする	R/(W) (注1)
b4	SCH3	シンクスタート3ビット	0 : MTU3.TCNTをシンクスタートしない 1 : MTU3.TCNTをシンクスタートする	R/(W) (注1)
b5	SCH2	シンクスタート2ビット	0 : MTU2.TCNTをシンクスタートしない 1 : MTU2.TCNTをシンクスタートする	R/(W) (注1)
b6	SCH1	シンクスタート1ビット	0 : MTU1.TCNTをシンクスタートしない 1 : MTU1.TCNTをシンクスタートする	R/(W) (注1)
b7	SCH0	シンクスタート0ビット	0 : MTU0.TCNTをシンクスタートしない 1 : MTU0.TCNTをシンクスタートする	R/(W) (注1)

注1. フラグを“1”にするため、“1”を書くことのみ可能です。
TCSYSTRレジスタは、“1”を書き込み後、自動的に“0”になります。

TCSYSTR レジスタはカウンタの同期スタートを行うレジスタです。

SCH7 ビット (シンクスタート7ビット)

MTU7.TCNT のシンクスタートを制御します。

["0"になる条件]

SCH7 ビットが“1”の状態ですべてのTSTR.CST7 ビットを“1”にしたとき

SCH6 ビット (シンクスタート6ビット)

MTU6.TCNT のシンクスタートを制御します。

["0"になる条件]

SCH6 ビットが“1”の状態ですべてのTSTR.CST6 ビットを“1”にしたとき

SCH9 ビット (シンクスタート9ビット)

MTU9.TCNT のシンクスタートを制御します。

["0"になる条件]

SCH9 ビットが“1”の状態ですべてのTSTR.CST9 ビットを“1”にしたとき

SCH4 ビット (シンクスタート4ビット)

MTU4.TCNT のシンクスタートを制御します。

["0"になる条件]

SCH4 ビットが“1”の状態ですべてのTSTR.CST4 ビットを“1”にしたとき

SCH3 ビット (シンクロスタート3ビット)

MTU3.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH3 ビットが“1”の状態 で TSTRA.CST3 ビットを“1”にしたとき

SCH2 ビット (シンクロスタート2ビット)

MTU2.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH2 ビットが“1”の状態 で TSTRA.CST2 ビットを“1”にしたとき

SCH1 ビット (シンクロスタート1ビット)

MTU1.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH1 ビットが“1”の状態 で TSTRA.CST1 ビットを“1”にしたとき

SCH0 ビット (シンクロスタート0ビット)

MTU0.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH0 ビットが“1”の状態 で TSTRA.CST0 ビットを“1”にしたとき

20.2.20 タイマリードライトイネーブルレジスタ (TRWERA, TRWERB)

アドレス MTU.TRWERA 000C 1284h, MTU.TRWERB 000C 1A84h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RWE
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0: レジスタのリードライトを禁止する 1: レジスタのリードライトを許可する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRWERA レジスタは、MTU3、MTU4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を指定するレジスタです。

TRWERB レジスタは、MTU6、MTU7 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を指定するレジスタです。

RWE ビット (リードライト許可ビット)

誤書き込み防止のレジスタへのリードライト許可 / 禁止を設定します。

[“0”になる条件]

- RWE = 1 の状態で RWE ビットを読んだ後、RWE ビットに “0” を書いたとき

- **誤書き込み防止の対象レジスタおよび対象カウンタ (TRWERA)**

MTUn.TCR, MTUn.TCR2, MTUn.TMDR1, MTUn.TIORH, MTUn.TIORL, MTUn.TIER, MTUn.TGRA, MTUn.TGRB, MTU.TOERA, MTU.TOCR1A, MTU.TOCR2A, MTU.TGCRA, MTU.TCDRA, MTU.TDDRA と MTUn.TCNT の計 24 レジスタです。(n = 3, 4)

- **誤書き込み防止の対象レジスタおよび対象カウンタ (TRWERB)**

MTUn.TCR, MTUn.TCR2, MTUn.TMDR1, MTUn.TIORH, MTUn.TIORL, MTUn.TIER, MTUn.TGRA, MTUn.TGRB, MTU.TOERB, MTU.TOCR1B, MTU.TOCR2B, MTU.TGCRB, MTU.TCDRB, MTU.TDDRБ と MTUn.TCNT の計 24 レジスタです。(n = 6, 7)

20.2.21 タイマアウトプットマスタイネーブルレジスタ (TOERA, TOERB)

• MTU.TOERA

アドレス MTU.TOERA 000C 120Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B

リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3Bビット	0: MTU出力禁止 (注1) 1: MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4Aビット	0: MTU出力禁止 (注1) 1: MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4Bビット	0: MTU出力禁止 (注1) 1: MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3Dビット	0: MTU出力禁止 (注1) 1: MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4Cビット	0: MTU出力禁止 (注1) 1: MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4Dビット	0: MTU出力禁止 (注1) 1: MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、あらかじめI/Oポートのデータ方向レジスタ (PDR)、ポート出力データレジスタ (PODR) に、汎用入出力ポートに非アクティブレベルを出力する設定をした後に、ポートモードレジスタ (PMR) で汎用入出力ポート使用に切り替えてください。詳細は、「18. I/Oポート」を参照してください。

TOERA レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可 / 禁止を行うレジスタです。

これらの端子は TOERA レジスタの各ビットの設定をしないと正しく出力されません。TOERA レジスタは MTU3、MTU4 の TIOR レジスタ設定の前に値をセットしてください。

MTU.TOERA レジスタは、MTU.TSTRA レジスタの CST3、CST4 ビットを“0”にした後で設定してください。

- MTU.TOERB

アドレス MTU.TOERB 000C 1A0Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE7D	OE7C	OE6D	OE7B	OE7A	OE6B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE6B	マスタ許可MTIOC6Bビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b1	OE7A	マスタ許可MTIOC7Aビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b2	OE7B	マスタ許可MTIOC7Bビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b3	OE6D	マスタ許可MTIOC6Dビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b4	OE7C	マスタ許可MTIOC7Cビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b5	OE7D	マスタ許可MTIOC7Dビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、あらかじめI/Oポートのデータ方向レジスタ (PDR)、ポート出力データレジスタ (PODR) に、汎用入出力ポートに非アクティブレベルを出力する設定をした後に、ポートモードレジスタ (PMR) で汎用入出力ポート使用に切り替えてください。詳細は、「18. I/Oポート」を参照してください。

TOERB レジスタは、出力端子の MTIOC7D、MTIOC7C、MTIOC6D、MTIOC7B、MTIOC7A、MTIOC6B の出力設定の許可 / 禁止を行うレジスタです。

これらの端子は TOERB レジスタの各ビットの設定をしないと正しく出力されません。TOERB レジスタは MTU6、MTU7 の TIOR レジスタ設定の前に値をセットしてください。

MTU.TOERB レジスタは、MTU.TSTRB レジスタの CST6、CST7 ビットを“0”にした後で設定してください (図 20.43、図 20.47 参照)。

20.2.22 タイマアウトプットコントロールレジスタ 1 (TOCR1A, TOCR1B)

アドレス MTU.TOCR1A 000C 120Eh, MTU.TOCR1B 000C 1A0Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット(注1、注3)	表 20.42を参照してください	R/W
b1	OLSN	出力レベル選択Nビット(注1、注3)	表 20.43を参照してください	R/W
b2	TOCS	TOC 選択ビット	0 : TOCR1jの設定を有効にする (j = A, B) 1 : TOCR2jの設定を有効にする	R/W
b3	TOCL	TOC レジスタ書き込み禁止ビット (注2、注4)	0 : TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1 : TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSYE	PWM同期出力許可ビット	0 : トグル出力を禁止 1 : トグル出力を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TOCR1j.TOCSビットを“0”にすることにより、本設定が有効になります。

注2. TOCR1j.TOCLビットを“1”にすることにより、CPU暴走時の誤書き込みを防止することができます。

注3. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSPビットのみ有効となります。

注4. リセット後、1回だけ“1”を書き込むことができます。“1”書き込み後は、“0”を書き込むことはできません。

TOCR1A、TOCR1B レジスタは、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行うレジスタです。

OLSP ビット (出力レベル選択 P ビット)

リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。
カウンタが停止した状態では、初期出力が選択されます。

OLSN ビット (出力レベル選択 N ビット)

リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。
カウンタが停止した状態では、初期出力が選択されます。

TOCS ビット (TOC 選択ビット)

相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1j レジスタと TOCR2j レジスタ (j = A, B) のどちらの設定を有効にするか選択します。

TOCL ビット (TOC レジスタ書き込み禁止ビット)

TOCR1j レジスタ (j = A, B) の TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。

PSYE ビット (PWM 同期出力許可ビット)

PWM 周期に同期したトグル出力の許可 / 禁止を設定します。

表 20.42 出力レベル選択機能

ビット0	機能			
OLSP	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 20.43 出力レベル選択機能

ビット1	機能			
OLSN	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例 (1 相分) を図 20.3 に示します。

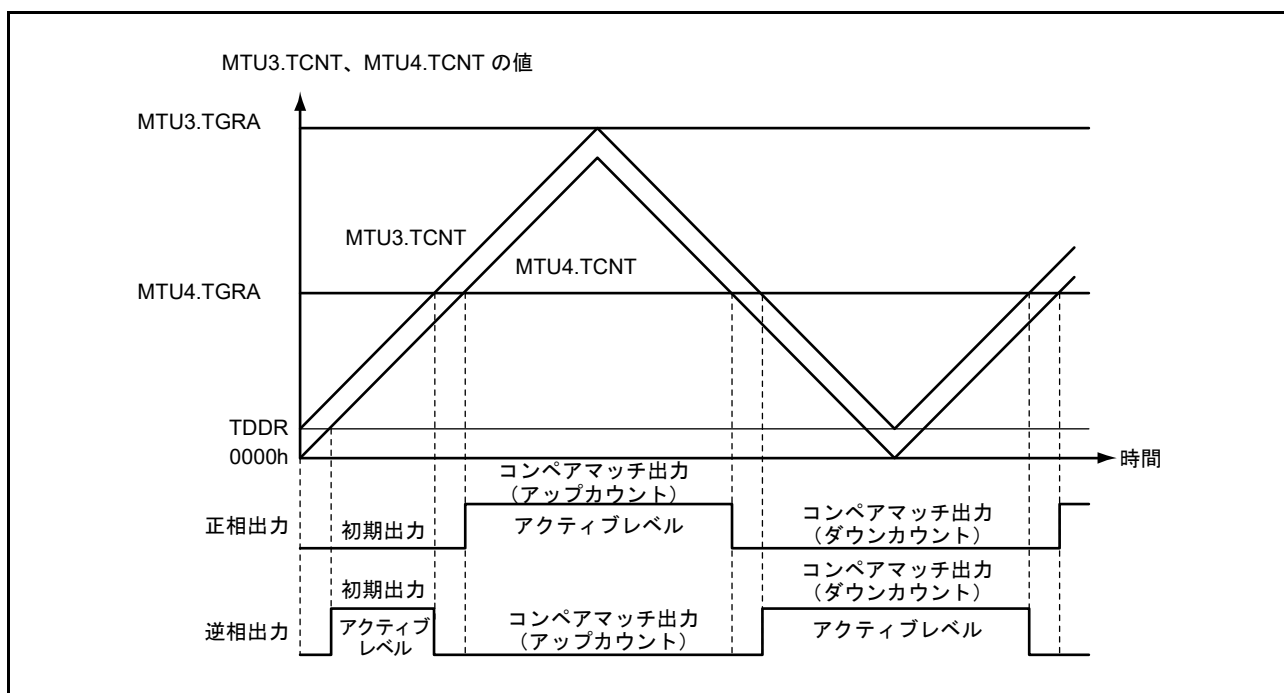


図 20.3 相補 PWM モードの出力レベルの例

20.2.23 タイマアウトプットコントロールレジスタ 2 (TOCR2A, TOCR2B)

アドレス MTU.TOOCR2A 000C 120Fh, MTU.TOOCR2B 000C 1A0Fh

b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択 1P ビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3B/MTIOC6Bの出力レベルを選択します 表20.44を参照してください	R/W
b1	OLS1N	出力レベル選択 1N ビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3D/MTIOC6Dの出力レベルを選択します 表20.45を参照してください	R/W
b2	OLS2P	出力レベル選択 2P ビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4A/MTIOC7Aの出力レベルを選択します 表20.46を参照してください	R/W
b3	OLS2N	出力レベル選択 2N ビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4C/MTIOC7Cの出力レベルを選択します 表20.47を参照してください	R/W
b4	OLS3P	出力レベル選択 3P ビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4B/MTIOC7Bの出力レベルを選択します 表20.48を参照してください	R/W
b5	OLS3N	出力レベル選択 3N ビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4D/MTIOC7Dの出力レベルを選択します 表20.49を参照してください	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング 選択ビット	TOLBR _j からTOCR2 _j へのバッファ転送タイミングを選択 します 詳細は表20.50を参照してください	R/W

j = A, B

注1. TOCR1_j.TOCS ビットを“1”にすることにより、本設定が有効になります。注2. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLS_iP ビットのみに有効となります。
(i = 1, 2, 3)

TOCR2A、TOCR2B レジスタは、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行うレジスタです。

カウンタが停止した状態では、初期出力が選択されます。

表20.44 MTIOC_mB出力レベル選択機能

ビット0	機能			
	初期出力	アクティブ レベル	コンペアマッチ出力	
アップカウント			ダウンカウント	
0	High	Low	Low	High
1	Low	High	High	Low

m = 3, 6

表 20.45 MTIOcMd 出力レベル選択機能

ビット1	機能			
OLS1N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

m = 3, 6

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 20.46 MTIOcMa 出力レベル選択機能

ビット2	機能			
OLS2P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

m = 4, 7

表 20.47 MTIOcMc 出力レベル選択機能

ビット3	機能			
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

m = 4, 7

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 20.48 MTIOcMb 出力レベル選択機能

ビット4	機能			
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

m = 4, 7

表 20.49 MTIOcMd 出力レベル選択機能

ビット5	機能			
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

m = 4, 7

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表20.50 TOCR2j.BF[1:0]ビットの設定

ビット7 BF[1]	ビット6 BF[0]	説明	
		相補PWMモード時	リセットPWMモード時
0	0	バッファレジスタ (TOLBRj) からTOCR2jへ転送しない	バッファレジスタ (TOLBRj) からTOCR2jへ転送しない
0	1	MTUn.TCNTの山でバッファレジスタ (TOLBRj) からTOCR2jへ転送する	MTUm.TCNT、MTUn.TCNTカウンタクリア時にバッファレジスタ (TOLBRj) からTOCR2jへ転送する
1	0	MTUn.TCNTの谷でバッファレジスタ (TOLBRj) からTOCR2jへ転送する	設定しないでください
1	1	MTUn.TCNTの山と谷でバッファレジスタ (TOLBRj) からTOCR2jへ転送する	設定しないでください

n = 4, 7、m = 3, 6、j = A, B

20.2.24 タイマアウトプットレベルバッファレジスタ (TOLBRA, TOLBRB)

アドレス MTU.TOLBRA 000C 1236h, MTU.TOLBRB 000C 1A36h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット	TOCR2jのOLS1Pビットにバッファ転送する値を設定してください	R/W
b1	OLS1N	出力レベル選択1Nビット	TOCR2jのOLS1Nビットにバッファ転送する値を設定してください	R/W
b2	OLS2P	出力レベル選択2Pビット	TOCR2jのOLS2Pビットにバッファ転送する値を設定してください	R/W
b3	OLS2N	出力レベル選択2Nビット	TOCR2jのOLS2Nビットにバッファ転送する値を設定してください	R/W
b4	OLS3P	出力レベル選択3Pビット	TOCR2jのOLS3Pビットにバッファ転送する値を設定してください	R/W
b5	OLS3N	出力レベル選択3Nビット	TOCR2jのOLS3Nビットにバッファ転送する値を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

j = A, B

TOLBRA、TOLBRB レジスタは TOCR2A、TOCR2B レジスタのバッファレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力レベルの設定を行うレジスタです。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 20.4 に示します。

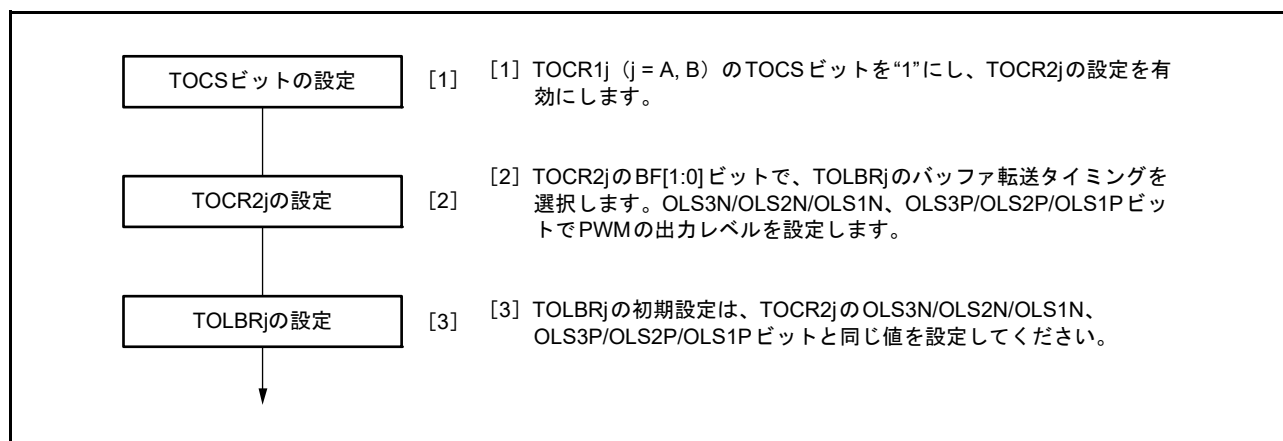


図 20.4 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

20.2.25 タイマゲートコントロールレジスタ (TGCR, TGCRB)

アドレス MTU.TGCR 000C 120Dh, MTU.TGCRB 000C 1A0Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	BDC	N	P	FB	WF	VF	UF

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相/逆相の出力相のON/OFFを設定します。これらのビットの設定はFBビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりになります。表20.51を参照してください	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0：出力の切り替えは、外部入力（入力元は、MTU0、MTU9のTGRA、TGRB、TGRCのインプットキャプチャ信号） 1：出力の切り替えはソフトウェアで行う（TGCR、TGCRBのUF、VF、WFの設定値）	R/W
b4	P	正相出力（P）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b5	N	逆相出力（N）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0：通常出力 1：本レジスタの機能を有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

TGCR、TGCRB レジスタは、リセット同期 PWM モード/相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行うレジスタです。相補 PWM モード/リセット同期 PWM モード以外では、TGCR、TGCRB レジスタの設定は無効です。

UF、VF、WF ビット（出力相切り替えビット）

これらのビットの設定はFBビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりになります。表20.51を参照してください。

FB ビット（外部フィードバック信号許可ビット）

正相/逆相の出力の切り替えをMTU0、MTU9のTGRA、TGRB、TGRCレジスタのインプットキャプチャ信号で自動的に行うか、TGCR、TGCRBレジスタのビット2～0に“0”または“1”を書き込むことによって行うかを選択します。

TGCR.FBビットが“0”の場合、MTU0のTGRA、TGRB、TGRCレジスタのインプットキャプチャ信号により、MTU3、MTU4の出力を切り替えます。

TGCRB.FBビットが“0”の場合、MTU9のTGRA、TGRB、TGRCレジスタのインプットキャプチャ信号により、MTU6、MTU7の出力を切り替えます。

P ビット（正相出力（P）制御ビット）

正相端子（MTIOC3B端子、MTIOC4A端子、MTIOC4B端子、MTIOC6B端子、MTIOC7A端子、MTIOC7B端子）を出力時、レベル出力をするか、リセット同期PWM/相補PWM出力するかを選択します。

N ビット（逆相出力（N）制御ビット）

逆相端子（MTIOC3D端子、MTIOC4C端子、MTIOC4D端子、MTIOC6D端子、MTIOC7C端子、

MTIOC7D 端子) を出力時、レベル出力するか、リセット同期 PWM/ 相補 PWM 出力するかを選択をします。

BDC ビット (ブラシレス DC モータビット)

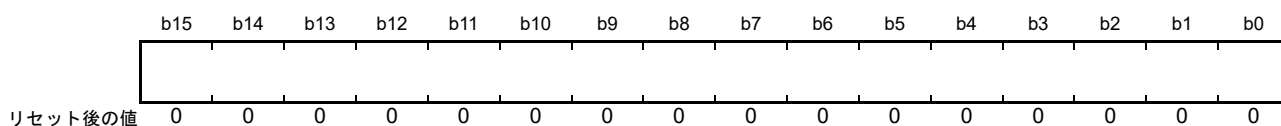
TGCRA、TGCRB レジスタの機能を有効にするか、無効にするかを選択します。

表20.51 出力レベル選択機能

ビット2 WF	ビット1 VF	ビット0 UF	機能					
			MTIOC3B, MTIOC6B	MTIOC4A, MTIOC7A	MTIOC4B, MTIOC7B	MTIOC3D, MTIOC6D	MTIOC4C, MTIOC7C	MTIOC4D, MTIOC7D
			U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

20.2.26 タイマサブカウンタ (TCNTSA, TCNTSB)

アドレス MTU.TCNTSA 000C 1220h, MTU.TCNTSB 000C 1A20h

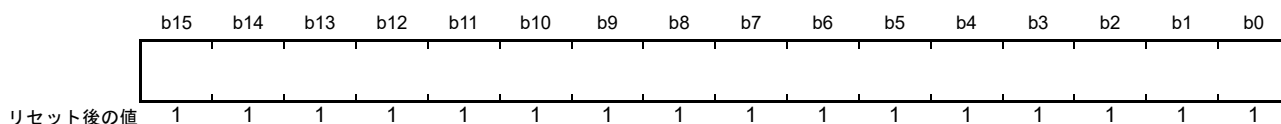


注. TCNTSA、TCNTSBレジスタの8ビット単位でアクセスは禁止です。16ビット単位でアクセスしてください。

TCNTSA、TCNTSB レジスタは、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTSA、TCNTSB レジスタのリセット後の値は“0000h”です。

20.2.27 タイマ周期データレジスタ (TCDRA, TCDRB)

アドレス MTU.TCDRA 000C 1214h, MTU.TCDRB 000C 1A14h

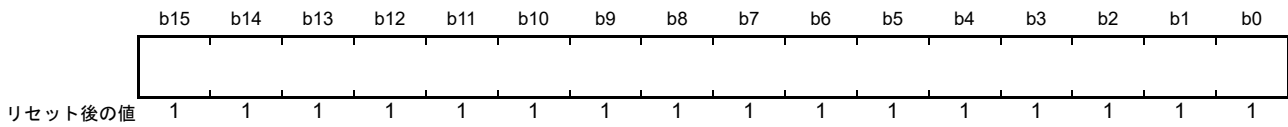


注. TCDRA、TCDRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCDRA、TCDRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し/書き込み可能なレジスタです。TCDRA、TCDRB レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。TCDRA、TCDRB レジスタは、相補 PWM モード時 TCNTSA、TCNTSB カウンタと常時比較され、一致すると TCNTSA、TCNTSB カウンタはカウント方向を切り替えます (ダウンカウント→アップカウント)。TCDRA、TCDRB レジスタのリセット後の値は“FFFFh”です。

20.2.28 タイマ周期バッファレジスタ (TCBRA, TCBRB)

アドレス MTU.TCBRA 000C 1222h, MTU.TCBRB 000C 1A22h

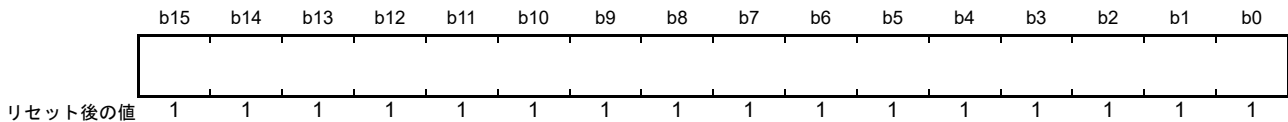


注. TCBRA、TCBRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCBRA、TCBRBレジスタは、相補PWMモード時のみ使用される16ビットの読み出し/書き込み可能なレジスタで、TCDRA、TCDRBレジスタのバッファレジスタとして機能します。TMDR1レジスタで設定した転送タイミングでTCBRA、TCBRBレジスタの値がTCDRA、TCDRBレジスタに転送されます。TCBRA、TCBRBレジスタのリセット後の値は“FFFFh”です。

20.2.29 タイマデッドタイムデータレジスタ (TDDRA, TDDRb)

アドレス MTU.TDDRA 000C 1216h, MTU.TDDRb 000C 1A16h



注. TDDRA、TDDRbレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TDDRA、TDDRbレジスタは、相補PWMモード時のみ使用される16ビットの読み出し/書き込み可能なレジスタで、相補PWMモード時MTU3.TCNT (MTU6.TCNT) とMTU4.TCNT (MTU7.TCNT) カウンタのオフセット値を設定します。相補PWMモード時にMTU3.TCNT (MTU6.TCNT)、MTU4.TCNT (MTU7.TCNT) カウンタをクリアして再スタートするときは、TDDRA (TDDRb) レジスタの値がMTU3.TCNT (MTU6.TCNT) カウンタにロードされカウント動作を開始します。TDDRA、TDDRbレジスタのリセット後の値は“FFFFh”です。

20.2.30 タイマデッドタイムイネーブルレジスタ (TDERA, TDERB)

アドレス MTU.TDERA 000C 1234h, MTU.TDERB 000C 1A34h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDER
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイムイネーブルビット	0: デッドタイムを生成しない 1: デッドタイムを生成する (注1)	R/(W)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TDDRA ≥ 1、TDDRБ ≥ 1に設定してください。

TDERA、TDERB レジスタは、TDERA は MTU3、TDERB は MTU6 に各 1 本あり、相補 PWM モードのデッドタイム生成を制御するレジスタです。TDERA、TDERB レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TDER ビット (デッドタイムイネーブルビット)

デッドタイムの生成をする / しないを設定します。

[“0”になる条件]

- TDER = 1 の状態で TDER を読んだ後、TDER に “0” を書いたとき

20.2.31 タイマバッファ転送設定レジスタ (TBTERA, TBTERB)

アドレス MTU.TBTERA 000C 1232h, MTU.TBTERB 000C 1A32h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	BTE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタ(注1)からテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能1と連動する/しないを設定します。詳細は表20.52を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 対象バッファレジスタ (TBTERA)
 MTU3.TGRC, MTU3.TGRD, MTU4.TGRC, MTU4.TGRD, MTU.TCBRA
 対象バッファレジスタ (TBTERB)
 MTU6.TGRC, MTU6.TGRD, MTU7.TGRC, MTU7.TGRD, MTU.TCBRB

TBTERA、TBTERB レジスタは、相補 PWM モードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能1と連動する/しないを設定するレジスタです。

表20.52 TBTERA.BTE[1:0]ビット、TBTERB.BTE[1:0]ビットの設定

ビット1	ビット0	説明
BTE[1]	BTE[0]	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない(注1) また、割り込み間引き機能1と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能1と連動する(注2)
1	1	設定しないでください

注1. TMDR1.MD[3:0]ビットの設定に従い転送します。詳細は「20.3.8 相補PWMモード」を参照してください。
 注2. 割り込み間引きが禁止のとき(タイマ割り込み間引き設定レジスタ(TITCR1A(TITCR1B))のT3AEN、T4VEN(T6AEN、T7VEN)ビットを“0”にしたとき、またはTITCR1A(TITCR1B)の間引き回数設定ビット(T3ACOR、T4VCOR(T6ACOR、T7VCOR))を“0”にしたとき)は、バッファ転送を割り込み間引きと連動しない設定(タイマバッファ転送レジスタ(TBTERA(TBTERB))のBTE1ビットを“0”にする)にしてください。割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

20.2.32 タイマ波形コントロールレジスタ (TWCRA, TWCRB)

アドレス MTU.TWCRA 000C 1260h, MTU.TWCRB 000C 1A60h

b7	b6	b5	b4	b3	b2	b1	b0
CCE	—	—	—	—	—	SCC	WRE

リセット後の値 0 (注
2) 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	波形保持許可ビット	0 : TOCR1A, TOCR2A (TOCR1B, TOCR2B) レジスタで設定した初期出力値を出力 1 : 初期出力を抑制する	R/(W) (注3)
b1	SCC (注1, 注3)	同期クリアコントロールビット	(TWCRB レジスタのみ有効) 0 : MTU0, MTU1, MTU2—MTU6, MTU7同期クリア機能によるMTU6.TCNT, MTU7.TCNTのクリア有効 1 : MTU0, MTU1, MTU2—MTU6, MTU7同期クリア機能によるMTU6.TCNT, MTU7.TCNTのクリア無効	R/(W)
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CCE (注2)	コンペアマッチクリア許可ビット	0 : MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをしない 1 : MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをする	R/(W)

注1. TWCRB レジスタのみ有効です、TWCRAレジスタでは予約ビットです。

注2. 相補PWMモード1のとき以外は、“1”を書かないでください。

注3. 相補PWMモードのとき以外は、“1”を書かないでください。

TWCRA、TWCRB レジスタは、相補PWMモードでMTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) の同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをする/しないを設定します。

TWCRA、TWCRB レジスタのCCE、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

WRE ビット (波形保持許可ビット)

相補PWMモードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補PWMモードの谷のT_b区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで設定した初期値を出力します。また、MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) スタート直後の谷のT_b区間で同期クリアが発生した場合も、TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで設定した初期値を出力します。

相補PWMモードの谷のT_b区間については、[図 20.49](#) を参照してください。

[“1”になる条件]

- WRE = 0 で WRE ビットを読んだ後、WRE ビットに“1”を書いたとき

SCC ビット (同期クリアコントロールビット)

相補 PWM モードで MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリアが発生したときに、MTU6.TCNT、MTU7.TCNT をクリアする / しないを設定します。

本機能を使用する際は、MTU6、MTU7 を相補 PWM モードに設定してください。また、カウンタ動作中に SCC ビットを書き換える場合、CCE ビット、WRE ビットの値を変更しないようにしてください。

SCC ビットの設定により MTU からの同期クリアが無効になるのは、谷の T_b 区間以外で同期クリアが発生したときのみです。MTU6.TCNT、MTU7.TCNT スタート直後を含む谷の T_b 区間で同期クリアが発生した場合は、MTU6.TCNT、MTU7.TCNT がクリアされます。

相補 PWM モードの谷の T_b 区間については、[図 20.49](#) を参照してください。

[“1”になる条件]

- SCC = 0 で SCC ビットを読んだ後、SCC ビットに“1”を書いたとき

TWCRA レジスタでは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

CCE ビット (コンペアマッチクリア許可ビット)

相補 PWM モードで、MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをする / しないを設定します。

[“1”になる条件]

- CCE = 0 で CCE ビットを読んだ後、CCE ビットに“1”を書いたとき

20.2.33 ノイズフィルタコントロールレジスタ n (NFCRn) (n = 0 ~ 4, 6, 7, 9, C)

- MTU0.NFCR0, MTU1.NFCR1, MTU2.NFCR2, MTU3.NFCR3, MTU4.NFCR4, MTU6.NFCR6, MTU7.NFCR7, MTU9.NFCR9

アドレス MTU0.NFCR0 000C 1290h, MTU1.NFCR1 000C 1291h, MTU2.NFCR2 000C 1292h, MTU3.NFCR3 000C 1293h, MTU4.NFCR4 000C 1294h, MTU6.NFCR6 000C 1A93h, MTU7.NFCR7 000C 1A94h, MTU9.NFCR9 000C 1296h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタA許可ビット	0 : MTIOCnA端子のノイズフィルタは無効 1 : MTIOCnA端子のノイズフィルタを有効	R/W
b1	NFBEN	ノイズフィルタB許可ビット	0 : MTIOCnB端子のノイズフィルタは無効 1 : MTIOCnB端子のノイズフィルタを有効	R/W
b2	NFCEN	ノイズフィルタC許可ビット	0 : MTIOCnC端子のノイズフィルタは無効 1 : MTIOCnC端子のノイズフィルタを有効	R/W (注1)
b3	NFDEN	ノイズフィルタD許可ビット	0 : MTIOCnD端子のノイズフィルタは無効 1 : MTIOCnD端子のノイズフィルタを有効	R/W (注1)
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0 : PCLKA/1 0 1 : PCLKA/8 1 0 : PCLKA/32 1 1 : カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. NFCR1レジスタ、NFCR2レジスタでは予約ビットです。読むと“0”が読みだされます。書き込みは無効です。

NFCRn レジスタは、各チャネル共通で外部クロック端子のノイズフィルタ機能を設定します。

NFAEN ビット (ノイズフィルタ A 許可ビット)

MTIOCnA 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ B 許可ビット)

MTIOCnB 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ C 許可ビット)

MTIOCnC 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ D 許可ビット)

MTIOCnD 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロックセレクトビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。本ビットを“11b”に設定しカレントソースを外部クロックとした場合、本ビット設定後外部クロックを2回入力した後インプットキャプチャ機能に設定してください。

- MTU0.NFCRC

アドレス MTU0.NFCRC 000C 1299h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ A 許可ビット	0 : MTCLKA 端子のノイズフィルタは無効 1 : MTCLKA 端子のノイズフィルタを有効	R/W
b1	NFBEN	ノイズフィルタ B 許可ビット	0 : MTCLKB 端子のノイズフィルタは無効 1 : MTCLKB 端子のノイズフィルタを有効	R/W
b2	NFCEN	ノイズフィルタ C 許可ビット	0 : MTCLKC 端子のノイズフィルタは無効 1 : MTCLKC 端子のノイズフィルタを有効	R/W
b3	NFDEN	ノイズフィルタ D 許可ビット	0 : MTCLKD 端子のノイズフィルタは無効 1 : MTCLKD 端子のノイズフィルタを有効	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0 : PCLKA/1 0 1 : PCLKA/2 1 0 : PCLKA/8 1 1 : PCLKA/32	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFAEN ビット (ノイズフィルタ A 許可ビット)

MTCLKA 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ B 許可ビット)

MTCLKB 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ C 許可ビット)

MTCLKC 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ D 許可ビット)

MTCLKD 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロックセレクトビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。

20.2.34 ノイズフィルタコントロールレジスタ 5 (NFCR5)

アドレス MTU5.NFCR5 000C 1A95h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	—	NFWE N	NFVEN	NFUEN	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NFUEN	ノイズフィルタU許可ビット	0 : MTIC5U端子のノイズフィルタは無効 1 : MTIC5U端子のノイズフィルタを有効	R/W
b1	NFVEN	ノイズフィルタV許可ビット	0 : MTIC5V端子のノイズフィルタは無効 1 : MTIC5V端子のノイズフィルタを有効	R/W
b2	NFWEN	ノイズフィルタW許可ビット	0 : MTIC5W端子のノイズフィルタは無効 1 : MTIC5W端子のノイズフィルタを有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0 : PCLKA/1 0 1 : PCLKA/8 1 0 : PCLKA/32 1 1 : カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFUEN ビット (ノイズフィルタ U 許可ビット)

MTIC5U 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFVEN ビット (ノイズフィルタ V 許可ビット)

MTIC5V 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFWEN ビット (ノイズフィルタ W 許可ビット)

MTIC5W 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロックセレクトビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。

20.2.35 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

• MTU4.TADCR

アドレス MTU4.TADCR 000C 1240h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	—	—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE	TCIV4 割り込み間引き連動許可ビット (注1、注2、注3)	0: A/D 変換の開始要求 (TRG4BN) を TCIV4 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4BN) を TCIV4 割り込み間引き機能1と連動する	R/W
b1	ITB3AE	TGIA3 割り込み間引き連動許可ビット (注1、注2、注3)	0: A/D 変換の開始要求 (TRG4BN) を TGI3A 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4BN) を TGI3A 割り込み間引き機能1と連動する	R/W
b2	ITA4VE	TCIV4 割り込み間引き連動許可ビット (注1、注2、注3)	0: A/D 変換の開始要求 (TRG4AN) を TCIV4 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4AN) を TCIV4 割り込み間引き機能1と連動する	R/W
b3	ITA3AE	TGIA3 割り込み間引き連動許可ビット (注1、注2、注3)	0: A/D 変換の開始要求 (TRG4AN) を TGI3A 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4AN) を TGI3A 割り込み間引き機能1と連動する	R/W
b4	DT4BE	ダウンカウント TRG4BN 許可ビット (注3)	0: MTU4.TCNT のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1: MTU4.TCNT のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b5	UT4BE	アップカウント TRG4BN 許可ビット	0: MTU4.TCNT のアップカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1: MTU4.TCNT のアップカウント時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b6	DT4AE	ダウンカウント TRG4AN 許可ビット (注3)	0: MTU4.TCNT のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1: MTU4.TCNT のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b7	UT4AE	アップカウント TRG4AN 許可ビット	0: MTU4.TCNT のアップカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1: MTU4.TCNT のアップカウント時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/TADCOBRB 転送タイミング選択ビット	MTU4.TADCOBRA、MTU4.TADCOBRB から MTU4.TADCORA、MTU4.TADCORB への転送タイミングを選択します。詳細は表 20.53 を参照してください	R/W

注. MTU4.TADCR レジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1. 割り込み間引きが禁止のとき TITCR1A.T3AEN、T4VEN ビットを“0”にしたとき、または TITCR1A.T3ACOR、T4VCOR ビットを“0”にしたときは、“0”にしてください。

注2. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。

注3. 相補 PWM モードのとき以外は、“0”にしてください。

TADCR レジスタは、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定します。MTU には、MTU4、MTU7 に各 1 本の TADCR レジスタがあります。

表20.53 TADCR.BF[1:0]ビットによる転送タイミングの設定 (MTU4)

ビット15	ビット14	説明			
		相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない
0	1	MTU4.TCNTの山で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU3.TCNTがMTU3.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する
1	0	MTU4.TCNTの谷で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU4.TCNTの山と谷で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止

- MTU7.TADCR

アドレス MTU7.TADCR 000C 1A40h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	—	—	—	—	—	—	—	UT7AE	DT7AE	UT7BE	DT7BE	ITA6AE	ITA7VE	ITB6AE	ITB7VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB7VE	TCIV7 割り込み間引き連動許可ビット (注1、注2、注3)	0: A/D変換の開始要求 (TRG7BN) を TCIV7 割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7BN) を TCIV7 割り込み間引き機能1と連動する	R/W
b1	ITB6AE	TGIA6 割り込み間引き連動許可ビット (注1、注2、注3)	0: A/D変換の開始要求 (TRG7BN) を TGI6A 割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7BN) を TGI6A 割り込み間引き機能1と連動する	R/W
b2	ITA7VE	TCIV7 割り込み間引き連動許可ビット (注1、注2、注3)	0: A/D変換の開始要求 (TRG7AN) を TCIV7 割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7AN) を TCIV7 割り込み間引き機能1と連動する	R/W
b3	ITA6AE	TGIA6 割り込み間引き連動許可ビット (注1、注2、注3)	0: A/D変換の開始要求 (TRG7AN) を TGI6A 割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7AN) を TGI6A 割り込み間引き機能1と連動する	R/W
b4	DT7BE	ダウンカウント TRG7BN 許可ビット (注3)	0: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7BN) を禁止 1: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7BN) を許可	R/W
b5	UT7BE	アップカウント TRG7BN 許可ビット	0: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7BN) を禁止 1: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7BN) を許可	R/W
b6	DT7AE	ダウンカウント TRG7AN 許可ビット (注3)	0: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7AN) を禁止 1: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7AN) を許可	R/W
b7	UT7AE	アップカウント TRG7AN 許可ビット	0: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7AN) を禁止 1: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7AN) を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU7.TADCOBRA/TADCOBRB 転送タイミング選択ビット	MTU7.TADCOBRA、MTU7.TADCOBRB から MTU7.TADCORA、MTU7.TADCORB への転送タイミングを選択します。詳細は表20.54を参照してください	R/W

注. MTU7.TADCRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1. 割り込み間引きが禁止のとき TITCR1B.T6AEN、T7VEN ビットを“0”に設定したとき、または TITCR1B.T6ACOR、T7VCOR ビットを“0”にしたときは、“0”にしてください。

注2. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D変換の開始要求が行われません。

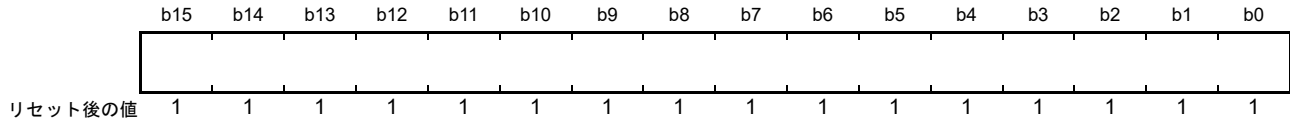
注3. 相補PWMモードのとき以外は、“0”にしてください。

表20.54 TADCR.BF[1:0]ビットによる転送タイミングの設定 (MTU7)

ビット15	ビット14	説明			
		相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から、周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から、周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から、周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から、周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送しない
0	1	MTU7.TCNTの山で周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する	MTU6.TCNTがMTU6.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する	MTU7.TCNTがMTU7.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する	MTU7.TCNTがMTU7.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する
1	0	MTU7.TCNTの谷で周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU7.TCNTの山と谷で周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止

20.2.36 タイマ A/D 変換開始要求周期設定レジスタ (TADCORA, TADCORB)

アドレス MTU4.TADCORA 000C 1244h, MTU4.TADCORB 000C 1246h, MTU7.TADCORA 000C 1A44h,
MTU7.TADCORB 000C 1A46h



注. TADCORA、TADCORBは8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1. 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能（詳細は「20.3.9(5) 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能」を参照）を使用する場合は、本レジスタの値は“0002h”～MTU4：TCDRAの設定値-2、MTU7：TCDRBの設定値-2の値を設定してください。

注2. 割り込み間引き機能2を使用し、かつTADCORAレジスタ値とTADCORBレジスタ値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでのA/D変換要求が発生しない場合があります。以下の設定条件で使用してください。

(1) 間引き機能2、間引き回数が“0”の場合

・TADCORAレジスタ値とTADCORBレジスタ値との間隔が「4」以上

・TADCORAのコンペア間隔が4PCLKA以上（TADCORAレジスタの更新値を「前値+4以上」、「前値-4以下」に設定）

・TADCORBのコンペア間隔が4PCLKA以上（TADCORBレジスタの更新値を「前値+4以上」、「前値-4以下」に設定）

(2) 間引き機能2、間引き回数が1以上の場合

・TADCORAレジスタ値とTADCORBレジスタ値との間隔が「2」以上

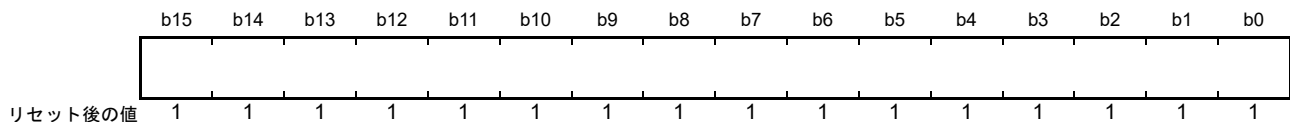
・TADCORBのコンペア間隔が2PCLKA以上（TADCORBレジスタの更新値を「前値+2以上」、「前値-2以下」に設定）

TADCORA、TADCORBレジスタは16ビットの読み出し/書き込み可能なレジスタで、MTUn.TCNT (n=4,7) と一致したとき、対応するA/D変換開始要求を発生します。

TADCORA、TADCORBレジスタのリセット後の値は“FFFFh”です。

20.2.37 タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA, TADCOBRB)

アドレス MTU4.TADCOBRA 000C 1248h, MTU4.TADCOBRB 000C 124Ah, MTU7.TADCOBRA 000C 1A48h,
MTU7.TADCOBRB 000C 1A4Ah



注. TADCOBRA、TADCOBRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TADCOBRA、TADCOBRBレジスタは16ビットの読み出し/書き込み可能なレジスタで、TADCORA、TADCORBのバッファレジスタです。TADCOBRA、TADCOBRBから山か谷でTADCORA、TADCORBに転送します。

TADCOBRA、TADCOBRBレジスタのリセット後の値は“FFFFh”です。

20.2.38 タイマ割り込み間引きモードレジスタ (TITMRA, TITMRB)

アドレス MTU.TITMRA 000C 123Ah, MTU.TITMRB 000C 1A3Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TITM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TITM	割り込み間引き機能選択ビット	2種類の割り込み間引き機能を選択します。 詳細は表20.55を参照してください	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TITMRA、TITMRB レジスタは、2種類の間引き機能を選択するレジスタです。

表20.55 TITMビットによる割り込み間引き機能の設定

ビット0	説明
TITM	
0	割り込み間引き機能1 (注1)
1	割り込み間引き機能2 (注2)

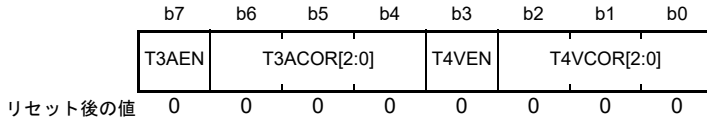
注1. TITCR1A、TITCR1Bレジスタを設定することにより割り込み間引き機能1が有効になります。

注2. TITCR2A、TITCR2Bレジスタを設定することにより割り込み間引き機能2が有効になります。

20.2.39 タイマ割り込み間引き設定レジスタ 1 (TITCR1A, TITCR1B)

• MTU.TITCR1A

アドレス MTU.TITCR1A 000C 1230h

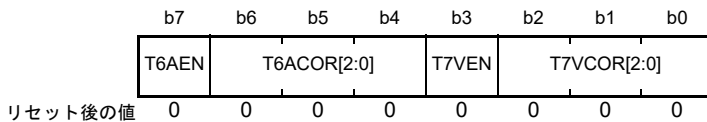


ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCOR[2:0]	TCIV4 割り込み間引き回数設定ビット	TCIV4 割り込みの間引き回数を0~7回で設定します 詳細は表 20.56 を参照してください	R/W
b3	T4VEN	T4VEN ビット	0 : TCIV4 割り込みの間引きを禁止する 1 : TCIV4 割り込みの間引きを許可する	R/W
b6-b4	T3ACOR[2:0]	TGIA3 割り込み間引き回数設定ビット	TGIA3 割り込みの間引き回数を0~7回で設定します(注1) 詳細は表 20.57 を参照してください	R/W
b7	T3AEN	T3AEN ビット	0 : TGIA3 割り込みの間引きを禁止する 1 : TGIA3 割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1A.T3AEN、TITCR1A.T4VEN ビットを“0”にして間引き回数カウンタ (TITCNT1A) をクリアしてください。

• MTU.TITCR1B

アドレス MTU.TITCR1B 000C 1A30h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T7VCOR[2:0]	TCIV7 割り込み間引き回数設定ビット	TCIV7 割り込みの間引き回数を0~7回で設定します。 詳細は表 20.58 を参照してください	R/W
b3	T7VEN	T7VEN ビット	0 : TCIV7 割り込みの間引きを禁止する 1 : TCIV7 割り込みの間引きを許可する	R/W
b6-b4	T6ACOR[2:0]	TGIA6 割り込み間引き回数設定ビット	TGIA6 割り込みの間引き回数を0~7回で設定します。(注1) 詳細は表 20.59 を参照してください	R/W
b7	T6AEN	T6AEN ビット	0 : TGIA6 割り込みの間引きを禁止する 1 : TGIA6 割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1B.T6AEN、TITCR1B.T7VEN ビットを“0”にして間引き回数カウンタ (TITCNT1B) をクリアしてください。

TITCR1A、TITCR1B レジスタは、割り込み間引きの禁止 / 許可、割り込み間引き回数の設定を制御します。この設定はそれぞれ TITMRA.TITM、TITMRB.TITM ビットを“0”としたときのみ有効になります。また、TITMRA.TITM (TITMRB.TITM) ビットを“1”にした場合、TITCR1A (TITCR1B) レジスタの値はクリアされます。

表20.56 T4VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2 T4VCOR[2]	ビット1 T4VCOR[1]	ビット0 T4VCOR[0]	説明
0	0	0	TCIV4の割り込み間引きを行わない
0	0	1	TCIV4の割り込み間引き回数を1回に設定
0	1	0	TCIV4の割り込み間引き回数を2回に設定
0	1	1	TCIV4の割り込み間引き回数を3回に設定
1	0	0	TCIV4の割り込み間引き回数を4回に設定
1	0	1	TCIV4の割り込み間引き回数を5回に設定
1	1	0	TCIV4の割り込み間引き回数を6回に設定
1	1	1	TCIV4の割り込み間引き回数を7回に設定

表20.57 T3ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6 T3ACOR[2]	ビット5 T3ACOR[1]	ビット4 T3ACOR[0]	説明
0	0	0	TGIA3の割り込み間引きを行わない
0	0	1	TGIA3の割り込み間引き回数を1回に設定
0	1	0	TGIA3の割り込み間引き回数を2回に設定
0	1	1	TGIA3の割り込み間引き回数を3回に設定
1	0	0	TGIA3の割り込み間引き回数を4回に設定
1	0	1	TGIA3の割り込み間引き回数を5回に設定
1	1	0	TGIA3の割り込み間引き回数を6回に設定
1	1	1	TGIA3の割り込み間引き回数を7回に設定

表20.58 T7VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2 T7VCOR[2]	ビット1 T7VCOR[1]	ビット0 T7VCOR[0]	説明
0	0	0	TCIV7の割り込み間引きを行わない
0	0	1	TCIV7の割り込み間引き回数を1回に設定
0	1	0	TCIV7の割り込み間引き回数を2回に設定
0	1	1	TCIV7の割り込み間引き回数を3回に設定
1	0	0	TCIV7の割り込み間引き回数を4回に設定
1	0	1	TCIV7の割り込み間引き回数を5回に設定
1	1	0	TCIV7の割り込み間引き回数を6回に設定
1	1	1	TCIV7の割り込み間引き回数を7回に設定

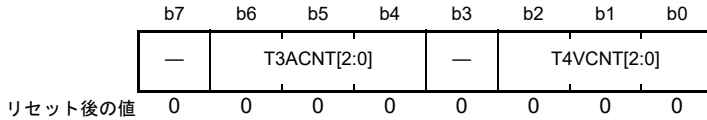
表20.59 T6ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6 T6ACOR[2]	ビット5 T6ACOR[1]	ビット4 T6ACOR[0]	説明
0	0	0	TGIA6の割り込み間引きを行わない
0	0	1	TGIA6の割り込み間引き回数を1回に設定
0	1	0	TGIA6の割り込み間引き回数を2回に設定
0	1	1	TGIA6の割り込み間引き回数を3回に設定
1	0	0	TGIA6の割り込み間引き回数を4回に設定
1	0	1	TGIA6の割り込み間引き回数を5回に設定
1	1	0	TGIA6の割り込み間引き回数を6回に設定
1	1	1	TGIA6の割り込み間引き回数を7回に設定

20.2.40 タイマ割り込み間引き回数カウンタ 1 (TITCNT1A, TITCNT1B)

- MTU.TITCNT1A

アドレス MTU.TITCNT1A 000C 1231h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCNT[2:0]	TCIV4 割り込みカウンタビット	TITCR1AのT4VENビットが“1”のとき、TCIV4 割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R
b6-b4	T3ACNT[2:0]	TGIA3 割り込みカウンタビット	TITCR1AのT3AENビットが“1”のとき、TGIA3 割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. TITCNT1Aレジスタの値をクリアするには、TITCR1A.T3AENビットとTITCR1A.T4VENビットを“0”にしてください。

TITCNT1A、TITCNT1B レジスタは、8ビットの読み出し可能なカウンタです。TITCNT1A、TITCNT1Bは、MTU3.TCNT および MTU4.TCNT (MTU6.TCNT および MTU7.TCNT) のカウント動作停止後も、値を保持します。

T4VCNT[2:0] ビット (TCIV4 割り込みカウンタビット)

[“0”になる条件]

- TITMRA.TITM ビットが“1”のとき
- TITCR1A.T4VEN ビットが“0”のとき
- TITCR1A.T4VCOR[2:0] ビットが“000b”のとき
- TITCR1A.T4VCOR[2:0] ビットと TITCNT1A.T4VCNT[2:0] ビットが一致したとき

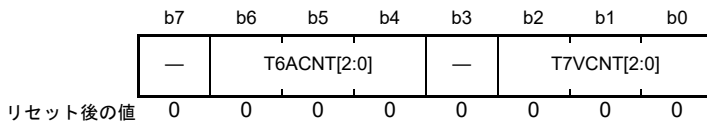
T3ACNT[2:0] ビット (TGIA3 割り込みカウンタビット)

[“0”になる条件]

- TITMRA.TITM ビットが“1”のとき
- TITCR1A.T3AEN ビットが“0”のとき
- TITCR1A.T3ACOR[2:0] ビットが“000b”のとき
- TITCR1A.T3ACOR[2:0] ビットと TITCNT1A.T3ACNT[2:0] ビットが一致したとき

- MTU.TITCNT1B

アドレス MTU.TITCNT1B 000C 1A31h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T7VCNT[2:0]	TCIV7 割り込みカウンタビット	TITCR1BのT7VENビットを“1”にしたとき、TCIV7割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	T6ACNT[2:0]	TGIA6 割り込みカウンタビット	TITCR1BのT6AENビットを“1”にしたとき、TGIA6割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. TITCNT1Bの値をクリアするには、TITCR1B.T6AENビットとTITCR1B.T7VENビットを“0”にしてください。

T7VCNT[2:0] ビット (TCIV7 割り込みカウンタビット)

[“0”になる条件]

- TITMRB.TITM ビットが“1”のとき
- TITCR1B.T7VEN ビットが“0”のとき
- TITCR1B.T7VCOR[2:0] ビットが“000b”のとき
- TITCR1B.T7VCOR[2:0] ビットと TITCNT1B.T7VCNT[2:0] ビットが一致したとき

T6ACNT[2:0] ビット (TGIA6 割り込みカウンタビット)

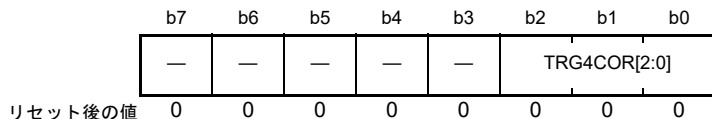
[“0”になる条件]

- TITMRB.TITM ビットが“1”のとき
- TITCR1B.T6AEN ビットが“0”のとき
- TITCR1B.T6ACOR[2:0] ビットが“000b”のとき
- TITCR1B.T6ACOR[2:0] ビットと TITCNT1B.T6ACNT[2:0] ビットが一致したとき

20.2.41 タイマ割り込み間引き設定レジスタ 2 (TITCR2A, TITCR2B)

• MTU.TITCR2A

アドレス MTU.TITCR2A 000C 123Bh



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4COR[2:0]	TRG4AN/TRG4BN 割り込み 間引き回数設定ビット	TRG4AN/TRG4BN 割り込みの間引き回数を0~7回で 設定します。詳細は表20.60を参照してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TITCR2A、TITCR2B レジスタは、TRG4AN と TRG4BN (TRG7AN と TRG7BN) の割り込み間引き回数を設定するレジスタです。

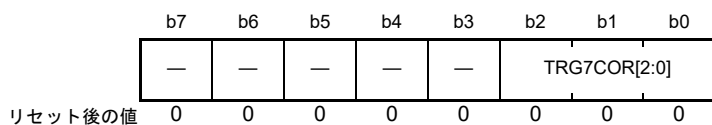
この設定は TITMRA、TITMRB レジスタを“1”にしたときのみ有効になります。

表20.60 TRG4COR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG4COR[2]	TRG4COR[1]	TRG4COR[0]	
0	0	0	TRG4ANとTRG4BNの割り込み回数間引きを行わない
0	0	1	TRG4ANとTRG4BNの割り込み回数を1回に設定
0	1	0	TRG4ANとTRG4BNの割り込み回数を2回に設定
0	1	1	TRG4ANとTRG4BNの割り込み回数を3回に設定
1	0	0	TRG4ANとTRG4BNの割り込み回数を4回に設定
1	0	1	TRG4ANとTRG4BNの割り込み回数を5回に設定
1	1	0	TRG4ANとTRG4BNの割り込み回数を6回に設定
1	1	1	TRG4ANとTRG4BNの割り込み回数を7回に設定

• MTU.TITCR2B

アドレス MTU.TITCR2B 000C 1A3Bh



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG7COR[2:0]	TRG7AN/TRG7BN 割り込み 間引き回数設定ビット	TRG7AN/TRG7BN 割り込みの間引き回数を0~7回で 設定します。詳細は表20.61を参照してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

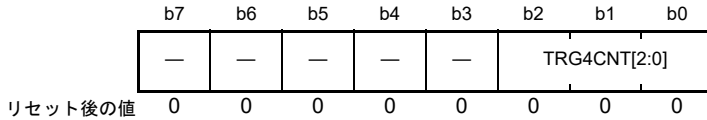
表20.61 TRG7COR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG7COR[2]	TRG7COR[1]	TRG7COR[0]	
0	0	0	TRG7ANとTRG7BNの割り込み回数間引きを行わない
0	0	1	TRG7ANとTRG7BNの割り込み回数を1回に設定
0	1	0	TRG7ANとTRG7BNの割り込み回数を2回に設定
0	1	1	TRG7ANとTRG7BNの割り込み回数を3回に設定
1	0	0	TRG7ANとTRG7BNの割り込み回数を4回に設定
1	0	1	TRG7ANとTRG7BNの割り込み回数を5回に設定
1	1	0	TRG7ANとTRG7BNの割り込み回数を6回に設定
1	1	1	TRG7ANとTRG7BNの割り込み回数を7回に設定

20.2.42 タイマ割り込み間引き回数カウンタ 2 (TITCNT2A, TITCNT2B)

- MTU.TITCNT2A

アドレス MTU.TITCNT2A 000C 123Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4CNT[2:0]	TRG4AN/TRG4BN 割り込みカウンタビット	TRG4COR[2:0]ビットで設定した値から、TRG4AN、TRG4BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BNの割り込みが有効になります	R
b7-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

TITCNT2A、TITCNT2B レジスタは、TRG4COR[2:0] ビット、TRG7COR[2:0] ビットで設定した値から、TRG4AN、TRG4BN (TITCNT2A) および TRG7AN、TRG7BN (TITCNT2B) が発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みおよび TRG7AN、TRG7BN の割り込みが有効になります。

TRG4CNT[2:0] ビット (TRG4AN/TRG4BN 割り込みカウンタビット)

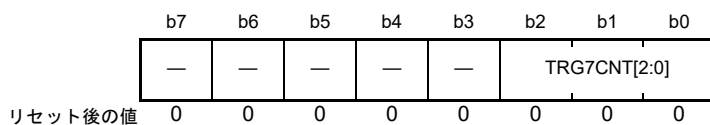
TRG4COR[2:0] ビットで設定した値から、TRG4AN および TRG4BN 割り込みが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みが有効になります。

[“0”になる条件]

- TITMRA.TITM ビットが“0”のとき
- TITCR2A.TRG4COR[2:0] ビットが“000b”のとき
- TITCR2A.TRG4COR[2:0] ビットと TRG4AN および TRG4BN の発生回数が一致したとき

- MTU.TITCNT2B

アドレス MTU.TITCNT2B 000C 1A3Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG7CNT[2:0]	TRG7AN/TRG7BN 割り込み カウンタビット	TRG7COR[2:0]ビットで設定した値から、TRG7AN、 TRG7BNが発生するごとにカウントダウンし、カウンタ値が “0”になり、リロードが起きたとき、TRG7AN、TRG7BNの 割り込みが有効になります	R
b7-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

TRG7CNT[2:0] ビット (TRG7AN/TRG7BN 割り込みカウンタビット)

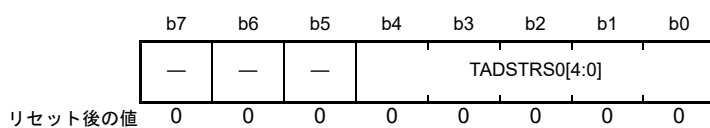
TRG7COR[2:0] ビットで設定した値から、TRG7AN および TRG7BN 割り込みが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG7AN、TRG7BN 割り込みが有効になります。

[“0”になる条件]

- TITMRB.TITM ビットが“0”のとき
- TITCR2B.TRG7COR[2:0] ビットが“000b”のとき
- TITCR2B.TRG7COR[2:0] ビットと TRG7AN および TRG7BN の発生回数が一致したとき

20.2.43 A/D 変換開始要求選択レジスタ 0 (TADSTRGR0)

アドレス MTU.TADSTRGR0 000C 1D30h

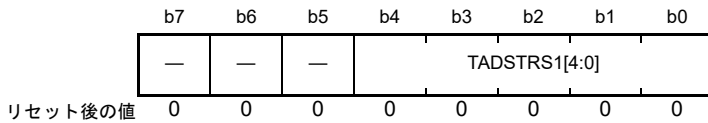


ビット	シンボル	ビット名	機能	R/W
b4-b0	TADSTRS0[4:0]	ADSM0端子出力フレーム同期信号生成用A/D変換開始要求選択ビット	ADSM0端子から出力するフレーム同期信号を生成するA/D変換開始要求を選択します。A/D変換開始要求と設定値の関係は表20.62を参照してください。表20.62記載の値以外は設定しないでください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TADSTRGR0 レジスタは、ADSM0 端子から出力する A/D 変換開始要求フレーム同期信号生成に使用する A/D 変換開始要求を選択するレジスタです。

20.2.44 A/D 変換開始要求選択レジスタ 1 (TADSTRGR1)

アドレス MTU.TADSTRGR1 000C 1D32h



ビット	シンボル	ビット名	機能	R/W
b4-b0	TADSTRS1[4:0]	ADSM1 端子出力フレーム同期信号生成用A/D変換開始要求選択ビット	ADSM1端子から出力するフレーム同期信号を生成するA/D変換開始要求を選択します。A/D変換開始要求と設定値の関係は表 20.62 を参照してください。表 20.62 記載の値以外は設定しないでください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TADSTRGR1 レジスタは、ADSM1 端子から出力する A/D 変換開始要求フレーム同期信号生成に使用する A/D 変換開始要求を選択するレジスタです。

表 20.62 フレーム同期信号生成用A/D変換開始要求の設定 (n = 0, 1)

TADSTRSn[4:0]					要因	内容
[4]	[3]	[2]	[1]	[0]		
0	0	0	0	0	—	要因非選択
0	0	0	0	1	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ
0	0	0	1	0	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ
0	0	0	1	1	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ
0	0	1	0	0	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ
0	0	1	0	1	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー (谷)
0	0	1	1	0	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ
0	0	1	1	1	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー (谷)
0	1	0	0	0	TRG0N	MTU0.TGREのコンペアマッチ
0	1	0	0	1	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ
0	1	0	1	0	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ
0	1	1	0	0	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)
0	1	1	0	1	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ
0	1	1	1	0	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ
1	0	0	0	0	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)
1	0	0	0	1	TRGA9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ
1	0	0	1	0	TRG9N	MTU9.TGREのコンペアマッチ
1	0	0	1	1	TRG9AEN	MTU9.TGRAのコンペアマッチ/インプットキャプチャとMTU9.TGREのコンペアマッチ
1	0	1	0	0	TRG0AEN	MTU0.TGRAのコンペアマッチ/インプットキャプチャとMTU0.TGREのコンペアマッチ
1	0	1	0	1	TRGA09N	MTU0.TGRAのコンペアマッチ/インプットキャプチャとMTU9.TGRAのコンペアマッチ/インプットキャプチャ
1	0	1	1	0	TRG09N	MTU0.TGREのコンペアマッチとMTU9.TGREのコンペアマッチ

20.3 動作説明

20.3.1 基本動作

各チャンネルには、TCNTとTGRレジスタがあります。TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGRレジスタは、それぞれ入力キャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTRAレジスタのCST0～CST4、CST9ビット、TSTRBレジスタのCST6、CST7ビット、MTU5.TSTRレジスタのCSTU5、CSTV5、CSTW5ビットを“1”にすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図20.5に示します。

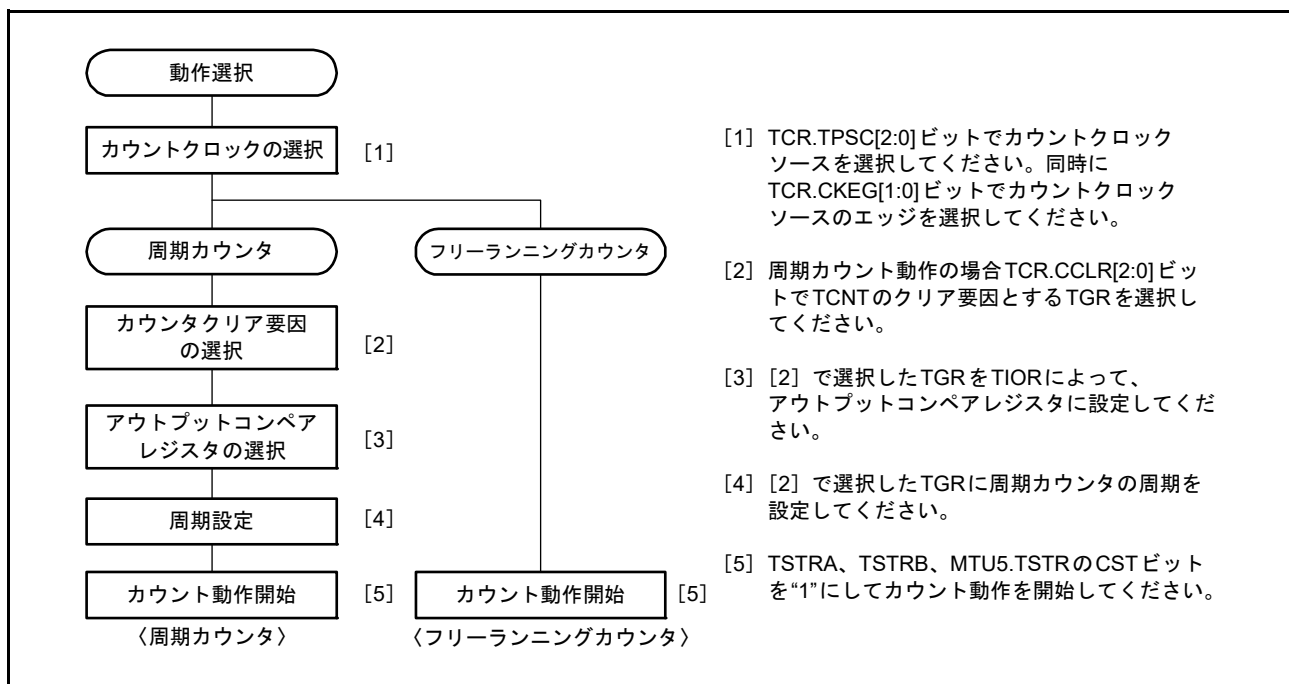


図 20.5 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TCNTは、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRA、TSTRB、MTU5.TSTRレジスタの対応するビットを“1”にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー（FFFFh → 0000h）すると、対応するTIER.TCIEVビットが“1”ならば、CPUへの割り込み要求を発行します。TCNTはオーバーフロー後、“0000h”からアップカウント動作を継続します。

フリーランニングカウンタの動作を図20.6に示します。

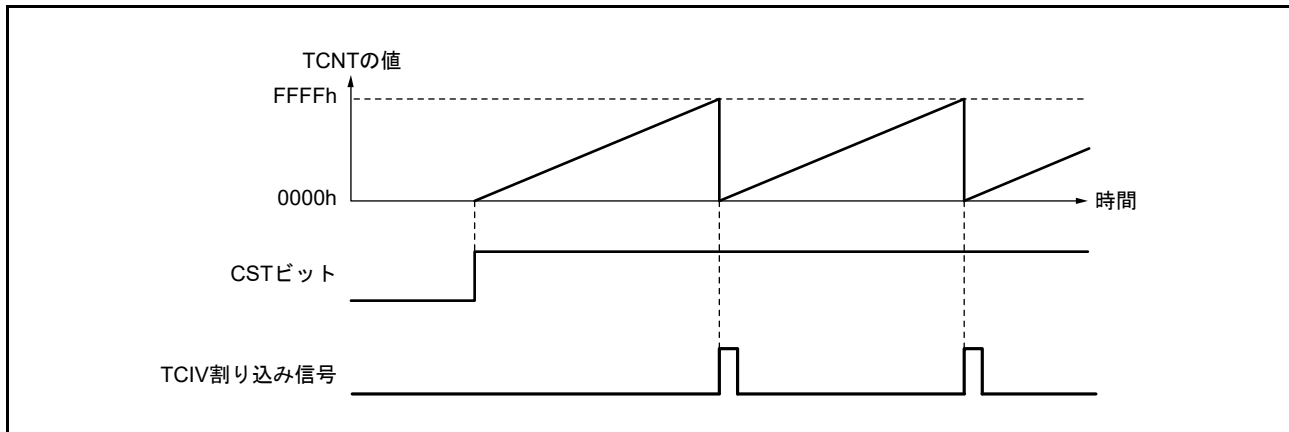


図 20.6 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウンタ動作を行います。周期設定用のTGRをアウトプットコンペアレジスタに設定し、TCR.CCLR[2:0]ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRA、TSTRB、MTU5.TSTRレジスタの対応するビットを“1”にすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRの値と一致すると、TCNTは“0000h”になります。

このとき対応するTIER.TGIEビットが“1”ならば、CPUへの割り込み要求を発行します。TCNTはコンペアマッチ後、“0000h”からアップカウント動作を継続します。

周期カウンタの動作を図20.7に示します。

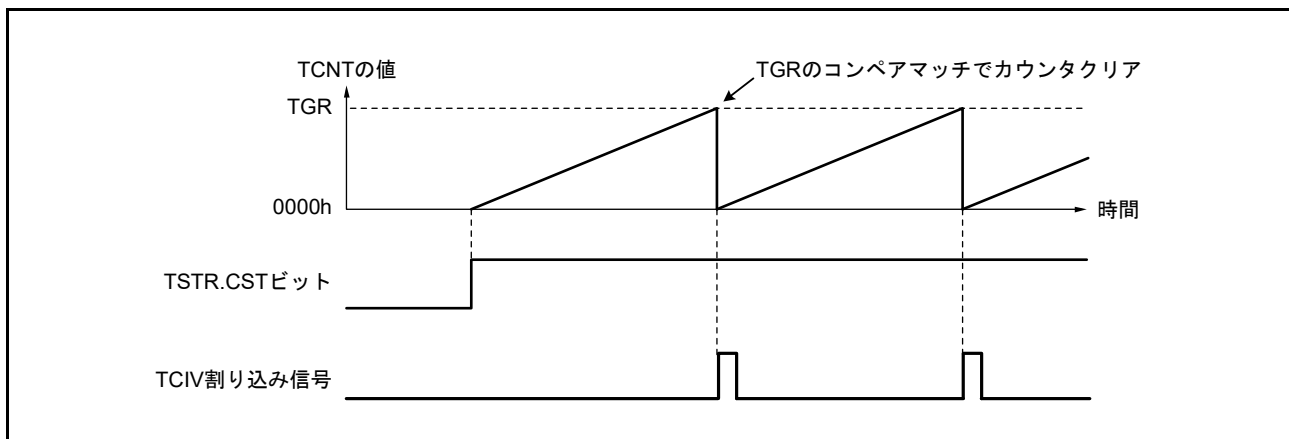


図 20.7 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

コンペアマッチにより対応する出力端子から Low 出力 / High 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 20.8 に示します。

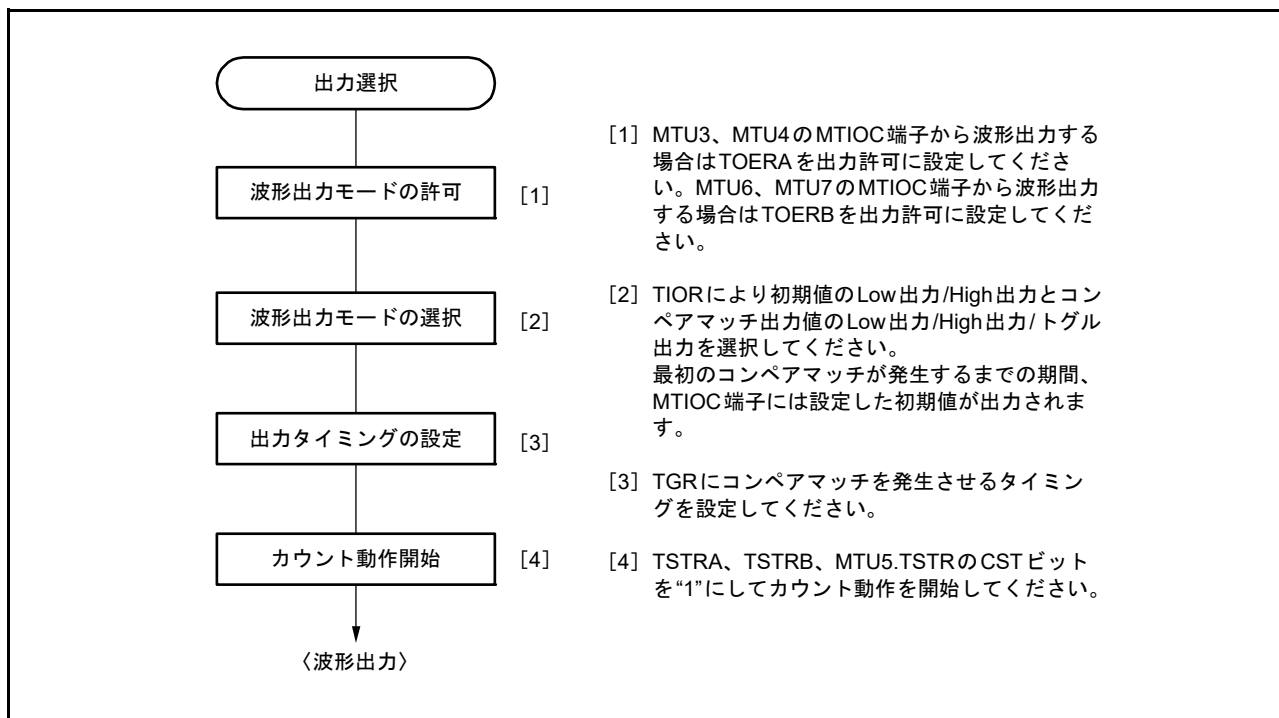


図 20.8 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

Low出力/High出力例を図20.9に示します。

TCNTをフリーランニングカウンタ動作とし、コンペアマッチAによりHigh出力、コンペアマッチBによりLow出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

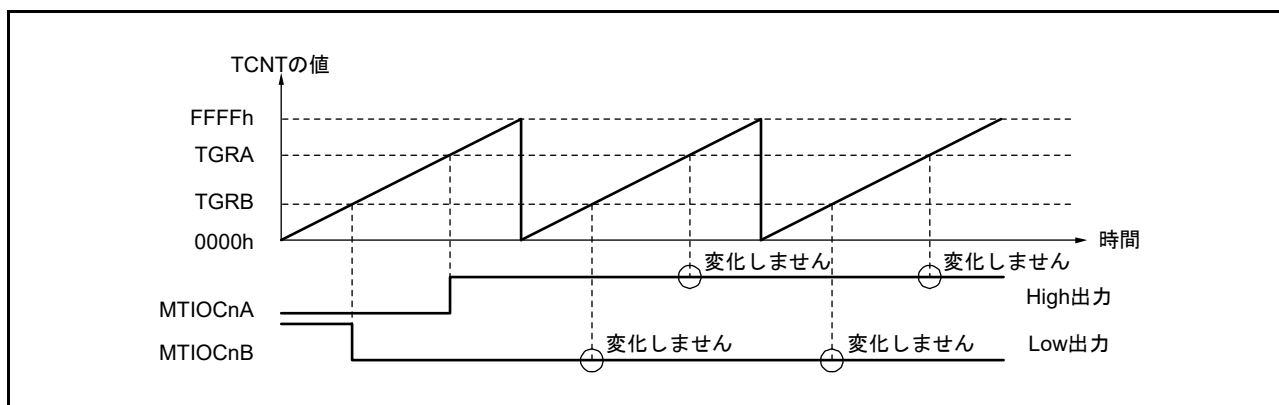


図 20.9 Low出力/High出力の動作例 (n = 0 ~ 4, 6, 7, 9)

トグル出力の例を図20.10に示します。

TCNTを周期カウンタ動作(コンペアマッチBによりカウンタクリア)に、コンペアマッチA、Bともトグル出力となるように設定した場合の例です。

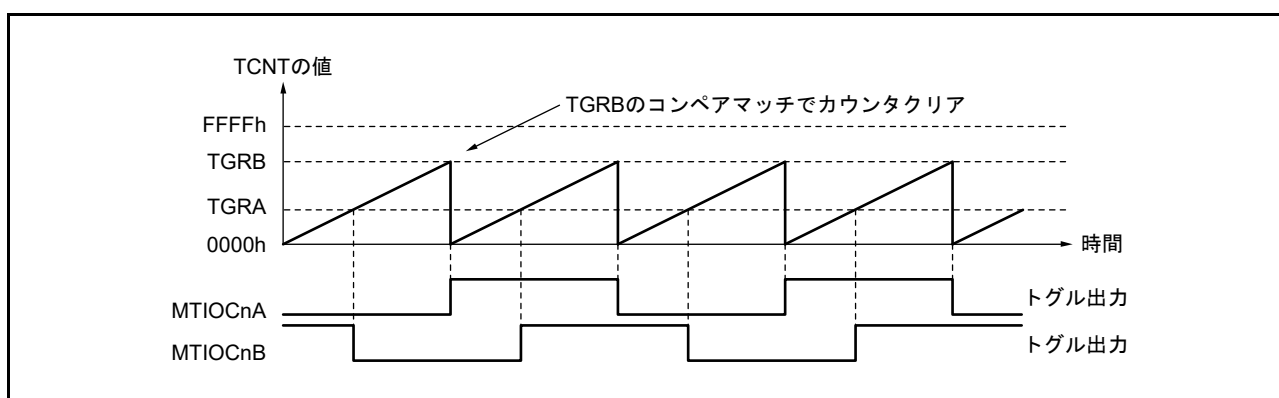


図 20.10 トグル出力の動作例 (n = 0 ~ 4, 6, 7, 9)

(3) インพุットキャプチャ機能

MTIOcnm 端子 (n=0~4, 6, 7, 9, m=A~D) の入力エッジを検出して TCNT の値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、MTU0、MTU1、MTU9 は別のチャンネルのカウントクロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

注. MTU0、MTU1、MTU9 で別のチャンネルのカウントクロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウントクロックに PCLKA/1 を選択しないでください。PCLKA/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 20.11 に示します。

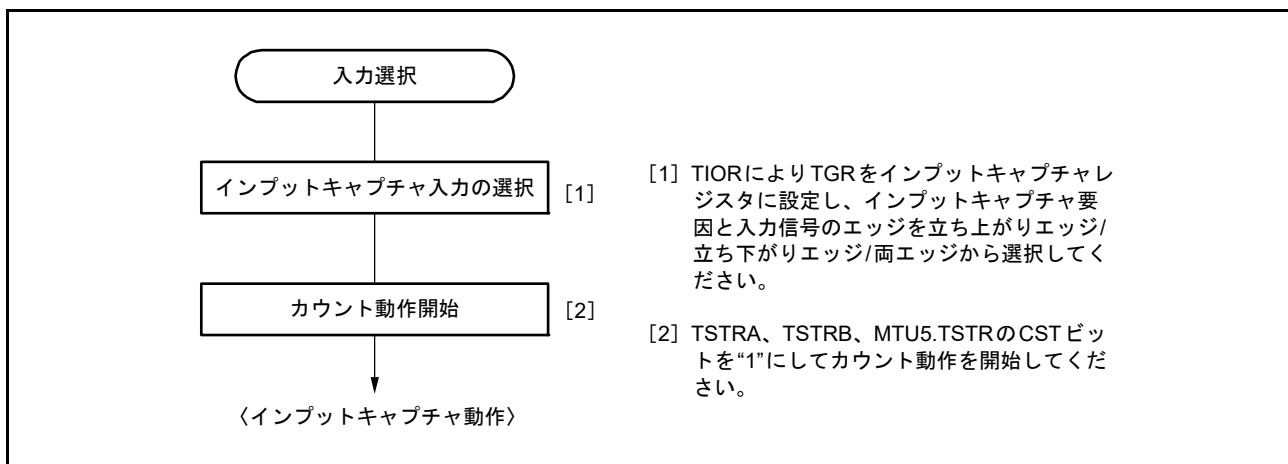


図 20.11 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 20.12 に示します。

MTIOCnA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、また MTIOCnB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です (n = 0 ~ 4, 6, 7, 9)。

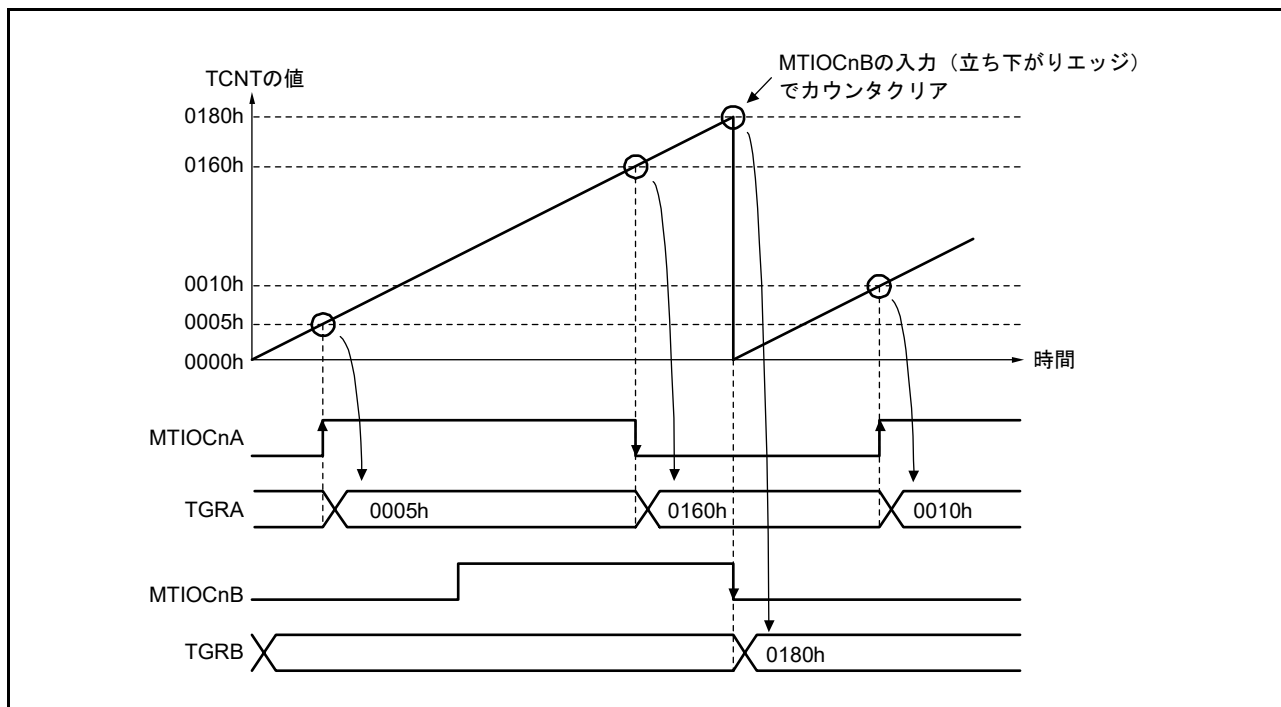


図 20.12 インพุットキャプチャ動作例 (n = 0 ~ 4, 6, 7, 9)

20.3.2 同期動作

同期動作を使って、複数の TCNT の値を同時に書き換えることができます (同期セット)。また、TCR レジスタの設定によって複数の TCNT を同時に“0”にすることができます (同期クリア)。

同期動作によって、1つのタイムベースに対して動作する TGR レジスタの本数を増加させることができます。

MTU0 ~ MTU4、MTU6、MTU7、MTU9 はすべて同期動作の設定が可能です。

MTU5 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 20.13 に示します。

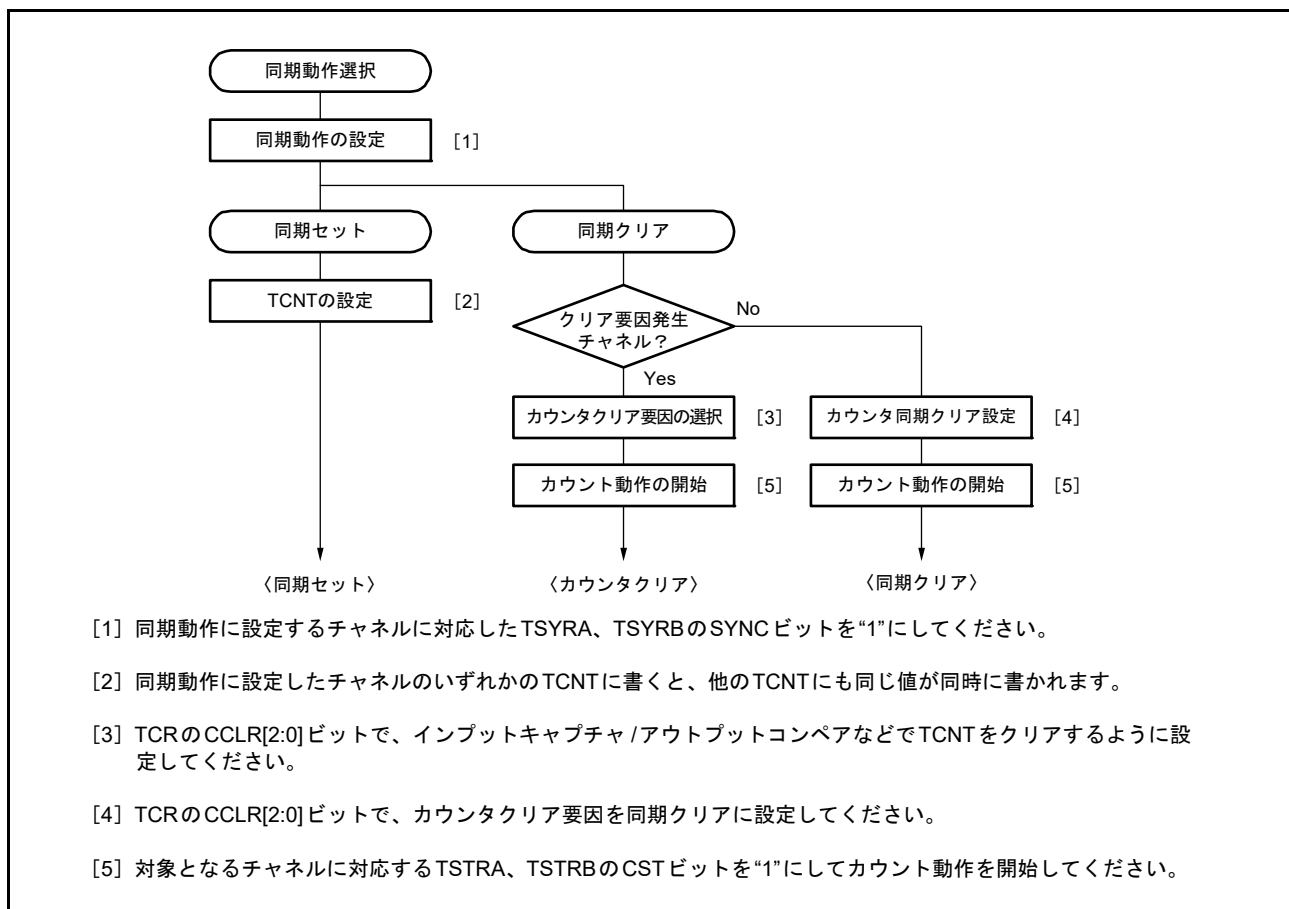


図 20.13 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 20.14 に示します。

MTU0 ~ MTU2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB のコンペアマッチ、また MTU1、MTU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ~ MTU2 の TCNT は同期セット、MTU0.TGRB のコンペアマッチによる同期クリアを行い、MTU0.TGRB に設定したデータが PWM 周期となります。

PWM モードについては、「20.3.5 PWM モード」を参照してください。

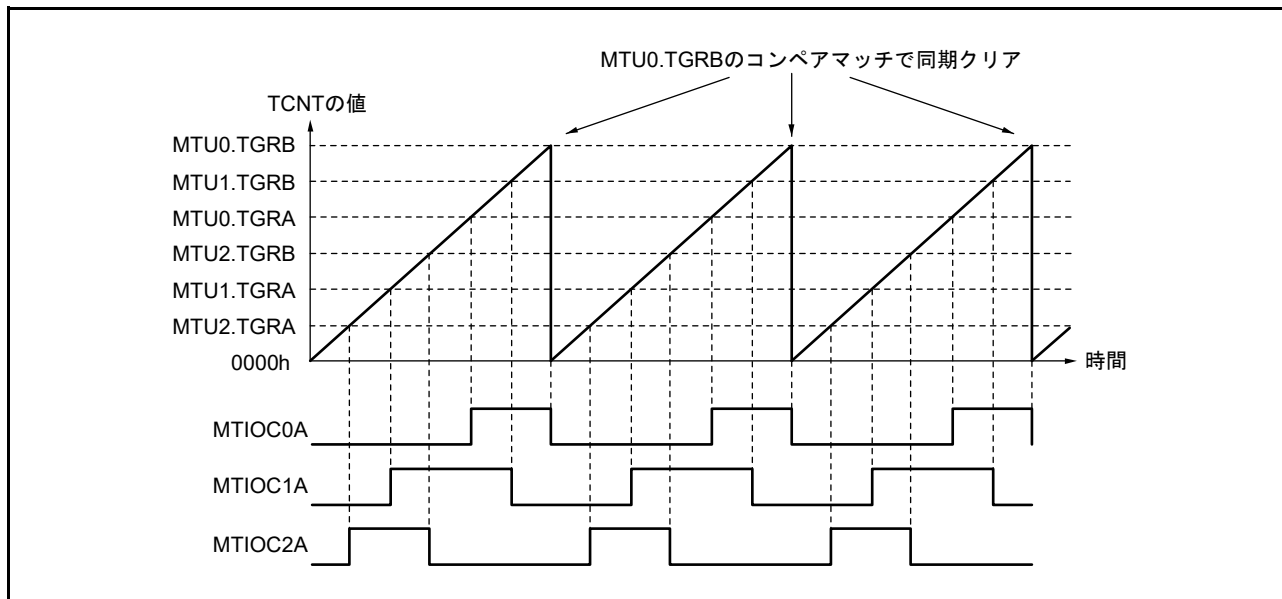


図 20.14 同期動作の動作例

20.3.3 バッファ動作

バッファ動作は、MTU0、MTU3、MTU4、MTU6、MTU7、MTU9 が持つ機能です。TGRC と TGRD レジスタをバッファレジスタとして使用することができます。また、MTU0、MTU9 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注． MTU0.TGRE、MTU9.TGRE はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 20.63 にバッファ動作時のレジスタの組み合わせを示します。

表 20.63 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD
MTU6	TGRA	TGRC
	TGRB	TGRD
MTU7	TGRA	TGRC
	TGRB	TGRD
MTU9	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF

- TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 20.15 に示します。

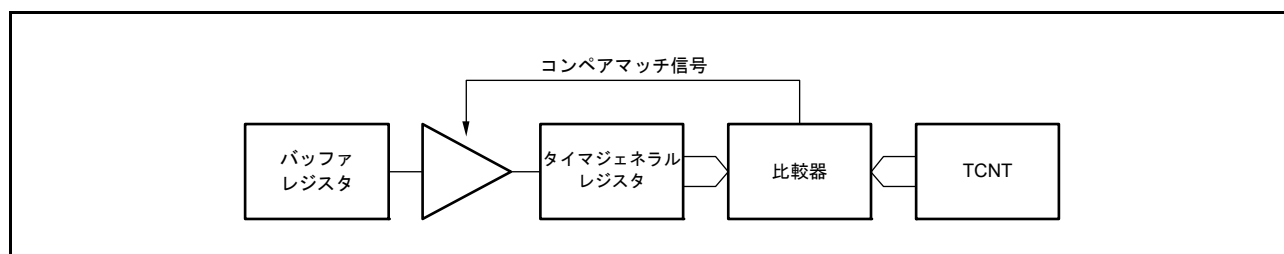


図 20.15 コンペアマッチバッファ動作

• TGR が入力キャプチャレジスタの場合

入力キャプチャが発生すると、TCNT の値を TGR レジスタに転送すると同時に、それまで格納されていた TGR レジスタの値をバッファレジスタに転送します。

この動作を図 20.16 に示します。

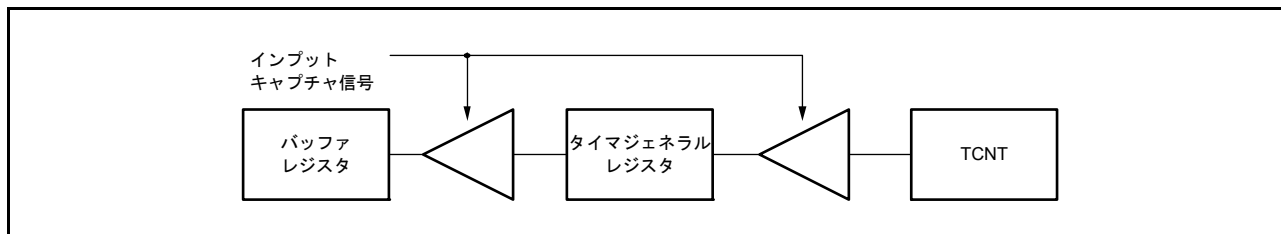


図 20.16 入力キャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 20.17 に示します。

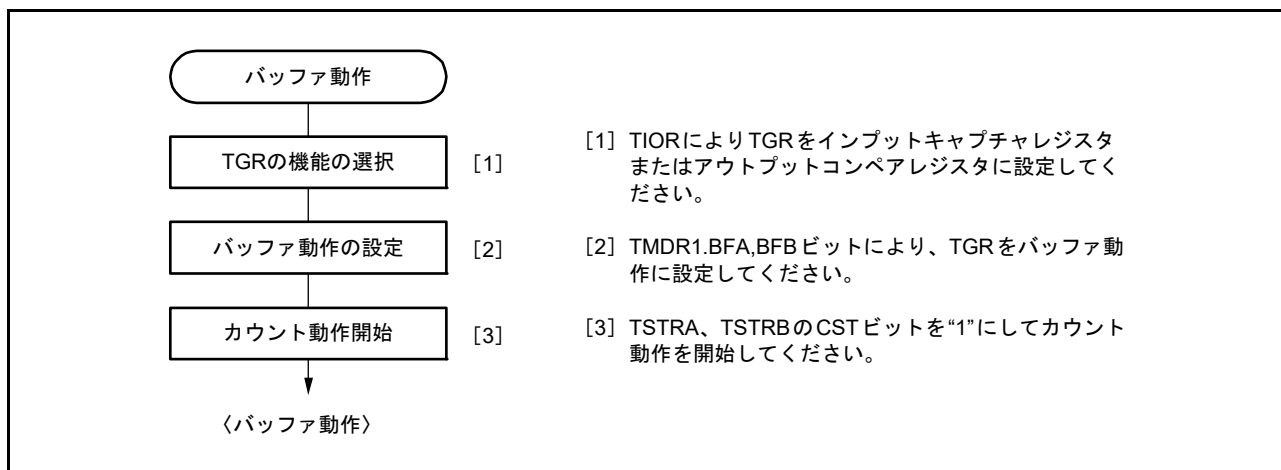


図 20.17 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGRがアウトプットコンペアレジスタの場合

MTU0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図20.18に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAでHigh出力、コンペアマッチBでLow出力に設定した例です。この例では、TBTM.TTSAビットは“0”にしています。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生する度に繰り返されます。

PWMモードについては、「20.3.5 PWMモード」を参照してください。

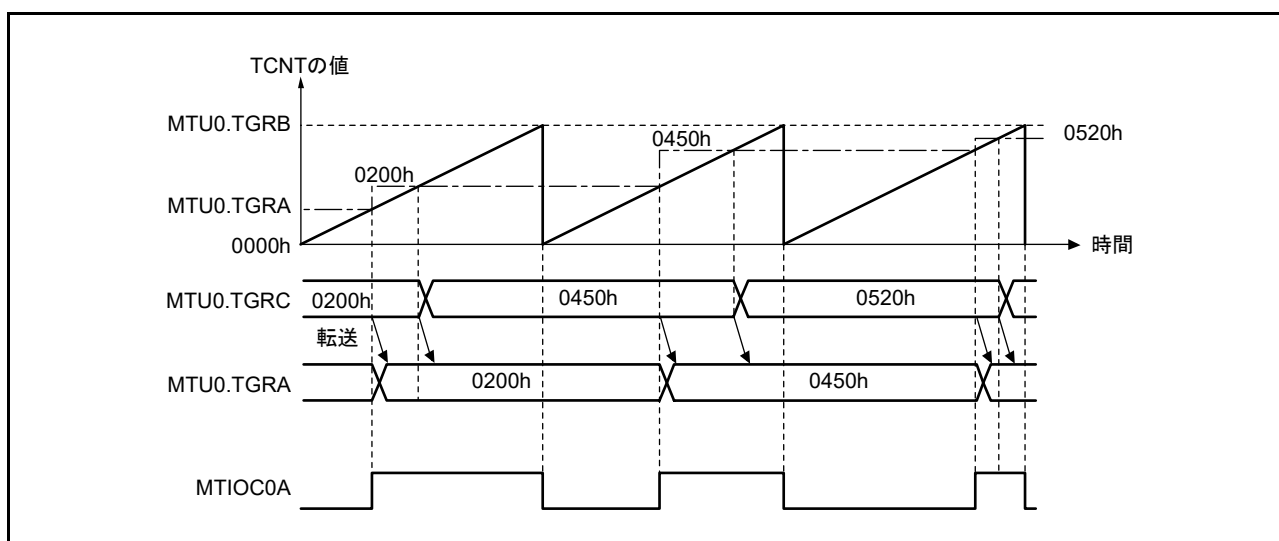


図 20.18 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 20.19 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、MTIOCnA 端子の入力キャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています (n = 0 ~ 4, 6, 7, 9)。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に転送されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

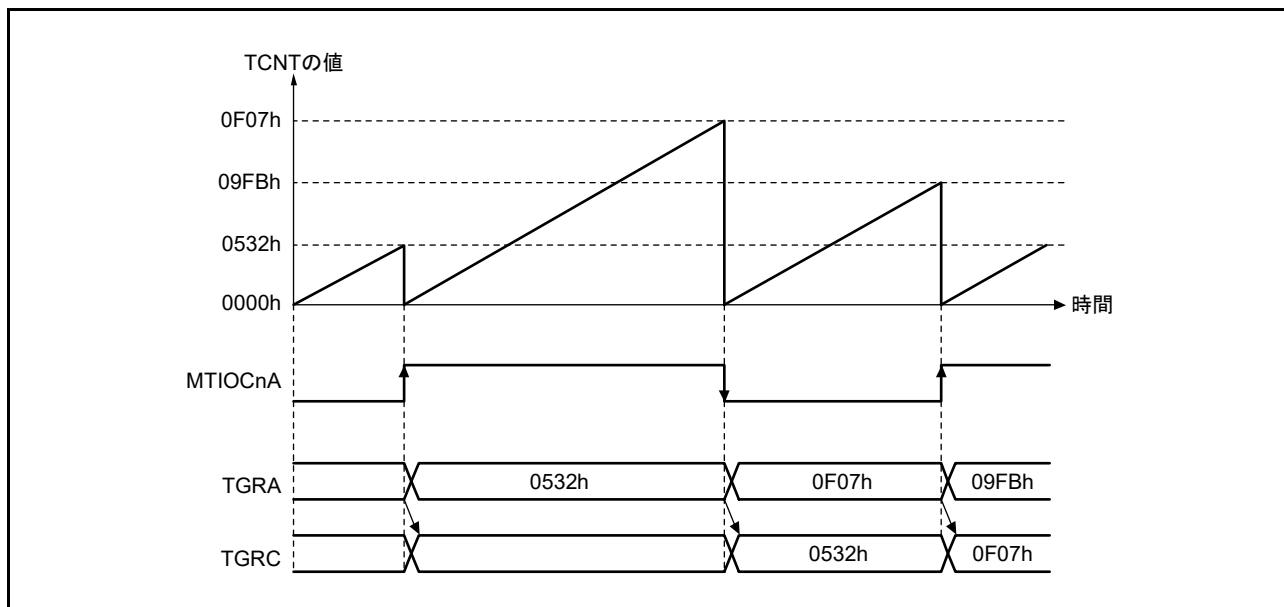


図 20.19 バッファ動作例 (2) (n = 0 ~ 4, 6, 7, 9)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (MTUn.TBTM) (n=0, 3, 4, 6, 7, 9) を設定することで、MTU0、MTU9ではPWMモード1、2時の、MTU3、MTU4、MTU6、MTU7ではPWMモード1時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時（リセット後の値）とTCNTクリア時のいずれか一方です。ここでTCNTのクリア時とは次の条件のいずれかが成立したときです。

- TCNTがオーバーフローしたとき (FFFFh → 0000h)
- カウンタ動作中、TCNTに“0000h”が書かれたとき
- TCR.CCLR[2:0]ビットで設定したクリア要因で、TCNTが“0000h”になったとき

注. TBTMレジスタの設定はTCNTが停止した状態で行ってください。

MTU0をPWMモード1に設定し、MTU0.TGRAとMTU0.TGRCをバッファ動作に設定した場合の動作例を図20.20に示します。MTU0.TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAでHigh出力、コンペアマッチBでLow出力、MTU0.TBTM.TTSAビットは“1”にしています。

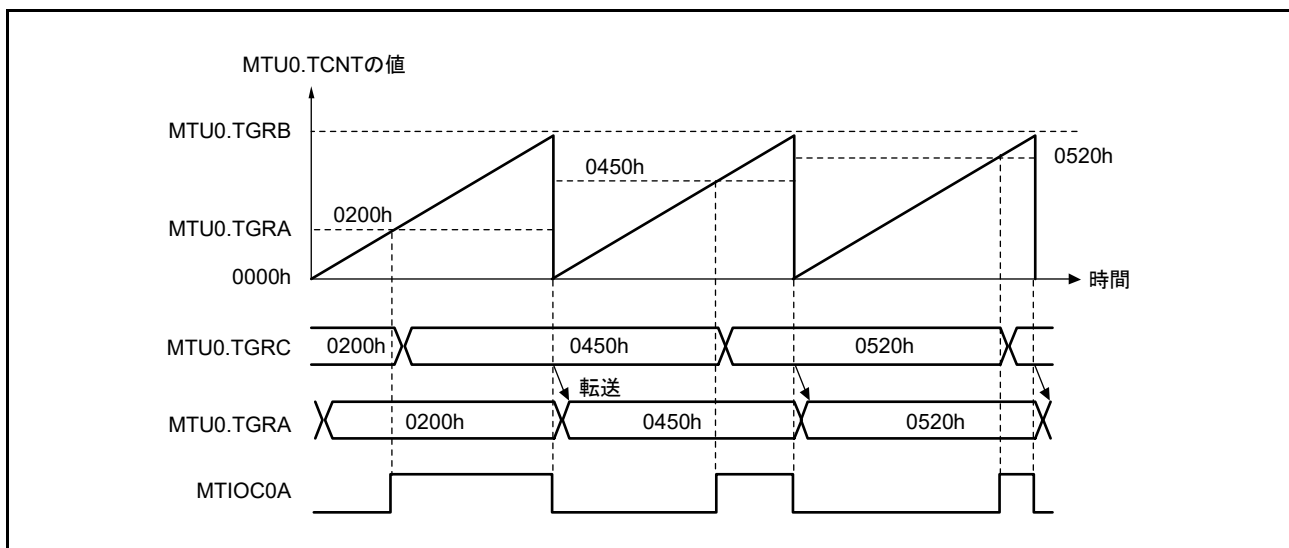


図 20.20 MTU0.TGRC から MTU0.TGRA のバッファ転送タイミングを MTU0.TCNT クリア時に選択した場合の動作例

20.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

MTU1とMTU2を接続して32ビットカウンタとして使用する機能には、MTU1.TMDR3.LWAビットを“0”のときに設定するカスケード接続と、MTU1.TMDR3.LWAビットを“1”に設定するカスケード接続32ビット位相計数モードがあります。カスケード接続32ビット位相計数モードについては「20.3.6.2 カスケード接続32ビット位相計数モード」を参照してください。本章では、MTU1.TMDR3.LWAビットを“0”のときに設定するカスケード接続機能について説明します。

この機能は、MTU1.TMDR3.LWAビットを“0”に設定し、MTU1.TCR.TPSC[2:0]ビットでMTU1.TCNTをMTU2.TCNTのオーバフロー/アンダフローによりカウントするように設定することで動作します。なお、アンダフローが発生するのは、下位16ビットが割り当てられたMTU2が位相計数モードのときのみです。

表 20.64 にカスケード接続の組み合わせを示します。

注． MTU1を位相計数モードに設定した場合は、カウントクロックの設定は無効となり、独立して位相計数モードで動作します。

表 20.64 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
MTU1とMTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNTとMTU2.TCNTの同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和を取った信号に対して行われます。したがって、いずれか一方がHighのとき、もう一方が変化してもエッジ検出は行われません。詳細は「(4) カスケード接続動作例(c)」を参照してください。カスケード接続時のインプットキャプチャについては「20.6.21 カスケード接続におけるMTU1.TCNT、MTU2.TCNT同時インプットキャプチャ」を参照してください。

TICCRレジスタの設定値とインプットキャプチャ入力端子の対応を表 20.65 に示します。

表 20.65 TICCRレジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR設定値	インプットキャプチャ入力端子
MTU1.TCNTからMTU1.TGRAへのインプットキャプチャ	I2AEビット = 0 (初期値)	MTIOC1A
	I2AEビット = 1	MTIOC1A、MTIOC2A
MTU1.TCNTからMTU1.TGRBへのインプットキャプチャ	I2BEビット = 0 (初期値)	MTIOC1B
	I2BEビット = 1	MTIOC1B、MTIOC2B
MTU2.TCNTからMTU2.TGRAへのインプットキャプチャ	I1AEビット = 0 (初期値)	MTIOC2A
	I1AEビット = 1	MTIOC2A、MTIOC1A
MTU2.TCNTからMTU2.TGRBへのインプットキャプチャ	I1BEビット = 0 (初期値)	MTIOC2B
	I1BEビット = 1	MTIOC2B、MTIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 20.21 に示します。

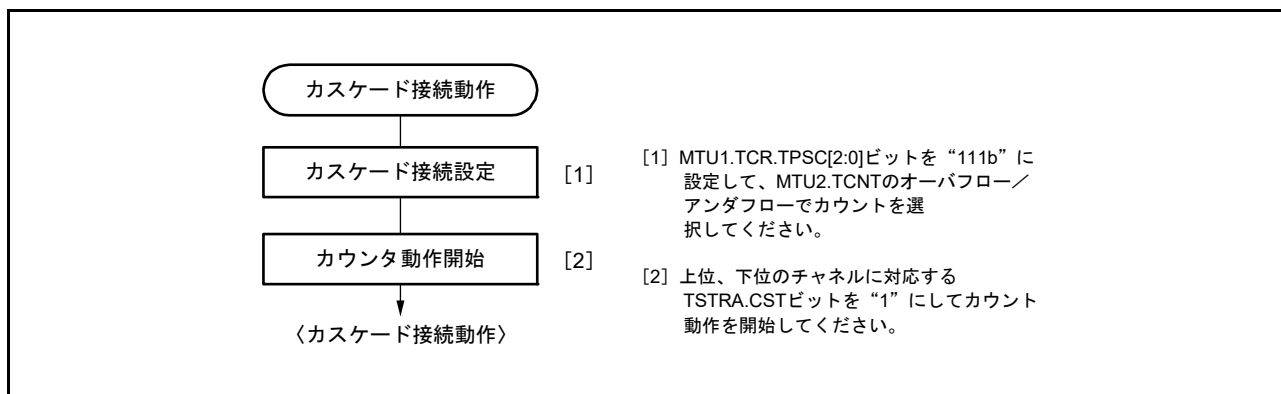


図 20.21 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、MTU1.TCNT は MTU2.TCNT のオーバフロー/アンダフローでカウント、MTU2 を位相計数モード 1 に設定したときの動作を図 20.22 に示します。

MTU1.TCNT は MTU2.TCNT のオーバフローでアップカウント、MTU2.TCNT のアンダフローでダウンカウントされます。

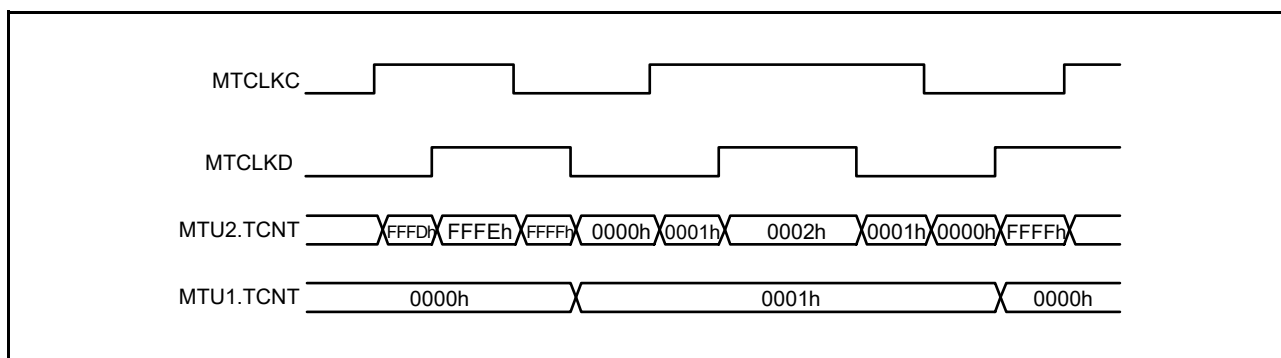


図 20.22 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加した場合の動作を図 20.23 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、(MTIOC1A の) 立ち上がりエッジで入力キャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、(MTIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA の入力キャプチャ条件に設定されます。また、MTU2.TGRA の入力キャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

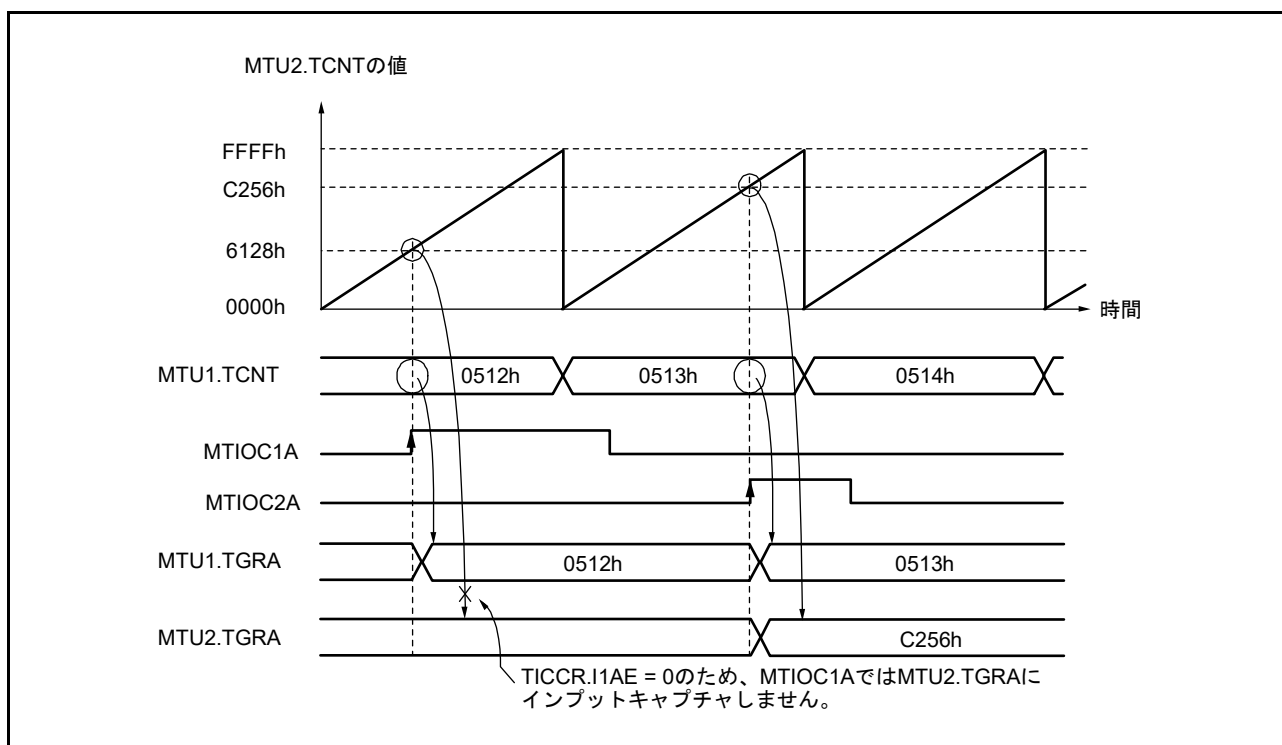


図 20.23 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE,I1AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加し、MTIOC1A 端子を MTU2.TGRA の入力キャプチャ条件に追加した場合の動作を図 20.24 に示します。この例では MTU1.TIOR、MTU2.TIOR の IOA[3:0] ビットの設定は、どちらも両エッジで入力キャプチャに設定しています。この場合、MTIOC1A と MTIOC2A 入力の OR が MTU1.TGRA および MTU2.TGRA の入力キャプチャ条件となります。

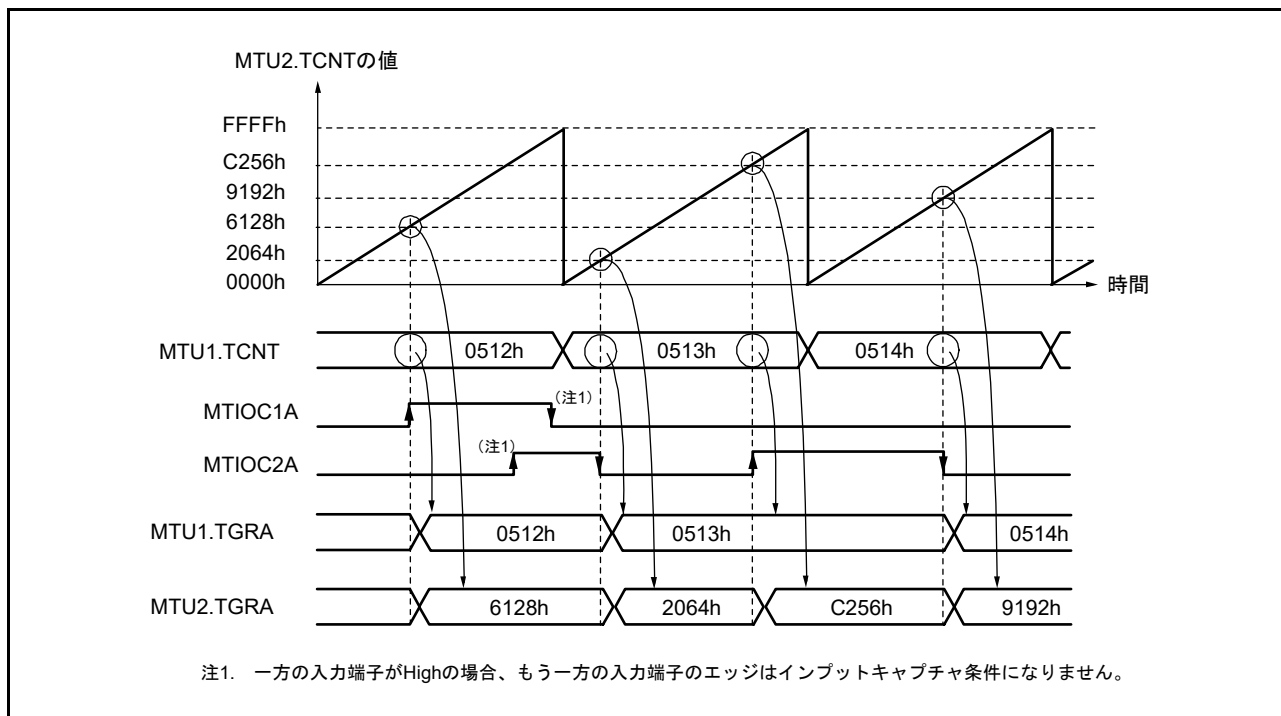


図 20.24 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加した場合の動作を図 20.25 に示します。この例では MTU1.TIOR の IOA[3:0] ビットの設定は、MTU0.TGRA のコンペアマッチ/入力キャプチャの発生で入力キャプチャに設定しています。また、MTU2.TIOR の IOA[3:0] ビットの設定は、(MTIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA のコンペアマッチ/入力キャプチャの発生で入力キャプチャのため、TICCR.I2AE ビットを“1”にしても MTIOC2A のエッジが MTU1.TGRA の入力キャプチャ条件になることはありません。

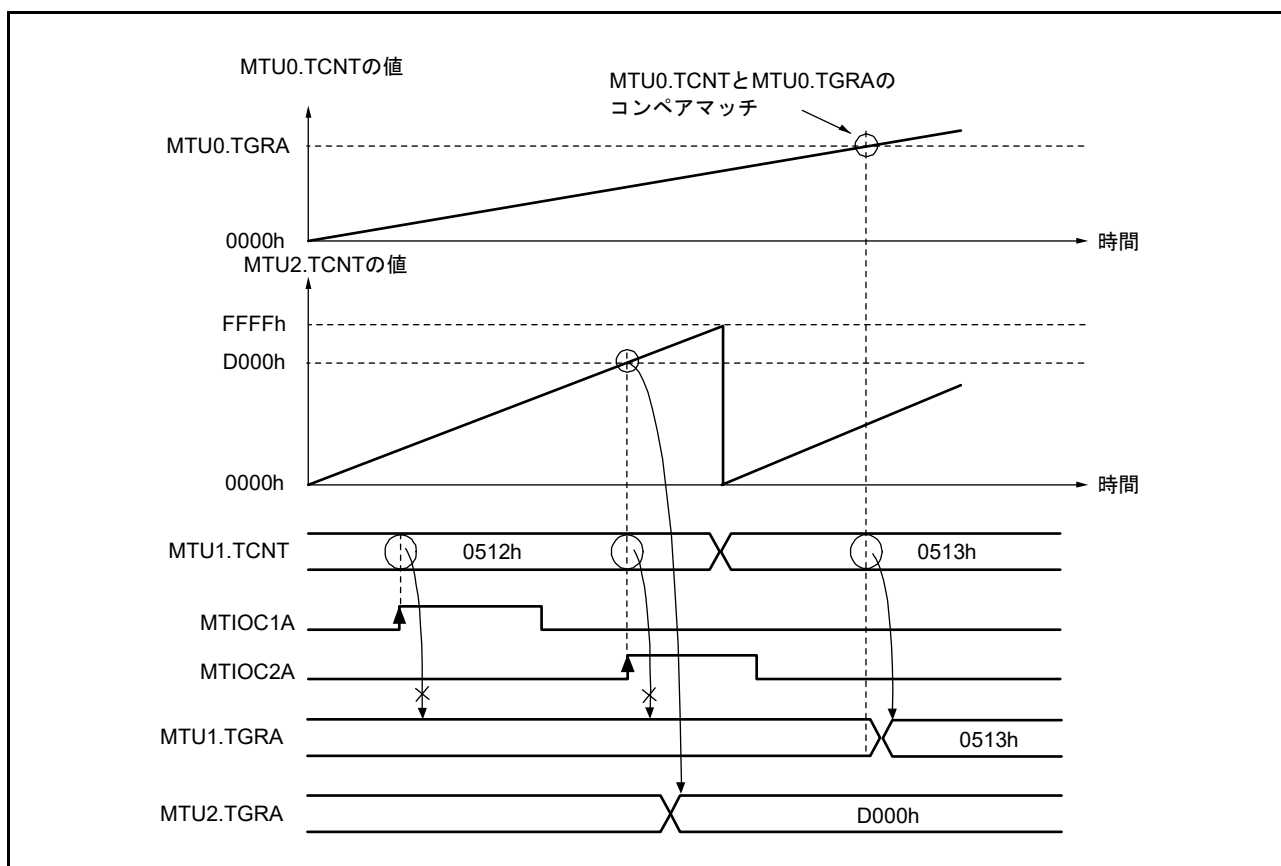


図 20.25 カスケード接続動作例 (d)

20.3.5 PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TGR レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGR レジスタの設定により、デューティ 0% ~ 100% の PWM 波形が出力できます。

TGR レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。MTU5 を除くすべてのチャンネルは、個々に PWM モードに設定できます。PWM モードに設定したチャンネルの同期動作、および PWM モードに設定したチャンネルと他のモードに設定したチャンネルとの同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

(a) PWM モード 1

TGRA レジスタと TGRB レジスタ、TGRC レジスタと TGRD レジスタをペアで使用して、MTIOChA 端子、MTIOChC 端子から PWM 波形を出力します。MTIOChA 端子、MTIOChC 端子からコンペアマッチ A、C によって TIOR.IOA[3:0]、TIOR.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR.IOB[3:0]、TIOR.IOD[3:0] ビットで指定した出力を行います (n=0 ~ 4, 6, 7, 9)。初期出力値は TGRA、TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 14 相の PWM 波形出力が可能です。

(b) PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他の TGR レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、PWM モード 2 を設定できないチャンネルの同期クリアを同期動作として併用することにより最大 12 相の PWM 波形の出力が可能です。

PWM の出力端子とレジスタの対応を表 20.66 に示します。

表 20.66 各PWM出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
MTU0	TGRA	MTIOC0A	MTIOC0A
	TGRB		MTIOC0B
	TGRC	MTIOC0C	MTIOC0C
	TGRD		MTIOC0D
MTU1	TGRA	MTIOC1A	MTIOC1A
	TGRB		MTIOC1B
MTU2	TGRA	MTIOC2A	MTIOC2A
	TGRB		MTIOC2B
MTU3	TGRA	MTIOC3A	設定できません
	TGRB		
	TGRC	MTIOC3C	
	TGRD		
MTU4	TGRA	MTIOC4A	
	TGRB		
	TGRC	MTIOC4C	
	TGRD		
MTU6	TGRA	MTIOC6A	
	TGRB		
	TGRC	MTIOC6C	
	TGRD		
MTU7	TGRA	MTIOC7A	
	TGRB		
	TGRC	MTIOC7C	
	TGRD		
MTU9	TGRA	MTIOC9A	MTIOC9A
	TGRB		MTIOC9B
	TGRC	MTIOC9C	MTIOC9C
	TGRD		MTIOC9D

注. PWMモード2のとき、周期を設定したTGRのPWM波形は出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 20.26 に示します。

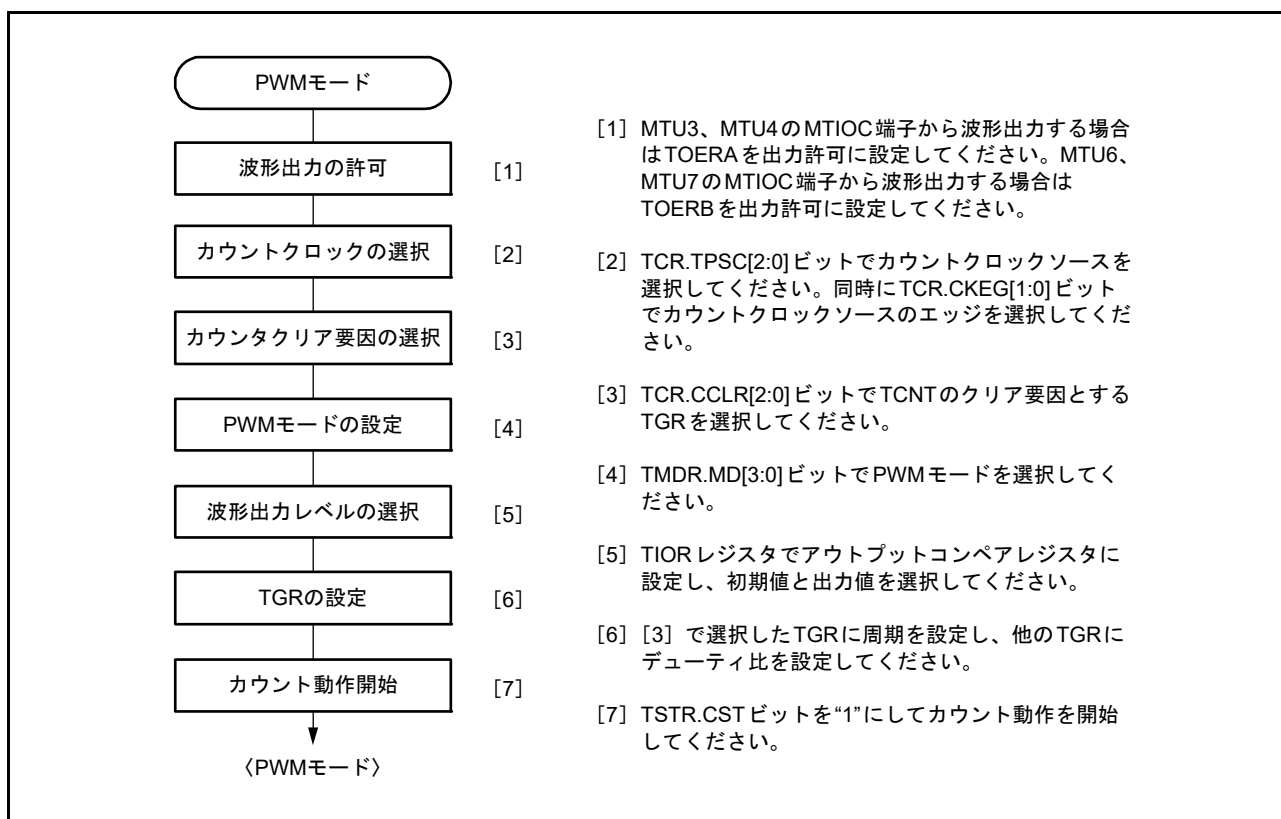


図 20.26 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図 20.27 に示します。

この図は、TCNTのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値を“0”、TGRBレジスタの出力値を“1”にした場合の例です。

この場合、TGRAレジスタに設定した値が周期となり、TGRBレジスタに設定した値がデューティ比になります。

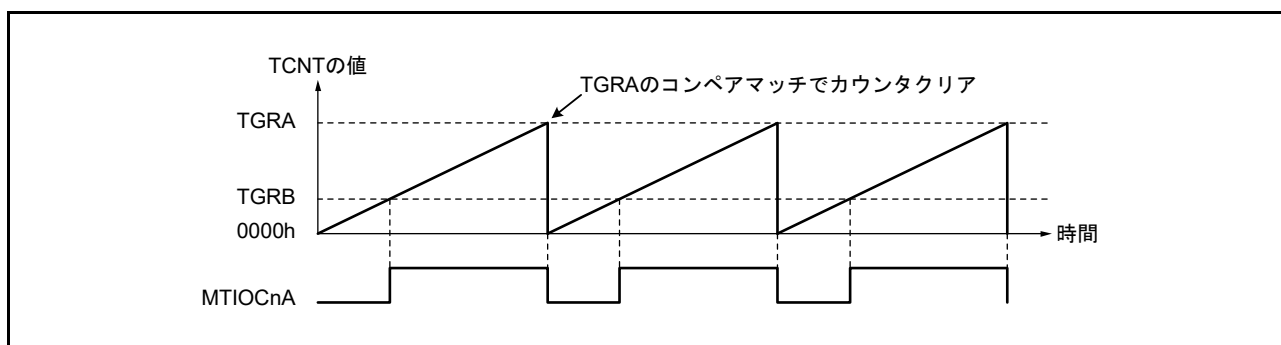


図 20.27 PWM モード1の動作例 (n = 0 ~ 4, 6, 7, 9)

PWM モード2の動作例を図 20.28 に示します。

この図は、MTU0 と MTU1 を同期動作させ、TCNT のクリア要因を MTU1.TGRB レジスタのコンペアマッチとし、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) の初期出力値を Low、出力値を High にして5相のPWM波形を出力させた場合の例です。

この場合、MTU1.TGRB に設定した値が周期となり、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) に設定した値がデューティ比になります。

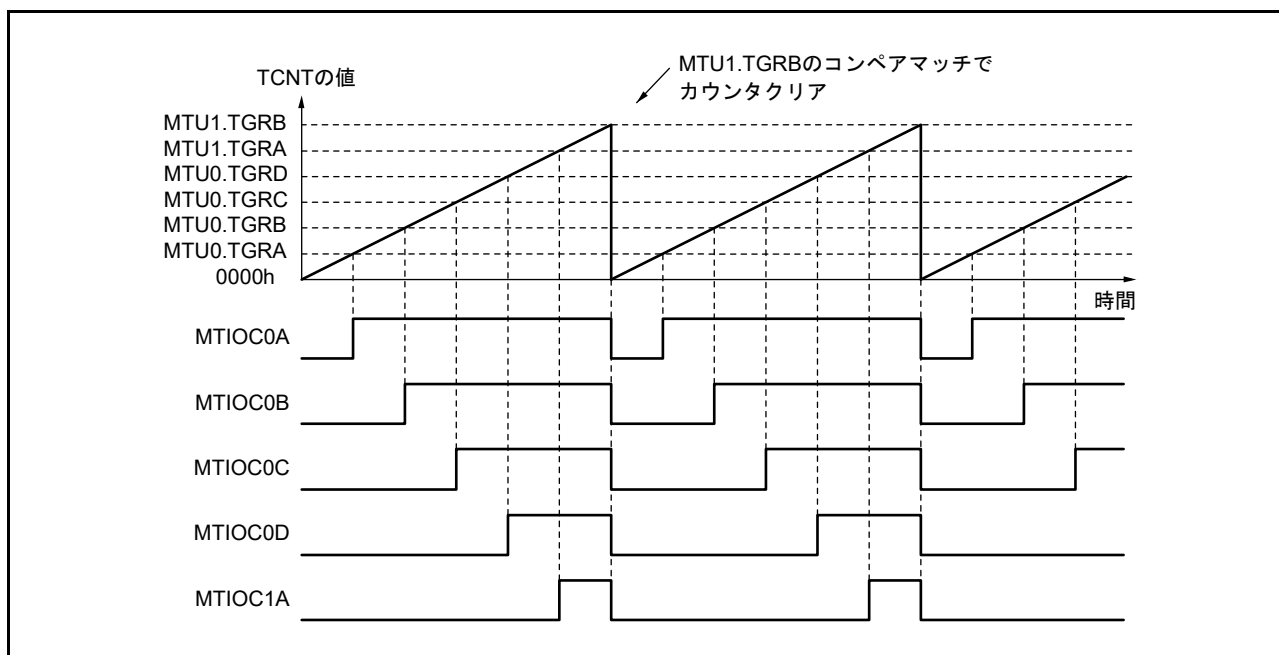


図 20.28 PWM モード2の動作例

PWM モード1で、デューティ比0%、デューティ比100%のPWM波形を出力する例を図20.29に示します。この図は、TCNTカウンタのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値をLow、TGRBレジスタの出力値をHighに設定した場合の例です。

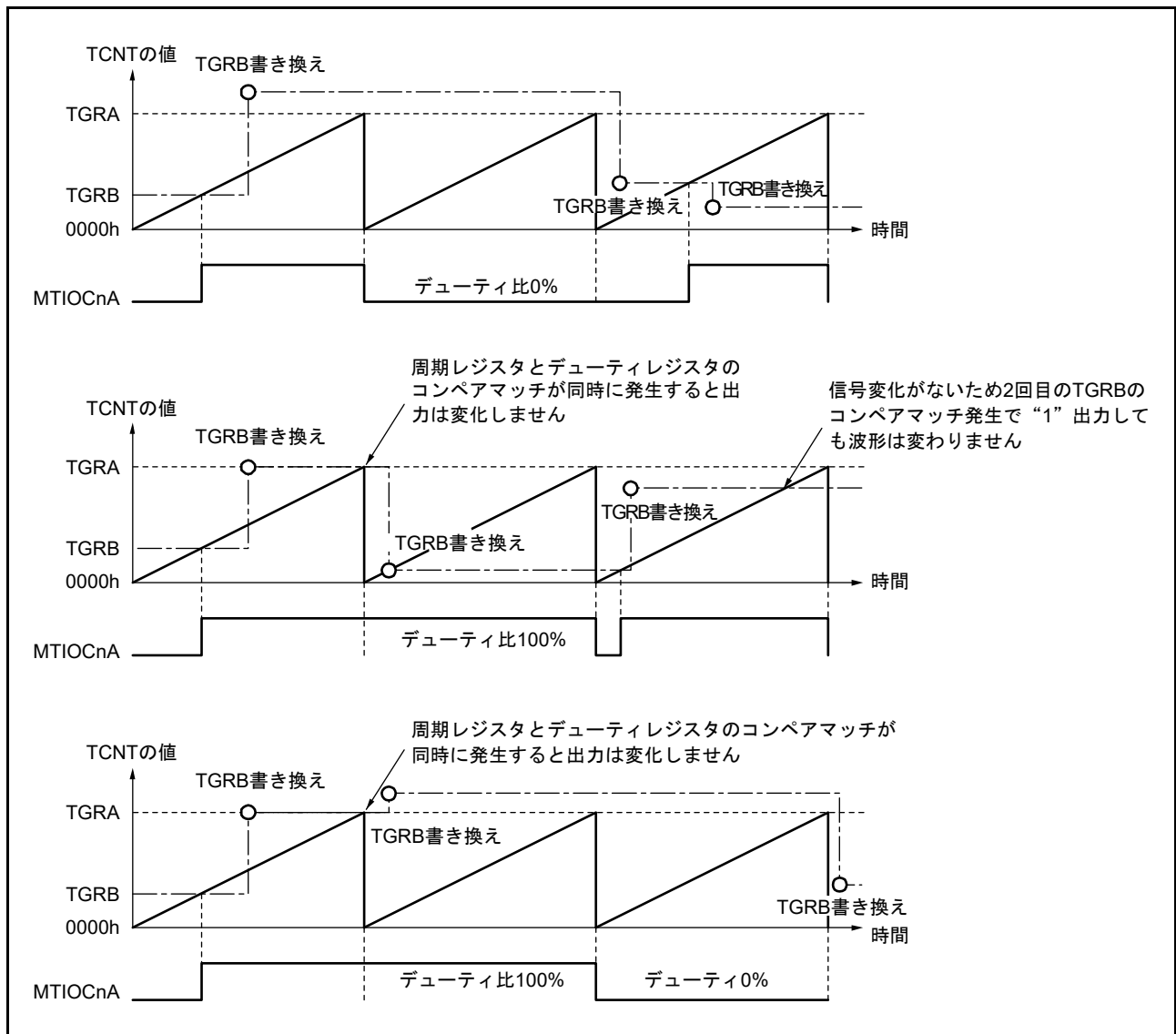


図 20.29 PWM モード動作例 (デューティ 0%、デューティ 100% の PWM 波形を出力する例)
(n = 0 ~ 4, 6, 7, 9)

20.3.6 位相計数モード

位相計数モードには MTU1 と MTU2 がそれぞれ独立に動作する 16 ビット位相計数モードと MTU1, MTU2 をカスケード接続したカスケード接続 32 ビット位相計数モードがあります。

位相計数モードでは 2 つの外部クロック入力の位相差を検出して、対応する TCNT をアップカウント / ダウンカウントします。

各位相計数モードでの 2 つの外部クロック入力端子は、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0] の設定にかかわらず、MTU2 の 16 ビット位相計数モードとカスケード接続 32 ビット位相計数モードの 2 つの外部クロック入力、MTU1.TMDR3.PHCKSEL で選択を行うことができます。MTU2 の 16 ビット位相計数モードとカスケード接続 32 ビット位相計数モード以外の位相計数モードでは、A 相 / B 相に MTCLKA/MTCLKB が選択されます。位相計数モードでは、外部クロック端子 MTCLKA、MTCLKB、MTCLKC、MTCLKD を 2 相エンコーダパルスの入力として使用できます。

それぞれの位相計数モードで接続される外部クロック入力端子を表 20.67 に示します。

表 20.67 位相計数モードクロック入力端子

位相計数モード	TMDR3.PHCKSEL ビット	外部クロック端子	
		A相	B相
MTU1 16ビット位相計数モード	x (Don't care)	MTCLKA	MTCLKB
MTU2 16ビット位相計数モード	0	MTCLKA	MTCLKB
	1 (初期値)	MTCLKC	MTCLKD
カスケード接続32ビット位相計数モード	0	MTCLKA	MTCLKB
	1 (初期値)	MTCLKC	MTCLKD

20.3.6.1 16 ビット位相計数モード

MTU1.TMDR3.LWA = 0 のとき、MTU1 と MTU2 には各々独立して 16 ビット位相計数モードが設定できます。

16 ビット位相計数モードでは、2 本の外部クロック入力の位相差を検出して対応するチャンネルの 16 ビットカウンタ TCNT をアップカウント / ダウンカウントします。

16 ビット位相計数モードに設定すると、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0] の設定にかかわらずカウンタクロックは外部クロックが選択され、TCNT はアップカウンタ / ダウンカウンタとして動作します。なお、TCR.CCLR[1:0]、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ / コンペアマッチ機能や割り込み機能が使用できます。

これら外部クロック端子は、2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウントしているときにオーバフローが発生すると、対応する TIER.TCIEV ビットが“1”であれば、TCIV 割り込みが発生します。

また、ダウンカウントしているときにアンダフローが発生すると、対応する TIER.TCIEU ビットが“1”であれば、TCIU 割り込みが発生します。

TSR.TCFD フラグはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

(1) 16ビット位相計数モードの設定手順例

位相計数モードの設定手順例を図 20.30 に示します。

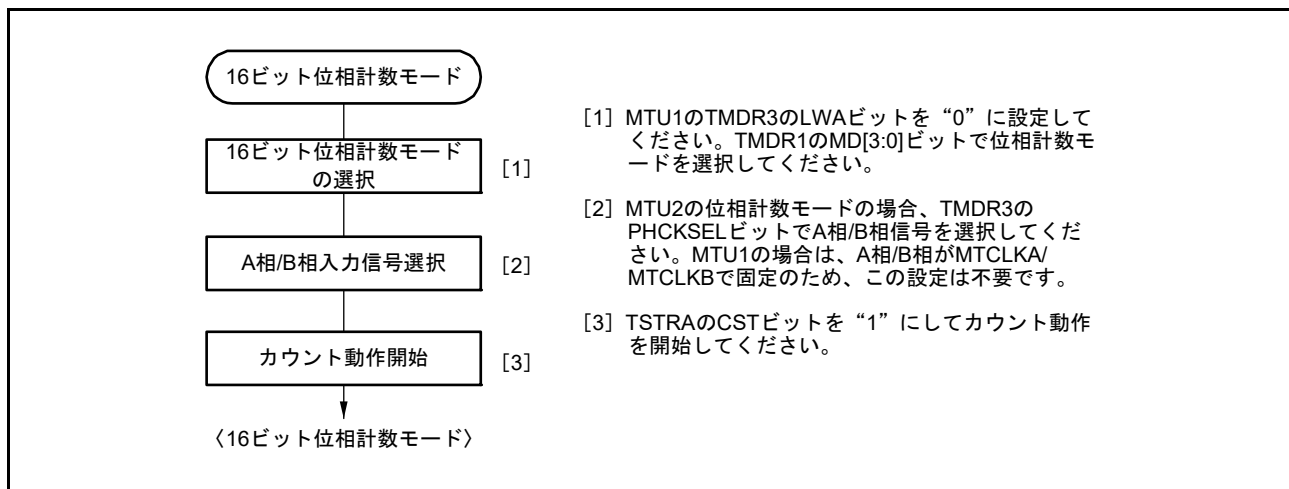


図 20.30 16ビット位相計数モードの設定手順例

(2) 16ビット位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップカウント/ダウンカウントします。なお、カウント条件により5つのモードがあり、各モードはPHCKSEL=1の条件で、つまりMTU1の位相クロックはMTCLKA, MTCLKBから入力、MTU2の位相クロックはMTCLKC, MTCLKDから入力として説明します。

(a) 位相計数モード1

位相計数モード1の動作例を図20.31に、TCNTのアップカウント/ダウンカウント条件を表20.68に示します。

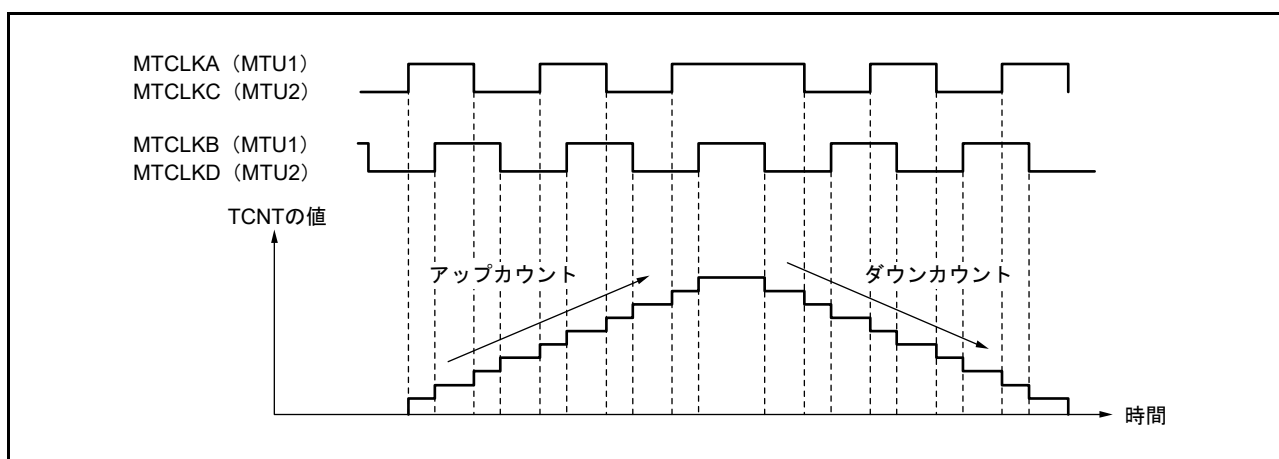


図 20.31 位相計数モード1の動作例

表 20.68 位相計数モード1のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図20.32～図20.34に、TCNTのアップカウント/ダウンカウント条件を表20.69に示します。

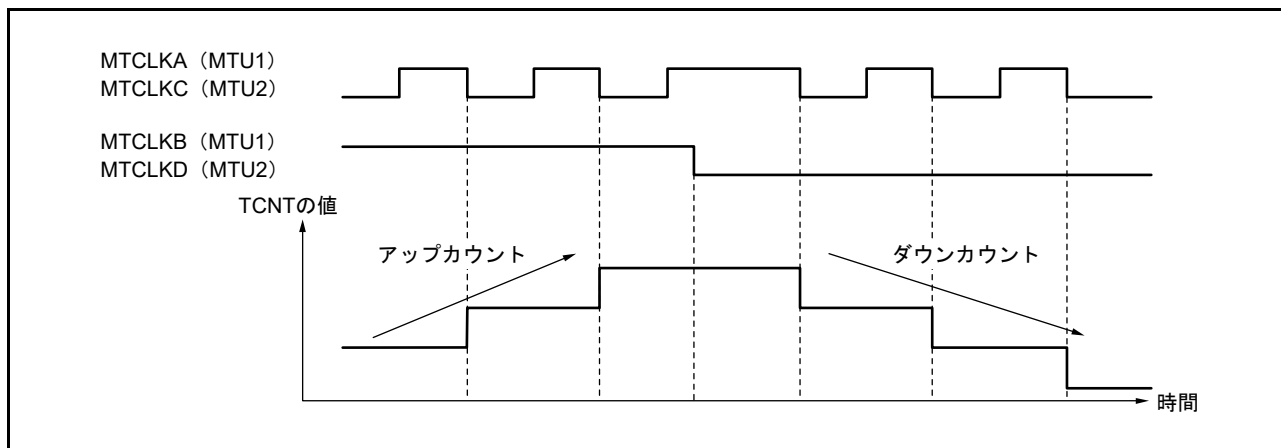


図 20.32 位相計数モード2の動作例 (MTUn.TCR2.PCB[1:0] = 00b のとき (n = 1, 2))

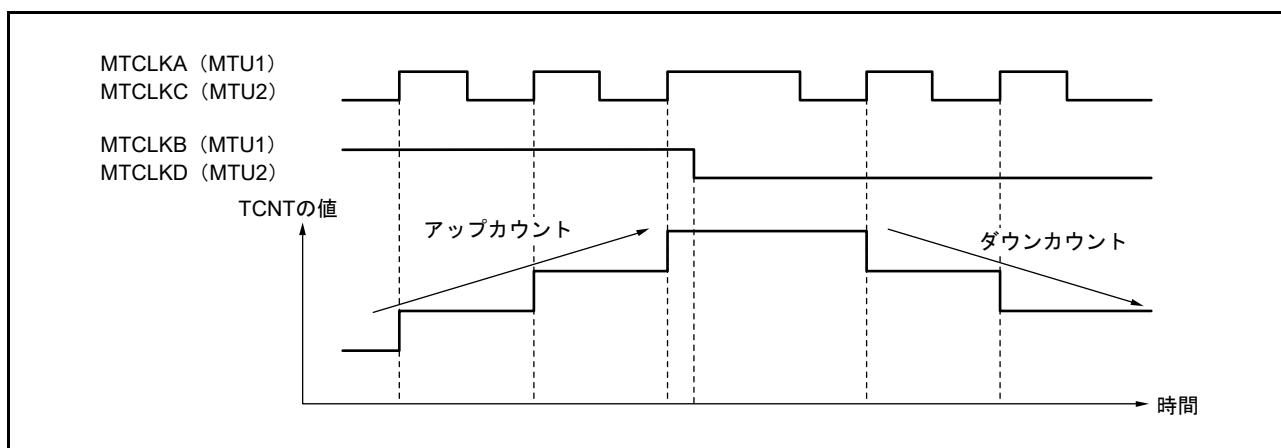


図 20.33 位相計数モード2の動作例 (MTUn.TCR2.PCB[1:0] = 01b のとき (n = 1, 2))

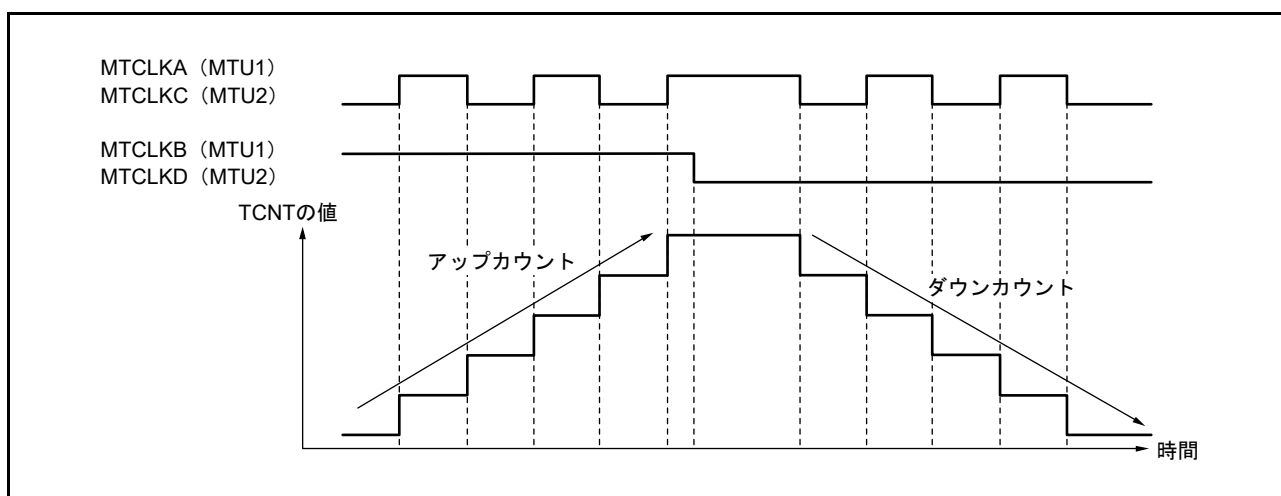




























図 20.34 位相計数モード2の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表 20.69 位相計数モード2のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
00	High		カウントしない (Don't care)
	Low		
		Low	アップカウント
		High	
	High		カウントしない (Don't care)
	Low		
		High	ダウンカウント
		Low	
01	High		カウントしない (Don't care)
	Low		
		Low	ダウンカウント
		High	カウントしない (Don't care)
	High		
	Low		アップカウント
		High	
		Low	カウントしない (Don't care)
1x	High		カウントしない (Don't care)
	Low		
		Low	ダウンカウント
		High	アップカウント
	High		カウントしない (Don't care)
	Low		
		High	アップカウント
		Low	ダウンカウント

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図20.35～図20.37に、TCNTのアップカウント/ダウンカウント条件を表20.70に示します。

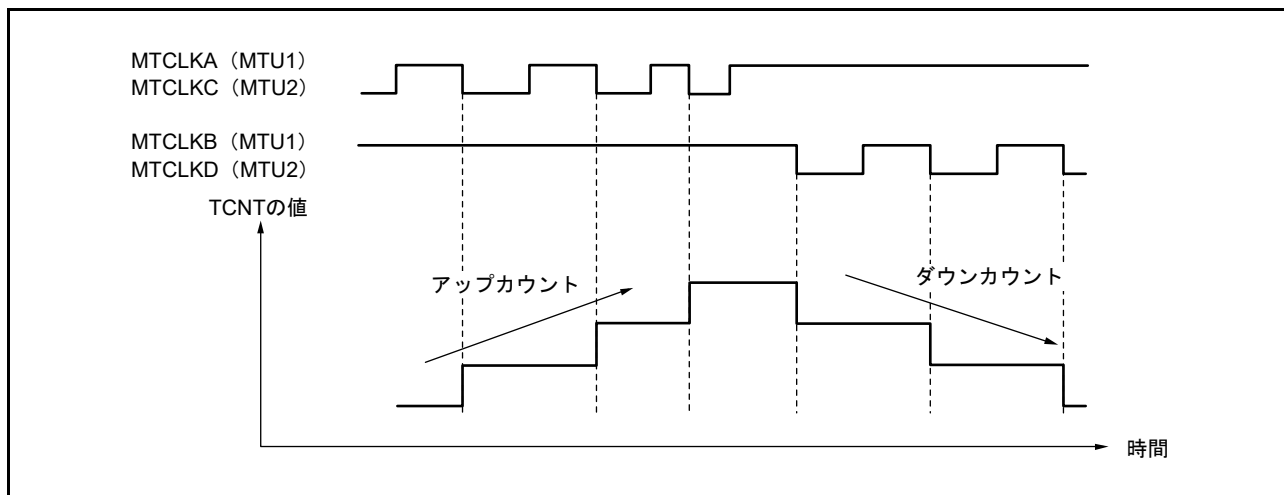


図 20.35 位相計数モード3の動作例 (MTUn.TCR2.PCB[1:0] = 00b のとき (n = 1, 2))

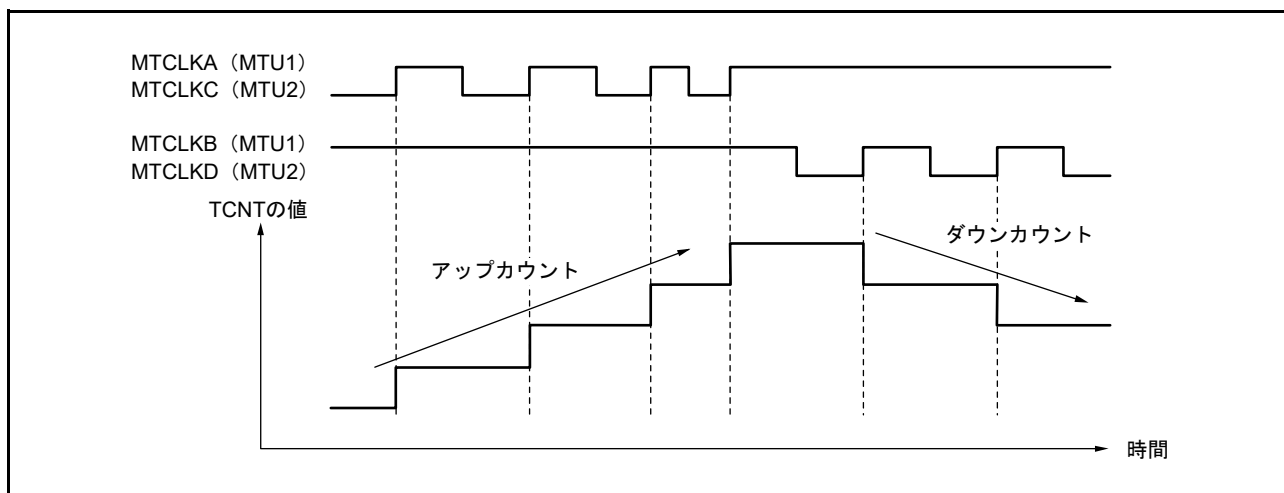


図 20.36 位相計数モード3の動作例 (MTUn.TCR2.PCB[1:0] = 01b のとき (n = 1, 2))

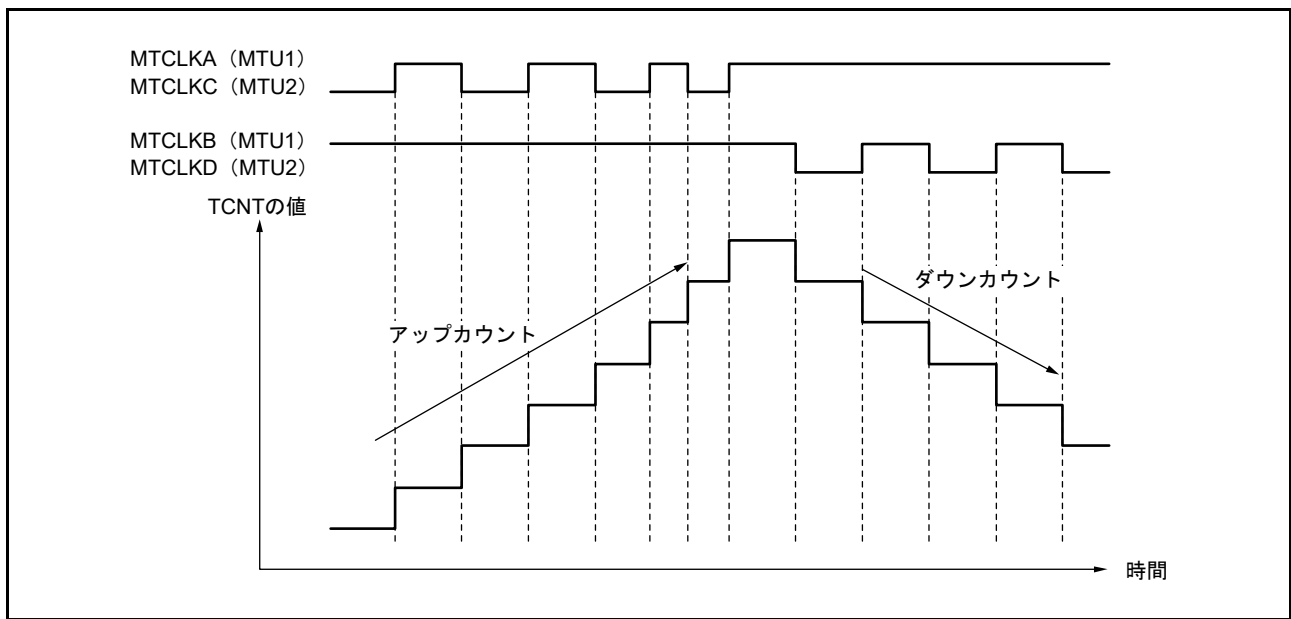

























図 20.37 位相計数モード3の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表 20.70 位相計数モード3のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
00	High		カウントしない (Don't care)
	Low		
		Low	アップカウント
		High	
	High		ダウンカウント
	Low		カウントしない (Don't care)
		High	
		Low	
01	High		ダウンカウント
	Low		カウントしない (Don't care)
		Low	
		High	
	High		
	Low		
		High	アップカウント
		Low	カウントしない (Don't care)
1x	High		ダウンカウント
	Low		カウントしない (Don't care)
		Low	
		High	アップカウント
	High		ダウンカウント
	Low		カウントしない (Don't care)
		High	アップカウント
		Low	カウントしない (Don't care)

: 立ち上がりエッジ

: 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図20.38に、TCNTのアップカウント/ダウンカウント条件を表20.71に示します。

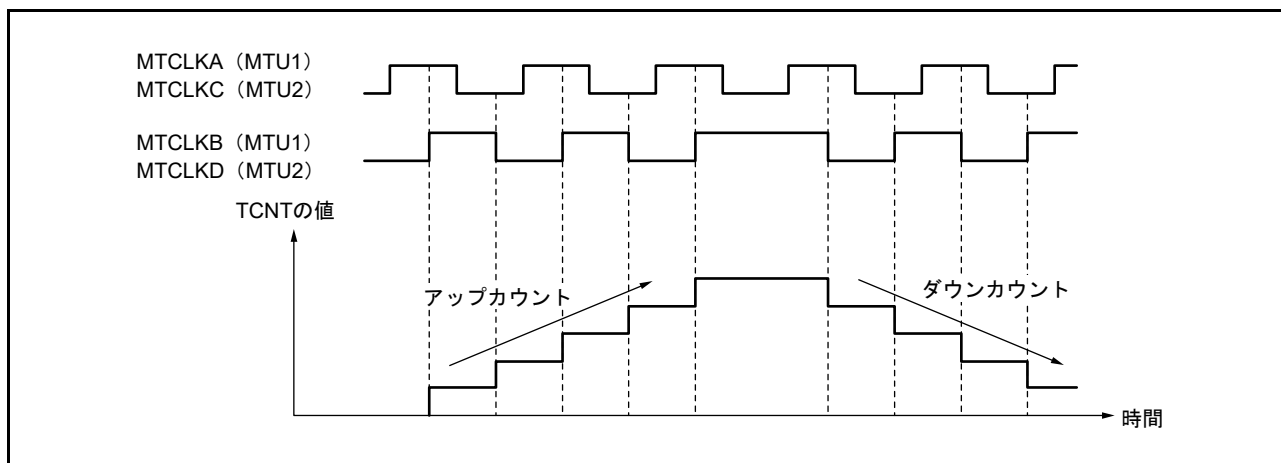


図20.38 位相計数モード4の動作例

表20.71 位相計数モード4のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	カウントしない (Don't care)
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	カウントしない (Don't care)
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(e) 位相計数モード5

位相計数モード5の動作例を図20.39、図20.40に、TCNTのアップカウント/ダウンカウント条件を表20.72に示します。

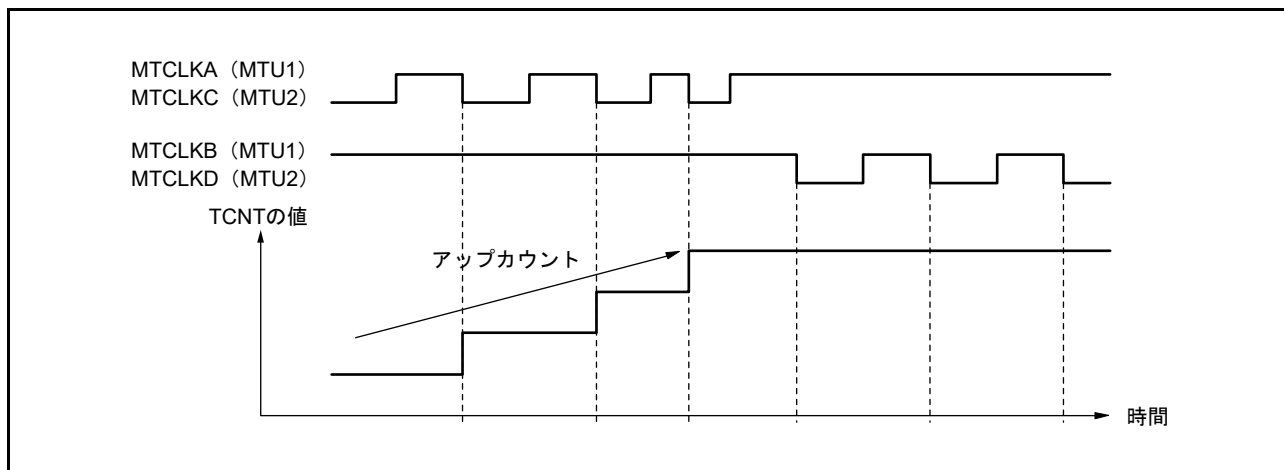


図 20.39 位相計数モード5の動作例 (MTUn.TCR2.PCB[1:0]=0xb のとき (n = 1, 2))

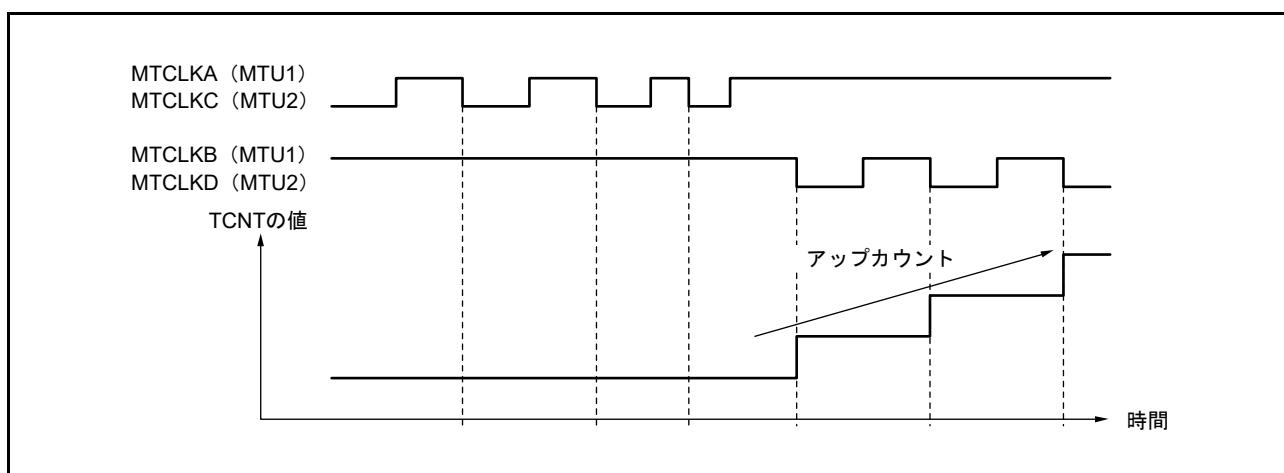






図 20.40 位相計数モード5の動作例 (MTUn.TCR2.PCB[1:0]=1xb のとき (n = 1, 2))

表20.72 位相計数モード5のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
0x	High		カウントしない (Don't care)
	Low		
		Low	アップカウント
		High	
	High		カウントしない (Don't care)
	Low		
		High	アップカウント
		Low	
1x	High		カウントしない (Don't care)
	Low		アップカウント
		Low	カウントしない (Don't care)
		High	
	High		アップカウント
	Low		カウントしない (Don't care)
		High	
		Low	

: 立ち上がりエッジ

: 立ち下がりエッジ

(3) 16ビット位相計数モード応用例

MTU1を位相計数モードに設定し、MTU0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図20.41に示します。

MTU1は位相計数モード1に設定し、MTCLKAとMTCLKBにエンコーダパルスのA相、B相を入力します。

MTU0はTCNTをMTU0.TGRCのコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRAとMTU0.TGRCはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。MTU0.TGRBは入力キャプチャ機能で使用し、MTU0.TGRBとMTU0.TGRDをバッファ動作させます。MTU0.TGRBの入力キャプチャ要因は、MTU1のカウンタクロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

MTU1のMTU1.TGRAとMTU1.TGRBは、入力キャプチャ機能に設定し、入力キャプチャ要因はMTU0のMTU0.TGRAとMTU0.TGRCのコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

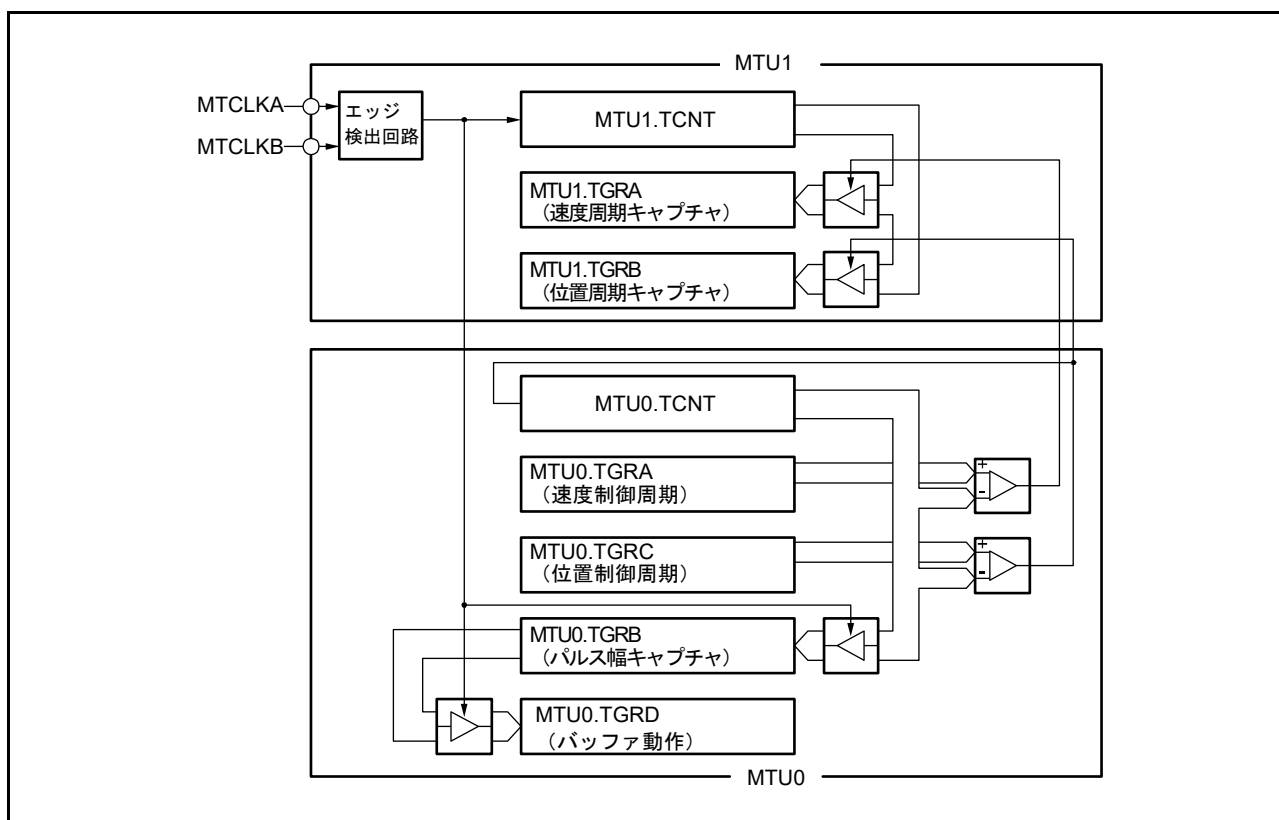


図 20.41 16ビット位相計数モードの応用例

20.3.6.2 カスケード接続 32 ビット位相計数モード

MTU1.TMDR3.LWA=1 で MTU1 に位相計数モードを設定した場合、MTU1 と MTU2 が連結され、カスケード接続 32 ビット位相計数モードとして機能します。カスケード接続 32 ビット位相計数モードの場合、TCR, TCR2, TIOR, TIER, TGR, TSR レジスタは MTU1 の制御になり、MTU2 の設定は無効になります。カスケード接続 32 ビット位相計数モードの設定手順は、**図 20.42** を参照してください。

なお、カスケード接続 32 ビット位相計数モード以外で MTU1, MTU2 を接続するカスケード接続機能については、「20.3.4 カスケード接続動作」を参照してください。

(1) カスケード接続 32 ビット位相計数モードの設定例

カスケード接続 32 ビット位相計数モードの設定手順例を**図 20.42** に示します。

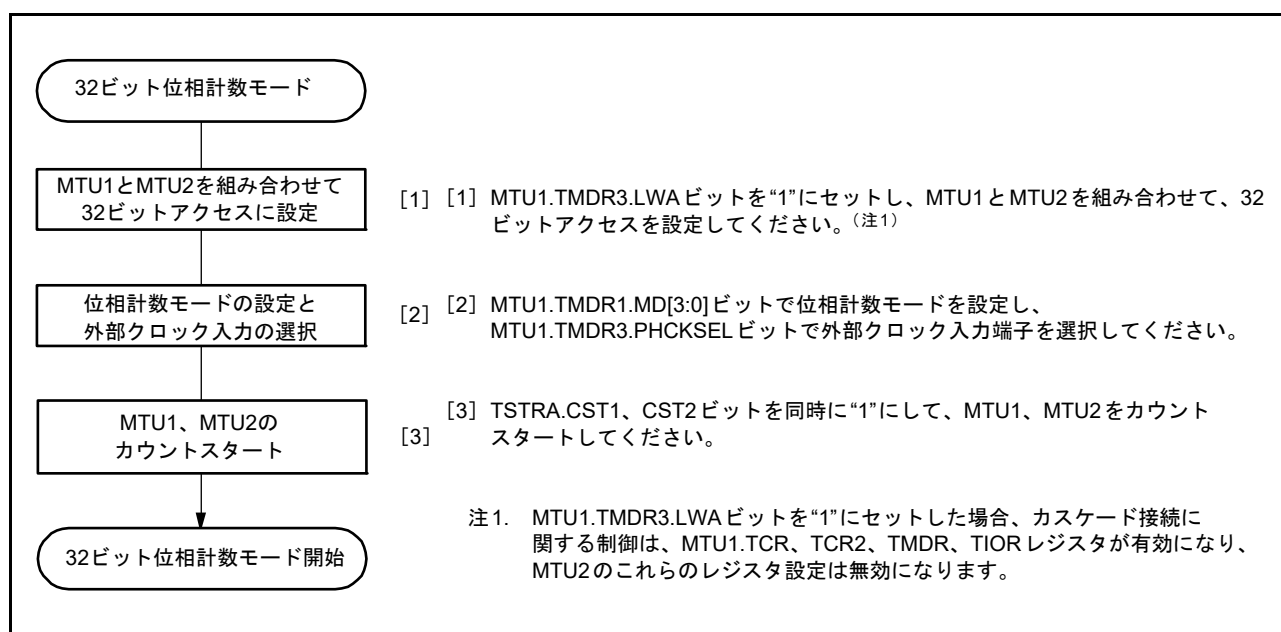


図 20.42 カスケード接続 32 ビット位相計数モード設定手順

20.3.7 リセット同期 PWM モード

リセット同期 PWM モードは、MTU3、MTU4 および MTU6、MTU7 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を各 6 相、合計 12 相出力します。

リセット同期 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7C、MTIOC7B、MTIOC7D 端子は PWM 出力端子となり、タイマカウンタ 3、6 (MTU3.TCNT, MTU6.TCNT) はアップカウンタとして機能します。

使用される PWM 出力端子を表 20.73 に、使用するレジスタの設定を表 20.74 に示します。

表20.73 リセット同期PWMモード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3B	PWM出力端子1
	MTIOC3D	PWM出力端子1' (PWM出力1の逆相波形)
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2' (PWM出力2の逆相波形)
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3' (PWM出力3の逆相波形)
MTU6	MTIOC6B	PWM出力端子4
	MTIOC6D	PWM出力端子4' (PWM出力4の逆相波形)
MTU7	MTIOC7A	PWM出力端子5
	MTIOC7C	PWM出力端子5' (PWM出力5の逆相波形)
	MTIOC7B	PWM出力端子6
	MTIOC7D	PWM出力端子6' (PWM出力6の逆相波形)

表20.74 リセット同期PWMモード時のレジスタ設定

レジスタ	設定内容
MTU3.TCNT	"0000h"を初期設定
MTU4.TCNT	"0000h"を初期設定
MTU3.TGRA	MTU3.TCNTのカウンタ周期を設定
MTU3.TGRB	MTIOC3B、MTIOC3D端子より出力されるPWM波形の変化点を設定
MTU4.TGRA	MTIOC4A、MTIOC4C端子より出力されるPWM波形の変化点を設定
MTU4.TGRB	MTIOC4B、MTIOC4D端子より出力されるPWM波形の変化点を設定
MTU6.TCNT	"0000h"を初期設定
MTU7.TCNT	"0000h"を初期設定
MTU6.TGRA	MTU6.TCNTのカウンタ周期を設定
MTU6.TGRB	MTIOC6B、MTIOC6D端子より出力されるPWM波形の変化点を設定
MTU7.TGRA	MTIOC7A、MTIOC7C端子より出力されるPWM波形の変化点を設定
MTU7.TGRB	MTIOC7B、MTIOC7D端子より出力されるPWM波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 20.43 に示します。

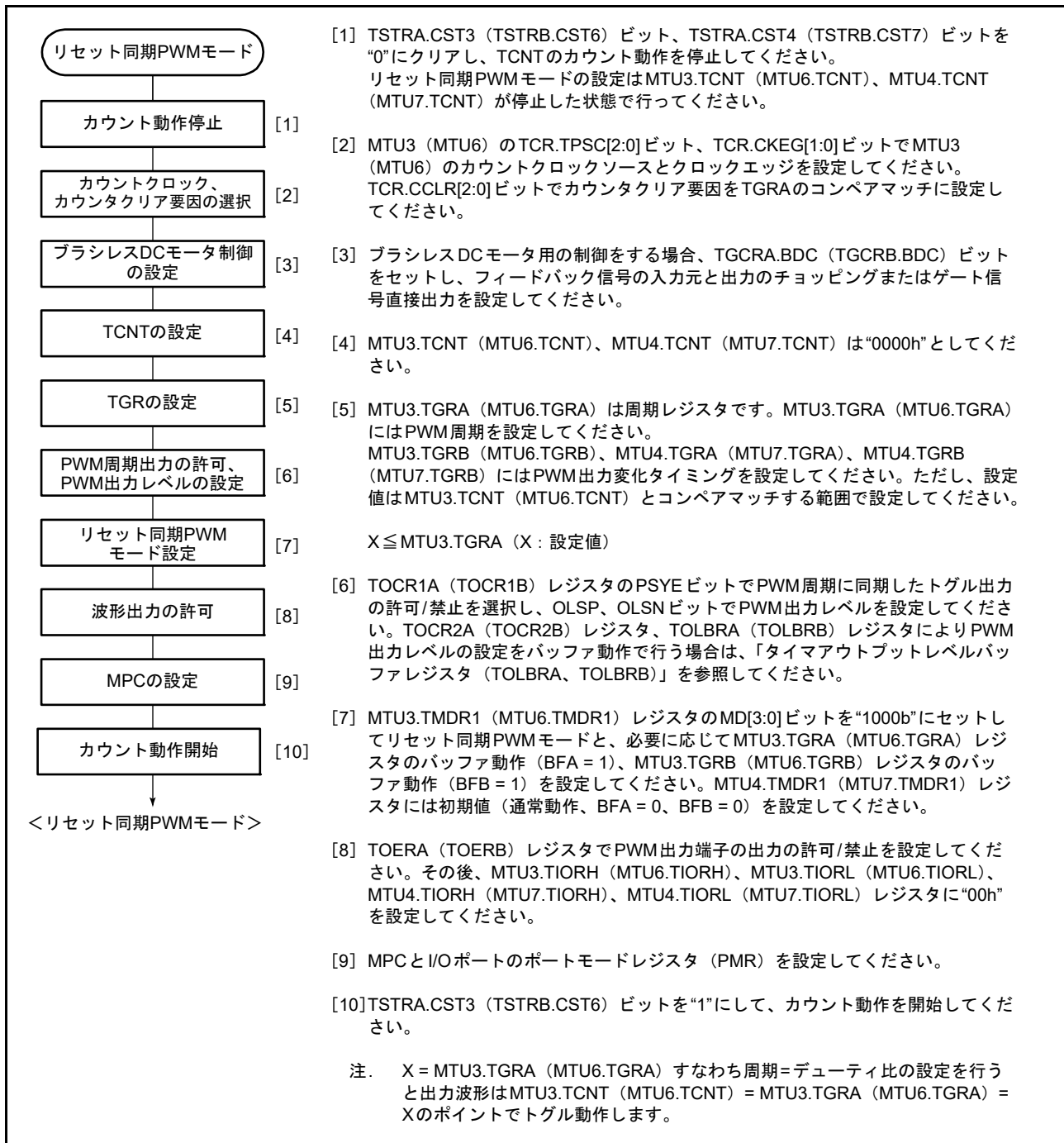


図 20.43 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 20.44 に示します。

リセット同期 PWM モードでは、MTU3.TCNT と MTU4.TCNT (MTU6.TCNT と MTU7.TCNT) はアップカウンタとして動作します。MTU3.TCNT (MTU6.TCNT) が MTU3.TGRA (MTU6.TGRA) とコンペアマッチするとカウンタはクリアされ“0000h”からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB (MTU6.TGRB)、MTU4.TGRA (MTU7.TGRA)、MTU4.TGRB (MTU7.TGRB) のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

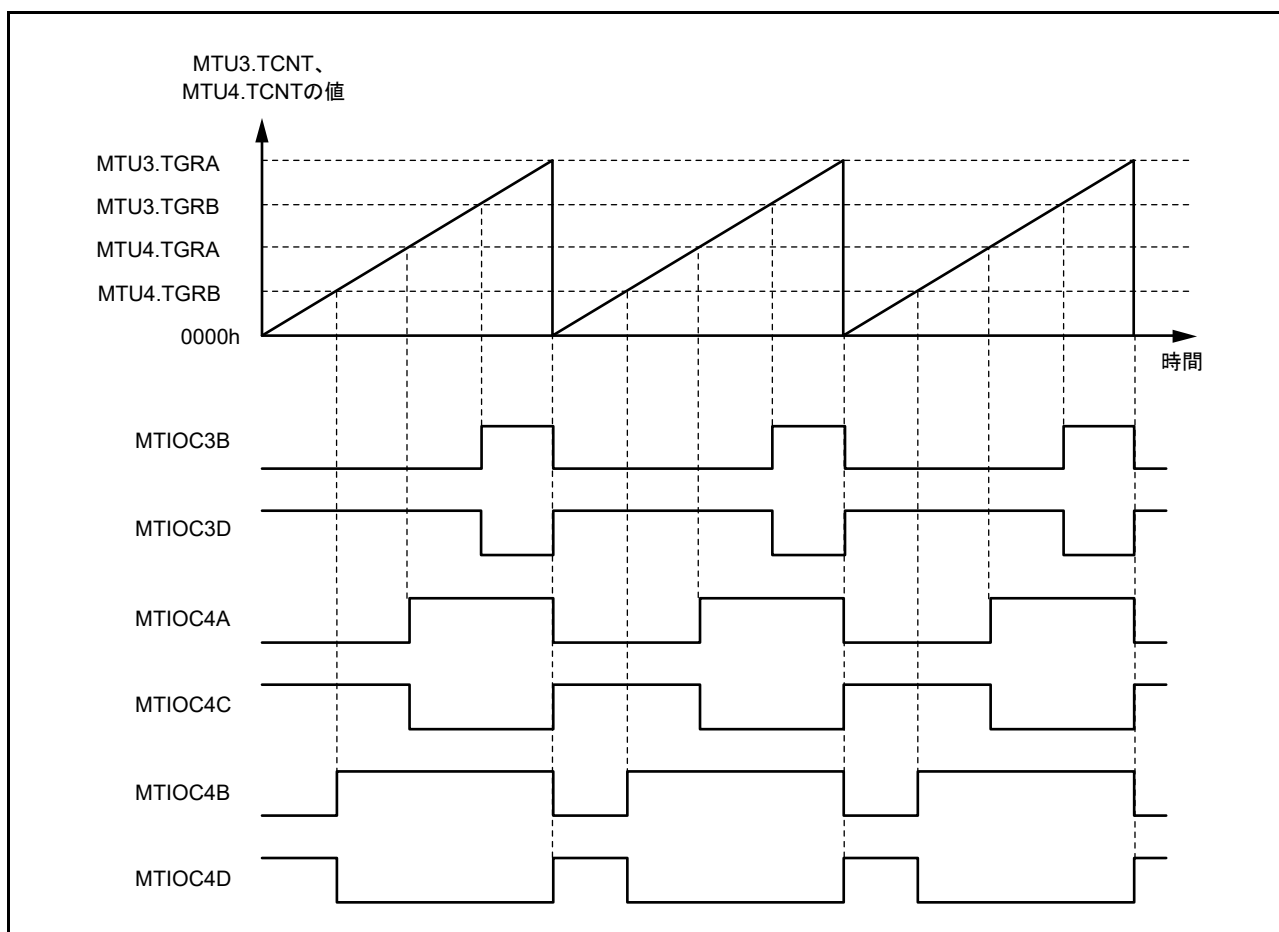


図 20.44 リセット同期 PWM モードの動作例
(MTU3、MTU4、TOCR1A の OLSN = 1、OLSP = 1 にした場合)

20.3.8 相補 PWM モード

相補 PWM モードでは、出力する PWM 波形にデッドタイムを設定できます。デッドタイムとは、アーム短絡を防止するために上下アームトランジスタを両方とも非アクティブレベルにする期間のことです。

MTU3、MTU4 および MTU6、MTU7 を組み合わせることによりデッドタイムを設定した PWM 波形（正相・逆相）を各 6 相、合計 12 相出力します。また、デッドタイムがない PWM 波形を出力することもできます。

相補 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D 端子は PWM 出力端子となり、MTIOC3A、MTIOC6A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTU3.TCNT、MTU4.TCNT、MTU6.TCNT、MTU7.TCNT はアップカウンタ / ダウンカウンタとして機能します。

使用される PWM 出力端子を表 20.75 に、使用するレジスタの設定を表 20.76 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 20.75 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3A	PWM 周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM 出力端子 1
	MTIOC3C	入出力ポート（注1）
	MTIOC3D	PWM 出力端子 1'（PWM 出力 1 の逆相波形出力）
MTU4	MTIOC4A	PWM 出力端子 2
	MTIOC4C	PWM 出力端子 2'（PWM 出力 2 の逆相波形出力）
	MTIOC4B	PWM 出力端子 3
	MTIOC4D	PWM 出力端子 3'（PWM 出力 3 の逆相波形出力）
MTU6	MTIOC6A	PWM 周期に同期したトグル出力（または入出力ポート）
	MTIOC6B	PWM 出力端子 4
	MTIOC6C	入出力ポート（注1）
	MTIOC6D	PWM 出力端子 4'（PWM 出力 4 の逆相波形出力）
MTU7	MTIOC7A	PWM 出力端子 5
	MTIOC7C	PWM 出力端子 5'（PWM 出力 5 の逆相波形出力）
	MTIOC7B	PWM 出力端子 6
	MTIOC7D	PWM 出力端子 6'（PWM 出力 6 の逆相波形出力）

注1. MTIOC3C、MTIOC6C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 20.76 相補PWMモード時のレジスタ設定 (1/2)

チャンネル	カウンタ/ レジスタ	説明	CPUからの読み出し/書き込み
MTU3	TCNT	デッドタイムレジスタに設定した値からカウント アップスタート	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRA	MTU3.TCNTの上限値を設定 (キャリア周期の1/2 + デッドタイム)	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRB	PWM出力1のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRC	MTU3.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力1/MTU3.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU3.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能
MTU4	TCNT	"0000h"を初期設定しカウントアップスタート	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRA	PWM出力2のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRB	PWM出力3のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRC	PWM出力2/MTU4.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力3/MTU4.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU4.TGRAのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能
	TGRF	MTU4.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能
MTU6	TCNT	デッドタイムレジスタに設定した値からカウント アップスタート	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRA	MTU6.TCNTの上限値を設定 (キャリア周期の1/2 + デッドタイム)	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRB	PWM出力4のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRC	MTU6.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力4/MTU6.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU6.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能
MTU7	TCNT	"0000h"を初期設定しカウントアップスタート	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRA	PWM出力5のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRB	PWM出力6のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRC	PWM出力5/MTU7.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力6/MTU7.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU7.TGRAのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能
	TGRF	MTU7.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能

注1. TRWERAレジスタ (タイマリードライトイネーブルレジスタA) の設定によりアクセスの許可/禁止が可能です。

注2. TRWERBレジスタ (タイマリードライトイネーブルレジスタB) の設定によりアクセスの許可/禁止が可能です。

表20.77 相補PWMモード時のレジスタ設定 (2/2)

チャンネル	カウンタ/ レジスタ	説明	CPUからの読み出し/書き込み
	タイマデッドタイムデータ レジスタA (TDDRA)	MTU4.TCNTとMTU3.TCNTのオフセット値 (デッドタイムの値) を設定	TRWERAの設定によりマスク可能 (注1)
	タイマデッドタイムデータ レジスタB (TDDRb)	MTU7.TCNTとMTU6.TCNTのオフセット値 (デッドタイムの値) を設定	TRWERBの設定によりマスク可能 (注2)
	タイマ周期データレジスタA (TCDRA)	MTU4.TCNTの上限値の値を設定 (キャリア周期の1/2)	TRWERAの設定によりマスク可能 (注1)
	タイマ周期データレジスタB (TCDRb)	MTU7.TCNTの上限値の値を設定 (キャリア周期の1/2)	TRWERBの設定によりマスク可能 (注2)
	タイマ周期バッファレジスタA (TCBRA)	TCDRAのバッファレジスタ	読み出し/書き込み可能
	タイマ周期バッファレジスタB (TCBRb)	TCDRbのバッファレジスタ	読み出し/書き込み可能
	サブカウンタA (TCNTSA)	デッドタイム生成のためのサブカウンタA	読み出しのみ可能
	サブカウンタB (TCNTSB)	デッドタイム生成のためのサブカウンタB	読み出しのみ可能
	テンポラリレジスタ1A (TEMP1A)	PWM出力1/MTU3.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
	テンポラリレジスタ1B (TEMP1B)	PWM出力1/MTU3.TGRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み不可能
	テンポラリレジスタ2A (TEMP2A)	PWM出力2/MTU4.TGRAのテンポラリレジスタA	読み出し/書き込み不可能
	テンポラリレジスタ2B (TEMP2B)	PWM出力2/MTU4.TGRAのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み不可能
	テンポラリレジスタ3A (TEMP3A)	PWM出力3/MTU4.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
	テンポラリレジスタ3B (TEMP3B)	PWM出力3/MTU4.TGRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み不可能
	テンポラリレジスタ4A (TEMP4A)	PWM出力4/MTU6.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
	テンポラリレジスタ4B (TEMP4B)	PWM出力4/MTU6.TGRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み不可能
	テンポラリレジスタ5A (TEMP5A)	PWM出力5/MTU7.TGRAのテンポラリレジスタA	読み出し/書き込み不可能
	テンポラリレジスタ5B (TEMP5B)	PWM出力5/MTU7.TGRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み不可能
	テンポラリレジスタ6A (TEMP6A)	PWM出力6/MTU7.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
	テンポラリレジスタ6B (TEMP6B)	PWM出力6/MTU7.TGRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み不可能

注1. TRWERAレジスタ (タイマリードライトイネーブルレジスタA) の設定によりアクセスの許可/禁止が可能です。

注2. TRWERBレジスタ (タイマリードライトイネーブルレジスタB) の設定によりアクセスの許可/禁止が可能です。

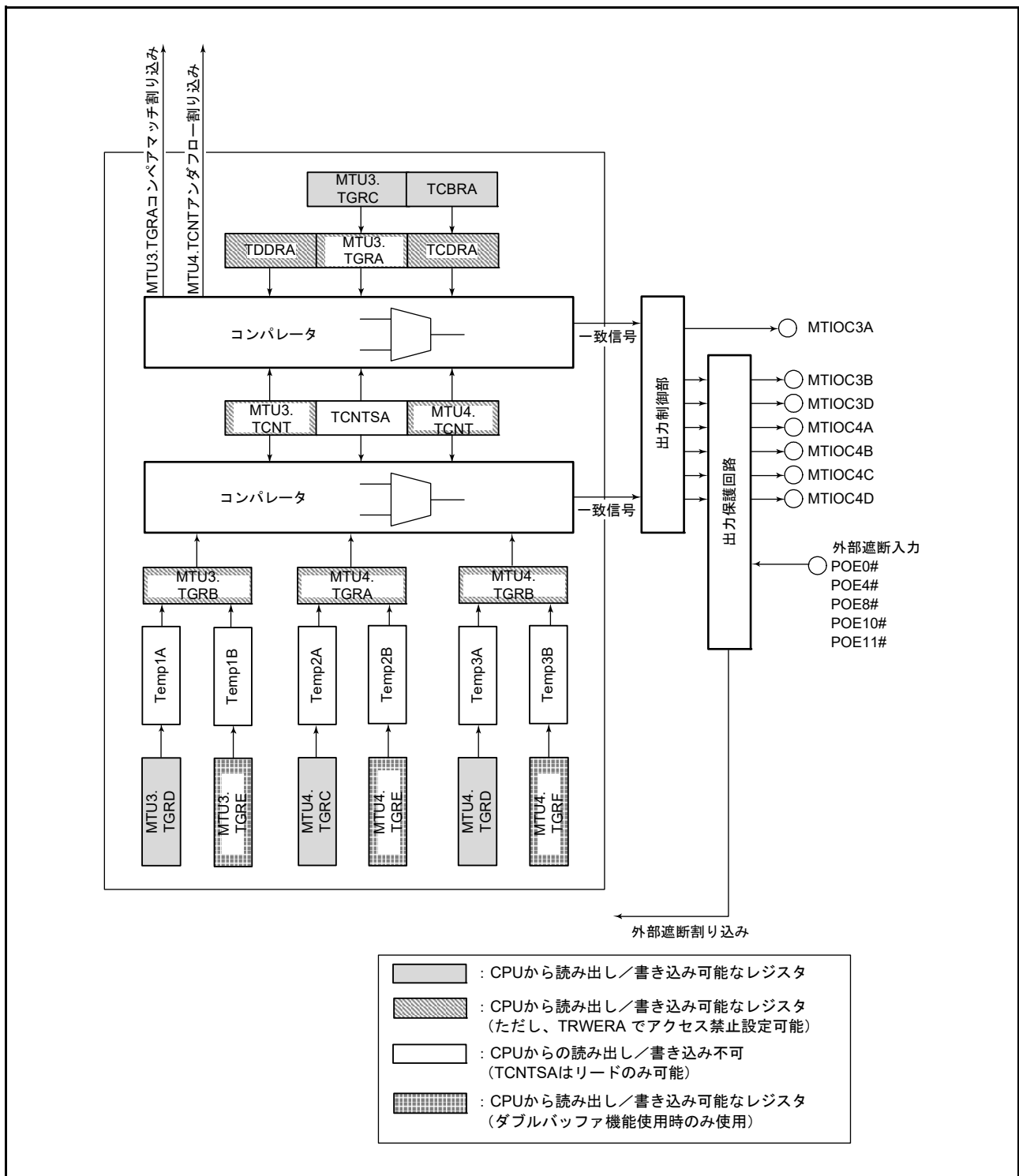


図 20.45 相補 PWM モード時の MTU3、MTU4 ブロック図

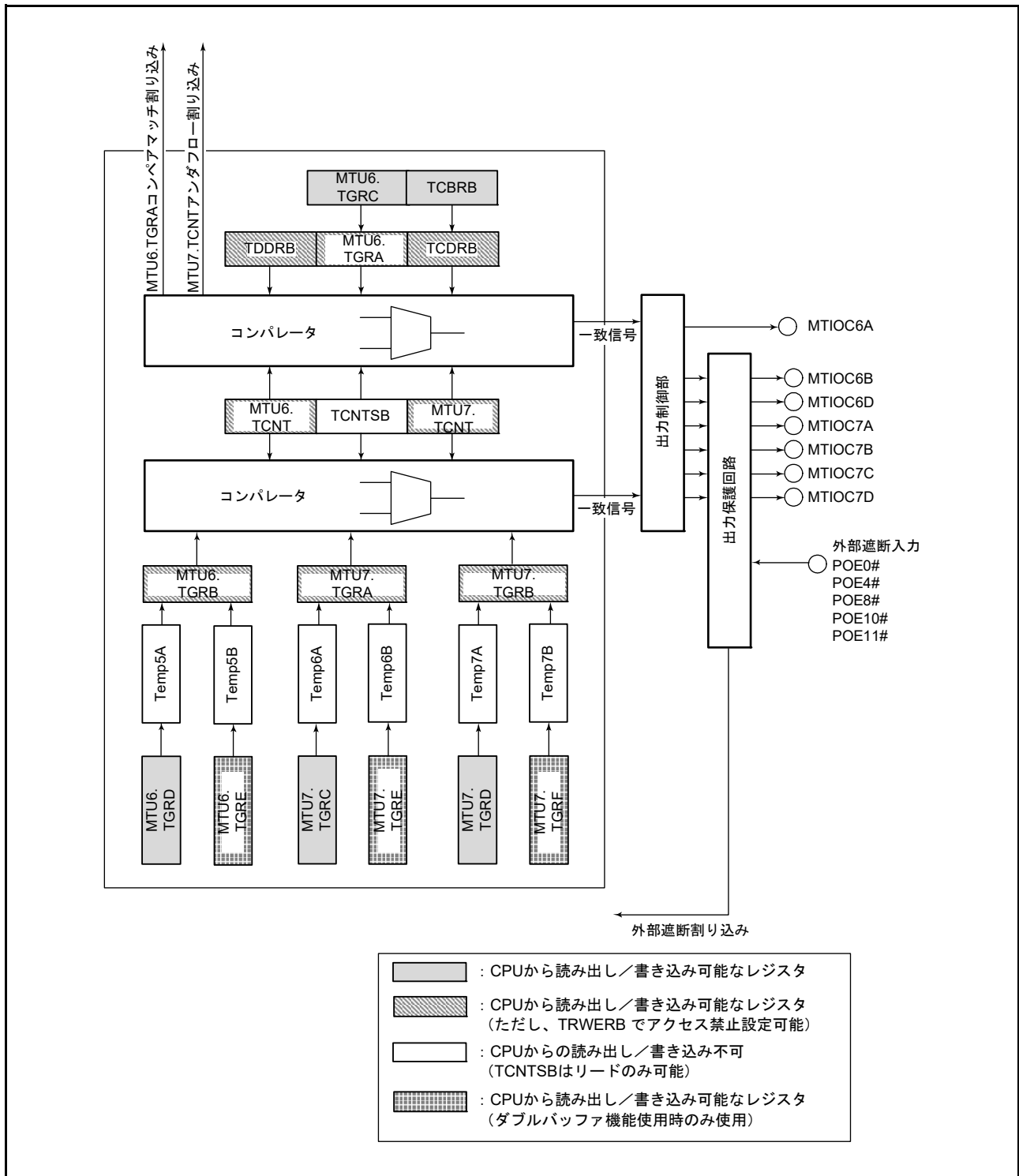


図 20.46 相補 PWM モード時の MTU6、MTU7 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 20.47 に示します。



図 20.47 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6相（正相3本、逆相3本）の PWM 出力が可能です。図 20.48 に相補 PWM モードのカウンタの動作（MTU3、MTU4）を示します。図 20.49 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、MTU3.TCNT、MTU4.TCNT および TCNTSA（MTU6.TCNT、MTU7.TCNT および TCNTSB）レジスタの3本のカウンタがアップダウンカウント動作を行います。

MTU3.TCNT（MTU6.TCNT）は、相補 PWM モードに設定され TSTRA（TSTRB）の CST ビットが“0”のとき、TDDRA（TDDRb）に設定された値が自動的に初期値として設定されます。CST ビットが“1”になると、MTU3.TGRA（MTU6.TGRA）に設定された値までアップカウント動作を行い、MTU3.TGRA（MTU6.TGRA）と一致するとダウンカウントに切り替わります。その後、MTU4.TCNT（MTU7.TCNT）が“0000h”と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、MTU4.TCNT（MTU7.TCNT）は、初期値として“0000h”を設定します。CST ビットが“1”に設定されると、MTU3.TCNT（MTU6.TCNT）に同期して動作しアップカウントを行い、MTU3.TCNT（MTU6.TCNT）が MTU3.TGRA（MTU6.TGRA）と一致するとダウンカウントに切り替わります。この後、“0000h”と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTSA（TCNTSB）は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）がアップカウント時、MTU3.TCNT（MTU6.TCNT）が TCDRA（TCDRb）と一致するとダウンカウントを開始し、MTU3.TCNT（MTU6.TCNT）が MTU3.TGRA（MTU6.TGRA）と一致するとアップカウントに切り替わります。

また、MTU4.TCNT（MTU7.TCNT）と TDDRA（TDDRb）が一致すると TCNTSA（TCNTSB）は MTU3.TGRA（MTU6.TGRA）の値が設定され、カウントを停止します。MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）がダウンカウント時、MTU4.TCNT（MTU7.TCNT）が TDDRA（TDDRb）と一致するとアップカウントを開始し、MTU4.TCNT（MTU7.TCNT）が“0000h”と一致するとダウンカウントに切り替わります。

また、MTU3.TCNT（MTU6.TCNT）と TCDRA（TCDRb）が一致すると TCNTSA（TCNTSB）は“0000h”にクリアされ、カウントを停止します。

TCNTSA（TCNTSB）は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

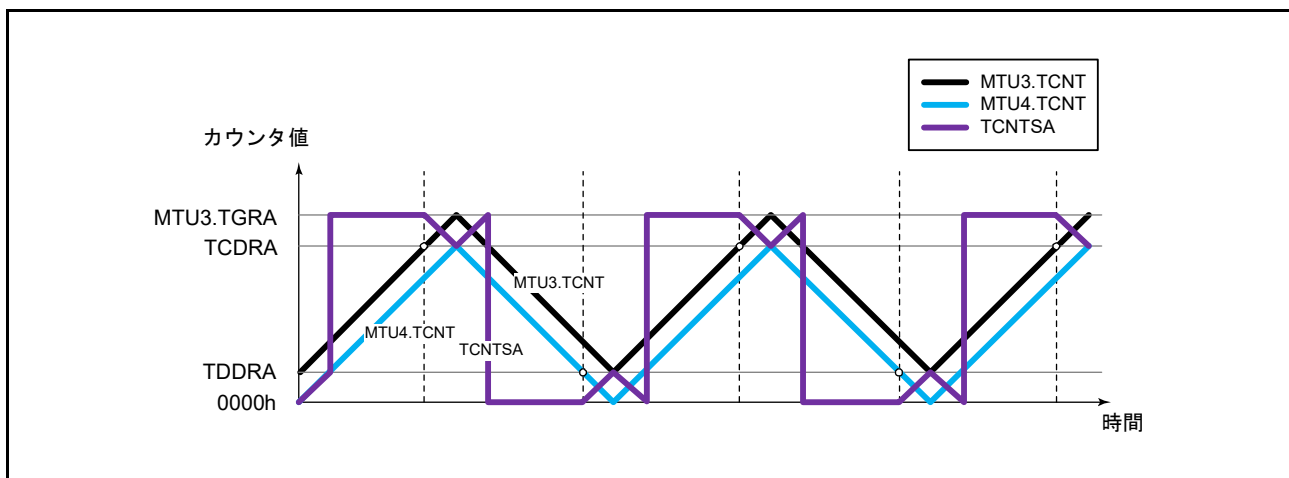


図 20.48 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの9本のレジスタを使用して、PWM 出力のデューティ制御を行います。図 20.49 に相補 PWM モードの動作例 (MTU3、MTU4) を示します。

PWM 出力を行うためにカウンタと比較されているレジスタが、MTU3.TGRB、MTU4.TGRA、MTU4.TGRB (MTU6.TGRB、MTU7.TGRA、MTU7.TGRB) です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR1A、TOCR1B) の OLSN、OLSP ビットで設定した値が PWM 出力端子から出力されます。

これらのコンペアレジスタのバッファレジスタが、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD (MTU6.TGRD、MTU7.TGRC、MTU7.TGRD) です。

また、ダブルバッファ機能使用時は、バッファレジスタ B の MTU3.TGRE、MTU4.TGRE、MTU4.TGRF (MTU6.TGRE、MTU7.TGRE、MTU7.TGRF) も使用されます。動作の詳細は「20.3.8 (2) (s) 相補 PWM モードのダブルバッファ機能」を参照してください。

バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、読み出し/書き込みが可能です。

バッファレジスタのデータを書き替える場合は、最後に MTU4.TGRD (MTU7.TGRD) への書き込みを行い、バッファレジスタからテンポラリレジスタへのデータ転送を許可してください。このとき、タイマ周期レジスタのバッファレジスタとして動作する TCBRA (TCBRB) レジスタ、MTU3.TGRC (MTU6.TGRC) レジスタからテンポラリレジスタへの転送も許可されます。転送は5本すべてのテンポラリレジスタ同時に行われます。

Ta 区間で転送を許可すると、バッファレジスタに書き込まれたデータはすぐにテンポラリレジスタに転送されます。また Tb1 区間と Tb2 区間では、テンポラリレジスタには転送されません。この区間で転送を許可されたデータは区間が終了後にテンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb1 区間が終了したとき (TCNTSA (TCNTSB) がアップカウント時に MTU3.TGRA (MTU6.TGRA) と一致したとき)、または Tb2 区間が終了したとき (TCNTSA (TCNTSB) がダウンカウント時に “0000h” と一致したとき) にコンペアレジスタに転送されます。テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ 1 (TMDR1) の MD[3:0] ビットで選択できます。図 20.49 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 20.49 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1相の出力に対して2本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MTU3.TCNT、MTU4.TCNT および TCNTSA (MTU6.TCNT、MTU7.TCNT および TCNTSB) の3本のカウンタとコンペアレジスタ、テンポラリレジスタの2本のレジスタが比較され、PWM 出力を制御します。

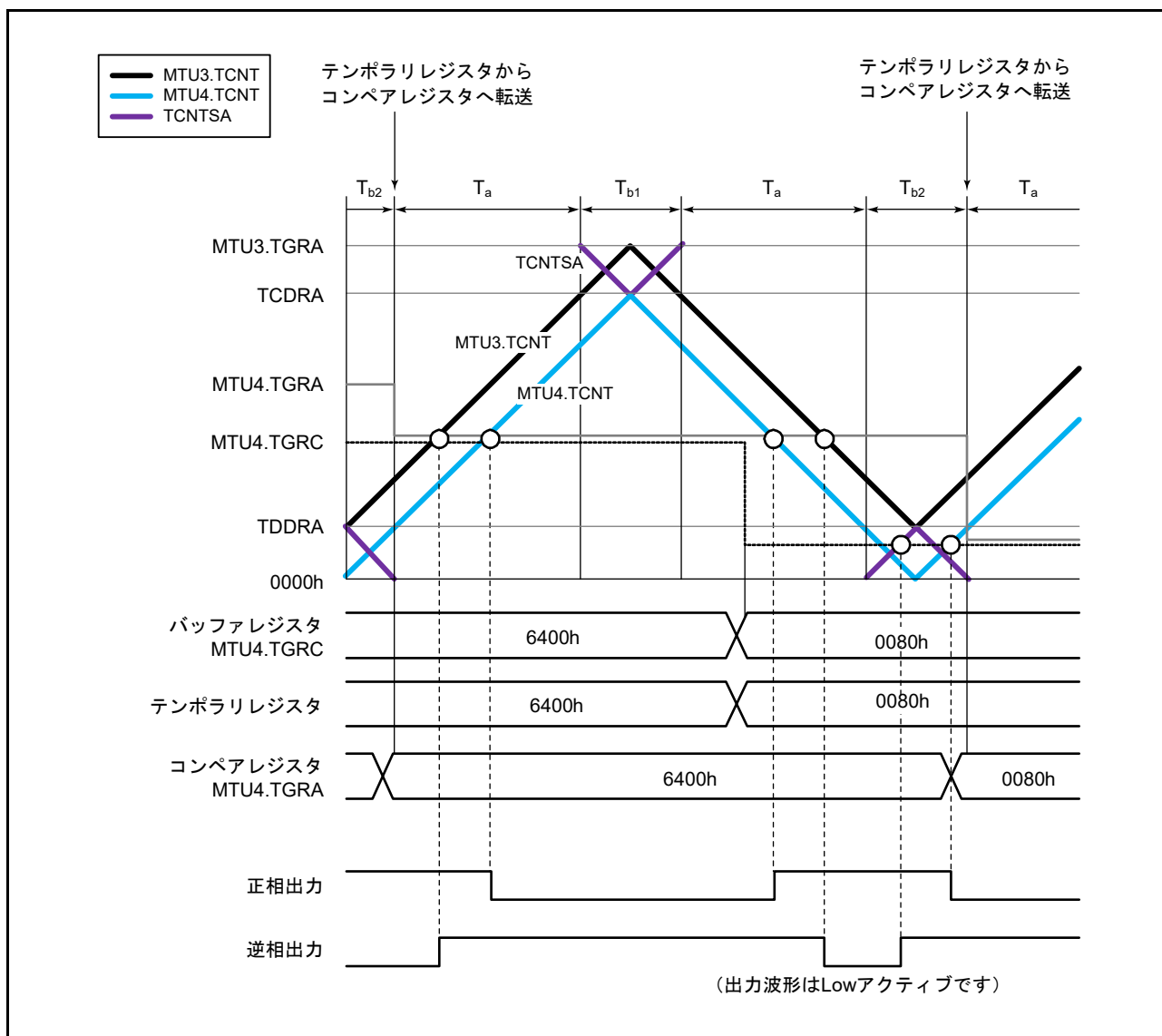


図 20.49 相補 PWM モード動作例 (MTU3, MTU4)

(c) 初期設定

相補 PWM モードでは、初期設定の必要なレジスタが9本あります。また、デッドタイム生成の有無を設定するレジスタが1本あります（デッドタイムを生成しない場合のみ設定してください）。

MTU3.TMDR1.MD[3:0] (MTU6.TMDR1.MD[3:0]) ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TOCR1A、TOCR2A、TOCR1B、TOCR2B レジスタは、PWM 出力レベルを設定します。MTU3.TGRC (MTU6.TGRC) は MTU3.TGRA (MTU6.TGRA) のバッファレジスタとして動作し、PWM 周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ (TCBRA, TCBRB) は、タイマ周期データレジスタ (TCDRA, TCDRB) のバッファレジスタとして動作し、PWM 周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDRA, TDDRB) には、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ (TDERA, TDERB) の TDER ビットを“0”にし、MTU3.TGRC、MTU3.TGRA (MTU6.TGRC, MTU6.TGRA) には、PWM キャリア周期の $1/2 + 1$ を、TDDRA (TDDRB) を“1”にします。

バッファレジスタ A (MTU3.TGRD、MTU4.TGRC、MTU4.TGRD (MTU6.TGRD, MTU7.TGRC, MTU7.TGRD)) の3本には、それぞれ PWM デューティの初期値を設定します。

バッファレジスタ B (MTU3.TGRE、MTU4.TGRE、MTU4.TGRF (MTU6.TGRE, MTU7.TGRE, MTU7.TGRF)) の3本は、ダブルバッファ機能使用時のみ設定します。

TDDRA (TDDRB) を除く5本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTU4.TCNT (MTU7.TCNT) は、相補 PWM モードに設定する前に“0000h”にしてください。

表 20.78 初期設定の必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
TOCR1A, TOCR2A, TOCR1B, TOCR2B	PWM出力レベルを設定
MTU3.TGRC MTU6.TGRC	PWM周期の $1/2 + \text{デッドタイム } T_d$ TDERA/TDERB でデッドタイム生成をなしに設定した場合はPWM周期の $1/2 + 1$
TDDRA, TDDRB	デッドタイム T_d (TDERA/TDERB でデッドタイム生成をなしに設定した場合“1”)
TCBRA, TCBRB	PWM周期の $1/2$
MTU3.TGRD, MTU4.TGRC, MTU4.TGRD MTU6.TGRD, MTU7.TGRC, MTU7.TGRD	各相のPWMデューティ比の初期値
MTU3.TGRE, MTU4.TGRE, MTU4.TGRF MTU6.TGRE, MTU7.TGRE, MTU7.TGRF	各相のPWMデューティ比の初期値 (ダブルバッファ機能使用時のみ)
MTU4.TCNT MTU7.TCNT	“0000h”

注. MTU3.TGRC (MTU6.TGRC) の設定値は、TCBRA (TCBRB) に設定するPWM周期の $1/2$ の値と TDDRA (TDDRB) に設定するデッドタイム T_d の値の和としてください。ただし、TDERA (TDERB) レジスタでデッドタイム生成をなしに設定した場合は、PWM周期の $1/2 + 1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM 出力の出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1A, TOCR1B) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2A, TOCR2B) の OLS1P ~ OLS3P、OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6相出力の正相の3相、逆相の3相ごとに設定できます。

なお、出力レベルの設定/変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、PWM 出力にデッドタイムを設定できます。

デッドタイムは、タイマデッドタイムデータレジスタ (TDDRA, TDDRB) に設定します。TDDRA (TDDRB) に設定した値が、MTU3.TCNT (MTU6.TCNT) のカウンタスタート値となり、MTU3.TCNT (MTU6.TCNT) と MTU4.TCNT (MTU7.TCNT) のノンオーバーラップを生成します。TDDRA (TDDRB) の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ (TDERA, TDERB) の TDER ビットを“0”にします。TDERA (TDERB) は、TDER ビット=1 の状態で TDER ビットを読んだ後、TDER ビットに“0”を書いたときのみ、“0”にできます。

MTU3.TGRA、MTU3.TGRC (MTU6.TGRA, MTU6.TGRC) には PWM 周期の $1/2 + 1$ を設定し、タイマデッドタイムデータレジスタ (TDDRA, TDDRB) を“1”にします。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 20.50 にデッドタイムを生成しない場合の動作例 (MTU3, MTU4) を示します。

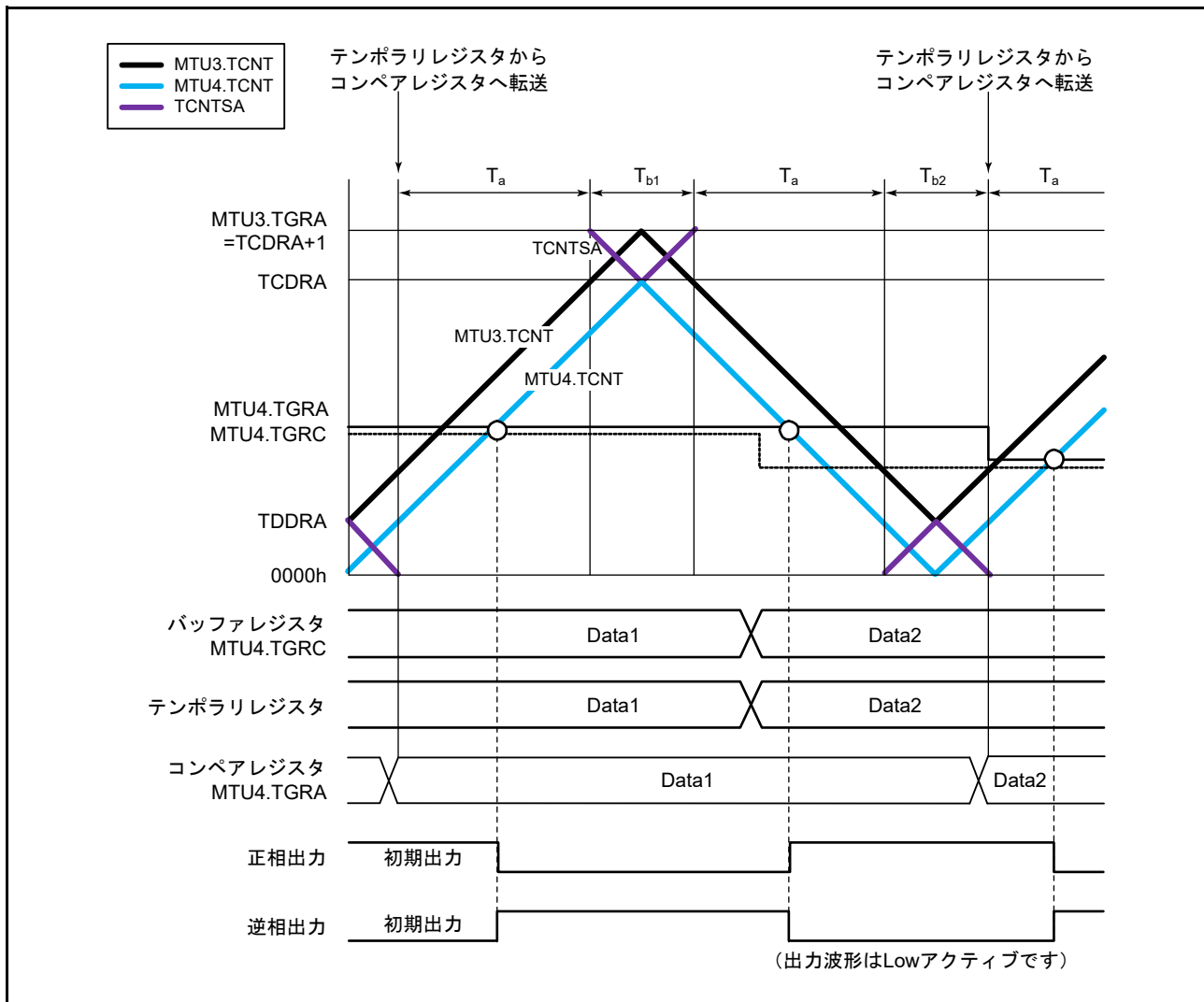


図 20.50 デッドタイムを生成しない場合の動作例 (MTU3, MTU4)

(g) PWM 周期の設定

相補PWMモードでは、PWM周期をMTU3.TCNT (MTU6.TCNT) の上限値を設定するMTU3.TGRA (MTU6.TGRA) とMTU4.TCNT (MTU7.TCNT) の上限値を設定するTCDRA (TCDRB) の2つのレジスタに設定します。これらの2つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり : MTU3.TGRA (MTU6.TGRA) の設定値 = TCDRA (TCDRB) の設定値 + TDDRA (TDDRБ) の設定値

デッドタイム生成なし : MTU3.TGRA (MTU6.TGRA) の設定値 = TCDRA (TCDRB) の設定値 + 1

また、TCDRA (TCDRB) レジスタとTDDRA (TDDRБ) レジスタの関係が、次の関係になるよう設定してください。

$TCDRA (TCDRB) の設定値 > TDDRA (TDDRБ) の設定値 \times 2 + 2$

また、MTU3.TGRA、TCDRA (MTU6.TGRA, TCDRB) の設定は、バッファレジスタのMTU3.TGRC、TCBRA (MTU6.TGRC, TCBRB) に値を設定することで行ってください。MTU4.TGRD (MTU7.TGRD) への書き込みを行い転送を許可するとMTU3.TGRC、TCBRA (MTU6.TGRC, TCBRB) に設定した値は、MTU3.TMDR1.MD[3:0] (MTU6.TMDR1.MD[3:0]) ビットで選択した転送タイミングでMTU3.TGRA、TCDRA (MTU6.TGRA, TCDRB) に同時に転送されます。

変更したPWM周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図20.51にPWM周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次項の「(h) レジスタデータの更新」を参照してください。

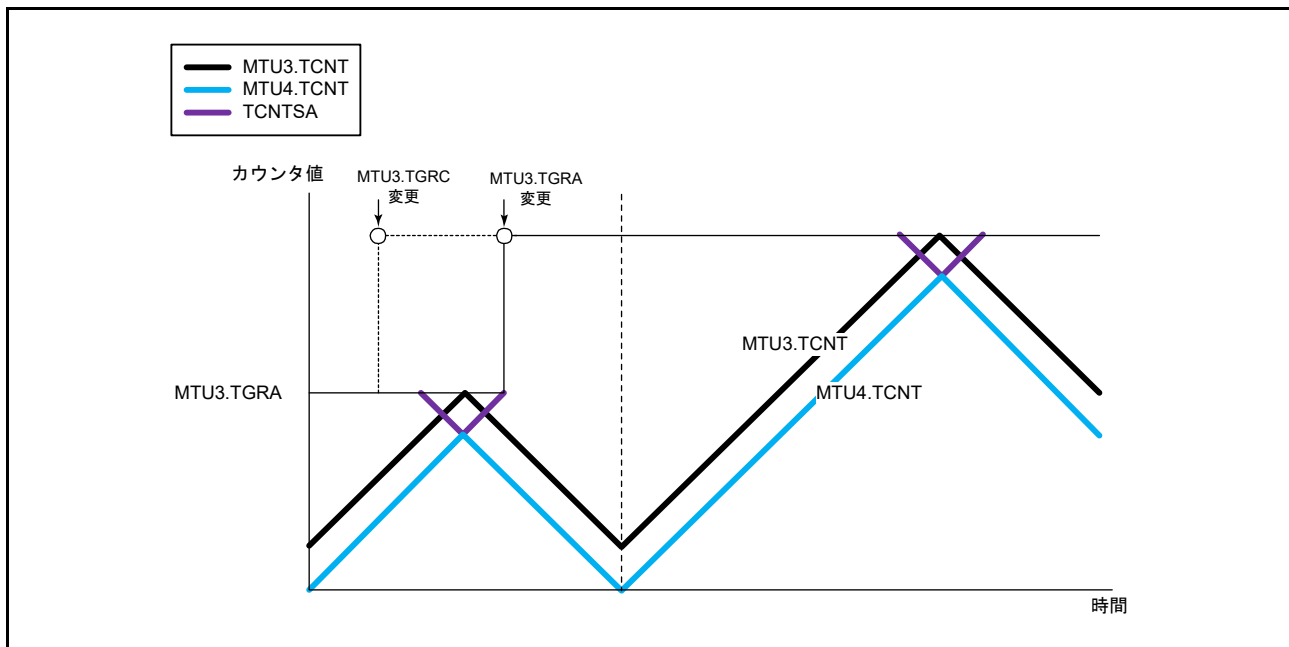


図 20.51 PWM 周期の変更例 (MTU3, MTU4)

(h) レジスタデータの更新

相補 PWM モードで、PWM デューティ用および PWM 周期用のコンペアレジスタ (5 本) のデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTSA (TCNTSB) がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換わります。TCNTSA (TCNTSB) がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTSA (TCNTSB) が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、MTU3.TMDR1.MD[3:0] (MTU6.TMDR1.MD[3:0]) ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 20.52 に相補 PWM モード時のデータ更新例 (MTU3、MTU4) を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に MTU4.TGRD (MTU7.TGRD) への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTU4.TGRD (MTU7.TGRD) に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MTU4.TGRD (MTU7.TGRD) のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTU4.TGRD (MTU7.TGRD) に書き込み動作を行ってください。またこのとき、MTU4.TGRD (MTU7.TGRD) に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

ダブルバッファ機能使用時のデータ更新については、「20.3.8 (2) (s) 相補 PWM モードのダブルバッファ機能」を参照してください。

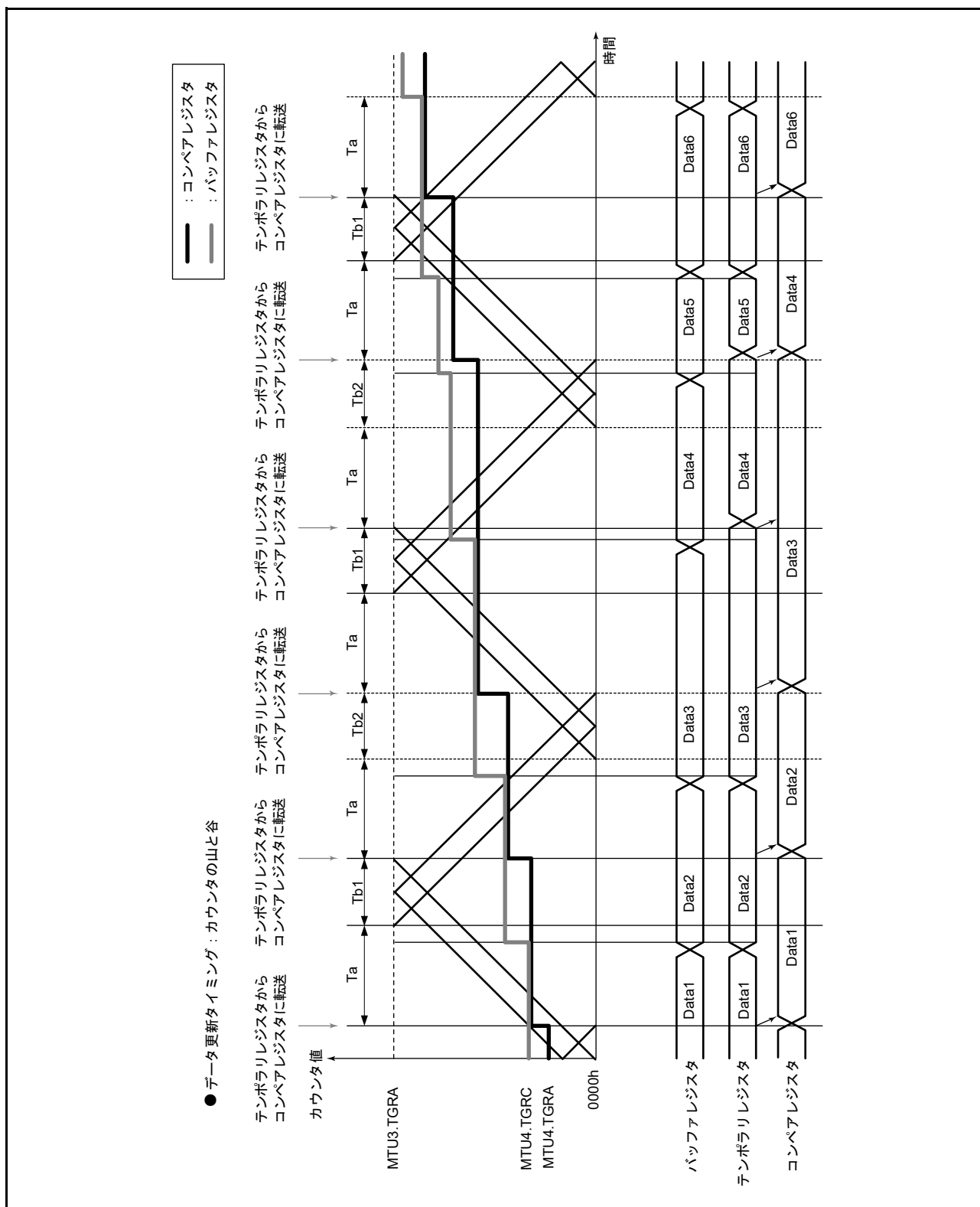


図 20.52 相補 PWM モードでのデータ更新例 (MTU3, MTU4)

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、TOCR1A (TOCR1B) レジスタの OLSN、OLSP ビットの設定または、TOCR2A (TOCR2B) レジスタの OLS1N ~ OLS3N、OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM 出力の非アクティブレベルで、MTU3.TMDR1 (MTU6.TMDR1) で相補 PWM モードを設定してから MTU4.TCNT (MTU7.TCNT) が TDDRA (TDDRB) レジスタに設定された値より大きくなるまで出力されます。図 20.53 に相補 PWM モードの初期出力例を示します。

また、PWM デューティ比の初期値が TDDRA (TDDRB) の値より小さい場合の波形例を図 20.54 に示します。

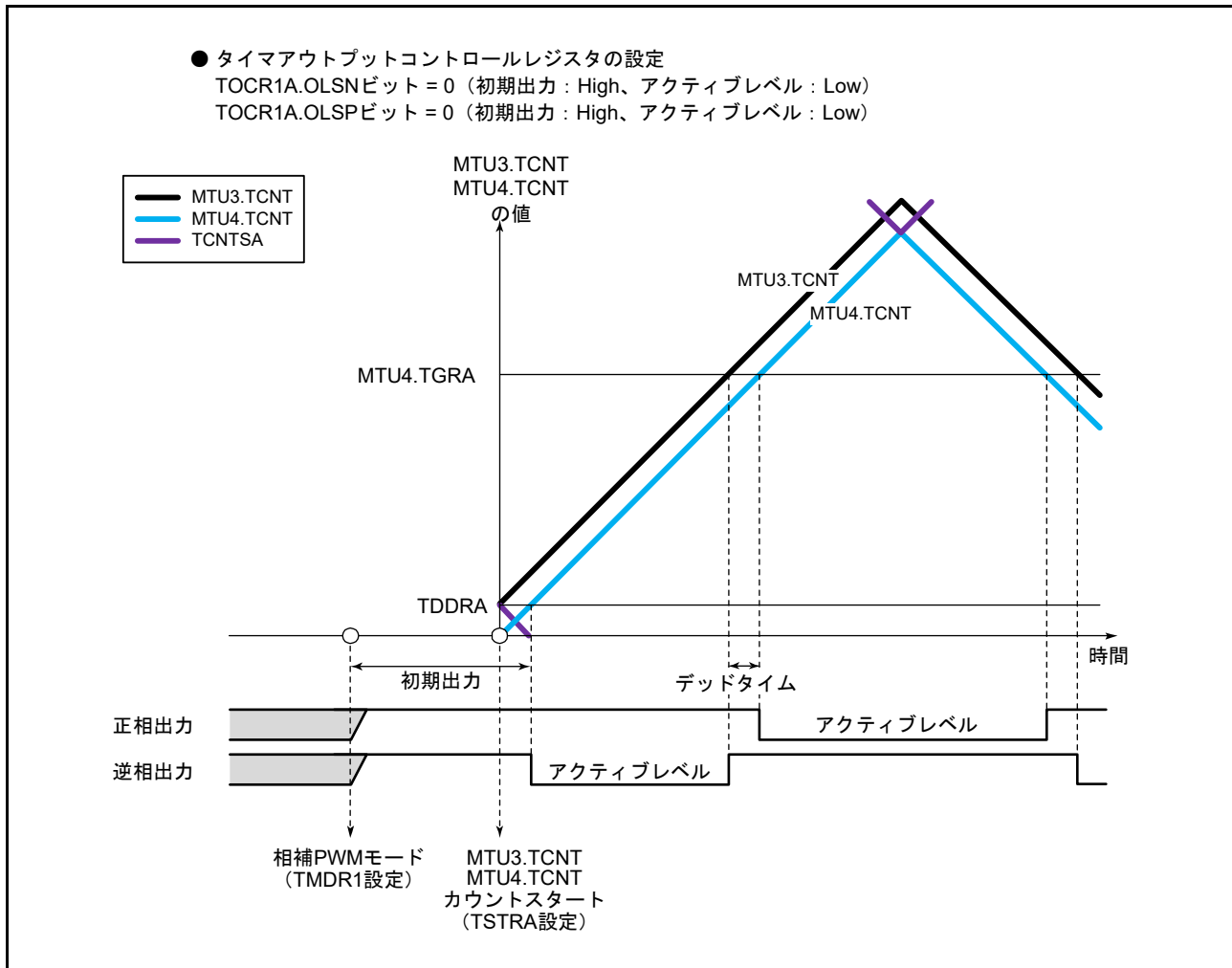


図 20.53 相補 PWM モードの初期出力例 (MTU3, MTU4) (1)

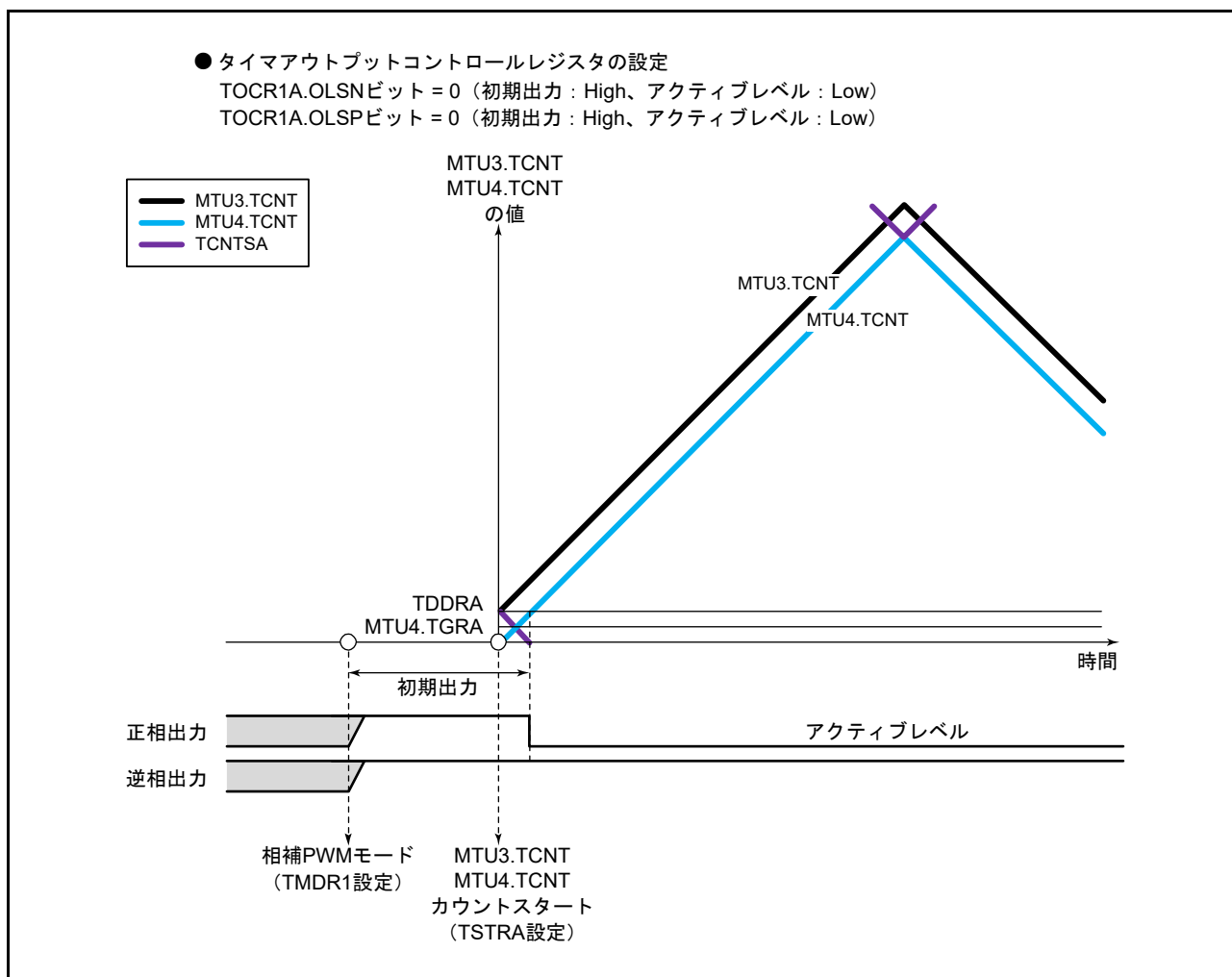


図 20.54 相補 PWM モードの初期出力例 (MTU3, MTU4) (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは 6 相（正相 3 本、逆相 3 本）の PWM 波形を出力します。出力する PWM 波形にデッドタイムを設定できます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTSA (TCNTSB) がカウント動作する期間では、デューティ 0% ~ 100% まで連続した PWM 出力を作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 20.55 ~ 図 20.57 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 20.55 に示すように通常の場合のコンペアマッチは、 $a \rightarrow b \rightarrow c \rightarrow d$ （または $c \rightarrow d \rightarrow a' \rightarrow b'$ ）の順番で発生します。

コンペアマッチが $a \rightarrow b \rightarrow c \rightarrow d$ の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または $c \rightarrow d \rightarrow a' \rightarrow b'$ の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 20.56 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、図 20.57 に示す例では、逆相の ON タイミングである d のコンペアマッチより逆相の OFF である a' のコンペアマッチが先に発生することにより、逆相を OFF することが優先されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

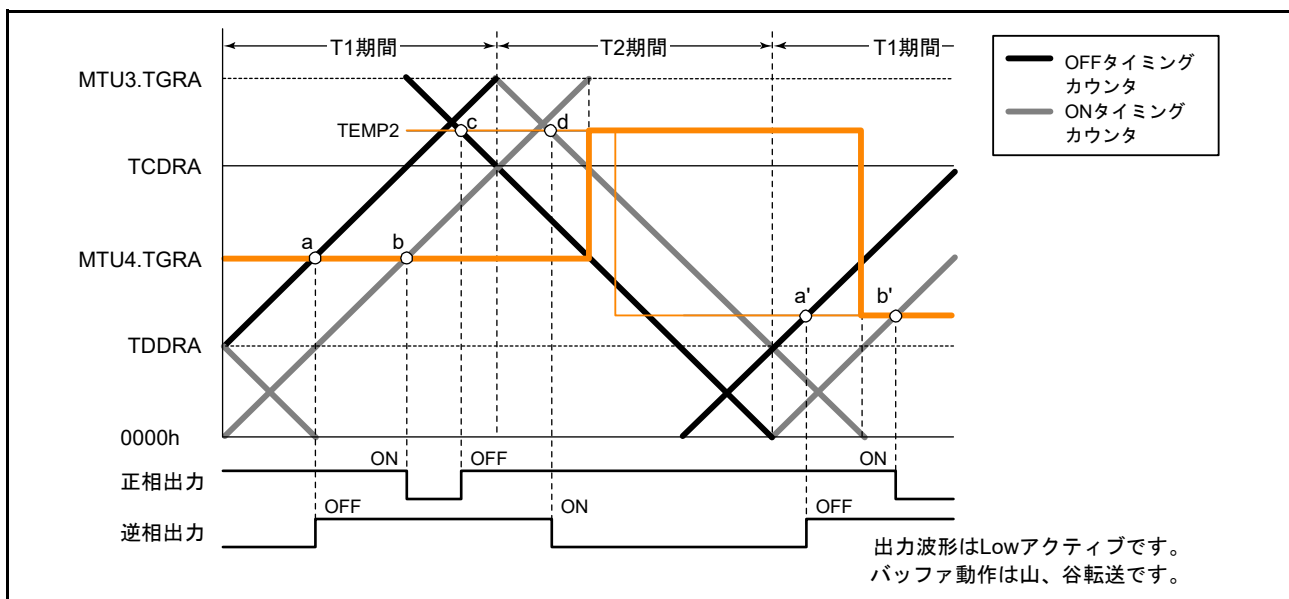


図 20.55 相補 PWM モード波形出力例 (MTU3, MTU4) (1)

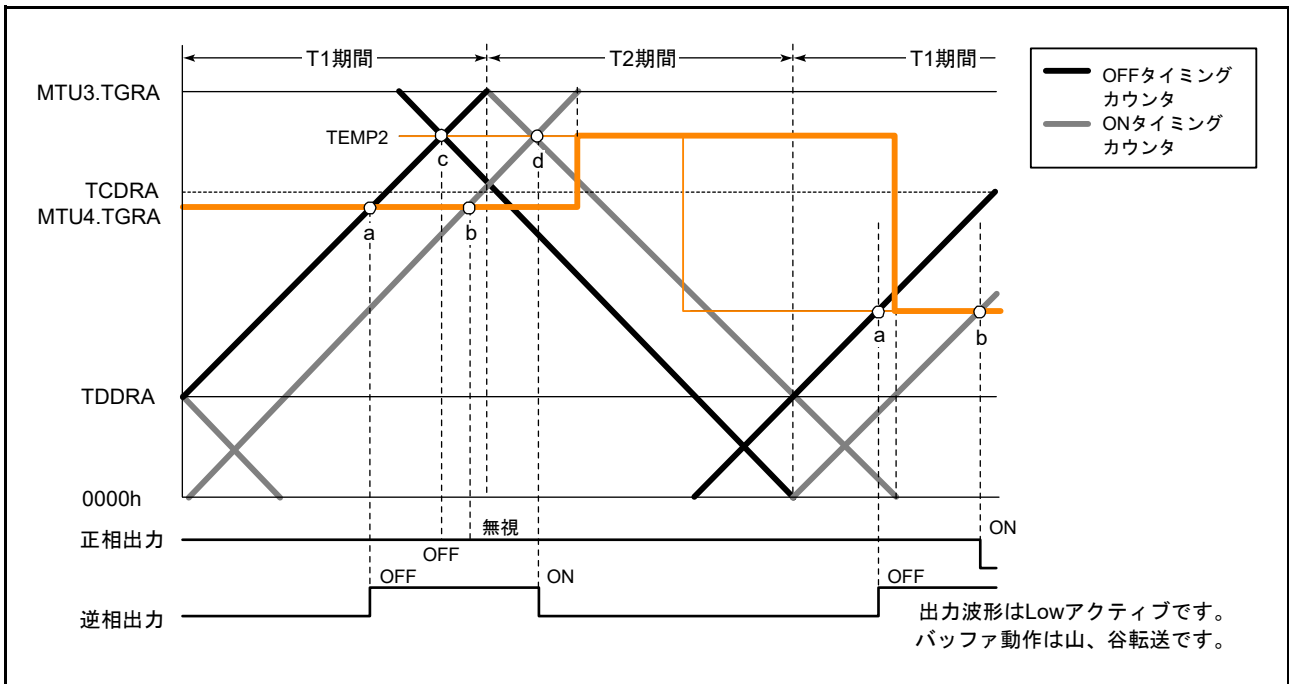


図 20.56 相補 PWM モード波形出力例 (MTU3, MTU4) (2)

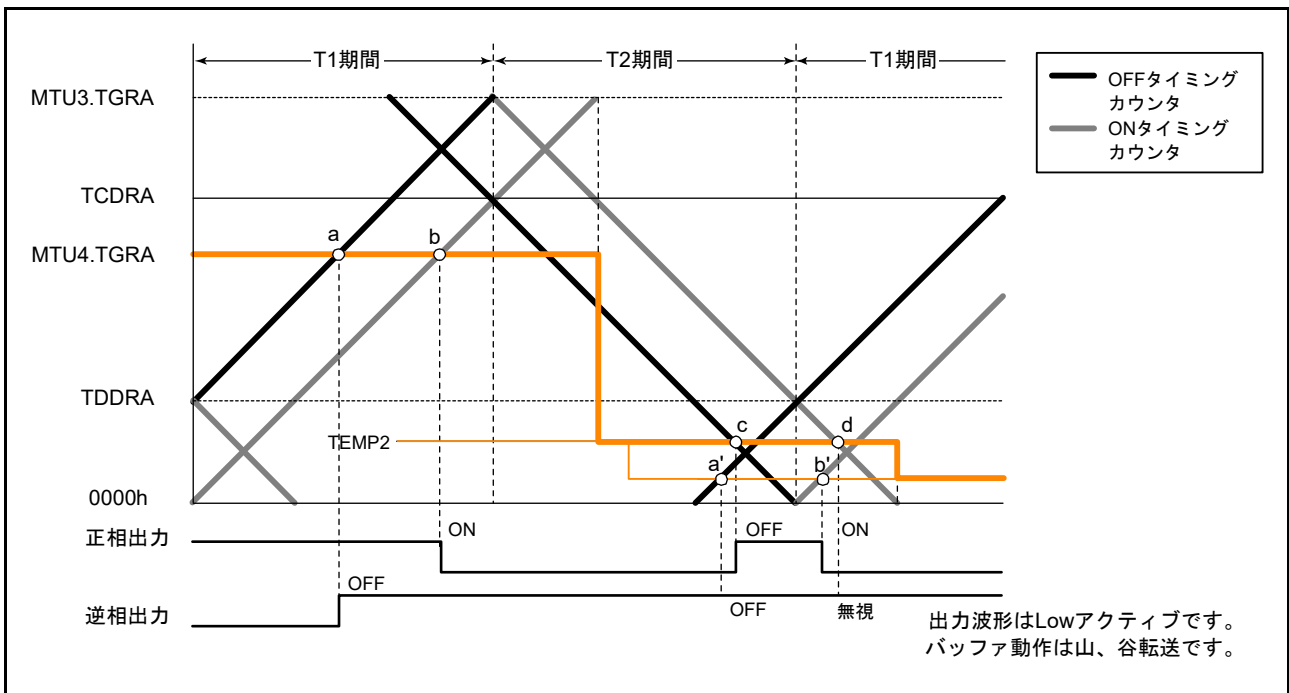


図 20.57 相補 PWM モード波形出力例 (MTU3, MTU4) (3)

(k) 相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% の PWM 出力を任意に出力可能です。図 20.58 ~ 図 20.62 に出力例を示します。

デューティ比 100% 出力は、コンペアレジスタの値を“0000h”にすると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、コンペアレジスタの値を MTU3.TGRA (MTU6.TGRA) の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視され波形は変化しません。

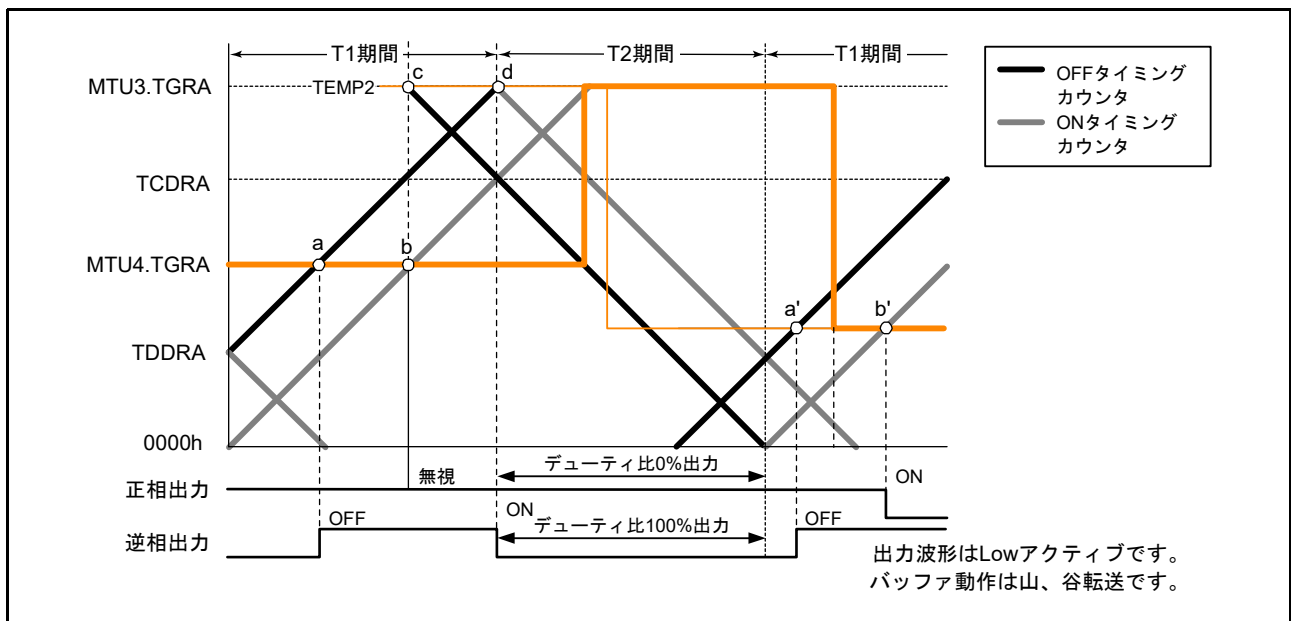


図 20.58 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (1)

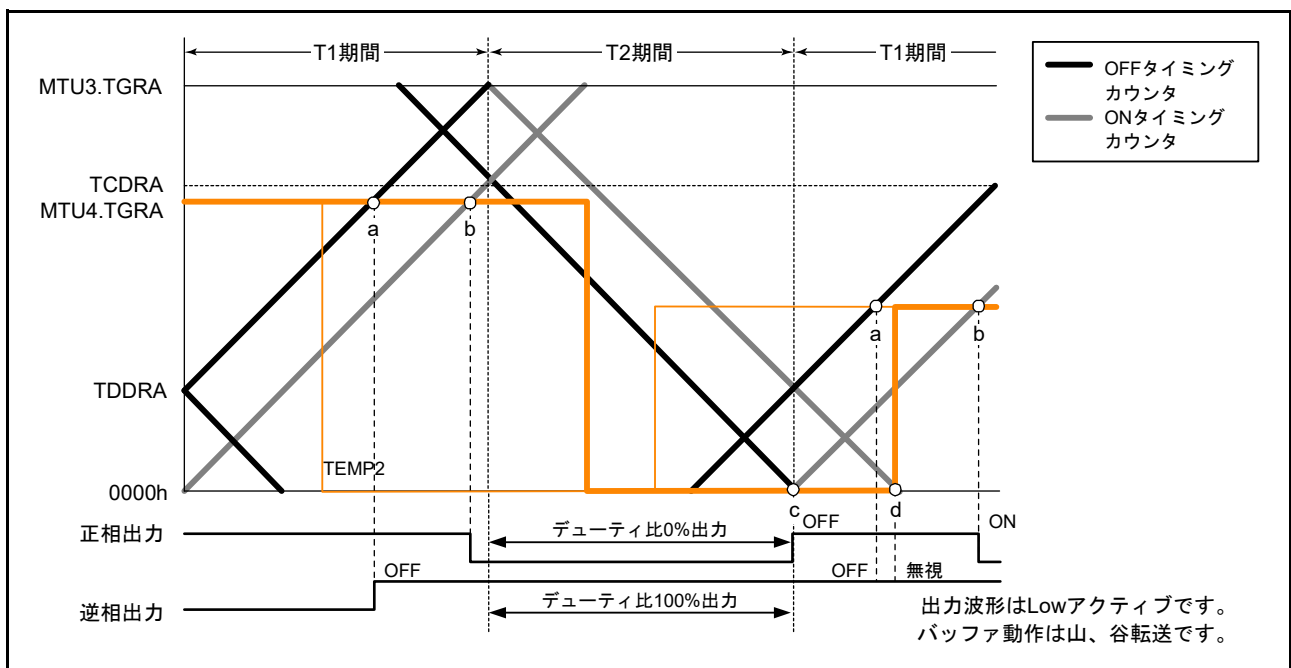


図 20.59 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (2)

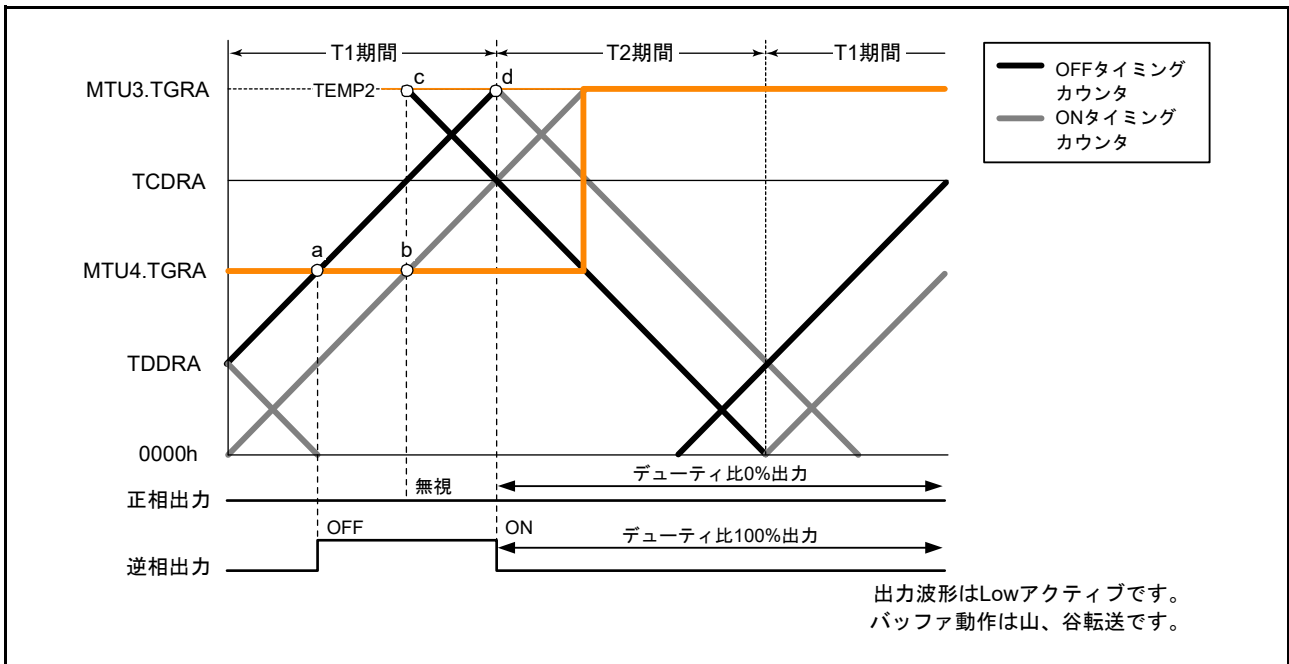


図 20.60 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (3)

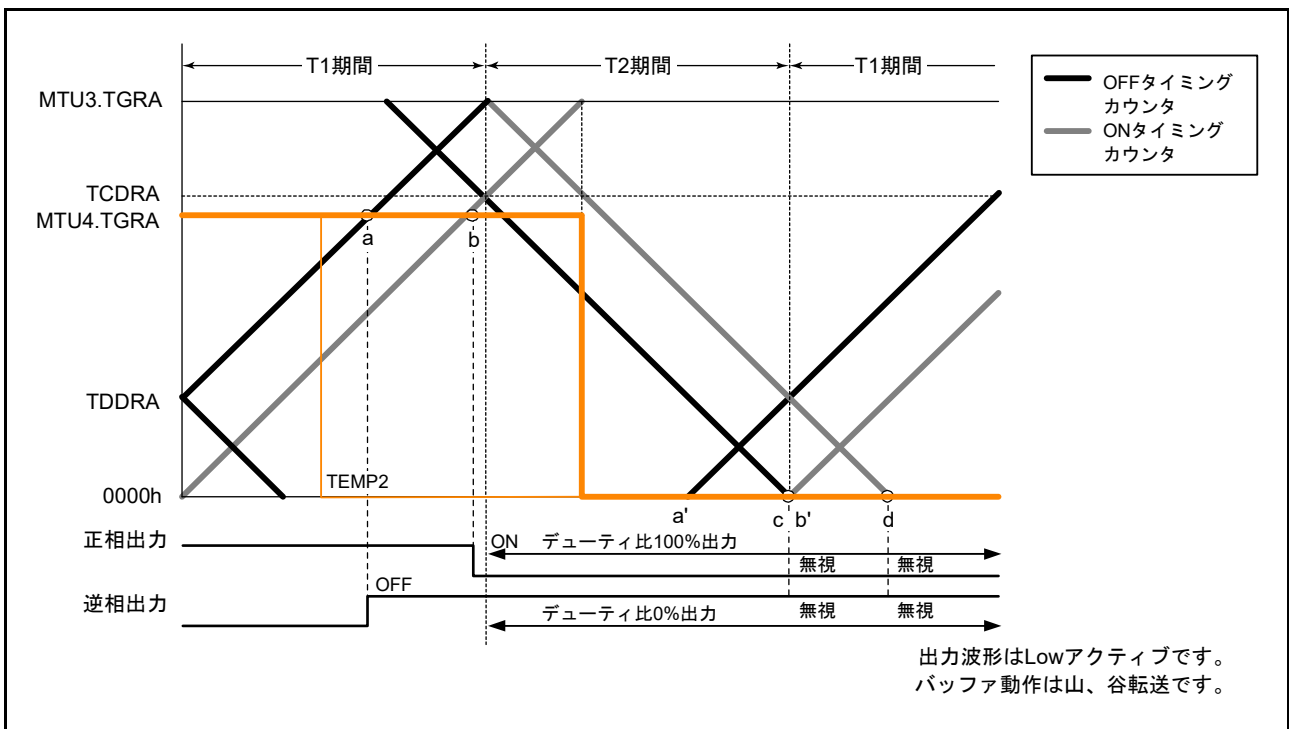


図 20.61 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (4)

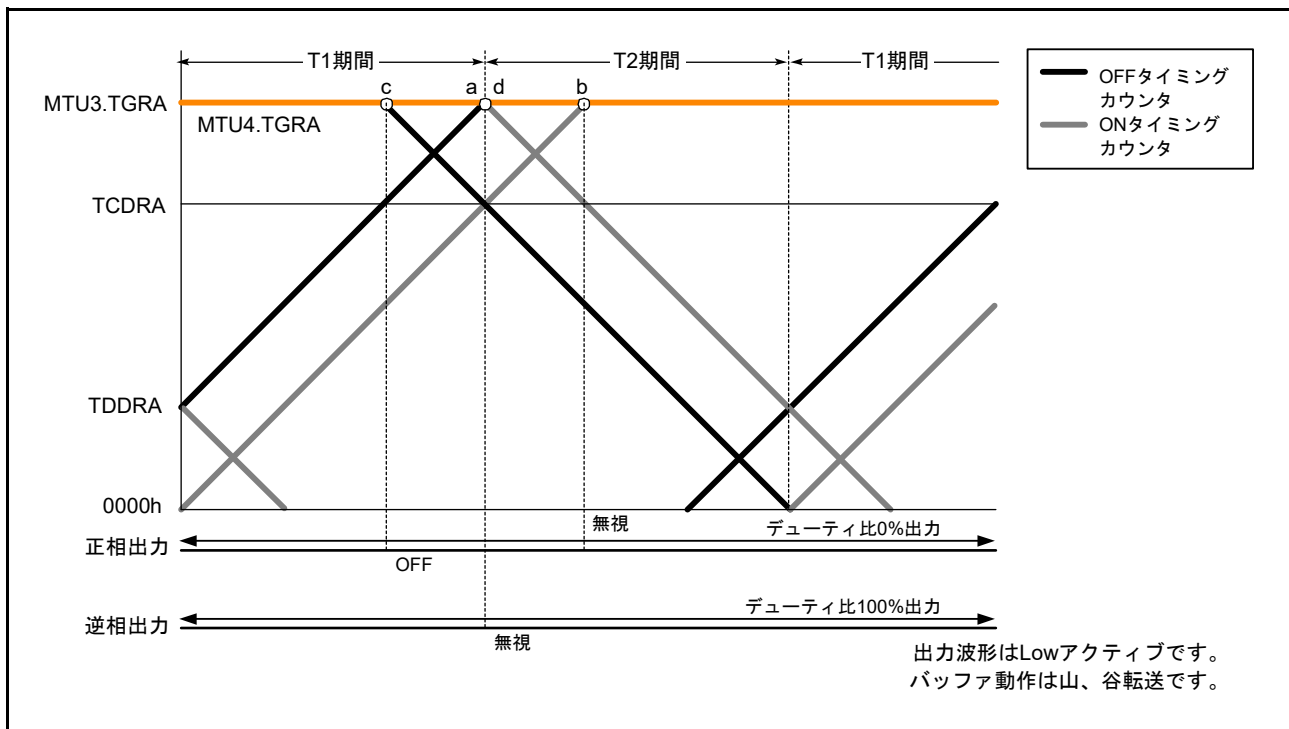


図 20.62 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (5)

(I) PWM 周期に同期したトグル出力

相補 PWM モードでは、TOCR1A (TOCR1B) レジスタの PSYE ビットを “1” にすることにより PWM 出力端子から PWM 周期に同期したトグル出力が可能です。トグル出力の波形例を図 20.63 に示します。

この出力は、MTU3.TCNT と MTU3.TGRA (MTU6.TCNT と MTU6.TGRA) のコンペアマッチと MTU4.TCNT (MTU7.TCNT) と “0000h” のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOC3A (MTIOC6A) 端子です。また、初期出力は “High” 出力です。

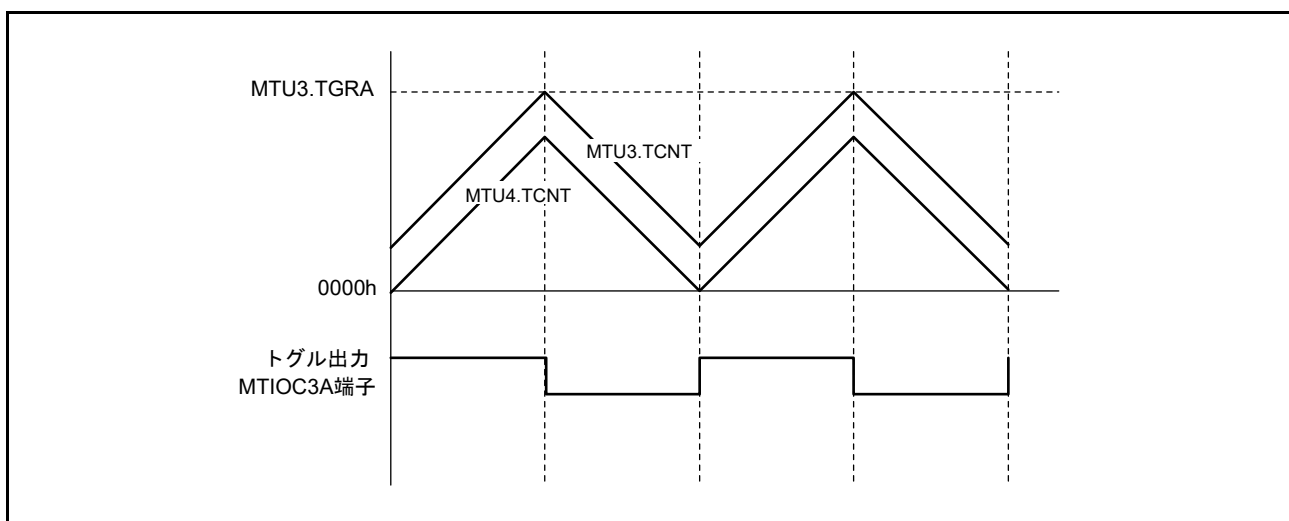


図 20.63 PWM 出力に同期したトグル出力波形例 (MTU3, MTU4)

(m) 他のチャネルによるカウンタクリア

相補PWMモード時、TSYRA (TSYRB) レジスタにより他のチャネルとの同期モードに設定し、またMTU3.TCR.CCLR[2:0] (MTU6.TCR.CCLR[2:0]) ビットで同期クリアを選択することにより他のチャネルの要因でMTU3.TCNT、MTU4.TCNT および TCNTSA (MTU6.TCNT、MTU7.TCNT および TCNTSB) をクリアをすることが可能です。

図 20.64 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

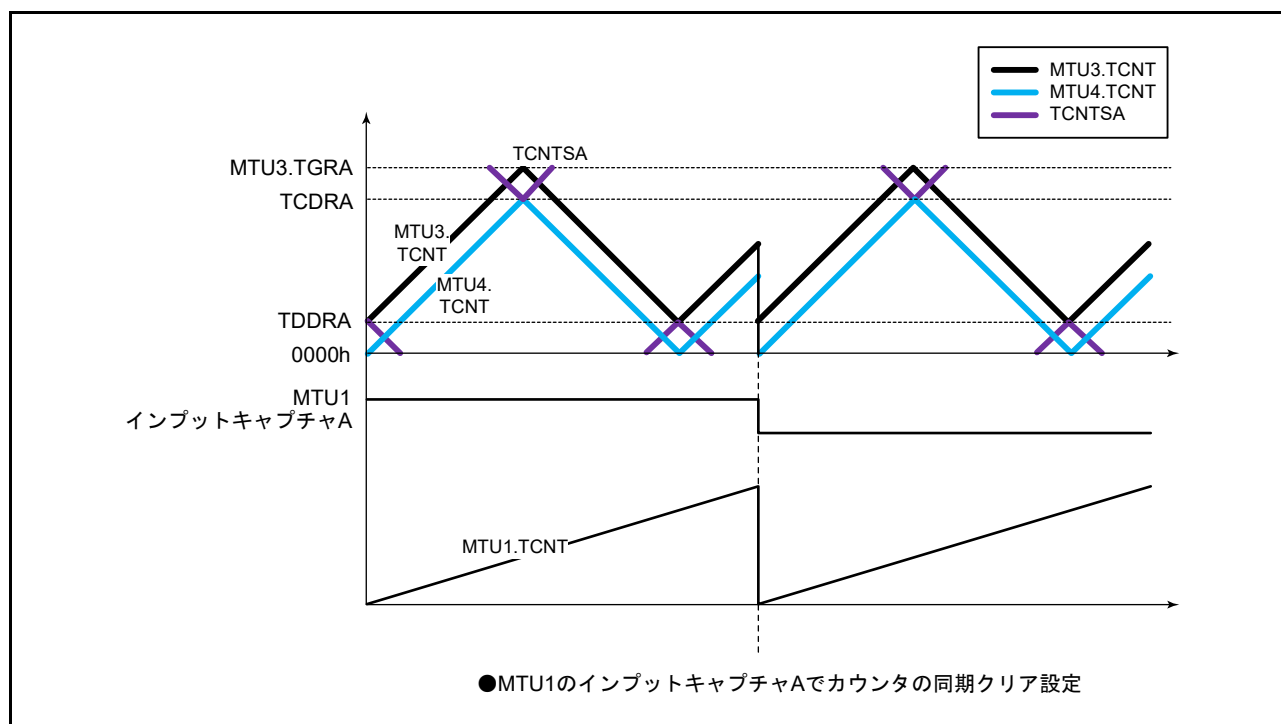


図 20.64 他のチャネルに同期したカウンタクリア (MTU3, MTU4)

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCRA (TWCRB) レジスタの WRE ビットを“1”にすることにより、相補 PWM モードの谷の Tb 区間 (Tb2 区間) で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

WRE ビットを“1”にすることで初期出力を抑止することができるのは、同期クリアが図 20.65 の⑩、⑪のような Tb2 区間に入って来たときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1A (TOCR1B) レジスタの OLSN ビット、OLSP ビットで設定した初期値が出力されます。また、Tb2 区間であっても、図 20.65 の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

本機能は MTU3、MTU4—MTU6、MTU7 のどちらでも使用することができます。MTU3、MTU4—MTU6、MTU7 のカウンタクリア要因はそれぞれ、MTU3、MTU4 では MTU0 ~ MTU2 からの同期クリア、MTU6、MTU7 では MTU0 ~ MTU2 のコンペアマッチ/インプットキャプチャです。

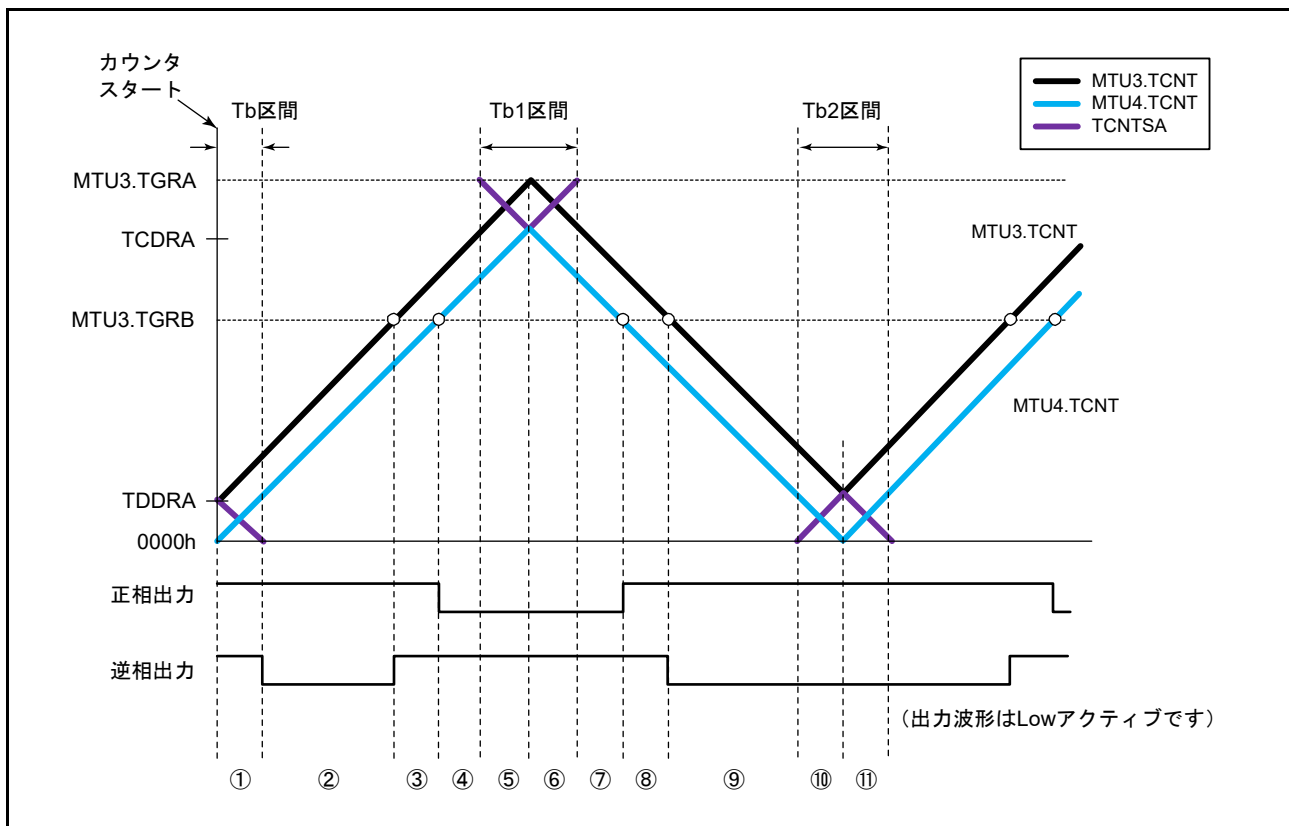


図 20.65 同期カウンタクリアタイミング (MTU3, MTU4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例
相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 20.66 に示します。

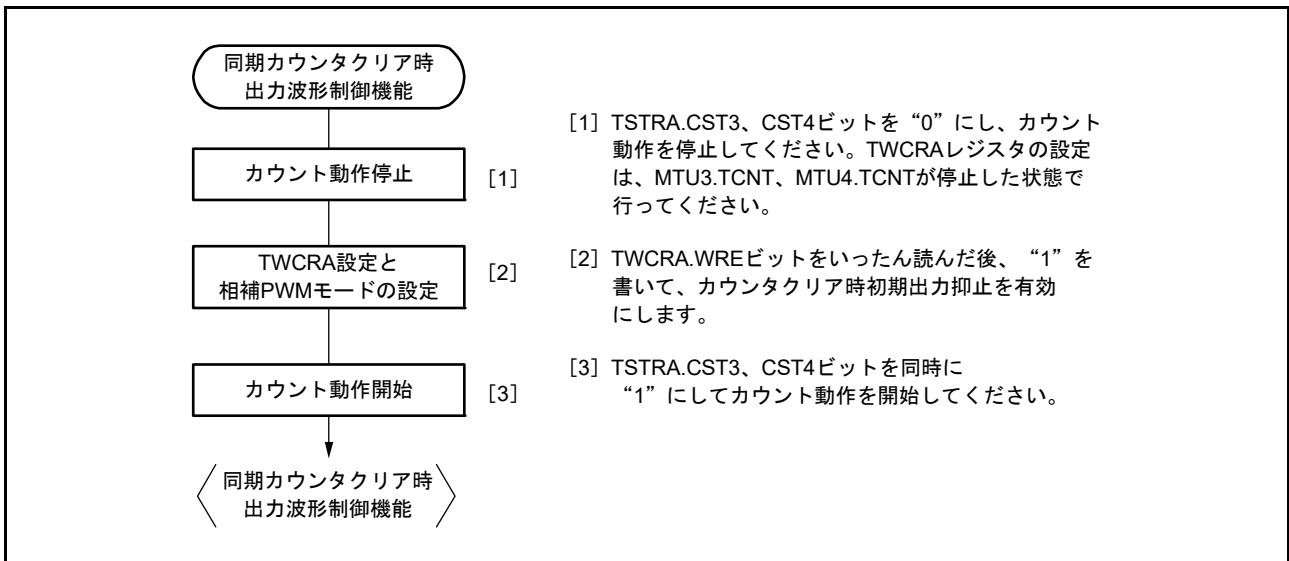


図 20.66 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例 (MTU3, MTU4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 20.67 ~ 図 20.70 に、TWCRA.WRE ビットを“1”にした状態で MTU3、MTU4 を相補 PWM 動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 20.67 ~ 図 20.70 の同期カウンタクリアのタイミングは、それぞれ図 20.65 の③、⑥、⑧、⑪で示したタイミングです。

この例は、MTU6、MTU7 では TWCRA.SCC ビットを“0”、WRE ビットを“1”にした状態で MTU6、MTU7 を相補 PWM 動作させ、同期カウンタクリアをした場合に相当します。

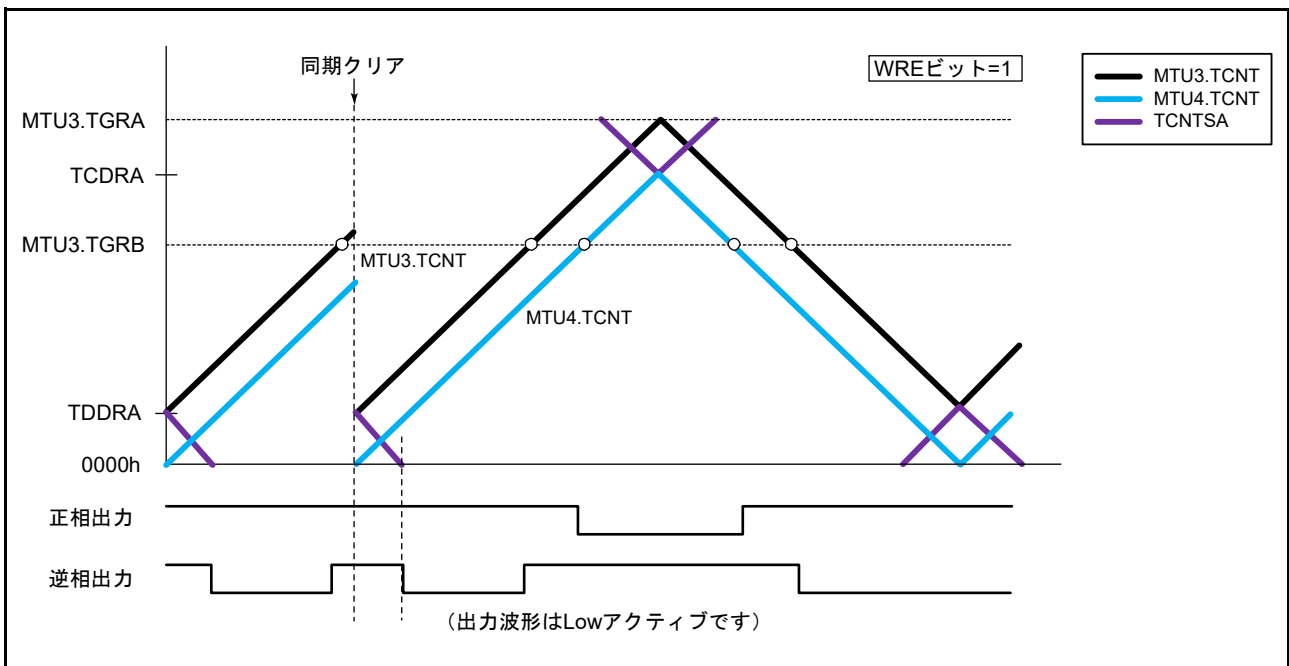


図 20.67 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 20.65 のタイミング③、TWCRA レジスタの WRE ビット = 1)

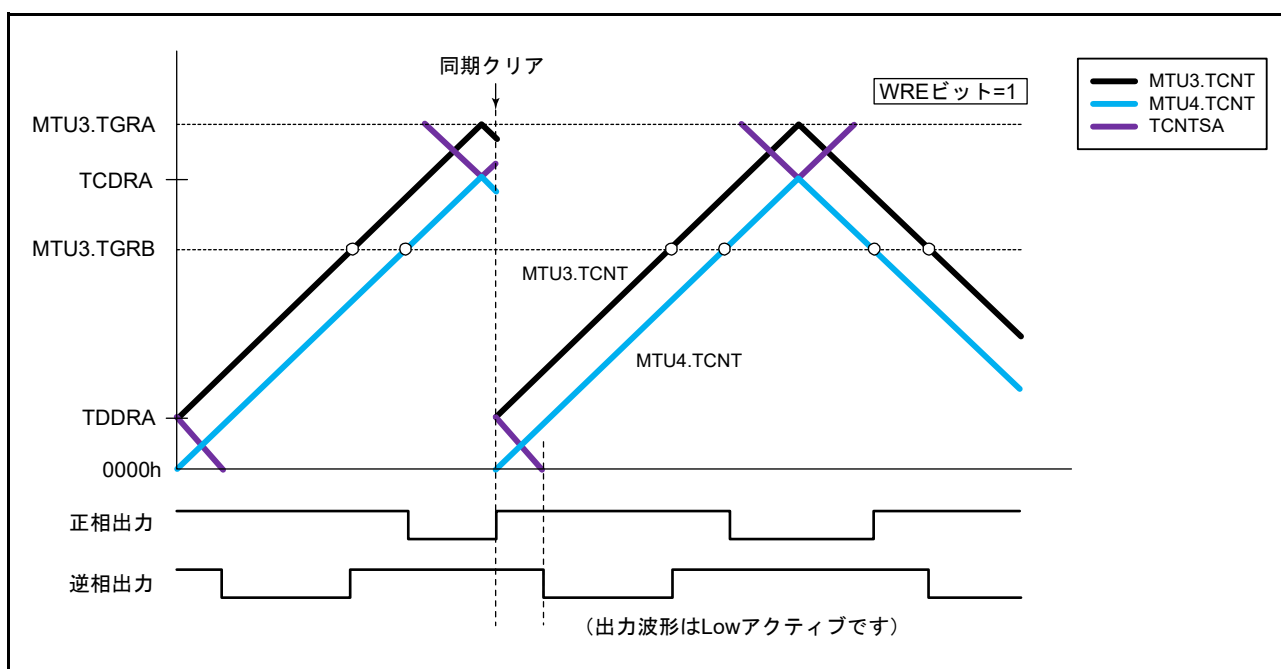


図 20.68 Tb1 区間で同期クリアが発生した場合
 (図 20.65 のタイミング⑥、TWCRA レジスタの WRE ビット = 1)

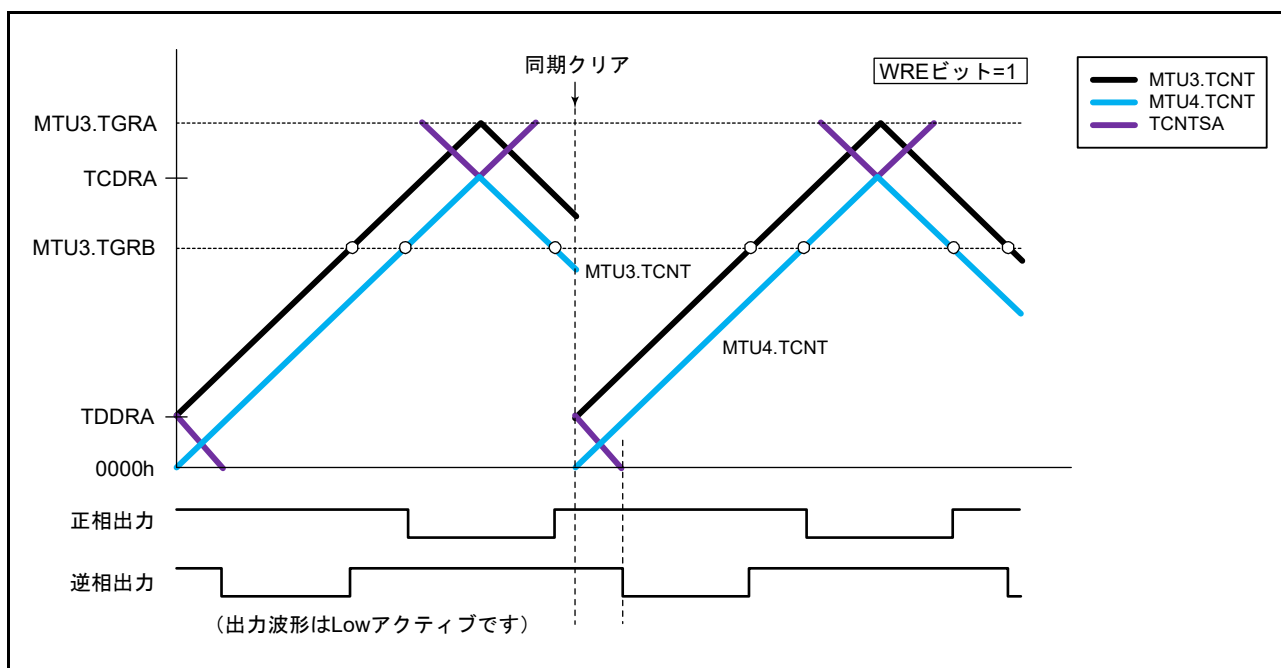


図 20.69 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
 (図 20.65 のタイミング⑧、TWCRA レジスタの WRE ビット = 1)

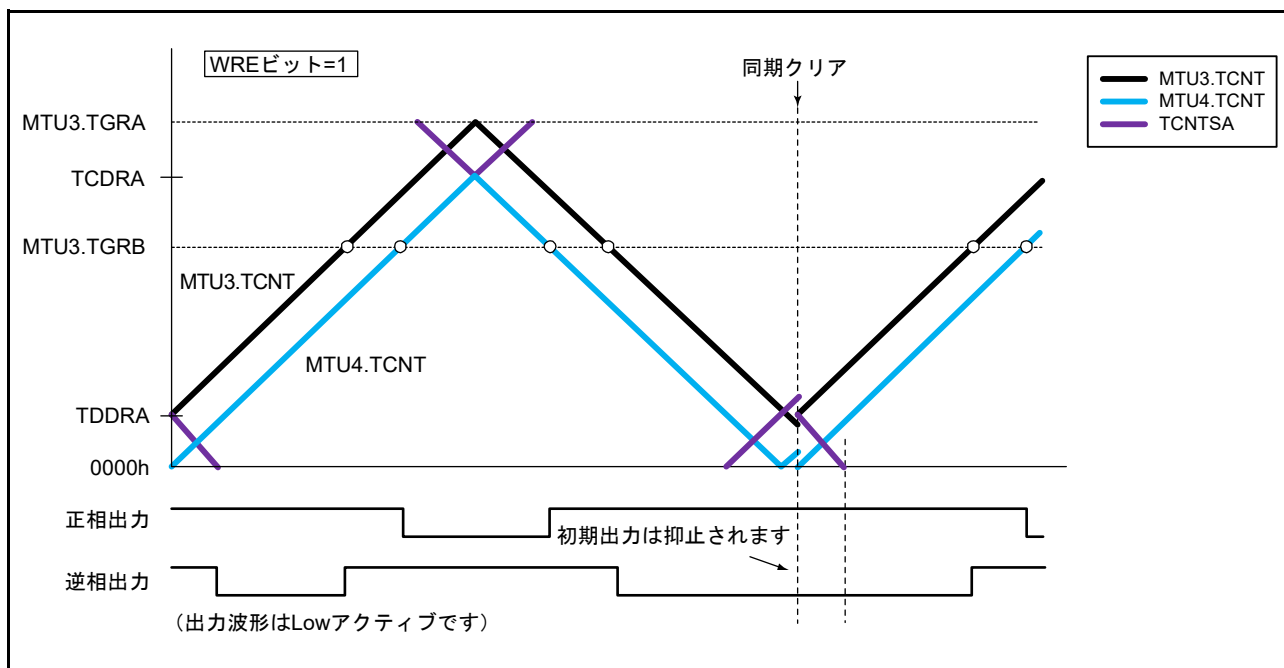


図 20.70 Tb2 区間で同期クリアが発生した場合
 (図 20.65 のタイミング①、TWCRA レジスタの WRE ビット = 1)

(o) MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリアの抑止機能

MTU6、MTU7 では、TWCRB.SCC ビットを“1”にすることにより、MTU0、MTU1、MTU2 からの同期クリアを抑止することができます。

SCC ビットの設定によって MTU0、MTU1、MTU2 からの同期クリアが抑止できるのは、図 20.71 で示す区間です。

また、本機能を使用する際は、MTU6、MTU7 を相補 PWM モードに設定してください。

MTU0、MTU1、MTU2 からの同期クリアについての詳細は、「20.3.10 (2) MTU6、MTU7 カウンタ同期クリア」を参照してください。

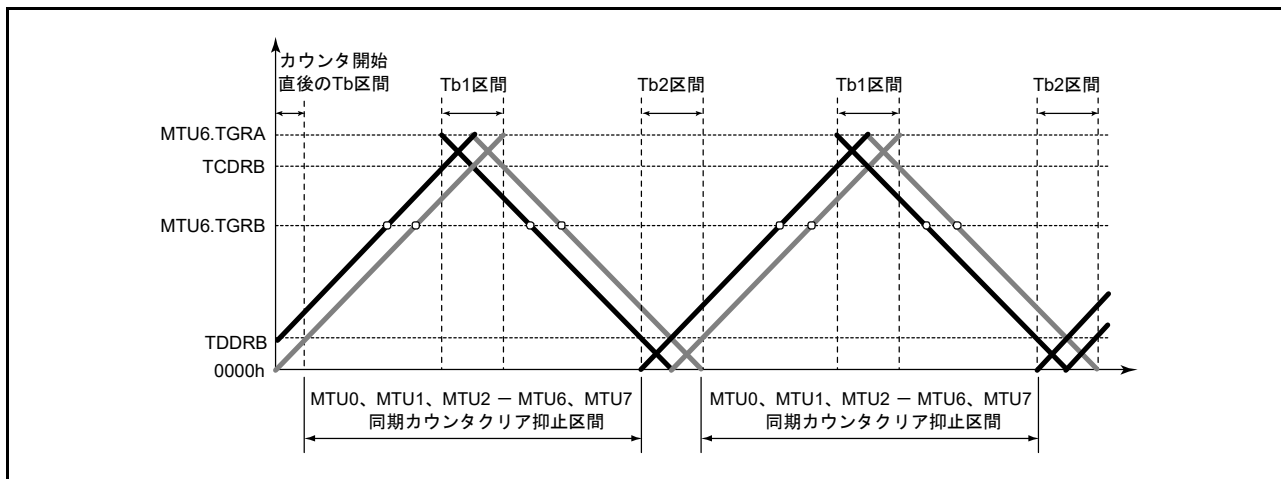


図 20.71 TWCRB.SCC ビットセットによる MTU0、MTU1、MTU2—MTU6、MTU7 同期クリア抑止区間

• MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例

MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例を図 20.72 に示します。

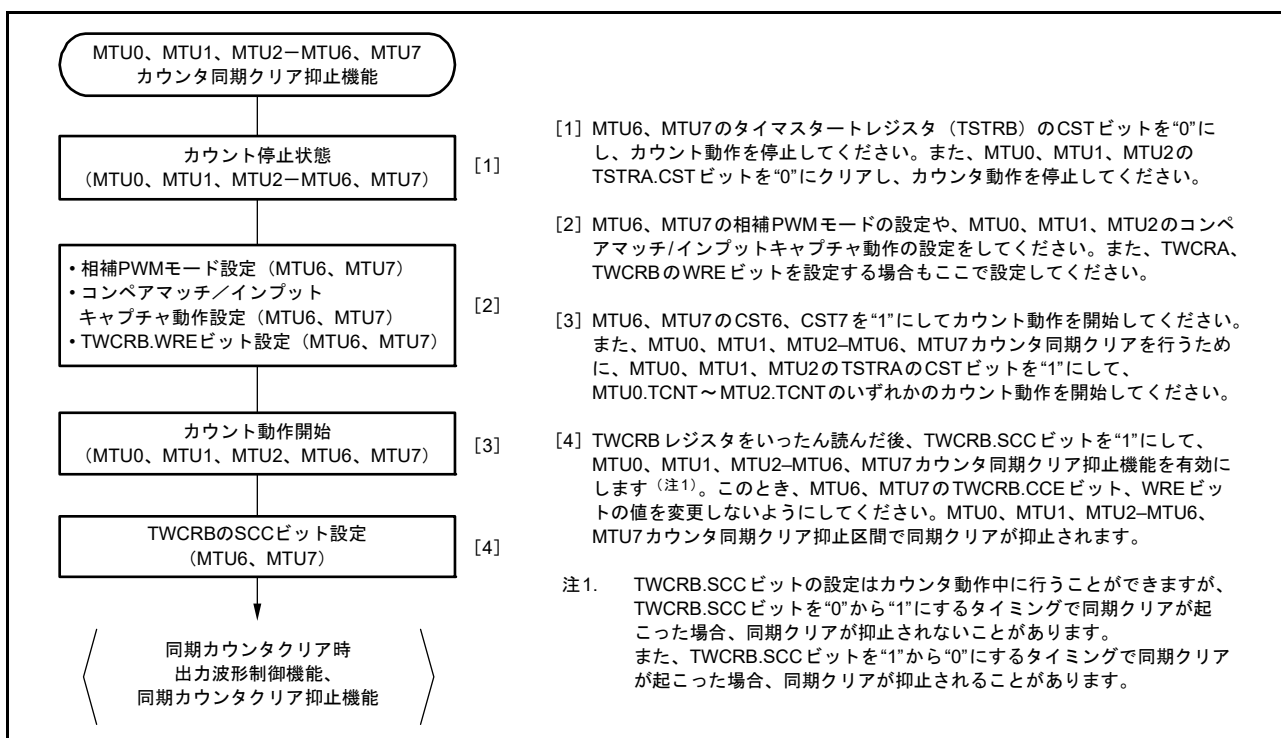


図 20.72 MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例

- MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の動作例

図 20.73 ~ 図 20.76 に、MTU6、MTU7 の TWCRCB の SCC ビットを “1” にして MTU6、MTU7 を相補 PWM 動作をさせ、MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリア抑止機能を有効にした場合の動作例を示します。ここで、図 20.73 ~ 図 20.76 の同期カウンタクリアのタイミングは、それぞれ図 20.65 の③、⑥、⑧、⑪で示したタイミングです。また、この例では MTU6、MTU7 の TWCRCB.WRE ビットは “1” にしています。

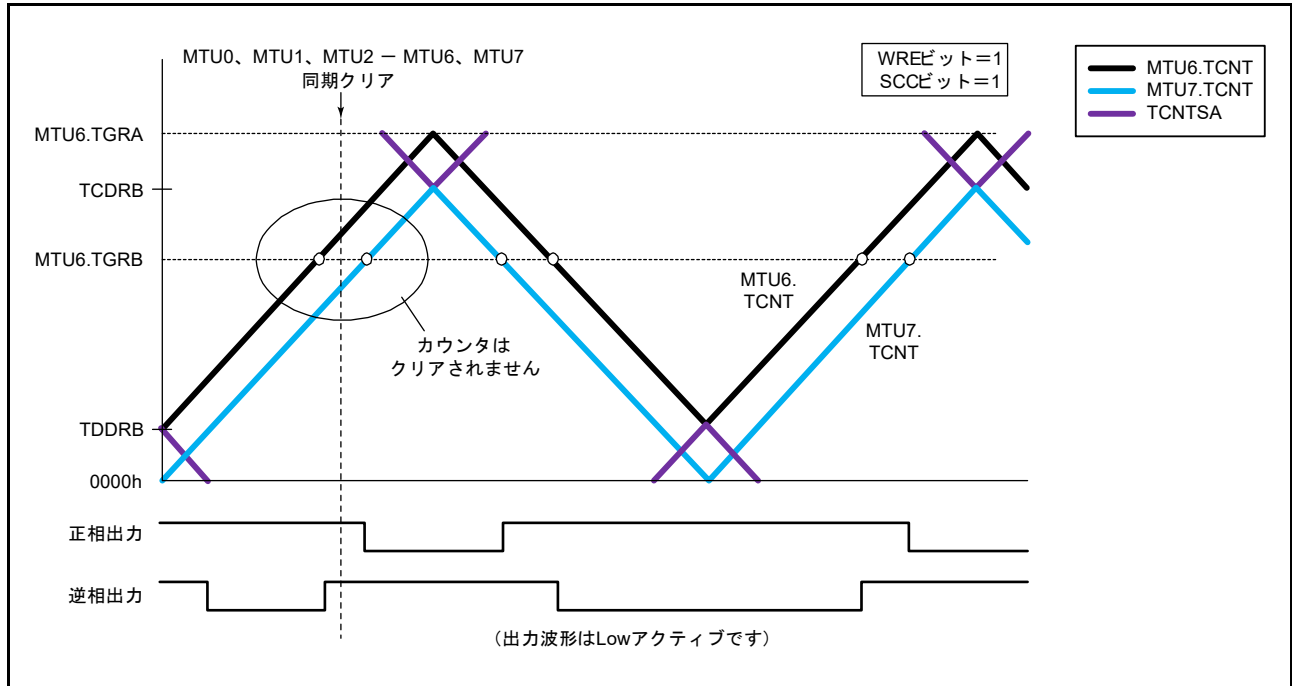


図 20.73 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 20.65 のタイミング③、MTU6、MTU7 の TWCRCB レジスタの WRE ビット = 1、SCC ビット = 1)

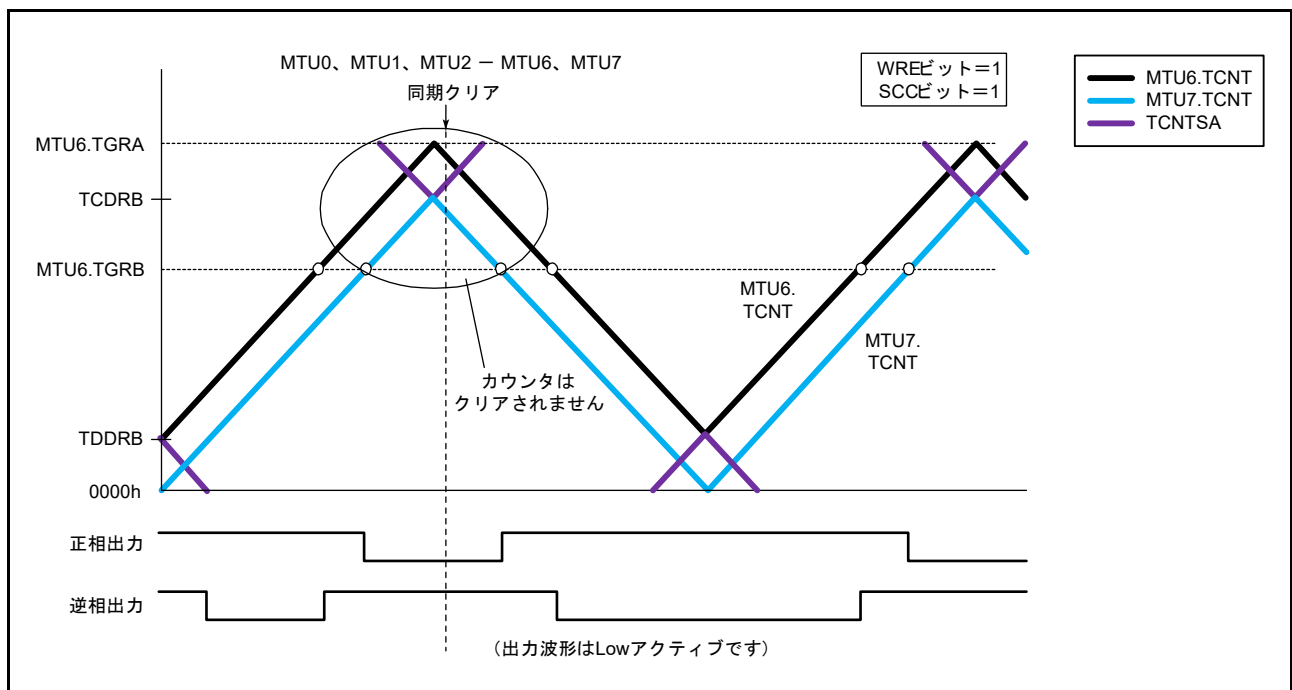


図 20.74 Tb1 区間で同期クリアが発生した場合 (図 20.65 のタイミング⑥、MTU6、MTU7 の TWCRCB レジスタの WRE ビット = 1、SCC ビット = 1)

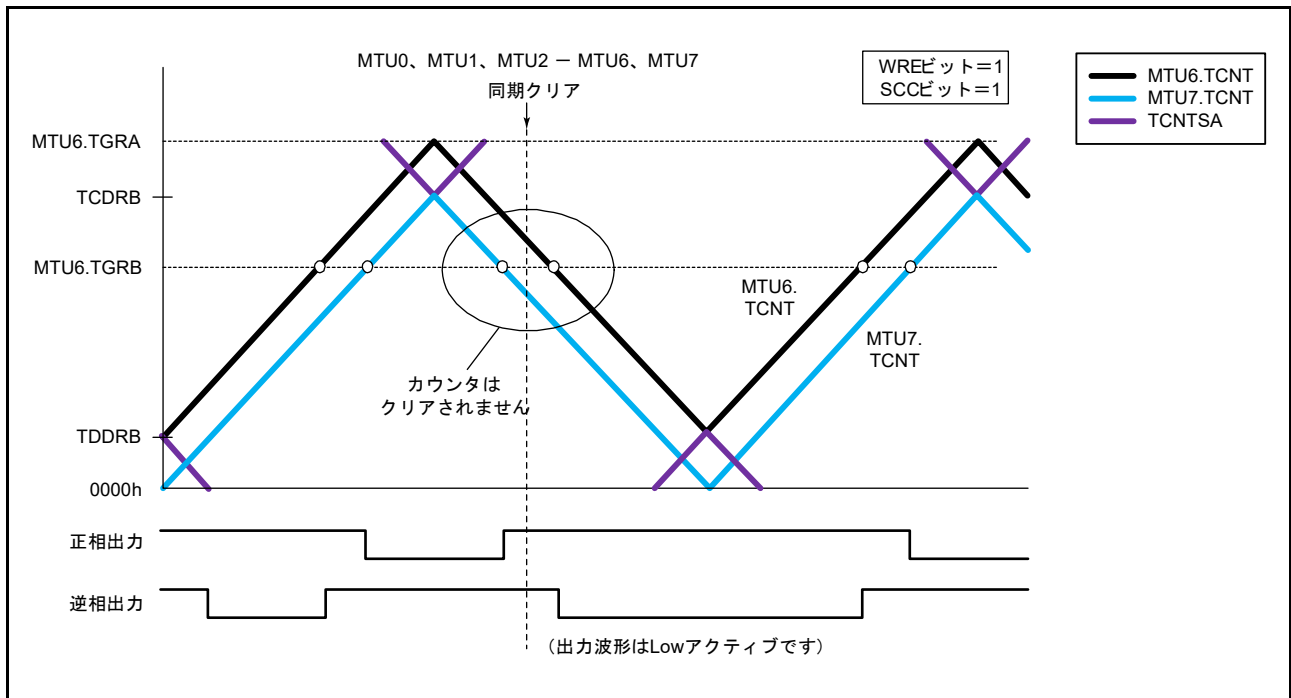


図 20.75 ダウンカウント中のデッドタイム時に同期クリアが発生した場合 (図 20.65 のタイミング⑧、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

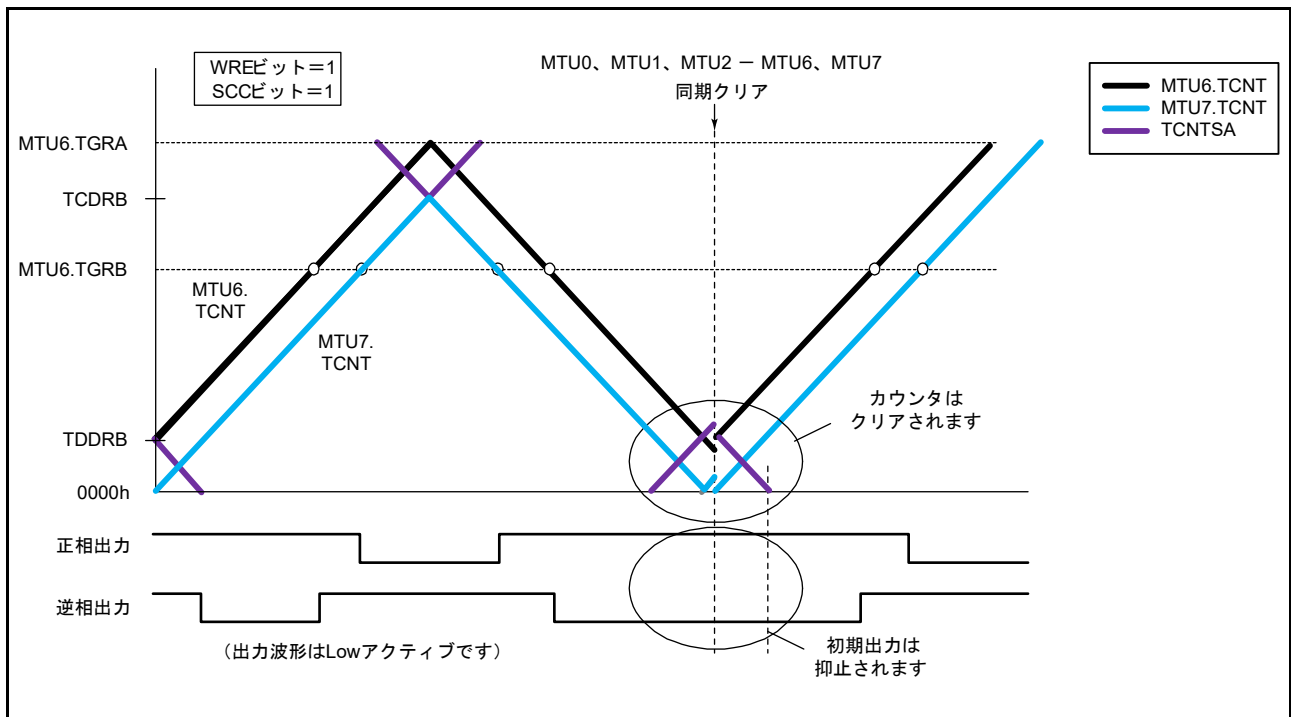


図 20.76 Tb2 区間で同期クリアが発生した場合 (図 20.65 のタイミング⑩、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

(p) MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリア

相補 PWM モードでは、TWCRA.CCE (TWCRB.CCE) ビットを設定することにより、MTU3.TGRA (MTU6.TGRA) のコンペアマッチで MTU3.TCNT (MTU6.TCNT)、MTU4.TCNT (MTU7.TCNT) および TCNTSA (TCNTSB) をクリアすることが可能です。

図 20.77 に動作例を示します。

- 注 1. 相補 PWM モード 1 (山で転送) でのみ使用してください。
- 注 2. 他のチャネルとの同期クリア機能に設定しないでください。(タイマシンクロレジスタ (TSYRA、TSYRB) の SYNC0 ~ SYNC4, SYNC9 ビット、SYNC6, SYNC7 ビットを“1”に、タイマシンクロクリアレジスタ (TSYCR) の CE0A ~ CE0D ビット、CE1A, CE1B ビット、CE2A, CE2B ビットを“1”に設定しないでください。)
- 注 3. PWM デューティは、“0000h”を設定しないでください。
- 注 4. タイマアウトプットコントロールレジスタ 1 (TOCR1A, TOCR1B) の PSYE ビットを“1”に設定しないでください。

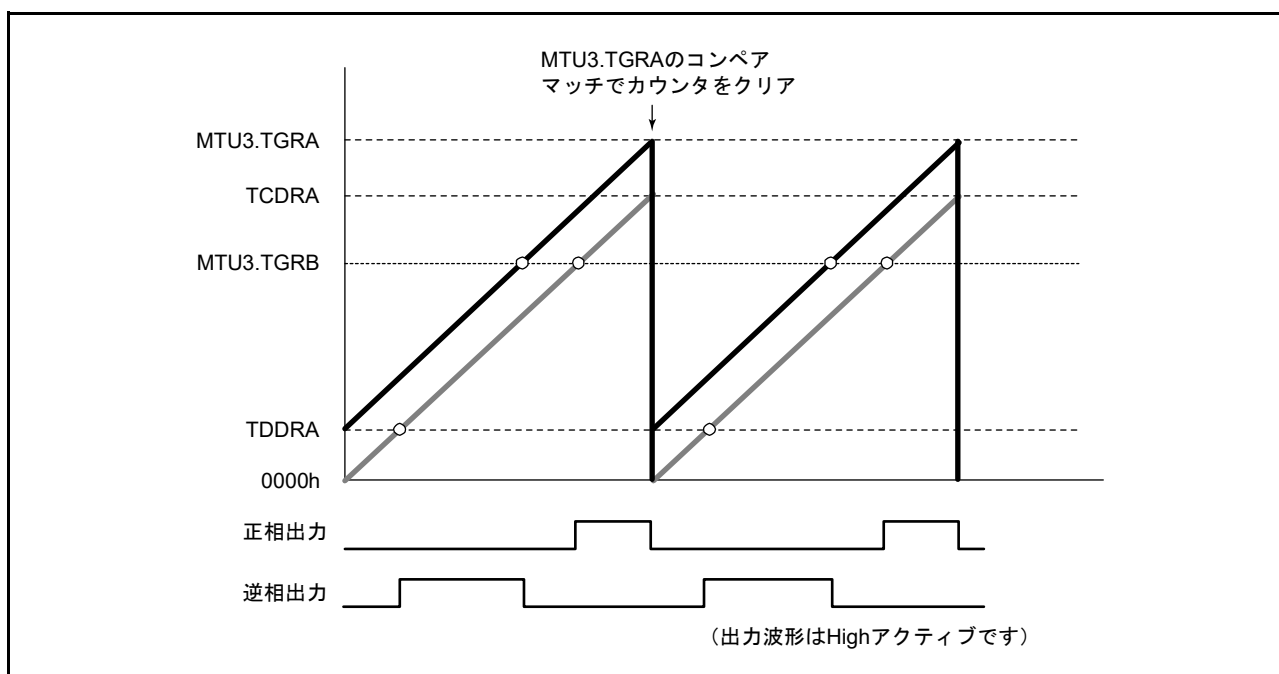


図 20.77 MTU3.TGRA のコンペアマッチにおけるカウンタクリアの動作例

(q) AC同期モータ（ブラシレスDCモータ）の駆動波形出力例

相補PWMモードでは、TGCRA (TGCRB) レジスタを使ってブラシレスDCモータを簡単に制御することができます。図 20.78 ~ 図 20.81 に MTU3、MTU4 を使用したブラシレスDCモータの駆動波形例を示します。

TGCRB レジスタを使って、MTU6、MTU7 による駆動波形出力を行うブラシレスDCモータ制御も可能です。外部信号は、MTIOC9A、MTIOC9B、MTIOC9C 端子を用います。

3相ブラシレスDCモータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCRA.FB (TGCRB.FB) ビットを“0”にします。この場合、磁極位置を示す外部信号を MTU0 (MTU9) の MTIOC0A、MTIOC0B、MTIOC0C (MTIOC9A、MTIOC9B、MTIOC9C) 端子に入力します (MPC と I/O ポートのポートモードレジスタ (PMR) で設定してください)。MTIOC0A、MTIOC0B、MTIOC0C (MTIOC9A、MTIOC9B、MTIOC9C) 端子の3つの端子にエッジが発生すると、出力のON/OFF が自動的に切り替わります。

TGCRA.FB (TGCRB.FB) ビットが“1”の場合は、TGCRA (TGCRB) の UF、VF、WF ビットの各ビットを“0”または“1”にすると、出力のON/OFF が切り替わります。

駆動波形の出力は、相補PWMモードの6相PWM出力端子から出力されます。

この6相出力はTGCRA (TGCRB) レジスタのNビットまたはPビットを“1”にすることにより、ON出力時、相補PWMモードの出力を使用し、チョッピング出力を行うことが可能です。NビットまたはPビットが“0”の場合は、レベル出力になります。

また、6相出力のアクティブレベル (ON出力時レベル) は、NビットおよびPビットの設定にかかわらず、TOCR1A.OLSN (TOCR1B.OLSN)、TOCR1A.OLSP (TOCR1B.OLSP) ビットで設定できます。

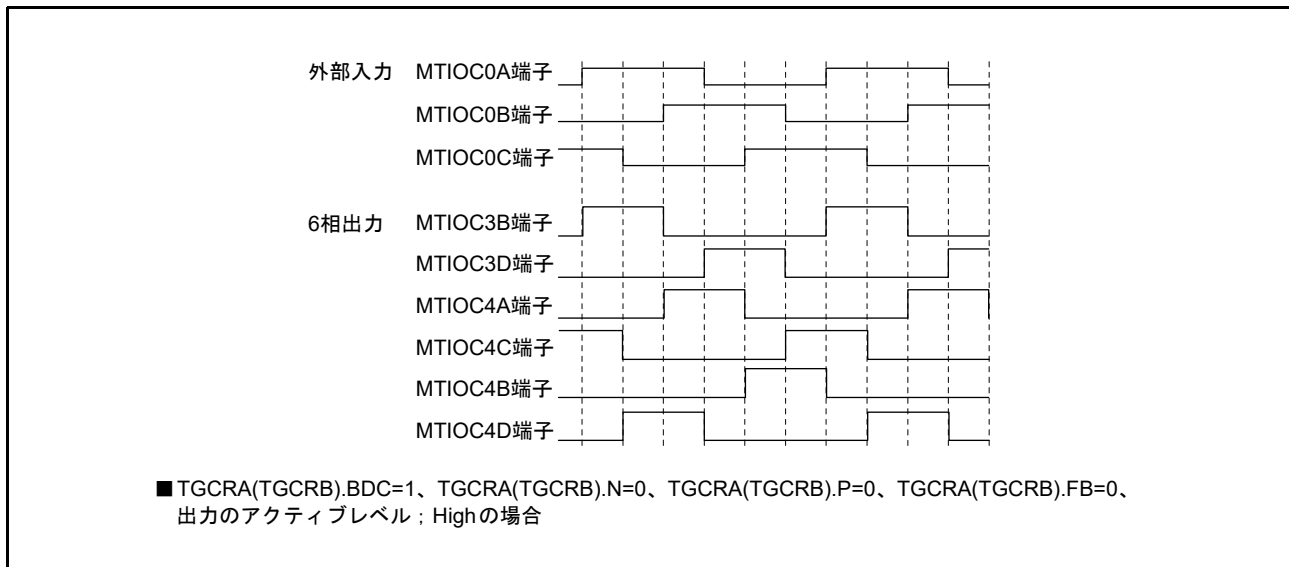


図 20.78 外部入力による出力相の切り替え動作例 (1)

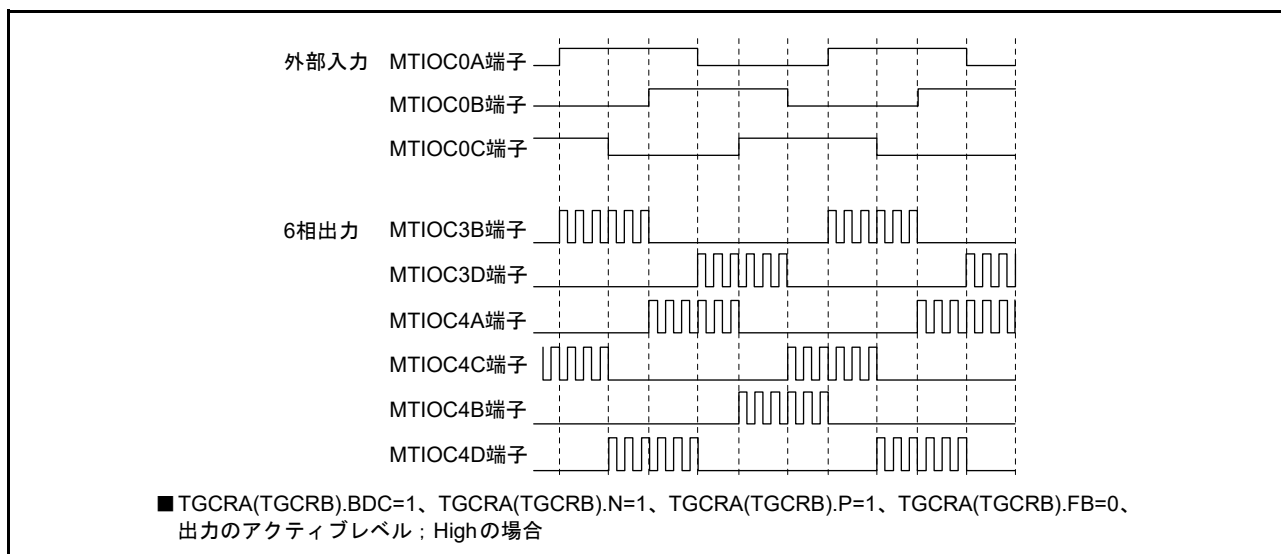


図 20.79 外部入力による出力相の切り替え動作例 (2)

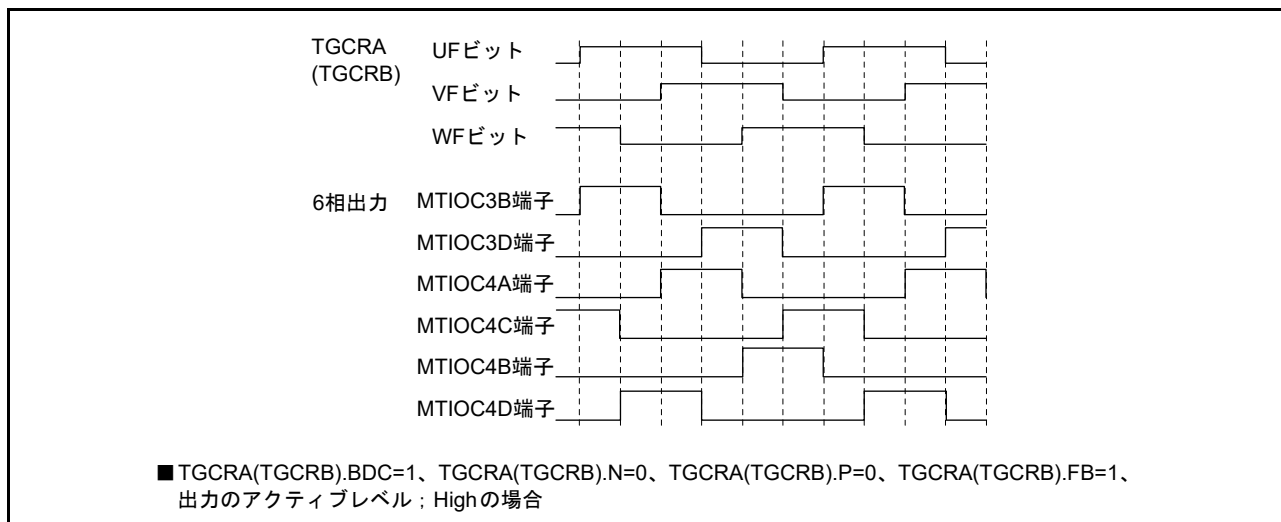


図 20.80 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

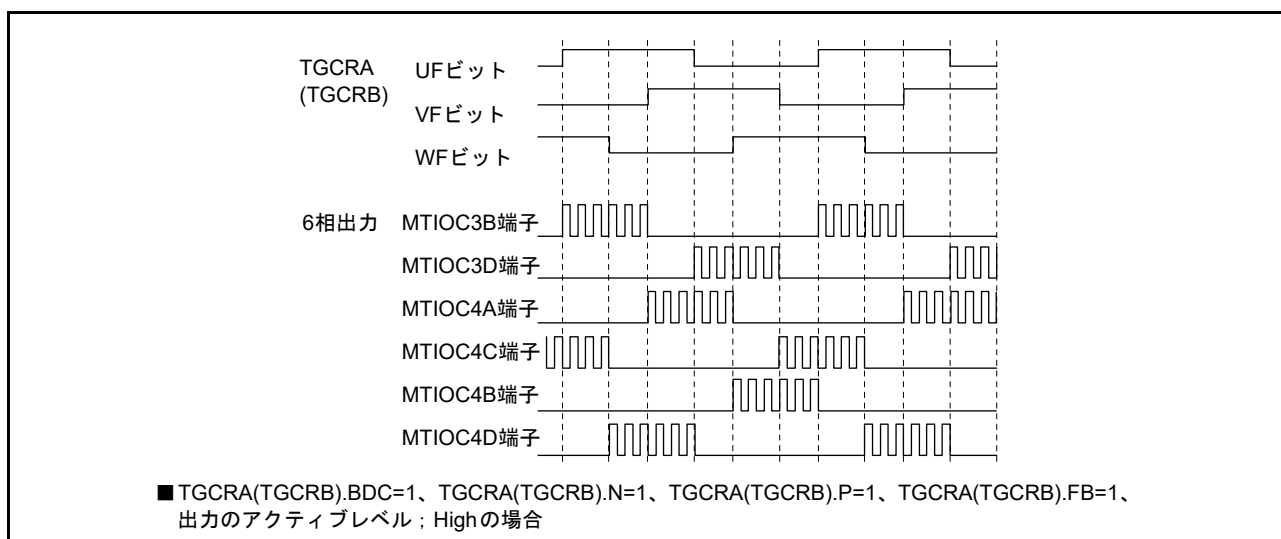


図 20.81 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(r) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTU3.TGRA (MTU6.TGRA) のコンペアマッチ、MTU4.TCNT (MTU7.TCNT) のアンダフロー (谷)、MTU3、MTU4 (MTU6、MTU7) 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

MTU3.TGRA (MTU6.TGRA) のコンペアマッチを使用して開始要求を設定すると、MTU3.TCNT (MTU6.TCNT) の山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、TIER.TTGE ビットを“1”にすることで設定できます。MTU4.TCNT (MTU7.TCNT) のアンダフロー (谷) の A/D 変換の開始要求は、MTU4.TIER.TTGE2 (MTU7.TIER.TTGE2) ビットを“1”にすることで設定できます。

(s) 相補 PWM モードのダブルバッファ機能

相補 PWM モード3 (山・谷で転送) 時、TMDR2A.DRS (TMDR2B.DRS) ビットを“1”にすることにより、PWM 変更時の PWM 出力の最小分解能を ± 2 から ± 1 にすることが可能です。

バッファレジスタ A (MTU3.TGRD、MTU4.TGRC、MTU4.TGRD、MTU6.TGRD、MTU7.TGRC、MTU7.TGRD) を設定する際は、バッファレジスタ B (MTU3.TGRE、MTU4.TGRE、MTU4.TGRF、MTU6.TGRE、MTU7.TGRE、MTU7.TGRF) も同時に設定してください。設定手順の詳細は「20.3.8 (1) 相補 PWM モードの設定手順例」を参照してください。

注. バッファレジスタ B の値にバッファレジスタ A の値を設定した場合、PWM 出力が左右対称になります。バッファレジスタ B の値にバッファレジスタ A の値を設定しない場合、PWM 出力が非対称になります。

図 20.82 にダブルバッファ機能の動作例を示します。

各レジスタのデータ転送方式は下記のとおりです。

- MTU4.TGRD、MTU7.TGRD (バッファ A) 書き込み時に MTU4.TGRD、MTU7.TGRD (バッファ A) → Temp3A、Temp6A (テンポラリ A)、および MTU4.TGRF、MTU7.TGRF (バッファ B) → Temp3B、Temp6B (テンポラリ B) へのデータ転送
- ①のタイミングで Temp3A、Temp6A (テンポラリ A) → MTU4.TGRB、MTU7.TGRB (コンペア) へのデータ転送
- ②のタイミングで Temp3B、Temp6B (テンポラリ B) → MTU4.TGRB、MTU7.TGRB (コンペア) へのデータ転送

山区間 (Tb1 区間) ではコンペアレジスタとテンポラリレジスタ A、谷区間 (Tb2 区間) ではコンペアレジスタとテンポラリレジスタ B が有効

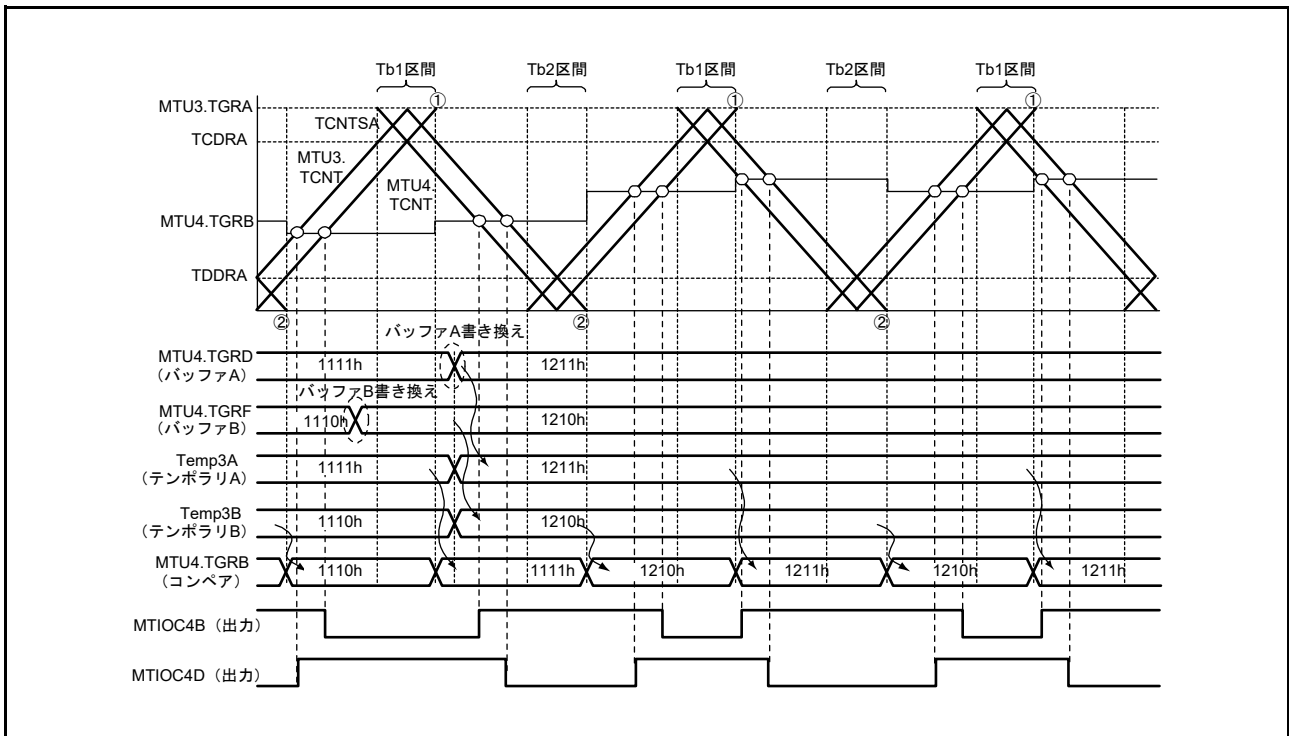


図 20.82 ダブルバッファ機能の動作例

バッファへの書き込み値が TDDRA (TDDRB) レジスタより小さい場合を図 20.83 に、TCDRA (TCDRB) レジスタより大きい場合を図 20.84 に示します。

山区間では、コンペアレジスタまたはテンポラリレジスタ A とのコンペアマッチで出力制御し、谷区間ではコンペアレジスタまたはテンポラリレジスタ B とのコンペアマッチで出力制御します。

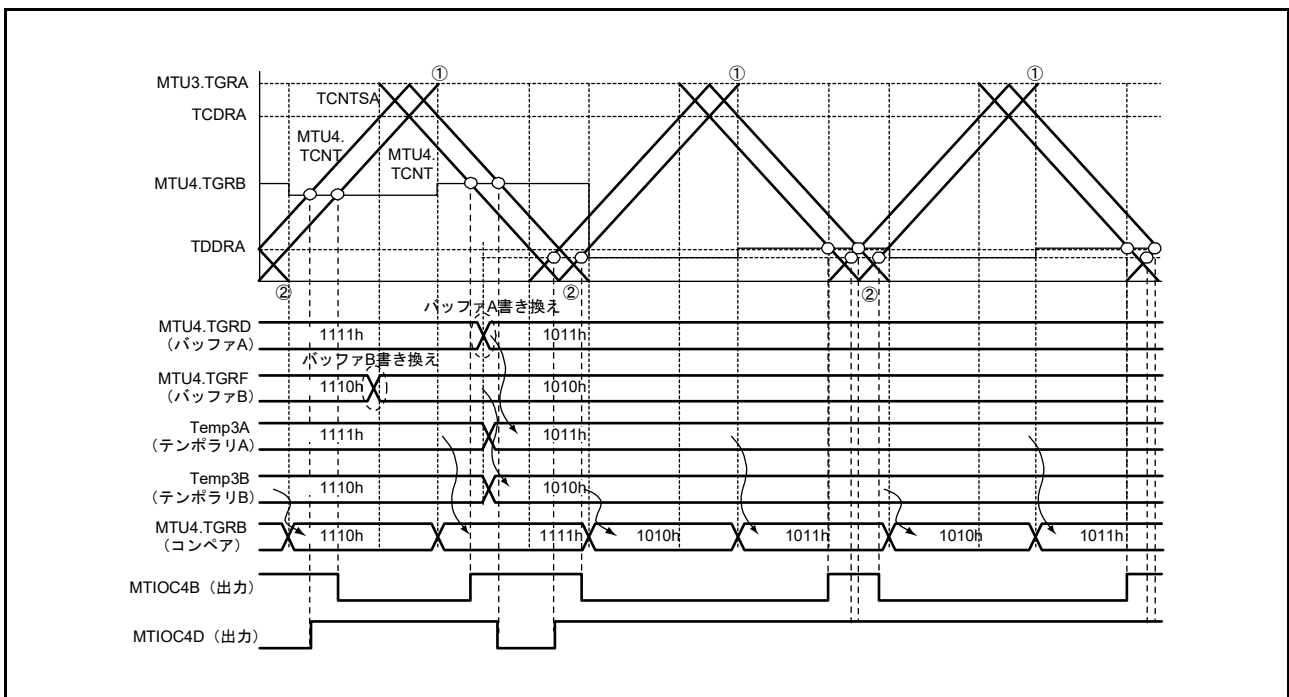


図 20.83 ダブルバッファ機能の動作例 (バッファへの書き込み値が TDDRA より小さい場合)

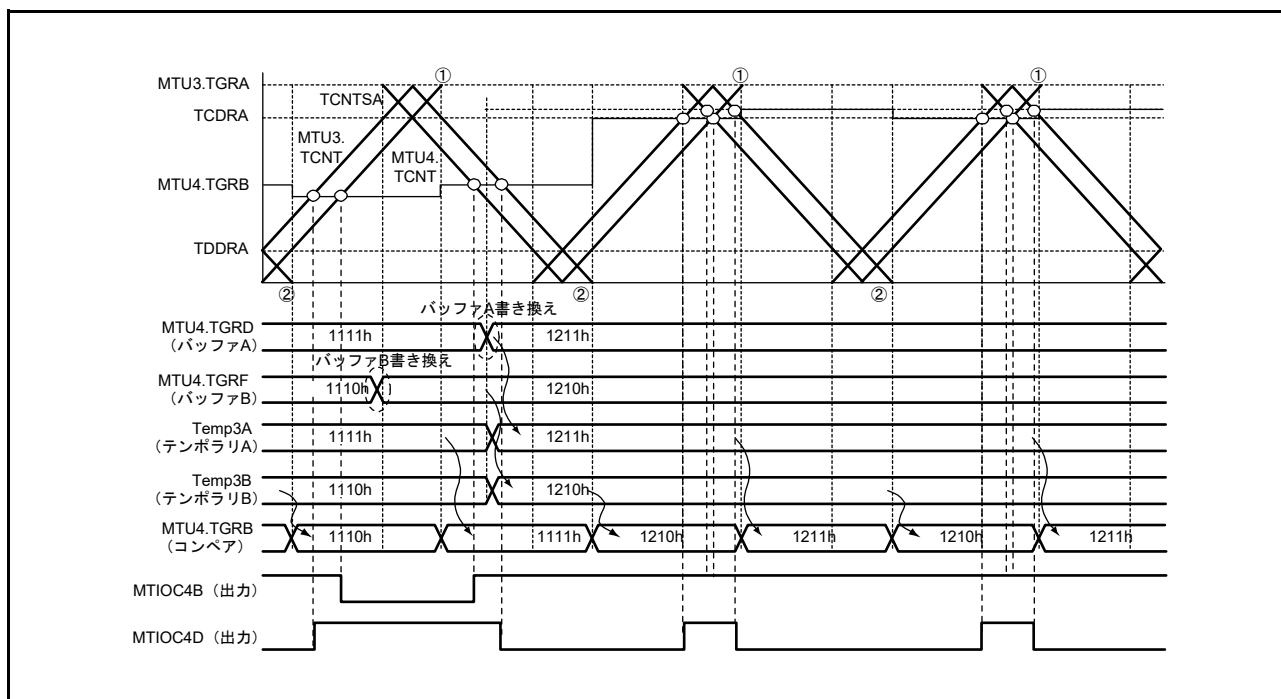


図 20.84 ダブルバッファ機能の動作例 (バッファへの書き込み値が TCDRA より大きい場合)

(3) 相補 PWM モードの割り込み間引き機能 1

MTU3、MTU4 (MTU6, MTU7) の TGIA3 (TGIA6) (山の割り込み)、および TCIV4 (TCIV7) (谷の割り込み) は、TITCR1A (TITCR1B) レジスタを設定することにより、最大で7回まで割り込みを間引くことが可能です。

TBTERA (TBTERB) レジスタを設定することにより、バッファレジスタからテンポラリレジスタ/コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

MTU4.TADCR (MTU7.TADCR) レジスタを設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「20.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

TITCR1A (TITCR1B) レジスタの設定は、タイマ割り込み間引きモードレジスタ (TITMRA、TITMRB) の TITM ビットを“0”にし、割り込み間引き機能 1 を選択し、かつ MTU3.TIER (MTU6.TIER) レジスタの設定で TGIA3 (TGIA6) 割り込み要求を禁止した状態、MTU4.TIER (MTU7.TIER) レジスタの設定で TCIV4 (TCIV7) 割り込み要求を禁止した状態、かつコンペアマッチが発生しないタイミングで行ってください。また、間引き回数の変更前に、T3AEN (T6AEN)、T4VEN (T7VEN) ビットを“0”にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能 1 の設定手順例

割り込み間引き機能 1 の設定手順例を図 20.85 に示します。また、割り込み間引き回数の変更可能期間を図 20.86 に示します。

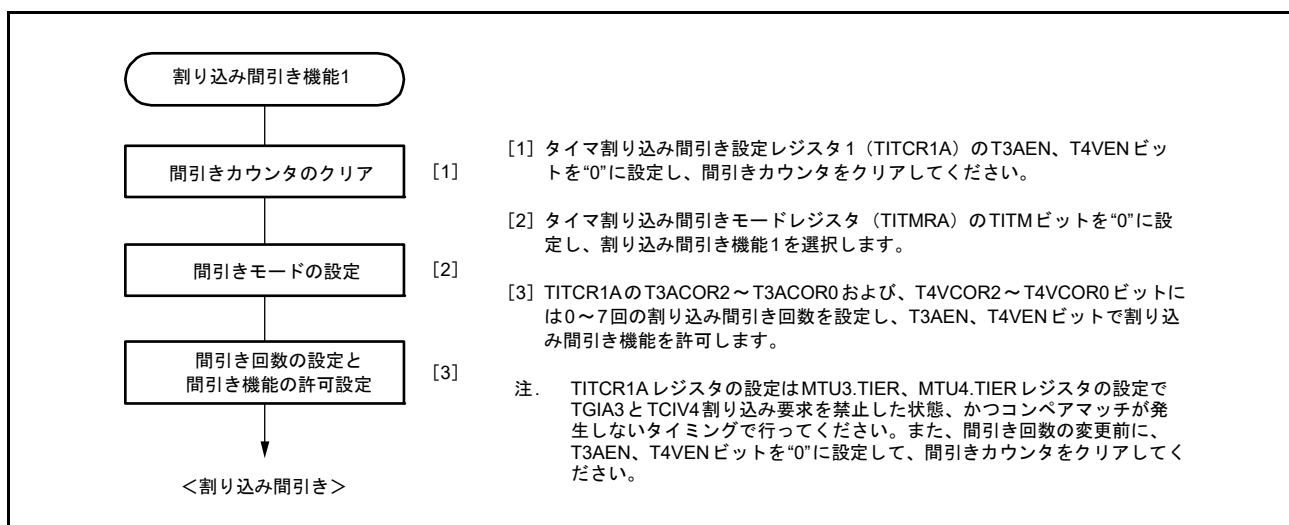


図 20.85 割り込み間引き機能 1 の設定手順例

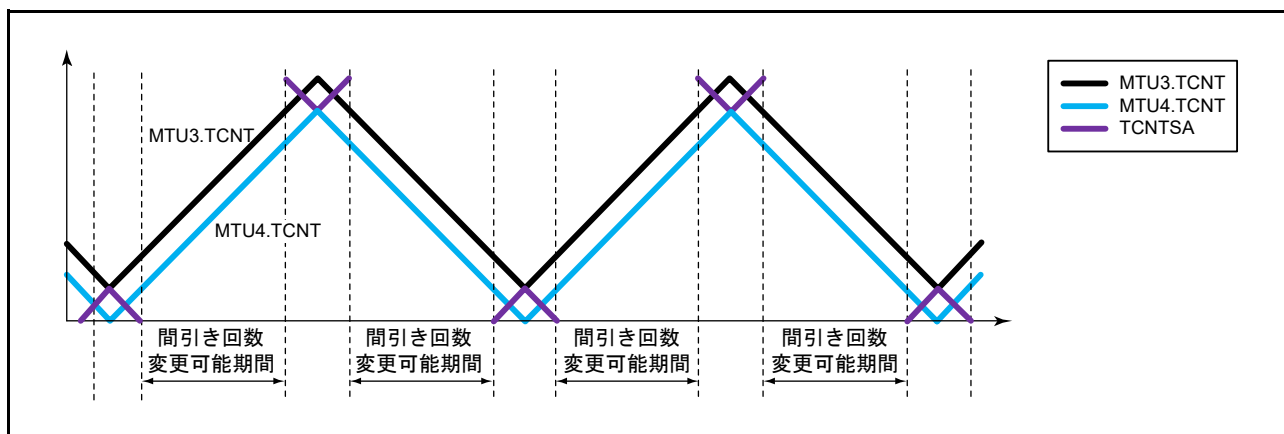


図 20.86 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能 1 の動作例

TITCR1A (TITCR1B) レジスタの T3ACOR (T6ACOR) ビットで割り込みの間引き回数を 3 回に設定し、T3AEN (T6AEN) ビットを“1”にした場合の、TGIA3 (TGIA6) 割り込み間引きの動作例を図 20.87 に示します。

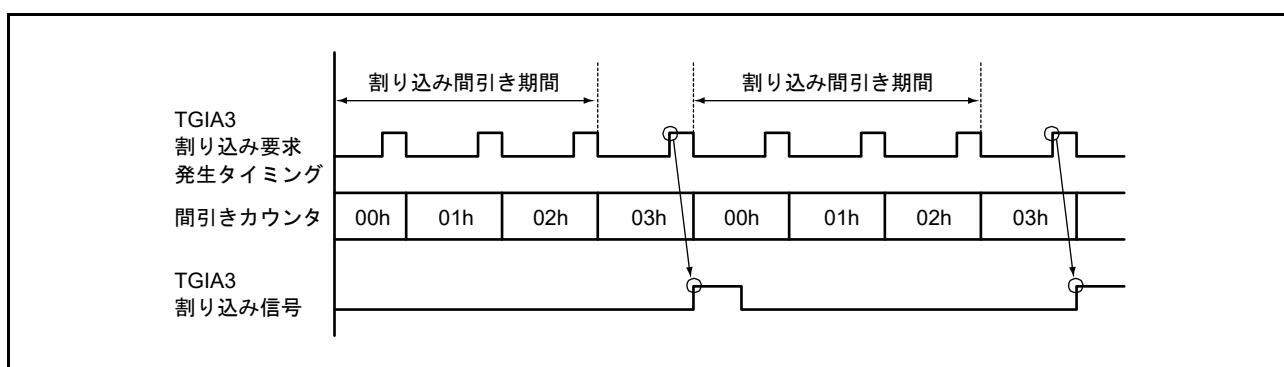


図 20.87 割り込み間引き機能 1 の動作例

(c) 割り込み間引きと連動したバッファ転送制御

TBTERA (TBTERB) レジスタの BTE[1:0] ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑制する設定 (BTE[1:0] = 01b) にした場合の動作例を図 20.88 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例を図 20.89 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

なお、TITCR1A (TITCR1B) レジスタの T3AEN (T6AEN) ビットのみを“1”にした場合、T4VEN (T7VEN) ビットのみを“1”にした場合、TITCR1A (TITCR1B) レジスタの T3AEN、T4VEN (T6AEN、T7VEN) ビット両方を“1”にした場合で、それぞれバッファ転送許可期間が異なります。TITCR1A (TITCR1B) レジスタの T3AEN、T4VEN (T6AEN、T7VEN) ビットの設定とバッファ転送許可期間の関係を図 20.90 に示します。

注. 本機能は、割り込み間引き機能 1 と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ 1 (TITCR1A, TITCR1B) の T3AEN、T4VEN (T6AEN, T7VEN) ビットを“0”に設定したとき、または TITCR1A (TITCR1B) の間引き回数設定ビット (T3ACOR、T4VCOR (T6ACOR, T7VCOR)) を“0”に設定したとき) は、バッファ転送を割り込み間引きと連動しない設定 (TBTERA, TBTERB の BTE1 ビットを“0”に設定) してください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

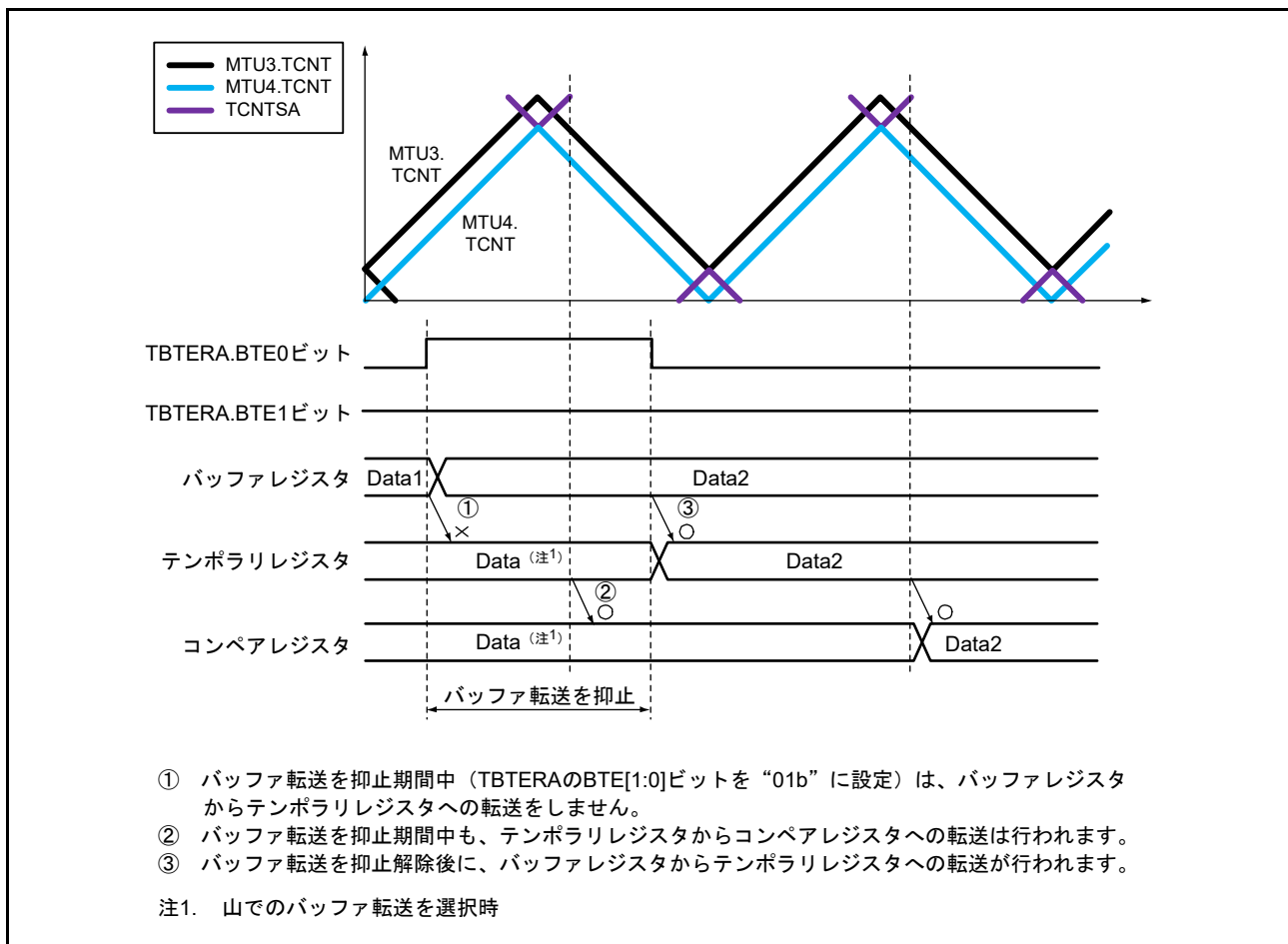


図 20.88 バッファ転送を抑制する設定 (BTE[1:0] = 01b) にした場合の動作例

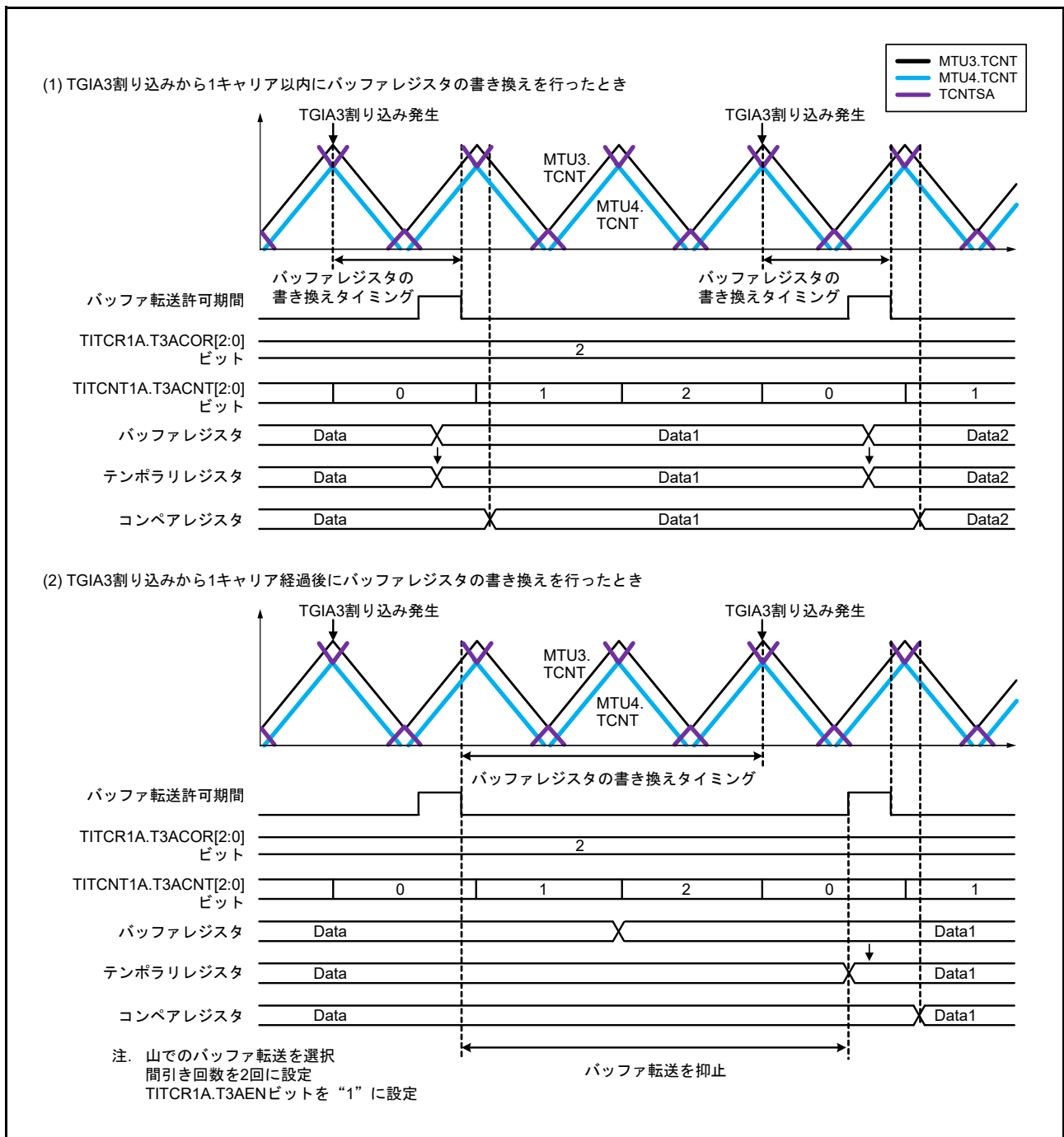


図 20.89 バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例

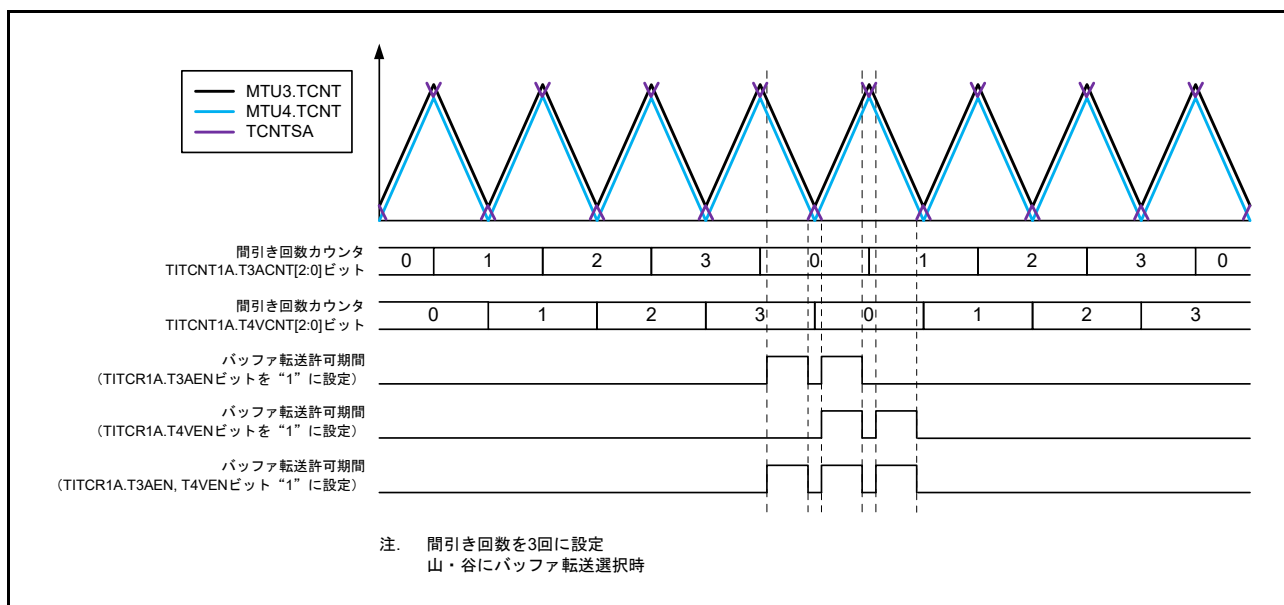


図 20.90 TITCR1A レジスタの T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

モードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、TRWERA (TRWERB) レジスタの RWE ビットの設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタは MTU3、MTU4、MTU6、MTU7 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MTU3.TCR, MTU4.TCR, MTU3.TCR2, MTU4.TCR2, MTU3.TMDR1, MTU4.TMDR1, MTU3.TIORH, MTU4.TIORH, MTU3.TIORL, MTU4.TIORL, MTU3.TIER, MTU4.TIER, MTU3.TCNT, MTU4.TCNT, MTU3.TGRA, MTU4.TGRA, MTU3.TGRB, MTU4.TGRB, MTU.TOERA, MTU.TOCR1A, MTU.TOCR2A, MTU.TGCRA, MTU.TCDRA, MTU.TDDRA, MTU6.TCR, MTU7.TCR, MTU6.TCR2, MTU7.TCR2, MTU6.TMDR1, MTU7.TMDR1, MTU6.TIORH, MTU7.TIORH, MTU6.TIORL, MTU7.TIORL, MTU6.TIER, MTU7.TIER, MTU6.TCNT, MTU7.TCNT, MTU6.TGRA, MTU7.TGRA, MTU6.TGRB, MTU7.TGRB, MTU.TOERB, MTU.TOCR1B, MTU.TOCR2B, MTU.TGCRB, MTU.TCDRB, MTU.TDDRB

計 48 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し値は不定で、書き込みは無効になります。

(b) 外部信号による PWM 出力の停止機能

MTU0、MTU3、MTU4、MTU6、MTU7、MTU9 の PWM 出力端子は、自動的にハイインピーダンス状態にすることが可能です。

詳細は、「21. ポートアウトプットイネーブル 3 (POE3b, POE3A)」を参照してください。

20.3.9 A/D 変換開始要求ディレイド機能

MTU4 または MTU7 のタイマ A/D 変換開始要求コントロールレジスタ (MTU4.TADCR, MTU7.TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB, MTU7.TADCORA, MTU7.TADCORB)、タイマ A/D 変換開始要求周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB, MTU7.TADCOBRA, MTU7.TADCOBRB) を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB (MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB) を比較し、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB (MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB) が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN (TRG7AN, TRG7BN)) を行います。

また、MTU4.TADCR レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE (MTU7.TADCR レジスタの ITA6AE、ITA7VE、ITB6AE、ITB7VE) ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求 (TRG4AN, TRG4BN (TRG7AN, TRG7BN)) を間引くことが可能です。

(1) A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 20.91 に示します。

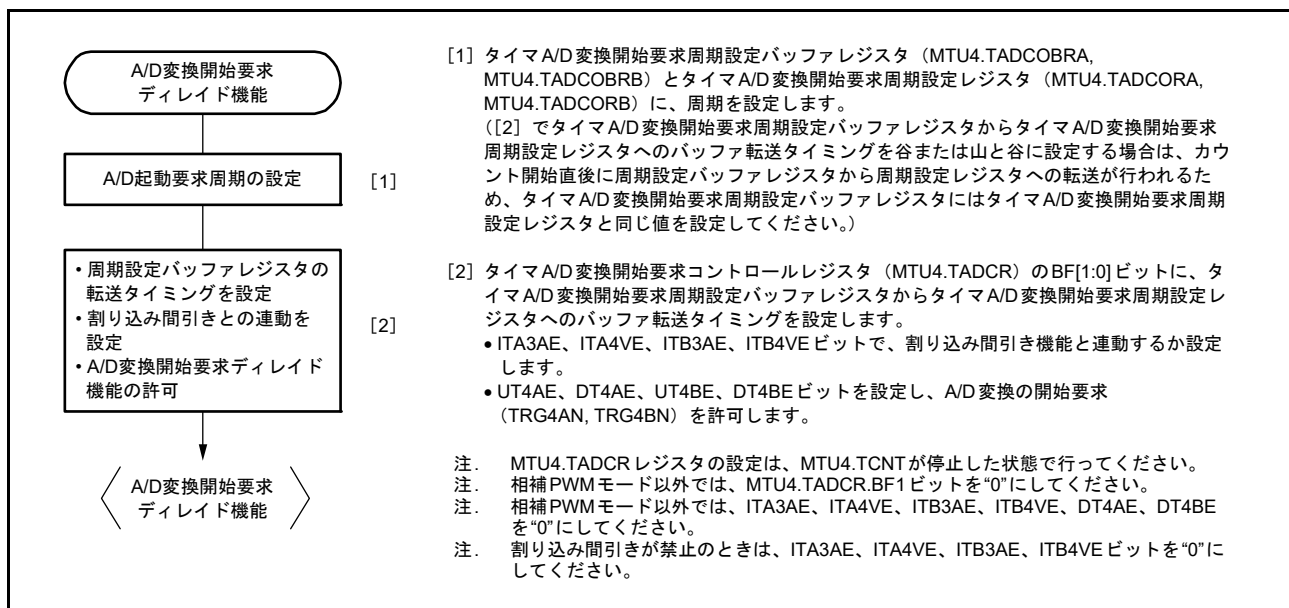


図 20.91 A/D 変換開始要求ディレイド機能の設定手順例 (MTU3, MTU4)

(2) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT (MTU7.TCNT) の谷に設定し、MTU4.TCNT (MTU7.TCNT) のダウンカウント時に A/D 変換の開始要求信号 (TRG4AN (TRG7AN)) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN (TRG7AN)) の基本動作例を図 20.92 に示します。

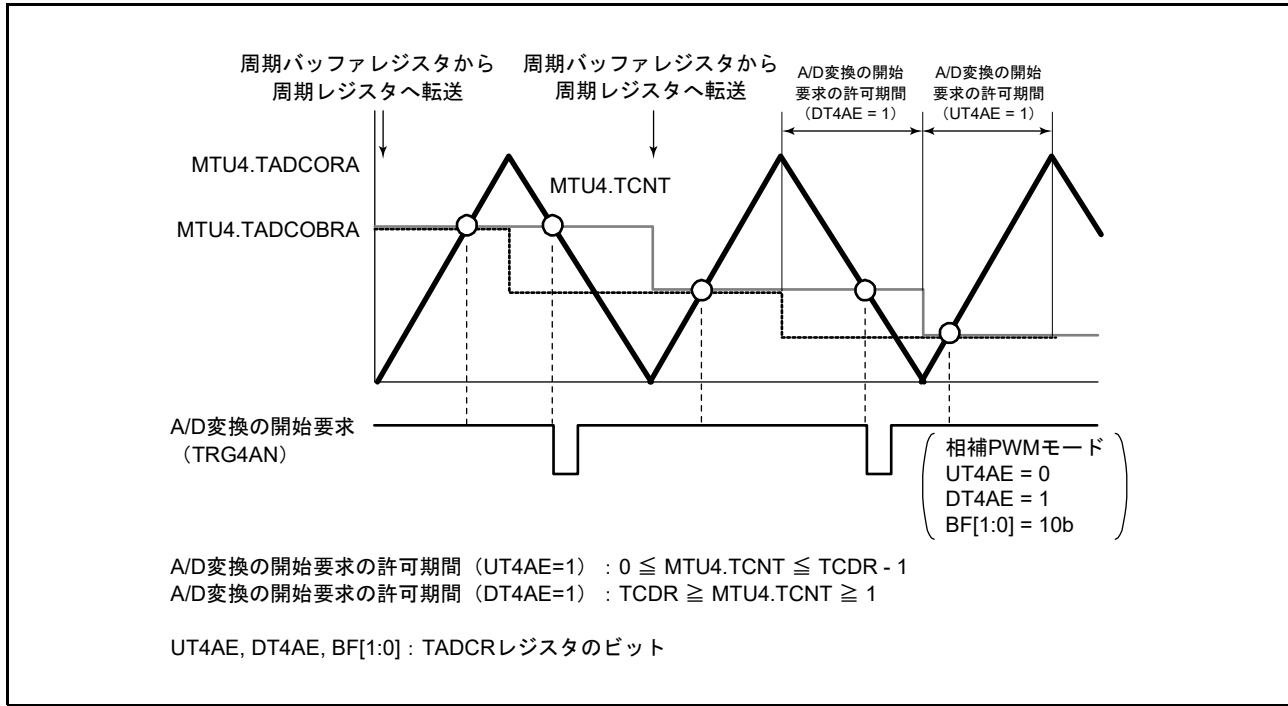


図 20.92 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(3) A/D 変換の開始要求の許可期間

MTU4.TADCR (MTU7.TADCR) レジスタの UT4AE、UT4BE (UT7AE, UT7BE) ビットで許可した期間内に MTU4.TCNT (MTU7.TCNT) カウンタと MTU4.TADCORA、MTU4.TADCORB (MTU7.TADCORA, MTU7.TADCORB) レジスタが一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN) を行います。

相補 PWM モードで MTU4.TADCR (MTU7.TADCR) レジスタの UT4AE、UT4BE (UT7AE, UT7BE) ビットを“1”にすると、MTU4.TCNT (MTU7.TCNT) カウンタのアップカウント期間 ($0 \leq \text{MTU4.TCNT} (\text{MTU7.TCNT}) \leq \text{TCDR} - 1$) に A/D 変換の開始要求を許可します。MTU4.TADCR (MTU7.TADCR) レジスタの DT4AE、DT4BE (DT7AE, DT7BE) ビットを“1”にすると、MTU4.TCNT (MTU7.TCNT) カウンタのダウンカウント期間 ($\text{TCDR} \geq \text{MTU4.TCNT} (\text{MTU7.TCNT}) \geq 1$) に A/D 変換の開始要求を許可します (図 20.92)。

(4) バッファ転送

タイマ A/D 起動要求用周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB, MTU7.TADCORA, MTU7.TADCORB) のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB, MTU7.TADCOBRA, MTU7.TADCOBRB) にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、MTU4.TADCR (MTU7.TADCR) レジスタの BF[1:0] ビットを設定することにより選択することができます。

また、相補 PWM モード時は MTU4.TGRD (MTU7.TGRD) レジスタの書き換えのタイミングでも、タイマ A/D 変換開始要求周期設定バッファレジスタからタイマ A/D 変換開始要求周期設定レジスタへ転送します。

相補 PWM モードでバッファ転送を使用する場合、バッファ転送のタイミングについて注意事項があります。詳細は、「20.6.27 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項」を参照してください。

また、相補 PWM モード以外のときは、MTU4.TADCR (MTU7.TADCR) レジスタの BF1 ビットを“0”にしてください。

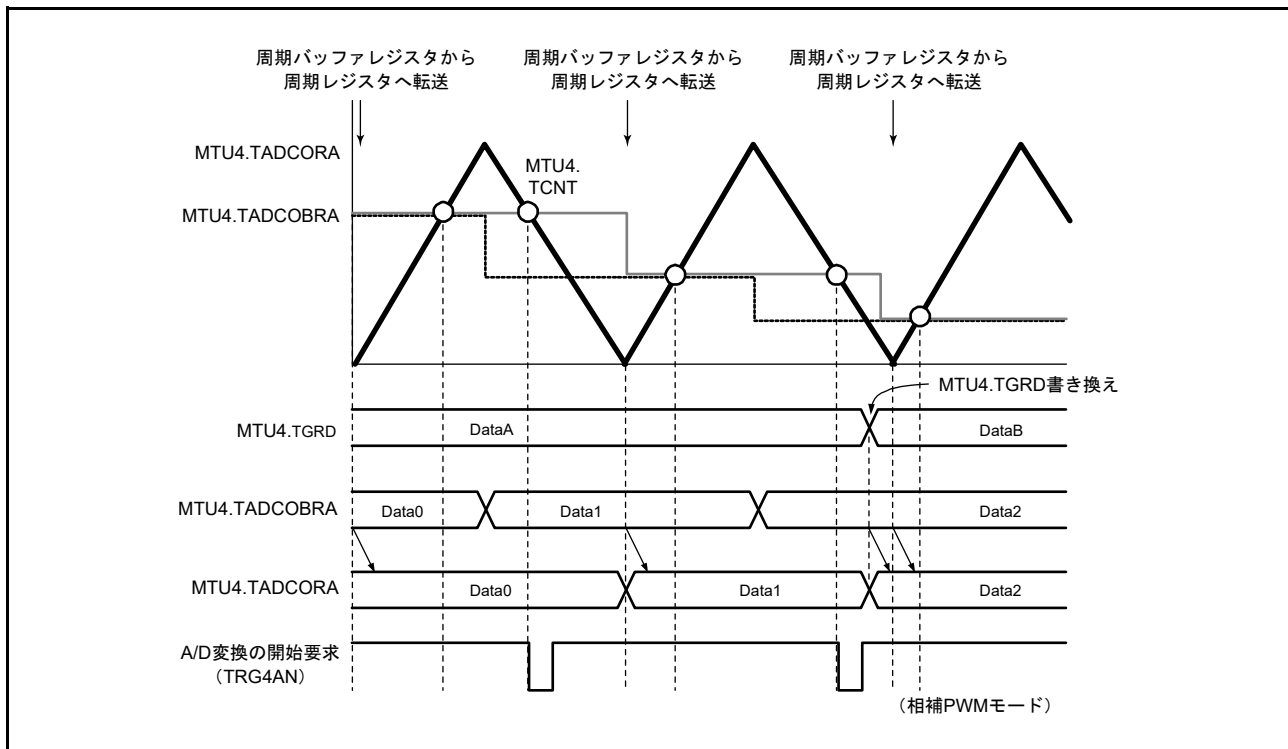


図 20.93 A/D 変換の開始要求信号 (TRG4AN) とバッファ転送動作例

(5) 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能

相補PWMモードでは、MTU4.TADCR (MTU7.TADCR) レジスタのITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE, ITA7VE, ITB6AE, ITB7VE) ビットの設定により、割り込み間引き機能1と連動してA/D変換の開始要求 (TRG4AN, TRG4BN (TRG7AN, TRG7BN)) を行うことが可能です。

MTU4.TCNT (MTU7.TCNT) のアップカウント時、およびダウンカウント時にTRG4AN (TRG7AN) 出力を許可する設定にし、割り込み間引き機能1と連動した場合のA/D変換の開始要求信号 (TRG4AN (TRG7AN)) の動作例を図20.94に示します。

また、MTU4.TCNT (MTU7.TCNT) のアップカウント時にTRG4AN (TRG7AN) 出力を許可する設定にし、割り込み間引き機能1と連動した場合のA/D変換の開始要求信号 (TRG4AN (TRG7AN)) の動作例を図20.95に示します。

相補PWMモード以外では、割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能は使用できません。

MTU4.TADCR (MTU7.TADCR) レジスタのITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE, ITA7VE, ITB6AE, ITB7VE) ビットを“0”にしてください。

注. 本機能は割り込み間引き機能1と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR1A (TITCR1B)) のT3AEN、T4VEN (T6AEN, T7VEN) ビットを“0”にしたとき、またはTITCR1A (TITCR1B) レジスタの間引き回数設定ビット (T3ACOR、T4VCOR (T6ACOR, T7VCOR)) を“0”にしたとき) は、割り込み間引き機能1と連動しない (MTU4.TADCR (MTU7.TADCR) レジスタのITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE, ITA7VE, ITB6AE, ITB7VE) ビットを“0”にする) 設定にしてください。

また、本機能使用時、MTU4.TADCORA、MTU4.TADCORB (MTU7.TADCORA, MTU7.TADCORB) には“0002h” ~ TCDRAの設定値 - 2 (TCDRBの設定値 - 2) の値にしてください。

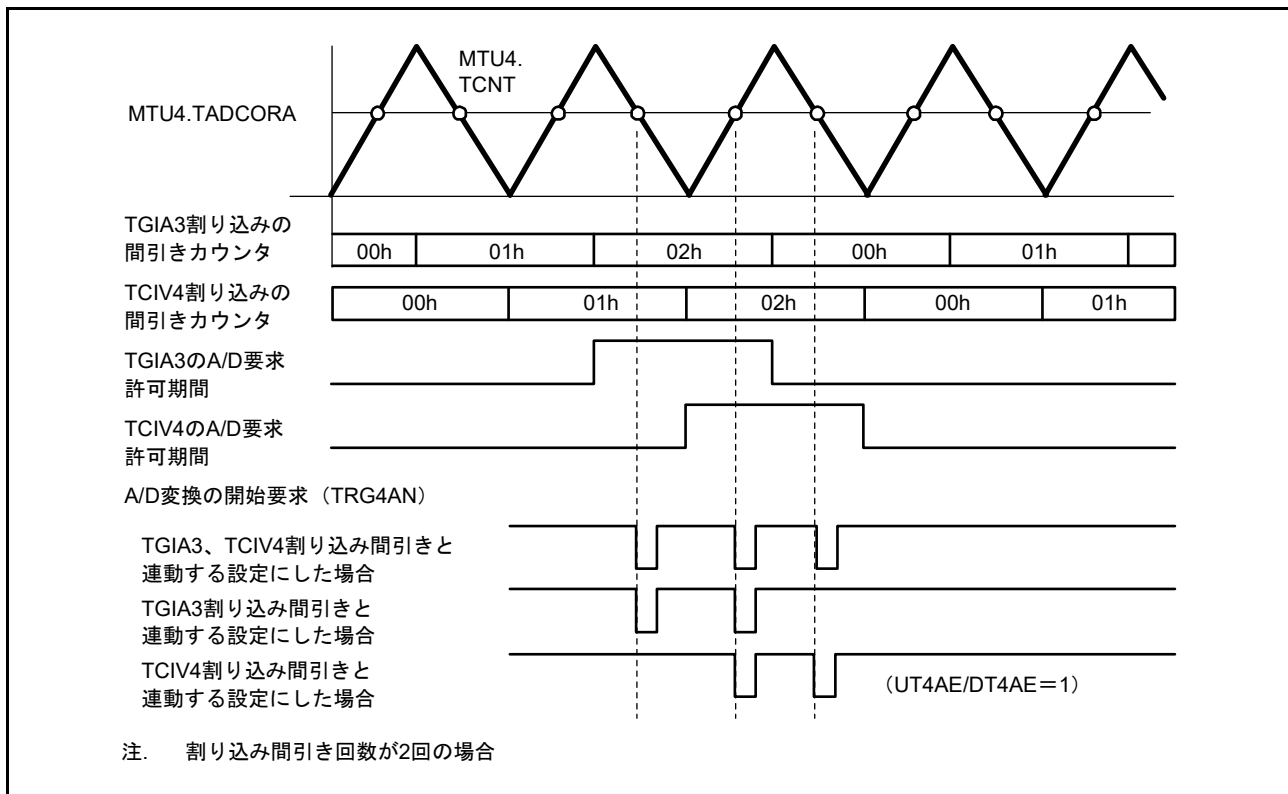


図 20.94 割り込み間引き機能1と連動した場合のA/D変換の開始要求信号 (TRG4AN) の動作例 (UT4AE、DT4AE = 1)

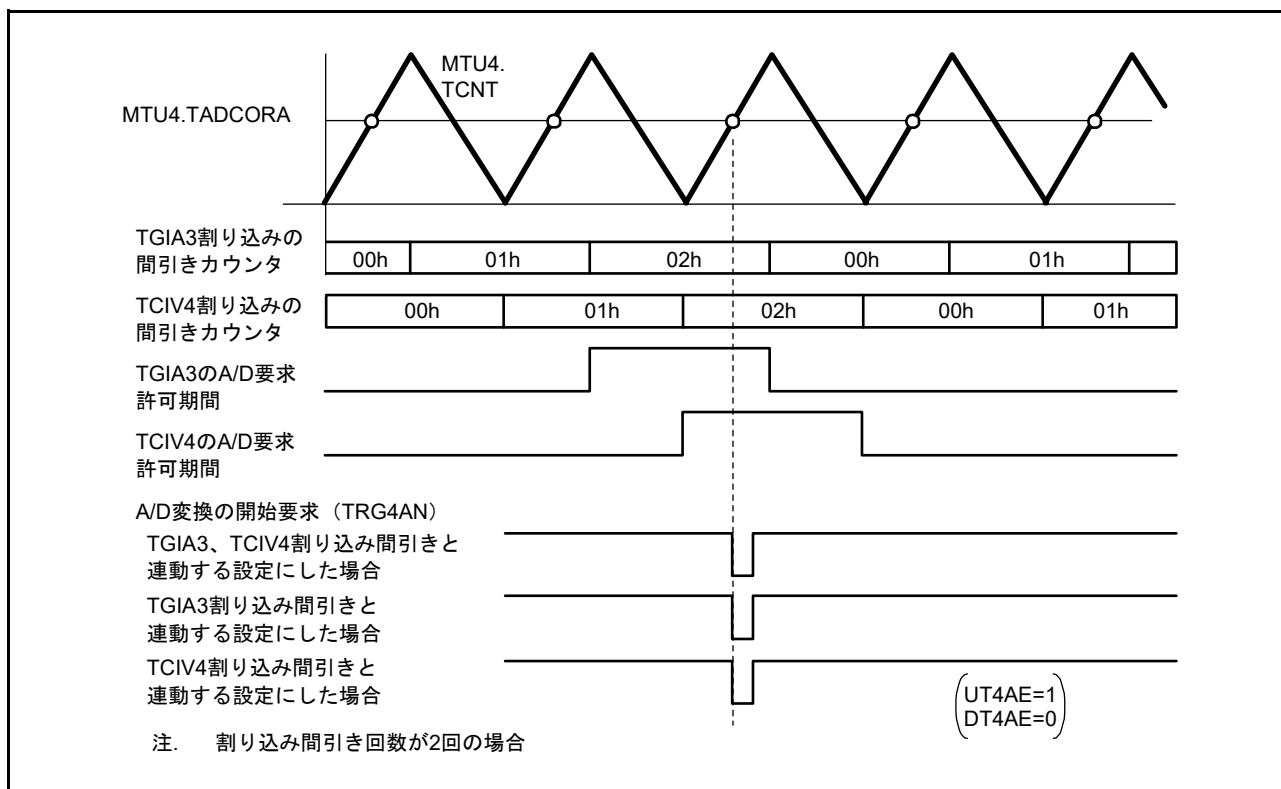


図 20.95 割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (UT4AE = 1, DT4AE = 0)

(6) 割り込み間引き機能2と連動したA/D変換開始要求ディレイド機能

TITMRA (TITMRB) レジスタのTITMビットを“1”にし、TITCR2A (TITCR2B) レジスタのTRG4COR[2:0] (TRG7COR[2:0]) ビットで設定した値 (0 ~ 7) から、既存のA/D変換開始トリガ (TRG4AN および TRG4BN (TRG7AN および TRG7BN)) が発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN および TRG4BN (TRG7AN および TRG7BN) の割り込みが有効になり、AD変換開始要求信号 (TRG4ABN (TRG7ABN)) が出力されます。

この機能はAD変換開始要求ディレイド機能の使用時のみ有効になります。

(a) 割り込み間引き機能2の設定手順例

図 20.96 に割り込み間引き機能2の設定手順例を示します。

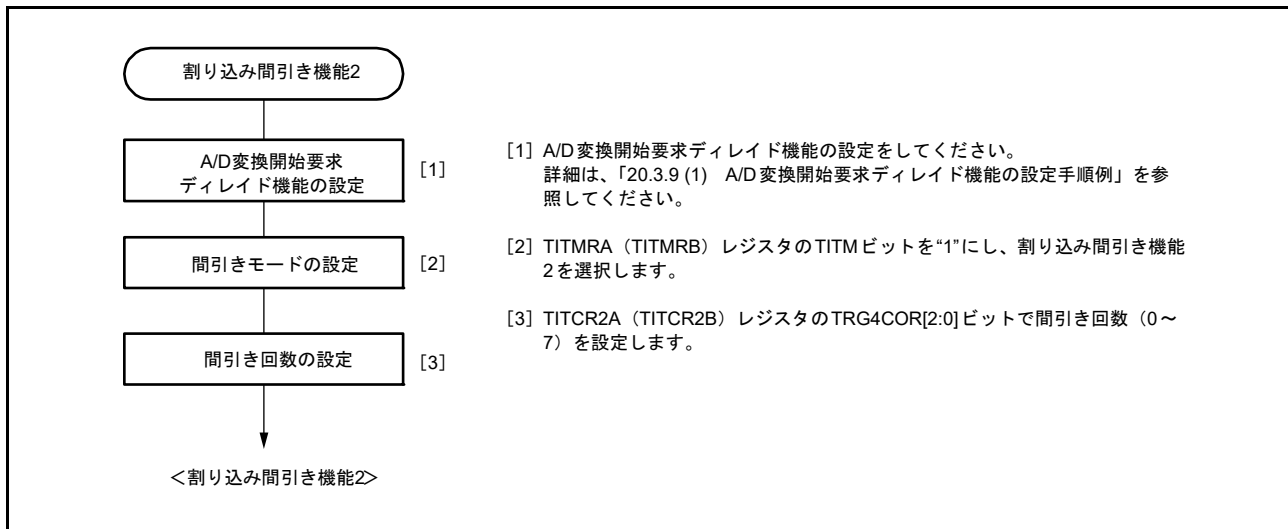


図 20.96 割り込み間引機能2の設定手順例

(b) 割り込み間引き機能 2 の動作例

図 20.97 に割り込み間引き機能 2 の動作例を示します。

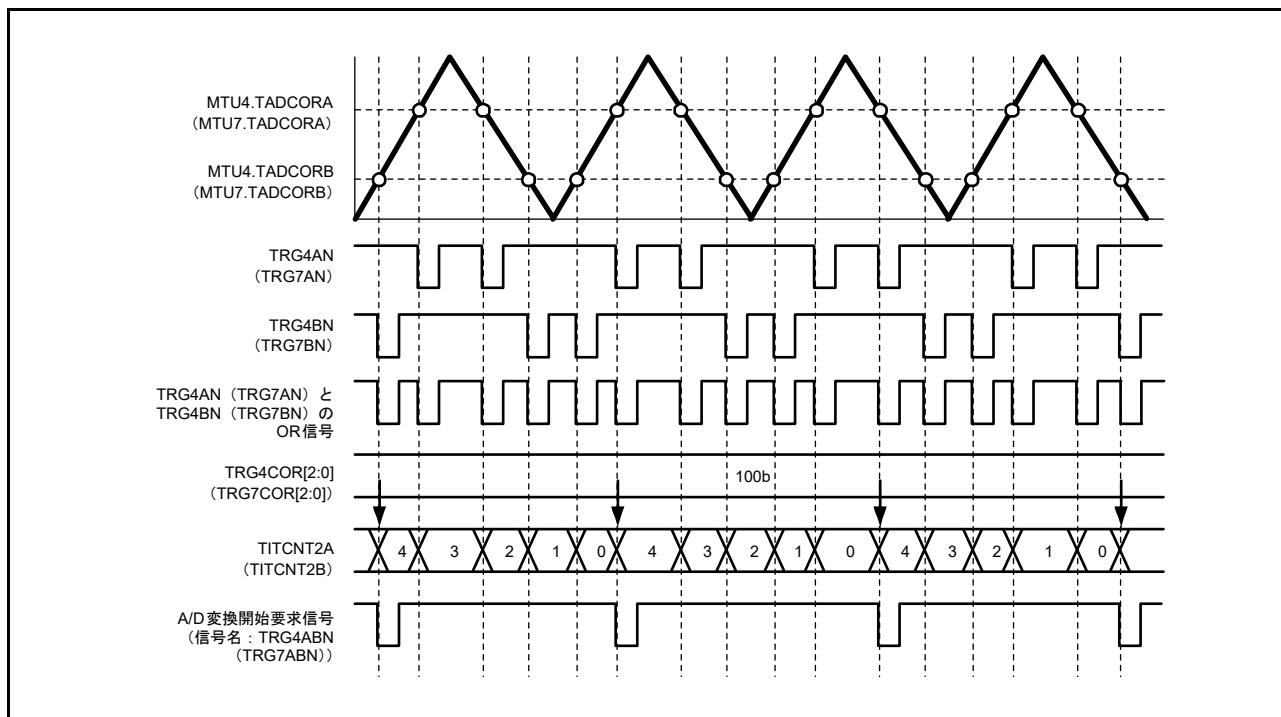


図 20.97 割り込み間引き機能 2 の動作例 (間引き回数を 4 回とした場合)

20.3.10 MTU0 ~ MTU4、MTU6、MTU7、MTU9 の同期動作

(1) MTU0 ~ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタート

TCSYSTR レジスタを設定することにより、MTU0 ~ MTU4、MTU6、MTU7、MTU9 のカウンタを同期スタートすることができます。

(a) MTU0 ~ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタートの設定手順例

図 20.98 に MTU0 ~ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタートの設定手順例を示します。

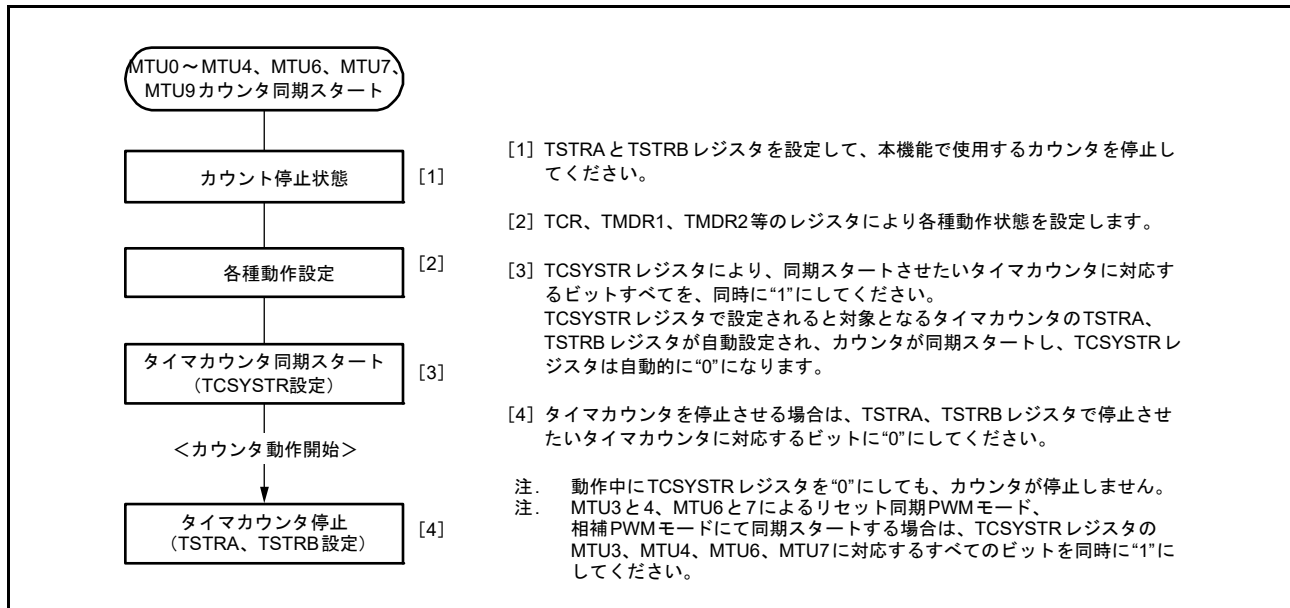


図 20.98 MTU0 ~ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタートの設定手順例

(b) カウンタ同期スタート動作の例

図 20.99 に MTU0 ~ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタートの動作例を示します。

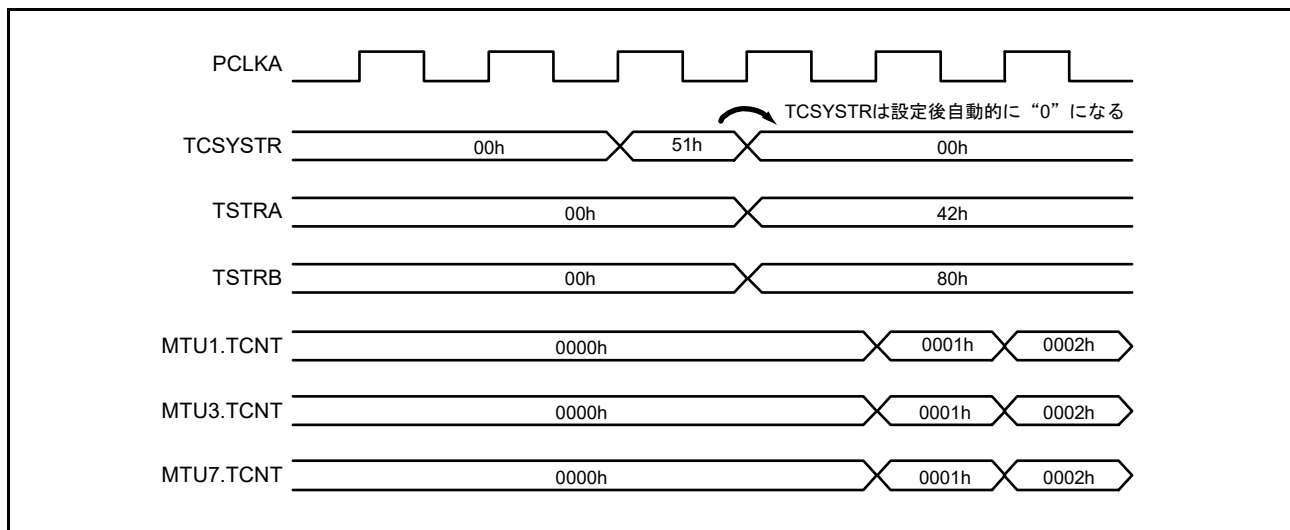


図 20.99 MTU0 ~ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタートの動作例

(2) MTU6、MTU7 カウンタ同期クリア

MTU6、MTU7はTSYCRレジスタを設定することにより、TGImm 割り込み発生タイミング (m=A~D、n=0~2) を利用して、カウンタクリアすることができます。

(a) MTU6、MTU7 カウンタ同期クリアの設定手順例

図 20.100 に割り込み発生タイミングを利用したMTU6、MTU7 カウンタ同期クリアの設定手順例を示します。

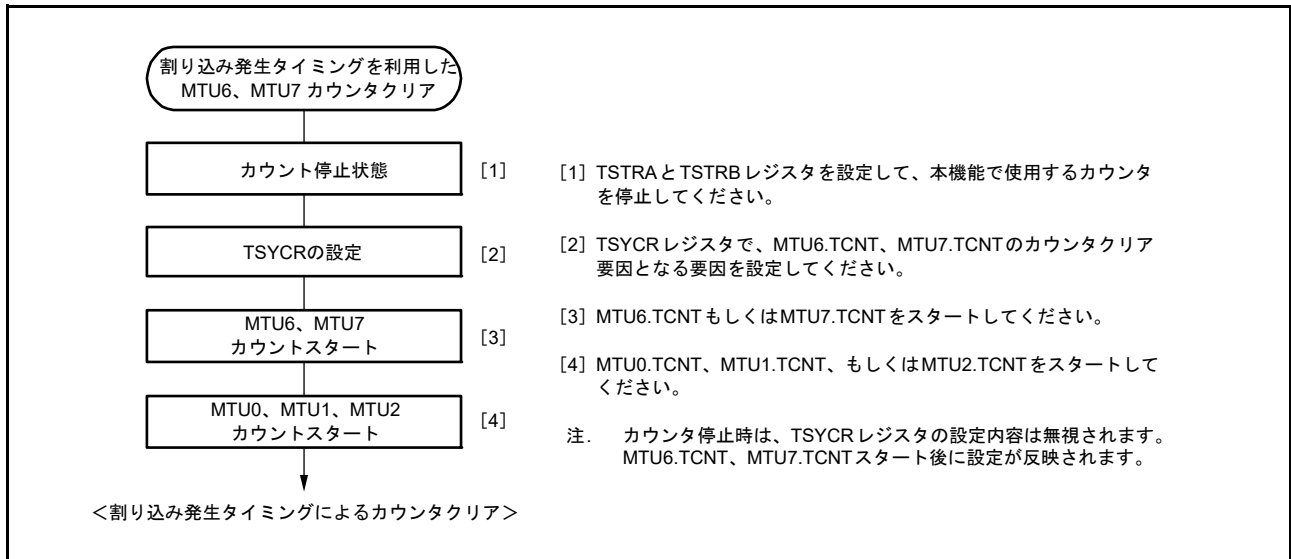


図 20.100 MTU6、MTU7 カウンタ同期クリアの設定手順例

(b) MTU6、MTU7 カウンタ同期クリアの動作例

図 20.101、図 20.102 に割り込み発生タイミングを利用したMTU6、MTU7 カウンタ同期クリアの動作例を示します。

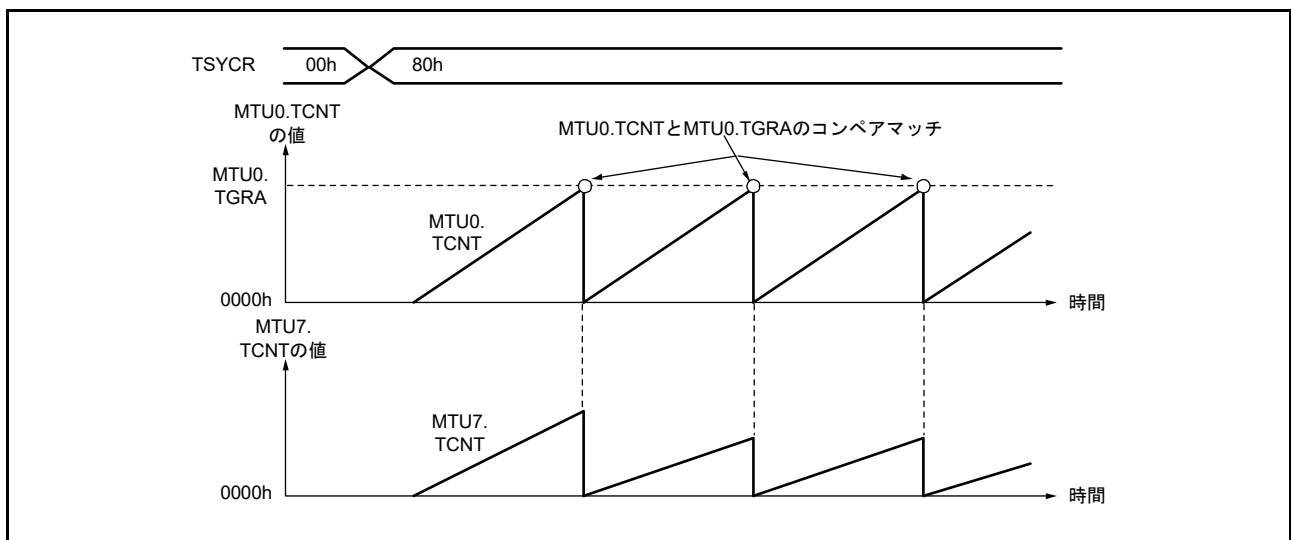


図 20.101 MTU6、MTU7 カウンタ同期クリアの動作例 (1)

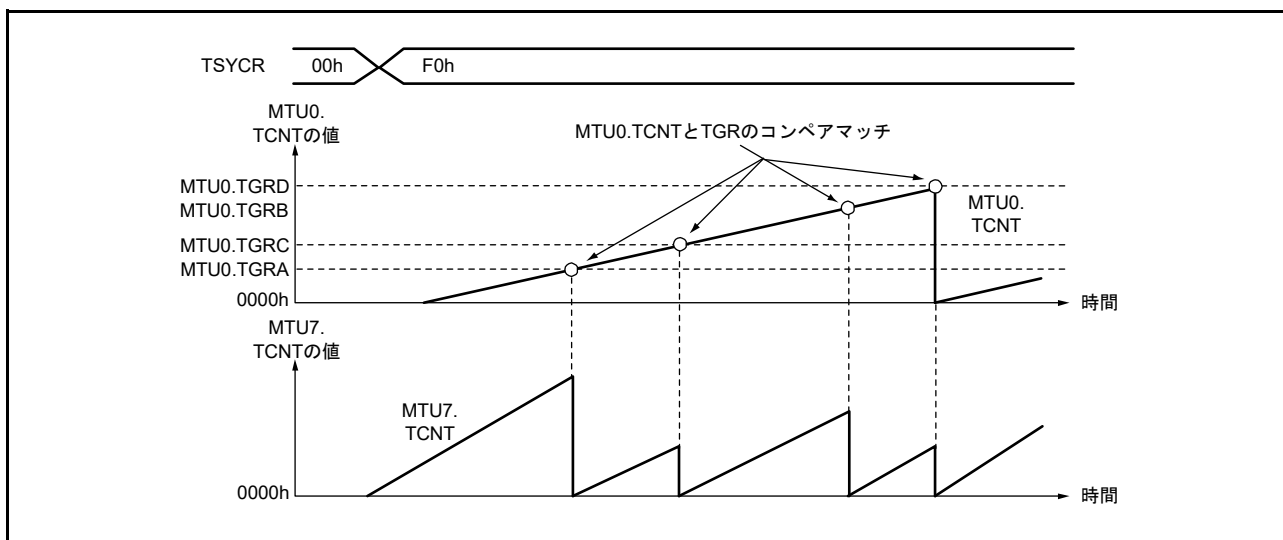


図 20.102 MTU6、MTU7 カウンタ同期クリアの動作例 (2)

20.3.11 外部パルス幅測定機能

MTU5 は、最大 3 本の外部パルス幅を測定することができます。

MTU5.TIORU、MTU5.TIORV、MTU5.TIORW の IOC[4:0] ビットにパルス幅測定条件を設定すると、MTIC5U 端子、MTIC5V 端子、MTIC5W 端子に入力された信号のパルス幅を測定します。IOC[4:0] ビットで指定したレベルが入力されている間、TCNTU、TCNTV、TCNTW はカウントアップします。

外部パルス幅測定の設定例を図 20.103 に、動作例を図 20.104 に示します。

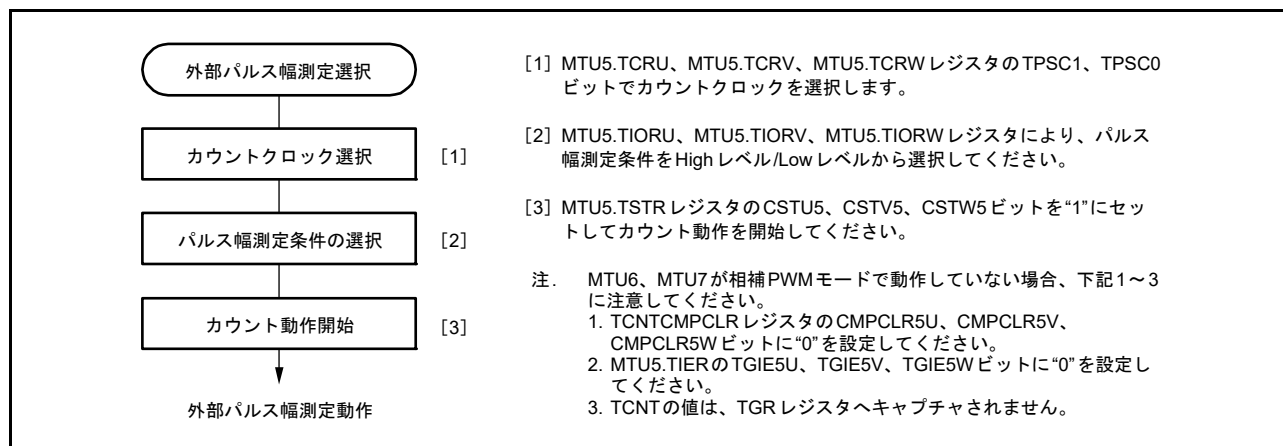


図 20.103 外部パルス幅測定の設定手順例

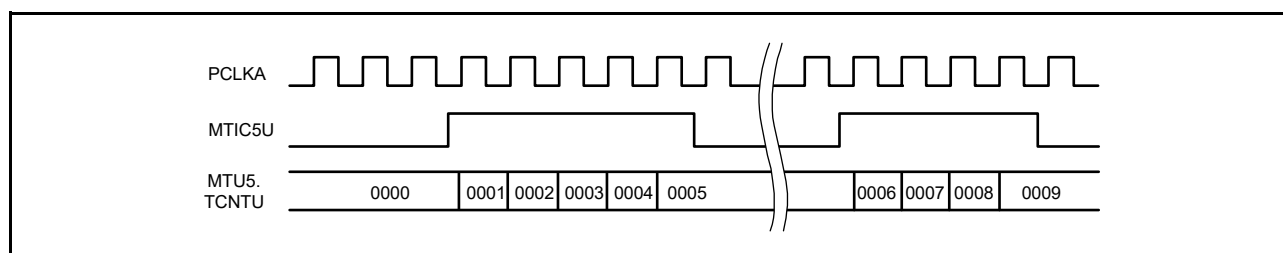


図 20.104 外部パルス幅測定の動作例 (High パルス幅測定)

20.3.12 デッドタイム補償機能

図 20.105 に、デッドタイム遅れ（相補 PWM 出力とインバータ出力間の遅延）を MTU5 にフィードバックするモータ制御の回路例を示します。MTU5 の外部パルス測定機能で相補 PWM 出力とインバータ出力間の遅延を測定してデューティ比に反映することで、MTU6、MTU7 を使用した相補 PWM 動作時の PWM 出力波形に対するデッドタイムを補償することができます（図 20.106）。MTU5 を使用したデッドタイム補償の設定手順を図 20.107 に示します。このときの MTU5 の動作については、「20.3.13 相補 PWM モード時の「山/谷」での TCNTU, TCNTV, TCNTW キャプチャ動作」を参照してください。

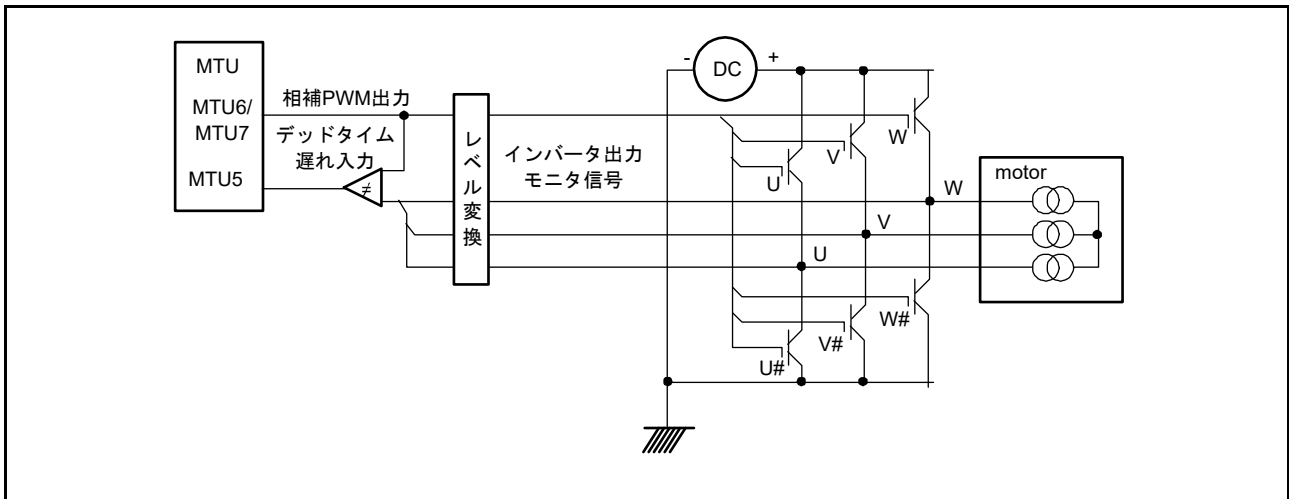


図 20.105 モータ制御回路例

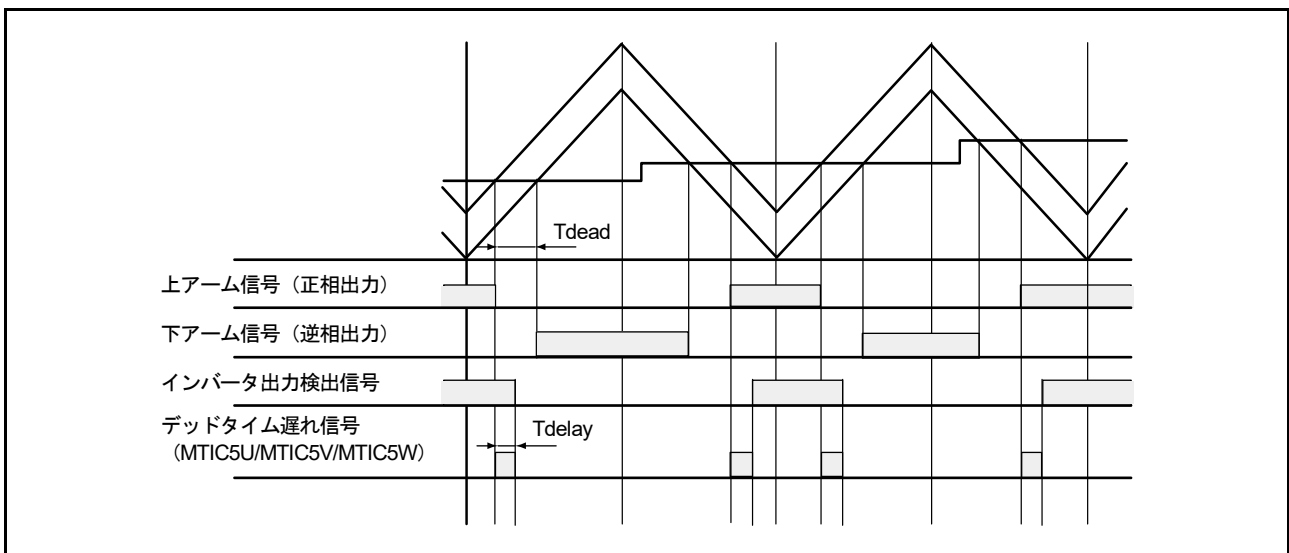


図 20.106 相補 PWM 動作時のデッドタイム遅れ

(1) デッドタイム補償機能の設定手順例

MTU5 の3本のカウンタを使用したデッドタイム補償機能の設定手順例を図 20.107 に示します。

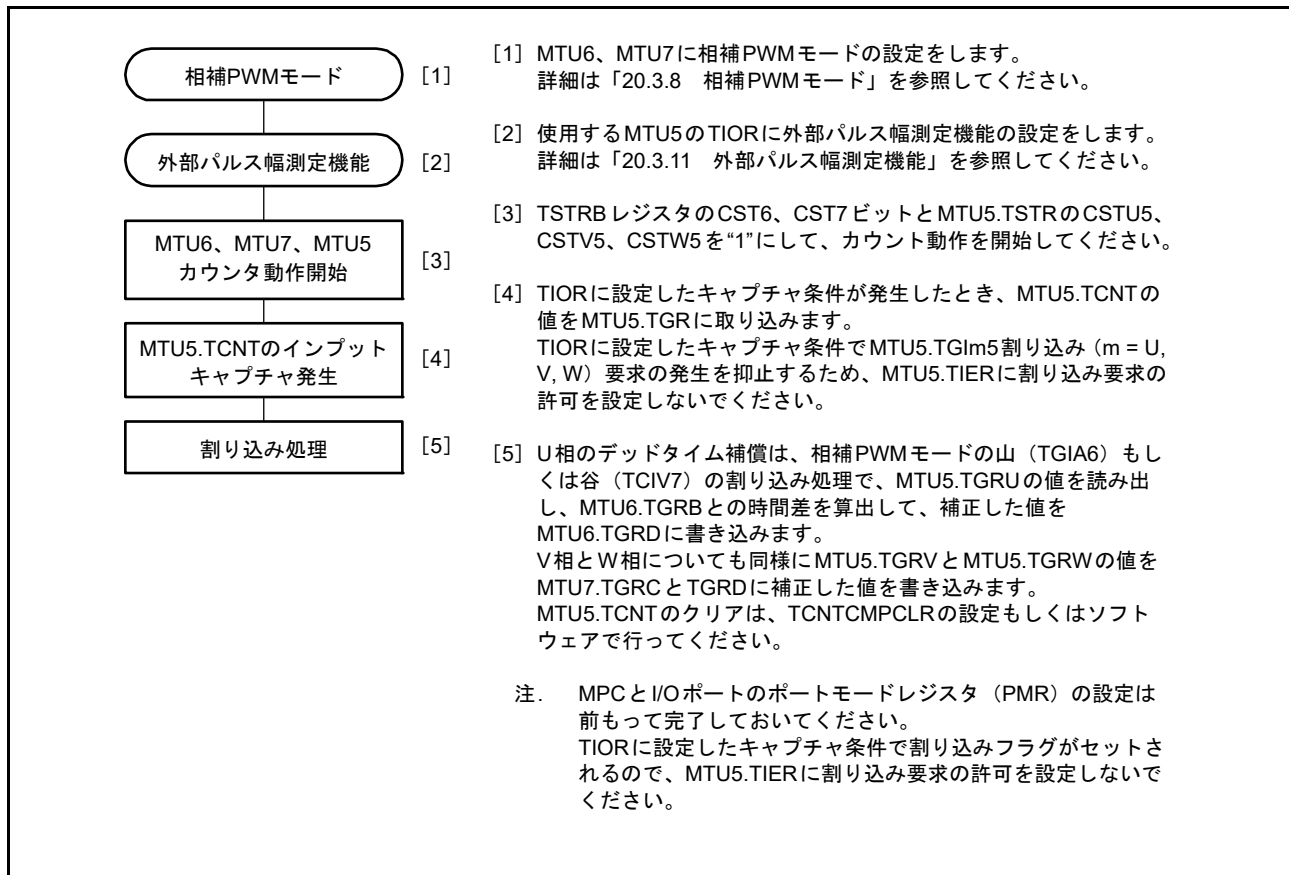


図 20.107 デッドタイム補償機能の設定手順例

20.3.13 相補 PWM モード時の「山/谷」での TCNTU, TCNTV, TCNTW キャプチャ動作

MTU5 の外部パルス幅測定機能は、相補 PWM モードで動作時に相補 PWM の「山、谷、山/谷」で TCNTU, TCNTV, TCNTW の値を TGRU, TGRV, TGRW に転送します。転送タイミングは TIORU, TIORV, TIORW に設定します。また TCNTCMPCLR レジスタの CMPCLR5U, CMPCLR5V, CMPCLR5W ビットを“1”に設定すると TGRU, TGRV, TGRW への転送タイミングで TCNTU, TCNTV, TCNTW を“0”にクリアします。

図 20.108 は TCNTU をフリーランでクリアせずに使用し、相補 PWM モードの「山、谷」で TGRU にキャプチャを行った動作例です。

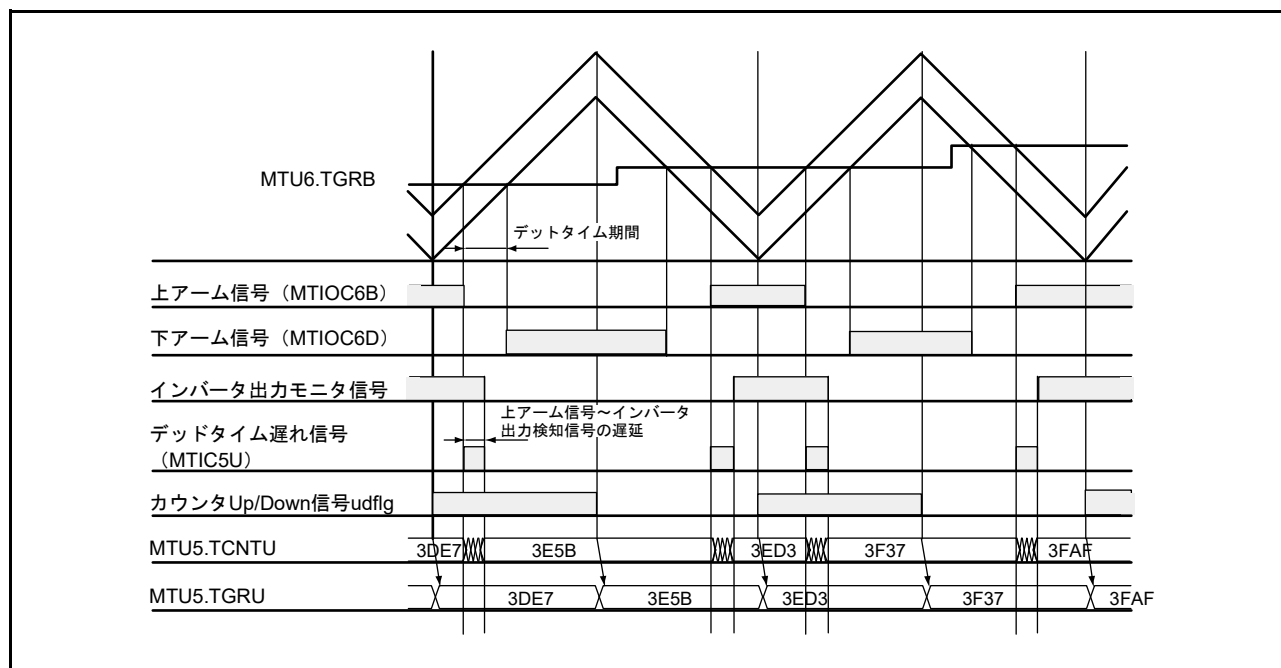


図 20.108 相補 PWM の「山/谷」での TCNTU キャプチャ動作

20.3.14 ノイズフィルタ機能

インプットキャプチャ入力端子、および外部クロック入力端子にはノイズフィルタ機能があります。

NFCRn レジスタ (n=0~7, 9, C) にノイズフィルタ機能の有効/無効、およびサンプリングクロックの設定をしてください。ノイズフィルタ機能の有効/無効は端子ごとに設定でき、サンプリングクロックの設定はチャンネルごとに設定できます。図 20.109 にノイズフィルタのタイミングを示します。

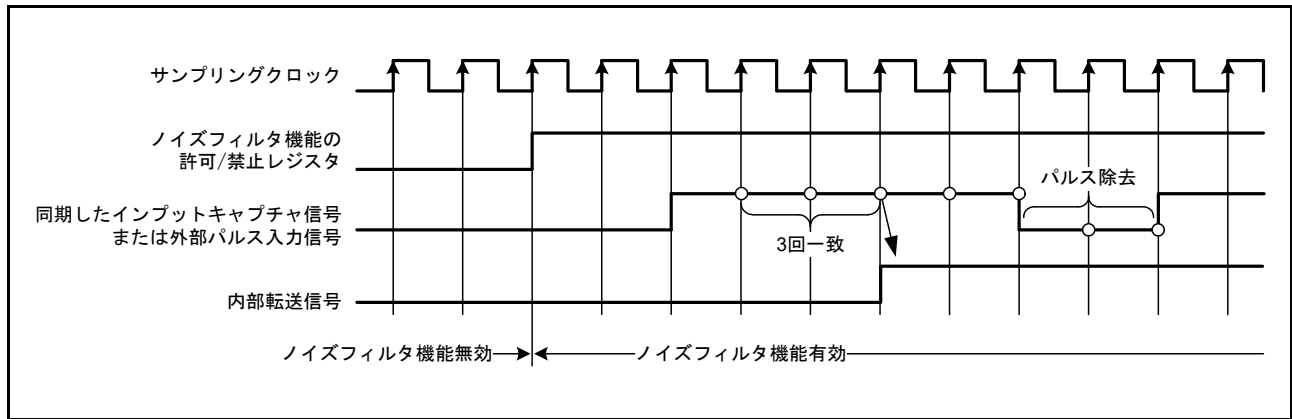


図 20.109 ノイズフィルタのタイミング

20.3.15 A/D 変換開始要求フレーム同期信号

本機能を使用すると A/D 変換開始要求信号の発生タイミングを外部端子でモニタすることができます。

TADSTRGRn レジスタ (n=0, 1) でモニタしたい A/D 変換要求信号を選択すると ADSMn 端子から A/D 変換開始要求信号発生タイミングで High、A/D 変換開始要求信号発生に使用したタイマ周期で Low 出力となるパルス信号を出力します。

図 20.110 に A/D 変換開始要求フレーム同期信号出力例を示します。

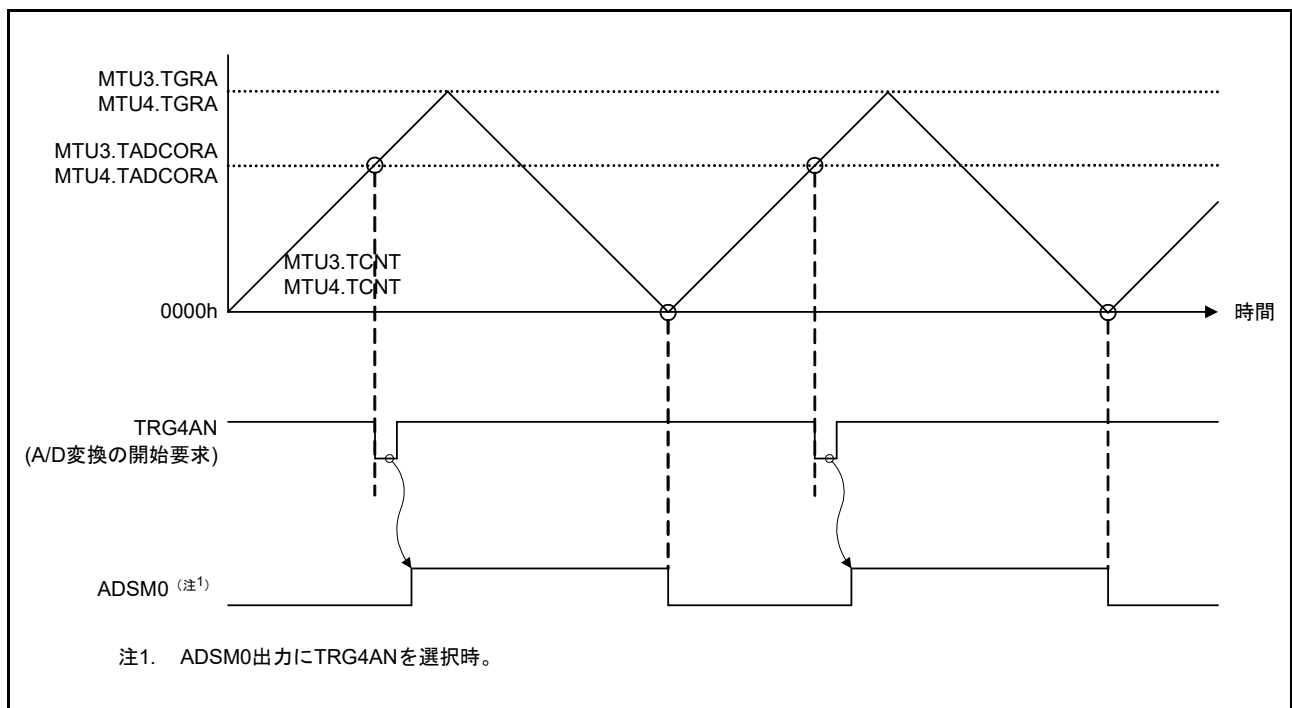


図 20.110 A/D 変換開始要求フレーム同期信号出力例

20.4 割り込み要因

20.4.1 割り込み要因と優先順位

割り込み要因には、TGR のインプットキャプチャ / コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用の許可 / 禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TIER レジスタの対応する許可 / 禁止ビットが“1”ならば、割り込みを要求します。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。表 20.79 に MTU の割り込み要因の一覧を示します。

表 20.79 MTU割り込み要因

チャンネル	名称	割り込み要因	DTCの起動	優先順位
MTU0	TGIA0	MTU0.TGRAのインプットキャプチャ/コンペアマッチ	可能	高 ↑ 低
	TGIB0	MTU0.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC0	MTU0.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID0	MTU0.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV0	MTU0.TCNTのオーバフロー	不可能	
	TGIE0	MTU0.TGREのコンペアマッチ	不可能	
	TGIF0	MTU0.TGRFのコンペアマッチ	不可能	
MTU1	TGIA1	MTU1.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB1	MTU1.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TCIV1	MTU1.TCNTのオーバフロー	不可能	
	TCIU1	MTU1.TCNTのアンダフロー	不可能	
MTU2	TGIA2	MTU2.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB2	MTU2.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TCIV2	MTU2.TCNTのオーバフロー	不可能	
	TCIU2	MTU2.TCNTのアンダフロー	不可能	
MTU3	TGIA3	MTU3.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB3	MTU3.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC3	MTU3.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID3	MTU3.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV3	MTU3.TCNTのオーバフロー	不可能	
MTU4	TGIA4	MTU4.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB4	MTU4.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC4	MTU4.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID4	MTU4.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV4	MTU4.TCNTのオーバフロー/アンダフロー (注1)	可能	
MTU5	TGIU5	MTU5.TGRUのインプットキャプチャ/コンペアマッチ	可能	
	TGIV5	MTU5.TGRVのインプットキャプチャ/コンペアマッチ	可能	
	TGIW5	MTU5.TGRWのインプットキャプチャ/コンペアマッチ	可能	
MTU6	TGIA6	MTU6.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB6	MTU6.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC6	MTU6.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID6	MTU6.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV6	MTU6.TCNTのオーバフロー	不可能	
MTU7	TGIA7	MTU7.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB7	MTU7.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC7	MTU7.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID7	MTU7.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV7	MTU7.TCNTのオーバフロー/アンダフロー (注1)	可能	
MTU9	TGIA9	MTU9.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB9	MTU9.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC9	MTU9.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID9	MTU9.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV9	MTU9.TCNTのオーバフロー	不可能	
	TGIE9	MTU9.TGREのコンペアマッチ	不可能	
	TGIF9	MTU9.TGRFのコンペアマッチ	不可能	

注. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

注1. 相補PWMモード時のみ

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチが発生したとき、TIER.TGIE ビットが“1”であれば、割り込みを要求します。MTU には、MTU0、MTU9 に 6 本、MTU3、MTU4、MTU6、MTU7 に各 4 本、MTU1、MTU2 に各 2 本、MTU5 に 3 本、計 35 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローが発生したとき、TIER.TCIEV ビットが“1”であれば、割り込みを要求します。MTU には、MTU5 を除く各チャンネルに 1 本、計 8 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローが発生したとき、TIER.TCIEU ビットが“1”であれば、割り込みを要求します。MTU には、MTU1、MTU2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

20.4.2 DTC の起動

(1) DTC の起動

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチ割り込み、MTU4、MTU7 のオーバフロー割り込みによって、DTC を起動することができます。詳細は「17. データトランスファコントローラ (DTCa)」を参照してください。

MTU では、MTU0、MTU3、MTU6、MTU9 が各 4 本、MTU1、MTU2 が各 2 本、MTU4、MTU7 が各 5 本、MTU5 が 3 本、計 33 本のインพุットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みを DTC の起動要因とすることができます。

20.4.3 A/D コンバータの起動

MTUでは、次の3種類の方法でA/Dコンバータを起動することができます。
各割り込み要因とA/D変換開始要求の対応を、表20.80に示します。

(1) TGRAのインプットキャプチャ/コンペアマッチと、相補PWMモード時のMTU4.TCNT (MTU7.TCNT)の谷でのA/D起動

各チャンネルのTGRAのインプットキャプチャ/コンペアマッチによって、A/Dコンバータを起動することができます。また、MTU4.TIER (MTU7.TIER)のTTGE2ビットを“1”にした状態で、相補PWM動作をさせた場合は、MTU4.TCNT (MTU7.TCNT)が谷 (MTU4.TCNT (MTU7.TCNT) = 0000h) になったときもA/Dコンバータを起動することができます。

次に示す条件で、A/Dコンバータに対してA/D変換開始要求TRGAnN (n = 0 ~ 4, 6, 7, 9)を発生します。

- 各チャンネルのTGRAのインプットキャプチャ/コンペアマッチが発生したとき、TIER.TTGEビットが“1”になっていた場合
- MTU4.TIER (MTU7.TIER)のTTGE2ビットが“1”の状態で、相補PWM動作をさせ、MTU4.TCNT (MTU7.TCNT)が谷 (MTU4.TCNT (MTU7.TCNT) = 0000h) になった場合

これらのときA/Dコンバータ側でMTUの変換開始トリガTRGAnNが選択されていれば、A/D変換が開始されます。

(2) MTU0.TCNTとMTU0.TGRE、MTU9.TCNTとMTU9.TGREのコンペアマッチによるA/D起動

MTU0.TCNTとMTU0.TGRE、MTU9.TCNTとMTU9.TGREのコンペアマッチによって、A/D変換開始要求TRG0N、TRG9Nを発生し、A/Dコンバータを起動することができます。

MTU0.TCNTとMTU0.TGRE、MTU9.TCNTとMTU9.TGREのコンペアマッチが発生したとき、MTU0.TIER2、MTU9.TIER2のTTGE2ビットが“1”になっていれば、A/Dコンバータに対してA/D変換開始要求TRG0N、TRG0AEN、TRG9N、TRG9AEN、TRG09Nを発生します。このとき、A/Dコンバータ側でMTUの変換開始トリガTRG0N、TRG0AEN、TRG9N、TRG9AEN、TRG09Nが選択されていれば、A/D変換が開始されます。

(3) A/D変換開始要求ディレイド機能によるA/D起動

A/D変換開始要求コントロールレジスタ (MTU4.TADCR (MTU7.TADCR))のUT4AE、DT4AE、UT4BE、DT4BE (UT7AE、DT7AE、UT7BE、DT7BE)ビットを“1”にした場合、MTU4.TADCORA、MTU4.TADCORBとMTU4.TCNT (MTU7.TADCORA、MTU7.TADCORBとMTU7.TCNT)の一致によって、TRG4AN、TRG4BN (TRG7AN、TRG7BN)を発生し、A/Dコンバータを起動することができます。また、TRG4AN (TRG7AN)の発生またはTRG4BN (TRG7BN)の発生にてTRG4ABN (TRG7ABN)を出力し、A/Dコンバータを起動することができます。詳細は「20.3.9 A/D変換開始要求ディレイド機能」を参照してください。

TRG4AN (TRG7AN)が発生しA/Dコンバータ側でMTUの変換開始トリガTRG4AN (TRG7AN)が選択されているとき、TRG4BN (TRG7BN)が発生しA/Dコンバータ側でMTUの変換開始トリガTRG4BN (TRG7BN)が選択されているとき、TRG4ABN (TRG7ABN)が発生しA/Dコンバータ側でMTUの変換開始トリガTRG4ABN (TRG7ABN)が選択されているとき、おのおのA/D変換が開始されます。

表 20.80 各割り込み要因とA/D変換開始要求の対応

対象	割り込み要因	A/D変換開始要求	
MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRGA0N	
MTU9.TGRAとMTU9.TCNT		TRGA9N	
MTU9.TGRAとMTU9.TCNT、 MTU9.TGREとMTU9.TCNT (注1)		TRG9AEN	
MTU0.TGRAとMTU0.TCNT、 MTU0.TGREとMTU0.TCNT (注1)		TRG0AEN	
MTU0.TGRAとMTU0.TCNT、 MTU9.TGRAとMTU9.TCNT		TRGA09N	
MTU1.TGRAとMTU1.TCNT		TRGA1N	
MTU2.TGRAとMTU2.TCNT		TRGA2N	
MTU3.TGRAとMTU3.TCNT		TRGA3N	
MTU4.TGRAとMTU4.TCNT (注2)		TRGA4N	
MTU4.TCNT		相補PWMモード時のMTU4.TCNTの谷	
MTU6.TGRAとMTU6.TCNT	インプットキャプチャ/コンペアマッチ	TRGA6N	
MTU7.TGRAとMTU7.TCNT (注2)		TRGA7N	
MTU7.TCNT	相補PWMモード時のMTU7.TCNTの谷		
MTU0.TGREとMTU0.TCNT	コンペアマッチ	TRG0N	
MTU9.TGREとMTU9.TCNT		TRG9N	
MTU0.TGREとMTU0.TCNT (注1)、 MTU9.TGREとMTU9.TCNT (注1)		TRG09N	
MTU4.TADCORAとMTU4.TCNT		TRG4AN	
MTU4.TADCORBとMTU4.TCNT		TRG4BN	
MTU7.TADCORAとMTU7.TCNT		TRG7AN	
MTU7.TADCORBとMTU7.TCNT		TRG7BN	
MTU4.TADCORAとMTU4.TCNT、 MTU4.TADCORBとMTU4.TCNT		コンペアマッチ (割り込み間引き機能2)	TRG4ABN
MTU7.TADCORAとMTU7.TCNT、 MTU7.TADCORBとMTU7.TCNT			TRG7ABN

注1. TGREのコンペアマッチ要因はA/Dトリガ開始要因になるため、MTU0.TIER2.TTGE2, MTU9.TIER2.TTGE2ビットに"1"を設定してください。

注2. 相補PWMモード時はPWM波形を生成するため、MTU4.TGRA (MTU7.TGRA) はMTU4.TCNT (MTU7.TCNT) だけではなく、MTU3.TCNT (MTU6.TCNT) やTCNTSA (TCNTSB) とコンペアマッチの検出を行っています。そのため、MTU3.TCNT (MTU6.TCNT) やTCNTSA (TCNTSB) とコンペアマッチが起こった際もTRGA4N (TRGA7N) を発生します。MTU3, MTU4 (MTU6, MTU7) を相補PWMモードで動作させて、A/D変換開始要求を発生させる場合はMTU4.TCNT (MTU7.TCNT) とMTU4.TADCORA/TADCORB (MTU7.TADCORA/TADCORB) とのコンペアマッチによるA/D変換開始要求を使用してください。

20.5 動作タイミング

20.5.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 20.111、図 20.112 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 20.113 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 20.114 に示します。

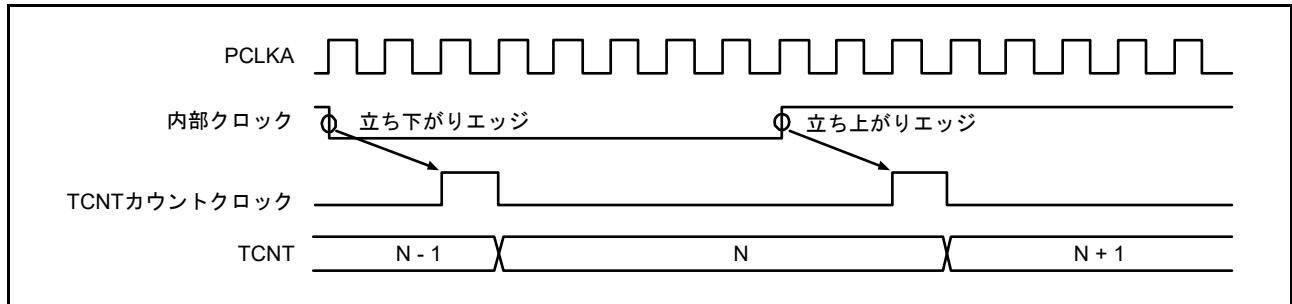


図 20.111 内部クロック動作時のカウントタイミング (MTU0 ~ MTU4, MTU6, MTU7, MTU9)

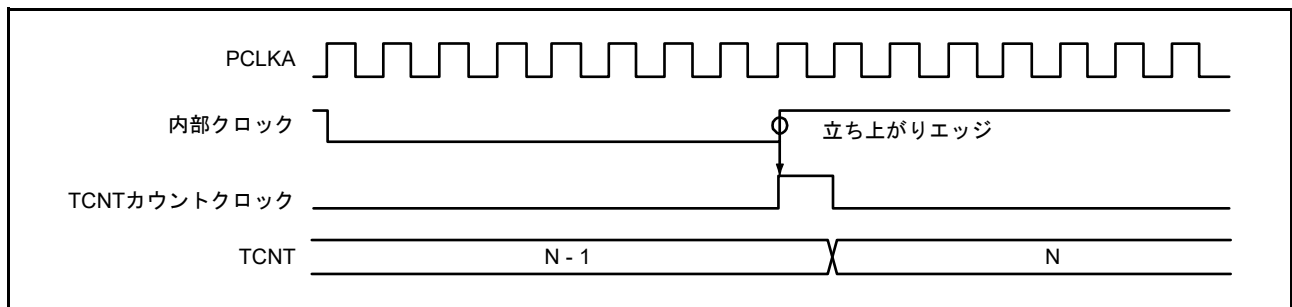


図 20.112 内部クロック動作時のカウントタイミング (MTU5)

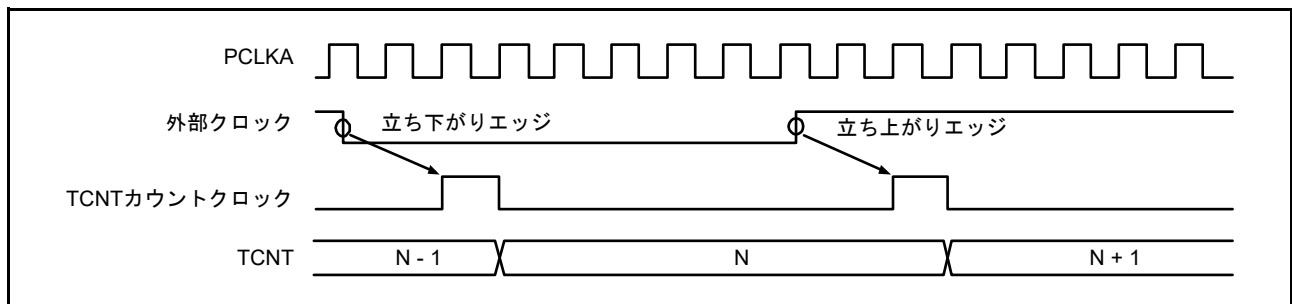


図 20.113 外部クロック動作時のカウントタイミング (MTU0 ~ MTU4, MTU6, MTU7, MTU9)

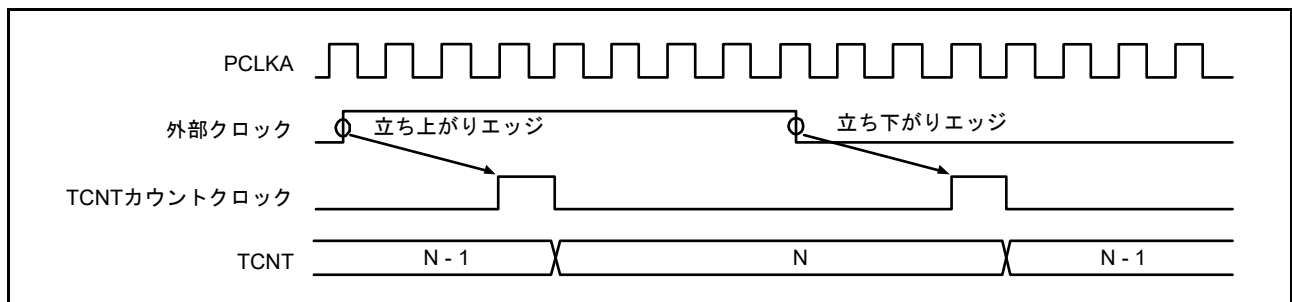


図 20.114 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR レジスタで設定した出力値が MTIOCnm 端子（ $n=0\sim 4, 6, 7, 9, m=A\sim D$ ）に出力されます。TCNT と TGR が一致した後、TCNT カウントクロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 20.115 に、アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）を図 20.116 に示します。

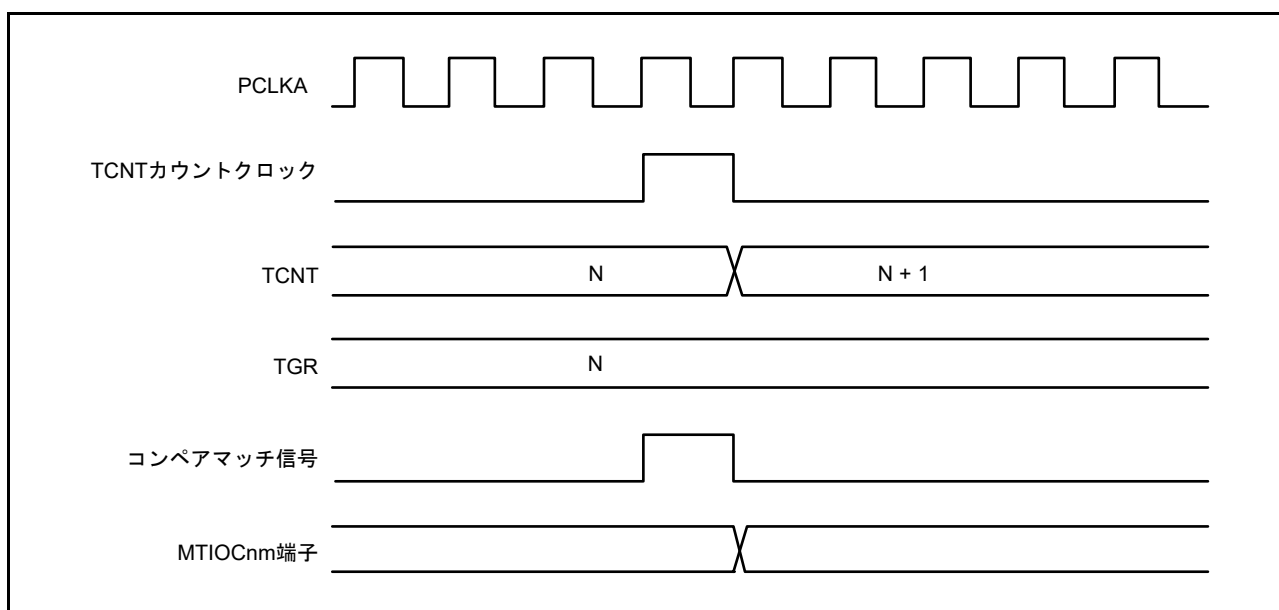


図 20.115 アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）
 $(n=0\sim 4, 6, 7, 9, m=A\sim D)$

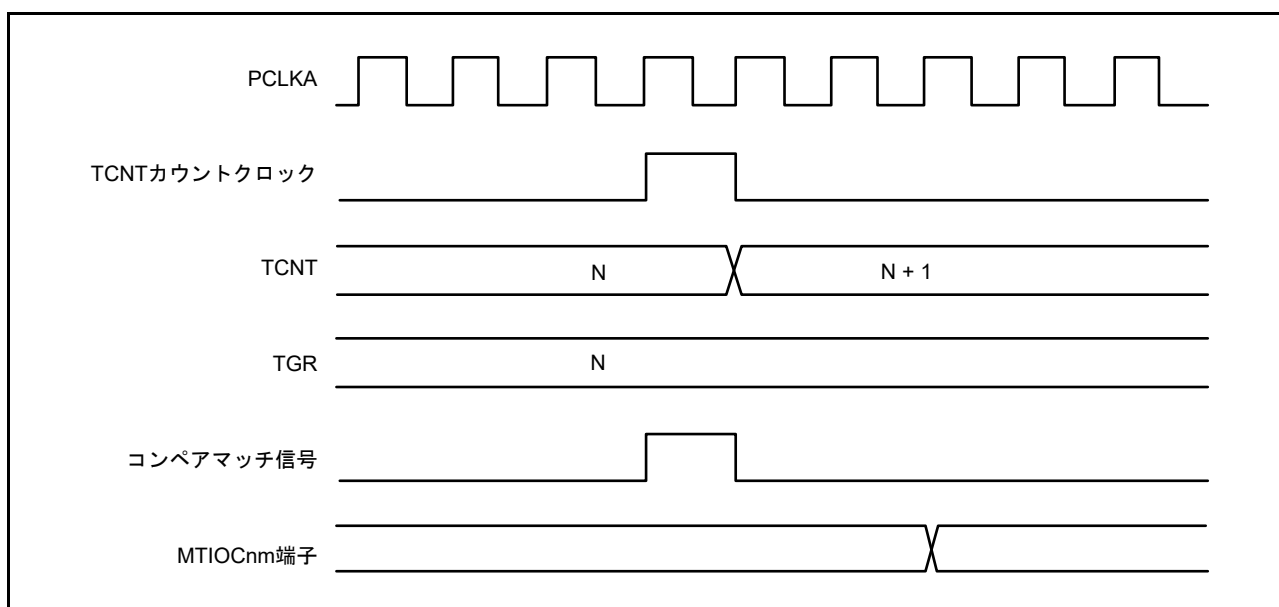


図 20.116 アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）
 $(n=0\sim 4, 6, 7, 9, m=A\sim D)$

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 20.117 に示します。

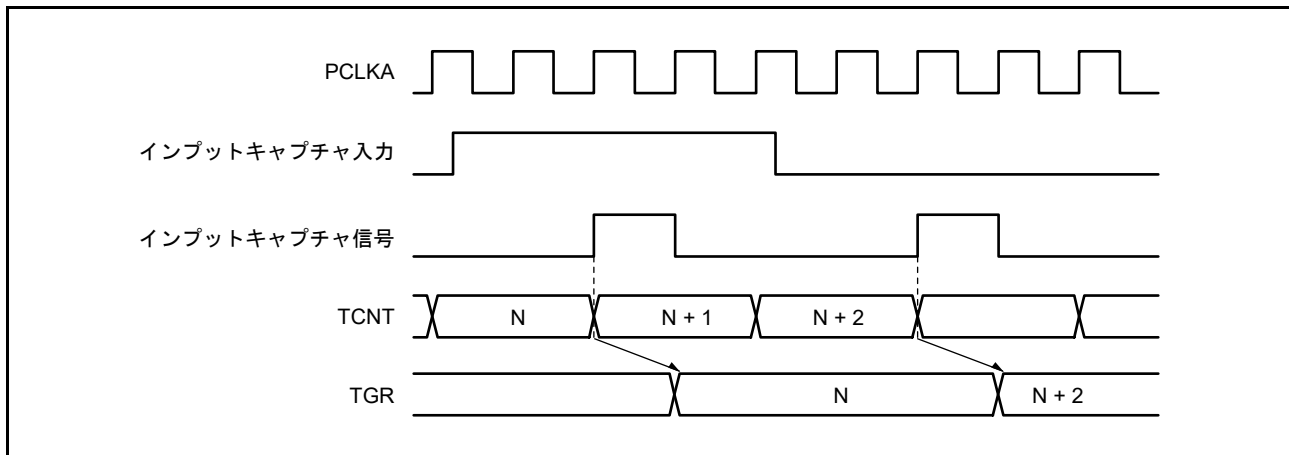


図 20.117 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 20.118、図 20.119 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 20.120 に示します。

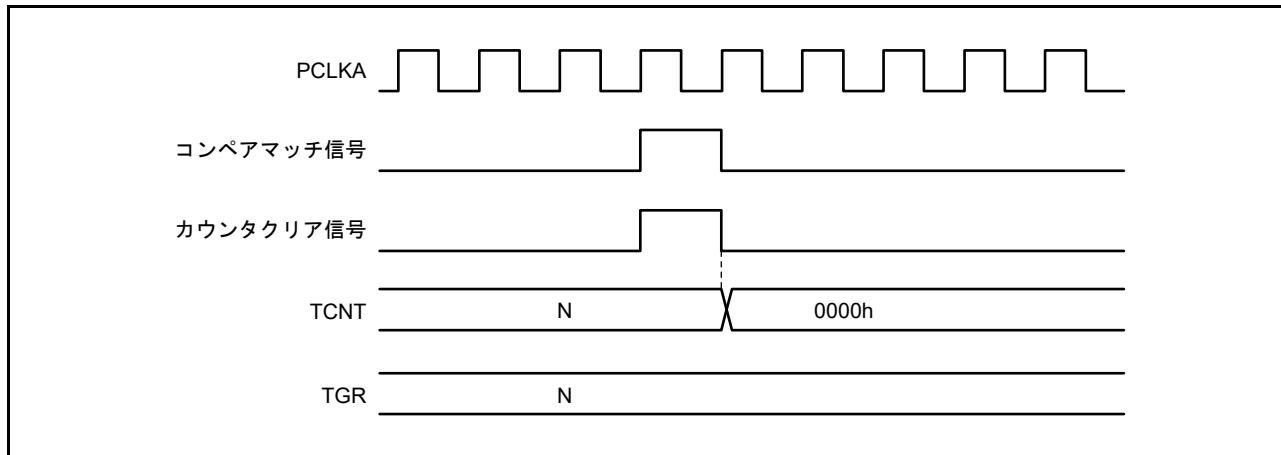


図 20.118 カウンタクリアタイミング (コンペアマッチ) (MTU0 ~ MTU4, MTU6, MTU7, MTU9)

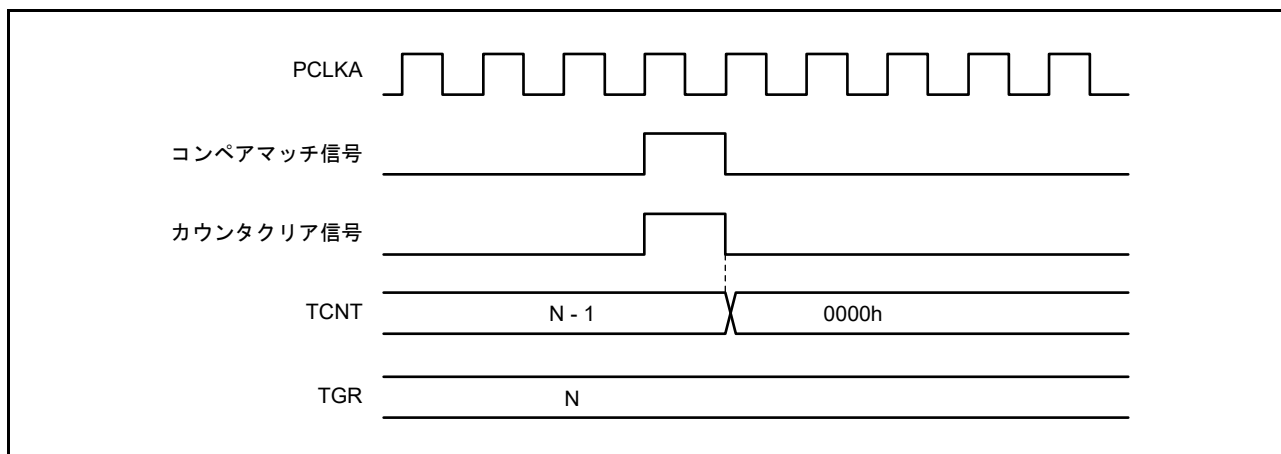


図 20.119 カウンタクリアタイミング (コンペアマッチ) (MTU5)

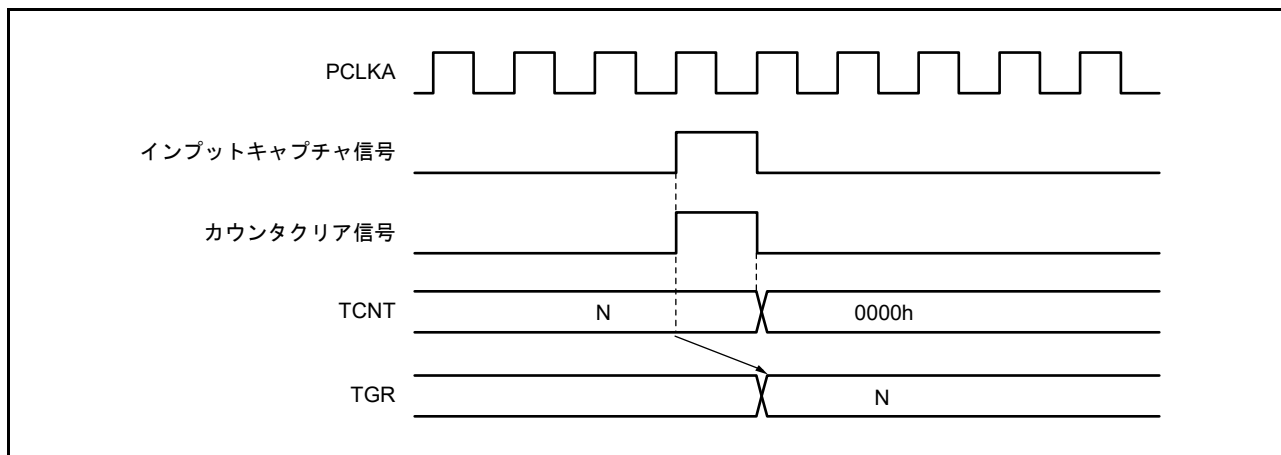


図 20.120 カウンタクリアタイミング (インプットキャプチャ) (MTU0 ~ MTU7, MTU9)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 20.121 ~ 図 20.123 に示します。

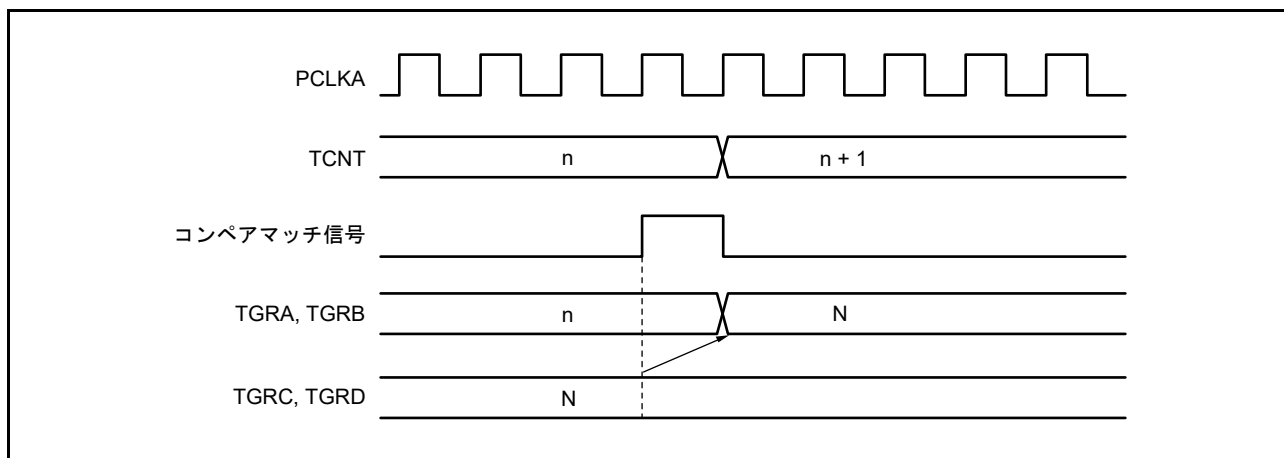


図 20.121 バッファ動作タイミング (コンペアマッチ)

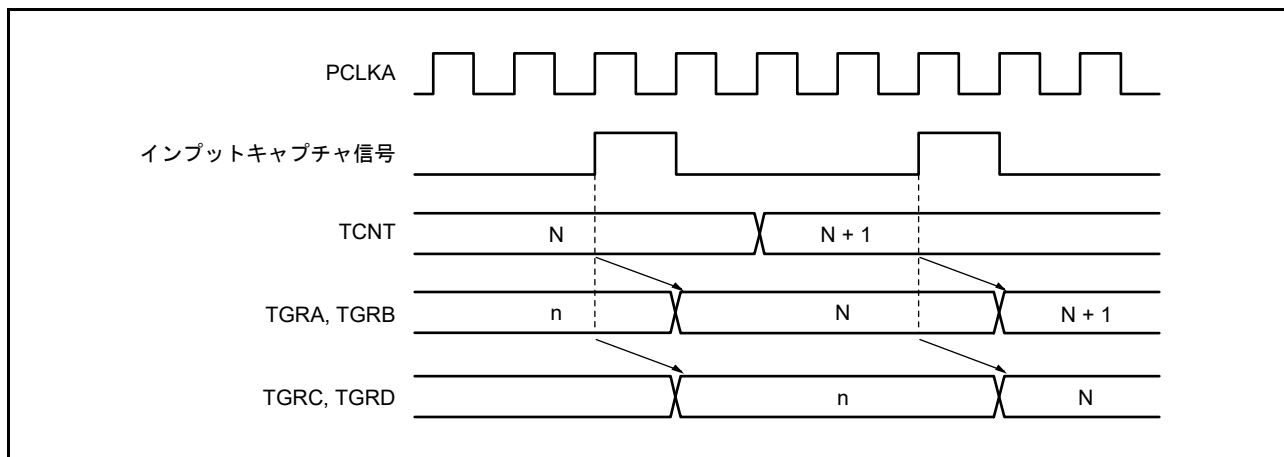


図 20.122 バッファ動作タイミング (インプットキャプチャ)

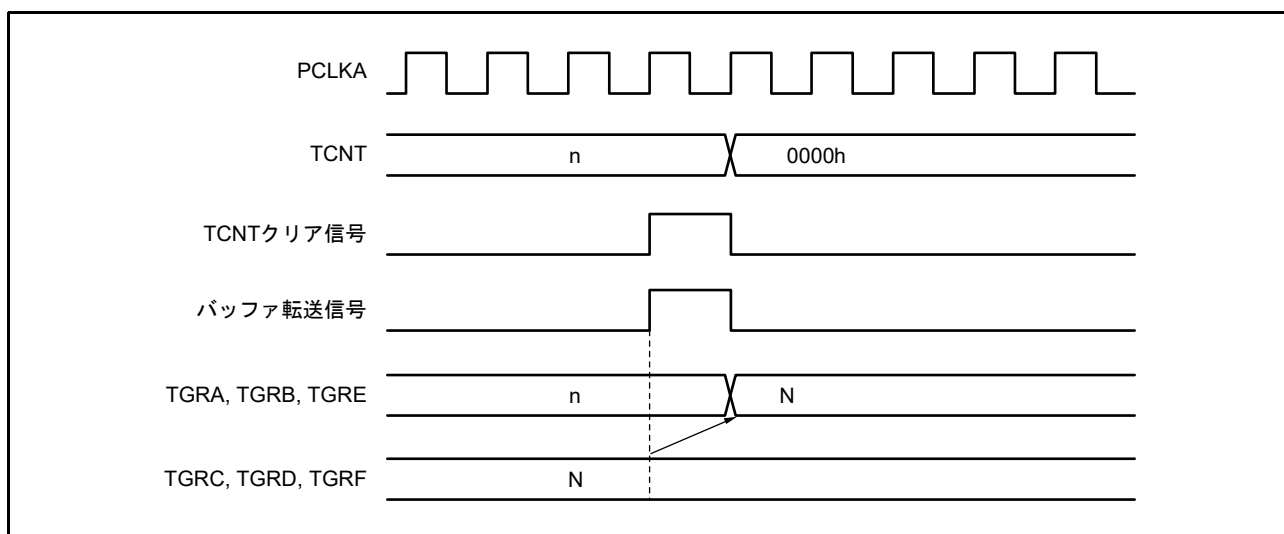


図 20.123 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 20.124 ~ 図 20.126 に示します。

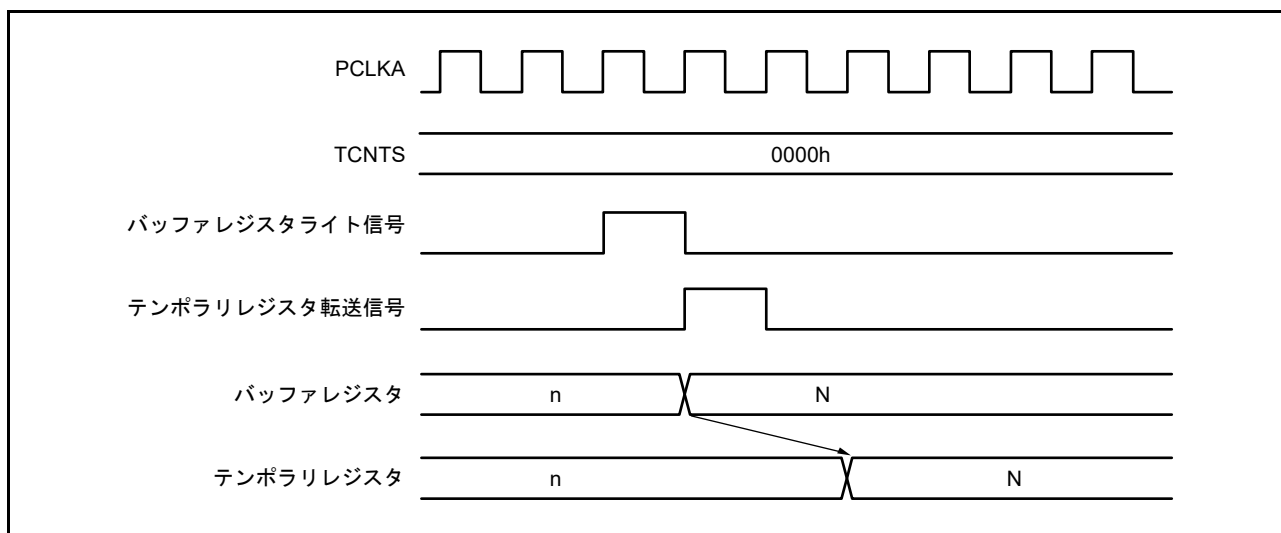


図 20.124 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 停止中)

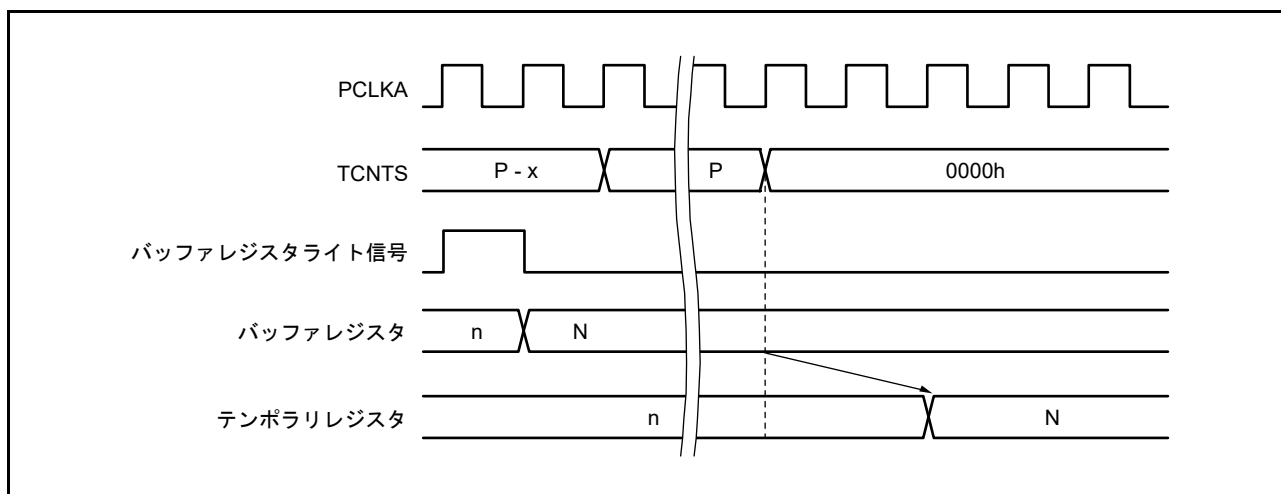


図 20.125 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 動作中)

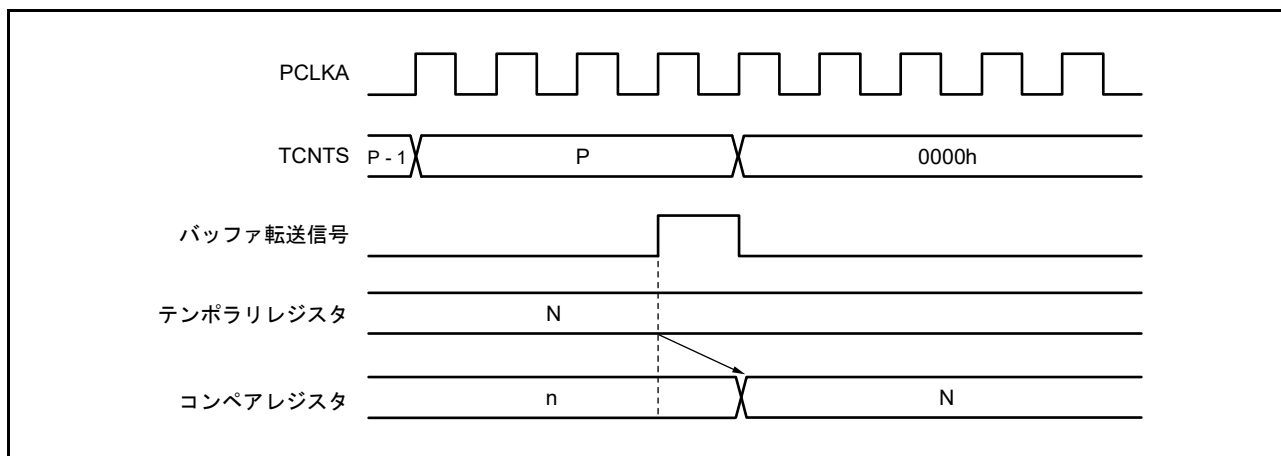


図 20.126 テンポラリレジスタからコンペアレジスタへの転送タイミング

20.5.2 割り込み信号タイミング

(1) コンペアマッチ時の TGI 割り込みタイミング

コンペアマッチが発生したときの TGI 割り込み要求信号のタイミングを図 20.127、図 20.128 に示します。

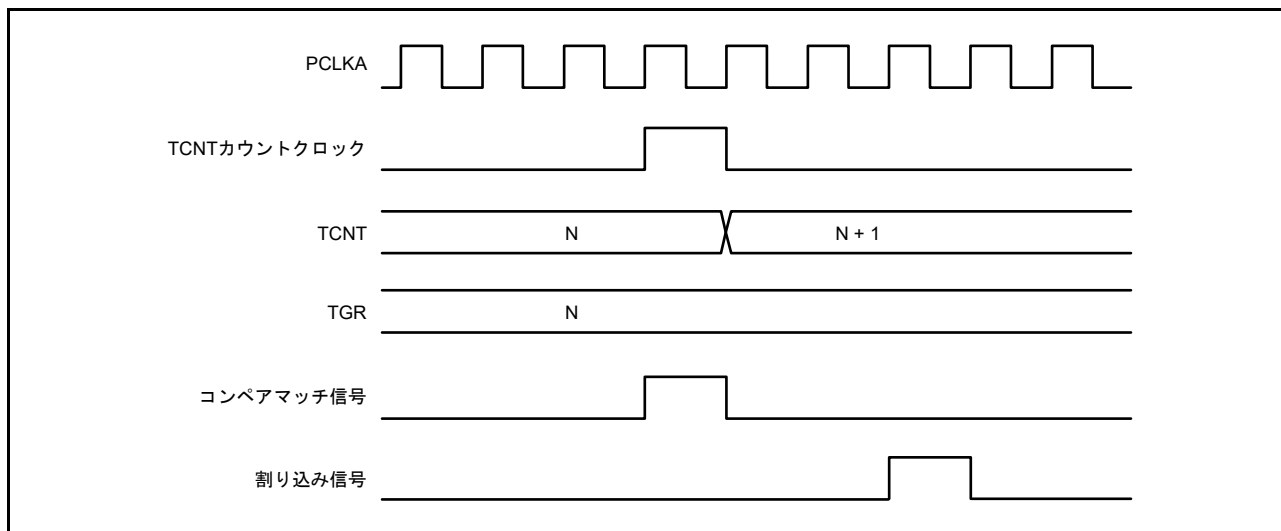


図 20.127 TGI 割り込みタイミング (コンペアマッチ) (MTU0 ~ MTU4, MTU6, MTU7, MTU9)

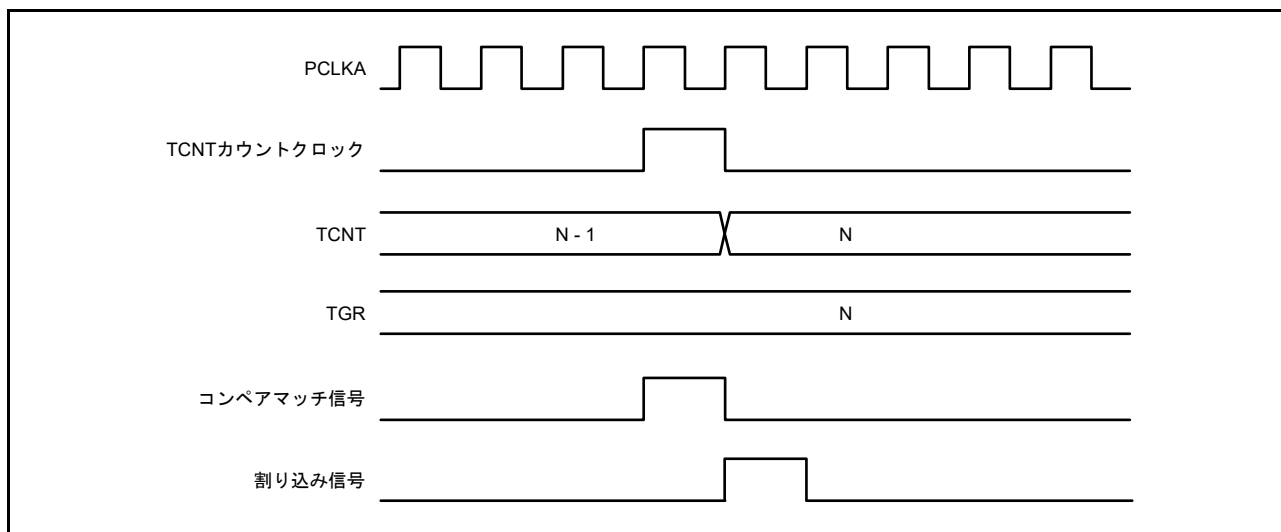


図 20.128 TGI 割り込みタイミング (コンペアマッチ) (MTU5)

(2) インพุットキャプチャ時の TGI 割り込みタイミング

インพุットキャプチャが発生したときの TGI 割り込み要求信号のタイミングを図 20.129、図 20.130 に示します。

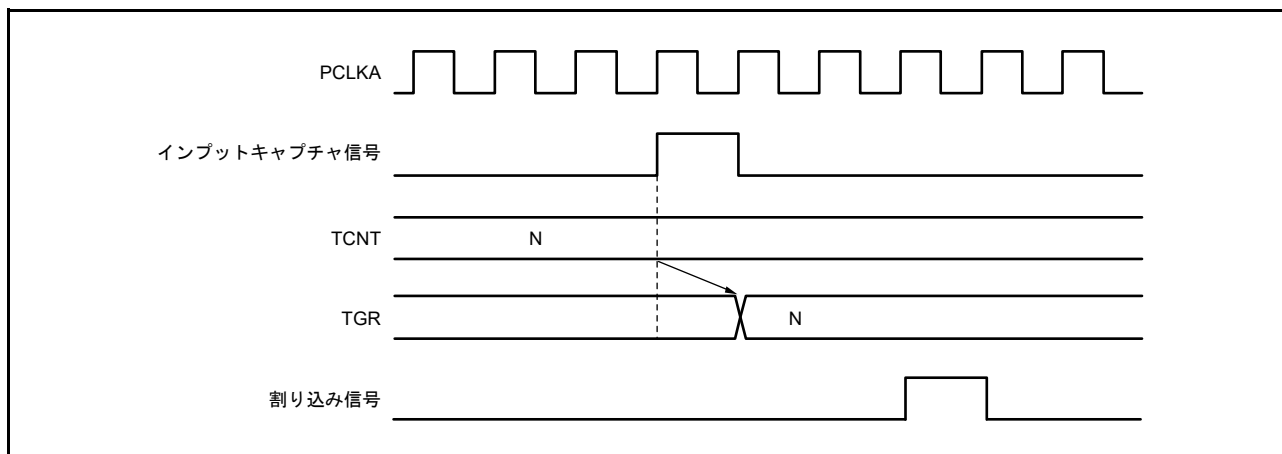


図 20.129 TGI 割り込みタイミング (インพุットキャプチャ) (MTU0 ~ MTU4, MTU6, MTU7, MTU9)

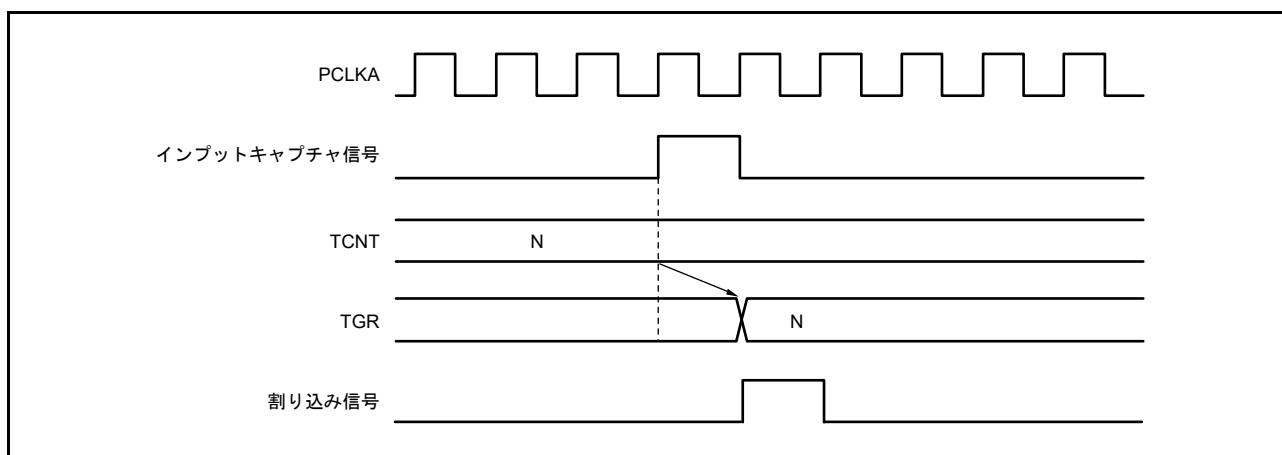


図 20.130 TGI 割り込みタイミング (インพุットキャプチャ) (MTU5)

(3) TCIV/TCIU 割り込みタイミング

オーバーフローが発生したときの TCIV 割り込み要求信号のタイミングを図 20.131 に示します。
 アンダフローが発生したときの TCIU 割り込み要求信号のタイミングを図 20.132 に示します。

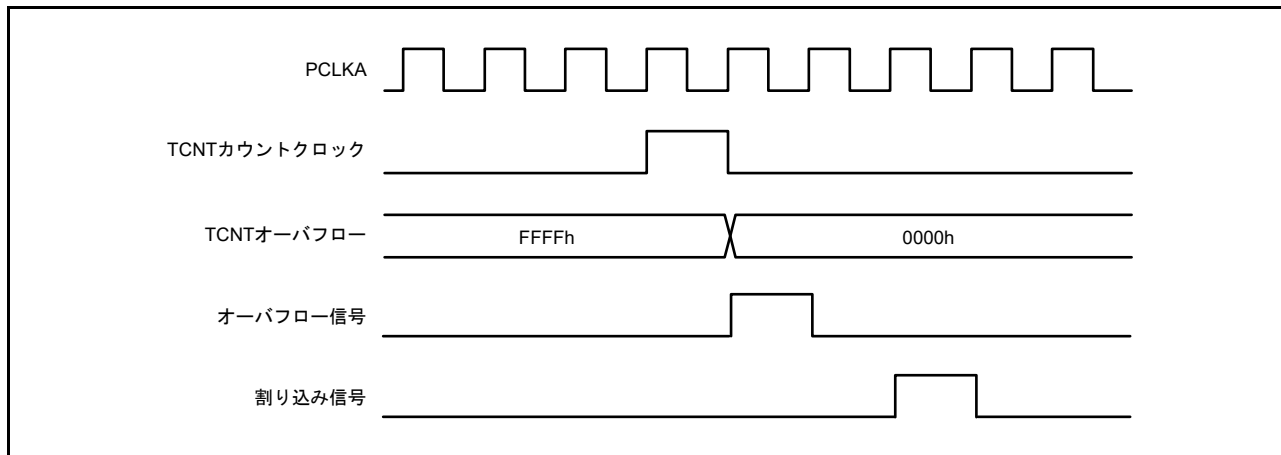


図 20.131 TCIV 割り込みタイミング

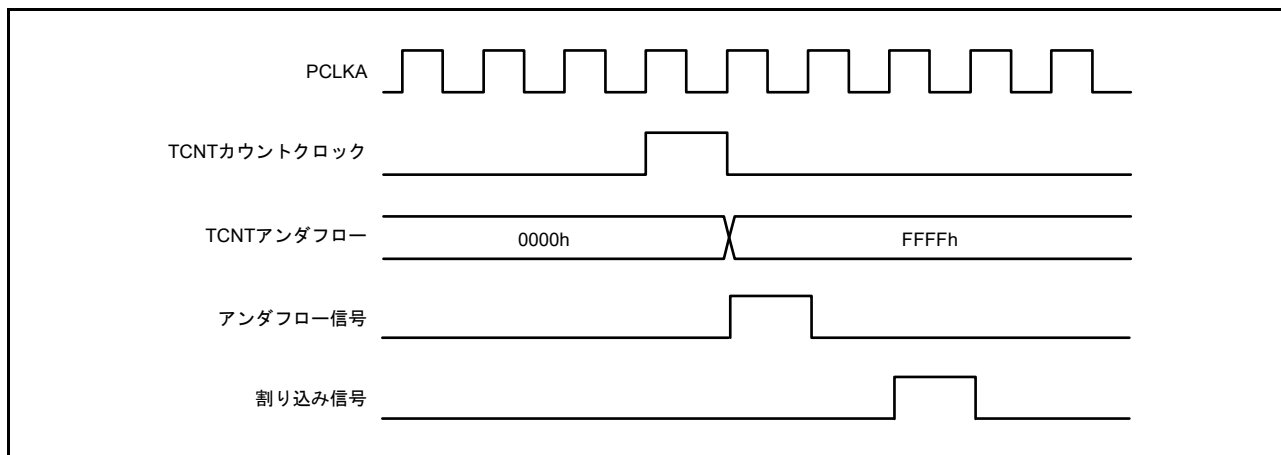


図 20.132 TCIU 割り込みタイミング

20.6 使用上の注意事項

20.6.1 モジュールストップ機能の設定

MTUは、モジュールストップコントロールレジスタにより、MTUの動作禁止/許可を設定することが可能です。初期値では、MTUの動作は停止しています。モジュールクロックストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

20.6.2 カウントクロックの制限事項

カウントクロックソースのパルス幅は、単エッジの場合は3PCLKAクロック以上、両エッジの場合は5PCLKA以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2本の入力クロックの位相差およびオーバーラップはそれぞれ3PCLKA以上、パルス幅は5PCLKA以上必要です。位相計数モードの入力クロックの条件を図20.133に示します。

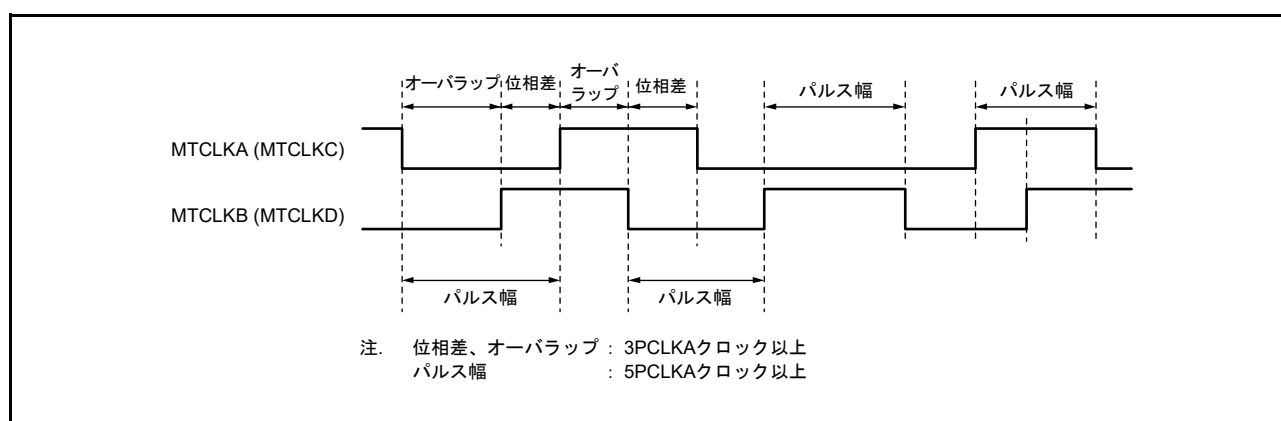


図 20.133 位相計数モード時の位相差、オーバーラップ、およびパルス幅

20.6.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはTGRレジスタの値と一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

- MTU0 ~ MTU4, MTU6, MTU7, MTU9 の場合

$$f = \frac{\text{CNTCLK}}{N + 1}$$

- MTU5 の場合

$$f = \frac{\text{CNTCLK}}{N}$$

f : カウンタ周波数

CNTCLK : TCR の TPSC[2:0]、TCR2 の TPSC2[2:0] で設定したカウントクロックの周波数

N : TGR の設定値

20.6.4 TCNT への書き込みとクリアの競合

TCNT の書き込みサイクル中にカウンタクリア信号が発生すると、TCNT への書き込みは行われずに、TCNT のクリアが優先されます。

このタイミングを図 20.134 に示します。

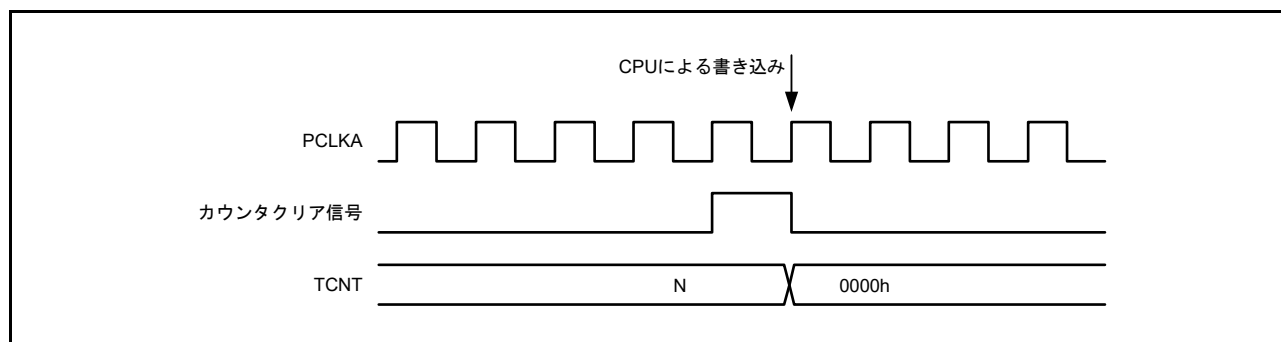


図 20.134 TCNT への書き込みとカウンタクリアの競合

20.6.5 TCNT への書き込みとカウントアップの競合

TCNT の書き込みサイクル中にカウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 20.135 に示します。

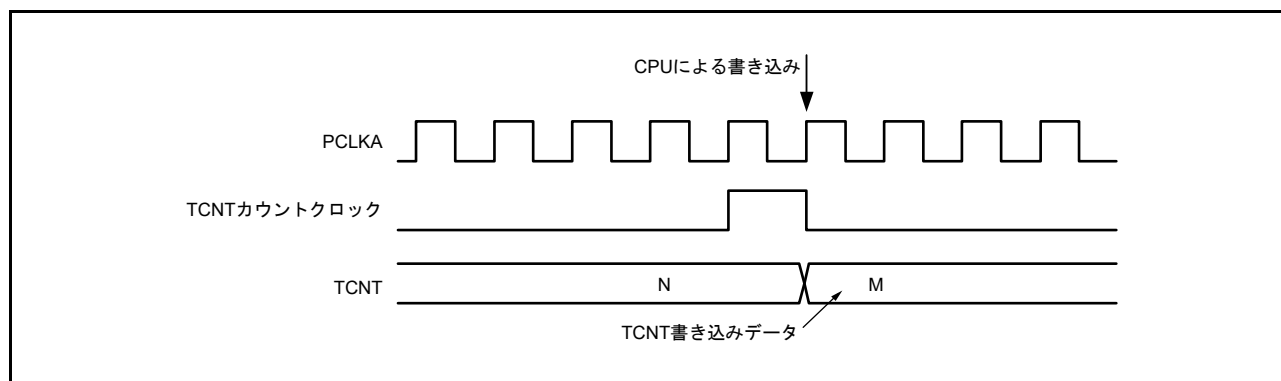


図 20.135 TCNT への書き込みとカウントアップの競合

なお、インプットキャプチャのキャプチャ入力元に MTU1 のカウントクロックまたは MTU2 のカウントクロックを選択している場合、競合の有無にかかわらずインプットキャプチャは実行されます。

20.6.6 TGR レジスタへの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生した場合、TGR レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 20.136 に示します。

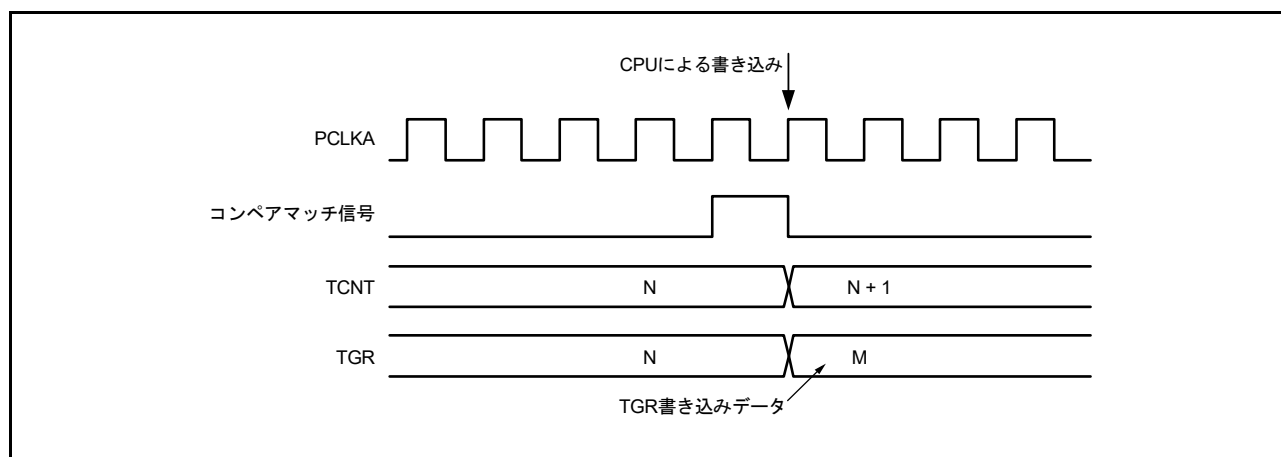


図 20.136 TGR レジスタのライトとコンペアマッチの競合

20.6.7 バッファレジスタへの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 20.137 に示します。

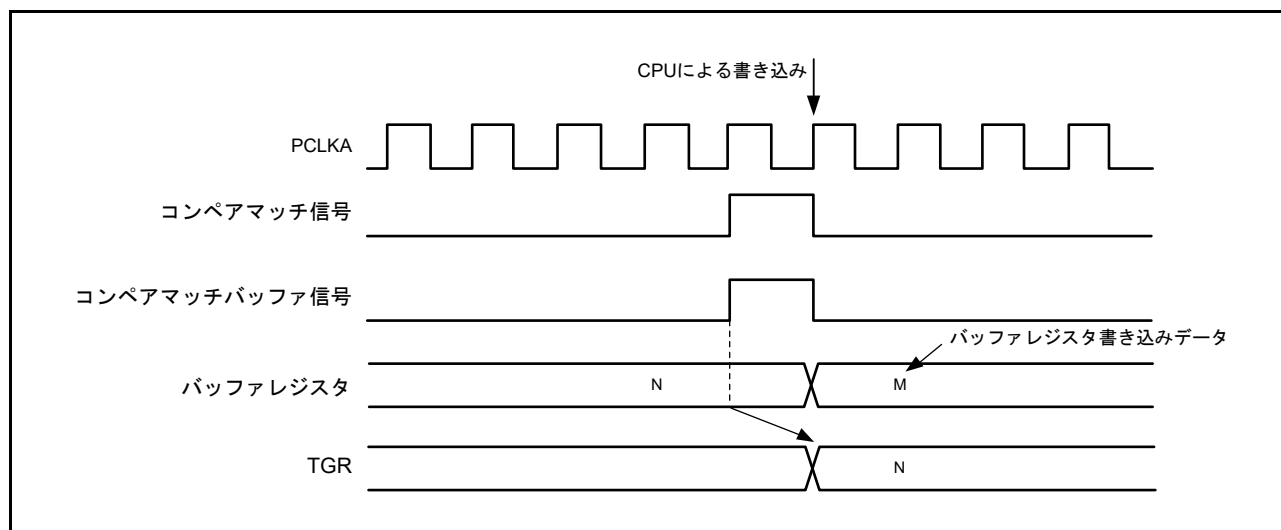


図 20.137 バッファレジスタへの書き込みとコンペアマッチの競合

20.6.8 バッファレジスタへの書き込みと TCNT クリアの競合

タイマバッファ転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR の書き込みサイクル中に TCNT クリアが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 20.138 に示します。

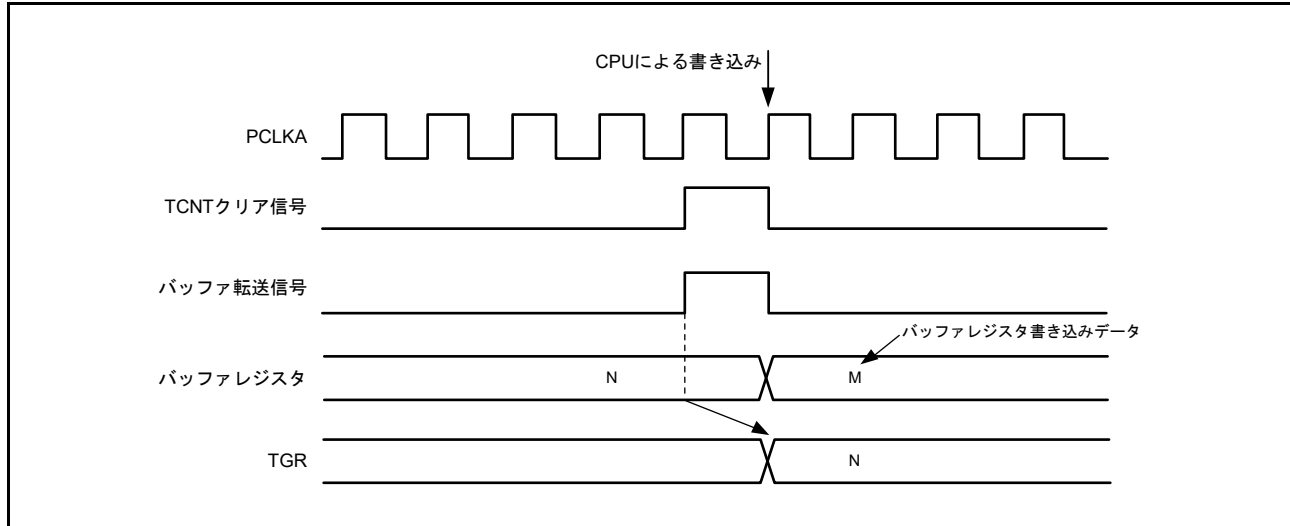


図 20.138 バッファレジスタへの書き込みと TCNT クリアの競合

20.6.9 TGR レジスタの読み出しとインプットキャプチャの競合

TGR レジスタの読み出しサイクル中にインプットキャプチャ信号が発生すると、読み出されるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 20.139 に示します。

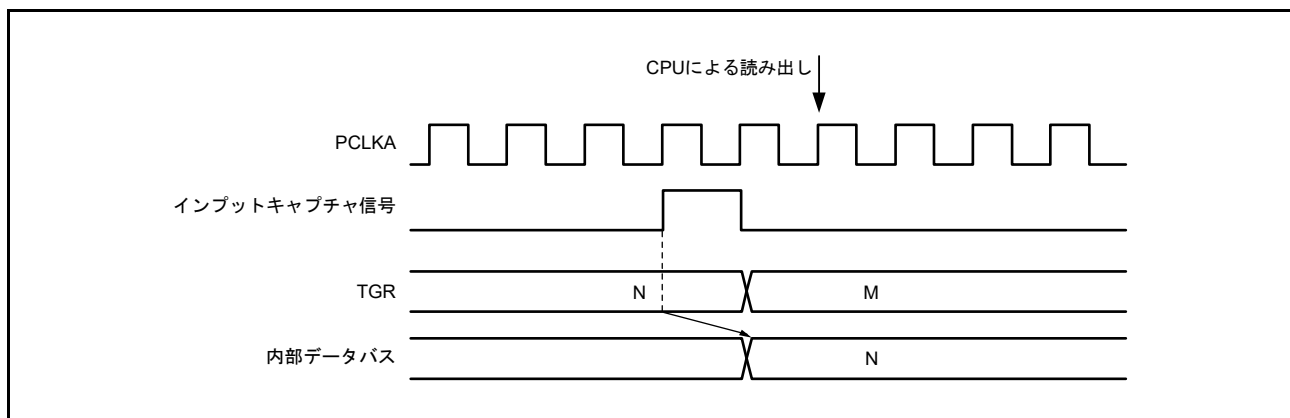


図 20.139 TGR レジスタの読み出しとインプットキャプチャの競合 (MTU0 ~ MTU7, MTU9)

20.6.10 TGR レジスタへの書き込みとインプットキャプチャの競合

TGR レジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、MTU0～MTU4、MTU6、MTU7、MTU9 では TGR レジスタへの書き込みは行われず、インプットキャプチャが優先され、MTU5 では TGR レジスタへの書き込みが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 20.140、図 20.141 に示します。

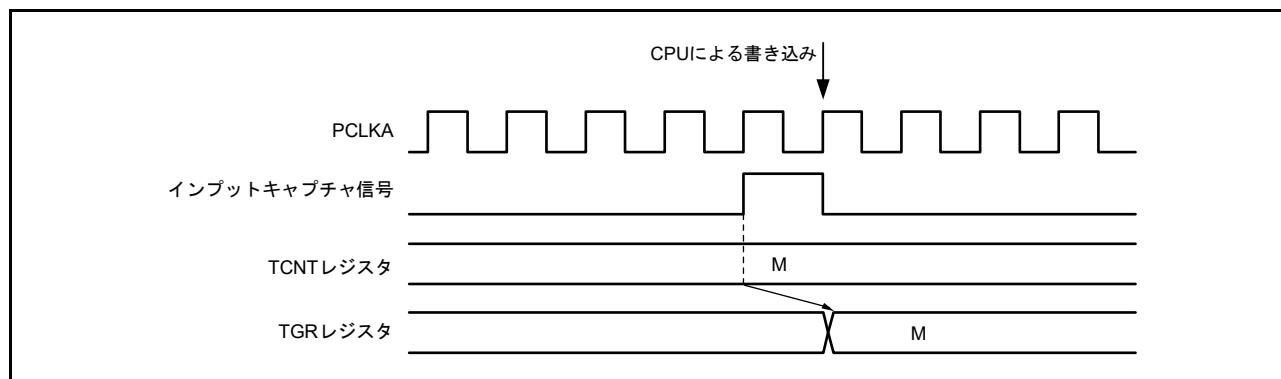


図 20.140 TGR レジスタへの書き込みとインプットキャプチャの競合 (MTU0～MTU4, MTU6, MTU7, MTU9)

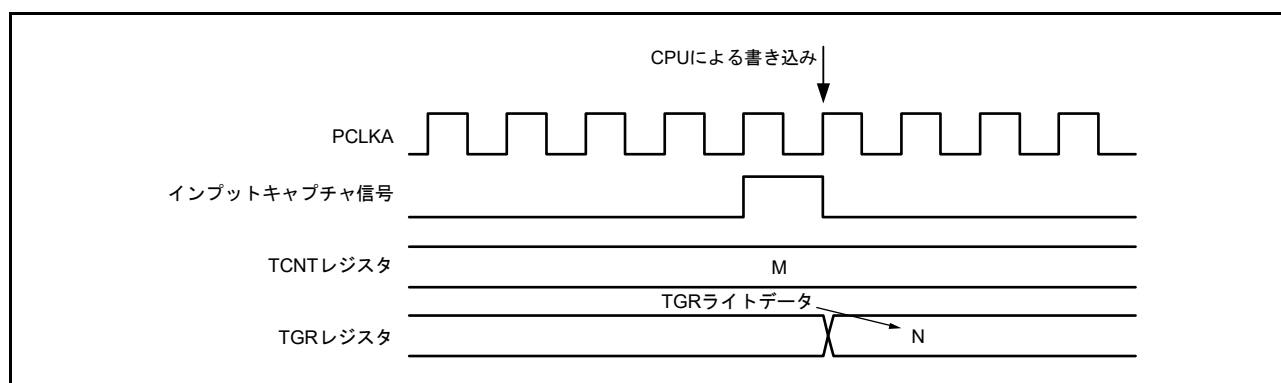


図 20.141 TGR レジスタへの書き込みとインプットキャプチャの競合 (MTU5)

20.6.11 バッファレジスタへの書き込みとインプットキャプチャの競合

バッファレジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 20.142 に示します。

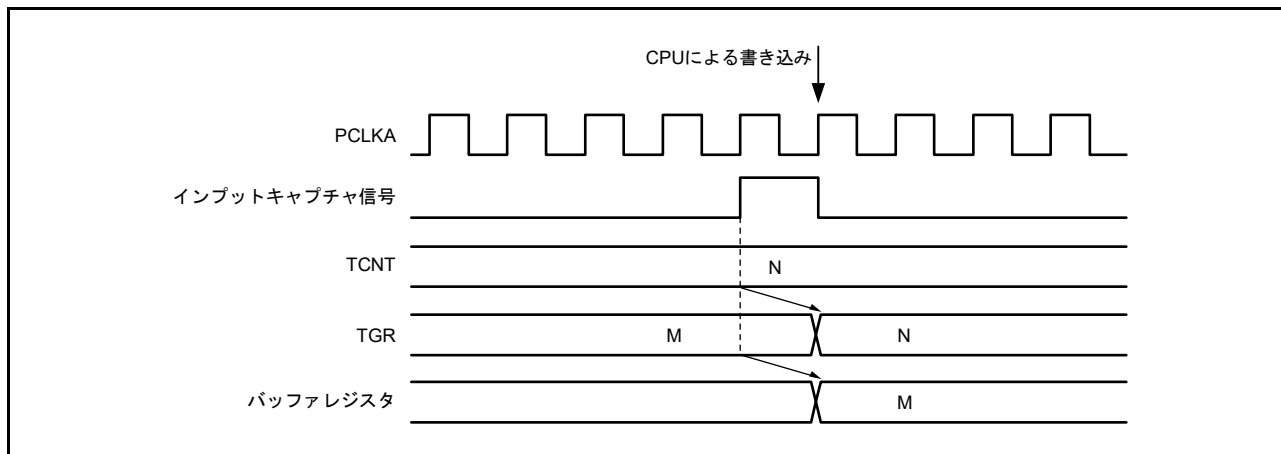


図 20.142 バッファレジスタへの書き込みとインプットキャプチャ競合

20.6.12 カスケード接続における MTU2.TCNT への書き込みとオーバーフロー/アンダフローの競合

タイマカウンタ (MTU1.TCNT と MTU2.TCNT) をカスケード接続し、MTU1.TCNT がカウントする瞬間 (MTU2.TCNT がオーバーフロー/アンダフローする瞬間) と MTU2.TCNT の書き込みサイクル中が競合すると、MTU2.TCNT への書き込みが行われ、MTU1.TCNT のカウント信号が禁止されます。このとき、MTU1.TGRA がコンペアマッチレジスタとして動作し MTU1.TCNT の値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0 (MTU9) のインプットキャプチャ要因に MTU1.TCNT (MTU2.TCNT) カウントクロックを選択した場合には、MTU0.TGRA ~ TGRD (MTU9.TGRA ~ TGRD) はインプットキャプチャ動作します。さらに MTU1.TGRB のインプットキャプチャ要因に MTU0.TGRC のコンペアマッチ/インプットキャプチャを選択した場合には、MTU1.TGRB はインプットキャプチャ動作します。

このタイミングを図 20.143 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

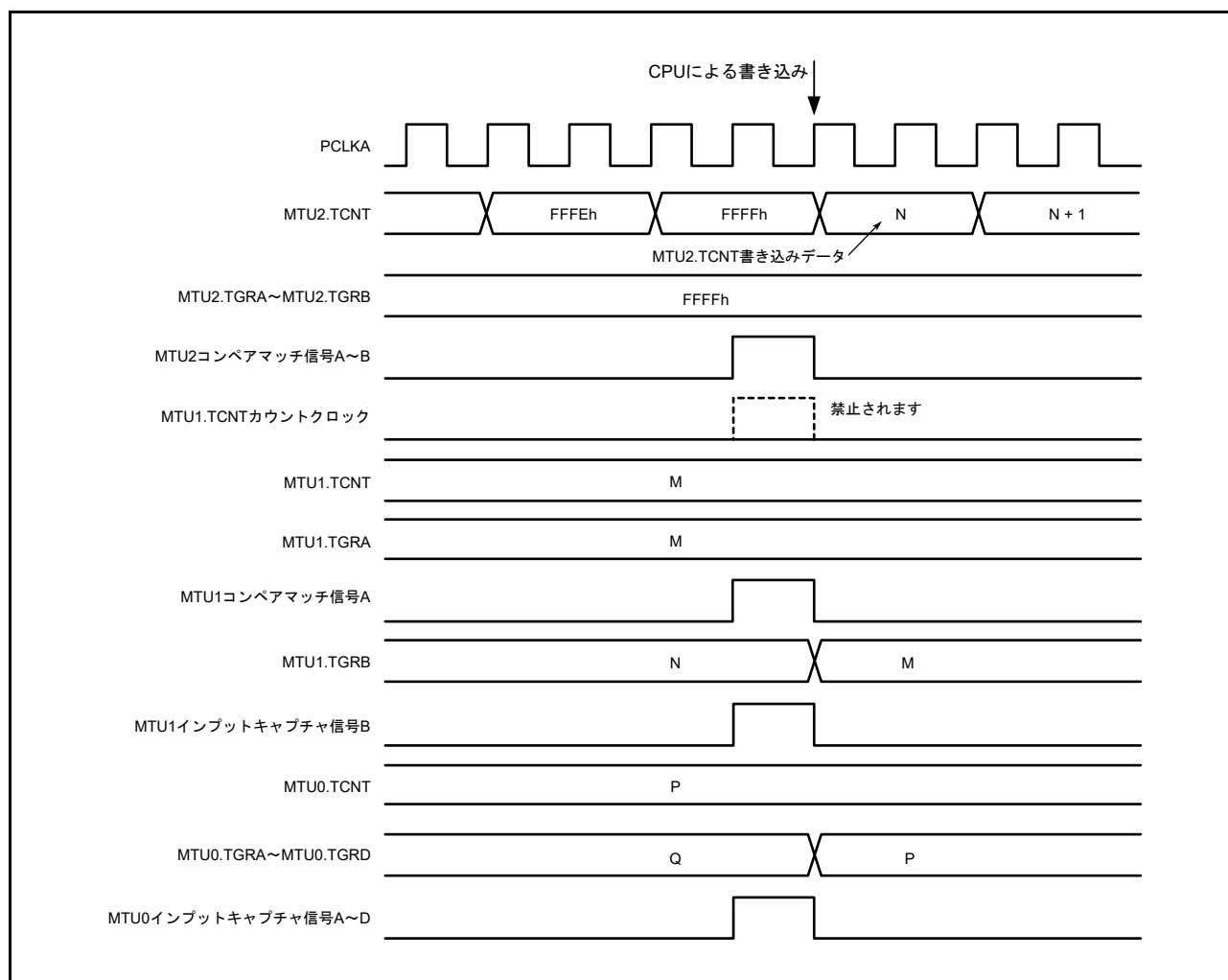


図 20.143 カスケード接続における MTU2.TCNT の書き込みとオーバーフロー/アンダフローの競合

20.6.13 相補 PWM モードでのカウント動作停止時のカウンタ値

MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) が相補 PWM モードで動作しているときにカウント動作を停止すると、MTU3.TCNT (MTU6.TCNT) はタイマデッドタイムレジスタ (TDDRA (TDDRB)) の値、MTU4.TCNT (MTU7.TCNT) は“0000h”になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 20.144 に示します。

また、他の動作モードでカウントを開始する場合は MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) にカウント初期値の設定を行ってください。

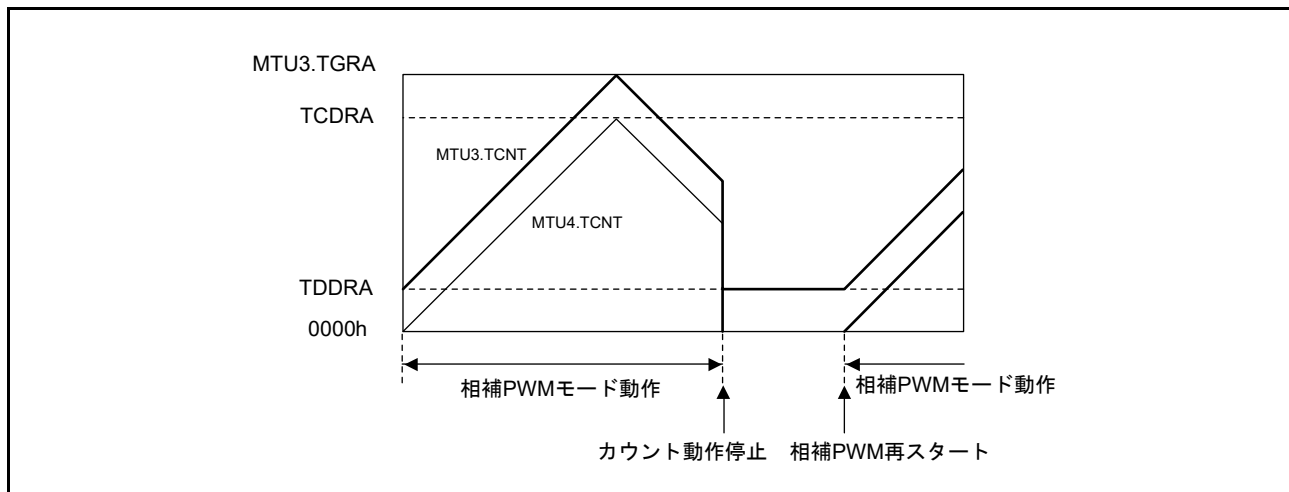


図 20.144 相補 PWM モード停止時のカウンタ値

20.6.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (MTU3.TGRA, MTU6.TGRA)、タイマ周期データレジスタ (TCDRA, TCDRB)、デューティ設定レジスタ (MTU3.TGRB, MTU3.TGRA, MTU4.TGRB, MTU6.TGRB, MTU7.TGRA, MTU7.TGRB) の書き換えは、バッファ動作で行ってください。

また、MTU4.TMDR1.BFA (MTU7.TMDR1.BFA) ビット、MTU4.TMDR1.BFB (MTU7.TMDR1.BFB) ビットを“0”にしてください。MTU4.TMDR1.BFA (MTU7.TMDR1.BFA) ビットを“1”にすると、MTIOC4C (MTIOC7C) 端子の波形出力ができなくなります。同様に、MTU4.TMDR1.BFB (MTU7.TMDR1.BFB) ビットを“1”にすると、MTIOC4D (MTIOC7D) 端子の波形出力ができなくなります。

相補 PWM モード時の MTU3 および MTU4 (MTU6 および MTU7) のバッファ動作は、MTU3.TMDR1.BFA (MTU6.TMDR1.BFA) ビット、MTU3.TMDR1.BFB (MTU6.TMDR1.BFB) ビットの設定に従い動作します。MTU3.TMDR1.BFA (MTU6.TMDR1.BFA) ビットを“1”にした場合、MTU3.TGRC (MTU6.TGRC) は MTU3.TGRA (MTU6.TGRA) のバッファレジスタとして機能します。同時に MTU4.TGRC (MTU7.TGRC) は MTU4.TGRA (MTU7.TGRA) のバッファレジスタとして機能し、さらに TCBRA (TCBRB) は TCDRA (TCDRB) のバッファレジスタとして機能します。

20.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTU4.TMDR1.BFA ビット (MTU7.TMDR1.BFA ビット)、MTU4.TMDR1.BFB ビット (MTU7.TMDR1.BFB ビット) を“0”にしてください。MTU4.TMDR1.BFA ビット (MTU7.TMDR1.BFA ビット) を“1”にすると、MTIOC4C (MTIOC7C) 端子の波形出力ができなくなります。

同様に、MTU4.TMDR1.BFB ビット (MTU7.TMDR1.BFB ビット) を“1”にすると、MTIOC4D (MTIOC7D) 端子の波形出力ができなくなります。

リセット同期 PWM モード時の MTU3 および MTU4 (MTU6 および MTU7) のバッファ動作は MTU3.TMDR1.BFA ビット (MTU6.TMDR1.BFA ビット)、MTU3.TMDR1.BFB ビット (MTU6.TMDR1.BFB ビット) の設定に従い動作します。たとえば、MTU3.TMDR1.BFA ビット (MTU6.TMDR1.BFA ビット) を“1”にした場合、MTU3.TGRC (MTU6.TGRC) は MTU3.TGRA (MTU6.TGRA) のバッファレジスタとして機能します。同時に MTU4.TGRC (MTU7.TGRC) は MTU4.TGRA (MTU7.TGRA) のバッファレジスタとして機能します。

MTU3.TGRC (MTU6.TGRC)、MTU3.TGRD (MTU6.TGRD) がバッファレジスタとして動作している場合、TGImn 割り込み (m = C, D, n = 3, 4, 6, 7) は発生しません。

MTU3.TMDR1.BFA ビット (MTU6.TMDR1.BFA ビット)、MTU3.TMDR1.BFB ビット (MTU6.TMDR1.BFB ビット) を“1”にし、MTU4.TMDR1.BFA ビット (MTU7.TMDR1.BFA ビット)、MTU4.TMDR1.BFB ビット (MTU7.TMDR1.BFB ビット) を“0”にした場合の MTU3.TGR (MTU6.TGR)、MTU4.TGR (MTU7.TGR)、MTIOC3 (MTIOC6)、MTIOC4 (MTIOC7) の動作例を図 20.145 に示します。

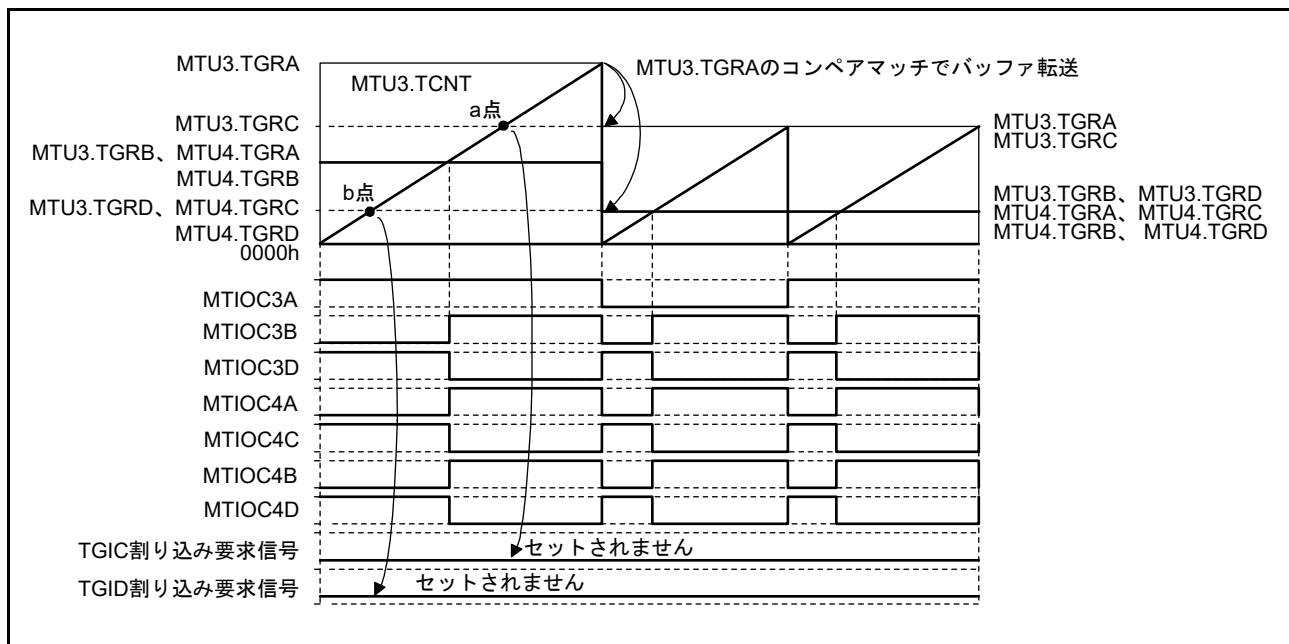


図 20.145 リセット同期 PWM モードのバッファ動作とコンペアマッチ

20.6.16 リセット同期 PWM モードのオーバーフロー

リセット同期 PWM モードを設定し、TSTRA (TSTRB) の CST3 (CST6) ビットを“1”にすると、MTU3.TCNT と MTU4.TCNT (MTU6.TCNT と MTU7.TCNT) のカウント動作が開始します。このとき、MTU4.TCNT (MTU7.TCNT) のカウントクロックソースとカウントエッジは MTU3.TCR (MTU6.TCR) の設定に従います。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA (MTU6.TGRA) の設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA (MTU6.TGRA) のコンペアマッチを指定した場合、MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) がアップカウントし“FFFFh”になると、MTU3.TGRA (MTU6.TGRA) とのコンペアマッチが発生し、MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) ともにカウントクリアされます。このとき、TCIV_n 割り込み (n = 3, 4, 6, 7) は発生しません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA (MTU6.TGRA) の設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA (MTU6.TGRA) のコンペアマッチを指定した場合の動作例を図 20.146 に示します。

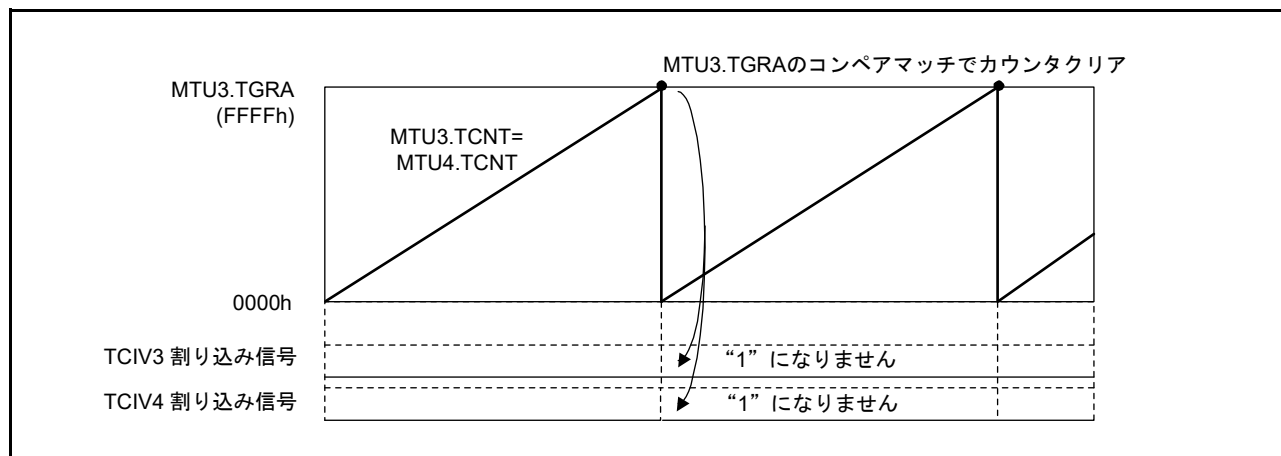


図 20.146 リセット同期 PWM モードのオーバーフロー

20.6.17 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TCIV_n 割り込み (n=0~4, 6, 7, 9)、TCIU_n 割り込み (n=1, 2) は発生せず、TCNT のクリアが優先されます。

TGR レジスタのコンペアマッチをクリア要因とし、TGR レジスタを“FFFFh”にした場合の動作タイミングを図 20.147 に示します。

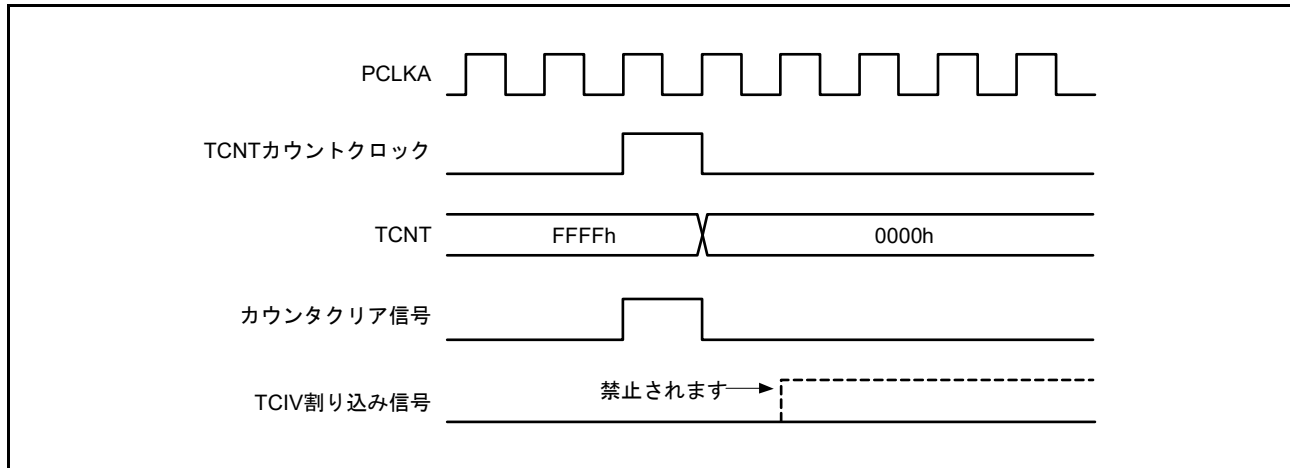


図 20.147 オーバフローとカウンタクリアの競合

20.6.18 TCNT への書き込みとオーバフロー/アンダフローの競合

TCNT の書き込みサイクルで、アップカウント/ダウンカウントが発生し、オーバフロー/アンダフローが発生しても、TCNT への書き込みが優先されます。TCIV_n 割り込み (n=0~4, 6, 7, 9)、TCIU_n 割り込み (n=1, 2) は発生しません。

TCNT への書き込みとオーバフロー競合時の動作タイミングを図 20.148 に示します。

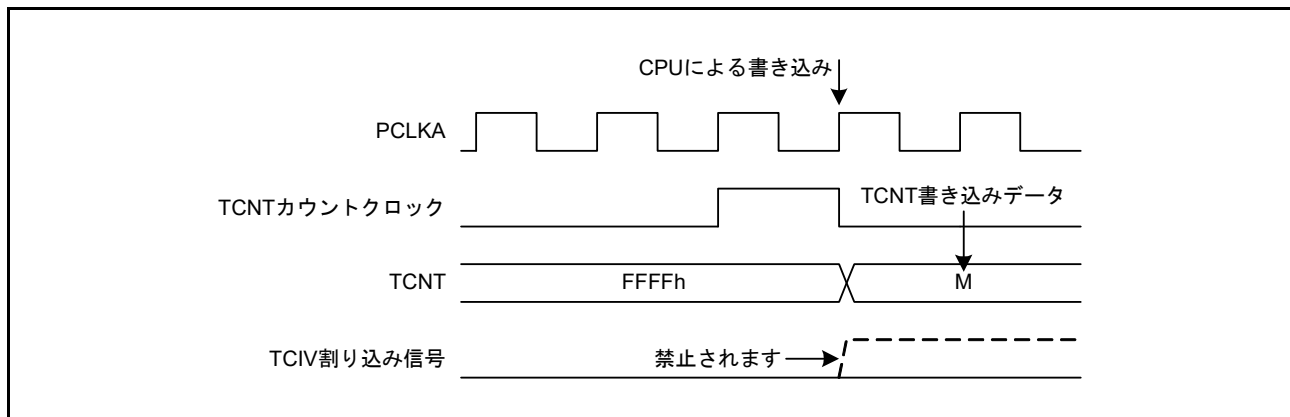


図 20.148 TCNT への書き込みとオーバフローの競合

20.6.19 ノーマルモードまたはPWMモード1からリセット同期PWMモードへ遷移する場合の注意事項

MTU3、MTU4 (MTU6, MTU7) のノーマルモードまたはPWMモード1からリセット同期PWMモードへ遷移させる場合、出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D, MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) を High の状態にしたままカウンタを止め、リセット同期PWMモードに遷移して動作させると、端子の初期出力が正しく出力されませんので注意してください。

ノーマルモードからリセット同期PWMモードに遷移する場合には、MTU3.TIORH、MTU3.TIORL、MTU4.TIORH、MTU4.TIORL (MTU6.TIORH, MTU6.TIORL, MTU7.TIORH, MTU7.TIORL) レジスタに“11h”を書いて出力端子を Low に初期化した後、レジスタの初期値“00h”を書いてからモード遷移を行ってください。

PWMモード1からリセット同期PWMモードに遷移する場合には、いったんノーマルモードに遷移してから出力端子を Low へ初期化した後、レジスタの初期値“00h”を書いてからリセット同期PWMモードに遷移してください。

20.6.20 相補PWMモード、リセット同期PWMモードの出力レベル

MTU3、MTU4 (MTU6, MTU7) が相補PWMモードまたはリセット同期PWMモードの場合、PWM波形の出力レベルはTOCR1A.OLSPビット、TOCR1A.OLSNビット、TOCR1B.OLSPビット、TOCR1B.OLSNビットで設定します。相補PWMモードまたはリセット同期PWMモードの場合、TIOレジスタは“00h”としてください。

相補PWMモードでTDER.TDERビットを“0” (デッドタイムを生成しない) に設定した場合の逆相の出力レベルは、TOCR1.OLSNビットの設定によらず、TOCR1.OLSPビットの設定による正相出力の反転レベルとなります。

20.6.21 カスケード接続におけるMTU1.TCNT、MTU2.TCNT同時インプットキャプチャ

タイマカウンタ1、2 (MTU1.TCNTとMTU2.TCNT) をカスケード接続して、32ビットカウンタとして動作させている場合、MTIOC1AとMTIOC2A、またはMTIOC1BとMTIOC2Bに同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNTに入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、またはMTIOC1BとMTIOC2Bの取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNT (上位16ビットのカウンタ) がMTU2.TCNT (下位16ビットのカウンタ) のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくはMTU1.TCNT=FFF1h、MTU2.TCNT=0000hの値をMTU1.TGRAとMTU2.TGRA、もしくはMTU1.TGRBとMTU2.TGRBに転送すべきところを誤ってMTU1.TCNT=FFF0h、MTU2.TCNT=0000hの値を転送します。

1本のインプットキャプチャ入力でもMTU1.TCNTとMTU2.TCNTを同時にキャプチャできる機能を使用すれば、MTU1.TCNTとMTU2.TCNTのキャプチャタイミングのずれなく、32ビットカウンタの取り込みを行うことができます。詳細は「20.2.11 タイムインプットキャプチャコントロールレジスタ (TICCR)」を参照してください。

20.6.22 割り込み間引き機能 2

割り込み間引き機能 2 を使用し、かつ MTU4.TADCORA 値と MTU4.TADCORB 値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでの A/D 変換要求が発生しない場合があります。以下の設定条件で使用してください。

MTU6、MTU7 の場合は、MTU7.TADCORA、MTU7.TADCORB も同様の設定が必要となります。

(1) 間引き機能 2、間引き回数が“0”の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「4」以上
- MTU4.TADCORA のコンペア間隔が 4PCLKA クロック以上 (MTU4.TADCORA レジスタの更新値を「前値+4 以上」、「前値-4 以下」に設定)
- MTU4.TADCORB のコンペア間隔が 4PCLKA クロック以上 (MTU4.TADCORB レジスタの更新値を「前値+4 以上」、「前値-4 以下」に設定)

(2) 間引き機能 2、間引き回数が“1”以上の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「2」以上
- MTU4.TADCORB のコンペア間隔が 2PCLKA 以上 (MTU4.TADCORB レジスタの更新値を「前値+2 以上」、「前値-2 以下」に設定)

20.6.23 相補 PWM モードの出力保護機能未使用時の注意事項

相補 PWM モードの出力保護機能は、初期状態が有効となっております。詳細は、「21. ポートアウトプットイネーブル 3 (POE3b, POE3A)」を参照ください。

20.6.24 タイマカウンタ (MTU5.TCNT) とタイマジェネラルレジスタ (MTU5.TGR) の注意事項

MTU5.TCNT_j (j=U, V, W) のカウント動作を停止した状態で、MTU5.TGR_j に MTU5.TCNT_j 値+1 の値を設定しないでください。MTU5.TCNT_j のカウント動作を停止した状態で、MTU5.TGR_j に MTU5.TCNT_j 値+1 の値を設定した場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。

このとき、コンペアマッチ割り込み許可ビット (MTU5.TIER.TGIE5_j ビット) が“1” (許可) になっていると、コンペアマッチ割り込みが発生します。なお、タイマコンペアマッチクリアレジスタが“1” (許可) になっていると、MTU5.TCNT_j カウンタは、コンペアマッチ割り込みの禁止 / 許可にかかわらず、コンペアマッチが発生すると“0000h”に自動クリアされます。

20.6.25 相補 PWM モード同期クリアするときの異常動作防止の注意事項

相補 PWM モードで、同期カウンタクリア時出力波形制御が有効 (TWCRA.WRE ビット=1、または TWCRB.WRE ビット=1) である状態で、条件 1、条件 2 のいずれかを満たすと、下記の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる (もしくは消失する)
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される

条件 1 初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に、同期クリアした場合 (図 20.149 参照)

条件 2 初期出力の抑止期間⑩、⑪にて、 $MTU3.TGRB (MTU6.TGRB) \leq TDDRA (TDDRB)$ 、 $MTU4.TGRA (MTU7.TGRA) \leq TDDRA (TDDRB)$ 、 $MTU4.TGRB (MTU7.TGRB) \leq TDDRA (TDDRB)$ のいずれかが成立する状態で、同期クリアする (図 20.150 参照)

本現象は下記の方法により、回避することができます。

コンペアレジスタ $MTU3.TGRB (MTU6.TGRB)$ 、 $MTU4.TGRA (MTU7.TGRA)$ 、 $MTU4.TGRB (MTU7.TGRB) \leq TDDRA (TDDRB)$ のすべてが、 $TDDRA$ レジスタ ($TDDRB$ レジスタ) の 2 倍以上になるように設定した状態で、同期クリアする

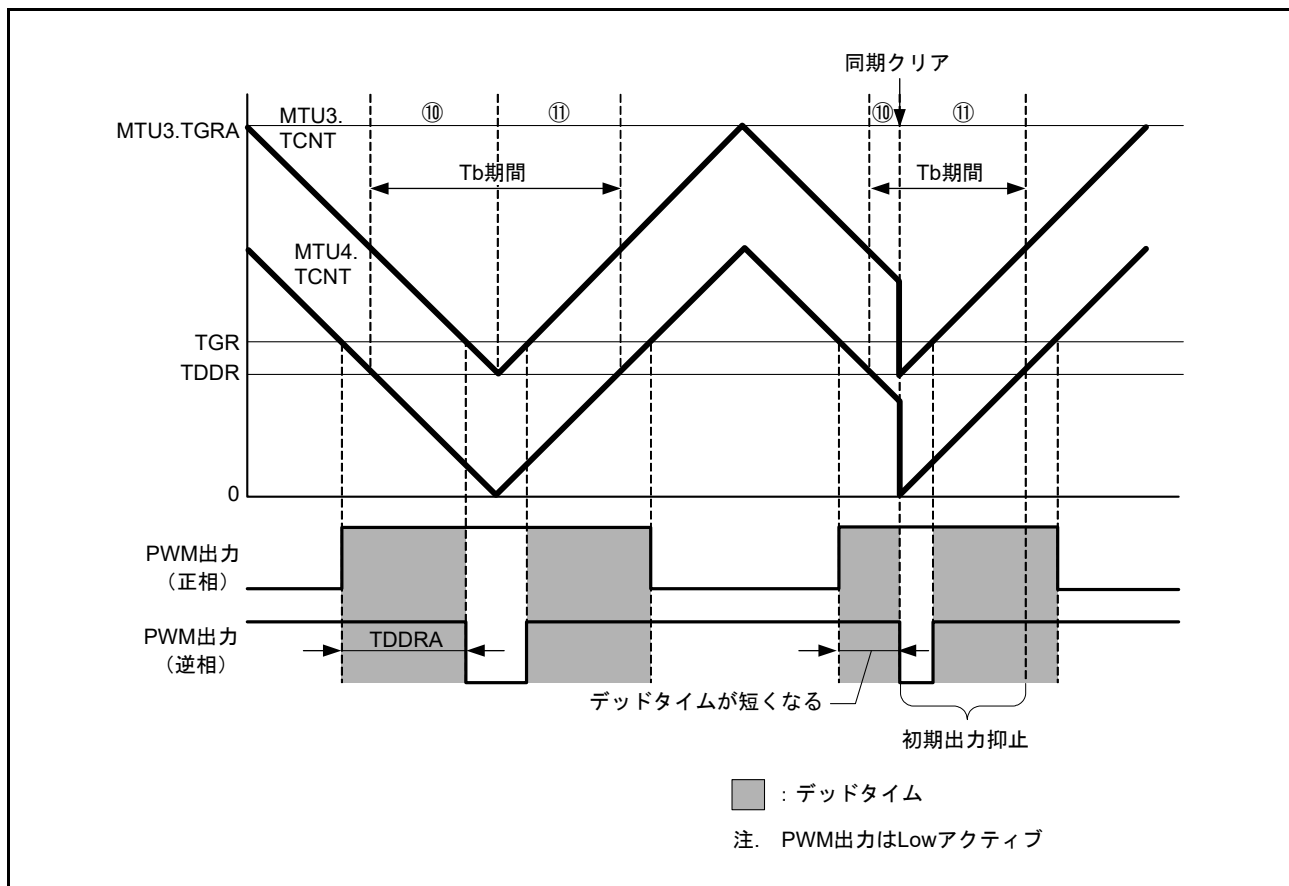


図 20.149 同期クリア例 (条件 1 の場合)

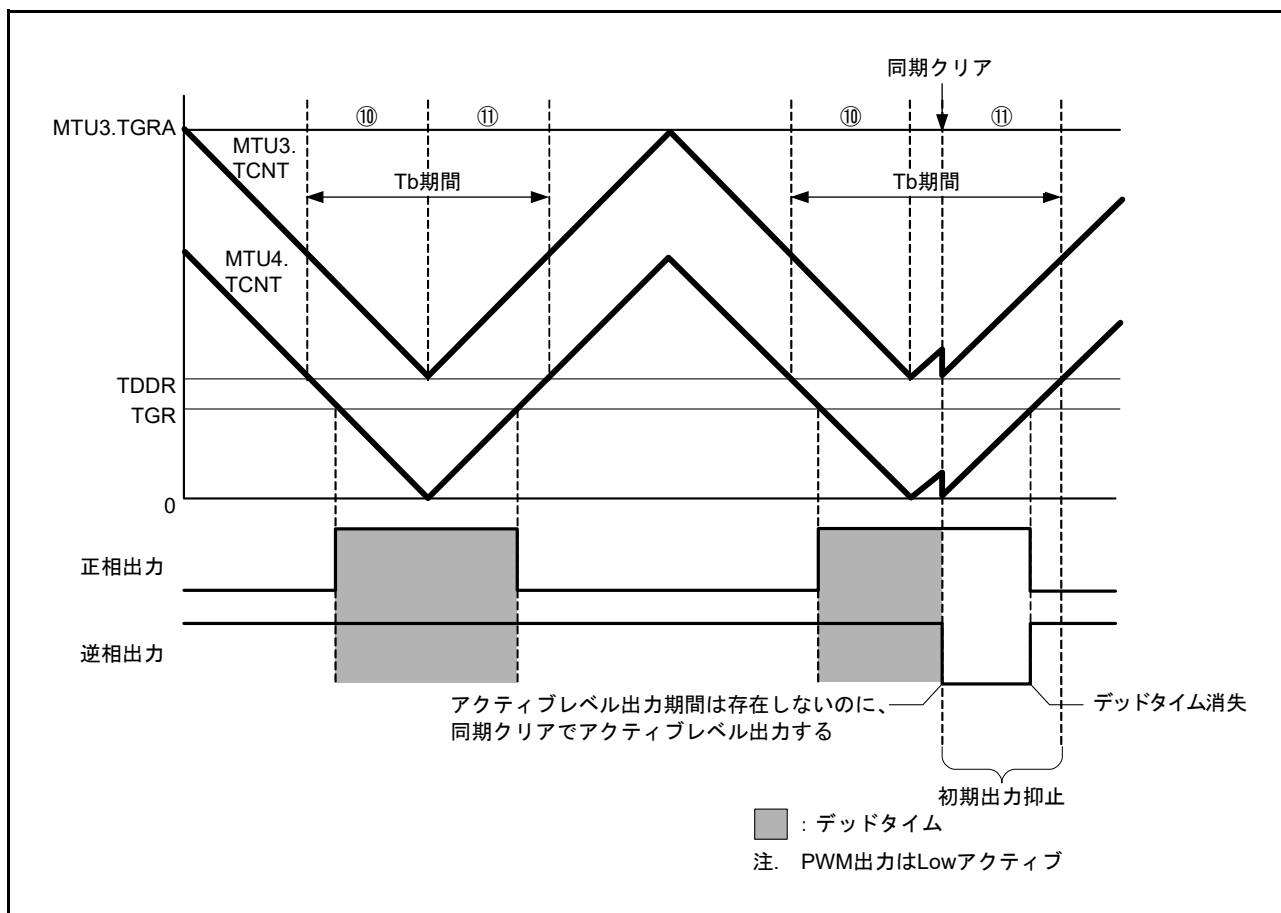


図 20.150 同期クリア例 (条件 2 の場合)

20.6.26 コンペアマッチによる割り込み信号の連続出力

TGR レジスタに“0000h”、カウントクロックを PCLKA/1 クロック、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“0000h”のままとなり、割り込み信号は1サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

コンペアマッチによる割り込み信号の連続出力タイミングを図 20.151 に示します。

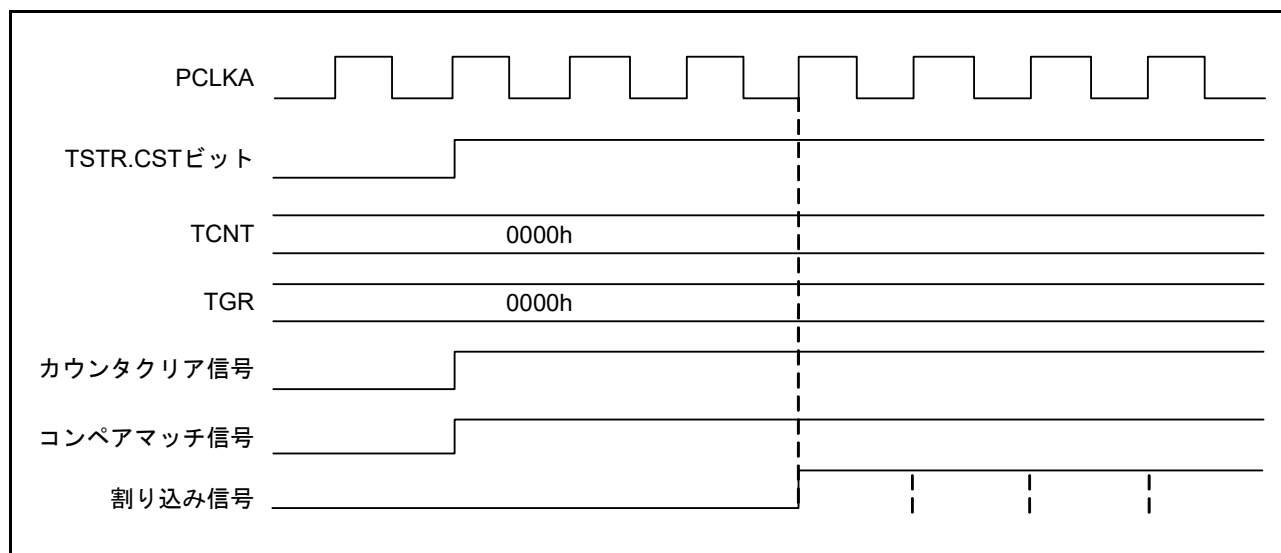


図 20.151 コンペアマッチによる割り込み信号の連続出力

20.6.27 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項

- MTU4.TADCOBRA、MTU4.TADCOBRB (MTU7.TADCOBRA, MTU7.TADCOBRB) レジスタに“0”、かつ、MTU4.TADCR (MTU7.TADCR) レジスタの UT4AE、UT4BE (UT7AE, UT7BE) ビットに“1”を設定して、MTU4.TCNT (MTU7.TCNT) カウンタの谷でバッファ転送したとき、転送直後のアップカウント期間については A/D 変換の開始要求を行いません (図 20.152)。
- MTU4.TADCOBRA、MTU4.TADCOBRB (MTU7.TADCOBRA, MTU7.TADCOBRB) レジスタに TCDR レジスタと同じ値、かつ、MTU4.TADCR (MTU7.TADCR) レジスタの DT4AE、DT4BE (DT7AE, DT7BE) ビットに“1”を設定して、MTU4.TCNT (MTU7.TCNT) カウンタの山でバッファ転送したとき、転送直後のダウンカウント期間については A/D 変換の開始要求を行いません (図 20.153)。
- 割り込み間引き機能と連動して A/D 変換の開始要求を行う場合、 $2 \leq \text{MTUn.TADCORA/TADCORB} \leq \text{TCDR} - 2$ を満たすように MTU4.TADCORA、MTU4.TADCORB (MTU7.TADCORA, MTU7.TADCORB) レジスタを設定してください ($n = 4, 7$)。

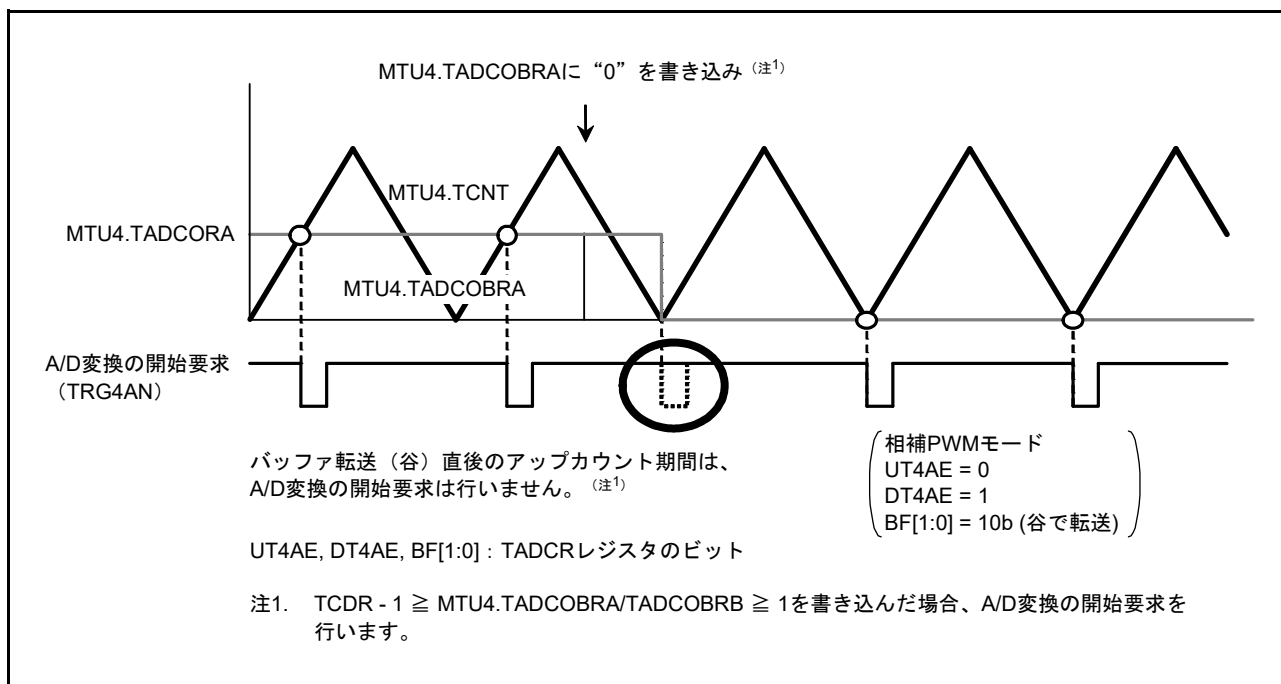


図 20.152 MTU4.TADCOBRAに“0”を書き込んだときのA/D変換の開始要求 (MTU4)

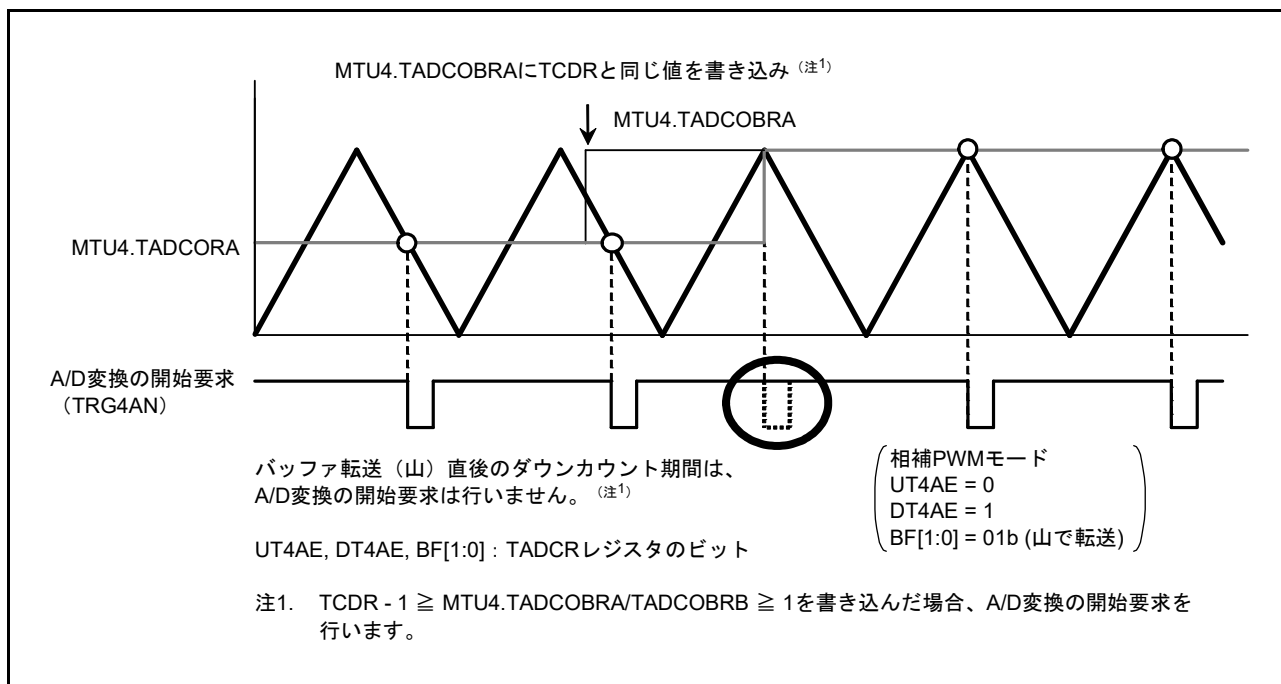


図 20.153 MTU4.TADCOBRAにTCDRと同じ値を書き込んだときのA/D変換の開始要求 (MTU4)

20.7 MTU 出力端子の初期化方法

20.7.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (MTU0 ~ MTU4, MTU6, MTU7, MTU9)
- PWM モード 1 (MTU0 ~ MTU4, MTU6, MTU7, MTU9)
- PWM モード 2 (MTU0 ~ MTU2, MTU9)
- 位相計数モード 1 ~ 5 (MTU1, MTU2)
- 相補 PWM モード (MTU3, MTU4, MTU6, MTU7)
- リセット同期 PWM モード (MTU3, MTU4, MTU6, MTU7)

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

20.7.2 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力することにより行ってください。MTU 端子を出力禁止とするには TIOR レジスタで設定してください。相補 PWM 出力 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D, MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D) は、TOERA、TOERB レジスタで設定してください。また、PWM 出力端子に関してはポートアウトプットイネーブル 3 (POE3) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード移行の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない移行が存在します。この一覧表を表 20.81 に示します。

表 20.81 モード移行の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

Normal : ノーマルモード

PWM1 : PWM モード 1

PWM2 : PWM モード 2

PCM : 位相計数モード 1 ~ 5

CPWM : 相補 PWM モード

RPWM : リセット同期 PWM モード

20.7.3 動作中の異常などによる端子の初期化手順、モード移行の概要

- タイマ I/O コントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal, PWM1, PWM2, PCM) に移行する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では MTIOCnB/MTIOCnD 端子 (n = 3, 4, 6, 7) に波形が出力されません。端子の機能を MTIOCnB/MTIOCnD に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。端子の機能を MTIOCnm 端子 (n = 0 ~ 2, 9, m = A ~ D) に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、対応する MTIOCnC/MTIOCnD 端子 (n = 0, 3, 4, 6, 7, 9) に波形が出力されません。端子の機能を MTIOCnC/MTIOCnD 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、対応する MTIOCnC/MTIOCnD 端子 (n = 0, 3, 4, 6, 7, 9) に波形が出力されません。端子の機能を MTIOCnC/MTIOCnD 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- タイマアウトプットコントロールレジスタ (TOCR1A, TOCR2A, TOCR1B, TOCR2B) の設定で端子の出力レベルを選択するモード (CPWM, RPWM) に移行する場合は、タイマアウトプットマスタイネーブルレジスタ (TOERA, TOERB) で MTU3、MTU4 (MTU6, MTU7) を 1 度出力禁止にしてください。このとき、端子の機能を MTIOCnm 端子 (n = 3, 4, 6, 7, m = A ~ D) に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。ノーマルモードに移行し TIOR レジスタで初期化、TIOR レジスタを初期値に戻した後、モード設定手順 (TOCR1A 設定、TOCR2A 設定、TMDR1 設定、TOERA 設定 (TOCR1B 設定、TOCR2B 設定、TMDR1 設定、TOERB 設定)) に従い動作させてください。

注. 特に断りがない場合、本項記述中の n にはチャンネル番号が入ります。

以下、表 20.81 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.154 に示します。

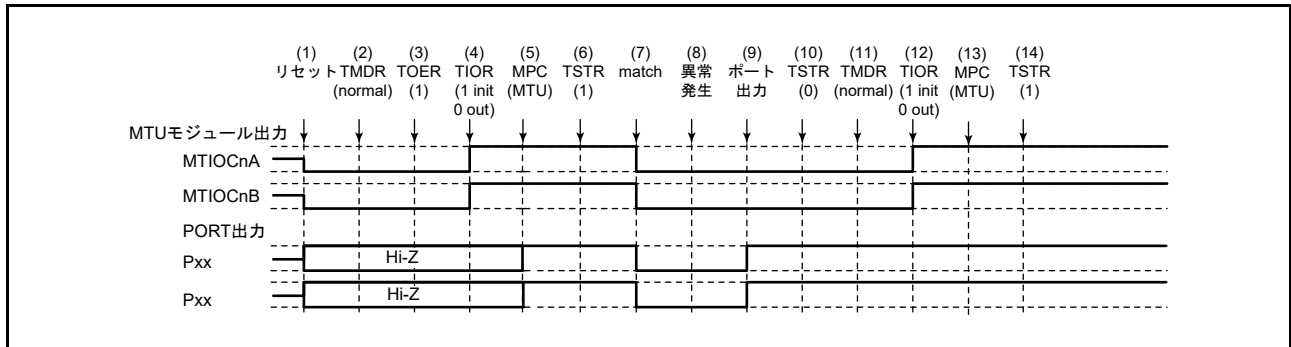


図 20.154 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR1 レジスタはノーマルモード設定になります。
- (3) MTU3、MTU4 (MTU6, MTU7) では TIOR レジスタで端子を初期化する前に TOERA (TOERB) レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください (例は初期出力が High、コンペアマッチで Low 出力です)。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTRA (TSTRB) レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTRA (TSTRB) レジスタでカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA (TSTRB) レジスタで再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード1で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード1で再スタートする場合の説明図を図 20.155 に示します。

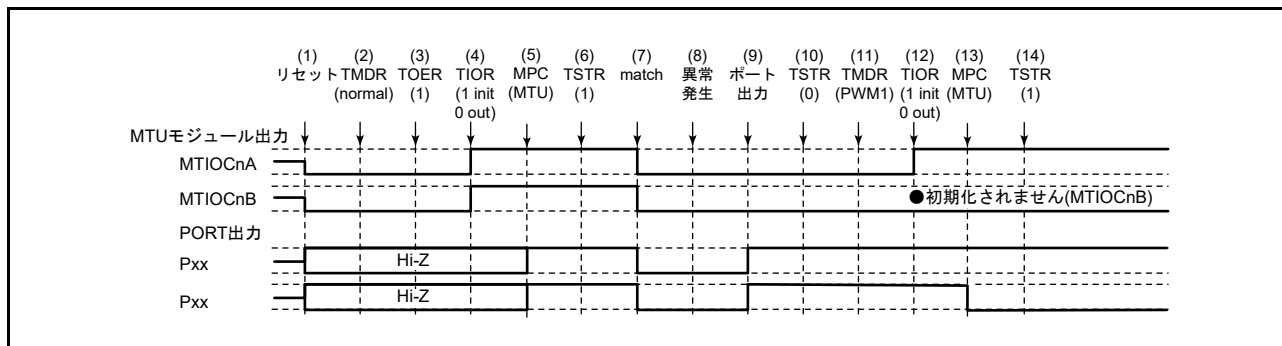


図 20.155 ノーマルモードで異常が発生し、PWM モード1で復帰する場合

(1) ~ (10) は図 20.154 と共通です。

(11) PWM モード1を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード1では MTIOcNB (MTIOcND) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA (TSTRB) レジスタで再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード2で再スタートする場合の説明図を図 20.156 に示します。

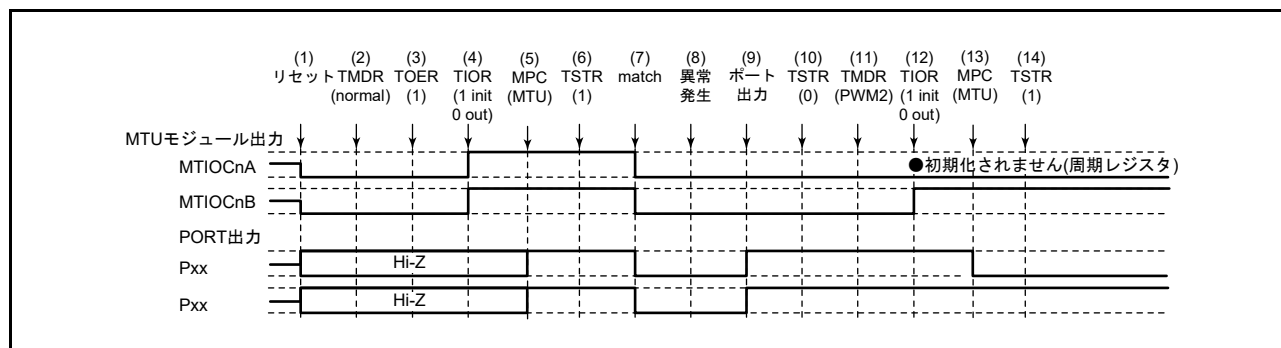


図 20.156 ノーマルモードで異常が発生し、PWM モード2で復帰する場合

(1) ~ (10) は図 20.154 と共通です。

(11) PWM モード2を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード2では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注. PWM モード2は MTU0 ~ MTU2、MTU9 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 20.157 に示します。

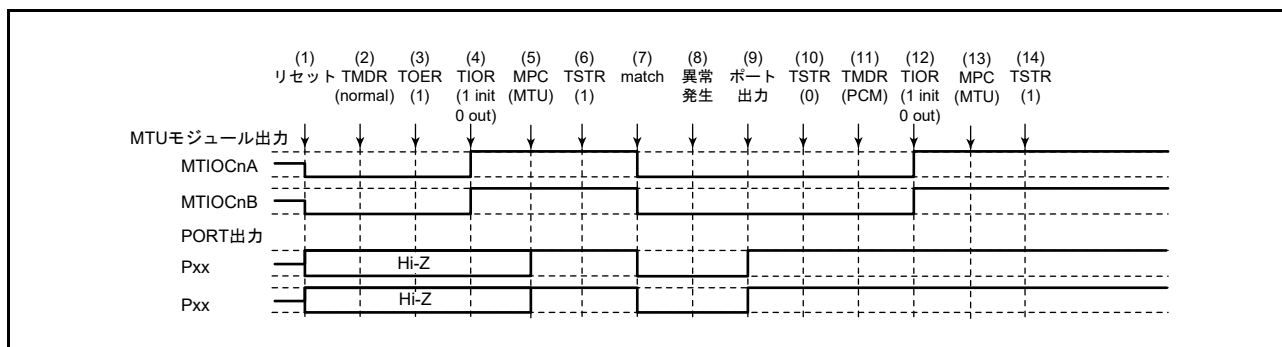


図 20.157 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 20.154 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA レジスタで再スタートします。

注. 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 20.158 に示します。

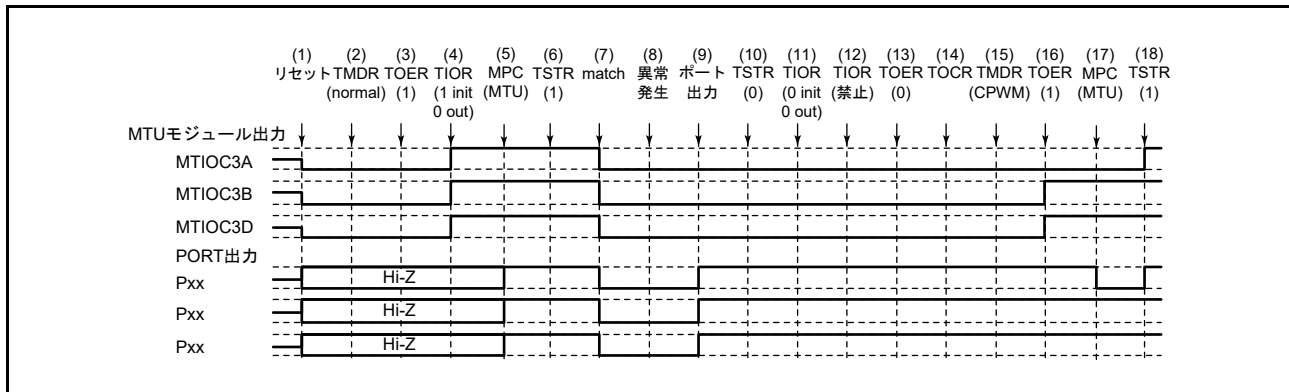


図 20.158 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 20.154 と共通です。

- (11) TIOR レジスタでノーマルモードの波形生成部を初期化してください。
- (12) TIOR レジスタでノーマルモードの波形生成部の動作を禁止してください。
- (13) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を禁止してください。
- (14) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (15) 相補 PWM を設定します。
- (16) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。
- (17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (18) TSTRA (TSTRB) レジスタで再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 20.159 に示します。

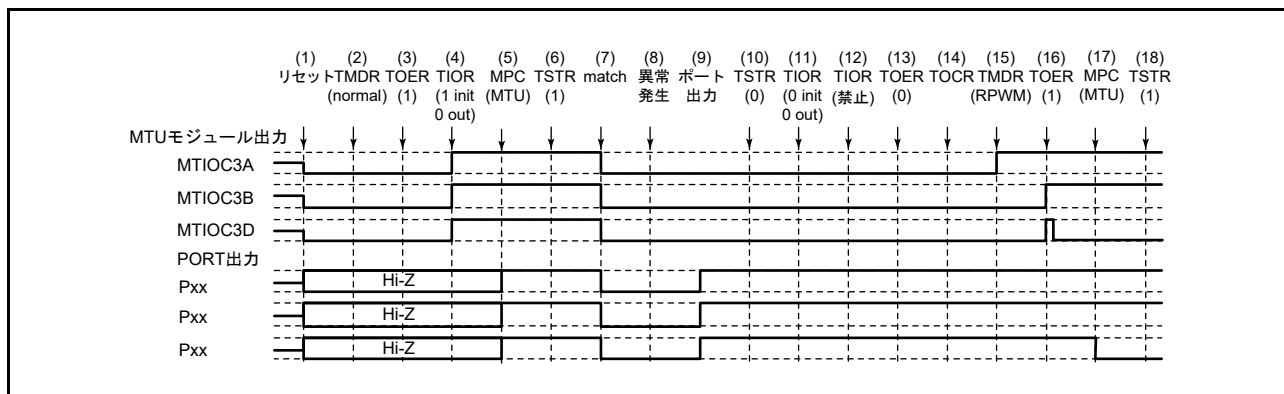


図 20.159 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (13) は図 20.158 と共通です。

(14) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(15) リセット同期 PWM を設定します。

(16) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。

(17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(18) TSTRA (TSTRB) レジスタで再スタートします。

(7) PWM モード1で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード1で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.160 に示します。

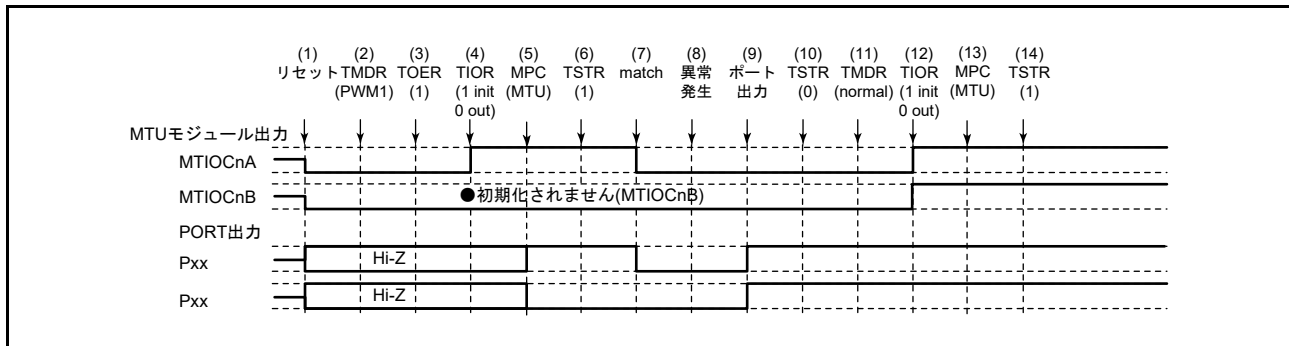


図 20.160 PWM モード1で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード1を設定してください。
- (3) MTU3、MTU4 (MTU6, MTU7) では TIOR レジスタで端子を初期化する前に TOERA (TOERB) レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください (例は初期出力が High、コンペアマッチで Low 出力です。PWM モード1では MTIOCnB 側は初期化されません)。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTRA (TSTRB) レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTRA (TSTRB) レジスタでカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA (TSTRB) レジスタで再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 20.161 に示します。

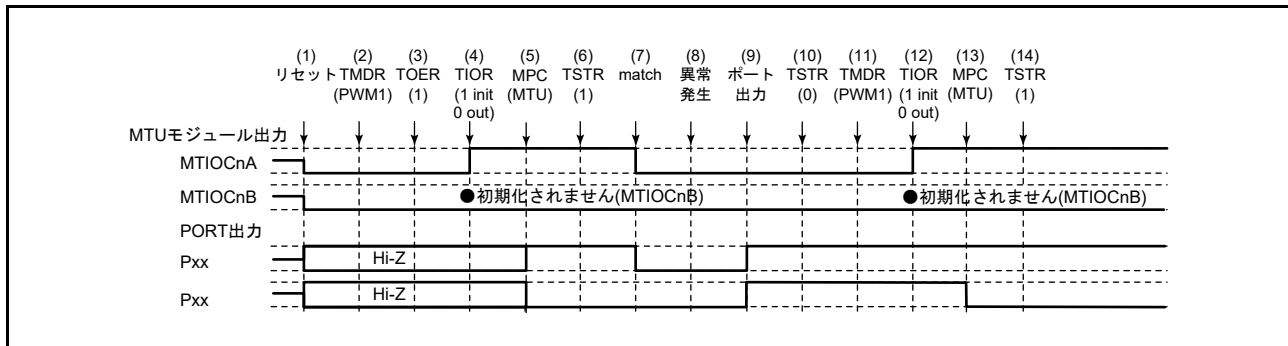


図 20.161 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 20.160 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR (TSTRB) レジスタで再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 20.162 に示します。

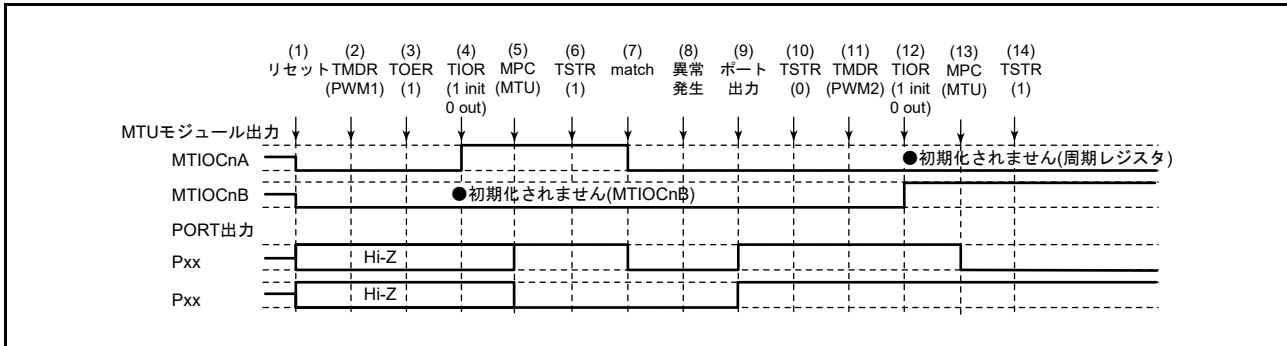


図 20.162 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 20.160 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注. PWM モード 2 は MTU0 ~ MTU2、MTU9 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 20.163 に示します。

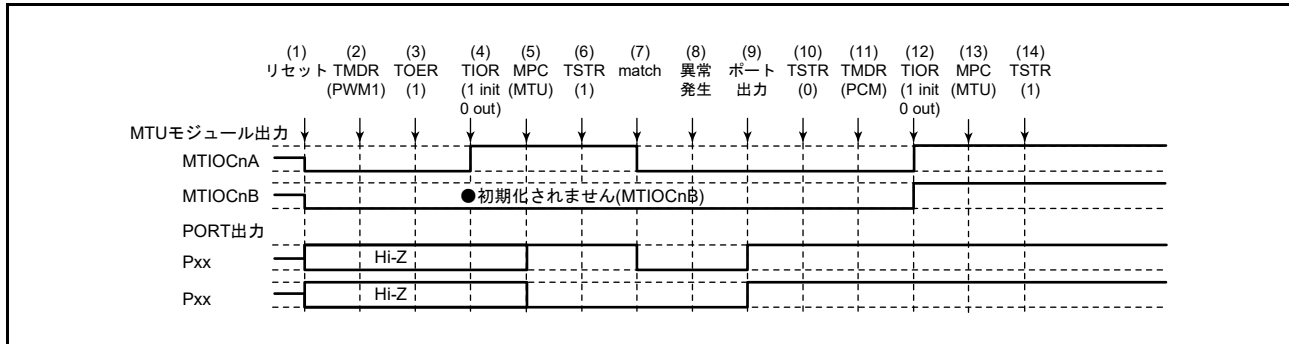


図 20.163 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 20.160 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注. 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 20.164 に示します。

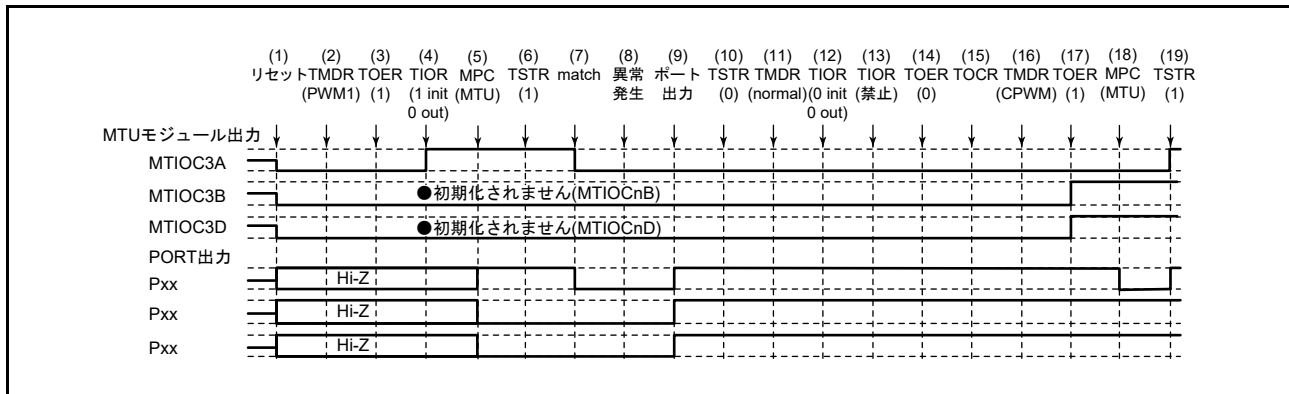


図 20.164 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 20.160 と共通です。

- (11) 波形生成部の初期化のためノーマルモードを設定してください。
- (12) TIOR レジスタで PWM モード 1 の波形生成部を初期化してください。
- (13) TIOR レジスタで PWM モード 1 の波形生成部の動作を禁止してください
- (14) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を禁止してください。
- (15) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (16) 相補 PWM を設定します。
- (17) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。
- (18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (19) TSTR (TSTRB) レジスタで再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 20.165 に示します。

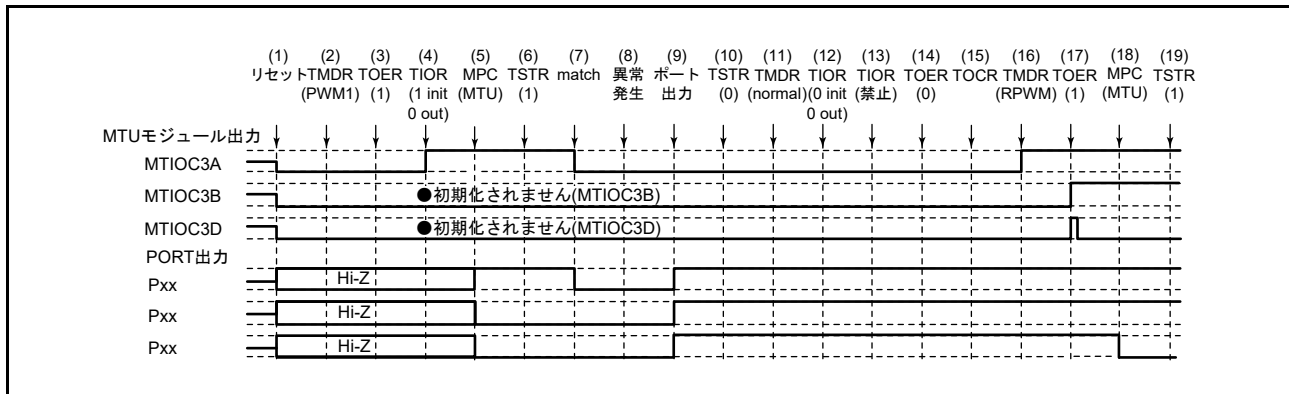


図 20.165 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 20.164 と共通です。

(15) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。

(18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(19) TSTRA (TSTRB) レジスタで再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.166 に示します。

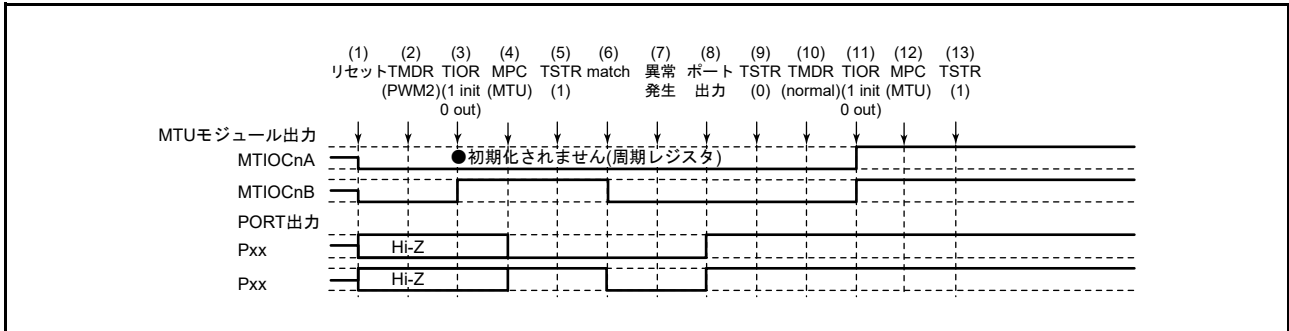


図 20.166 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子は初期化されません。例は MTU_n.TGRA レジスタを周期レジスタに使用した場合です）。
- (4) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTR レジスタでカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 20.167 に示します。

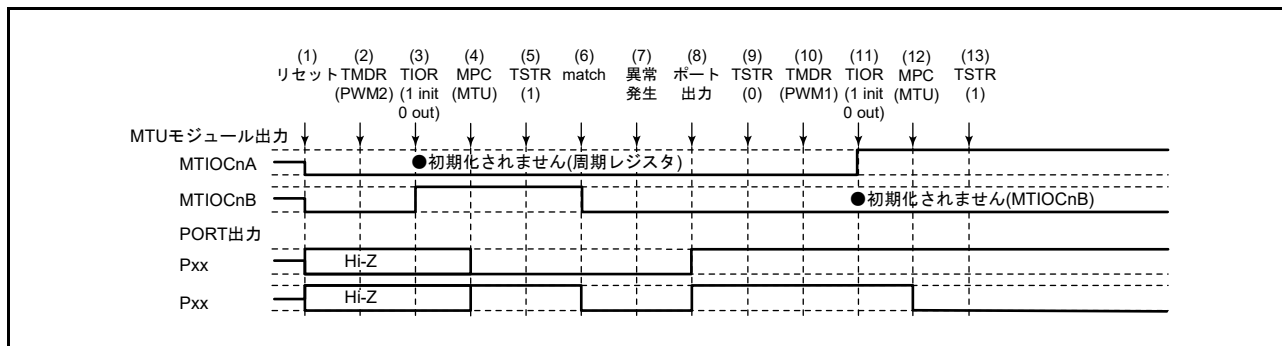


図 20.167 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 20.166 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOcNB (MTIOcND) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 20.168 に示します。

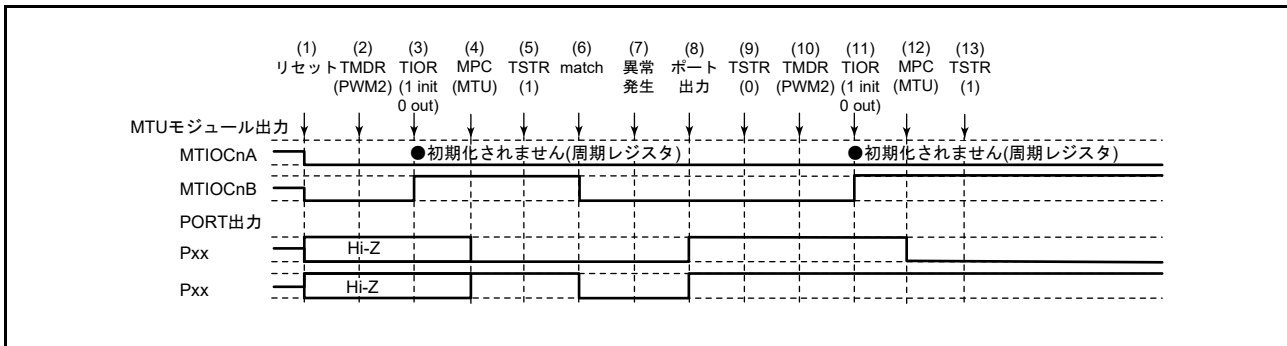


図 20.168 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 20.166 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 20.169 に示します。

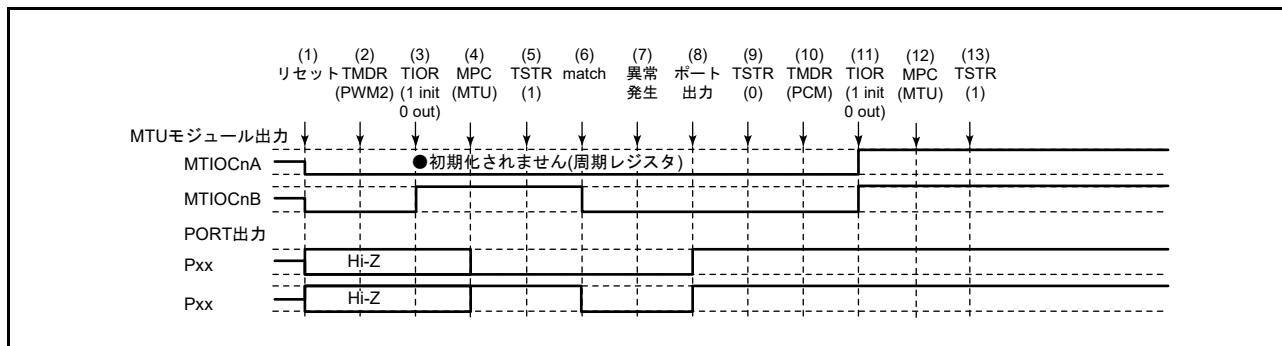


図 20.169 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 20.166 と共通です。

(10)位相計数モードを設定します。

(11)TIOR レジスタで端子を初期化してください。

(12)MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13)TSTRA レジスタで再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.170 に示します。

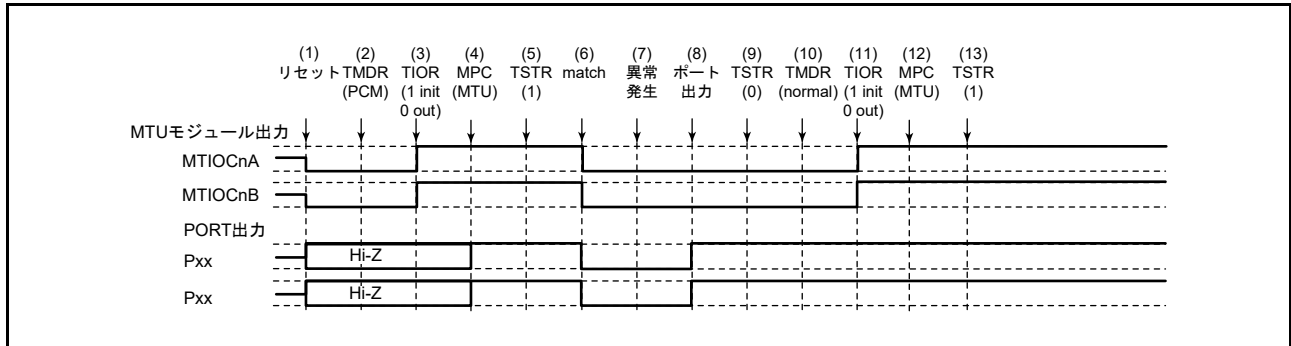


図 20.170 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- (4) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTR レジスタでカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード1で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード1で再スタートする場合の説明図を図 20.171 に示します。

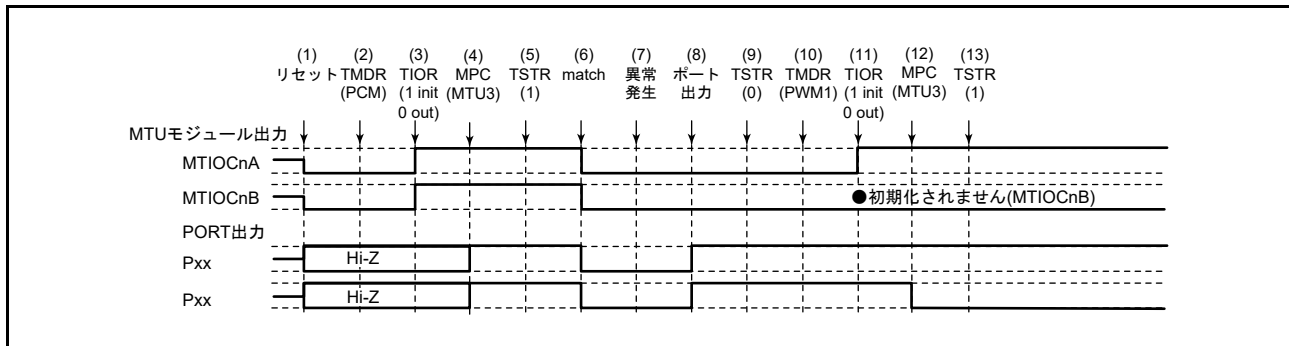


図 20.171 位相計数モードで異常が発生し、PWM モード1で復帰する場合

- (1) ~ (9) は図 20.170 と共通です。
- (10) PWM モード1を設定します。
- (11) TIOR レジスタで端子を初期化してください (PWM モード1では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。
- (12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 20.172 に示します。

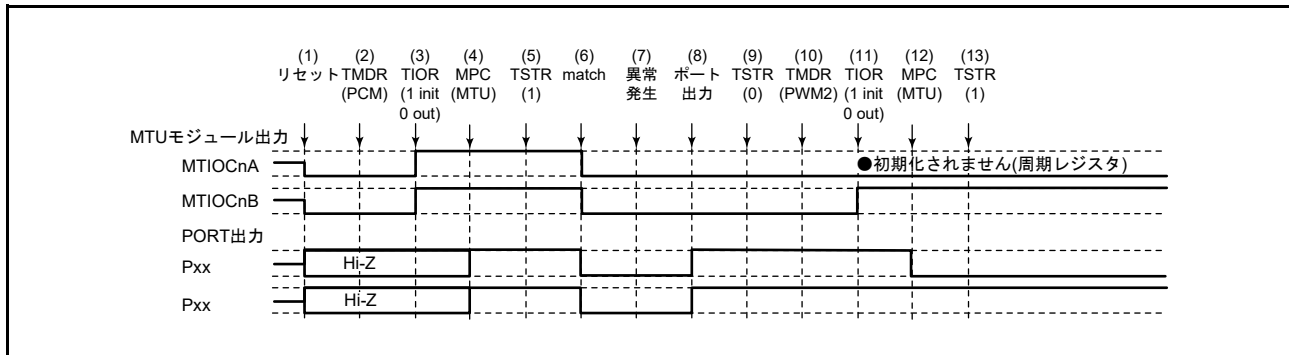


図 20.172 位相計数モードで異常が発生し、PWM モード2で復帰する場合

(1) ~ (9) は図 20.170 と共通です。

(10) PWM モード2を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード2では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 20.173 に示します。

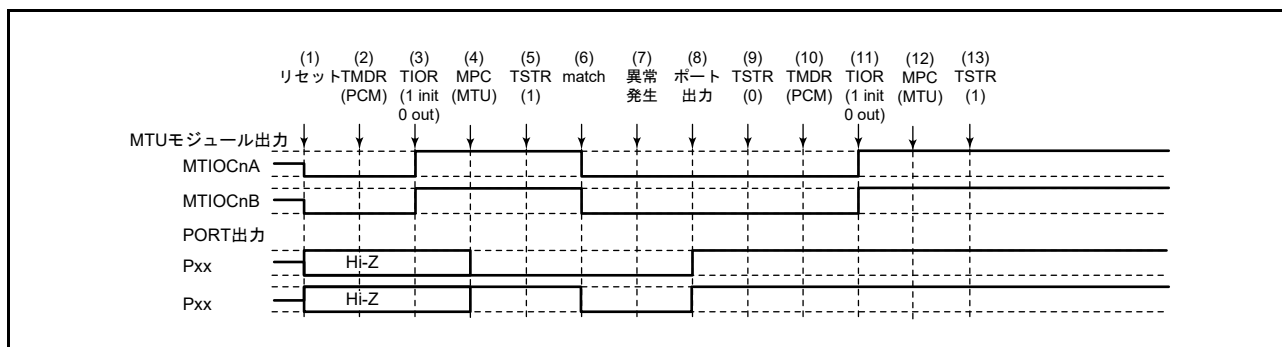


図 20.173 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 20.170 と共通です。

(10)位相計数モードで再スタートする場合には必要ありません。

(11)TIOR レジスタで端子を初期化してください。

(12)MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13)TSTRA レジスタで再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.174 に示します。

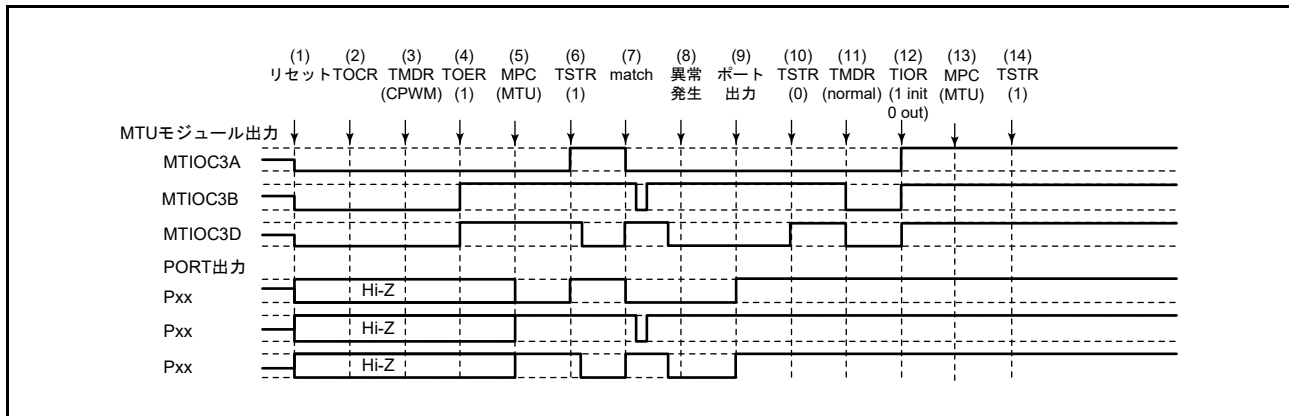


図 20.174 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTRA (TSTRB) レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTRA (TSTRB) レジスタでカウント動作を停止します (MTU 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は Low となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA (TSTRB) レジスタで再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 20.175 に示します。

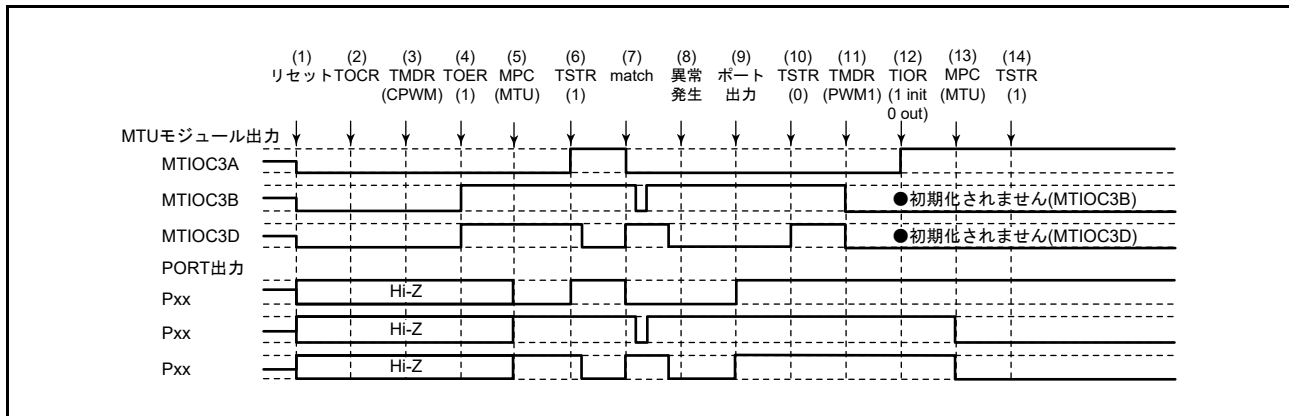


図 20.175 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 20.174 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は Low となります)。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA (TSTRB) レジスタで再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 20.176 に示します (周期、デューティ設定をカウンタを止めたときの値から再スタートする場合)。

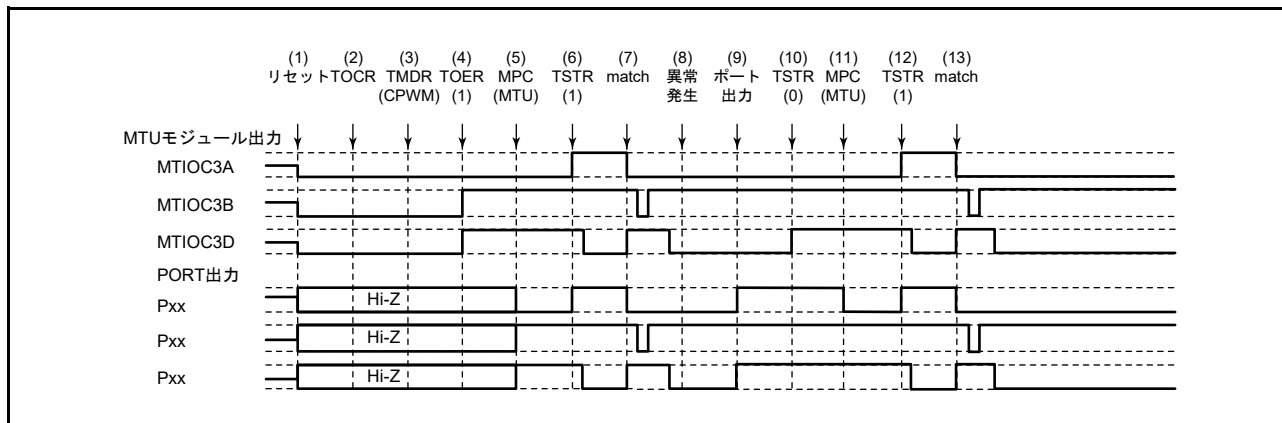


図 20.176 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (1)

(1) ~ (10) は図 20.174 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTRA (TSTRB) レジスタで再スタートします。

(13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 20.177 に示します (周期、デューティ比設定を全く新しい設定値で再スタートする場合)。

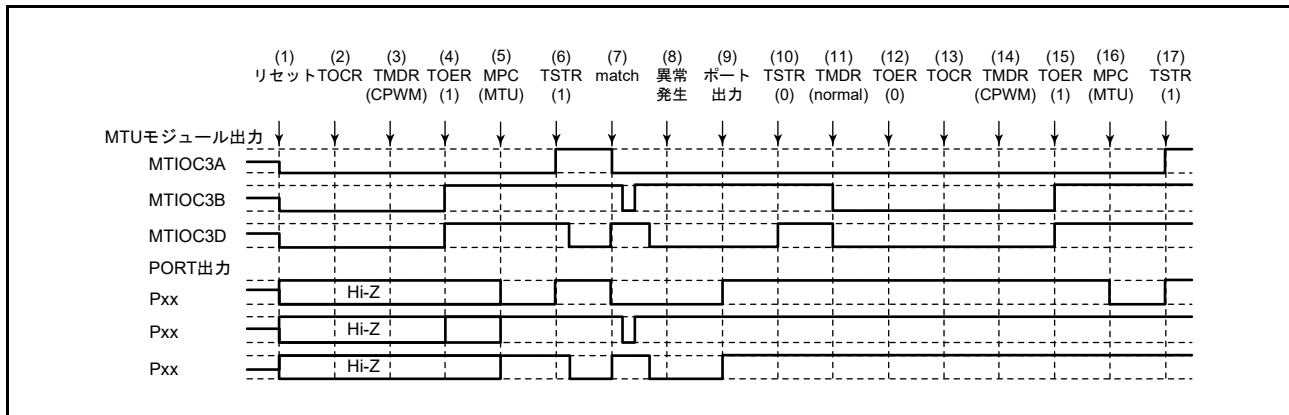


図 20.177 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (2)

(1) ~ (10) は図 20.174 と共通です。

- (11) ノーマルモードを設定し新しい設定値を設定してください (MTU 出力は Low となります)。
- (12) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を禁止してください。
- (13) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。
- (14) 相補 PWM を設定します。
- (15) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。
- (16) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (17) TSTRA (TSTRB) レジスタで再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 20.178 に示します。

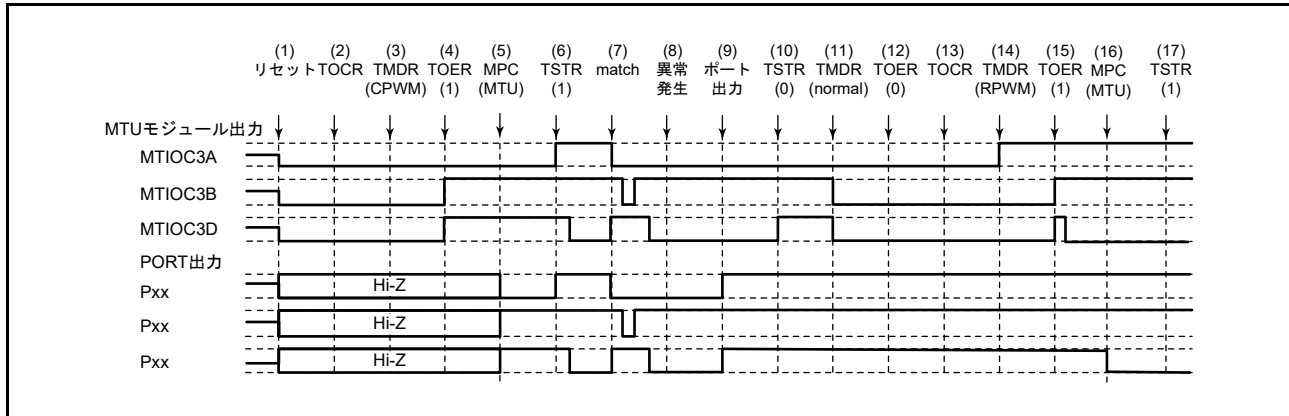


図 20.178 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (10) は図 20.174 と共通です。

(11) ノーマルモードを設定してください (MTU 出力は Low となります)。

(12) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を禁止してください。

(13) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(14) リセット同期 PWM を設定します。

(15) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(17) TSTRA (TSTRB) レジスタで再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.179 に示します。

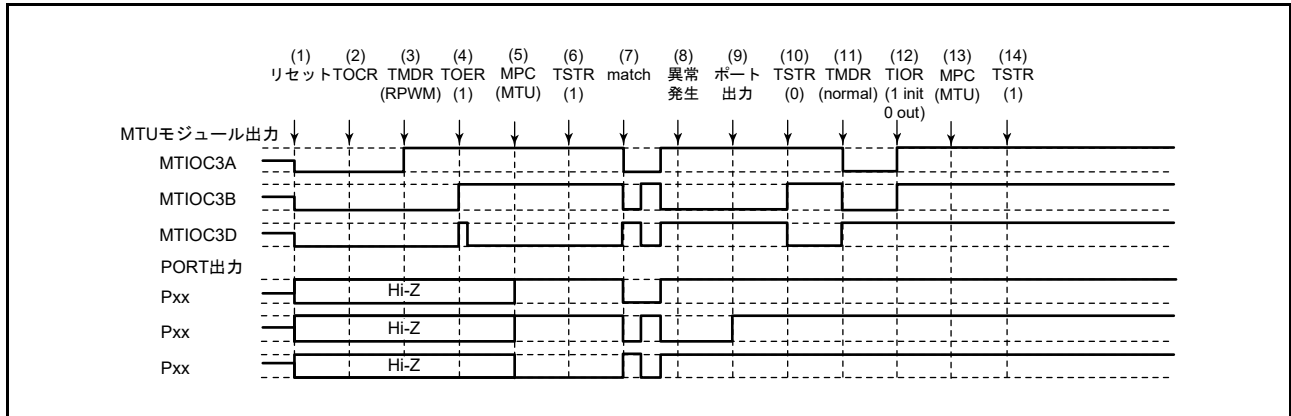


図 20.179 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタでリセット同期 PWM の出力レベルと周期出力の許可/禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTRA (TSTRB) レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTRA (TSTRB) レジスタでカウント動作を停止します (MTU 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は正相側が Low、逆相側が High となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA (TSTRB) レジスタで再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 20.180 に示します。

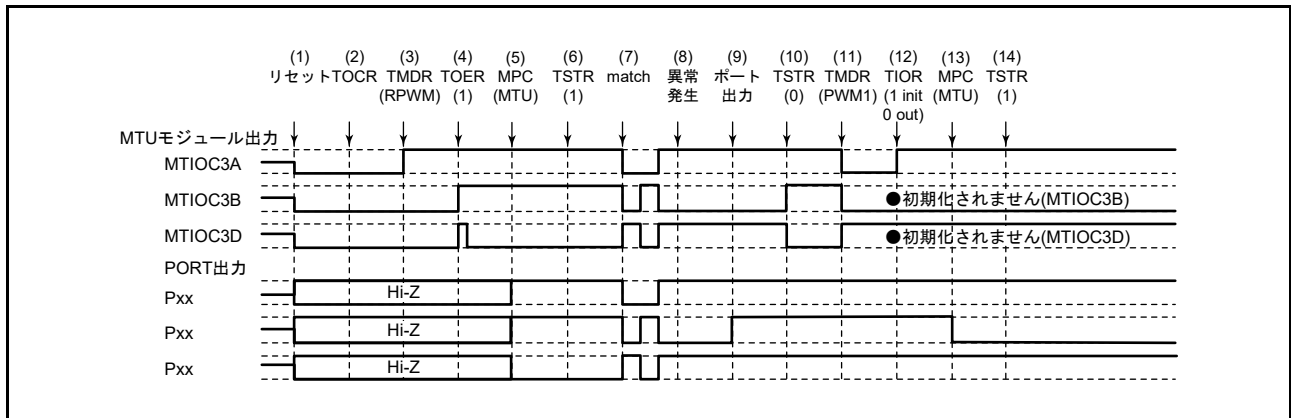


図 20.180 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 20.179 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は正相側が Low、逆相側が High となります)。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR (TSTRB) レジスタで再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 20.181 に示します。

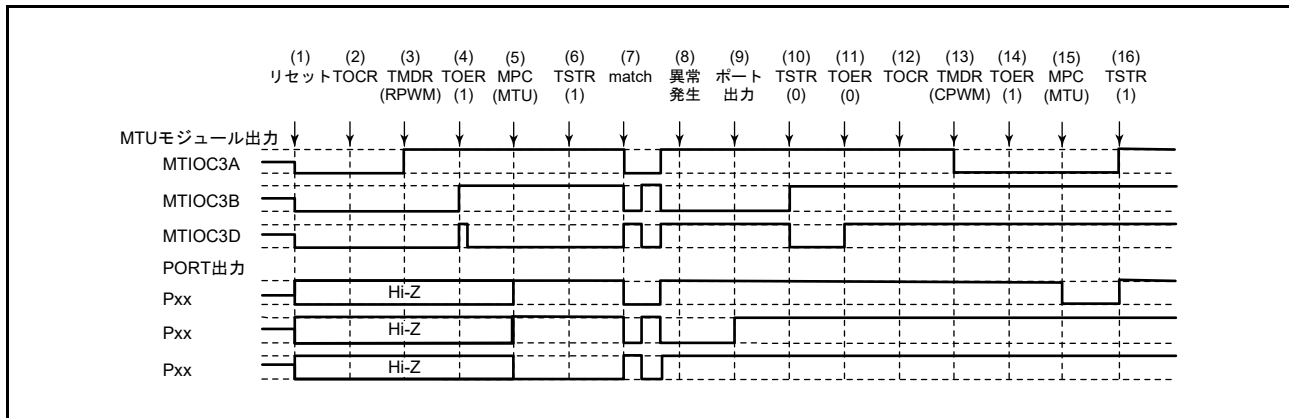


図 20.181 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 20.179 と共通です。

- (11) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を禁止してください。
- (12) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (13) 相補 PWM を設定します (MTU の周期出力端子は Low になります)。
- (14) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。
- (15) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (16) TSTRA (TSTRB) レジスタで再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 20.182 に示します。

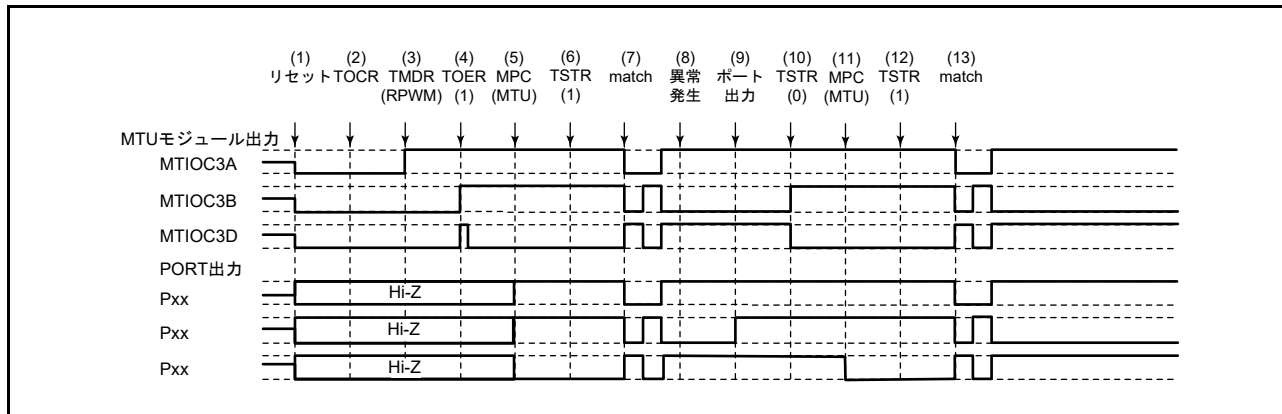


図 20.182 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (10) は図 20.179 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTRA (TSTRB) レジスタで再スタートします。

(13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

21. ポートアウトプットイネーブル 3 (POE3b, POE3A)

本 MCU は、各種条件で MTU や GPT の出力を停止させることができるポートアウトプットイネーブル 3 (POE3b, POE3A) を搭載しています。チップバージョン A に搭載している POE3b では、出力停止時の端子の状態はハイインピーダンスです。チップバージョン B に搭載している POE3A では、出力停止時の端子の状態をハイインピーダンスまたは汎用入出力ポートのいずれかから選択できます。

なお、本章に記載している PCLK とは PCLKB を指します。

21.1 概要

表 21.1 に POE の仕様を、図 21.1、図 21.2 に POE のブロック図を示します。

表 21.1 POE の仕様

項目	内容																												
出力停止時の端子の状態	<ul style="list-style-type: none"> ハイインピーダンス 汎用入出力ポート(チップバージョンBのみ) 																												
出力停止制御対象端子	<ul style="list-style-type: none"> MTU の出力端子 MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) MTU3 端子 (MTIOC3B, MTIOC3D) MTU4 端子 (MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) MTU6 端子 (MTIOC6B, MTIOC6D) MTU7 端子 (MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D) MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) GPT の出力端子(チップバージョンBのみ) GPT0 端子 (GTIOC0A, GTIOC0B) GPT1 端子 (GTIOC1A, GTIOC1B) GPT2 端子 (GTIOC2A, GTIOC2B) GPT3 端子 (GTIOC3A, GTIOC3B) 																												
出力停止要求発生条件	<ul style="list-style-type: none"> 入力端子の変化 POE0#, POE4#, POE8#, POE10#, POE11#, POE12# 端子に信号が入力されたとき 出力端子の短絡 以下の組み合わせの出力信号レベル(アクティブレベル)が1サイクル以上一致(短絡)したとき <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="2">MTU 相補 PWM 出力端子</th> <th colspan="2">GPT 出力端子</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">MTIOC3B と MTIOC3D</td> <td style="text-align: center;">1</td> <td style="text-align: center;">GTIOC0A と GTIOC0B</td> </tr> <tr> <td style="text-align: center;">2</td> <td style="text-align: center;">MTIOC4A と MTIOC4C</td> <td style="text-align: center;">2</td> <td style="text-align: center;">GTIOC1A と GTIOC1B</td> </tr> <tr> <td style="text-align: center;">3</td> <td style="text-align: center;">MTIOC4B と MTIOC4D</td> <td style="text-align: center;">3</td> <td style="text-align: center;">GTIOC2A と GTIOC2B</td> </tr> <tr> <td style="text-align: center;">4</td> <td style="text-align: center;">MTIOC6B と MTIOC6D</td> <td></td> <td></td> </tr> <tr> <td style="text-align: center;">5</td> <td style="text-align: center;">MTIOC7A と MTIOC7C</td> <td></td> <td></td> </tr> <tr> <td style="text-align: center;">6</td> <td style="text-align: center;">MTIOC7B と MTIOC7D</td> <td></td> <td></td> </tr> </tbody> </table> <ul style="list-style-type: none"> レジスタ設定をしたとき メインクロック発生回路の発振停止を検出したとき コンパレータ C (CMPC) の出力を検出したとき 	MTU 相補 PWM 出力端子		GPT 出力端子		1	MTIOC3B と MTIOC3D	1	GTIOC0A と GTIOC0B	2	MTIOC4A と MTIOC4C	2	GTIOC1A と GTIOC1B	3	MTIOC4B と MTIOC4D	3	GTIOC2A と GTIOC2B	4	MTIOC6B と MTIOC6D			5	MTIOC7A と MTIOC7C			6	MTIOC7B と MTIOC7D		
MTU 相補 PWM 出力端子		GPT 出力端子																											
1	MTIOC3B と MTIOC3D	1	GTIOC0A と GTIOC0B																										
2	MTIOC4A と MTIOC4C	2	GTIOC1A と GTIOC1B																										
3	MTIOC4B と MTIOC4D	3	GTIOC2A と GTIOC2B																										
4	MTIOC6B と MTIOC6D																												
5	MTIOC7A と MTIOC7C																												
6	MTIOC7B と MTIOC7D																												
機能	<ul style="list-style-type: none"> POE0#, POE4#, POE8#, POE10#, POE11#, POE12# の各入力端子に立ち下がりエッジ、PCLK/8×16回、PCLK/16×16回、PCLK/128×16回の Low サンプリングの設定が可能です POE0#, POE4#, POE8#, POE10#, POE11#, POE12# 端子の立ち下がりエッジ、または Low サンプリングによって、すべての制御対象端子の出力を停止できます クロック発生回路の発振停止を検出した場合、すべての制御対象端子の出力を停止できます MTU 相補 PWM 出力端子の出力レベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、MTU 相補 PWM 出力端子の出力を停止できます GPT 出力端子 (GPT0/1/2) の出力レベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、GPT 出力端子の出力を停止できます コンパレータ C (CMPC) 出力の検出によって、すべての制御対象端子の出力を停止できます POE のレジスタの設定により、すべての制御対象端子の出力を停止できます 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です 																												

POE は図 21.1、図 21.2 のブロック図に示すように、入力レベル検出回路、出力レベル比較回路、およびハイインピーダンス要求 / ポート切り替え要求 / 割り込み要求生成回路から構成されます。

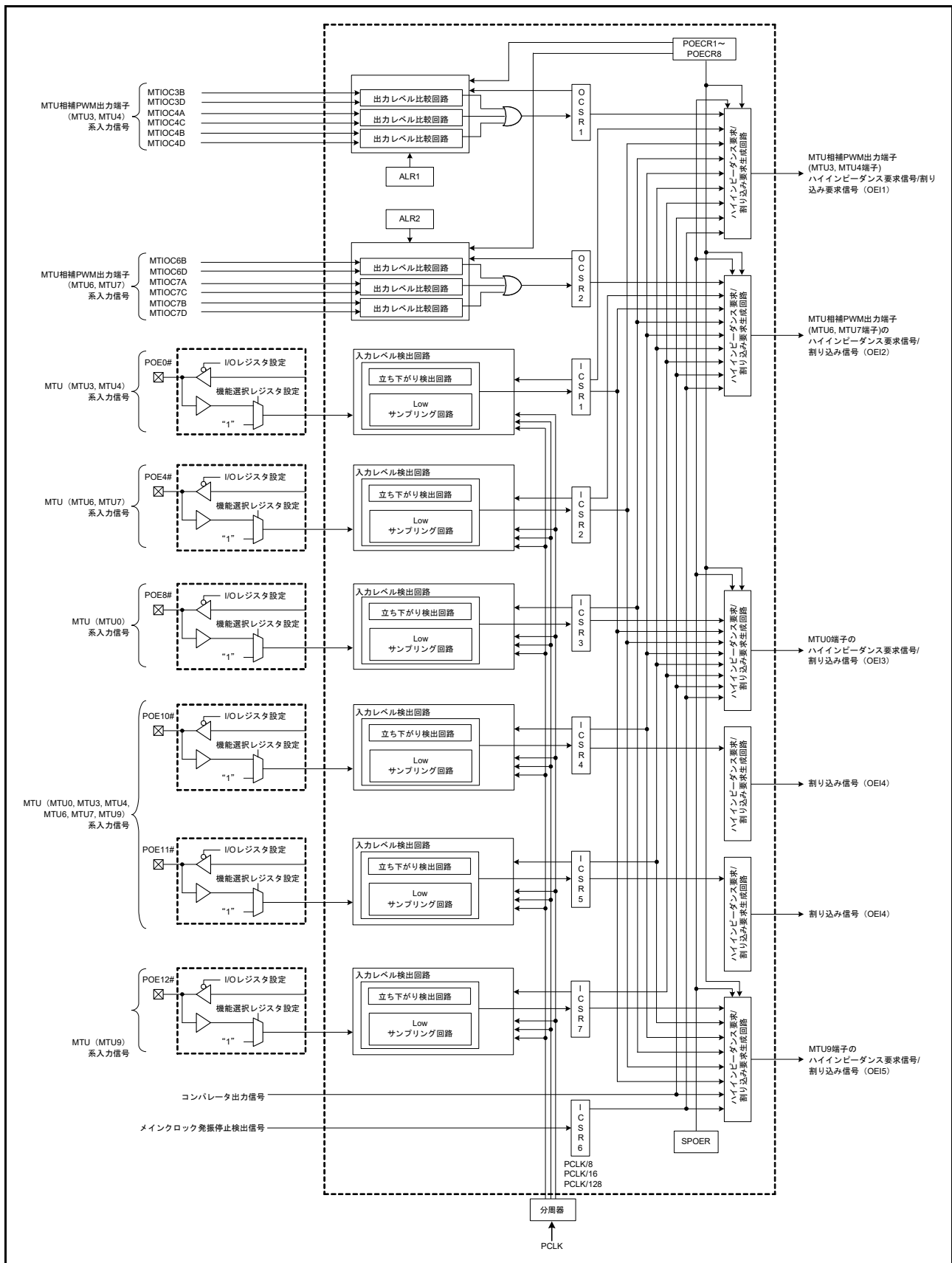


図 21.1 POE のブロック図 (チップバージョン A)

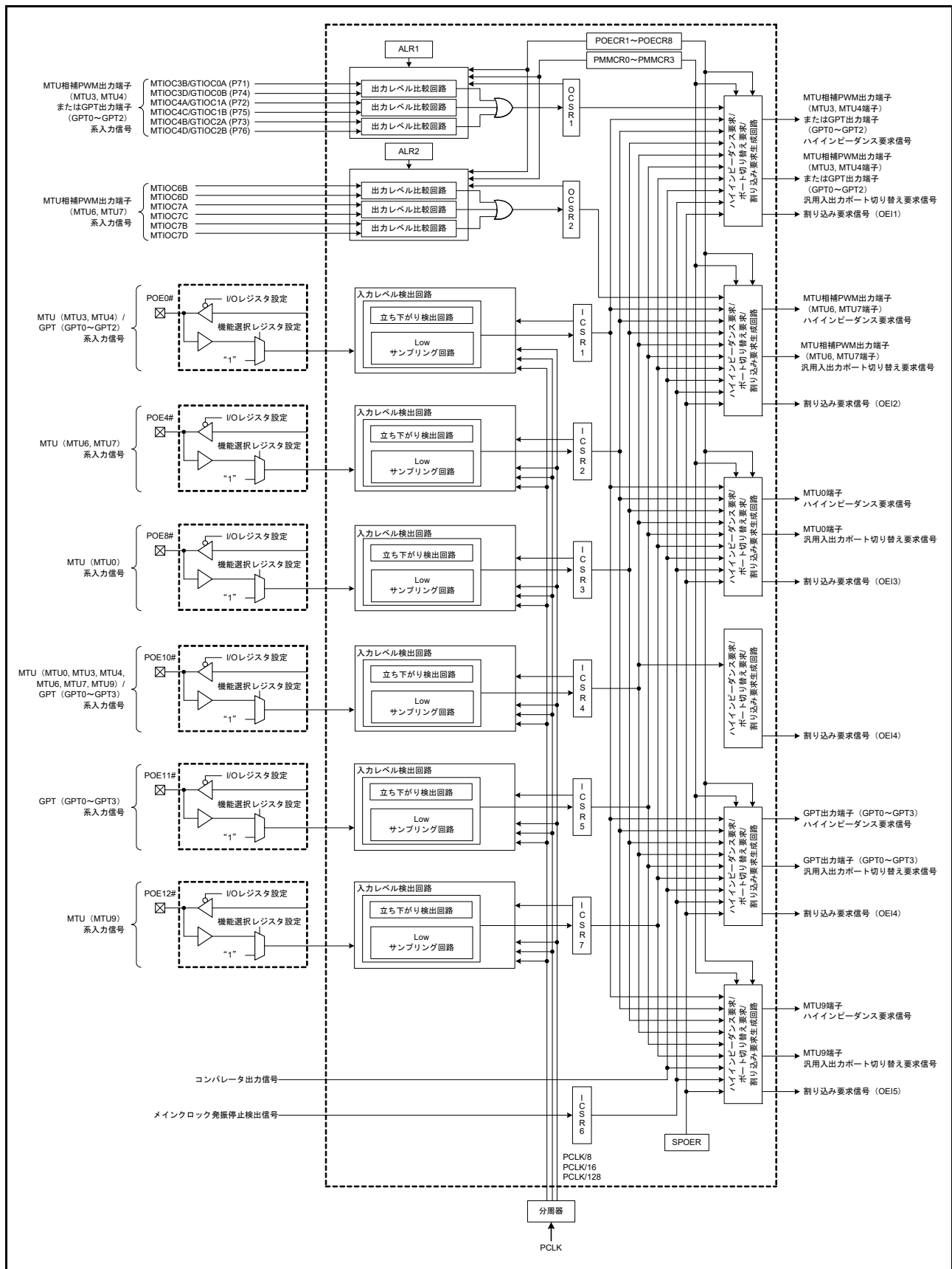


図 21.2 POE のブロック図 (チップバージョン B)

表 21.2 に POE で使用する入出力端子を示します。

表 21.2 POEの入出力端子

端子名	入出力	機能
POE0#	入力	P71～P76のMTU相補PWM出力端子(MTU3, MTU4端子)またはGPT出力端子の出力を停止する要求信号。レジスタの設定によって他の制御対象端子も制御できます
POE4#	入力	MTU相補PWM出力端子(MTU6, MTU7端子)の出力を停止する要求信号。レジスタの設定によって他の制御対象端子も制御できます
POE8#	入力	MTU0端子の出力を停止する要求信号。レジスタの設定によって他の制御対象端子も制御できます
POE10#	入力	レジスタの設定によってすべての制御対象端子を制御できます
POE11#	入力	PB5～PB7, PD0～PD2, PD6～PD7のGPT端子の出力を停止する要求信号。レジスタの設定によって他の制御対象端子も制御できます
POE12#	入力	MTU9端子の出力を停止する要求信号。レジスタの設定によって他の制御対象端子も制御できます

表 21.3 に示す端子の組み合わせで出力レベルの比較を行います。

表 21.3 端子の組み合わせ

端子の組み合わせ	入出力	機能
MTIOC3BとMTIOC3D	出力	周辺モジュールクロック(PCLK)1サイクル以上同時にアクティブレベル出力(ALR1.OLSENビットが“0”かつMTUn.TOCR1A.TOCSビットが“0”のときに、MTUn.TOCR1A.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、ALR1.OLSENビットが“0”かつMTUn.TOCR1A.TOCSビットが“1”のときに、MTUn.TOCR2A.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、ALR1.OLSENビットが“1”のときに、ALR1.OLSG0A, OLSG0B, OLSG1A, OLSG1B, OLSG2A, OLSG2Bビットが“0”の場合はLow出力、“1”の場合はhigh出力)が続いた場合、MTU相補PWM出力端子(MTU3, MTU4端子)の出力を停止します。どの組み合わせに対して出力比較を行い端子制御を行うかは、POEのレジスタで設定できます
MTIOC4AとMTIOC4C	出力	周辺モジュールクロック(PCLK)1サイクル以上同時にアクティブレベル出力(ALR2.OLSENビットが“0”かつMTUn.TOCR1B.TOCSビットが“0”のときに、MTUn.TOCR1B.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、ALR2.OLSENビットが“0”かつMTUn.TOCR1B.TOCSビットが“1”のときに、MTUn.TOCR2B.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、ALR2.OLSENビットが“1”のときに、ALR2.OLSG4A, OLSG4B, OLSG5A, OLSG5B, OLSG6A, OLSG6Bビットが“0”の場合はLow出力、“1”の場合はhigh出力)が続いた場合、MTU相補PWM出力端子(MTU6, MTU7端子)の出力を停止します。どの組み合わせに対して出力比較を行い端子制御を行うかは、POEのレジスタで設定できます
MTIOC4BとMTIOC4D	出力	
MTIOC6BとMTIOC6D	出力	
MTIOC7AとMTIOC7C	出力	周辺モジュールクロック(PCLK)1サイクル以上同時にアクティブレベル出力(ALR1.OLSG0A, OLSG0B, OLSG1A, OLSG1B, OLSG2A, OLSG2Bビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、GPT出力端子(GPT0～GPT2端子)の出力を停止します。どの組み合わせに対して出力比較を行い端子制御を行うかは、POEのレジスタで設定できます
MTIOC7BとMTIOC7D	出力	
MTIOC7BとMTIOC7D	出力	
GTIOC0AとGTIOC0B	出力	周辺モジュールクロック(PCLK)1サイクル以上同時にアクティブレベル出力(ALR1.OLSG0A, OLSG0B, OLSG1A, OLSG1B, OLSG2A, OLSG2Bビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、GPT出力端子(GPT0～GPT2端子)の出力を停止します。どの組み合わせに対して出力比較を行い端子制御を行うかは、POEのレジスタで設定できます
GTIOC1AとGTIOC1B	出力	
GTIOC2AとGTIOC2B	出力	

21.2 レジスタの説明

POE のレジスタは、リセットで初期化されます。

21.2.1 入力レベルコントロール / ステータスレジスタ 1 (ICSR1)

アドレス 0008 C4C0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE0F	—	—	—	PIE1	—	—	—	—	—	—	POE0M[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE0M[1:0]	POE0モード選択ビット	b1 b0 0 0 : POE0#端子入力の立ち下がリエッジで要求を受け付け 0 1 : POE0#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0 : POE0#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1 : POE0#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE1	ポート割り込み許可1ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE0F	POE0フラグ	0 : POE0#端子に出力停止要求なし 1 : POE0#端子に出力停止要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR1 レジスタは、POE0# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示すレジスタです。

POE0M[1:0] ビット (POE0 モード選択ビット)

POE0# 端子の入力モードを選択します。

PIE1 ビット (ポート割り込み許可1ビット)

POE0F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE0F フラグ (POE0 フラグ)

POE0# 端子に出力停止要求が入力されたことを示すフラグです。

["1"になる条件]

- POE0# 端子に POE0M[1:0] ビットで設定した入力が発生したとき

["0"になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE0M[1:0] ビットでLowサンプリングを設定している場合、“0”を書くには、POE0#端子にHighを入力する必要があります。

詳細は、「21.3.8 出力停止状態の解除」を参照してください。

21.2.2 入力レベルコントロール / ステータスレジスタ 2 (ICSR2)

アドレス 0008 C4C4h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE4F	—	—	—	PIE2	—	—	—	—	—	—	POE4M[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE4M[1:0]	POE4モード選択ビット	b1 b0 0 0 : POE4#端子入力の立ち下がリエッジで要求を受け付け 0 1 : POE4#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0 : POE4#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1 : POE4#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE2	ポート割り込み許可2ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE4F	POE4フラグ	0 : POE4#端子に出力停止要求なし 1 : POE4#端子に出力停止要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR2 レジスタは、POE4# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示すレジスタです。

POE4M[1:0] ビット (POE4 モード選択ビット)

POE4# 端子の入力モードを選択します。

PIE2 ビット (ポート割り込み許可 2 ビット)

POE4F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE4F フラグ (POE4 フラグ)

POE4# 端子に出力停止要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE4# 端子に POE4M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE4M[1:0] ビットでLowサンプリングを設定している場合、“0”を書くには、POE4#端子にHighを入力する必要があります。

詳細は、「21.3.8 出力停止状態の解除」を参照してください。

21.2.3 入力レベルコントロール / ステータスレジスタ 3 (ICSR3)

アドレス 0008 C4C8h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE8F	—	—	POE8E	PIE3	—	—	—	—	—	—	POE8M[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE8M[1:0]	POE8モード選択ビット	b1 b0 0 0 : POE8#端子入力の立ち下がりエッジで要求を受け付け 0 1 : POE8#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0 : POE8#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1 : POE8#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE3	ポート割り込み許可3ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b9	POE8E	POE8出力停止許可ビット	0 : POE8#信号により端子の出力を停止しない 1 : POE8#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE8F	POE8フラグ	0 : POE8#端子に出力停止要求なし 1 : POE8#端子に出力停止要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR3 レジスタは、POE8# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示すレジスタです。

POE8M[1:0] ビット (POE8 モード選択ビット)

POE8# 端子の入力モードを選択します。

PIE3 ビット (ポート割り込み許可3ビット)

POE8F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE8E ビット (POE8 出力停止許可ビット)

POE8F フラグが“1”になったときに、端子の出力を停止するかどうかを指定します。

POE8F フラグ (POE8 フラグ)

POE8# 端子に出力停止要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE8# 端子に POE8M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE8M[1:0] ビットでLowサンプリングを設定している場合、“0”を書くには、POE8#端子にHighを入力する必要があります。

詳細は、「21.3.8 出力停止状態の解除」を参照してください。

21.2.4 入力レベルコントロール / ステータスレジスタ 4 (ICSR4)

アドレス 0008 C4D6h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE10 F	—	—	POE10 E	PIE4	—	—	—	—	—	—	—	POE10M[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE10M[1:0]	POE10モード選択ビット	b1 b0 0 0 : POE10#端子入力の立ち下がりエッジで要求を受け付け 0 1 : POE10#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0 : POE10#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1 : POE10#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE4	ポート割り込み許可4ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b9	POE10E	POE10出力停止許可ビット	0 : POE10#信号により端子の出力を停止しない 1 : POE10#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE10F	POE10フラグ	0 : POE10#端子に出力停止要求なし 1 : POE10#端子に出力停止要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR4 レジスタは、POE10# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示すレジスタです。

POE10M[1:0] ビット (POE10 モード選択ビット)

POE10# 端子の入力モードを選択します。

PIE4 ビット (ポート割り込み許可4ビット)

POE10F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE10E ビット (POE10 出力停止許可ビット)

POE10F フラグが“1”になったときに、端子の出力を停止するかどうかを指定します。

POE10F フラグ (POE10 フラグ)

POE10# 端子に出力停止要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE10# 端子に POE10M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE10M[1:0]ビットでLowサンプリングを設定している場合、“0”を書くには、POE10#端子にHighを入力する必要があります。

詳細は、「21.3.8 出力停止状態の解除」を参照してください。

21.2.5 入力レベルコントロール / ステータスレジスタ 5 (ICSR5)

アドレス 0008 C4D8h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE11F	—	—	POE11E	PIE5	—	—	—	—	—	—	POE11M[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE11M[1:0]	POE11モード選択ビット	b1 b0 0 0 : POE11#端子入力の立ち下がリエッジで要求を受け付け 0 1 : POE11#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0 : POE11#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1 : POE11#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE5	ポート割り込み許可5ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b9	POE11E	POE11出力停止許可ビット	0 : POE11#信号により端子の出力を停止しない 1 : POE11#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE11F	POE11フラグ	0 : POE11#端子に出力停止要求なし 1 : POE11#端子に出力停止要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR5 レジスタは、POE11# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示します。

POE11M[1:0] ビット (POE11 モード選択ビット)

POE11# 端子の入力モードを選択します。

PIE5 ビット (ポート割り込み許可5ビット)

POE11F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE11E ビット (POE11 出力停止許可ビット)

POE11F フラグが“1”になったときに、端子の出力を停止するかどうかを指定します。

POE11F フラグ (POE11 フラグ)

POE11# 端子に出力停止要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE11# 端子に POE11M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE11M[1:0]ビットでLowサンプリングを設定している場合、“0”を書くには、POE11#端子にHighを入力する必要があります。

詳細は、「21.3.8 出力停止状態の解除」を参照してください。

21.2.6 入力レベルコントロール / ステータスレジスタ 6 (ICSR6)

アドレス 0008 C4DCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OSTST F	—	—	OSTST E	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	OSTSTE	発振停止時出力停止許可ビット	0 : 発振停止検出時に制御対象端子の出力を停止しない 1 : 発振停止検出時に制御対象端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	OSTSTF	発振停止検出フラグ	0 : 発振停止による出力停止要求なし 1 : 発振停止による出力停止要求あり	R/W (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR6 レジスタは、発振停止時の制御、およびステータスを示すレジスタです。

OSTSTE ビット (発振停止時出力停止許可ビット)

発振停止検出時に制御対象端子の出力を停止するかしないかを設定します。

OSTSTF フラグ (発振停止検出フラグ)

OSTSTF フラグは、発振停止による出力停止要求を示すステータスフラグです。

メインクロックの発振が停止すると“1”になります。OSTSTF フラグを“0”にするときは、OSTSTF フラグが“1”になった後 PCLK で 10 サイクル以上経過し、かつ OSTDSR.OSTDF フラグが“0”のときに“0”を書いてください。OSTDSR.OSTDF フラグが“1”のときに OSTSTF フラグに“0”を書いても“0”になりません。OSTSTF フラグをクリアした後は“0”になったことを確認してください。

[“1”になる条件]

- 発振停止状態を検出したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

21.2.7 入力レベルコントロール / ステータスレジスタ 7 (ICSR7)

アドレス 0008 C4E0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE12F	—	—	POE12E	PIE7	—	—	—	—	—	—	POE12M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE12M[1:0]	POE12モード選択ビット	b1 b0 0 0 : POE12#端子入力の立ち下がりエッジで要求を受け付け 0 1 : POE12#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0 : POE12#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1 : POE12#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE7	ポート割り込み許可7ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b9	POE12E	POE12出力停止許可ビット	0 : POE12#信号により端子の出力を停止しない 1 : POE12#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE12F	POE12フラグ	0 : POE12#端子に出力停止要求なし 1 : POE12#端子に出力停止要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。
 注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR7 レジスタは、POE12# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示します。

POE12M[1:0] ビット (POE12 モード選択ビット)

POE12# 端子の入力モードを選択します。

PIE7 ビット (ポート割り込み許可7ビット)

POE12F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE12E ビット (POE12 出力停止許可ビット)

POE12F フラグが“1”になったときに、端子の出力を停止するかどうかを指定します。

POE12F フラグ (POE12 フラグ)

POE12# 端子に出力停止要求が入力されたことを示すフラグです。

["1"になる条件]

- POE12# 端子に POE12M[1:0] ビットで設定した入力が発生したとき

["0"になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE12M[1:0]ビットでLowサンプリングを設定している場合、“0”を書くには、POE12#端子にHighを入力する必要があります。

詳細は、「21.3.8 出力停止状態の解除」を参照してください。

21.2.8 出力レベルコントロール / ステータスレジスタ 1 (OCSR1)

アドレス 0008 C4C2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE1	出力短絡割り込み許可1ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE1	出力短絡時出力停止許可1ビット	0：出力短絡時に端子の出力を停止しない 1：出力短絡時に端子の出力を停止する	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF1	出力短絡フラグ1	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OCSR1 レジスタは、出力レベルの比較許可 / 禁止、割り込みの許可 / 禁止の制御、およびステータスを示すレジスタです。

OIE1 ビット (出力短絡割り込み許可1ビット)

OSF1 フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

OCE1 ビット (出力短絡時出力停止許可1ビット)

OSF1 フラグが“1”になったときに、端子の出力を停止するかどうかを指定します。

OSF1 フラグ (出力短絡フラグ1)

ポート P71 ~ P76 にアサインされた MTU 相補 PWM 出力端子 (MTU3, MTU4 端子) または GPT 出力端子 (GPT0 ~ GPT2 端子) の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、当該端子の出力停止制御が許可されていない場合、OSF1 フラグは“1”になりません。

アクティブレベルの設定については「21.2.10 アクティブレベルレジスタ 1 (ALR1)」を参照してください。

[“1”になる条件]

- POECR2.MTU3BDZE ビットが“1”、または PMMCR1.MTU3BME ビット、PMMCR1.MTU3DME ビットの少なくとも一方が“1”の場合に、MTIOC3B/GTIOC0A 端子と MTIOC3D/GTIOC0B 端子が同時にアクティブレベル(注1)になったとき
- POECR2.MTU4ACZE ビットが“1”、または PMMCR1.MTU4AME ビット、PMMCR1.MTU4CME ビットの少なくとも一方が“1”の場合に、MTIOC4A/GTIOC1A 端子と MTIOC4C/GTIOC1B 端子が同時にアクティブレベル(注1)になったとき
- POECR2.MTU4BDZE ビットが“1”、または PMMCR1.MTU4BME ビット、PMMCR1.MTU4DME ビットの少なくとも一方が“1”の場合に、MTIOC4B/GTIOC2A 端子と MTIOC4D/GTIOC2B 端子が同時にアクティブレベル(注1)になったとき

注1. MPC.PmnPFS レジスタの設定内容にかかわらず、端子のレベルだけで判断します。

["0" になる条件]

- "1" の状態を読んだ後、"0" を書いたとき
"0" を書くには、MTU 相補 PWM 出力端子または GPT 出力端子から非アクティブレベルを出力する必要があります。詳細は、「21.3.8 出力停止状態の解除」を参照してください。

21.2.9 出力レベルコントロール / ステータスレジスタ 2 (OCSR2)

アドレス 0008 C4C6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF2	—	—	—	—	—	OCE2	OIE2	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b8	OIE2	出力短絡割り込み許可2ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	OCE2	出力短絡時出力停止許可2ビット	0: 出力短絡時に端子の出力を停止しない 1: 出力短絡時に端子の出力を停止する	R/W (注1)
b14-b10	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b15	OSF2	出力短絡フラグ2	0: 同時にアクティブレベルになっていない 1: 同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを"0"にするため、"1"を読んだ後、"0"を書き込むことのみ可能です。

OCSR2 レジスタは、出力レベルの比較許可 / 禁止、割り込みの許可 / 禁止の制御、およびステータスを示すレジスタです。

OIE2 ビット (出力短絡割り込み許可2ビット)

OSF2 フラグが"1"になったときに、割り込みを要求するかどうかを指定します。

OCE2 ビット (出力短絡時出力停止許可2ビット)

OSF2 フラグが"1"になったときに、端子の出力を停止するかどうかを指定します。

OSF2 フラグ (出力短絡フラグ2)

MTU 相補 PWM 出力端子 (MTU6, MTU7 端子) の比較する3組の2相出力のうち、1組以上が同時にアクティブレベルになったことを示すフラグです。ただし、当該端子の出力停止制御が許可されていない場合、OSF2 フラグは"1"になりません。

アクティブレベルの設定については「21.2.11 アクティブレベルレジスタ 2 (ALR2)」を参照してください。

["1" になる条件]

- POE2R2.MTU6BDZE ビットが"1"、または PMMCR1.MTU6BME ビット、PMMCR1.MTU6DME ビットの少なくとも一方が"1"の場合に、MTIOC6B 端子と MTIOC6D 端子が同時にアクティブレベル(注1)になったとき

- POECR2.MTU7ACZE ビットが“1”、または PMMCR1.MTU7AME ビット、PMMCR1.MTU7CME ビットの少なくとも一方が“1”の場合に、MTIOC7A 端子と MTIOC7C 端子が同時にアクティブレベル(注1)になったとき
- POECR2.MTU7BDZE ビットが“1”、または PMMCR1.MTU7BME ビット、PMMCR1.MTU7DME ビットの少なくとも一方が“1”の場合に、MTIOC7B 端子と MTIOC7D 端子が同時にアクティブレベル(注1)になったとき

注1. MPC.PmnPFS レジスタの設定内容にかかわらず、端子のレベルだけで判断します。

["0"になる条件]

- “1”の状態を読んだ後、“0”を書いたとき
“0”を書くには、MTU 相補 PWM 出力端子から非アクティブレベルを出力する必要があります。詳細は、「21.3.8 出力停止状態の解除」を参照してください。

21.2.10 アクティブレベルレジスタ 1 (ALR1)

アドレス 0008 C4DAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	OLSG2B	OLSG2A	OLSG1B	OLSG1A	OLSG0B	OLSG0A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG0A	MTIOC3B/GTIOC0A (P71)端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b1	OLSG0B	MTIOC3D/GTIOC0B (P74)端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b2	OLSG1A	MTIOC4A/GTIOC1A (P72)端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b3	OLSG1B	MTIOC4C/GTIOC1B (P75)端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b4	OLSG2A	MTIOC4B/GTIOC2A (P73)端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b5	OLSG2B	MTIOC4D/GTIOC2B (P76)端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0 : 無効 1 : 有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

ALR1 レジスタは、ポート P71 ~ P76 にアサインされた MTU 出力または GPT 出力を OCSR1 レジスタで出力短絡を検出する場合のアクティブレベルを設定するレジスタです。

OLSG0A ビット (MTIOC3B/GTIOC0A (P71) 端子アクティブレベル設定ビット)

P71 の MTIOC3B 出力および GTIOC0A 出力のアクティブレベルを設定します。OLSG0A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG0B ビット (MTIOC3D/GTIOC0B (P74) 端子アクティブレベル設定ビット)

P74 の MTIOC3D 出力および GTIOC0B 出力のアクティブレベルを設定します。OLSG0B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1A ビット (MTIOC4A/GTIOC1A (P72) 端子アクティブレベル設定ビット)

P72 の MTIOC4A 出力および GTIOC1A 出力のアクティブレベルを設定します。OLSG1A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1B ビット (MTIOC4C/GTIOC1B (P75) 端子アクティブレベル設定ビット)

P75 の MTIOC4C 出力および GTIOC1B 出力のアクティブレベルを設定します。OLSG1B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2A ビット (MTIOC4B/GTIOC2A (P73) 端子アクティブレベル設定ビット)

P73 の MTIOC4B 出力および GTIOC2A 出力のアクティブレベルを設定します。OLSG2A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2B ビット (MTIOC4D/GTIOC2B (P76) 端子アクティブレベル設定ビット)

P76 の MTIOC4D 出力および GTIOC2B 出力のアクティブレベルを設定します。OLSG2B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSG_nm ビット (n = 0 ~ 2, m = A, B) によるアクティブレベル設定の有効 / 無効を設定します。OLSEN ビットが“0”の場合は OLSG_nm ビットの設定は無効となり、MTU 出力のアクティブレベルは MTU.TOCR1_j および MTU.TOCR2_j レジスタ (j = A, B) の設定となります。OLSEN ビットが“1”の場合は、MTU 出力のアクティブレベルは OLSG_nm ビットの設定となります。

GPT 出力のアクティブレベルは、OLSEN ビットが“1”のときのみ設定可能です。GPT 出力の短絡検出を行う場合は OLSEN ビットを“1”にし、OLSG_nm ビットで GPT 出力のアクティブレベルを設定してください。

21.2.11 アクティブレベルレジスタ 2 (ALR2)

アドレス 0008 C4DEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	OLSG6 B	OLSG6 A	OLSG5 B	OLSG5 A	OLSG4 B	OLSG4 A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG4A	MTIOC6B アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b1	OLSG4B	MTIOC6D アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b2	OLSG5A	MTIOC7A アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b3	OLSG5B	MTIOC7C アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b4	OLSG6A	MTIOC7B アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b5	OLSG6B	MTIOC7D アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0 : 無効 1 : 有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

ALR2 レジスタは、MTU 出力を OCSR2 レジスタで出力短絡を検出する場合のアクティブレベルを設定するレジスタです。

OLSG4A ビット (MTIOC6B アクティブレベル設定ビット)

MTIOC6B 出力のアクティブレベルを設定します。OLSG4A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG4B ビット (MTIOC6D アクティブレベル設定ビット)

MTIOC6D 出力のアクティブレベルを設定します。OLSG4B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG5A ビット (MTIOC7A アクティブレベル設定ビット)

MTIOC7A 出力のアクティブレベルを設定します。OLSG5A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG5B ビット (MTIOC7C アクティブレベル設定ビット)

MTIOC7C 出力のアクティブレベルを設定します。OLSG5B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG6A ビット (MTIOC7B アクティブレベル設定ビット)

MTIOC7B 出力のアクティブレベルを設定します。OLSG6A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG6B ビット (MTIOC7D アクティブレベル設定ビット)

MTIOC7D 出力のアクティブレベルを設定します。OLSG6B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSGnm ビット (n = 4 ~ 6, m = A, B) によるアクティブレベル設定の有効 / 無効を設定します。OLSEN ビットが“0”の場合は OLSGnm ビットの設定は無効となり、MTU 出力のアクティブレベルは MTU.TOCR1j および MTU.TOCR2j レジスタ (j = A, B) の設定となります。OLSEN ビットが“1”の場合は、MTU 出力のアクティブレベルは OLSGnm ビットの設定となります。

21.2.12 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

アドレス 0008 C4CAh

b7	b6	b5	b4	b3	b2	b1	b0
—	MTUC H9HIZ	—	GPT03 HIZ	—	MTUC H0HIZ	MTUC H67HIZ	MTUC H34HIZ

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	MTUCH34HIZ	MTU3, MTU4/GPT0～GPT2端子出力停止許可ビット	0: 端子の出力を停止しない 1: 端子の出力を停止する	R/W
b1	MTUCH67HIZ	MTU6, MTU7端子出力停止許可ビット	0: 端子の出力を停止しない 1: 端子の出力を停止する	R/W
b2	MTUCH0HIZ	MTU0端子出力停止許可ビット	0: 端子の出力を停止しない 1: 端子の出力を停止する	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	GPT03HIZ	GPT0～GPT3端子出力停止許可ビット (注1)	0: 端子の出力を停止しない 1: 端子の出力を停止する	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	MTUCH9HIZ	MTU9端子出力停止許可ビット	0: 端子の出力を停止しない 1: 端子の出力を停止する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. チップバージョンAでは予約ビットです。読むと“0”が読めます。書く場合“0”としてください。

SPOER レジスタは、端子の出力停止制御を行うレジスタです。

MTUCH34HIZ ビット (MTU3, MTU4/GPT0～GPT2 端子出力停止許可ビット)

P71～P76のMTU相補PWM出力端子(MTI0C3B, MTI0C3D, MTI0C4A, MTI0C4B, MTI0C4C, MTI0C4D)またはGPT出力端子(GTI0C0A, GTI0C0B, GTI0C1A, GTI0C1B, GTI0C2A, GTI0C2B)の出力を停止する制御を行います。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- リセット
- “1”の状態を読んだ後、“0”を書いたとき

MTUCH67HIZ ビット (MTU6, MTU7 端子出力停止許可ビット)

MTU相補PWM出力端子(MTI0C6B, MTI0C6D, MTI0C7A, MTI0C7B, MTI0C7C, MTI0C7D)の出力を停止する制御を行います。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- リセット
- “1”の状態を読んだ後、“0”を書いたとき

MTUCH0HIZ ビット (MTU0 端子出力停止許可ビット)

MTU0 端子の出力を停止する制御を行います。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- リセット
- “1”の状態を読んだ後、“0”を書いたとき

GPT03HIZ ビット (GPT0 ~ GPT3 端子出力停止許可ビット)

PB5 ~ PB7、PD0 ~ PD2、PD6、PD7 の GPT 出力端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力を停止する制御を行います。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- リセット
- “1”の状態を読んだ後、“0”を書いたとき

MTUCH9HIZ ビット (MTU9 端子出力停止許可ビット)

MTU9 端子の出力を停止する制御を行います。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- リセット
- “1”の状態を読んだ後、“0”を書いたとき

21.2.13 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)

アドレス 0008 C4CBh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MTU0B1ZE	MTU0A1ZE	MTU0DZE	MTU0CZE	MTU0BZE	MTU0AZE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU0AZE	MTIOC0A (PB3)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b1	MTU0BZE	MTIOC0B (PB2)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b2	MTU0CZE	MTIOC0C端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b3	MTU0DZE	MTIOC0D端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b4	MTU0A1ZE	MTIOC0A (P31)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b5	MTU0B1ZE	MTIOC0B (P30)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR1 レジスタは、MTU0 端子のハイインピーダンス制御を行うレジスタです。

MTU0AZE ビット (MTIOC0A (PB3) 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 2, 4, 5, 7, m = 0, 4, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、PB3 の MTIOC0A 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR0.MTU0AME ビットを“0”にしてください。

MTU0BZE ビット (MTIOC0B (PB2) 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 2, 4, 5, 7, m = 0, 4, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、PB2 の MTIOC0B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR0.MTU0BME ビットを“0”にしてください。

MTU0CZE ビット (MTIOC0C 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 2, 4, 5, 7, m = 0, 4, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、MTIOC0C 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR0.MTU0CME ビットを“0”にしてください。

MTU0DZE ビット (MTIOC0D 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n=1, 2, 4, 5, 7、m=0, 4, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、MTIOC0D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR0.MTU0DME ビットを“0”にしてください。

MTU0A1ZE ビット (MTIOC0A (P31) 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n=1, 2, 4, 5, 7、m=0, 4, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、P31 の MTIOC0A 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR0.MTU0A1ME ビットを“0”にしてください。

MTU0B1ZE ビット (MTIOC0B (P30) 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n=1, 2, 4, 5, 7、m=0, 4, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、P30 の MTIOC0B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR0.MTU0B1ME ビットを“0”にしてください。

21.2.14 ポートアウトプットイネーブルコントロールレジスタ 2 (POE3b, POE3A)

アドレス 0008 C4CCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MTU3B DZE	MTU4A CZE	MTU4B DZE	—	—	—	—	—	MTU6B DZE	MTU7A CZE	MTU7B DZE
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MTU7BDZE	MTIOC7B/MTIOC7D端子ハイインピーダンス許可ビット (注2)	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b1	MTU7ACZE	MTIOC7A/MTIOC7C端子ハイインピーダンス許可ビット (注2)	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b2	MTU6BDZE	MTIOC6B/MTIOC6D端子ハイインピーダンス許可ビット (注2)	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MTU4BDZE	MTIOC4B/MTIOC4D (P73/P76)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b9	MTU4ACZE	MTIOC4A/MTIOC4C (P72/P75)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b10	MTU3BDZE	MTIOC3B/MTIOC3D (P71/P74)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. MTU6, MTU7を使用しない場合は、“0”にしてください。

POE3b レジスタは、MTU 相補 PWM 出力端子 (MTU3, MTU4, MTU6, MTU7 端子) または GPT 出力端子 (GPT0 ~ GPT2 端子) のハイインピーダンス制御を行うレジスタです。

MTU7BDZE ビット (MTIOC7B/MTIOC7D 端子ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POE3b レジスタで追加選択した ICSRn.POE_mF フラグ (n = 1, 3 ~ 5, 7, m = 0, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、MTIOC7B 出力と MTIOC7D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR1 レジスタの MTU7BME ビットと MTU7DME ビットを“0”にしてください。

MTU7ACZE ビット (MTIOC7A/MTIOC7C 端子ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POE3b レジスタで追加選択した ICSRn.POE_mF フラグ (n = 1, 3 ~ 5, 7, m = 0, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、MTIOC7A 出力と MTIOC7C 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR1 レジスタの MTU7AME ビットと MTU7CME ビットを“0”にしてください。

MTU6BDZE ビット (MTIIOC6B/MTIIOC6D 端子ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 1, 3 ~ 5, 7, m = 0, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、MTIIOC6B 出力と MTIIOC6D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR1 レジスタの MTU6BME ビットと MTU6DME ビットを“0”にしてください。

MTU4BDZE ビット (MTIIOC4B/MTIIOC4D (P73/P76) 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 2 ~ 5, 7, m = 4, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、P73 の MTIIOC4B/GTIOC2A 出力と P76 の MTIIOC4D/GTIOC2B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR1 レジスタの MTU4BME ビットと MTU4DME ビットを“0”にしてください。

MTU4ACZE ビット (MTIIOC4A/MTIIOC4C (P72/P75) 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 2 ~ 5, 7, m = 4, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、P72 の MTIIOC4A/GTIOC1A 出力と P75 の MTIIOC4C/GTIOC1B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR1 レジスタの MTU4AME ビットと MTU4CME ビットを“0”にしてください。

MTU3BDZE ビット (MTIIOC3B/MTIIOC3D (P71/P74) 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 2 ~ 5, 7, m = 4, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、P71 の MTIIOC3B/GTIOC0A 出力と P74 の MTIIOC3D/GTIOC0B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR1 レジスタの MTU3BME ビットと MTU3DME ビットを“0”にしてください。

21.2.15 ポートアウトプットイネーブルコントロールレジスタ 3 (POE3CR3)

アドレス 0008 C4CEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GPT3B1ZE	GPT3A1ZE	GPT2B1ZE	GPT2A1ZE	GPT1B1ZE	GPT1A1ZE	GPT0B1ZE	GPT0A1ZE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	GPT0A1ZE	GTIOC0A (PD2)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b9	GPT0B1ZE	GTIOC0B (PD1)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b10	GPT1A1ZE	GTIOC1A (PD0)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b11	GPT1B1ZE	GTIOC1B (PB7)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b12	GPT2A1ZE	GTIOC2A (PB6)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b13	GPT2B1ZE	GTIOC2B (PB5)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b14	GPT3A1ZE	GTIOC3Aハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b15	GPT3B1ZE	GTIOC3Bハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

POE3CR3 レジスタは、GPT 出力端子 (GPT0 ~ GPT3 端子) のハイインピーダンス制御を行うレジスタで、チップバージョン B にのみあります。

GPT0A1ZE ビット (GTIOC0A (PD2) 端子ハイインピーダンス許可ビット)

ICSR5.POE11F フラグ、SPOER.GPT03HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POE3CR6 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~4, 7, m=0, 4, 8, 10, 12) のうち、どれか1つでも“1”になったときに、PD2 の GTIOC0A 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR2.GPT0A1ME ビットを“0”にしてください。

GPT0B1ZE ビット (GTIOC0B (PD1) 端子ハイインピーダンス許可ビット)

ICSR5.POE11F フラグ、SPOER.GPT03HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POE3CR6 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~4, 7, m=0, 4, 8, 10, 12) のうち、どれか1つでも“1”になったときに、PD1 の GTIOC0B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR2.GPT0B1ME ビットを“0”にしてください。

GPT1A1ZE ビット (GTIOC1A (PD0) 端子ハイインピーダンス許可ビット)

ICSR5.POE11F フラグ、SPOER.GPT03HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POE3CR6 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~4, 7, m=0, 4, 8, 10, 12) のうち、どれか1つでも“1”になったときに、PD0 の GTIOC1A 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR2.GPT1A1ME ビットを“0”にしてください。

GPT1B1ZE ビット (GTIOC1B (PB7) 端子ハイインピーダンス許可ビット)

ICSR5.POE11F フラグ、SPOER.GPT03HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR6 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~4, 7, m=0, 4, 8, 10, 12) のうち、どれか1つでも“1”になったときに、PB7 の GTIOC1B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR2.GPT1B1ME ビットを“0”にしてください。

GPT2A1ZE ビット (GTIOC2A (PB6) 端子ハイインピーダンス許可ビット)

ICSR5.POE11F フラグ、SPOER.GPT03HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR6 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~4, 7, m=0, 4, 8, 10, 12) のうち、どれか1つでも“1”になったときに、PB6 の GTIOC2A 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR2.GPT2A1ME ビットを“0”にしてください。

GPT2B1ZE ビット (GTIOC2B (PB5) 端子ハイインピーダンス許可ビット)

ICSR5.POE11F フラグ、SPOER.GPT03HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR6 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~4, 7, m=0, 4, 8, 10, 12) のうち、どれか1つでも“1”になったときに、PB5 の GTIOC2B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR2.GPT2B1ME ビットを“0”にしてください。

GPT3A1ZE ビット (GTIOC3A ハイインピーダンス許可ビット)

ICSR5.POE11F フラグ、SPOER.GPT03HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR6 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~4, 7, m=0, 4, 8, 10, 12) のうち、どれか1つでも“1”になったときに、GTIOC3A 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR2.GPT3A1ME ビットを“0”にしてください。

GPT3B1ZE ビット (GTIOC3B ハイインピーダンス許可ビット)

ICSR5.POE11F フラグ、SPOER.GPT03HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR6 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~4, 7, m=0, 4, 8, 10, 12) のうち、どれか1つでも“1”になったときに、GTIOC3B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR2.GPT3B1ME ビットを“0”にしてください。

21.2.16 ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4)

アドレス 0008 C4D0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	IC6ADD MT67ZE	IC5ADD MT67ZE	IC4ADD MT67ZE	IC3ADD MT67ZE	—	IC1ADD MT67ZE	CMADD MT67ZE	—	IC6ADD MT34ZE	IC5ADD MT34ZE	IC4ADD MT34ZE	IC3ADD MT34ZE	IC2ADD MT34ZE	—	CMADD MT34ZE
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT34ZE	MTU3, MTU4出力停止条件 CFLAG追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	IC2ADDMT34ZE	MTU3, MTU4出力停止条件 POE4F追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b3	IC3ADDMT34ZE	MTU3, MTU4出力停止条件 POE8F追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b4	IC4ADDMT34ZE	MTU3, MTU4出力停止条件 POE10F追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b5	IC5ADDMT34ZE	MTU3, MTU4出力停止条件 POE11F追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b6	IC6ADDMT34ZE	MTU3, MTU4出力停止条件 POE12F追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CMADDMT67ZE	MTU6, MTU7出力停止条件 CFLAG追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b9	IC1ADDMT67ZE	MTU6, MTU7出力停止条件 POE0F追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b11	IC3ADDMT67ZE	MTU6, MTU7出力停止条件 POE8F追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b12	IC4ADDMT67ZE	MTU6, MTU7出力停止条件 POE10F追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b13	IC5ADDMT67ZE	MTU6, MTU7出力停止条件 POE11F追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b14	IC6ADDMT67ZE	MTU6, MTU7出力停止条件 POE12F追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR4 レジスタは、MTU 相補 PWM 出力端子 (MTU3, MTU4, MTU6, MTU7 端子) および GPT 出力端子 (GPT0 ~ GPT2 端子) の出力停止制御条件を拡張するレジスタです。

CMADDMT34ZE ビット (MTU3, MTU4 出力停止条件 CFLAG 追加ビット)

POECMPFR.CnFLAG フラグ (n = 0 ~ 3) を、P71 ~ P76 の MTU3, MTU4、GPT0 ~ GPT2 端子 (MTIOC3B/GTIOC0A, MTIOC3D/GTIOC0B, MTIOC4A/GTIOC1A, MTIOC4C/GTIOC1B, MTIOC4B/GTIOC2A, MTIOC4D/GTIOC2B) の出力停止制御条件に追加します。ただし、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) により端子の出力が停止した場合、OEIn 割り込み (n = 1 ~ 5) は発生しません。

IC2ADDMT34ZE ビット (MTU3, MTU4 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを P71 ~ P76 の MTU3, MTU4、GPT0 ~ GPT2 端子 (MTIOC3B/GTIOC0A, MTIOC3D/GTIOC0B, MTIOC4A/GTIOC1A, MTIOC4C/GTIOC1B, MTIOC4B/GTIOC2A, MTIOC4D/GTIOC2B) の出力停止制御条件に追加します。

IC3ADDMT34ZE ビット (MTU3, MTU4 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを P71 ~ P76 の MTU3, MTU4、GPT0 ~ GPT2 端子 (MTIOC3B/GTIOC0A, MTIOC3D/GTIOC0B, MTIOC4A/GTIOC1A, MTIOC4C/GTIOC1B, MTIOC4B/GTIOC2A, MTIOC4D/GTIOC2B) の出力停止制御条件に追加します。

IC4ADDMT34ZE ビット (MTU3, MTU4 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを P71 ~ P76 の MTU3, MTU4、GPT0 ~ GPT2 端子 (MTIOC3B/GTIOC0A, MTIOC3D/GTIOC0B, MTIOC4A/GTIOC1A, MTIOC4C/GTIOC1B, MTIOC4B/GTIOC2A, MTIOC4D/GTIOC2B) の出力停止制御条件に追加します。

IC5ADDMT34ZE ビット (MTU3, MTU4 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを P71 ~ P76 の MTU3, MTU4、GPT0 ~ GPT2 端子 (MTIOC3B/GTIOC0A, MTIOC3D/GTIOC0B, MTIOC4A/GTIOC1A, MTIOC4C/GTIOC1B, MTIOC4B/GTIOC2A, MTIOC4D/GTIOC2B) の出力停止制御条件に追加します。

IC6ADDMT34ZE ビット (MTU3, MTU4 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを P71 ~ P76 の MTU3, MTU4、GPT0 ~ GPT2 端子 (MTIOC3B/GTIOC0A, MTIOC3D/GTIOC0B, MTIOC4A/GTIOC1A, MTIOC4C/GTIOC1B, MTIOC4B/GTIOC2A, MTIOC4D/GTIOC2B) の出力停止制御条件に追加します。

CMADDMT67ZE ビット (MTU6, MTU7 出力停止条件 CFLAG 追加ビット)

POECMPFR.CnFLAG フラグ (n = 0 ~ 3) を、MTU6, MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。ただし、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) により端子の出力が停止した場合、OEIn 割り込み (n = 1 ~ 5) は発生しません。

IC1ADDMT67ZE ビット (MTU6, MTU7 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを MTU6, MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC3ADDMT67ZE ビット (MTU6, MTU7 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを MTU6, MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC4ADDMT67ZE ビット (MTU6, MTU7 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを MTU6, MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC5ADDMT67ZE ビット (MTU6, MTU7 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU6, MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC6ADDMT67ZE ビット (MTU6, MTU7 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを MTU6, MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

21.2.17 ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5)

アドレス 0008 C4D2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	IC6ADD MT0ZE	IC5ADD MT0ZE	IC4ADD MT0ZE	—	IC2ADD MT0ZE	IC1ADD MT0ZE	CMADD MT0ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT0ZE	MTU0出力停止条件CFLAG追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b1	IC1ADDMT0ZE	MTU0出力停止条件POE0F追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b2	IC2ADDMT0ZE	MTU0出力停止条件POE4F追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	IC4ADDMT0ZE	MTU0出力停止条件POE10F追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b5	IC5ADDMT0ZE	MTU0出力停止条件POE11F追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b6	IC6ADDMT0ZE	MTU0出力停止条件POE12F追加ビット	0: 出力停止制御条件に追加しない 1: 出力停止制御条件に追加する	R/W (注1)
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR5 レジスタは、MTU0 端子の出力停止制御条件を拡張するレジスタです。

CMADDMT0ZE ビット (MTU0 出力停止条件 CFLAG 追加ビット)

POECMPFR.CnFLAG フラグ (n = 0 ~ 3) を、MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。ただし、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) により端子の出力が停止した場合、OEIn 割り込み (n = 1 ~ 5) は発生しません。

IC1ADDMT0ZE ビット (MTU0 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC2ADDMT0ZE ビット (MTU0 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC4ADDMT0ZE ビット (MTU0 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC5ADDMT0ZE ビット (MTU0 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC6ADDMT0ZE ビット (MTU0 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

21.2.18 ポートアウトプットイネーブルコントロールレジスタ 6 (POECR6)

アドレス 0008 C4D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	IC6ADDG PT03ZE	—	IC4ADDG PT03ZE	IC3ADDG PT03ZE	IC2ADDG PT03ZE	IC1ADDG PT03ZE	CMADDG PT03ZE	—	—	—	—	—	—	—	—
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CMADDGPT03ZE	GPT0～GPT3出力停止条件 CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b9	IC1ADDGPT03ZE	GPT0～GPT3出力停止条件 POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b10	IC2ADDGPT03ZE	GPT0～GPT3出力停止条件 POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b11	IC3ADDGPT03ZE	GPT0～GPT3出力停止条件 POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b12	IC4ADDGPT03ZE	GPT0～GPT3出力停止条件 POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b13	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b14	IC6ADDGPT03ZE	GPT0～GPT3出力停止条件 POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR6 レジスタは、GPT0～GPT3 端子の出力停止制御条件を拡張するレジスタで、チップバージョン B にのみあります。

CMADDGPT03ZE ビット (GPT0～GPT3 出力停止条件 CFLAG 追加ビット)

POECMPFR.CnFLAG フラグ (n=0～3) を、PB5～PB7、PD0～PD2、PD6、PD7 の GPT0～GPT3 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。ただし、POECMPFR.CnFLAG フラグ (n=0～3) により端子の出力が停止した場合、OEIn 割り込み (n=1～5) は発生しません。

IC1ADDGPT03ZE ビット (GPT0～GPT3 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを PB5～PB7、PD0～PD2、PD6、PD7 の GPT0～GPT3 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC2ADDGPT03ZE ビット (GPT0～GPT3 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを PB5～PB7、PD0～PD2、PD6、PD7 の GPT0～GPT3 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC3ADDGPT03ZE ビット (GPT0～GPT3 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを PB5～PB7、PD0～PD2、PD6、PD7 の GPT0～GPT3 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC4ADDGPT03ZE ビット (GPT0 ~ GPT3 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを PB5 ~ PB7、PD0 ~ PD2、PD6、PD7 の GPT0 ~ GPT3 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC6ADDGPT03ZE ビット (GPT0 ~ GPT3 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを PB5 ~ PB7、PD0 ~ PD2、PD6、PD7 の GPT0 ~ GPT3 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

21.2.19 ポートアウトプットイネーブルコントロールレジスタ 7 (POECR7)

アドレス 0008 C4E2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	MTU9D 1ZE	MTU9C 1ZE	MTU9B 1ZE	MTU9A 1ZE	MTU9D ZE	MTU9C ZE	MTU9B ZE	MTU9A ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU9AZE	MTIIOC9A (PD7)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b1	MTU9BZE	MTIIOC9B (PE0)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b2	MTU9CZE	MTIIOC9C (PD6)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b3	MTU9DZE	MTIIOC9D (PE1)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b4	MTU9A1ZE	MTIIOC9A (P21)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b5	MTU9B1ZE	MTIIOC9B (P10)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b6	MTU9C1ZE	MTIIOC9C (P20)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b7	MTU9D1ZE	MTIIOC9D (P02)端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR7 レジスタは、MTU9 端子のハイインピーダンスを制御するレジスタです。

MTU9AZE ビット (MTIIOC9A (PD7) 端子ハイインピーダンス許可ビット)

ICSR7.POE12F フラグ、SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR8 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~5、m=0, 4, 8, 10, 11)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、PD7 の MTIIOC9A 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR3.MTU9AME ビットを“0”にしてください。

MTU9BZE ビット (MTIIOC9B (PE0) 端子ハイインピーダンス許可ビット)

ICSR7.POE12F フラグ、SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR8 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~5、m=0, 4, 8, 10, 11)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、PE0 の MTIIOC9B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR3.MTU9BME ビットを“0”にしてください。

MTU9CZE ビット (MTIOC9C (PD6) 端子ハイインピーダンス許可ビット)

ICSR7.POE12F フラグ、SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECSR8 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~5, m=0, 4, 8, 10, 11)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、PD6 の MTIOC9C 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR3.MTU9CME ビットを“0”にしてください。

MTU9DZE ビット (MTIOC9D (PE1) 端子ハイインピーダンス許可ビット)

ICSR7.POE12F フラグ、SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECSR8 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~5, m=0, 4, 8, 10, 11)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、PE1 の MTIOC9D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR3.MTU9DME ビットを“0”にしてください。

MTU9A1ZE ビット (MTIOC9A (P21) 端子ハイインピーダンス許可ビット)

ICSR7.POE12F フラグ、SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECSR8 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~5, m=0, 4, 8, 10, 11)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、P21 の MTIOC9A 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR3.MTU9A1ME ビットを“0”にしてください。

MTU9B1ZE ビット (MTIOC9B (P10) 端子ハイインピーダンス許可ビット)

ICSR7.POE12F フラグ、SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECSR8 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~5, m=0, 4, 8, 10, 11)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、P10 の MTIOC9B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR3.MTU9B1ME ビットを“0”にしてください。

MTU9C1ZE ビット (MTIOC9C (P20) 端子ハイインピーダンス許可ビット)

ICSR7.POE12F フラグ、SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECSR8 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~5, m=0, 4, 8, 10, 11)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、P20 の MTIOC9C 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR3.MTU9C1ME ビットを“0”にしてください。

MTU9D1ZE ビット (MTIOC9D (P02) 端子ハイインピーダンス許可ビット)

ICSR7.POE12F フラグ、SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECSR8 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~5, m=0, 4, 8, 10, 11)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、P02 の MTIOC9D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR3.MTU9D1ME ビットを“0”にしてください。

21.2.20 ポートアウトプットイネーブルコントロールレジスタ 8 (POE3CR8)

アドレス 0008 C4E4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	IC5ADD MT9ZE	IC4ADD MT9ZE	IC3ADD MT9ZE	IC2ADD MT9ZE	IC1ADD MT9ZE	CMADD MT9ZE
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT9ZE	MTU9出力停止条件CFLAG追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加にする	R/W (注1)
b1	IC1ADDMT9ZE	MTU9出力停止条件POE0F追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加にする	R/W (注1)
b2	IC2ADDMT9ZE	MTU9出力停止条件POE4F追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加にする	R/W (注1)
b3	IC3ADDMT9ZE	MTU9出力停止条件POE8F追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加にする	R/W (注1)
b4	IC4ADDMT9ZE	MTU9出力停止条件POE10F追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加にする	R/W (注1)
b5	IC5ADDMT9ZE	MTU9出力停止条件POE11F追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加にする	R/W (注1)
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POE3CR8 レジスタは、MTU9 端子の出力停止制御条件を拡張するレジスタです。

CMADDMT9ZE ビット (MTU9 出力停止条件 CFLAG 追加ビット)

POECMPFR.CnFLAG フラグ (n = 0 ~ 3) を、MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。ただし、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) により端子の出力が停止した場合、OEIn 割り込み (n = 1 ~ 5) は発生しません。

IC1ADDMT9ZE ビット (MTU9 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

IC2ADDMT9ZE ビット (MTU9 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

IC3ADDMT9ZE ビット (MTU9 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

IC4ADDMT9ZE ビット (MTU9 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

IC5ADDMT9ZE ビット (MTU9 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

21.2.21 ポートモードマスクコントロールレジスタ 0 (PMMCR0)

アドレス 0008 C4F0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MTU0B1ME	MTU0A1ME	MTU0DME	MTU0CME	MTU0BME	MTU0AME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU0AME	MTIOC0A (PB3)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b1	MTU0BME	MTIOC0B (PB2)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b2	MTU0CME	MTIOC0C端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b3	MTU0DME	MTIOC0D端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b4	MTU0A1ME	MTIOC0A (P31)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b5	MTU0B1ME	MTIOC0B (P30)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

PMMCR0 レジスタは、MTU0 端子に関連する PMR レジスタの設定をマスクするレジスタで、チップバージョン B にのみあります。

MTU0AME ビット (MTIOC0A (PB3) 端子ポートモードマスク許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 2, 4, 5, 7, m = 0, 4, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、PB3 の MTIOC0A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR1.MTU0AZE ビットを“0”にしてください。POECR1.MTU0AZE ビットが“1”の場合、このビットの設定は無視されます。

MTU0BME ビット (MTIOC0B (PB2) 端子ポートモードマスク許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 2, 4, 5, 7, m = 0, 4, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、PB2 の MTIOC0B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR1.MTU0BZE ビットを“0”にしてください。POECR1.MTU0BZE ビットが“1”の場合、このビットの設定は無視されます。

MTU0CME ビット (MTI0C0C 端子ポートモードマスク許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 2, 4, 5, 7、m = 0, 4, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、MTI0C0C 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR1.MTU0CZE ビットを“0”にしてください。
POECR1.MTU0CZE ビットが“1”の場合、このビットの設定は無視されます。

MTU0DME ビット (MTI0C0D 端子ポートモードマスク許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 2, 4, 5, 7、m = 0, 4, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、MTI0C0D 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR1.MTU0DZE ビットを“0”にしてください。
POECR1.MTU0DZE ビットが“1”の場合、このビットの設定は無視されます。

MTU0A1ME ビット (MTI0C0A (P31) 端子ポートモードマスク許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 2, 4, 5, 7、m = 0, 4, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、P31 の MTI0C0A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR1.MTU0A1ZE ビットを“0”にしてください。
POECR1.MTU0A1ZE ビットが“1”の場合、このビットの設定は無視されます。

MTU0B1ME ビット (MTI0C0B (P30) 端子ポートモードマスク許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 2, 4, 5, 7、m = 0, 4, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、P30 の MTI0C0B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR1.MTU0B1ZE ビットを“0”にしてください。
POECR1.MTU0B1ZE ビットが“1”の場合、このビットの設定は無視されます。

21.2.22 ポートモードマスクコントロールレジスタ 1 (PMMCR1)

アドレス 0008 C4F2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MTU3D ME	MTU4C ME	MTU4D ME	MTU3B ME	MTU4A ME	MTU4B ME	—	—	MTU6D ME	MTU7C ME	MTU7D ME	MTU6B ME	MTU7A ME	MTU7B ME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU7BME	MTIOC7B端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b1	MTU7AME	MTIOC7A端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b2	MTU6BME	MTIOC6B端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b3	MTU7DME	MTIOC7D端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b4	MTU7CME	MTIOC7C端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b5	MTU6DME	MTIOC6D端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MTU4BME	MTIOC4B/GTIOC2A (P73)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b9	MTU4AME	MTIOC4A/GTIOC1A (P72)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b10	MTU3BME	MTIOC3B/GTIOC0A (P71)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b11	MTU4DME	MTIOC4D/GTIOC2B (P76)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b12	MTU4CME	MTIOC4C/GTIOC1B (P75)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b13	MTU3DME	MTIOC3D/GTIOC0B (P74)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

PMMCR1 レジスタは、P71 ~ P76、P90 ~ P95 の MTU 相補 PWM 出力端子 (MTU3, MTU4, MTU6, MTU7 端子) または GPT 出力端子 (GPT0 ~ GPT2 端子) に関連する PMR レジスタの設定をマスクするレジスタで、チップバージョン B にのみあります。

MTU7BME ビット (MTIOC7B 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ (n=1, 3 ~ 5, 7, m=0, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n=0 ~ 3) のうち、どれか1つでも“1”になったときに、MTIOC7B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR2.MTU7BDZE ビットを“0”にしてください。POECR2.MTU7BDZE ビットが“1”の場合、このビットの設定は無視されます。

MTU7AME ビット (MTIOC7A 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 1, 3 ~ 5, 7, m = 0, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、MTIOC7A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR2.MTU7ACZE ビットを“0”にしてください。
POECR2.MTU7ACZE ビットが“1”の場合、このビットの設定は無視されます。

MTU6BME ビット (MTIOC6B 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 1, 3 ~ 5, 7, m = 0, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、MTIOC6B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR2.MTU6BDZE ビットを“0”にしてください。
POECR2.MTU6BDZE ビットが“1”の場合、このビットの設定は無視されます。

MTU7DME ビット (MTIOC7D 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 1, 3 ~ 5, 7, m = 0, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、MTIOC7D 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR2.MTU7BDZE ビットを“0”にしてください。
POECR2.MTU7BDZE ビットが“1”の場合、このビットの設定は無視されます。

MTU7CME ビット (MTIOC7C 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 1, 3 ~ 5, 7, m = 0, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、MTIOC7C 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR2.MTU7ACZE ビットを“0”にしてください。
POECR2.MTU7ACZE ビットが“1”の場合、このビットの設定は無視されます。

MTU6DME ビット (MTIOC6D 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 1, 3 ~ 5, 7, m = 0, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、MTIOC6D 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR2.MTU6BDZE ビットを“0”にしてください。
POECR2.MTU6BDZE ビットが“1”の場合、このビットの設定は無視されます。

MTU4BME ビット (MTIOC4B/GTIOC2A (P73) 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 2 ~ 5, 7, m = 4, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n = 0 ~ 3) のうち、どれか1つでも“1”になったときに、P73 の MTIOC4B/GTIOC2A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POE2.MTU4BDZE ビットを“0”にしてください。
POE2.MTU4BDZE ビットが“1”の場合、このビットの設定は無視されます。

MTU4AME ビット (MTIOC4A/GTIOC1A (P72) 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POE2 レジスタで追加選択した ICSRn.POE_mF フラグ (n=2~5, 7, m=4, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、P72 の MTIOC4A/GTIOC1A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POE2.MTU4ACZE ビットを“0”にしてください。
POE2.MTU4ACZE ビットが“1”の場合、このビットの設定は無視されます。

MTU3BME ビット (MTIOC3B/GTIOC0A (P71) 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POE2 レジスタで追加選択した ICSRn.POE_mF フラグ (n=2~5, 7, m=4, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、P71 の MTIOC3B/GTIOC0A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POE2.MTU3BDZE ビットを“0”にしてください。
POE2.MTU3BDZE ビットが“1”の場合、このビットの設定は無視されます。

MTU4DME ビット (MTIOC4D/GTIOC2B (P76) 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POE2 レジスタで追加選択した ICSRn.POE_mF フラグ (n=2~5, 7, m=4, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、P76 の MTIOC4D/GTIOC2B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POE2.MTU4BDZE ビットを“0”にしてください。
POE2.MTU4BDZE ビットが“1”の場合、このビットの設定は無視されます。

MTU4CME ビット (MTIOC4C/GTIOC1B (P75) 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POE2 レジスタで追加選択した ICSRn.POE_mF フラグ (n=2~5, 7, m=4, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、P75 の MTIOC4C/GTIOC1B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POE2.MTU4ACZE ビットを“0”にしてください。
POE2.MTU4ACZE ビットが“1”の場合、このビットの設定は無視されます。

MTU3DME ビット (MTIOC3D/GTIOC0B (P74) 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POE2 レジスタで追加選択した ICSRn.POE_mF フラグ (n=2~5, 7, m=4, 8, 10, 11, 12)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、P74 の MTIOC3D/GTIOC0B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POE2.MTU3BDZE ビットを“0”にしてください。
POE2.MTU3BDZE ビットが“1”の場合、このビットの設定は無視されます。

21.2.23 ポートモードマスクコントロールレジスタ 2 (PMMCR2)

アドレス 0008 C4F4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GPT3B 1ME	GPT3A 1ME	GPT2B 1ME	GPT2A 1ME	GPT1B 1ME	GPT1A 1ME	GPT0B 1ME	GPT0A 1ME	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	GPT0A1ME	GTIOC0A (PD2)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b9	GPT0B1ME	GTIOC0B (PD1)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b10	GPT1A1ME	GTIOC1A (PD0)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b11	GPT1B1ME	GTIOC1B (PB7)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b12	GPT2A1ME	GTIOC2A (PB6)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b13	GPT2B1ME	GTIOC2B (PB5)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b14	GPT3A1ME	GTIOC3A/MTIOC9A (PD7)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b15	GPT3B1ME	GTIOC3B/MTIOC9C (PD6)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

PMMCR2 レジスタは、PB5 ~ PB7、PD0 ~ PD2、PD6 ~ PD7 の GPT 出力端子 (GPT0 ~ GPT3 端子) に関連する PMR レジスタの設定をマスクするレジスタで、チップバージョン B にのみあります。

GPT0A1ME ビット (GTIOC0A (PD2) 端子ポートモードマスク許可ビット)

ICSR5.POE11F フラグ、SPOER.GPT03HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ (n=1~4, 7, m=0, 4, 8, 10, 12) のうち、どれか1つでも“1”になったときに、PD2 の GTIOC0A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR3.GPT0A1ZE ビットを“0”にしてください。POECR3.GPT0A1ZE ビットが“1”の場合、このビットの設定は無視されます。

GPT0B1ME ビット (GTIOC0B (PD1) 端子ポートモードマスク許可ビット)

ICSR5.POE11F フラグ、SPOER.GPT03HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ (n=1~4, 7, m=0, 4, 8, 10, 12) のうち、どれか1つでも“1”になったときに、PD1 の GTIOC0B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR3.GPT0B1ZE ビットを“0”にしてください。POECR3.GPT0B1ZE ビットが“1”の場合、このビットの設定は無視されます。

GPT1A1ME ビット (GTIOC1A (PD0) 端子ポートモードマスク許可ビット)

ICSR5.POE11F フラグ、SPOER.GPT03HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のと

き)、POE3Aレジスタで追加選択したICSRn.POE3Aフラグ (n=1~4, 7, m=0, 4, 8, 10, 12)のうち、どれか1つでも“1”になったときに、PD0のGTIOC1A端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POE3A.GPT1A1ZEビットを“0”にしてください。
POE3A.GPT1A1ZEビットが“1”の場合、このビットの設定は無視されます。

GPT1B1ME ビット (GTIOC1B (PB7) 端子ポートモードマスク許可ビット)

ICSR5.POE11Fフラグ、SPOER.GPT03HIZビット、ICSR6.OSTSTFフラグ (ICSR6.OSTSTEビット=1のとき)、POE3Aレジスタで追加選択したICSRn.POE3Aフラグ (n=1~4, 7, m=0, 4, 8, 10, 12)のうち、どれか1つでも“1”になったときに、PB7のGTIOC1B端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POE3A.GPT1B1ZEビットを“0”にしてください。
POE3A.GPT1B1ZEビットが“1”の場合、このビットの設定は無視されます。

GPT2A1ME ビット (GTIOC2A (PB6) 端子ポートモードマスク許可ビット)

ICSR5.POE11Fフラグ、SPOER.GPT03HIZビット、ICSR6.OSTSTFフラグ (ICSR6.OSTSTEビット=1のとき)、POE3Aレジスタで追加選択したICSRn.POE3Aフラグ (n=1~4, 7, m=0, 4, 8, 10, 12)のうち、どれか1つでも“1”になったときに、PB6のGTIOC2A端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POE3A.GPT2A1ZEビットを“0”にしてください。
POE3A.GPT2A1ZEビットが“1”の場合、このビットの設定は無視されます。

GPT2B1ME ビット (GTIOC2B (PB5) 端子ポートモードマスク許可ビット)

ICSR5.POE11Fフラグ、SPOER.GPT03HIZビット、ICSR6.OSTSTFフラグ (ICSR6.OSTSTEビット=1のとき)、POE3Aレジスタで追加選択したICSRn.POE3Aフラグ (n=1~4, 7, m=0, 4, 8, 10, 12)のうち、どれか1つでも“1”になったときに、PB5のGTIOC2B端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POE3A.GPT2B1ZEビットを“0”にしてください。
POE3A.GPT2B1ZEビットが“1”の場合、このビットの設定は無視されます。

GPT3A1ME ビット (GTIOC3A/MTIOC9A (PD7) 端子ポートモードマスク許可ビット)

ICSR5.POE11Fフラグ、SPOER.GPT03HIZビット、ICSR6.OSTSTFフラグ (ICSR6.OSTSTEビット=1のとき)、POE3Aレジスタで追加選択したICSRn.POE3Aフラグ (n=1~4, 7, m=0, 4, 8, 10, 12)のうち、どれか1つでも“1”になったときに、PD7のGTIOC3A/MTIOC9A端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POE3A.GPT3A1ZEビットを“0”にしてください。
POE3A.GPT3A1ZEビットが“1”の場合、このビットの設定は無視されます。

GPT3B1ME ビット (GTIOC3B/MTIOC9C (PD6) 端子ポートモードマスク許可ビット)

ICSR5.POE11Fフラグ、SPOER.GPT03HIZビット、ICSR6.OSTSTFフラグ (ICSR6.OSTSTEビット=1のとき)、POE3Aレジスタで追加選択したICSRn.POE3Aフラグ (n=1~4, 7, m=0, 4, 8, 10, 12)のうち、どれか1つでも“1”になったときに、PD6のGTIOC3B/MTIOC9C端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POE3A.GPT3B1ZEビットを“0”にしてください。
POE3A.GPT3B1ZEビットが“1”の場合、このビットの設定は無視されます。

21.2.24 ポートモードマスクコントロールレジスタ 3 (PMMCR3)

アドレス 0008 C4F6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	MTU9D 1ME	MTU9C 1ME	MTU9B 1ME	MTU9A 1ME	MTU9D ME	MTU9C ME	MTU9B ME	MTU9A ME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU9AME	MTIIOC9A/GTIOC3A (PD7)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b1	MTU9BME	MTIIOC9B (PE0)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b2	MTU9CME	MTIIOC9C/GTIOC3B (PD6)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b3	MTU9DME	MTIIOC9D (PE1)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b4	MTU9A1ME	MTIIOC9A (P21)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b5	MTU9B1ME	MTIIOC9B (P10)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b6	MTU9C1ME	MTIIOC9C (P20)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b7	MTU9D1ME	MTIIOC9D (P02)端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

PMMCR3 レジスタは、MTU9 端子に関連する PMR レジスタの設定をマスクするレジスタで、チップバージョン B にのみあります。

MTU9AME ビット (MTIIOC9A/GTIOC3A (PD7) 端子ポートモードマスク許可ビット)

ICSR7.POE12F フラグ、SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECCR8 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~5, m=0, 4, 8, 10, 11)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、PD7の MTIIOC9A/GTIOC3A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECCR7.MTU9AZE ビットを“0”にしてください。POECCR7.MTU9AZE ビットが“1”の場合、このビットの設定は無視されます。

MTU9BME ビット (MTIIOC9B (PE0) 端子ポートモードマスク許可ビット)

ICSR7.POE12F フラグ、SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECCR8 レジスタで追加選択した ICSRn.POE_mF フラグ (n=1~5, m=0, 4, 8, 10, 11)、POECMPFR.CnFLAG フラグ (n=0~3) のうち、どれか1つでも“1”になったときに、PE0の MTIIOC9B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECCR7.MTU9BZE ビットを“0”にしてください。POECCR7.MTU9BZE ビットが“1”の場合、このビットの設定は無視されます。

MTU9CME ビット (MTIIOC9C/GTIOC3B (PD6) 端子ポートモードマスク許可ビット)

ICSR7.POE12F フラグ、SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 の

とき)、POECR8レジスタで追加選択したICSRn.POEmFフラグ (n=1~5, m=0, 4, 8, 10, 11)、POECMPFR.CnFLAGフラグ (n=0~3)のうち、どれか1つでも“1”になったときに、PD6のMTIOC9C/GTIOC3B端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR7.MTU9CZEビットを“0”にしてください。POECR7.MTU9CZEビットが“1”の場合、このビットの設定は無視されます。

MTU9DME ビット (MTIOC9D (PE1) 端子ポートモードマスク許可ビット)

ICSR7.POE12Fフラグ、SPOER.MTUCH9HIZビット、ICSR6.OSTSTFフラグ (ICSR6.OSTSTEビット=1のとき)、POECR8レジスタで追加選択したICSRn.POEmFフラグ (n=1~5, m=0, 4, 8, 10, 11)、POECMPFR.CnFLAGフラグ (n=0~3)のうち、どれか1つでも“1”になったときに、PE1のMTIOC9D端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR7.MTU9DZEビットを“0”にしてください。POECR7.MTU9DZEビットが“1”の場合、このビットの設定は無視されます。

MTU9A1ME ビット (MTIOC9A (P21) 端子ポートモードマスク許可ビット)

ICSR7.POE12Fフラグ、SPOER.MTUCH9HIZビット、ICSR6.OSTSTFフラグ (ICSR6.OSTSTEビット=1のとき)、POECR8レジスタで追加選択したICSRn.POEmFフラグ (n=1~5, m=0, 4, 8, 10, 11)、POECMPFR.CnFLAGフラグ (n=0~3)のうち、どれか1つでも“1”になったときに、P21のMTIOC9A端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR7.MTU9A1ZEビットを“0”にしてください。POECR7.MTU9A1ZEビットが“1”の場合、このビットの設定は無視されます。

MTU9B1ME ビット (MTIOC9B (P10) 端子ポートモードマスク許可ビット)

ICSR7.POE12Fフラグ、SPOER.MTUCH9HIZビット、ICSR6.OSTSTFフラグ (ICSR6.OSTSTEビット=1のとき)、POECR8レジスタで追加選択したICSRn.POEmFフラグ (n=1~5, m=0, 4, 8, 10, 11)、POECMPFR.CnFLAGフラグ (n=0~3)のうち、どれか1つでも“1”になったときに、P10のMTIOC9B端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR7.MTU9B1ZEビットを“0”にしてください。POECR7.MTU9B1ZEビットが“1”の場合、このビットの設定は無視されます。

MTU9C1ME ビット (MTIOC9C (P20) 端子ポートモードマスク許可ビット)

ICSR7.POE12Fフラグ、SPOER.MTUCH9HIZビット、ICSR6.OSTSTFフラグ (ICSR6.OSTSTEビット=1のとき)、POECR8レジスタで追加選択したICSRn.POEmFフラグ (n=1~5, m=0, 4, 8, 10, 11)、POECMPFR.CnFLAGフラグ (n=0~3)のうち、どれか1つでも“1”になったときに、P20のMTIOC9C端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR7.MTU9C1ZEビットを“0”にしてください。POECR7.MTU9C1ZEビットが“1”の場合、このビットの設定は無視されます。

MTU9D1ME ビット (MTIOC9D (P02) 端子ポートモードマスク許可ビット)

ICSR7.POE12Fフラグ、SPOER.MTUCH9HIZビット、ICSR6.OSTSTFフラグ (ICSR6.OSTSTEビット=1のとき)、POECR8レジスタで追加選択したICSRn.POEmFフラグ (n=1~5, m=0, 4, 8, 10, 11)、POECMPFR.CnFLAGフラグ (n=0~3)のうち、どれか1つでも“1”になったときに、P02のMTIOC9D端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR7.MTU9D1ZEビットを“0”にしてください。POECR7.MTU9D1ZEビットが“1”の場合、このビットの設定は無視されます。

21.2.25 ポートアウトプットイネーブルコンパレータ出力検出フラグレジスタ (POECMPFR)

アドレス 0008 C4E6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	C3FLAG	C2FLAG	C1FLAG	C0FLAG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C0FLAG	コンパレータチャンネル0出力検出フラグ	0: コンパレータ出力を検出していない 1: コンパレータ出力を検出した	R/(W) (注1)
b1	C1FLAG	コンパレータチャンネル1出力検出フラグ	0: コンパレータ出力を検出していない 1: コンパレータ出力を検出した	R/(W) (注1)
b2	C2FLAG	コンパレータチャンネル2出力検出フラグ	0: コンパレータ出力を検出していない 1: コンパレータ出力を検出した	R/(W) (注1)
b3	C3FLAG	コンパレータチャンネル3出力検出フラグ	0: コンパレータ出力を検出していない 1: コンパレータ出力を検出した	R/(W) (注1)
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

CnFLAG フラグ (コンパレータチャンネル n 出力検出フラグ) (n = 0 ~ 3)

各コンパレータ出力の検出 / 未検出状態を示すフラグです。

["1"]になる条件]

- コンパレータ出力の Low から High への変化を検知したとき
 - コンパレータが正転出力の場合: 基準電圧よりも低い入力電圧から高い入力電圧への変化
 - コンパレータが反転出力の場合: 基準電圧よりも高い入力電圧から低い入力電圧への変化

["0"]になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

21.2.26 ポートアウトプットイネーブルコンパレータ要求選択レジスタ (POECMPSEL)

アドレス 0008 C4E8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	POERE Q3	POERE Q2	POERE Q1	POERE Q0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POEREQ0	コンパレータチャンネル0 出力停止許可ビット	0 : コンパレータ出力検出時の出力停止要求を禁止 1 : コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b1	POEREQ1	コンパレータチャンネル1 出力停止許可ビット	0 : コンパレータ出力検出時の出力停止要求を禁止 1 : コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b2	POEREQ2	コンパレータチャンネル2 出力停止許可ビット	0 : コンパレータ出力検出時の出力停止要求を禁止 1 : コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b3	POEREQ3	コンパレータチャンネル3 出力停止許可ビット	0 : コンパレータ出力検出時の出力停止要求を禁止 1 : コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECMPSEL レジスタはコンパレータ出力検出フラグを出力停止制御条件として使用するために設定するレジスタです。

POEREQn ビット (コンパレータチャンネル n 出力停止許可ビット) (n = 0 ~ 3)

各コンパレータ出力の検出による出力停止要求の生成を禁止 / 許可します。いずれかのコンパレータ出力を検出したとき、出力停止要求を生成します。

21.2.27 ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ m (POECMPEXm) (m = 0 ~ 2, 4, 5)

アドレス POE.POECMPEX0 0008 C4F8h, POE.POECMPEX1 0008 C4F9h, POE.POECMPEX2 0008 C4FAh,
POE.POECMPEX4 0008 C4FCh, POE.POECMPEX5 0008 C4FDh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	POERE Q3	POERE Q2	POERE Q1	POERE Q0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POEREQ0	コンパレータチャンネル0 出力停止許可ビット	0 : コンパレータ出力検出時の出力停止要求を禁止 1 : コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b1	POEREQ1	コンパレータチャンネル1 出力停止許可ビット	0 : コンパレータ出力検出時の出力停止要求を禁止 1 : コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b2	POEREQ2	コンパレータチャンネル2 出力停止許可ビット	0 : コンパレータ出力検出時の出力停止要求を禁止 1 : コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b3	POEREQ3	コンパレータチャンネル3 出力停止許可ビット	0 : コンパレータ出力検出時の出力停止要求を禁止 1 : コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECMPEXm レジスタはコンパレータ出力検出フラグを出力停止制御条件として使用するために設定するレジスタで、チップバージョン B にのみあります。POECMPSEL レジスタが全端子一括で条件を選択するのにに対し、POECMPEXm レジスタでは出力端子グループごとに条件が選択できます。表 21.4 に出力端子グループと対応する POECMPEXm レジスタを示します。

表 21.4 出力端子グループと対応する POECMPEXm レジスタ

出力端子グループ	対応する POECMPEXm レジスタ	対応する CFLAG 追加ビット
MTU3, MTU4, GPT0 ~ GPT2 (P71 ~ P76)	POECMPEX0	POECR4.CMADDMT34ZE
MTU6, MTU7 (P90 ~ P95)	POECMPEX1	POECR4.CMADDMT67ZE
MTU0 (PB0 ~ PB3, P30, P31)	POECMPEX2	POECR5.CMADDMT0ZE
GPT0 ~ GPT3 (PB5 ~ PB7, PD0 ~ PD2, PD6, PD7)	POECMPEX4	POECR6.CMADDMT03ZE
MTU9 (P02, P10, P20, P21, PD6, PD7, PE0, PE1)	POECMPEX5	POECR8.CMADDMT9ZE

POEREQn ビット (コンパレータチャンネル n 出力停止許可ビット) (n = 0 ~ 3)

各コンパレータ出力の検出による出力停止要求の生成を禁止 / 許可します。いずれかのコンパレータ出力を検出したとき、出力停止要求を生成します。

21.3 動作説明

以下に出力停止制御の対象になる端子と条件を示します。

(1) MTU3 端子または GPT0 端子 P71、P74 (MTIOC3B/GTIOC0A, MTIOC3D/GTIOC0B)

POECR2.MTU3BDZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU3BDZE ビットが“0”、PMMCR1.MTU3BME ビット、MTU3DME ビット(注1)が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE0# 端子の入力レベル検出動作
ICSR1.POE0F フラグが“1”になったとき
- MTIOC3B/GTIOC0A 端子と MTIOC3D/GTIOC0B 端子の出力レベル比較動作
OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC2ADDMT34ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT34ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
POECR4.IC6ADDMT34ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ0 ビット(注1)または POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ1 ビット(注1)または POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ2 ビット(注1)または POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ3 ビット(注1)または POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

注1. PMMCR1、POECMPEX0 レジスタはチップバージョン B にのみあります。

(2) MTU4 端子または GPT1 端子 P72、P75 (MTIOC4A/GTIOC1A, MTIOC4C/GTIOC1B)

POECR2.MTU4ACZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU4ACZE ビットが“0”、PMMCR1.MTU4AME ビット、MTU4CME ビット(注1)が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE0# 端子の入力レベル検出動作
ICSR1.POE0F フラグが“1”になったとき

- MTIOC4A/GTIOC1A 端子と MTIOC4C/GTIOC1B 端子の出力レベル比較動作
OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC2ADDMT34ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT34ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
POECR4.IC6ADDMT34ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ0 ビット (注1) または POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ1 ビット (注1) または POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ2 ビット (注1) または POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ3 ビット (注1) または POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

注 1. PMMCR1、POECMPEX0 レジスタはチップバージョン B にのみあります。

(3) MTU4 端子または GPT2 端子 P73、P76 (MTIOC4B/GTIOC2A, MTIOC4D/GTIOC2B)

POECR2.MTU4BDZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU4BDZE ビットが“0”、PMMCR1.MTU4BME ビット、MTU4DME ビット (注1) が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE0# 端子の入力レベル検出動作
ICSR1.POE0F フラグが“1”になったとき
- MTIOC4B/GTIOC2A 端子と MTIOC4D/GTIOC2B 端子の出力レベル比較動作
OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC2ADDMT34ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき

POECR4.IC5ADDMT34ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき

POECR4.IC6ADDMT34ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき

- コンパレータ出力検出

POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ0 ビット (注1) または POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき

POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ1 ビット (注1) または POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき

POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ2 ビット (注1) または POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき

POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ3 ビット (注1) または POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

注 1. PMMCR1、POECMPEX0 レジスタはチップバージョン B にのみあります。

(4) MTU6 端子 (MTIOC6B, MTIOC6D)

POECR2.MTU6BDZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU6BDZE ビットが“0”、PMMCR1.MTU6BME ビット、MTU6DME ビット (注1) が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE4# 端子の入力レベル検出動作

ICSR2.POE4F フラグが“1”になったとき

- MTIOC6B 端子と MTIOC6D 端子の出力レベル比較動作

OCSR2.OCE2 ビットが“1”の状態、OCSR2.OSF2 フラグが“1”になったとき

- SPOER レジスタ設定

SPOER.MTUCH67HIZ ビットを“1”にしたとき

- POECR4 レジスタで追加された条件

POECR4.IC1ADDMT67ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき

POECR4.IC3ADDMT67ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき

POECR4.IC4ADDMT67ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき

POECR4.IC5ADDMT67ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき

POECR4.IC6ADDMT67ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき

- コンパレータ出力検出

POECR4.CMADDMT67ZE ビットが“1”、かつ POECMPEX1.POEREQ0 ビット (注1) または POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき

POECR4.CMADDMT67ZE ビットが“1”、かつ POECMPEX1.POEREQ1 ビット (注1) または POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき

POECR4.CMADDMT67ZE ビットが“1”、かつ POECMPEX1.POEREQ2 ビット (注1) または

POECMPSEL.POEREQ2ビットが“1”の状態、POECMPFR.C2FLAGフラグが“1”になったとき
 POECR4.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ3ビット(注1)または
 POECMPSEL.POEREQ3ビットが“1”の状態、POECMPFR.C3FLAGフラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTEビットが“1”の状態、ICSR6.OSTSTFフラグが“1”になったとき

注1. PMMCR1、POECMPEX1レジスタはチップバージョンBにのみあります。

(5) MTU7 端子 (MTIOC7A, MTIOC7C)

POECR2.MTU7ACZEビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU7ACZEビットが“0”、PMMCR1.MTU7AMEビット、MTU7CMEビット(注1)が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE4# 端子の入力レベル検出動作

ICSR2.POE4Fフラグが“1”になったとき

- MTIOC7A 端子と MTIOC7C 端子の出力レベル比較動作

OCSR2.OCE2ビットが“1”の状態、OCSR2.OSF2フラグが“1”になったとき

- SPOER レジスタ設定

SPOER.MTUCH67HIZビットを“1”にしたとき

- POECR4 レジスタで追加された条件

POECR4.IC1ADDMT67ZEビットが“1”の状態、ICSR1.POE0Fフラグが“1”になったとき

POECR4.IC3ADDMT67ZEビットとICSR3.POE8Eビットが“1”の状態、ICSR3.POE8Fフラグが“1”になったとき

POECR4.IC4ADDMT67ZEビットとICSR4.POE10Eビットが“1”の状態、ICSR4.POE10Fフラグが“1”になったとき

POECR4.IC5ADDMT67ZEビットとICSR5.POE11Eビットが“1”の状態、ICSR5.POE11Fフラグが“1”になったとき

POECR4.IC6ADDMT67ZEビットとICSR7.POE12Eビットが“1”の状態、ICSR7.POE12Fフラグが“1”になったとき

- コンパレータ出力検出

POECR4.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ0ビット(注1)または
 POECMPSEL.POEREQ0ビットが“1”の状態、POECMPFR.C0FLAGフラグが“1”になったとき

POECR4.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ1ビット(注1)または
 POECMPSEL.POEREQ1ビットが“1”の状態、POECMPFR.C1FLAGフラグが“1”になったとき

POECR4.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ2ビット(注1)または
 POECMPSEL.POEREQ2ビットが“1”の状態、POECMPFR.C2FLAGフラグが“1”になったとき

POECR4.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ3ビット(注1)または
 POECMPSEL.POEREQ3ビットが“1”の状態、POECMPFR.C3FLAGフラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTEビットが“1”の状態、ICSR6.OSTSTFフラグが“1”になったとき

注1. PMMCR1、POECMPEX1レジスタはチップバージョンBにのみあります。

(6) MTU7 端子 (MTIOC7B, MTIOC7D)

POECR2.MTU7BDZEビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイイン

ピーダンスにします。また、POECR2.MTU7BDZE ビットが“0”、PMMCR1.MTU7BME ビット、MTU7DME ビット(注1)が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE4# 端子の入力レベル検出動作
ICSR2.POE4F フラグが“1”になったとき
- MTIOC7B 端子と MTIOC7D 端子の出力レベル比較動作
OCSR2.OCE2 ビットが“1”の状態、OCSR2.OSF2 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH67HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC1ADDMT67ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR4.IC3ADDMT67ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT67ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT67ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
POECR4.IC6ADDMT67ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR4.CMADDMT67ZE ビットが“1”、かつ POECMPEX1.POEREQ0 ビット(注1)または POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR4.CMADDMT67ZE ビットが“1”、かつ POECMPEX1.POEREQ1 ビット(注1)または POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR4.CMADDMT67ZE ビットが“1”、かつ POECMPEX1.POEREQ2 ビット(注1)または POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
POECR4.CMADDMT67ZE ビットが“1”、かつ POECMPEX1.POEREQ3 ビット(注1)または POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

注1. PMMCR1、POECMPEX1 レジスタはチップバージョン B にのみあります。

(7) MTU0 端子 PB3 (MTIOC0A)

POECR1.MTU0AZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0AZE ビットが“0”、PMMCR1.MTU0AME ビット(注1)が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE8# 端子の入力レベル検出動作
ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH0HIZ ビットを“1”にしたとき
- POECR5 レジスタで追加された条件
POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR5.IC2ADDMT0ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”に

なったとき

POECR5.IC5ADDMT0ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき

POECR5.IC6ADDMT0ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき

- コンパレータ出力検出

POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ0 ビット (注1) または POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき

POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ1 ビット (注1) または POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき

POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ2 ビット (注1) または POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき

POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ3 ビット (注1) または POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

注1. PMMCR1、POECMPEX2 レジスタはチップバージョン B にのみあります。

(8) MTU0 端子 P31 (MTIOC0A)

POECR1.MTU0A1ZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0A1ZE ビットが“0”、PMMCR1.MTU0A1ME ビット (注1) が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE8# 端子の入力レベル検出動作

ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき

- SPOER レジスタ設定

SPOER.MTUCH0HIZ ビットを“1”にしたとき

- POECR5 レジスタで追加された条件

POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき

POECR5.IC2ADDMT0ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき

POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき

POECR5.IC5ADDMT0ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき

POECR5.IC6ADDMT0ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき

- コンパレータ出力検出

POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ0 ビット (注1) または POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき

POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ1 ビット (注1) または POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき

POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ2 ビット (注1) または POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき

POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ3 ビット (注1) または POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき

- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

注 1. PMMCR1、POECMPEX2 レジスタはチップバージョン B にのみあります。

(9) MTU0 端子 PB2 (MTIOC0B)

POECR1.MTU0BZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0BZE ビットが“0”、PMMCR1.MTU0BME ビット(注1)が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE8# 端子の入力レベル検出動作
ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH0HIZ ビットを“1”にしたとき
- POECR5 レジスタで追加された条件
POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR5.IC2ADDMT0ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR5.IC5ADDMT0ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
POECR5.IC6ADDMT0ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ0 ビット(注1)または POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ1 ビット(注1)または POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ2 ビット(注1)または POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ3 ビット(注1)または POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

注 1. PMMCR1、POECMPEX2 レジスタはチップバージョン B にのみあります。

(10) MTU0 端子 P30 (MTIOC0B)

POECR1.MTU0B1ZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0B1ZE ビットが“0”、PMMCR1.MTU0B1ME ビット(注1)が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE8# 端子の入力レベル検出動作
ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH0HIZ ビットを“1”にしたとき
- POECR5 レジスタで追加された条件

POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
 POECR5.IC2ADDMT0ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
 POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
 POECR5.IC5ADDMT0ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
 POECR5.IC6ADDMT0ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき

- コンパレータ出力検出

POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ0 ビット (注1) または POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
 POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ1 ビット (注1) または POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
 POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ2 ビット (注1) または POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
 POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ3 ビット (注1) または POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

注 1. PMMCR1、POECMPEX2 レジスタはチップバージョン B にのみあります。

(11) MTU0 端子 (MTIOC0C)

POECR1.MTU0CZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0CZE ビットが“0”、PMMCR1.MTU0CME ビット (注1) が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE8# 端子の入力レベル検出動作

ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき

- SPOER レジスタ設定

SPOER.MTUCH0HIZ ビットを“1”にしたとき

- POECR5 レジスタで追加された条件

POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
 POECR5.IC2ADDMT0ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
 POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
 POECR5.IC5ADDMT0ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
 POECR5.IC6ADDMT0ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき

- コンパレータ出力検出

POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ0 ビット (注1) または POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
 POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ1 ビット (注1) または POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
 POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ2 ビット (注1) または

POECMPSEL.POEREQ2ビットが“1”の状態、POECMPFR.C2FLAGフラグが“1”になったとき
 POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ3ビット(注1)または
 POECMPSEL.POEREQ3ビットが“1”の状態、POECMPFR.C3FLAGフラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTEビットが“1”の状態、ICSR6.OSTSTFフラグが“1”になったとき

注1. PMMCR1、POECMPEX2レジスタはチップバージョンBにのみあります。

(12) MTU0 端子 (MTIOC0D)

POECR1.MTU0DZEビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0DZEビットが“0”、PMMCR1.MTU0DMEビット(注1)が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE8# 端子の入力レベル検出動作

ICSR3.POE8Eビットが“1”の状態、ICSR3.POE8Fフラグが“1”になったとき

- SPOERレジスタ設定

SPOER.MTUCH0HIZビットを“1”にしたとき

- POECR5レジスタで追加された条件

POECR5.IC1ADDMT0ZEビットが“1”の状態、ICSR1.POE0Fフラグが“1”になったとき

POECR5.IC2ADDMT0ZEビットが“1”の状態、ICSR2.POE4Fフラグが“1”になったとき

POECR5.IC4ADDMT0ZEビットとICSR4.POE10Eビットが“1”の状態、ICSR4.POE10Fフラグが“1”になったとき

POECR5.IC5ADDMT0ZEビットとICSR5.POE11Eビットが“1”の状態、ICSR5.POE11Fフラグが“1”になったとき

POECR5.IC6ADDMT0ZEビットとICSR7.POE12Eビットが“1”の状態、ICSR7.POE12Fフラグが“1”になったとき

- コンパレータ出力検出

POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ0ビット(注1)または
 POECMPSEL.POEREQ0ビットが“1”の状態、POECMPFR.C0FLAGフラグが“1”になったとき

POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ1ビット(注1)または

POECMPSEL.POEREQ1ビットが“1”の状態、POECMPFR.C1FLAGフラグが“1”になったとき

POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ2ビット(注1)または

POECMPSEL.POEREQ2ビットが“1”の状態、POECMPFR.C2FLAGフラグが“1”になったとき

POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ3ビット(注1)または

POECMPSEL.POEREQ3ビットが“1”の状態、POECMPFR.C3FLAGフラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTEビットが“1”の状態、ICSR6.OSTSTFフラグが“1”になったとき

注1. PMMCR1、POECMPEX2レジスタはチップバージョンBにのみあります。

(13) MTU9 端子 PD7 (MTIOC9A)

POECR7.MTU9AZEビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR7.MTU9AZEビットが“0”、PMMCR3.MTU9AMEビット(注1)が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE12# 端子の入力レベル検出動作

ICSR7.POE12Eビットが“1”の状態、ICSR7.POE12Fフラグが“1”になったとき

- SPOER レジスタ設定
SPOER.MTUCH9HIZ ビットを“1”にしたとき
- POE8 レジスタで追加された条件
POE8.IC1ADDMT9ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POE8.IC2ADDMT9ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POE8.IC3ADDMT9ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POE8.IC4ADDMT9ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POE8.IC5ADDMT9ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- コンパレータ出力検出
POE8.CMADDMT9ZE ビットが“1”、かつ POECMP5X.POEREQ0 ビット (注1) または POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POE8.CMADDMT9ZE ビットが“1”、かつ POECMP5X.POEREQ1 ビット (注1) または POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POE8.CMADDMT9ZE ビットが“1”、かつ POECMP5X.POEREQ2 ビット (注1) または POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
POE8.CMADDMT9ZE ビットが“1”、かつ POECMP5X.POEREQ3 ビット (注1) または POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

注 1. PMMCR3、POECMP5X レジスタはチップバージョン B にのみあります。

(14) MTU9 端子 P21 (MTIOC9A)

POE7.MTU9A1ZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POE7.MTU9A1ZE ビットが“0”、PMMCR3.MTU9A1ME ビット (注1) が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE12# 端子の入力レベル検出動作
ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH9HIZ ビットを“1”にしたとき
- POE8 レジスタで追加された条件
POE8.IC1ADDMT9ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POE8.IC2ADDMT9ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POE8.IC3ADDMT9ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POE8.IC4ADDMT9ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POE8.IC5ADDMT9ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- コンパレータ出力検出
POE8.CMADDMT9ZE ビットが“1”、かつ POECMP5X.POEREQ0 ビット (注1) または POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき

POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ1 ビット (注1) または POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
 POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ2 ビット (注1) または POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
 POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ3 ビット (注1) または POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

注 1. PMMCR3、POECMPEX5 レジスタはチップバージョン B にのみあります。

(15) MTU9 端子 PE0 (MTIOC9B)

POECR7.MTU9BZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR7.MTU9BZE ビットが“0”、PMMCR3.MTU9BME ビット (注1) が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE12# 端子の入力レベル検出動作

ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき

- SPOER レジスタ設定

SPOER.MTUCH9HIZ ビットを“1”にしたとき

- POECR8 レジスタで追加された条件

POECR8.IC1ADDMT9ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき

POECR8.IC2ADDMT9ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき

POECR8.IC3ADDMT9ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき

POECR8.IC4ADDMT9ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき

POECR8.IC5ADDMT9ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき

- コンパレータ出力検出

POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ0 ビット (注1) または POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき

POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ1 ビット (注1) または POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき

POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ2 ビット (注1) または POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき

POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ3 ビット (注1) または POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

注 1. PMMCR3、POECMPEX5 レジスタはチップバージョン B にのみあります。

(16) MTU9 端子 P10 (MTIOC9B)

POECR7.MTU9B1ZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR7.MTU9B1ZE ビットが“0”、PMMCR3.MTU9B1ME ビット (注1) が“1”

の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE12# 端子の入力レベル検出動作
ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH9HIZ ビットを“1”にしたとき
- POE8 レジスタで追加された条件
POE8.IC1ADDMT9ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POE8.IC2ADDMT9ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POE8.IC3ADDMT9ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POE8.IC4ADDMT9ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POE8.IC5ADDMT9ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- コンパレータ出力検出
POE8.CMADDMT9ZE ビットが“1”、かつ POE8.MPEX5.POEREQ0 ビット (注1) または POE8.MPSEL.POEREQ0 ビットが“1”の状態、POE8.MPFR.C0FLAG フラグが“1”になったとき
POE8.CMADDMT9ZE ビットが“1”、かつ POE8.MPEX5.POEREQ1 ビット (注1) または POE8.MPSEL.POEREQ1 ビットが“1”の状態、POE8.MPFR.C1FLAG フラグが“1”になったとき
POE8.CMADDMT9ZE ビットが“1”、かつ POE8.MPEX5.POEREQ2 ビット (注1) または POE8.MPSEL.POEREQ2 ビットが“1”の状態、POE8.MPFR.C2FLAG フラグが“1”になったとき
POE8.CMADDMT9ZE ビットが“1”、かつ POE8.MPEX5.POEREQ3 ビット (注1) または POE8.MPSEL.POEREQ3 ビットが“1”の状態、POE8.MPFR.C3FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

注 1. PMMCR3、POE8.MPEX5 レジスタはチップバージョン B にのみあります。

(17) MTU9 端子 PD6 (MTIOC9C)

POE7.MTU9CZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POE7.MTU9CZE ビットが“0”、PMMCR3.MTU9CME ビット (注1) が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE12# 端子の入力レベル検出動作
ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH9HIZ ビットを“1”にしたとき
- POE8 レジスタで追加された条件
POE8.IC1ADDMT9ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POE8.IC2ADDMT9ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POE8.IC3ADDMT9ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POE8.IC4ADDMT9ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POE8.IC5ADDMT9ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき

- コンパレータ出力検出
POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ0 ビット (注1) または POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ1 ビット (注1) または POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ2 ビット (注1) または POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ3 ビット (注1) または POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

注 1. PMMCR3、POECMPEX5 レジスタはチップバージョン B にのみあります。

(18) MTU9 端子 P20 (MTIOC9C)

POECR7.MTU9C1ZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR7.MTU9C1ZE ビットが“0”、PMMCR3.MTU9C1ME ビット (注1) が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE12# 端子の入力レベル検出動作
ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH9HIZ ビットを“1”にしたとき
- POECR8 レジスタで追加された条件
POECR8.IC1ADDMT9ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR8.IC2ADDMT9ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR8.IC3ADDMT9ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR8.IC4ADDMT9ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR8.IC5ADDMT9ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- コンパレータ出力検出
POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ0 ビット (注1) または POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ1 ビット (注1) または POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ2 ビット (注1) または POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ3 ビット (注1) または POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

注 1. PMMCR3、POECMPEX5 レジスタはチップバージョン B にのみあります。

(19) MTU9 端子 PE1 (MTIOC9D)

POECR7.MTU9DZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR7.MTU9DZE ビットが“0”、PMMCR3.MTU9DME ビット(注1)が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE12# 端子の入力レベル検出動作
ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH9HIZ ビットを“1”にしたとき
- POECR8 レジスタで追加された条件
POECR8.IC1ADDMT9ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR8.IC2ADDMT9ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR8.IC3ADDMT9ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR8.IC4ADDMT9ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR8.IC5ADDMT9ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- コンパレータ出力検出
POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ0 ビット(注1)または POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ1 ビット(注1)または POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ2 ビット(注1)または POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ3 ビット(注1)または POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

注 1. PMMCR3、POECMPEX5 レジスタはチップバージョン B にのみあります。

(20) MTU9 端子 P02 (MTIOC9D)

POECR7.MTU9D1ZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR7.MTU9D1ZE ビットが“0”、PMMCR3.MTU9D1ME ビット(注1)が“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE12# 端子の入力レベル検出動作
ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH9HIZ ビットを“1”にしたとき
- POECR8 レジスタで追加された条件
POECR8.IC1ADDMT9ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR8.IC2ADDMT9ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR8.IC3ADDMT9ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR8.IC4ADDMT9ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”に

なったとき

POECR8.IC5ADDMT9ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき

- コンパレータ出力検出

POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ0 ビット (注1) または POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき

POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ1 ビット (注1) または POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき

POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ2 ビット (注1) または POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき

POECR8.CMADDMT9ZE ビットが“1”、かつ POECMPEX5.POEREQ3 ビット (注1) または POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

注1. PMMCR3、POECMPEX5 レジスタはチップバージョン B にのみあります。

(21) GPT0 端子 PD2 (GTIOC0A) (チップバージョン B のみ)

POECR3.GPT0A1ZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT0A1ZE ビットが“0”、PMMCR2.GPT0A1ME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE11# 端子の入力レベル検出動作

ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき

- SPOER レジスタ設定

SPOER.GPT03HIZ ビットを“1”にしたとき

- POECR6 レジスタで追加された条件

POECR6.IC1ADDGPT03ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき

POECR6.IC2ADDGPT03ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき

POECR6.IC3ADDGPT03ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき

POECR6.IC4ADDGPT03ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき

POECR6.IC6ADDGPT03ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき

- コンパレータ出力検出

POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき

POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき

POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき

POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ3 ビットまたは POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(22) GPT0 端子 PD1 (GTIOC0B) (チップバージョン B のみ)

POECR3.GPT0B1ZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT0B1ZE ビットが“0”、PMMCR2.GPT0B1ME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE11# 端子の入力レベル検出動作
ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.GPT03HIZ ビットを“1”にしたとき
- POECR6 レジスタで追加された条件
POECR6.IC1ADDGPT03ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR6.IC2ADDGPT03ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR6.IC3ADDGPT03ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR6.IC4ADDGPT03ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR6.IC6ADDGPT03ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ3 ビットまたは POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(23) GPT1 端子 PD0 (GTIOC1A) (チップバージョン B のみ)

POECR3.GPT1A1ZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT1A1ZE ビットが“0”、PMMCR2.GPT1A1ME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE11# 端子の入力レベル検出動作
ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.GPT03HIZ ビットを“1”にしたとき
- POECR6 レジスタで追加された条件
POECR6.IC1ADDGPT03ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR6.IC2ADDGPT03ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR6.IC3ADDGPT03ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR6.IC4ADDGPT03ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき

POECR6.IC6ADDGPT03ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき

- コンパレータ出力検出
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ3 ビットまたは POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(24) GPT1 端子 PB7 (GTIOC1B) (チップバージョン B のみ)

POECR3.GPT1B1ZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT1B1ZE ビットが“0”、PMMCR2.GPT1B1ME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE11# 端子の入力レベル検出動作
ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.GPT03HIZ ビットを“1”にしたとき
- POECR6 レジスタで追加された条件
POECR6.IC1ADDGPT03ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR6.IC2ADDGPT03ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR6.IC3ADDGPT03ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR6.IC4ADDGPT03ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR6.IC6ADDGPT03ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ3 ビットまたは POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(25) GPT2 端子 PB6 (GTIOC2A) (チップバージョン B のみ)

POECR3.GPT2A1ZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピー

ダンスにします。また、POECR3.GPT2A1ZE ビットが“0”、PMMCR2.GPT2A1ME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE11# 端子の入力レベル検出動作
ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.GPT03HIZ ビットを“1”にしたとき
- POECR6 レジスタで追加された条件
POECR6.IC1ADDGPT03ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR6.IC2ADDGPT03ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR6.IC3ADDGPT03ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR6.IC4ADDGPT03ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR6.IC6ADDGPT03ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ3 ビットまたは POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(26) GPT2 端子 PB5 (GTIOC2B) (チップバージョン B のみ)

POECR3.GPT2B1ZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT2B1ZE ビットが“0”、PMMCR2.GPT2B1ME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE11# 端子の入力レベル検出動作
ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.GPT03HIZ ビットを“1”にしたとき
- POECR6 レジスタで追加された条件
POECR6.IC1ADDGPT03ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR6.IC2ADDGPT03ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR6.IC3ADDGPT03ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR6.IC4ADDGPT03ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR6.IC6ADDGPT03ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出

POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
 POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
 POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
 POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ3 ビットまたは POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(27) GPT3 端子 PD7 (GTIOC3A) (チップバージョン B のみ)

POECR3.GPT3A1ZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT3A1ZE ビットが“0”、PMMCR2.GPT3A1ME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE11# 端子の入力レベル検出動作

ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき

- SPOER レジスタ設定

SPOER.GPT03HIZ ビットを“1”にしたとき

- POECR6 レジスタで追加された条件

POECR6.IC1ADDGPT03ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき

POECR6.IC2ADDGPT03ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき

POECR6.IC3ADDGPT03ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき

POECR6.IC4ADDGPT03ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき

POECR6.IC6ADDGPT03ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき

- コンパレータ出力検出

POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき

POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき

POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき

POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ3 ビットまたは POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(28) GPT3 端子 PD6 (GTIOC3B) (チップバージョン B のみ)

POECR3.GPT3B1ZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT3B1ZE ビットが“0”、PMMCR2.GPT3B1ME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- POE11# 端子の入力レベル検出動作

ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき

- SPOER レジスタ設定
SPOER.GPT03HIZ ビットを“1”にしたとき
- POECR6 レジスタで追加された条件
POECR6.IC1ADDGPT03ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR6.IC2ADDGPT03ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR6.IC3ADDGPT03ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR6.IC4ADDGPT03ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR6.IC6ADDGPT03ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ0 ビットまたは
POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ1 ビットまたは
POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ2 ビットまたは
POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
POECR6.CMADDGPT03ZE ビットが“1”、かつ POECMPEX4.POEREQ3 ビットまたは
POECMPSEL.POEREQ3 ビットが“1”の状態、POECMPFR.C3FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

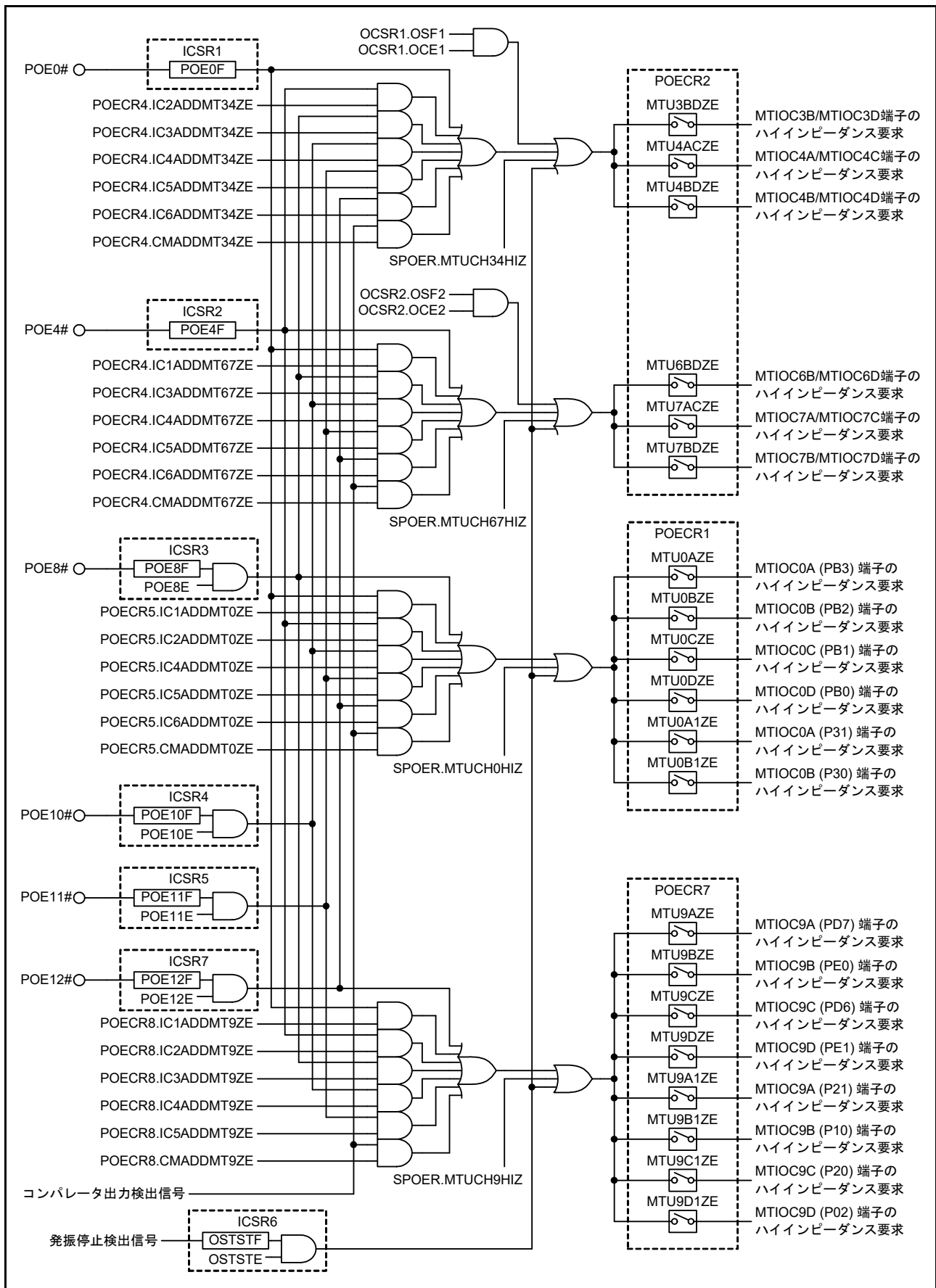


図 21.3 ハイインピーダンス制御の対象と条件 (チップバージョン A)

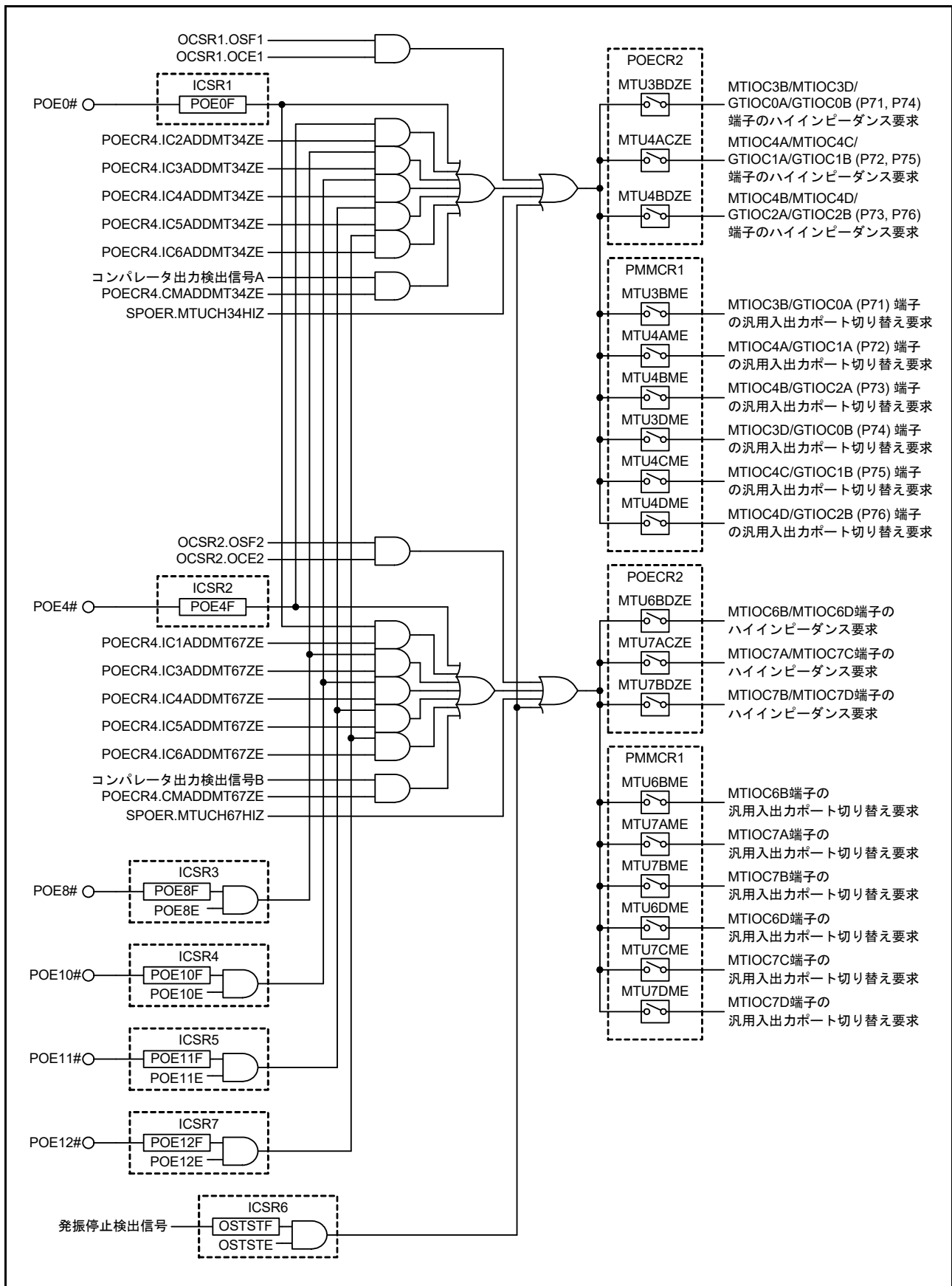


図 21.4 ハイインピーダンス制御の対象と条件 (チップバージョン B) (1)

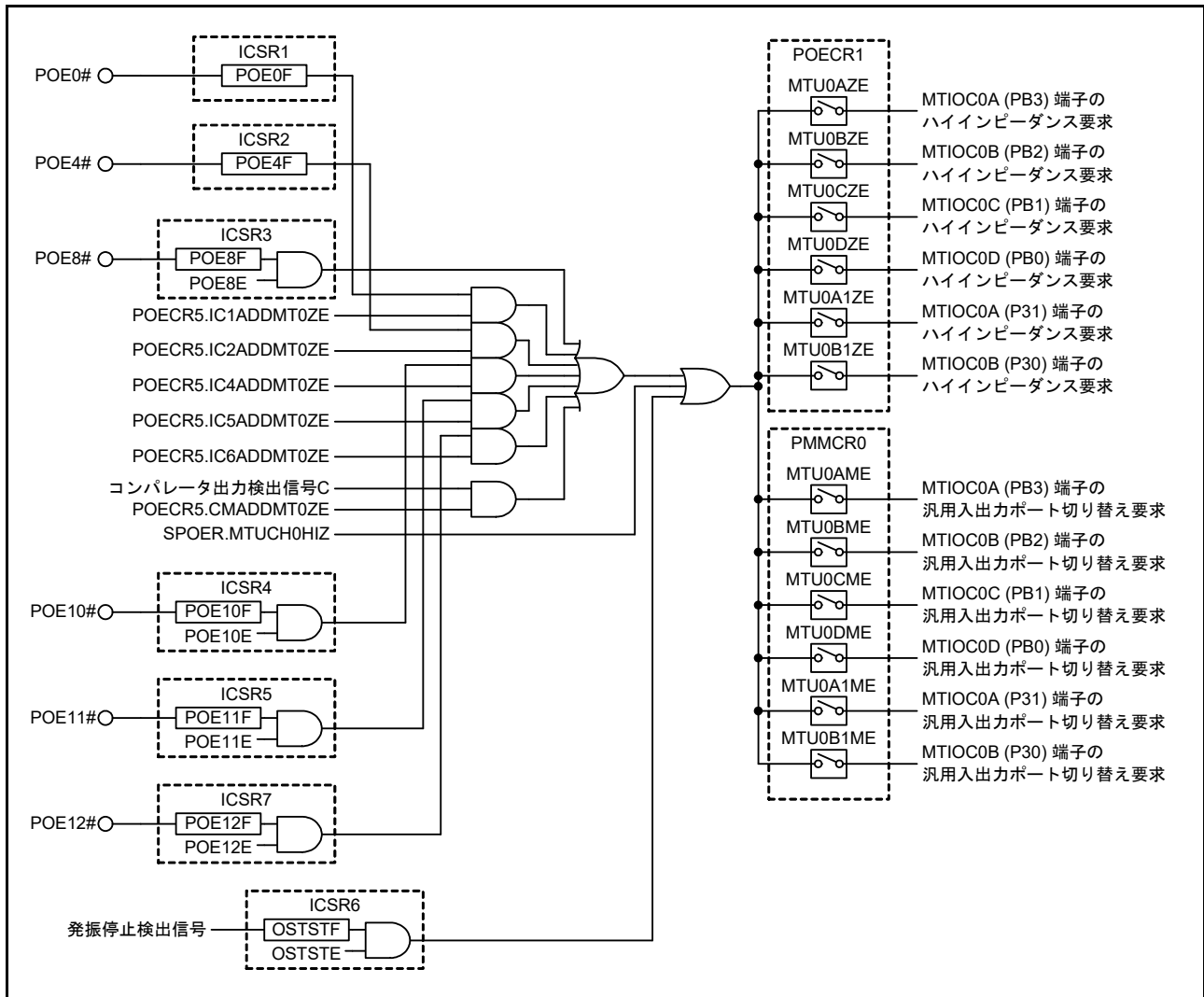


図 21.5 ハイインピーダンス制御の対象と条件 (チップバージョン B) (2)

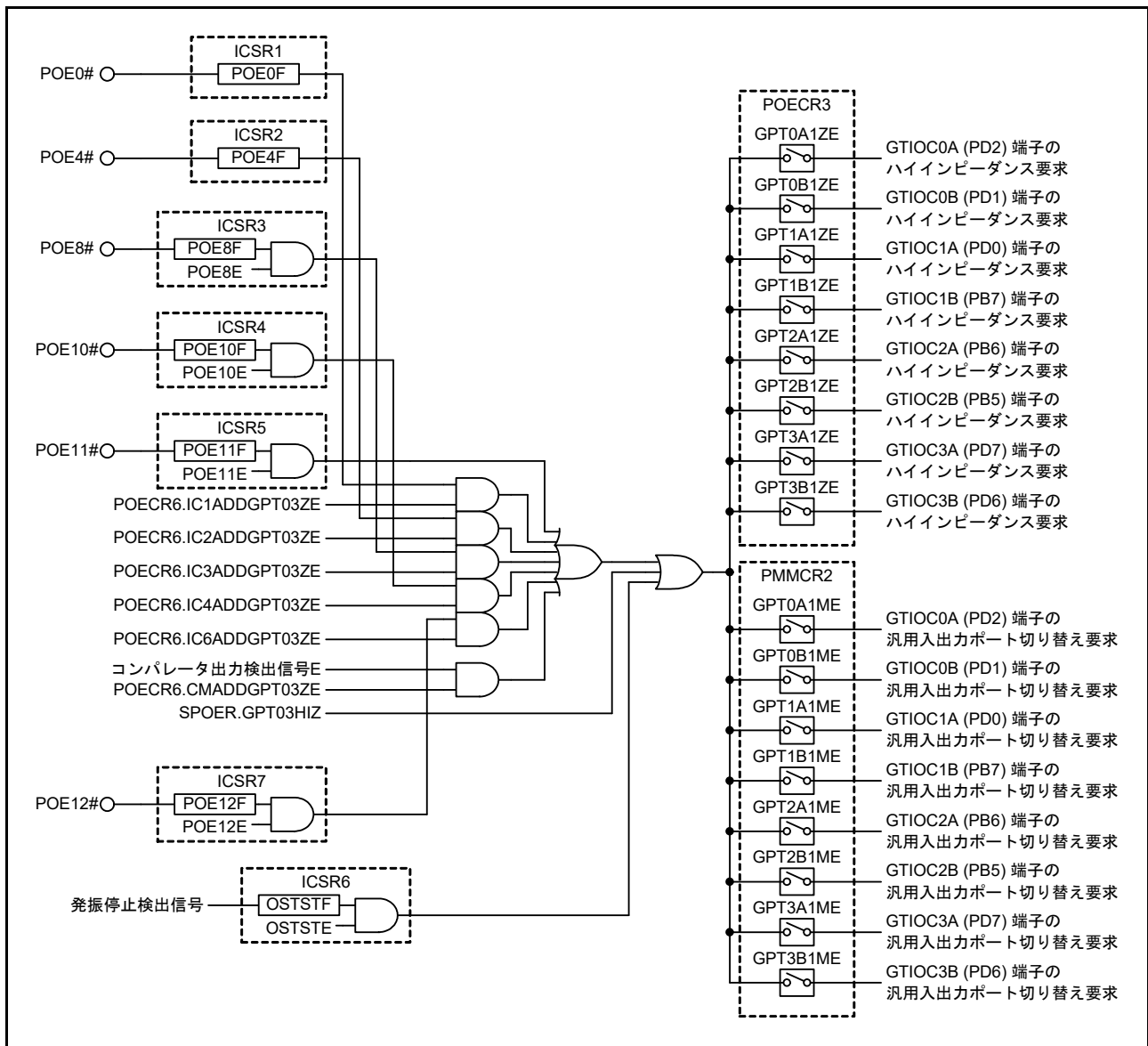


図 21.6 ハイインピーダンス制御の対象と条件 (チップバージョン B) (3)

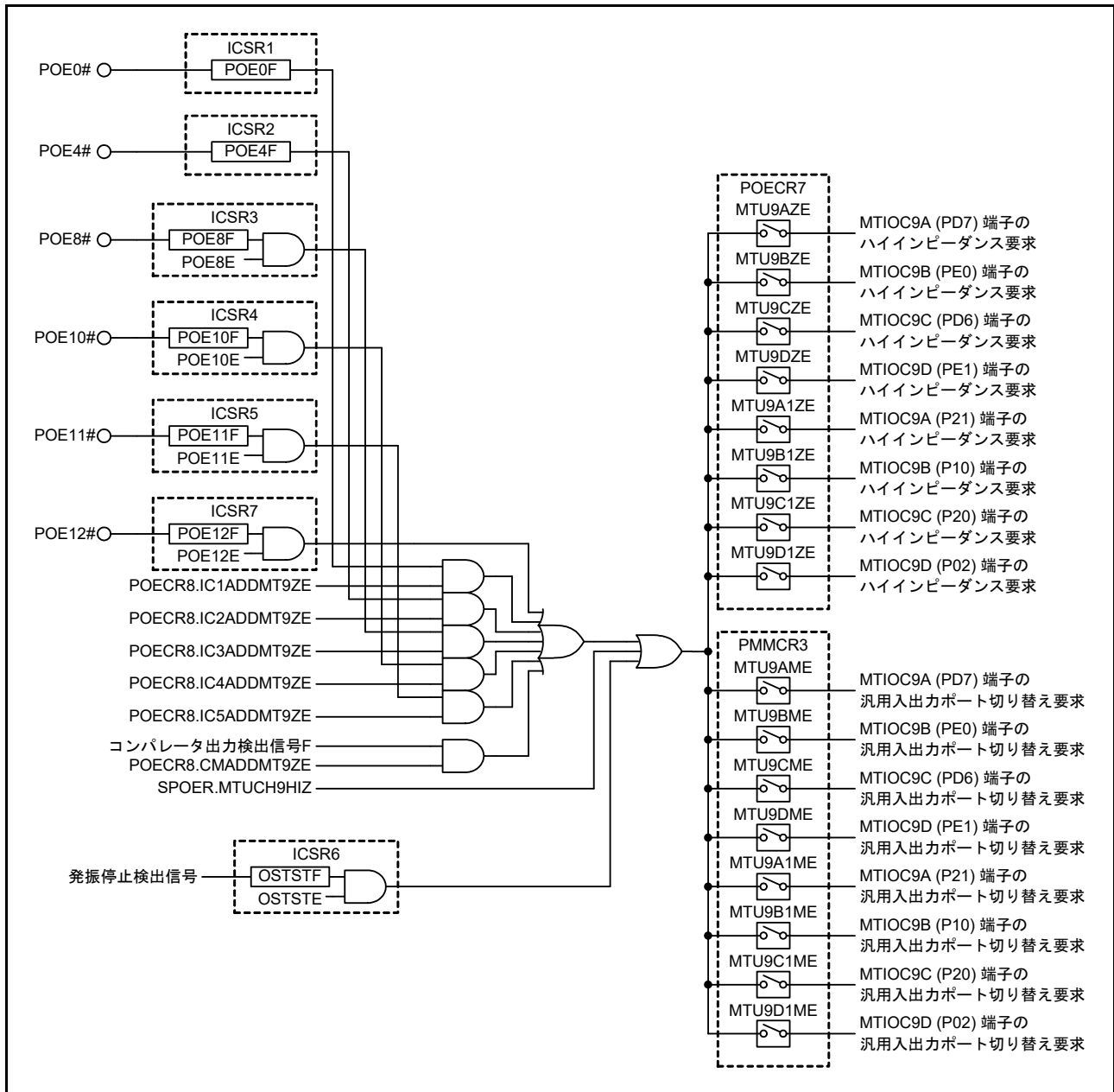


図 21.7 ハイインピーダンス制御の対象と条件 (チップバージョン B) (4)

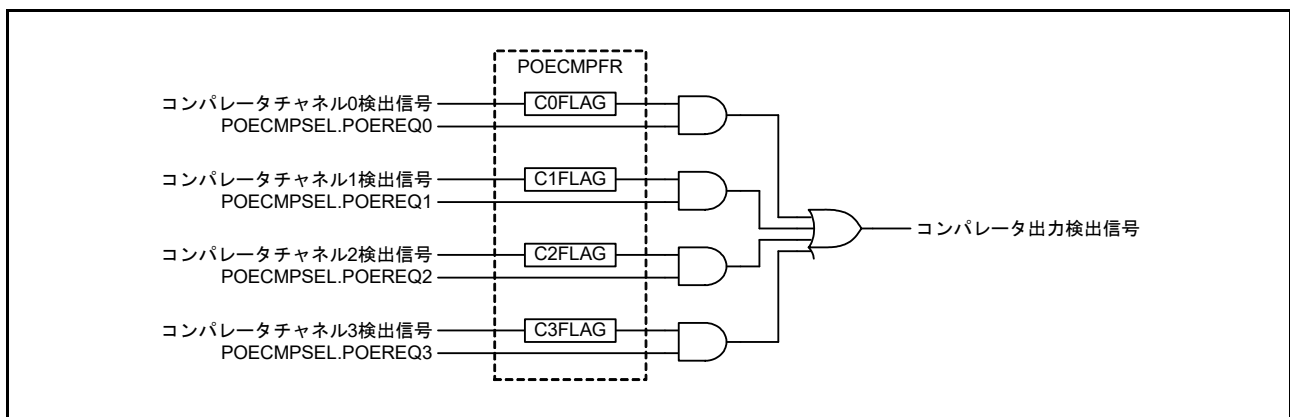


図 21.8 コンパレータ出力検出信号生成ブロック (チップバージョン A)

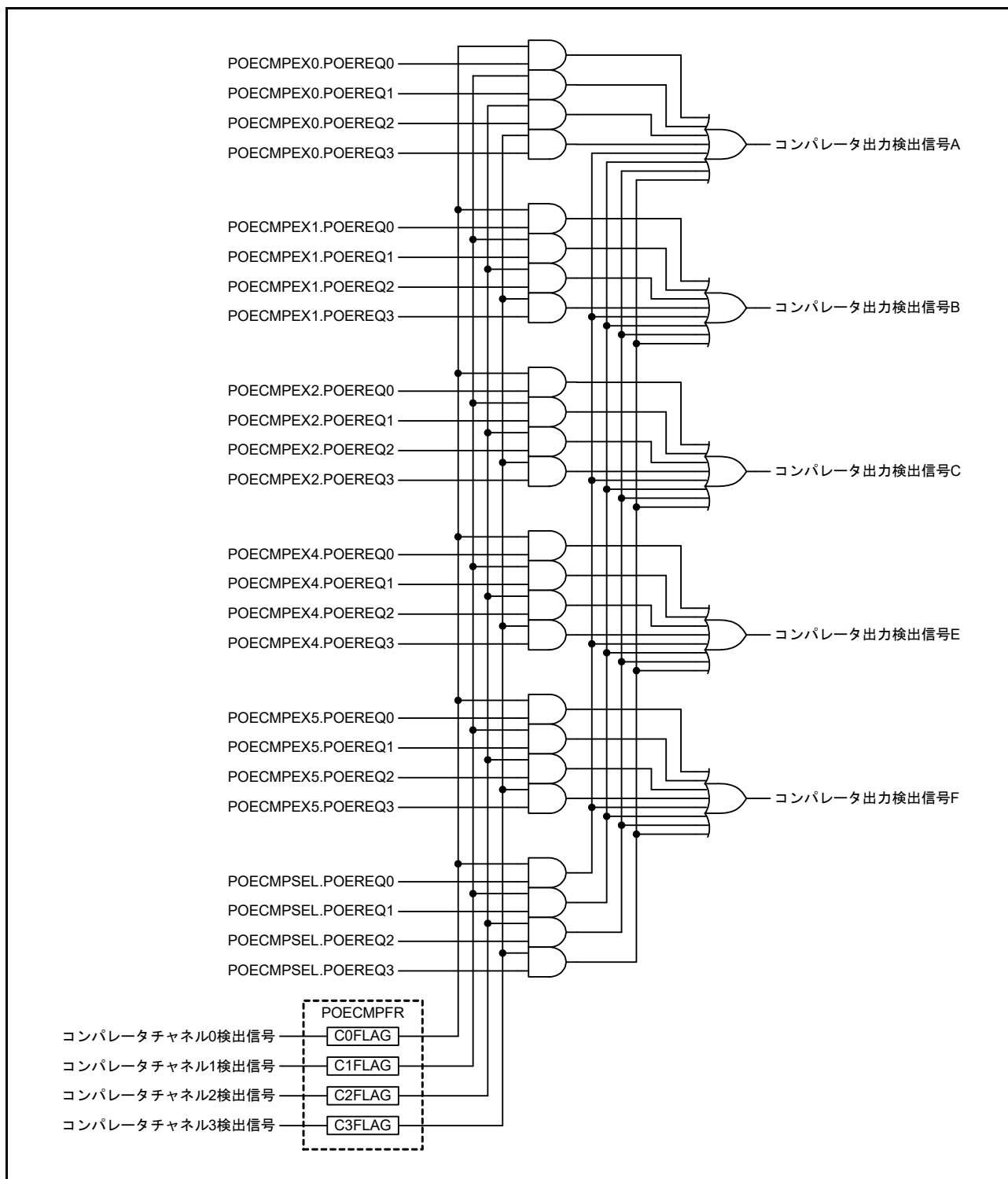


図 21.9 コンパレータ出力検出信号生成ブロック (チップバージョン B)

21.3.1 入力レベル検出動作

ICSR1 ~ ICSR5、ICSR7 レジスタで設定した入力条件が POE0#、POE4#、POE8#、POE10#、POE11#、POE12# 端子に発生した場合、MTU 相補 PWM 出力端子 (MTU3, MTU4 端子または MTU6, MTU7 端子) および MTU0 端子、MTU9 端子、GPT 端子の出力を停止します。ただし、MTU 相補 PWM 出力端子および MTU0 端子、MTU9 端子、GPT 端子をマルチプレクスしている端子が、MTU、GPT 機能を選択していない場合でも出力は停止します。

(1) 立ち下がリエッジ検出

POE0#、POE4#、POE8#、POE10#、POE11#、POE12# 端子に High から Low の変化が入力されたとき、MTU 相補 PWM 出力端子および MTU0 端子、MTU9 端子、GPT 端子がマルチプレクスされている端子の出力を停止します。

立ち下がリエッジは、PCLK でサンプリングを行った後、検出します。POE0#、POE4#、POE8#、POE10#、POE11#、POE12# 端子に 1 PCLK クロック以上の Low を入力してください。

POE0#、POE4#、POE8#、POE10#、POE11#、POE12# 端子入力から端子がハイインピーダンスになるまでのタイミング例を図 21.10 に示します。

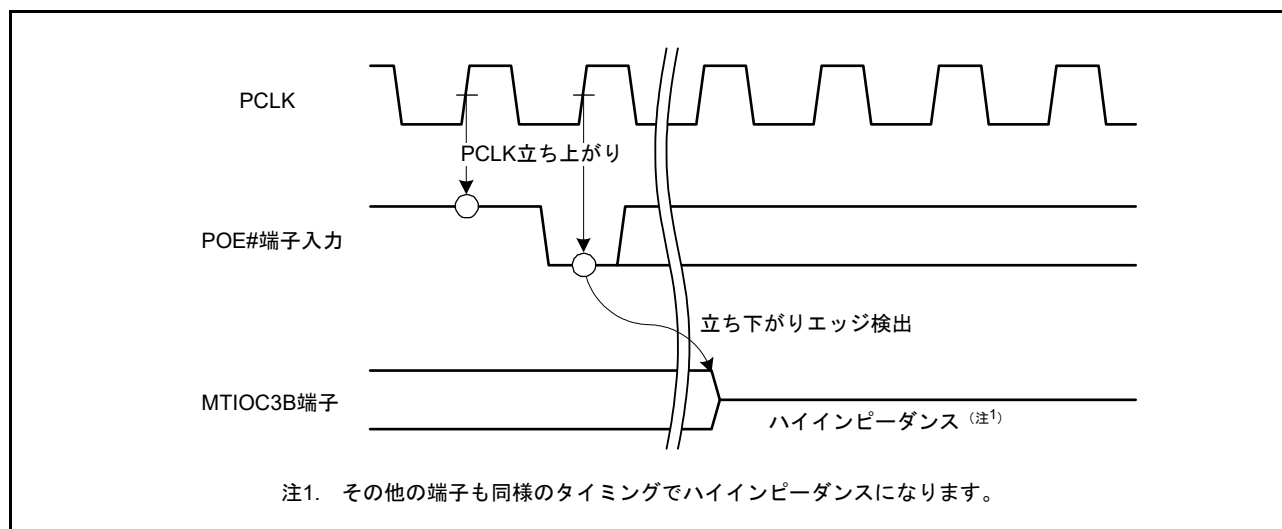


図 21.10 立ち下がリエッジ検出、ハイインピーダンスを選択した場合の動作

(2) Low 検出

図 21.11 に Low 検出で端子をハイインピーダンスにする場合の動作例を示します。ICSR1 ~ ICSR5、ICSR7 レジスタで設定したサンプリングクロックで、16 回連続して Low を検出すると Low 検出とみなし、MTU 相補 PWM 出力端子、MTU0 端子、MTU9 端子および GPT 端子の出力を停止します。このとき、一度でも High を検出した場合は Low 検出とみなしません。

また、サンプリングクロックから MTU 相補 PWM 出力端子および MTU0 端子、MTU9 端子、GPT 端子の出力が停止するタイミングは、立ち下がりエッジ検出、Low 検出とも同じです。

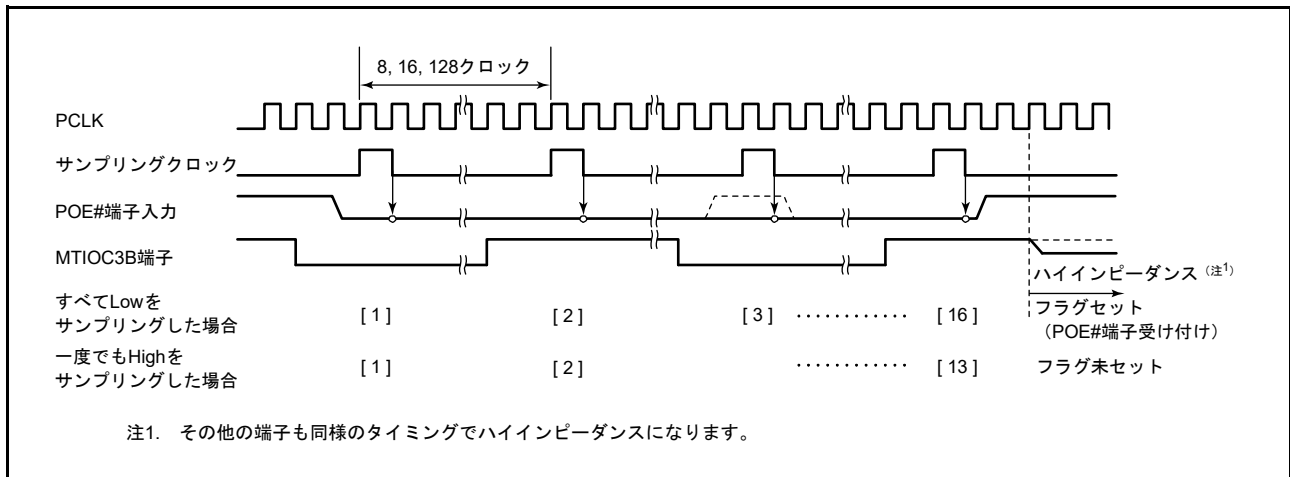


図 21.11 Low 検出、ハイインピーダンスを選択した場合の動作

21.3.2 出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、出力レベル比較動作を図 21.12 に示します。他の端子の組み合わせ、汎用入出力ポートへの切り替えの場合についても同様です。

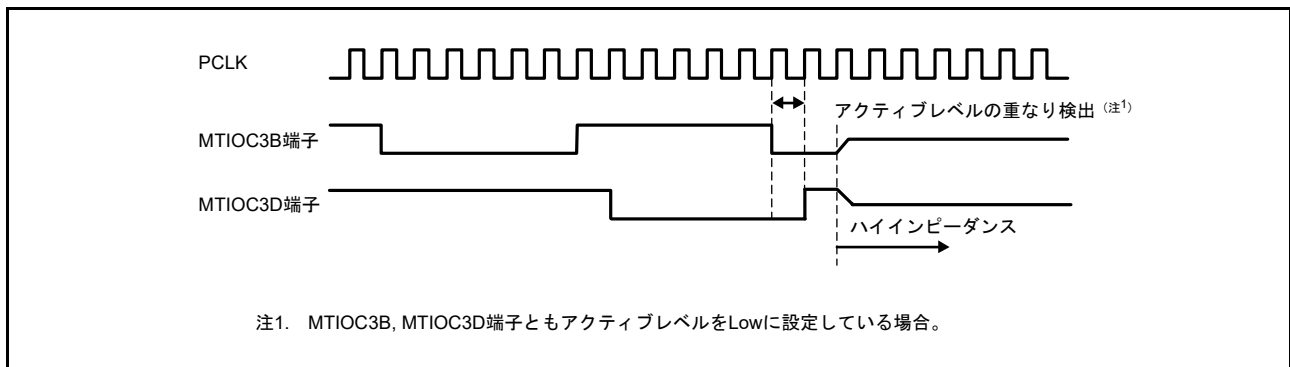


図 21.12 出力レベル検出動作

21.3.3 レジスタによる出力停止制御

SPOER レジスタにより、直接、MTU 端子 (MTU0, MTU3, MTU4, MTU6, MTU7, MTU9) および GPT 端子の出力停止制御を行います。

たとえば、SPOER.MTUCH34HIZ ビットを“1”にすることで、POE2CR レジスタで設定した MTU3, MTU4 の端子をハイインピーダンスにできます。

他の端子についても、SPOER レジスタ内のビット設定により同様に出力停止制御が行えます。

21.3.4 発振停止検出検知による出力停止制御

ICSR6.OSTSTE ビットが“1”のとき、クロック発生回路の発振停止検出機能により発振停止が検出されると、POE2CR1 ~ POE2CR3 (注1)、POE2CR7 レジスタで設定した MTU 相補 PWM 出力端子、MTU0 端子、MTU9 端子、GPT 端子をハイインピーダンスに、PMMCR0 ~ PMMCR3 レジスタ (注1) で設定した MTU 相補 PWM 出力端子、MTU0 端子、MTU9 端子、GPT 端子を汎用入出力ポートにできます。

注1. POE2CR3、PMMCR0 ~ PMMCR3 レジスタはチップバージョン B にのみあります。

21.3.5 コンパレータ出力検出による出力停止制御

コンパレータ出力の検出により、MTU 相補 PWM 出力端子、MTU0 端子、MTU9 端子、GPT 端子の出力を停止することができます。

たとえば、POE2CR4.CMADDMT34ZE ビットを“1”にして MTU3, MTU4 の端子の出力停止制御条件に POE2CMPFR.CnFLAG フラグ (n=0 ~ 3) を追加することで、コンパレータ出力検出時に POE2CR2 レジスタで設定した MTU3, MTU4 の端子の出力をハイインピーダンスに、PMMCR1 レジスタ (注1) で設定した MTU3, MTU4 の端子を汎用入出力ポートにできます。

他の端子についても、POE2CR1 ~ POE2CR8 レジスタ、PMMCR0 ~ PMMCR3 レジスタ (注1) の設定により同様に出力停止制御が行えます。

注1. PMMCR0 ~ PMMCR3 レジスタはチップバージョン B にのみあります。

21.3.6 出力停止制御条件の追加機能

POE2CR4 ~ POE2CR6 (注1)、POE2CR8 レジスタの設定により、MTU 相補 PWM 出力端子、MTU0 端子、MTU9 端子、および GPT 端子の出力停止制御条件を追加することができます。

たとえば、MTU3, MTU4 の端子の出力停止制御条件に、下記を追加することができます。

- POE2CR4.CMADDMT34ZE ビットを“1”にして、コンパレータ出力検出を追加
- POE2CR4.IC2ADDMT34ZE ビットを“1”にして、POE4# 端子による入力レベル検出を追加
- POE2CR4.IC3ADDMT34ZE ビットを“1”にして、POE8# 端子による入力レベル検出を追加
- POE2CR4.IC4ADDMT34ZE ビットを“1”にして、POE10# 端子による入力レベル検出を追加
- POE2CR4.IC5ADDMT34ZE ビットを“1”にして、POE11# 端子による入力レベル検出を追加
- POE2CR4.IC6ADDMT34ZE ビットを“1”にして、POE12# 端子による入力レベル検出を追加

他の端子についても、POE2CR4 ~ POE2CR6 (注1)、POE2CR8 レジスタの設定により同様に出力停止制御条件の追加が行えます。

注1. POE2CR6 レジスタはチップバージョン B にのみあります。

21.3.7 出力停止要求発生時の制御

上記要因により出力停止要求が発生したとき、POECR1～POECR3(注1)、POECR7レジスタの対応するビットを“1”にした端子はハイインピーダンスになり、PMMCR0～PMMCR3レジスタ(注1)の対応するビットを“1”にした端子は汎用入出力ポートに切り替わります。

同一端子に対して両方のビットを“1”にした場合は、POECR1～POECR3(注1)、POECR7レジスタの設定が優先され、端子はハイインピーダンスになります。

汎用入出力ポートに切り替わった後は、PDRレジスタ、PODRレジスタの設定により端子の状態が決定します。

注1. POECR3、PMMCR0～PMMCR3レジスタはチップバージョンBにのみあります。

21.3.8 出力停止状態の解除

入力レベル検出で出力が停止した端子は、リセットで初期状態に戻すか、ICSR1.POE0Fフラグ、ICSR2.POE4Fフラグ、ICSR3.POE8Fフラグ、ICSR4.POE10Fフラグ、ICSR5.POE11Fフラグ、ICSR7.POE12Fフラグをクリアすることによって解除されます。ただし、ICSR1.POE0M[1:0]ビット、ICSR2.POE4M[1:0]ビット、ICSR3.POE8M[1:0]ビット、ICSR4.POE10M[1:0]ビット、ICSR5.POE11M[1:0]ビット、ICSR7.POE12M[1:0]ビットでLowサンプリングに設定している場合には、POE0#、POE4#、POE8#、POE10#、POE11#、POE12#端子からHighを入力してHighを検出した後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。

出力レベル検出で出力が停止した端子は、リセットで初期状態に戻すか、OCSR1.OSF1フラグ、OCSR2.OSF2フラグを“0”にすることによって解除されます。ただし、端子から非アクティブレベルを出力するようにした後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。非アクティブレベル出力は、MTUの場合はカウント動作停止後に初期出力状態にすることで、GPTの場合は「22.7.2 動作中の異常などによる端子の初期化」の手順で行うことができます。

コンパレータ出力検出で出力が停止した端子は、リセットで初期状態に戻すか、POECMPFR.CnFLAGフラグ(n=0～3)を“0”にすることによって解除されます。POECMPFR.CnFLAGフラグを“0”にする場合は、コンパレータ出力検出を行ったアナログ入力信号が適正値に戻ったことをA/D変換実施等で確認した後に実施してください。アナログ入力信号が適正値に戻ったことを確認しないで当該フラグをクリアしたときで、かつコンパレータが正転出力の場合にアナログ入力信号が基準電圧よりも高い、またはコンパレータが反転出力の場合にアナログ入力信号が基準電圧よりも低いままだった場合、前述のPOECMPFR.CnFLAGフラグは再び“1”にはなりませんのでご注意ください。

発振停止検出で出力が停止した端子は、リセットで初期状態に戻すか、SYSTEM.OSTDSR.OSTDFフラグを“0”にしてICSR6.OSTSTFフラグを“0”にすることによって解除されます。

21.4 POE 設定手順

POE の設定手順を図 21.13 に示します。例として MTU3 端子 (MTIOC3B/MTIOC3D) の出力レベル比較によるハイインピーダンス制御を示します。図 21.13 では MTIOC3B 端子に P71、MTIOC3D 端子に P74 を使用します。

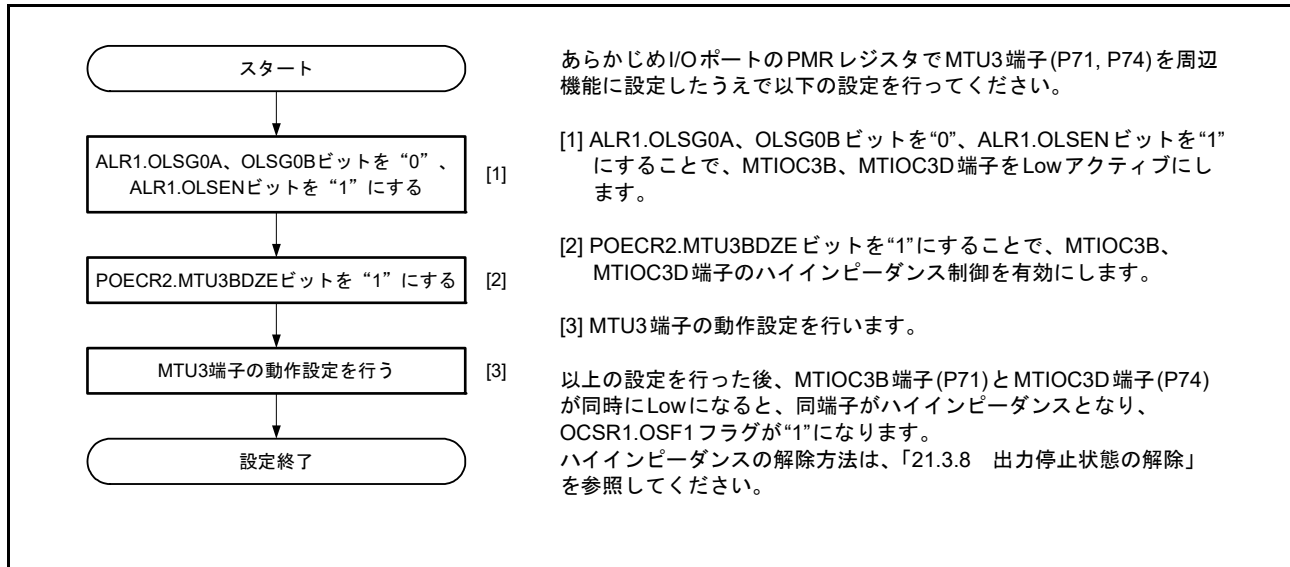


図 21.13 POE の設定手順

21.5 割り込み

POE は入力レベル検出動作または出力レベル比較動作において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。表 21.5 に割り込みの種類と割り込み要求を出す条件を示します。

表21.5 割り込み要求の種類と条件

名称	割り込み要因	割り込みフラグ	条件
OEI1	アウトプットイネーブル割り込み1	POE0F, OSF1	ICSR1.PIE1ビットが“1”の状態(ICSR1.POE0Fフラグが“1”になったとき、またはOCSR1.OIE1ビットが“1”の状態(OCSR1.OSF1フラグが“1”になったとき)
OEI2	アウトプットイネーブル割り込み2	POE4F, OSF2	ICSR2.PIE2ビットが“1”の状態(ICSR2.POE4Fフラグが“1”になったとき、またはOCSR2.OIE2ビットが“1”の状態(OCSR2.OSF2フラグが“1”になったとき)
OEI3	アウトプットイネーブル割り込み3	POE8F	ICSR3.PIE3ビットが“1”の状態(ICSR3.POE8Fフラグが“1”になったとき)
OEI4	アウトプットイネーブル割り込み4	POE10F, POE11F	ICSR4.PIE4ビットが“1”の状態(ICSR4.POE10Fフラグが“1”になったとき、またはICSR5.PIE5ビットが“1”の状態(ICSR5.POE11Fフラグが“1”になったとき)
OEI5	アウトプットイネーブル割り込み5	POE4F, POE12F	ICSR2.PIE2ビットが“1”の状態(ICSR2.POE4Fフラグが“1”になったとき、またはICSR7.PIE7ビットが“1”の状態(ICSR7.POE12Fフラグが“1”になったとき)

21.6 使用上の注意事項

21.6.1 低消費電力モードへの遷移

POEを使用する場合は、ソフトウェアスタンバイモードに移行しないでください。ソフトウェアスタンバイモードでは、POEの動作が停止するため、端子の出力停止制御はできません。

21.6.2 MTU/GPT 端子非選択時の出力停止制御

POECR1～POECR3(注1)、POECR7レジスタ、PMMCR0～PMMCR3レジスタ(注1)でMTU/GPT端子の出力停止制御を有効にしているときに制御条件を満たすと、MTU/GPT機能がマルチプレクスされている端子はMTU/GPT機能を選択していない場合でも、出力が停止します。

意図せず端子の出力が停止するのを避けるため、MPCのPmnPFSレジスタで選択したMTU/GPT端子と、POEの端子選択レジスタで選択したMTU/GPT端子が一致するように設定を行ってください。

注1. POECR3、PMMCR0～PMMCR3レジスタはチップバージョンBにのみあります。

21.6.3 POEを使用しない場合について

POEによる端子の出力停止制御は、リセット後から有効となっている端子があります。POEを使用しない場合は、POECR1～POECR3(注1)、POECR7レジスタ、PMMCR0～PMMCR3レジスタ(注1)の対象ビットに“0”を書いてください。

注1. POECR3、PMMCR0～PMMCR3レジスタはチップバージョンBにのみあります。

21.6.4 MTU反転出力設定時のアクティブレベル設定について

チップバージョンBでは、MPC.PmnPFSレジスタによりMTUの出力を正転出力/反転出力から選択することができます。ここで反転出力を選択した場合、MTU.TOCR1j、MTU.TOCR2jレジスタ(j=A,B)で設定したアクティブレベルと端子に出力される信号のアクティブレベルが反転します。このとき出力短絡検出を使用する場合、ALR1～ALR2レジスタで端子に出力される信号を基準にアクティブレベルを設定してください。

22. 汎用 PWM タイマ (GPTB)

本 MCU は、4 チャンネルの 16 ビットタイマにより構成される汎用 PWM タイマ (GPTB) を内蔵しています。GPT は、80 MHz まで動作可能です。

22.1 概要

表 22.1 に GPT の仕様を、表 22.2 に GPT の機能一覧を示します。図 22.1 に GPT のブロック図を示します。

表 22.1 GPT の仕様

項目	内容
機能	<ul style="list-style-type: none"> • 16ビット×4チャンネル、16ビット×2チャンネル+32ビット×1チャンネル、32ビット×2チャンネルのいずれを選択可能 • 各カウンタは、アップカウントもしくはダウンカウント (のこぎり波)、アップダウンカウント (三角波) • 動作モード <ul style="list-style-type: none"> のこぎり波PWMモード のこぎり波ワンショットパルスモード 三角波PWMモード1 三角波PWMモード2 三角波PWMモード3 • チャンネルごとに独立したクロックソース (内部クロック9種、外部クロック4種) を選択可能 • チャンネルごとに2本の入出力端子 • 端子入力経路にノイズフィルタを選択可能 • チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 • 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 • チャンネルごとにフレーム周期用レジスタを搭載 (オーバフロー/アンダフローで割り込み可能) • それぞれのカウンタを同期動作可能 • 同期動作のモード (同時または任意のタイミングでずらす位相シフトに対応) • PWM動作の際にデッドタイム生成が可能 • 3つのカウンタを組み合わせ、デッドタイム付きの3相PWM波形を生成可能 • 外部/内部トリガ (ハードウェア要因) によりカウントスタート/カウントストップ/カウンタクリアが可能 • 内部トリガ要因として、コンパレータ出力、MTUのカウントスタート、ソフトウェア、コンペアマッチ

表22.2 GPTの機能一覧 (1/2)

項目	GTMDR.LWA01 = 0		LWA01 = 1	GTMDR.LWA23 = 0		LWA23 = 1	
	GPT0	GPT1	GPT01	GPT2	GPT3	GPT23	
カウントクロック	PCLKA PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 GTECLKA GTECLKB GTECLKC GTECLKD	PCLKA PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 GTECLKA GTECLKB GTECLKC GTECLKD	PCLKA PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 GTECLKA GTECLKB GTECLKC GTECLKD	PCLKA PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 GTECLKA GTECLKB GTECLKC GTECLKD	PCLKA PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 GTECLKA GTECLKB GTECLKC GTECLKD	PCLKA PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 GTECLKA GTECLKB GTECLKC GTECLKD	PCLKA PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 GTECLKA GTECLKB GTECLKC GTECLKD
アウトプットコンペア/ インプットキャプチャ レジスタ (GTCCR)	GTCCRA GTCCRB	GTCCRA GTCCRB	GTCCRALW GTCCRBLW	GTCCRA GTCCRB	GTCCRA GTCCRB	GTCCRALW GTCCRBLW	
コンペア/ バッファレジスタ	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRCLW GTCCRDW GTCCRELW GTCCRFLW	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRCLW GTCCRDW GTCCRELW GTCCRFLW	
周期設定レジスタ	GTPR	GTPR	GTPRLW	GTPR	GTPR	GTPRLW	
周期設定バッファ レジスタ	GTPBR GTPDBR	GTPBR GTPDBR	GTPBRLW GTPDBRLW	GTPBR GTPDBR	GTPBR GTPDBR	GTPBRLW GTPDBRLW	
入出力端子	GTIOC0A GTIOC0B	GTIOC1A GTIOC1B	GTIOC1A GTIOC1B	GTIOC2A GTIOC2B	GTIOC3A GTIOC3B	GTIOC3A GTIOC3B	
外部トリガ入力端子	GTETRG						
カウンタクリア要因	周期設定レジスタのコンペアマッチ、インプットキャプチャ、コンパレータ出力、GTETRG端子入力、GTIOC3A/B端子入力、GTIOC3A/Bの内部出力 (アウトプットコンペア)						
コンペア マッチ出力	Low出力	○	○	○	○	○	
	High出力	○	○	○	○	○	
	トグル出力	○	○	○	○	○	
インプットキャプチャ 機能	○	○	○	○	○	○	
同期動作	○	○	○	○	○	○	
位相シフトスタート	○	○	○	○	○	○	
デッドタイム自動設定 機能	○	○	○	○	○	○	
PWMモード	○	○	○	○	○	○	
バッファ動作	○	○	○	○	○	○	
ワンショット動作	○	○	○	○	○	○	
DTCの起動	外部トリガ立ち上がり入力割り込み、外部トリガ立ち下がり入力割り込み、デッドタイムエラー割り込みを除くすべての割り込み要因						
A/D変換開始トリガ	GTADTRA, GTADTRBの コンペアマッチ	GTADTRA, GTADTRBの コンペアマッチ	GTADTRALW, GTADTRBLWの コンペアマッチ	GTADTRA, GTADTRBの コンペアマッチ	GTADTRA, GTADTRBの コンペアマッチ	GTADTRALW, GTADTRBLWの コンペアマッチ	

表22.2 GPTの機能一覧 (2/2)

項目	GTMDR.LWA01 = 0		LWA01 = 1	GTMDR.LWA23 = 0		LWA23 = 1
	GPT0	GPT1	GPT01	GPT2	GPT3	GPT23
割り込み要因	9要因 ● GTCCRAコンペアマッチ /インプットキャプチャ (GTCIA0) ● GTCCRBコンペアマッチ /インプットキャプチャ (GTCIB0) ● GTCCRCコンペアマッチ (GTCIC0) ● GTCCRDコンペアマッチ (GTCID0) ● デッドタイムエラー (GDTE0) ● GTCCREコンペアマッチ (GTCIE0) ● GTCCRFコンペアマッチ (GTCIF0) ● GTCNTオーバフロー (GTPRコンペアマッチ) (GTCIV0) ● GTCNTアンダフロー (GTCIU0)	9要因 ● GTCCRAコンペアマッチ /インプットキャプチャ (GTCIA1) ● GTCCRBコンペアマッチ /インプットキャプチャ (GTCIB1) ● GTCCRCコンペアマッチ (GTCIC1) ● GTCCRDコンペアマッチ (GTCID1) ● デッドタイムエラー (GDTE1) ● GTCCREコンペアマッチ (GTCIE1) ● GTCCRFコンペアマッチ (GTCIF1) ● GTCNTオーバフロー (GTPRコンペアマッチ) (GTCIV1) ● GTCNTアンダフロー (GTCIU1)	9要因 ● GTCCRALWコンペアマッチ /インプットキャプチャ (GTCIA1) ● GTCCRBLWコンペアマッチ /インプットキャプチャ (GTCIB1) ● GTCCRCLWコンペアマッチ (GTCIC1) ● GTCCRDWコンペアマッチ (GTCID1) ● デッドタイムエラー (GDTE1) ● GTCCRELWコンペアマッチ (GTCIE1) ● GTCCRFLWコンペアマッチ (GTCIF1) ● GTCNTLWオーバフロー (GTPRLWコンペアマッチ) (GTCIV1) ● GTCNTLWアンダフロー (GTCIU1)	9要因 ● GTCCRAコンペアマッチ /インプットキャプチャ (GTCIA2) ● GTCCRBコンペアマッチ /インプットキャプチャ (GTCIB2) ● GTCCRCコンペアマッチ (GTCIC2) ● GTCCRDコンペアマッチ (GTCID2) ● デッドタイムエラー (GDTE2) ● GTCCREコンペアマッチ (GTCIE2) ● GTCCRFコンペアマッチ (GTCIF2) ● GTCNTオーバフロー (GTPRコンペアマッチ) (GTCIV2) ● GTCNTアンダフロー (GTCIU2)	9要因 ● GTCCRAコンペアマッチ /インプットキャプチャ (GTCIA3) ● GTCCRBコンペアマッチ /インプットキャプチャ (GTCIB3) ● GTCCRCコンペアマッチ (GTCIC3) ● GTCCRDコンペアマッチ (GTCID3) ● デッドタイムエラー (GDTE3) ● GTCCREコンペアマッチ (GTCIE3) ● GTCCRFコンペアマッチ (GTCIF3) ● GTCNTオーバフロー (GTPRコンペアマッチ) (GTCIV3) ● GTCNTアンダフロー (GTCIU3)	9要因 ● GTCCRALWコンペアマッチ /インプットキャプチャ (GTCIA3) ● GTCCRBLWコンペアマッチ /インプットキャプチャ (GTCIB3) ● GTCCRCLWコンペアマッチ (GTCIC3) ● GTCCRDWコンペアマッチ (GTCID3) ● デッドタイムエラー (GDTE3) ● GTCCRELWコンペアマッチ (GTCIE3) ● GTCCRFLWコンペアマッチ (GTCIF3) ● GTCNTLWオーバフロー (GTPRLWコンペアマッチ) (GTCIV3) ● GTCNTLWアンダフロー (GTCIU3)
共通割り込み要因	外部トリガ					
割り込み間引き機能	GTCNTオーバフロー (GTPRコンペアマッチ) (GTCIV0) / GTCNTアンダフロー (GTCIU0) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)	GTCNTオーバフロー (GTPRコンペアマッチ) (GTCIV1) / GTCNTアンダフロー (GTCIU1) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)	GTCNTLWオーバフロー (GTPRLWコンペアマッチ) (GTCIV1) / GTCNTLWアンダフロー (GTCIU1) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)	GTCNTオーバフロー (GTPRコンペアマッチ) (GTCIV2) / GTCNTアンダフロー (GTCIU2) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)	GTCNTオーバフロー (GTPRコンペアマッチ) (GTCIV3) / GTCNTアンダフロー (GTCIU3) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)	GTCNTLWオーバフロー (GTPRLWコンペアマッチ) (GTCIV3) / GTCNTLWアンダフロー (GTCIU3) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)
ノイズフィルタ機能	○	○	○	○	○	○

○ : 可能

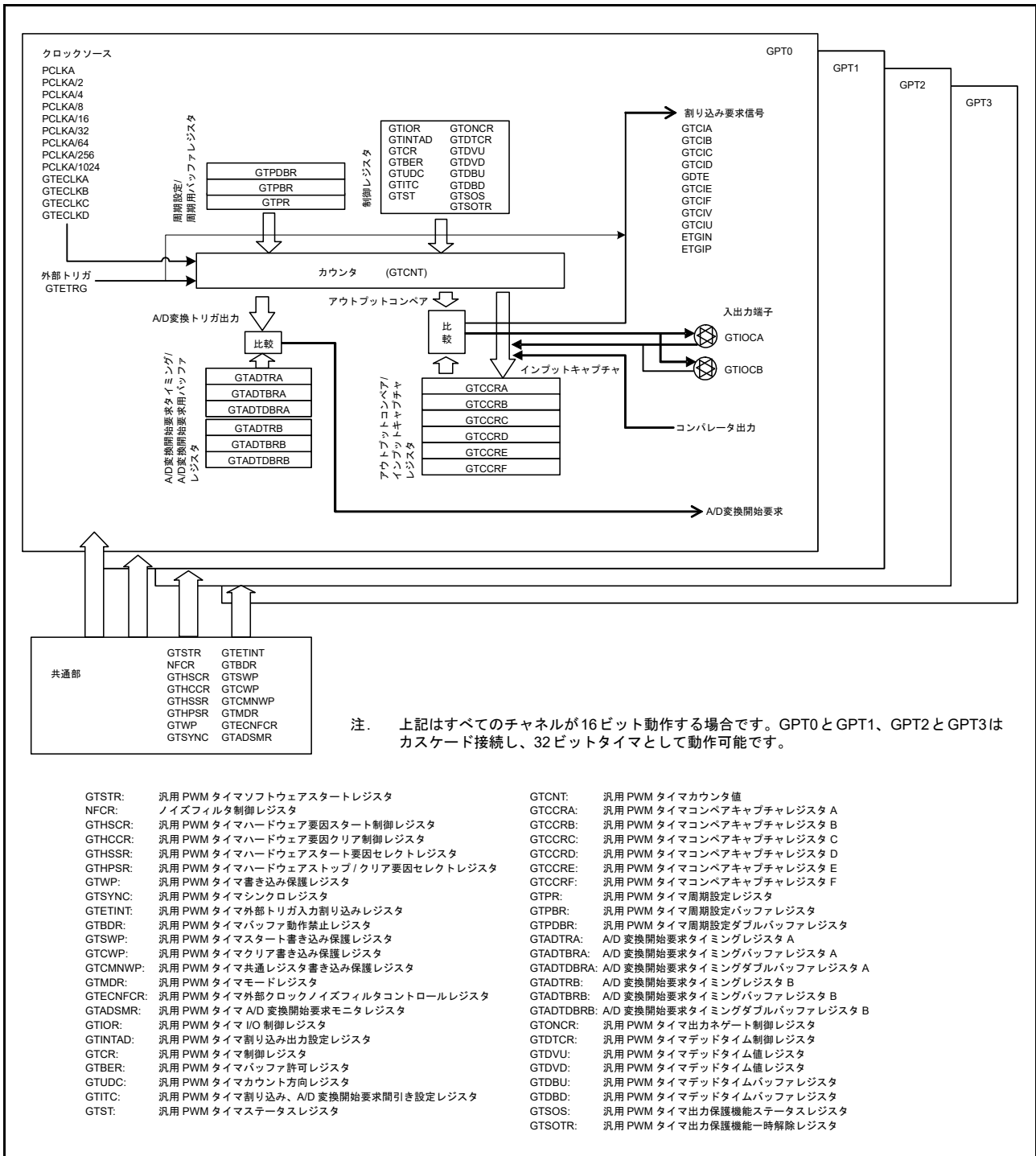


図 22.1 GPTのブロック図

表 22.3 に GPT で使用する入出力端子を示します。

表 22.3 GPTの入出力端子

チャンネル	端子名	入出力	機能
共通	GTECLKA	入力	外部クロックA入力端子
	GTECLKB	入力	外部クロックB入力端子
	GTECLKC	入力	外部クロックC入力端子
	GTECLKD	入力	外部クロックD入力端子
	GTETRG	入力	外部トリガ入力端子
	GTADSM0	出力	A/D変換開始要求モニタ0出力端子
	GTADSM1	出力	A/D変換開始要求モニタ1出力端子
GPT0	GTIOC0A	入出力	GTCCRAレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0B	入出力	GTCCRBレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT1 (GPT01)	GTIOC1A	入出力	GTCCRA (GTCCRALW) レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC1B	入出力	GTCCRB (GTCCRBLW) レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT2	GTIOC2A	入出力	GTCCRAレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC2B	入出力	GTCCRBレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT3 (GPT23)	GTIOC3A	入出力	GTCCRA (GTCCRALW) レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC3B	入出力	GTCCRB (GTCCRBLW) レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

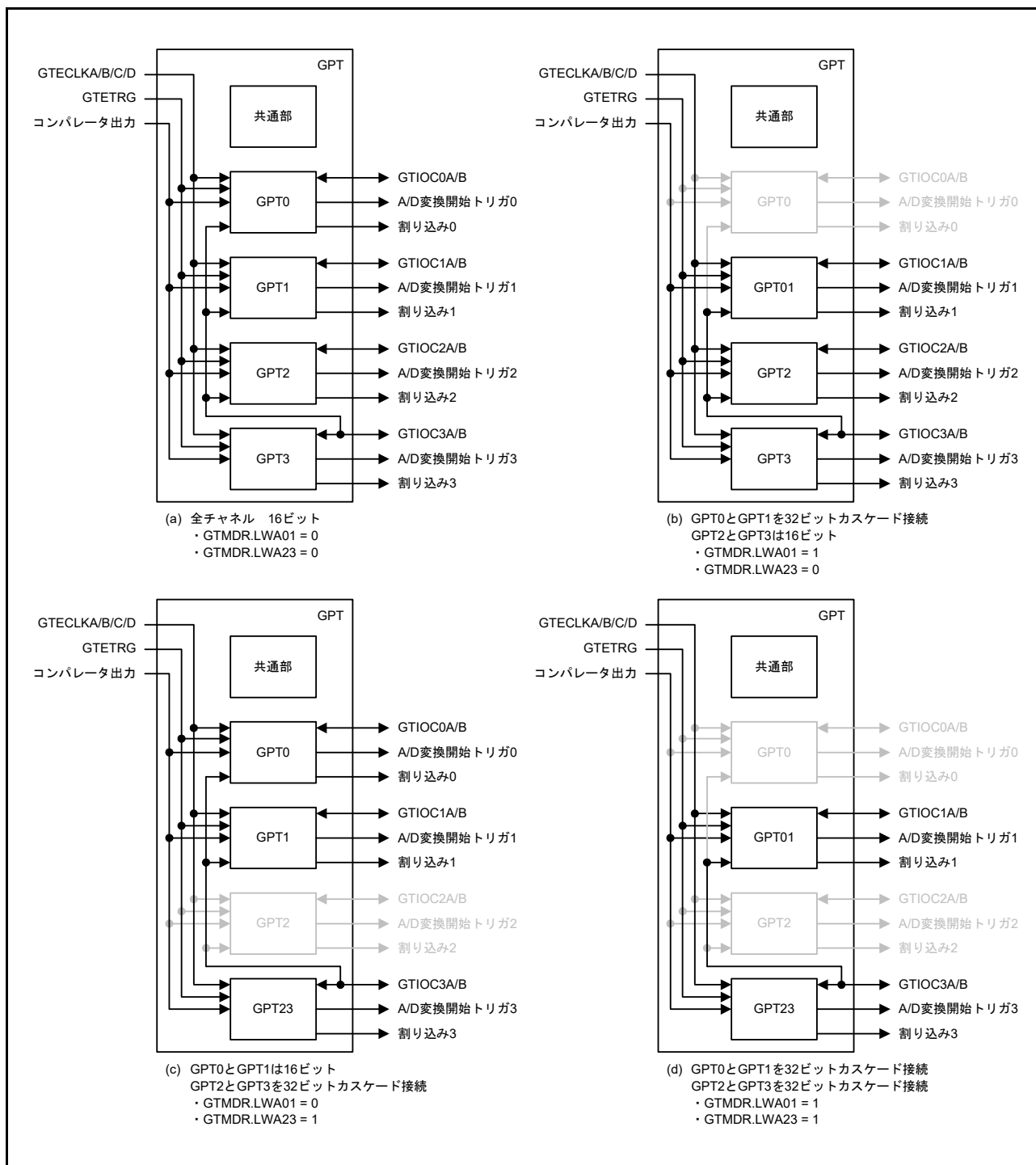


図 22.2 チャンネル構成バリエーション

22.2 レジスタの説明

22.2.1 汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)

アドレス GPT.GTSTR 000C 2000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	CST3	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	GPT0.GTCNT カウントスタートビット (注1、注2)	0 : カウントストップ 1 : カウントスタート	R/W
b1	CST1	GPT1.GTCNT/GPT01.GTCNTLW カウントスタートビット (注1)		R/W
b2	CST2	GPT2.GTCNT カウントスタートビット (注3、注4)		R/W
b3	CST3	GPT3.GTCNT/GPT23.GTCNTLW カウントスタートビット (注3)		R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. GTMDR.LWA01 ビットの値を変更すると“0”になります。

注2. GTMDR.LWA01 ビットが“1”のとき、CST0 ビットは“1”にできません。

注3. GTMDR.LWA23 ビットの値を変更すると“0”になります。

注4. GTMDR.LWA23 ビットが“1”のとき、CST2 ビットは“1”にできません。

GTSTR レジスタは、GPTn.GTCNT カウンタ (n=0~3)、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタのスタート/ストップを設定するレジスタです。

CSTn ビット (GPTn.GTCNT カウントスタートビット) (n=0~3)

GPTn.GTCNT カウンタ、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタのスタート/ストップを選択します。

GTSWP.SWPn ビットにより、CSTn ビットへの書き込みが禁止されたビットへの書き込みは無視されません。

GTTHSCR レジスタで、ハードウェア要因によるカウンタのスタート/ストップに設定することもできます。ハードウェア要因によるスタートが実行された場合は自動的に“1”に、ハードウェア要因によるストップが実行された場合は自動的に“0”になります。

22.2.2 ノイズフィルタ制御レジスタ (NFCR)

アドレス GPT.NFCR 000C 2002h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
NFCS3[1:0]	NFCS2[1:0]	NFCS1[1:0]	NFCS0[1:0]	NFB3E N	NFA3E N	NFB2E N	NFA2E N	NFB1E N	NFA1E N	NFB0E N	NFA0E N				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFA0EN	ノイズフィルタ 0A 許可ビット (注1、注2)	0 : GTIOC0A 端子のノイズフィルタを停止 1 : GTIOC0A 端子のノイズフィルタを許可	R/W
b1	NFB0EN	ノイズフィルタ 0B 許可ビット (注1、注2)	0 : GTIOC0B 端子のノイズフィルタを停止 1 : GTIOC0B 端子のノイズフィルタを許可	R/W
b2	NFA1EN	ノイズフィルタ 1A 許可ビット (注1)	0 : GTIOC1A 端子のノイズフィルタを停止 1 : GTIOC1A 端子のノイズフィルタを許可	R/W
b3	NFB1EN	ノイズフィルタ 1B 許可ビット (注1)	0 : GTIOC1B 端子のノイズフィルタを停止 1 : GTIOC1B 端子のノイズフィルタを許可	R/W
b4	NFA2EN	ノイズフィルタ 2A 許可ビット (注3、注4)	0 : GTIOC2A 端子のノイズフィルタを停止 1 : GTIOC2A 端子のノイズフィルタを許可	R/W
b5	NFB2EN	ノイズフィルタ 2B 許可ビット (注3、注4)	0 : GTIOC2B 端子のノイズフィルタを停止 1 : GTIOC2B 端子のノイズフィルタを許可	R/W
b6	NFA3EN	ノイズフィルタ 3A 許可ビット (注3)	0 : GTIOC3A 端子のノイズフィルタを停止 1 : GTIOC3A 端子のノイズフィルタを許可	R/W
b7	NFB3EN	ノイズフィルタ 3B 許可ビット (注3)	0 : GTIOC3B 端子のノイズフィルタを停止 1 : GTIOC3B 端子のノイズフィルタを許可	R/W
b9-b8	NFCS0[1:0]	GPT0ノイズフィルタのサンプリングク ロック選択ビット (注2、注5)	b9 b8 0 0 : PCLKA/1 0 1 : PCLKA/4 1 0 : PCLKA/32 1 1 : カウントソース	R/W
b11-b10	NFCS1[1:0]	GPT1ノイズフィルタのサンプリングク ロック選択ビット (注5)	b11 b10 0 0 : PCLKA/1 0 1 : PCLKA/4 1 0 : PCLKA/32 1 1 : カウントソース	R/W
b13-b12	NFCS2[1:0]	GPT2ノイズフィルタのサンプリングク ロック選択ビット (注4、注6)	b13 b12 0 0 : PCLKA/1 0 1 : PCLKA/4 1 0 : PCLKA/32 1 1 : カウントソース	R/W
b15-b14	NFCS3[1:0]	GPT3ノイズフィルタのサンプリングク ロック選択ビット (注6)	b15 b14 0 0 : PCLKA/1 0 1 : PCLKA/4 1 0 : PCLKA/32 1 1 : カウントソース	R/W

- 注1. GTMDR.LWA01 ビットの値を変更すると、“0”になります。
- 注2. GTMDR.LWA01 ビットが“1”のとき、値を変更できません。
- 注3. GTMDR.LWA23 ビットの値を変更すると、“0”になります。
- 注4. GTMDR.LWA23 ビットが“1”のとき、値を変更できません。
- 注5. GTMDR.LWA01 ビットの値を変更すると、“00b”になります。
- 注6. GTMDR.LWA23 ビットの値を変更すると、“00b”になります。

NFCR レジスタは、ノイズフィルタの許可/停止、およびノイズフィルタのサンプリングクロックを選択するレジスタです。

NFAnEN ビット (ノイズフィルタ nA 許可ビット) (n = 0 ~ 3)

GTIOcnA 端子の入力のノイズフィルタ機能の許可/停止を設定します。本ビットを書き換えたとき、意図しない内部エッジが発生することがあるため、GTIOR レジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、本ビットを書き換えてください。

NFBnEN ビット (ノイズフィルタ nB 許可ビット) (n = 0 ~ 3)

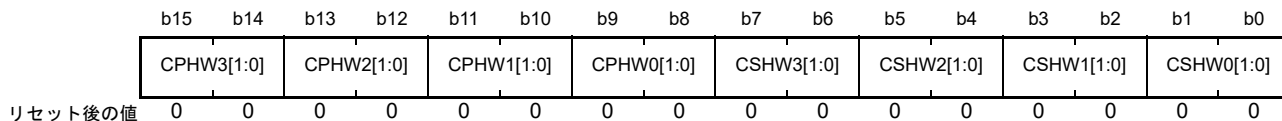
GTIOcnB 端子の入力のノイズフィルタ機能の許可/停止を設定します。本ビットを書き換えたとき、意図しない内部エッジが発生することがあるため、GTIOR レジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、本ビットを書き換えてください。

NFCSn[1:0] ビット (GPTn ノイズフィルタのサンプリングクロック選択ビット) (n = 0 ~ 3)

ノイズフィルタのサンプリングクロックを選択します。設定を変更する場合は、GTIOR レジスタの該当端子機能をアウトプットコンペアに設定してください。本ビットの設定後、設定したサンプリング周期の2周期分待った後、GTIOR レジスタの該当端子機能をインプットキャプチャ機能に設定してください。

22.2.3 汎用 PWM タイマハードウェア要因スタート/ストップ制御レジスタ (GTHSCR)

アドレス GPT.GTHSCR 000C 2004h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CSHW0[1:0]	GPT0.GTCNTハードウェア要因カウン トスタートビット (注1、注2)	b1 b0 0 0 : ハードウェア要因でカウントをスタートしない 0 1 : ハードウェア要因の立ち上がりエッジでカウン トをスタートする 1 0 : ハードウェア要因の立ち下がりエッジでカウン トをスタートする 1 1 : ハードウェア要因の両エッジでカウントをス タートする	R/W
b3-b2	CSHW1[1:0]	GPT1.GTCNT/GPT01.GTCNTLWハード ウェア要因カウントスタートビット (注1)	b3 b2 0 0 : ハードウェア要因でカウントをスタートしない 0 1 : ハードウェア要因の立ち上がりエッジでカウン トをスタートする 1 0 : ハードウェア要因の立ち下がりエッジでカウン トをスタートする 1 1 : ハードウェア要因の両エッジでカウントをス タートする	R/W
b5-b4	CSHW2[1:0]	GPT2.GTCNTハードウェア要因カウン トスタートビット (注3、注4)	b5 b4 0 0 : ハードウェア要因でカウントをスタートしない 0 1 : ハードウェア要因の立ち上がりエッジでカウン トをスタートする 1 0 : ハードウェア要因の立ち下がりエッジでカウン トをスタートする 1 1 : ハードウェア要因の両エッジでカウントをス タートする	R/W
b7-b6	CSHW3[1:0]	GPT3.GTCNT/GPT23.GTCNTLWハード ウェア要因カウントスタートビット (注3)	b7 b6 0 0 : ハードウェア要因でカウントをスタートしない 0 1 : ハードウェア要因の立ち上がりエッジでカウン トをスタートする 1 0 : ハードウェア要因の立ち下がりエッジでカウン トをスタートする 1 1 : ハードウェア要因の両エッジでカウントをス タートする	R/W
b9-b8	CPHW0[1:0]	GPT0.GTCNTハードウェア要因カウン トストップビット (注1、注2)	b9 b8 0 0 : ハードウェア要因でカウントをストップしない 0 1 : ハードウェア要因の立ち上がりエッジでカウン トをストップする 1 0 : ハードウェア要因の立ち下がりエッジでカウン トをストップする 1 1 : ハードウェア要因の両エッジでカウントをス トップする	R/W
b11-b10	CPHW1[1:0]	GPT1.GTCNT/GPT01.GTCNTLWハード ウェア要因カウントストップビット (注1)	b11 b10 0 0 : ハードウェア要因でカウントをストップしない 0 1 : ハードウェア要因の立ち上がりエッジでカウン トをストップする 1 0 : ハードウェア要因の立ち下がりエッジでカウン トをストップする 1 1 : ハードウェア要因の両エッジでカウントをス トップする	R/W

ビット	シンボル	ビット名	機能	R/W
b13-b12	CPHW2[1:0]	GPT2.GTCNTハードウェア要因カウン トストップビット (注3、注4)	b13 b12 0 0 : ハードウェア要因でカウントをストップしない 0 1 : ハードウェア要因の立ち上がりエッジでカウン トをストップする 1 0 : ハードウェア要因の立ち下がりエッジでカウン トをストップする 1 1 : ハードウェア要因の両エッジでカウントをス トップする	R/W
b15-b14	CPHW3[1:0]	GPT3.GTCNT/GPT23.GTCNTLWハード ウェア要因カウントストップビット (注3)	b15 b14 0 0 : ハードウェア要因でカウントをストップしない 0 1 : ハードウェア要因の立ち上がりエッジでカウン トをストップする 1 0 : ハードウェア要因の立ち下がりエッジでカウン トをストップする 1 1 : ハードウェア要因の両エッジでカウントをス トップする	R/W

注1. GTMDR.LWA01ビットの値を変更すると、“00b”になります。

注2. GTMDR.LWA01ビットが“1”のとき、値を変更できません。

注3. GTMDR.LWA23ビットの値を変更すると、“00b”になります。

注4. GTMDR.LWA23ビットが“1”のとき、値を変更できません。

GTHSCR レジスタは、GPTn.GTCNT カウンタ (n=0~3)、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタをスタート/ストップさせるハードウェア要因を設定するレジスタです。

ハードウェア要因による GPTn.GTCNT カウンタ、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタのスタートとストップが同時に起きた場合、スタートが優先されます。

CSHWn[1:0] ビット (GPTn.GTCNT ハードウェア要因カウントスタートビット) (n=0~3)

ハードウェア要因で GPTn.GTCNT カウンタ、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタをスタートします。

ハードウェア要因でスタートした場合、GTSTR レジスタの対応するビットが自動的に“1”になります。

ハードウェア要因は、GTHSSR レジスタで選択します。

CPHWn[1:0] ビット (GPTn.GTCNT ハードウェア要因カウントストップビット) (n=0~3)

ハードウェア要因で GPTn.GTCNT カウンタ、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタをストップします。

ハードウェア要因でストップした場合、GTSTR レジスタの対応するビットが自動的に“0”になります。

ハードウェア要因は、GTHPSR レジスタで選択します。

22.2.4 汎用 PWM タイマハードウェア要因クリア制御レジスタ (GTHCCR)

アドレス GPT.GTHCCR 000C 2006h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	CCSW ₃	CCSW ₂	CCSW ₁	CCSW ₀	CCHW3[1:0]	CCHW2[1:0]	CCHW1[1:0]	CCHW0[1:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CCHW0[1:0]	GPT0.GTCNTハードウェア要因カウンタクリアビット (注1、注2)	b1 b0 0 0 : ハードウェア要因ではカウンタをクリアしない 0 1 : ハードウェア要因の立ち上がりエッジでカウンタをクリアする 1 0 : ハードウェア要因の立ち下がりエッジでカウンタをクリアする 1 1 : ハードウェア要因の両エッジでカウンタをクリアする	R/W
b3-b2	CCHW1[1:0]	GPT1.GTCNT/GPT01.GTCNTLWハードウェア要因カウンタクリアビット (注1)	b3 b2 0 0 : ハードウェア要因ではカウンタをクリアしない 0 1 : ハードウェア要因の立ち上がりエッジでカウンタをクリアする 1 0 : ハードウェア要因の立ち下がりエッジでカウンタをクリアする 1 1 : ハードウェア要因の両エッジでカウンタをクリアする	R/W
b5-b4	CCHW2[1:0]	GPT2.GTCNTハードウェア要因カウンタクリアビット (注3、注4)	b5 b4 0 0 : ハードウェア要因ではカウンタをクリアしない 0 1 : ハードウェア要因の立ち上がりエッジでカウンタをクリアする 1 0 : ハードウェア要因の立ち下がりエッジでカウンタをクリアする 1 1 : ハードウェア要因の両エッジでカウンタをクリアする	R/W
b7-b6	CCHW3[1:0]	GPT3.GTCNT/GPT23.GTCNTLWハードウェア要因カウンタクリアビット (注3)	b7 b6 0 0 : ハードウェア要因ではカウンタをクリアしない 0 1 : ハードウェア要因の立ち上がりエッジでカウンタをクリアする 1 0 : ハードウェア要因の立ち下がりエッジでカウンタをクリアする 1 1 : ハードウェア要因の両エッジでカウンタをクリアする	R/W
b8	CCSW0	GPT0.GTCNTカウンタクリアビット (注2、注5)	“1”を書くとカウンタをクリアします。“1”を書き込み後、自動的に“0”に戻ります。読むと“0”が読めます	R/W
b9	CCSW1	GPT1.GTCNT/GPT01.GTCNTLWカウンタクリアビット (注5)	“1”を書くとカウンタをクリアします。“1”を書き込み後、自動的に“0”に戻ります。読むと“0”が読めます	R/W
b10	CCSW2	GPT2.GTCNTカウンタクリアビット (注4、注6)	“1”を書くとカウンタをクリアします。“1”を書き込み後、自動的に“0”に戻ります。読むと“0”が読めます	R/W
b11	CCSW3	GPT3.GTCNT/GPT23.GTCNTLWカウンタクリアビット (注6)	“1”を書くとカウンタをクリアします。“1”を書き込み後、自動的に“0”に戻ります。読むと“0”が読めます	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. GTMDR.LWA01ビットの値を変更すると、“00b”になります。

注2. GTMDR.LWA01ビットが“1”のとき、値を変更できません。

注3. GTMDR.LWA23ビットの値を変更すると、“00b”になります。

注4. GTMDR.LWA23ビットが“1”のとき、値を変更できません。

注5. GTMDR.LWA01ビットの値を変更すると、“0”になります。

注6. GTMDR.LWA23ビットの値を変更すると、“0”になります。

GTHCCR レジスタは、GPTn.GTCNT カウンタ (n=0~3)、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタをクリアするハードウェア要因を設定するレジスタです。

ハードウェア要因による GPTn.GTCNT カウンタ (n=0~3)、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタのクリアを設定した場合、GPTn.GTCNT カウンタ、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタが動作中 (GTSTR.CSTn ビット=1) でも、停止中 (GTSTR.CSTn ビット=0) でも、ハードウェア要因によるクリアは実行されます。

のこぎり波で、カウント方向がダウンカウント (GTST.TUCF フラグ=0) の場合、カウンタクリア実行で GPTn.GTCNT カウンタは GTPR レジスタ設定値 (GTPR レジスタをバッファ動作させている場合は GTPBR 設定値)、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタは GTPRLW レジスタ設定値 (GTPRLW レジスタをバッファ動作させている場合は GTPBRLW 設定値) になります。それ以外の場合、カウンタクリア実行で GPTn.GTCNT カウンタは “0000h”、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタは “0000 0000h” になります。

CCHWn[1:0] ビット (GPTn.GTCNT ハードウェア要因カウンタクリアビット) (n=0~3)

ハードウェア要因で GPTn.GTCNT カウンタ、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタをクリアします。

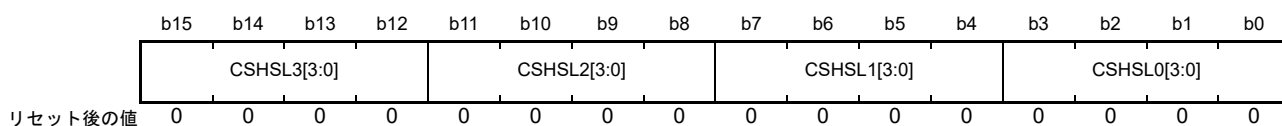
ハードウェア要因は GTHPSR レジスタで選択します。CCHWn[1:0] ビットを “01b”、“10b”、“11b” にしている間は、繰り返しハードウェア要因を受け付けます。

CCSWn ビット (GPTn.GTCNT カウンタクリアビット) (n=0~3)

“1” を書くと、GPTn.GTCNT カウンタ、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタをクリアします。“1” を書いた後、自動的に “0” に戻ります。読むと “0” が読めます。

22.2.5 汎用 PWM タイマハードウェアスタート要因セレクトレジスタ (GTHSSR)

アドレス GPT.GTHSSR 000C 2008h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CSHSL0[3:0]	GPT0.GTCNTハードウェアカウントスタート要因選択ビット (注1、注2)	b3 b0 0000: CMPC0コンパレータ出力 0001: CMPC1コンパレータ出力 0010: MTU0カウントスタート 0011: MTU1カウントスタート 0100: CMPC2コンパレータ出力 0101: CMPC3コンパレータ出力 0110: MTU2カウントスタート 0111: MTU4カウントスタート 1000: GTIOC3A端子入力 1001: GTIOC3B端子入力 1010: GTIOC3A内部出力 (アウトプットコンペア) 1011: GTIOC3B内部出力 (アウトプットコンペア) 1100: GTETRG端子入力 1101: MTU7カウントスタート 1110: MTU9カウントスタート ハードウェア要因でカウントをスタートさせる場合は、上記以外は設定しないでください	R/W
b7-b4	CSHSL1[3:0]	GPT1.GTCNT/GPT01.GTCNTLWハードウェアカウントスタート要因選択ビット (注1)	b7 b4 0000: CMPC0コンパレータ出力 0001: CMPC1コンパレータ出力 0010: MTU0カウントスタート 0011: MTU1カウントスタート 0100: CMPC2コンパレータ出力 0101: CMPC3コンパレータ出力 0110: MTU2カウントスタート 0111: MTU4カウントスタート 1000: GTIOC3A端子入力 1001: GTIOC3B端子入力 1010: GTIOC3A内部出力 (アウトプットコンペア) 1011: GTIOC3B内部出力 (アウトプットコンペア) 1100: GTETRG端子入力 1101: MTU7カウントスタート 1110: MTU9カウントスタート ハードウェア要因でカウントをスタートさせる場合は、上記以外は設定しないでください	R/W
b11-b8	CSHSL2[3:0]	GPT2.GTCNTハードウェアカウントスタート要因選択ビット (注3、注4)	b11 b8 0000: CMPC0コンパレータ出力 0001: CMPC1コンパレータ出力 0010: MTU0カウントスタート 0011: MTU1カウントスタート 0100: CMPC2コンパレータ出力 0101: CMPC3コンパレータ出力 0110: MTU2カウントスタート 0111: MTU4カウントスタート 1000: GTIOC3A端子入力 1001: GTIOC3B端子入力 1010: GTIOC3A内部出力 (アウトプットコンペア) 1011: GTIOC3B内部出力 (アウトプットコンペア) 1100: GTETRG端子入力 1101: MTU7カウントスタート 1110: MTU9カウントスタート ハードウェア要因でカウントをスタートさせる場合は、上記以外は設定しないでください	R/W

ビット	シンボル	ビット名	機能	R/W
b15-b12	CSHSL3[3:0]	GPT3.GTCNT/GPT23.GTCNTLW ハードウェアカウントスタート要因 選択ビット (注3)	b15 b12 0000: CMPC0コンパレータ出力 0001: CMPC1コンパレータ出力 0010: MTU0カウントスタート 0011: MTU1カウントスタート 0100: CMPC2コンパレータ出力 0101: CMPC3コンパレータ出力 0110: MTU2カウントスタート 0111: MTU4カウントスタート 1000: GTIOC3A端子入力 1001: GTIOC3B端子入力 1100: GTETRG端子入力 1101: MTU7カウントスタート 1110: MTU9カウントスタート ハードウェア要因でカウントをスタートさせる場合は、 上記以外は設定しないでください	R/W

- 注1. GTMDR.LWA01ビットの値を変更すると、“0000b”になります。
注2. GTMDR.LWA01ビットが“1”のとき、値を変更できません。
注3. GTMDR.LWA23ビットの値を変更すると、“0000b”になります。
注4. GTMDR.LWA23ビットが“1”のとき、値を変更できません。

GTHSSR レジスタは、GPTn.GTCNT カウンタ (n=0~3)、GPT01.GTCNTLW カウンタ、
GPT23.GTCNTLW カウンタをスタートさせるハードウェア要因を設定するレジスタです。

ハードウェア要因のエッジ極性は GTHSCR レジスタに設定してください。

要因の変更は GTHSCR.CSHWn[1:0] ビットを“00b”にしてから行ってください。

CSHSLn[3:0] ビット (GPTn.GTCNT ハードウェアカウントスタート要因選択ビット) (n = 0 ~ 3)

GPTn.GTCNT カウンタ、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタをスタートさせるハードウェア要因を選択します。

ハードウェア要因として“1000b”を選択した場合、GPT3.GTIOR.GTIOA[5] ビットを“0”，
GPT3.GTONCR.OAE ビットを“0”にしてください。ハードウェア要因として“1001b”を選択した場合、
GPT3.GTIOR.GTIOB[5] ビットを“0”，GPT3.GTONCR.OBE ビットを“0”にしてください。

ハードウェア要因として MTU のカウントスタートを選択した場合、GTHSCR.CSHWn[1:0] ビットは“01b”
(立ち上がりエッジ) にしてください。

ハードウェア要因としてコンパレータ出力を選択した場合、コンパレータ出力極性に合わせて
GTHSCR.CSHWn[1:0] ビットを設定してください。表 22.4 にこのときの GTHSCR.CSHWn[1:0] ビットの設定
定値を示します。

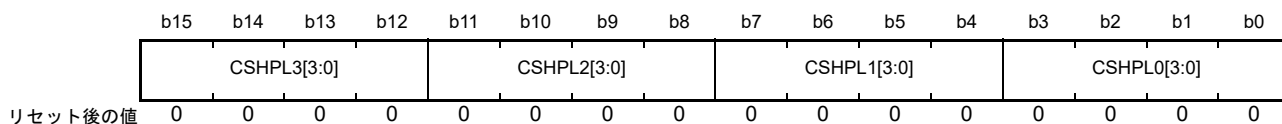
GTHSCR レジスタでカウントスタートにハードウェア要因を選択していなければ、初期値から値を変更する
必要はありません。

表22.4 コンパレータ出力を選択したときの GTHSCR.CSHWn[1:0] ビットの設定

カウントスタート要因	コンパレータ出力極性	GTHSCR.CSHWn[1:0] ビットの設定
入力電圧が上昇して基準電圧を超えたとき	非反転	“01b” (立ち上がりエッジ)
	反転	“10b” (立ち下がりエッジ)
入力電圧が下降して基準電圧を下回ったとき	非反転	“10b” (立ち下がりエッジ)
	反転	“01b” (立ち上がりエッジ)

22.2.6 汎用 PWM タイマハードウェアストップ/クリア要因セレクトレジスタ (GTHPSR)

アドレス GPT.GTHPSR 000C 200Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	CSHPL0[3:0]	GPT0.GTCNTハードウェアカウントストップ/クリア要因選択ビット (注1、注2)	b3 b0 0000: CMPC0コンパレータ出力 0001: CMPC1コンパレータ出力 0100: CMPC2コンパレータ出力 0101: CMPC3コンパレータ出力 1000: GTIOC3A端子入力 1001: GTIOC3B端子入力 1010: GTIOC3A内部出力 (アウトプットコンペア) 1011: GTIOC3B内部出力 (アウトプットコンペア) 1100: GTETRG端子入力 ハードウェア要因でカウントストップ、カウンタクリアを行う場合、上記以外は設定しないでください	R/W
b7-b4	CSHPL1[3:0]	GPT1.GTCNT/GPT01.GTCNTLW ハードウェアカウントストップ/クリア要因選択ビット (注1)	b7 b4 0000: CMPC0コンパレータ出力 0001: CMPC1コンパレータ出力 0100: CMPC2コンパレータ出力 0101: CMPC3コンパレータ出力 1000: GTIOC3A端子入力 1001: GTIOC3B端子入力 1010: GTIOC3A内部出力 (アウトプットコンペア) 1011: GTIOC3B内部出力 (アウトプットコンペア) 1100: GTETRG端子入力 ハードウェア要因でカウントストップ、カウンタクリアを行う場合、上記以外は設定しないでください	R/W
b11-b8	CSHPL2[3:0]	GPT2.GTCNTハードウェアカウントストップ/クリア要因選択ビット (注3、注4)	b11 b8 0000: CMPC0コンパレータ出力 0001: CMPC1コンパレータ出力 0100: CMPC2コンパレータ出力 0101: CMPC3コンパレータ出力 1000: GTIOC3A端子入力 1001: GTIOC3B端子入力 1010: GTIOC3A内部出力 (アウトプットコンペア) 1011: GTIOC3B内部出力 (アウトプットコンペア) 1100: GTETRG端子入力 ハードウェア要因でカウントストップ、カウンタクリアを行う場合、上記以外は設定しないでください	R/W
b15-b12	CSHPL3[3:0]	GPT3.GTCNT/GPT01.GTCNTLW ハードウェアカウントストップ/クリア要因選択ビット (注3)	b15 b12 0000: CMPC0コンパレータ出力 0001: CMPC1コンパレータ出力 0100: CMPC2コンパレータ出力 0101: CMPC3コンパレータ出力 1000: GTIOC3A端子入力 1001: GTIOC3B端子入力 1100: GTETRG端子入力 ハードウェア要因でカウントストップ、カウンタクリアを行う場合、上記以外は設定しないでください	R/W

注1. GTMDR.LWA01ビットの値を変更すると、“0000b”になります。

注2. GTMDR.LWA01ビットが“1”のとき、値を変更できません。

注3. GTMDR.LWA23ビットの値を変更すると、“0000b”になります。

注4. GTMDR.LWA23ビットが“1”のとき、値を変更できません。

GTHPSR レジスタは、GPTn.GTCNT カウンタ (n=0~3)、GPT01.GTCNTLW カウンタ、

GPT23.GTCNTLW カウンタをストップ、クリアするハードウェア要因を設定するレジスタです。

カウントストップのハードウェア要因のエッジ極性は GTHSCR レジスタに設定してください。カウンタクリアのハードウェア要因のエッジ極性は GTHCCR レジスタに設定してください。

要因の変更は GTHSCR.CPHWn[1:0], GTHCCR.CCHWn[1:0] ビットを“00b”にしてから行ってください。

CSHPLn[3:0] ビット (GPTn.GTCNT ハードウェアカウントストップ/クリア要因選択ビット) (n = 0 ~ 3)

GPTn.GTCNT カウンタ、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタのストップ、クリアのハードウェア要因を選択します。

ハードウェア要因として“1000b”を選択した場合、GPT3.GTIOR.GTIOA[5] ビットを“0”，GPT3.GTONCR.OAE ビットを“0”にしてください。ハードウェア要因として“1001b”を選択した場合、GPT3.GTIOR.GTI0B[5] ビットを“0”，GPT3.GTONCR.OBE ビットを“0”にしてください。

ハードウェア要因としてコンパレータ出力を選択した場合、コンパレータ出力極性に合わせて GTHSCR.CPHWn[1:0] ビット、GTHCCR.CCHWn[1:0] ビットを設定してください。表 22.5 にこのときの GTHSCR.CPHWn[1:0] ビット、GTHCCR.CCHWn[1:0] ビットの設定値を示します。

GTHSCR, GTHCCR レジスタでカウントストップ、またはカウンタクリアにハードウェア要因を選択していなければ、初期値から値を変更する必要はありません。

表22.5 コンパレータ出力を選択したときのGTHSCR.CPHWn[1:0]ビット、GTHCCR.CCHWn[1:0]ビットの設定

カウントストップ/クリア要因	コンパレータ出力極性	GTHSCR.CPHWn[1:0]ビット、 GTHCCR.CCHWn[1:0]ビットの設定
入力電圧が上昇して基準電圧を超えるとき	非反転	“01b” (立ち上がりエッジ)
	反転	“10b” (立ち下がりエッジ)
入力電圧が低下して基準電圧を下回るとき	非反転	“10b” (立ち下がりエッジ)
	反転	“01b” (立ち上がりエッジ)

22.2.7 汎用 PWM タイマ書き込み保護レジスタ (GTWP)

アドレス GPT.GTWP 000C 200Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	WP3	WP2	WP1	WP0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WP0	GPT0レジスタ書き込み禁止ビット (注1、注2)	0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
b1	WP1	GPT1/GPT01レジスタ書き込み禁止ビット (注3)	0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
b2	WP2	GPT2レジスタ書き込み禁止ビット (注4、注5)	0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
b3	WP3	GPT3/GPT23レジスタ書き込み禁止ビット (注6)	0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. GTMDR.LWA01ビットを“1”にすると“1”になり、LWA01ビットを“1”から“0”に変更すると“0”になります。

注2. GTMDR.LWA01ビットが“1”のとき、値を変更できません。

注3. GTMDR.LWA01ビットの値を変更すると、“0”になります。

注4. GTMDR.LWA23ビットを“1”にすると“1”になり、LWA23ビットを“1”から“0”に変更すると“0”になります。

注5. GTMDR.LWA23ビットが“1”のとき、値を変更できません。

注6. GTMDR.LWA23ビットの値を変更すると、“0”になります。

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可 / 禁止するレジスタです。

GTWP レジスタの設定で、書き込み許可 / 禁止が反映されるレジスタは、「22.6.1 レジスタの書き込み保護」を参照してください。

22.2.8 汎用 PWM タイマシンクロレジスタ (GTSYNC)

アドレス GPT.GTSYNC 000C 200Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	SYNC3[1:0]	—	—	—	SYNC2[1:0]	—	—	—	SYNC1[1:0]	—	—	—	—	SYNC0[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SYNC0[1:0]	GPT0.GTCNTカウンタ同期クリア要因選択ビット (注1、注2)	b1 b0 0 0 : 同期クリアしない 0 1 : GPT1のクリア要因でGPT0.GTCNTカウンタを同期クリア 1 0 : GPT2のクリア要因でGPT0.GTCNTカウンタを同期クリア (注3) 1 1 : GPT3/GPT23のクリア要因でGPT0.GTCNTカウンタを同期クリア	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	SYNC1[1:0]	GPT1.GTCNT/ GPT01.GTCNTLWカウンタ同期クリア要因選択ビット (注1)	b5 b4 0 0 : GPT0のクリア要因でGPT1.GTCNTカウンタを同期クリア (注4) 0 1 : 同期クリアしない 1 0 : GPT2のクリア要因でGPT1.GTCNT/GPT01.GTCNTLWカウンタを同期クリア (注3) 1 1 : GPT3/GPT23のクリア要因でGPT1.GTCNT/ GPT01.GTCNTLWカウンタを同期クリア	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SYNC2[1:0]	GPT2.GTCNTカウンタ同期クリア要因選択ビット (注5、注6)	b9 b8 0 0 : GPT0のクリア要因でGPT2.GTCNTカウンタを同期クリア (注4) 0 1 : GPT1/GPT01のクリア要因でGPT2.GTCNTカウンタを同期クリア 1 0 : 同期クリアしない 1 1 : GPT3のクリア要因でGPT2.GTCNTカウンタを同期クリア	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	SYNC3[1:0]	GPT3.GTCNT/ GPT23.GTCNTLWカウンタ同期クリア要因選択ビット (注5)	b13 b12 0 0 : GPT0のクリア要因でGPT3.GTCNT/GPT23.GTCNTLWカウンタを同期クリア (注4) 0 1 : GPT1/GPT01のクリア要因でGPT3.GTCNT/ GPT23.GTCNTLWカウンタを同期クリア 1 0 : GPT2のクリア要因でGPT3.GTCNTカウンタを同期クリア (注3) 1 1 : 同期クリアしない	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. GTMDR.LWA01ビットの値を変更すると、“00b”になります。

注2. GTMDR.LWA01ビットが“1”のとき、値を変更できません。

注3. GTMDR.LWA23ビットが“1”のとき、同期クリアは行いません。

注4. GTMDR.LWA01ビットが“1”のとき、同期クリアは行いません。

注5. GTMDR.LWA23ビットの値を変更すると、“00b”になります。

注6. GTMDR.LWA23ビットが“1”のとき、値を変更できません。

GTSYNC レジスタは、同期クリア / 同期動作による GPTn.GTCNT カウンタ (n = 0 ~ 3)、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタのクリア要因を設定するレジスタです。書き込みは GPTn.GTCNT カウンタ、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタが停止した状態で行ってください。

SYNCn[1:0] ビット (GPTn.GTCNT カウンタ同期クリア要因選択ビット) (n = 0 ~ 3)

GPTn.GTCNT カウンタ、GPT01.GTCNTLW カウンタ、GPT23.GTCNTLW カウンタをどのチャンネルのカウ

ンタのクリア要因でクリアするかを選択します。SYNCn[1:0] ビットを設定する場合は、先に GPTn.GTCR.CCLR[1:0] ビットを“11b” (同期クリア / 同期動作をしている他のカウンタのクリア要因でクリア) にしてください。

22.2.9 汎用 PWM タイマ外部トリガ入力割り込みレジスタ (GTETINT)

アドレス GPT.GTETINT 000C 2010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GTETR GEN	GTENFCS[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	ETINE N	ETIPE N
リセット後の値	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	ETIPEN	外部トリガ立ち上がり入力割り込み要求許可ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b1	ETINEN	外部トリガ立ち下がり入力割り込み要求許可ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b12-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14-b13	GTENFCS[1:0]	GTETRГノイズフィルタのサンプリングクロック選択ビット	b14 b13 0 0 : PCLKA/1 0 1 : PCLKA/2 1 0 : PCLKA/4 1 1 : PCLKA/32	R/W
b15	GTETRGEN	GTETRГノイズフィルタ許可ビット	0 : GTETRГ端子のノイズフィルタを停止 1 : GTETRГ端子のノイズフィルタを許可	R/W

GTETINT レジスタは、外部トリガ入力端子 (GTETRГ) による割り込みの許可 / 禁止を設定するレジスタです。

ETIPEN ビット (外部トリガ立ち上がり入力割り込み要求許可ビット)

外部トリガ入力の立ち上がりエッジによる割り込み要求の許可 / 禁止を選択します。

ETINEN ビット (外部トリガ立ち下がり入力割り込み要求許可ビット)

外部トリガ入力の立ち下がりエッジによる割り込み要求の許可 / 禁止を選択します。

GTENFCS[1:0] ビット (GTETRГノイズフィルタのサンプリングクロック選択ビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の2周期分待った後、GTHSCR, GTHCCR, GTHSSR レジスタに GTETRГによるハードウェア要因でのカウンタ動作を有効にする設定をしてください。

GTETRGEN ビット (GTETRГノイズフィルタ許可ビット)

GTETRГ端子からの入力信号のノイズフィルタ機能を許可 / 停止します。本ビットを書き換えたとき、意図しない内部エッジが発生することがあるため、GTHSCR, GTHCCR, GTHSSR レジスタに GTETRГによるハードウェア要因でのカウンタ動作を無効にする設定をした後、本ビットを書き換えてください。

22.2.10 汎用 PWM タイマバッファ動作禁止レジスタ (GTBDR)

アドレス GPT.GTBDR 000C 2014h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BD33	BD32	BD31	BD30	BD23	BD22	BD21	BD20	BD13	BD12	BD11	BD10	BD03	BD02	BD01	BD00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BD00	GPT0.GTCCRバッファ動作禁止ビット (注1、注2)	0: バッファ動作許可 1: バッファ動作禁止	R/W
b1	BD01	GPT0.GTPRバッファ動作禁止ビット (注1、注2)	0: バッファ動作許可 1: バッファ動作禁止	R/W
b2	BD02	GPT0.GTADTRバッファ動作禁止ビット (注1、注2)	0: バッファ動作許可 1: バッファ動作禁止	R/W
b3	BD03	GPT0.GTDVバッファ動作禁止ビット (注1、注2)	0: バッファ動作許可 1: バッファ動作禁止	R/W
b4	BD10	GPT1.GTCCR/GPT01.GTCCRLWバッファ動作 禁止ビット (注1)	0: バッファ動作許可 1: バッファ動作禁止	R/W
b5	BD11	GPT1.GTPR/GPT01.GTPRLWバッファ動作禁止 ビット (注1)	0: バッファ動作許可 1: バッファ動作禁止	R/W
b6	BD12	GPT1.GTADTR/GPT01.GTADTRLWバッファ動 作禁止ビット (注1)	0: バッファ動作許可 1: バッファ動作禁止	R/W
b7	BD13	GPT1.GTDV/GPT01.GTDVLWバッファ動作禁止 ビット (注1)	0: バッファ動作許可 1: バッファ動作禁止	R/W
b8	BD20	GPT2.GTCCRバッファ動作禁止ビット (注3、注4)	0: バッファ動作許可 1: バッファ動作禁止	R/W
b9	BD21	GPT2.GTPRバッファ動作禁止ビット (注3、注4)	0: バッファ動作許可 1: バッファ動作禁止	R/W
b10	BD22	GPT2.GTADTRバッファ動作禁止ビット (注3、注4)	0: バッファ動作許可 1: バッファ動作禁止	R/W
b11	BD23	GPT2.GTDVバッファ動作禁止ビット (注3、注4)	0: バッファ動作許可 1: バッファ動作禁止	R/W
b12	BD30	GPT3.GTCCR/GPT23.GTCCRLWバッファ動作 禁止ビット (注3)	0: バッファ動作許可 1: バッファ動作禁止	R/W
b13	BD31	GPT3.GTPR/GPT23.GTPRLWバッファ動作禁止 ビット (注3)	0: バッファ動作許可 1: バッファ動作禁止	R/W
b14	BD32	GPT3.GTADTR/GPT23.GTADTRLWバッファ動 作禁止ビット (注3)	0: バッファ動作許可 1: バッファ動作禁止	R/W
b15	BD33	GPT3.GTDV/GPT23.GTDVLWバッファ動作禁止 ビット (注3)	0: バッファ動作許可 1: バッファ動作禁止	R/W

注1. GTMDR.LWA01ビットの値を変更すると、“0”になります。

注2. GTMDR.LWA01ビットが“1”のとき、値を変更できません。

注3. GTMDR.LWA23ビットの値を変更すると、“0”になります。

注4. GTMDR.LWA23ビットが“1”のとき、値を変更できません。

GTBDR レジスタは、各チャネルのバッファ動作の許可/禁止を一括して設定するレジスタです。GTBDR レジスタの各ビットを“0” (バッファ動作許可) にしても、GTBER レジスタでバッファ動作を有効にしなければバッファ動作は行いません。

BDn0 ビット (GPTn.GTCCR バッファ動作禁止ビット) (n = 0 ~ 3)

GPTn.GTCCRA(LW), GTCCRC(LW), GTCCRD(LW) レジスタを組み合わせたバッファ動作、および GPTn.GTCCRB(LW), GTCCRE(LW), GTCCRF(LW) レジスタを組み合わせたバッファ動作を禁止します。

BDn1 ビット (GPTn.GTPR バッファ動作禁止ビット) (n = 0 ~ 3)

GPTn.GTPR(LW), GTPBR(LW), GTPDBR(LW) レジスタを組み合わせたバッファ動作を禁止します。

BDn2 ビット (GPTn.GTADTR バッファ動作禁止ビット) (n = 0 ~ 3)

GPTn.GTADTRA(LW), GTADTBRA(LW), GTADTBRA(LW) レジスタを組み合わせたバッファ動作、および GPTn.GTADTRB(LW), GTADTB RB(LW), GTADTB RB(LW) レジスタを組み合わせたバッファ動作を禁止します。

BDn3 ビット (GPTn.GTDV バッファ動作禁止ビット) (n = 0 ~ 3)

GPTn.GTDVU(LW), GTDBU(LW) レジスタを組み合わせたバッファ動作、および GPTn.GTDVD(LW), GTDBD(LW) レジスタを組み合わせたバッファ動作を禁止します。

22.2.11 汎用 PWM タイマスタート書き込み保護レジスタ (GTSWP)

アドレス GPT.GTSWP 000C 2018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	SWP3	SWP2	SWP1	SWP0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWP0	GTSTR.CST0ビット書き込み禁止ビット (注1、注2)	0: レジスタへの書き込み許可 1: レジスタへの書き込み禁止	R/W
b1	SWP1	GTSTR.CST1ビット書き込み禁止ビット (注3)	0: レジスタへの書き込み許可 1: レジスタへの書き込み禁止	R/W
b2	SWP2	GTSTR.CST2ビット書き込み禁止ビット (注4、注5)	0: レジスタへの書き込み許可 1: レジスタへの書き込み禁止	R/W
b3	SWP3	GTSTR.CST3ビット書き込み禁止ビット (注6)	0: レジスタへの書き込み許可 1: レジスタへの書き込み禁止	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. GTMDR.LWA01ビットを“1”にすると“1”になり、LWA01ビットを“1”から“0”に変更すると“0”になります。

注2. GTMDR.LWA01ビットが“1”のとき、値を変更できません。

注3. GTMDR.LWA01ビットの値を変更すると、“0”になります。

注4. GTMDR.LWA23ビットを“1”にすると“1”になり、LWA23ビットを“1”から“0”に変更すると“0”になります。

注5. GTMDR.LWA23ビットが“1”のとき、値を変更できません。

注6. GTMDR.LWA23ビットの値を変更すると、“0”になります。

GTSWP レジスタは、誤書き込みを防ぐため GTSTR レジスタへの書き込みを許可 / 禁止するレジスタです。

SWPn ビット (GTSTR.CSTn ビット書き込み禁止ビット) (n = 0 ~ 3)

GTSTR.CSTn ビットへの書き込みを許可 / 禁止します。

禁止に設定した場合、GTSTR.CSTn ビットへの書き込みは無視されます。

ただし、GTHSCR レジスタでハードウェア要因によるカウントスタート / ストップを設定している場合、SWPn ビットの設定により GTSTR.CSTn ビットへの書き込みが禁止されていても、ハードウェア要因によるカウントスタート / ストップの状態は GTSTR.CSTn ビットに書き込まれます。

22.2.12 汎用 PWM タイマクリア書き込み保護レジスタ (GTCWP)

アドレス GPT.GTCWP 000C 201Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	CWP3	CWP2	CWP1	CWP0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CWP0	GTHCCR.CCSW0ビット書き込み禁止ビット (注1、注2)	0 : CCSW0ビットへの書き込み許可 1 : CCSW0ビットへの書き込み禁止	R/W
b1	CWP1	GTHCCR.CCSW1ビット書き込み禁止ビット (注3)	0 : CCSW1ビットへの書き込み許可 1 : CCSW1ビットへの書き込み禁止	R/W
b2	CWP2	GTHCCR.CCSW2ビット書き込み禁止ビット (注4、注5)	0 : CCSW2ビットへの書き込み許可 1 : CCSW2ビットへの書き込み禁止	R/W
b3	CWP3	GTHCCR.CCSW3ビット書き込み禁止ビット (注6)	0 : CCSW3ビットへの書き込み許可 1 : CCSW3ビットへの書き込み禁止	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. GTMDR.LWA01ビットを“1”にすると“1”になり、LWA01ビットを“1”から“0”に変更すると“0”になります。

注2. GTMDR.LWA01ビットが“1”のとき、値を変更できません。

注3. GTMDR.LWA01ビットの値を変更すると、“0”になります。

注4. GTMDR.LWA23ビットを“1”にすると“1”になり、LWA23ビットを“1”から“0”に変更すると“0”になります。

注5. GTMDR.LWA23ビットが“1”のとき、値を変更できません。

注6. GTMDR.LWA23ビットの値を変更すると、“0”になります。

GTCWP レジスタは、誤書き込みを防ぐため GTHCCR レジスタの CCSW_n ビットへの書き込みを許可 / 禁止するレジスタです。

CWP_n ビット (GTHCCR.CCSW_n ビット書き込み禁止ビット) (n = 0 ~ 3)

GTHCCR.CCSW_n ビットへの書き込みを許可 / 禁止します。

禁止に設定した場合、GTHCCR.CCSW_n ビットへの書き込みは無視されます。

22.2.13 汎用 PWM タイマ共通レジスタ書き込み保護レジスタ (GTCMNWP)

アドレス GPT.GTCMNWP 000C 2020h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CMNWP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMNWP	共通レジスタ書き込み禁止ビット	0 : レジスタへの書き込み許可 1 : レジスタへの書き込み禁止	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTCMNWP レジスタは、誤書き込みを防ぐため共通レジスタへの書き込みを許可 / 禁止するレジスタです。

CMNWP ビット (共通レジスタ書き込み禁止ビット)

NFCR レジスタ、GTHSCR レジスタ、GTHCCR.CCHW_n[1:0] ビット (n=0~3)、GTHSSR レジスタ、GTHPSR レジスタ、GTSYNC レジスタ、GTETINT レジスタ、GTBDR レジスタ、GTMDR レジスタ、GTECNFCR レジスタ、GTADSMR レジスタへの書き込みを許可 / 禁止します。

禁止に設定した場合、書き込みは無視されます。

GTSTR レジスタ、GTHCCR.CCSW_n ビット (n=0~3)、GTWP レジスタ、GTSWP レジスタ、GTCWP レジスタは制御の対象外です。

22.2.14 汎用 PWM タイマモードレジスタ (GTMDR)

アドレス GPT.GTMDR 000C 2024h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LWA23	LWA01
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LWA01	GPT01カスケード接続許可ビット	0 : GPT0とGPT1のカスケード接続禁止 1 : GPT0とGPT1のカスケード接続許可	R/W
b1	LWA23	GPT23カスケード接続許可ビット	0 : GPT2とGPT3のカスケード接続禁止 1 : GPT2とGPT3のカスケード接続許可	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTMDR レジスタは、カウンタのカスケード接続を許可 / 禁止するレジスタです。

このレジスタの設定は、カウンタが停止しているときに、他のレジスタを設定する前に行ってください。

禁止 → 許可、許可 → 禁止の変更を行った場合、対象となるチャンネルの一部レジスタと共通レジスタの対象チャンネルの制御ビットがリセットされます。同じ値を上書きした場合はリセットされません。

LWA01 ビット (GPT01 カスケード接続許可ビット)

GPT0 と GPT1 のカウンタのカスケード接続を許可 / 禁止します。

[許可した場合の動作]

GPT0 と GPT1 のカウンタがカスケード接続されたチャンネル GPT01 として、カウンタ、コンペアキャプチャ値、周期、A/D 変換開始要求タイミング、デッドタイム値が、32 ビットとして動作します。

チャンネル GPT01 の制御は、GPT1 のレジスタ (GPT1.GTIOR, GPT1.GTINTAD, GPT1.GTCR, GPT1.GTBER, GPT1.GTUDC, GPT1.GTITC, GPT1.GTST, GPT1.GTONCR, GPT1.GDTCR, GPT1.GTSOS, GPT1.GTSOTR) で行います。GPT0 の同レジスタについては、書き込みは無視され、読んだ場合はリセット後の値が読めます。

カウンタ、コンペアキャプチャ値、周期、A/D 変換開始要求タイミング、デッドタイム値のレジスタは、GPT01 のレジスタ (GTCNTLW, GTCRCLW, GTCRBLW, GTCRCLW, GTCRDLW, GTCRELW, GTCRFLW, GTPRLW, GTPBRLW, GTPDBRLW, GTADTRALW, GTADTBALW, GTADTDBRALW, GTADTRBLW, GTADTBRLW, GTADTDBRBLW, GTDVULW, GTDVDLW, GTDBULW, GTDVDLW) を用います。GPT1 のレジスタ (GTCNT, GTCRA, GTCRB, GTCRC, GTCRD, GTCRE, GTCRF, GTPR, GTPBR, GTPDBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDVU, GTDVD, GTDBU, GTDVD) への書き込みは無視され、読んだ場合はリセット後の値が読めます。

共通レジスタによる制御は、GPT1 の制御ビットを GPT01 用として用います。GPT0 に対する制御ビットは、書き込みは無視し、読むとリセット後の値が読めます (ただし、GTWP.WP0、GTSWP.SWP0、GTCWP.CWP0 ビットは“1”が読めます)。

[禁止した場合の動作]

GPT0 と GPT1 のレジスタ、共通レジスタの GPT0 と GPT1 の制御ビットは、すべて有効となります。GPT01 のレジスタはすべて無効となり、書き込みは無視され、読んだ場合はリセット後の値が読めます。

LWA23 ビット (GPT23 カスケード接続許可ビット)

GPT2 と GPT3 のカウンタのカスケード接続を許可 / 禁止します。動作は LWA01 ビットと同様です。

22.2.15 汎用 PWM タイマ外部クロックノイズフィルタコントロールレジスタ (GTECNFCR)

アドレス GPT.GTECNFCR 000C 2028h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	NFCSECD[1:0]	NFCSECC[1:0]	NFCSECB[1:0]	NFCSECA[1:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	INVECD	INVECC	INVECB	INVECA	—	—	—	—	NFENECD	NFENECC	NFENECB	NFENECA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFENECA	GTECLKAノイズフィルタ許可ビット	0 : GTECLKA端子のノイズフィルタを停止 1 : GTECLKA端子のノイズフィルタを許可	R/W
b1	NFENECB	GTECLKBノイズフィルタ許可ビット	0 : GTECLKB端子のノイズフィルタを停止 1 : GTECLKB端子のノイズフィルタを許可	R/W
b2	NFENECC	GTECLKCノイズフィルタ許可ビット	0 : GTECLKC端子のノイズフィルタを停止 1 : GTECLKC端子のノイズフィルタを許可	R/W
b3	NFENECD	GTECLKDノイズフィルタ許可ビット	0 : GTECLKD端子のノイズフィルタを停止 1 : GTECLKD端子のノイズフィルタを許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	INVECA	GTECLKA極性反転ビット	0 : GTECLKA端子の極性を変更しない 1 : GTECLKA端子の極性を反転する	R/W
b9	INVECB	GTECLKB極性反転ビット	0 : GTECLKB端子の極性を変更しない 1 : GTECLKB端子の極性を反転する	R/W
b10	INVECC	GTECLKC極性反転ビット	0 : GTECLKC端子の極性を変更しない 1 : GTECLKC端子の極性を反転する	R/W
b11	INVECD	GTECLKD極性反転ビット	0 : GTECLKD端子の極性を変更しない 1 : GTECLKD端子の極性を反転する	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17-b16	NFCSECA[1:0]	GTECLKAノイズフィルタサンプリング クロック選択ビット	b17 b16 0 0 : PCLKA/1 0 1 : PCLKA/2 1 0 : PCLKA/4 1 1 : PCLKA/32	R/W
b19-b18	NFCSECB[1:0]	GTECLKBノイズフィルタサンプリング クロック選択ビット	b19 b18 0 0 : PCLKA/1 0 1 : PCLKA/2 1 0 : PCLKA/4 1 1 : PCLKA/32	R/W
b21-b20	NFCSECC[1:0]	GTECLKCノイズフィルタサンプリング クロック選択ビット	b21 b20 0 0 : PCLKA/1 0 1 : PCLKA/2 1 0 : PCLKA/4 1 1 : PCLKA/32	R/W
b23-b22	NFCSECD[1:0]	GTECLKDノイズフィルタサンプリング クロック選択ビット	b23 b22 0 0 : PCLKA/1 0 1 : PCLKA/2 1 0 : PCLKA/4 1 1 : PCLKA/32	R/W
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTECNFCR レジスタは、外部クロック入力に対するノイズフィルタを制御するレジスタです。

NFENECx ビット (GTECLKx ノイズフィルタ許可ビット) (x = A ~ D)

GTECLKx 端子のノイズフィルタ機能の許可/停止を設定します。

本ビットを書き換えると、意図しない内部エッジが発生することがあるため、GTCR.TPCS[3:0] ビットを外部クロック以外に設定した状態で、本ビットを書き換えてください。

INVECx ビット (GTECLKx 極性反転ビット) (x = A ~ D)

GTECLKx 端子の入力の極性を反転します。

GTCR.TPCS[3:0] で外部クロックを選択した場合、カウントクロックは、極性反転後の立ち上がりになります。

NFCSECx[1:0] ビット (GTECLKx ノイズフィルタサンプリングクロック選択ビット) (x = A ~ D)

GTECLKx 端子のノイズフィルタのサンプリング周期を設定します。

本ビットの設定後、設定したサンプリング周期の2周期分待った後、GTCR.TPCS[3:0] ビットに外部クロックを設定してください。

22.2.16 汎用 PWM タイマ A/D 変換開始要求信号モニタレジスタ (GTADSMR)

アドレス GPT.GTADSMR 000C 202Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	ADSMEN1	—	—	—	—	ADSMS1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ADSMEN0	—	—	—	—	ADSMS0[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ADSMS0[3:0]	A/D変換開始要求信号モニタ0選択ビット	b3 b0 0000: GPT0.GTADTRAによるアップカウント時のA/D変換開始要求信号 (注1) 0001: GPT0.GTADTRAによるダウンカウント時のA/D変換開始要求信号 (注1) 0010: GPT0.GTADTRBによるアップカウント時のA/D変換開始要求信号 (注1) 0011: GPT0.GTADTRBによるダウンカウント時のA/D変換開始要求信号 (注1) 0100: GPT1.GTADTRA/GPT01.GTADTRALWによるアップカウント時のA/D変換開始要求信号 0101: GPT1.GTADTRA/GPT01.GTADTRALWによるダウンカウント時のA/D変換開始要求信号 0110: GPT1.GTADTRB/GPT01.GTADTRBLWによるアップカウント時のA/D変換開始要求信号 0111: GPT1.GTADTRB/GPT01.GTADTRBLWによるダウンカウント時のA/D変換開始要求信号 1000: GPT2.GTADTRAによるアップカウント時のA/D変換開始要求信号 (注2) 1001: GPT2.GTADTRAによるダウンカウント時のA/D変換開始要求信号 (注2) 1010: GPT2.GTADTRBによるアップカウント時のA/D変換開始要求信号 (注2) 1011: GPT2.GTADTRBによるダウンカウント時のA/D変換開始要求信号 (注2) 1100: GPT3.GTADTRA/GPT23.GTADTRALWによるアップカウント時のA/D変換開始要求信号 1101: GPT3.GTADTRA/GPT23.GTADTRALWによるダウンカウント時のA/D変換開始要求信号 1110: GPT3.GTADTRB/GPT23.GTADTRBLWによるアップカウント時のA/D変換開始要求信号 1111: GPT3.GTADTRB/GPT23.GTADTRBLWによるダウンカウント時のA/D変換開始要求信号	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	ADSMEN0	A/D変換開始要求信号モニタ0出力許可ビット	0: A/D変換開始要求信号モニタ0出力禁止 1: A/D変換開始要求信号モニタ0出力許可	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

b19-b16	ADSMS1[3:0]	A/D変換開始要求信号モニタ1選択ビット	b19 b16 0000: GPT0.GTADTRAによるアップカウント時のA/D変換開始要求信号 (注1) 0001: GPT0.GTADTRAによるダウンカウント時のA/D変換開始要求信号 (注1) 0010: GPT0.GTADTRBによるアップカウント時のA/D変換開始要求信号 (注1) 0011: GPT0.GTADTRBによるダウンカウント時のA/D変換開始要求信号 (注1) 0100: GPT1.GTADTRA/GPT01.GTADTRALWによるアップカウント時のA/D変換開始要求信号 0101: GPT1.GTADTRA/GPT01.GTADTRALWによるダウンカウント時のA/D変換開始要求信号 0110: GPT1.GTADTRB/GPT01.GTADTRBLWによるアップカウント時のA/D変換開始要求信号 0111: GPT1.GTADTRB/GPT01.GTADTRBLWによるダウンカウント時のA/D変換開始要求信号 1000: GPT2.GTADTRAによるアップカウント時のA/D変換開始要求信号 (注2) 1001: GPT2.GTADTRAによるダウンカウント時のA/D変換開始要求信号 (注2) 1010: GPT2.GTADTRBによるアップカウント時のA/D変換開始要求信号 (注2) 1011: GPT2.GTADTRBによるダウンカウント時のA/D変換開始要求信号 (注2) 1100: GPT3.GTADTRA/GPT23.GTADTRALWによるアップカウント時のA/D変換開始要求信号 1101: GPT3.GTADTRA/GPT23.GTADTRALWによるダウンカウント時のA/D変換開始要求信号 1110: GPT3.GTADTRB/GPT23.GTADTRBLWによるアップカウント時のA/D変換開始要求信号 1111: GPT3.GTADTRB/GPT23.GTADTRBLWによるダウンカウント時のA/D変換開始要求信号	R/W
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b24	ADSMEN1	A/D変換開始要求信号モニタ1出力許可ビット	0: A/D変換開始要求信号モニタ1出力禁止 1: A/D変換開始要求信号モニタ1出力許可	R/W
b31-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. GTMDR.LWA01ビットまたはGTMDR.LWA23ビットの値を変更すると、このレジスタは“0000 0000h”になります。

注1. GTMDR.LWA01ビットが“1”のとき、この設定は無効です。

注2. GTMDR.LWA23ビットが“1”のとき、この設定は無効です。

GTADSMRレジスタは、フレーム同期化されたA/D変換開始要求信号のモニタを制御するレジスタです。

ADSMsk[3:0]ビット (A/D変換開始要求信号モニタk選択ビット) (k = 0, 1)

GTADSMk端子でモニタするフレーム同期化されたA/D変換開始要求信号を選択します。

ADSMENkビット (A/D変換開始要求信号モニタk出力許可ビット) (k = 0, 1)

GTADSMk端子へのモニタ出力を許可/禁止します。

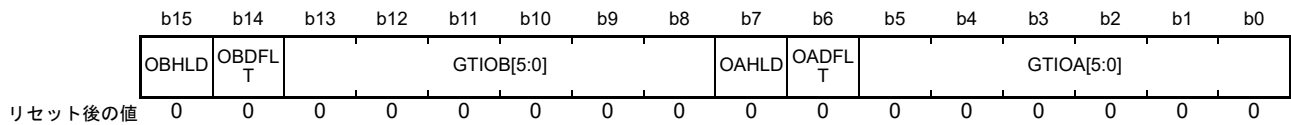
禁止に設定した場合、GTADSMk端子はLowになります。

ADSMENkビットが“1”のとき、ADSMsk[3:0]ビットで選択したA/D変換開始要求信号が発生すると、GTADSMk端子はHighになり、選択したA/D変換開始要求信号を生成するチャネルのタイマの周期の終わりでLowになります。カウンタが停止した場合、出力はカウント停止時の値を保持します。出力をLowにするには、ADSMENkビットを“0”にしてください。

周期の終わりでA/D変換開始要求信号が発生した場合、モニタ出力はA/D変換開始要求信号の発生を優先し、次の周期の終わりまで出力はHighになります。

22.2.17 汎用PWMタイマ I/O 制御レジスタ (GTIOR)

アドレス GPT0.GTIOR 000C 2100h, GPT1.GTIOR 000C 2180h, GPT2.GTIOR 000C 2200h, GPT3.GTIOR 000C 2280h



ビット	シンボル	ビット名	機能	R/W
b5-b0	GTIOA[5:0]	GTIOCnA 端子機能選択ビット	表 22.6 を参照してください。	R/W
b6	OADFLT	GTIOCnA 端子カウントストップ時の出力値ビット	0: カウントストップ時に GTIOCnA 端子から Low を出力 1: カウントストップ時に GTIOCnA 端子から High を出力	R/W
b7	OAHL	GTIOCnA 端子カウントスタート/ストップ時の出力保持ビット	0: カウントスタート/ストップ時の GTIOCnA 端子の出力レベルは、レジスタ設定値に従う 1: カウントスタート/ストップ時に GTIOCnA 端子の出力レベルを保持する	R/W
b13-b8	GTIOB[5:0]	GTIOCnB 端子機能選択ビット	表 22.6 を参照してください。	R/W
b14	OBDFLT	GTIOCnB 端子カウントストップ時の出力値ビット	0: カウントストップ時に GTIOCnB 端子から Low を出力 1: カウントストップ時に GTIOCnB 端子から High を出力	R/W
b15	OBHLD	GTIOCnB 端子カウントスタート/ストップ時の出力保持ビット	0: カウントスタート/ストップ時の GTIOCnB 端子の出力レベルは、レジスタ設定値に従う 1: カウントスタート/ストップ時に GTIOCnB 端子の出力レベルを保持する	R/W

n = 0 ~ 3

- 注. GTMDR.LWA01 ビットの値を変更すると、GPT0.GTIOR レジスタ、GPT1.GTIOR レジスタは“0000h”になります。
注. GTMDR.LWA01 ビットが“1”のとき、GPT0.GTIOR レジスタの値は変更できません。
注. GTMDR.LWA23 ビットの値を変更すると、GPT2.GTIOR レジスタ、GPT3.GTIOR レジスタは“0000h”になります。
注. GTMDR.LWA23 ビットが“1”のとき、GPT2.GTIOR レジスタの値は変更できません。

GPTn.GTIOR レジスタ (n = 0 ~ 3) は、GTIOCnA, GTIOCnB 端子の機能を設定するレジスタです。GPTn.GTIOR レジスタは、各チャンネルに 1 本あります。GTWP.WPn ビットにより、書き込みが禁止されたチャンネルの GTIOR レジスタへの書き込みは無視されます。

GTIOA[5:0] ビット (GTIOCnA 端子機能選択ビット)

GTIOCnA 端子の機能を選択します。詳細は、表 22.6 を参照してください。

OADFLT ビット (GTIOCnA 端子カウントストップ時の出力値ビット)

カウントストップ時に、GTIOCnA 端子から Low を出力するか、High を出力するかを設定します。

OAHL ビット (GTIOCnA 端子カウントスタート/ストップ時の出力保持ビット)

カウントスタート/ストップ時に、GTIOCnA 端子の出力レベルを保持するか、レジスタ設定値に従うかを設定します。

["1" にした場合]

- カウントスタート/ストップ時に出力を保持します

["0" にした場合]

- カウントスタート時に、GTIOA[4] ビットで指定した値を出力します
- カウントストップ時に、OADFLT ビットで指定した値を出力します
- カウントストップ中に OADFLT ビットの値を変更した場合は、ただちに出力に反映されます

GTIOB[5:0] ビット (GTIOcNB 端子機能選択ビット)

GTIOcNB 端子の機能を選択します。詳細は、表 22.6 を参照してください。

OBDFLT ビット (GTIOcNB 端子カウントストップ時の出力値ビット)

カウントストップ時に、GTIOcNB 端子から Low を出力するか、High を出力するかを設定します。

OBHLD ビット (GTIOcNB 端子カウントスタート/ストップ時の出力保持ビット)

カウントスタート/ストップに、GTIOcNB 端子の出力レベルを保持するか、レジスタ設定値に従うかを設定します。

[“1”にした場合]

- カウントスタート/ストップ時に出力を保持します

[“0”にした場合]

- カウントスタートに、GTIOB[4] ビットで指定した値を出力します
- カウントストップ時に、OBDFLT ビットで指定した値を出力します
- カウントストップ中に OBDFLT ビットの値を変更した場合は、ただちに出力に反映されます

表22.6 GTIOA[5:0]ビット (GTIOB[5:0]ビット) の設定 (n = 0~3) (1/2)

GTIOA/B[5:0]ビット						機能			
b5	b4	b3	b2	b1	b0	b5	b4	b3-b2	b1-b0
0	0	0	0	0	0	コンペアマッチ	初期出力 Low	周期の終わりで出力保持	GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチで出力保持
0	0	0	0	0	1				GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチでLow出力
0	0	0	0	1	0				GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチでHigh出力
0	0	0	0	1	1				GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチでトル出力
0	0	0	1	0	0			周期の終わりでLow出力	GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチで出力保持
0	0	0	1	0	1				GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチでLow出力
0	0	0	1	1	0				GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチでHigh出力
0	0	0	1	1	1				GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチでトル出力
0	0	1	0	0	0			周期の終わりでHigh出力	GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチで出力保持
0	0	1	0	0	1				GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチでLow出力
0	0	1	0	1	0				GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチでHigh出力
0	0	1	0	1	1				GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチでトル出力
0	0	1	1	0	0		周期の終わりでトル出力	GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチで出力保持	
0	0	1	1	0	1			GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチでLow出力	
0	0	1	1	1	0			GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチでHigh出力	
0	0	1	1	1	1			GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチでトル出力	
0	1	0	0	0	0	初期出力 High	周期の終わりで出力保持	GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチで出力保持	
0	1	0	0	0	1			GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチでLow出力	
0	1	0	0	1	0			GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチでHigh出力	
0	1	0	0	1	1			GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチでトル出力	
0	1	0	1	0	0		周期の終わりでLow出力	GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチで出力保持	
0	1	0	1	0	1			GPTn.GTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチでLow出力	

表22.6 GTIOA[5:0]ビット (GTIOB[5:0]ビット) の設定 (n = 0~3) (2/2)

GTIOA/B[5:0]ビット						機能			
b5	b4	b3	b2	b1	b0	b5	b4	b3-b2	b1-b0
0	1	0	1	1	0	コンペアマッチ	初期出力 High	周期の終わりでLow出力	GPTn.GTCCRA(LW)/GTCCRB(LW) レジスタのコンペアマッチでHigh出力
0	1	0	1	1	1				GPTn.GTCCRA(LW)/GTCCRB(LW) レジスタのコンペアマッチでトグル出力
0	1	1	0	0	0			周期の終わりでHigh出力	GPTn.GTCCRA(LW)/GTCCRB(LW) レジスタのコンペアマッチで出力保持
0	1	1	0	0	1				GPTn.GTCCRA(LW)/GTCCRB(LW) レジスタのコンペアマッチでLow出力
0	1	1	0	1	0				GPTn.GTCCRA(LW)/GTCCRB(LW) レジスタのコンペアマッチでHigh出力
0	1	1	0	1	1				GPTn.GTCCRA(LW)/GTCCRB(LW) レジスタのコンペアマッチでトグル出力
0	1	1	1	0	0		周期の終わりでトグル出力	GPTn.GTCCRA(LW)/GTCCRB(LW) レジスタのコンペアマッチで出力保持	
0	1	1	1	0	1			GPTn.GTCCRA(LW)/GTCCRB(LW) レジスタのコンペアマッチでLow出力	
0	1	1	1	1	0			GPTn.GTCCRA(LW)/GTCCRB(LW) レジスタのコンペアマッチでHigh出力	
0	1	1	1	1	1			GPTn.GTCCRA(LW)/GTCCRB(LW) レジスタのコンペアマッチでトグル出力	
1	x	x	x	0	0		インプットキャプチャ	—	立ち上がりエッジでインプットキャプチャ
1	x	x	x	0	1				立ち下がりエッジでインプットキャプチャ
1	x	x	x	1	0	両エッジでインプットキャプチャ			
1	x	x	x	1	1				

x : Don't care

- 注. 周期の終わりとは、のこぎり波のときはオーバフロー（アップカウント時にGTCNT(LW)カウンタ値がGTPR(LW)レジスタ値から“0000h (0000 0000h)”になる）、アンダフロー（ダウンカウント時にGTCNT(LW)カウンタ値が“0000h (0000 0000h)”からGTPR(LW)レジスタ値になる）、またはハードウェア要因、ソフトウェア、同期クリアによるカウンタクリアを、三角波のときは谷（GTCNT(LW)カウンタ値が“0000h (0000 0000h)”から“0001h (0000 0001h)”になる）を示します。
- 注. コンペアマッチ動作時、周期の終わりとGTCCRA(LW)/GTCCRB(LW)レジスタのコンペアマッチのタイミングが一致する場合、のこぎり波PWMモードではb3-b2の設定が優先され、それ以外のモードではb1-b0の設定が優先されます。
- 注. GTIORレジスタでコンペアマッチに設定しただけでは、端子には出力されません。別途、GTONCRレジスタの設定が必要です。

22.2.18 汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)

アドレス GPT0.GTINTAD 000C 2102h, GPT1.GTINTAD 000C 2182h, GPT2.GTINTAD 000C 2202h, GPT3.GTINTAD 000C 2282h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN	EINT	—	—	—	GTINTPR[1:0]	GTINTF	GTINTE	GTINTD	GTINTC	GTINTB	GTINTA	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GTINTA	GTCCRA(LW)コンペアマッチ/インプットキャプチャ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b1	GTINTB	GTCCRB(LW)コンペアマッチ/インプットキャプチャ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b2	GTINTC	GTCCRC(LW)コンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b3	GTINTD	GTCCRD(LW)コンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b4	GTINTE	GTCCRE(LW)コンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b5	GTINTF	GTCCRF(LW)コンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b7-b6	GTINTPR[1:0]	GTIPR(LW)コンペアマッチ割り込み許可ビット	b7 b6 0 0: 割り込み要求を禁止 0 1: のこぎり波のときにオーバフロー、三角波のときに (山) で割り込み要求を許可 1 0: のこぎり波のときにアンダフロー、三角波のときに (谷) で割り込み要求を許可 1 1: のこぎり波のときにオーバフロー/アンダフロー両方、三角波のときに (山/谷) 両方で割り込み要求を許可	R/W
b10-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	EINT	デッドタイムエラー割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b12	ADTRAUEN	GTADTRA(LW)コンペアマッチ (アップカウント) A/D変換開始要求許可ビット	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W
b13	ADTRADEN	GTADTRA(LW)コンペアマッチ (ダウンカウント) A/D変換開始要求許可ビット	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W
b14	ADTRBUEN	GTADTRB(LW)コンペアマッチ (アップカウント) A/D変換開始要求許可ビット	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W
b15	ADTRBDEN	GTADTRB(LW)コンペアマッチ (ダウンカウント) A/D変換開始要求許可ビット	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W

- 注. GTMDR.LWA01ビットの値を変更すると、GPT0.GTINTADレジスタ、GPT1.GTINTADレジスタは“0000h”になります。
注. GTMDR.LWA01ビットが“1”のとき、GPT0.GTINTADレジスタの値は変更できません。
注. GTMDR.LWA23ビットの値を変更すると、GPT2.GTINTADレジスタ、GPT3.GTINTADレジスタは“0000h”になります。
注. GTMDR.LWA23ビットが“1”のとき、GPT2.GTINTADレジスタの値は変更できません。

GTINTADレジスタは、割り込み要求、および A/D 変換開始要求の許可 / 禁止を設定するレジスタです。GTWP.WPn ビット (n = 0 ~ 3) により、書き込みが禁止されたチャンネルの GTINTAD レジスタへの書き込みは無視されます。

GTINTA ビット (GTCCRA(LW) コンペアマッチ / インプットキャプチャ割り込み許可ビット)

GTCCRA(LW) レジスタのコンペアマッチ / インプットキャプチャによる割り込み要求 (GTICIA) を許可 / 禁止します。

GTINTB ビット (GTCCRB(LW) コンペアマッチ/インプットキャプチャ割り込み許可ビット)

GTCCRB(LW) レジスタのコンペアマッチ/インプットキャプチャによる割り込み要求 (GTCIB) を許可 / 禁止します。

GTINTC ビット (GTCCRC(LW) コンペアマッチ割り込み許可ビット)

GTCCRC(LW) レジスタのコンペアマッチによる割り込み要求 (GTCIC) を許可 / 禁止します。

GTINTD ビット (GTCCRD(LW) コンペアマッチ割り込み許可ビット)

GTCCRD(LW) レジスタのコンペアマッチによる割り込み要求 (GTCID) を許可 / 禁止します。

GTINTE ビット (GTCCRE(LW) コンペアマッチ割り込み許可ビット)

GTCCRE(LW) レジスタのコンペアマッチによる割り込み要求 (GTCIE) を許可 / 禁止します。

GTINTF ビット (GTCCRF(LW) コンペアマッチ割り込み許可ビット)

GTCCRF(LW) レジスタのコンペアマッチによる割り込み要求 (GTCIF) を許可 / 禁止します。

GTINTPR[1:0] ビット (GTPR(LW) コンペアマッチ割り込み許可ビット)

GTPR(LW) レジスタのコンペアマッチ (GTCNT(LW) カウンタのオーバフロー) / GTCNT(LW) カウンタのアンダフローによる割り込み要求 (GTCIV/GTCIU) を許可 / 禁止します。

EINT ビット (デッドタイムエラー割り込み許可ビット)

デッドタイムエラー発生による割り込み要求 (GDTE) を許可 / 禁止します。

ADTRAUEN (GTADTRA(LW) コンペアマッチ (アップカウント) A/D 変換開始要求許可ビット)

GTCNT(LW) カウンタがアップカウント時の GTADTRA(LW) レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

ADRADEN (GTADTRA(LW) コンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット)

GTCNT(LW) カウンタがダウンカウント時の GTADTRA(LW) レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

ADTRBUEN (GTADTRB(LW) コンペアマッチ (アップカウント) A/D 変換開始要求許可ビット)

GTCNT(LW) カウンタがアップカウント時の GTADTRB(LW) レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

ADTRBDEN (GTADTRB(LW) コンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット)

GTCNT(LW) カウンタがダウンカウント時の GTADTRB(LW) レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

22.2.19 汎用 PWM タイマ制御レジスタ (GTCR)

アドレス GPT0.GTCR 000C 2104h, GPT1.GTCR 000C 2184h, GPT2.GTCR 000C 2204h, GPT3.GTCR 000C 2284h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	CCLR[1:0]	TPCS[3:0]			—	—	—	—	—	—	MD[2:0]		—	—
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	MD[2:0]	モード選択ビット	b2 b0 000: のこぎり波PWMモード (シングル/ダブルバッファ可) 001: のこぎり波ワンショットパルスモード (バッファ動作固定) 010: 設定しないでください 011: 設定しないでください 100: 三角波PWMモード1 (谷16ビット転送) (シングル/ダブルバッファ可) 101: 三角波PWMモード2 (山/谷16ビット転送) (シングル/ダブルバッファ可) 110: 三角波PWMモード3 (谷32ビット転送) (バッファ動作固定) 111: 設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	TPCS[3:0]	タイマプリスケーラ選択ビット	b11 b8 0000: PCLKA 0001: PCLKA/2 0010: PCLKA/4 0011: PCLKA/8 0100: PCLKA/16 0101: PCLKA/32 0110: PCLKA/64 0111: PCLKA/256 1000: PCLKA/1024 1001: 設定しないでください 1010: 設定しないでください 1011: 設定しないでください 1100: GTECLKA 1101: GTECLKB 1110: GTECLKC 1111: GTECLKD	R/W
b13-b12	CCLR[1:0]	カウンタクリア要因選択ビット	b13 b12 00: 下記要因を設定しない 01: GTCCRA(LW)レジスタのインプットキャプチャでクリア 10: GTCCRB(LW)レジスタのインプットキャプチャでクリア 11: 同期クリア/同期動作をしている他のカウンタクリア要因でクリア	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. GTMDR.LWA01ビットの値を変更すると、GPT0.GTCRレジスタ、GPT1.GTCRレジスタは“0000h”になります。

注. GTMDR.LWA01ビットが“1”のとき、GPT0.GTCRレジスタの値は変更できません。

注. GTMDR.LWA23ビットの値を変更すると、GPT2.GTCRレジスタ、GPT3.GTCRレジスタは“0000h”になります。

注. GTMDR.LWA23ビットが“1”のとき、GPT2.GTCRレジスタの値は変更できません。

GTCR レジスタは、GTCNT(LW) カウンタを制御するレジスタです。

GTCR レジスタの設定は、GTCNT(LW) カウンタが停止した状態で行ってください。GTWP.WPn ビット (n=0~3) により、書き込みが禁止されたチャンネルの GTCR レジスタへの書き込みは無視されます。

MD[2:0] ビット (モード選択ビット)

GPT の動作モードを選択します。

TPCS[3:0] ビット (タイマプリスケラ選択ビット)

GTCNT(LW) カウンタのクロックを選択します。各チャンネル独立にクロックソースを選択することができます。

内部クロック (“0000b” ~ “1000b”) をカウントクロックとして選択している場合、カウントスタート (GTSTR.CSTn = 1) 以後の最初のカウントクロックでは GTIOCnA、GTIOCnB 端子に GTIOR レジスタで設定された初期出力を出力し、GTCNT(LW) カウンタの更新は行いません。GTCNT(LW) カウンタの更新は、次のカウントクロックから行います。

外部クロック (“1100b” ~ “1111b”) をカウントクロックとして選択している場合、GTIOCnA、GTIOCnB 端子への初期出力はカウントスタート (GTSTR.CSTn = 1) のタイミングで行い、最初のカウントクロックから GTCNT(LW) カウンタを更新します。

CCLR[1:0] ビット (カウンタクリア要因選択ビット)

GTCNT(LW) カウンタのクリア要因を選択します。ハードウェア要因、ソフトウェアによるカウンタのクリア以外に、このビットで選択した要因が追加されます。

インプットキャプチャによるクリアを選択した場合、カウンタのクリアとインプットキャプチャによる GTCCRA(LW) レジスタ、GTCCRB(LW) レジスタのバッファ転送を行い、他のバッファ転送は行いません。インプットキャプチャによるクリアと同時にハードウェア要因、ソフトウェアによるクリアが発生した場合、他のバッファ転送も行います。

同期クリアを選択すると、のこぎり波の場合は、自身のオーバフロー/アンダフローによるクリアと同等として扱い、端子出力/バッファ転送を行います。このとき GTINTAD.GTINTPR[1:0] ビットが “01b” か “10b” か “11b” に設定されていても GTCIV/GTCIU 割り込みは要求しません。三角波の場合は、カウンタクリア動作のみ行い、端子出力/バッファ転送を行いません。カウンタ値は “0000h (0000 0000h)” になりますが、“谷” として扱いません。

カウンタクリア要因で “01b” または “10b” または “11b” を選択した場合、GTCNT(LW) カウンタが動作中 (GTSTR.CSTn ビット = 1 (n = 0 ~ 3)) でも、停止中 (GTSTR.CSTn ビット = 0) でも、要因によるカウンタクリアは実行されます。

のこぎり波で、カウント方向がダウンカウント (GTST.TUCF = 0) のときは、カウンタクリア実行で GTCNT(LW) カウンタは GTPR(LW) レジスタ設定値になります。それ以外のときは、カウンタクリア実行で GTCNT(LW) カウンタは “0000h (0000 0000h)” になります。

22.2.20 汎用 PWM タイマバッファイネーブルレジスタ (GTBER)

アドレス GPT0.GTBER 000C 2106h, GPT1.GTBER 000C 2186h, GPT2.GTBER 000C 2206h, GPT3.GTBER 000C 2286h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	ADTDB	ADTTB[1:0]	—	ADTDA	ADTTA[1:0]	—	CCRS WT	PR[1:0]	CCRB[1:0]	CCRA[1:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CCRA[1:0]	GTCCRA(LW)バッファ動作ビット	b1 b0 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTCCRA(LW)レジスタ⇔GTCCRC(LW)レジスタ) 1 x : ダブルバッファとして動作する (GTCCRA(LW)レジスタ⇔GTCCRC(LW)レジスタ ⇔GTCCRD(LW)レジスタ)	R/W
b3-b2	CCRB[1:0]	GTCCRB(LW)バッファ動作ビット	b3 b2 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTCCRB(LW)レジスタ⇔GTCCRE(LW)レジスタ) 1 x : ダブルバッファとして動作する (GTCCRB(LW)レジスタ⇔GTCCRE(LW)レジスタ ⇔GTCCRF(LW)レジスタ)	R/W
b5-b4	PR[1:0]	GTPR(LW)バッファ動作ビット	b5 b4 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTPBR(LW)レジスタ⇔GTPR(LW)レジスタ) 1 x : ダブルバッファとして動作する (GTPDBR(LW)レジスタ⇔GTPBR(LW)レジスタ⇔ GTPR(LW)レジスタ)	R/W
b6	CCRSWT	GTCCRA(LW)・GTCCRB(LW)強制 バッファ動作ビット	“1”を書くとGTCCRA(LW), GTCCRB(LW)レジスタのバッ ファ転送を強制的に行います。“1”を書いた後、自動的に “0”に戻ります。読むと“0”が読めます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	ADTTA[1:0]	GTADTRA(LW)バッファ転送タイミ ング選択ビット	<ul style="list-style-type: none"> 三角波の場合 b9 b8 0 0 : 転送しない 0 1 : (山)で転送 1 0 : (谷)で転送 1 1 : (谷/山)両方で転送 <ul style="list-style-type: none"> のこぎり波の場合 b9 b8 0 0 : 転送しない 0 0以外 : アンダフロー (ダウンカウント時)、オーバフ ロー (アップカウント時)、カウンタクリアで 転送	R/W
b10	ADTDA	GTADTRA(LW)ダブルバッファ動作 ビット	0 : シングルバッファとして動作する (GTADTBRA(LW)レジスタ⇔GTADTRA(LW)レジ スタ) 1 : ダブルバッファとして動作する (GTADTDBRA(LW)レジスタ⇔GTADTBRA(LW)レ ジスタ⇔GTADTRA(LW)レジスタ)	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b13-b12	ADTTB[1:0]	GTADTRB(LW)バッファ転送タイミング選択ビット	<ul style="list-style-type: none"> 三角波の場合 b13 b12 0 0: 転送しない 0 1: (山) で転送 1 0: (谷) で転送 1 1: (谷/山) 両方で転送 のこぎり波の場合 b13 b12 0 0: 転送しない 0 0以外: アンダフロー (ダウンカウント時)、オーバーフロー (アップカウント時)、カウンタクリアで転送 	R/W
b14	ADTDB	GTADTRB(LW)ダブルバッファ動作ビット	0: シングルバッファとして動作する (GTADTBRB(LW)レジスタ⇒GTADTRB(LW)レジスタ) 1: ダブルバッファとして動作する (GTADTDBRB(LW)レジスタ⇒GTADTBRB(LW)レジスタ⇒GTADTRB(LW)レジスタ)	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. GTMDR.LWA01ビットの値を変更すると、GPT0.GTBERレジスタ、GPT1.GTBERレジスタは“0000h”になります。

注. GTMDR.LWA01ビットが“1”のとき、GPT0.GTBERレジスタの値は変更できません。

注. GTMDR.LWA23ビットの値を変更すると、GPT2.GTBERレジスタ、GPT3.GTBERレジスタは“0000h”になります。

注. GTMDR.LWA23ビットが“1”のとき、GPT2.GTBERレジスタの値は変更できません。

GTBER レジスタは、バッファ動作の設定を行うレジスタです。

GTBER レジスタの設定は、GTCNT(LW) カウンタが停止した状態で行ってください。GTWP.WPn ビット (n=0~3) により、書き込みが禁止されたチャンネルのGTBER レジスタへの書き込みは無視されます。

CCRA[1:0] ビット (GTCCRA(LW) バッファ動作ビット)

GTCCRA(LW) レジスタと GTCCRC(LW) レジスタと GTCCRD(LW) レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによりバッファ動作が制限される場合には、GTCR レジスタの設定が優先されます。(注1)

CCRB[1:0] ビット (GTCCRB(LW) バッファ動作ビット)

GTCCRB(LW) レジスタと GTCCRE(LW) レジスタと GTCCRF(LW) レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによりバッファ動作が制限される場合には、GTCR レジスタの設定が優先されます。(注1)

PR[1:0] ビット (GTPR(LW) バッファ動作ビット)

GTPR(LW) レジスタと GTPBR(LW) レジスタと GTPDBR(LW) レジスタを組み合わせたバッファ動作を設定します。

CCRSWT ビット (GTCCRA(LW)・GTCCRB(LW) 強制バッファ動作ビット)

CCRSWT ビットに“1”を書くと、強制的にGTCCRA(LW) レジスタとGTCCRB(LW) レジスタのバッファ転送を行います。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます。

カウントストップ中かつコンペマツチ動作設定時のみ有効です。

のこぎり波ワンショットパルスモードおよび三角波PWMモード3の場合は、カウントストップ中の強制バッファ転送により、GTCCRD(LW) レジスタからテンポラリレジスタ A(LW)、GTCCRF(LW) レジスタからテンポラリレジスタ B(LW) のバッファ転送も行います。

ADTTA[1:0] ビット (GTADTRA(LW) バッファ転送タイミング選択ビット)

GTADTRA(LW) レジスタと GTADTBRA(LW) レジスタと GTADTDBRA(LW) レジスタのバッファ動作の転送タイミングを設定します。のこぎり波でバッファ転送を行う場合、カウンタクリア要因は、ハードウェア要

因、ソフトウェア、同期クリアです。インプットキャプチャによるクリアでは、バッファ転送を行いません。

ADTDA ビット (GTADTRA(LW) ダブルバッファ動作ビット)

GTADTRA(LW) レジスタと GTADTBRA(LW) レジスタと GTADTDBRA(LW) レジスタを組み合わせたバッファ動作を設定します。

ADTTB[1:0] ビット (GTADTRB(LW) バッファ転送タイミング選択ビット)

GTADTRB(LW) レジスタと GTADTBRB(LW) レジスタと GTADTDBRB(LW) レジスタのバッファ動作の転送タイミングを設定します。のこぎり波でバッファ転送行う場合、カウンタクリア要因は、ハードウェア要因、ソフトウェア、同期クリアです。インプットキャプチャによるクリアでは、バッファ転送を行いません。

ADTDB ビット (GTADTRB(LW) ダブルバッファ動作ビット)

GTADTRB(LW) レジスタと GTADTBRB(LW) レジスタと GTADTDBRB(LW) レジスタを組み合わせたバッファ動作を設定します。

- 注 1. のこぎり波ワンショットパルスモード、または三角波 PWM モード 3 (谷 32 ビット転送) の場合、バッファ動作は固定となります。

22.2.21 汎用 PWM タイマカウンタ方向レジスタ (GTUDC)

アドレス GPT0.GTUDC 000C 2108h, GPT1.GTUDC 000C 2188h, GPT2.GTUDC 000C 2208h, GPT3.GTUDC 000C 2288h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OBDTYR	OBDTYF	OBDTY[1:0]	OADTYR	OADTYF	OADTY[1:0]	—	—	—	—	—	—	—	—	UDF	UD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UD	カウンタ方向設定ビット	0 : GTCNT(LW)カウンタはダウンカウンタ 1 : GTCNT(LW)カウンタはアップカウンタ	R/W
b1	UDF	カウンタ方向強制設定ビット	0 : 強制設定しない 1 : 強制設定する	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	OADTY[1:0]	GTIOCA端子出力デューティ設定ビット	b9 b8 0 x : コンペアマッチでGTIOCA端子出力のデューティが決まる 1 0 : GTIOCA端子出力のデューティ 0% 1 1 : GTIOCA端子出力のデューティ 100%	R/W
b10	OADTYF	GTIOCA端子出力デューティ強制設定ビット	0 : GTIOCA端子出力デューティを強制設定しない 1 : GTIOCA端子出力デューティを強制設定する	R/W
b11	OADTYR	GTIOCA端子出力0%/100%デューティ設定解除後出力	0 : 0%/100%デューティ設定解除後にデューティ設定された出力値に対してGTIOA[3:2]ビットの機能を適用する 1 : 0%/100%デューティ設定解除後にマスクされていたコンペアマッチ出力値に対してGTIOA[3:2]ビットの機能を適用する	R/W
b13-b12	OBDTY[1:0]	GTIOCB端子出力デューティ設定ビット	b13 b12 0 x : コンペアマッチでGTIOCB端子出力のデューティが決まる 1 0 : GTIOCB端子出力のデューティ 0% 1 1 : GTIOCB端子出力のデューティ 100%	R/W
b14	OBDTYF	GTIOCB端子出力デューティ強制設定ビット	0 : GTIOCB端子出力デューティを強制設定しない 1 : GTIOCB端子出力デューティを強制設定する	R/W
b15	OBDTYR	GTIOCB端子出力0%/100%デューティ設定解除後出力	0 : 0%/100%デューティ設定解除後にデューティ設定された出力値に対してGTIOB[3:2]ビットの機能を適用する。 1 : 0%/100%デューティ設定解除後にマスクされていたコンペアマッチ出力値に対してGTIOB[3:2]ビットの機能を適用する	R/W

x: Don't care

- 注. GTMDR.LWA01ビットの値を変更すると、GPT0.GTUDCレジスタ、GPT1.GTUDCレジスタは“0000h”になります。
- 注. GTMDR.LWA01ビットが“1”のとき、GPT0.GTUDCレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT2.GTUDCレジスタ、GPT3.GTUDCレジスタは“0000h”になります。
- 注. GTMDR.LWA23ビットが“1”のとき、GPT2.GTUDCレジスタの値は変更できません。

GTUDCレジスタは、GTCNT(LW)カウンタのカウント方向（アップカウンタ/ダウンカウンタ）を設定するレジスタです。GTWP.WPnビット（n=0～3）により、書き込みが禁止されたチャネルのGTUDCレジスタへの書き込みは無視されます。

(1) カウンタ方向設定

• のこぎり波の場合

アップカウンタ動作中にUDビットを“0”にした場合、オーバフロー（GTCNT(LW)カウンタ値がGTPR(LW)レジスタ状態でのカウントクロック）時にカウンタ方向が切り替わります。

ダウンカウンタ動作中にUDビットを“1”にした場合、アンダフロー（GTCNT(LW)カウンタ値が“0”状態でのカウントクロック）時にカウンタ方向が切り替わります。

カウントストップ中にUDFビットが“0”の状態からUDビットを“1”から“0”に変更した場合、最初のカウンタ動作はアップカウンタとなり、オーバフロー（GTCNT(LW)カウンタ値がGTPR(LW)レジスタ状態でのカウントクロック）時にカウンタ方向が切り替わります。

カウントストップ中に UDF ビットが “0” の状態で UD ビットを “0” から “1” に変更した場合、最初のカウント動作はダウンカウントとなり、アンダフロー (GTCNT(LW) カウンタ値が “0000h (0000 0000h)” 状態でのカウントクロック) 時にカウント方向が切り替わります。

カウントストップ中に UDF ビットを “1” にすると、そのときの UD ビットの値がカウントスタート時のカウント方向に反映されます。

- 三角波の場合

カウント中に UD ビット値を変化させてもカウント方向には反映されません。

カウントストップ中に UDF ビットが “0” の状態で UD ビットの値を変化させても、カウントスタート後のカウント方向には反映されません。

カウントストップ中に UDF ビットを “1” にすると、そのときの UD ビットの値がカウントスタート時のカウント方向に反映されます。

UD ビット (カウント方向設定ビット)

GTCNT(LW) カウンタのカウント方向 (アップ/ダウン) を設定します。

UDF ビット (カウント方向強制設定ビット)

GTCNT(LW) カウンタのスタート時のカウント方向を強制的に UD ビットの値に設定します。

カウント中の書き込みは “0” としてください。

カウントストップ中に “1” を書いた場合、カウントスタートまでに “0” に戻してください。

(2) 出力デューティ設定

- のこぎり波の場合

アップカウント動作中に OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、オーバフロー時に変更したデューティ設定が反映されます。

ダウンカウント動作中に OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、アンダフロー時に変更したデューティ設定が反映されます。

カウント動作停止中に OADTYF/OBDTYF ビットが “0” の状態で、OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、最初のカウント動作には変更したデューティ設定は反映されず、アップカウントの場合はオーバフロー時に、ダウンカウントの場合はアンダフロー時に変更したデューティ設定が反映されます。

カウント動作停止中に OADTYF/OBDTYF ビットが “1” の状態で、OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、最初のカウント動作に変更したデューティ設定が反映されます。

- 三角波の場合

カウント動作中に OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、アンダフロー時に変更したデューティ設定が反映されます。

カウント動作停止中に OADTYF/OBDTYF ビットが “0” の状態で、OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、最初のカウント動作には変更したデューティ設定は反映されず、アンダフロー時に変更したデューティ設定が反映されます。

カウント動作停止中に OADTYF/OBDTYF ビットが “1” の状態で、OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、最初のカウント動作に変更したデューティ設定が反映されます。

OmDTY[1:0] ビット (GTIOCm 端子出力デューティ設定ビット) (m = A, B)

GTIOCm 端子からの出力のデューティ (0%/100%/コンペアマッチによる制御) を設定します。

OmDTYF ビット (GTIOCm 端子出力デューティ強制設定ビット) (m = A, B)

GTCNT(LW) カウンタ動作開始時のデューティを強制的に OmDTY[1:0] ビットに設定します。

カウント動作中の書き込みは常に “0” としてください。

カウント動作停止中に“1”を書いた場合、カウント動作開始後の最初の周期の終わりまでに“0”に戻して、次の周期の設定をしてください。

OmDTYR ビット (GTIOcm 端子出力 0%/100% デューティ設定解除後出力ビット) (m = A, B)

GTIOcm 端子に対して 0%/100% デューティ設定からコンペアマッチによる制御に変更し、GTIOR.GTIOm[3:2] ビットが“00b”で周期の終わりで出力保持、または“11b”で周期の終わりでトグル出力となっていた場合の保持またはトグルの対象となる値を選択します。

デューティ 0%/100% 設定の動作中、GPT 内部ではコンペアマッチ動作は継続しています。OmDTYR ビットが“1”の場合、このコンペアマッチ動作による周期の終わりでの値を GTIOR.GTIOm[3:2] ビットの対象とします。

22.2.22 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC)

アドレス GPT0.GTITC 000C 210Ah, GPT1.GTITC 000C 218Ah, GPT2.GTITC 000C 220Ah, GPT3.GTITC 000C 228Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	ADTBL	—	ADTAL	—	IVTT[2:0]	—	—	IVTC[1:0]	—	ITLF	ITLE	ITLD	ITLC	ITLB	ITLA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITLA	GTCCRA(LW)コンペアマッチ/インプットキャプチャ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b1	ITLB	GTCCRB(LW)コンペアマッチ/インプットキャプチャ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b2	ITLC	GTCCRC(LW)コンペアマッチ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b3	ITLD	GTCCRD(LW)コンペアマッチ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b4	ITLE	GTCCRE(LW)コンペアマッチ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b5	ITLF	GTCCRF(LW)コンペアマッチ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b7-b6	IVTC[1:0]	GTCIV/GTCIU 割り込み間引き機能選択ビット	b7 b6 0 0 : 間引きしない 0 1 : のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに (山) をカウントして間引く 1 0 : のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに (谷) をカウントして間引く 1 1 : のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに (谷/山) 両方をカウントして間引く	R/W
b10-b8	IVTT[2:0]	GTCIV/GTCIU 割り込み間引き回数選択ビット	b10 b8 0 0 0 : 間引きしない 0 0 1 : 間引き回数 : 1回 0 1 0 : 間引き回数 : 2回 0 1 1 : 間引き回数 : 3回 1 0 0 : 間引き回数 : 4回 1 0 1 : 間引き回数 : 5回 1 1 0 : 間引き回数 : 6回 1 1 1 : 間引き回数 : 7回	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADTAL	GTADTRA(LW) A/D 変換開始要求連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	ADTBL	GTADTRB(LW) A/D 変換開始要求連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注. GTMDR.LWA01 ビットの値を変更すると、GPT0.GTITC レジスタ、GPT1.GTITC レジスタは“0000h”になります。
- 注. GTMDR.LWA01 ビットが“1”のとき、GPT0.GTITC レジスタの値は変更できません。
- 注. GTMDR.LWA23 ビットの値を変更すると、GPT2.GTITC レジスタ、GPT3.GTITC レジスタは“0000h”になります。
- 注. GTMDR.LWA23 ビットが“1”のとき、GPT2.GTITC レジスタの値は変更できません。

GTITC レジスタは、GTCNT(LW) カウンタのオーバフロー (GTPR(LW) レジスタのコンペアマッチ) 割り込み (GTCIV) / アンダフロー割り込み (GTCIU) の間引き機能の設定と他の割り込み、および A/D 変換開始要求を GTCIV/GTCIU 割り込み間引き機能と連動するかどうかを設定するレジスタです。ただし、デッドタイムエラー割り込みは GTCIV/GTCIU 割り込み間引き機能と連動することはできません。GTWP.WPn ビッ

ト ($n=0\sim 3$) により、書き込みが禁止されたチャンネルの GTITC レジスタへの書き込みは無視されます。

ITLA ビット (GTCCRA(LW) コンペアマッチ/インプットキャプチャ割り込み連動ビット)

GTCCRA(LW) レジスタのコンペアマッチ/インプットキャプチャ割り込み (GTCIA) が、GTCIV/GTCIU 割り込み間引き機能と連動する/しないを設定します。

ITLB ビット (GTCCRB(LW) コンペアマッチ/インプットキャプチャ割り込み連動ビット)

GTCCRB(LW) レジスタのコンペアマッチ/インプットキャプチャ割り込み (GTCIB) が、GTCIV/GTCIU 割り込み間引き機能と連動する/しないを設定します。

ITLC ビット (GTCCRC(LW) コンペアマッチ割り込み連動ビット)

GTCCRC(LW) レジスタのコンペアマッチ割り込み (GTCIC) が、GTCIV/GTCIU 割り込み間引き機能と連動する/しないを設定します。

ITLD ビット (GTCCRD(LW) コンペアマッチ割り込み連動ビット)

GTCCRD(LW) レジスタのコンペアマッチ割り込み (GTCID) が、GTCIV/GTCIU 割り込み間引き機能と連動する/しないを設定します。

ITLE ビット (GTCCRE(LW) コンペアマッチ割り込み連動ビット)

GTCCRE(LW) レジスタのコンペアマッチ割り込み (GTCIE) が、GTCIV/GTCIU 割り込み間引き機能と連動する/しないを設定します。

ITLF ビット (GTCCRF(LW) コンペアマッチ割り込み連動ビット)

GTCCRF(LW) レジスタのコンペアマッチ割り込み (GTCIF) が、GTCIV/GTCIU 割り込み間引き機能と連動する/しないを設定します。

IVTC[1:0] ビット (GTCIV/GTCIU 割り込み間引き機能選択ビット)

GTPR(LW) レジスタのコンペアマッチ (GTCNT(LW) カウンタのオーバフロー) 割り込み (GTCIV) / GTCNT(LW) カウンタのアンダフロー割り込み (GTCIU) の間引き機能を選択します。

IVTT[2:0] ビット (GTCIV/GTCIU 割り込み間引き回数選択ビット)

GTPR(LW) レジスタのコンペアマッチ (GTCNT(LW) カウンタのオーバフロー) 割り込み (GTCIV) / GTCNT(LW) カウンタのアンダフロー割り込み (GTCIU) の間引き回数を選択します。

IVTT[2:0] ビットを変更する場合は、IVTC[1:0] ビットを“00b”にしてから行ってください。

ADTAL ビット (GTADTRA(LW) A/D 変換開始要求連動ビット)

GTADTRA(LW) レジスタのコンペアマッチでの A/D 変換開始要求が、GTCIV_n/GTCIU_n 割り込み間引き機能 ($n=0\sim 3$) と連動する/しないを設定します。

ADTBL ビット (GTADTRB(LW) A/D 変換開始要求連動ビット)

GTADTRB(LW) レジスタのコンペアマッチでの A/D 変換開始要求が、GTCIV_n/GTCIU_n 割り込み間引き機能 ($n=0\sim 3$) と連動する/しないを設定します。

22.2.23 汎用 PWM タイマステータスレジスタ (GTST)

アドレス GPT0.GTST 000C 210Ch, GPT1.GTST 000C 218Ch, GPT2.GTST 000C 220Ch, GPT3.GTST 000C 228Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TUCF	—	—	—	DTEF	ITCNT[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b10-b8	ITCNT[2:0]	GTCIV/GTCIU 割り込み間引き回数カウンタ	タイマ割り込み間引き回数カウンタ	R
b11	DTEF	デッドタイムエラーフラグ	0: デッドタイムエラーの発生なし 1: デッドタイムエラーの発生あり	R
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	TUCF	カウント方向フラグ	0: GTCNT(LW)カウンタはダウンカウント 1: GTCNT(LW)カウンタはアップカウント	R

注. GTMDR.LWA01ビットの値を変更すると、GPT0.GTSTレジスタ、GPT1.GTSTレジスタは“80xxh”になります。

注. GTMDR.LWA01ビットが“1”のとき、GPT0.GTSTレジスタの値は変更できません。

注. GTMDR.LWA23ビットの値を変更すると、GPT2.GTSTレジスタ、GPT3.GTSTレジスタは“80xxh”になります。

注. GTMDR.LWA23ビットが“1”のとき、GPT2.GTSTレジスタの値は変更できません。

GTST レジスタは、GPT の状態を示します。GTWP.WPn ビット (n=0~3) により、書き込みが禁止されたチャンネルの GTST レジスタへの書き込みは無視されます。

ITCNT[2:0] ビット (GTCIV/GTCIU 割り込み間引き回数カウンタ)

GTCIV/GTCIU 割り込み間引き機能を使用時 (GTITC.IVTC[1:0] ビットを“00b”以外に設定時)、GTCIV/GTCIU 割り込み要因が発生するごとに1カウントアップします。

[“0”になる条件]

- GTCIV/GTCIU 割り込み間引き機能を未使用時 (GTITC.IVTC[1:0] ビットが“00b”のとき、GTITC.IVTT[2:0] ビットが“000b”のとき)
- GTCIV/GTCIU 割り込み間引き回数が一致したとき (GTITC.IVTT[2:0] ビットで設定した間引き回数とITCNT[2:0] ビット値が一致したとき)

DTEF フラグ (デッドタイムエラーフラグ)

デッドタイム自動設定後の波形変化ポイントが、カウント周期を超えたことを示すフラグです。

デッドタイム自動設定後の波形変化ポイントが、カウント周期内に戻ると“0”に戻ります。DTEF フラグは読み出しのみ可能です。(“0”書き込みによって“0”にすることはできません)

DTEF フラグによる割り込みを許可している (GTINTAD.EINT ビット=1) 場合、DTEF フラグが“0”から“1”に変化するたびに GDTE 割り込みが発生します。

[“1”になる条件]

- デッドタイム自動設定後の波形変化ポイントが、カウント周期を超えたとき (以下の場合)
 - 三角波でアップカウントの場合: $GTCRA(LW) - GTDVU(LW) \leq 0$ のとき
 - 三角波でダウンカウントの場合: $GTCRA(LW) - GTDVD(LW) < 0$ のとき
 - のこぎり波ワンショットパルスモードでアップカウントの場合: $GTCRA(LW) - GTDVU(LW) < 0$ または $GTCRA(LW) + GTDVD(LW) > GTPR(LW)$ のとき
 - のこぎり波ワンショットパルスモードでダウンカウントの場合:

$GTCCRA(LW) + GTDVU(LW) > GTPR(LW)$ または $GTCCRA(LW) - GTDVD(LW) < 0$ のとき

[“0”になる条件]

- デッドタイム自動設定後の波形変化ポイントが、カウント周期内にあるとき

TUCF フラグ (カウント方向フラグ)

GTCNT(LW) カウンタのカウント方向を示すフラグです。

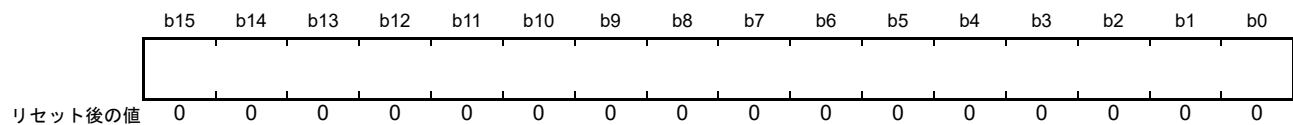
カウント停止中に GTUDC.UDF ビットを “1” にすると、そのときの GTUDC.UD ビット値が TUCF フラグに設定されます。

カウント停止中でも動作中でも、三角波の場合、クリア (ハードウェア要因、ソフトウェア、インプットキャプチャ、同期クリア) によって、TUCF フラグは “1” になります。のこぎり波の場合、クリアによる TUCF フラグの更新は発生しません。

カウント動作中、のこぎり波の場合、アップカウントのオーバフロー、ダウンカウントのアンダフローで、GTUDC.UD ビット値が TUCF フラグに設定されます。三角波の場合、山で “0”、谷で “1”、GTPR(LW) レジスタに GTCNT(LW) カウンタよりも大きな値が設定されたときは “0” になります。

22.2.24 汎用 PWM タイマカウンタ (GTCNT)

アドレス GPT0.GTCNT 000C 210Eh, GPT1.GTCNT 000C 218Eh, GPT2.GTCNT 000C 220Eh, GPT3.GTCNT 000C 228Eh

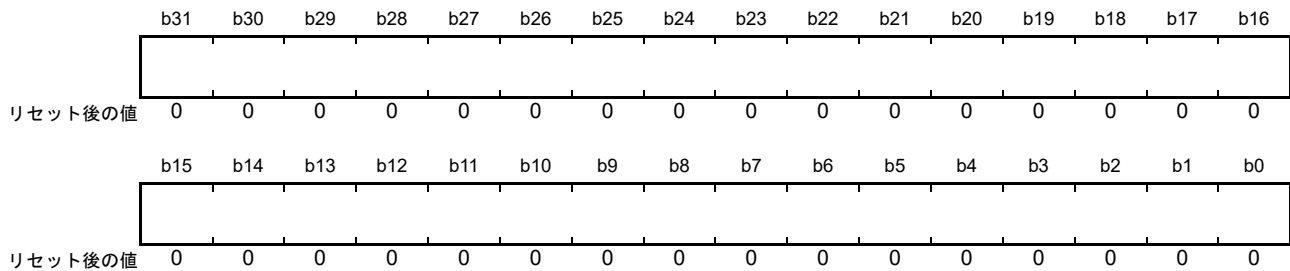


- 注. GTMDR.LWA01 ビットの値を変更すると、GPT0.GTCNT カウンタ、GPT1.GTCNT カウンタは “0000h” になります。
 注. GTMDR.LWA01 ビットが “1” のとき、GPT0.GTCNT カウンタ、GPT1.GTCNT カウンタの値は変更できません。
 注. GTMDR.LWA23 ビットの値を変更すると、GPT2.GTCNT カウンタ、GPT3.GTCNT カウンタは “0000h” になります。
 注. GTMDR.LWA23 ビットが “1” のとき、GPT2.GTCNT カウンタ、GPT3.GTCNT カウンタの値は変更できません。

GTCNT カウンタは、16 ビットの読み書き可能なカウンタで、各チャンネルに 1 本ずつあります。カウント停止時のみ書き込み可能で、カウント中は書き込むことはできません。GTCNT カウンタの 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。GTWP.WPn ビット (n=0~3) により、書き込みが禁止されたチャンネルの GTCNT カウンタへの書き込みは無視されます。

22.2.25 汎用 PWM タイマロングワードカウンタレジスタ (GTCNTLW)

アドレス GPT01.GTCNTLW 000C 2300h, GPT23.GTCNTLW 000C 2380h



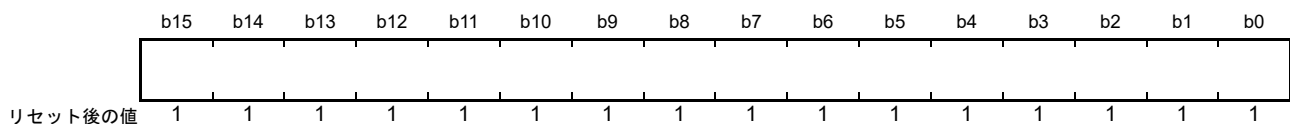
- 注. GTMDR.LWA01ビットの値を変更すると、GPT01.GTCNTLWカウンタは"0000 0000h"になります。
- 注. GTMDR.LWA01ビットが"0"のとき、GPT01.GTCNTLWカウンタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT23.GTCNTLWカウンタは"0000 0000h"になります。
- 注. GTMDR.LWA23ビットが"0"のとき、GPT23.GTCNTLWカウンタの値は変更できません。

GTCNTLW カウンタは、32 ビットの読み書き可能なカウンタです。

カウント停止時のみ書き込み可能で、カウント中は書き込むことはできません。GTCNTLW カウンタの 8 ビット /16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。GTWP.WPn ビット (n=1,3) により、書き込みが禁止されたチャネルの GTCNTLW カウンタへの書き込みは無視されます。

22.2.26 汎用 PWM タイマコンペアキャプチャレジスタ m (GTCCRm) (m = A ~ F)

アドレス GPT0.GTCCRA 000C 2110h, GPT1.GTCCRA 000C 2190h, GPT2.GTCCRA 000C 2210h, GPT3.GTCCRA 000C 2290h, GPT0.GTCCRB 000C 2112h, GPT1.GTCCRB 000C 2192h, GPT2.GTCCRB 000C 2212h, GPT3.GTCCRB 000C 2292h, GPT0.GTCCRC 000C 2114h, GPT1.GTCCRC 000C 2194h, GPT2.GTCCRC 000C 2214h, GPT3.GTCCRC 000C 2294h, GPT0.GTCCRD 000C 2116h, GPT1.GTCCRD 000C 2196h, GPT2.GTCCRD 000C 2216h, GPT3.GTCCRD 000C 2296h, GPT0.GTCCRE 000C 2118h, GPT1.GTCCRE 000C 2198h, GPT2.GTCCRE 000C 2218h, GPT3.GTCCRE 000C 2298h, GPT0.GTCCRF 000C 211Ah, GPT1.GTCCRF 000C 219Ah, GPT2.GTCCRF 000C 221Ah, GPT3.GTCCRF 000C 229Ah



- 注. GTMDR.LWA01ビットの値を変更すると、GPT0.GTCCRmレジスタ、GPT1.GTCCRmレジスタは"FFFFh"になります。
- 注. GTMDR.LWA01ビットが"1"のとき、GPT0.GTCCRmレジスタ、GPT1.GTCCRmレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT2.GTCCRmレジスタ、GPT3.GTCCRmレジスタは"FFFFh"になります。
- 注. GTMDR.LWA23ビットが"1"のとき、GPT2.GTCCRmレジスタ、GPT3.GTCCRmレジスタの値は変更できません。

GTCCRm レジスタは、16 ビットの読み書き可能なレジスタで、各チャネルに 6 本ずつあります。

GTCCRA, GTCCRB レジスタはアウトプットコンペア / インプットキャプチャ兼用のレジスタです。

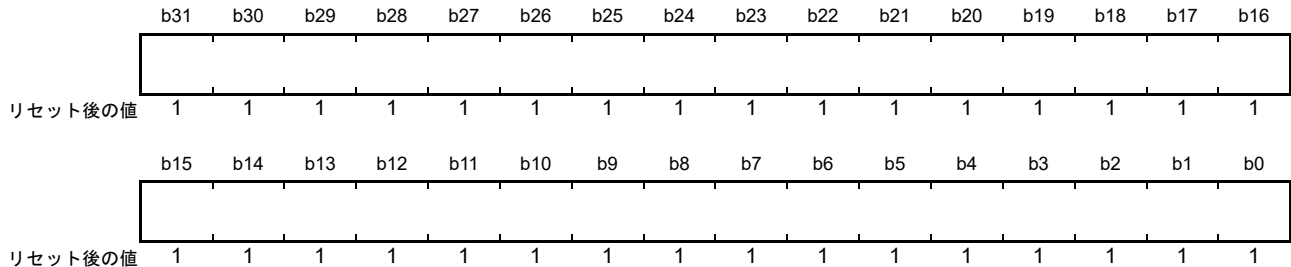
GTCCRC, GTCCRE レジスタはコンペアマッチレジスタですが、GTCCRA, GTCCRB レジスタのバッファレジスタとして動作させることもできます。

GTCCRD, GTCCRF レジスタはコンペアマッチレジスタですが、GTCCRC, GTCCRE レジスタのバッファレジスタ (GTCCRA, GTCCRB レジスタのダブルバッファレジスタ) として動作させることもできます。

GTWP.WPn ビット (n=0~3) により、書き込みが禁止されたチャネルの GTCCRm レジスタへの書き込みは無視されます。

22.2.27 汎用 PWM タイマロングワードコンペアキャプチャレジスタ m (GTCCRmLW) (m = A ~ F)

アドレス GPT01.GTCCRALW 000C 2304h, GPT01.GTCCRBWLW 000C 2308h, GPT01.GTCCRCLW 000C 230Ch, GPT01.GTCCRDWLW 000C 2310h, GPT01.GTCCRELW 000C 2314h, GPT01.GTCCRFLW 000C 2318h, GPT23.GTCCRALW 000C 2384h, GPT23.GTCCRBWLW 000C 2388h, GPT23.GTCCRCLW 000C 238Ch, GPT23.GTCCRDWLW 000C 2390h, GPT23.GTCCRELW 000C 2394h, GPT23.GTCCRFLW 000C 2398h



- 注. GTMDR.LWA01ビットの値を変更すると、GPT01.GTCCRmLWレジスタは“FFFF FFFFh”になります。
- 注. GTMDR.LWA01ビットが“0”のとき、GPT01.GTCCRmLWレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT23.GTCCRmLWレジスタは“FFFF FFFFh”になります。
- 注. GTMDR.LWA23ビットが“0”のとき、GPT23.GTCCRmLWレジスタの値は変更できません。

GTCCRmLW レジスタは、32 ビットの読み書き可能なレジスタです。

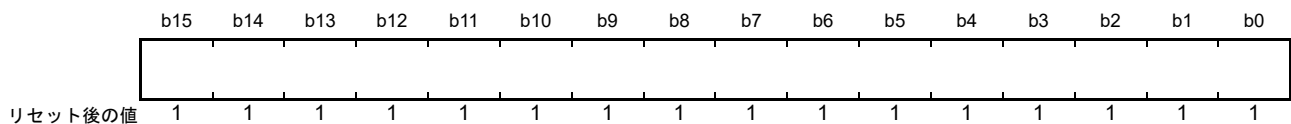
GTCCRALW レジスタ、GTCCRBWLW レジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

GTCCRCLW レジスタ、GTCCRELW レジスタはコンペアマッチレジスタですが、GTCCRALW レジスタ、GTCCRBWLW レジスタのバッファレジスタとして動作させることもできます。

GTCCRDWLW レジスタ、GTCCRFLW レジスタはコンペアマッチレジスタですが、GTCCRCLW レジスタ、GTCCRELW レジスタのバッファレジスタ (GTCCRALW レジスタ、GTCCRBWLW レジスタのダブルバッファレジスタ) として動作させることもできます。GTWP.WPn ビット (n = 1, 3) により、書き込みが禁止されたチャンネルの GTCCRmLW レジスタへの書き込みは無視されます。

22.2.28 汎用 PWM タイマ周期設定レジスタ (GTPR)

アドレス GPT0.GTPR 000C 211Ch, GPT1.GTPR 000C 219Ch, GPT2.GTPR 000C 221Ch, GPT3.GTPR 000C 229Ch



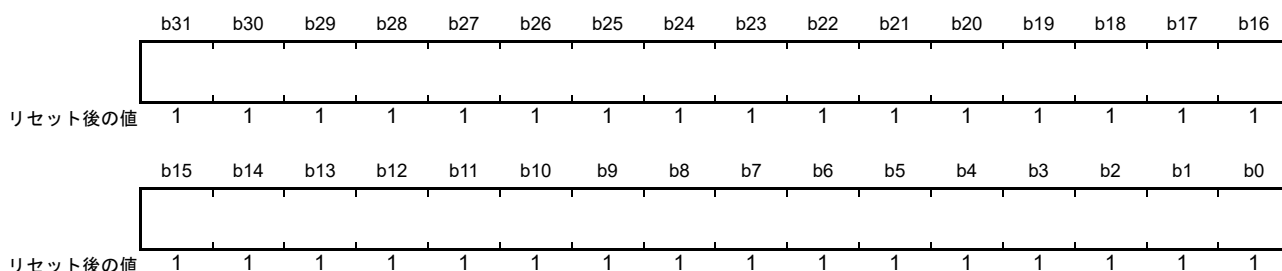
- 注. GTMDR.LWA01ビットの値を変更すると、GPT0.GTPRレジスタ、GPT1.GTPRレジスタは“FFFFh”になります。
- 注. GTMDR.LWA01ビットが“1”のとき、GPT0.GTPRレジスタ、GPT1.GTPRレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT2.GTPRレジスタ、GPT3.GTPRレジスタは“FFFFh”になります。
- 注. GTMDR.LWA23ビットが“1”のとき、GPT2.GTPRレジスタ、GPT3.GTPRレジスタの値は変更できません。

GTPR レジスタは、16 ビットの読み書き可能なレジスタで、GTCNT カウンタのカウント最大値を設定するレジスタです。各チャンネルに 1 本ずつ GTPR レジスタがあります。

のこぎり波の場合は、GTPR レジスタ値 + 1 がカウント周期になります。三角波の場合は、GTPR 値レジスタ × 2 がカウント周期になります。GTWP.WPn ビット (n = 0 ~ 3) により、書き込みが禁止されたチャンネルの GTPR レジスタへの書き込みは無視されます。

22.2.29 汎用 PWM タイマロングワード周期設定レジスタ (GTPRLW)

アドレス GPT01.GTPRLW 000C 231Ch, GPT23.GTPRLW 000C 239Ch



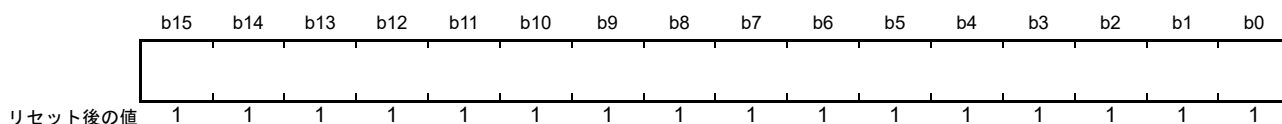
- 注. GTMDR.LWA01ビットの値を変更すると、GPT01.GTPRLWレジスタは"FFFF FFFFh"になります。
- 注. GTMDR.LWA01ビットが"0"のとき、GPT01.GTPRLWレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT23.GTPRLWレジスタは"FFFF FFFFh"になります。
- 注. GTMDR.LWA23ビットが"0"のとき、GPT23.GTPRLWレジスタの値は変更できません。

GTPRLW レジスタは、32 ビットの読み書き可能なレジスタで、GTCNTLW カウンタのカウンタ最大値を設定するレジスタです。

のこぎり波の場合は、GTPRLW 値 + 1 がカウンタ周期になります。三角波の場合は、GTPRLW 値 × 2 がカウンタ周期になります。GTWP.WPn ビット (n = 1, 3) により、書き込みが禁止されたチャンネルの GTPRLW レジスタへの書き込みは無視されます。

22.2.30 汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)

アドレス GPT0.GTPBR 000C 211Eh, GPT1.GTPBR 000C 219Eh, GPT2.GTPBR 000C 221Eh, GPT3.GTPBR 000C 229Eh

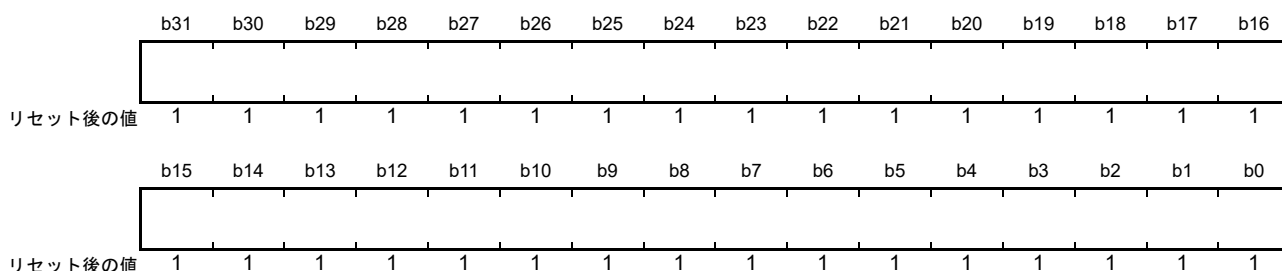


- 注. GTMDR.LWA01ビットの値を変更すると、GPT0.GTPBRレジスタ、GPT1.GTPBRレジスタは"FFFFh"になります。
- 注. GTMDR.LWA01ビットが"1"のとき、GPT0.GTPBRレジスタ、GPT1.GTPBRレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT2.GTPBRレジスタ、GPT3.GTPBRレジスタは"FFFFh"になります。
- 注. GTMDR.LWA23ビットが"1"のとき、GPT2.GTPBRレジスタ、GPT3.GTPBRレジスタの値は変更できません。

GTPBR レジスタは、16 ビットの読み書き可能なレジスタで、GTPR レジスタのバッファレジスタとして動作します。各チャンネルに 1 本ずつ GTPBR レジスタがあります。GTWP.WPn ビット (n = 0 ~ 3) により、書き込みが禁止されたチャンネルの GTPBR レジスタへの書き込みは無視されます。

22.2.31 汎用 PWM タイマロングワード周期設定バッファレジスタ (GTPBRLW)

アドレス GPT01.GTPBRLW 000C 2320h, GPT23.GTPBRLW 000C 23A0h

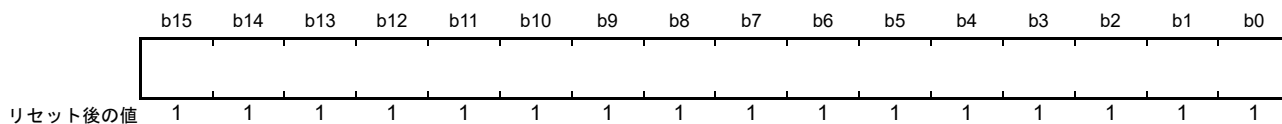


- 注. GTMDR.LWA01ビットの値を変更すると、GPT01.GTPBRLWレジスタは“FFFF FFFFh”になります。
- 注. GTMDR.LWA01ビットが“0”のとき、GPT01.GTPBRLWレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT23.GTPBRLWレジスタは“FFFF FFFFh”になります。
- 注. GTMDR.LWA23ビットが“0”のとき、GPT23.GTPBRLWレジスタの値は変更できません。

GTPBRLW レジスタは、32 ビットの読み書き可能なレジスタで、GTPRLW レジスタのバッファレジスタとして動作します。GTWP.WPn ビット (n = 1, 3) により、書き込みが禁止されたチャンネルの GTPBRLW レジスタへの書き込みは無視されます。

22.2.32 汎用 PWM タイマ周期設定ダブルバッファレジスタ (GTPDBR)

アドレス GPT0.GTPDBR 000C 2120h, GPT1.GTPDBR 000C 21A0h, GPT2.GTPDBR 000C 2220h, GPT3.GTPDBR 000C 22A0h

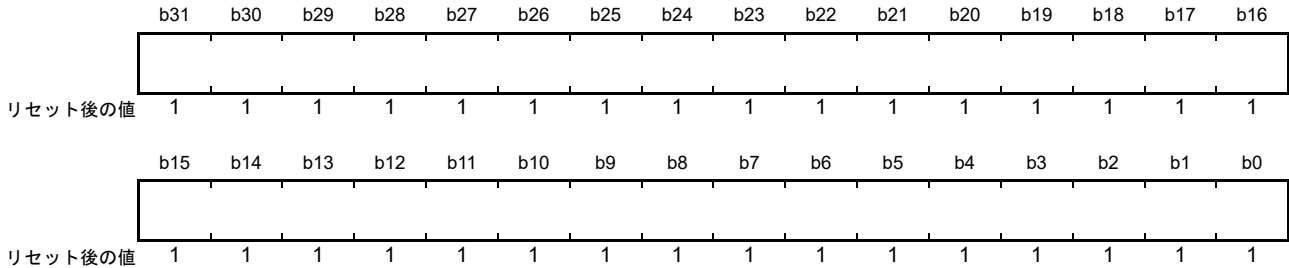


- 注. GTMDR.LWA01ビットの値を変更すると、GPT0.GTPDBRレジスタ、GPT1.GTPDBRレジスタは“FFFFh”になります。
- 注. GTMDR.LWA01ビットが“1”のとき、GPT0.GTPDBRレジスタ、GPT1.GTPDBRレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT2.GTPDBRレジスタ、GPT3.GTPDBRレジスタは“FFFFh”になります。
- 注. GTMDR.LWA23ビットが“1”のとき、GPT2.GTPDBRレジスタ、GPT3.GTPDBRレジスタの値は変更できません。

GTPDBR レジスタは、16 ビットの読み書き可能なレジスタで、GTPBR レジスタのバッファレジスタ (GTPR レジスタのダブルバッファレジスタ) として動作します。各チャンネルに 1 本ずつ GTPDBR レジスタがあります。GTWP.WPn ビット (n = 0 ~ 3) により、書き込みが禁止されたチャンネルの GTPDBR レジスタへの書き込みは無視されます。

22.2.33 汎用 PWM タイマロングワード周期設定ダブルバッファレジスタ (GTPDBRLW)

アドレス GPT01.GTPDBRLW 000C 2324h, GPT23.GTPDBRLW 000C 23A4h

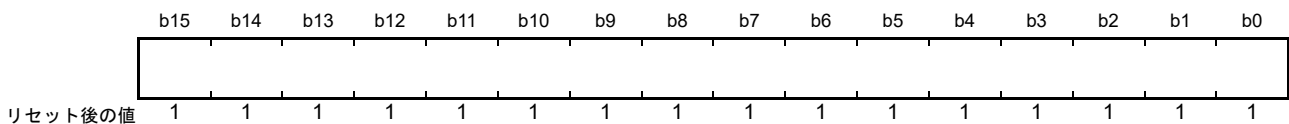


- 注. GTMDR.LWA01ビットの値を変更すると、GPT01.GTPDBRLWレジスタは“FFFF FFFFh”になります。
- 注. GTMDR.LWA01ビットが“0”のとき、GPT01.GTPDBRLWレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT23.GTPDBRLWレジスタは“FFFF FFFFh”になります。
- 注. GTMDR.LWA23ビットが“0”のとき、GPT23.GTPDBRLWレジスタの値は変更できません。

GTPDBRLW レジスタは、32 ビットの読み書き可能なレジスタで、GTPBRLW レジスタのバッファレジスタ (GTPRLW のダブルバッファレジスタ) として動作します。GTWP.WPn ビット (n=1, 3) により、書き込みが禁止されたチャネルの GTPDBRLW レジスタへの書き込みは無視されます。

22.2.34 A/D 変換開始要求タイミングレジスタ m (GTADTRm) (m = A, B)

アドレス GPT0.GTADTRA 000C 2124h, GPT1.GTADTRA 000C 21A4h, GPT2.GTADTRA 000C 2224h,
GPT3.GTADTRA 000C 22A4h,
GPT0.GTADTRB 000C 212Ch, GPT1.GTADTRB 000C 21ACh, GPT2.GTADTRB 000C 222Ch,
GPT3.GTADTRB 000C 22ACh

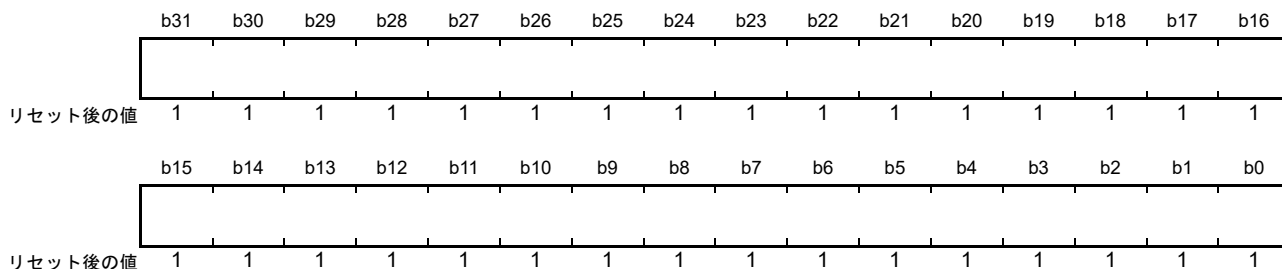


- 注. GTMDR.LWA01ビットの値を変更すると、GPT0.GTADTRmレジスタ、GPT1.GTADTRmレジスタは“FFFFh”になります。
- 注. GTMDR.LWA01ビットが“1”のとき、GPT0.GTADTRmレジスタ、GPT1.GTADTRmレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT2.GTADTRmレジスタ、GPT3.GTADTRmレジスタは“FFFFh”になります。
- 注. GTMDR.LWA23ビットが“1”のとき、GPT2.GTADTRmレジスタ、GPT3.GTADTRmレジスタの値は変更できません。

GTADTRm レジスタは、16 ビットの読み書き可能なレジスタで、A/D 変換開始要求のタイミングを設定します。GTADTRm レジスタの値が GTCNT カウンタと一致したとき、A/D 変換開始要求を生成します。各チャネルに 2 本ずつ GTADTRm レジスタがあります。GTADTRm レジスタの 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。GTWP.WPn ビット (n=0~3) により、書き込みが禁止されたチャネルの GTADTRm レジスタへの書き込みは無視されます。

22.2.35 ロングワード A/D 変換開始要求タイミングレジスタ m (GTADTRmLW) (m = A, B)

アドレス GPT01.GTADTRALW 000C 2328h, GPT01.GTADTRBLW 000C 2334h,
GPT23.GTADTRALW 000C 23A8h, GPT23.GTADTRBLW 000C 23B4h



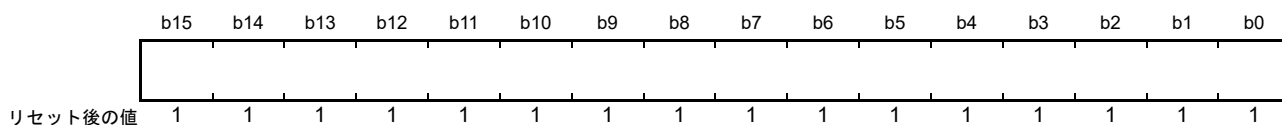
- 注. GTMDR.LWA01ビットの値を変更すると、GPT01.GTADTRmLWレジスタは“FFFF FFFFh”になります。
- 注. GTMDR.LWA01ビットが“0”のとき、GPT01.GTADTRmLWレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT23.GTADTRmLWレジスタは“FFFF FFFFh”になります。
- 注. GTMDR.LWA23ビットが“0”のとき、GPT23.GTADTRmLWレジスタの値は変更できません。

GTADTRmLW レジスタ (m = A, B) は、32 ビットの読み書き可能なレジスタで、A/D 変換開始要求のタイミングを設定します。GTADTRmLW レジスタの値が GTCNTLW カウンタと一致したとき、A/D 変換開始要求を生成します。

GTADTRmLW レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。GTWP.WPn ビット (n = 1, 3) により、書き込みが禁止されたチャネルの GTADTRmLW レジスタへの書き込みは無視されます。

22.2.36 A/D 変換開始要求タイミングバッファレジスタ m (GTADTBRm) (m = A, B)

アドレス GPT0.GTADTBRA 000C 2126h, GPT1.GTADTBRA 000C 21A6h, GPT2.GTADTBRA 000C 2226h,
GPT3.GTADTBRA 000C 22A6h,
GPT0.GTADTBRB 000C 212Eh, GPT1.GTADTBRB 000C 21AEh, GPT2.GTADTBRB 000C 222Eh,
GPT3.GTADTBRB 000C 22AEh

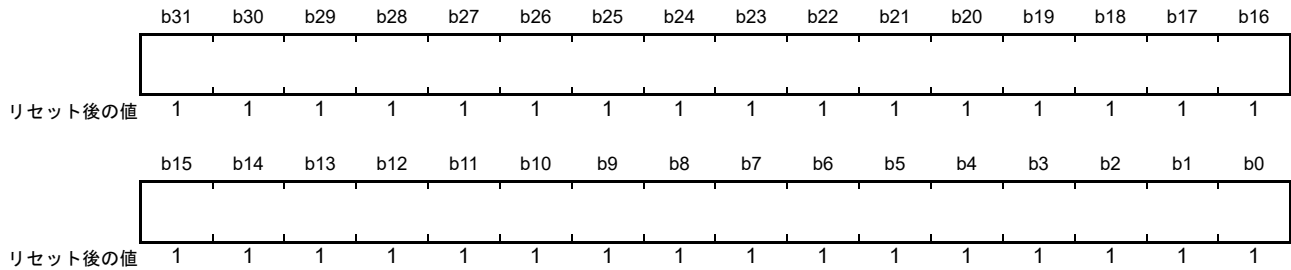


- 注. GTMDR.LWA01ビットの値を変更すると、GPT0.GTADTBRmレジスタ、GPT1.GTADTBRmレジスタは“FFFFh”になります。
- 注. GTMDR.LWA01ビットが“1”のとき、GPT0.GTADTBRmレジスタ、GPT1.GTADTBRmレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT2.GTADTBRmレジスタ、GPT3.GTADTBRmレジスタは“FFFFh”になります。
- 注. GTMDR.LWA23ビットが“1”のとき、GPT2.GTADTBRmレジスタ、GPT3.GTADTBRmレジスタの値は変更できません。

GTADTBRm レジスタは、16 ビットの読み書き可能なレジスタで、GTADTRm レジスタのバッファレジスタとして動作します。各チャネルに 2 本ずつ GTADTBRm レジスタがあります。GTADTBRm レジスタの 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。GTWP.WPn ビット (n = 0 ~ 3) により、書き込みが禁止されたチャネルの GTADTBRm レジスタへの書き込みは無視されます。

22.2.37 ロングワード A/D 変換開始要求タイミングバッファレジスタ m (GTADTBRmLW) (m = A, B)

アドレス GPT01.GTADTBRA1W 000C 232Ch, GPT01.GTADTBRBLW 000C 2338h,
GPT23.GTADTBRA1W 000C 23ACh, GPT23.GTADTBRBLW 000C 23B8h

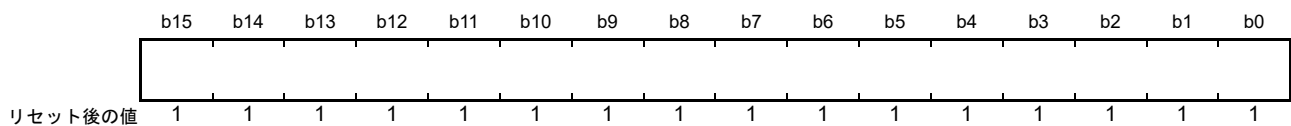


- 注. GTMDR.LWA01ビットの値を変更すると、GPT01.GTADTBRmLWレジスタは“FFFF FFFFh”になります。
- 注. GTMDR.LWA01ビットが“0”のとき、GPT01.GTADTBRmLWレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT23.GTADTBRmLWレジスタは“FFFF FFFFh”になります。
- 注. GTMDR.LWA23ビットが“0”のとき、GPT23.GTADTBRmLWレジスタの値は変更できません。

GTADTBRmLW レジスタ。(m = A, B) は、32 ビットの読み書き可能なレジスタで、GTADTRmLW レジスタのバッファレジスタとして動作します。GTADTBRmLW レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。GTWP.WPn ビット (n = 1, 3) により、書き込みが禁止されたチャンネルの GTADTBRmLW レジスタへの書き込みは無視されます。

22.2.38 A/D 変換開始要求タイミングダブルバッファレジスタ m (GTADTDBRm) (m = A, B)

アドレス GPT0.GTADTDBRA 000C 2128h, GPT1.GTADTDBRA 000C 21A8h, GPT2.GTADTDBRA 000C 2228h,
GPT3.GTADTDBRA 000C 22A8h,
GPT0.GTADTDBRB 000C 2130h, GPT1.GTADTDBRB 000C 21B0h, GPT2.GTADTDBRB 000C 2230h,
GPT3.GTADTDBRB 000C 22B0h

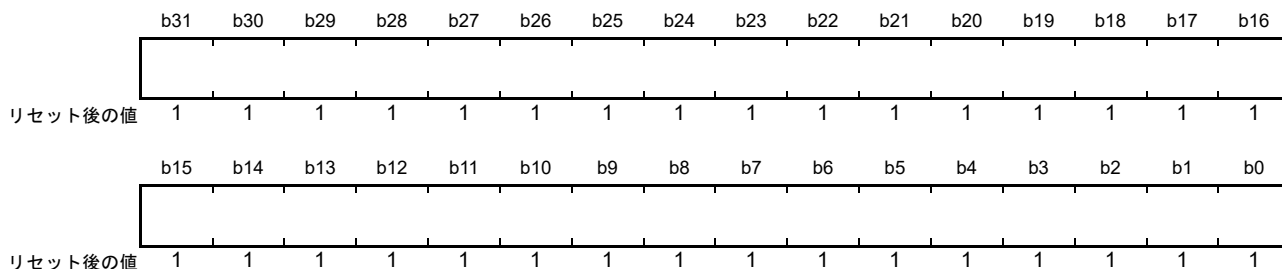


- 注. GTMDR.LWA01ビットの値を変更すると、GPT0.GTADTDBRmレジスタ、GPT1.GTADTDBRmレジスタは“FFFFh”になります。
- 注. GTMDR.LWA01ビットが“1”のとき、GPT0.GTADTDBRmレジスタ、GPT1.GTADTDBRmレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT2.GTADTDBRmレジスタ、GPT3.GTADTDBRmレジスタは“FFFFh”になります。
- 注. GTMDR.LWA23ビットが“1”のとき、GPT2.GTADTDBRmレジスタ、GPT3.GTADTDBRmレジスタの値は変更できません。

GTADTDBRm レジスタは、16 ビットの読み書き可能なレジスタで、GTADTBR レジスタのバッファレジスタ (GTADTR レジスタのダブルバッファレジスタ) として動作します。各チャンネルに 2 本ずつ GTADTDBRm レジスタがあります。GTADTDBRm レジスタの 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。GTWP.WPn ビット (n = 0 ~ 3) により、書き込みが禁止されたチャンネルの GTADTDBRm レジスタへの書き込みは無視されます。

22.2.39 ロングワード A/D 変換開始要求タイミグダブルバッファレジスタ m (GTADTDBRmLW) (m = A, B)

アドレス GPT01.GTADTDBRALW000C 2330h, GPT01.GTADTDBRBLW 000C 233Ch,
GPT23.GTADTDBRALW 000C 23B0h, GPT23.GTADTDBRBLW 000C 23BCh



- 注. GTMDR.LWA01ビットの値を変更すると、GPT01.GTADTDBRmLWレジスタは“FFFF FFFFh”になります。
- 注. GTMDR.LWA01ビットが“0”のとき、GPT01.GTADTDBRmLWレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT23.GTADTDBRmLWレジスタは“FFFF FFFFh”になります。
- 注. GTMDR.LWA23ビットが“0”のとき、GPT23.GTADTDBRmLWレジスタの値は変更できません。

GTADTDBRmLW レジスタ (m = A, B) は、32 ビットの読み書き可能なレジスタで、GTADTBRLW レジスタのバッファレジスタ (GTADTRLW のダブルバッファレジスタ) として動作します。GTADTDBRmLW レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。GTWP.WPn ビット (n = 1, 3) により、書き込みが禁止されたチャンネルの GTADTDBRmLW レジスタへの書き込みは無視されます。

22.2.40 汎用 PWM タイマ出力ネゲート制御レジスタ (GTONCR)

アドレス GPT0.GTONCR 000C 2134h, GPT1.GTONCR 000C 21B4h, GPT2.GTONCR 000C 2234h, GPT3.GTONCR 000C 22B4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OBE	OAE	—	SWN	—	—	—	NFV	NFS[3:0]			NVB	NVA	NEB	NEA	
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NEA	GTIOCnA 端子ネゲート制御許可ビット	0: 許可しない 1: 許可する	R/W
b1	NEB	GTIOCnB 端子ネゲート制御許可ビット	0: 許可しない 1: 許可する	R/W
b2	NVA	GTIOCnA 端子ネゲート値設定ビット	0: ネゲート制御時に GTIOCnA 端子を“0”にする 1: ネゲート制御時に GTIOCnA 端子を“1”にする	R/W
b3	NVB	GTIOCnB 端子ネゲート値設定ビット	0: ネゲート制御時に GTIOCnB 端子を“0”にする 1: ネゲート制御時に GTIOCnB 端子を“1”にする	R/W
b7-b4	NFS[3:0]	GTIOC出力ネゲート要因選択ビット	b7 b4 0000: CMPC0 コンパレータ出力 0001: CMPC1 コンパレータ出力 0100: CMPC2 コンパレータ出力 0101: CMPC3 コンパレータ出力 0111: GTETRG 端子入力 1xxx: ソフトウェア制御 (SWN ビットによる制御) NEA, NEB ビットでネゲート制御を許可する場合は、上記 以外は設定しないでください	R/W
b8	NFV	ネゲート要因極性選択ビット	0: ネゲート要因が“0”になったときにネゲート制御する 1: ネゲート要因が“1”になったときにネゲート制御する	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	SWN	ソフトウェアネゲート制御ビット	<ul style="list-style-type: none"> • NFV ビットが“0”の場合 0: ネゲート制御する 1: ネゲート制御しない • NFV ビットが“1”の場合 0: ネゲート制御しない 1: ネゲート制御する 	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	OAE	GTIOCnA 端子出力許可ビット	0: 端子出力しない 1: 端子出力する	R/W
b15	OBE	GTIOCnB 端子出力許可ビット	0: 端子出力しない 1: 端子出力する	R/W

n = 0 ~ 3

- 注. GTMDR.LWA01 ビットの値を変更すると、GPT0.GTONCR レジスタ、GPT1.GTONCR レジスタは“0100h”になります。
注. GTMDR.LWA01 ビットが“1”のとき、GPT0.GTONCR レジスタの値は変更できません。
注. GTMDR.LWA23 ビットの値を変更すると、GPT2.GTONCR レジスタ、GPT3.GTONCR レジスタは“0100h”になります。
注. GTMDR.LWA23 ビットが“1”のとき、GPT2.GTONCR レジスタの値は変更できません。

GTONCR レジスタは、GTIOCnA 端子出力、および GTIOCnB 端子出力のネゲート制御を設定するレジスタです。GTWP.WPn ビット (n = 0 ~ 3) により、書き込みが禁止されたチャネルの GTONCR レジスタへの書き込みは無視されます。

NEA ビット (GTIOCnA 端子ネゲート制御許可ビット)

GTIOCnA 端子出力のネゲート制御を許可します。

NEB ビット (GTIOCNB 端子ネゲート制御許可ビット)

GTIOCNB 端子出力のネゲート制御を許可します。

NVA ビット (GTIOCNB 端子ネゲート値設定ビット)

GTIOCNB 端子出力のネゲート制御時の出力値を設定します。

NVB ビット (GTIOCNB 端子ネゲート値設定ビット)

GTIOCNB 端子出力のネゲート制御時の出力値を設定します。

NFS[3:0] ビット (GTIOC 出力ネゲート要因選択ビット)

GTIOCNB 端子出力、および GTIOCNB 端子出力のネゲート要因を選択します。

NEA, NEB ビットでネゲート制御を許可していなければ、初期値から値を変更する必要はありません。

NFV ビット (ネゲート要因極性選択ビット)

GTIOCNB 端子出力、および GTIOCNB 端子出力のネゲート要因の極性を選択します。

SWN ビット (ソフトウェアネゲート制御ビット)

GTIOCNB 端子出力、および GTIOCNB 端子出力をネゲート制御する / しないを設定します。

ネゲート要因としてソフトウェア制御を選択 (NFS[3] ビットが“1”) した場合に有効になります。

OAE ビット (GTIOCNB 端子出力許可ビット)

GTIOCNB 端子出力をする / しないを選択します。コンペアマッチ設定時 (GTIOR.GTIOA[5] ビット = 0) のときのみ設定が有効になります。

OBE ビット (GTIOCNB 端子出力許可ビット)

GTIOCNB 端子出力をする / しないを選択します。コンペアマッチ設定時 (GTIOR.GTIOB[5] ビット = 0) のときのみ設定が有効になります。

22.2.41 汎用 PWM タイマデッドタイム制御レジスタ (GTDTCR)

アドレス GPT0.GTDTCR 000C 2136h, GPT1.GTDTCR 000C 21B6h, GPT2.GTDTCR 000C 2236h, GPT3.GTDTCR 000C 22B6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDFER	—	—	TDBDE	TDBUE	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	逆相波形設定ビット	0 : GTDVU(LW), GTDVD(LW) レジスタを使用しないで、GTCCRB(LW) レジスタを個別に設定する 1 : GTDVU(LW), GTDVD(LW) レジスタを使用して、デッドタイム付き逆相波形用コンペアマッチ値をGTCCRB(LW) レジスタに自動設定する	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	TDBUE	GTDVU(LW)バッファ動作許可ビット	0 : GTDVU(LW) レジスタのバッファ動作を禁止 1 : GTDVU(LW) レジスタのバッファ動作を許可	R/W
b5	TDBDE	GTDVD(LW)バッファ動作許可ビット	0 : GTDVD(LW) レジスタのバッファ動作を禁止 1 : GTDVD(LW) レジスタのバッファ動作を許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TDFER	GTDVD(LW)設定ビット	0 : GTDVU(LW), GTDVD(LW) レジスタを個別に設定する 1 : GTDVU(LW) レジスタに書き込んだ値を、GTDVD(LW) レジスタにも自動設定する	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. GTMDR.LWA01 ビットの値を変更すると、GPT0.GTDTCR レジスタ、GPT1.GTDTCR レジスタは“0000h”になります。

注. GTMDR.LWA01 ビットが“1”のとき、GPT0.GTDTCR レジスタの値は変更できません。

注. GTMDR.LWA23 ビットの値を変更すると、GPT2.GTDTCR レジスタ、GPT3.GTDTCR レジスタは“0000h”になります。

注. GTMDR.LWA23 ビットが“1”のとき、GPT2.GTDTCR レジスタの値は変更できません。

GTDTCR レジスタは、デッドタイム付き逆相波形用コンペアマッチ値の自動設定を許可するレジスタです。GTWP.WPn ビット (n=0~3) により、書き込みが禁止されたチャンネルの GTDTCR レジスタへの書き込みは無視されます。

TDE ビット (逆相波形設定ビット)

GTDVU(LW), GTDVD(LW) レジスタを使用する / しないを設定します。GTDVU(LW), GTDVD(LW) レジスタを使用する場合、正相波形用のコンペアマッチ値 (GTCCRA(LW) レジスタ) とデッドタイム値 (GTDVU(LW), GTDVD(LW) レジスタ) から算出したデッドタイム付き逆相波形用コンペアマッチ値が、GTCCRB(LW) レジスタに自動設定されます。

このビットはこのこぎり波ワンショットパルスモードとすべての三角波 PWM モードで有効です。このこぎり波 PWM モードでは TDE ビットの設定は無視され、GTCCRB(LW) レジスタの自動設定は行われません。

自動設定される GTCCRB(LW) レジスタの上限値 / 下限値は以下のようになります。

- このこぎり波ワンショットパルスモードの場合

上限値 : GTPR(LW) レジスタの設定値

下限値 : “0000h (0000 0000h)”

- 三角波 PWM モードの場合

上限値 : GTPR(LW) レジスタの設定値 - 1

下限値 : アップカウント時 “0001h (0000 0001h)”, ダウンカウント時 “0000h (0000 0000h)”

算出された GTCCRB(LW) レジスタ値が上限値 / 下限値の範囲外となる場合は、GTCCRB(LW) レジスタには上限値 / 下限値が設定されます。ただし、このこぎり波でアップカウント時に GTCCRA(LW) - GTDVU(LW)

> GTPR(LW) となる場合や、のこぎり波でダウンカウント時に $GTCCRA(LW) - GTDVD(LW) > GTPR(LW)$ となる場合は、算出された値が GTCCRB(LW) レジスタに設定されます。

範囲外となって上限値 / 下限値が設定された場合、GTST.DTEF フラグが“1”になります。ただし、三角波で上限値を超える場合は、GTST.DTEF フラグは“0”になります。

TDBUE ビット (GTDVU(LW) バッファ動作許可ビット)

GTDVU(LW) レジスタと GTDBU(LW) レジスタを組み合わせたバッファ動作を許可します。

バッファ転送タイミングは、のこぎり波ではオーバフローまたはアンダフロー、三角波では谷です。

TDBDE ビット (GTDVD(LW) バッファ動作許可ビット)

GTDVD(LW) レジスタと GTDBD(LW) レジスタを組み合わせたバッファ動作を許可します。

バッファ転送タイミングは、のこぎり波ではオーバフローまたはアンダフロー、三角波では谷です。

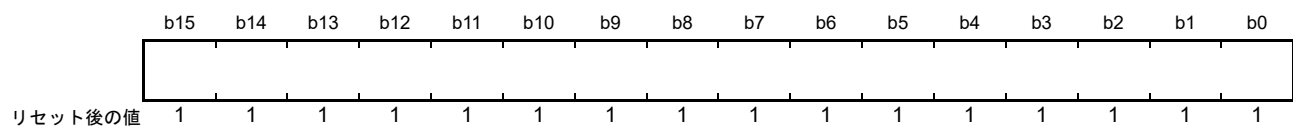
TDFER ビットを同時に“1”にした場合、TDFER ビットの設定が優先されます。

TDFER ビット (GTDVD(LW) 設定ビット)

GTDVU(LW) レジスタに書き込んだ値を GTDVD(LW) レジスタにも自動設定するかどうかを設定します。

22.2.42 汎用 PWM タイマデッドタイム値レジスタ m (GTDVm) (m = U, D)

アドレス GPT0.GTDVU 000C 2138h, GPT1.GTDVU 000C 21B8h, GPT2.GTDVU 000C 2238h, GPT3.GTDVU 000C 22B8h,
GPT0.GTDVD 000C 213Ah, GPT1.GTDVD 000C 21BAh, GPT2.GTDVD 000C 223Ah, GPT3.GTDVD 000C 22BAh



- 注. GTMDR.LWA01 ビットの値を変更すると、GPT0.GTDVm レジスタ、GPT1.GTDVm レジスタは“FFFFh”になります。
- 注. GTMDR.LWA01 ビットが“1”のとき、GPT0.GTDVm レジスタ、GPT1.GTDVm レジスタの値は変更できません。
- 注. GTMDR.LWA23 ビットの値を変更すると、GPT2.GTDVm レジスタ、GPT3.GTDVm レジスタは“FFFFh”になります。
- 注. GTMDR.LWA23 ビットが“1”のとき、GPT2.GTDVm レジスタ、GPT3.GTDVm レジスタの値は変更できません。

GTDVm レジスタは、16 ビットの読み書き可能なレジスタで、デッドタイム付きの PWM 波形を生成するためのデッドタイムを設定するレジスタです。各チャンネルにアップカウント用の GTDVU レジスタと、ダウンカウント用の GTDVD レジスタの 2 本ずつあります。

GTDVm レジスタには GTPR レジスタの設定値以上の値を設定しないでください。

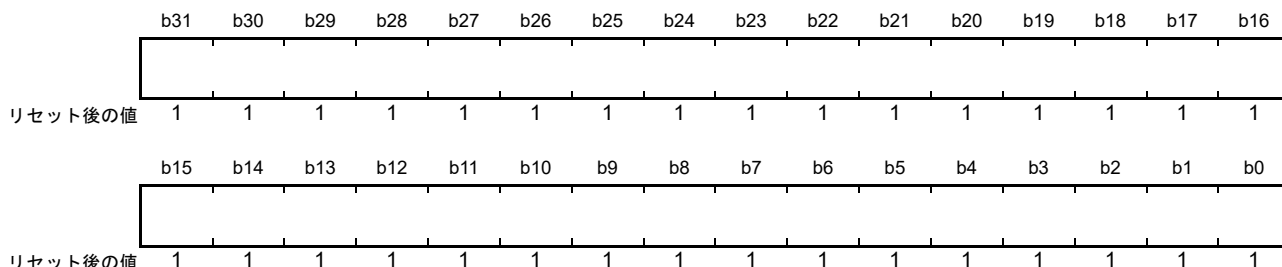
また、デッドタイム自動設定機能を使用する場合、波形の変化ポイントがカウント周期を超えるような設定をしないでください。GTCCRB レジスタを読むことで自動計算された逆相波形の変化ポイントがわかります。GTDVm レジスタを使用する場合は GTCCRB レジスタへの書き込みは禁止です。値を“0000h”にすれば、デッドタイムなしの波形が出力されます。

GTDVm レジスタの 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。

GTWP.WPn ビット (n = 0 ~ 3) により、書き込みが禁止されたチャンネルの GTDVm レジスタへの書き込みは無視されます。

22.2.43 汎用 PWM タイマロングワードデッドタイム値レジスタ m (GTDV_mLW) (m = U, D)

アドレス GPT01.GTDVULW 000C 2340h, GPT01.GTDVDLW 000C 2344h,
GPT23.GTDVULW 000C 23C0h, GPT23.GTDVDLW 000C 23C4h



- 注. GTMDR.LWA01ビットの値を変更すると、GPT01.GTDV_mLWレジスタは“FFFF FFFFh”になります。
- 注. GTMDR.LWA01ビットが“0”のとき、GPT01.GTDV_mLWレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT23.GTDV_mLWレジスタは“FFFF FFFFh”になります。
- 注. GTMDR.LWA23ビットが“0”のとき、GPT23.GTDV_mLWレジスタの値は変更できません。

GTDV_mLW レジスタは、32 ビットの読み書き可能なレジスタで、デッドタイム付きの PWM 波形を生成するためのデッドタイムを設定するレジスタです。GTDVULW レジスタはアップカウント用、GTDVDLW レジスタはダウンカウント用です。

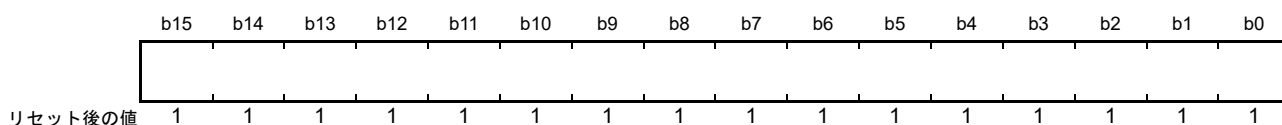
GTDV_mLW レジスタには GTPRLW レジスタの設定値以上の値を設定しないでください。

また、デッドタイム自動設定機能を使用する場合、波形の変化ポイントがカウント周期を超えるような設定をしないでください。GTCCRBLW レジスタを読むことで自動計算された逆相波形の変化ポイントがわかります。GTDV_mLW レジスタを使用する場合は GTCCRBLW レジスタへの書き込みは禁止です。値を“0000 0000h”にすれば、デッドタイムなしの波形が出力されます。

GTDV_mLW レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。GTWP.WP_n ビット (n = 1, 3) により、書き込みが禁止されたチャンネルの GTDV_mLW レジスタへの書き込みは無視されます。

22.2.44 汎用 PWM タイマデッドタイムバッファレジスタ m (GTDB_m) (m = U, D)

アドレス GPT0.GTDBU 000C 213Ch, GPT1.GTDBU 000C 21BCh, GPT2.GTDBU 000C 223Ch, GPT3.GTDBU 000C 22BCh,
GPT0.GTDBD 000C 213Eh, GPT1.GTDBD 000C 21BEh, GPT2.GTDBD 000C 223Eh, GPT3.GTDBD 000C 22BEh

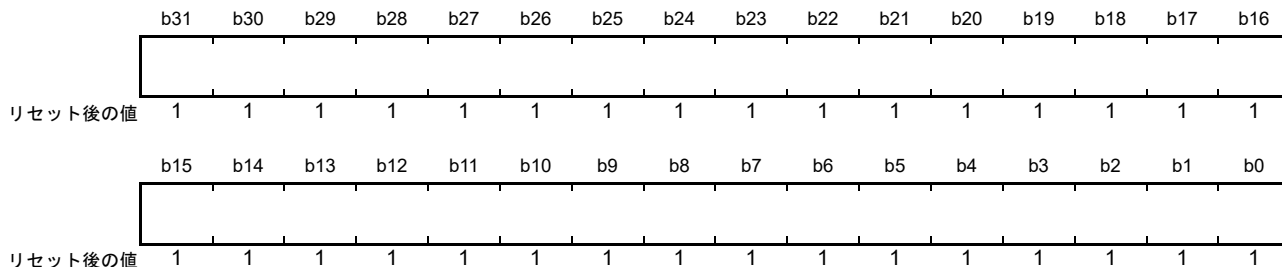


- 注. GTMDR.LWA01ビットの値を変更すると、GPT0.GTDB_mレジスタ、GPT1.GTDB_mレジスタは“FFFFh”になります。
- 注. GTMDR.LWA01ビットが“1”のとき、GPT0.GTDB_mレジスタ、GPT1.GTDB_mレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT2.GTDB_mレジスタ、GPT3.GTDB_mレジスタは“FFFFh”になります。
- 注. GTMDR.LWA23ビットが“1”のとき、GPT2.GTDB_mレジスタ、GPT3.GTDB_mレジスタの値は変更できません。

GTDB_m レジスタは、16 ビットの読み書き可能なレジスタで、GTDV_m レジスタのバッファレジスタとして動作します。各チャンネルに 2 本ずつ GTDB_m レジスタがあります。GTWP.WP_n ビット (n = 0 ~ 3) により、書き込みが禁止されたチャンネルの GTDB_m レジスタへの書き込みは無視されます。

22.2.45 汎用 PWM タイマロングワードデッドタイムバッファレジスタ m (GTDBmLW) (m = U, D)

アドレス GPT01.GTDBULW 000C 2348h, GPT01.GTDBDLW 000C 234Ch,
GPT23.GTDBULW 000C 23C8h, GPT23.GTDBDLW 000C 23CCh

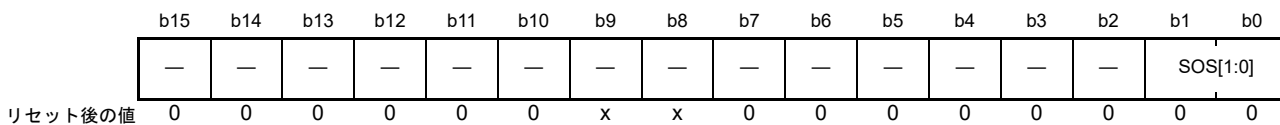


- 注. GTMDR.LWA01ビットの値を変更すると、GPT01.GTDBmLWレジスタは“FFFF FFFFh”になります。
- 注. GTMDR.LWA01ビットが“0”のとき、GPT01.GTDBmLWレジスタの値は変更できません。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT23.GTDBmLWレジスタは“FFFF FFFFh”になります。
- 注. GTMDR.LWA23ビットが“0”のとき、GPT23.GTDBmLWレジスタの値は変更できません。

GTDBmLW レジスタは、32 ビットの読み書き可能なレジスタで、GTDVmLW レジスタのバッファレジスタとして動作します。GTWP.WPn ビット (n = 1, 3) により、書き込みが禁止されたチャンネルの GTDBmLW レジスタへの書き込みは無視されます。

22.2.46 汎用 PWM タイマ出力保護機能ステータスレジスタ (GTSOS)

アドレス GPT0.GTSOS 000C 2140h, GPT1.GTSOS 000C 21C0h, GPT2.GTSOS 000C 2240h, GPT3.GTSOS 000C 22C0h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	SOS[1:0]	出力保護機能ステータスビット	b1 b0 0 0 : 通常動作 0 1 : 保護状態 (谷もしくは山の転送でGTCCRA(LW)レジスタ = 0が設定された) 1 0 : 保護状態 (谷の転送でGTCCRA(LW)レジスタ ≥ GTPR(LW)レジスタが設定された) 1 1 : 保護状態 (山の転送でGTCCRA(LW)レジスタ ≥ GTPR(LW)レジスタが設定された)	R
b7-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b8-b9	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R
b15-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

- 注. GTMDR.LWA01ビットの値を変更すると、GPT0.GTSOSレジスタ、GPT1.GTSOSレジスタは“0000 00xx 0000 0000b”になります。
- 注. GTMDR.LWA23ビットの値を変更すると、GPT2.GTSOSレジスタ、GPT3.GTSOSレジスタは“0000 00xx 0000 0000b”になります。

GTSOS レジスタは出力保護機能の状態を示すステータスレジスタです。出力保護機能は、三角波モードでデッドタイム自動設定されている (GTDTCR.TDE ビット = 1) 場合のみ有効になります。

SOS[1:0] ビット (出力保護機能ステータスビット)

三角波 PWM モードでの出力保護機能のステータスを示します。出力保護機能の詳細については、「22.6.4 GTIOC 端子出力の出力保護機能」を参照してください。

22.2.47 汎用 PWM タイマ出力保護機能一時解除レジスタ (GTSOTR)

アドレス GPT0.GTSOTR 000C 2142h, GPT1.GTSOTR 000C 21C2h, GPT2.GTSOTR 000C 2242h, GPT3.GTSOTR 000C 22C2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOTR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOTR	出力保護機能一時解除ビット	0: 保護状態を解除しない 1: 保護状態を解除する	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注. GTMDR.LWA01ビットの値を変更すると、GPT0.GTSOTRレジスタ、GPT1.GTSOTRレジスタは“0000h”になります。
 注. GTMDR.LWA01ビットが“1”のとき、GPT0.GTSOTRレジスタの値は変更できません。
 注. GTMDR.LWA23ビットの値を変更すると、GPT2.GTSOTRレジスタ、GPT3.GTSOTRレジスタは“0000h”になります。
 注. GTMDR.LWA23ビットが“1”のとき、GPT2.GTSOTRレジスタの値は変更できません。

GTSOTR レジスタは、出力保護状態時に GTIOCNB 端子出力の保護状態を一時的に解除します。

GTSOS.SOS[1:0] ビット = 10b (谷の転送で GTCCRA(LW) レジスタ \geq GTPR(LW) レジスタとなったことを示す保護状態) の場合のみ、解除することができます。他の保護状態の場合には解除されません。

GTWP.WPn ビット (n = 0 ~ 3) により、書き込みが禁止されたチャネルの GTSOTR レジスタへの書き込みは無視されます。

SOTR ビット (出力保護機能一時解除ビット)

出力保護状態時に GTIOCNB 端子出力の保護状態を一時的に解除するかしないかを設定します。

SOTR ビットを“1”にすると、最初に現れる“谷”以降の出力保護機能を解除します。また、SOTR ビットを“0”にすると、最初に現れる“谷”以降の出力保護を再開します。

22.3 動作説明

22.3.1 基本動作

各チャンネルには、GTCNT(LW) カウンタ、GTPR(LW) レジスタと GTCCRm(LW) レジスタ (m = A ~ F) があります。GTCNT(LW) カウンタは、アップカウント動作、ダウンカウント動作、またはアップカウント / ダウンカウント動作を行い、周期カウント動作が可能です。タイマ周期は GTPR(LW) レジスタで設定します。

本章では、アップカウント動作、ダウンカウント動作をのこぎり波 (半波) と呼びます。アップカウント / ダウンカウント動作を三角波 (全波) と呼びます。

22.3.1.1 カウンタの動作

(1) 周期カウント動作 (アップカウント時)

各チャンネルのカウンタは、GTSTR.CSTn ビットを“1”にするとアップカウントを開始します。GTCNT(LW) カウンタ値が GTPR(LW) レジスタ値から“0000h (0000 0000h)”になった (オーバーフロー) とき、GTINTAD.GTINTPR[0] ビットが“1”ならば、GTCIV 割り込み要求が発生します。GTCNT(LW) カウンタはオーバーフロー後、“0000h (0000 0000h)” からアップカウントを継続します。

アップカウント時の周期カウント動作例を図 22.3 に示します。

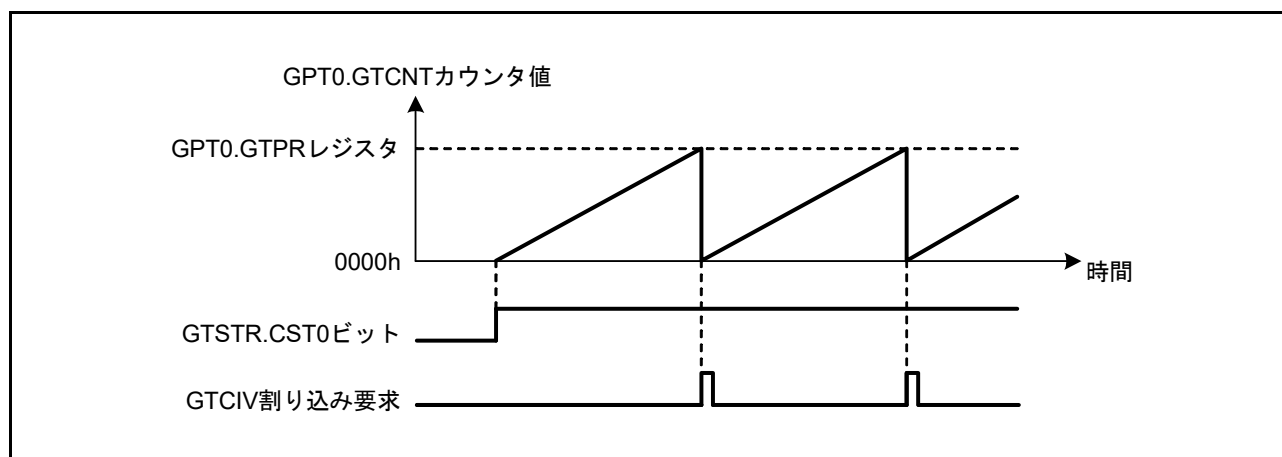


図 22.3 周期カウント動作例 (アップカウント時)

アップカウント時の周期カウント動作設定例（アップカウント時）を図 22.4 に示します。

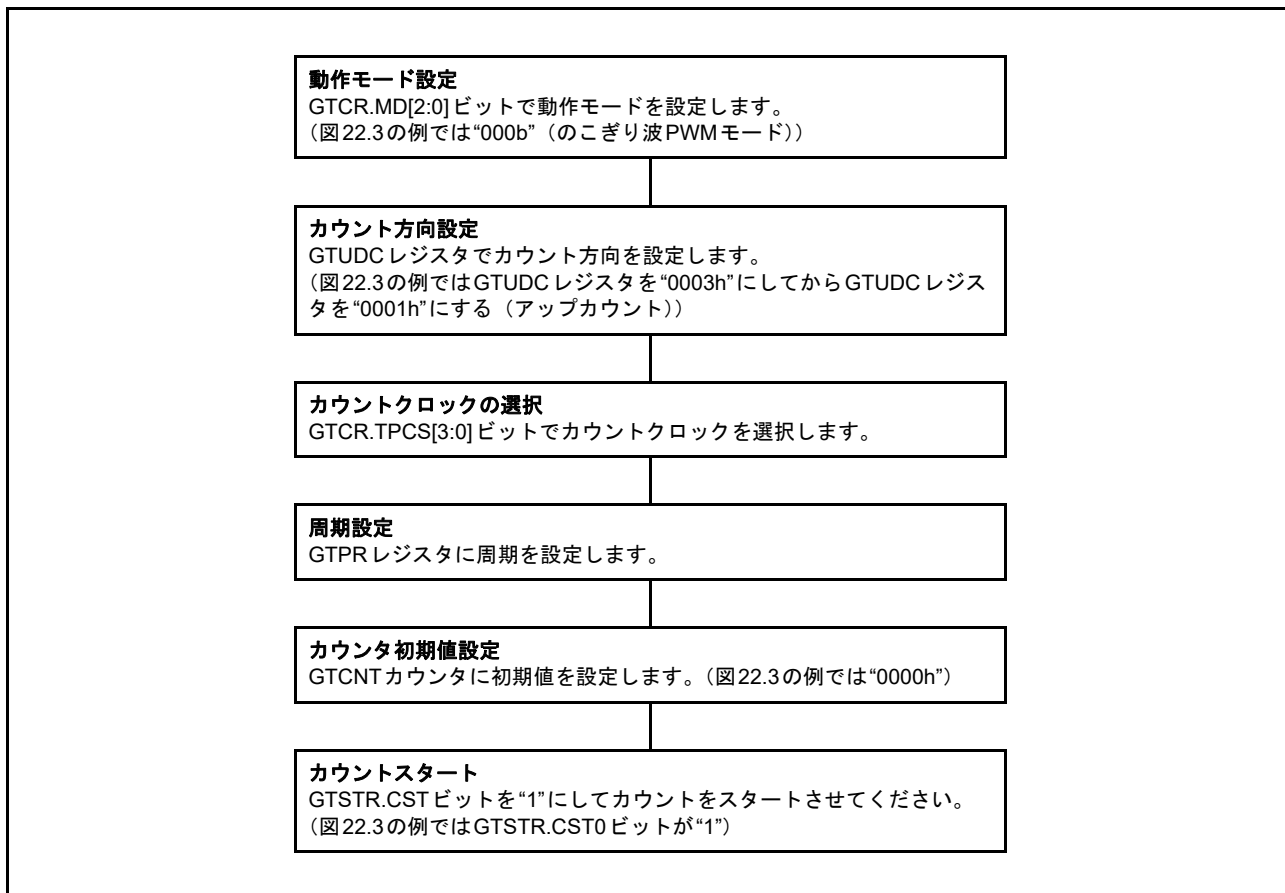


図 22.4 周期カウント動作設定例（アップカウント時）

(2) 周期カウント動作 (ダウンカウント時)

各チャンネルのカウンタは、GTUDCレジスタを設定することで、ダウンカウントを行うことが可能です。GTCNT(LW)カウンタ値が“0000h (0000 0000h)”からGTPR(LW)レジスタ値になる (アンダフロー) とき、GTINTAD.GTINTPR[1]ビットが“1”ならば、GTCIU割り込み要求が発生します。GTCNT(LW)カウンタはアンダフロー後、GTPR(LW)レジスタ値からダウンカウントを継続します。

ダウンカウント時の周期カウント動作例を図22.5に示します。

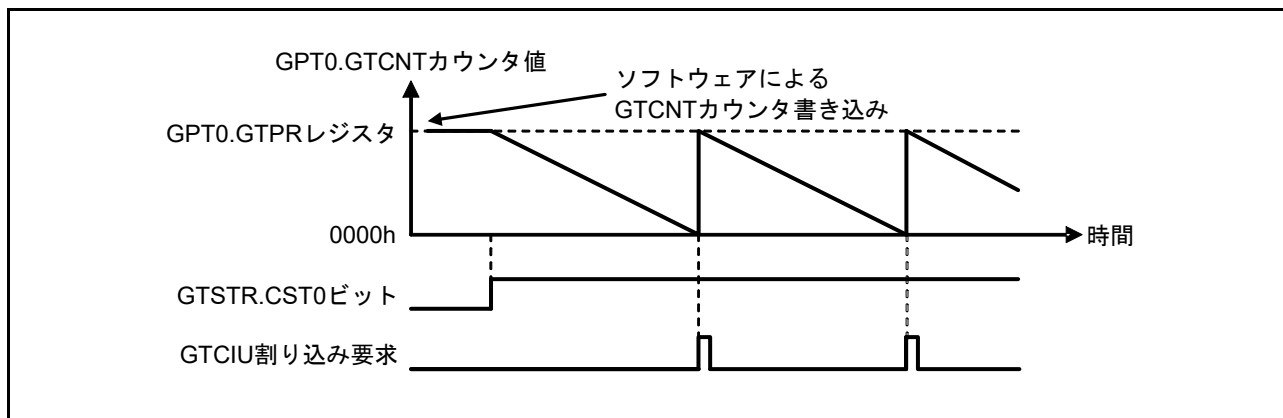


図 22.5 周期カウント動作例 (ダウンカウント時)

ダウンカウント時の周期カウント動作設定例を図 22.6 に示します。

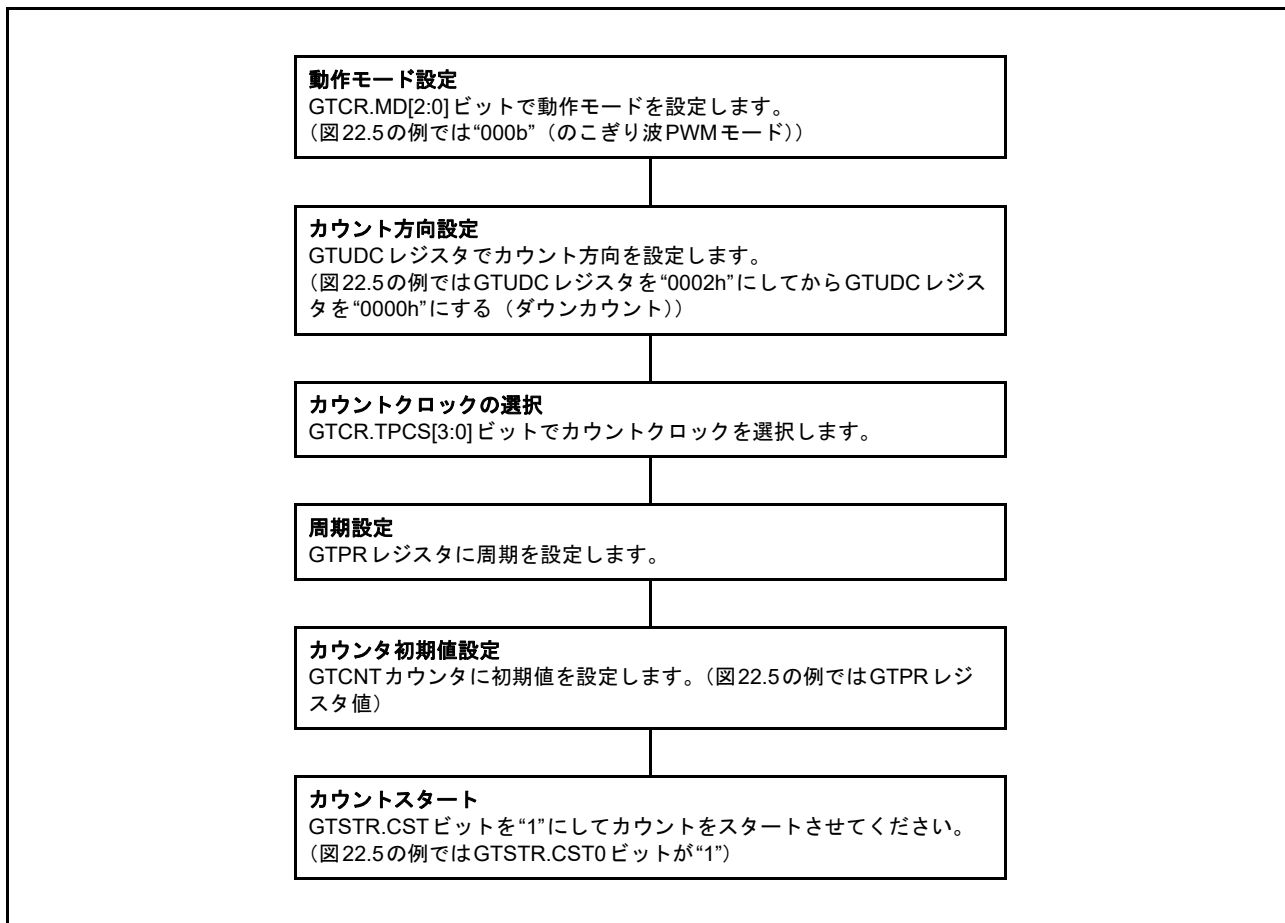


図 22.6 周期カウント動作設定例 (ダウンカウント時)

22.3.1.2 コンペアマッチによる波形出力機能

GPTn.GTCNT(LW) カウンタ (n=0~3) が GPTn.GTCCRA(LW), GPTn.GTCCRB(LW) レジスタの値と一致することをコンペアマッチと呼びます。コンペアマッチ発生後のカウントクロックのタイミングで GTIOCnA, GTIOCnB 出力端子から Low 出力 /High 出力 / トグル出力を行うことができます。

また、GPTn.GTPR(LW) レジスタにより決まる“周期の終わり”でも、GTIOCnA, GTIOCnB 出力端子を Low 出力 /High 出力 / トグル出力することができます。“周期の終わり”とは、以下を示します。

- のこぎり波でアップカウントの場合：GPTn.GTCNT(LW) カウンタ値が GPTn.GTPR(LW) レジスタ値から“0000h (0000 0000h)”になるとき (オーバフロー)
- のこぎり波でダウンカウントの場合：GPTn.GTCNT(LW) カウンタ値が“0000h (0000 0000h)”から GPTn.GTPR(LW) レジスタ値になるとき (アンダフロー)
- 三角波の場合：GPTn.GTCNT(LW) カウンタ値が“0000h (0000 0000h)”から“0001h (0000 0001h)”になるとき (谷)

(1) Low 出力 /High 出力

GTCCRA, GTCCRB レジスタとのコンペアマッチによる Low 出力 /High 出力動作例を図 22.7 に示します。

GPT0.GTCNT カウンタをアップカウントし、GPT0.GTCCRA レジスタとのコンペアマッチにより GTIOC0A 端子を High 出力、GPT0.GTCCRB レジスタとのコンペアマッチにより GTIOC0B 端子を Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

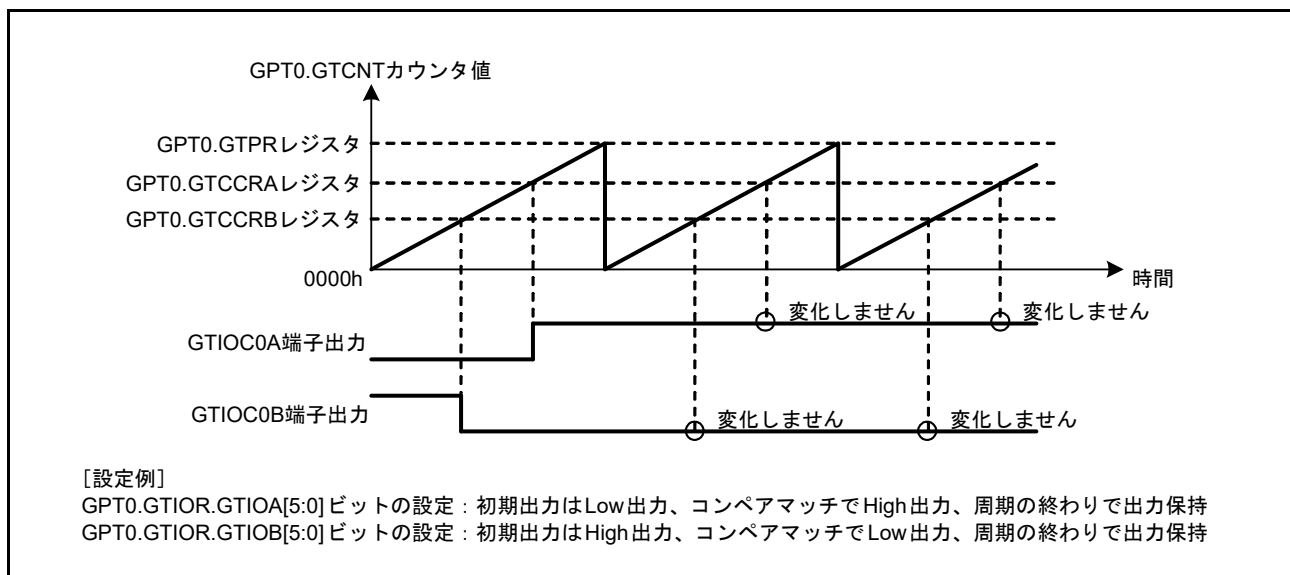


図 22.7 Low 出力 /High 出力動作例

Low 出力 /High 出力動作設定例を図 22.8 に示します。

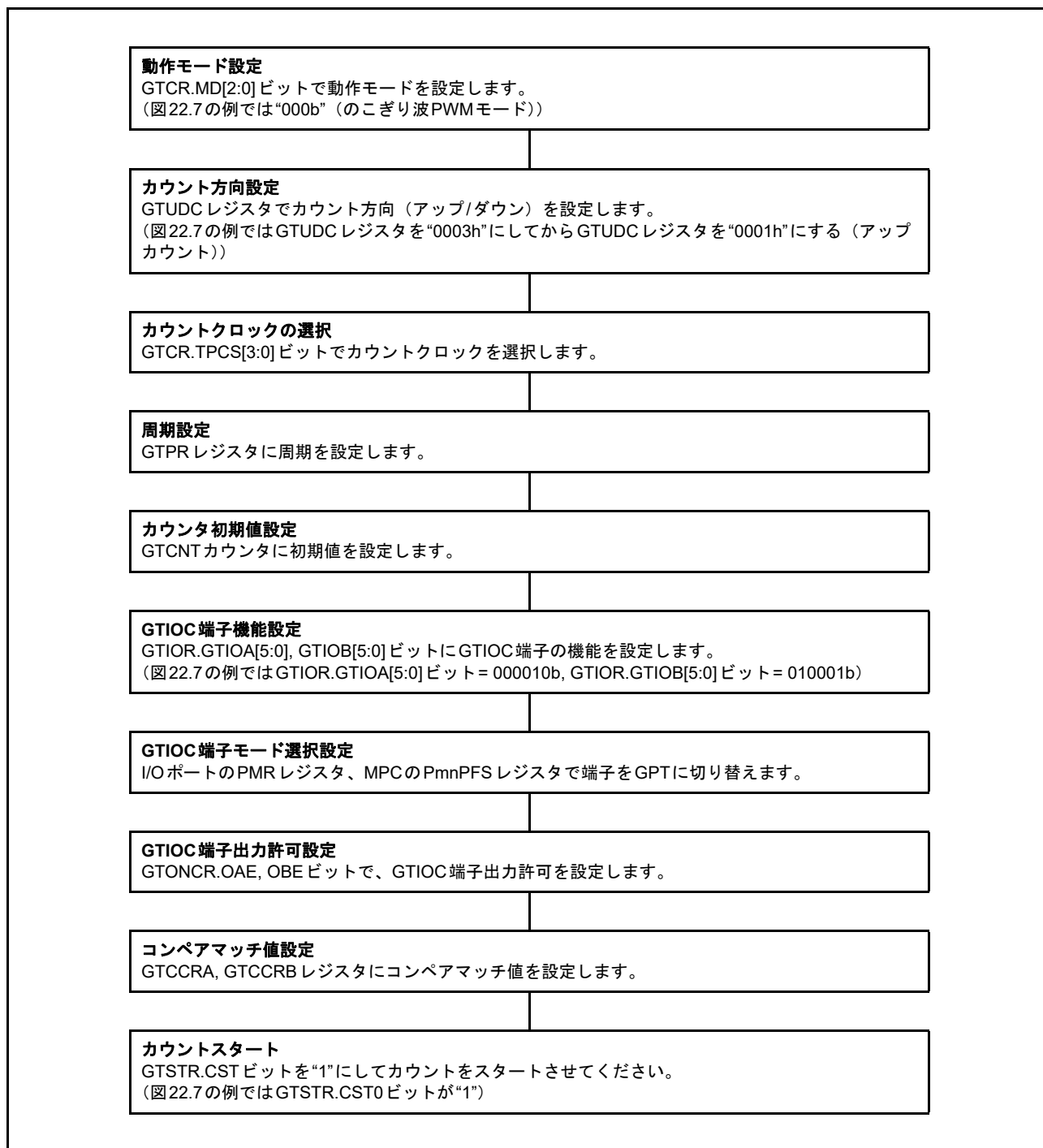


図 22.8 Low 出力 /High 出力動作設定例

(2) トグル出力

GTCCRA, GTCCRB レジスタとのコンペアマッチによるトグル出力動作例を図 22.9、図 22.10 に示します。

図 22.9 は、GPT0.GTCNT カウンタをアップカウントし、GPT0.GTCCRA, GTCCRB レジスタとのコンペアマッチによりそれぞれ GTIOC0A, GTIOC0B 端子をトグル出力となるように設定した場合の例です。

図 22.10 は、GPT0.GTCNT カウンタをアップカウントし、GPT0.GTCCRA レジスタとのコンペアマッチにより GTIOC0A 端子をトグル出力、周期の終わりで GTIOC0B 端子をトグル出力となるように設定した場合の例です。

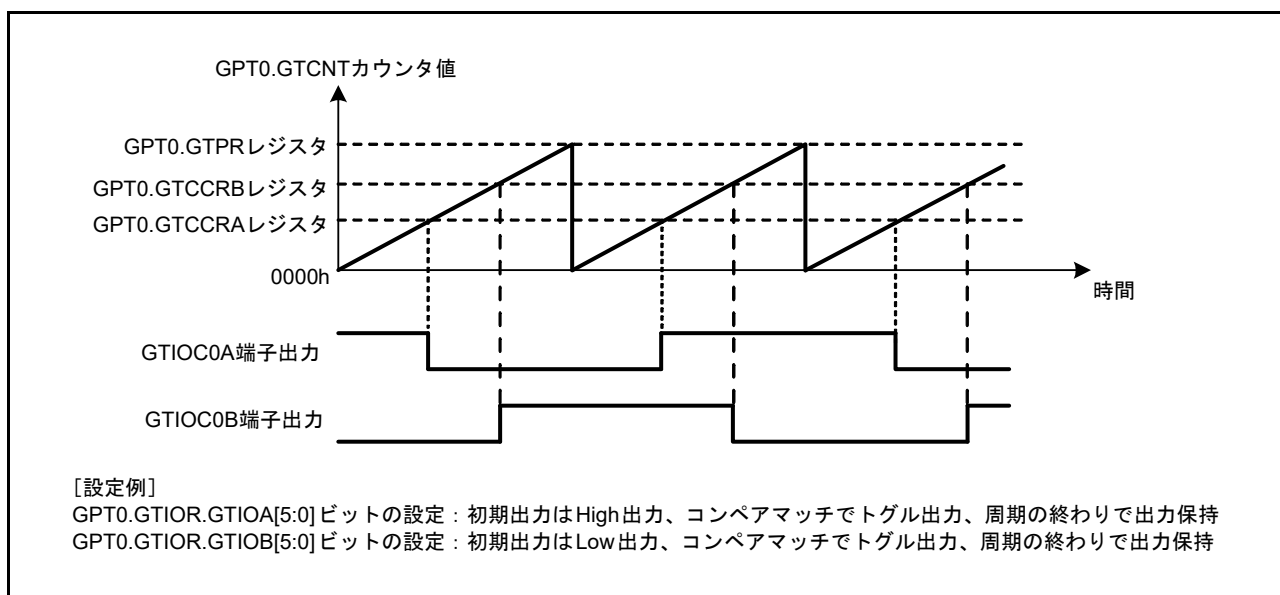


図 22.9 トグル出力動作例 (1)

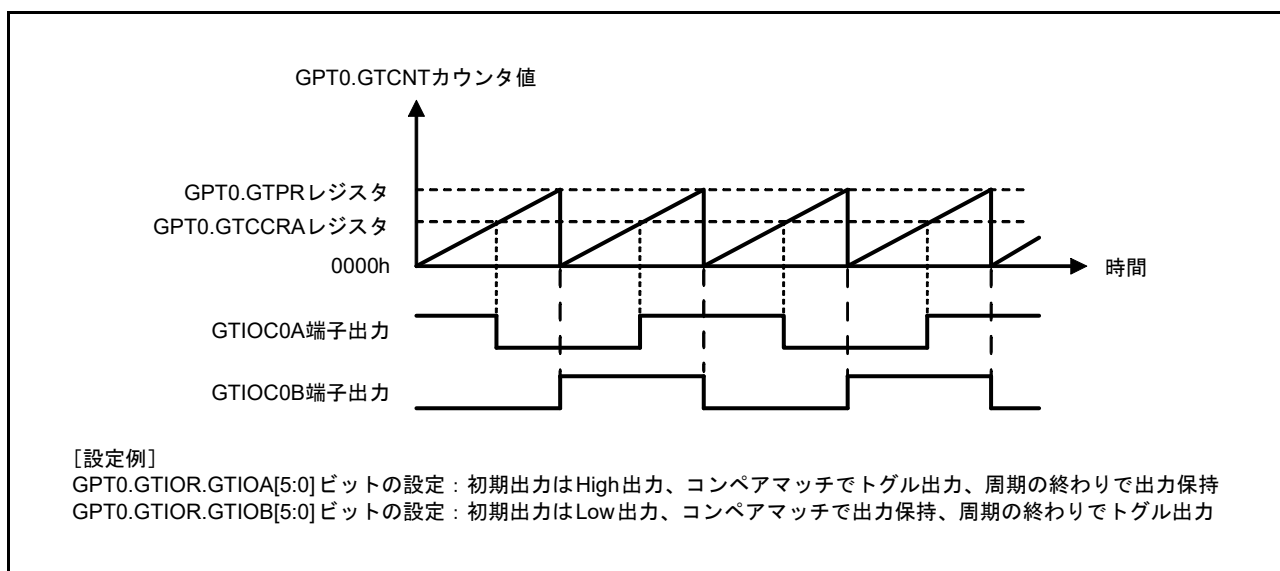


図 22.10 トグル出力動作例 (2)

トグル出力動作設定例を図 22.11 に示します。



図 22.11 トグル出力動作設定例

22.3.1.3 インพุットキャプチャ機能

GTIOCnA, GTIOCnB 入力端子 (n=0~3) のエッジを検出して、GPTn.GTCNT(LW) カウンタの値をそれぞれ GPTn.GTCCRA(LW), GTCCRB(LW) レジスタに転送することができます。検出エッジは、立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。

インพุットキャプチャ機能の動作例を図 22.12 に示します。

GPT0.GTCNT(LW) カウンタをアップカウントし、GTIOC0A 入力端子の両エッジでインพุットキャプチャ、GTIOC0B 入力端子の立ち上がりエッジでインพุットキャプチャとなるように設定した場合の例です。

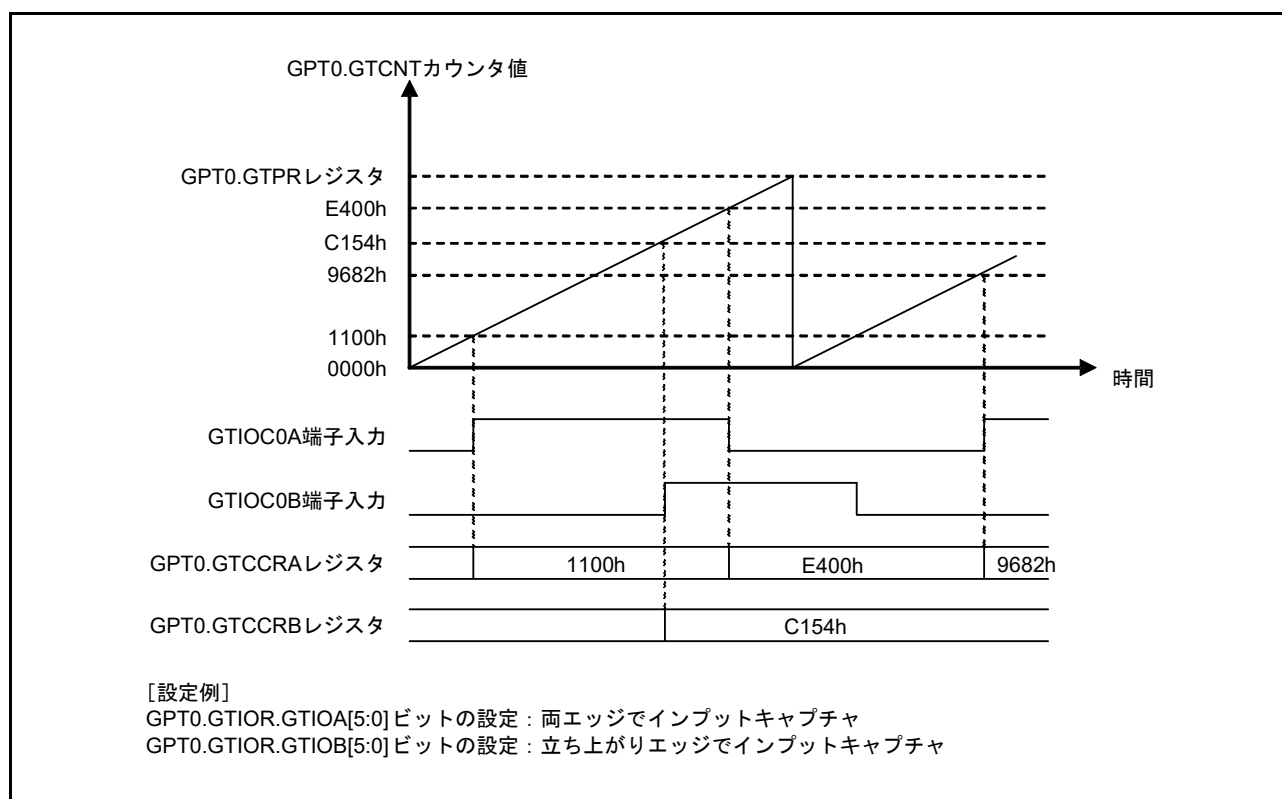


図 22.12 インพุットキャプチャ動作例

インプットキャプチャ動作設定例を図 22.13 に示します。

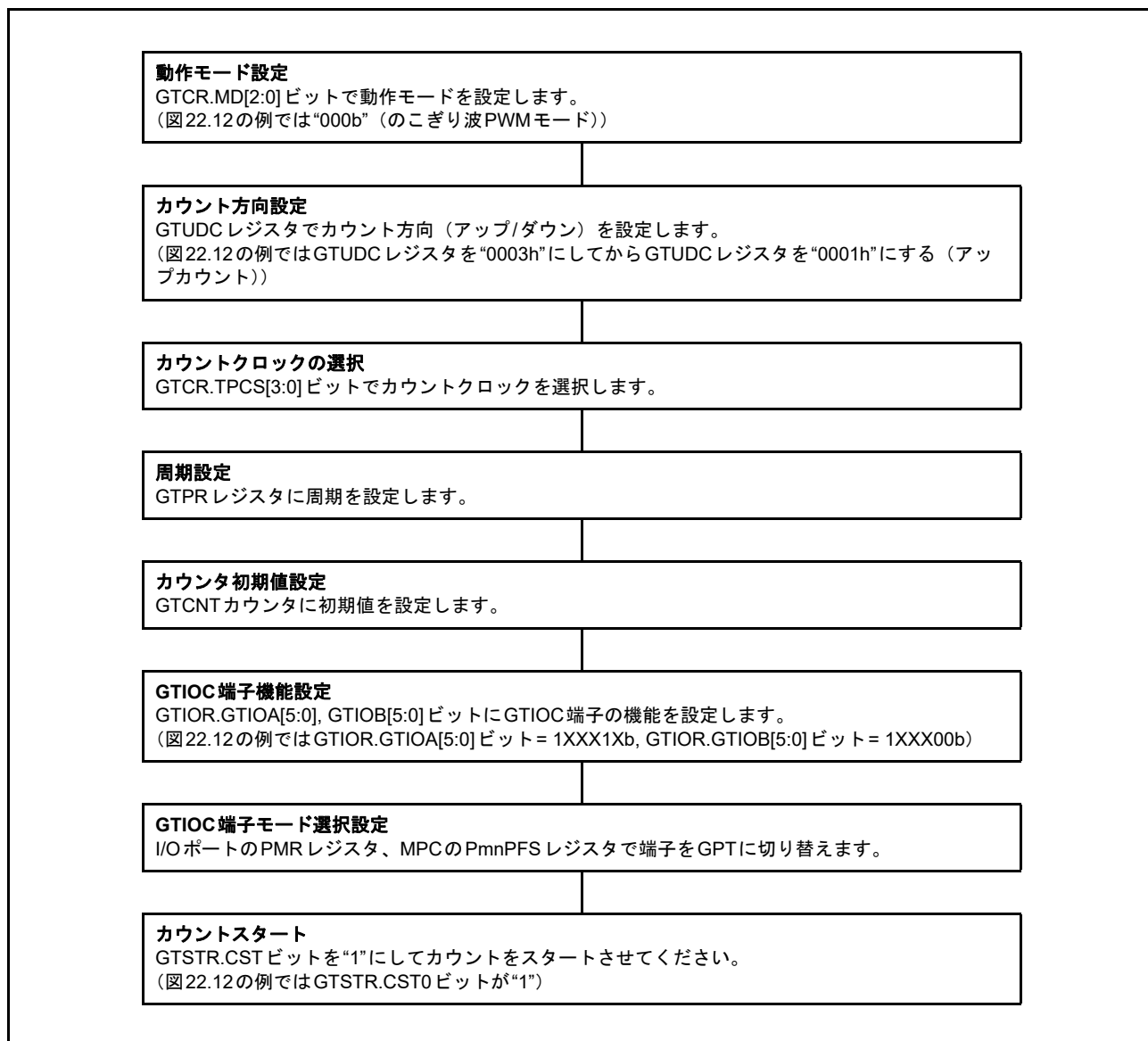


図 22.13 インプットキャプチャ動作設定例

22.3.2 バッファ動作

GTBER レジスタを設定することにより、以下のバッファ動作が可能です。

- GTPR(LW) レジスタと GTPBR(LW), GTPDBR(LW) レジスタを組み合わせたバッファ動作
- GTCCRA(LW) レジスタと GTCCRC(LW), GTCCRD(LW) レジスタを組み合わせたバッファ動作
- GTCCRB(LW) レジスタと GTCCRE(LW), GTCCRF(LW) レジスタを組み合わせたバッファ動作
- GTADTRA(LW) レジスタと GTADTBRA(LW), GTADTDBRA(LW) レジスタを組み合わせたバッファ動作
- GTADTRB(LW) レジスタと GTADTBRB(LW), GTADTDBRB(LW) レジスタを組み合わせたバッファ動作

また、GTDTCR レジスタを設定することにより、以下のバッファ動作が可能です。

- GTDVU(LW) レジスタと GTDBU(LW) レジスタを組み合わせたバッファ動作
- GTDVD(LW) レジスタと GTDBD(LW) レジスタを組み合わせたバッファ動作

22.3.2.1 GTPR(LW) レジスタのバッファ動作

GTPBR(LW) レジスタは GTPR(LW) レジスタのバッファレジスタ、GTPDBR(LW) レジスタは GTPBR(LW) レジスタのバッファレジスタ (GTPR(LW) レジスタのダブルバッファレジスタ) として動作します。

バッファ転送のタイミングは、のこぎり波の場合はオーバフロー (アップカウント時)、アンダフロー (ダウンカウント時) またはハードウェア要因、ソフトウェア要因、同期クリアによるカウンタクリア時、三角波の場合は谷となります。

GTPR(LW) レジスタをダブルバッファ動作させる場合には GTBER.PR[1:0] ビットに “10b” または “11b”、シングルバッファ動作させる場合には “01b”、バッファ動作させない場合には “00b” にします。

GTPR レジスタのバッファ動作例を図 22.14 ~ 図 22.16 に、GTPR レジスタのバッファ動作設定例を図 22.17 に示します。

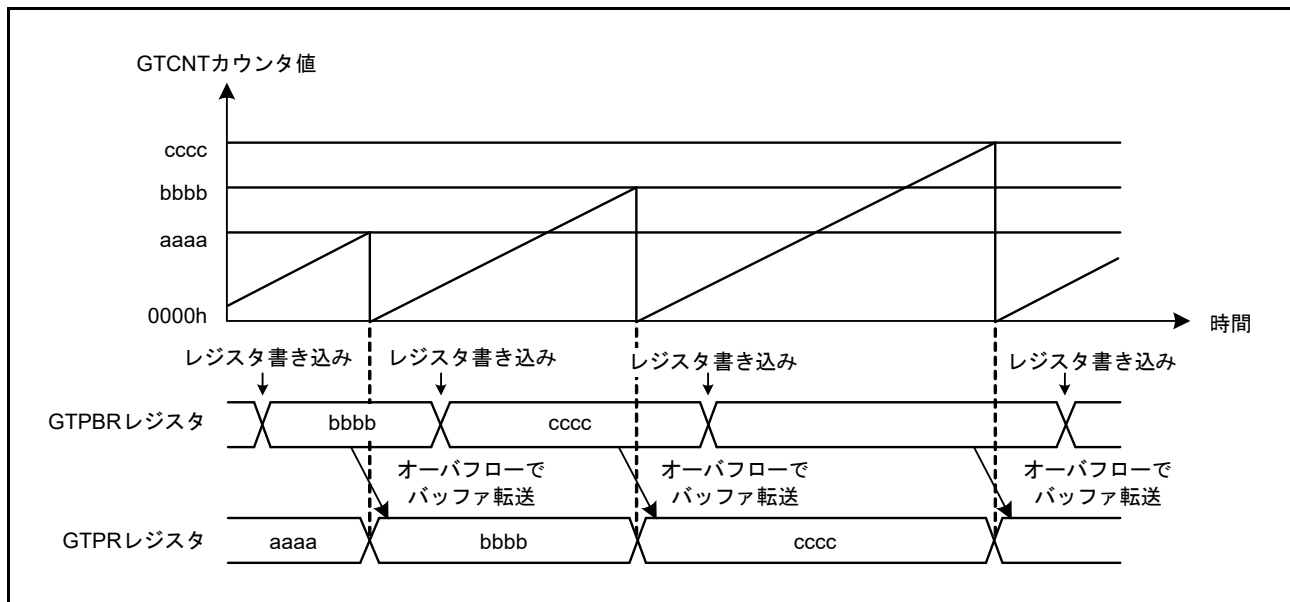


図 22.14 GTPR レジスタのバッファ動作例 (のこぎり波でアップカウントの場合)

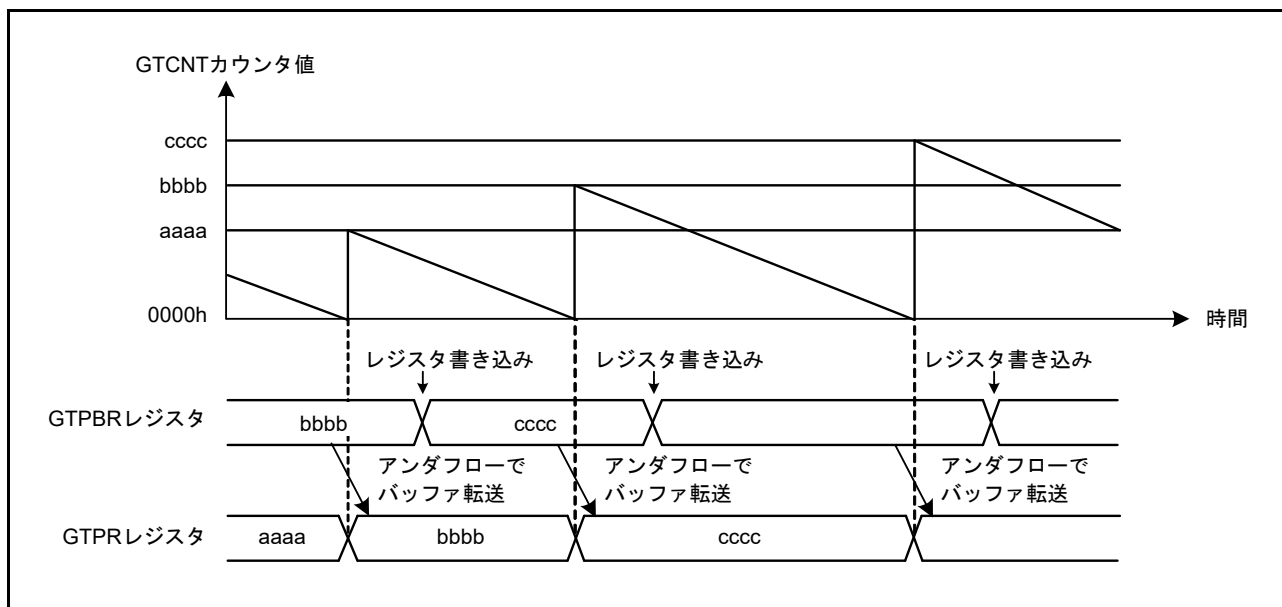


図 22.15 GTPR レジスタのバッファ動作例 (のこぎり波でダウンカウントの場合)

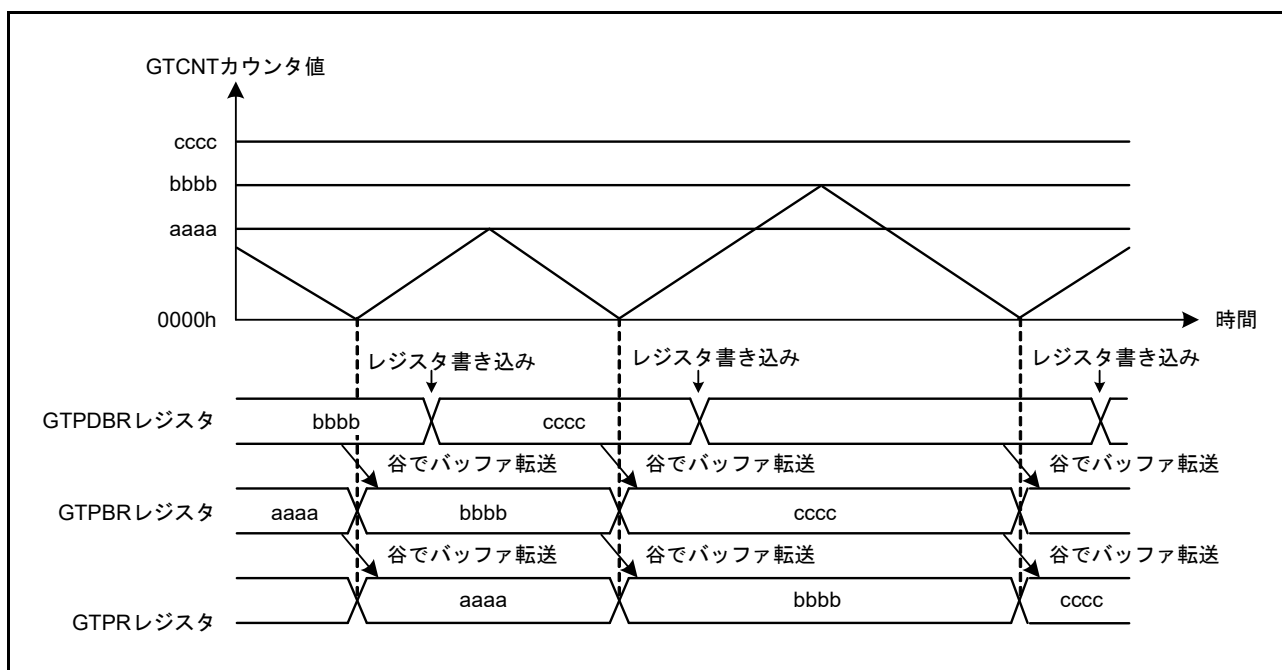


図 22.16 GTPR レジスタのダブルバッファ動作例 (三角波の場合)

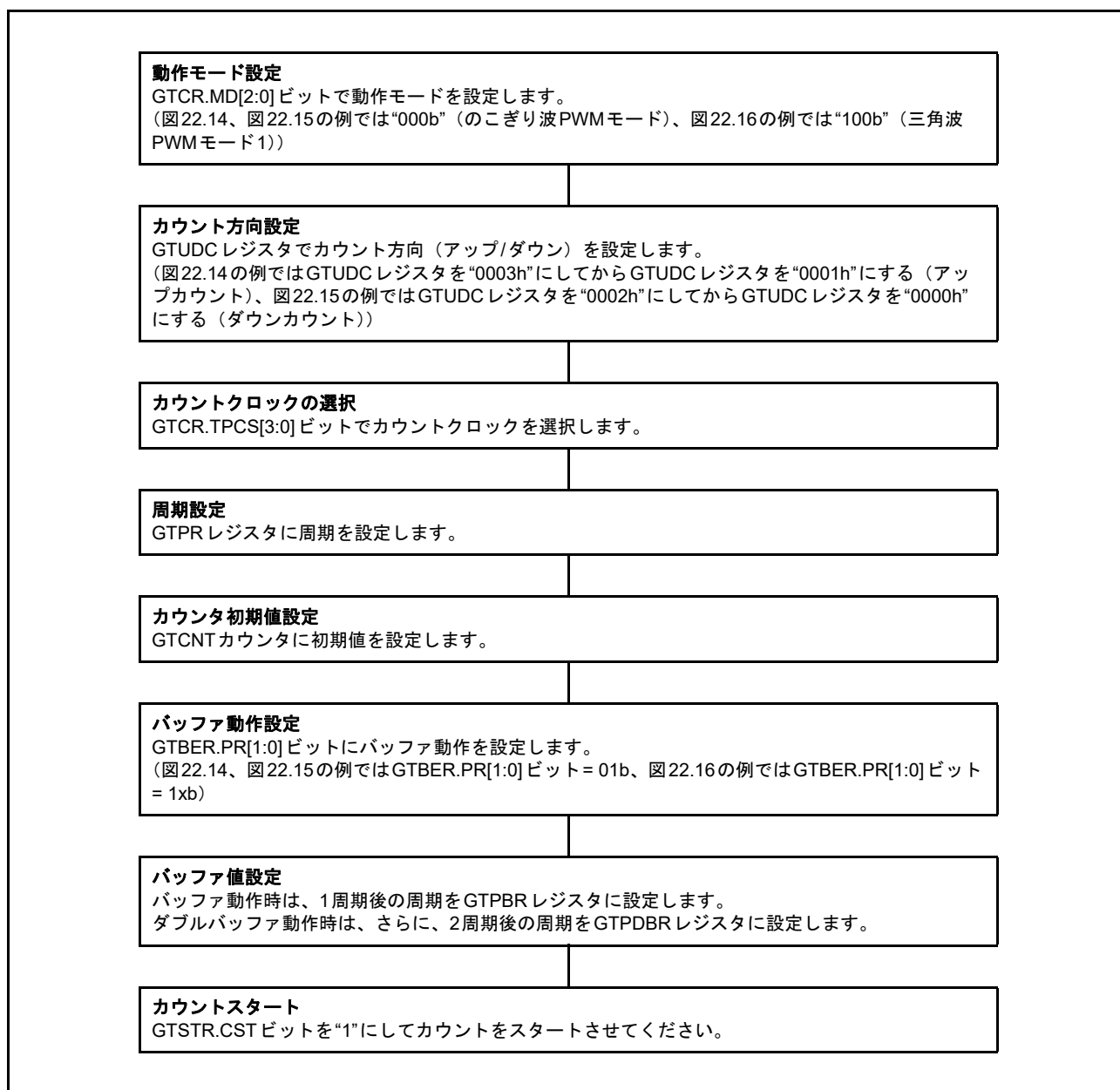


図 22.17 GTPR レジスタのバッファ動作設定例

22.3.2.2 GTCCRA(LW), GTCCRB(LW) レジスタのバッファ動作

GTCCRC(LW) レジスタは GTCCRA(LW) レジスタのバッファレジスタ、GTCCRD(LW) レジスタは GTCCRC(LW) レジスタのバッファレジスタ (GTCCRA(LW) レジスタのダブルバッファレジスタ) として動作します。同様に、GTCCRE(LW) レジスタは GTCCRB(LW) レジスタのバッファレジスタ、GTCCRF(LW) レジスタは GTCCRE(LW) レジスタのバッファレジスタ (GTCCRB(LW) レジスタのダブルバッファレジスタ) として動作します。

GTCCRA(LW), GTCCRB(LW) レジスタをダブルバッファ動作させる場合には、それぞれ GTBER.CCRA[1:0], GTBER.CCRB[1:0] ビットに “10b” または “11b”、シングルバッファ動作させる場合には “01b”、バッファ動作させない場合には “00b” にします。

以下、アウトプットコンペア動作時、インプットキャプチャ動作時のバッファ動作について説明します。

(1) GTCCRA(LW), GTCCRB(LW) レジスタがアウトプットコンペアレジスタとして動作している場合

バッファ転送のタイミングは、のこぎり波の場合はオーバーフロー (アップカウント時)、アンダフロー (ダウンカウント時) またはカウンタクリア時、三角波の場合は山/谷となります。のこぎり波の場合、三角波の場合ともに、カウントストップ中に GTBER.CCRSWT ビットに “1” を書くと、GTCCRA(LW), GTCCRB(LW) レジスタのバッファ転送を強制的に行います。

のこぎり波ワンショットパルスモードおよび三角波 PWM モード 3 の場合は、カウントストップ中の強制バッファ転送により、GTCCRD(LW) レジスタからテンポラリレジスタ A(LW)、GTCCRF(LW) レジスタからテンポラリレジスタ B(LW) のバッファ転送も行います。

GTCCRA, GTCCRB レジスタのバッファ動作例を図 22.18 ~ 図 22.20 に、GTCCRA, GTCCRB レジスタのバッファ動作設定例を図 22.21 に示します。

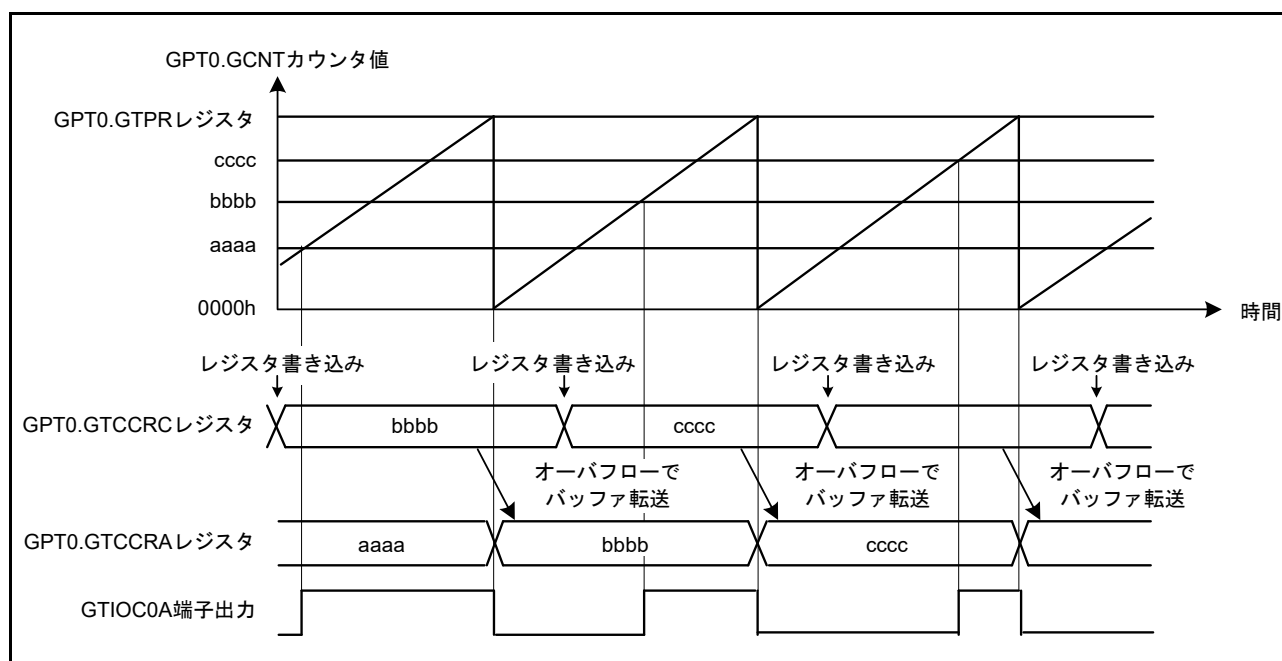


図 22.18 GTCCRA, GTCCRB レジスタのバッファ動作例
(アウトプットコンペア、のこぎり波でアップカウント、GTCCRA コンペアマッチで High 出力、周期の終わりで Low 出力の場合)

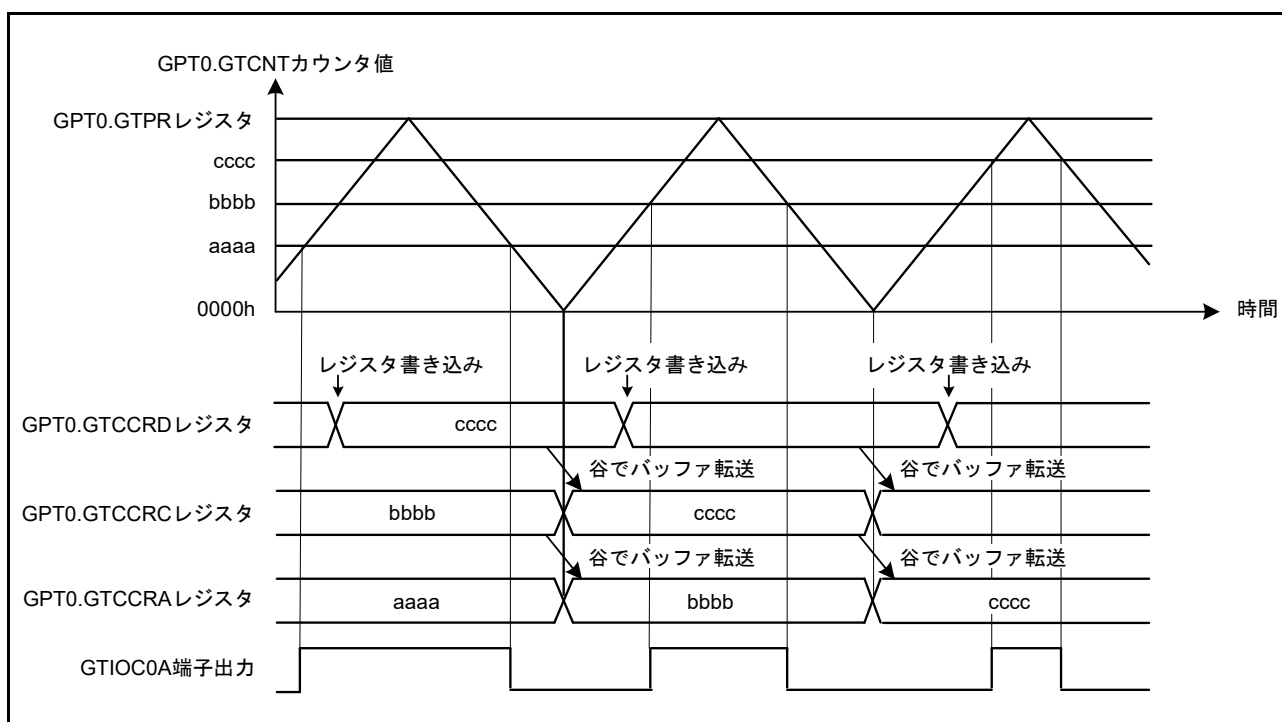


図 22.19 GTCCRA, GTCCRB レジスタのダブルバッファ動作例
 (アウトプットコンペア、三角波、谷でバッファ転送、GTCCRA コンペアマッチでトグル出力、
 周期の終わりで出力保持の場合)

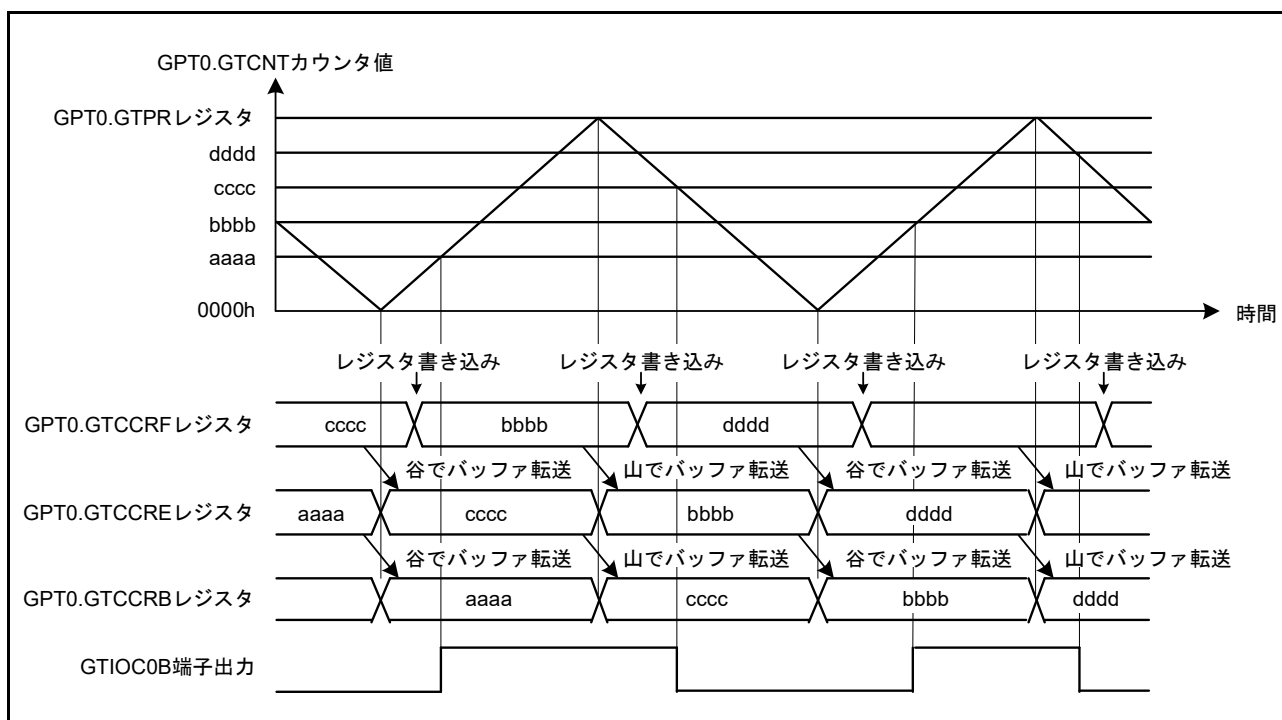


図 22.20 GTCCRA, GTCCRB レジスタのダブルバッファ動作例
 (アウトプットコンペア、三角波、谷/山両方でバッファ転送、GTCCRB コンペアマッチでトグル出力、
 周期の終わりで出力保持の場合)

<p>動作モード設定 GTCR.MD[2:0]ビットで動作モードを設定します。 (図22.18の例では"000b" (のこぎり波PWMモード)、図22.19の例では"100b" (三角波PWMモード1)、図22.20の例では"101b" (三角波PWMモード2))</p>	
<p>カウント方向設定 GTUDCレジスタでカウント方向 (アップ/ダウン) を設定します。 (図22.18の例ではGTUDCレジスタを"0003h"にしてからGTUDCレジスタを"0001h"にする (アップカウント))</p>	
<p>カウントクロックの選択 GTCR.TPCS[3:0]ビットでカウントクロックを選択します。</p>	
<p>周期設定 GTPRレジスタに周期を設定します。</p>	
<p>カウンタ初期値設定 GTCNTカウンタに初期値を設定します。</p>	
<p>GTIOC 端子機能設定 GTIOR.GTIOA[5:0], GTIOB[5:0]ビットにGTIOC端子の機能を設定します。 (図22.18の例ではGTIOR.GTIOA[5:0]ビット= 000110b、図22.19の例ではGTIOR.GTIOA[5:0]ビット= 000011b、図22.20の例ではGTIOR.GTIOB[5:0]ビット= 000011b)</p>	
<p>GTIOC 端子モード選択設定 I/OポートのPMRレジスタ、MPCのPmnPFSレジスタで端子をGPTに切り替えます。</p>	
<p>GTIOC 端子出力許可設定 GTONCR.OAE, OBEビットで、GTIOC端子出力許可を設定します。</p>	
<p>バッファ動作設定 GTBER.CCRA[1:0], CCRB[1:0]ビットにバッファ動作を設定します。 (図22.18の例ではGTBER.CCRA[1:0]ビット= 01b、図22.19の例ではGTBER.CCRA[1:0]ビット= 1Xb、図22.20の例ではGTBER.CCRB[1:0]ビット= 1Xb)</p>	
<p>コンペアマッチ値設定 GTIOCA端子の切り替わりポイントをGTCCRAレジスタに設定します。 GTIOCB端子の切り替わりポイントをGTCCRBレジスタに設定します。</p>	
<p>バッファ値設定 バッファ動作時は、1周期後 (のこぎり波の場合、および三角波で (山) もしくは (谷) でバッファ転送の場合) もしくは半周期後 (三角波で (谷/山) 両方でバッファ転送の場合) のGTIOCA端子の切り替わりポイントをGTCCRCレジスタに、GTIOCB端子の切り替わりポイントをGTCCREレジスタに設定します。 ダブルバッファ動作時は、さらに、2周期後 (のこぎり波の場合、および三角波で (山) もしくは (谷) でバッファ転送の場合) もしくは1周期後 (三角波で (谷/山) 両方でバッファ転送の場合) のGTIOCA端子の切り替わりポイントをGTCCRDレジスタに、GTIOCB端子の切り替わりポイントをGTCCRFレジスタに設定します。</p>	
<p>カウントスタート GTSTR.CSTビットを"1"にしてカウントをスタートさせてください。 (図22.18、図22.19、図22.20の例ではGTSTR.CST0ビットが"1")</p>	

図 22.21 GTCCRA, GTCCRB レジスタのバッファ動作設定例 (アウトプットコンペア時)

(2) GTCCRA(LW), GTCCRB(LW) レジスタがインプットキャプチャレジスタとして動作している場合

バッファ転送のタイミングは、インプットキャプチャが発生したポイントとなります。インプットキャプチャが発生すると、GTCNT(LW) カウンタの値を GTCCRA(LW), GTCCRB(LW) レジスタに転送すると同時に、それまで格納されていた GTCCRA(LW), GTCCRB(LW) レジスタの値をバッファレジスタに転送します。

GTCCRA, GTCCRB レジスタのバッファ動作例を図 22.22、図 22.23 に、GTCCRA, GTCCRB レジスタのバッファ動作設定例を図 22.24 に示します。

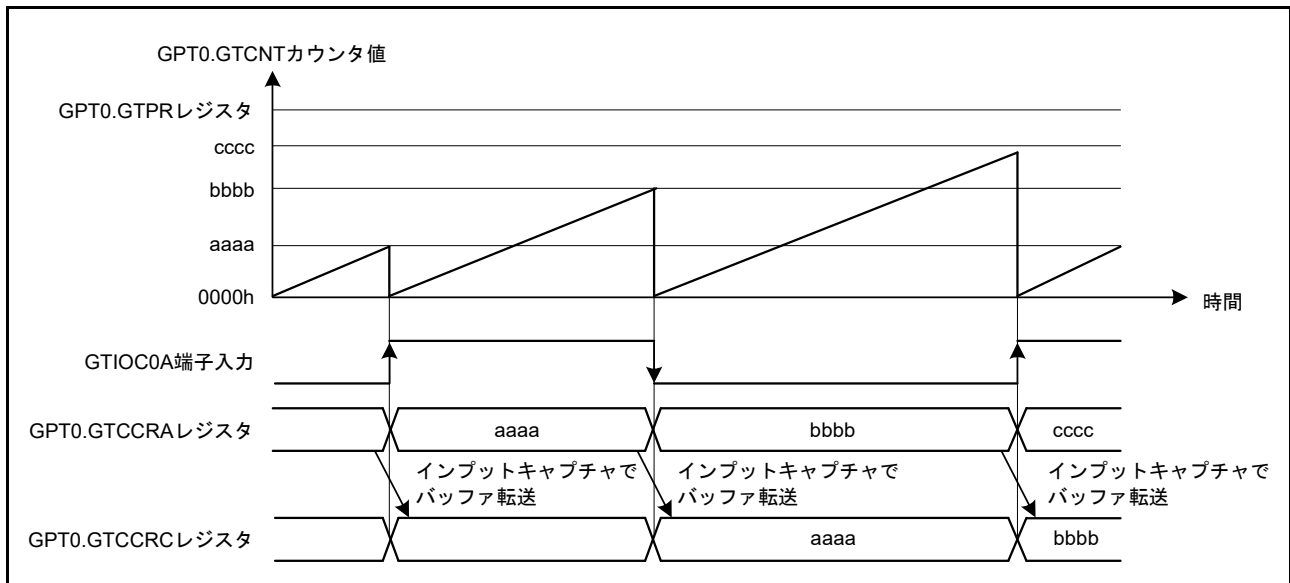


図 22.22 GTCCRA, GTCCRB レジスタのバッファ動作例
(GTIOC0A 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTCCRA レジスタのインプットキャプチャで GTCNT カウンタクリアの場合)

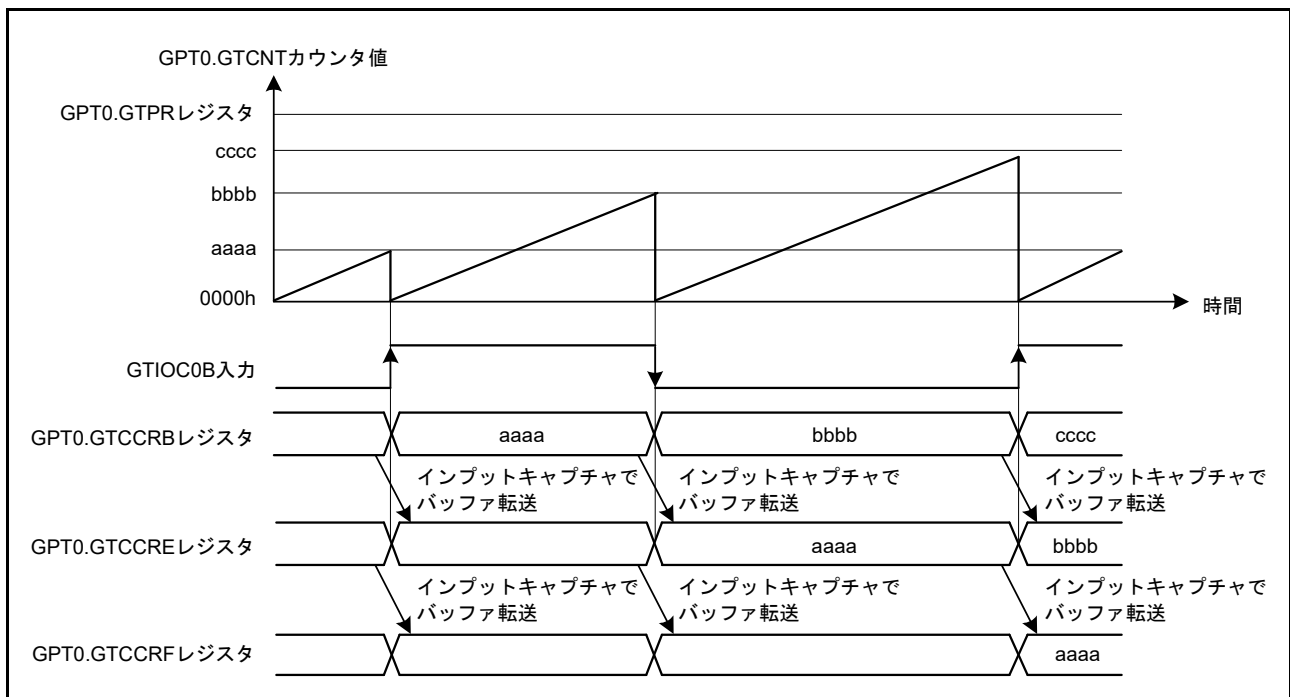


図 22.23 GTCCRA, GTCCRB レジスタのダブルバッファ動作例
(GTIOC0B 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTCCRB レジスタのインプットキャプチャで GTCNT カウンタクリアの場合)

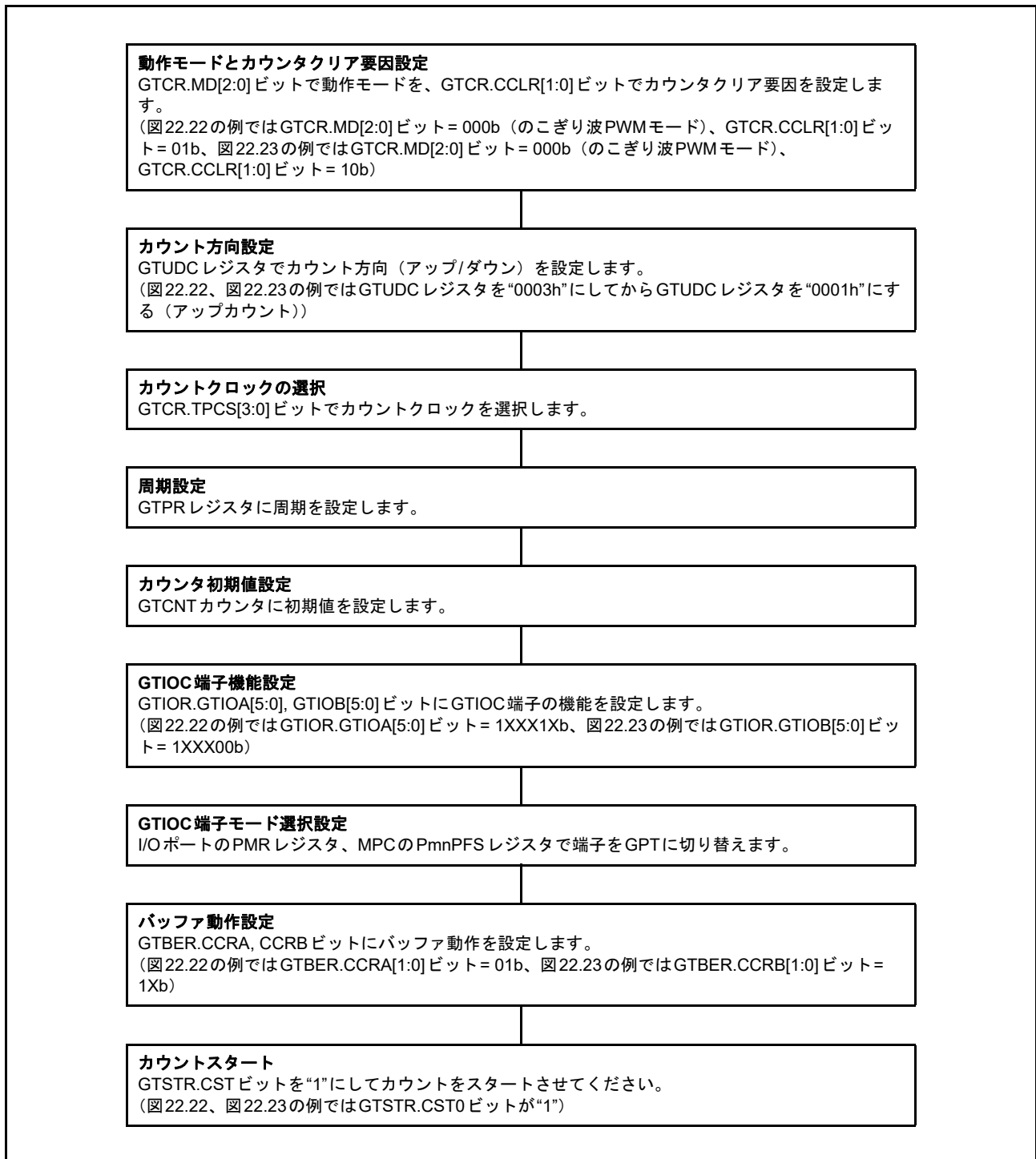


図 22.24 GTCCRA, GTCCRB レジスタのバッファ動作設定例 (インプットキャプチャ時)

22.3.2.3 GTADTRA(LW), GTADTRB(LW) レジスタのバッファ動作

GTADTBRA(LW) レジスタは GTADTRA(LW) レジスタのバッファレジスタ、GTADTDBRA(LW) レジスタは GTADTBRA(LW) レジスタのバッファレジスタ (GTADTRA(LW) レジスタのダブルバッファレジスタ) として動作します。同様に、GTADTBRB(LW) レジスタは GTADTRB(LW) レジスタのバッファレジスタ、GTADTDBRB(LW) レジスタは GTADTBRB(LW) レジスタのバッファレジスタ (GTADTRB(LW) レジスタのダブルバッファレジスタ) として動作します。

GTADTRA(LW), GTADTRB(LW) レジスタをダブルバッファ動作させる場合には、それぞれ GTBER.ADTDA, ADTDB ビットを“1”に、シングルバッファ動作させる場合には“0”にします。GTADTRA(LW), GTADTRB(LW) レジスタをバッファ動作させない場合には、それぞれ GTBER.ADTTA[1:0], GTBER.ADTTB[1:0] ビットを“00b”にします。

バッファ転送のタイミングは GTBER.ADTTn[1:0] ビットで設定でき、のこぎり波の場合はオーバフロー (アップカウント時)、アンダフロー (ダウンカウント時) またはカウンタクリア時、三角波の場合は GTBER.ADTTn[1:0] ビットが“01b”のときは山、“10b”のときは谷、“11b”のときは谷/山の両方となります (n = A, B)。

GTADTRA, GTADTRB レジスタのバッファ動作例を図 22.25 ~ 図 22.27 に、GTADTRA, GTADTRB レジスタのバッファ動作設定例を図 22.28 に示します。

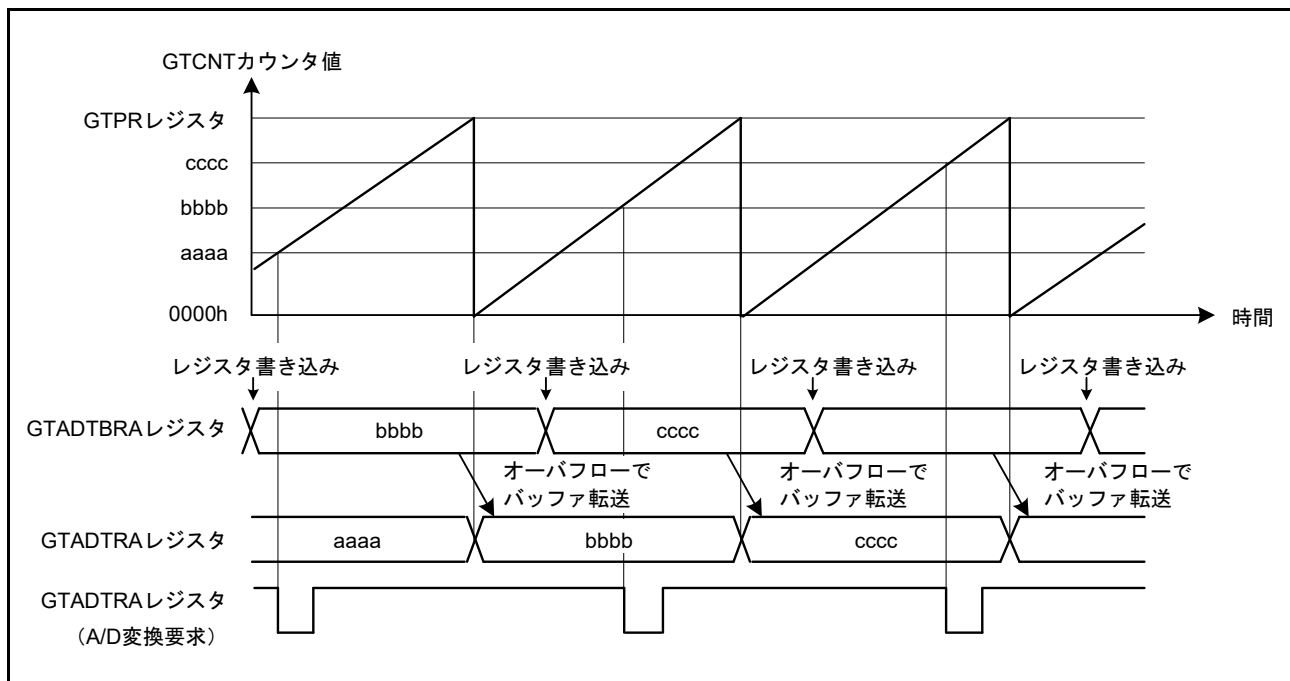


図 22.25 GTADTRA, GTADTRB レジスタのバッファ動作例
(のこぎり波でアップカウント、アップカウントで A/D 変換要求発生の場合)

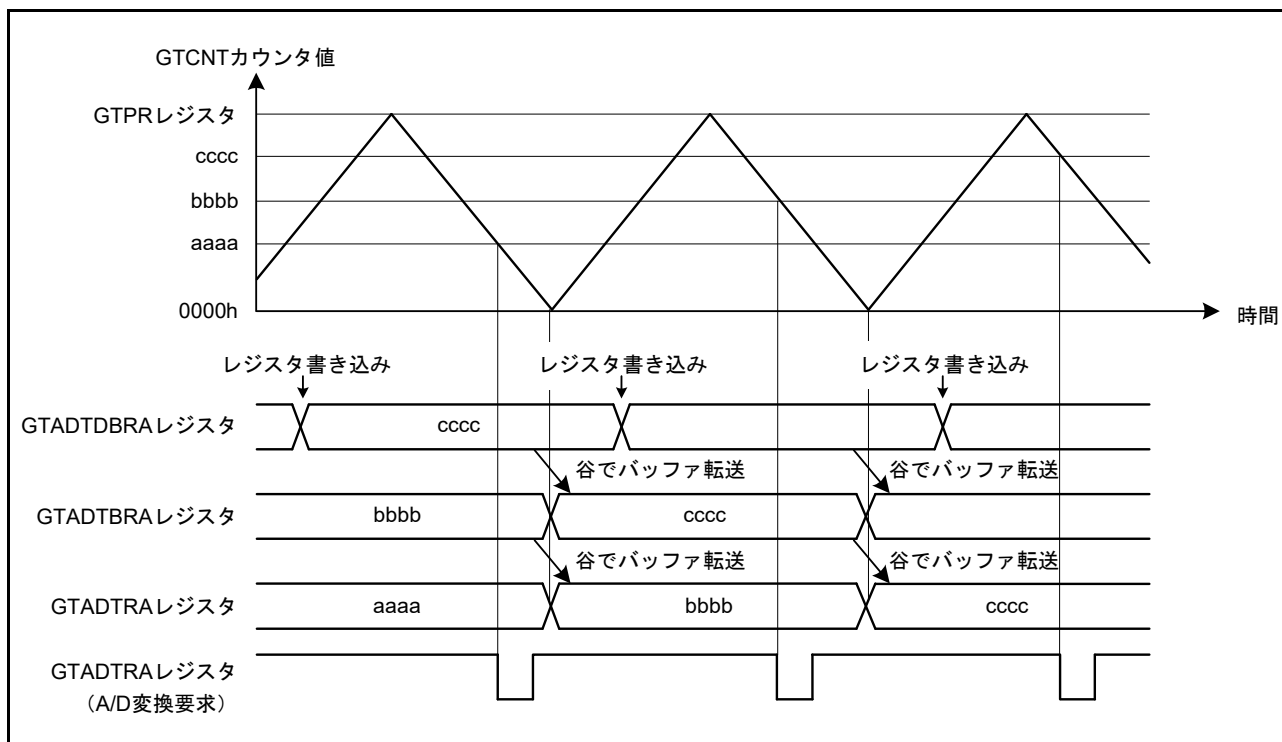


図 22.26 GTADTRA, GTADTRB レジスタのダブルバッファ動作例
(三角波、谷でバッファ転送、ダウンカウントで A/D 変換要求発生の場合)

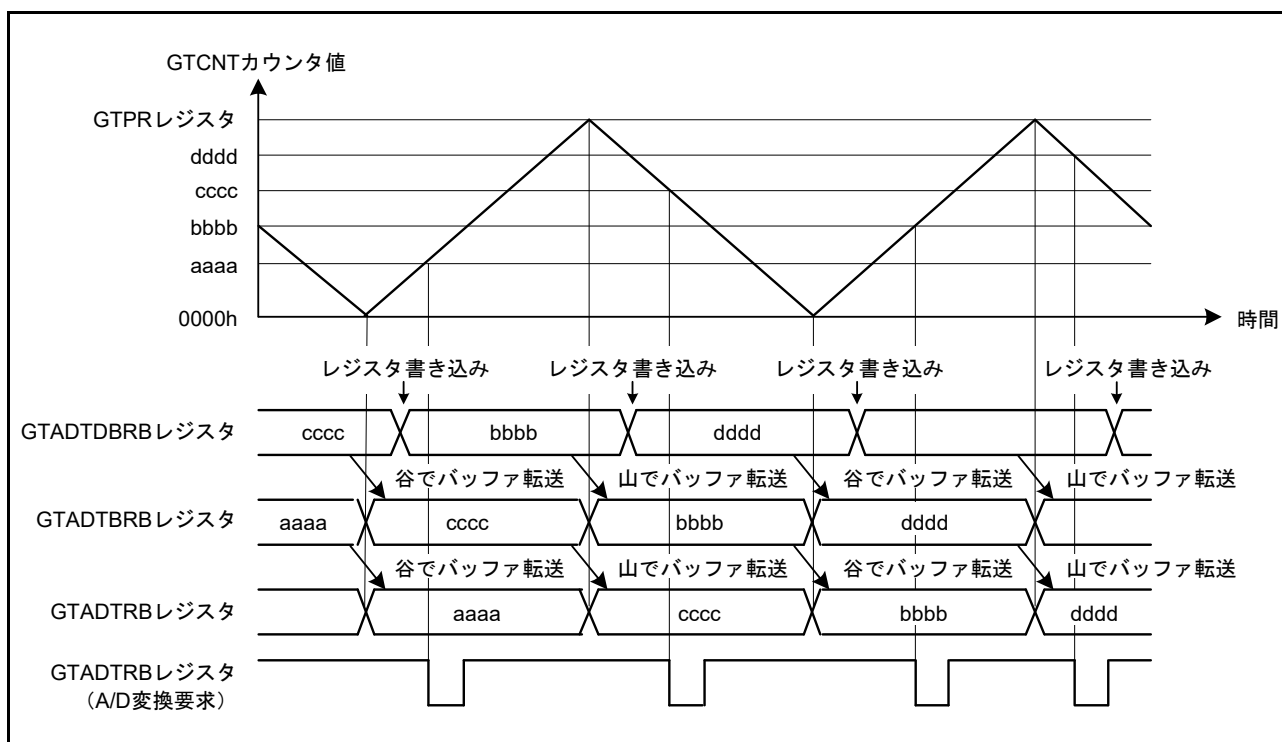


図 22.27 GTADTRA, GTADTRB レジスタのダブルバッファ動作例
(三角波、谷 / 山両方でバッファ転送、アップカウント / ダウンカウント両方で A/D 変換開始要求発生の場合)

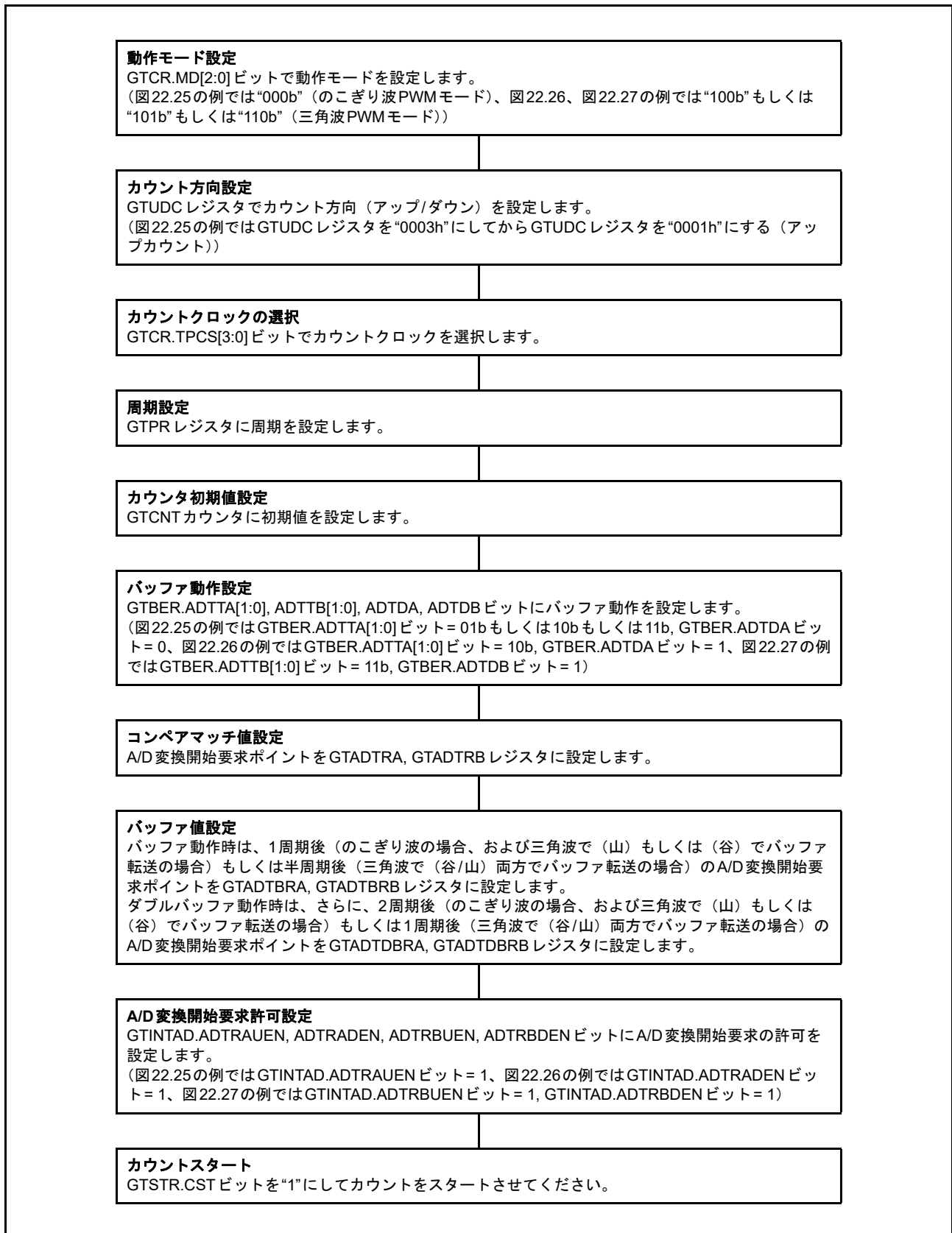


図 22.28 GTADTRA, GTADTRB レジスタのバッファ動作設定例

22.3.3 PWM 出力動作モード

GPTn.GTCNT(LW) カウンタ (n=0~3) と GPTn.GTCCRA(LW), GTCCRB(LW) レジスタのコンペアマッチにより、GTIOCnA, GTIOCnB 端子に PWM 波形を出力することができます。全チャンネル独立に動作モードが設定でき、チャンネル間の同期動作も可能です。

また、GTDTCR, GTDVU(LW), GTDVD(LW) レジスタを設定することにより、デッドタイム付きの逆相波形成用のコンペアマッチ値を GTCCRB(LW) レジスタに自動設定することも可能です。

(1) のこぎり波 PWM モード

のこぎり波 PWM モードは、GPTn.GTPR(LW) レジスタ (n=0~3) に周期を設定して GPTn.GTCNT(LW) カウンタをのこぎり波 (半波) 動作させ、GPTn.GTCCRA(LW), GTCCRB(LW) レジスタのコンペアマッチにより、GTIOCnA, GTIOCnB 端子に PWM 波形を出力するモードです。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

図 22.29 にのこぎり波 PWM モードの動作例を、図 22.30 にのこぎり波 PWM モードの設定例を示します。

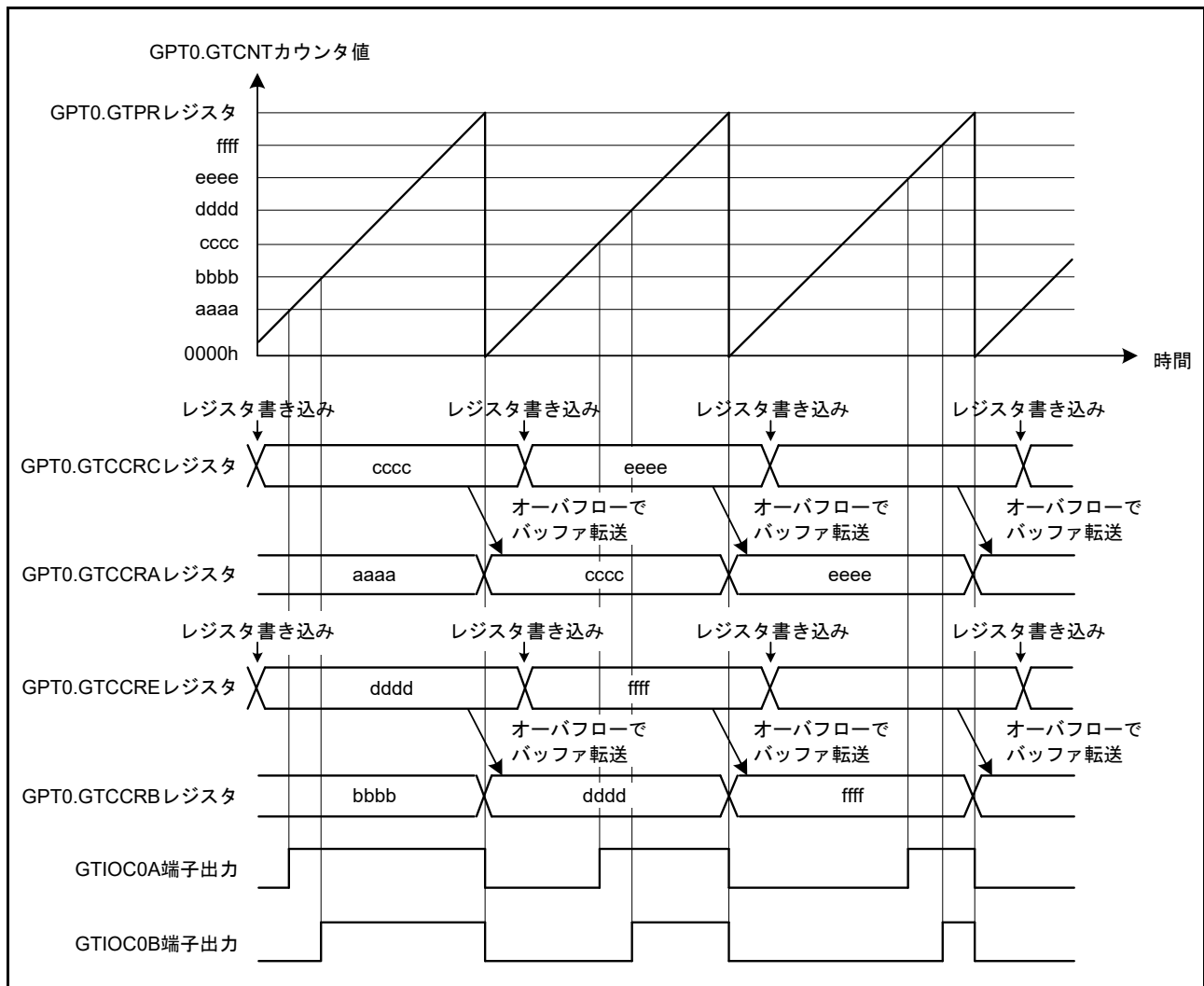


図 22.29 のこぎり波 PWM モード動作例
(アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、
周期の終わりで Low 出力の場合)

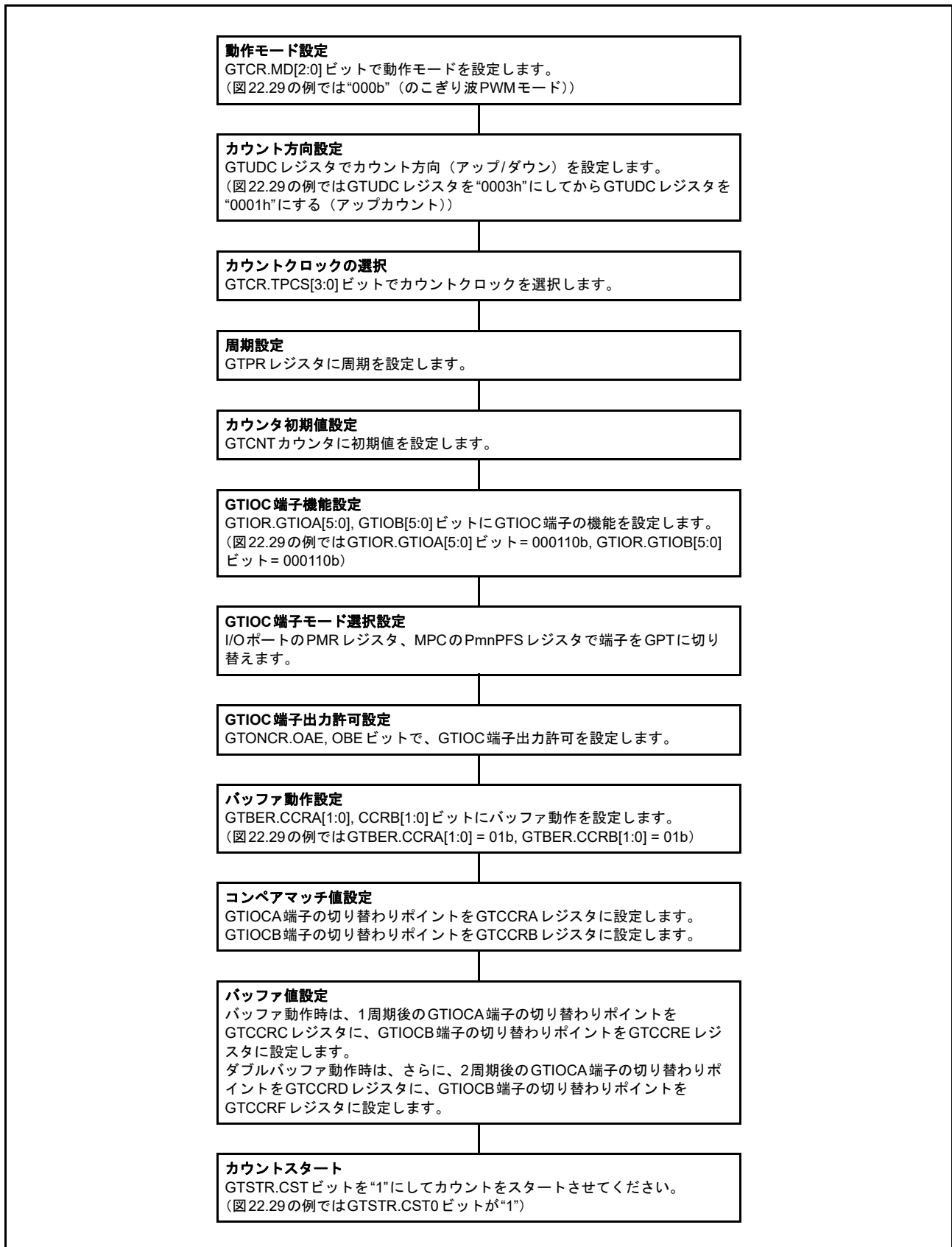


図 22.30 のこぎり波 PWM モード設定例

(2) のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GPTn.GTPR(LW) レジスタ (n=0~3) に周期を設定して GPTn.GTCNT(LW) カウンタをのこぎり波 (半波) 動作させ、バッファ動作固定で、GPTn.GTCCRA(LW), GTCCRB(LW) レジスタのコンペアマッチにより、GTIOcnA, GTIOcnB 端子に PWM 波形を出力するモードです。のこぎり波ワンショットパルスモードのバッファ動作は通常のバッファ動作と異なり、周期の終わりで、GTCCRC(LW) レジスタから GTCCRA(LW) レジスタに、GTCCRE(LW) レジスタから GTCCRB(LW) レジスタに、GTCCRD(LW) レジスタからテンポラリレジスタ A(LW) に、GTCCRF(LW) レジスタからテンポラリレジスタ B(LW) にバッファ転送され、さらに、GTCCRA(LW) レジスタのコンペアマッチでテンポラリレジスタ A(LW) から GTCCRA(LW) レジスタに、GTCCRB(LW) レジスタのコンペアマッチでテンポラリレジスタ B(LW) から GTCCRB(LW) レジスタにバッファ転送されます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

また、GTDTCR, GTDVU(LW), GTDVD(LW) レジスタを設定することにより、デッドタイム付きの逆相波形式のコンペアマッチ値を GTCCRB(LW) レジスタに自動設定することも可能です。

図 22.31 にのこぎり波ワンショットパルスモードの動作例を、図 22.32 にのこぎり波ワンショットパルスモードの設定例を示します。

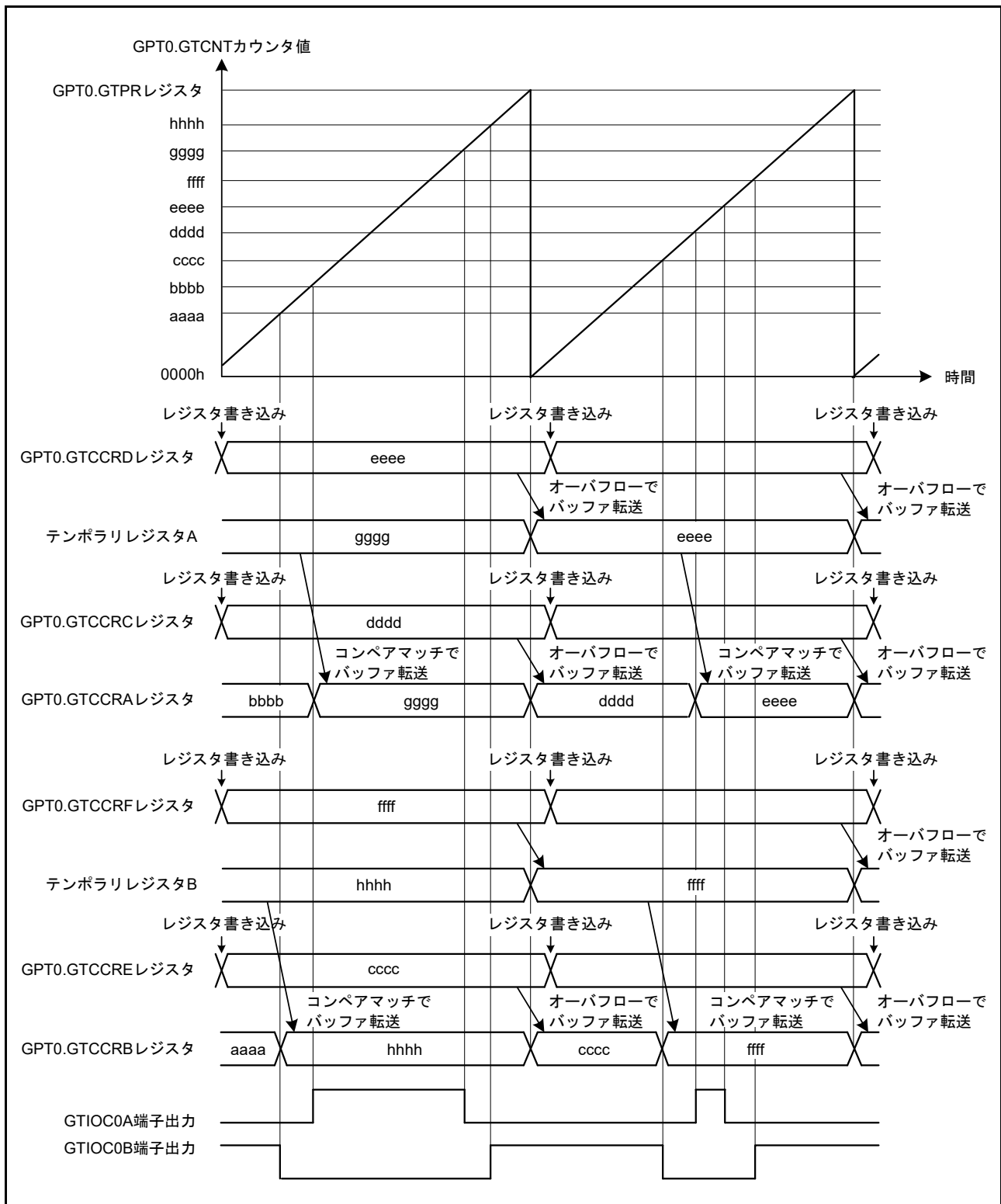


図 22.31 のこぎり波ワンショットパルスモード動作例
 (アップカウント、初期出力で GTIOC0A 端子 = Low 出力 /GTIOC0B 端子 = High 出力、
 GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

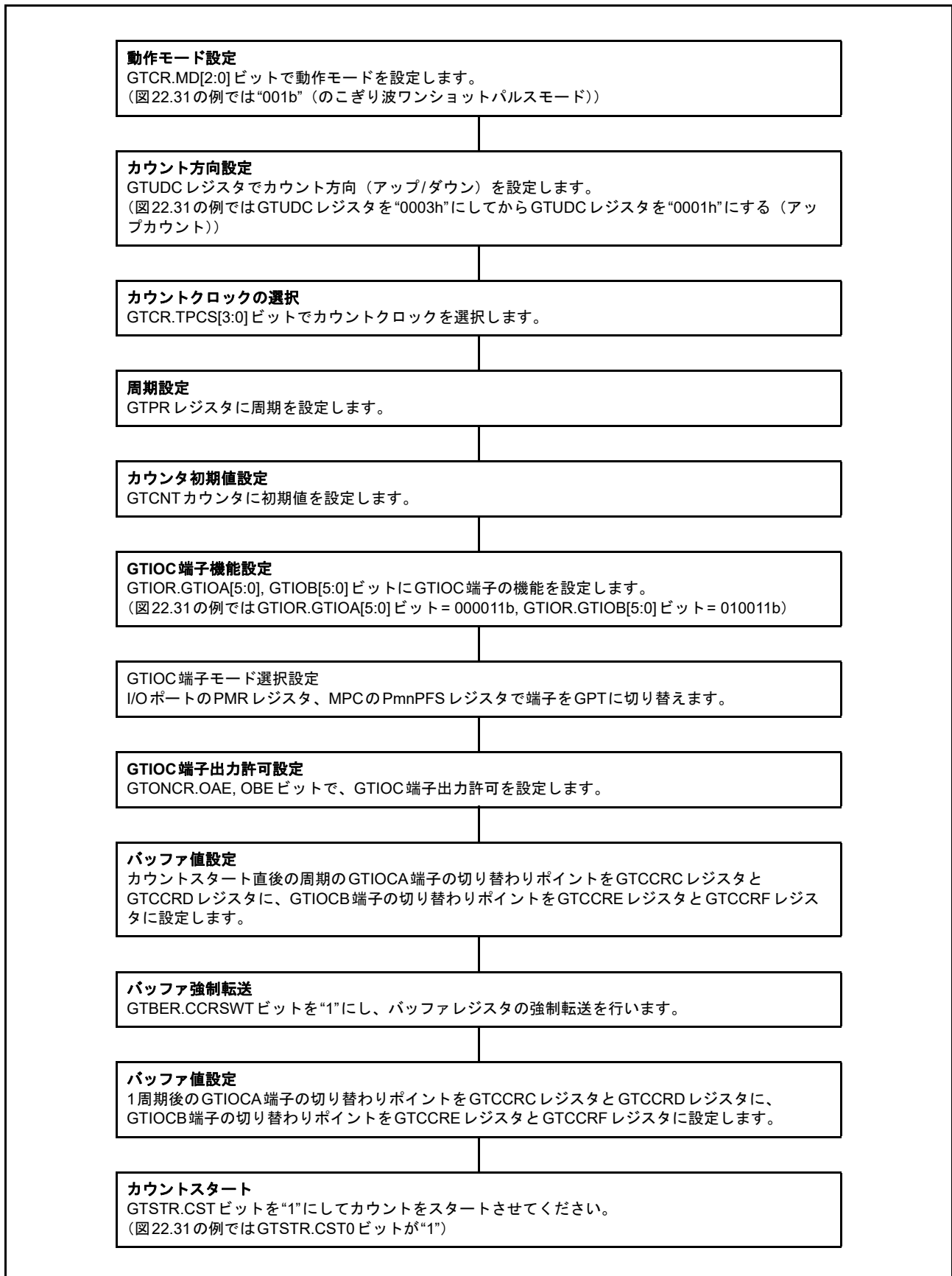


図 22.32 のこぎり波ワンショットパルスモード設定例

(3) 三角波 PWM モード 1 (谷 16 ビット転送)

三角波 PWM モード 1 は、GPTn.GTPR(LW) レジスタ (n=0~3) に周期を設定して GPTn.GTCNT(LW) カウンタを三角波 (全波) 動作させ、GPTn.GTCCRA(LW), GTCCRB(LW) レジスタのコンペアマッチにより、GTIOCnA, GTIOCnB 端子に PWM 波形を出力するモードです。バッファ動作のタイミングは、谷となります。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

また、GTDTCR, GTDVU(LW), GTDVD(LW) レジスタを設定することによって、デッドタイム付きの逆相波用のコンペアマッチ値を GTCCRB(LW) レジスタに自動設定することも可能です。

図 22.33 に三角波 PWM モード 1 の動作例を、図 22.34 に三角波 PWM モード 1 の設定例を示します。

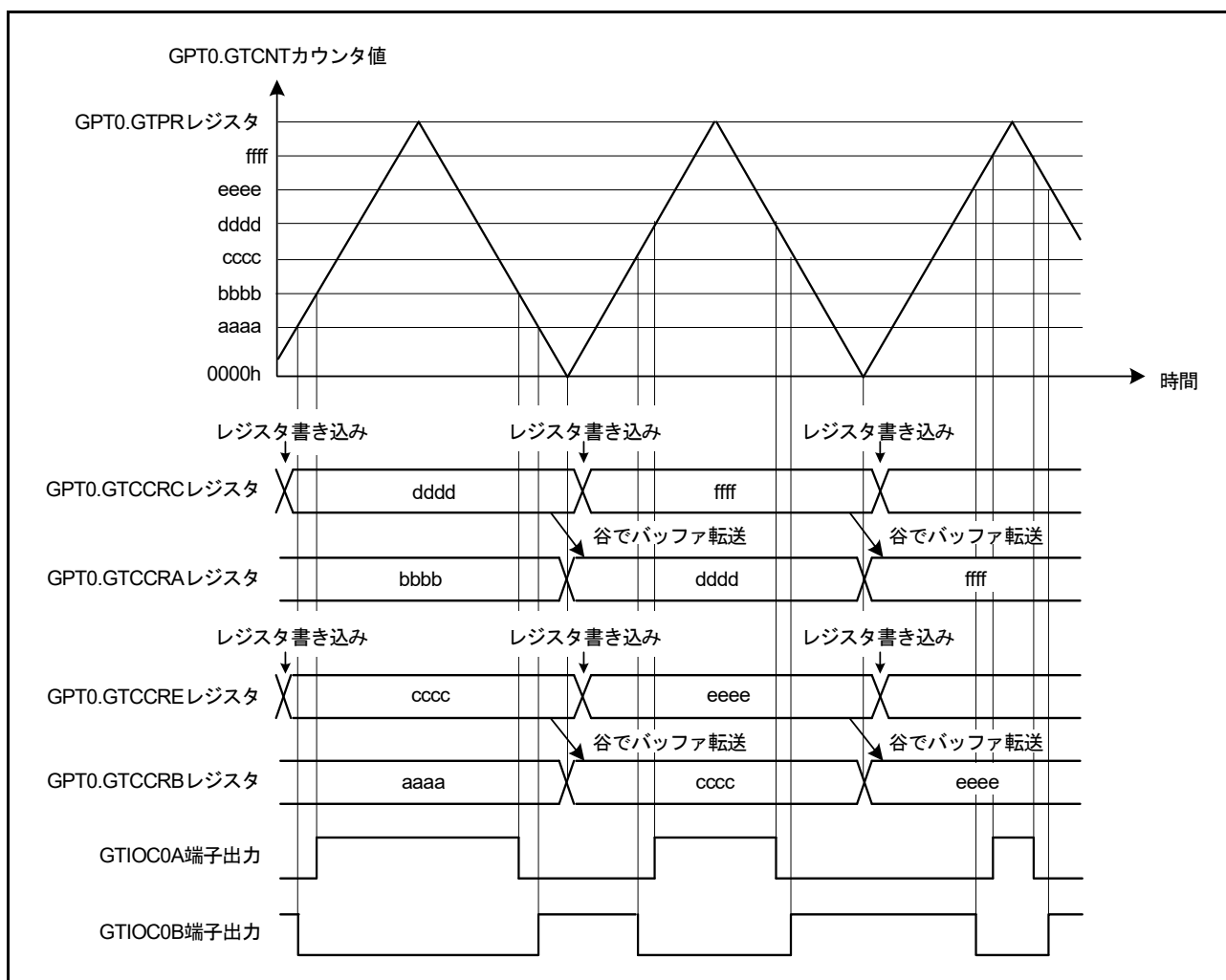


図 22.33 三角波 PWM モード 1 動作例
 (バッファ動作、初期出力で GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、
 GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

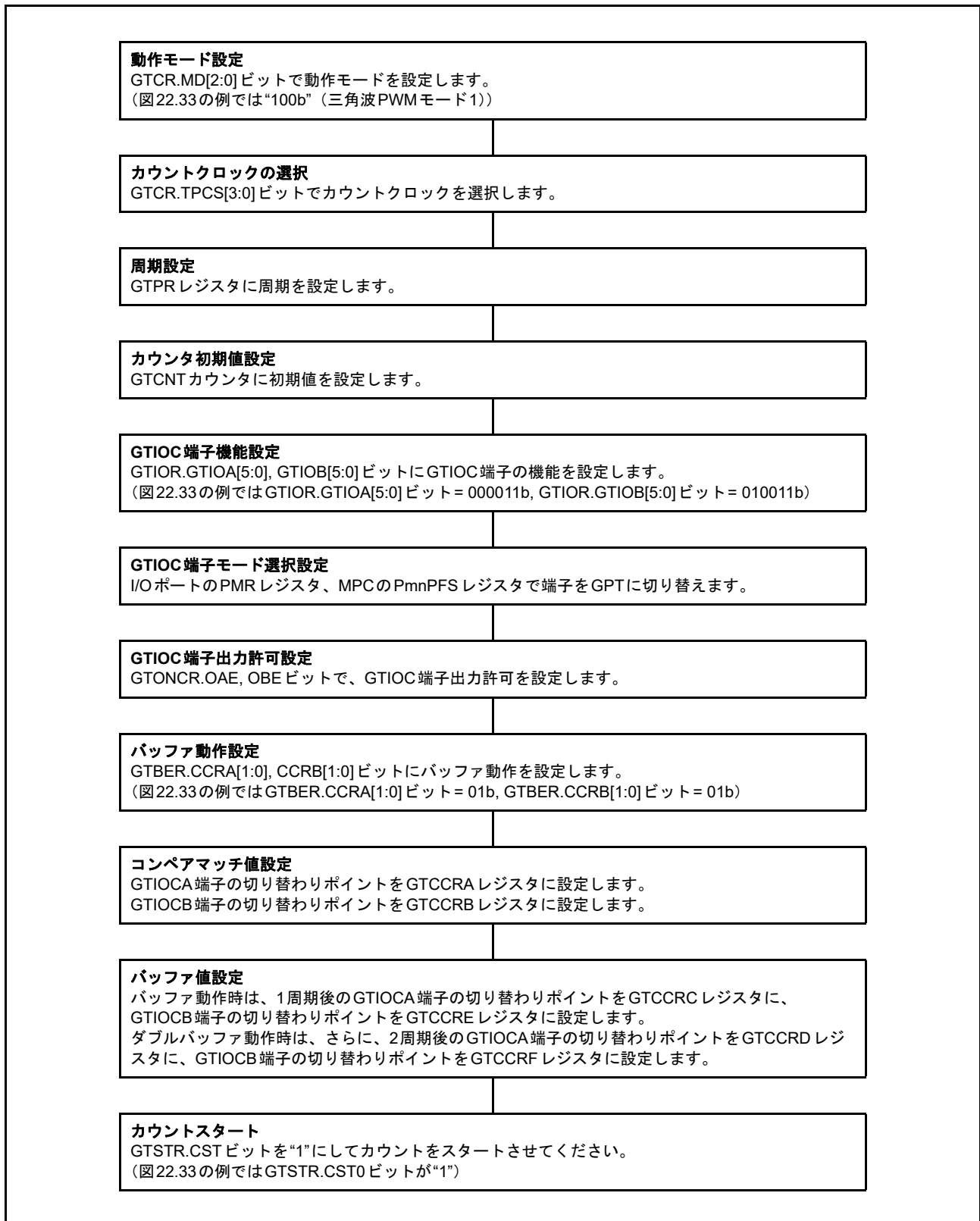


図 22.34 三角波 PWM モード 1 設定例

(4) 三角波 PWM モード 2 (山 / 谷 16 ビット転送)

三角波 PWM モード 2 は、三角波 PWM モード 1 と同様に GPTn.GTPR(LW) レジスタ (n=0~3) に周期を設定して GPTn.GTCNT(LW) カウンタを三角波 (全波) 動作させ、GPTn.GTCCRA(LW), GTCCRB(LW) レジスタのコンペアマッチにより、GTIOCnA, GTIOCnB 端子に PWM 波形を出力するモードですが、バッファ動作のタイミングは山 / 谷の両方となります。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

また、GTDTCR, GTDVU(LW), GTDVD(LW) レジスタを設定することにより、デッドタイム付きの逆相波形式のコンペアマッチ値を GTCCRB(LW) レジスタに自動設定することも可能です。

図 22.35 に三角波 PWM モード 2 の動作例を、図 22.36 に三角波 PWM モード 2 の設定例を示します。

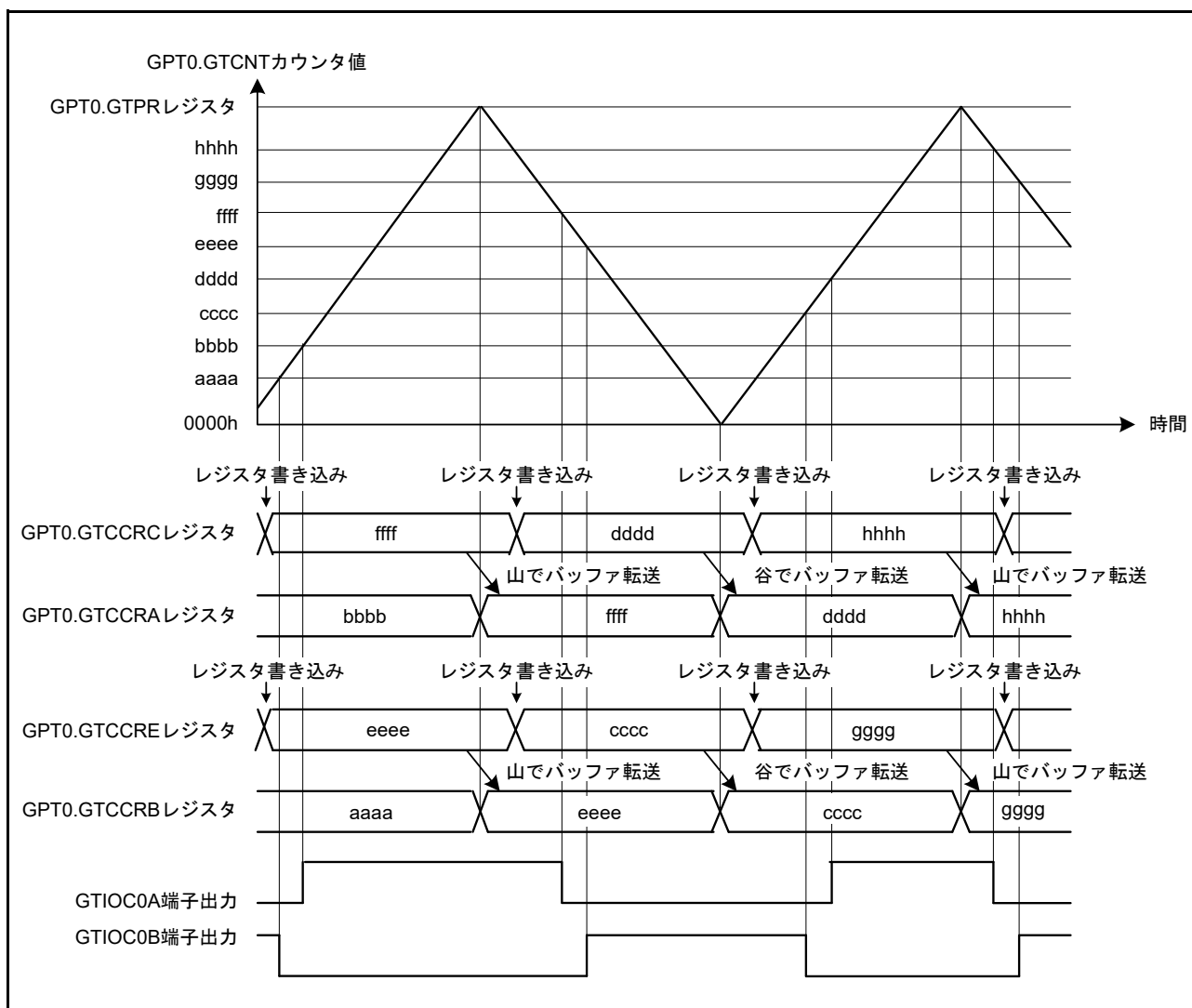


図 22.35 三角波 PWM モード 2 動作例
 (バッファ動作、初期出力で GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、
 GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

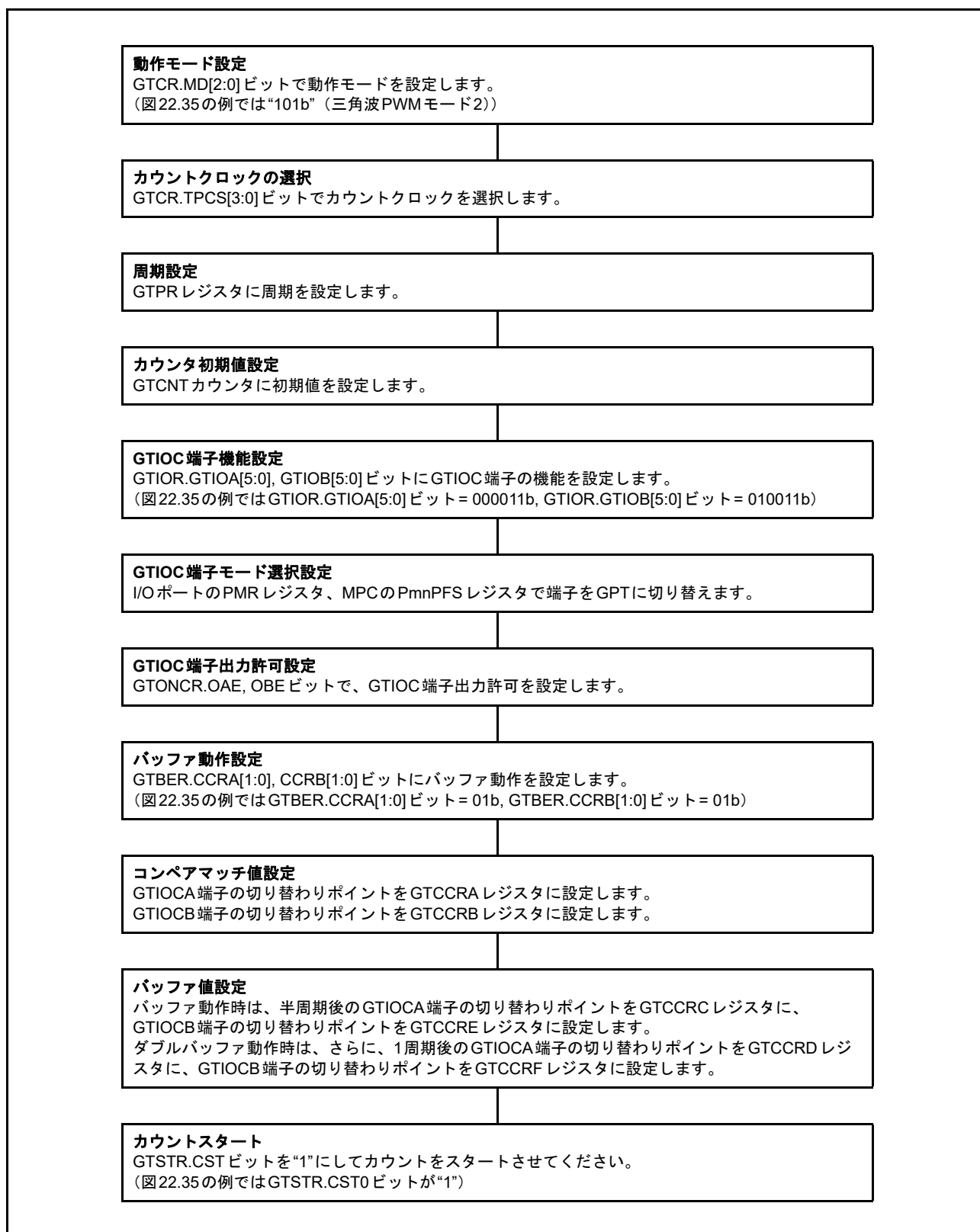


図 22.36 三角波 PWM モード 2 設定例

(5) 三角波 PWM モード 3 (谷 32 ビット転送)

三角波 PWM モード 3 は、GPTn.GTPR(LW) レジスタ (n=0~3) に周期を設定して GPTn.GTCNT(LW) カウンタを三角波 (全波) 動作させ、バッファ動作固定で、GPTn.GTCCRA(LW), GTCCRB(LW) レジスタのコンペアマッチにより、GTIOChA, GTIOChB 端子に PWM 波形を出力するモードです。三角波 PWM モード 3 のバッファ動作は通常のバッファ動作と異なり、谷で、GTCCRC(LW) レジスタから GTCCRA(LW) レジスタに、GTCCRE(LW) レジスタから GTCCRB(LW) レジスタに、GTCCRD(LW) レジスタからテンポラリレジスタ A(LW) に、GTCCRF(LW) レジスタからテンポラリレジスタ B(LW) にバッファ転送され、さらに、山で、テンポラリレジスタ A(LW) から GTCCRA(LW) レジスタに、テンポラリレジスタ B(LW) から GTCCRB(LW) レジスタにバッファ転送されます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

また、GTDTCR, GTDVU(LW), GTDVD(LW) レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB(LW) レジスタに自動設定することも可能です。

図 22.37 に三角波 PWM モード 3 の動作例を、図 22.38 に三角波 PWM モード 3 の設定例を示します。

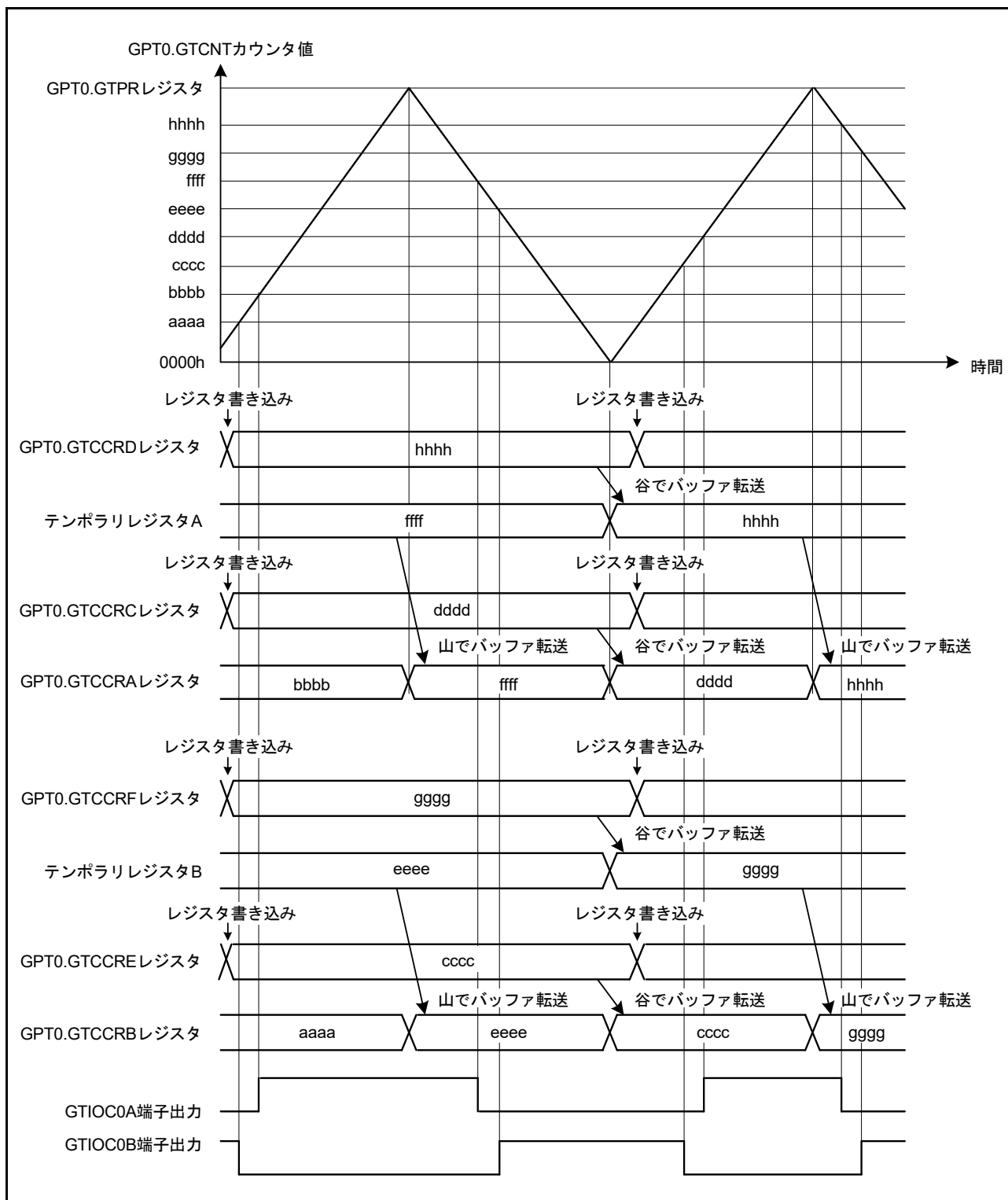


図 22.37 三角波 PWM モード 3 動作例
 (初期出力で GTIOC0A 端子 = Low 出力 /GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

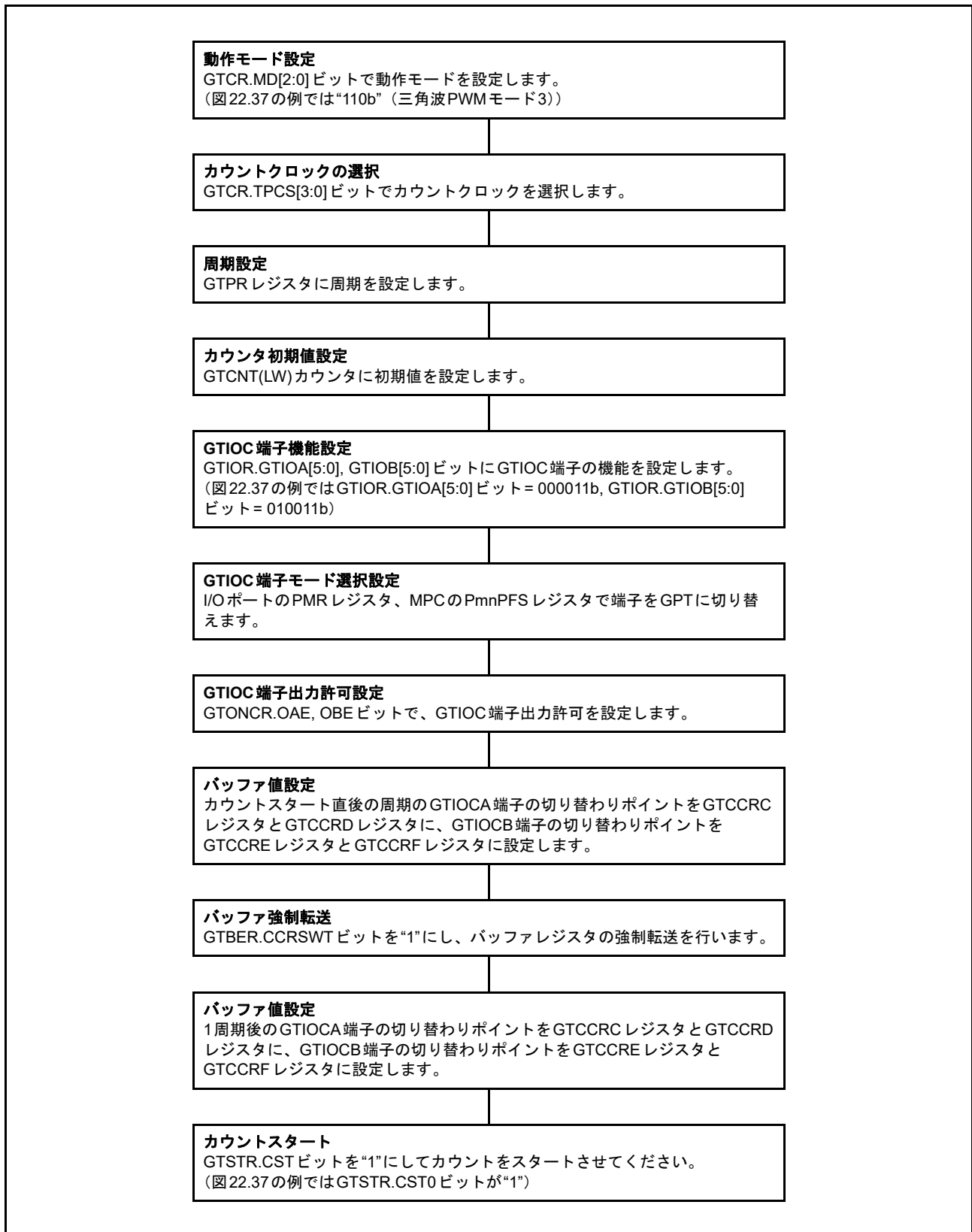


図 22.38 三角波 PWM モード 3 設定例

22.3.4 デッドタイム自動設定機能

GTDTCCR レジスタの設定により、正相波形用のコンペアマッチ値 (GTCCRA(LW) レジスタ値) とデッドタイム値 (GTDVU(LW), GTDVD(LW) レジスタ値) からデッドタイム付き逆相波形用コンペアマッチ値を生成し、GTCCRB(LW) レジスタに自動設定することができます。

デッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

デッドタイムは前側/後側で独立に設定でき、逆相波形の前側の切り替わりポイントに対するデッドタイムを GTDVU(LW) レジスタで設定し、後側の切り替わりポイントに対するデッドタイムを GTDVD(LW) レジスタで設定します。デッドタイムは前側/後側で共通にすることもできます。

また、GTDBU(LW) レジスタを GTDVU(LW) レジスタのバッファレジスタとして使用することができ、同様に、GTDBD(LW) レジスタを GTDVD(LW) レジスタのバッファレジスタとして使用することができます。バッファ転送タイミングはカウント周期の終わり (のこぎり波の場合は GTCNT(LW) カウンタのオーバフロー (アップカウント時)、アンダフロー (ダウンカウント時) または、ハードウェア要因、ソフトウェア、同期クリアによるカウンタのクリア、三角波の場合は谷) です。

デッドタイム自動設定による逆相波形の変化ポイントは、GTCCRB(LW) レジスタ値を読むことで確認できます。デッドタイム自動設定機能を使用するときは、GTCCRB(LW) レジスタへの書き込みは禁止です。

波形の変化ポイントがカウント周期を超えるようなデッドタイム設定は禁止です。デッドタイムエラーの発生条件となるようなデッドタイム設定を行った場合、表 22.7 に示すように正相波形と逆相波形の変化するポイントを補正して、デッドタイムを確保した波形を生成します。補正された逆相波形の変化ポイントは、GTCCRB(LW) レジスタに自動設定されますが、正相波形の変化ポイントの判定には内部信号を用いており、GTCCRA(LW) レジスタを補正值で更新することはありません。

のこぎり波ワンショットパルスモードで、デッドタイムエラー発生による波形変化ポイントの補正によって変化ポイントの順番が乱れた場合や、補正した後もカウント周期を超えている場合は、正相と逆相の相補関係を保証できません。

三角波 PWM モードで、GTCCRA(LW) レジスタに“0000h (0000 0000h)”または GTPR(LW) レジスタ設定値以上の値を設定することで、カウント周期を超えるようなデッドタイム設定になった場合、出力保護機能によって出力変化が抑止されます (「22.6.4 GTIOC 端子出力の出力保護機能」参照)。GTCCRA(LW) \geq GTPR(LW) + GTDVm(LW) の場合、GTCCRB(LW) レジスタには上限値として、GTPR(LW) - 1 が設定されま

表 22.7 デッドタイムエラー発生時の変化ポイント補正

波形モード	カウント方向	区間	デッドタイムエラー条件	補正後の正相波形変化ポイント	補正後の逆相波形変化ポイント
のこぎり波ワンショットパルスモード	アップカウント	前側	$GTCCRA(LW) - GTDVU(LW) < 0$	GTDVU(LW)	0
		後側	$GTCCRA(LW) + GTDVD(LW) > GTPR(LW)$	$GTPR(LW) - GTDVD(LW)$	GTPR(LW)
	ダウンカウント	前側	$GTCCRA(LW) + GTDVU(LW) > GTPR(LW)$	$GTPR(LW) - GTDVU(LW)$	GTPR(LW)
		後側	$GTCCRA(LW) - GTDVD(LW) < 0$	GTDVD(LW)	0
三角波 PWM モード 1/2/3	アップカウント	(前側)	$GTCCRA(LW) - GTDVU(LW) \leq 0$	$GTDVU(LW) + 1$	1
	ダウンカウント	(後側)	$GTCCRA(LW) - GTDVD(LW) < 0$	GTDVD(LW)	0

図 22.39 ~ 図 22.42 にデッドタイム自動設定機能の動作例を、図 22.43、図 22.44 に設定例を示します。

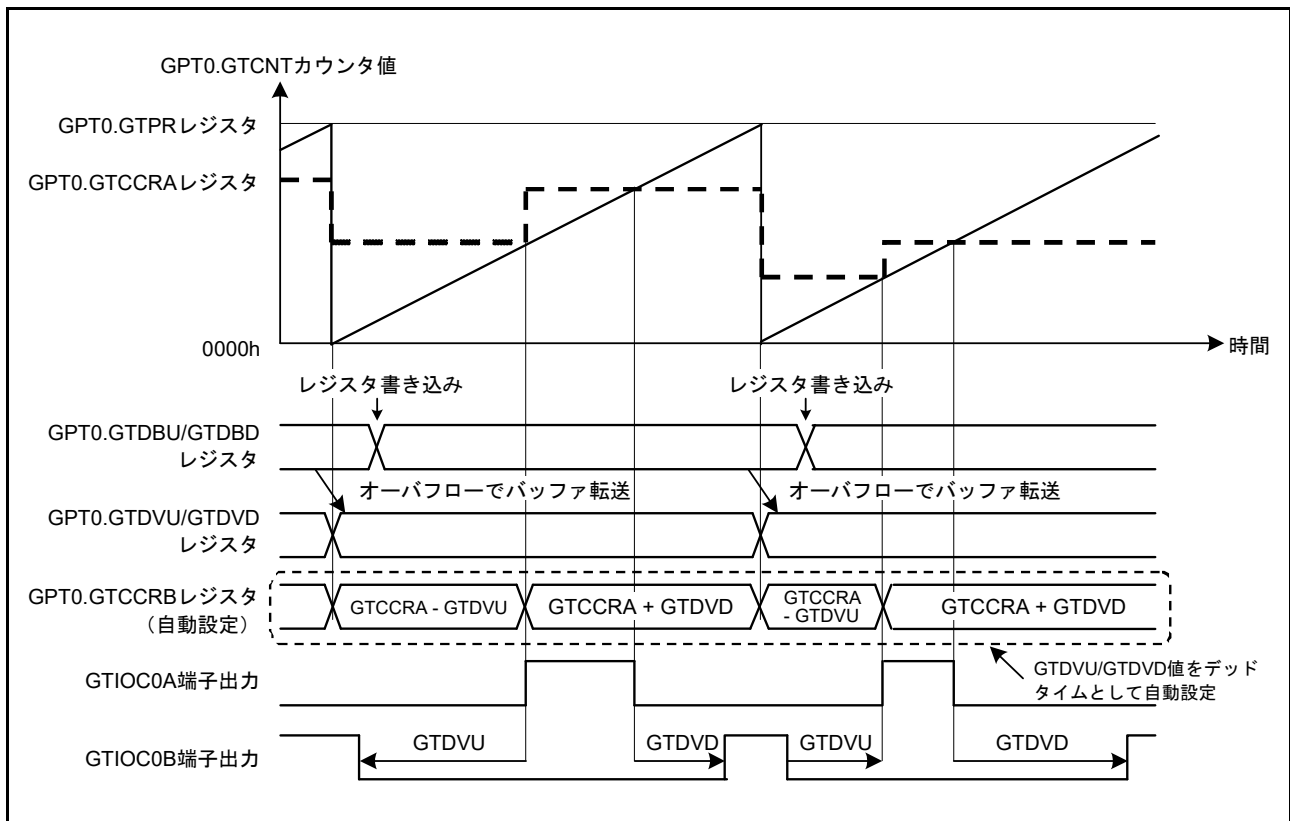


図 22.39 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、アップカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブレベルは High の場合)

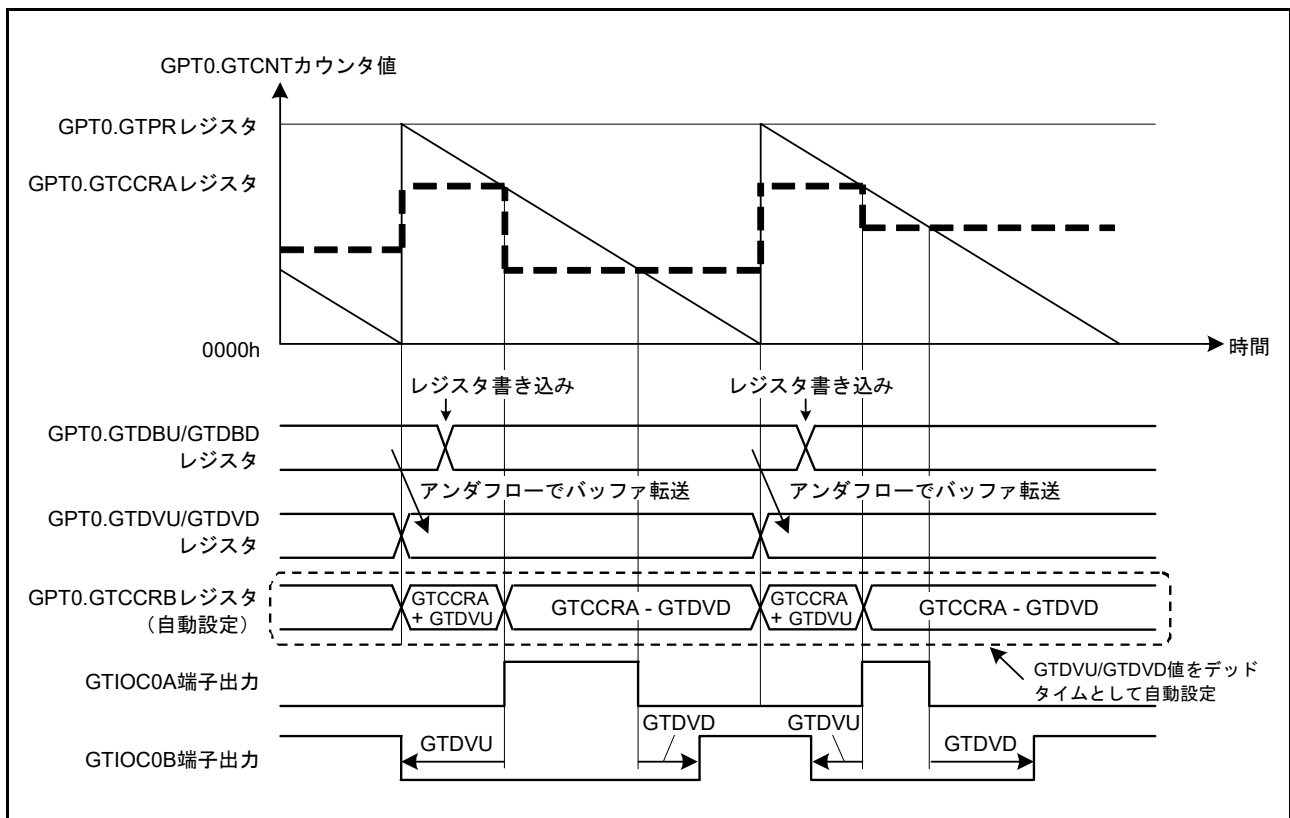


図 22.40 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、ダウンカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブレベルは High の場合)

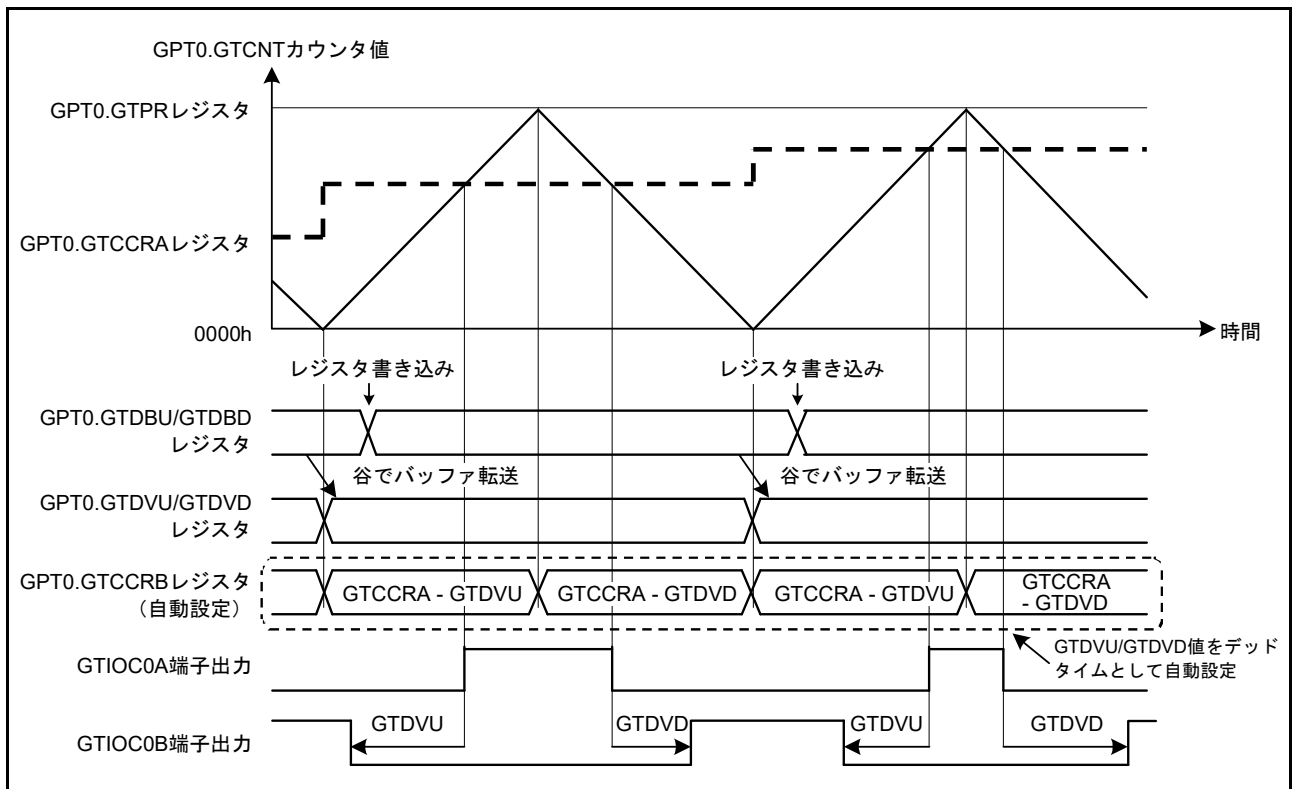


図 22.41 デッドタイム付きコンペアマッチ値の自動設定機能の動作例
 (三角波 PWM モード 1、GTDVU/GTDVD レジスタはバッファ動作、アクティブレベルは High の場合)

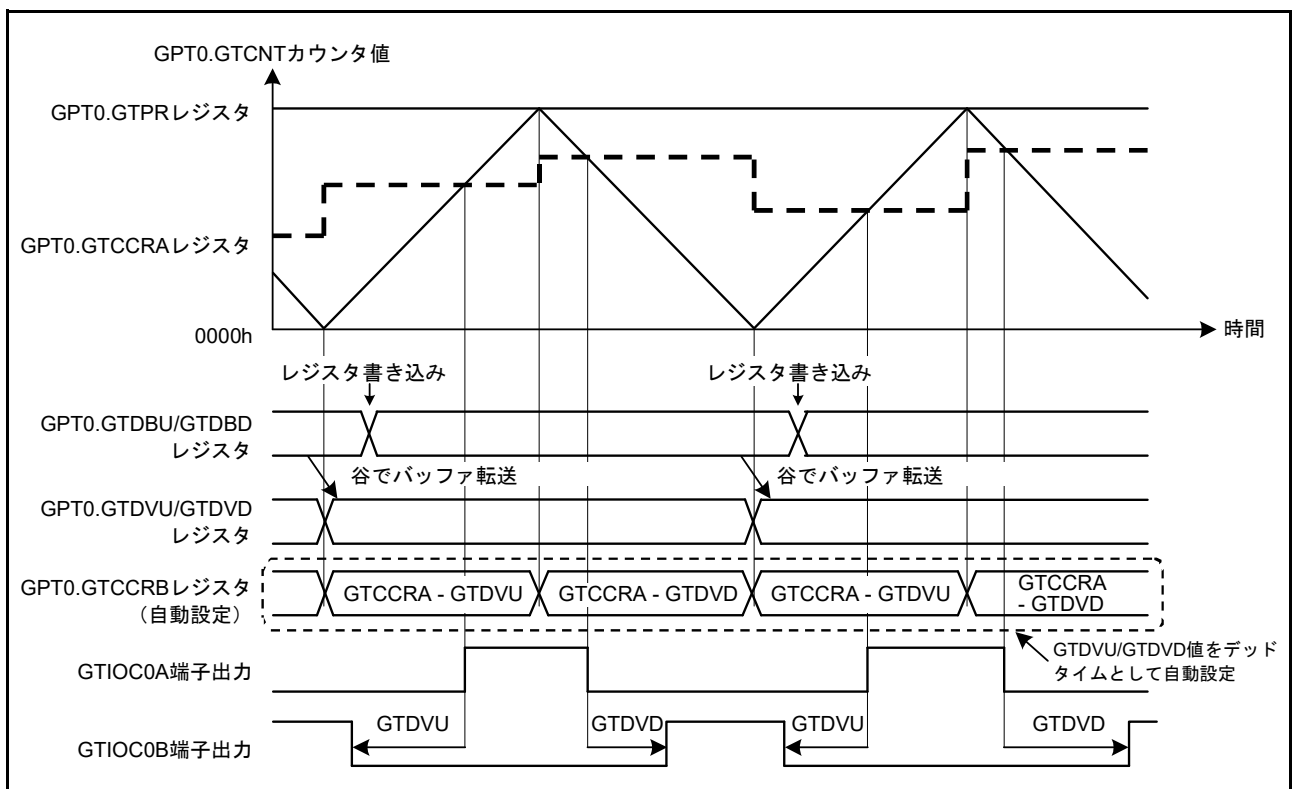


図 22.42 デッドタイム付きコンペアマッチ値の自動設定機能の動作例
 (三角波 PWM モード 2/3、GTDVU/GTDVD レジスタはバッファ動作、アクティブレベルは High の場合)

動作モード設定 GTCR.MD[2:0]ビットで動作モードを設定します。 (図22.39の例では“001b” (のこぎり波ワンショットパルスモード)、図22.42の例では“110b” (三角波PWMモード3))
カウント方向設定 GTUDCレジスタでカウント方向 (アップ/ダウン) を設定します。 (図22.39の例ではGTUDCレジスタを“0003h”にしてからGTUDCレジスタを“0001h”にする (アップカウント))
カウントクロックの選択 GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
周期設定 GTPRレジスタに周期を設定します。
カウンタ初期値設定 GTCNTカウンタに初期値を設定します。
GTIOC端子機能設定 GTIOR.GTIOA[5:0], GTIOB[5:0]ビットにGTIOC端子の機能を設定します。 (図22.39、図22.42の例ではGTIOR.GTIOA[5:0]ビット = 000011b, GTIOR.GTIOB[5:0]ビット = 010011b)
GTIOC端子モード選択設定 I/OポートのPMRレジスタ、MPCのPmnPFSレジスタで端子をGPTに切り替えます。
GTIOC端子出力許可設定 GTONCR.OAE, OBEビットで、GTIOC端子出力許可を設定します。
コンペアマッチ用バッファ値設定 カウントスタート直後の周期のGTIOCA端子の切り替わりポイントをGTCCRCレジスタとGTCCRDレジスタに設定します。
コンペアマッチ用バッファ強制転送 GTBER.CCRSWTビットを“1”にし、バッファレジスタからGTCCRAレジスタへの強制転送を行います。
コンペアマッチ用バッファ値設定 1周期後のGTIOCA端子の切り替わりポイントをGTCCRCレジスタとGTCCRDレジスタに設定します。
デッドタイム自動設定機能の設定 GTDTCR.TDEビットを“1”にして、デッドタイム自動設定機能を有効にします。
デッドタイム用バッファ動作設定 GTDTCR.TDBUE, TDBDEビットにバッファ動作を設定します。
デッドタイム値設定 前側のデッドタイム値をGTDVUレジスタに、後側のデッドタイム値をGTDVDレジスタに設定します。 GTDTCR.TDFERビットを“1”にしてGTDVUレジスタを設定すると、同じ値がGTDVDレジスタにも反映され、デッドタイム値を前側/後側で共通にすることができます。
デッドタイム用バッファ値設定 バッファ動作時は、1周期後の前側のデッドタイム値をGTDBUレジスタに、後側のデッドタイム値をGTDBDレジスタに設定します。
カウントスタート GTSTR.CSTビットを“1”にしてカウントをスタートさせてください。 (図22.39、図22.42の例ではGTSTR.CST0ビットが“1”)

図 22.43 デッドタイム自動設定機能の設定例 (のこぎり波ワンショットパルスモード、三角波 PWM モード 3 時)



図 22.44 デッドタイム自動設定機能の設定例 (三角波 PWM モード 1/2 時)

22.3.5 カウント方向切り替え機能

GTUDC.UD ビットの値を変更することにより、GTCNT(LW) カウンタのカウント方向を切り替えることができます。

のこぎり波の場合、カウント中に GTUDC.UD ビット値を変更すると、オーバーフロー（アップカウント中に変更した場合）もしくはアンダフロー（ダウンカウント中に変更した場合）発生時にカウント方向が切り替わります。カウントストップ中に GTUDC.UDF ビットが“0”の状態では GTUDC.UD ビット値を変更すると、カウントスタート時には反映されず、オーバーフローもしくはアンダフロー発生時にカウント方向が切り替わります。カウントストップ中に GTUDC.UDF ビットを“1”にすると、そのときの GTUDC.UD ビット値がカウントスタート時から反映されます。

三角波の場合、カウント動作中に GTUDC.UD ビット値を変更してもカウント方向は切り替わりません。同様に、カウントストップ中に GTUDC.UDF ビットが“0”の状態では GTUDC.UD ビット値を変更しても反映されません。カウントストップ中に GTUDC.UDF ビットを“1”にすると、そのときの GTUDC.UD ビット値がカウントスタート時から反映されます。

のこぎり波でカウント中にカウント方向を切り替えた場合、アップカウント時はアップカウントスタート後の GTPR(LW) レジスタ値がカウント周期に反映され、ダウンカウント時はダウンカウントスタート前の GTPR(LW) レジスタ値がカウント周期に反映されます。

図 22.45 にカウント方向切り替え機能の動作例を示します。

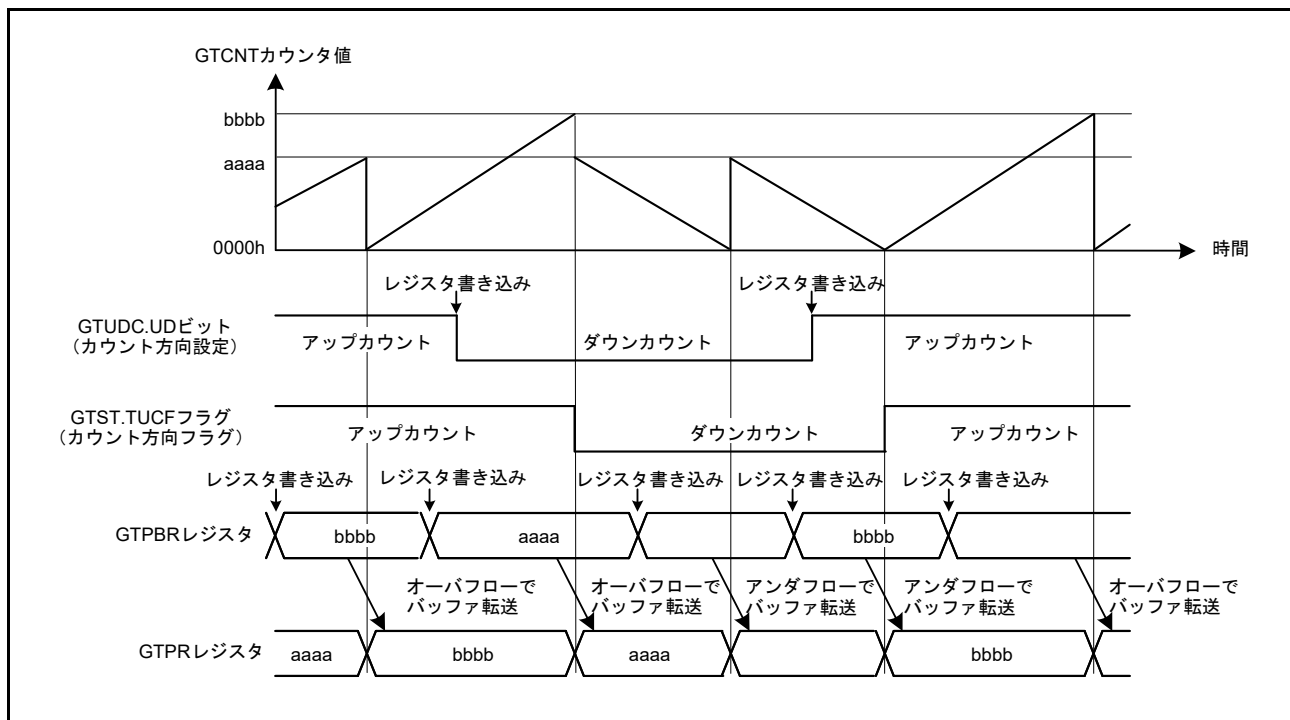


図 22.45 カウント方向切り替え機能の動作例（バッファ動作時）

22.3.6 デューティ 0%/100% 出力機能

GTUDC.OADTY[1:0] ビット、GTUDC.OBDTY[1:0] ビットの値を変更することにより、GTIOCA 端子、GTIOCB 端子の出力デューティを 0%/100% にすることができます。

のこぎり波の場合、カウント動作中に OADTY[1:0] ビット、OBDTY[1:0] ビットの値を変更すると、オーバフロー（アップカウント動作中に変更した場合）もしくはアンダフロー（ダウンカウント動作中に変更した場合）発生時に変更した出力デューティ設定が反映されます。カウント停止中に GTUDC.OADTYF ビット、GTUDC.OBDTYF ビットが“0”の状態、OADTY[1:0] ビット、OBDTY[1:0] ビットの値を変更すると、カウント開始時には変更した出力デューティ設定は反映されず、オーバフローもしくはアンダフロー発生時に変更した出力デューティ設定が反映されます。カウント停止中に OADTYF ビット、OBDTYF ビットが“1”の状態、OADTY[1:0] ビット、OBDTY[1:0] ビットの値を変更すると、そのときの OADTY[1:0] ビット、OBDTY[1:0] ビットの値がカウント開始時から反映されます。

三角波の場合、カウント動作中に OADTY[1:0] ビット、OBDTY[1:0] ビットの値を変更すると、アンダフロー発生時に変更した出力デューティ設定が反映されます。

カウント停止中に OADTYF ビット、OBDTYF ビットが“0”の状態、OADTY[1:0] ビット、OBDTY[1:0] ビットの値を変更すると、カウント開始時には変更した出力デューティ設定は反映されず、アンダフロー発生時に変更した出力デューティ設定が反映されます。カウント停止中に OADTYF ビット、OBDTYF ビットが“1”の状態、OADTY[1:0] ビット、OBDTY[1:0] ビットの値を変更すると、そのときの OADTY[1:0] ビット、OBDTY[1:0] ビットの値がカウント開始時から反映されます。

デューティ 0%/100% 設定の動作中、GPT 内部ではコンペアマッチ動作は継続し、コンペアマッチフラグ設定、割り込み出力、バッファ動作を行います。

出力デューティを 0% または 100% の設定からコンペアマッチによる出力の設定に変更した場合の周期の終わりでの出力値は、GTIOCA 端子は GTIOR.GTIOA[3:2] ビットと GTUDC.OADTYR ビット、GTIOCB 端子は GTIOR.GTIOB[3:2] ビットと GTUDC.OBDTYR ビットによって決まります。GTIOA[3:2] ビット、GTIOB[3:2] ビットが、“01b”の場合は周期の終わりで“0”を出力し、“10b”の場合は周期の終わりで“1”を出力します。“00b”で周期の終わりで出力保持、または“11b”で周期の終わりでトグル出力となっていた場合の保持またはトグルの対象となる値を、OADTYR ビット、OBDTYR ビットで選択します。デューティ 0%/100% 設定からコンペアマッチによる出力に設定を変更した場合の周期の終わりの出力値を表 22.8 に示します。

表 22.8 デューティ 0%/100%解除後の出力値 (m = A, B)

GTIOR.GTIOm[3:2]	デューティ 0%/100%によってマスクされていたコンペアマッチ出力の周期の終わりでの値	デューティ 0% 設定時の GTUDC.OADTYR ビット		デューティ 100% 設定時の GTUDC.OBDTYR ビット	
		0	1	0	1
00b (周期の終わりで出力保持)	0	0	0	1	0
	1	0	1	1	1
01b (周期の終わりで“0”出力)	—	0	0	0	0
10b (周期の終わりで“1”出力)	—	1	1	1	1
11b (周期の終わりでトグル出力)	0	1	1	0	1
	1	1	0	0	0

図 22.46 にデューティ 0%/100% 出力機能の動作例を示します。

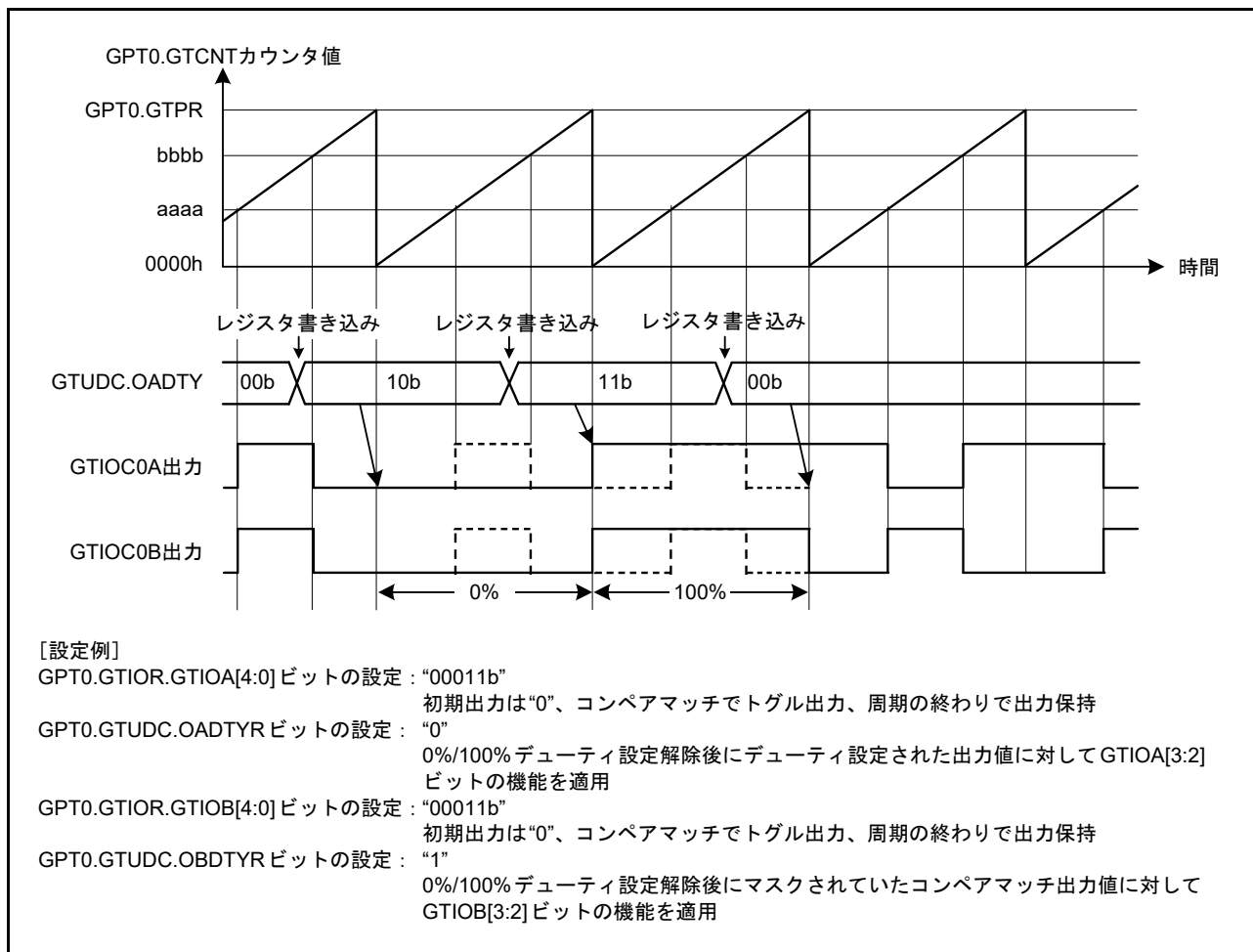


図 22.46 デューティ 0%/100% 出力機能の動作例

22.3.7 ハードウェアカウントスタート/カウントストップ、カウンタクリア動作

本MCU内蔵のハードウェア要因により、GTCNT(LW)カウンタのスタート、ストップ、クリア制御が可能です。

ハードウェア要因には、GTETRG端子入力、コンパレータ出力、MTUのカウントスタート(カウントスタート制御のみ有効)、GTIOC3A端子入力およびGTIOC3B端子入力、GTIOC3A端子内部出力およびGTIOC3B端子内部出力(アウトプットコンペア)の5種類の要因があります。

また、GTCCRA(LW)レジスタおよびGTCCRB(LW)レジスタのインプットキャプチャによるカウンタのクリアも可能です。

22.3.7.1 ハードウェアスタート動作

ハードウェア要因により、GTCNT(LW)カウンタのスタート制御が可能です。GTHSSR.CSHSLビットでカウントをスタートさせるハードウェア要因を選択し、GTHSCR.CSHWビットでハードウェア要因のエッジ極性を指定してカウントスタートを許可します。

図22.47にハードウェア要因によるカウントスタートの動作例を、図22.48に設定例を示します。

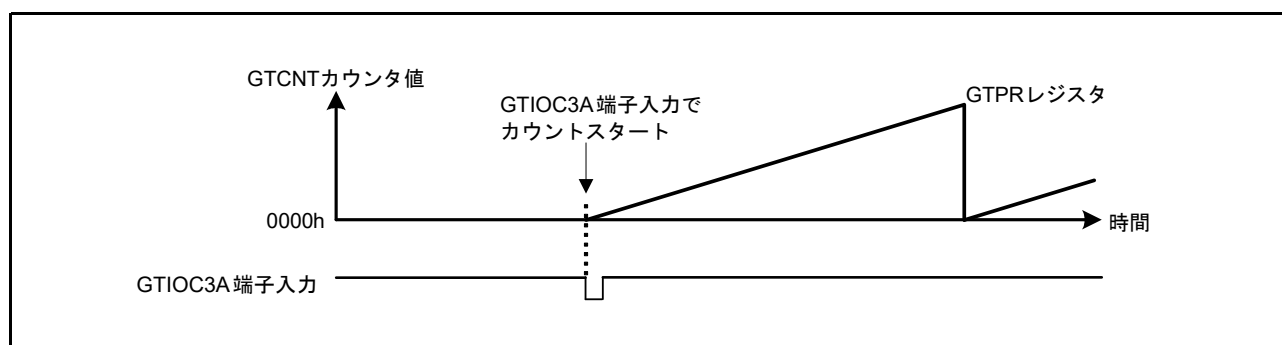


図 22.47 ハードウェア要因によるカウントスタート動作例 (GTIOC3A 端子入力によるスタート時)

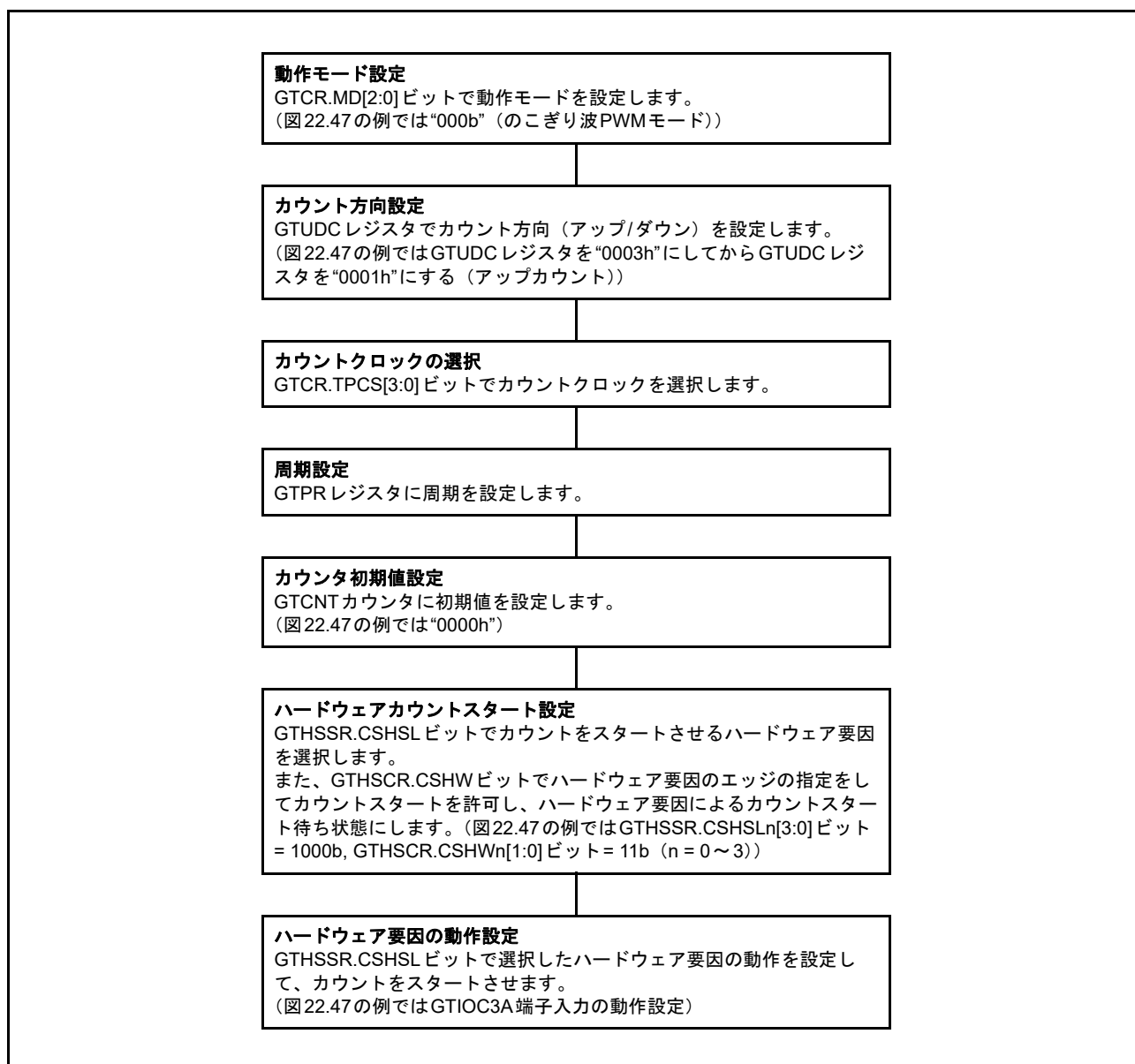


図 22.48 ハードウェア要因によるカウントスタート動作設定例

22.3.7.2 ハードウェアストップ動作

ハードウェア要因により、GTCNT(LW) カウンタのストップ制御が可能です。GTHPSR.CSHPL ビットでカウントをストップさせるハードウェア要因を選択し、GTHSCR.CPHW ビットでハードウェア要因のエッジ極性を指定してカウントストップを許可します。

図 22.49 にハードウェア要因によるカウントストップの動作例を、図 22.50 に設定例を示します。

GTIOC3A 端子内部出力 (アウトプットコンペア) の両エッジによりストップ、GTIOC3B 端子内部出力 (アウトプットコンペア) の両エッジにより再スタートする例です。

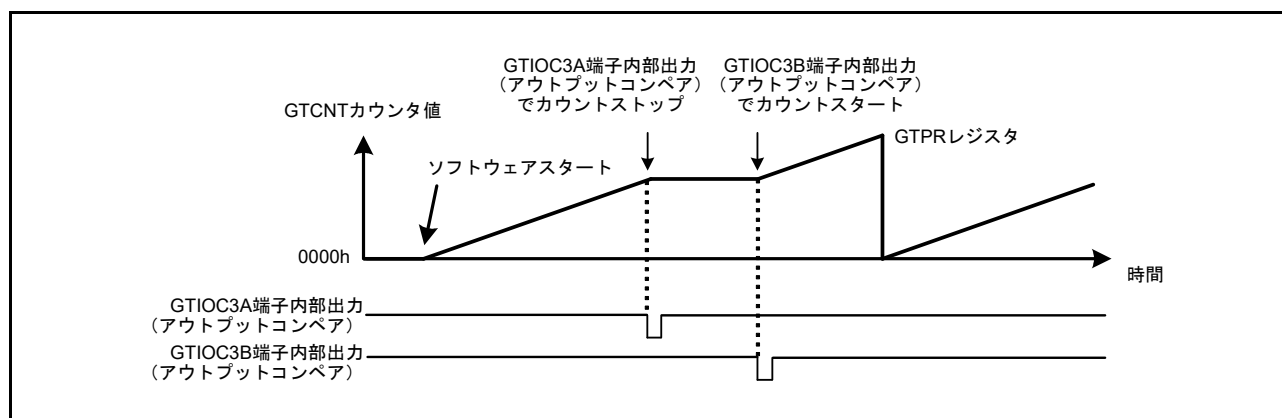


図 22.49 ハードウェア要因によるカウントストップ動作例
(ソフトウェアでスタート、GTIOC3A 端子内部出力 (アウトプットコンペア) でストップ、GTIOC3B 端子内部出力 (アウトプットコンペア) で再スタート時)

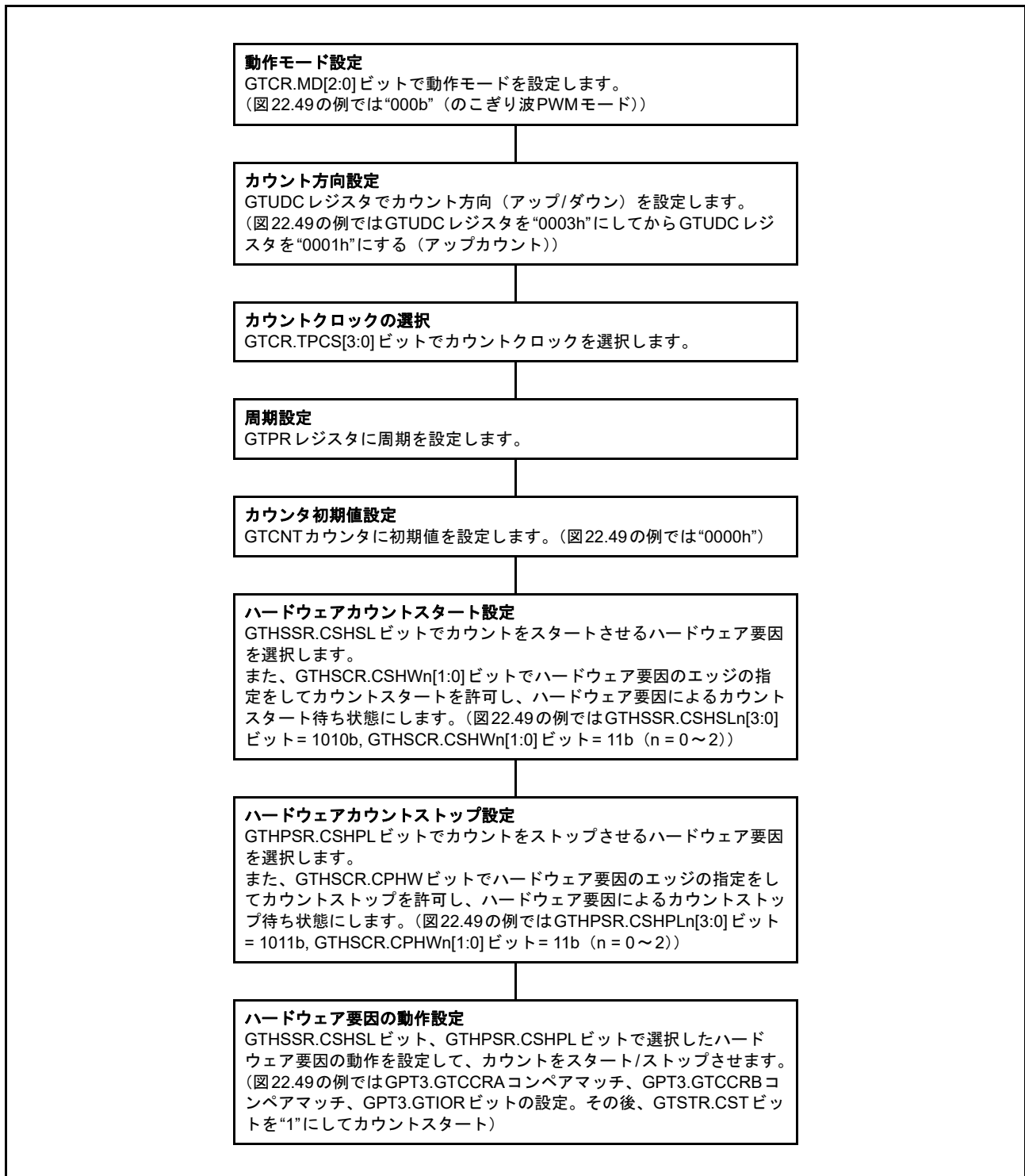


図 22.50 ハードウェア要因によるカウンタストップ動作設定例

図 22.51 にハードウェア要因によるカウントスタート/ストップの動作例を、図 22.52 に設定例を示します。外部入力トリガ GTETRG 端子が High の区間でカウント動作する例です。

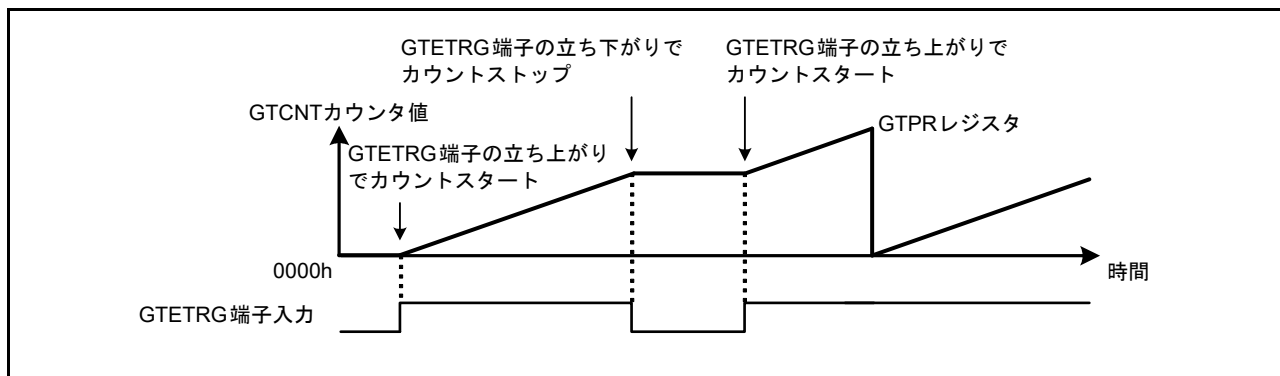


図 22.51 ハードウェア要因によるカウントスタート/ストップ動作例
(GTETRG 端子入力の立ち上がりでスタート、GTETRG 端子入力の立ち下がりでストップ時)

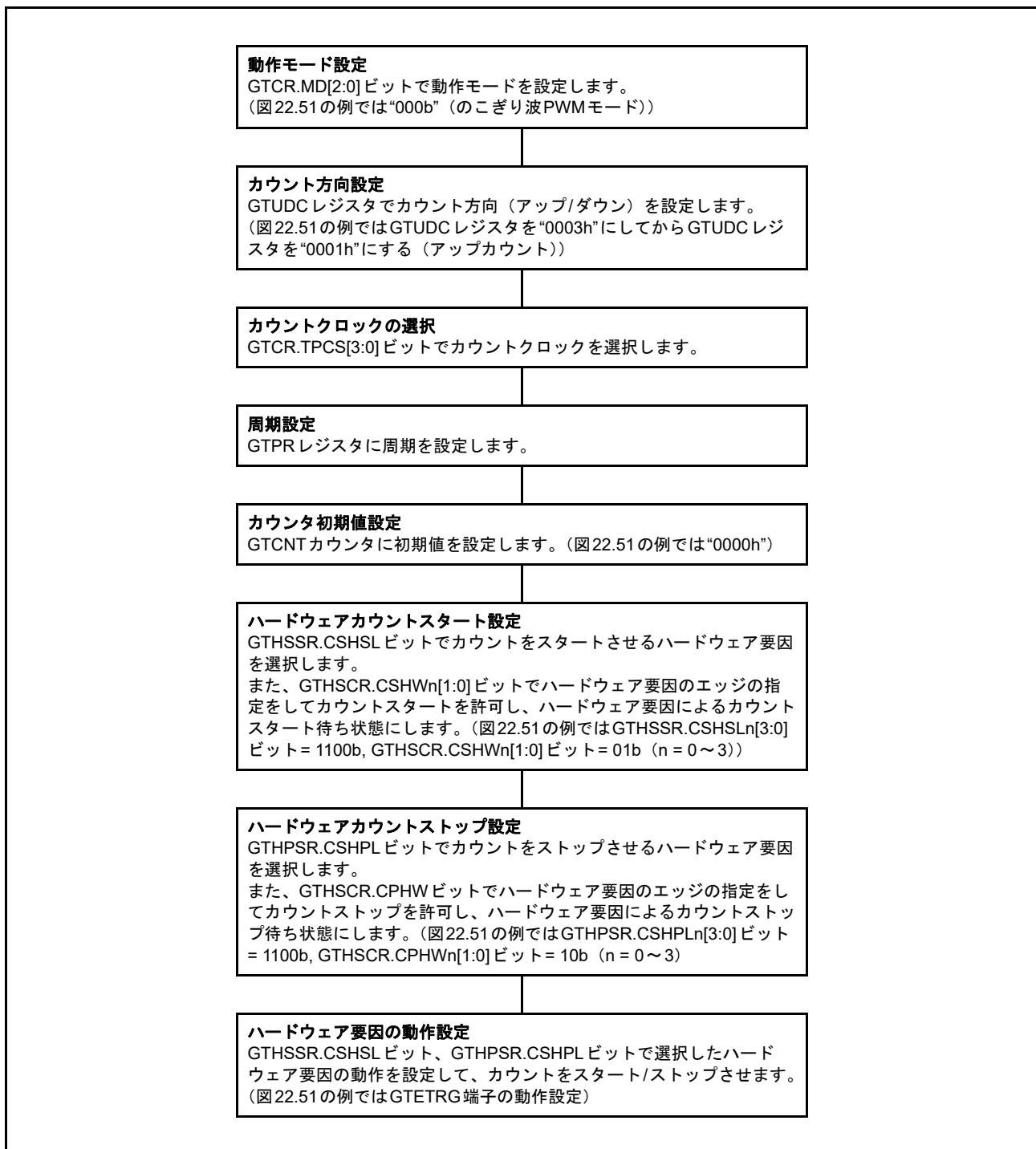


図 22.52 ハードウェア要因によるカウントスタート/ストップ動作設定例

22.3.7.3 ハードウェアクリア動作

ハードウェア要因によって、GTCNT(LW) カウンタのクリア制御が可能です。GTHPSR.CSHPL ビットでカウンタをクリアさせるハードウェア要因を選択し、GTHCCR.CCHW ビットでハードウェア要因のエッジ極性を指定してカウンタクリアを許可します。

また、GTCR.CCLR[1:0] ビットの設定によって、GTCCRA(LW) レジスタおよび GTCCRB(LW) レジスタのインプットキャプチャによるカウンタクリアも可能です。

のこぎり波で、カウント方向がダウンカウント (GTST.TUCF フラグが“0”) のときは、カウンタクリア実行で GTCNT(LW) カウンタは GTPR(LW) レジスタ設定値になります。それ以外のときは、カウンタクリア実行で GTCNT(LW) カウンタは“0000h (0000 0000h)”になります。

なお、ハードウェア要因によるカウンタクリアおよびソフトウェアによるカウンタクリアが発生しても、GTCIV/GTCIU 割り込み (オーバフロー/アンダフロー割り込み) は発生しません。

図 22.53、図 22.54 にハードウェア要因によるカウンタクリアの動作例を、図 22.55 に設定例を示します。図 22.56 にハードウェア要因によるカウンタクリアと GTCIV/GTCIU 割り込みの関係を示します。GTIOC3A 端子入力の両エッジによりスタート、GTIOC3B 端子入力の両エッジによりカウントストップ/クリアする例です。

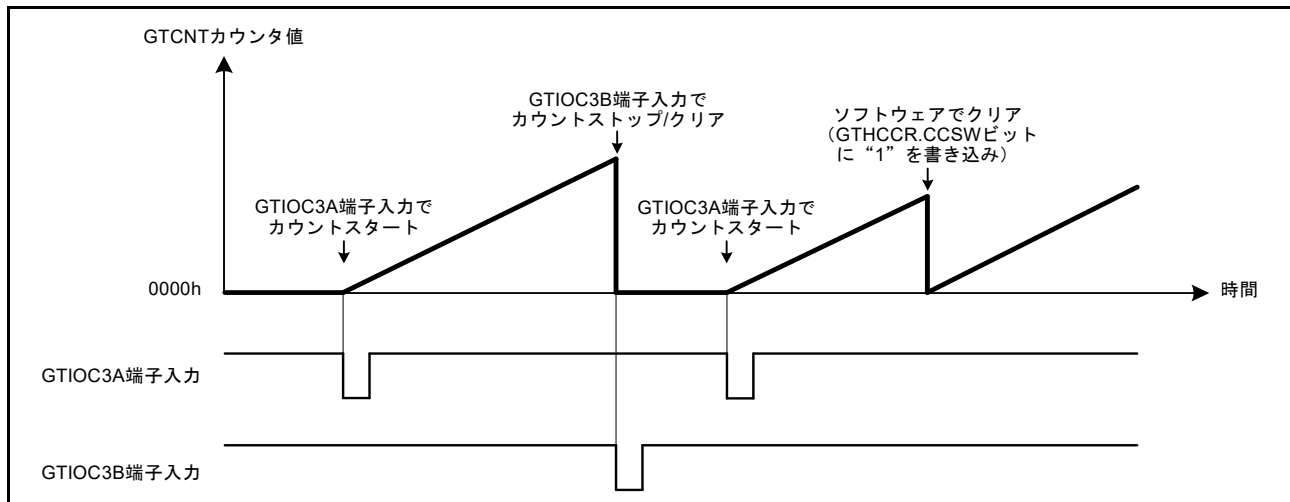


図 22.53 ハードウェア要因によるカウンタクリア動作例 (のこぎり波でアップカウント、GTIOC3A 端子入力でスタート、GTIOC3B 端子入力でカウントストップ/クリア時)

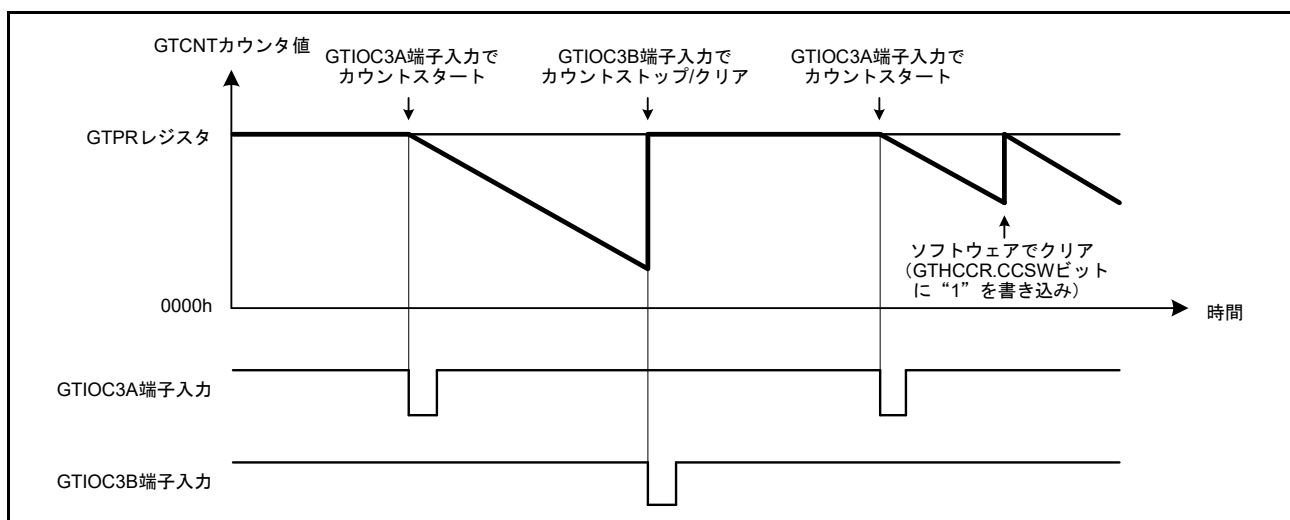


図 22.54 ハードウェア要因によるカウンタクリア動作例 (のこぎり波でダウンカウント、GTIOC3A 端子入力でスタート、GTIOC3B 端子入力でカウントストップ/クリア時)

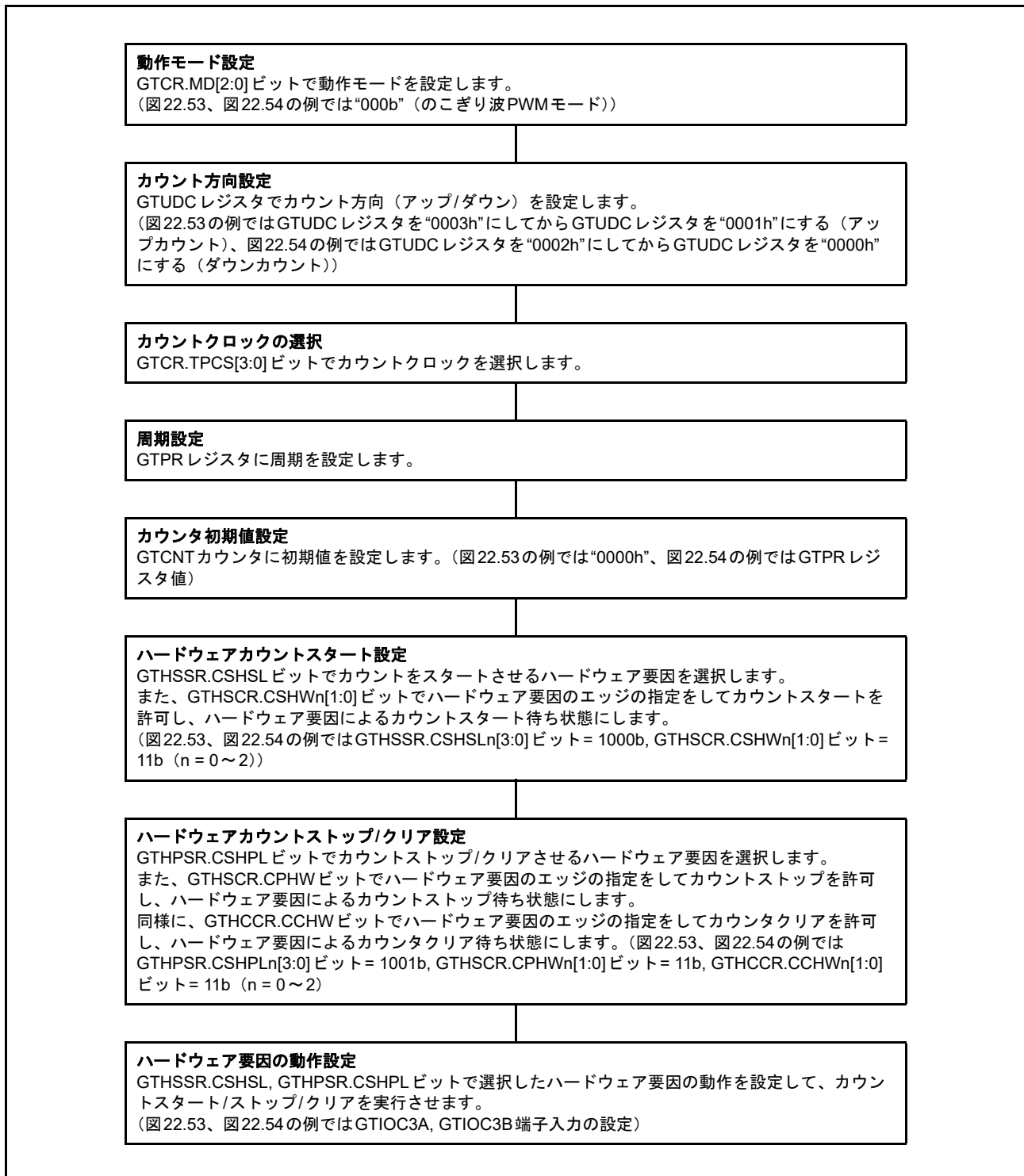


図 22.55 ハードウェア要因によるカウンタクリア動作設定例

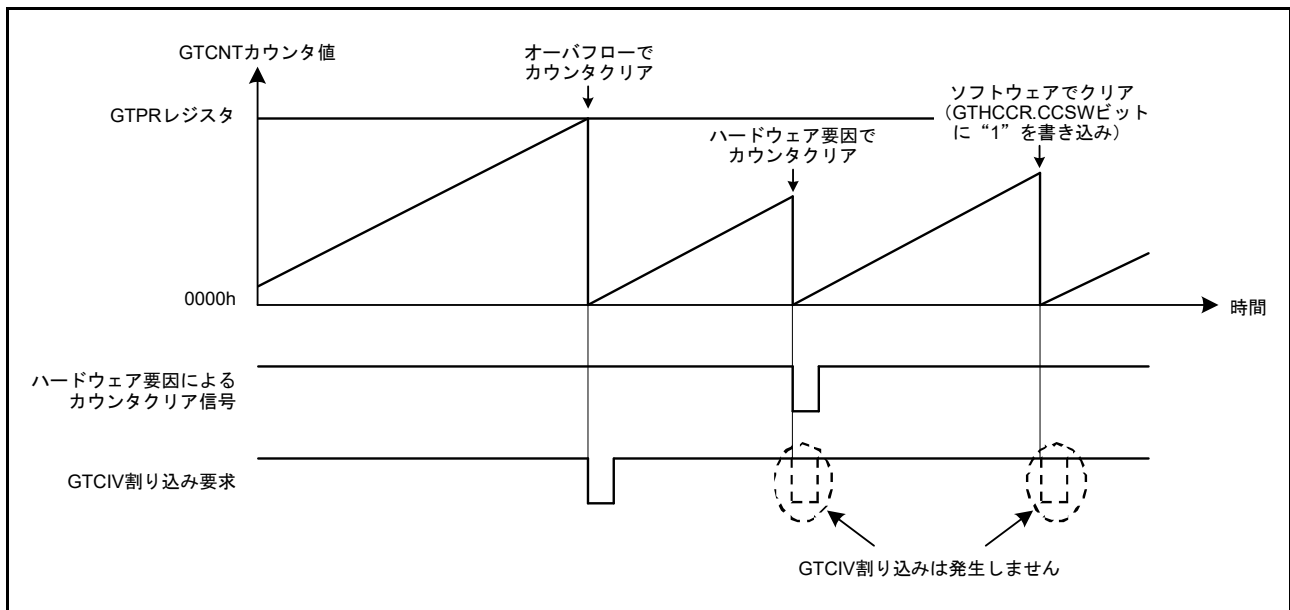


図 22.56 ハードウェア要因によるカウンタクリアと GTCIV 割り込みの関係

22.3.8 同期動作

チャンネル間の同期動作（同期クリア、同期スタート）が可能です。

22.3.8.1 同期クリア動作

チャンネル間の同期クリア制御が可能です。同期クリアさせるチャンネルの `GTCR.CCLR[1:0]` ビットを“11b”にし、`GTSYNC.SYNCn[1:0]` ビット ($n=0\sim 3$) でどのチャンネルのクリア要因で同期クリアするかを設定します。

同期クリアに用いられるクリア要因は、ハードウェア要因、ソフトウェア、インプットキャプチャ、のこぎり波のオーバーフロー（アップカウント時）とアンダフロー（ダウンカウント時）です。

図 22.57 に同期クリアの動作例を、図 22.59 に設定例を示します。GPT0.GTCNT カウンタのクリア要因（オーバーフロー）により GPT1.GTCNT カウンタと GPT2.GTCNT カウンタを同期クリアする例です。

なお、同期クリアされたチャンネルからの同期クリアは発生しません（同期クリアは伝播しません）。

図 22.58 に同期クリアされたチャンネルからの同期クリアの動作例を、図 22.59 に設定例を示します。GPT0.GTCNT カウンタのクリア要因（オーバーフロー）により GPT1.GTCNT カウンタを同期クリア、GPT1.GTCNT カウンタのクリア要因（オーバーフロー）により GPT2.GTCNT カウンタを同期クリアする例です。GPT0.GTCNT カウンタのクリア要因（オーバーフロー）により同期クリアされた GPT1.GTCNT カウンタからの同期クリアは、GPT2.GTCNT カウンタには伝播しません。

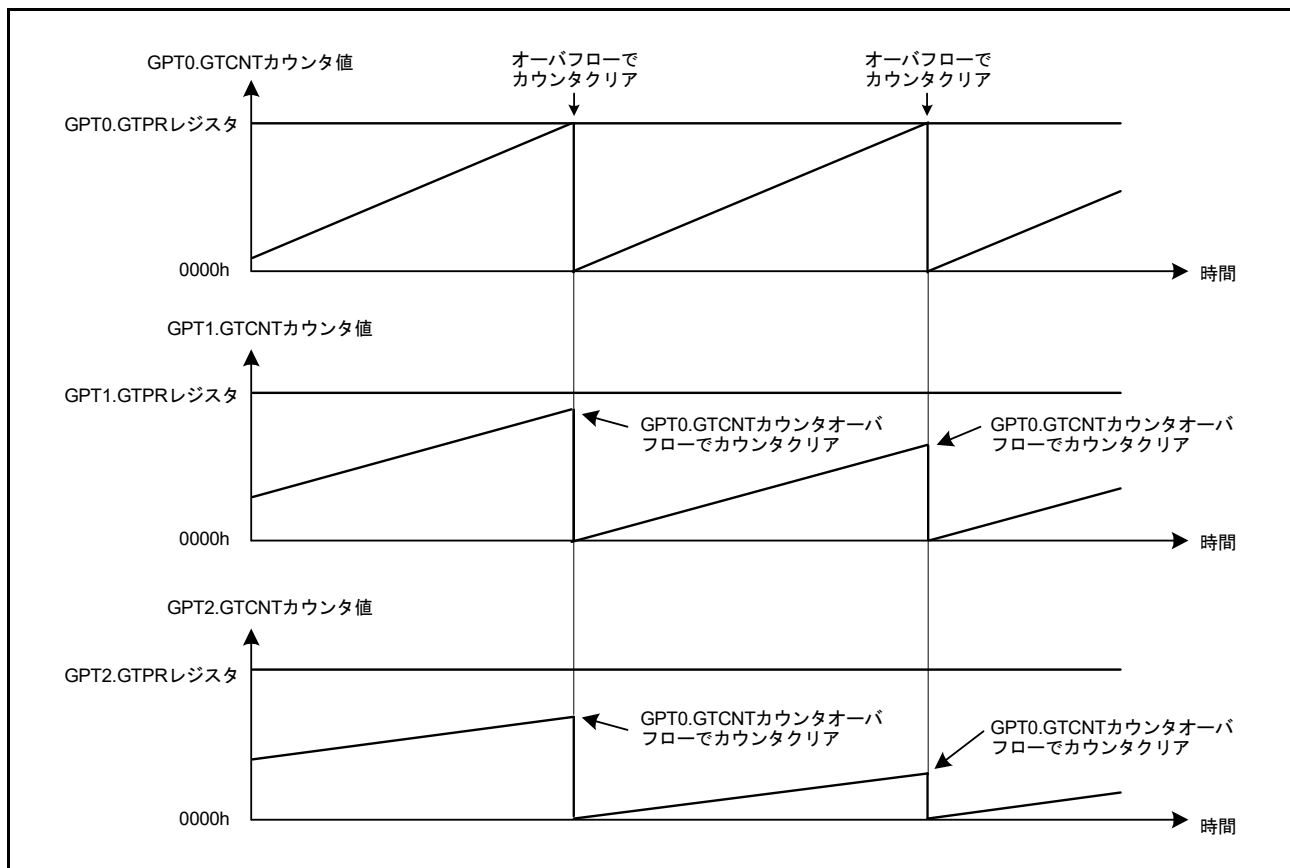


図 22.57 同期クリア動作例
(GPT0.GTCNT カウンタのクリア要因で GPT1.GTCNT カウンタと GPT2.GTCNT カウンタを同期クリア時)

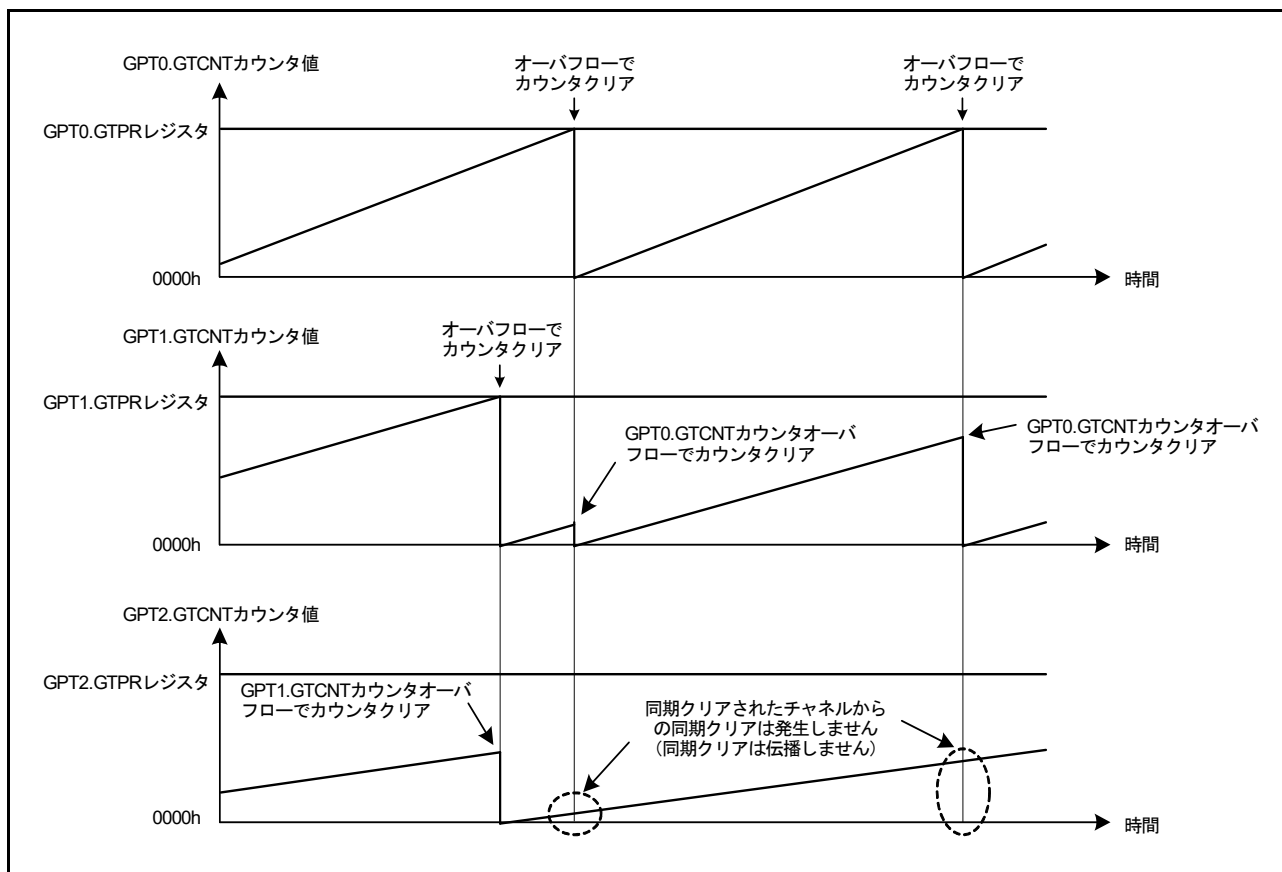


図 22.58 同期クリア動作例 (GPT0.GTCNTカウンタのクリア要因でGPT1.GTCNTカウンタを同期クリア、GPT1.GTCNTカウンタのクリア要因でGPT2.GTCNTカウンタを同期クリア時)

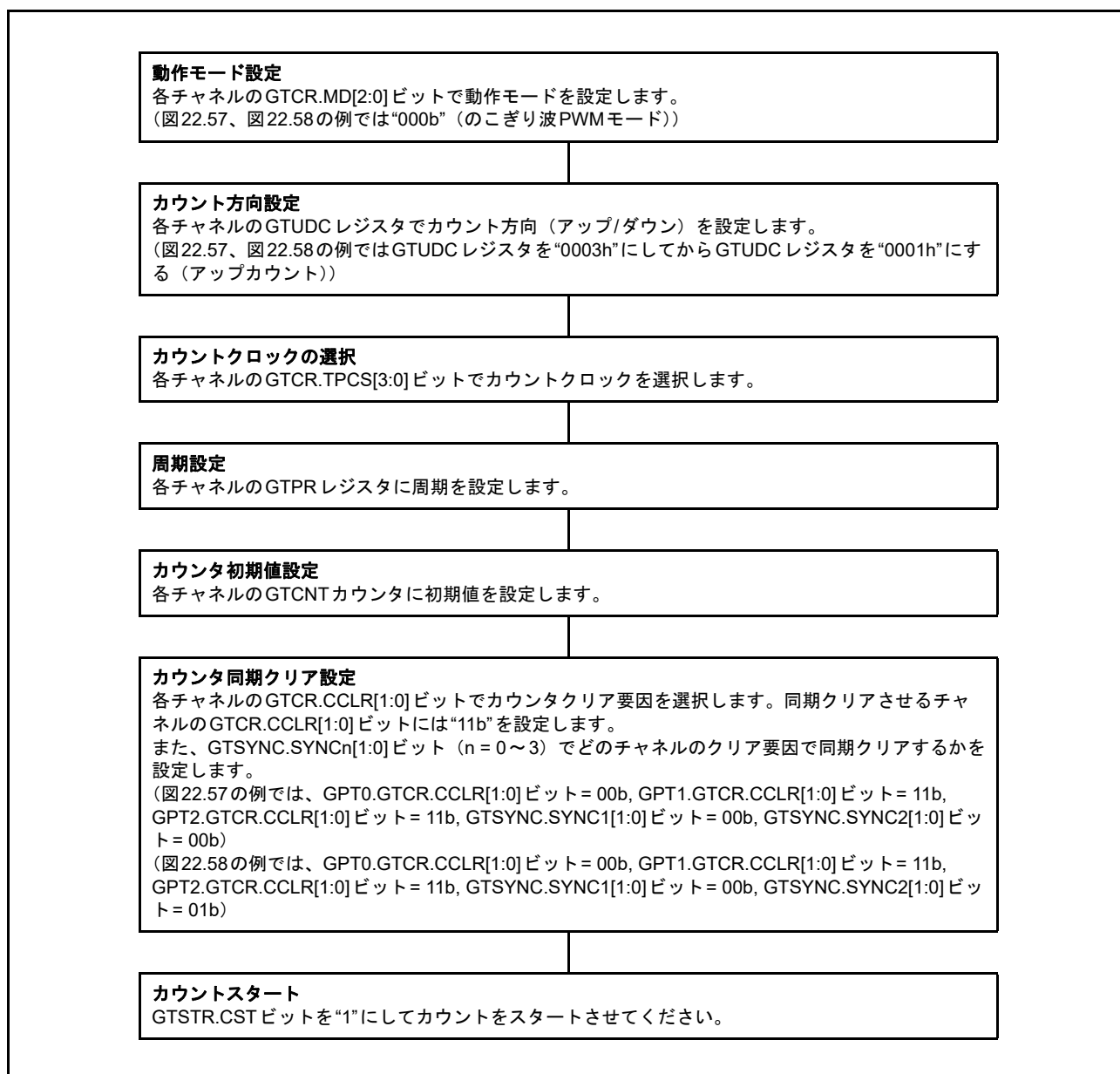


図 22.59 同期クリア動作設定例

22.3.8.2 同期スタート動作

(1) ソフトウェアによる同時スタート

GTSTR.CSTn ビット (n=0~3) を同時に“1”にすることによって、各チャンネルのカウンタ動作を同時に開始することができます。

図 22.60 にソフトウェアによる同時スタート動作例を示します。

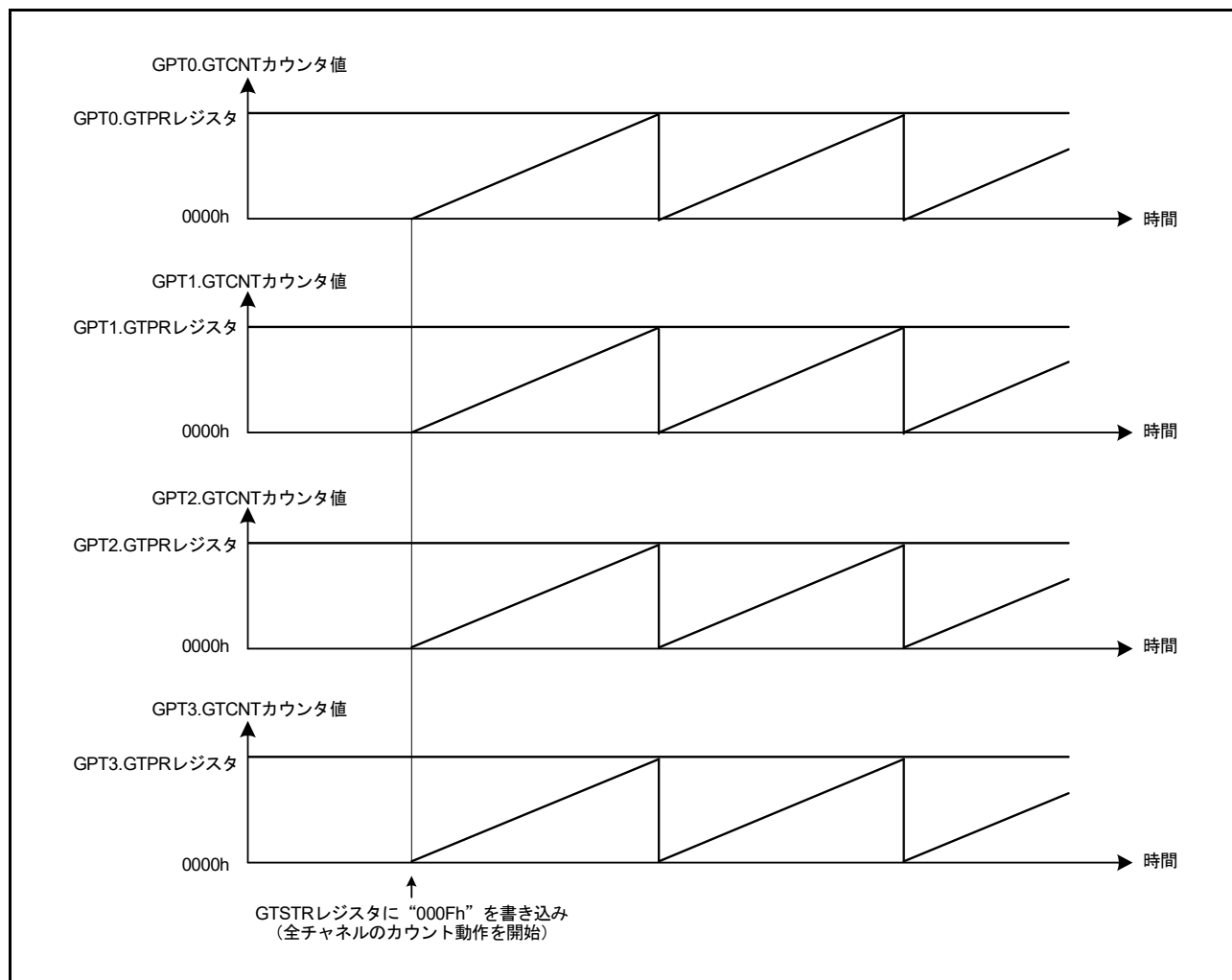


図 22.60 ソフトウェアによる同時スタート動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

(2) ソフトウェアによる位相シフトスタート

カウントスタート前に各チャンネルの GTCNT(LW) カウンタ値を設定しておき、GTSTR.CSTn ビット (n=0~3) を同時に“1”にすることにより、各チャンネル間に位相差をつけたカウント動作を開始することができます。

図 22.61 にソフトウェアによる位相シフトスタート動作例を示します。

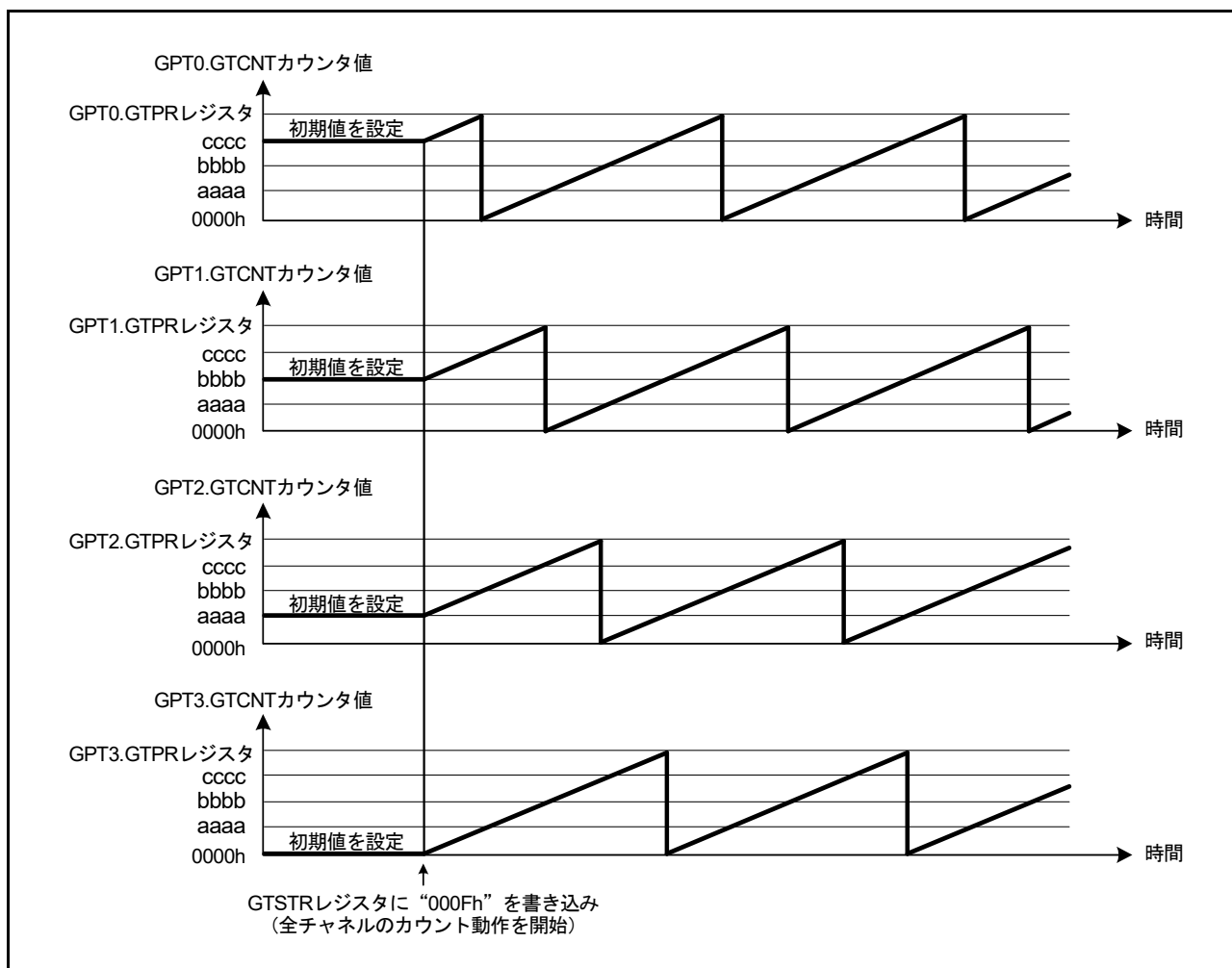


図 22.61 ソフトウェアによる位相シフトスタート動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

(3) ハードウェア要因による同時スタート

ハードウェア要因により、各チャネルのカウンタ動作を同時に開始することができます。

ハードウェア要因には、GTETRG 端子入力、コンパレータ出力、MTU のカウンタスタート (カウンタスタート制御のみ有効)、GTIOC3A 端子入力および GTIOC3B 端子入力、GTIOC3A 端子内部出力および GTIOC3B 端子内部出力 (アウトプットコンペア) の 5 種類の要因があります。

図 22.62 にハードウェア要因による同時スタート動作例を、図 22.63 に設定例を示します。GTIOC3A 端子入力により全チャネルのカウンタ動作を開始する例です。

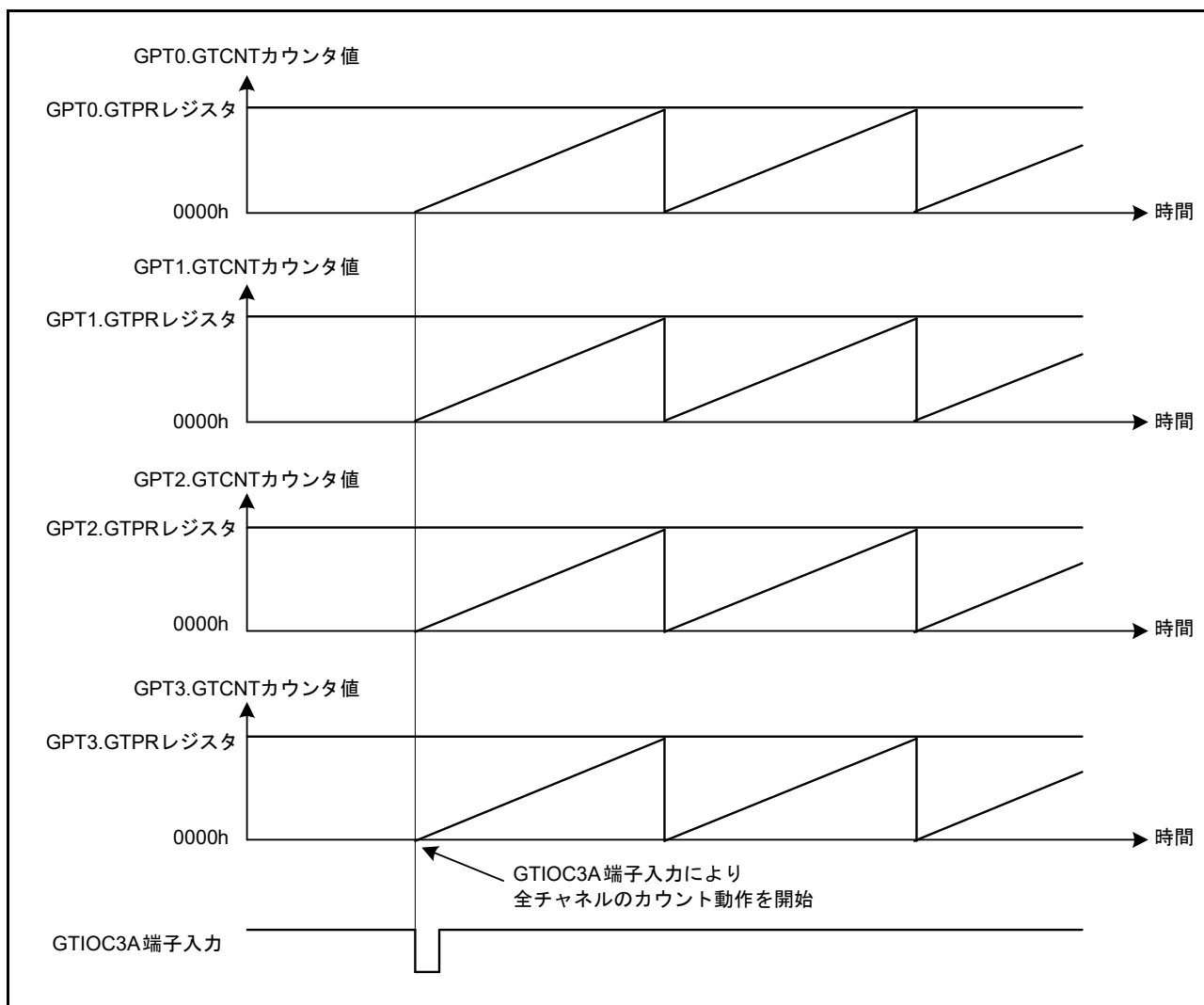


図 22.62 ハードウェア要因による同時スタート動作例
(カウンタ周期 (GTPR レジスタ値) が同一のとき)

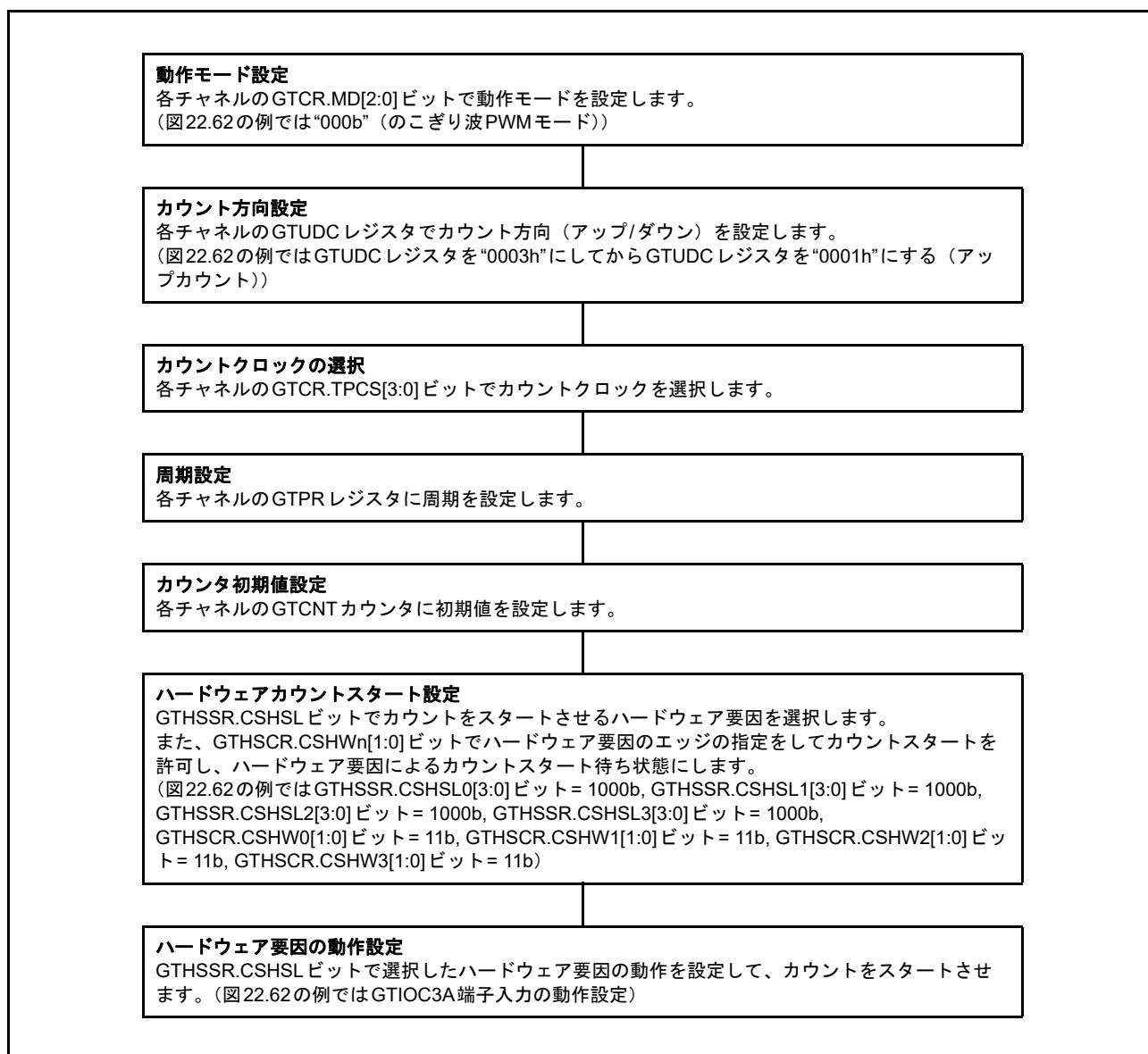


図 22.63 ハードウェア要因による同時スタート設定例

(4) ハードウェア要因による位相シフトスタート

ハードウェア要因により、各チャネル間に位相差をつけたカウント動作を開始することができます。

ハードウェア要因には、GTETRG 端子入力、コンパレータ出力、MTU のカウントスタート (カウントスタート制御のみ有効)、GTIOC3A 端子入力および GTIOC3B 端子入力、GTIOC3A 端子内部出力および GTIOC3B 端子内部出力 (アウトプットコンペア) の 5 種類の要因があります。

図 22.64 にハードウェア要因による位相シフトスタート動作例を、図 22.65 に設定例を示します。

GPT3.GTCNT カウンタと GPT0.GTCNT カウンタはソフトウェアにより同時にカウント動作を開始、GPT1.GTCNT カウンタと GPT2.GTCNT カウンタは GTIOC3A 端子内部出力および GTIOC3B 端子内部出力 (アウトプットコンペア) によりカウント動作を開始する例です。

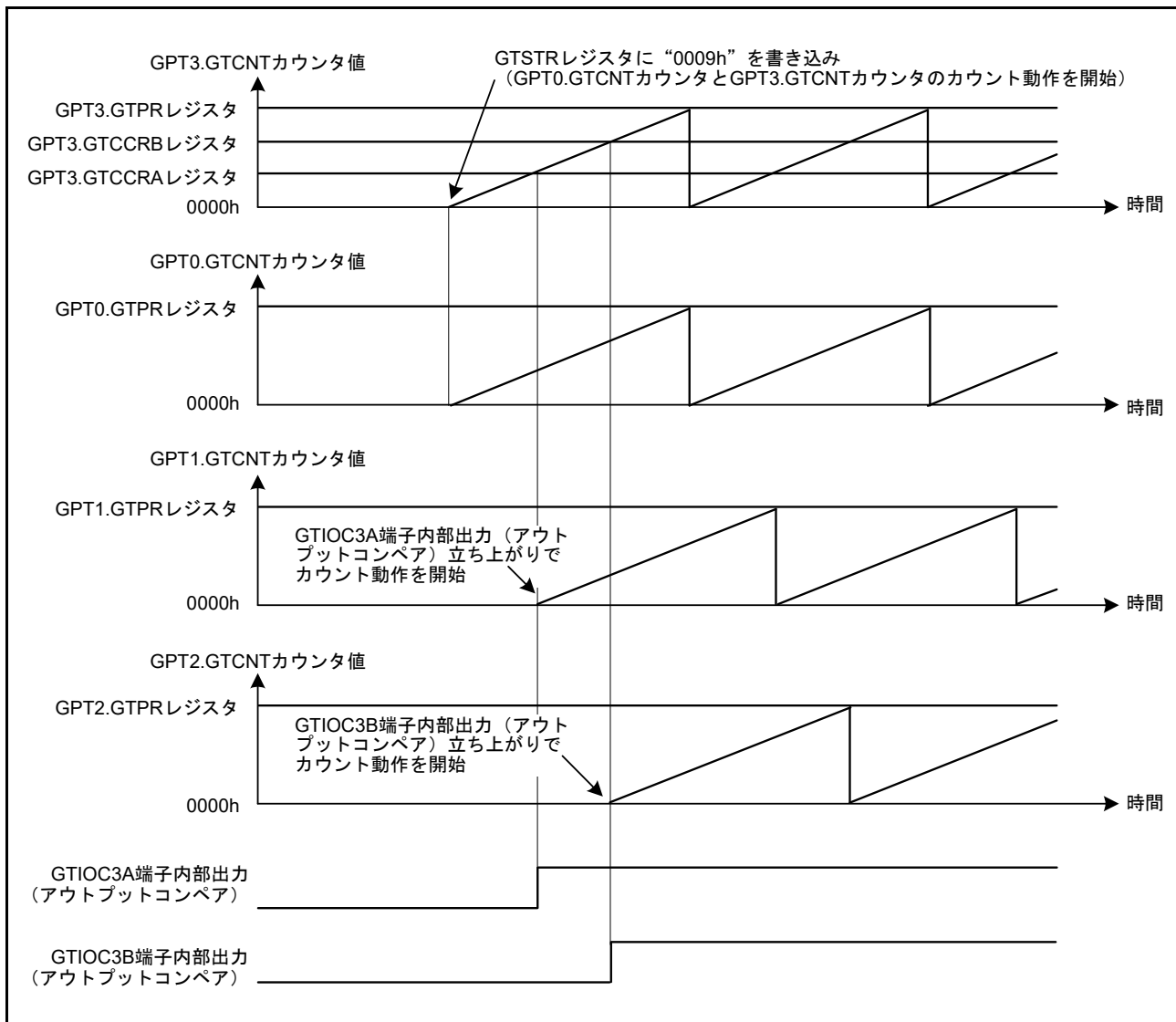


図 22.64 ハードウェア要因による位相シフトスタート動作例
(カウント周期 (GTPR レジスタ値) が同一のとき)

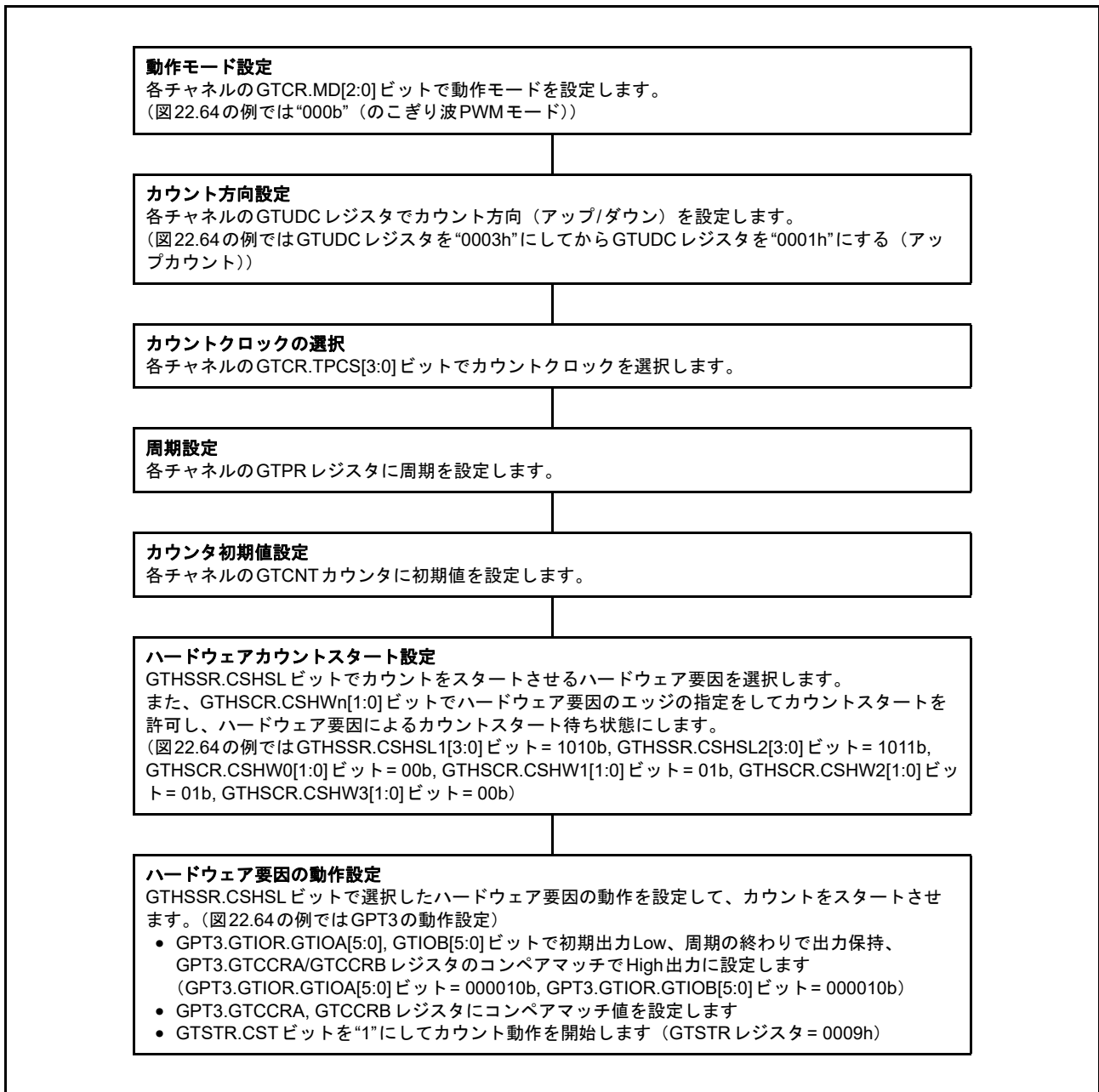


図 22.65 ハードウェア要因による位相シフトスタート設定例

22.3.9 PWM 出力動作例

(1) 同期 PWM 出力

チャンネル間の同期動作をすることにより、最大4チャンネル8相の連動したPWM波形を出力できます。

図 22.66 は、すべてのチャンネルを、のこぎり波 PWM モードで同期動作させ、8相の PWM 波形を出力させた例です。GTIOCnA 端子出力 (n=0~3) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とし、GTIOCnB 端子出力の設定は、初期出力は Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とした例です。

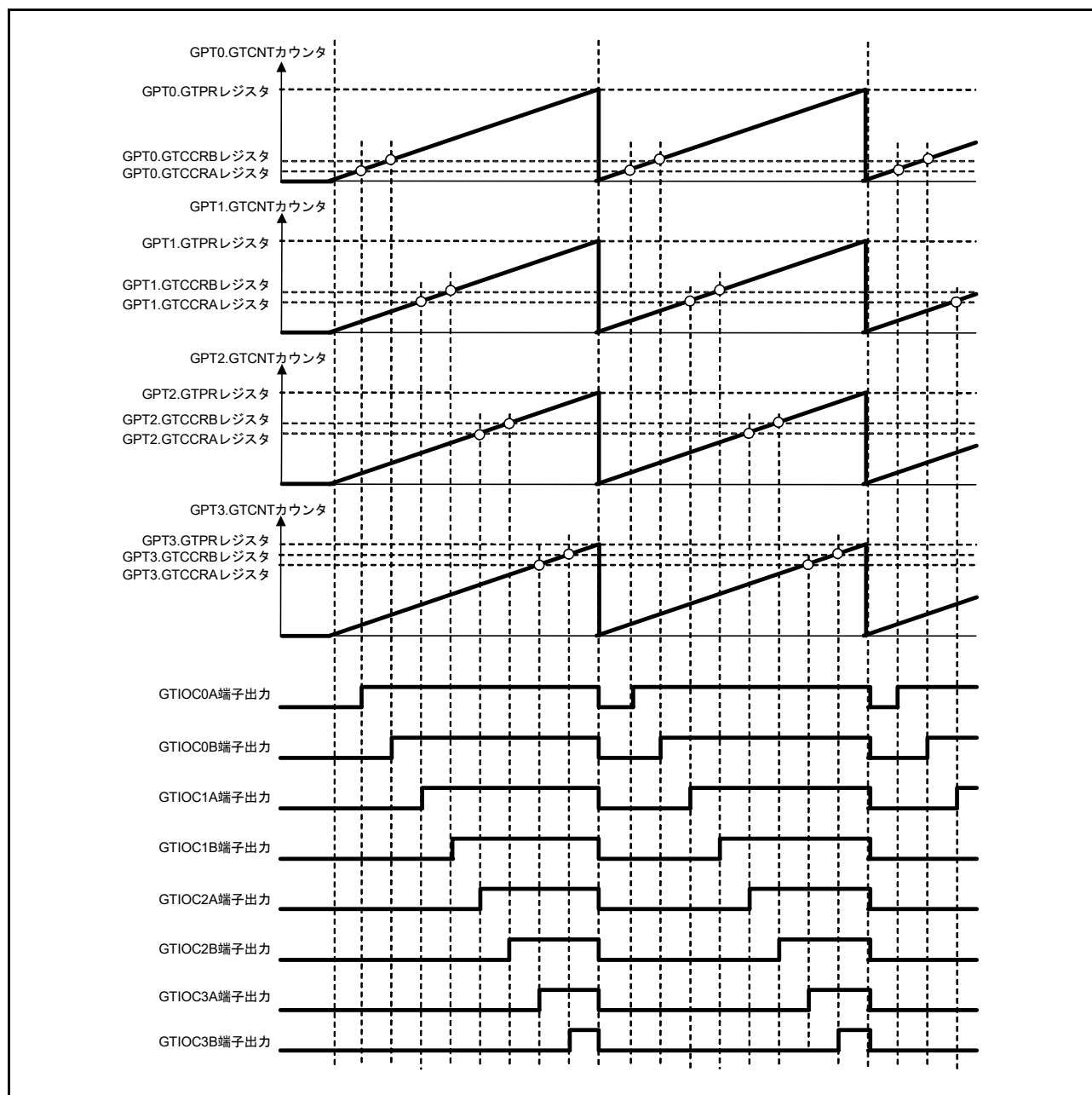


図 22.66 同期 PWM 出力例

(2) のこぎり波 3 相相補 PWM 出力

図 22.67 は、3つのチャネルをのこぎり波 PWM モードで同期動作させ、3相相補 PWM 波形を出力させた例です。GTIOCnA 端子出力の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力とした例です。

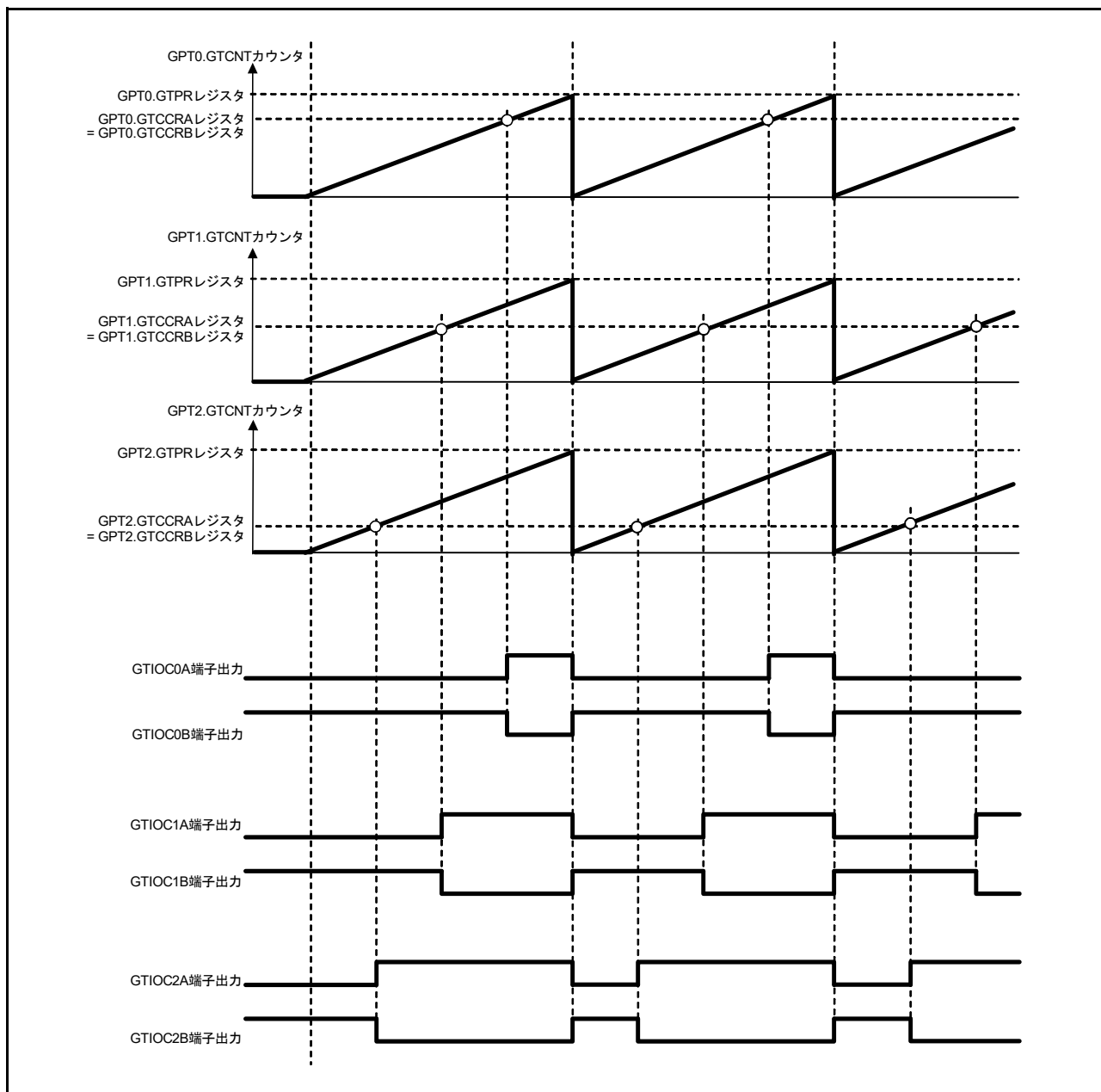


図 22.67 のこぎり波 3 相相補 PWM 出力

(3) のこぎり波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 22.68 は、3 つのチャネルを、デッドタイムを自動設定したのこぎり波ワンショットパルスモードで同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCN_A 端子出力の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCN_B 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

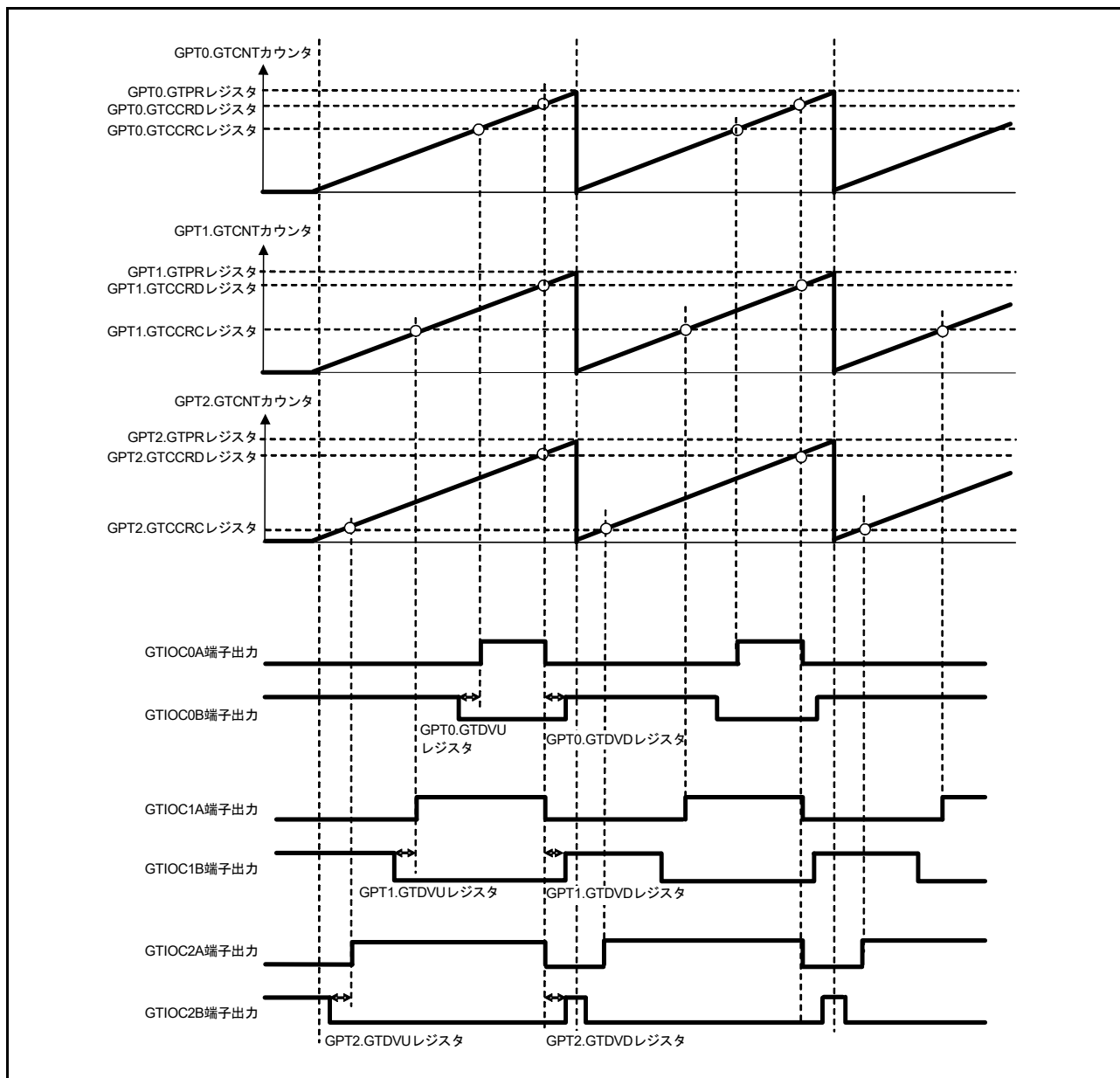


図 22.68 のこぎり波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(4) 三角波 3 相相補 PWM 出力

図 22.69 は、3 つのチャネルを三角波 PWM モード 1 で同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 端子出力の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

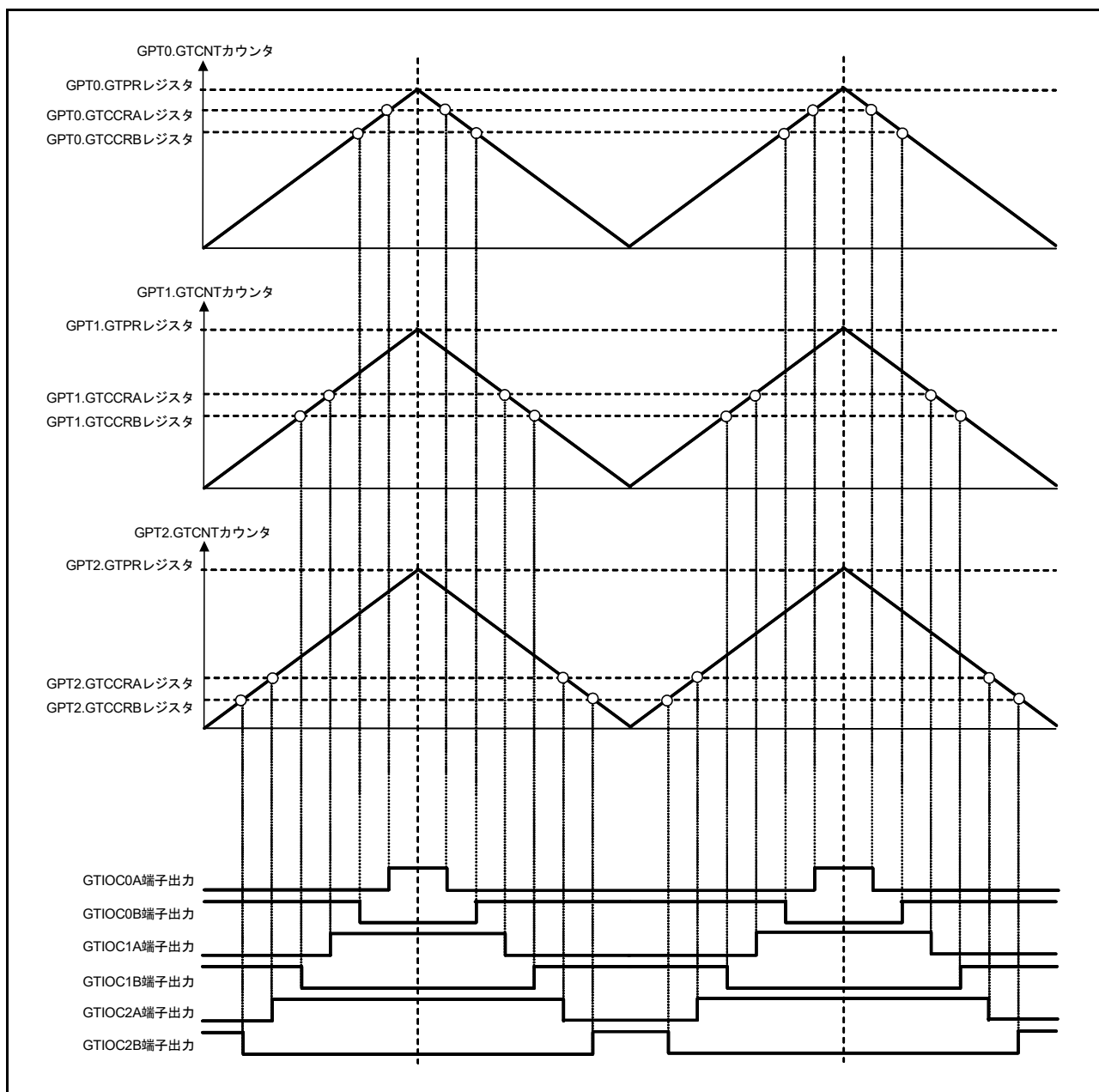


図 22.69 三角波 3 相相補 PWM 出力

(5) 三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 22.70 は、3 つのチャネルを、デッドタイムを自動設定した三角波 PWM モード 1 で同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 端子出力の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

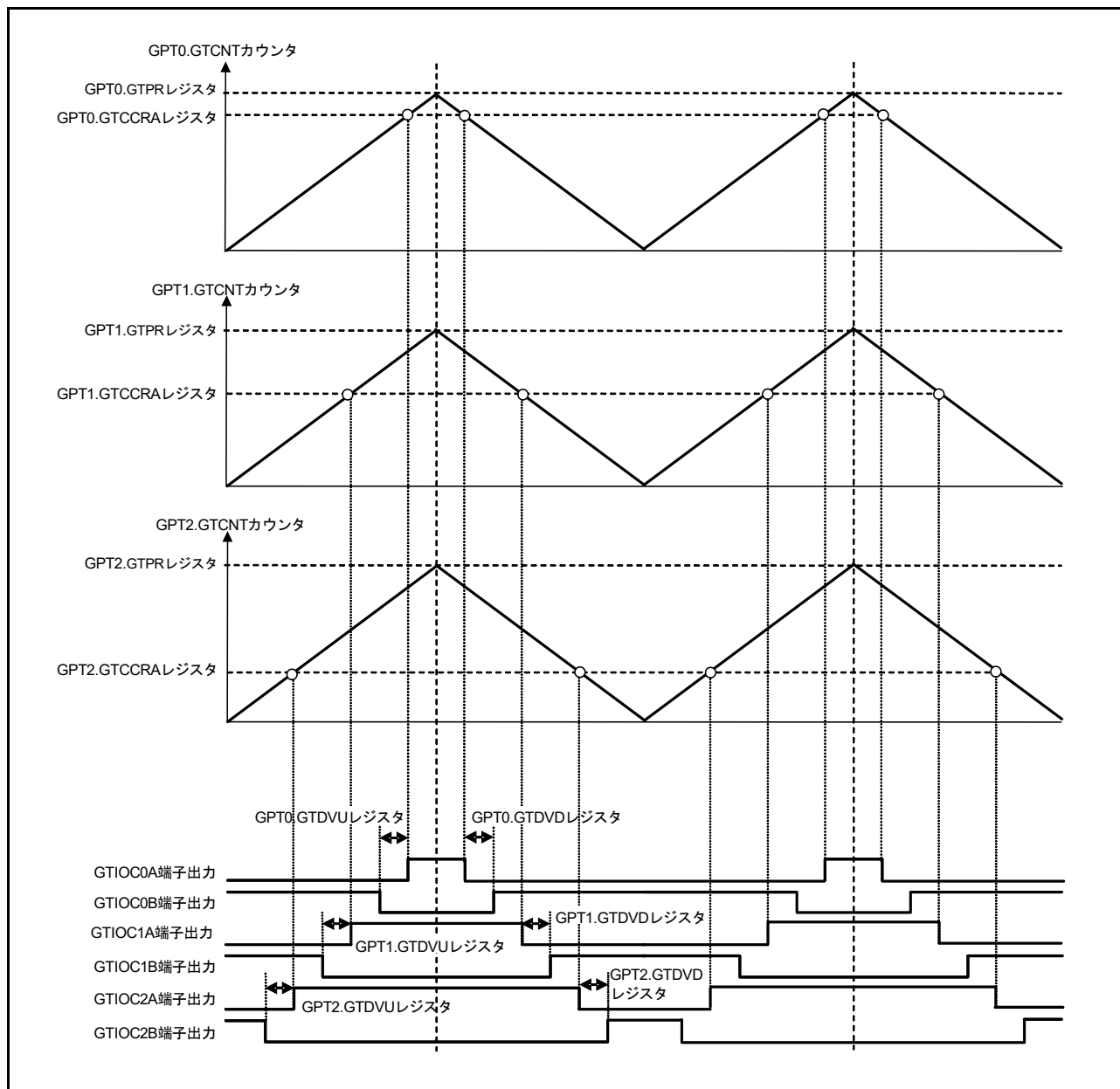


図 22.70 三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(6) 非対称三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 22.71 は、3つのチャンネルを、デッドタイムを自動設定した三角波 PWM モード3で同期動作させ、3相相補 PWM 波形を出力させた例です。GTIOCnA 端子出力の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

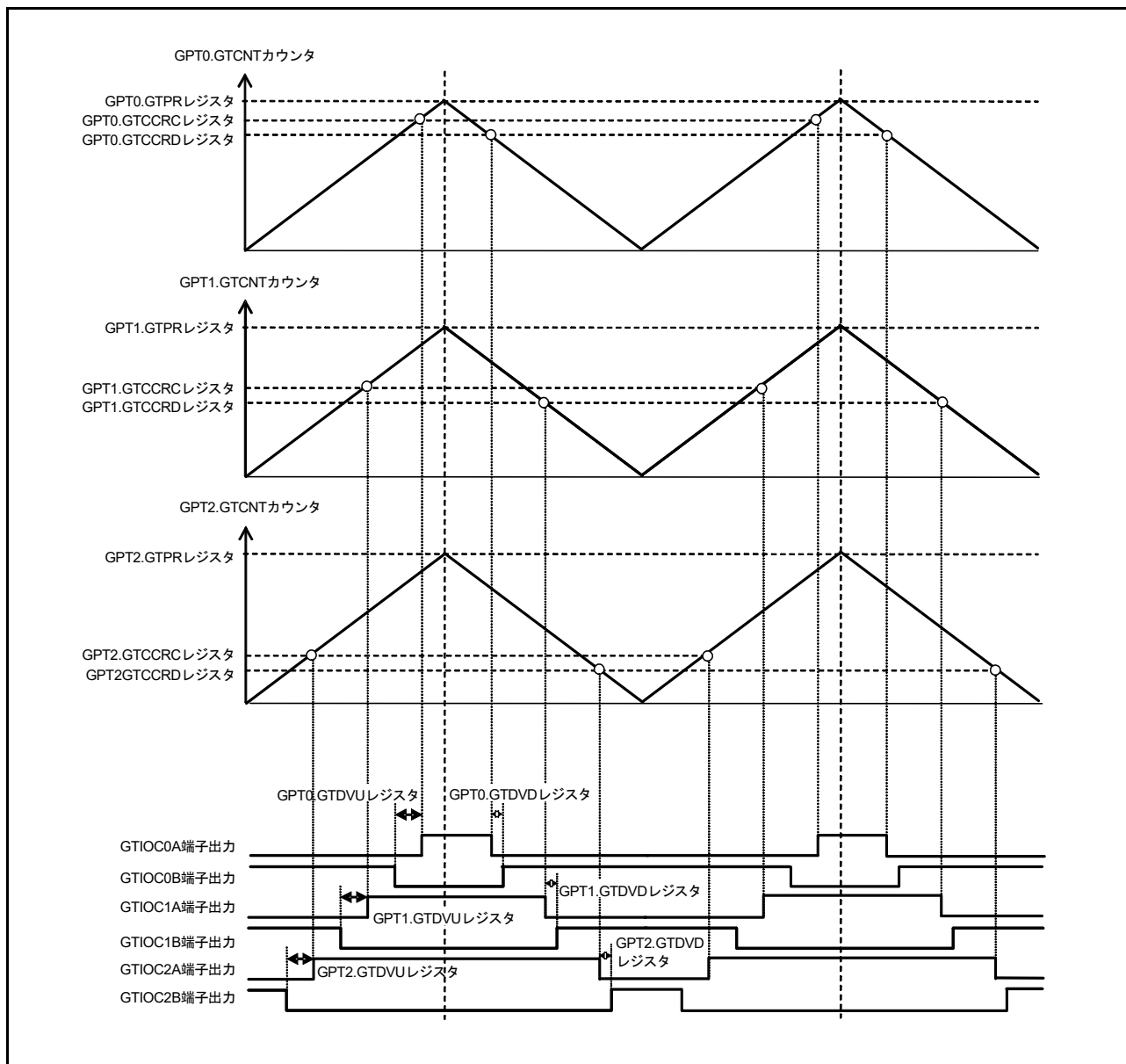


図 22.71 非対称三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

22.3.10 ノイズフィルタ機能

GPT のインプットキャプチャ入力端子、外部トリガ入力端子、外部クロック入力端子には、ノイズフィルタ機能があります。ノイズフィルタ機能は、入力信号をサンプリングクロックでサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

ノイズフィルタ機能は、端子ごとにノイズフィルタ機能の許可/停止およびサンプリングクロックが設定可能です。NFCR レジスタで GTIOCnA, GTIOCnB 端子の設定、GTETINT レジスタで GTETRГ 端子の設定、GTENFCR レジスタで GTECLKx 端子 (x = A ~ D) の設定ができます。

図 22.72 にノイズフィルタのタイミングチャートを示します。

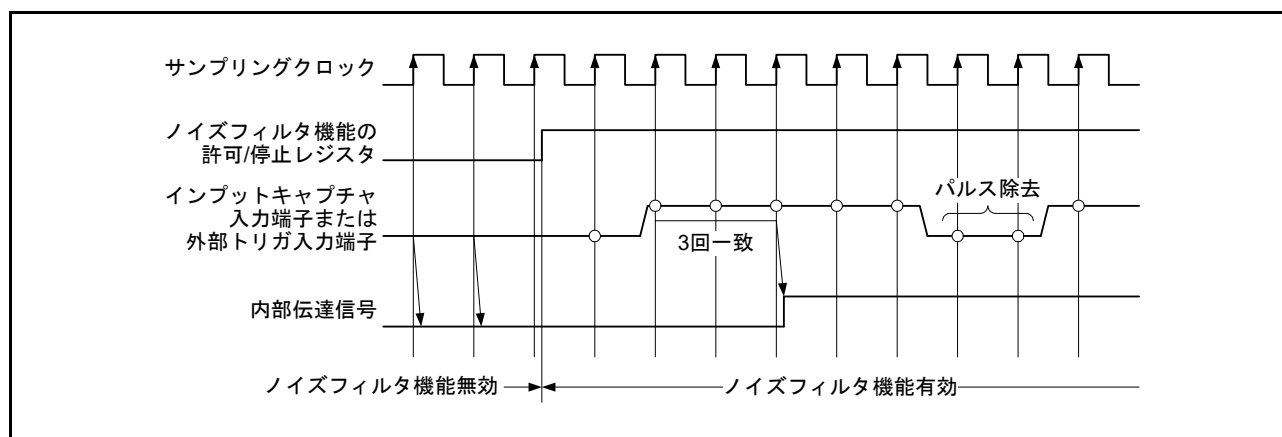


図 22.72 ノイズフィルタのタイミングチャート

ノイズフィルタ機能を設定した場合は、インプットキャプチャ入力または外部トリガ動作に対するノイズフィルタリングによって最短で「サンプリングサイクル×2 + PCLKA」だけ遅延したノイズフィルタ後の信号のエッジに対してインプットキャプチャ動作または外部トリガ動作が行われます。

22.4 割り込み要因

22.4.1 割り込み要因と優先順位

表 22.9 に割り込み要因の一覧を示します。

各割り込み要因は、それぞれ専用の割り込み要求発生制御ビットがあり、割り込み要求の発生を独立に許可または禁止することができます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

表 22.9 GPTの割り込み要因

チャンネル	名称	割り込み要因	DTC起動
共通	ETGIN	外部トリガ立ち下がり入力	不可能
	ETGIP	外部トリガ立ち上がり入力	不可能
GPT0	GTCIA0	GPT0.GTCCRAレジスタのインプットキャプチャ/コンペアマッチ	可能
	GTCIB0	GPT0.GTCCRBレジスタのインプットキャプチャ/コンペアマッチ	可能
	GTCIC0	GPT0.GTCCRCレジスタのコンペアマッチ	可能
	GTCID0	GPT0.GTCCRDレジスタのコンペアマッチ	可能
	GDTE0	デッドタイムエラー	不可能
	GTCIE0	GPT0.GTCCREレジスタのコンペアマッチ	可能
	GTCIF0	GPT0.GTCCRFレジスタのコンペアマッチ	可能
	GTCIV0	GPT0.GTCNTカウンタのオーバフロー (GPT0.GTPRレジスタのコンペアマッチ)	可能
	GTCIU0	GPT0.GTCNTカウンタのアンダフロー	可能
GPT1 (GPT01)	GTCIA1	GPT1.GTCCRA(GPT01.GTCCRALW)レジスタのインプットキャプチャ/コンペアマッチ	可能
	GTCIB1	GPT1.GTCCRB(GPT01.GTCCRBLW)レジスタのインプットキャプチャ/コンペアマッチ	可能
	GTCIC1	GPT1.GTCCRC(GPT01.GTCCRCLW)レジスタのコンペアマッチ	可能
	GTCID1	GPT1.GTCCRD(GPT01.GTCCRDWL)レジスタのコンペアマッチ	可能
	GDTE1	デッドタイムエラー	不可能
	GTCIE1	GPT1.GTCCRE(GPT01.GTCCRELW)レジスタのコンペアマッチ	可能
	GTCIF1	GPT1.GTCCRF(GPT01.GTCCRFLW)レジスタのコンペアマッチ	可能
	GTCIV1	GPT1.GTCNT(GPT01.GTCNTLW)カウンタのオーバフロー (GPT1.GTPR(GPT01.GTPRLW)レジスタのコンペアマッチ)	可能
	GTCIU1	GPT1.GTCNT(GPT01.GTCNTLW)カウンタのアンダフロー	可能
GPT2	GTCIA2	GPT2.GTCCRAレジスタのインプットキャプチャ/コンペアマッチ	可能
	GTCIB2	GPT2.GTCCRBレジスタのインプットキャプチャ/コンペアマッチ	可能
	GTCIC2	GPT2.GTCCRCレジスタのコンペアマッチ	可能
	GTCID2	GPT2.GTCCRDレジスタのコンペアマッチ	可能
	GDTE2	デッドタイムエラー	不可能
	GTCIE2	GPT2.GTCCREレジスタのコンペアマッチ	可能
	GTCIF2	GPT2.GTCCRFレジスタのコンペアマッチ	可能
	GTCIV2	GPT2.GTCNTカウンタのオーバフロー (GPT2.GTPRレジスタのコンペアマッチ)	可能
	GTCIU2	GPT2.GTCNTカウンタのアンダフロー	可能
GPT3 (GPT23)	GTCIA3	GPT3.GTCCRA(GPT23.GTCCRALW)レジスタのインプットキャプチャ/コンペアマッチ	可能
	GTCIB3	GPT3.GTCCRB(GPT23.GTCCRBLW)レジスタのインプットキャプチャ/コンペアマッチ	可能
	GTCIC3	GPT3.GTCCRC(GPT23.GTCCRCLW)レジスタのコンペアマッチ	可能
	GTCID3	GPT3.GTCCRD(GPT23.GTCCRDWL)レジスタのコンペアマッチ	可能
	GDTE3	デッドタイムエラー	不可能
	GTCIE3	GPT3.GTCCRE(GPT23.GTCCRELW)レジスタのコンペアマッチ	可能
	GTCIF3	GPT3.GTCCRF(GPT23.GTCCRFLW)レジスタのコンペアマッチ	可能
	GTCIV3	GPT3.GTCNT(GPT01.GTCNTLW)カウンタのオーバフロー (GPT3.GTPR(GPT01.GTPRLW)レジスタのコンペアマッチ)	可能
	GTCIU3	GPT3.GTCNT(GPT01.GTCNTLW)カウンタのアンダフロー	可能

(1) GTCIA_n 割り込み (n = 0 ~ 3)

GTINTAD.GTINTA ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRA(LW) レジスタがコンペアマッチレジスタとして機能している場合、GTCNT(LW) カウンタ値が GTCCRA(LW) レジスタと一致したとき
- GTCCRA(LW) レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT(LW) カウンタの値が GTCCRA(LW) レジスタに転送されたとき

(2) GTCIB_n 割り込み (n = 0 ~ 3)

GTINTAD.GTINTB ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRB(LW) レジスタがコンペアマッチレジスタとして機能している場合、GTCNT(LW) カウンタ値が GTCCRB(LW) レジスタと一致したとき
- GTCCRB(LW) レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT(LW) カウンタの値が GTCCRB(LW) レジスタに転送されたとき

(3) GTCIC_n 割り込み (n = 0 ~ 3)

GTINTAD.GTINTC ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRC(LW) レジスタがコンペアマッチレジスタとして機能している場合、GTCNT(LW) カウンタ値が GTCCRC(LW) レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 01b, 10b, 11b (GTCCRC(LW) レジスタがバッファ動作)

(4) GTCID_n 割り込み (n = 0 ~ 3)

GTINTAD.GTINTD ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRD(LW) レジスタがコンペアマッチレジスタとして機能している場合、GTCNT(LW) カウンタ値が GTCCRD(LW) レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 10b, 11b (GTCCRD(LW) レジスタがバッファ動作)

(5) GTCIE_n 割り込み (n = 0 ~ 3)

GTINTAD.GTINTE ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRE(LW) レジスタがコンペアマッチレジスタとして機能している場合、GTCNT(LW) カウンタ値が GTCCRE(LW) レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] ビット = 01b, 10b, 11b (GTCCRE(LW) レジスタがバッファ動作)

(6) GTCIFn 割り込み (n = 0 ~ 3)

GTINTAD.GTINTF ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRF(LW) レジスタがコンペアマッチレジスタとして機能している場合、GTCNT(LW) カウンタ値が GTCCRF(LW) レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] ビット = 10b, 11b (GTCCRF(LW) レジスタがバッファ動作)

(7) GTCIVn 割り込み (n = 0 ~ 3)

GTINTAD.GTINTPR[0] ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- のこぎり波の場合、オーバフロー (アップカウント動作中に GTCNT(LW) カウンタ値が GTPR(LW) レジスタ値から “0000h (0000 0000h)” になる) が発生
- 三角波の場合、山 (GTCNT(LW) カウンタ値が GTPR(LW) レジスタ値から GTPR(LW) レジスタ値 - 1 になる) が発生

(8) GTCIUn 割り込み (n = 0 ~ 3)

GTINTAD.GTINTPR[1] ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- のこぎり波の場合、アンダフロー (ダウンカウント動作中に GTCNT(LW) カウンタ値が “0000h (0000 0000h)” から GTPR(LW) レジスタ値になる) が発生
- 三角波の場合、谷 (GTCNT(LW) カウンタ値が “0000h (0000 0000h)” から “0001h (0000 0001h)” になる) が発生

(9) ETGIP 割り込み

GTETINT.ETIPEN ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- 外部トリガ入力の立ち上がりエッジを検出したとき

(10) ETGIN 割り込み

GTETINT.ETINEN ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- 外部トリガ入力の立ち下がりエッジを検出したとき

(11) GDTEn 割り込み (n = 0 ~ 3)

デッドタイムの自動設定がなされているとき、自動設定後の波形変化ポイントがカウント周期を超えると GTST.DTEF フラグが“1”になります。このとき、GTINTAD.EINT ビットが“1”であれば、デッドタイムエラー割り込み (GDTE) 要求が発生します。

なお、GTST.DTEF フラグはデッドタイム自動設定後の波形変化ポイントがカウント周期内に戻ると“1”から“0”になります。

22.4.2 DTC の起動

各チャネルの割り込み要求によって、DTC を起動することができます。詳細は「14. 割り込みコントローラ (ICUb)」、「17. データトランスファコントローラ (DTCa)」を参照してください。

22.4.3 割り込み、A/D 変換要求の間引き機能

GTITC レジスタの設定により、GTCNT(LW) カウンタのオーバフロー (GTPR(LW) レジスタのコンペアマッチ) (GTCIV) / アンダフロー割り込み (GTCIU) を間引くことができます。また、他の割り込み、および A/D 変換要求を GTCIV/GTCIU 割り込み間引き機能と連動して間引くことができます。ただし、デッドタイムエラー割り込みは GTCIV/GTCIU 割り込み間引き機能と連動することはできません。

また、三角波で谷 / 山両方をカウントして間引く場合、間引き回数を奇数回に設定すると、間引きカウンタの開始タイミングにより、谷のみ、もしくは山のみでの GTCIV/GTCIU 割り込み要求が発生しません。三角波で谷 / 山両方をカウントして間引き、かつ、谷のみ、もしくは山のみでの GTCIV/GTCIU 割り込みを使用する場合は、間引き回数を偶数に設定してください。

同様に、のこぎり波でカウント方向を変えながらオーバフロー / アンダフロー両方をカウントして間引く場合、オーバフローのみ、もしくはアンダフローのみでの GTCIV/GTCIU 割り込み要求が発生しない場合があります。のこぎり波でカウント方向を変えながらオーバフロー / アンダフロー両方をカウントして間引き、かつ、オーバフローのみ、もしくはアンダフローのみでの GTCIV/GTCIU 割り込みを使用する場合は、間引き状態を十分検討のうえ、使用してください。

なお、間引き回数を変更する場合は、間引き機能をいったん解除 (GTITC.IVTC[1:0] ビット = 00b) してから行ってください。

間引き機能の動作例を図 22.73 ~ 図 22.78 に示します。

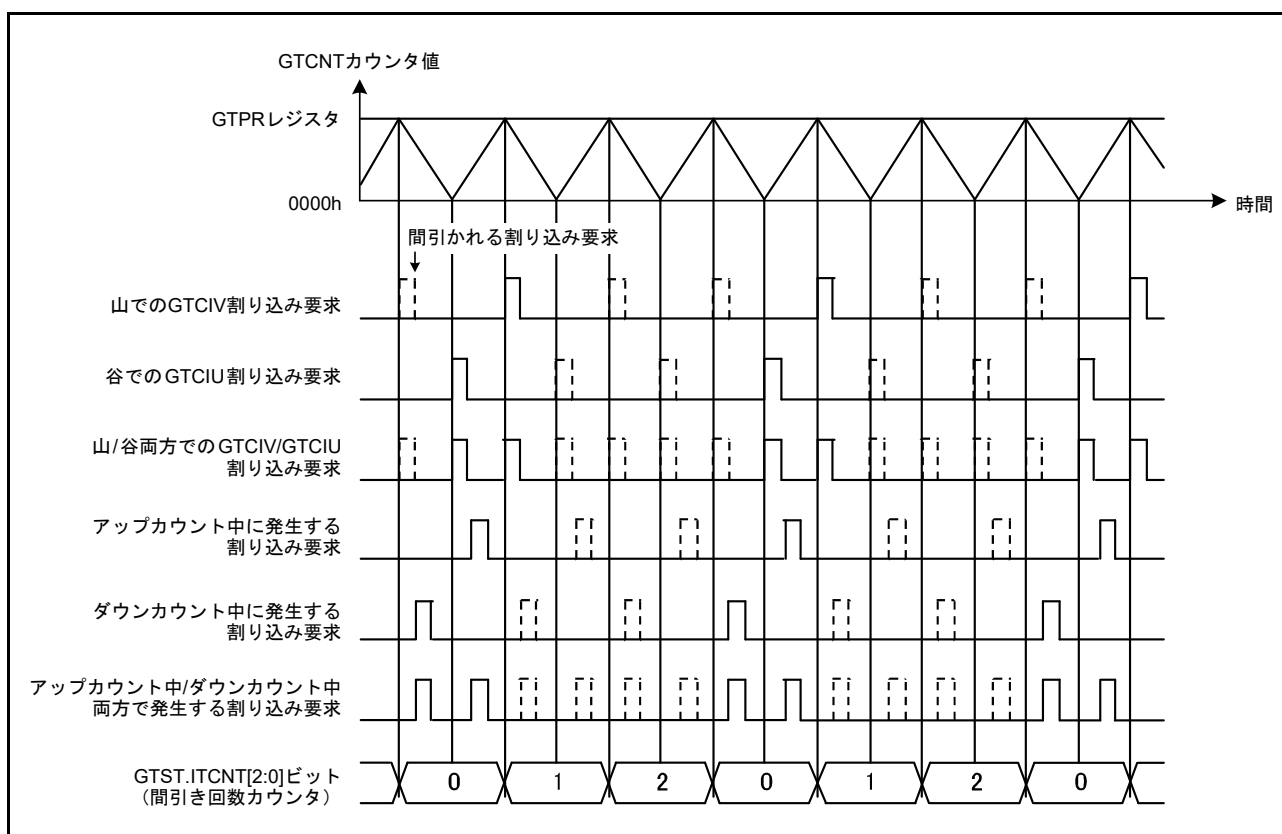


図 22.73 割り込み間引き機能の動作例 (三角波、山をカウントして間引き、間引き回数 2 の場合)

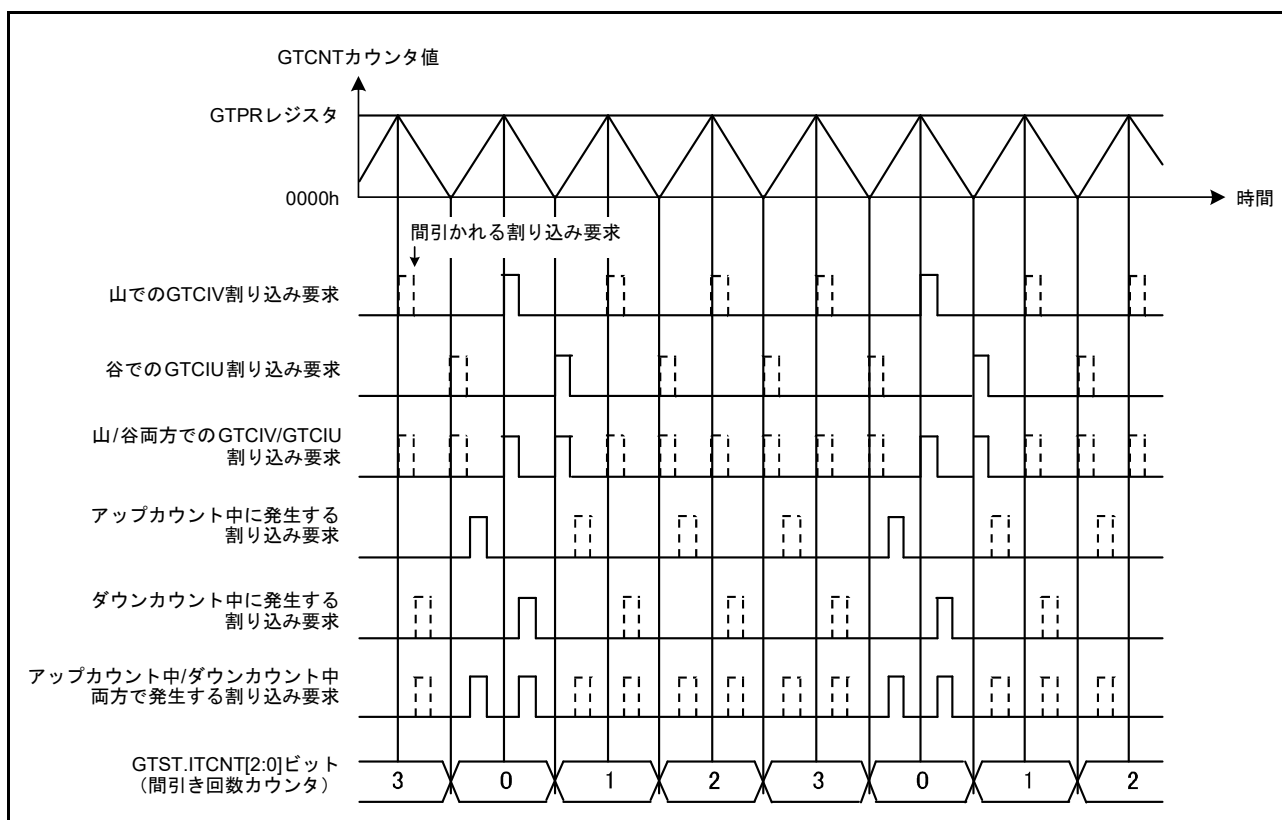


図 22.74 割り込み間引き機能の動作例 (三角波、谷をカウントして間引き、間引き回数 3 の場合)

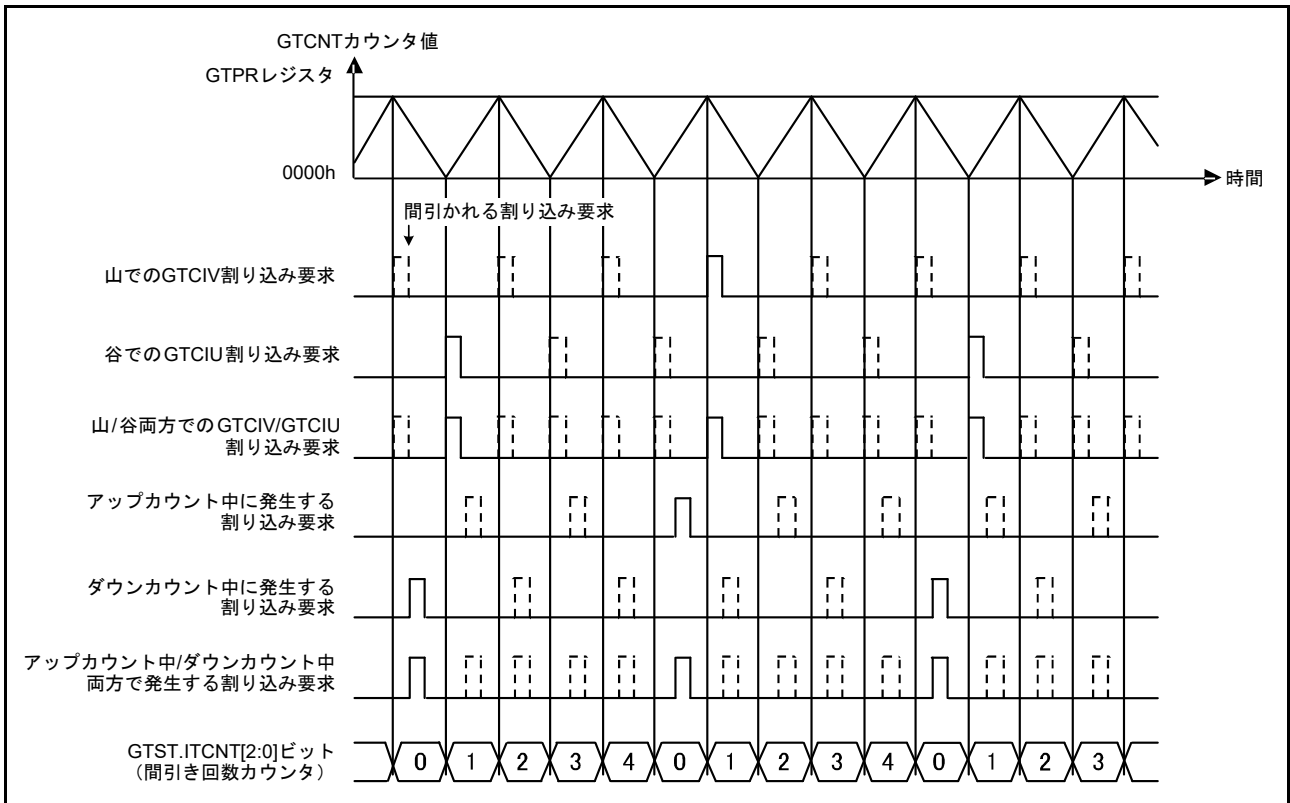


図 22.75 割り込み間引き機能の動作例 (三角波、谷 / 山両方をカウントして間引き、間引き回数 4 の場合)

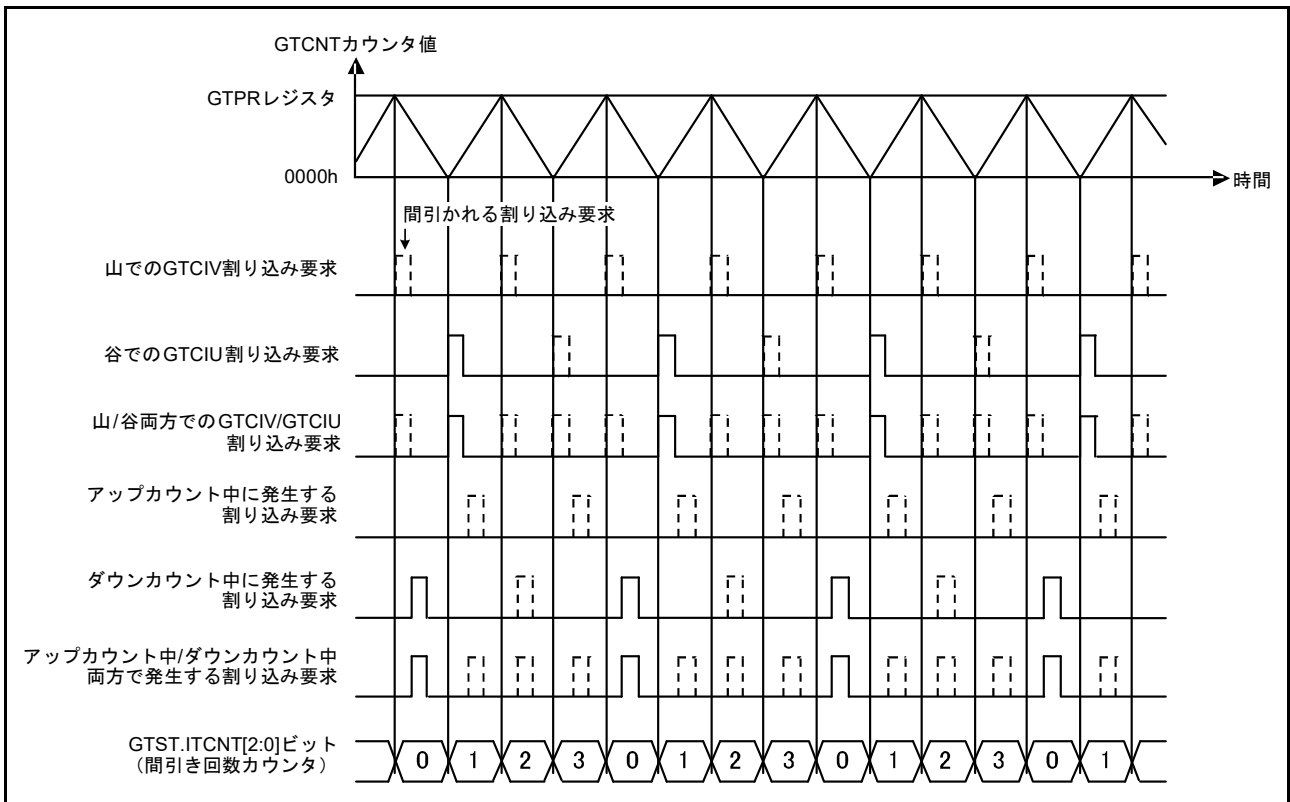


図 22.76 割り込み間引き機能の動作例 (三角波、谷 / 山両方をカウントして間引き、間引き回数 3、アップカウントで間引き開始の場合)

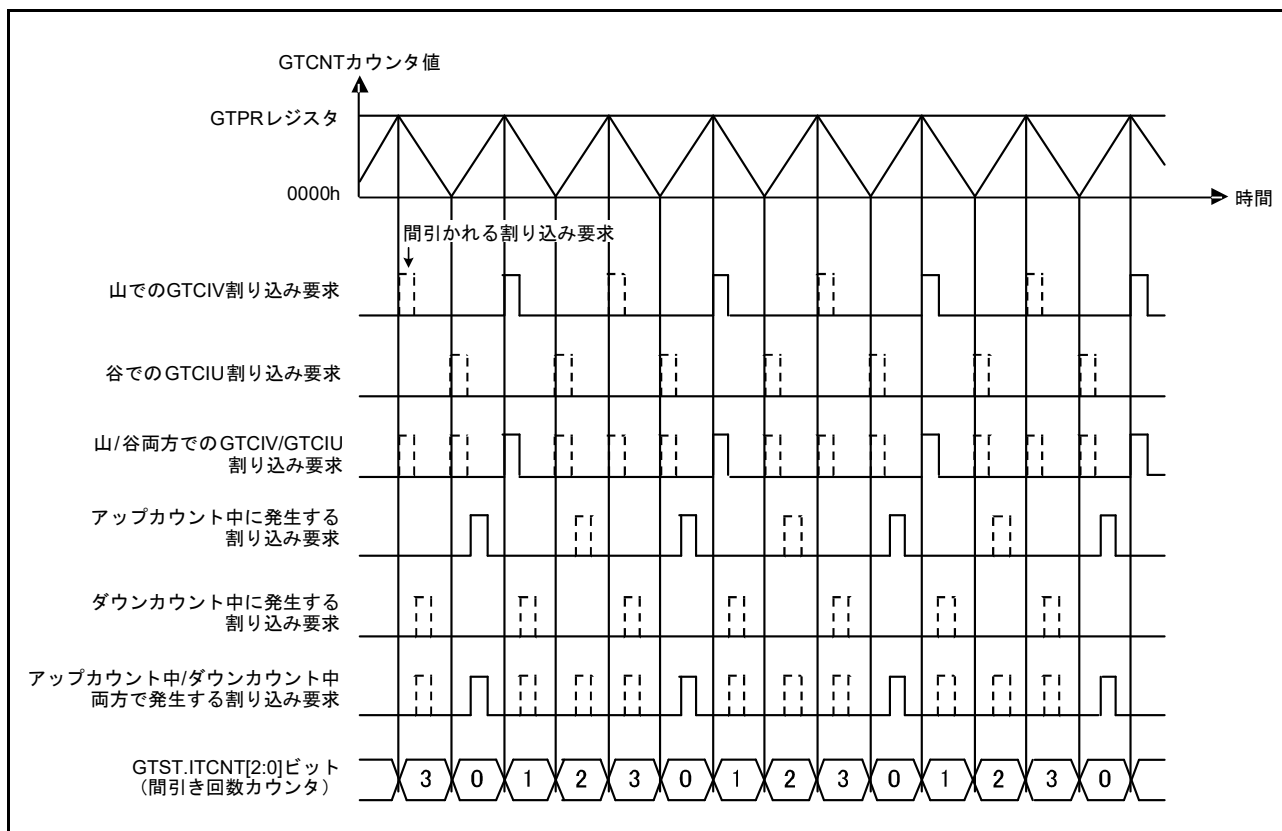


図 22.77 割り込み間引き機能の動作例
 (三角波、谷 / 山両方をカウントして間引き、間引き回数 3、ダウンカウントで間引き開始の場合)

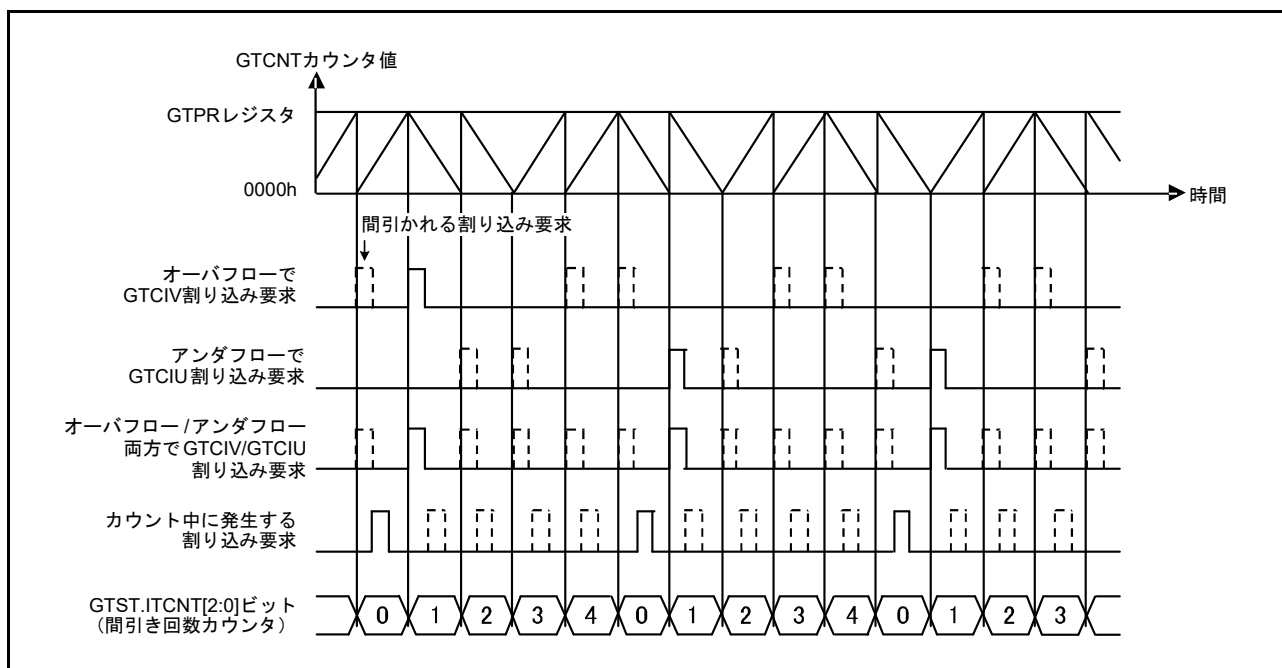


図 22.78 割り込み間引き機能の動作例
 (のこぎり波でカウント方向を切替えながら動作、オーバーフロー/アンダフロー両方をカウントして間引き、間引き回数 4 の場合)

22.5 A/D 変換開始要求

GTCNT(LW) カウンタと GTADTRA(LW), GTADTRB(LW) レジスタのコンペアマッチで、A/D 変換開始要求を発生させることができます。GTINTAD レジスタの設定で、アップカウント時のみ、ダウンカウント時のみ、またはアップカウント/ダウンカウント両方で A/D 変換開始要求を発生させることができます。

GTADTRA(LW), GTADTRB(LW) レジスタにはバッファレジスタがそれぞれ 2 本ずつあり、GTADTRA(LW) レジスタと GTADTBRA(LW), GTADTDBRA(LW) レジスタを組み合わせたバッファ動作、GTADTRB(LW) レジスタと GTADTBRB(LW), GTADTDBRB(LW) レジスタを組み合わせたバッファ動作が可能です。

A/D 変換開始要求の発生タイミングは、外部端子でモニタすることができます。GTADSMR レジスタの ADSMSk ビット ($k=0, 1$) でモニタしたい A/D 変換開始要求信号を選択し、ADSMENk ビットで出力許可にすると、GTADSMk 端子から A/D 変換開始要求信号発生タイミングで High、A/D 変換開始要求信号発生に使用したタイマの周期の終わりで Low 出力となるタイマの周期フレームに同期した信号を出力します。周期の終わりで A/D 変換開始要求信号が発生した場合、モニタ出力は A/D 変換開始要求信号の発生を優先し、次の周期の終わりまで出力は High になります。

図 22.79 に A/D 変換開始要求の動作例を、図 22.80 に A/D 変換開始要求の動作設定例を示します。

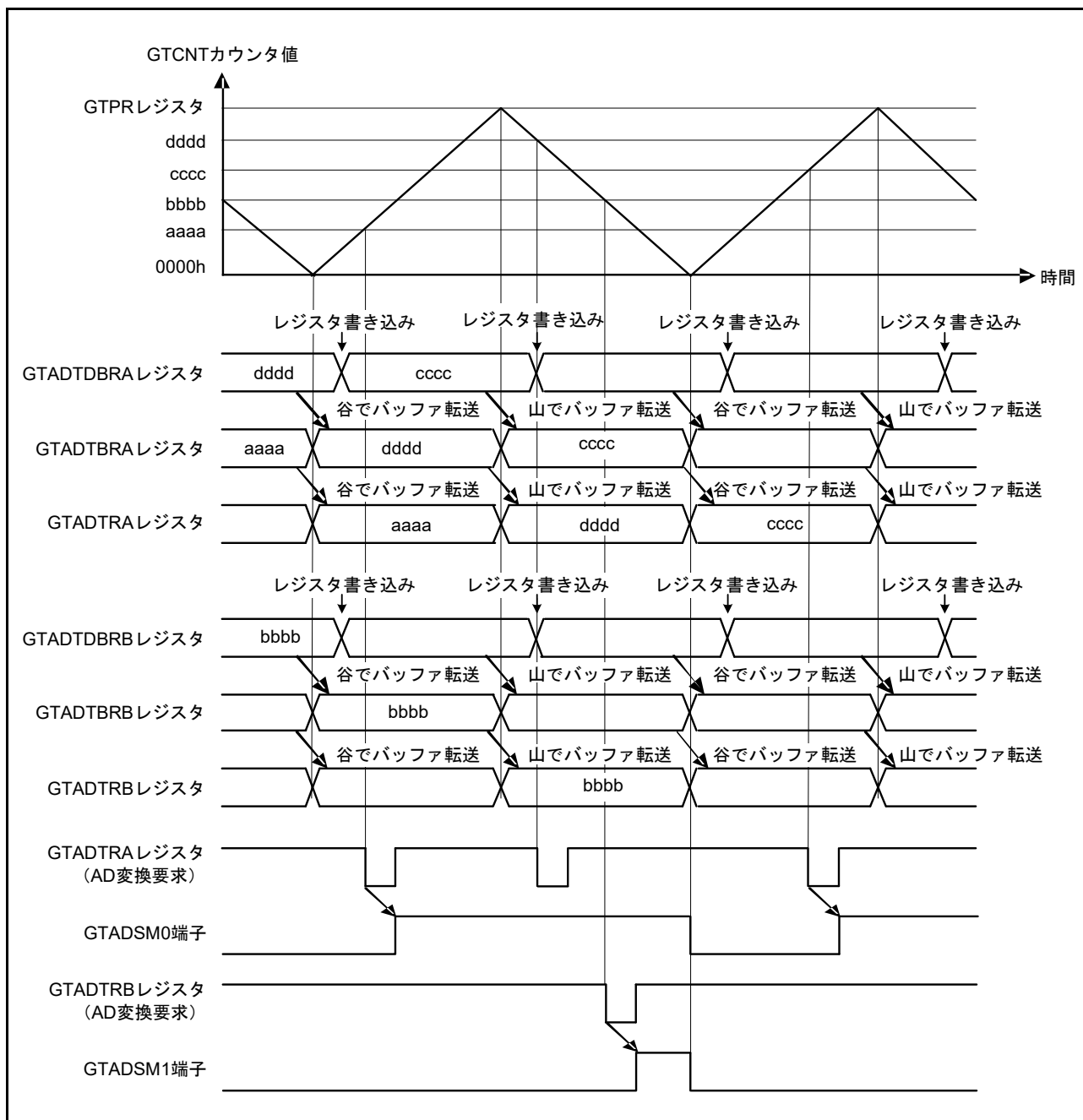


図 22.79 A/D 変換開始要求の動作例
 (三角波、ダブルバッファ動作、谷 / 山両方でバッファ転送、GTADTRA0 レジスタはアップカウント / ダウンカウント両方で A/D 変換開始要求、GTADTRB0 レジスタはダウンカウントで A/D 変換開始要求を発生の場合)



図 22.80 A/D 変換開始要求タイミング動作設定例

22.6 保護機能

22.6.1 レジスタの書き込み保護

22.6.1.1 共通レジスタの書き込み保護

共通レジスタへの誤書き込みを防ぐために、GTCMNWP.CMNWP ビットの設定でレジスタへの書き込みを禁止することができます。

制御の対象となるレジスタは、NFCR レジスタ、GTHSCR レジスタ、GTHCCR.CCHWn[1:0] ビット (n=0 ~ 3)、GTHSSR レジスタ、GTHPSR レジスタ、GTSYNC レジスタ、GTETINT レジスタ、GTBDR レジスタ、GTMDR レジスタ、GTECNFCR レジスタ、GTADSMR レジスタです。

なお、GTCMNWP.CMNWP ビットが“0” (共通レジスタへの書き込みが許可) の場合でも、GTMDR.LWA01 ビットまたは GTMDR.LWA23 ビットが“1” (カスケード接続) のときは、それぞれ GPT0、GPT2 を制御するビットへの書き込みは無視されます。

カウントスタートを制御する GTSTR レジスタは、GTCMNWP.CMNWP ビットによる書き込み保護の制御を受けず、GTSWP レジスタによって書き込みを保護します。

カウンタクリアを制御する GTHCCR.CCSWn ビット (n=0 ~ 3) は、GTCMNWP.CMNWP ビットによる書き込み保護の制御を受けず、GTCWP レジスタによって書き込みを保護します。

書き込み保護を行うレジスタ GTCMNWP レジスタ、GTSWP レジスタ、GTCWP レジスタ、GTWP レジスタの書き込み保護は行いません。

22.6.1.2 チャンネルレジスタの書き込み保護

各チャンネルのレジスタへの誤書き込みを防ぐために、GTWP.WPn ビット (n=0 ~ 3) の設定でレジスタへの書き込みをチャンネルごとに禁止することができます。

書き込み禁止が可能なレジスタは、下記のとおりです。

表 22.10 書き込み保護対象レジスタ

レジスタシンボル	レジスタ名
GTIOR	汎用PWMタイマI/O制御レジスタ
GTINTAD	汎用PWMタイマ割り込み出力設定レジスタ
GTCR	汎用PWMタイマ制御レジスタ
GTBER	汎用PWMタイマバッファイネーブルレジスタ
GTUDC	汎用PWMタイマカウント方向レジスタ
GTITC	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ
GTST	汎用PWMタイマステータスレジスタ
GTCNT(LW)	汎用PWMタイマカウンタ
GTCRA(LW)~GTCCRF(LW)	汎用PWMタイマコンペアキャプチャレジスタA~F
GTPR(LW)	汎用PWMタイマ周期設定レジスタ
GTPBR(LW)	汎用PWMタイマ周期設定バッファレジスタ
GTPDBR(LW)	汎用PWMタイマ周期設定ダブルバッファレジスタ
GTADTRA(LW), GTADTRB(LW)	A/D変換開始要求タイミングレジスタA, B
GTADTBRA(LW), GTADTBRB(LW)	A/D変換開始要求タイミングバッファレジスタA, B
GTADTDBRA(LW), GTADTDBRB(LW)	A/D変換開始要求タイミングダブルバッファレジスタA, B
GTONCR	汎用PWMタイマ出力ネゲート制御レジスタ
GTDTCR	汎用PWMタイマデッドタイム制御レジスタ
GTDVU(LW), GTDVD(LW)	汎用PWMタイマデッドタイム値レジスタU, D
GTDBU(LW), GTDBD(LW)	汎用PWMタイマデッドタイムバッファレジスタU, D
GTSOTR	汎用PWMタイマ出力保護機能一時解除レジスタ

GTMDR.LWA01 ビットを“1”にすると、GTWP.WP0 ビットが“1”になり、GPT0 のレジスタは変更できなくなります。このとき、GTWP.WP0 ビットを“0”にすることはできません。また、GTWP.WP1 ビットはGPT01 のレジスタを制御するビットになります。

GTMDR.LWA23 ビットを“1”にすると、GTWP.WP2 ビットが“1”になり、GPT2 のレジスタは変更できなくなります。このとき、GTWP.WP2 ビットを“0”にすることはできません。また、GTWP.WP3 ビットはGPT23 のレジスタを制御するビットになります。

22.6.2 バッファ動作の抑止

バッファレジスタの書き込みがバッファ転送タイミングに間に合わない場合、GTBDR レジスタの設定でバッファ動作を禁止することができます。バッファレジスタの書き込み前に GTBDR レジスタの対応するビットを“1”（バッファ動作禁止）にしておき、すべてのバッファレジスタの書き込み終了後に“0”（バッファ動作許可）にすることで、バッファレジスタ書き込み中にバッファ転送条件が発生してもバッファ転送を一時的に禁止することができます。

図 22.81 にバッファ動作の抑止動作例を示します。

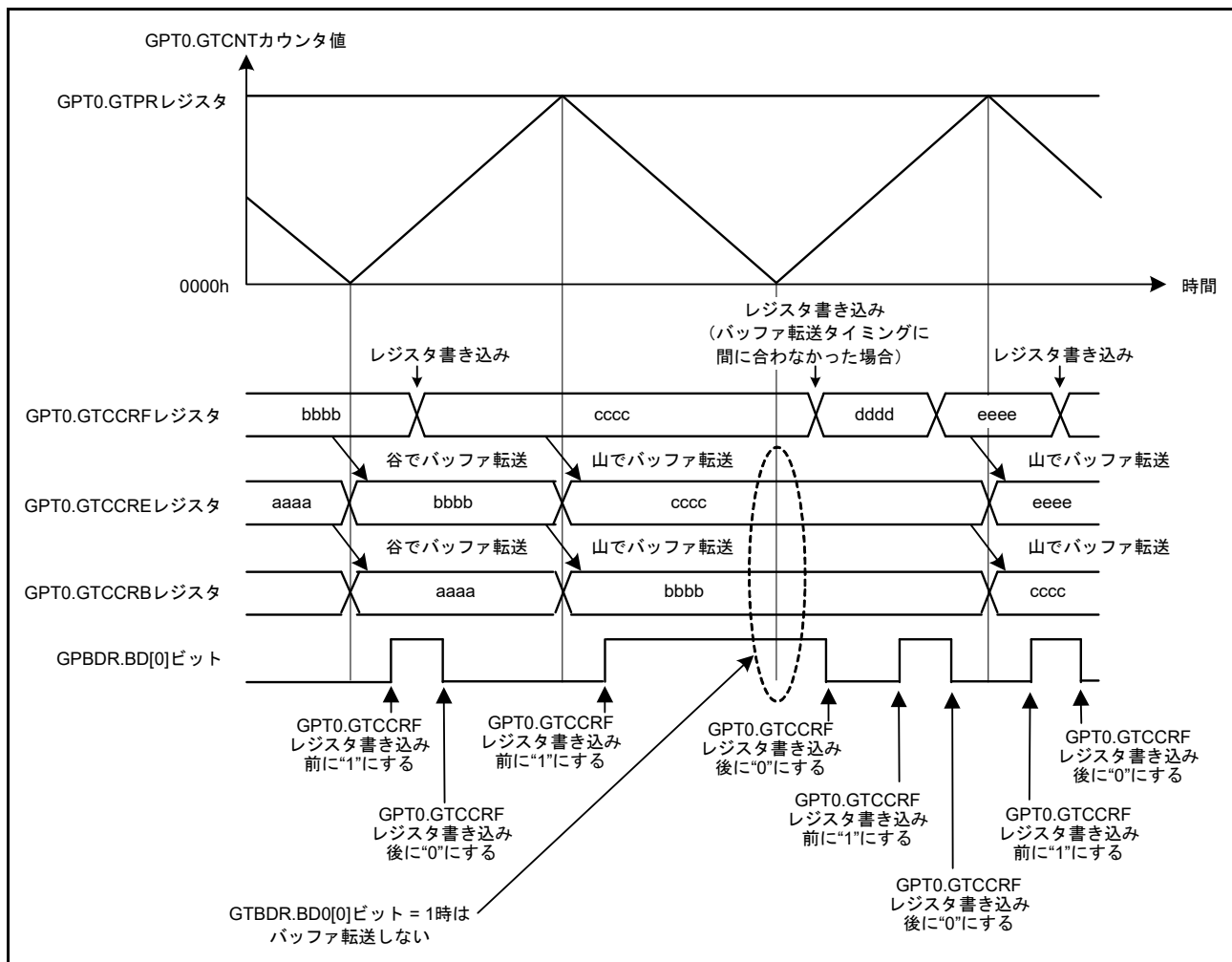


図 22.81 バッファ動作の抑止動作例（三角波、ダブルバッファ動作、谷 / 山両方でバッファ転送の場合）

22.6.3 GTIOC 端子出力のネゲート制御

ネゲート制御は、システム異常時の保護のため、GTIOC 端子出力を強制的に非アクティブレベル出力にする機能です。ネゲート制御要因としては、コンパレータ出力、GTETRG 端子入力、GTONCR.SWN ビットへの書き込みの3種類があります。

GTONCR.NFS[3:0] ビットでネゲート制御要因を選択、GTONCR.NFV ビットでネゲート要因の極性を選択します。出力する非アクティブレベルを GTONCR.NVA, NAB ビットで選択します。GTONCR.NEA, NEB ビットでネゲート制御を許可するとネゲート要因発生時に GTIOC 端子出力から GTONCR.NVA, NAB ビットで選択した非アクティブレベルを出力します。

図 22.82 に GTIOC 端子出力のネゲート制御動作例 (GTONCR.NFV ビットに“1”を設定、GTONCR.NVA ビットに“0”を設定) を示します。

なお、ネゲート制御が行われた場合、ネゲート制御要因が消滅しても同一周期内ではネゲート制御は解除されず、次の周期で解除されます。

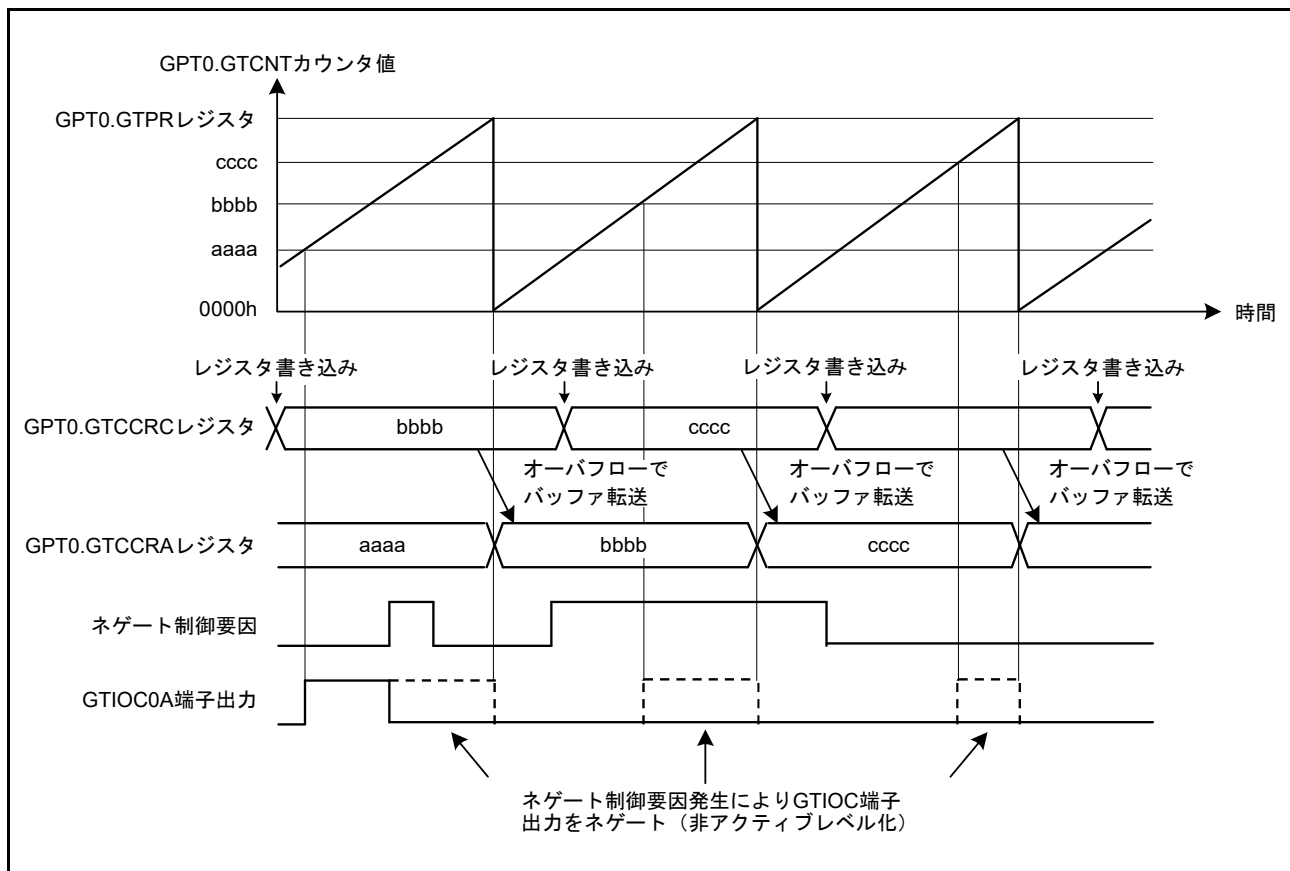


図 22.82 GTIOC 端子出力のネゲート制御動作例
(のこぎり波でアップカウント、バッファ動作、アクティブレベルは High (GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力))

22.6.4 GTIOC 端子出力の出力保護機能

三角波 PWM モードでデッドタイム自動設定 (GTDTCR.TDE ビットが“1”) をしているとき、GTCCRA(LW) レジスタに異常値 (“0000h (0000 0000h)”) または GTPR(LW) レジスタ設定値以上の値) が設定された場合、GTIOC 端子出力の出力保護機能 (抑止機能) が動作します。

出力保護機能の動作状態は、GTSOS.SOS[1:0] ビットで確認することができます。

谷のバッファ転送で GTPR(LW) 設定値以上の異常値が GTCCRA(LW) レジスタに転送され出力保護機能 (抑止機能) が動作 (GTSOS.SOS[1:0] = 10b のとき) した場合のみ、GTSOTR.SOTR ビットを“1”にして GTIOCnB 端子の出力保護機能を一時的に解除することができます。GTSOTR.SOTR ビットに“1”を設定した後、最初に現れる“谷”以降で出力保護機能を解除します。出力保護機能解除状態で、GTSOTR.SOTR ビットを“0”にすると、その後最初に現れる“谷”以降で出力保護機能が動作します。

図 22.83 に出力保護機能の状態遷移を示します。

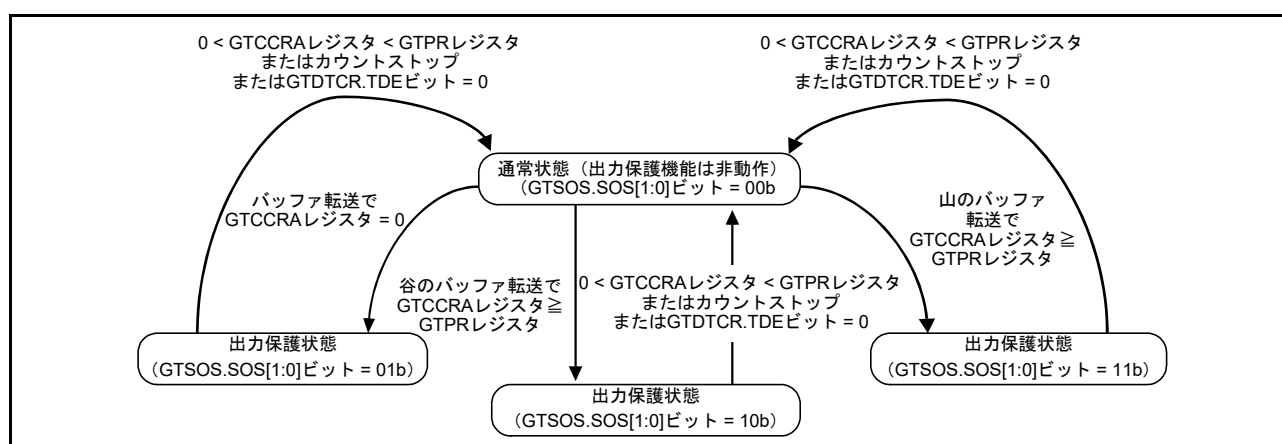


図 22.83 出力保護機能

(1) バッファ転送で GTCRA(LW) レジスタが “0000h (0000 0000h)” である場合の出力保護機能

図 22.84、図 22.85 に谷のバッファ転送で GTCRA レジスタが “0000h” である場合、図 22.86、図 22.87 に山のバッファ転送で GTCRA レジスタが “0000h” である場合の出力保護機能の動作例を示します。

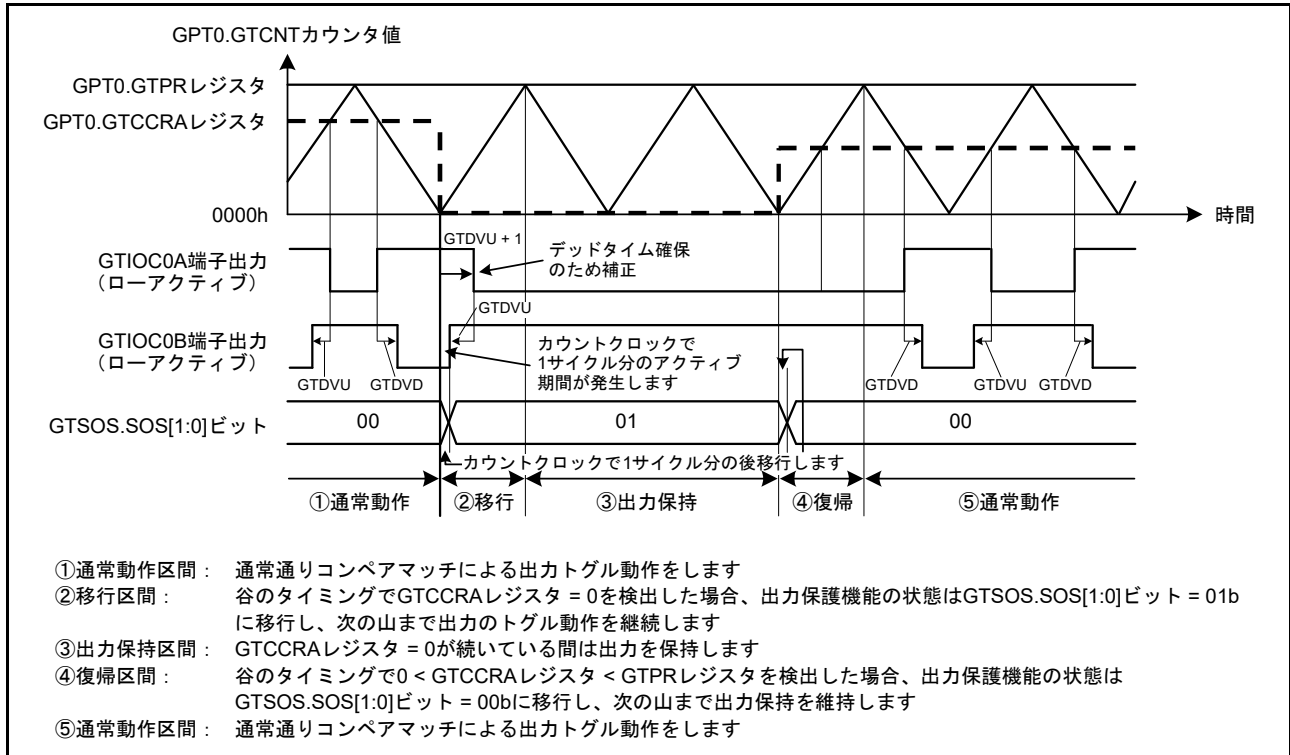


図 22.84 谷のバッファ転送で GTCRA レジスタが “0000h” である場合の出力保護機能の動作例 (谷のバッファ転送で $0 < \text{GTCRA レジスタ} < \text{GTPR レジスタ}$ に復帰、アクティブレベルは Low の場合)

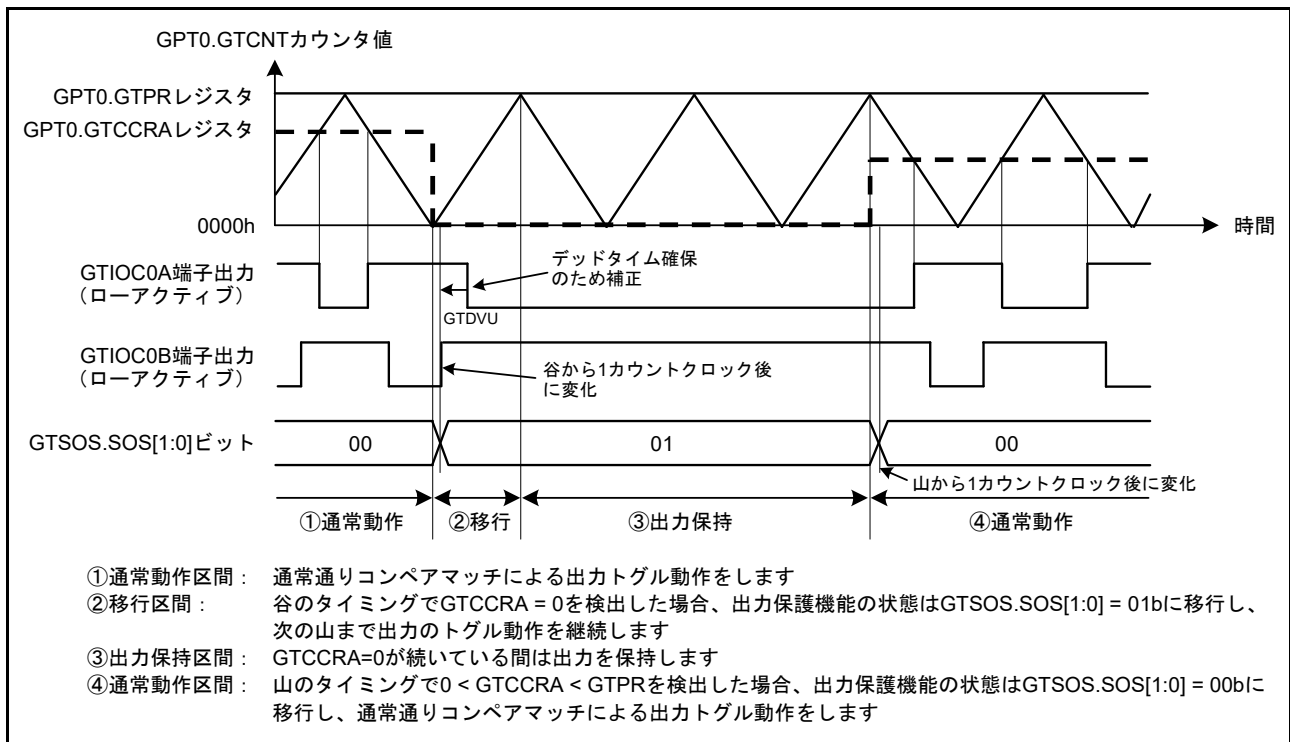


図 22.85 谷のバッファ転送で GTCCRA レジスタが“0000h”である場合の出力保護機能の動作例 (山のバッファ転送で $0 < GTCCRA$ レジスタ $< GTPR$ レジスタに復帰、アクティブレベルは Low の場合)

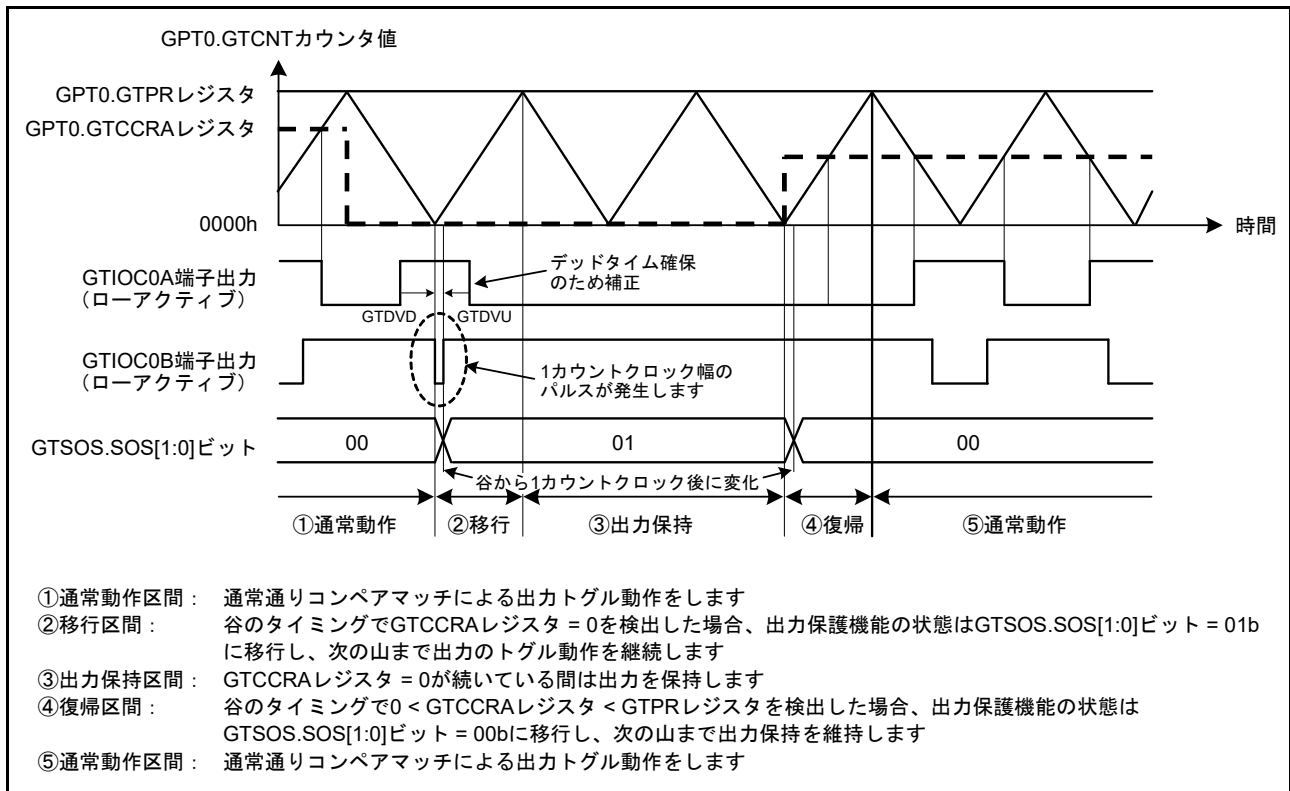


図 22.86 山のバッファ転送で GTCCRA レジスタが“0000h”である場合の出力保護機能の動作例 (谷のバッファ転送で $0 < GTCCRA$ レジスタ $< GTPR$ レジスタに復帰、アクティブレベルは Low の場合)

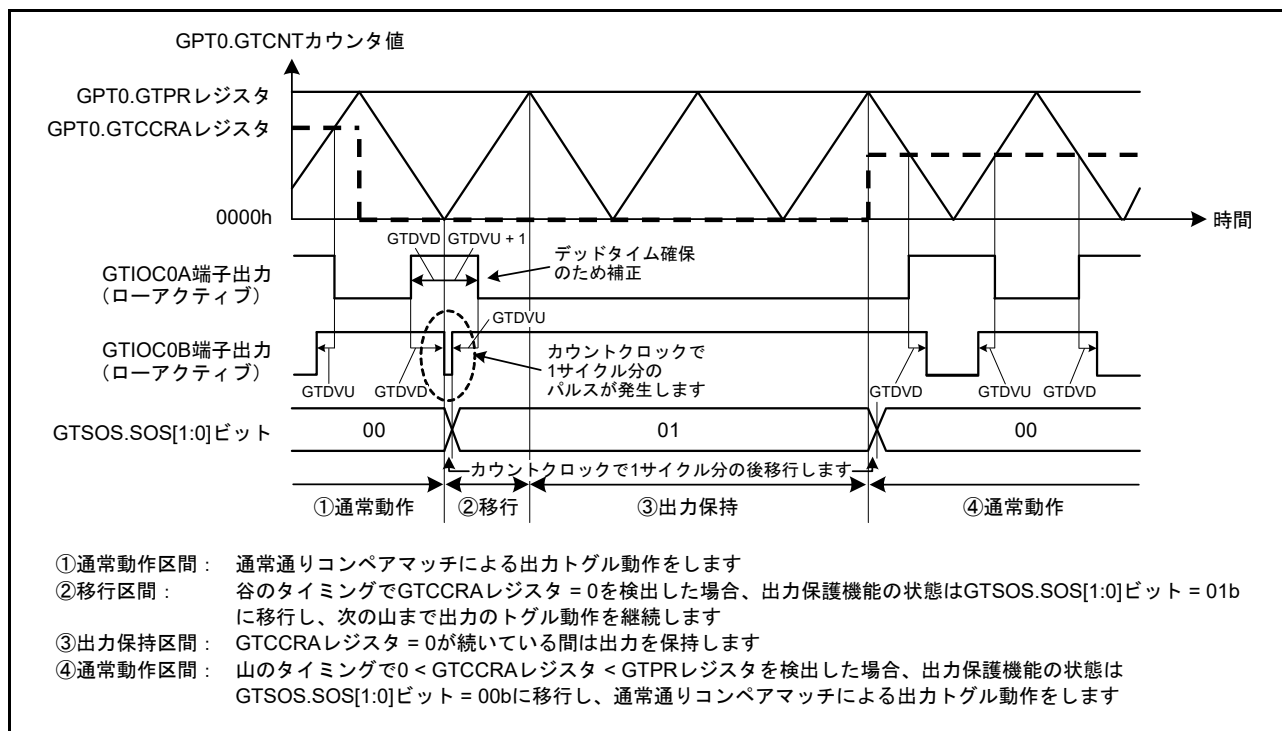


図 22.87 山のバッファ転送で GTCCRA レジスタが“0000h”である場合の出力保護機能の動作例
(山のバッファ転送で $0 < \text{GTCCRA レジスタ} < \text{GTPR レジスタ}$ に復帰、アクティブレベルは Low の場合)

(2) 谷のバッファ転送で GTCCRA(LW) レジスタ \geq GTPR(LW) レジスタが設定された場合の出力保護機能

図 22.88、図 22.89 に谷のバッファ転送で GTCCRA レジスタ \geq GTPR レジスタが設定された場合の出力保護機能の動作例を示します。

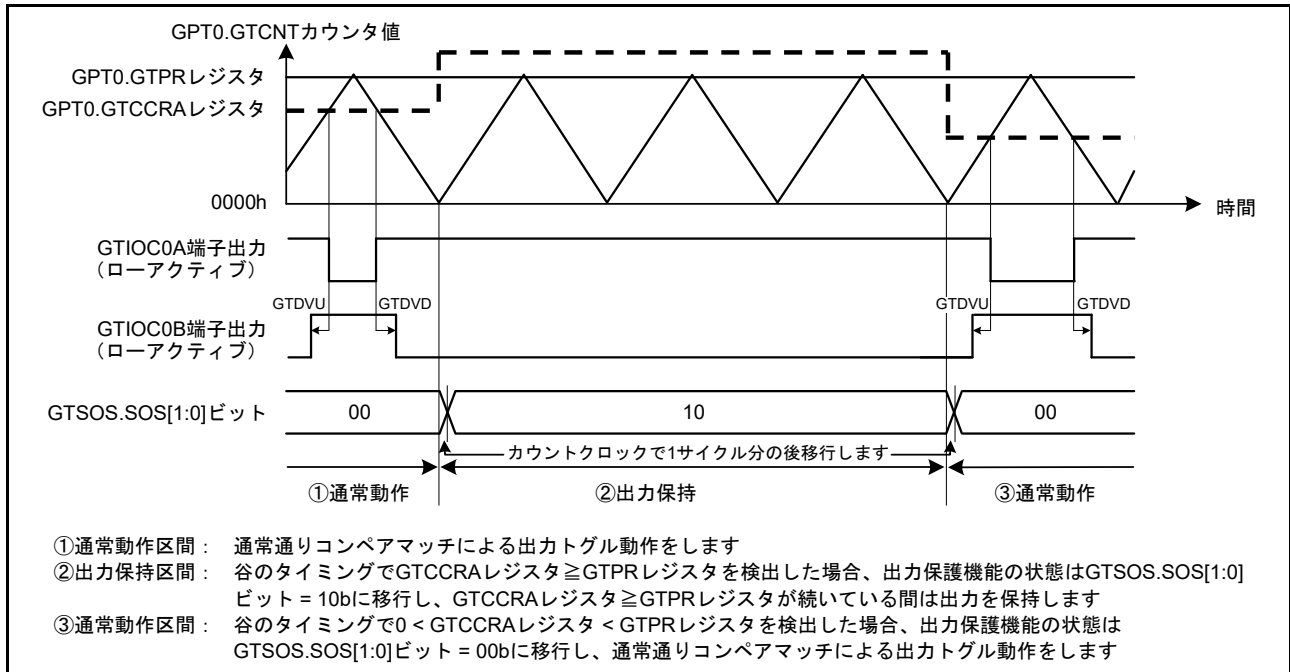


図 22.88 谷のバッファ転送で GTCCRA レジスタ \geq GTPR レジスタが設定された場合の出力保護機能の動作例 (谷のバッファ転送で $0 < GTCCRA$ レジスタ $< GTPR$ レジスタに復帰、アクティブレベルは Low の場合)

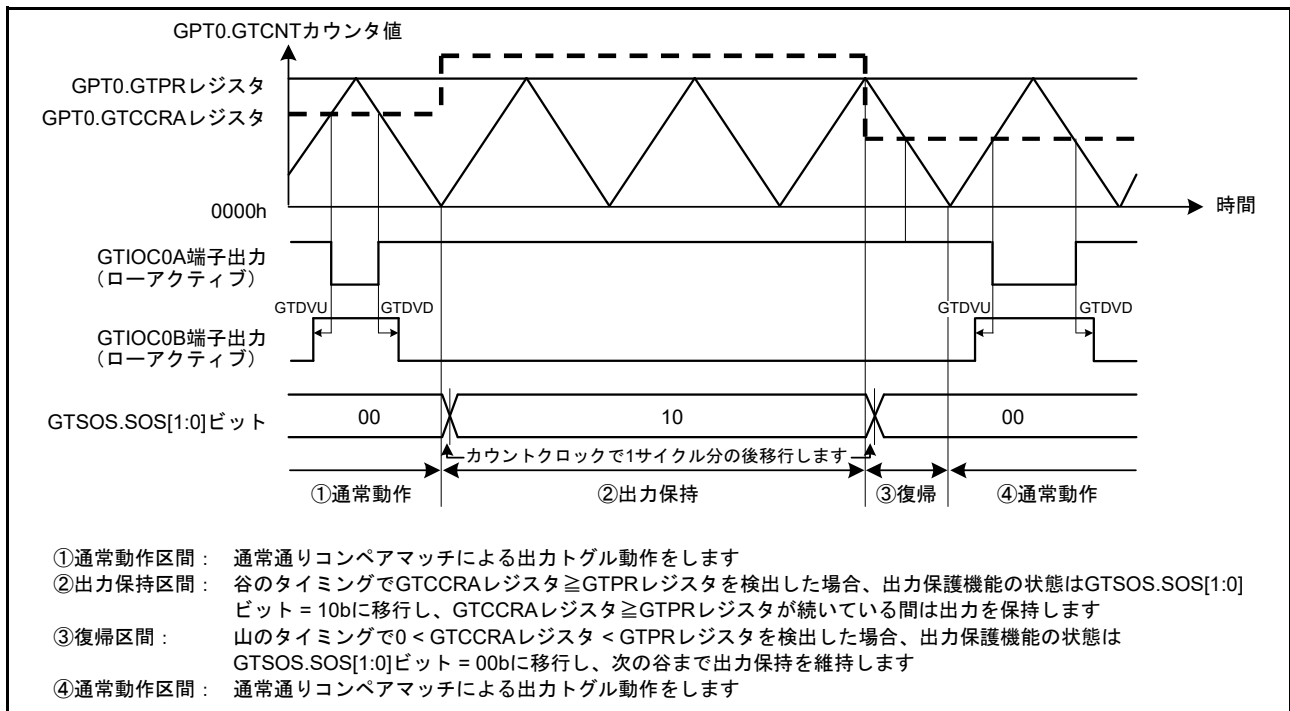


図 22.89 谷のバッファ転送で GTCCRA レジスタ \geq GTPR レジスタが設定された場合の出力保護機能の動作例 (山のバッファ転送で $0 < GTCCRA$ レジスタ $< GTPR$ レジスタに復帰、アクティブレベルは Low の場合)

(3) 山のバッファ転送で GTCCRA(LW) レジスタ \geq GTPR(LW) レジスタが設定された場合の出力保護機能

図 22.90、図 22.91 に山のバッファ転送で GTCCRA レジスタ \geq GTPR レジスタが設定された場合の出力保護機能の動作例を示します。

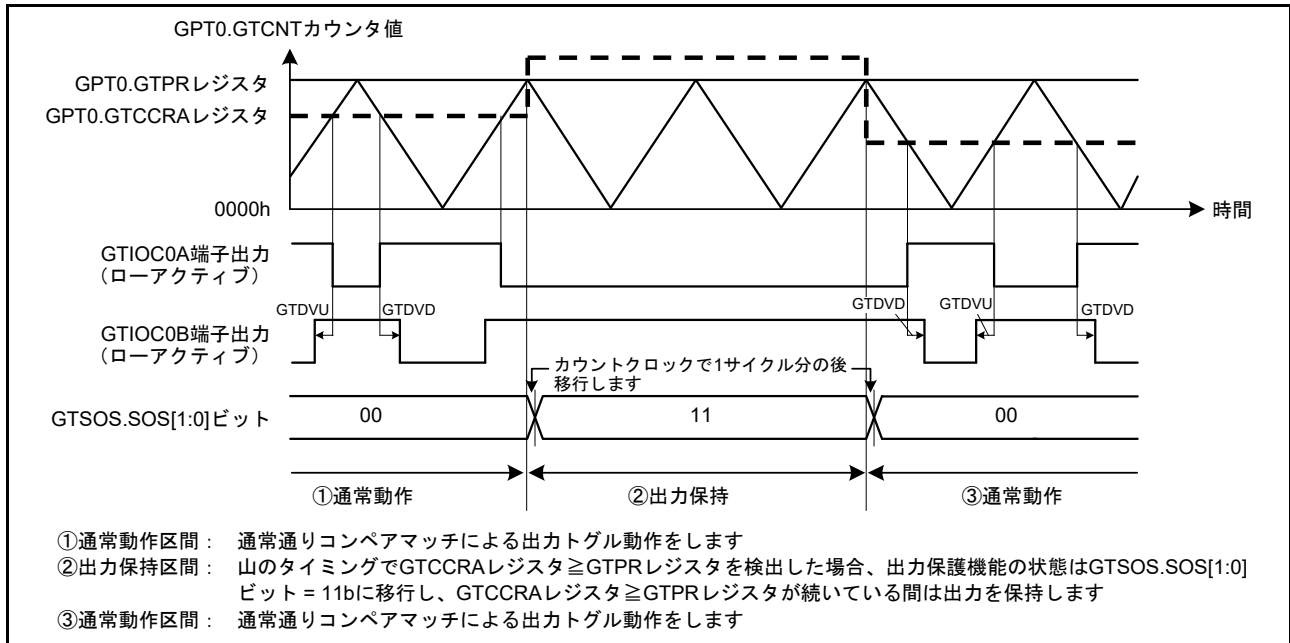


図 22.90 山のバッファ転送で GTCCRA レジスタ \geq GTPR レジスタが設定された場合の出力保護機能の動作例 (山のバッファ転送で $0 < \text{GTCCRA レジスタ} < \text{GTPR レジスタ}$ に復帰、アクティブレベルは Low の場合)

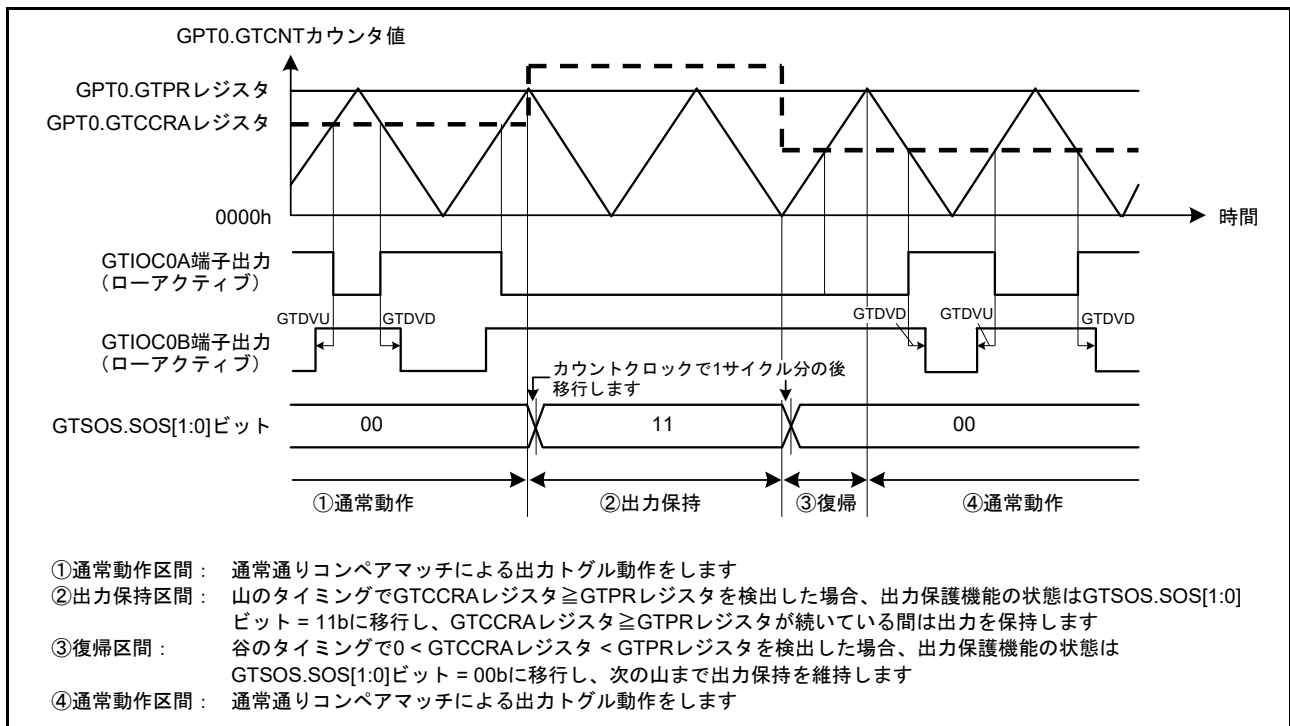


図 22.91 山のバッファ転送で GTCCRA レジスタ \geq GTPR レジスタが設定された場合の出力保護機能の動作例 (谷のバッファ転送で $0 < \text{GTCCRA レジスタ} < \text{GTPR レジスタ}$ に復帰、アクティブレベルは Low の場合)

(4) 出力保護機能の注意事項

出力保護機能は、カウント動作中に GTCRA(LW) レジスタに異常値 (“0000h (0000 0000h)” または GTPR(LW) レジスタ設定値以上の値) が設定された場合にも正相 / 逆相出力のうちどちらかが非アクティブ出力となるように機能しますが、下記の条件を満足しない場合、正常に機能しません。

- カウント開始時の GTCRA(LW) レジスタの値が “0000 0001h” 以上 GTPR(LW) レジスタ設定値未満
- 山のバッファ転送時に、 $GTCRA(LW) - GTDVD(LW) < GTPR(LW) - 1$ を満たしている
- 谷のバッファ転送時に $GTCRA(LW) \geq GTPR(LW)$ とする場合、 $GTCRA(LW) - GTDVU(LW) > 1$ を満たしている

(5) 出力保護機能一時解除

GTSOS.SOS[1:0] ビットが “10b” (谷の転送で $GTCRA(LW) \geq GTPR(LW)$) となったことを示す保護状態の場合、GTSOTR.SOTR ビットを “1” にすると、GTIOCnB 端子出力の保護状態を一時的に解除できます。出力保護機能を解除しても、GTSOS.SOS[1:0] ビットは “10b” を保持します。

また、SOTR ビットを “0” にすると、GTIOCnB 端子出力保護を再開できます。

図 22.92 に谷のバッファ転送で $GTCRA \geq GTPR$ が設定された場合の出力保護機能一時解除の動作例を示します。

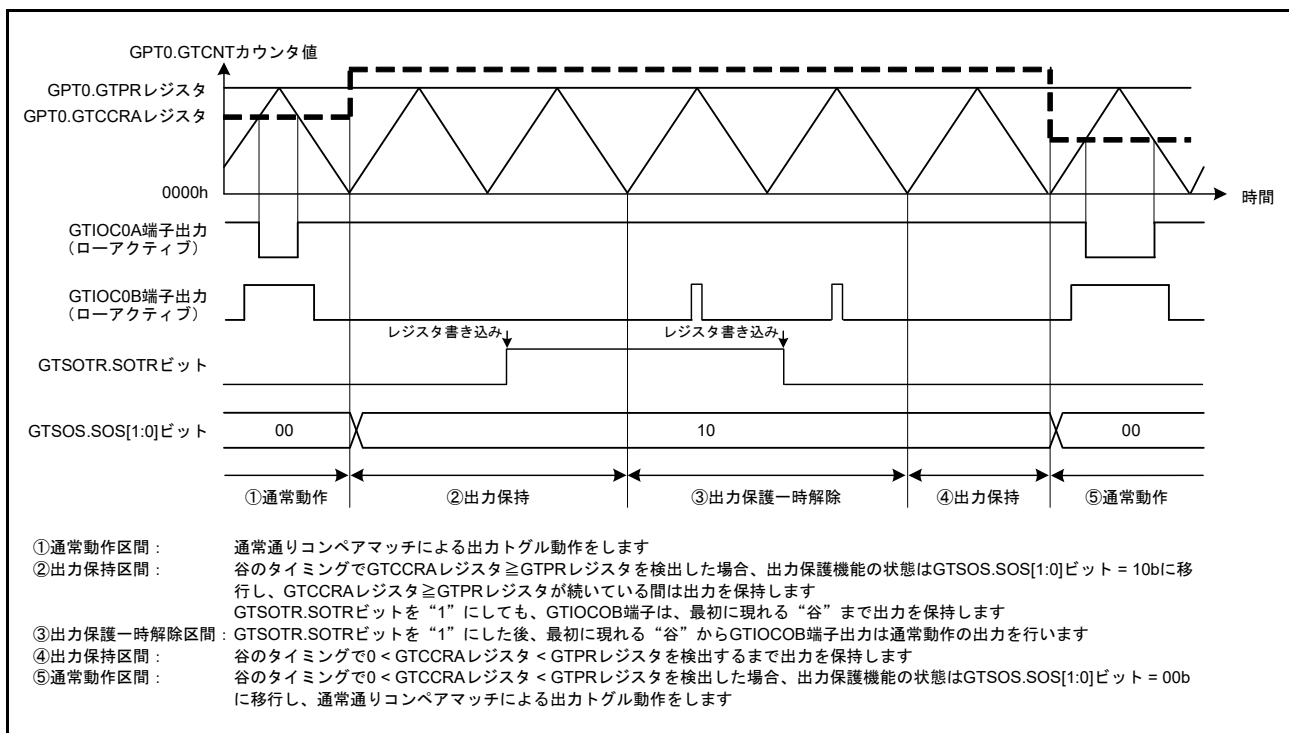


図 22.92 谷のバッファ転送で $GTCRA \geq GTPR$ が設定された場合の出力保護機能一時解除の動作例 (谷のバッファ転送で $0 < GTCRA < GTPR$ に復帰、アクティブレベルは Low の場合)

22.6.5 POE 機能による GTIOC 端子出力のハイインピーダンス制御

システム異常時の保護のため、POE 機能により、GTIOC 端子出力のハイインピーダンス制御が可能です。詳細は、「21. ポートアウトプットイネーブル 3 (POE3b, POE3A)」を参照してください。

22.7 出力端子の初期化方法

22.7.1 リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。ポートのモード選択設定 (PMR, PmnPFS レジスタ)、GTIOR レジスタと GTONCR.OAE, OBE ビットの設定を行い、GPT 機能を外部端子に出力した後、カウント動作を開始してください。

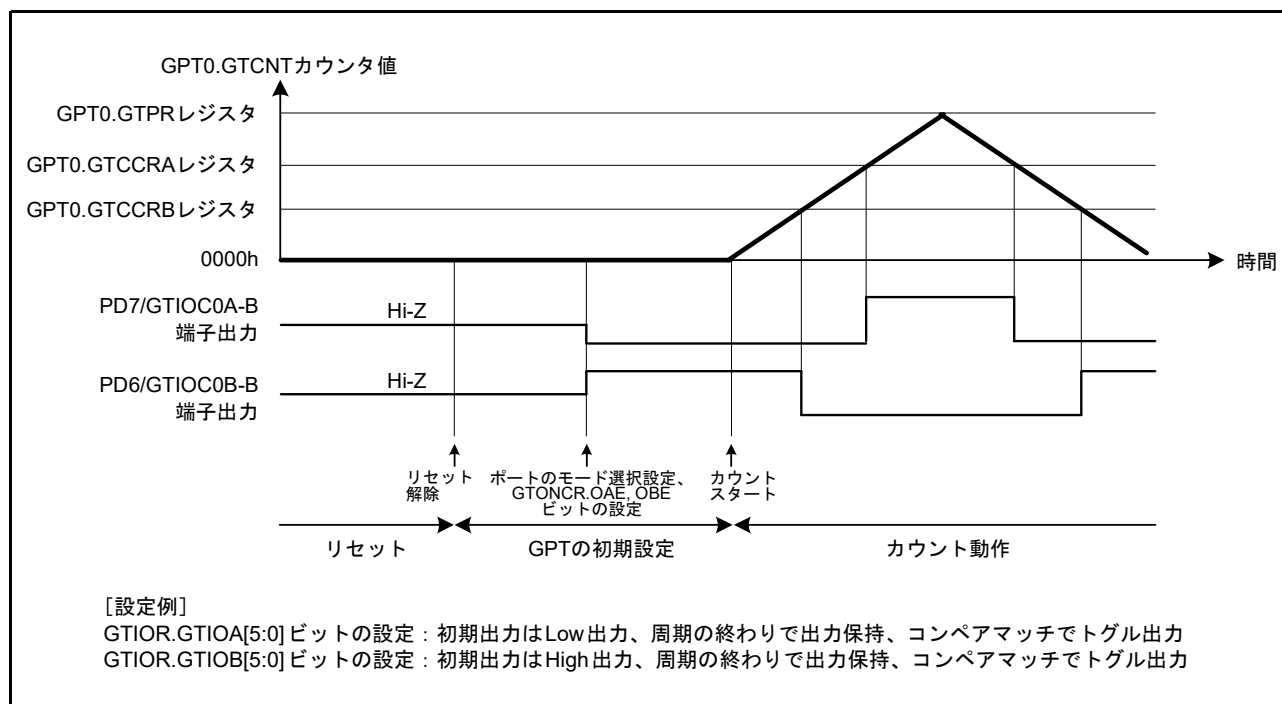


図 22.93 リセット後の端子設定例

22.7.2 動作中の異常などによる端子の初期化

GPT の動作中に異常などが発生して端子を初期化するまでの端子処理として、下記の方法があります。

- (1) GTIOR.OAHL, OBHL ビットを“1”にしておき、カウントストップ時に出力を保持
- (2) GTIOR.OAHL, OBHL ビットを“0”にし、GTIOR.OADFLT, OBDFLT ビットに任意の出力値を設定しておき、カウントストップ時に任意の値を出力
- (3) あらかじめ I/O ポートの PDR, PODR レジスタと PMR レジスタで汎用出力ポート時に任意の値を出力する設定をしておき、異常発生時に GTONCR.OAE, OBE ビットを“0”に、PMR レジスタの当該端子の制御ビットを“0”にして、端子を汎用出力ポートとして任意の値を出力
- (4) POE 機能を使用し、出力をハイインピーダンス化

デッドタイムの自動設定を行っている場合は、カウントストップ後に GTDTCR.TDE ビットをいったん“0”にしてください。

カウントストップ時、GPT 以外の外部要因によって変化するレジスタ以外は変化しません。カウント動作を再開すれば継続して動作します。

カウント動作をストップした場合は、各レジスタを初期化してからカウント動作を再開してください。

22.8 使用上の注意事項

22.8.1 モジュールストップ機能の設定

GPTは、モジュールストップコントロールレジスタにより、GPTの動作禁止/許可を設定することが可能です。リセット後、GPTは動作を停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

22.8.2 コンペアマッチ動作時の GTCCRm(LW) レジスタの設定 (m = A ~ F)

(1) 三角波 PWM モードでデッドタイムの自動設定を行っている場合

GTCCRA(LW) レジスタは、

$$\text{GTCCRA(LW)} > \text{GTDVU(LW)}$$

$$\text{GTCCRA(LW)} > \text{GTDVD(LW)}$$

$$\text{GTCCRA(LW)} < \text{GTPR(LW)}$$

を満たすように設定してください。

カウント動作中に GTCCRA(LW) レジスタに“0000h (0000 0000h)”もしくは GTPR(LW) レジスタ設定値以上の値が設定されると出力保護機能が動作します。ただし、下記の条件を満足しない場合、正常に機能しません。

- カウント開始時のGTCCRA(LW)レジスタの値が“0001h (0000 0001h)”以上GTPR(LW)レジスタ設定値未満
- 山のバッファ転送時に、 $\text{GTCCRA(LW)} - \text{GTDVD(LW)} < \text{GTPR(LW)} - 1$ を満たしている
- 谷のバッファ転送時に $\text{GTCCRA(LW)} \geq \text{GTPR(LW)}$ とする場合、 $\text{GTCCRA(LW)} - \text{GTDVU(LW)} > 1$ を満たしている

詳細は、「22.6.4 GTIOC 端子出力の出力保護機能」を参照してください。

(2) 三角波 PWM モードでデッドタイムの自動設定を行っていない場合

GTCCRA(LW) レジスタには、“1”以上 GTPR(LW) レジスタ設定値未満の値を設定してください。

GTCCRA(LW) レジスタに“0000h (0000 0000h)”もしくは GTPR(LW) レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、 $\text{GTCCRA(LW)} = 0000\text{h (0000 0000h)}$ もしくは $\text{GTCCRA(LW)} = \text{GTPR(LW)}$ が成立したときのみとなります。また、GTCCRA(LW) レジスタに GTPR(LW) レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB(LW) レジスタには、“0001h (0000 0001h)”以上 GTPR(LW) レジスタ設定値未満の値を設定してください。GTCCRB(LW) レジスタに“0000h (0000 0000h)”もしくは GTPR(LW) レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、 $\text{GTCCRB(LW)} = 0000\text{h (0000 0000h)}$ もしくは $\text{GTCCRB(LW)} = \text{GTPR(LW)}$ が成立したときのみとなります。また、GTCCRB(LW) レジスタに GTPR(LW) レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っている場合

GTCCRC(LW), GTCCRD(LW) レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合はデッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時：
 - $\text{GTCCRC(LW)} < \text{GTCCRD(LW)}$
 - $\text{GTCCRC(LW)} > \text{GTDVU(LW)}$
 - $\text{GTCCRD(LW)} < \text{GTPR(LW)} - \text{GTDVD(LW)}$
- ダウンカウント時：
 - $\text{GTCCRC(LW)} > \text{GTCCRD(LW)}$

$$GTCCRC(LW) < GTPR(LW) - GTDVU(LW)$$

$$GTCCRD(LW) > GTDVD(LW)$$

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っていない場合

GTCCRC(LW), GTCCRD(LW) レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合は、コンペアマッチが2回発生せず、パルス出力が得られません。

- アップカウント時： $0 < GTCCRC(LW) < GTCCRD(LW) < GTPR(LW)$
- ダウンカウント時： $GTPR(LW) > GTCCRC(LW) > GTCCRD(LW) > 0$

同様に、GTCCRE(LW), GTCCRF(LW) レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合はコンペアマッチが2回発生せず、パルス出力が得られません。

- アップカウント時： $0 < GTCCRE(LW) < GTCCRF(LW) < GTPR(LW)$
- ダウンカウント時： $GTPR(LW) > GTCCRE(LW) > GTCCRF(LW) > 0$

(5) のこぎり波 PWM モードの場合

GTCCRA(LW) レジスタには、“0001h (0000 0001h)”以上 GTPR(LW) レジスタ設定値未満の値を設定してください。GTCCRA(LW) レジスタに“0000h (0000 0000h)”もしくは GTPR(LW) レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRA(LW) = 0000h (0000 0000h) もしくは GTCCRA(LW) = GTPR(LW) が成立したときのみとなります。また、GTCCRA(LW) レジスタに GTPR(LW) レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB(LW) レジスタには、“0001h (0000 0001h)”以上 GTPR(LW) レジスタ設定値未満の値を設定してください。GTCCRB(LW) レジスタに“0000h (0000 0000h)”もしくは GTPR(LW) レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRB(LW) = 0000h (0000 0000h) もしくは GTCCRB(LW) = GTPR(LW) が成立したときのみとなります。また、GTCCRB(LW) レジスタに GTPR(LW) レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

22.8.3 タイマの安全な停止方法

GTSTR レジスタの書き込みによるタイマの停止と GPT のコンペアマッチ割り込みのタイミングが競合した場合、GTSTR レジスタの書き込み後に割り込みが発生する場合があります。

以下の手順でタイマの停止を行うと、停止後にコンペアマッチ割り込みが発生することがなく、安全にタイマを停止させることができます。

- (1) ICU の IER レジスタで GPT の割り込み要求を禁止にする
- (2) GTINTAD レジスタで割り込み要求を禁止にする
- (3) GTSTR.CSTn ビットを“0”にする

22.8.4 カウンタ動作の各イベントの優先順序

(1) GTCNT(LW) カウンタへの書き込みとクリアの競合

GTCNT(LW) カウンタへの書き込みサイクル中にカウンタクリア信号が発生しても、GTCNT(LW) カウンタはクリアされずに、GTCNT(LW) カウンタへの書き込みが優先されます。

(2) GTSTR.CSTn ビットへの書き込みとハードウェア要因の競合

GTSTR.CSTn ビット (n=0~3) への書き込みサイクル中にハードウェア要因が発生した場合、ハードウェア要因による CSTn ビットの自動セット/リセットは行われず、CSTn ビットへの書き込みが優先されます。

(3) GTSTR.CSTn ビットへのハードウェア要因によるセットとリセットの競合

GTSTR.CSTn ビット (n=0~3) へのハードウェア要因によるセットとリセットが同時に発生した場合、自動セットが優先されます。

(4) GTCCRm(LW) レジスタへのアクセスとインプットキャプチャ/バッファ転送の競合

GTCCRm(LW) レジスタ (m=A~F) への書き込みとインプットキャプチャ/バッファ転送が競合した場合、インプットキャプチャ/バッファ転送は行われず、GTCCRm(LW) レジスタへの書き込みが優先されます。

GTCCRm(LW) レジスタからの読み出しとインプットキャプチャ/バッファ転送が競合した場合、更新前のデータが読み出されます。

(5) GTPR(LW) レジスタへのアクセスとバッファ転送の競合

GTPR(LW) レジスタへの書き込みとバッファ転送が競合した場合、バッファ転送は行われず、GTPR(LW) レジスタへの書き込みが優先されます。

GTPR(LW) レジスタの読み出しとバッファ転送が競合した場合、更新前のデータが読み出されます。

(6) GTADTRm(LW) レジスタへのアクセスとバッファ転送の競合

GTADTRm(LW) レジスタ (m=A, B) への書き込みとバッファ転送が競合した場合、バッファ転送は行われず、GTADTRm(LW) レジスタへの書き込みが優先されます。

GTADTRm(LW) レジスタの読み出しとバッファ転送が競合した場合、更新前のデータが読み出されます。

(7) GTDVM(LW) レジスタへのアクセスとバッファ転送の競合

GTDVm(LW) レジスタ (m=U, D) への書き込みとバッファ転送が競合した場合、バッファ転送は行われず、GTDVm(LW) レジスタへの書き込みが優先されます。

GTDVm(LW) レジスタの読み出しとバッファ転送が競合した場合、更新前のデータが読み出されます。

22.8.5 GTMDR レジスタの設定

GTMDR.LWA01 ビットの値を書き換えると、GPT0、GPT1、GPT01 の一部のレジスタと、共通レジスタ内の GPT0、GPT1、GPT01 を制御するビットがリセットされます。

GTMDR.LWA23 ビットの値を書き換えると、GPT2、GPT3、GPT23 の一部のレジスタと、共通レジスタ内の GPT2、GPT3、GPT23 を制御するビットがリセットされます。

GTMDR レジスタの書き込みによってチャンネル構成を変更する場合は、カウンタが停止した状態で、他のレジスタ設定よりも前に行ってください。

22.8.6 カウント停止時の端子出力

カウント停止時の端子の出力レベルは GTIOR レジスタで設定しますが、その出力は GTCR.TPCS[3:0] ビットで設定したクロックに同期して変化します。

選択したクロックの周波数が低い場合、カウント停止中に GTIOR レジスタを書き換えても、カウントを開始するまでに出力が変化しないことがあります。このような場合、GTCR.TPCS[3:0] ビットを“0000b”にしてから GTIOR レジスタを設定し、再び TPCS[3:0] ビットに所望の値を設定してください。

23. 8ビットタイマ (TMR)

本MCUは、8ビットのカウンタをベースにした2チャンネルの8ビットタイマ (TMR) を4ユニット (ユニット0、ユニット1、ユニット2、ユニット3)、合計8チャンネル内蔵しています。外部イベントのカウントが可能なほか、2本のレジスタとのコンペアマッチ信号により、カウンタのクリア、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

ユニット0、ユニット1、ユニット2、ユニット3は同一機能です。ユニット0とユニット1は、SCIのボーレートクロックを生成することができます。

本章に記載しているPCLKとはPCLKBを指します。

23.1 概要

表23.1にTMRの仕様を、表23.2、表23.3にTMRの機能一覧を示します。

図23.1にユニット0、図23.2にユニット1、図23.3にユニット2、図23.4にユニット3のブロック図を示します。

表23.1 TMRの仕様

項目	仕様
カウントクロック	<ul style="list-style-type: none"> 内部クロック：PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 外部クロック：外部カウントクロック
チャンネル数	(8ビット×2チャンネル) × 4ユニット
コンペアマッチ	<ul style="list-style-type: none"> 8ビットモード (コンペアマッチA、コンペアマッチB) 16ビットモード (コンペアマッチA、コンペアマッチB)
カウンタクリア	コンペアマッチA、コンペアマッチB、外部カウンタリセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM出力
2チャンネルのカスケード接続	<ul style="list-style-type: none"> 16ビットカウントモード TMR0を上位、TMR1を下位 (TMR2を上位、TMR3を下位、TMR4を上位、TMR5を下位、TMR6を上位、TMR7を下位) とする16ビットタイマ コンペアマッチカウントモード TMR1はTMR0のコンペアマッチをカウント (TMR3はTMR2のコンペアマッチをカウント、TMR5はTMR4のコンペアマッチをカウント、TMR7はTMR6のコンペアマッチをカウント)
割り込み要因	コンペアマッチA、コンペアマッチB、オーバフロー
DTCの起動	コンペアマッチA割り込み、コンペアマッチB割り込みにより起動可能
A/Dコンバータの変換開始トリガ	TMR0、TMR2、TMR4、TMR6のコンペアマッチA
SCIのボーレートクロック生成	SCIのボーレートクロックを生成 (注1)
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

注1. 詳細は「26. シリアルコミュニケーションインタフェース (SCIg)」を参照してください。

表23.2 TMRの機能一覧 (1)

項目		ユニット0			ユニット1		
		8ビット		16ビット	8ビット		16ビット
カウンタモード		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
チャネル		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
カウントクロック		PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi0	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi2	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi3	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi3
カウンタクリア		TMR0.TCORA TMR0.TCORB TMRi0	TMR1.TCORA TMR1.TCORB TMRi1	TMR0.TCORA + TMR1.TCORA TMR0.TCORB + TMR1.TCORB TMRi0	TMR2.TCORA TMR2.TCORB TMRi2	TMR3.TCORA TMR3.TCORB TMRi3	TMR2.TCORA + TMR3.TCORA TMR2.TCORB + TMR3.TCORB TMRi2
コンペア マッチ	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
タイマ出力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
DTCの起動	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフロー	—	—	—	—	—	—
割り込み	コンペアマッチA	CMIA0	CMIA1	CMIA0	CMIA2	CMIA3	CMIA2
	コンペアマッチB	CMIB0	CMIB1	CMIB0	CMIB2	CMIB3	CMIB2
	TCNTのオーバフロー	OVI0	OVI1	OVI0	OVI2	OVI3	OVI2
カスケード接続		TMR1の オーバフロー	TMR0の コンペアマッチA	—	TMR3の オーバフロー	TMR2の コンペアマッチA	—
A/Dコンバータの変換開始トリガ (注1)		○	—	○	○	—	○
SCIのボーレートクロックの生成 (注2)		○		—	○		—
モジュールストップの設定 (注3)		(ユニット0) MSTPCRA.MSTPA5 ビット、(ユニット1) MSTPCRA.MSTPA4 ビット					

表 23.3 TMRの機能一覧 (2)

項目		ユニット2			ユニット3		
		8ビット		16ビット	8ビット		16ビット
カウンタモード		TMR4	TMR5	TMR4 + TMR5	TMR6	TMR7	TMR6 + TMR7
チャンネル		TMR4	TMR5	TMR4 + TMR5	TMR6	TMR7	TMR6 + TMR7
カウントクロック		PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi4	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi5	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi5	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi6	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi7	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi7
カウンタクリア		TMR4.TCORA TMR4.TCORB TMRi4	TMR5.TCORA TMR5.TCORB TMRi5	TMR4.TCORA + TMR5.TCORA TMR4.TCORB + TMR5.TCORB TMRi4	TMR6.TCORA TMR6.TCORB TMRi6	TMR7.TCORA TMR7.TCORB TMRi7	TMR6.TCORA + TMR7.TCORA TMR6.TCORB + TMR7.TCORB TMRi6
コンペア マッチ	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
タイマ出力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
DTCの起動	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフロー	—	—	—	—	—	—
割り込み	コンペアマッチA	CMIA4	CMIA5	CMIA4	CMIA6	CMIA7	CMIA6
	コンペアマッチB	CMIB4	CMIB5	CMIB4	CMIB6	CMIB7	CMIB6
	TCNTのオーバフロー	OVI4	OVI5	OVI4	OVI6	OVI7	OVI6
カスケード接続		TMR5の オーバフロー	TMR4の コンペアマッチA	—	TMR7の オーバフロー	TMR6の コンペアマッチA	—
A/Dコンバータの変換開始トリガ (注1)		○	—	○	○	—	○
SCIのボーレートクロックの生成 (注2)		—	—	—	—	—	—
モジュールストップの設定 (注3)		(ユニット2) MSTPCRA.MSTPA3 ビット、(ユニット3) MSTPCRA.MSTPA2 ビット					

○：可能

—：不可能

注1. 詳細は「31. 12ビットA/Dコンバータ (S12ADF)」を参照してください。

注2. 詳細は「26. シリアルコミュニケーションインタフェース (SCIg)」を参照してください。

注3. 詳細は「11. 消費電力低減機能」を参照してください。

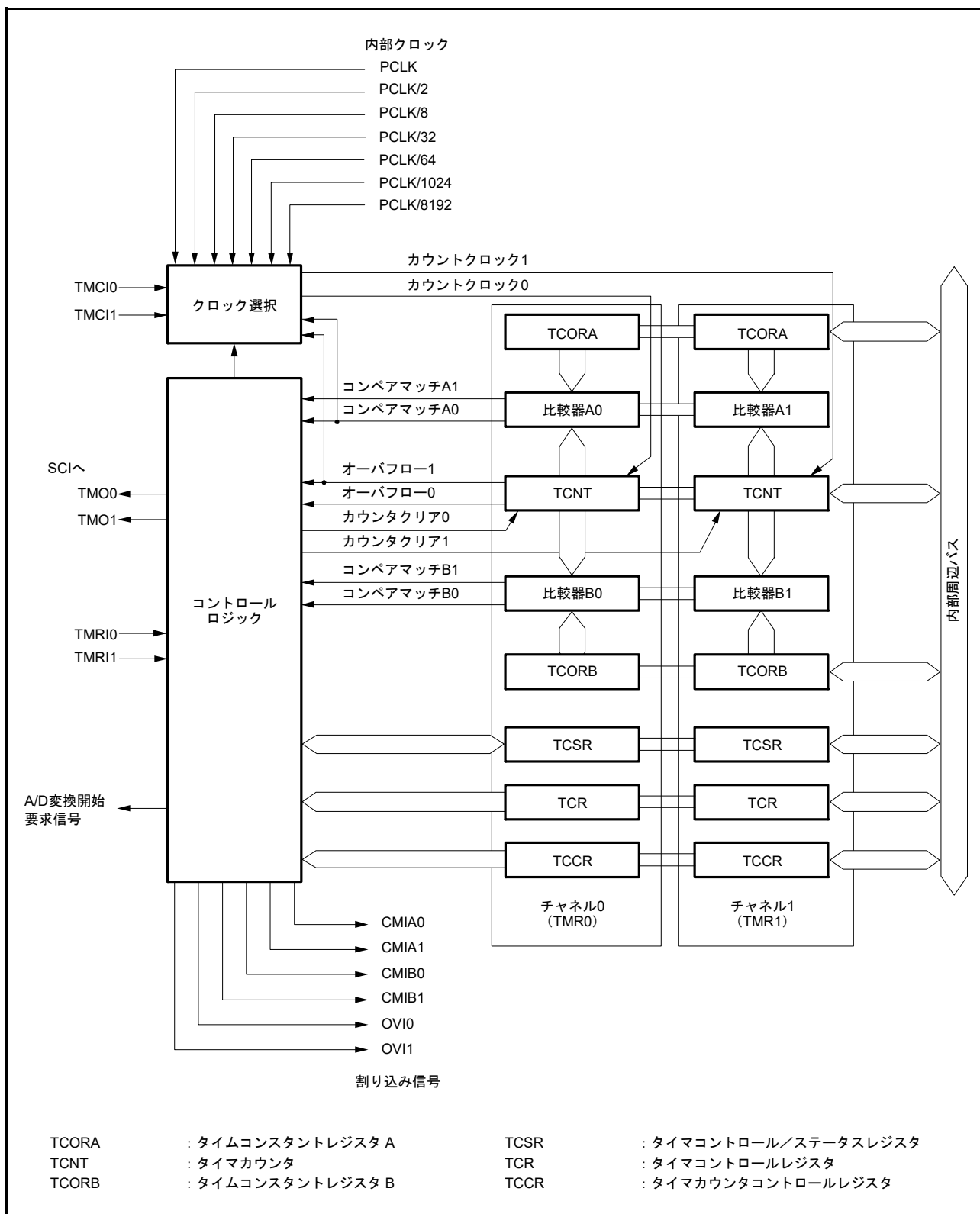


図 23.1 TMR (ユニット 0) のブロック図

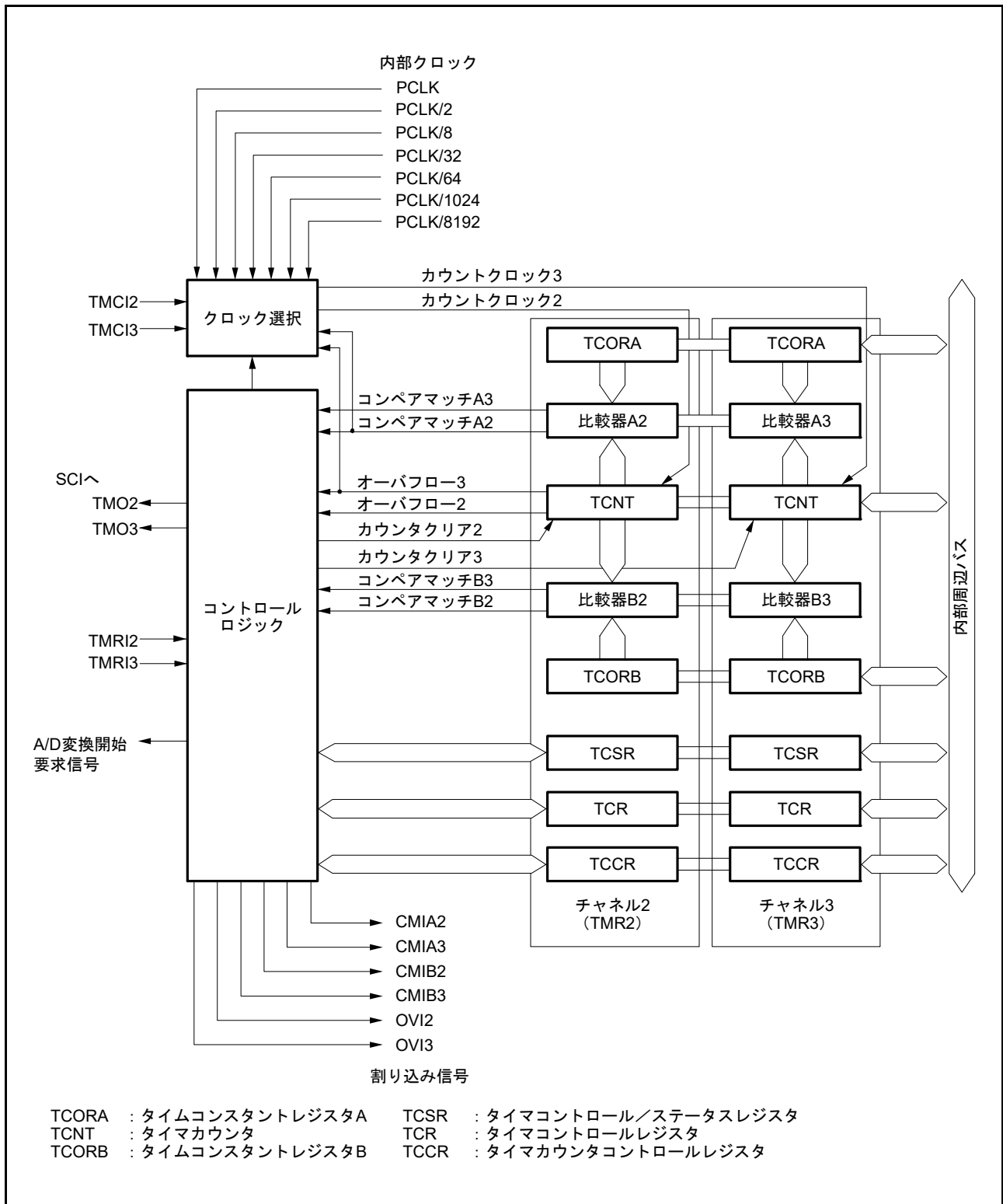


図 23.2 TMR (ユニット 1) のブロック図

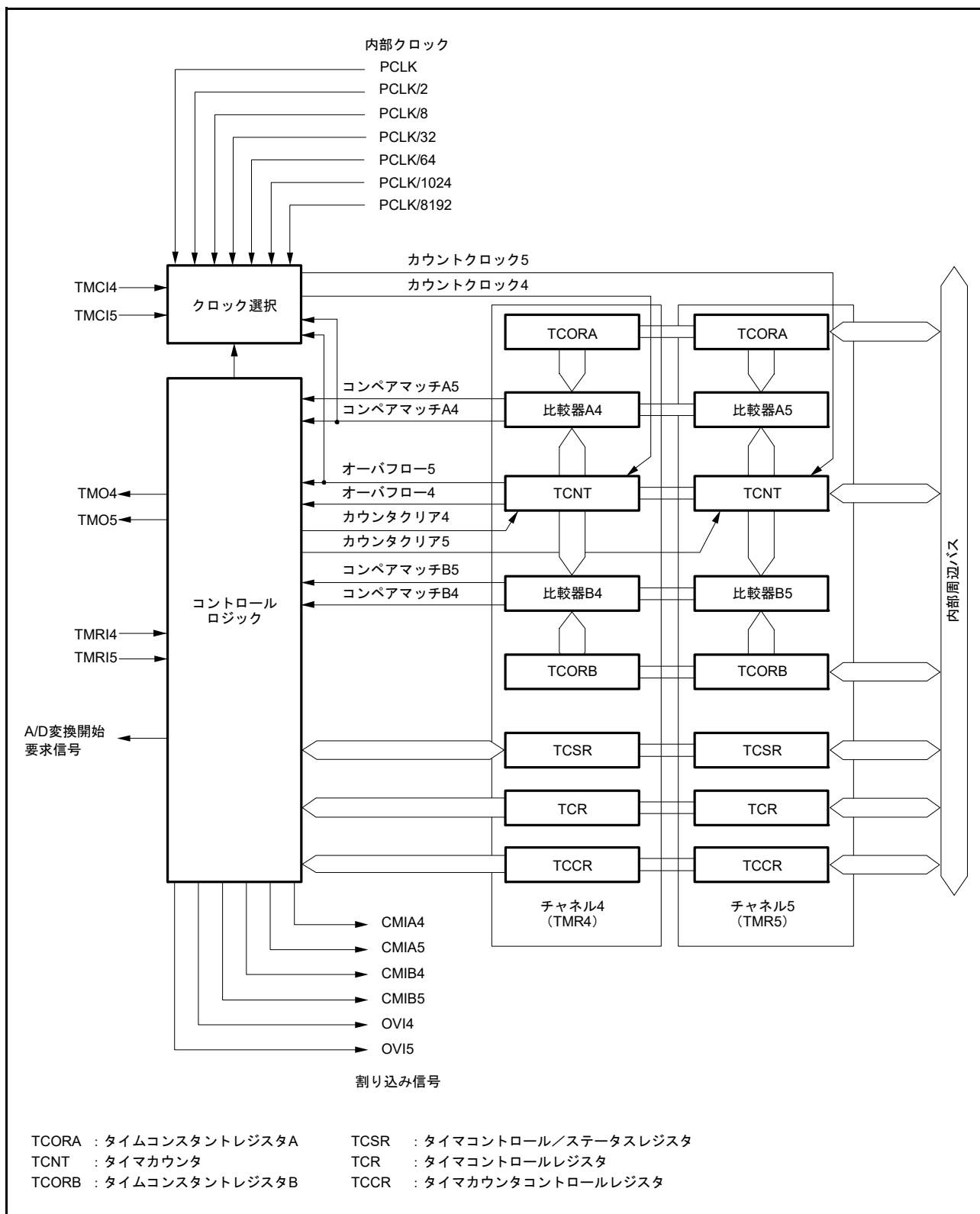


図 23.3 TMR (ユニット 2) のブロック図

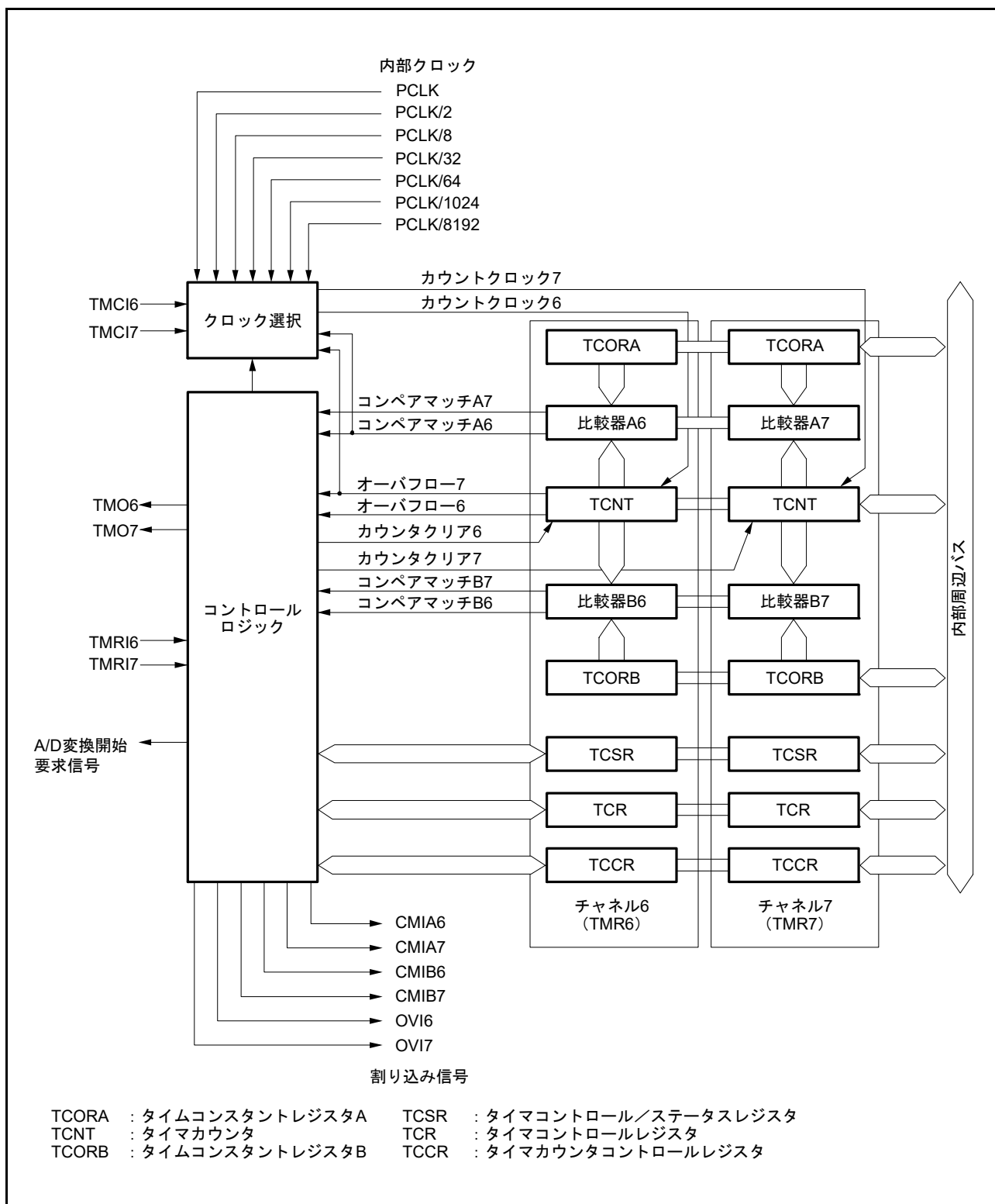


図 23.4 TMR (ユニット 3) のブロック図

表 23.4 に TMR で使用する入出力端子を示します。

表 23.4 TMRの入出力端子

ユニット	チャンネル	端子名	入出力	機能
ユニット0	TMR0	TMO0	出力	コンペアマッチ出力
		TMCi0	入力	外部カウントクロック入力
		TMRi0	入力	外部カウンタリセット入力
	TMR1	TMO1	出力	コンペアマッチ出力
		TMCi1	入力	外部カウントクロック入力
		TMRi1	入力	外部カウンタリセット入力
ユニット1	TMR2	TMO2	出力	コンペアマッチ出力
		TMCi2	入力	外部カウントクロック入力
		TMRi2	入力	外部カウンタリセット入力
	TMR3	TMO3	出力	コンペアマッチ出力
		TMCi3	入力	外部カウントクロック入力
		TMRi3	入力	外部カウンタリセット入力
ユニット2	TMR4	TMO4	出力	コンペアマッチ出力
		TMCi4	入力	外部カウントクロック入力
		TMRi4	入力	外部カウンタリセット入力
	TMR5	TMO5	出力	コンペアマッチ出力
		TMCi5	入力	外部カウントクロック入力
		TMRi5	入力	外部カウンタリセット入力
ユニット3	TMR6	TMO6	出力	コンペアマッチ出力
		TMCi6	入力	外部カウントクロック入力
		TMRi6	入力	外部カウンタリセット入力
	TMR7	TMO7	出力	コンペアマッチ出力
		TMCi7	入力	外部カウントクロック入力
		TMRi7	入力	外部カウンタリセット入力

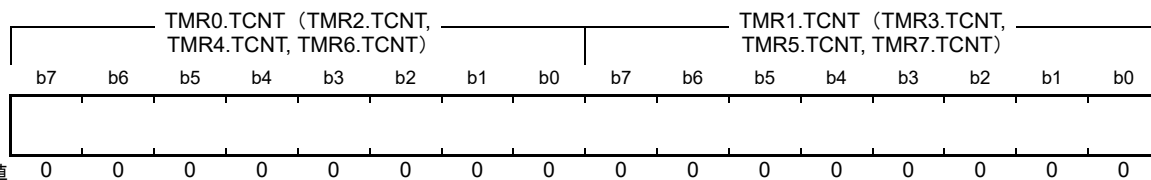
23.2 レジスタの説明

表 23.5 16ビットアクセスのレジスタ配置

アドレス	上位8ビット	下位8ビット
0008 8208h	TMR0.TCNT	TMR1.TCNT
0008 8204h	TMR0.TCORA	TMR1.TCORA
0008 8206h	TMR0.TCORB	TMR1.TCORB
0008 820Ah	TMR0.TCCR	TMR1.TCCR
0008 8218h	TMR2.TCNT	TMR3.TCNT
0008 8214h	TMR2.TCORA	TMR3.TCORA
0008 8216h	TMR2.TCORB	TMR3.TCORB
0008 821Ah	TMR2.TCCR	TMR3.TCCR
0008 8228h	TMR4.TCNT	TMR5.TCNT
0008 8224h	TMR4.TCORA	TMR5.TCORA
0008 8226h	TMR4.TCORB	TMR5.TCORB
0008 822Ah	TMR4.TCCR	TMR5.TCCR
0008 8238h	TMR6.TCNT	TMR7.TCNT
0008 8234h	TMR6.TCORA	TMR7.TCORA
0008 8236h	TMR6.TCORB	TMR7.TCORB
0008 823Ah	TMR6.TCCR	TMR7.TCCR

23.2.1 タイマカウンタ (TCNT)

アドレス TMR0.TCNT 0008 8208h, TMR1.TCNT 0008 8209h, TMR2.TCNT 0008 8218h, TMR3.TCNT 0008 8219h,
TMR4.TCNT 0008 8228h, TMR5.TCNT 0008 8229h, TMR6.TCNT 0008 8238h, TMR7.TCNT 0008 8239h



TCNT カウンタは、8ビットのリード/ライト可能なアップカウンタです。

TMR0.TCNT カウンタと TMR1.TCNT カウンタ (TMR2.TCNT カウンタと TMR3.TCNT カウンタ、TMR4.TCNT カウンタと TMR5.TCNT カウンタ、TMR6.TCNT カウンタと TMR7.TCNT カウンタ) を 16 ビットカウンタとしてワードアクセスすることも可能です。

カウントクロックは、TCCR.CSS[1:0], CKS[2:0] ビットで選択します。

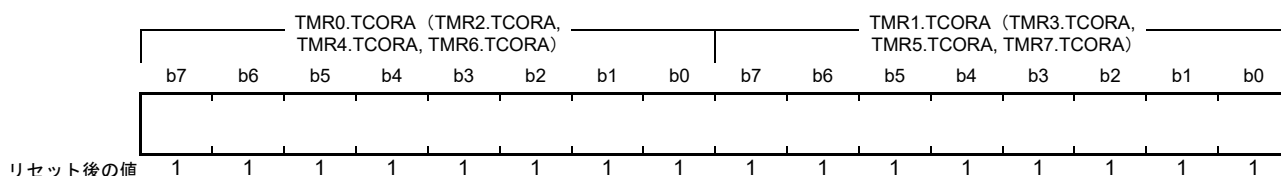
TCNT カウンタは、外部カウンタリセット信号、またはコンペアマッチ A、コンペアマッチ B によりクリアすることができます。どのコンペアマッチでクリアするかは、TCR.CCLR[1:0] ビットにより選択します。

TCNT カウンタのオーバフロー (“FFh” → “00h”) が発生すると、TCR.OVIE ビットで割り込み要求が許可されていれば、オーバフロー割り込み (Low パルス) を出力します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と「表 23.7 TMR の割り込み要因」を参照してください。

23.2.2 タイムコンスタントレジスタ A (TCORA)

アドレス TMR0.TCORA 0008 8204h, TMR1.TCORA 0008 8205h, TMR2.TCORA 0008 8214h, TMR3.TCORA 0008 8215h,
TMR4.TCORA 0008 8224h, TMR5.TCORA 0008 8225h, TMR6.TCORA 0008 8234h, TMR7.TCORA 0008 8235h



TCORA レジスタは、8 ビットのリード/ライト可能なレジスタです。

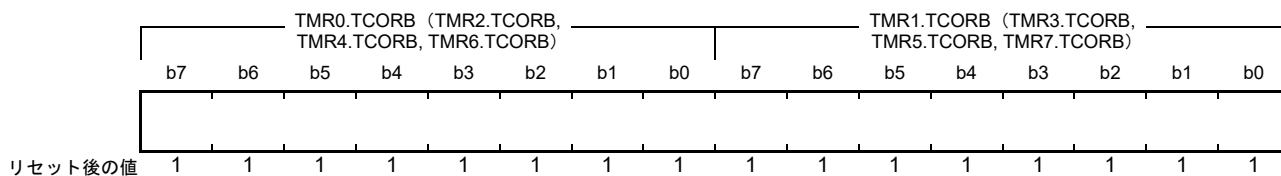
TMR0.TCORA レジスタと TMR1.TCORA レジスタ (TMR2.TCORA レジスタと TMR3.TCORA レジスタ、TMR4.TCORA レジスタと TMR5.TCORA レジスタ、TMR6.TCORA レジスタと TMR7.TCORA レジスタ) を 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORA レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ A が発生し、TCR.CMIEA ビットで割り込み要求が許可されていれば、コンペアマッチ A 割り込み (Low パルス) を出力します。

ただし、TCORA レジスタへの書き込み時には比較しません。また、このコンペアマッチ A と TCSR.OSA[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

23.2.3 タイムコンスタントレジスタ B (TCORB)

アドレス TMR0.TCORB 0008 8206h, TMR1.TCORB 0008 8207h, TMR2.TCORB 0008 8216h, TMR3.TCORB 0008 8217h,
TMR4.TCORB 0008 8226h, TMR5.TCORB 0008 8227h, TMR6.TCORB 0008 8236h, TMR7.TCORB 0008 8237h



TCORB レジスタは、8 ビットのリード/ライト可能なレジスタです。

TMR0.TCORB レジスタと TMR1.TCORB レジスタ (TMR2.TCORB レジスタと TMR3.TCORB レジスタ、TMR4.TCORB レジスタと TMR5.TCORB レジスタ、TMR6.TCORB レジスタと TMR7.TCORB レジスタ) を 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORB レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ B が発生し TCR.CMIEB ビットで割り込み要求が許可されていれば、コンペアマッチ B 割り込み (Low パルス) を出力します。

ただし、TCORB レジスタへの書き込み時には比較しません。また、このコンペアマッチ B と TCSR.OSB[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

23.2.4 タイマコントロールレジスタ (TCR)

アドレス TMR0.TCR 0008 8200h, TMR1.TCR 0008 8201h, TMR2.TCR 0008 8210h, TMR3.TCR 0008 8211h,
TMR4.TCR 0008 8220h, TMR5.TCR 0008 8221h, TMR6.TCR 0008 8230h, TMR7.TCR 0008 8231h

b7	b6	b5	b4	b3	b2	b1	b0
CMIEB	CMIEA	OVIE	CCLR[1:0]	—	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4-b3	CCLR[1:0]	カウンタクリアビット (注1)	b4 b3 0 0 : クリアを禁止 0 1 : コンペアマッチAによりクリア 1 0 : コンペアマッチBによりクリア 1 1 : 外部カウンタリセット信号によりクリア (TCCR.TMRISビットでエッジまたはレベルを選択)	R/W
b5	OVIE	タイマオーバーフロー割り込み許可ビット	0 : オーバフローによる割り込み要求 (OVIn) を禁止 1 : オーバフローによる割り込み要求 (OVIn) を許可	R/W
b6	CMIEA	コンペアマッチ割り込み許可Aビット	0 : コンペアマッチAによる割り込み要求 (CMIA _n) を禁止 1 : コンペアマッチAによる割り込み要求 (CMIA _n) を許可	R/W
b7	CMIEB	コンペアマッチ割り込み許可Bビット	0 : コンペアマッチBによる割り込み要求 (CMIB _n) を禁止 1 : コンペアマッチBによる割り込み要求 (CMIB _n) を許可	R/W

注1. 外部カウンタリセット信号を使用する場合は、該当する端子の設定が必要です。詳細については「18. I/Oポート」、および「19. マルチファンクションピンコントローラ(MPC)」を参照してください。

CCLR[1:0] ビット (カウンタクリアビット)

TCNT カウンタのクリア条件を指定します。

OVIE ビット (タイマオーバーフロー割り込み許可ビット)

TCNT カウンタのオーバーフローによる割り込み要求 (OVIn) の許可または禁止を選択します。

CMIEA ビット (コンペアマッチ割り込み許可 A ビット)

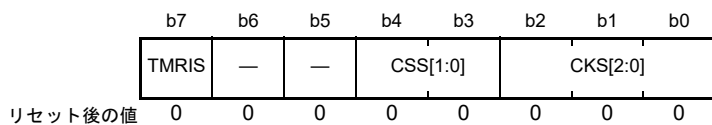
TCORA レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ A による割り込み要求 (CMIA_n) の許可または禁止を選択します。

CMIEB ビット (コンペアマッチ割り込み許可 B ビット)

TCORB レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ B による割り込み要求 (CMIB_n) の許可または禁止を選択します。

23.2.5 タイマカウンタコントロールレジスタ (TCCR)

アドレス TMR0.TCCR 0008 820Ah, TMR1.TCCR 0008 820Bh, TMR2.TCCR 0008 821Ah, TMR3.TCCR 0008 821Bh,
TMR4.TCCR 0008 822Ah, TMR5.TCCR 0008 822Bh, TMR6.TCCR 0008 823Ah, TMR7.TCCR 0008 823Bh



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット (注1)	表 23.6 を参照してください	R/W
b4-b3	CSS[1:0]	クロックソース選択ビット	表 23.6 を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TMRIS	タイマリセット検出条件選択ビット	0 : 外部カウンタリセット信号の立ち上がりでクリア 1 : 外部カウンタリセット信号のHighでクリア	R/W

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「18. I/Oポート」、および「19. マルチファンクションピンコントローラ(MPC)」を参照してください。

CKS[2:0] ビット (クロック選択ビット)**CSS[1:0] ビット (クロックソース選択ビット)**

CKS[2:0] ビットおよび CSS[1:0] ビットは、カウントクロックを選択します。詳細は、表 23.6 を参照してください。

TMRIS ビット (タイマリセット検出条件選択ビット)

TCR.CCLR[1:0] ビットが“11b” (外部カウンタリセット信号によりクリア) のとき有効となり、カウンタのリセット検出条件 (レベルまたはエッジ) を選択します。

表23.6 TCNTカウンタに入力するクロックとカウント条件

チャンネル	TCCRレジスタ					機能	
	CSS[1:0]		CKS[2:0]				
	b4	b3	b2	b1	b0		
TMR0 (TMR2, TMR4, TMR6)	0	0	—	0	0	クロック入力を禁止	
					1	外部カウントクロックの立ち上がりエッジでカウント (注1)	
					0	外部カウントクロックの立ち下がりエッジでカウント (注1)	
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント (注1)	
	0	1	0	0	0	内部クロック : PCLKでカウント	
					1	内部クロック : PCLK/2でカウント	
					0	内部クロック : PCLK/8でカウント	
					1	内部クロック : PCLK/32でカウント	
				1	0	0	内部クロック : PCLK/64でカウント
						1	内部クロック : PCLK/1024でカウント
						0	内部クロック : PCLK/8192でカウント
						1	クロック入力を禁止
	1	0	—	—	—	設定しないでください	
	1	1	—	—	—	TMR1.TCNT (TMR3.TCNT, TMR5.TCNT, TMR7.TCNT) のオーバーフロー信号でカウント (注2)	
TMR1 (TMR3, TMR5, TMR7)	0	0	—	0	0	クロック入力を禁止	
					1	外部カウントクロックの立ち上がりエッジでカウント (注1)	
					0	外部カウントクロックの立ち下がりエッジでカウント (注1)	
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント (注1)	
	0	1	0	0	0	内部クロック : PCLKでカウント	
					1	内部クロック : PCLK/2でカウント	
					0	内部クロック : PCLK/8でカウント	
					1	内部クロック : PCLK/32でカウント	
			1	0	0	内部クロック : PCLK/64でカウント	
					1	内部クロック : PCLK/1024でカウント	
					0	内部クロック : PCLK/8192でカウント	
					1	クロック入力を禁止	
	1	0	—	—	—	設定しないでください	
	1	1	—	—	—	TMR0.TCNT (TMR2.TCNT, TMR4.TCNT, TMR6.TCNT) のコンペアマッチAでカウント (注2)	

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「18. I/Oポート」、および「19. マルチファンクションピンコントローラ(MPC)」を参照してください。

注2. TMR0 (TMR2, TMR4, TMR6) のクロック入力をTMR1.TCNT (TMR3.TCNT, TMR5.TCNT, TMR7.TCNT) カウンタのオーバーフロー信号とし、TMR1 (TMR3, TMR5, TMR7) のクロック入力をTMR0.TCNT (TMR2.TCNT, TMR4.TCNT, TMR6.TCNT) カウンタのコンペアマッチ信号とすると、TCNTカウントクロックが発生しません。この設定は行わないでください。

23.2.6 タイマコントロール/ステータスレジスタ (TCSR)

- TMR0.TCSR、TMR2.TCSR、TMR4.TCSR、TMR6.TCSR レジスタ

アドレス TMR0.TCSR 0008 8202h, TMR2.TCSR 0008 8212h, TMR4.TCSR 0008 8222h, TMR6.TCSR 0008 8232h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ADTE	OSB[1:0]	OSB[1:0]	OSA[1:0]	OSA[1:0]
リセット後の値	x	x	x	0	0	0	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力 (トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力 (トグル出力)	R/W
b4	ADTE	A/Dトリガ許可ビット	0: コンペアマッチAによるA/D変換開始要求を禁止 1: コンペアマッチAによるA/D変換開始要求を許可	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO_n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”とすると、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

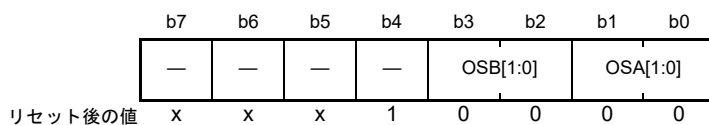
TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

- TMR1.TCSR、TMR3.TCSR、TMR5.TCSR、TMR7.TCSR レジスタ

アドレス TMR1.TCSR 0008 8203h, TMR3.TCSR 0008 8213h, TMR5.TCSR 0008 8223h, TMR7.TCSR 0008 8233h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力 (トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力 (トグル出力)	R/W
b4	—	予約ビット	読むと“1”が読めず。書く場合、“1”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO_n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”とすると、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

23.3 動作説明

23.3.1 パルス出力

任意のデューティパルスを出力させる例を図 23.5 に示します。

1. TCORA レジスタのコンペアマッチにより TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを“01b” (コンペアマッチ A によりクリア) に設定します。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを“10b” (High 出力)、TCSR.OSB[1:0] ビットを“01b” (Low 出力) にします。

以上の設定により周期が TCORA レジスタ、パルス幅が TCORB レジスタの波形をソフトウェアの介入なしに出力できます。

TCSR.OSA[1:0] ビットまたは TCSR.OSB[1:0] ビットを設定してから、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子は Low です。

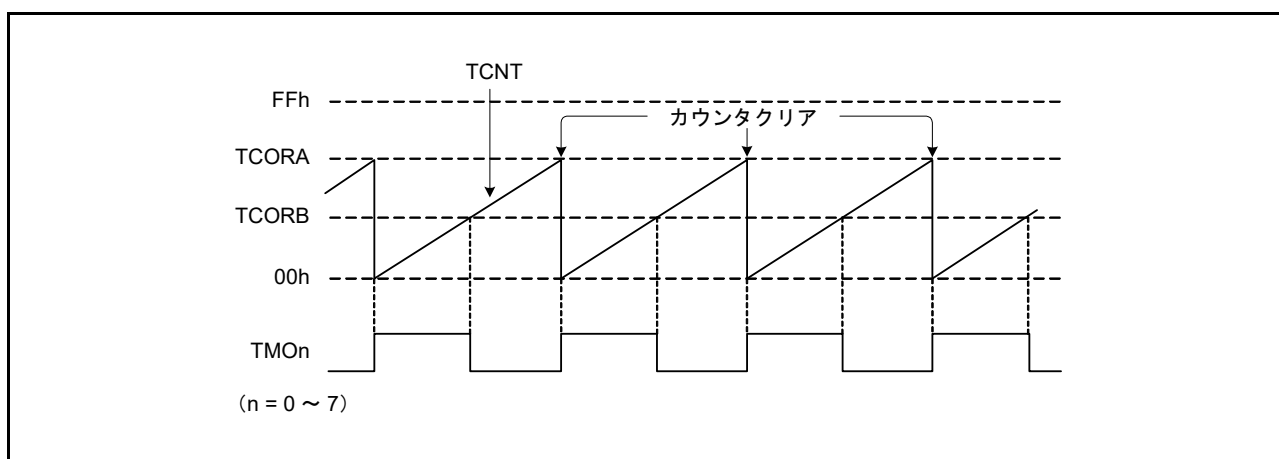


図 23.5 パルス出力例

23.3.2 外部カウンタリセット入力

TMRIn 入力に対する任意の遅延時間のパルスを出力させる例を図 23.6 に示します。

1. TMRIn 入力の High で TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを“11b” (外部カウンタリセット信号によりクリア) にし、TCCR.TMRIS ビットを“1” (外部カウンタリセット信号の High でクリア) にします。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを“10b” (High 出力)、TCSR.OSB[1:0] ビットを“01b” (Low 出力) にします。

以上の設定により TMRIn 入力からの遅延が TCORA レジスタ、パルス幅が (TCORB - TCORA) の波形を出力できます。

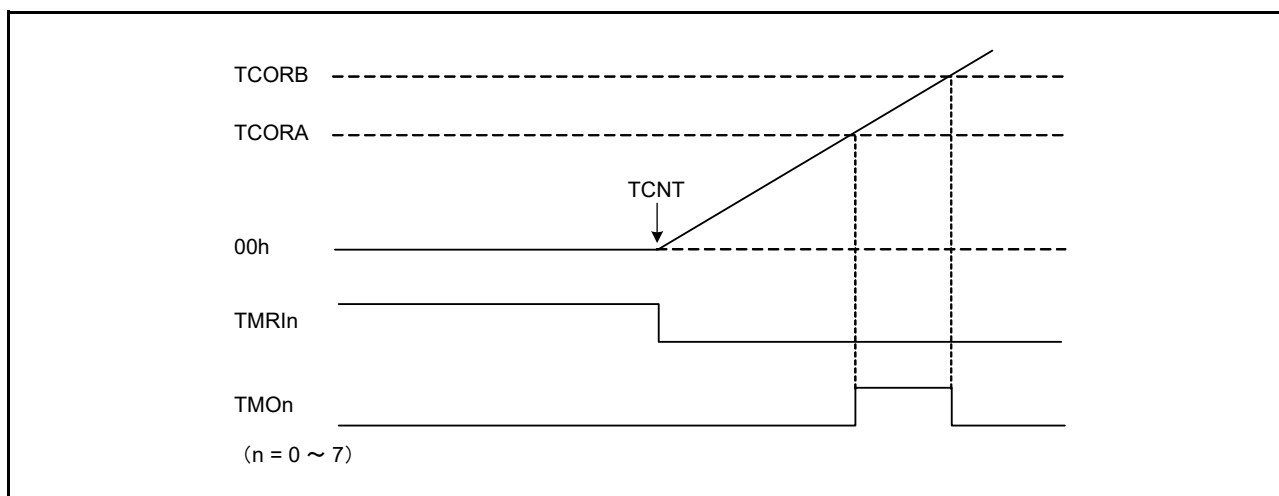


図 23.6 外部カウンタリセット信号入力例

23.4 動作タイミング

23.4.1 TCNT カウンタのカウンタタイミング

内部クロック動作の場合の TCNT カウンタのカウンタタイミングを図 23.7 に示します。また、外部クロック動作の場合の TCNT カウンタのカウンタタイミングを図 23.8 に示します。

なお外部クロックのパルス幅は、片エッジの場合は 1.5 PCLK 以上、両エッジの場合は 2.5 PCLK 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

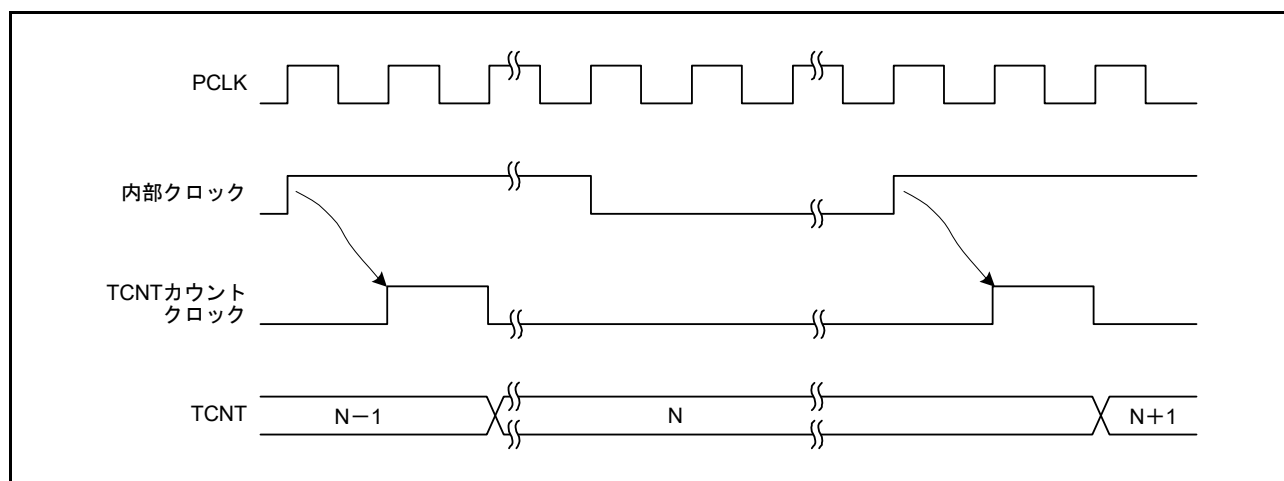


図 23.7 内部クロック動作時のカウンタタイミング

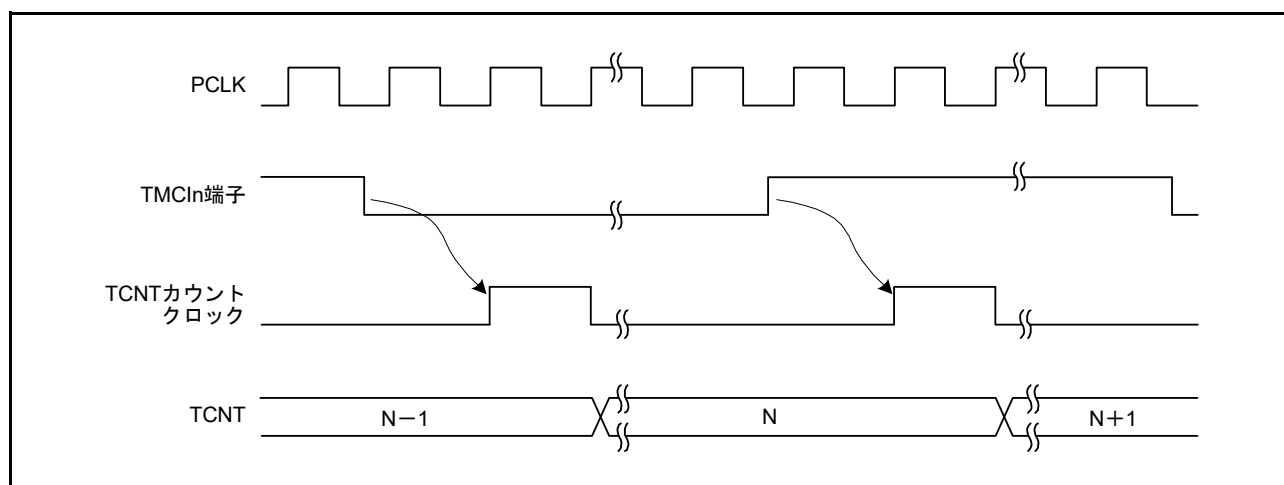


図 23.8 外部クロック動作時のカウンタタイミング (両エッジの場合)

23.4.2 コンペアマッチ時の割り込みタイミング

TCORA または TCORB レジスタが TCNT カウンタの値と一致したときコンペアマッチが発生し、割り込み要求が許可されていればコンペアマッチ割り込み信号が出力されます。コンペアマッチは、一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、TCNT カウンタと TCORA、TCORB レジスタの値が一致した後、TCNT カウントクロックが発生するまでコンペアマッチは発生しません。割り込み信号の出力タイミングを図 23.9 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と表 23.7 を参照してください。

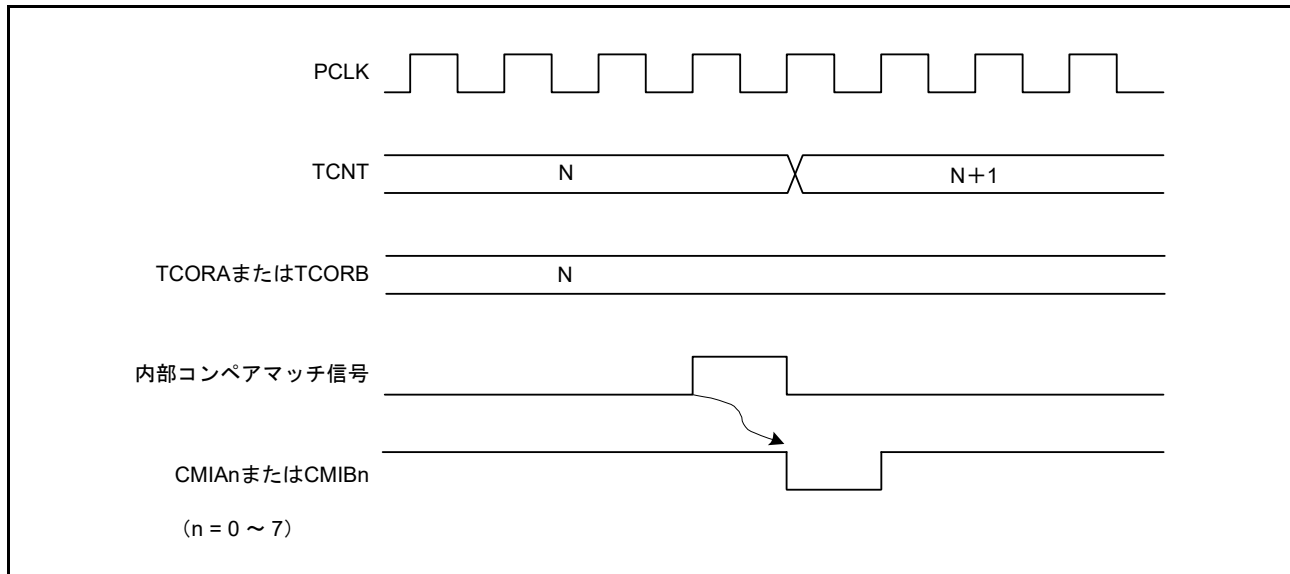


図 23.9 コンペアマッチ時の割り込みタイミング

23.4.3 コンペアマッチ時の出力信号タイミング

コンペアマッチ信号が発生したとき、TCSR.OSA[1:0], OSB[1:0] ビットで設定される出力値がタイマ出力端子 (TMO_n) に出力されます。

コンペアマッチ A 信号によるトグル出力の場合の出力信号タイミングを図 23.10 に示します。

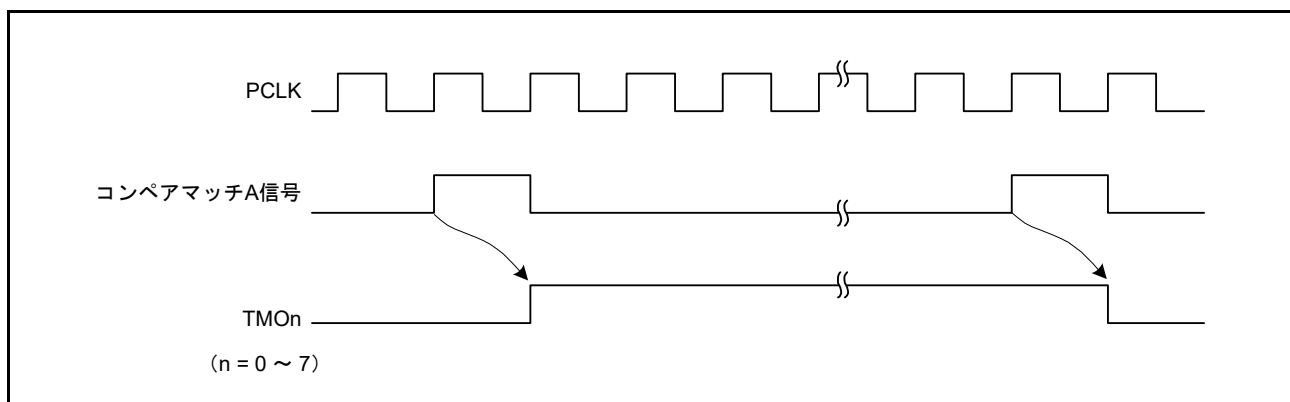


図 23.10 コンペアマッチ A 信号による出力信号タイミング

23.4.4 コンペアマッチによるカウンタクリアタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。

コンペアマッチによるカウンタクリアタイミングを図 23.11 に示します。

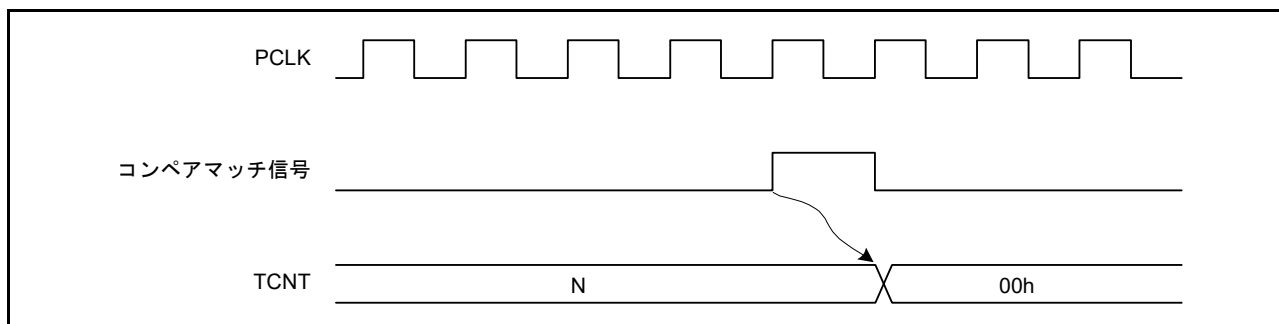


図 23.11 コンペアマッチによるカウンタクリアタイミング

23.4.5 TCNT カウンタの外部リセットタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択により外部カウンタリセット信号の立ち上がりエッジ、または High でクリアされます。リセットを入力してから TCNT カウンタのクリアまでは 2PCLK 以上必要となります。

外部カウンタリセット信号によるクリアタイミングを図 23.12、図 23.13 に示します。

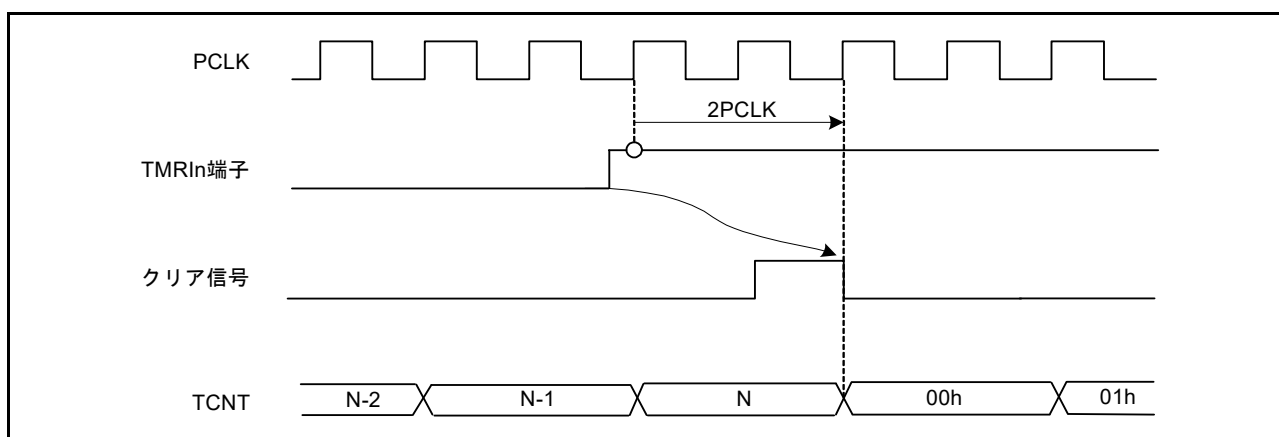


図 23.12 外部カウンタリセット信号によるクリアタイミング (立ち上がりエッジ)

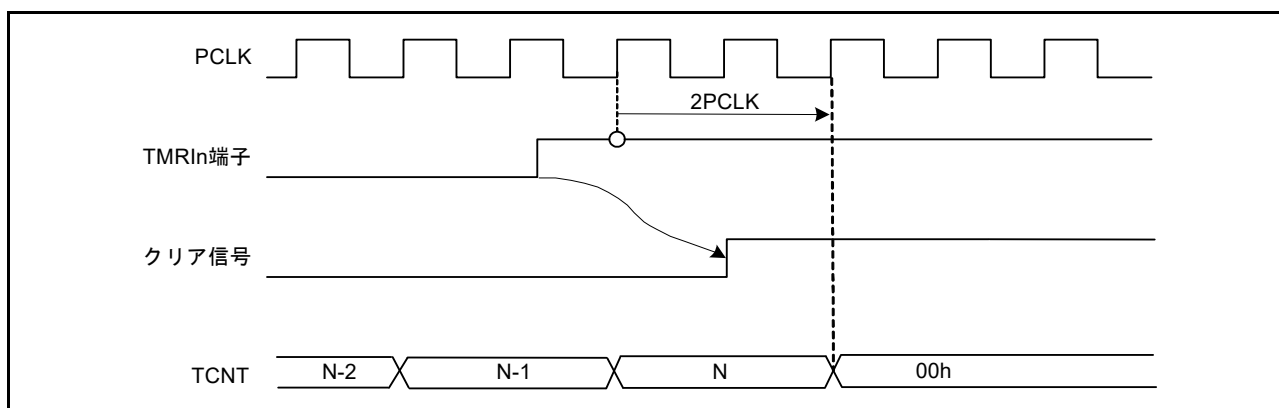


図 23.13 外部カウンタリセット信号によるクリアタイミング (High)

23.4.6 オーバフローによる割り込みタイミング

TCNT カウンタのオーバフロー (“FFh” → “00h”) が発生すると、割り込み要求が許可されていれば、オーバフロー割り込み信号が出力されます。

割り込み信号の出力タイミングを図 23.14 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と表 23.7 を参照してください。

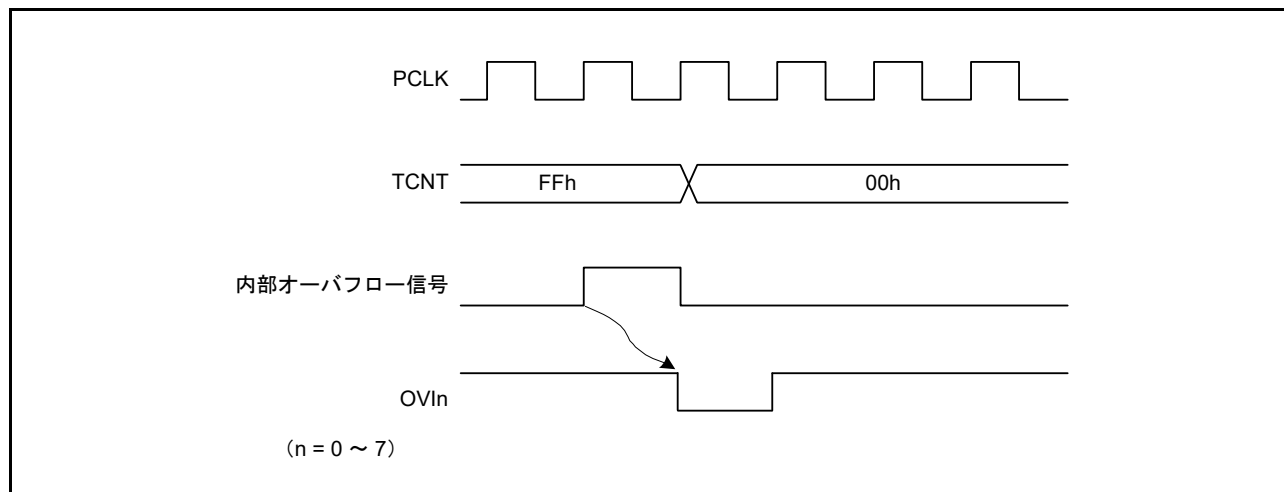


図 23.14 オーバフローによる割り込みタイミング

23.5 カスケード接続時の動作

TMR0.TCCR、TMR1.TCCR レジスタのいずれか一方の CSS[1:0] ビットを“11b”にすると、2チャンネルの TMR はカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットカウントモードか、または TMR0 のコンペアマッチを TMR1 でカウントするコンペアマッチカウントモードにすることができます。

【補足】 「23.5 カスケード接続時の動作」は、ユニット0について説明しています。ユニット1、ユニット2、ユニット3のカスケード接続時の動作は、ユニット0と同様です。

23.5.1 16ビットカウントモード

TMR0.TCCR.CSS[1:0] ビットが“11b”のとき、TMR0 を上位8ビット、TMR1 を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(1) カウンタクリア指定

- TMR0.TCR.CCLR[1:0] ビットの設定が16ビットカウンタに対して有効になります。
TMR0.TCR.CCLR[1:0] ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生すると16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。また、TMR10 端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。
- TMR1.TCR.CCLR[1:0] ビットの設定は無効になります。

(2) 端子出力

- TMR0.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO0 端子の出力制御は、16ビットのコンペアマッチ条件に従います。
- TMR1.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO1 端子の出力制御は、下位8ビットのコンペアマッチ条件に従います。

23.5.2 コンペアマッチカウントモード

TMR1.TCCR.CSS[1:0] ビットが“11b”のとき、TMR1.TCNT カウンタは TMR0 のコンペアマッチ A の発生回数をカウントします。TMR0、TMR1 の制御はそれぞれ個別に行われ、割り込みの発生、TMO_n (n=0、1) 端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

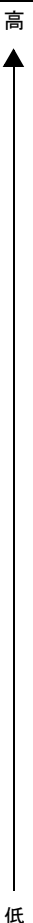
23.6 割り込み要因

23.6.1 割り込み要因と DTC 起動

TMRn の割り込み要因は、CMIA_n、CMIB_n、OVIn の 3 種類があります。表 23.7 に各割り込み要因と優先順位を示します。

なお、CMIA_n、CMIB_n 割り込みにより DTC を起動することができます。

表 23.7 TMR の割り込み要因

名称	割り込み要因	DTC の起動	優先順位
CMIA0	TMR0.TCORA のコンペアマッチ	可能	高  低
CMIB0	TMR0.TCORB のコンペアマッチ	可能	
OVI0	TMR0.TCNT のオーバフロー	不可能	
CMIA1	TMR1.TCORA のコンペアマッチ	可能	
CMIB1	TMR1.TCORB のコンペアマッチ	可能	
OVI1	TMR1.TCNT のオーバフロー	不可能	
CMIA2	TMR2.TCORA のコンペアマッチ	可能	
CMIB2	TMR2.TCORB のコンペアマッチ	可能	
OVI2	TMR2.TCNT のオーバフロー	不可能	
CMIA3	TMR3.TCORA のコンペアマッチ	可能	
CMIB3	TMR3.TCORB のコンペアマッチ	可能	
OVI3	TMR3.TCNT のオーバフロー	不可能	
CMIA4	TMR4.TCORA のコンペアマッチ	可能	
CMIB4	TMR4.TCORB のコンペアマッチ	可能	
OVI4	TMR4.TCNT のオーバフロー	不可能	
CMIA5	TMR5.TCORA のコンペアマッチ	可能	
CMIB5	TMR5.TCORB のコンペアマッチ	可能	
OVI5	TMR5.TCNT のオーバフロー	不可能	
CMIA6	TMR6.TCORA のコンペアマッチ	可能	
CMIB6	TMR6.TCORB のコンペアマッチ	可能	
OVI6	TMR6.TCNT のオーバフロー	不可能	
CMIA7	TMR7.TCORA のコンペアマッチ	可能	
CMIB7	TMR7.TCORB のコンペアマッチ	可能	
OVI7	TMR7.TCNT のオーバフロー	不可能	

23.6.2 A/D コンバータの起動

TMR0、TMR2、TMR4、TMR6 のコンペアマッチ A で、A/D コンバータを起動することができます。

TMRn.TCSR.ADTE ビットが“1”（コンペアマッチ A による A/D 変換開始要求を許可）の状態、コンペアマッチ A の発生により、A/D コンバータに対して A/D 変換の開始を要求します。このとき A/D コンバータ側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

表 23.8 A/D コンバータの起動

A/D コンバータ	TMR ユニット番号	対象	A/D 変換開始要求
S12AD, S12AD1, S12AD2 (12ビットA/Dコンバータ)	0	TMR0.TCORA と TMR0.TCNT のコンペアマッチ	TMTRG0AN_0
	1	TMR2.TCORA と TMR2.TCNT のコンペアマッチ	TMTRG0AN_1
	2	TMR4.TCORA と TMR4.TCNT のコンペアマッチ	TMTRG0AN_2
	3	TMR6.TCORA と TMR6.TCNT のコンペアマッチ	TMTRG0AN_3

23.7 使用上の注意事項

23.7.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMR の動作禁止/許可を設定することが可能です。初期値では、TMR の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

23.7.2 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNT カウンタは TCORA、TCORB レジスタの値と一致した最後の PCLK (TCNT カウンタが一致したカウント値を更新するタイミング) でクリアされます。このため、カウンタの周波数は以下の式になります (f: カウンタ周波数、PCLK: 動作周波数、N: TCORA、TCORB レジスタの設定値)。

$$f = \text{PCLK}/(N+1)$$

23.7.3 TCNT カウンタへの書き込みとカウンタクリアの競合

図 23.15 のように CPU による TCNT カウンタへの書き込みと同時にカウンタクリアが発生すると、カウンタへの書き込みは行われずクリアが優先されます。

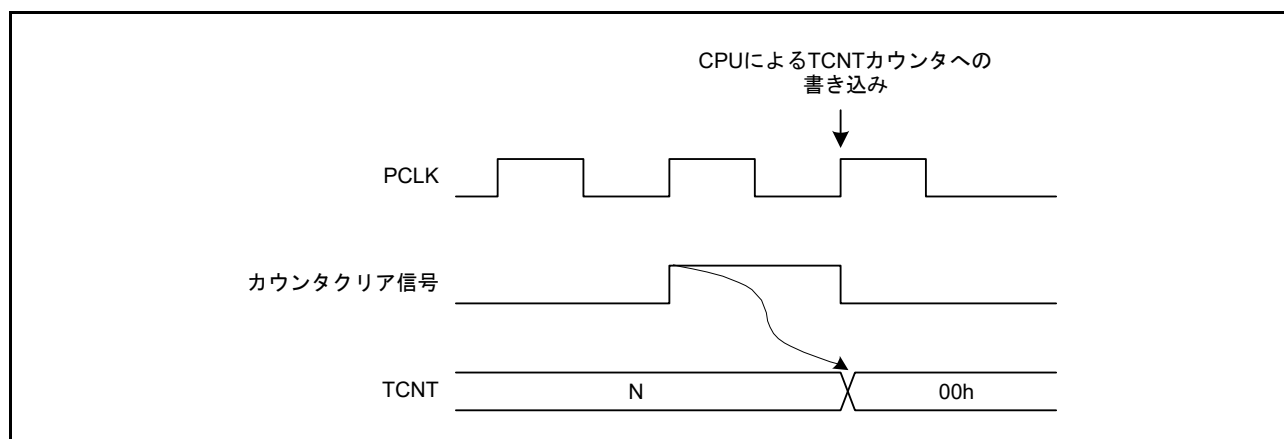


図 23.15 TCNT カウンタへの書き込みとカウンタクリアの競合

23.7.4 TCNT カウンタへの書き込みとカウントアップの競合

図 23.16 のように CPU による TCNT カウンタへの書き込みと同時にカウントアップが発生しても、カウントアップされず TCNT カウンタへの書き込みが優先されます。

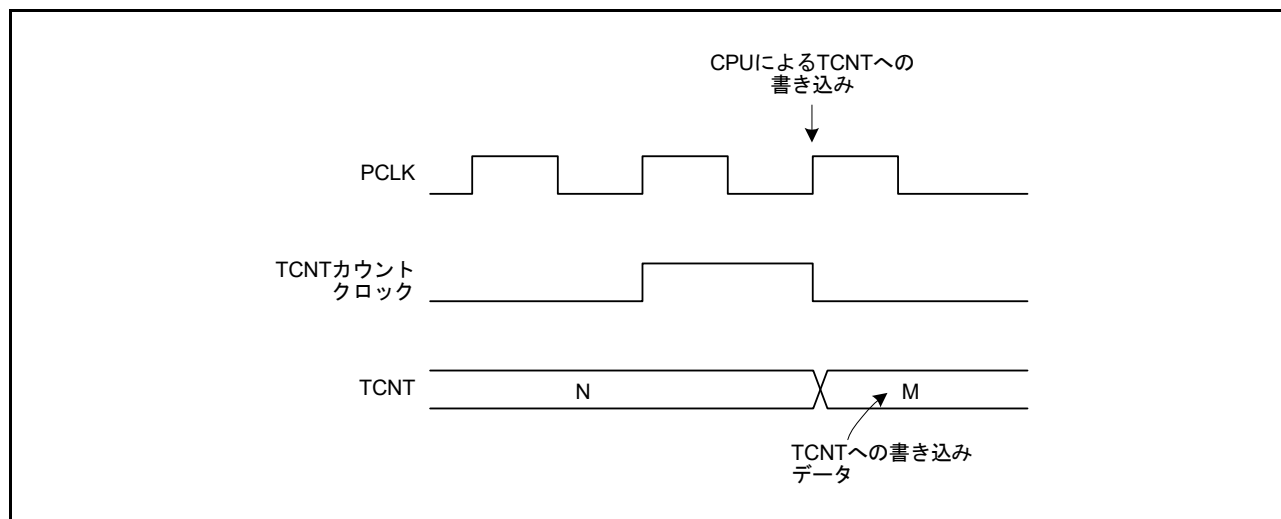


図 23.16 TCNT カウンタへの書き込みとカウントアップの競合

23.7.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

図 23.17 のように CPU による TCORA、TCORB レジスタへの書き込みと同時にコンペアマッチが発生するタイミングとなっても、TCORA、TCORB レジスタへの書き込みが優先されコンペアマッチ信号は High になりません。

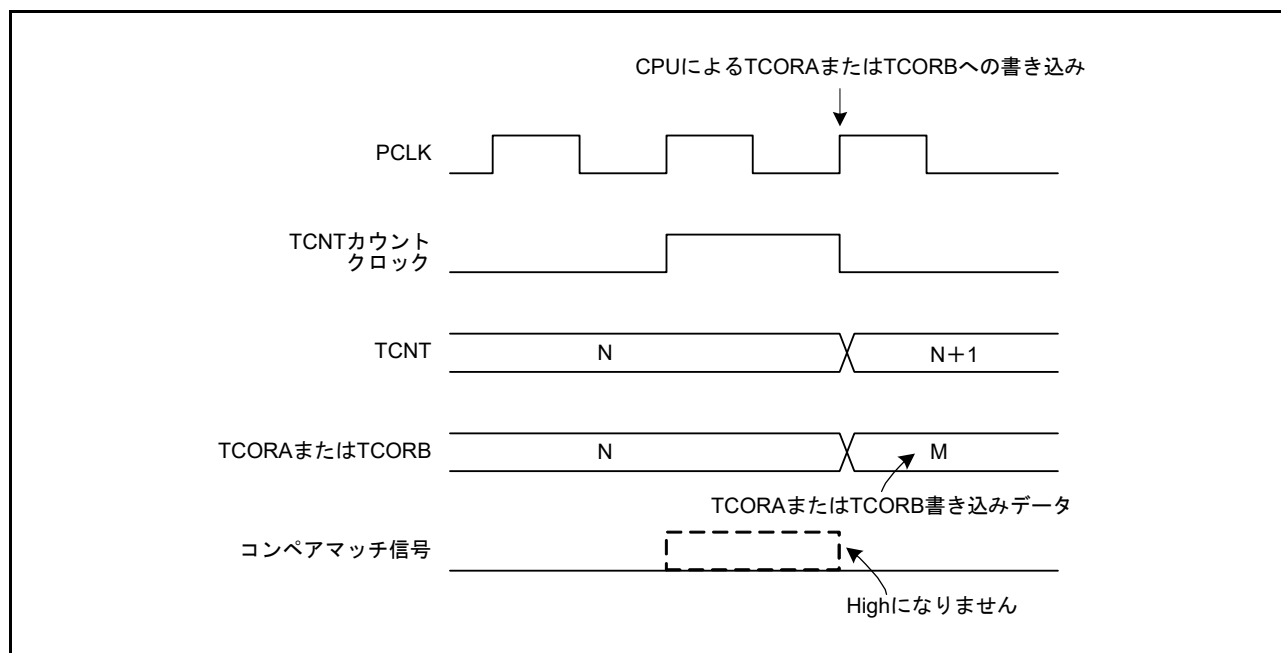


図 23.17 TCORA、TCORB レジスタのライトとコンペアマッチの競合

23.7.6 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力方法と、コンペアマッチ B に対して設定されている出力方法のうち、表 23.9 に示す出力設定の優先順位の高い方が出力されます。

表 23.9 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
High出力	
Low出力	
変化しない	

23.7.7 内部クロックの切り替えと TCNT カウンタの動作

内部クロックを切り替えるタイミングによっては、TCNT カウンタがカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (TCCR.CKS[2:0] ビットの書き換え) と、TCNT カウンタ動作の関係を表 23.10 に示します。

内部クロックから TCNT カウントクロックを生成する場合、内部クロックの立ち上がりエッジを検出しています。そのため、たとえば表 23.10 の No.2 のように、Low → High になるようなクロックの切り替えを行うと、切り替えタイミングをエッジと見なして TCNT カウントクロックが発生し、TCNT カウンタがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT カウンタがカウントアップされることがあります。

表 23.10 内部クロックの切り替えと TCNT カウンタの動作 (1/2)

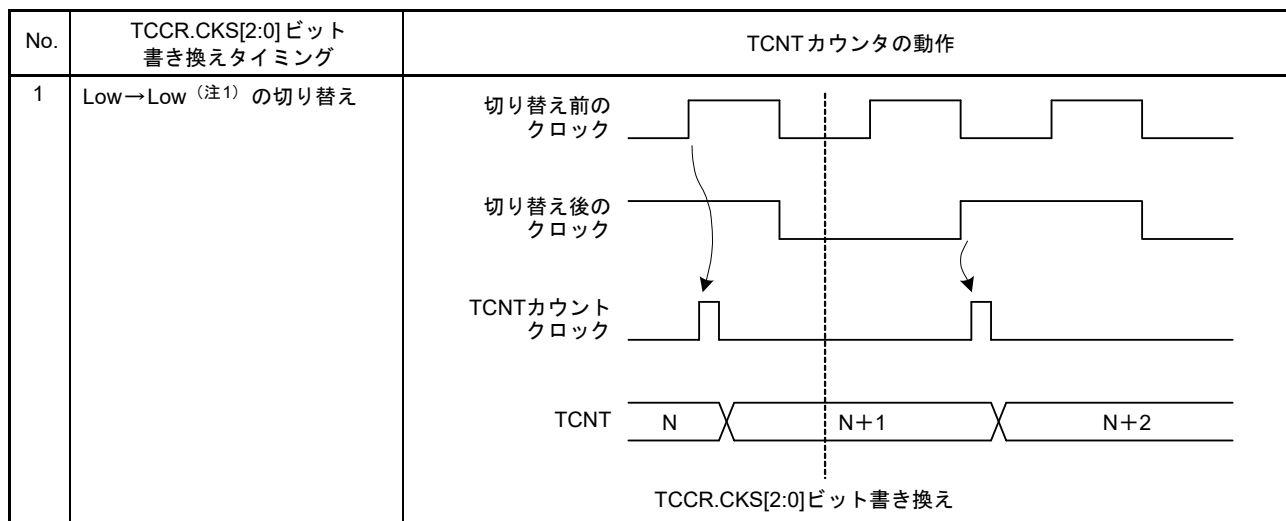


表23.10 内部クロックの切り替えとTCNTカウンタの動作 (2/2)

No.	TCCR.CKS[2:0]ビット書き換えタイミング	TCNTカウンタの動作
2	Low→High (注2) の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNTカウントクロック</p> <p>TCNT N N+1 N+2 N+3</p> <p>TCCR.CKS[2:0]ビット書き換え</p>
3	High→Low (注4) の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNTカウントクロック</p> <p>TCNT N N+1 N+2 N+3</p> <p>TCCR.CKS[2:0]ビット書き換え</p>
4	High→Highの切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNTカウントクロック</p> <p>TCNT N N+1 N+2</p> <p>TCCR.CKS[2:0]ビット書き換え</p>

- 注1. Low→停止、および停止→Lowの場合を含みます。
- 注2. 停止→Highの場合を含みます。
- 注3. 切り替えのタイミングをエッジとみなすために発生し、TCNTカウンタはカウントアップされてしまいます。
- 注4. High→停止の場合を含みます。

23.7.8 カスケード接続時のクロックソース設定

16ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TMR0.TCNT、TMR1.TCNT カウンタ (TMR2.TCNT、TMR3.TCNT カウンタ、TMR4.TCNT、TMR5.TCNT カウンタ、TMR6.TCNT、TMR7.TCNT カウンタ) のカウントクロックが発生しなくなるため、カウンタが停止して動作しません。この設定はしないでください。

23.7.9 コンペアマッチ割り込みの連続出力

TCORA または TCORB レジスタを“00h”に、内部クロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“00h”のまま更新されず、コンペアマッチ割り込みを連続してレベル状に出力します。

このとき、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

コンペアマッチ割り込みが連続出力する場合の動作タイミングを図 23.18 に示します。

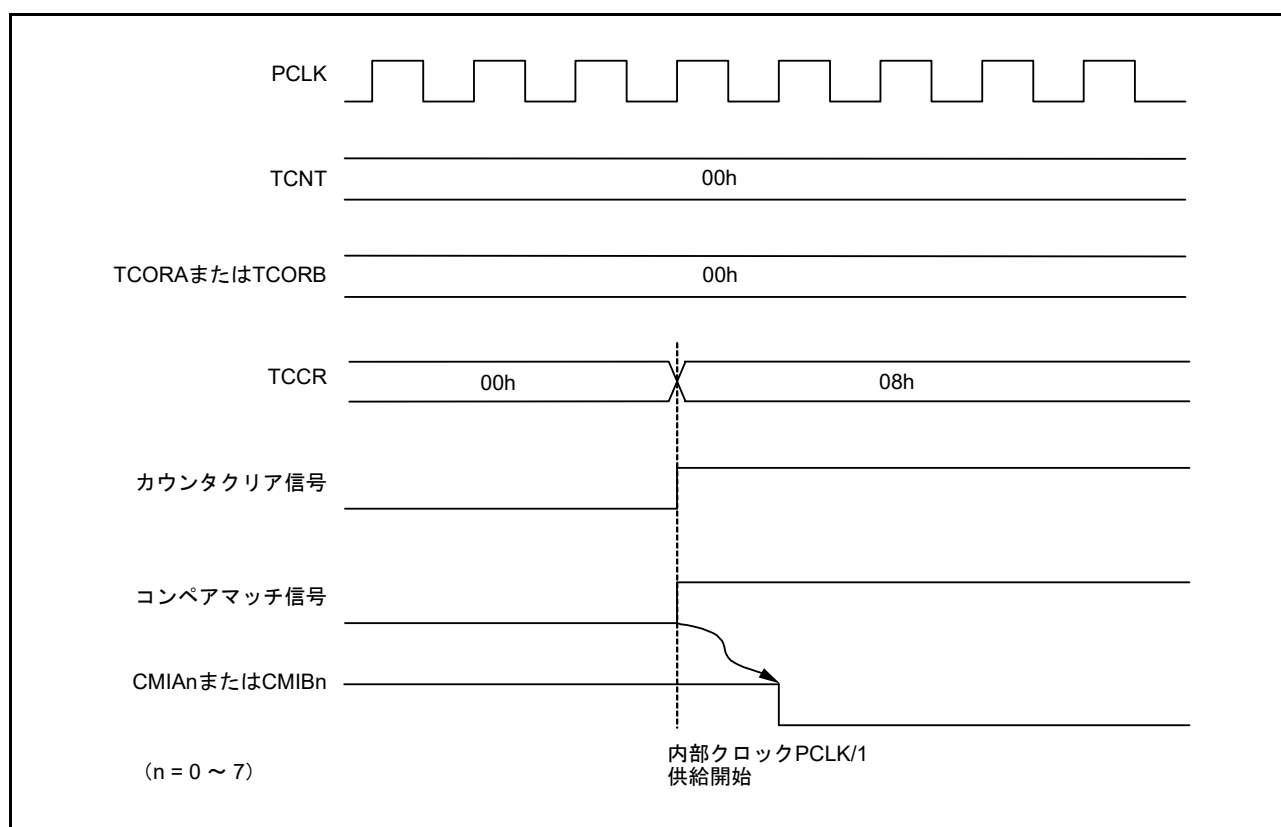


図 23.18 コンペアマッチ割り込みの連続出力

24. コンペアマッチタイマ (CMT)

本 MCU は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を 2 ユニット (ユニット 0、ユニット 1)、合計 4 チャンネル内蔵しています。CMT は、16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

本章に記載している PCLK とは PCLKB を指します。

24.1 概要

表 24.1 に CMT の仕様を示します。

図 24.1 に CMT (ユニット 0) のブロック図を示します。2 チャンネルの CMT で 1 ユニートを構成し、ユニット 0 とユニット 1 は同じ仕様です。ユニット 0 のコンペアマッチタイマスタートレジスタ 0 (CMSTR0)、コンペアマッチ割り込み (CMI0, CMI1) が、ユニット 1 ではコンペアマッチタイマスタートレジスタ 1 (CMSTR1)、コンペアマッチ割り込み (CMI2, CMI3) に対応します。

表 24.1 CMT の仕様

項目	機能
カウントクロック	<ul style="list-style-type: none"> 4 種類の分周クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512 からチャンネルごとに選択可能
割り込み	コンペアマッチ割り込みをチャンネルごとに要求することが可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

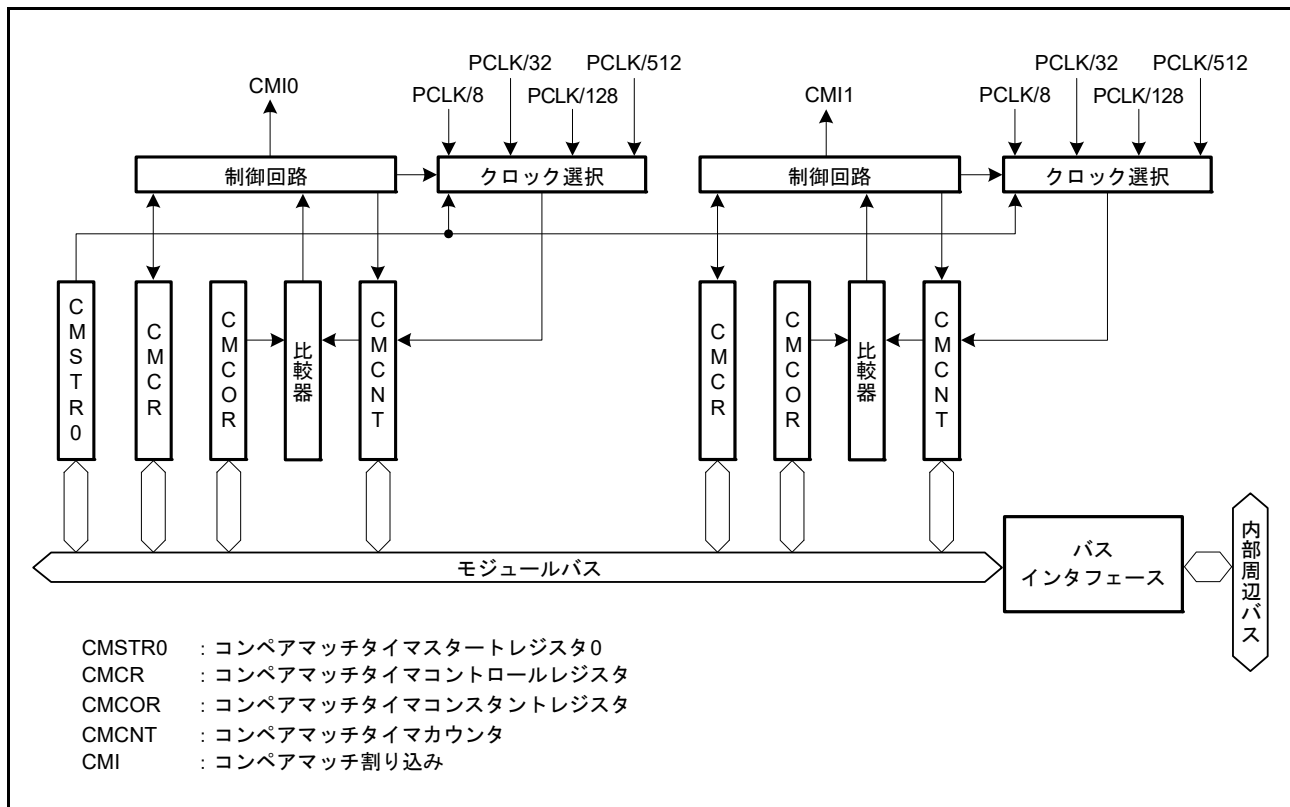


図 24.1 CMT (ユニット 0) のブロック図

24.2 レジスタの説明

24.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

アドレス 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0 : CMT0.CMCNTカウンタのカウンタ動作停止 1 : CMT0.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR1	カウントスタート1ビット	0 : CMT1.CMCNTカウンタのカウンタ動作停止 1 : CMT1.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

24.2.2 コンペアマッチタイマスタートレジスタ 1 (CMSTR1)

アドレス 0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	0 : CMT2.CMCNTカウンタのカウンタ動作停止 1 : CMT2.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR3	カウントスタート3ビット	0 : CMT3.CMCNTカウンタのカウンタ動作停止 1 : CMT3.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

24.2.3 コンペアマッチタイマコントロールレジスタ (CMCR)

アドレス CMT0.CMCR 0008 8002h, CMT1.CMCR 0008 8008h, CMT2.CMCR 0008 8012h, CMT3.CMCR 0008 8018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLK/8 0 1 : PCLK/32 1 0 : PCLK/128 1 1 : PCLK/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0 : コンペアマッチ割り込み (CMIn) を禁止 1 : コンペアマッチ割り込み (CMIn) を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周して得られる 4 種類の分周クロックからカウントソースを選択します。

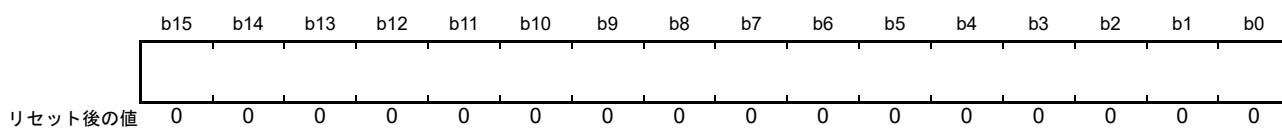
CMSTRm.STRn ビット (m = 0, 1, n = 0 ~ 3) を“1”に設定すると、CKS[1:0] ビットで選択されたクロックにより対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット (コンペアマッチ割り込み許可ビット)

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み (CMIn) (n = 0 ~ 3) の発生を許可するか禁止するかを選択します。

24.2.4 コンペアマッチタイマカウンタ (CMCNT)

アドレス CMT0.CMCNT 0008 8004h, CMT1.CMCNT 0008 800Ah, CMT2.CMCNT 0008 8014h, CMT3.CMCNT 0008 801Ah



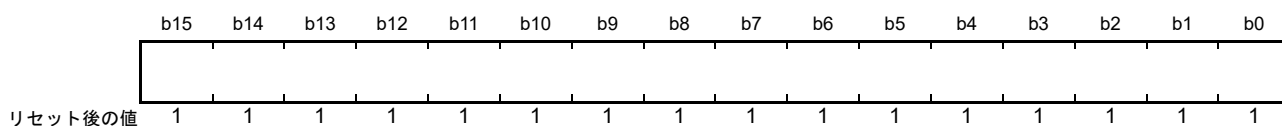
CMCNT カウンタは、読み出し / 書き込み可能なアップカウンタです。

CMCR.CKS[1:0] ビットで分周クロックを選択して、CMSTRm.STRn ビット (m = 0, 1, n = 0 ~ 3) を“1”にすると、そのクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは“0000h”になります。このとき、コンペアマッチ割り込み (CMIn) (n = 0 ~ 3) が発生します。

24.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR)

アドレス CMT0.CMCOR 0008 8006h, CMT1.CMCOR 0008 800Ch, CMT2.CMCOR 0008 8016h, CMT3.CMCOR 0008 801Ch



CMCOR レジスタは、CMCNT カウンタとのコンペアマッチする値を設定する読み出し / 書き込み可能なレジスタです。

24.3 動作説明

24.3.1 周期カウント動作

CMCR.CKS[1:0] ビットで分周クロックを選択し、CMSTRm.STRn ビット ($m=0, 1$, $n=0 \sim 3$) を“1”にすると、選択したクロックによってCMCNTカウンタはカウントアップを開始します。

CMCNTカウンタの値がCMCORレジスタの値と一致すると、コンペアマッチ割り込み (CMIn) ($n=0 \sim 3$) が発生します。CMCNTカウンタは“0000h”からカウントアップを再開します。CMCNTカウンタの動作を図24.2に示します。

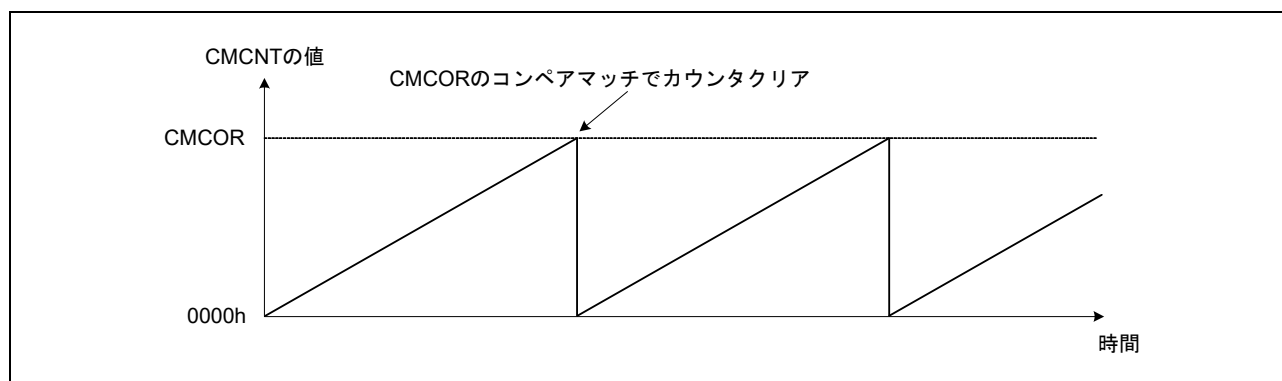


図 24.2 CMCNT カウンタの動作

24.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック (PCLK) を分周した4種類の分周クロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) からCMCNTカウンタに入力するカウントクロックを選択できます。このときのCMCNTカウンタのカウントタイミングを図24.3に示します。

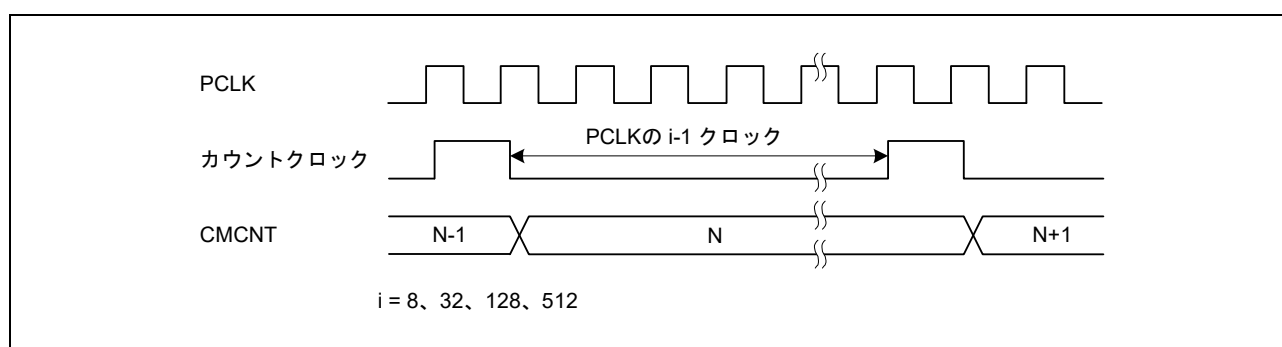


図 24.3 CMCNT カウンタのカウントタイミング

24.4 割り込み

24.4.1 割り込み要因

CMTは、チャンネルごとにコンペアマッチ割り込み (CMI_n) ($n=0\sim 3$) があり、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを発生させる場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「14. 割り込みコントローラ (ICUb)」を参照してください。

表24.2 CMTの割り込み要因

名称	割り込み要因	DTCの起動
CMI0	CMT0のコンペアマッチ	可能
CMI1	CMT1のコンペアマッチ	可能
CMI2	CMT2のコンペアマッチ	可能
CMI3	CMT3のコンペアマッチ	可能

24.4.2 コンペアマッチ割り込みの発生タイミング

CMCNT カウンタの値と CMCOR レジスタの値が一致したときに、コンペアマッチ割り込み (CMI_n) ($n=0\sim 3$) が発生します。

コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタの値と CMCOR レジスタの値とが一致した後、CMCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのタイミングを図 24.4 に示します。

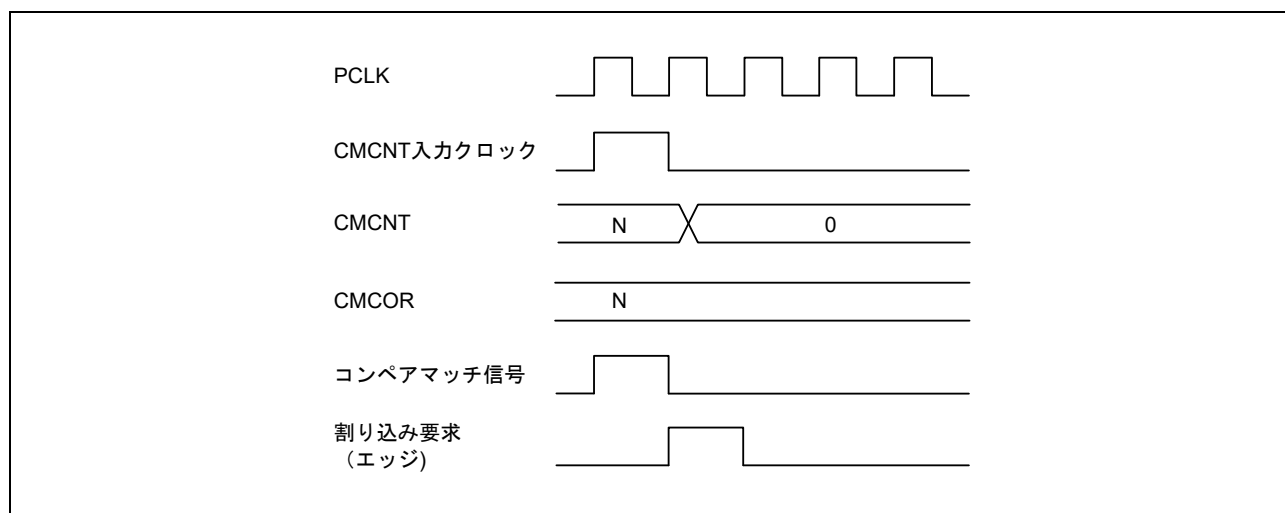


図 24.4 コンペアマッチ割り込みタイミング

24.5 使用上の注意事項

24.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMTの動作を禁止/許可することが可能です。リセット後、CMTはモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

24.5.2 CMCNTカウンタへの書き込みとコンペアマッチの競合

CMCNTカウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNTカウンタへの書き込みは行われずCMCNTカウンタのクリアが優先されます。このタイミングを図24.5に示します。

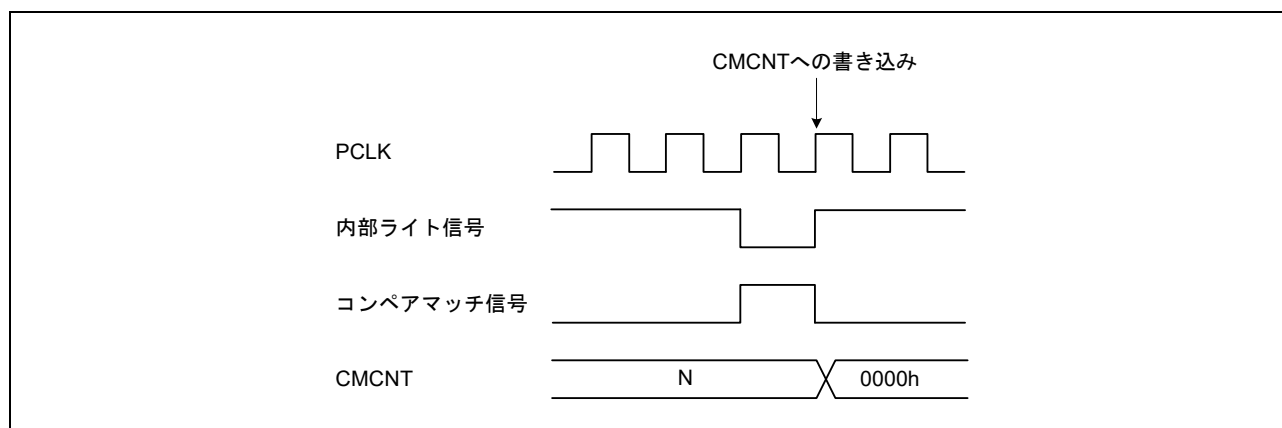


図 24.5 CMCNTカウンタへの書き込みとコンペアマッチの競合

24.5.3 CMCNTカウンタへの書き込みとカウントアップの競合

CMCNTカウンタへの書き込みと、カウントアップが競合した場合、CMCNTカウンタへの書き込みが優先されます。このタイミングを図24.6に示します。

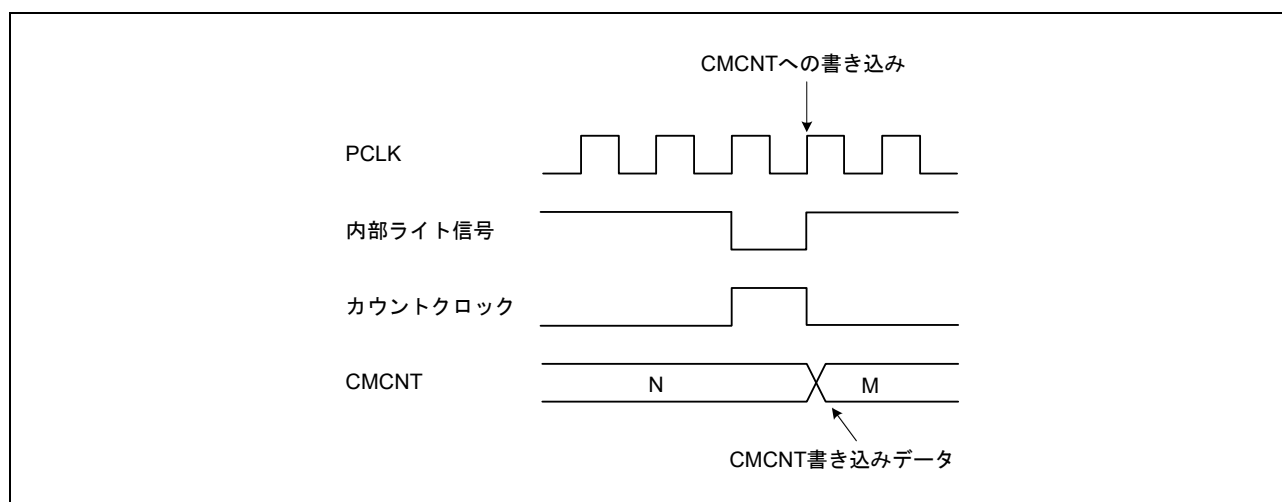


図 24.6 CMCNTカウンタへの書き込みとカウントアップの競合

25. 独立ウォッチドッグタイマ (IWDTa)

本章に記載している PCLK とは PCLKB を指します。

25.1 概要

独立ウォッチドッグタイマ (IWDT) は、プログラムの暴走を検知するために使用できます。IWDT のカウンタがアンダフローする前にリフレッシュするようプログラムを作成しておき、アンダフローが発生したら暴走したと判断できます。

WDT とは以下の点で機能が異なります。

- カウントソースは IWDT 専用低速クロック (IWDTCLK) を分周したもの (PCLK の影響を受けない)
- スリープモード、ソフトウェアスタンバイモード、またはディープスリープモードに遷移する場合に、カウンタを停止しない選択が可能 (IWDTCSR.SLCSTP ビットまたは、OFS0.IWDTSLCSTP ビットで選択)

表 25.1 に IWDT の仕様を、図 25.1 に IWDT のブロック図を示します。

表 25.1 IWDT の仕様

項目	内容
カウントソース (注1)	IWDT専用クロック (IWDTCLK)
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> • リセット後、自動的にカウント開始 (オートスタートモード) • リフレッシュ (IWDTRRレジスタに“00h”を書き込み後、“FFh”を書き込む) により、カウント開始 (レジスタスタートモード)
カウント停止条件	<ul style="list-style-type: none"> • リセット (ダウンカウンタ、レジスタは初期値に戻る) • アンダフロー、リフレッシュエラー発生時 • カウント再開 (オートスタートモード: リセットもしくはノンマスカブル割り込み要求を出力後に自動でカウント再開、レジスタスタートモード: リフレッシュ後にカウント再開)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	<ul style="list-style-type: none"> • ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
ノンマスカブル割り込み要因	<ul style="list-style-type: none"> • ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
カウンタ値の読み出し	IWDTSRレジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
出力信号 (内部信号)	<ul style="list-style-type: none"> • リセット出力 • 割り込み要求出力 • スリープモードカウント停止制御出力
オートスタートモード (オプション機能選択レジスタ0 (OFS0) 制御)	<ul style="list-style-type: none"> • リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDTRPES[1:0]ビット) • リセット出力、または割り込み要求出力の選択 (OFS0.IWDTIRSTIRQSビット) • スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウント停止の選択 (OFS0.IWDTSLCSTPビット)
レジスタスタートモード (IWDTレジスタ制御)	<ul style="list-style-type: none"> • リフレッシュ動作後のクロック分周比の選択 (IWDTCSR.CKS[3:0]ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCSR.TOPS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCSR.RPSS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCSR.RPES[1:0]ビット) • リセット出力、または割り込み要求出力の選択 (IWDTCSR.RSTIRQSビット) • スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウント停止の選択 (IWDTCSR.SLCSTPビット)

注1. 周辺モジュールクロック周波数 (PCLK) $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

IWDT 使用時は、周辺モジュールクロック (PCLK) が停止した場合に備え、IWDT 専用クロック (IWDTCLK) が必要です。バスインタフェース部とレジスタ部は PCLK で動作し、14 ビットのカウンタと制御回路は IWDTCLK で動作します。

図 25.1 に IWDT のブロック図を示します。

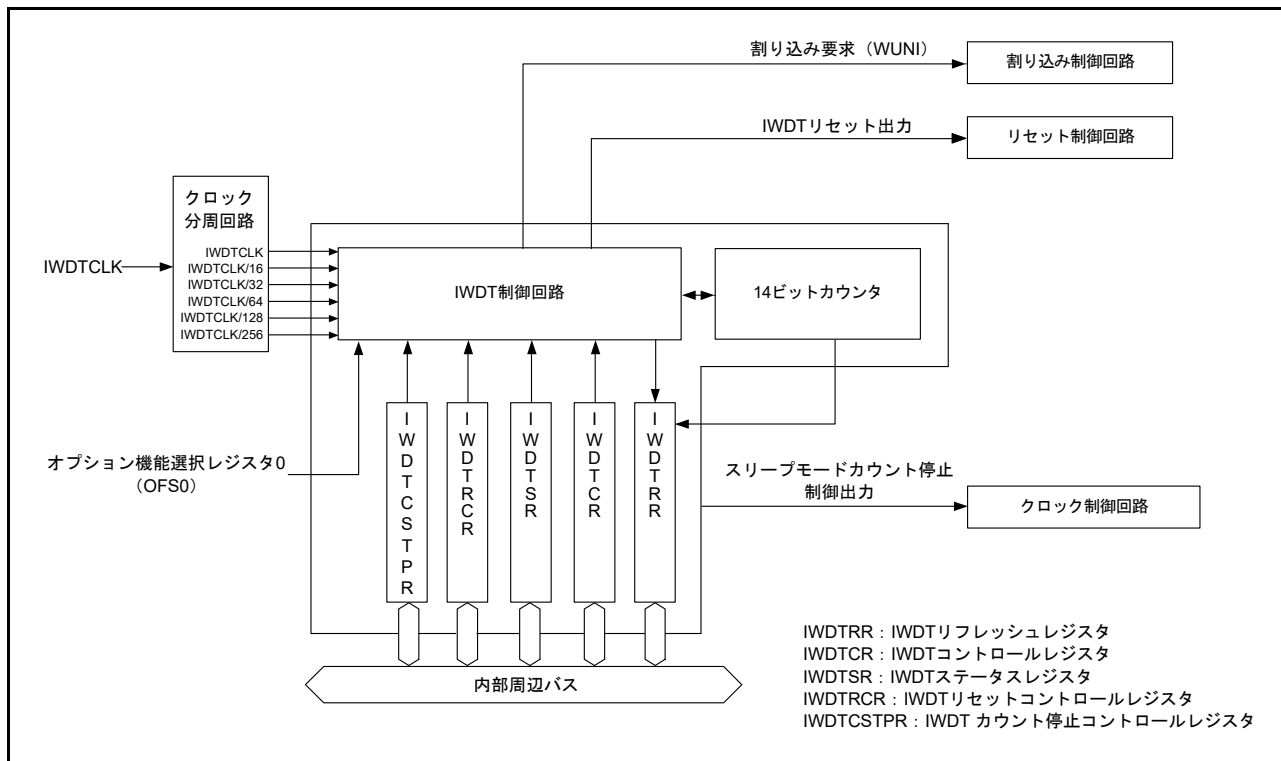
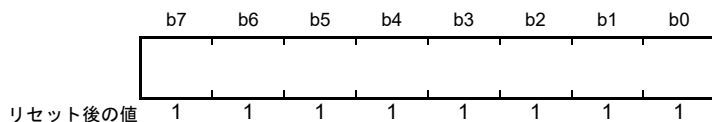


図 25.1 IWDT のブロック図

25.2 レジスタの説明

25.2.1 IWDT リフレッシュレジスタ (IWDTRR)

アドレス IWDT.IWDTRR 0008 8030h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

IWDTRR レジスタは、IWDT のカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、IWDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む（リフレッシュ動作）ことにより IWDT のカウンタをリフレッシュします。

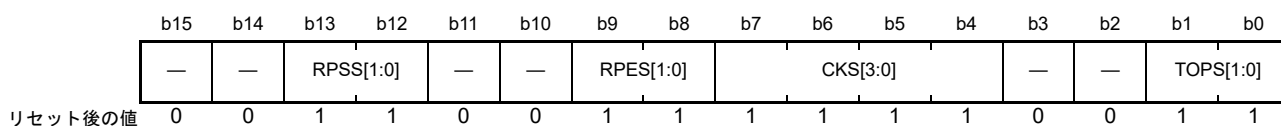
カウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定した値からダウンカウントを行います。レジスタスタートモードの場合、IWDT コントロールレジスタのタイムアウト期間選択ビット (IWDTCR.TOPS[1:0]) で設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「25.3.3 リフレッシュ動作」を参照してください。

25.2.2 IWDT コントロールレジスタ (IWDTCR)

アドレス IWDT.IWDTCR 0008 8032h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 128サイクル (007Fh) 0 1 : 512サイクル (01FFh) 1 0 : 1024サイクル (03FFh) 1 1 : 2048サイクル (07FFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 0 : 分周なし 0 0 1 0 : 16分周 0 0 1 1 : 32分周 0 1 0 0 : 64分周 1 1 1 1 : 128分周 0 1 0 1 : 256分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

IWDTCR レジスタへの書き込みには制限があります。詳細については、「25.3.2 IWDTCR レジスタ、IWDTCR レジスタ、IWDTCRSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「25.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

カウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを1サイクルとして、128 サイクル / 512 サイクル / 1024 サイクル / 2048 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDTCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 25.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および IWDTCLK 数の関係を示します。

表 25.2 タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	分周なし	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	16分周	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	32分周	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	64分周	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	128分周	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	256分周	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

CKS[3:0] ビット (クロック分周比選択ビット)

IWDT は、IWDTCLK を分周する分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。TOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDTCLK の 128 ~ 524288 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

カウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、TOPS[1:0] ビットの設定により変わります。

表 25.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始 / 終了位置のカウント値を示します。

表25.3 タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	007Fh	007Fh	005Fh	003Fh	001Fh
0	1	512	01FFh	01FFh	017Fh	00FFh	007Fh
1	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
1	1	2048	07FFh	07FFh	05FFh	03FFh	01FFh

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

カウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 25.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可 / 禁止期間の関係を示します。

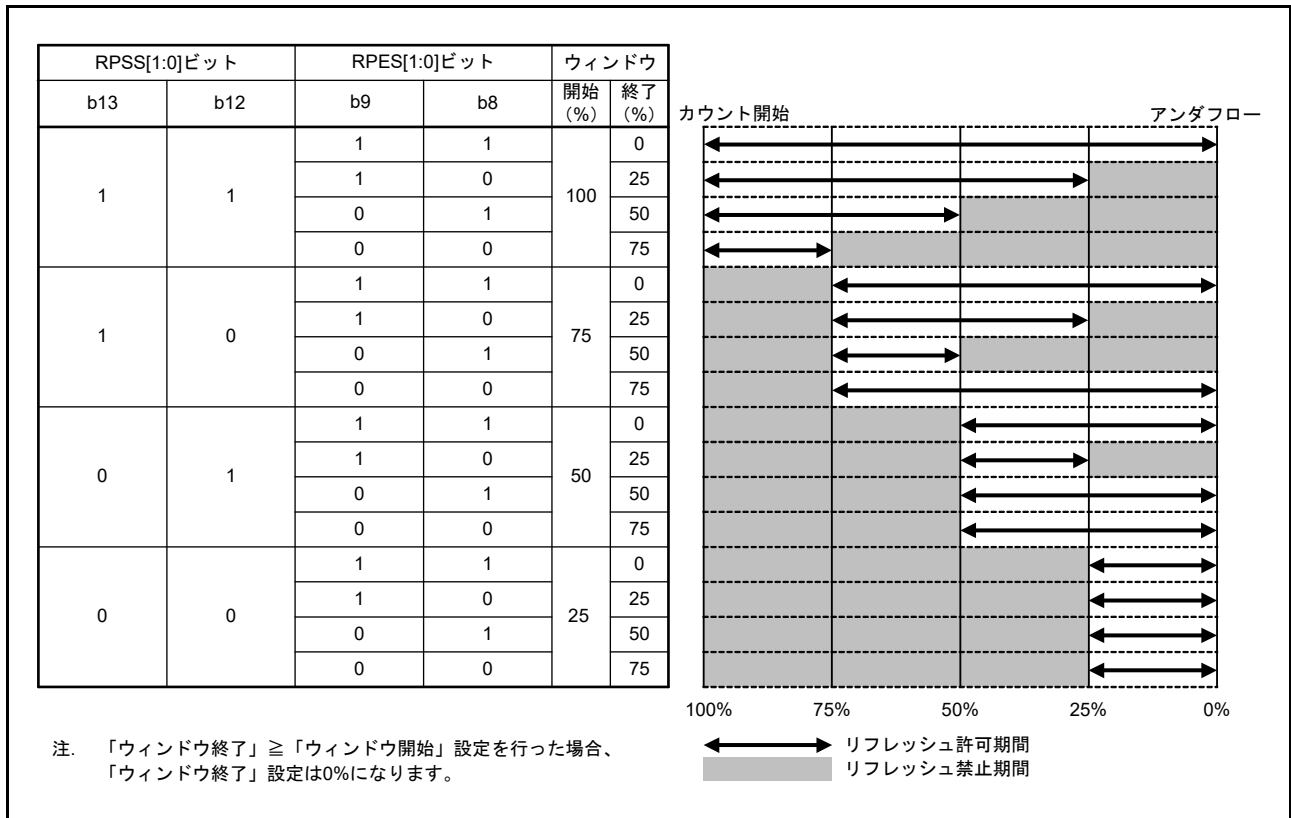
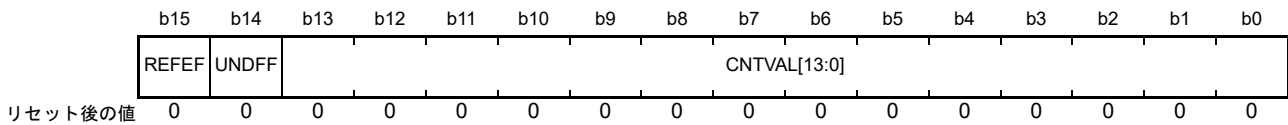


図 25.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

25.2.3 IWDT ステータスレジスタ (IWDTSR)

アドレス IWDT.IWDTSR 0008 8034h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0: アンダフローなし 1: アンダフロー発生	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

IWDTSR レジスタは、IWDT へのリセット要因により初期化されます。それ以外のリセット要因では初期化されません。

CNTVAL[13:0] ビット (カウンタ値ビット)

カウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、カウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

カウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、カウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

25.2.4 IWDT リセットコントロールレジスタ (IWDTRCR)

アドレス IWDT.IWDTRCR 0008 8036h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIR QS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0: ノンマスクブル割り込み要求出力を許可 1: リセット出力を許可	R/W

IWDTRCR レジスタへの書き込みには制限があります。詳細については、「25.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「25.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

25.2.5 IWDT カウント停止コントロールレジスタ (IWDTCSSTPR)

アドレス IWDT.IWDTCSSTPR 0008 8038h

	b7	b6	b5	b4	b3	b2	b1	b0
	SLCSTP	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	SLCSTP	スリープモードカウント停止制御ビット	0: カウント停止無効 1: スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード遷移時のカウント停止有効	R/W

低消費電力状態時、IWDT のカウンタを停止させるかどうかを設定するレジスタです。なお、IWDTCSSTPR レジスタへの書き込みには制限があります。詳細については、「25.3.2 IWDTCSR レジスタ、IWDTCSR レジスタ、IWDTCSSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCSSTPR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTCSSTPR レジスタの各ビットと同様の設定が可能です。詳細については、「25.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

SLCSTP ビット (スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード遷移時のカウント停止を選択します。

25.2.6 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) については、「25.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

25.3 動作説明

25.3.1 カウント開始条件別の各動作

IWDT のスタートモードの選択は、オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) で行います。

OFS0.IWDTSTRT ビットが“1” (レジスタスタートモード) の場合、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、IWDT カウント停止コントロールレジスタ (IWDTCSTPR) の設定が有効となり、IWDT リフレッシュレジスタ (IWDTRR) へのリフレッシュ動作でカウントが開始されます。OFS0.IWDTSTRT ビットが“0” (オートスタートモード) の場合、オプション機能選択レジスタ 0 (OFS0) が有効となり、リセット後、自動的にカウントが開始されます。

25.3.1.1 レジスタスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が“1” の場合、レジスタスタートモードとなり、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSTPR) が有効となります。

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、IWDTRCR レジスタにリセット出力/割り込み要求出力、また IWDTCSTPR レジスタに低消費電力状態への遷移時での IWDT のカウンタのカウント停止制御の設定を行います。その後、リフレッシュ動作でカウンタにタイムアウト期間選択ビット (IWDTCR.TOPS[1:0]) で選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。IWDT リセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) で、リセット出力、または割り込み要求出力のいずれかを選択します。

図 25.3 に以下の条件での動作例を示します。

- IWDT スタートモード選択ビット (OFS0.IWDTSTRT) : “1” (レジスタスタートモード)
- IWDT リセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) : “1” (リセット出力許可)
- IWDT ウィンドウ開始位置選択ビット (IWDTCR.RPSS[1:0]) : “10b” (75%)
- IWDT ウィンドウ終了位置選択ビット (IWDTCR.RPES[1:0]) : “10b” (25%)

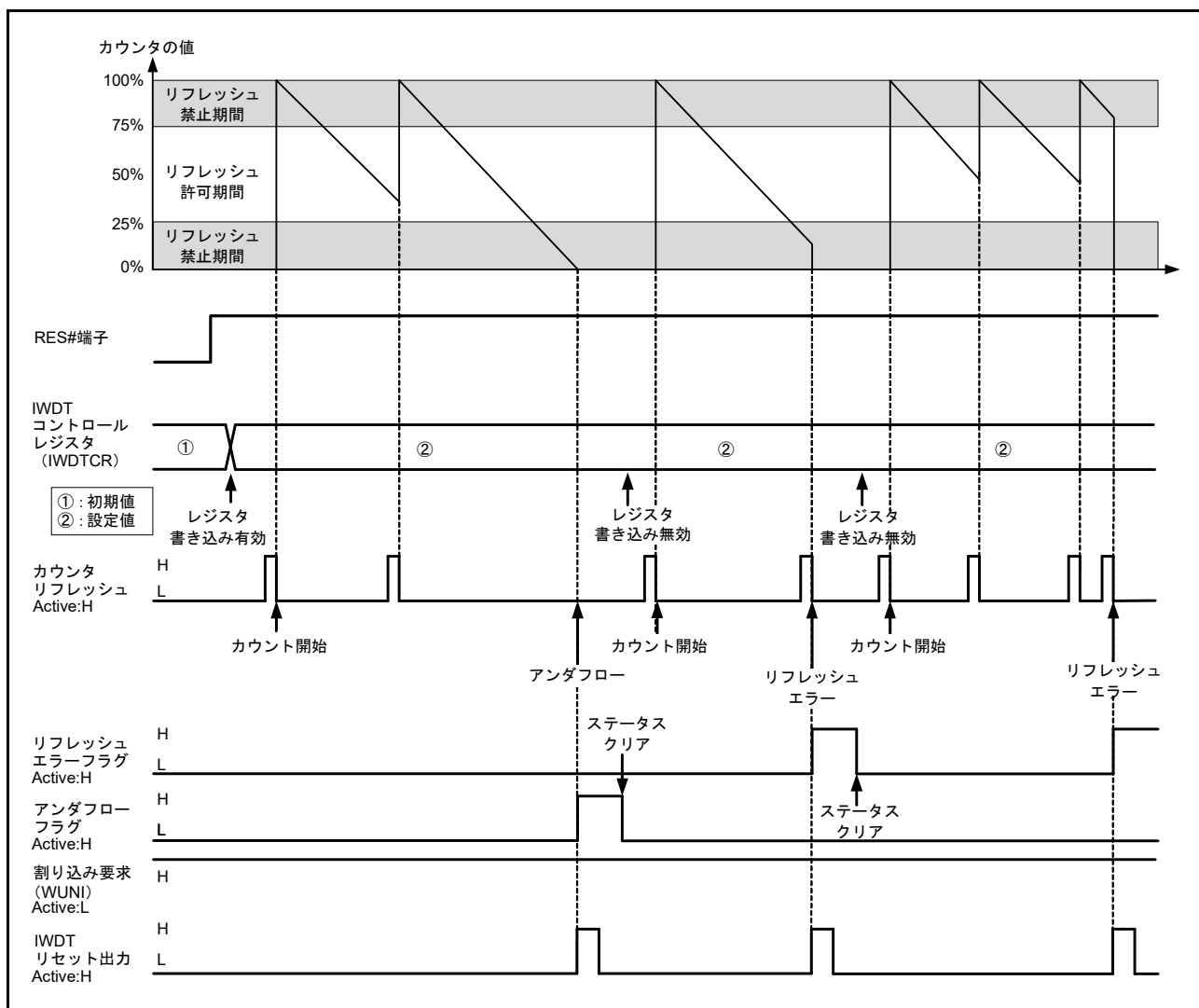


図 25.3 レジスタスタートモード動作例

25.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が “0” の場合、オートスタートモードとなり、IWDT コントロールレジスタ 0 (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSSTPR) が無効となります。

また、リセット期間中にオプション機能選択レジスタ 0 (OFS0) の値を使ってクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求出力、また低消費電力状態への遷移時での IWDT のカウンタのカウント停止制御の設定が行われます。その後、リセット解除でカウンタに IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。リセットまたはノンマスカブル割り込み要求 (WUNI) が発生後、1 サイクルカウント後にカウンタはタイムアウト期間をリロードし、カウント動作を再開します。IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) で、リセット出力、または割り込み要求出力のいずれかを選択します。

図 25.4 に以下の条件での動作例を示します。

- IWDT スタートモード選択ビット (OFS0.IWDTSTRT) : “0” (オートスタートモード)
- IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) : “0” (ノンマスカブル割り込み要求出力許可)
- IWDT ウィンドウ開始位置選択ビット (OFS0.IWDRPSS[1:0]) : “10b” (75%)
- IWDT ウィンドウ終了位置選択ビット (OFS0.IWDRPES[1:0]) : “10b” (25%)

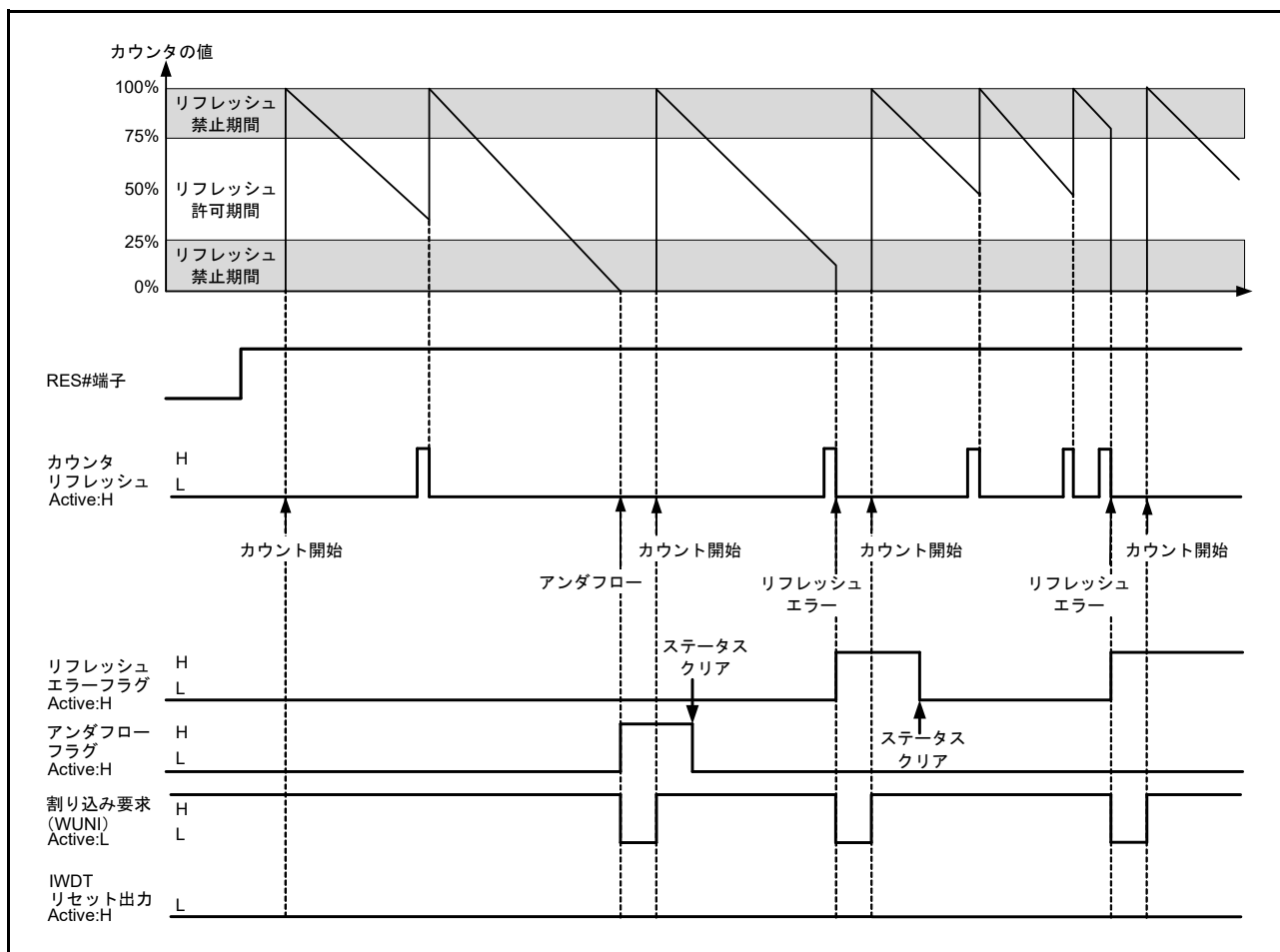


図 25.4 オートスタートモード動作例

25.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSPTPR レジスタ書き込み制御

IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSPTPR) への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは IWDTCR、IWDTRCR、または IWDTCSPTPR レジスタへ書き込みを行うと、IWDT 内部のプロテクト信号が“1”となり、以後 IWDTCR、IWDTRCR、および IWDTCSPTPR レジスタへの書き込みをプロテクトします。

IWDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 25.5 に IWDTCR レジスタ書き込み制御波形を示します。

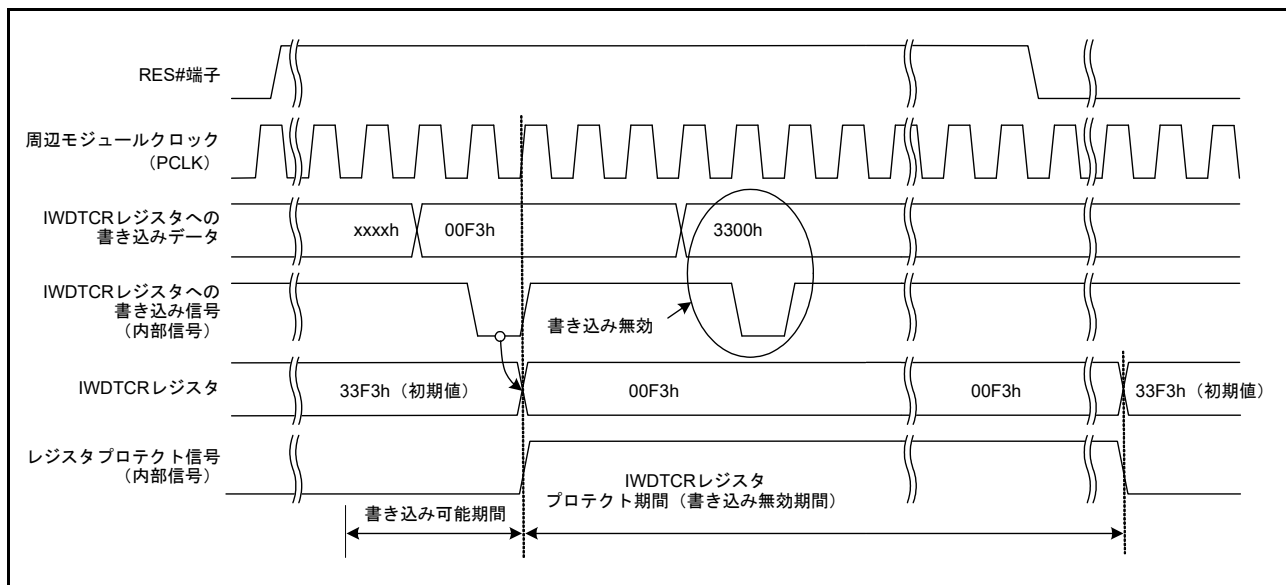


図 25.5 IWDTCR レジスタ書き込み制御波形

25.3.3 リフレッシュ動作

カウンタのリフレッシュ、およびカウンタ動作開始（リフレッシュによるカウント開始）を行うには、IWDTRR リフレッシュレジスタ (IWDTRR) へ“00h”書き込みに続けて“FFh”書き込みを行います。“00h”書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h” (1回目) → “00h” (2回目) の書き込みを行った場合でも、その後“FFh”を書き込むことにより、“00h” → “FFh”順の書き込み動作が成立するため、“00h” (n-1回目) → “00h” (n回目) → “FFh”のよう書き込み動作も有効となり、リフレッシュを行います。“00h”以前の書き込みが“00h”以外でも同様に、“00h” → “FFh”順の書き込み動作が成立すると、リフレッシュを行います。また、IWDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、IWDTRR レジスタ以外へのアクセス、またはIWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1回目) → “00h” (n回目) → “FFh”
- “00h” → 別レジスタアクセスまたはIWDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h”以外) → “FFh”
- “00h” → “54h” (“FFh”以外)
- “00h” → “AAh” (“00h”および“FFh”以外) → “FFh”

リフレッシュ動作として、IWDTRR レジスタへの“00h”の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへの“FFh”の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、カウンタがリフレッシュされるタイミングは、IWDTRR レジスタに“FFh”を書き込み後、カウントサイクル数で最大4サイクル必要となります (1サイクル間のIWDTRR専用クロック (IWDTRRCLK) 数は、クロック分周比選択ビット (IWDTRR.CKS[3:0]) の設定値により異なります)。そのため、リフレッシュ許可期間終了位置から4カウント前、もしくはカウンタがアンダフローする4カウント前までに、IWDTRR レジスタへの“FFh”書き込みを完了してください。カウンタの値はカウンタ値ビット (IWDTRR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置が“03FFh”とした場合、IWDTRR レジスタへの“00h”の書き込みが“03FFh”より前 (たとえば“0402h”) であっても、IWDTRR.CNTVAL[13:0] ビットの値が“03FFh”になってから、IWDTRR レジスタへ“FFh”を書き込めばリフレッシュを行います。
- ウィンドウ終了位置が“03FFh”とした場合、IWDTRR レジスタへ“00h” → “FFh”を書き込み直後にIWDTRR.CNTVAL[13:0] ビットの値を読み出して“0403h” (“03FFh”の4カウント前) 以上であればリフレッシュを行います。
- “0000h”までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能となりますが、この場合IWDTRR レジスタへ“00h” → “FFh”を書き込み直後にIWDTRR.CNTVAL[13:0] ビットの値を読み出して“0003h” (アンダフローの4カウント前) 以上であればアンダフローは発生せず、リフレッシュを行います。

図 25.6 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT リフレッシュ動作波形を示します。

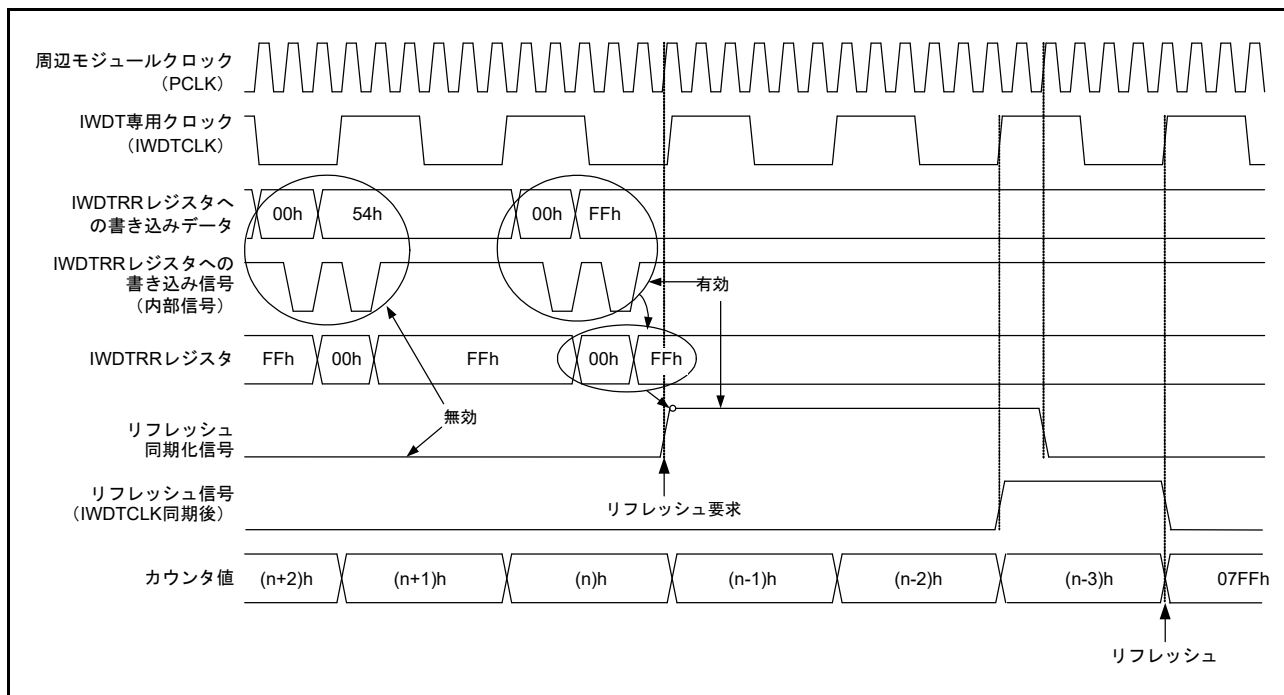


図 25.6 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

25.3.4 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF)、アンダフローフラグ (IWDTSR.UNDF) は、IWDT がリセットを出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に IWDTSR.REFEF フラグ、または IWDTSR.UNDF フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を“0”にするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、“0”にしなくても動作に影響を与えません。“0”にしない場合は、次に IWDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に IWDT の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、各フラグに“0”を書いた後、その値が反映されるまでには、最大で IWDTCLK 3 クロックと PCLK 2 クロック必要です。

25.3.5 リセット出力

レジスタスタートモード時、リセット割り込み選択ビット (IWDTRCR.RSTIRQS) を“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を“1”にした場合、カウンタのアンダフロー、またはリフレッシュエラーにより、リセットを出力します。

レジスタスタートモードでは、リセット出力後、カウンタは初期状態 (ALL“0”) で保持されます。リセットを解除し再起動後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

25.3.6 割り込み要因

レジスタスタートモード時、リセット割り込み選択ビット (IWDTRCR.RSTIRQS) を“0”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を“0”にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生したとき、割り込み (WUNI) が発生します。本割り込みはノンマスクابل割り込みに対応していません。詳細は、「14. 割り込みコントローラ (ICU)」を参照してください。

表 25.4 IWDT の割り込み要因

名称	割り込み要因	DTC の起動
WUNI	カウンタのアンダフロー リフレッシュエラー	不可能

25.3.7 カウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。そのため、IWDT はカウンタ値を周辺モジュールクロック (PCLK) で同期化し、IWDT ステータスレジスタのカウンタ (IWDTSR.CNTVAL[13:0] ビット) へ格納します。IWDTSR.CNTVAL[13:0] ビットへ格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しには PCLK で数クロック (最大 4 クロック) 必要となるため、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 25.7 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT カウンタ値の読み出し処理を示します。

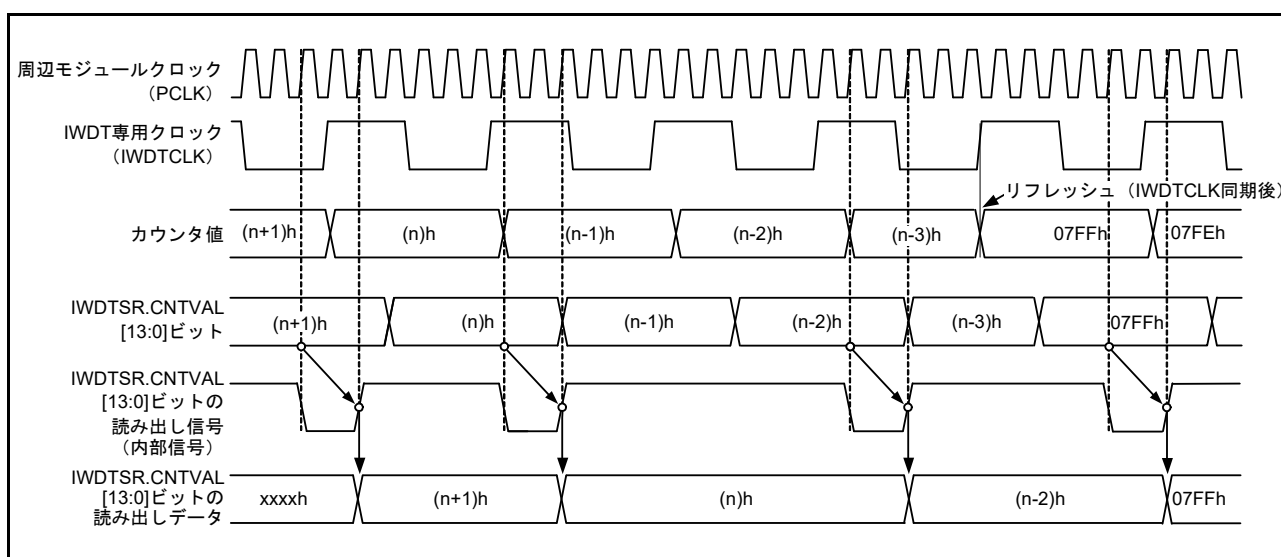


図 25.7 IWDT カウンタ値の読み出し処理
(IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

25.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

表 25.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタの設定は、IWDT 動作中は変更しないでください。

オプション機能選択レジスタ 0 (OFS0) については、「7.2.1 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表 25.5 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.IWDTSTRT = 0	IWDT レジスタ (レジスタスタートモード時有効) OFS0.IWDTSTRT = 1
カウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.IWDRSTIRQS	IWDTCCR.RSTIRQS
カウンタ停止	スリープモードカウンタ停止制御	OFS0.IWDTSLCSTP	IWDTCSTPR.SLCSTP

25.4 使用上の注意事項

25.4.1 リフレッシュ動作について

リフレッシュタイミングの設定においては、PCLK と IWDTCLK の精度を考慮し、誤差の範囲で周期が変化してもリフレッシュできる値を設定してください。

25.4.2 クロック分周比の設定

周辺モジュールクロック周波数 (PCLK) $\geq 4 \times$ (カウンタソースの分周後周波数) となるようにしてください。

26. シリアルコミュニケーションインタフェース (SCIg)

本 MCU は、独立した 3 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communications Interface) を備えています。SCI は、SCIg モジュール (SCI1, SCI5, SCI6) から構成されています。

SCIg (SCI1, SCI5, SCI6) は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communications Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。さらに、簡易 I²C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。

本章に記載している PCLK とは PCLKB を指します。

26.1 概要

表 26.1 に SCIg の仕様を、表 26.2 に SCI チャンネル別機能一覧を示します。

図 26.1 に SCI1 のブロック図を、図 26.2 に SCI5、SCI6 のブロック図を示します。

表 26.1 SCIg の仕様 (1/2)

項目		内容
シリアル通信方式		<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I²C バス 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表 26.3～表 26.5 参照
データ転送		LSB ファースト / MSB ファースト 選択可能 (注1)
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件 / 再開始条件 / 停止条件生成終了 (簡易 I ² C モード用)
消費電力低減機能		チャンネルごとにモジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7ビット / 8ビット / 9ビット
	送信ストップビット	1ビット / 2ビット
	パリティ機能	偶数パリティ / 奇数パリティ / パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTS# 端子、RTSn# 端子を用いた送受信制御が可能
	スタートビットの検出	Low または立ち下がリエッジを選択可能
	ブ레이크検出	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブ레이크を検出可能
	クロックソース	内部クロック / 外部クロックの選択が可能 TMR からの転送レートクロック入力が可能 (SCI5, SCI6)
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTS# 端子、RTSn# 端子を用いた送受信制御が可能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵

表 26.1 SCIgの仕様 (2/2)

項目		内容
スマートカード インタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	ファストモード対応 (転送速度は「26.2.11 ビットレートレジスタ (BRR)」 を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能		内蔵ポーレートジェネレータの出力補正により誤差を低減可能

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表 26.2 SCIチャンネル別機能一覧

項目	SCI1	SCI5	SCI6
調歩同期式モード	○	○	○
クロック同期式モード	○	○	○
スマートカードインタフェースモード	○	○	○
簡易I ² Cモード	○	○	○
簡易SPIモード	○	○	○
TMRクロック入力	—	○	○

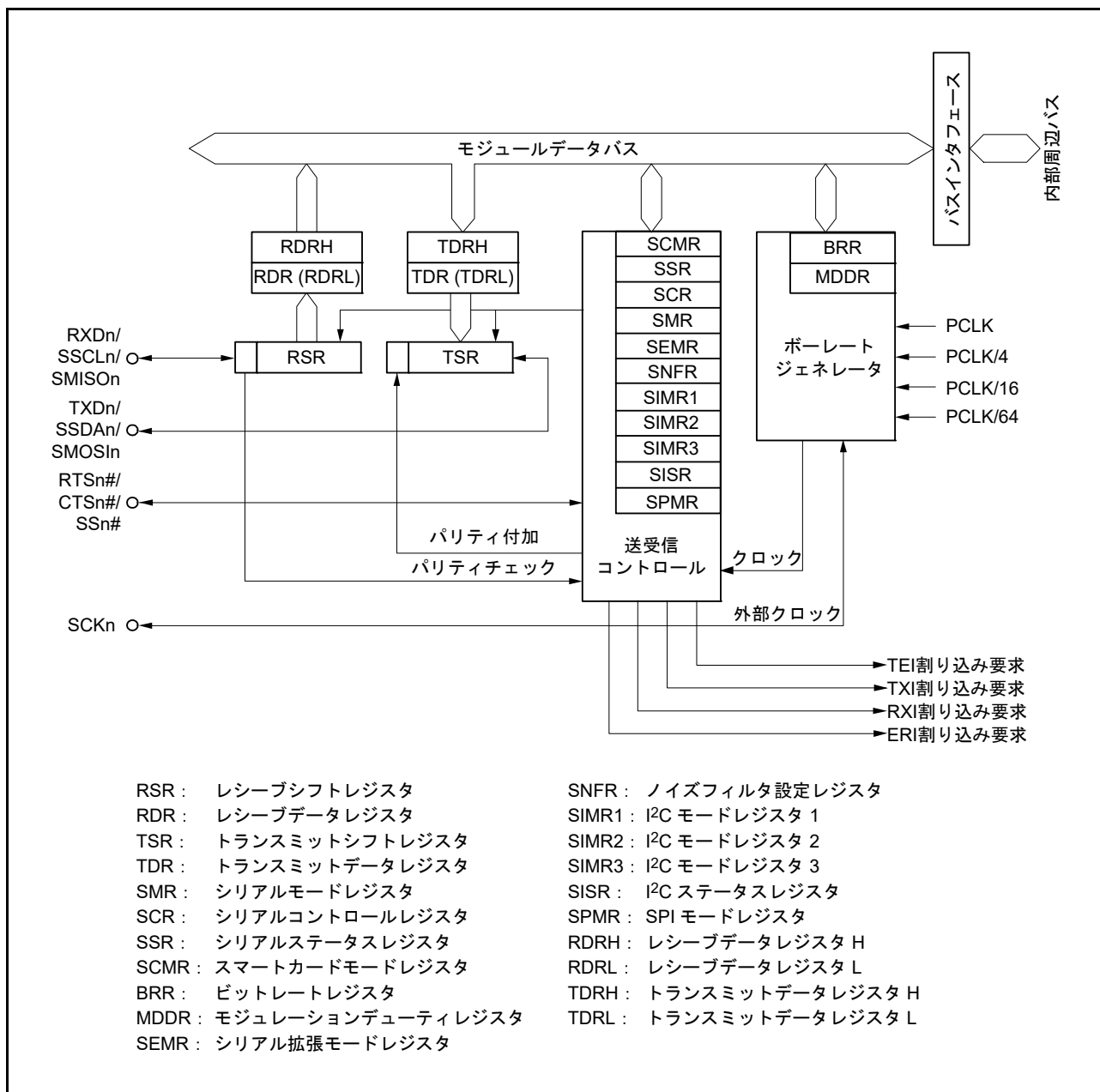


図 26.1 SClg (SCI1) のブロック図

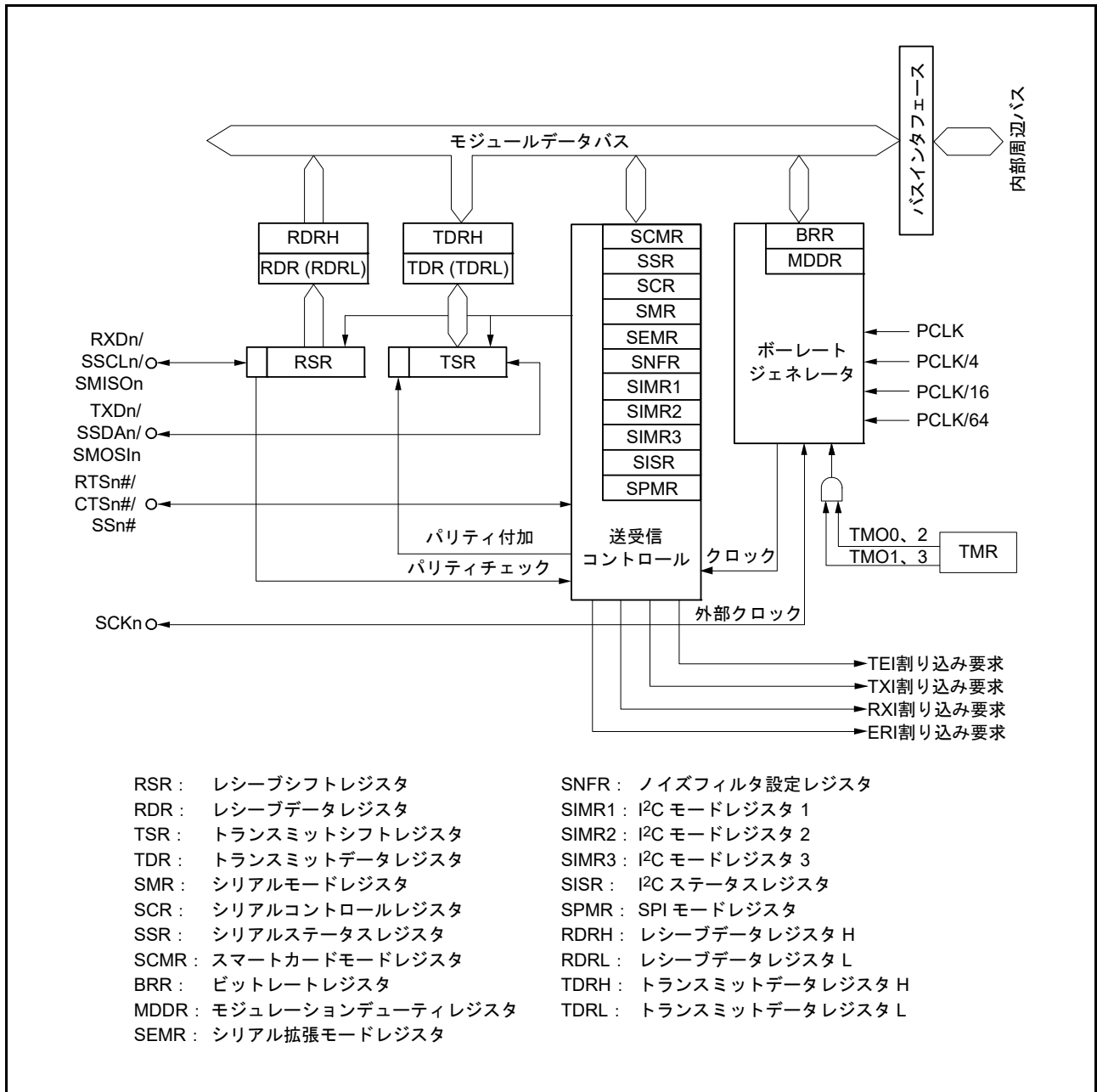


図 26.2 SCIg (SCI5, SCI6) のブロック図

表 26.3 ~ 表 26.5 に SCI の入出力端子をモード別に示します。

表 26.3 SCIの入出力端子 (調歩同期式/クロック同期式モード)

チャンネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1	入力	SCI1の受信データ入力端子
	TXD1	出力	SCI1の送信データ出力端子
	CTS1#/RTS1#	入出力	SCI1送受信開始制御用入出力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	RXD5	入力	SCI5の受信データ入力端子
	TXD5	出力	SCI5の送信データ出力端子
	CTS5#/RTS5#	入出力	SCI5送受信開始制御用入出力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	RXD6	入力	SCI6の受信データ入力端子
	TXD6	出力	SCI6の送信データ出力端子
	CTS6#/RTS6#	入出力	SCI6送受信開始制御用入出力端子

表 26.4 SCIの入出力端子 (簡易I²Cモード)

チャンネル	端子名	入出力	機能
SCI1	SSCL1	入出力	SCI1のI ² Cクロック入出力端子
	SSDA1	入出力	SCI1のI ² Cデータ入出力端子
SCI5	SSCL5	入出力	SCI5のI ² Cクロック入出力端子
	SSDA5	入出力	SCI5のI ² Cデータ入出力端子
SCI6	SSCL6	入出力	SCI6のI ² Cクロック入出力端子
	SSDA6	入出力	SCI6のI ² Cデータ入出力端子

表 26.5 SCIの入出力端子 (簡易SPIモード)

チャンネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	SMISO1	入出力	SCI1のスレーブ送出データ入出力端子
	SMOSI1	入出力	SCI1のマスタ送出データ入出力端子
	SS1#	入力	SCI1チップセレクト入力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	SMISO5	入出力	SCI5のスレーブ送出データ入出力端子
	SMOSI5	入出力	SCI5のマスタ送出データ入出力端子
	SS5#	入力	SCI5チップセレクト入力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	SMISO6	入出力	SCI6のスレーブ送出データ入出力端子
	SMOSI6	入出力	SCI6のマスタ送出データ入出力端子
	SS6#	入力	SCI6チップセレクト入力端子

26.2 レジスタの説明

26.2.1 レシーブシフトレジスタ (RSR)

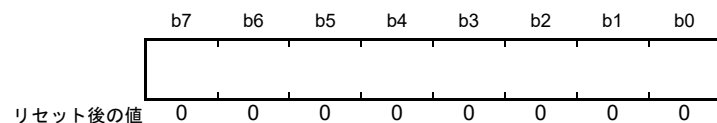
RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

26.2.2 レシーブデータレジスタ (RDR)

アドレス SCI1.RDR 0008 A025h, SCI5.RDR 0008 A0A5h, SCI6.RDR 0008 A0C5h



RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

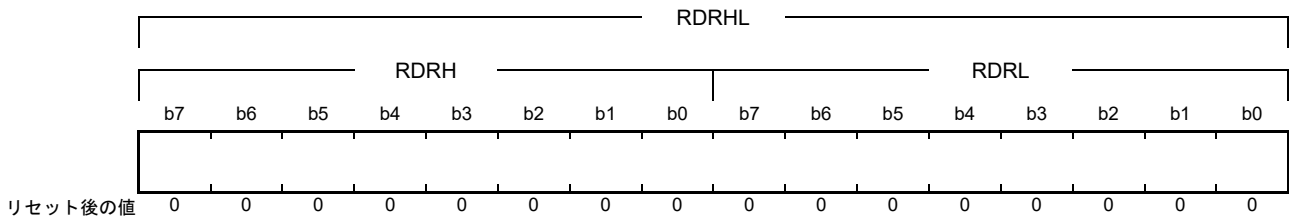
RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

26.2.3 レシーブデータレジスタ H、L、HL (RDRH、RDRL、RDRHL)

- レシーブデータレジスタ H (RDRH)
アドレス SCI1.RDRH 0008 A030h, SCI5.RDRH 0008 A0B0h, SCI6.RDRH 0008 A0D0h
- レシーブデータレジスタ L (RDRL)
アドレス SCI1.RDRL 0008 A031h, SCI5.RDRL 0008 A0B1h, SCI6.RDRL 0008 A0D1h
- レシーブデータレジスタ HL (RDRHL)
アドレス SCI1.RDRHL 0008 A030h, SCI5.RDRHL 0008 A0B0h, SCI6.RDRHL 0008 A0D0h



RDRH レジスタと RDRL レジスタは、それぞれ受信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

RDRL レジスタは RDR レジスタのシャドウとなっており、RDRL レジスタへのアクセスは RDR レジスタへのアクセスになります。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこれらのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDRH レジスタおよび RDRL レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

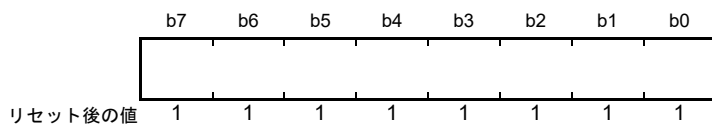
RDRH レジスタおよび RDRL レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに、RDRH レジスタ、RDRL レジスタの順に 1 回だけ行ってください。受信データを RDRL からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDRH レジスタおよび RDRL レジスタへは CPU から書き込みできません。RDRH レジスタの b1 から b7 は“0”に固定されており、読むと“0”が読めます。

RDRHL レジスタとして 16 ビットでもアクセスできます。

26.2.4 トランスミットデータレジスタ (TDR)

アドレス SCI1.TDR 0008 A023h, SCI5.TDR 0008 A0A3h, SCI6.TDR 0008 A0C3h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

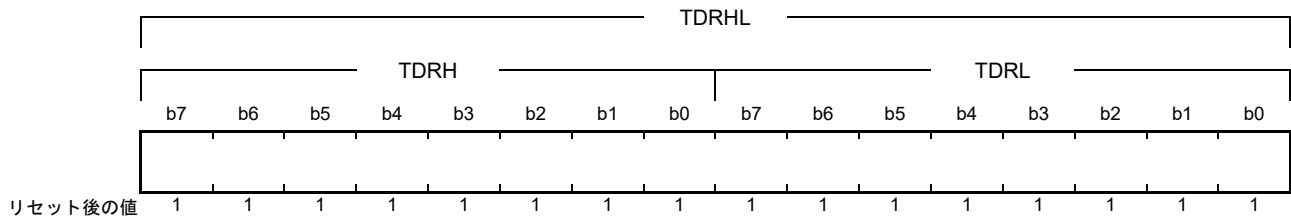
TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

TDR レジスタは CPU からリード/ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

26.2.5 トランスミットデータレジスタ H、L、HL (TDRH、TDRL、TDRHL)

- トランスミットデータレジスタ H (TDRH)
アドレス SCI1.TDRH 0008 A02Eh, SCI5.TDRH 0008 A0AEh, SCI6.TDRH 0008 A0CEh
- トランスミットデータレジスタ L (TDRL)
アドレス SCI1.TDRL 0008 A02Fh, SCI5.TDRL 0008 A0AFh, SCI6.TDRL 0008 A0CFh
- トランスミットデータレジスタ HL (TDRHL)
アドレス SCI1.TDRHL 0008 A02Eh, SCI5.TDRHL 0008 A0AEh, SCI6.TDRHL 0008 A0CEh



TDRH レジスタと TDRL レジスタは、それぞれ送信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

TDRL レジスタは TDR レジスタのシャドウとなっており、TDRL レジスタへのアクセスは TDR レジスタへのアクセスになります。

TSR レジスタに空きを検出すると、TDRH レジスタおよび TDRL レジスタに書き込まれた送信データは TSR レジスタに転送されて送信を開始します。

TDRH レジスタおよび TDRL レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDRL レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を続けます。

TDRH レジスタおよび TDRL レジスタは CPU からリード/ライト可能です。TDRH レジスタの b1 から b7 は“1”に固定されており、読むと“1”が読めます。書く場合、“1”としてください。

TDRH レジスタおよび TDRL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに、TDRH レジスタ、TDRL レジスタの順に 1 回だけ行ってください。

TDRHL レジスタとして 16 ビットでもアクセスできます。

26.2.6 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

26.2.7 シリアルモードレジスタ (SMR)

SMR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SMR 0008 A020h, SCI5.SMR 0008 A0A0h, SCI6.SMR 0008 A0C0h

b7	b6	b5	b4	b3	b2	b1	b0
CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモードビット	(調歩同期式モードのみ有効) 0 : マルチプロセッサ通信機能を禁止 1 : マルチプロセッサ通信機能を許可	R/W (注4)
b3	STOP	ストップビットレングスビット	(調歩同期式モードのみ有効) 0 : 1ストップビット 1 : 2ストップビット	R/W (注4)
b4	PM	パリティモードビット	(PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注4)
b5	PE	パリティイネーブルビット	(調歩同期式モードのみ有効) • 送信時 0 : パリティビットなし 1 : パリティビットを付加 • 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタレングスビット	(調歩同期式モードのみ有効 (注2)) SCMR.CHR1ビットと組み合わせて選択します。 CHR1 CHR 0 0 : データ長9ビットで送受信 0 1 : データ長9ビットで送受信 1 0 : データ長8ビットで送受信 (初期値) 1 1 : データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	コミュニケーションモードビット	0 : 調歩同期式モード、または簡易I ² Cモードで動作 1 : クロック同期式モード、または簡易SPIモードで動作	R/W (注4)

注1. nは設定値の10進表示で、「26.2.11 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. 調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB (b7) は送信されません。

注4. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「26.2.11 ビットレートレジスタ (BRR)」を参照してください。

MP ビット (マルチプロセッサモードビット)

マルチプロセッサ通信機能の許可 / 禁止を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット (ストップビットレングスビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの1ビット目のみチェックし、2ビット目が“0”の場合は次の送信フレームのスタートビットと見なします。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット (パリティイネーブルビット)

PE ビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット (キャラクタレングスビット)

送受信データのデータ長を SCMR.CHR1 ビットと組み合わせて選択します。

調歩同期式モード以外では、データ長は8ビット固定です。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SMR 0008 A020h, SMC15.SMR 0008 A0A0h, SMC16.SMR 0008 A0C0h

b7	b6	b5	b4	b3	b2	b1	b0
GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0: PCLK (n = 0) (注1) 0 1: PCLK/4 (n = 1) (注1) 1 0: PCLK/16 (n = 2) (注1) 1 1: PCLK/64 (n = 3) (注1)	R/W (注2)
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 表26.6にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	PM	パリティモードビット	(PEビット=1のときのみ有効) 0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W (注2)
b5	PE	パリティイネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W (注2)
b6	BLK	ブロック転送モードビット	0: 通常モードで動作します 1: ブロック転送モードで動作します	R/W (注2)
b7	GM	GSMモードビット	0: 通常モードで動作します 1: GSMモードで動作します	R/W (注2)

注1. nは設定値の10進表示で、「26.2.11 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「26.2.11 ビットレートレジスタ (BRR)」を参照してください。

BCP[1:0] ビット (基本クロックパルスビット)

スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2ビットと組み合わせて選択します。

詳細は、「26.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。

表26.6 SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. Sは「26.2.11 ビットレートレジスタ (BRR)」中のSの値を表します。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「26.6.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。

PE ビット (パリティイネーブルビット)

PE ビットは“1”にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット (ブロック転送モードビット)

BLK ビットを“1”にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「26.6.3 ブロック転送モード」を参照してください。

GM ビット (GSM モードビット)

GM ビットを“1”にすると、GSM モードで動作します。

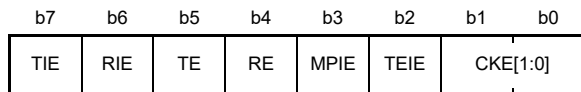
GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0 etu (etu : Elementary Time Unit、1 ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「26.6.6 シリアルデータの送信 (ブロック転送モードを除く)」、「26.6.8 クロック出力制御」を参照してください。

26.2.8 シリアルコントロールレジスタ (SCR)

注. SCRレジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SCR 0008 A022h, SCI5.SCR 0008 A0A2h, SCI6.SCR 0008 A0C2h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> • SCI1の場合 (調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できません 0 1 : 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x : 外部クロック SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください <ul style="list-style-type: none"> (クロック同期式の場合) b1 b0 0 x : 内部クロック SCKn端子はクロック出力端子となります 1 x : 外部クロック SCKn端子はクロック入力端子となります 	R/W (注1)
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> • SCI5、SCI6の場合 (調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できません 0 1 : 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x : 外部クロックまたはTMRクロック ・外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。 SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください ・TMRクロックを使用可能 TMRクロック使用時は、I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます。 <ul style="list-style-type: none"> (クロック同期式の場合) b1 b0 0 x : 内部クロック : SCKn端子はクロック出力端子となります 1 x : 外部クロック SCKn端子はクロック入力端子となります 	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	0 : TEI割り込み要求を禁止 1 : TEI割り込み要求を許可	R/W

ビット	シンボル	ビット名	機能	R/W
b3	MPIE	マルチプロセッサインタラプトイネーブルビット	(調歩同期式モードで、SMR.MPビット=1のとき有効) 0: 通常の受信動作 1: マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.ORER, FERの各ステータスフラグのセット (“1”) を禁止します。マルチプロセッサビットが“1”のデータを受信すると、MPIEビットは自動的に“0”になり、通常の受信動作に戻ります	R/W
b4	RE	レシーブイネーブルビット	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブルビット	0: RXIおよびERI割り込み要求を禁止 1: RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプトイネーブルビット	0: TXI割り込み要求を禁止 1: TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. SMR.CMビットが“1”のときは、TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。

一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ可能になります。SMR.CMビットが“0”かつSIMR1のIICMビットが“0”のときは、任意のタイミングで書き込みが可能です。

CKE[1:0] ビット (クロックイネーブルビット)

クロックソースおよび SCK_n 端子の機能を選択します。

内蔵 TMR クロックは SEMR.ACS0 ビットと組み合わせて設定します。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを“0”にすることで行うことができます。

簡易 I²C モードでは、開始 / 再開 / 停止条件生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も TEIE ビットにより STI 割り込み要求を許可、または禁止することができます。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

MPIE ビットを“1”にすると、マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.ORER、FER フラグの各ステータスフラグは“1”になりません。マルチプロセッサビットが“1”のデータを受信すると、MPIE ビットは自動的にクリアされ、通常の受信動作に戻ります。詳細は「26.4 マルチプロセッサ通信機能」を参照してください。

マルチプロセッサビットが“0”の受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、ORER、FER の各フラグのセット (“1”) は行いません。

マルチプロセッサビットが“1”の受信データを受信すると、SSR.MPB ビットを“1”にし、MPIE ビットを自動的に“0”にし、RXI、ERI 割り込み要求 (SCR の RIE ビットが“1”の場合) と、ORER、FER フラグのセット (“1”) が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには“0”を書き込んでください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR.ORER、FER、PER、RDRF の各フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SCR 0008 A022h, SMC15.SCR 0008 A0A2h, SMC16.SCR 0008 A0C2h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> SMR.GMビット=0の場合 b1 b0 0 0: 出カディスエーブル (I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できません) 0 1: クロック出力 1 x: (設定しないでください) SMR.GMビット=1の場合 b1 b0 0 0: Low出力固定 x 1: クロック出力 1 0: High出力固定 	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	レシーブイネーブルビット	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブル ビット	0: RXIおよびERI割り込み要求を禁止 1: RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0: TXI割り込み要求を禁止 1: TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. TEビット=0、REビット=0の場合のみ“1”を書き込みしてください。

一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ行ってください。

各割り込み要求については、「26.11 割り込み要因」を参照してください。

CKE[1:0] ビット (クロックイネーブルビット)

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「26.6.8 クロック出力制御」を参照してください。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR レジスタの ORER、FER、PER フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

26.2.9 シリアルステータスレジスタ (SSR)

SSR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SSR 0008 A024h, SCI5.SSR 0008 A0A4h, SCI6.SSR 0008 A0C4h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタに有効なデータなし 1: RDRレジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタに未送信のデータあり 1: TDRレジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから“0”を書いてください。

注2. 書く場合“1”としてください。

MPB ビット (マルチプロセッサビット)

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが“0”のときは変化しません。

TEND フラグ (トランスミットエンドフラグ)

送信が終了したことを表示します。

[“1”になる条件]

- SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

[“0”になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき
TEND フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが "1" になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
PER フラグを "0" にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

["1"になる条件]

- ストップビットが "0" のとき
2 ストップモードのときは、1 ビット目のストップビットが "1" であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが "1" になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
FER フラグを "0" にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1"になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが "1" になった状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
ORER フラグを "0" にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

["1"になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

["0"になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

["1"になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

["0"になる条件]

- TDR レジスタへ送信データを書いたとき

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SSR 0008 A024h, SMC15.SSR 0008 A0A4h, SMC16.SSR 0008 A0C4h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT

リセット後の値 1 0 0 0 0 1 0 0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは"0"としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。"0" としてください	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLow応答なし 1: エラーシグナルLow応答あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタに有効なデータなし 1: RDRレジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタに未送信のデータあり 1: TDRレジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための"0"書き込みのみ可能です。フラグをクリアする場合は、フラグが"1"であることを確認してから"0"を書いてください。

注2. 書く場合"1"としてください。

TEND フラグ (トランスミットエンドフラグ)

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき“1”になります。

["1"になる条件]

- SCR.TE ビット = 0 (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ = 0 かつ TDR レジスタが更新されていないとき
セットされるタイミングは、レジスタの設定により以下のように異なります。
SMR.GM ビット = 0、SMR.BLK ビット = 0 のとき、送信開始から 12.5 etu 後
SMR.GM ビット = 0、SMR.BLK ビット = 1 のとき、送信開始から 11.5 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 0 のとき、送信開始から 11.0 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 1 のとき、送信開始から 11.0 etu 後

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき
TEND フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが“1”になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
PER フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ (エラーシグナルステータスフラグ)

["1"になる条件]

- エラーシグナル Low をサンプリングしたとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ERS フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0”にしても、ERS フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

[“1”になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが“1”になった状態では、以降のシリアル受信を続けることはできません。

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ORER フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0”にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

[“1”になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[“0”になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

[“1”になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0”になる条件]

- TDR レジスタへ送信データを書いたとき

26.2.10 スマートカードモードレジスタ (SCMR)

アドレス SMCI1.SCMR 0008 A026h, SMCI5.SCMR 0008 A0A6h, SMCI6.SCMR 0008 A0C6h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCP2	—	—	CHR1	SDIR	SINV	—	SMIF
リセット後の値	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモードセレクトビット	0: 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、簡易I ² Cモード) 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	送受信データインパートビット	0: TDRレジスタの内容をそのまま送信、受信データをそのままRDRレジスタに格納 1: TDRレジスタの内容を反転して送信、受信データを反転してRDRレジスタに格納	R/W (注1)
b3	SDIR	送受信データ転送方向ビット	以下のモードで使用可能です。 <ul style="list-style-type: none"> スマートカードインタフェースモード 調歩同期式モード (マルチプロセッサモード) クロック同期式モード 簡易SPIモード 簡易I ² Cモードで動作させる場合は、“1”にしてください 0: LSBファーストで送受信 1: MSBファーストで送受信	R/W (注1)
b4	CHR1	キャラクタレングスビット1	(調歩同期式モードのみ有効 (注2)) SMR.CHRビットと組み合わせて選択します CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信 (初期値) 1 1: データ長7ビットで送受信 (注3)	R/W (注1)
b6-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせて選択します 表26.7にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

注2. 調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB (b7) は送信されません。

SMIF ビット (スマートカードインタフェースモードセレクトビット)

スマートカードインタフェースモードで動作させるときは、“1”を設定します。

非スマートカードインタフェースモードである調歩同期式 (マルチプロセッサモード含む)、クロック同期式モード、簡易SPIモード、および簡易I²Cモードで動作させるときは、“0”を設定します。

SINV ビット (送受信データインパートビット)

送受信データのロジックレベルを反転します。SINVビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PMビットを反転してください。

CHR1 ビット (キャラクタレングスビット 1)

送受信データのデータ長を選択します。
 SMR.CHR ビットと組み合わせて選択します。
 調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット (基本クロックパルスビット 2)

スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR.BCP[1:0] ビットと組み合わせて選択します。

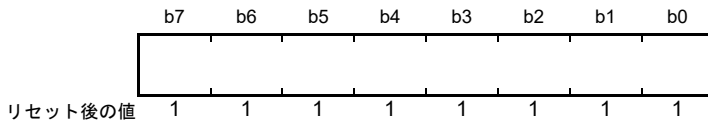
表 26.7 SCMR.BCP2 ビットと SMR.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR.BCP[1:0] ビット		1 ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. Sは「26.2.11 ビットレートレジスタ (BRR)」中のSの値を表します。

26.2.11 ビットレートレジスタ (BRR)

アドレス SCI1.BRR 0008 A021h, SCI5.BRR 0008 A0A1h, SCI6.BRR 0008 A0C1h



BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モードおよび簡易 I²C モードにおける BRR レジスタの設定値 N とビットレート B の関係を表 26.8 に示します。

BRR レジスタへの書き込みは、SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

表 26.8 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR レジスタの設定		BRR レジスタの設定値	誤差 [%]
	BGDM ビット	ABCS ビット		
調歩同期式、マルチプロセッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	1	$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 8 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易 I ² C (注1)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B : ビットレート [bps]

N : BRR レジスタの設定値 (0 ≤ N ≤ 255)

PCLK : 周辺モジュールクロック周波数 [MHz]

n と S : 表 26.9 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. 簡易 I²C モードでの SCL 出力の High/Low 幅が I²C-bus 規格を満たすようビットレートを調整してください。

表 26.9 SCL High/Low幅算出式

モード	SCL	算出式 (秒(s))
I ² C	High幅 (min値)	$(N + 1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low幅 (min値)	$(N + 1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表 26.10 クロックソースの設定

SMR.CKS[1:0]ビットの設定	クロックソース	n
0 0	PCLK	0
0 1	PCLK/4	1
1 0	PCLK/16	2
1 1	PCLK/64	3

表 26.11 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2ビットの設定	SMR.BCP[1:0]ビットの設定	1ビット期間中の 基本クロックパルス数	S
0	0 0	93クロック	93
0	0 1	128クロック	128
0	1 0	186クロック	186
0	1 1	512クロック	512
1	0 0	32クロック	32
1	0 1	64クロック	64
1	1 0	372クロック	372
1	1 1	256クロック	256

通常の調歩同期式モードにおける BRR レジスタの値 N の設定例を表 26.12 に、各動作周波数における設定可能な最大ビットレートを表 26.13 に示します。また、クロック同期式モードおよび簡易 SPI モードにおける BRR レジスタの値 N の設定例を表 26.16 に、スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を表 26.18 に、簡易 I²C モードにおける BRR レジスタの値 N の設定例を表 26.20 に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「26.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 26.14、表 26.17 に外部クロック入力時の最大ビットレートを示します。

調歩同期式モードでシリアル拡張モードレジスタ (SEMR) の調歩同期基本クロックセレクトビット (ABCS) またはボーレートジェネレータ倍速モードセレクトビット (BGDM ビット) のいずれか一方のビットを“1”にしたときのビットレートは表 26.12 の 2 倍に、両ビットとも“1”にしたときのビットレートは 4 倍になります。

表 26.12 ビットレートに対するBRRの設定例 (調歩同期式モード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	20			25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13	3	145	0.33	3	177	-0.25
150	3	64	0.16	3	80	0.47	3	97	-0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	-0.15	2	194	0.16	2	214	-0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35	2	106	0.39	2	129	0.16
1200	1	129	0.16	1	162	-0.15	1	194	0.16	1	214	-0.07	2	64	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	-0.15	0	194	0.16	0	214	-0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35	0	106	0.39	0	129	0.16
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	64	0.16
31250	0	19	0.00	0	24	0.00	0	29	0.00	0	32	0.00	0	39	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	-0.54	0	32	-1.36

注. SEMR.ABCSビット=0、SEMR.BGDMビット=0のときの例です。

ABCSビットまたはBGDMビットのいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。

ABCSビット=1、BGDMビット=1にしたときは、ビットレートが4倍になります。

表 26.13 各動作周波数における最大ビットレート (調歩同期式モード)

PCLK (MHz)	SEMRレジスタの設定値				最大ビット レート (bps)	PCLK (MHz)	SEMRレジスタの設定値				最大ビット レート (bps)
	BGDM ビット	ABCS ビット	n	N			BGDM ビット	ABCS ビット	n	N	
8	0	0	0	0	250000	18	0	0	0	0	562500
		1	0	0	500000			1	0	0	1125000
	1	0	0	0	1000000		1	0	0	0	2250000
		1	0	0							
9.8304	0	0	0	0	307200	19.6608	0	0	0	0	614400
		1	0	0	614400			1	0	0	1228800
	1	0	0	0	1228800		1	0	0	0	2457600
		1	0	0							
10	0	0	0	0	312500	20	0	0	0	0	625000
		1	0	0	625000			1	0	0	1250000
	1	0	0	0	1250000		1	0	0	0	2500000
		1	0	0							
12	0	0	0	0	375000	25	0	0	0	0	781250
		1	0	0	750000			1	0	0	1562500
	1	0	0	0	1500000		1	0	0	0	3125000
		1	0	0							
12.288	0	0	0	0	384000	30	0	0	0	0	937500
		1	0	0	768000			1	0	0	1875000
	1	0	0	0	1536000		1	0	0	0	3750000
		1	0	0							
14	0	0	0	0	437500	33	0	0	0	0	1031250
		1	0	0	875000			1	0	0	2062500
	1	0	0	0	1750000		1	0	0	0	4125000
		1	0	0							
16	0	0	0	0	500000	40	0	0	0	0	1250000
		1	0	0	1000000			1	0	0	2500000
	1	0	0	0	2000000		1	0	0	0	5000000
		1	0	0							
17.2032	0	0	0	0	537600						
		1	0	0	1075200						
	1	0	0	0	2150400		1	0	0	0	
		1	0	0							

表26.14 外部クロック入力時の最大ビットレート (調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)	
		SEMR.ABCSビット=0	SEMR.ABCSビット=1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500
33	8.2500	515625	1031250
40	10.0000	625000	1250000

表26.15 TMRクロック入力時の最大ビットレート (調歩同期式モード)

PCLK (MHz)	TMRクロック (MHz)	最大ビットレート (bps)	
		SEMR.ABCSビット=0	SEMR.ABCSビット=1
8	4	250000	500000
9.8304	4.9152	307200	614400
10	5	312500	625000
12	6	375000	750000
12.288	6.144	384000	768000
14	7	437500	875000
16	8	500000	1000000
17.2032	8.6016	537600	1075200
18	9	562500	1125000
19.6608	9.8304	614400	1228800
20	10	625000	1250000
25	12.5	781250	1562500
30	15	937500	1875000
33	16.5	1031250	2062500
40	20	1250000	2500000

表 26.16 ビットレートに対するBRRの設定例 (クロック同期式モード、簡易SPIモード)

ビットレート (bps)	動作周波数PCLK (MHz)															
	8		10		16		20		25		30		33		40	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																
250	3	124	—	—	3	249										
500	2	249	—	—	3	124	—	—			3	233				
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	155
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	249
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	124
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	249
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	99
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	49
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	99
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	39
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	19
1M	0	1			0	3	0	4	—	—	—	—	—	—	0	9
2.5M			0	0 (注1)			0	1	—	—	0	2	—	—	0	3
5M							0	0 (注1)							0	1
7.5M											0	0 (注1)				

空欄：設定できません。

—：設定可能ですが誤差がでます。

注1. 連続送信/連続受信はできません。1フレームの送信/受信終了後、次のフレームの送信/受信を開始するまで1ビット期間の間隔が空きます（同期クロックの出力が1ビット期間停止します）。そのため、1フレーム（8ビット）のデータ転送に9ビット分の時間がかかり、平均した転送レートは8/9倍になります。

表 26.17 外部クロック入力時の最大ビットレート (クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
8	1.3333	1.3333
10	1.6667	1.6667
12	2.0000	2.0000
14	2.3333	2.3333
16	2.6667	2.6667
18	3.0000	3.0000
20	3.3333	3.3333
25	4.1667	4.1667
30	5.0000	5.0000
33	5.5000	5.5000
40	6.6667	6.6667

表 26.18 ビットレートに対するBRRの設定例 (スマートカードインタフェースモードでn=0、S=372のとき)

ビットレート (bps)	PCLK (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	30
	10.7136	0	1	25
	13.00	0	1	8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	15.99
	20.00	0	2	6.66
	25.00	0	3	12.49
	30.00	0	3	5.01
	33.00	0	4	7.59
	40.00	0	5	-6.66

表 26.19 各動作周波数における最大ビットレート (スマートカードインタフェースモードでS=32のとき)

PCLK (MHz)	最大ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0
33.00	515625	0	0
40.00	625000	0	0

表26.20 ビットレートに対するBRRの設定例 (簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	31	-2.3	1	12	-3.8	1	15	-2.3	1	19	-2.3
25k	0	9	0.0	0	12	-3.8	1	4	0.0	1	6	-10.7	1	7	-2.3
50k	0	4	0.0	0	6	-10.7	1	2	-16.7	1	3	-21.9	1	3	-2.3
100k	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	1	-37.5	0	1	0.0	0	2	-16.7	0	3	-21.9
350k										0	1	-10.7	0	2	-25.6

ビット レート (bps)	動作周波数PCLK (MHz)								
	30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	1	23	-2.3	1	25	-0.8	0	124	0.00
25k	1	9	-6.3	1	10	-6.3	0	40	0.00
50k	1	4	-6.3	1	5	-14.1	0	24	0.00
100k	1	2	-21.9	1	2	-14.1	0	12	-3.85
250k	0	3	-6.3	0	4	-17.5	0	4	0.00
350k	0	2	-10.7	0	2	-1.8	0	3	-10.71

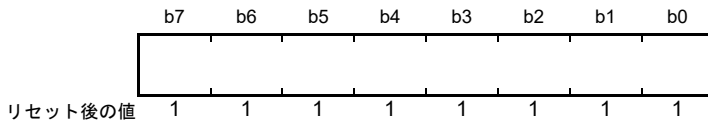
表26.21 各ビットレート設定でのSCL High/Low幅最小値 (簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.50/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.20/20.80	1	4	17.50/20.00	1	6	19.60/22.40
50k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00	1	3	11.20/12.80
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60

ビット レート (bps)	動作周波数PCLK (MHz)											
	25			30			33			40		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	1	19	44.80/51.20	1	23	44.80/51.20	1	25	44.12/50.42	1	32	46.20/52.80
25k	1	7	17.92/20.48	1	9	18.66/21.33	1	10	18.66/21.33	1	12	18.20/20.80
50k	1	3	8.96/10.24	1	4	9.33/10.66	1	5	10.18/11.63	1	6	9.80/11.20
100k	1	1	4.48/5.12	1	2	5.60/6.40	1	2	5.09/5.81	0	13	4.90/5.60
250k	0	3	2.24/2.56	0	3	1.86/2.13	0	4	2.12/2.42	0	4	1.75/2.00
350k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	0	3	1.40/1.60

26.2.12 モジュレーションデューティレジスタ (MDDR)

アドレス SCI1.MDDR 0008 A032h, SCI5.MDDR 0008 A0B2h, SCI6.MDDR 0008 A0D2h



MDDR レジスタは BRR レジスタにより調整されたビットレートを補正するためのレジスタです。SEMR.BRME ビットが“1”にセットされているとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に M/256 に補正します。MDDR レジスタの設定値 M とビットレート B の関係を表 26.22 に示します。

MDDR レジスタに設定できる値の範囲は、“80h”以上“FFh”以下です。これ以外の値は設定できません。MDDR レジスタへの書き込みは、SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

表 26.22 ビットレートモジュレーション機能使用時の MDDR レジスタ設定値 M とビットレート B の関係

モード	SEMRレジスタの設定		BRRレジスタの設定値	誤差
	BGDM ビット	ABCS ビット		
調歩同期式、 マルチプロ セッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	0	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	1	0		
	1	1	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
クロック同期式、 簡易SPI (注1)			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times (256/M) \times B} - 1$	
スマートカード インタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times (256/M) \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
簡易I ² C (注2)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	

B : ビットレート (bps)

M : MDDR レジスタの設定値 (128 ≤ M ≤ 255)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

PCLK : 動作周波数 (MHz)

n と S : 「26.2.11 ビットレートレジスタ (BRR)」表 26.10、表 26.11 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. クロック同期式モードおよび簡易SPIモードの最高速設定 (SMR.CKS[1:0]ビット = 00b、かつSCR.CKE[1]ビット = 0、かつBRR = 0) では、本機能を使用しないでください。

注2. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C規格を満たすようビットレートを調整してください。

26.2.13 シリアル拡張モードレジスタ (SEMR)

アドレス SCI1.SEMR 0008 A027h, SCI5.SEMR 0008 A0A7h, SCI6.SEMR 0008 A0C7h

	b7	b6	b5	b4	b3	b2	b1	b0
	RXDESEL	BGDM	NFEN	ABCS	—	BRME	—	ACS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACS0	調歩同期クロックソースセレクトビット	(調歩同期式モードのみ有効) 0: 外部クロック 1: TMRから出力される2つのコンペアマッチ出力の論理積 (SCI5, SCI6のみ有効) SCIのチャンネルごとに使用できるコンペアマッチ出力が異なります	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	BRME	ビットレートモジュレーションイネーブルビット	0: ビットレートモジュレーション機能無効 1: ビットレートモジュレーション機能有効	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	ABCS	調歩同期基本クロックセレクトビット	(調歩同期式モードのみ有効) 0: 基本クロック 16サイクルの期間が1ビット期間の転送レートになります 1: 基本クロック 8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能イネーブルビット	(調歩同期式モード) 0: RXDn入力信号のノイズ除去機能無効 1: RXDn入力信号のノイズ除去機能有効 (簡易I ² Cモード) 0: SSCLn, SSDAn入力信号のノイズ除去機能無効 1: SSCLn, SSDAn入力信号のノイズ除去機能有効 上記以外のモードでは、NFENビットを“0”にしてください。	R/W (注1)
b6	BGDM	ポーレートジェネレータ倍速モードセレクトビット	(調歩同期式モードで内蔵ポーレートジェネレータ使用時のみ有効) 0: ポーレートジェネレータから通常の周波数のクロックを出力 1: ポーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b7	RXDESEL	調歩同期スタートビットエッジ検出セレクトビット	(調歩同期式モードのみ有効) 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がりがエッジでスタートビットを検出	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SEMRレジスタは、調歩同期式モード時の1ビット期間のクロックを選択したり、スタートビットの検出方法を選択するためのレジスタです。

ACS0 ビット (調歩同期クロックソースセレクトビット)

調歩同期式モードにおける、クロックソースを選択します。

ACS0 ビットは、調歩同期式モード (SMR.CM ビット = 0) で、外部クロック入力 (SCR.CKE[1:0] ビット = 10b、11b) のときに有効です。外部クロックまたは、内蔵 TMR のコンペアマッチ出力の論理積を選択できます。

調歩同期式モード以外では、ACS0 ビットを“0”にしてください。

SCI5、SCI6 では、TMR ユニット 0、1 の TMO_n (n=0~3) 出力をシリアル転送ベースクロックにすることができます。詳細は表 26.23 を参照してください。

SCI11 の ACS0 ビットは予約ビットです。SCI11 では“0”にしてください。

表 26.23 SCIのチャンネルと使用できるコンペアマッチ出力

SCI	TMR	コンペアマッチ出力
SCI5	ユニット 0	TMO0, TMO1
SCI6	ユニット 1	TMO2, TMO3

TMR ユニット 0 の TMO0、TMO1 出力を選択したときの設定例を図 26.3 に示します。

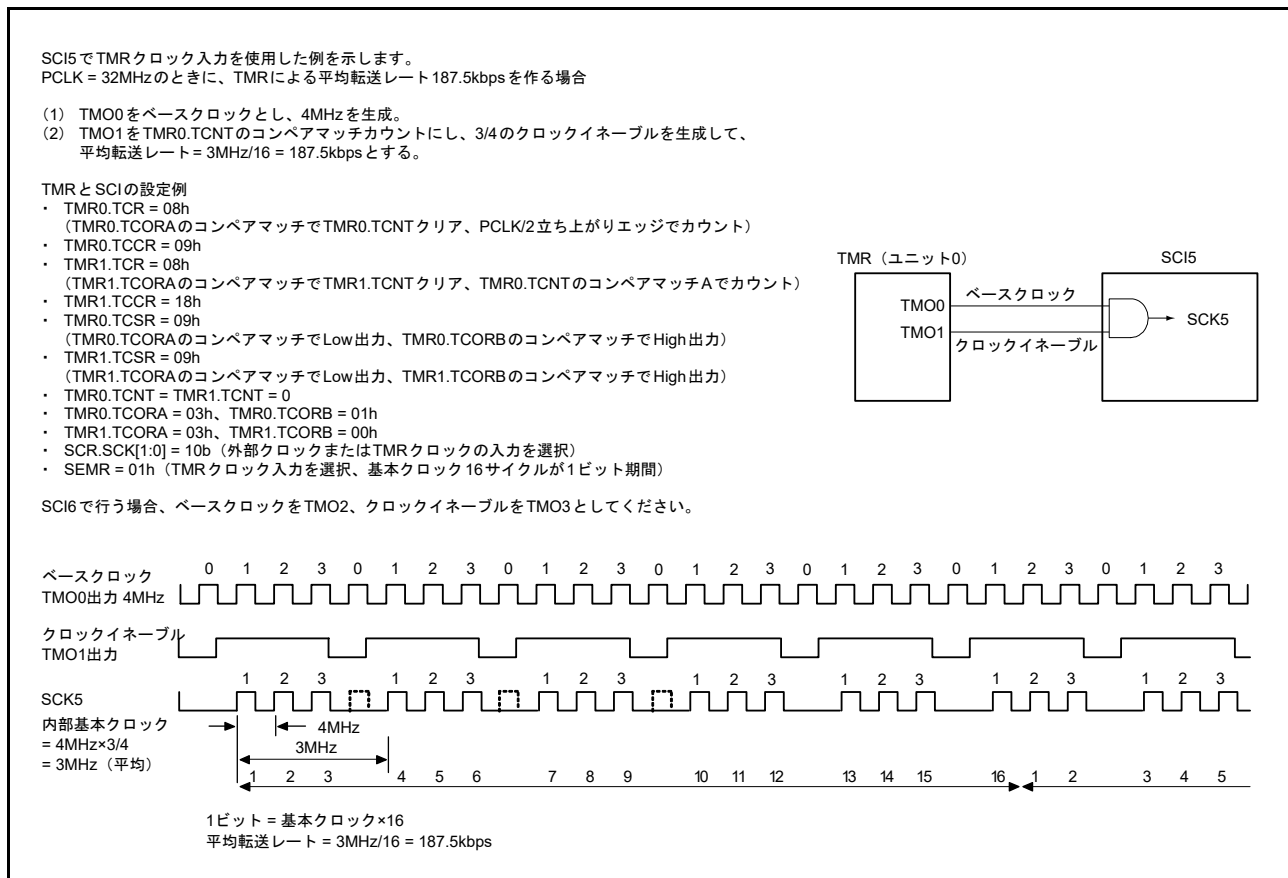


図 26.3 TMR クロック入力時の平均転送レート設定例

BRME ビット (ビットレートモジュレーションイネーブルビット)

ビットレートモジュレーション機能の有効、無効を選択します。有効にすると、内蔵ポーレートジェネレータにより生成されるビットレートを平均的に補正します。

NFEN ビット (デジタルノイズフィルタ機能イネーブルビット)

デジタルノイズフィルタ機能の有効、無効を選択します。

有効にすると、調歩同期式モードの場合は、RXDn 入力信号のノイズを除去し、簡易 I²C モードの場合は SSDAn、SSCLn の入力信号のノイズを除去します。

上記以外のモードでは NFEN ビットを“0”にし、デジタルノイズフィルタ機能を無効にしてください。

デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

BGDM ビット (ポーレートジェネレータ倍速モードセレクトビット)

ポーレートジェネレータの出力クロックの周期を選択します。

調歩同期式モード (SMR.CM ビット=0) で、クロックソースに内蔵ポーレートジェネレータを選択 (SCR.CKE[1] ビット=0) したときに有効です。内蔵ポーレートジェネレータから通常の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ポーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビット=1 を設定すると基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

調歩同期式モード以外では“0”を設定してください。

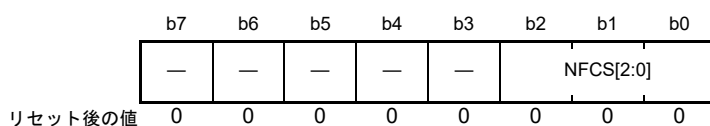
RXDESEL ビット (調歩同期スタートビットエッジ検出セレクトビット)

調歩同期式モード受信動作におけるスタートビットの検出方法を選択します。本ビットの設定によりブレイク時の動作が異なります。ブレイク中に受信動作を停止させたい場合、およびブレイク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せず受信を開始する場合は“1”を設定してください。

調歩同期式モード以外では“0”を設定してください。

26.2.14 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI1.SNFR 0008 A028h, SCI5.SNFR 0008 A0A8h, SCI6.SNFR 0008 A0C8h



ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロックセレクトビット	調歩同期式モード時、基本クロック基準で b2 b0 0 0 0 : 1分周のクロックをノイズフィルタに使用 簡易 I ² C モード時、SMR.CKS[1:0] ビットで選択した内蔵 ポーレートジェネレータのクロックソース基準で b2 b0 0 0 1 : 1分周のクロックをノイズフィルタに使用 0 1 0 : 2分周のクロックをノイズフィルタに使用 0 1 1 : 4分周のクロックをノイズフィルタに使用 1 0 0 : 8分周のクロックをノイズフィルタに使用 上記以外は設定しないでください	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

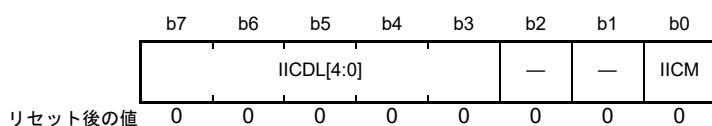
NFCS[2:0] ビット (ノイズフィルタクロックセレクトビット)

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード時にノイズフィルタを使用する場合、“000b”を設定してください。簡易 I²C モード時は“001b”～“100b”の中で設定してください。

26.2.15 I²C モードレジスタ 1 (SIMR1)

アドレス SCI1.SIMR1 0008 A029h, SCI5.SIMR1 0008 A0A9h, SCI6.SIMR1 0008 A0C9h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易I ² Cモードセレクトビット	SMIF IICM 0 0: 調歩同期式モード、マルチプロセッサモード、 クロック同期式モード (調歩同期式、クロック同期式モードまたは簡易 SPIモード) 0 1: 簡易I ² Cモード 1 0: スマートカードインタフェースモード 1 1: 設定しないでください	R/W (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b3	IICDL[4:0]	SSDA出力遅延セレクトビット	(内蔵ポーレートジェネレータのクロックソース基準) b7 b3 0 0 0 0 0: 出力遅延なし 0 0 0 0 1: 0~1サイクル 0 0 0 1 0: 1~2サイクル 0 0 0 1 1: 2~3サイクル 0 0 1 0 0: 3~4サイクル 0 0 1 0 1: 4~5サイクル : : 1 1 1 1 0: 29~30サイクル 1 1 1 1 1: 30~31サイクル	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SIMR1 レジスタは、簡易 I²C モード、および SSDA 出力遅延段数を選択するためのレジスタです。

IICM ビット (簡易 I²C モードセレクトビット)

SCMR.SMIF ビットとの組み合わせで、動作モードを選択します。

IICDL[4:0] ビット (SSDA 出力遅延セレクトビット)

SSCLn 端子出力の立ち下がりに対する SSDAn 端子出力の遅延を選択します。内蔵ポーレートジェネレータのクロックソースを1サイクルとし、遅延なし~31サイクルまでの選択が可能です。内蔵ポーレートジェネレータのクロックソースとは、PCLK を SMR.CKS[1:0] ビットの設定により分周されたクロックを指します。簡易 I²C モード以外では“00000b”を設定してください。簡易 I²C モード時は、“00001b”~“11111b”のいずれかを設定してください。

26.2.16 I²C モードレジスタ 2 (SIMR2)

アドレス SCI1.SIMR2 0008 A02Ah, SCI5.SIMR2 0008 A0AAh, SCI6.SIMR2 0008 A0CAh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACK T	—	—	—	IICCSC	IICINT M
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I ² C 割り込みモードセレクトビット	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCSC	クロック同期化ビット	0 : クロック同期を行わない 1 : クロック同期を行う	R/W (注1)
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	IICACKT	ACK送信データビット	0 : ACK送信 1 : NACK送信またはACK/NACK受信	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

SIMR2 レジスタは、簡易 I²C モードの送受信制御を選択するためのレジスタです。

IICINTM ビット (I²C 割り込みモードセレクトビット)

簡易 I²C モード時の割り込み要求の要因を選択します。

IICCSC ビット (クロック同期化ビット)

他のデバイスがウェイトを挿入するなどの目的で、SSCLn 端子を Low にしたとき、内部で生成する SSCLn クロックを同期化する場合は、IICCSC ビットに“1”を設定します。

IICCSC ビットに“0”を設定すると、SSCLn クロックの同期化は行いません。SSCLn 端子入力に関わらず、BRR レジスタで設定したビットレートにしたがって SSCLn クロックを生成します。

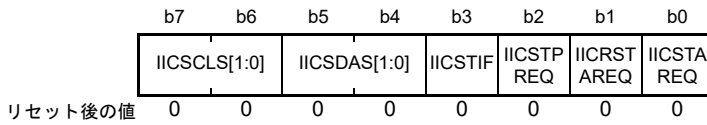
デバッグ時を除いて IICCSC ビットには“1”を設定してください。

IICACKT ビット (ACK 送信データビット)

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は“1”を設定してください。

26.2.17 I²C モードレジスタ 3 (SIMR3)

アドレス SCI1.SIMR3 0008 A02Bh, SCI5.SIMR3 0008 A0ABh, SCI6.SIMR3 0008 A0CBh



ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成ビット	0 : 開始条件を生成しない 1 : 開始条件を生成 (注1、注3、注4、注5)	R/W
b1	IICRSTAREQ	再開条件生成ビット	0 : 再開条件を生成しない 1 : 再開条件を生成 (注2、注3、注4、注5)	R/W
b2	IICSTPREQ	停止条件生成ビット	0 : 停止条件を生成しない 1 : 停止条件を生成 (注2、注3、注4、注5)	R/W
b3	IICSTIF	開始/再開/停止条件生成完了フラグ	0 : 各条件生成要求がない状態、または生成中の状態 1 : 各条件生成が完了した状態	R/W
b5-b4	IICSDAS[1:0]	SSDA出力セレクトビット	b5 b4 0 0 : シリアルデータ出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSDAn端子はLowを出力 1 1 : SSDAn端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SSCL出力セレクトビット	b7 b6 0 0 : シリアルクロック出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSCLn端子はLowを出力 1 1 : SSCLn端子はハイインピーダンス状態	R/W

- 注1. SSCLn端子とSSDAn端子が両方ともHigh (それぞれの端子に対応するPIDRレジスタのビットが“1”) のときに開始条件生成を行ってください。
- 注2. SSCLn端子がLow (対応するPIDRレジスタのビットが“0”) のときに再開条件生成または停止条件生成を行ってください。
- 注3. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。
- 注4. IICSTIFフラグを“0”にしてから、各条件生成を行ってください。
- 注5. “1”の状態を“0”を書き込まないでください。“1”の状態を“0”を書きこむと、コンディション生成が中断します。

SIMR3 レジスタは、簡易 I²C モードの開始条件、停止条件生成、および、SSDAn 端子、SSCLn 端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット (開始条件生成ビット)

開始条件の生成を行うときは、IICSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット (再開条件生成ビット)

再開条件の生成を行うときは、IICRSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 再開条件の生成が完了したとき

IICSTPREQ ビット (停止条件生成ビット)

停止条件の生成を行うときは、IICSTPREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ (開始 / 再開 / 停止条件生成完了フラグ)

各条件生成実行後、生成完了した状態を示します。IICRSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各条件の生成を行うときは、IICSTIF フラグを“0”にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可された状態で、IICSTIF フラグが“1”の場合に開始 / 再開 / 停止条件生成完了割り込み (STI) 要求が出力されます。

["1"になる条件]

- 開始 / 再開 / 停止の各条件の生成が完了したとき (ただし“0”になる条件と競合した場合は“0”になる条件が優先されます。)

["0"になる条件]

- “0”を書き込んだとき (IICSTIF フラグが“0”になったことを確認してください。)
- SIMR1.IICM ビットが“0”のとき (簡易 I²C モード以外の場合)
- SCR.TE ビットが“0”のとき

IICSDAS[1:0] ビット (SSDA 出力セレクトビット)

SSDAn 端子からの出力を制御します。

通常動作時は、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

IICSCLS[1:0] ビット (SSCL 出力セレクトビット)

SSCLn 端子からの出力を制御します。

通常動作時は、IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

26.2.18 I²C ステータスレジスタ (SISR)

アドレス SCI1.SISR 0008 A02Ch, SCI5.SISR 0008 A0ACh, SCI6.SISR 0008 A0CCh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACK R
リセット後の値	0	0	x	x	0	x	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0: ACK受信 1: NACK受信	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読み出し値は不定です	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読み出し値は不定です	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

SISR レジスタは、簡易 I²C モード関連のステータスをモニタします。**IICACKR フラグ (ACK 受信データフラグ)**

受信された ACK/NACK ビットを読み出すことができます。

IICACKR フラグは、ACK/NACK を受信するビットの SSCL_n クロックの立ち上がりのタイミングで更新されます。

26.2.19 SPI モードレジスタ (SPMR)

アドレス SCI1.SPMR 0008 A02Dh, SCI5.SPMR 0008 A0ADh, SCI6.SPMR 0008 A0CDh

b7	b6	b5	b4	b3	b2	b1	b0
CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn#端子機能イネーブルビット	0 : SSn#端子機能禁止 1 : SSn#端子機能許可	R/W (注1)
b1	CTSE	CTSイネーブルビット	0 : CTS機能禁止 (RTS出力機能有効) 1 : CTS機能許可	R/W (注1)
b2	MSS	マスタスレーブセレクトビット	0 : TXDn端子 : 送信, RXDn端子 : 受信 (マスタモード) 1 : TXDn端子 : 受信, RXDn端子 : 送信 (スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MFF	モードフォルトフラグ	0 : モードフォルトエラーなし 1 : モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CKPOL	クロック極性セレクトビット	0 : クロック極性反転なし 1 : クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相セレクトビット	0 : クロック遅れなし 1 : クロック遅れあり	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

注2. フラグをクリアするための“0”書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット (SSn# 端子機能イネーブルビット)

SSn# 端子を用いて送受信制御を行う場合 (簡易 SPI モード) は“1”を設定します。それ以外の通信モードでは“0”を設定してください。なお、簡易 SPI モードでも、マスタモード (SCR.CKE[1:0] ビット = 00b かつ MSS ビット = 0) かつシングルマスタで使用するときは、マスタ側の SSn# 端子を用いた送受信制御は不要であり、SSE ビットは“0”を設定します。SSE ビット、CTSE ビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

CTSE ビット (CTS イネーブルビット)

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は“1”を設定します。“0”を設定している状態では RTSn# 信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I²C モード時は“0”を設定してください。CTSE ビット、SSE ビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

MSS ビット (マスタスレーブセレクトビット)

簡易 SPI モード時にマスタモード、スレーブモードを選択します。MSS ビットを“1”にすると、TXDn 端子、RXDn 端子の機能が逆になり、TXDn 端子から受信データを入力し、RXDn 端子から送信データを出力します。

簡易 SPI モード以外のモード時は“0”にしてください。

MFF フラグ (モードフォルトフラグ)

モードフォルトエラーが発生したことを表示します。

マルチマスタ時は MFF フラグの読み出しにより、モードフォルトエラーを判定してください。

[“1”になる条件]

- 簡易 SPI モードのマスタモード設定時 (SSE ビット = 1 かつ MSS ビット = 0) に、SSn# 端子入力が Low になったとき

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

CKPOL ビット (クロック極性セレクトビット)

SCKn 端子からのクロック出力の極性を選択します。詳細は、[図 26.55](#) を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“0”としてください。

CKPH ビット (クロック位相セレクトビット)

SCKn 端子からのクロック出力の位相設定を選択します。詳細は、[図 26.55](#) を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“0”としてください。

26.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 26.4 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

SCI は通信回線を監視し、スペース (Low) を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

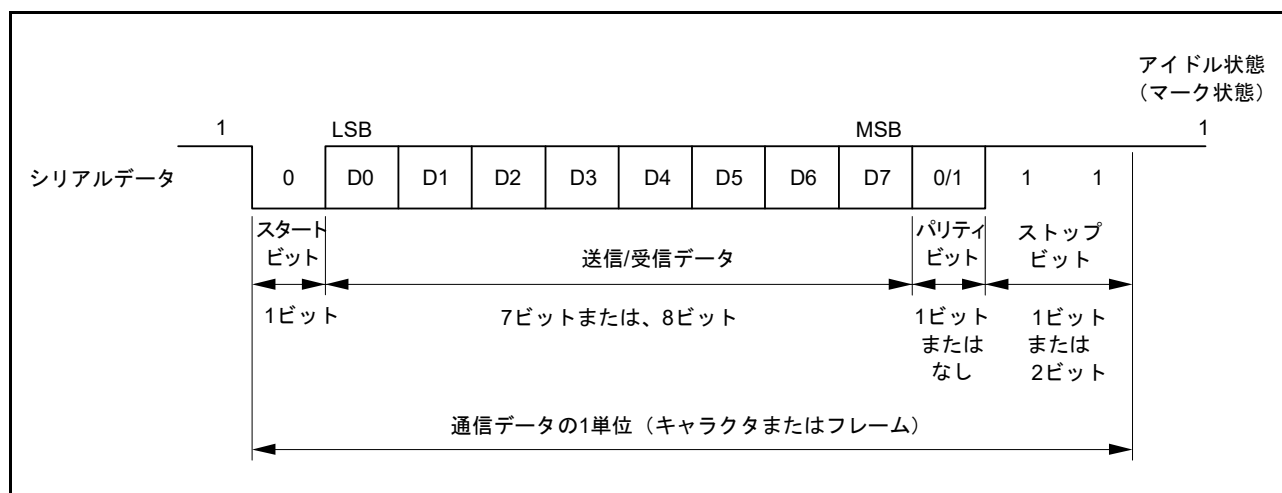


図 26.4 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

26.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 26.24 に示します。

フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については「26.4 マルチプロセッサ通信機能」を参照してください。

表 26.24 シリアル送信/受信フォーマット (調歩同期式モード)

SCMR の設定	SMRの設定				シリアル送信/受信フォーマットとフレーム長																	
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13				
0	0	0	0	0	0	S	9ビットデータ									STOP						
0	0	0	0	1	1	S	9ビットデータ									STOP	STOP					
0	0	1	0	0	0	S	9ビットデータ									P	STOP					
0	0	1	0	1	1	S	9ビットデータ									P	STOP	STOP				
1	0	0	0	0	0	S	8ビットデータ								STOP							
1	0	0	0	1	1	S	8ビットデータ								STOP	STOP						
1	0	1	0	0	0	S	8ビットデータ								P	STOP						
1	0	1	0	1	1	S	8ビットデータ								P	STOP	STOP					
1	1	0	0	0	0	S	7ビットデータ							STOP								
1	1	0	0	1	1	S	7ビットデータ							STOP	STOP							
1	1	1	0	0	0	S	7ビットデータ							P	STOP							
1	1	1	0	1	1	S	7ビットデータ							P	STOP	STOP						
0	0	—	1	0	0	S	9ビットデータ									MPB	STOP					
0	0	—	1	1	1	S	9ビットデータ									MPB	STOP	STOP				
1	0	—	1	0	0	S	8ビットデータ								MPB	STOP						
1	0	—	1	1	1	S	8ビットデータ								MPB	STOP	STOP					
1	1	—	1	0	0	S	7ビットデータ							MPB	STOP							
1	1	—	1	1	1	S	7ビットデータ							MPB	STOP	STOP						

S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセスビット

26.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍（注1）の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図26.5に示すように受信データを基本クロックの8サイクル目（注1）の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%] \quad \dots \text{式(1)}$$

M: 受信マージン

N: クロックに対するビットレートの比

- SEMR.ABCSビットが“0”のとき N = 16
- SEMR.ABCSビットが“1”のとき N = 8

D: クロックのデューティ (D = 0.5 ~ 1.0)

L: フレーム長 (L = 9 ~ 13)

F: クロック周波数の偏差の絶対値

式(1)で、F = 0、D = 0.5 とすると、

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 [\%] = 46.875 [\%]$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20 ~ 30%の余裕を持たせてください。

注1. SEMR.ABCSビットが“0”のときの例です。ABCSビットが“1”のときは、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4番目の立ち上がりエッジでサンプリングします。

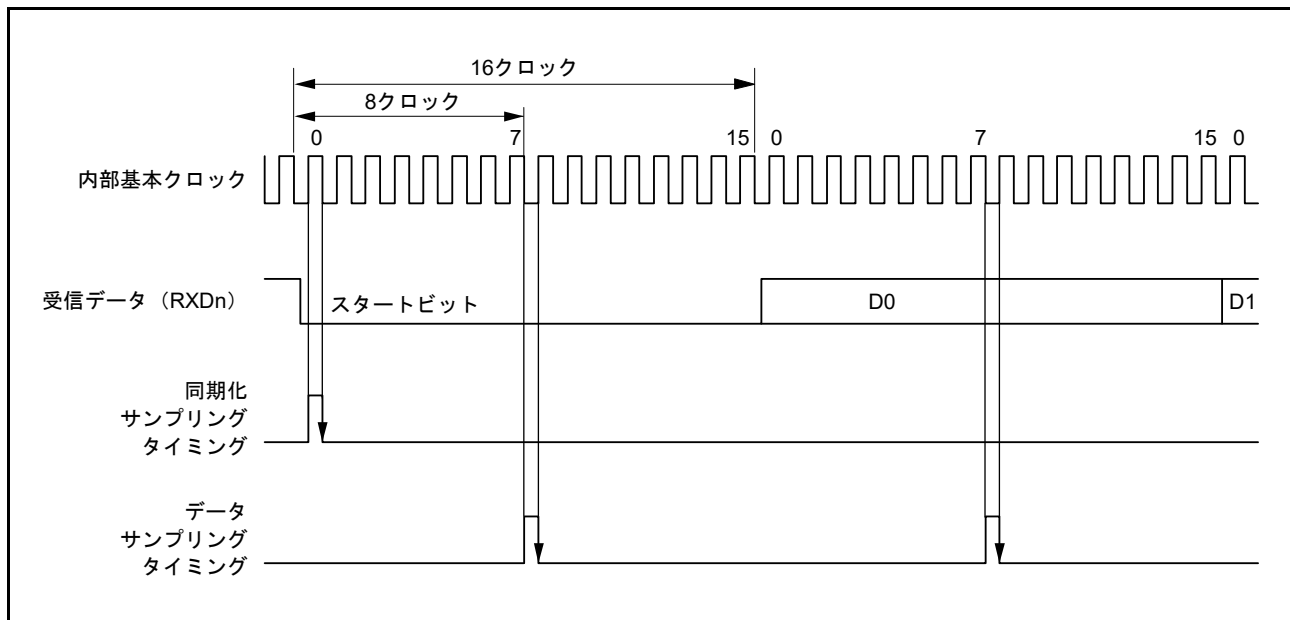


図 26.5 調歩同期式モードの受信データサンプリングタイミング

26.3.3 クロック

SCIの送受信クロックは、SMR.CMビットとSCR.CKE[1:0]ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK_n端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCK_n端子にビットレートの16倍（SEMR.ABCSビット=0のとき）、8倍（SEMR.ABCSビット=1のとき）の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCIn.SEMR.ACS0ビット（n=5,6）の設定により、TMR0、TMR1からの基本クロックを選択することが可能です。

内部クロックで動作させるときはSCK_n端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図26.6に示すように送信データの中央でクロックが立ち上がります。

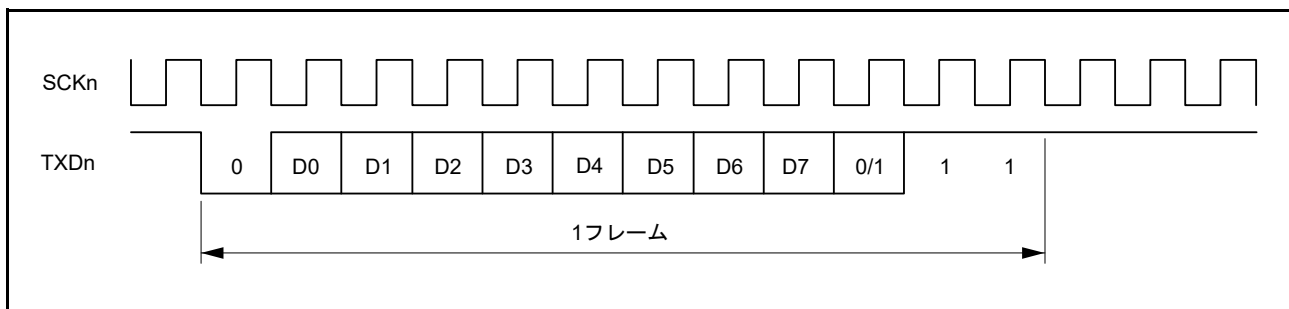


図 26.6 出カクロックと送信データの位相関係
(調歩同期式モード : SMR.CHR = 0、PE = 1、MP = 0、STOP = 1)

26.3.4 倍速モード

SEMR.BGDMビットを“1”にすることによって内蔵ポーレートジェネレータの出カクロック周波数が2倍となり、ビットレートが2倍の高速通信が可能となります。また、この状態からSEMR.ABCSビットを“1”にすると基本クロックのサイクル数が16から8になるため、ビットレートは初期状態から4倍に高速化されます。

なお、「26.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式(1)が示すとおり、SEMR.ABCSビットを“1”にするとサイクル数が8になり、サンプリング間隔が粗くなるため受信マージンが減少します。したがって、ビットレート2倍の高速通信は、SEMR.BGDMビットを“0”、SEMR.ABCSビットを“1”にするよりも、SEMR.BGDMビットを“1”、SEMR.ABCSビットを“0”にする設定を推奨します。

26.3.5 CTS、RTS 機能

CTS 機能は、CTS_n# 端子入力を使用して送信制御を行う機能です。

SPMR.CTSE ビットを“1”にすると CTS 機能が有効になります。CTS 機能が有効のとき、CTS_n# 端子入力が Low のときのみ送信動作を開始します。

送信動作中に CTS_n# 端子を High にした場合、送信中のフレームは影響を受けず送信を継続します。

RTS 機能は、RTS_n# 端子出力を使用して受信要求を行う機能で、受信可能状態になると Low を出力します。RTS_n# 端子から Low、High を出力する条件は以下の通りです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットが“1”
- 受信動作中でない
- 未読の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて“0”

[High になる条件]

Low になる条件を満たさない場合

なお、CTS/RTS はどちらか一方しか選択できません。

26.3.6 SCIの初期化（調歩同期式モード）

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 26.7 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER、RDRF フラグおよび RDR、RDRH、RDRL レジスタは初期化されませんので注意してください。

SCR.TIE ビットが “1” の場合に SCR.TE ビットを “1” から “0”、または “0” から “1” にすると、送信データエンプティ割り込み (TXI) 要求が発生しますので注意してください。

また、SCR レジスタの TIE ビット、TE ビット、TEIE ビットを同時に “1” にすると、TXI 割り込み要求が発生する前に送信終了割り込み (TEI) 要求が発生しますので注意してください。

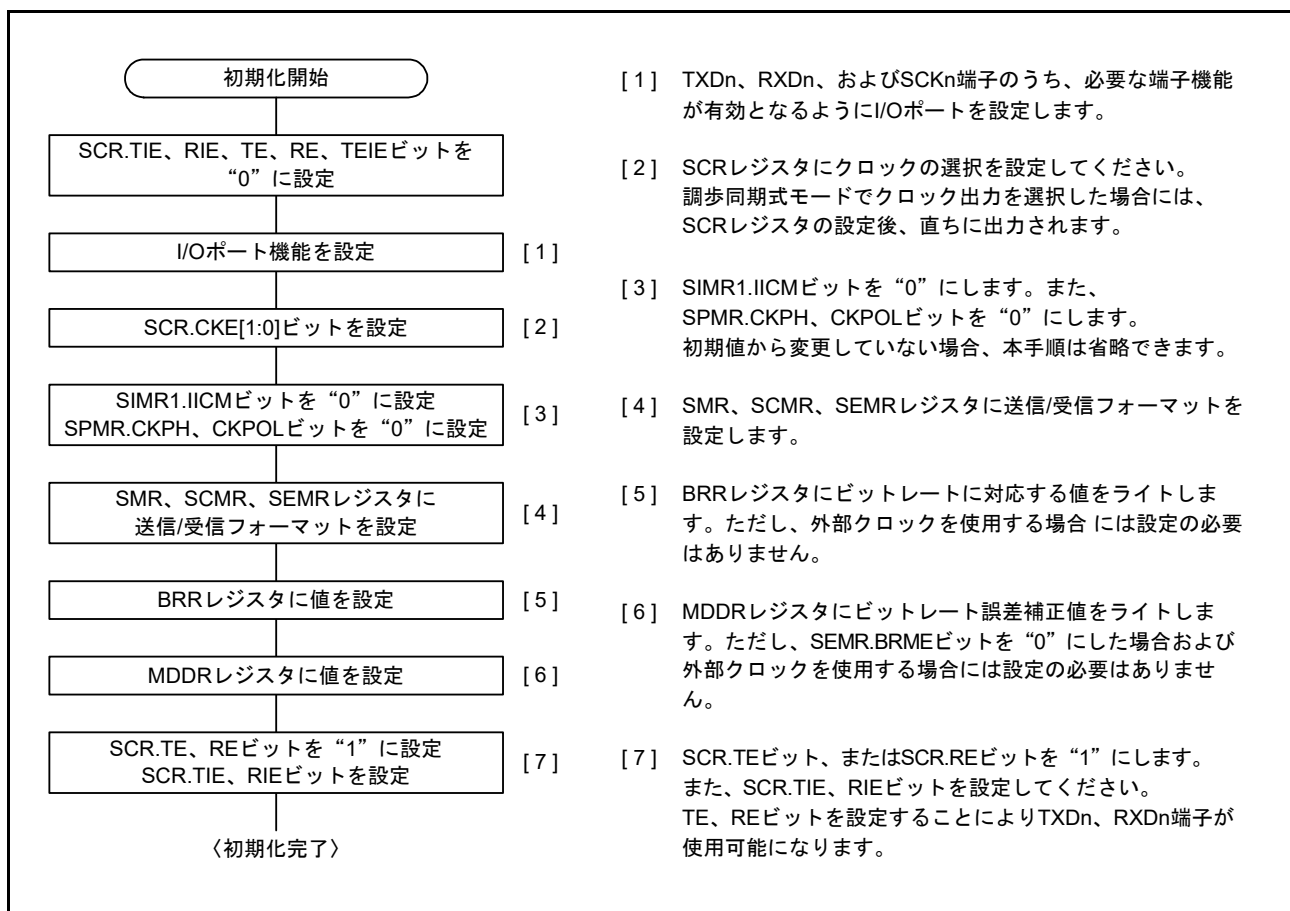


図 26.7 SCIの初期化フローチャートの例（調歩同期式モード）

26.3.7 シリアルデータの送信（調歩同期式モード）

図 26.8 ～図 26.10 に調歩同期式モードのシリアル送信時の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンで TDR レジスタ（注1）にデータが書き込まれると、TDR レジスタ（注1）から TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. SPMR.CTSE ビットが“0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、TDR レジスタ（注1）から TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタ（注1、注2）に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタ（注1、注2）に書いた後、SCR.TIE ビットを“0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを“1”（TEI 割り込み要求を許可）にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット（フォーマットによってはない場合もあります）、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタ（注3）の更新（書き込み）をチェックします。
5. TDR レジスタ（注3）が更新されていると、SPMR.CTSE ビットが“0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、次の送信データを TDR レジスタ（注1）から TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタ（注3）が更新されていなければ、SSR.TEND フラグを“1”にし、ストップビット送出後、“1”を出力してマーク状態になります。このとき、SCR.TEIE ビットが“1”であると、SSR.TEND フラグが“1”になり TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、TDRH および TDRL レジスタになります。

注 2. データ長 9 ビット選択時は、TDRH、TDRL レジスタの順にデータを書き込んでください。

注 3. データ長 9 ビット選択時は、TDRL レジスタ更新のみチェックします。TDRH レジスタ更新はチェックしません。

図 26.11 にシリアル送信のフローチャートの例を示します。

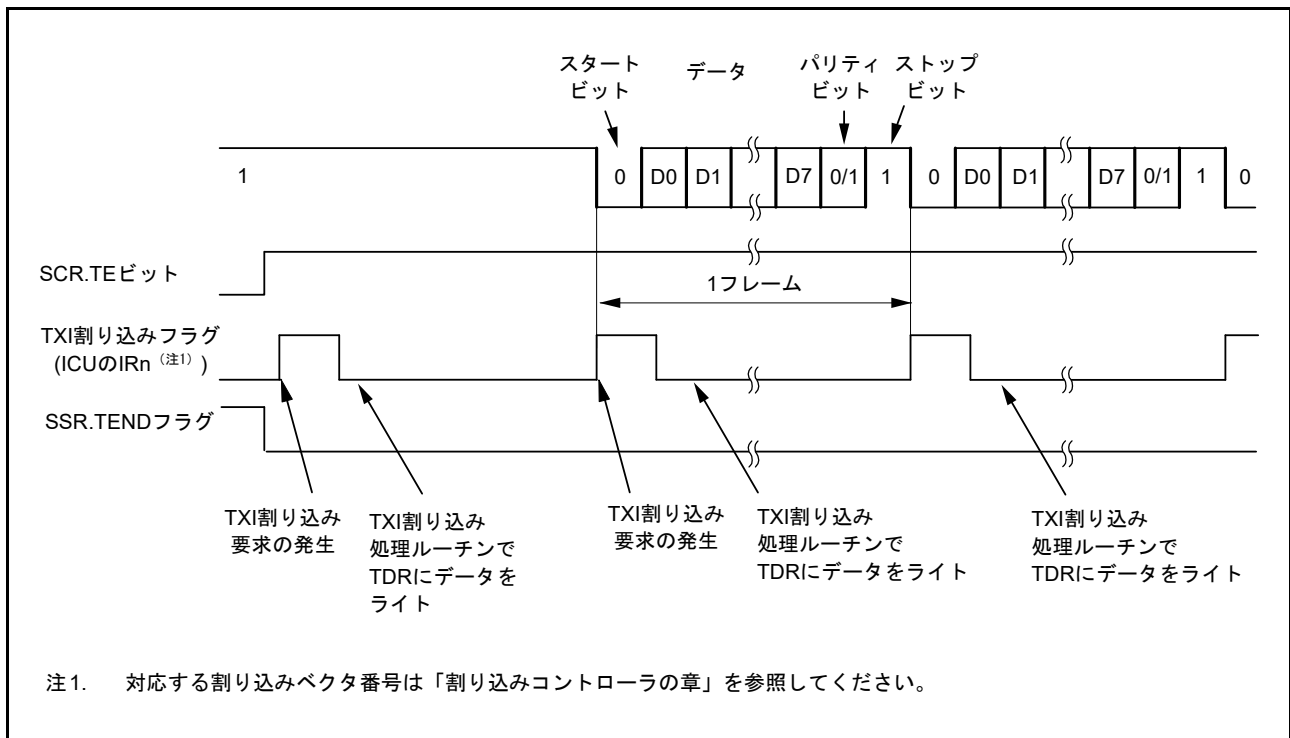


図 26.8 調歩同期式モードのシリアル送信の動作例 (1)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用しない / 送信開始時)

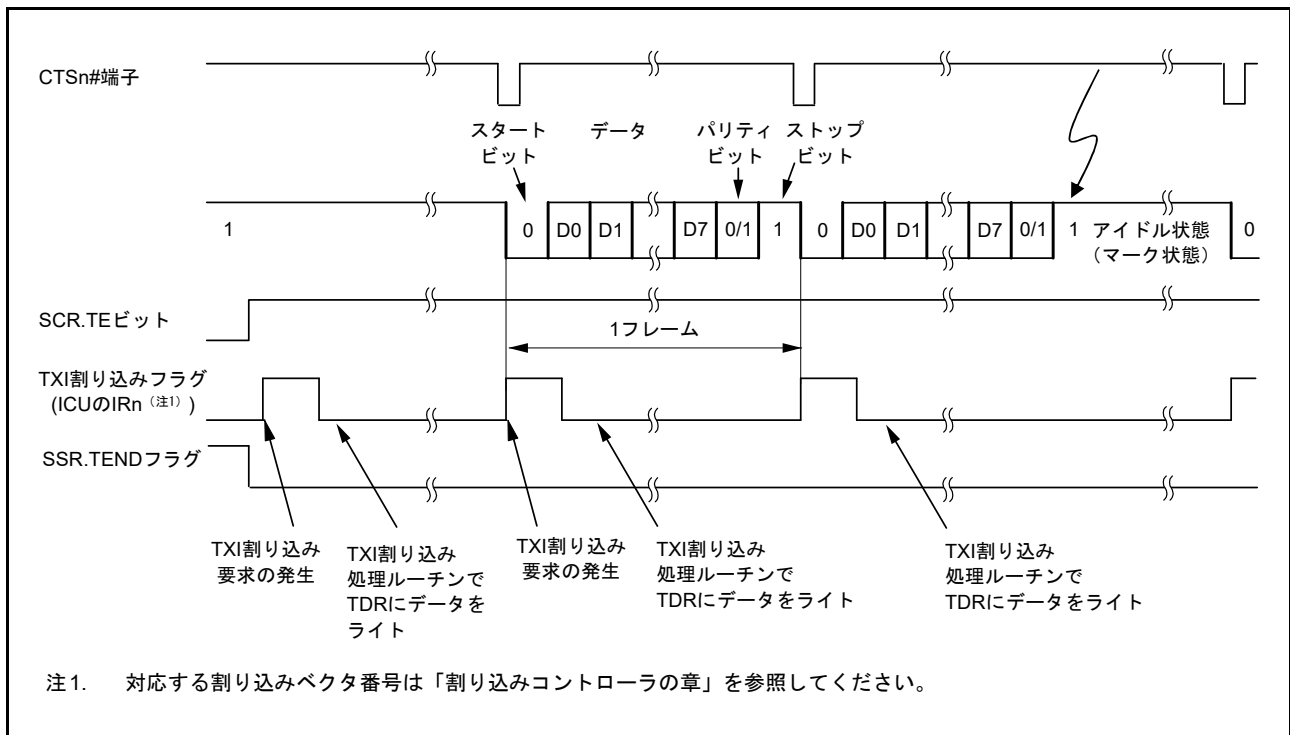


図 26.9 調歩同期式モードのシリアル送信の動作例 (2)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用する / 送信開始時)

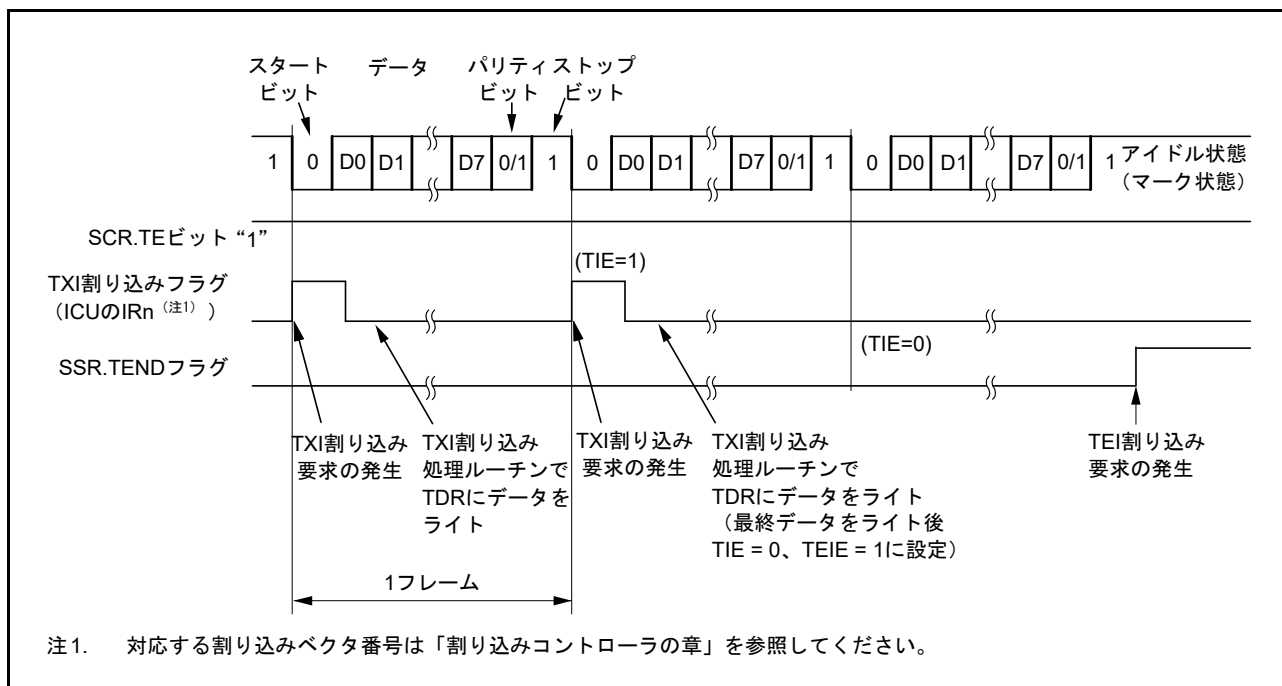


図 26.10 調歩同期式モードのシリアル送信の動作例 (3)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用しない / 送信中～送信終了時)

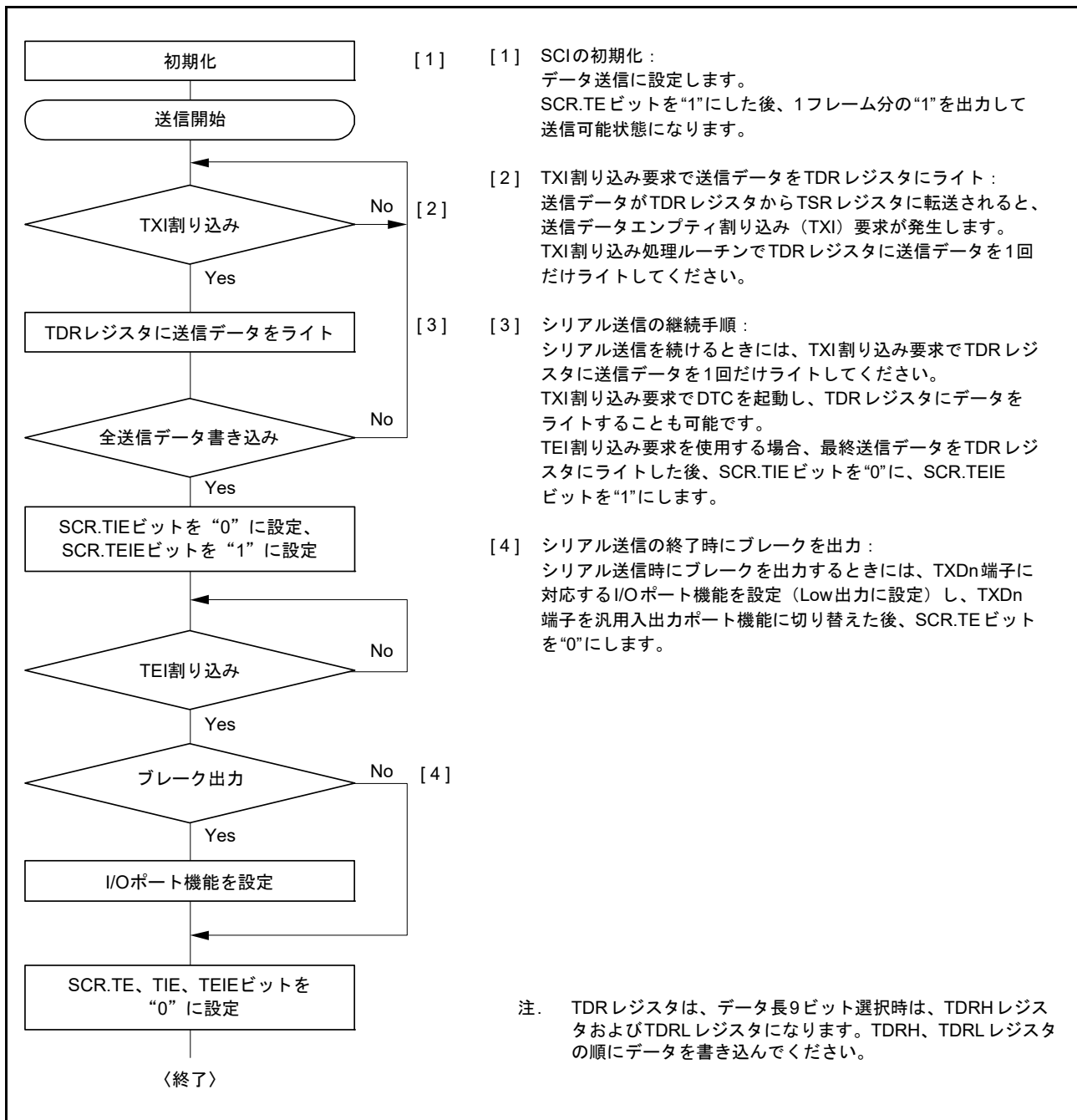


図 26.11 調歩同期式モードのシリアル送信のフローチャート例

26.3.8 シリアルデータの受信（調歩同期式モード）

図 26.12、図 26.13 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 端子出力を Low にします（RTS 機能使用時）。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタ（注1）に転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタ（注1）に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
5. フレーミングエラー（ストップビットが“0”のとき）を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタ（注1）に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタ（注1）に転送します。このとき、RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタ（注1）に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタ（注2）に転送された受信データが読み出されると、RTSn# 端子出力を Low にします。

注 1. データ長 9 ビット選択時は、RDRH および RDRL レジスタになります。

注 2. データ長 9 ビット選択時は、RDRL レジスタの読み出しのみチェックします。RDRH レジスタの読み出しはチェックしません。

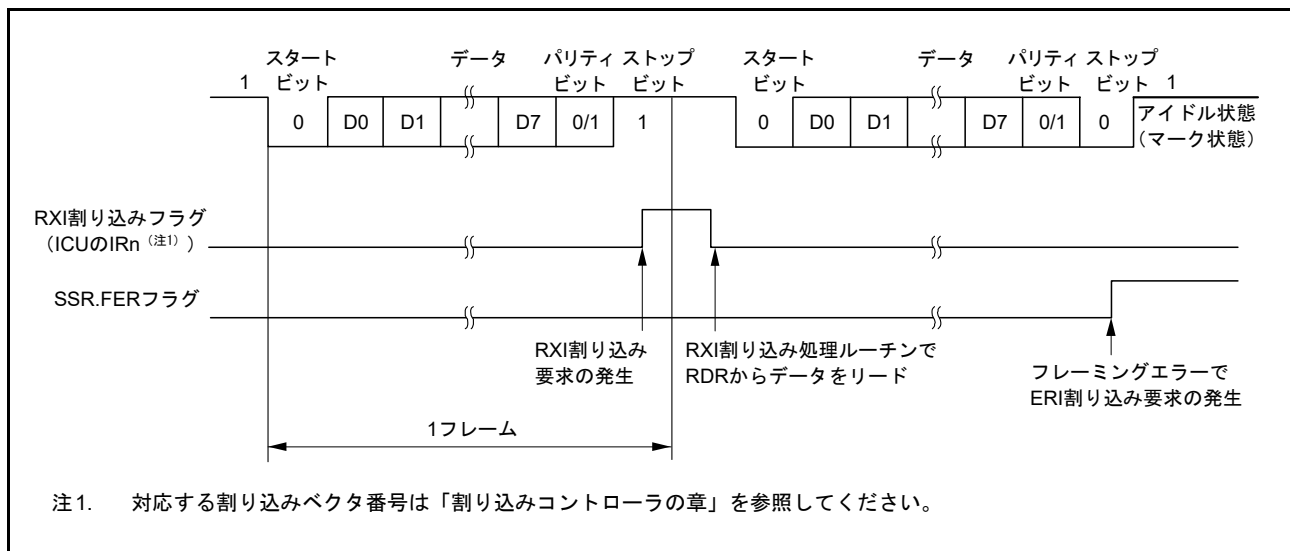


図 26.12 調歩同期式モードのシリアル受信時の動作例（1）（RTS 機能未使用時）
（8 ビットデータ / パリティあり / 1 ストップビットの例）

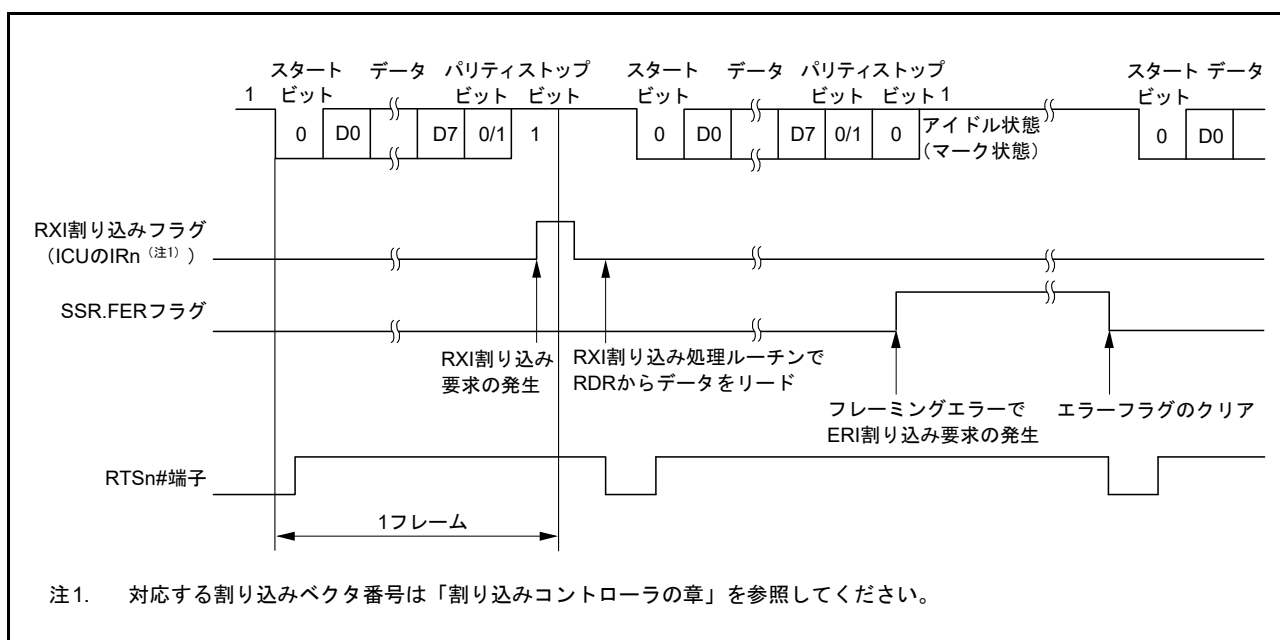


図 26.13 調歩同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)
(8ビットデータ / パリティあり / 1ストップビットの例)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 26.25 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを“0”にしてください。また、オーバランエラー処理では RDR (または RDRL) レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR (または RDRL) レジスタに読み出し前の受信データが残る場合があるため、RDR (または RDRL) レジスタをリードしてください。

図 26.14、図 26.15 にシリアル受信のフローチャートの例を示します。

表 26.25 SSRレジスタのステータスフラグの状態と受信データの処理

SSRレジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR (注1) へ転送	フレーミングエラー
0	0	1	RDR (注1) へ転送	パリティエラー
1	1	0	消失	オーバランエラー+フレーミングエラー
1	0	1	消失	オーバランエラー+パリティエラー
0	1	1	RDR (注1) へ転送	フレーミングエラー+パリティエラー
1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

注1. データ長9ビット選択時はRDRH、RDRLレジスタになります。

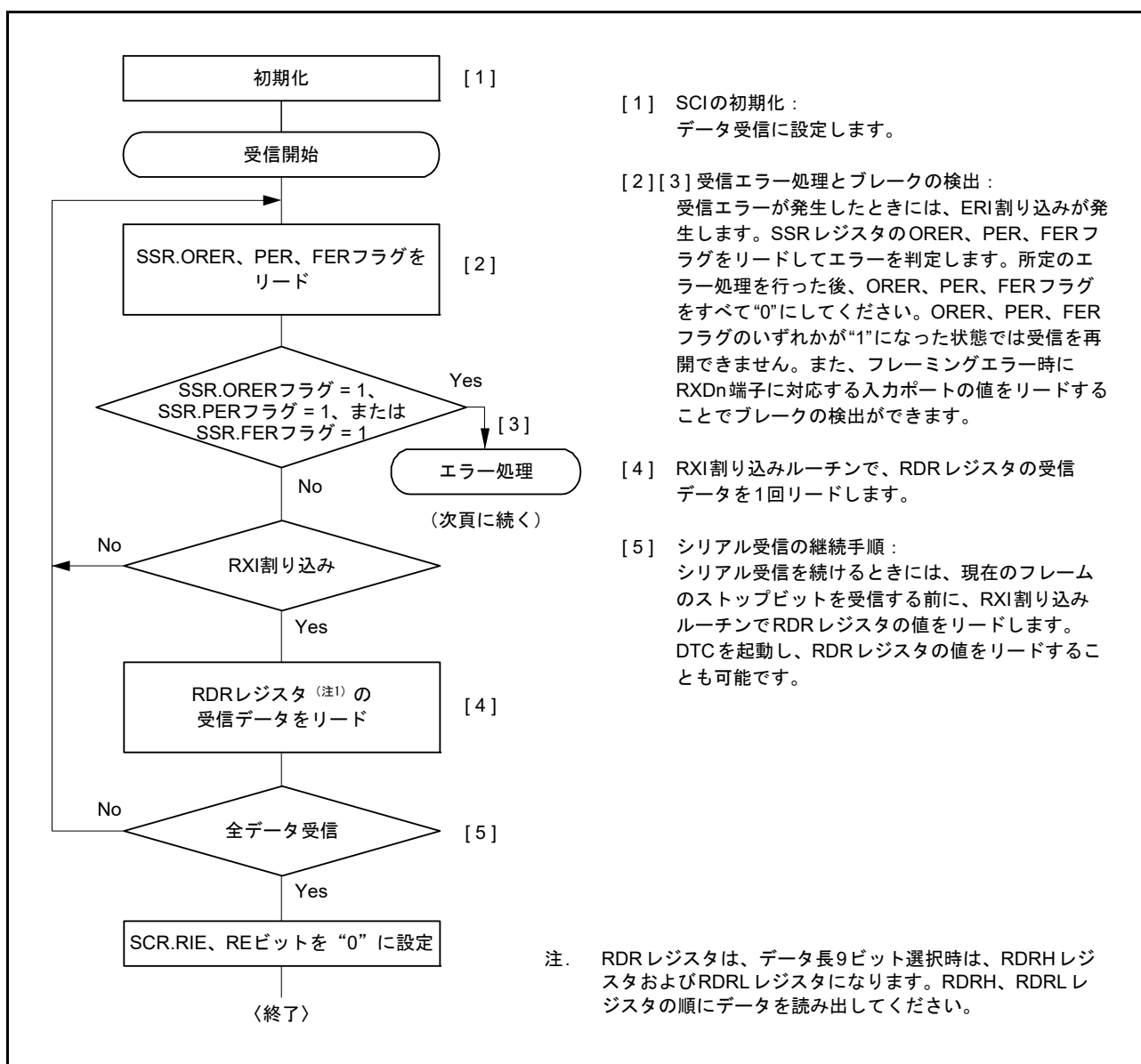


図 26.14 調歩同期式モードのシリアル受信のフローチャート例 (1)

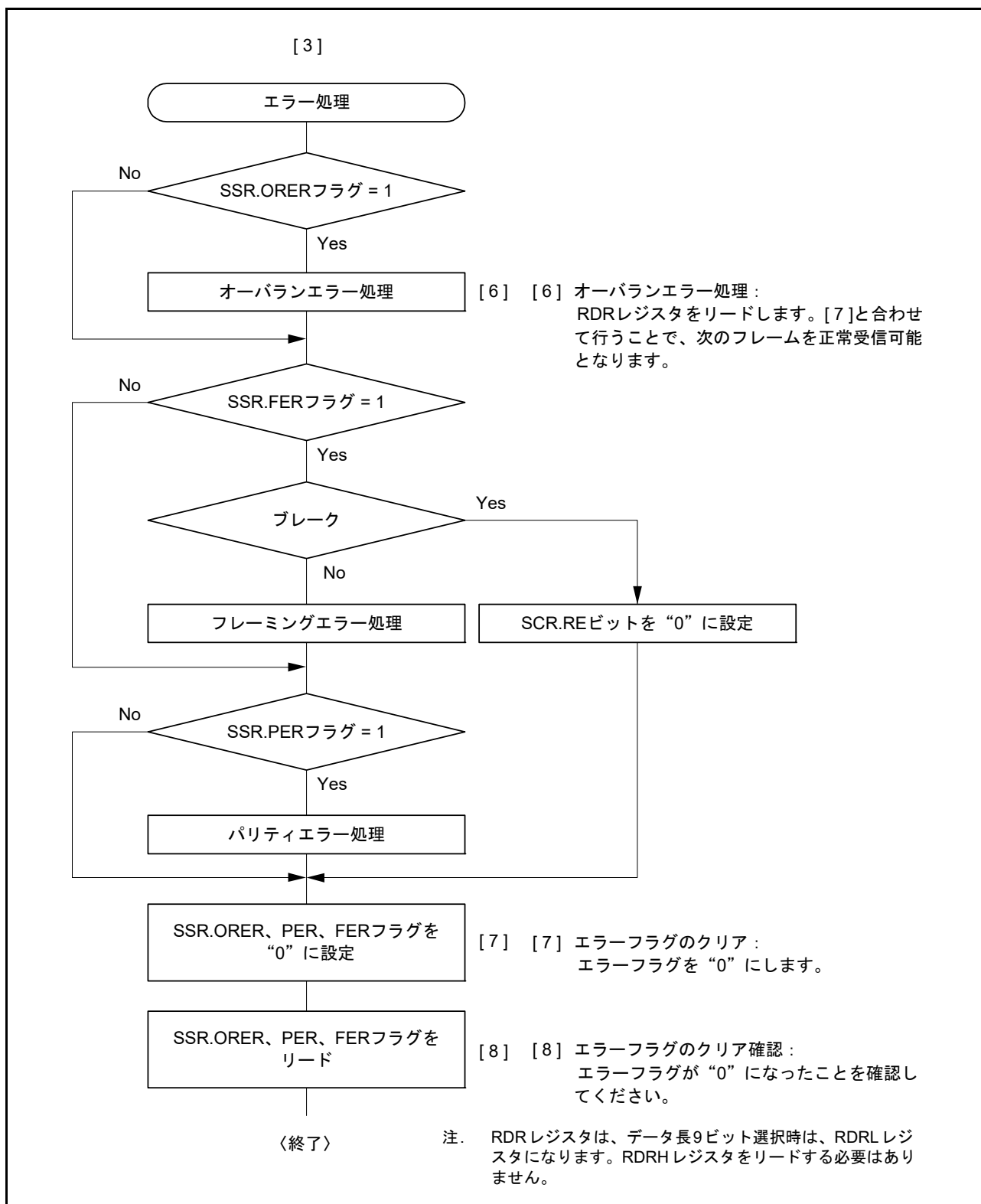


図 26.15 調歩同期式モードのシリアル受信のフローチャート例 (2)

26.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のとき ID 送信サイクル、“0”のときデータ送信サイクルとなります。図 26.16 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR.MPIE ビットが設けてあります。MPIE ビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまで RSR レジスタから RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）への受信データの転送、および受信エラーの検出と SSR レジスタの RDRF、ORER、FER フラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、SSR.MPB フラグが“1”になるとともに SCR.MPIE ビットが“0”になって通常の実動作に戻ります。このとき SCR.RIE ビットが“1”であると RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

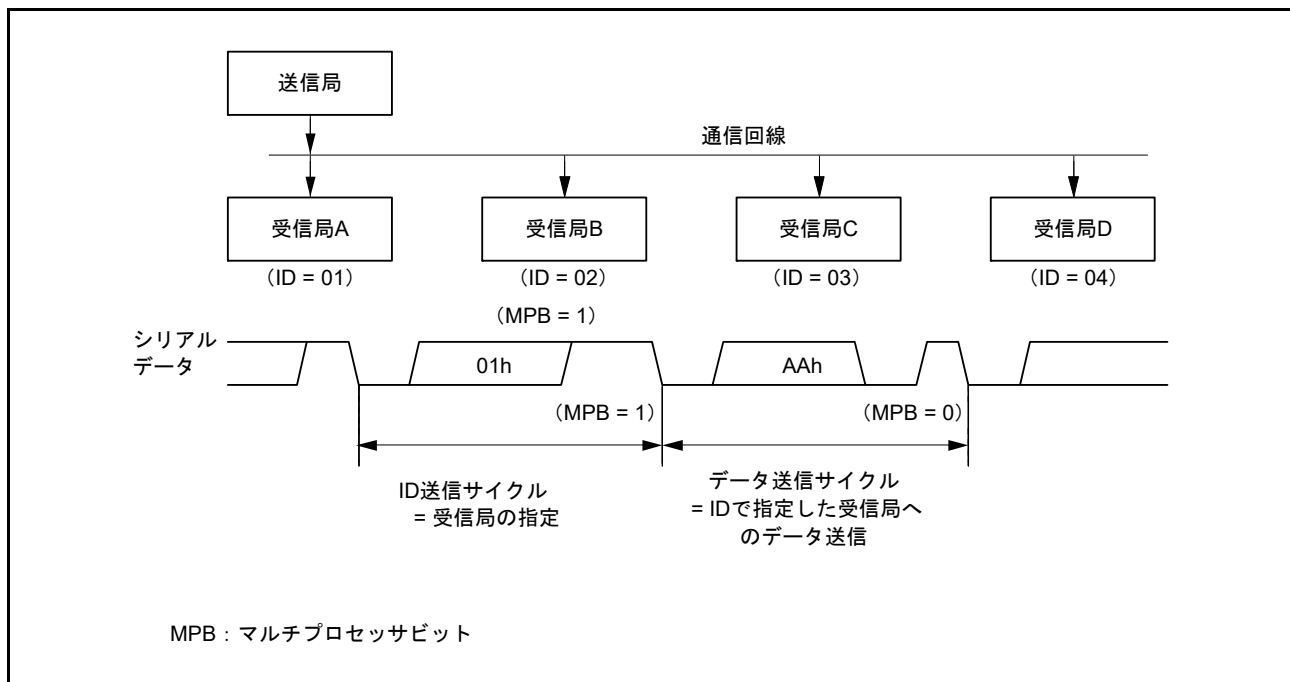


図 26.16 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ“AAh”の送信の例）

26.4.1 マルチプロセッサシリアルデータ送信

図 26.17 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを“1”にして送信してください。データ送信サイクルでは SSR.MPBT ビットを“0”にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

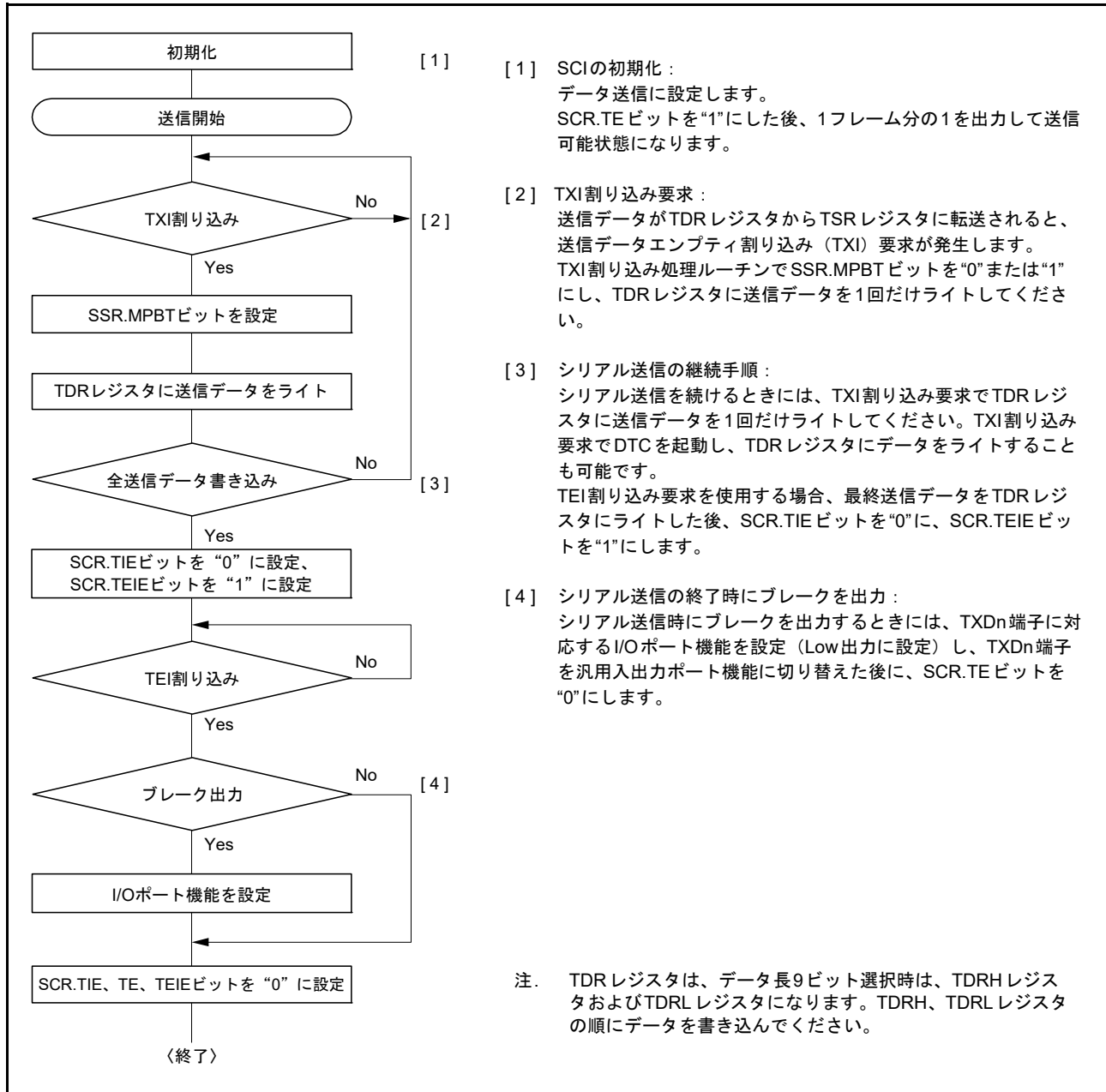


図 26.17 マルチプロセッサシリアル送信のフローチャートの例

26.4.2 マルチプロセッサシリアルデータ受信

図 26.19、図 26.20 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを“1”にするとマルチプロセッサビットが“1”の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが“1”の通信データを受信すると受信データを RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）に転送します。このとき RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 26.18 に受信時の動作例を示します。

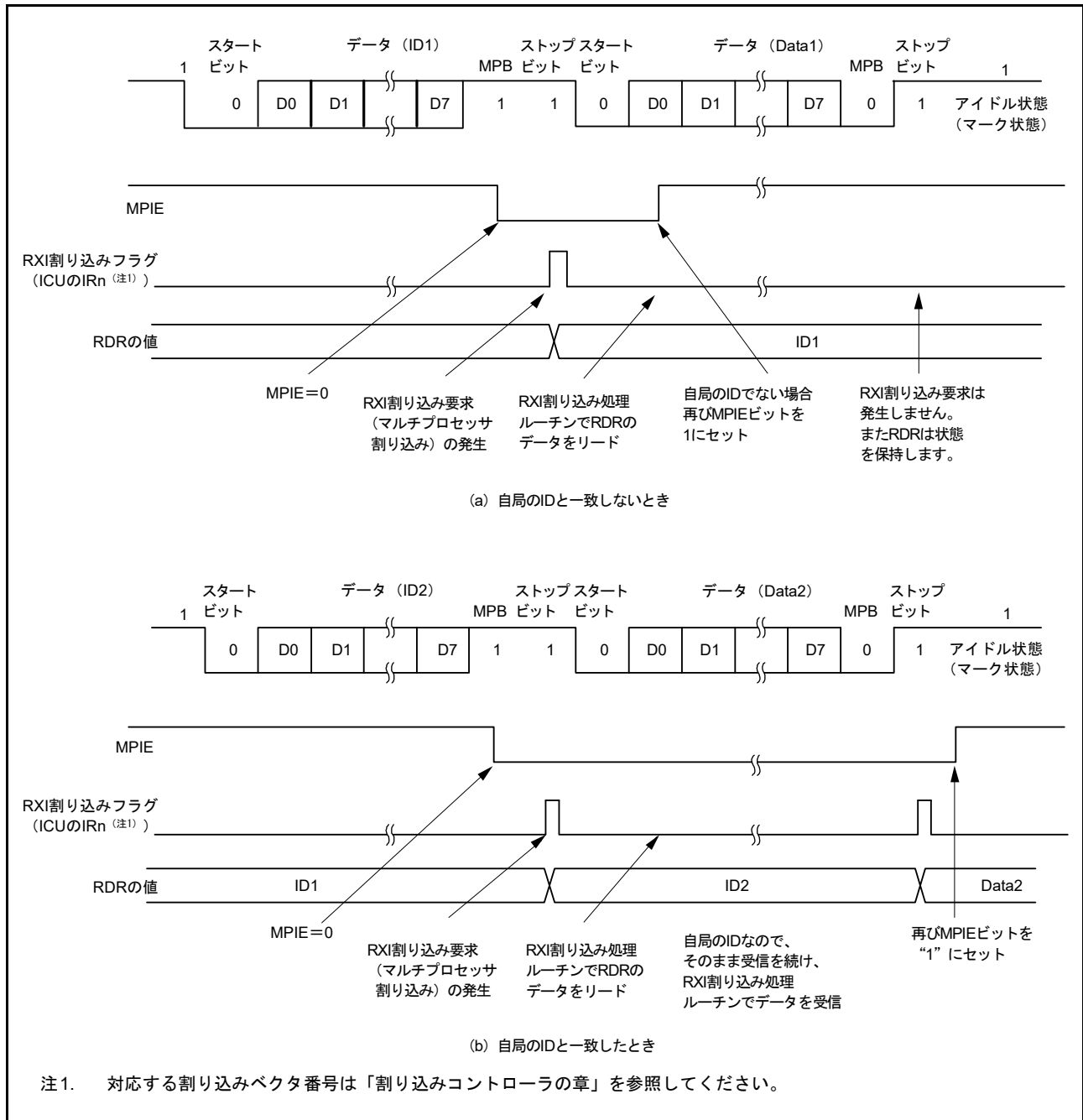


図 26.18 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

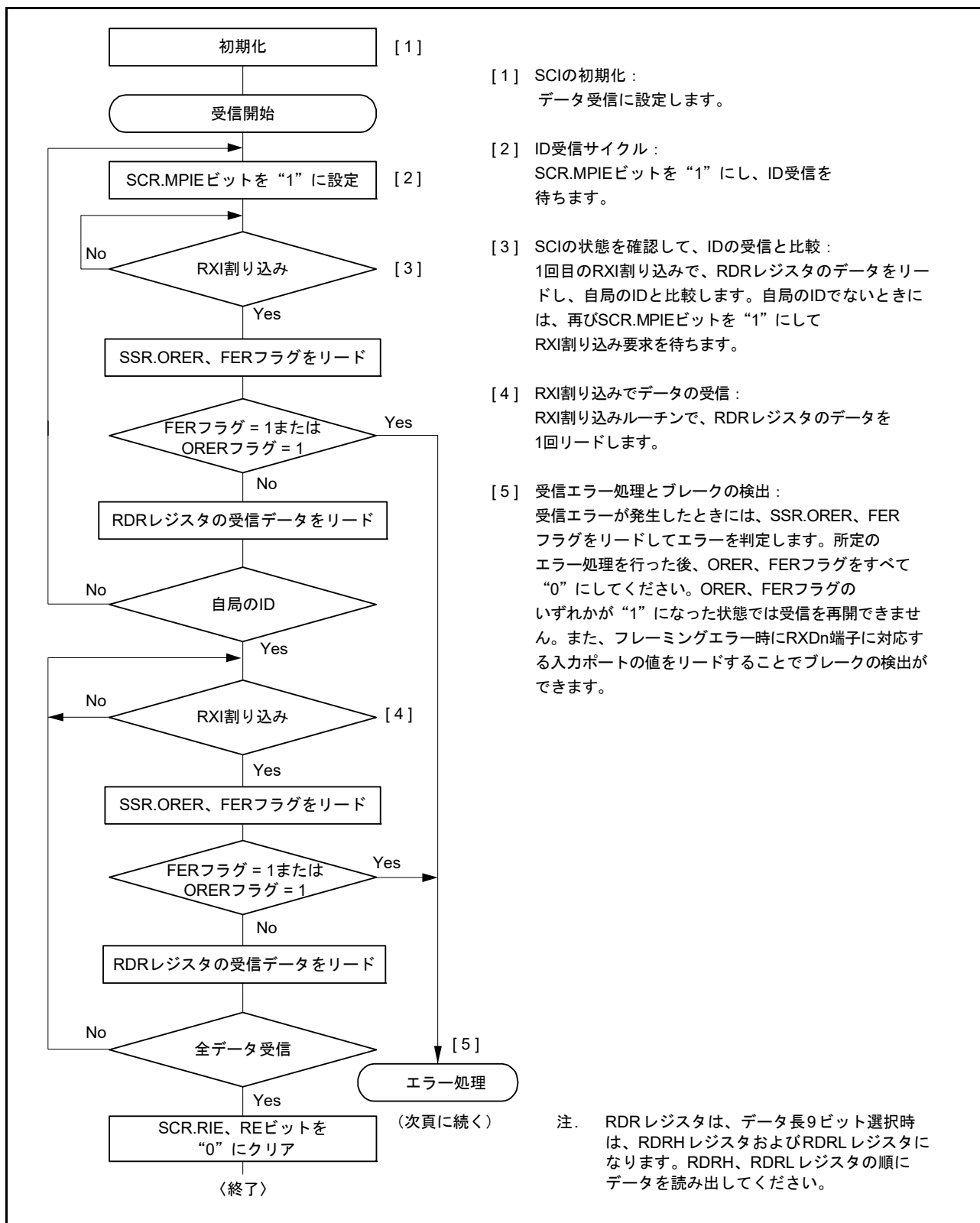


図 26.19 マルチプロセッサシリアル受信のフローチャートの例 (1)

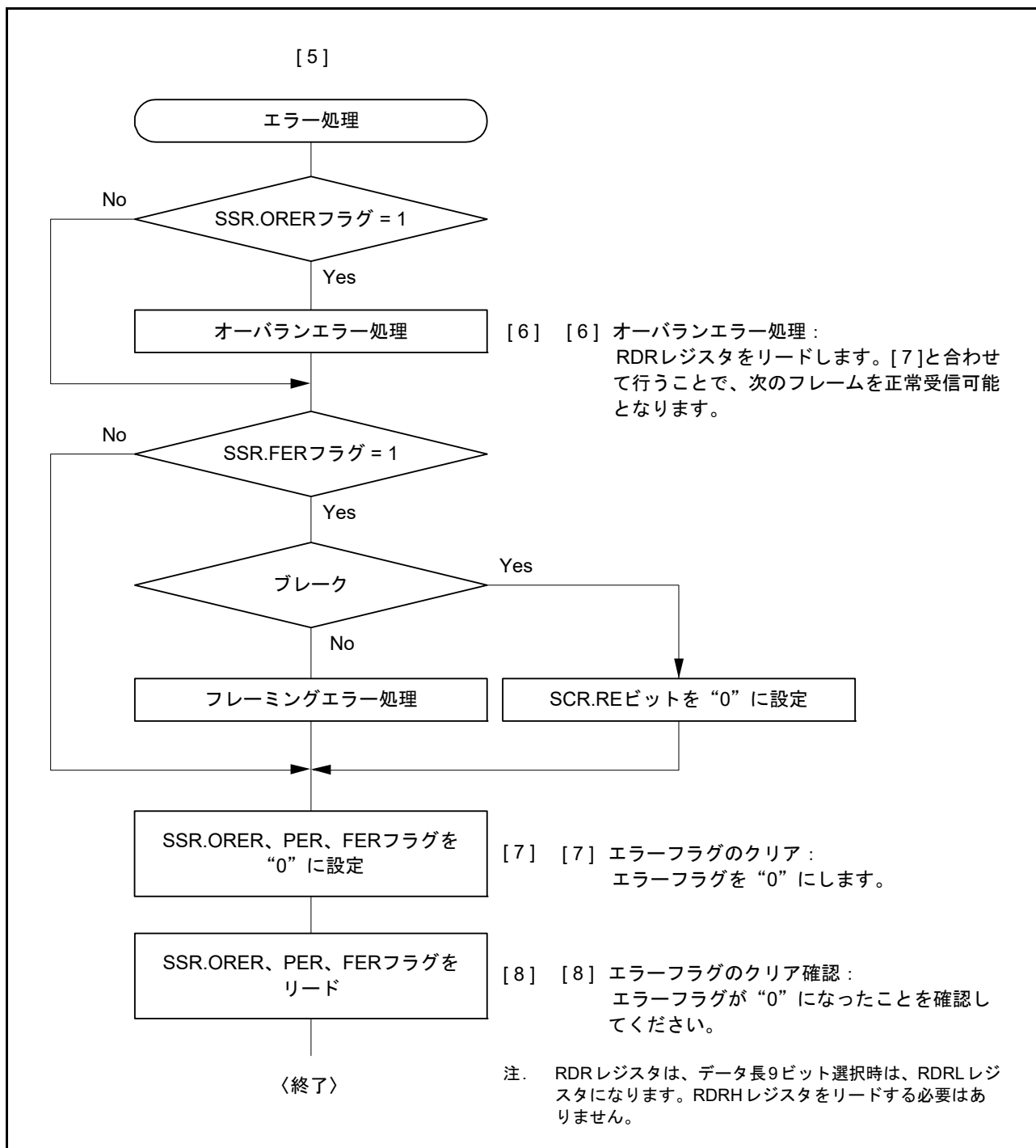


図 26.20 マルチプロセッサシリアル受信のフローチャートの例 (2)

26.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 26.21 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCIは、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がり時に同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

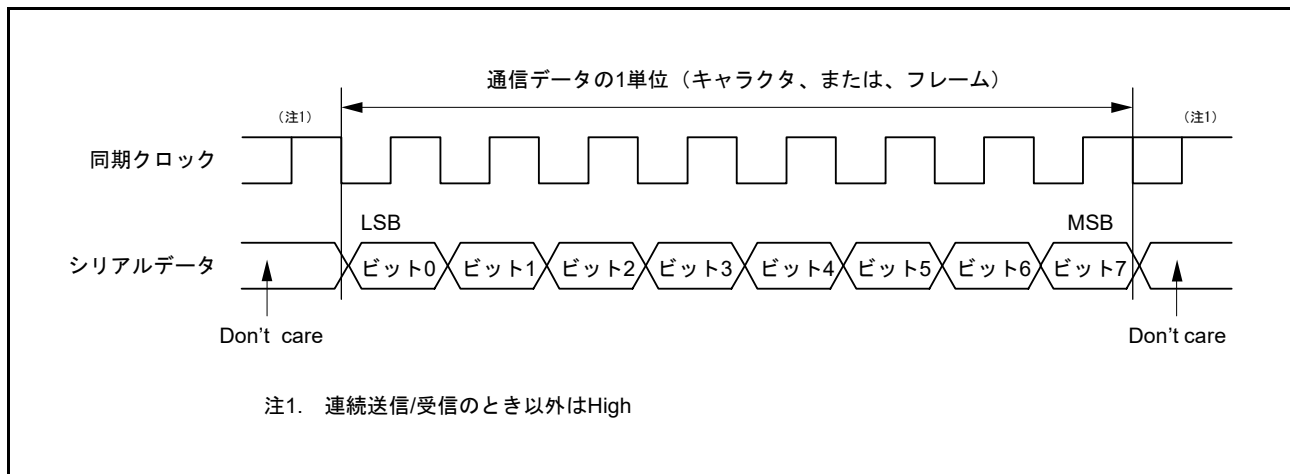


図 26.21 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

26.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは、CTS 機能が無効な場合は SCR.RE ビットを“1”にするとともに同期クロックの出力を開始し、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

受信動作のみでかつ CTS 機能が有効な場合は、SCR.RE ビットが“0”のときに CTSn# 端子入力が High であれば、SCR.RE ビットを“1”にしてもクロック出力を開始しません。SCR.RE ビットを“1”にしかつ CTSn# 端子入力が Low になると同期クロックの出力を開始します。その後、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を High レベルで停止します。CTSn# 端子入力が Low を継続のときは、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

26.5.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SPMR.CTSE ビットを“1”にすると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

送受信動作中に CTSn# 端子を High にした場合、送受信中のフレームは影響を受けず送受信を継続します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが“1”
- 送受信動作中でない
- 読み出し前の受信データがない (SCR.RE ビットが“1”のとき)
- 送信データを書き込み済 (SCR.TE ビットが“1”のとき)
- SSR.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

26.5.3 SCIの初期化（クロック同期式モード）

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 26.22 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER フラグおよび RDR レジスタは初期化されませんので注意してください。

SCR.TE ビットを “1” から “0”、または “0” から “1” にすると、SCR.TIE ビットが “1” の場合、TXI 割り込みが発生しますので注意してください。

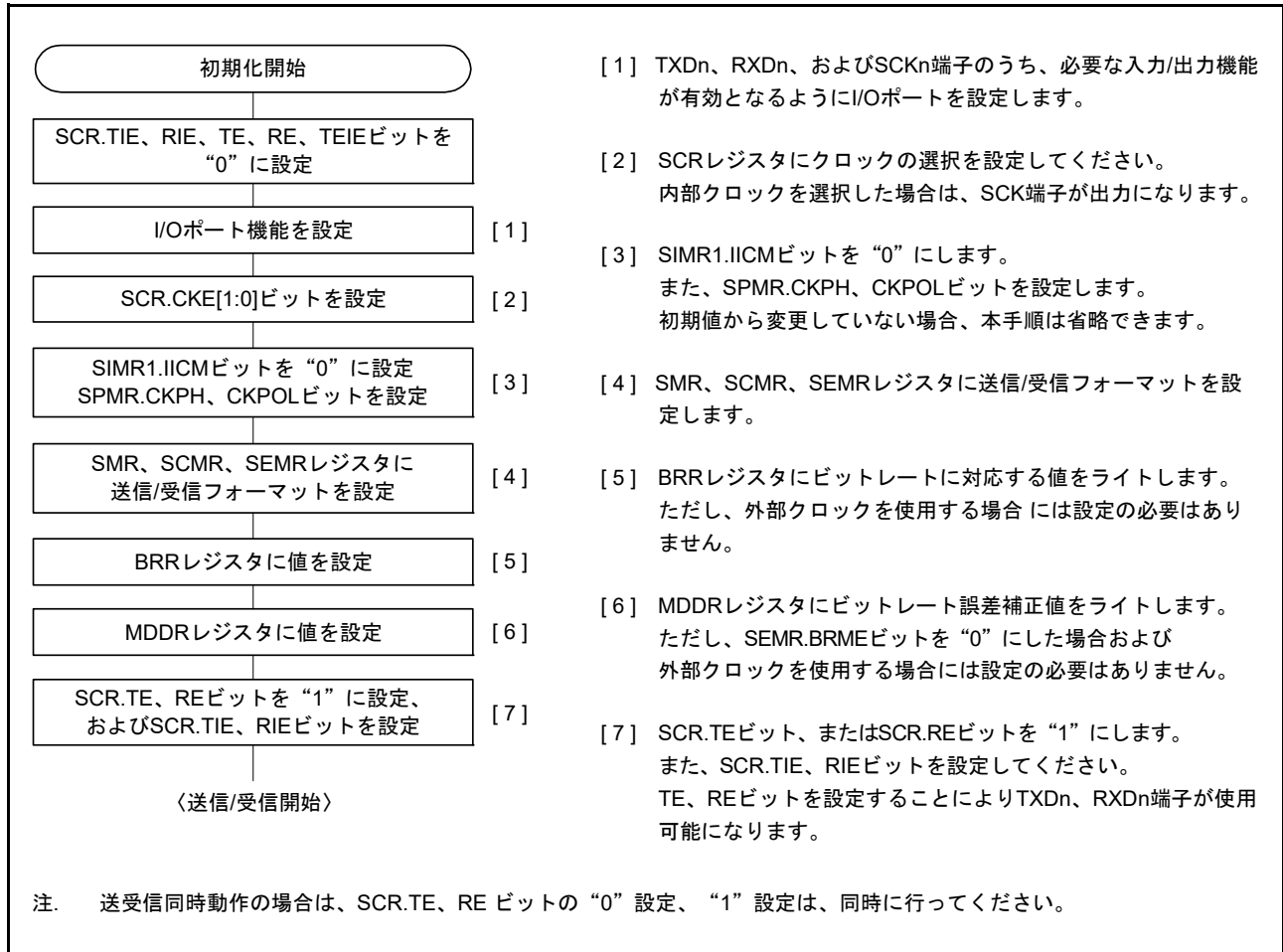


図 26.22 SCIの初期化フローチャートの例（クロック同期式モード）

26.5.4 シリアルデータの送信（クロック同期式モード）

図 26.23、図 26.24、図 26.25 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを“0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを“1”（TEI 割り込み要求を許可）にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SPMR.CTSE ビットが“1”（CTS 機能許可）のとき、CTS 信号入力 Low になるまで待ってから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが“1”であると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 26.26 にシリアル送信のフローチャートの例を示します。

受信エラーフラグ（SSR.ORER, FER, PER）が“1”になった状態では送信を開始しません。送信開始の前に、受信エラーフラグを“0”にしてください。また、受信エラーフラグは SCR.RE ビットを“0”にしただけではクリアされませんので注意してください。

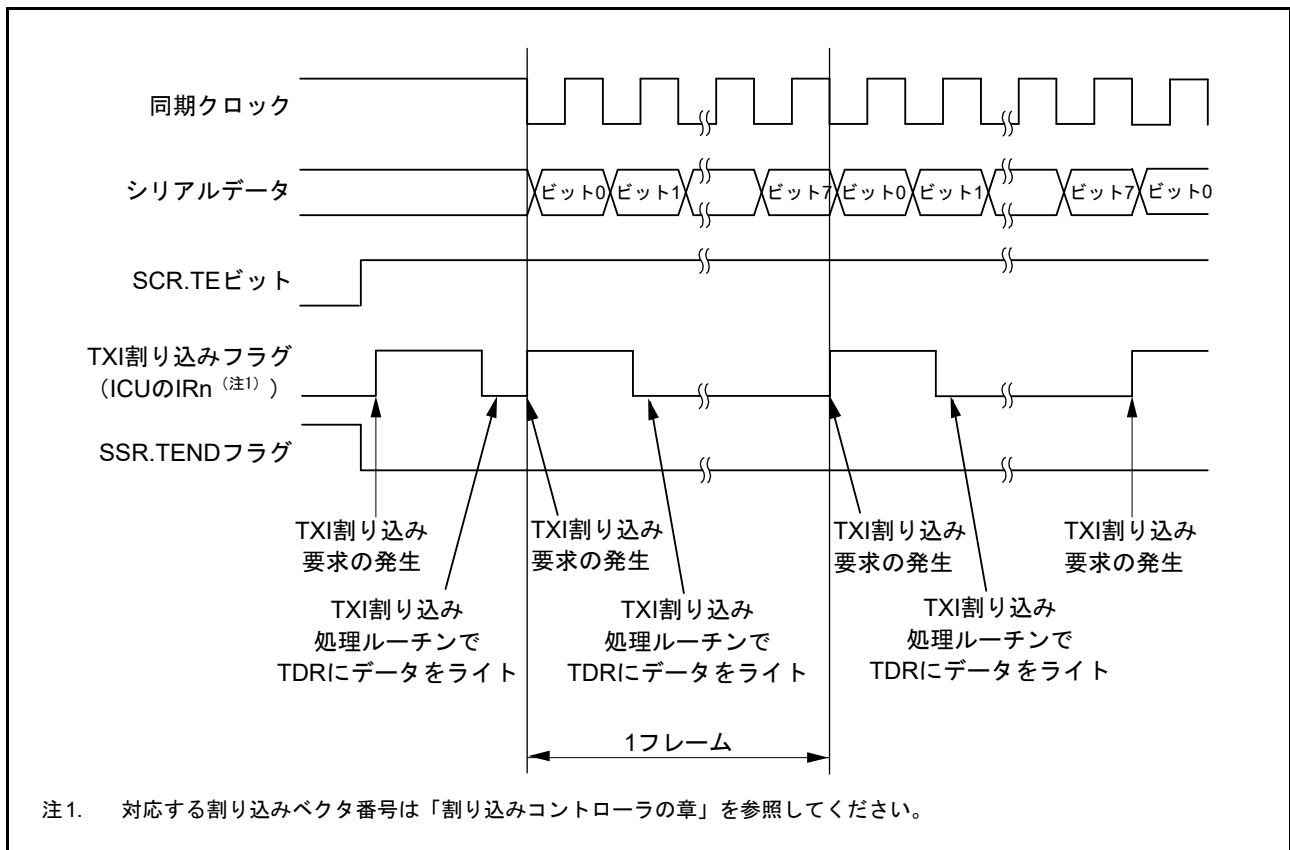


図 26.23 クロック同期式モードのシリアル送信の動作例 (1) (送信開始・CTS 機能使用しない)

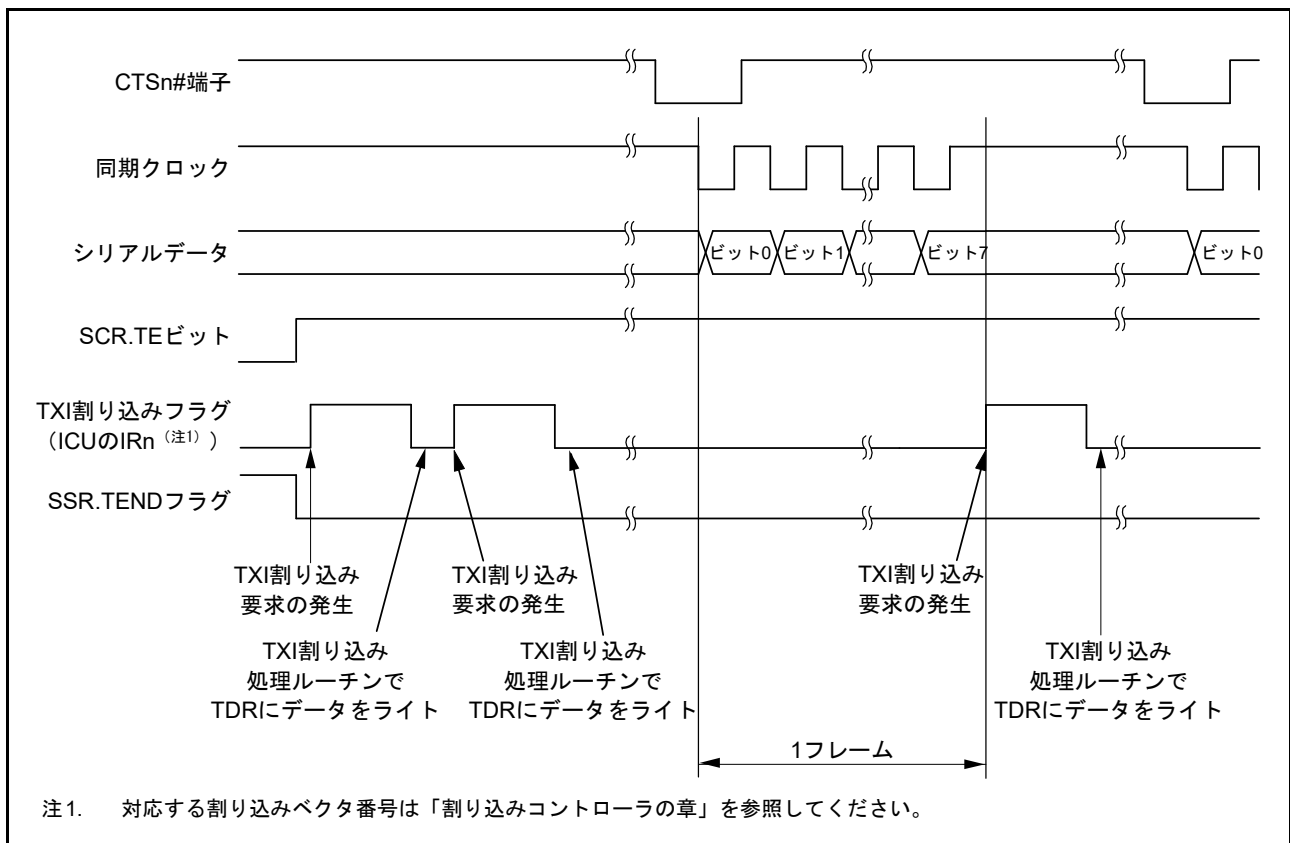


図 26.24 クロック同期式モードのシリアル送信の動作例 (2) (送信開始・CTS 機能使用する)

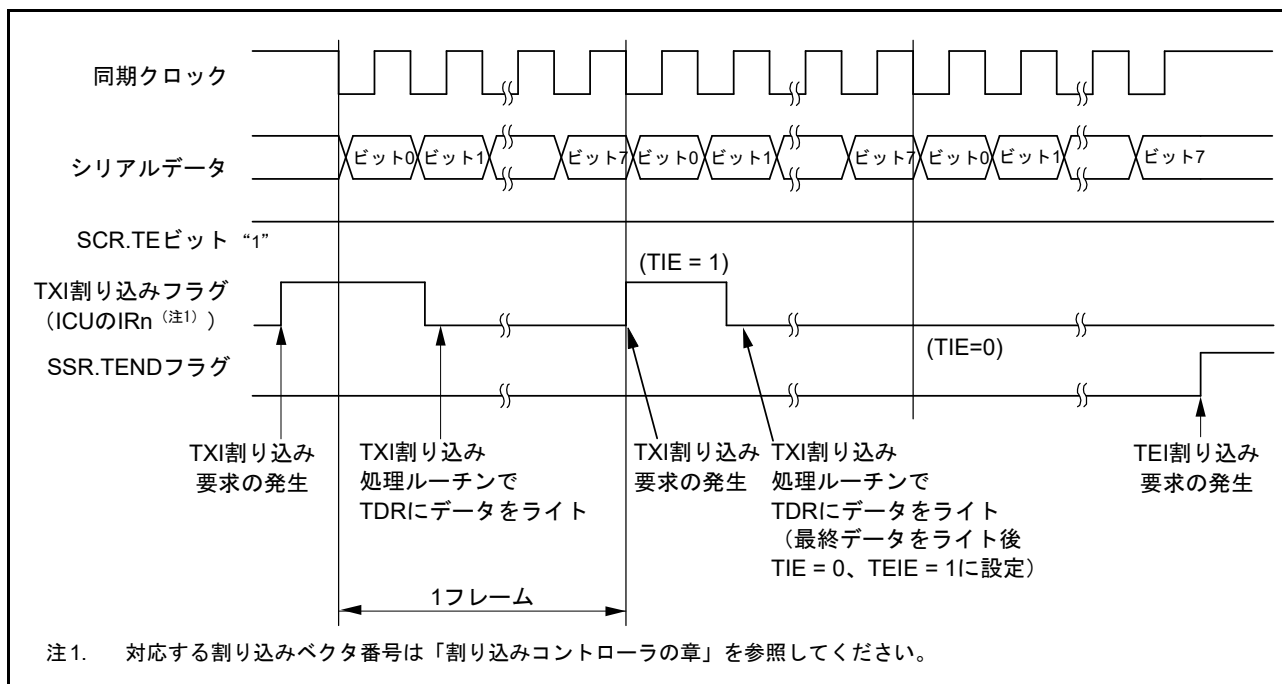


図 26.25 クロック同期式モードのシリアル送信の動作例 (3) (送信中～送信終了時)

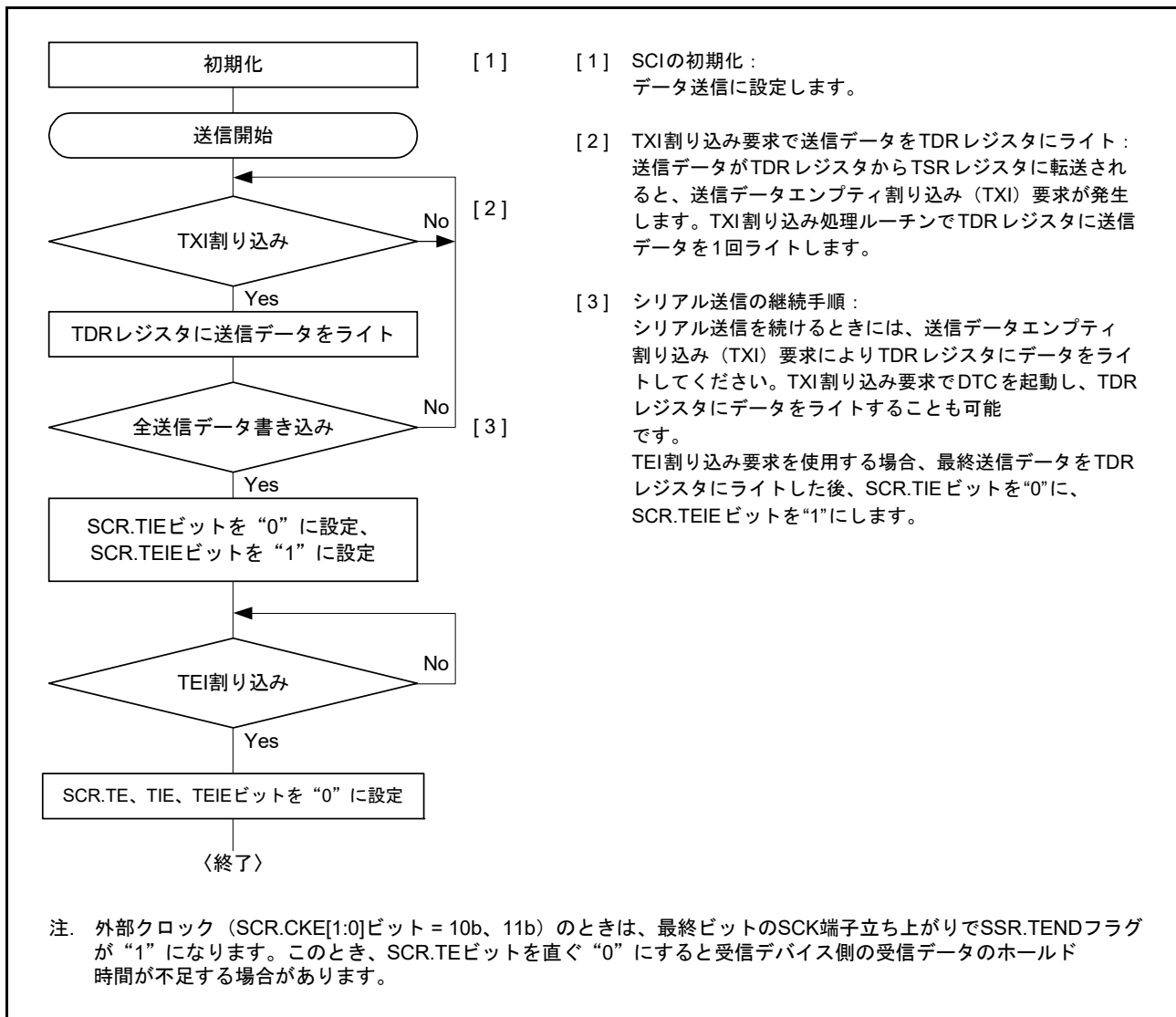


図 26.26 クロック同期式モードのシリアル送信のフローチャート例

26.5.5 シリアルデータの受信（クロック同期式モード）

図 26.27、図 26.28 にクロック同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 信号出力を Low にします（RTS 機能使用時）。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 信号出力を Low にします（RTS 機能使用時）。

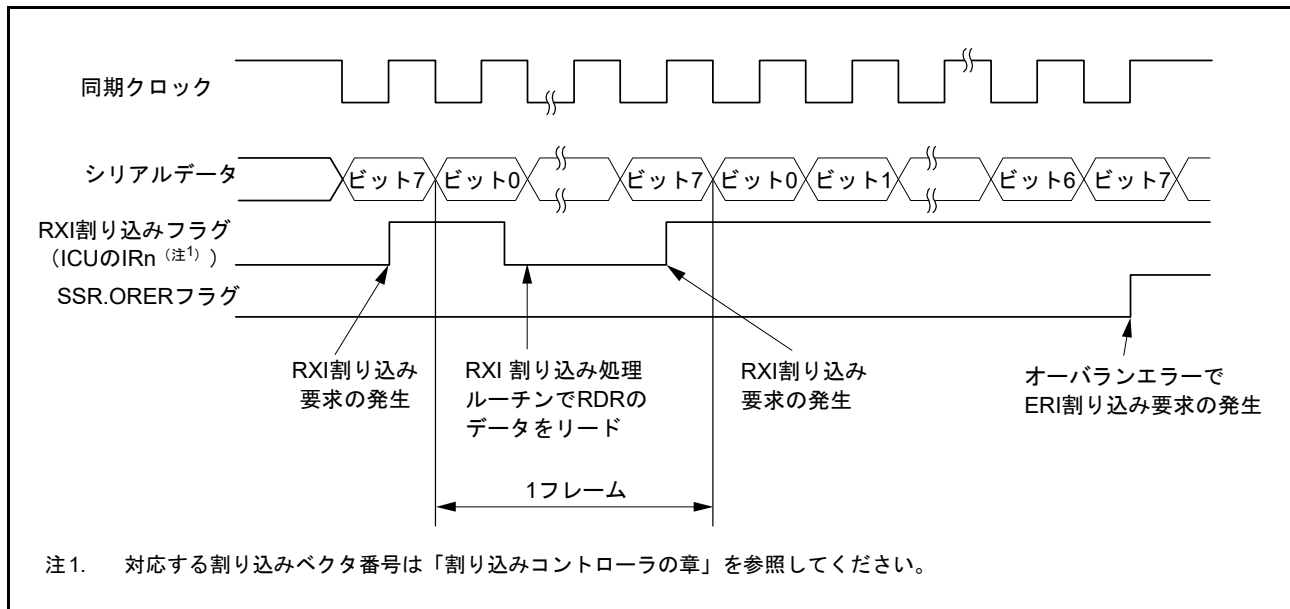


図 26.27 クロック同期式モードのシリアル受信時の動作例（1）（RTS 機能未使用時）

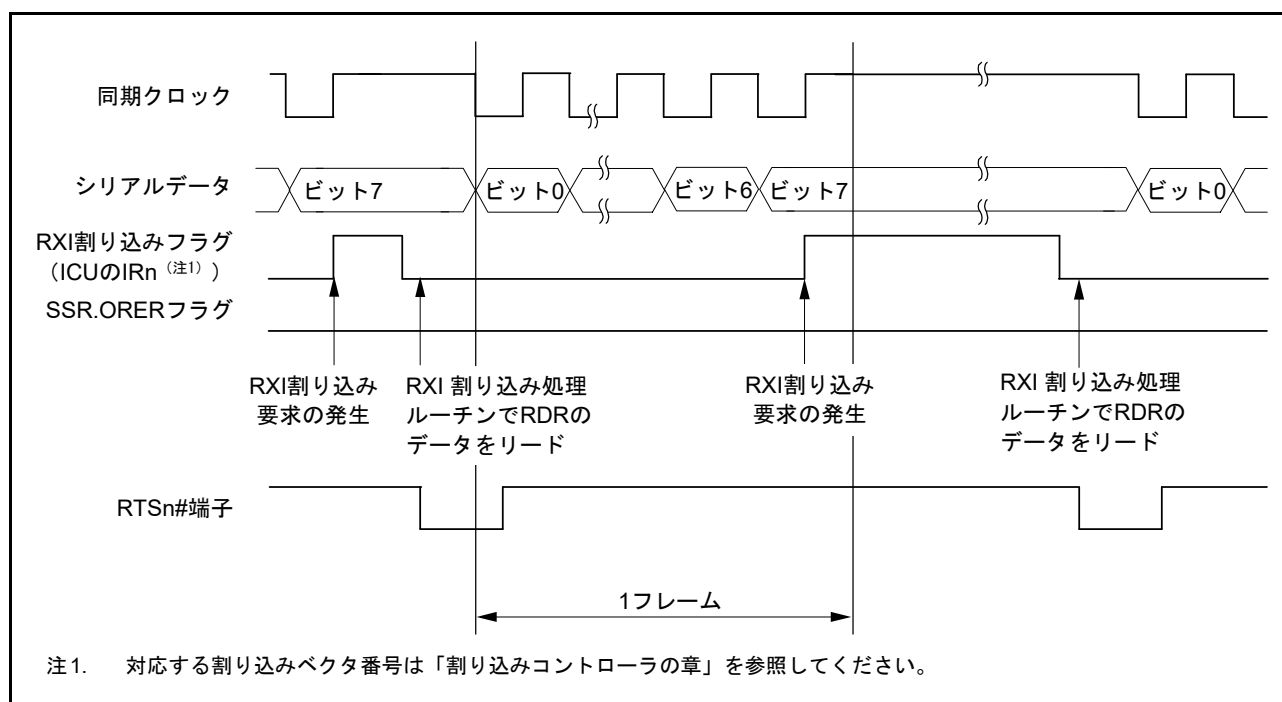


図 26.28 クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR レジスタの ORER、FER、PER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 26.29 にシリアル受信のフローチャートの例を示します。

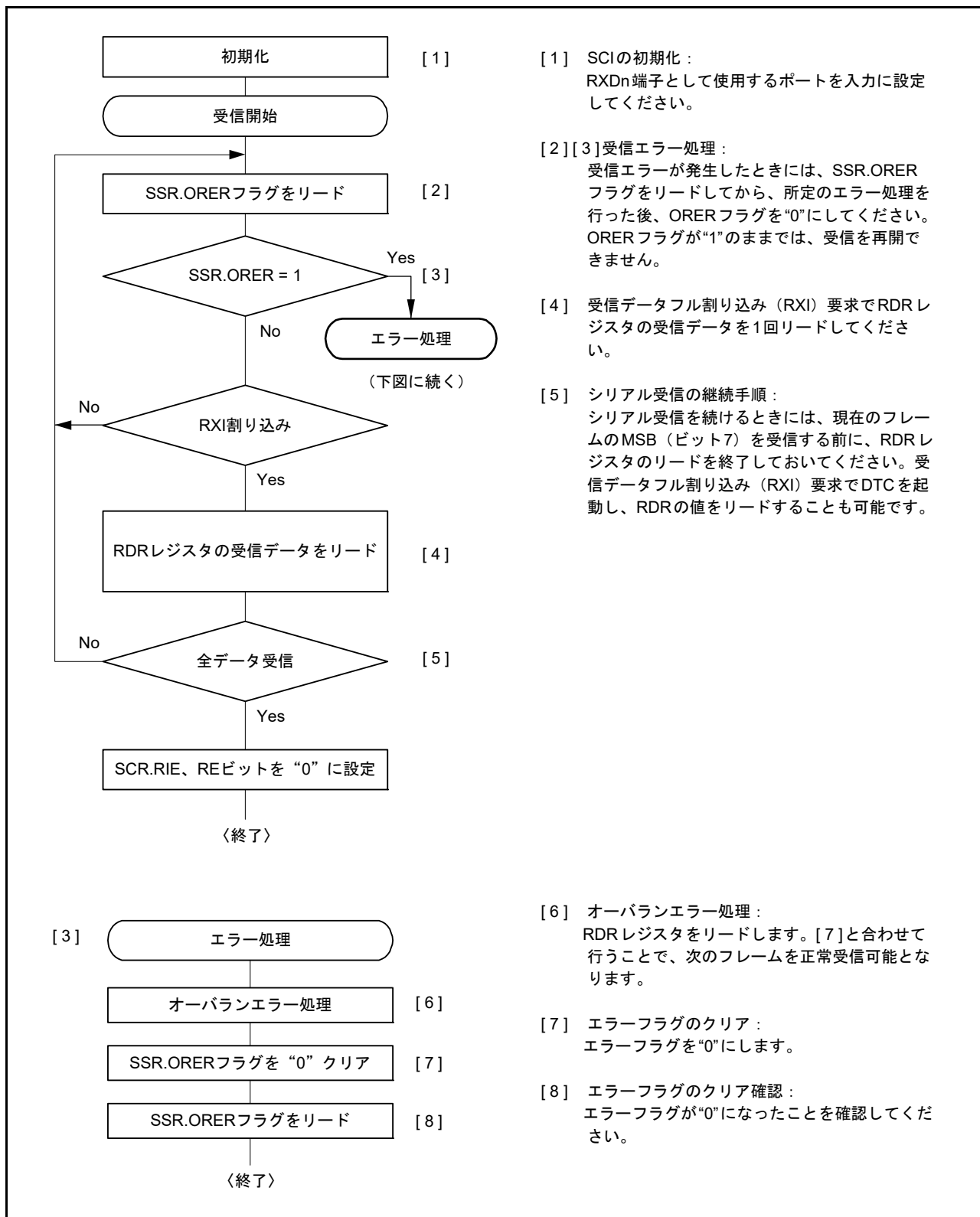


図 26.29 クロック同期式モードのシリアル受信のフローチャート例

26.5.6 シリアルデータの送受信同時動作 (クロック同期式モード)

図 26.30 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCIの初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCIが送信終了状態であることを SSR.TEND フラグが“1”になっていることで確認してください。その後、SCR レジスタを初期化してから SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

受信から同時送受信へ切り替えるときには、SCIが受信完了状態であることを確認した後、SCR レジスタの RIE、RE ビットを“0”にしてから、エラーフラグ (SSR.ORER, FER, PER) が“0”であることを確認した後、SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

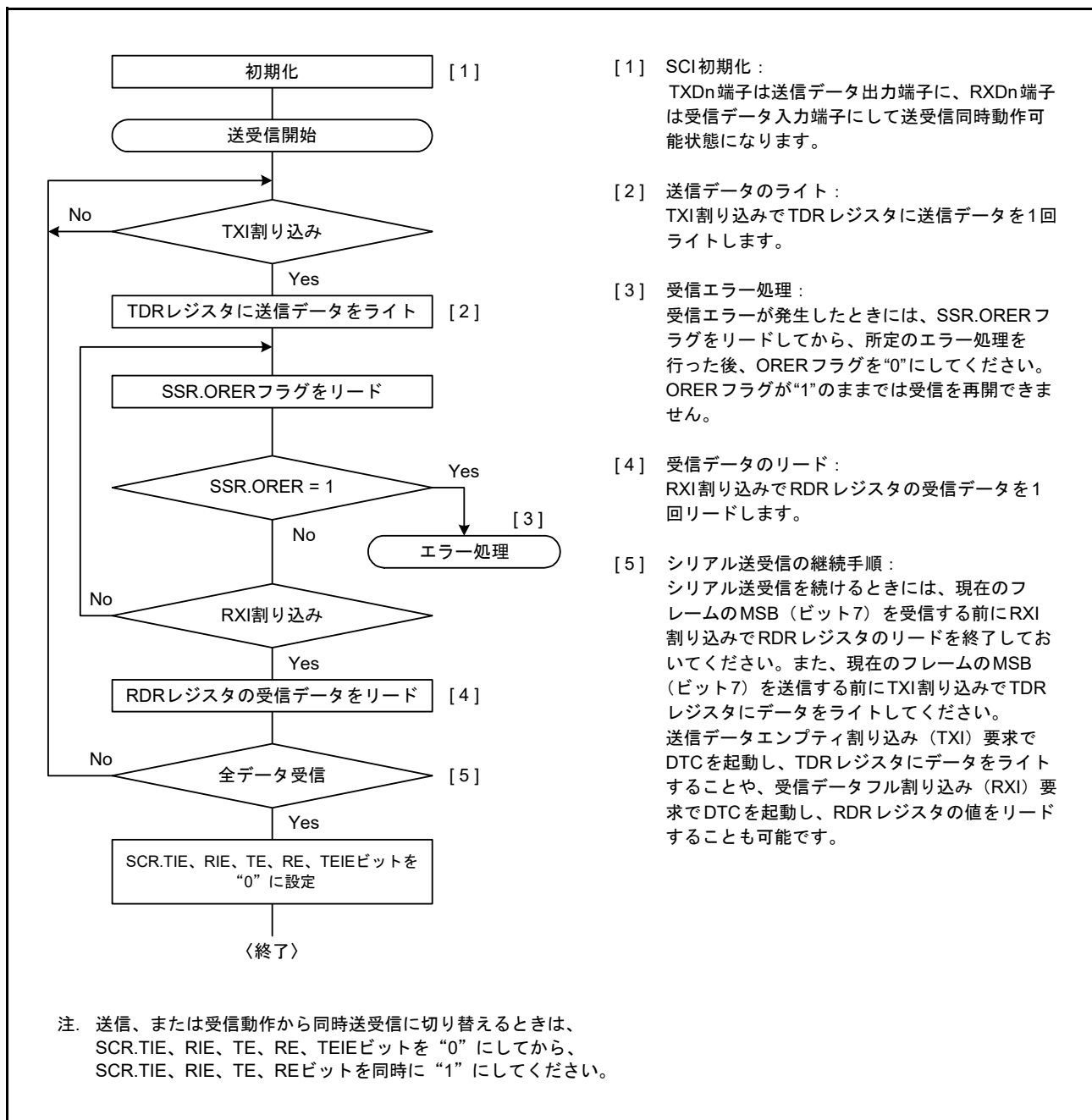


図 26.30 クロック同期式モードのシリアル送受信同時動作のフローチャート例

26.6 スマートカードインタフェースモードの動作

SCIの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (ICカード) インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

26.6.1 接続例

図 26.31 にスマートカード (ICカード) との接続例を示します。

ICカードとは1本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

ICカードを接続しない状態で SCR.TE ビット = 1、SCR.RE ビット = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

SCIで生成するクロックをICカードに供給する場合は、SCKn 端子出力をICカードのCLK 端子に入力してください。

リセット信号の出力には本MCUの出力ポートを使用できます。

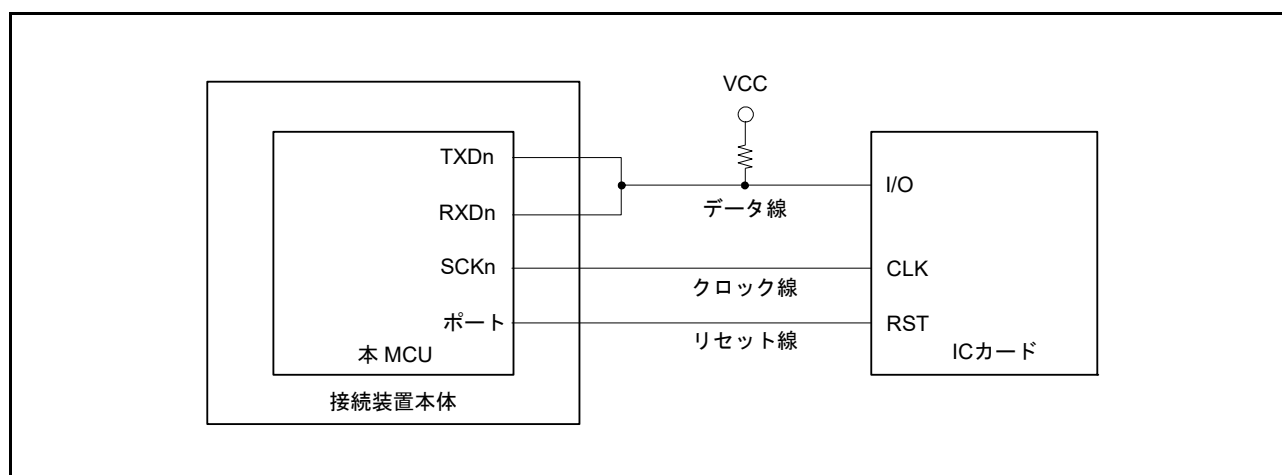


図 26.31 スマートカード (ICカード) との接続例

26.6.2 データフォーマット (ブロック転送モード時を除く)

図 26.32 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2 etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信します。

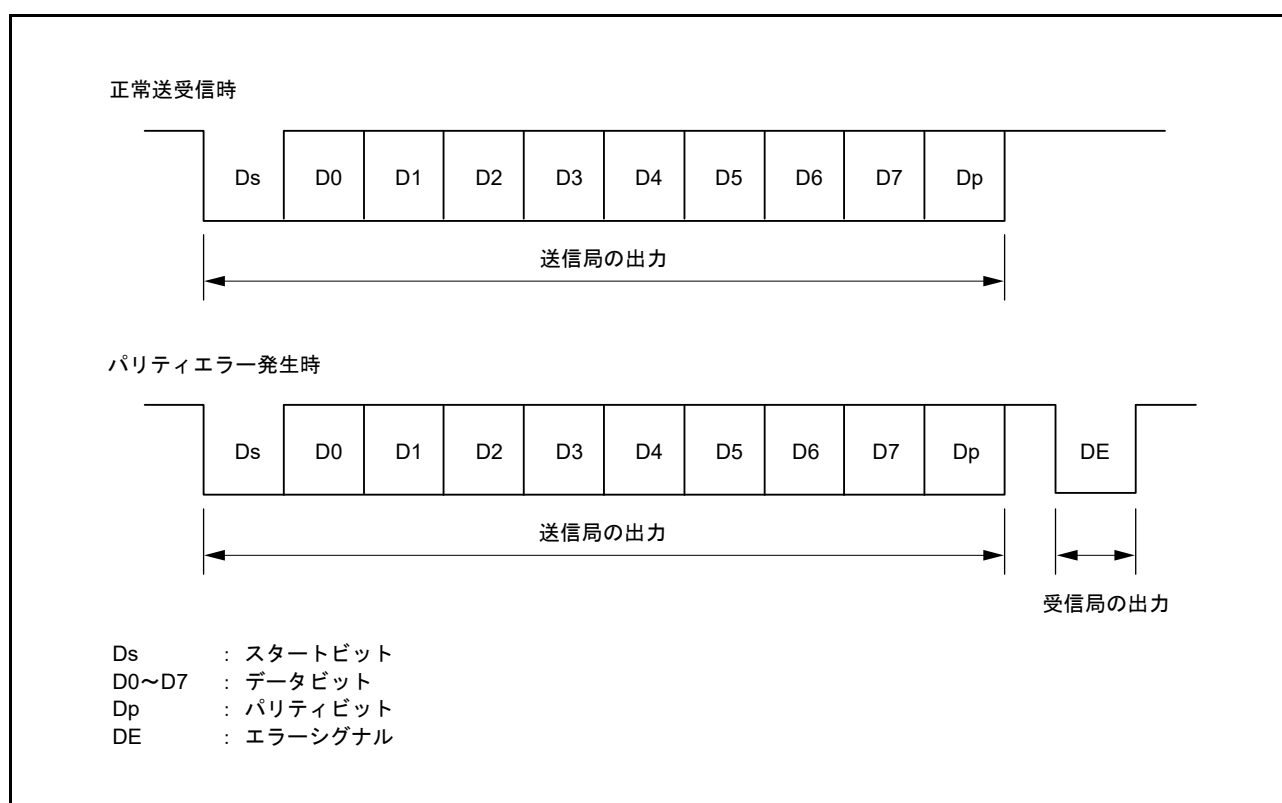


図 26.32 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、**図 26.33** に示す開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。**図 26.33** の開始キャラクタでは、データは“3Bh”となります。

ダイレクトコンベンションタイプでは、SCMRレジスタのSDIR、SINVビットをともに“0”にしてください。また、スマートカードの規定により偶数パリティとなるようSMR.PMビットには“0”を設定してください。

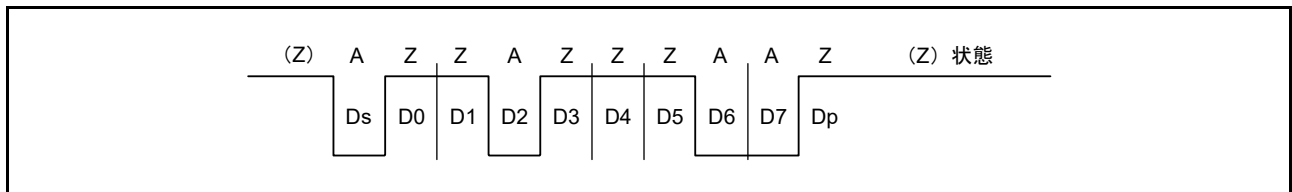


図 26.33 ダイレクトコンベンション
(SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信します。**図 26.34** の開始キャラクタでは、データは“3Fh”となります。

インバースコンベンションタイプでは、SCMRレジスタのSDIR、SINVビットをともに“1”にしてください。パリティビットはスマートカードの規定により偶数パリティで論理0となり、状態Zが対応します。

本MCUでは、SINVビットはデータビットD7～D0のみ反転させます。このため、送受信ともSMR.PMビットに“1”を設定してパリティビットを反転させてください。

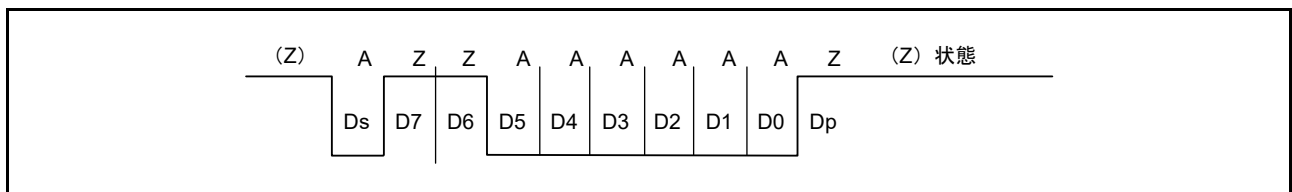


図 26.34 インバースコンベンション
(SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR.PM ビット = 1)

26.6.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信時にパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小1 etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5 etu 後にセットされます。
- SSR.ERS フラグは通常のスマートカードインタフェースモードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため“0”となります。

26.6.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロックのみです。

スマートカードインタフェースモードでは、SCIはSCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定により、ビットレートの32倍、64倍、372倍、256倍、93倍、128倍、186倍、512倍（通常の調歩同期式モードでは16倍に固定されています）の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、**図 26.35**に示すように、受信データを基本クロックのそれぞれ16、32、186、128、46、64、93、256サイクルの立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%]$$

- M : 受信マージン (%)
- N : クロックに対するビットレートの比 (N = 32, 64, 372, 256)
- D : クロックデューティ (D = 0 ~ 1.0)
- L : フレーム長 (L = 10)
- F : クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

$$M = \{ 0.5 - 1/(2 \times 372) \} \times 100 [\%] = 49.866 [\%]$$

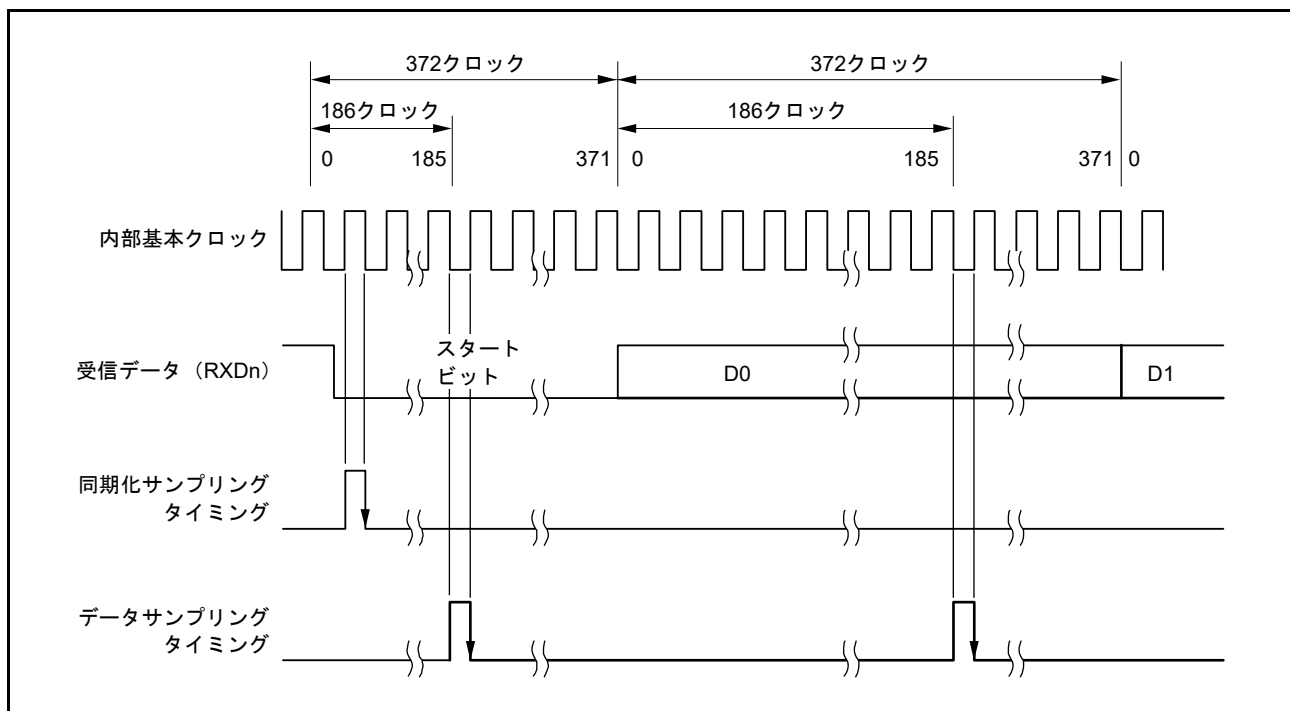


図 26.35 スマートカードインタフェースモード時の受信データサンプリングタイミング (372倍のクロック使用時)

26.6.5 SCIの初期化（スマートカードインタフェースモード）

図 26.36 のフローチャートの例に従って初期化してください。

送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化してから変更してください。なお、RE ビットを“0”にしても RDR レジスタは初期化されません。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、TE ビット = 1、RE ビット = 0 に設定してください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、あるいは SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE ビット = 0、RE ビット = 1 に設定してください。送信動作の完了は SSR.TEND フラグで確認できます。

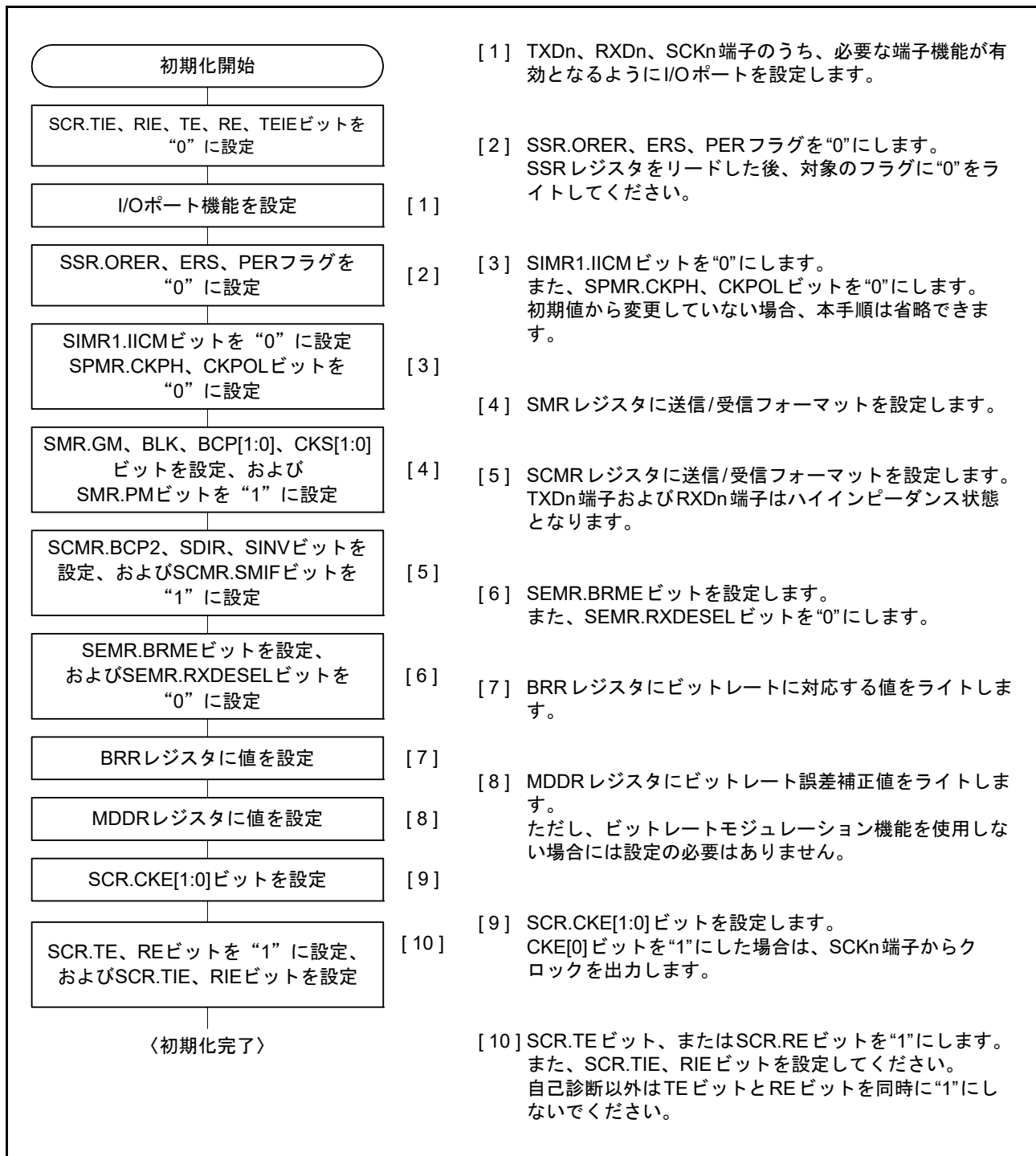


図 26.36 SCIの初期化フローチャートの例 (スマートカードインタフェースモード)

26.6.6 シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を図 26.37 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR.ERS フラグが“1”になります。このとき SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングまでに ERS フラグをクリアしてください。
- 2 エラーシグナルを受信したフレームでは、SSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタに再度データが転送され、自動的に再送信を行います。
- 3 受信側からエラーシグナルが返ってこない場合は、ERS フラグはセットされません。
- 4 再転送を含む 1 フレームの送信が完了したと判断して、SSR.TEND フラグがセットされます。このとき、SCR.TIE ビットが“1”であれば、TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 26.39 に示します。これらの一連の処理は、TXI 割り込み要因によって DTC を起動することで自動的に行うことができます。

送信動作では、SCR.TIE ビットを“1”にしておくと、SSR.TEND フラグが“1”になったときに TXI 割り込み要求が発生します。あらかじめ DTC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC が起動されて送信データの転送を行います。TEND フラグは、DTC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS フラグをクリアしてください。

なお、DTC を使って送受信を行う場合は、先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。

DTC の設定方法は「17. データトランスファコントローラ (DTCa)」を参照してください。

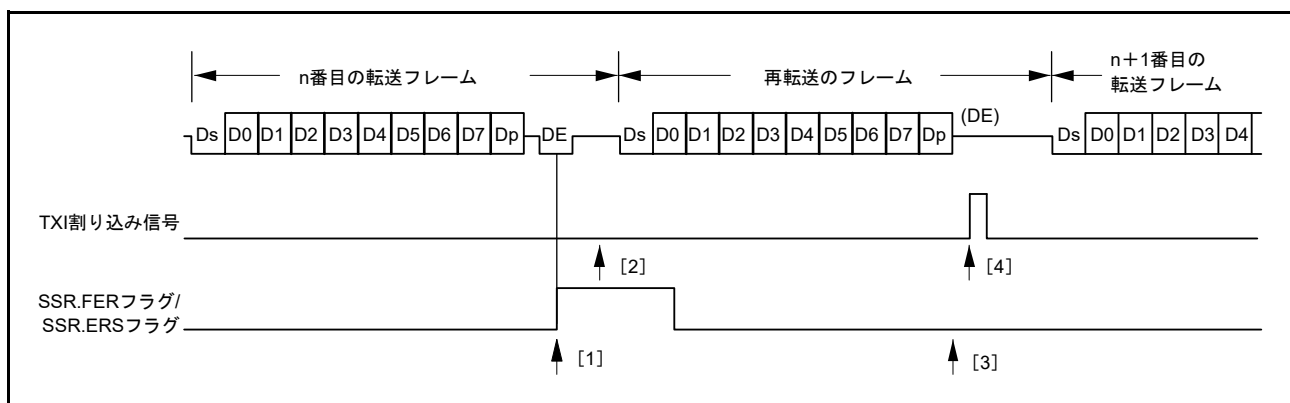


図 26.37 SCI 送信モードの場合の再転送動作（送信時の再転送動作）

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 26.38 に TEND フラグ発生タイミングを示します。

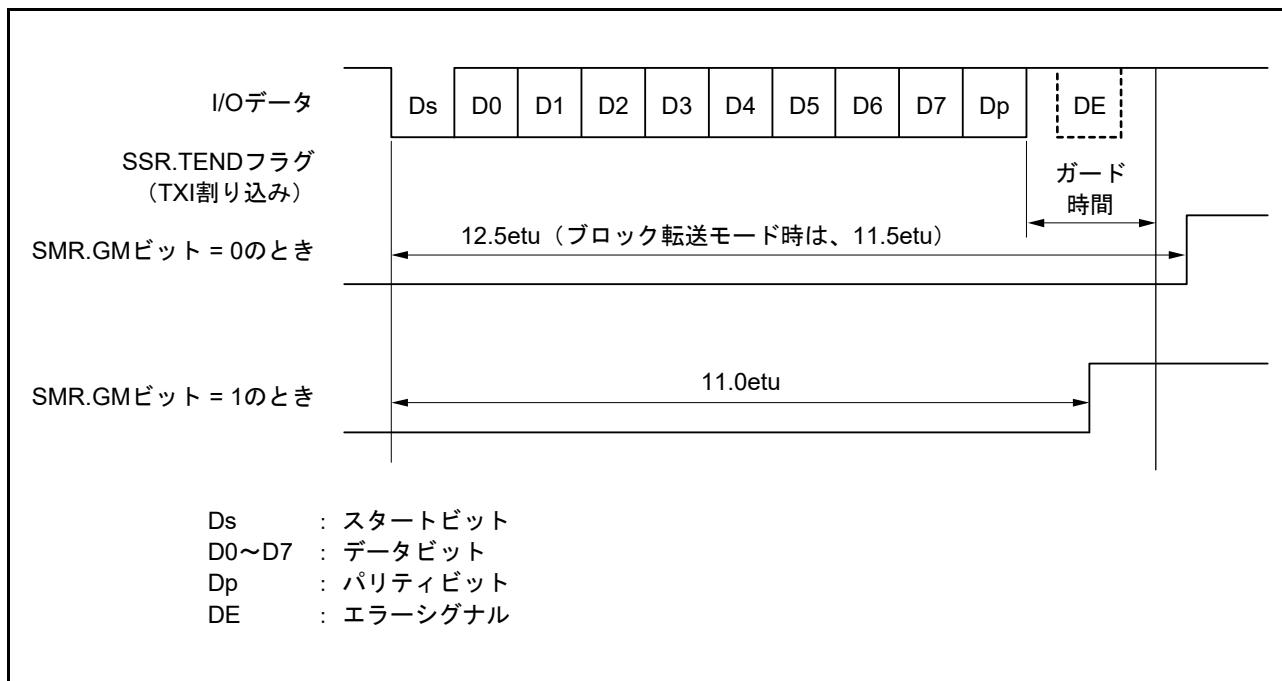


図 26.38 送信時の SSR.TEND フラグの発生タイミング

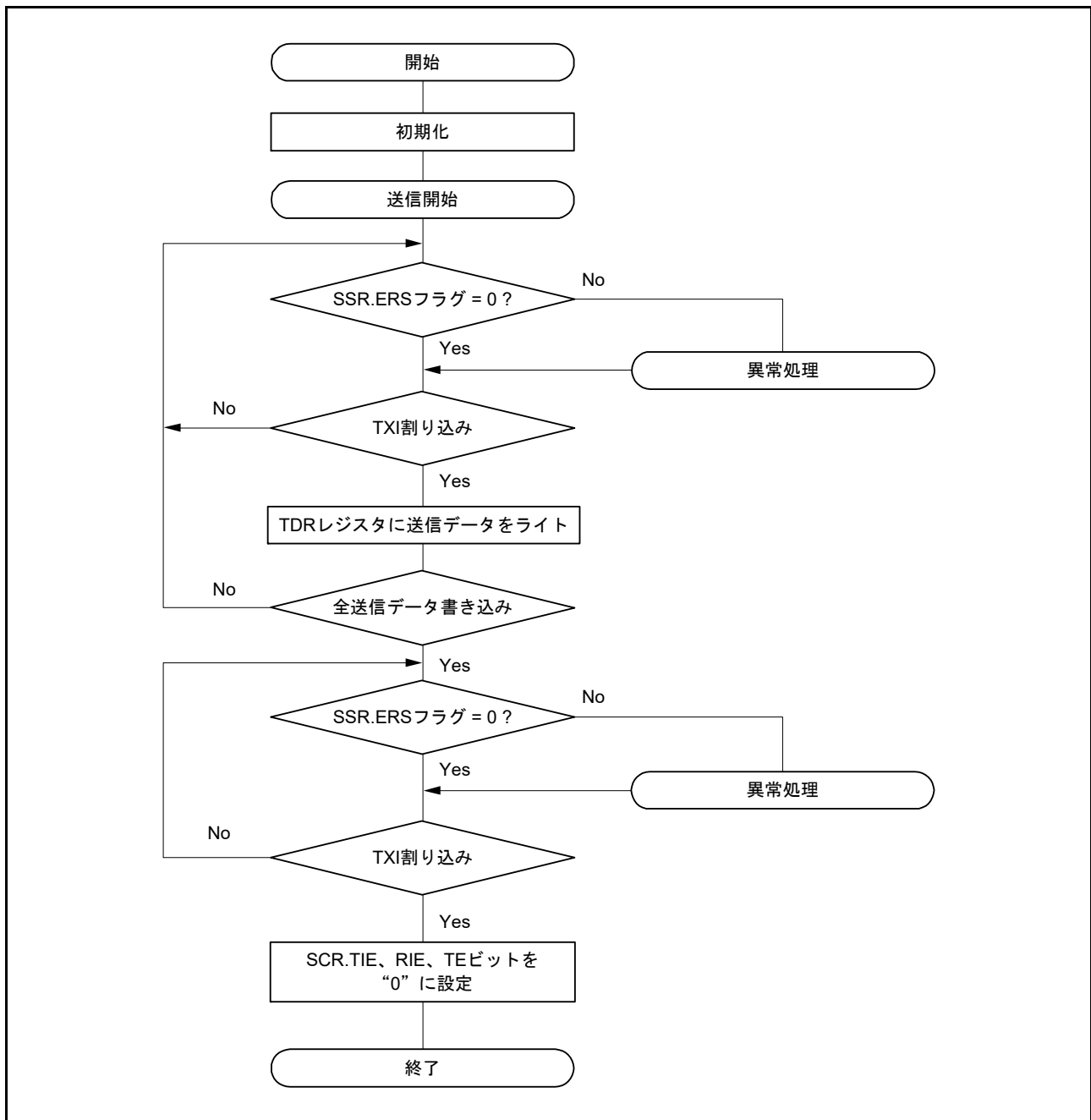


図 26.39 スマートカードインタフェース送信のフローチャート例

26.6.7 シリアル受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 26.40 に示します。

1. 受信データにパリティエラーを検出すると SSR.PER フラグが“1”になります。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに PER フラグをクリアしてください。
2. パリティエラーを検出したフレームでは RXI 割り込みは発生しません。
3. パリティエラーが検出されない場合は、SSR.PER フラグはセットされません。
4. 正常に受信を完了したと判断して、RIE ビットが“1”であれば、RXI 割り込み要求を生成します。

シリアル受信のフローチャートの例を図 26.41 に示します。これらの一連の処理は、RXI 割り込み要求によって DTC を起動することで自動的に行うことができます。

受信動作では、RIE ビットを“1”にしておくと、RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求により DTC が起動されて受信データの転送を行います。

また、受信時にエラーが発生し SSR レジスタの ORER、PER フラグのいずれかが“1”になると、受信エラー割り込み（ERI）要求が発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC は起動されず、受信データはスキップされるため DTC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し PER フラグが“1”になった場合でも、受信したデータは RDR レジスタに転送されるのでこのデータをリードすることは可能です。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

注． ブロック転送モードの場合は、「26.3 調歩同期式モードの動作」を参照してください。

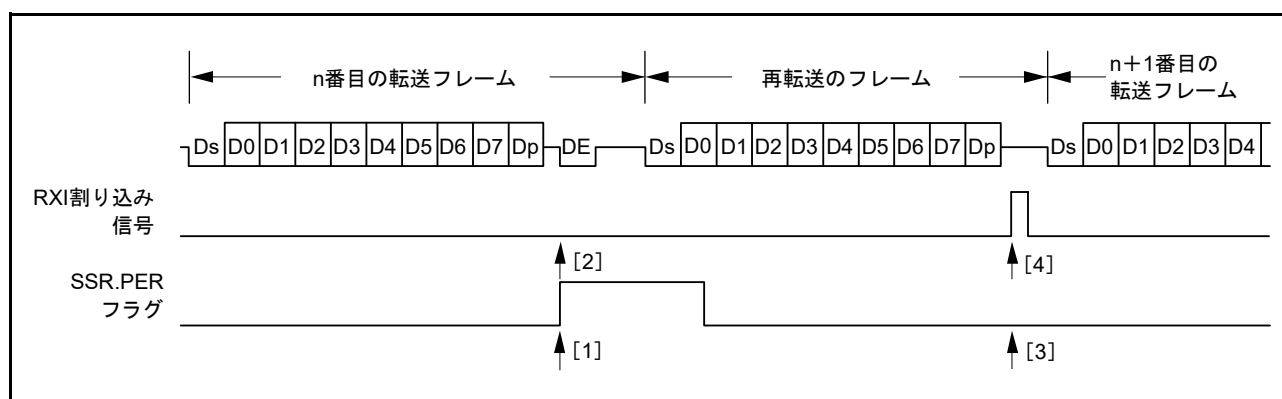


図 26.40 SCI 受信モードの場合の再転送動作（受信時の再転送動作）

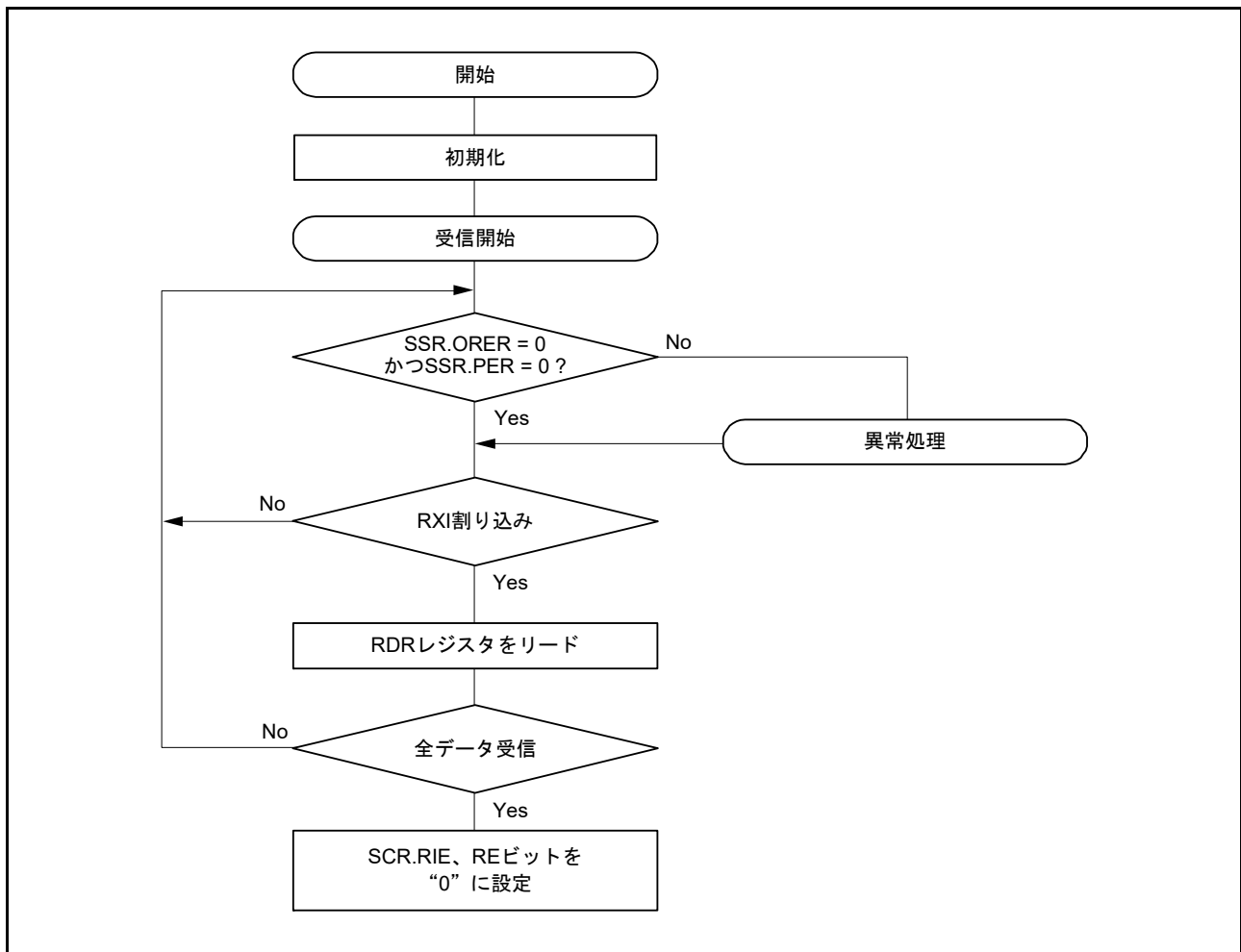


図 26.41 スマートカードインタフェース受信のフローチャート例

26.6.8 クロック出力制御

SMR.GM ビットが“1”であるとき、SCR.CKE[1:0] ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 26.42 にクロック出力の固定タイミングを示します。GM ビット=1、CKE[1] ビット=0 とし、CKE[0] ビットを制御した場合の例です。

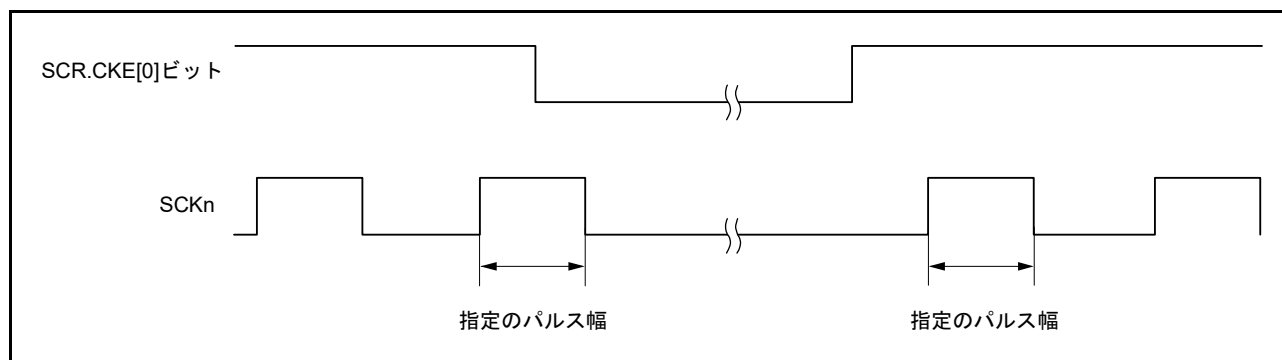


図 26.42 クロック出力固定タイミング

電源投入時からクロックデューティを確保するため、以下の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCR.CKE[1] ビットおよび I/O ポート機能を設定し、SCKn 端子を指定の出力に固定してください。
3. SMR レジスタと SCMR レジスタを設定し、スマートカードインタフェースモードの動作に切り替えてください。
4. SCR.CKE[0] ビットを“1”にして、クロック出力を開始させてください。

26.7 簡易 I²C モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開条件に続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、停止条件まで有効です。各フレーム中の 8 ビットのデータは、MSB から順に送信されます。

図 26.43 に I²C バスフォーマットを、図 26.44 に I²C バスタイミングを示します。

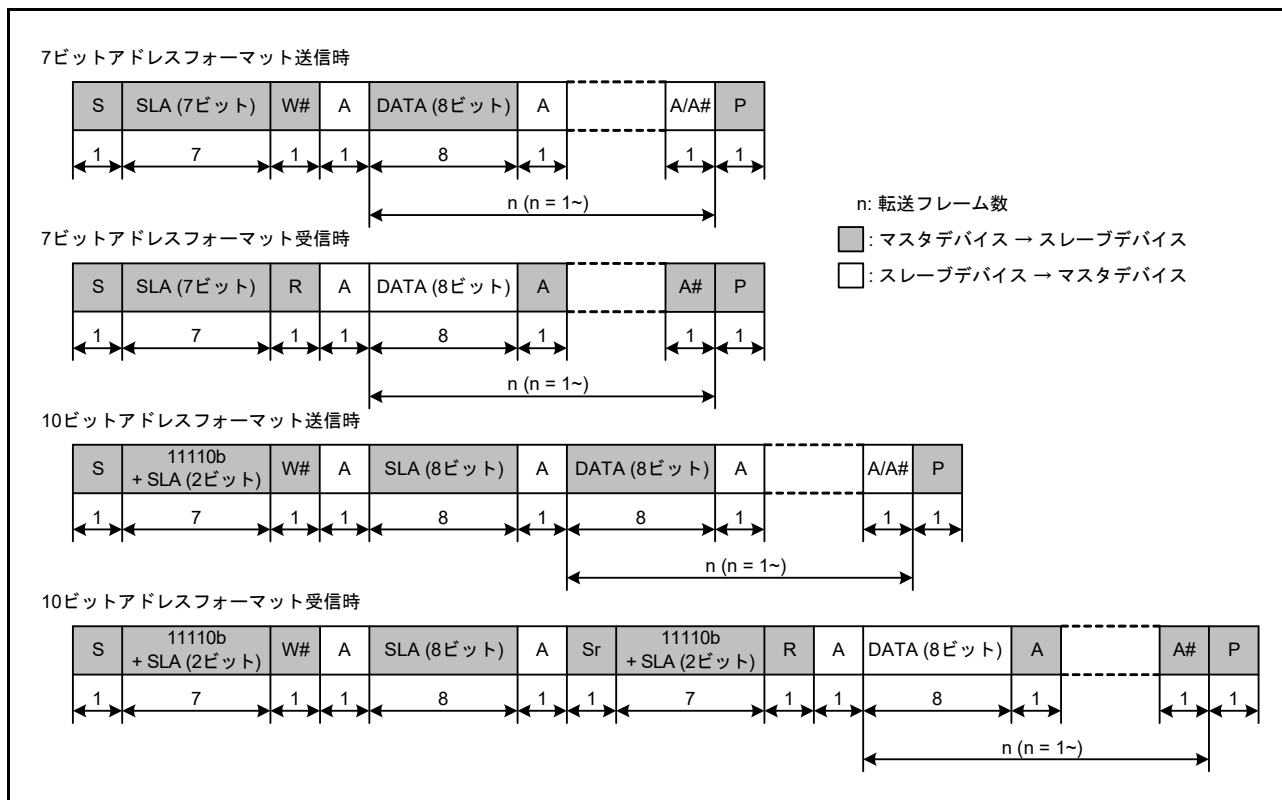


図 26.43 I²C バスフォーマット

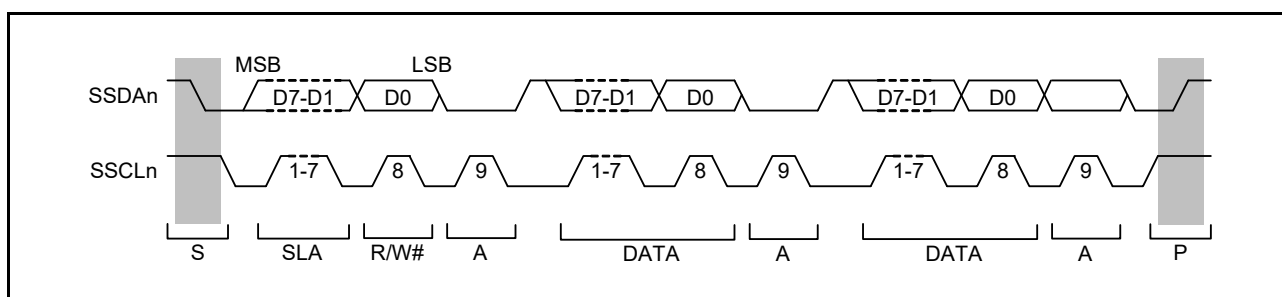


図 26.44 I²C バスタイミング (SLA = 7 ビットの場合)

S	: スタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではSSDAnラインがHighからLowに変化します。
SLA	: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W#	: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
A/A#	: アクノリッジを示します。(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Lowを返すことをACK、Highを返すことをNACKと言います。
Sr	: リスタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではセットアップ時間経過後にSSDAnラインがHighからLowに遷移します。
DATA	: 送受信データを示します。
P	: ストップコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではSSDAnラインがLowからHighに変化します。

26.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに“1”を書き込むことにより、開始条件生成を行います。開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートの半分の時間、開始条件のホールド時間を確保
- SSCLn ラインの立ち下げ (High から Low に遷移)、SIMR3.IICSTAREQ ビットは“0”にし、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに“1”を書き込むことにより、再開条件生成を行います。再開条件の生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、再開条件のセットアップ時間を確保
- SSDAn ラインを立ち下げ (High から Low に遷移)
- BRR レジスタで設定したビットレートの半分の時間、再開条件のホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR3.IICRSTAREQ ビットは“0”にし、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに“1”を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、停止条件のセットアップ時間を確保
- SSDAn ラインを開放 (Low から High に遷移)、SIMR3.IICSTPREQ ビットは“0”にし、停止条件生成割り込み要求を出力

図 26.45 に開始条件、再開始条件、停止条件生成の動作タイミングを示します。

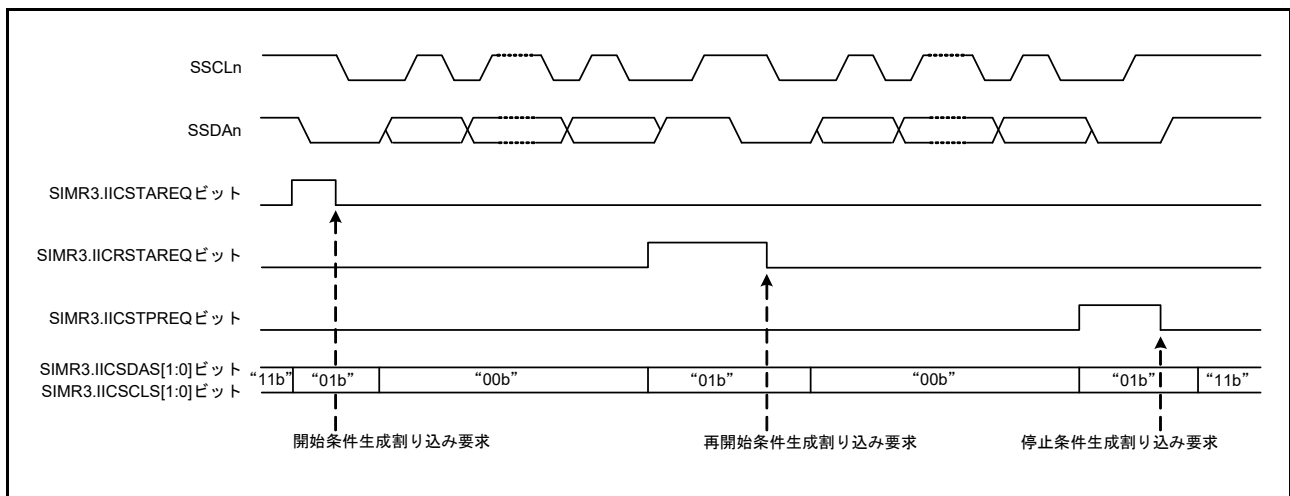


図 26.45 開始条件、再開始条件、停止条件生成の動作タイミング

26.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR2.IICCSC ビットに“1”を設定すると、内部 SSCLn クロックが SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが“1”の場合、内部 SSCLn クロックが Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで2～3サイクル）、内部処理遅延（PCLK で1～2サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SSCLn クロックの High 期間は延長されます。

SIMR2.IICCSC ビットが“1”の場合、データ送信および受信は、SSCLn 端子入力と内部 SSCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが“0”の場合、データ受信および送信は、内部 SSCLn クロックに同期して行われます。

開始条件、再開条件および停止条件生成要求発行後、内部 SSCLn クロックが Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SSCLn クロックが High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 26.46 にクロック同期化の動作例を示します。

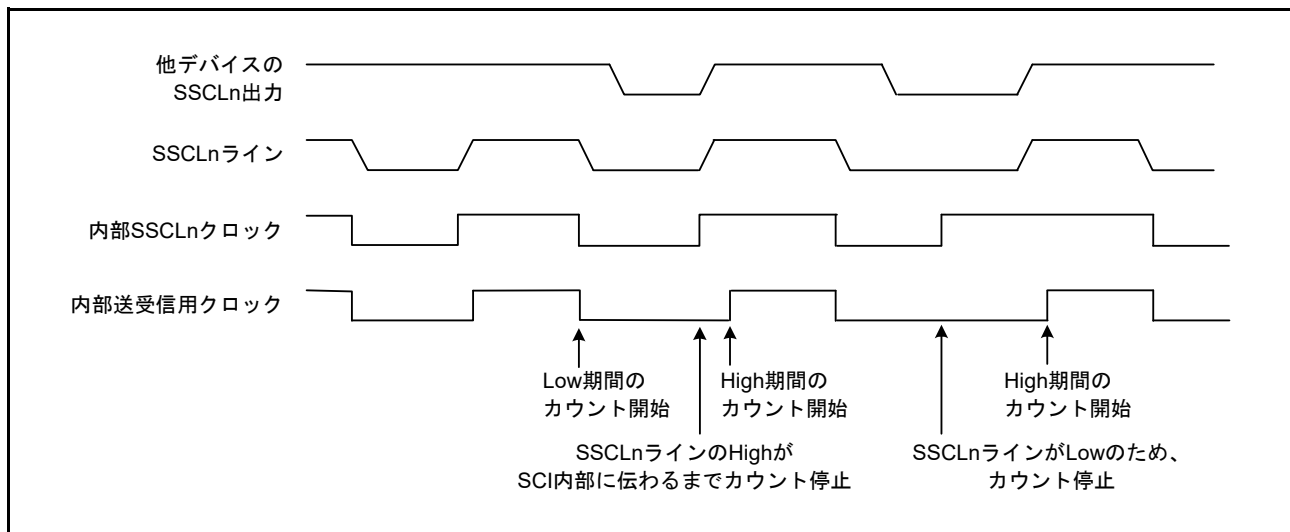


図 26.46 クロック同期化の動作例

26.7.3 SSDA 出力遅延

SIMR1.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ポーレートジェネレータのクロックソース基準（PCLK ベースに SMR.CKS[1:0] で選択された分周クロック）で 0 ～ 31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、開始条件 / 再開始条件 / 停止条件信号と 8 ビットの送信データおよびアクノリッジです。

SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値（I²C の標準モード、ファストモードでは 300ns）より大きくなるように設定してください。

図 26.47 に SSDA 出力遅延のタイミングを示します。

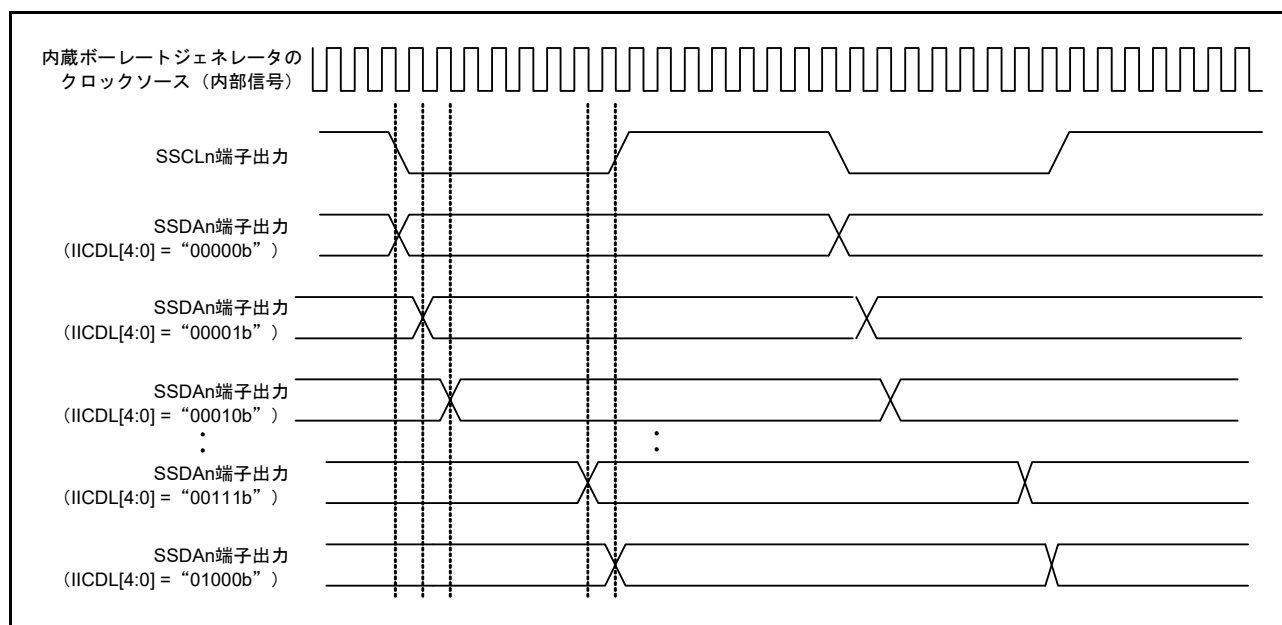


図 26.47 SSDA 出力遅延のタイミング

26.7.4 SCIの初期化（簡易I²Cモード）

データの送受信前に、SCRレジスタに初期値“00h”を書き込み、図26.48のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCRレジスタを初期値にしてから変更してください。また、簡易I²Cモード時の通信ポートのオープンドレイン設定は、ポート側でしてください。

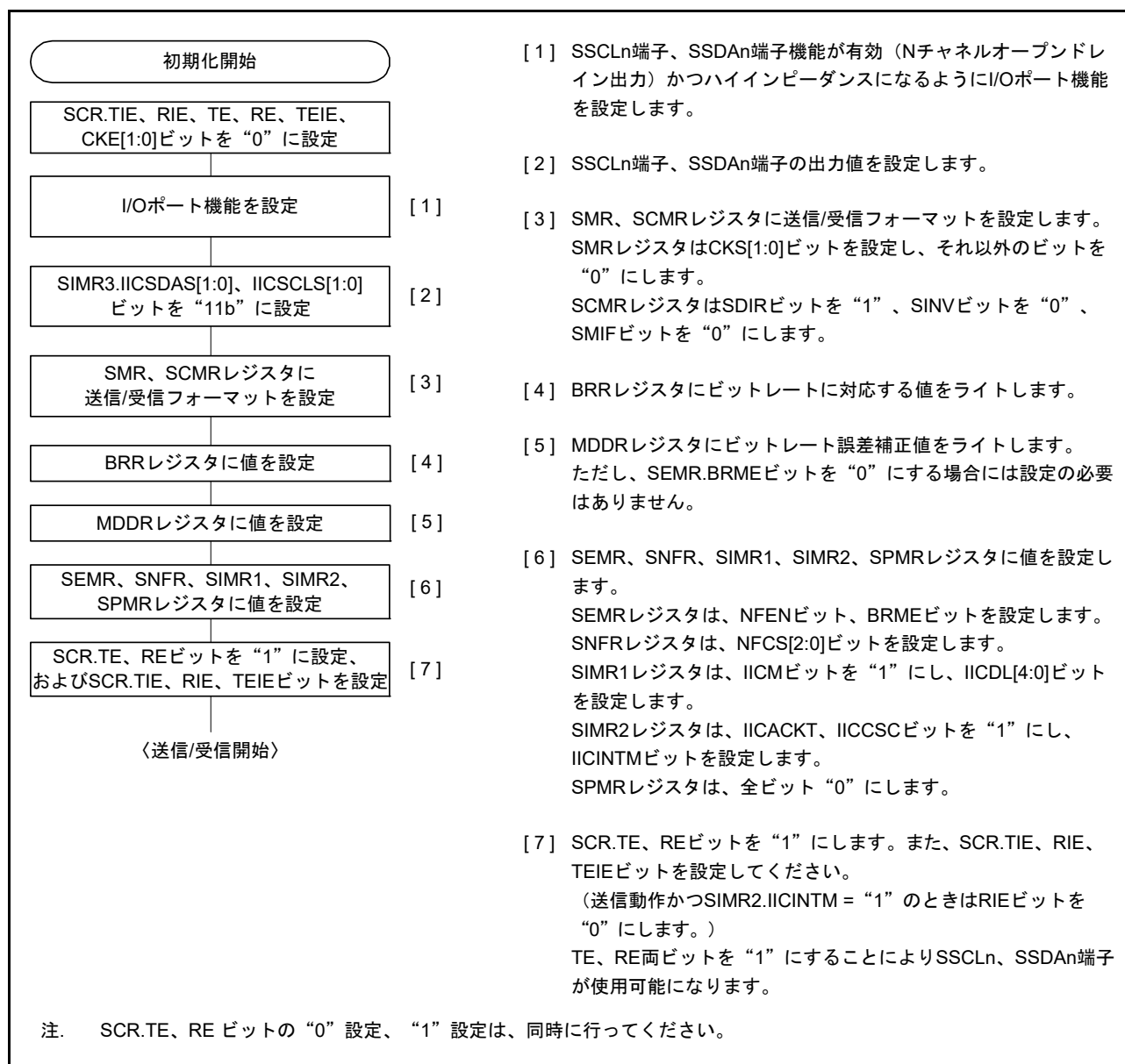


図 26.48 SCIの初期化フローチャート例（簡易I²Cモード）

26.7.5 マスタ送信動作 (簡易 I²C モード)

図 26.49、図 26.50 に簡易 I²C モードのマスタ送信の動作例を、図 26.51 にデータ送信のフローチャートの例を示します。STI 割り込みについては、表 26.29 を参照してください。

10 ビットスレーブアドレス時は、図 26.51 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生とのタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

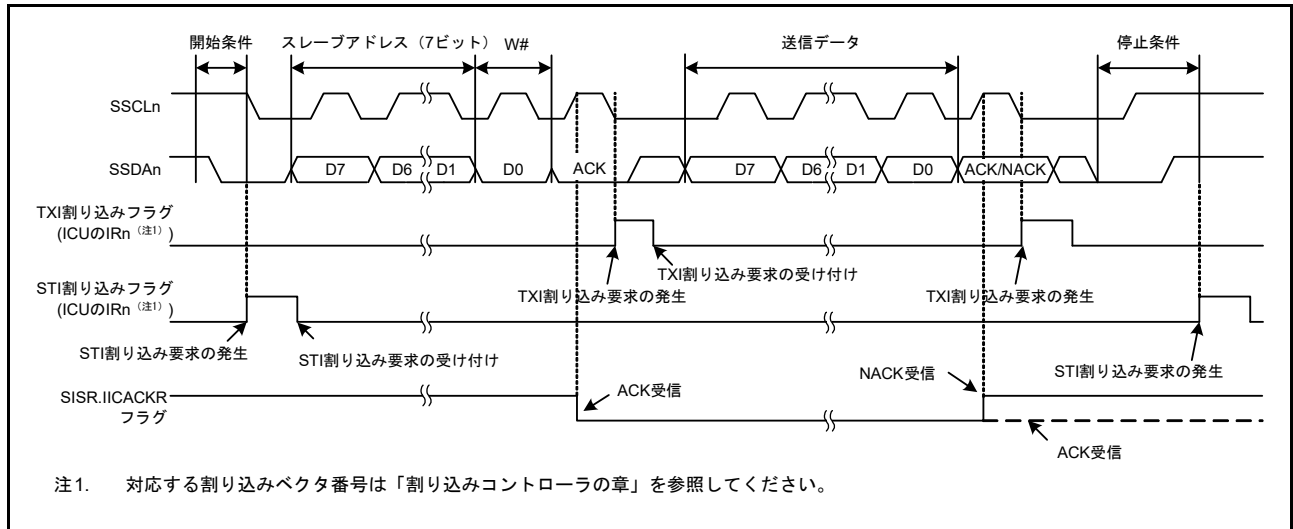


図 26.49 簡易 I²C バスモードのマスタ送信の動作例 1
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを“0” (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガに DTC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

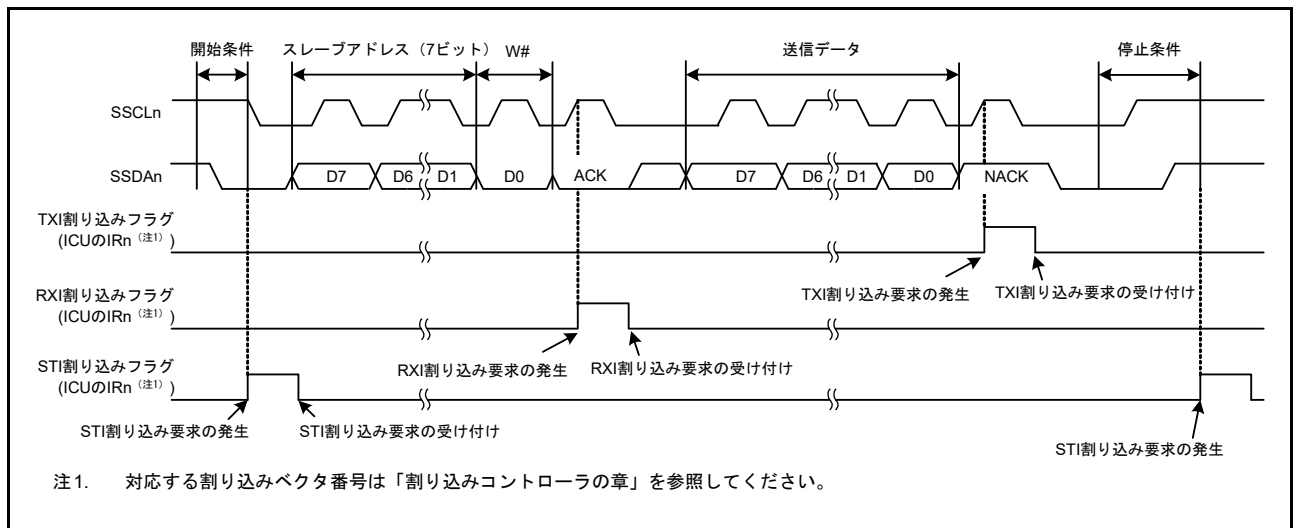
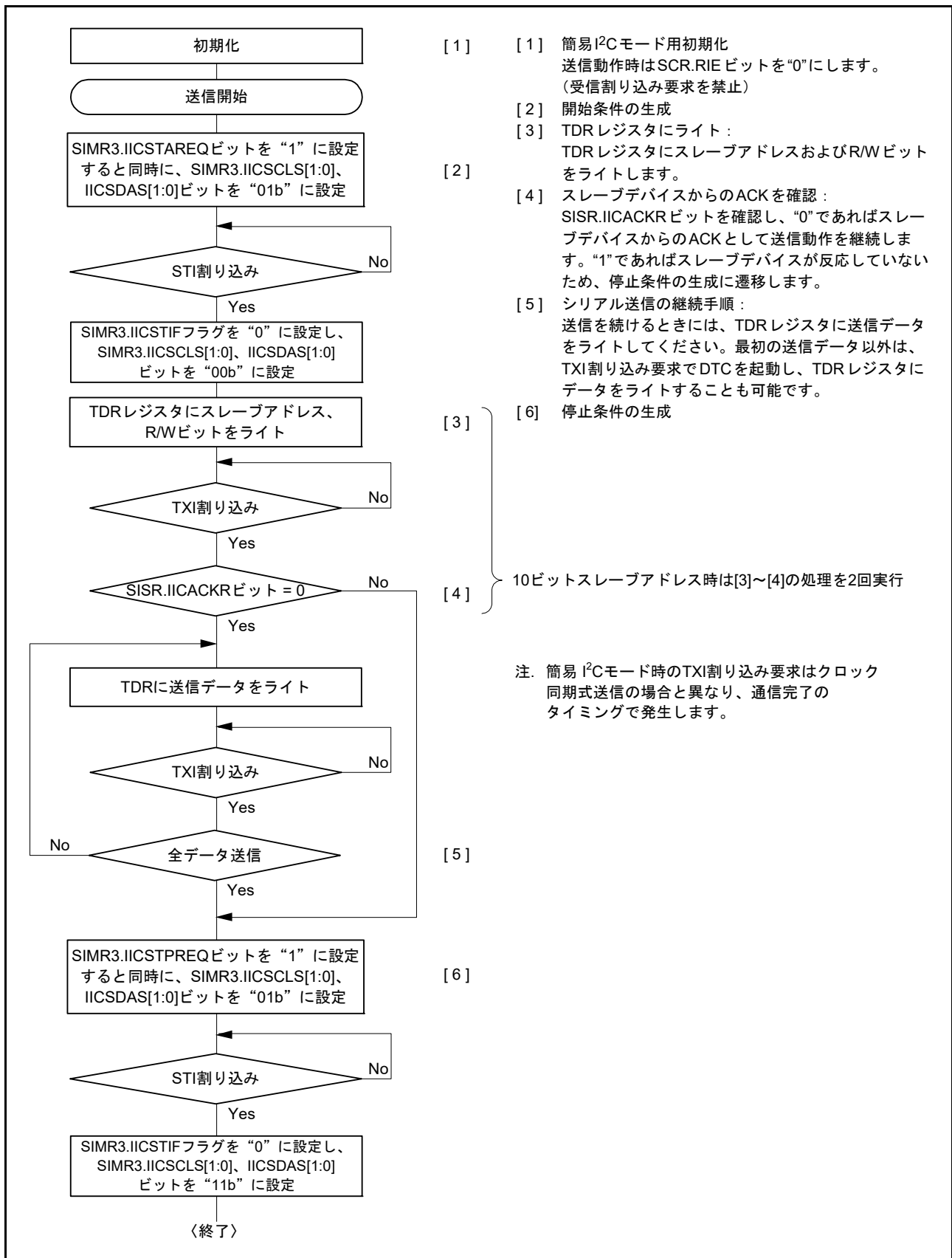


図 26.50 簡易 I²C バスモードのマスタ送信の動作例 2
(7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)



- [1] [1] 簡易 I²C モード用初期化
送信動作時は SCR.RIE ビットを "0" にします。
(受信割り込み要求を禁止)
- [2] [2] 開始条件の生成
- [3] [3] TDR レジスタにライト :
TDR レジスタにスレーブアドレスおよび R/W ビット
をライトします。
- [4] [4] スレーブデバイスからの ACK を確認 :
SISR.IICACKR ビットを確認し、"0" であればスレー
ブデバイスからの ACK として送信動作を継続しま
す。"1" であればスレーブデバイスが反応していな
いため、停止条件の生成に遷移します。
- [5] [5] シリアル送信の継続手順 :
送信を続けるときには、TDR レジスタに送信デー
タをライトしてください。最初の送信データ以外は、
TXI 割り込み要求で DTC を起動し、TDR レジスタに
データをライトすることも可能です。
- [6] [6] 停止条件の生成

[3] } [6] 10ビットスレーブアドレス時は[3]~[4]の処理を2回実行

注. 簡易 I²C モード時の TXI 割り込み要求はクロック
同期式送信の場合と異なり、通信完了の
タイミングで発生します。

図 26.51 簡易 I²C モードのマスター送信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

26.7.6 マスタ受信動作 (簡易 I²C モード)

図 26.52 に簡易 I²C モードのマスタ受信の動作例を、図 26.53 にマスタ受信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを“1” (受信割り込み、送信割り込みを使用) を想定しています。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

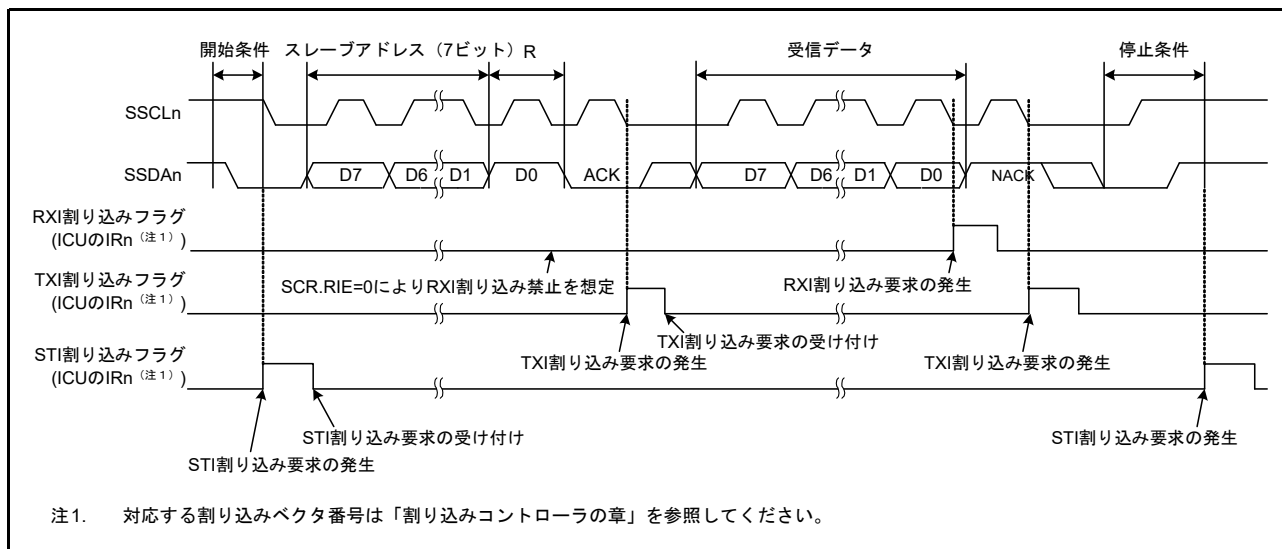


図 26.52 簡易 I²C バスモードのマスタ受信の動作例
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

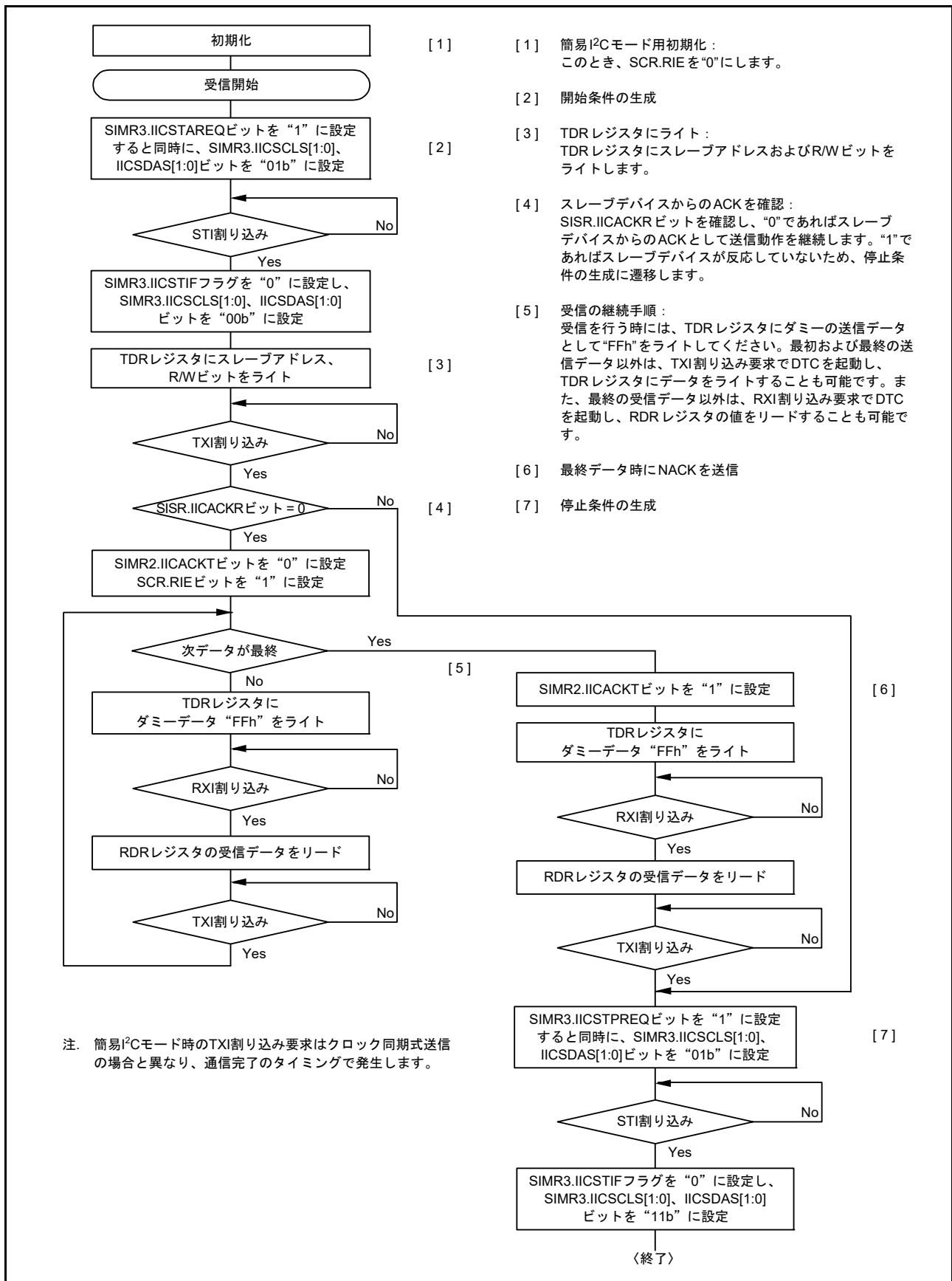


図 26.53 簡易 I²C モードのマスタ受信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

26.8 簡易 SPI モードの動作

SCI の拡張機能として、1 つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

クロック同期式モードの設定 (SCMR.SMIF ビット=0、SIMR1.IICM ビット=0、SMR.CM ビット=1)、かつ、SPMR.SSE ビットを“1”にすることにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SPMR.SSE ビットを“0”にします。

図 26.54 に簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを“1”にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部/受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

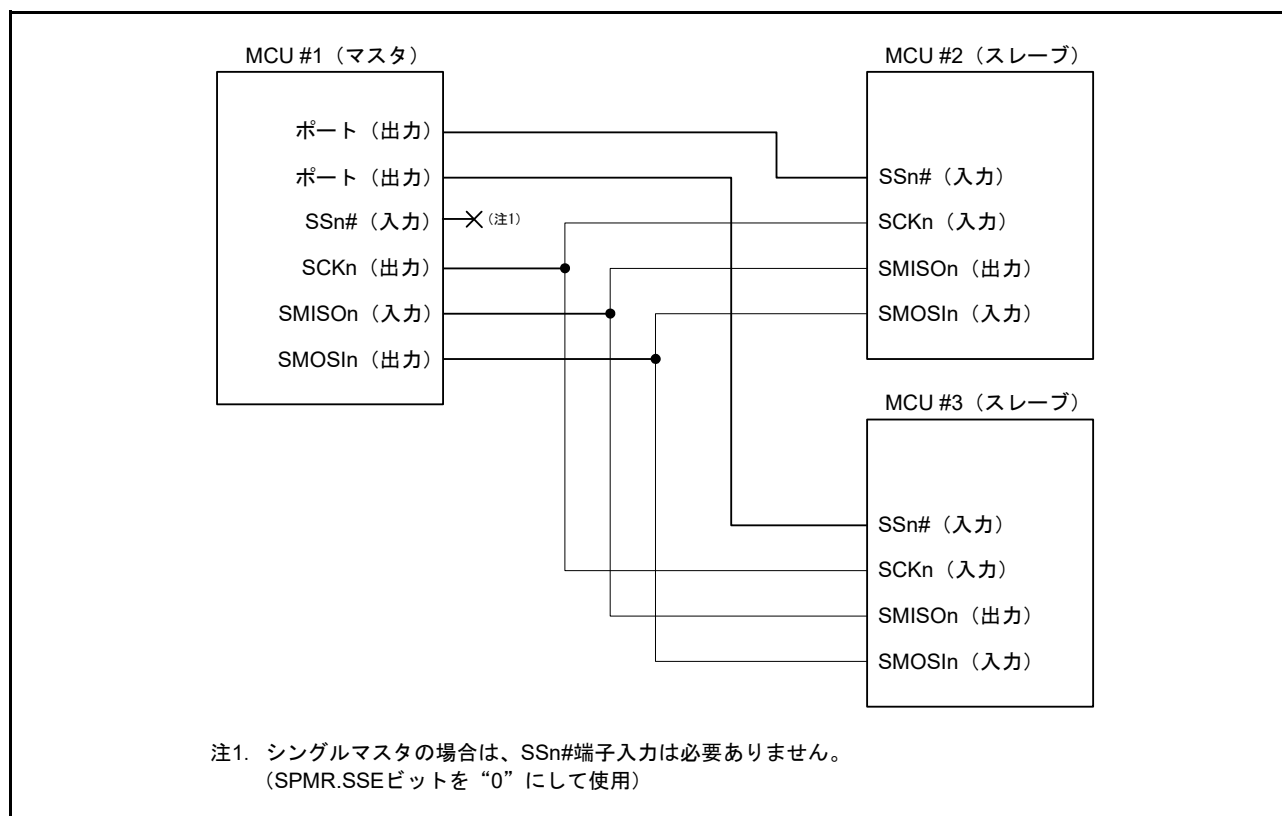


図 26.54 簡易 SPI モードの接続例 (シングルマスタ時 (SPMR.SSE ビット = 0))

26.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] ビット = “00b” または “01b”、かつ SPMR.MSS ビット = 0) とスレーブモード (SCR.CKE[1:0] ビット = “10b” または “11b”、かつ SPMR.MSS ビット = 1) で各端子の入出力方向が変わります。

表 26.26 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表 26.26 モードおよび SSn# 端子入力と各端子の状態の関係

モード	SSn#端子入力	SMOSIn 端子状態	SMISOIn 端子状態	SCKn 端子状態
マスタモード (注1)	High (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low (通信可能)	受信データ入力	送信データ出力	クロック入力

注1. シングルマスタ時 (SPMR.SSE ビット = 0) は、SSn# 端子の入力レベルに関わらず通信可能 (SSn# 端子入力が High のときと等価) となります。SSn# 端子は未使用であり、別の用途として使用できます。

注2. 送信禁止時 (SCR.TE ビット = 0) はハイインピーダンスです。

注3. マルチマスタ (SPMR.SSE ビット = 1) かつ送受信禁止時 (SCR.TE, RE ビット = 00b) はハイインピーダンスです。

26.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] = 00b かつ SPMR.MSS = 0 を設定することで、マスタモードになります。

シングルマスタ時 (SPMR.SSE ビット = 0) は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。

マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を受信動作を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき SCI は SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトエラーとして SPMR.MFF フラグが “1” になります。マルチマスタ時は SPMR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスになります。

マスタからの SS 信号出力については、汎用ポートで制御してください。

26.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] = 10b かつ SPMR.MSS = 1 を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、SMISOIn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、SMISOIn 端子出力をハイインピーダンスにします。なお、内部の送受信動作は継続し、SCKn 端子からのクロック入力に従って 1 キャラクタ分の送受信動作完了後動作を停止します。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

26.8.4 クロックと送受信データの関係

SPMR.CKPOL,CKPH ビットにより、送受信に用いるクロックを4種類から選択可能です。クロックと送受信データの関係を図 26.55 に示します。マスタモード、スレーブモードともクロックと送受信データの関係は同じです。

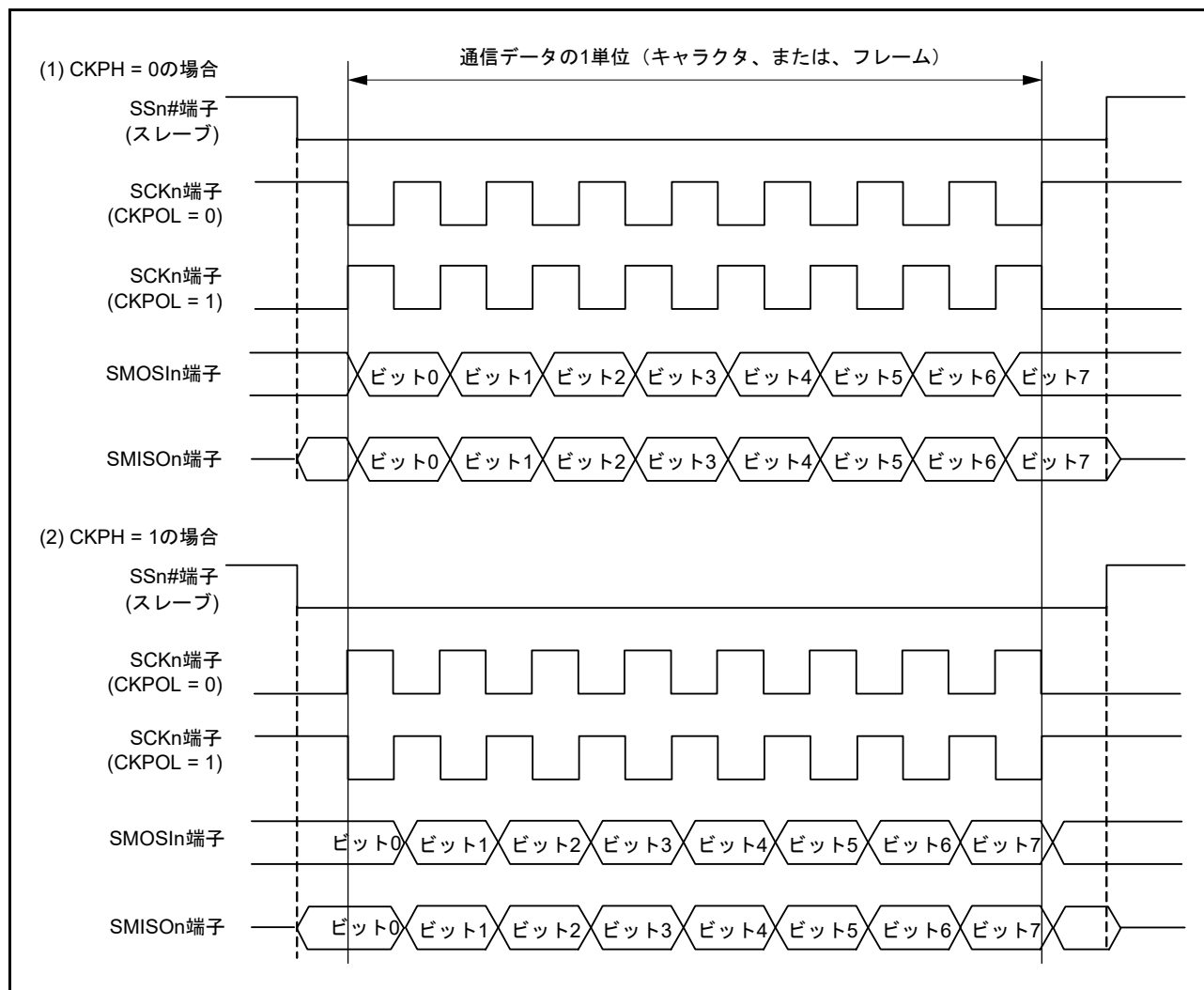


図 26.55 簡易 SPI モードのクロックと送受信データの関係

26.8.5 SCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順 (図 26.22 の SCI の初期化フローチャート例) と同様です。SPMR レジスタの CKPOL、CKPH ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、SCR レジスタを初期値にしてから変更してください。

RE ビットを“0”にしても、SSR レジスタの ORER、FER、PER フラグ、および RDR レジスタは初期化されませんので注意してください。

TE ビットを“1”から“0”または“0”から“1”にすると、SCR.TIE ビットが“1”の場合、TXI 割り込みが発生しますので注意してください。

26.8.6 シリアルデータの送受信（簡易 SPI モード）

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にし、送受信が終了すると送受信先のスレーブデバイスの SSn# 端子を High にします。それ以外の手順はクロック同期式モードと同様です。

26.9 ビットレートモジュレーション機能

ビットレートモジュレーション機能とは、ボーレートジェネレータに入力されたクロックを、指定された個数間引くことによって、ビットレートを補正する機能です。

SEMR.BRME ビットが“1”のとき、ボーレートジェネレータは、入力されたクロック 256 個のうち MDDR レジスタに設定された個数だけを、平均的な間隔となるよう有効にし、カウントを行います。

調歩同期モードで SMR.CKS[1:0] ビットが“00b”で、BRR レジスタが“00h”、MDDR レジスタが“160”のときの例を、**図 26.56** に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されています。内部クロックの間引きには偏りがあり、基本クロックのパルス幅は、間引かれた内部クロック分の伸縮が生じます。

注． クロック同期式モードおよび簡易 SPI モードの最高速設定（SMR.CKS[1:0] ビット = 00b、かつ SCR.CKE[1] ビット = 0、かつ BRR = 0）では、本機能を使用しないでください。

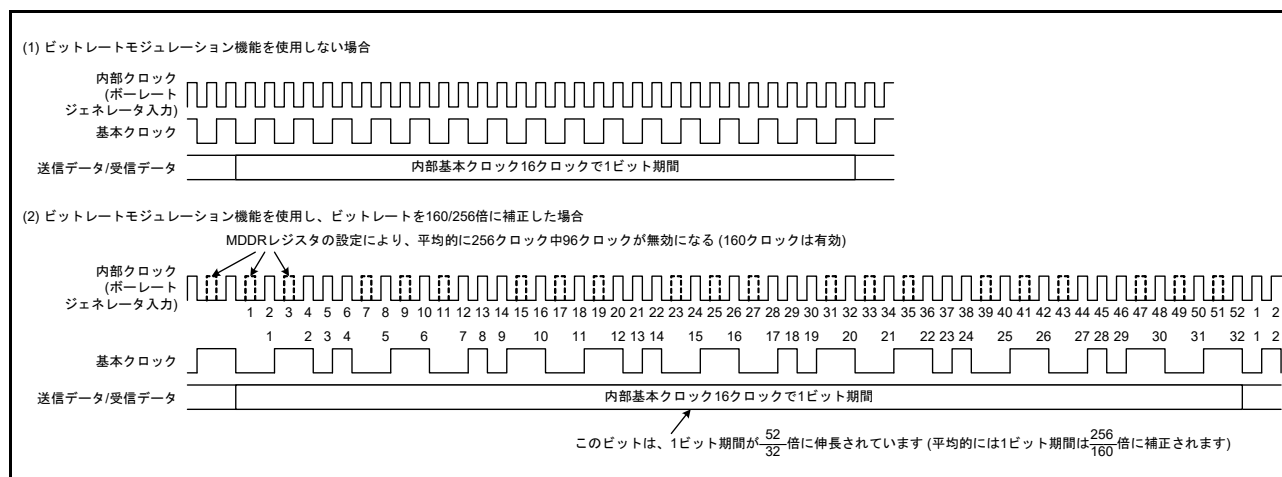


図 26.56 ビットレートモジュレーション機能使用時の基本クロックの例

26.10 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 26.57 に示します。ノイズフィルタは2段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて3回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度3回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDnの入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期 (SEMR.ABCS = 0 のとき1ビット期間の1/16、SEMR.ABCS = 1 のとき1ビット期間の1/8) となります。

簡易 I²C モード時は SSDAn、SSCLn の入力信号に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ポーレートジェネレータのクロックソースの1/2/4/8分周クロックから SNFR.NFCS[2:0] ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.TE ビット = 0、SCR.RE ビット = 0 にした場合、ノイズフィルタのフリップフロップはすべて“1”に初期化され、受信再開時の入力データが“1”の場合は一致検出として内部信号に伝えられます。“0”の場合は3回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

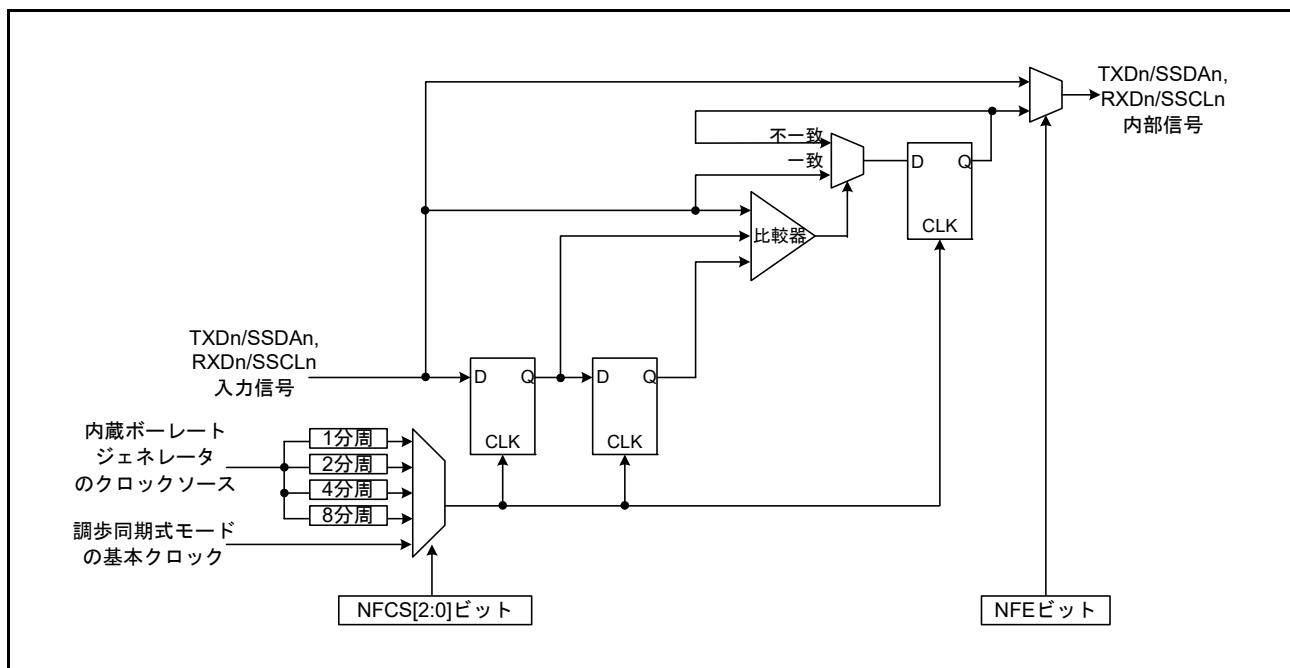


図 26.57 デジタルノイズフィルタ回路のブロック図

26.11 割り込み要因

26.11.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みに関しては、割り込みコントローラの割り込みステータスフラグが“1”のときに割り込み発生条件が成立しても、SCI は割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

割り込みコントローラの割り込みステータスフラグが“0”になると、SCI は割り込みコントローラに対して保持していた割り込み要求を出力します。その後、保持していた割り込み要求をクリアします。なお、内部で保持している割り込み要求は、対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を“0”にすることでクリアできます。

26.11.2 調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み

表 26.27 に調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR レジスタのイネーブルビットにより独立に許可することができます。

SCR.TIE ビットが“1”のとき、送信データが TDR レジスタ、または TDRL レジスタ（注1）から TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを“1”にした後で SCR.TE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に“1”にすることも発生します。TXI 割り込み要求により、DTC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが“0”の状態でも SCR.TE ビットを“1”にした場合、および SCR.TE ビットが“1”の状態でも SCR.TIE ビットを“1”にした場合には発生しません。（注2）

SCR.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタ、または TDRL レジスタ（注1）に次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを“1”にしてから TDR レジスタ、または TDRL レジスタ（注1）に送信データをライトするまでの間は、SSR.TEND フラグは“1”を保持しており、SCR.TEIE ビットを“1”にすると TEI 割り込み要求が発生します。

TDR レジスタ、または TDRL レジスタ（注1）にデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが“1”のとき、受信データが RDR レジスタ、または RDRL レジスタ（注1）に格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC を起動してデータ転送を行うことができます。

SCR.RIE ビットが“1”のとき、SSR レジスタの ORER、FER、PER フラグのいずれかが“1”になると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR レジスタの ORER、FER、PER フラグをすべてクリアすることにより ERI 割り込み要求を取り下げることができます。

注 1. 調歩同期式モードかつデータ長 9 ビットを選択した場合

注 2. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

表 26.27 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位
ERI	受信エラー	ORER, FER, PER	不可能	高
RXI	受信データフル	RDRF	可能	↑
TXI	送信データエンプティ	TDRE	可能	
TEI	送信終了	TEND	不可能	低

26.11.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 26.28 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 26.28 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位
ERI	受信エラー、エラーシグナル検出	ORER, PER, ERS	不可能	高
RXI	受信データフル	—	可能	↑
TXI	送信データエンプティ	TEND	可能	

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”になると、TXI 割り込み要求が発生します。あらかじめ DTC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC が起動されて送信データの転送を行います。TEND フラグは、DTC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

なお、DTC を使って送受信を行う場合は、先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は「17. データトランスファコントローラ (DTCa)」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC は起動されず、代わりに CPU に対し ERI 割り込み要求を生成しますのでエラーフラグをクリアしてください。

26.11.4 簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 26.29 の割り込み要因があります。STI 割り込みは、送信終了割り込み (TEI) 要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。

簡易 I²C モードも、DTC を使って送受信を行うことができます。

SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCLn 端子立ち下がり、RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC が起動されて受信データの転送を行います。また、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち下がり、TXI 割り込み要求が発生します。あらかじめ DTC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC が起動されて送信データの転送を行います。

SIMR2.IICINTM ビットが“0”のとき、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち上がり、SSDAn 端子入力 Low だと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力 High だと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC が起動されて受信データまたは送信データの転送が可能です。

なお、DTC を使って送受信を行う場合は、先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 26.29 SCI 割り込み要因

名称	割り込み要因		割り込みフラグ	DTC の起動	優先順位
	IICINTM ビット=0	IICINTM ビット=1			
RXI	ACK 検出	受信	—	可能	高 ↑ 低
TXI	NACK 検出	送信	—	可能 (注1)	
STI	開始条件、再開条件、 停止条件生成終了		IICSTIF	不可能	

注1. SIMR2.IICINTM ビット=1 (受信割り込み、送信割り込みを選択) の場合のみ DTC の起動が可能です。

26.12 使用上の注意事項

26.12.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作を禁止 / 許可することができます。リセット後の値では、SCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

26.12.2 ブレークの検出と処理について

フレーミングエラー検出時に、RXDn 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXDn 端子からの入力すべて Low になりますので、SSR.FER フラグが“1”（フレーミングエラーの発生あり）になり、また SSR.PER フラグも“1”（パリティエラーの発生あり）になる可能性があります。SEMR.RXDESEL ビットが“0”のとき、SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを“0”（フレーミングエラーの発生なし）にしても、再び FER フラグが“1”になりますので注意してください。SEMR.RXDESEL ビットが“1”のとき、SCI は、SSR.FER フラグを“1”にし、次のフレームのスタートビット検出待ちの状態を受信動作を停止します。このとき SSR.FER フラグを“0”にすれば、ブレーク中は SSR.FER フラグの“0”を保持します。RXDn 端子が High になりブレークが終了した後、最初の RXDn 端子の立ち下がりですtartビットの始まりを検出し、受信動作を開始します。

26.12.3 マーク状態とブレークの送出

SCR.TE ビットが“0”（シリアル送信動作を禁止）のとき、I/O ポート機能を設定することにより、TXDn 端子を入出力方向とレベルを選択できる I/O ポートとして使用できます。これを利用して TXDn 端子をマーク状態にしたりデータ送信時にブレークを送出することができます。SCR.TE ビットを“1”（シリアル送信動作を許可）にするまで、通信回線をマーク状態（“1”の状態）にするためには、I/O ポート機能により TXDn 端子を High 出力に設定し、端子モードを汎用入出力ポートに設定します。一方、データ送信時にブレークを送出したいときは、I/O ポート機能設定により TXDn 端子を Low 出力に設定し、端子モードを汎用入出力ポートに設定します。SCR.TE ビットを“0”にすると現在の送信状態とは無関係に送信部は初期化されます。

26.12.4 受信エラーフラグと送信動作について（クロック同期式モードおよび簡易 SPI モード）

受信エラーフラグ（SSR.ORER）が“1”になった状態では、TDR レジスタにデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを“0”にしておいてください。また、SCR.RE ビットを“0”（シリアル受信動作を禁止）にしても受信エラーフラグは“0”になりませんので注意してください。

26.12.5 TDR レジスタへのライトについて

TDR、TDRH、TDRL レジスタへのデータのライトを行うことができます。しかし、TDR、TDRH、TDRL レジスタに送信データが残っている状態で新しいデータを TDR、TDRH、TDRL レジスタにライトすると、TDR、TDRH、TDRL レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって、TDR、TDRH、TDRL レジスタへの送信データのライトは、TXI 割り込み要求によって行ってください。

26.12.6 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

(1) 送信開始時

CPU または DTC による TDR レジスタの更新後、PCLK で 5 クロック以上経過した後に送信クロックを入力してください (図 26.58 参照)。

(2) 連続送信時

- (a) ビット7の送信クロックの立ち下がり以前に、TDR レジスタまたは TDRL レジスタに次の送信データを書き込んでください (図 26.58 参照)。
- (b) ビット7送信開始以降に TDR レジスタを更新する場合は、同期クロックが Low の期間に TDR レジスタを更新し、かつビット7の送信クロックの High 幅を、4 PCLK 以上にしてください (図 26.58 参照)。

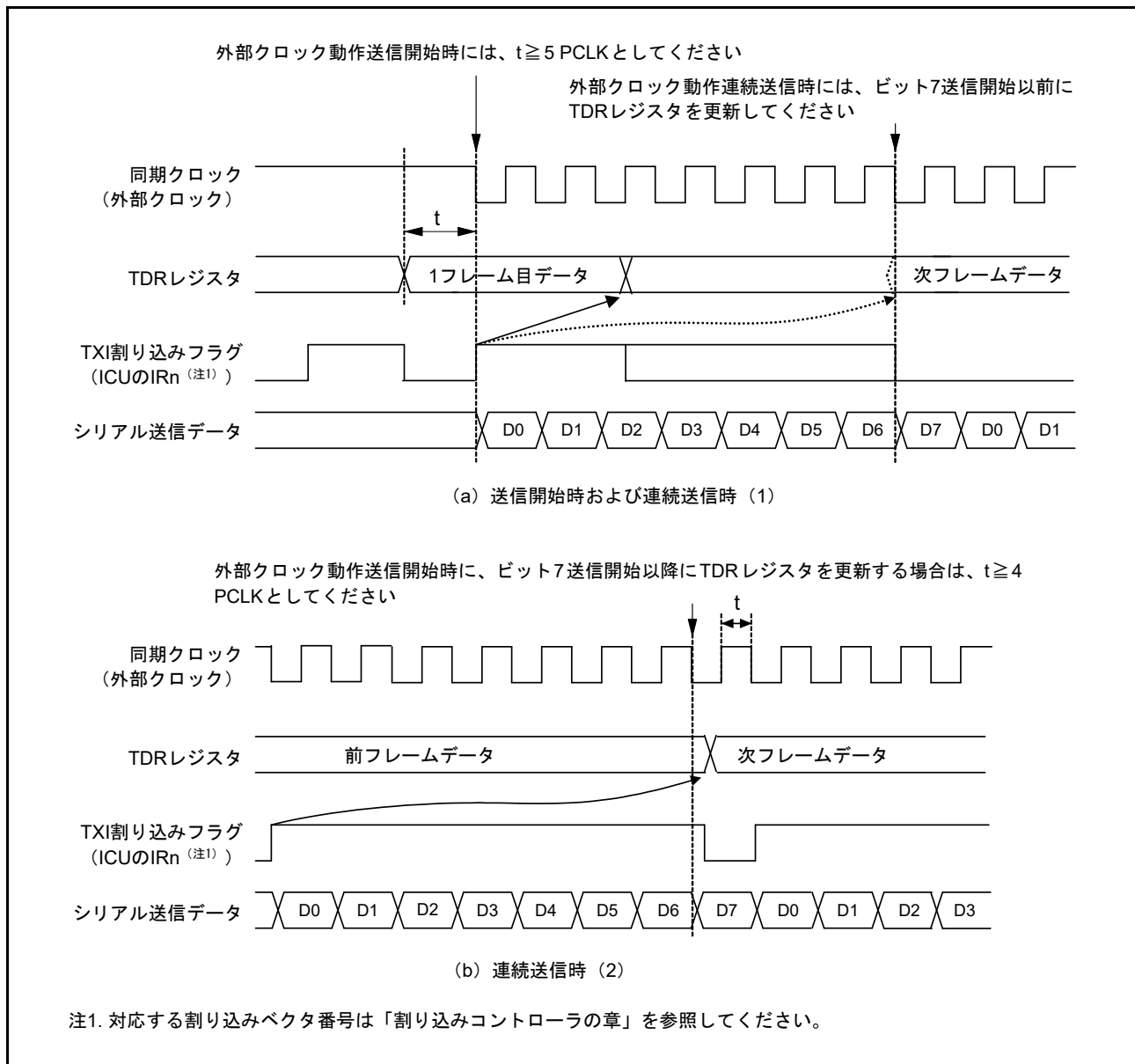


図 26.58 クロック同期式モード送信での外部クロック使用の制約事項

26.12.7 DTC 使用上の制約事項

DTCにより、RDR、RDRH、RDRLレジスタのリードを行うときは起動要因を当該SCIの受信データフル割り込み (RXI) に設定してください。

26.12.8 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) が“1”のときは、動作許可 (SCR.TE ビットを“1”に設定、または SCR.RE ビットを“1”に設定) 前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「14. 割り込みコントローラ (ICUb)」を参照してください。

- 通信が停止していること (SCR.TE ビットまたは SCR.RE ビットが“0”となっていること) を確認
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を“0”に設定
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を読み出し、“0”を確認
- 割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) に“0”を設定

26.12.9 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態への遷移、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えた後、動作を停止 (SCR.TIE ビット=0、TE ビット=0、TEIE ビット=0) してから行ってください。TE ビットを“0”にすることによって、TSR レジスタおよび SSR.TEND フラグは初期化されます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後は低消費電力へ遷移前のレベルを出力します。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態を解除した後、送信モードを変えないで送信する場合は、TE ビット=1 に設定し、SSR レジスタリード→TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 26.59 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。図 26.60、図 26.61 にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

また、DTC 転送による送信からモジュールストップ状態への遷移、または、ソフトウェアスタンバイモード遷移は、動作を停止 (TE ビット=0) してから行ってください。解除後、DTC による送信を再開する場合は、TE ビット=1、TIE ビット=1 に設定すると TXI 割り込みフラグが立ち、DTC による送信が始まります。

(2) 受信

モジュールストップ状態への遷移または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止 (SCR.RE ビット=0) してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE ビット=1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 26.62 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。

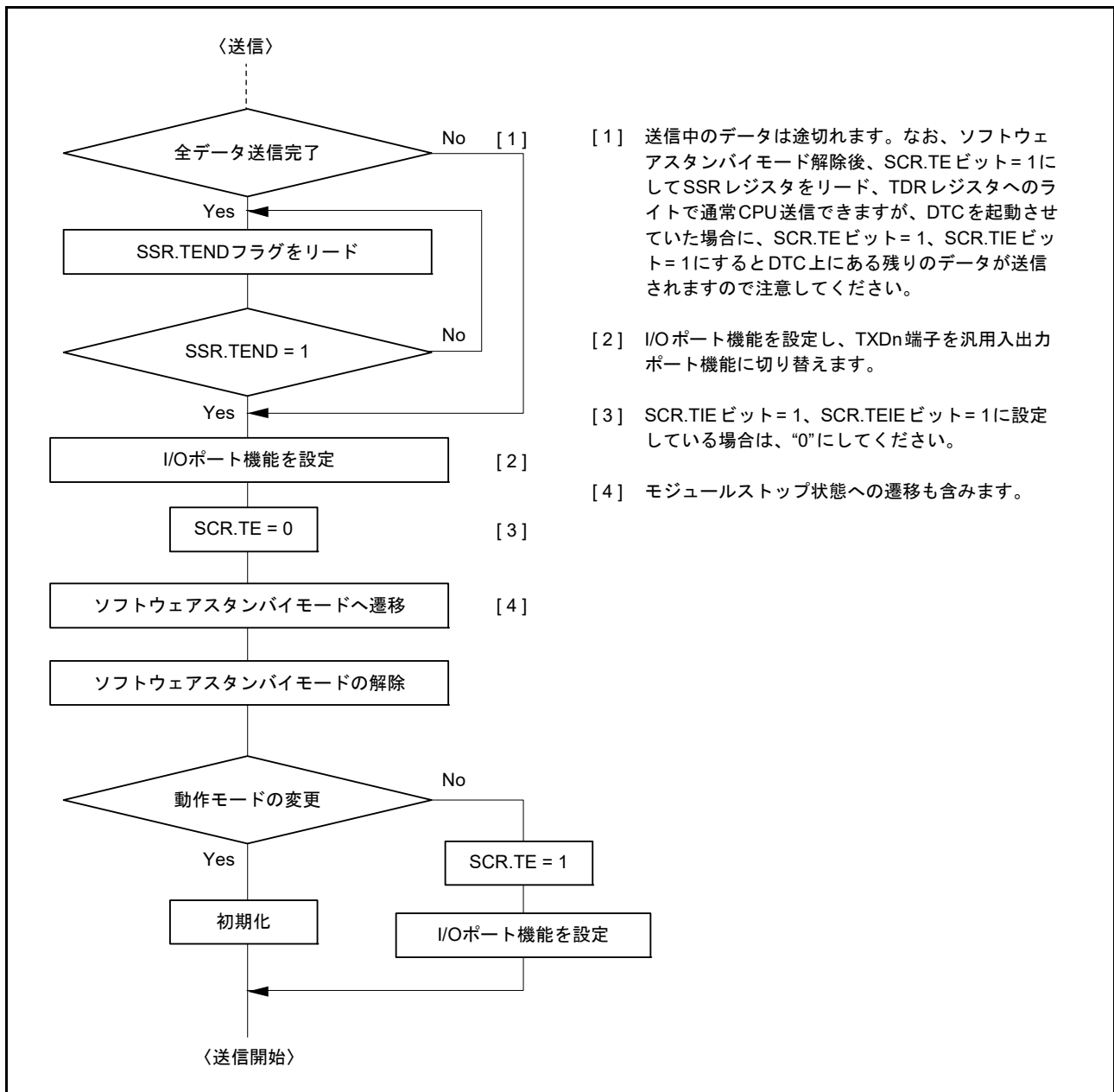


図 26.59 送信時のソフトウェアスタンバイモード遷移フローチャートの例

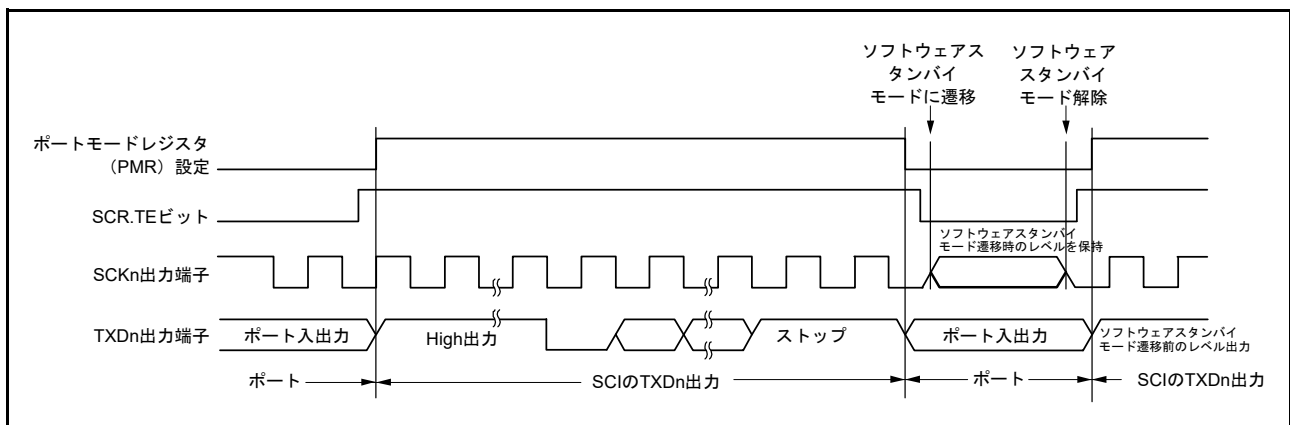


図 26.60 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

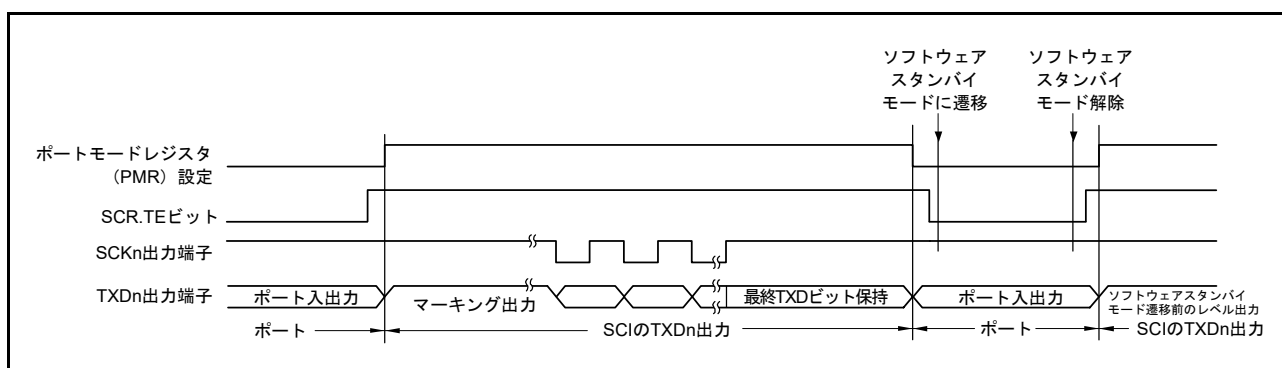


図 26.61 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

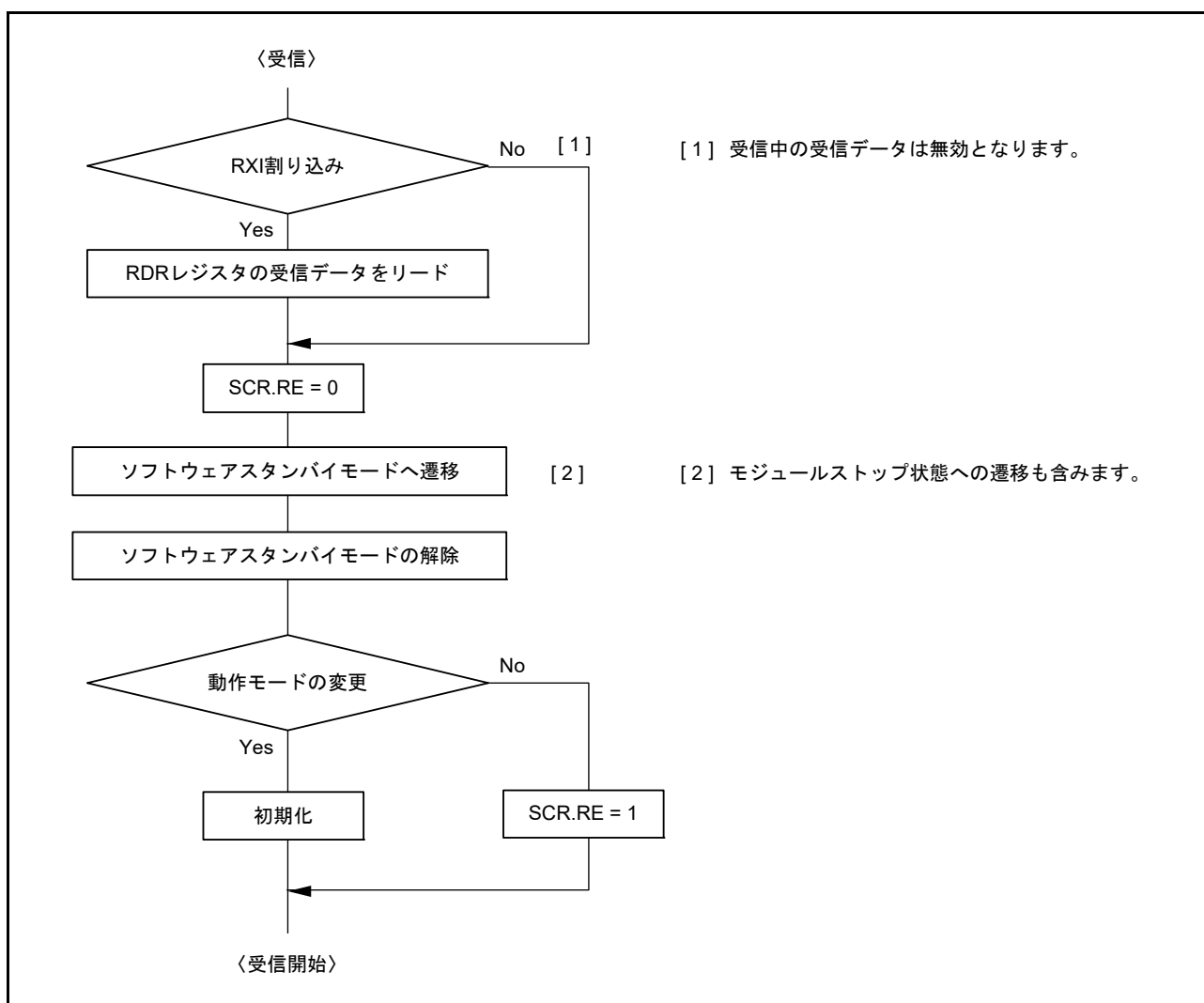


図 26.62 受信時のソフトウェアスタンバイモード遷移フローチャートの例

26.12.10 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードおよび簡易 SPI モード時、外部クロック SCKn への入力信号は、High 幅および Low 幅を 2 PCLK 以上、周期を 6 PCLK 以上としてください。

26.12.11 簡易 SPI モードの制約事項

(1) マスタモード

- SPMR.SSE ビットが“1”のとき、SPMR.CKPH、CKPOL ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ（プルダウン）してください。
SCR.TE ビットを“0”にしたときにクロック線がハイインピーダンスになるのを防ぐ、また SCR.TE ビットを“0”から“1”にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードで SPMR.SSE ビットが“0”のときは、SCR.TE ビットを“0”にしてもクロック線はハイインピーダンスになりませんのでプルアップ（プルダウン）は不要です。
- クロック遅れあり設定 (SPMR.CKPH ビット=1) の場合、図 26.63 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (RXI) が発生します。このとき、SCR レジスタの TE、RE ビットを SCKn 端子の最終クロックエッジより前に“0”に設定すると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタ時、送受信キャラクタの途中でモードフォルトエラーが発生すると、SSn# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

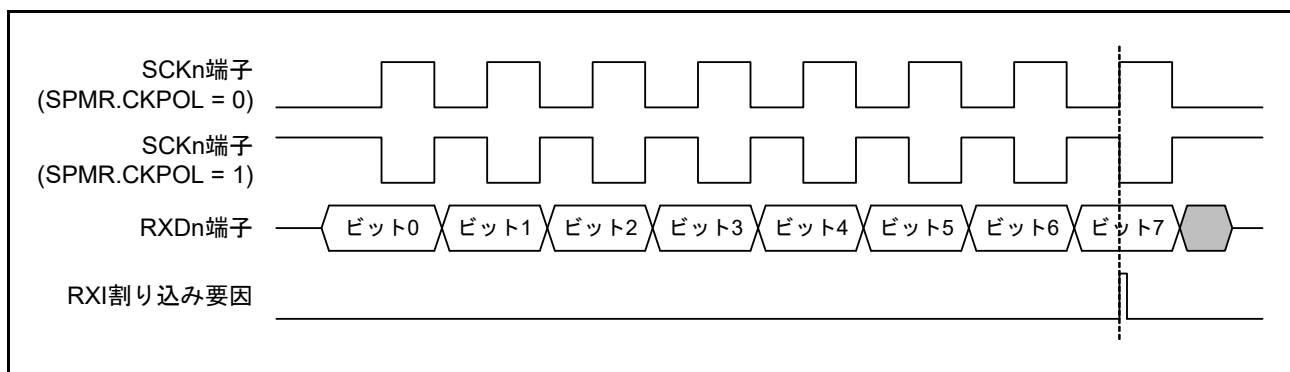


図 26.63 簡易 SPI モード（クロック遅れあり）RXI 割り込み発生タイミング

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから外部クロック入力開始まで 5 PCLK 以上の時間を確保し、また SSn# 端子への Low 入力から外部クロック入力開始までについても 5 PCLK 以上の時間を確保してください。
- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR レジスタの TE、RE ビットを“0”にし、再設定後、1 バイト目から転送をやり直してください。

26.12.12 トランスミットイネーブルビット (TE ビット) に関する注意事項

端子の機能を「TXDn」に設定した状態で、SCR.TE ビットを“0” (シリアル送信動作を禁止) にすると、端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- (1) TXDn ラインにプルアップ抵抗を接続する。
- (2) SCR.TE ビットを“0”にする前に、端子の機能を「汎用入出力ポート、出力」に変更する。
また、SCR.TE ビットを“1”にしてから、端子の機能を「TXDn」に変更する。

26.12.13 調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項

調歩同期式モードでは、SCR.RE ビットを“0”にしてから RTS 信号生成回路が停止するまでに、PCLK で 1 サイクル必要です。

RE ビットを“0”にしてから RDR (または RDRL) レジスタを読み出す場合は、これら 2 つの処理が連続して行われないように、RE ビットが“0”になったのを確認してから RDR (または RDRL) レジスタを読み出してください。

27. I²Cバスインタフェース (RIICa)

本MCUは、1チャンネルのI²Cバスインタフェース (RIIC) を内蔵しています。

RIICは、NXP社が提唱するI²Cバス (Inter-IC-bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

本章に記載しているPCLKとはPCLKBを指します。

27.1 概要

表27.1にRIICの仕様を、図27.1にRIICのブロック図を、図27.2に入出力端子の外部回路接続例 (I²Cバス構成例) を示します。表27.2にRIICで使用する入出力端子を示します。

表27.1 RIICの仕様 (1/2)

項目	内容
通信フォーマット	<ul style="list-style-type: none"> I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応 (~400 kbps)
SCLクロック	マスタ時、SCLクロックのデューティ比を4%~96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	<ul style="list-style-type: none"> 異なるスレーブアドレスを3種類まで設定可能 7ビット/10ビットアドレスフォーマット対応 (混在可能) ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能
アクリッジ応答	<ul style="list-style-type: none"> 送信時、アクリッジビットの自動ロード ノットアクリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクリッジビットの自動送出 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクリッジビット応答のソフトウェア制御が可能
ウェイト機能	<ul style="list-style-type: none"> 受信時、SCLクロックのLowホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト
SDA出力遅延機能	アクリッジ送信を含むデータ送信の出カタイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> マルチマスタ対応 他のマスタとのSCLクロック衝突時、SCLクロックの同期動作可能 スタートコンディション発行競合時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能 (スタートコンディションの二重発行防止) ノットアクリッジ送信時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLクロックの長時間停止を検出可能
ノイズ除去	SCL、SDA入口にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	<p>4種類</p> <ul style="list-style-type: none"> 通信エラー/通信イベント発生 アービトレーション検出 NACK検出 タイムアウト検出 スタートコンディション検出 (リスタートコンディション含む) ストップコンディション検出 受信データフル (スレーブアドレス一致時含む) 送信データエンプティ (スレーブアドレス一致時含む) 送信終了
消費電力低減機能	モジュールストップ状態への遷移が可能

表 27.1 RIICの仕様 (2/2)

項目	内容
RIICの動作モード	<ul style="list-style-type: none"> 4種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード

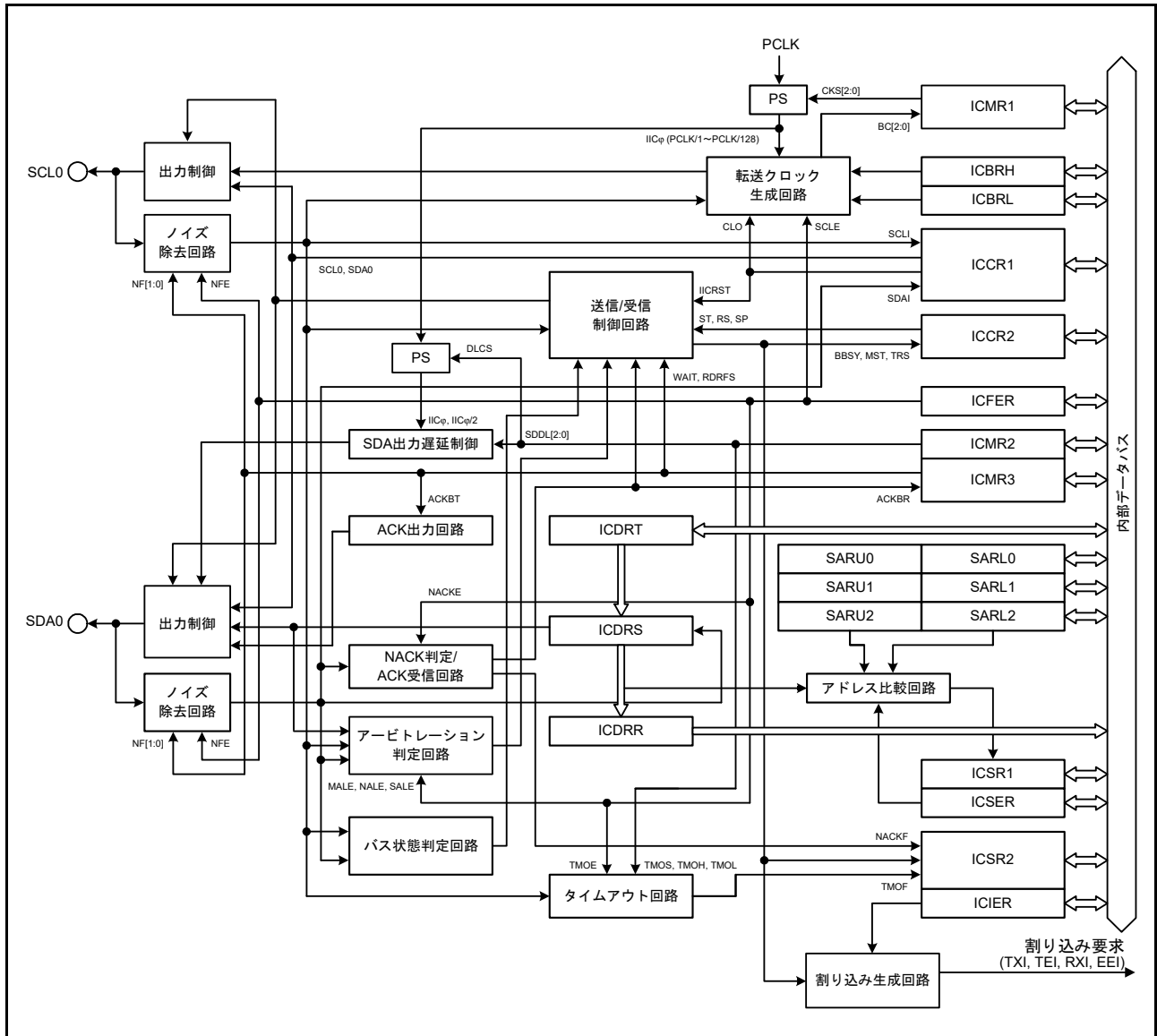


図 27.1 RIICのブロック図

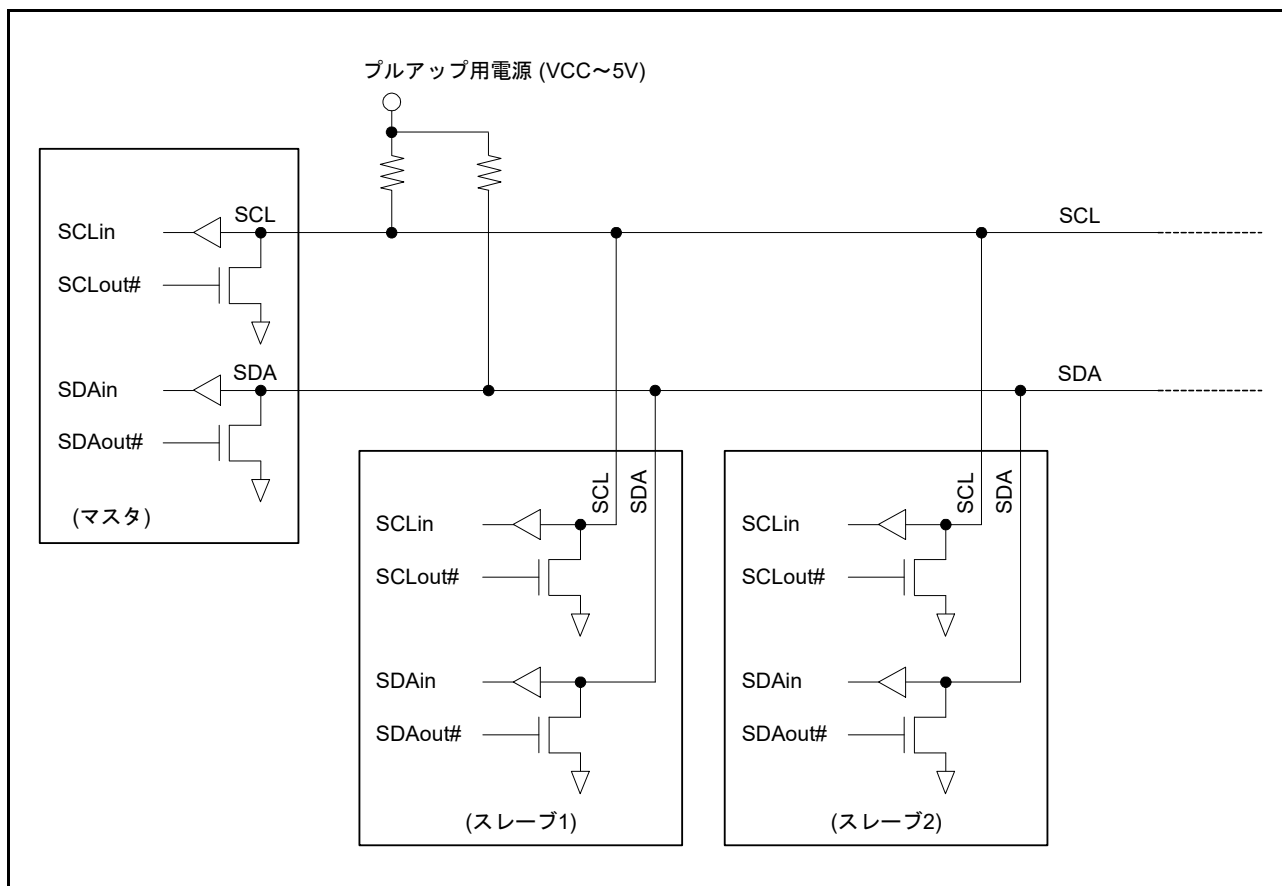


図 27.2 入出力端子の外部回路接続例 (I²C バス構成例)

RIIC の各信号の入力レベルは、I²C バス選択時 (ICMR3.SMBS ビット = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS ビット = 1) は TTL レベルです。

表 27.2 RIICの入出力端子

チャンネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0シリアルクロック入出力端子
	SDA0	入出力	RIIC0シリアルデータ入出力端子

27.2 レジスタの説明

27.2.1 I²Cバスコントロールレジスタ 1 (ICCR1)

アドレス RIIC0.ICCR1 0008 8300h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0 : SDA0ラインはLow 1 : SDA0ラインはHigh	R
b1	SCLI	SCLラインモニタビット	0 : SCL0ラインはLow 1 : SCL0ラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0 : SDA0端子をLowにしている 1 : SDA0端子を解放している ライト時 0 : SDA0端子をLowにする 1 : SDA0端子を解放する 	R/W
b3	SCLO	SCL出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0 : SCL0端子をLowにしている 1 : SCL0端子を解放している ライト時 0 : SCL0端子をLowにする 1 : SCL0端子を解放する (外部プルアップ抵抗によりHigh出力) 	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0 : SCLO、SDAOビットの書き換え許可 1 : SCLO、SDAOビットを保護 (読むと“1”が読めます)	R/W
b5	CLO	SCLクロック追加出力ビット	0 : SCLクロックを追加で出力しない(通常状態) 1 : SCLクロックを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I ² Cバスインタフェース内部リセットビット	0 : RIICリセット、内部リセット解除 1 : RIICリセット、内部リセット状態 (ビットカウンタのクリア、SCL0/SDA0出力ラッチを解除)	R/W
b7	ICE	I ² Cバスインタフェース許可ビット	0 : 禁止(SCL0、SDA0端子非駆動状態) 1 : 許可(SCL0、SDA0端子駆動状態) (IICRSTビットとの組み合わせで、RIICリセット、内部リセットを選択)	R/W

SDAO ビット (SDA 出力制御 / モニタビット)、SCLO ビット (SCL 出力制御 / モニタビット)

RIIC が出力する SDA0 信号、SCL0 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOWP ビットにも“0”を書いてください。

これらのビットを操作した結果は入力バッファを介して RIIC に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えないうでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのとき RIIC が出力している信号の状態が読めます。

CLO ビット (SCL クロック追加出力ビット)

SCL クロックを 1 クロック単位で追加出力をする機能で、デバッグ時または異常処理時に使用します。

通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。
本機能の詳細については、「27.11.2 SCLクロック追加出力機能」を参照してください。

IICRST ビット (I²C バスインタフェース内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 27.3 に RIIC のリセットの種類を示します。

RIIC リセットでは全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (ICDRS)、I²C バスステータスレジスタ (ICSR1, ICSR2) および内部状態を初期化します。各レジスタのリセット状況については、「27.14 リセット時/コンディション検出時のレジスタおよび機能の初期化」を参照してください。

動作中 (ICE ビット=1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCL0 端子 / SDA0 端子をハイインピーダンスにしてバスを解放することができます。

注． スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態 (主に双方のビットカウンタ情報に差異が生じる) になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCL0 ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ずれの原因になります。

表 27.3 RIICのリセットの種類

IICRST	ICE	状態	内容
1	0	RIICリセット	RIIC全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0]ビット、ICSR1、ICSR2、ICDRSレジスタおよび内部状態をリセット

ICE ビット (I²C バスインタフェース許可ビット)

SCL0、SDA0 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2種類のリセットを行うことができます。リセットの種類については「表 27.3 RIIC のリセットの種類」を参照してください。

RIIC を使用するときは、ICE ビットを“1”に設定してください。ICE ビットが“1”のとき、SCL0、SDA0 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを“0”に設定してください。ICE ビットが“0”のとき、SCL0、SDA0 端子非駆動状態になります。また、マルチファンクションピンコントローラ (MPC) の設定で SCL0、SDA0 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレス比較動作を行いますので注意してください。

27.2.2 I²Cバスコントロールレジスタ 2 (ICCR2)

アドレス RIIC0.ICCR2 0008 8301h

b7	b6	b5	b4	b3	b2	b1	b0
BBSY	MST	TRS	—	SP	RS	ST	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0: リスタートコンディションの発行を要求しない 1: リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I ² Cバスが解放状態(バスフリー状態) 1: I ² Cバスが占有状態(バスビジー状態)	R

注1. ICMR1.MTWPビットが“1”のとき、MST、TRSビットへの書き込みができます。

STビット(スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

STビットが“1”になるとスタートコンディションの発行を要求し、BBSYフラグが“0”(バスフリー)のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「27.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- “0”を書いたとき
- スタートコンディションの発行が完了したとき(スタートコンディションを検出したとき)
- ICSR2.ALフラグが“1”になったとき(アービトレーションロスト)
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

注. STビットは、BBSYフラグが“0”(バスフリー)のとき、“1”(スタートコンディション発行要求)にしてください。

BBSYフラグが“1”(バスビジー)のとき、STビットを“1”(スタートコンディション発行要求)にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RSビット(リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RSビットが“1”になるとリスタートコンディションの発行を要求し、BBSYフラグが“1”(バスビジー)でかつMSTビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「27.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- リスタートコンディションの発行が完了したとき(スタートコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき(アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ストップコンディション発行中に RS ビットを“1”にしないでください。

注. スレーブモードでは RS ビットに“1”(リスタートコンディション発行要求)を書いた場合、リスタートコンディションは発行されずに RS ビットは“1”のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット(ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが“1”になるとストップコンディションの発行を要求し、BBSY フラグが“1”(バスビジー)でかつ MST ビットが“1”(マスタモード)のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「27.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”でかつ ICCR2.MST ビットが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- ストップコンディションの発行が完了したとき(ストップコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき(アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. BBSY フラグが“0”(バスフリー)のとき書き込みはできません。

注. リスタートコンディション発行中に SP ビットを“1”にしないでください。

TRS ビット(送信/受信モードビット)

送信/受信モードを示すビットです。

TRS ビットが“0”のとき受信モード、TRS ビットが“1”のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行/検出および R/W# ビットの値で“1”または“0”になり、RIIC の動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき(ST ビットが“1”の状態、スタートコンディションを検出したとき)
- リスタートコンディション発行要求により正常にリスタートコンディションが発行されたとき(RS ビットが“1”の状態、リスタートコンディションを検出したとき)

- マスタモード時、スレーブアドレスに付加した R/W# ビットが“0”のとき
- スレーブモード時、受信したスレーブアドレスが ICSE_R レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“1”を受信したとき
- ICMR1.MTWP ビットが“1”の状態に“1”を書いたとき

["0"になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“1”のとき
- スレーブモード時、受信したスレーブアドレスが ICSE_R レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“0”を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (ICCR2.BBSY フラグ = 1、ICCR2.MST ビット = 0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態に“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

MST ビット (マスタ/スレーブモードビット)

マスタモード/スレーブモードを示すビットです。

MST ビットが“0”のときスレーブモード、MST ビットが“1”のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行/検出などで“1”または“0”になり、RIIC の動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ST ビットが“1”の状態に、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態に“1”を書いたとき

["0"になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが“1”の状態に“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスの占有 (バスビジー)/解放状態 (バスフリー) を示します。

SCL0 ラインが High の状態で SDA0 ラインが High から Low に変化すると、スタートコンディションが発行されると認識して“1”になります。

SCL0 ラインが High の状態で SDA0 ラインが Low から High に変化すると、ストップコンディションが発行されると認識し、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコンディション検出がないとき“0”になります。

["1"になる条件]

- スタートコンディションを検出したとき

["0"になる条件]

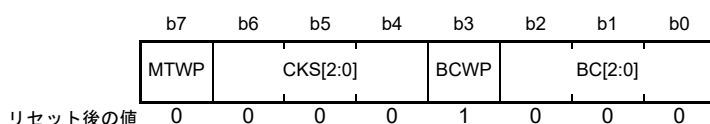
- ストップコンディションを検出後、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコン

ディション検出がないとき

- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

27.2.3 I²C バスモードレジスタ 1 (ICMR1)

アドレス RIIC0.ICMR1 0008 8302h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可 (読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	RIICの内部基準クロック (IICφ) ソースを選択します b6 b4 0 0 0 : PCLK/1クロック 0 0 1 : PCLK/2クロック 0 1 0 : PCLK/4クロック 0 1 1 : PCLK/8クロック 1 0 0 : PCLK/16クロック 1 0 1 : PCLK/32クロック 1 1 0 : PCLK/64クロック 1 1 1 : PCLK/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRS ビットへの書き込み禁止 1 : ICCR2.MST, TRS ビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、BCWPビットを“0”にするのと同時に書き換えてください。

BC[2:0] ビット (ビットカウンタ)

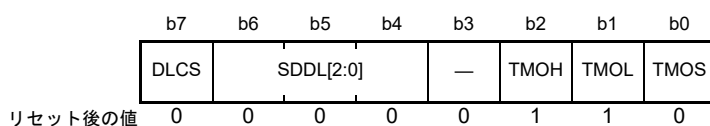
SCL0 ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数+1を指定し (データにアクリッジ1ビットが付加されて転送される)、転送バイト間にかつ SCL0 ラインが Low の状態で行ってください。

BC[2:0] ビットはアクリッジを含むデータ転送終了時、またはスタートコンディション検出 (リスタートコンディション含む) で自動的に“000b”に戻ります。

27.2.4 I²Cバスモードレジスタ 2 (ICMR2)

アドレス R1IC0.ICMR2 0008 8303h



ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0: ロングモードを選択 1: ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0: SCL0ラインがLow期間中のカウントアップを禁止 1: SCL0ラインがLow期間中のカウントアップを許可	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0: SCL0ラインがHigh期間中のカウントアップを禁止 1: SCL0ラインがHigh期間中のカウントアップを許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> ICMR2.DLCSビット=0 (IICϕ)のとき b6 b4 0 0 0: 出力遅延なし 0 0 1: IICϕの1サイクル 0 1 0: IICϕの2サイクル 0 1 1: IICϕの3サイクル 1 0 0: IICϕの4サイクル 1 0 1: IICϕの5サイクル 1 1 0: IICϕの6サイクル 1 1 1: IICϕの7サイクル ICMR2.DLCSビット=1 (IICϕ/2)のとき b6 b4 0 0 0: 出力遅延なし 0 0 1: IICϕの1~2サイクル 0 1 0: IICϕの3~4サイクル 0 1 1: IICϕの5~6サイクル 1 0 0: IICϕの7~8サイクル 1 0 1: IICϕの9~10サイクル 1 1 0: IICϕの11~12サイクル 1 1 1: IICϕの13~14サイクル 	R/W
b7	DLCS	SDA出力遅延クロックソース 選択ビット	0: SDA出力遅延カウンタのクロックソースに 内部基準クロック (IIC ϕ)を選択 1: SDA出力遅延カウンタのクロックソースに 内部基準クロックの2分周 (IIC ϕ /2)を選択 (注1)	R/W

注1. SCL端子がLowのときのみDLCSビット=1 (IIC ϕ /2)の設定が有効になります。SCL端子がHighのときDLCSビット=1の設定は無効となり内部基準クロック (IIC ϕ)となります。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能が有効時 (ICFER.TMOE ビット=1) にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが16ビットカウンタとして、またショートモードでは14ビットカウンタとして動作し、SCL0ラインがTMOH、TMOLビットで選択された状態になったとき、内部基準クロック (IIC ϕ)をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「27.11.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウトLカウント制御ビット)

タイムアウト検出機能が有効時 (ICFER.TMOE ビット=1) にSCL0ラインがLow期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

TMOH ビット (タイムアウトHカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) に SCL0 ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

SDA 出力遅延の設定は、I²C バス仕様 (データ有効時間/アクノリッジ有効時間 (注1) 内) または SMBus 仕様 (データホールド時間: 300 ns 以上、かつ SCL クロックの Low 幅-データセットアップ時間: 250 ns の範囲内) に収まるようにしてください。仕様外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

本機能の詳細については、「27.5 SDA 出力遅延機能」を参照してください。

注 1. データ有効時間/アクノリッジ有効時間

3,450 ns (~ 100 kbps : スタンダードモード (Sm))

900 ns (~ 400 kbps : ファストモード (Fm))

27.2.5 I²Cバスモードレジスタ 3 (ICMR3)

アドレス RIIC0.ICMR3 0008 8304h

b7	b6	b5	b4	b3	b2	b1	b0
SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0 : 1 IICφ以下のノイズを除去(フィルタは1段) 0 1 : 2 IICφ以下のノイズを除去(フィルタは2段) 1 0 : 3 IICφ以下のノイズを除去(フィルタは3段) 1 1 : 4 IICφ以下のノイズを除去(フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0 : アクノリッジビットに“0”を受信(ACK受信) 1 : アクノリッジビットに“1”を受信(NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0 : アクノリッジビットに“0”を送出(ACK送信) 1 : アクノリッジビットに“1”を送出(NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0 : ACKBTビットへの書き込み禁止 1 : ACKBTビットへの書き込み許可	R/W (注1)
b5	RDRFS	RDRFフラグセット タイミング選択ビット	0 : SCLクロックの9クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりにてSCL0ラインをLowにホールドしない) 1 : SCLクロックの8クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりにてSCL0ラインをLowにホールドする) LowホールドはACKBTビットへの書き込みで解除	R/W (注2)
b6	WAIT	WAITビット	0 : WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1 : WAITあり (9クロック目と1クロック目の間をLowにホールドする) LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I ² Cバス選択 ビット	0 : I ² Cバス選択 1 : SMBus選択	R/W

注1. ACKBTビットに書く場合には、ACKWPビットが“1”の状態で行ってください。ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。

注2. WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「27.6 デジタルノイズフィルタ回路」を参照してください。

注. ノイズフィルタで除去するノイズ幅の設定は、SCL0ラインのHigh/Low幅よりも狭くしてください。ノイズフィルタ幅を、[SCLクロックのHigh幅またはLow幅のいずれか短い方] - {1.5 × t_{IICcyc} (内部基準クロック (IICφ)の周期) + 120 ns (アナログノイズフィルタノイズ除去幅、参考値)} と同じか、それ以上に設定した場合は、RIICのノイズフィルタ機能によりSCLクロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

["1"になる条件]

- ICCR2.TRS ビットが“1”の状態であクノリッジビットに“1”を受信したとき

["0"になる条件]

- ICCR2.TRS ビットが“1”の状態であクノリッジビットに“0”を受信したとき

- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKBT ビット (送信アクノリッジビット)

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

[“1”になる条件]

- ACKWP ビットが“1”の状態では“1”を書いたとき

[“0”になる条件]

- ACKWP ビットが“1”の状態では“0”を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが“1”の状態では ストップコンディションを検出したとき)
- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセット タイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで SCL0 ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが“0”のとき、8 クロック目の立ち下がりで SCL0 ラインの Low ホールドは行わず、9 クロック目の立ち上がりで RDRF フラグを“1”にします。

RDRFS ビットが“1”のとき、RDRF フラグは 8 クロック目の立ち上がりで“1”にし、8 クロック目の立ち下がりで SCL0 ラインを Low にホールドします。この SCL0 ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCL0 ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが“0”) または NACK (ACKBT ビットが“1”) を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに I²C バス受信データレジスタ (ICDRR) の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1”のとき、1 バイト受信ごとに 9 クロック目の立ち下がりで以降、ICDRR レジスタの値が読み出されるまでの間 SCL0 ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注. WAIT ビットを“0”にする場合は、ICDRR レジスタを先に読んでから“0”にしてください。

SMBS ビット (SMBus/I²C バス選択 ビット)

SMBS ビットを“1”にすると、SMBus が選択され IC SER.HOAE ビットが有効になります。

27.2.6 I²Cバスファンクション許可レジスタ (ICFER)

アドレス RIIC0.ICFER 0008 8305h

b7	b6	b5	b4	b3	b2	b1	b0
—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE

リセット後の値 0 1 1 1 0 0 1 0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0: タイムアウト検出機能無効 1: タイムアウト検出機能有効	R/W
b1	MALE	マスターアービトレーションロスト検出許可ビット	0: マスターアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行わない) 1: マスターアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行う)	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0: NACK送信アービトレーションロスト検出禁止 1: NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0: NACK受信時、転送を中断しない(転送中断禁止) 1: NACK受信時、転送を中断する(転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ回路有効ビット	0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路有効ビット	0: SCL同期回路無効 1: SCL同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効/無効を選択します。

タイムアウト検出機能の詳細については、「27.11.1 タイムアウト検出機能」を参照してください。

MALE ビット (マスターアービトレーションロスト検出許可ビット)

マスターモード時にアービトレーションロスト検出機能の有効/無効を決定します。通常は“1”にしてください。

NALE ビット (NACK送信アービトレーションロスト検出許可ビット)

受信モード時、NACK 送中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

NACK ビット (NACK 受信転送中断許可ビット)

送信モード時、スレーブデバイスから NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACK ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACK ビットが“0”のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「27.8.2 NACK 受信転送中断機能」を参照してください。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0” (SCL 同期回路無効) にすると、クロック同期を行いません。この設定の場合、RIIC は SCL0 ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が仕様に定められた値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、仕様外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

27.2.7 I²Cバスステータス許可レジスタ (ICSER)

アドレス RIIC0.ICSER 0008 8306h

b7	b6	b5	b4	b3	b2	b1	b0
HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E

リセット後の値 0 0 0 0 1 0 0 1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0許可ビット	0 : SARL0、SARU0の設定値は無効 1 : SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1許可ビット	0 : SARL1、SARU1の設定値は無効 1 : SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2許可ビット	0 : SARL2、SARU2の設定値は無効 1 : SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0 : デバイスIDアドレス検出は無効 1 : デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ~ 2)

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを“1”にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを“0”にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0 (write) : All “0”) を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第一バイトにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第一バイトがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0” (write) のとき第二バイト目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第一バイトがデバイス ID アドレスと一致しても無視され、第一バイトを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「27.7.3 デバイス ID アドレス検出機能」を参照してください。

HOAE ビット (ホストアドレス許可ビット)

ICMR3.SMBS ビットが“1”の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが“1”でかつ HOAE ビットが“1”の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y=0 ~ 2) で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが“0”または HOAE ビットが“0”の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

27.2.8 I²Cバス割り込み許可レジスタ (ICIER)

アドレス RIIC0.ICIER 0008 8307h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可ビット	0: タイムアウト割り込み (TMOI) 要求の禁止 1: タイムアウト割り込み (TMOI) 要求の許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可ビット	0: アービトレーションロスト割り込み (ALI) 要求の禁止 1: アービトレーションロスト割り込み (ALI) 要求の許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可ビット	0: スタートコンディション検出割り込み (STI) 要求の禁止 1: スタートコンディション検出割り込み (STI) 要求の許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可ビット	0: ストップコンディション検出割り込み (SPI) 要求の禁止 1: ストップコンディション検出割り込み (SPI) 要求の許可	R/W
b4	NAKIE	NACK受信割り込み要求許可ビット	0: NACK受信割り込み (NAKI) 要求の禁止 1: NACK受信割り込み (NAKI) 要求の許可	R/W
b5	RIE	受信データフル割り込み要求許可ビット	0: 受信データフル割り込み (RXI) 要求の禁止 1: 受信データフル割り込み (RXI) 要求の許可	R/W
b6	TEIE	送信終了割り込み要求許可ビット	0: 送信終了割り込み (TEI) 要求の禁止 1: 送信終了割り込み (TEI) 要求の許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可ビット	0: 送信データエンプティ割り込み (TXI) 要求の禁止 1: 送信データエンプティ割り込み (TXI) 要求の許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可ビット)

ICSR2.TMOF フラグが“1”になったとき、タイムアウト割り込み (TMOI) 要求の許可 / 禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み要求許可ビット)

ICSR2.AL フラグが“1”になったとき、アービトレーションロスト割り込み (ALI) 要求の許可 / 禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み要求許可ビット)

ICSR2.START フラグが“1”になったとき、スタートコンディション検出割り込み (STI) 要求の許可 / 禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み要求許可ビット)

ICSR2.STOP フラグが“1”になったとき、ストップコンディション検出割り込み (SPI) 要求の許可 / 禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット (NACK 受信割り込み要求許可ビット)

ICSR2.NACKF フラグが“1”になったとき、NACK 受信割り込み (NAKI) 要求の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット (受信データフル割り込み要求許可ビット)

ICSR2.RDRF フラグが“1”になったとき、受信データフル割り込み (RXI) 要求の許可 / 禁止を選択します。

TEIE ビット (送信終了割り込み要求許可ビット)

ICSR2.TEND フラグが“1”になったとき、送信終了割り込み (TEI) 要求の許可 / 禁止を選択します。TEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット (送信データエンプティ割り込み要求許可ビット)

ICSR2.TDRE フラグが“1”になったとき、送信データエンプティ割り込み (TXI) 要求の許可 / 禁止を選択します。

27.2.9 I²C バスステータスレジスタ 1 (ICSR1)

アドレス RIIC0.ICSR1 0008 8308h

b7	b6	b5	b4	b3	b2	b1	b0
HOA	—	DID	—	GCA	AAS2	AAS1	AAS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0: スレーブアドレス0未検出 1: スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0: スレーブアドレス1未検出 1: スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0: スレーブアドレス2未検出 1: スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスIDアドレス検出フラグ	0: デバイスIDアドレス未検出 1: デバイスIDアドレス検出 • スタートコンディション直後の第一バイトがデバイスIDアドレス (1111 100b) + 0 (write) と一致した場合	R/(W) (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0: ホストアドレス未検出 1: ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス(0001 000b)と一致した場合	R/(W) (注1)

注1. “0”のみ書けます。

AASy フラグ (スレーブアドレス y 検出フラグ) (y=0 ~ 2)

[“1”になる条件]

[7ビットアドレスフォーマット選択時: SARUy.FS ビット=0]

- ICSER.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと一致したとき、第一バイトの SCL クロックの9クロック目の立ち上がり

[10ビットアドレスフォーマット選択時: SARUy.FS ビット=1]

- ICSER.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと一致したとき、第二バイトの SCL クロックの9クロック目の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

[7ビットアドレスフォーマット選択時: SARUy.FS ビット=0]

- ICSER.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり

[10ビットアドレスフォーマット選択時: SARUy.FS ビット=1]

- ICSER.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり

- ICSE.SARyEビットが“1”(スレーブアドレスy検出有効)の状態、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと不一致のとき、第二バイトの SCL クロックの9クロック目の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

["1"になる条件]

- ICSE.GCAEビットが“1”(ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と一致したとき、第一バイトの SCL クロックの9クロック目の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSE.GCAEビットが“1”(ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

["1"になる条件]

- ICSE.DIDEビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致したとき、第一バイトの SCL クロックの9クロック目の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSE.DIDEビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) と不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり
- ICSE.DIDEビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致し、続く第二バイトがスレーブアドレス 0 ~ 2 のすべてと不一致のとき、第二バイトの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ (ホストアドレス検出フラグ)

["1"になる条件]

- ICSE.HOAEビットが“1”(ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき、第一バイトの SCL クロックの9クロック目の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSE.HOAEビットが“1”(ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

27.2.10 I²C バスステータスレジスタ 2 (ICSR2)

アドレス RIIC0.ICSR2 0008 8309h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロストの発生なし 1: アービトレーションロストの発生あり	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRRレジスタに受信データなし 1: ICDRRレジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信終了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: ICDRTレジスタに送信データあり 1: ICDRTレジスタに送信データなし	R

注1. “0”のみ書けます。

TMOF フラグ (タイムアウト検出フラグ)

SCL0 ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1”になります。

[“1”になる条件]

- ICFER.TMOEビットが“1”(タイムアウト検出機能有効)で、かつマスタモードまたはスレーブモードで受信スレーブアドレスが一致した状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL0 ラインの状態に変化がないとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失(アービトレーションロスト)したことを示します。RIIC は送信中に SDA0 ラインのレベルを監視し、出力データと SDA0 ラインのレベルが一致しない場合 AL フラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIIC では設定によりマスタモード時に NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

[“1”になる条件]

【マスタアービトレーションロスト検出有効時: ICFER.MALE ビット = 1】

- マスタ送信モード時のデータ送信(スレーブアドレス送信含む)において、ACK 期間を除く SCL クロックの立ち上がりで出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき(内部 SDA 出力が

High 出力 (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)

- ICCR2.ST ビットが“1”(スタートコンディション発行要求)の状態ですタートコンディションを検出したとき、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき
- ICCR2.BBSY フラグが“1”の状態ですタートコンディション発行要求)に設定したとき

【NACK アービトレーションロスト検出有効時 : ICFER.NALE ビット = 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき

【スレーブアービトレーションロスト検出有効時 : ICFER.SALE ビット = 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

表 27.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST ビットが“1”の状態ですタートコンディション検出時に出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき ICCR2.BBSY フラグが“1”の状態ですタートコンディション発行要求)に設定したとき
			1	送信データ不一致	マスタ送信モードで送信データ(スレーブアドレス送信含む)とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x : Don't care

START フラグ (スタートコンディション検出フラグ)

【“1”になる条件】

- スタートコンディション (リスタートコンディション含む) を検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ (ストップコンディション検出フラグ)

【“1”になる条件】

- ストップコンディションを検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ (NACK 検出フラグ)

【“1”になる条件】

- ICFER.NACKE ビットが“1” (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジがなかった (NACK を受信した) とき

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

注. NACKF フラグが“1”になると RIIC は通信動作を中断します。NACKF フラグが“1”の状態では送信モード時に ICDRT レジスタへの書き込みや、受信モード時に ICDRR レジスタの読み出しを行っても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0”にしてください。

RDRF フラグ (受信データフルフラグ)

["1" になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により SCL クロックの 8 または 9 クロック目の立ち上がりで“1”になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが“0”のとき

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

["1" になる条件]

- TDRE フラグが“1”の状態では、SCL クロックの 9 クロック目の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

["1" になる条件]

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが“1”になったとき
- 受信したスレーブアドレスが一致し、TRS ビットが“1”のとき

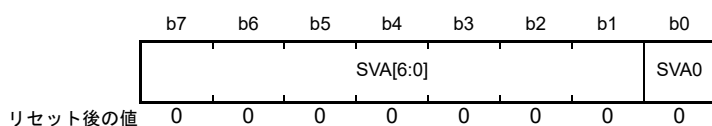
["0" になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが“0”になったとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

注. ICFER.NACKE ビットが“1”の状態では NACKF フラグが“1”になると RIIC は通信動作を中断します。このとき、TDRE フラグが“0”の状態 (次の送信データがすでに書き込まれている状態) の場合、9 クロック目の立ち上がりで ICDRS レジスタへのデータ転送が行われ ICDRT レジスタが空になりますが、TDRE フラグは“1”になりません。

27.2.11 スレーブアドレスレジスタ Ly (SARLy) (y=0 ~ 2)

アドレス RIIC0.SARL0 0008 830Ah, RIIC0.SARL1 0008 830Ch, RIIC0.SARL2 0008 830Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。	R/W
b7-b1	SVA[6:0]	7ビットアドレス/ 10ビットアドレス下位ビット	スレーブアドレスを設定してください。	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、10ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて10ビットアドレス下位8ビットを設定します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) かつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

SVA[6:0] ビット (7 ビットアドレス / 10 ビットアドレス下位ビット)

7ビットアドレスフォーマット選択時 (SARUy.FS ビット = 0)、7ビットアドレスとして機能し、10ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、SVA0 ビットと合わせて10ビットアドレス下位8ビットとして機能します。

ICSER.SARyE ビットが“0” のとき設定値は無視されます。

27.2.12 スレーブアドレスレジスタ Uy (SARUy) (y=0 ~ 2)

アドレス RIIC0.SARU0 0008 830Bh, RIIC0.SARU1 0008 830Dh, RIIC0.SARU2 0008 830Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SVA[1:0]	FS	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0: 7ビットアドレスフォーマット選択 1: 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FS ビット (7 ビット / 10 ビットアドレスフォーマット選択ビット)

スレーブアドレス y (SARLy, SARUy レジスタ) を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) でかつ SARUy.FS ビットが“0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) でかつ SARUy.FS ビットが“1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが“0” (SARLy, SARUy レジスタ無効) のとき SARUy.FS ビットの設定値は無効です。

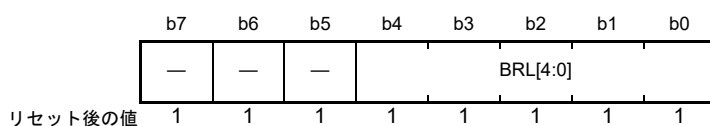
SVA[1:0] ビット (10 ビットアドレス上位ビット)

10 ビットアドレスフォーマット選択時 (FS ビット = 1)、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) でかつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

27.2.13 I²Cバスビットレート Low レジスタ (ICBRL)

アドレス RIIC0.ICBRL 0008 8310h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLクロックのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL クロックの Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時 (「27.8 SCL の自動 Low ホールド機能」参照) のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間(注1)以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロック (IICφ) で Low 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRL レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

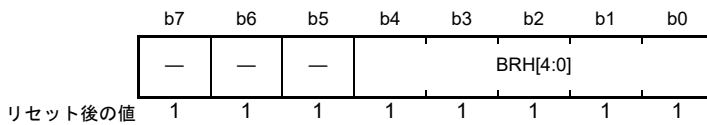
注 1. データセットアップ時間 (t_{SU:DAT})

250 ns (~ 100 kbps : スタンダードモード (Sm))

100 ns (~ 400 kbps : ファストモード (Fm))

27.2.14 I²Cバスビットレート High レジスタ (ICBRH)

アドレス RIIC0.ICBRH 0008 8311h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLクロックのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”として下さい。	R/W

ICBRHレジスタはSCLクロックのHigh幅を設定するための5ビットのレジスタで、マスタモード時に有効です。RIICを常にスレーブモードで使用する場合には、High幅を設定する必要はありません。

ICBRHレジスタはICMR1.CKS[2:0]ビットで選択された内部基準クロック(IICφ)でHigh幅をカウントします。

デジタルノイズフィルタ回路の使用を許可(ICFER.NFEビット=1)した場合、ICBRHレジスタは、ノイズフィルタの段数+1以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0]ビットを参照してください。

I²C転送速度およびSCLクロックのデューティ比は以下の式で算定します。

$$\text{転送速度} = 1 / \{ ((\text{ICBRH} + 1) + (\text{ICBRL} + 1)) / \text{IIC}\phi (\text{注1}) + \text{SCL0ライン立ち上がり時間} (\text{tr}) + \text{SCL0ライン立ち下がり時間} (\text{tf}) \}$$

$$\text{デューティ比} = \{ \text{SCL0ライン立ち上がり時間} (\text{tr}) (\text{注2}) + (\text{ICBRH} + 1) / \text{IIC}\phi \} / \{ \text{SCL0ライン立ち下がり時間} (\text{tf}) (\text{注2}) + (\text{ICBRL} + 1) / \text{IIC}\phi \}$$

注1. IICφ = PCLK × 分周比

注2. SCL0ライン立ち上がり時間(tr)、SCL0ライン立ち下がり時間(tf)は、バスライン総容量(Cb)とプルアップ抵抗(Rp)に依存します。詳細についてはNXP社のI²Cバス仕様書を参照してください。

ICBRH、ICBRLレジスタの値の設定例を表27.5に示します。

表 27.5 転送速度に対するICBRH、ICBRLレジスタの設定例

転送速度 (kbps)	動作周波数PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)

転送速度 (kbps)	動作周波数PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)

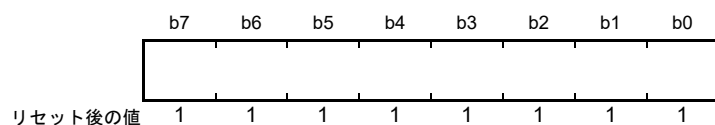
転送速度 (kbps)	動作周波数PCLK (MHz)								
	30			32			33		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)	110b	22 (F6h)	25 (F9h)	110b	22 (F6h)	26 (FAh)
50	100b	15 (EFh)	18 (F2h)	100b	16 (F0h)	19 (F3h)	100b	17 (F1h)	20 (F4h)
100	010b	2 (E2h)	3 (E3h)	011b	15 (EFh)	18 (F2h)	011b	16 (F0h)	19 (F3h)
400	001b	8 (E8h)	19 (F3h)	001b	9 (E9h)	20 (F4h)	001b	9 (E9h)	21 (F5h)

転送速度 (kbps)	動作周波数PCLK (MHz)		
	40		
	CKS[2:0]	ICBRH	ICBRL
10	111b	13 (7Dh)	15 (7Fh)
50	100b	21 (F5h)	24 (F8h)
100	011b	19 (F3h)	23 (F7h)
400	001b	11 (7Bh)	25 (F9h)

注. SCL0ラインの立ち上がり時間(tr)を100 kbps以下(Sm)は1000 ns、400 kbps以下(Fm)は300 ns、SCL0ラインの立ち下がり時間(tf)を400 kbps以下(Sm/Fm)は300 nsとして計算した場合の設定例です。
SCL0ライン立ち上がり時間(tr)、SCL0ライン立ち下がり時間(tf)の値についてはNXP社のI²Cバス仕様書を参照してください。

27.2.15 I²Cバス送信データレジスタ (ICDRT)

アドレス RIIC0.ICDRT 0008 8312h



I²Cバスシフトレジスタ(ICDRS)の空きを検出すると、ICDRTレジスタに書き込まれた送信データがICDRSレジスタへ転送され、送信モード時にデータ送信を開始します。

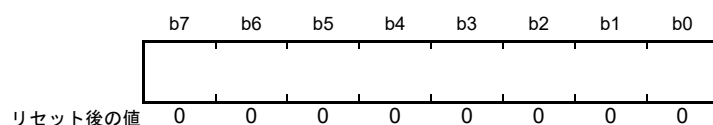
ICDRTレジスタとICDRSレジスタはダブルバッファ構造になっているため、ICDRSレジスタのデータ送信

中に、次に送信するデータを ICDRT レジスタに書いておくと連続送信動作が可能です。

ICDRT レジスタは常に読み出し / 書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

27.2.16 I²C バス受信データレジスタ (ICDRR)

アドレス RIIC0.ICDRR 0008 8313h



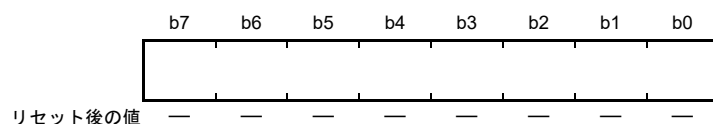
1 バイトのデータの受信が終了すると、受信したデータは I²C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読んでおくと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。

受信データを ICDRR レジスタから読み出さないまま (ICSR2.RDRF フラグが“1”の状態のまま) 次の受信データを受け取ると、RIIC は RDRF フラグが次に“1”になるタイミングの 1 つ手前の SCL0 クロックの立ち下がり で SCL0 ラインを Low にホールドします。

27.2.17 I²C バスシフトレジスタ (ICDRS)



ICDRS レジスタは、データを送信 / 受信するためのシフトレジスタです。

送信時は ICDRT レジスタから送信データが ICDRS レジスタに転送され、SDA0 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS レジスタから ICDRR レジスタへ転送されます。

ICDRS レジスタは直接アクセスすることはできません。

27.3 動作説明

27.3.1 通信データフォーマット

I²C バスフォーマットは、8ビットのデータと1ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続く第一バイトは、アドレスバイトでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 27.3 に I²C バスフォーマットを、図 27.4 に I²C バスタイミングを示します。

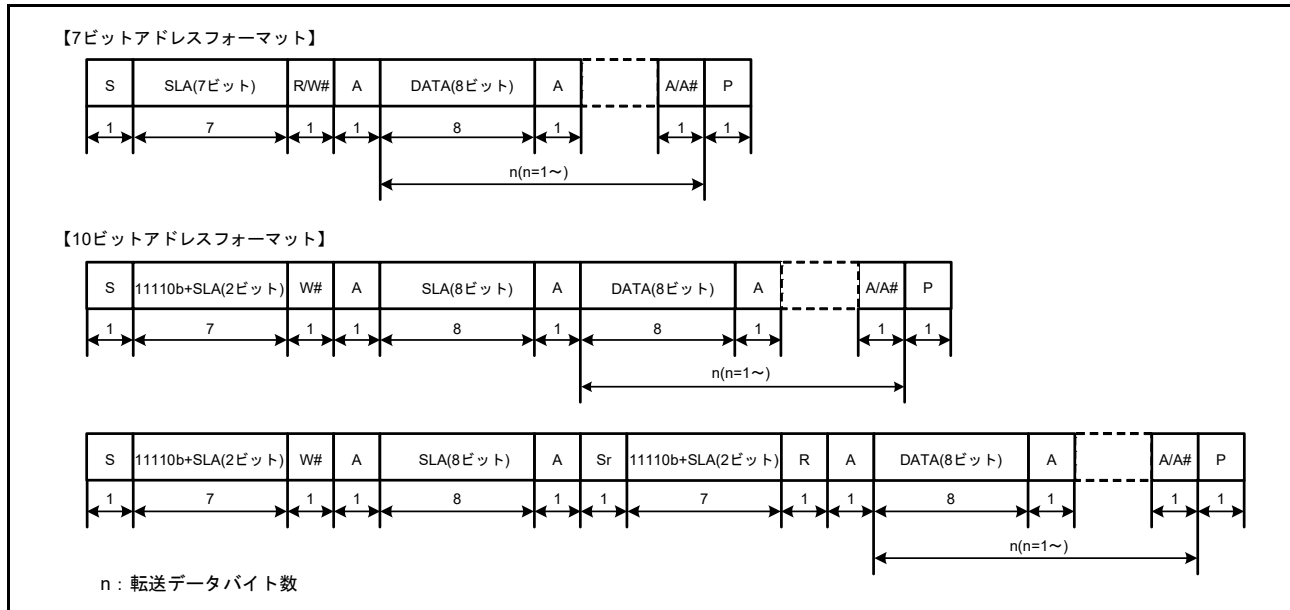


図 27.3 I²C バスフォーマット

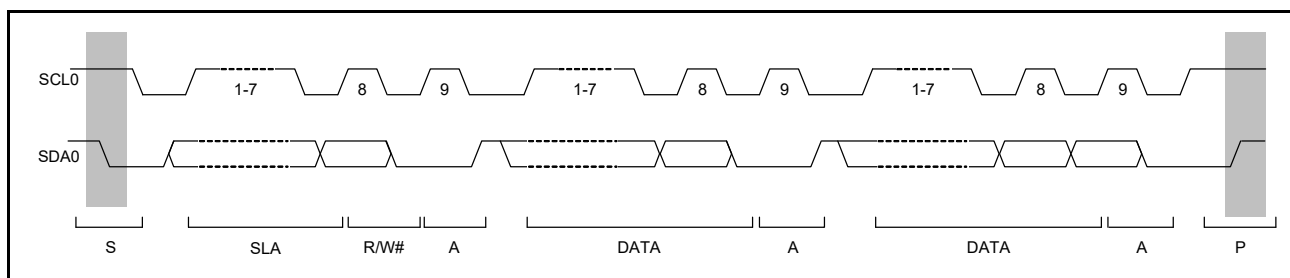


図 27.4 I²C バスタイミング (SLA=7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではSDA0ラインがHighからLowに変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A: アクノリッジを示します。受信デバイスがSDA0ラインをLowにします(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。
- A#: ノットアクノリッジを示します。受信デバイスがSDA0ラインをHighにします。
- Sr: リスタートコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではSDA0ラインがHighからLowに変化します。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではSDA0ラインがLowからHighに変化します。

27.3.2 初期設定

データの送信/受信を開始する場合、**図 27.5** に示す手順に従って RIIC を初期化してください。

ICCR1.ICE ビットを“0” (SCL0、SDA0 端子非駆動状態) にしたまま ICCR1.IICRST ビットを“1” (RIIC リセット) にした後、ICCR1.ICE ビットを“1” (内部リセット) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y=0~2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については**図 27.5** 参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを“0” (RIIC リセット解除) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

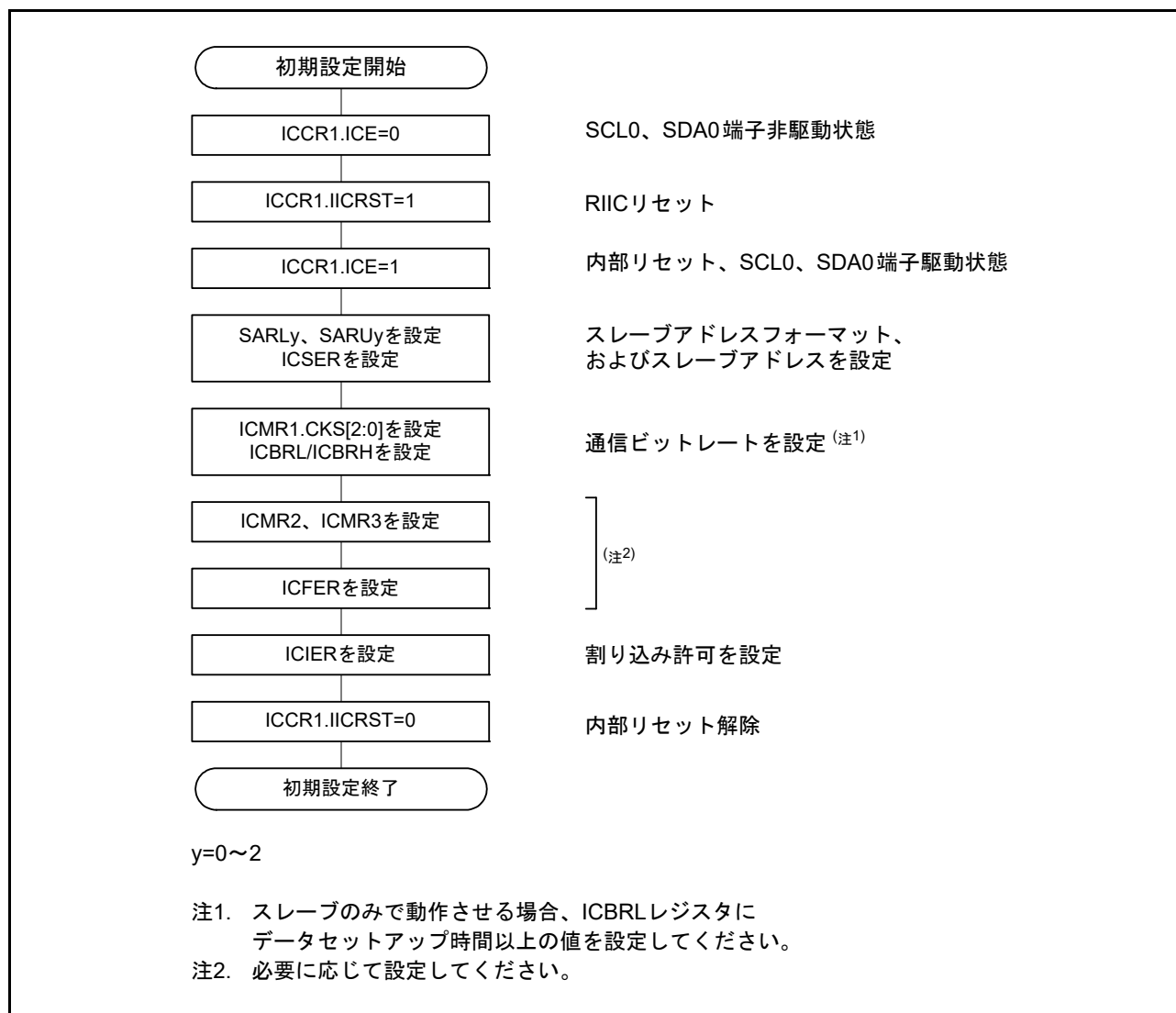


図 27.5 RIIC の初期化フローチャート例

27.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図 27.6 にマスタ送信の使用例を、図 27.7 ~ 図 27.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「27.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます(スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ(スレーブアドレスと R/W# ビット)を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“0”の第一バイトを受信すると、引き続きマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行われます。なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビット + W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICSR2.TDRE フラグが“1”であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL0 ラインを Low にホールドします。
- (5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが“1”になるまで待つから ICCR2.SP ビットに“1”を書いてください(ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

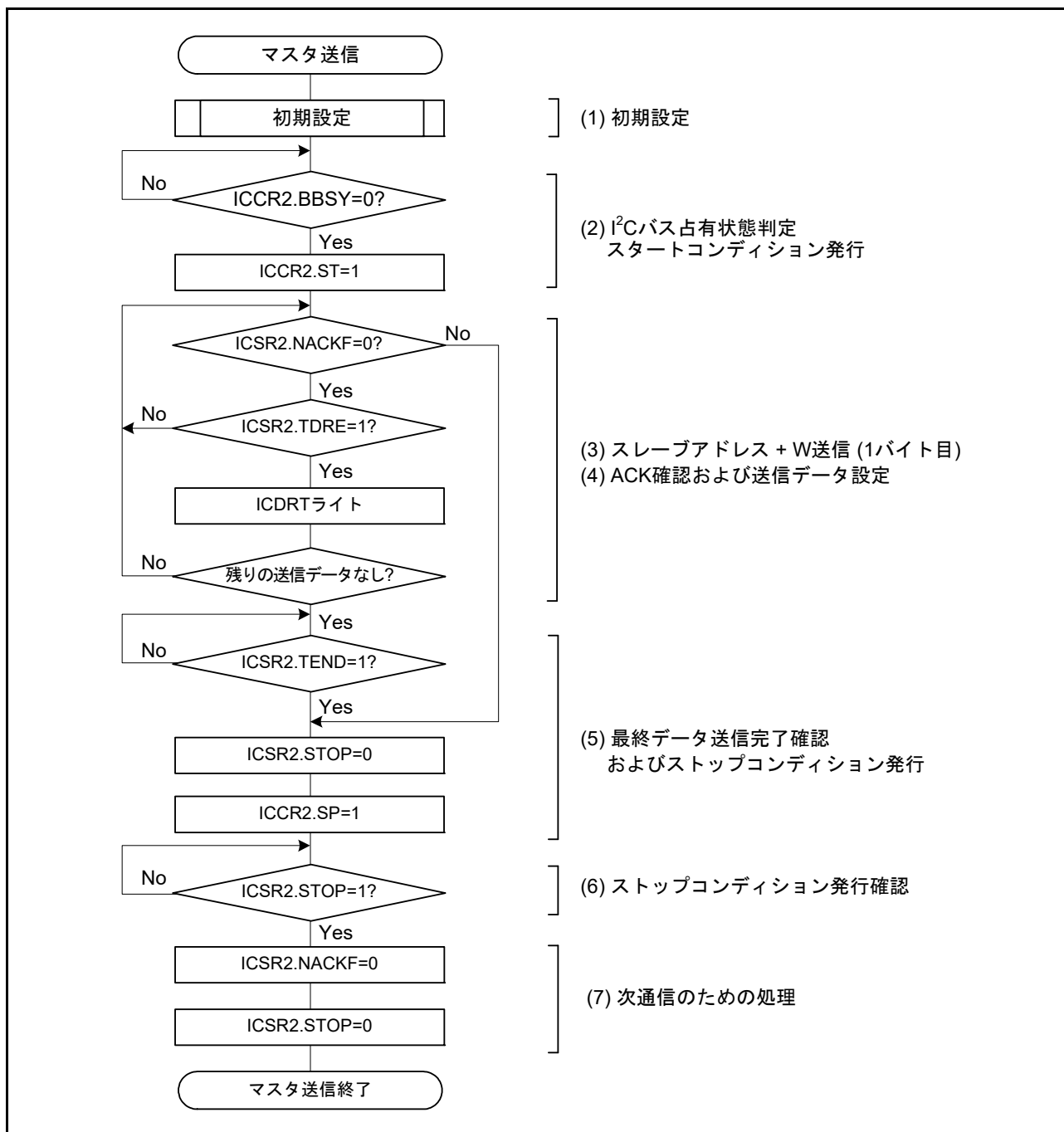


図 27.6 マスタ送信のフローチャート例

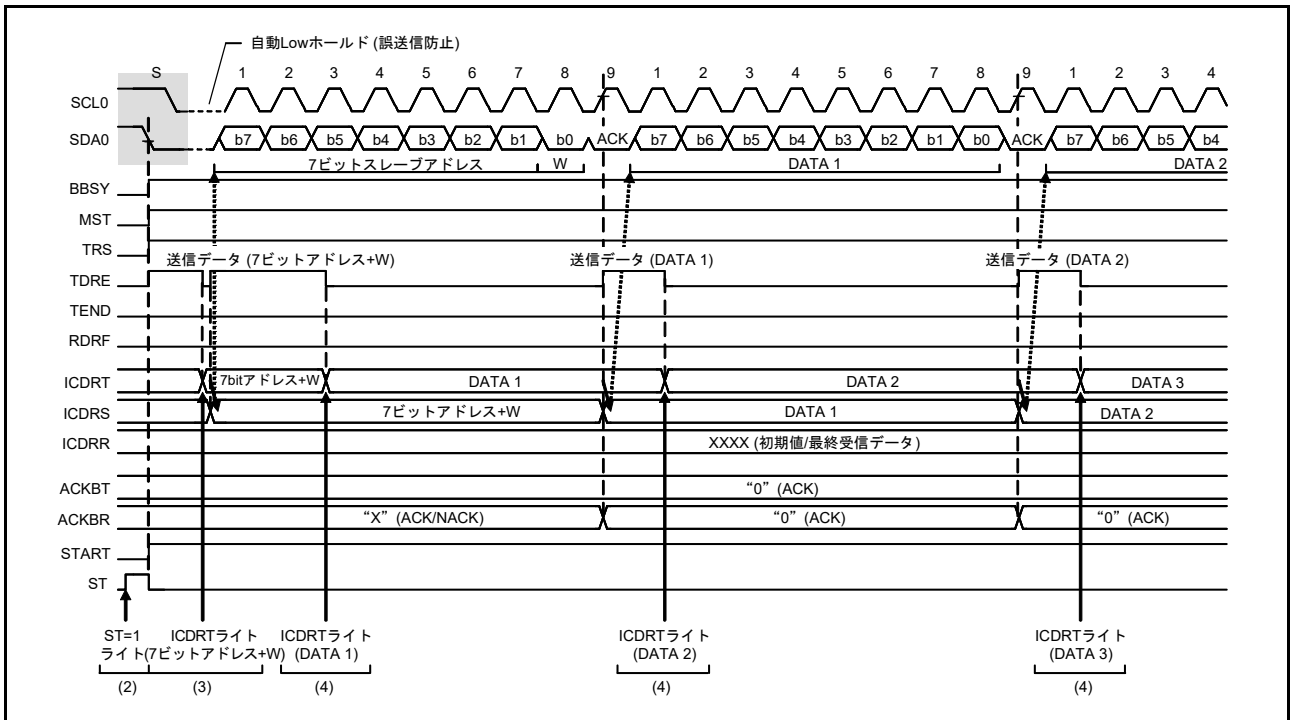


図 27.7 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマットのとき)

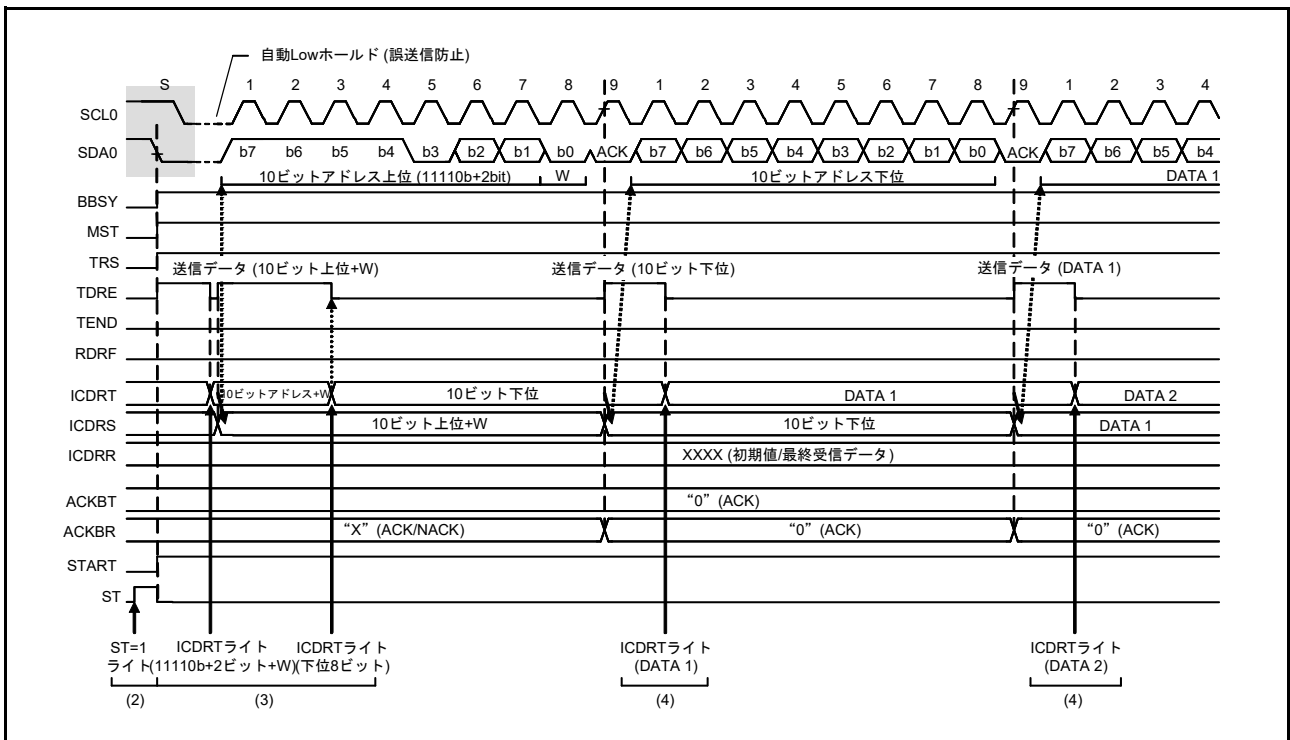


図 27.8 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマットのとき)

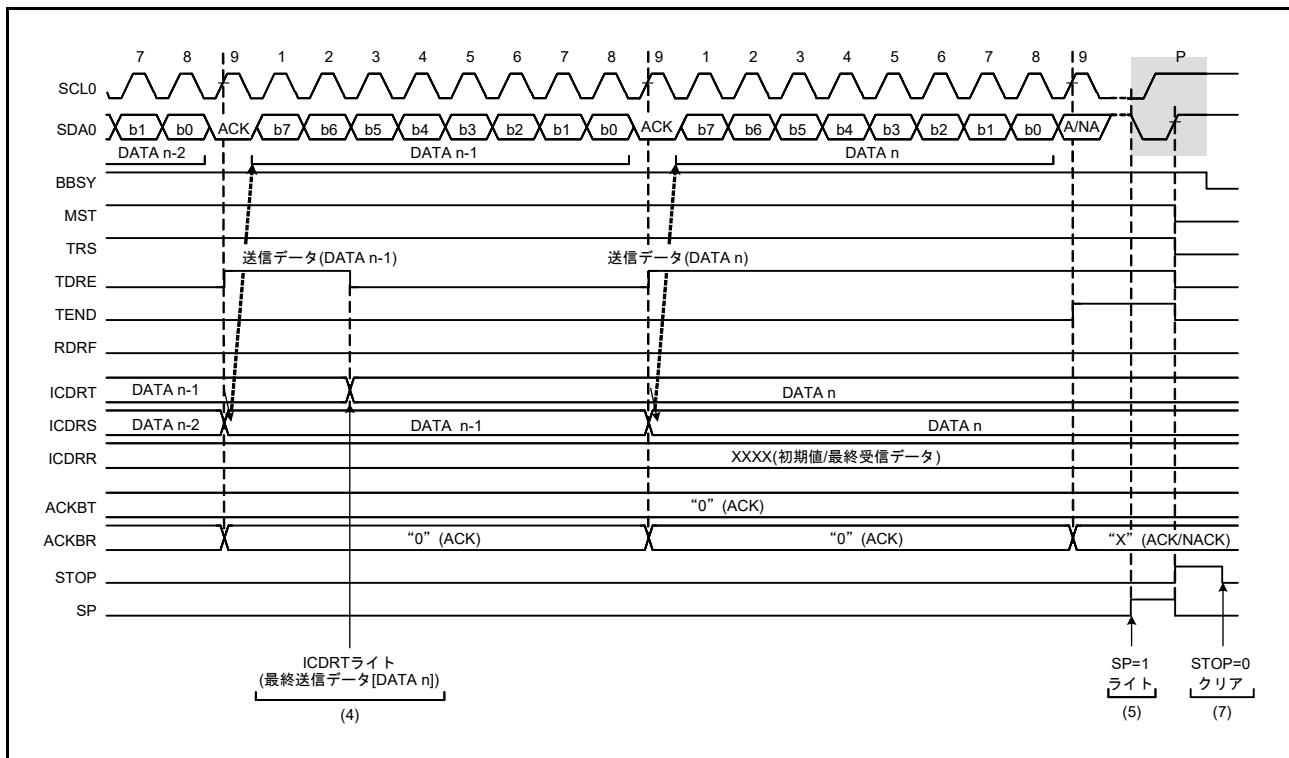


図 27.9 マスタ送信の動作タイミング (3)

27.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信するため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 27.10、図 27.11 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 27.12 ~ 図 27.14 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「27.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“1”の第一バイトを受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信

モードに移行します。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。

このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。

なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビット + R を送信することで、マスタ受信モードに移行します。

- (4) ICSR2.RDRF フラグが“1”であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。
- (5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト - 1 の場合、ICDRR レジスタ (最終バイト - 2 バイト目) を読む前に ICMR3.WAIT ビットを“1” (WAIT あり) にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを“1” (NACK) にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするるとともに、最終バイトの受信時に 9 クロック目の立ち下がり で SCL0 ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
- (6) ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを“1” (NACK) にしてください。
- (7) ICDRR レジスタ (最終バイト - 1 バイト目) 読み出し後、ICSR2.RDRF フラグが“1”であることを確認してから、ICCR2.SP ビットに“1”を書いて (ストップコンディション発行要求)、ICDRR レジスタ (最終バイト) を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL0 ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

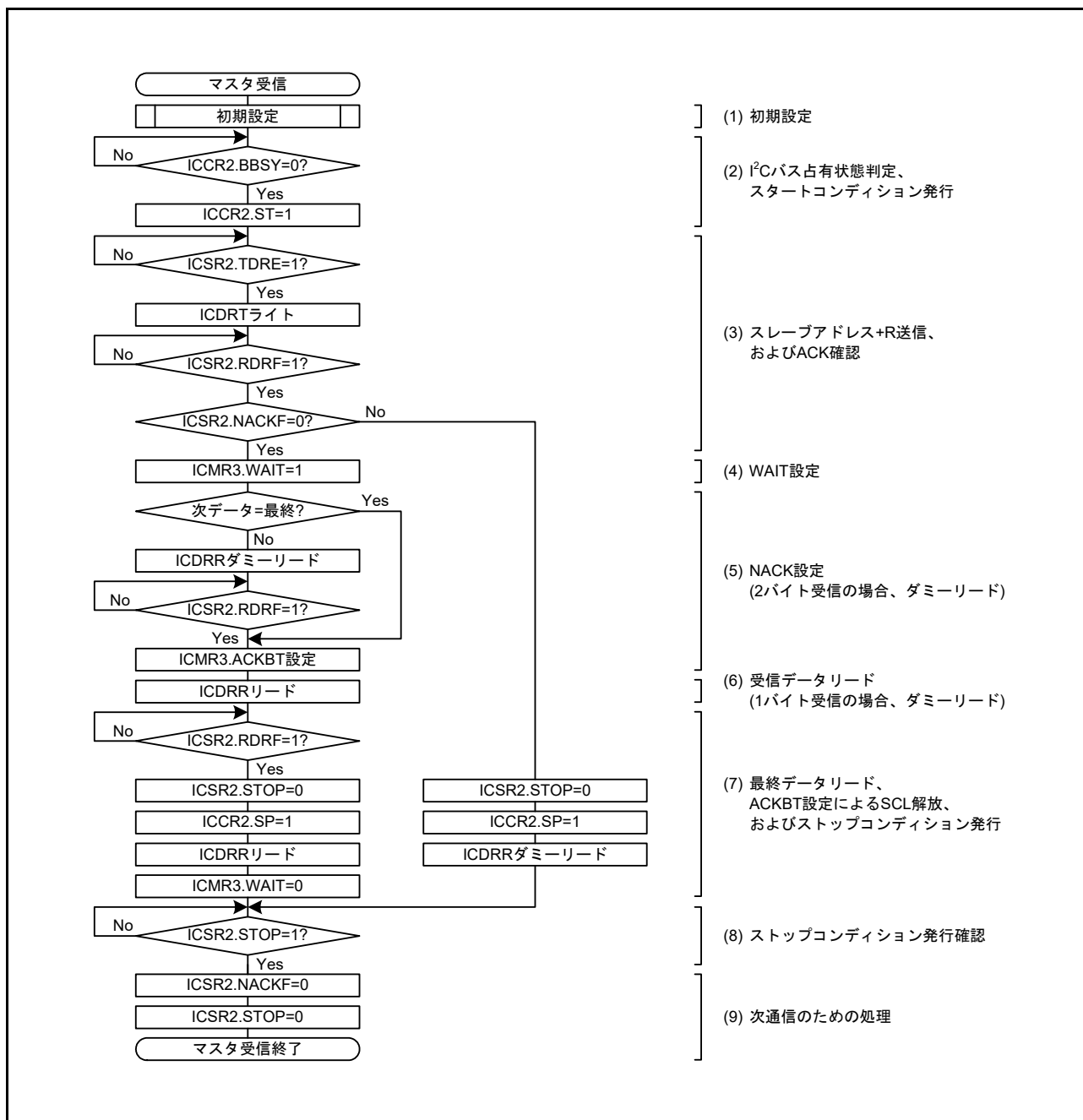
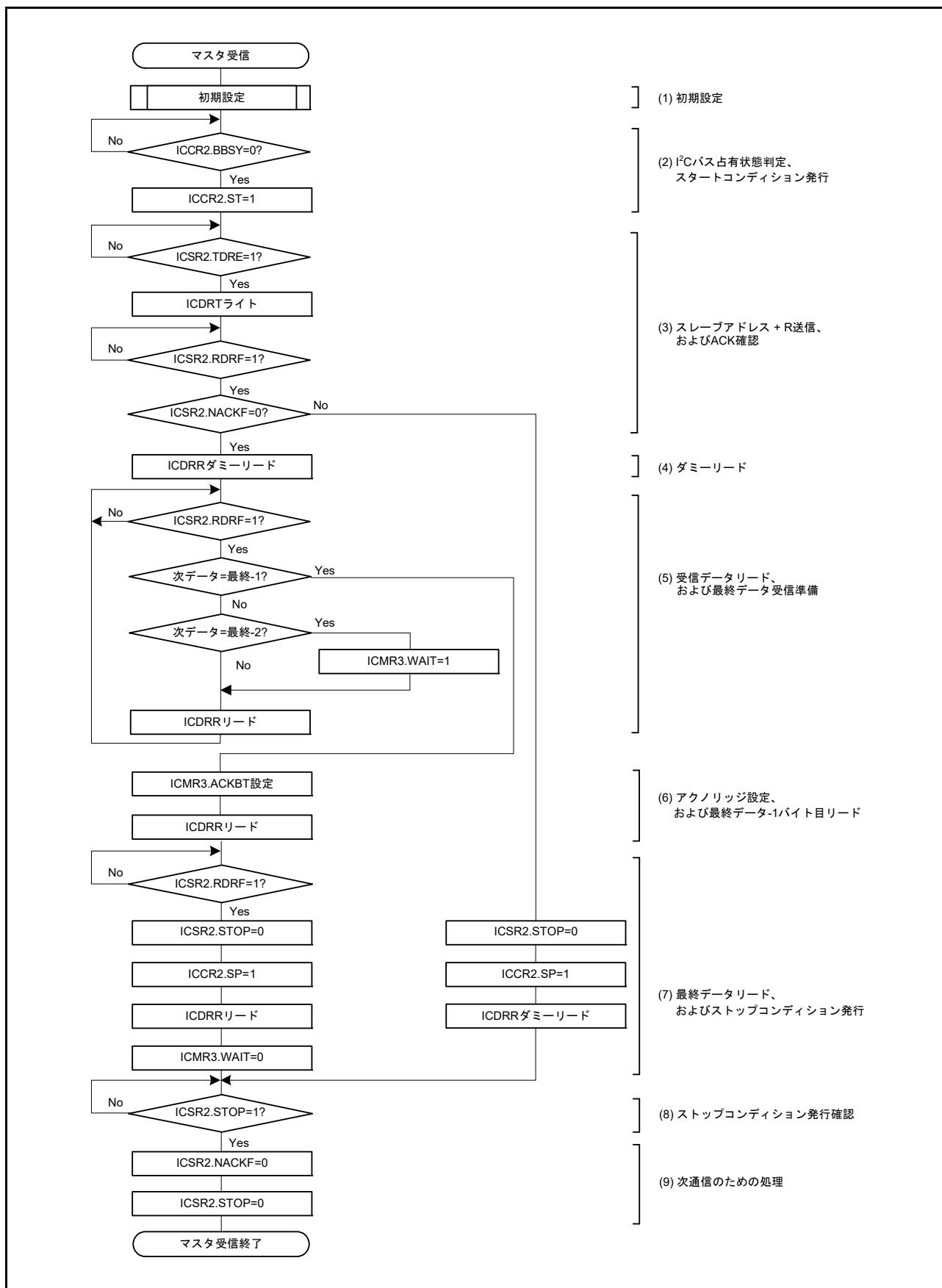


図 27.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマットの場合、2バイト以下の場合)



- (1) 初期設定
- (2) I²Cバス占有状態判定、スタートコンディション発行
- (3) スレーブアドレス + R送信、およびACK確認
- (4) ダミーリード
- (5) 受信データリード、および最終データ受信準備
- (6) アクノリッジ設定、および最終データ-1バイト目リード
- (7) 最終データリード、およびストップコンディション発行
- (8) ストップコンディション発行確認
- (9) 次通信のための処理

図 27.11 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、3バイト以上の場合)

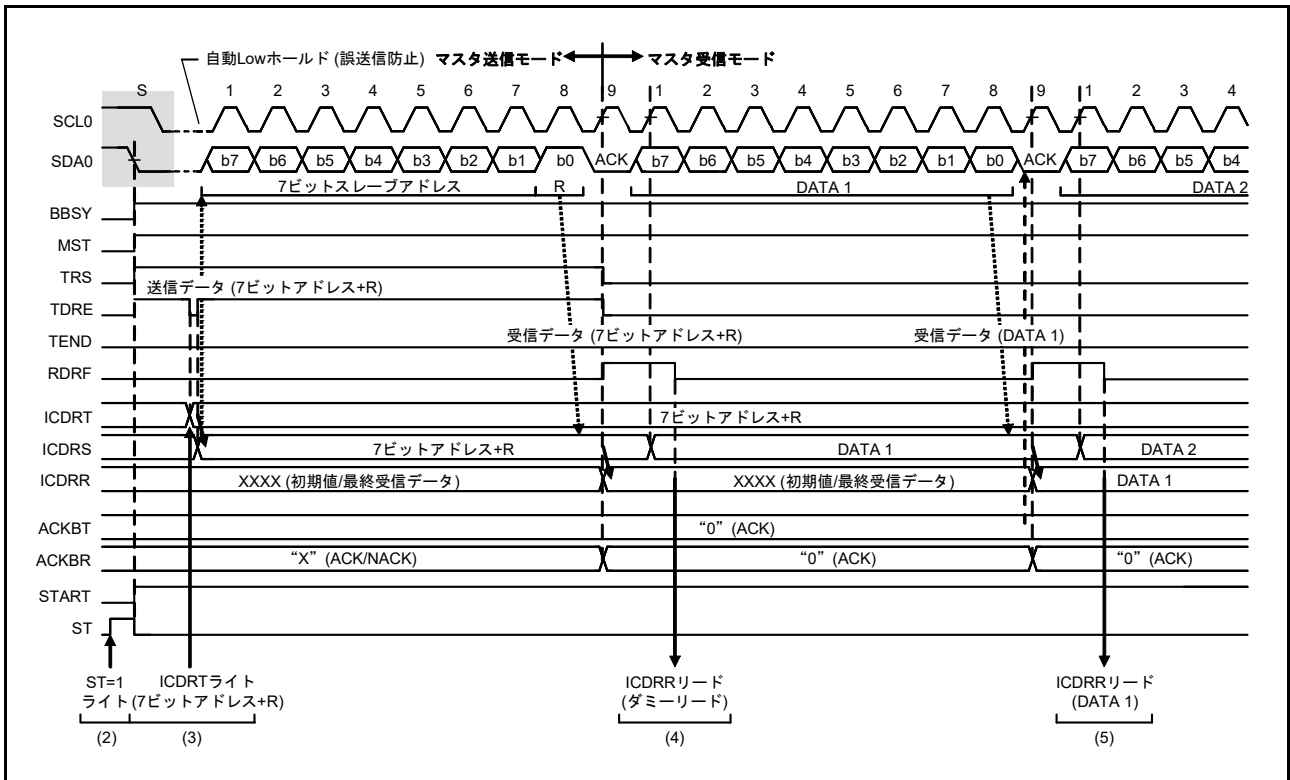


図 27.12 マスタ受信の動作タイミング (1) (7 ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

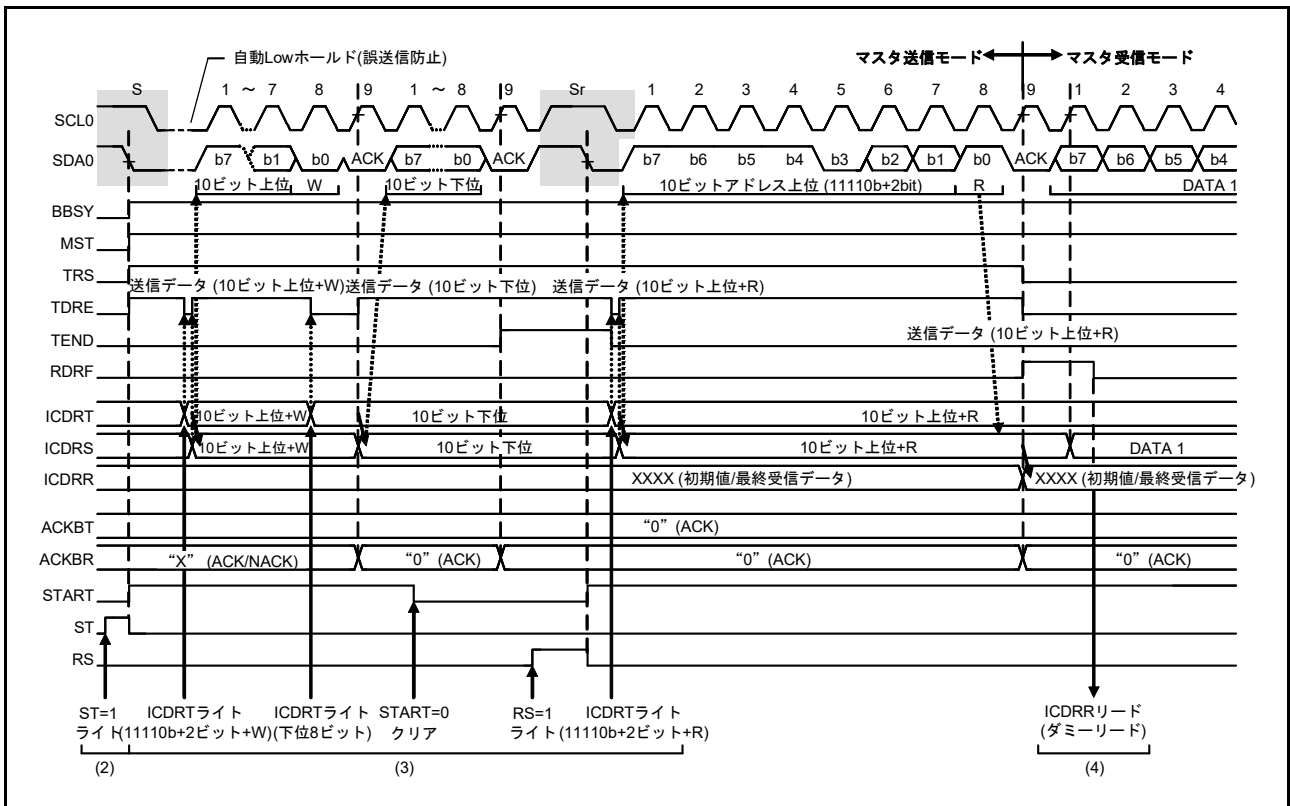


図 27.13 マスタ受信の動作タイミング (2) (10 ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

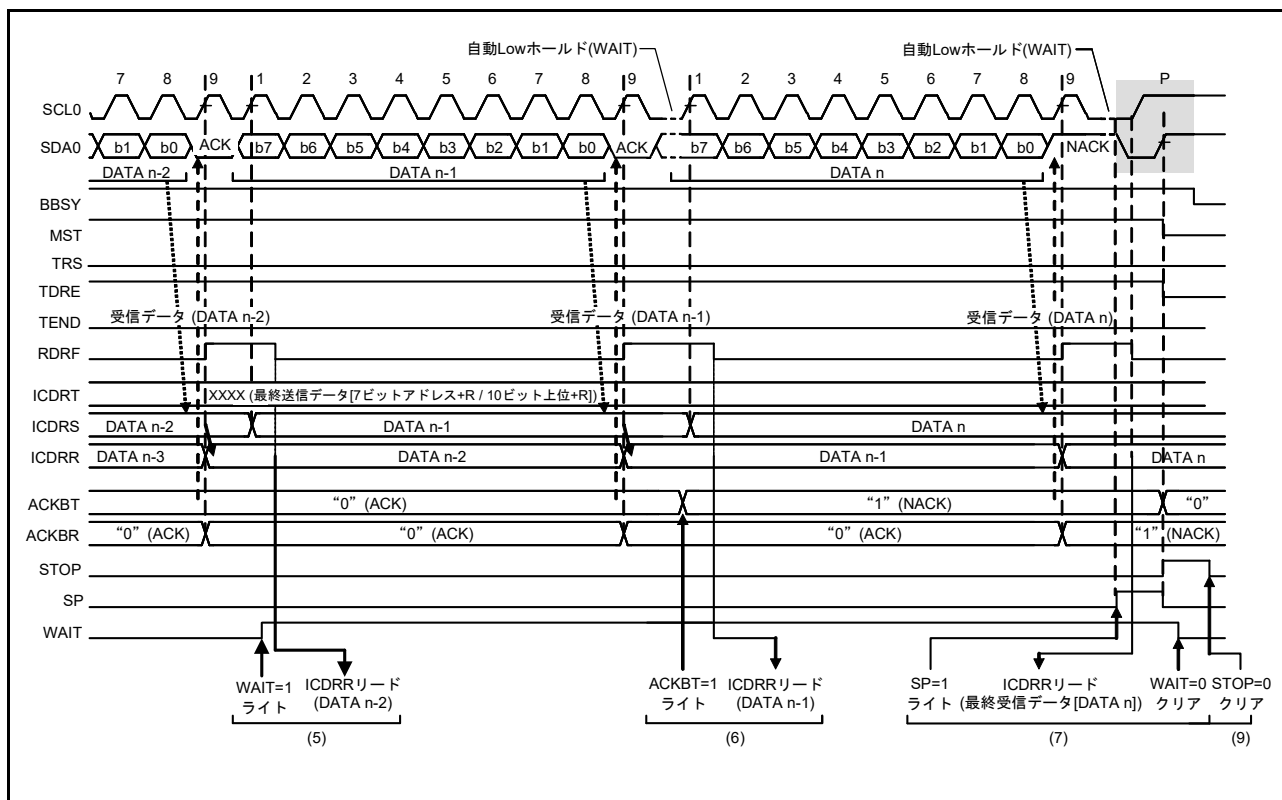


図 27.14 マスタ受信の動作タイミング (3) (RDRFS ビット = 0 のとき)

27.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 27.15 にスレーブ送信の使用例を示します。図 27.16、図 27.17 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「27.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“1”のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを“1”にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKF ビットが“1”の状態でもスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが“1”になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが“1”の状態、ICSR2.TEND フラグが“1”になるまで待ってください。ICSR2.NACKF フラグが“1”または TEND フラグが“1”の場合、RIIC は 9 クロック目の立ち下がり以降 SCL0 ラインを Low にホールドします。
- (5) ICSR2.NACKF フラグが“1”または ICSR2.TEND フラグが“1”の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCL0 ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に“0”にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

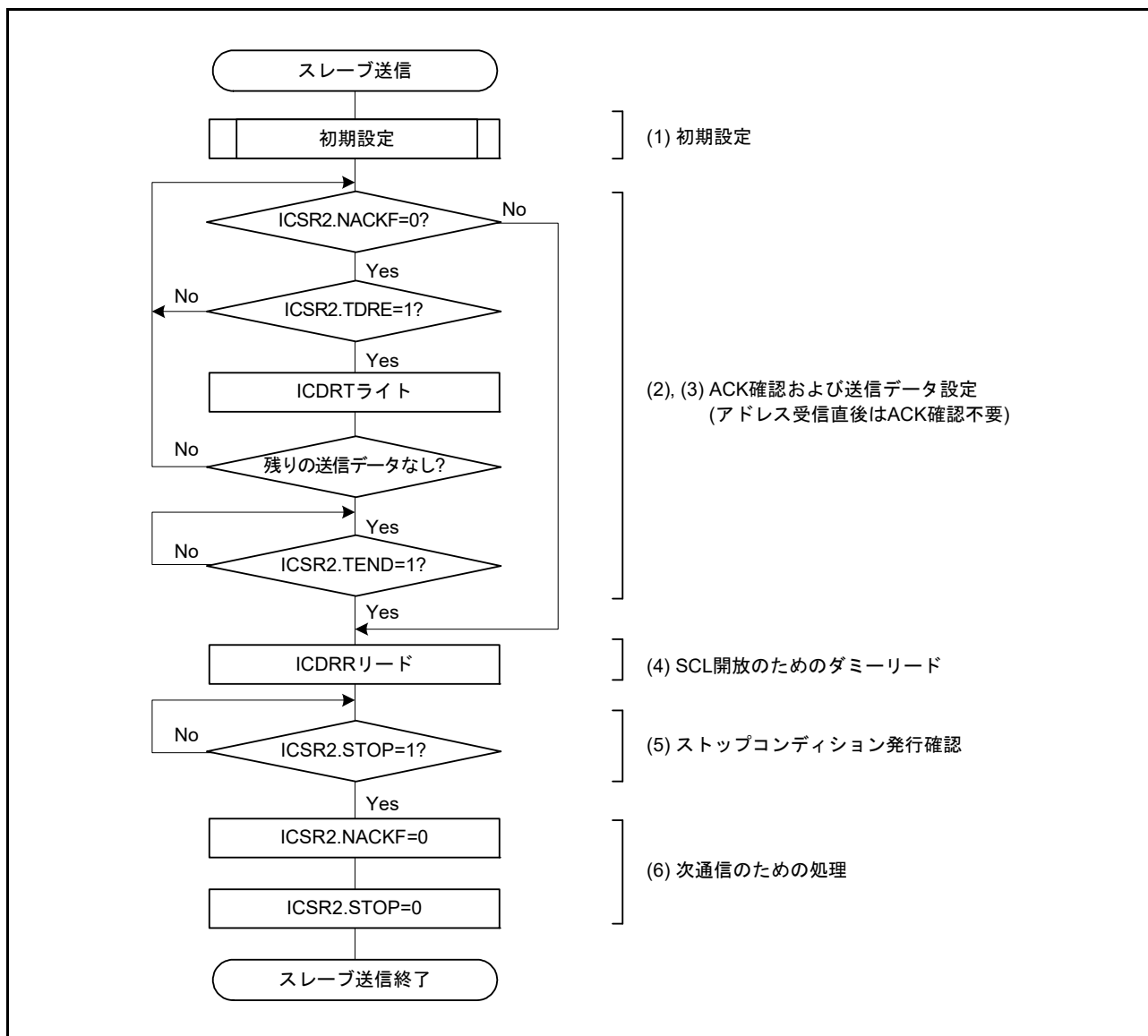


図 27.15 スレーブ送信のフローチャート例

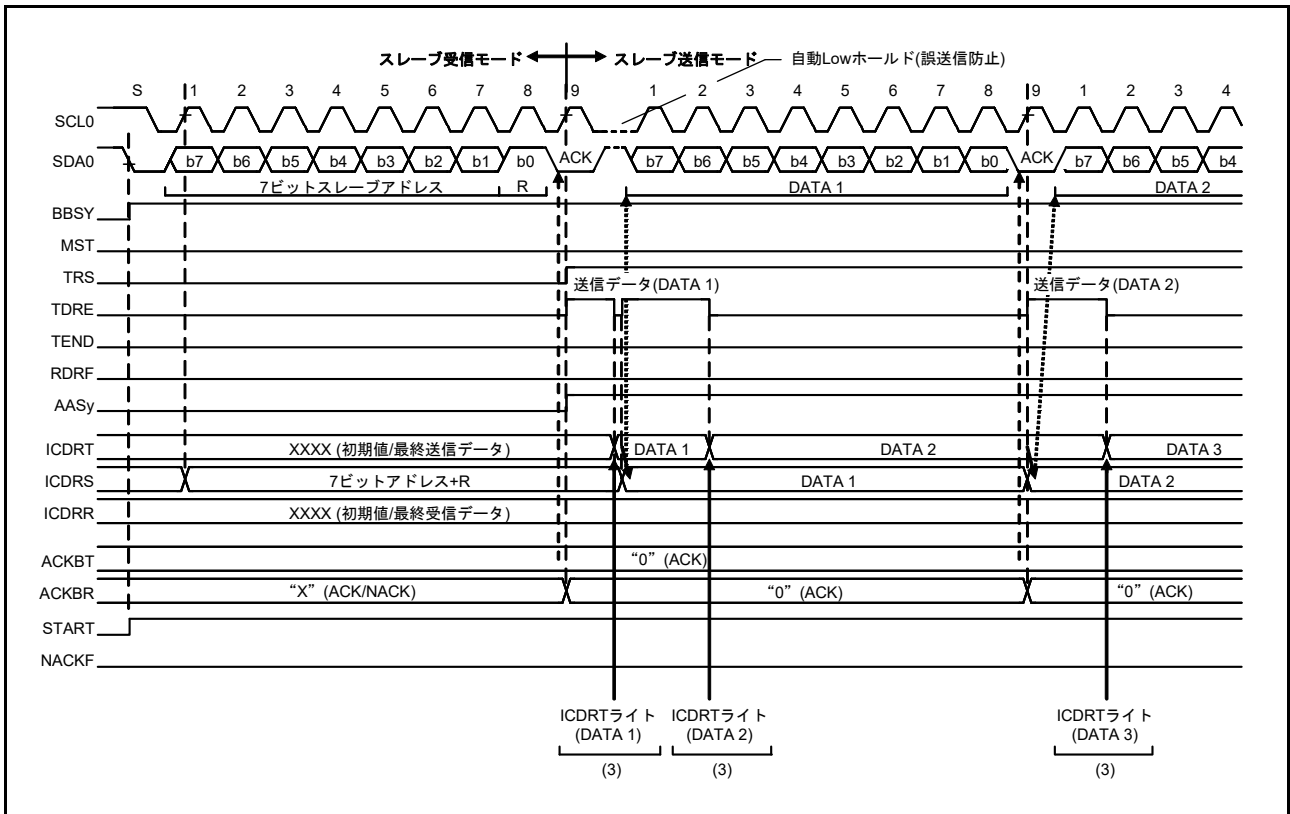


図 27.16 スレーブ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

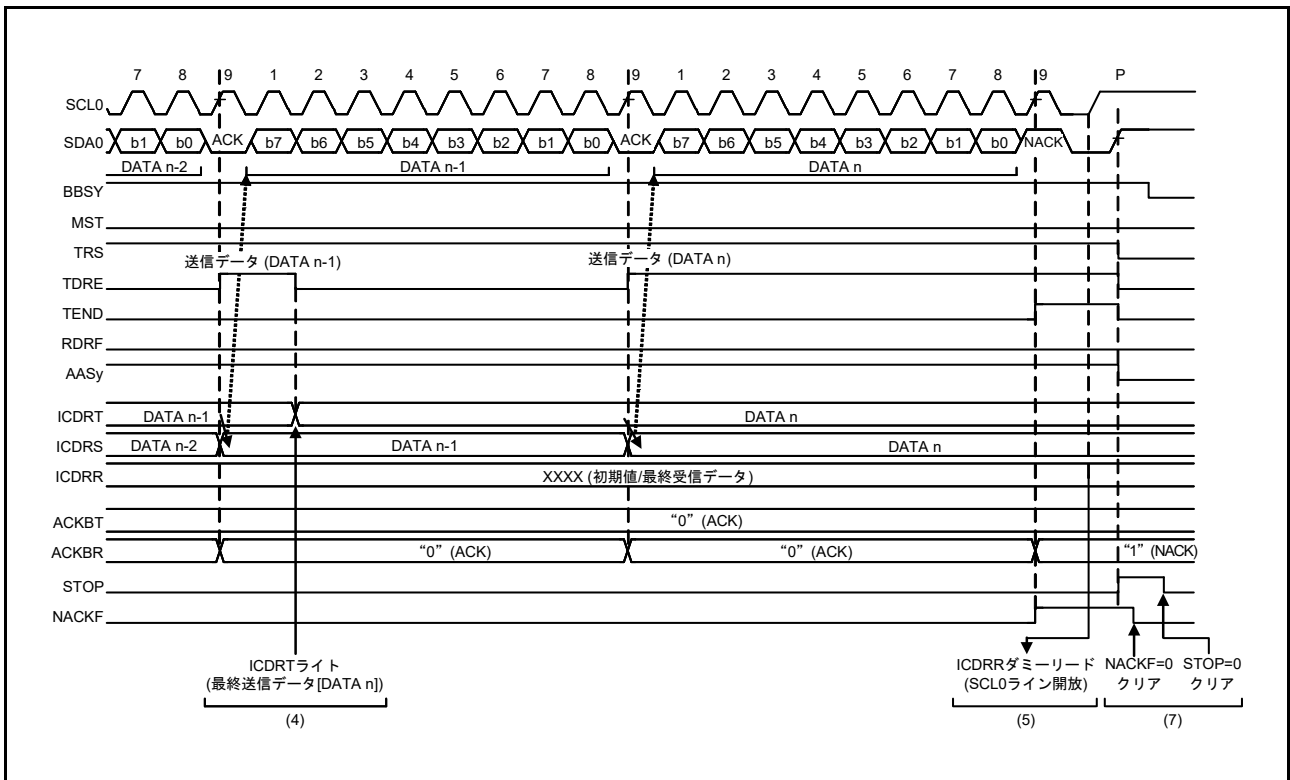


図 27.17 スレーブ送信の動作タイミング (2)

27.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 27.18 にスレーブ受信の使用例を図 27.19、図 27.20 にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「27.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“0”なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを“1”にします。
- (3) ICSR2.STOP フラグが“0”で、かつ ICSR2.RDRF フラグが“1”であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。
- (4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に“0”にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが“1”になった状態で次のデータを受信すると、RIIC は RDRF フラグが“1”になるタイミングの 1 つ手前の SCL クロック立ち下がり SCL0 ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCL0 ラインを開放します。ICSR2.STOP フラグが“1”で、かつ ICSR2.RDRF フラグが“1”の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) を自動的に“0”にします。
- (6) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.STOP フラグを“0”にしてください。

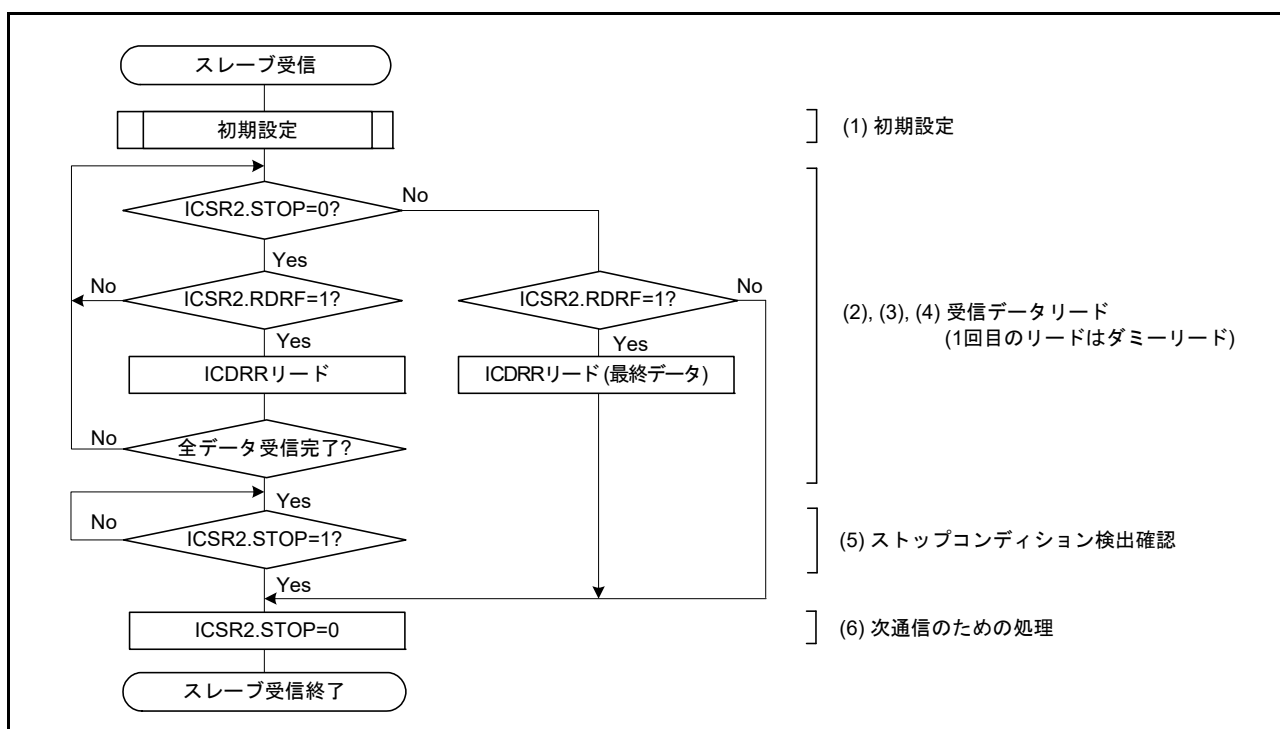


図 27.18 スレーブ受信のフローチャート例

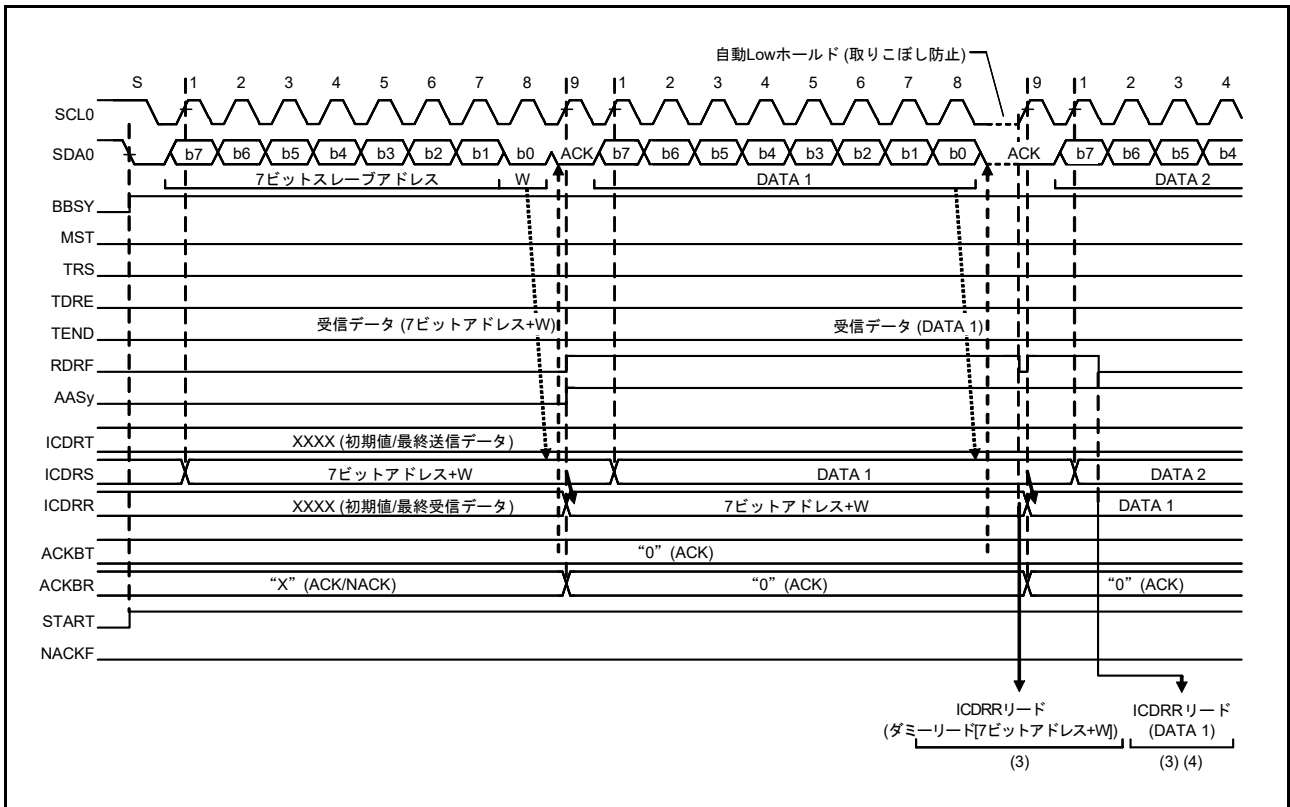


図 27.19 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

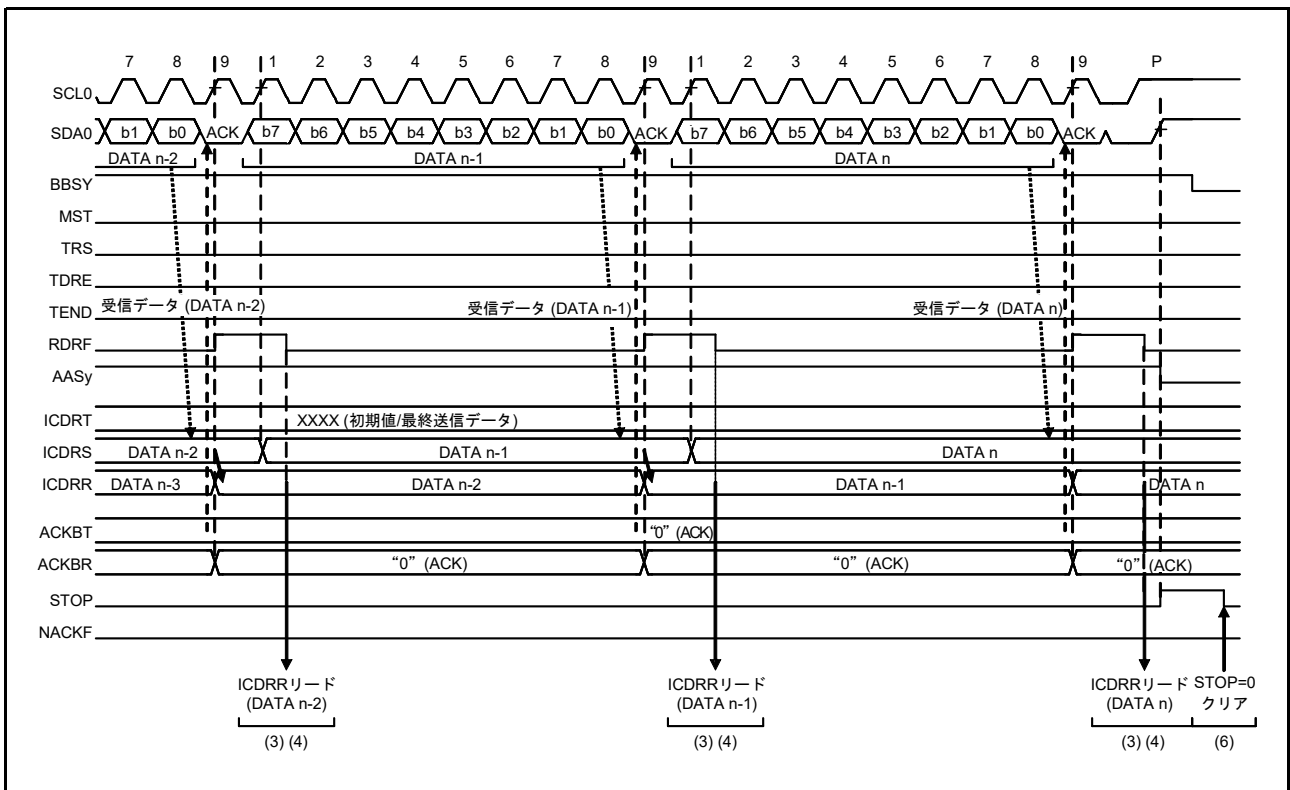


図 27.20 スレーブ受信の動作タイミング (2) (RDRFS ビット = 0 のとき)

27.4 SCL 同期回路

RIIC の SCL クロック生成は SCL0 ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウンタを開始し、High 幅のカウンタが終了すると SCL0 ラインを Low にドライブして立ち下げます。また SCL0 ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウンタを開始し、Low 幅のカウンタが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。これにより SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL クロックの同期化を行う必要があります。この SCL クロックの同期はビットごとに行う必要があります。RIIC はマスタモード時に SCL0 ラインを監視してビットごとに同期を取りながら SCL クロックを生成する機能 (SCL 同期回路) を備えています。

RIIC が SCL0 ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウンタ中に他のマスタデバイスの SCL クロック出力により SCL0 ラインが立ち下げられた場合、RIIC は SCL0 ラインの立ち下がりを検出すると High 幅のカウンタアップ動作を中断し、SCL0 ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウンタアップを開始します。Low 幅のカウンタが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。このとき他のマスタデバイスの SCL クロックの Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCL0 ラインが開放され SCL クロックが立ち上がります。そのため SCL クロック出力衝突時の SCL クロックの High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが“1”のとき有効です。

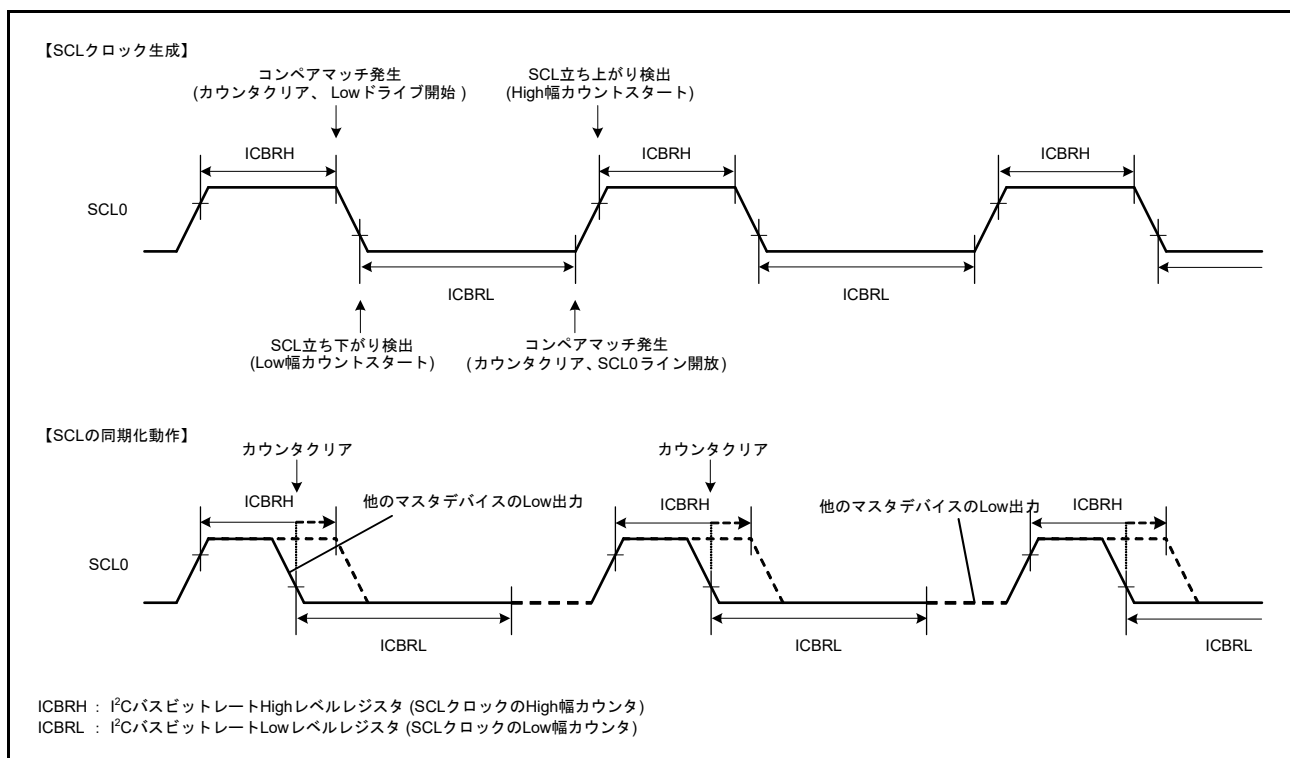


図 27.21 RIIC の SCL クロック生成および SCL 同期化動作

27.5 SDA出力遅延機能

RIICはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング(発行動作(開始/再開始/停止)、データ出力、ACK/NACK出力)を遅延させることができます。

SDA出力遅延機能は、SCLクロックの立ち上がり検出からSDA出力を遅延させ、確実にSCLクロックのLow期間中にSDA出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用する機能で、SMBusのデータホールド時間: 300 ns (min)の仕様を満たす目的でも使用することができます。

このSDA出力遅延機能はICMR2.SDDL[2:0]ビットが“000b”以外のとき有効で、SDDL[2:0]ビットが“000b”のとき無効です。

SDA出力遅延機能が有効(SDDL[2:0]ビットが“000b”以外)のとき、SDA出力遅延カウンタはICMR2.DLCSビットで選択された内部基準クロック(IICφ)またはその2分周クロック(IICφ/2)をカウントソースとしてSDDL[2:0]ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル分のカウントが終了した時点でRIICはSDA出力(発行動作(開始/再開始/停止)、データ出力、ACK/NACK出力)を行います。

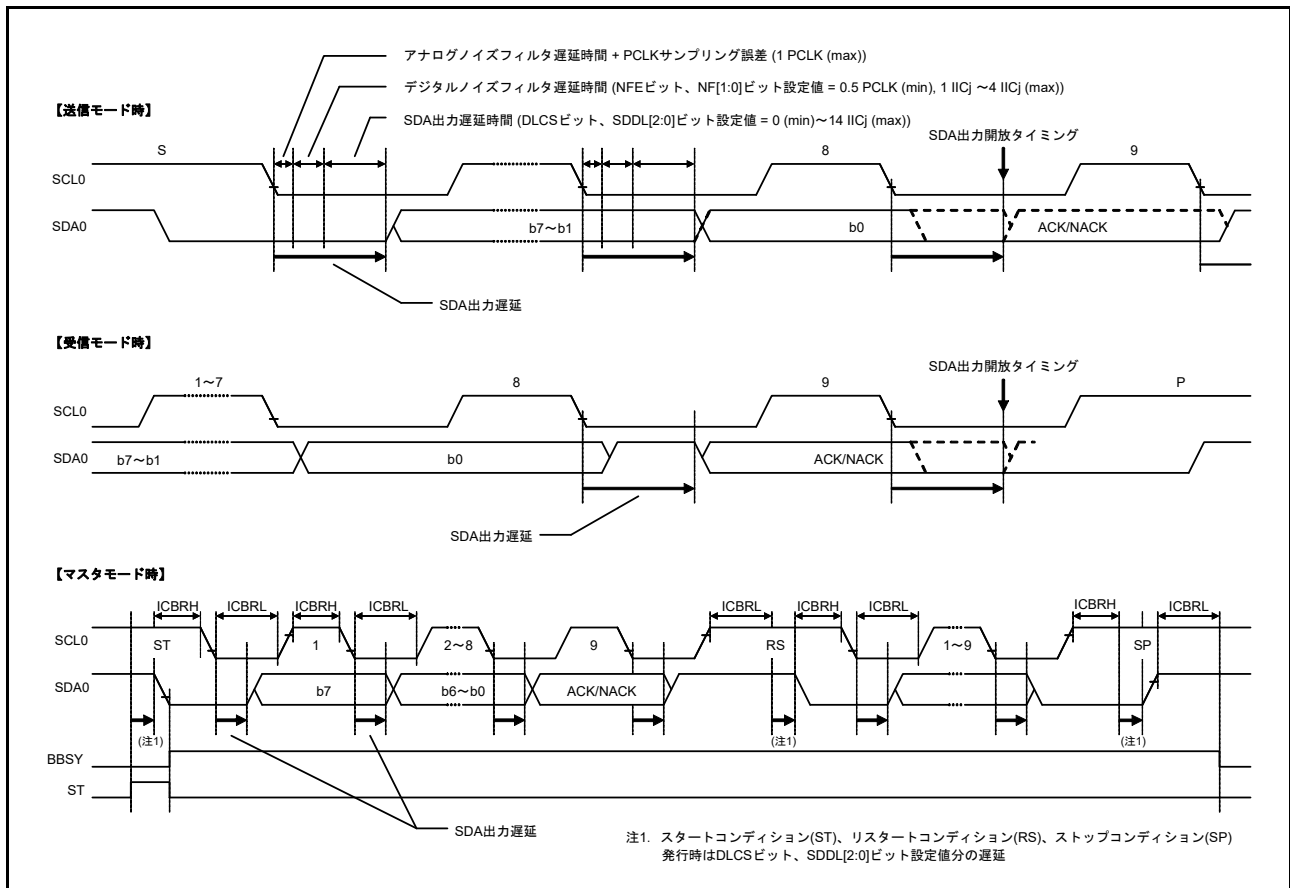


図 27.22 SDA出力遅延タイミング

27.6 デジタルノイズフィルタ回路

SCL0 端子および SDA0 端子の状態は、アナログノイズフィルタ回路およびデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 27.23 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて $1 IIC\phi \sim 4 IIC\phi$ サイクル分となります。

SCL0 端子入力信号 (または SDA0 端子入力信号) は $IIC\phi$ の立ち下がり でサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、 $PCLK = 4 \text{ MHz}$ 時の 400 kbps 通信のように内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上、ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止 (ICFER.NFE ビット = 0) し、アナログノイズフィルタ回路のみを使用することが可能です。

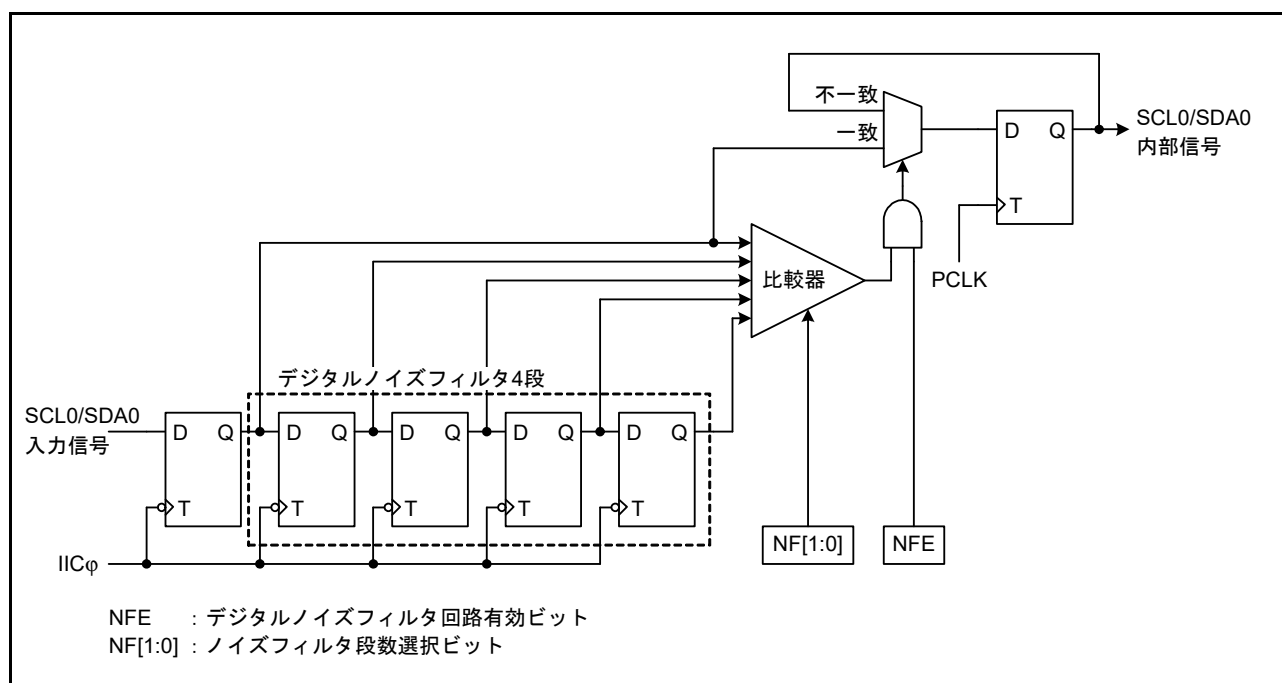


図 27.23 デジタルノイズフィルタ回路のブロック図

27.7 アドレス一致検出機能

RIICはジェネラルコールアドレス、ホストアドレスの他に3種類のスレーブアドレスを設定可能です。またスレーブアドレスには7ビットアドレスまたは10ビットアドレスの設定が可能です。

27.7.1 スレーブアドレス一致検出機能

RIICは3種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyEビット(y=0~2)が“1”のとき、SARUy/SARLyレジスタ(y=0~2)に設定されたスレーブアドレスを検出することができます。

RIICは設定されたスレーブアドレス一致を検出すると、SCLクロックの9クロック目の立ち上がりで該当するICSR1.AASyフラグ(y=0~2)を“1”にし、続くR/W#ビットによりICSR2.RDRFフラグまたはICSR2.TDREフラグを“1”にします。これにより受信データフル割り込み(RXI)または送信データエンpty割り込み(TXI)を発生させることができ、AASyフラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図 27.24 ~ 図 27.26 に AASy フラグが“1”になるタイミングを示します。

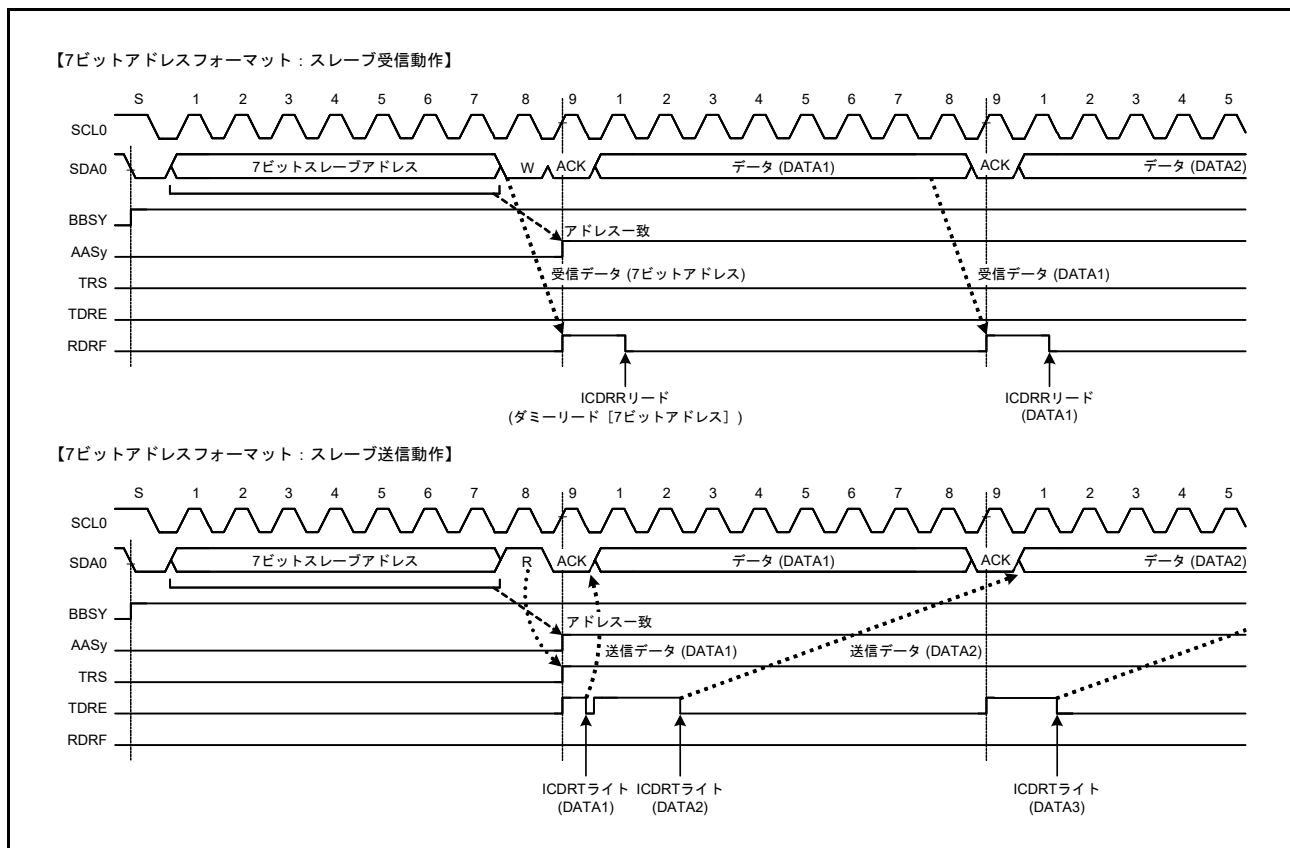


図 27.24 7ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

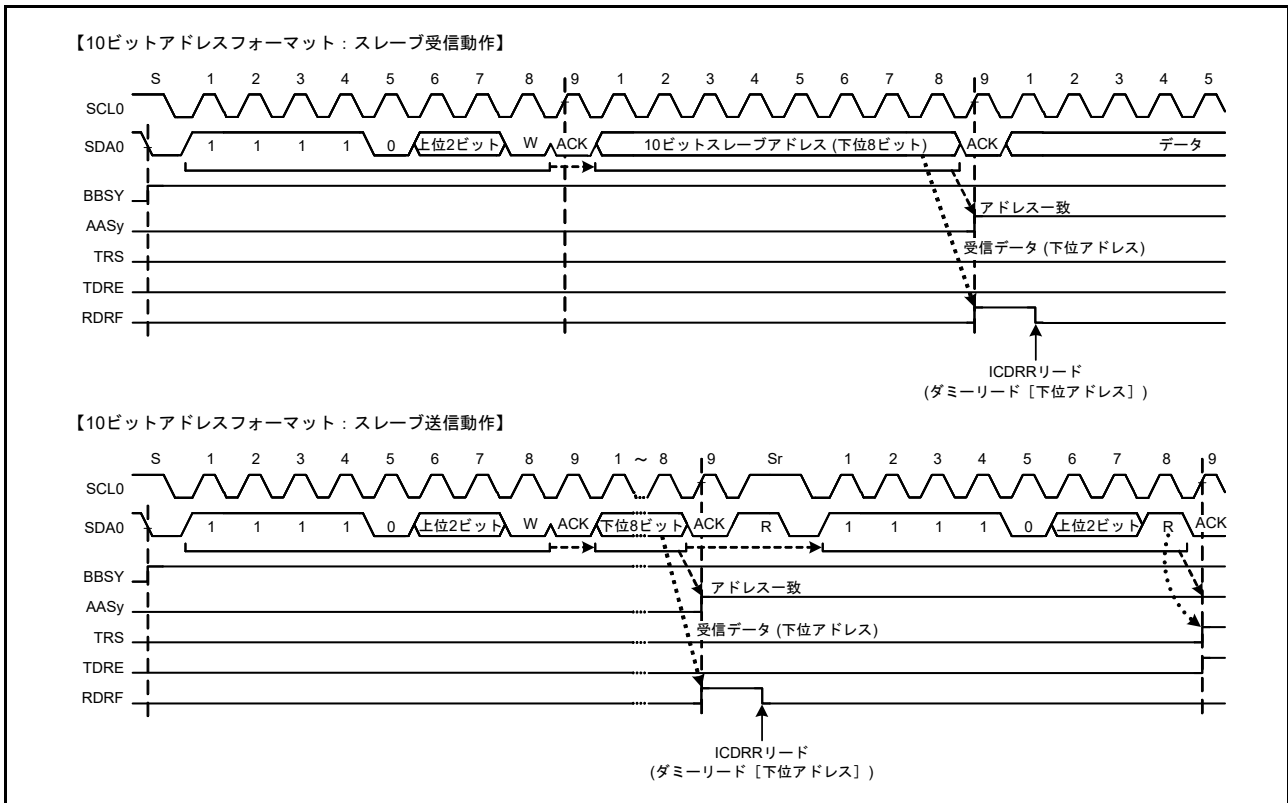


図 27.25 10ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

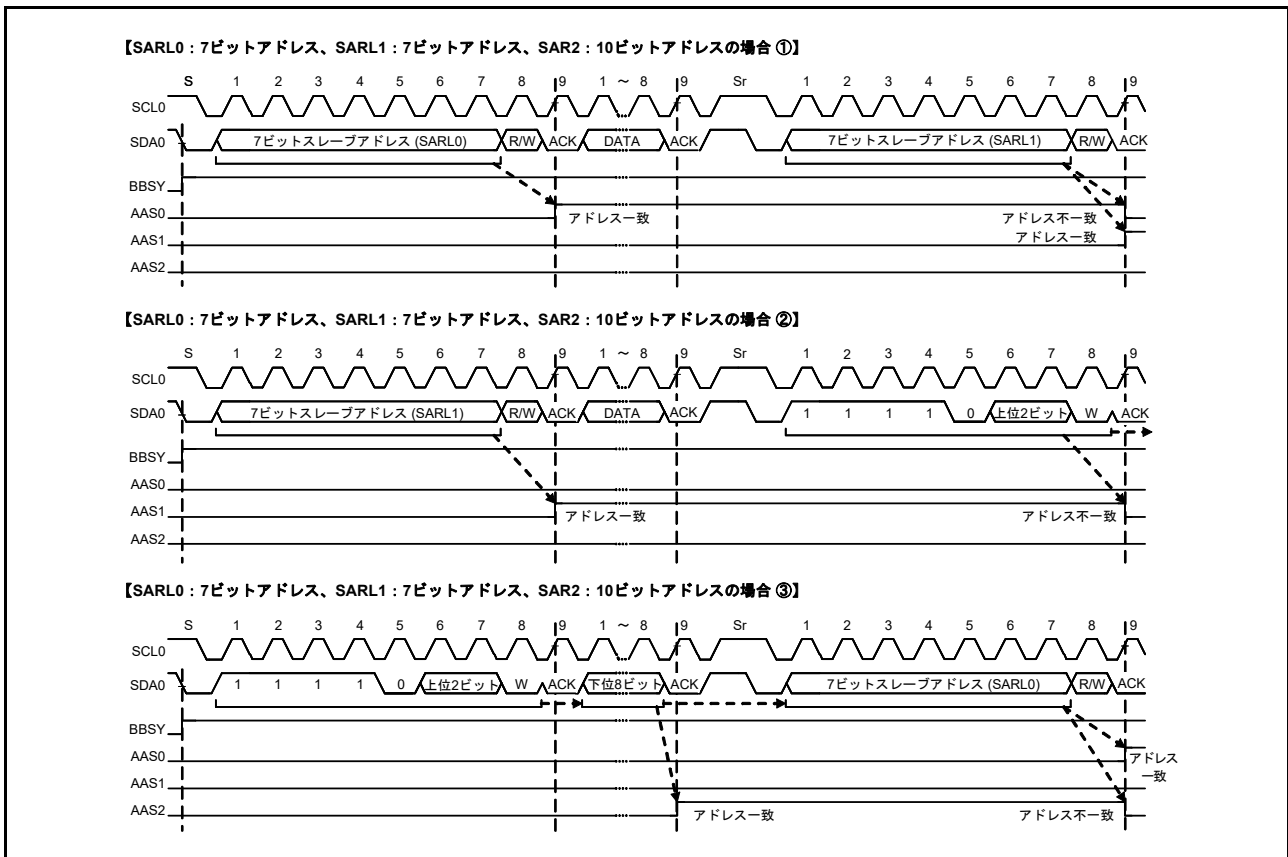


図 27.26 7ビット/10ビットアドレスフォーマット混在時に AASy フラグが“1”または“0”になるタイミング

27.7.2 ジェネラルコールアドレス検出機能

RIICはジェネラルコールアドレス (0000 000b + 0 (write)) の検出機能を備えています。ICSER.GCAE ビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b + 1 (read) (スタートバイト) だった場合、RIICはこのアドレスを All “0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIICはジェネラルコールアドレスを検出すると、SCLクロックの9クロック目の立ち上がりで ICSR1.GCA フラグを“1”にし、同時に ICSR2.RDRF フラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

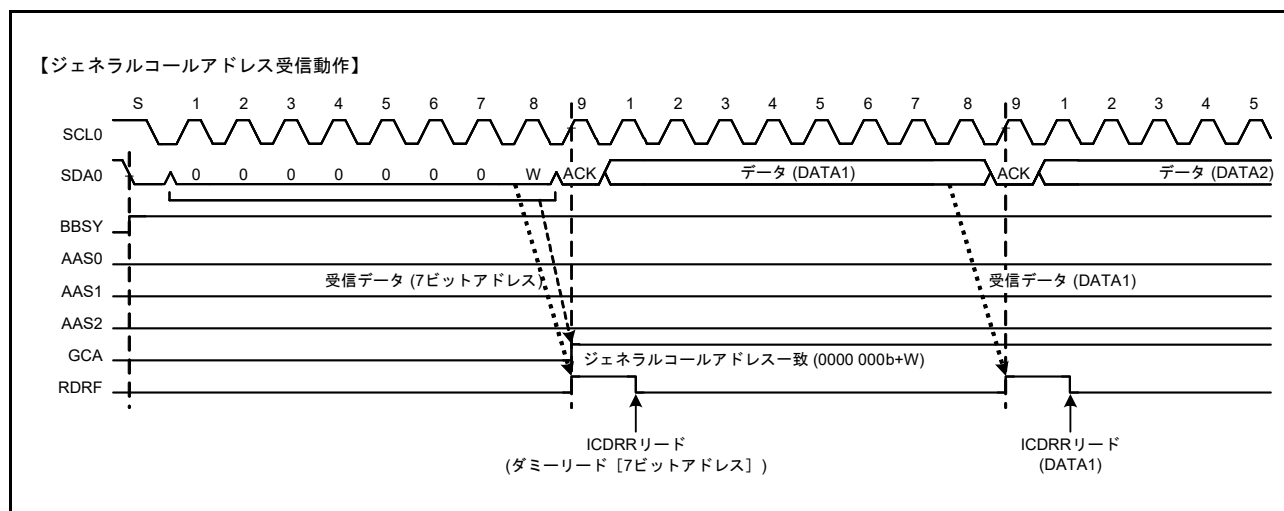


図 27.27 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

27.7.3 デバイス ID アドレス検出機能

RIICはI²Cバス(Rev.03)に準拠したデバイスIDアドレスの検出機能を備えています。ICSER.DIDEビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の1バイト目に1111 100bを受信すると、RIICはこのアドレスをデバイスIDアドレスと認識し、続くR/W#ビットが“0”のときSCLクロックの8クロック目の立ち上がりでICSR1.DIDフラグを“1”にした後、2バイト目以降と自スレーブアドレスとの比較動作を行います。この2バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当するICSR1.AASyフラグ(y=0~2)が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の1バイト目が再びデバイスIDアドレス(1111 100b)と一致し、続くR/W#ビットが“1”のときRIICは続く2バイト目以降はアドレス比較動作を行わず、ICSR2.TDREフラグを“1”にします。

デバイスIDアドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイスIDアドレスと不一致の場合、DIDフラグを“0”にし、スタートコンディションまたはリスタートコンディション後の1バイト目がデバイスIDアドレス(1111 100b)と一致し、かつR/W#ビットが“0”のときDIDフラグを“1”にセットし、続く2バイト目以降をスレーブアドレスと比較します。R/W#ビットが“1”の場合、DIDフラグは前値の状態を継続し、2バイト目以降のスレーブアドレス比較を行いません。そのため、TDREフラグが“1”であることを確認後DIDフラグをチェックすることで、デバイスIDを受信したことを確認することができます。

なお、一連のデバイスID受信後にホストに送信するデバイスIDフィールドとして必要な情報(3バイト分: メーカー[12ビット]+部品識別[9ビット]+リビジョン[3ビット])は、通常の送信データと同様あらかじめ準備してください。また、デバイスIDフィールドに必要な情報の詳細についてはNXP社にお問い合わせください。

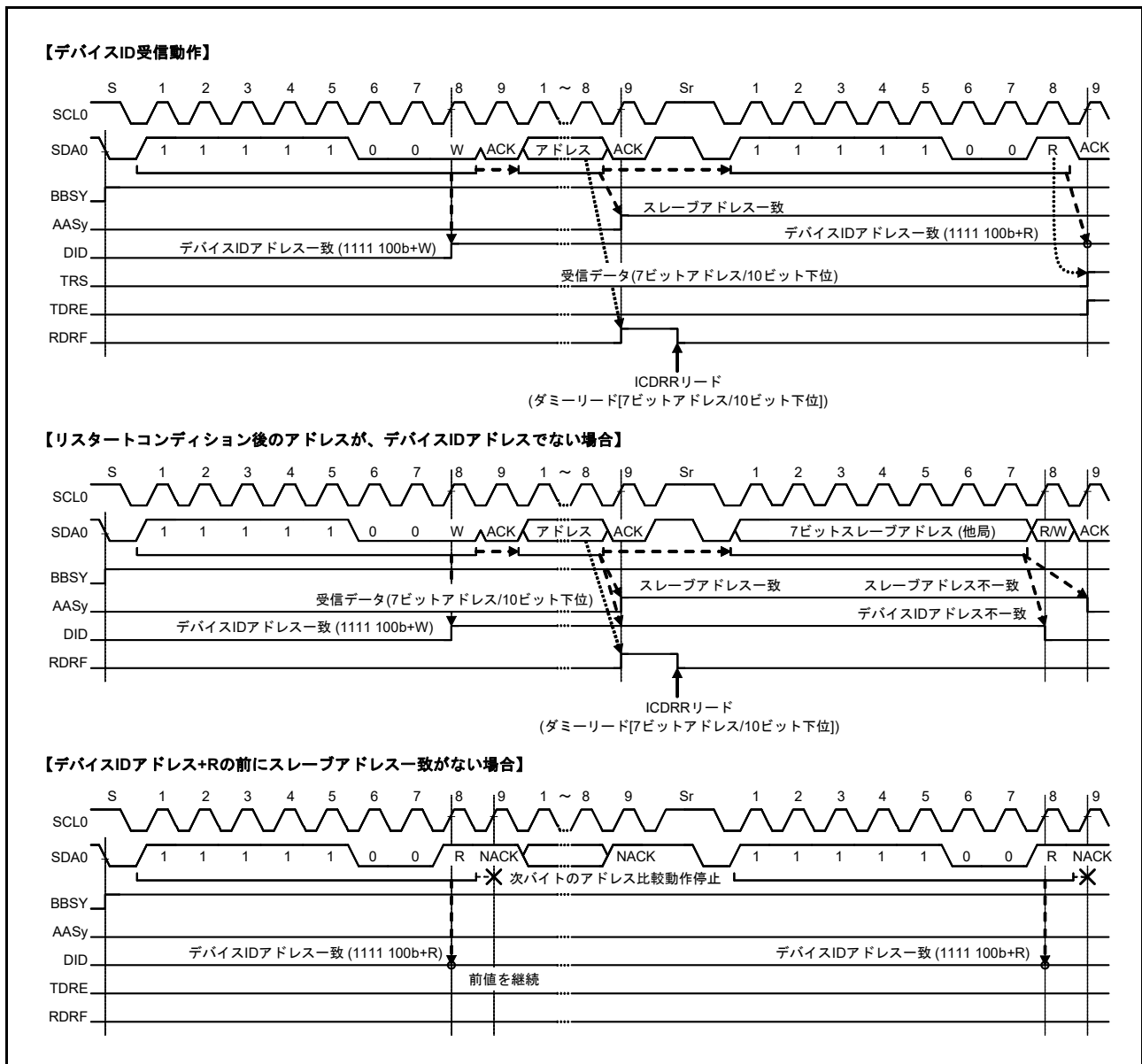


図 27.28 デバイス ID アドレス受信時の AASy、DID フラグセット/クリアタイミング

27.7.4 ホストアドレス検出機能

RIICにはSMBus動作時にホストアドレス検出機能を備えています。ICMR3.SMBSビットが“1”のときICSER.HOAEビットを“1”にすると、スレーブ受信モード (ICCR2.MST, TRSビット=00b) にホストアドレス (0001 000b) を検出することが可能です。

RIICはホストアドレスを検出すると、SCLクロックの9クロック目の立ち上がりでICSR1.HOAフラグを“1”にし、Wrビット (R/W#ビットに“0”を受信) のときICSR2.RDRFフラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、HOAフラグを確認することでスマートバッテリーなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス (0001 000b) に続くビットがRdビット (R/W#ビットに“1”を受信) の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

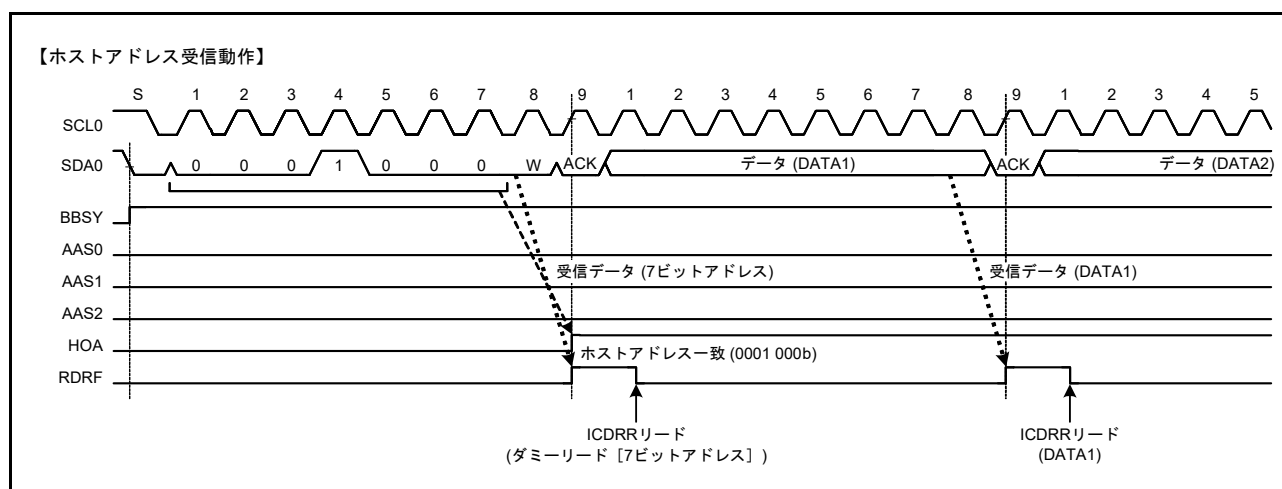


図 27.29 ホストアドレス受信時に HOA フラグが“1”になるタイミング

27.8 SCLの自動Lowホールド機能

27.8.1 送信データ誤送信防止機能

RIICは送信モード時 (ICCR2.TRS ビット=1)、シフトレジスタ (ICDRS レジスタ) が空の状態かつ送信データ (ICDRT レジスタ) が書かれていない場合、以下に示す区間、自動的に SCL0 ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション/リスタートコンディション発行後の Low 区間
- 9クロック目と1クロック目の Low 区間

《スレーブ送信モード》

- 9クロック目と1クロック目の Low 区間

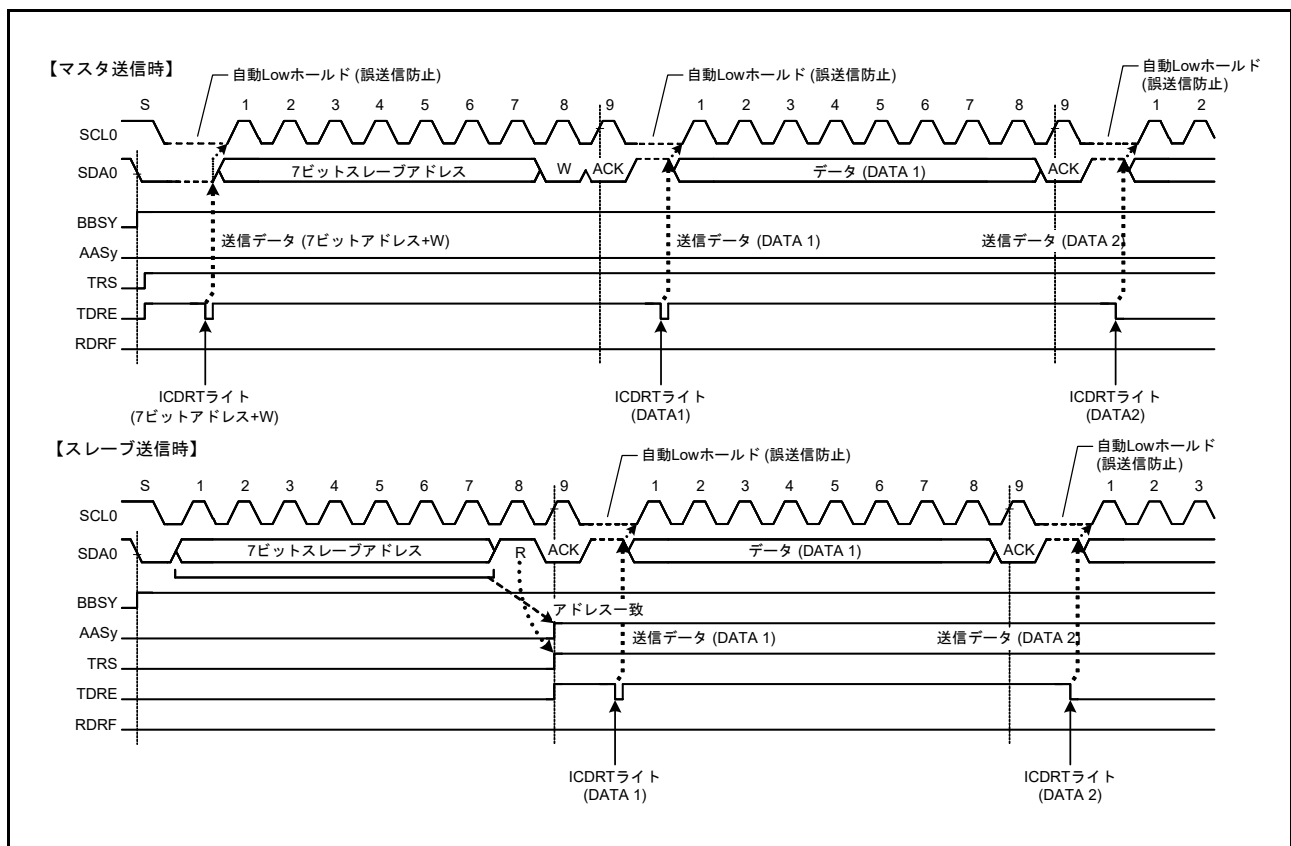


図 27.30 送信モードの自動 Low ホールド動作

27.8.2 NACK 受信転送中断機能

RIICは送信モード時 (ICCR2.TRS ビット = 1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKCE ビットが “1” (転送中断許可) のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0 の状態)、SCL クロックの 9 クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が “0” のときの SDA0 ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。またマスタ送信モードの場合には NACKF フラグを “0” にした後、リスタートコンディション発行またはストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。

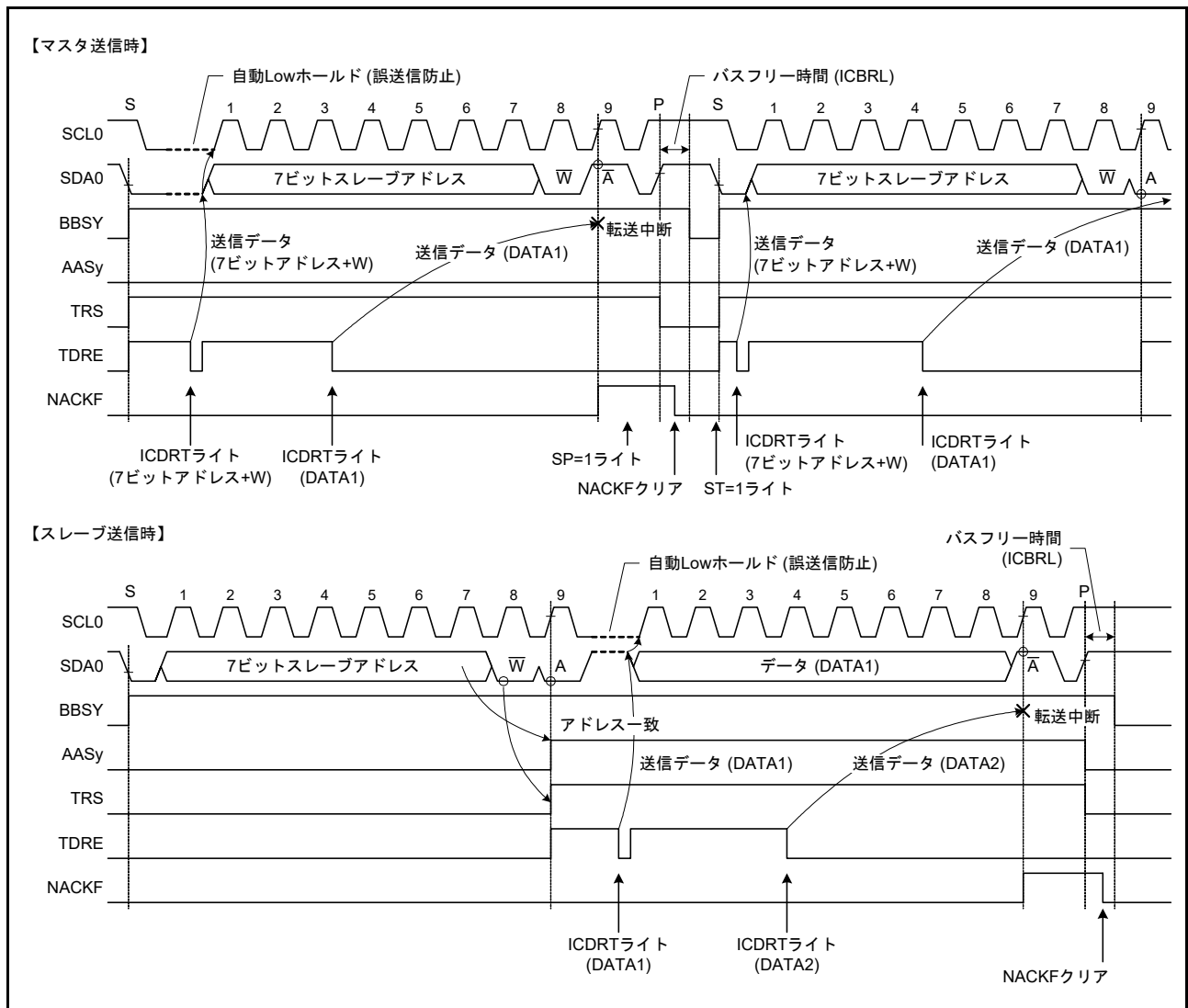


図 27.31 NACK 受信時の転送中断動作 (NACKCE ビット = 1 のとき)

27.8.3 受信データ取りこぼし防止機能

RIICは受信モード時 (ICCR2.TRS ビット = 0)、受信データフル (ICSR2.RDRF フラグ = 1) の状態で受信データ (ICDRR レジスタ) の読み出しが1転送バイト以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の1つ手前で自動的に SCL0 ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIICでは ICMR3.WAIT, RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる1バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを“1”にすると、RIICは WAIT ビット機能による1バイト受信動作になります。ICMR3.RDRFS ビットが“0”のとき、RIICは SCL クロックの8クロック目の立ち下がりから9クロック目の立ち下がり期間のアクノリッジビットには自動的に ICMR3.ACKBT ビットの内容が送出され、9クロック目立ち下がりを検出すると WAIT ビット機能により自動的に SCL0 ラインを Low にホールドします。この Low ホールドは ICDRR レジスタの読み出しによって解除されます。そのため1バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

(2) RDRFS ビットによる1バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを“1”にすると、RIICは RDRFS ビット機能による1バイト受信動作になります。RDRFS ビットを“1”にすると、受信データフルフラグ (ICSR2.RDRF フラグ) が“1”になるタイミングが SCL クロックの8クロック目の立ち上がりに変更され、8クロック目の立ち下がりを検出すると自動的に SCL0 ラインを Low にホールドします。この Low ホールドは ICMR3.ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため1バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

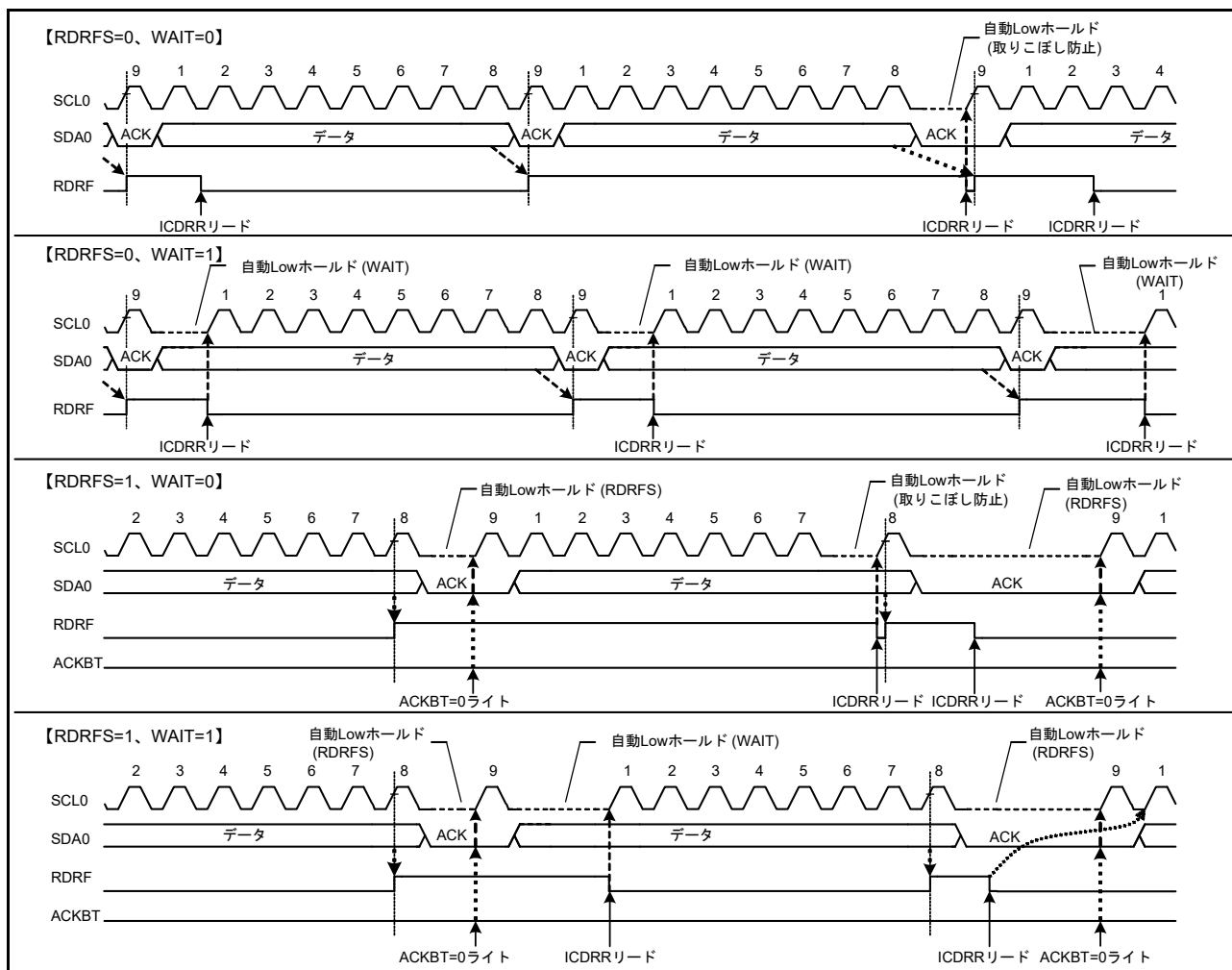


図 27.32 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

27.9 アービトレーションロスト検出機能

RIICにはI²Cバス仕様で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

27.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIICはスタートコンディション発行の際SDA0ラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDA0ラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICCR2.BBSYフラグが“1”(バスビジー中)のときにICCR2.STビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ(SDA信号)とSDA0ラインに不一致が生じた場合(SDA出力がHigh出力(SDA0端子はハイインピーダンス)で、SDAラインにLowを検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICはスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、ICFER.MALEビットが“1”(マスタアービトレーションロスト検出許可)の状態以下に示す条件が成立したとき、アービトレーションロストを検出します。

マスタアービトレーションロスト条件

- ICCR2.BBSYフラグが“0”の状態(ICCR2.STビットを“1”)にしてスタートコンディションを発行したときにSDA信号とSDA0ライン上の信号の状態が不一致のとき(スタートコンディション発行エラー)
- ICCR2.BBSYフラグが“1”でICCR2.STビットを“1”)にしたとき(スタートコンディション二重発行エラー)
- マスタ送信モード時(ICCR2.MST, TRSビット=11b)、アクノリッジを除く送信データ(SDA信号)とSDA0ライン上の信号の状態が不一致のとき

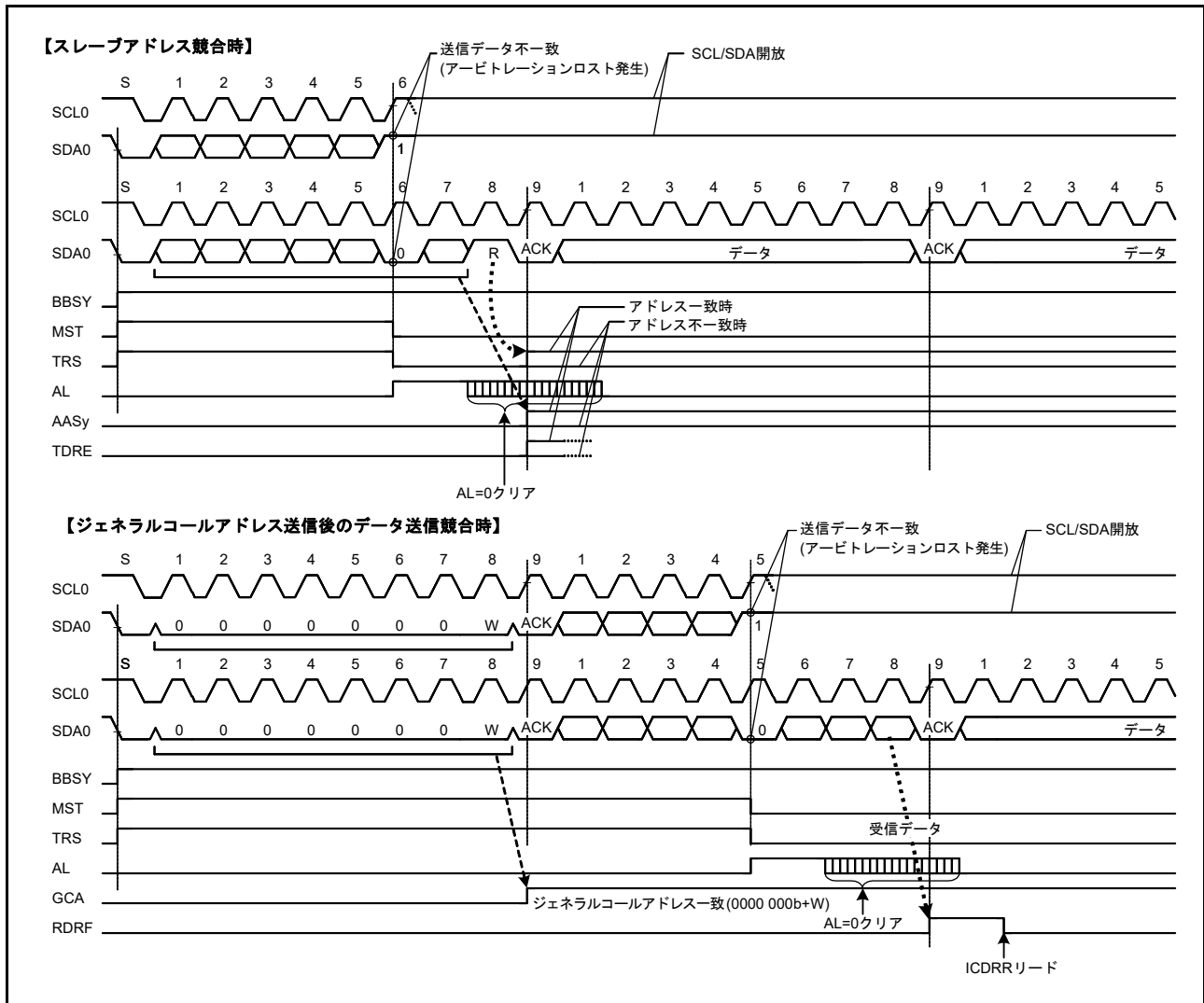


図 27.33 マスタアービトレーションロスト検出動作例 (MALE ビット = 1 のとき)

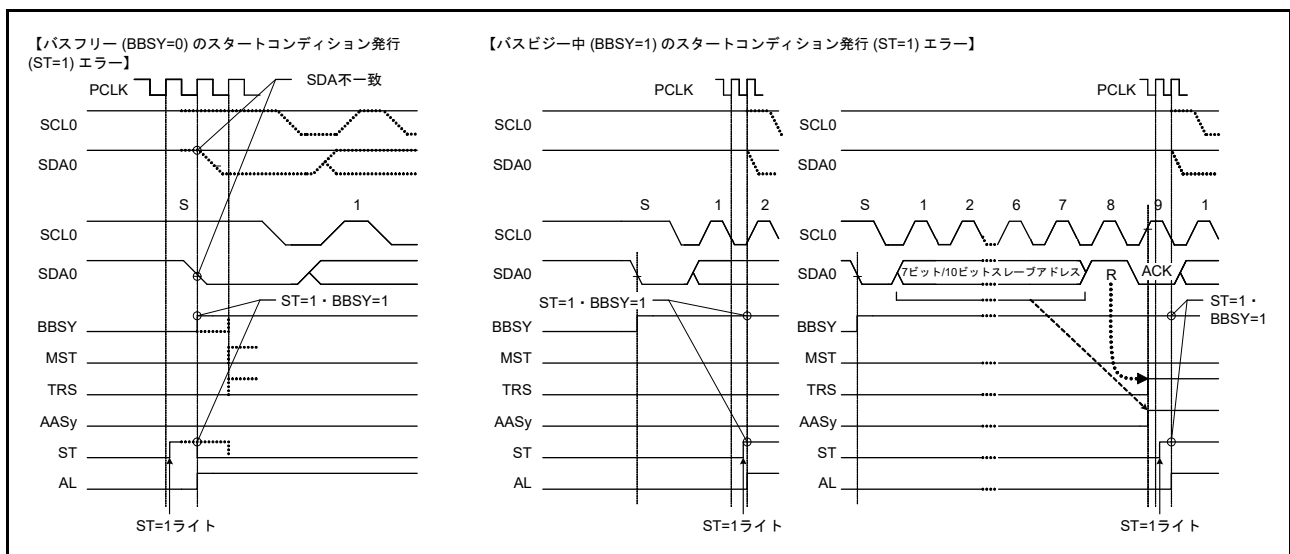


図 27.34 スタートコンディション発行時のアービトレーションロスト (MALE ビット = 1 のとき)

27.9.2 NACK 送信アービトレーションロス検出機能 (NALE ビット)

RIICは受信モード時でNACK送信時に出力したSDA信号とSDA0ライン上の信号の状態が不一致の場合(SDA出力がHigh出力(SDA0端子はハイインピーダンス)で、SDA0ラインにLowを検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロス機能は、主にマルチマスタのシステムにおいて2つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際にNACK送信とACK送信が衝突することで発生します。これは2つ以上のマスタデバイスが1つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図27.35にNACK送信アービトレーションロス検出動作例を示します。

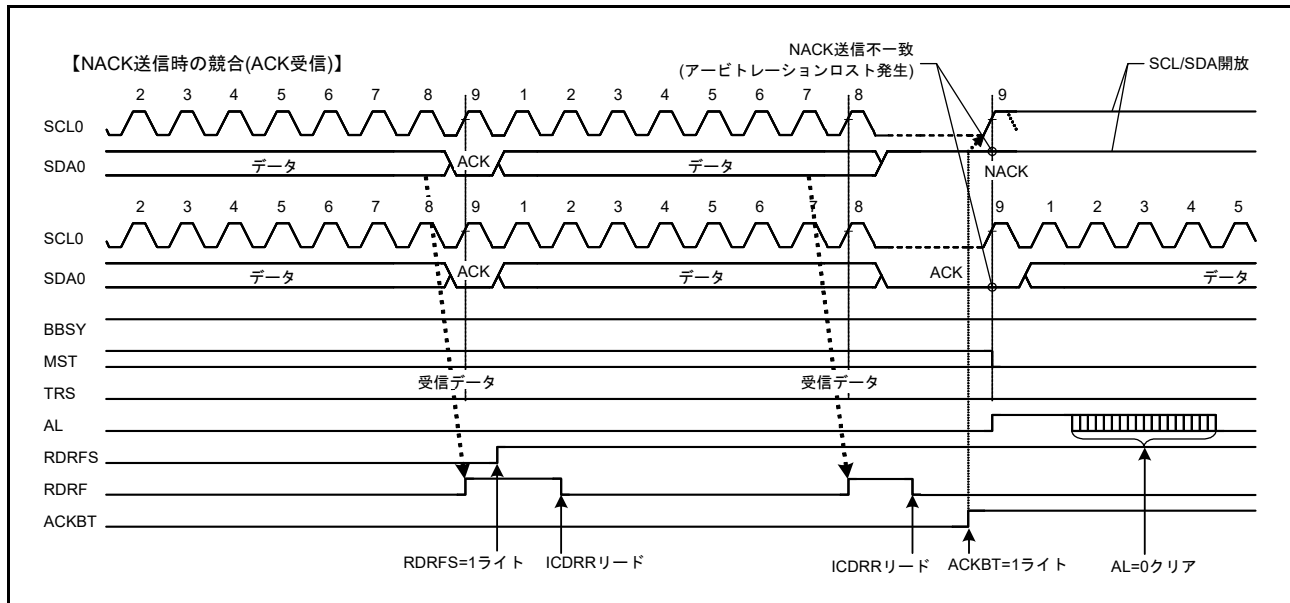


図 27.35 NACK 送信アービトレーションロス検出動作例 (NALE ビット = 1 のとき)

2つのマスタデバイス(マスタA、マスタB)と1つのスレーブデバイスがバス上に接続されている場合に例に挙げて説明します。マスタAはスレーブデバイスから2バイト受信、マスタBはスレーブデバイスから4バイト分のデータ受信を行うものとします。

このときマスタAとマスタBが同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタA、マスタBともスレーブデバイスアクセス時にアービトレーションロスが発生しません。そのためマスタA、マスタBともどちらもバス権を取得したものと認識して動作します。ここでマスタAは、スレーブデバイスから最終バイトである2バイト分の受信が完了した時点でNACKを送信します。一方マスタBは、スレーブデバイスから必要な4バイト受信に満たないためACK送信を行います。このときマスタAのNACK送信とマスタBのACK送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタAはマスタBが出したACK送信を検出できないままストップコンディション発行動作を行うため、マスタBのSCLクロック出力と競合し通信を阻害します。

RIICはこのようなNACK送信時にACKを受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストを発生させることができます。

NACK送信アービトレーションロスが発生した場合、RIICはスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

またSMBusのARPコマンド処理において、アサインアドレスのUDID(ユニークデバイスアイデンティファイ)不一致時のNACK送信以降、およびアサインアドレス確定後のGetUDID(汎用)のNACK送信以降の余剰処理("FFh"送信処理)を省くことができます。

なお NACK 送信アービトレーションロスト検出は、ICFER.NALE ビットが“1” (NACK 送信アービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

NACK 送信アービトレーションロスト条件

- NACK 送信時 (ICMR3.ACKBT ビット=1)、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき (ACK を受信したとき)

27.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態に不一致が生じた場合 (出力した SDA 出力が High 出力 (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID (ユニークデバイスアイデンティファイ) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理 (“FFh” 送信処理) を省くことができます。

なおスレーブアービトレーションロスト検出は、ICFER.SALE ビットが“1” (スレーブアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

スレーブアービトレーションロスト条件

- スレーブ送信モード時 (ICCR2.MST, TRS ビット=01b)、アクノリッジを除く送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態が不一致のとき

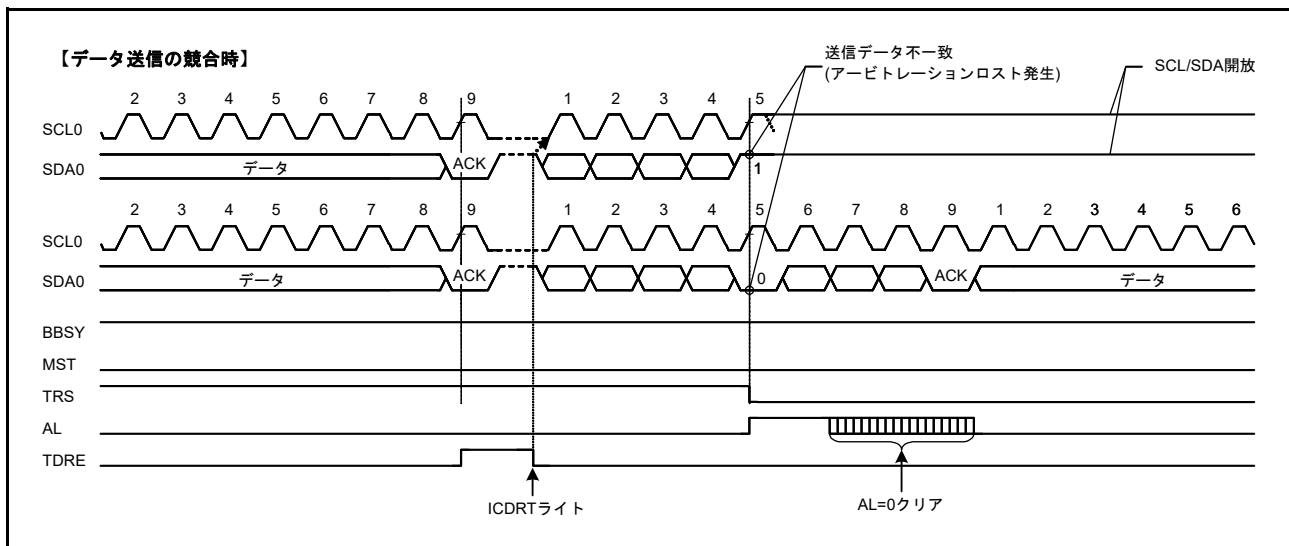


図 27.36 スレーブアービトレーションロスト検出動作例 (SALE ビット = 1 のとき)

27.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

27.10.1 スタートコンディション発行動作

RIICは、ICCR2.STビットによりスタートコンディションの発行を行います。

STビットを“1”にすると、スタートコンディション発行の要求が行われICCR2.BBSYフラグが“0”(バスフリー)の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIICは自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

スタートコンディション発行動作

- (1) SDA0ラインを立ち下げ (High から Low に遷移)
- (2) ICBRHレジスタで設定した時間スタートコンディションのホールド時間を確保
- (3) SCL0ラインを立ち下げ (High から Low に遷移)
- (4) SCL0ラインのLowを検出後、ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保

27.10.2 リスタートコンディション発行動作

RIICはICCR2.RSビットによりリスタートコンディションの発行を行います。

RSビットを“1”にするとリスタートコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”(バスビジー)の状態かつICCR2.MSTビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

リスタートコンディション発行動作

- (1) SDA0ラインを開放
- (2) ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保
- (3) SCL0ラインを開放 (Low から High に遷移)
- (4) SCL0ラインのHigh検出後、ICBRLレジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- (5) SDA0ラインを立ち下げ (High から Low に遷移)
- (6) ICBRHレジスタで設定した時間リスタートコンディションのホールド時間を確保
- (7) SCL0ラインを立ち下げ (High から Low に遷移)
- (8) SCL0ラインのLowを検出後、ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保

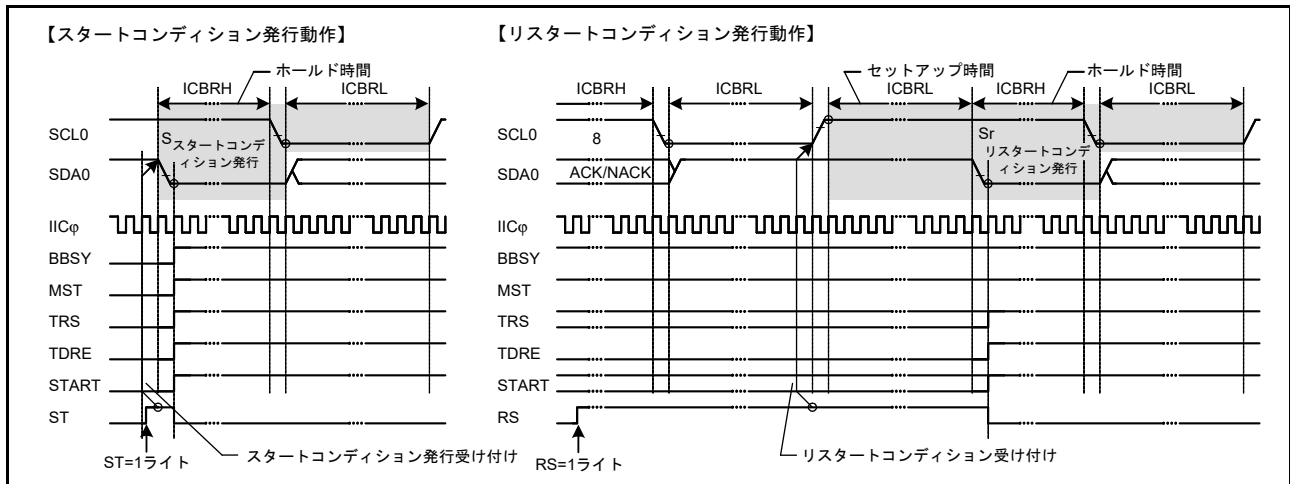


図 27.37 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

27.10.3 ストップコンディション発行動作

RIIC は ICCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを“1”にするとストップコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが“1” (バスビジー) の状態であつ ICCR2.MST ビットが“1” (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

ストップコンディション発行動作

- (1) SDA0 ラインを立ち下げ (High から Low に遷移)
- (2) ICBRL レジスタで設定した時間 SCL0 ラインの Low 幅を確保
- (3) SCL0 ラインを開放 (Low から High に遷移)
- (4) SCL0 ラインの High 検出後、ICBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
- (5) SDA0 ラインを開放 (Low から High に遷移)
- (6) ICBRL レジスタで設定した時間バスフリー時間を確保
- (7) BBSY フラグクリア (バス権解放)

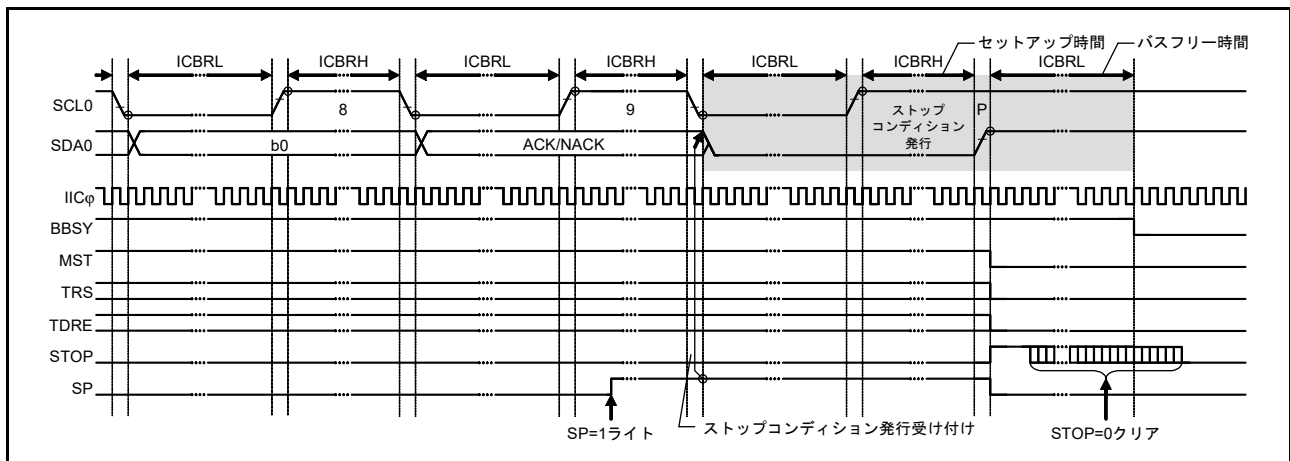


図 27.38 ストップコンディション発行動作タイミング (SP ビット)

27.11 バスハングアップ

I²Cバスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ずれが発生すると、SCL0ラインやSDA0ラインが固定されたままバスハングアップを起こす場合があります。

RIICは、このバスハングアップ状態に対しSCL0ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ずれによるバスハングアップ状態を解除するためのSCLクロック追加出力機能およびRIICリセット機能、内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAIビットを確認することで、RIIC自身がSCL0ライン/SDA0ラインにLow出力しているか、あるいは通信デバイス側がLow出力しているかどうかを確認することが可能です。

27.11.1 タイムアウト検出機能

RIICにはSCL0ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIICは、SCL0ラインがLowまたはHighに固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能はSCL0ラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCL0ラインに変化(立ち上がり/立ち下がり)があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL0ラインに変化がないまま内部カウンタがオーバフローすると、RIICはタイムアウトを検出しバスハングアップを知らせることができます。

このタイムアウト検出機能はICFER.TMOEビットが“1”のとき有効で、以下の期間にSCL0ラインのLow固定またはHigh固定のバスハングアップを検出します。

- マスタモード (ICCR2.MST ビット = 1) で、バスビジー (ICCR2.BBSY フラグ = 1)
- スレーブモード (ICCR2.MST ビット = 0) で、自スレーブアドレス一致 (ICSR1 レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSY フラグ = 1)
- スタートコンディション発行要求中 (ICCR2.ST ビット = 1) で、バスフリー (ICCR2.BBSY フラグ = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOS ビット = 0) 16ビットカウンタ、ショートモード選択時 (TMOS ビット = 1) 14ビットカウンタとなります。

また内部カウンタのカウント動作は、SCL0ラインがLowのときカウントさせるか、Highのときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH, TMOLビットの設定により選択することが可能です。なおTMOH, TMOLビットの両方を“0”にした場合は、内部カウント動作を行いません。

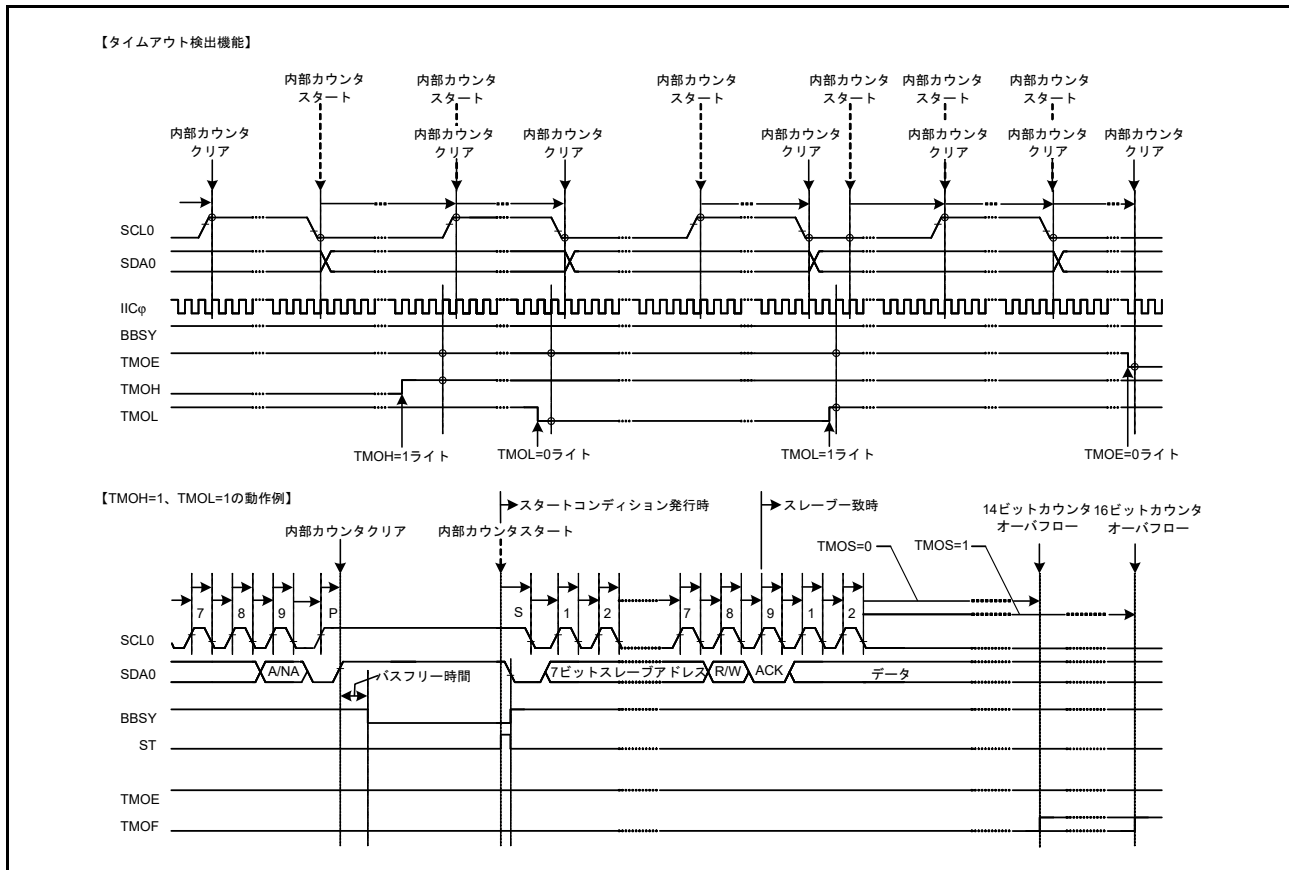


図 27.39 タイムアウト検出機能

27.11.2 SCL クロック追加出力機能

RIICにはマスタモード時、スレーブデバイスとの同期ずれによるスレーブデバイスのSDA0ラインLow固定状態を開放するためのSCLクロック追加出力機能を備えています。

SCLクロック追加出力機能は、SCLクロックを1クロック単位で追加出力をする機能で、主にマスタモード時にスレーブデバイスがSDA0ラインをLow固定状態のままストップコンディションを発行できない場合に、スレーブデバイスのSDA0ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCLクロック追加出力は、ICCR1.CLOビットを“1”にすると、ICMR1.CKS[2:0]ビット、ICBRH、ICBRLレジスタで設定された転送速度のSCLクロックが1クロック分追加クロックとして出力されます。1クロック分の追加クロック出力が終了するとCLOビットは自動的に“0”になります。そのためソフトウェアでCLOビットが“0”であることを確認後“1”を書くことにより、追加クロックを連続的に出力することができます。

RIICがマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ずれが原因でスレーブデバイスがSDA0ラインをLow固定状態のままストップコンディションを発行できないバスハングアップのとき、SCLクロック追加出力機能を使用して追加クロックを1クロックずつ出力することでスレーブデバイスのSDA0ラインのLow固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスのSDA0ライン開放はICCR1.SDAIビットをチェックすることで確認することができます。スレーブデバイスのSDA0ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合はICFER.MALEビットを“0”(マスタアービトレーションロスト検出禁

止)にして使用してください。MALE ビットが“1”(マスタアービトレーションロスト検出許可)の場合、ICCR1.SDAO ビットの値と SDA0 ラインが不一致のときアービトレーションロストが発生しますので注意してください。

ICCR1.CLO ビットの出力条件

- バスフリー状態(ICCR2.BBSY フラグ=0)またはマスタモード(ICCR2.MST ビット=1、BBSY フラグ=1の状態)のとき
- 通信デバイスが SCL0 ラインを Low ホールドにしていない状態のとき

図 27.40 に SCL クロック追加出力機能 (CLO ビット) を示します。

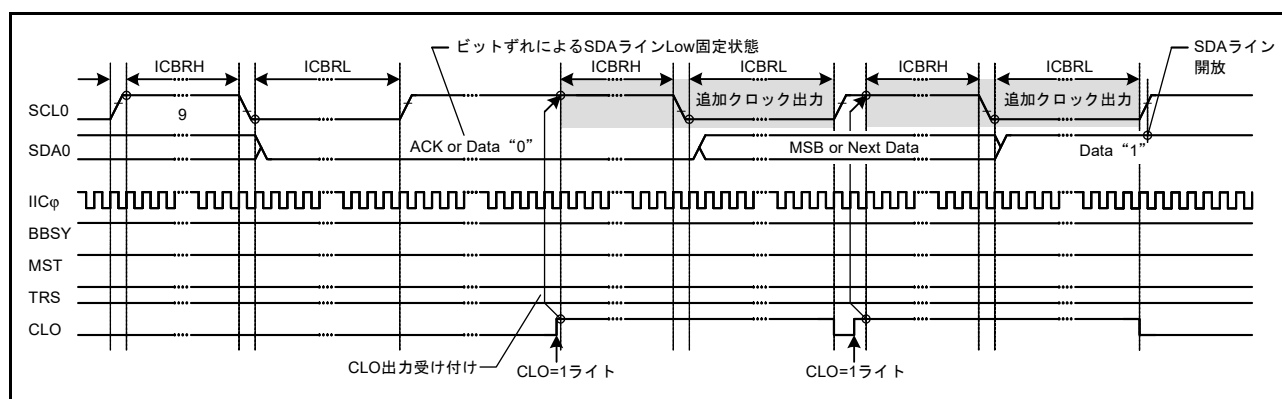


図 27.40 SCL クロック追加出力機能 (CLO ビット)

27.11.3 RIIC リセット、内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを“0”にしてください。

いずれのリセットも SCL0 端子 / SDA0 端子の出力状態を解除しハイインピーダンスに戻すため、バスハンダアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ずれを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット (ICCR1.ICE, IICRST ビット = 01b) のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC リセット、内部リセットの詳細については、「27.14 リセット時 / コンディション検出時のレジスタおよび機能の初期化」を参照してください。

27.12 SMBus 動作

RIICはSMBus (Ver.2.0)に準拠した通信動作が可能です。SMBus通信を行うには、ICMR3.SMBSビットを“1”にしてください。転送速度はSMBus仕様の10 kbps～100 kbpsの範囲に収まるようICMR1.CKS[2:0]ビット、ICBRH、ICBRLレジスタを設定し、データホールド時間：300 ns (min)の仕様を守るようICMR2.DLCSビットおよびICMR2.SDDL[2:0]ビットの値を決定してください。RIICをスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要ですが、ICBRLはデータセットアップ時間(250 ns)以上の値を設定してください。

なおSMBusデバイスデフォルトアドレス(1100 001b)はスレーブアドレスレジスタL0～L2(SARL0、SARL1、SARL2)のいずれか1本を使用し、該当するSARUy.FSビット(y=0～2)(7ビット/10ビットアドレスフォーマット選択ビット)を“0”(7ビットアドレスフォーマット)を選択してください。

また、UDID(ユニークデバイスアイデンティファイ)送信時には、ICFER.SALEビットを“1”にしてスレーブアービトラクションロスト検出機能を有効にしてください。

27.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus通信では、スレーブデバイスは以下に示す区間(タイムアウト間隔： $T_{\text{LOW:SEXT}}$)を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIICのスタートコンディション検出割り込み(STI)、ストップコンディション検出割り込み(SPI)を利用してスタートコンディション検出からストップコンディション検出までの時間をMTUまたはTMRタイマを使用してその区間を計測することで行います。このタイムアウト測定時間はSMBus仕様のクロックLowの累積時間(スレーブデバイス) $T_{\text{LOW:SEXT}}$ ：25 ms (max)以内である必要があります。

MTUまたはTMRで計測した時間が、SMBus仕様のクロックLow検出のタイムアウト T_{TIMEOUT} ：25 ms (min)を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うにはICCR1.IICRSTビットに“1”を書き、RIICの内部リセットを行ってください。内部リセットを行うとRIICはSCL0端子/SDA0端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus通信のマスタデバイスは以下に示す区間(タイムアウト間隔： $T_{\text{LOW:MEXT}}$)を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIICのスタートコンディション検出割り込み(STI)、ストップコンディション検出割り込み(SPI)、および送信終了割り込み(TEI)または受信データフル割り込み(RXI)を利用して、それぞれの区間をMTUまたはTMRタイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間はSMBus仕様のクロックLowの累積時間(マスタデバイス) $T_{\text{LOW:MEXT}}$ ：10 ms (max)以内である必要があります、スタートコンディションからストップコンディションまでのすべての $T_{\text{LOW:MEXT}}$ を加算した結果が $T_{\text{LOW:SEXT}}$ ：25 ms (max)以内である必要があります。

ACK 受信タイミング (SCL の 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで見る必要があります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SCL の 9 クロック目の立ち上がりで “1” になります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $T_{LOW:MEXT} : 10 \text{ ms (max)}$ または各計測時間の加算した結果が、SMBus 仕様のクロック Low 検出のタイムアウト $T_{TIMEOUT} : 25 \text{ ms (min)}$ を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDRT レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

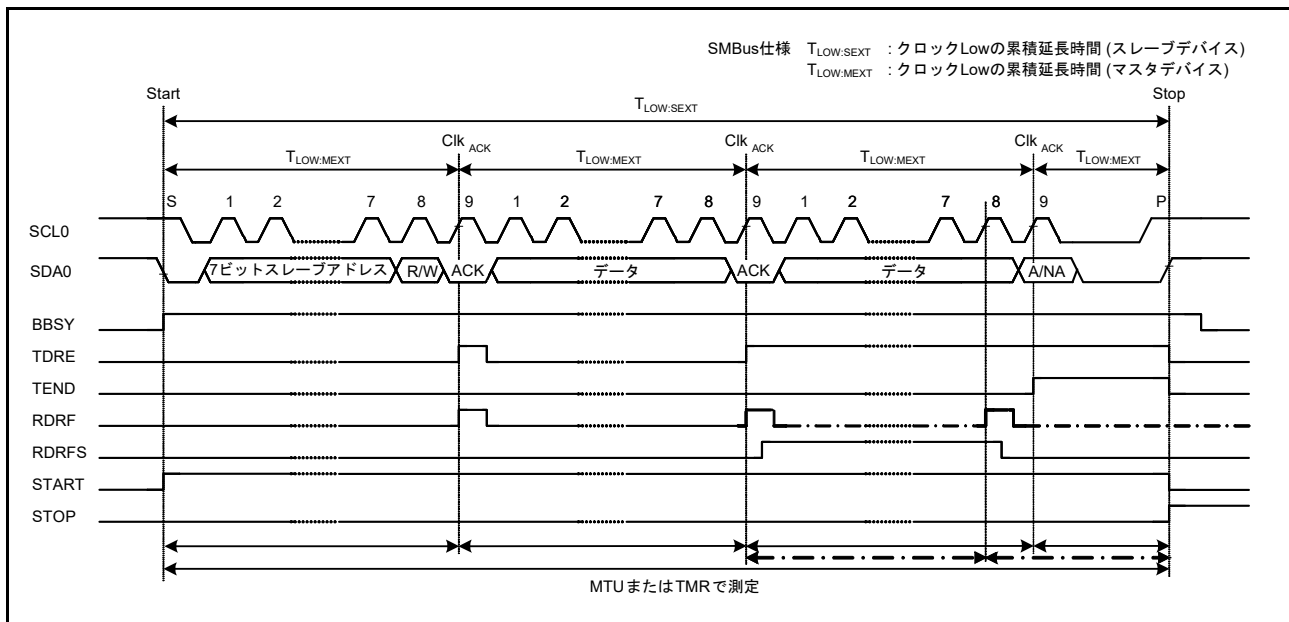


図 27.41 SMBus タイムアウト測定

27.12.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「30. CRC 演算器 (CRC)」を参照してください。

マスタ送信の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信の PEC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致 / 不一致に応じて ACK/NACK 送出を行う場合には、最終バイト受信の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを “1” にし、8 クロック目の立ち下がり SCL0 ラインを Low にホールドしてください。

27.12.3 SMBus ホスト通知プロトコル (Notify ARP master コマンド)

SMBus ではスレーブデバイスが SMBus ホスト (または ARP マスタ) に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知 (または要求) することができます。

本 MCU を SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを“1”、ICSER.HOAE ビットを“1”にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

27.13 割り込み要因

RIICの割り込み要因には、通信エラー/通信イベント発生(アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の4種類があります。

表 27.6 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTCを起動してデータ転送を行うことができます。

表 27.6 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位	割り込み条件
EEI	通信エラー/通信イベント発生	AL	不可能	高 ↑	AL=1かつALIE=1
		NACKF			NACKF=1かつNAKIE=1
		TMOF			TMOF=1かつTMOIE=1
		START			START=1かつSTIE=1
		STOP			STOP=1かつSPIE=1
RXI(注2)	受信データフル	RDRF	可能	↑	RDRF=1かつRIE=1
TXI(注1)	送信データエンプティ	TDRE	可能		TDRE=1かつTIE=1
TEI(注3)	送信終了	TEND	不可能		低

注. CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延があります。割り込みフラグをクリアまたは割り込み要求をマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1. TXI割り込みはエッジ割り込みのためクリアする必要はありません。またTXI割り込みの条件となるICSR2.TDREフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

注2. RXI割り込みはエッジ割り込みのためクリアする必要はありません。またRXI割り込みの条件となるICSR2.RDRFフラグは、ICDRRレジスタの読み出しで自動的に“0”になります。

注3. TEI割り込みを使用する場合、TEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。
なおICSR2.TENDフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたは割り込み要求をマスクしてください。

27.13.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、TXI 割り込みおよび RXI 割り込みに対応した IR フラグが“1”のときに割り込み発生の条件が整った場合、ICU に対して割り込み要求を出力せず内部で保持します(内部で保持できる容量は、1 要因ごとに 1 要求までです)。

IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアされます。

また、内部で保持している割り込み要求は、ICIER レジスタの対応する割り込み許可ビットを“0”にすることでクリアが可能です。

27.14 リセット時/コンディション検出時のレジスタおよび機能の初期化

RIICはMCUリセット、RIICリセットおよび内部リセットによってリセットできます。表27.7にリセット時/コンディション検出時のレジスタおよび機能のリセット状況を示します。

表27.7 リセット時/コンディション検出時のレジスタおよび機能のリセット状況

		MCU リセット	RIICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディション 検出
ICCR1	ICE, IICRST	リセット	保持	保持	保持	保持
	SCLO, SDAO		リセット	リセット		
	それ以外			保持		
ICCR2	BBSY	リセット	リセット	保持	保持	保持
	ST, RS			リセット	リセット	
	TRS, MST				保持	リセット
	SP				リセット	リセット
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	それ以外				保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3	ACKBT	リセット	リセット	保持	保持	リセット
	それ以外					
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	TDRE, TEND	リセット	リセット	リセット	保持	リセット
	START					
	それ以外					
SARL0, SARL1, SARL2, SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持
ICBRH, ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
タイムアウト検出機能		リセット	リセット	リセット	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

リセット: レジスタ、機能が初期化されます。

保持: レジスタ、機能は初期化されず、そのときの状況に応じて保持または更新されます。

27.15 使用上の注意事項

27.15.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、モジュールストップ状態への遷移/解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、「11. 消費電力低減機能」を参照してください。

27.15.2 通信の開始に関する注意事項

通信開始 (ICCR1.ICE ビット = 1) 時点で RIIC の割り込みに対応した IR フラグが “1” のときは、動作許可前に下記の手順で割り込み要求をクリアしてください。IR フラグが “1” で通信を開始 (ICCR1.ICE ビット = 1) すると、通信開始後の割り込み要求が内部で保持されるため、IR フラグが予期しない挙動となる可能性があります。

- (1) ICCR1.ICE ビットが “0” であることを確認
- (2) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を “0” にする
- (3) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を読み出し、“0” を確認
- (4) IR フラグを “0” にする

28. CANモジュール (RSCAN)

28.1 概要

ISO 11898-1 規格に準拠した CAN (Controller Area Network) プロトコルコントローラを 1 チャンネル内蔵した CAN モジュールを搭載しています。表 28.1 に CAN モジュールの仕様、図 28.1 に CAN モジュールブロック図、表 28.2 に CAN モジュールの入出力端子を示します。

なお、本章では次の変数を使用してレジスタなどの数を表しています。

- j ($j=0 \sim 15$) : 受信ルール登録レジスタ (GAFLIDL j , GAFLIDH j , GAFLML j , GAFLMH j , GAFLPL j , GAFLPH j) の番号
- m ($m=0, 1$) : 受信 FIFO バッファ番号
- n ($n=0 \sim 15$) : 受信バッファ番号
- p ($p=0 \sim 3$) : 送信バッファ番号
- r ($r=0 \sim 127$) : RAM テストレジスタ (RPGACCr) の番号

表 28.1 CANモジュールの仕様 (1/2)

項目	仕様
チャンネル数	1
プロトコル	ISO 11898-1規格準拠
通信速度	<ul style="list-style-type: none"> • 最大1Mbps 通信速度(CANビットタイムクロック) = $\frac{1}{\text{CANビットタイム}}$ CANビットタイム = CANTq × 1ビット分のTq数 $\text{CANTq} = \frac{\text{CFGL.BRP}[9:0] + 1}{f_{\text{CAN}}}$ Tq : Time quantum fCAN : CANクロックソース(GCFL.DCSビットで選択したクロック)の周波数
バッファ	合計20バッファ <ul style="list-style-type: none"> • 各チャンネル専用 : 4バッファ (4バッファ × 1チャンネル) 送信バッファ : 4バッファ /1チャンネル • チャンネル間共用 : 16バッファ 受信バッファ : 0 ~ 16バッファ 受信FIFOバッファ : 2本(1本あたり最大16バッファ割り当て可能) 送受信FIFOバッファ : 1本/1チャンネル(1本あたり最大16バッファ割り当て可能)
受信機能	<ul style="list-style-type: none"> • データフレームとリモートフレームを受信可能 • 受信するIDフォーマット(標準ID、拡張ID、両方)を選択可能 • FIFOごとの割り込み許可/禁止設定可能 • ミラー機能(自送信メッセージの受信機能) • タイムスタンプ機能(メッセージの受信時間を16ビットタイマ値で記録)
受信フィルタ機能	<ul style="list-style-type: none"> • 合計16個の受信ルールで受信メッセージを選別可能 • チャンネルごとに0 ~ 16個の範囲で受信ルール数を設定可能 • アクセプタンスフィルタ処理 : 受信ルールごとにID、マスク設定可能 • DLCフィルタ処理 : 受信ルールごとにDLCフィルタチェック可能
受信メッセージ転送機能	<ul style="list-style-type: none"> • ルーティング機能 受信メッセージを任意のバッファへ転送する機能(転送可能バッファ数 : 2) 転送先 : 受信バッファ、受信FIFOバッファ、送受信FIFOバッファ • ラベル付加機能 受信バッファおよびFIFOバッファへメッセージを格納時、ラベル情報も同時に格納可能

表 28.1 CANモジュールの仕様 (2/2)

項目	仕様
送信機能	<ul style="list-style-type: none"> データフレームとリモートフレームを送信可能 送信するIDフォーマット(標準ID、拡張ID、両方)を選択可能 送信バッファ、送受信FIFOバッファごとに割り込み許可/禁止設定可能 ID優先送信または送信バッファ番号優先送信を選択可能 送信アボート機能(フラグでアボート完了を確認可能) ワンショット送信機能
インターバル送信機能	メッセージの送信間隔を設定可能(送受信FIFOバッファの送信モード)
送信履歴機能	送信完了したメッセージの履歴情報を格納する機能
バスオフ復帰モード選択	<p>バスオフ状態からの復帰方法を選択可能</p> <ul style="list-style-type: none"> ISO 11898-1規格準拠 バスオフ開始でチャンネル待機モードへ自動遷移 バスオフ終了でチャンネル待機モードへ自動遷移 プログラムによるチャンネル待機モードへの遷移 プログラムによるエラーアクティブ状態への遷移(バスオフ強制復帰機能)
エラー状態の監視	<ul style="list-style-type: none"> CANプロトコルエラー(スタフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー、バスドミナントロック)を監視 エラー状態の遷移を検出(エラーワーニング、エラーバッシブ、バスオフ開始、バスオフ復帰) エラーカウンタの読み出し DLCエラーを監視
割り込み要因	<p>5本</p> <ul style="list-style-type: none"> グローバル(2本) <ul style="list-style-type: none"> グローバル受信FIFO割り込み グローバルエラー割り込み チャンネル(3本) <ul style="list-style-type: none"> チャンネル送信割り込み <ul style="list-style-type: none"> -送信完了割り込み -送信アボート割り込み -送受信FIFO送信完了割り込み -送信履歴割り込み 送受信FIFO受信割り込み チャンネルエラー割り込み
CANクロックソース	周辺モジュールクロック(PCLK)、CANMCLK
テスト機能	<p>ユーザ評価用テスト機能</p> <ul style="list-style-type: none"> リッスンオンリモード セルフテストモード0(外部ループバック) セルフテストモード1(内部ループバック) RAMテスト(読み書きテスト)
消費電力低減機能	モジュールストップ状態への設定が可能

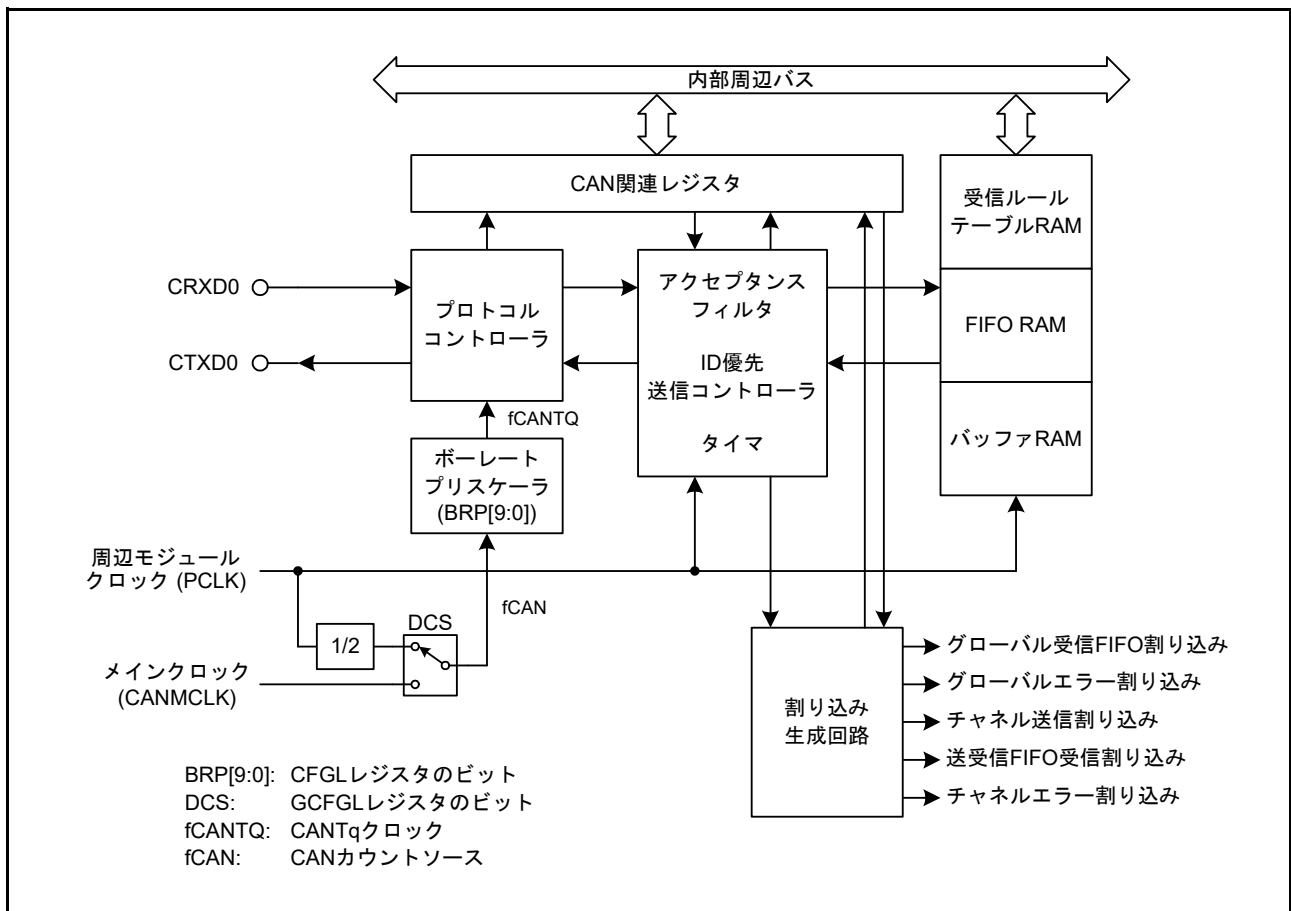


図 28.1 CANモジュールのブロック図

- CRXD0/CTXD0 : CAN の入出力端子です。
- プロトコルコントローラ : バスアービトレーションや送受信時のビットタイミング、スタッフ処理、エラー処理などの CAN プロトコル処理を行います。
- 受信ルールテーブル RAM : 受信メッセージのフィルタ処理に使用するルールを格納します。それぞれの受信ルールには、受信したいメッセージの ID、フレームフォーマット、データ長コード、および、フィルタを通過したメッセージに付加するラベル、メッセージの格納場所を設定します。
- FIFO RAM : 16 段の FIFO バッファを構成している RAM です。受信専用の FIFO が 2 本と、送信用 / 受信用のいずれかに設定できる FIFO が 1 本あります。
- バッファ RAM : 送信バッファまたは受信バッファとして使用する RAM です。送信バッファは 4 本、受信バッファは 16 本あります。
- アクセプタンスフィルタ : 受信メッセージのフィルタ処理を行います。このフィルタ処理には、受信ルールテーブル RAM のデータを使用します。
- タイマ : 受信時のタイムスタンプ機能に使用するタイマが 1 本、送信 FIFO バッファ使用時に、メッセージ送信間隔を決定するタイマが 1 本あります。

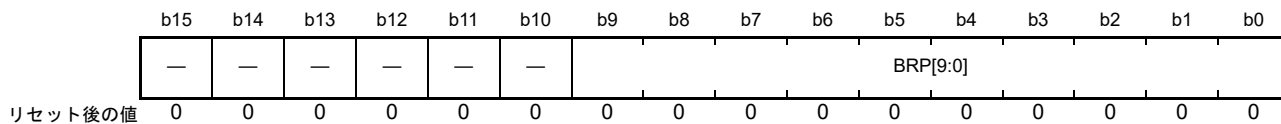
表 28.2 CANモジュールの入出力端子

端子名	入出力	機能
CRXD0	入力	RSCAN0 の受信データ入力端子です
CTXD0	出力	RSCAN0 の送信データ出力端子です

28.2 レジスタの説明

28.2.1 ビットコンフィギュレーションレジスタ L (CFGL)

アドレス RSCAN0.CFGL 000A 8300h



ビット	シンボル	ビット名	機能	R/W
b9-b0	BRP[9:0]	プリスケラ分周比設定ビット	設定値をP (0~1023)とすると、ポーレートプリスケラはfCANをP+1で分周します	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CFGL レジスタは、チャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。また、チャンネルリセットモードで本レジスタを設定した後で、チャンネル通信モードまたはチャンネル待機モードに遷移してください。ビットタイミングの設定については、「28.9 初期設定」を参照してください。

BRP[9:0] ビット (プリスケラ分周比設定ビット)

CAN クロックソース (fCAN) を BRP[9:0] ビットで分周したクロックが CANTq クロック (fCANTQ) になり、CANTq クロックの1クロックが1 Time Quantum (Tq) になります。

28.2.2 ビットコンフィギュレーションレジスタ H (CFGH)

アドレス RSCAN0.CFGH 000A 8302h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	SJW[1:0]	—	—	TSEG2[2:0]	—	—	TSEG1[3:0]	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	TSEG1[3:0]	タイムセグメント1制御ビット	b3 b0 0 0 0 0 : 設定しないでください 0 0 0 1 : 設定しないでください 0 0 1 0 : 設定しないでください 0 0 1 1 : 4Tq 0 1 0 0 : 5Tq 0 1 0 1 : 6Tq 0 1 1 0 : 7Tq 0 1 1 1 : 8Tq 1 0 0 0 : 9Tq 1 0 0 1 : 10Tq 1 0 1 0 : 11Tq 1 0 1 1 : 12Tq 1 1 0 0 : 13Tq 1 1 0 1 : 14Tq 1 1 1 0 : 15Tq 1 1 1 1 : 16Tq	R/W
b6-b4	TSEG2[2:0]	タイムセグメント2制御ビット	b6 b4 0 0 0 : 設定しないでください 0 0 1 : 2Tq 0 1 0 : 3Tq 0 1 1 : 4Tq 1 0 0 : 5Tq 1 0 1 : 6Tq 1 1 0 : 7Tq 1 1 1 : 8Tq	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SJW[1:0]	再同期ジャンプ幅制御ビット	b9 b8 0 0 : 1 Tq 0 1 : 2 Tq 1 0 : 3 Tq 1 1 : 4 Tq	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CFGH レジスタは、チャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。また、チャンネルリセットモードで本レジスタを設定した後で、チャンネル通信モードまたはチャンネル待機モードに遷移してください。ビットタイミングの設定については「28.9 初期設定」を参照してください。

TSEG1[3:0] ビット (タイムセグメント1制御ビット)

プロパゲーションタイムセグメント (PROP_SEG) とフェーズバッファセグメント 1 (PHASE_SEG1) の合計長を Tq 値で指定します。

4 ~ 16Tq の値が設定可能です。

TSEG2[2:0] ビット (タイムセグメント2制御ビット)

フェーズバッファセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。

2 ~ 8Tq の値が設定可能です。

TSEG1[3:0] ビットより小さい値を設定してください。

SJW[1:0] ビット (再同期ジャンプ幅制御ビット)

再同期ジャンプ幅 (Resynchronization jump width) を Tq 値で指定します。1 ~ 4Tq の値が設定可能です。
TSEG2[3:0] ビット以下の値を設定してください。

28.2.3 制御レジスタ L (CTRL)

アドレス RSCAN0.CTRL 000A 8304h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	CHMDC[1:0]	モード選択ビット	b1 b0 0 0 : チャネル通信モード 0 1 : チャネルリセットモード 1 0 : チャネル待機モード 1 1 : 設定しないでください	R/W
b2	CSLPR	チャネルストップモードビット	0 : チャネルストップモードではない 1 : チャネルストップモード	R/W
b3	RTBO	バスオフ強制復帰ビット	RTBO ビットを“1”にすると、バスオフから強制的に復帰する。読むと“0”が読めます	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BEIE	プロトコルエラー割り込み許可ビット	0 : プロトコルエラー割り込み禁止 1 : プロトコルエラー割り込み許可	R/W
b9	EWIE	エラーワーニング割り込み許可ビット	0 : エラーワーニング割り込み禁止 1 : エラーワーニング割り込み許可	R/W
b10	EPIE	エラーパッシブ割り込み許可ビット	0 : エラーパッシブ割り込み禁止 1 : エラーパッシブ割り込み許可	R/W
b11	BOEIE	バスオフ開始割り込み許可ビット	0 : バスオフ開始割り込み禁止 1 : バスオフ開始割り込み許可	R/W
b12	BORIE	バスオフ復帰割り込み許可ビット	0 : バスオフ復帰割り込み禁止 1 : バスオフ復帰割り込み許可	R/W
b13	OLIE	オーバーロードフレーム送信割り込み許可ビット	0 : オーバーロードフレーム送信割り込み禁止 1 : オーバーロードフレーム送信割り込み許可	R/W
b14	BLIE	バスロック割り込み許可ビット	0 : バスロック割り込み禁止 1 : バスロック割り込み許可	R/W
b15	ALIE	アービトレーションロスト割り込み許可ビット	0 : アービトレーションロスト割り込み禁止 1 : アービトレーションロスト割り込み許可	R/W

CHMDC[1:0] ビット (モード選択ビット)

チャネルのモード (チャネル通信モード、チャネルリセットモード、チャネル待機モード) を選択するビットです。詳細は、「28.3.2 チャネルモード」を参照してください。チャネルストップモードへは、チャネルリセットモード時に CSLPR ビットを“1”にすることで遷移します。CHMDC[1:0] ビットを“11b”には設定しないでください。CTRH.BOM[1:0] ビットの設定によってチャネル待機モードへ遷移した場合は、CHMDC[1:0] ビットは自動的に“10b”になります。

CSLPR ビット (チャネルストップモードビット)

“1”にすると、チャネルストップモードになります。

“0”にすると、チャネルストップモードは解除されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードでは書き換えしないでください。

RTBO ビット (バスオフ強制復帰ビット)

バスオフ状態時“1”(バスオフからの強制復帰)にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に“0”になります。“1”にすると、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグが“00h”になり、STSL.BOSTS フラグは“0”(バスオフ状態ではない)になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。CTRH.BOM[1:0] ビットが“00b”(ISO 11898-1 規格準拠)のときにのみ使用してください。

RTBO ビットを“1”にしてからエラーアクティブ状態に遷移するまでに、最大1CANビットタイムの遅延が発生します。このビットはチャンネル通信モードで“1”を書いてください。

BEIE ビット (プロトコルエラー割り込み許可ビット)

BEIE ビットを“1”に設定し、ERFLL.BEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EWIE ビット (エラーワーニング割り込み許可ビット)

EWIE ビットを“1”に設定し、ERFLL.EWF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EPIE ビット (エラーパッシブ割り込み許可ビット)

EPIE ビットを“1”に設定し、ERFLL.EPF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BOEIE ビット (バスオフ開始割り込み許可ビット)

BOEIE ビットを“1”に設定し、ERFLL.BOEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BORIE ビット (バスオフ復帰割り込み許可ビット)

BORIE ビットを“1”に設定し、ERFLL.BORF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

OLIE ビット (オーバロードフレーム送信割り込み許可ビット)

OLIE ビットを“1”に設定し、ERFLL.OVLV フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BLIE ビット (バスロック割り込み許可ビット)

BLIE ビットを“1”に設定し、ERFLL.BLF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

ALIE ビット (アービトラージョンロスト割り込み許可ビット)

ALIE ビットを“1”に設定し、ERFLL.ALF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

28.2.4 制御レジスタ H (CTRH)

アドレス RSCAN0.CTRH 000A 8306h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CTMS[1:0]	CTME	ERRD	BOM[1:0]	—	—	—	—	—	—	TAIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TAIE	送信アポート割り込み許可ビット	0 : 送信アポート割り込み禁止 1 : 送信アポート割り込み許可	R/W
b4-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b5	BOM[1:0]	バスオフ復帰モード選択ビット	b6 b5 0 0 : ISO 11898-1規格準拠 0 1 : バスオフ開始でチャンネル待機モードへ遷移 1 0 : バスオフ終了でチャンネル待機モードへ遷移 1 1 : バスオフ中にプログラムによる要求でチャンネル待機モードへ遷移	R/W
b7	ERRD	エラー表示モード選択ビット	0 : ERFLLレジスタのビット14~8がすべてクリアされた後、最初に発生したエラー情報のエラーフラグのみ表示 1 : 発生したすべてのエラー情報のエラーフラグを表示	R/W
b8	CTME	通信テストモード許可ビット	0 : 通信テストモード禁止 1 : 通信テストモード許可	R/W
b10-b9	CTMS[1:0]	通信テストモード選択ビット	b10 b9 0 0 : 標準テストモード 0 1 : リッスンオンリモード 1 0 : セルフテストモード0 (外部ループバックモード) 1 1 : セルフテストモード1 (内部ループバックモード)	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TAIE ビット (送信アポート割り込み許可ビット)

TAIE ビットを“1”に設定し、送信バッファの送信アポートが完了した場合、割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BOM[1:0] ビット (バスオフ復帰モード選択ビット)

CAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが“00b”の場合、バスオフ状態からエラーアクティブ状態への復帰はISO 11898-1規格に準拠します。すなわち、CANモジュールは、11ビットの連続するレセシブを128回検出後、再びCAN通信(エラーアクティブ状態)に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128回検出する前にCTRL.CHMDC[1:0] ビットを“10b”(チャンネル待機モード)にしても128回検出するまでチャンネル待機モードには遷移しません。

BOM[1:0] ビットが“01b”の場合、CANモジュールがバスオフ状態に達すると、CTRL.CHMDC[1:0] ビットが“10b”になり、チャンネル待機モードへ遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグが“00h”になります。

BOM[1:0] ビットが“10b”の場合、CANモジュールがバスオフ状態に達するとCTRL.CHMDC[1:0] ビットが“10b”になり、バスオフ状態から復帰した(11ビットの連続するレセシブを128回検出)後に、チャンネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグが“00h”になります。

BOM[1:0] ビットが“11b”の場合、CANモジュールがバスオフ状態のときにCTRL.CHMDC[1:0] ビットを“10b”にすると、チャンネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”になります。しかし、

CTRL.CHMDC[1:0] ビットを“10b”にする前に、11 ビットの連続するレセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

CAN モジュールがチャンネル待機モードに遷移すると同時に (BOM[1:0] ビットが“01b”のとき：バスオフ開始時、または BOM[1:0] ビットが“10b”のとき：バスオフ終了時) に、CPU がチャンネルリセットモードへの遷移を要求した場合は、CPU の要求が優先されます。このビットはチャンネルリセットモードでのみ書き換えてください。

ERRD ビット (エラー表示モード選択ビット)

ERFLL レジスタのビット 14 ~ 8 の表示モードを制御します。

“0”にすると最初に発生したエラーのフラグのみが“1”になります。最初に複数のエラーが発生した場合、検出された複数のエラーのフラグはすべて“1”になります。

“1”にすると発生順に関係なく、起こったエラーのフラグはすべて“1”になります。

このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

CTME ビット (通信テストモード許可ビット)

“1”にすると通信テストモードは許可になります。このビットはチャンネル待機モードでのみ書き換えてください。

チャンネルリセットモード時は“0”になります。

CTMS[1:0] ビット (通信テストモード選択ビット)

通信テストモードを選択するビットです。このビットはチャンネル待機モードでのみ書き換えてください。チャンネルリセットモード時は“0”になります。

28.2.5 ステータスレジスタ L (STSL)

アドレス RSCAN0.STSL 000A 8308h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CRSTSTS	チャンネルリセットステータスフラグ	0: チャンネルリセットモードではない 1: チャンネルリセットモード	R
b1	CHLTSTS	チャンネル待機ステータスフラグ	0: チャンネル待機モードではない 1: チャンネル待機モード	R
b2	CSLPSTS	チャンネルストップステータスフラグ	0: チャンネルストップモードではない 1: チャンネルストップモード	R
b3	EPSTS	エラーパッシブステータスフラグ	0: エラーパッシブ状態ではない 1: エラーパッシブ状態	R
b4	BOSTS	バスオフステータスフラグ	0: バスオフ状態ではない 1: バスオフ状態	R
b5	TRMSTS	送信ステータスフラグ	0: バスアイドルまたは受信 1: 送信中またはバスオフ状態	R
b6	RECSTS	受信ステータスフラグ	0: バスアイドルまたは送信中またはバスオフ状態 1: 受信	R
b7	COMSTS	通信ステータスフラグ	0: 通信可能な状態ではない 1: 通信可能な状態	R
b15-b8	—	予約ビット	読むと“0”が読めます	R

CRSTSTS フラグ (チャンネルリセットステータスフラグ)

チャンネルリセットモードに遷移すると“1”になります。チャンネル通信モードまたはチャンネル待機モードに遷移すると“0”になります。チャンネルリセットモードからチャンネルストップモードに遷移しても“1”のままです。

CHLTSTS フラグ (チャンネル待機ステータスフラグ)

チャンネル待機モードに遷移すると“1”になります。チャンネル待機モード以外のモードに遷移すると“0”になります。

CSLPSTS フラグ (チャンネルストップステータスフラグ)

チャンネルストップモードに遷移すると“1”になります。チャンネルストップモードから復帰すると“0”になります。

EPSTS フラグ (エラーパッシブステータスフラグ)

エラーパッシブ状態 ($128 \leq \text{STSH.TEC}[7:0]$ フラグ ≤ 255 または $128 \leq \text{STSH.REC}[7:0]$ フラグ) になると“1”になります。エラーパッシブ状態以外になるか、またはチャンネルリセットモードになると“0”になります。

BOSTS フラグ (バスオフステータスフラグ)

バスオフ状態 ($\text{STSH.TEC}[7:0]$ フラグ > 255) になると“1”になります。バスオフ状態以外になると“0”になります。

TRMSTS フラグ (送信ステータスフラグ)

送信を開始すると“1”になります。バスオフ状態では“1”のままです。バスアイドル状態になるか、または受信を開始すると“0”になります。

RECSTS フラグ (受信ステータスフラグ)

受信を開始すると“1”になります。バスアイドル状態になるか、または送信を開始すると“0”になります。

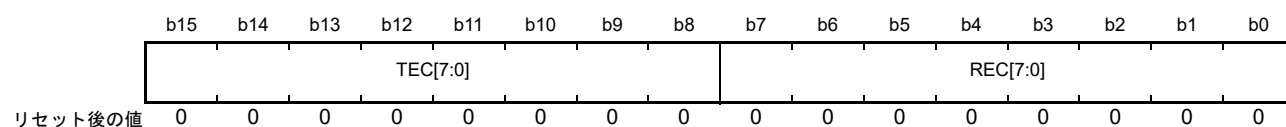
COMSTS フラグ (通信ステータスフラグ)

通信準備が整ったことを示すビットです。

チャンネルリセットモードまたはチャンネル待機モードからチャンネル通信モードに移行し、11ビットの連続するレセシブを検出した後に“1”になります。チャンネルリセットモードまたはチャンネル待機モード時は“0”になります。

28.2.6 ステータスレジスタ H (STSH)

アドレス RSCAN0.STSH 000A 830Ah



ビット	シンボル	機能	R/W
b7-b0	REC[7:0]	受信エラーカウンタ (REC)の値が読めます	R
b15-b8	TEC[7:0]	送信エラーカウンタ (TEC)の値が読めます	R

REC[7:0] フラグ

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、ISO 11898-1 規格を参照してください。

チャンネルリセットモード時は“00h”になります。

TEC[7:0] フラグ

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、ISO 11898-1 規格を参照してください。

チャンネルリセットモード時は“00h”になります。

28.2.7 エラーフラグレジスタ L (ERFLL)

アドレス RSCAN0.ERFLL 000A 830Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLf	BORF	BOEF	EPF	EWf	BEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEF	バスエラーフラグ	0: チャンネルバスエラー未検出 1: チャンネルバスエラー検出	R/(W) (注1)
b1	EWf	エラーワーニングフラグ	0: エラーワーニング未検出 1: エラーワーニング検出	R/(W) (注1)
b2	EPF	エラーパッシブフラグ	0: エラーパッシブ未検出 1: エラーパッシブ検出	R/(W) (注1)
b3	BOEF	バスオフ開始フラグ	0: バスオフ開始未検出 1: バスオフ開始検出	R/(W) (注1)
b4	BORF	バスオフ復帰フラグ	0: バスオフ復帰未検出 1: バスオフ復帰検出	R/(W) (注1)
b5	OVLf	オーバロードフラグ	0: オーバロード未検出 1: オーバロード検出	R/(W) (注1)
b6	BLF	バスロックフラグ	0: チャンネルバスロック未検出 1: チャンネルバスロック検出	R/(W) (注1)
b7	ALF	アービトレーションロストフラグ	0: アービトレーションロスト未検出 1: アービトレーションロスト検出	R/(W) (注1)
b8	SERR	スタッフエラーフラグ	0: スタッフエラー未検出 1: スタッフエラー検出	R/(W) (注1)
b9	FERR	フォームエラーフラグ	0: フォームエラー未検出 1: フォームエラー検出	R/(W) (注1)
b10	AERR	ACKエラーフラグ	0: ACKエラー未検出 1: ACKエラー検出	R/(W) (注1)
b11	CERR	CRCエラーフラグ	0: CRCエラー未検出 1: CRCエラー検出	R/(W) (注1)
b12	B1ERR	レセシブビットエラーフラグ	0: レセシブビットエラー未検出 1: レセシブビットエラー検出	R/(W) (注1)
b13	B0ERR	ドミナントビットエラーフラグ	0: ドミナントビットエラー未検出 1: ドミナントビットエラー検出	R/(W) (注1)
b14	ADERR	ACKデリミタエラーフラグ	0: ACKデリミタエラー未検出 1: ACKデリミタエラー検出	R/(W) (注1)
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. このフラグビットへの書き込みは、ステータスクリアする(“0”にする)動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

各エラーの発生条件を確認するには、ISO 11898-1 規格を参照してください。各フラグを“0”にする場合は、プログラムで“0”を書いてください。プログラムで“1”にできません。フラグが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのフラグは“1”になります。チャンネルリセットモード時、“0”になります。

ERFLL レジスタのビット 14～8 に関して、CTRH.ERRD ビットを“0”(最初に発生したエラー情報のみ表示)に設定したとき、ビット 14～8 のすべてのフラグが“0”の状態エラーが検出された場合に、対応するフラグは“1”になります。

BEF フラグ (バスエラーフラグ)

ADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERR フラグのいずれか1つでも“1”になると、BEF フラグは“1”になります。

EWf フラグ (エラーワーニングフラグ)

STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグの値が 95 を超えると“1”になります。STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが最初に 95 を超えたときのみ“1”になります。したがって、STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが 95 を超えたままで、プログラムで“0”を書いた場合、一度 STSH.REC[7:0] フラグと STSH.TEC[7:0] フラグの両方が 95 以下になり、再び STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが 95 を超えるまでは“1”にはなりません。

EPF フラグ (エラーパッシブフラグ)

エラーパッシブ状態 (STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグ > 127) になると“1”になります。STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが最初に 127 を超えたときのみ“1”になります。したがって、STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが 127 を超えたままで、プログラムで“0”を書いた場合、一度 STSH.REC[7:0] フラグと STSH.TEC[7:0] フラグの両方が 127 以下になり、再び STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが 127 を超えるまでは“1”にはなりません。

BOEF フラグ (バスオフ開始フラグ)

バスオフ状態 (STSH.TEC[7:0] フラグ > 255) になると“1”になります。CTRH.BOM[1:0] ビットが“01b”(バスオフ開始でチャンネル待機モードへ遷移)で、バスオフ状態になった場合も“1”になります。

BORF フラグ (バスオフ復帰フラグ)

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると“1”になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は“1”にはなりません。

- CTRL.CHMDC[1:0] ビットを“01b”(チャンネルリセットモード)に設定した場合
- CTRL.RTBO ビットを“1”(バスオフからの強制復帰)に設定した場合
- CTRH.BOM[1:0] ビットを“01b”(バスオフ開始でチャンネル待機モードへ遷移)に設定した場合
- CTRH.BOM[1:0] ビットが“11b”(バスオフ中にプログラムによる要求でチャンネル待機モードへ遷移)で、11 ビットの連続するレセシブを 128 回検出する前に、CTRL.CHMDC[1:0] ビットを“10b”(チャンネル待機モード)に設定した場合

OVLf フラグ (オーバロードフラグ)

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると“1”になります。

BLF フラグ (バスロックフラグ)

チャンネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると“1”になります。

“1”になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF フラグを“1”から“0”にした後、レセシブビットを検出。
- BLF フラグを“1”から“0”にした後、チャンネルリセットモードに遷移し、再度チャンネル通信モードに遷移。

ALF フラグ (アービトレーションロストフラグ)

アービトレーションロストを検出すると“1”になります。

SERR フラグ (スタッフエラーフラグ)

スタッフエラーを検出すると“1”になります。

FERR フラグ (フォームエラーフラグ)

フォームエラーを検出すると“1”になります。

AERR フラグ (ACK エラーフラグ)

ACK エラーを検出すると“1”になります。

CERR フラグ (CRC エラーフラグ)

CRC エラーを検出すると“1”になります。

B1ERR フラグ (レセシブビットエラーフラグ)

レセシブを送信したにも関わらずドミナントを検出すると“1”になります。

B0ERR フラグ (ドミナントビットエラーフラグ)

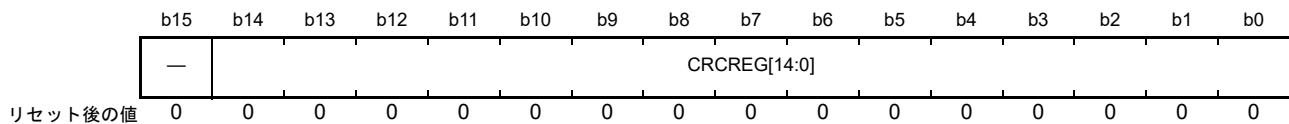
ドミナントを送信したにも関わらずレセシブを検出すると“1”になります。

ADERR フラグ (ACK デリミタエラーフラグ)

送信中の ACK デリミタでフォームエラーを検出すると“1”になります。

28.2.8 エラーフラグレジスタ H (ERFLH)

アドレス RSCAN0.ERFLH 000A 830Eh



ビット	シンボル	ビット名	機能	R/W
b14-b0	CRCREG[14:0]	CRC 演算データ	送信メッセージまたは受信メッセージを基に計算したCRC値を表示します	R
b15	—	予約ビット	読むと“0”が読めます	R

CRCREG[14:0] フラグ (CRC 演算データ)

CTRH.CTME ビットが“1”(通信テストモード許可)の場合、送信または受信メッセージを基に計算したCRC値が読めます。CTRH.CTME ビットが“0”(通信テストモード禁止)の場合、“0”が読めます。

28.2.9 グローバル設定レジスタ L (GCFGL)

アドレス RSCAN.GCFGL 000A 8322h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	TSSS	TSP[3:0]			—	—	—	DCS	MME	DRE	DCE	TPRI	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TPRI	送信優先順位選択ビット	0: ID優先 1: 送信バッファ番号優先	R/W
b1	DCE	DLCチェック許可ビット	0: DLCチェック禁止 1: DLCチェック許可	R/W
b2	DRE	DLC置換許可ビット	0: DLC置換禁止 1: DLC置換許可	R/W
b3	MME	ミラー機能許可ビット	0: ミラー機能禁止 1: ミラー機能許可	R/W
b4	DCS	CANクロックソース選択ビット	0: PCLK 1: CANMCLK (メインクロックから生成)	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	TSP[3:0]	タイムスタンプクロック源分周ビット	b11 b8 0 0 0 0 : 分周なし 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 0 1 1 1 : 128分周 1 0 0 0 : 256分周 1 0 0 1 : 512分周 1 0 1 0 : 1024分周 1 0 1 1 : 2048分周 1 1 0 0 : 4096分周 1 1 0 1 : 8192分周 1 1 1 0 : 16384分周 1 1 1 1 : 32768分周	R/W
b12	TSSS	タイムスタンプクロック源選択ビット	0: PCLK 1: CANビットタイムクロック	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GCFGL レジスタはグローバルリセットモードでのみ書き換えてください。

TPRI ビット (送信優先順位選択ビット)

TPRI ビットにより、送信優先順位を設定します。

“0”の場合、ID 優先となり送信優先順位は CAN バスアービトラージュルール (ISO 11898-1 規格) に準拠します。“1”の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

DCE ビット (DLC チェック許可ビット)

“1”にすると、DLC チェック機能が使用できます。GAFLPHj.GAFLDLC[3:0] ビットを“0000b”にしてから、DCE ビットを“0”にしてください。

DRE ビット (DLC 置換許可ビット)

DRE ビットを“1”にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00h”が格納されます。

DCE ビットが“1” (DLC チェック許可) のときに、DLC 置換機能を使用できます。

MME ビット (ミラー機能許可ビット)

“1”にすると、ミラー機能が使用できます。

DCS ビット (CAN クロックソース選択ビット)

DCS ビットを“0”にすると、CAN クロックソース (fCAN) は周辺クロック (PCLK) の 2 分周クロックが使用されます。

DCS ビットを“1”にすると、CAN クロックソース (fCAN) は、外部の EXTAL 端子から生成された CANMCLK が使用されます。

TSP[3:0] ビット (タイムスタンプクロック源分周ビット)

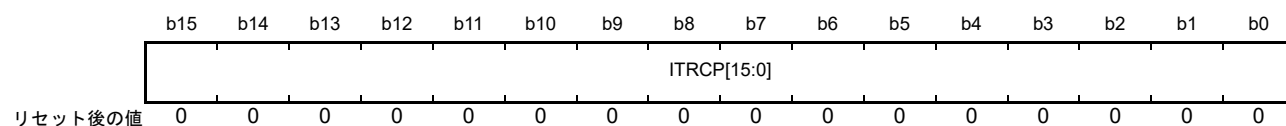
TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウントソースになります。

TSSS ビット (タイムスタンプクロック源選択ビット)

タイムスタンプカウンタのクロック源を選択します。

28.2.10 グローバル設定レジスタ H (GCFGH)

アドレス RSCAN.GCFGH 000A 8324h



ビット	シンボル	ビット名	機能	R/W
b15-b0	ITRCP[15:0]	インターバルタイムプリスケアラ設定ビット	設定値をMとするとPCLKをM分周します。 インターバルタイムを使用する場合、“0000h”を設定しないでください	R/W

GCFGH レジスタはグローバルリセットモードでのみ書き換えてください。

ITRCP[15:0] ビット (インターバルタイムプリスケアラ設定ビット)

FIFO 用インターバルタイムのクロック源の分周値を設定します。詳細は、「28.5.3 (1) インターバル送信機能」を参照してください。

28.2.11 グローバル制御レジスタ L (GCTRL)

アドレス RSCAN.GCTRL 000A 8326h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	—	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	GMDC[1:0]	グローバルモード選択ビット	b1 b0 0 0 : グローバル動作モード 0 1 : グローバルリセットモード 1 0 : グローバルテストモード 1 1 : 設定しないでください	R/W
b2	GSLPR	グローバルストップモードビット	0 : グローバルストップモードではない 1 : グローバルストップモード	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	DEIE	DLCエラー割り込み許可ビット	0 : DLCエラー割り込み禁止 1 : DLCエラー割り込み許可	R/W
b9	MEIE	FIFOメッセージロスト割り込み許可ビット	0 : FIFOメッセージロスト割り込み禁止 1 : FIFOメッセージロスト割り込み許可	R/W
b10	THLEIE	送信履歴バッファオーバーフロー割り込み許可ビット	0 : 送信履歴バッファオーバーフロー割り込み禁止 1 : 送信履歴バッファオーバーフロー割り込み許可	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GMDC[1:0] ビット (グローバルモード選択ビット)

CAN モジュール全体のモード (グローバル動作モード、グローバルリセットモード、グローバルテストモード) を選択するビットです。詳細は、「28.3.1 グローバルモード」を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを“1”にすることで遷移します。

GSLPR ビット (グローバルストップモードビット)

“1”にすると、グローバルストップモードになります。

“0”にすると、グローバルストップモードは解除されます。

このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えしないでください。

DEIE ビット (DLC エラー割り込み許可ビット)

DEIE ビットを“1”に設定し、GERFLL.DEF フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット (FIFO メッセージロスト割り込み許可ビット)

MEIE ビットを“1”に設定し、GERFLL.MES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

THLEIE ビット (送信履歴バッファオーバーフロー割り込み許可ビット)

THLEIE ビットを“1”に設定し、GERFLL.THLES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

28.2.12 グローバル制御レジスタ H (GCTRH)

アドレス RSCAN.GCTRH 000A 8328h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSRST	タイムスタンプカウンタリセットビット	TSRSTビットを“1”にすると、タイムスタンプカウンタをリセットします。読むと“0”が読み出されます	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TSRST ビット (タイムスタンプカウンタリセットビット)

タイムスタンプカウンタをリセットするために使用します。“1”にすると GTSC レジスタが“0000h”になります。

28.2.13 グローバルステータスレジスタ (GSTS)

アドレス RSCAN.GSTS 000A 832Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAMINIT	GSLPSTS	GHLTSTS	GRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	GRSTSTS	グローバルリセットステータスフラグ	0: グローバルリセットモードではない 1: グローバルリセットモード	R
b1	GHLTSTS	グローバルテストステータスフラグ	0: グローバルテストモードではない 1: グローバルテストモード	R
b2	GSLPSTS	グローバルストップステータスフラグ	0: グローバルストップモードではない 1: グローバルストップモード	R
b3	GRAMINIT	CAN用RAMクリアステータスフラグ	0: CAN用RAMクリア完了 1: CAN用RAMクリア中	R
b15-b4	—	予約ビット	読むと“0”が読めます	R

GRSTSTS フラグ (グローバルリセットステータスフラグ)

グローバルリセットモードに遷移すると“1”になります。

グローバルリセットモード以外のモードに遷移すると“0”になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1”のままです。

GHLTSTS フラグ (グローバルテストステータスフラグ)

グローバルテストモードに遷移すると“1”になります。グローバルテストモード以外のモードに遷移すると“0”になります。

GSLPSTS フラグ (グローバルストップステータスフラグ)

グローバルストップモードに遷移すると“1”になります。グローバルストップモードから復帰すると“0”になります。

GRAMINIT フラグ (CAN 用 RAM クリアステータスフラグ)

CAN 用 RAM のクリア状態を示します。

CAN モジュールイネーブル後、“1”になります。CAN 用 RAM クリアが完了すると“0”になります。

28.2.14 グローバルエラーフラグレジスタ (GERFLL)

アドレス RSCAN.GERFLL 000A 832Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THLES	MES	DEF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DEF	DLCエラーフラグ	0 : DLCエラーなし 1 : DLCエラー	R/(W) (注1)
b1	MES	FIFOメッセージロストステータスフラグ	0 : FIFOメッセージロストエラーなし 1 : FIFOメッセージロストエラー	R
b2	THLES	送信履歴バッファオーバーフローステータスフラグ	0 : 送信履歴バッファオーバーフローなし 1 : 送信履歴バッファオーバーフロー	R
b7-b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

注1. このフラグビットへの書き込みは、ステータスクリアする(“0”にする)動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

GERFLL レジスタのフラグは、グローバルリセットモード時、“0”になります。

DEF フラグ (DLC エラーフラグ)

DLC チェックでエラーが検出されると“1”になります。プログラムで“0”を書くことで“0”にできます。

MES フラグ (FIFO メッセージロストステータスフラグ)

RFSTSm.RFMLT フラグまたは CFSTS0.CFMLT フラグのいずれか1つでも“1”になると、MES フラグは“1”になります。

すべての RFSTSm.RFMLT フラグおよび CFSTS0.CFMLT フラグを“0”にすると、MES フラグは“0”になります。

THLES フラグ (送信履歴バッファオーバーフローステータスフラグ)

THLSTS0.THLELT フラグが“1”になると、THLES フラグは“1”になります。

THLSTS0.THLELT フラグを“0”にすると、THLES フラグは“0”になります。

28.2.15 グローバル送信割り込みステータスレジスタ (GTINTSTS)

アドレス RSCAN.GTINTSTS 000A 8388h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	THIF0	CFTIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSIF0	RSCAN0送信バッファ割り込みステータスフラグ	0:送信バッファ送信完了割り込み要求なし 1:送信バッファ送信完了割り込み要求あり	R
b1	TAIF0	RSCAN0送信バッファアポート割り込みステータスフラグ	0:送信バッファアポート割り込み要求なし 1:送信バッファアポート割り込み要求あり	R
b2	CFTIF0	RSCAN0送受信FIFO割り込みステータスフラグ	0:送受信FIFO送信割り込み要求なし 1:送受信FIFO送信割り込み要求あり	R
b3	THIF0	RSCAN0送信履歴割り込みステータスフラグ	0:送信履歴割り込み要求なし 1:送信履歴割り込み要求あり	R
b15-b4	—	予約ビット	読むと“0”が読めます	R

GTINTSTS レジスタのフラグは、グローバルリセットまたはチャンネルリセットモード時に“0”になります。

TSIF0 フラグ (RSCAN0 送信バッファ割り込みステータスフラグ)

TMIEC.TMIEp ビットが“1”(割り込み許可)、かつ対応する TMSTSp.TMTRF[1:0] フラグが“10b”(送信完了、アポート要求なし)、または“11b”(送信完了、アポート要求あり)になると、TSIF0 フラグは“1”になります。

TSIF0 フラグが“1”になる条件が成立している TMSTSp.TMTRF[1:0] フラグをすべて“00b”にすると、このフラグは“0”になります。また、TMIEC.TMIEp ビットを“0”にすることも、このフラグは“0”になります。

TAIF0 フラグ (RSCAN0 送信バッファアポート割り込みステータスフラグ)

CTR.H.TAIE ビットが“1”(割り込み許可)、かつ TMSTSp.TMTRF[1:0] フラグが“01b”(送信アポート完了)になると、TAIF0 フラグは“1”になります。

送信アポート完了した TMSTSp.TMTRF[1:0] フラグをすべて“00b”にすると、このフラグは“0”になります。

CFTIF0 フラグ (RSCAN0 送受信 FIFO 割り込みステータスフラグ)

CFCCLO.CFTXIE ビットが“1”(割り込み許可)、かつ CFSTS0.CFTXIF フラグが“1”(割り込み要求あり)になると、CFTIF0 フラグは“1”になります。

CFSTS0.CFTXIF フラグを“0”にすると、このフラグは“0”になります。また、CFCCLO.CFTXIE ビットを“0”にすることも、このフラグは“0”になります。

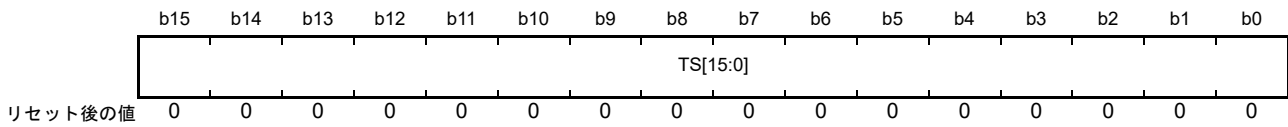
THIF0 フラグ (RSCAN0 送信履歴割り込みステータスフラグ)

THLCC0.THLIE ビットが“1”(割り込み許可)、かつ THLSTS0.THLIF フラグが“1”(割り込み要求あり)になると、THIF0 フラグは“1”になります。

THLSTS0.THLIF フラグを“0”にすると、このフラグは“0”になります。また、THLCC0.THLIE ビットを“0”にすることも、このフラグは“0”になります。

28.2.16 タイムスタンプレジスタ (GTSC)

アドレス RSCAN.GTSC 000A 832Eh



ビット	シンボル	機能	カウンタ値	R/W
b15-b0	TS[15:0]	タイムスタンプ用カウンタの値が読めます	0000h~FFFFh	R

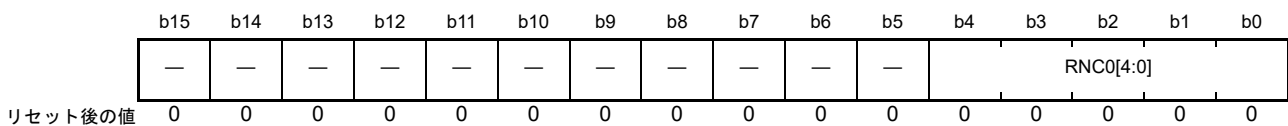
TS[15:0] ビットを読むと、その時点のタイムスタンプカウンタ (16 ビットフリーランカウンタ) の値が読めます。SOF を検出したとき、TS[15:0] ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。タイムスタンプカウンタはグローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- GCFGL.TSSS ビットが“0” (PCLK を選択) の場合
グローバル動作モードへ遷移したときにカウント開始。
グローバルストップモードまたはグローバルテストモードでカウント停止。
- GCFGL.TSSS ビットが“1” (CAN ビットタイムクロックを選択) の場合
対応するチャンネルがチャンネル通信モードへ遷移したときにカウント開始。
対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードでカウント停止。

28.2.17 受信ルール数設定レジスタ (GAFLCFG)

アドレス RSCAN.GAFLCFG 000A 8330h



ビット	シンボル	ビット名	機能	R/W
b4-b0	RNC0[4:0]	RSCAN0 受信ルール数設定ビット	チャンネル0の受信ルール数を設定してください。 設定範囲は“00h”～“10h”です	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GAFLCFG レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は最大 16 です。

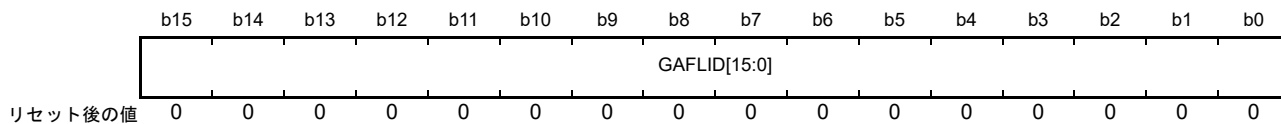
RNC0[4:0] ビット (RSCAN0 受信ルール数設定ビット)

チャンネル“0”の受信ルールテーブルに登録するルール数を設定します。

“00h”～“10h”以外の値を設定しないでください。

28.2.18 受信ルール登録レジスタ jAL (GAFLIDLj) (j = 0 ~ 15)

アドレス RSCAN.GAFLIDL0 000A 83A0h, RSCAN.GAFLIDL1 000A 83ACh, RSCAN.GAFLIDL2 000A 83B8h,
RSCAN.GAFLIDL3 000A 83C4h, RSCAN.GAFLIDL4 000A 83D0h, RSCAN.GAFLIDL5 000A 83DCh,
RSCAN.GAFLIDL6 000A 83E8h, RSCAN.GAFLIDL7 000A 83F4h, RSCAN.GAFLIDL8 000A 8400h,
RSCAN.GAFLIDL9 000A 840Ch, RSCAN.GAFLIDL10 000A 8418h, RSCAN.GAFLIDL11 000A 8424h,
RSCAN.GAFLIDL12 000A 8430h, RSCAN.GAFLIDL13 000A 843Ch, RSCAN.GAFLIDL14 000A 8448h,
RSCAN.GAFLIDL15 000A 8454h



ビット	シンボル	ビット名	機能	R/W
b15-b0	GAFLID[15:0]	ID設定ビットL	受信ルールのIDを設定してください。 標準IDの場合、b10～b0にIDを設定してください。b15～b11は“0”にしてください	R/W

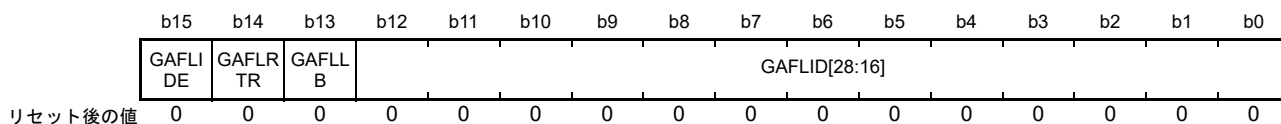
GAFLIDLj レジスタは、GRWCR.RPAGE ビットが“0”で、かつグローバルリセットモードでのみ書き換えしてください。

GAFLID[15:0] ビット (ID 設定ビット L)

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

28.2.19 受信ルール登録レジスタ jAH (GAFLIDHj) (j = 0 ~ 15)

アドレス RSCAN.GAFLIDH0 000A 83A2h, RSCAN.GAFLIDH1 000A 83AEh, RSCAN.GAFLIDH2 000A 83BAh,
RSCAN.GAFLIDH3 000A 83C6h, RSCAN.GAFLIDH4 000A 83D2h, RSCAN.GAFLIDH5 000A 83DEh,
RSCAN.GAFLIDH6 000A 83EAh, RSCAN.GAFLIDH7 000A 83F6h, RSCAN.GAFLIDH8 000A 8402h,
RSCAN.GAFLIDH9 000A 840Eh, RSCAN.GAFLIDH10 000A 841Ah, RSCAN.GAFLIDH11 000A 8426h,
RSCAN.GAFLIDH12 000A 8432h, RSCAN.GAFLIDH13 000A 843Eh, RSCAN.GAFLIDH14 000A 844Ah,
RSCAN.GAFLIDH15 000A 8456h



ビット	シンボル	ビット名	機能	R/W
b12-b0	GAFLID[28:16]	ID設定ビットH	受信ルールのIDを設定してください。 標準IDの場合、“0”にしてください	R/W
b13	GAFLLB	受信ルール対象メッセージ選択 ビット	0：他のCANノードが送信したメッセージを受信時 1：自らが送信したメッセージを受信時	R/W
b14	GAFLRTR	RTR選択ビット	0：データフレーム 1：リモートフレーム	R/W
b15	GAFLIDE	IDE選択ビット	0：標準ID 1：拡張ID	R/W

GAFLIDHj レジスタは、GRWCR.RPAGE ビットが“0”で、かつグローバルリセットモードでのみ書き換えてください。

GAFLID[28:16] ビット (ID 設定ビット H)

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

GAFLLB ビット (受信ルール対象メッセージ選択ビット)

“0”にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

ミラー機能使用時に“1”にすると、自らが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

GAFLRTR ビット (RTR 選択ビット)

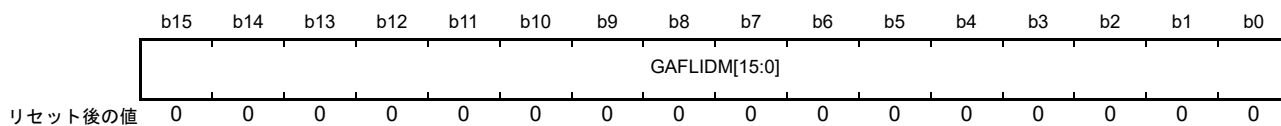
受信ルールのフレームフォーマット (データフレームまたはリモートフレーム) を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLIDE ビット (IDE 選択ビット)

受信ルールの ID フォーマット (標準 ID または拡張 ID) を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

28.2.20 受信ルール登録レジスタ jBL (GAFLMLj) (j = 0 ~ 15)

アドレス RSCAN.GAFLML0 000A 83A4h, RSCAN.GAFLML1 000A 83B0h, RSCAN.GAFLML2 000A 83BCh,
RSCAN.GAFLML3 000A 83C8h, RSCAN.GAFLML4 000A 83D4h, RSCAN.GAFLML5 000A 83E0h,
RSCAN.GAFLML6 000A 83ECh, RSCAN.GAFLML7 000A 83F8h, RSCAN.GAFLML8 000A 8404h,
RSCAN.GAFLML9 000A 8410h, RSCAN.GAFLML10 000A 841Ch, RSCAN.GAFLML11 000A 8428h,
RSCAN.GAFLML12 000A 8434h, RSCAN.GAFLML13 000A 8440h, RSCAN.GAFLML14 000A 844Ch,
RSCAN.GAFLML15 000A 8458h



ビット	シンボル	ビット名	機能	R/W
b15-b0	GAFLIDM[15:0]	IDマスクビットL	0 : 対応するIDビットを比較しない 1 : 対応するIDビットを比較する	R/W

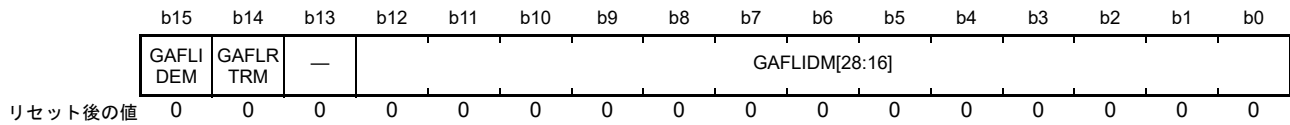
GAFLMLj レジスタは、GRWCR.RPAGE ビットが“0”で、かつグローバルリセットモードでのみ書き換え
てください。

GAFLIDM[15:0] ビット (ID マスクビット L)

受信ルールの対応する ID ビットをマスクするビットです。

28.2.21 受信ルール登録レジスタ jBH (GAFLMHj) (j = 0 ~ 15)

アドレス RSCAN.GAFLMH0 000A 83A6h, RSCAN.GAFLMH1 000A 83B2h, RSCAN.GAFLMH2 000A 83BEh,
RSCAN.GAFLMH3 000A 83CAh, RSCAN.GAFLMH4 000A 83D6h, RSCAN.GAFLMH5 000A 83E2h,
RSCAN.GAFLMH6 000A 83EEh, RSCAN.GAFLMH7 000A 83FAh, RSCAN.GAFLMH8 000A 8406h,
RSCAN.GAFLMH9 000A 8412h, RSCAN.GAFLMH10 000A 841Eh, RSCAN.GAFLMH11 000A 842Ah,
RSCAN.GAFLMH12 000A 8436h, RSCAN.GAFLMH13 000A 8442h, RSCAN.GAFLMH14 000A 844Eh,
RSCAN.GAFLMH15 000A 845Ah



ビット	シンボル	ビット名	機能	R/W
b12-b0	GAFLIDM[28:16]	IDマスクビットH	0: 対応するIDビットを比較しない 1: 対応するIDビットを比較する	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	GAFLRTRM	RTRマスクビット	0: RTRビットを比較しない 1: RTRビットを比較する	R/W
b15	GAFLIDEM	IDEマスクビット	0: IDEビットを比較しない 1: IDEビットを比較する	R/W

GAFLMHj レジスタは、GRWCR.RPAGE ビットが“0”で、かつグローバルリセットモードでのみ書き換えてください。

GAFLIDM[28:16] ビット (ID マスクビット H)

受信ルールの対応する ID ビットをマスクするビットです。

GAFLRTRM ビット (RTR マスクビット)

受信ルールの RTR ビットをマスクするビットです。

GAFLIDEM ビット (IDE マスクビット)

“1”にすると、GAFLIDHj.GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

“0”にすると、すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを“0”にする場合は、GAFLMHj.GAFLIDM[28:16] ビットと GAFLMLj.GAFLIDM[15:0] ビットをすべて“0”にしてください。

28.2.22 受信ルール登録レジスタ jCL (GAFLPLj) (j = 0 ~ 15)

アドレス RSCAN.GAFLPL0 000A 83A8h, RSCAN.GAFLPL1 000A 83B4h, RSCAN.GAFLPL2 000A 83C0h,
RSCAN.GAFLPL3 000A 83CCh, RSCAN.GAFLPL4 000A 83D8h, RSCAN.GAFLPL5 000A 83E4h,
RSCAN.GAFLPL6 000A 83F0h, RSCAN.GAFLPL7 000A 83FCh, RSCAN.GAFLPL8 000A 8408h,
RSCAN.GAFLPL9 000A 8414h, RSCAN.GAFLPL10 000A 8420h, RSCAN.GAFLPL11 000A 842Ch,
RSCAN.GAFLPL12 000A 8438h, RSCAN.GAFLPL13 000A 8444h, RSCAN.GAFLPL14 000A 8450h,
RSCAN.GAFLPL15 000A 845Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	GAFLR MV	GAFLRMDP[6:0]						—	—	—	GAFLF DP4	—	—	GAFLF DP1	GAFLF DP0		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	GAFLFDP0	受信FIFOバッファ選択ビット0	0: 受信FIFOバッファ0を選択しない 1: 受信FIFOバッファ0を選択する	R/W
b1	GAFLFDP1	受信FIFOバッファ選択ビット1	0: 受信FIFOバッファ1を選択しない 1: 受信FIFOバッファ1を選択する	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	GAFLFDP4	RSCAN0送受信FIFOバッファ 選択ビット0	0: RSCAN0送受信FIFOバッファ0を選択しない 1: RSCAN0送受信FIFOバッファ0を選択する	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14-b8	GAFLRMDP[6:0]	受信バッファ番号選択ビット	受信メッセージを格納する受信バッファの番号を設定	R/W
b15	GAFLRMV	受信バッファ許可ビット	0: 受信バッファを使用しない 1: 受信バッファを使用する	R/W

GAFLPLj レジスタは、GRWCR.RPAGE ビットが“0”で、かつグローバルリセットモードでのみ書き換え
てください。

GAFLFDP0 ビット (受信 FIFO バッファ選択ビット 0)、
GAFLFDP1 ビット (受信 FIFO バッファ選択ビット 1)、
GAFLFDP4 ビット (RSCAN0 送受信 FIFO バッファ選択ビット 0)

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大2つの FIFO バッファ
が選択できます。ただし、GAFLPLj.GAFLRMV ビットを“1”(受信バッファにメッセージを格納する)にし
た場合は、最大1つの FIFO バッファが選択できます。受信 FIFO バッファと、CFCCH0.CFM[1:0] ビットを
“00b”(受信モード)に設定した送受信 FIFO バッファのみ選択できます。

GAFLRMDP[6:0] ビット (受信バッファ番号選択ビット)

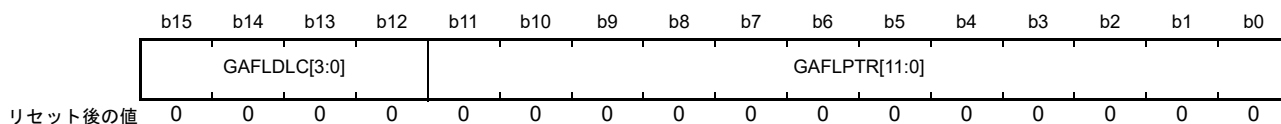
GAFLRMV ビットを“1”にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番
号を選択します。RMNB.NRXMB[4:0] ビットで設定した値より小さい番号を設定してください。

GAFLRMV ビット (受信バッファ許可ビット)

“1”にすると、GAFLRMDP[6:0] ビットで選択した受信バッファに、フィルタを通過した受信メッセージ
を格納します。

28.2.23 受信ルール登録レジスタ jCH (GAFLPHj) (j = 0 ~ 15)

アドレス RSCAN.GAFLPH0 000A 83AAh, RSCAN.GAFLPH1 000A 83B6h, RSCAN.GAFLPH2 000A 83C2h,
RSCAN.GAFLPH3 000A 83CEh, RSCAN.GAFLPH4 000A 83DAh, RSCAN.GAFLPH5 000A 83E6h,
RSCAN.GAFLPH6 000A 83F2h, RSCAN.GAFLPH7 000A 83FEh, RSCAN.GAFLPH8 000A 840Ah,
RSCAN.GAFLPH9 000A 8416h, RSCAN.GAFLPH10 000A 8422h, RSCAN.GAFLPH11 000A 842Eh,
RSCAN.GAFLPH12 000A 843Ah, RSCAN.GAFLPH13 000A 8446h, RSCAN.GAFLPH14 000A 8452h,
RSCAN.GAFLPH15 000A 845Eh



ビット	シンボル	ビット名	機能	R/W
b11-b0	GAFLPTR[11:0]	受信ルールラベル設定ビット	12ビットのラベル情報を設定	R/W
b15-b12	GAFLDLC[3:0]	受信ルールDLC設定ビット	b15 b12 0 0 0 0 : データ長0バイト以上(DLCチェックしない) 0 0 0 1 : データ長1バイト以上 0 0 1 0 : データ長2バイト以上 0 0 1 1 : データ長3バイト以上 0 1 0 0 : データ長4バイト以上 0 1 0 1 : データ長5バイト以上 0 1 1 0 : データ長6バイト以上 0 1 1 1 : データ長7バイト以上 1 x x x : データ長8バイト以上	R/W

x : Don't care

GAFLPHj レジスタは、GRWCR.RPAGE ビットが“0”で、かつグローバルリセットモードでのみ書き換えてください。

GAFLPTR[11:0] ビット (受信ルールラベル設定ビット)

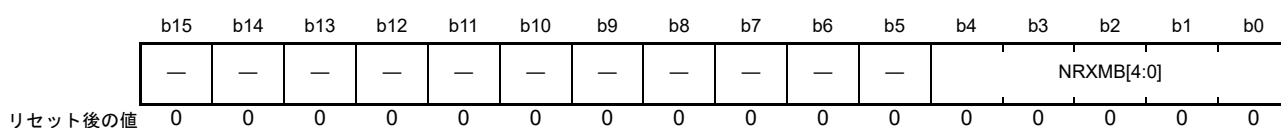
フィルタを通過したメッセージに付加する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に付加されます。

GAFLDLC[3:0] ビット (受信ルール DLC 設定ビット)

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0] ビットで設定した値以上の場合、DLC チェックを通過します。“0000b”を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

28.2.24 受信バッファ数設定レジスタ (RMNB)

アドレス RSCAN.RMNB 000A 8332h



ビット	シンボル	ビット名	機能	R/W
b4-b0	NRXMB[4:0]	受信バッファ数設定ビット	受信バッファ数を設定する。0～16の範囲で設定してください	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMNB レジスタはグローバルリセットモードでのみ書き換えてください。

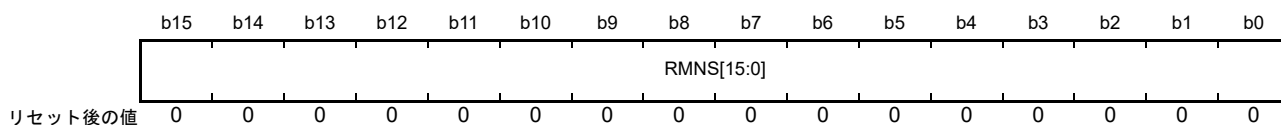
NRXMB[4:0] ビット (受信バッファ数設定ビット)

CAN モジュール全体の受信バッファ数を設定します。最大値は 16 です。

“0”を設定すると、受信バッファは使用できません。

28.2.25 受信バッファ受信完了フラグレジスタ (RMND0)

アドレス RSCAN.RMND0 000A 8334h



ビット	シンボル	ビット名	機能	R/W
b15-b0	RMNS[15:0]	受信バッファ受信完了フラグ n	0 : 受信バッファ n に新しいメッセージなし (n = 0 ~ 15) 1 : 受信バッファ n に新しいメッセージあり	R/W

RMND0 レジスタは、グローバル動作モードまたはグローバルテストモードで“0”を書き換えてください。

RMNS[15:0] フラグ (受信バッファ受信完了フラグ n)

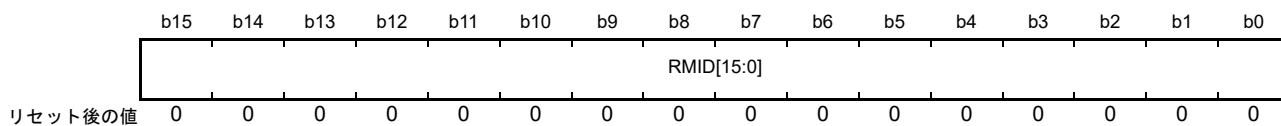
対応する受信バッファにメッセージを格納する処理が始まると“1”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書き換えてください。“0”を書く場合は、“0”にしたいビットを“0”、そうでないビットを“1”にして 16 ビット単位で書き換えてください。メッセージ格納中は“0”にできません。メッセージを格納する時間は PCLK の 10 クロック分です。

グローバルリセットモード時、“0”になります。

28.2.26 受信バッファレジスタ nAL (RMIDLn) (n = 0 ~ 15)

アドレス RSCAN.RMIDL0 000A 83A0h, RSCAN.RMIDL1 000A 83B0h, RSCAN.RMIDL2 000A 83C0h,
RSCAN.RMIDL3 000A 83D0h, RSCAN.RMIDL4 000A 83E0h, RSCAN.RMIDL5 000A 83F0h,
RSCAN.RMIDL6 000A 8400h, RSCAN.RMIDL7 000A 8410h, RSCAN.RMIDL8 000A 8420h,
RSCAN.RMIDL9 000A 8430h, RSCAN.RMIDL10 000A 8440h, RSCAN.RMIDL11 000A 8450h,
RSCAN.RMIDL12 000A 8460h, RSCAN.RMIDL13 000A 8470h, RSCAN.RMIDL14 000A 8480h,
RSCAN.RMIDL15 000A 8490h



ビット	シンボル	ビット名	機能	R/W
b15-b0	RMID[15:0]	受信バッファ ID データ L	受信メッセージの標準 ID/拡張 ID が読めます。標準 ID の場合は、b10~b0 を読んでください。b15~b11 は 0 が読めます	R

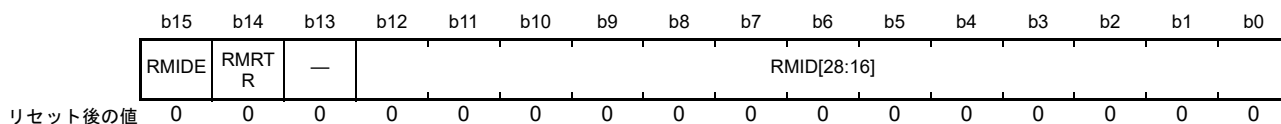
GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RMID[15:0] ビット (受信バッファ ID データ L)

受信バッファに格納されたメッセージの ID を示します。

28.2.27 受信バッファレジスタ nAH (RMIDHn) (n = 0 ~ 15)

アドレス RSCAN.RMIDH0 000A 83A2h, RSCAN.RMIDH1 000A 83B2h, RSCAN.RMIDH2 000A 83C2h,
RSCAN.RMIDH3 000A 83D2h, RSCAN.RMIDH4 000A 83E2h, RSCAN.RMIDH5 000A 83F2h,
RSCAN.RMIDH6 000A 8402h, RSCAN.RMIDH7 000A 8412h, RSCAN.RMIDH8 000A 8422h,
RSCAN.RMIDH9 000A 8432h, RSCAN.RMIDH10 000A 8442h, RSCAN.RMIDH11 000A 8452h,
RSCAN.RMIDH12 000A 8462h, RSCAN.RMIDH13 000A 8472h, RSCAN.RMIDH14 000A 8482h,
RSCAN.RMIDH15 000A 8492h



ビット	シンボル	ビット名	機能	R/W
b12-b0	RMID[28:16]	受信バッファ ID データ H	受信メッセージの標準 ID/拡張 ID が読めます。標準 ID の場合は、“0”が読めます	R
b13	—	予約ビット	読むと“0”が読めます	R
b14	RMRT R	受信バッファ RTR ビット	0 : データフレーム 1 : リモートフレーム	R
b15	RMIDE	受信バッファ IDE ビット	0 : 標準 ID 1 : 拡張 ID	R

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RMID[28:16] ビット (受信バッファ ID データ H)

受信バッファに格納されたメッセージの ID を示します。

RMRTTR ビット (受信バッファ RTR ビット)

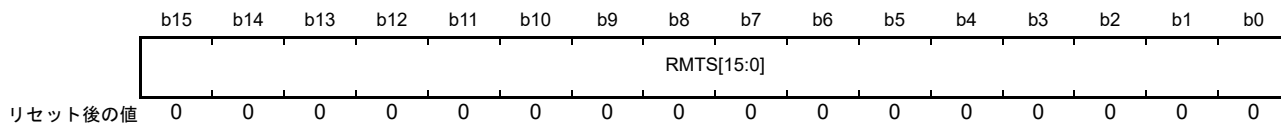
受信バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

RMIDE ビット (受信バッファ IDE ビット)

受信バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

28.2.28 受信バッファレジスタ nBL (RMTSn) (n = 0 ~ 15)

アドレス RSCAN.RMTS0 000A 83A4h, RSCAN.RMTS1 000A 83B4h, RSCAN.RMTS2 000A 83C4h,
RSCAN.RMTS3 000A 83D4h, RSCAN.RMTS4 000A 83E4h, RSCAN.RMTS5 000A 83F4h,
RSCAN.RMTS6 000A 8404h, RSCAN.RMTS7 000A 8414h, RSCAN.RMTS8 000A 8424h,
RSCAN.RMTS9 000A 8434h, RSCAN.RMTS10 000A 8444h, RSCAN.RMTS11 000A 8454h,
RSCAN.RMTS12 000A 8464h, RSCAN.RMTS13 000A 8474h, RSCAN.RMTS14 000A 8484h,
RSCAN.RMTS15 000A 8494h



ビット	シンボル	ビット名	機能	R/W
b15-b0	RMTS[15:0]	受信バッファタイムスタンプデータ	受信メッセージのタイムスタンプ値が読めます	R

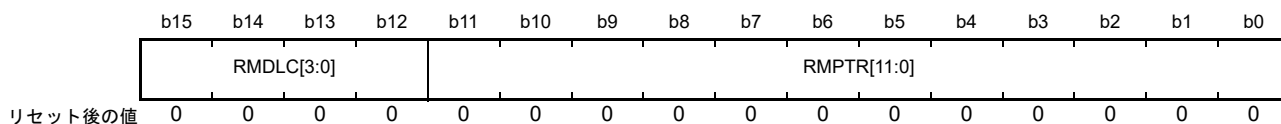
GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RMTS[15:0] ビット (受信バッファタイムスタンプデータ)

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

28.2.29 受信バッファレジスタ nBH (RMPTRn) (n = 0 ~ 15)

アドレス RSCAN.RMPTR0 000A 83A6h, RSCAN.RMPTR1 000A 83B6h, RSCAN.RMPTR2 000A 83C6h,
RSCAN.RMPTR3 000A 83D6h, RSCAN.RMPTR4 000A 83E6h, RSCAN.RMPTR5 000A 83F6h,
RSCAN.RMPTR6 000A 8406h, RSCAN.RMPTR7 000A 8416h, RSCAN.RMPTR8 000A 8426h,
RSCAN.RMPTR9 000A 8436h, RSCAN.RMPTR10 000A 8446h, RSCAN.RMPTR11 000A 8456h,
RSCAN.RMPTR12 000A 8466h, RSCAN.RMPTR13 000A 8476h, RSCAN.RMPTR14 000A 8486h,
RSCAN.RMPTR15 000A 8496h



ビット	シンボル	ビット名	機能	R/W
b11-b0	RMPTR[11:0]	受信バッファラベルデータ	受信メッセージのラベル情報が読めます	R
b15-b12	RMDLC[3:0]	受信バッファ DLC データ	b15 b12 0 0 0 0 : 0バイト 0 0 0 1 : 1バイト 0 0 1 0 : 2バイト 0 0 1 1 : 3バイト 0 1 0 0 : 4バイト 0 1 0 1 : 5バイト 0 1 1 0 : 6バイト 0 1 1 1 : 7バイト 1 x x x : 8バイト	R

x : Don't care

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RMPTR[11:0] ビット (受信バッファラベルデータ)

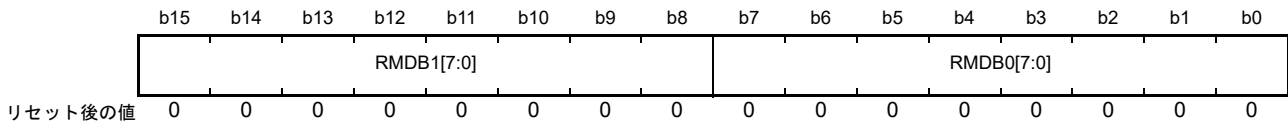
受信バッファに格納されたメッセージのラベル情報を示します。

RMDLC[3:0] ビット (受信バッファ DLC データ)

受信バッファに格納されたメッセージのデータ長を示します。

28.2.30 受信バッファレジスタ nCL (RMDF0n) (n = 0 ~ 15)

アドレス RSCAN.RMDF00 000A 83A8h, RSCAN.RMDF01 000A 83B8h, RSCAN.RMDF02 000A 83C8h,
RSCAN.RMDF03 000A 83D8h, RSCAN.RMDF04 000A 83E8h, RSCAN.RMDF05 000A 83F8h,
RSCAN.RMDF06 000A 8408h, RSCAN.RMDF07 000A 8418h, RSCAN.RMDF08 000A 8428h,
RSCAN.RMDF09 000A 8438h, RSCAN.RMDF10 000A 8448h, RSCAN.RMDF11 000A 8458h,
RSCAN.RMDF12 000A 8468h, RSCAN.RMDF13 000A 8478h, RSCAN.RMDF14 000A 8488h,
RSCAN.RMDF15 000A 8498h



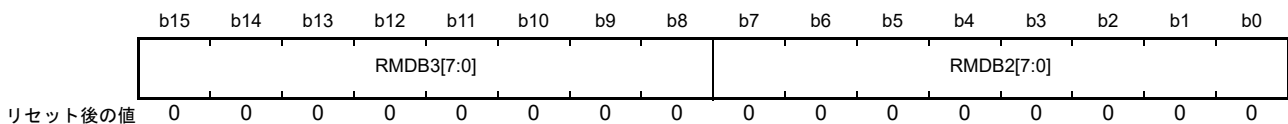
ビット	シンボル	ビット名	機能	R/W
b7-b0	RMDB0[7:0]	受信バッファデータバイト0	受信バッファに格納されたメッセージのデータが読めます	R
b15-b8	RMDB1[7:0]	受信バッファデータバイト1		R

RMPTRn.RMDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

28.2.31 受信バッファレジスタ nCH (RMDF1n) (n = 0 ~ 15)

アドレス RSCAN.RMDF10 000A 83AAh, RSCAN.RMDF11 000A 83BAh, RSCAN.RMDF12 000A 83CAh,
RSCAN.RMDF13 000A 83DAh, RSCAN.RMDF14 000A 83EAh, RSCAN.RMDF15 000A 83FAh,
RSCAN.RMDF16 000A 840Ah, RSCAN.RMDF17 000A 841Ah, RSCAN.RMDF18 000A 842Ah,
RSCAN.RMDF19 000A 843Ah, RSCAN.RMDF110 000A 844Ah, RSCAN.RMDF111 000A 845Ah,
RSCAN.RMDF112 000A 846Ah, RSCAN.RMDF113 000A 847Ah, RSCAN.RMDF114 000A 848Ah,
RSCAN.RMDF115 000A 849Ah



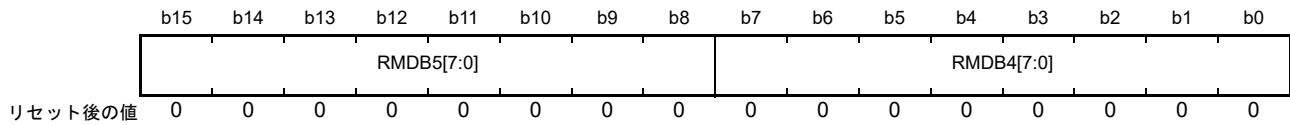
ビット	シンボル	ビット名	機能	R/W
b7-b0	RMDB2[7:0]	受信バッファデータバイト2	受信バッファに格納されたメッセージのデータが読めます	R
b15-b8	RMDB3[7:0]	受信バッファデータバイト3		R

RMPTRn.RMDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

28.2.32 受信バッファレジスタ nDL (RMDF2n) (n = 0 ~ 15)

アドレス RSCAN.RMDF20 000A 83ACh, RSCAN.RMDF21 000A 83BCh, RSCAN.RMDF22 000A 83CCh,
RSCAN.RMDF23 000A 83DCh, RSCAN.RMDF24 000A 83ECh, RSCAN.RMDF25 000A 83FCh,
RSCAN.RMDF26 000A 840Ch, RSCAN.RMDF27 000A 841Ch, RSCAN.RMDF28 000A 842Ch,
RSCAN.RMDF29 000A 843Ch, RSCAN.RMDF210 000A 844Ch, RSCAN.RMDF211 000A 845Ch,
RSCAN.RMDF212 000A 846Ch, RSCAN.RMDF213 000A 847Ch, RSCAN.RMDF214 000A 848Ch,
RSCAN.RMDF215 000A 849Ch



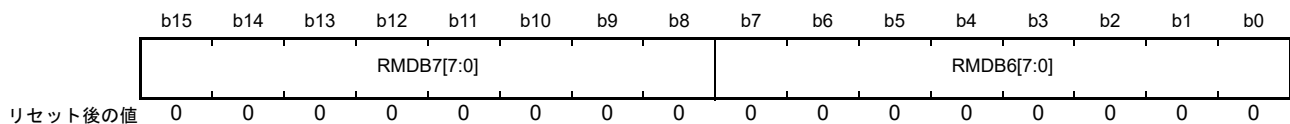
ビット	シンボル	ビット名	機能	R/W
b7-b0	RMDB4[7:0]	受信バッファデータバイト4	受信バッファに格納されたメッセージのデータが読めます	R
b15-b8	RMDB5[7:0]	受信バッファデータバイト5		R

RMPTRn.RMDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

28.2.33 受信バッファレジスタ nDH (RMDF3n) (n = 0 ~ 15)

アドレス RSCAN.RMDF30 000A 83AEh, RSCAN.RMDF31 000A 83BEh, RSCAN.RMDF32 000A 83CEh,
RSCAN.RMDF33 000A 83DEh, RSCAN.RMDF34 000A 83EEh, RSCAN.RMDF35 000A 83FEh,
RSCAN.RMDF36 000A 840Eh, RSCAN.RMDF37 000A 841Eh, RSCAN.RMDF38 000A 842Eh,
RSCAN.RMDF39 000A 843Eh, RSCAN.RMDF310 000A 844Eh, RSCAN.RMDF311 000A 845Eh,
RSCAN.RMDF312 000A 846Eh, RSCAN.RMDF313 000A 847Eh, RSCAN.RMDF314 000A 848Eh,
RSCAN.RMDF315 000A 849Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	RMDB6[7:0]	受信バッファデータバイト6	受信バッファに格納されたメッセージのデータが読めます	R
b15-b8	RMDB7[7:0]	受信バッファデータバイト7		R

RMPTRn.RMDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

28.2.34 受信 FIFO 制御レジスタ m (RFCCm) (m = 0, 1)

アドレス RSCAN.RFCC0 000A 8338h, RSCAN.RFCC1 000A 833Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	—	—	—	—	—	RFIE	RFE
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信 FIFO バッファ許可ビット	0: 受信 FIFO バッファを使用しない 1: 受信 FIFO バッファを使用する	R/W
b1	RFIE	受信 FIFO 割り込み許可ビット	0: 受信 FIFO 割り込み禁止 1: 受信 FIFO 割り込み許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	RFDC[2:0]	受信 FIFO バッファ段数設定ビット	b10 b8 0 0 0 : 0メッセージ 0 0 1 : 4メッセージ 0 1 0 : 8メッセージ 0 1 1 : 16メッセージ 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	RFIM	受信 FIFO 割り込み要因選択ビット	0: RFIGCV[2:0] ビットで設定した条件に達したときに発生 1: 1メッセージ受信完了ごとに発生	R/W
b15-b13	RFIGCV[2:0]	受信 FIFO 割り込み要求発生タイミング選択ビット	b15 b13 0 0 0 : FIFO バッファに1/8までメッセージ格納時 0 0 1 : FIFO バッファに2/8までメッセージ格納時 0 1 0 : FIFO バッファに3/8までメッセージ格納時 0 1 1 : FIFO バッファに4/8までメッセージ格納時 1 0 0 : FIFO バッファに5/8までメッセージ格納時 1 0 1 : FIFO バッファに6/8までメッセージ格納時 1 1 0 : FIFO バッファに7/8までメッセージ格納時 1 1 1 : FIFO バッファがフルの時	R/W

RFE ビット (受信 FIFO バッファ許可ビット)

“1”にすると、受信 FIFO バッファが使用できます。“0”にすると、RFSTSm.RFEMP フラグが“1”(バッファ空)になります。このビットはグローバル動作モードまたはグローバルテストモードでのみ書き換えてください。

RFIE ビット (受信 FIFO 割り込み許可ビット)

“1”にすると、受信 FIFO 割り込みが使用できます。RFE ビットが“0”(受信 FIFO バッファを使用しない)のときに、RFIE ビットを書き換えてください。

RFDC[2:0] ビット (受信 FIFO バッファ段数設定ビット)

1つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000b”に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット (受信 FIFO 割り込み要因選択ビット)

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFIGCV[2:0] ビット (受信 FIFO 割り込み要求発生タイミング選択ビット)

RFIM ビットを“0”にした場合の受信 FIFO 割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数(RFDC[2:0]の設定)に対する分数で指定します。RFDC[2:0] ビットを“001b”(4メッセージ)に設定した場合は、RFIGCV[2:0] ビットを“001b”、“011b”、“101b”、または“111b”にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

28.2.35 受信 FIFO ステータスレジスタ m (RFSTSm) (m = 0, 1)

アドレス RSCAN.RFSTS0 000A 8340h, RSCAN.RFSTS1 000A 8342h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RFMC[5:0]					—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RFEMP	受信FIFOバッファ空ステータスフラグ	0: 受信FIFOバッファに未読メッセージあり 1: 受信FIFOバッファに未読メッセージなし(バッファ空)	R
b1	RFFLL	受信FIFOバッファフルステータスフラグ	0: 受信FIFOバッファフルではない 1: 受信FIFOバッファフル	R
b2	RFMLT	受信FIFOメッセージロストフラグ	0: 受信FIFOメッセージロストなし 1: 受信FIFOメッセージロスト	R/(W) (注1)
b3	RFIF	受信FIFO割り込み要求フラグ	0: 受信FIFO割り込み要求なし 1: 受信FIFO割り込み要求あり	R/(W) (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	RFMC[5:0]	受信FIFO未読メッセージ数表示カウンタ	受信FIFOバッファに格納された未読メッセージ数を示します	R
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. このフラグビットへの書き込みは、ステータスクリアする(“0”にする)動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

RFEMP フラグ (受信 FIFO バッファ空ステータスフラグ)

受信 FIFO バッファのすべてのメッセージを読むと“1”になります。また、RFCCm.RFE ビットが“0”のとき、またはグローバルリセットモード時に“1”になります。

受信メッセージが1つでも受信 FIFO バッファに格納されると0になります。

RFFLL フラグ (受信 FIFO バッファフルステータスフラグ)

受信 FIFO バッファに格納されたメッセージ数が、RFCCm.RFDC[2:0] ビットで設定した段数と一致すると“1”になります。

受信 FIFO バッファに格納されたメッセージ数が、RFCCm.RFDC[2:0] ビットで設定した段数より小さくなると“0”になります。また、RFCCm.RFE ビットが“0”(受信 FIFO バッファを使用しない)のとき、またはグローバルリセットモード時に“0”になります。

RFMLT フラグ (受信 FIFO メッセージロストフラグ)

受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき“1”になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。

このビットはグローバル動作モードまたはグローバルテストモードでのみ書き換えてください。

RFIF フラグ (受信 FIFO 割り込み要求フラグ)

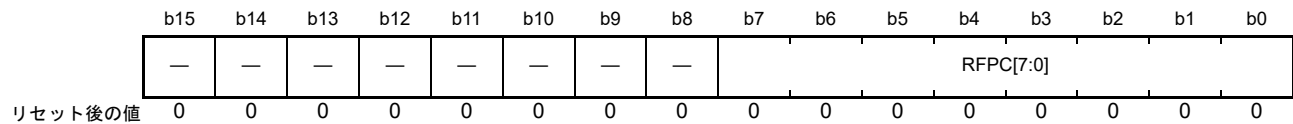
RFCCm.RFIGCV[2:0] ビット (m = 0, 1) と RFCCm.RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに“1”になります。RFIF フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。このビットはグローバル動作モードまたはグローバルテストモードでのみ書き換えてください。

RFMC[5:0] フラグ (受信 FIFO 未読メッセージ数表示カウンタ)

受信 FIFO バッファ内の未読メッセージ数を示します。RFCCm.RFE ビットを“0”にすると、“00h”になります。

28.2.36 受信 FIFO ポインタ制御レジスタ m (RFPCTRm) (m = 0, 1)

アドレス RSCAN.RFPCTR0 000A 8348h, RSCAN.RFPCTR1 000A 834Ah



ビット	シンボル	ビット名	機能	R/W
b7-b0	RFPC[7:0]	受信FIFOポインタ	“FFh”を書くと、受信FIFOバッファの次の未読メッセージにリードポインタが移動します。設定値は“FFh”です	W
b15-b8	—	予約ビット	書く場合、“0”としてください	W

RFPC[7:0] ビット (受信 FIFO ポインタ)

RFPC[7:0] ビットに“FFh”を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RFSTSm.RFMC[5:0] フラグ (受信 FIFO 未読メッセージ数表示カウンタ) の値が“1”減算されます。RFIDLm、RFIDHm、RFTSm、RFPTRm、RFDF0m ~ RFDF3m レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0] ビットに“FFh”を書いてください。

なお、“FFh”の書き込みは、RFCCm.RFE ビットが“1”(受信 FIFO バッファを使用する)で、RFSTSm.RFEMP フラグが“0”(未読メッセージあり)のときに行ってください。

28.2.37 受信 FIFO アクセスレジスタ mAL (RFIDLm) (m = 0, 1)

アドレス RSCAN.RFIDL0 000A 85A0h, RSCAN.RFIDL1 000A 85B0h



ビット	シンボル	ビット名	機能	R/W
b15-b0	RFID[15:0]	受信FIFOバッファIDデータL	受信メッセージの標準ID/拡張IDが読めます。標準IDの場合は、b10～b0を読んでください。b15～b11は0が読めます	R

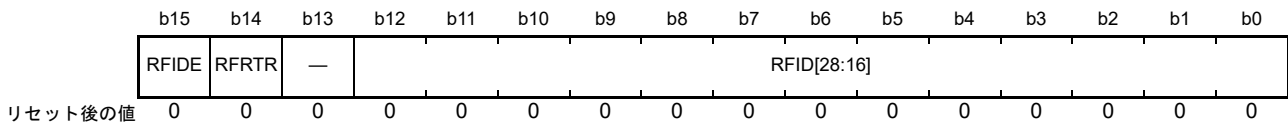
GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RFID[15:0] ビット (受信 FIFO バッファ ID データ L)

受信 FIFO バッファに格納されたメッセージの ID を示します。

28.2.38 受信 FIFO アクセスレジスタ mAH (RFIDHm) (m = 0, 1)

アドレス RSCAN.RFIDH0 000A 85A2h, RSCAN.RFIDH1 000A 85B2h



ビット	シンボル	ビット名	機能	R/W
b12-b0	RFID[28:16]	受信FIFOバッファIDデータH	受信メッセージの標準ID/拡張IDが読めます。標準IDの場合は、“0”が読めます	R
b13	—	予約ビット	読むと“0”が読めます	R
b14	RFRTR	受信FIFOバッファRTRビット	0：データフレーム 1：リモートフレーム	R
b15	RFIDE	受信FIFOバッファIDEビット	0：標準ID 1：拡張ID	R

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RFID[28:16] ビット (受信 FIFO バッファ ID データ H)

受信 FIFO バッファに格納されたメッセージの ID を示します。

RFRTR ビット (受信 FIFO バッファ RTR ビット)

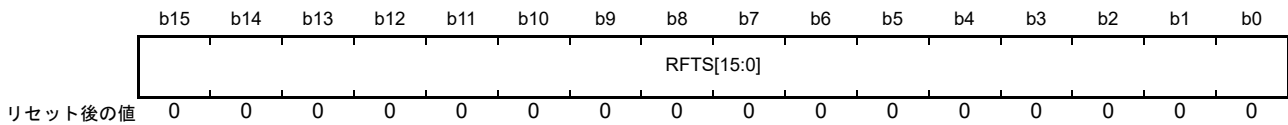
受信 FIFO バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

RFIDE ビット (受信 FIFO バッファ IDE ビット)

受信 FIFO バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

28.2.39 受信 FIFO アクセスレジスタ mBL (RFTSm) (m = 0, 1)

アドレス RSCAN.RFTS0 000A 85A4h, RSCAN.RFTS1 000A 85B4h



ビット	シンボル	ビット名	機能	R/W
b15-b0	RFTS[15:0]	受信FIFOバッファタイムスタンプデータ	受信メッセージのタイムスタンプ値が読めます	R

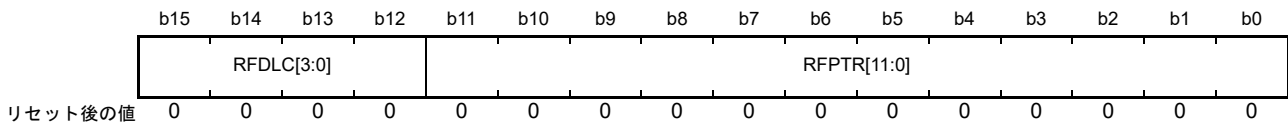
GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RFTS[15:0] ビット (受信 FIFO バッファタイムスタンプデータ)

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

28.2.40 受信 FIFO アクセスレジスタ mBH (RFPTRm) (m = 0, 1)

アドレス RSCAN.RFPTR0 000A 85A6h, RSCAN.RFPTR1 000A 85B6h



ビット	シンボル	ビット名	機能	R/W
b11-b0	RFPTR[11:0]	受信FIFOバッファラベルデータ	受信メッセージのラベル情報が読めます	R
b15-b12	RFDLC[3:0]	受信FIFOバッファ DLC データ	b15 b12 0 0 0 0 : 0バイト 0 0 0 1 : 1バイト 0 0 1 0 : 2バイト 0 0 1 1 : 3バイト 0 1 0 0 : 4バイト 0 1 0 1 : 5バイト 0 1 1 0 : 6バイト 0 1 1 1 : 7バイト 1 x x x : 8バイト	R

x : Don't care

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RFPTR[11:0] ビット (受信 FIFO バッファラベルデータ)

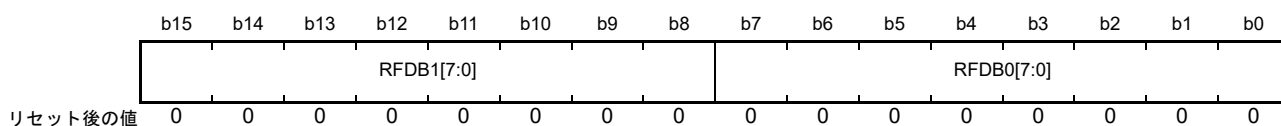
受信 FIFO バッファに格納されたメッセージのラベル情報を示します。

RFDLC[3:0] ビット (受信 FIFO バッファ DLC データ)

受信 FIFO バッファに格納されたメッセージのデータ長を示します。

28.2.41 受信 FIFO アクセスレジスタ mCL (RFDF0m) (m = 0, 1)

アドレス RSCAN.RFDF00 000A 85A8h, RSCAN.RFDF01 000A 85B8h



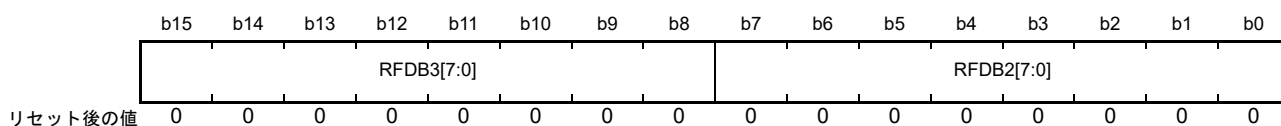
ビット	シンボル	ビット名	機能	R/W
b7-b0	RFDB0[7:0]	受信FIFOバッファデータバイト0	受信FIFOバッファに格納されたメッセージのデータが読めます	R
b15-b8	RFDB1[7:0]	受信FIFOバッファデータバイト1		R

RFPTRm.RFDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

28.2.42 受信 FIFO アクセスレジスタ mCH (RFDF1m) (m = 0, 1)

アドレス RSCAN.RFDF10 000A 85AAh, RSCAN.RFDF11 000A 85BAh



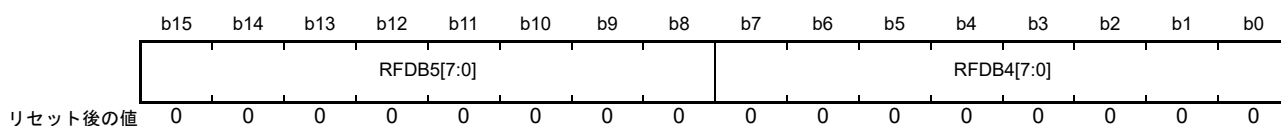
ビット	シンボル	ビット名	機能	R/W
b7-b0	RFDB2[7:0]	受信FIFOバッファデータバイト2	受信FIFOバッファに格納されたメッセージのデータが読めます	R
b15-b8	RFDB3[7:0]	受信FIFOバッファデータバイト3		R

RFPTRm.RFDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

28.2.43 受信 FIFO アクセスレジスタ mDL (RFDF2m) (m = 0, 1)

アドレス RSCAN.RFDF20 000A 85ACh, RSCAN.RFDF21 000A 85BCh



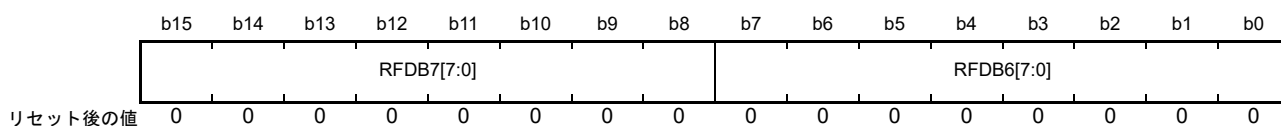
ビット	シンボル	ビット名	機能	R/W
b7-b0	RFDB4[7:0]	受信FIFOバッファデータバイト4	受信FIFOバッファに格納されたメッセージのデータが読めます	R
b15-b8	RFDB5[7:0]	受信FIFOバッファデータバイト5		R

RFPTRm.RFDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

28.2.44 受信 FIFO アクセスレジスタ mDH (RFDF3m) (m = 0, 1)

アドレス RSCAN.RFDF30 000A 85AEh, RSCAN.RFDF31 000A 85BEh



ビット	シンボル	ビット名	機能	R/W
b7-b0	RFDB6[7:0]	受信FIFOバッファデータバイト6	受信FIFOバッファに格納されたメッセージのデータが読めます	R
b15-b8	RFDB7[7:0]	受信FIFOバッファデータバイト7		R

RFPTRm.RFDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

28.2.45 送受信 FIFO 制御レジスタ 0L (CFCCL0)

アドレス RSCAN0.CFCCL0 000A 8350h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CFIGCV[2:0]			CFIM	—	CFDC[2:0]			—	—	—	—	—	CFTXIE	CFRXIE	CFE
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b0	CFE	送受信 FIFO バッファ許可ビット	0: 送受信 FIFO バッファを使用しない 1: 送受信 FIFO バッファを使用する	R/W
b1	CFRXIE	送受信 FIFO 受信割り込み許可ビット	0: 送受信 FIFO 受信割り込み禁止 1: 送受信 FIFO 受信割り込み許可	R/W
b2	CFTXIE	送受信 FIFO 送信割り込み許可ビット	0: 送受信 FIFO 送信割り込み禁止 1: 送受信 FIFO 送信割り込み許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CFDC[2:0]	送受信 FIFO バッファ段数設定ビット	b10 b8 0 0 0 : 0メッセージ 0 0 1 : 4メッセージ 0 1 0 : 8メッセージ 0 1 1 : 16メッセージ 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	CFIM	送受信 FIFO 割り込み要因選択ビット	0: 受信モード時 受信メッセージ数がCFIGCV[2:0]ビットで設定した条件に達したとき、FIFO 受信割り込み要求発生 送信モード時 メッセージ送信完了によってバッファが空になったとき、FIFO 送信割り込み要求発生 1: 受信モード時 1メッセージ受信ごとにFIFO 受信割り込み要求発生 送信モード時 1メッセージ送信が完了するごとにFIFO 送信割り込み要求発生	R/W
b15-b13	CFIGCV[2:0]	送受信 FIFO 受信割り込み要求発生タイミング選択ビット	b15 b13 0 0 0 : FIFO バッファに1/8までメッセージ格納時 0 0 1 : FIFO バッファに2/8までメッセージ格納時 0 1 0 : FIFO バッファに3/8までメッセージ格納時 0 1 1 : FIFO バッファに4/8までメッセージ格納時 1 0 0 : FIFO バッファに5/8までメッセージ格納時 1 0 1 : FIFO バッファに6/8までメッセージ格納時 1 1 0 : FIFO バッファに7/8までメッセージ格納時 1 1 1 : FIFO バッファがフルの時	R/W

CFE ビット (送受信 FIFO バッファ許可ビット)

“1”にすると、送受信 FIFO バッファを使用できます。

“0”にすると、送信モードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトラージロストの後に、空になります。それ以外の場合、または受信モードでは“0”にすると空になります。

このビットは、次に示す条件で“0”になります。

- 受信モード時：グローバルリセットモード
- 送信モード時：チャネルリセットモード

このビットは、次に示すモードでのみ書き換えてください。

- 受信モード：グローバル動作モードまたはグローバルテストモード
- 送信モード：チャンネル通信モードまたはチャンネル待機モード

CFRXIE ビット (送受信 FIFO 受信割り込み許可ビット)

このビットを“1”に設定し、CFSTS0.CFRXIF フラグが“1”になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが“0”の状態、CFRXIE ビットを書き換えてください。

CFTXIE ビット (送受信 FIFO 送信割り込み許可ビット)

このビットを“1”に設定し、CFSTS0.CFTXIF フラグが“1”になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが“0”(送受信 FIFO バッファを使用しない)の状態、CFTXIE ビットを書き換えてください。

CFDC[2:0] ビット (送受信 FIFO バッファ段数設定ビット)

1つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000b”に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット (送受信 FIFO 割り込み要因選択ビット)

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0] ビット (送受信 FIFO 受信割り込み要求発生タイミング選択ビット)

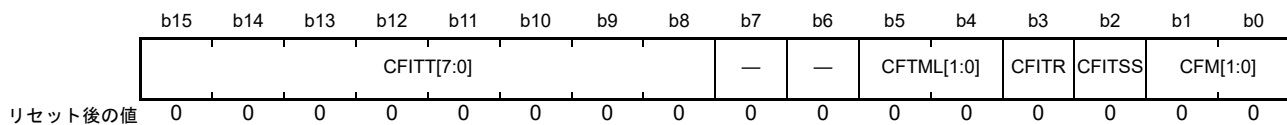
CFCCH0.CFM[1:0] ビットを“00b”(受信モード)に、CFIM ビットを“0”にした場合の送受信 FIFO 受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数(CFDC[2:0] ビットの設定)に対する分数で指定します。

CFDC[2:0] ビットを“001b”(4メッセージ)に設定した場合は、CFIGCV[2:0] ビットを“001b”、“011b”、“101b”、または“111b”にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

28.2.46 送受信 FIFO 制御レジスタ 0H (CFCC0)

アドレス RSCAN0.CFCC0 000A 8352h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CFM[1:0]	送受信FIFOモード選択ビット	b1 b0 0 0 : 受信モード 0 1 : 送信モード 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b2	CFITSS	インターバルタイマクロックソース選択ビット	0 : CFITR ビットで選択したクロック 1 : CAN ビットタイムクロック	R/W
b3	CFITR	送受信FIFOインターバルタイマ分解能	0 : PCLKをGCFGH.ITRCP[15:0]ビットで分周したクロック 1 : PCLKをGCFGH.ITRCP[15:0]ビットの値×10で分周したクロック	R/W
b5-b4	CFTML[1:0]	送信バッファリンク設定ビット	送受信FIFOバッファにリンクさせる送信バッファ番号を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	CFITT[7:0]	メッセージ送信間隔設定ビット	メッセージの送信間隔を設定してください。設定値は“00h”～“FFh”です	R/W

CFM[1:0] ビット (送受信 FIFO モード選択ビット)

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFITSS ビット (インターバルタイマクロックソース選択ビット)

“0”のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。

“1”のとき、CAN ビットタイムクロックがインターバルタイマのカウントソースになります。

CFCC0.CFE ビットを“0”(送受信 FIFO バッファを使用しない)にしてから、CFITSS ビットを書き換えてください。

CFITR ビット (送受信 FIFO インターバルタイマ分解能)

CFITSS ビットが“1”のとき、有効です。

“0”のとき、PCLK を GCFGH.ITRCP[15:0] ビットで分周したクロックを選択します。

“1”のとき、PCLK を GCFGH.ITRCP[15:0] ビットの値×10 で分周したクロックを選択します。

CFCC0.CFE ビットが“0”(送受信 FIFO バッファを使用しない)の状態、CFITR ビットを書き換えてください。

CFTML[1:0] ビット (送信バッファリンク設定ビット)

CFM[1:0] ビットを“01b”(送信モード)に設定した場合、送受信 FIFO バッファにリンクする送信バッファ番号を設定します。

CFCC0.CFDC[2:0] ビットを“001b”以上にすると、CFTML[1:0] ビットの設定が有効になります。

このビットはグローバルリセットモードでのみ書き換えてください。

CFITT[7:0] ビット (メッセージ送信間隔設定ビット)

CFM[1:0] ビットを“01b”(送信モード)に設定した送受信 FIFO バッファから連続してメッセージを送信

する場合、メッセージの送信間隔を設定します。

CFCCLO.CFE ビットを“0”(送受信 FIFO バッファを使用しない)にしてから、CFITT[7:0] ビットを書き換えてください。

28.2.47 送受信 FIFO ステータスレジスタ 0 (CFSTS0)

アドレス RSCAN0.CFSTS0 000A 8358h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	CFMC[5:0]					—	—	—	—	CFTXIF	CFRXIF	CFMLT	CFFLL	CFEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CFEMP	送受信 FIFO バッファ空ステータスフラグ	0: 送受信 FIFO バッファにメッセージあり 1: 送受信 FIFO バッファにメッセージなし(バッファ空)	R
b1	CFFLL	送受信 FIFO バッファフルステータスフラグ	0: 送受信 FIFO バッファフルではない 1: 送受信 FIFO バッファフル	R
b2	CFMLT	送受信 FIFO メッセージロストフラグ	0: 送受信 FIFO メッセージロストなし 1: 送受信 FIFO メッセージロスト	R/(W) (注1)
b3	CFRXIF	送受信 FIFO 受信割り込み要求フラグ	0: 送受信 FIFO 受信割り込み要求なし 1: 送受信 FIFO 受信割り込み要求あり	R/(W) (注1)
b4	CFTXIF	送受信 FIFO 送信割り込み要求フラグ	0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり	R/(W) (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	CFMC[5:0]	送受信 FIFO メッセージ数表示カウンタ	送受信 FIFO バッファに格納されたメッセージ数を示します	R
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. このフラグビットへの書き込みは、ステータスクリアする(“0”にする)動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

CFEMP フラグ (送受信 FIFO バッファ空ステータスフラグ)

[“1”になる条件]

- CFCCH0.CFM[1:0] ビットが“00b”の場合: 全メッセージを読み出したとき、またはグローバルリセットモード
- CFCCH0.CFM[1:0] ビットが“01b”の場合: すべてのメッセージを送信したとき、またはチャネルリセットモード
- CFCCL0.CFE ビットが“0”(送受信 FIFO バッファを使用しない)のとき
ただし、送受信 FIFO バッファのメッセージが送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、“1”になります。

[“0”になる条件]

- CFCCH0.CFM[1:0] ビットが“00b”の場合: 受信メッセージが1つでも送受信 FIFO バッファに格納されたとき
- CFCCH0.CFM[1:0] ビットが“01b”の場合: CFIDL0、CFIDH0、CFPTR0、CFDF00 ~ CFDF30 レジスタに書いてから、CFPCTR0 レジスタに“FFh”を書いたとき

CFFLL フラグ (送受信 FIFO バッファフルステータスフラグ)

[“1”になる条件]

- 送受信 FIFO バッファに格納されたメッセージ数が、CFCCL0.CFDC[2:0] ビットで設定した段数と一致したとき

[“0”になる条件]

- 送受信 FIFO バッファに格納されたメッセージ数が、CFCCL0.CFDC[2:0] ビットで設定した段数より小さくなったとき
- CFCCL0.CFE ビットが“0”(送受信 FIFO バッファを使用しない)のとき
ただし、送受信 FIFO バッファのメッセージが送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、“0”になります。
- CFCCH0.CFM[1:0] ビットが“00b”の場合：グローバルリセットモード
- CFCCH0.CFM[1:0] ビットが“01b”の場合：チャンネルリセットモード

CFMLT フラグ (送受信 FIFO メッセージロストフラグ)

[“1”になる条件]

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

[“0”になる条件]

- CFMLT フラグへの“0”書き込み
- CFCCH0.CFM[1:0] ビットが“00b”の場合：グローバルリセットモード
- CFCCH0.CFM[1:0] ビットが“01b”の場合：チャンネルリセットモード
このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

CFRXIF フラグ (送受信 FIFO 受信割り込み要求フラグ)

[“1”になる条件]

- CFCCH0.CFM[1:0] ビットが“00b”で、CFCCL0.CFIM ビットで選択した要因が発生したとき

[“0”になる条件]

- CFRXIF フラグへの“0”書き込み
- CFCCH0.CFM[1:0] ビットが“00b”の場合：グローバルリセットモード
- CFCCH0.CFM[1:0] ビットが“01b”の場合：チャンネルリセットモード
このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

CFTXIF フラグ (送受信 FIFO 送信割り込み要求フラグ)

[“1”になる条件]

- CFCCH0.CFM[1:0] ビットが“01b”で、CFCCL0.CFIM ビットで選択した要因が発生したとき

[“0”になる条件]

- CFTXIF フラグへの“0”書き込み
- CFCCH0.CFM[1:0] ビットが“00b”の場合：グローバルリセットモード
- CFCCH0.CFM[1:0] ビットが“01b”の場合：チャンネルリセットモード
このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

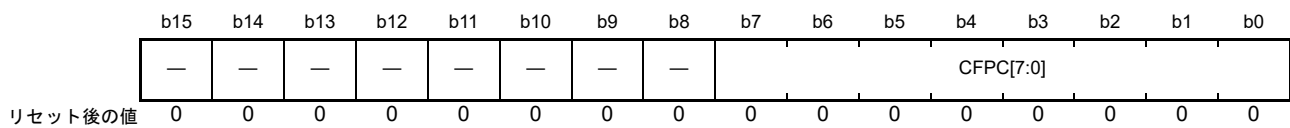
CFMC[5:0] フラグ (送受信 FIFO メッセージ数表示カウンタ)

CFMC[5:0] フラグが示す値は、CFCCH0.CFM[1:0] ビットの設定により次のようになります。

- CFCCH0.CFM[1:0] ビットが“01b” (送信モード) の場合：バッファに格納した未送信メッセージ数
- CFCCH0.CFM[1:0] ビットが“00b” (受信モード) の場合：バッファに格納された未読の受信メッセージ数
このビットは、次に示す条件で“0”になります。
- CFCCH0.CFM[1:0] ビットが“00b” の場合：グローバルリセットモード
- CFCCH0.CFM[1:0] ビットが“01b” の場合：チャンネルリセットモード

28.2.48 送受信 FIFO ポインタ制御レジスタ 0 (CFPCTR0)

アドレス RSCAN0.CEPCTR0 000A 835Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	CFPC[7:0]	RSCAN0送受信FIFOポインタ	受信モード時 “FFh”を書くと、送受信FIFOバッファの次の未読メッセージにリードポインタが移動します 送信モード時 “FFh”を書くと、送受信FIFOバッファの次の段にライトポインタが移動します	W
b15-b8	—	予約ビット	書く場合、“0”としてください	W

CFPC[7:0] ビット (RSCAN0 送受信 FIFO ポインタ)

[受信モード (CFCCH0.CFM[1:0] ビットが“00b”) のとき]

CFPC[7:0] ビットに“FFh”を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき CFSTS0.CFMC[5:0] フラグ (送受信 FIFO メッセージ数表示カウンタ) の値が“1”減算されます。CFIDL0、CFIDH0、CFSTS0、CFPTR0、CFDF00～CFDF30 レジスタを読んで送受信 FIFO バッファのメッセージを読み出したあと、CFPC[7:0] ビットに“FFh”を書いてください。

なお、“FFh”の書き込みは、CFCCL0.CFE ビットが“1” (送受信 FIFO バッファを使用する) で、CFSTS0.CFEMP フラグが“0” (メッセージあり) のときに行ってください。

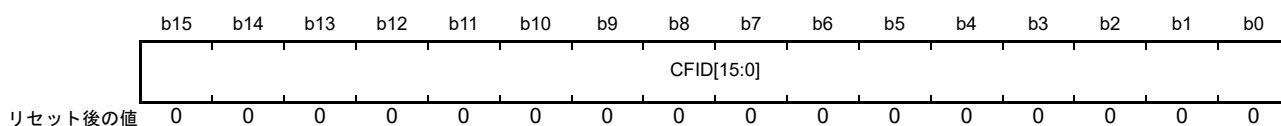
[送信モード (CFCCH0.CFM[1:0] ビットが“01b”) のとき]

CFPC[7:0] ビットに“FFh”を書くと、CFIDL0、CFIDH0、CFPTR0、CFDF00～CFDF30 レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFSTS0.CFMC[5:0] フラグの値が“1”加算されます。CFIDL0、CFIDH0、CFPTR0、CFDF00～CFDF30 レジスタに送信メッセージを書いた後に、CFPC[7:0] ビットに“FFh”を書いてください。

なお、“FFh”の書き込みは、CFCCL0.CFE ビットが“1”で、CFSTS0.CFFLL フラグが“0” (フルではない) のときに行ってください。

28.2.49 送受信 FIFO アクセスレジスタ 0AL (CFIDL0)

アドレス RSCAN0.CFIDL0 000A 85E0h



ビット	シンボル	ビット名	機能	R/W
b15-b0	CFID[15:0]	送受信 FIFO バッファ ID データ L	<p>CFCCH0.CFM[1:0] ビットが“01b” (送信モード) 時 標準 ID または拡張 ID を設定してください。標準 ID の場合、 b10～b0 に ID を設定してください。b15～b11 は“0”にして ください</p> <p>CFCCH0.CFM[1:0] ビットが“00” (受信モード) 時 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10～b0 を読んでください。b15～b11 は“0”が読め ます</p>	R/W

CFCCH0.CFM[1:0] ビットが“01b” (送信モード) の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0] ビットが“00b” (受信モード) の場合のみ、このレジスタを読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

CFID[15:0] ビット (送受信 FIFO バッファ ID データ L)

CFCCH0.CFM[1:0] ビットが“00b”のとき、送受信 FIFO バッファに格納された受信メッセージの ID を示します。

CFCCH0.CFM[1:0] ビットが“01b”のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

28.2.50 送受信 FIFO アクセスレジスタ 0AH (CFIDH0)

アドレス RSCAN0.CFIDH0 000A 85E2h



ビット	シンボル	ビット名	機能	R/W
b12-b0	CFID[28:16]	送受信FIFOバッファIDデータH	CFCCH0.CFM[1:0]ビットが“01b”(送信モード)時標準IDまたは拡張IDを設定してください。標準IDの場合、“0”にしてください CFCCH0.CFM[1:0]ビットが“00b”(受信モード)時受信メッセージの標準IDまたは拡張IDが読めます。標準IDの場合、“0”が読めます	R/W
b13	THLEN	送信履歴データ格納許可ビット	CFCCH0.CFM[1:0]ビットが“01b”(送信モード)時のみ有効 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する	R/W
b14	CFRTR	送受信FIFOバッファRTRビット	0: データフレーム 1: リモートフレーム	R/W
b15	CFIDE	送受信FIFOバッファIDEビット	0: 標準ID 1: 拡張ID	R/W

CFCCH0.CFM[1:0] ビットが “01b” (送信モード) の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0] ビットが “00b” (受信モード) の場合のみ、このレジスタを読めます。

GRWCR.RPAGE ビットが “1” のときに、このレジスタの読み書きができます。

CFID[28:16] ビット (送受信 FIFO バッファ ID データ H)

CFCCH0.CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージの ID を示します。

CFCCH0.CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

THLEN ビット (送信履歴データ格納許可ビット)

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ (ラベル情報、バッファ番号、バッファタイプ) が送信履歴バッファに格納されます。

CFCCH0.CFM[1:0] ビットが “01b” (送信モード) のときに、有効になります。

CFRTR ビット (送受信 FIFO バッファ RTR ビット)

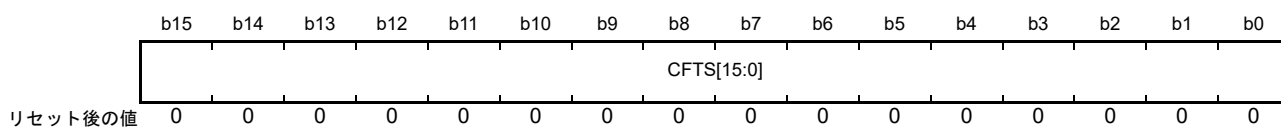
CFCCH0.CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット (データフレームまたはリモートフレーム) を示します。CFCCH0.CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。

CFIDE ビット (送受信 FIFO バッファ IDE ビット)

CFCCH0.CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット (標準 ID または拡張 ID) を示します。CFCCH0.CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

28.2.51 送受信 FIFO アクセスレジスタ 0BL (CFTS0)

アドレス RSCAN0.CFTS0 000A 85E4h



ビット	シンボル	ビット名	機能	R/W
b15-b0	CFTS[15:0]	送受信FIFOバッファタイムスタンプデータ	CFCCH0.CFM[1:0]ビットが“00b” (受信モード)時のみ有効 受信メッセージのタイムスタンプ値が読めます	R

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

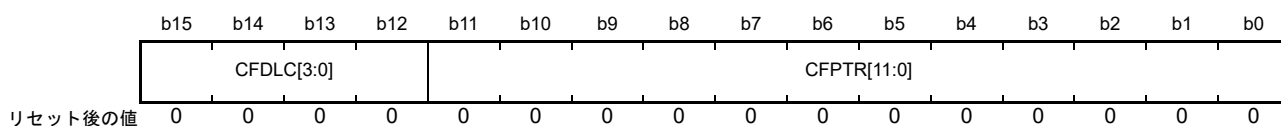
CFTS[15:0] ビット (送受信 FIFO バッファタイムスタンプデータ)

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

CFCCH0.CFM[1:0] ビットが“00b”のときに、有効になります。

28.2.52 送受信 FIFO アクセスレジスタ 0BH (CFPTR0)

アドレス RSCAN0.CFPTR0 000A 85E6h



ビット	シンボル	ビット名	機能	R/W
b11-b0	CFPTR[11:0]	送受信FIFOバッファラベルデータ	CFCCH0.CFM[1:0]ビットが“01b”(送信モード)時 送信履歴バッファに格納するラベル情報を設定してください。CFPTR[7:0]ビットのみ有効です CFCCH0.CFM[1:0]ビットが“00b”(受信モード)時 受信メッセージのラベル情報が読めます	R/W
b15-b12	CFDL3[3:0]	送受信FIFOバッファ DLC データ	b15 b12 0 0 0 0 : 0バイト 0 0 0 1 : 1バイト 0 0 1 0 : 2バイト 0 0 1 1 : 3バイト 0 1 0 0 : 4バイト 0 1 0 1 : 5バイト 0 1 1 0 : 6バイト 0 1 1 1 : 7バイト 1 x x x : 8バイト	R/W

x : Don't care

CFCCH0.CFM[1:0] ビットが “01b” (送信モード) の場合のみ、このレジスタに書けます。
CFCCH0.CFM[1:0] ビットが “00b” (受信モード) の場合のみ、このレジスタを読めます。
GRWCR.RPAGE ビットが “1” のときに、このレジスタの読み書きができます。

CFPTR[11:0] ビット (送受信 FIFO バッファラベルデータ)

CFCCH0.CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージに付加されたラベル情報を示します。CFCCH0.CFM[1:0] ビットが “01b” のとき、メッセージ送信が完了した場合、CFPTR[7:0] ビットの値が送信履歴に格納されます。

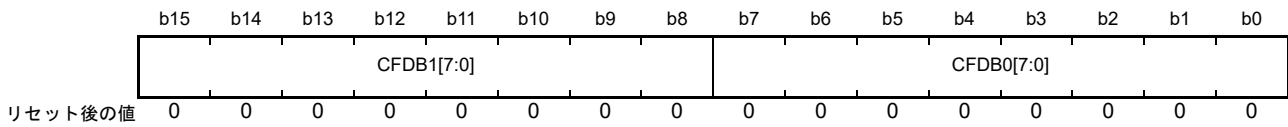
CFDL3[3:0] ビット (送受信 FIFO バッファ DLC データ)

CFCCH0.CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFCCH0.CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。

9 バイト以上を設定した場合、実際に送信されるデータは 8 バイトになります。

28.2.53 送受信 FIFO アクセスレジスタ 0CL (CFDF00)

アドレス RSCAN0.CFDF00 000A 85E8h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CFDB0[7:0]	送受信FIFOバッファデータバイト0	CFCCH0.CFM[1:0]ビットが“01b”(送信モード)時 送受信FIFOバッファのデータを設定してください CFCCH0.CFM[1:0]ビットが“00b”(受信モード)時 送受信FIFOバッファに格納されたメッセージのデータが読 めます	R/W
b15-b8	CFDB1[7:0]	送受信FIFOバッファデータバイト1		R/W

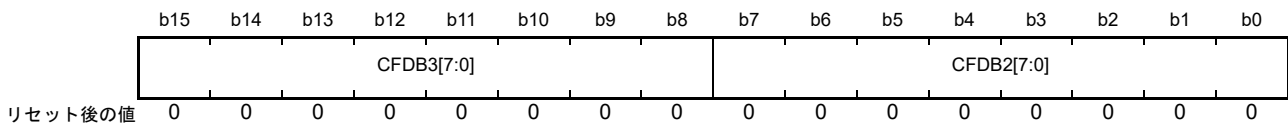
CFCCH0.CFM[1:0] ビットが“01b”の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0] ビットが“00b”の場合のみ、このレジスタを読めます。CFPTR0.CFDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

28.2.54 送受信 FIFO アクセスレジスタ 0CH (CFDF10)

アドレス RSCAN0.CFDF10 000A 85EAh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CFDB2[7:0]	送受信FIFOバッファデータバイト2	CFCCH0.CFM[1:0]ビットが“01b”(送信モード)時 送受信FIFOバッファのデータを設定してください CFCCH0.CFM[1:0]ビットが“00b”(受信モード)時 送受信FIFOバッファに格納されたメッセージのデータが読 めます	R/W
b15-b8	CFDB3[7:0]	送受信FIFOバッファデータバイト3		R/W

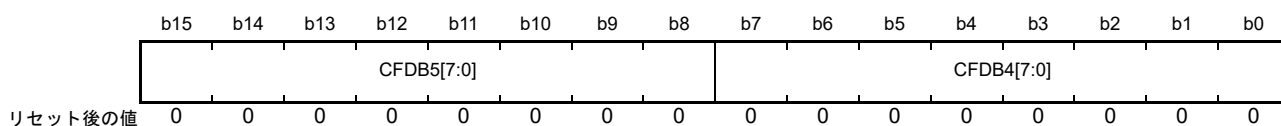
CFCCH0.CFM[1:0] ビットが“01b”の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0] ビットが“00b”の場合のみ、このレジスタを読めます。CFPTR0.CFDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

28.2.55 送受信 FIFO アクセスレジスタ 0DL (CFDF20)

アドレス RSCAN0.CFDF20 000A 85ECh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CFDB4[7:0]	送受信FIFOバッファデータバイト4	CFCCH0.CFM[1:0]ビットが“01b”(送信モード)時 送受信FIFOバッファのデータを設定してください CFCCH0.CFM[1:0]ビットが“00b”(受信モード)時 送受信FIFOバッファに格納されたメッセージのデータが読 めます	R/W
b15-b8	CFDB5[7:0]	送受信FIFOバッファデータバイト5		R/W

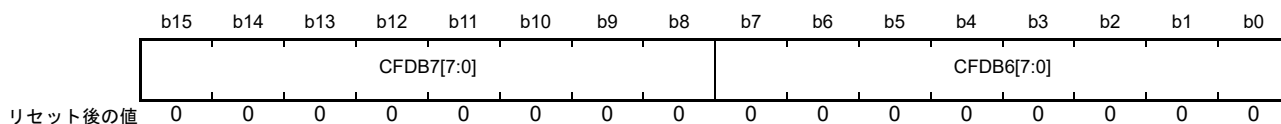
CFCCH0.CFM[1:0]ビットが“01b”の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0]ビットが“00b”の場合のみ、このレジスタを読めます。CFPTR0.CFDLC[3:0]ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは“00h”が読めます。

GRWCR.RPAGEビットが“1”のときに、このレジスタの読み書きができます。

28.2.56 送受信 FIFO アクセスレジスタ 0DH (CFDF30)

アドレス RSCAN0.CFDF30 000A 85EEh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CFDB6[7:0]	送受信FIFOバッファデータバイト6	CFCCH0.CFM[1:0]ビットが“01b”(送信モード)時 送受信FIFOバッファのデータを設定してください CFCCH0.CFM[1:0]ビットが“00b”(受信モード)時 送受信FIFOバッファに格納されたメッセージのデータが読 めます	R/W
b15-b8	CFDB7[7:0]	送受信FIFOバッファデータバイト7		R/W

CFCCH0.CFM[1:0]ビットが“01b”の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0]ビットが“00b”の場合のみ、このレジスタを読めます。CFPTR0.CFDLC[3:0]ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは“00h”が読めます。

GRWCR.RPAGEビットが“1”のときに、このレジスタの読み書きができます。

28.2.57 受信 FIFO メッセージロストステータスレジスタ (RFMSTS)

アドレス RSCAN.RFMSTS 000A 8360h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	RF1MLT	RF0MLT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RF0MLT	受信FIFOバッファ0メッセージロストステータスフラグ	0: 受信FIFOバッファ mメッセージロストなし (m = 0, 1) 1: 受信FIFOバッファ mメッセージロスト	R
b1	RF1MLT	受信FIFOバッファ1メッセージロストステータスフラグ		R
b7-b2	—	予約ビット	読むと“0”が読めます	R

RFMSTS レジスタは、グローバルリセットモード時、“00h”になります。

RFmMLT フラグ (受信 FIFO バッファ m メッセージロストステータスフラグ)

RFSTS_m.RFMLT フラグが“1”(メッセージロスト)になると、RFmMLT フラグは“1”になります。

RFSTS_m.RFMLT フラグを“0”にすると、RFmMLT フラグは“0”になります。

28.2.58 送受信 FIFO メッセージロストステータスレジスタ (CFMSTS)

アドレス RSCAN0.CFMSTS 000A 8361h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CF0MLT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF0MLT	RSCAN0送受信FIFOバッファ0メッセージロストステータスフラグ	0: RSCAN0送受信FIFOバッファ“0”メッセージロストなし 1: RSCAN0送受信FIFOバッファ“0”メッセージロスト	R
b7-b1	—	予約ビット	読むと“0”が読めます	R

CFMSTS レジスタは、グローバルリセットモード時、“00h”になります。

CF0MLT フラグ (RSCAN0 送受信 FIFO バッファ 0 メッセージロストステータスフラグ)

CFSTS₀.CFMLT フラグが“1”(メッセージロスト)になると、CF0MLT フラグは“1”になります。

CFSTS₀.CFMLT フラグを“0”にすると、CF0MLT フラグは“0”になります。

28.2.59 受信 FIFO 割り込みステータスレジスタ (RFISTS)

アドレス RSCAN.RFISTS 000A 8362h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	RF1IF	RF0IF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	RF0IF	受信FIFOバッファ 0割り込み要求ステータスフラグ	0: 受信FIFOバッファ m割り込み要求なし (m = 0, 1) 1: 受信FIFOバッファ m割り込み要求あり	R
b1	RF1IF	受信FIFOバッファ 1割り込み要求ステータスフラグ		R
b7-b2	—	予約ビット	読むと“0”が読めます	R

RFISTS レジスタは、グローバルリセットモード時、“00h”になります。

RFmIF フラグ (受信 FIFO バッファ m 割り込み要求ステータスフラグ)

RFSTSm.RFIF フラグが“1”(割り込み要求あり)になると、RFmIF フラグは“1”になります。
RFSTSm.RFIF フラグを“0”にすると、RFmIF フラグは“0”になります。

28.2.60 送受信 FIFO 受信割り込みステータスレジスタ (CFISTS)

アドレス RSCAN.CFISTS 000A 8363h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CF0IF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CF0IF	RSCAN0送受信FIFOバッファ 0受信割り込み要求ステータスフラグ	0: RSCAN0送受信FIFOバッファ“0”受信割り込み要求なし 1: RSCAN0送受信FIFOバッファ“0”受信割り込み要求あり	R
b7-b1	—	予約ビット	読むと“0”が読めます	R

CFISTS レジスタは、グローバルリセットモード時、“00h”になります。

CF0IF フラグ (RSCAN0 送受信 FIFO バッファ 0 受信割り込み要求ステータスフラグ)

CFST0.CFRXIF フラグが“1”(割り込み要求あり)になると、CF0IF フラグは“1”になります。
CFST0.CFRXIF フラグを“0”にすると、CF0IF フラグは“0”になります。

28.2.61 送信バッファ制御レジスタ p (TMCp) (p = 0 ~ 3)

アドレス RSCAN0.TMC0 000A 8364h, RSCAN0.TMC1 000A 8365h, RSCAN0.TMC2 000A 8366h,
RSCAN0.TMC3 000A 8367h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTR	送信要求ビット	0: 送信を要求しない 1: 送信を要求する	R/(W) (注1)
b1	TMTAR	送信アボート要求ビット	0: 送信アボートを要求しない 1: 送信アボートを要求する	R/(W) (注1)
b2	TMOM	ワンショット送信許可ビット	0: ワンショット送信禁止 1: ワンショット送信許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. このビットへの書き込みは、ビットセットする(“1”にする)動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

TMCp レジスタが次の条件を満たす場合は、“00h”にしてください。

- CFCCH0.CFTML[1:0] ビットで選択した送信バッファ番号に対応する

TMCp レジスタのビットは、チャンネルリセットモード時に“0”になります。TMCp レジスタ (p = 0 ~ 3) は、チャンネル通信モードまたはチャンネル待機モードでのみ書き換えてください。

TMTR ビット (送信要求ビット)

“1”にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”にできません。

- 送信が完了したとき
- TMTAR ビットを“1”にし、送信アボートが完了したとき
- TMOM ビットが“1”の状態、エラーまたはアービトレーションロストを検出したとき
TMSTSp.TMTRF[1:0] フラグが“00b”のときに、TMTR ビットを“1”に設定してください。

TMTAR ビット (送信アボート要求ビット)

“1”にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが“1”のとき、TMTAR ビットを“1”にできます。

TMTAR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき
“0”になるタイミングと“1”を書くタイミングが同じ場合、“0”になります。

TMOM ビット (ワンショット送信許可ビット)

“1”にするとワンショット送信が許可されます。送信に失敗しても、CANプロトコルに規定された再送信を行いません。

TMOM ビットは、TMSTSp.TMTRM フラグが“0”のときに書き換えてください。TMOM ビットに“1”を書く場合は、TMTR ビットと同時に“1”を書いてください。

28.2.62 送信バッファステータスレジスタ p (TMSTSp) (p = 0 ~ 3)

アドレス RSCAN0.TMSTS0 000A 836Ch, RSCAN0.TMSTS1 000A 836Dh, RSCAN0.TMSTS2 000A 836Eh,
RSCAN0.TMSTS3 000A 836Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	TMTAR M	TMTR M	TMTRF[1:0]		TMTST S
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTSTS	送信バッファ送信ステータスフラグ	0 : 送信中ではない 1 : 送信中	R
b2-b1	TMTRF[1:0]	送信バッファ送信結果フラグ	b2 b1 0 0 : 送信中または送信要求なし 0 1 : 送信アポート完了 1 0 : 送信完了(送信アポート要求なし) 1 1 : 送信完了(送信アポート要求あり)	R/W
b3	TMTRM	送信バッファ送信要求ステータスフラグ	0 : 送信要求なし 1 : 送信要求あり	R
b4	TMTARM	送信バッファ送信アポート要求ステータスフラグ	0 : 送信アポート要求なし 1 : 送信アポート要求あり	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

TMSTSp レジスタのビットは、チャンネルリセットモード時に“0”になります。

TMTSTS フラグ (送信バッファ送信ステータスフラグ)

送信バッファからの送信が開始すると“1”になります。送信バッファからの送信が完了、またはバスエラーやアービトラージロストにより中断されると“0”になります。

TMTRF[1:0] フラグ (送信バッファ送信結果フラグ)

送信バッファからの送信結果を示します。

00b : 送信中または送信要求なし。

01b : 送信バッファからの送信がアポートされた。

10b : TMCp.TMTAR ビットが“0”(送信アポートを要求しない)で、送信が完了した。

11b : TMCp.TMTAR ビットが“1”(送信アポートを要求する)で、送信が完了した。

TMTRF[1:0] フラグは、チャンネル通信モードまたはチャンネル待機モードで“00b”を書いてください。“00b”以外の値は書かないでください。

TMTRM フラグ (送信バッファ送信要求ステータスフラグ)

TMCp.TMTR ビットを“1”にすると、TMTRM フラグは“1”になります。

TMCp.TMTR ビットが“0”になると、TMTRM フラグは“0”になります。

TMTARM フラグ (送信バッファ送信アポート要求ステータスフラグ)

TMCp.TMTAR ビットを“1”にすると、TMTARM フラグは“1”になります。

TMCp.TMTAR ビットが“0”になると、TMTARM フラグは“0”になります。

28.2.63 送信バッファ送信要求ステータスレジスタ (TMTRSTS)

アドレス RSCAN0.TMTRSTS 000A 8374h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TMTRS TS3	TMTRS TS2	TMTRS TS1	TMTRS TS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTRSTS0	RSCAN0送信バッファ 0送信要求ステータスフラグ	0: 送信要求なし 1: 送信要求あり	R
b1	TMTRSTS1	RSCAN0送信バッファ 1送信要求ステータスフラグ		R
b2	TMTRSTS2	RSCAN0送信バッファ 2送信要求ステータスフラグ		R
b3	TMTRSTS3	RSCAN0送信バッファ 3送信要求ステータスフラグ		R
b15-b4	—	予約ビット	読むと“0”が読めます	R

TMTRSTSp フラグ (RSCAN0 送信バッファ p 送信要求ステータスフラグ) (p = 0 ~ 3)

TMCP.TMTR ビットの状態を示します。

TMTR ビットを“1”(送信を要求する)にすると、対応する TMTRSTSp フラグは“1”になります。

TMTR ビットが“0”(送信を要求しない)になると、対応する TMTRSTSp フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

28.2.64 送信バッファ送信完了ステータスレジスタ (TMTCSTS)

アドレス RSCAN0.TMTCSTS 000A 8376h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TMTCS TS3	TMTCS TS2	TMTCS TS1	TMTCS TS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTCSTS0	RSCAN0送信バッファ0送信完了ステータスフラグ	0: 送信未完了 1: 送信完了	R
b1	TMTCSTS1	RSCAN0送信バッファ1送信完了ステータスフラグ		R
b2	TMTCSTS2	RSCAN0送信バッファ2送信完了ステータスフラグ		R
b3	TMTCSTS3	RSCAN0送信バッファ3送信完了ステータスフラグ		R
b15-b4	—	予約ビット	読むと“0”が読めます	R

TMTCSTSp フラグ (RSCAN0 送信バッファ p 送信完了ステータスフラグ) (p = 0 ~ 3)

TMSTSp.TMTRF[1:0] フラグが“10b”(送信完了、送信アポート要求なし)または“11b”(送信完了、送信アポート要求あり)になると、対応する TMTCSTSp フラグは“1”になります。

このフラグを“0”にする場合は、対応する TMSTSp.TMTRF[1:0] フラグを“00b”にしてください。また、チャンネルリセットモード時、“0”になります。

28.2.65 送信バッファ送信アボートステータスレジスタ (TMTASTS)

アドレス RSCAN0.TMTASTS 000A 8378h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TMTAS TS3	TMTAS TS2	TMTAS TS1	TMTAS TS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTASTS0	RSCAN0送信バッファ0送信アボートステータスフラグ	0: 送信アボートなし 1: 送信アボートあり	R
b1	TMTASTS1	RSCAN0送信バッファ1送信アボートステータスフラグ		R
b2	TMTASTS2	RSCAN0送信バッファ2送信アボートステータスフラグ		R
b3	TMTASTS3	RSCAN0送信バッファ3送信アボートステータスフラグ		R
b15-b4	—	予約ビット	読むと“0”が読めます	R

TMTASTSp フラグ (RSCAN0 送信バッファ p 送信アボートステータスフラグ) (p = 0 ~ 3)

TMSTSp.TMTRF[1:0] フラグが“01b”(送信アボート完了)になると、対応する TMTASTSp フラグは“1”になります。

このフラグを“0”にする場合は、対応する TMSTSp.TMTRF[1:0] フラグを“00b”にしてください。また、チャンネルリセットモード時、“0”になります。

28.2.66 送信バッファ割り込み許可レジスタ (TMIEC)

アドレス RSCAN0.TMIEC 000A 837Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TMIE3	TMIE2	TMIE1	TMIE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMIE0	RSCAN0送信バッファ 0割り込み許可ビット	0:送信バッファ割り込み禁止 1:送信バッファ割り込み許可	R/W
b1	TMIE1	RSCAN0送信バッファ 1割り込み許可ビット		R/W
b2	TMIE2	RSCAN0送信バッファ 2割り込み許可ビット		R/W
b3	TMIE3	RSCAN0送信バッファ 3割り込み許可ビット		R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMIEp ビット (RSCAN0 送信バッファ p 割り込み許可ビット) (p = 0 ~ 3)

このビットを“1”に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。このビットは対応する TMSTSp.TMTRM フラグが“0” (送信要求なし) のときに書き換えてください。送受信 FIFO バッファにリンクした送信バッファに対応するビットは“0”にしてください。

28.2.67 送信バッファレジスタ pAL (TMIDLp) (p = 0 ~ 3)

アドレス RSCAN0.TMIDL0 000A 8600h, RSCAN0.TMIDL1 000A 8610h, RSCAN0.TMIDL2 000A 8620h, RSCAN0.TMIDL3 000A 8630h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TMID[15:0]	送信バッファ ID データ L	標準 ID または拡張 ID を設定してください。 標準 ID の場合、b10~b0 に ID を設定してください。b15~b11 は“0”にしてください	R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが“0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

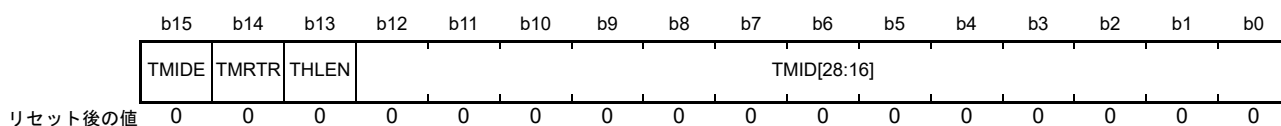
GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

TMID[15:0] ビット (送信バッファ ID データ L)

送信バッファから送信するメッセージの ID を設定します。

28.2.68 送信バッファレジスタ pAH (TMIDHp) (p = 0 ~ 3)

アドレス RSCAN0.TMIDH0 000A 8602h, RSCAN0.TMIDH1 000A 8612h, RSCAN0.TMIDH2 000A 8622h,
RSCAN0.TMIDH3 000A 8632h



ビット	シンボル	ビット名	機能	R/W
b12-b0	TMID[28:16]	送信バッファ ID データ H	標準 ID または拡張 ID を設定してください。 標準 ID の場合、“0”にしてください	R/W
b13	THLEN	送信履歴データ格納許可ビット	0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する	R/W
b14	TMRTR	送信バッファ RTR ビット	0: データフレーム 1: リモートフレーム	R/W
b15	TMIDE	送信バッファ IDE ビット	0: 標準 ID 1: 拡張 ID	R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが“0”(送信を要求しない)のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

TMID[28:16] ビット (送信バッファ ID データ H)

送信バッファから送信するメッセージの ID を設定します。

THLEN ビット (送信履歴データ格納許可ビット)

“1”にすると、送信が完了した後、送信メッセージの送信履歴データ (ラベル情報、バッファ番号、バッファタイプ) が送信履歴バッファに格納されます。

TMRTR ビット (送信バッファ RTR ビット)

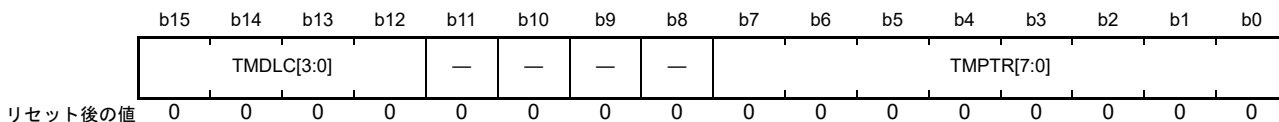
送信バッファから送信するメッセージのデータフォーマットを設定します。

TMIDE ビット (送信バッファ IDE ビット)

送信バッファから送信するメッセージの ID フォーマットを設定します。

28.2.69 送信バッファレジスタ pBH (TMPTRp) (p = 0 ~ 3)

アドレス RSCAN0.TMPTR0 000A 8606h, RSCAN0.TMPTR1 000A 8616h, RSCAN0.TMPTR2 000A 8626h, RSCAN0.TMPTR3 000A 8636h



ビット	シンボル	ビット名	機能	R/W
b7-b0	TMPTR[7:0]	送信バッファラベルデータ	送信履歴バッファに格納するラベル情報を設定してください	R/W
b11-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	TMDLC[3:0]	送信バッファ DLC データ	b15 b12 0 0 0 0 : 0バイト 0 0 0 1 : 1バイト 0 0 1 0 : 2バイト 0 0 1 1 : 3バイト 0 1 0 0 : 4バイト 0 1 0 1 : 5バイト 0 1 1 0 : 6バイト 0 1 1 1 : 7バイト 1 x x x : 8バイト	R/W

x : Don't care

このレジスタは、対応する TMSTSp.TMTRM ビットが“0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

GRWCR.RPAGE ビットが“1” のときに、このレジスタの読み書きができます。

TMPTR[7:0] ビット (送信バッファラベルデータ)

メッセージ送信が完了した場合、TMPTR[7:0] ビットの値が送信履歴バッファに格納されます。

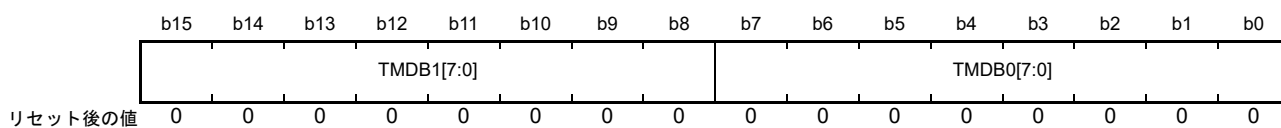
TMDLC[3:0] ビット (送信バッファ DLC データ)

TMIDHp.TMRTR ビットが“0” (データフレーム) のとき、送信バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、実際に送信されるデータは 8 バイトになります。

TMIDHp.TMRTR ビットが“1” (リモートフレーム) のとき、要求するメッセージのデータ長を設定します。

28.2.70 送信バッファレジスタ pCL (TMDF0p) (p = 0 ~ 3)

アドレス RSCAN0.TMDF00 000A 8608h, RSCAN0.TMDF01 000A 8618h, RSCAN0.TMDF02 000A 8628h,
RSCAN0.TMDF03 000A 8638h



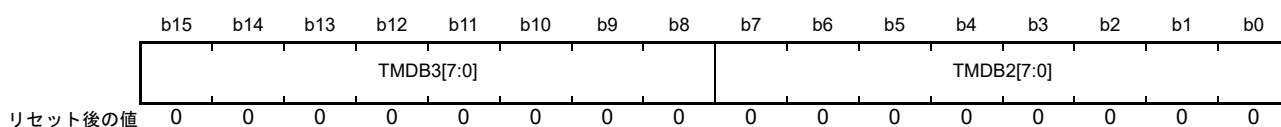
ビット	シンボル	ビット名	機能	R/W
b7-b0	TMDB0[7:0]	送信バッファデータバイト0	送信バッファのデータを設定してください	R/W
b15-b8	TMDB1[7:0]	送信バッファデータバイト1		R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが“0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

GRWCR.RPAGE ビットが“1” のときに、このレジスタの読み書きができます。

28.2.71 送信バッファレジスタ pCH (TMDF1p) (p = 0 ~ 3)

アドレス RSCAN0.TMDF10 000A 860Ah, RSCAN0.TMDF11 000A 861Ah, RSCAN0.TMDF12 000A 862Ah,
RSCAN0.TMDF13 000A 863Ah



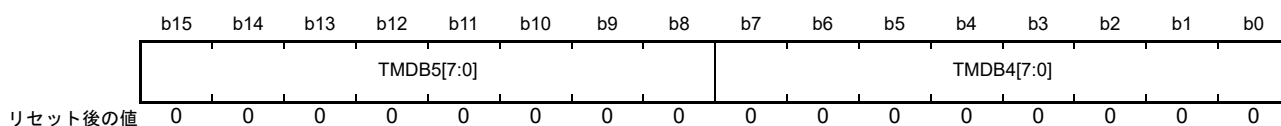
ビット	シンボル	ビット名	機能	R/W
b7-b0	TMDB2[7:0]	送信バッファデータバイト2	送信バッファのデータを設定してください	R/W
b15-b8	TMDB3[7:0]	送信バッファデータバイト3		R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが“0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

GRWCR.RPAGE ビットが“1” のときに、このレジスタの読み書きができます。

28.2.72 送信バッファレジスタ pDL (TMDF2p) (p = 0 ~ 3)

アドレス RSCAN0.TMDF20 000A 860Ch, RSCAN0.TMDF21 000A 861Ch, RSCAN0.TMDF22 000A 862Ch,
RSCAN0.TMDF23 000A 863Ch



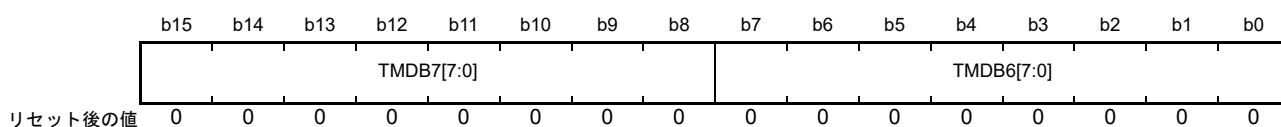
ビット	シンボル	ビット名	機能	R/W
b7-b0	TMDB4[7:0]	送信バッファデータバイト4	送信バッファのデータを設定してください	R/W
b15-b8	TMDB5[7:0]	送信バッファデータバイト5		R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが“0”(送信を要求しない)のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

28.2.73 送信バッファレジスタ pDH (TMDF3p) (p = 0 ~ 3)

アドレス RSCAN0.TMDF30 000A 860Eh, RSCAN0.TMDF31 000A 861Eh, RSCAN0.TMDF32 000A 862Eh,
RSCAN0.TMDF33 000A 863Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	TMDB6[7:0]	送信バッファデータバイト6	送信バッファのデータを設定してください	R/W
b15-b8	TMDB7[7:0]	送信バッファデータバイト7		R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが“0”(送信を要求しない)のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

28.2.74 送信履歴バッファ制御レジスタ (THLCC0)

アドレス RSCAN0.THLC0 000A 837Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THLDT E	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	THLE	送信履歴バッファ許可ビット	0: 送信履歴バッファを使用しない 1: 送信履歴バッファを使用する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	THLIE	送信履歴割り込み許可ビット	0: 送信履歴割り込み禁止 1: 送信履歴割り込み許可	R/W
b9	THLIM	送信履歴割り込み要因選択ビット	0: 送信履歴バッファに6データ格納されたとき 1: 1送信履歴データの格納完了時	R/W
b10	THLDTE	送信履歴対象バッファ選択ビット	0: 送受信FIFOからのエントリ 1: 送信バッファ、送受信FIFOからのエントリ	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

THLE ビット (送信履歴バッファ許可ビット)

“1”にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードでのみ書き換えてください。

THLIE ビット (送信履歴割り込み許可ビット)

THLIE ビットを“1”に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。

THLE ビットが“0”の状態、THLIE ビットを書き換えてください。

THLIM ビット (送信履歴割り込み要因選択ビット)

送信履歴割り込み要因を選択します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLDTE ビット (送信履歴対象バッファ選択ビット)

“0”にすると、送受信 FIFO バッファから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1”にすると、送信バッファ、送受信 FIFO バッファから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャンネルリセットモードでのみ書き換えてください。

28.2.75 送信履歴バッファステータスレジスタ (THLSTS0)

アドレス RSCAN0.THLSTS0 000A 8380h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	THLMC[3:0]			—	—	—	—	THLIF	THLELT	THLFL	THLEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	THLEMP	送信履歴バッファ空ステータスフラグ	0: 送信履歴バッファに未読データあり 1: 送信履歴バッファに未読データなし(バッファ空)	R
b1	THLFL	送信履歴バッファフルステータスフラグ	0: 送信履歴バッファフルではない 1: 送信履歴バッファフル	R
b2	THLELT	送信履歴バッファオーバフローフラグ	0: 送信履歴バッファオーバフローではない 1: 送信履歴バッファオーバフロー	R/(W) (注1)
b3	THLIF	送信履歴割り込み要求フラグ	0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり	R/(W) (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	THLMC[3:0]	送信履歴バッファ未読数カウンタ	送信履歴バッファに格納された未読データ数を示します	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. このフラグビットへの書き込みは、ステータスクリアする(“0”にする)動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

THLEMP フラグ (送信履歴バッファ空ステータスフラグ)

送信履歴データが1つでも送信履歴バッファへ格納されると“0”になります。

送信履歴バッファのすべてのデータを読むと“1”になります。THLCC0.THLE ビットを“0”(送信履歴バッファを使用しない)にしたとき、またはチャネルリセットモード時、“1”になります。

THLFL フラグ (送信履歴バッファフルステータスフラグ)

送信履歴バッファに8個のデータが格納されると“1”になります。格納数が8個より少なくなると“0”になります。

THLCC0.THLE ビットが“0”(送信履歴バッファを使用しない)のとき、またはチャネルリセットモード時、“0”になります。

THLELT フラグ (送信履歴バッファオーバフローフラグ)

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき“1”になります。

この場合、新しいデータは破棄されます。プログラムで“0”を書き込むことで“0”にしてください。チャネルリセットモード時、“0”になります。

THLIF フラグ (送信履歴割り込み要求フラグ)

THLCC0.THLM ビットで設定した割り込み要因が発生したとき“1”になります。

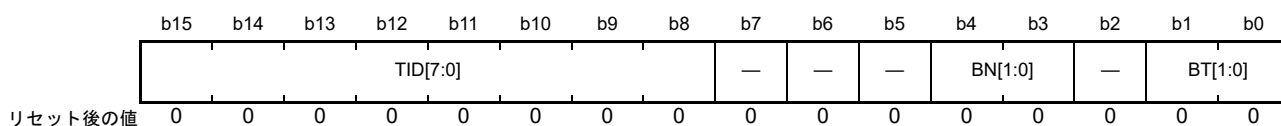
プログラムで“0”を書き込むことで“0”にしてください。チャネルリセットモード時、“0”になります。

THLMC[3:0] フラグ (送信履歴バッファ未読数カウンタ)

送信履歴バッファ内の未読データ数を示します。

28.2.76 送信履歴バッファアクセスレジスタ (THLACC0)

アドレス RSCAN0.THLACC0 000A 8680h



ビット	シンボル	ビット名	機能	R/W
b1-b0	BT[1:0]	バッファタイプデータ	b1 b0 0 1 : 送信バッファ 1 0 : 送信FIFOバッファ	R
b2	—	予約ビット	読むと“0”が読めます	R
b4-b3	BN[1:0]	バッファ番号データ	送信元の送信バッファ / 送受信FIFO番号が読めます	R
b7-b5	—	予約ビット	読むと“0”が読めます	R
b15-b8	TID[7:0]	ラベルデータ	格納されたデータのラベル情報が読めます	R

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

BT[1:0] ビット (バッファタイプデータ)

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

BN[1:0] ビット (バッファ番号データ)

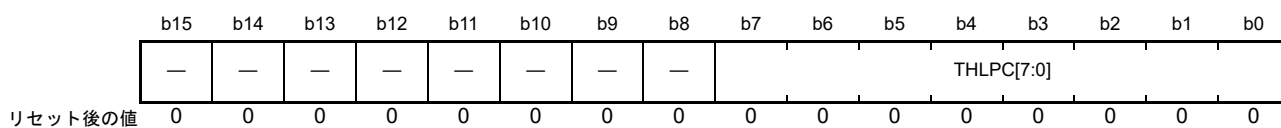
送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

TID[7:0] ビット (ラベルデータ)

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

28.2.77 送信履歴バッファポインタ制御レジスタ (THLPCTR0)

アドレス RSCAN0.THLPCTR0 000A 8384h



ビット	シンボル	ビット名	機能	R/W
b7-b0	THLPC[7:0]	送信履歴バッファポインタ	“FFh”を書くと、送信履歴バッファの次の未読データにリードポインタが移動します	W
b15-b8	—	予約ビット	書く場合、“0”としてください	W

THLPC[7:0] ビット (送信履歴バッファポインタ)

THLPC[7:0] ビットに“FFh”を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき THLSTS0.THLMC[3:0] フラグ (送信履歴バッファ未読数カウンタ) の値が“1”減算されます。

THLACC0 レジスタを読んだあと、THLPC[7:0] ビットに“FFh”を書いてください。

なお、“FFh”の書き込みは、THLCC0.THLE ビットが“1”(送信履歴バッファを使用する)で、THLSTS0.THLEMP フラグが“0”のときに行ってください。

28.2.78 グローバル RAM ウィンドウ制御レジスタ (GRWCR)

アドレス RSCAN.GRWCR 000A 838Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RPAGE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPAGE	RAMウィンドウ選択ビット	0: ウィンドウ0 (受信ルール登録レジスタ、RAMテストレジスタ)選択 1: ウィンドウ1 (受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データアクセスレジスタ)選択	R/W
b15-b1	—	予約ビット	書く場合、“0”としてください	R/W

RPAGE ビット (RAM ウィンドウ選択ビット)

RPAGE ビットで選択されたウィンドウによって、アドレス 000A 83A0h ~ 000A 8681h に割り付けられるレジスタを切り替えます。

[RPAGE ビットが“0” (ウィンドウ 0) の場合に割り付けられるレジスタ]

- 受信ルール登録レジスタ : GAFLIDLj, GAFLIDHj, GAFLMLj, GAFLMHj, GAFLPLj, GAFLPHj (j = 0 ~ 15)
- RAM テストレジスタ : RPGACCr (r = 0 ~ 127)

[RPAGE ビットが“1” (ウィンドウ 1) の場合に割り付けられるレジスタ]

- 受信バッファレジスタ : RMIDLn, RMIDHn, RMTSn, RMPTRn, RMDf0n ~ RMDf3n (n = 0 ~ 15)
- 受信 FIFO アクセスレジスタ : RFIDLm, RFIDHm, RFTSm, RFPTRm, RFDF0m ~ RFDF3m (m = 0, 1)
- 送受信 FIFO アクセスレジスタ : CFIDL0, CFIDH0, CFTS0, CFPTR0, CFDF00 ~ CFDF30
- 送信バッファレジスタ : TMIDLp, TMIDHp, TMPTRp, TMDF0p ~ TMDF3p (p = 0 ~ 3)
- 送信履歴バッファアクセスレジスタ : THLACC0

28.2.79 グローバルテスト設定レジスタ (GTSTCFG)

アドレス RSCAN.GTSTCFG 000A 838Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	RTMPS[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	RTMPS[2:0]	RAMテストページ設定ビット	ページ0 (“00h”)～2 (“02h”)ページの範囲で設定	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

RTMPS[2:0] ビット (RAM テストページ設定ビット)

RAM テスト時、RAM テスト対象となるページ番号を設定します。“00h”～“02h”以外の値を設定しないでください。

28.2.80 グローバルテスト制御レジスタ (GTSTCTRL)

アドレス RSCAN.GTSTCTRL 000A 838Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	RTME	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	RTME	RAMテスト許可ビット	0 : RAMテスト禁止 1 : RAMテスト許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

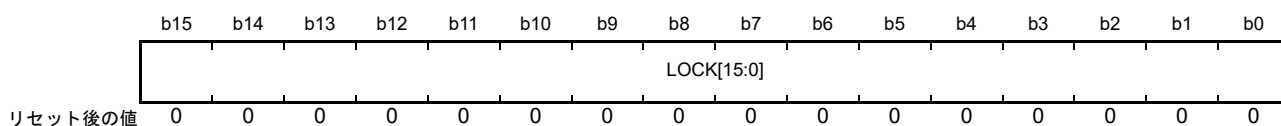
RTME ビット (RAM テスト許可ビット)

“1”にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。

- (1) GCTRL.GMDC[1:0] ビットを“10b”(グローバルテストモード)にする。
- (2) GLOCKK レジスタに“7575h”と“8A8Ah”を連続して書き込み、プロテクトを解除する。
- (3) RTME ビットを“1”にする。
- (4) RTME ビットが“1”になったことを確認する。

28.2.81 グローバルテストプロテクト解除レジスタ (GLOCKK)

アドレス RSCAN.GLOCKK 000A 8394h



ビット	シンボル	ビット名	機能	R/W
b15-b0	LOCK[15:0]	プロテクト解除データ	テスト機能を使用するために、プロテクト解除データを書い てください。読むと0000hが読めます	W

GLOCKK レジスタはグローバルテストモードでのみ書き換えてください。

LOCK[15:0] ビット (プロテクト解除データ)

表 28.3 に示すプロテクト解除データを連続して LOCK[15:0] ビットに書くと、対象ビットへの“1”書き込みが可能になります。

表 28.3 テスト機能用プロテクト解除データ

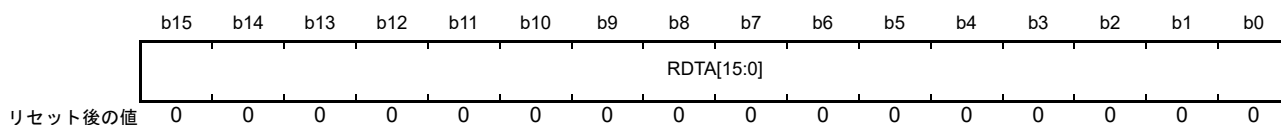
テスト機能	プロテクト解除データ1	プロテクト解除データ2	対象ビット
RAM テスト	7575h	8A8Ah	GTSTCTRL.RTME ビット

プロテクトが解除された後、RAM を除く CAN のレジスタ領域 (000A 8300h ~ 000A 839Fh) に書き込みを実行すると、再度プロテクトが有効になります。

CAN のレジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

28.2.82 RAM テストレジスタ r (RPGACCr) (r = 0 ~ 127)

アドレス RSCAN.RPGACC0~RSCAN.RPGACC127 000A 8580h~000A 867Eh



機能	R/W
CAN用RAMデータの読み書きができます	R/W

RPGACCr レジスタは、グローバルテストモードでかつ GTSTCTRL.RTME ビットが“1” (RAM テスト許可) の状態で書き換えてください。GTSTCTRL.RTME ビットが“1”のときに、RPGACCr レジスタの読み書きができます。GRWCR.RPAGE ビットが“0”のときに、このレジスタの読み書きができます。

28.3 CANモード

CANモジュールには、CANモジュール全体の状態を制御するグローバルモードが4種類と、個々のチャンネル状態を制御するチャンネルモードが4種類あります。

詳細は「28.3.1 グローバルモード」および「28.3.2 チャンネルモード」を参照してください。

- グローバルストップモード：モジュール全体のクロックを停止させ、低消費電力を実現する。
- グローバルリセットモード：モジュール全体の初期設定を行う。
- グローバルテストモード：テスト設定を行う。また、RAMテストを実施する。
- グローバル動作モード：モジュール全体を動作可能にする。
- チャンネルストップモード：チャンネルのクロックが停止する。
- チャンネルリセットモード：チャンネルの初期設定を行う。
- チャンネル待機モード：CAN通信を停止する。また、チャンネルのテストを許可する。
- チャンネル通信モード：CAN通信を行う。

28.3.1 グローバルモード

図 28.2 にグローバルモードの遷移図を示します。

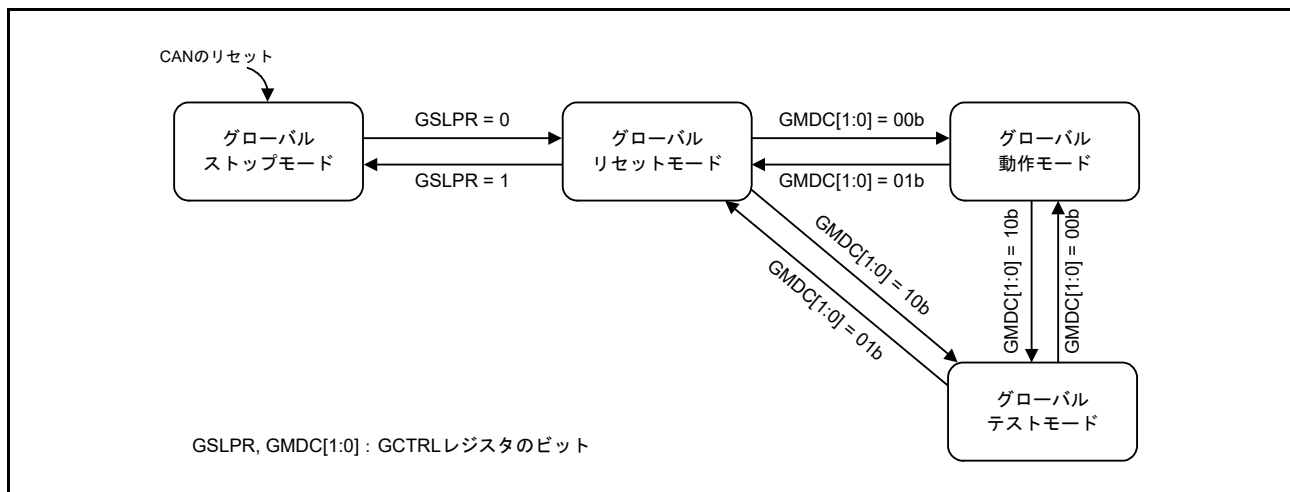


図 28.2 グローバルモードの遷移図

グローバルモードの遷移により、チャンネルのモードが変化することがあります。表 28.4 にグローバルモード設定 (GCTRL.GMDC[1:0]、GSLPR ビット) によるチャンネルモードの変化を示します。

表 28.4 グローバルモード設定 (GCTRL.GMDC[1:0]、GSLPR ビット) によるチャンネルモードの変化

設定前のチャンネルモード	設定後のチャンネルモード			
	GMDC[1:0] = 00b GSLPR = 0 (グローバル動作)	GMDC[1:0] = 10b GSLPR = 0 (グローバルテスト)	GMDC[1:0] = 01b GSLPR = 0 (グローバルリセット)	GMDC[1:0] = 01b GSLPR = 1 (グローバルストップ)
チャンネル通信	チャンネル通信	チャンネル通信	チャンネルリセット	遷移禁止
チャンネル待機	チャンネル待機	チャンネル待機	チャンネルリセット	遷移禁止
チャンネルリセット	チャンネルリセット	チャンネルリセット	チャンネルリセット	チャンネルストップ
チャンネルストップ	チャンネルストップ	チャンネルストップ	チャンネルストップ	チャンネルストップ

表 28.5 にグローバルモードの遷移時間を示します。

表 28.5 グローバルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
グローバルストップ	グローバルリセット	3PCLKクロック
グローバルリセット	グローバルストップ	3PCLKクロック
グローバルリセット	グローバルテスト	10PCLKクロック
グローバルリセット	グローバル動作	10PCLKクロック
グローバルテスト	グローバルリセット	3PCLKクロック
グローバルテスト	グローバル動作	3PCLKクロック
グローバル動作	グローバルリセット	3PCLKクロック
グローバル動作	グローバルテスト	CAN フレームの2つ分

(1) グローバルストップモード

グローバルストップモードではCANのクロックが停止するので、消費電力が低減されます。CAN関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。

CANモジュールイネーブル後、グローバルストップモードになります。また、グローバルリセットモード時にGCTRL.GSLPRビットを“1”(グローバルストップモード)にすると、各CTRL.CSLPRビットが“1”(チャンネルストップモード)になります。すべてのチャンネルが強制的にチャンネルストップモードへ遷移すると、グローバルストップモードになります。GCTRL.GSLPRビットは、グローバル動作モードおよびグローバルテストモードでは書き換えしないでください。

(2) グローバルリセットモード

グローバルリセットモードでCANモジュールの設定を行います。グローバルリセットモードに遷移すると、一部のレジスタが初期化されます。表 28.8 と表 28.9 に初期化されるレジスタ一覧を示します。

GCTRL.GMDC[1:0]ビットを“01b”に設定すると、各CTRL.CHMDC[1:0]ビットが“01b”(チャンネルリセットモード)になります。すべてのチャンネルが強制的にチャンネルリセットモードへ遷移すると、グローバルリセットモードになります。すでにチャンネルリセットモードまたはチャンネルストップモードであるチャンネルはモード遷移しません(CTRL.CHMDC[1:0]ビットがすでに“01b”に設定されているため)。

(3) グローバルテストモード

グローバルテストモードでテスト関連レジスタの設定を行います。グローバルテストモードに遷移すると、すべてのCAN通信は停止します。

GCTRL.GMDC[1:0]ビットを“10b”に設定すると、各CTRL.CHMDC[1:0]ビットが“10b”(チャンネル待機モード)になります。すべてのチャンネルが強制的にチャンネル待機モードへ遷移すると、グローバルテストモードになります。チャンネルストップモード、チャンネルリセットモード、またはチャンネル待機モードであるチャンネルは、モード遷移しません。

(4) グローバル動作モード

グローバル動作モードではCANモジュール全体が動作します。

GCTRL.GMDC[1:0]ビットを“00b”にすると、グローバル動作モードに遷移します。

28.3.2 チャネルモード

図 28.3 にチャネルモードの状態遷移図を示します。表 28.6 にチャネルモードの遷移時間を示します。

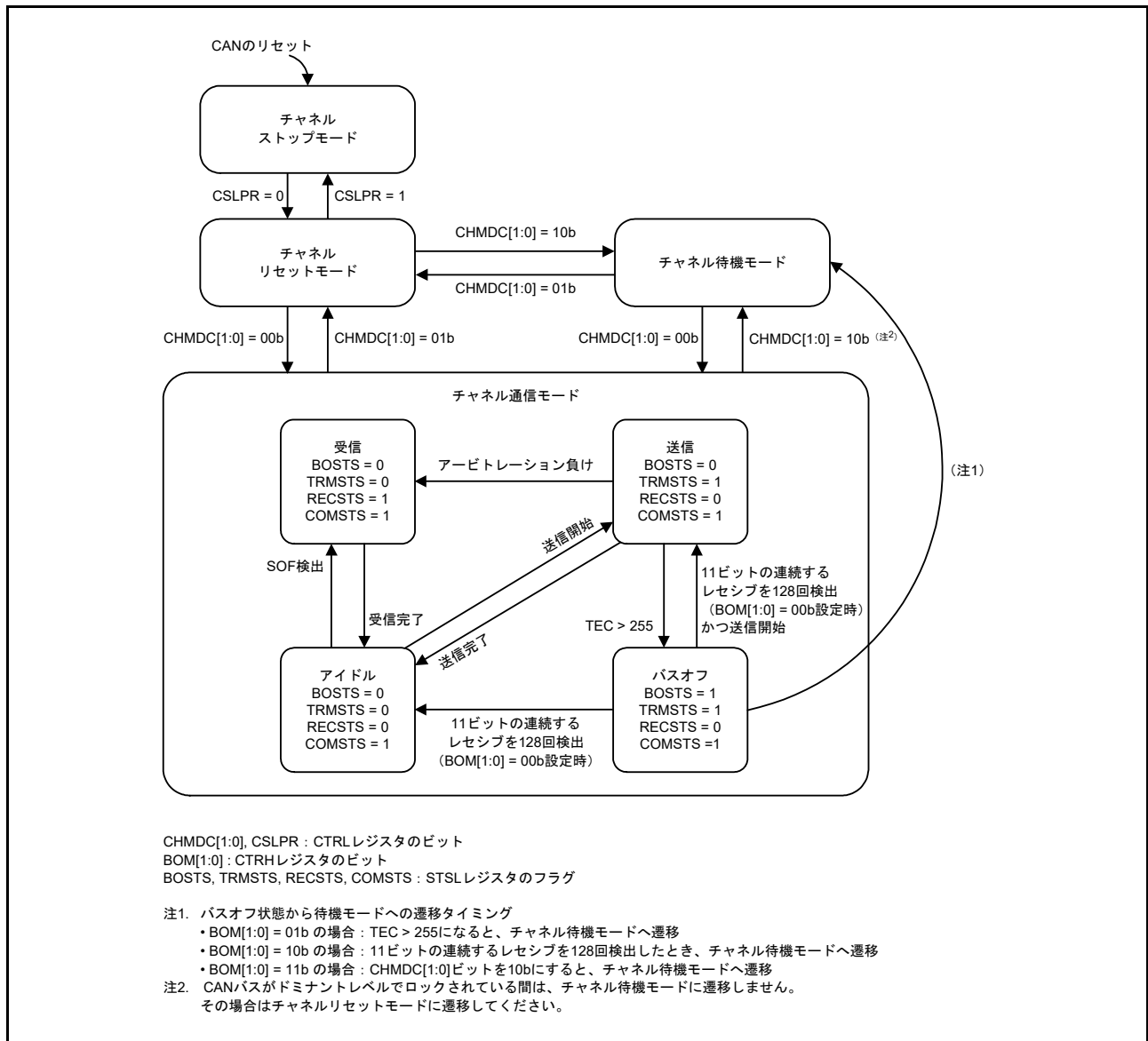


図 28.3 チャネルモードの状態遷移図

表 28.6 チャネルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
チャネルストップ	チャネルリセット	3 PCLKクロック
チャネルリセット	チャネルストップ	3 PCLKクロック
チャネルリセット	チャネル待機	3 CANビットタイム
チャネルリセット	チャネル通信	2 CANビットタイム
チャネル待機	チャネルリセット	3 PCLKクロック
チャネル待機	チャネル通信	3 CANビットタイム
チャネル通信	チャネルリセット	3 PCLKクロック
チャネル通信	チャネル待機	CANフレームの2つ分

(1) チャネルストップモード

チャネルストップモードでは、チャネルへ供給するクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。

各チャネルは、CAN モジュールイネーブル後、チャネルストップモードになります。また、チャネルリセットモード時に、CTRL.CSLPR ビットを“1”(チャネルストップモード)にすると、チャネルストップモードに遷移します。CTRL.CSLPR ビットはチャネル通信モードおよびチャネル待機モードでは書き換えしないでください。

(2) チャネルリセットモード

チャネルリセットモードでチャネルの設定を行います。チャネルリセットモードに遷移すると、一部のチャネル関連レジスタが初期化されます。表 28.8 に初期化されるレジスタ一覧を示します。

CAN 通信中に CTRL.CHMDC[1:0] ビットを“01b”(チャネルリセットモード)にすると、送受信の完了を待たずに通信が中断され、チャネルリセットモードへ遷移します。表 28.7 に CAN 通信中に CTRL.CHMDC[1:0] ビットを“01b”(チャネルリセットモード)に設定したときの動作を示します。

(3) チャネル待機モード

チャネル待機モードでチャネルのテスト関連レジスタの設定を行います。チャネル待機モードに遷移すると、チャネルの CAN 通信は停止します。

表 28.7 に CAN 通信中に CTRL.CHMDC[1:0] ビットを“10b”(チャネル待機モード)に設定したときの動作を示します。

表 28.7 チャネルリセット/チャネル待機モード遷移時の動作

モード	受信中	送信中	バスオフ状態
チャネルリセット (CHMDC[1:0] = 01b)	受信の終了を待たずにチャネルリセットモードに遷移(注1)	送信の終了を待たずにチャネルリセットモードに遷移(注1)	バスオフ復帰の終了を待たずにチャネルリセットモードに遷移
チャネル待機(注3) (CHMDC[1:0] = 10b)	受信の終了を待ってチャネル待機モードに遷移(注2)	送信の終了を待ってチャネル待機モードに遷移(注2)	<p>【BOM[1:0]ビットが“00b”の場合】 バスオフ復帰後のみ、チャネル待機モード遷移(CHMDC[1:0] = 10b)が実行される</p> <p>【BOM[1:0]ビットが“01b”の場合】 バスオフ状態への遷移条件が成立したときに自動的にチャネル待機モードに遷移</p> <p>【BOM[1:0]ビットが“10b”の場合】 バスオフ復帰の終了を待って自動的にチャネル待機モードに遷移</p> <p>【BOM[1:0]ビットが“11b”の場合】 CHMDC[1:0]ビットに“10b”が設定されるとすぐにチャネル待機モードに遷移(バスオフ復帰の終了は待たない)</p>

注1. 通信が終了した後にチャネルリセットモードへ遷移するには、まずCHMDC[1:0]ビットを“10b”に設定し、通信が終了しチャネル待機モードへ遷移したことを確認してから、CHMDC[1:0]ビットを“01b”に設定してください。

注2. CANバスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。ドミナントロックを検出するとERFLL.BLFフラグが“1”になるので、CANバスの状態を確認できます。

注3. チャネルリセットモードからチャネル待機モードへ遷移する場合、チャネルリセットモードでCFGLレジスタとCFGHレジスタを設定してからチャネル待機モードへ遷移してください。

(4) チャネル通信モード

チャネル通信モードでCAN通信を行います。CAN通信時、各チャネルは次に示す通信状態をとります。

- アイドル : 受信も送信もしていない状態。
- 受信 : 他のノードから送られてきたメッセージを受信している状態。
- 送信 : メッセージを送信している状態。
- バスオフ : CAN通信から遮断されている状態。

CTRL.CHMDC[1:0] ビットを“00b”にすると、チャンネル通信モードに遷移します。遷移後、11ビットの連続するレセシブを検出すると、STSL.COMSTS フラグが“1”(通信可能な状態)になり、CAN ネットワーク上でアクティブノードとして、送受信が許可されます。この時点で、メッセージの送受信を開始できるようになります。

(5) バスオフ状態

ISO 11898-1 規格の送信、受信エラーカウンタの増減ルールに従ってバスオフ状態に遷移します。バスオフ状態からの復帰方法は、CTRH.BOM[1:0] ビットで設定します。

- CTRH.BOM[1:0] ビットが“00b”のとき
ISO 11898-1 規格に準拠し、11ビットの連続するレセシブを128回検出後に、バスオフ状態からCAN通信可能な状態(エラーアクティブ状態)に復帰します。そのとき、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”に初期化され、ERFLL.BORF フラグが“1”(バスオフ復帰検出)になります。バスオフ状態で、CTRL.CHMDC[1:0] ビットを“10b”(チャンネル待機モード)にすると、バスオフ復帰が完了(11ビットの連続するレセシブを128回検出)してからチャンネル待機モードに遷移します。
- CTRH.BOM[1:0] ビットが“01b”のとき
バスオフ状態に遷移すると、CTRL.CHMDC[1:0] ビットが“10b”になり、チャンネル待機モードへ遷移します。そのとき、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”に初期化されます。ERFLL.BORF フラグは“1”になりません。
- CTRH.BOM[1:0] ビットが“10b”のとき
バスオフ状態に遷移すると、CTRL.CHMDC[1:0] ビットが“10b”になり、バスオフ復帰が完了(11ビットの連続するレセシブを128回検出)してからチャンネル待機モードへ遷移します。そのとき、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”に初期化され、ERFLL.BORF フラグは“1”になります。
- CTRH.BOM[1:0] ビットが“11b”のとき
バスオフ状態時に、CTRL.CHMDC[1:0] ビットを“10b”にすると、バスオフ復帰を待たずにチャンネル待機モードに遷移します。そのとき、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”に初期化されます。ERFLL.BORF フラグは“1”になりません。
ただし、CTRL.CHMDC[1:0] ビットを“10b”にする前に11ビットの連続するレセシブを128回検出し、エラーアクティブ状態に復帰した場合、ERFLL.BORF フラグは“1”になります。

CAN モジュールによるチャンネル待機モードへの遷移と、プログラムによる CTRL.CHMDC[1:0] ビットへの書き込みが同時に発生した場合、プログラムによる書き込みが優先されます。CTRH.BOM[1:0] ビットを“01b”または“10b”に設定した場合のチャンネル待機モードへの自動的な遷移は、CTRL.CHMDC[1:0] ビットが“00b”(チャンネル通信モード)のときのみ発生します。

また、CTRL.RTBO ビットを“1”にすることで、バスオフ状態から強制的に復帰することができます。CTRL.RTBO ビットに“1”を書くと、直ちにエラーアクティブ状態になり、11ビットの連続するレセシブを検出後、通信可能な状態になります。この場合、ERFLL.BORF フラグは“1”になりません。STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”に初期化されます。CTRL.RTBO ビットは、CTRH.BOM[1:0] ビットが“00b”のときに“1”を書いてください。

表28.8 グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスタ一覧

レジスタ	ビット/フラグ
CTRLレジスタ	CHMDC[1:0]
CTRHレジスタ	CTMS[1:0], CTME
STSLレジスタ	CHLTSTS, EPSTS, BOSTS, TRMSTS, RECSTS, COMSTS
STSHレジスタ	REC[7:0], TEC[7:0]
ERFLLレジスタ	ADERR, B0ERR, B1ERR, CERR, AERR, FERR, SERR, ALF, BLF, OVLF, BORF, BOEF, EPF, EWF, BEF
ERFLHレジスタ	CRCREG[14:0]
CFCCL0レジスタ	送受信FIFOバッファが送信モード時 : CFE
CFSTS0レジスタ	送受信FIFOバッファが送信モード時 : CFMC[5:0], CFTXIF, CFRXIF, CFMLT, CFFLL, CFEMP
TMCpレジスタ	TMOM, TMTAR, TMTR
TMSTSpレジスタ	TMTARM, TMTRM, TMTRF[1:0], TMTSTS
TMTRSTSレジスタ	TMTRSTSp
TMCSTSpレジスタ	TMCSTSp
TMASTSpレジスタ	TMASTSp
THLCC0レジスタ	THLE
THLSTS0レジスタ	THLMC[3:0], THLIF, THLELT, THLFLL, THLEMP
GTINTSTSレジスタ	THIF0, CFTIF0, TAIF0, TSIF0

表28.9 グローバルリセットモードでのみ初期化されるレジスタ一覧

レジスタ	ビット/フラグ
GSTSレジスタ	GHLTSTS
GERFLLレジスタ	THLES, MES, DEF
GTSCレジスタ	TS[15:0]
RMND0レジスタ	RMNSn
RFCCmレジスタ	RFE
RFSTSmレジスタ	RFMC[5:0], RFIF, RFMLT, RFFLL, RFEMP
CFCCL0レジスタ	送受信FIFOが受信モード時 : CFE
CFSTS0レジスタ	送受信FIFOバッファが受信モード時 : CFMC[5:0], CFTXIF, CFRXIF, CFMLT, CFFLL, CFEMP
RFMSTSレジスタ	RFmMLT
CFMSTSレジスタ	CF0MLT
RFISTSレジスタ	RFmIF
CFISTSレジスタ	CF0IF
GTSTCFGレジスタ	RTMPS[2:0]
GTSTCTRLレジスタ	RTME

28.4 受信機能

受信の種類には次の2つがあります。

- 受信バッファによる受信
全チャンネルで共有する受信バッファは、0～16バッファの範囲で使用できます。受信バッファに格納するメッセージは毎回上書きされるので、最新の受信データが読み出せます。
- 受信 FIFO バッファ、送受信 FIFO バッファ (受信モード) による受信
全チャンネルで共有する受信 FIFO バッファが2本と、各チャンネル専用の送受信 FIFO バッファが1チャンネルにつき1本ずつあります。FIFO バッファには RFCCm.RFDC[2:0] ビット、CFCCL0.CFDC[2:0] ビットで設定した段数までメッセージを保存することができ、古いメッセージから順次、読み出せます。

28.4.1 受信ルールテーブルを用いたデータ処理

受信ルールテーブルを用いたデータ処理により、選別したメッセージを指定のバッファに格納することができます。データ処理には、アクセプタンスフィルタ処理、DLC フィルタ処理、ルーティング処理、ラベル付加処理、ミラー機能の処理があります。

登録できる受信ルール数は1チャンネルにつき最大16となります。受信ルールを設定しない場合は、メッセージを受信できません。図28.4に受信ルール登録の説明図を示します。

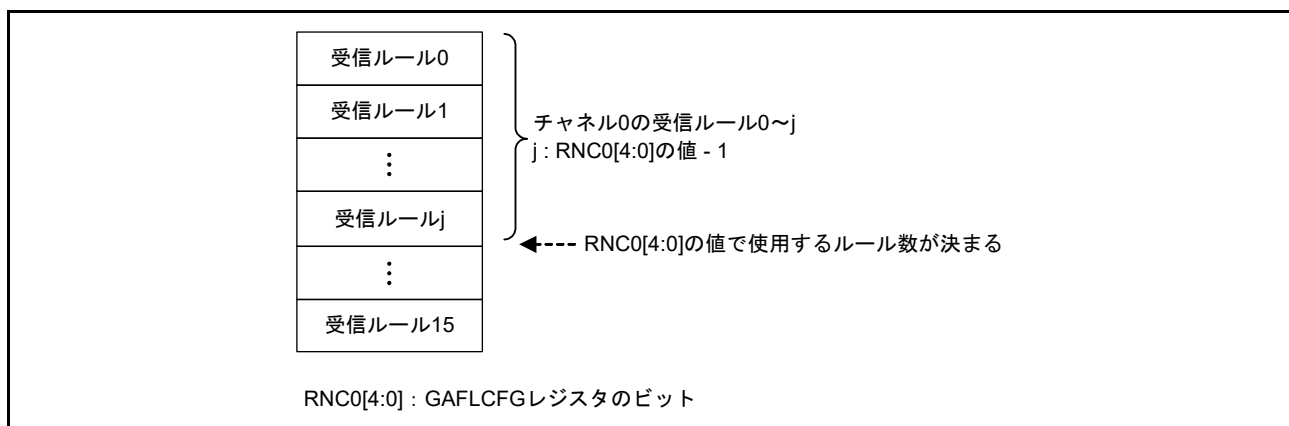


図 28.4 受信ルール登録

各受信ルールは GAFLIDL_j、GAFLIDH_j、GAFLML_j、GAFLMH_j、GAFLPL_j、GAFLPH_j レジスタの12バイトで構成されています。GAFLIDL_j レジスタと GAFLIDH_j レジスタでは ID、IDE、RTR ビット、ミラー機能の設定、GAFLML_j レジスタと GAFLMH_j レジスタではマスク設定、GAFLPL_j レジスタと GAFLPH_j レジスタでは付加するラベル情報、DLC 値、格納先受信バッファの設定、格納先 FIFO バッファの設定を行います。

(1) アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、受信メッセージの ID データ、IDE、RTR ビットが、対応するチャンネルの受信ルールに設定した ID データ、IDE、RTR ビットと比較されます。すべてのビットが一致すると、アクセプタンスフィルタ処理を通過します。GAFLML_j レジスタおよび GAFLMH_j レジスタで“0”(ビットを比較しない)にしたビットに対応する受信メッセージの ID データ、IDE、RTR ビットは、比較されずに一致したとみなします。

対応するチャンネルの一番小さい番号の受信ルールからチェックを開始します。受信メッセージの比較対象ビットが受信ルールとすべて一致したとき、または一致する受信ルールがないまますべてのチェックを終了したとき、フィルタ処理は停止します。一致する受信ルールがない場合は、受信バッファや FIFO バッファに格納されません。

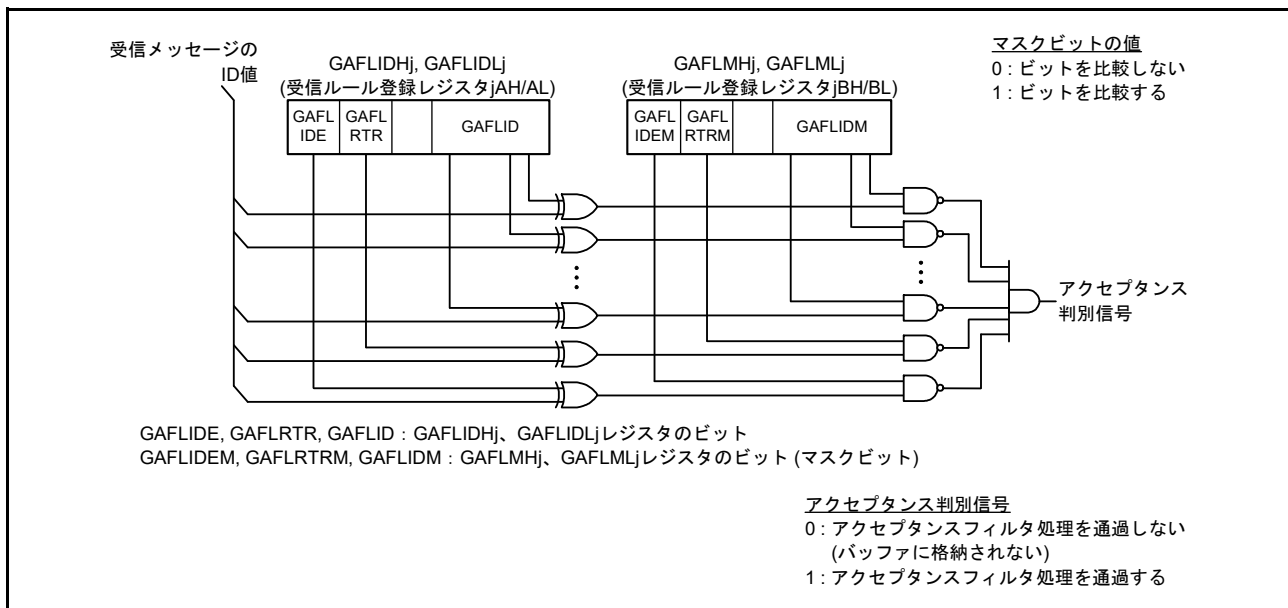


図 28.5 アクセプタンスフィルタ機能

(2) DLC フィルタ処理

GCFGL.DCE ビットを“1” (DLC チェック許可) にすると、アクセプタンスフィルタ処理を通過したメッセージに対して DLC フィルタ処理が行われます。メッセージの DLC 値が受信ルールに設定した DLC 値以上の場合、DLC フィルタ処理を通過します。

GCFGL.DRE ビットが“0” (DLC 置換禁止) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値がバッファに格納されます。この場合、受信メッセージのすべてのデータバイトがバッファに格納されます。

GCFGL.DRE ビットが“1” (DLC 置換許可) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00h”が格納されます。

受信メッセージの DLC 値が受信ルールの DLC 値より小さい場合は、DLC フィルタ処理を通過しません。この場合、メッセージは受信バッファや FIFO バッファに格納されず、GERFLL.DEF フラグが“1” (DLC エラー) となります。

(3) ルーティング処理

アクセプタンスフィルタ処理と DLC フィルタ処理を通過したメッセージは、受信バッファ、受信 FIFO バッファ、または受信モードに設定した送受信 FIFO バッファに格納されます。メッセージ格納先は、GAFLPLj.GAFLRMV、GAFLRMDP[6:0]、GAFLFDP4、GAFLFDP1、GAFLFDP0 ビットで設定します。フィルタ処理を通過したメッセージは最大2つのバッファに格納することができます。

(4) ラベル付加処理

フィルタ処理を通過したメッセージに 12 ビットのラベル情報を付加し、バッファに格納することができます。ラベル情報は、GAFLPHj.GAFLPTR[11:0] ビットに設定します。

(5) ミラー機能の処理

ミラー機能を使用すると、自らが送信したメッセージを受信することができます。ミラー機能は、GCFGL.MME ビットを“1” (ミラー機能許可) にすることで使用可能になります。

ミラー機能使用時、他の CAN ノードが送信したメッセージを受信するときは、GAFLIDHj.GAFLLB ビッ

トを“0”にした受信ルールがデータ処理に使用されます。自らが送信したメッセージを受信するときは、GAFLIDHj.GAFLLB ビットを“1”にした受信ルールがデータ処理に使用されます。

28.4.2 タイムスタンプ

タイムスタンプカウンタは、メッセージの受信時間を記録するために使用する 16 ビットのフリーランカウンタです。タイムスタンプカウンタ値は、メッセージの SOF (スタートオブフレーム) のタイミングで取り込まれ、メッセージ ID やデータとともに、受信バッファや FIFO バッファに格納されます。タイムスタンプカウンタのクロック源は、GCFGL.TSSS ビットで、PCLK または CAN ビットタイムクロックから選択できます。選択したクロック源を GCFGL.TSP[3:0] ビットで分周したクロックが、タイムスタンプカウンタのカウントソースになります。

CAN ビットタイムクロックをクロック源として使用する場合、対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。PCLK をクロック源として使用する場合、タイムスタンプ機能はチャンネルモードに影響されません。

タイムスタンプカウンタ値は GCTRH.TSRST ビットを“1”にすると、“0000h” にリセットされます。

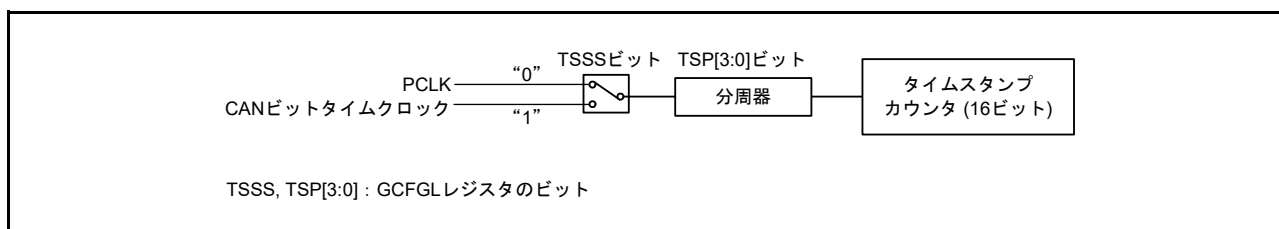


図 28.6 タイムスタンプ機能のブロック図

28.5 送信機能

送信の種類には、次の2つがあります。

- 送信バッファによる送信：
 - 1チャンネルにつき4バッファあります。
- 送受信 FIFO バッファ (送信モード) による送信：
 - 1チャンネルにつき1本ずつあります。1本のFIFOバッファに最大16メッセージ格納できます。送信バッファにリンクさせて使用します。FIFOバッファ内で、次に送信予定のメッセージのみ送信の優先順位判定の対象となります。メッセージは格納順に送信されます。

図 28.7 に送受信 FIFO バッファのリンクを示します。

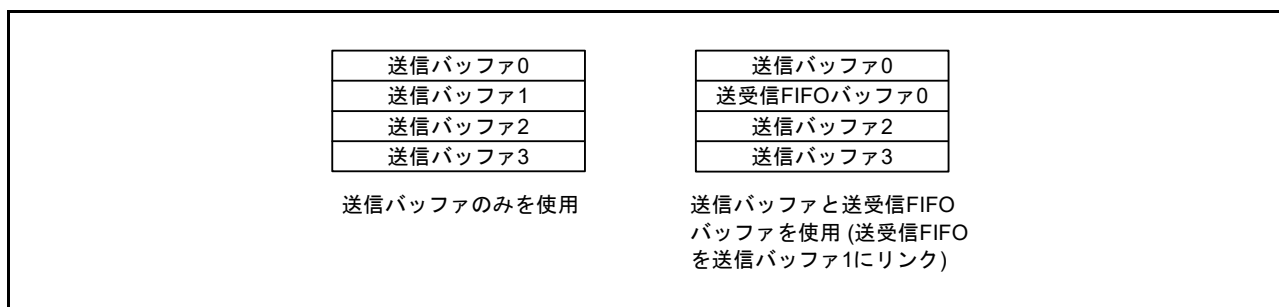


図 28.7 送受信 FIFO バッファのリンク

28.5.1 送信の優先順位判定

同一チャンネル内で複数のバッファから送信要求が出された場合、送信の優先順位を判定します。判定方法は次の2つから選択することができます。

- ID 優先 (GCFGL.TPRI ビットが“0”)
- 送信バッファ番号優先 (GCFGL.TPRI ビットが“1”)

GCFGL.TPRI ビットの設定は、すべての CAN チャンネルで有効です。

GCFGL.TPRI ビットを“0”にした場合、格納したメッセージ ID の優先順位に基づいてメッセージが送信されます。ID の優先順位は ISO 11898-1 規格に規定されている CAN バスアービトレーション規定に準拠します。送信バッファ、送信モードに設定した送受信 FIFO バッファに格納したメッセージの ID が判定対象になります。送受信 FIFO バッファの場合は、FIFO 内の最も古いメッセージが優先順位判定の対象になります。メッセージが送受信 FIFO バッファから送信中の場合、同じ FIFO バッファにある次のメッセージが優先順位判定の対象になります。GCFGL.TPRI ビットを“1”にした場合、送信要求があるバッファの中で、最も小さい番号の送信バッファのメッセージが最初に送信されます。送受信 FIFO バッファが送信バッファにリンクしている場合は、リンク先の送信バッファ番号で判定されます。

GCFGL.TPRI ビットの設定に関わらず、アービトレーションロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。

28.5.2 送信バッファを用いた送信

送信バッファの送信要求ビット (TMCp.TMTR ビット) を“1” (送信を要求する) にすると、データフレームまたはリモートフレームを送信することができます。

送信結果は、対応する TMSTSp.TMTRF[1:0] フラグで確認します。送信が成功すると、TMSTSp.TMTRF[1:0] フラグは“10b” (送信完了: 送信アポート要求なし) または“11b” (送信完了: 送信アポート要求あり) になります。

(1) 送信アポート機能

TMSTSp.TMTRM フラグが“1” (送信要求あり) である送信バッファにおいて、TMCp.TMTAR ビットを“1” (送信アポートを要求する) にすると、送信要求が取り消されます。送信アポートが完了すると、TMSTSp.TMTRF[1:0] フラグが“01b” (送信アポート完了) になり、送信要求が取り消されます (TMSTSp.TMTRM フラグが“0” になります)。

送信中のメッセージまたは送信の優先順位判定で次の送信に決定しているメッセージはアポートできません。ただし、TMCp.TMTAR ビットを“1” にしたメッセージを送信中にアービトレーションロストまたはエラーが発生した場合、再送信は行いません。

(2) ワンショット送信機能 (再送信禁止機能)

TMCp.TMOM ビットを“1” (ワンショット送信許可) にすると、1 回だけ送信を行います。アービトレーションロストまたはエラーが発生しても、再送信は行いません。

ワンショット送信の結果は、対応する TMSTSp.TMTRF[1:0] フラグで確認します。ワンショット送信が成功すると、TMSTSp.TMTRF[1:0] フラグは“10b” または“11b” になります。アービトレーションロストまたはエラーが発生した場合、TMSTSp.TMTRF[1:0] フラグは“01b” (送信アポート完了) になります。

28.5.3 FIFO バッファによる送信

1 本の送受信 FIFO バッファに、CFCCL0.CFDC[2:0] ビットで設定した段数分のメッセージを格納できます。最初に格納したメッセージから順に送信されます。

送受信 FIFO バッファは、CFCCH0.CFTML[1:0] ビットで選択した送信バッファにリンクされます。CFCCL0.CFE ビットを“1” (送受信 FIFO バッファを使用する) にすると、送信の優先順位判定の対象になります。FIFO バッファ内で、次に送信予定のメッセージに対してのみ優先順位判定を実施します。

CFCCL0.CFE ビットを“0” (送受信 FIFO バッファを使用しない) にすると、次に示すタイミングで CFSTS0.CFEMP フラグが“1” (送受信 FIFO バッファ空) になります。

- 送受信 FIFO バッファのメッセージが送信中でなく、次の送信に決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFCCL0.CFE ビットを“0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFCCL0.CFE ビットを“1” にする前に、CFSTS0.CFEMP フラグが“1” になったことを確認してください。

(1) インターバル送信機能

送信モードに設定した送受信 FIFO バッファを使用時に、同一 FIFO バッファからメッセージを送信する場合、メッセージ送信間のインターバル時間を設定できます。

CFCCL0.CFE ビットを“1” にし、最初のメッセージが FIFO バッファから正常に送信された後、インターバルタイマはカウントを開始します (CAN プロトコルの EOF7 の後)。その後インターバル時間が経過すると、次のメッセージが送信されます。インターバルタイマは、CFCCL0.CFE ビットを“0” にしたとき、また

はチャンネルリセットモード時、停止します。

インターバル時間は CFCCH0.CFITT[7:0] ビットで設定します。インターバルタイムを使用しない場合は、CFCCH0.CFITT[7:0] ビットに“00h”を設定してください。

CFCCH0.CFITR、CFITSS ビットで、インターバルタイムのカウンタソースを選択します。

CFCCH0.CFITR、CFITSS ビットを“00b”にすると PCLK を GCFGH.ITRCP[15:0] ビットの値で分周したクロック、“10b”にすると PCLK を GCFGH.ITRCP[15:0] ビットの値×10 で分周したクロック、“x1b”にすると CAN ビットタイムクロックがカウンタソースになります。

GCFGH.ITRCP[15:0] ビットの設定値を M、CFCCH0.CFITT[7:0] ビットの値を N とすると、インターバル時間は次の式で求められます。

- CFCCH0.CFITR、CFITSS ビットが“00b”の場合

$$\frac{1}{PCLK} \times M \times N$$

- CFCCH0.CFITR、CFITSS ビットが“10b”の場合

$$\frac{1}{PCLK} \times M \times 10 \times N$$

- CFCCH0.CFITR、CFITSS ビットが“x1b”の場合
(fCANBIT は CAN ビットタイムクロックの周波数)

$$\frac{1}{f_{CANBIT}} \times N$$

図 28.8 にインターバルタイムのブロック図を示します。

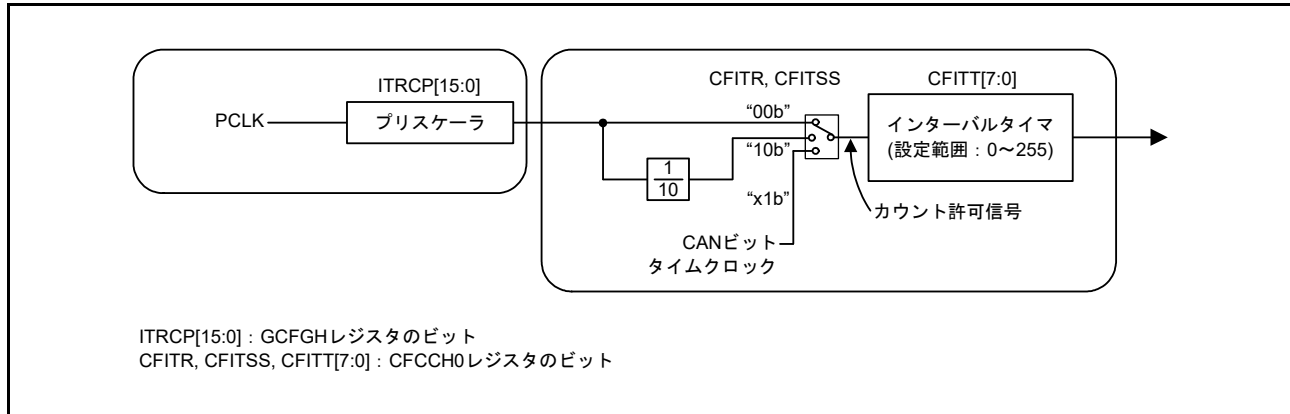


図 28.8 インターバルタイムのブロック図

図 28.9 にインターバルタイマのタイミング図を示します。

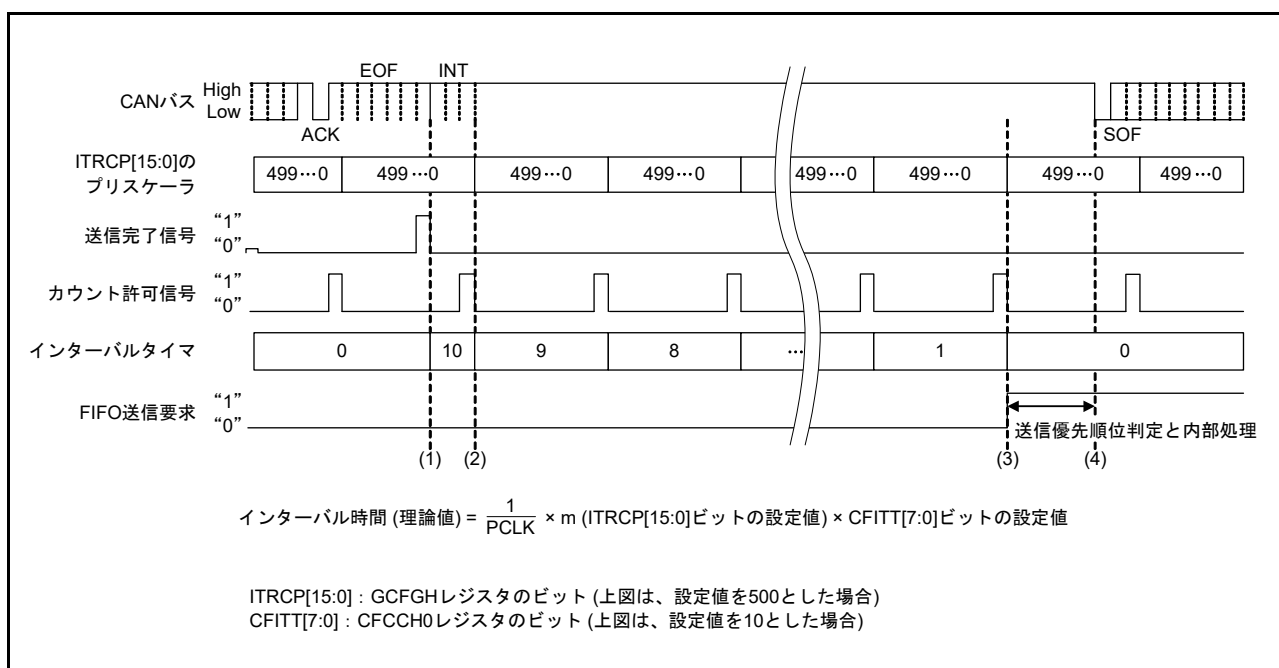


図 28.9 インターバルタイマのタイミング図

- (1) 送信が完了するとインターバルタイマがカウントを開始します。送信が完了したタイミングでプリスケアラが初期化されないため、最初のインターバル時間は、最大でインターバルタイマの1カウント分の誤差が発生します。
- (2) 次のカウント許可信号で、インターバルタイマは1減算されます。
- (3) インターバルタイマが“0”になると、送受信 FIFO バッファから送信要求が出されます。
- (4) 優先順位判定で送受信 FIFO バッファが次の送信に決まると、送信を開始します。送信要求が出されてから送信が開始するまで、CAN ビットタイムクロックの3クロック以下の遅延で、送信を開始します。

28.5.4 送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納できます。チャンネルごとに1つの送信履歴バッファを持ち、送信履歴バッファには8個の送信履歴データを格納できます。

THLCC0.THLDTE ビットで、メッセージ送信元のバッファの種類が選択できます。CFIDH0.THLEN ビットで、メッセージごとに送信履歴データを格納するかどうかを設定できます。

送信が成功した後に、次に示す送信メッセージの情報が送信履歴データとして送信履歴バッファへ格納されます。送信が成功してから送信履歴データが格納されるまで、最大で38PCLK分遅延する場合があります。

- バッファタイプ 01b: 送信バッファ
 10b: 送受信 FIFO バッファ
- バッファ番号 送信元の送信バッファ、または送受信 FIFO バッファの番号。
 これはバッファタイプに依存します。表 28.10 を参照してください。
- ラベルデータ 送信メッセージのラベル情報

表 28.10 送信履歴データのバッファ番号

バッファの番号	バッファタイプ	
	01b	10b
00b	送信バッファ 0	CFCCH0.CFTML[1:0]ビットで送受信FIFOバッファにリンクさせた送信バッファの番号
01b	送信バッファ 1	
10b	送信バッファ 2	
11b	送信バッファ 3	

ラベルデータは、メッセージを特定するために使用します。送信バッファ、送受信 FIFO バッファから送信するメッセージに、固有のラベルデータを付加することができます。

送信履歴データは、THLACC0 レジスタから読み出せます。バッファがフルの場合に、新しい送信履歴データを格納しようとする、バッファがオーバーフローし、新しいデータは破棄されます。

28.6 テスト機能

テスト機能は、通信テストとグローバルテストの2つに分類できます。

通信テスト：チャンネルごとに行うテスト

- 標準テストモード
 - リッスンオンリモード
 - セルフテストモード0(外部ループバックモード)
 - セルフテストモード1(内部ループバックモード)
- グローバルテスト：モジュール全体で行うテスト
- RAMテスト(読み書きテスト)

28.6.1 標準テストモード

標準テストモードでは、CRCテストを行うことができます。

28.6.2 リッスンオンリモード

リッスンオンリモードでは、データフレームとリモートフレームを受信できます。CANバス上にはレセシブビットのみが送信され、ACKビット、オーバーロードフラグ、アクティブエラーフラグは送信されません。リッスンオンリモードは、通信速度の検出に使用できます。

リッスンオンリモードでは、どのバッファからも送信要求をしないでください。

図 28.10 にリッスンオンリモード選択時の接続を示します。

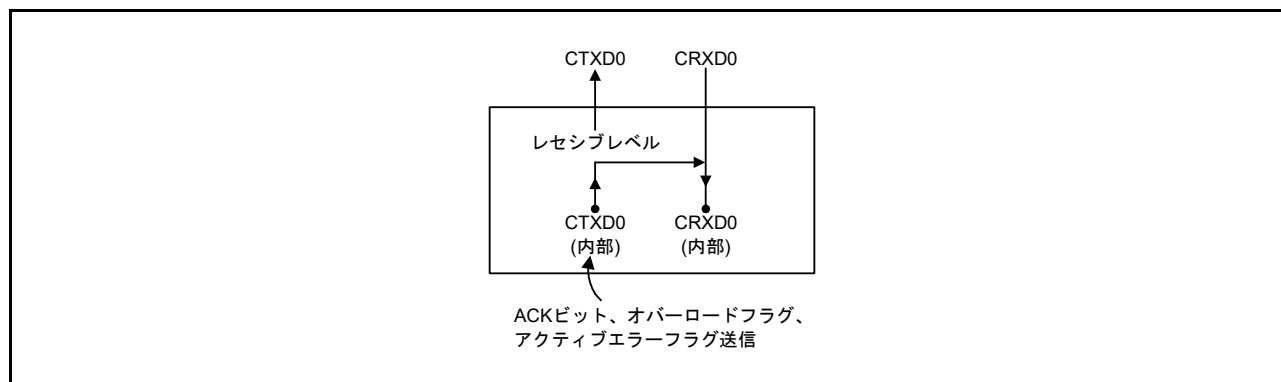


図 28.10 リッスンオンリモード選択時の接続

28.6.3 セルフテストモード (ループバックモード)

セルフテストモードでは、送信したメッセージを自チャンネルの受信ルールと比較し、フィルタ処理を通過するとバッファに格納されます。他のCANノードが送信したメッセージは、GAFLIDHj.GAFLLB ビットを“0”(他のCANノードが送信したメッセージを受信時)にした受信ルールとのみ比較されます。

ミラー機能とセルフテストモードが同時に許可された場合、セルフテストモードの設定が優先されます。

(1) セルフテストモード0 (外部ループバックモード)

セルフテストモード0はCANトランシーバを含めたチャンネルのループバックテストを行います。

セルフテストモード0では、送信したメッセージをCANトランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACKビットを生成します。

図 28.11 にセルフテストモード0 選択時の接続を示します。

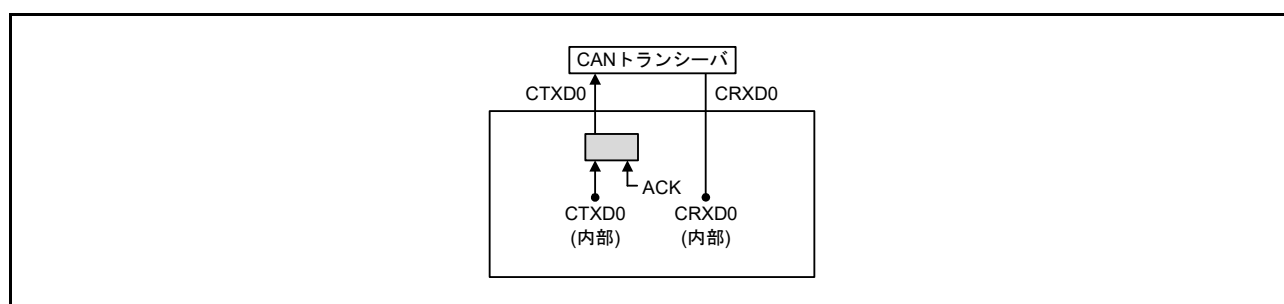


図 28.11 セルフテストモード0 選択時の接続

(2) セルフテストモード1 (内部ループバックモード)

セルフテストモード1では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACKビットを生成します。

セルフテストモード1では内部 CTXD0 端子から内部 CRXD0 端子への内部フィードバックを行います。外部 CRXD0 端子の入力は、切り離されます。外部 CTXD0 端子はレセシブビットのみ出力します。

図 28.12 にセルフテストモード1 選択時の接続を示します。

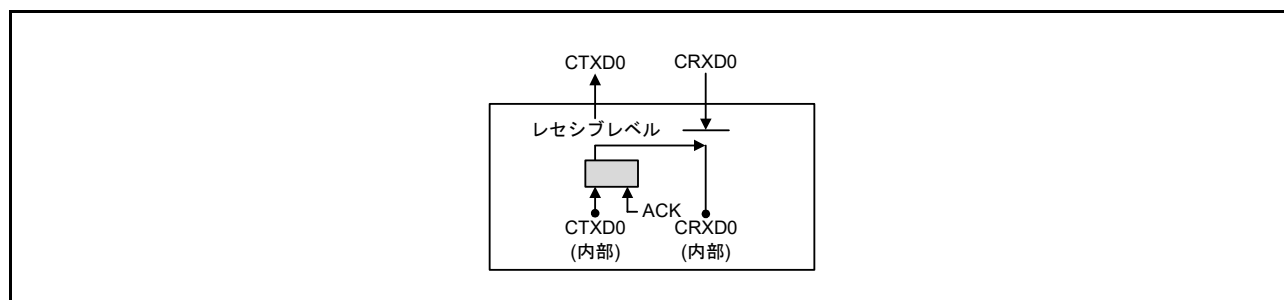


図 28.12 セルフテストモード1 選択時の接続

28.6.4 RAM テスト

RAM テスト機能を使用すると、CAN 用 RAM 全体にアクセスすることができます。

RAM テスト機能使用時、RAM は 256 バイトごとのページに分けられます。ページは GTSTCFG.RTMPS[2:0] ビットで設定し、ページ内のデータは RPGACCr レジスタから読み出し / 書き込みができます。有効な総 RAM サイズは、544 バイト (0220h) です。

28.7 割り込み

CAN モジュールには5本の割り込みがあり、グローバル割り込みとチャンネル割り込みに分類されます。

グローバル割り込み(2本)

- グローバル受信 FIFO 割り込み (RXINT)
- グローバルエラー割り込み (GLERRINT)

チャンネル割り込み(チャンネルごとに3本ずつ)

- チャンネル送信割り込み (TXINT)
 - 送信完了割り込み
 - 送信アボート割り込み
 - 送受信 FIFO 送信完了割り込み
 - 送信履歴割り込み
- 送受信 FIFO 受信割り込み (COMFRXINT)
- チャンネルエラー割り込み (CHERRINT)

割り込み要求が発生すると、CAN モジュールの対応する割り込み要求フラグが“1”(割り込み要求あり)になります。その場合、割り込み許可ビットを“1”(割り込み許可)にしていると、CAN モジュールから割り込み要求が出力されます(割り込みの発生は、割り込み機能により制御されます)。

割り込み要求フラグを“0”(割り込み要求なし)にするか、割り込み許可ビットを“0”(割り込み禁止)にすると、割り込み要求がクリアされます。割り込み要求をクリアするまで、次の割り込みは発生しません。

割り込みの設定については「14. 割り込みコントローラ (ICUb)」を参照してください。

次ページ以降に、表 28.11 に CAN 割り込み要因一覧を示します。また、図 28.13 に CAN グローバル割り込みブロック図を、図 28.14 に CAN チャンネル割り込みブロック図を示します。

表 28.11 CAN 割り込み要因一覧

割り込み要因		対応する割り込み要求フラグ (注1)	対応する割り込み許可ビット (注1)	
グローバル 割り込み	グローバル受信 FIFO	受信 FIFO0	RFSTS0.RFIF フラグ	RFCC0.RFIE ビット
		受信 FIFO1	RFSTS1.RFIF フラグ	RFCC1.RFIE ビット
	グローバルエラー	GERFLL.DEF フラグ	GCTRL.DEIE ビット	
		GERFLL.MES フラグ	GCTRL.MEIE ビット	
		GERFLL.THLES フラグ	GCTRL.THLEIE ビット	
チャンネル 割り込み	チャンネル送信	送信完了	TMSTSp.TMTRF[1:0] フラグ	TMIEC.TMIEp ビット
		送信アボート	TMSTSp.TMTRF[1:0] フラグ	CTRH.TAIE ビット
		送受信 FIFO 送信	CFSTS0.CFTXIF フラグ	CFCC0.CFTXIE ビット
		送信履歴	THLSTS0.THLIF フラグ	THLCC0.THLIE ビット
	送受信 FIFO 受信	CFSTS0.CFRXIF フラグ	CFCC0.CFRXIE ビット	
	チャンネルエラー	ERFLL.BEF フラグ	CTRL.BEIE ビット	
		ERFLL.ALF フラグ	CTRL.ALIE ビット	
		ERFLL.BLF フラグ	CTRL.BLIE ビット	
		ERFLL.OVLF フラグ	CTRL.OLIE ビット	
		ERFLL.BORF フラグ	CTRL.BORIE ビット	
		ERFLL.BOEF フラグ	CTRL.BOIE ビット	
		ERFLL.EPF フラグ	CTRL.EPIE ビット	
		ERFLL.EWF フラグ	CTRL.EWIE ビット	
	ウェイクアップ	なし	なし	

注1. 割り込み機能にある割り込み要求フラグ、割り込み許可ビットは記載していません。詳細については「14. 割り込みコントローラ (ICUb)」を参照してください。

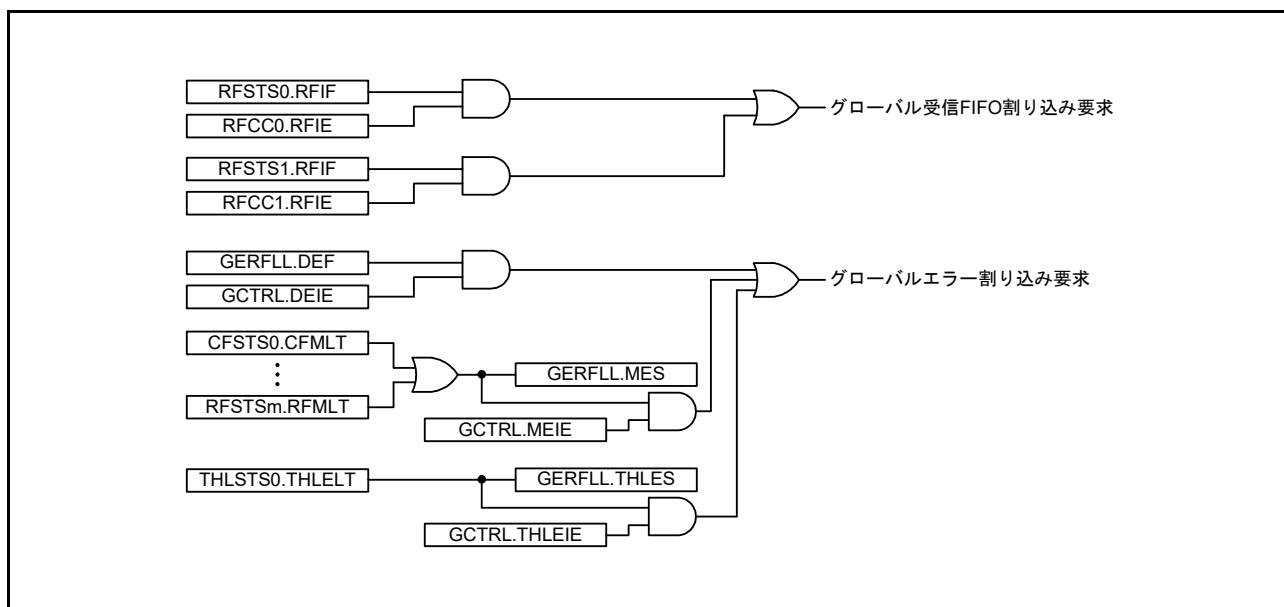


図 28.13 CAN グローバル割り込みブロック図

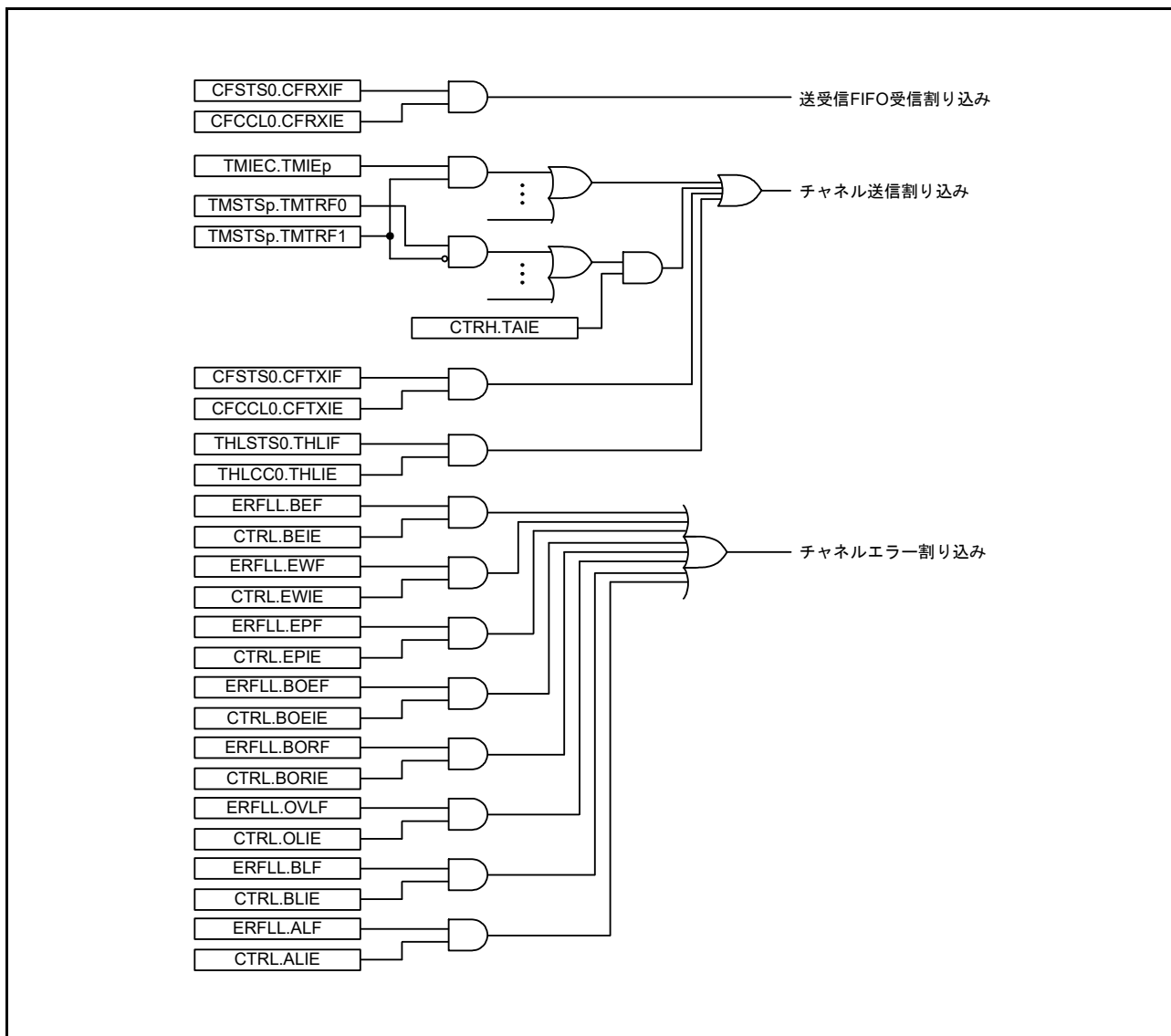


図 28.14 CAN チャンネル割り込みブロック図

28.8 RAM ウィンドウ

CANモジュールのアドレス 000A 83A0h ~ 000A 8681h はウィンドウ形式になっており、GRWCR.RPAGE ビットで、割り付けられるレジスタを切り替えることができます。

- GRWCR.RPAGE ビットが“0”(ウィンドウ 0) の場合に割り付けられるレジスタ
 受信ルール登録レジスタ : GAFLIDLj, GAFLIDHj, GAFLMLj, GAFLMHj, GAFLPLj, GAFLPHj
 RAM テストレジスタ : RPGACCr
- GRWCR.RPAGE ビットが“1”(ウィンドウ 1) の場合に割り付けられるレジスタ
 受信バッファレジスタ : RMIDLn, RMIDHn, RMTSn, RMPTRn, RMDf0n ~ RMDf3n
 受信 FIFO アクセスレジスタ : RFIDLm, RFIDHm, RFTSm, RFPTRm, RFDF0m ~ RFDF3m
 送受信 FIFO アクセスレジスタ : CFIDL0, CFIDH0, CFTS0, CFPTR0, CFDF00 ~ CFDF30
 送信バッファレジスタ : TMIDLp, TMIDHp, TMPTRp, TMDF0p ~ TMDF3p
 送信履歴バッファアクセスレジスタ : THLACC0

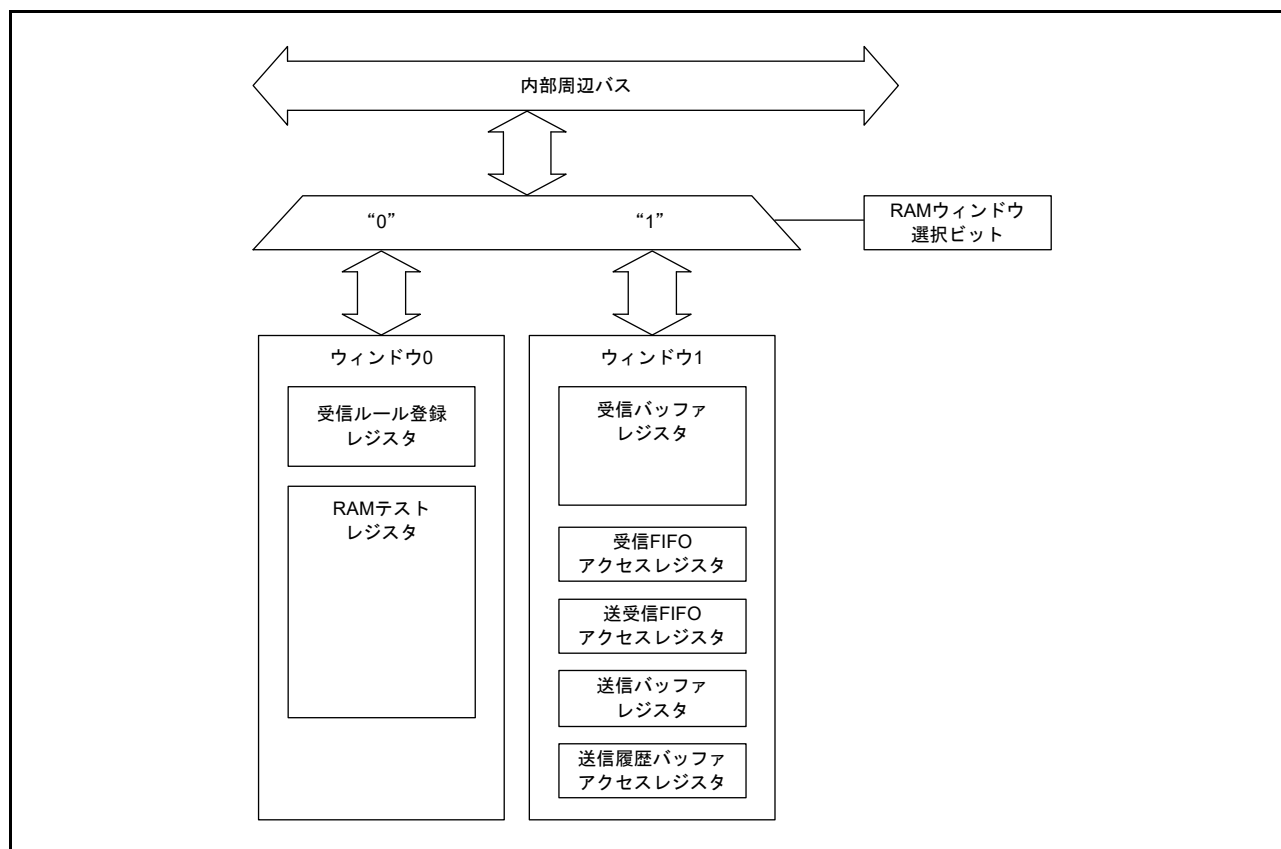


図 28.15 RAM ウィンドウ

28.9 初期設定

CAN モジュールイネーブル後に CAN モジュールは CAN 用 RAM の初期化を行います。RAM の初期化時間は、PCLK の 276 サイクルです。RAM の初期化中は、GSTS.GRAMINIT フラグが“1”(CAN 用 RAM クリア中)になり、初期化が終了すると“0”(CAN 用 RAM クリア完了)になります。GSTS.GRAMINIT フラグが“0”になった後に CAN の設定を行ってください。

図 28.16 に CAN モジュールイネーブル後の設定手順を示します。

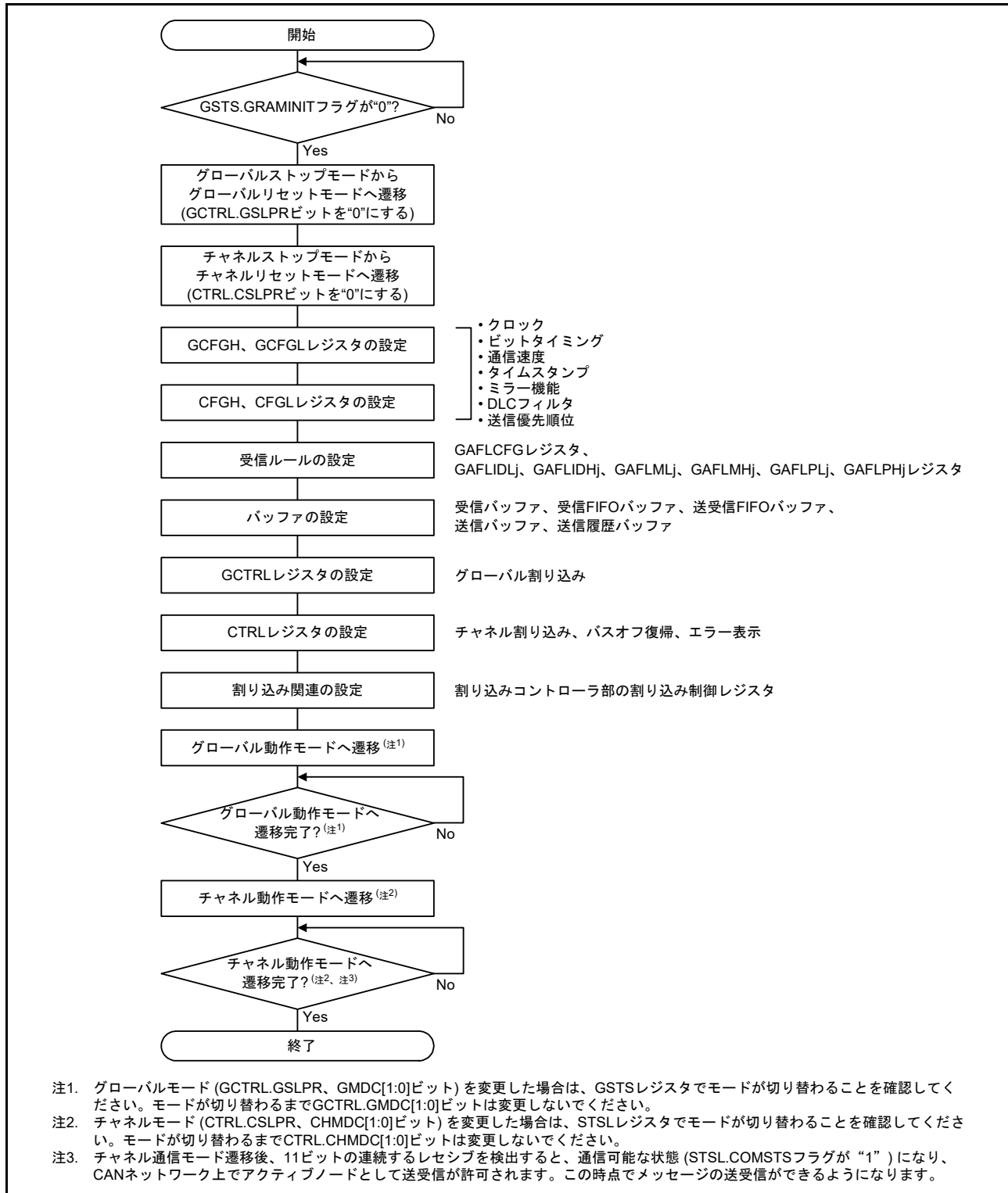


図 28.16 CAN モジュールイネーブル後の設定手順

28.9.1 クロックの設定

CANモジュールのクロック源であるCANクロックソース (fCAN) を設定します。GCFGL.DCS ビットで、PCLK または CANMCLK を選択します。

28.9.2 ビットタイミングの設定

CANプロトコルでは、通信フレームの1ビットはSS、TSEG1、TSEG2の3つのセグメントで構成されます。このうち、TSEG1およびTSEG2の2つのセグメントをチャンネルごとにCFGHレジスタで設定できます。2つのセグメントを設定することで、サンプルポイントのタイミングを決めます。このタイミングは1 Time Quantum (以下Tq) 単位で調整できます。1Tqは、GCFGL.DCS ビットで選択したクロックをCFGH.BRP[9:0] ビットで分周したクロック (CANTq クロック) の周期になります。

図 28.17 にビットタイミング図を示します。表 28.12 にビットタイミングの設定例を示します。

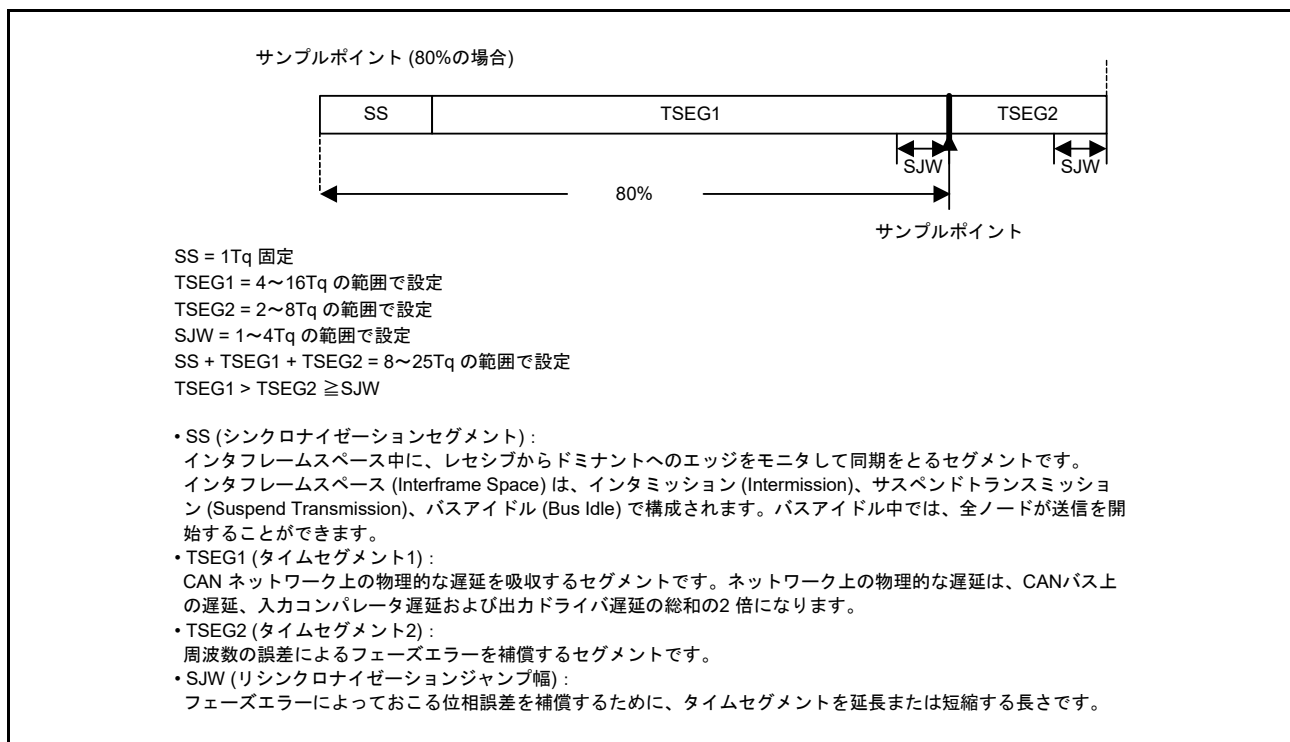


図 28.17 ビットタイミング図

表 28.12 ビットタイミングの設定例

1ビット	設定値(Tq)				サンプルポイント(%) (図28.17参照)
	SS	TSEG1	TSEG2	SJW	
8Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10Tq	1	6	3	1	70.00
	1	7	2	1	80.00
16Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20Tq	1	13	6	1	70.00
	1	15	4	3	80.00
24Tq	1	15	8	1	66.67
	1	16	7	1	70.83

28.9.3 通信速度の設定

CANの通信速度は、fCAN、ボーレートプリスケアラ分周値(CFGL.BRP[9:0]ビット)および1ビットタイムのTq数を用いてチャンネルごとに設定します。

図 28.18 に CAN クロック制御ブロック図を、表 28.13 に通信速度の設定例を示します。

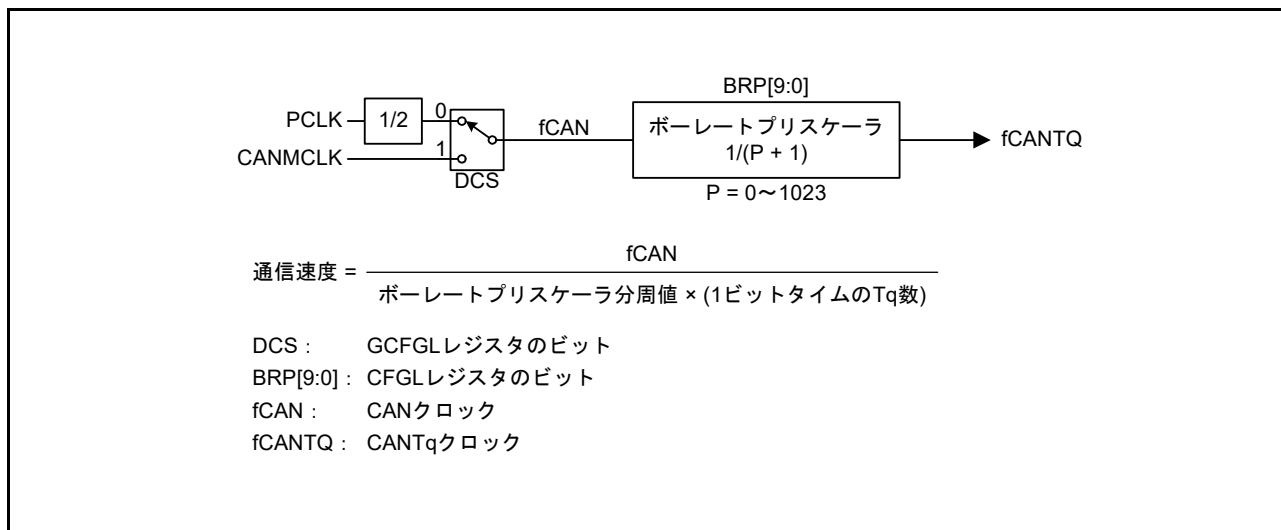


図 28.18 CAN クロック制御ブロック図

表 28.13 通信速度の設定例

通信速度	fCAN	
	16MHz	8MHz
1 Mbps	8Tq (2) 16Tq (1)	8Tq (1)
500 kbps	8Tq (4) 16Tq (2)	8Tq (2) 16Tq (1)
250 kbps	8Tq (8) 16Tq (4)	8Tq (4) 16Tq (2)
83.3 kbps	8Tq (24) 16Tq (12)	8Tq (12) 16Tq (6)
33.3 kbps	8Tq (60) 10Tq (48) 16Tq (30) 20Tq (24)	8Tq (30) 10Tq (24) 16Tq (15) 20Tq (12)

注. ()内の数字はボーレートプリスケアラ分周値

28.9.4 受信ルールの設定

受信ルール関連レジスタで受信ルールの設定を行うことができます。
16の受信ルールを登録できます。

図 28.19 に受信ルール設定手順について示します。

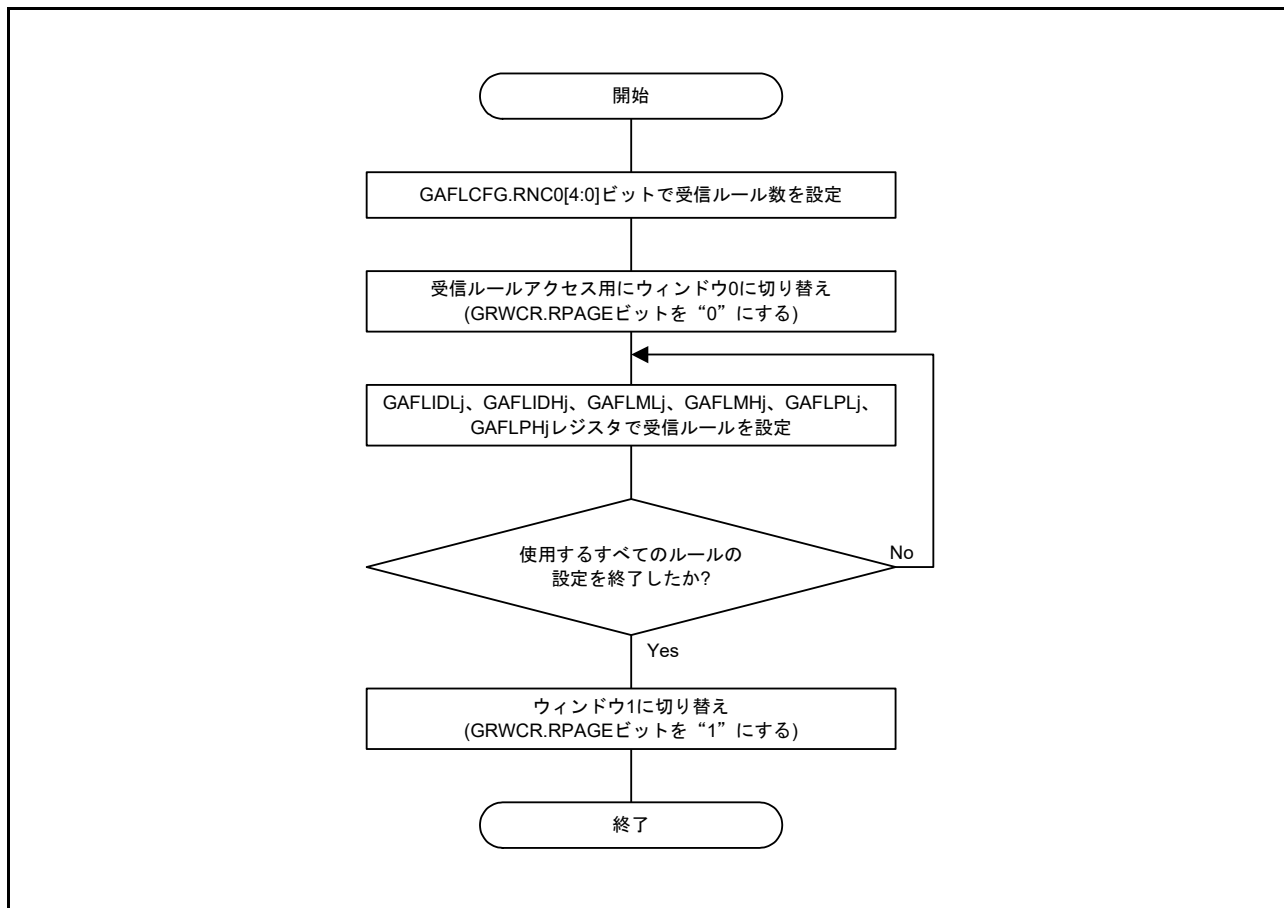


図 28.19 受信ルール設定手順

28.9.5 バッファの設定

各種バッファのサイズと割り込み要因を設定します。また、送信モードに設定した送受信 FIFO バッファはリンクする送信バッファを設定します。

図 28.20 にバッファの構成を示します。図 28.21 に各種バッファの設定手順を示します。

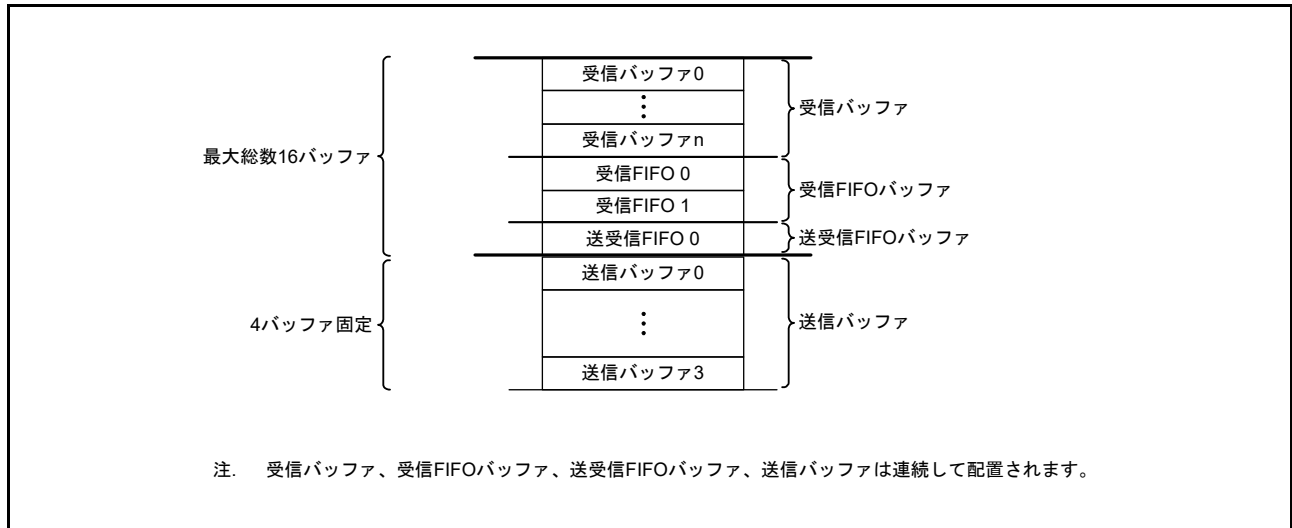


図 28.20 バッファの構成

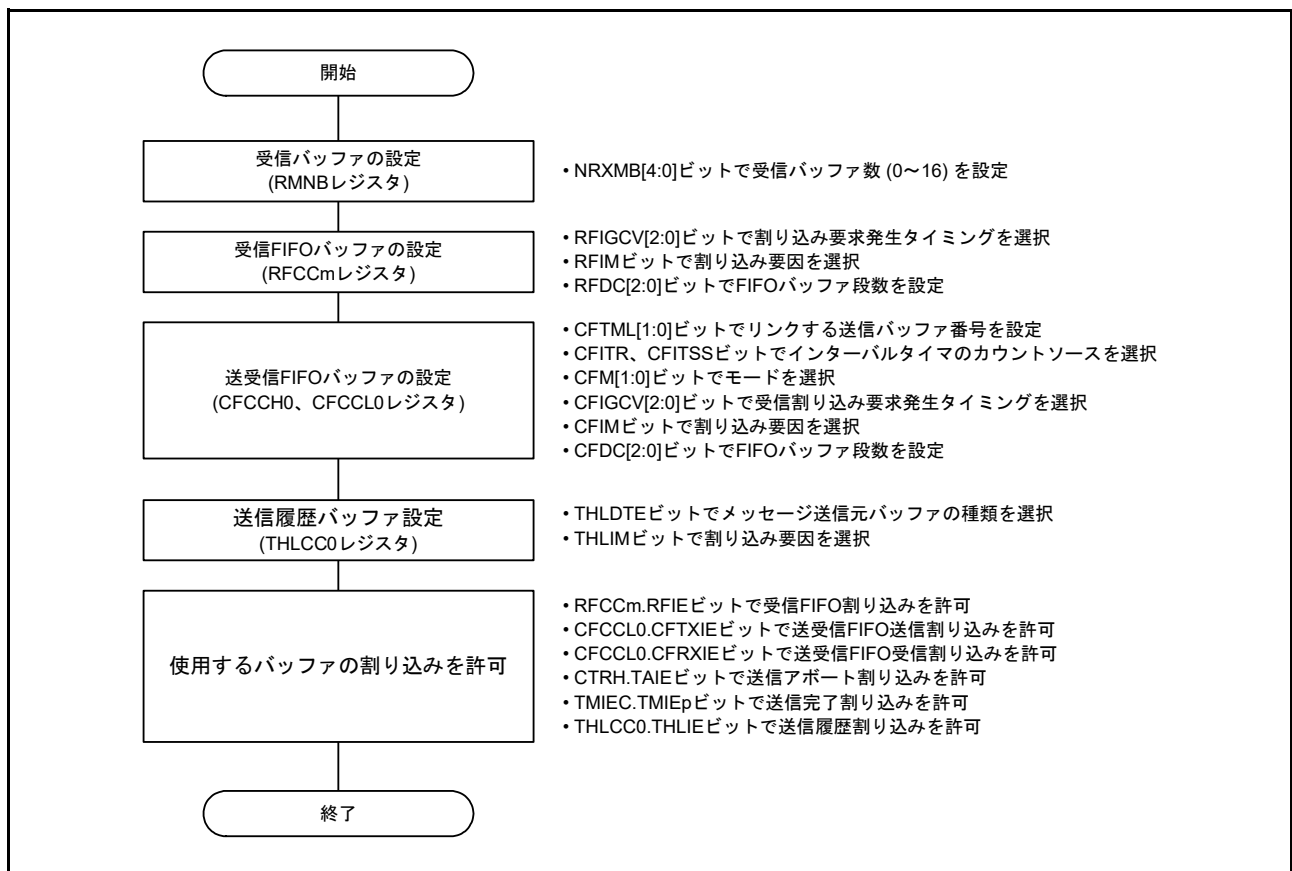


図 28.21 各種バッファの設定手順

28.10 受信手順

28.10.1 受信バッファの読み出し手順

受信したメッセージを受信バッファに格納する処理が始まると、RMND0.RMNSn フラグが“1”(受信バッファ n に新しいメッセージあり)になります。メッセージは RMIDLn、RMIDHn、RMTSn、RMPTRn、RMDf0n ~ RMDf3n レジスタから読めます。受信バッファからメッセージを読み出す前に次のメッセージを受信した場合、メッセージが上書きされます。

図 28.22 に受信バッファの読み出し手順を示します。

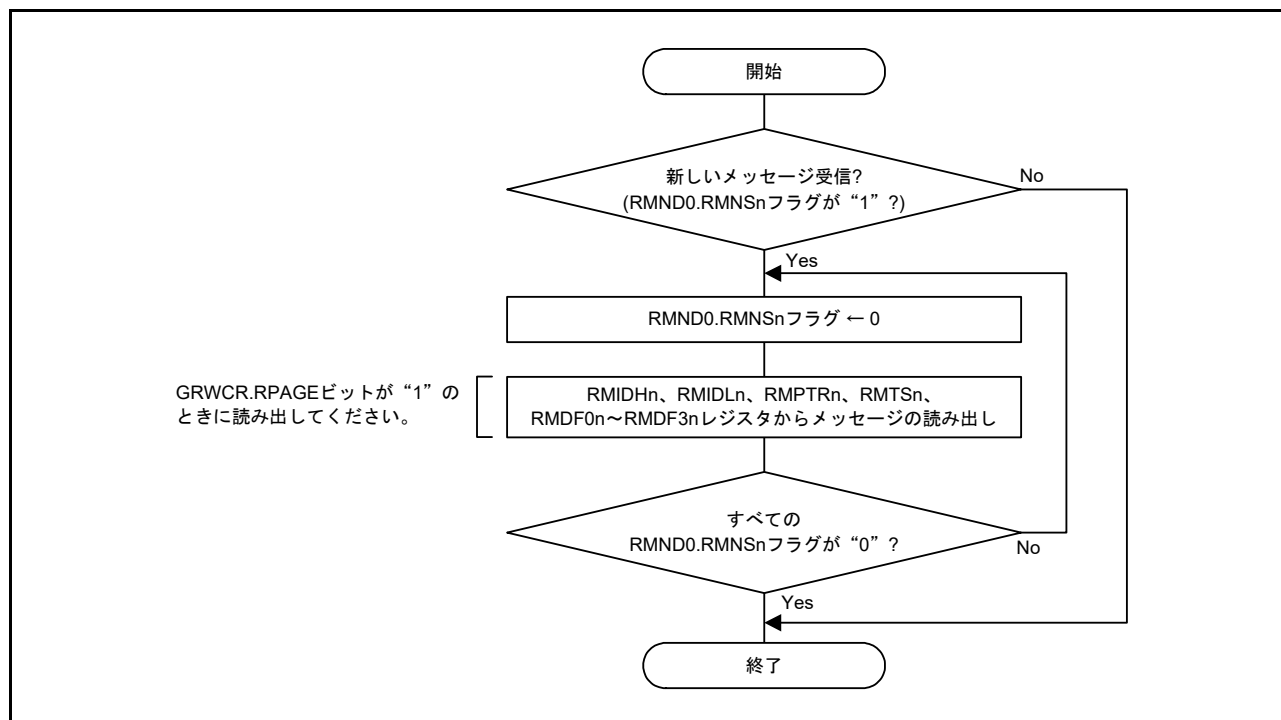


図 28.22 受信バッファの読み出し手順

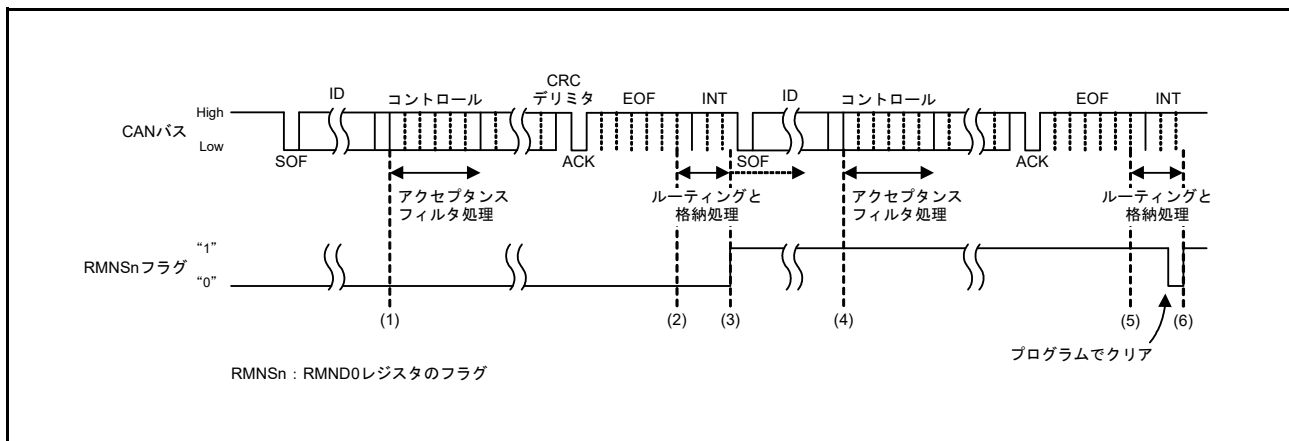


図 28.23 受信バッファの受信タイミング図

- (1) メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (2) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。GCFGL.DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (3) DLC フィルタ処理を通過すると、指定した受信バッファにメッセージを格納する処理が開始します。メッセージの格納処理が始まると、対応する RMND0.RMNSn フラグが“1” (受信バッファに新しいメッセージあり) になります。他のチャンネルでフィルタ処理や送信の優先順位判定処理を行っている場合、ルーティング処理や格納処理が遅延する場合があります。
- (4) 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (5) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。GCFGL.DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (6) 対応する RMND0.RMNSn フラグを“0” (受信バッファに新しいメッセージなし) にクリアした場合、メッセージの格納処理が始まると、再度、“1”になります。RMND0.RMNSn フラグが“1”のままでも、新しいメッセージは受信バッファに上書きされます。メッセージ格納中は RMND0.RMNSn フラグを“0”にできません。

28.10.2 FIFO バッファの読み出し手順

受信メッセージが1つ以上の受信 FIFO バッファまたは、受信モードに設定した送受信 FIFO バッファへ格納されると、対応するメッセージ数表示カウンタ (RFSTSm.RFMC[5:0] フラグまたは CFSTS0.CFMC[5:0] フラグ) の値が1加算されます。このとき、RFCCm.RFIE ビット (受信 FIFO 割り込み許可ビット) や CFCCL0.CFRXIE ビット (送受信 FIFO 受信割り込み許可ビット) を“1”にしていると、割り込み要求が発生します。受信メッセージは、受信 FIFO バッファの場合は RFIDLm、RFIDHm、RFTSm、RFPTRm、RFDF0m ~ RFDF3m レジスタから、送受信 FIFO バッファの場合は CFIDL0、CFIDH0、CFTS0、CFPTR0、CFDF00 ~ CFDF30 レジスタから読み出すことができます。FIFO バッファは古いメッセージから読み出せます。

メッセージ数表示カウンタの値が FIFO バッファの段数値 (RFCCm.RFDC[2:0] ビットまたは CFCCL0.CFDC[2:0] ビットで設定した値) に一致したとき、RFSTSm.RFFLL フラグまたは CFSTS0.CFFLL フラグが“1” (FIFO バッファフル) になります。

FIFO バッファからすべてのメッセージを読み出したとき、RFSTSm.RFEMP フラグまたは CFSTS0.CFEMP フラグが“1” (FIFO バッファ空) になります。

割り込み要求フラグ (RFSTSm.RFIF フラグまたは CFSTS0.CFRXIF フラグ) が“1” (割り込み要求あり) の状態で RFCCm.RFE ビットや CFCCL0.CFE ビットを“0” (FIFO バッファを使用しない) にすると、割り込み要求フラグは自動的に“0”になりません。割り込み要求フラグはプログラムで“0”にしてください。

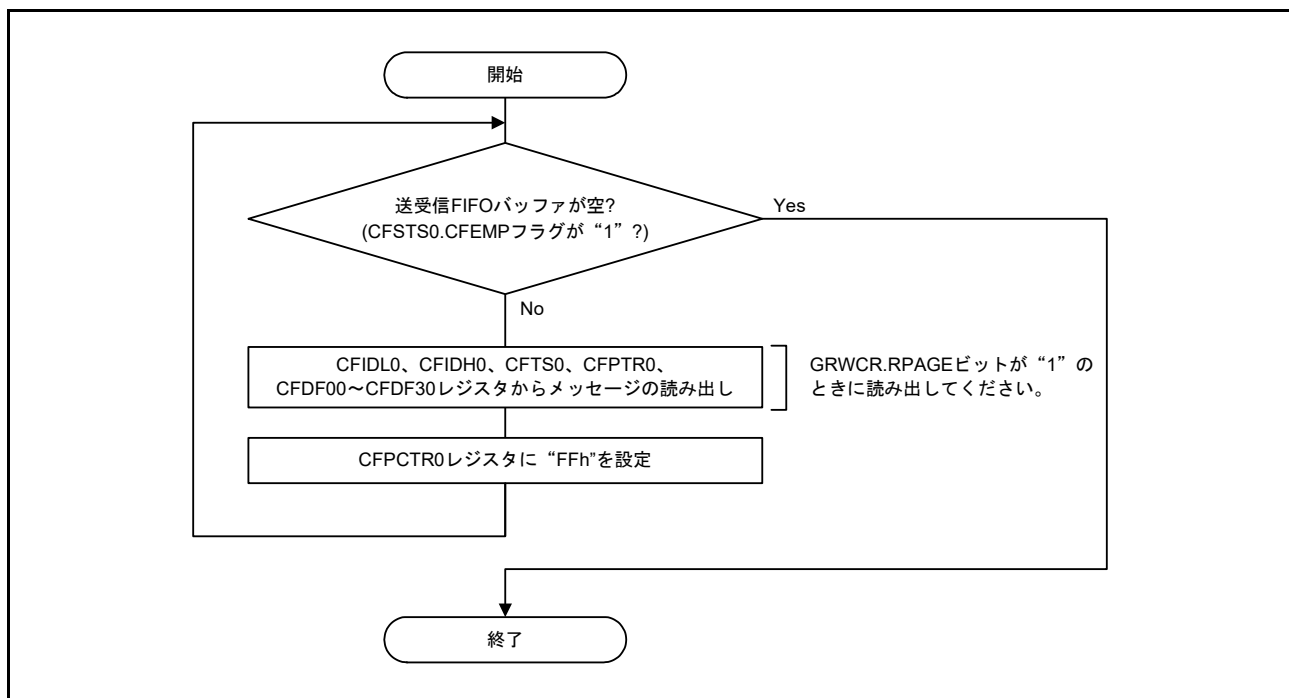


図 28.24 送受信 FIFO バッファの読み出し手順

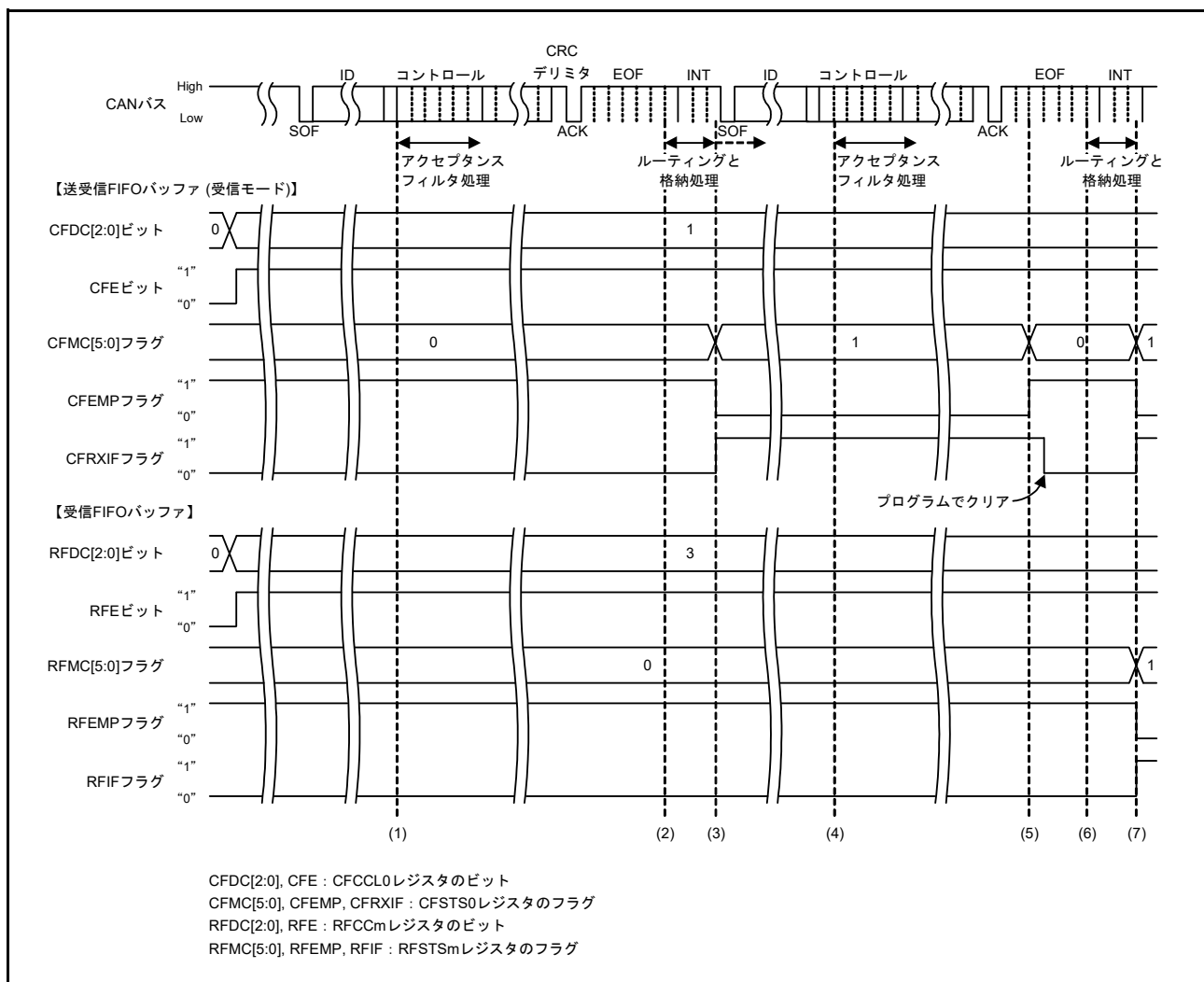


図 28.25 FIFO バッファの受信タイミング図

- (1) メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (2) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。GCFGL.DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (3) DLC フィルタ処理を通過し、かつ CFCCL0.CFE ビットが“1” (送受信 FIFO バッファを使用する) で、CFCCL0.CFDC[2:0] ビットの値が“001b”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFSTS0.CFMC[5:0] フラグが 1 加算されて“01h”になります。CFCCL0.CFIM ビットを“1” (1 メッセージ受信ごとに割り込み要求発生) にしている場合、CFSTS0.CFRXIF フラグが“1” (送受信 FIFO 受信割り込み要求あり) になります。CFSTS0.CFRXIF フラグはプログラムで“0”にできます。
- (4) 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (5) CFIDL0、CFIDH0、CFSTS0、CFPTR0、CFDF00 ~ CFDF30 レジスタから受信メッセージを読み出し、CFPCTR0 レジスタに“FFh”を書きます。それにより、CFSTS0.CFMC[5:0] フラグが 1 減算されて“00h”になり、CFSTS0.CFEMP フラグが“1” (送受信 FIFO バッファ空) になります。
- (6) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。GCFGL.DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。

- (7) DLC フィルタ処理を通過し、かつ CFCCL0.CFE ビットが“1”(送受信 FIFO バッファを使用する)、CFCCL0.CFDC[2:0] ビットの値が“001b”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFSTS0.CFMC[5:0] フラグが 1 加算されて“01h”になります。CFCCL0.CFIM ビットを“1”(1 メッセージ受信ごとに割り込み要求発生)にしている場合、CFSTS0.CFRXIF フラグが“1”(送受信 FIFO 受信割り込み要求あり)になります。
- また、RFCCm.RFE ビットが“1”(受信 FIFO バッファを使用する)、RFCCm.RFDC[2:0] ビットの値が“001b”以上の場合、受信 FIFO バッファにメッセージが格納されます。RFSTS0.RFMC[5:0] フラグが 1 加算されて“01h”になります。RFCCm.RFIM ビットを“1”(1 メッセージ受信ごとに割り込み要求発生)にしている場合、RFSTS0.RFIF フラグが“1”(受信 FIFO 割り込み要求あり)になります。

28.11 送信手順

28.11.1 送信バッファからの送信手順

図 28.26 に送信バッファからの送信手順を示します。

図 28.27 に 2 つの送信バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 28.28 に 2 つの送信バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

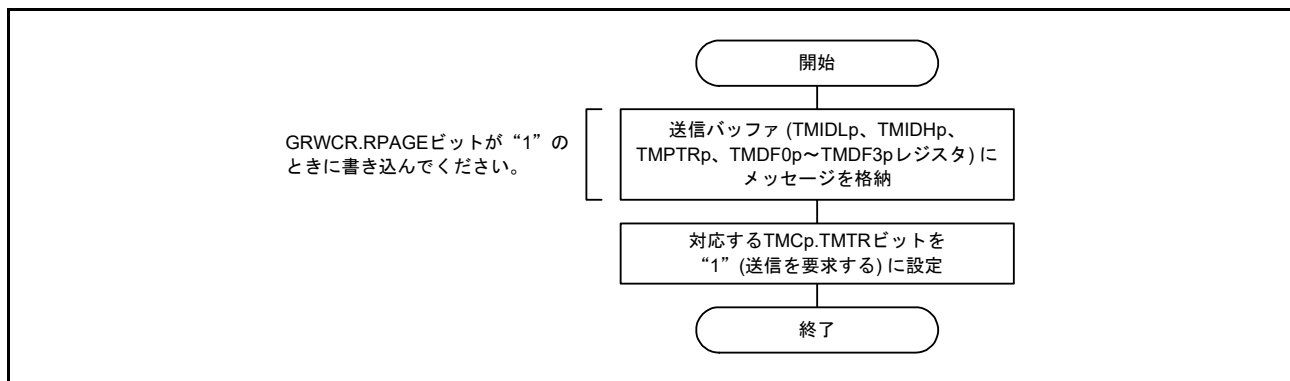


図 28.26 送信バッファからの送信手順

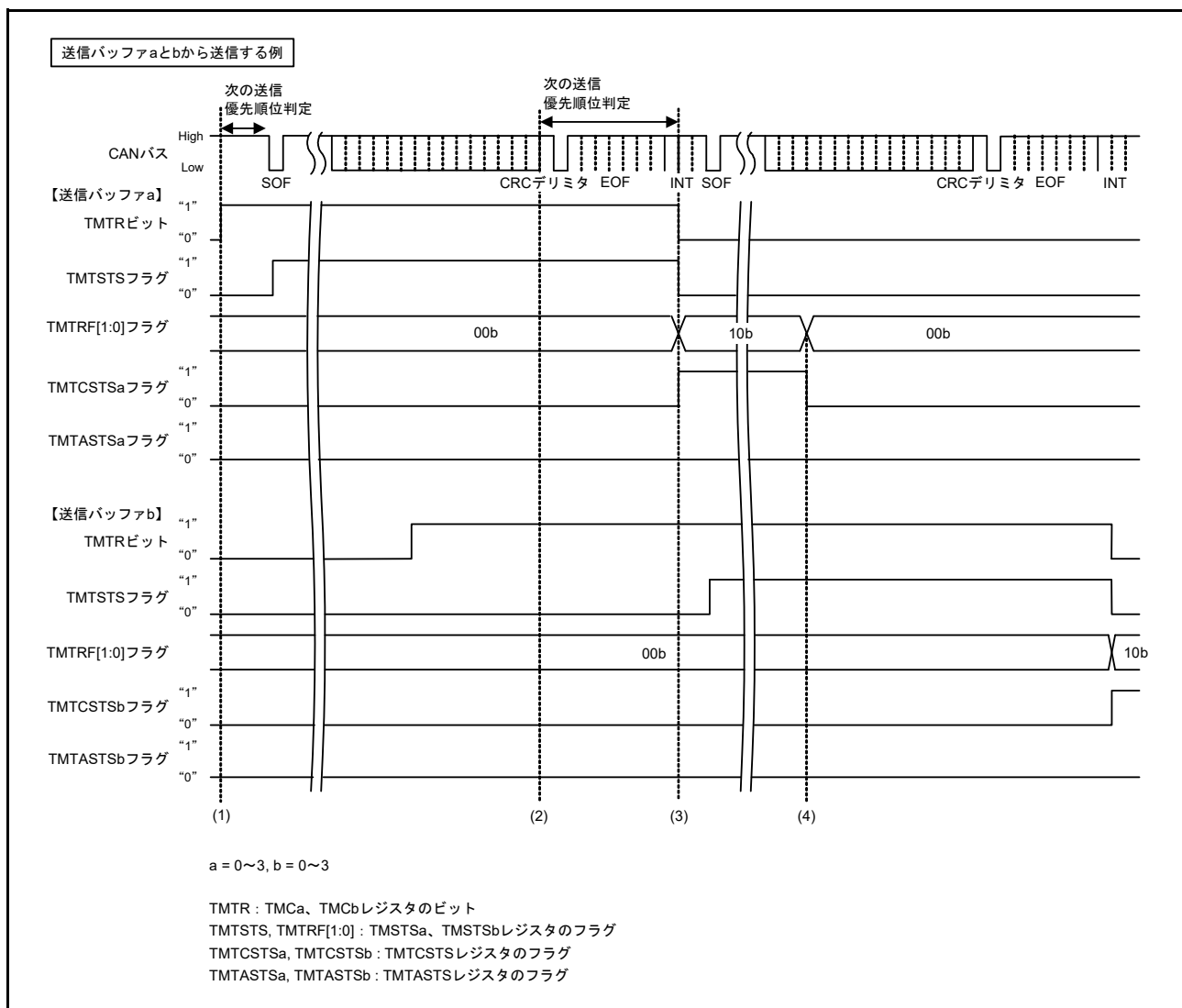


図 28.27 送信バッファの送信タイミング図 (正常に送信完了時)

- (1) CANバスがアイドル状態のとき TMCa.TMTR ビット (a = 0 ~ 3) を“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する TMTSTSa.TMTSTS フラグが“1” (送信中) になり、CAN チャネルは送信を開始します。
- (2) CRC デリミタで、バッファからの送信要求があれば、次の優先順位判定を開始します。
- (3) 送信が成功すると、TMSTSa.TMTRF[1:0] フラグは“10b” (送信完了 (送信アポート要求なし))、TMSTSa.TMTSTS フラグと TMCa.TMTR ビットは“0”、TMTCSTs.TMTCSTSa フラグは“1”になります。TMIEC.TMIEa ビットが“1” (割り込み許可) のとき、送信割り込み要求が発生します。割り込み要求をクリアするには、TMSTSa.TMTRF[1:0] フラグを“00b” (送信中または送信要求なし) にしてください。
- (4) 次の送信を開始する前に、TMSTSa.TMTRF[1:0] フラグを“00b” にしてください。次のメッセージを送信バッファに書いてから、TMCa.TMTR ビットを“1” (送信を要求する) にしてください。TMSTSa.TMTRF[1:0] フラグが“00b” のときのみ、TMCa.TMTR ビットを“1”に設定できます。送信を開始後にアービトレーションロストが発生した場合、TMSTSa.TMTSTS フラグは“0”になります。送信の優先順位判定は CRC デリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

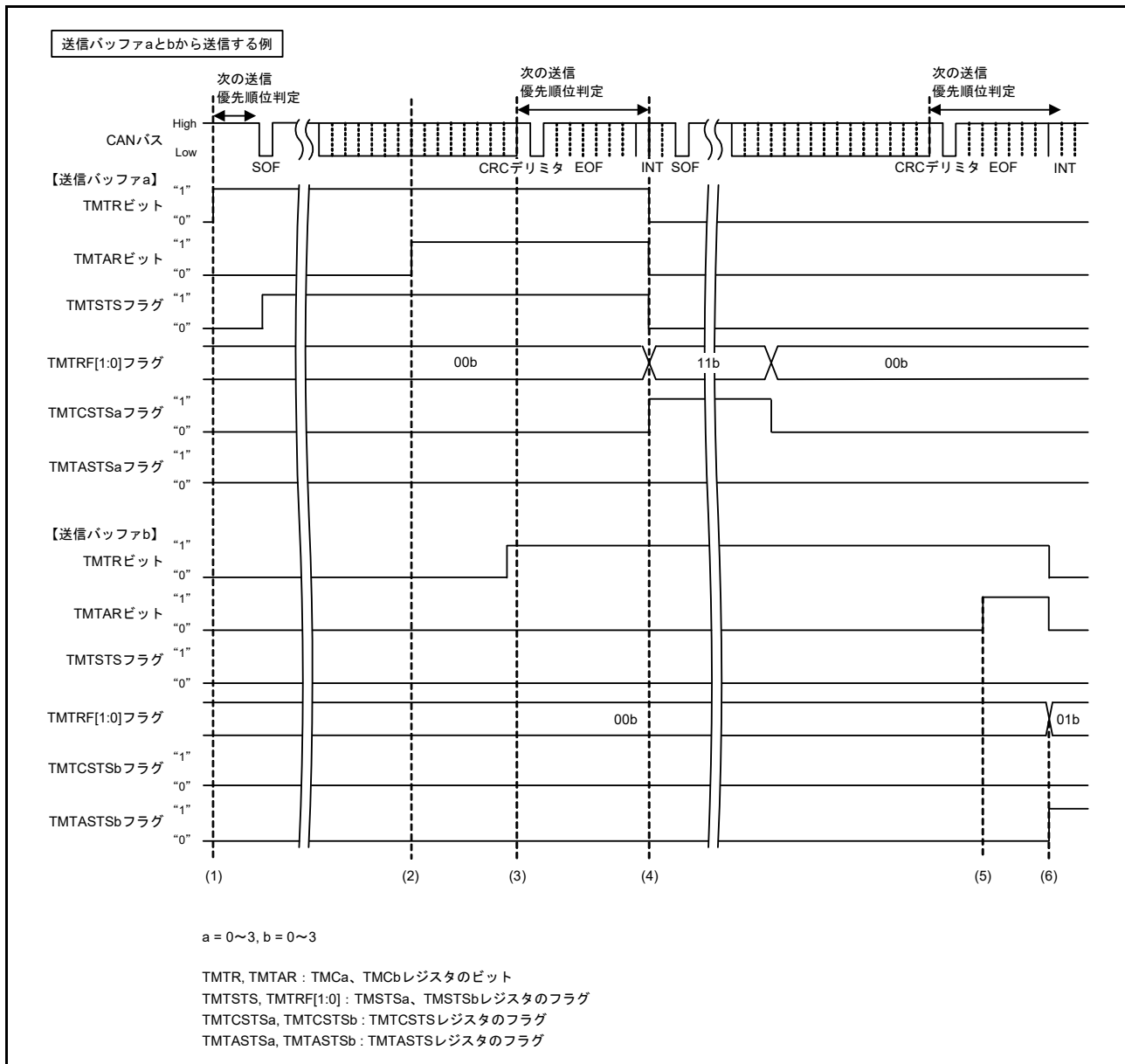


図 28.28 送信バッファの送信タイミング図(送信アボート完了時)

- (1) CAN バスがアイドル状態のとき TMCa.TMTR ビット (a=0~3) を“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する TMSTSa.TMTSTS フラグが“1”(送信中)になり、CAN チャンネルは送信を開始します。
- (2) 送信バッファが次の送信に決まっているとき、または現在送信中であるとき、TMCa.TMTAR ビットを“1”(アボート要求する)にしても、エラーまたはアービトレーションロストが発生しない限り、メッセージ送信はアボートされません。
- (3) CRC デリミタで、次の優先順位判定処理を開始します。このタイミング図では、バッファ b は次の送信バッファとして選択されていません。
- (4) 送信が成功すると、TMSTSa.TMTRF[1:0] フラグは“11b”(送信完了(送信アボート要求あり))、TMSTSa.TMTSTS フラグと TMCa.TMTR ビットは“0”、TMTCSa.TMTCSa フラグは“1”になります。TMIEC.TMIEa ビットが“1”(割り込み許可)のとき、送信割り込み要求が発生します。割り込み要求をクリアするには、TMSTSa.TMTRF[1:0] フラグを“00b”(送信中または送信要求なし)にしてください。

- (5) CAN バス上に他の CAN ノードが送信している場合 (TMSTSa.TMTSTS フラグは“0”)、対応するチャンネルが優先順位判定中に TMCa.TMTAR ビットを“1”にすると、TMCa.TMTR ビットを“0”にできません。
- (6) 内部処理時間経過後、送信は中止され、TMSTSa.TMTRF[1:0] フラグが“01b”、TMTASTS.TMTASTSa フラグは“1”になります。送信バッファが送信中ではなくて、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、アボート要求はすぐに受け付けられ、TMSTSa.TMTRF[1:0] フラグは“01b”になります。このとき、TMCa.TMTR ビットと TMTAR ビットは“0”になります。
- CTRH.TAIE ビットが“1” (送信アボート割り込み許可) のとき、送信アボートが完了すると割り込み要求が発生します。割り込み要求をクリアするには、TMSTSa.TMTRF[1:0] フラグを“00b”にしてください。

CAN チャンネルが送信を開始後にアービトレーションロストが発生した場合、TMSTSa.TMTSTS フラグは“0”になります。優先順位判定は CRC デリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

28.11.2 送受信 FIFO バッファからの送信手順

図 28.29 に送受信 FIFO バッファからの送信手順を示します。

図 28.30 に送受信 FIFO バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 28.31 に送受信 FIFO バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

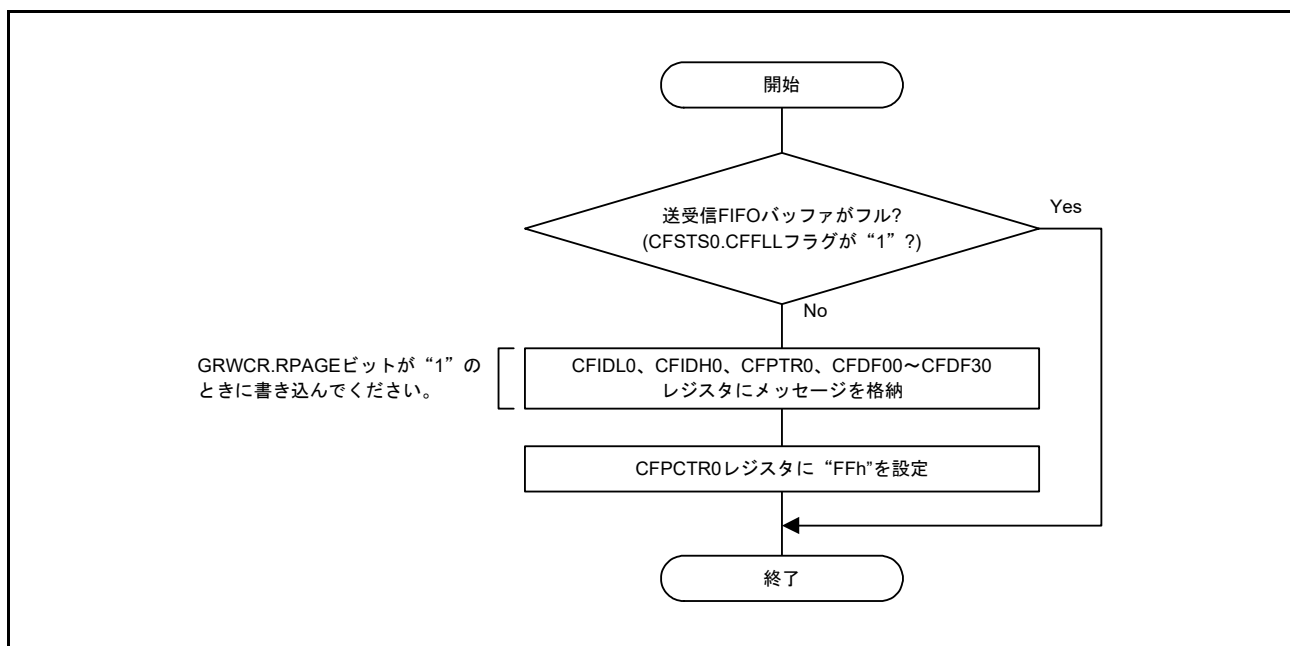


図 28.29 送受信 FIFO バッファからの送信手順

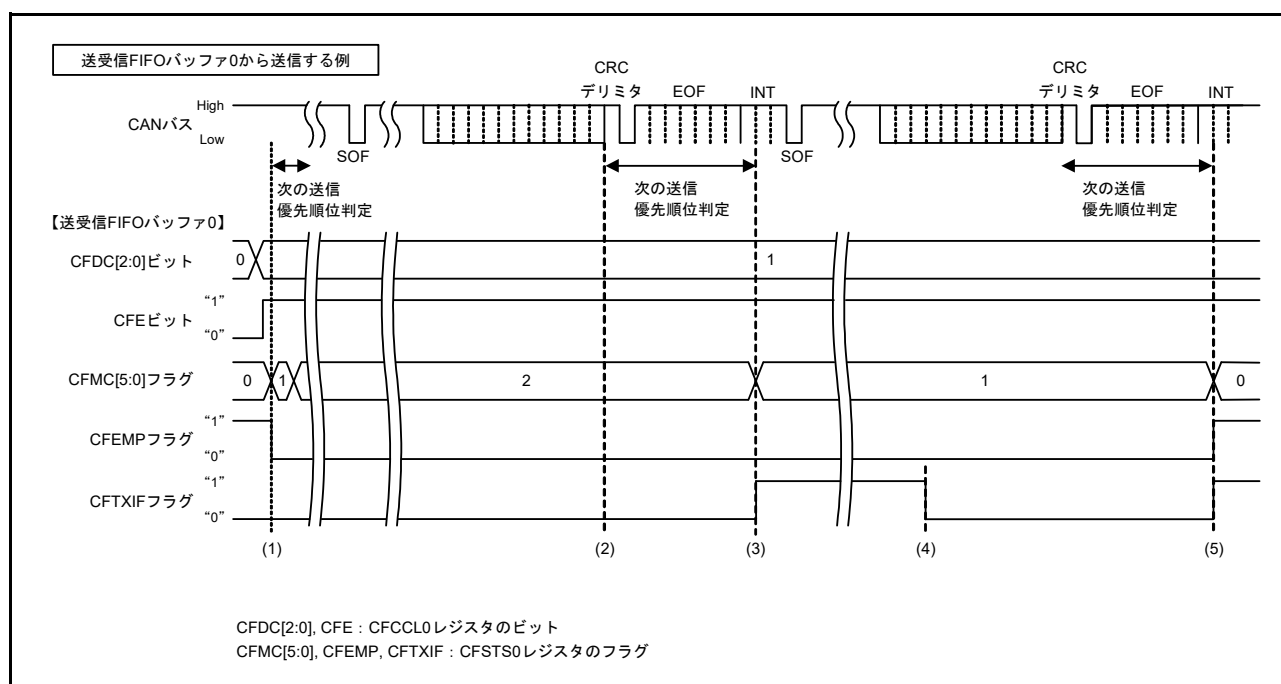


図 28.30 送受信 FIFO バッファの送信タイミング図 (正常に送信完了時)

- (1) CAN バスがアイドル状態のとき、CFCL0.CFE ビットが“1” (送受信 FIFO バッファ 0 を使用する)、CFCL0.CFDC[2:0] ビットが“001b” (4 メッセージ) 以上、CFSTS0.CFMC[5:0] フラグの値が“01h” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。
- (2) バッファからの送信要求があれば、CRC デリミタで次の優先順位判定処理を開始します。
- (3) 送信が成功すると、CFSTS0.CFMC[5:0] フラグが 1 減算されます。CFCL0.CFIM ビットを“1” (1 メッセージ送信ごとに割り込み要求発生) にした場合、CFSTS0.CFTXIF フラグが“1” (送受信 FIFO 送信割り込み要求あり) になります。
- (4) CFSTS0.CFTXIF フラグはプログラムでクリアできます。
- (5) 送受信 FIFO バッファ 0 からの送信が完了し、CFSTS0.CFMC[5:0] フラグが 1 減算されます。CFSTS0.CFMC[5:0] フラグが“00h” になるため、CFSTS0.CFEMP フラグが“1” (送受信 FIFO バッファ空) になります。CFSTS0.CFEMP フラグが“1” になるまで送信は続けられます。CFSTS0.CFLL フラグが“1” (送受信 FIFO バッファフル) になるまで、送信メッセージを FIFO バッファに格納することができます。

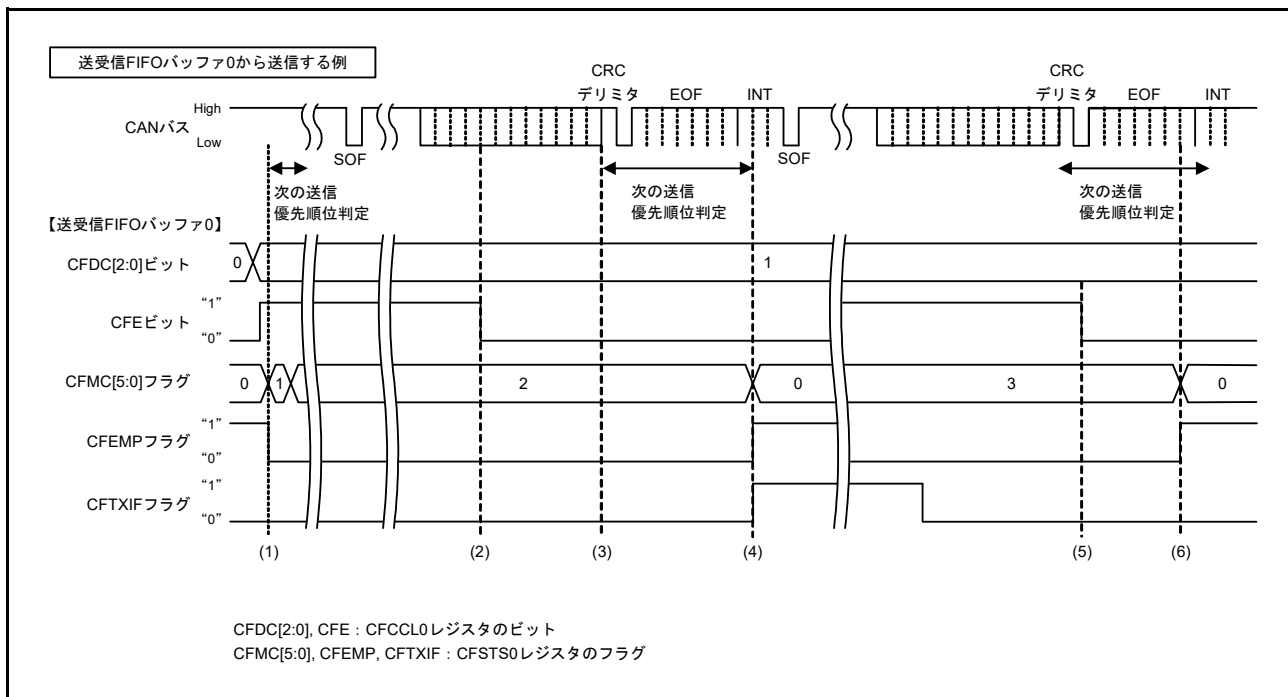


図 28.31 送受信 FIFO バッファの送信タイミング図 (送信アポート完了時)

- (1) CANバスがアイドル状態のとき、CFCL0.CFEビットが“1”(送受信FIFOバッファ0を使用する)、CFCL0.CFDC[2:0]ビットが“001b”(4メッセージ)以上、CFSTS0.CFMC[5:0]フラグの値が“01h”以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。
- (2) メッセージが送信中、または次の送信に決まっているとき、アービトレーションロストまたはエラーが発生しない限り、CFCL0.CFEビットを“0”(送受信FIFOバッファ0を使用しない)にしても送信はアポートされません。
- (3) バッファからの送信要求があれば、CRCデリミタで次の優先順位判定処理を開始します。この図では、送受信FIFOバッファ0は次の送信用バッファとして選択されていません。
- (4) 送信が成功すると、CFSTS0.CFMC[5:0]フラグの値が“00h”になります。CFCL0.CFIMビットを“1”(1メッセージ送信ごとに割り込み要求発生)にした場合、CFSTS0.CFTXIFフラグが“1”(送受信FIFOバッファ送信割り込み要求あり)になります。CFSTS0.CFTXIFフラグはプログラムでクリアできます。
- (5) CANバス上の他のCANノードが送信中の場合(送受信FIFOバッファ0からは送信されていない)、送信の優先順位判定中にCFCL0.CFEビットを“0”(送受信FIFOバッファ0を使用しない)にしても、送受信FIFOバッファ0は直ちに禁止にはできません(CFSTS0.CFEMPフラグは直ちに“1”(送受信FIFOバッファ空)にはなりません)。
- (6) 内部処理時間経過後、送受信FIFOバッファは禁止され、CFSTS0.CFMC[5:0]フラグは“00h”になり、CFSTS0.CFEMPフラグは“1”になります。送受信FIFOバッファ0が送信中でもなく、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、直ちに送受信FIFOバッファ0は禁止されます(CFSTS0.CFMC[5:0]フラグは“00h”になり、CFSTS0.CFEMPフラグは“1”になります)。

28.11.3 送信履歴バッファの読み出し手順

送信履歴データは、THLACC0レジスタで読めます。1データを読んだ後、対応するTHLPCTR0レジスタへ“FFh”を書くと、次のデータへアクセスできます。図28.32に送信履歴バッファの読み出し手順を示します。

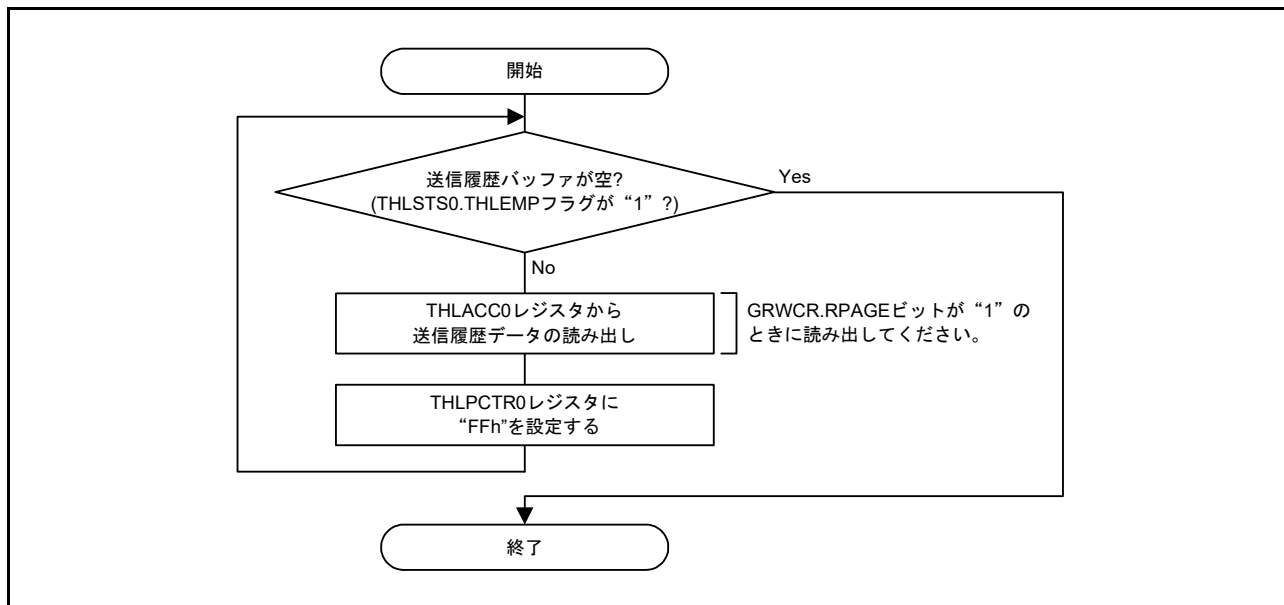


図 28.32 送信履歴バッファの読み出し手順

28.12 テスト設定

28.12.1 セルフテストモードの設定手順

セルフテストモードでは、自ら送信したメッセージを受信することにより、チャンネル単体で通信テストを行うことができます。

図 28.33 にセルフテストモードの設定手順を示します。

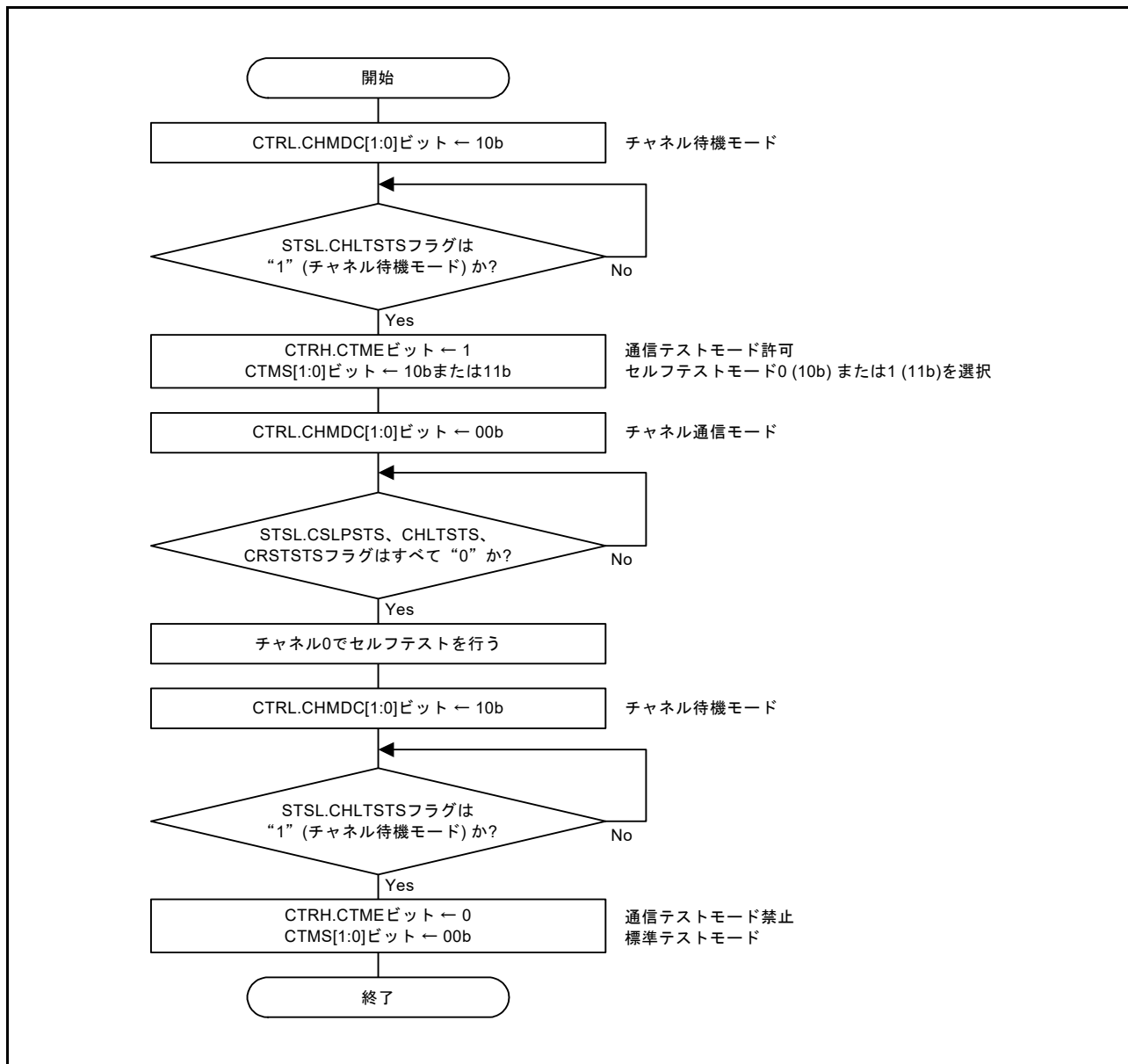


図 28.33 セルフテストモードの設定手順

28.12.2 プロテクト解除手順

表 28.14 に示すグローバルテスト機能はプロテクトされているため、解除データ 1 と解除データ 2 を連続して GLOCKK.LOCK[15:0] ビットに書いてから、それぞれのテスト機能ビットを“1”にしてください。

表 28.14 テスト機能用プロテクト解除データ

テスト機能	プロテクト解除データ1	プロテクト解除データ2	対象ビット
RAM テスト	7575h	8A8Ah	GTSTCTRL.RTME ビット

間違った値を GLOCKK.LOCK[15:0] ビットに書いた場合、再度、解除データ 1 の書き込みからやり直してください。

図 28.34 にプロテクト解除手順を示します。

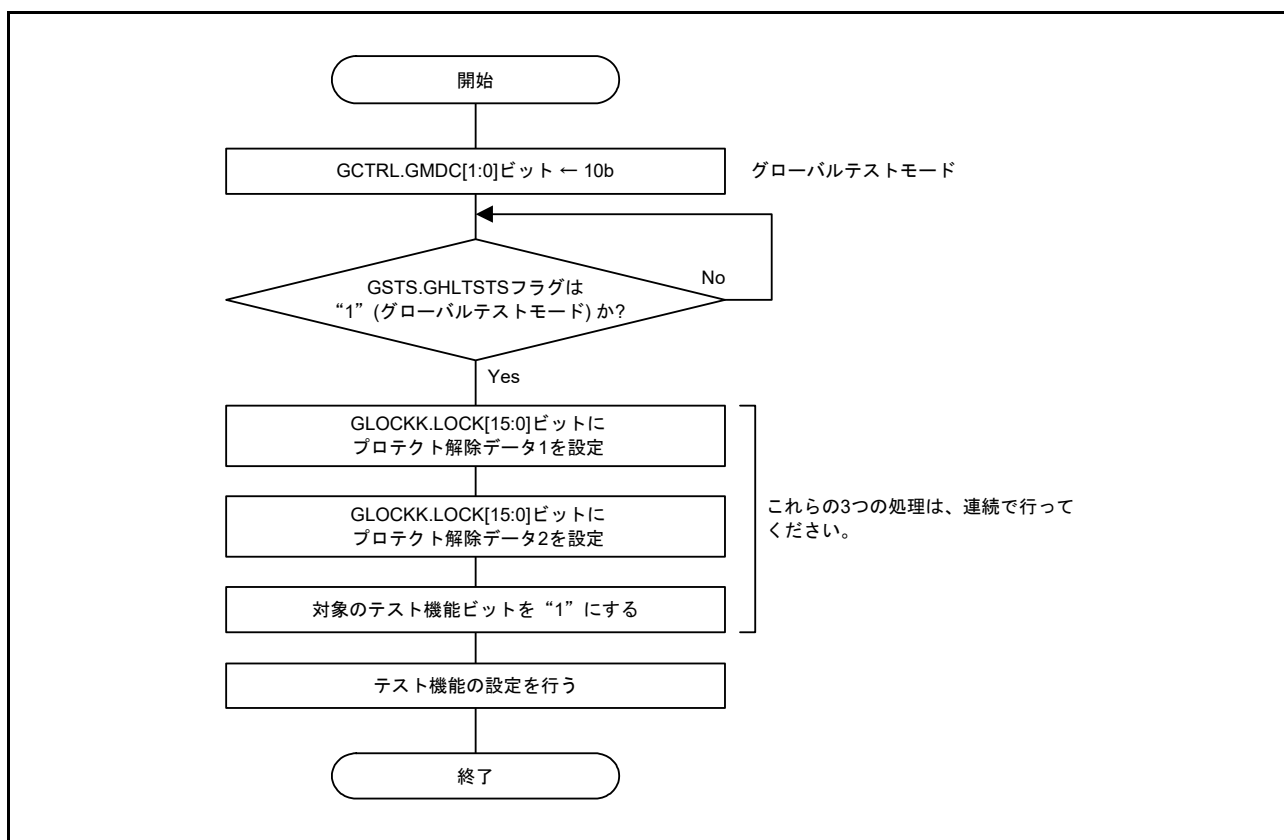


図 28.34 プロテクト解除手順

28.12.3 RAMテストの設定手順

RAMテストには、CAN用RAMの読み書きテストがあります。読み書きテストでは、RAMに書いた値が正しく読めることを確認できます。RAMテストを終了する前に、CAN用RAMの全ページに“0000h”を書いてください。

図 28.35 に RAM テストの設定手順を示します。

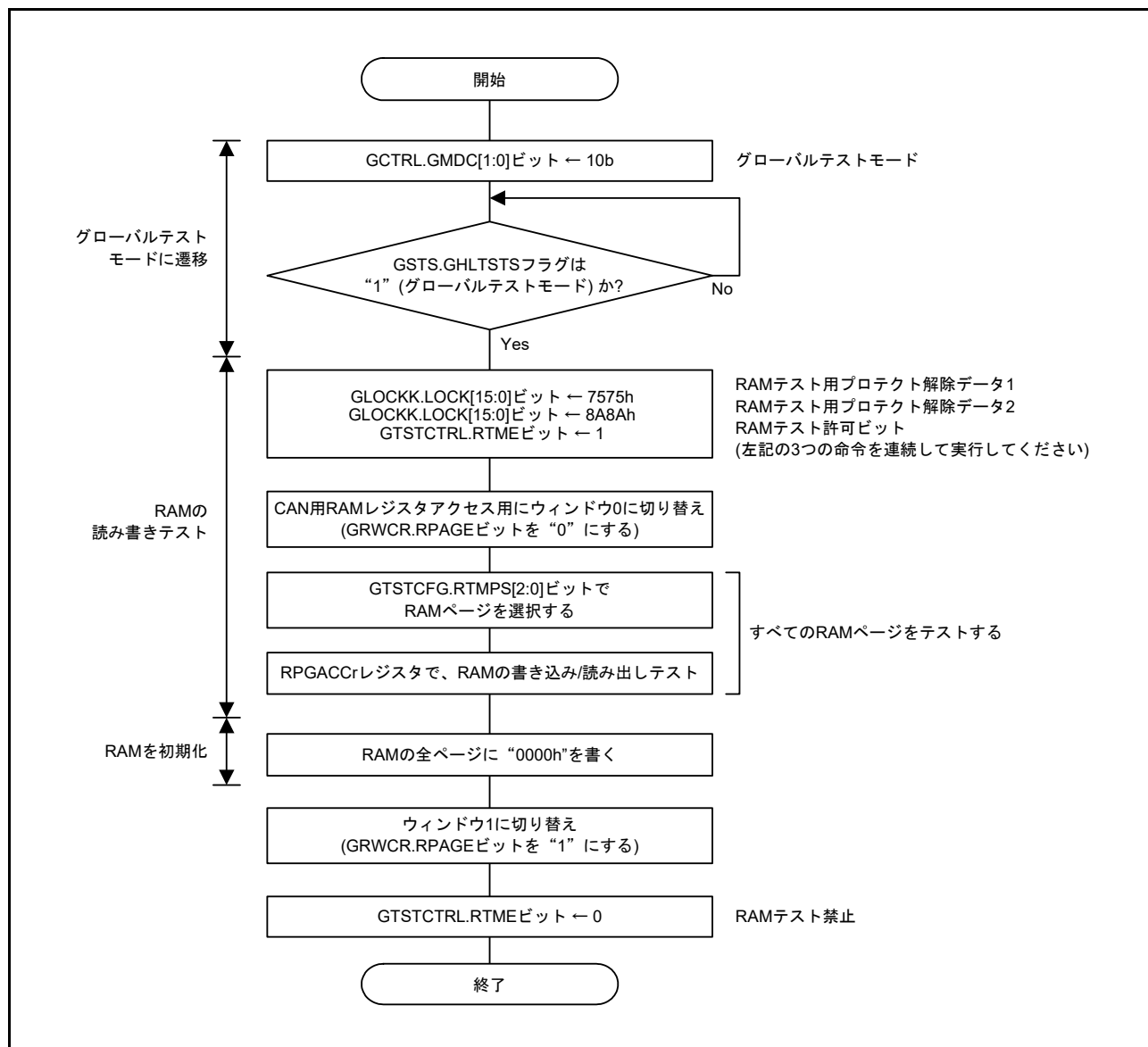


図 28.35 RAMテストの設定手順

28.13 CANモジュールの注意事項

- グローバルモードを変更する場合は、GSTS.GSLPSTS、GHLTSTS、GRSTSTS フラグで遷移を確認してください。チャンネルモードを変更する場合は、STSL.CSLPSTS、CHLTSTS、CRSTSTS フラグで遷移を確認してください。
- アクセプタンスフィルタ処理は、小さい番号の受信ルールから順にチェックを開始します。複数の受信ルールに同じ ID、IDE、RTR ビットの値を設定した場合、小さい番号の受信ルールでアクセプタンスフィルタ処理が通過します。その後の DLC フィルタ処理を通過しなかった場合も、アクセプタンスフィルタ処理には戻らず、データ処理は終了し、メッセージはバッファに格納されません。
- 送信バッファを送受信 FIFO バッファにリンクした場合、対応する送信バッファの制御レジスタ (TMCp レジスタ) は “00h” にしてください。また、対応する送信バッファのステータスレジスタ (TMSTSp レジスタ) は使用しないでください。その他のステータスレジスタ (TMTRSTS、TMTCASTS、TMTASTS レジスタ) は、送受信 FIFO にリンクした送信バッファに対応するフラグは変化しません。対応する割り込み許可レジスタ (TMIEC レジスタ) の許可ビットは “0” (割り込み禁止) にしてください。
- タイムスタンプカウンタのクロック源に CAN ビットタイムクロックを選択した場合、対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。
- 受信 FIFO バッファ、送受信 FIFO バッファがフルのときに、新しい受信メッセージを格納しようとした場合、新しいメッセージは破棄されます。送受信 FIFO バッファに新しい送信メッセージを格納しようとする場合、送受信 FIFO バッファがフルでないことを確認してください。
- CAN モジュールの割り込み要求フラグは、割り込みが受け付けられても自動的に “0” になりませんので、プログラムで “0” にしてください。これらのフラグが “1” の場合、それ以降に成立した割り込み要因により割り込みは発生しません。
- 複数の割り込み要因が 1 つの割り込みにまとめられている CAN 関連割り込みを発生させるためには、以下の条件を満たす必要があります。
割り込み要因に対応する CAN モジュールの割り込み要求フラグがすべて “0” (ただし、表 28.11 にある対応する割り込み許可ビットが “1” の割り込み要求フラグのみが対象)。
- 未使用の受信バッファレジスタ (RMIDLn, RMIDHn, RMTSn, RMPTRn, RMDf0n ~ RMDf3n (n = 0 ~ 15))、受信 FIFO アクセスレジスタ (RFIDLm, RFIDHm, RFTSm, RFPTRm, RFDF0m ~ RFDF3m (m = 0, 1)) と送受信 FIFO アクセスレジスタ (CFIDL0, CFIDH0, CFTS0, CFPTR0, CFDF00 ~ CFDF30) の値は、一度、グローバルリセットモードを抜けてグローバル動作モードやグローバルテストモードに遷移すると不定になります。

29. シリアルペリフェラルインタフェース (RSPIb)

本章に記載している PCLK とは PCLKB を指します。

29.1 概要

本 MCU は、1 チャンルのシリアルペリフェラルインタフェース (RSPI) を内蔵しています。

RSPI は、全二重同期式のシリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 29.1 に RSPI の仕様を、図 29.1 に RSPI のブロック図を示します。

なお、本章では、RSPI コマンドレジスタ m (SPCMDm) で使用している m は、0 ~ 7 と規定しています。

表 29.1 RSPI の仕様 (1/2)

項目	内容
チャンネル数	1チャンネル
RSPI転送機能	<ul style="list-style-type: none"> • MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) / クロック同期式動作 (3線式) でシリアル通信が可能 • 送信のみの動作が可能 • 通信モード: 全二重または送信のみを選択可能 • RSPCKの極性を変更可能 • RSPCKの位相を変更可能
データフォーマット	<ul style="list-style-type: none"> • MSBファースト/LSBファーストの切り替え可能 • 転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32ビットから選択可能 • 送信/受信バッファは128ビット • 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット)
ビットレート	<ul style="list-style-type: none"> • マスタモード時、内蔵ポーレートジェネレータでPCLKを分周してRSPCKを生成 (分周比は2~4096分周) • スレーブ時は、PCLKの最小6分周のクロックを、RSPCKとして入力可能 (RSPCKの最大周波数はPCLKの6分周) High幅: PCLKの3サイクル、Low幅: PCLKの3サイクル
バッファ構成	<ul style="list-style-type: none"> • 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは128ビット
エラー検出	<ul style="list-style-type: none"> • モードフォルトエラー検出 • オーバランエラー検出 (注1) • パリティエラー検出 • アンダランエラー検出
SSL制御機能	<ul style="list-style-type: none"> • 1チャンネルあたり4本のSSL端子 (SSLA0~SSLA3) • シングルマスタ設定時には、SSLA0~SSLA3端子を出力 • マルチマスタ設定時: SSLA0端子は入力、SSLA1~SSLA3端子は出力または未使用 • スレーブ設定時: SSLA0端子は入力、SSLA1~SSLA3端子は未使用 • SSL出力のアサートからRSPCK動作までの遅延 (RSPCK遅延) を設定可能 設定範囲: 1~8 RSPCK 設定単位: 1 RSPCK • RSPCK停止からSSL出力のネゲートまでの遅延 (SSLネゲート遅延) を設定可能 設定範囲: 1~8 RSPCK 設定単位: 1 RSPCK • 次アクセスのSSL出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲: 1~8 RSPCK 設定単位: 1 RSPCK • SSL極性変更機能
マスタ転送時の制御方式	<ul style="list-style-type: none"> • 最大8コマンドで構成された転送を連続してループ実行可能 • 各コマンドに以下の項目を設定可能 SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、パースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延 • 送信バッファへのライトで転送を起動可能 • SSLネゲート時のMOSI信号値を設定可能 • RSPCK自動停止機能
割り込み要因	<ul style="list-style-type: none"> • 割り込み要因 受信バッファフル割り込み 送信バッファエンプティ割り込み RSPIエラー割り込み (モードフォルト、オーバラン、アンダラン、パリティエラー) RSPIアイドル割り込み (RSPIアイドル)

表 29.1 RSPIの仕様 (2/2)

項目	内容
その他の機能	<ul style="list-style-type: none"> CMOS/オープンドレイン出力切り替え機能 RSPI初期化機能 ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. マスタ受信かつ、RSPCK自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。

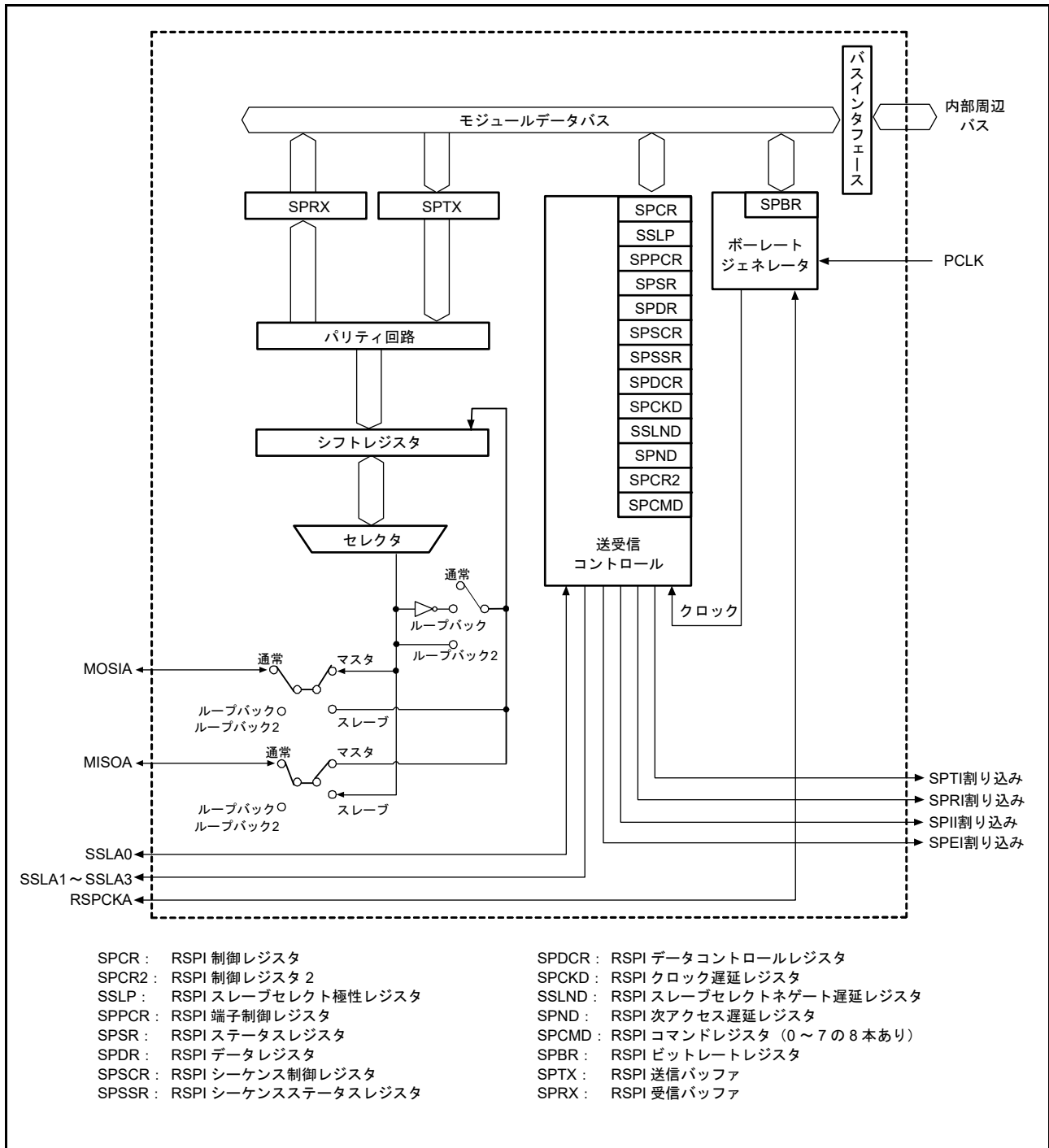


図 29.1 RSPI のブロック図

表 29.2 に RSPI で使用する入出力端子を示します。

SSLA0 端子の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKA、MOSIA、MISOA 端子の入出力方向は、マスタ/スレーブ設定と SSLA0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「29.3.2 RSPI 端子の制御」を参照してください。

表 29.2 RSPIの入出力端子

チャンネル	端子名	入出力	機能
RSPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力

29.2 レジスタの説明

29.2.1 RSPI 制御レジスタ (SPCR)

アドレス RSPI0.SPCR 0008 8380h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット	0: SPI動作 (4線式) 1: クロック同期式動作 (3線式)	R/W
b1	TXMD	通信動作モード選択ビット	0: 全二重同期式シリアル通信 1: 送信動作のみのシリアル通信	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	RSPIマスタ/スレーブモード選択ビット	0: スレーブモード 1: マスタモード	R/W
b4	SPEIE	RSPIエラー割り込み許可ビット	0: RSPIエラー割り込み要求の発生を禁止 1: RSPIエラー割り込み要求の発生を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可ビット	0: 送信バッファエンプティ割り込み要求の発生を禁止 1: 送信バッファエンプティ割り込み要求の発生を許可	R/W
b6	SPE	RSPI機能許可ビット	0: RSPI機能は無効 1: RSPI機能は有効	R/W
b7	SPRIE	RSPI受信バッファフル割り込み許可ビット	0: RSPI受信バッファフル割り込み要求の発生を禁止 1: RSPI受信バッファフル割り込み要求の発生を許可	R/W

SPCR.SPE ビットが“1”の状態において、SPCR.MSTR ビット、SPCR.MODFEN ビット、SPCR.TXMD ビットの設定値を変更した場合は、以降の動作はしないでください。

SPMS ビット (RSPI モード選択ビット)

SPI 動作 (4 線式) / クロック同期式動作 (3 線式) を選択するためのビットです。

クロック同期式動作を行う場合は SSLA0 ~ SSLA3 端子を使用せず、RSPCKA 端子、MOSIA 端子、MISOA 端子の 3 端子を用いて通信を行います。また、マスタモード時 (SPCR.MSTR = 1) でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを“0”、“1”どちらにも設定できます。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合は CPHA ビットを“1”に設定してください。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合に、CPHA ビットを“0”に設定した場合の動作はしないでください。

TXMD ビット (通信動作モード選択ビット)

全二重同期式のシリアル通信、送信のみの動作を選択するためのビットです。

TXMD ビットを“1”にして、通信を行う場合は、送信動作のみを行い、受信動作を行いません (「29.3.6 通信動作モード」参照)。

また、TXMD ビットを“1”に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可/禁止するためのビットです (「29.3.8 エラー検出」を参照)。また、RSPI は MODFEN ビットと MSTR ビットとの組み合わせに従って、SSLA0 ~ SSLA3 端子の入出力方向を決定します (「29.3.2 RSPI 端子の制御」を参照)。

MSTR ビット (RSPI マスタ/スレーブモード選択ビット)

RSPI のマスタ/スレーブモードを選択するためのビットです。また、RSPI は MSTR ビットの設定に従って、RSPCKA、MOSIA、MISOA、SSLA0 ~ SSLA3 端子の方向を決定します。

SPEIE ビット (RSPI エラー割り込み許可ビット)

RSPI がモードフォルトエラーまたはアンダランエラーを検出して SPSR.MODF フラグを“1”にした場合、RSPI がオーバランエラーを検出して SPSR.OVRF フラグを“1”にした場合、またはパリティエラーを検出して SPSR.PERF フラグを“1”にした場合の RSPI エラー割り込み要求の発生を許可/禁止します。詳細については、「29.3.8 エラー検出」を参照してください。

SPTIE ビット (送信バッファエンプティ割り込み許可ビット)

RSPI が送信バッファエンプティを検出し、送信バッファエンプティ割り込み要求の発生を許可/禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPTIE ビットと同時または後に、SPE ビットを“1”にすることで発生します。

RSPI 機能は無効 (SPE ビットが“0”) に遷移しても、SPTIE ビットを“1”にしていると、送信バッファエンプティ割り込みが発生することに注意してください。

SPE ビット (RSPI 機能許可ビット)

RSPI 機能の有効/無効を選択します。

SPSR.MODF フラグが“1”の場合には、SPE ビットを“1”にすることはできません。詳細は「29.3.8 エラー検出」を参照してください。

SPE ビットを“0”にすると、RSPI 機能が無効化され、モジュール機能の一部が初期化されます。詳細は「29.3.9 RSPI の初期化」を参照してください。また、SPE ビットを“0”の状態から“1”または“1”の状態から“0”になることで送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット (RSPI 受信バッファフル割り込み許可ビット)

RSPI がシリアル転送完了後の受信バッファフルを検出し、RSPI 受信バッファフル割り込み要求の発生を許可/禁止します。

29.2.2 RSPI スレーブセレクト極性レジスタ (SSLP)

アドレス RSPI0.SSLP 0008 8381h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0 : SSL0信号はアクティブLow 1 : SSL0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定ビット	0 : SSL1信号はアクティブLow 1 : SSL1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定ビット	0 : SSL2信号はアクティブLow 1 : SSL2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定ビット	0 : SSL3信号はアクティブLow 1 : SSL3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SSLP レジスタを書き換えた場合には、以降の動作はしないでください。

29.2.3 RSPI 端子制御レジスタ (SPPCR)

アドレス RSPI0.SPPCR 0008 8382h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0: 通常モード 1: ループバックモード (データを反転して送信)	R/W
b1	SPLP2	RSPIループバック2ビット	0: 通常モード 1: ループバックモード (データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0: MOSIアイドル時のMOSIA端子の出力値はLow 1: MOSIアイドル時のMOSIA端子の出力値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0: MOSI出力値は前回転送の最終データ 1: MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SPPCR レジスタを書き換えた場合には、以降の動作はしないでください。

SPLP ビット (RSPI ループバックビット)

RSPI の端子モードを選択します。

SPLP ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路 (反転) を接続します。(ループバックモード)

SPLP2 ビット (RSPI ループバック 2 ビット)

RSPI の端子モードを選択します。

SPLP2 ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。(ループバックモード)

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードで MOIFE ビットが“1”の場合、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSIA 端子の出力値を選択します。

MOIFE ビット (MOSI アイドル値固定許可ビット)

マスタモードの RSPI が、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) に MOSIA 出力値を固定するために使用するビットです。MOIFE が“0”の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIA に出力します。MOIFE が“1”の場合には、RSPI は MOIFV ビットに設定された固定値を MOSIA に出力します。

29.2.4 RSPI ステータスレジスタ (SPSR)

アドレス RSPI0.SPSR 0008 8383h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRF	—	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	R/(W) (注1)
b1	IDLNF	RSPIアイドルフラグ	0: RSPIがアイドル状態 1: RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0: モードフォルトエラーなし、アンダランエラーなし 1: モードフォルトエラーまたはアンダランエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	R/(W) (注1)
b4	UDRF	アンダランエラーフラグ	MODFフラグと組み合わせてモードフォルトエラーとアンダランエラーの発生状況が確認できます。 b4 b2 0 0: モードフォルトエラーなし、アンダランエラーなし 0 1: モードフォルトエラー発生 1 1: アンダランエラー発生	R/(W) (注1、 注2)
b5	SPTEF	送信バッファエンプティフラグ	0: 送信バッファに有効なデータあり 1: 送信バッファに有効なデータなし	R/W (注3)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SPRF	受信バッファフルフラグ	0: 受信バッファに有効なデータなし 1: 受信バッファに有効なデータあり	R/W (注3)

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

注2. UDRFフラグを“0”にするときは、同時にMODFフラグも“0”にしてください。

注3. 書く場合、“1”としてください。

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。マスタモード (SPCR.MSTR ビットが“1”) かつ RSPCK クロック自動停止機能有効 (SPCR2.SCKASE ビットが“1”) のときは、オーバランエラーが発生しないため、“1”になりません。詳細は「29.3.8.1 オーバランエラー」を参照ください。

[“1”になる条件]

- SPCR.TXMD ビットが“0”、受信バッファフル状態で次のシリアル受信が終了したとき

[“0”になる条件]

- OVRF フラグが“1”になったときの SPSR レジスタを読んだ後、OVRF フラグに“0”を書いたとき

IDLNF フラグ (RSPI アイドルフラグ)

RSPI の転送状況を示します。

["1" になる条件]

【マスタモード】

- 下記["0" になる条件]のマスタモード時の(条件1)と(条件2)の両方が満たされないとき

【スレーブモード】

- SPCR.SPE ビットが"1" (RSPI 機能が有効) のとき

["0" になる条件]

【マスタモード】

- 下記1. が満たされたとき (条件1)、または下記2. ~ 4. がすべて満たされたとき (条件2)

1. SPCR.SPE ビットが"0" (RSPI 初期化) のとき
2. 送信用バッファ (SPTX) が空 (次転送データがセットされていない) のとき
3. SPSSR.SPCP[2:0] ビットが"000b" (シーケンス制御の先頭) であるとき
4. RSPI 内部シーケンサがアイドル状態へ遷移したとき (次アクセス遅延までが動作完了された状態)

【スレーブモード】

- SPCR.SPE ビットが"0" (RSPI 初期化) のとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーとアンダランエラーの発生を示します。モードフォルトエラーとアンダランエラーのどちらが発生したかは、UDRF フラグによって判別できます。

["1" になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが"1" (マスタモード)、SPCR.MODFEN ビットが"1" (モードフォルトエラー検出を許可) の状態で、SSLAi 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが"0" (スレーブモード)、SPCR.MODFEN ビットが"1" (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLAi 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき
- SPCR.SPE ビットが"1" (RSPI 機能は有効) で送信データの出力準備が整っていないときに、シリアル通信が開始され RSPI がアンダランエラーを検出したとき

なお、SSLAi 信号のアクティブレベルは、SSLP.SSLiP ビット (SSL 信号極性設定ビット) によって決定されます。

["0" になる条件]

- MODF フラグが"1" の状態の SPSR レジスタを読んだ後、MODF フラグに"0" を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

["1" になる条件]

- SPCR.TXMD ビットが"0"、SPCR2.SPPE ビットが"1" の状態でシリアル転送が終了し、パリティエラーが検出されたとき

["0" になる条件]

- PERF フラグが"1" の状態の SPSR レジスタを読んだ後、PERF フラグに"0" を書いたとき

UDRF フラグ (アンダランエラーフラグ)

アンダランエラーが発生したことを示すフラグです。このフラグが“1”になると、MODF フラグも“1”になります。MODF フラグが“1”のときにこのフラグが“0”であれば、発生したエラーはモードフォルトエラーです。

[“1”になる条件]

- SPCR.MSTR ビットが“0” (スレーブモード)、SPCR.SPE ビットが“1” (RSPI 機能は有効) で送信データの出力準備が整っていないときに、シリアル通信が開始され RSPI がアンダランエラーを検出したとき

[“0”になる条件]

- UDRF フラグが“1”の状態の SPSR レジスタを読んだ後、UDRF フラグに“0”を書いたとき

SPTEF フラグ (送信バッファエンプティフラグ)

RSPI データレジスタの送信バッファ (SPTX) 内にある有効データの有無を示すフラグです。

[“1”になる条件]

- SPCR.SPE ビットが“0” (RSPI 初期化) のとき
- 送信バッファからシフトレジスタに送信データが転送されたとき

[“0”になる条件]

- SPDR レジスタに SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込んだとき

なお、SPDR レジスタは SPTEF フラグが“1”のときのみデータを設定できます。SPTEF フラグが“0”のときにデータを設定しても、送信バッファのデータは更新されません。

SPRF フラグ (受信バッファフルフラグ)

RSPI データレジスタの受信バッファ (SPRX) 内にある有効データの有無を示すフラグです。

[“1”になる条件]

- SPCR.TXMD ビットが“0” (全二重)、SPRF フラグが“0”のときに、SPDCR.SPFC[1:0] ビットで設定したフレーム数分の受信データがシフトレジスタから受信バッファ (SPRX) に転送されたとき
ただし、OVRF フラグが“1”のときは、“1”に変化しません。

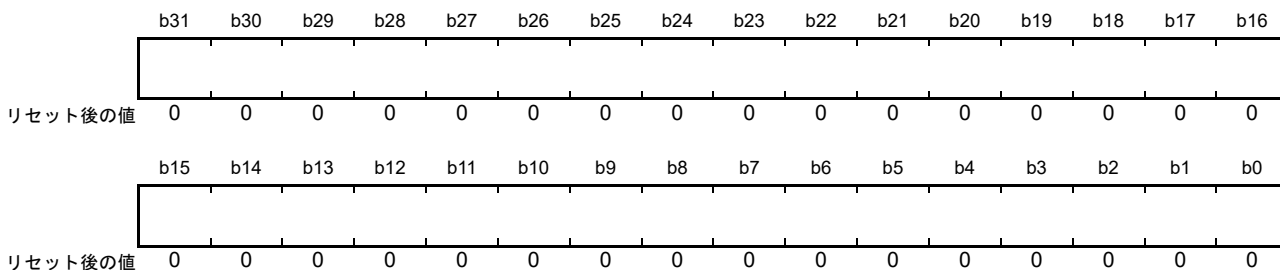
[“0”になる条件]

- SPDR レジスタから受信データをすべて読み出したとき

29.2.5 RSPI データレジスタ (SPDR)

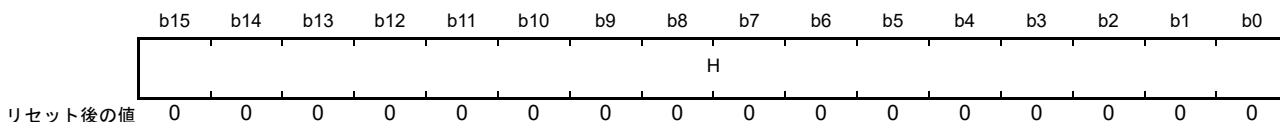
- ロングワードアクセス時

アドレス RSPI0.SPDR 0008 8384h



- ワードアクセス時

アドレス RSPI0.SPDR.H 0008 8384h



SPDR レジスタは、RSPI 送受信のデータを格納するバッファです。

ロングワードアクセス (SPLW ビットが“1”) のときは、SPDR を 32 ビット単位でアクセスしてください。

ワードアクセス (SPLW ビットが“0”) のときは、SPDR.H を 16 ビット単位でアクセスしてください。

送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を図 29.2 に示します。

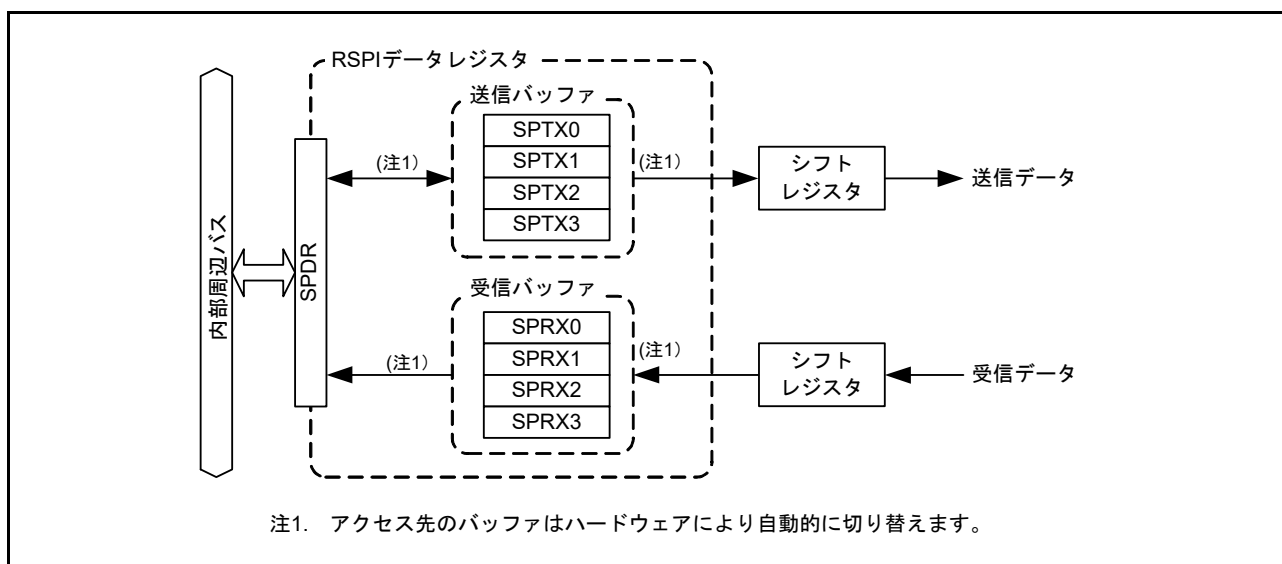


図 29.2 SPDR レジスタの構造図

送信バッファと受信バッファは、それぞれ 4 バッファあります。使用するバッファ数は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR レジスタには、これらの合計 8 バッファが 1 アドレスにマッピングされています。

送信バッファ SPTX_n (n=0 ~ 3) は、SPDR レジスタへの書き込みによって送信バッファへ値を書くことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバラン発生時は、受信バッファの値を更新しません。

また、データ長が 32 ビット以外の場合、SPRX_n (n=0 ~ 3) の非参照ビットには、SPTX_n (n=0 ~ 3) の非参照ビットが格納されます。

たとえば、データ長が 9 ビットのデータを受信した場合は SPRX_n[8:0] には受信データが格納され、SPRX_n[31:9] に SPTX_n[31:9] が格納されます。

(1) バスインタフェース

SPDR レジスタは、32 ビットの送信バッファと受信バッファがそれぞれ 4 バッファ分、合計 32 バイトあります。これらの 32 バイトを SPDR レジスタの 4 バイト空間にマッピングしています。また、SPDR レジスタへのアクセスは、SPDCR.SPLW ビットで設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

(a) 書き込み

SPDR レジスタに書き込むことによって、送信バッファ (SPTX_n) に値を書くことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポインタがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

図 29.3 に送信バッファのバスインタフェース (ライト時) の構成図を示します。

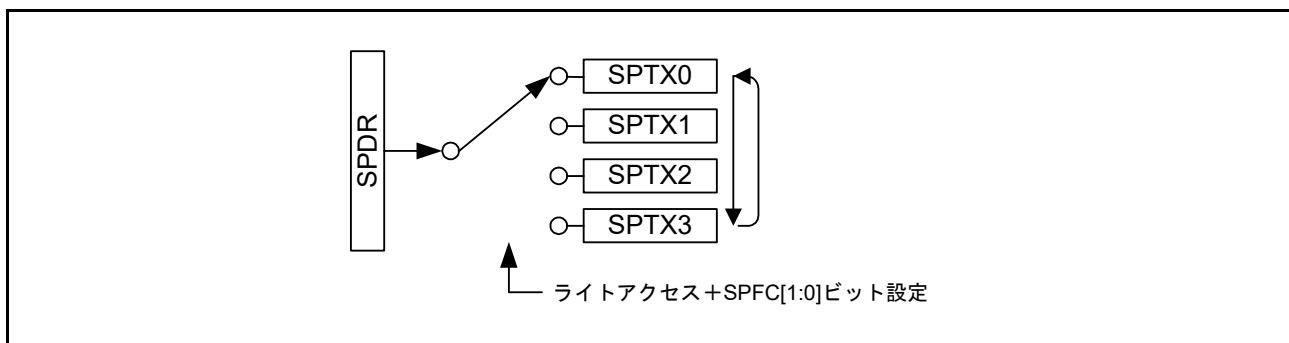


図 29.3 SPDR レジスタの構成図 (ライト時)

送信バッファライトポインタの切り替え順序は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 ~ SPTX3 の切り替え順序
 - SPFC[1:0] ビットが “00b” のとき : SPTX0 → SPTX0 → SPTX0 → . . .
 - SPFC[1:0] ビットが “01b” のとき : SPTX0 → SPTX1 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “10b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “11b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → . . .

RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTX_n) への書き込みは、送信バッファエンプティ割り込み発生後 (SPSR.SPTEF フラグが “1” になった後)、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0])

で設定したフレーム数分の送信データを書き込んでください。同書き込み完了から次の送信バッファエンプティ割り込み発生までの期間 (SPSR.SPTEF フラグが“0”の期間) は、送信バッファ (SPTXn) に書き込みを行っても同バッファの値は更新されません。

(b) 読み出し

SPDR レジスタを読み出すことによって、受信バッファ (SPRXn)、または送信バッファ (SPTXn) の値を読むことができます。RSPI データコントロールレジスタの RSPI 受信 / 送信データ選択ビット (SPDCR.SPRDTD) によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタの読み出し順は、独立した受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 29.4 に受信バッファと送信バッファのバスインタフェース (リード時) の構成図を示します。

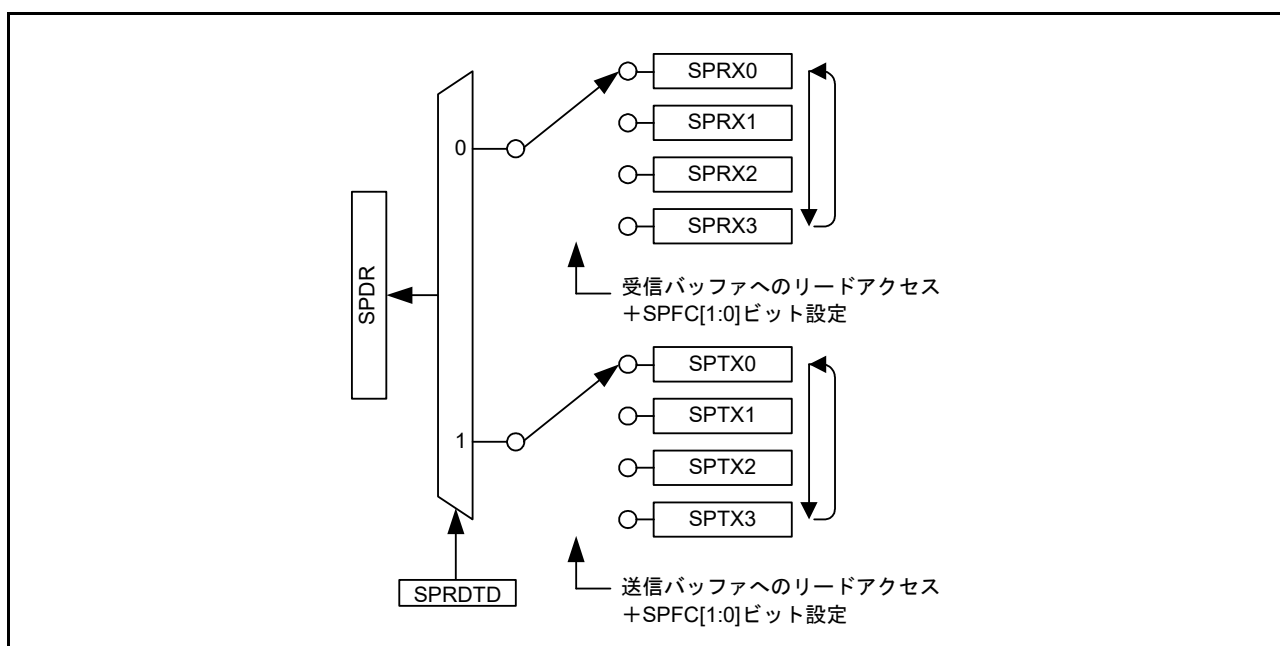


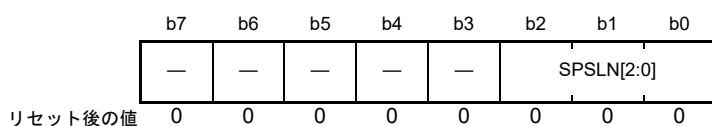
図 29.4 SPDR レジスタの構成図 (リード時)

受信バッファをリードすると、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。ただし、RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が“0”の状態では“1”を書くと、次の読み出し先は SPRX0 になります。

送信バッファリードポインタは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンプティ割り込みが発生するまでの期間 (SPSR.SPTEF フラグが“0”の期間) は、送信バッファの読み出し値は、すべて“0”となります。

29.2.6 RSPI シーケンス制御レジスタ (SPSCR)

アドレス RSPI0.SPSCR 0008 8388h



ビット	シンボル	ビット名	機能	R/W																																				
b2-b0	SPSLN[2:0]	RSPIシーケンス長設定ビット	<table style="font-size: small; border: none;"> <tr> <td style="padding-right: 10px;">b2</td> <td style="padding-right: 10px;">b0</td> <td style="padding-right: 10px;">シーケンス長</td> <td>参照するSPCMD0~7レジスタ (番号)</td> </tr> <tr> <td>0 0 0 :</td> <td>1</td> <td></td> <td>0→0→...</td> </tr> <tr> <td>0 0 1 :</td> <td>2</td> <td></td> <td>0→1→0→...</td> </tr> <tr> <td>0 1 0 :</td> <td>3</td> <td></td> <td>0→1→2→0→...</td> </tr> <tr> <td>0 1 1 :</td> <td>4</td> <td></td> <td>0→1→2→3→0→...</td> </tr> <tr> <td>1 0 0 :</td> <td>5</td> <td></td> <td>0→1→2→3→4→0→...</td> </tr> <tr> <td>1 0 1 :</td> <td>6</td> <td></td> <td>0→1→2→3→4→5→0→...</td> </tr> <tr> <td>1 1 0 :</td> <td>7</td> <td></td> <td>0→1→2→3→4→5→6→0→...</td> </tr> <tr> <td>1 1 1 :</td> <td>8</td> <td></td> <td>0→1→2→3→4→5→6→7→0→...</td> </tr> </table> <p>設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタの参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0~7レジスタの関係は上記のとおりです。なお、スレーブモードのRSPIでは、SPCMD0レジスタが参照されません。</p>	b2	b0	シーケンス長	参照するSPCMD0~7レジスタ (番号)	0 0 0 :	1		0→0→...	0 0 1 :	2		0→1→0→...	0 1 0 :	3		0→1→2→0→...	0 1 1 :	4		0→1→2→3→0→...	1 0 0 :	5		0→1→2→3→4→0→...	1 0 1 :	6		0→1→2→3→4→5→0→...	1 1 0 :	7		0→1→2→3→4→5→6→0→...	1 1 1 :	8		0→1→2→3→4→5→6→7→0→...	R/W
b2	b0	シーケンス長	参照するSPCMD0~7レジスタ (番号)																																					
0 0 0 :	1		0→0→...																																					
0 0 1 :	2		0→1→0→...																																					
0 1 0 :	3		0→1→2→0→...																																					
0 1 1 :	4		0→1→2→3→0→...																																					
1 0 0 :	5		0→1→2→3→4→0→...																																					
1 0 1 :	6		0→1→2→3→4→5→0→...																																					
1 1 0 :	7		0→1→2→3→4→5→6→0→...																																					
1 1 1 :	8		0→1→2→3→4→5→6→7→0→...																																					
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																				

SPSCR レジスタは、RSPI がマスタ動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに“1”の状態において、SPSCR.SPSSLN[2:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”の状態書き換えてください。

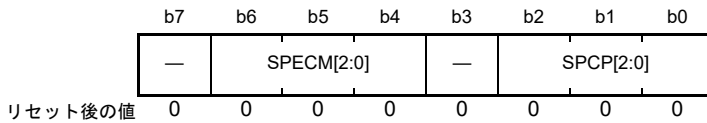
SPSLN[2:0] ビット (RSPI シーケンス長設定ビット)

マスタモードのRSPIがシーケンス動作する場合のシーケンス長を設定します。マスタモードのRSPIはSPSLN[2:0] ビットで設定されたシーケンス長に応じて、参照するSPCMD0 ~ 7レジスタと参照順を変更します。

スレーブモードでは、SPCMD0 レジスタが参照されます。

29.2.7 RSPI シーケンスステータスレジスタ (SPSSR)

アドレス RSPI0.SPSSR 0008 8389h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます	R

SPSSR レジスタは、RSPI がマスタ動作する場合のシーケンス制御の状態を示します。
 SPSSR レジスタへの書き込みは無効です。

SPCP[2:0] ビット (RSPI コマンドポインタビット)

RSPI のシーケンス制御で、現在ポインタで指されている SPCMD_m レジスタを示します。
 なお、RSPI のシーケンス制御については、「29.3.10.1 マスタモード動作」を参照してください。

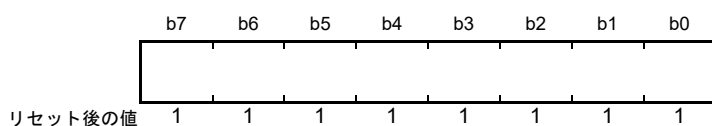
SPECM[2:0] ビット (RSPI エラーコマンドビット)

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMD_m レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに“0”で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPI のエラー検出機能については、「29.3.8 エラー検出」を参照してください。また、RSPI のシーケンス制御については、「29.3.10.1 マスタモード動作」を参照してください。

29.2.8 RSPI ビットレートレジスタ (SPBR)

アドレス RSPI0.SPBR 0008 838Ah



SPBR レジスタは、マスタモード時のビットレート設定に使用します。SPCR.MSTR, SPE ビットがともに“1”の状態において、SPBR レジスタを書き換えた場合には、以降の動作はしないでください。

RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット (ビットレート分周設定ビット) の設定に関係なく、入力クロックのビットレートに依存します。(電気的特性を満足するビットレートを使用してください)

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値 (0, 1, 2, …, 255)、 N は BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

$$\text{ビットレート} = \frac{f(\text{PCLK})}{2 \times (n + 1) \times 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 29.3 に示します。相手デバイスの AC スペックを考慮の上、電気的特性を満足するビットレートを使用してください。

表 29.3 SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR レジスタの 設定値 (n)	BRDV[1:0] ビット の設定値 (N)	分周比	ビットレート	ビットレート	ビットレート
			PCLK = 32 MHz	PCLK = 36 MHz	PCLK = 40 MHz
0	0	2	16.0 Mbps	18.0 Mbps	20.0 Mbps
1	0	4	8.00 Mbps	9.00 Mbps	10.0 Mbps
2	0	6	5.33 Mbps	6.00 Mbps	6.67 Mbps
3	0	8	4.00 Mbps	4.50 Mbps	5.00 Mbps
4	0	10	3.20 Mbps	3.60 Mbps	4.00 Mbps
5	0	12	2.67 Mbps	3.00 Mbps	3.33 Mbps
5	1	24	1.33 Mbps	1.50 Mbps	1.67 Mbps
5	2	48	667 kbps	750 kbps	833 kbps
5	3	96	333 kbps	375 kbps	417 kbps
255	3	4096	7.81 kbps	8.80 kbps	9.78 kbps

29.2.9 RSPI データコントロールレジスタ (SPDCR)

アドレス RSPI0.SPDCR 0008 838Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	SPLW	SPRDT D	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0 : 1フレーム 0 1 : 2フレーム 1 0 : 3フレーム 1 1 : 4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SPRDTD	RSPI受信/送信データ選択ビット	0 : SPDRは受信バッファを読み出す 1 : SPDRは送信バッファを読み出す (ただし、送信バッファが空のとき)	R/W
b5	SPLW	RSPIロングワードアクセス/ ワードアクセス設定ビット	0 : SPDRレジスタへはワードアクセス 1 : SPDRレジスタへはロングワードアクセス	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCMDm.SPB[3:0] ビット、SPSCR.SPSTLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから1回の送受信起動で最大4フレームを送受信できます。

SPCR.SPE ビットが“1”の状態において、SPDCR.SPFC[1:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”のときに書き換えてください。

SPFC[1:0] ビット (フレーム数設定ビット)

SPDR レジスタに格納できる (1回の転送起動) フレーム数を設定します。SPSCR.SPSTLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により1回の送受信起動で最大4フレームを送受信できます。また、SPFC[1:0] ビットの設定により、RSPI受信バッファフル割り込みが発生と送信バッファエンpty割り込みが発生または送信開始するためのフレーム数も変更します。

SPDR レジスタに SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込むと、SPSR.SPTEF フラグが“0”になり送信が開始されます。その後、設定したフレーム数分の送信データがシフトレジスタに転送されると、SPTEF フラグが“1”になり RSPI 送信バッファエンpty割り込みが発生します。

また、SPFC[1:0] ビットで設定したフレーム数分の受信を行うと、SPSR.SPRF フラグが“1”になり RSPI 受信バッファフル割り込みが発生します。

表 29.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定を行った場合、以後の動作はしないでください。

表 29.4 SPSLN[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで 転送するフレーム数	送信バッファ、受信バッファが 「有効データあり」になるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

SPRDTD ビット (RSPI 受信 / 送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、送信バッファエンプティ割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前 (SPSR.SPTEF フラグが“1”の期間) に行ってください。

詳細は、「29.2.5 RSPI データレジスタ (SPDR)」を参照してください。

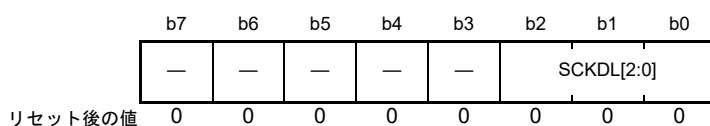
SPLW ビット (RSPI ロングワードアクセス / ワードアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが“0”のときはワードアクセス、SPLW ビットが“1”のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが“0”のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ~ 16 ビットに設定してください。20、24、32 ビットに設定した場合の動作はしないでください。

29.2.10 RSPI クロック遅延レジスタ (SPCKD)

アドレス RSPI0.SPCKD 0008 838Ch



ビット	シンボル	ビット名	説明	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCKD レジスタは、SPCMDm.SCKDEN ビットが“1”の状態における、SSLAi 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の状態において、SPCKD レジスタを書き換えた場合には、以降の動作はしないでください。

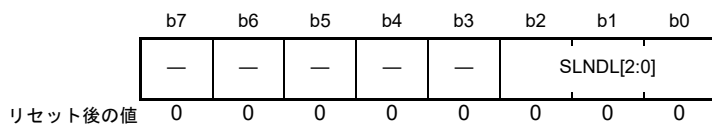
SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

SPCMDm.SCKDEN ビットが“1”の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを“000b”にしてください。

29.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

アドレス RSPI0.SSLND 0008 838Dh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLNDレジスタは、マスタモードのRSPIがシリアル転送の最終RSPCKエッジを送出してからSSLAi信号をネゲートするまでの期間（SSLネゲート遅延）を設定するためのレジスタです。SPCR.MSTRビットと、SPCR.SPEビットが“1”の状態において、SSLNDレジスタを書き換えた場合には、以降の動作はしないでください。

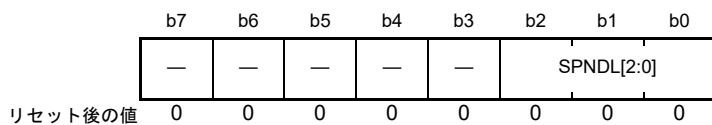
SLNDL[2:0]ビット (SSLネゲート遅延設定ビット)

マスタモードのRSPIのSSLネゲート遅延値を設定します。

RSPIをスレーブモードで使用する場合には、SLNDL[2:0]ビットを“000b”にしてください。

29.2.12 RSPI 次アクセス遅延レジスタ (SPND)

アドレス RSPI0.SPND 0008 838Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK + 2 PCLK 0 0 1 : 2 RSPCK + 2 PCLK 0 1 0 : 3 RSPCK + 2 PCLK 0 1 1 : 4 RSPCK + 2 PCLK 1 0 0 : 5 RSPCK + 2 PCLK 1 0 1 : 6 RSPCK + 2 PCLK 1 1 0 : 7 RSPCK + 2 PCLK 1 1 1 : 8 RSPCK + 2 PCLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが“1”の状態、シリアル転送終了後の SSLAi 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の状態において、SPND レジスタを書き換えた場合には、以降の動作はしないでください。

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが“1”の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを“000b”にしてください。

29.2.13 RSPI 制御レジスタ 2 (SPCR2)

アドレス RSPI0.SPCR2 0008 838Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SCKAS E	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット	0: 送信データパリティビットを付加しない 受信データのパリティチェックを行わない 1: 送信データにパリティビットを付加し、受信データの パリティチェックを行う (SPCR.TXMD = 0のとき) 送信データにパリティビットを付加するが、受信データ のパリティチェックは行わない (SPCR.TXMD = 1のと き)	R/W
b1	SPOE	パリティモードビット	0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W
b2	SPIIE	RSPIアイドル割り込み許可ビット	0: アイドル割り込み要求の発生を禁止 1: アイドル割り込み要求の発生を許可	R/W
b3	PTE	パリティ自己診断ビット	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能が有効	R/W
b4	SCKASE	RSPCK自動停止機能許可ビット	0: RSPCK自動停止機能が無効 1: RSPCK自動停止機能が有効	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SPCR2 レジスタの SPPE、SPOE、SCKASE ビットの設定値を変更した場合には、以降の動作はしないでください。

SPPE ビット (パリティ許可ビット)

パリティ機能の有効、無効を選択するビットです。

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが“1”、SPCR2.SPPE ビットが“1”の場合、送信データにパリティビットを付加しますが、受信データのパリティチェックを行いません。

SPOE ビット (パリティモードビット)

偶数パリティ / 奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが“1”のときのみ有効です。

SPIIE ビット (RSPI アイドル割り込み許可ビット)

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが“0”になった場合に、RSPI アイドル割り込み要求の発生を許可 / 禁止します。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

SCKASE ビット (RSPCK 自動停止機能許可ビット)

RSPCK 自動停止機能の有効、無効を選択するビットです。本機能を有効にした場合、マスタモードのデータ受信時、オーバランエラーが発生する直前のタイミングで RSPCK クロックが停止します。詳細は「29.3.8.1 オーバランエラー」を参照ください。

29.2.14 RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)

アドレス RSPI0.SPCMD0 0008 8390h, RSPI0.SPCMD1 0008 8392h, RSPI0.SPCMD2 0008 8394h,
RSPI0.SPCMD3 0008 8396h, RSPI0.SPCMD4 0008 8398h, RSPI0.SPCMD5 0008 839Ah,
RSPI0.SPCMD6 0008 839Ch, RSPI0.SPCMD7 0008 839Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			SSLKP	SSLA[2:0]		BRDV[1:0]		CPOL	CPHA			
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0: 奇数エッジでデータサンプル、偶数エッジでデータ変化 1: 奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0: アイドル時のRSPCKがLow 1: アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0: ベースのビットレートを選択 0 1: ベースのビットレートの2分周を選択 1 0: ベースのビットレートの4分周を選択 1 1: ベースのビットレートの8分周を選択	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 1 x x: 設定しないでください	R/W
b7	SSLKP	SSL信号レベル保持ビット	0: 転送終了時に全SSL信号をネゲート 1: 転送終了後から次アクセス開始までSSL信号レベルを保持	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11 b8 0100~0111 : 8ビット 1 0 0 0 : 9ビット 1 0 0 1 : 10ビット 1 0 1 0 : 11ビット 1 0 1 1 : 12ビット 1 1 0 0 : 13ビット 1 1 0 1 : 14ビット 1 1 1 0 : 15ビット 1 1 1 1 : 16ビット 0 0 0 0 : 20ビット 0 0 0 1 : 24ビット 0010, 0011 : 32ビット	R/W
b12	LSBF	RSPI LSB ファーストビット	0: MSB ファースト 1: LSB ファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延許可ビット	0: 次アクセス遅延は1 RSPCK + 2 PCLK 1: 次アクセス遅延はRSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0: SSLネゲート遅延は1 RSPCK 1: SSLネゲート遅延はRSPIスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0: RSPCK遅延は1 RSPCK 1: RSPCK遅延はRSPIクロック遅延レジスタ (SPCKD) の設定値	R/W

x : Don't care

SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを設定します。1 チャンネルの RSPI には、RSPI コマンドレジスタが 8 本あります (SPCMD0 ~ SPCMD7 レジスタ)。また、SPCMD0 レジスタの一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は SPSCR.SPSSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の (次転送のデータがセットされていない) 状態でその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、SPCR.MSTR ビットが“0”、SPCR.SPE ビットが“1”の状態において、SPCMDm レジスタを書き換えた場合、以降の動作はしないでください。

CPHA ビット (RSPCK 位相設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 位相を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 極性を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するレジスタです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します (「29.2.8 RSPI ビットレートレジスタ (SPBR)」を参照)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし/2分周/4分周/8分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードの RSPI がシリアル転送する場合の SSLAi 信号のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSLAi 信号のアサートを制御します。SSLAi 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットを“000b”にした場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSLA0 端子は入力になるため)。

なお、RSPI をスレーブモードで使用する場合には、SSLA[2:0] ビットを“000b”にしてください。

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSLAi 信号レベルを保持するか、ネゲートするかを設定するビットです。

SSLKP ビットを“1”とすることによってバースト転送が可能となります。詳細は「29.3.10.1 マスタモード動作の (4) バースト転送」を参照してください。

RSPI をスレーブモードで使用する場合には、SSLKP ビットを“0”にしてください。

SPB[3:0] ビット (RSPI データ長設定ビット)

マスタモード/スレーブモードのRSPIの転送データ長を設定します。SPDCR.SPLW ビットが“0”のときは、“0100b” (8 ビット) ~ “1111b” (16 ビット) の範囲で値を設定してください。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード/スレーブモードのRSPIのデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを選択します。

SPNDEN ビット (RSPI 次アクセス遅延許可ビット)

マスタモードのRSPIがシリアル転送を終了して SSLAi 信号を非アクティブにしてから、次アクセスの SSLAi 信号アサートが可能にするまでの期間 (次アクセス遅延) を設定します。SPNDEN ビットが“0”のとき、RSPI は次アクセス遅延を $1 \text{ RSPCK} + 2 \text{ PCLK}$ にします。SPNDEN ビットが“1”のとき、RSPI は SPND レジスタの設定に従った次アクセス遅延を挿入します。

RSPI をスレーブモードで使用する場合には、SPNDEN ビットを“0”にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可ビット)

マスタモードのRSPIが、RSPCK を発振停止してから SSLAi 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定します。SLNDEN ビットが“0”のとき、RSPI は SSL ネゲート遅延を 1 RSPCK にします。SLNDEN ビットが“1”のとき、RSPI は SSLND レジスタの設定に従った RSPCK 遅延で SSL をネゲートします。

RSPI をスレーブモードで使用する場合には、SLNDEN ビットを“0”にしてください。

SCKDEN ビット (RSPCK 遅延設定許可ビット)

マスタモードのRSPIが、SSLAi 信号をアクティブにしてから RSPCK を発振するまでの期間 (RSPCK 遅延) を設定します。SCKDEN ビットが“0”のとき、RSPI は RSPCK 遅延を 1 RSPCK にします。SCKDEN ビットが“1”のとき、RSPI は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

RSPI をスレーブモードで使用する場合には、SCKDEN ビットを“0”にしてください。

29.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

29.3.1 RSPI 動作の概要

RSPI は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送ができます。RSPI のモードは、SPCR.MSTR, MODFEN, SPMS ビットによって設定できます。表 29.5 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表 29.5 RSPI のモードと SPCR レジスタの設定の関係および各モードの概要

モード	スレーブ (SPI動作)	シングルマスタ (SPI動作)	マルチマスタ (SPI動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
MSTRビットの設定	0	1	1	0	1
MODFENビットの設定	0 or 1	0	1	0	0
SPMSビットの設定	0	0	0	1	1
RSPCKA信号	入力	出力	出力/Hi-Z	入力	出力
MOSIA信号	入力	出力	出力/Hi-Z	入力	出力
MISOA信号	出力/Hi-Z	入力	入力	出力	入力
SSLA0信号	入力	出力	入力	Hi-Z (注1)	Hi-Z (注1)
SSLA1~SSLA3信号	Hi-Z (注1)	出力	出力/Hi-Z	Hi-Z (注1)	Hi-Z (注1)
SSL極性変更機能	あり	あり	あり	—	—
転送レート	~PCLK/6	~PCLK/2	~PCLK/2	~PCLK/6	~PCLK/2
クロックソース	RSPCK入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK入力	内蔵ボーレートジェネレータ
クロック極性	2種				
クロック位相	2種	2種	2種	1種 (CPHA = 1)	2種
先頭転送ビット	MSB/LSB				
転送データ長	8~16、20、24、32ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0,1)	可能 (CPHA = 0,1)	—	—
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL入力アクティブまたはRSPCK発振	送信バッファエンプティ割り込み要求、またはSPTEF = 1で送信バッファ書き込み	送信バッファエンプティ割り込み要求、またはSPTEF = 1で送信バッファ書き込み	RSPCK発振	送信バッファエンプティ割り込み要求、またはSPTEF = 1で送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ検出	あり				
受信バッファフル検出	あり (注2)				
オーバランエラー検出	あり (注2)	あり (注2、注4)	あり (注2、注4)	あり (注2)	あり (注2)
アンダランエラー検出	あり	なし	なし	あり	なし
パリティエラー検出	あり (注2、注3)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし

注1. 本モードでは使用しません。

注2. SPCR.TXMDビットが“1”のときは、受信バッファフル検出、オーバランエラー検出、パリティエラー検出を行いません。

注3. SPCR2.SPPEビットが“0”のときは、パリティエラー検出を行いません。

注4. SPCR2.SCKASEビットが“1”のときは、オーバランエラー検出を行いません。

29.3.2 RSPI 端子の制御

RSPI は、SPCR.MSTR, MODFEN, SPMS ビットと I/O ポートの ODRn.Bi ビットの設定により、端子の状態を切り替えます。I/O ポートの ODRn.Bi ビットの設定値を“0”にすると CMOS 出力に、“1”にするとオープンドレイン出力となります。端子状態と各ビットの設定値の関係を表 29.6 に示します。I/O ポートの設定も同じとなるよう設定してください。

表 29.6 RSPI 端子の状態と制御ビット設定値の関係

モード	端子	端子状態 (注2)	
		I/Oポートの ODRn.Bi ビット=0	I/Oポートの ODRn.Bi ビット=1
シングルマスタ (SPI 動作) (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKA	CMOS出力	オープンドレイン出力
	SSLA0~SSLA3	CMOS出力	オープンドレイン出力
	MOSIA	CMOS出力	オープンドレイン出力
	MISOA	入力	入力
マルチマスタ (SPI 動作) (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKA (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	SSLA0	入力	入力
	SSLA1~SSLA3 (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	MOSIA (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
スレーブ (SPI 動作) (MSTR = 0, SPMS = 0)	RSPCKA	入力	入力
	SSLA0	入力	入力
	SSLA1~SSLA3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MISOA (注4)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
マスタ (クロック同期式動作) (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKA	CMOS出力	オープンドレイン出力
	SSLA0~SSLA3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIA	CMOS出力	オープンドレイン出力
	MISOA	入力	入力
スレーブ (クロック同期式動作) (MSTR = 0, SPMS = 1)	RSPCKA	入力	入力
	SSLA0~SSLA3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIA	入力	入力
	MISOA	CMOS出力	オープンドレイン出力

注1. 本モードでは使用しません。

注2. RSPI機能が選択されていないマルチファンクションピンには、RSPIの設定値は反映されません。

注3. SSLA0がアクティブレベルの場合、端子状態がHi-Zになります。

注4. SSLA0が非アクティブレベルまたはSPCR.SPEビットが“0”の場合、端子状態がHi-Zになります。

注5. I/Oポートとして使用できます。

シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作) の RSPI は、SPPCR.MOIFE, MOIFV ビットの設定に従って、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSI 信号値を表 29.7 のように決定します。

表 29.7 SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE ビット	MOIFV ビット	SSL ネゲート期間の MOSI 信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

29.3.3 RSPI システム構成例

29.3.3.1 シングルマスタ / シングルスレーブ (本 MCU = マスタ)

図 29.5 に、本 MCU をマスタとして使用した場合のシングルマスタ / シングルスレーブの RSPI システムの構成例を示します。シングルマスタ / シングルスレーブの構成では、本 MCU (マスタ) の SSLA0 ~ SSLA3 出力は使用しません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブを選択できる状態にします。(注 1)

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

注 1. SPCMDm.CPHA ビットが“0”の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 MCU の SSLAi 出力をスレーブデバイスの SSL 入力に接続してください。

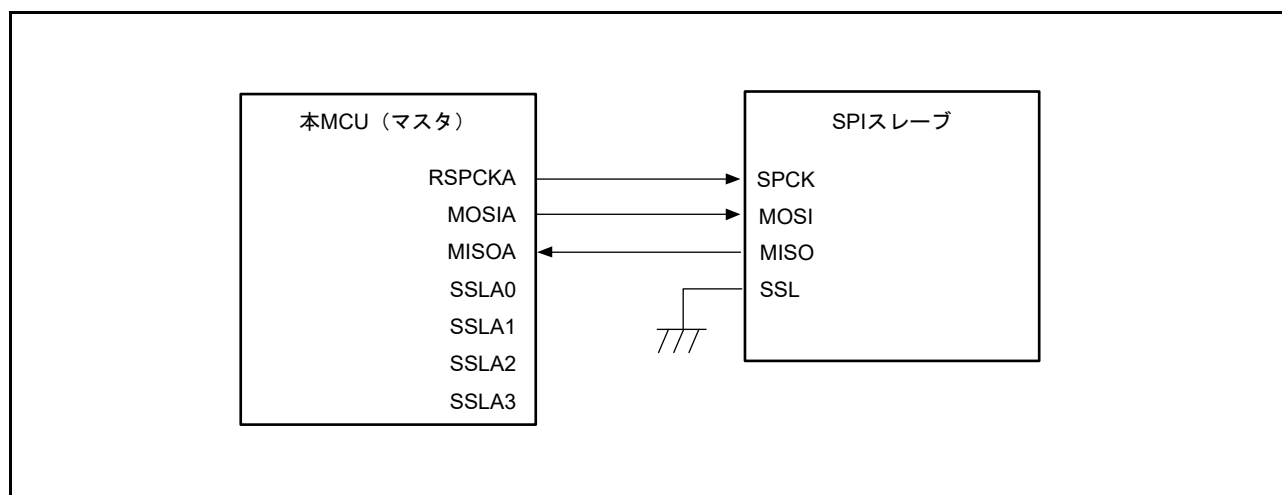


図 29.5 シングルマスタ / シングルスレーブの構成例 (本 MCU = マスタ)

29.3.3.2 シングルマスタ / シングルスレーブ (本 MCU = スレーブ)

図 29.6 に、本 MCU をスレーブとして使用した場合のシングルマスタ / シングルスレーブの RSPI システム構成例を示します。本 MCU をスレーブとして使用する場合には、SSLA0 端子を SSL 入力として使用します。SPI マスタは、SPCK と MOSI をドライブします。本 MCU (スレーブ) は、MISOA をドライブします。(注 1)

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合には、本 MCU (スレーブ) の SSLA0 入力を Low に固定して本 MCU (スレーブ) を選択できる状態とし、シリアル転送を実行することも可能です(図 29.7)。

注 1. SSLA0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

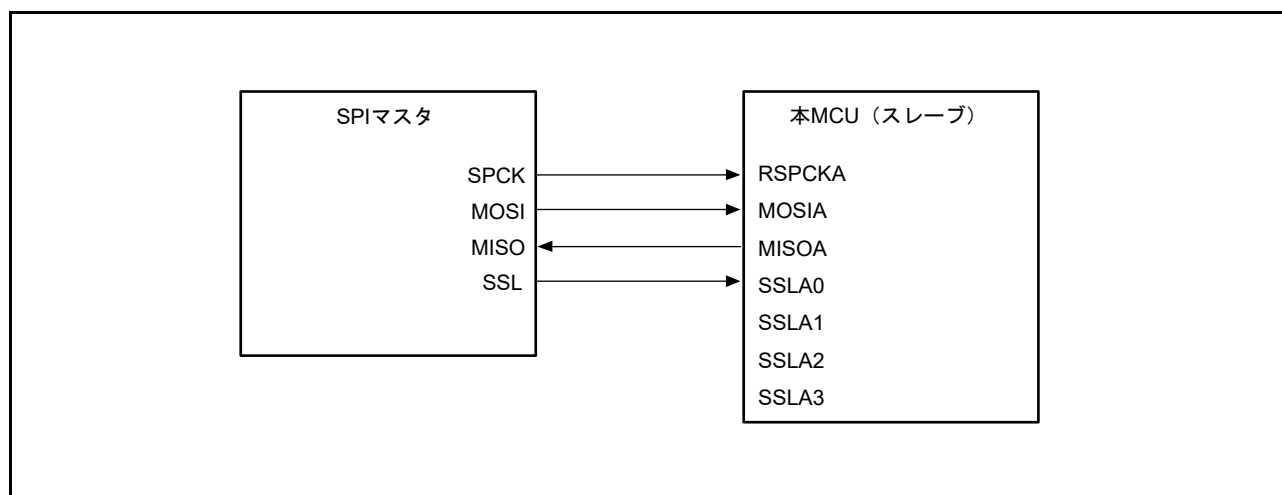


図 29.6 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 0)

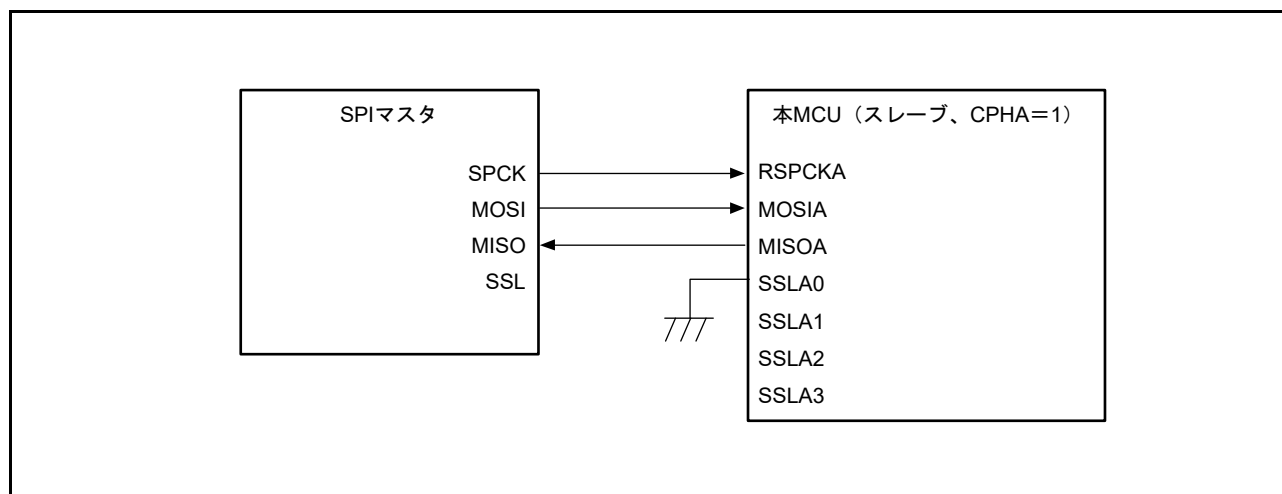


図 29.7 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 1)

29.3.3.3 シングルマスタ / マルチスレーブ (本 MCU = マスタ)

図 29.8 に、本 MCU をマスタとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 29.8 の例では、本 MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から RSPI システムを構成しています。

本 MCU (マスタ) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて本 MCU (マスタ) の MISOA 入力に接続します。本 MCU (マスタ) の SSLA0 ~ SSLA3 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入力に接続します。

本 MCU (マスタ) は、RSPCKA、MOSIA、SSLA0 ~ SSLA3 をドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

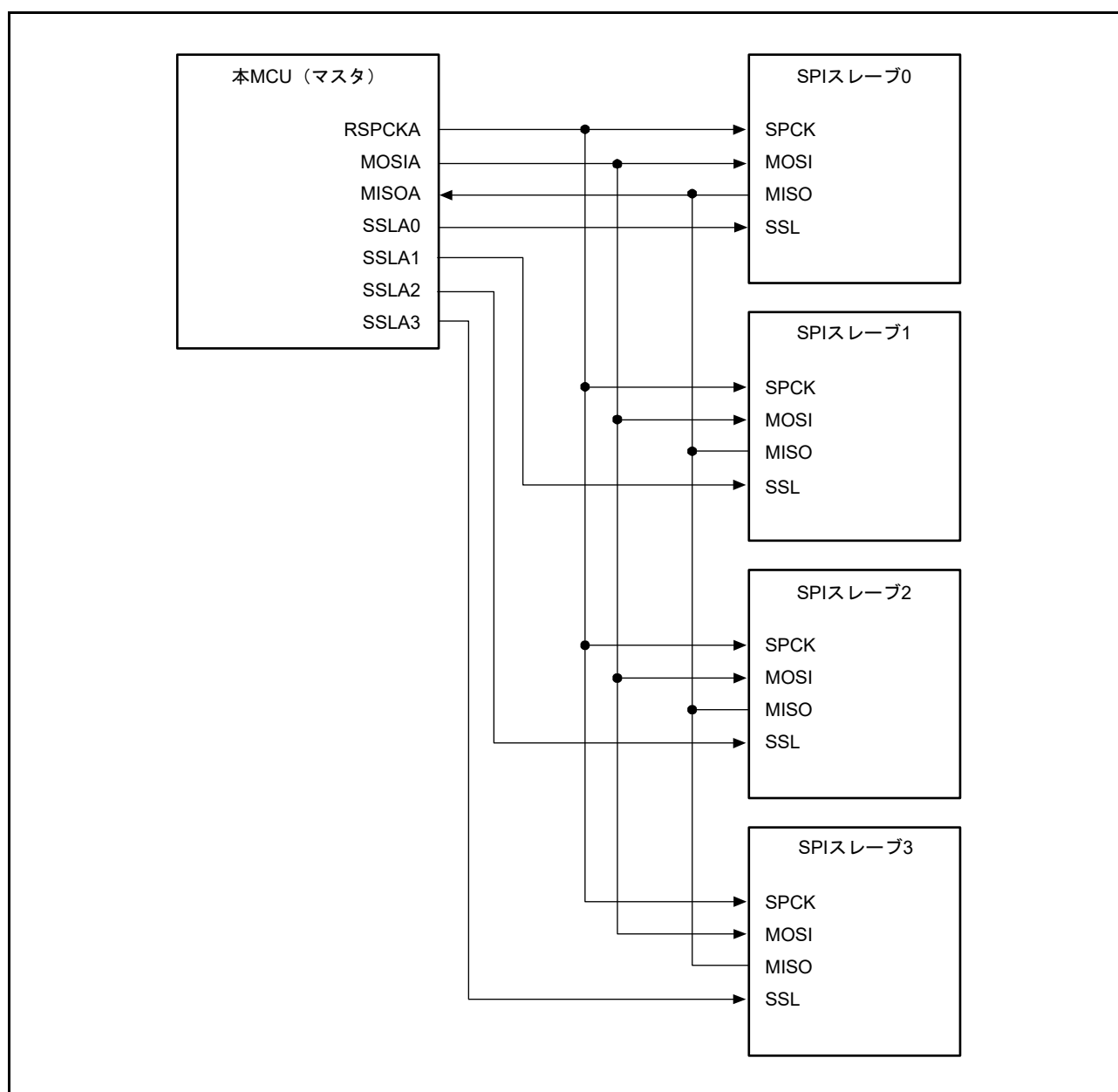


図 29.8 シングルマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

29.3.3.4 シングルマスタ / マルチスレーブ (本 MCU = スレーブ)

図 29.9 に、本 MCU をスレーブとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 29.9 の例では、SPI マスタと 2 つの本 MCU (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、本 MCU (スレーブ X、スレーブ Y) の RSPCKA 入力と MOSIA 入力に接続します。本 MCU (スレーブ X、スレーブ Y) の MISOA 出力は、SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、本 MCU (スレーブ X、スレーブ Y) の SSLA0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。本 MCU (スレーブ X、スレーブ Y) のうち、SSLA0 入力に Low を入力されているスレーブが、MISOA をドライブします。

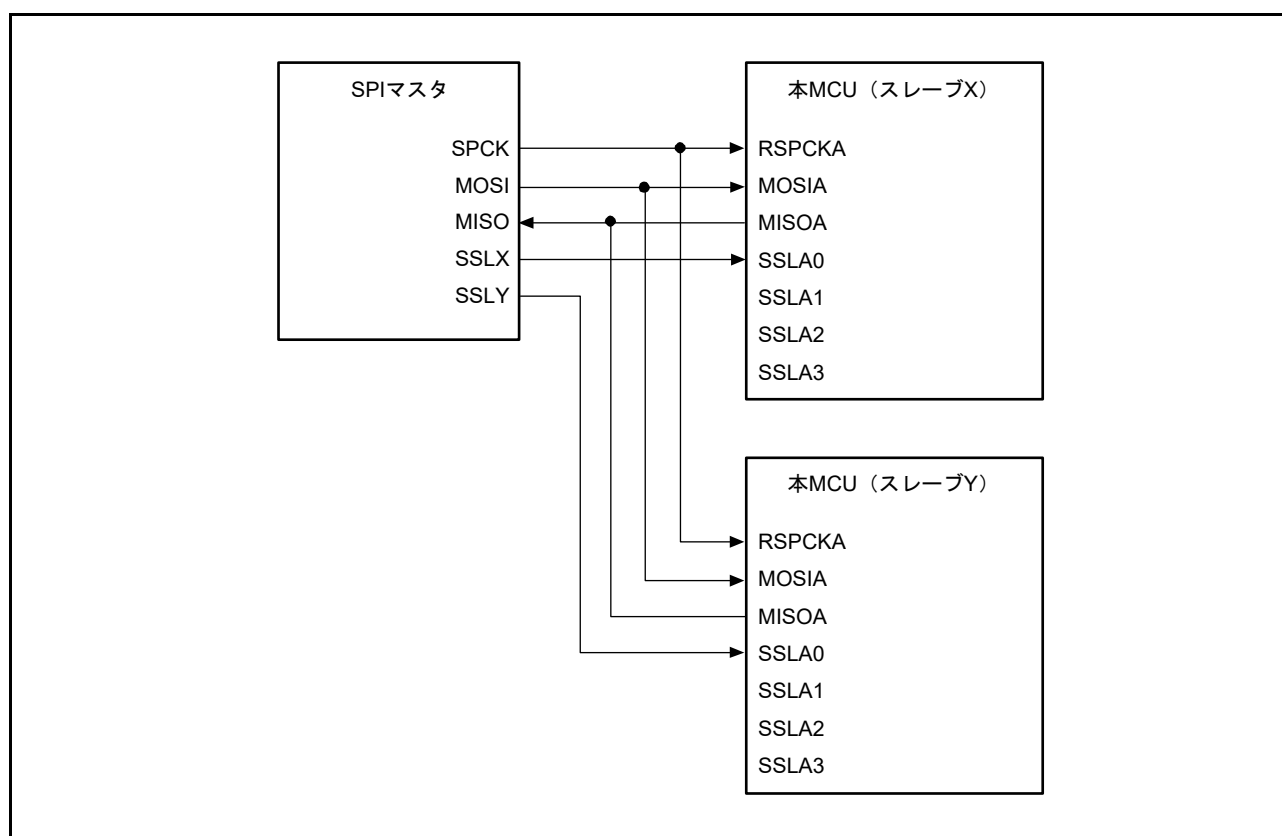


図 29.9 シングルマスタ / マルチスレーブの構成例 (本 MCU = スレーブ)

29.3.3.5 マルチマスタ / マルチスレーブ (本 MCU = マスタ)

図 29.10 に、本 MCU をマスタとして使用した場合のマルチマスタ / マルチスレーブの RSPI システム構成例を示します。図 29.10 の例では、2つの本 MCU (マスタ X、マスタ Y) と2つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から RSPI システムを構成しています。

本 MCU (マスタ X、マスタ Y) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、本 MCU (マスタ X、マスタ Y) の MISOA 入力に接続します。本 MCU (マスタ X) の任意の汎用ポート Y 出力は、本 MCU (マスタ Y) の SSLA0 入力に接続します。本 MCU (マスタ Y) の任意の汎用ポート X 出力は、本 MCU (マスタ X) の SSLA0 入力に接続します。本 MCU (マスタ X、マスタ Y) の SSLA1 出力と SSLA2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLA0 入力、スレーブ接続用の SSLA1 出力、SSLA2 出力のみでシステムを構成できるので、本 MCU の SSLA3 出力を使用していません。

本 MCU は、SSLA0 入力レベルが High の場合には、RSPCKA、MOSIA、SSLA1、SSLA2 をドライブします。SSLA0 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCKA、MOSIA、SSLA1、SSLA2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。SPI スレーブ 1、SPI スレーブ 2 のうち、SSL 入力が Low を入力されているスレーブが、MISO をドライブします。

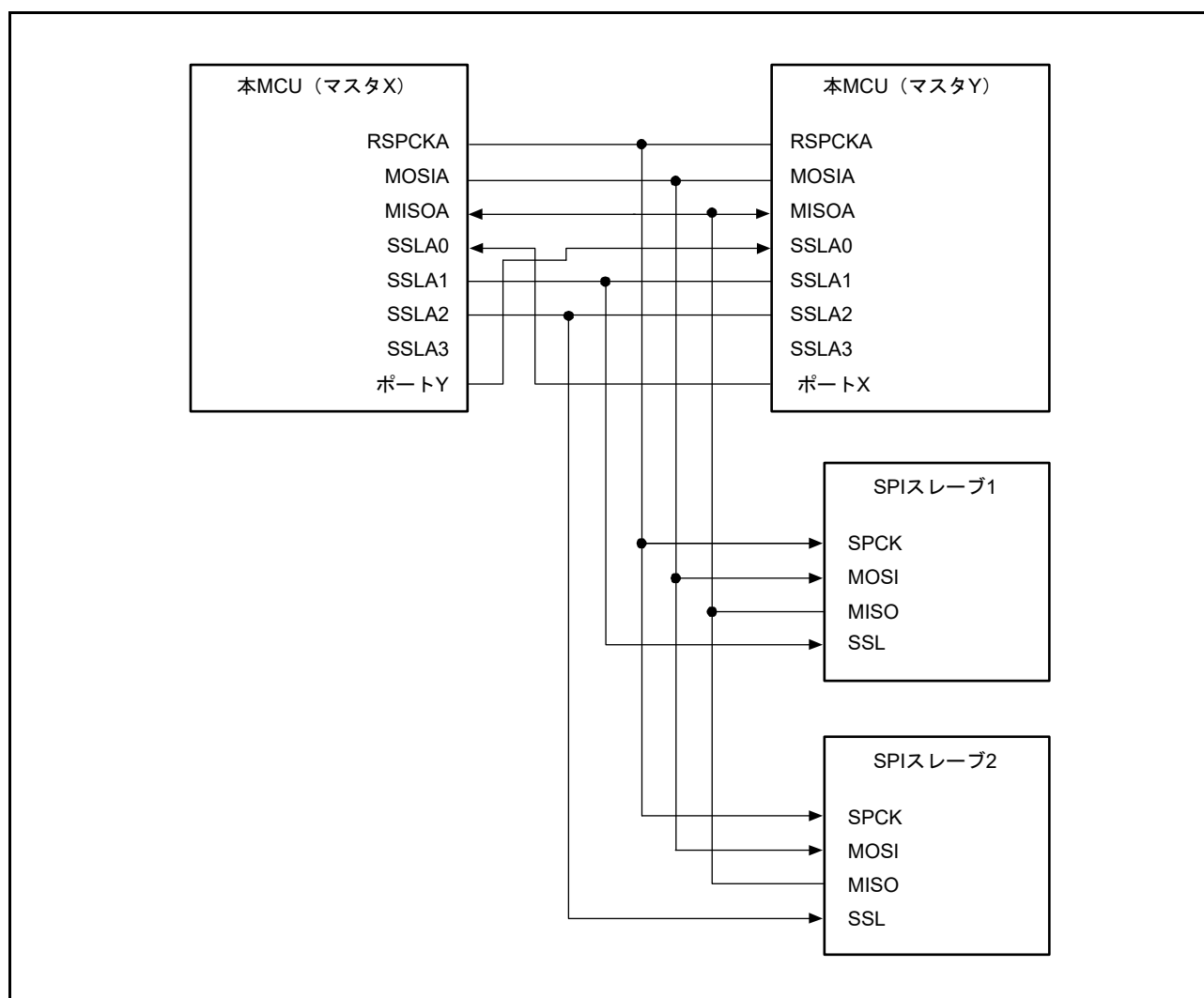


図 29.10 マルチマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

29.3.3.6 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)

図 29.11 に、本 MCU をマスタとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成では、本 MCU (マスタ) の SSLA0 ~ SSLA3 は使用しません。

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

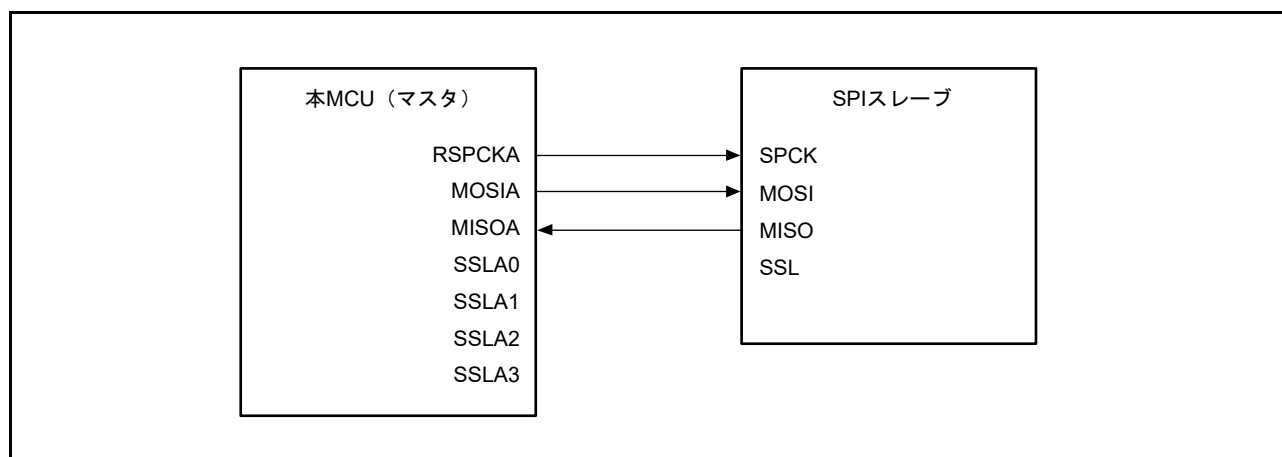


図 29.11 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 MCU = マスタ)

29.3.3.7 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)

図 29.12 に、本 MCU をスレーブとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 MCU をスレーブ (クロック同期式動作) として使用する場合には、本 MCU (スレーブ) は、MISOA をドライブし、SPI マスタは、SPCK と MOSI をドライブします。また、本 MCU (スレーブ) の SSLA0 ~ SSLA3 は使用しません。

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合のみ、本 MCU (スレーブ) はシリアル転送を実行することが可能です。

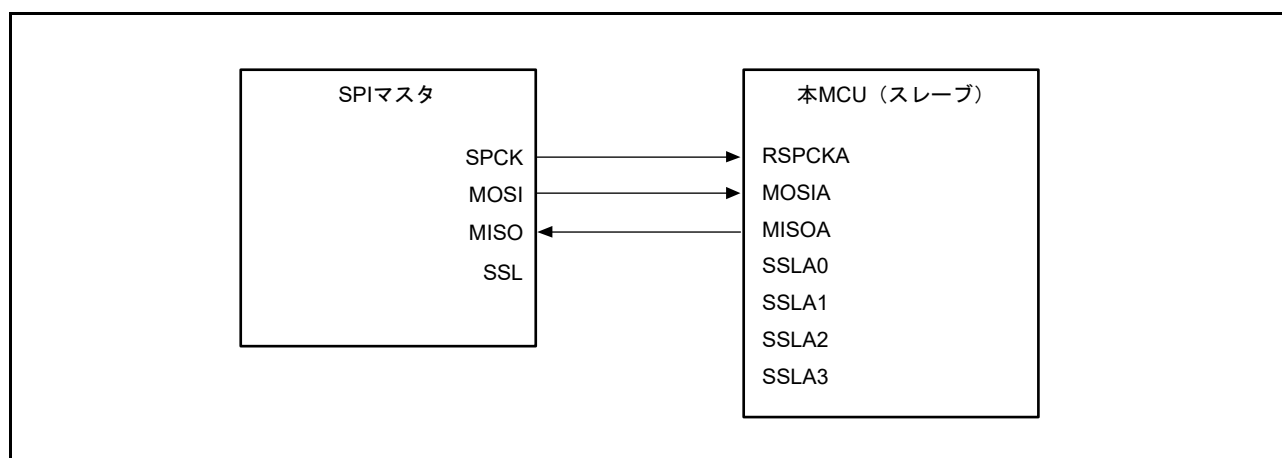


図 29.12 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例
(本 MCU = スレーブ、CPHA = 1)

29.3.4 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ m (SPCMD m)、RSPI 制御レジスタ 2 のパリティ許可ビット (SPCR2.SPPE) の設定値に依存します。MSB/LSB ファーストに関わらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a) パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。

(b) パリティ機能有効時

パリティ機能有効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

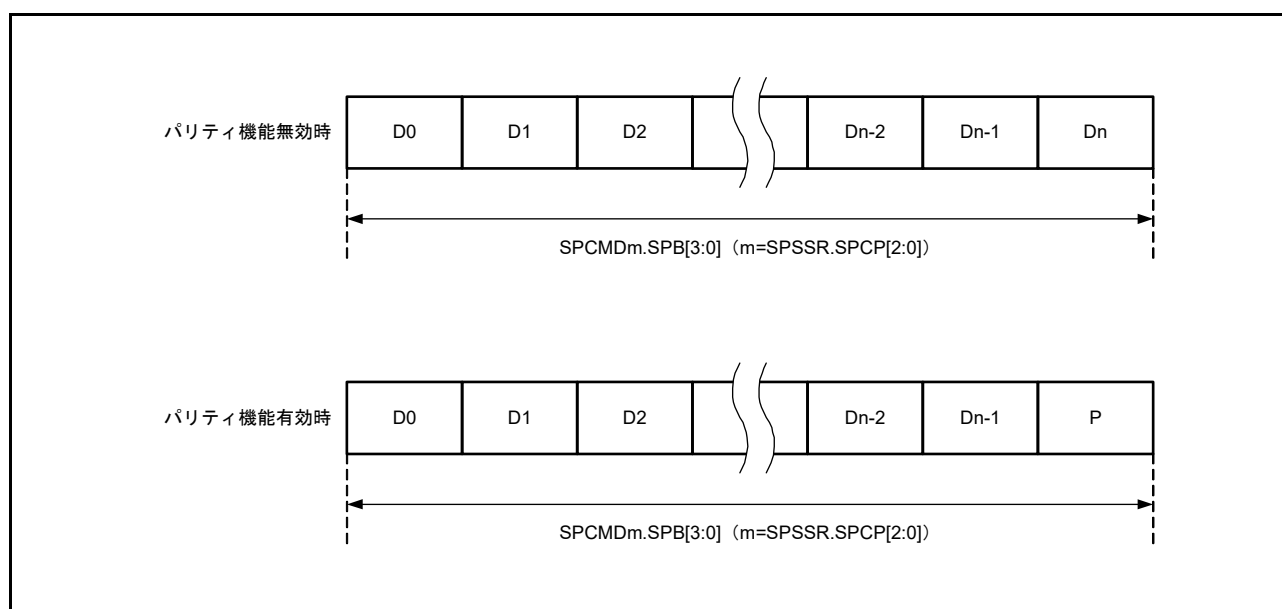


図 29.13 データフォーマット概要 (パリティ機能無効時 / 有効時)

29.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下に RSPI データレジスタ (SPDR) とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1) MSB ファースト転送 (32 ビットデータ)

図 29.14 に、パリティ機能無効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

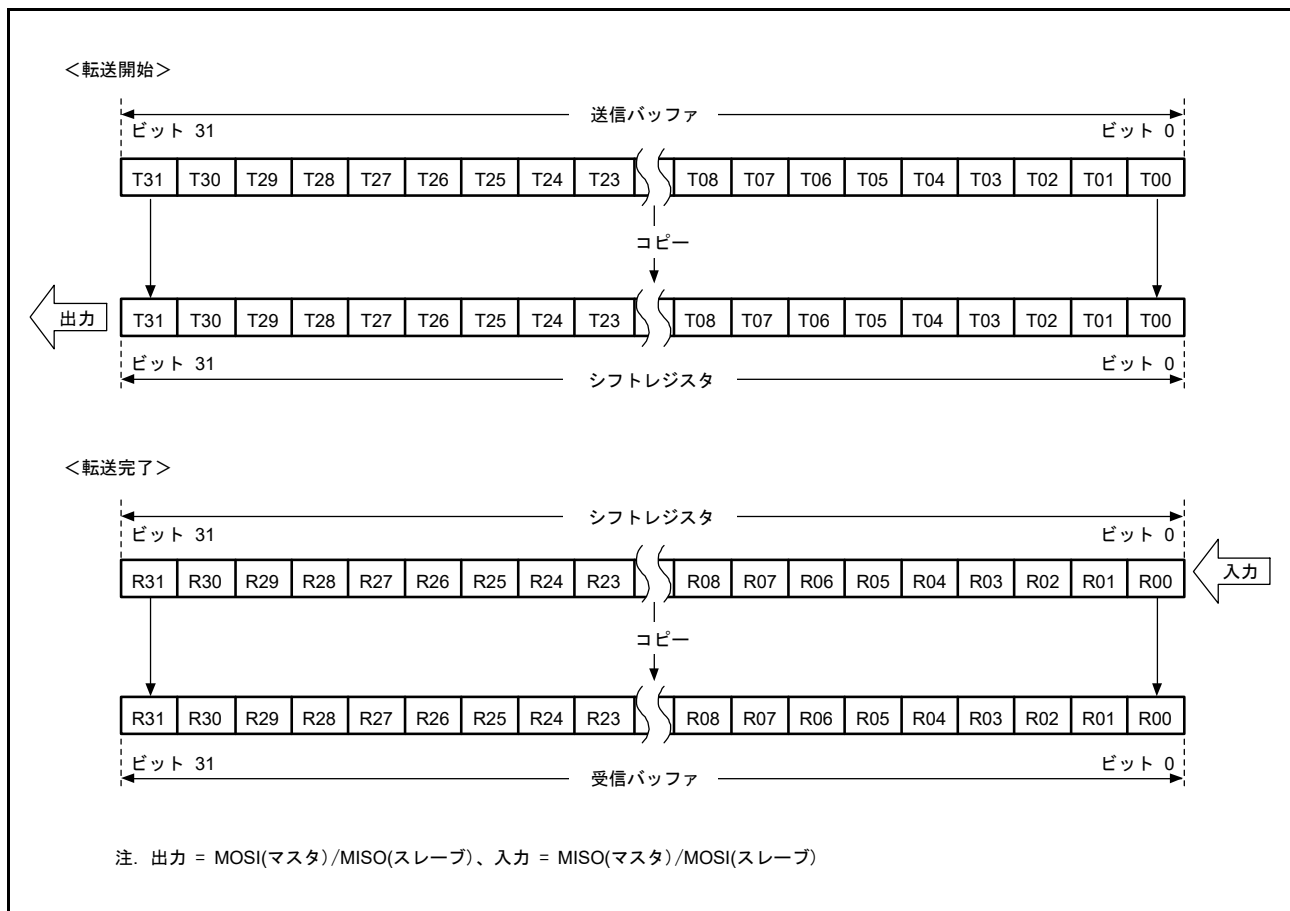


図 29.14 MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(2) MSB ファースト転送 (24 ビットデータ)

図 29.15 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

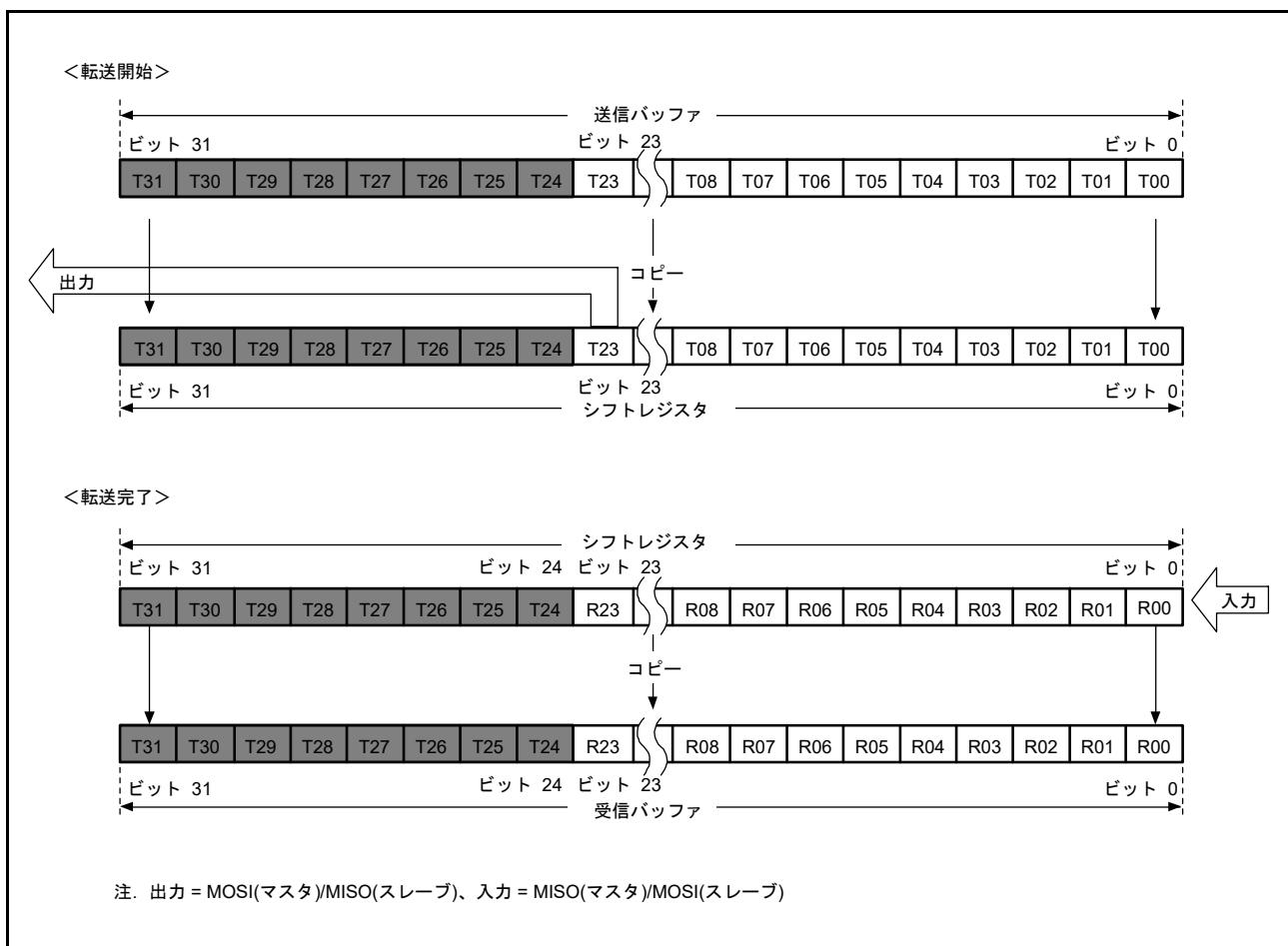


図 29.15 MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

(3) LSB ファースト転送 (32 ビットデータ)

図 29.16 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ~ T00) をビット単位で入れ替え、シフトレジスタに T00 ~ T31 の順番に並び替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

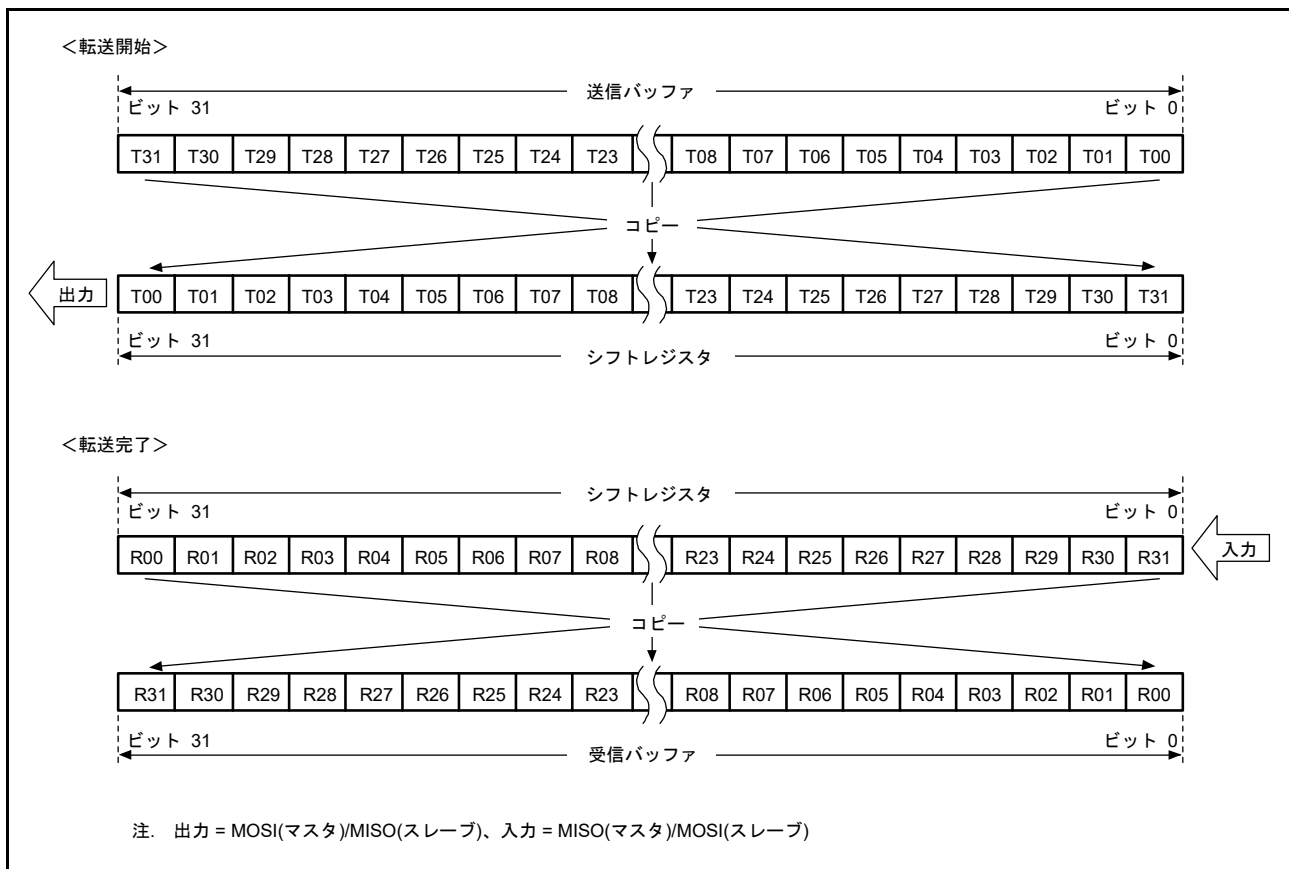


図 29.16 LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4) LSB ファースト転送 (24 ビットデータ)

図 29.17 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

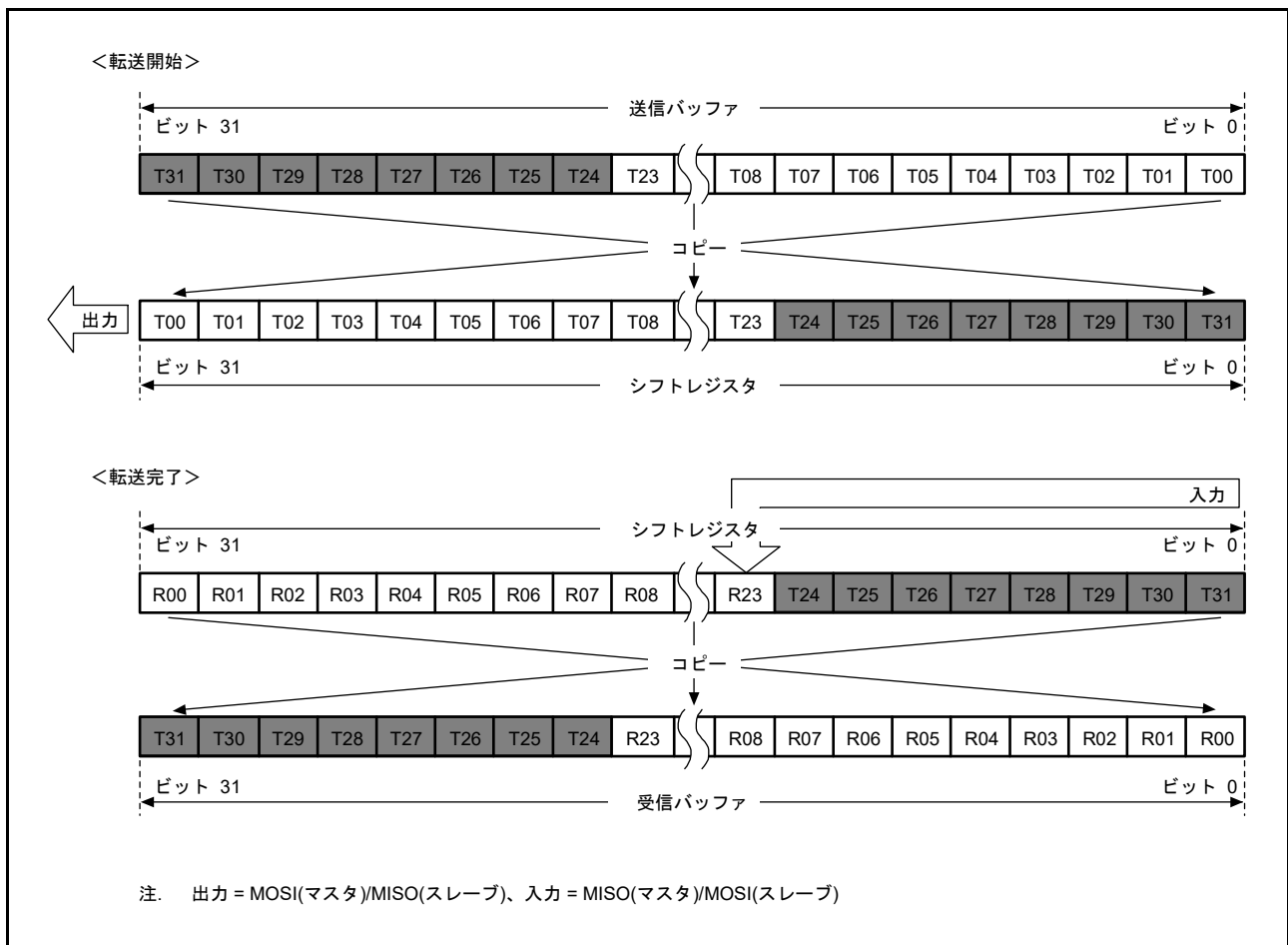


図 29.17 LSB ファースト (24 ビットデータ / パリティ機能無効)

29.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1) MSB ファースト転送 (32 ビットデータ)

図 29.18 に、パリティ機能有効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ~ P のデータをチェックし、パリティエラーの判定を行います。

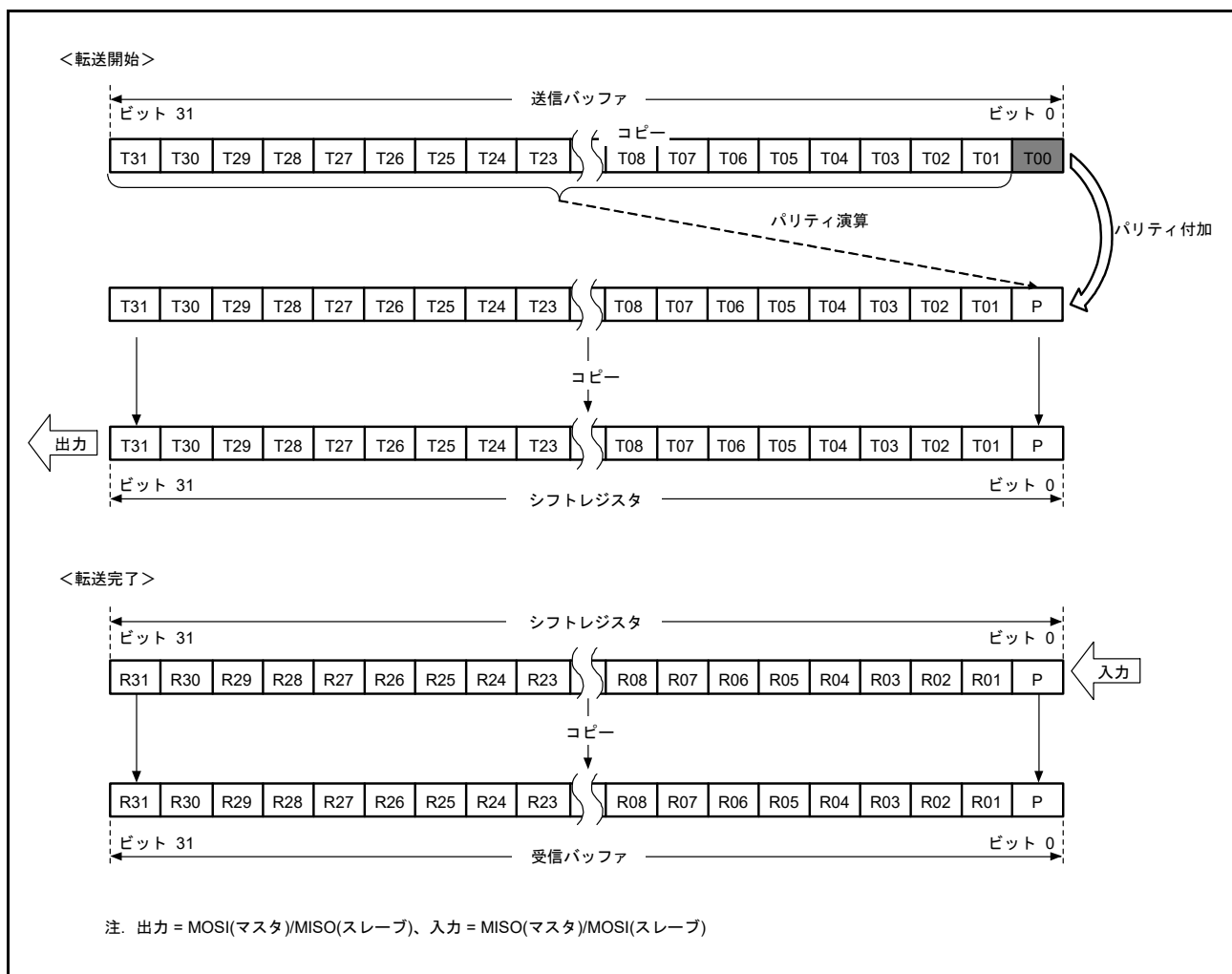


図 29.18 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) MSB ファースト転送 (24 ビットデータ)

図 29.19 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

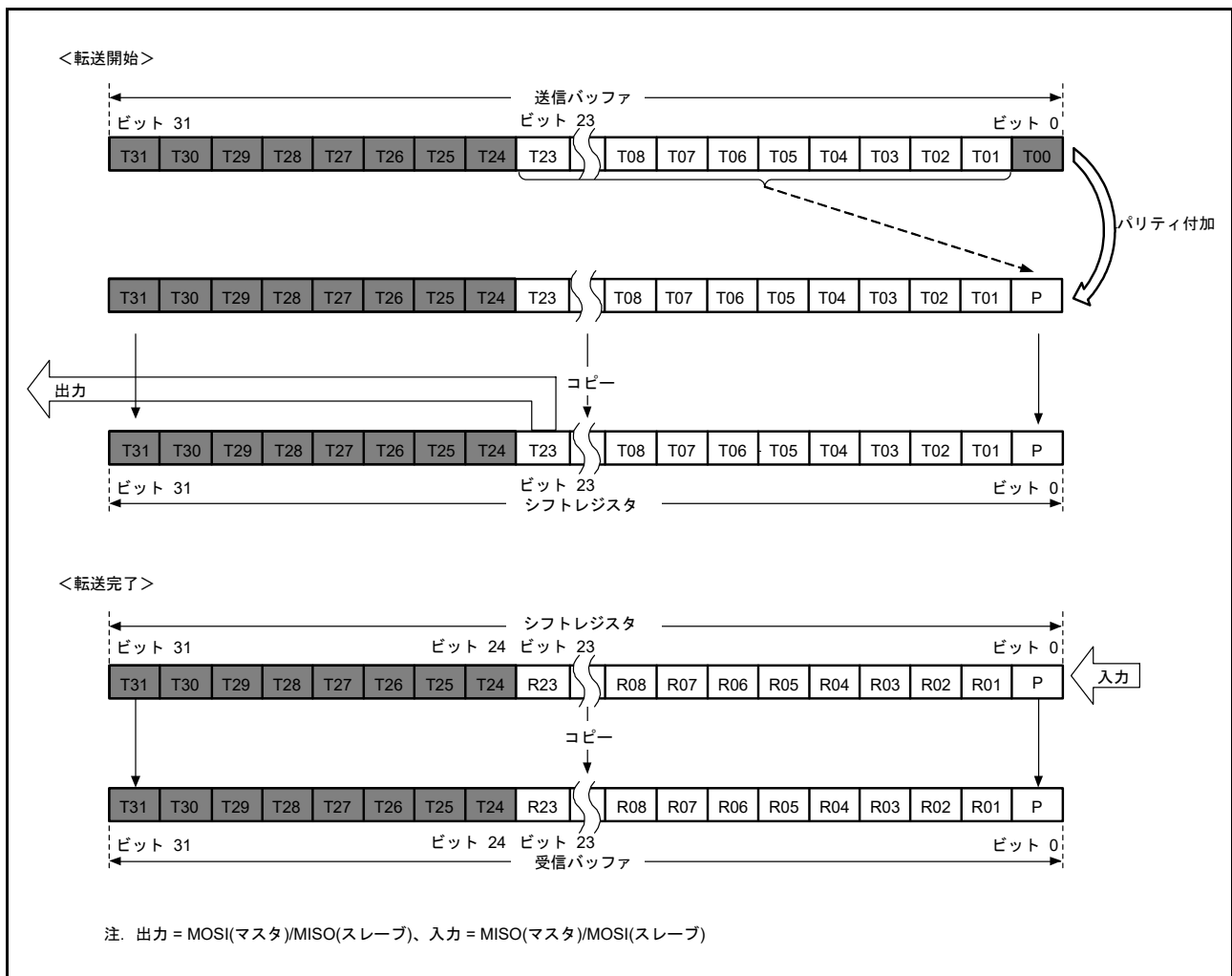


図 29.19 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) LSB ファースト転送 (32 ビットデータ)

図 29.20 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ~ P まで受信データがたまと、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。

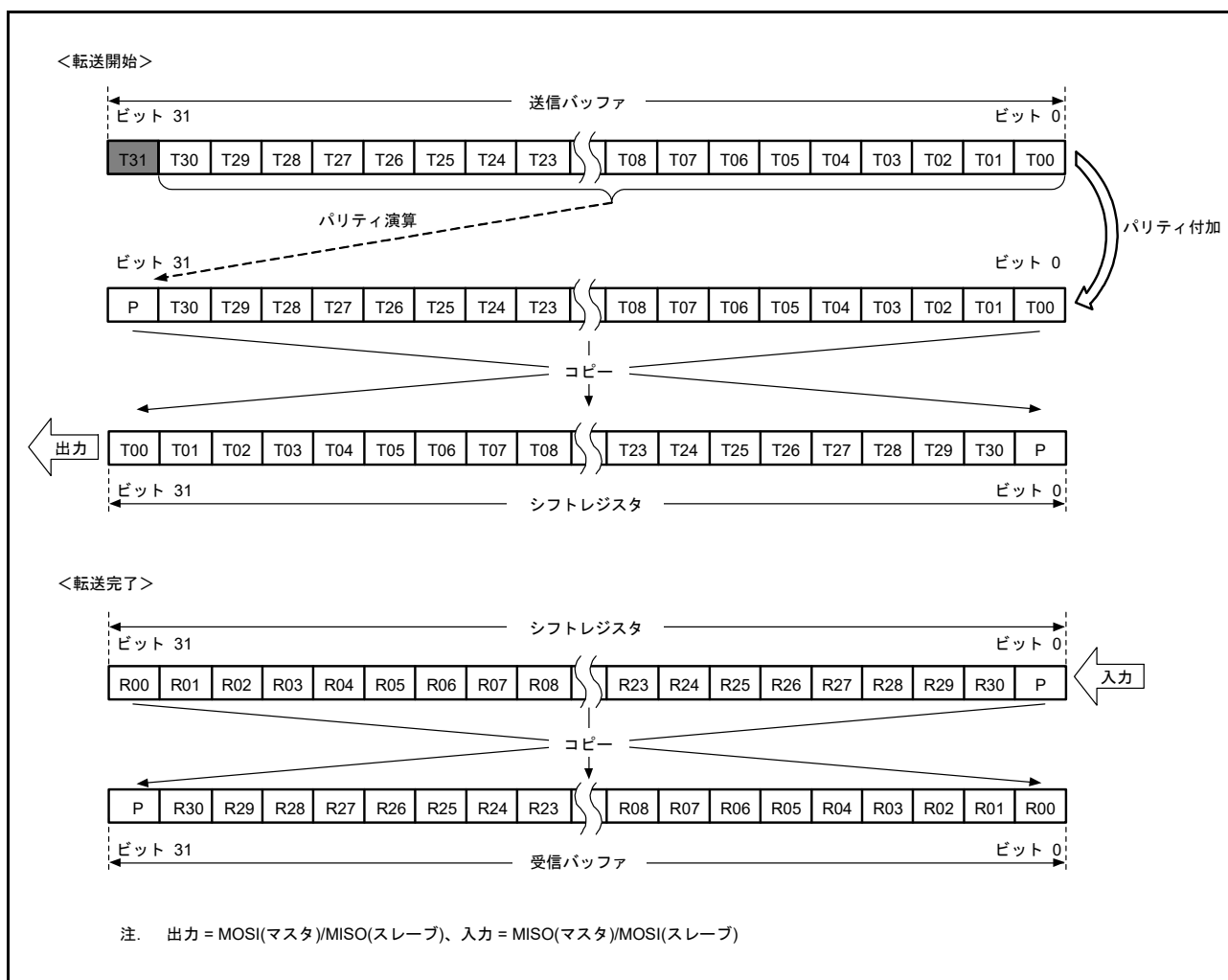


図 29.20 LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 29.21 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

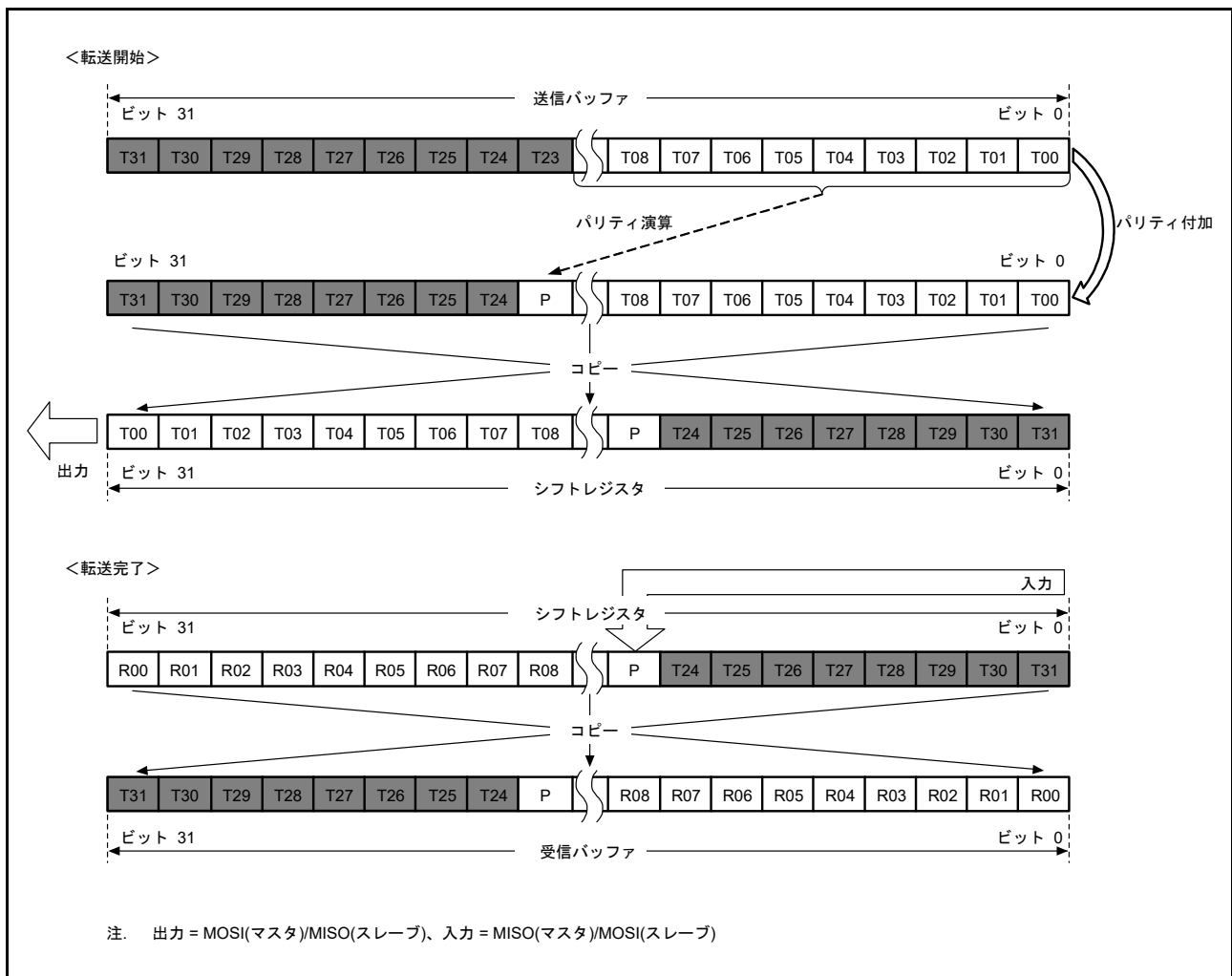


図 29.21 LSB ファースト (24 ビットデータ / パリティ機能有効)

29.3.5 転送フォーマット

29.3.5.1 CPHA ビット = 0 の場合

図 29.22 に SPCMDm.CPHA ビットが“0”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード (SPCR.MSTR=0) で CPHA ビットが“0”の場合のクロック同期式動作 (SPCR.SPMS ビットが“1”の場合) はしないでください。図 29.22 において、RSPCKA (CPOL=0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKA (CPOL=1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「29.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“0”の場合には、SSLAi 信号のアサートタイミングで、MOSIA 信号と MISOA 信号への有効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1 RSPCK 周期ごとにデータがサンプリングされます。MOSIA 信号と MISOA 信号の変化タイミングは、転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は、RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLAi 信号のアサートから RSPCKA 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKA 発振停止から SSLAi 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLAi 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「29.3.10.1 マスタモード動作」を参照してください

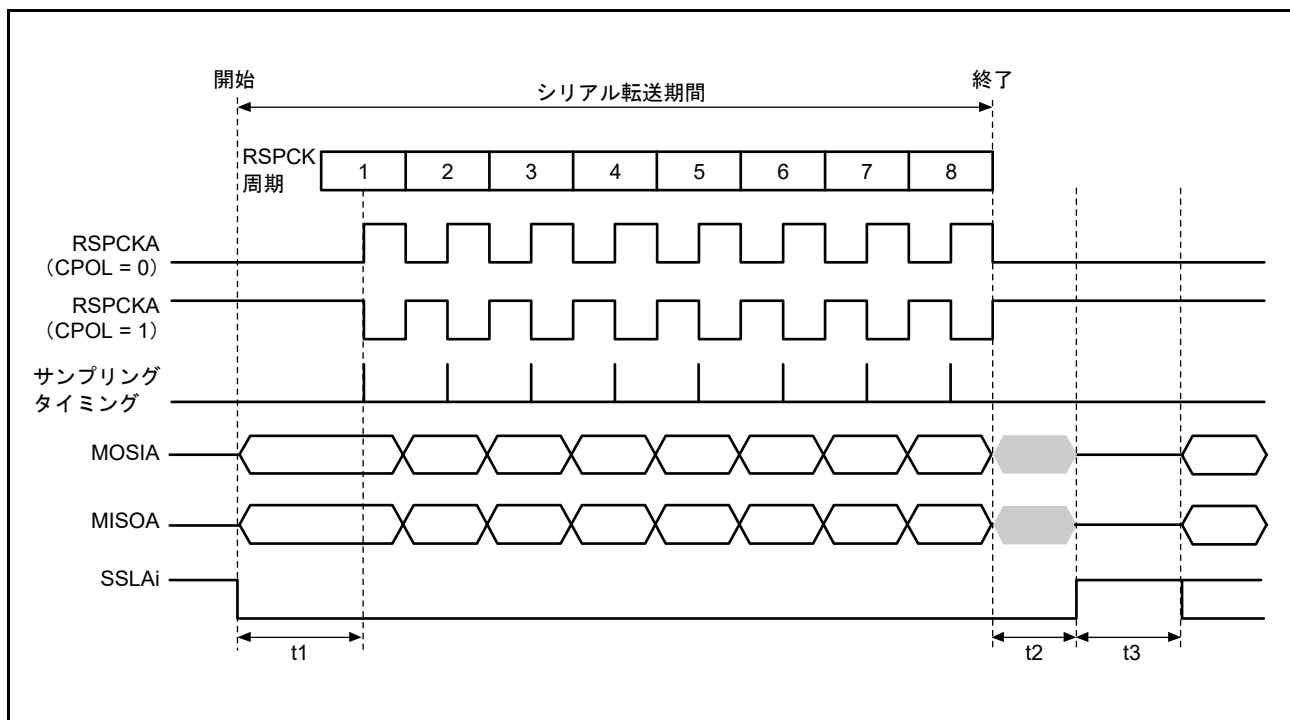


図 29.22 RSPI 転送フォーマット (CPHA ビット = 0)

29.3.5.2 CPHA ビット = 1 の場合

図 29.23 に SPCMDm.CPHA ビットが“1”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが“1”の場合は SSLAi 信号を用いず、RSPCKA 信号、MOSIA 信号、MISOA 信号のみで通信を行います。図 29.23 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード (マスタ/スレーブ) に依存します。詳細は「29.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“1”の場合には、SSLAi 信号のアサートタイミングで、MISOA 信号に無効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングで、MOSIA 信号と MISOA 信号への有効データへの出力が開始され、このタイミング以降 1 RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このタイミングの 1/2 RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「29.3.10.1 マスタモード動作」を参照してください。

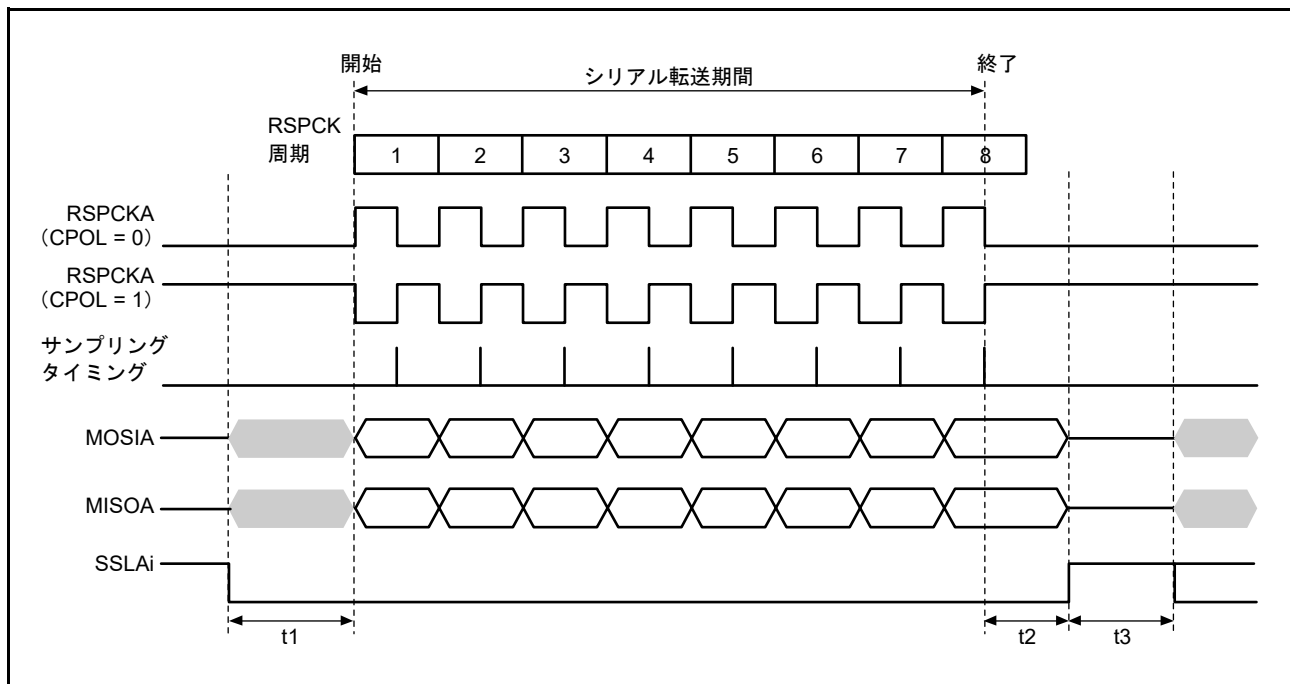


図 29.23 RSPI 転送フォーマット (CPHA ビット = 1)

29.3.6 通信動作モード

SPCR.TXMD ビットの設定により、全二重同期式シリアル通信または送信のみの動作を選択します。図 29.24、図 29.25 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクルを示しています。

29.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD = 0)

図 29.24 に、SPCR.TXMD ビットを“0”にした場合の動作例を示します。図 29.24 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

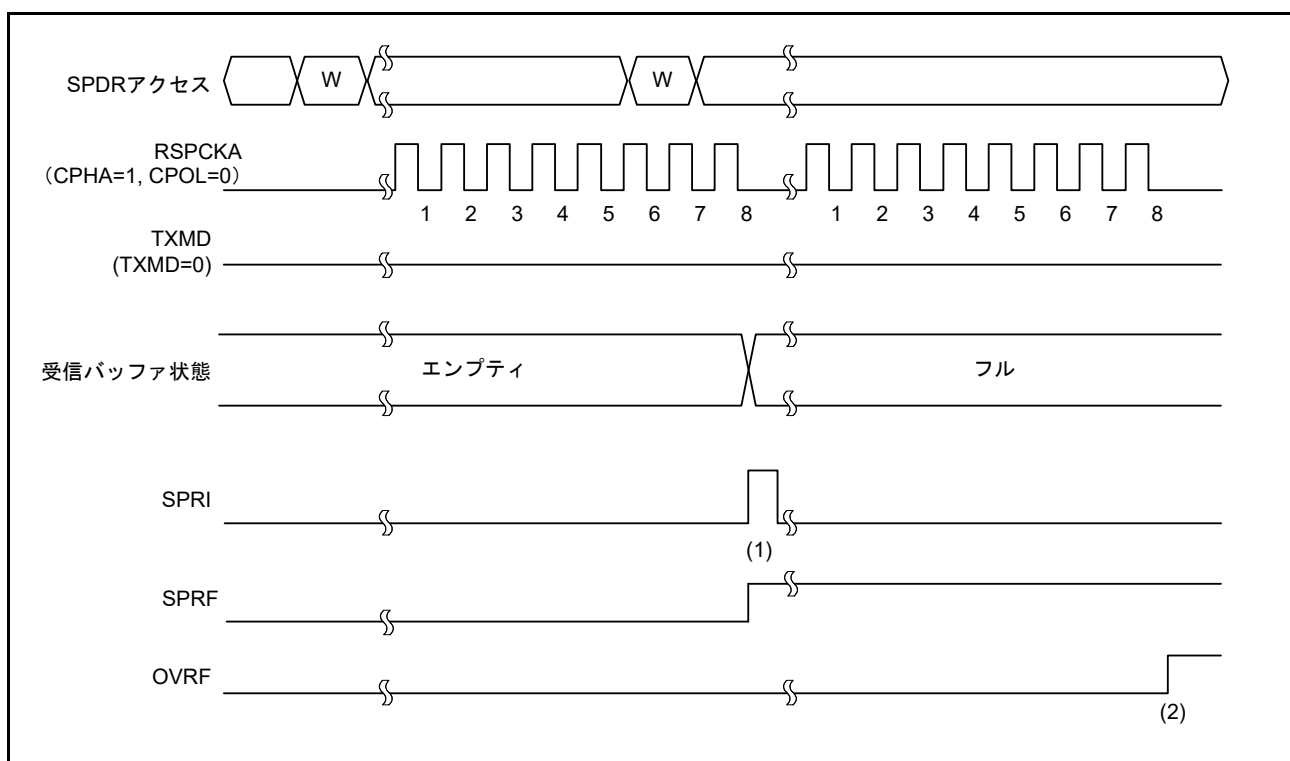


図 29.24 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を発生 (SPSR.SPRF フラグを“1”) してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

全二重同期式シリアル通信時 (SPCR.TXMD = 0) は、送信と同時に受信も行います。そのため、SPSR.SPRF, OVRF フラグは受信バッファの状態に応じて、それぞれ (1)、(2) のタイミングで“1”になります。

29.3.6.2 送信のみ動作 (SPCR.TXMD = 1)

図 29.25 に、SPCR.TXMD ビットを“1”に設定した場合の動作例を示します。図 29.25 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

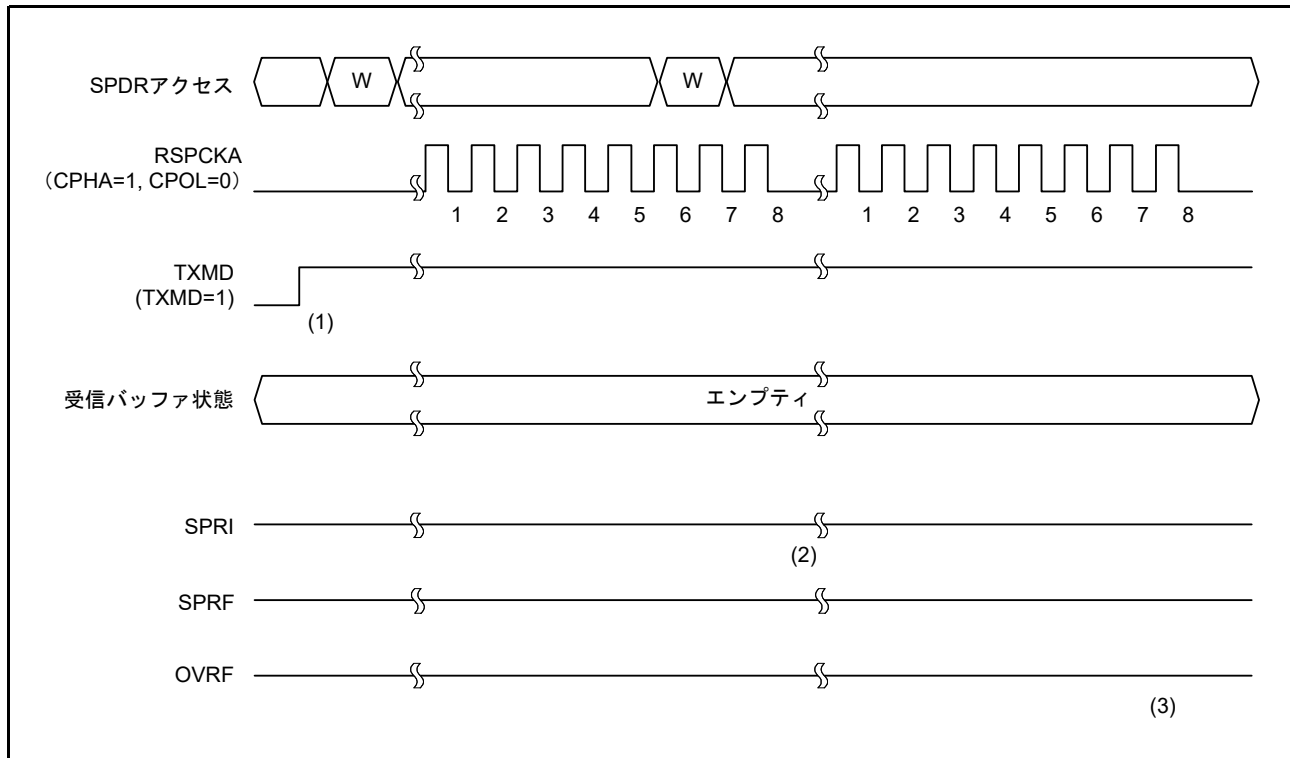


図 29.25 SPCR.TXMD = 1 の動作例

以下に、図中の (1)、(2)、(3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信のみ動作 (SPCR.TXMD = 1) への遷移は、受信バッファにデータが残っていないこと、SPSR.SPRF, OVRF フラグが“0”であることを確認してから、行ってください。
- (2) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみ動作 (SPCR.TXMD = 1) のときは、SPRF フラグは“0”を維持し、シフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作時 (SPCR.TXMD = 1) は、データ送信を実施するだけで、受信は行いません。そのため、SPSR.SPRF, OVRF フラグは (1)、(2)、(3) いずれのタイミングでも“0”を保持します。

29.3.7 送信バッファエンプティ/受信バッファフル割り込み

図 29.26 に送信バッファエンプティ割り込み (SPTI) と受信バッファフル割り込み (SPRI) の動作例を示します。図 29.26 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 29.26 の例では、SPCR.TXMD ビットが“0”、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

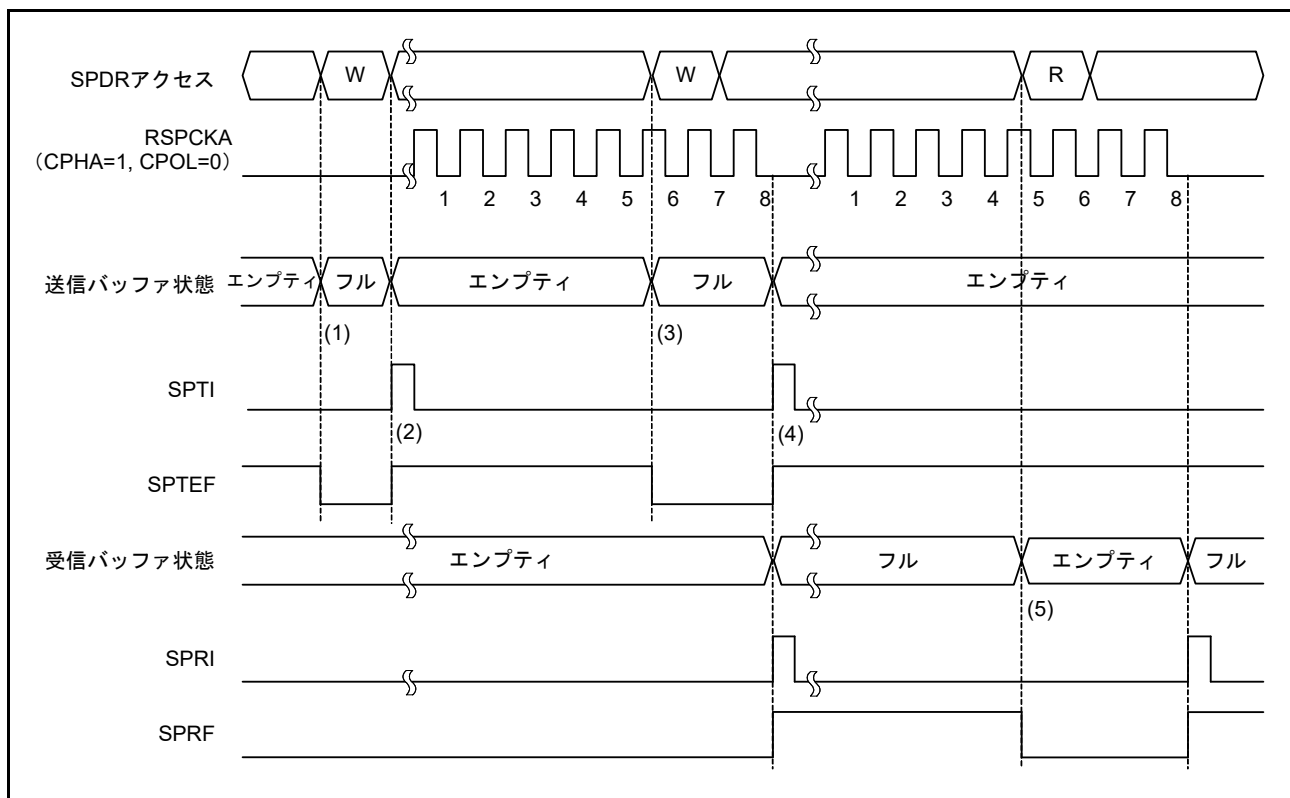


図 29.26 SPTI、SPRI 割り込みの動作例

以下に、図中の (1) ~ (5) に示したタイミングでの割り込みの動作内容を説明します。

- (1) SPDR レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを“0”にします。
- (2) シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPTI) を発生し、SPSR.SPTEF フラグを“1”にします。なお、シリアル転送の開始方法は、RSPI のモードに依存します。(「29.3.10 SPI 動作」、「29.3.11 クロック同期式動作」参照)
- (3) 送信バッファエンプティ割り込みルーチンまたは SPTEF フラグによる送信バッファエンプティ判定処理で、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送され、SPSR.SPTEF フラグが“0”になります。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
- (4) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を発生させ、SPSR.SPRF フラグを“1”にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が SPSR.SPTEF フラグを“1”にして送

信バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

- (5) 受信バッファフル割り込みルーチンまたは SPRF フラグによる受信バッファフル判定処理で、SPDR レジスタを読み出すと、受信データが読み出せます。受信データを読み出すと、SPRF フラグが“0”になります。

送信バッファに未送信のデータがある状態 (SPTEF フラグが“0”) で、SPDR レジスタに送信データを書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR レジスタに送信データを書き込む場合には、送信バッファエンプティ割り込みルーチンまたは SPTEF フラグによる送信バッファエンプティ判定処理で行ってください。また、送信バッファエンプティ割り込みを利用する場合には、SPCR の SPTIE ビットを“1”にしてください。

SPCR.SPE ビットを“0” (RSPI 機能は無効) にするときは、SPCR.SPTIE ビットも同時に“0”にしてください。SPCR.SPE ビットが“0”のときに SPCR.SPTIE ビットが“1”であると、送信バッファエンプティ割り込み要求が発生します。

受信バッファフル (SPRF フラグが“1”) の状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (「29.3.8 エラー検出」参照)。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また RSPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを“1”にしてください。

送信 / 受信バッファの状態は、送信 / 受信割り込み、または対応する ICU の IRn.IR フラグ (n = 割り込みベクタ番号) によって確認することができます。割り込みベクタ番号については、「14. 割り込みコントローラ (ICUb)」を参照してください。また、SPTEF フラグ / SPRF フラグによって確認することもできます。

29.3.8 エラー検出

通常のRSPIのシリアル転送では、SPDRレジスタの送信バッファに書き込んだデータが送信され、受信されたデータをSPDRレジスタの受信バッファから読み出すことができます。SPDRレジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始/終了時のRSPIの状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPIはオーバランエラー、アンダランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表29.8に、通常以外の転送動作とRSPIのエラー検出機能の関係を示します。

表29.8 通常以外の転送の発生条件とRSPIのエラー検出機能

	発生条件	RSPI動作	エラー検出
1	送信バッファフルの状態ですPDRレジスタを書き込み	<ul style="list-style-type: none"> 送信バッファ内容を保持 書き込みデータ欠落 	なし
2	受信バッファエンプティの状態ですPDRレジスタを読み出し	受信が完了していれば受信したデータ、完了していなければ前回受信したデータをバスに出カ	なし
3	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始	シリアル転送を中断 送受信データ欠落 MISO端子のドライブ停止 RSPI機能を無効に設定	アンダランエラー検出
4	受信バッファフルの状態です、シリアル転送が終了	受信バッファ内容を保持 受信データ欠落	オーバランエラー検出
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出
6	マルチマスタモードでシリアル転送アイドル時にSSLA0入力信号アサート	<ul style="list-style-type: none"> RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
7	マルチマスタモードでシリアル転送中にSSLA0入力信号アサート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
8	スレーブモードでシリアル転送中にSSLA0入力信号がネゲート	<ul style="list-style-type: none"> シリアル転送中断 送受信データ欠落 MISO出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出

表29.8の1に示した動作に対しては、RSPIはエラーを検出しません。SPDRレジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求発生時、またはSPSR.SPTEFフラグが“1”のときにSPDRレジスタへの書き込みを実施してください。

2に示した動作に対しても、RSPIはエラーを検出しません。不要なデータを読み出さないようにするためには、RSPI受信バッファフル割り込み要求発生時、またはSPSR.SPRFフラグが“1”のときにSPDRレジスタの読み出しを実行するようにしてください。

3に示したアンダランエラーについては「29.3.8.4 アンダランエラー」で、4に示したオーバランエラーについては「29.3.8.1 オーバランエラー」で、5に示したパリティエラーについては「29.3.8.2 パリティエラー」で説明します。また、6～8に示したモードフォルトエラーについては「29.3.8.3 モードフォルトエラー」で説明します。

なお、送受信の割り込みについては、「29.3.7 送信バッファエンプティ/受信バッファフル割り込み」を参照してください。

29.3.8.1 オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを“1”にします。OVRF フラグが“1”の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを“0”にするためには、OVRF フラグが“1”にセットされた状態の SPSR レジスタを読み出した後に、OVRF フラグに“0”を書く必要があります。

図 29.27 に、SPRF フラグと OVRF フラグの動作を示します。図 29.27 に記載した SPSR アクセスと SPDR アクセスは、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 29.27 の例では、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

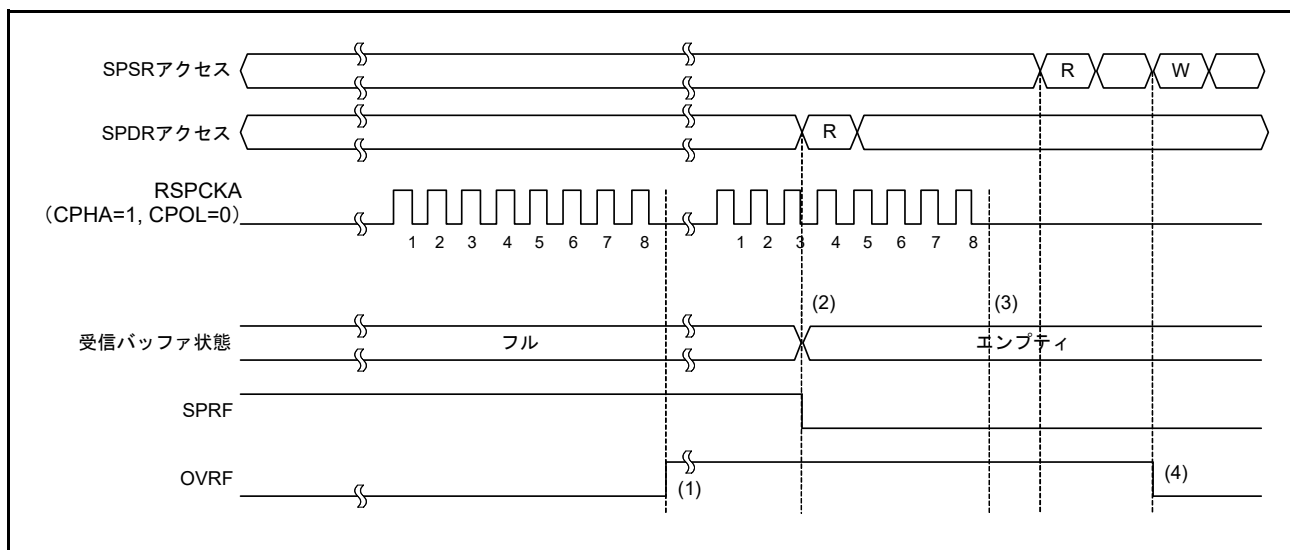


図 29.27 SPRF フラグと OVRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

- (1) 受信バッファフル (SPRF フラグが“1”) の状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを“1”にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) SPDR レジスタを読み出すと、RSPI は受信バッファのデータが読み出せます。このとき SPRF フラグは“0”になります。受信バッファが空になっても、OVRF フラグは“0”になりません。
- (3) OVRF フラグが“1”の状態 (オーバランエラー) でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは“0”のままです)。受信バッファフル割り込みも発生しません。また、SPPE ビット“1”であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
- (4) OVRF フラグが“1”の状態でも SPSR レジスタを読んだ後、OVRF フラグに“0”を書くと、RSPI は OVRF フラグを“0”にします。

オーバランの発生は、SPSR レジスタの読み出しあるいは RSPI エラー割り込みと SPSR レジスタの読み出

しによって確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPiB をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバランエラーが発生して OVRF フラグが“1”になると、OVRF フラグが“0”になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効にした場合は、オーバランエラーが発生しません。図 29.28、図 29.29 にマスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

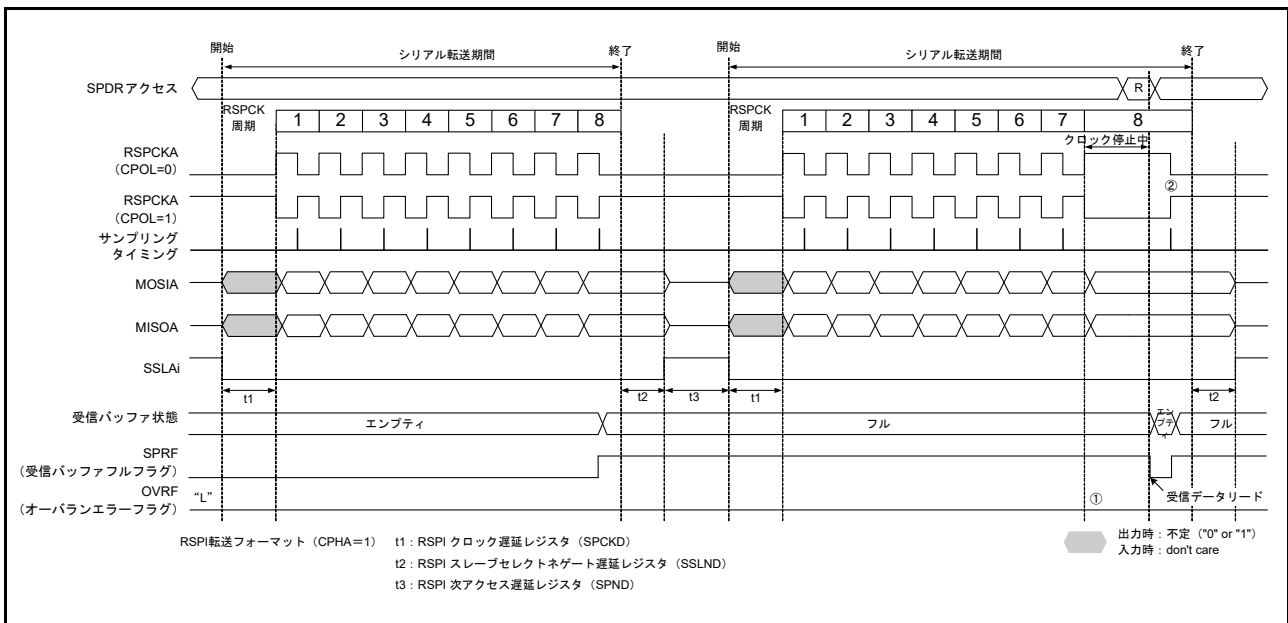


図 29.28 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

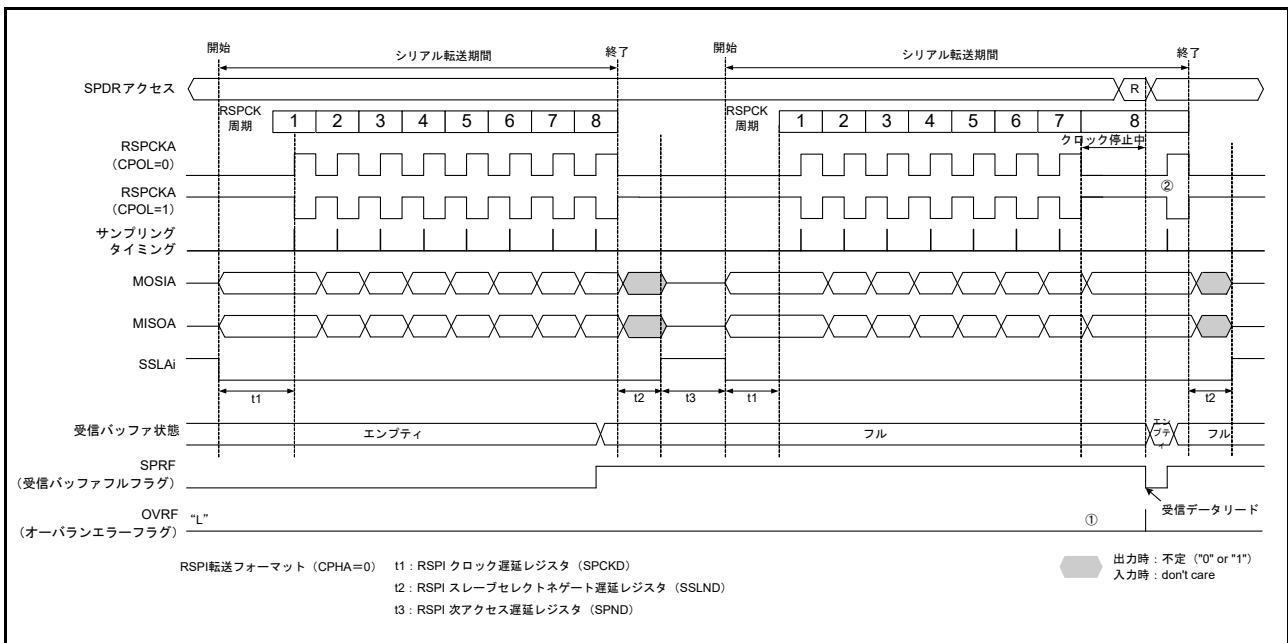


図 29.29 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) 受信バッファフルの場合は、RSPCK クロックが停止するためオーバーランエラーは発生しません。
- (2) クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後 (SPRF フラグが“0”になった後)、RSPCK クロックが再開します。

29.3.8.2 パリティエラー

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態ですべて二重同期式シリアル通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPIは、受信データにパリティエラーを検出すると、SPSR.PERF フラグを“1”にします。SPSR.OVRF フラグが“1”の状態では、RSPIはシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを“0”にするためには、PERF フラグが“1”の状態のSPSRレジスタを読んだ後、PERF フラグに“0”を書く必要があります。

図 29.30 に、OVRF フラグと PERF フラグの動作を示します。図 29.30 に記載した“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 29.30 の例では、SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態ですべて二重同期式シリアル通信を行います。SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

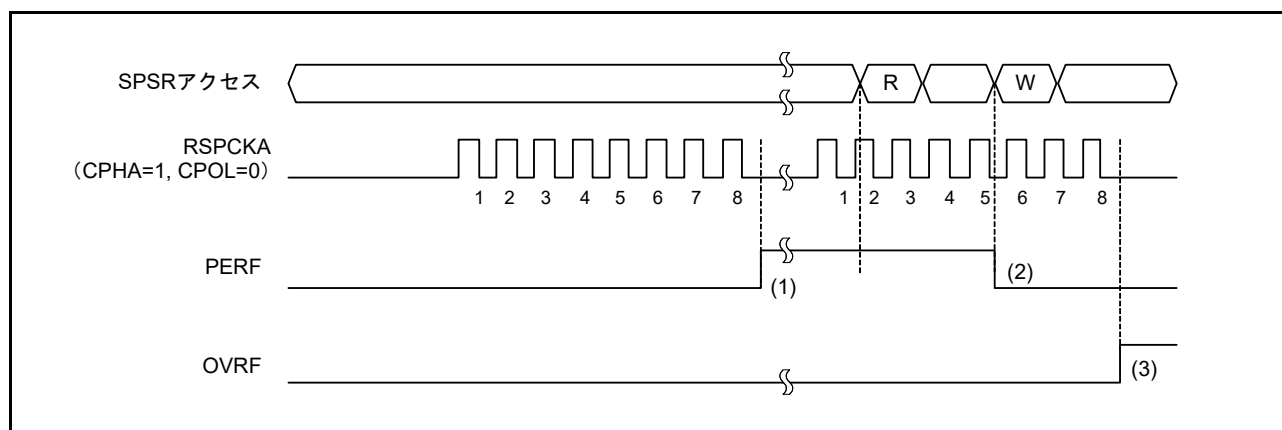


図 29.30 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) RSPI がオーバランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを“1”にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) PERF フラグが“1”の状態ですべてレジスタを読んだ後、PERF フラグに“0”を書くと、PERF フラグが“0”になります。
- (3) RSPI がオーバランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

29.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが“1”、SPCR.SPMS ビットが“0”、SPCR.MODFEN ビットが“1”の場合には、RSPIはマルチマスタモードで動作します。マルチマスタモードのRSPIのSSLA0入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPIはモードフォルトエラーを検出してSPSR.MODFフラグを“1”にします。モードフォルトエラーを検出すると、RSPIはSPSSR.SPECM[2:0]ビットに、SPCMDmレジスタに対するポインタの値をコピーします。なお、SSLA0信号のアクティブレベルは、SSLP.SSL0Pビットによって決定されます。

MSTR ビットが“0”の場合には、RSPIはスレーブモードで動作します。スレーブモードのRSPIのMODFEN ビットが“1”、SPMS ビットが“0”の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）にSSLA0入力信号がネゲートされると、RSPIはモードフォルトエラーを検出します。

RSPIはモードフォルトエラーを検出すると、出力信号のドライブ停止およびSPCR.SPEビットのクリアを実施します（「29.3.9 RSPIの初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブとRSPI機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSRレジスタの読み出し、あるいはRSPIエラー割り込みとSPSRレジスタの読み出しによって確認できます。RSPIエラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSRレジスタをポーリングする必要があります。RSPIをマスタモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。

MODFフラグが“1”の状態では、RSPIはSPEビットへの“1”の書き込みを無視します。モードフォルトエラー検出後にRSPI機能を有効にするためには、MODFフラグを“0”にしてください。MODFフラグを“0”にすると、SPEビットは“1”になります。

29.3.8.4 アンダランエラー

RSPIがスレーブモード（SPCR.MSTR ビットが“0”）で動作している場合、SPCR.SPEビットが“1”（RSPI機能は有効）、かつ送信データをシフトレジスタにセットしていない状態でシリアル転送が開始されると、RSPIはアンダランエラーを検出してSPSRレジスタのMODFフラグとUDRFフラグを“1”にします。

RSPIはアンダランエラーを検出すると、出力信号のドライブを停止しSPEビットを“0”にします。SPEビットが“0”になるとRSPI機能は無効となります（「29.3.9 RSPIの初期化」を参照）。

アンダランエラーの発生は、SPSRレジスタの読み出し、あるいはRSPIエラー割り込みとSPSRレジスタの読み出しによって確認できます。RSPIエラー割り込みを利用せずにアンダランエラーを検出する場合、SPSRレジスタをポーリングする必要があります。

MODFフラグが“1”のとき、RSPIはSPEビットへの“1”書き込みを無視します。アンダランエラー検出後にRSPI機能を有効にするには、MODFフラグを“0”にしてください。MODFフラグを“0”にすると、SPEビットは“1”になります。

29.3.9 RSPIの初期化

SPCR.SPE ビットに“0”を書いた場合、またはモードフォルトエラーやアンダランエラー検出により RSPI が SPE ビットを“0”にした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPI はモジュール機能をすべて初期化します。以下に、SPCR.SPE ビットを“0”にすることによる初期化とシステムリセットによる初期化について説明します。

29.3.9.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを“0”にしたとき、RSPI は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI 内部ステータスの初期化
- RSPI 送信バッファを空にする (SPTEF フラグを“1”にする)

SPE ビットを“0”にする初期化では、RSPI の制御ビットは初期化されません。このため、再度 SPE ビットを“1”にすれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR.SPRF, OVRF, MODF, PERF, UDRF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、RSPI 転送時のエラー発生状況の確認ができます。

送信バッファは空 (SPTEF フラグが“1”) の状態に初期化されます。このため、RSPI 初期化後に SPCR.SPTIE ビットを“1”にしていると、送信バッファエンプティ割り込みが発生します。CPU で RSPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの“0”書き込みと同時に SPTIE ビットにも“0”を書いてください。

29.3.9.2 システムリセット

システムリセットによる初期化では、「29.3.9.1 SPE ビットのクリアによる初期化」に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。

29.3.10 SPI 動作

29.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出（「29.3.8 エラー検出」を参照）のみです。シングルマスタモードのRSPIではモードフォルトエラーを検出しません。マルチマスタモードのRSPIではモードフォルトエラーを検出します。本節では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

RSPI送信バッファが空（SPTEFフラグが“1”、次転送のデータがセットされていない）の状態、SPDRレジスタへデータを書き込むと、RSPIはSPDRレジスタの送信バッファ（SPTX）のデータを更新します。SPDRレジスタへSPDCR.SPFC[1:0]ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIの転送フォーマットの詳細については「29.3.5 転送フォーマット」を参照してください。SSLAi出力端子の極性は、SSLPレジスタの設定値に依存します。

(2) シリアル転送の終了

SPCMDm.CPHAビットにかかわらず、RSPIは最終サンプリングタイミングに対応するRSPCKAエッジを送出するとシリアル転送を終了します。受信バッファ（SPRX）が空（SPRFフラグが“0”）の場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIのデータ長は、SPCMDm.SPB[3:0]ビットの設定値に依存します。SSLAi出力端子の極性は、SSLPレジスタの設定値に依存します。RSPIの転送フォーマットの詳細については「29.3.5 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには RSPI 次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを“1”にして RSPI 機能を許可すると、RSPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

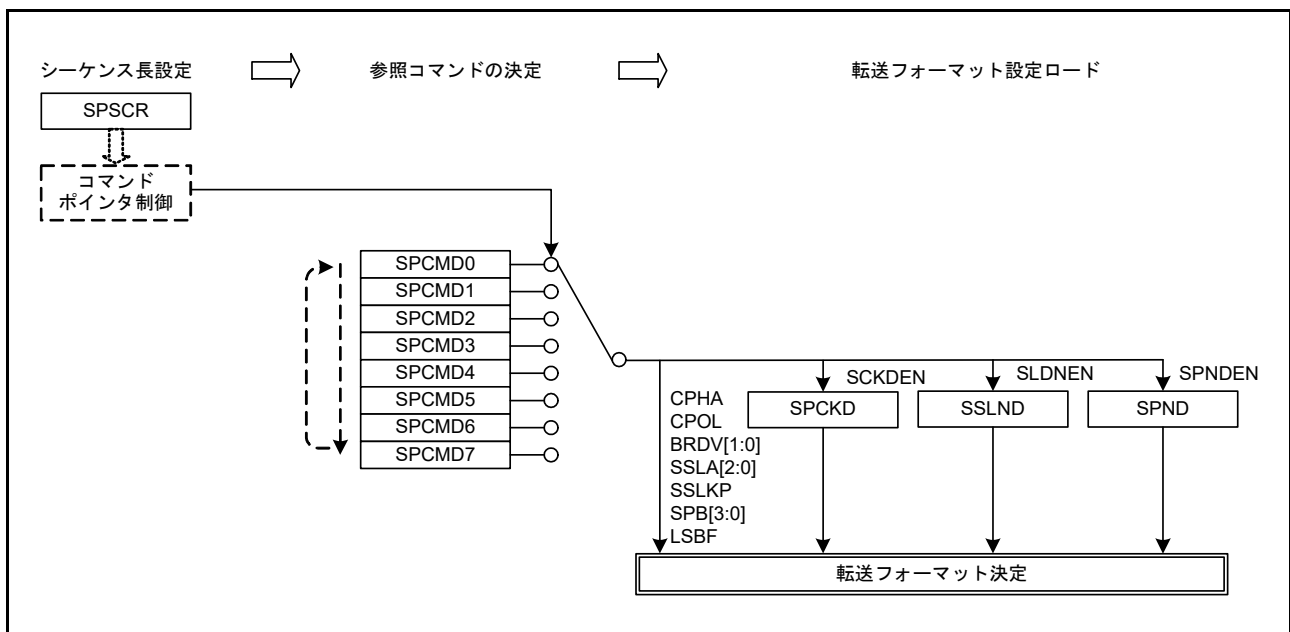


図 29.31 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

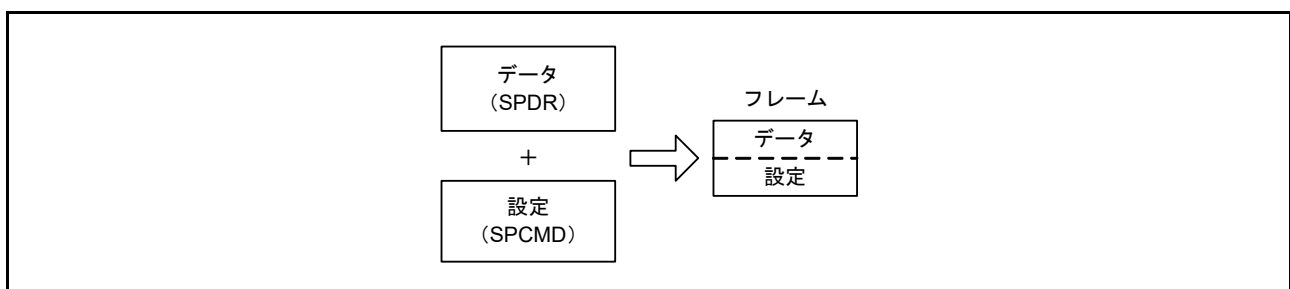


図 29.32 フレームの概念図

表 29.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 29.33 に示します。

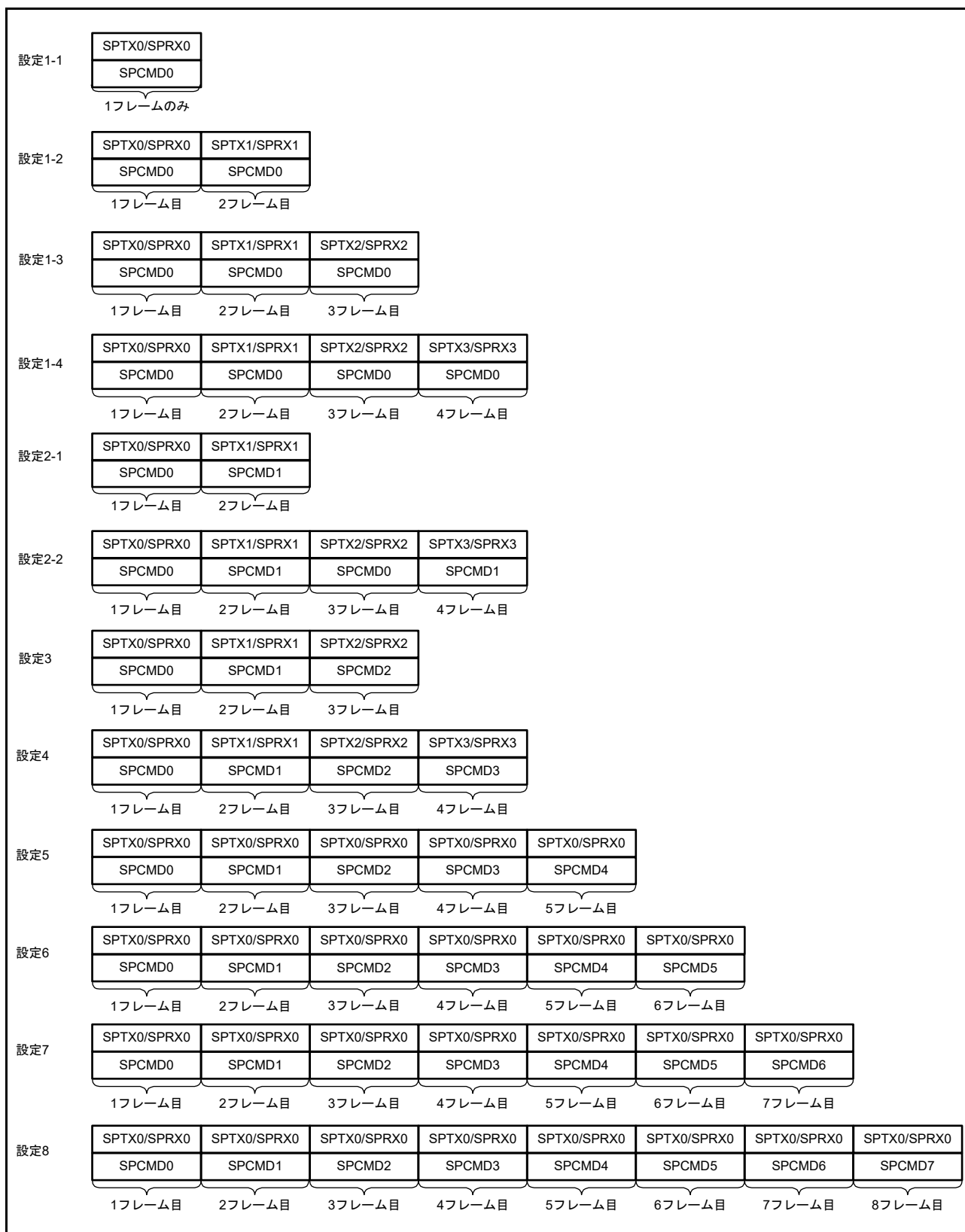


図 29.33 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) バースト転送

RSPI が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが“1”の場合には、RSPI はシリアル転送中の SSLAi 信号レベルを次のシリアル転送の SSLAi 信号アサート開始まで保持します。次のシリアル転送での SSLAi 信号レベルが、現在のシリアル転送での SSLAi 信号レベルと同じであれば、RSPI は SSLAi 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます (バースト転送)。

図 29.34 に、SPCMD0、SPCMD1 レジスタの設定を使用してバースト転送を実現した場合の SSLAi 信号動作例を示します。図 29.34 に記載した (1) ~ (7) の RSPI 動作内容について、以下に説明します。なお、SSLAi 出力信号の極性は、SSLP レジスタの設定値に依存します。

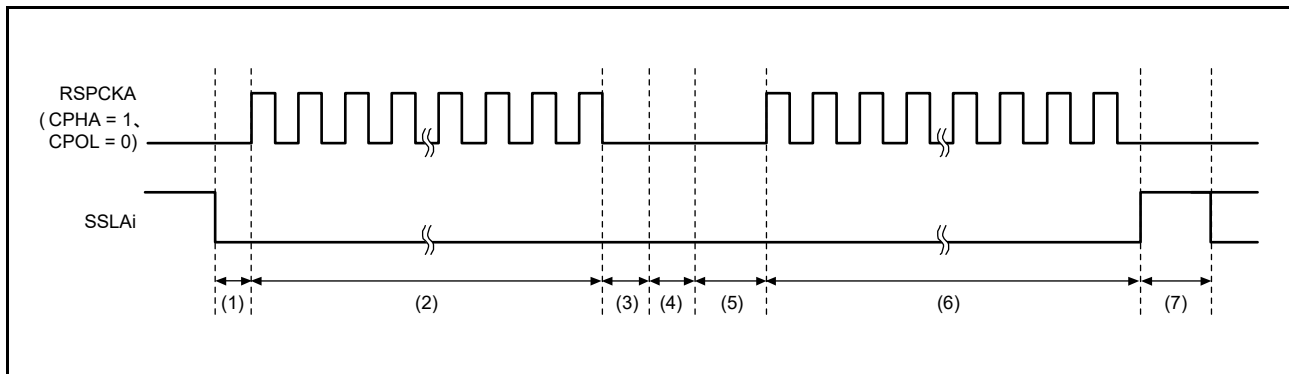


図 29.34 SSLKP ビットを利用したバースト転送動作の例

- (1) SPCMD0 レジスタに従った SSLAi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (2) SPCMD0 レジスタに従ったシリアル転送を実行します。
- (3) SSL ネゲート遅延を挿入します。
- (4) SPCMD0.SSLKP ビットが“1”であるため、SPCMD0 レジスタでの SSLAi 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
- (5) SPCMD1 レジスタに従った SSLAi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (6) SPCMD1 レジスタに従ったシリアル転送を実行します。
- (7) SPCMD1.SSLKP ビットが“0”であるため、SSLAi 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを“1”にした SPCMDm レジスタでの SSLAi 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLAi 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSLAi 信号のアサート時 (図 29.34 の (5)) に SSLAi 信号状態を切り替えます。このような SSLAi 信号の切り替えが発生した場合、MISOA をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPI は、SSLKP ビットを使用しない場合の SSLAi 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが“0”の場合でも、RSPI は内部で検出した次転送の SSLAi 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます。

(5) RSPCK 遅延 (t1)

マスタモードのRSPIのRSPCK遅延値は、SPCMDm.SCKDENビットの設定とSPCKDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SCKDENビットとSPCKDレジスタを使用して、表29.9のようにシリアル転送時のRSPCK遅延値を決定します。なお、RSPCK遅延の定義については、「29.3.5 転送フォーマット」を参照してください。

表29.9 SCKDENビット、SPCKDレジスタとRSPCK遅延値の関係

SPCMDm.SCKDENビット	SPCKD.SCKDL[2:0]ビット	RSPCK遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(6) SSLネゲート遅延 (t2)

マスタモードのRSPIのSSLネゲート遅延値は、SPCMDm.SLNDENビットの設定とSSLNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SLNDENビットとSSLNDレジスタを使用して、表29.10のようにシリアル転送時のSSLネゲート遅延値を決定します。なお、SSLネゲート遅延の定義については、「29.3.5 転送フォーマット」を参照してください。

表29.10 SLNDENビット、SSLNDレジスタとSSLネゲート遅延値の関係

SPCMDm.SLNDENビット	SSLND.SLNDL[2:0]ビット	SSLネゲート遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(7) 次アクセス遅延 (t3)

マスタモードのRSPIの次アクセス遅延は、SPCMDm.SPNDENビットの設定とSPNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SPNDENビットとSPNDレジスタを使用して、表29.11のようにシリアル転送時のRSPCK遅延を決定します。なお、次アクセス遅延の定義については、「29.3.5 転送フォーマット」を参照してください。

表29.11 SPNDENビット、SPNDレジスタと次アクセス遅延値の関係

SPCMDm.SPNDENビット	SPND.SPNDL[2:0]ビット	次アクセス遅延値
0	000b ~ 111b	1 RSPCK + 2 PCLK
1	000b	1 RSPCK + 2 PCLK
	001b	2 RSPCK + 2 PCLK
	010b	3 RSPCK + 2 PCLK
	011b	4 RSPCK + 2 PCLK
	100b	5 RSPCK + 2 PCLK
	101b	6 RSPCK + 2 PCLK
	110b	7 RSPCK + 2 PCLK
	111b	8 RSPCK + 2 PCLK

(8) 初期化フロー

図 29.35 に、SPI 動作時、RSPI をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、入出力ポートの設定方法については各ブロックの説明を参照してください。

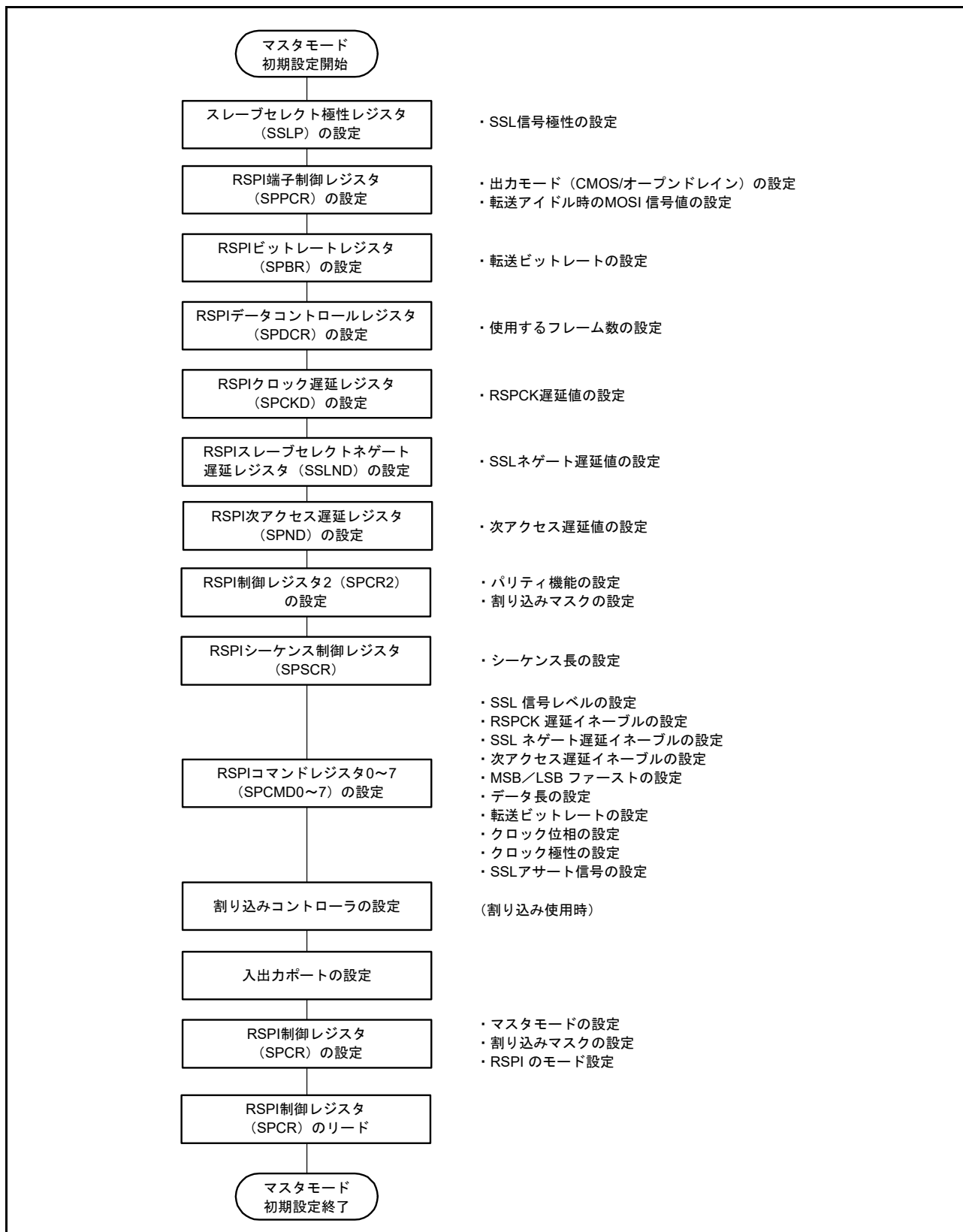


図 29.35 マスターモード時の初期化フロー例 (SPI 動作)

(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 29.36 ~ 図 29.38 に示します。

(a) 送信処理フロー

送信を行う場合、最終データの書き込み完了後 SPII 割り込みを許可することによって、全データ送信完了を CPU に通知することが可能です。

SPII 割り込みの代わりに、SPSR.IDLNF フラグが“0”になったかどうかをポーリングすることでも全データ送信完了を確認できます。ただし、SPDR レジスタに送信データを書き込んでから IDLNF フラグが“1”になるまでには、PCLK で 1 サイクル必要です。SPDR レジスタに最終データを書いた後は、“1”になる前の IDLNF フラグで判定しないように、一度 SPSR レジスタの値を読み捨てて、次に読み出した SPSR.IDLNF フラグの値から全データ送信完了の確認に使用してください。

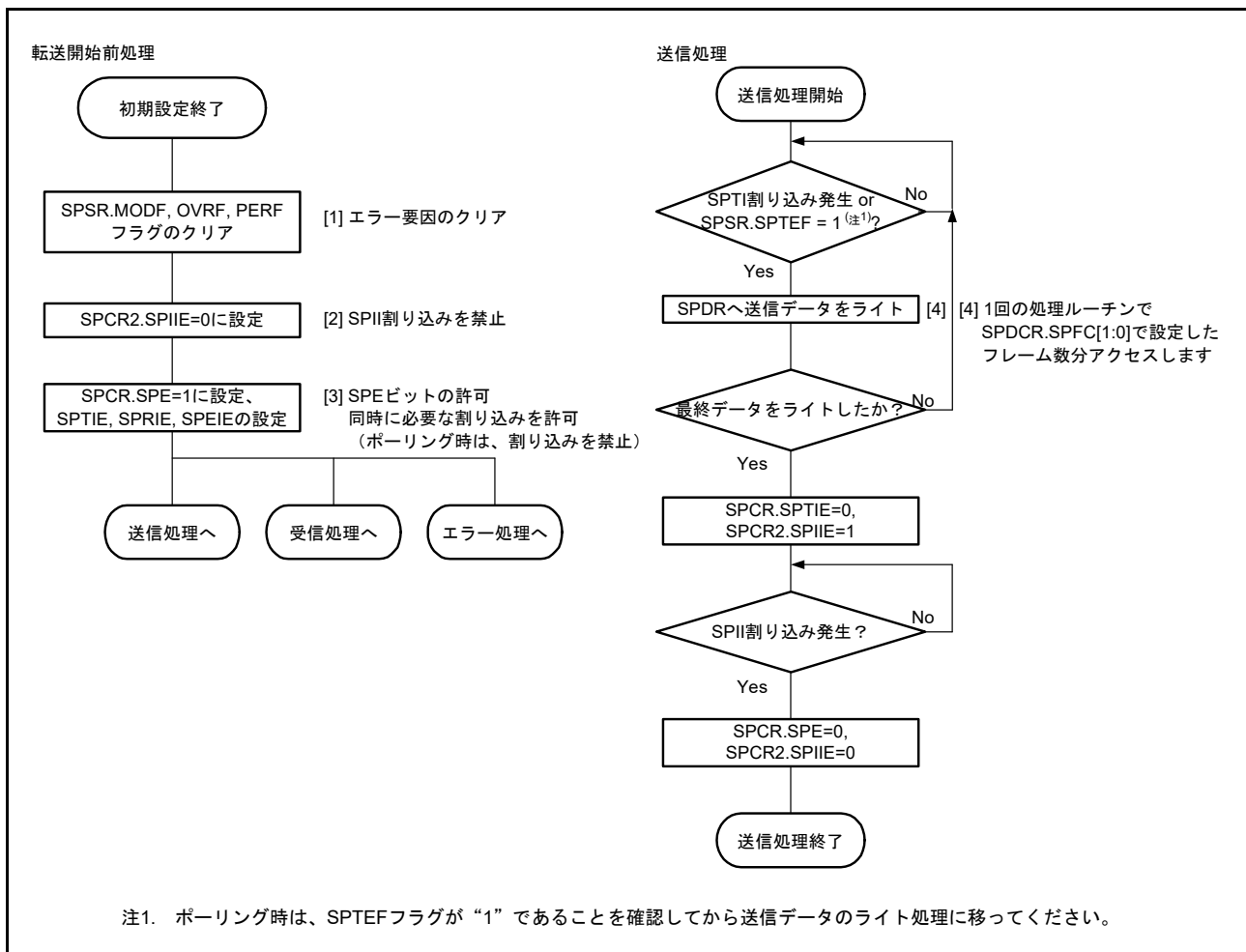


図 29.36 マスタモード時のフローチャート (送信)

(b) 受信処理フロー

RSPIは受信のみの動作を持たないため、送信を必要とします。

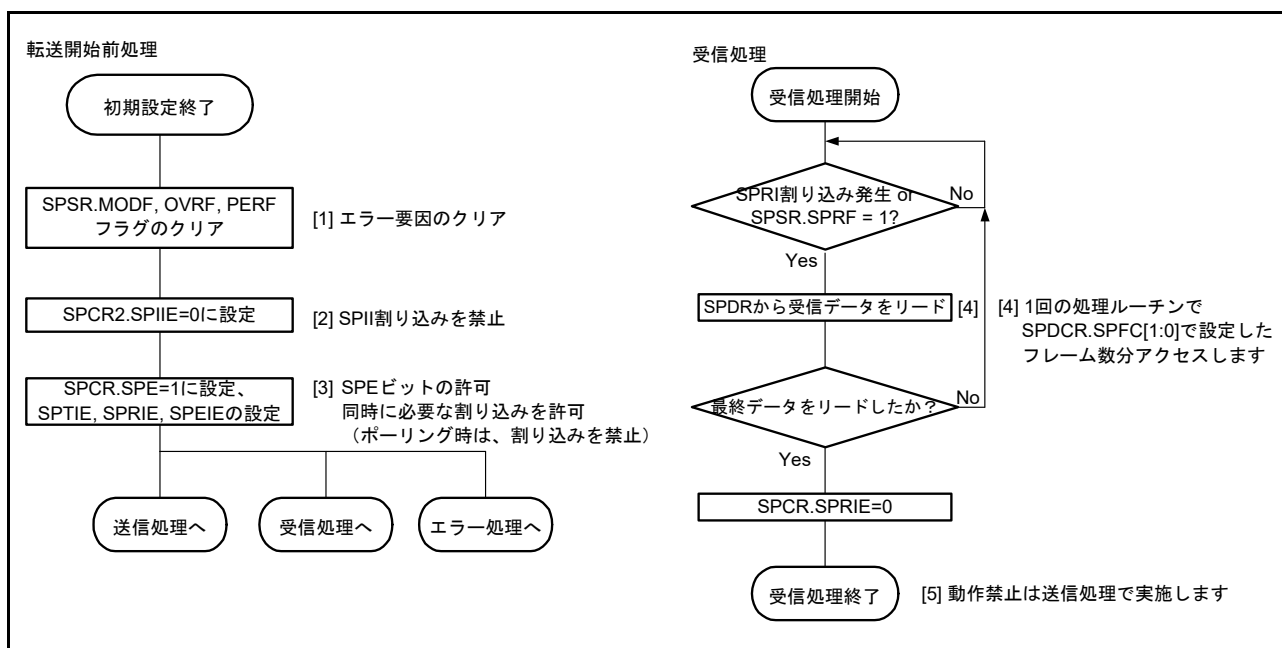


図 29.37 マスタモード時のフローチャート (受信)

(c) エラー処理フロー

RSPIは3種類のエラーを持ちます。モードフォルトエラー発生時は、SPCR.SPEビットが自動的にクリアされ、送信/受信動作を停止させます。しかし、その他のエラー要因ではSPCR.SPEビットはクリアされず送信/受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0]ビットが更新されてしまうため、SPCR.SPEビットをクリアし動作を停止することを推奨します。

割り込み使用時にエラーが発生したときは、ICU.IRn.IRフラグにSPTI割り込みまたはSPRI割り込み要求が保持されている可能性がありますので、エラー処理にてICU.IRn.IRフラグをクリアしてください。また、SPRI割り込み要求が保持されている場合、受信バッファを読み出してRSPIの内部シーケンサを初期化してください。

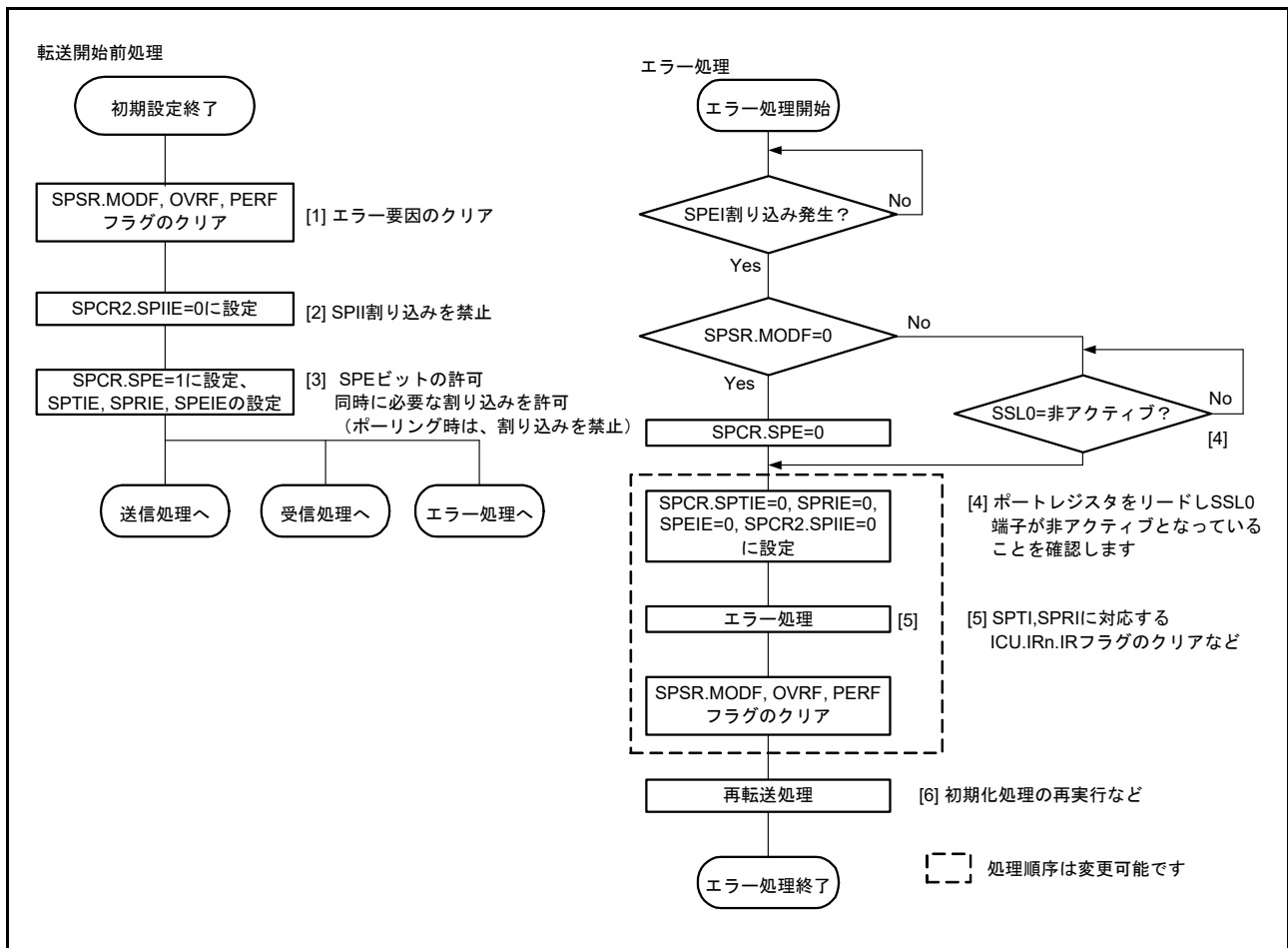


図 29.38 マスタモード時のフローチャート (エラー)

29.3.10.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが“0”の場合、RSPIはSSLA0入力信号のアサートを検出すると、MISOA出力信号への有効データのドライブを開始する必要があります。このため、CPHAビットが“0”の場合には、SSLA0入力信号のアサートがシリアル転送開始のトリガになります。

CPHAビットが“1”の場合には、RSPIはSSLA0入力信号のアサート状態で最初のRSPCKAエッジを検出すると、MISOA出力信号への有効データのドライブを開始する必要があります。このため、CPHAビットが“1”の場合には、SSLA0信号アサート状態における最初のRSPCKAエッジがシリアル転送開始のトリガになります。

CPHAビットの設定に依存せず、RSPIがMISOA出力信号のドライブを開始するタイミングは、SSLA0信号アサートタイミングです。CPHAビットの設定によって、RSPIが出力するデータの有効/無効が異なります。

なお、RSPIの転送フォーマットの詳細については、「29.3.5 転送フォーマット」を参照してください。SSLA0入力信号の極性は、SSLP.SSL0Pビットの設定値に依存します。

(2) シリアル転送の終了

SPCMD0.CPHAビットにかかわらず、RSPIは最終サンプリングタイミングに相当するRSPCKAエッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合（SPRFフラグが“0”の場合）には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態に関わらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間にRSPIがSSLA0入力信号のネゲートを検出するとモードフォルトエラーが発生します（「29.3.8 エラー検出」を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。SSLA0入力信号の極性は、SSLP.SSL0Pビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「29.3.5 転送フォーマット」を参照してください。

(3) シングルスレーブ時の注意点

SPCMD0.CPHAビットが“0”の場合には、RSPIはSSLA0入力信号のアサートエッジを検出するとシリアル転送を開始します。図29.7の例に示したような構成でRSPIをシングルスレーブで使用する場合には、SSLA0入力信号がアクティブ状態に固定されるため、CPHAビットを“0”に設定したRSPIではシリアル転送を正しく開始できません。SSLA0入力信号をアクティブ状態に固定する構成で、スレーブモードRSPIの送受信を正しく実行するためには、CPHAビットを“1”にしてください。CPHAビットを“0”にする必要がある場合には、SSLA0入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが“1”の場合には、SSLA0 入力信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。CPHA ビットが“1”の場合には、SSLA0 入力信号アクティブ状態における最初の RSPCKA エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLA0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが“0”の場合には、バースト転送の2回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 29.39 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、入出力ポートの設定方法については各ブロックの説明を参照してください。

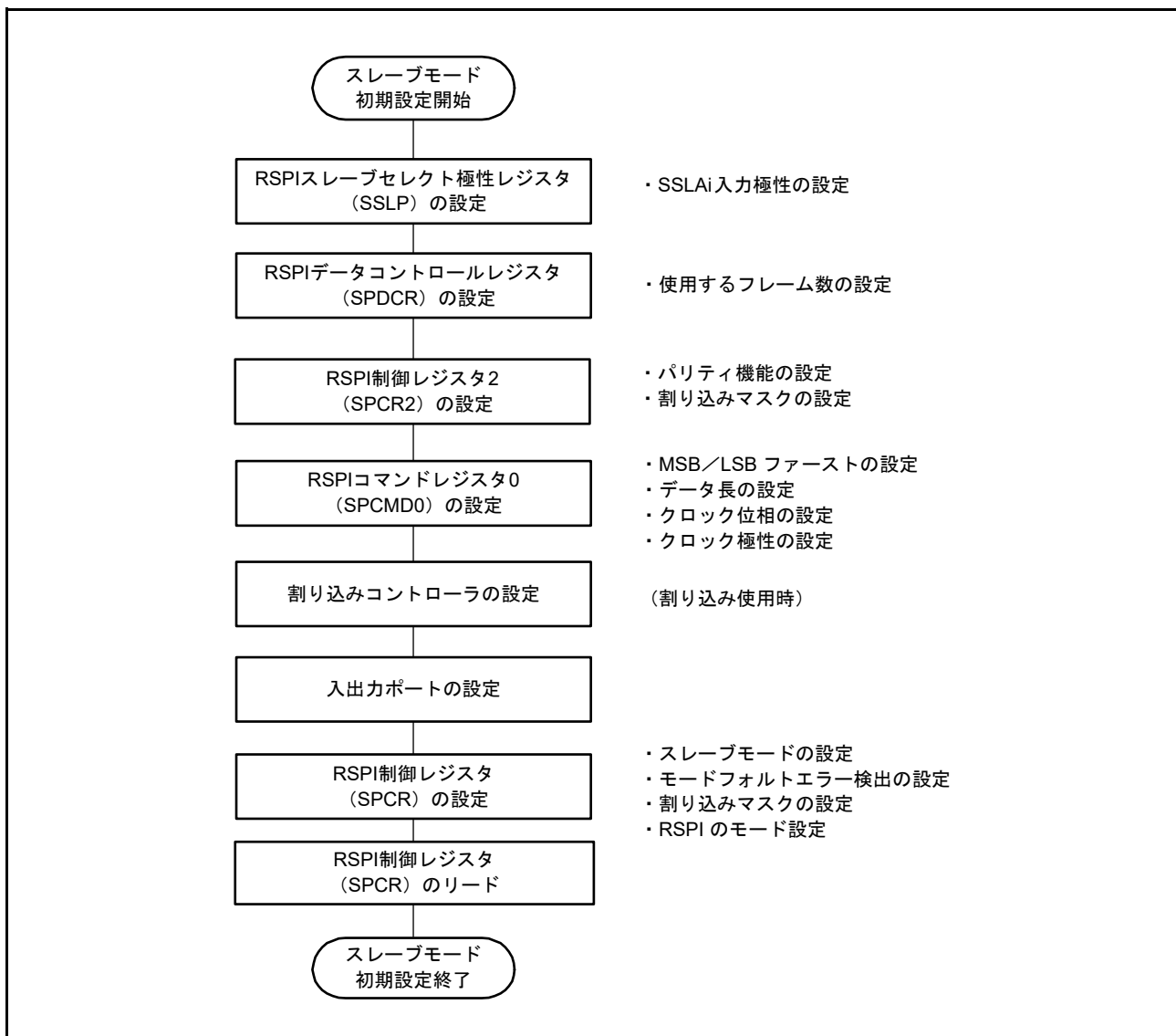


図 29.39 スレーブモード時の初期化フロー例 (SPI 動作)

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 29.40 ~ 図 29.42 に示します。

(a) 送信処理フロー

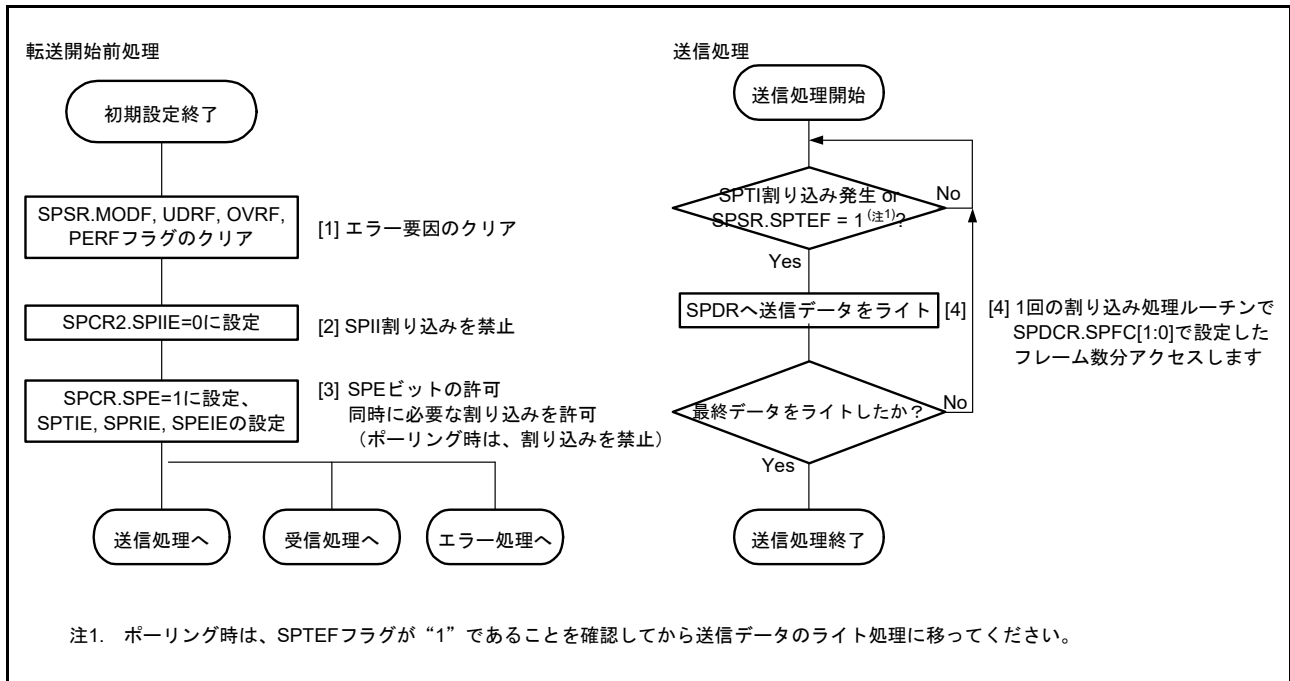


図 29.40 スレープモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの動作を持たないため、送信を必要とします。

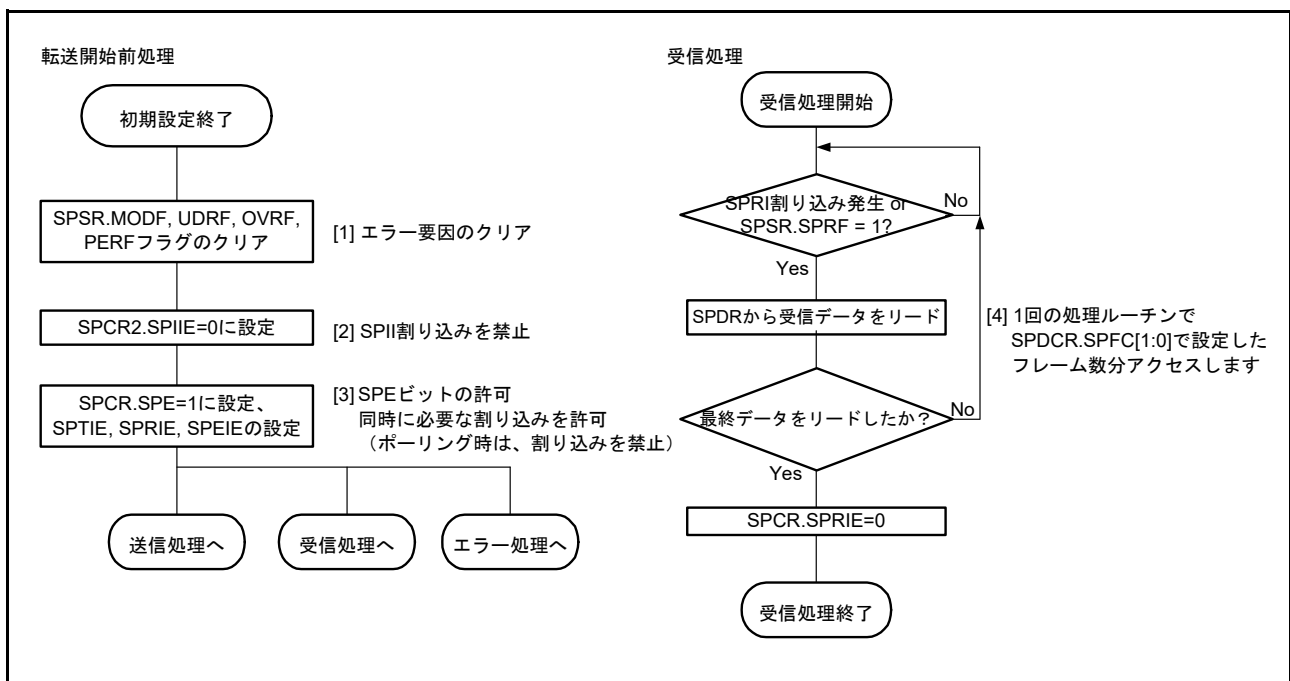


図 29.41 スレープモード時のフローチャート (受信)

(c) エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても SSLA0 端子の状態にかかわらず、SPSR.MODF フラグをクリアすることができます。

割り込み使用時にエラーが発生したときは、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性があるためエラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

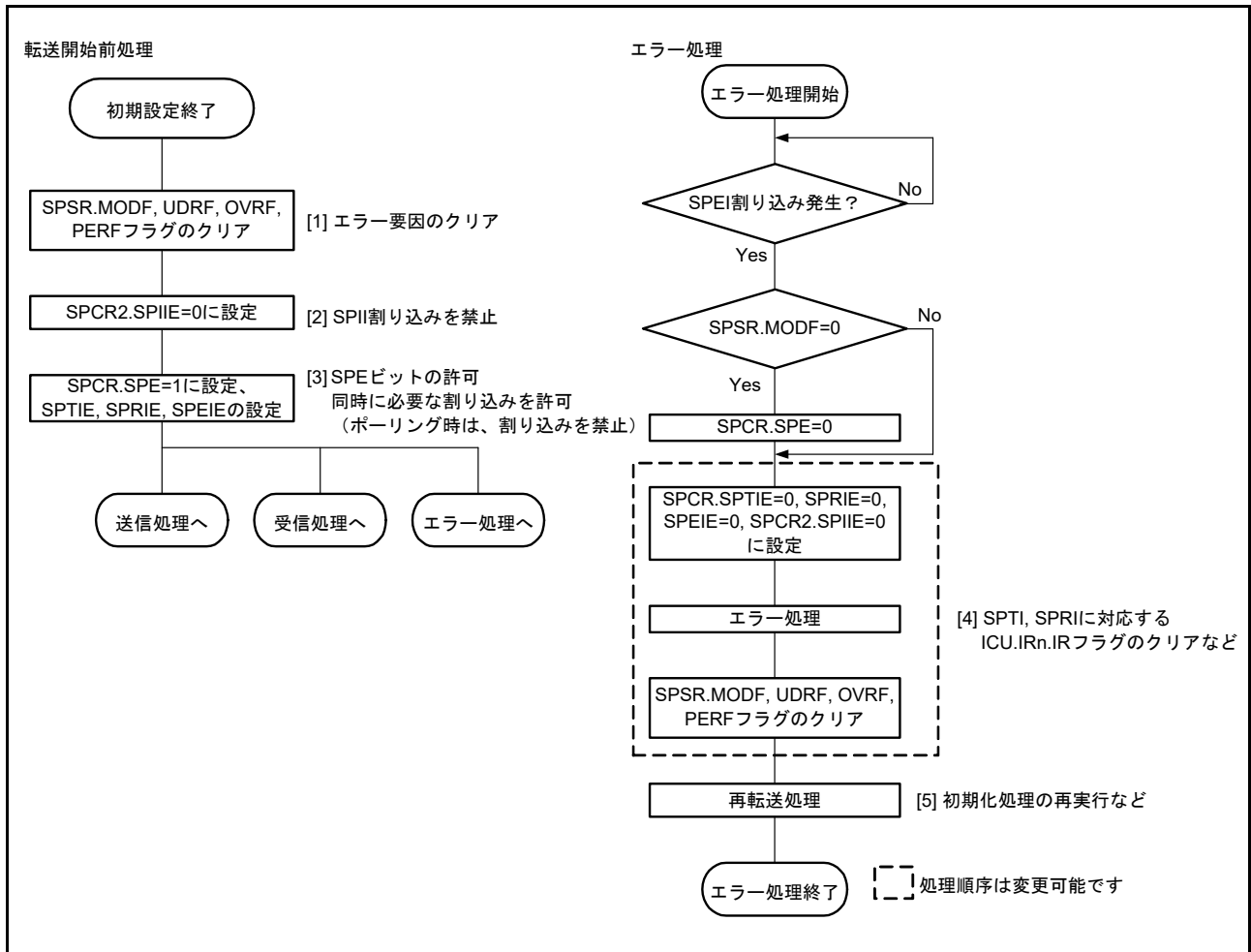


図 29.42 スレーブモード時のフローチャート (エラー処理)

29.3.11 クロック同期式動作

RSPIは、SPCR.SPMSビットが“1”であるとき、クロック同期式動作となります。クロック同期式動作は、SSLAi端子を使用せず、RSPCKA、MOSIA、MISOAの3本の端子を用いて通信を行い、SSLAi端子はI/Oポートとして使用することができます。

クロック同期式動作は、SSLAi端子を使用せず通信を行います。モジュール内部の動作はSPI動作と同様の動作を行います。マスタ動作、スレーブ動作において、SPI動作時と同様のフローで通信を行うことができますが、SSLAi端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを“0”にした場合の動作はしないでください。

29.3.11.1 マスタモード動作

(1) シリアル転送の開始

送信バッファが空 (SPSR.SPTEF フラグが“1”、次転送のデータがセットされていない) の状態で、SPDRレジスタへデータを書くと、RSPIはSPDRレジスタの送信バッファ (SPTX) のデータを更新します。SPDRレジスタへSPDCR.SPFC[1:0]ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIの転送フォーマットの詳細については、「29.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0出力信号を用いずに通信を行います。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに対応するRSPCKAエッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF フラグが“0”) の場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIのデータ長は、SPCMDm.SPB[3:0]ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「29.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0出力信号を用いずに通信を行います。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCRレジスタ、SPCMDmレジスタ、SPBRレジスタ、SPCKDレジスタ、SSLNDレジスタ、SPNDレジスタによって決定されます。クロック同期式動作時は、SSLAi信号の出力を行いませんが、これらの設定は有効です。

SPSCRレジスタは、マスタモードのRSPIで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDmレジスタには、SSLAi出力信号値、MSB/LSBファースト、データ長、ビットレート設定の一部、RSPCKA極性/位相、SPCKDレジスタの参照要否、SSLNDレジスタの参照要否、SPNDレジスタの参照要否が設定されています。SPBRレジスタにはビットレート設定の一部、SPCKDレジスタにはRSPIクロック遅延値、SSLNDレジスタにはSSLネゲート遅延、SPNDレジスタには次アクセス遅延値が設定されています。

RSPIは、SPSCRレジスタに設定されたシーケンス長に従って、SPCMDmレジスタの一部/全部からなるシーケンスを構成します。RSPIには、シーケンスを構成しているSPCMDmレジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0]ビットの読み出しによって確認できます。SPCR.SPEビットが“1”でRSPI動作が許可された状態にすると、RSPIはコマンドに対するポインタをSPCMD0レジ

スタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIはポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

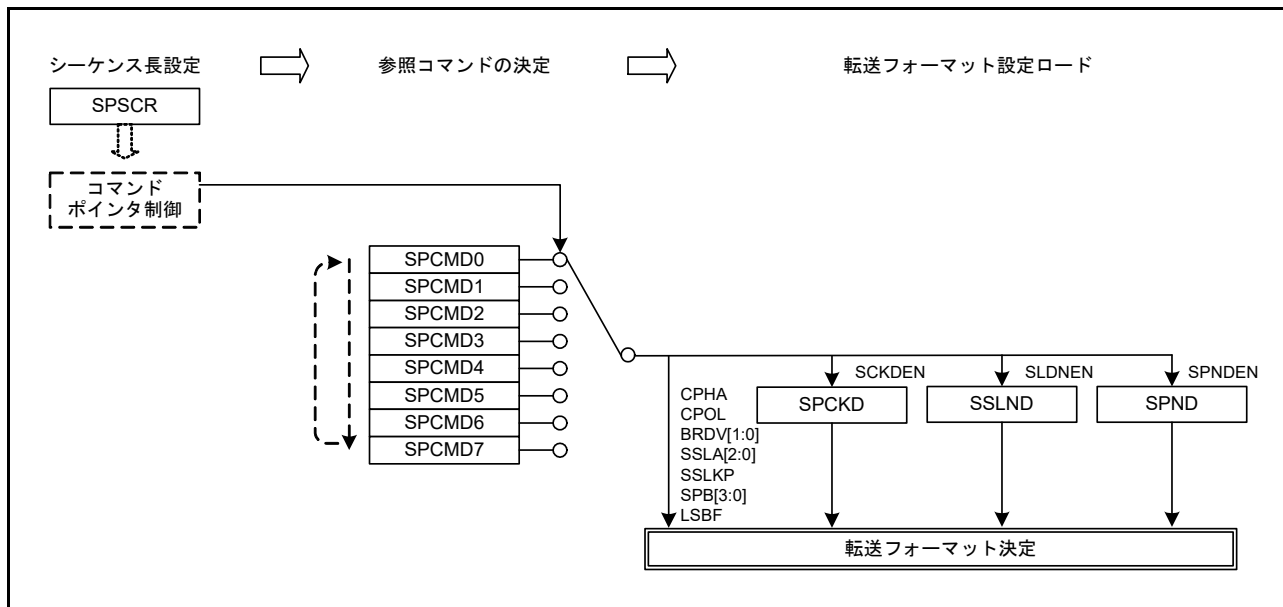


図 29.43 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

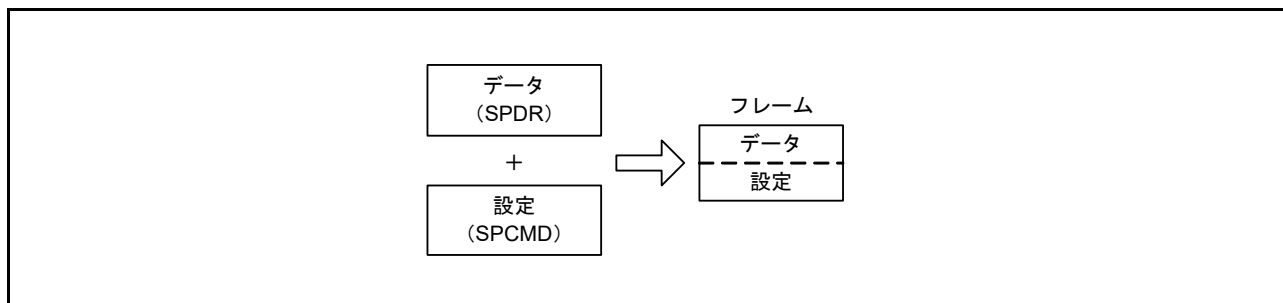


図 29.44 フレーム概念図

表 29.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 29.45 に示します。

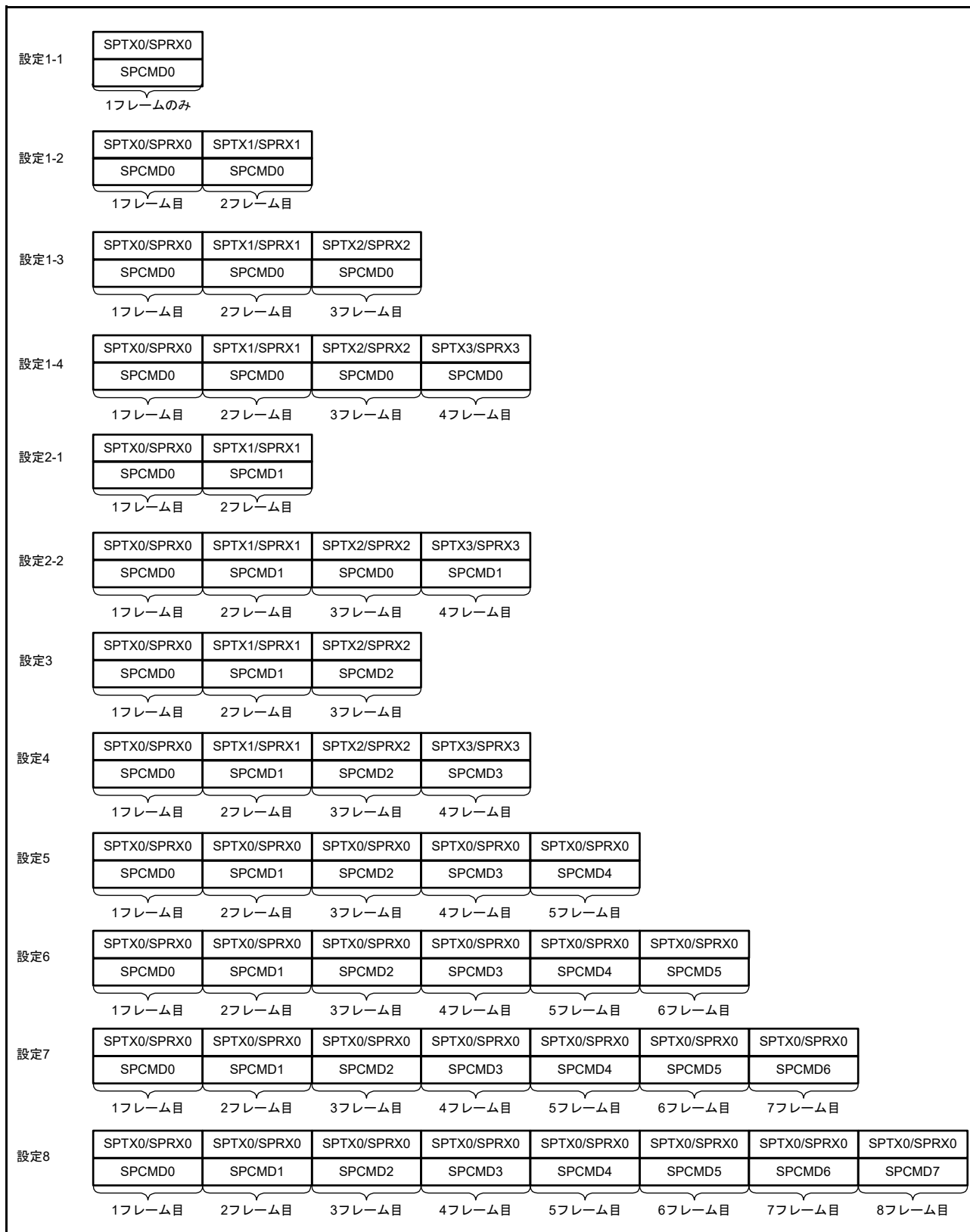


図 29.45 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) 初期化フロー

図 29.46 に、クロック同期式動作時の RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、入出力ポートの設定方法については、各ブロックの説明を参照してください。

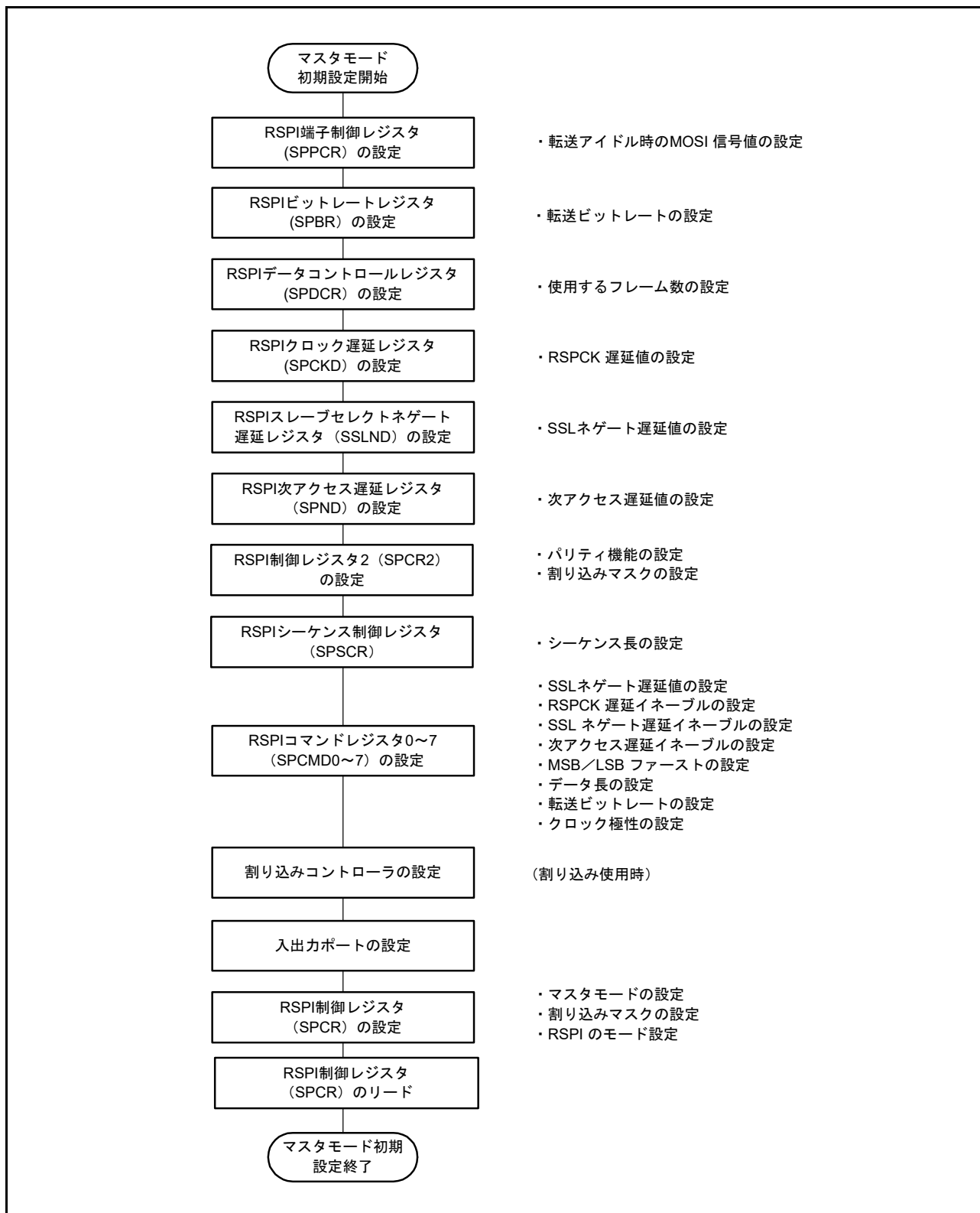


図 29.46 マスタモード時の初期化フロー例 (クロック同期式動作)

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「29.3.10.1 (9) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

29.3.11.2 スレーブモード動作

(1) シリアル転送の開始

RSPIは、SPCR.SPMSビットが“1”であるとき、最初のRSPCKAエッジがシリアル転送開始のトリガになります。

SPMSビットが“1”であるときは、RSPIはMISOA出力信号をドライブします。

なお、RSPIの転送フォーマットの詳細については、「29.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時はSSLA0入力信号を使用しません。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに相当するRSPCKAエッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRFフラグが“0”) の場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「29.3.5 転送フォーマット」を参照してください。

(3) 初期化フロー

図 29.47 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、入出力ポートの設定方法については、各ブロックの説明を参照してください。

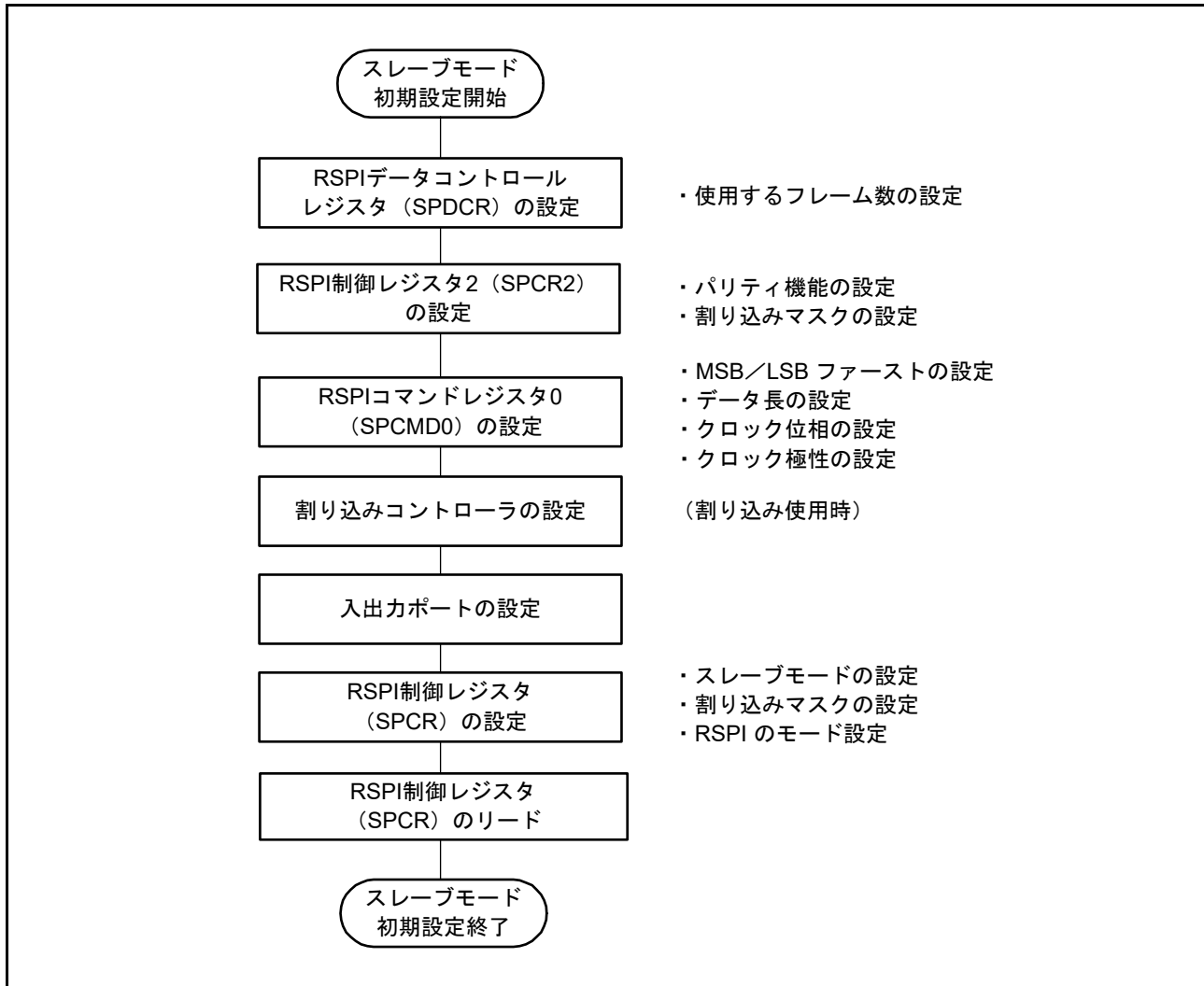


図 29.47 スレーブモード時の初期化フロー例 (クロック同期式動作)

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「29.3.10.2 (6) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

29.3.12 ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに“1”を書くと、RSPIは SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが“1”ならば、MOSIA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MISOA 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 29.12 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、図 29.48 に、マスターモードの RSPI をループバックモード (SPPCR.SPLP2 = 0、SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 29.12 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIA 端子または MISOA 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

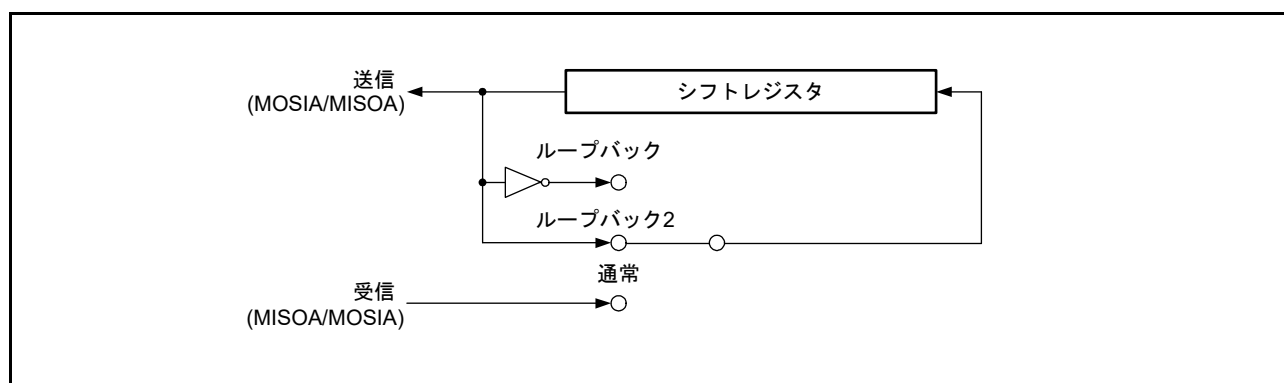


図 29.48 ループバックモード時のシフトレジスタ入出力構成 (マスターモード)

29.3.13 パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 29.49 に示すのフローに従い、パリティ回路の自己診断を行います。

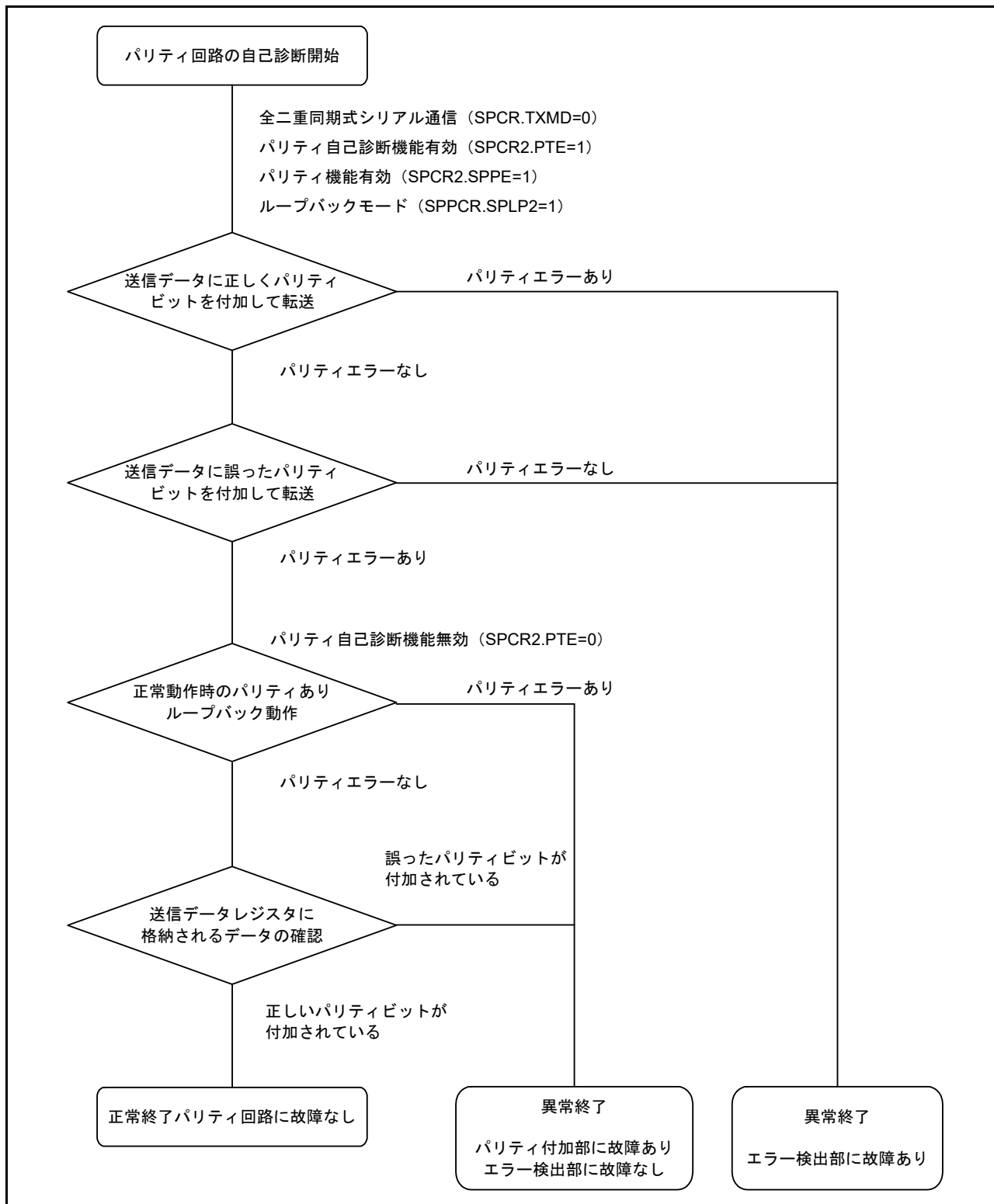


図 29.49 パリティ回路の自己判断フロー

29.3.14 割り込み要因

RSPIの割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、アンダラン、オーバラン、パリティエラー、RSPIアイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求でDTCを起動し、データ転送を行うことができます。

モードフォルト、アンダラン、オーバラン、パリティエラーの割り込み要求がSPEIのベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表29.13にRSPIの割り込み要因を示します。表29.13の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DTCを使って送受信を行う場合は、先にDTCを設定し、許可状態にしてからRSPIの設定を行ってください。DTCの設定方法は「17. データトランスファコントローラ (DTCa)」を参照してください。

送信バッファエンプティ割り込み、および受信バッファフル割り込みは、ICU.IRn.IRフラグが“1”のときに割り込み発生条件となっても、ICUに対して割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1要因ごとに1要求までです）。ICU.IRn.IRフラグが“0”になると、ICUに対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると、保持している割り込み要求は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット（SPCR.SPTIEビットまたはSPCR.SPRIEビット）を“0”にすることでクリアが可能です。

表29.13 RSPIの割り込み要因

割り込み要因	略称	割り込み条件	DTC起動
受信バッファフル	SPRI	SPCR.SPRIEビットが“1”の状態を受信バッファフル（SPRFフラグが“1”）になったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIEビットが“1”の状態を送信バッファエンプティ（SPTEFフラグが“1”）になったとき	可能
RSPIエラー（モードフォルト、アンダラン、オーバラン、パリティエラー）	SPEI	SPCR.SPEIEビットが“1”の状態でSPSR.MODF、OVRF、またはPERFフラグが“1”になったとき	不可能
RSPIアイドル	SPII	SPCR2.SPIIEビットが“1”の状態にIDLNFフラグが“0”になったとき	不可能

29.4 使用上の注意事項

29.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、RSPI の動作禁止/許可を設定できます。リセット後の値では、RSPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「11. 消費電力低減機能」を参照してください。

29.4.2 消費電力低減機能の注意事項

モジュールストップ機能の使用、およびスリープモードを除く低消費電力モードに遷移する場合は、あらかじめ SPCR.SPE ビットを“0”に設定し通信を終了させてください。

29.4.3 通信の開始に関する注意事項

ICU.IRn.IR フラグが“1”で通信を開始すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

通信開始時点で ICU.IRn.IR フラグが“1”のときは、動作許可 (SPCR.SPE ビットを“1”にする) 前に下記の手順で割り込み要求をクリアしてください。

- (1) 通信が停止していること (SPCR.SPE ビットが“0”となっていること) を確認
- (2) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にする
- (3) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出し、“0”を確認
- (4) ICU.IRn.IR フラグを“0”にする

29.4.4 SPRF/SPTEF フラグに関する注意事項

SPSR.SPRF, SPTEF フラグをポーリングして使用する場合、SPCR.SPRIE, SPTIE ビットを“0”にしてください。

30. CRC演算器 (CRC)

CRC (Cyclic Redundancy Check) 演算器は、CRCコード生成を行います。

30.1 概要

表 30.1 に CRC 演算器の仕様を示します。図 30.1 に CRC 演算器のブロック図を示します。

表 30.1 CRC演算器の仕様

項目	内容
CRC演算対象データ (注1)	8nビットのデータに対してCRCコードを生成 (n=自然数)
CRC演算処理方式	8ビット並列実行
CRC生成多項式	3つの多項式から選択可能 <ul style="list-style-type: none"> 8ビットCRC $X^8 + X^2 + X + 1$ 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$
CRC演算切り替え	LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダを切り替えることが可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. 演算対象データをCRC演算の単位に分割する機能はありません。8ビット単位で書いてください。

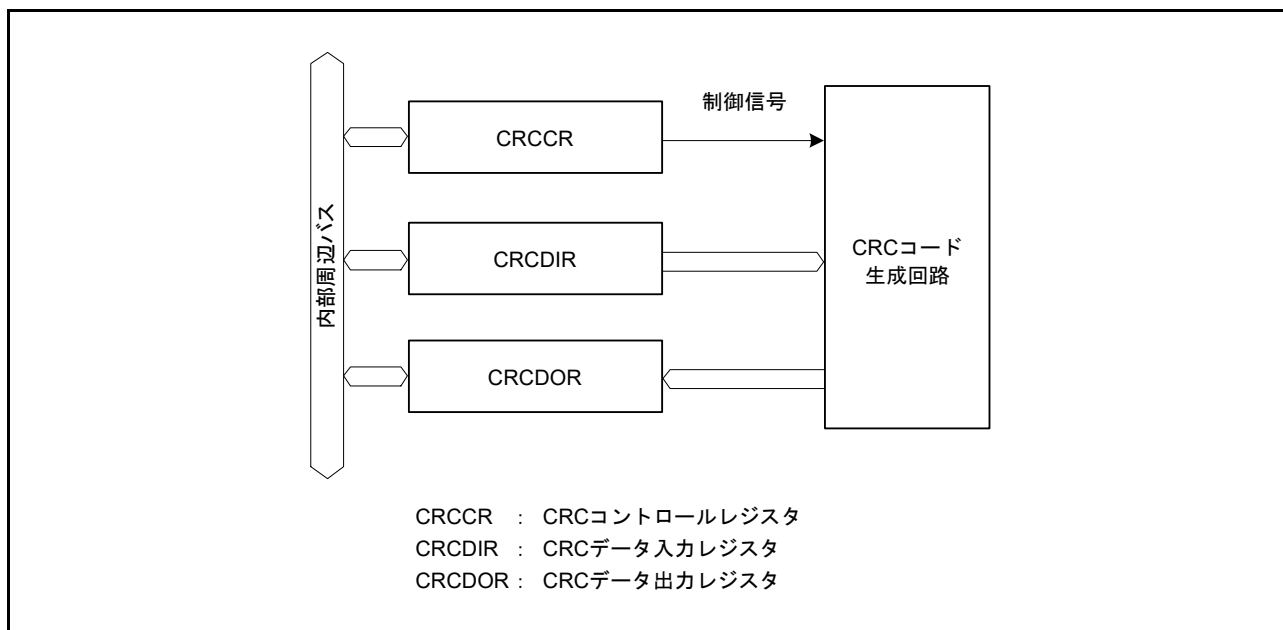


図 30.1 CRC演算器のブロック図

30.2 レジスタの説明

30.2.1 CRC コントロールレジスタ (CRCCR)

アドレス 0008 8280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DORCLR	—	—	—	—	LMS	GPS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	GPS[1:0]	CRC生成多項式切り替えビット	b1 b0 0 0 : 演算しません 0 1 : 8ビットCRC ($X^8 + X^2 + X + 1$) 1 0 : 16ビットCRC ($X^{16} + X^{15} + X^2 + 1$) 1 1 : 16ビットCRC ($X^{16} + X^{12} + X^5 + 1$)	R/W
b2	LMS	CRC演算切り替えビット	0 : LSBファースト通信用にCRCを生成 1 : MSBファースト通信用にCRCを生成	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DORCLR	CRCDORレジスタクリアビット	1 : CRCDORレジスタをクリア 読むと“0”が読めます	R/W (注1)

注1. “1”のみ書けます。

LMS ビット (CRC 演算切り替えビット)

生成した16ビットのCRCコードのビットオーダを選択します。LSBファーストで通信を行う場合はCRCコードの下位バイト (b7～b0) から先に、MSBファーストで通信を行う場合はCRCコードの上位バイト (b15～b8) から先に送信してください。CRCコードの送信および受信については、「30.3 CRC演算器の動作説明」を参照してください。

DORCLR ビット (CRCDOR レジスタクリアビット)

DORCLR ビットを“1”にすると、CRCDORレジスタが“0000h”になります。

読むと“0”が読めます。“1”のみ書けます。

30.2.2 CRC データ入力レジスタ (CRCDIR)

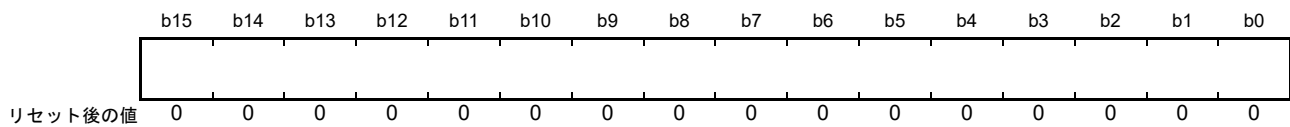
アドレス 0008 8281h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CRCDIRレジスタは、読み出し／書き込み可能なレジスタです。CRC演算対象となるデータを書いてください。

30.2.3 CRC データ出力レジスタ (CRCDOR)

アドレス 0008 8282h



CRCDOR レジスタは、読み出し／書き込み可能なレジスタです。

初期値は "0000h" ですので、初期値以外を用いて演算する場合は、CRCDOR を書き換えてください。

データを CRCDIR レジスタに書くと、演算結果が CRCDOR レジスタに格納されます。また、通信データに続いて CRC コードを CRC 演算し、結果が "0000h" の場合、誤りがないと判断できます。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、下位バイト (b7 ~ b0) に有効な CRC コードが得られます。上位バイト (b15 ~ b8) は、更新されません。

30.3 CRC 演算器の動作説明

CRC 演算器は、LSB ファースト / MSB ファースト通信用 CRC コードを生成します。

16 ビットの CRC 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (“F0h”) の CRC コードを生成する例を以下に示します。この例では CRC 演算の前に、CRC データ出力レジスタ (CRCDOR) の値をクリアします。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、CRCDOR レジスタの下位バイトに有効な CRC コードが得られます。

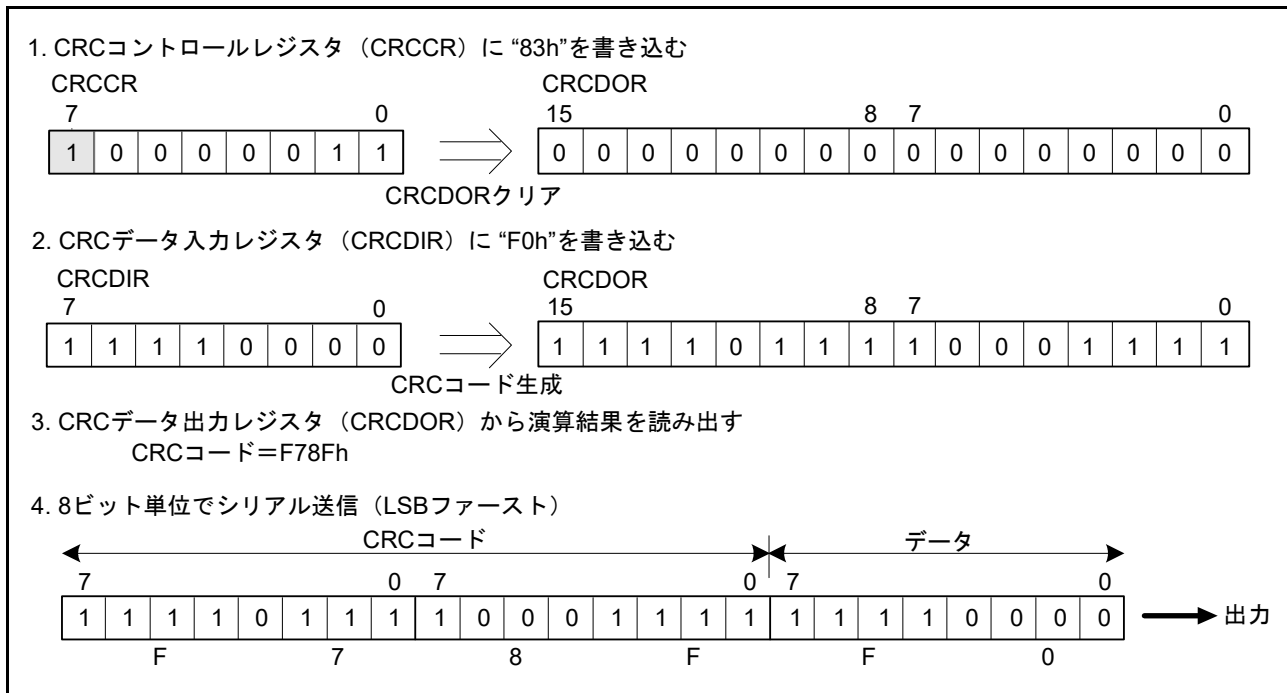


図 30.2 LSB ファーストでのデータ送信

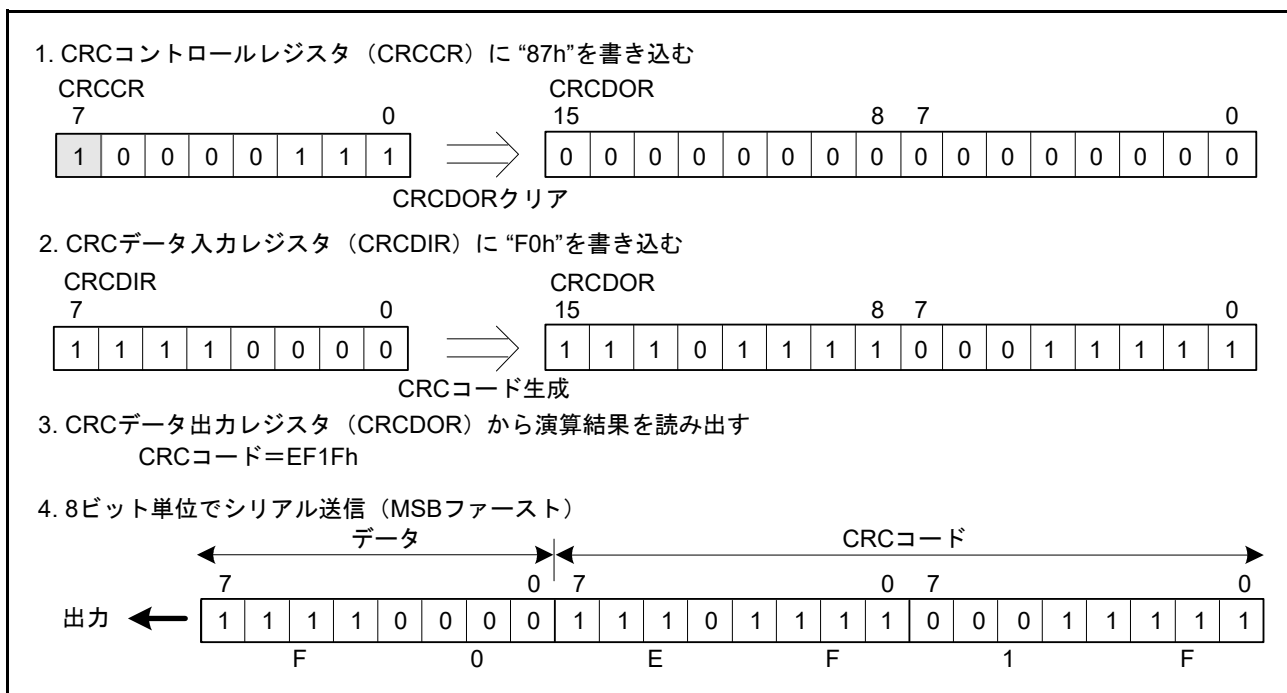


図 30.3 MSB ファーストでのデータ送信

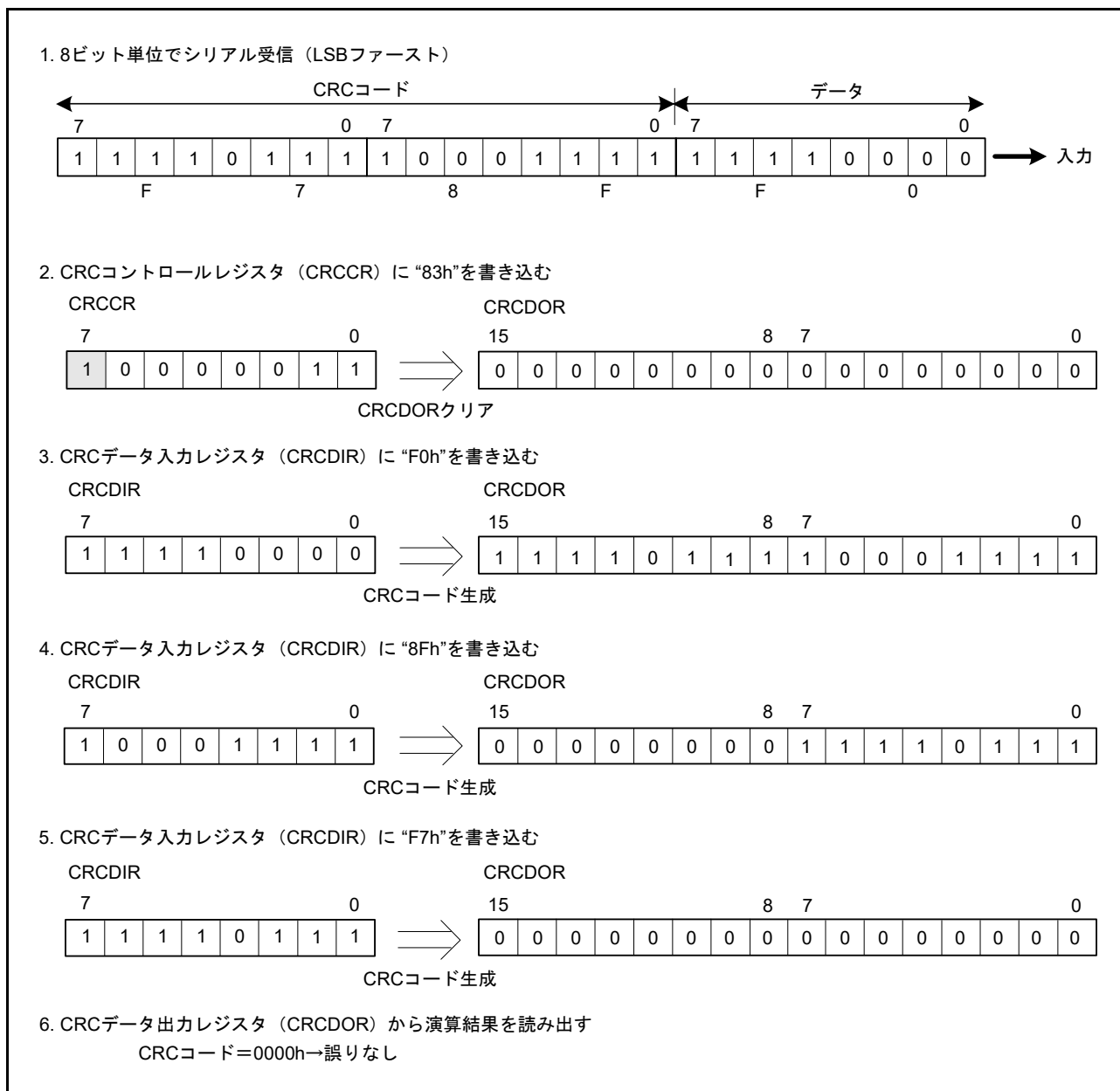


図 30.4 LSBファーストでのデータ受信

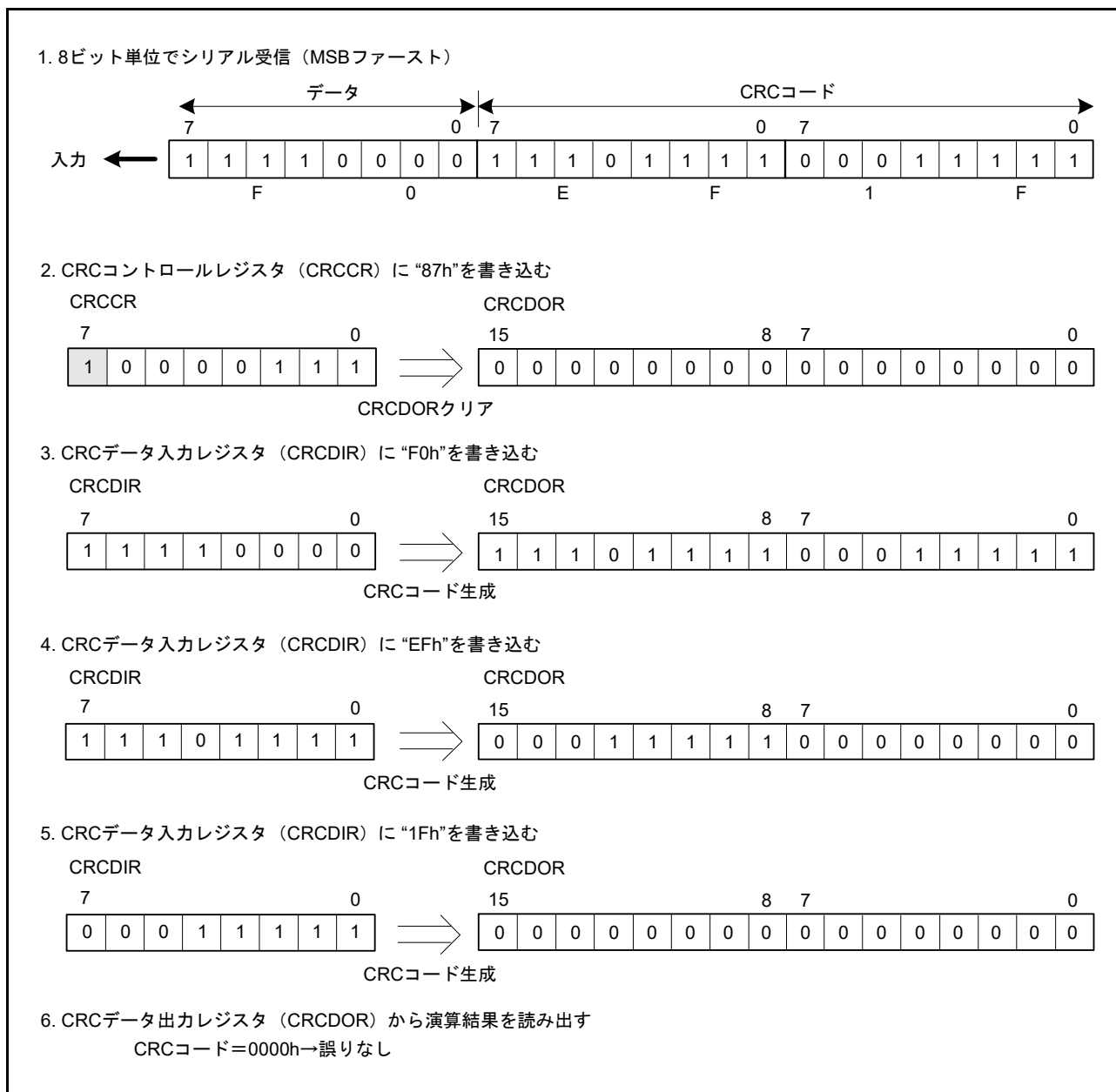


図 30.5 MSBファーストでのデータ受信

30.4 使用上の注意事項

30.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CRC 演算器の動作を禁止/許可することが可能です。リセット後、CRC はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。

詳細は「11. 消費電力低減機能」を参照してください。

30.4.2 転送時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とは、CRC コードを送る順序が異なりますので注意してください。

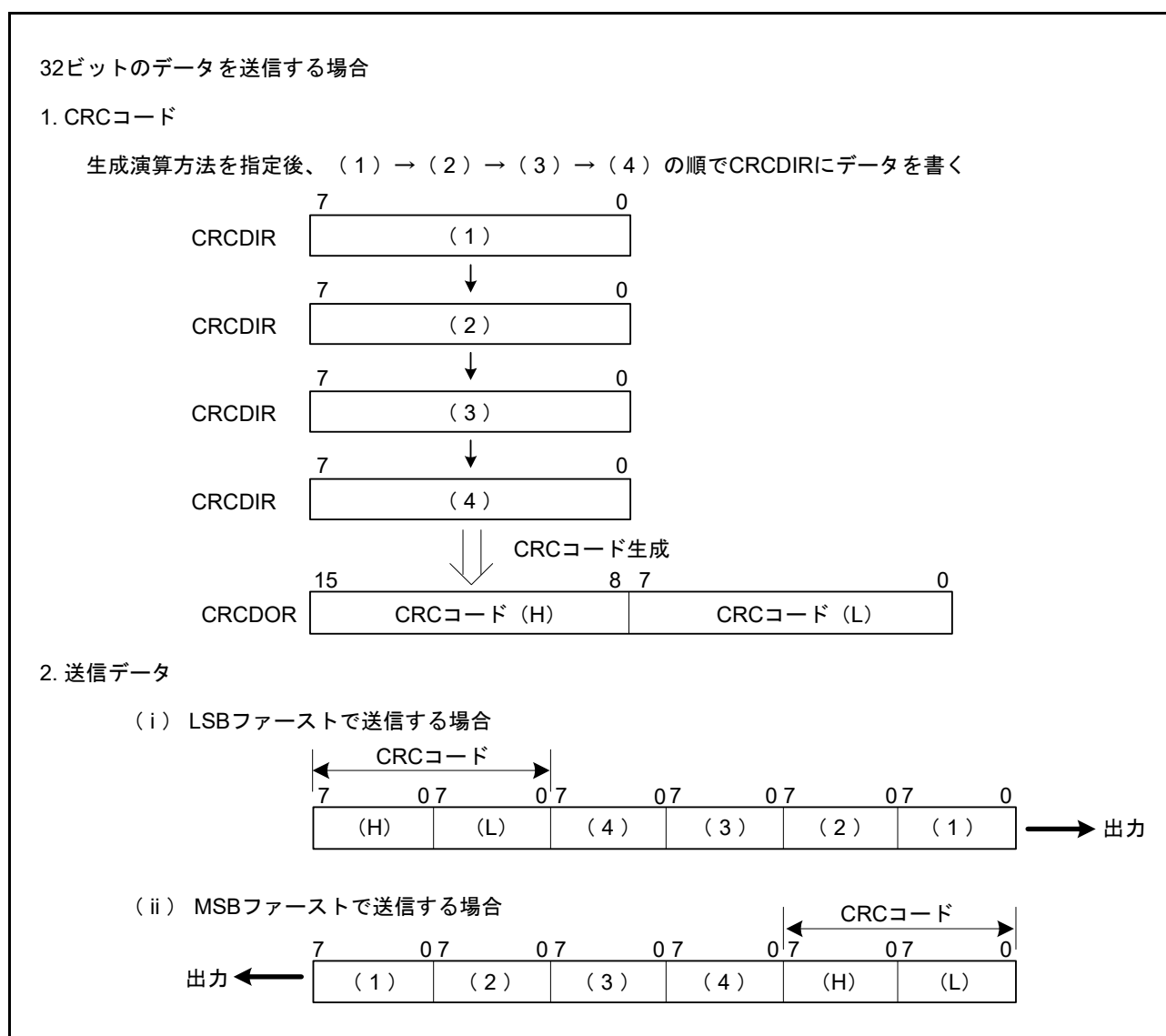


図 30.6 LSB ファーストと MSB ファーストの送信データ

31. 12ビットA/Dコンバータ (S12ADF)

本章に記載している PCLK とは PCLKB を指します。

31.1 概要

本 MCU は、逐次比較方式の 12 ビットの A/D コンバータを 3 ユニット内蔵しています。5 チャンネル使用可能な A/D コンバータが 2 ユニット (ユニット 0, 1)、12 チャンネル使用可能な A/D コンバータが 1 ユニット (ユニット 2) あり、それぞれアナログ入力、内部基準電圧 (ユニット 2 のみ) を選択することができます。

12 ビット A/D コンバータは、選択した最大 12 チャンネルのアナログ入力、内部基準電圧 (ユニット 2 のみ) を逐次比較方式で 12 ビットのデジタル値に変換します。動作モードは、任意に選択した 5 チャンネル (ユニット 0, 1) と 12 チャンネル (ユニット 2) のアナログ入力を若いチャンネル番号順に変換するシングルスキャンモードと、任意に選択した 5 チャンネル (ユニット 0, 1) と 12 チャンネル (ユニット 2) のアナログ入力を順次若いチャンネル番号順に連続して変換する連続スキャンモードと、5 チャンネル (ユニット 0, 1) と 12 チャンネル (ユニット 2) のアナログ入力を任意に選択して 2 つ (グループ A、グループ B) または 3 つのグループ (グループ A、グループ B、グループ C) に分け、グループ単位で選択したチャンネルのアナログ入力を若いチャンネル番号順に変換するグループスキャンモードがあります。

グループスキャンモードは、2 つのグループ (グループ A, B) か、3 つのグループ (グループ A, B, C) のどちらか一方を選択します。各グループ (A, B または A, B, C) のスキャン開始条件 (同期トリガ) を個別に選択し、各グループ (A, B または A, B, C) のスキャンを異なるタイミングで開始することができます。

グループスキャンモードのグループ優先動作は、前述の動作に加え、低優先グループのスキャン中に優先グループのスキャン開始を受け付け、低優先グループのスキャンを中断して優先グループのスキャンを開始します。グループ優先動作の優先順位は、グループ A > グループ B > グループ C の順となります。グループ優先動作では、グループ C のスキャン中にグループ B のスキャン開始を受け付けるとグループ C のスキャンを中断しグループ B のスキャンを開始する、グループ C のスキャン中にグループ A のスキャン開始を受け付けるとグループ C のスキャンを中断し、グループ A のスキャンを開始する、同様にグループ B のスキャン中にグループ A のスキャン開始を受け付けるとグループ B のスキャンを中断し、グループ A のスキャンを開始する動作となります。ただし、内部基準電圧 (V_{BG2AD}) から選択することができるのは、ユニット 2 のみです。

また中断したグループのスキャンを優先グループのスキャン終了後に再開することもできます。

ダブルトリガモードは、任意に選択した 1 チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード (グループ A) で変換し、1 回目の同期トリガで変換したデータと 2 回目の同期トリガで変換したデータを別々のレジスタに格納 (A/D 変換データの二重化) します。

自己診断は、スキャンごとの最初に 1 回実施され、12 ビット A/D コンバータ内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

表 31.1 に 12 ビット A/D コンバータの仕様を、表 31.2 に 12 ビット A/D コンバータの機能概要を示します。図 31.1 ~ 図 31.3 に 12 ビット A/D コンバータのブロック図を示します。

表31.1 12ビットA/Dコンバータの仕様 (1/2)

項目	内容
ユニット数	3ユニット (S12AD, S12AD1, S12AD2)
入力チャンネル	S12AD : 5チャンネル、S12AD1 : 5チャンネル、S12AD2 : 12チャンネル
拡張アナログ機能	内部基準電圧 (S12AD2のみ)
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャンネル当たり1 μ s (A/D変換クロック ADCLK = 40MHz動作時)
A/D変換クロック	周辺モジュールクロックPCLK (注1) とA/D変換クロックADCLK (注1) を以下の周波数比で設定可能 PCLK : ADCLK周波数比 = 1 : 1, 1 : 2, 2 : 1, 4 : 1, 8 : 1 ADCLKの設定はクロック発生回路で行います
データレジスタ	<ul style="list-style-type: none"> アナログ入力用22本 (S12AD : 5本、S12AD1 : 5本、S12AD2 : 12本)、ダブルトリガモードでのA/D変換データ二重化用1本、ダブルトリガモード拡張動作時のA/D変換データ二重化用2本/ユニット 内部基準電圧用1本 (S12AD2) 自己診断用1本/ユニット A/D変換結果を12ビットA/Dデータレジスタに保持 A/D変換結果の12ビット精度出力に対応 加算モード時はA/D変換結果の加算値を変換精度ビット数 + 2ビット/4ビット (注2) でA/Dデータレジスタに保持 ダブルトリガモード (シングルスキャンとグループスキャンモードで選択可能) 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目は対象チャンネルのデータレジスタに保持、2回目のA/D変換データは二重化レジスタに保持 ダブルトリガモード拡張動作 (特定トリガ種別で有効) 選択した1つのチャンネルのアナログ入力のA/D変換データをトリガ種別毎に準備した二重化レジスタに保持
動作モード	<p>動作モードは3ユニット個別で設定可能です。</p> <ul style="list-style-type: none"> シングルスキャンモード : 任意に選択したチャンネルのアナログ入力を1回のみA/D変換 内部基準電圧を1回のみA/D変換 (S12AD2) 連続スキャンモード : 任意に選択したチャンネルのアナログ入力を繰り返しA/D変換 グループスキャンモード : 使用するグループの数は2つ (グループA, B) と3つ (グループA, B, C) が選択可能 (グループの数が2つの場合、グループA、グループBの組み合わせのみ選択可能) 任意に選択したチャンネルのアナログ入力をグループAとグループBまたはグループA, B, Cに分け、グループ単位で選択したアナログ入力を1回のみA/D変換 グループAとグループBとグループCは、各々の変換開始条件 (同期トリガ) を選択することで異なるタイミングで変換開始可能 グループスキャンモード (グループ優先制御選択時) 低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。優先順位は、グループA (高) > グループB > グループC (低) 優先グループのスキャン終了後、低優先グループのスキャンを再実行 (再スキャン) する/しないを設定可能。また再スキャンは、選択チャンネルの最初からか、A/D変換未終了のチャンネルからかを設定可能
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ マルチファンクションタイマパルスユニット (MTU)、汎用PWMタイマ (GPT)、8ビットタイマ (TMR) からのトリガ 非同期トリガ 外部トリガADTRG0# (S12AD), ADTRG1# (S12AD1), ADTRG2# (S12AD2) 端子によるA/D変換動作の開始が可能 (3ユニット個別)
機能	<ul style="list-style-type: none"> チャンネル専用サンプル&ホールド機能 (3ch : S12AD1のみ) プログラマブルゲインアンプによる入力信号増幅機能 (1ch/S12AD, 3ch/S12AD1) サンプリングステート数可変機能 (チャンネルごとに設定可能) 12ビットA/Dコンバータの自己診断機能 A/D変換値加算モードと平均モードが選択可能 アナログ入力断線検出アシスト機能 (ディスチャージ機能/プリチャージ機能) ダブルトリガモード (A/D変換データ二重化機能) A/Dデータレジスタオートクリア機能

表31.1 12ビットA/Dコンバータの仕様 (2/2)

項目	内容
割り込み要因	<ul style="list-style-type: none"> • ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1, S12ADI2) を発生 (3ユニット個別) • ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1, S12ADI2) を発生 (3ユニット個別) • グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1, S12ADI2) を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求 (GBADI, GBADI1, GBADI2) を発生。グループCのスキャン終了でグループC専用のスキャン終了割り込み要求 (GCADI, GCADI1, GBADI2) を発生 • グループスキャンモードでダブルトリガモード選択時は、グループAの2回のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1, S12ADI2) を発生。グループBとグループCのスキャン終了で、それぞれ専用のスキャン終了割り込み要求 (GBADI/GCADI, GBADI1/GCADI1, GBADI2/GCADI2) を発生 • S12ADI/S12ADI1/S12ADI2, GBADI/GBADI1/GBADI2, GCADI/GCADI1/GCADI2割り込みでデータトランスファコントローラ (DTC) を起動可能
消費電力低減機能	<ul style="list-style-type: none"> • モジュールストップ状態への設定が可能 (注3、注4)

注1. 周辺モジュールクロックPCLKはSCKCR.PCKB[3:0]ビットで設定した周波数、A/D変換クロックADCLKはSCKCR.PCKD[3:0]ビットで設定した周波数になります。

注2. 加算時の拡張ビット数は、加算回数により異なります。

2ビット拡張：1～4回変換 (0～3回加算)

4ビット拡張：16回変換 (15回加算)

注3. 詳細は、「11. 消費電力低減機能」を参照してください。

注4. モジュールストップ状態を解除後は、1μs以上待ってからA/D変換を開始してください。

表31.2 12ビットA/Dコンバータの機能概要 (1/2)

項目			端子名、略称等			
			ユニット0 (S12AD)	ユニット1 (S12AD1)	ユニット2 (S12AD2)	
アナログ入力チャネル			AN000～AN003、 AN016	AN100～AN103、 AN116	AN200～AN211、 内部基準電圧	
A/D変換 開始条件	ソフトウェア	ソフトウェアトリガ	可能			
	非同期トリガ	トリガ入力端子	ADTRG0#	ADTRG1#	ADTRG2#	
	同期トリガ	MTU0.TGRAのコンペアマッチ/インプット キャプチャ	TRGA0N			
		MTU1.TGRAのコンペアマッチ/インプット キャプチャ	TRGA1N			
		MTU2.TGRAのコンペアマッチ/インプット キャプチャ	TRGA2N			
		MTU3.TGRAのコンペアマッチ/インプット キャプチャ	TRGA3N			
		MTU4.TGRAのコンペアマッチ/インプット キャプチャ、または相補PWMモード時 MTU4.TCNTのアンダフロー (谷)	TRGA4N			
		MTU6.TGRAのコンペアマッチ/インプット キャプチャ	TRGA6N			
		MTU7.TGRAのコンペアマッチ/インプット キャプチャ、または相補PWMモード時 MTU7.TCNTのアンダフロー (谷)	TRGA7N			
		MTU0.TGREのコンペアマッチ	TRG0N			
		MTU4.TADCORAとMTU4.TCNTのコンペア マッチ	TRG4AN			
		MTU4.TADCORBとMTU4.TCNTのコンペア マッチ	TRG4BN			
		MTU4.TADCORAとMTU4.TCNTのコンペア マッチ、または、MTU4.TADCORBと MTU4.TCNTのコンペアマッチ	TRG4ANまたはTRG4BN			
		MTU4.TADCORAとMTU4.TCNTのコンペア マッチと、MTU4.TADCORBとMTU4.TCNT のコンペアマッチ (割り込み間引き機能2を 使用時)	TRG4ABN			
		MTU7.TADCORAとMTU7.TCNTのコンペア マッチ	TRG7AN			
		MTU7.TADCORBとMTU7.TCNTのコンペア マッチ	TRG7BN			
		MTU7.TADCORAとMTU7.TCNTのコンペア マッチ、または、MTU7.TADCORBと MTU7.TCNTのコンペアマッチ	TRG7ANまたはTRG7BN			
		MTU7.TADCORAとMTU7.TCNTのコンペア マッチと、MTU7.TADCORBとMTU7.TCNT のコンペアマッチ (割り込み間引き機能2を 使用時)	TRG7ABN			
		MTU9.TGRAのコンペアマッチ/インプット キャプチャ	TRGA9N			
		MTU9.TGREのコンペアマッチ	TRG9N			
MTU0.TGRAのコンペアマッチ/インプット キャプチャ、または、MTU0.TGREのコンペ アマッチ		TRGA0NまたはTRG0N				
MTU9.TGRAのコンペアマッチ/インプット キャプチャ、または、MTU9.TGREのコンペ アマッチ	TRGA9NまたはTRG9N					

表31.2 12ビットA/Dコンバータの機能概要 (2/2)

項目		端子名、略称等			
		ユニット0 (S12AD)	ユニット1 (S12AD1)	ユニット2 (S12AD2)	
A/D変換 開始条件	同期トリガ	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、または、MTU9.TGRAのコンペアマッチ/インプットキャプチャ	TRGA0NまたはTRGA9N		
		MTU0.TGREのコンペアマッチ、または、MTU9.TGREのコンペアマッチ	TRG0NまたはTRG9N		
		TMR0.TCORAとTMR0.TCNTのコンペアマッチ	TMTRG0AN_0		
		TMR2.TCORAとTMR2.TCNTのコンペアマッチ	TMTRG0AN_1		
		TMR4.TCORAとTMR4.TCNTのコンペアマッチ	TMTRG0AN_2		
		TMR6.TCORAとTMR6.TCNTのコンペアマッチ	TMTRG0AN_3		
		MTU9.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGREのコンペアマッチ	TRG9AEN		
		MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU0.TGREのコンペアマッチ	TRG0AEN		
		MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGRAのコンペアマッチ/インプットキャプチャ	TRGA09N		
		MTU0.TGREのコンペアマッチと、MTU9.TGREのコンペアマッチ	TRG09N		
		GPT0.GTADTRAのコンペアマッチ	GTADTRA0N		
		GPT0.GTADTRBのコンペアマッチ	GTADTRB0N		
		GPT1.GTADTRAのコンペアマッチ	GTADTRA1N		
		GPT1.GTADTRBのコンペアマッチ	GTADTRB1N		
		GPT2.GTADTRAのコンペアマッチ	GTADTRA2N		
		GPT2.GTADTRBのコンペアマッチ	GTADTRB2N		
		GPT3.GTADTRAのコンペアマッチ	GTADTRA3N		
		GPT3.GTADTRBのコンペアマッチ	GTADTRB3N		
		GPT0.GTADTRAのコンペアマッチまたはGPT0.GTADTRBのコンペアマッチ	GTADTRA0NまたはGTADTRB0N		
		GPT1.GTADTRAのコンペアマッチまたはGPT1.GTADTRBのコンペアマッチ	GTADTRA1NまたはGTADTRB1N		
GPT2.GTADTRAのコンペアマッチまたはGPT2.GTADTRBのコンペアマッチ	GTADTRA2NまたはGTADTRB2N				
GPT3.GTADTRAのコンペアマッチまたはGPT3.GTADTRBのコンペアマッチ	GTADTRA3NまたはGTADTRB3N				
チャンネル専用独立サンプル&ホールド機能	対象チャンネル	—	AN100～AN102	—	
PGA機能	対象チャンネル	AN000	AN100～AN102	—	
割り込み		S12ADI, GBADI, GCADI割り込み	S12ADI1, GBADI1, GCADI1割り込み	S12ADI2, GBADI2, GCADI2割り込み	
モジュールストップ機能の設定 (注1、注2)		MSTPCRA.MST PA17ビット	MSTPCRA.MST PA16ビット	MSTPCRA.MST PA23ビット	

注. A/D変換を開始するトリガをADTRG0#, ADTRG1#, ADTRG2#に設定する場合は、該当する端子のポートモードレジスタの端子モード制御ビットを“1”(周辺機能)に、端子機能制御レジスタの端子機能選択ビットをADTRG0#, ADTRG1#, ADTRG2#に設定してください。詳細は「18. I/Oポート」を参照してください。

注1. 詳細は、「11. 消費電力低減機能」を参照してください。

注2. モジュールストップ状態を解除後は、1μs以上待ってからA/D変換を開始してください。

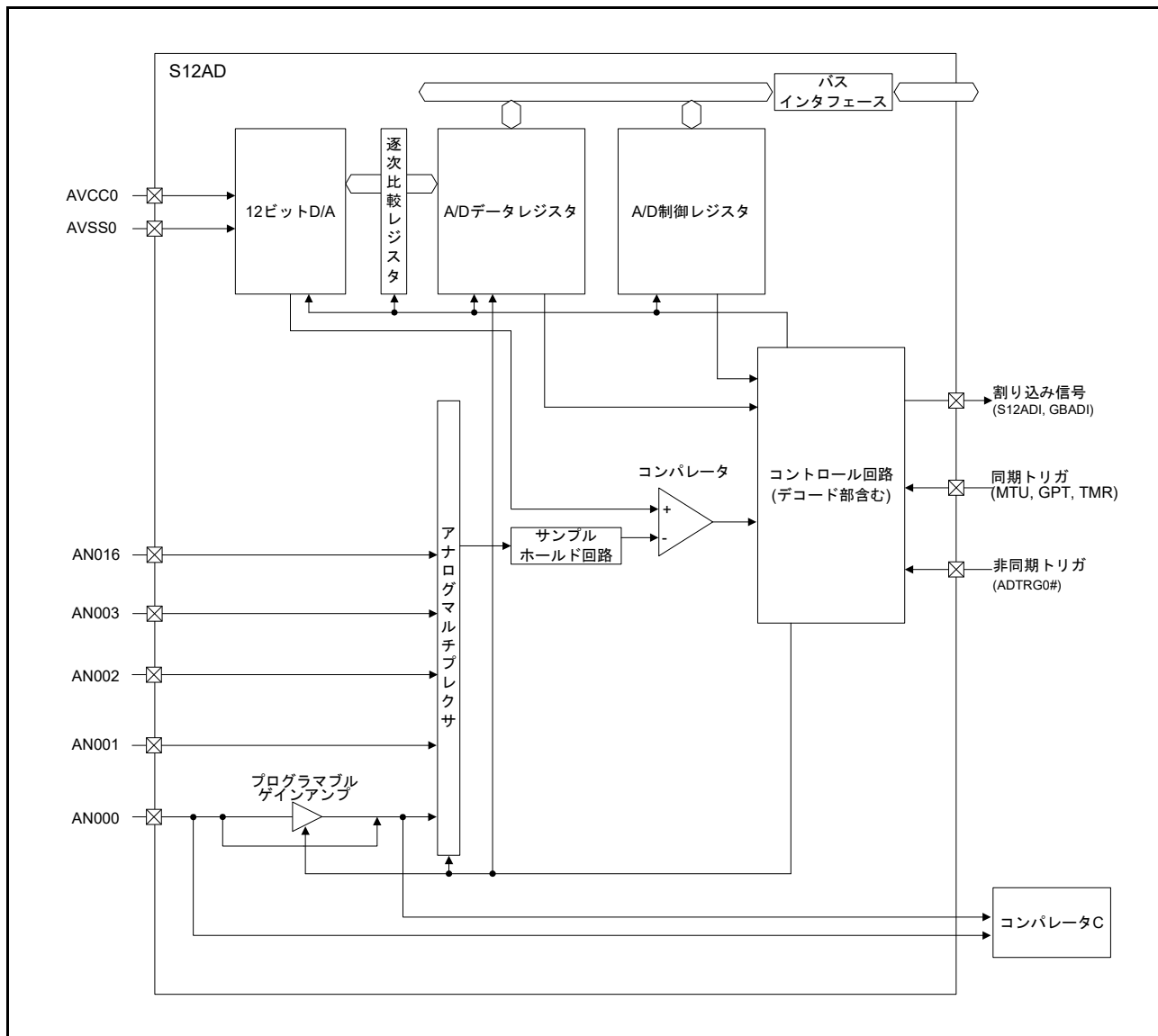


図 31.1 12ビットA/Dコンバータのブロック図 (ユニット0)

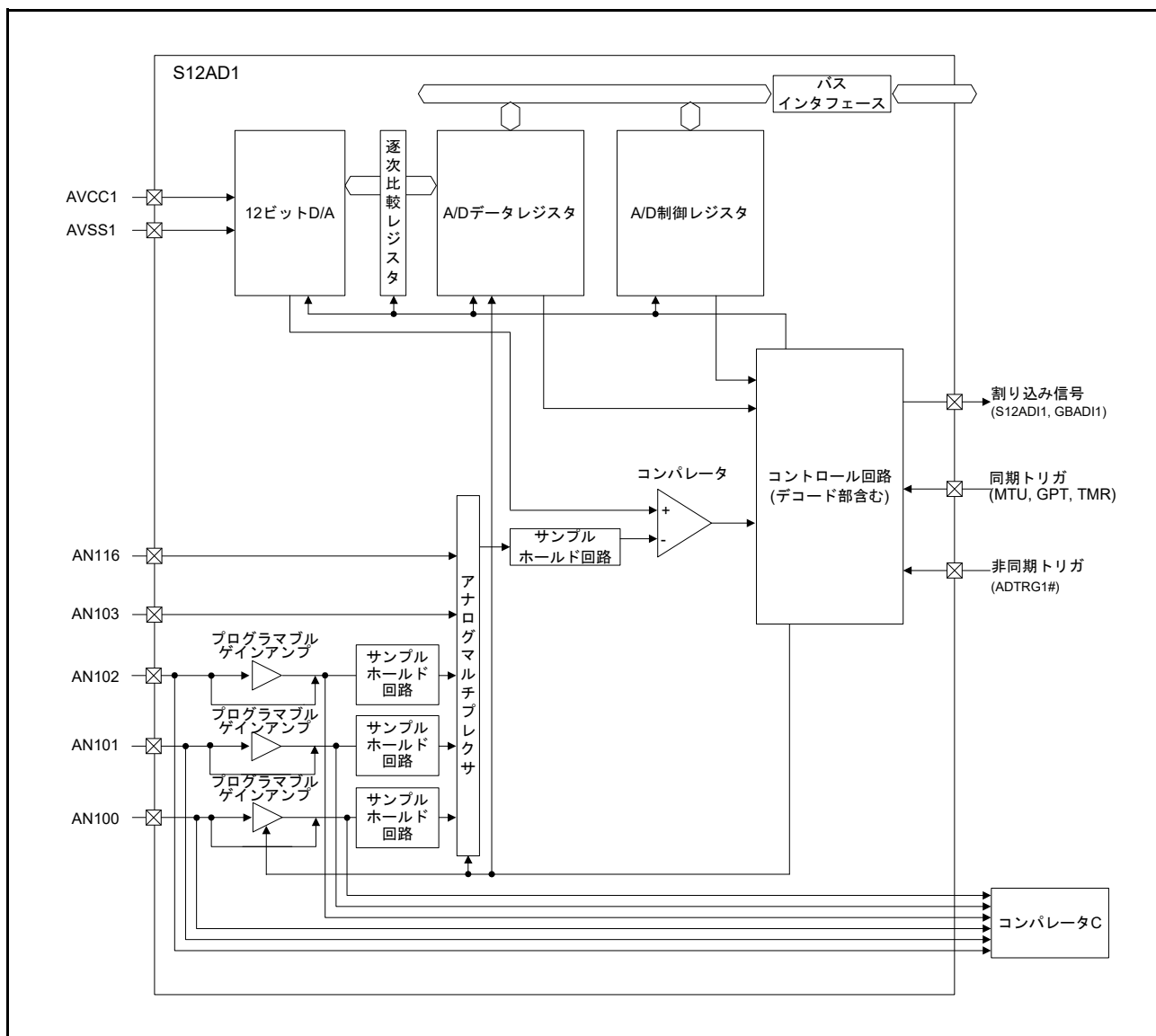


図 31.2 12ビットA/Dコンバータのブロック図 (ユニット1)

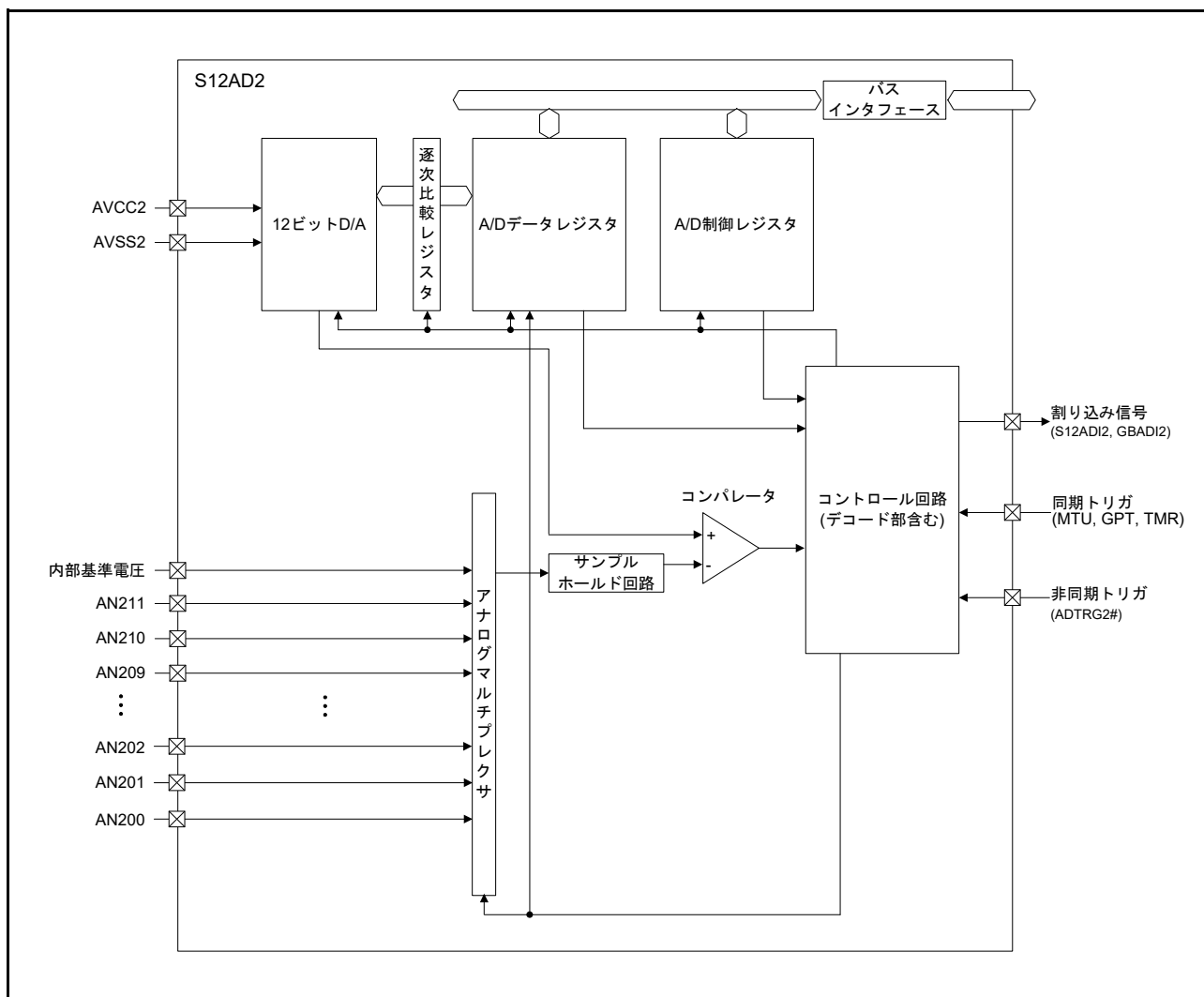


図 31.3 12ビットA/Dコンバータのブロック図 (ユニット2)

表 31.3 に 12ビットA/Dコンバータで使用する入出力端子を示します。

12ビットA/Dコンバータは3ユニットで構成され、ユニット0 (S12AD)、ユニット1 (S12AD1)、ユニット2 (S12AD2) は独立に動作させることができます。S12AD, S12AD1, S12AD2 の入力チャンネルは、3つのグループに分割して動作させることもできます。プログラマブルゲインアンプ (PGA) はAN000, AN100 ~ AN102 に内蔵されています。

表31.3 12ビットA/Dコンバータの入出力端子

ユニット	端子名	入出力	機能	PGA	端子毎サンプルホールド回路
ユニット0 (S12AD)	AN000	入力	アナログ入力端子	内蔵	—
	AN001	入力	アナログ入力端子	—	—
	AN002	入力	アナログ入力端子	—	—
	AN003	入力	アナログ入力端子	—	—
	AN016	入力	アナログ入力端子	—	—
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子	—	—
	ADST0	出力	ADSTビットの状態出力端子	—	—
	AVCC0	—	アナログ回路の電源端子	—	—
	AVSS0	—	アナログ回路のグランド端子	—	—
ユニット1 (S12AD1)	AN100	入力	アナログ入力端子	内蔵	内蔵
	AN101	入力	アナログ入力端子	内蔵	内蔵
	AN102	入力	アナログ入力端子	内蔵	内蔵
	AN103	入力	アナログ入力端子	—	—
	AN116	入力	アナログ入力端子	—	—
	ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子	—	—
	ADST1	出力	ADSTビットの状態出力端子	—	—
	AVCC1	—	アナログ回路の電源端子	—	—
	AVSS1	—	アナログ回路のグランド端子	—	—
ユニット2 (S12AD2)	AN200	入力	アナログ入力端子	—	—
	AN201	入力	アナログ入力端子	—	—
	AN202	入力	アナログ入力端子	—	—
	AN203	入力	アナログ入力端子	—	—
	AN204	入力	アナログ入力端子	—	—
	AN205	入力	アナログ入力端子	—	—
	AN206	入力	アナログ入力端子	—	—
	AN207	入力	アナログ入力端子	—	—
	AN208	入力	アナログ入力端子	—	—
	AN209	入力	アナログ入力端子	—	—
	AN210	入力	アナログ入力端子	—	—
	AN211	入力	アナログ入力端子	—	—
	ADTRG2#	入力	A/D変換開始のための外部トリガ入力端子	—	—
	ADST2	出力	ADSTビットの状態出力端子	—	—
	AVCC2	—	アナログ回路の電源端子	—	—
	AVSS2	—	アナログ回路のグランド端子	—	—

31.2 レジスタの説明

31.2.1 A/D データレジスタ y (ADDRy)

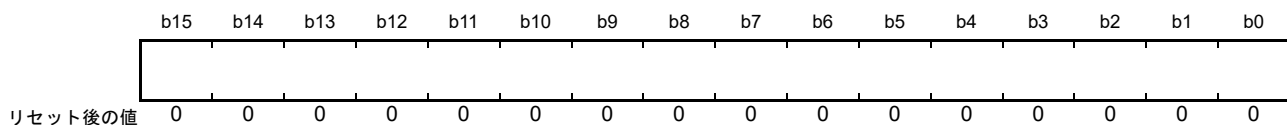
A/D データ二重化レジスタ (ADDBLDR)

A/D データ二重化レジスタ A (ADDBLDRA)

A/D データ二重化レジスタ B (ADDBLDRB)

A/D 内部基準電圧データレジスタ (ADOCDR)

アドレス S12AD.ADDR0 0008 9020h, S12AD.ADDR1 0008 9022h, S12AD.ADDR2 0008 9024h,
S12AD.ADDR3 0008 9026h, S12AD.ADDR16 0008 9040h, S12AD.ADBLDR 0008 9018h,
S12AD.ADBLDRA 0008 9084h, S12AD.ADBLDRB 0008 9086h, S12AD1.ADDR0 0008 9220h,
S12AD1.ADDR1 0008 9222h, S12AD1.ADDR2 0008 9224h, S12AD1.ADDR3 0008 9226h,
S12AD1.ADDR16 0008 9240h, S12AD1.ADBLDR 0008 9218h, S12AD1.ADBLDRA 0008 9284h,
S12AD1.ADBLDRB 0008 9286h, S12AD2.ADDR0 0008 9420h, S12AD2.ADDR1 0008 9422h,
S12AD2.ADDR2 0008 9424h, S12AD2.ADDR3 0008 9426h, S12AD2.ADDR4 0008 9428h,
S12AD2.ADDR5 0008 942Ah, S12AD2.ADDR6 0008 942Ch, S12AD2.ADDR7 0008 942Eh,
S12AD2.ADDR8 0008 9430h, S12AD2.ADDR9 0008 9432h, S12AD2.ADDR10 0008 9434h,
S12AD2.ADDR11 0008 9436h, S12AD2.ADBLDR 0008 9418h, S12AD2.ADBLDRA 0008 9484h,
S12AD2.ADBLDRB 0008 9486h, S12AD2.ADOCDR 0008 941Ch



ADDRy レジスタ (y=0~3, 16 : S12AD と S12AD1, y=0~11 : S12AD2) は、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDRA レジスタと ADDBLDRB レジスタは、ダブルトリガモード選択時の拡張動作であるトリガ種別によって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADOCDR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

各レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)
- 加算回数選択ビット (ADADC.ADC[2:0]) の設定値 (2 回、3 回、4 回、16 回変換)
- 平均モードイネーブルビット (ADADC.AVEE) の設定値 (加算、または平均)

以下、条件ごとのフォーマットを示します。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めのフォーマットに設定した場合
b11-b0 に A/D 変換値を格納します。読み出し時、b15-b12 は“0”が読み出されます。
- 左詰めのフォーマットに設定した場合
b15-b4 に A/D 変換値を格納します。読み出し時、b3-b0 は“0”が読み出されます。

(2) A/D 変換値平均モードを選択した場合

- 右詰めのフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値を平均した値を格納します。読み出し時、b15-b12 は“0”が読み出されます。
- 左詰めのフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値を平均した値を格納します。読み出し時、b3-b0 は“0”が読み出されます。

A/D 変換値加算モードを 2 回、4 回変換に設定の場合のみ、A/D 変換値平均モードを設定できます。

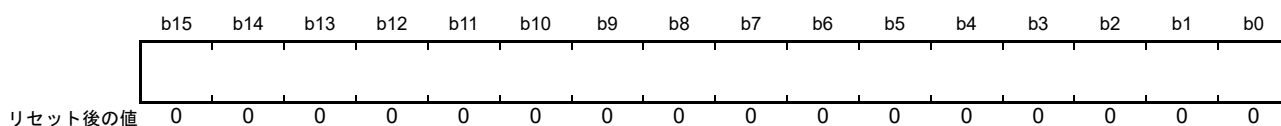
(3) A/D 変換値加算モードを選択した場合

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。読み出し時、b15-b14 は“0”が読み出されます。右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b15-b2 に同一チャンネルの A/D 変換値を加算した値を格納します。読み出し時、b1-b0 は“0”が読み出されます。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。

A/D 変換値加算モードを選択したとき、同一チャンネルの A/D 変換値を加算した値を示します。A/D 変換回数を 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、変換回数を 1 回～4 回に設定した場合は、A/D 変換結果の加算値を変換精度のビット数に 2 ビット分拡張したデータとして、変換回数を 16 回に設定した場合は、A/D 変換結果の加算値を変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに保持します。A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

31.2.2 A/D 自己診断データレジスタ (ADRD)

アドレス S12AD.ADRD 0008 901Eh, S12AD1.ADRD 0008 921Eh, S12AD2.ADRD 0008 941Eh



ADRD レジスタは、12 ビット A/D コンバータの自己診断で A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D 変換値に加えて、自己診断のステータスが付加されます。ADRD レジスタは下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)

AD 自己診断機能には A/D 変換加算モードと A/D 変換平均モードを適用することはできません。自己診断の詳細については「31.2.13 A/D コントロール拡張レジスタ (ADCER)」を参照してください。

以下、条件ごとのフォーマットを示します。

- 右詰めフォーマットに設定した場合
b11-b0 に A/D 変換値を格納します。b15-b14 に自己診断ステータスを格納します。読み出し時、b13-b12 は “0” が読み出されます。
- 左詰めフォーマットに設定した場合
b15-b4 に A/D 変換値を格納します。b1-b0 に自己診断ステータスを格納します。読み出し時、b3-b2 は “0” が読み出されます。

表 31.4 自己診断ステータス内容

右詰めフォーマット時の b15-b14 左詰めフォーマット時の b1-b0	自己診断ステータス
00b	パワーオンから一度も自己診断を実施していないことを示します
01b	0V の電圧値の自己診断を実施したことを示します
10b	基準電源×1/2 の電圧値の自己診断を実施したことを示します
11b	基準電源の電圧値の自己診断を実施したことを示します

注. 自己診断の詳細については、「31.2.13 A/D コントロール拡張レジスタ (ADCER)」を参照してください。

31.2.3 A/D コントロールレジスタ (ADCSR)

アドレス S12AD.ADCSR 0008 9000h, S12AD1. ADCSR 0008 9200h, S12AD2. ADCSR 0008 9400h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS[1:0]	ADIE	—	—	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャンネル選択ビット	ダブルトリガ対象のアナログ入力を1チャンネル選択します。ダブルトリガモード選択時のみ有効です	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	GBADIE	グループBスキャン終了割り込み許可ビット	0: グループBのスキャン終了後に割り込み発生を禁止 1: グループBのスキャン終了後に割り込み発生を許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット (注1)	0: 同期トリガによるA/D変換の開始を選択 1: 非同期トリガによるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0: スキャン終了後の割り込み発生を禁止 1: スキャン終了後の割り込み発生を許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタートビット	0: A/D変換停止 1: A/D変換開始	R/W

注1. 外部端子（非同期トリガ）でA/D変換を起動する方法

外部端子（ADTRG0#, ADTRG1#, ADTRG2#）にHighを入力した状態で、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。その後、ADTRG0#, ADTRG1#, ADTRG2#の信号をLowに変化させると、ADTRG0#, ADTRG1#, ADTRG2#の立ち下がりエッジを検出し、スキャン変換を開始します。このときのLow入力のパルス幅は、1.5PCLKクロック以上が必要です。

なお、ユニットと外部端子（非同期トリガ）の関係は以下のとおりです。

ユニット	外部端子（非同期トリガ）
S12AD	ADTRG0#
S12AD1	ADTRG1#
S12AD2	ADTRG2#

ADCSRレジスタは、ダブルトリガモードの設定、A/D変換起動トリガの設定、スキャン終了割り込み許可/禁止、スキャンモードの選択、A/D変換の開始/停止を行うレジスタです。

DBLANS[4:0] ビット（ダブルトリガ対象チャンネル選択ビット）

ダブルトリガモードでA/D変換データを二重化する1チャンネルを選択します。

DBLANS[4:0]ビットで選択したチャンネルのアナログ入力を、1回目のA/D変換開始トリガで変換した結果がA/Dデータレジスタyに格納され、2回目のA/D変換開始トリガで変換した結果がA/Dデータ二重化レジスタに格納されます。表31.5にダブルトリガ対象チャンネルの選択表を示します。

ダブルトリガモードを選択した場合は、ADANSA0, ADANSA1レジスタで選択したチャンネルの選択は無効になり、DBLANS[4:0]ビットで選択した1チャンネルがA/D変換を行うチャンネルとなります。

グループスキャンモードでダブルトリガモードを選択した場合、グループAのみダブルトリガモードの

動作を行い、グループ B, C はダブルトリガモードの動作を行いません。また、ダブルトリガモード時は、グループ A に複数チャンネルのアナログ入力、内部基準電圧は選択できませんが、グループ B, C には複数チャンネルのアナログ入力、内部基準電圧が選択可能です。ただし、内部基準電圧を選択することができるのは、S12AD2 のみです。

また、DBLANS[4:0] ビットは、ADST ビットが“0”のときに設定してください（ADST ビットへの“1”書き込みと同時設定もしないでください）。

表31.5 DBLANS[4:0]ビット設定値とダブルトリガ対象チャンネルの関係

S12AD (ユニット0)		S12AD1 (ユニット1)		S12AD2 (ユニット2)	
DBLANS[4:0]	二重化チャンネル	DBLANS[4:0]	二重化チャンネル	DBLANS[4:0]	二重化チャンネル
00000b	AN000	00000b	AN100	00000b	AN200
00001b	AN001	00001b	AN101	00001b	AN201
00010b	AN002	00010b	AN102	00010b	AN202
00011b	AN003	00011b	AN103	00011b	AN203
10000b	AN016	10000b	AN116	00100b	AN204
				00101b	AN205
				00110b	AN206
				00111b	AN207
				01000b	AN208
				01001b	AN209
				01010b	AN210
				01011b	AN211

注. 自己診断、内部基準電圧のA/D変換データは、二重化を選択できません。

GBADIE ビット (グループ B スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B のスキャン終了割り込みの発生を許可/禁止します。グループ B のスキャン終了割り込みはユニットごとに各 1 本あり、各ユニットとグループ B のスキャン終了割り込みの関係を表 31.6 に示します。

表31.6 各ユニットとグループBのスキャン終了割り込みの関係

ユニット	グループBのスキャン終了割り込み
S12AD	GBADI
S12AD1	GBADI1
S12AD2	GBADI2

DBLE ビット (ダブルトリガモード選択ビット)

ダブルトリガモードは、1 回目の同期トリガで変換された結果と 2 回目で変換された結果を別々の結果レジスタに格納する機能です。

ダブルトリガモードを選択した場合、ADANSA0, ADANSA1 レジスタで指定したチャンネルは無効となり、DBLANS[4:0] ビットで選択したチャンネルが有効となります。ADSTRGR.TRSA[5:0] ビットで選択された同期トリガのみで動作します。非同期トリガ、およびソフトウェアトリガは発生させないでください。1 回目の同期トリガで変換した結果は、A/D データレジスタ y に格納され、2 回目の同期トリガで変換した結果は、A/D データ二重化レジスタに格納されます。このとき、ADIE ビットが“1”に設定していると、1 回目の変換終了時は割り込みを発生せず、2 回目の変換終了時に割り込みを発生します。

なお、ダブルトリガモードは、連続スキャンモードで使用しないでください。さらに、自己診断機能および内部基準電圧の変換でも使用しないでください。また、グループスキャンモードでダブルトリガモードを使用する場合、グループ A で内部基準電圧の A/D 変換を選択しないでください。

DBLE ビットの設定は、あらかじめ ADST ビットを“0”にしてから行ってください。

EXTRG ビット (トリガ選択ビット)

A/D 変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

グループスキャンモードでは、グループ A の選択トリガに対して本ビットの設定が有効です。グループ B、グループ C は、本ビットの設定に依らず選択した同期トリガで A/D 変換を開始します。

TRGE ビット (トリガ開始許可ビット)

同期トリガ、非同期トリガによる A/D 変換の起動を許可 / 禁止します。

グループスキャンモードでは、このビットを“1”にしてください。

ADIE ビット (スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B とグループ C を除く、A/D スキャン変換終了割り込みの発生を許可 / 禁止します。

ダブルトリガモードを非選択に設定した場合は、1 回のスキャンが終了したときに、ADIE ビットが“1”に設定されていれば、A/D スキャン変換終了割り込みが発生します。

ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガからのトリガで開始したスキャンに限り、2 回目のスキャンが終了したときに ADIE ビットが“1”に設定されていれば A/D スキャン変換終了割り込みが発生します。

ソフトウェアトリガでスキャンを開始した場合は、ダブルトリガモードを選択した場合であっても、スキャンが終了した時に ADIE ビットが“1”にセットされていれば A/D スキャン変換終了割り込みが発生します。A/D スキャン変換終了割り込みは、ユニットごとに各 1 本あり、各ユニットと A/D スキャン変換終了割り込みの関係を表 31.7 に示します。

表 31.7 各ユニットと A/D スキャン変換終了割り込みの関係

ユニット	A/D スキャン変換終了割り込み
S12AD	S12ADI
S12AD1	S12ADI1
S12AD2	S12ADI2

ADCS[1:0] ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA0, ADANSA1 レジスタで選択したアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADST ビットが“1”の間、ADANSA0, ADANSA1 レジスタで選択したチャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。連続スキャン中に ADCSR.ADST ビットを“0”にすると、スキャン中に A/D 変換を停止します。

グループスキャンモードは ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを開始条件として、ADANSA0, ADANSA1 レジスタで選択したチャンネルのアナログ入力 (グループ A) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。また、同様に ADSTRGR.TRSB[5:0] ビット、ADGCTRGR.TRSC[5:0] ビットで選択した同期トリガを A/D 変換開始条件として、ADANSB0, ADANSB1 レジスタ、ADANSC0, ADANSC1 レジスタで選択したチャンネルのアナログ入力 (グループ B またはグループ C) を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの A/D 変換が終了すると停止します。

グループスキャンモードを選択する場合は、グループ A とグループ B とグループ C で異なるチャンネルと

異なるトリガを選択してください。

グループスキャンモード設定時に2つのグループを使用する場合、グループAとグループBを使用してください (ADGCTRGR.GRCE ビット=0)。また、3つのグループを使用する場合、グループA、グループBとグループCを使用してください (ADGCTRGR.GRCE ビット=1)。

S12AD2で内部基準電圧を選択する場合は、シングルスキャンモードを選択し、ADANSA0, ADANSA1レジスタでのチャンネル選択を全て非選択としてからA/D変換を行います。選択した内部基準電圧のA/D変換が終了すると停止します。

ADCS[1:0]ビットは、ADSTビットが“0”のときに設定してください (ADSTビットへの“1”書き込みと同時設定もしないでください)。

ADSTビット (A/D変換スタートビット)

A/D変換の開始/停止を制御します。

ADSTビットを“1”に設定する前に、A/D変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

["1"になる条件]

- ソフトウェアで“1”を書き込んだとき
- ADCSR.EXTRG ビットに“0”、ADCSR.TRGE ビットに“1”を設定し、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを検出したとき
- グループスキャンモードでADCSR.TRGEビットに“1”を設定しADSTRGR.TRSB[5:0]ビットで選択した同期トリガを検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを“1”、ADSTRGR.TRSA[5:0] ビットを“000000b”に設定し、非同期トリガを検出したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、グループBまたはグループCのトリガを検出し、グループBまたはグループCのA/D変換を開始したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを“1”に設定し、グループBまたはグループCのA/D変換を再開したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRP ビットを“1”に設定し、最も優先度の低いグループのA/D変換を開始したとき

["0"になる条件]

- ソフトウェアで“0”を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネルまたは内部基準電圧 (S12AD2のみ) のA/D変換が終了したとき
- グループスキャンモードでグループAのスキャンが終了したとき
- グループスキャンモードでグループBのスキャンが終了したとき
- グループスキャンモードでグループCのスキャンが終了したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを“1”に設定し、低優先グループのトリガによるスキャンが終了したとき

注. グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、ADSTビットを“1”にしないでください。

注. グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、かつADGSPCR.GBRP ビット = 1のとき、ADSTビットを“0”にしないでください。A/D変換を強制停止させる

場合、ADST ビットのクリア手順に従ってください。

- 注. グループ優先動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) にシングルスキャン連続機能を使用 (ADGSPCR.GBRP ビット = 1) した場合、ADST ビットは“1”を保持します。

31.2.4 A/D チャンネル選択レジスタ A0 (ADANSA0)

(1) S12AD.ADANSA0

アドレス 0008 9004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	ANSA0 03	ANSA0 02	ANSA0 01	ANSA0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D変換チャンネル選択ビット	0 : AN000 ~ AN003 を変換対象から外す 1 : AN000 ~ AN003 を変換対象とする	R/W
b1	ANSA001			R/W
b2	ANSA002			R/W
b3	ANSA003			R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSA0 レジスタは、A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN003 を選択するレジスタです。グループスキャンモードでは、グループ A のチャンネルを選択します。

ANSA0n ビット (n = 00 ~ 03) (A/D 変換チャンネル選択ビット)

A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN003 の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA000 ビットが AN000 に、ANSA003 ビットが AN003 に対応します。

ダブルトリガモードを選択した場合は、S12AD.ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

(2) S12AD1.ADANSA0

アドレス 0008 9204h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	ANSA0 03	ANSA0 02	ANSA0 01	ANSA0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D変換チャンネル選択ビット	0 : AN100～AN103を変換対象から外す 1 : AN100～AN103を変換対象とする	R/W
b1	ANSA001			R/W
b2	ANSA002			R/W
b3	ANSA003			R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADANSA0 レジスタは、A/D変換を行うチャンネルのアナログ入力 AN100～AN103 を選択するレジスタです。グループスキャンモードでは、グループ A のチャンネルを選択します。

ANSA0n ビット (n = 00～03) (A/D変換チャンネル選択ビット)

A/D変換を行うチャンネルのアナログ入力 AN100～AN103 の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA000 ビットが AN100 に、ANSA003 ビットが AN103 に対応します。

ダブルトリガモードを選択した場合は、S12AD1.ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、S12AD1.ADCSR.ADST ビットが“0”のときに設定してください。

(3) S12AD2.ADANSA0

アドレス 0008 9404h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	ANSA011	ANSA010	ANSA009	ANSA008	ANSA007	ANSA006	ANSA005	ANSA004	ANSA003	ANSA002	ANSA001	ANSA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D変換チャンネル選択ビット	0 : AN200～AN211を変換対象から外す 1 : AN200～AN211を変換対象とする	R/W
b1	ANSA001			R/W
b2	ANSA002			R/W
b3	ANSA003			R/W
b4	ANSA004			R/W
b5	ANSA005			R/W
b6	ANSA006			R/W
b7	ANSA007			R/W
b8	ANSA008			R/W
b9	ANSA009			R/W
b10	ANSA010			R/W
b11	ANSA011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADANSA0 レジスタは、A/D変換を行うチャンネルのアナログ入力 AN200～AN211 を選択するレジスタです。グループスキャンモードでは、グループ A のチャンネルを選択します。

ANSA0n ビット (n = 00～11) (A/D変換チャンネル選択ビット)

A/D変換を行うチャンネルのアナログ入力 AN200～AN211 の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。内部基準電圧を A/D変換する場合は、アナログ入力チャンネルを選択しないでください（本レジスタ設定値を“0000h”としてください）。ANSA000 ビットが AN200 に、ANSA011 ビットが AN211 に対応します。

ダブルトリガモードを選択した場合は、S12AD2.ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、S12AD2.ADCSR.ADST ビットが“0”のときに設定してください。

31.2.5 A/D チャンネル選択レジスタ A1 (ADANSA1)

(1) S12AD.ADANSA1

アドレス 0008 9006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANSA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA100	A/D変換チャンネル選択ビット	0 : AN016を変換対象から外す 1 : AN016を変換対象とする	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSA1 レジスタは、A/D変換を行うチャンネルのアナログ入力 AN016 を選択するレジスタです。グループスキャンモードでは、グループ A のチャンネルを選択します。

ANSA100 ビット (A/D 変換チャンネル選択ビット)

A/D変換を行うチャンネルのアナログ入力 AN016 の選択を行います。

ダブルトリガモードを選択した場合は、S12AD.ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA100 ビットの設定は無効になります。

ANSA100 ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

(2) S12AD1.ADANSA1

アドレス 0008 9206h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANSA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA100	A/D変換チャンネル選択ビット	0 : AN116を変換対象から外す 1 : AN116を変換対象とする	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADANSA1 レジスタは、A/D変換を行うチャンネルのアナログ入力 AN116 を選択するレジスタです。グループスキャンモードでは、グループ A のチャンネルを選択します。

ANSA100 ビット (A/D 変換チャンネル選択ビット)

A/D変換を行うチャンネルのアナログ入力 AN116 の選択を行います。

ダブルトリガモードを選択した場合は、S12AD1.ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA100 ビットの設定は無効になります。

ANSA100 ビットは、S12AD1.ADCSR.ADST ビットが“0”のときに設定してください。

31.2.6 A/D チャンネル選択レジスタ B0 (ADANSB0)

(1) S12AD.ADANSB0

アドレス 0008 9014h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	ANSB0 03	ANSB0 02	ANSB0 01	ANSB0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D変換チャンネル選択ビット	0 : AN000～AN003を変換対象から外す 1 : AN000～AN003を変換対象とする	R/W
b1	ANSB001			R/W
b2	ANSB002			R/W
b3	ANSB003			R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN000～AN003 を選択するレジスタです。S12AD.ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (n = 00～03) (A/D 変換チャンネル選択ビット)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN000～AN003 の選択を行います。S12AD.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (S12AD.ADANSA0, S12AD.ADANSA1 レジスタ、またはダブルトリガモードによる S12AD.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル) 以外から設定します。

ANSB000 ビットが AN000 に、ANSB003 ビットが AN003 に対応します。

ANSB0n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

(2) S12AD1.ADANSB0

アドレス 0008 9214h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	ANSB0 03	ANSB0 02	ANSB0 01	ANSB0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D変換チャンネル選択ビット	0 : AN100～AN103を変換対象から外す 1 : AN100～AN103を変換対象とする	R/W
b1	ANSB001			R/W
b2	ANSB002			R/W
b3	ANSB003			R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN100～AN103 を選択するレジスタです。S12AD1.ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (n = 00～03) (A/D 変換チャンネル選択ビット)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN100～AN103 の選択を行います。S12AD1.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (S12AD1.ADANSA0, S12AD1.ADANSA1 レジスタ、またはダブルトリガモードによる S12AD1.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル) 以外から設定します。

ANSB000 ビットが AN100 に、ANSB003 ビットが AN103 に対応します。

ANSB0n ビットは、S12AD1.ADCSR.ADST ビットが“0”のときに設定してください。

(3) S12AD2.ADANSB0

アドレス 0008 9414h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	ANSB011	ANSB010	ANSB009	ANSB008	ANSB007	ANSB006	ANSB005	ANSB004	ANSB003	ANSB002	ANSB001	ANSB000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D変換チャンネル選択ビット	0 : AN200～AN211を変換対象から外す 1 : AN200～AN211を変換対象とする	R/W
b1	ANSB001			R/W
b2	ANSB002			R/W
b3	ANSB003			R/W
b4	ANSB004			R/W
b5	ANSB005			R/W
b6	ANSB006			R/W
b7	ANSB007			R/W
b8	ANSB008			R/W
b9	ANSB009			R/W
b10	ANSB010			R/W
b11	ANSB011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN200 ～ AN211 を選択するレジスタです。S12AD2.ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (n = 00 ～ 11) (A/D 変換チャンネル選択ビット)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN200 ～ AN211 の選択を行います。S12AD2.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (S12AD2.ADANSA0, S12AD2.ADANSA1 レジスタ、またはダブルトリガモードによる S12AD2.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル) 以外から設定します。

ANSB000 ビットが AN200 に、ANSB011 ビットが AN211 に対応します。

内部基準電圧を A/D 変換する場合は、アナログ入力チャンネルを選択しないでください (本レジスタ設定値を“0000h”としてください)。

ANSB0n ビットは、S12AD2.ADCSR.ADST ビットが“0”のときに設定してください。

31.2.7 A/D チャンネル選択レジスタ B1 (ADANSB1)

(1) S12AD.ADANSB1

アドレス 0008 9016h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANSB1 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB100	A/D変換チャンネル選択ビット	0 : AN016を変換対象から外す 1 : AN016を変換対象とする	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSB1 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN016 を選択するレジスタです。S12AD.ADANSB1 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB100 ビット (A/D 変換チャンネル選択ビット)

ANSB100 ビットは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネル AN016 の選択を行います。S12AD.ADANSB1 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (S12AD.ADANSA0, S12AD.ADANSA1 レジスタ、またはダブルトリガモードによる S12AD.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル) 以外から設定します。

ANSB100 ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

(2) S12AD1.ADANSB1

アドレス 0008 9216h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANSB100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB100	A/D変換チャンネル選択ビット	0 : AN116を変換対象から外す 1 : AN116を変換対象とする	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADANSB1 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN116 を選択するレジスタです。S12AD1.ADANSB1 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB100 ビット (A/D 変換チャンネル選択ビット)

ANSB100 ビットは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネル AN116 の選択を行います。S12AD1.ADANSB1 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (S12AD1.ADANSA0, S12AD1.ADANSA1 レジスタ、またはダブルトリガモードによる S12AD1.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル) 以外から設定します。

ANSB100 ビットは、S12AD1.ADCSR.ADST ビットが“0”のときに設定してください。

31.2.8 A/D チャンネル選択レジスタ C0 (ADANSC0)

(1) S12AD.ADANSC0

アドレス 0008 90D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	ANSC0 03	ANSC0 02	ANSC0 01	ANSC0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC000	A/D変換チャンネル選択ビット	0 : AN000～AN003を変換対象から外す 1 : AN000～AN003を変換対象とする	R/W
b1	ANSC001			R/W
b2	ANSC002			R/W
b3	ANSC003			R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSC0 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN000～AN003 を選択するレジスタです。S12AD.ADANSC0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC0n ビット (n = 00～03) (A/D 変換チャンネル選択ビット)

グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN000～AN003 の選択を行います。S12AD.ADANSC0 レジスタは他のスキャンモードでは使用しません。

ANSC000 ビットが AN000 に、ANSC003 ビットが AN003 に対応します。

ANSC0n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

(2) S12AD1.ADANSC0

アドレス 0008 92D4h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	ANSC0 03	ANSC0 02	ANSC0 01	ANSC0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC000	A/D変換チャンネル選択ビット	0 : AN100～AN103を変換対象から外す 1 : AN100～AN103を変換対象とする	R/W
b1	ANSC001			R/W
b2	ANSC002			R/W
b3	ANSC003			R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADANSC0 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN100～AN103 を選択するレジスタです。S12AD1.ADANSC0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC0n ビット (n = 00 ～ 03) (A/D 変換チャンネル選択ビット)

グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN100～AN103 の選択を行います。S12AD1.ADANSC0 レジスタは他のスキャンモードでは使用しません。

ANSC000 ビットが AN100 に、ANSC003 ビットが AN103 に対応します。

ANSC0n ビットは、S12AD1.ADCSR.ADST ビットが“0”のときに設定してください。

(3) S12AD2.ADANSC0

アドレス 0008 94D4h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	ANSC0 11	ANSC0 10	ANSC0 09	ANSC0 08	ANSC0 07	ANSC0 06	ANSC0 05	ANSC0 04	ANSC0 03	ANSC0 02	ANSC0 01	ANSC0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC000	A/D変換チャンネル選択ビット	0 : AN200～AN211を変換対象から外す 1 : AN200～AN211を変換対象とする	R/W
b1	ANSC001			R/W
b2	ANSC002			R/W
b3	ANSC003			R/W
b4	ANSC004			R/W
b5	ANSC005			R/W
b6	ANSC006			R/W
b7	ANSC007			R/W
b8	ANSC008			R/W
b9	ANSC009			R/W
b10	ANSC010			R/W
b11	ANSC011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADANSC0 レジスタは、グループスキャンモード選択時にグループCでA/D変換を行うチャンネルのアナログ入力AN200～AN211を選択するレジスタです。S12AD2.ADANSC0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC0n ビット (n = 00 ～ 11) (A/D 変換チャンネル選択ビット)

グループスキャンモード選択時にグループCでA/D変換を行うチャンネルのアナログ入力AN200～AN211の選択を行います。S12AD2.ADANSC0 レジスタは他のスキャンモードでは使用しません。

ANSC000 ビットがAN200に、ANSC011 ビットがAN211に対応します。

内部基準電圧をA/D変換する場合は、アナログ入力チャンネルを選択しないでください(本レジスタ設定値を“0000h”としてください)。

ANSC0n ビットは、S12AD2.ADCSR.ADST ビットが“0”のときに設定してください。

31.2.9 A/D チャネル選択レジスタ C1 (ADANSC1)

(1) S12AD.ADANSC1

アドレス 0008 90D6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANSC100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC100	A/D変換チャンネル選択ビット	0 : AN016を変換対象から外す 1 : AN016を変換対象とする	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSC1 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN016 を選択するレジスタです。S12AD.ADANSC1 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC100 ビット (A/D 変換チャンネル選択ビット)

ANSC100 ビットは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネル AN016 の選択を行います。S12AD.ADANSC1 レジスタは他のスキャンモードでは使用しません。

ANSC100 ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

(2) S12AD1.ADANSC1

アドレス 0008 92D6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANSC100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC100	A/D変換チャンネル選択ビット	0 : AN116を変換対象から外す 1 : AN116を変換対象とする	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADANSC1 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN116 を選択するレジスタです。S12AD1.ADANSC1 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC100 ビット (A/D 変換チャンネル選択ビット)

ANSC100 ビットは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネル AN116 の選択を行います。S12AD1.ADANSC1 レジスタは他のスキャンモードでは使用しません。

ANSC100 ビットは、S12AD1.ADCSR.ADST ビットが“0”のときに設定してください。

31.2.10 A/D 変換値加算 / 平均機能チャンネル選択レジスタ 0 (ADADS0)

(1) S12AD.ADADS0

アドレス 0008 9008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	ADS00 3	ADS00 2	ADS00 1	ADS00 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D変換値加算/平均チャンネル選択ビット	0 : AN000 ~ AN003のA/D変換値加算/平均モード非選択 1 : AN000 ~ AN003のA/D変換値加算/平均モード選択	R/W
b1	ADS001			R/W
b2	ADS002			R/W
b3	ADS003			R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADADS0 レジスタは、A/D 変換を連続 2 ~ 4、16 回実施して加算（積算）、または平均する A/D 変換チャンネル AN000 ~ AN003 を選択します。

ADS0n ビット (n = 00 ~ 03) (A/D 変換値加算 / 平均チャンネル選択ビット)

S12AD.ADANSA0.ANSA0n ビット (n = 00 ~ 03)、または S12AD.ADCSR.DBLANS[4:0] ビットと S12AD.ADANSB0.ANSB0n ビットで選択した A/D 変換チャンネルと同一番号の ADS0n ビットを“1”にすると、S12AD.ADADC.ADC[2:0] ビットで設定した回数 (2 ~ 4、16 回) 分、選択したチャンネルのアナログ入力を連続して A/D 変換し、S12AD.ADADC.AVEE ビットが“0”の場合、加算（積算）した値を、S12AD.ADADC.AVEE ビットが“1”の場合、加算（積算）値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS0n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

(2) S12AD1.ADADS0

アドレス 0008 9208h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	ADS00 3	ADS00 2	ADS00 1	ADS00 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D変換値加算/平均チャンネル選択 ビット	0 : AN100～AN103のA/D変換値加算/平均モード非選択 1 : AN100～AN103のA/D変換値加算/平均モード選択	R/W
b1	ADS001			R/W
b2	ADS002			R/W
b3	ADS003			R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADADS0 レジスタは、A/D 変換を連続 2～4、16 回実施して加算（積算）、または平均する A/D 変換チャンネル AN100～AN103 を選択します。

ADS0n ビット (n = 00～03) (A/D 変換値加算 / 平均チャンネル選択ビット)

S12AD1.ADANSA0.ANSA0n ビット (n = 00～03)、または S12AD1.ADCSR.DBLANS[4:0] ビットと S12AD1.ADANSB0.ANSB0n ビット、S12AD1.ADANSC0.ANSC0n ビットで選択した A/D 変換チャンネルと同一番号の ADS0n ビットを“1”にすると、S12AD1.ADADC.ADC[2:0] ビットで設定した回数 (2～4、16 回) 分、選択したチャンネルのアナログ入力を連続して A/D 変換し、S12AD1.ADADC.AVEE ビットが“0”の場合、加算（積算）した値を、S12AD1.ADADC.AVEE ビットが“1”の場合、加算（積算）値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS0n ビットは、S12AD1.ADCSR.ADST ビットが“0”のときに設定してください。

(3) S12AD2.ADADS0

アドレス 0008 9408h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	ADS01 1	ADS01 0	ADS00 9	ADS00 8	ADS00 7	ADS00 6	ADS00 5	ADS00 4	ADS00 3	ADS00 2	ADS00 1	ADS00 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D変換値加算/平均チャンネル選択ビット	0 : AN200 ~ AN211のA/D変換値加算/平均モード非選択 1 : AN200 ~ AN211のA/D変換値加算/平均モード選択	R/W
b1	ADS001			R/W
b2	ADS002			R/W
b3	ADS003			R/W
b4	ADS004			R/W
b5	ADS005			R/W
b6	ADS006			R/W
b7	ADS007			R/W
b8	ADS008			R/W
b9	ADS009			R/W
b10	ADS010			R/W
b11	ADS011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADADS0レジスタは、A/D変換を連続2～4、16回実施して加算（積算）、または平均するA/D変換チャンネルAN200～AN211を選択します。

ADS0nビット (n = 00 ~ 11) (A/D変換値加算/平均チャンネル選択ビット)

S12AD2.ADANSA0.ANSA0nビット (n = 00 ~ 11)、またはS12AD2.ADCSR.DBLANS[4:0]ビットとS12AD2.ADANSB0.ANSB0nビット、S12AD2.ADANSC0.ANSC0nビットで選択したA/D変換チャンネルと同一番号のADS0nビットを“1”にすると、S12AD2.ADADC.ADC[2:0]ビットで設定した回数（2～4、16回）分、選択したチャンネルのアナログ入力を連続してA/D変換し、S12AD2.ADADC.AVEEビットが“0”の場合、加算（積算）した値を、S12AD2.ADADC.AVEEビットが“1”の場合、加算（積算）値から平均した値をA/Dデータレジスタに格納します。加算/平均モードが非選択のA/D変換チャンネルは、通常の1回変換を実施し、A/Dデータレジスタに値を格納します。

ADS0nビットは、S12AD2.ADCSR.ADSTビットが“0”のときに設定してください。

31.2.11 A/D 変換値加算 / 平均機能チャンネル選択レジスタ 1 (ADADS1)

(1) S12AD.ADADS1

アドレス 0008 900Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADS10 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS100	A/D 変換値加算 / 平均チャンネル選択ビット	0 : AN016のA/D変換値加算 / 平均モード非選択 1 : AN016のA/D変換値加算 / 平均モード選択	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADADS1 レジスタは、A/D 変換を連続 2 ~ 4, 16 回実施して加算（積算）、または平均する A/D 変換チャンネル 16 を選択します。

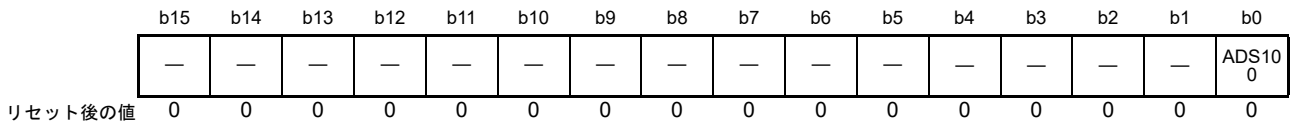
ADS100 ビット (A/D 変換値加算 / 平均チャンネル選択ビット)

S12AD.ADANSA1.ADS100 ビット、または S12AD.ADCSR.DBLANS[4:0] ビットと S12AD.ADANSB1.ANSB100 ビットで選択した A/D 変換チャンネルと同一番号の ADS100 ビットを“1”にすると、S12AD.ADADC.ADC[2:0] ビットで設定した回数（2 ~ 4, 16 回）分、選択したチャンネルのアナログ入力を連続して A/D 変換し、S12AD.ADADC.AVEE ビットが“0”の場合、加算（積算）した値を、S12AD.ADADC.AVEE ビットが“1”の場合、加算（積算）値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS100 ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

(2) S12AD1.ADADS1

アドレス 0008 920Ah



ビット	シンボル	ビット名	機能	R/W
b0	ADS100	A/D変換値加算/平均チャンネル選択ビット	0 : AN116のA/D変換値加算/平均モード非選択 1 : AN116のA/D変換値加算/平均モード選択	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADADS1 レジスタは、A/D変換を連続2～4, 16回実施して加算（積算）、または平均するA/D変換チャンネルAN116を選択します。

ADS100ビット（A/D変換値加算/平均チャンネル選択ビット）

S12AD1.ADANSA1.ADS100ビット、またはS12AD1.ADCSR.DBLANS[4:0]ビットとS12AD1.ADANSB1.ANSB100ビットで選択したA/D変換チャンネルと同一番号のADS100ビットを“1”にすると、S12AD1.ADADC.ADC[2:0]ビットで設定した回数（2～4, 16回）分、選択したチャンネルのアナログ入力を連続してA/D変換し、S12AD1.ADADC.AVEEビットが“0”の場合、加算（積算）した値を、S12AD1.ADADC.AVEEビットが“1”の場合、加算（積算）値から平均した値をA/Dデータレジスタに格納します。加算/平均モードが非選択のA/D変換チャンネルは、通常の1回変換を実施し、A/Dデータレジスタに値を格納します。

ADS100ビットは、S12AD1.ADCSR.ADSTビットが“0”のときに設定してください。

図31.4にS12AD2.ADADS0.ADS002とS12AD2.ADADS0.ADS006ビットを“1”にしたときのスキャン動作シーケンスを示します。

連続スキャンモード（S12AD2.ADCSR.ADCS[1:0] = 10b）で、加算モードを選択（S12AD2.ADADC.AVEE = 0）、加算回数は3回に設定（S12AD2.ADADC.ADC[2:0] = 011b）、AN200～AN207が選択（S12AD2.ADANSA0.ANSA0n = FFh）されているものとします。AN200から変換を開始します。AN202の変換は4回連続変換（3回加算）し、加算（積算）値をA/Dデータレジスタ2に返します。その後、AN203の変換を開始し、AN206の変換で4回連続変換し、加算（積算）値をA/Dデータレジスタ6に返します。AN207の変換後、再度AN200から同じシーケンスで動作します。

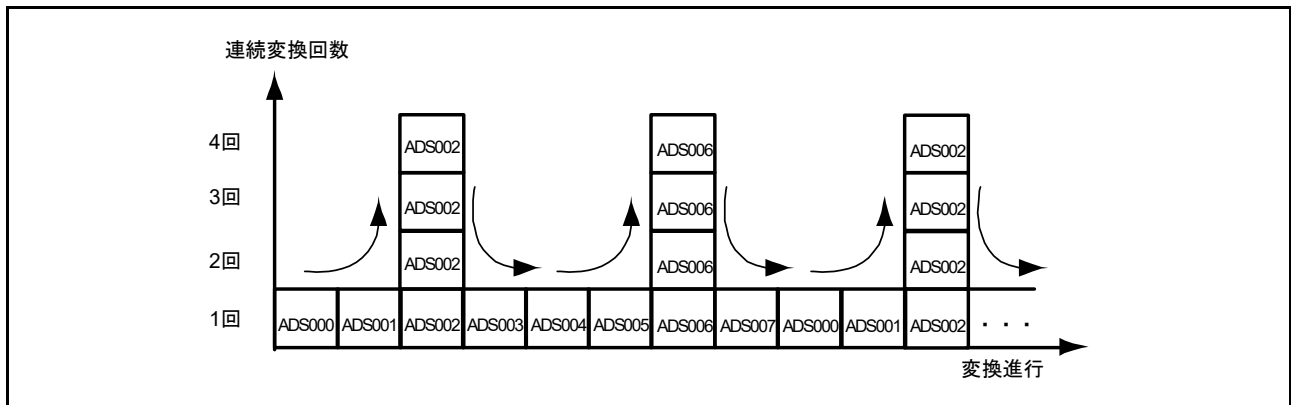


図 31.4 S12AD2.ADADC.ADC[2:0] = 011b, S12AD2.ADADC.AVEE = 0, S12AD2.ADADS0.ADS002 = 1, S12AD2.ADADS0.ADS006 = 1 選択時のスキャン変換シーケンス

31.2.12 A/D 変換値加算 / 平均回数選択レジスタ (ADADC)

アドレス S12AD.ADADC 0008 900Ch, S12AD1.ADADC 0008 920Ch, S12AD2.ADADC 0008 940Ch

b7	b6	b5	b4	b3	b2	b1	b0
AVEE	—	—	—	—	ADC[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ADC[2:0]	加算回数選択ビット	b2 b0 0 0 0 : 1回変換 (加算なし。通常変換と同じ) 0 0 1 : 2回変換 (1回加算を行う) 0 1 0 : 3回変換 (2回加算を行う) (注1) 0 1 1 : 4回変換 (3回加算を行う) 1 0 1 : 16回変換 (15回加算を行う) (注1) 上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	AVEE	平均モードイネーブルビット	0 : 加算モードを選択 1 : 平均モードを選択	R/W

注1. AVEE ビットは、2回変換、4回変換の時にのみ有効です。平均モードを選択した場合 (ADADC.AVEE = 1)、3回変換 (ADADC.ADC[2:0] = 010b) および16回変換 (ADADC.ADC[2:0] = 101b) に設定しないでください。

ADADC レジスタは、A/D 変換値加算 / 平均モードが選択されたチャンネル、内部基準電圧 (S12AD2 のみ) の A/D 変換に対して加算回数の設定と、加算モード / 平均モードの選択を行います。

ADC[2:0] ビット (加算回数選択ビット)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および加算 / 平均モードが選択されたチャンネル、内部基準電圧の A/D 変換に対して共通の加算回数を設定します。

ADADC.AVEE ビットを“1”にして平均モードを選択する場合、1回変換 (ADADC.ADC[2:0] = 000b)、3回変換 (ADADC.ADC[2:0] = 010b) および16回変換 (ADADC.ADC[2:0] = 101b) に設定しないでください。

ADC[2:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

AVEE ビット (平均モードイネーブルビット)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および加算 / 平均モードが選択されたチャンネル、内部基準電圧の A/D 変換に対して加算モード、または平均モードの選択を行います。

ADADC.AVEE ビットを“1”にして平均モードを選択する場合、1回変換 (ADADC.ADC[2:0] = 000b)、3回変換 (ADADC.ADC[2:0] = 010b) および16回変換 (ADADC.ADC[2:0] = 101b) に設定しないでください。

1回、3回および16回変換の平均値を求めることはできません。

AVEE ビットの設定は、ADCSR.ADST ビットが“0”のときに設定してください。

31.2.13 A/D コントロール拡張レジスタ (ADCER)

アドレス S12AD.ADCER 0008 900Eh, S12AD1.ADCER 0008 920Eh, S12AD2.ADCER 0008 940Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	A/D データレジスタ自動クリアイネーブルビット	0 : 自動クリアを禁止 1 : 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0 : 自己診断電圧固定モード時は設定禁止 0 1 : 0Vの電圧を使って自己診断を行う 1 0 : 基準電源×1/2の電圧を使って自己診断を行う 1 1 : 基準電源の電圧を使って自己診断を行う	R/W
b10	DIAGLD	自己診断モード選択ビット	0 : 自己診断電圧ローテーションモード 1 : 自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブルビット	0 : 12ビットA/Dコンバータの自己診断を実施しない 1 : 12ビットA/Dコンバータの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/D データレジスタフォーマット選択ビット	0 : A/D データレジスタのフォーマットを右詰めにする 1 : A/D データレジスタのフォーマットを左詰めにする	R/W

ADCER レジスタは、自己診断モード、A/D データレジスタ y (ADDR y) のフォーマット、A/D データレジスタの自動クリア機能の設定を行うレジスタです。

ACE ビット (A/D データレジスタ自動クリアイネーブルビット)

CPU, DTC によって ADDR y , ADDR, ADDBLDR, ADDBLDRA, ADDBLDRB, ADOCDR レジスタを読み出した後、当該レジスタの自動クリア (All“0”) を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新故障を検出することができます。

DIAGVAL[1:0] ビット (自己診断変換電圧選択ビット)

自己診断電圧固定モードでの電圧値を選択します。詳細は ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが“00b”の状態では ADCER.DIAGLD ビットを“1”に設定して、自己診断を実施しないでください。

DIAGLD ビット (自己診断モード選択ビット)

自己診断で変換する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。ADCER.DIAGLD ビットを“0”にすると 0V → 基準電源 × 1/2 → 基準電源の順番にローテーションして変換していきます。リセット後、自己診断ローテーションモードを選択した場合は 0V から自己診断を行います。自己診断電圧固定モードを選択した場合は ADCER.DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても 0V に戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST が“0”のときに行ってください。

DIAGM ビット (自己診断イネーブルビット)

自己診断を実施するかしないかを選択します。

自己診断は、12ビットA/Dコンバータの故障を検出するための機能です。内部で生成する0V、基準電源×1/2、基準電源の3つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADDRD) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアでADDRDレジスタを読み出し、変換値が正常の範囲にある (正常) かない (異常) かを判断します。自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。グループスキャンモードで自己診断を選択した場合は、グループAとグループBとグループCのそれぞれで自己診断を実行します。

DIAGMビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

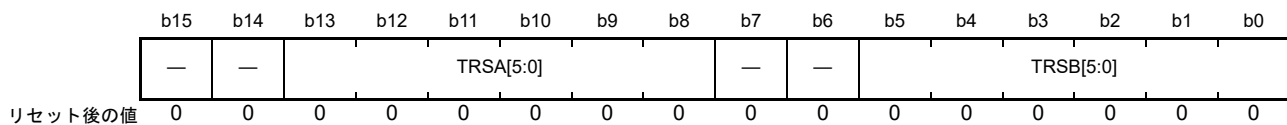
ADDRy, ADDBLDR, ADDBLDRA, ADDBLDRB, ADOCDR, ADDRDレジスタに格納するデータの右詰め/左詰めを選択します。

ADRFMTビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

各データレジスタのフォーマットの詳細は、「31.2.1 A/D データレジスタ y (ADDRy) A/D データ二重化レジスタ (ADDBLDR) A/D データ二重化レジスタ A (ADDBLDRA) A/D データ二重化レジスタ B (ADDBLDRB) A/D 内部基準電圧データレジスタ (ADOCDR)」、「31.2.2 A/D 自己診断データレジスタ (ADDRD)」を参照してください。

31.2.14 A/D 変換開始トリガ選択レジスタ (ADSTRGR)

アドレス S12AD.ADSTRGR 0008 9010h, S12AD1.ADSTRGR 0008 9210h, S12AD2.ADSTRGR 0008 9410h



ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループB専用A/D変換開始トリガ選択ビット	グループスキャンモードでグループBのA/D変換開始トリガを選択します	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択ビット	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSTRGR レジスタは、A/D 変換開始トリガの選択を行うレジスタです。

TRSB[5:0] ビット (グループB専用A/D変換開始トリガ選択ビット)

グループBで選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループBのスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定は禁止です。よって、グループスキャンモードでは、TRSB[5:0] ビットを“000000b”以外に設定し、ADCSR.TRGE ビットを“1”に設定してください。

グループスキャンモードのグループ優先動作時に、2グループを選択 (ADGCTRGR.GRCE = 0) した場合、ADGSPCR.GBRP ビットを“1”に設定することで、グループBをシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを“1”に設定する場合は、TRSB[5:0] ビットを“3Fh”に設定してください。なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによるA/D変換が無効となる場合があります。

A/D変換開始トリガに80MHz動作モジュール (MTU, GPT) からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「31.3.5 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 31.8 に TRSB[5:0] ビットでの A/D 起動要因選択一覧を示します。

TRSA[5:0] ビット (A/D 変換開始トリガ選択ビット)

シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガの選択を行います。グループスキャンモードではグループAで選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを実行する場合は、ADCSR.TRGE ビットを“1”に設定してください。

- 同期トリガのA/D変換起動要因を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつADCSR.EXTRG ビットを“0”に設定してください。
- 非同期トリガを使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつADCSR.EXTRG ビットを“1”に設定してください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0]

ビットの設定値にかかわらず有効です。

なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによるA/D変換が無効となる場合があります。A/D変換開始トリガに80MHz動作モジュール (MTU, GPT) からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「31.3.5 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。表 31.9 に TRSA[5:0] ビットでのA/D起動要因選択一覧を示します。

表 31.8 TRSB[5:0]ビットでのA/D起動要因選択一覧 (1/2)

モジュール	要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態			1	1	1	1	1	1
MTU3	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー(谷)	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー(谷)	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	0
	TRG7AN または TRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、またはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	1
	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	1	0	0	0	0
	TRGA9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	1	0	0	1	1
	TRG9N	MTU9.TGREのコンペアマッチ	0	1	0	1	0	0
	TRGA0N または TRG0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU0.TGREのコンペアマッチ	0	1	1	0	0	1
TRGA9N または TRG9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU9.TGREのコンペアマッチ	0	1	1	0	1	0	
TRGA0N または TRGA9N	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、またはMTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	1	1	0	1	1	
TRG0N または TRG9N	MTU0.TGREのコンペアマッチ、またはMTU9.TGREのコンペアマッチ	0	1	1	1	0	0	
TMR	TMTRG0AN_0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	0	1	1	1	0	1
	TMTRG0AN_1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	0	1	1	1	1	0
	TMTRG0AN_2	TMR4.TCORAとTMR4.TCNTのコンペアマッチ	0	1	1	1	1	1
	TMTRG0AN_3	TMR6.TCORAとTMR6.TCNTのコンペアマッチ	1	0	0	0	0	0

表31.8 TRSB[5:0]ビットでのA/D起動要因選択一覧 (2/2)

モジュール	要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
MTU3	TRG9AEN	MTU9.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGREのコンペアマッチ	1	0	0	0	0	1
	TRG0AEN	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU0.TGREのコンペアマッチ	1	0	0	0	1	0
	TRGA09N	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGRAのコンペアマッチ/インプットキャプチャ	1	0	0	0	1	1
	TRG09N	MTU0.TGREのコンペアマッチと、MTU9.TGREのコンペアマッチ	1	0	0	1	0	0
GPT	GTADTRA0N	GPT0.GTADTRAのコンペアマッチ	1	1	0	0	1	0
	GTADTRB0N	GPT0.GTADTRBのコンペアマッチ	1	1	0	0	1	1
	GTADTRA1N	GPT1.GTADTRAのコンペアマッチ	1	1	0	1	0	0
	GTADTRB1N	GPT1.GTADTRBのコンペアマッチ	1	1	0	1	0	1
	GTADTRA2N	GPT2.GTADTRAのコンペアマッチ	1	1	0	1	1	0
	GTADTRB2N	GPT2.GTADTRBのコンペアマッチ	1	1	0	1	1	1
	GTADTRA3N	GPT3.GTADTRAのコンペアマッチ	1	1	1	0	0	0
	GTADTRB3N	GPT3.GTADTRBのコンペアマッチ	1	1	1	0	0	1
	GTADTRA0N または GTADTRB0N	GPT0.GTADTRAのコンペアマッチ、または GPT0.GTADTRBのコンペアマッチ	1	1	1	0	1	0
	GTADTRA1N または GTADTRB1N	GPT1.GTADTRAのコンペアマッチ、または GPT1.GTADTRBのコンペアマッチ	1	1	1	0	1	1
	GTADTRA2N または GTADTRB2N	GPT2.GTADTRAのコンペアマッチ、または GPT2.GTADTRBのコンペアマッチ	1	1	1	1	0	0
	GTADTRA3N または GTADTRB3N	GPT3.GTADTRAのコンペアマッチ、または GPT3.GTADTRBのコンペアマッチ	1	1	1	1	0	1

表 31.9 TRSA[5:0]ビットでのA/D起動要因選択一覧 (1/2)

モジュール	要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態			1	1	1	1	1	1
MTU3	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー (谷)	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー (谷)	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	0
	TRG7AN または TRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、またはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	1
	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	1	0	0	0	0
	TRGA9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	1	0	0	1	1
	TRG9N	MTU9.TGREのコンペアマッチ	0	1	0	1	0	0
	TRGA0N またはTRG0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU0.TGREのコンペアマッチ	0	1	1	0	0	1
	TRGA9N またはTRG9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU9.TGREのコンペアマッチ	0	1	1	0	1	0
TRGA0N または TRGA9N	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、またはMTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	1	1	0	1	1	
TRG0N またはTRG9N	MTU0.TGREのコンペアマッチ、または、MTU9.TGREのコンペアマッチ	0	1	1	1	0	0	
TMR	TMTRG0AN_0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	0	1	1	1	0	1
	TMTRG0AN_1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	0	1	1	1	1	0
	TMTRG0AN_2	TMR4.TCORAとTMR4.TCNTのコンペアマッチ	0	1	1	1	1	1
	TMTRG0AN_3	TMR6.TCORAとTMR6.TCNTのコンペアマッチ	1	0	0	0	0	0
MTU3	TRG9AEN	MTU9.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGREのコンペアマッチ	1	0	0	0	0	1
	TRG0AEN	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU0.TGREのコンペアマッチ	1	0	0	0	1	0
	TRGA09N	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGRAのコンペアマッチ/インプットキャプチャ	1	0	0	0	1	1
	TRG09N	MTU0.TGREのコンペアマッチと、MTU9.TGREのコンペアマッチ	1	0	0	1	0	0

表31.9 TRSA[5:0]ビットでのA/D起動要因選択一覧 (2/2)

モジュール	要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
GPT	GTADTRA0N	GPT0.GTADTRAのコンペアマッチ	1	1	0	0	1	0
	GTADTRB0N	GPT0.GTADTRBのコンペアマッチ	1	1	0	0	1	1
	GTADTRA1N	GPT1.GTADTRAのコンペアマッチ	1	1	0	1	0	0
	GTADTRB1N	GPT1.GTADTRBのコンペアマッチ	1	1	0	1	0	1
	GTADTRA2N	GPT2.GTADTRAのコンペアマッチ	1	1	0	1	1	0
	GTADTRB2N	GPT2.GTADTRBのコンペアマッチ	1	1	0	1	1	1
	GTADTRA3N	GPT3.GTADTRAのコンペアマッチ	1	1	1	0	0	0
	GTADTRB3N	GPT3.GTADTRBのコンペアマッチ	1	1	1	0	0	1
	GTADTRA0N または GTADTRB0N	GPT0.GTADTRAのコンペアマッチ、または GPT0.GTADTRBのコンペアマッチ	1	1	1	0	1	0
	GTADTRA1N または GTADTRB1N	GPT1.GTADTRAのコンペアマッチ、または GPT1.GTADTRBのコンペアマッチ	1	1	1	0	1	1
	GTADTRA2N または GTADTRB2N	GPT2.GTADTRAのコンペアマッチ、または GPT2.GTADTRBのコンペアマッチ	1	1	1	1	0	0
	GTADTRA3N または GTADTRB3N	GPT3.GTADTRAのコンペアマッチ、または GPT3.GTADTRBのコンペアマッチ	1	1	1	1	0	1

31.2.15 A/D変換拡張入力コントロールレジスタ (ADEXICR)

アドレス S12AD2.ADEXICR 0008 9412h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OCSA	—	—	—	—	—	—	—	OCSAD	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	OCSAD	内部基準電圧A/D変換値加算/平均モード選択ビット	0：内部基準電圧A/D変換値加算/平均モード非選択 1：内部基準電圧A/D変換値加算/平均モード選択	R/W
b8-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	OCSA	内部基準電圧A/D変換選択ビット	0：内部基準電圧をA/D変換しない 1：内部基準電圧をA/D変換する	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADEXICR レジスタは、内部基準電圧のA/D変換の設定をします。

OCSAD ビット (内部基準電圧 A/D 変換値加算 / 平均モード選択ビット)

内部基準電圧のA/D変換を選択し、OCSAD ビットを“1”にすると、ADADC.ADC[2:0] ビットで設定した回数 (2～4、16回) 分、内部基準電圧を連続してA/D変換し、ADADC.AVEE ビットが“0”の場合は加算 (積算) した値を、ADADC.AVEE ビットが“1”の場合は平均した値をA/D内部基準電圧データレジスタ (ADOCADR) に格納します。

OCSAD ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

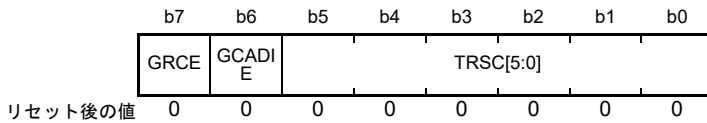
OCSA ビット (内部基準電圧 A/D 変換選択ビット)

シングルスキャンモードでの内部基準電圧のA/D変換を選択します。内部基準電圧のA/D変換を行う場合は、ADANSA0, ADANSA1 レジスタ、ADANSB0, ADANSB1 レジスタの全ビットとADCSR.DBLE ビットの全てに“0”を設定し、シングルスキャンモードで実行してください。OCSA ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。内部基準電圧のA/D変換は、サンプリング前にディスチャージを行う必要がありますので、ADDISCR.ADNDIS[4:0] ビットに“0Fh”を自動的に設定します。また、サンプリング時間は5 μ s以上に設定してください。

内部基準電圧のA/D変換は、ディスチャージ完了後、サンプリングが開始するので、オートディスチャージ期間 (15ADCLK) がサンプリング前に挿入されます。

31.2.16 A/D グループC トリガ選択レジスタ (ADGCTRGR)

アドレス S12AD.ADGCTRGR 0008 90D9h, S12AD1.ADGCTRGR 0008 92D9h, S12AD2.ADGCTRGR 0008 94D9h



ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSC[5:0]	グループC専用A/D変換開始トリガ選択ビット	グループスキャンモードでグループCのA/D変換開始トリガを選択します	R/W
b6	GCADIE	グループCスキャン終了割り込み許可ビット	0: グループCのスキャン終了後に割り込み発生を禁止 1: グループCのスキャン終了後に割り込み発生を許可	R/W
b7	GRCE	グループC専用A/D変換動作許可ビット	グループCのA/D変換動作許可を設定します 0: グループCを使用しない 1: グループCを使用する	R/W

ADGCTRGR レジスタは、グループCの動作許可設定とA/D変換開始トリガを選択します。グループ優先動作の設定は、表 31.14、表 31.15 を参照してください。

TRSC[5:0] ビット (グループC専用A/D変換開始トリガ選択ビット)

グループCで選択したアナログ入力のスキャンを開始するトリガの選択を行います。TRSC[5:0] ビットはグループスキャンモードでのみ使用可能なビットで、他のスキャンモードでは使用しません。グループCのスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガは設定できません。グループスキャンモードでグループCを使用する場合は、TRSC[5:0] ビットを“000000b”以外に設定し、ADCSR.TRGE ビットを“1”、GRCE ビットを“1”に設定してください。

グループスキャンモードのグループ優先制御時にグループCを使用し、ADGSPCR.GBRP ビットを“1”に設定することで、グループCをシングルスキャンモードで連続動作させることができます。グループCをシングルスキャンモードで連続動作させる場合は、TRSC[5:0] ビットを“3Fh”に設定し、トリガ選択を無効にしてください。

なお、AD変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによるA/D変換が無効となる場合があります。

A/D変換開始トリガに80MHz動作モジュール (MTU, GPT) からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「31.3.5 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 31.10 に TRSC[5:0] ビット (グループC専用) でのA/D起動要因選択一覧を示します。

表31.10 TRSC[5:0]ビット (グループC専用) でのA/D起動要因選択一覧 (1/2)

モジュール	要因	備考	TRSC[5]	TRSC[4]	TRSC[3]	TRSC[2]	TRSC[1]	TRSC[0]
トリガ要因非選択状態			1	1	1	1	1	1
MTU3	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー(谷)	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー(谷)	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	0
	TRG7AN または TRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、またはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	1
	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	1	0	0	0	0
	TRGA9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	1	0	0	1	1
	TRG9N	MTU9.TGREのコンペアマッチ	0	1	0	1	0	0
	TRGA0N または TRG0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU0.TGREのコンペアマッチ	0	1	1	0	0	1
	TRGA9N または TRG9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU9.TGREのコンペアマッチ	0	1	1	0	1	0
TRGA0N または TRGA9N	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、またはMTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	1	1	0	1	1	
TRG0N または TRG9N	MTU0.TGREのコンペアマッチ、またはMTU9.TGREのコンペアマッチ	0	1	1	1	0	0	
TMR	TMTRG0AN_0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	0	1	1	1	0	1
	TMTRG0AN_1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	0	1	1	1	1	0
	TMTRG0AN_2	TMR4.TCORAとTMR4.TCNTのコンペアマッチ	0	1	1	1	1	1
	TMTRG0AN_3	TMR6.TCORAとTMR6.TCNTのコンペアマッチ	1	0	0	0	0	0
MTU3	TRG9AEN	MTU9.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGREのコンペアマッチ	1	0	0	0	0	1
	TRG0AEN	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU0.TGREのコンペアマッチ	1	0	0	0	1	0
	TRGA09N	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGRAのコンペアマッチ/インプットキャプチャ	1	0	0	0	1	1
	TRG09N	MTU0.TGREのコンペアマッチと、MTU9.TGREのコンペアマッチ	1	0	0	1	0	0

表31.10 TRSC[5:0]ビット (グループC専用) でのA/D起動要因選択一覧 (2/2)

モジュール	要因	備考	TRSC[5]	TRSC[4]	TRSC[3]	TRSC[2]	TRSC[1]	TRSC[0]
GPT	GTADTRA0N	GPT0.GTADTRAのコンペアマッチ	1	1	0	0	1	0
	GTADTRB0N	GPT0.GTADTRBのコンペアマッチ	1	1	0	0	1	1
	GTADTRA1N	GPT1.GTADTRAのコンペアマッチ	1	1	0	1	0	0
	GTADTRB1N	GPT1.GTADTRBのコンペアマッチ	1	1	0	1	0	1
	GTADTRA2N	GPT2.GTADTRAのコンペアマッチ	1	1	0	1	1	0
	GTADTRB2N	GPT2.GTADTRBのコンペアマッチ	1	1	0	1	1	1
	GTADTRA3N	GPT3.GTADTRAのコンペアマッチ	1	1	1	0	0	0
	GTADTRB3N	GPT3.GTADTRBのコンペアマッチ	1	1	1	0	0	1
	GTADTRA0N または GTADTRB0N	GPT0.GTADTRAのコンペアマッチ、または GPT0.GTADTRBのコンペアマッチ	1	1	1	0	1	0
	GTADTRA1N または GTADTRB1N	GPT1.GTADTRAのコンペアマッチ、または GPT1.GTADTRBのコンペアマッチ	1	1	1	0	1	1
	GTADTRA2N または GTADTRB2N	GPT2.GTADTRAのコンペアマッチ、または GPT2.GTADTRBのコンペアマッチ	1	1	1	1	0	0
	GTADTRA3N または GTADTRB3N	GPT3.GTADTRAのコンペアマッチ、または GPT3.GTADTRBのコンペアマッチ	1	1	1	1	0	1

GCADIE ビット (グループC スキャン終了割り込み許可ビット)

グループスキャンモードでのグループCのスキャン終了割り込みの発生を許可/禁止します。グループCのスキャン終了割り込みはユニットごとに各1本あり、各ユニットとグループCのスキャン終了割り込みの関係を表31.11に示します。

表31.11 各ユニットとグループCのスキャン終了割り込みの関係

ユニット	グループCのスキャン終了割り込み
S12AD	GCADI
S12AD1	GCADI1
S12AD2	GCADI2

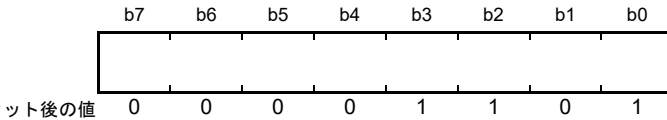
GRCE ビット (グループC専用A/D変換動作許可ビット)

グループスキャンモードでグループCを使用する場合は、GRCEビットを“1”にしてください。GRCEビットが“0”の場合は、グループCのトリガ入力が無効となります。グループCを使用したグループ優先動作 (ADGSPCR.PGS ビットが“1”) で、ADGSPCR.GBRP ビットを“1”とすると、グループCがシングルスキャンの連続動作を行います。(GRCEビットを“1”にするとグループBはシングルスキャンの連続動作を行いません)

GRCEビットは、ADCSR.ADSTビットが“0”のときに設定してください。

31.2.17 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 11, L, O)

S12AD.ADSSTR0 0008 90E0h, S12AD.ADSSTR1 0008 90E1h, S12AD.ADSSTR2 0008 90E2h,
 S12AD.ADSSTR3 0008 90E3h,
 S12AD1.ADSSTR0 0008 92DDh, S12AD1.ADSSTR1 0008 92E1h, S12AD1.ADSSTR2 0008 92E2h,
 S12AD1.ADSSTR3 0008 92E3h,
 S12AD2.ADSSTR0 0008 94DFh, S12AD2.ADSSTR1 0008 94E1h, S12AD2.ADSSTR2 0008 94E2h,
 S12AD2.ADSSTR3 0008 94E3h, S12AD2.ADSSTR4 0008 94E4h, S12AD2.ADSSTR5 0008 94E5h,
 S12AD2.ADSSTR6 0008 94E6h, S12AD2.ADSSTR7 0008 94E7h, S12AD2.ADSSTR8 0008 94E8h,
 S12AD2.ADSSTR9 0008 94E9h, S12AD2.ADSSTR10 0008 94EAh, S12AD2.ADSSTR11 0008 94EBh



ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定を行います。

1 ステート = 1ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 40MHz であれば 1 ステート = 25ns になります。初期値は 13 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。

ADSSTRn レジスタは、ADCSR.ADST が“0”のときに設定してください。サンプリング時間の設定下限値は、PCLK と ADCLK の周波数比により異なります。

PCLK : ADCLK 周波数比 = 1 : 1, 2 : 1, 4 : 1, 8 : 1 の場合、5 ステート以上の値を設定してください。

PCLK : ADCLK 周波数比 = 1 : 2 の場合、6 ステート以上の値を設定してください。

表 31.12 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。

詳細は、「31.3.5 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

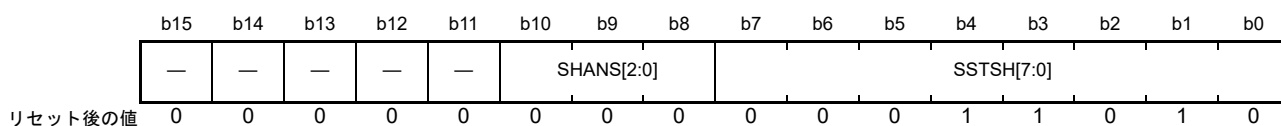
表31.12 A/Dサンプリングステートレジスタと対象チャネルの関係

ユニット	レジスタ名	対象チャネル
S12AD	ADSSTR0 レジスタ	AN000、自己診断
	ADSSTR1 レジスタ	AN001
	ADSSTR2 レジスタ	AN002
	ADSSTR3 レジスタ	AN003
	ADSSTR4 レジスタ	AN016
S12AD1	ADSSTR0 レジスタ	AN100、自己診断
	ADSSTR1 レジスタ	AN101
	ADSSTR2 レジスタ	AN102
	ADSSTR3 レジスタ	AN103
	ADSSTR4 レジスタ	AN116
S12AD2	ADSSTR0 レジスタ	AN200、自己診断
	ADSSTR1 レジスタ	AN201
	ADSSTR2 レジスタ	AN202
	ADSSTR3 レジスタ	AN203
	ADSSTR4 レジスタ	AN204
	ADSSTR5 レジスタ	AN205
	ADSSTR6 レジスタ	AN206
	ADSSTR7 レジスタ	AN207
	ADSSTR8 レジスタ	AN208
	ADSSTR9 レジスタ	AN209
	ADSSTR10 レジスタ	AN210
	ADSSTR11 レジスタ	AN211
ADSSTR12 レジスタ	内部基準電圧 (注1)	

注1. 内部基準電圧をA/D変換する場合、サンプリング時間を5 μ s以上に設定する必要があります。

31.2.18 A/D サンプル & ホールド回路コントロールレジスタ (ADSHCR)

アドレス S12AD1.ADSHCR 0008 9266h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SSTSH[7:0]	チャンネル専用サンプル&ホールド回路サンプリング時間設定ビット	4～255ステートの間でサンプリング時間を設定します	R/W
b10-b8	SHANS[2:0]	チャンネル専用サンプル&ホールド回路バイパス選択ビット	AN100～AN102のチャンネル専用サンプル&ホールド回路を使用するか、使用せずバイパスするかを選択します。 0：チャンネル専用サンプル&ホールド回路をバイパス 1：チャンネル専用サンプル&ホールド回路を使用	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSHCR レジスタは、チャンネル専用サンプル & ホールド回路を設定するレジスタです。

SSTSH[7:0] ビット (チャンネル専用サンプル & ホールド回路サンプリング時間設定ビット)

チャンネル専用サンプル&ホールド回路のサンプリング時間設定をします。1ステート = 1ADCLK クロック (A/D 変換クロック) 幅で ADCLK クロックが 40MHz であれば 1ステート = 25ns になります。初期値は 26ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。SSTSH[7:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。サンプリング時間の設定値は、4ステート以上 255ステート以下の値を設定してください。また、サンプリングステート設定値は、「37.4 A/D 変換特性」の測定条件以上となるように設定してください。

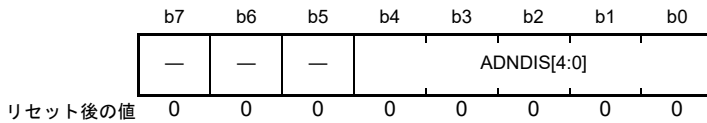
SHANS[2:0] ビット (チャンネル専用サンプル & ホールド回路バイパス選択ビット)

アナログ入力 AN100～AN102 のチャンネル専用サンプル&ホールド回路を使用するか、使用しないでバイパスするかを選択します。SHANS[0] ビットが AN100、SHANS[1] ビットが AN101、SHANS[2] ビットが AN102 のチャンネル専用サンプル&ホールド回路の選択ビットになります。SHANS[2:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

グループスキャンモードのグループ優先制御時に、グループ B またはグループ C に AN100～AN102 のいずれかを選択した場合は、チャンネル専用サンプル & ホールド回路をバイパスする設定をしてください。

31.2.19 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス S12AD.ADDISCR 0008 907Ah, S12AD1.ADDISCR 0008 927Ah, S12AD2.ADDISCR 0008 947Ah



ビット	シンボル	ビット名	機能	R/W
b4-b0	ADNDIS[4:0]	A/D断線検出アシスト設定ビット	b4 ADNDIS[4] : ディスチャージ/プリチャージの選択 0 : ディスチャージ 1 : プリチャージ b3-b0 ADNDIS[3:0] : ディスチャージ/プリチャージ期間	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADDISCR レジスタは、断線検出アシスト機能を設定するレジスタです。

ADNDIS[4:0] ビット (A/D 断線検出アシスト設定ビット)

A/D 断線検出アシスト機能のプリチャージ/ディスチャージの設定、期間を設定します。ADNDIS[4] ビット = 1 でプリチャージ、ADNDIS[4] ビット = 0 でディスチャージが選択されます。ADNDIS[3:0] ビットで、プリチャージ/ディスチャージ期間を設定します。ADNDIS[3:0] ビット = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] ビット = 0001b は設定禁止です。ADNDIS[3:0] ビット = 0000b, 0001b 以外では、設定した値がプリチャージ/ディスチャージ期間のステート数となります。ADNDIS[4:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。ADNDIS[3:0] を 0000b 以外に設定し、断線検出アシスト機能を有効にした場合は、チャンネル専用サンプル & ホールド回路の断線検出アシスト機能も有効になります。チャンネル専用サンプル & ホールド回路の断線検出アシスト機能は、サンプル & ホールド回路の待機時間を設けて使用してください。

内部基準電圧を A/D 変換するために、ADEXICR.OCESA ビットを“1”にすると、ADNDIS[4:0] を自動的に“0Fh”に固定し、A/D 変換に先立ちディスチャージする設定 (オートディスチャージ) となります。内部基準電圧を A/D 変換するたびに、オートディスチャージ期間 (15ADCLK) がサンプリング前に挿入されます。ただし、内部基準電圧の A/D 変換は S12AD2 のみ可能です。

31.2.20 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス S12AD.ADGSPCR 0008 9080h, S12AD1.ADGSPCR 0008 9280h, S12AD2.ADGSPCR 0008 9480h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	LGRRS	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループ優先制御設定ビット (注1)	0 : グループの優先制御動作を行わない 1 : グループの優先制御動作を行う	R/W
b1	GBRSCN	低優先グループ再起動設定 ビット (注2)	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0 : グループ優先制御で中断されたグループの再起動をしない 1 : グループ優先制御で中断されたグループの再起動をする	R/W
b13-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	LGRRS	再開チャンネル選択ビット	(PGS = 1かつGBRSCN = 1のときのみ有効。PGS = 0または GBRSCN = 0ときは予約ビット) 0 : スキャン先頭チャンネルから再スキャンを行う 1 : A/D変換が未終了チャンネルから再スキャンを行う	R/W
b15	GBRP	シングルスキャン連続起動設 定ビット (注3)	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0 : シングルスキャン連続動作しない 1 : 最も優先度の低いグループのシングルスキャン連続動作開始	R/W

- 注1. PGSビットを“1”にするときは、ADCSR.ADCS[1:0]ビットを“01b”（グループスキャンモード）に設定してください。それ以外の設定をした場合、動作は保証されません。
- 注2. GBRSCNビットを“1”にする場合は、周辺モジュールクロックPCLKとA/D変換クロックADCLKの周波数比を1 : 1にしてください。
- 注3. GBRPビットを“1”にした場合は、GBRSCNビットの設定によらず、最も優先度の低いグループのシングルスキャン連続動作を実行します。

ADGSPCRレジスタは、グループスキャンモードで低優先グループのスキャンを中断し、優先グループのスキャンを実行する優先制御を設定するレジスタです。グループ優先動作の設定は、表 31.14、表 31.15を参照してください。

PGSビット（グループ優先制御設定ビット）

グループスキャンモードでの優先動作を制御します。グループ優先制御動作を行うときに“1”を設定してください。

PGSビットを“1”に設定するときは、ADCSR.ADCS[1:0]ビットを“01b”（グループスキャンモード）に設定してください。

グループ優先動作は、低優先グループのスキャン中に優先グループのスキャン開始を受け付け、低優先グループのスキャンを中断して優先グループのスキャンを開始します。優先順位は、グループA > グループB > グループCの順です。グループCのスキャン中にグループBのスキャン開始を受け付けると、グループCのスキャンを中断し、グループBのスキャンを開始します。また、グループCのスキャン中にグループAのスキャン開始を受け付けるとグループCのスキャンを中断し、グループAのスキャンを開始します。同様にグループBのスキャン中にグループAのスキャン開始を受け付けると、グループBのスキャンを中断し、グループAのスキャンを開始します。

PGSビットを“0”にする場合は、「31.6.2 A/D変換停止時の注意事項」に従い、ソフトウェアでのクリアを行ってください。PGSビットを“1”にする場合は、「31.3.4.3 グループ優先制御動作」の手順に従い設定を行ってください。

GBRSCN ビット (低優先グループ再起動設定ビット)

グループ優先制御時の、再スキャン動作を設定します。

GBRSCN ビットを“1”にすると、優先グループのトリガ入力により低優先グループのスキャン動作が中断した後、優先グループのスキャン終了を待ってから、低優先グループのスキャンを再実行します。また、優先グループのスキャン中に低優先グループのトリガ入力があった場合、優先グループのスキャン終了を待って、低優先グループのスキャンを実行します。

GBRSCN ビットを“0”にした場合は、A/D 変換実行中に入力されたトリガは無視されます。また、GBRSCN ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

GBRSCN ビットの設定は、PGS ビットが“1”のときに有効となります。

LGRRS ビット (再開チャンネル選択ビット)

グループ優先動作時の、再スキャン開始チャンネルを設定します。LGRRS ビットの設定は、PGS ビットとGBRSCN ビットが“1”のときに有効となります。

LGRRS ビットが“0”のとき、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後のスキャンを先頭チャンネルから再実行します。

LGRRS ビットが“1”のとき、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後の再スキャンを A/D 変換未終了のチャンネルから再実行 (注1) します。

LGRRS ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

注1. 中断時に加算設定チャンネルの A/D 変換が設定回数分終了していなければ、再実行時、加算設定チャンネルは再度 A/D 変換を設定回数分実行します。

GBRP ビット (シングルスキャン連続起動設定ビット)

グループ優先動作設定で最も優先度の低いグループをシングルスキャンで連続動作させる場合に設定します。最も優先度の低いグループとは、グループ A, B, C を使用する場合はグループ C、グループ A, B のみを使用する場合は、グループ B になります。

GBRP ビットを“1”にすると、最も優先度の低いグループのシングルスキャンが起動します。スキャン終了後、自動的に最も優先度の低いグループのシングルスキャンを再開します。グループ優先動作でスキャンが中断した後は、優先グループの A/D 変換動作終了後、自動的に最も優先度の低いグループのシングルスキャンを再開します。

GBRP ビットを“1”にする場合は、事前に最も優先度の低いグループのトリガ入力を無効にしてください。GBRP ビットを“1”に設定した場合、GBRSCN ビットが“0”でも、最も優先度の低いグループのみ再スキャンを行います。

GBRP ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

GBRP ビットの設定は、PGS ビットが“1”のときに有効となります。

31.2.21 A/D プログラマブルゲインアンプコントロールレジスタ (ADPGACR)

(1) S12AD.ADPGACR

アドレス 0008 91A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	P000ENAMP	P000SEL1	—
リセット後の値	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b1	P000SEL1	PGA P000用アンプ経由イネーブルビット	0 : PGA内アンプを経由しない 1 : PGA内アンプを経由する	R/W
b2	P000ENAMP	PGA P000用アンプイネーブルビット	0 : PGA内アンプを使用しない 1 : PGA内アンプを使用する	R/W
b4-b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8-b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b10-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12-b11	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

S12AD.ADPGACR レジスタは、ユニット0のプログラマブルゲインアンプP000の使用/未使用を設定するレジスタです。

P000SEL1 ビット (PGA P000 用アンプ経由イネーブルビット)

ユニット0のプログラマブルゲインアンプP000内アンプを経由する/しないを選択します。

P000ENAMP ビット (PGA P000 用アンプイネーブルビット)

ユニット0のプログラマブルゲインアンプP000内アンプを使用する/しないを選択します。

(2) S12AD1.ADPGACR

アドレス 0008 93A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	P102E NAMP	P102S EL1	—	—	P101E NAMP	P101S EL1	—	—	P100E NAMP	P100S EL1	—
リセット後の値	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b1	P100SEL1	PGA P100用アンプ経由イネーブルビット	0 : PGA内アンプを経由しない 1 : PGA内アンプを経由する	R/W
b2	P100ENAMP	PGA P100用アンプイネーブルビット	0 : PGA内アンプを使用しない 1 : PGA内アンプを使用する	R/W
b4-b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	P101SEL1	PGA P101用アンプ経由イネーブルビット	0 : PGA内アンプを経由しない 1 : PGA内アンプを経由する	R/W
b6	P101ENAMP	PGA P101用アンプイネーブルビット	0 : PGA内アンプを使用しない 1 : PGA内アンプを使用する	R/W
b8-b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	P102SEL1	PGA P102用アンプ経由イネーブルビット	0 : PGA内アンプを経由しない 1 : PGA内アンプを経由する	R/W
b10	P102ENAMP	PGA P102用アンプイネーブルビット	0 : PGA内アンプを使用しない 1 : PGA内アンプを使用する	R/W
b12-b11	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

S12AD1.ADPGACR レジスタは、ユニット1のプログラマブルゲインアンプ P100 から P102 の使用 / 未使用を設定するレジスタです。

P100SEL1 ビット (PGA P100 用アンプ経由イネーブルビット)

ユニット1のプログラマブルゲインアンプ P100 内アンプを経由する / しないを選択します。

P100ENAMP ビット (PGA P100 用アンプイネーブルビット)

ユニット1のプログラマブルゲインアンプ P100 内アンプを使用する / しないを選択します。

P101SEL1 ビット (PGA P101 用アンプ経由イネーブルビット)

ユニット1のプログラマブルゲインアンプ P101 内アンプを経由する / しないを選択します。

P101ENAMP ビット (PGA P101 用アンプイネーブルビット)

ユニット1のプログラマブルゲインアンプ P101 内アンプを使用する / しないを選択します。

P102SEL1 ビット (PGA P102 用アンプ経由イネーブル)

ユニット1のプログラマブルゲインアンプ P102 内アンプを経由する / しないを選択します。

P102ENAMP ビット (PGA P102 用アンプイネーブルビット)

ユニット1のプログラマブルゲインアンプ P102 内アンプを使用する / しないを選択します。

31.2.22 A/D プログラマブルゲインアンプゲイン設定レジスタ 0 (ADPGAGS0)

(1) S12AD.ADPGAGS0

アドレス 0008 91A2h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	P000GAIN[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	P000GAIN[3:0]	PGA P000ゲイン設定ビット	各設定と増幅率の関係は以下のようになります。 $b3 \quad b0$ 0 0 0 0 : × 2.000 0 0 0 1 : × 2.500 0 1 0 0 : × 3.077 0 1 1 0 : × 3.636 0 1 1 1 : × 4.000 1 0 0 0 : × 4.444 上記以外は設定しないでください	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADPGAGS0 レジスタは、ユニット 0 のプログラマブルゲインアンプ P000 の増幅率を設定するレジスタです。

P000GAIN[3:0] ビット (PGA P000 ゲイン設定ビット)

ユニット 0 のプログラマブルゲインアンプ P000 のゲイン倍率を設定します。

(2) S12AD1.ADPGAGS0

アドレス 0008 93A2h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	P102GAIN[3:0]			P101GAIN[3:0]			P100GAIN[3:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	P100GAIN[3:0]	PGA P100ゲイン設定ビット	各設定と増幅率の関係は以下のようになります。 0 0 0 0 : × 2.000 0 0 0 1 : × 2.500 0 1 0 0 : × 3.077 0 1 1 0 : × 3.636 0 1 1 1 : × 4.000 1 0 0 0 : × 4.444 上記以外は設定しないでください	R/W
b7-b4	P101GAIN[3:0]	PGA P101ゲイン設定ビット		
b11-b8	P102GAIN[3:0]	PGA P102ゲイン設定ビット		
b15-b12	—	予約ビット		

S12AD1.ADPGAGS0 レジスタは、ユニット1のプログラマブルゲインアンプ P100 から P102 の増幅率を設定するレジスタです。

P100GAIN[3:0] ビット (PGA P100 ゲイン設定ビット)

ユニット1のプログラマブルゲインアンプ P100 のゲイン倍率を設定します。

P101GAIN[3:0] ビット (PGA P101 ゲイン設定ビット)

ユニット1のプログラマブルゲインアンプ P101 のゲイン倍率を設定します。

P102GAIN[3:0] ビット (PGA P102 ゲイン設定ビット)

ユニット1のプログラマブルゲインアンプ P102 のゲイン倍率を設定します。

31.3 動作説明

31.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、シングルスキャンモードと連続スキャンモードとグループスキャンモードの3種類の動作モードがあります。シングルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアでADCSR.ADSTビットを“0” (“1”の状態から“0”) にクリアするまで無制限に繰り返し実施するモードです。グループスキャンモードは、グループAとグループBとグループCのスキャンをそれぞれ選択した同期トリガで開始し、グループAとグループBとグループCで選択したチャンネルのスキャンをそれぞれ1回ずつ実施して終了するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA0, ADANSA1 レジスタで選択したAN_nのnが小さい番号順からA/D変換を行います。グループスキャンモードは、グループAがADANSA0, ADANSA1 レジスタで選択したAN_nのnが小さい番号順から、グループBがADANSB0, ADANSB1 レジスタで選択したAN_nのnが小さい番号順から、グループCがADANSC0, ADANSC1 レジスタで選択したAN_nのnが小さい番号順からA/D変換を行います。

自己診断を選択した場合は、スキャンごとの最初に1回実施され、12ビットA/Dコンバータ内部で生成する3つの電圧値のうち1つをA/D変換します。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可すると、ADSTRGR.TRSA[5:0]ビットで選択した、同期トリガでのスキャン起動でのみ、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルのA/D変換データを二重化します。グループスキャンモードではグループAのみダブルトリガ機能が使用できます。

ダブルトリガ拡張モードは、ダブルトリガモードでA/D変換開始トリガ選択レジスタ(ADSTRGR)のTRSA[5:0]ビットで以下の同期トリガ(2種類の同期トリガ要因許可)に選択した状態を示します。

- TRG4AN または TRG4BN (ADSTRGR.TRSA[5:0] ビットに “001011b” を設定)
- TRG7AN または TRG7BN (ADSTRGR.TRSA[5:0] ビットに “001111b” を設定)
- TRGA0N または TRG0N (ADSTRGR.TRSA[5:0] ビットに “011001b” を設定)
- TRGA9N または TRG9N (ADSTRGR.TRSA[5:0] ビットに “011010b” を設定)
- TRGA0N または TRGA9N (ADSTRGR.TRSA[5:0] ビットに “011011b” を設定)
- TRG0N または TRG9N (ADSTRGR.TRSA[5:0] ビットに “011100b” を設定)
- GTADTRA0N または GTADTRB0N (ADSTRGR.TRSA[5:0] ビットに “111010b” を設定)
- GTADTRA1N または GTADTRB1N (ADSTRGR.TRSA[5:0] ビットに “111011b” を設定)
- GTADTRA2N または GTADTRB2N (ADSTRGR.TRSA[5:0] ビットに “111100b” を設定)
- GTADTRA3N または GTADTRB3N (ADSTRGR.TRSA[5:0] ビットに “111101b” を設定)

ダブルトリガ拡張モードでは、通常のダブルトリガモードの動作に加え、トリガの種別に応じて、A/D変換データをA/Dデータ二重化レジスタA(ADDBLDRA)、A/Dデータ二重化レジスタB(ADDBLDRB)に格納します。ダブルトリガ拡張モード時に、2種類のトリガ要因が同時に発生した場合は、トリガ要因による振り分けは実施せず、A/D変換データは、データ二重化レジスタB(ADDBLDRB)に格納されます。なお、一方のトリガでAD変換を実施中に、他方のトリガが入力された場合、他方のトリガは無視されます。

S12AD1.ADSHCR.SHANS[2:0]ビットでAN100～AN102のいずれかをチャンネル専用サンプル&ホールド回路使用に設定すると、スキャンごとに最初のA/D変換開始前に対象となるアナログ入力のサンプル&ホールドを行います。

ADST0出力は、S12AD.ADCSR.ADSTビット、ADST1出力は、S12AD1.ADCSR.ADSTビット、ADST2出力は、S12AD2.ADCSR.ADSTビットの状態を出力します。

31.3.2 シングルスキャンモード

31.3.2.1 基本動作 (チャンネル専用サンプル&ホールドなし)

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって、ADCSR.ADSTビットが“1” (A/D変換開始) になると、ADANSA0, ADANSA1レジスタで選択したANnのnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了後の割り込み発生) に設定されていると、スキャン終了割り込み要求が発生します。
- (4) ADCSR.ADSTビットはA/D変換中は“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

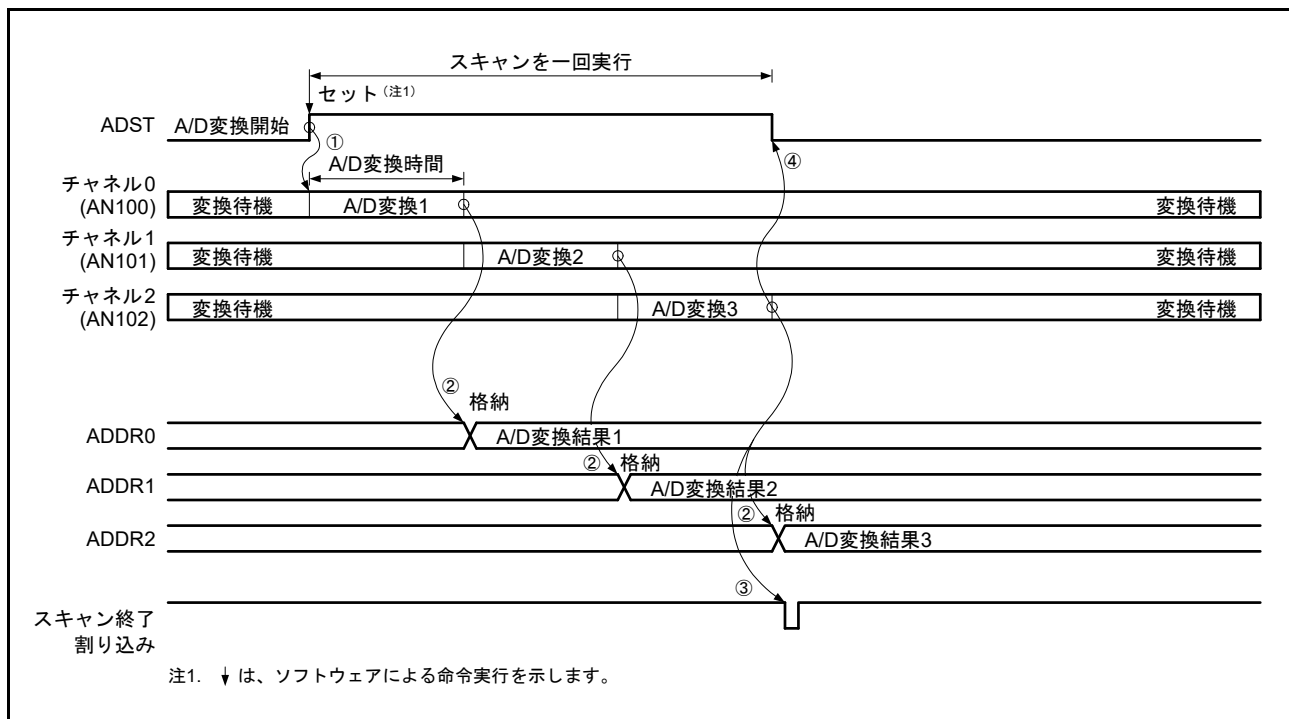


図 31.5 シングルスキャンモードの動作例 (基本動作 : AN100, AN101, AN102 選択)

31.3.2.2 基本動作 (チャンネル専用サンプル&ホールドあり)

チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に選択したすべてのチャンネルのアナログ入力を1回のみA/D変換します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[2:0]ビットで選択します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、ADANSA0, ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (3) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)へ格納されます。
- (4) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了後の割り込み発生)に設定されていると、スキャン終了割り込み要求が発生します。
- (5) ADCSR.ADSTビットはA/D変換中は“1”(A/D変換開始)を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

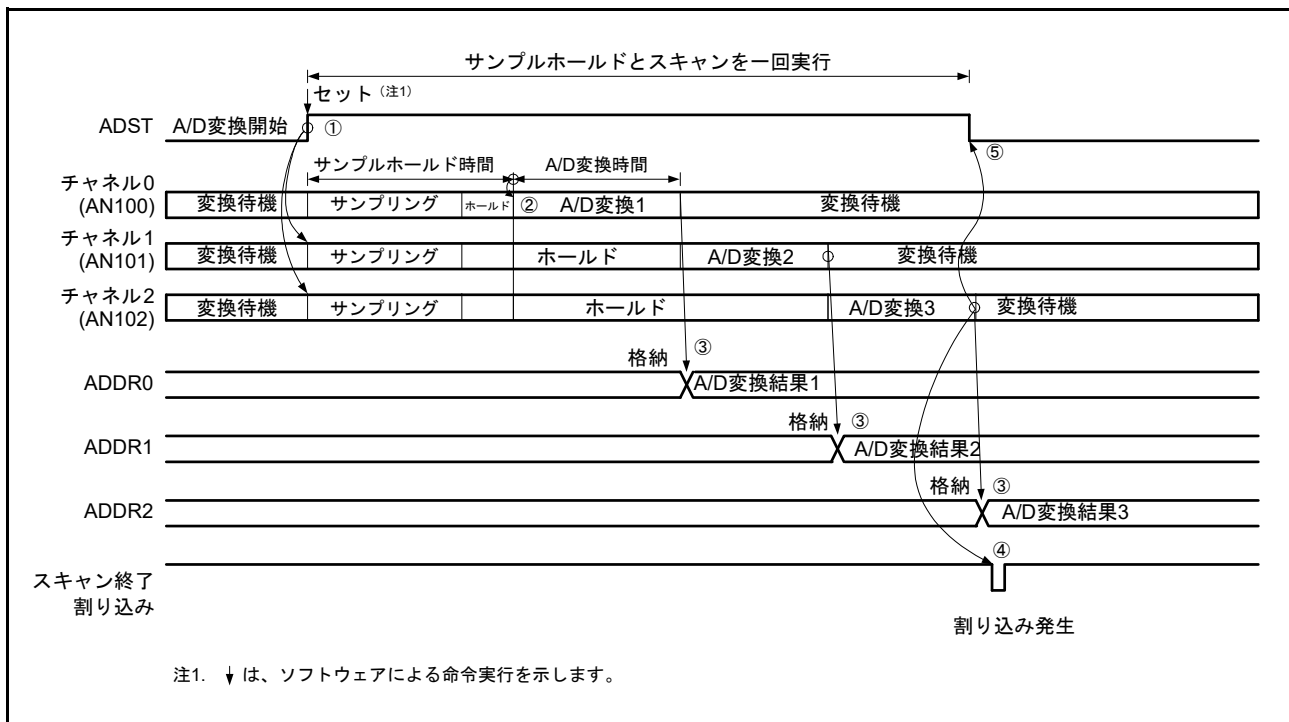


図 31.6 シングルスキャンモードの動作例 (チャンネル専用サンプル & ホールド回路使用チャンネル AN100, AN101, AN102 選択)

31.3.2.3 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)

チャンネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャンネルのアナログ入力を1回のみA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始) になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、次にADANSA0, ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (4) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了後の割り込み発生) に設定されていれば、スキャン終了割り込み要求が発生します。
- (5) ADSTビットはA/D変換中は“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

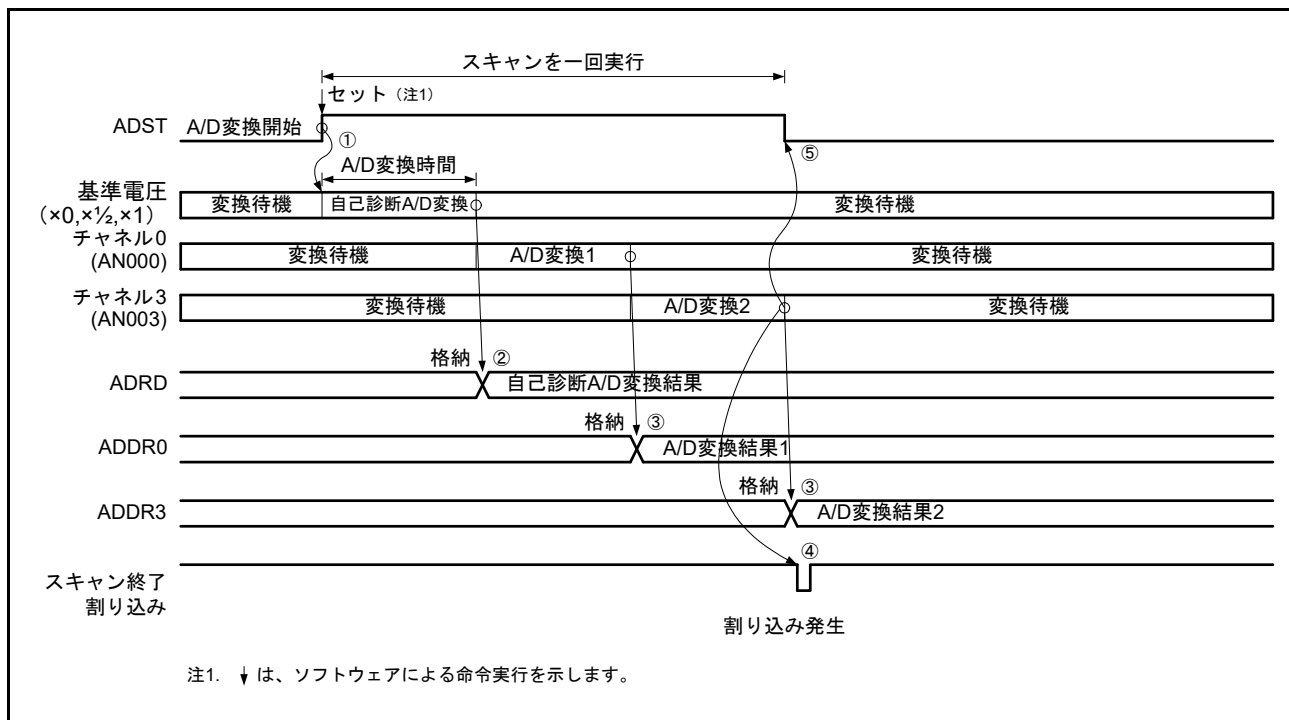


図 31.7 シングルスキャンモードの動作例 (基本動作 : AN000, AN003 選択 + 自己診断)

31.3.2.4 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)

チャンネル選択と共に自己診断を選択し、チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャンネルのアナログ入力を1回のみA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に自己診断でのA/D変換を開始します。
- (3) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、次にADANSA0, ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (4) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (5) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了後の割り込み発生) に設定されていると、スキャン終了割り込み要求が発生します。
- (6) ADCSR.ADSTビットはA/D変換中は“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

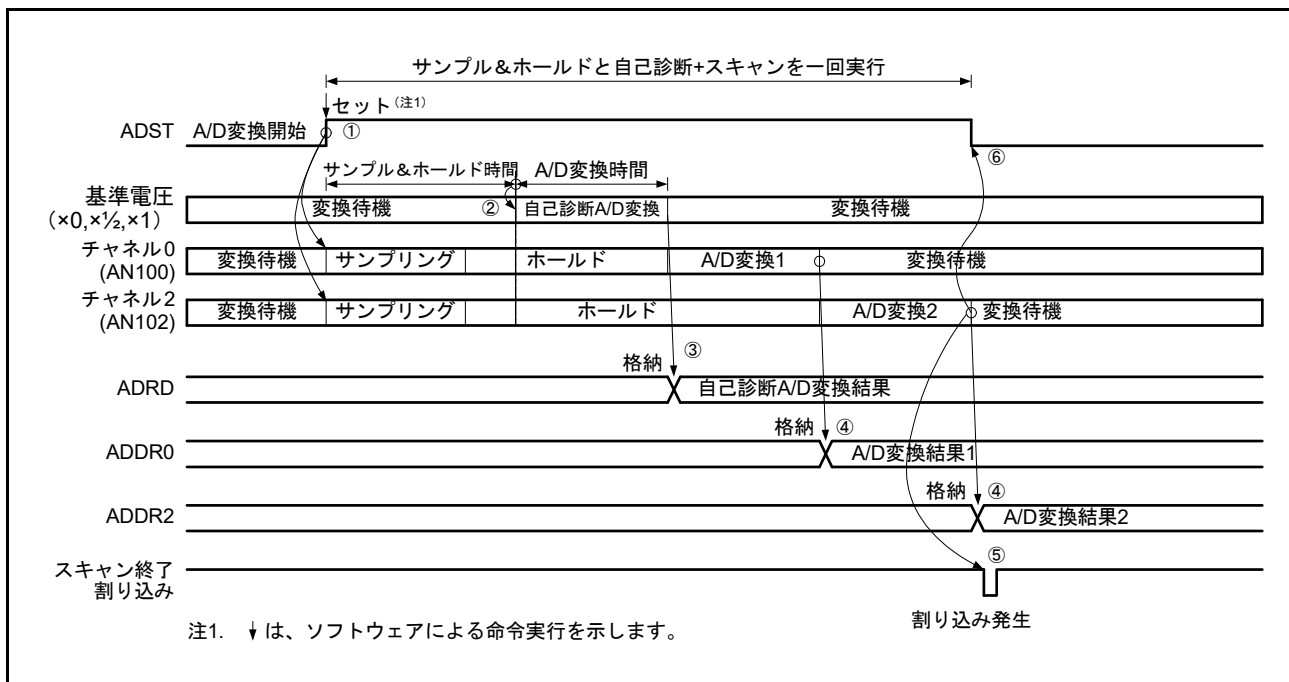


図 31.8 シングルスキャンモードの動作例 (チャンネル専用サンプル&ホールド回路使用チャンネル AN100, AN102 選択 + 自己診断)

31.3.2.5 内部基準電圧選択時の A/D 変換動作

内部基準電圧の A/D 変換は、S12AD2 のみ可能です。内部基準電圧の A/D 変換は、シングルスキャンモードで実行し、動作は以下のようになります。

チャンネル選択は全て非選択 (ADANSA0, ADANSA1 レジスタビットは全て“0”かつ ADCSR.DBLE ビットを“0”) に設定します。

- (1) サンプル時間は $5\mu\text{s}$ 以上になるように設定してください。
- (2) 内部基準電圧の A/D 変換に切り替えた後、ADST ビットを“1”にセットして変換を開始してください。
- (3) A/D 変換が終了すると、A/D 変換結果は対応する A/D 内部基準電圧データレジスタ (ADOCDR) に格納され、ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生) に設定されていると、スキャン終了割り込み要求が発生します。
- (4) ADST ビットは A/D 変換中は“1”を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

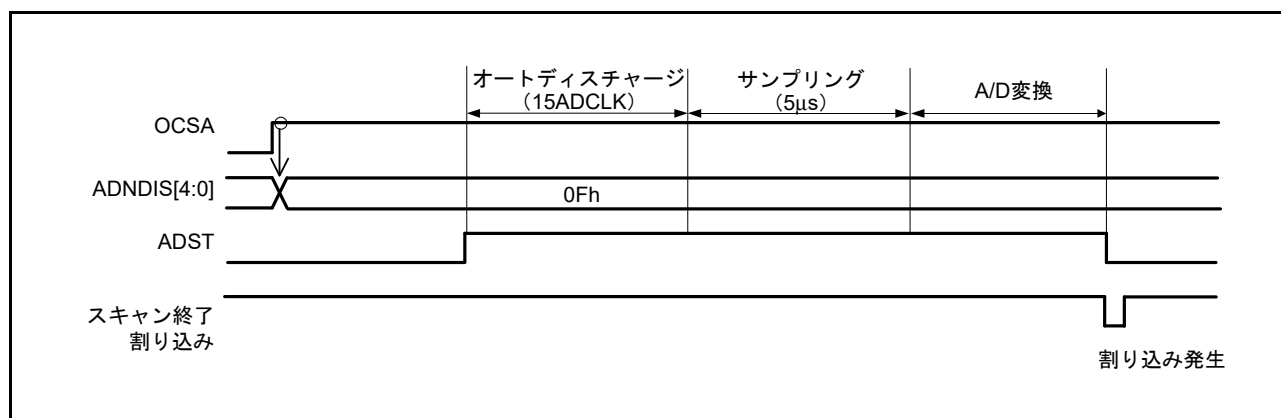


図 31.9 シングルスキャンモードの動作例 (内部基準電圧選択 : S12AD2 のみ)

31.3.2.6 ダブルトリガモード選択時の動作

シングルスキャンモードでダブルトリガモードを選択した場合は、以下のように同期トリガで開始するシングルスキャンモードを2回行います。

自己診断は非選択とし、内部基準電圧 A/D 変換選択ビット (S12AD2.ADEXICR.OCSA) を“0”に設定してください。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。ADCSR.DBLE を“1”にした場合は ADANSA0、ADANSA1 レジスタのチャンネル選択は無効になります。またダブルトリガモードを選択する場合は、ADSTRGR.TRSA[5:0] ビットで同期トリガを選択し、ADCSR.EXTRG ビットを“0”に、ADCSR.TRGE ビットを“1”に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) 同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) にセットされると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) へ格納されます。
- (3) ADST は自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了後の割り込み発生) の設定に関わらず、スキャン終了割り込みは発生しません。
- (4) 2 回目のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (5) A/D 変換が終了すると、A/D 変換結果はダブルトリガモード専用の A/D データ二重化レジスタ (ADDBLDR) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生) に設定されていれば、スキャン終了割り込み要求が発生します。
- (7) ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

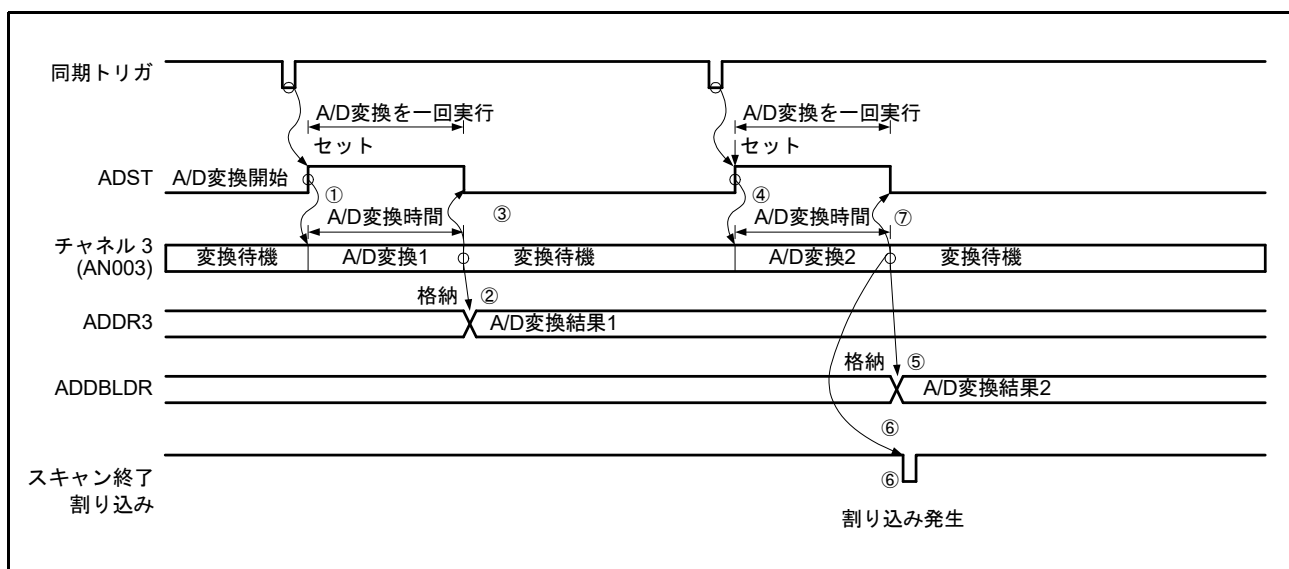


図 31.10 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003 を二重化)

31.3.2.7 ダブルトリガ拡張モードの動作

シングルスキャンモードでダブルトリガモードを選択し、A/D変換開始トリガ選択レジスタ (ADSTRGR) の TRSA[5:0] ビットで「TRG4AN または TRG4BN」、「TRG7AN または TRG7BN」、「TRGA0N または TRG0N」、「TRGA9N または TRG9N」、「TRGA0N または TRGA9N」、「TRG0N または TRG9N」、「GTADTRA0N または GTADTRB0N」、「GTADTRA1N または GTADTRB1N」、「GTADTRA2N または GTADTRB2N」、「GTADTRA3N または GTADTRB3N」を選択した場合は、以下のようにシングルスキャンモードを2回行います。

自己診断は非選択とし、内部基準電圧 A/D 変換選択ビット (S12AD2.ADEXICR.OCSA) は“0”に設定してください。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE を“1”にすると有効となります。ADCSR.DBLE を“1”にした場合は ADANSA0, ADANSA1 レジスタのチャンネル選択は無効になります。また、ダブルトリガ拡張モードを選択する場合は、ADCSR.EXTRG ビットを“0”に、ADCSR.TRGE ビットを“1”に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) TRG4AN 入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルの A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) と A/D データ二重化レジスタ A (ADDBLDRA) へ格納されます。
- (3) ADCSR.ADST は自動的にクリアされ、12ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了後の割り込み発生の許可) の設定に関わらず、スキャン終了割り込みは発生しません。
- (4) TRG4BN 入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルの A/D 変換を開始します。
- (5) A/D 変換が終了すると、A/D 変換結果は A/D データ二重化レジスタ (ADDBLDR) と A/D データ二重化レジスタ B (ADDBLDRB) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生の許可) に設定されていると、スキャン終了割り込み要求を発生します。
- (7) ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12ビット A/D コンバータは待機状態になります。

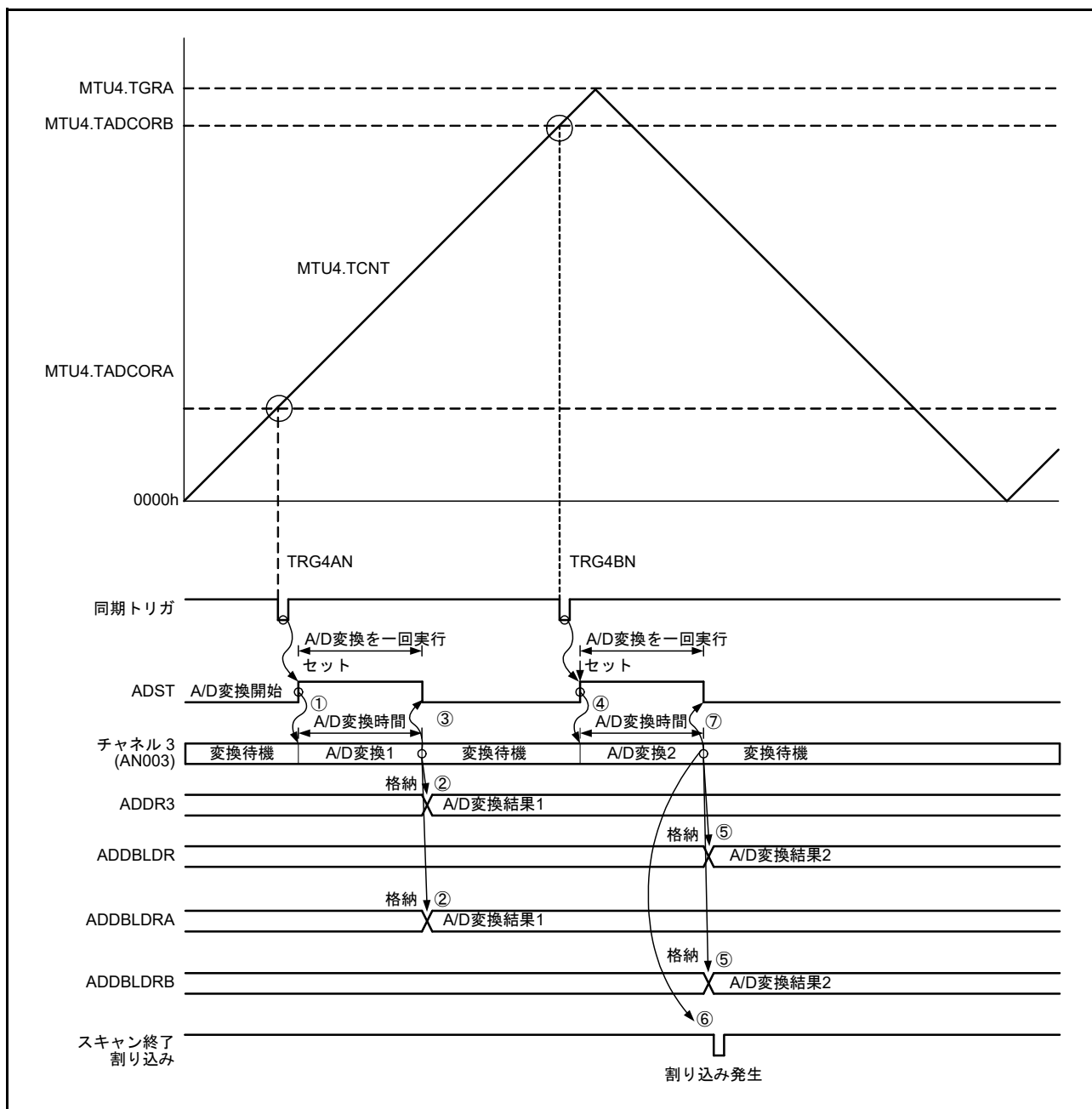


図 31.11 ダブルトリガモードの拡張動作例 (1)
 (AN003 を二重化選択、TRG4AN または TRG4BN 選択、1 回目トリガが TRG4AN の場合)

31.3.3 連続スキャンモード

31.3.3.1 基本動作 (チャンネル専用サンプル&ホールドなし)

連続スキャンモードの基本動作は、選択されたチャンネルのアナログ入力を以下のように繰り返しA/D変換します。

連続スキャンモード時は、内部基準電圧A/D変換選択ビット (S12AD2.ADEXICR.OCSA) は“0” (非選択) に設定します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D変換開始) になると、ADANSA0, ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生) に設定されていると、スキャン終了割り込み要求が発生します。
また12ビットA/Dコンバータは、継続してADANSA0, ADANSA1 レジスタで選択した ANn の n が小さい番号順にA/D変換を開始します。
- (4) ADCSR.ADST ビットは自動的にクリアされず、“1” (A/D変換開始) の間は (2) ~ (3) を繰り返します。ADCSR.ADST ビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (5) その後、ADCSR.ADST ビットを“1” (A/D変換開始) にセットすると再びADANSA0, ADANSA1 レジスタで選択した ANn の n が小さい番号順にA/D変換を開始します。

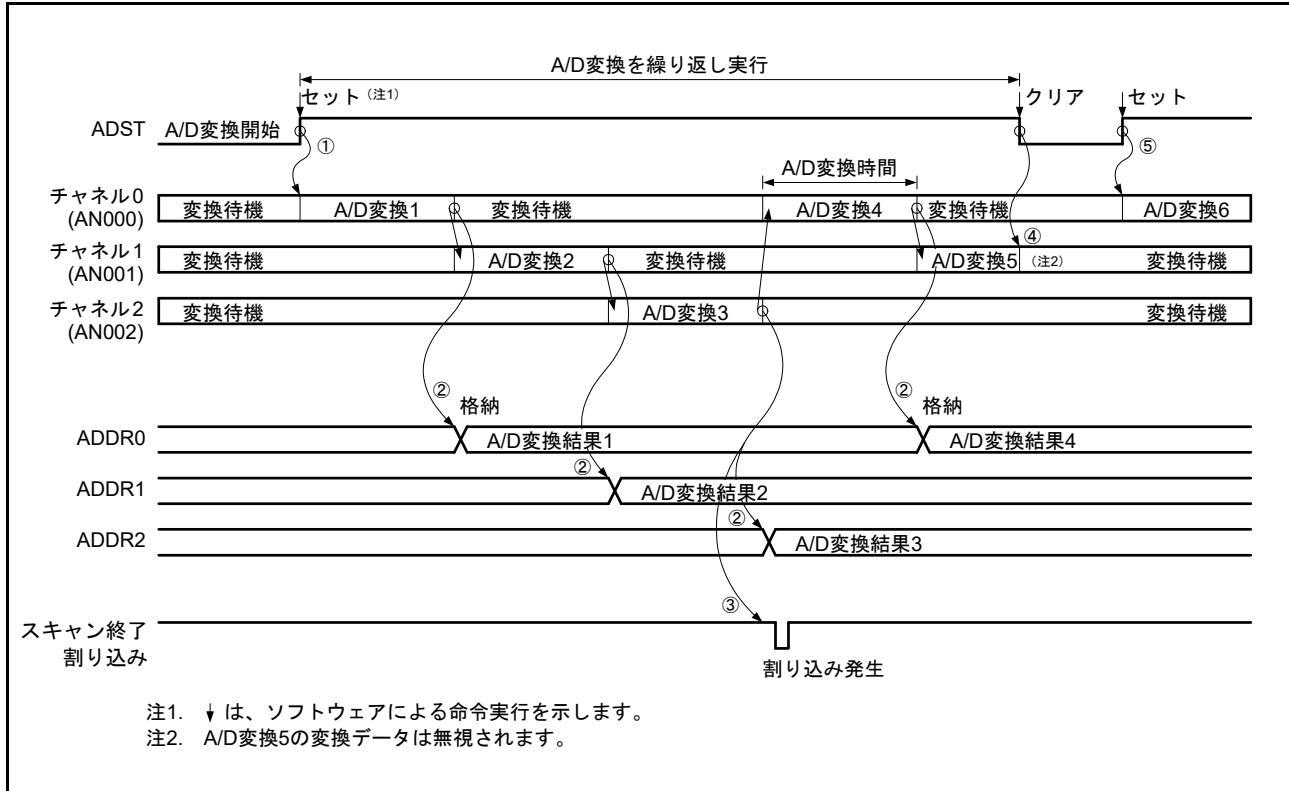


図 31.12 連続スキャンモードの動作例 (基本動作 : AN000, AN001, AN002 選択)

31.3.3.2 基本動作 (チャンネル専用サンプル&ホールドあり)

チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に、選択したすべてのチャンネルのアナログ入力をA/D変換する動作を繰り返します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[2:0]ビットで選択します。

連続スキャンモード時は、内部基準電圧A/D変換選択ビット(S12AD2.ADEXICR.OCSA)に“0”(非選択)を設定します。

- (1) ソフトウェア、同期トリガ入力または非同期トリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、ADANSA0, ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (3) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)へ格納されます。
- (4) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了後の割り込み発生)に設定されていると、スキャン終了割り込み要求が発生します。また、チャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。
- (5) ADCSR.ADSTビットは自動的にクリアされず、“1”にセットされている間は(2)～(4)を繰り返します。ADCSR.ADSTビットを“0”(A/D変換停止)に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (6) その後、ADCSR.ADSTビットが“1”(A/D変換開始)になると、再びチャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。

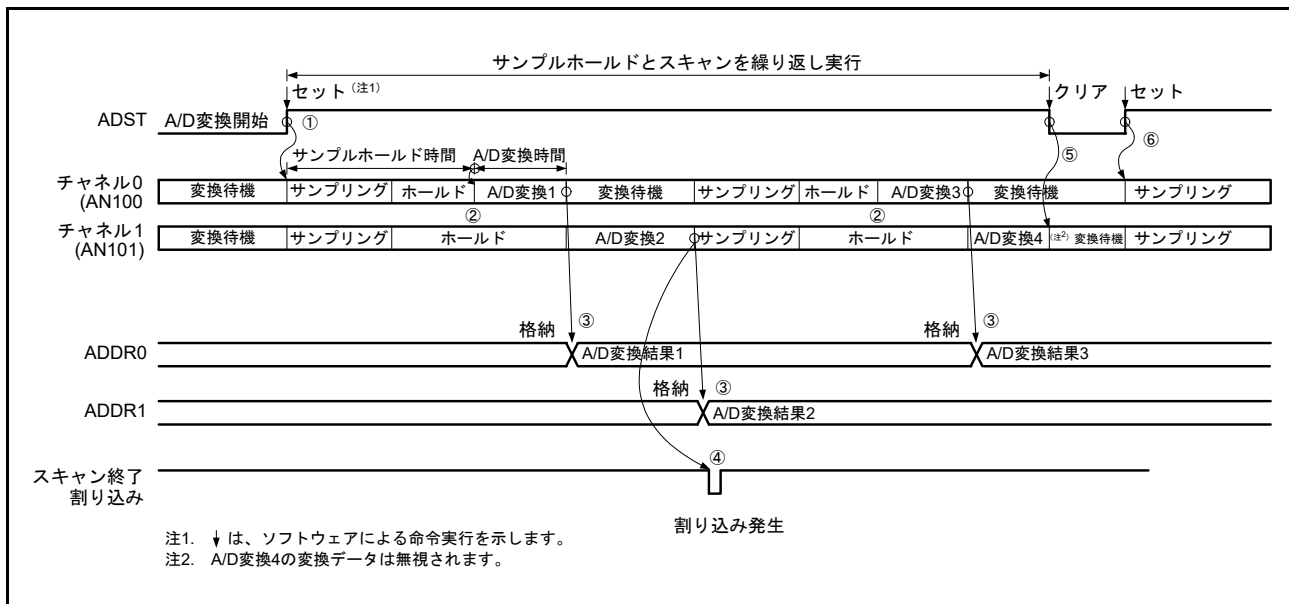


図 31.13 連続スキャンモードの動作例 (チャンネル専用サンプル&ホールド回路あり)

31.3.3.3 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)

チャンネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャンネルのアナログ入力をA/D変換する動作を繰り返します。連続スキャンモード時は内部基準電圧A/D変換選択ビット (S12AD2.ADEXICR.OCSA) は“0” (非選択) に設定します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始) になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、次にADANSA0, ADANSA1レジスタで選択したチャンネルAN_nのnが小さい番号順にA/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDR_y) へ格納されます。
- (4) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了後の割り込み発生) に設定されていれば、スキャン終了割り込み要求が発生します。また、12ビットA/Dコンバータは継続して自己診断でのA/D変換を開始し、終了後にADANSA0, ADANSA1レジスタで選択したチャンネルAN_nのnが小さい番号順にA/D変換を開始します。
- (5) ADCSR.ADSTビットは自動的にクリアされず、“1”に設定されている間は(2)～(4)を繰り返します。ADSTビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (6) その後、ADCSR.ADSTビットが“1” (A/D変換開始) に設定されると、再び自己診断でのA/D変換から開始します。

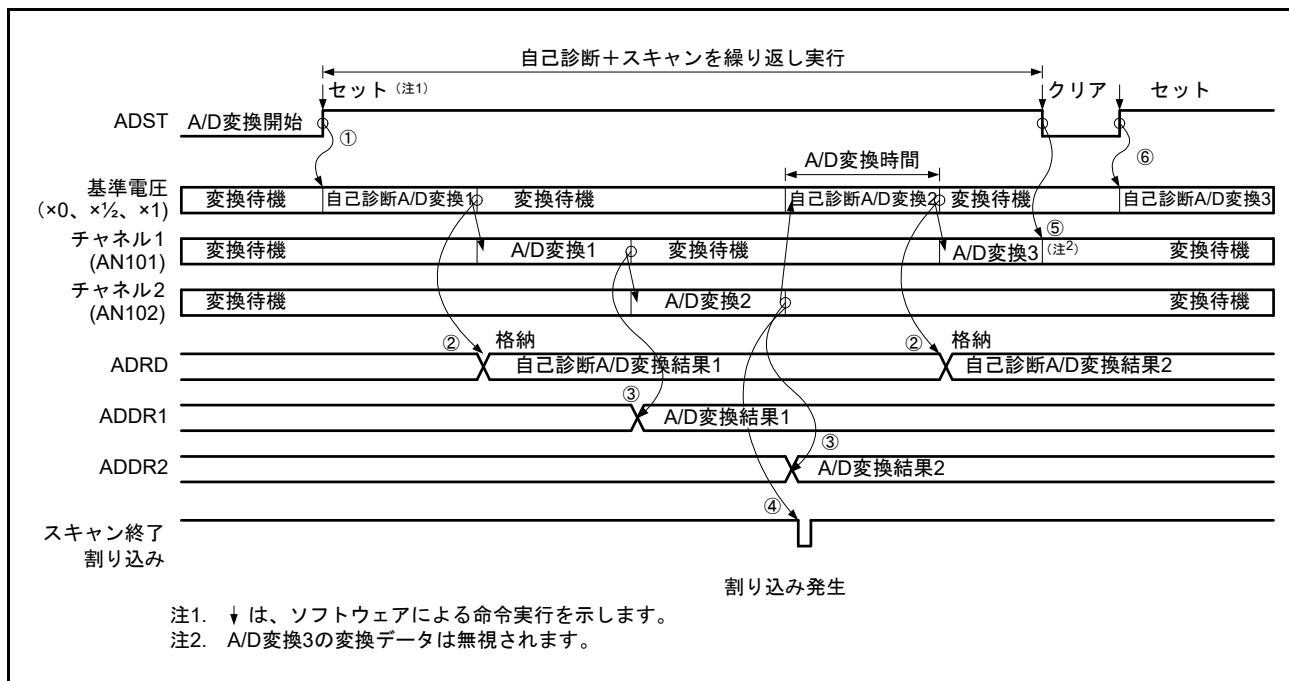


図 31.14 連続スキャンモードの動作例 (基本動作 : AN101, AN102 選択 + 自己診断)

31.3.3.4 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)

チャンネル選択と共に自己診断を選択し、チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド処理後に、12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャンネルのアナログ入力をA/D変換する動作を繰り返します。連続スキャンモード時は内部基準電圧A/D変換選択ビット (S12AD2.ADEXICR.OCSA) は“0” (非選択) に設定します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、自己診断でのA/D変換を開始します。
- (3) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、次にADANSA0, ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (4) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (5) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了後の割り込み発生) に設定されていれば、スキャン終了割り込み要求が発生します。また、チャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。
- (6) ADCSR.ADSTビットは自動的にクリアされず、“1”に設定されている間は(2)～(5)を繰り返します。ADCSR.ADSTビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (7) その後、ADCSR.ADSTビットが“1” (A/D変換開始) に設定されると、再び自己診断でのA/D変換から開始します。

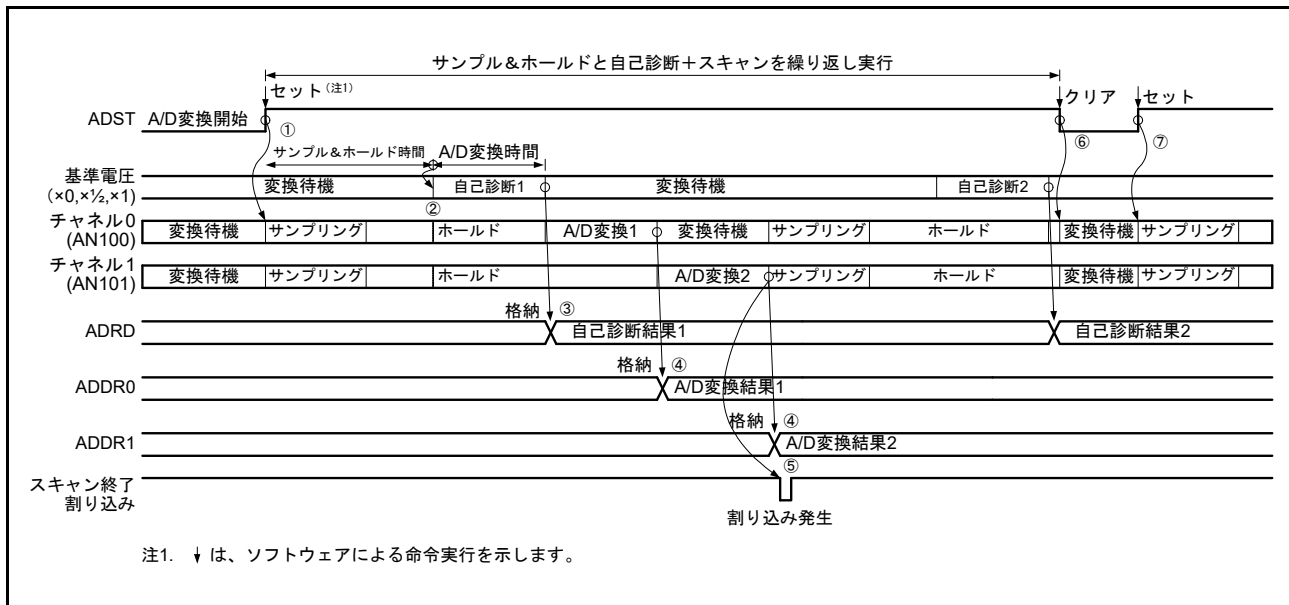


図 31.15 連続スキャンモードの動作例 (チャンネル専用サンプル&ホールド回路使用 : AN100, AN101 選択 + 自己診断)

31.3.4 グループスキャンモード

31.3.4.1 基本動作

グループスキャンモードで使用するグループの数は2つ（グループA, B）と3つ（グループA, B, C）のどちらか一方を選択することができます。グループスキャンモードの基本動作は、同期トリガをスキャン開始条件とし、グループA, BまたはグループA, B, Cのそれぞれで選択したすべてのチャンネルのアナログ入力を以下のように1回のみA/D変換します。グループA, B, Cのそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0]ビットでグループAの同期トリガを選択し、ADSTRGR.TRSB[5:0]ビットでグループBの同期トリガを選択し、ADGCTRGR.TRSC[5:0]ビットでグループCの同期トリガを選択します。グループAとグループBとグループCのスキャンが同時に起こらないように、グループAとグループBとグループCのトリガは別々のトリガにしてください。また、ソフトウェアトリガは使用しないでください。

スキャン対象とするチャンネルは、ADANSA0, ADANSA1レジスタでグループAのチャンネルを選択し、ADANSB0, ADANSB1レジスタでグループBのチャンネルを選択し、ADANSC0, ADANSC1レジスタでグループCのチャンネルを選択します。

グループスキャンモード時は内部基準電圧A/D変換選択ビット（S12AD2.ADEXICR.OCSA）は“0”（非選択）に設定します。

グループスキャンモードで自己診断を選択した場合は、グループAとグループBまたはグループAとグループBとグループCそれぞれで自己診断を実施します。

以下にMTUからの同期トリガによるグループスキャンモードの動作例を示します。グループAはMTUからのTRG4ANトリガで変換開始し、グループBはMTUからのTRG4BNトリガで変換開始し、グループCはMTUからのTRG4ABNトリガで変換開始する設定です。

- (1) MTUからのTRG4ANトリガでグループAのスキャンを開始します。
- (2) グループAのスキャン終了時にADCSR.ADIEビットが“1”（スキャン終了後の割り込み発生の許可）に設定されていると、スキャン終了割り込みを発生します。
- (3) MTUからのTRG4BNトリガでグループBのスキャンを開始します。
- (4) グループBのスキャン終了時にADCSR.GBADIEビットが“1”（グループBのスキャン終了後に割り込み発生を許可）に設定されていると、グループBスキャン終了割り込みを発生します。
- (5) MTUからのTRG4ABNトリガでグループCのスキャンを開始します。
- (6) グループCのスキャン終了時にADGCTRGR.GCADIEビットが“1”（グループCのスキャン終了後に割り込み発生を許可）に設定されていると、グループCスキャン終了割り込みを発生します。

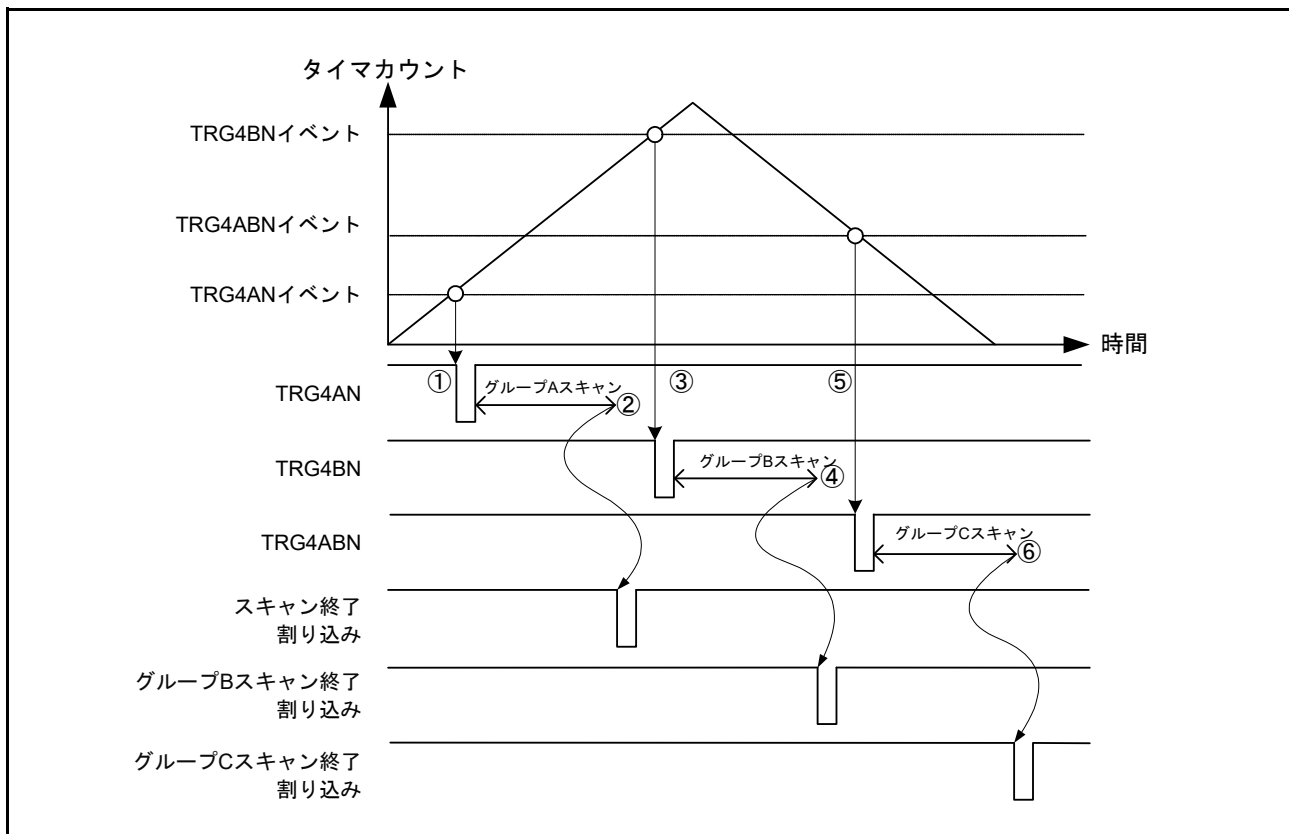


図 31.16 グループスキャンモードの動作例 (MTU からの同期トリガ発生による基本動作)

31.3.4.2 ダブルトリガモード選択時の動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガで開始するシングルスキャンモードの実行 2 回分を一連の動作として制御します。グループ B とグループ C は同期トリガで開始するシングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択し、ADGCTRGR.TRSC[5:0] ビットでグループ C の同期トリガを選択します。グループ A とグループ B とグループ C のスキャンが同時に起こらないように、グループ A とグループ B とグループ C のトリガは別々のトリガにしてください。また、ソフトウェアトリガ、および非同期トリガは使用しないでください。ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガに「TRG4AN または TRG4BN」、「TRG7AN または TRG7BN」、「TRGA0N または TRG0N」、「TRGA9N または TRG9N」、「TRGA0N または TRGA9N」、「TRG0N または TRG9N」、「GTADTRA0N または GTADTRB0N」、「GTADTRA1N または GTADTRB1N」、「GTADTRA2N または GTADTRB2N」、「GTADTRA3N または GTADTRB3N」を選択した場合は、ダブルトリガ拡張モードで動作します。

スキャン対象とするチャンネルは、ADCSR.DBLANS[4:0] ビットでグループ A のチャンネルを選択し、ADANSB0, ADANSB1 レジスタでグループ B のチャンネルを選択し、ADANSC0, ADANSC1 レジスタでグループ C のチャンネルを選択します。グループスキャンモード時は内部基準電圧 A/D 変換選択ビット (S12AD2.ADEXICR.OCSA) は“0” (非選択) に設定します。

グループスキャンモードでダブルトリガモード選択時は自己診断は選択できません。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。

以下に MTU からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を

示します。グループ A は MTU からの TRG4ABN トリガで変換開始し、グループ B は MTU からの TRGA0N トリガで変換開始し、グループ C は MTU からの TRGA1N トリガで変換開始する設定です。

- (1) MTU からの TRGA1N トリガでグループ C のスキャンを開始します。
- (2) グループ C のスキャン終了時に ADGCTRGR.GCADIE ビットが“1” (グループ C のスキャン終了後に割り込み発生を許可) に設定されていると、グループ C スキャン終了割り込みを発生します。
- (3) MTU からの TRGA0N トリガでグループ B のスキャンを開始します。
- (4) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了後に割り込み発生を許可) に設定されていると、グループ B スキャン終了割り込みを発生します。
- (5) MTU からの 1 回目の TRG4ABN トリガでグループ A の 1 回目のスキャンを開始します。
- (6) グループ A の 1 回目のスキャン終了時は、A/D 変換結果を対応する A/D データレジスタ (ADDRy) に格納し、ADCSR.ADIE ビットの設定に関わらずスキャン終了割り込み要求は発生しません。
- (7) MTU からの 2 回目の TRG4ABN トリガでグループ A の 2 回目のスキャンを開始します。
- (8) グループ A の 2 回目のスキャン終了時は、変換データを ADDBLDR に格納し、ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生を許可) に設定されていると、スキャン終了割り込み要求を発生します。
- (9) MTU からの 2 回目の TRGA0N トリガでグループ B の 2 回目のスキャンを開始します。
- (10) グループ B の 2 回目のスキャン終了時は、ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了後に割り込み発生を許可) に設定されていると、グループ B スキャン終了割り込みを発生します。
- (11) MTU からの 2 回目の TRGA1N トリガでグループ C の 2 回目のスキャンを開始します。
- (12) グループ C の 2 回目のスキャン終了時は、ADGCTRGR.GCADIE ビットが“1” (グループ C のスキャン終了後に割り込み発生を許可) に設定されていると、グループ C スキャン終了割り込みを発生します。

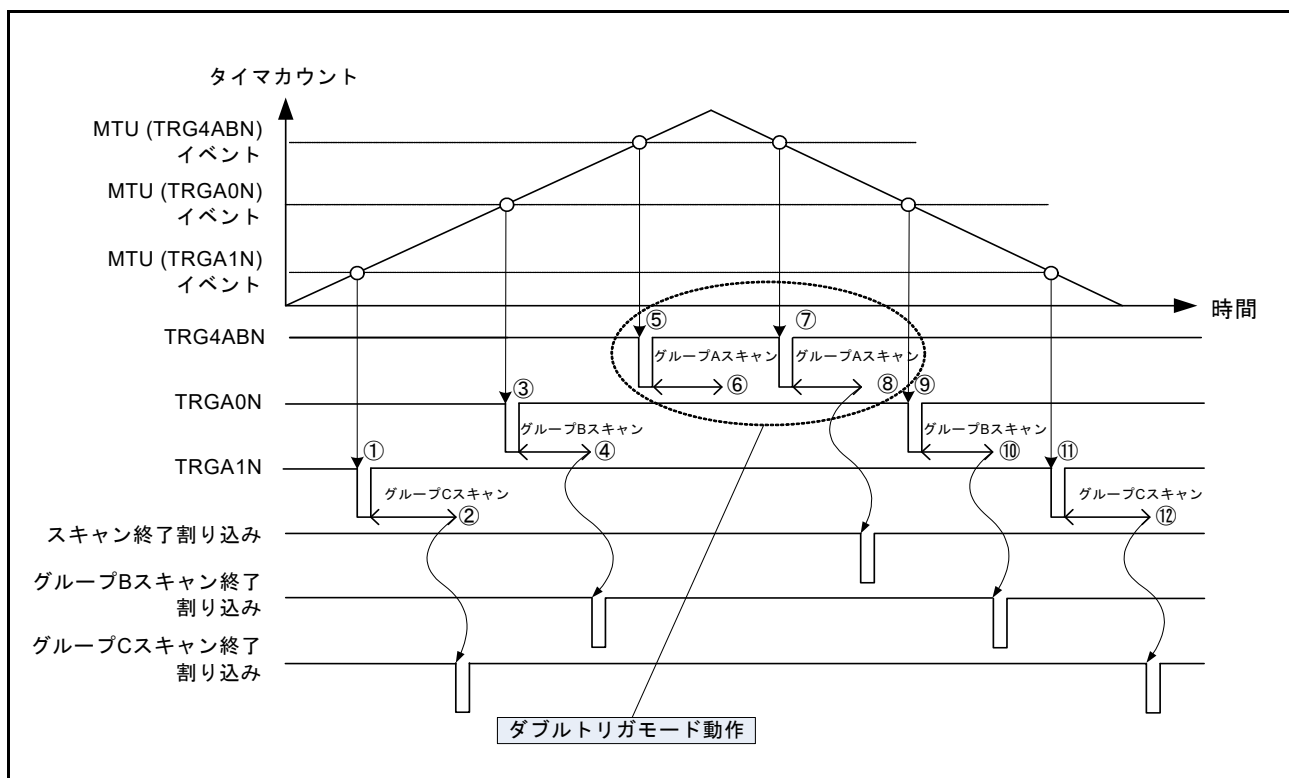


図 31.17 グループスキャンモードでダブルトリガモード選択時の動作例 (MTU からの同期トリガ発生による基本動作)

31.3.4.3 グループ優先制御動作

グループスキャンモードで ADGSPCR.PGS ビットを“1”にすると、グループ優先制御動作を行います。グループの優先度は、グループ A > グループ B > グループ C の順となります。グループスキャンモードで使用するグループの数は ADGCTRGR.GRCE ビットの設定により、2つ (グループ A, B) または3つ (グループ A, B, C) のいずれか一方を選択可能です。ADGSPCR.PGS ビットを“1”に設定する際は、図 31.18 に記載された手順に従い、設定を実行してください。フロー以外の設定をした場合、スキャンの動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、グループ B、またはグループ C のスキャン動作中に他方のトリガ入力があっても無視されます。

グループ優先動作では、低優先グループのスキャン中に優先グループのトリガ入力があった場合、低優先グループのスキャンを中断して、優先グループのスキャンを行います。

ADGSPCR.GBRSCN ビットが“0”のとき、優先グループのスキャン終了後、低優先グループは待機状態となります。またスキャン中に発生した低優先グループのトリガ入力は無視されます。

ADGSPCR.GBRSCN ビットが“1”のとき、優先グループのスキャン終了後、自動的に低優先グループのスキャンを再実行します。また優先グループのスキャン中に発生した低優先グループのトリガ入力は有効となり、優先グループのスキャン終了後、自動的に低優先グループのスキャンを実行します。

ADGSPCR.GBRSCN ビットが“1”のときに ADGSPCR.LGRRS が“0”のとき、低優先グループのスキャンは先頭から再実行します。また、ADGSPCR.LGRRS が“1”のとき、低優先グループのスキャンは中断したチャンネルから再実行します。ただし自己診断機能を使用した場合は、自己診断後に中断したチャンネルから再実行します。

ADGSPCR.GBRSCN ビットの設定とスキャン動作中のトリガ入力時の動作を表 31.13 に示します。

ADGSPCR.GBRP ビットに“1”を設定したとき、最も優先度の低いグループのスキャン動作は、シングルスキャンを連続で実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ A のトリガとは異なるグループ B の同期トリガを選択し、ADGCTRGR.TRSC[5:0] ビットでグループ A, B のトリガとは異なるグループ C の同期トリガを選択してください。

グループスキャンモードを2グループ (ADGCTRGR.GRCE ビットを“0”に設定) でかつ

ADGSPCR.GBRP ビットに“1”を設定する場合、ADSTRGR.TRSB[5:0] ビットは“3Fh”を設定してください。

また、グループスキャンモードを3グループ (ADGCTRGR.GRCE ビットを“1”に設定) でかつ

ADGSPCR.GBRP ビットに“1”を設定する場合は、ADGCTRGR.TRSC[5:0] ビットを“3Fh”に設定してください。

またスキャン対象とするチャンネルは、ADANSA0, ADANSA1 レジスタでグループ A のチャンネルを選択し、ADANSB0, ADANSB1 レジスタでグループ B のチャンネルを選択し、ADANSC0, ADANSC1 レジスタでグループ C のチャンネルを選択してください。

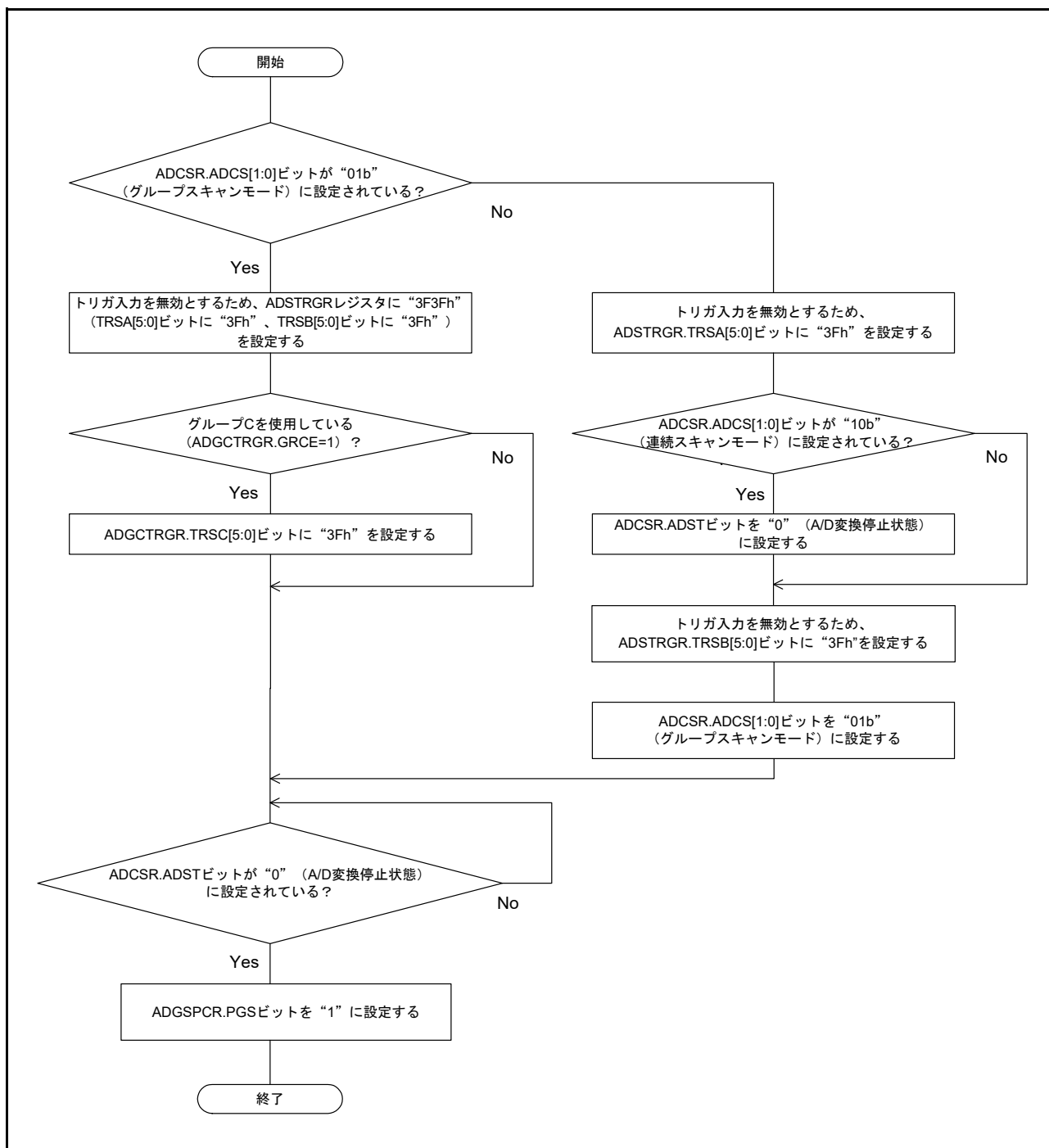


図 31.18 ADGSPCR.PGS ビット設定時のフローチャート

表31.13 ADGSPCR.GBRSCNビットの設定によるスキャン動作制御

スキャン動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループA のスキャン中	グループAトリガ入力	トリガ入力無効	トリガ入力無効
	グループBトリガ入力	トリガ入力無効	グループAのスキャン終了後、グループBのスキャンを行います
	グループCトリガ入力	トリガ入力無効	グループAのスキャン終了後、グループCのスキャンを行います
グループB のスキャン中	グループAトリガ入力	グループBのスキャンを中断し、グループAのスキャンを開始	<ul style="list-style-type: none"> グループBのスキャンを中断し、グループAのスキャン開始 グループAのスキャン終了後、グループBのスキャン動作開始
	グループBトリガ入力	トリガ入力無効	トリガ入力無効
	グループCトリガ入力	トリガ入力無効	グループBのスキャン終了後、グループCのスキャンを行います
グループC のスキャン中	グループAトリガ入力	グループCのスキャンを中断し、グループAのスキャンを開始	<ul style="list-style-type: none"> グループCのスキャンを中断し、グループAのスキャンを開始 グループAのスキャン終了後、グループCのスキャンを開始
	グループBトリガ入力	グループCのスキャンを中断し、グループBのスキャン動作を開始	<ul style="list-style-type: none"> グループCのスキャンを中断し、グループBのスキャン開始 グループBのスキャン終了後、グループCのスキャン開始
	グループCトリガ入力	トリガ入力無効	トリガ入力無効

グループ優先動作モードを使用する場合、下記の表を参考に実現したい動作モードを選択して、レジスタを設定してください。

表31.14 2グループのグループ優先動作設定と動作モード (ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 0)

ADGSPCR			動作分類
GBRSCN	LGRRS	GBRP	
0	x	0	2グループ (グループA, B) のグループ優先動作 <ul style="list-style-type: none"> グループAのトリガが入力されたとき、グループBのスキャンは終了する (再実行しない)
1	0	0	2グループ (グループA, B) のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループBはグループAのスキャン終了後にADANSB0, ADANSB1レジスタで指定したチャンネルの先頭からスキャンを再開する
1	1	0	2グループ (グループA, B) のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループBはグループAのスキャン終了後にADANSB0, ADANSB1レジスタで指定したチャンネルのうち、中断したチャンネル^(注1)からスキャンを再開する
x	0	1	2グループ (グループA, B) のグループ優先動作 <ul style="list-style-type: none"> グループBは開始トリガ入力なしで、連続でシングルスキャンを実施。グループBのスキャンが中断された後は、グループAのスキャン終了後にADANSB0, ADANSB1レジスタで指定したチャンネルの先頭からシングルスキャンを再開する
1	1	1	2グループ (グループA, B) のグループ優先動作 <ul style="list-style-type: none"> グループBは開始トリガ入力なしで、連続でシングルスキャンを実施。グループBのスキャンが中断された後は、グループAのスキャン終了後にADANSB0, ADANSB1レジスタで指定したチャンネルのうち、中断したチャンネル^(注1)からシングルスキャンを再開する

x = Don't care

注1. 自己診断機能有 (ADCER.DIAGM = 1) では、自己診断を実行してから中断したチャンネルのA/D変換を開始します。

表31.15 3グループのグループ優先動作設定と動作モード (ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 1)

ADGSPCR			動作分類
GBRSCN	LGRRS	GBRP	
0	x	0	3グループ (グループA, B, C) のグループ優先動作 <ul style="list-style-type: none"> グループAのトリガが入力されたとき、グループBのスキャンは終了する (再実行しない) グループA、またはグループBのトリガが入力されたとき、グループCのスキャンは終了する (再実行しない)
0	x	1	3グループ (グループA, B, C) のグループ優先動作 <ul style="list-style-type: none"> グループAのトリガが入力されたとき、グループBのスキャンは終了する (再実行しない) グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0, ADANSC1レジスタで指定したチャンネルの先頭からスキャンを再開する
1	0	0	3グループ (グループA, B, C) のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0, ADANSB1レジスタで指定したチャンネルの先頭からスキャンを再開する グループCのスキャンが中断された後、グループA/Bのスキャン終了後にADANSC0, ADANSC1レジスタで指定したチャンネルの先頭からスキャンを再開する
1	1	0	3グループ (グループA, B, C) のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0, ADANSB1レジスタで指定したチャンネルのうち、中断したチャンネル^(注1)からスキャンを再開する グループCのスキャンが中断された後、グループA/Bのスキャン終了後にADANSC0, ADANSC1レジスタで指定したチャンネルのうち、中断したチャンネル^(注1)からスキャンを再開する
1	0	1	3グループ (グループA, B, C) のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0, ADANSB1レジスタで指定したチャンネルの先頭からスキャンを再開する グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0, ADANSC1レジスタで指定したチャンネルの先頭からシングルスキャンを再開する
1	1	1	3グループ (グループA, B, C) のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0, ADANSB1レジスタで指定したチャンネルのうち、中断したチャンネル^(注1)から再開する グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0, ADANSC1レジスタで指定したチャンネルのうち、中断したチャンネル^(注1)からシングルスキャンを再開する

x = Don't care

注1. 自己診断機能有 (ADCER.DIAGM = 1) では、自己診断を実行してから中断したチャンネルのA/D変換を開始します。

(1) 2グループのグループ優先動作 (ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 0 設定)

グループ A にチャンネル 0 を、グループ B にチャンネル 1 ~ 3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時) を動作例 1 ~ 5 に示します。

動作例 1 「グループ B スキャン中のグループ A トリガ入力」再スキャンあり

- (1) グループ B のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSB0, ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0, ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生) に設定されていると、スキャン終了割り込み要求が発生します。
- (6) ADGSPCR.GBRSCN ビットが“1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0, ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に、再度グループ B のスキャンを開始します。
- (7) チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (8) ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了後に割り込み発生) に設定されていると、グループ B スキャン終了割り込み要求が発生します。
- (9) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

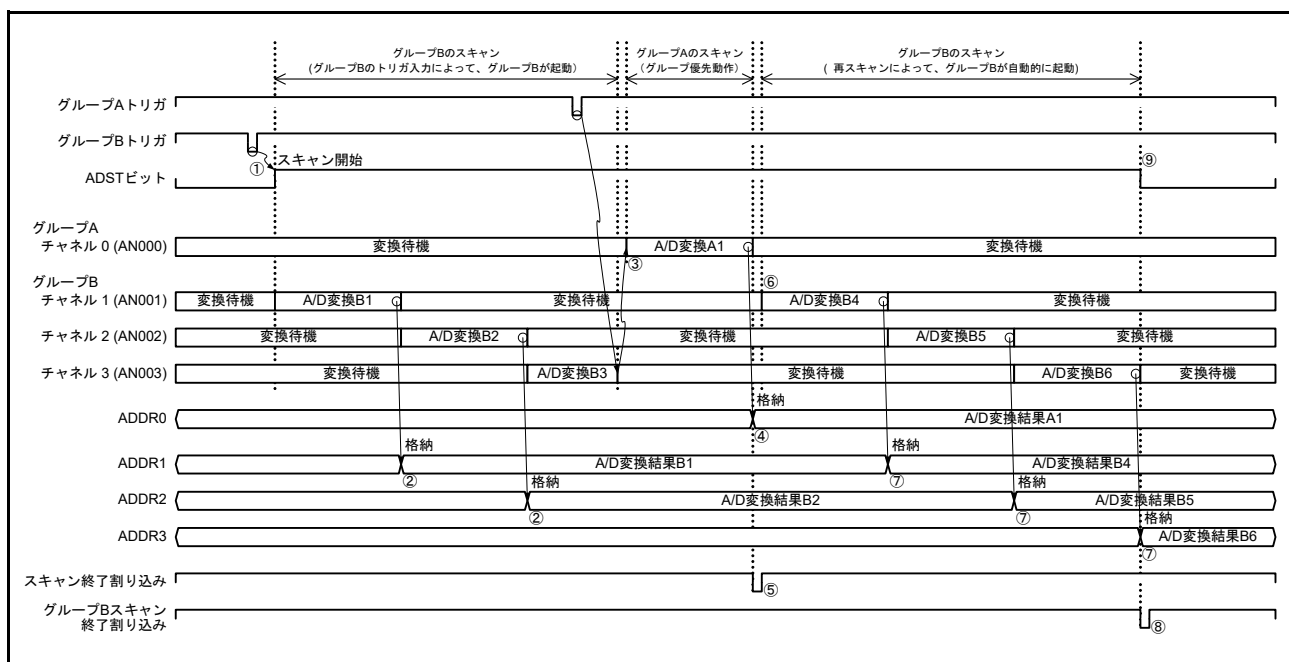


図 31.19 グループ優先動作の例 1 「グループ B スキャン中のグループ A トリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時)

動作例2 「グループB再スキャン中のグループAトリガ入力」再スキャンあり

グループB再スキャン動作中に、グループAのトリガが入力された場合を図31.20に示します。

再スキャン動作中であっても、グループAのトリガが入力されれば、グループAのスキンを開始し、グループAのスキンの終了後、グループBのスキンを開始します。

ADCSR.ADSTビット、A/D変換結果のA/Dデータレジスタ (ADDRy) への格納、割り込み要求は、例1と同じ動作になります。

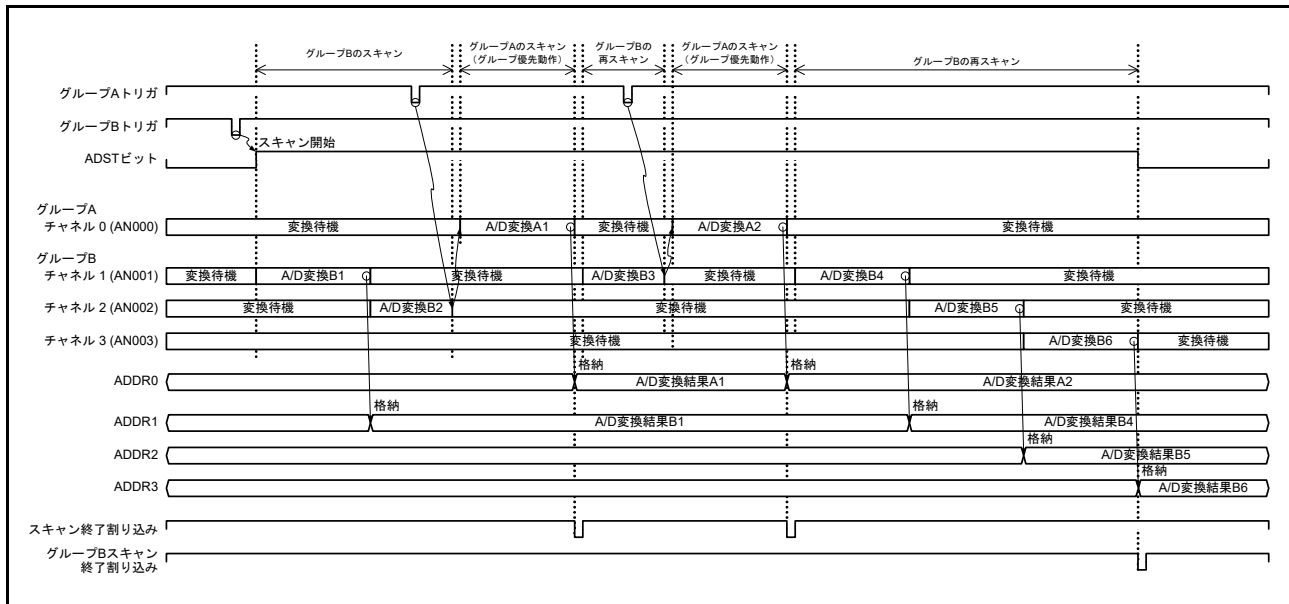


図 31.20 グループ優先動作の例2 「グループB再スキャン中のグループAトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時)

動作例3 「グループA スキャン中のグループB トリガ入力」再スキャンあり

ADGSPCR.GBRSCN ビットが“1”（グループ優先動作で中断されたグループの再スキャンをする）の設定で、グループAのスキャン動作中にグループBのトリガが入力された場合を説明します。

ADGSPCR.GBRSCN ビットが“0”に設定されている場合は、グループAのスキャン動作中に入力されたグループBのトリガはすべて無効となります。

- (1) グループAのトリガ入力によって、ADCSR.ADST ビットが“1”（A/D変換開始）に設定されると、ADANSA0, ADANSA1 レジスタで選択した、グループAのチャンネルANnのnが小さい番号順にスキャンを開始します。
- (2) グループAのスキャン中に、グループBのトリガ入力があると、グループBはスキャン実行可能状態になります。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）に格納されます。
- (4) グループAのスキャン終了後、ADCSR.ADIE ビットが“1”（スキャン終了後の割り込み発生を許可）に設定されていると、スキャン終了割り込み要求が発生します。
- (5) グループAのスキャン終了後、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0, ADANSB1 レジスタで選択した、グループBのチャンネルANnのnが小さい番号順に、グループBのスキャンを実行します。（グループBのスキャン中にグループAのトリガが入力されると、例1と同じくグループAのスキャンを開始し、グループAのスキャン終了後、グループBのスキャンを開始します。）
- (6) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）に格納されます。
- (7) グループBのスキャン終了後、ADCSR.GBADIE ビットが“1”（グループBのスキャン終了後に割り込み発生を許可）に設定されていると、グループBスキャン終了割り込み要求が発生します。
- (8) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

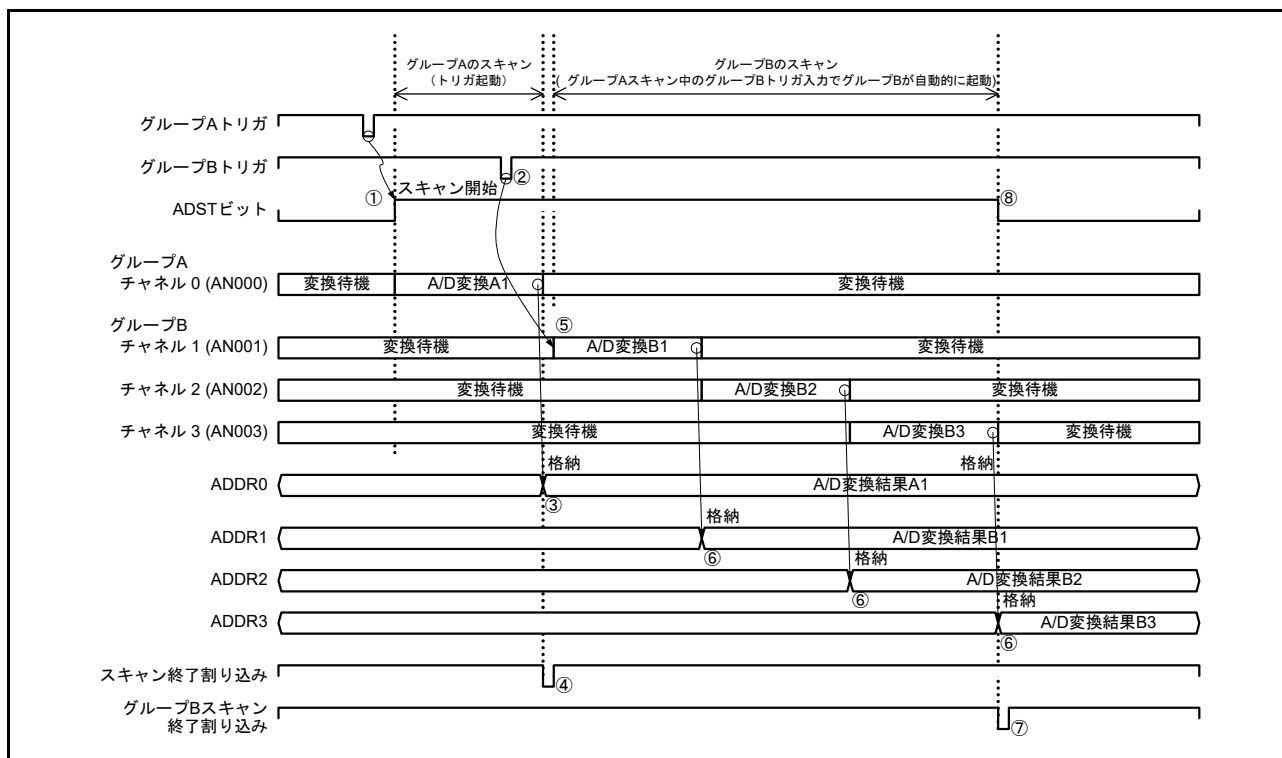


図 31.21 グループ優先動作の例3「グループA スキャン中のグループB トリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時)

グループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時) を動作例 4 に示します。

動作例 4 「グループ B スキャン中のグループ A トリガ入力」再スキャンなし

- (1) グループ B のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSB0, ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0, ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生への許可) に設定されていると、スキャン終了割り込み要求が発生します。
- (6) ADST ビットは、グループ A のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。グループ B は、以後のグループ B トリガ入力までスキャンを行いません。

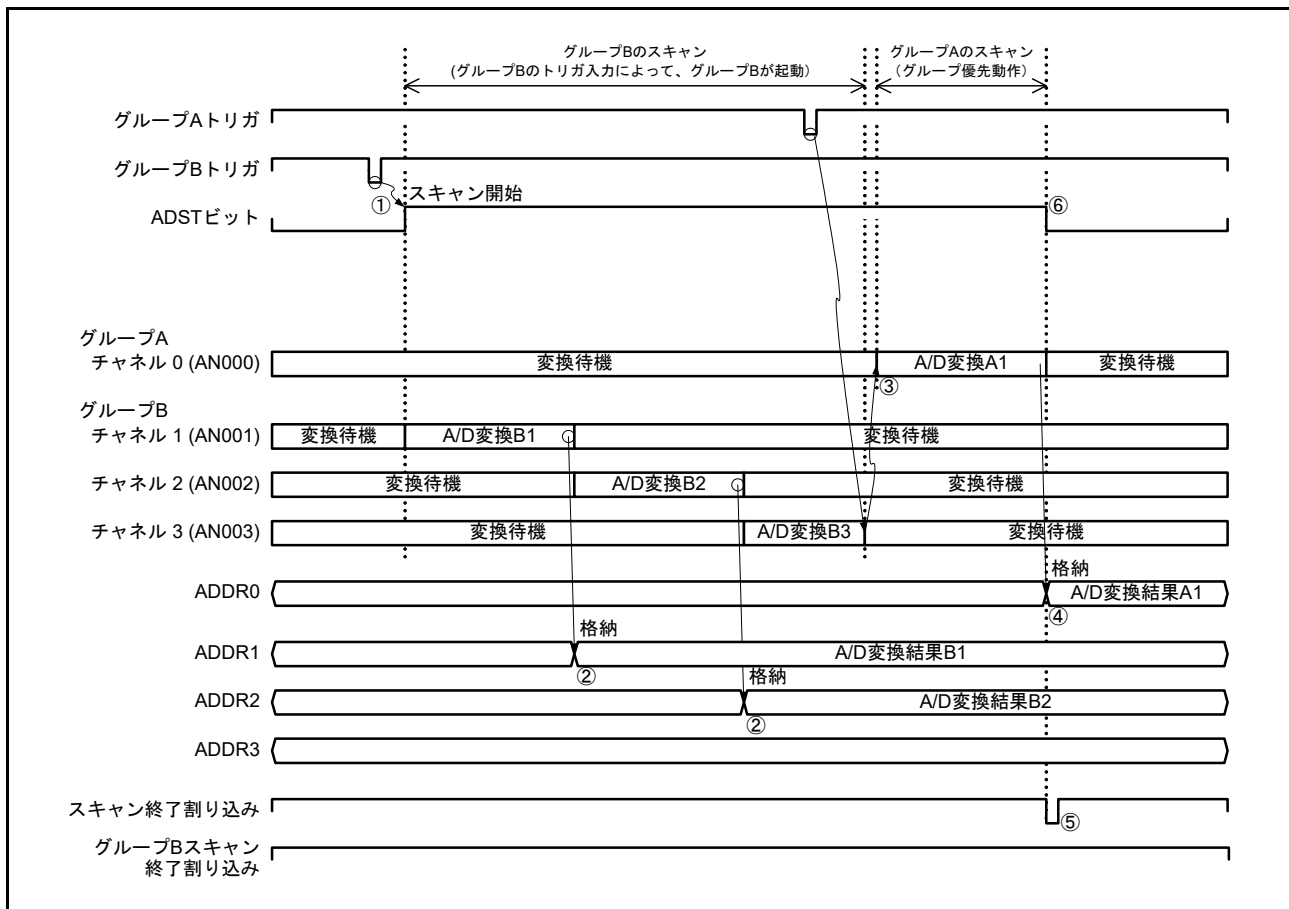


図 31.22 グループ優先動作の例 4 「グループ B スキャン中のグループ A トリガ入力」再スキャンなし (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時)

グループ A にチャンネル 0 を、グループ B にチャンネル 1, 2 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 1, ADGSPCR.LGRRS = 0 設定時) を動作例 5 に示します。

ADGCTRGR.GRCE ビットが“1”の設定では、グループ C がシングルスキャン連続動作を行い、グループ B はトリガ入力でのスキャン開始になります。

動作例 5 「グループ B のシングルスキャン連続動作」

- (1) ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが“1” (A/D 変換開始) に設定され、ADANSB0, ADANSB1 レジスタで選択したチャンネル AN_n の n が小さい番号順にスキャンを開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
- (3) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0, ADANSA1 レジスタで選択したチャンネル AN_n の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDR_y) に格納しません。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
- (5) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生の許可) に設定されていると、スキャン終了割り込み要求を発生します。
- (6) ADGSPCR.GBRP ビットが“1” (シングルスキャン連続動作する) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0, ADANSB1 レジスタで選択したチャンネル AN_n の n が小さい番号順に、再度グループ B のスキャンを開始します。
- (7) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
- (8) ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了後に割り込み発生を許可) に設定されていると、グループ B スキャン終了割り込み要求を発生します。
- (9) ADGSPCR.GBRP ビットが“1” (シングルスキャン連続動作する) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0, ADANSB1 レジスタで選択したチャンネル AN_n の n が小さい番号順に、再度グループ B のスキャンを開始します。

グループ B をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。

ADGSPCR.GBRP ビットが“1”に設定されている間は (6) ~ (9) の動作を繰り返します。ADGSPCR.GBRP ビットが“1”に設定されている間は、ADCSR.ADST ビットのクリアは禁止です。ADGSPCR.GBRP = 1 のとき、スキャンを強制停止させるには、「31.6.2 A/D 変換停止時の注意事項」に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

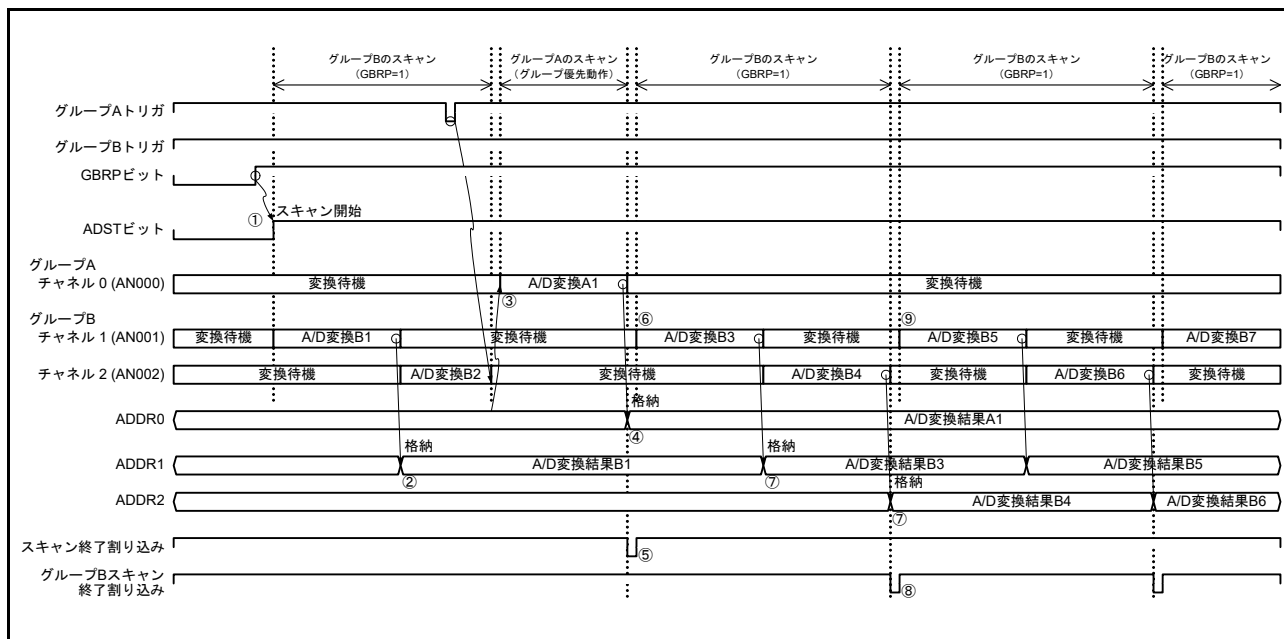


図 31.23 グループ優先動作の例 5「グループ B のシングルスキャン連続動作」
(ADGSPCR.GBRP = 1, ADGSPCR.LGRRS = 1, ADGCTRGR.GRCE = 0 設定時)

(2) 3グループのグループ優先動作 (ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 1 設定)

グループ A にチャンネル 0、グループ B にチャンネル 1, 2、グループ C にチャンネル 3, 4 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1 設定時) を動作例 1 ~ 例 5 に示します。優先グループとは、グループ C に対するグループ A とグループ B、グループ B に対するグループ A を意味します。

動作例 1 「低優先グループスキャン中の優先グループトリガ入力」再スキャンあり

- (1) グループ C のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSC0, ADANSC1 レジスタで選択したチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ C のスキャンを中断し、ADANSB0, ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0, ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (6) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (7) ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生を許可) に設定されていると、スキャン終了割り込み要求を発生します。
- (8) ADGSPCR.GBRSCN ビットが“1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0, ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に、再度グループ B のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていれば、グループ B のスキャンは、A/D 変換が中断したチャンネルから開始します。
- (9) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (10) ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了後に割り込み発生を許可) に設定されていると、グループ B スキャン終了割り込み要求を発生します。
- (11) ADGSPCR.GBRSCN ビットが“1”に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSC0, ADANSC1 レジスタで選択したチャンネル ANn の n が小さい番号順に、再度グループ C のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていれば、グループ C のスキャンは、A/D 変換が中断したチャンネルから開始します。
- (12) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (13) ADGCTRGR.GCADIE ビットが“1” (グループ C のスキャン終了後に割り込み発生を許可) に設定されていると、グループ C スキャン終了割り込み要求を発生します。
- (14) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

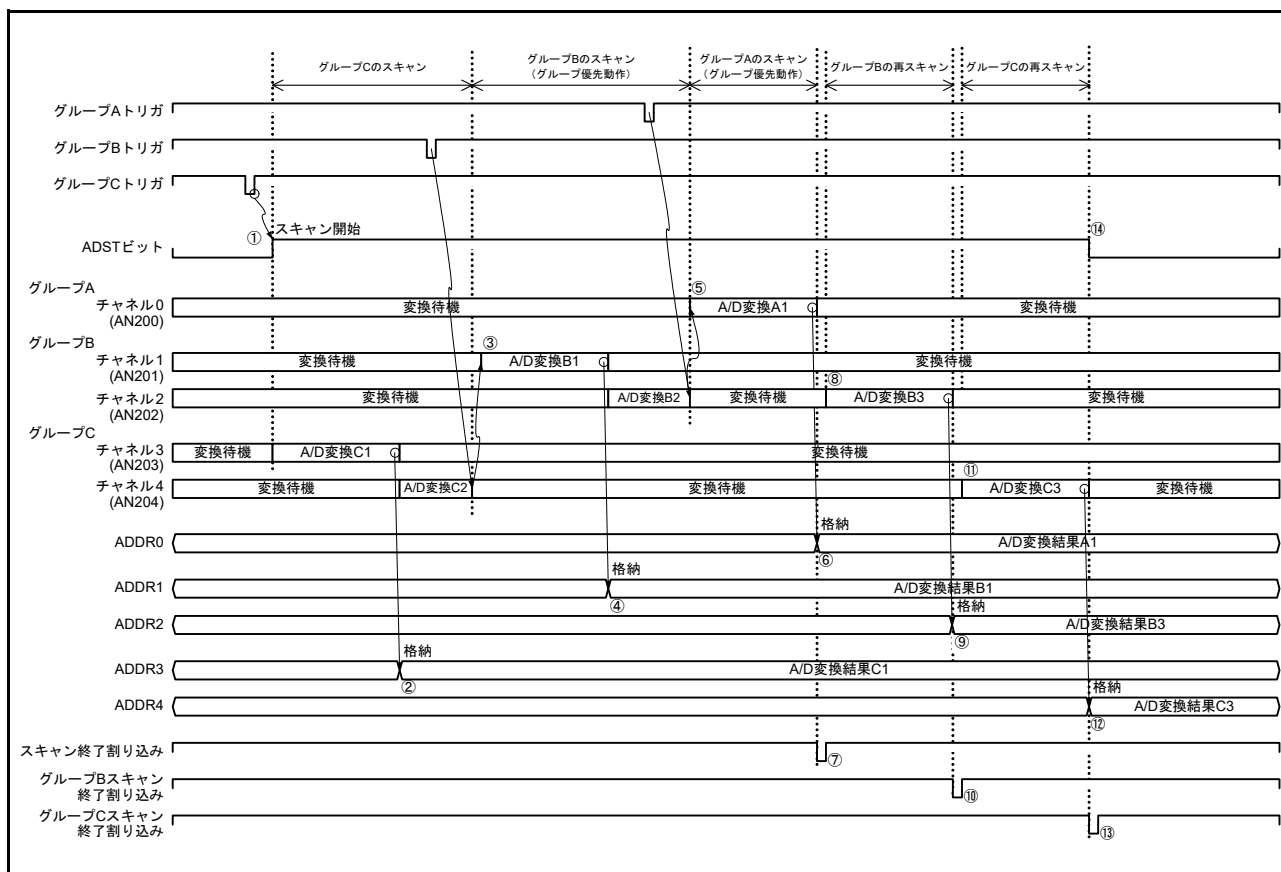


図 31.24 グループ優先動作の例 1 「低優先グループスキャン中の優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1 設定時)

動作例2「低優先グループ再スキャン中の優先グループトリガ入力」再スキャンあり

グループB再スキャン動作中に、グループAのトリガが入力された場合を図31.25に示します。

低優先グループが再スキャン動作中であっても、優先グループ（グループCに対する優先グループはグループAとグループB、グループBに対する優先グループはグループA）のトリガが入力されれば、優先グループのスキンを開始し、優先グループのスキンの終了後、中断した低優先グループのスキンを開始します。

ADCSR.ADSTビット、A/D変換結果のA/Dデータレジスタ（ADDRy）への格納、割り込み要求は、例1と同じ動作になります。

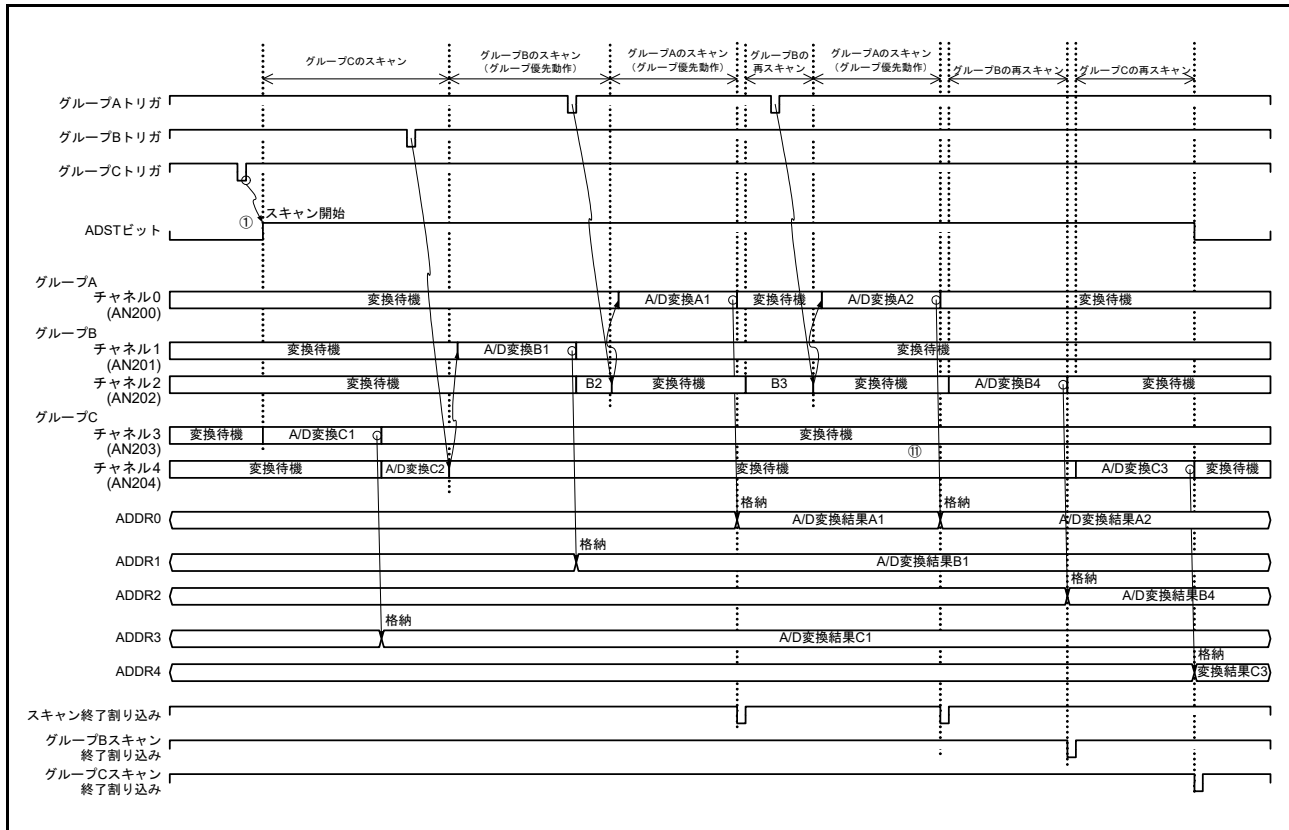


図 31.25 グループ優先動作の例2「低優先グループ再スキャン中の優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1 設定時)

動作例3「優先グループスキャン中の低優先グループトリガ入力」再スキャンあり

ADGSPCR.GBRSCN ビットが“1”（グループ優先動作で中断されたグループの再スキャンをする）の設定で、優先グループのスキャン動作中に低優先グループのトリガが入力された場合を説明します。

ADGSPCR.GBRSCN ビットが“0”に設定されている場合は、優先グループのスキャン動作中に入力された低優先グループのトリガはすべて無効となります。

- (1) グループ A のトリガ入力によって、ADCSR.ADST ビットが“1”（A/D 変換開始）に設定されると、ADANSA0, ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) グループ A のスキャン中に、グループ B のトリガ入力があると、グループ B はスキャン実行可能状態になります。
- (3) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (4) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1”（スキャン終了後の割り込み発生の許可）に設定されていると、スキャン終了割り込み要求を発生します。
- (5) グループ A のスキャン終了後、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0, ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、グループ B のスキャンを実行します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていれば、グループ B のスキャンは、A/D 変換が中断したチャンネルから開始します。
(グループ B のスキャン中にグループ A のトリガが入力されると、例 1 と同じくグループ A のスキャンを開始し、グループ A のスキャン終了後、グループ B のスキャンを開始します。)
- (6) グループ B のスキャン中に、グループ C のトリガ入力があると、グループ C はスキャン実行可能状態になります。
- (7) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (8) グループ B のスキャン終了後、ADCSR.GBADIE ビットが“1”（グループ B のスキャン終了後に割り込み発生を許可）に設定されていると、グループ B スキャン終了割り込み要求を発生します。
- (9) グループ B のスキャン終了後、ADCSR.ADST ビットを“1”に保持したまま、ADANSC0, ADANSC1 レジスタで選択した、グループ C のチャンネル ANn の n が小さい番号順に、グループ C のスキャンを実行します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていれば、グループ C のスキャンは、A/D 変換が中断したチャンネルから開始します。
(グループ C のスキャン中にグループ A またはグループ B のトリガが入力されると、例 1 と同じくグループ A またはグループ B のスキャンを開始し、スキャン終了後、グループ C のスキャンを開始します。)
- (10) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (11) グループ C のスキャン終了後、ADGCTRGR.GCADIE ビットが“1”（グループ C のスキャン終了後に割り込み発生を許可）に設定されていると、グループ C スキャン終了割り込み要求を発生します。
- (12) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

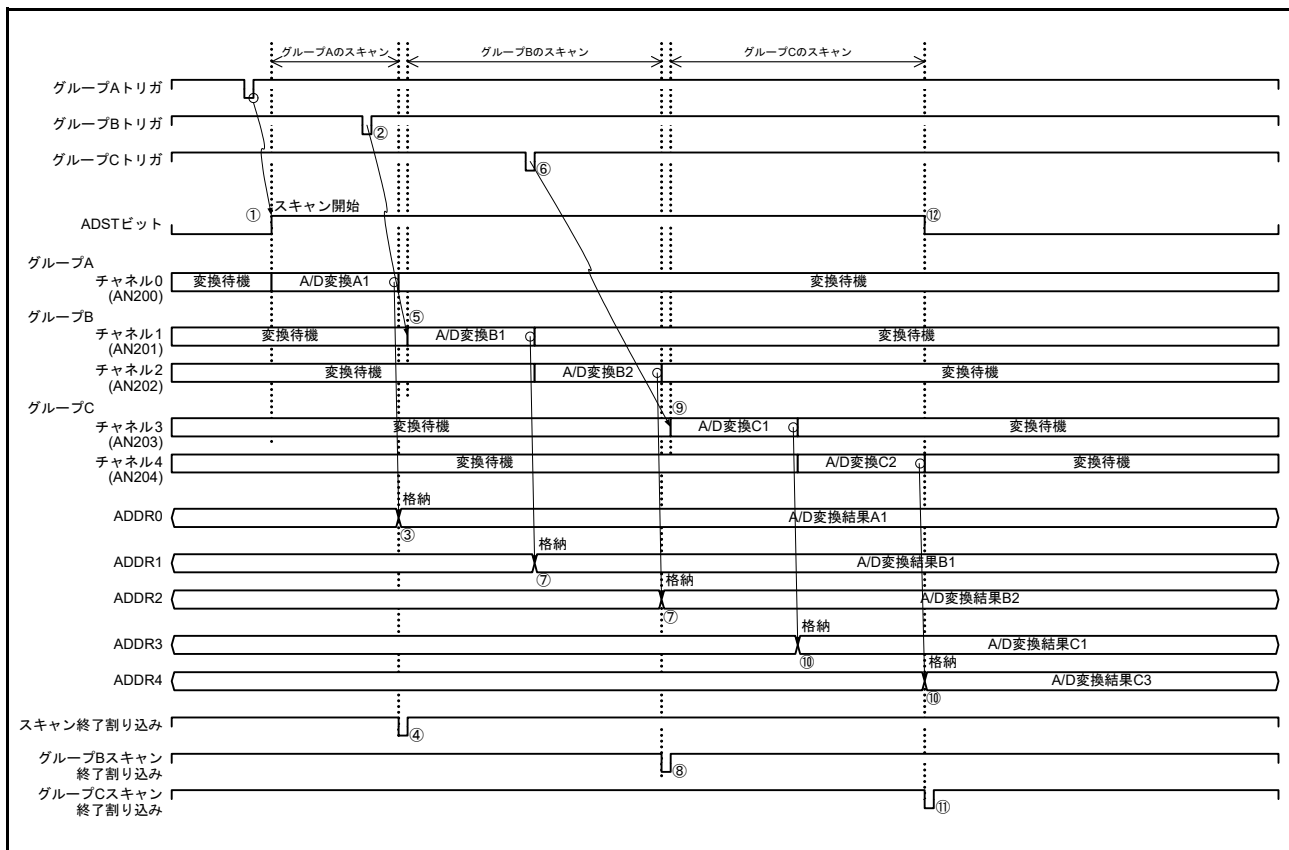


図 31.26 グループ優先動作の例 3「優先グループスキャン中の低優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1, ADGCTRGR.GRCE = 1 時の動作)

グループ A にチャンネル 0、グループ B にチャンネル 1,2、グループ C にチャンネル 3,4 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時) を動作例 4 に示します。

動作例 4 「低優先グループスキャン中の優先グループトリガ入力」再スキャンなし

- (1) グループ C のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSC0, ADANSC1 レジスタで選択したチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ C のスキャンを中断し、ADANSB0, ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0, ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。

- (6) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生への許可) に設定されていると、スキャン終了割り込み要求を発生します。
- (7) ADST ビットは、グループ A のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。グループ C とグループ B は、以後のグループに対応したトリガ入力までスキャンを行いません。

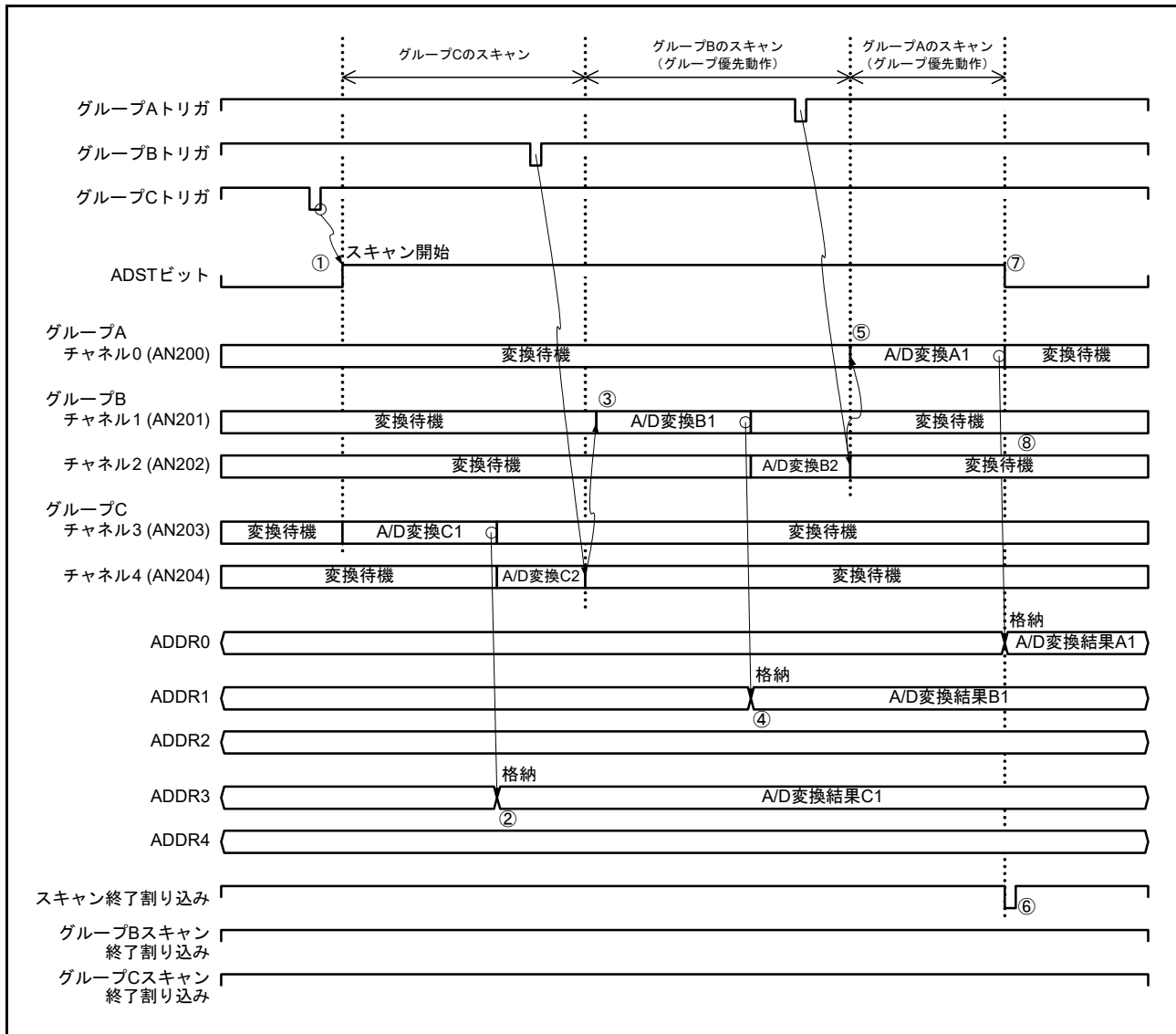


図 31.27 グループ優先動作の例 4 「低優先グループスキャン中の優先グループトリガ入力」再スキャンなし (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1 設定時)

グループ A にチャンネル 0、グループ B にチャンネル 1、グループ C にチャンネル 2, 3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 1, ADGSPCR.LGRRS = 1 設定時) を動作例 5 に示します。

ADGCTRGR.GRCE ビットが“0”の設定では、グループ B がシングルスキャン連続動作を行い、グループ C はトリガ入力が無効になります。

動作例5「グループCのシングルスキャン連続動作」

- (1) ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが“1” (A/D 変換開始) に設定され、ADANSC0, ADANSC1 レジスタで選択したチャンネル AN_n の n が小さい番号順にスキャンを開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
- (3) グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを“1” に保持したまま、グループ C のスキャンを中断し、ADANSB0, ADANSB1 レジスタで選択したチャンネル AN_n の n が小さい番号順にグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDR_y) に格納しません。
- (4) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1” に保持したまま、グループ B のスキャンを中断し、ADANSA0, ADANSA1 レジスタで選択したチャンネル AN_n の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDR_y) に格納しません。
- (5) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生を許可) に設定されていると、スキャン終了割り込み要求を発生します。
- (7) ADGSPCR.GBRSCN ビットが“1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていれば、ADCSR.ADST ビットを“1” に保持したまま、ADANSB0, ADANSB1 レジスタで選択したチャンネル AN_n の n が小さい番号順に、再度グループ B のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが“1” に設定されていれば、グループ B のスキャンは、A/D 変換が中断したチャンネルから開始します。
- (8) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
- (9) ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了後に割り込み発生を許可) に設定されていると、グループ B スキャン終了割り込み要求を発生します。
- (10) ADGSPCR.GBRSCN ビットが“1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていれば、ADCSR.ADST ビットを“1” に保持したまま、ADANSC0, ADANSC1 レジスタで選択したチャンネル AN_n の n が小さい番号順に、再度グループ C のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが“1” に設定されていれば、グループ C のスキャンは、A/D 変換が中断したチャンネルから開始します。
- (11) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
- (12) ADGCTRGR.GCADIE ビットが“1” (グループ C のスキャン終了後に割り込み発生を許可) に設定されていると、グループ C スキャン終了割り込み要求を発生します。
- (13) ADGSPCR.GBRP ビットが“1” (シングルスキャン連続動作する) に設定されていれば、ADCSR.ADST ビットを“1” に保持したまま、ADANSC0, ADANSC1 レジスタで選択したチャンネル An の n が小さい番号順に、再度グループ C のスキャンを開始します。

グループ C をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。ADGSPCR.GBRP ビットが“1” に設定されている間は (13) → (11) → (12) → (13) の動作を繰り返します。ADGSPCR.GBRP ビットが“1” に設定されている間は、ADCSR.ADST ビットのクリアは禁止です。ADGSPCR.GBRP = 1 のとき、スキャンを強制停止させるには、「31.6.2 A/D 変換停止時の注意事項」に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

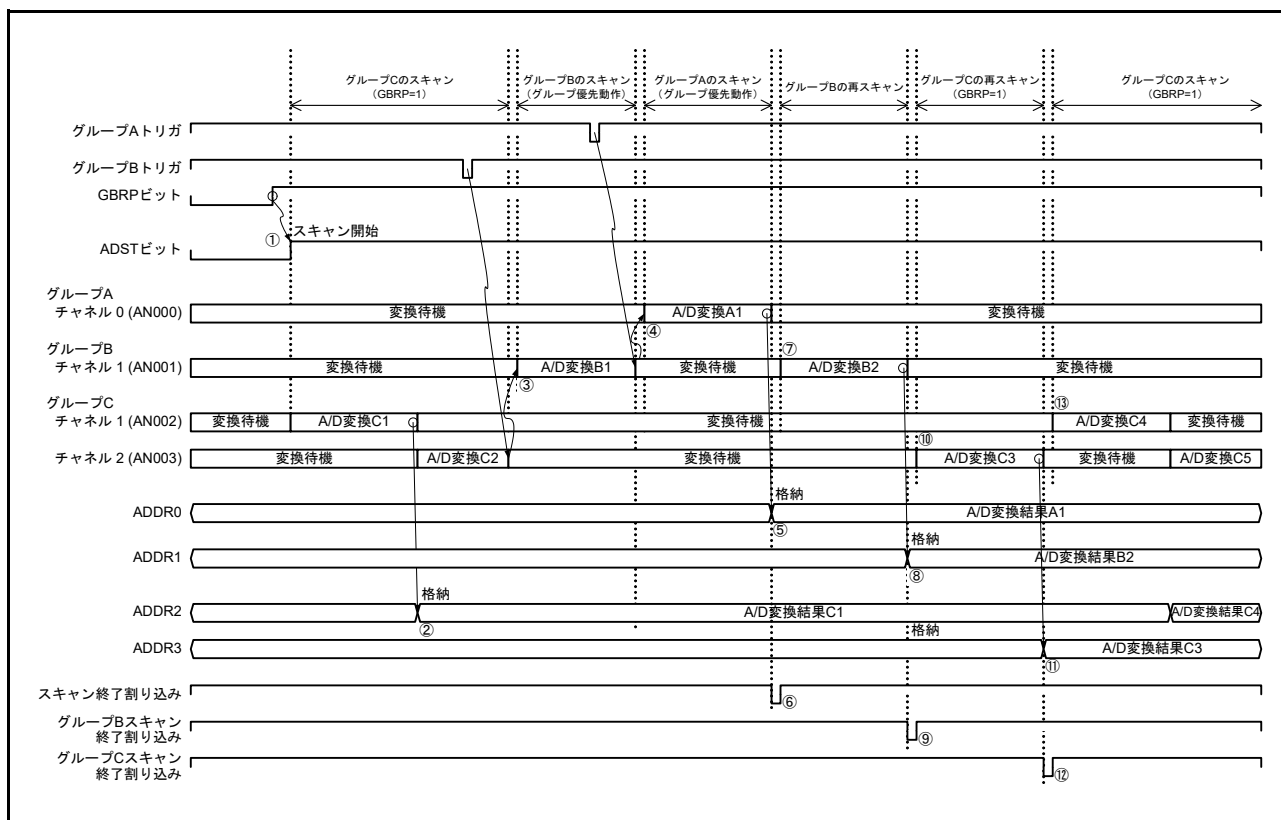


図 31.28 グループ優先動作の例 5「グループ C のシングルスキャン連続動作」
(ADGSPCR.GBRP = 1, ADGSPCR.LGRRS = 1 設定時)

31.3.5 アナログ入力のサンプリング時間とスキャン変換時間

図 31.29 にシングルスキャンモード、ソフトウェア起動と同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。また、図 31.30 にシングルスキャンモード、非同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、チャンネル専用サンプル&ホールド回路処理時間 (t_{SPLSH}) (注1)、断線検出アシスト処理時間 (t_{DIS}) (注2)、自己診断変換時間 (t_{DIAG}) (注3)、A/D変換処理時間 (t_{CONV})、チャンネル専用サンプル&ホールド回路終了処理時間 (t_{SHED}) (注4)、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。

A/D変換処理時間 (t_{CONV}) は、サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間となります。サンプリング時間 (t_{SPL}) は、A/Dコンバータ内のサンプルホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D変換クロック (ADCLK) が低速の場合には ADSSTR レジスタでサンプリング時間を調整することができます。

逐次変換時間 (t_{SAM}) は、32 ステート (ADCLK) となります。スキャン変換時間を表 31.16 に示します。

選択チャンネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n) \text{ (注5)} + t_{ED}$$

連続スキャンの1サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省き t_{SHED} を加えた時間です。

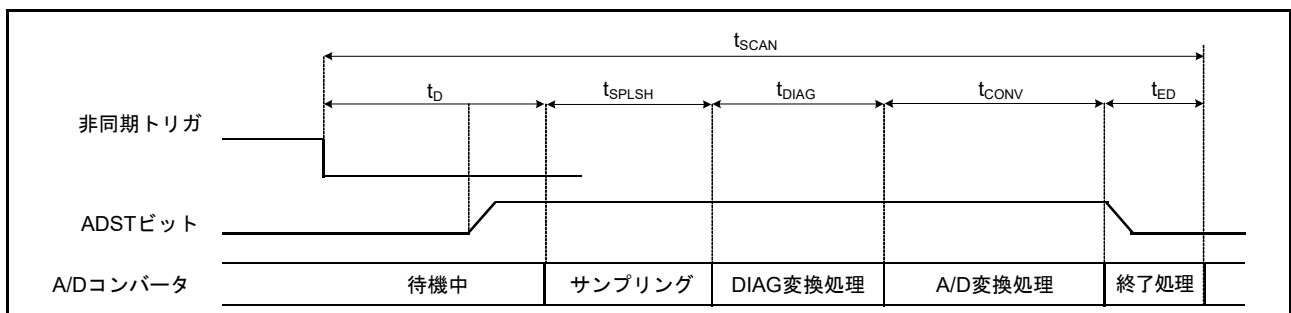
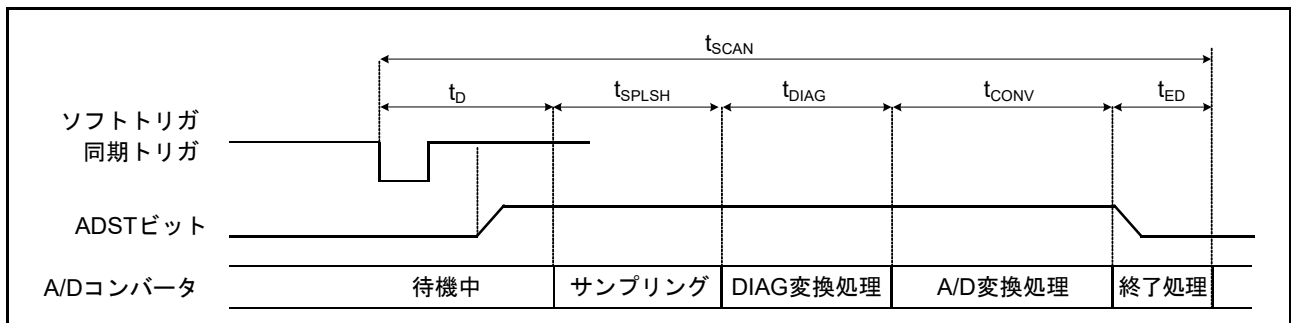
連続スキャンの2サイクル目以降は、 $t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \times n)$ (注5) + t_{SHED} となります。

- 注1. チャンネル専用サンプル&ホールド回路を使用しない場合は、 $t_{SPLSH} = 0$ となります。
- 注2. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$ となります。内部基準電圧をA/D変換する場合に限り、オートディスチャージ期間15ステート (ADCLK) 挿入されます。
- 注3. 自己診断を設定しない場合は、 $t_{DIAG} = 0$, $t_{DSD} = 0$ となります。
- 注4. チャンネル専用サンプル&ホールド回路を使用しない場合は、 $t_{SHED} = 0$ となります。 t_{SHED} は連続スキャンモード実行時の所要時間です。シングルスキャンとグループスキャンでは、スキャン終了時間 (t_{ED}) に含まれません。
- 注5. 選択チャンネルのサンプリング時間 (t_{SPL}) が、同一の場合は $t_{CONV} \times n$ となりますが、チャンネルごとに異なる場合は、各チャンネルのサンプリング時間 (t_{SPL}) と逐次変換時間 (t_{SAM}) の総和となります。

表31.16 スキャンでの各所要時間 (ADCLKとPCLKのサイクル数で示します)

項目	記号	種別/条件				単位
		同期トリガ (MTU)	同期トリガ (TMR)	非同期トリガ	ソフトウェアトリガ	
スキャン開始処理時間 (注1、注2)	グループ優先制御動作によるグループのA/D変換	低優先グループ中断あり (優先グループのA/D変換要因によって低優先グループB停止させた後、優先グループを起動)	1PCLKA + 4PCLKB + 6ADCLK	3PCLKB + 6ADCLK	—	—
		低優先グループ中断なし (優先グループのA/D変換要因によって起動)	1PCLKA + 3PCLKB + 4ADCLK	2PCLKB + 4ADCLK	—	—
	自己診断有効時のA/D変換	自己診断変換開始時	1PCLKA + 3PCLKB + 6ADCLK	2PCLKB + 6ADCLK	4PCLKB + 6ADCLK	6ADCLK
	上記以外		1PCLKA + 3PCLKB + 4ADCLK	2PCLKB + 4ADCLK	2PCLKB + 4ADCLK	4ADCLK
チャンネル専用サンプルホールド処理時間 (注1)	サンプリング時間	t_{SPLSH}	t_{SH}	ADSHCR.SSTSH[7:0]の設定値 (初期値1Ah) × ADCLK		サイクル
	サンプリング-A/D変換ウェイト時間		t_W	13ADCLK		
断線検出アシスト処理時間		t_{DIS}		ADDISCR.ADNDIS[3:0]設定値 (初期値00h) × ADCLK (注3)		
自己診断変換処理時間 (注1)	サンプリング時間	t_{DIAG}	t_{SPL}	ADSSTR0設定値 (初期値0Dh) × ADCLK		
	逐次変換時間		t_{SAM}	32ADCLK		
	自己診断変換終了後。通常のA/D変換開始時	t_{DED}	2ADCLK			
	連続スキャン時の最終チャンネル変換終了後、自己診断変換開始時	t_{DED}	2ADCLK			
A/D変換処理時間 (注1)	サンプリング時間	t_{CONV}	t_{SPL}	ADSSTRn (n = 0 ~ 11, L, O) 設定値 (初期値0Dh) × ADCLK		
	逐次変換時間		t_{SAM}	32ADCLK		
チャンネル専用サンプルホールド終了処理時間		t_{SHED}		3ADCLK		
スキャン終了時間 (注1)		t_{ED}		1PCLKB + 3ADCLK		

- 注1. t_D , t_{SPLSH} , t_{DIAG} , t_{CONV} , t_{ED} の各タイミングについては図31.29、図31.30を参照してください。
- 注2. ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。
- 注3. 内部基準電圧をA/D変換時は、“0Fh” (15ADCLK) に固定されます。



31.3.6 A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを“1”にすることにより、CPU, DTC によって A/D データレジスタ (ADDRy, ADDR, ADOCDR, ADDBLDR, ADDBLDRA, ADDBLDRB) を読み出す際、自動的に ADDRy, ADDR, ADOCDR, ADDBLDR, ADDBLDRA, ADDBLDRB レジスタを“0000h”にクリアできます。

この機能を使うことにより、ADDRy, ADDR, ADOCDR, ADDBLDR, ADDBLDRA, ADDBLDRB レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効/有効時の例を示します。

ADCER.ACE ビットが“0” (自動クリア禁止) の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、古いデータ (0111h) が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) が汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが“1” (自動クリア許可) の場合には、ADDRy = 0111h を CPU, DTC により読み出す際、ADDRy レジスタは自動的に“0000h”にクリアされます。その後、A/D 変換結果 (0222h) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、“0000h”が汎用レジスタなどに保持されます。読み出されたデータ値が“0000h”であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

31.3.7 A/D 変換値加算 / 平均機能

A/D 変換値加算機能は、同じチャンネルを 2～4、16 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。A/D 変換値平均機能は、同じチャンネルを 2 回、または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算 / 平均機能は、チャンネル選択アナログ入力 A/D 変換、内部基準電圧 A/D 変換選択時 (S12AD2 のみ) に使用できます。

31.3.8 断線検出アシスト機能

A/D 変換開始前に、サンプリング容量の電荷を所定の状態 (A/D 高電位 / 低電位基準電圧コントロールレジスタで選択した基準電圧) に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。なお、断線検出アシスト機能は、ADPGACR.PnENAMP = 0 (PGA 内アンプを使用しない)、ADSHCR.SHANS = 0 (サンプル&ホールド回路をバイパス) で使用してください。

図 31.31 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。また、図 31.32 にプリチャージを選択した場合の断線検出例を、図 31.33 にディスチャージを選択した場合の断線検出例を示します。

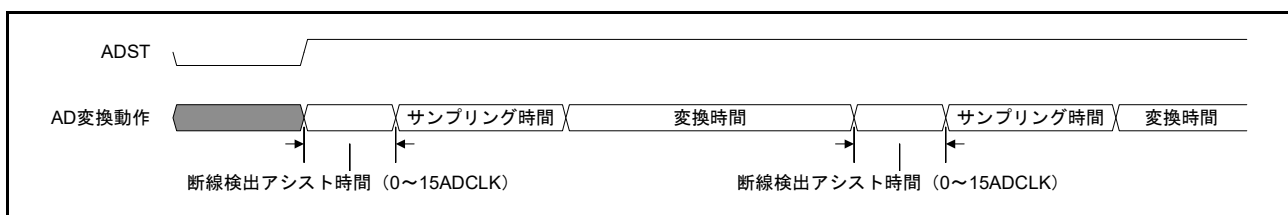


図 31.31 断線検出アシスト機能を使用した場合の A/D 変換動作図

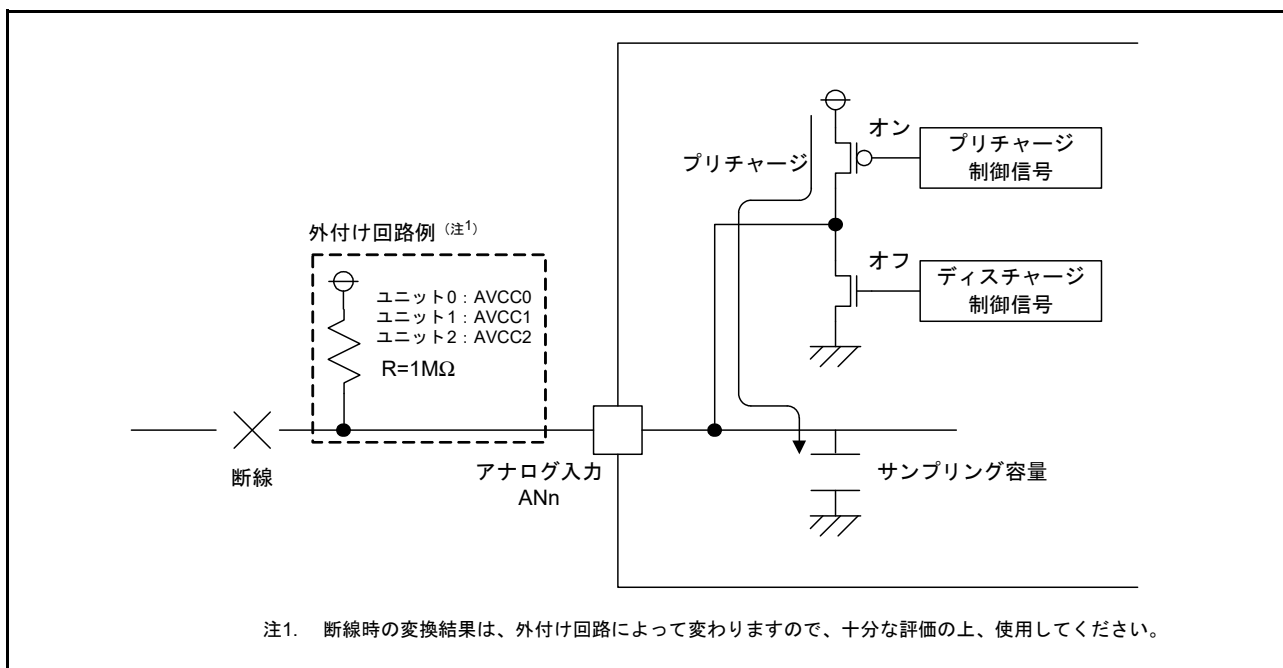


図 31.32 プリチャージを選択した場合の断線検出例

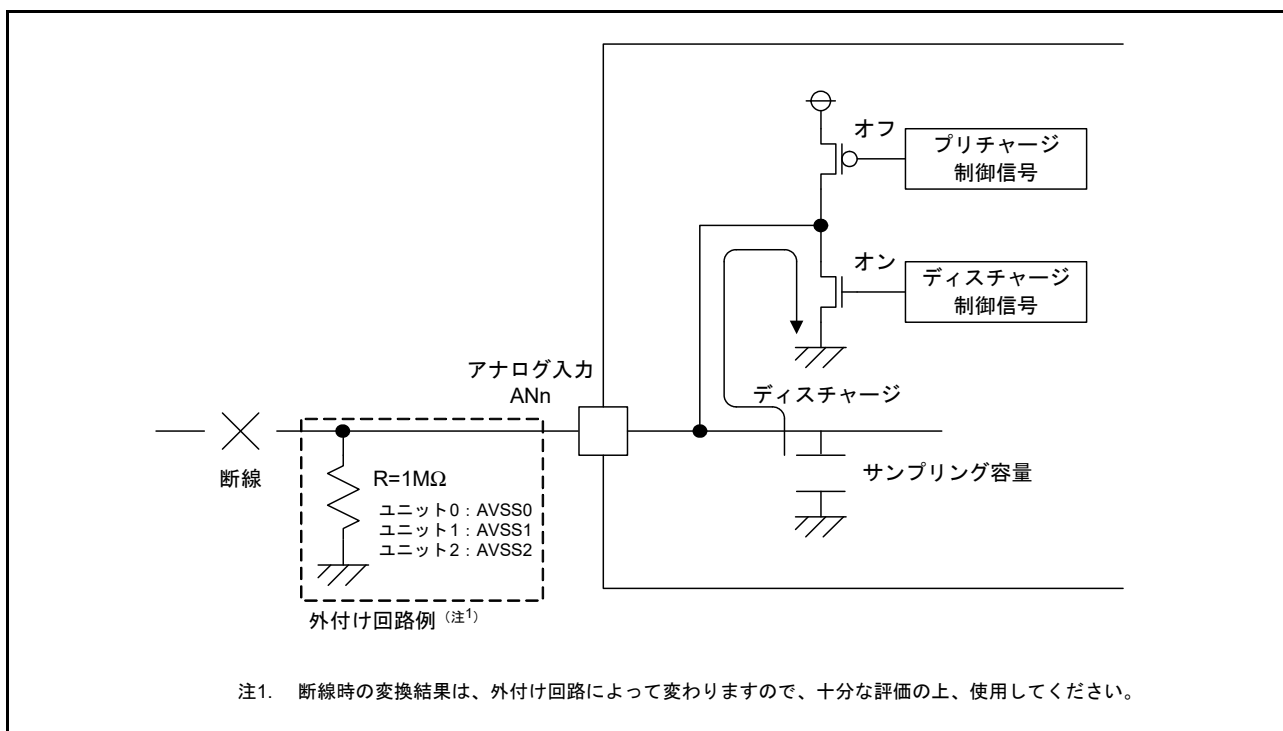


図 31.33 ディスチャージを選択した場合の断線検出例

31.3.9 非同期トリガによる A/D 変換の開始

非同期トリガの入力により AD 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を “000000b” に設定し、非同期トリガ (ADTRG0# 端子) に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 31.34 に非同期トリガ入力タイミングを示します。

ADST ビットが “1” になってから、変換を開始するまでの時間は、「31.6.3 A/D 変換強制停止と開始時の動作タイミング」を参照してください。グループスキャンモードで使用するグループ B は、非同期トリガを選択できません。

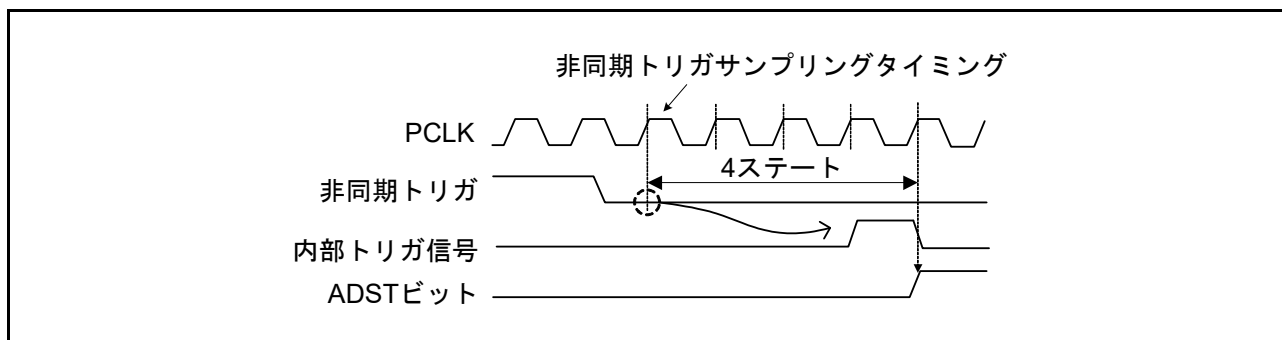


図 31.34 非同期トリガ入力タイミング

31.3.10 周辺モジュールからの同期トリガによる A/D 変換の開始

同期トリガによって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0” とし、ADSTRGR.TRSA[5:0]、ADSTRGR.TRSB[5:0] ビットで該当の A/D 変換開始要因を選択します。

31.3.11 プログラマブルゲインアンプ

プログラマブルゲインアンプは、AN000 と AN100 ～ AN102 に搭載されています。

S12AD.ADPGAGS.P000GAIN[3:0] ビット (AN000 端子) と S12AD1.ADPGAGS.PnGAIN[3:0] ビット (n = 100 ～ 102 : AN100 ～ AN102 端子) でゲインを選択し、S12AD.ADPGACR.P000SEL1 ビット (AN000 端子) と S12AD1.ADPGACR.PnSEL1 ビット (n = 100 ～ 102 : AN100 ～ AN102 端子) で使用するオペアンプを選択します。

S12AD.ADPGACR.P000ENAMP ビット (AN000 端子)、または S12AD1.ADPGACR.PnENAMP ビット (n = 100 ～ 102 : AN100 ～ AN102 端子) を “1” にした後、プログラマブルゲインアンプ動作安定待ち時間を待ってから該当ユニットの ADCSR.ADST ビットを “1” にしてください。

31.4 割り込み要因と DTC 転送要求

31.4.1 割り込み要求

CPU へのスキャン終了割り込み要求である S12ADI/S12ADI1/S12ADI2, GBADI/GBADI1/GBADI2, GCADI/GCADI1/GCADI2 割り込みを発生することができます。

ADCSR.ADIE ビットを“1”にすると S12ADI/S12ADI1/S12ADI2 を許可、“0”にすると S12ADI/S12ADI1/S12ADI2 を禁止できます。ADCSR.GBADIE ビットを“1”にすると GBADI/GBADI1/GBADI2 を許可、“0”にすると GBADI/GBADI1/GBADI2 を禁止できます。ADGCTRGR.GCADIE ビットを“1”にすると GCADI/GCADI1/GCADI2 を許可、“0”にすると GCADI/GCADI1/GCADI2 を禁止できます。

また、S12ADI/S12ADI1/S12ADI2, GBADI/GBADI1/GBADI2, GCADI/GCADI1/GCADI2 発生時に DTC を起動できます。S12ADI/S12ADI1/S12ADI2, GBADI/GBADI1/GBADI2, GCADI/GCADI1/GCADI2 割り込みで変換されたデータの読み出しを DTC で行うと、連続変換がソフトウェアの負担なく実現できます。DTC の設定は「17. データトランスファコントローラ (DTCa)」を参照してください。

31.5 許容信号源インピーダンスについて

本MCUのアナログ入力は、高速変換 $1.0\mu\text{s}$ を実現するために、信号源インピーダンスが $0.3\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。シングルスキャンモードで1端子のみ変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $1.0\text{k}\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号には追従できないことがあります。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

図 31.35 にアナログ入力端子と外部センサの等価回路を示します。

A/D変換を正しく行うためには、図 31.35 に示す内部コンデンサ C への充電が所定の時間内に終了することが必要です。この所定の時間をサンプリング時間と言います。

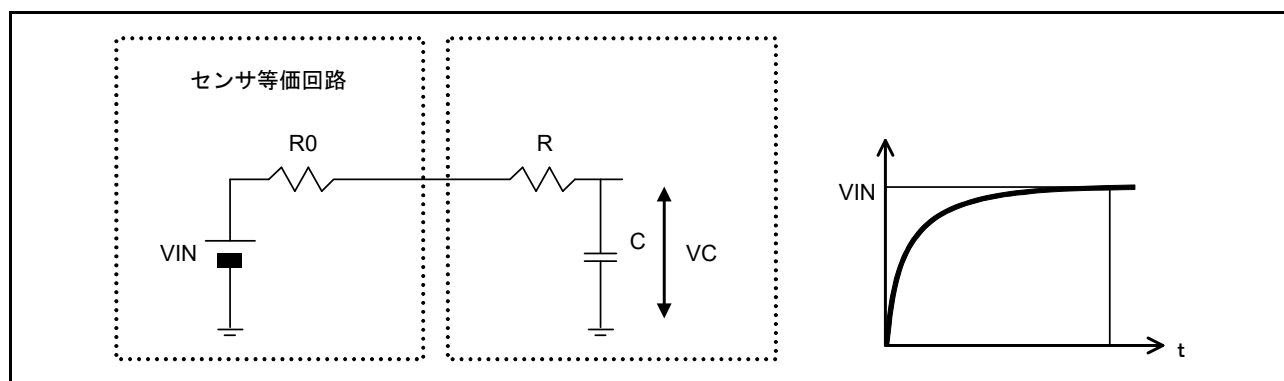



図 31.35 アナログ入力端子と外部センサの等価回路

31.6 使用上の注意事項

31.6.1 データレジスタの読み出し注意事項

A/D データレジスタ、A/D データ二重化レジスタ、A/D データ二重化レジスタ A、A/D データ二重化レジスタ B、A/D 内部基準電圧データレジスタ (S12AD2 のみ)、および A/D 自己診断データレジスタの読み出しは、16 ビット単位で行ってください。8 ビット単位で上位バイト/下位バイトの 2 回に分けて読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が変化するのを避けるため、8 ビット単位の読み出しは行わないでください。

31.6.2 A/D 変換停止時の注意事項

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D 変換を停止させるためには、 31.36 のフローチャートの手順に従ってください。

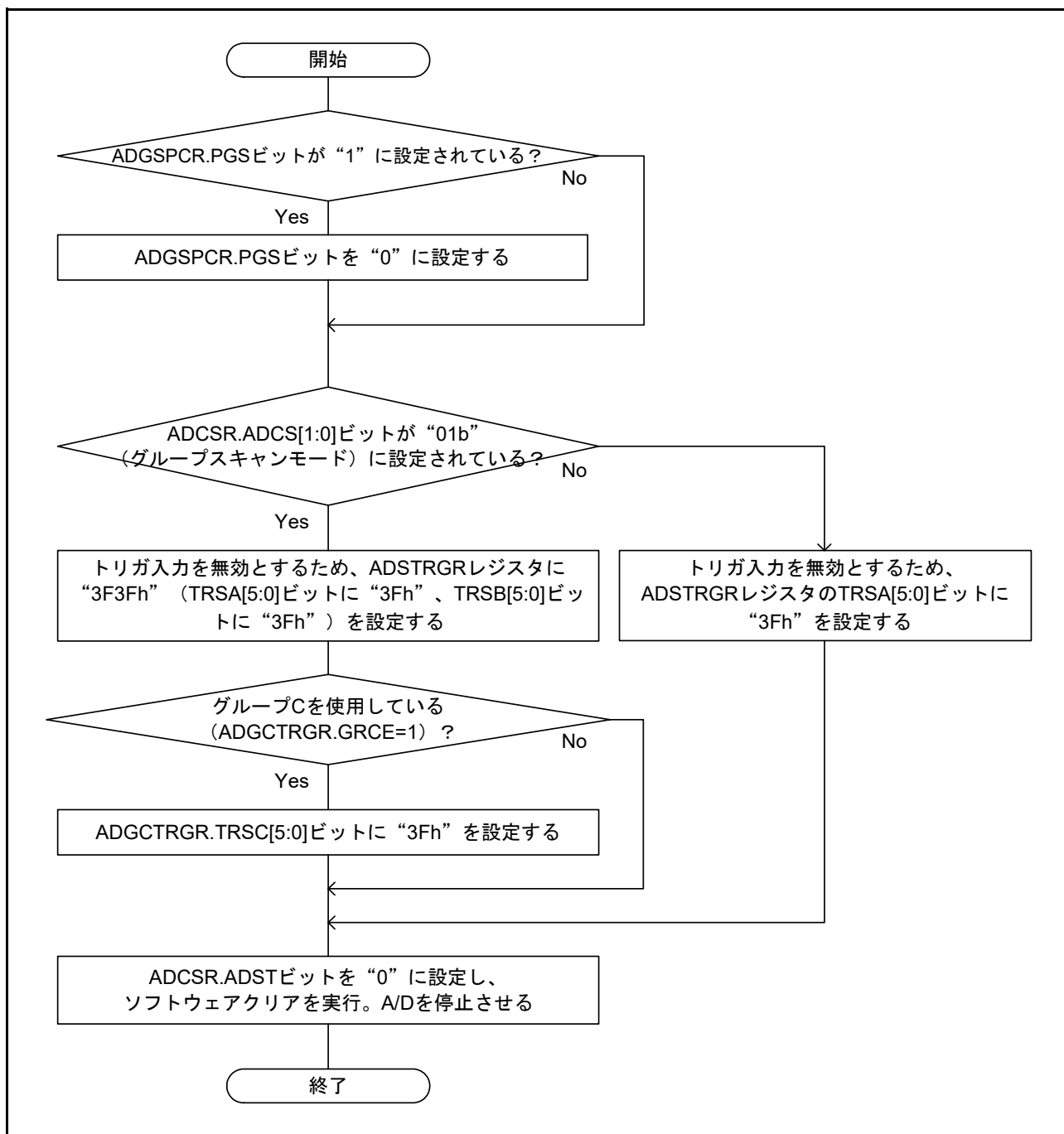


図 31.36 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー

31.6.3 A/D変換強制停止と開始時の動作タイミング

12ビットA/Dコンバータのアナログ部が停止した状態でADCSR.ADSTビットを“1”に設定し12ビットA/Dコンバータのアナログ部が動作を開始するのにADCLKで最大6クロックの時間を必要とします。ADCSR.ADSTビットを“0”に設定してA/D変換を強制停止させると、12ビットA/Dコンバータのアナログ部が動作を停止するのに、ADCLKで最大3クロックの時間を必要とします。

31.6.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合等で、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終えていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

31.6.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、12ビットA/Dコンバータの動作禁止/許可を設定することが可能です。初期値では、12ビットA/Dコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1μs待ってからA/D変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

31.6.6 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ移行する場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADSTビットを“0”に設定後、12ビットA/Dコンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

図31.36に示す、ADCSR.ADSTビットによるソフトウェアクリア実行の設定フローに従い、ADCSR.ADSTビットを“0”に設定してください。その後、ADCLKの3クロック期間待った後、モジュールストップモードやソフトウェアスタンバイモードへ移行させてください。

31.6.7 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、水晶発振安定時間またはPLL回路の安定時間経過後、さらに1μs以上待ってからA/D変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

31.6.8 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、アナログ入力端子にプルアップ/プルダウン抵抗(Rp)と信号源抵抗(Rs)の抵抗分圧分の誤差電圧が入力され、A/Dコンバータの絶対精度誤差が生じます。絶対精度の誤差は下式で表されます。断線検出アシスト機能は、ADPGACR.PnENAMP=0(PGA内アンプを使用しない)、ADSHCR.SHANS=0(サンプル&ホールド回路をバイパス)で使用してください。

断線検出アシスト機能は、十分な評価の上、使用してください。

$$\text{最大絶対精度誤差 (LSB)} = 4095 \times R_s/R_p$$

31.6.9 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えてMCUを使用した場合は、MCUの信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

アナログ入力端子 AN000 ~ AN003, AN100 ~ AN103, AN200 ~ AN211, AN016, AN116 に印加する電圧は、 $AVSSn \leq VANn \leq AVCCn$ ($n=0 \sim 2$) の範囲としてください。

- 各電源端子 (AVCCn - AVSSn, VREF - AVSS2, VCC - VSS) の関係

VREF 端子は、D/A コンバータのアナログ電源、およびコンパレータ C の電源端子となります。

AVSSn と VSS との関係は $AVSSn = VSS$ ($n=0 \sim 2$) としてください。アナログ入力端子 AN016,

AN116 の A/D 変換を行う場合は、 $AVCCn = VREF = VCC$ としてください。また、図 31.37 に示すように各々の電源間に最短で閉ループが形成できるように 0.1 μ F のコンデンサを接続し、供給元で $AVSSn = VSS$ になるように接続してください。

12ビット A/D コンバータを使用しない場合は、 $VREF = AVCCn = VCC$, $AVSSn = VSS$ としてください。

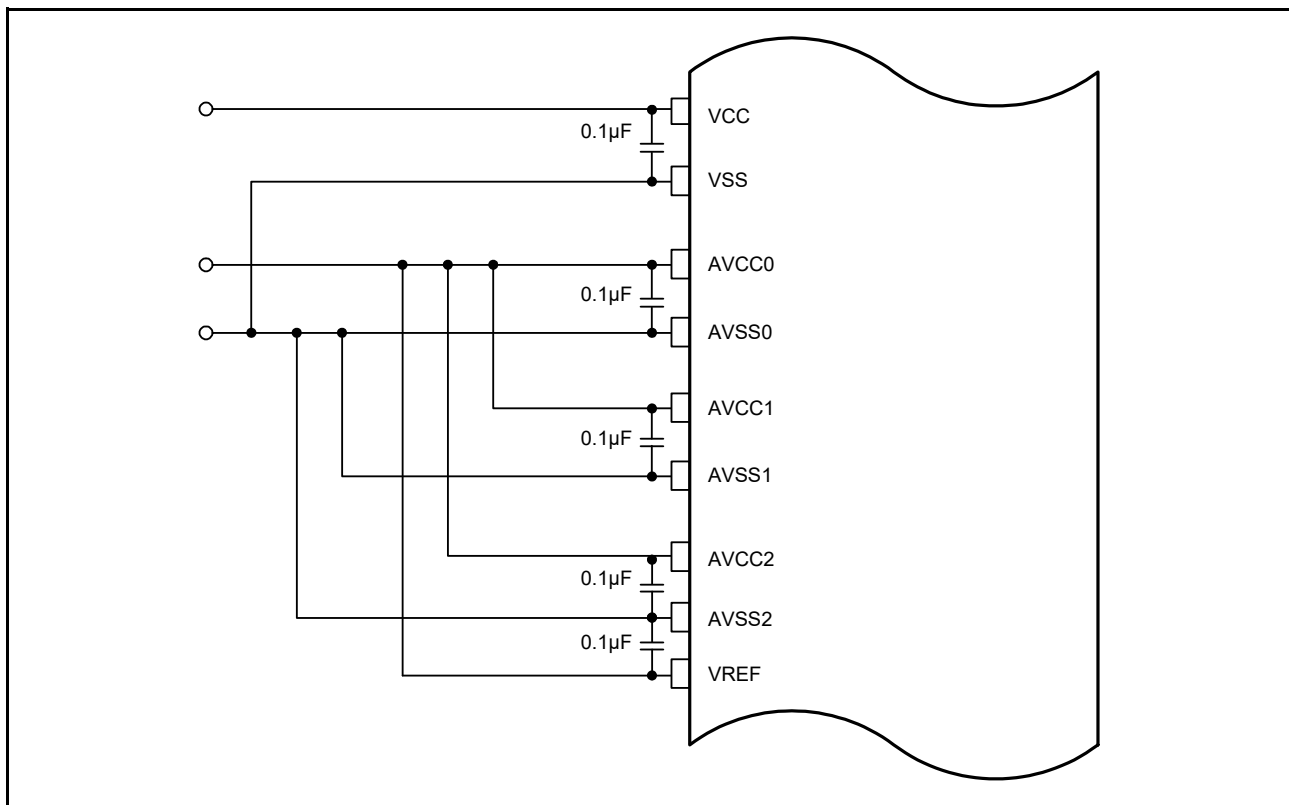


図 31.37 各電源端子の接続例

31.6.10 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D変換値の精度に悪影響を及ぼします。アナログ入力端子 (AN000 ~ AN003, AN100 ~ AN103, AN200 ~ AN211, AN016, AN116)、アナログ電源 (AVCCn, VREF) は、アナロググランド (AVSSn) で、デジタル回路と分離してください。さらにアナロググランド (AVSSn) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

31.6.11 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN000 ~ AN003, AN100 ~ AN103, AN200 ~ AN211, AN016, AN116) の破壊を防ぐために、図 31.38 に示すように AVCCn と AVSSn 間に容量を、またアナログ入力端子 (AN000 ~ AN003, AN100 ~ AN103, AN200 ~ AN211, AN016, AN116) を基準に保護回路を接続してください。

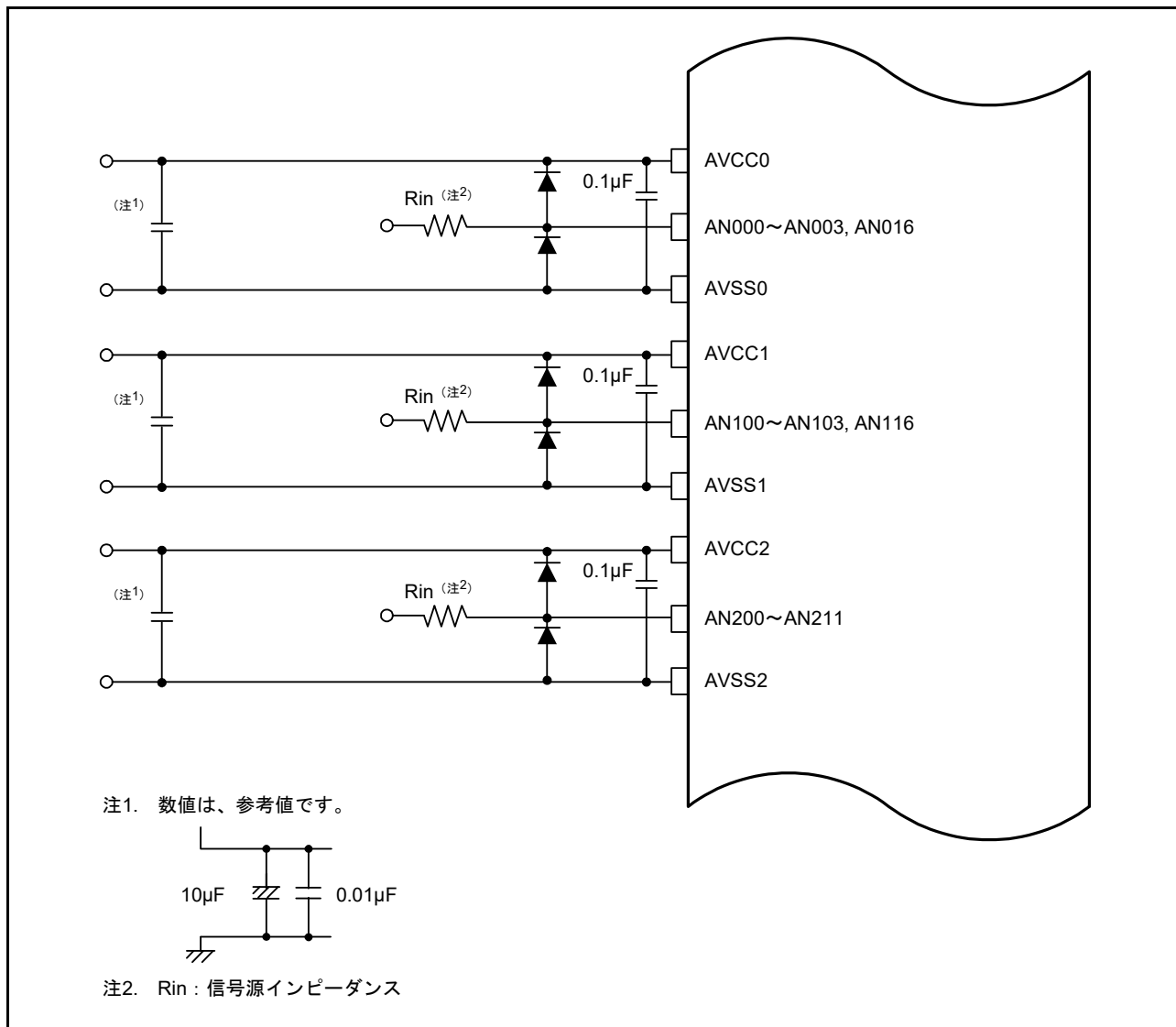


図 31.38 アナログ入力保護回路の例

32. D/Aコンバータ (DA, DAa)

32.1 概要

本MCUは、8ビットD/Aコンバータを1チャンネル(チップバージョンA)または2チャンネル(チップバージョンB)内蔵しています。

チップバージョンAに搭載している8ビットD/Aコンバータ(DA)は、コンパレータCのリファレンス入力電圧生成専用です。MCU外部へのアナログ出力端子はありません。

チップバージョンBに搭載している8ビットD/Aコンバータ(DAa)は、コンパレータCのリファレンス入力電圧生成と外部へのアナログ出力を兼用しています。

表32.1に8ビットD/Aコンバータの仕様を示します。図32.1、図32.2に8ビットD/Aコンバータのブロック図を示します。

表32.1 8ビットD/Aコンバータの仕様

項目	内容
分解能	8ビット
出力チャンネル	1チャンネル(チップバージョンA)、2チャンネル(チップバージョンB)
アナログモジュールの干渉対策(チップバージョンBのみ)	<ul style="list-style-type: none"> D/A変換とA/D変換の干渉対策 12ビットA/Dコンバータ(ユニット2)が出力する12ビットA/Dコンバータ同期D/A変換許可入力信号により、D/A変換データの更新タイミングを制御する。これにより、8ビットD/Aコンバータのラッシュカレント発生タイミングを許可信号で制御し、干渉によるA/D変換精度劣化を低減する。
消費電力低減機能	モジュールストップ状態への遷移が可能

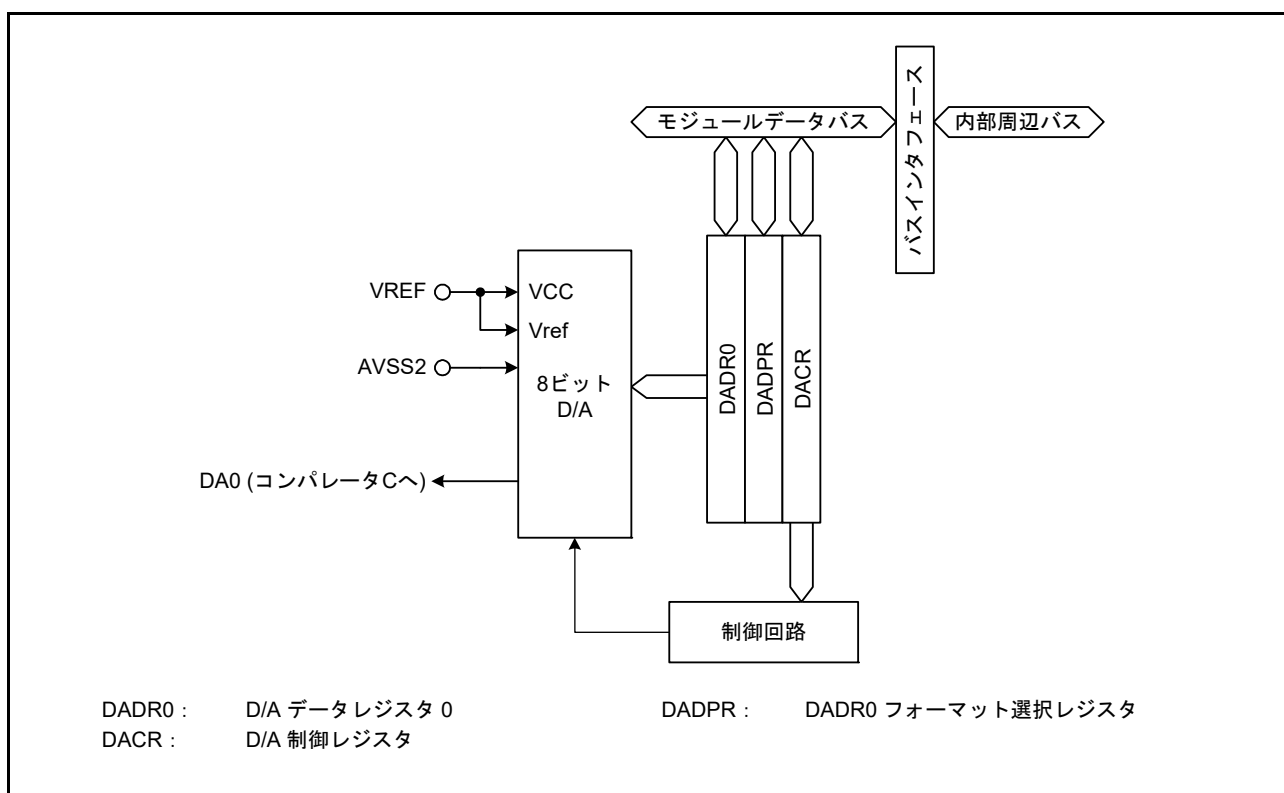


図32.1 8ビットD/Aコンバータのブロック図(チップバージョンA)

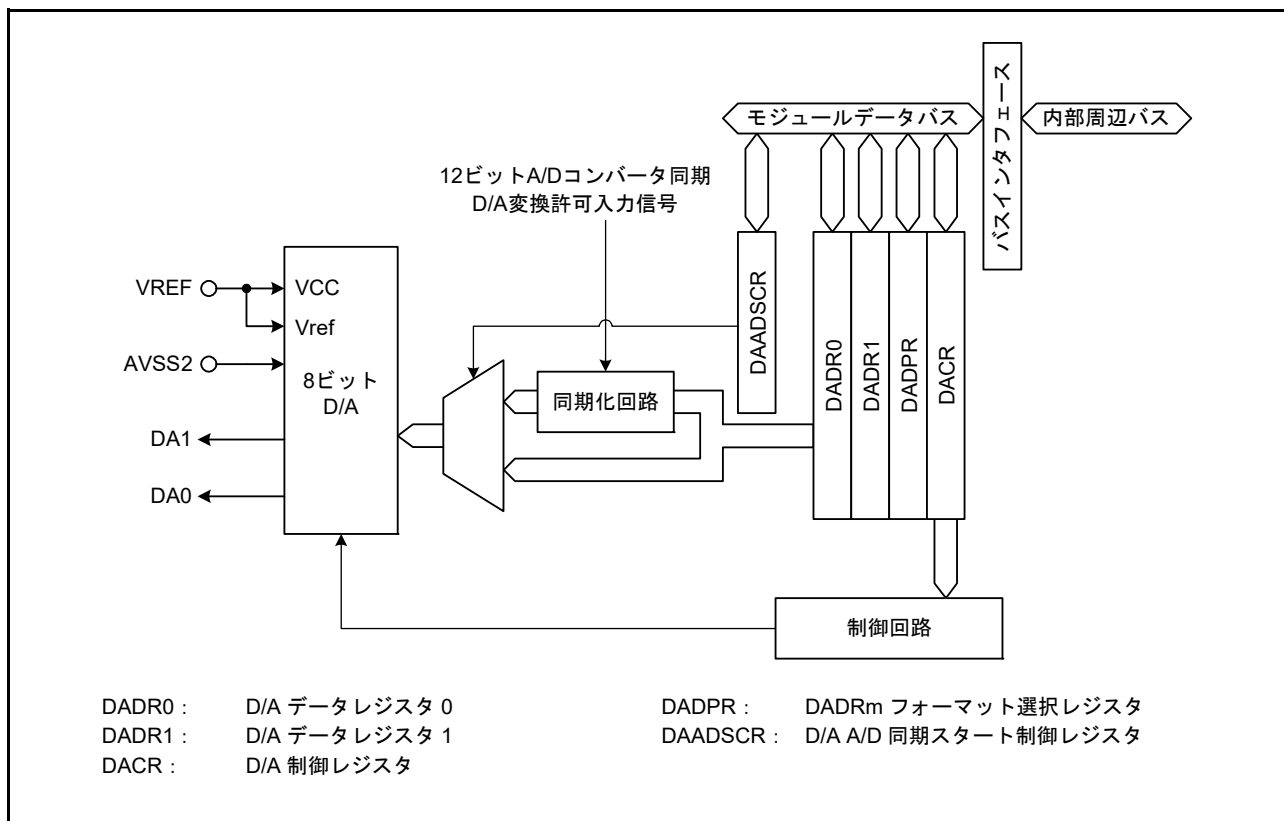


図 32.2 8ビットD/Aコンバータのブロック図 (チップバージョンB)

表 32.2 に 8 ビット D/A コンバータで使用する入出力端子を示します。

表 32.2 8ビットD/Aコンバータの入出力端子

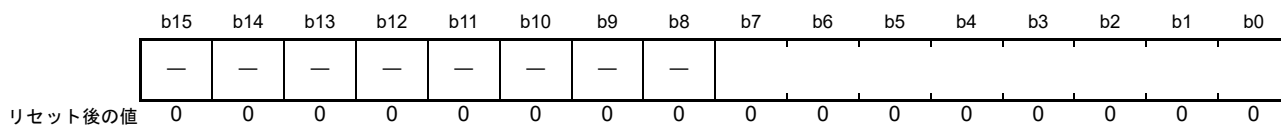
端子名	入出力	機能
VREF	入力	コンパレータC、8ビットD/Aコンバータのアナログ電源端子。これらいずれのモジュールも使用しない場合は、AVCC0、AVCC1、AVCC2のいずれかに接続してください。なお、12ビットA/Dコンバータも使用しない場合は、VCCに接続してください
AVSS2	入力	12ビットA/Dコンバータ (ユニット2)、コンパレータC、8ビットD/Aコンバータのアナロググランド端子。これらいずれのモジュールも使用しない場合は、AVSS0またはAVSS1に接続してください。なお、12ビットA/Dコンバータのユニット0、ユニット1も使用しない場合は、VSSに接続してください
DA0	出力	チャンネル0のアナログ出力 (チップバージョンBのみ)
DA1	出力	チャンネル1のアナログ出力 (チップバージョンBのみ)

32.2 レジスタの説明

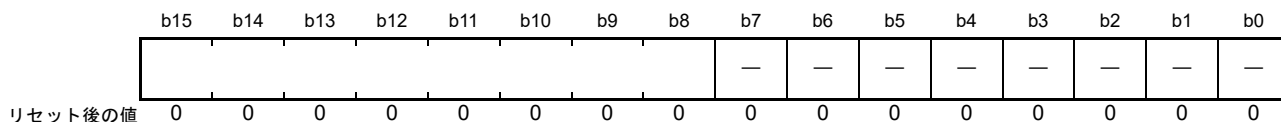
32.2.1 D/A データレジスタ m (DADRm) (m = 0, 1)

アドレス DA.DADR0 0008 80C0h, DA.DADR1 0008 80C2h

- ・ DADPR.DPSEL ビット = 0 (データは右詰め)



- ・ DADPR.DPSEL ビット = 1 (データは左詰め)



DADRm レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し / 書き込み可能なレジスタです。アナログ出力を許可すると、DADRm レジスタの値が変換されアナログ出力端子に出力されます。

DADPR.DPSEL ビットの設定によって 8 ビットのデータの配置を変更できます。“—” のビットは、読むと“0”が読めます。書く場合、“0”としてください。

32.2.2 D/A 制御レジスタ (DACR)

アドレス DA.DACR 0008 80C4h

b7	b6	b5	b4	b3	b2	b1	b0
DAOE1	DAOE0	—	—	—	—	—	—

リセット後の値 0 0 0 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b6	DAOE0	D/A出力許可0ビット	0 : チャネル0のアナログ出力 (DA0) を禁止 1 : チャネル0のD/A変換を許可 チャネル0のアナログ出力 (DA0) を許可	R/W
b7	DAOE1	D/A出力許可1ビット(注1)	0 : チャネル1のアナログ出力 (DA1) を禁止 1 : チャネル1のD/A変換を許可 チャネル1のアナログ出力 (DA1) を許可	R/W

注1. チップバージョンAでは予約ビットです。読むと“0”が読めます。書く場合“0”としてください。

このレジスタは、DAADSCR.DAADST ビットが“1” (D/A 変換と A/D 変換の干渉対策が有効) の場合、12 ビット A/D コンバータ (ユニット 2) 停止中に設定してください (ADCSR.ADST ビットが“0”のときに設定してください)。このとき確実に 12 ビット A/D コンバータ (ユニット 2) を停止させるため、トリガ選択をソフトウェアトリガに設定してください。

DAOE0 ビット (D/A 出力許可 0 ビット)

D/A 変換とアナログ出力を制御します。

DAOE1 ビット (D/A 出力許可 1 ビット)

D/A 変換とアナログ出力を制御します。

32.2.3 DADR_m フォーマット選択レジスタ (DADPR) (m = 0, 1)

アドレス DA.DADPR 0008 80C5h

b7	b6	b5	b4	b3	b2	b1	b0
DPSEL	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSEL	DADR _m フォーマット選択ビット	0 : D/A データレジスタは右詰め 1 : D/A データレジスタは左詰め	R/W

32.2.4 D/A A/D 同期スタート制御レジスタ (DAADSCR)

アドレス DA.DAADSCR 0008 80C6h

	b7	b6	b5	b4	b3	b2	b1	b0
DAADST	—	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DAADST	D/A A/D同期変換ビット	0: 8ビットD/Aコンバータは、12ビットA/Dコンバータ（ユニット2）と同期変換しない（D/A変換とA/D変換の干渉対策の無効） 1: 8ビットD/Aコンバータは、12ビットA/Dコンバータ（ユニット2）と同期変換する（D/A変換とA/D変換の干渉対策の有効）	R/W

DAADSCR レジスタはチップバージョン B にのみあります。

DAADSCR レジスタは、D/A 変換と A/D 変換の干渉対策のために、8 ビット D/A コンバータの変換開始タイミングを 12 ビット A/D コンバータ（ユニット 2）からの 12 ビット A/D コンバータ同期 D/A 変換許可入力信号に同期させるかさせないかを選択します。

このレジスタは、12 ビット A/D コンバータ（ユニット 2）停止中に設定してください（12 ビット A/D コンバータ（ユニット 2）のトリガ選択をソフトウェアトリガに選択後、ADCSR.ADST ビットが“0”のときに設定してください）。

DAADST ビット (D/A A/D 同期変換ビット)

DAADST ビットを“0”にすると、随時 DADR_m レジスタ（ $m=0, 1$ ）の値を D/A 変換します。DAADST ビットを“1”にすると、12 ビット A/D コンバータ（ユニット 2）からの同期 D/A 変換許可信号に同期して D/A 変換が行われます。したがって、DADR_m レジスタの値を書き換えても、12 ビット A/D コンバータ（ユニット 2）の A/D 変換が終了するまで D/A 変換は行われません。

DAADST ビットの設定は 12 ビット A/D コンバータ（ユニット 2）の ADCSR.ADST ビットが“0”のときに設定してください。このとき確実に 12 ビット A/D コンバータ（ユニット 2）を停止させるため、トリガ選択をソフトウェアトリガに設定してください。

32.3 動作説明

2チャンネルの8ビットD/Aコンバータは、それぞれ独立して変換を行うことができます。

DACR.DA0Emビット (m=0, 1) を“1”にすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図32.3に示します。

- (1) DADPR.DPSELビットとDADR0レジスタにD/A変換を行うためのデータを設定します。
- (2) DACR.DA0E0ビットを“1”にすると、D/A変換を開始します。t_{DCONV}時間経過後、変換結果をアナログ出力端子DA0より出力します。DADR0レジスタを書き換えるか、DA0E0ビットを“0”にするまで、この変換結果が出力され続けます。出力値(参考)は以下の式で計算します。

$$\frac{\text{DADRm レジスタ}}{256} \times \text{VREF}$$

- (3) DADR0レジスタを書き換えると変換を開始します。t_{DCONV}時間経過後、変換結果が出力されます。DAADSCR.DAADSTビットが“1”(D/A変換とA/D変換の干渉対策が有効)の場合、D/A変換開始まで最大A/D変換1回分待たされます(ADCLKが周辺モジュールクロックよりも速い場合は、A/D変換1回分以上待たされる場合があります)。
- (4) DA0E0ビットを“0”に設定するとアナログ出力を禁止します。

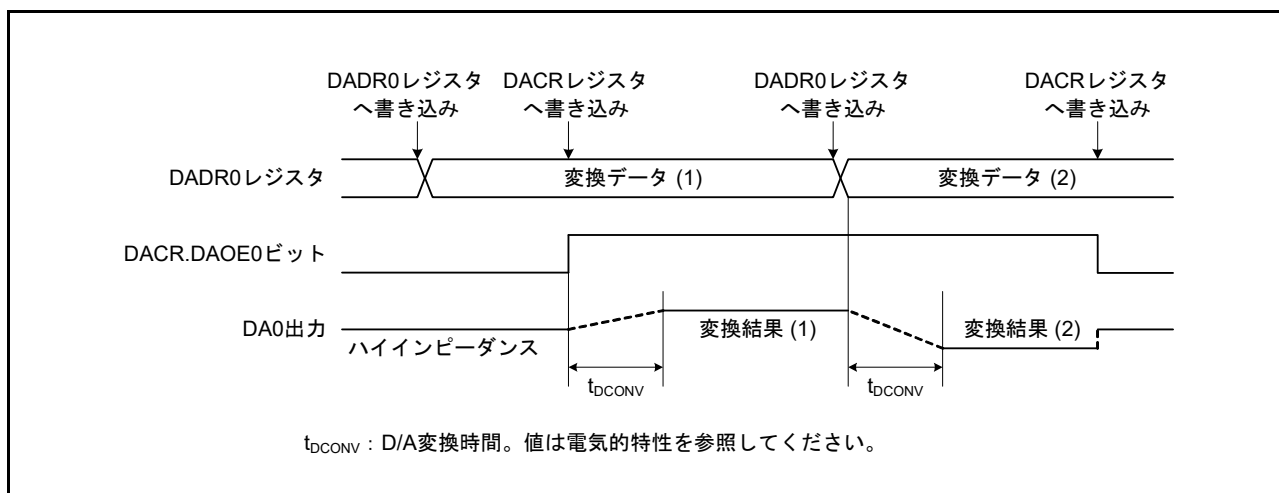


図 32.3 8ビットD/Aコンバータの動作例

32.3.1 D/A変換とA/D変換の干渉対策

本機能はチップバージョンBにのみあります。

D/A変換が始まると8ビットD/Aコンバータにはラッシュカレントが発生します。8ビットD/Aコンバータと12ビットA/Dコンバータ(ユニット2)のアナログ電源が共通のため、発生したラッシュカレントが12ビットA/Dコンバータ(ユニット2)の変換に干渉することがあります。

DAADSCR.DAADSTビットを“1”にしている場合、12ビットA/Dコンバータ(ユニット2)がA/D変換中にDADR_mレジスタ(m=0,1)にデータを書き換えても、すぐに変換されず、12ビットA/Dコンバータ(ユニット2)のA/D変換終了タイミングに同期して変換を開始します。DADR_mレジスタへの書き込みからD/A変換回路の入力に反映するまで最大A/D変換1回分待たされます。その間DADR_mレジスタ値とアナログ出力値は一致しません。

本機能が有効なときに、DADR_mレジスタの値がD/A変換されたかどうかをソフトウェアで確認する手段はありません。

DAADSCR.DAADSTビットを“1”にしている場合であっても、12ビットA/Dコンバータ(ユニット2)がADCSR.ADSTビットを“0”にして停止中であればDADR_mレジスタにデータを書き換えると、1PCLKB後にD/A変換を開始します。

図32.4に8ビットD/Aコンバータを12ビットA/Dコンバータ(ユニット2)に同期変換させる場合のチャンネル0のD/A変換の動作例を示します。

- (1) 12ビットA/Dコンバータ(ユニット2)が停止中であることを確認し、DAADSCR.DAADSTビットを“1”にする。
- (2) 12ビットA/Dコンバータ(ユニット2)が停止中であることを確認し、DACR.DAOE0ビットを“1”にする。
- (3) DADR0レジスタを設定する(ADCLKが周辺モジュールクロックよりも速い場合は、A/D変換1回分以上待たされる場合があります)。
 - DADR0レジスタを書き換えたとき、12ビットA/Dコンバータ(ユニット2)が停止していた場合(ADCSR.ADSTビット=0)、1PCLKB後にD/A変換が開始されます。
 - DADR0レジスタを書き換えたとき、12ビットA/Dコンバータ(ユニット2)がA/D変換中の場合(ADCSR.ADSTビット=1)、A/D変換終了時にD/A変換が開始されます。A/D変換中に2回、DADR0レジスタを書き換えた場合、1回目の値は、D/A変換されないことがあります。

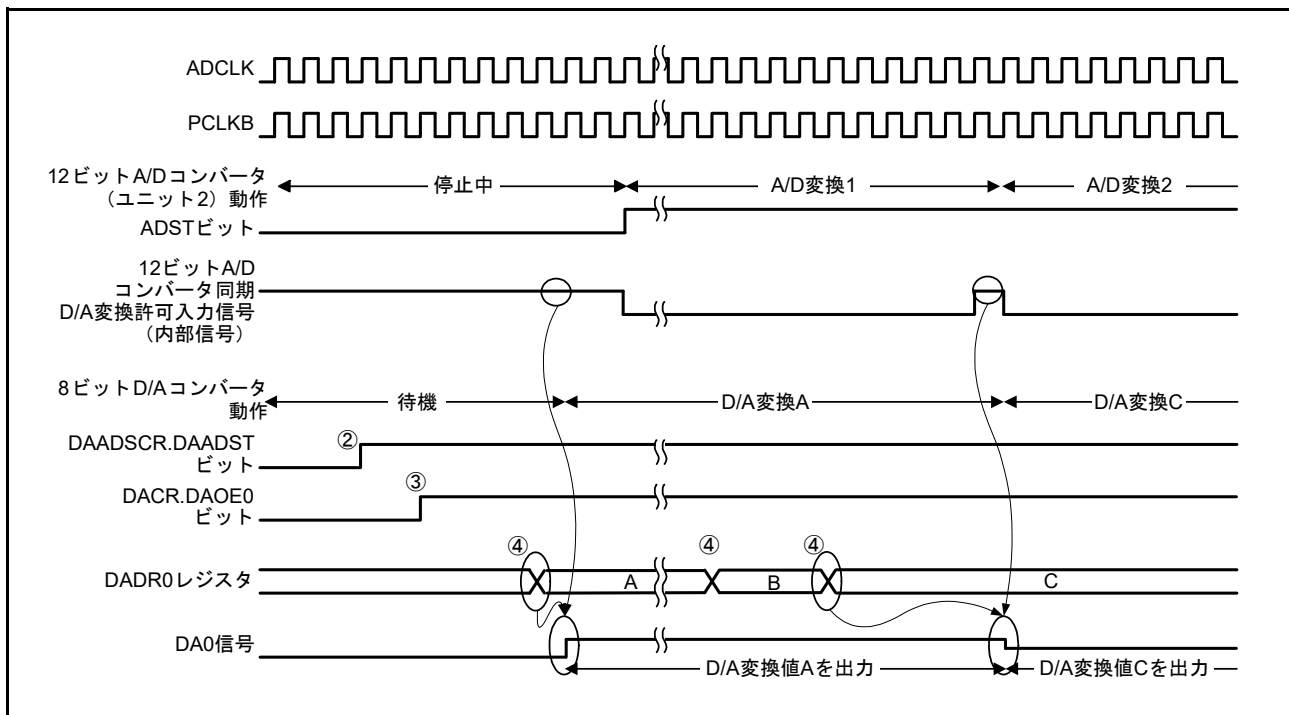


図 32.4 8ビットD/Aコンバータを12ビットA/Dコンバータ(ユニット2)に同期して変換する例

ADCLKがPCLKBよりも速い場合、A/D変換1とA/D変換2の間に出力されるADCLK1周期分の12ビットA/Dコンバータ同期D/A変換許可入力信号を8ビットD/Aコンバータが取り込めない可能性があります。図32.5に8ビットD/Aコンバータが12ビットA/Dコンバータ同期D/A変換許可入力信号を取り込めない例を示します。この場合、DA0信号はD/A変換値Aの出力を継続します。

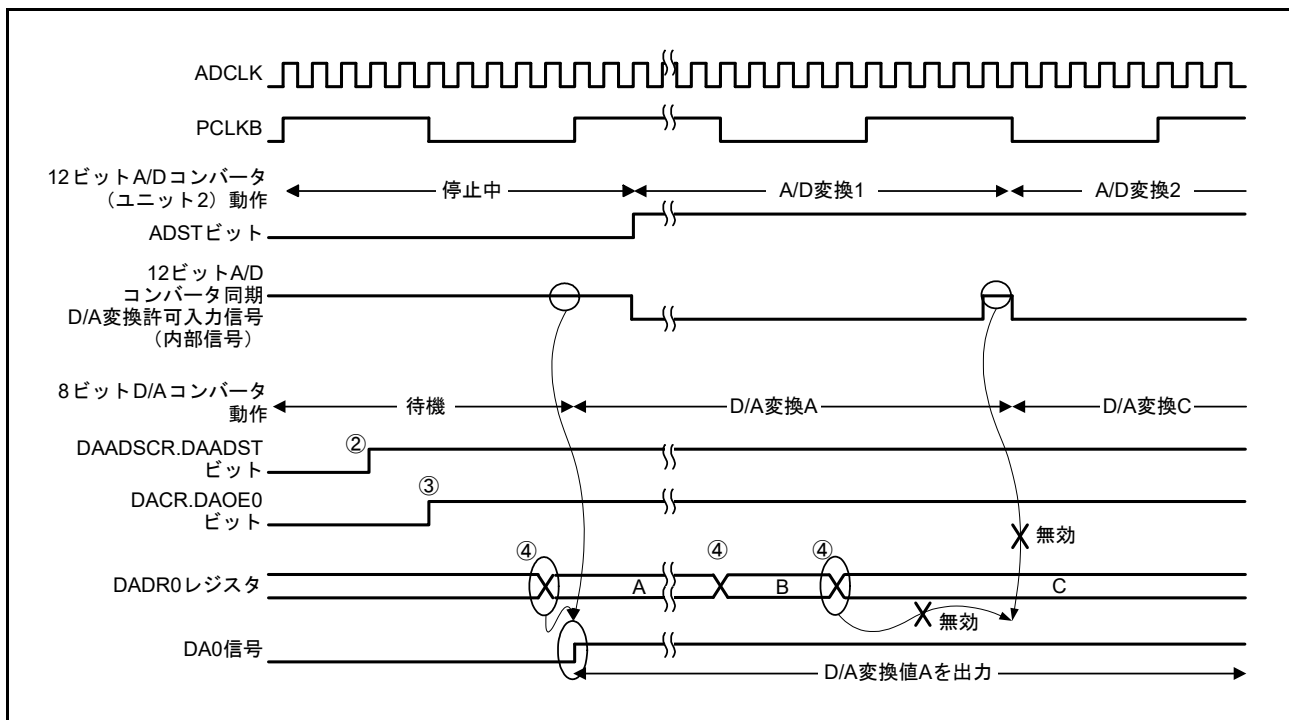


図 32.5 8ビットD/Aコンバータが12ビットA/Dコンバータ同期D/A変換許可入力信号を取り込めない例

32.4 使用上の注意事項

32.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、8ビットD/Aコンバータの動作禁止/許可を設定することが可能です。初期値では、8ビットD/Aコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

32.4.2 モジュールストップ時のD/Aコンバータの動作

D/A変換を許可した状態でモジュールストップ状態になるとD/Aコンバータの出力は保持され、アナログ電源電流はD/A変換中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0ビットをすべて“0”にしてD/Aコンバータの出力を禁止してください。

32.4.3 ソフトウェアスタンバイモード時のD/Aコンバータの動作

D/A変換を許可した状態でソフトウェアスタンバイモードになるとD/Aコンバータの出力は保持され、アナログ電源電流はD/A変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0ビットをすべて“0”にしてD/Aコンバータの出力を禁止してください。

32.4.4 D/Aコンバータの設定について

コンパレータCのリファレンス入力電圧にD/Aコンバータの出力を使用する場合、D/Aコンバータの設定は、コンパレータCの動作を許可する前に実施し、D/Aコンバータの出力が安定するまで(D/A変換時間: t_{DCONV}) 待ってからコンパレータの動作を許可してください。D/Aコンバータの設定を変更する場合も、一旦コンパレータの動作を停止させてからD/Aコンバータの設定を変更し、D/Aコンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。

32.4.5 D/A変換とA/D変換の干渉対策有効時の注意事項 (チップバージョンBのみ)

DAADSCR.DAADSTビットが“1”(D/A変換とA/D変換の干渉対策が有効)の場合、12ビットA/Dコンバータ(ユニット2)をモジュールストップ状態にしないでください。A/D変換が停止するだけでなく、D/A変換が停止する可能性があります。

32.4.6 VREFとVCCの電圧関係について (チップバージョンBのみ)

VREFとVCCの電圧は個別に設定可能ですが、以下の制約があります。

- P23端子とP24端子をD/Aコンバータの出力端子として使用する場合は、D/Aコンバータの出力電圧がVCCの電圧より高くなならないようにしてしてください。
- P23端子とP24端子をD/Aコンバータの出力端子として使用しない場合は、本制約はありません。

33. コンパレータ C (CMPC)

33.1 概要

コンパレータ C はリファレンス入力電圧とアナログ入力電圧を比較します。リファレンス入力電圧とアナログ入力電圧の比較結果はソフトウェアで読むことも、外部端子に出力することもできます。また、比較結果の変化を検出して割り込み要求を発生させることもできます。

コンパレータ C のリファレンス入力電圧は、

【チップバージョン A の場合】

CVREFC0、CVREFC1 端子への入力、または内蔵 D/A コンバータ 0 出力のいずれかから選択できます。

【チップバージョン B の場合】

内蔵 D/A コンバータ 0 出力または内蔵 D/A コンバータ 1 出力のいずれかから選択できます。

アナログ入力は 4 系統あり、いずれか 1 つを選択します。

表 33.1 にコンパレータ C の仕様を、図 33.1、図 33.2 にコンパレータ C のブロック図を、表 33.2 にコンパレータ C の入出力端子を、表 33.3 にコンパレータ C のアナログ入力端子接続先を示します。

本章に記載している PCLK とは PCLKB を指します。

表 33.1 コンパレータ C の仕様

項目	内容
チャンネル数	4チャンネル(コンパレータ C0～コンパレータ C3)
アナログ入力電圧	CMPCnm 端子 (n = チャンネル番号、m = 0～3) への入力電圧
リファレンス入力電圧	【チップバージョン A の場合】 CVREFC0、CVREFC1 端子への入力電圧または内蔵 D/A コンバータ 0 の出力電圧 【チップバージョン B の場合】 内蔵 D/A コンバータ 0 出力電圧または内蔵 D/A コンバータ 1 出力電圧
比較結果	比較結果を外部出力可能
デジタルフィルタ機能	<ul style="list-style-type: none"> 3種類のサンプリング周期の選択可能 フィルタ未使用も可能 ノイズフィルタを通した信号から割り込み要求出力、POE 要因出力の生成、GPT 内部トリガ要因出力の生成、およびレジスタを介して比較結果を読み出し可能
割り込み要求	<ul style="list-style-type: none"> 比較結果の有効エッジを検出して割り込み要求を発生 比較結果の立ち上がりエッジ/立ち下がりエッジ/両エッジを選択可能
消費電力低減機能	モジュールストップ状態への遷移が可能

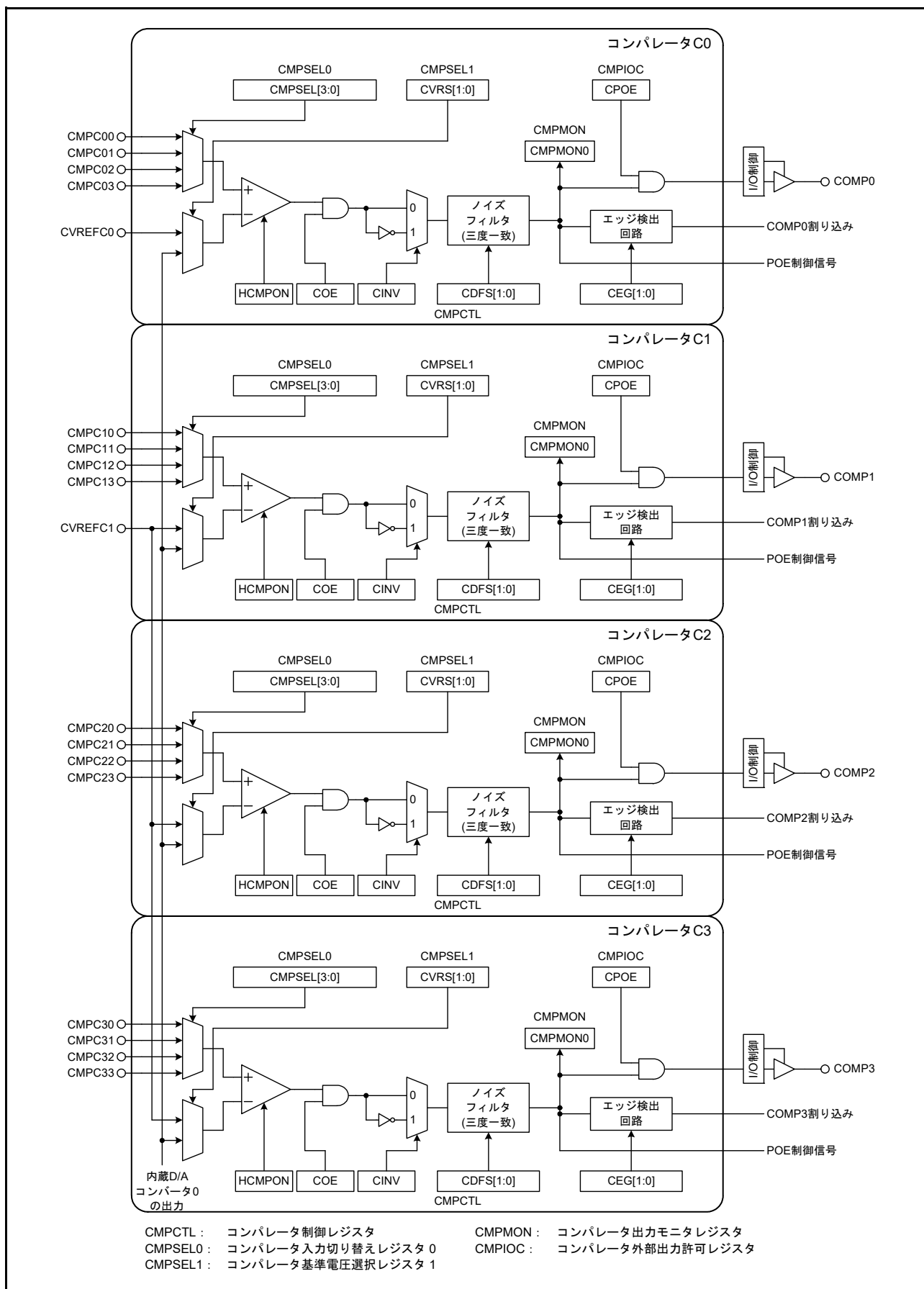


図 33.1 コンパレータC (チップバージョンA) のブロック図

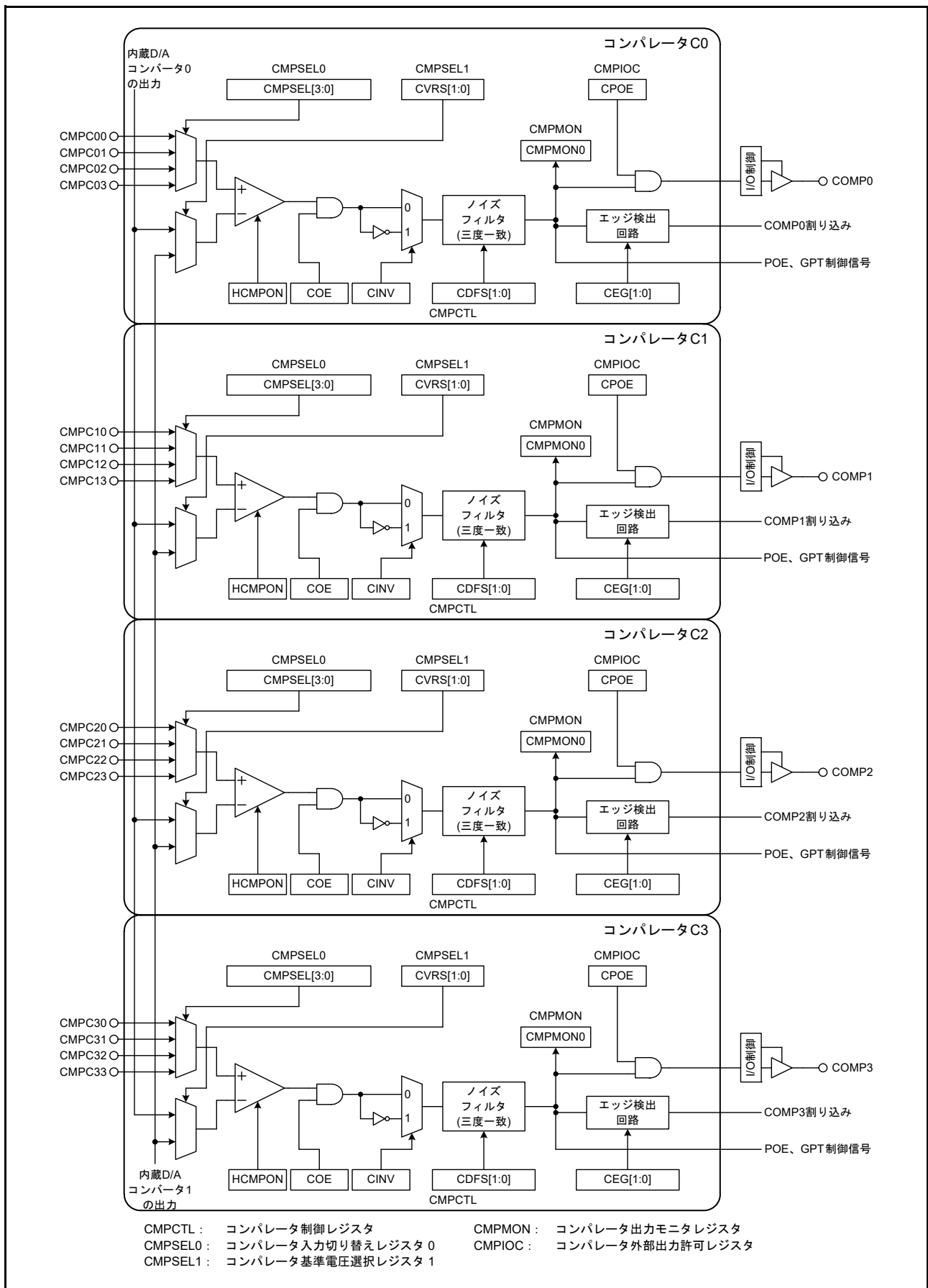


図 33.2 コンパレータC (チップバージョンB) のブロック図

表33.2 コンパレータCの入出力端子

端子名	入出力	機能
CMPC00, CMPC01, CMPC02, CMPC03	入力	CMPC0用アナログ入力端子
CMPC10, CMPC11, CMPC12, CMPC13	入力	CMPC1用アナログ入力端子
CMPC20, CMPC21, CMPC22, CMPC23	入力	CMPC2用アナログ入力端子
CMPC30, CMPC31, CMPC32, CMPC33	入力	CMPC3用アナログ入力端子
CVREFC0 (注1)	入力	リファレンス入力電圧端子0
CVREFC1 (注1)	入力	リファレンス入力電圧端子1
COMP0	出力	CMPC0比較結果出力端子
COMP1	出力	CMPC1比較結果出力端子
COMP2	出力	CMPC2比較結果出力端子
COMP3	出力	CMPC3比較結果出力端子

注1. チップバージョンBにはありません。

表33.3 コンパレータCのアナログ入力端子接続先

アナログ入力端子	接続先
CMPC00	AN000端子
CMPC01	AN000端子プログラマブルゲインアンプ出力
CMPC02	AN101端子
CMPC03	AN101端子プログラマブルゲインアンプ出力
CMPC10	AN100端子
CMPC11	AN100端子プログラマブルゲインアンプ出力
CMPC12	AN102端子
CMPC13	AN102端子プログラマブルゲインアンプ出力
CMPC20	AN101端子
CMPC21	AN101端子プログラマブルゲインアンプ出力
CMPC22	AN000端子
CMPC23	AN000端子プログラマブルゲインアンプ出力
CMPC30	AN102端子
CMPC31	AN102端子プログラマブルゲインアンプ出力
CMPC32	AN100端子
CMPC33	AN100端子プログラマブルゲインアンプ出力

33.2 レジスタの説明

33.2.1 コンパレータ制御レジスタ (CMPCTL)

アドレス CMPC0.CMPCTL 000A 0C80h, CMPC1.CMPCTL 000A 0CA0h, CMPC2.CMPCTL 000A 0CC0h, CMPC3.CMPCTL 000A 0CE0h

b7	b6	b5	b4	b3	b2	b1	b0
HCMPON	CDFS[1:0]	CEG[1:0]	—	COE	CINV		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CINV	コンパレータ出力極性切り替えビット (注1、注4)	0 : コンパレータ出力非反転 1 : コンパレータ出力反転	R/W
b1	COE	コンパレータ出力許可ビット	0 : コンパレータ出力禁止("0"出力に固定) 1 : コンパレータ出力許可	R/W
b2	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b4-b3	CEG[1:0]	コンパレータエッジ選択ビット	b4 b3 0 0 : 割り込み要求を生成しない 0 1 : 立ち上がりエッジ 1 0 : 立ち下がりエッジ 1 1 : 立ち上がり、立ち下がりの両エッジ	R/W
b6-b5	CDFS[1:0]	ノイズフィルタサンプリング選択ビット (注1、注2、注4)	b6 b5 0 0 : ノイズフィルタ未使用 0 1 : PCLK/8でサンプリング 1 0 : PCLK/16でサンプリング 1 1 : PCLK/32でサンプリング	R/W
b7	HCMPON	コンパレータ動作許可ビット(注3)	0 : 動作停止(コンパレータの出力は"0") 1 : 動作許可(コンパレータの端子入力許可)	R/W

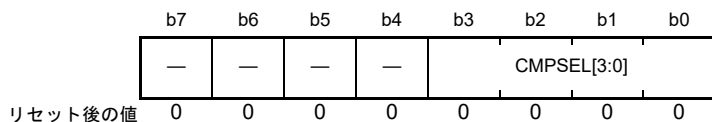
- 注. コンパレータ検出をPOE要因として使用する場合、POEのレジスタ設定後に、このレジスタに書き込むとPOE要因が発生する可能性があるので注意してください。
- 注. コンパレータ検出をGPT要因として使用する場合、GPTのレジスタ設定後に、このレジスタに書き込むとGPT要因が発生する可能性があるので注意してください。
- 注1. CINV、CDFS[1:0]ビットの書き換えは、コンパレータの出力を禁止(COEビット=0)したあとで行ってください。
- 注2. CDFS[1:0]ビットを"00b"(ノイズフィルタ未使用)から"00b"以外(ノイズフィルタを使用)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ割り込み要求を使用してください。
- 注3. コンパレータ動作を許可(HCMPONビット=1)に設定後、動作安定待ち時間が必要です。
- 注4. CINVビット、CDFS[1:0]ビットを変更するとコンパレータ割り込み要求およびPOE要因、GPT内部トリガ要因が発生することがあります。これらのビットは、POEのレジスタ設定でコンパレータ出力をハイインピーダンス制御に使用しない設定、GPTのレジスタ設定で内部トリガ要因にコンパレータ検出を使用しない設定にしてから変更してください。また、変更後に対応する割り込み要求レジスタの割り込みステータスフラグ(IR)およびPOEのコンパレータチャンネルn検出フラグ(n=0~3)を"0"にしてください。

CEG[1:0] ビット (コンパレータエッジ選択ビット)

コンパレータ出力信号のどのエッジで割り込み要求を生成するかを選択するビットです。有効エッジの設定は、CINV ビットおよびCDFS[1:0] ビットにより、コンパレータ出力信号を反転/非反転処理、ノイズフィルタ未使用/使用処理した信号に対して設定されます。

33.2.2 コンパレータ入力切り替えレジスタ (CMPSEL0)

アドレス CMPC0.CMPSEL0 000A 0C84h, CMPC1.CMPSEL0 000A 0CA4h, CMPC2.CMPSEL0 000A 0CC4h,
CMPC3.CMPSEL0 000A 0CE4h



ビット	シンボル	ビット名	機能	R/W																																																
b3-b0	CMPSEL[3:0]	コンパレータ入力切り替えビット (注1、注2、注3)	<ul style="list-style-type: none"> コンパレータ C0 の場合 <table border="0"> <tr><td>b3</td><td>b0</td></tr> <tr><td>0 0 0 0</td><td>: 入力なし</td></tr> <tr><td>0 0 0 1</td><td>: CMPC0 を選択</td></tr> <tr><td>0 0 1 0</td><td>: CMPC01 を選択</td></tr> <tr><td>0 1 0 0</td><td>: CMPC02 を選択</td></tr> <tr><td>1 0 0 0</td><td>: CMPC03 を選択</td></tr> </table> 上記以外は設定しないでください コンパレータ C1 の場合 <table border="0"> <tr><td>b3</td><td>b0</td></tr> <tr><td>0 0 0 0</td><td>: 入力なし</td></tr> <tr><td>0 0 0 1</td><td>: CMPC10 を選択</td></tr> <tr><td>0 0 1 0</td><td>: CMPC11 を選択</td></tr> <tr><td>0 1 0 0</td><td>: CMPC12 を選択</td></tr> <tr><td>1 0 0 0</td><td>: CMPC13 を選択</td></tr> </table> 上記以外は設定しないでください コンパレータ C2 の場合 <table border="0"> <tr><td>b3</td><td>b0</td></tr> <tr><td>0 0 0 0</td><td>: 入力なし</td></tr> <tr><td>0 0 0 1</td><td>: CMPC20 を選択</td></tr> <tr><td>0 0 1 0</td><td>: CMPC21 を選択</td></tr> <tr><td>0 1 0 0</td><td>: CMPC22 を選択</td></tr> <tr><td>1 0 0 0</td><td>: CMPC23 を選択</td></tr> </table> 上記以外は設定しないでください コンパレータ C3 の場合 <table border="0"> <tr><td>b3</td><td>b0</td></tr> <tr><td>0 0 0 0</td><td>: 入力なし</td></tr> <tr><td>0 0 0 1</td><td>: CMPC30 を選択</td></tr> <tr><td>0 0 1 0</td><td>: CMPC31 を選択</td></tr> <tr><td>0 1 0 0</td><td>: CMPC32 を選択</td></tr> <tr><td>1 0 0 0</td><td>: CMPC33 を選択</td></tr> </table> 上記以外は設定しないでください 	b3	b0	0 0 0 0	: 入力なし	0 0 0 1	: CMPC0 を選択	0 0 1 0	: CMPC01 を選択	0 1 0 0	: CMPC02 を選択	1 0 0 0	: CMPC03 を選択	b3	b0	0 0 0 0	: 入力なし	0 0 0 1	: CMPC10 を選択	0 0 1 0	: CMPC11 を選択	0 1 0 0	: CMPC12 を選択	1 0 0 0	: CMPC13 を選択	b3	b0	0 0 0 0	: 入力なし	0 0 0 1	: CMPC20 を選択	0 0 1 0	: CMPC21 を選択	0 1 0 0	: CMPC22 を選択	1 0 0 0	: CMPC23 を選択	b3	b0	0 0 0 0	: 入力なし	0 0 0 1	: CMPC30 を選択	0 0 1 0	: CMPC31 を選択	0 1 0 0	: CMPC32 を選択	1 0 0 0	: CMPC33 を選択	R/W
b3	b0																																																			
0 0 0 0	: 入力なし																																																			
0 0 0 1	: CMPC0 を選択																																																			
0 0 1 0	: CMPC01 を選択																																																			
0 1 0 0	: CMPC02 を選択																																																			
1 0 0 0	: CMPC03 を選択																																																			
b3	b0																																																			
0 0 0 0	: 入力なし																																																			
0 0 0 1	: CMPC10 を選択																																																			
0 0 1 0	: CMPC11 を選択																																																			
0 1 0 0	: CMPC12 を選択																																																			
1 0 0 0	: CMPC13 を選択																																																			
b3	b0																																																			
0 0 0 0	: 入力なし																																																			
0 0 0 1	: CMPC20 を選択																																																			
0 0 1 0	: CMPC21 を選択																																																			
0 1 0 0	: CMPC22 を選択																																																			
1 0 0 0	: CMPC23 を選択																																																			
b3	b0																																																			
0 0 0 0	: 入力なし																																																			
0 0 0 1	: CMPC30 を選択																																																			
0 0 1 0	: CMPC31 を選択																																																			
0 1 0 0	: CMPC32 を選択																																																			
1 0 0 0	: CMPC33 を選択																																																			
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																

注1. CMPSEL[3:0]ビットの書き換えは、以下の手順で行ってください。CMPSEL[3:0]ビットが“0000b”でないときに、“0000b”以外の書き込みは無効です。2ビット以上“1”となる値を書いた場合も無効です。いずれの場合も前の値を保持します。

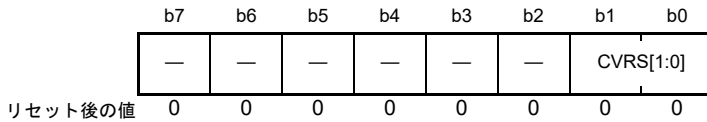
- (1) CMPCTL.COEビットを“0”にする
- (2) CMPSEL[3:0]ビットを“0000b”にする
- (3) CMPSEL[3:0]ビットを新しい設定値(いずれか1ビットのみ“1”)にする
- (4) 入力切り替えの安定時間を待つ
- (5) CMPCTL.COEビットを“1”にする
- (6) 対応する割り込み要求レジスタの割り込みステータスフラグ(IR)を“0”にする

注2. コンパレータ検出をGPT要因として使用する場合、GPTのレジスタ設定後に、このビットに書き込むとGPT要因が発生する可能性があるので注意してください。

注3. コンパレータ検出をPOE要因として使用する場合、POEのレジスタ設定後に、このビットに書き込むとPOE要因が発生する可能性があるので注意してください。

33.2.3 コンパレータ基準電圧選択レジスタ (CMPSEL1)

アドレス CMPC0.CMPSEL1 000A 0C88h, CMPC1.CMPSEL1 000A 0CA8h, CMPC2.CMPSEL1 000A 0CC8h,
CMPC3.CMPSEL1 000A 0CE8h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CVRS[1:0]	リファレンス入力電圧選択ビット (注1、注2、注3、注4)	<p>【チップバージョンAの場合】</p> <ul style="list-style-type: none"> コンパレータ C0の場合 <p>b1 b0 0 0 : 入力なし 0 1 : リファレンス入力電圧に CVREFC0 入力を選択 1 0 : リファレンス入力電圧に内蔵 D/A コンバータ 0 の出力を選択 上記以外は設定しないでください</p> <ul style="list-style-type: none"> コンパレータ C1～C3の場合 <p>b1 b0 0 0 : 入力なし 0 1 : リファレンス入力電圧に CVREFC1 入力を選択 1 0 : リファレンス入力電圧に内蔵 D/A コンバータ 0 の出力を選択 上記以外は設定しないでください</p> <p>【チップバージョンBの場合】</p> <p>b1 b0 0 0 : 入力なし 0 1 : リファレンス入力電圧に内蔵 D/A コンバータ 1 の出力を選択 1 0 : リファレンス入力電圧に内蔵 D/A コンバータ 0 の出力を選択 上記以外は設定しないでください</p>	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 内蔵 D/A コンバータの出力を使用する場合、コンパレータの動作を許可 (CMPCTL.HCMPON ビット = 1) する前に、D/A コンバータを設定してください。D/A コンバータの設定については「32. D/A コンバータ (DA, DAa)」を参照してください。

注2. CVRS[1:0] ビットの書き換えは、以下の手順で行ってください。設定値を変えるときは、CVRS[1:0] ビットを“00b”にしてから設定値を変更してください。“01b”から“10b”、“10b”から“01b”に直接書き換えようとしても無視されます。

- (1) CMPCTL.COE ビットを“0”にする
- (2) CVRS[1:0] ビットを“00b”にする
- (3) CVRS[1:0] ビットを新しい設定値 (いずれか 1 ビットのみ“1”)にする
- (4) 入力切り替えの安定時間を待つ
- (5) CMPCTL.COE ビットを“1”にする
- (6) 対応する割り込み要求レジスタの割り込みステータスフラグ (IR) を“0”にする

注3. コンパレータ検出を GPT 要因として使用する場合、GPT のレジスタ設定後に、このビットに書き込むと GPT 要因が発生する可能性があるので注意してください。

注4. コンパレータ検出を POE 要因として使用する場合、POE のレジスタ設定後に、このビットに書き込むと POE 要因が発生する可能性があるので注意してください。

33.2.4 コンパレータ出力モニタレジスタ (CMPMON)

アドレス CMPC0.CMPMON 000A 0C8Ch, CMPC1.CMPMON 000A 0CACH, CMPC2.CMPMON 000A 0CCCh,
CMPC3.CMPMON 000A 0CECh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPMON0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPMON0	コンパレータ出力モニタフラグ (注1)	0 : コンパレータ出力は“0” 1 : コンパレータ出力は“1”	R
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ノイズフィルタ未使用(CMPCTL.CDFS[1:0]ビット = 00b)の設定でコンパレータを動作(CMPCTL.HCMPON、COEビット = 1)させる場合は、CMPMON0ビットを2回リードし、一致したときのみその値を使用してください。

33.2.5 コンパレータ外部出力許可レジスタ (CMPIOC)

アドレス CMPC0.CMPIOC 000A 0C90h, CMPC1.CMPIOC 000A 0CB0h, CMPC2.CMPIOC 000A 0CD0h,
CMPC3.CMPIOC 000A 0CF0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CPOE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPOE	外部端子出力許可ビット	0 : コンパレータ外部端子出力禁止 (Low出力に固定) 1 : コンパレータ外部端子出力許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

33.3 動作説明

33.3.1 コンパレータ動作例

図 33.3 にコンパレータの動作例を示します。リファレンス入力電圧よりアナログ入力電圧が高い場合に COMPn ($n = 0 \sim 3$) 出力が High になり、リファレンス入力電圧よりアナログ入力電圧が低い場合に COMPn 出力が Low になります (CMPCTL.CINV ビットが "0" の場合)。また、コンパレータ出力が変化すると割り込み要求を出力します。

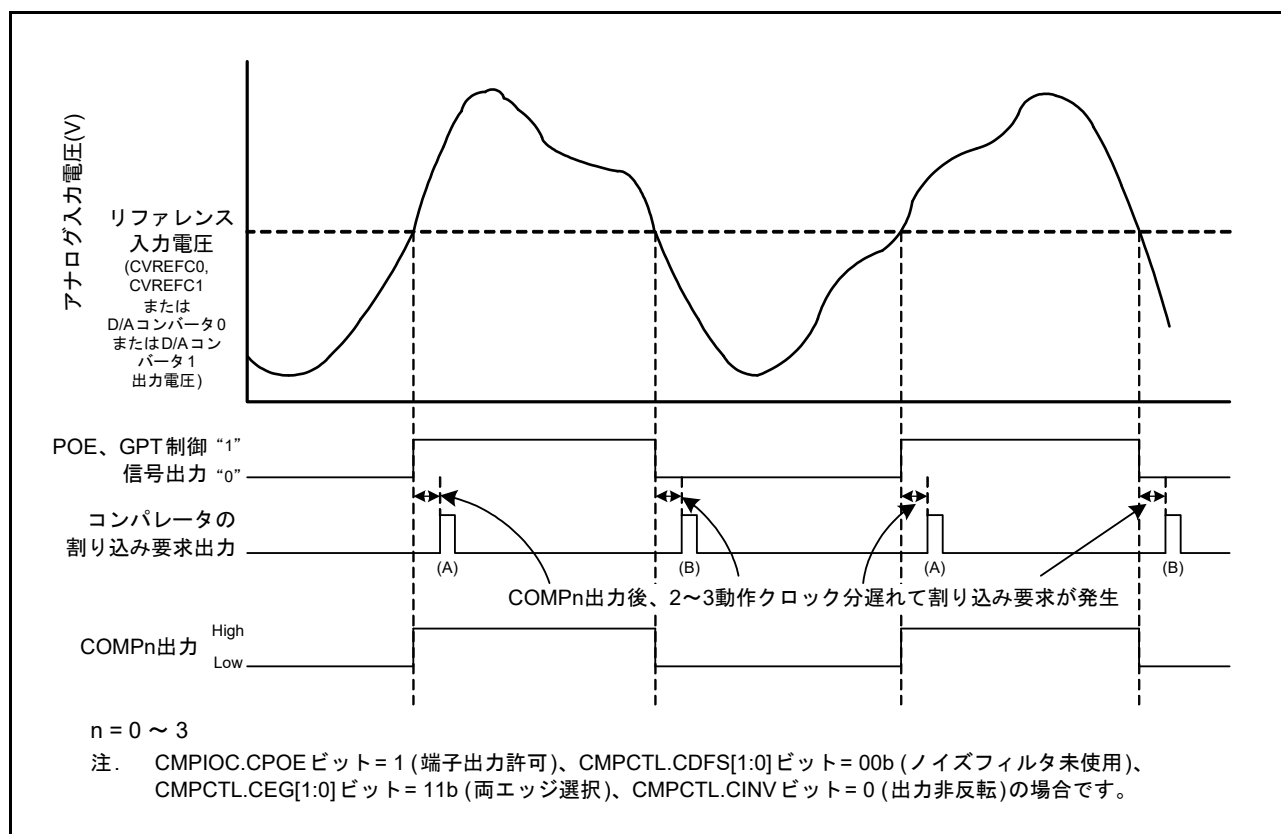


図 33.3 コンパレータの動作例

33.3.2 ノイズフィルタ

コンパレータ C は、ノイズフィルタを内蔵しています。サンプリングクロックは CMPCTL.CDFS[1:0] ビットで選択できます。サンプリングクロックごとにコンパレータの出力信号をサンプリングし、レベルが 3 回一致した次のサンプリングクロックで、ノイズフィルタ出力がその値になります。

図 33.4 にノイズフィルタとエッジ検出回路の構成を、図 33.5 にコンパレータノイズフィルタと割り込み動作例を示します。

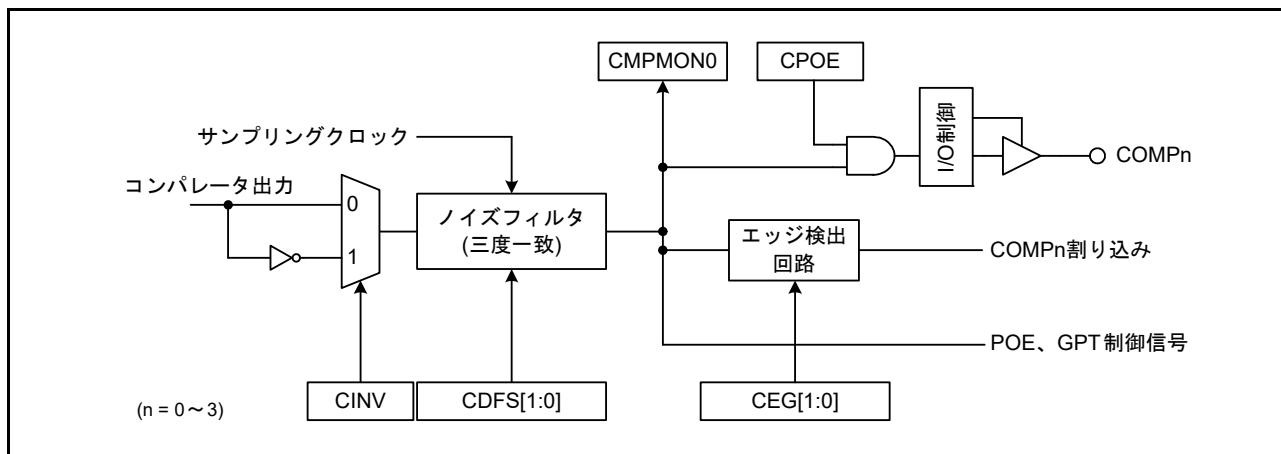


図 33.4 ノイズフィルタとエッジ検出回路の構成

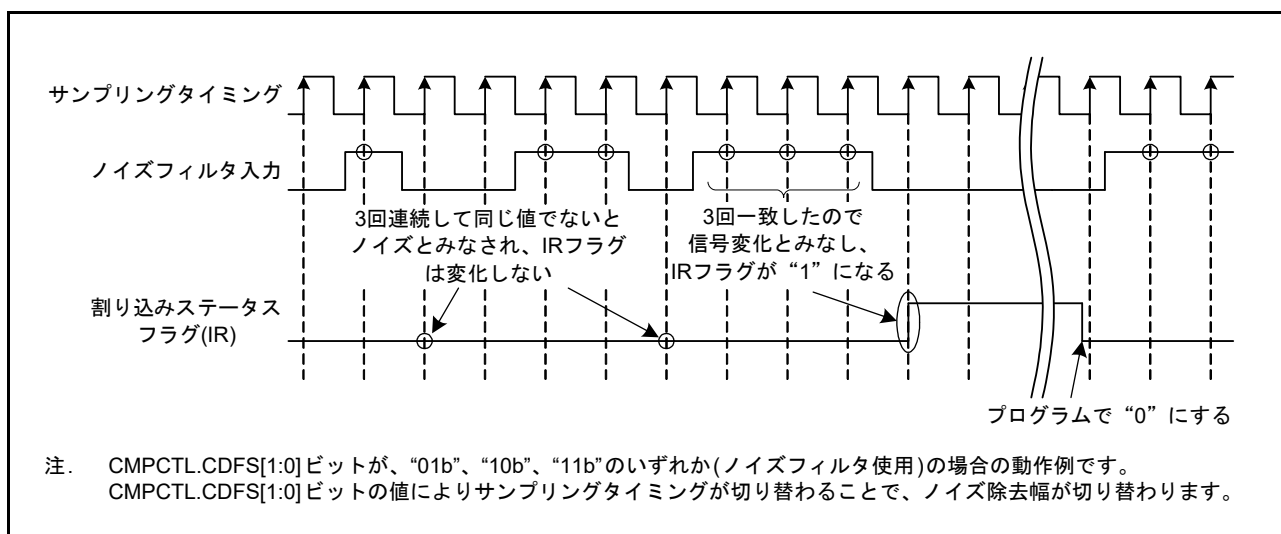


図 33.5 コンパレータノイズフィルタと割り込み動作例

33.3.3 コンパレータ割り込み

コンパレータ C は比較結果の変化を検出して割り込み要求を発生させます。

コンパレータ割り込みを使用するときは、CMPCTL.CEG[1:0] ビットの少なくとも 1 つを“1”(“00b”(割り込み要求を生成しない)以外の設定)にしてください。

コンパレータ割り込みを使用する場合は、以下の手順で設定してください。ただし、(1)、(2)、(3)は順不同です。

- (1) リファレンス入力電圧に内蔵 D/A コンバータの出力を使用する場合は、D/A コンバータを設定し、D/A 変換を許可する。
- (2) CMPSEL0、CMPSEL1 レジスタでコンパレータの入力を設定する。
- (3) CMPCTL.CINV、CDFFS[1:0] ビットを設定し、反転/非反転処理およびノイズフィルタのサンプリングタイミングを選択する。
- (4) コンパレータ出力のエッジ検出を有効(CMPCTL.CEG[1:0] ビットを“00b”以外)にする。
- (5) コンパレータの入力を許可(CMPCTL.HCMPON ビットを“1”)し、コンパレータの動作安定時間を待つ。
- (6) コンパレータの出力を許可(CMPCTL.COE ビットを“1”)する。

33.3.4 コンパレータの端子出力

コンパレータの比較結果を COMPn 端子 (n = 0 ~ 3) に出力することができます。CMPCTL.CINV ビットや CMPIOC.CPOE ビットにより、出力極性(非反転出力/反転出力)や出力許可/禁止を設定できます。

コンパレータの比較結果を COMPn 端子に出力する場合は、以下の手順で設定してください(リセット後、ポートは入力設定になっています)。

- (1) 「33.3.3 コンパレータ割り込み」に示す手順の (1) ~ (3) および (5)、(6) を行う。
- (2) コンパレータの比較結果の外部端子への出力を許可(CMPIOC.CPOE ビットを“1”)する。
- (3) 各コンパレータの出力端子に対応するポートモードレジスタ、端子機能制御レジスタの設定をする。

33.3.5 コンパレータの設定手順

図 33.6 にコンパレータ動作設定フローチャートを示します。

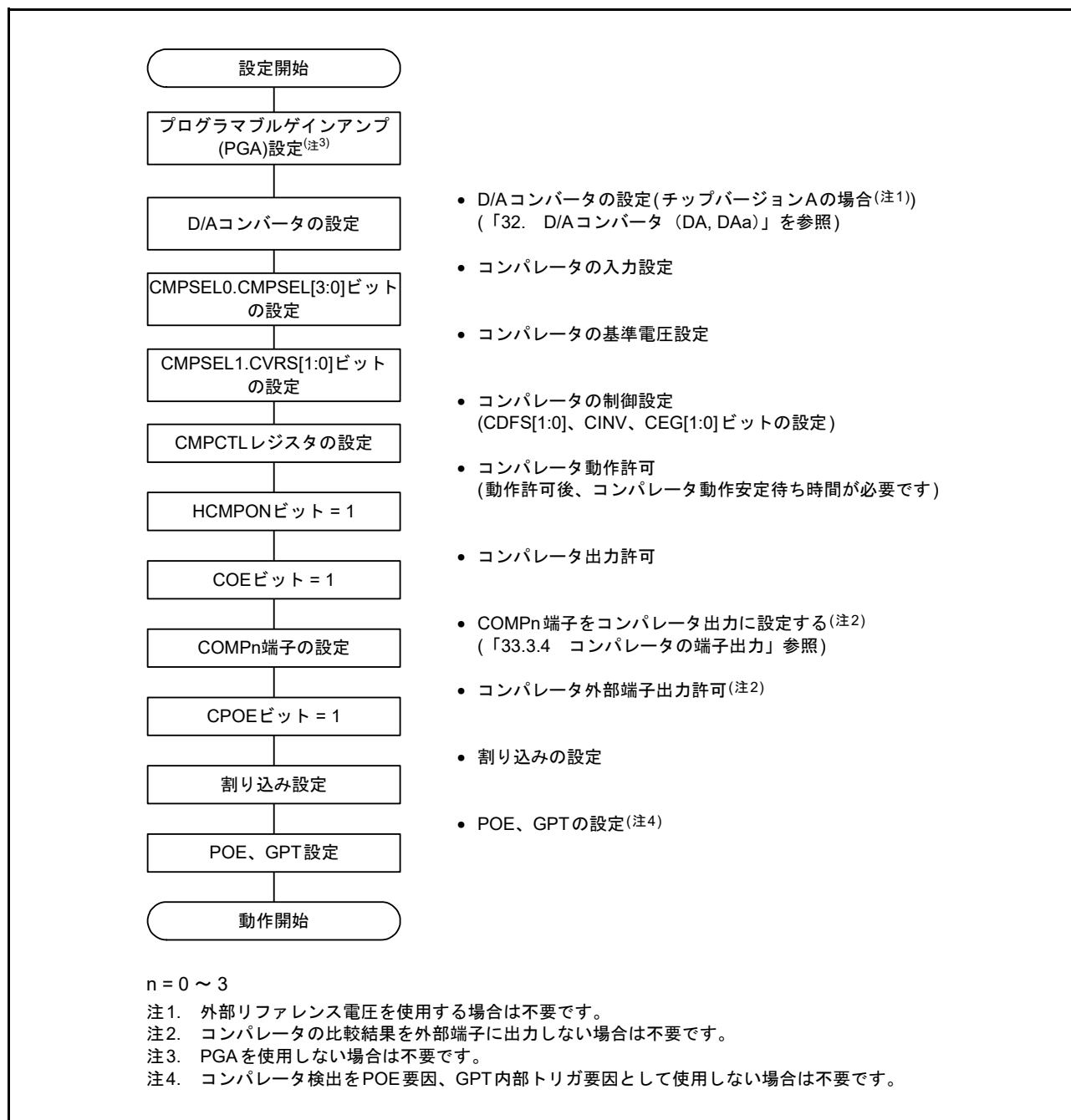


図 33.6 コンパレータ動作設定フローチャート

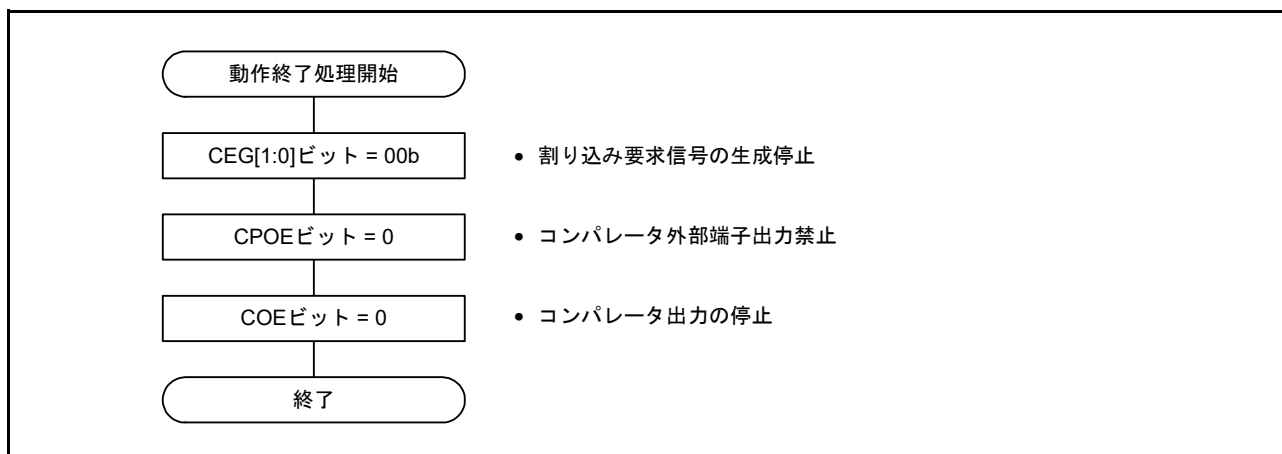


図 33.7 コンパレータ動作終了フローチャート

33.4 使用上の注意事項

33.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、コンパレータ C の動作禁止 / 許可を設定することが可能です。リセット解除後は、コンパレータ C の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

33.4.2 モジュールストップ時のコンパレータ C の動作

コンパレータ C を動作させたままモジュールストップ状態に遷移すると、コンパレータ C のアナログ回路の動作が停止しないためアナログ電源電流はコンパレータ C 使用中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、CMPCTL.HCMPON ビットを“0”にしてコンパレータ C を停止させてください。

33.4.3 ソフトウェアスタンバイモード時のコンパレータ C の動作

コンパレータ C を動作させたままソフトウェアスタンバイモードに遷移すると、コンパレータ C のアナログ回路の動作が停止しないためアナログ電源電流はコンパレータ C 使用中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、CMPCTL.HCMPON ビットを“0”にしてコンパレータ C を停止させてください。

33.4.4 12 ビット A/D コンバータがモジュールストップ中のコンパレータ C の動作

プログラマブルゲインアンプ (PGA) と 12 ビット A/D コンバータは同じモジュールストップ信号で制御されていますので、12 ビット A/D コンバータがモジュールストップ中は、以下の PGA 出力の比較はできません。

- AN000 端子 PGA 出力
- AN100 端子 PGA 出力
- AN101 端子 PGA 出力
- AN102 端子 PGA 出力

12 ビット A/D コンバータがモジュールストップ中でも、以下のアナログ端子は直接コンパレータに接続されていますので、比較が可能です。

- AN000 端子
- AN100 端子
- AN101 端子
- AN102 端子

33.4.5 リファレンス電圧生成に使用する D/A コンバータの設定について

リファレンス電圧生成に使用する D/A コンバータの設定は、コンパレータの動作を許可する前に行い、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。リファレンス電圧生成に使用する D/A コンバータの設定を変更する場合も、一旦コンパレータの動作を停止させてから D/A コンバータの設定を変更し、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。

34. データ演算回路 (DOC)

34.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算または減算をする機能です。

表 34.1 にデータ演算回路 (DOC) の仕様を示します。データ演算回路のブロック図を図 34.1 に示します。

16 ビットのデータを比較し、選択した条件に該当する場合に割り込みを発生させることができます。

表 34.1 データ演算回路 (DOC) の仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への設定が可能
割り込み	<ul style="list-style-type: none"> データ比較の結果が一致または不一致のとき データ加算の結果が“FFFFh”より大きくなったとき データ減算の結果が“0000h”より小さくなったとき

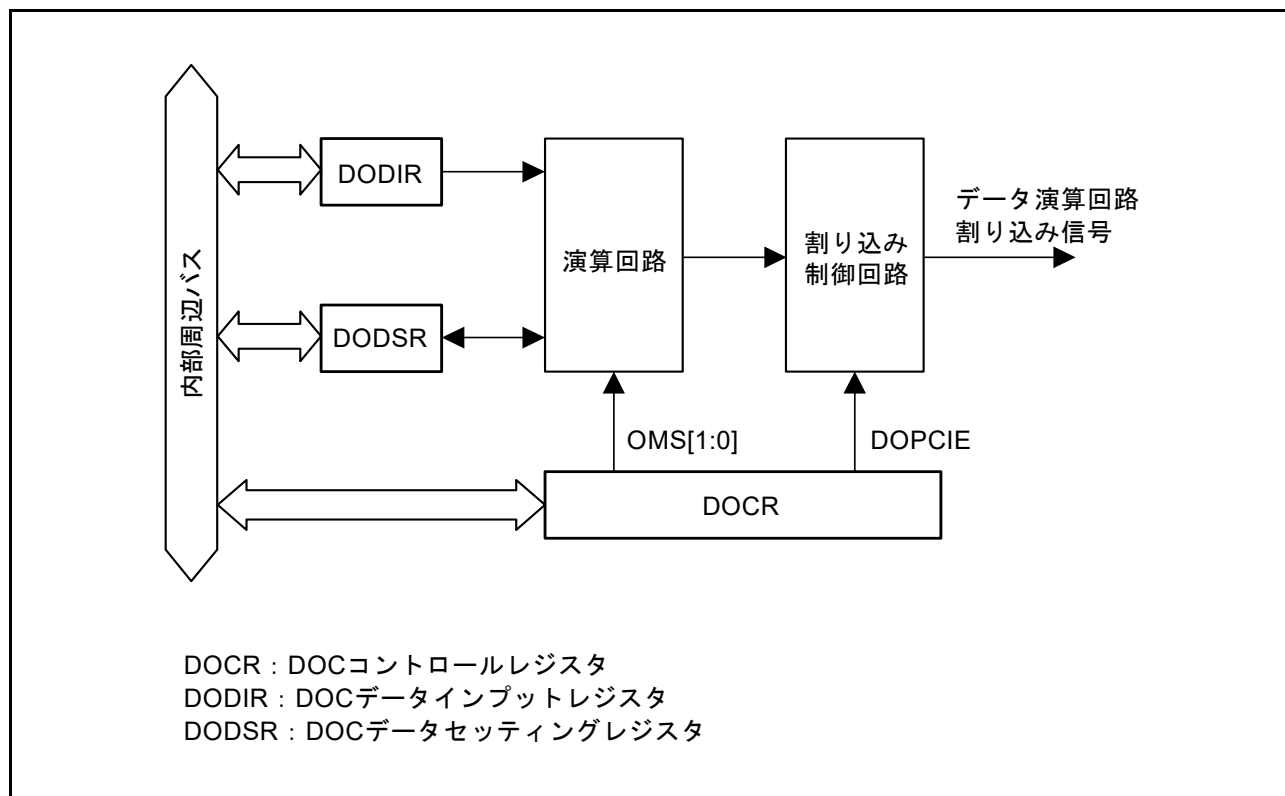


図 34.1 データ演算回路のブロック図

34.2 レジスタの説明

34.2.1 DOC コントロールレジスタ (DOCR)

アドレス 0008 B080h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCF CL	DOPCF	DOPCI E	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択ビット	b1 b0 0 0 : データ比較モード 0 1 : データ加算モード 1 0 : データ減算モード 1 1 : 設定しないでください	R/W
b2	DCSEL (注1)	検出条件選択ビット	データ比較の結果 0 : 不一致を検出する 1 : 一致を検出する	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DOPCIE	データ演算回路割り込み許可ビット	0 : データ演算回路割り込み無効 1 : データ演算回路割り込み有効	R/W
b5	DOPCF	データ演算回路フラグ	演算結果を示します	R
b6	DOPCFCL	DOPCFクリアビット	0 : DOPCFフラグ状態を保持 1 : DOPCFフラグをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	RW

注1. データ比較モード選択時のみ有効

OMS[1:0] ビット (動作モード選択ビット)

本ビットの設定によりデータ演算回路の動作モードを選択します。

DCSEL ビット (検出条件選択ビット)

データ比較モード選択時のみ有効です。

本ビットの設定によりデータ比較モード時の結果の検出条件を選択します。

DOPCIE ビット (データ演算回路割り込み許可ビット)

本ビットが“1”の場合、データ演算回路割り込みを許可します。

DOPCF フラグ (データ演算回路フラグ)

["1"になる条件]

- DCSEL ビットで選択した条件になったとき
- データ加算の結果が“FFFFh”より大きくなったとき
- データ減算の結果が“0000h”より小さくなったとき

["0"になる条件]

- DOPCFCL ビットに“1”を書き込んだとき

DOPCFCL ビット (DOPCF クリアビット)

本ビットを“1”にすると DOPCF フラグをクリアします。

読むと“0”が読めます。

34.2.2 DOC データインプットレジスタ (DODIR)

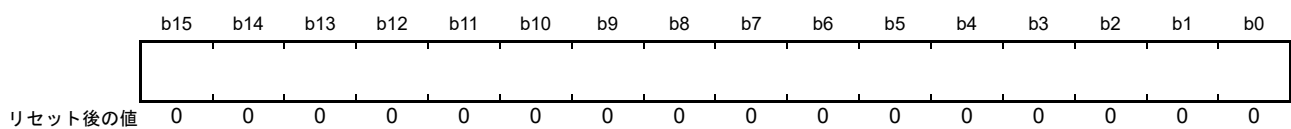
アドレス 0008 B082h



DODIR は、演算対象の 16 ビットのデータを格納する 16 ビットの読み出し／書き込み可能なレジスタです。

34.2.3 DOC データセッティングレジスタ (DODSR)

アドレス 0008 B084h



DODSR は、16 ビットの読み出し／書き込み可能なレジスタです。データ比較モードでは、基準となる 16 ビットのデータを格納します。また、データ加算モードおよびデータ減算モードでは、演算結果を格納します。

34.3 動作説明

34.3.1 データ比較モード

図 34.2 にデータ比較モードの動作例を示します。

データ演算回路は、データ比較モード時、以下のように動作します。

以下は DCSEL=0 (データ比較の結果、不一致を検出) 設定時の動作例です。

- (1) DOCR.OMS[1:0] ビットに “00b” を書き込むと、データ比較モードになります。
- (2) DODSR レジスタに基準となる 16 ビットのデータを設定します。
- (3) DODIR レジスタに比較する 16 ビットのデータを書き込みます。
- (4) すべての比較するデータの書き込みが完了するまで、DODIR レジスタに比較する 16 ビットのデータを書き込みます。
- (5) DODIR レジスタに書き込まれたデータが DODSR レジスタに設定されているデータと一致しなかった (注1) とき DOCR.DOPCF フラグが “1” になります。また、DOCR.DOPCIE ビットが “1” の場合は、データ演算回路割り込みが発生します。

注 1. DOCR.DCSEL=0 の場合

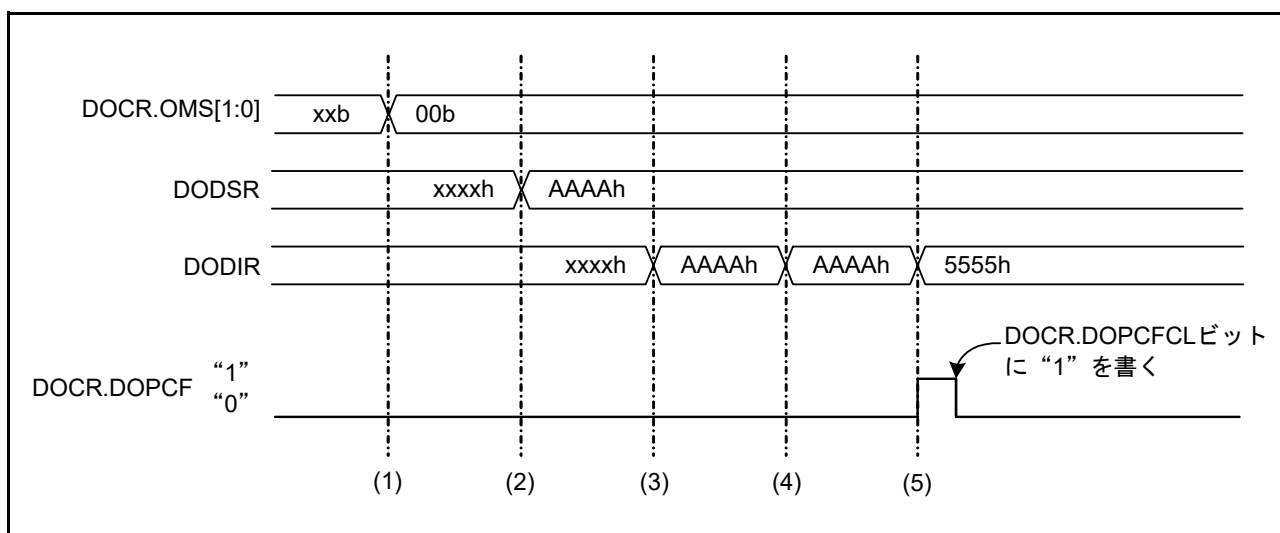


図 34.2 データ比較モードの動作例

34.3.2 データ加算モード

図 34.3 にデータ加算モードの動作例を示します。

データ演算回路は、データ加算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに“01b”を書き込むと、データ加算モードになります。
- (2) DODSR レジスタに初期値として 16 ビットのデータを設定します。
- (3) DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべての加算するデータの書き込みが完了するまで、DODIR レジスタに加算する 16 ビットのデータを書き込みます。
- (5) 演算結果が“FFFFh”よりも大きくなったとき DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

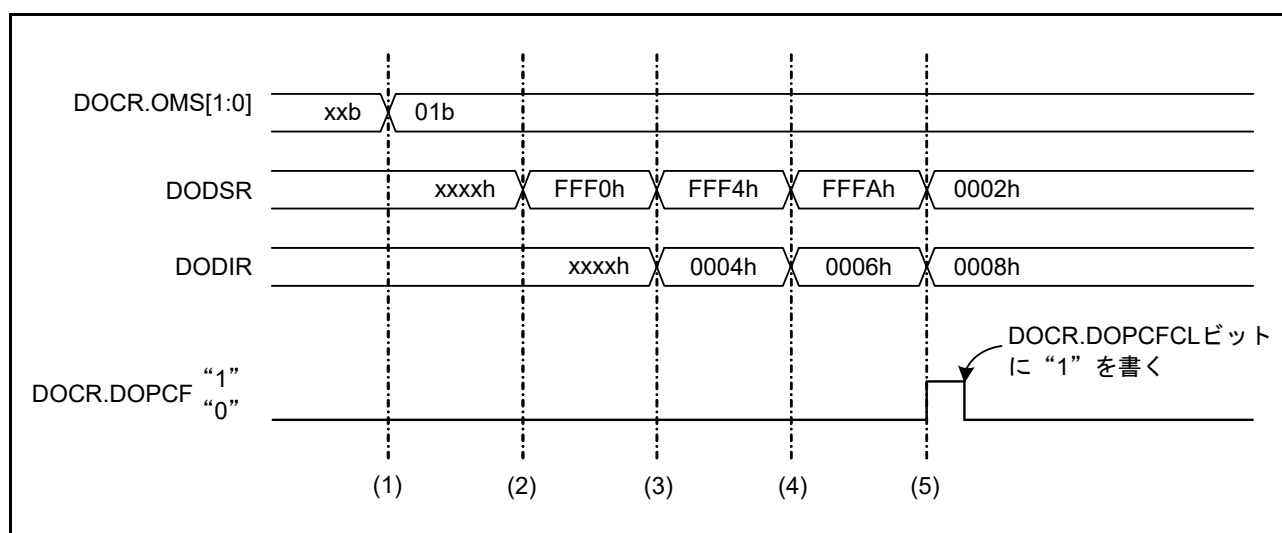


図 34.3 データ加算モードの動作例

34.3.3 データ減算モード

図 34.4 にデータ減算モードの動作例を示します。

データ演算回路は、データ減算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに“10b”を書き込むと、データ減算モードになります。
- (2) DODSR レジスタに初期値として 16 ビットのデータを設定します。
- (3) DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべての減算するデータの書き込みが完了するまで、DODIR レジスタに減算する 16 ビットのデータを書き込みます。
- (5) 演算結果が“0000h”よりも小さくなったとき DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

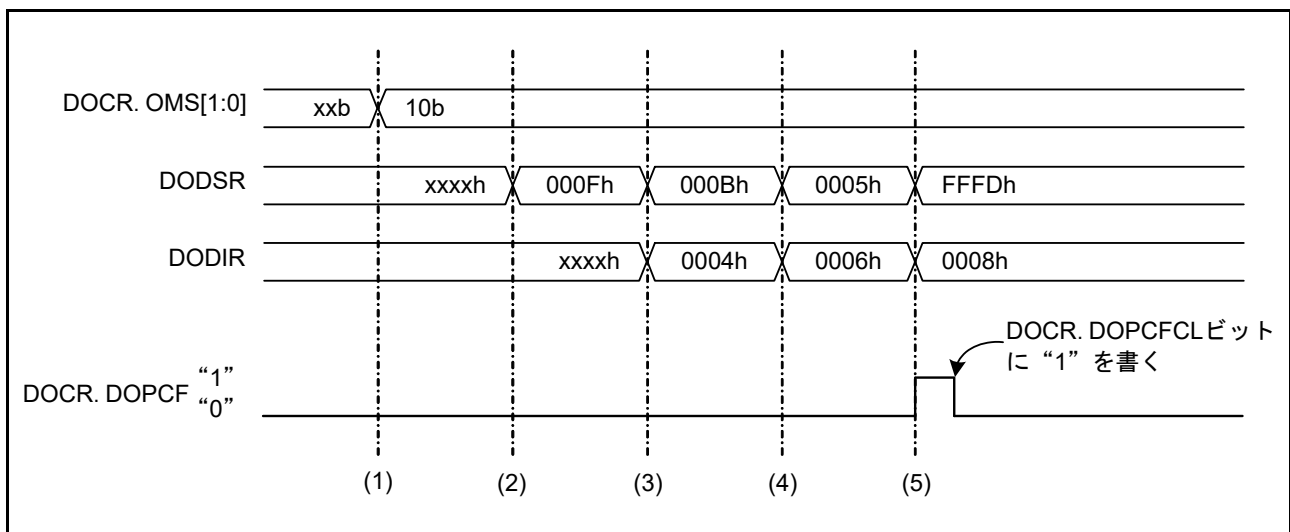


図 34.4 データ減算モードの動作例

34.4 割り込み要求

データ演算回路が生成する割り込み要求には、データ演算回路割り込みがあります。割り込み要因が発生するとデータ演算回路フラグが“1”になります。表 34.2 に割り込み要求の内容を示します。

表 34.2 データ演算回路割り込み要求

割り込み要求	データ演算回路フラグ	割り込み発生タイミング
データ演算回路割り込み	DOPCF	<ul style="list-style-type: none"> • データ比較の結果が一致または不一致のとき • データ加算の結果が“FFFFh”より大きくなったとき • データ減算の結果が“0000h”より小さくなったとき

34.5 使用上の注意事項

34.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、データ演算回路の動作を禁止/許可することが可能です。初期値では、データ演算回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

35. RAM

本 MCU は、高速スタティック RAM を内蔵しています。

35.1 概要

表 35.1 に RAM の仕様を示します。

表 35.1 RAM の仕様

項目	内容
RAM容量	最大32Kバイト(RAM0 : 32Kバイト)(注2)
アクセス	<ul style="list-style-type: none"> 読み出し、書き込みともに1サイクルで動作 RAM有効/無効選択可能(注1)
消費電力低減機能	RAM0をモジュールストップ状態への設定が可能

注1. SYSCR1.RAMEビットにより選択可能です。SYSCR1レジスタについては、「3.2.2 システムコントロールレジスタ1 (SYSCR1)」を参照してください。

注2. 製品によってRAM容量が異なります。

RAM容量	RAMアドレス
32Kバイト	RAM0 : 0000 0000h ~ 0000 7FFFh
16Kバイト	RAM0 : 0000 0000h ~ 0000 3FFFh

35.2 動作説明

35.2.1 消費電力低減機能

モジュールストップコントロールレジスタ C (MSTPCRC) の設定により、RAM へのクロック供給を停止させることで、消費電力を低減ができます。

MSTPCRC.MSTPC0 ビットを“1”にセットすると RAM0 に供給されるクロックが停止します。

クロック供給の停止により、RAM0 はモジュールストップ状態になります。リセット後の初期値では、RAM は動作状態です。

モジュールストップ状態になると、RAM へのアクセスができなくなります。RAM のアクセス中にモジュールストップ状態へ遷移しないでください。

MSTPCRC レジスタの詳細については、「11. 消費電力低減機能」を参照してください。

36. フラッシュメモリ

本MCUは、128K/256K/384K/512K バイトのユーザ領域 (ROM) と 8K バイトのデータ領域 (E2 データフラッシュ) を内蔵しています。

本章に記載している PCLK とは PCLKB を指します。

36.1 概要

表 36.1 にフラッシュメモリの仕様を示します。

表 36.7 にブートモードで使用する入出力端子を示します。

表 36.1 フラッシュメモリの仕様

項目	内容
メモリ空間	<ul style="list-style-type: none"> ユーザ領域：最大512Kバイト データ領域：8Kバイト エクストラ領域：スタートアップ領域情報、アクセスウィンドウ情報、ユニークIDを格納
ROMキャッシュ	<ul style="list-style-type: none"> 容量：2Kバイト
ソフトウェアコマンド	<ul style="list-style-type: none"> 以下のソフトウェアコマンドを実装 プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ エクストラ領域のプログラム用に以下のコマンドを実装 スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム
イレーズ後の値	<ul style="list-style-type: none"> ROM：FFh E2データフラッシュ：FFh
割り込み	ソフトウェアコマンド処理の完了、または強制停止処理の完了により割り込み (FRDYI) が発生
オンボードプログラミング	ブートモード (SCI インタフェース) (注1) <ul style="list-style-type: none"> シリアルコミュニケーションインタフェースのチャンネル1 (SCI1) を調歩同期式モードで使用 ユーザ領域とデータ領域を書き換え可能 ブートモード (FINE インタフェース) <ul style="list-style-type: none"> FINE を使用 ユーザ領域とデータ領域を書き換え可能 セルフプログラミング (シングルチップモード) <ul style="list-style-type: none"> ユーザプログラム内のフラッシュ書き換えルーチンによるユーザ領域とデータ領域の書き換えが可能
オフボードプログラミング	本MCUに対応したフラッシュプログラマ (シリアルプログラマ、パラレルプログラマ) を使用して、ユーザ領域とデータ領域の書き換えが可能
IDコードプロテクト	<ul style="list-style-type: none"> ブートモード時、シリアルプログラマとの接続の許可または禁止を、IDコードにより制御可能 オンチップデバッグエミュレータ接続時、IDコードにより制御可能 パラレルプログラマ接続時、ROMコードにより制御可能
スタートアッププログラム保護機能	ブロック0~7の書き換えを安全に行うための機能
エリアプロテクション	セルフプログラミング時、ユーザ領域内の指定された範囲のみ書き換えを許可し、それ以外への書き換えを禁止することが可能
バックグラウンドオペレーション (BGO) 機能	E2データフラッシュの書き換え中に、ROM上に配置されたプログラムを実行可能

注1. 詳細については『PG-FP5フラッシュメモリプログラマユーザズ・マニュアル』、『Renesas Flash Programmerフラッシュ書き込みソフトウェア・ユーザズ・マニュアル』をご参照ください。

36.2 ROMの領域とブロックの構成

本MCUのROMは最大で512Kバイトあります。ROMは2Kバイトのブロックと呼ばれる単位に分割されており、ブロックイレーズコマンドはこのブロック単位でメモリの消去を実行します。図36.1にROMの領域とブロックの構成を示します。

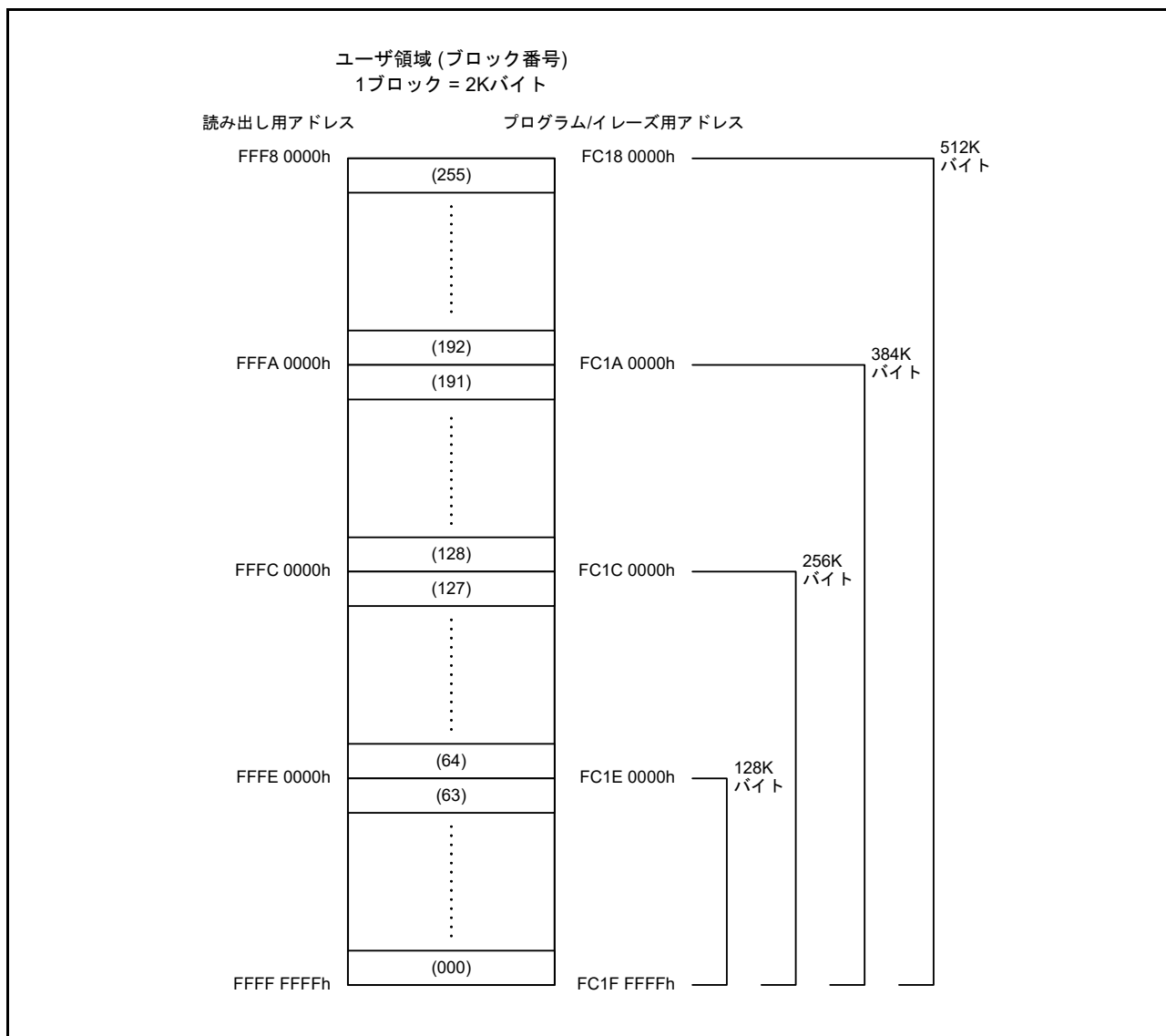


図 36.1 ROMの領域とブロックの構成

表 36.2 ROM容量と読み出し用アドレス対応表

ROM容量	読み出し用アドレス
512Kバイト	FFF8 0000h ~ FFFF FFFFh
384Kバイト	FFFA 0000h ~ FFFF FFFFh
256Kバイト	FFFC 0000h ~ FFFF FFFFh
128Kバイト	FFFE 0000h ~ FFFF FFFFh

36.3 E2 データフラッシュの領域とブロックの構成

本 MCU の E2 データフラッシュは 8K バイトで構成されています。ブロックに分割されており、イレーズはこのブロック単位で行います。図 36.2 に E2 データフラッシュの領域とブロックの構成を示します。

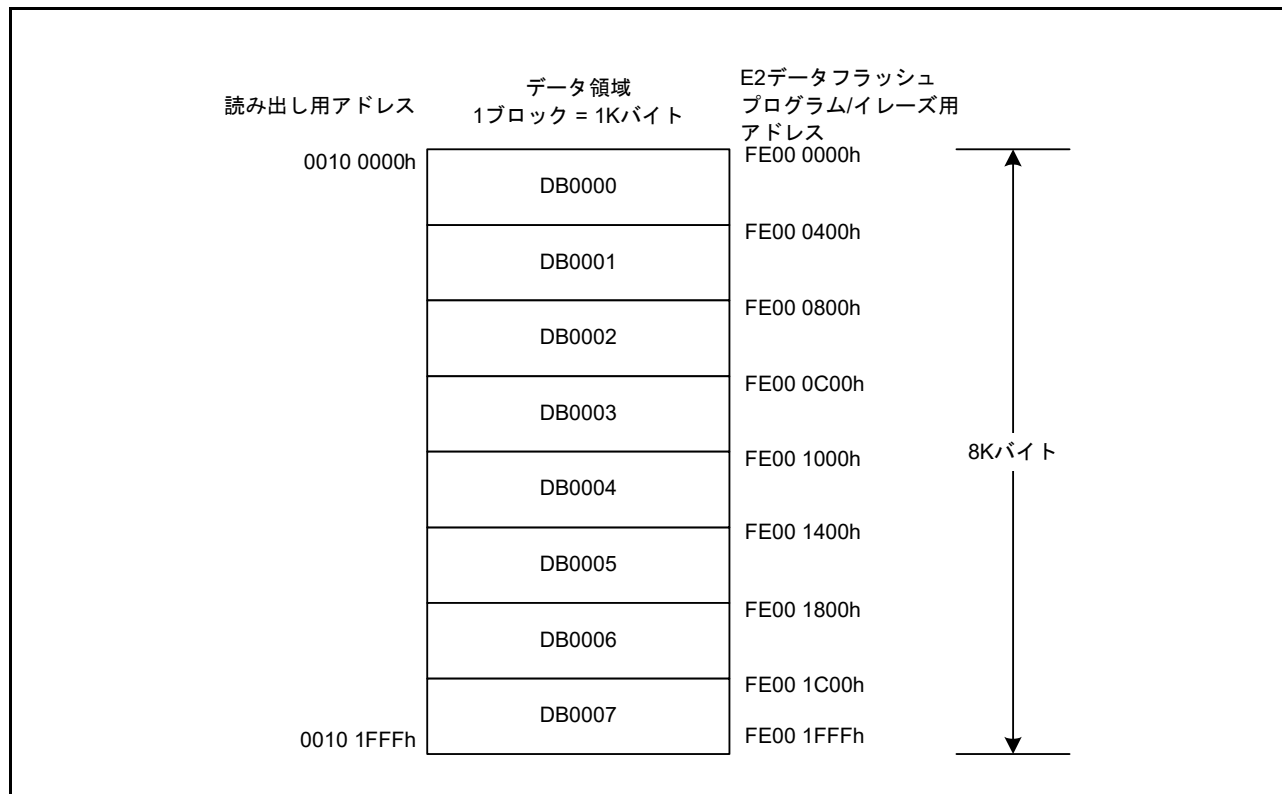


図 36.2 E2 データフラッシュの領域とブロックの構成

36.4 レジスタの説明

36.4.1 E2 データフラッシュ制御レジスタ (DFLCTL)

アドレス 007F C090h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DFLEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFLEN	E2データフラッシュアクセス許可ビット	0: E2データフラッシュへのアクセスおよびP/Eモード時におけるエクストラ領域へのアクセス(注1)禁止 1: E2データフラッシュへのアクセスおよびP/Eモード時におけるエクストラ領域へのアクセス(注1)許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム

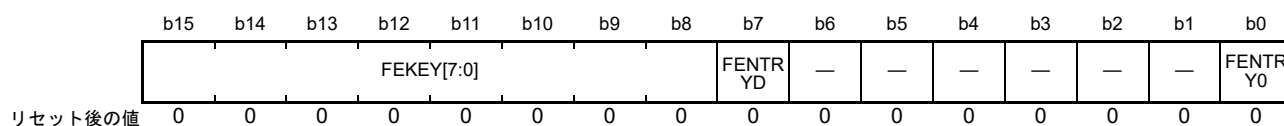
DFLCTL レジスタは、E2 データフラッシュへのアクセス (読み出し、プログラム、イレーズ) の許可 / 禁止および P/E モード時におけるエクストラ領域へのアクセス (スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム) を許可 / 禁止するためのレジスタです。

E2 データフラッシュの読み出し、プログラム、イレーズを行う場合は、DFLCTL.DFLEN ビットを“1”にして E2 データフラッシュ STOP 解除時間 (tDSTOP) 経過後に E2 データフラッシュの読み出しと E2 データフラッシュ P/E モードへの遷移を行ってください。E2 データフラッシュ STOP 解除時間 (tDSTOP) を経過するまでは E2 データフラッシュの読み出しと E2 データフラッシュ P/E モードへの遷移を行わないでください。

E2 データフラッシュ P/E モードについては、「36.7.1 シーケンサのモード」を、E2 データフラッシュ STOP 解除時間 (tDSTOP) については、「37. 電気的特性」を参照してください。

36.4.2 フラッシュ P/E モードエントリレジスタ (FENTRYR)

アドレス 007F FFB2h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/Eモードエントリビット0	0 : ROMはリードモード 1 : ROMはP/Eモードエントリ可能	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	FENTRYD	E2データフラッシュ P/Eモードエントリビット	0 : E2データフラッシュはリードモード 1 : E2データフラッシュはP/Eモードエントリ可能	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYRレジスタの書き換えを制御します。 下位8ビットの値を書き換える場合、このビットを “AAh”にして16ビット単位で同時に書いてください。 読むと“00h”が読めます	R/W

ROM や E2 データフラッシュを書き換えるためには、FENTRYD, FENTRY0 ビットのいずれかのビットを“1”にして P/E モードに移行させる必要があります。

リードモードに戻るときは、FENTRYR レジスタを設定した後、値が書き換わっていることを確認してから、ROM や E2 データフラッシュのリードを行ってください。

P/E モード、リードモードについては、「36.7.1 シーケンサのモード」を参照してください。

FENTRY0 ビット (ROM P/E モードエントリビット 0)

ROM を P/E モードに移行させるためのビットです。

[“1”になる条件]

- FENTRYR レジスタが“0000h”のときに、FENTRYR レジスタに“AA01h”を書いた場合

注． ROM P/E モードへ遷移する場合、ROM に対する命令フェッチを実行させないため、命令フェッチ番地を ROM 以外の領域に移す必要があります。必要な命令コードを内蔵 RAM ヘコピーして内蔵 RAM ヘジャンプしてください。ただし、E2 データフラッシュは、ROM 上に配置されたプログラムで書き換え可能です。

[“0”になる条件]

- FENTRYR レジスタに“AA00h”を書いた場合

FENTRYD ビット (E2 データフラッシュ P/E モードエントリビット)

E2 データフラッシュを P/E モードに移行させるためのビットです。

[“1”になる条件]

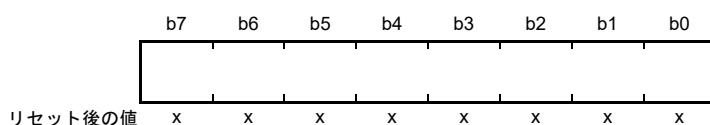
- FENTRYR レジスタが“0000h”のときに、FENTRYR レジスタに“AA80h”を書いた場合

[“0”になる条件]

- FENTRYR レジスタに“AA00h”を書いた場合

36.4.3 プロテクト解除レジスタ (FPR)

アドレス 007F C180h



x : 不定

本レジスタは、CPUが暴走したときに備え、FPMCRレジスタが容易に書き換えられないように保護するための書き込み専用のレジスタです。以下に示す手順でレジスタをアクセスした場合のみ、FPMCRレジスタへの書き込みが有効になります。

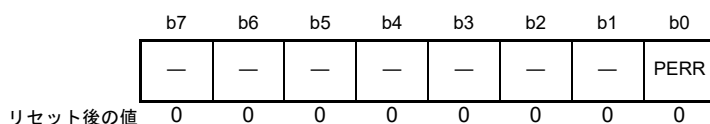
プロテクト解除手順

- (1) FPRレジスタに“A5h”を書き込む
- (2) FPMCRレジスタに設定したい値を書き込む
- (3) FPMCRレジスタに設定したい値の反転値を書き込む
- (4) FPMCRレジスタに再び設定したい値を書き込む

上記プロテクト解除手順以外で書き込みを行った場合、FPSR.PERRフラグが“1”になります。

36.4.4 プロテクト解除ステータスレジスタ (FPSR)

アドレス 007F C184h



ビット	シンボル	ビット名	機能	R/W
b0	PERR	プロテクトエラーフラグ	0 : エラーなし 1 : エラー発生	R
b7-b1	—	予約ビット	読むと“0”が読めます	R

PERRフラグ(プロテクトエラーフラグ)

FPMCRレジスタに対して、プロテクト解除手順どおりのアクセスを行わなかった場合、レジスタへの書き込みは行われず、このフラグが“1”になります。

[“1”になる条件]

- FPMCRレジスタに対して、プロテクト解除手順どおりのアクセスを行わなかった場合

[“0”になる条件]

- 「36.4.3 プロテクト解除レジスタ (FPR)」に記載のプロテクト解除手順でレジスタをアクセスした場合

36.4.5 フラッシュ P/E モード制御レジスタ (FPMCR)

アドレス 007F C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	FMS2	LVPE	—	FMS1	RPDIS	—	FMS0	—
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	FMS0	フラッシュ動作モード選択ビット0	FMS2 FMS1 FMS0 0 0 0 : ROM/E2データフラッシュリードモード 0 1 0 : E2データフラッシュ P/Eモード 0 1 1 : ディスチャージモード1 1 0 1 : ROM P/Eモード 1 1 1 : ディスチャージモード2 上記以外は設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	RPDIS	ROM P/E 禁止ビット	0 : ROMはプログラム/イレーズ可能 1 : ROMはプログラム/イレーズ不可能	R/W
b4	FMS1	フラッシュ動作モード選択ビット1	FMS0 ビットを参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVPE	低電圧 P/E モード有効ビット	0 : 低電圧 P/E モード無効 1 : 低電圧 P/E モード有効	R/W
b7	FMS2	フラッシュ動作モード選択ビット2	FMS0 ビットを参照してください	R/W

フラッシュメモリの動作モードを設定するレジスタです。

本レジスタはプロテクトされています。プロテクト解除手順を用いて値を設定してください(詳細は「36.4.3 プロテクト解除レジスタ (FPR)」を参照)。

ディスチャージモード2、ROM P/E モードに遷移する場合、もしくはそのモード中はRAM上で命令を実行する必要があります。

FMS0, FMS1, FMS2 ビット (フラッシュ動作モード選択ビット0～フラッシュ動作モード選択ビット2)

フラッシュの動作モードを設定します。

[リードモードから ROM P/E モードに遷移する場合]

FMS2 ビット = 0, FMS1 ビット = 1, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

ROM モード遷移待ち時間 1 (tDIS、「37. 電気的特性」を参照) 待ちます。

FMS2 ビット = 1, FMS1 ビット = 1, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

FMS2 ビット = 1, FMS1 ビット = 0, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

ROM モード遷移待ち時間 2 (tMS、「37. 電気的特性」を参照) 待ちます。

[ROM P/E モードからリードモードに遷移する場合]

FMS2 ビット = 1, FMS1 ビット = 1, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

ROM モード遷移待ち時間 1 (tDIS、「37. 電気的特性」を参照) 待ちます。

FMS2 ビット = 0, FMS1 ビット = 1, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

FMS2 ビット = 0, FMS1 ビット = 0, FMS0 ビット = 0, RPDIS ビット = 1 に設定します。

ROM モード遷移待ち時間 2 (tMS、「37. 電気的特性」を参照) 待ちます。

[リードモードから E2 データフラッシュ P/E モードに遷移する場合]

FMS2 ビット = 0, FMS1 ビット = 1, FMS0 ビット = 0, RPDIS ビット = 0 に設定します。

[E2 データフラッシュ P/E モードからリードモードに遷移する場合]

FMS2 ビット = 0, FMS1 ビット = 0, FMS0 ビット = 0, RPDIS ビット = 1 に設定します。

ROM モード遷移待ち時間 2 (tMS、「37. 電気的特性」を参照) 待ちます。

RPDIS ビット (ROM P/E 禁止ビット)

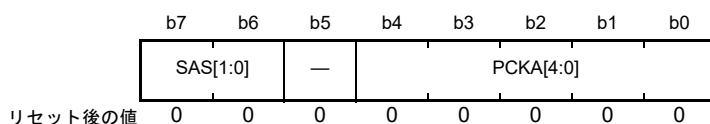
ROM のプログラム / イレージズ実行をソフトウェアによって禁止します。

LVPE ビット (低電圧 P/E モード有効ビット)

高速モード時にプログラム / イレージズを実施する場合は“0”に、中速モード時にプログラム / イレージズを実施する場合は“1”にしてください。

36.4.6 フラッシュ初期設定レジスタ (FISR)

アドレス 007F C1D8h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PCKA[4:0]	周辺クロック通知ビット	FlashIF クロック (FCLK) の周波数を設定するためのビットです	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	SAS[1:0]	スタートアップ領域選択ビット	b7 b6 0 x : エクストラ領域内のスタートアップ領域設定に従う 1 0 : 一時的にスタートアップ領域をデフォルト領域に切り替える 1 1 : 一時的にスタートアップ領域を代替領域に切り替える	R/W

x : Don't care

FISR レジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

PCKA[4:0] ビット (周辺クロック通知ビット)

ROM/E2 データフラッシュのプログラム / イレージズ時に、FlashIF クロック (FCLK) の周波数を設定するためのビットです。

プログラム / イレージズを行う前に PCKA[4:0] ビットに FCLK の周波数を設定してください。ROM/E2 データフラッシュのプログラム / イレージズ中は、FCLK の周波数を変更しないでください。

[FCLK が 4 MHz より高い場合]

小数部がある場合は切り上げて設定してください。

たとえば 31.5 MHz の場合は、32 MHz (PCKA[4:0] ビット = 11111b) に設定してください。

[FCLK が 4 MHz 以下の場合]

小数部のある周波数は使用しないでください。

1 MHz, 2 MHz, 3 MHz または 4 MHz の周波数で使用してください。

注. FCLK と異なる周波数を PCKA[4:0] ビットに設定した場合、ROM/E2 データフラッシュのデータが破壊される可能性があります。

表 36.3 FlashIFクロック周波数設定例

FlashIFのクロック周波数 [MHz]	PCKA[4:0] ビット設定値	FlashIFのクロック周波数 [MHz]	PCKA[4:0] ビット設定値	FlashIFのクロック周波数 [MHz]	PCKA[4:0] ビット設定値
32	11111b	31	11110b	30	11101b
29	11100b	28	11011b	27	11010b
26	11001b	25	11000b	24	10111b
23	10110b	22	10101b	21	10100b
20	10011b	19	10010b	18	10001b
17	10000b	16	01111b	15	01110b
14	01101b	13	01100b	12	01011b
11	01010b	10	01001b	9	01000b
8	00111b	7	00110b	6	00101b
5	00100b	4	00011b	3	00010b
2	00001b	1	00000b	—	—

SAS[1:0] ビット (スタートアップ領域選択ビット)

スタートアップ領域を選択します。スタートアップ領域を変更するには、以下の3種類の方法があります。

① エクストラ領域のスタートアップ領域設定に従いスタートアップ領域を選択する場合

SAS[1:0] ビットが“00b”または“01b”の場合、エクストラ領域のスタートアップ領域設定に従ってスタートアップ領域が選択されます。スタートアップ領域情報プログラムコマンドを使用して、スタートアップ領域を変更してください。

② 一時的にスタートアップ領域をデフォルト領域に切り替える場合

SAS[1:0] ビットを“10b”にすると、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域をデフォルト領域に変更できます。

③ 一時的にスタートアップ領域を代替領域に切り替える場合

SAS[1:0] ビットを“11b”にすると、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域を代替領域に変更できます。

36.4.7 フラッシュリセットレジスタ (FRESETR)

アドレス 007F C124h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FRESE T
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRESET	フラッシュリセットビット	0: フラッシュ制御回路のリセットを解除する 1: フラッシュ制御回路をリセットする	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FRESET ビット (フラッシュリセットビット)

このビットを“1”にすると、FASR, FSARH, FSARL, FEARH, FEARL, FWB0, FWB1, FWB2, FWB3, FCR, FEXCR レジスタがリセットされます。また、FEAMH, FEAML レジスタの値が不定になります。リセット中はこれらのレジスタにアクセスしないでください。リセットを解除するときは、このビットを“0”にしてください。

なお、ソフトウェアコマンド実行中やエクストラ領域書き換え中は、本レジスタへ書き込まないでください。

36.4.8 フラッシュ領域選択レジスタ (FASR)

アドレス 007F C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EXS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXS	エクストラ領域選択ビット	0: ユーザ領域、データ領域 1: エクストラ領域	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FASR レジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

FASR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されま

す。FRESETR.FRESET ビットが“1”の間中は書き込みできません。

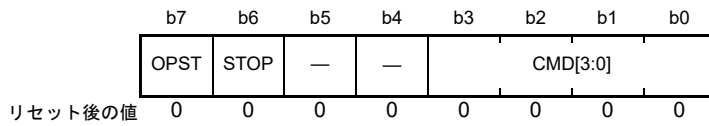
EXS ビット (エクストラ領域選択ビット)

エクストラ領域に対するソフトウェアコマンド (スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム) を発行する前に“1”にします。また、ユーザ領域に対するソフトウェアコマンド (プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ) を発行する前に“0”にします。

ソフトウェアコマンド発行後は、次のソフトウェアコマンドの発行まで値を変更しないでください。

36.4.9 フラッシュ制御レジスタ (FCR)

アドレス 007F C114h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CMD[3:0]	ソフトウェアコマンド設定ビット	b3 b0 0 0 0 1 : プログラム 0 0 1 1 : ブランクチェック 0 1 0 0 : ブロックイレーズ 0 1 1 0 : 全ブロックイレーズ 上記以外は設定しないでください(注1)	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	STOP	強制処理停止ビット	“1”にすると、実行中の処理を強制的に停止させることができます	R/W
b7	OPST	処理開始ビット	0 : 処理停止 1 : 処理開始	R/W

注1. FSTATR1.FRDRYフラグが“1”のとき、FCRレジスタを“00h”にする場合を除きます。

FCR レジスタは、ROM P/E モードでかつ ROM がプログラム/イレーズ可能時、または E2 データフラッシュ P/E モード時に書き込みができます。

FCR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

FRESETR.FRESET ビットが“1”の間中は書き込みできません。

ただし、ソフトウェアコマンド実行中は FRESETR.FRESET ビットによる初期化はできません。

CMD[3:0] ビット (ソフトウェアコマンド設定ビット)

ソフトウェアコマンド(プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ)を設定します。それぞれのコマンドの機能を以下に示します。

[プログラム]

- FSARH/FSARL レジスタに設定したアドレスに、FWB0/FWB1/FWB2/FWB3 レジスタに設定した値を書き込みます。

[ブランクチェック]

- FSARH/FSARL レジスタに設定したアドレスから、FEARH/FEARL レジスタに設定したアドレスまでのブランクチェックを行います。書き込みが行われていないことを確認します。消去状態の保持を保証するものではありません。

[ブロックイレーズ]

- フラッシュメモリ内の指定した任意の連続した領域をブロック単位で消去します。消去したいブロックの先頭アドレスと最終アドレスを、それぞれ FSARH/FSARL レジスタと FEARH/FEARL レジスタに設定してください。それ以外の値を設定した場合、消去が正しく行えない場合があります。

[全ブロックイレーズ]

- ROM、または E2 データフラッシュを一括で消去します。全ブロックイレーズは、ブロックイレーズに比べてより短時間でメモリを消去できます。ROM を一括消去する場合は、ROM の先頭アドレスを FSARH/FSARL レジスタに、ROM の最終アドレスを FEARH/FEARL レジスタに設定してください。表 36.4 に全ブロックイレーズ時のアドレス設定値

を示します。

表36.4 全ブロックイレーズ時のアドレス設定値

対象	容量	FSARH/FSARL	FEARH/FEARL
ROM	512K バイト	FC180000h	FC1FFFFFFh
	384K バイト	FC1A0000h	FC1FFFFFFh
	256K バイト	FC1C0000h	FC1FFFFFFh
	128K バイト	FC1E0000h	FC1FFFFFFh
E2 データフラッシュ	8K バイト	FE000000h	FE001FFFh

STOP ビット (強制処理停止ビット)

実行中の処理 (ブランクチェック、ブロックイレーズ、全ブロックイレーズ) を強制的に停止させるときに使用します。

このビットを“1”にした後は、FSTATR1.FRDY フラグが“1” (処理完了) になるのを待ってから OPST ビットを“0”にしてください。

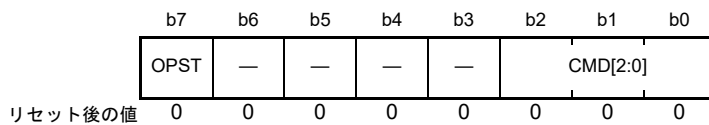
OPST ビット (処理開始ビット)

CMD[2:0] ビットに設定したコマンドを実行するために使用します。

処理が完了しても“0”には戻りません。FSTATR1.FRDY フラグが“1” (処理完了) になったのを確認してから“0”に戻してください。また、その後 FSTATR1.FRDY フラグが“0”になったのを確認してから次の処理を実施してください。

36.4.10 フラッシュエクストラ領域制御レジスタ (FEXCR)

アドレス 007F C1DCh



ビット	シンボル	ビット名	機能	R/W
b2-b0	CMD[2:0]	ソフトウェアコマンド設定ビット	b2 b0 0 0 1 : スタートアップ領域情報プログラム 0 1 0 : アクセスウィンドウ情報プログラム 上記以外は設定しないでください(注1)	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OPST	処理開始ビット	0 : 処理停止 1 : 処理開始	R/W

注1. FSTATR1.EXRDYビットが“1”のとき、FEXCRレジスタを“00h”にする場合を除きます。

FEXCR レジスタは、ROM P/E モードでかつ ROM がプログラム / イレーズ可能時に書き込みができます。

FEXCR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されません。FRESETR.FRESET ビットが“1”の間中は書き込みできません。

ただし、ソフトウェアコマンド実行中は FRESETR.FRESET ビットによる初期化はできません。

CMD[2:0] ビット (ソフトウェアコマンド設定ビット)

ソフトウェアコマンド (スタートアップ領域情報プログラム、またはアクセスウィンドウ情報プログラム) を設定します。

各コマンドの詳細を以下に示します。

[スタートアップ領域情報プログラム]

スタートアッププログラム保護機能で使用するスタートアップ領域切り替えに使用します。

- スタートアップ領域をデフォルト領域に設定する場合
FWB0, FWB1, FWB2, FWB3 レジスタに“FFFFh”を設定してこのコマンドを実行します。
- スタートアップ領域を代替領域に設定する場合
FWB0 レジスタに“FEFFh”を、FWB1 レジスタに“FFFFh”を、FWB2, FWB3 レジスタに“FFFFh”を設定してこのコマンドを実行します。

なお、FWB0, FWB1, FWB2, FWB3 レジスタに上記以外の設定をした場合、スタートアップ領域情報プログラムを実行しないでください。

[アクセスウィンドウ情報プログラム]

エリアプロテクションで使用するアクセスウィンドウを設定するために使用します。

アクセスウィンドウはブロック単位で設定します。

FWB0 レジスタにアクセスウィンドウの先頭アドレス (アクセスウィンドウ開始アドレス) を、FWB1 レジスタにアクセスウィンドウの最終アドレスの次のアドレス (アクセスウィンドウ終了アドレス) を指定してこのコマンドを発行します。各レジスタにはプログラム / イレーズ用アドレスの b21-b10 を設定してください。

なお、開始アドレスと終了アドレスに同じ値を指定した場合、全領域がアクセス可能になります。また、開始アドレスに終了アドレスより大きい値を指定しないでください。

OPST ビット (処理開始ビット)

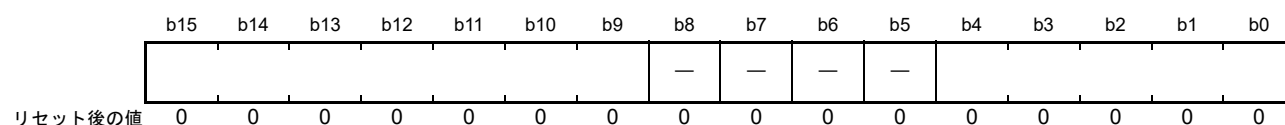
CMD[2:0] ビットに設定したコマンドを実行するために使用します。

処理が完了しても“0”には戻りません。FSTATR1.EXRDY フラグが“1” (処理完了) になったのを確認してから“0”に戻してください。また、その後 FSTATR1.EXRDY フラグが“0”になったのを確認してから次の処理を実施してください。

OPST ビットに“1”を書き込むことで、エクストラ領域への書き込みが開始されます。ソフトウェアコマンド実行中は、CMD[2:0] ビットへの書き込みは禁止です。

36.4.11 フラッシュ処理開始アドレスレジスタ H (FSARH)

アドレス 007F C110h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象アドレス、または、フラッシュメモリの処理対象範囲の先頭アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b31-b25、b20-b16 を設定します。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

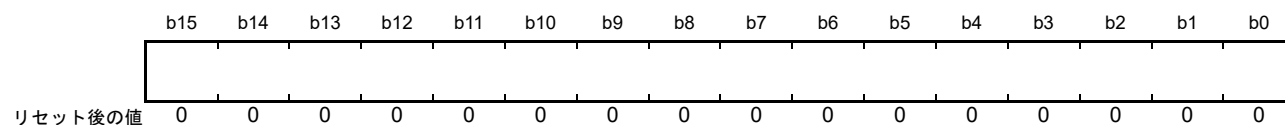
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みできません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 36.1、図 36.2 を参照してください。

36.4.12 フラッシュ処理開始アドレスレジスタ L (FSARL)

アドレス 007F C108h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象アドレス、または、フラッシュメモリの処理対象範囲の先頭アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。

なお、ROM 領域を設定する場合、b2-b0 には“000b”を設定してください。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みできません。

このレジスタはプログラムコマンド実行後、コードフラッシュ領域を指定した場合、+8h、データフラッシュ領域を指定した場合、+1h インクリメントされます。そのため、連続してプログラムコマンドを実行す

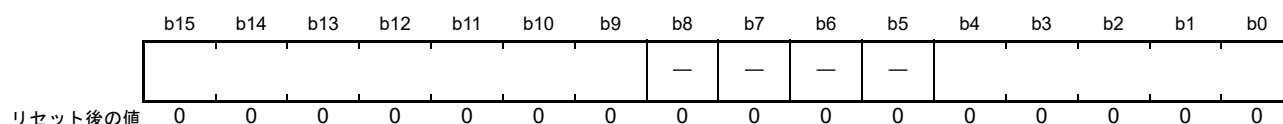
る場合、このレジスタへの書き込み対象アドレスの設定は不要になります。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 36.1、図 36.2 を参照してください。

36.4.13 フラッシュ処理終了アドレスレジスタ H (FEARH)

アドレス 007F C120h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象範囲の最終アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b31-b25、b20-b16 を設定します。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

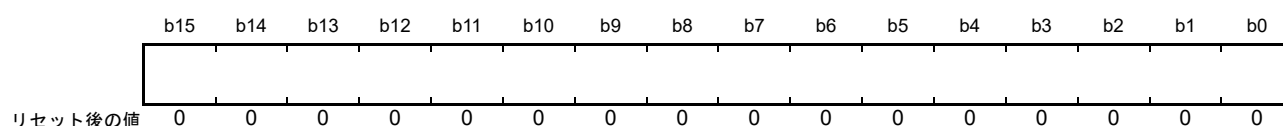
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みできません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 36.1、図 36.2 を参照してください。

36.4.14 フラッシュ処理終了アドレスレジスタ L (FEARL)

アドレス 007F C118h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象範囲の最終アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。

なお、ROM 領域を設定する場合、b2-b0 には“000b”を設定してください。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

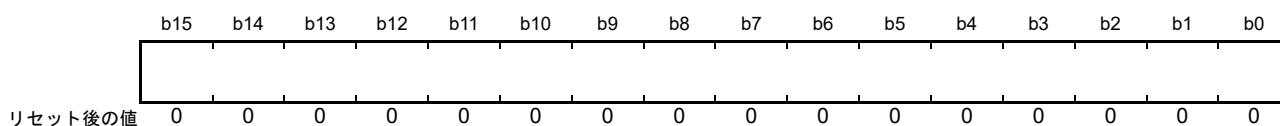
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みできません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 36.1、図 36.2 を参照してください。

36.4.15 フラッシュライトバッファ n レジスタ (FWBn) (n = 0 ~ 3)

アドレス FWB0 007F C130h, FWB1 007F C138h, FWB2 007F C140h, FWB3 007F C144h



FWBn レジスタは、ROM、E2 データフラッシュ、またはエクストラ領域にプログラムするデータを設定するレジスタです。ROM P/E モード、または E2 データフラッシュ P/E モード時に書き込みができます。

FWBn レジスタは、リセットもしくは FRESETR.FRESETR ビットを“1”にすることによって初期化されます。FRESETR.FRESETR ビットが“1”の間中は書き込みません。

また、FCR レジスタによるソフトウェアコマンド実行中、または FEXCR レジスタによるソフトウェアコマンド実行中に FWBn レジスタを読み出した場合、その値は不定です。

エクストラ領域にプログラムする場合、プログラムする 4 バイトのデータは FWB0 レジスタと FWB1 レジスタに設定してください。

E2 データフラッシュにプログラムする場合、プログラムするデータは FWB0 レジスタの下位 8 ビットに設定してください。

ROM にプログラムする場合、プログラムする 8 バイトのデータは FWB0 レジスタから FWB3 レジスタに設定してください。図 36.3 に FSARH/FSARL レジスタが示すアドレスと FWBn レジスタに設定されたデータの関係を示します。

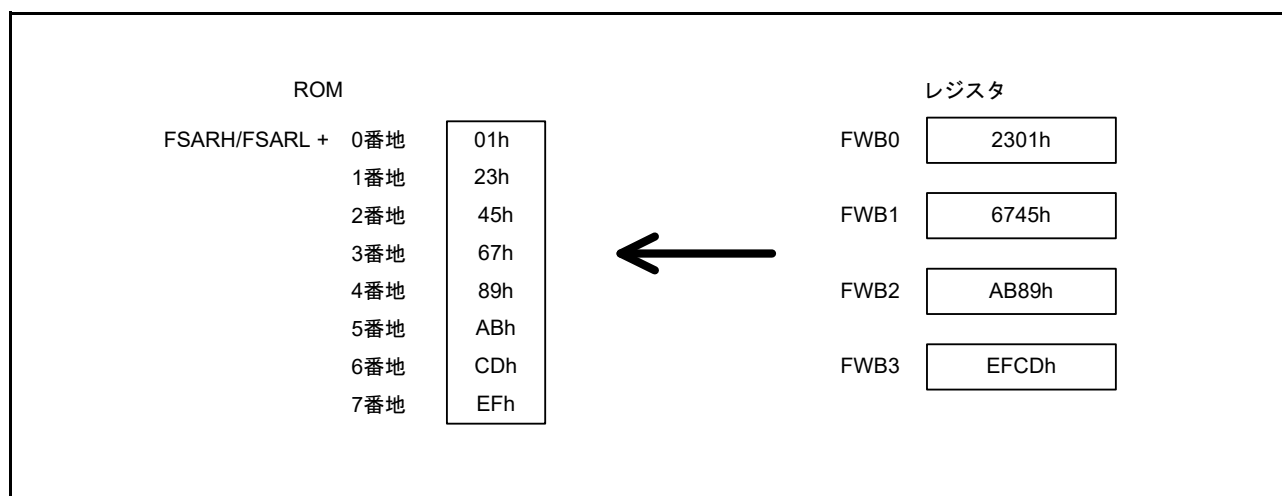


図 36.3 FWBn レジスタ設定値と ROM 上のデータ配置

36.4.16 フラッシュステータスレジスタ 0 (FSTATR0)

アドレス 007F C1F0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	EILGLERR	ILGLERR	BCERR	—	PRGERR	ERERR
リセット後の値	x	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ERERR	イレーズエラーフラグ	0: イレーズは正常終了 1: イレーズ中にエラー発生	R
b1	PRGERR	プログラムエラーフラグ	0: プログラムは正常終了 1: プログラム中にエラー発生	R
b2	—	予約ビット	読んだ場合、その値は不定	R
b3	BCERR	ブランクチェックエラーフラグ	0: ブランクチェックは正常終了 1: ブランクチェック中にエラー発生	R
b4	ILGLERR	イリーガルコマンドエラーフラグ	0: 不正なソフトウェアコマンドや、不正なアクセスを検出していない 1: 不正なソフトウェアコマンドや、不正なアクセスを検出	R
b5	EILGLERR	エクストラ領域イリーガルコマンドエラーフラグ	0: エクストラ領域に対し、不正なコマンドや、不正なアクセスを検出していない 1: エクストラ領域に対し、不正なコマンドや、不正なアクセスを検出	R
b7-b6	—	予約ビット	読んだ場合、その値は不定	R

ソフトウェアコマンドの実行結果を確認するためのステータスレジスタです。各エラーフラグは、次のソフトウェアコマンドを実行すると“0”になります。

ERERR フラグ (イレーズエラーフラグ)

ROM/E2 データフラッシュに対するイレーズ処理の結果を示すフラグです。

["1"]になる条件]

- イレーズ中にエラーが発生した

["0"]になる条件]

- 次のソフトウェアコマンドを実行した
イレーズ中に FCR.STOP ビットを“1”(強制処理停止)にするとフラグの値は不定になります。

PRGERR フラグ (プログラムエラーフラグ)

ROM/E2 データフラッシュに対するプログラム処理の結果を示すフラグです。

["1"]になる条件]

- プログラム中にエラーが発生した

["0"]になる条件]

- 次のソフトウェアコマンドを実行した

BCERR フラグ (ブランクチェックエラーフラグ)

ROM/E2 データフラッシュに対するブランクチェック処理の結果を示すフラグです。

["1"]になる条件]

- ブランクチェック中にエラーが発生した

["0"になる条件]

- 次のソフトウェアコマンドを実行した
ブランクチェック中に FCR.STOP ビットを "1" (強制処理停止) にするとフラグの値は不定になります。

ILGLERR フラグ (イリーガルコマンドエラーフラグ)

ソフトウェアコマンドの実行結果を示すフラグです。

["1"になる条件]

- アクセスウィンドウの範囲外の領域に対して、プログラム/イレーズを実行した
- FSARH/FSARL レジスタの設定値が FEARH/FEARL レジスタの設定値より大きいときに、ブランクチェック、ブロックイレーズのいずれかのコマンドを実行した
- FASR.EXS ビットが "1" のときに、プログラムコマンド、ブロックイレーズコマンドを実行した
- アクセスウィンドウを設定した状態で全ブロックイレーズを実行した
- FSARH/FSARL レジスタ、FEARH/FEARL レジスタの設定を正しく行わずに全ブロックイレーズコマンドを実行した
- ROM が P/E モードのときに FSARH/FSARL レジスタに E2 データフラッシュのアドレスを設定して、ソフトウェアコマンドを実行した
- E2 データフラッシュが P/E モードのときに FSARH/FSARL レジスタに ROM のアドレスを設定して、ソフトウェアコマンドを実行した
- ROM/E2 データフラッシュとも P/E モードに設定して、ソフトウェアコマンドを実行した

["0"になる条件]

- 次のソフトウェアコマンドを実行した

EILGLERR フラグ (エクストラ領域イリーガルコマンドエラーフラグ)

エクストラ領域に対するソフトウェアコマンドの実行結果を示すフラグです。

["1"になる条件]

- FASR.EXS ビットが "0" のときに、エクストラ領域に対するソフトウェアコマンドを実行した

["0"になる条件]

- 次のソフトウェアコマンドを実行した

36.4.17 フラッシュステータスレジスタ 1 (FSTATR1)

アドレス 007F C12Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	EXRDY	FRDY	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます	R
b2	—	予約ビット	読むと“1”が読めます	R
b5-b3	—	予約ビット	読むと“0”が読めます	R
b6	FRDY	フラッシュレディフラグ	0: 下記以外 1: FCRレジスタに“00h”を書き込むこと(ソフトウェアコマンド終了処理)が可能	R
b7	EXRDY	エクストラ領域レディフラグ	0: 下記以外 1: FEXCRレジスタに“00h”を書き込むこと(ソフトウェアコマンド終了処理)が可能	R

ソフトウェアコマンドの実行結果を確認するためのステータスレジスタです。各フラグは、次のソフトウェアコマンドを実行すると“0”になります。

FRDY フラグ (フラッシュレディフラグ)

ソフトウェアコマンドの実行状態を確認するためのフラグです。

実行したソフトウェアコマンドの処理が完了するか、または強制停止処理が完了すると“1”になり、FCR.OPST ビットを“0”にすると、“0”になります。

また、FRDY フラグが“1”になると割り込み (FRDYI) が発生します。

EXRDY フラグ (エクストラ領域レディフラグ)

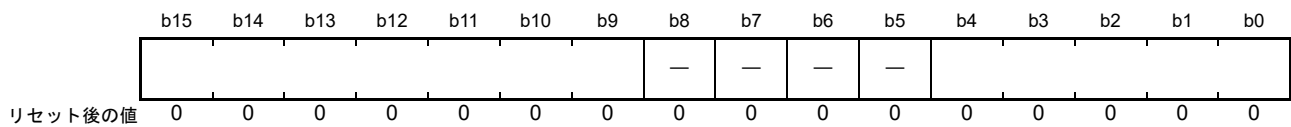
エクストラ領域に対するソフトウェアコマンドの実行状態を確認するためのフラグです。

実行したソフトウェアコマンドの処理が完了すると“1”になり、FEXCR.OPST ビットを“0”にすると、“0”になります。

また、EXRDY フラグが“1”になると割り込み (FRDYI) が発生します。

36.4.18 フラッシュエラーアドレスモニタレジスタ H (FEAMH)

アドレス 007F C1E8h



ソフトウェアコマンドの処理中にエラーが発生した場合、フラッシュメモリのエラー発生アドレスを確認するためのレジスタです。エラーが発生したアドレスの b31-b25、b20-b16 (プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b31-b25、b20-b16 (ブロックイレーズコマンド、全ブロックイレーズコマンド) が格納されます。

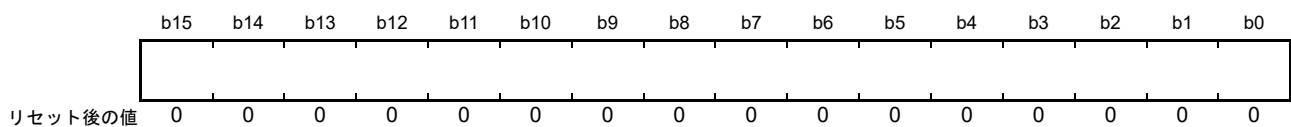
なお、FRESETR.FRESET ビットを“1”にすると不定になりますので、エラー処理を行う際はリセット前に値を読み出しておいてください。

ソフトウェアコマンドが正常に終了した場合は、コマンド実行時の最終アドレスの b31-b25、b20-b16 が格納されます。

フラッシュメモリのアドレスは、図 36.1、図 36.2 を参照してください。

36.4.19 フラッシュエラーアドレスモニタレジスタ L (FEAML)

アドレス 007F C1E0h



ソフトウェアコマンドの処理中にエラーが発生した場合、フラッシュメモリのエラー発生アドレスを確認するためのレジスタです。エラーが発生したアドレスの b15-b0 (プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b15-b0 (ブロックイレーズコマンド、全ブロックイレーズコマンド) が格納されます。

なお、FRESETR.FRESET ビットを“1”にすると不定になりますので、エラー処理を行う際はリセット前に値を読み出しておいてください。

ソフトウェアコマンドが正常に終了した場合は、コマンド実行時の最終アドレスの b15-b0 が格納されます。

なお、ROM に対するソフトウェアコマンドを実行した場合下位 2 ビットは“00b”になります。

フラッシュメモリのアドレスは、図 36.1、図 36.2 を参照してください。

36.4.20 フラッシュスタートアップ設定モニタレジスタ (FSCMR)

アドレス 007F C1C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SASMF	—	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	0	1	1	ユーザ の設定 値 (注1)	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます	R
b8	SASMF	スタートアップ領域設定モニタフラグ	0: 代替領域から起動する設定になっています 1: デフォルト領域から起動する設定になっています	R
b10-b9	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b11	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b14-b12	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b15	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. ブランク品は“1”です。スタートアップ領域情報プログラムコマンドを実行した後は、FWB1レジスタのb8に設定した値と同じ値になります。

SASMF フラグ (スタートアップ領域設定モニタフラグ)

スタートアップ領域の設定内容を確認するためのフラグです。

“0”の場合、ユーザプログラムは代替領域から起動する設定になっています。

“1”の場合、ユーザプログラムはデフォルト領域から起動する設定になっています。

36.4.21 フラッシュアクセスウィンドウ開始アドレスモニタレジスタ (FAWSMR)

アドレス 007F C1C8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—												
リセット後の値	0	0	0	0												

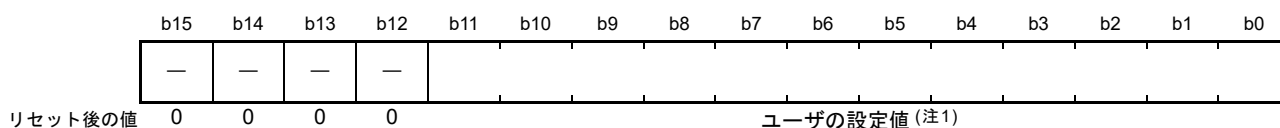
ユーザの設定値 (注1)

注1. ブランク品は“1”です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWB0レジスタのb11-b0に設定した値と同じ値になります。

エリアプロテクションに使用するアクセスウィンドウの開始アドレス設定値を確認するためのレジスタです。

36.4.22 フラッシュアクセスウィンドウ終了アドレスモニタレジスタ (FAWEMR)

アドレス 007F C1D0h

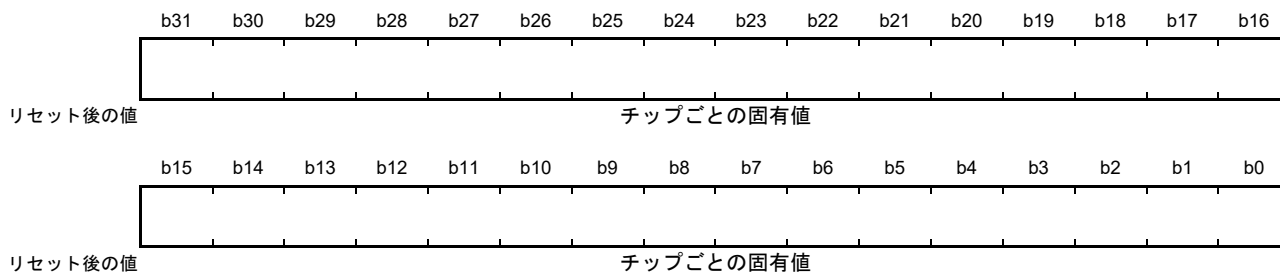


注1. ブランク品は“1”です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWB1レジスタのb11-b0に設定した値と同じ値になります。

エリアプロテクションに使用するアクセスウィンドウの終了アドレス設定値を確認するためのレジスタです。

36.4.23 ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)

アドレス UIDR0 007F C350h, UIDR1 007F C354h, UIDR2 007F C358h, UIDR3 007F C35Ch



UIDRn レジスタは、MCU の個体を識別するために用意された 16 バイト長の ID コード (ユニーク ID) を格納しているレジスタです。

ユニーク ID はフラッシュメモリのエクストラ領域に格納されており、ユーザが書き換えることはできません。

36.4.24 ROM キャッシュ許可レジスタ (ROMCE)

アドレス 0008 1000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ROMCEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ROMCEN	ROMキャッシュ動作許可ビット	0 : ROMキャッシュ動作禁止 1 : ROMキャッシュ動作許可	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

ROMCEN ビット (ROM キャッシュ動作許可ビット)

ROMCEN ビットを“1”にすると ROM キャッシュが動作します。ROM キャッシュが動作しているときは、キャッシュにヒットした場合に ROM キャッシュからデータが供給されます。

ROM を書き換える場合は、事前に ROMCEN ビットを“0”にしてください。また、ROM を書き換えた後は、ROMCIV.ROMCIV ビットに“1”を書いてキャッシュラインの無効化を実行してください。

ROMCEN ビットを“1”にする場合、以下の手順に従って実施してください。

- (1) ROMCIV.ROMCIV ビットに“1”を書く
- (2) ROMCIV.ROMCIV ビットが“0”になるのを待つ
- (3) ROMCE.ROMCEN ビットを“1”にする
- (4) ROMCE.ROMCEN ビットが“1”になったことを確認する

36.4.25 ROM キャッシュ無効化レジスタ (ROMCIV)

アドレス 0008 1004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ROMCIV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ROMCIV	ROMキャッシュ無効化ビット	読み出し時 0 : 無効化未実施/無効化完了 1 : 無効化実施中 書き込み時 “1”を書くときキャッシュラインの無効化を実施します。“0”を書いても何も起こりません	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

ROMCIV ビット (ROM キャッシュ無効化ビット)

ROMCIV ビットに“1”を書くと ROM キャッシュの内容を無効化 (インバリデート) します。

ROMCIV ビットは ROMCE.ROMCEN ビットが“0”のときに“1”にしてください。

36.5 スタートアッププログラム保護機能

セルフプログラミングでスタートアッププログラム(注1)の書き換えを行うとき、電源の瞬断などで書き換えが中断すると、スタートアッププログラムが正しく書き込まれず、ユーザプログラムを正しく起動できなくなる可能性があります。

この機能を使用することで、スタートアッププログラムを消去せずに書き換えることができようになり、上記のような問題が回避できます。なお、この機能はROM容量が32Kバイト以上の製品で有効です。

図36.4にスタートアッププログラム保護機能の概念を示します。ここでは説明のため、ブロック0～7をデフォルト領域、ブロック8～15を代替領域と呼びます。

注1. ユーザプログラムを起動するための処理を行うプログラム。固定ベクタテーブルも含まれる。

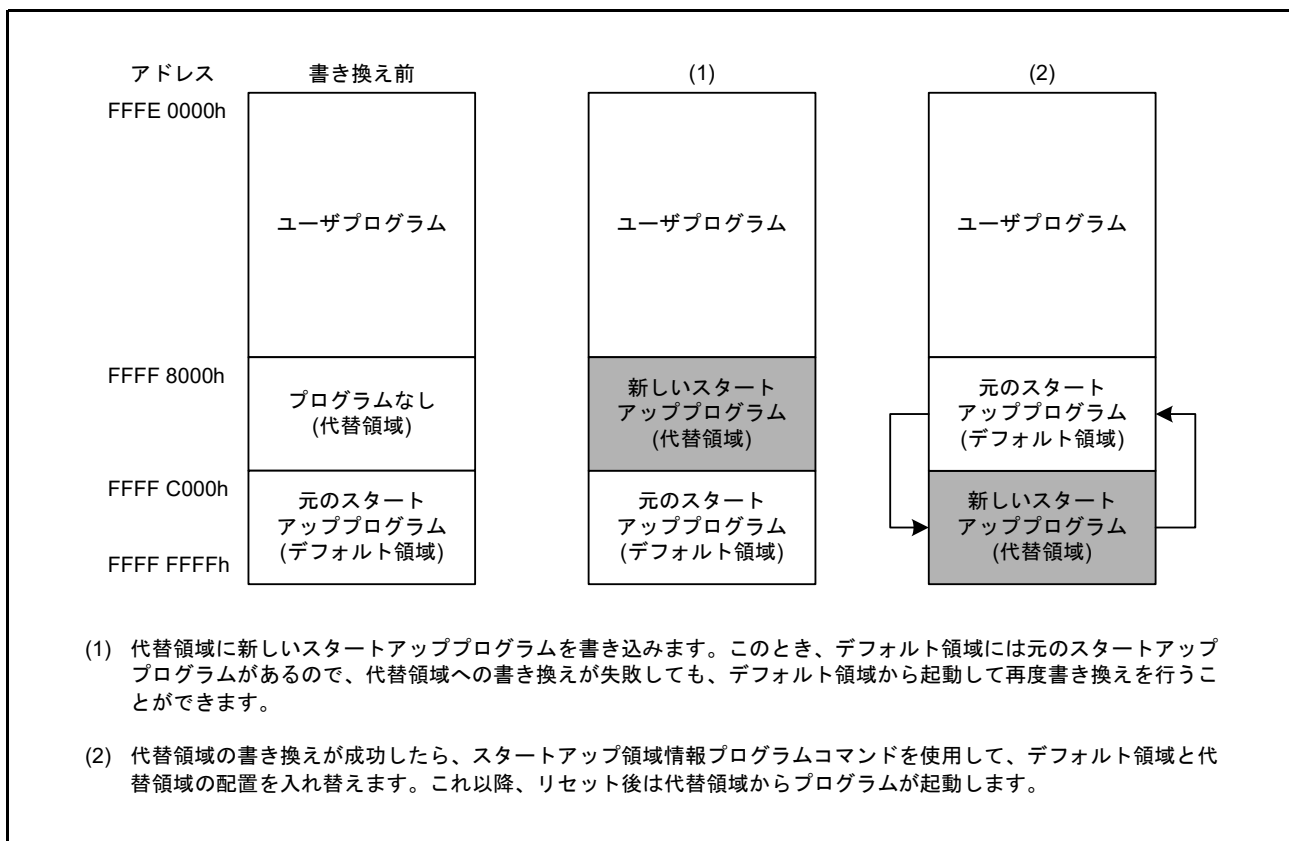


図 36.4 スタートアッププログラム保護機能の概念

36.6 エリアプロテクション

セルフプログラミング時に、ユーザ領域の指定された範囲(アクセスウィンドウ)のみ書き換えを許可し、それ以外は書き換えを禁止する機能です。データ領域にアクセスウィンドウを設定することはできません。

アクセスウィンドウの範囲設定は、開始アドレスと終了アドレスを指定して行います。アクセスウィンドウの範囲は、ブートモードおよびセルフプログラミングのいずれでも設定できますが、エリアプロテクションが有効になるのはシングルチップモードでセルフプログラミングを行うときだけです。

図 36.5 にエリアプロテクションの概念を示します。

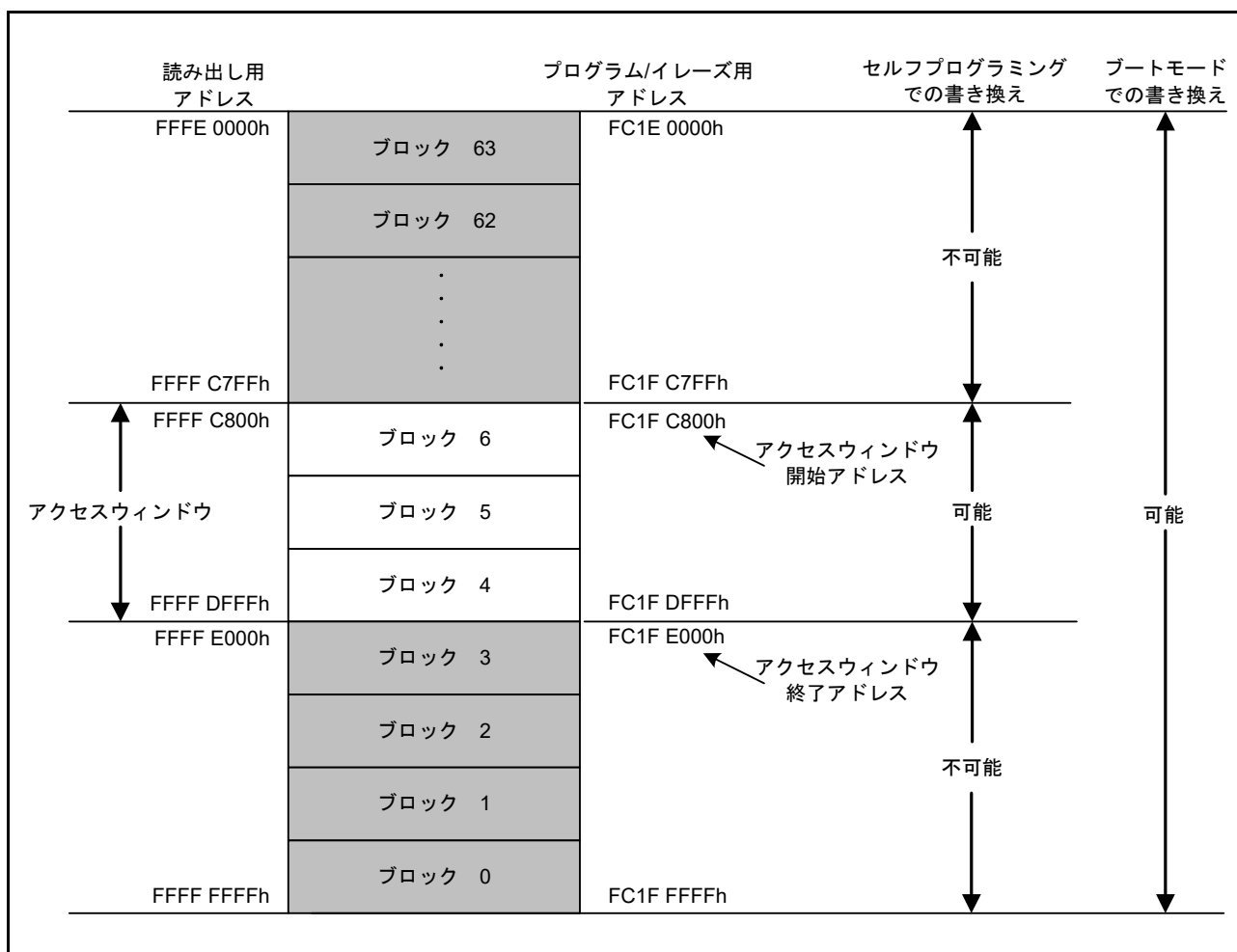


図 36.5 エリアプロテクションの概念 (ROM 容量が 128K バイトの製品で、ブロック 4 からブロック 6 をアクセスウィンドウに設定した場合)

36.7 プログラム/イレーズ

ROM や E2 データフラッシュへのプログラム/イレーズは、プログラム/イレーズ用の専用シーケンサのモードへ移行して、プログラム/イレーズ用のコマンドを発行することで行います。

ROM や E2 データフラッシュへのプログラム/イレーズに必要なモード移行とコマンドについて以下に説明します。これらはブートモード/シングルチップモードで共通です

36.7.1 シーケンサのモード

シーケンサには、4 種類のモードがあります。モードの移行は、DFLCTL レジスタ、FENTRYR レジスタへの書き込み、および FPMCR レジスタの設定で行います。図 36.6 にフラッシュメモリのモード遷移図を示します。

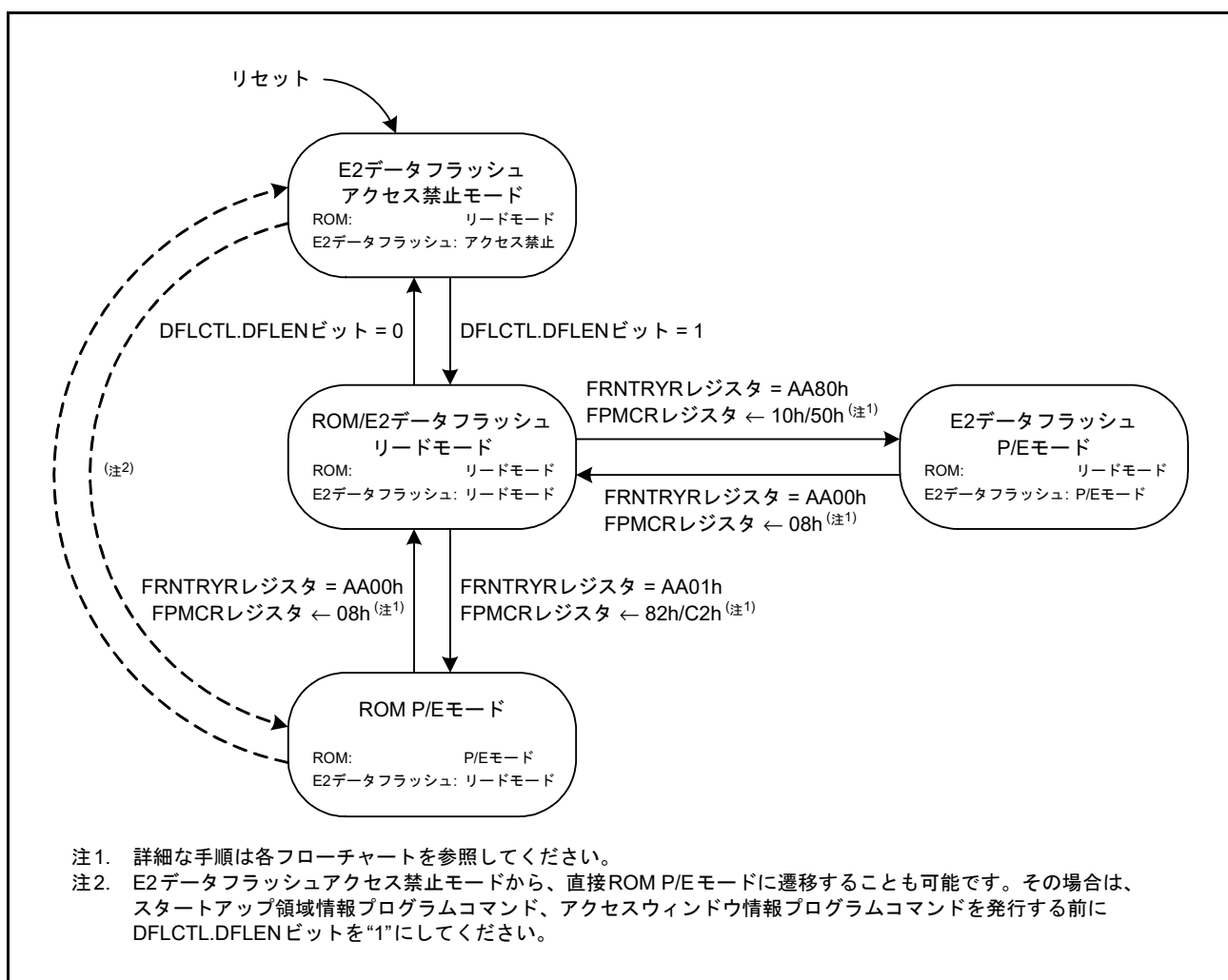


図 36.6 フラッシュメモリのモード遷移図

36.7.1.1 E2 データフラッシュアクセス禁止モード

E2 データフラッシュアクセス禁止モードは、E2 データフラッシュのアクセスが禁止されているモードです。リセット直後はこのモードに遷移します。

DFLCTL.DFLEN ビットを“1”にすると、E2 データフラッシュはリードモードに遷移します。

36.7.1.2 リードモード

リードモードは、ROMまたはE2データフラッシュの高速読み出しを行うためのモードです。読み出し用アドレスに対してリードアクセスを実行した場合、HCLKクロックの高速読み出しが可能です。

(1) ROM/E2データフラッシュリードモード

ROM、E2データフラッシュともにリードモードになっているモードを、ROM/E2データフラッシュリードモードと言います。P/Eモードからは、FPMCRレジスタを“08h”、FENTRYR.FENTRYDビットを“0”、FENTRYR.FENTRY0ビットを“0”にした場合にこのモードに遷移します。

36.7.1.3 P/Eモード

P/Eモードは、ROMまたはE2データフラッシュのプログラム/イレーズを行うモードです。

(1) ROM P/Eモード

ROMがP/Eモード、E2データフラッシュがリードモードになっているモードを、ROM P/Eモードと言います。FENTRYR.FENTRYDビットを“0”、FENTRYR.FENTRY0ビットを“1”、FPMCRレジスタを“82h”または“C2h”にした場合にこのモードに遷移します。

(2) E2データフラッシュ P/Eモード

ROMがリードモード、E2データフラッシュがP/Eモードになっているモードを、E2データフラッシュ P/Eモードと言います。FENTRYR.FENTRYDビットを“1”、FENTRYR.FENTRY0ビットを“0”、FPMCRレジスタを“10h”または“50h”にした場合にこのモードに遷移します。

36.7.2 モード遷移

36.7.2.1 E2データフラッシュアクセス禁止モードからリードモードへの遷移

E2データフラッシュをリードするためには、E2データフラッシュアクセス禁止モードから、ROM/E2データフラッシュリードモードに遷移させる必要があります。

ROM/E2データフラッシュリードモードに遷移させるためには、DFLCTL.DFLENビットを“1”にします。

図 36.7 に E2データフラッシュアクセス禁止モードから ROM/E2データフラッシュリードモードへの遷移フローを示します。

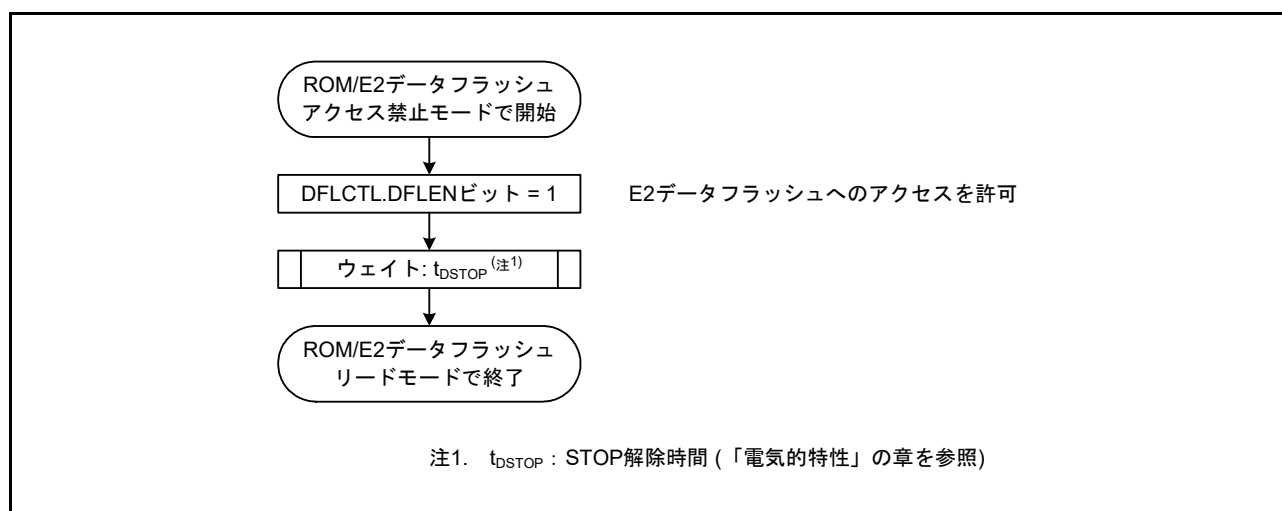


図 36.7 E2データフラッシュアクセス禁止モードからROM/E2データフラッシュリードモードへの遷移フロー

36.7.2.2 リードモードから P/E モードへの遷移

ROM 関連のソフトウェアコマンドを実行するためには、ROM P/E モードに遷移させる必要があります。

図 36.8 に ROM/E2 データフラッシュリードモードから ROM P/E モードへの遷移フローを、図 36.9 に ROM/E2 データフラッシュリードモードから E2 データフラッシュ P/E モードへの遷移フローを示します。

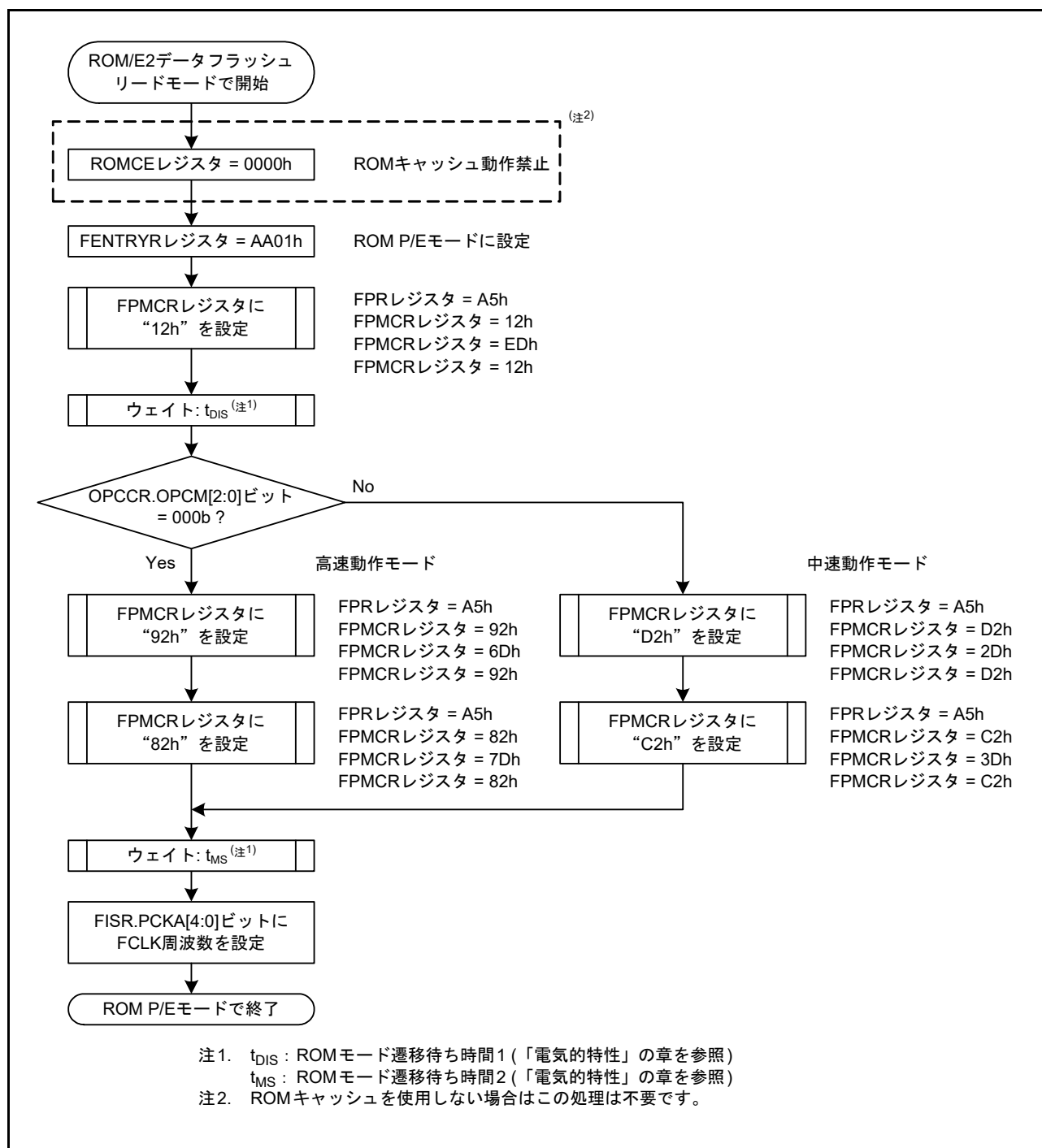


図 36.8 ROM/E2 データフラッシュリードモードから ROM P/E モードへの遷移フロー

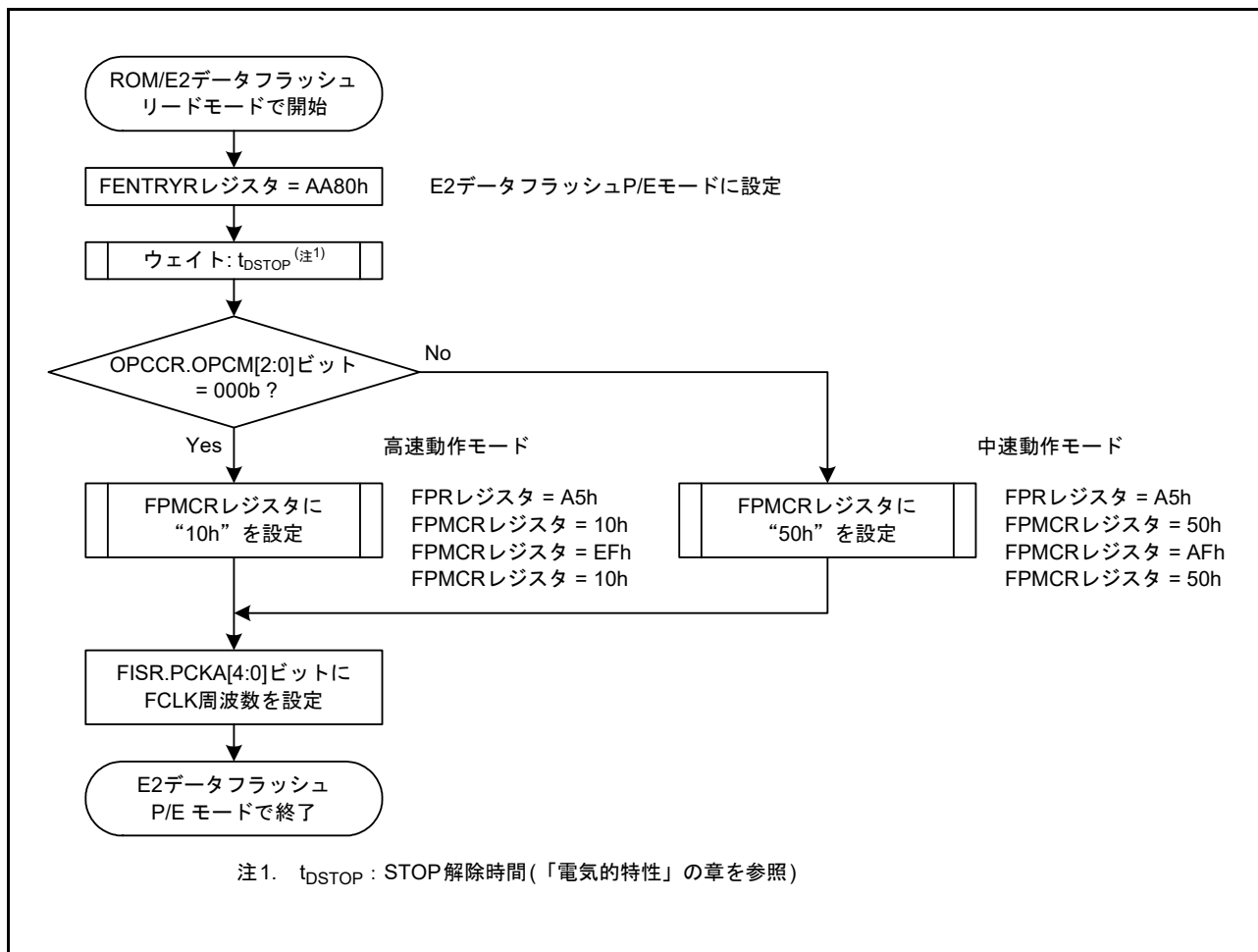


図 36.9 ROM/E2 データフラッシュリードモードから E2 データフラッシュ P/E モードへの遷移フロー

36.7.2.3 P/E モードからリードモードへの遷移

ROM の高速読み出しを行うためには、ROM/E2 データフラッシュリードモードに遷移させる必要があります。

図 36.10 に ROM P/E モードから ROM/E2 データフラッシュリードモードへの遷移フローを、図 36.11 に E2 データフラッシュ P/E モードから ROM/E2 データフラッシュリードモードへの遷移フローを示します。

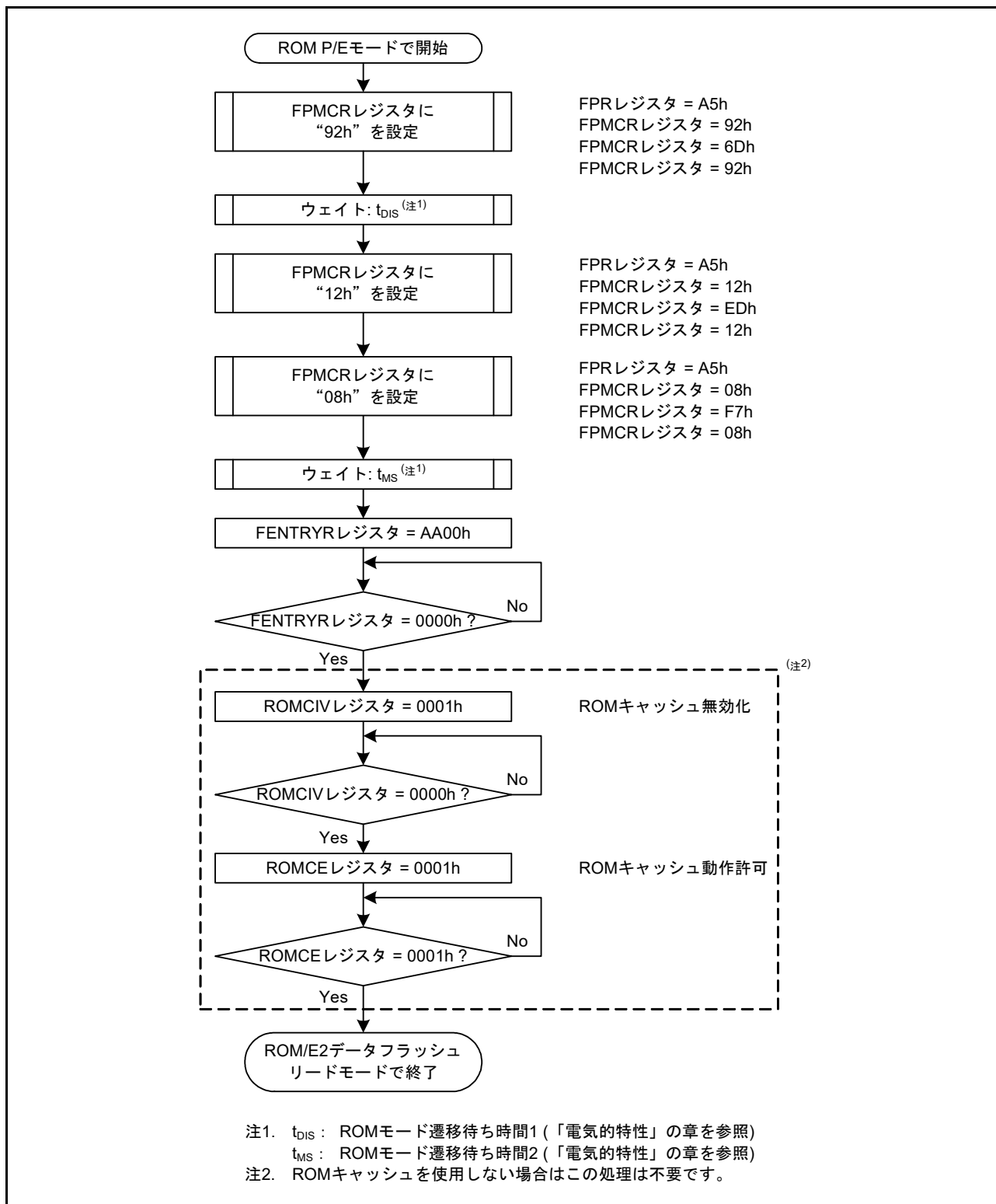


図 36.10 ROM P/E モードから ROM/E2 データフラッシュリードモードへの遷移フロー

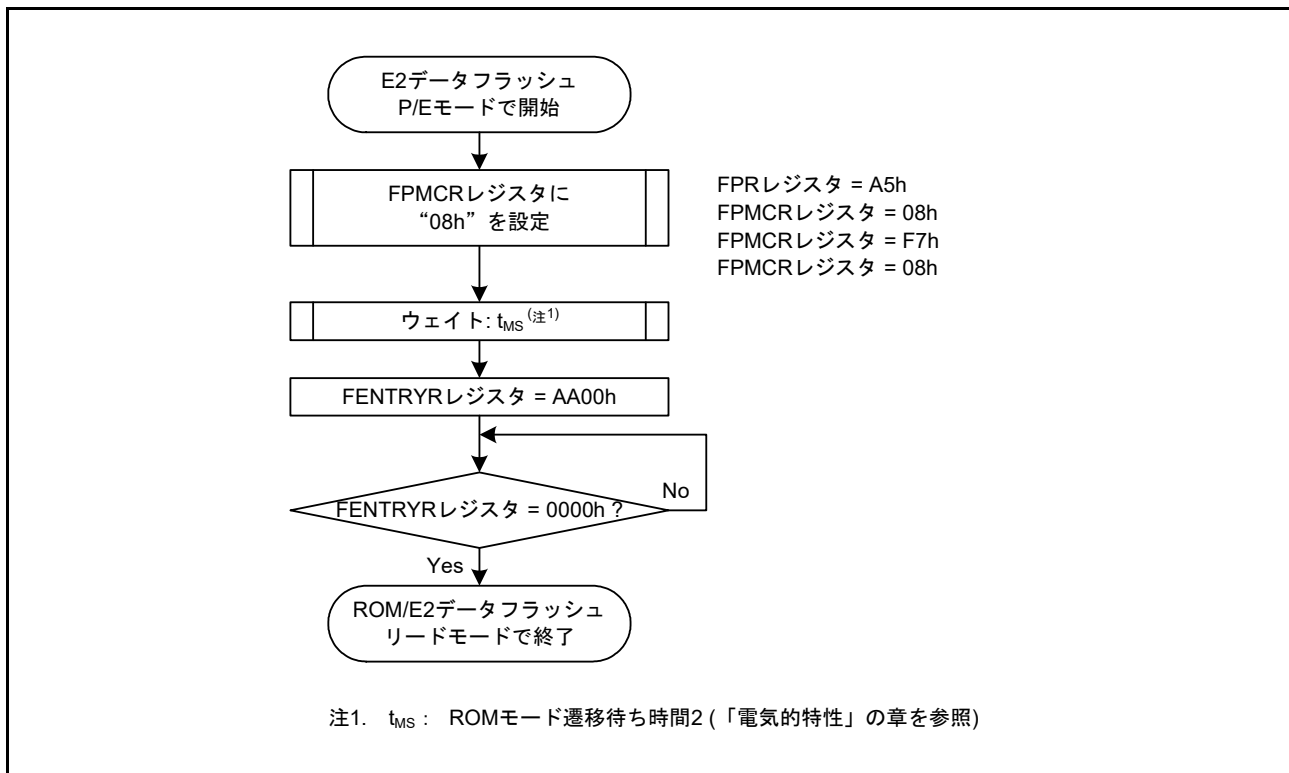


図 36.11 E2 データフラッシュ P/E モードから ROM/E2 データフラッシュリードモードへの遷移フロー

36.7.3 ソフトウェアコマンド一覧

ソフトウェアコマンドには、プログラム/イレーズを行うためのコマンドや、スタートアッププログラム領域情報のプログラムを行うコマンド、アクセスウィンドウ情報プログラムを行うコマンドなどがあります。表 36.5 にフラッシュメモリで使用可能なソフトウェアコマンドの一覧を示します。

表36.5 ソフトウェアコマンド一覧

コマンド	機能
プログラム	<ul style="list-style-type: none"> ROMへの書き込み(8バイト) E2データフラッシュへの書き込み(1バイト)
ブロックイレーズ	ROM/E2データフラッシュの消去
全ブロックイレーズ	ROM/E2データフラッシュの一括消去
ブランクチェック	指定した領域内のブランクチェックを行います 書き込みが行われていないことを確認します。消去状態の保持を保証するものではありません
スタートアップ領域情報プログラム	スタートアッププログラム保護機能で使用するスタートアップ領域切り替え情報を書き換えます
アクセスウィンドウ情報プログラム	エリアプロテクションで使用するアクセスウィンドウを設定します

36.7.4 ソフトウェアコマンド使用方法

ここでは各ソフトウェアコマンドの使用方法について、フローチャートを用いて説明します。

36.7.4.1 プログラム

図 36.12、図 36.13 にプログラムコマンドの発行フローを示します。

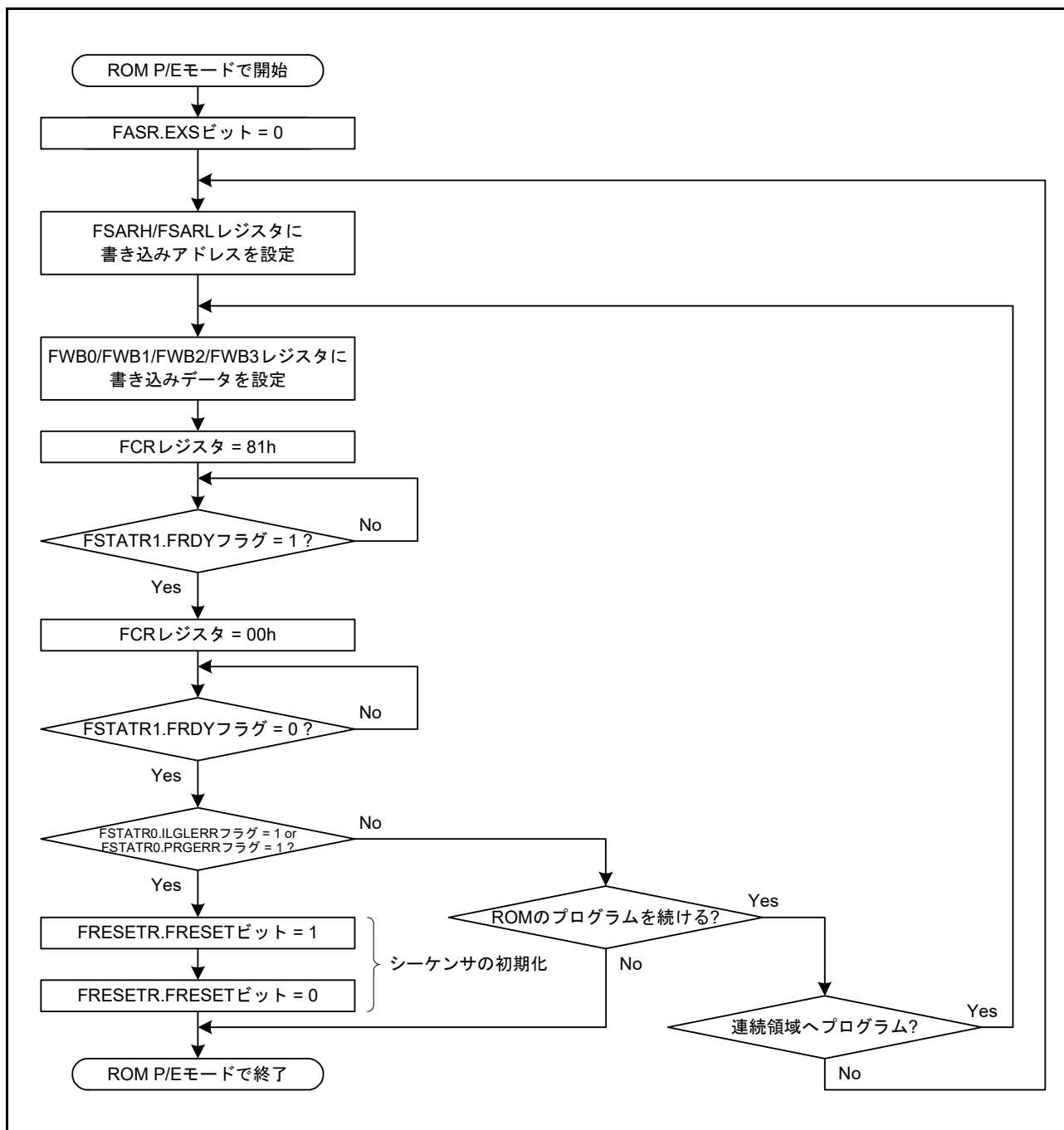


図 36.12 プログラムコマンドの発行フロー (ROM)

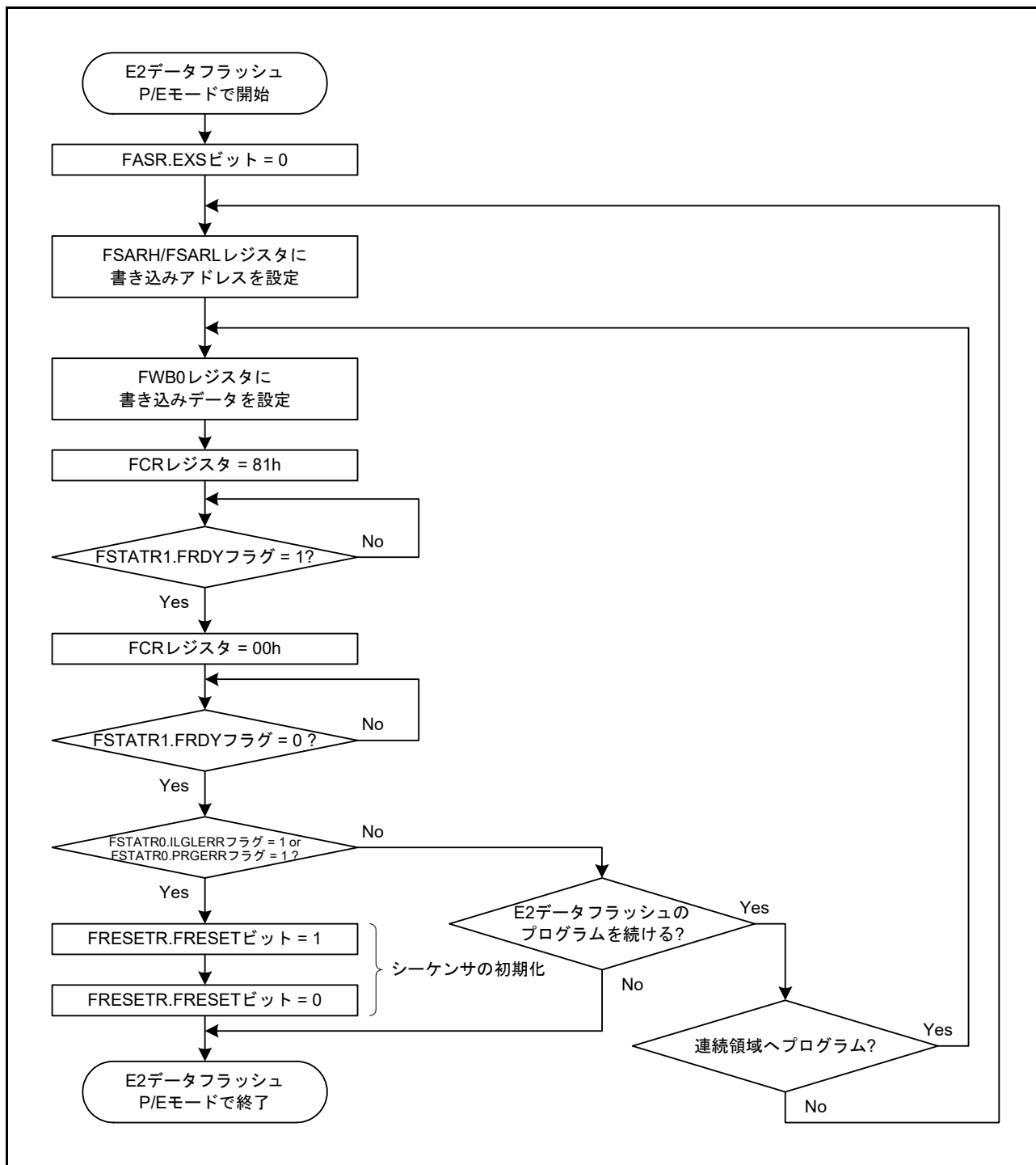


図 36.13 プログラムコマンドの発行フロー (E2 データフラッシュ)

36.7.4.2 ブロックイレーズ

図 36.14、図 36.15 にブロックイレーズコマンドの発行フローを示します。

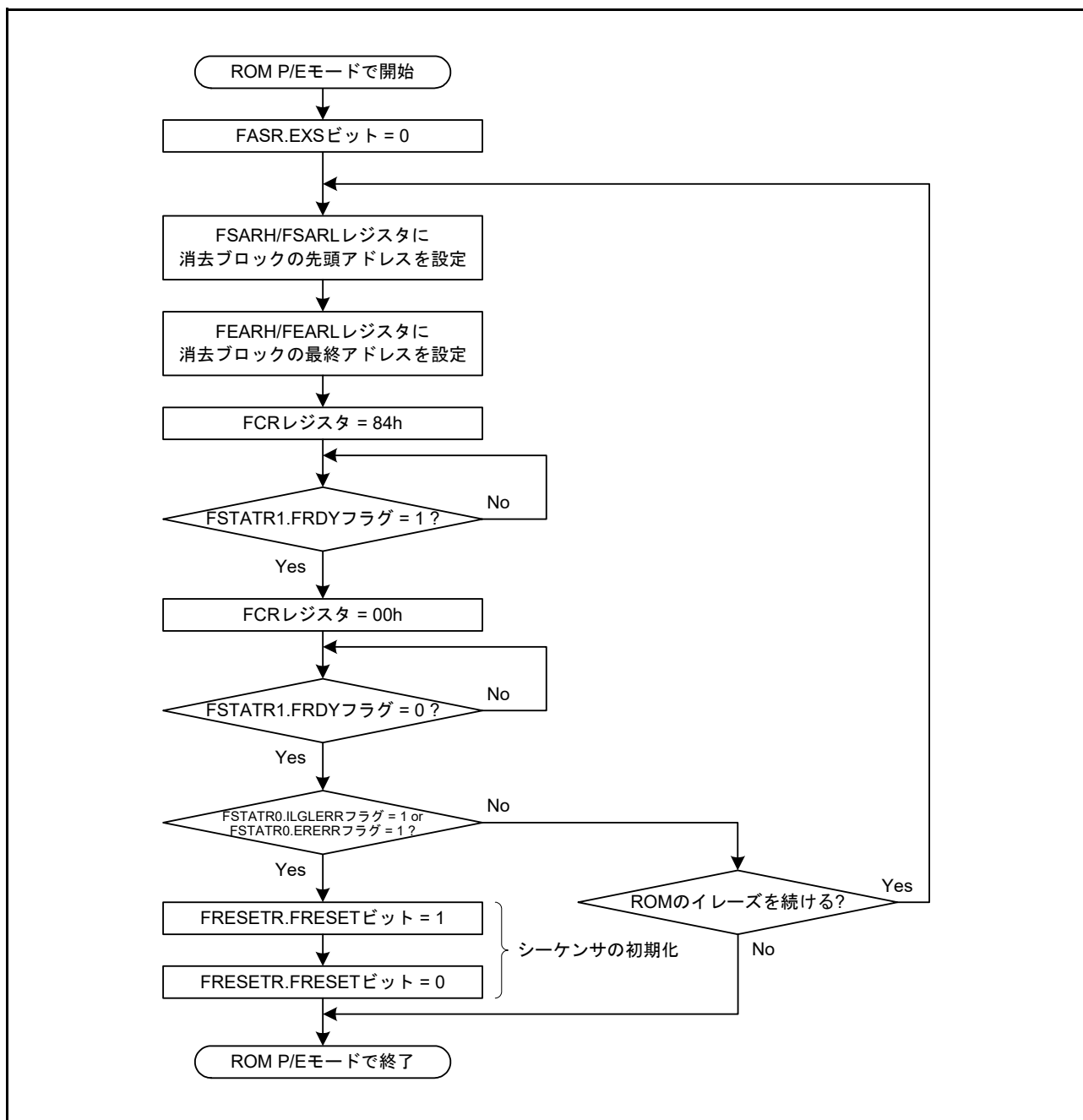


図 36.14 ブロックイレーズコマンドの発行フロー (ROM)

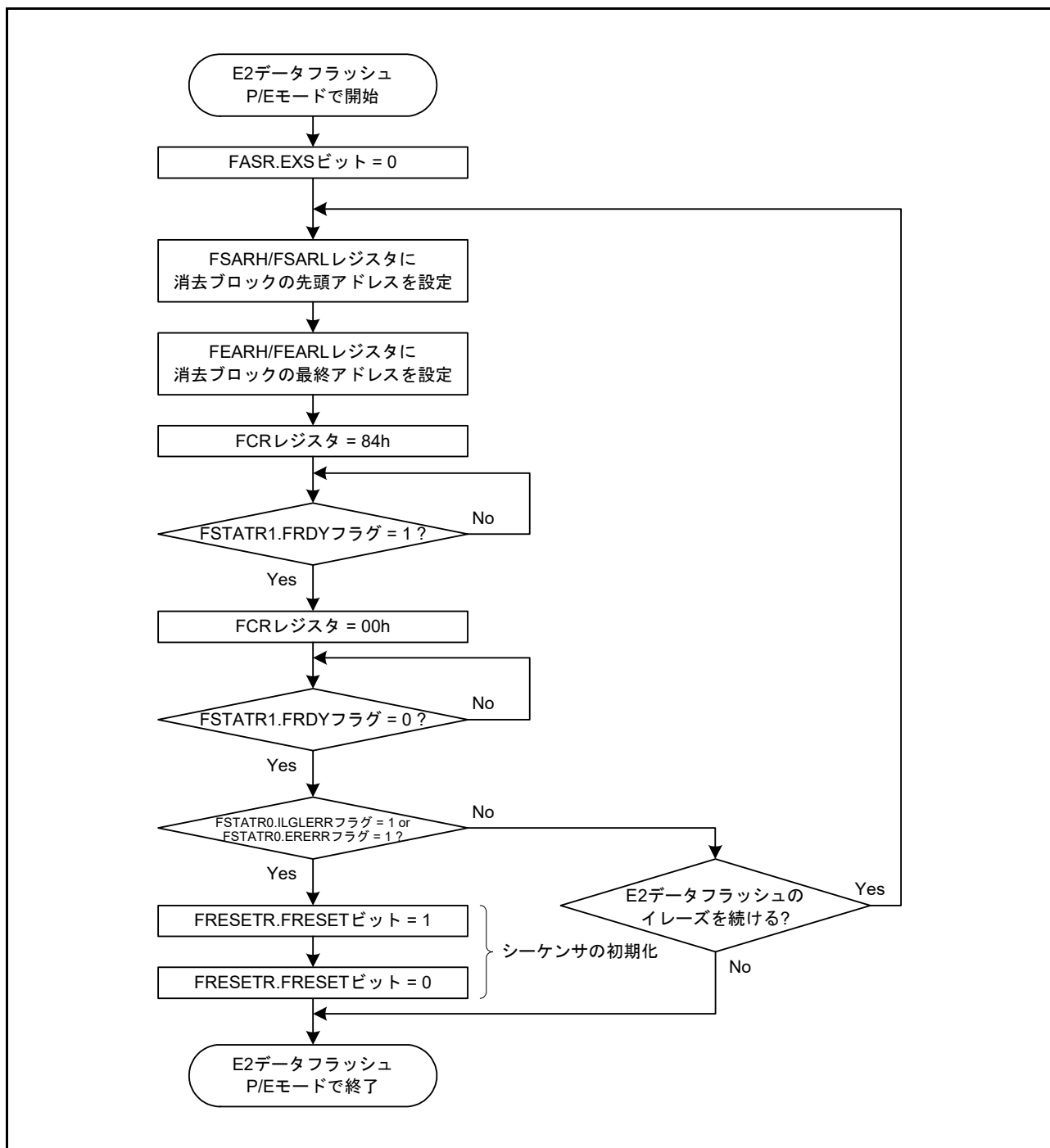


図 36.15 ブロックイレーズコマンドの発行フロー (E2 データフラッシュ)

36.7.4.3 全ブロックイレーズ

図 36.16、図 36.17 に全ブロックイレーズコマンドの発行フローを示します。

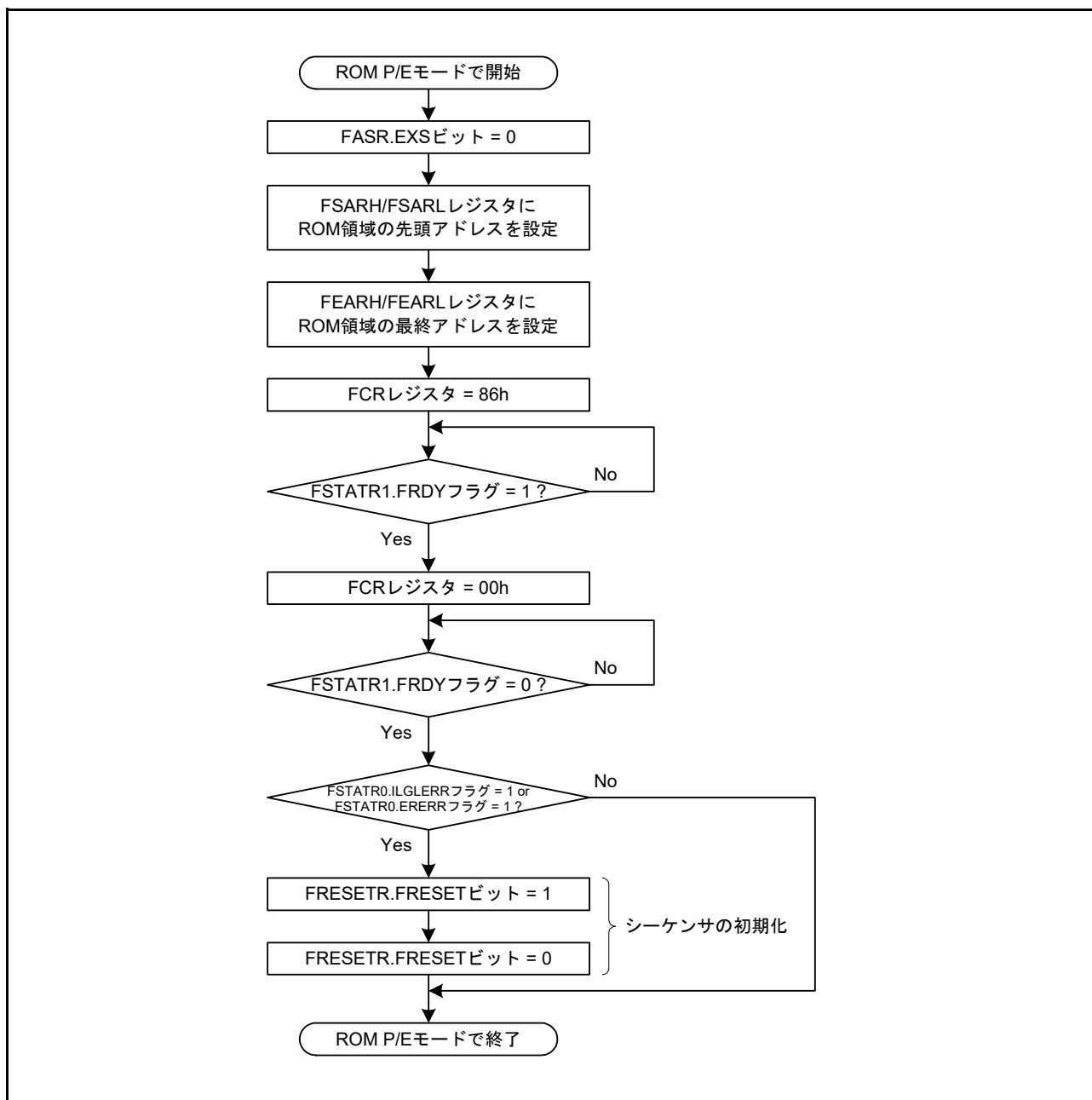


図 36.16 全ブロックイレーズコマンドの発行フロー (ROM)

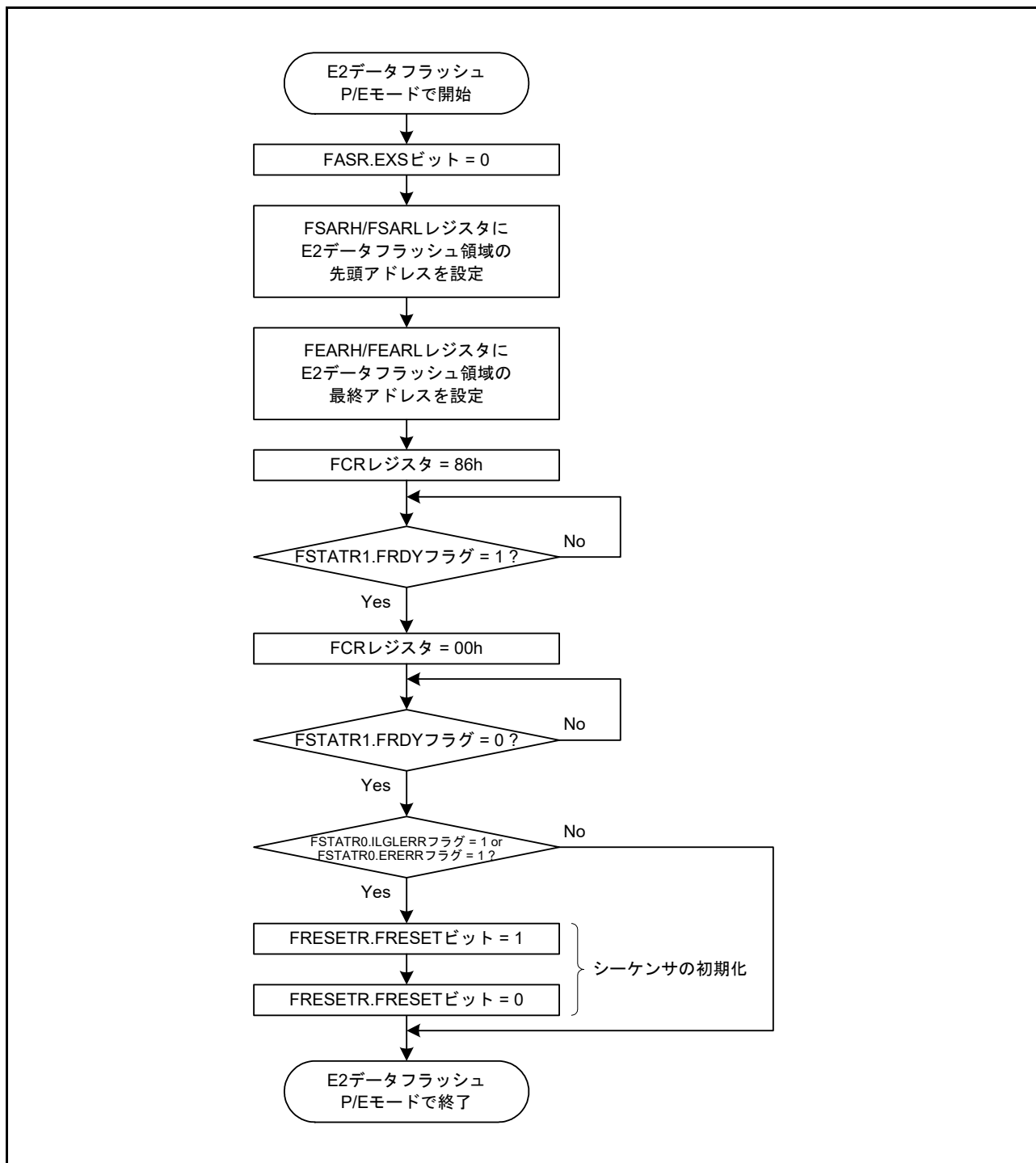


図 36.17 全ブロックイレースコマンドの発行フロー (E2 データフラッシュ)

36.7.4.4 ブランクチェック

図 36.18、図 36.19 にブランクチェックコマンドの発行フローを示します。

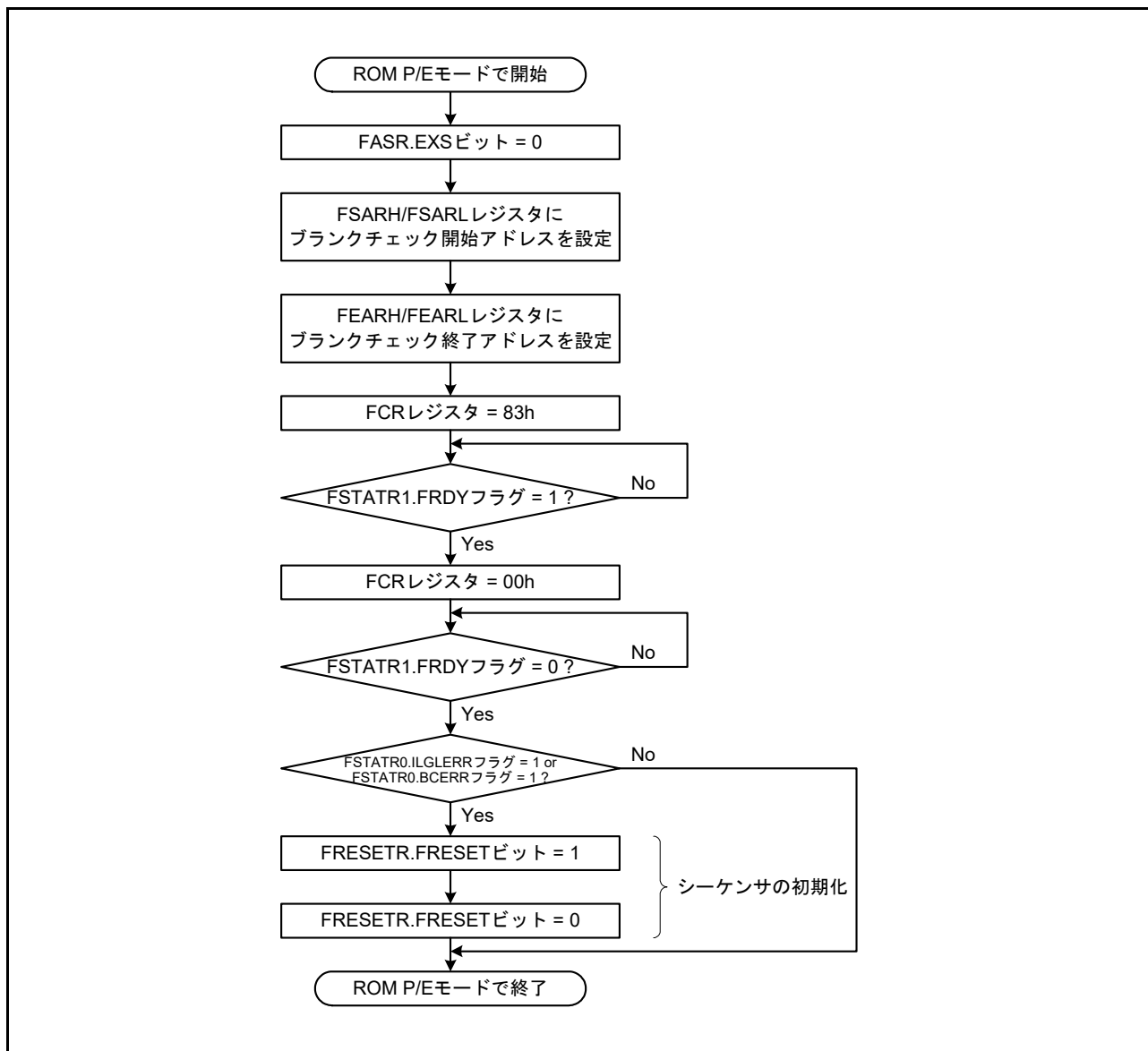


図 36.18 ブランクチェックコマンドの発行フロー (ROM)

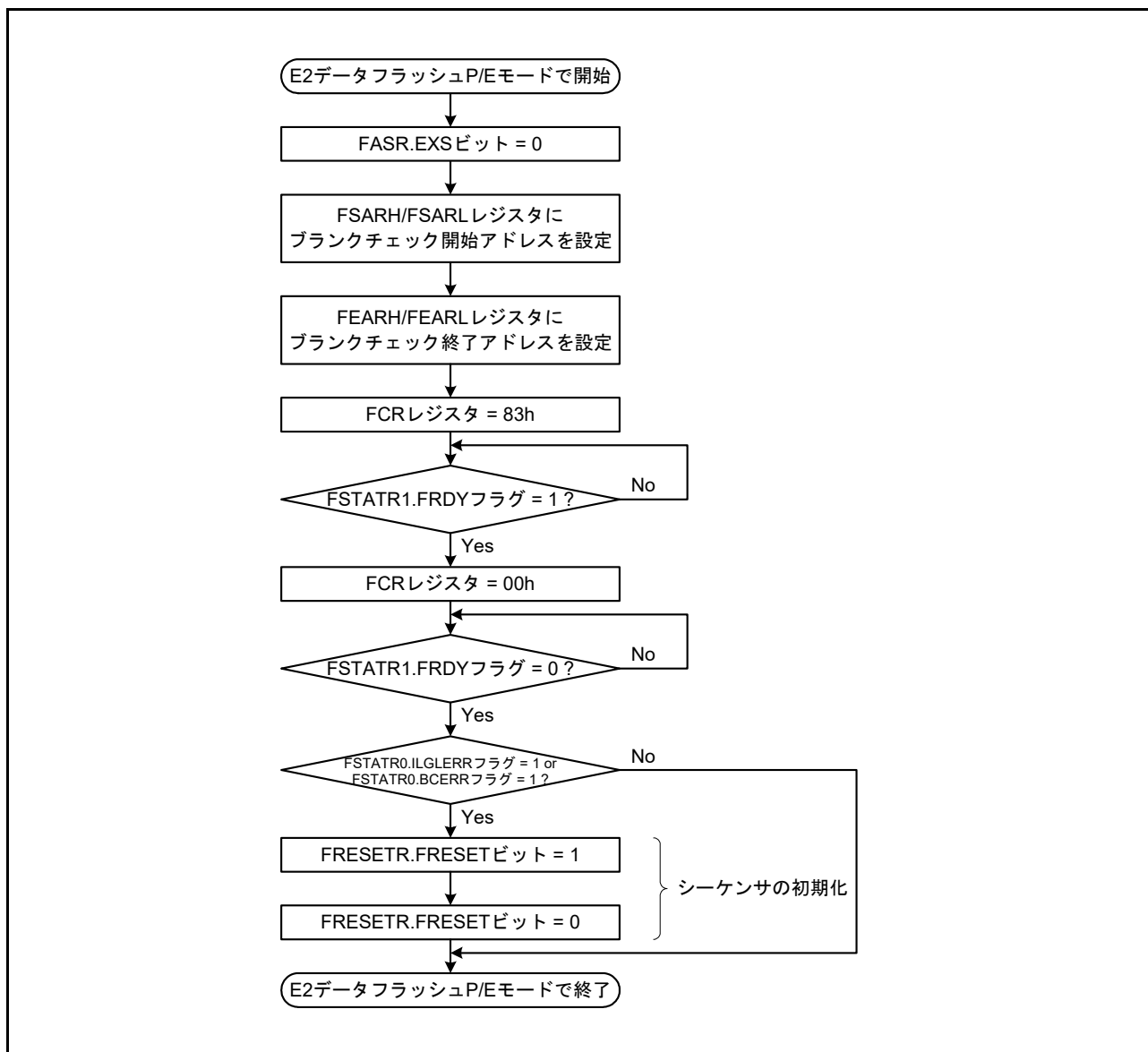


図 36.19 ブランクチェックコマンドの発行フロー (E2 データフラッシュ)

36.7.4.5 スタートアップ領域情報プログラム/アクセスウィンドウ情報プログラム

図 36.20 にスタートアップ領域情報プログラムコマンド/アクセスウィンドウ情報プログラムコマンドの発行フローを示します。

なお、E2 データフラッシュアクセス禁止モードから直接 ROM P/E モードに遷移した場合は、フローの先頭で DFLCTL.DFLEN ビットを“1”にしてください。

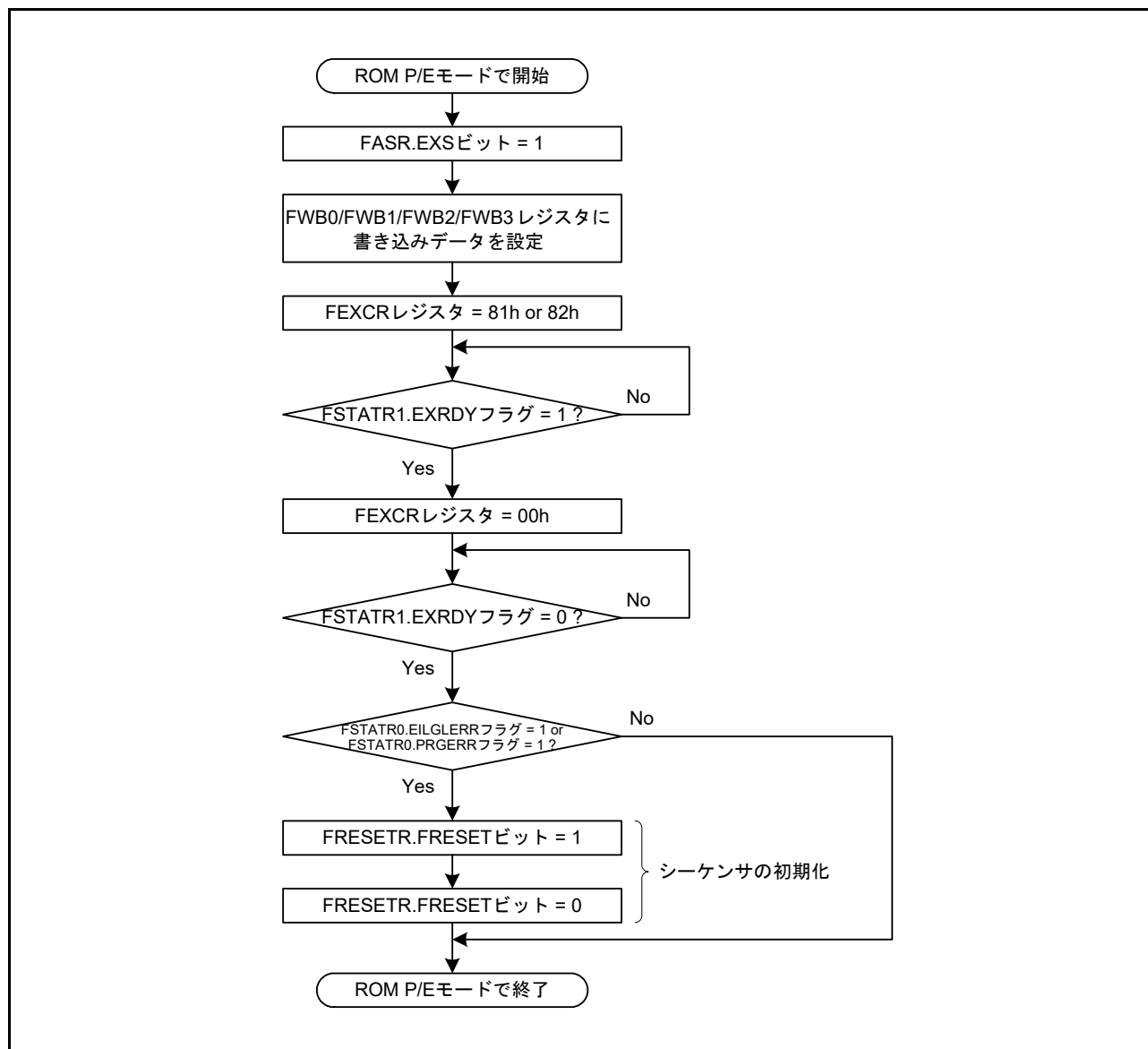


図 36.20 スタートアップ領域情報プログラムコマンド/アクセスウィンドウ情報プログラムコマンドの発行フロー

36.7.4.6 ソフトウェアコマンドの強制停止

ブランクチェックコマンド、ブロックイレーズコマンドを強制的に停止させるには、**図 36.21**に従って実施してください。

強制停止を実行すると、FEAMH/FEAML レジスタに中断した時点のアドレスが格納されます。ブランクチェックの場合は、FEAMH/FEAML レジスタの値を FSARH/FSARL レジスタにコピーすることで、中断した処理を続きから再開させることができます。

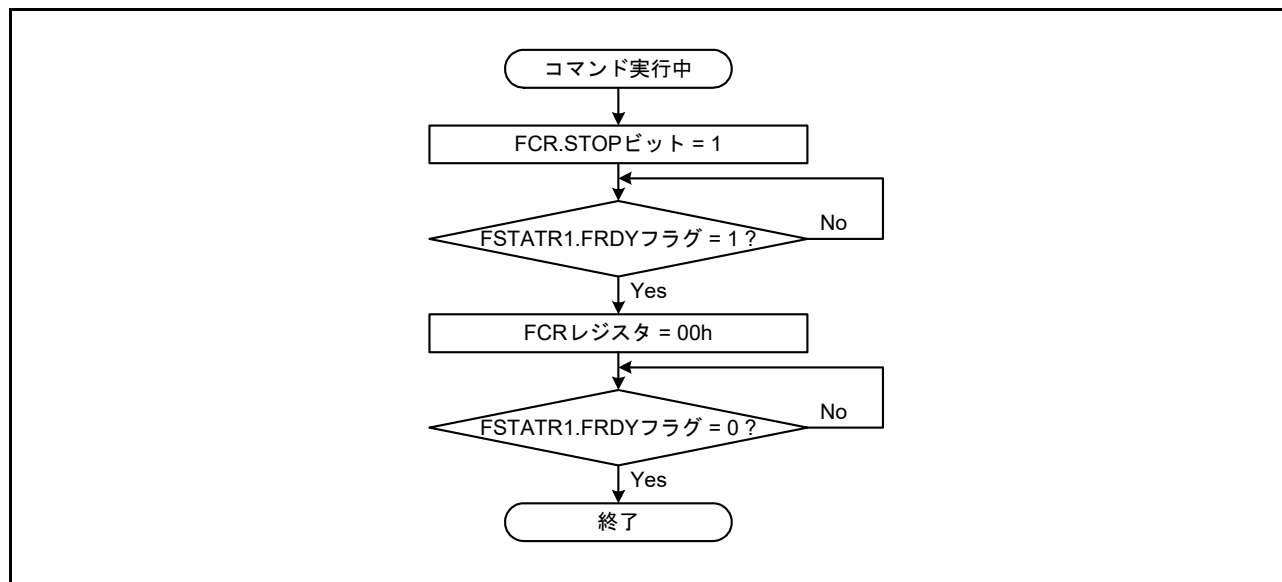


図 36.21 ソフトウェアコマンド強制停止の実行フロー

36.7.5 割り込み

ソフトウェアコマンド処理が完了するか、または強制停止処理が完了すると割り込み (FRDYI) が発生します。FCR.OPST ビットを“0”にすると FSTATR1.FRDY フラグが“0”に、また、FEXCR.OPST ビットを“0”にすると FSTATR1.EXRDY フラグが“0”になり、次の割り込み (FRDYI) を受け付けられるようになります。

本割り込みに対応する ICU の IERm.IEN ビットを“1”にする前に、IRn.IR フラグをクリアしてください。

36.8 ブートモード

ブートモードは、SCI インタフェース、または FINE インタフェースを使用します。表 36.6 にブートモードでプログラム/イレーズ可能な領域と使用する周辺モジュールを、表 36.7 にブートモードで使用する入出力端子を示します。

表 36.6 ブートモードでプログラム/イレーズ可能な領域と使用する周辺モジュール

項目	ブートモード	
	SCI インタフェース	FINE インタフェース
プログラム/イレーズ可能な領域	ユーザ領域 データ領域	ユーザ領域 データ領域
使用する周辺モジュール	SCI1 (調歩同期式シリアル通信)	FINE

表 36.7 ブートモードで使用する入出力端子

端子名	入出力	使用するモード	用途
MD	入力	ブートモード	動作モードを選択(「3. 動作モード」参照)
MD/FINED	入出力	ブートモード (FINE インタフェース)	動作モードを選択、FINE データ入出力
PD5/RXD1	入力	ブートモード (SCI インタフェース)	データ受信用(注1)
PD3/TXD1	出力		データ送信用(注1)

注1. 抵抗を介してVCCに接続(プルアップ)してください。

36.8.1 ブートモード (SCI インタフェース)

ブートモード (SCI インタフェース) は、フラッシュメモリのプログラム / イレージに SCI の調歩同期式モードを用いるモードです。ユーザ領域とデータ領域を書き換えることができます。

MD 端子を Low にしてリセットを解除すると、MCU はブートモード (SCI インタフェース) で起動します。

シリアルプログラマについてはメーカーにお問い合わせください。

36.8.1.1 ブートモード (SCI インタフェース) の動作条件

ブートモード (SCI インタフェース) は、シリアルプログラマとの通信に、SCI1 を調歩同期式モードで使
用します。図 36.22 にブートモード (SCI インタフェース) 時の端子接続例を、表 36.8 にブートモード (SCI
インタフェース) 時に使用する端子の処理内容を示します。

なお、図 36.22 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものでは
ありません。

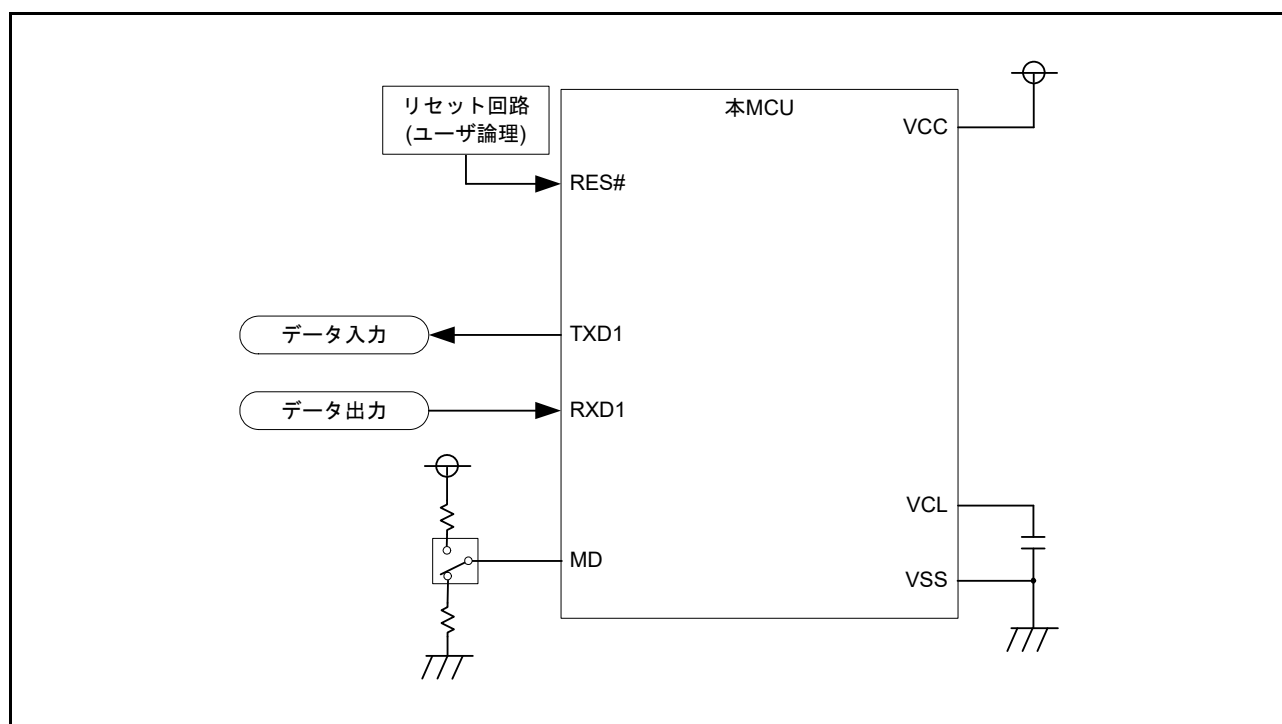


図 36.22 ブートモード (SCI インタフェース) 時の端子接続例

表 36.8 ブートモード (SCI インタフェース) 時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC 端子には 2.7 V 以上の電圧を、VSS 端子には 0 V を入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介して VSS に接続してください
MD	動作モードコントロール	入力	Low を入力してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください
PD5/RXD1	データ入力 RXD	入力	シリアルデータの入力端子です
PD3/TXD1	データ出力 TXD	出力	シリアルデータの出力端子です

シリアルプログラマとの通信フォーマットは、図 36.23 に示すとおり、8 ビットデータ、1 ストップピッ

ト、パリティなし、LSB ファーストです。

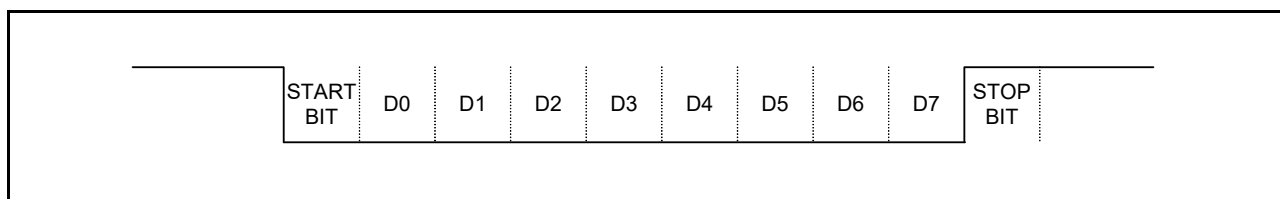


図 36.23 通信フォーマット

シリアルプログラマとの初期通信は、9,600 bps または 19,200 bps で行います。通信ビットレートは、接続後に変更できます。ブートモード (SCI インタフェース) で通信が可能な最大通信ビットレートを表 36.9 に示します。

表 36.9 通信可能な条件

動作電圧	最大通信ビットレート
2.7 V以上3.0 V未満	500 kbps
3.0 V以上5.5 V以下	2 Mbps

36.8.1.2 ブートモード (SCI インタフェース) の起動方法

ブートモード (SCI インタフェース) で起動するには、MD 端子を Low にして、リセットを解除 (RES# 端子を Low から High に) する必要があります。ブートモード (SCI インタフェース) で起動した後、400 ms 経過すると本 MCU との通信が可能になります。

図 36.24 に示すとおり、リセット解除後 400 ms の間は各端子の信号を変化させないでください。リセットに関しては、「37.3.2 リセットタイミング」に示す規格を守ってください。

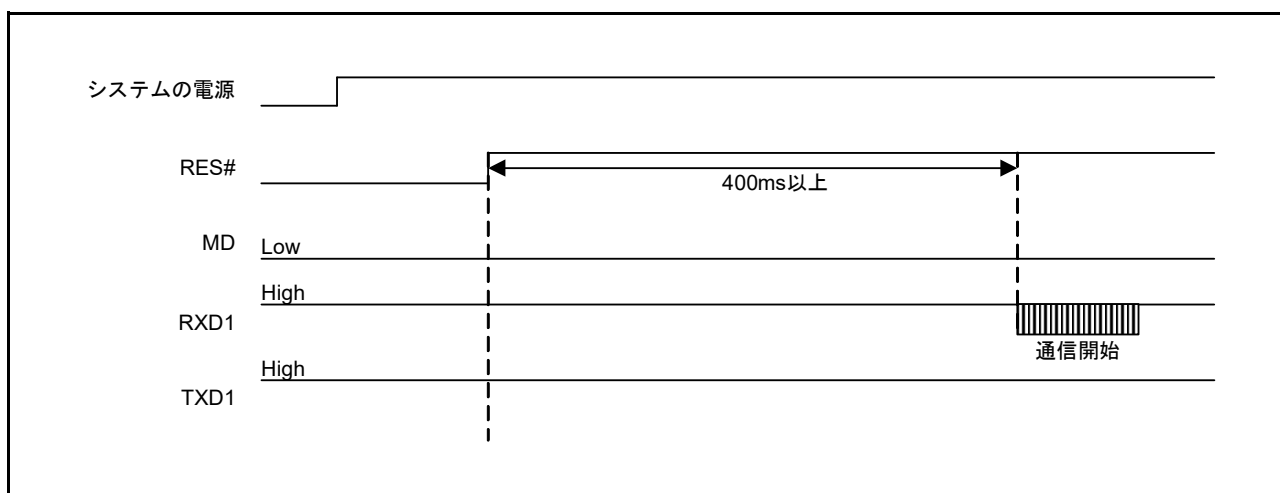


図 36.24 ブートモード (SCI インタフェース) で通信が可能になるまでの待ち時間

36.8.2 ブートモード (FINE インタフェース)

ブートモード (FINE インタフェース) は、フラッシュメモリのプログラム / イレーズに FINE を使用するモードです。ユーザ領域とデータ領域を書き換えることができます。

シリアルプログラマについてはメーカーにお問い合わせください。

36.8.2.1 ブートモード (FINE インタフェース) の動作条件

ブートモード (FINE インタフェース) は、シリアルプログラマとの通信に、FINE を使用します。

図 36.25 にブートモード (FINE インタフェース) 時の端子接続例を、表 36.10 にブートモード (FINE インタフェース) 時に使用する端子の処理内容を示します。

なお、図 36.25 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものではありません。

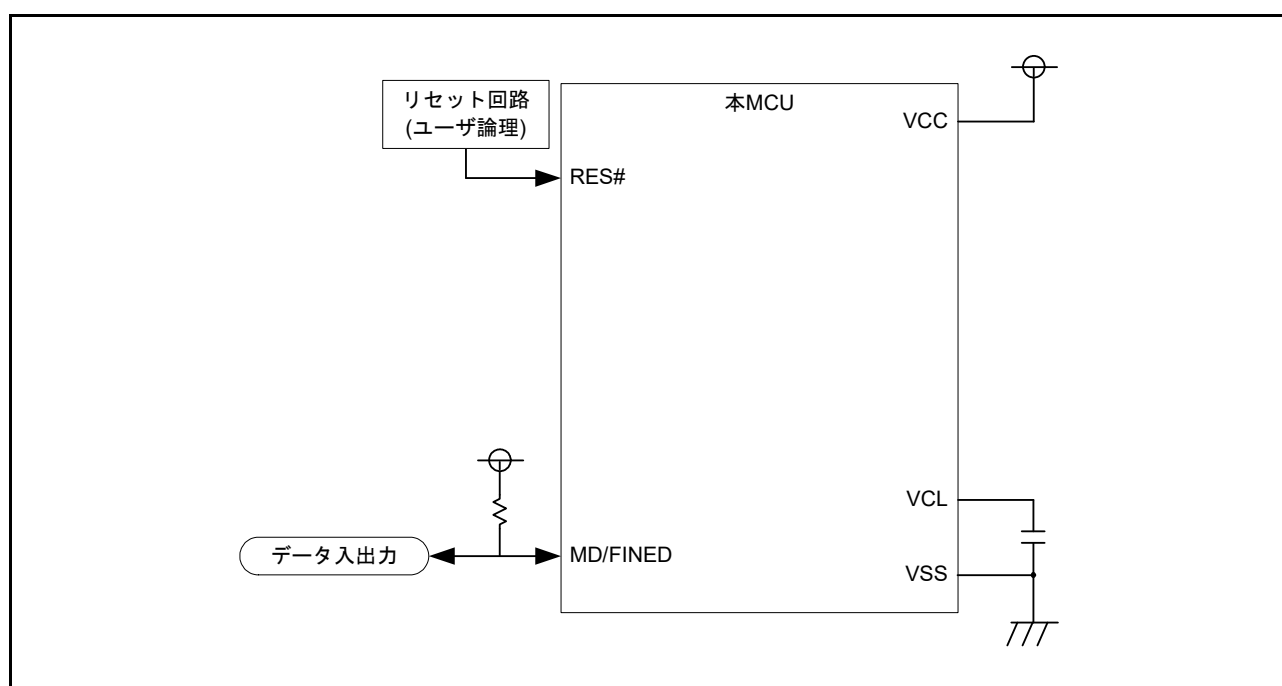


図 36.25 ブートモード (FINE インタフェース) 時の端子接続例

表 36.10 ブートモード (FINE インタフェース) 時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC 端子には 2.7 V 以上の電圧を、VSS 端子には 0 V を入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介して VSS に接続してください
MD	動作モードコントロール / データ入出力	入出力	抵抗を介して VCC に接続 (プルアップ) してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください

36.9 フラッシュメモリプロテクト機能

フラッシュメモリプロテクト機能は、第三者によるフラッシュメモリの読み出し、書き込みから保護する機能です。

シリアルプログラマ接続時にはブートモード ID コードプロテクト、オンチップデバッグエミュレータ接続時にはオンチップデバッグエミュレータ ID コードプロテクトがあります。また、パラレルプログラマ接続時にはROM コードプロテクトがあります。

36.9.1 ID コードプロテクト

ID コードプロテクトには、シリアルプログラマを接続したときのブートモード ID コードプロテクト、オンチップデバッグエミュレータを接続したときのオンチップデバッグエミュレータ ID コードプロテクトの2つがあります。どちらも使用する ID コードは同じものですが、動作が異なります。

ID コードは、制御コード+ID コード1～ID コード15で構成されています。32ビット長4ワードのデータで、32ビット単位で設定してください。図 36.26 に ID コードの構成を示します。

	31	24	23	16	15	8	7	0
FFFF FFA0h	制御コード		IDコード1	IDコード2		IDコード3		
FFFF FFA4h	IDコード4		IDコード5	IDコード6		IDコード7		
FFFF FFA8h	IDコード8		IDコード9	IDコード10		IDコード11		
FFFF FFACH	IDコード12		IDコード13	IDコード14		IDコード15		

図 36.26 ID コードの構成

ID コードを設定するときのプログラムの記述例を以下に示します。

制御コード、ID コード1～ID コード15を順に“45h, 01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h, 09h, 0Ah, 0Bh, 0Ch, 0Dh, 0Eh, 0Fh”に設定する場合

C 言語：

```
#pragma address ID_CODE = 0xFFFFFA0
const unsigned long ID_CODE [4] = {0x45010203, 0x04050607, 0x08090A0B, 0x0C0D0E0F};
```

アセンブリ言語：

```
.SECTION ID_CODE, CODE
.ORG 0xFFFFFA0h
.LWORD 45010203h
.LWORD 04050607h
.LWORD 08090A0Bh
.LWORD 0C0D0E0Fh
```

36.9.1.1 ブートモード ID コードプロテクト

ブートモード ID コードプロテクトは、第三者がシリアルプログラマを接続したときのユーザ領域とデータ領域の読み出し、書き換えを禁止する機能です。

制御コードが“45h”または“52h”(ブートモード ID コードプロテクト有効)の場合は、シリアルプログラマから送られてくる 16 バイトのコードと、ユーザ領域上にある ID コードを比較し、その結果に従って、ユーザ領域とデータ領域の読み出し、書き換えを許可します。

制御コードが“45h”、“52h”以外(ブートモード ID コードプロテクト無効)の場合、ユーザ領域とデータ領域のすべてのブロックを消去し、ユーザ領域とデータ領域の読み出し、書き込みを許可します。

制御コードは、プロテクトの有効もしくは無効を設定します。表 36.11 にブートモード ID コードプロテクトの仕様を、図 36.27 にブートモード ID コードプロテクトの認証フローを示します。

ID コード 1 ~ ID コード 15 は、任意の値が設定できます。

ただし、無条件にシリアルプログラマの接続を禁止する場合は、ID コード 1 ~ ID コード 15 に順に“50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, FFh, FFh, FFh, FFh, FFh, FFh, FFh”と設定してください。

表 36.11 ブートモード ID コードプロテクトの仕様

ID コード		プロテクト	ID コードの 判定結果	動作
制御コード	ID コード 1 ~ ID コード 15			
45h	任意	有効	一致	ブートモード ID コード認証ステートを完了し、プログラム/イ レースホストコマンド待ちステートに遷移する
			不一致	ブートモード ID コード認証ステートを継続する
			不一致 (3回連続)	ユーザ領域とデータ領域のすべてのブロックを消去し、ブート モード ID コード認証ステートを継続する
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, + FFh, ..., FFh (8バ イトすべて FFh)	有効	—	シリアルプログラマが送信したコードの値に関係なく、フラッ シュメモリの読み出し、書き換えを許可しない
	上記以外		一致	ブートモード ID コード認証ステートを完了し、プログラム/イ レースホストコマンド待ちステートに遷移する
			不一致	ブートモード ID コード認証ステートを継続する
上記以外	任意	無効	—	ユーザ領域とデータ領域のすべてのブロックを消去する

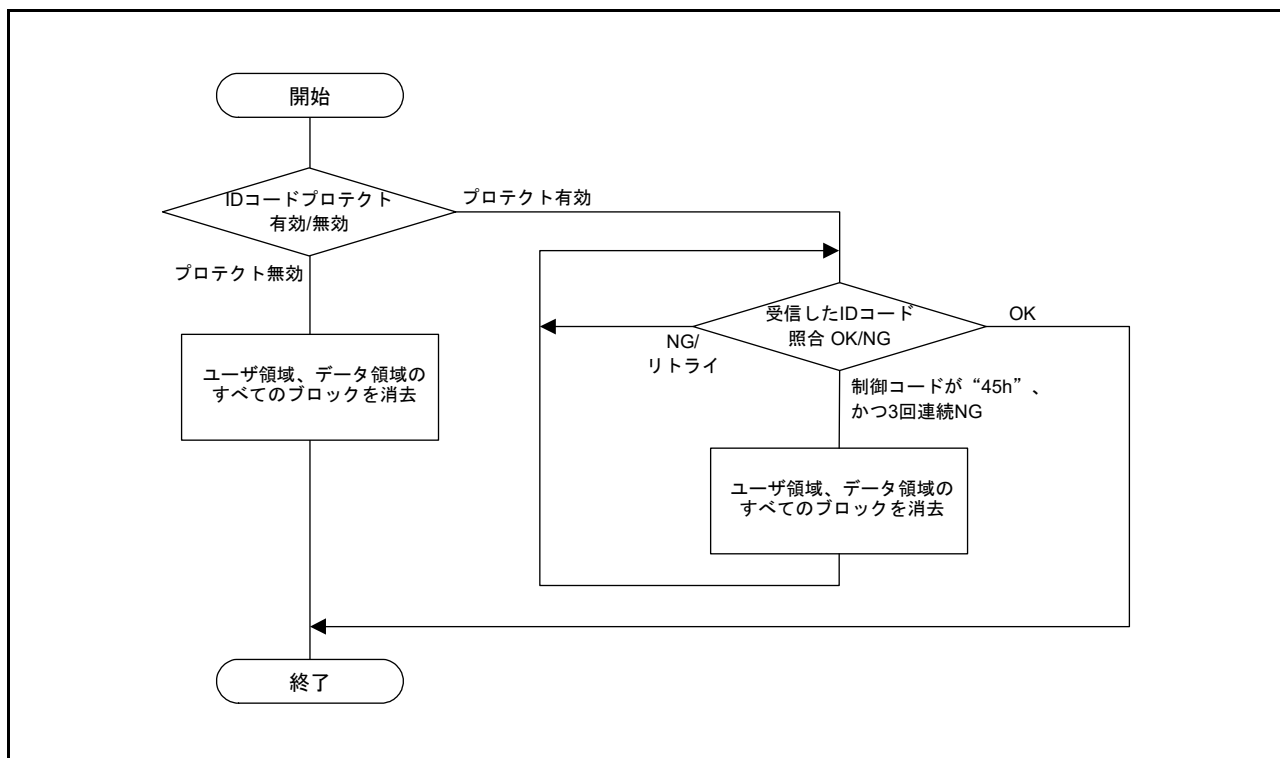


図 36.27 ブートモード ID コードプロテクトの認証フロー

36.9.1.2 オンチップデバッグエミュレータ ID コードプロテクト

オンチップデバッグエミュレータ ID コードプロテクトは、オンチップデバッグエミュレータとの接続を許可/禁止する機能です。

オンチップデバッグエミュレータ ID コードプロテクトが無効の場合もしくは、プロテクトが有効でオンチップデバッグエミュレータから送られてくる 16 バイトのコードとユーザ領域にある ID コードが一致した場合、オンチップデバッグエミュレータとの接続を許可します。

オンチップデバッグエミュレータ ID コードプロテクトの仕様を、表 36.12 に示します。

表 36.12 オンチップデバッグエミュレータ ID コードプロテクトの仕様

IDコード		プロテクト	IDコードの判定結果	動作
制御コード	IDコード1～IDコード15			
FFh	FFh, ..., FFh (15バイトすべてFFh)	無効	—	オンチップデバッグエミュレータとの接続を許可する
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, + 任意の8バイト	有効	—	オンチップデバッグエミュレータが送信したコードの値に関係なく、オンチップデバッグエミュレータの接続を許可しない
上記以外	上記以外	有効	一致	オンチップデバッグエミュレータとの接続を許可する
			不一致	IDコード待ちを継続する

36.9.2 ROMコードプロテクト

ROMコードプロテクトは、パラレルプログラマを使用する場合に第三者によるフラッシュメモリの読み出し、書き換えから保護する機能です。表 36.13 に ROMコードプロテクトの仕様を示します。

フラッシュメモリ上のROMコードは、32ビット長のデータで、ユーザ領域のブロック 0 内に配置されています。図 36.28 に ROMコードの構成を示します。ROMコードは 32ビット単位で設定してください。

ROMコードプロテクトを解除する場合、ブートモードもしくはセルフプログラミングでユーザ領域のブロック 0 をイレーズしてください。

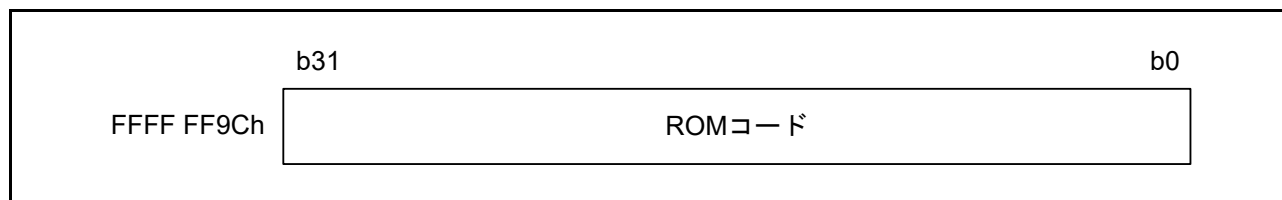


図 36.28 ROMコードの構成

表 36.13 ROMコードプロテクトの仕様

ROMコード	プロテクト	パラレルプログラマ接続時の動作
0000 0000h	有効	ユーザ領域、データ領域の読み出し、書き換えを禁止する
0000 0001h	有効	ユーザ領域、データ領域の読み出しを禁止する
上記以外	無効	ユーザ領域、データ領域の読み出し、書き換えを許可する

36.10 通信プロトコル

ここでは、ブートモードで使用するプロトコルについて説明します。シリアルプログラマを開発する場合には、この通信プロトコルに従って制御してください。

36.10.1 ブートモード (SCI インタフェース) の状態遷移

図 36.29 にブートモード (SCI インタフェース) の状態遷移図を示します。

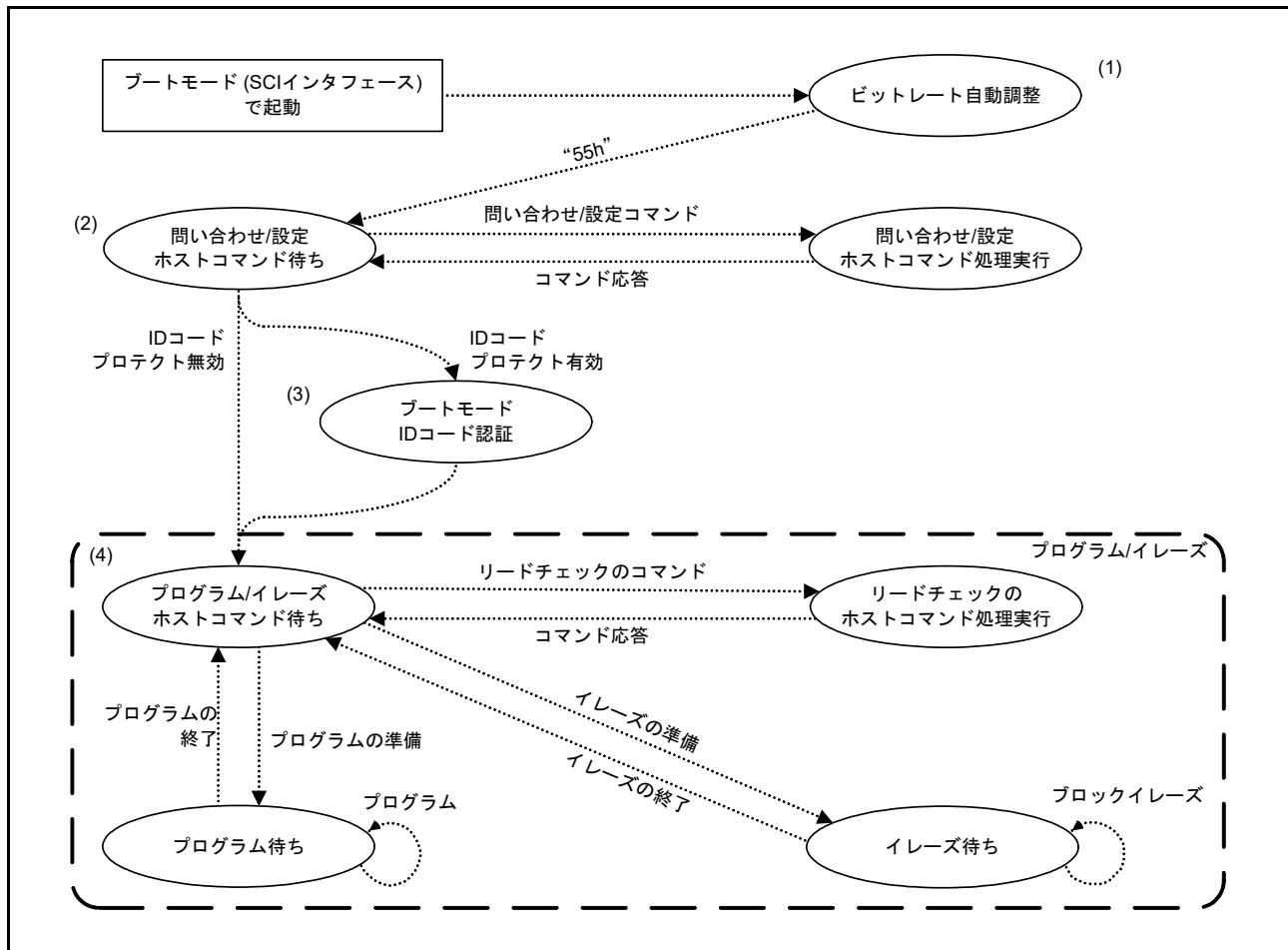


図 36.29 ブートモード (SCI インタフェース) の状態遷移図

(1) ビットレート自動調整ステート

ビットレート自動調整ステートでは、本 MCU とホスト間の通信ビットレートを 9,600 bps または 19,200 bps に自動調整します。本 MCU はビットレート自動調整が終了するとホストへ“00h”を送信します。ホストは“00h”を受け取った後、“55h”を送信してください。本 MCU は、“55h”を受信するとホストへ“E6h”を送信し、問い合わせ / 設定ホストコマンド待ちステートへ遷移します。なお、ホストは、本 MCU のリセットを解除した後、400 ms 以上経過するまではデータを送信しないでください。

(2) 問い合わせ / 設定ホストコマンド待ちステート

問い合わせ / 設定ホストコマンド待ちステートでは、ブロック構成、ブロックサイズ、ユーザ領域やデータ領域の配置アドレスなど本 MCU の情報問い合わせや、データのエンディアン、ビットレートの選択ができます。本 MCU はホストからプログラム / イレーズホストコマンド待ちステート遷移コマンドを受信すると、ブートモード ID コードプロテクトの有効、無効を判定します。ブートモード ID コー

ドプロテクトが無効の場合、プログラム/イレーズホストコマンド待ちステートへ遷移します。ブートモード ID コードプロテクトが有効の場合、ブートモード ID コード認証ステートに遷移します。問い合わせ/設定コマンドに関する詳細は、「36.10.5 問い合わせコマンド」、「36.10.6 設定コマンド」を参照してください。

(3) ブートモード ID コード認証ステート

ブートモード ID コード認証ステートでは、ID コード認証コマンドを受け付けます。ブートモード ID コードが不一致の場合は、ブートモード ID コード認証ステートから他のステートへ遷移することはありません。

ブートモード ID コードプロテクトに関する詳細は、「36.9.1.1 ブートモード ID コードプロテクト」を参照してください。ID コード認証コマンドに関する詳細は、「36.10.7 ID コード認証コマンド」を参照してください。

(4) プログラム/イレーズステート

プログラム/イレーズステートでは、ホストからのコマンドに従って、プログラムやイレーズやリードチェックのコマンド処理を実行します。

プログラム/イレーズコマンドに関する詳細は、「36.10.8 プログラム/イレーズコマンド」を、リードチェックコマンドに関する詳細は、「36.10.9 リードチェックコマンド」参照してください。

36.10.2 コマンドとレスポンスの構成

通信プロトコルは、ホストから本 MCU へ送信する“コマンド”と本 MCU からホストへ送信する“レスポンス”で構成されています。

コマンドには1バイトコマンドと複数バイトコマンドがあります。

レスポンスには1バイトレスポンスと複数バイトレスポンス、エラーレスポンスがあります。

複数バイトコマンド、複数バイトレスポンスには、送受信データのバイト数を通知する“サイズ”と、通信異常を検出するための“SUM”があります。

“サイズ”はコマンドコード(先頭1バイト)、サイズ、SUM を除いた送受信データのバイト数を指します。

“SUM”は、コマンドもしくはレスポンスの各バイトを合計した値が、“00h”になるように計算されたバイトデータを指します。

プログラムコマンドで指定するプログラムアドレス、ブロックイレーズコマンドで指定するブロック先頭アドレス、アクセスウィンドウ情報プログラムコマンドで指定する AW 先頭アドレス、AW 最終アドレス、アクセスウィンドウリードコマンドで受信する AW 先頭アドレス、AW 最終アドレスはフラッシュメモリの読み出し用アドレスを使用します。

36.10.3 未定義コマンドに対するレスポンス

本 MCU は未定義のコマンドを受信した場合、コマンドエラーを意味するレスポンスを返します。コマンドエラーのレスポンスの内容は以下のとおりです。エラーレスポンスの返信データには、受信したコマンドのコマンドコードが格納されています。

エラーレスポンス	80h	コマンド コード
----------	-----	-------------

36.10.4 ブートモードステータス問い合わせ

ブートプログラムの、現在のステータスと直前のコマンドを発行したときにどのようなエラーがあったか、確認するコマンドです。

本 MCU が応答するステータス、エラーの一覧を、表 36.14、表 36.15 に示します。

ブートモードステータス問い合わせコマンドは、問い合わせ / 設定ホストコマンド待ちステータスとプログラム / イレーズホストコマンド待ちステータスで使用することができます。

コマンド	4Fh				
レスポンス	5Fh	サイズ	ステータス	エラー	SUM
サイズ (1 バイト)	: ステータス、エラーのデータの総バイト数 (固定値で "02h")				
ステータス (1 バイト)	: 本 MCU の現在のステータス (表 36.14 を参照)				
エラー (1 バイト)	: 直前に発行したコマンドに対するエラー状況 (表 36.15 を参照)				
SUM (1 バイト)	: レスポンスデータを合計して "00h" になる値				

表 36.14 ステータスの内容

コード	ステータス (注1)	詳細
11h	問い合わせ/設定ホストコマンド待ちステータス	デバイス選択待ち
12h/13h		動作周波数選択待ち
1Fh		プログラム/イレーズホストコマンド待ちステータス遷移コマンド待ち
31h	ブートモードIDコード認証ステータス	ユーザ領域、データ領域のイレーズ中
3Fh	プログラム/イレーズホストコマンド待ちステータス	プログラム/イレーズコマンド待ち
4Fh		プログラムデータ受信待ち
5Fh		ブロックイレーズ指定待ち

注1. 状態遷移については、図 36.29 に記載しています。図の内容も併せて確認してください。

表 36.15 エラーの内容

コード	内容
00h	エラーなし
11h	SUMエラー
21h	デバイスコードエラー
24h	ビットレート選択エラー
29h	ブロック先頭アドレスエラー
2Ah	アドレスエラー
2Bh	データ長エラー
51h	イレーズエラー
52h	データあり(未消去エラー)
53h	プログラムエラー
61h	IDコード不一致
63h	IDコード不一致かつイレーズエラー
80h	コマンドエラー
FFh	ビットレート自動調整エラー

36.10.5 問い合わせコマンド

問い合わせコマンドは、設定コマンドやプログラム/イレーズコマンド、リードチェックコマンドを送信するために必要な基本情報を取得するコマンドです。表 36.16 に問い合わせコマンド一覧を示します。一覧にあるコマンドは、問い合わせ/設定ホストコマンド待ち状態でのみ使用可能です。

表 36.16 問い合わせコマンド一覧

コマンド	応答内容
サポートデバイス問い合わせ	デバイスコードとシリーズ名
データ領域有無問い合わせ	データ領域の有無
ユーザ領域情報問い合わせ	ユーザ領域の個数、領域先頭/領域最終アドレス
データ領域情報問い合わせ	データ領域の個数、領域先頭/領域最終アドレス
ブロック情報問い合わせ	ユーザ領域、データ領域それぞれの先頭アドレス、1ブロックのブロックサイズ、ブロック数

36.10.5.1 サポートデバイス問い合わせ

開発したソフトウェアのエンディアンを識別するためのデバイス情報を取得するコマンドです。

このコマンドを受信すると、本 MCU は開発したソフトウェアがリトルエンディアンで動作する場合のデバイス情報とビッグエンディアンで動作する場合のデバイスの情報を順に送信します。

コマンド

20h

レスポンス

30h	サイズ	デバイス数
文字数	デバイスコード(リトルエンディアン)	シリーズ名(リトルエンディアン)
文字数	デバイスコード(ビッグエンディアン)	シリーズ名(ビッグエンディアン)
SUM		

サイズ (1 バイト) : デバイス数、文字数、デバイスコード、シリーズ名のデータの総バイト数

デバイス数 (1 バイト) : MCU がサポートするエンディアンの種別数 (固定値で "02h")

文字数 (1 バイト) : デバイスコードとシリーズ名の文字数

デバイスコード (4 バイト) : 開発したソフトウェアのエンディアンを認識するための認識コード

シリーズ名 (n バイト) : MCU のシリーズ名とリトルエンディアン/ビッグエンディアンの別 (ASCII コード)

SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

36.10.5.2 データ領域有無問い合わせ

このコマンドを受信すると、本MCUは「データ領域あり、エリアプロテクションあり、データ領域プログラムコマンドあり」という結果を送信します。

コマンド	2Ah			
レスポンス	3Ah	サイズ	領域有無	SUM
サイズ (1バイト)	: 領域有無の文字数 (固定値で "01h")			
領域有無 (1バイト)	: データ領域の有無 (固定値で "1Dh") (データ領域あり、エリアプロテクションあり、データ領域プログラムコマンドあり)			
SUM (1バイト)	: レスポンスデータを合計して "00h" になる値 (固定値で "A8h")			

36.10.5.3 ユーザ領域情報問い合わせ

このコマンドを受信すると、本MCUはユーザ領域の領域数とアドレスの情報を送信します。

コマンド	25h		
レスポンス	35h	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ (1バイト)	: 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数 (固定値で "09h")
領域数 (1バイト)	: ユーザ領域の領域数 (固定値で "01h")
領域先頭アドレス (4バイト)	: ユーザ領域の先頭アドレス
領域最終アドレス (4バイト)	: ユーザ領域の最終アドレス
SUM (1バイト)	: レスポンスデータを合計して "00h" になる値

36.10.5.4 データ領域情報問い合わせ

このコマンドを受信すると、本MCUはデータ領域の領域数とアドレスの情報を送信します。

コマンド	2Bh		
レスポンス	3Bh	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

- サイズ (1バイト) : 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数 (固定値で“09h”)
 領域数 (1バイト) : データ領域の領域数 (固定値で“01h”)
 領域先頭アドレス (4バイト) : データ領域の先頭アドレス (固定値で“0010 0000h”)
 領域最終アドレス (4バイト) : データ領域の最終アドレス (固定値で“0010 1FFFh”)
 SUM (1バイト) : レスポンスデータを合計して“00h”になる値 (固定値で“7Dh”)

36.10.5.5 ブロック情報問い合わせ

このコマンドを受信すると、本MCUはユーザ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数とデータ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数を送信します。

コマンド	26h		
レスポンス	36h	サイズ	DDh
	ユーザ領域先頭アドレス		
	1ブロックブロックサイズ(ユーザ領域)		
	ユーザ領域ブロック数		
	データ領域先頭アドレス		
	1ブロックブロックサイズ(データ領域)		
	データ領域ブロック数		
	SUM		

- サイズ (2バイト) : “DDh” からデータ領域ブロック数までのデータの総バイト数 (固定値で“00 19h”)
 ユーザ領域先頭アドレス (4バイト) : ユーザ領域の先頭アドレス
 1ブロックブロックサイズ(ユーザ領域) (4バイト) : 1ブロックのメモリサイズ (固定値で“00 00 08 00h”)
 ユーザ領域ブロック数 (4バイト) : ユーザ領域を構成するブロックの数
 データ領域先頭アドレス (4バイト) : データ領域の先頭アドレス (固定値で“00 10 00 00h”)
 1ブロックブロックサイズ(データ領域) (4バイト) : 1ブロックのメモリサイズ (固定値で“00 00 04 00h”)
 データ領域ブロック数 (4バイト) : データ領域を構成するブロックの数 (固定値で“00 00 00 08h”)
 SUM (1バイト) : レスポンスデータを合計して“00h”になる値

36.10.6 設定コマンド

設定コマンドは、本MCUのプログラムやイレーズを実行するために必要な基本設定を行うためのコマンドです。

表 36.17 に設定コマンドの一覧を示します。一覧にあるコマンドは、問い合わせ / 設定ホストコマンド待ちステートでのみ使用可能です。

表 36.17 設定コマンド一覧

コマンド	機能
デバイス選択	デバイスコードの選択
動作周波数選択	通信のビットレートを変更
プログラム/イレーズホストコマンド待ちステート遷移	プログラム/イレーズホストコマンド待ちステート、またはブートモードIDコード認証ステートに遷移

36.10.6.1 デバイス選択

開発したソフトウェアのエンディアンを指定するコマンドです。コマンドに指定するデバイスコードは、サポートデバイス問い合わせコマンドで取得したデバイスコードの中から選択してください。

本MCUは受け取ったデバイスコードがサポートしているデバイスに一致した場合、レスポンス“46h”を送信します。サポートしていないデバイスであった場合や、受信したコマンドのSUM値が一致しなかった場合には、エラーレスポンスを送信します。

コマンド	10h	サイズ	デバイスコード	SUM
------	-----	-----	---------	-----

サイズ (1 バイト) : デバイスコードの文字数 (固定値で“04h”)

デバイスコード (4 バイト) : 開発したソフトウェアのエンディアンを認識するための認識コード
(サポートデバイス問い合わせコマンドの応答と同一のデバイスコード)

SUM (1 バイト) : コマンドデータを合計して“00h”になる値

レスポンス

46h

エラーレスポンス

90h	エラー
-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“21h” : デバイスコードエラー

36.10.6.2 動作周波数選択

MCUの動作周波数、フラッシュメモリプログラマとの通信ビットレートを指定するコマンドです。コマンドに指定するビットレートは、動作電圧に応じた32 MHzか8 MHzを分周して得られるビットレートとの誤差が4%未満となるビットレートを設定してください。

本MCUは指定された設定内容がサポート可能である場合、レスポンス“06h”を送信します。ビットレート誤差が4%以上の場合や、受信したコマンドのSUM値が一致しなかった場合には、エラーレスポンスを送信します。

ホストはレスポンスを受信した後、旧ビットレートで1ビット期間以上待ってから新ビットレートで通信確認データを送信してください。

本MCUは通信確認データを正しく受信できた場合、レスポンス“06h”を送信します。正しく受信できなかった場合には、エラーレスポンスを送信します。

コマンド	3Fh	サイズ	ビットレート		ダミーデータ
	クロック数	通倍率1	通倍率2		
	SUM				

サイズ (1バイト) : ビットレート、ダミーデータ、クロック数、通倍率のデータの総バイト数 (固定値で“07h”)

ビットレート (2バイト) : 新ビットレート

ビットレートを1/100した値を設定 (例: 19200 bpsの場合、“00C0h”を設定)

ダミーデータ (2バイト) : 固定値で“0000h”を設定

クロック数 (1バイト) : 通倍率を設定するクロックの種類 (固定値: “02h”)

通倍率1 (1バイト) : システムクロック (ICLK) の通倍率 (固定値で“01h”)

通倍率2 (1バイト) : 周辺モジュールクロック (PCLK) の通倍率 (固定値で“01h”)

SUM (1バイト) : コマンドデータ (ダミーデータを含む) を合計して“00h”になる値

レスポンス

06h

エラーレスポンス

BFh

エラー

エラー (1バイト) : エラーコード

“11h” : SUMエラー

“24h” : ビットレート選択エラー

通信確認

06h

レスポンス

06h

エラーレスポンス

FFh

- ビットレート選択エラー

動作周波数選択コマンドで指定したビットレートを、本MCUが誤差4%未満で生成できない場合にビットレート選択エラーが発生します。

動作周波数選択コマンドで指定した新ビットレートをB、動作電圧に応じた32 [MHz] か8 [MHz] をPφにした場合のビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 [\%]} = \left(\frac{P\phi \times 10^6}{B \times 32 \times N} - 1 \right) \times 100$$

$$N = \text{INT} \left(\frac{P\phi \times 10^6}{B \times 32} \right)$$

Pφ：動作電圧が3.0V以上の場合、32 [MHz]
3.0V未満の場合、8 [MHz]

B：新ビットレート [bps]

N：Pφと新ビットレートの32倍との比（ただし、 $1 \leq N \leq 256$ ）

36.10.6.3 プログラム/イレーズホストコマンド待ちステート遷移

問い合わせ/設定ホストコマンド待ちステートからプログラム/イレーズホストコマンド待ちステートに遷移させるために使用するコマンドです。このコマンドを受信すると、本MCUはブートモードIDコードプロテクトの有効、無効を判定します。

ブートモードIDコードプロテクトが無効の場合、ユーザ領域、データ領域のすべてのブロックをイレーズします。すべてのブロックのイレーズが完了するとレスポンス“06h”を送信し、プログラム/イレーズホストコマンド待ちステートに遷移します。正しくすべてのブロックをイレーズできなかった場合には、エラーレスポンスを送信します。

ブートモードIDコードプロテクトが有効の場合、レスポンス“16h”を送信し、ブートモードIDコード認証ステートに遷移します。

コマンド	40h
レスポンス	ACK
ACK (1バイト)	: ACK コード “06h” : IDコードプロテクト無効 “16h” : IDコードプロテクト有効
エラーレスポンス	C0h エラー
エラー (1バイト)	: エラーコード “51h” : イレーズエラー

36.10.7 IDコード認証コマンド

IDコード認証コマンドは、ブートモードIDコードプロテクトが有効の場合に、IDコード認証を行うためのコマンドです。表 36.18 に IDコード認証コマンドの一覧を示します。一覧にあるコマンドは、ブートモードIDコード認証ステートでのみ使用可能です。

表 36.18 IDコード認証コマンド一覧

コマンド	機能
IDコードチェック	ホストから送信する16バイトのコードとIDコードとを比較する

36.10.7.1 IDコードチェック

ブートモードIDコードプロテクトを解除するために使用するコマンドです。コマンド中で指定する比較用IDコードは、ユーザ領域にプログラム済みの制御コード、IDコード1～IDコード15と同じ値にしてください。

ホストから送信した比較用IDコードと、ユーザ領域にプログラムされたIDコードが一致した場合、本MCUはレスポンス“06h”を送信し、プログラム/イレーズホストコマンド待ちステートに遷移します。一致しなかった場合や受信したコマンドのSUM値が一致しなかった場合、エラーレスポンスを送信します。

制御コードに“45h”がプログラムされているときに3回連続で不一致となった場合、ユーザ領域、データ領域のすべてのブロックをイレーズします。イレーズ中にエラーが発生すると、本MCUはエラーレスポンスを送信します。また、すべてのブロックのイレーズが正常に完了してもエラーレスポンスを送信し、ブートモードIDコード認証ステートを継続します。プログラム/イレーズホストコマンド待ちステートに遷移するには、本MCUをリセットしてください。

コマンド	60h	サイズ
	比較用IDコード(制御コード+IDコード1～IDコード15)	
	SUM	

サイズ(1バイト) : IDコードのバイト数(固定値で“10h”)
 IDコード(16バイト) : 制御コード(1バイト)+IDコード1～IDコード15(15バイト)
 SUM(1バイト) : コマンドデータを合計して“00h”になる値

レスポンス	ACK
-------	-----

ACK(1バイト) : ACKコード
 “06h” : プログラム/イレーズホストコマンド待ちステートへ遷移します。

エラーレスポンス	E0h	エラー
----------	-----	-----

エラー(1バイト) : エラーコード
 “11h” : SUMエラー
 “61h” : IDコード不一致
 “63h” : IDコード不一致かつイレーズエラー

36.10.8 プログラム/イレーズコマンド

プログラム/イレーズコマンドは、問い合わせコマンドのレスポンスをもとに、本MCUのユーザ領域やデータ領域に対してプログラムやイレーズを行うコマンドです。表 36.19 にプログラム/イレーズホストコマンド待ち、プログラム待ち、イレーズ待ちの各状態で使用可能なプログラム/イレーズコマンドの一覧を、表 36.20 に各状態で受け付けるコマンドを示します。

各状態で表 36.20 に記載されていないコマンドを受信するとコマンドエラーのレスポンスを送信します。

表 36.19 プログラム/イレーズコマンド一覧

コマンド	機能
ユーザ/データ領域プログラム準備	ユーザ領域、データ領域にデータをプログラムするためのプログラム待ち状態へ遷移
プログラム	ユーザ領域またはデータ領域の指定領域に指定したデータをプログラム。 またはプログラム/イレーズホストコマンド待ち状態へ遷移(プログラムの終了)
データ領域プログラム	データ領域の指定領域に指定したサイズのデータをプログラム。 またはプログラム/イレーズホストコマンド待ち状態へ遷移(データ領域プログラムの終了)
イレーズ準備	イレーズ待ち状態へ遷移
ブロックイレーズ	指定ブロックのイレーズ、またはプログラム/イレーズホストコマンド待ち状態へ遷移 (イレーズの終了)

表 36.20 ステート毎の受け付け可能なコマンド

ステート	受け付けるコマンド
プログラム/イレーズホストコマンド待ち状態	ユーザ/データ領域プログラム準備コマンド、イレーズ準備コマンド
プログラム待ち状態	プログラムコマンド、データ領域プログラムコマンド
イレーズ待ち状態	ブロックイレーズコマンド

36.10.8.1 ユーザ/データ領域プログラム準備

プログラムコマンドとデータ領域プログラムコマンドの受け付け準備をさせるためのコマンドです。このコマンドを受信すると、本MCUはプログラムの準備の指示がホストから行われたと判断し、プログラムコマンドとデータ領域プログラムコマンドのみ受け付ける、プログラム待ち状態へ遷移し、レスポンス“06h”を送信します。

コマンド

43h

レスポンス

06h

36.10.8.2 プログラム

ユーザ領域、データ領域に指定のデータをプログラムするためのコマンドです。コマンド中で指定するプログラムアドレスは、下位 8 ビットを“0”にしてください。プログラムデータ長が 256 バイトに満たないデータを書き込むことはできません。不足部分は“FFh”で埋めてください。

本 MCU は指定されたアドレスからのプログラムが正常に終了すると、レスポンス“06h”を送信します。受信したコマンドの SUM 値が一致しなかった場合や、プログラム中にエラーが発生すると、本 MCU はエラーレスポンスを送信します。

プログラムを終了してプログラム/イレーズホストコマンド待ちステートへ遷移する場合、ホストから“50h FFh FFh FFh FFh B4h”を送信してください。本 MCU はレスポンス“06h”を送信し、プログラム/イレーズホストコマンド待ちステートへ遷移します。

コマンド	50h	プログラムアドレス
	プログラムデータ	
	SUM	

プログラムアドレス (4 バイト) : プログラム先のアドレス

下位 8 ビットを“0”に設定

プログラムを終了する場合は“FFFF FFFFh”を設定

プログラムデータ (n バイト) : プログラムデータ (n = 256 または 0 (終了時))

n バイトに満たない領域には“FFh”を設定

プログラムを終了する場合はプログラムデータなし

SUM (1 バイト)

: コマンドデータを合計して“00h”になる値

レスポンス

06h

エラーレスポンス

D0h	エラー
-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー (アドレスが指定の領域内でない)

“53h” : プログラムエラー (データまたはプログラムデータが書き込めない)

36.10.8.3 データ領域プログラム

データ領域に指定のデータをプログラムするためのコマンドです。コマンド中で指定するプログラムアドレスは、下位2ビットを“0”にしてください。プログラムデータ長が4バイトに満たないデータを書き込むことはできません。不足部分は“FFh”で埋めてください。

本MCUは指定されたアドレスからのプログラムが正常に終了すると、レスポンス“06h”を送信します。受信したコマンドのSUM値が一致しなかった場合や、プログラム中にエラーが発生すると、本MCUはエラーレスポンスを送信します。

プログラムを終了してプログラム/イレーズホストコマンド待ちステートへ遷移する場合、ホストから“51h FFh FFh FFh FFh 00h B3h”を送信してください。本MCUはレスポンス“06h”を送信し、プログラム/イレーズホストコマンド待ちステートへ遷移します。

コマンド	51h	プログラムアドレス	プログラムデータ長
	プログラムデータ		
	SUM		

プログラムアドレス (4 バイト) : データ領域のプログラム先アドレス

指定するアドレスの下位2ビットは“0”に設定

データ領域プログラムを終了する場合は“FFFF FFFFh”を設定

プログラムデータ長 (1 バイト) : プログラムデータのサイズ

4バイト単位のデータを設定

データ領域プログラムを終了する場合は“00h”を設定

プログラムデータ (n バイト) : データ領域へのプログラムデータ (n = プログラムデータ長、“0” (終了時))

プログラムデータ長分のデータを設定

nバイトに満たない領域には“FFh”を設定

データ領域プログラムを終了する場合はプログラムデータなし

SUM (1 バイト)

: コマンドデータを合計して“00h”になる値

レスポンス

06h

エラーレスポンス

D1h	エラー
-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー

“2Bh” : データ長エラー

“53h” : プログラムエラー (データまたはプログラムデータが書き込めない)

36.10.8.4 イレーズ準備

ブロックイレーズコマンドの受け付け準備をさせるためのコマンドです。このコマンドを受信すると、本MCUはイレーズの準備の指示がホストから行われたと判断し、ブロックイレーズコマンドのみを受け付けるイレーズ待ちステートへ遷移し、レスポンス“06h”を送信します。

コマンド	48h
レスポンス	06h

36.10.8.5 ブロックイレーズ

ユーザ領域、データ領域の指定のブロックをイレーズするためのコマンドです。コマンド中で指定するブロック先頭アドレスは、ブロック情報問い合わせコマンドのレスポンスを元にアドレスを計算して指定してください。

本MCUはブロック先頭アドレスで指定されたブロックのイレーズが正常に終了すると、レスポンス“06h”を送信します。受信したコマンドのSUM値が一致しなかった場合や、イレーズ中にエラーが発生すると、本MCUはエラーレスポンスを送信します。

イレーズを終了してプログラム/イレーズホストコマンド待ちステートへ遷移する場合、ホストから“59h 04h FFh FFh FFh FFh A7h”を送信してください。本MCUはプログラム/イレーズホストコマンド待ちステートへ遷移し、レスポンス“06h”を送信します。

コマンド	59h	サイズ
	ブロック先頭アドレス	
	SUM	

サイズ (1 バイト) : ブロック先頭アドレスのデータの総バイト数 (固定値で“04h”)
 ブロック先頭アドレス (4 バイト) : イレーズするブロックの先頭アドレス
 イレーズを終了する場合には“FFFF FFFFh”を設定
 SUM (1 バイト) : コマンドデータを合計して“00h”になる値

レスポンス	06h
-------	-----

エラーレスポンス	D9h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード
 “11h” : SUM エラー
 “29h” : ブロック先頭アドレスエラー
 “51h” : イレーズエラー (指定ブロックがイレーズできない)

36.10.9 リードチェックコマンド

リードチェックコマンドは、問い合わせコマンドのレスポンスをもとに、本MCUのユーザ領域やデータ領域に対してデータリードやブランクチェックを行うコマンドです。表 36.21 にプログラム/イレーズホストコマンド待ち状態で使用可能なリードチェックコマンドの一覧を示します。

表36.21 リードチェックコマンド一覧

コマンド	機能
メモリリード	ユーザ領域、データ領域のデータ読み出し
ユーザ領域チェックサム	ユーザ領域全体のチェックサムを取得
データ領域チェックサム	データ領域全体のチェックサムを取得
ユーザ領域ブランクチェック	ユーザ領域の書き込みデータの有無をチェック
データ領域ブランクチェック	データ領域の書き込みデータの有無をチェック
アクセスウィンドウ情報プログラム	アクセスウィンドウの設定
アクセスウィンドウリード	アクセスウィンドウの設定読み出し

36.10.9.1 メモリリード

ユーザ領域、データ領域にプログラムされているデータを読み出すコマンドです。コマンド中で指定する読み出し先頭アドレスは、ユーザ領域情報問い合わせコマンド、データ領域情報問い合わせコマンドのレスポンス中の領域先頭アドレスから領域最終アドレスまでの範囲内の値を設定してください。

コマンド中で指定する読み出しサイズは、読み出し先頭アドレスに読み出しサイズを加算したアドレスが、ユーザ領域情報問い合わせコマンド、データ領域情報問い合わせコマンドのレスポンス中の領域先頭アドレスから領域最終アドレスまでの範囲に入るように設定してください。

本MCUはデータを正常にリードできた場合、指定された範囲のデータを送信します。受信したコマンドのSUM値が一致しなかった場合や、リードを正常に実行できなかった場合、エラーレスポンスを送信します。

コマンド	52h	サイズ	領域
	読み出し先頭アドレス		
	読み出しサイズ		
	SUM		

サイズ (1 バイト) : 領域、読み出し先頭アドレス、読み出しサイズのデータの総バイト数

領域 (1 バイト) : 読み出し対象の領域

“01h” : ユーザ領域またはデータ領域

読み出し先頭アドレス (4 バイト) : 読み出し対象範囲の先頭アドレス

読み出しサイズ (4 バイト) : 読み出すデータのサイズ (バイト単位)

SUM (1 バイト) : コマンドデータを合計して “00h” になる値

レスポンス	52h	読み出しサイズ
	読み出しデータ	
	SUM	

読み出しサイズ (4 バイト) : 読み出したデータのサイズ (バイト単位)
 読み出しデータ (n バイト) : 指定範囲から読み出したデータ (n = 読み出しサイズ)
 SUM (1 バイト) : レスポンスデータを合計して “00h” になる値

エラーレスポンス	D2h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード
 “11h” : SUM エラー
 “2Ah” : アドレスエラー
 ・ コマンドの「領域」に “01h” 以外を指定した
 ・ コマンドの読み出し先頭アドレスが読み出し対象領域の範囲外である
 “2Bh” : サイズエラー
 ・ コマンドの読み出しサイズに “0000 0000h” が指定されている
 ・ コマンドの読み出しサイズが読み出し対象領域のサイズを超えている
 ・ コマンドの読み出し先頭アドレスと読み出しサイズを加算したアドレスが読み出し対象領域の範囲外である

36.10.9.2 ユーザ領域チェックサム

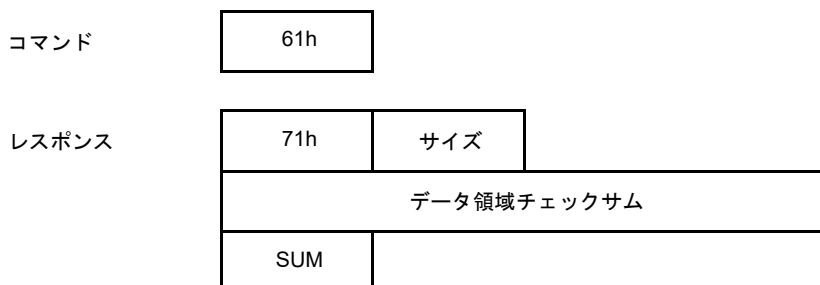
ユーザ領域全体のチェックサムを取得するコマンドです。このコマンドを受信すると、本 MCU はユーザ領域の先頭アドレスから最終アドレスまでのデータをバイト単位で加算し、加算結果 (チェックサム) をレスポンスとして送信します。

コマンド	4Bh	
レスポンス	5Bh	サイズ
	ユーザ領域チェックサム	
	SUM	

サイズ (1 バイト) : ユーザ領域チェックサムのバイト数 (固定値で “04h”)
 ユーザ領域チェックサム (4 バイト) : ユーザ領域のデータを 1 バイト単位で加算した結果
 SUM (1 バイト) : レスポンスデータを合計して “00h” になる値

36.10.9.3 データ領域チェックサム

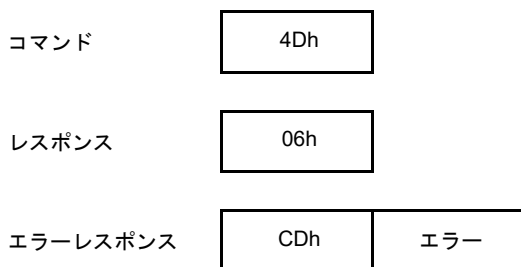
データ領域全体のチェックサムを取得するコマンドです。このコマンドを受信すると、本MCUはデータ領域の先頭アドレスから最終アドレスまでのデータをバイト単位で加算し、加算結果(チェックサム)をレスポンスとして送信します。



サイズ(1バイト) : データ領域チェックサムのバイト数(固定値で“04h”)
 データ領域チェックサム(4バイト) : データ領域のデータを1バイト単位で加算した結果
 SUM(1バイト) : レスポンスデータを合計して“00h”になる値

36.10.9.4 ユーザ領域ブランクチェック

ユーザ領域にデータがプログラムされているかどうかを確認するコマンドです。このコマンドを受信すると、本MCUはユーザ領域全体のブランクチェックを行い、データがプログラムされていない場合、レスポンス“06h”を送信します。1バイトでもデータがプログラムされている場合には、エラーレスポンスを送信します。



エラー(1バイト) : エラーコード
 “52h” : データあり

36.10.9.5 データ領域ブランクチェック

データ領域にデータがプログラムされているかどうかを確認するコマンドです。このコマンドを受信すると、本MCUはデータ領域全体のブランクチェックを行い、データがプログラムされていない場合、レスポンス“06h”を送信します。1バイトでもデータがプログラムされている場合には、エラーレスポンスを送信します。

コマンド	62h	
レスポンス	06h	
エラーレスポンス	E2h	エラー

エラー (1 バイト) : エラーコード
 “52h” : データあり

36.10.9.6 アクセスウィンドウ情報プログラム

エリアプロテクションで使用するアクセスウィンドウを設定するコマンドです。コマンド中で指定するアクセスウィンドウ先頭アドレスには、スタートブロックの先頭アドレスを指定してください。また、アクセスウィンドウ最終アドレスには、エンドブロックの最終アドレスを指定してください。

本MCUは指定されたアクセスウィンドウの設定が正常に終了すると、レスポンス“06h”を送信します。受信したコマンドのSUM値が一致しなかった場合や、アクセスウィンドウの設定中にエラーが発生すると、エラーレスポンスを送信します。

アクセスウィンドウの詳細については、「36.6 エリアプロテクション」を参照してください。

コマンド	74h	05h	AW区分	
	AW先頭 アドレスLH	AW先頭 アドレスHL	AW最終 アドレスLH	AW最終 アドレスHL
	SUM			

AW区分 (1 バイト)	: アクセスウィンドウの設定 / 解除 アクセスウィンドウを設定する場合には “00h” を設定 アクセスウィンドウを解除する場合には “FFh” を設定
AW先頭アドレス LH (1 バイト)	: アクセスウィンドウ範囲の先頭アドレス (A15 ~ A8) スタートブロック先頭アドレスの A15 ~ A8 を設定 アクセスウィンドウを解除する場合には “FFh” を設定
AW先頭アドレス HL (1 バイト)	: アクセスウィンドウ範囲の先頭アドレス (A23 ~ A16) スタートブロック先頭アドレスの A23 ~ A16 を設定 アクセスウィンドウを解除する場合には “FFh” を設定
AW最終アドレス LH (1 バイト)	: アクセスウィンドウ範囲の最終アドレス (A15 ~ A8) エンドブロック最終アドレスの A15 ~ A8 を設定 アクセスウィンドウを解除する場合には “FFh” を設定
AW最終アドレス HL (1 バイト)	: アクセスウィンドウ範囲の最終アドレス (A23 ~ A16) エンドブロック最終アドレスの A23 ~ A16 を設定 アクセスウィンドウを解除する場合には “FFh” を設定
SUM (1 バイト)	: コマンドデータを合計して “00h” になる値

レスポンス	06h
-------	-----

エラーレスポンス	F4h	エラー
----------	-----	-----

エラー (1バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー (指定されたアドレスが領域内でない)

“53h” : プログラムエラー (アクセスウィンドウの設定ができない)

36.10.9.7 アクセスウィンドウリード

設定されているアクセスウィンドウの範囲を確認するためのコマンドです。

本MCUはアクセスウィンドウの範囲を正常に取得できた場合、読み出したアクセスウィンドウ先頭アドレスとアクセスウィンドウ最終アドレスを送信します。受信したコマンドのSUM値が一致しなかった場合、エラーレスポンスを送信します。

コマンド	73h	01h	FFh	8Dh
------	-----	-----	-----	-----

レスポンス	73h	05h		
	AW先頭 アドレスLH	AW先頭 アドレスHL	AW最終 アドレスLH	AW最終 アドレスHL
	FFh			
	SUM			

AW 先頭アドレス LH (1バイト) : アクセスウィンドウ範囲の先頭アドレス (A15 ~ A8)

AW 先頭アドレス HL (1バイト) : アクセスウィンドウ範囲の先頭アドレス (A23 ~ A16)

AW 最終アドレス LH (1バイト) : アクセスウィンドウ範囲の最終アドレス (A15 ~ A8)

AW 最終アドレス HL (1バイト) : アクセスウィンドウ範囲の最終アドレス (A23 ~ A16)

SUM (1バイト) : レスポンスデータを合計して “00h” になる値

エラーレスポンス	F3h	エラー
----------	-----	-----

エラー (1バイト) : エラーコード

“11h” : SUM エラー

36.11 ブートモード (SCI インタフェース) でのシリアルプログラマ動作説明

ブートモード (SCI インタフェース) を用いたシリアルプログラマで、ユーザ領域、データ領域のプログラム/イレーズを行う手順を説明します。

1. ビットレート自動調整
2. MCU の情報を取得 (注 1)
3. デバイスの指定、ビットレートの変更
4. プログラム/イレーズホストコマンド待ちステートへの遷移
5. ブートモード ID コードプロテクトの解除
6. ユーザ領域、データ領域のイレーズ (注 2、注 3)
7. ユーザ領域、データ領域のプログラム (注 2、注 3)
8. ユーザ領域のデータを確認 (注 2)
9. データ領域のデータを確認 (注 2)
10. ユーザ領域にアクセスウィンドウを設定
11. MCU のリセット

注 1. 2. の処理は、取得する情報が既にある場合、省略可能です。

注 2. 6. ~ 10. の処理は、必要に応じて行ってください。また実行順を入れ替えても構いません。

注 3. タイムアウトが発生した場合や無効な応答データを受信した場合は、処理を中断し、11. の処理を行ってください。

上記 2. ~ 10. の処理で使用するコマンドの詳細は、それぞれ「36.10.5 問い合わせコマンド」、「36.10.6 設定コマンド」、「36.10.7 ID コード認証コマンド」、「36.10.8 プログラム/イレーズコマンド」、「36.10.9 リードチェックコマンド」を参照してください。

36.11.1 ビットレート自動調整の制御手順

MCUはシリアルプログラマから9,600 bpsまたは19,200 bpsで送信されるデータ“00h”のLow期間を測定してビットレートの自動調整を行います。

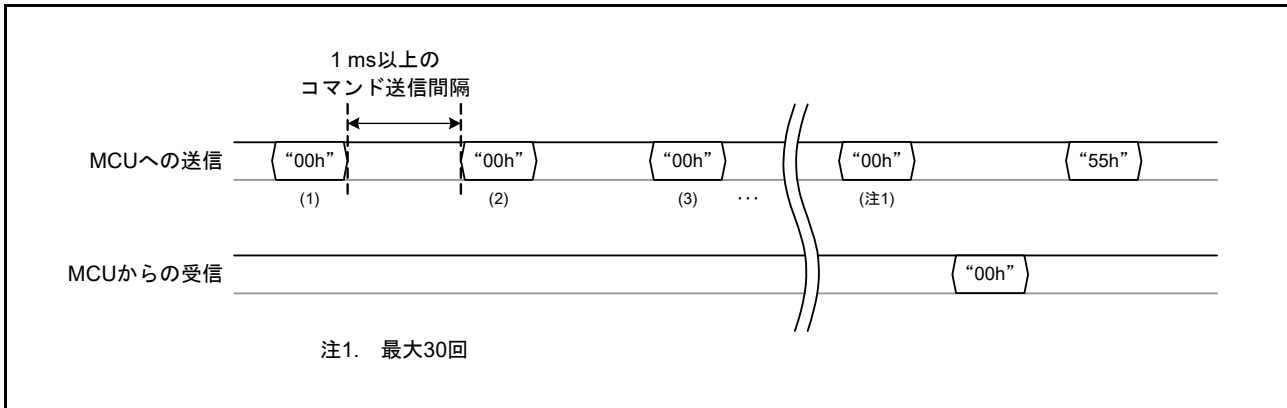


図 36.30 ビットレート自動調整時のデータフォーマット

ブートモードで起動して400 ms以上経過した後にシリアルプログラマから“00h”を送信してください。MCUはビットレート調整が終了すると“00h”をシリアルプログラマへ送信します。シリアルプログラマが“00h”を受信した場合には、シリアルプログラマから“55h”を送信してください。“00h”を受信できなかった場合は、1 ms以上置いて再度“00h”を送信してください。30回“00h”を送信しても“00h”を受信できなかった場合は、MCUをブートモードで再起動し、再度ビットレート自動調整をやり直してください。

MCUは“55h”を受信すると“E6h”を送信して問い合わせ/設定コマンド待ち状態になります。“55h”を受信できなかった場合には“FFh”を送信します。シリアルプログラマは“FFh”を受信したら、MCUをブートモードで再起動し、再度ビットレート自動調整からやり直してください。

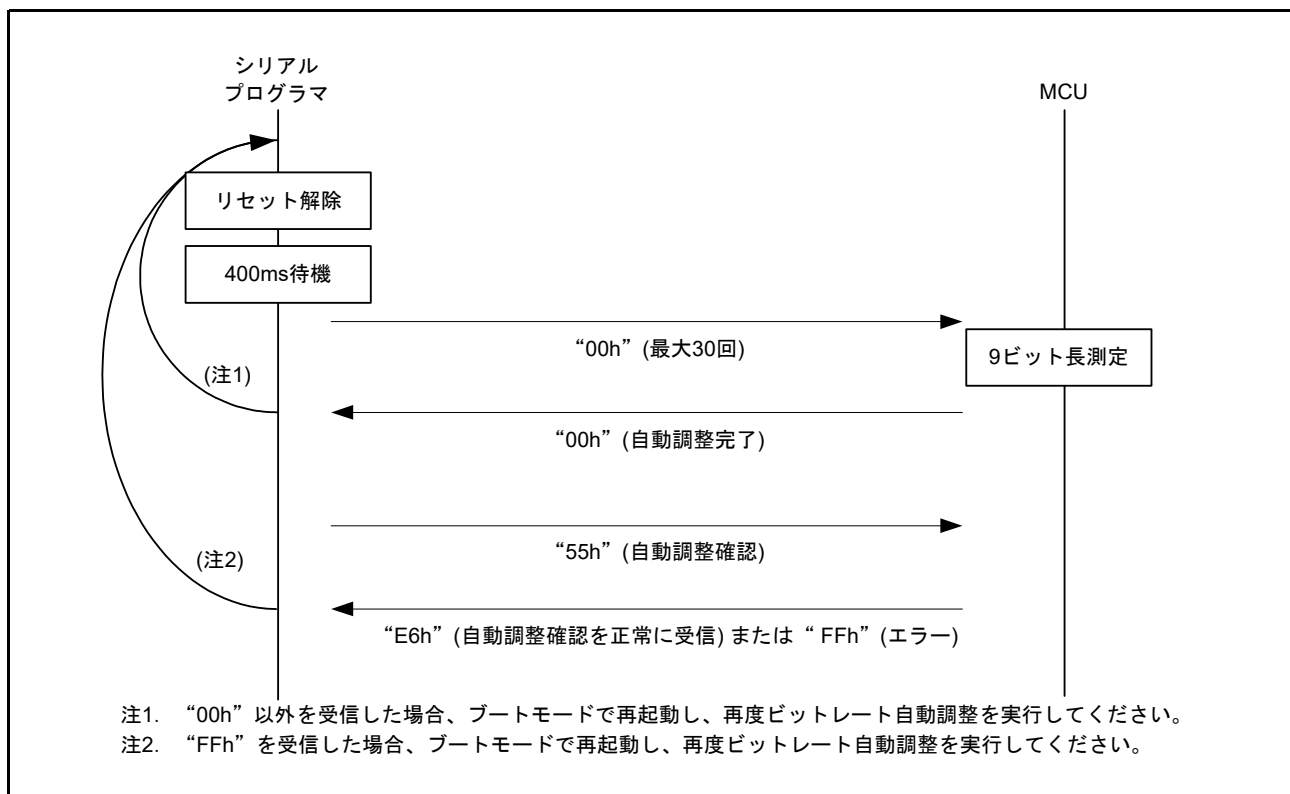


図 36.31 ビットレート自動調整の手順

36.11.2 MCU の情報取得手順

問い合わせコマンドを送信し、設定コマンドとプログラム/イレーズコマンド、リードチェックコマンドを送信するために必要な情報を取得します。

- (1) MCU がどのエンディアンをサポートしているのかを確認するため、サポートデバイス問い合わせコマンド“20h”を送信します。MCU はサポートしているすべてのデバイスコードとシリーズ名を応答します。
- (2) ユーザ領域の先頭アドレスと最終アドレスを確認するため、ユーザ領域情報問い合わせコマンド“25h”を送信します。MCU はユーザ領域の先頭アドレスと最終アドレスを応答します。
- (3) ブロックの構成を確認するため、ブロック情報問い合わせコマンド“26h”を送信します。MCU はユーザ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数とデータ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数を応答します。
- (4) データ領域の先頭アドレスと最終アドレスを確認するため、データ領域情報問い合わせコマンド“2Bh”を送信します。MCU はデータ領域の先頭アドレスと最終アドレスを応答します。

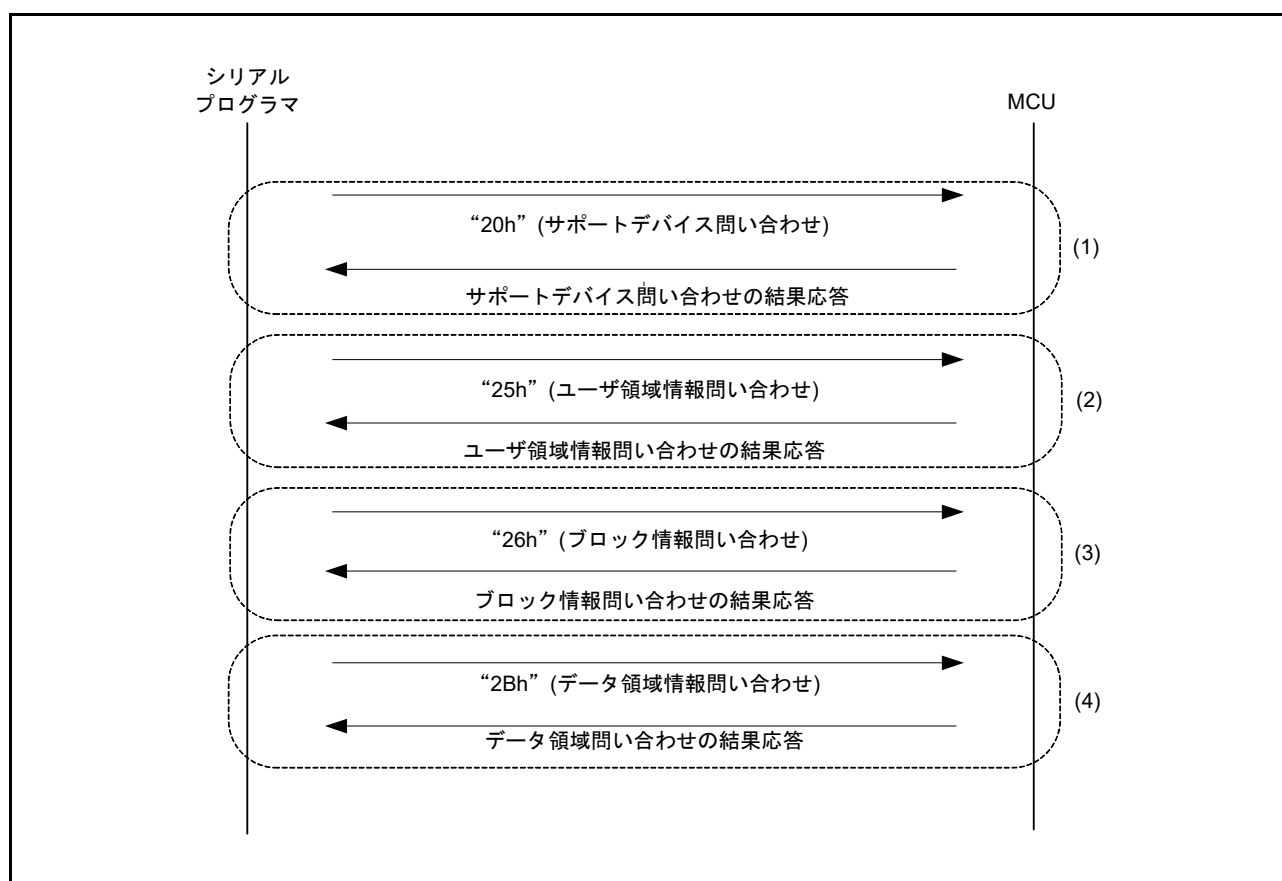


図 36.32 MCU の情報取得手順

36.11.3 デバイス指定、ビットレート変更の制御手順

シリアルプログラマと接続するデバイスの指定と通信ビットレートの変更を行います。

- (1) デバイス選択コマンド“10h”を送信します。開発したソフトウェアのエンディアンに合わせて、デバイスコードを指定してください。
- (2) 通信ビットレートを 9,600 bps または 19,200 bps から変更するため、動作周波数選択コマンド“3Fh”を送信します。

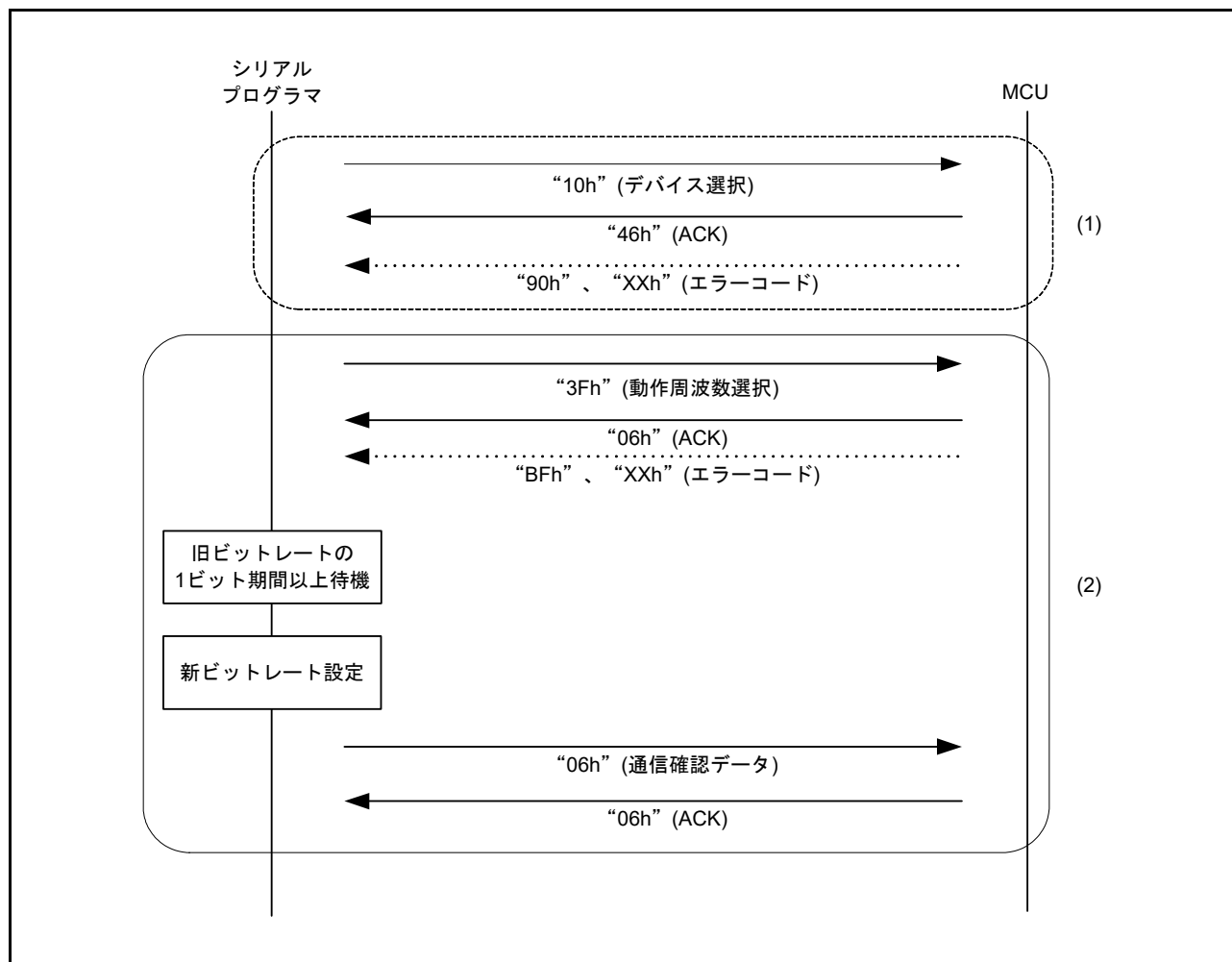


図 36.33 デバイス指定、ビットレート変更の手順

36.11.4 プログラム/イレーズホストコマンド待ち状態への遷移手順

プログラム/イレーズを行うため、プログラム/イレーズホストコマンド待ち状態遷移コマンドを送信します。MCUはブートモードIDコードプロテクトの有効/無効に応じてレスポンスを送信します。

- (1) ブートモードIDコードプロテクトが無効の場合、MCUはレスポンス“06h”を応答し、プログラム/イレーズホストコマンド待ち状態に遷移します。シリアルプログラマは「36.11.6 ユーザ領域、データ領域のイレーズ手順」から実行してください。
- (2) ブートモードIDコードプロテクトが有効の場合、MCUはレスポンス“16h”を応答し、IDコード認証状態に遷移します。シリアルプログラマは「36.11.5 ブートモードIDコードプロテクトの解除手順」から実行してください。

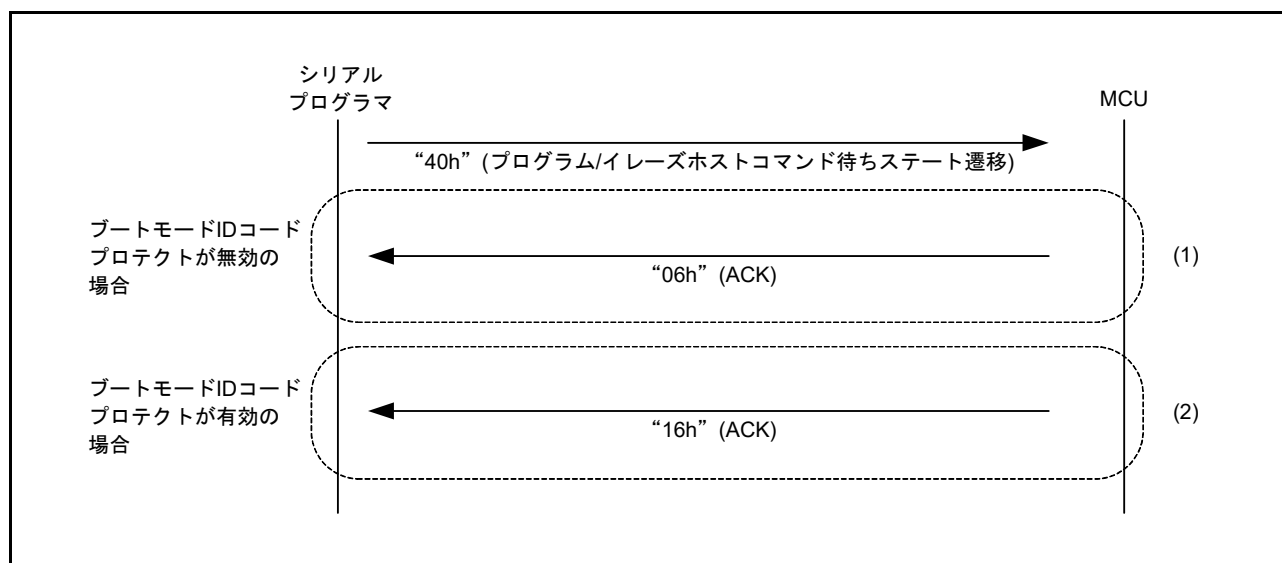


図 36.34 プログラム/イレーズホストコマンド待ち状態への遷移手順

36.11.5 ブートモード ID コードプロテクトの解除手順

ブートモード ID コードプロテクトを解除するため、ID コードチェックコマンドを送信します。

- (1) ID コードが一致した場合、MCU はプログラム / イレーズホストコマンド待ちステートに遷移します。このとき、ユーザ領域、データ領域のデータは消去されません。シリアルプログラマは「36.11.6 ユーザ領域、データ領域のイレーズ手順」から実行してください。
- (2) ID コードが不一致の場合、MCU はブートモード ID コード認証ステートから遷移しません。シリアルプログラマは MCU をリセット後「36.11.1 ビットレート自動調整の制御手順」から再実行してください。

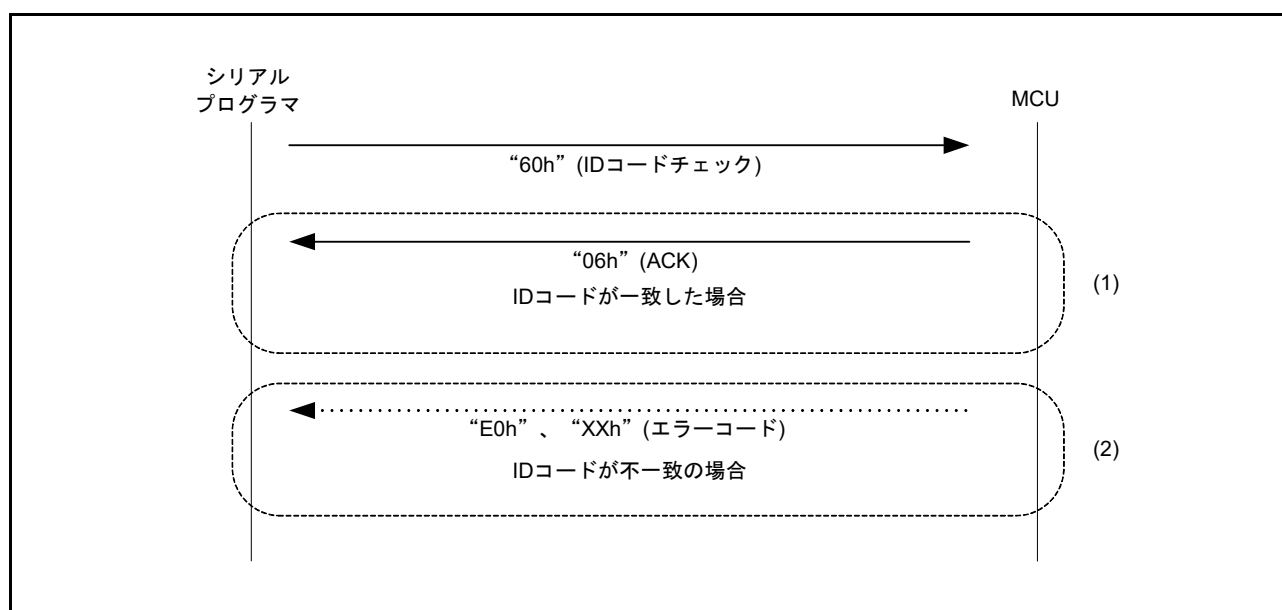


図 36.35 ブートモード ID コードプロテクトの解除手順

36.11.6 ユーザ領域、データ領域のイレーズ手順

ユーザプログラムやデータを書き込むために、ユーザ領域、データ領域を消去します。

- (1) イレーズ準備コマンド“48h”を送信します。
- (2) ブロックイレーズコマンド“59h”を送信します。
- (3) プログラム/イレーズホストコマンド待ちステートへ遷移するため、イレーズを終了するブロックイレーズコマンド“59h 04h FFh FFh FFh FFh A7h”を送信します。

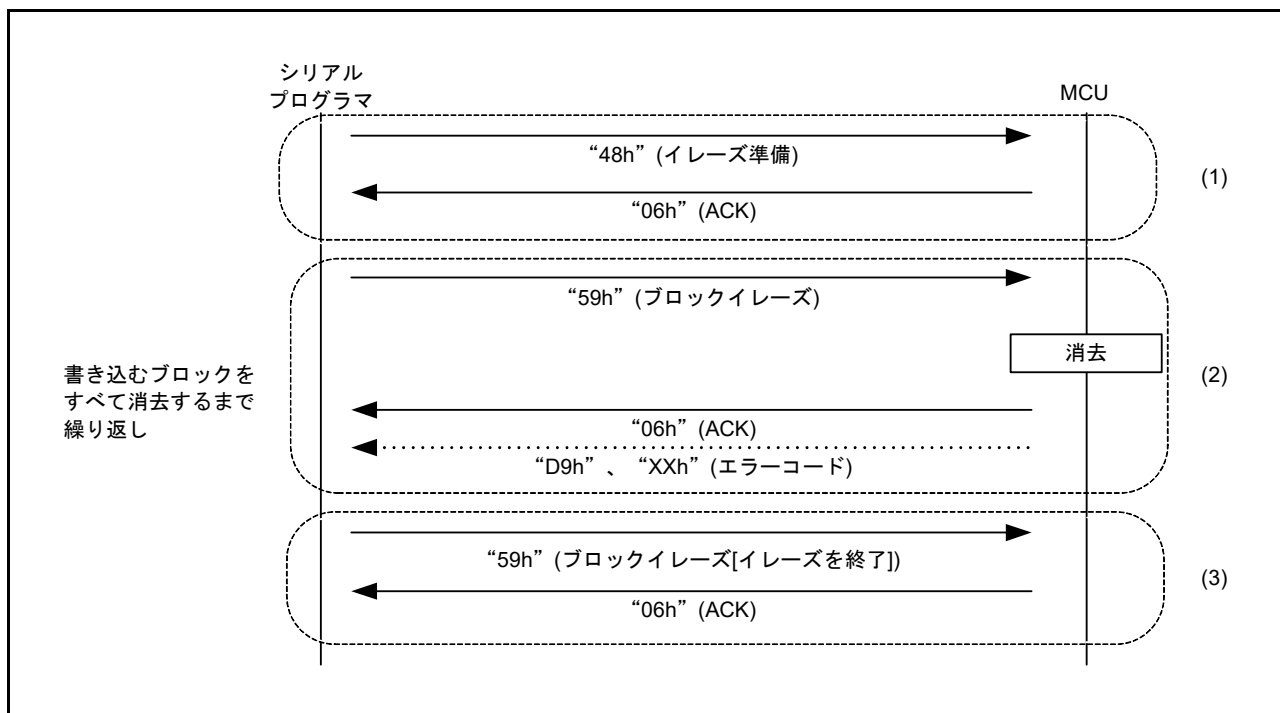


図 36.36 ユーザ領域、データ領域のイレーズ手順

36.11.7 ユーザ領域、データ領域のプログラム手順

ユーザ領域、データ領域にユーザプログラムやデータを書き込みます。

- (1) ユーザ/データ領域プログラム準備コマンド“43h”を送信します。
- (2) プログラムコマンド“50h”またはデータ領域プログラム“51h”を送信します。
- (3) プログラム/イレーズホストコマンド待ちステートへ遷移するため、プログラムを終了するプログラムコマンド“50h FFh FFh FFh FFh B4h”またはデータ領域プログラムコマンド“51h FFh FFh FFh FFh 00h B3h”を送信します。

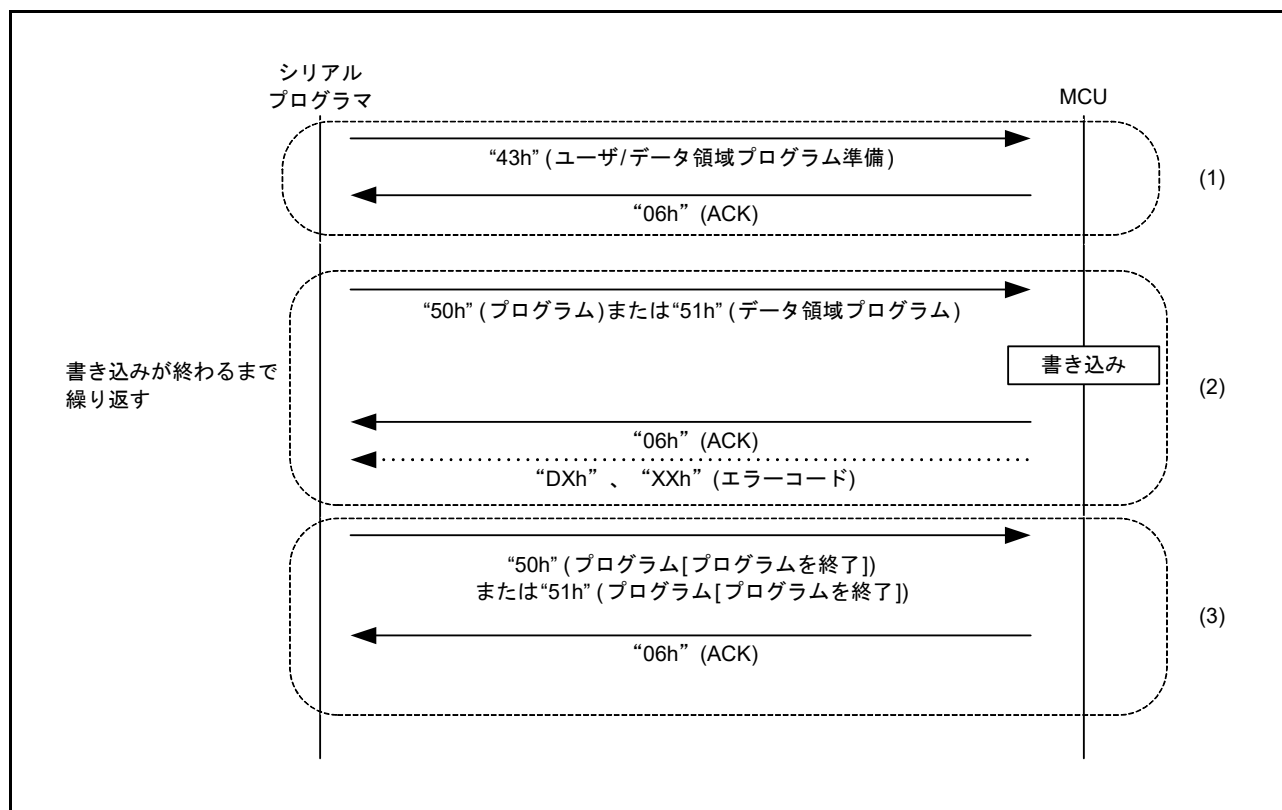


図 36.37 ユーザ領域、データ領域のプログラム手順

36.11.8 ユーザ領域のデータ確認手順

ユーザ領域に書き込まれたデータを確認するため、ユーザ領域のリードチェック、チェックサム、ブランクチェックを行います。

- (1) リードチェックは、ユーザ領域にあるデータを読み出して書き込んだ値と比較することで、書き込み動作が正常に行われたかを確認します。ユーザ領域にあるデータを読み出すために、メモリリードコマンド“52h”を送信します。
- (2) ユーザ領域のチェックサム値でプログラムデータを確認するため、ユーザ領域チェックサムコマンド“4Bh”を送信します。
- (3) ユーザ領域にデータがあるかないかを確認するため、ユーザ領域ブランクチェックコマンド“4Dh”を送信します。

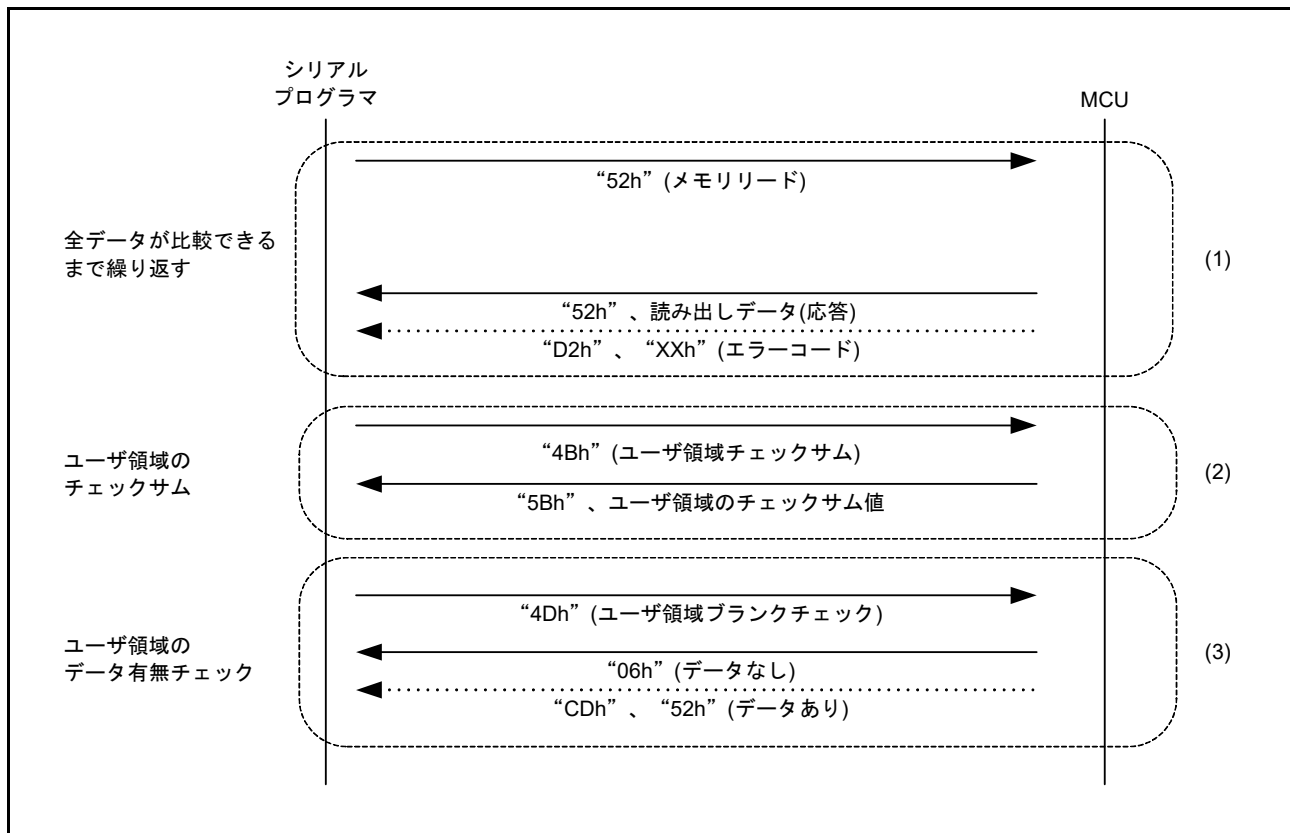


図 36.38 ユーザ領域のデータ確認手順

36.11.9 データ領域のデータ確認手順

データ領域に書き込まれたデータを確認するため、データ領域のリードチェック、チェックサム、ブランクチェックを行います。

- (1) リードチェックは、データ領域にあるデータを読み出して書き込んだ値と比較することで、書き込み動作が正常に行われたかを確認します。データ領域にあるデータを読み出すために、メモリリードコマンド“52h”を送信します。
- (2) データ領域のチェックサム値でプログラムデータを確認するため、データ領域チェックサムコマンド“61h”を送信します。
- (3) データ領域にデータがあるかないかを確認するため、データ領域ブランクチェックコマンド“62h”を送信します。

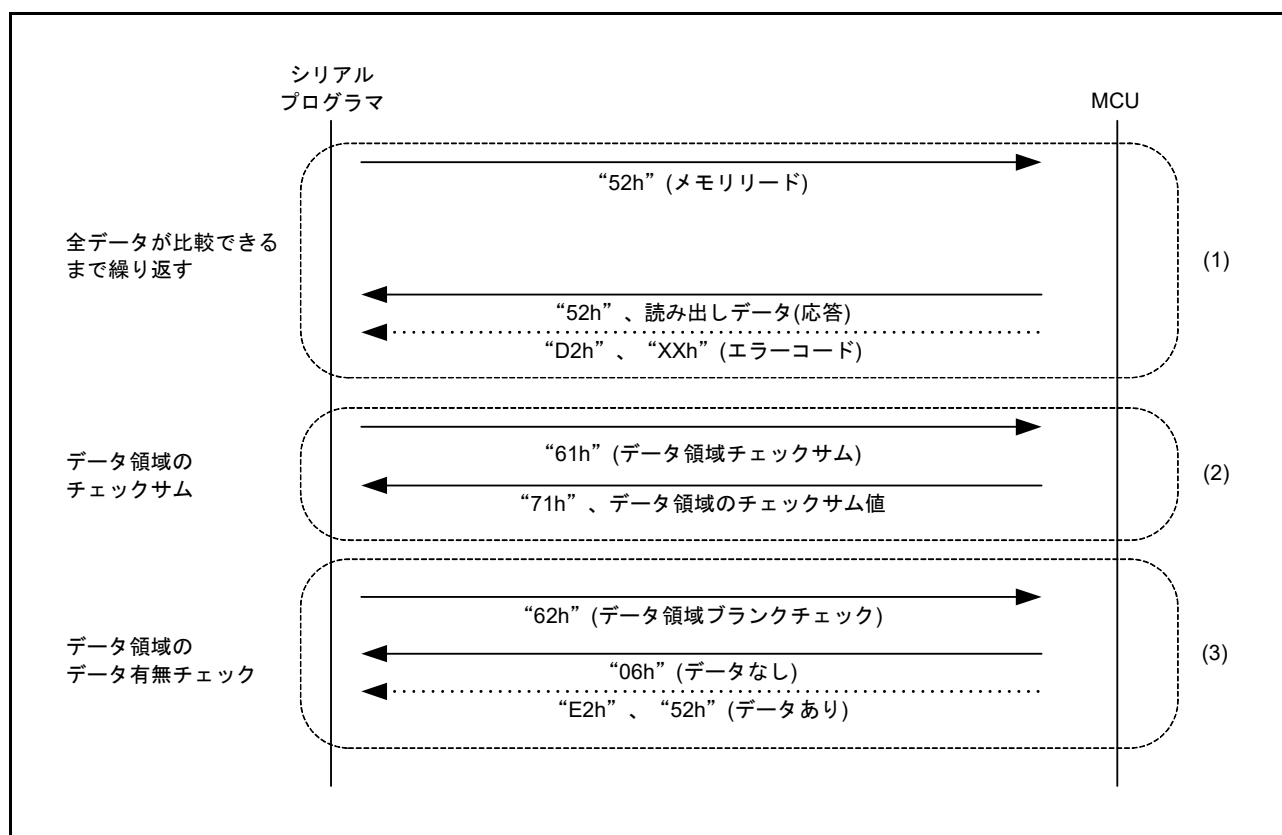


図 36.39 データ領域のデータ確認手順

36.11.10 ユーザ領域のアクセスウィンドウ設定手順

セルフプログラミングで、ユーザ領域の意図しない書き換えを防ぐため、アクセスウィンドウの設定を行います。

- (1) アクセスウィンドウの設定を行うため、アクセスウィンドウ情報プログラムコマンド“74h”を送信します。
- (2) アクセスウィンドウの設定を確認するため、アクセスウィンドウリードコマンド“73h”を送信します。

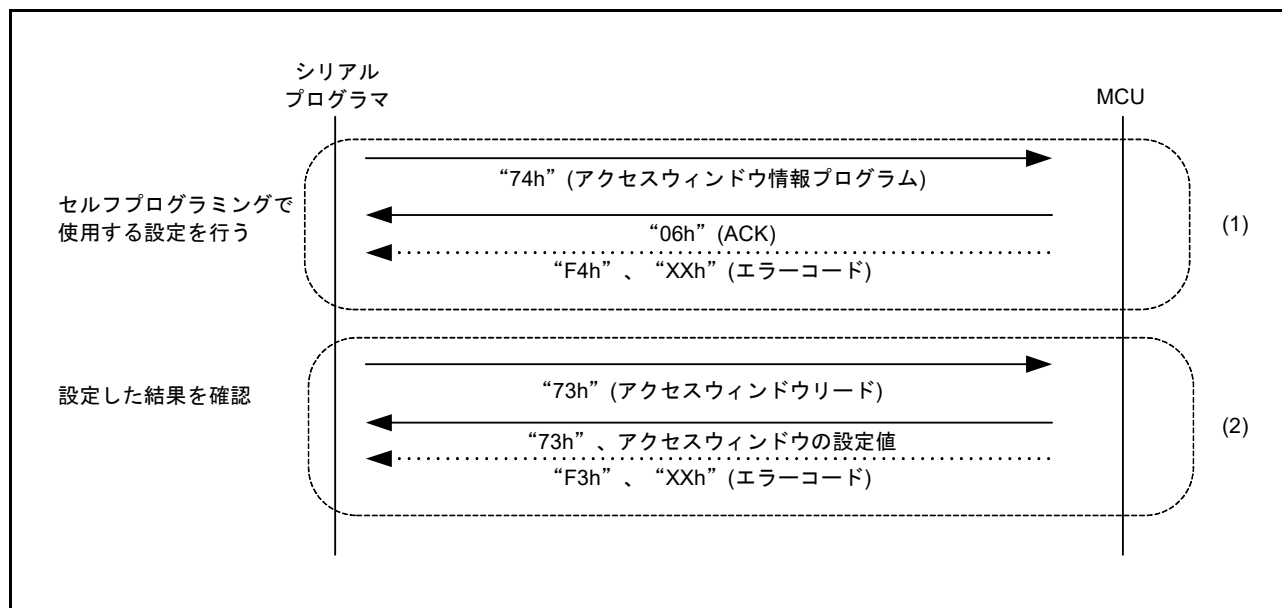


図 36.40 ユーザ領域のアクセスウィンドウ設定手順

36.12 セルフプログラミングでの書き換え

36.12.1 概要

本MCUは、ユーザプログラム自身によるフラッシュメモリの書き換えをサポートします。ユーザプログラム内にフラッシュ書き換えルーチンを用意することにより、ROMとE2データフラッシュを書き換えることができます。

E2データフラッシュは、BGO機能を利用してROM上でフラッシュ書き換えルーチンを実行して、書き換えることができます。また、あらかじめ内蔵RAMに転送したフラッシュ書き換えルーチンを実行して、E2データフラッシュを書き換えることもできます。

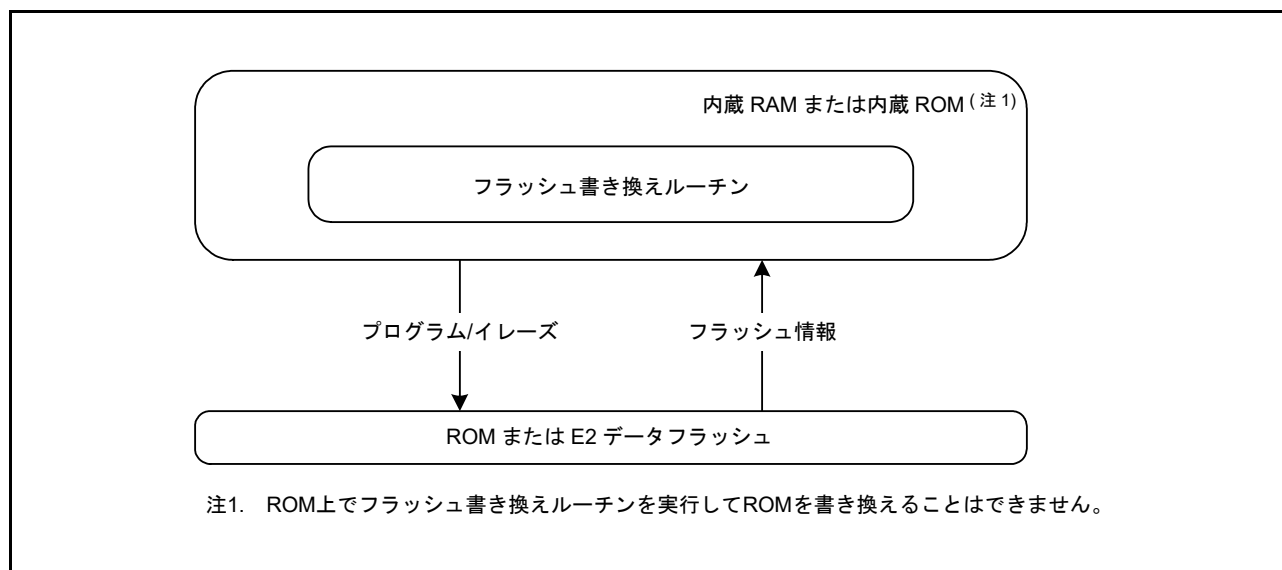


図 36.41 セルフプログラミングの概念

36.13 使用上の注意事項

- (1) イレーズ処理強制停止後の該当ブロックへのアクセス
イレーズ処理を強制停止した場合、処理が中断されたブロックの格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、当該ブロックでの命令実行や、データ読み出しが発生しないように注意してください。
- (2) イレーズ処理強制停止後の処理
イレーズ処理を強制停止した場合は、もう一度同一ブロックに対して、ブロックイレーズコマンドを発行してください。
- (3) 追加書き込み禁止
同一アドレスに2回以上の書き込みを行うことはできません。書き込み済みの領域を書き換えたい場合には、当該ブロックを消去してください。
- (4) プログラム/イレーズ中のリセット
プログラム/イレーズ中に RES# 端子リセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、tRESW (「37. 電気的特性」を参照) 以上のリセット入力期間の後にリセットを解除してください。
プログラム/イレーズ中の IWDG リセット、ソフトウェアリセットについては、上記の時間保持に関係なく使用できます。
- (5) プログラム/イレーズ中の割り込みベクタ、例外ベクタの配置
プログラム/イレーズ中に割り込みや例外が発生すると、ROM からのベクタフェッチが発生する場合があります。ROM からのベクタフェッチを回避するには、CPU の INTB レジスタおよび EXTB レジスタにより、割り込みベクタテーブル、例外ベクタテーブルを ROM 以外に配置してください。
- (6) プログラム/イレーズ中の異常終了
プログラム/イレーズ中、動作電圧範囲を超える電圧変動、リセット、および事項(7)の禁止事項により、プログラム/イレーズが正常に終了しなかった場合、再度該当領域のイレーズを行ってください。
- (7) プログラム/イレーズ中の禁止事項
プログラム/イレーズ中は、フラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。
 - ・本 MCU の電源を動作電圧範囲外にする。
 - ・OPCCR.OPCM[2:0] ビットの値を更新する。
 - ・SCKCR3 レジスタのクロックソース選択ビットを変更する。
 - ・FlashIF クロック (FCLK) の分周比を変更する。
 - ・ディープスリープモード、ソフトウェアスタンバイモードに移行する。
 - ・ROM のプログラム/イレーズ中に E2 データフラッシュへアクセスする。
 - ・E2 データフラッシュのプログラム/イレーズ中に DFLCTL.DFLEN ビットの値を変更する。
- (8) プログラム/イレーズ時の FCLK について
セルフプログラミングでプログラム/イレーズを行う場合、FlashIF クロック (FCLK) の周波数を設定し、FISR.PCKA[4:0] ビットに FCLK 周波数を MHz 単位の整数値で設定してください。ただし、FCLK が 4 ~ 32 MHz の場合は、たとえば 12.5 MHz など整数値でない周波数を使用する場合に、小数点以下を切り上げて設定してください (12.5 MHz の場合は 13 MHz)。FCLK が 4 MHz 以下の場合には、1 MHz, 2 MHz, 3 MHz または 4 MHz 以外の周波数は使用できません。

36.14 使用上の注意事項 (ブートモード)

- (1) ブートモードで通信異常が発生した場合に関する注意事項
本 MCU と正常な通信ができなくなった場合、本 MCU をリセットして、再度ブートモードで起動させてください。
- (2) ブートモード (SCI インタフェース) での電源電圧に関する注意事項
500 kbps を超える通信ビットレートを使用する際は、3.0 V 以上で動作させてください。
- (3) ブートモードでのオプション設定メモリに関する注意事項
ブートモードではオプション機能選択レジスタ 0 (OFS0)、オプション機能選択レジスタ 1 (OFS1)、エンディアン選択レジスタ (MDE) の設定は無効になります。
- (4) スタートアップ領域の切り替えに関する注意事項
スタートアップ領域の切り替えは、セルフプログラミングで実施してください。

37. 電気的特性

37.1 絶対最大定格

表 37.1 絶対最大定格
条件：VSS = AVSS0 = AVSS1 = AVSS2 = 0V

項目		記号	定格値	単位
電源電圧		VCC	-0.3 ~ +6.5	V
入力電圧	ポート4、ポート5、ポート6	V_{in}	-0.3 ~ VREF+0.3	V
	5Vトレラント対応ポート(注1)、 ポート4、ポート5、ポート6以外		-0.3 ~ VCC+0.3	V
	5Vトレラント対応ポート(注1)		-0.3 ~ +6.5	V
アナログ電源電圧		AVCC0, AVCC1, AVCC2, VREF	-0.3 ~ +6.5	V
アナログ入力電圧	AN000 ~ AN003、 AN100 ~ AN103、 AN200 ~ AN211使用時	V_{AN}	-0.3 ~ VREF+0.3	V
	AN016、AN116、 CVREFC0、CVREFC1使用時		-0.3 ~ VCC+0.3	
動作温度		T_{opr}	-40 ~ +85	°C
保存温度		T_{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0端子間、AVCC1端子とAVSS1端子間、AVCC2端子とAVSS2端子間、VREF端子とAVSS2端子間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1 μ F程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL端子は、4.7 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。

当該デバイスの電源がOFF状態の時に、5Vトレラントポート以外のポートに入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップからの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5Vトレラントポートには-0.3 ~ +6.5Vの電圧を入力してもMCU破壊などの問題は発生しません。

注1. ポートB1、B2は、5Vトレラント対応です。

表 37.2 推奨動作電圧条件

項目	記号	条件	min	typ	max	単位
電源電圧	VCC(注1、注2)		2.7	—	5.5	V
	VSS		—	0	—	
アナログ電源電圧	AVCC0, AVCC1, AVCC2, VREF (注1、注2)		VCC	—	5.5	V
	AVSS0, AVSS1, AVSS2		—	0	—	

注1. AVCC0/AVCC1/AVCC2/VREFとVCCは使用範囲内で独立に設定可能です。

注2. VCC端子とAVCC0/AVCC1/AVCC2/VREF端子の電源投入順序は、同時もしくはVCC端子、AVCC0/AVCC1/AVCC2/VREF端子の順になるように投入してください。

37.2 DC 特性

表 37.3 DC 特性(1)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く、5Vトレラント)	V_{IH}	$VCC \times 0.7$	—	5.8	V	
	ポートB1、B2 (5Vトレラント)		$VCC \times 0.8$	—	5.8		
	ポート00~02、ポート10~11、 ポート20~24、 ポート30~33、ポート36~37、 ポート70~76、 ポート80~82、 ポート90~96、 ポートA0~A5、 ポートB0、ポートB3~B7、 ポートD0~D7、 ポートE0~E5、 RES#		$VCC \times 0.8$	—	$VCC + 0.3$		
	ポート40~47、 ポート50~55、 ポート60~65		$VREF \times 0.8$	—	$VREF + 0.3$		
	RIIC入力端子(SMBusを除く)	V_{IL}	-0.3	—	$VCC \times 0.3$		
	ポート40~47、 ポート50~55、 ポート60~65		-0.3	—	$VREF \times 0.2$		
	RIIC入力端子、 ポート40~47、 ポート50~55、 ポート60~65以外		-0.3	—	$VCC \times 0.2$		
	RIIC入力端子(SMBusを除く)	ΔV_T	$VCC \times 0.05$	—	—		
	ポート40~47、 ポート50~55、 ポート60~65		$VREF \times 0.1$	—	—		
	RIIC入力端子、 ポート40~47、 ポート50~55、 ポート60~65以外		$VCC \times 0.1$	—	—		
入力レベル電圧 (シュミット トリガ入力端子 を除く)	MD	V_{IH}	$VCC \times 0.9$	—	$VCC + 0.3$	V	
	EXTAL (外部クロック入力)		$VCC \times 0.8$	—	$VCC + 0.3$		
	RIIC入力端子(SMBus)		2.1	—	$VCC + 0.3$		
	MD	V_{IL}	-0.3	—	$VCC \times 0.1$		
	EXTAL (外部クロック入力)		-0.3	—	$VCC \times 0.2$		
	RIIC入力端子(SMBus)		-0.3	—	0.8		

表 37.4 DC特性(2)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, MD、ポートE2	$ I_{in} $	—	—	1.0	μA $V_{in} = 0\text{V}, V_{CC}$
スリーステートリーク電流(オフ状態)	ポート4、ポート5、ポート6	$ I_{TSI} $	—	—	1.0	μA $V_{in} = 0\text{V}, V_{REF}$
	5Vトレラント対応ポートとポート4、ポート5、ポート6以外		—	—	0.2	$V_{in} = 0\text{V}, V_{CC}$
	5Vトレラント対応ポート		—	—	1.0	$V_{in} = 0\text{V}, 5.8\text{V}$
入力容量	全入力端子	C_{in}	—	4	15	pF $V_{in} = 0\text{mV}, f = 1\text{MHz}, T_a = 25^\circ\text{C}$
入力プルアップ抵抗	全入力端子(ポートE2以外)	R_U	10	20	50	k Ω $V_{in} = 0\text{V}$

表 37.5 DC特性(3)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	チップバージョンA		チップバージョンB		単位	測定条件			
		typ(注7)	max	typ(注7)	max					
消費電流(注1)	I_{CC}	高速動作モード	通常動作モード	周辺動作なし(注2)	ICLK = 80MHz	26.0	—	26.0	—	mA
					ICLK = 64MHz	20.7	—	20.7	—	
					ICLK = 32MHz	11.8	—	11.8	—	
					ICLK = 16MHz	7.0	—	7.0	—	
					ICLK = 8MHz	4.7	—	4.7	—	
				全周辺動作通常動作	ICLK = 80MHz(注3)	35.0	—	40.5	—	
					ICLK = 64MHz(注4)	28.5	—	32.5	—	
					ICLK = 32MHz(注5)	18.5	—	20.9	—	
					ICLK = 16MHz(注5)	10.5	—	11.7	—	
					ICLK = 8MHz(注5)	6.4	—	7.0	—	
		全周辺動作最大動作	ICLK = 80MHz(注3)	—	70.0	—	80.0			
			ICLK = 64MHz(注4)	—	60.0	—	70.0			
			ICLK = 32MHz(注5)	—	40.0	—	45.0			
			スリープモード	周辺動作なし(注2)	ICLK = 80MHz	7.2	—	7.2	—	
					ICLK = 64MHz	6.1	—	6.1	—	
		ICLK = 32MHz			4.4	—	4.4	—		
		ICLK = 16MHz			3.4	—	3.4	—		
		ICLK = 8MHz			2.9	—	2.9	—		
		全周辺動作通常動作	ICLK = 80MHz(注3)	22.4	—	26.9	—			
			ICLK = 64MHz(注4)	18.4	—	21.9	—			
ICLK = 32MHz(注5)	13.5		—	15.5	—					
ICLK = 16MHz(注5)	8.0		—	9.0	—					
ICLK = 8MHz(注5)	5.2		—	5.7	—					

項目					記号	チップバージョンA		チップバージョンB		単位	測定条件		
						typ (注7)	max	typ (注7)	max				
消費電流 (注1)	高速動作モード	ディープスリープモード	周辺動作なし(注2)	ICLK = 80MHz	I _{CC}	3.4	—	3.4	—	mA			
				ICLK = 64MHz		2.9	—	2.9	—				
				ICLK = 32MHz		2.5	—	2.5	—				
				ICLK = 16MHz		2.3	—	2.3	—				
				ICLK = 8MHz		2.2	—	2.2	—				
		全周辺動作通常動作	ICLK = 80MHz(注3)	17.7		—	22.2	—					
			ICLK = 64MHz(注4)	14.4		—	17.9	—					
			ICLK = 32MHz(注5)	10.9		—	12.9	—					
			ICLK = 16MHz(注5)	6.6		—	7.6	—					
			ICLK = 8MHz(注5)	4.3		—	4.8	—					
	BGO動作時の増加分(注6)				2.5	—	2.5	—					
	中速動作モード	通常動作モード	周辺動作なし(注8)	ICLK = 12MHz(注10)	I _{CC}	5.3	—	5.3	—	mA			
				ICLK = 8MHz		4.5	—	4.5	—				
				ICLK = 1MHz		2.5	—	2.5	—				
			全周辺動作通常動作(注9)	ICLK = 12MHz(注10)		7.8	—	8.7	—				
				ICLK = 8MHz		6.3	—	6.9	—				
				ICLK = 1MHz		2.7	—	2.7	—				
			全周辺動作最大動作(注9)	ICLK = 12MHz(注10)		—	17.0	—	18.0				
				スリープモード		周辺動作なし(注8)	ICLK = 12MHz(注10)	2.6	—			2.6	—
							ICLK = 8MHz	2.7	—			2.7	—
ICLK = 1MHz			2.2				—	2.2	—				
全周辺動作通常動作(注9)		ICLK = 12MHz(注10)	6.0	—	6.7	—							
		ICLK = 8MHz	5.1	—	5.6	—							
		ICLK = 1MHz	2.5	—	2.5	—							
		ディープスリープモード	周辺動作なし(注8)	ICLK = 12MHz(注10)	1.8	—	1.8	—					
				ICLK = 8MHz	2.1	—	2.1	—					
				ICLK = 1MHz	2.1	—	2.1	—					
全周辺動作通常動作(注9)		ICLK = 12MHz(注10)	5.0	—	5.7	—							
		ICLK = 8MHz	4.3	—	4.8	—							
		ICLK = 1MHz	2.3	—	2.3	—							
BGO動作時の増加分(注6)				2.5	—	2.5	—						

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. 周辺機能はクロック停止状態。クロックソースはPLLです。FCLK、PCLKA、PCLKB、PCLKDは64分周設定です。

注3. 周辺機能はクロック供給状態。クロックソースはPLLです。FCLKは4分周設定です。PCLKAは1分周設定です。PCLKB、PCLKDは2分周設定です。

注4. 周辺機能はクロック供給状態。クロックソースはPLLです。PCLKAは1分周設定です。FCLK、PCLKB、PCLKDは2分周設定です。

注5. 周辺機能はクロック供給状態。クロックソースはPLLです。FCLK、PCLKA、PCLKB、PCLKDはICLKと同じ周波数です。

注6. プログラム実行中に、ROMまたはデータ格納用データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。

注7. VCC = 5Vの値です。

注8. 周辺機能はクロック停止状態。クロックソースはPLLです。FCLK、PCLKA、PCLKB、PCLKDは64分周設定です。

注9. 周辺機能はクロック停止状態。クロックソースはPLLです。FCLK、PCLKA、PCLKB、PCLKDはICLKと同じ周波数です。

注10. PLLの周波数が48MHzの場合です。

表37.6 DC特性(4)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V, Ta = -40 ~ +85°C

項目			記号	チップバージョンA		チップバージョンB		単位	測定条件
				typ(注3)	max	typ(注3)	max		
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	Ta = 25°C	I _{CC}	1.0	55.0	1.5	15.0	μA	
		Ta = 55°C		1.5	60.0	3.0	38.0		
		Ta = 85°C		5.5	260.0	13.0	135.0		

注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. IWDTとLVDは動作停止です。

注3. VCC = 5Vの場合です。

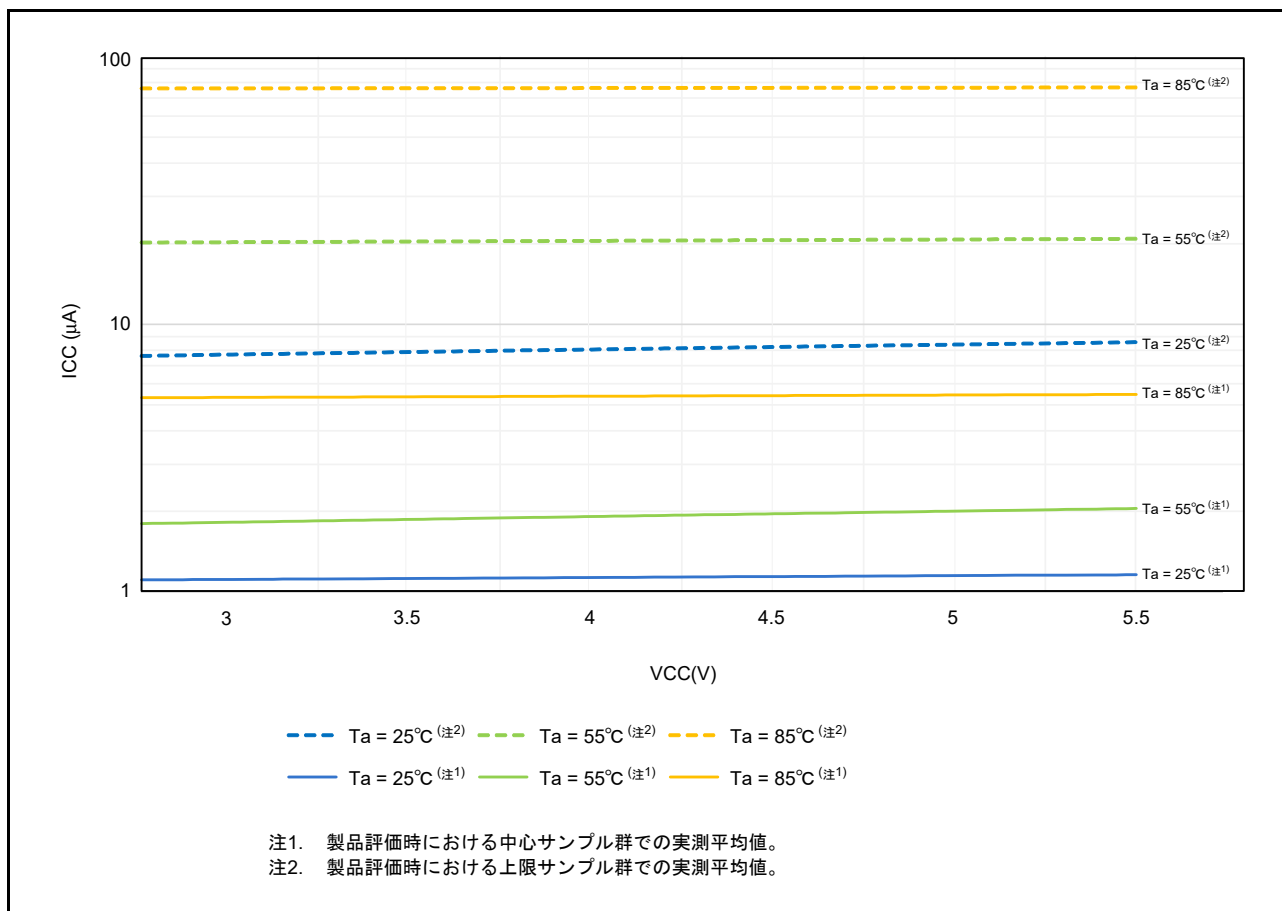


図 37.1 ソフトウェアスタンバイモード時の電圧依存性 (チップバージョンAの場合) (参考データ)

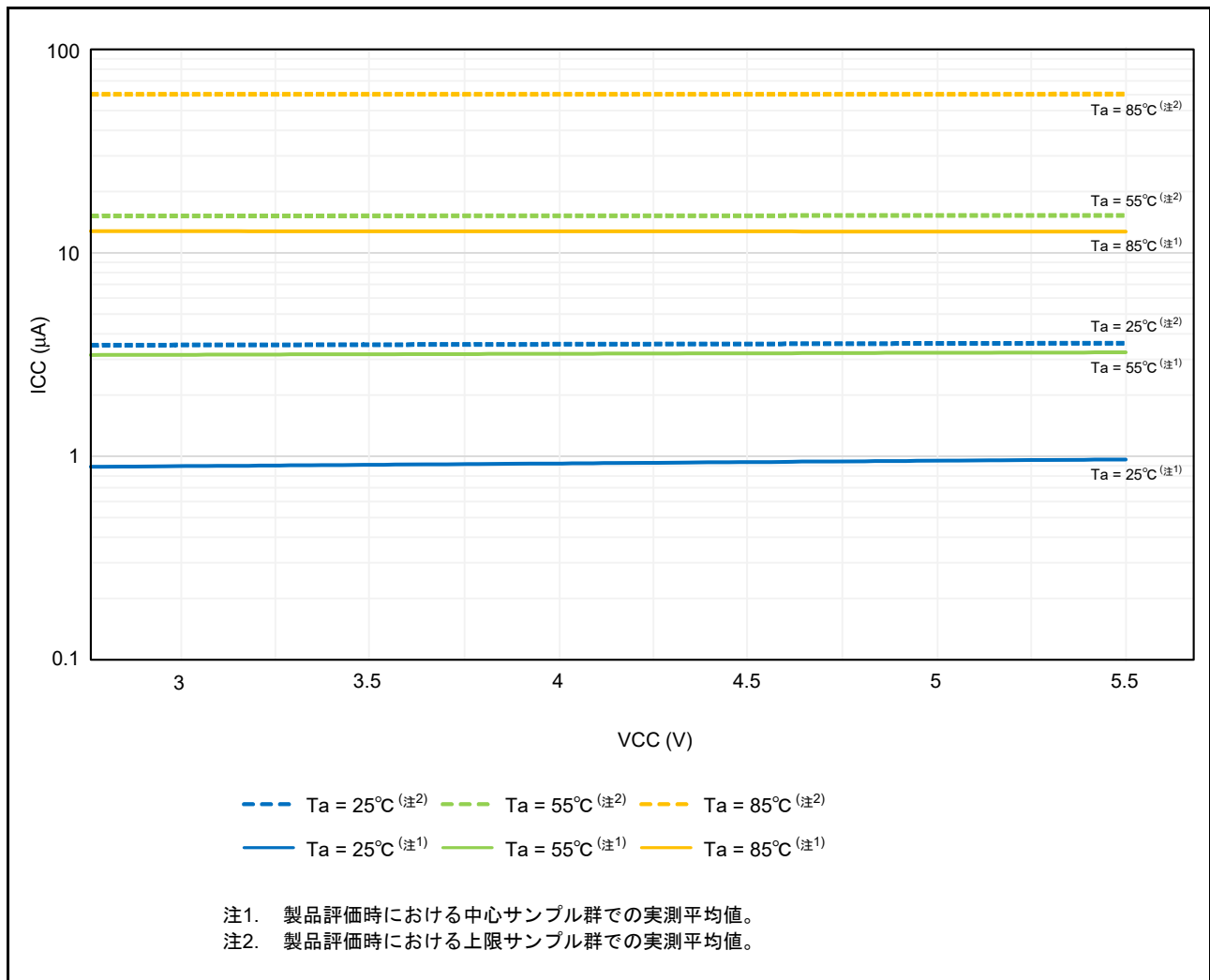


図 37.2 ソフトウェアスタンバイモード時の電圧依存性 (チップバージョン B の場合) (参考データ)

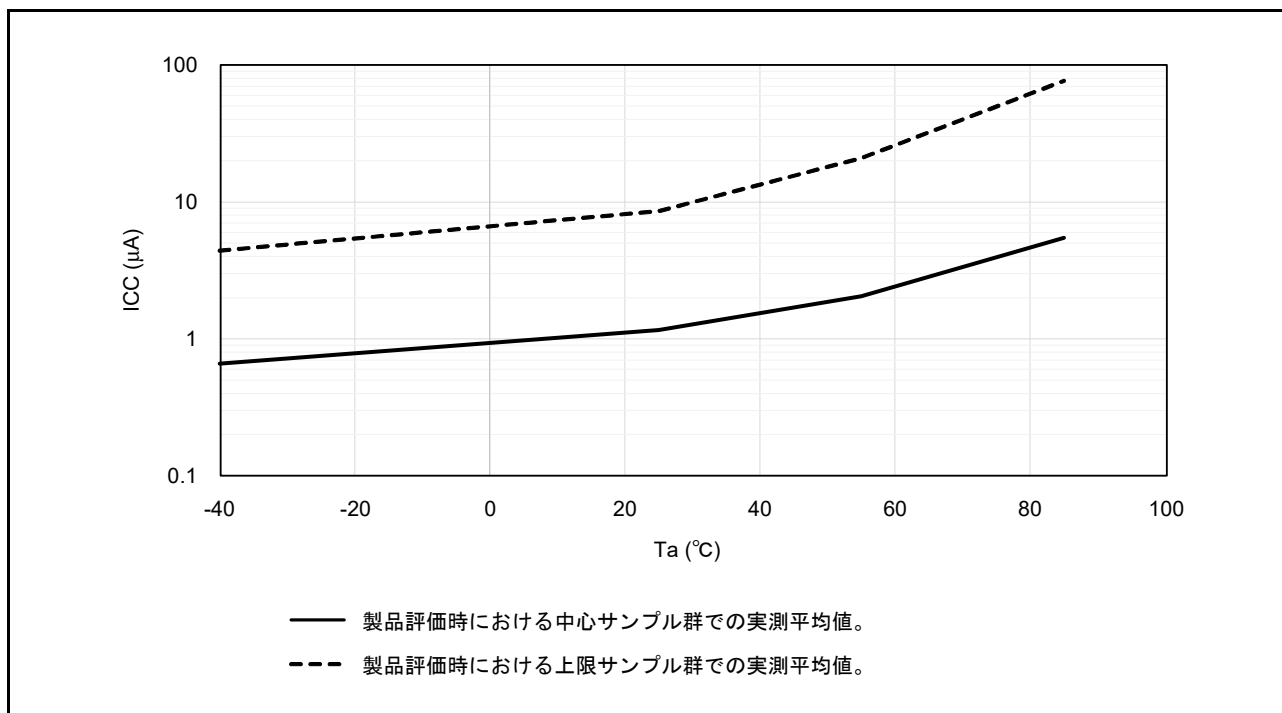


図 37.3 ソフトウェアスタンバイモード時の温度依存性 (チップバージョンAの場合) (参考データ)

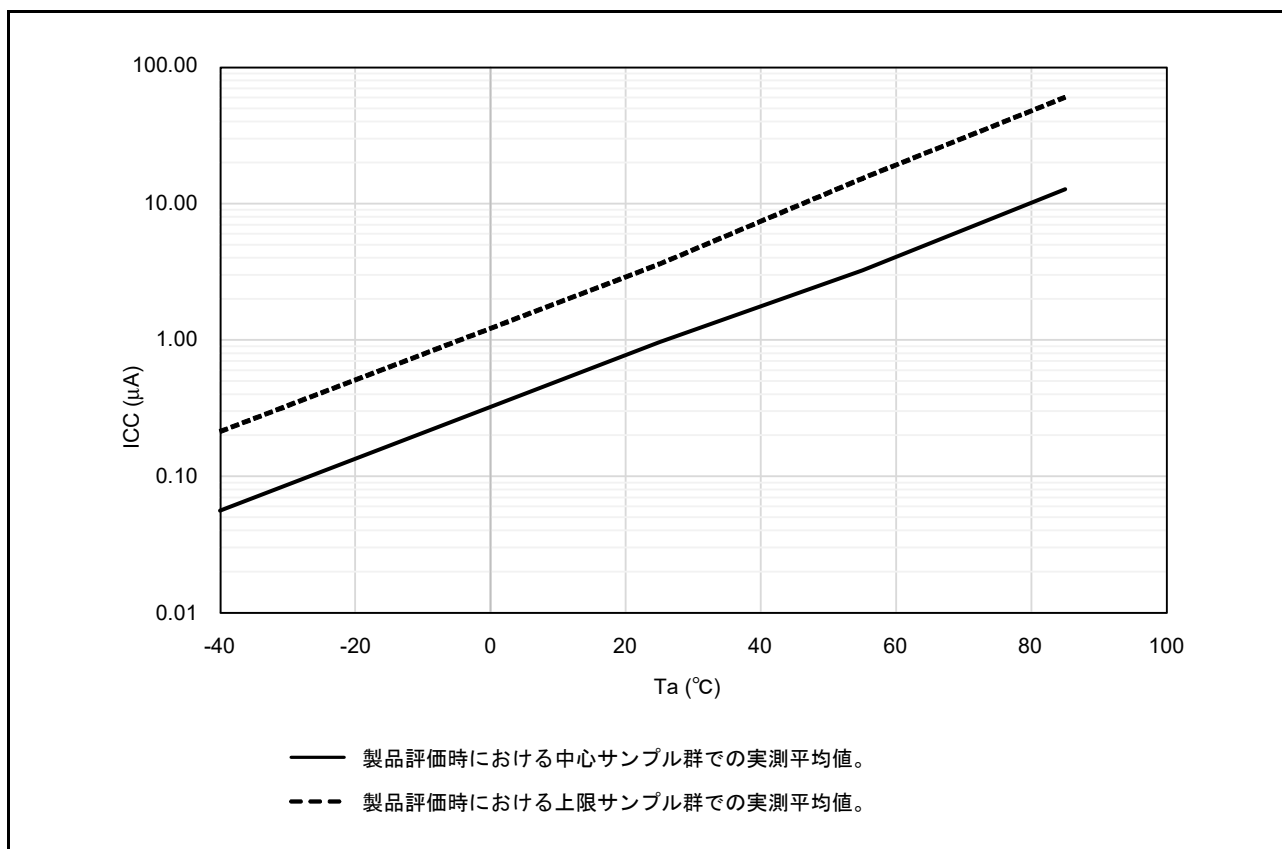


図 37.4 ソフトウェアスタンバイモード時の温度依存性 (チップバージョンBの場合) (参考データ)

表 37.7 DC 特性(5)

条件 : $V_{CC} = 2.7V \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = V_{REF} = V_{CC} \sim 5.5V$, $V_{SS} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$,
 $T_a = -40 \sim +85^\circ C$

項目	記号	typ	max	単位	測定条件
許容総消費電力(注1)	P_d	—	570	mW	

注1. チップ全体(出力電流を含む)の総電力です。

表 37.8 DC 特性(6)

条件 : $V_{CC} = 2.7V \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = V_{REF} = V_{CC} \sim 5.5V$, $V_{SS} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$,
 $T_a = -40 \sim +85^\circ C$

項目		記号	min	typ(注2)	max	単位	測定条件	
アナログ電源電流	A/D ユニット0	A/D変換中(プログラマブルゲインアンプ使用時)	I_{AVCC}	—	1.5	2.5	mA	
		A/D変換中(プログラマブルゲインアンプ未使用時)		—	1.0	1.8		
	A/D ユニット1	A/D変換中(サンプルホールド回路使用、プログラマブルゲインアンプ使用時)		—	4.6	6.9		
		A/D変換中(サンプルホールド回路使用、プログラマブルゲインアンプ未使用時)		—	3.1	4.8		
		A/D変換中(サンプルホールド回路未使用、プログラマブルゲインアンプ使用時)		—	2.5	3.9		
		A/D変換中(サンプルホールド回路未使用、プログラマブルゲインアンプ未使用時)		—	1.0	1.8		
	A/Dユニット2			—	1.0	1.8		
	D/A変換中(1チャンネルあたり)(注1)			—	0.7	1.0		
	A/D、D/A変換待機時(全ユニット)			—	—	2.2		μA
	A/D変換待機時(全ユニット)			—	—	1.2		μA
コンパレータC動作電流(注3)	コンパレータ有効	I_{CMP}	—	40.0	60.0	μA		

注1. D/Aコンバータは、電源電流にリファレンス電流も含む値です。

注2. $V_{CC} = AV_{CC0} = AV_{CC1} = AV_{CC2} = V_{REF} = 5V$ のとき。

注3. コンパレータCモジュールのみの消費電流です。

表 37.9 DC 特性(7)

条件 : $V_{CC} = 0V \sim AV_{CC0}$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = V_{REF} = 0V \sim 5.5V$, $V_{SS} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$,
 $T_a = -40 \sim +85^\circ C$

項目		記号	min	typ	max	単位	測定条件
電源投入時 VCC立ち上がり勾配	通常起動時	SrV_{CC}	0.02	—	20	ms/V	
	起動時電圧監視0リセット有効時(注1、注2)		0.02	—	—		

注1. $OFS1.LVDAS = 0$ を設定した場合です。

注2. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表 37.10 DC特性(8)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

電源リップルは、VCCの上限(5.5V)と下限(2.7V)は超えない範囲で許容電源リップル周波数 $f_r(VCC)$ を満たしてください。VCC変動が $VCC \pm 10\%$ を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 37.5 $V_r(VCC) \leq VCC \times 0.2$ の場合
		—	—	1	MHz	図 37.5 $V_r(VCC) \leq VCC \times 0.08$ の場合
		—	—	10	MHz	図 37.5 $V_r(VCC) \leq VCC \times 0.06$ の場合
許容電源変動立ち上がり/ 立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC変動が $VCC \pm 10\%$ を超える場合

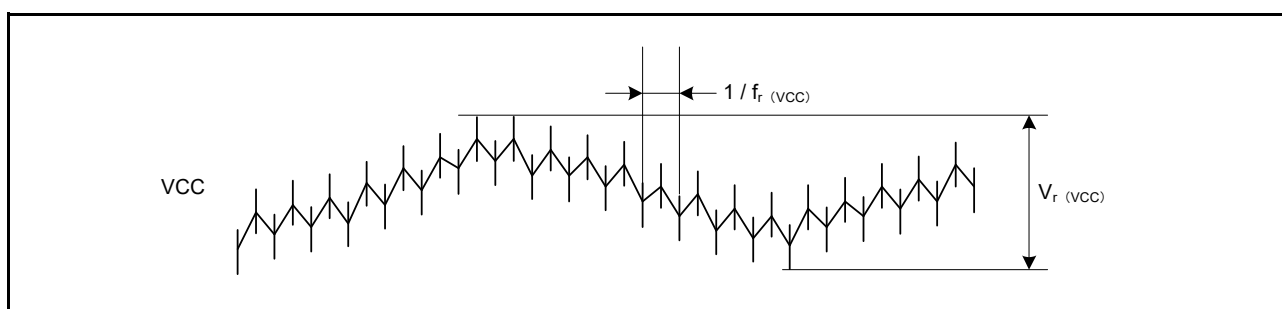


図 37.5 電源リップル波形

表 37.11 DC特性(9)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
VCL端子外付け容量	C_{VCL}	3.3	4.7	6.1	μF	

注. 推奨は4.7 μF です。接続するコンデンサのばらつきは、上記の範囲内にしてください。

表 37.12 出力許容電流値

条件 : $V_{CC} = 2.7V \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = V_{REF} = V_{CC} \sim 5.5V$, $V_{SS} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$,
 $T_a = -40 \sim +85^\circ C$

項目		記号	max	単位	
出力Lowレベル許容電流	ポート71～76、ポート81、ポート90～95、ポートB5、ポートD3	I_{OL}	10.0	mA	
	RIIC入力端子		6.0		
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
出力Lowレベル許容電流	全出力端子の総和	ΣI_{OL}	110.0		
	ポート40～47、ポート50～55、ポート60～65の合計		50.0		
	ポート02、ポートE5、ポート10～11、ポート80～82の合計		50.0		
	ポートB4～B7、ポートD0～D7、ポートE0～E1の合計		55.0		
	ポート71～76の合計		30.0		
	ポート90～95の合計		30.0		
出力Highレベル許容電流	ポート71～76、ポート81、ポート90～95、ポートB5、ポートD3	I_{OH}	-5.0		
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
	出力Highレベル許容電流		全出力端子の総和		ΣI_{OH}
ポート40～47、ポート50～55、ポート60～65の合計		-25.0			

注. 許容総消費電流は超えないようにしてください。

表 37.13 出力電圧値

条件 : $V_{CC} = 2.7V \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = V_{REF} = V_{CC} \sim 5.5V$, $V_{SS} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$,
 $T_a = -40 \sim +85^\circ C$

項目		記号	min	max	単位	測定条件	
出力Lowレベル	ポート71～76、ポート81、ポート90～95、ポートB5、ポートD3	V_{OL}	—	0.8	V	$I_{OL} = 10.0mA$	
	RIIC端子		スタンダードモード	—		0.4	$I_{OL} = 3.0mA$
			ファストモード	—		0.6	$I_{OL} = 6.0mA$
	上記以外の出力端子		通常出力時	—		0.8	$I_{OL} = 1.0mA$
			高駆動出力時	—		0.8	$I_{OL} = 2.0mA$
出力Highレベル	ポート71～76、ポート81、ポート90～95、ポートB5、ポートD3	V_{OH}	$V_{CC} - 0.8$	—	V	$I_{OH} = -5.0mA$	
	ポート40～47、ポート50～55、ポート60～65		$V_{REF} - 0.8$	—		$I_{OH} = -2.0mA$	
	上記以外の出力端子		通常出力時	$V_{CC} - 0.8$		—	$I_{OH} = -2.0mA$
			高駆動出力時	$V_{CC} - 0.8$		—	$I_{OH} = -4.0mA$

37.2.1 標準 I/O 端子出力特性 (1)

図 37.6 ~ 図 37.9 に駆動能力制御レジスタで通常出力を選択したときの特性を示します。

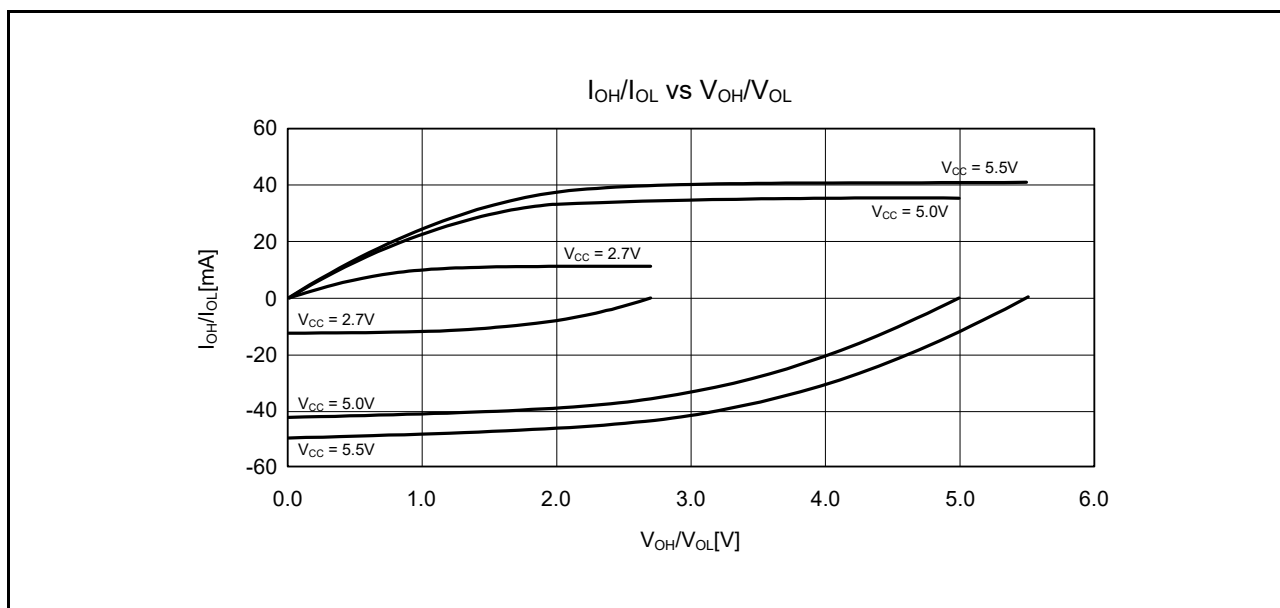


図 37.6 通常出力を選択したときの V_{OH}/V_{OL}、I_{OH}/I_{OL} 電圧特性 T_a = 25°C (参考データ)

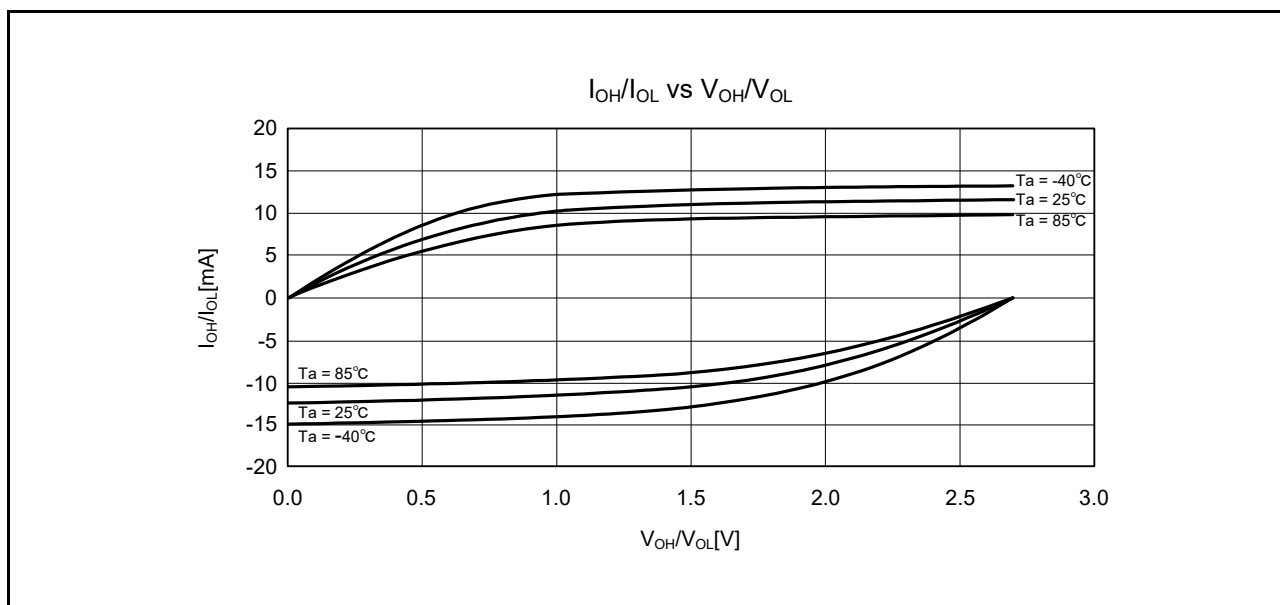


図 37.7 通常出力を選択したときの V_{OH}/V_{OL}、I_{OH}/I_{OL} 温度特性 V_{CC} = 2.7V (参考データ)

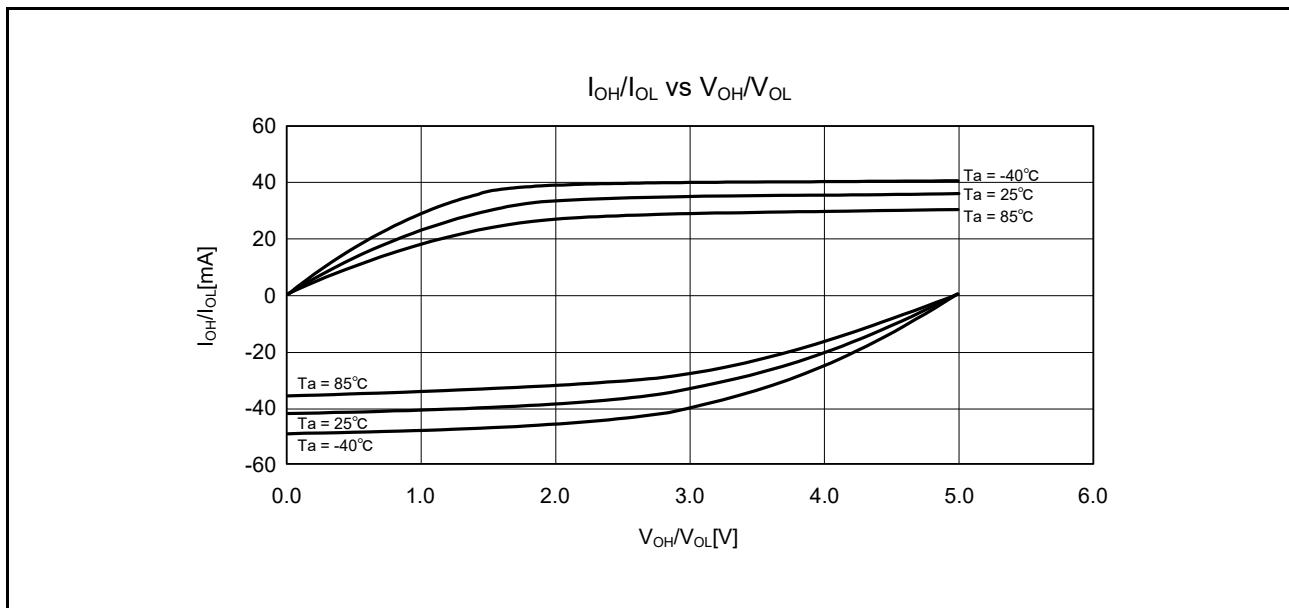


図 37.8 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.0V$ (参考データ)

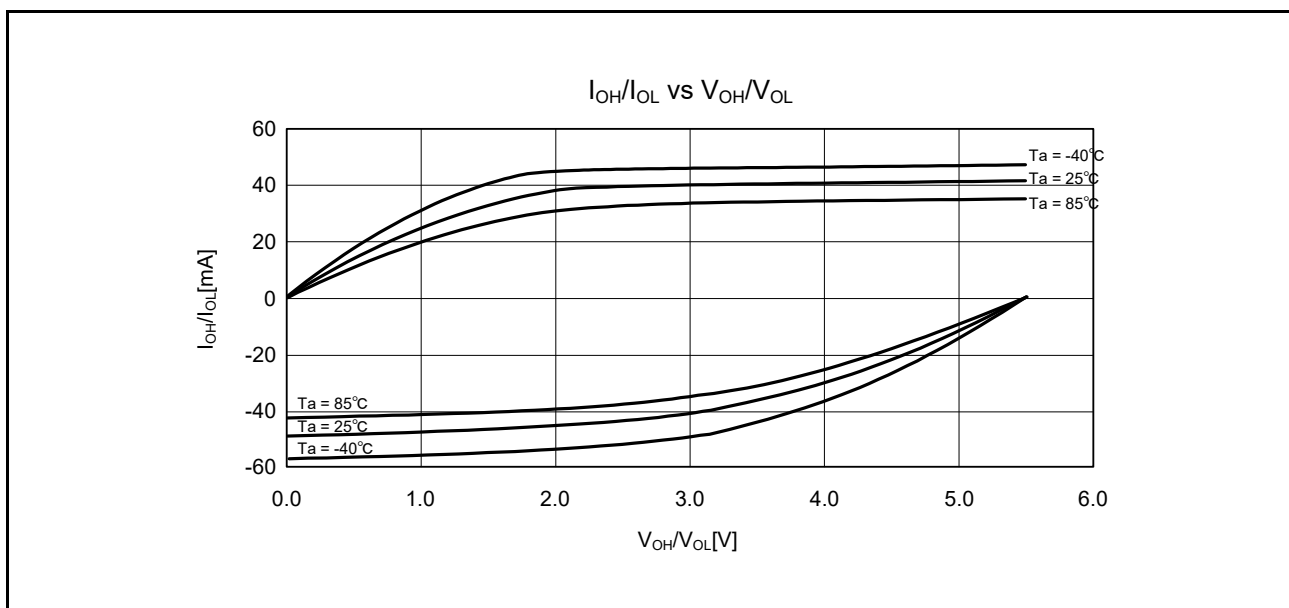


図 37.9 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.5V$ (参考データ)

37.2.2 標準 I/O 端子出力特性 (2)

図 37.10 ~ 図 37.13 に駆動能力制御レジスタで高駆動出力を選択したときの特性を示します。

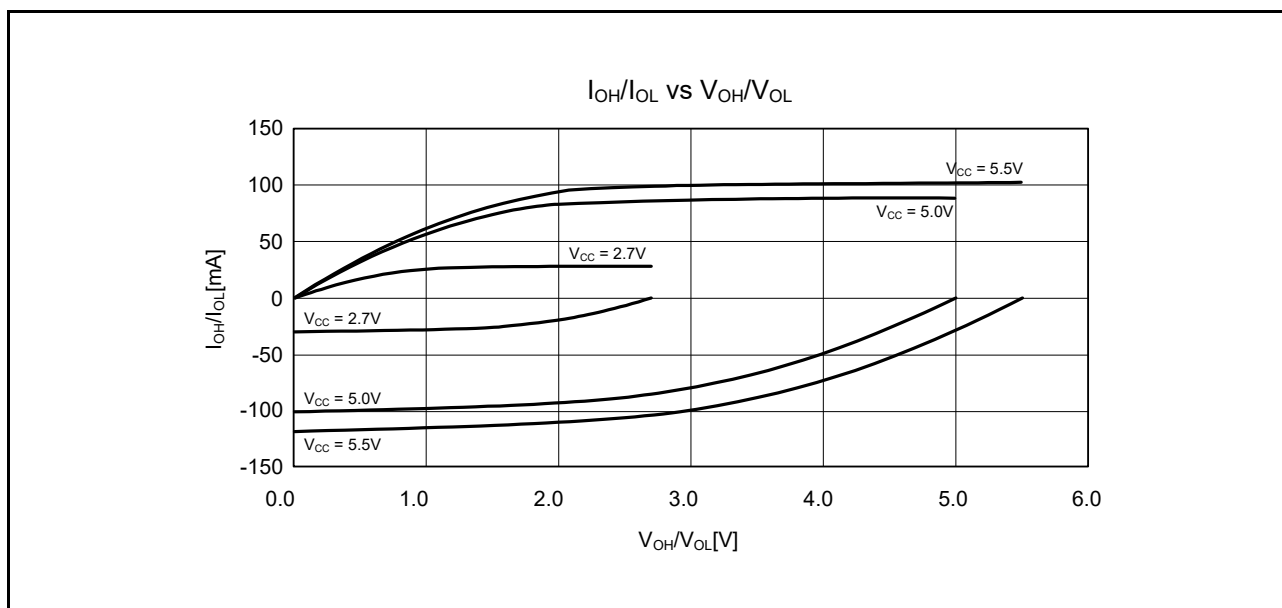


図 37.10 通常出力を選択したときの VOH/VOL、IOH/IOL 電圧特性 Ta = 25°C (参考データ)

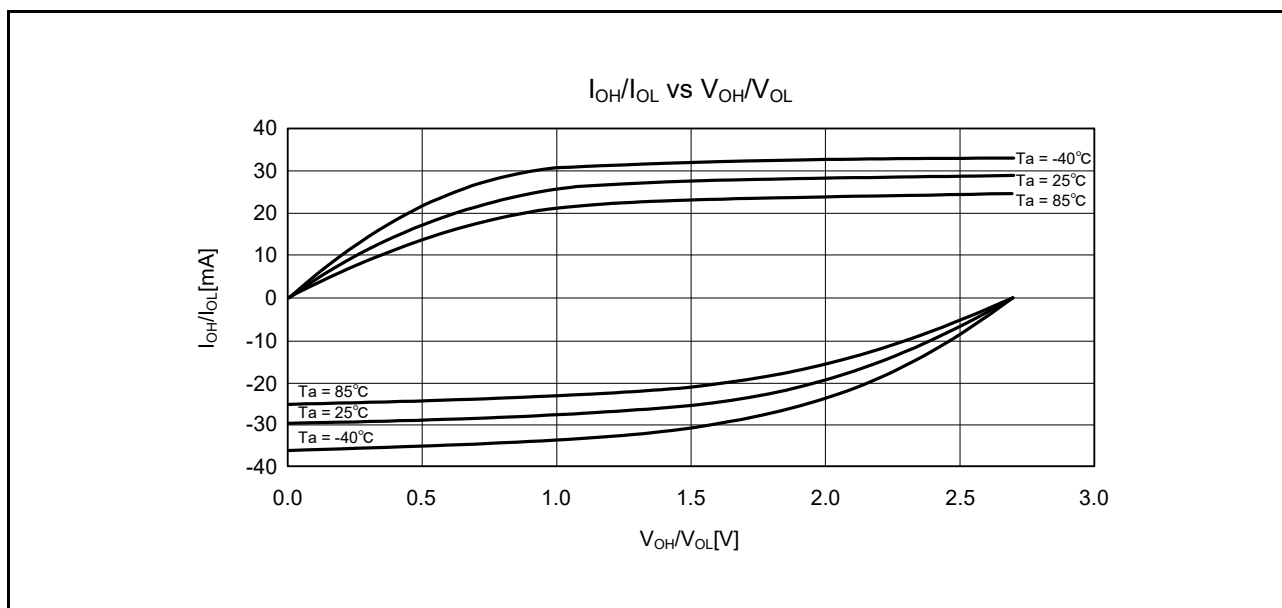


図 37.11 通常出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 2.7V (参考データ)

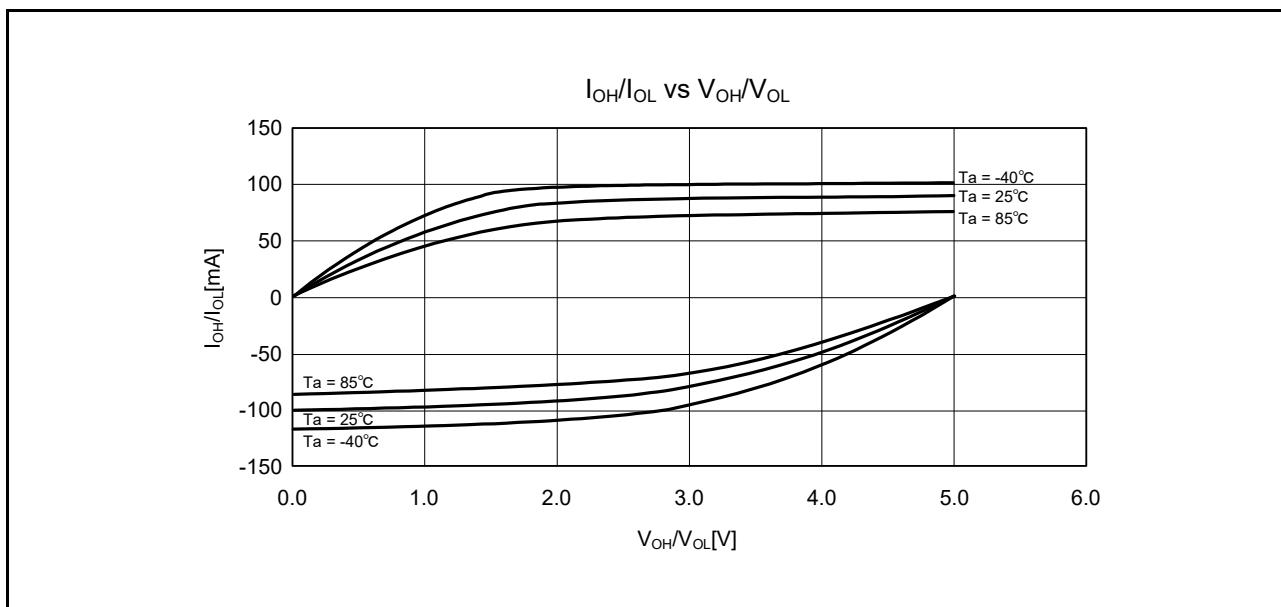


図 37.12 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.0V$ (参考データ)

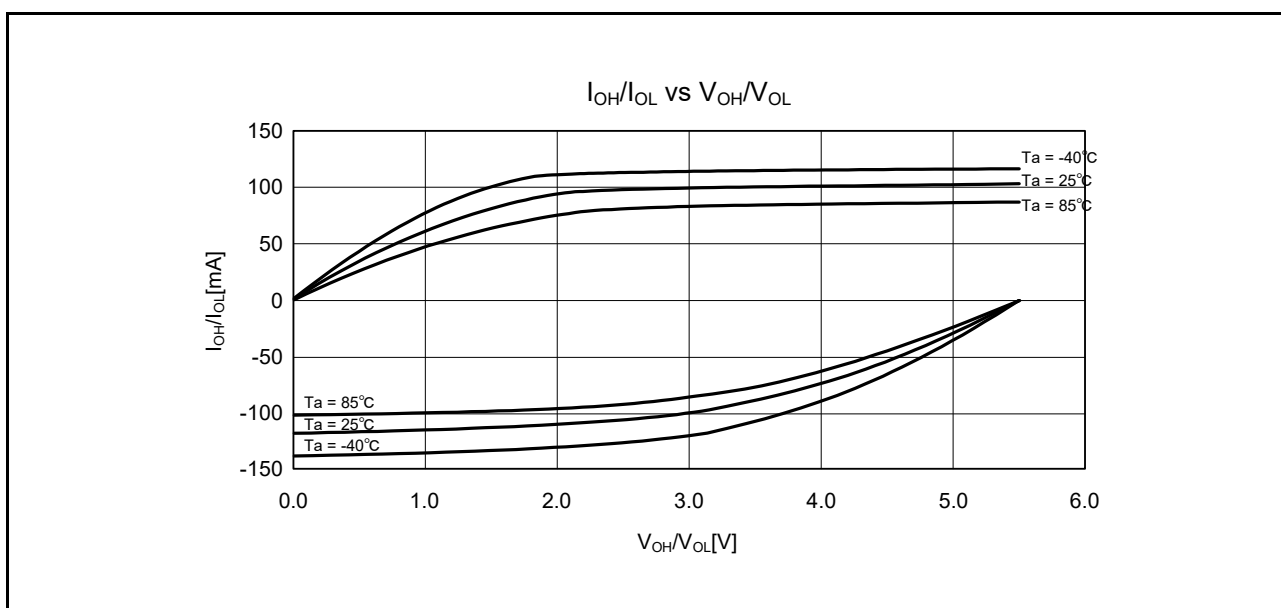


図 37.13 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.5V$ (参考データ)

37.2.3 標準 I/O 端子出力特性 (3)

図 37.14 ~ 図 37.17 に大電流端子の出力特性を示します。

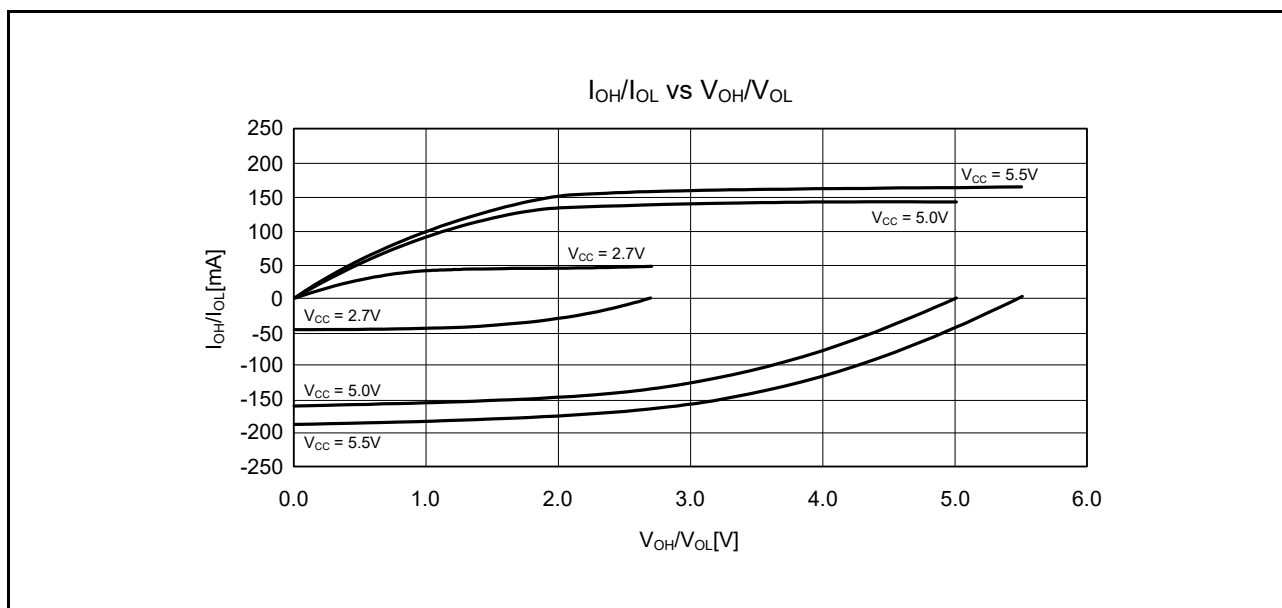


図 37.14 大電流端子の VOH/VOL、IOH/IOL 電圧特性 Ta = 25°C (参考データ)

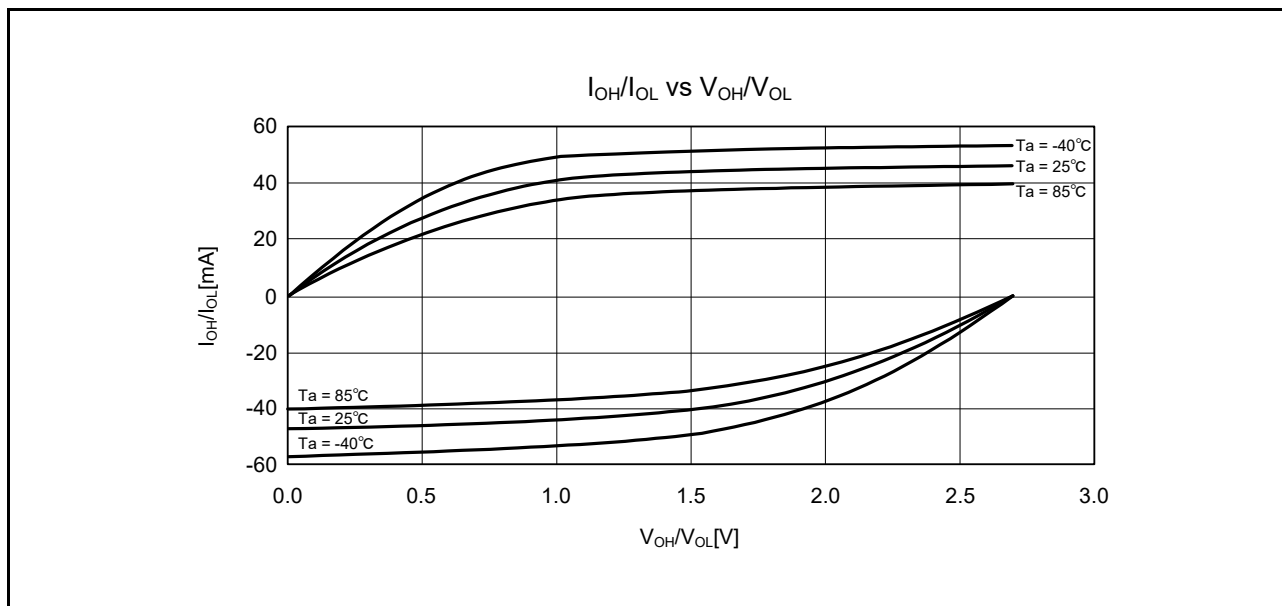


図 37.15 大電流端子の VOH/VOL、IOH/IOL 温度特性 VCC = 2.7V (参考データ)

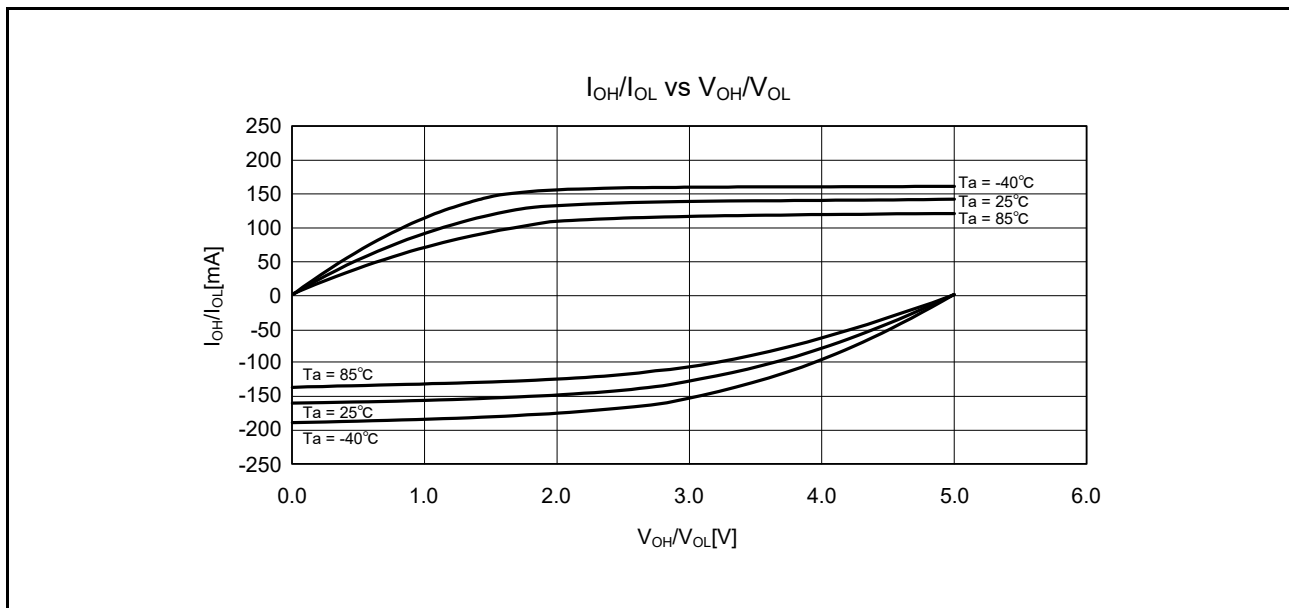


図 37.16 大電流端子の V_{OH}/V_{OL}、I_{OH}/I_{OL} 温度特性 VCC = 5.0V (参考データ)

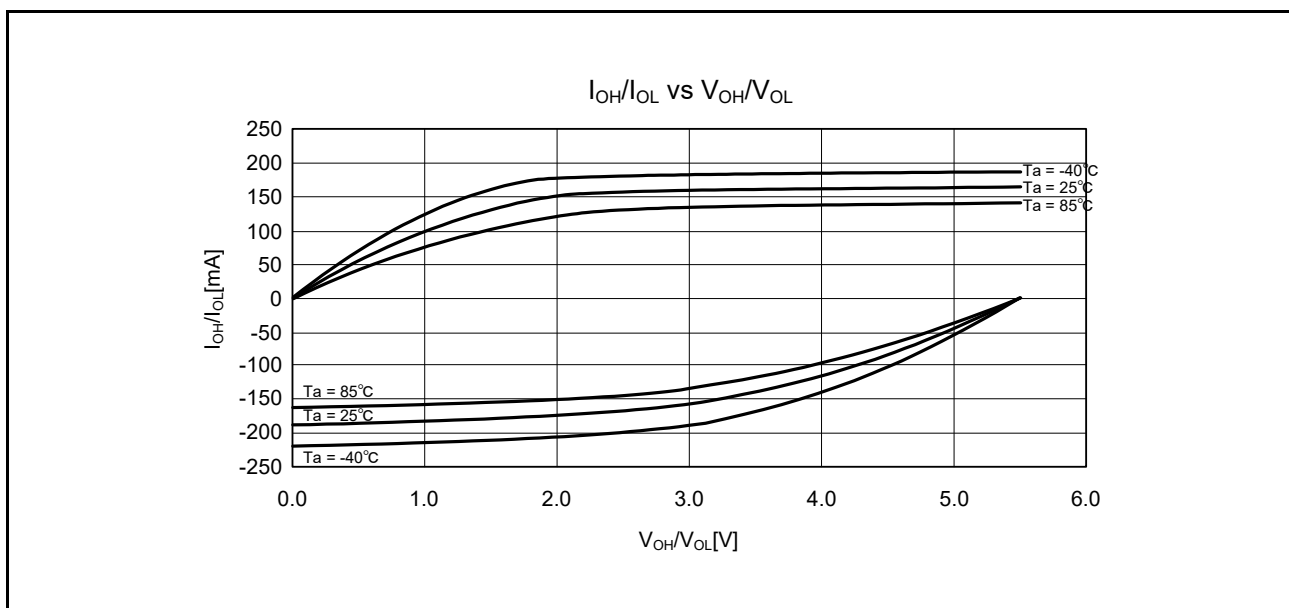


図 37.17 大電流端子の V_{OH}/V_{OL}、I_{OH}/I_{OL} 温度特性 VCC = 5.5V (参考データ)

37.2.4 RIIC 端子出力特性

図 37.18 ~ 図 37.21 に RIIC 端子の出力特性を示します。

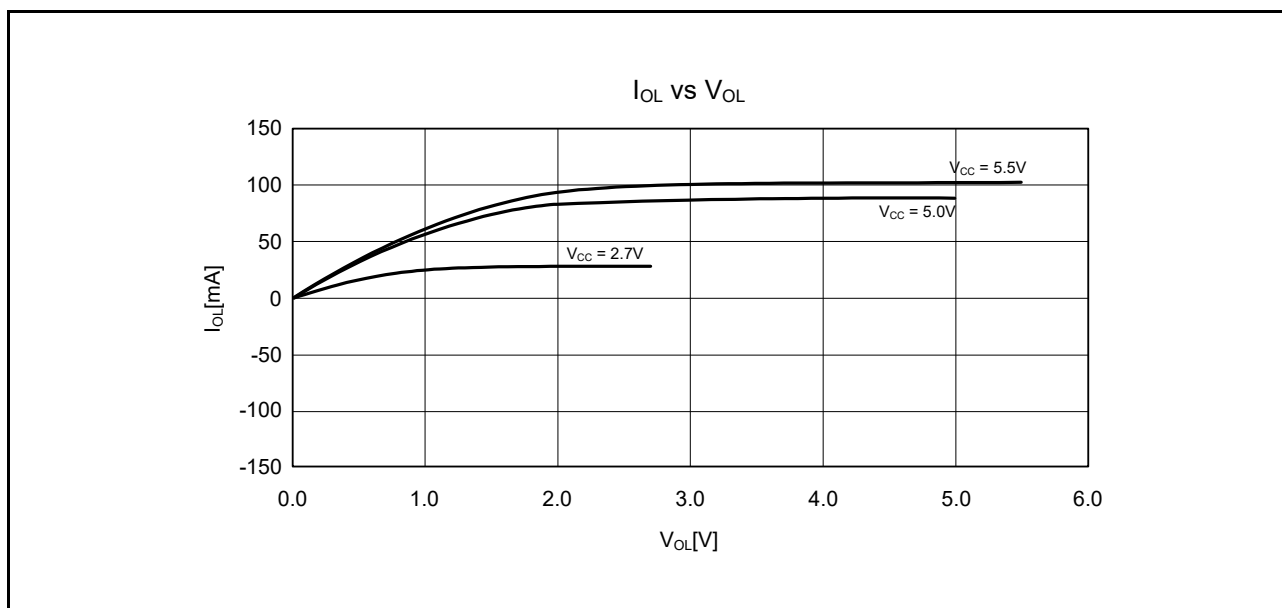


図 37.18 RIIC 出力端子の V_{OL} 、 I_{OL} 電圧特性 $T_a = 25^\circ C$ (参考データ)

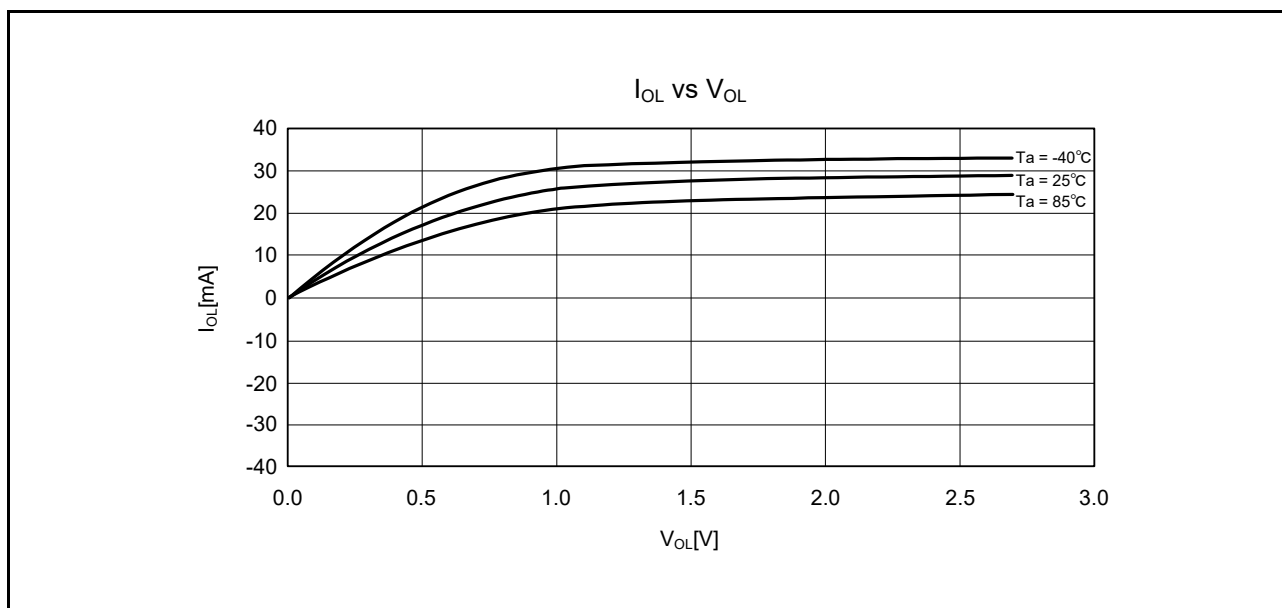


図 37.19 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

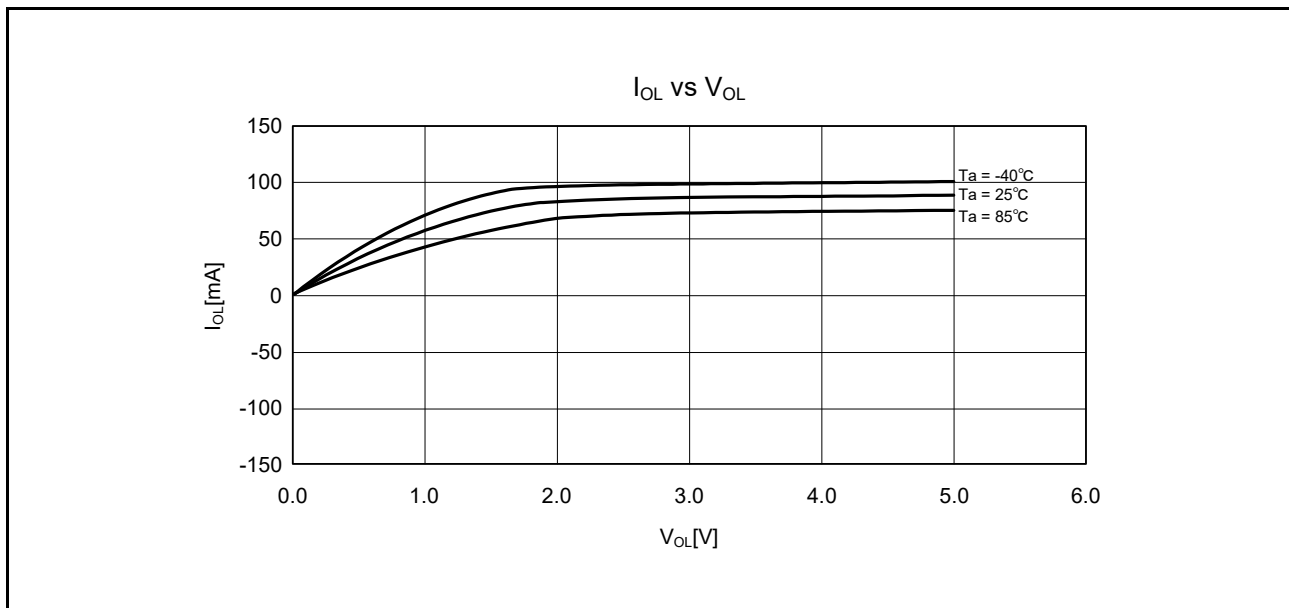


図 37.20 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 5.0V$ (参考データ)

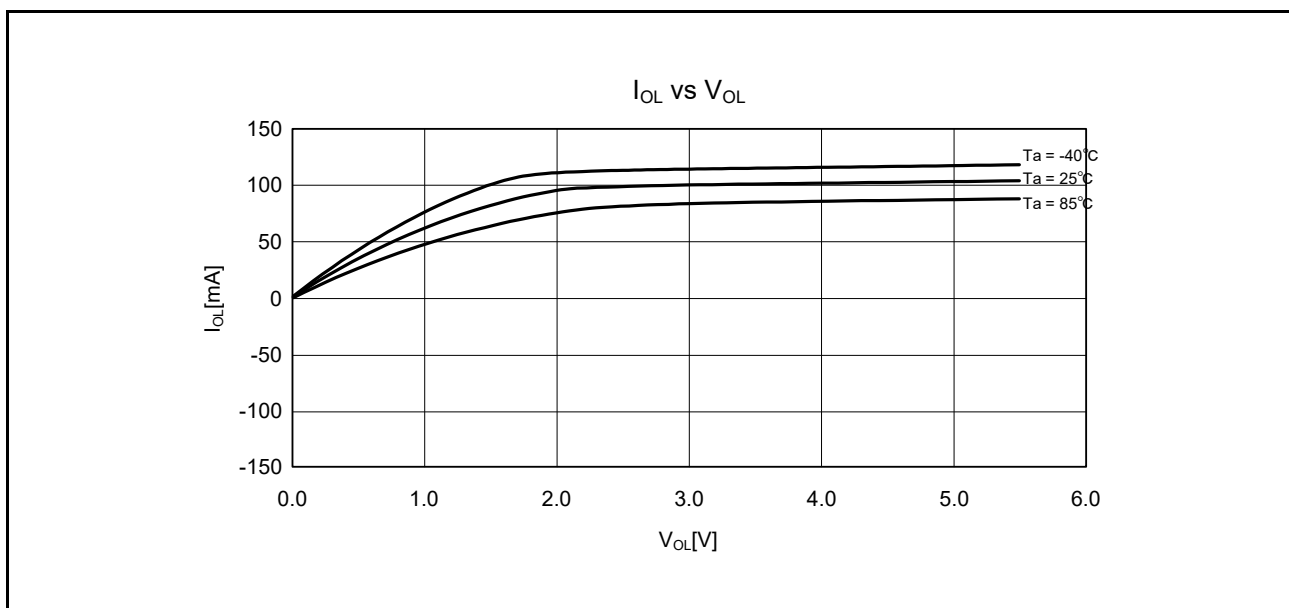


図 37.21 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 5.5V$ (参考データ)

37.3 AC 特性

37.3.1 クロックタイミング

表 37.14 動作周波数(高速動作モード)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min.	typ.	max.	単位
動作周波数	システムクロック (ICLK)	f_{max}	—	—	80	MHz
	FlashIFクロック (FCLK)(注1、注2)		—	—	32	
	周辺モジュールクロック (PCLKA)		—	—	80	
	周辺モジュールクロック (PCLKB)		—	—	40	
	周辺モジュールクロック (PCLKD)		—	—	40	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。

表 37.15 動作周波数(中速動作モード)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min.	typ.	max.	単位
動作周波数	システムクロック (ICLK)	f_{max}	—	—	12	MHz
	FlashIFクロック (FCLK)(注1、注2)		—	—	12	
	周辺モジュールクロック (PCLKA)		—	—	12	
	周辺モジュールクロック (PCLKB)		—	—	12	
	周辺モジュールクロック (PCLKD)		—	—	12	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。

表 37.16 クロックタイミング

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t_{Xcyc}	50	—	—	ns	図 37.22
EXTAL外部クロック入力パルス幅Highレベル	t_{XH}	20	—	—	ns	
EXTAL外部クロック入力パルス幅Lowレベル	t_{XL}	20	—	—	ns	
EXTAL外部クロック立ち上がり時間	t_{Xr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t_{xf}	—	—	5	ns	
EXTAL外部クロック入力待機時間(注1)	t_{XWT}	0.5	—	—	μs	図 37.23
メインクロック発振器発振周波数	f_{MAIN}	1	—	20	MHz	
メインクロック発振安定時間(水晶振動子)(注2)	$t_{MAINOSC}$	—	3	—	ms	図 37.23
メインクロック発振安定時間(セラミック共振子)(注2)	$t_{MAINOSC}$	—	50	—	μs	
LOCOクロック発振周波数	f_{LOCO}	3.44	4.0	4.56	MHz	図 37.24
LOCOクロック発振安定時間	t_{LOCO}	—	—	0.5	μs	
HOCOクロック発振周波数	f_{HOCO} (32MHz)	31.52	32	32.48	MHz	$T_a = -40 \sim -20^\circ\text{C}$
		31.68	32	32.32	MHz	$T_a = -20 \sim +75^\circ\text{C}$
		31.52	32	32.48	MHz	$T_a = +75 \sim +85^\circ\text{C}$
	f_{HOCO} (64MHz)	63.04	64	64.96	MHz	$T_a = -40 \sim -20^\circ\text{C}$
		63.36	64	64.64	MHz	$T_a = -20 \sim +75^\circ\text{C}$
		63.04	64	64.96	MHz	$T_a = +75 \sim +85^\circ\text{C}$
HOCOクロック発振安定時間	t_{HOCO} (32MHz)	—	—	37.1	μs	図 37.26
	t_{HOCO} (64MHz)	—	—	80.6	μs	図 37.26
IWDT専用クロック発振周波数	f_{ILOCO}	12.75	15	17.25	kHz	図 37.27
IWDT専用クロック発振安定時間	t_{ILOCO}	—	—	50	μs	
PLL回路発振周波数	f_{PLL}	40	—	80	MHz	図 37.28
PLLクロック発振安定時間	t_{PLL}	—	—	50	μs	
PLL自励発振周波数	f_{PLLFR}	—	8	—	MHz	

注1. 外部クロックが安定している場合に、メインクロック発振器停止ビット(MOSCCR.MOSTP)を“0”(動作)にしてから、使用できるまでの時間です。

注2. 8MHzの発振子を使用した場合の参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

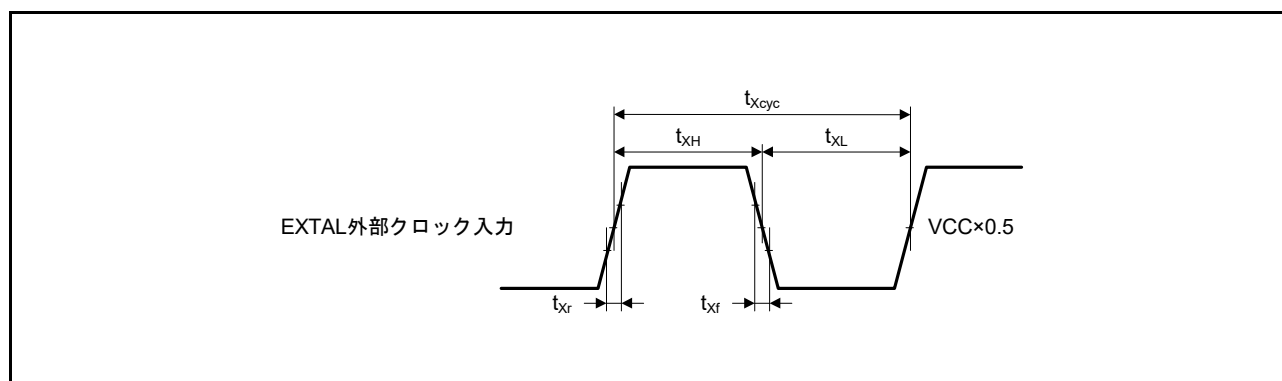


図 37.22 EXTAL 外部クロック入力タイミング

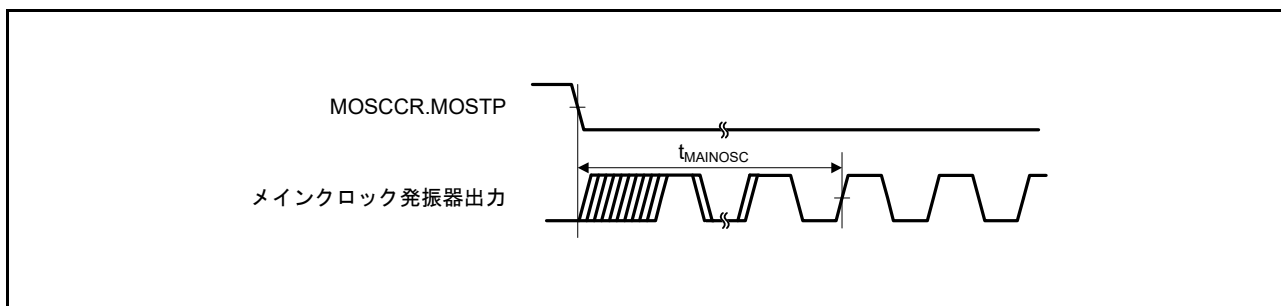


図 37.23 メインクロック発振開始タイミング

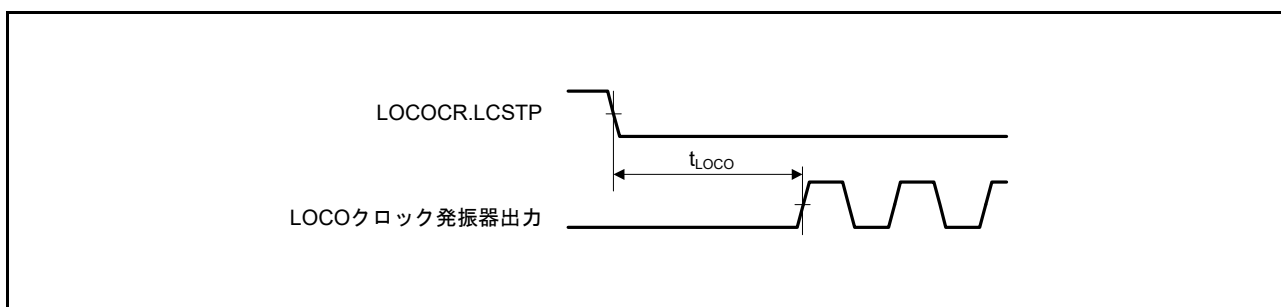


図 37.24 LOCO クロック発振開始タイミング

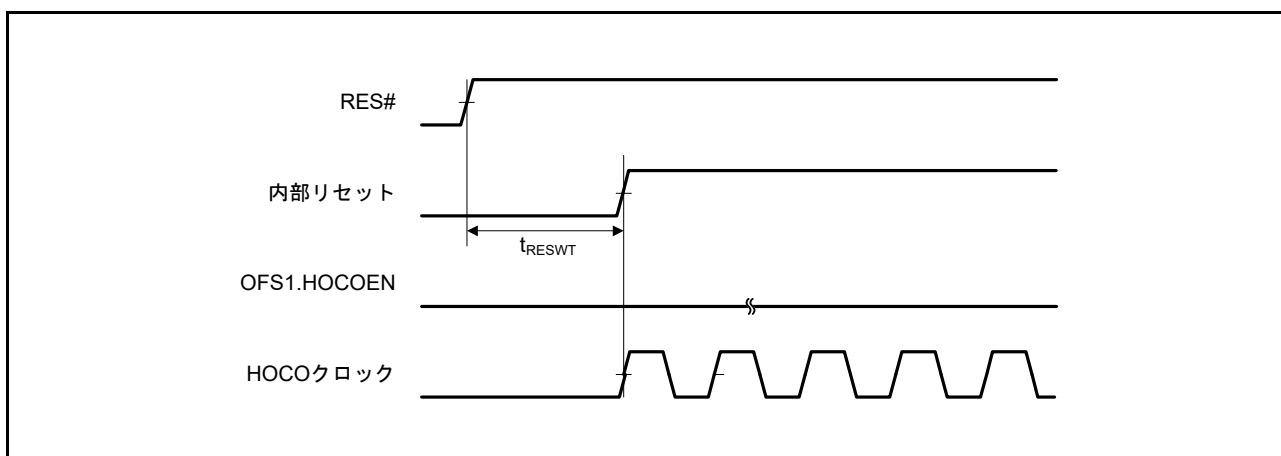


図 37.25 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0” 設定時のリセット解除後)

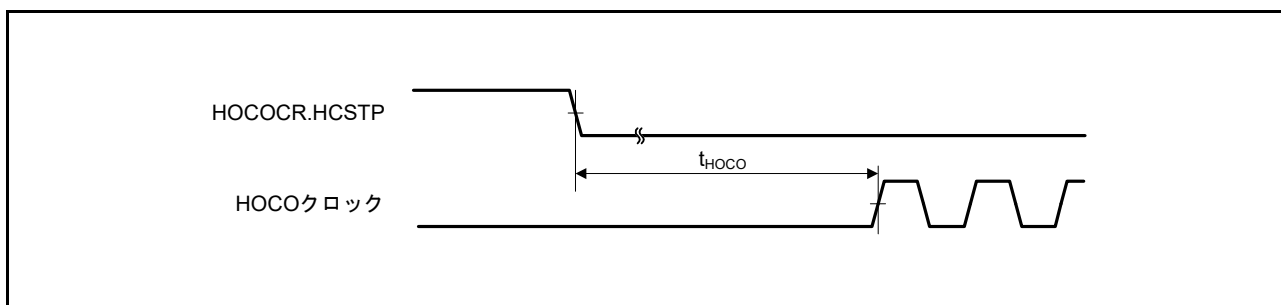


図 37.26 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

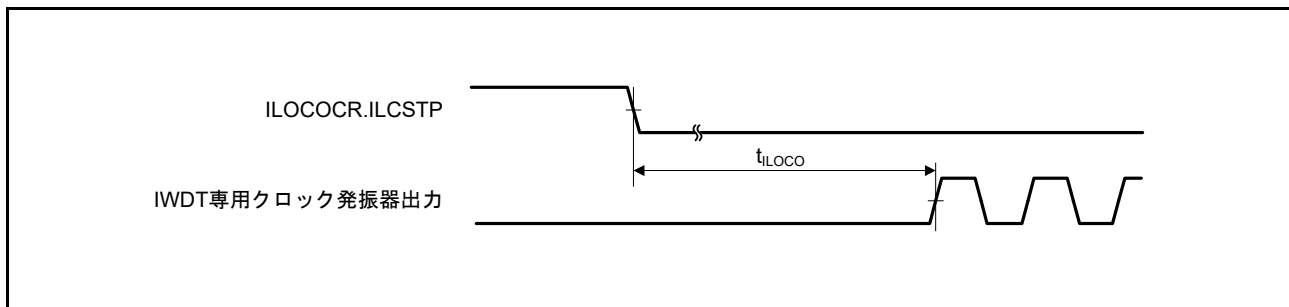


図 37.27 IWDW 専用クロック発振開始タイミング

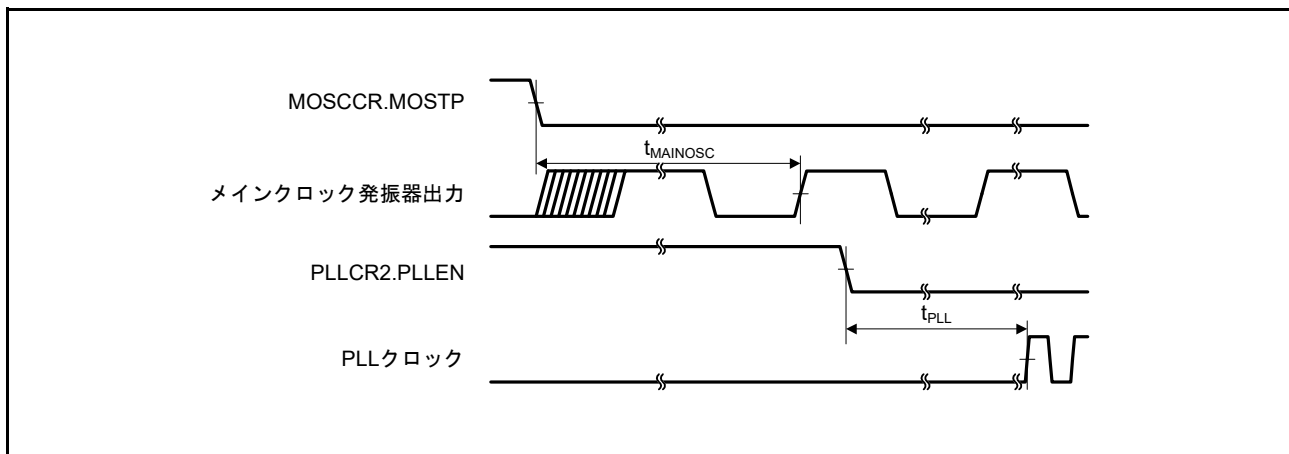


図 37.28 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

37.3.2 リセットタイミング

表 37.17 リセットタイミング

条件 : VCC = 2.7V~5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V, Ta = -40~+85°C

項目	記号	min	typ	max	単位	測定条件	
RES#パルス幅	電源投入時	t_{RESWP}	3	—	—	ms	図 37.29
	上記以外	t_{RESW}	30	—	—	μs	図 37.30
RES#解除後待機時間(電源投入時)	通常起動時	t_{RESWT}	—	27.5	—	ms	図 37.29
RES#解除後待機時間(電源立ち上がった状態)		t_{RESWT}	—	114	—	μs	図 37.30
独立ウォッチドッグタイマリセット期間		t_{RESWIW}	—	1	—	IWDT clock cycle	図 37.31
ソフトウェアリセット期間		t_{RESWSW}	—	1	—	ICLK cycle	
独立ウォッチドッグタイマリセット解除後待機時間(注1)		t_{RESW2}	—	300	—	μs	
ソフトウェアリセット解除後待機時間		t_{RESW2}	—	168	—	μs	

注1. IWDT.CR.CKS[3:0] = 0000bを設定した場合です。

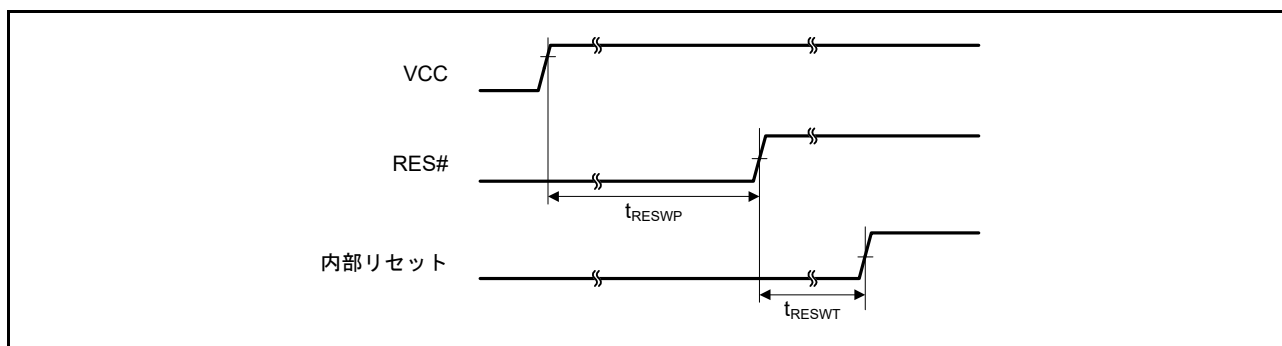


図 37.29 電源投入時リセット入カタイミング

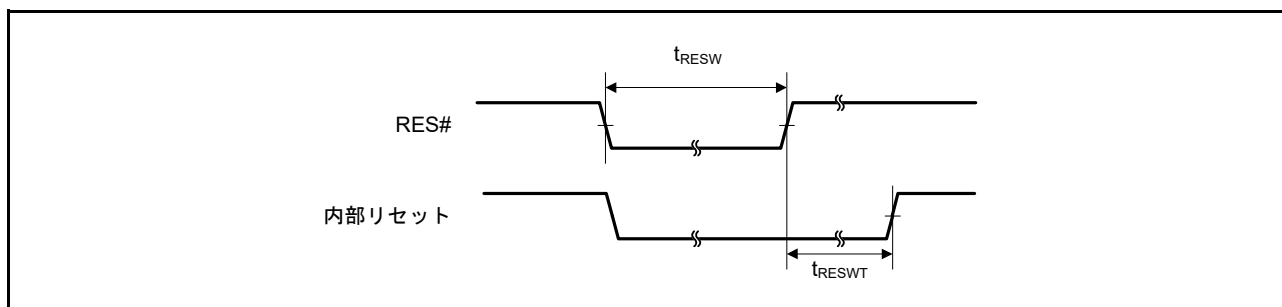


図 37.30 リセット入カタイミング (1)

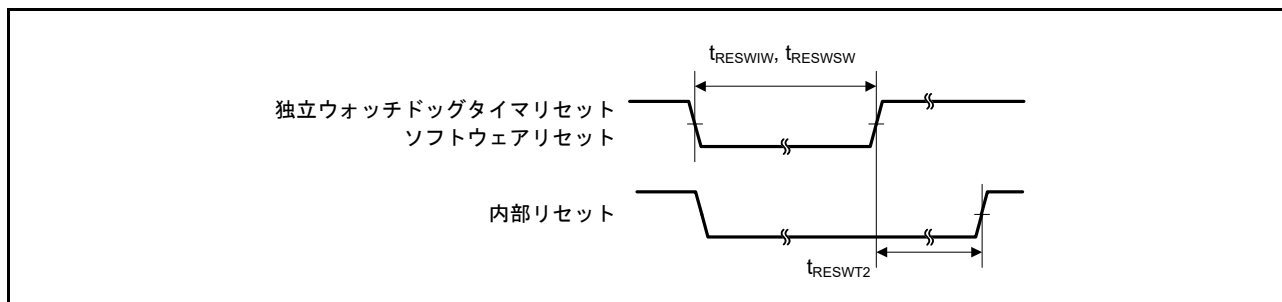


図 37.31 リセット入カタイミング (2)

37.3.3 低消費電力状態からの復帰タイミング

表37.18 低消費電力状態からの復帰タイミング(1)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間(注1)	高速モード メインクロック発振器に水晶振動子を接続	メインクロック発振器動作(注2)	t _{SBYMC}	—	2	3	ms	図 37.32
		メインクロック発振器、PLL回路動作(注3)	t _{SBYPC}	—	2	3	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作(注4)	t _{SBYEX}	—	35	50	μs	
		メインクロック発振器、PLL回路動作(注5)	t _{SBYPE}	—	70	95	μs	
	HOCOクロック動作	HOCOクロック発振器動作1(注6)	t _{SBYHO}	—	40	55	μs	
		HOCOクロック発振器動作2(注7)	t _{SBYHO}	—	75	90	μs	
		HOCOクロック発振器、PLL回路動作(注8)	t _{SBYPH}	—	110	130	μs	
	LOCOクロック動作(注9)	t _{SBYLO}	—	40	55	μs		

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が20MHzの場合です。
 メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“04h”を設定した場合です。
 ICLK、FCLK、PCLKA、PCLKB、PCLKDを分周していない設定の場合です。

注3. PLLの周波数が80MHzの場合です。
 メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“04h”を設定した場合です。
 ICLK、PCLKAの周波数を80MHz、PCLKB、PCLKDの周波数を40MHz、FCLKの周波数を20MHzに設定した場合です。

注4. 外部クロックの周波数が20MHzの場合です。
 ICLK、FCLK、PCLKA、PCLKB、PCLKDを分周していない設定の場合です。

注5. PLLの周波数が80MHzの場合です。
 メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“00h”を設定した場合です。
 ICLK、PCLKAの周波数を80MHz、PCLKB、PCLKDの周波数を40MHz、FCLKの周波数を20MHzに設定した場合です。

注6. 高速オンチップオシレータの周波数が32MHzの場合です。高速オンチップオシレータウェイトコントロールレジスタ(HOCOWTCR)に“05h”を設定した場合です。ICLK、FCLK、PCLKA、PCLKB、PCLKDを分周していない設定の場合です。

注7. 高速オンチップオシレータの周波数が64MHzの場合です。高速オンチップオシレータウェイトコントロールレジスタ(HOCOWTCR)に“06h”を設定した場合です。ICLK、PCLKAの周波数を64MHz、PCLKB、PCLKD、FCLKの周波数を32MHzに設定した場合です。

注8. 高速オンチップオシレータの周波数が32MHz、PLLの周波数が80MHzの場合です。高速オンチップオシレータウェイトコントロールレジスタ(HOCOWTCR)に“05h”を設定した場合です。ICLK、PCLKAの周波数を80MHz、PCLKB、PCLKDの周波数を40MHz、FCLKの周波数を20MHzに設定した場合です。

注9. ICLK、FCLK、PCLKA、PCLKB、PCLKDを分周していない設定の場合です。

表 37.19 低消費電力状態からの復帰タイミング(2)

条件：VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間(注1)	中速モード メインクロック発振器に水晶振動子を接続	メインクロック発振器動作(注2)	t_{SBYMC}	—	2	3	ms	図 37.32
		メインクロック発振器、PLL回路動作(注3)	t_{SBYPC}	—	2	3	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作(注4)	t_{SBYEX}	—	3	4	μs	
		メインクロック発振器、PLL回路動作(注5)	t_{SBYPE}	—	65	85	μs	
	HOCOクロック動作	HOCOクロック発振器動作1(注6)	t_{SBYHO}	—	40	50	μs	
		HOCOクロック発振器動作2(注7)	t_{SBYHO}	—	75	85	μs	
		HOCOクロック発振器、PLL回路動作(注8)	t_{SBYPH}	—	110	125	μs	
	LOCOクロック動作(注9)	t_{SBYLO}	—	5	7	μs		

- 注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。
- 注2. 水晶振動子の周波数が12MHzの場合です。メインクロック発振器ウェイトコントロールレジスタ(MOSWCWTCR)に“04h”を設定した場合です。ICLK、FCLK、PCLKA、PCLKB、PCLKDを分周していない設定の場合です。
- 注3. PLLの周波数が48MHzの場合です。メインクロック発振器ウェイトコントロールレジスタ(MOSWCWTCR)に“04h”を設定した場合です。ICLK、FCLK、PCLKA、PCLKB、PCLKDの周波数を12MHzに設定した場合です。
- 注4. 外部クロックの周波数が12MHzの場合です。ICLK、FCLK、PCLKA、PCLKB、PCLKDを分周していない設定の場合です。
- 注5. PLLの周波数が48MHzの場合です。メインクロック発振器ウェイトコントロールレジスタ(MOSWCWTCR)に“00h”を設定した場合です。ICLK、FCLK、PCLKA、PCLKB、PCLKDの周波数を12MHzに設定した場合です。
- 注6. 高速オンチップオシレータの周波数が32MHzの場合です。高速オンチップオシレータウェイトコントロールレジスタ(HOCOWTCR)に“05h”を設定した場合です。ICLK、FCLK、PCLKA、PCLKB、PCLKDの周波数を8MHz設定した場合です。
- 注7. 高速オンチップオシレータの周波数が64MHzの場合です。高速オンチップオシレータウェイトコントロールレジスタ(HOCOWTCR)に“06h”を設定します。ICLK、FCLK、PCLKA、PCLKB、PCLKDの周波数を8MHzに設定した場合です。
- 注8. 高速オンチップオシレータの周波数が32MHz、PLLの周波数が80MHzの場合です。高速オンチップオシレータウェイトコントロールレジスタ(HOCOWTCR)に“05h”を設定した場合です。ICLK、FCLK、PCLKA、PCLKB、PCLKDの周波数を10MHzに設定した場合です。
- 注9. ICLK、FCLK、PCLKA、PCLKB、PCLKDを分周していない設定の場合です。

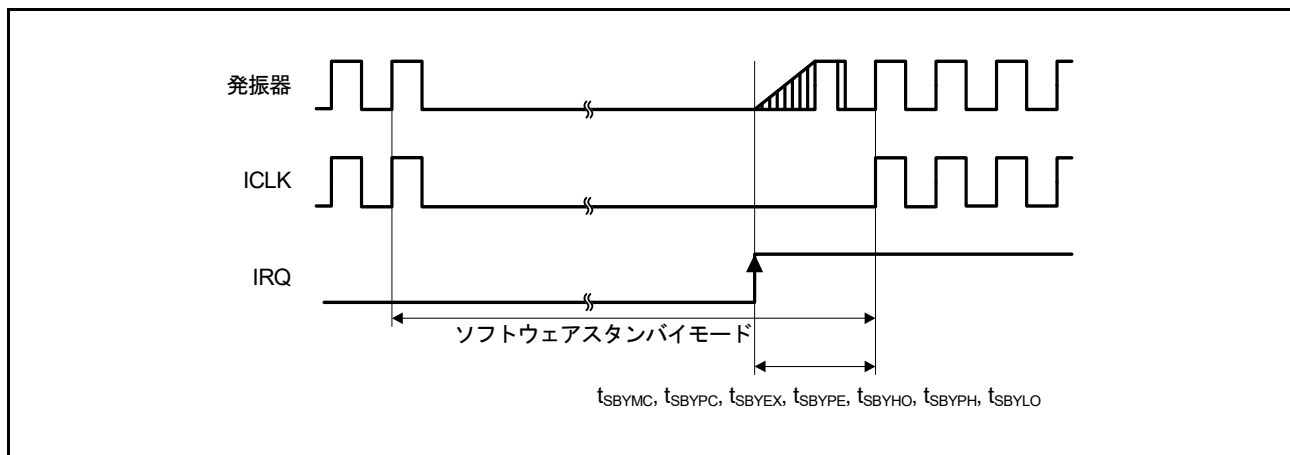


図 37.32 ソフトウェアスタンバイモード復帰タイミング

表37.20 低消費電力状態からの復帰タイミング(3)

条件：VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
ディープスリープモード 解除後復帰時間(注1)	高速モード(注2)	$t_{\text{DSL P}}$	—	2	3.5	μs
	中速モード(注3)	$t_{\text{DSL P}}$	—	3	4	μs

注1. ディープスリープモードでは発振器は発振を継続します。

注2. ICLK、FCLK、PCLKA、PCLKB、PCLKDの周波数が32MHzの場合です。

注3. ICLK、FCLK、PCLKA、PCLKB、PCLKDの周波数が12MHzの場合です。

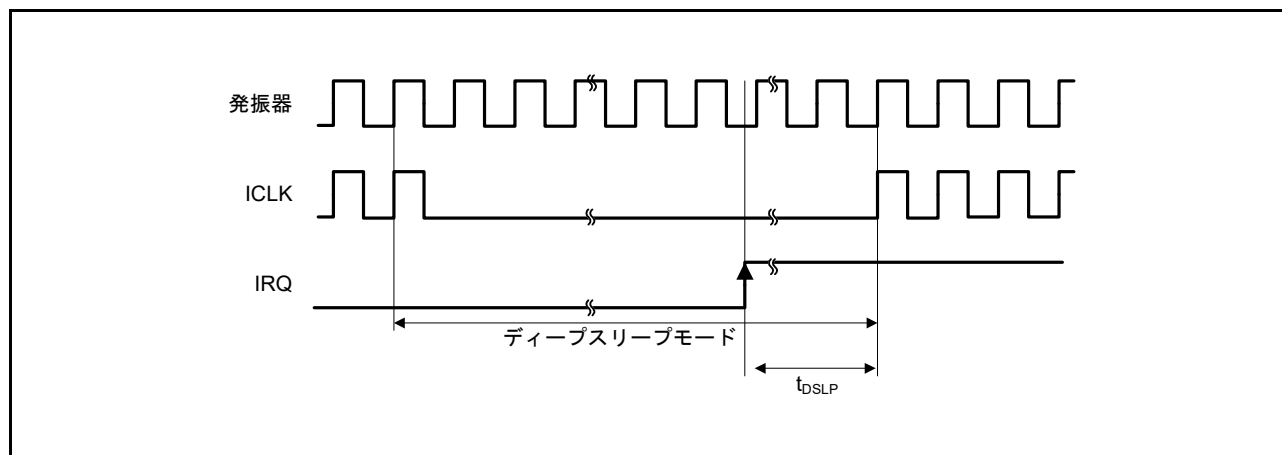


図 37.33 ディープスリープモード解除タイミング

表37.21 動作モード遷移時間

条件：VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	8MHz	—	10	—	μs
中速動作モード	高速動作モード	8MHz	—	37.5	—	μs

注. PCLKA、PCLKB、PCLKD、FCLKを分周していない設定時の値です。

37.3.4 制御信号タイミング

表 37.22 制御信号タイミング

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 T_a = -40 ~ +85°C

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t _{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	t _{Pcyc} × 2 ≤ 200ns
		t _{Pcyc} × 2(注1)	—	—			t _{Pcyc} × 2 > 200ns
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	t _{NMICK} × 3 ≤ 200ns
		t _{NMICK} × 3.5(注2)	—	—			t _{NMICK} × 3 > 200ns
IRQパルス幅	t _{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	t _{Pcyc} × 2 ≤ 200ns
		t _{Pcyc} × 2(注1)	—	—			t _{Pcyc} × 2 > 200ns
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	t _{IRQCK} × 3 ≤ 200ns
		t _{IRQCK} × 3.5(注3)	—	—			t _{IRQCK} × 3 > 200ns

- 注. ソフトウェアスタンバイモード時は最小200nsです。
- 注1. t_{Pcyc} : PCLKBの周期
- 注2. t_{NMICK} : NMIデジタルフィルタサンプリングクロックの周期
- 注3. t_{IRQCK} : IRQiデジタルフィルタサンプリングクロック(i = 0~7)の周期

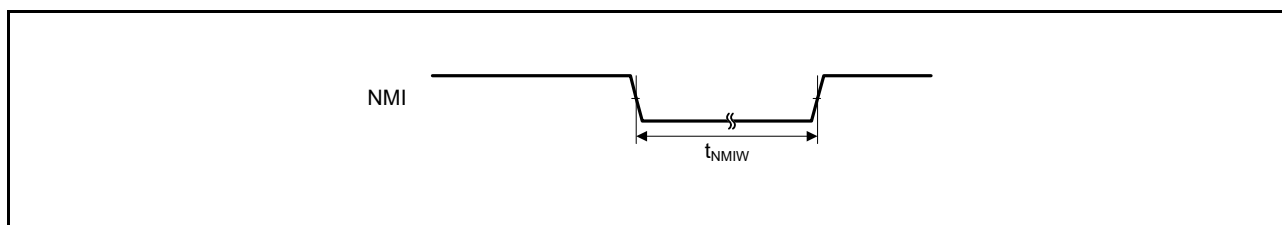


図 37.34 NMI 割り込み入力タイミング

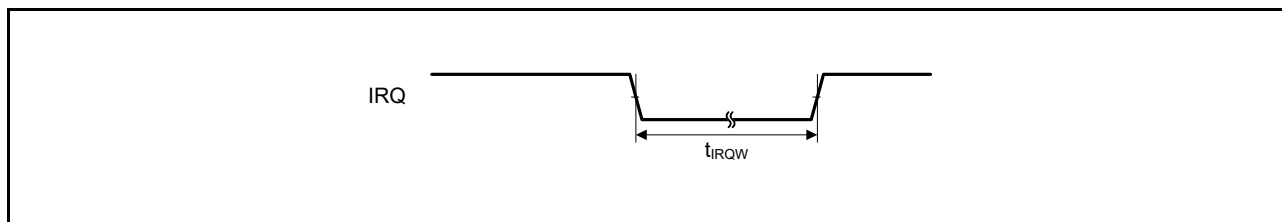


図 37.35 IRQ 割り込み入力タイミング

37.3.5 内蔵周辺モジュールタイミング

表 37.23 内蔵周辺モジュールタイミング(1)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{Pcyc}	図 37.36	
MTU3	インプットキャプチャ入力パルス幅	単エッジ指定	t_{TICW}	3	—	t_{PAcyc}	図 37.37
		両エッジ指定		5	—		
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH} , t_{TCKWL}	3	—	t_{PAcyc}	図 37.38
		両エッジ指定		5	—		
位相計数モード		5		—			
POE3	POE#入力パルス幅	t_{POEW}	1.5	—	t_{Pcyc}	図 37.39	
GPT	インプットキャプチャ入力パルス幅	単エッジ指定	t_{GTICW}	1.5	—	t_{PAcyc}	図 37.40
		両エッジ指定		2.5	—		
	外部トリガ入力パルス幅	単エッジ指定	t_{GTETW}	1.5	—	t_{PAcyc}	図 37.41
		両エッジ指定		2.5	—		
タイマクロックパルス幅		t_{GTCKWH}	1.5	—	t_{PAcyc}	図 37.42	
		t_{GTCKWL}					
TMR	タイマクロックパルス幅	単エッジ指定	t_{TMCWH} , t_{TMCWL}	1.5	—	t_{Pcyc}	図 37.43
		両エッジ指定		2.5	—		
SCI	入カロックサイクル	調歩同期	t_{Scyc}	4	—	t_{Pcyc}	図 37.44
		クロック同期		6	—		
	入カロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入カロック立ち上がり時間		t_{SCKr}	—	20	ns	
	入カロック立ち下がり時間		t_{SCKf}	—	20	ns	
	出カロックサイクル	調歩同期	t_{Scyc}	16	—	t_{Pcyc}	図 37.45
		クロック同期		4	—		
	出カロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出カロック立ち上がり時間		t_{SCKr}	—	20	ns	
	出カロック立ち下がり時間		t_{SCKf}	—	20	ns	
	送信データ遅延時間 (マスタ)	クロック同期	t_{TXD}	—	40	ns	
	送信データ遅延時間 (スレーブ)	クロック同期		4.0V以上	—	40	ns
			2.7V以上	—	65	ns	
	受信データセットアップ 時間(マスタ)	クロック同期	t_{RXS}	4.0V以上	40	—	ns
2.7V以上				65	—	ns	
受信データセットアップ 時間(スレーブ)	クロック同期	t_{RXS}	40	—	ns		
受信データホールド時間	クロック同期	t_{RXH}	40	—	ns		
A/Dコンバータ	トリガ入力パルス幅	t_{TRGW}	1.5	—	t_{Pcyc}	図 37.46	
CAC	CACREF入力パルス幅	$t_{Pcyc} \leq t_{cac}$ (注2)	t_{CACREF}	$4.5 t_{cac} + 3 t_{Pcyc}$	—	ns	
				$t_{Pcyc} > t_{cac}$ (注2)			

注1. t_{Pcyc} : PCLKの周期、 t_{PAcyc} : PCLKAの周期

注2. t_{cac} : CACカウントクロックソースの周期

表37.24 内蔵周辺モジュールタイミング(2)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim 85^\circ\text{C}$, C = 30pF

項目		記号	min	max	単位 (注1)	測定条件	
RSPI	RSPCKクロック サイクル	マスタ	t_{SPcyc}	2	4096	t_{Pcyc}	図37.47
		スレーブ		6	—		
	RSPCKクロック Highレベルパルス幅	マスタ (4.0V以上)	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2 - 5$	—	ns	
		マスタ (2.7V以上)		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2 - 8$	—		
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2$	—		
	RSPCKクロック Lowレベルパルス幅	マスタ (4.0V以上)	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2 - 5$	—	ns	
		マスタ (2.7V以上)		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2 - 8$	—		
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2$	—		
	RSPCKクロック 立ち上がり/ 立ち下がり時間	出力	t_{SPCKr} , t_{SPCKf}	4.0V以上	6	ns	
		2.7V以上		10			
	入力			—	0.1	$\mu\text{s/V}$	
	データ入力セット アップ時間	マスタ	t_{SU}	4.0V以上	10	ns	
		2.7V以上		26			
		スレーブ		20			
	データ入力ホールド 時間	マスタ	t_H	RSPCKをPCLKB の2分周以外に設定	t_{Pcyc}	ns	
		RSPCKをPCLKB の2分周に設定		0			
		スレーブ	t_H	0	—		
	SSLセットアップ 時間	マスタ	t_{LEAD}	$-30 + N(\text{注2}) \times t_{SPcyc}$	—	ns	
		スレーブ		6	—		t_{Pcyc}
	SSLホールド時間	マスタ	t_{LAG}	$-30 + N(\text{注3}) \times t_{SPcyc}$	—	ns	
		スレーブ		6	—		t_{Pcyc}
	データ出力遅延時間	マスタ	t_{OD}	4.0V以上	10	ns	
		2.7V以上		14			
		スレーブ		65			
	データ出力ホールド 時間	マスタ	t_{OH}	0	—	ns	
		スレーブ		0	—		
	連続送信遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns	
		スレーブ		$6 \times t_{Pcyc}$	—		
	MOSI、MISO 立ち上がり/ 立ち下がり時間	出力	t_{Dr} , t_{Df}	—	10	ns	
		入力		—	1		μs
	SSL立ち上がり/ 立ち下がり時間	出力	t_{SSLr} , t_{SSLf}	—	10	ns	
		入力		—	1		μs
	スレーブアクセス時間		t_{SA}	—	6	t_{Pcyc}	図37.50、 図37.51
	スレーブ出力開放時間		t_{REL}	—	5	t_{Pcyc}	

注1. t_{Pcyc} : PCLKの周期

注2. N : RSPIクロック遅延レジスタ (SPCKD)にて設定可能な1~8の整数

注3. N : RSPIスレーブセレクトネゲート遅延レジスタ (SSLND)にて設定可能な1~8の整数

表37.25 内蔵周辺モジュールタイミング(3)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$, C = 30pF

項目		記号	min	max	単位 (注1)	測定条件	
簡易 SPI	SCKクロックサイクル出力(マスタ)	t_{SPCyc}	4	65536	t_{Pcyc}	図37.47	
	SCKクロックサイクル入力(スレーブ)		6	—	t_{Pcyc}		
	SCKクロックHighレベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}		
	SCKクロックLowレベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}		
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr} , t_{SPCKf}	—	20	ns		
	データ入力セットアップ時間 (マスタ)	4.0V以上	t_{SU}	40	—	ns	図37.48、 図37.49
		2.7V以上		65	—		
	データ入力セットアップ時間(スレーブ)			40	—		
	データ入力ホールド時間		t_H	40	—	ns	
	SS入力セットアップ時間		t_{LEAD}	3	—	t_{SPcyc}	
	SS入力ホールド時間		t_{LAG}	3	—	t_{SPcyc}	
	データ出力遅延時間(マスタ)		t_{OD}	—	40	ns	
	データ出力遅延時間(スレーブ)	4.0V以上		—	40		
		2.7V以上		—	65		
	データ出力ホールド時間	マスタ	t_{OH}	-10	—	ns	
		スレーブ		-10	—		
データ立ち上がり/立ち下がり時間		t_{Dr} , t_{Df}	—	20	ns		
SS入力立ち上がり/立ち下がり時間		t_{SSLr} , t_{SSLf}	—	20	ns		
スレーブアクセス時間		t_{SA}	—	6	t_{Pcyc}	図37.50、 図37.51	
スレーブ出力開放時間		t_{REL}	—	6	t_{Pcyc}		

注1. t_{Pcyc} : PCLKの周期

表37.26 内蔵周辺モジュールタイミング(4)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min(注1、注2)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCLサイクル時間	t_{SCL}	$6(12) \times t_{\text{IICcyc}} + 1300$	—	ns	図37.52
	SCL Highパルス幅	t_{SCLH}	$3(6) \times t_{\text{IICcyc}} + 300$	—	ns	
	SCL Lowパルス幅	t_{SCLL}	$3(6) \times t_{\text{IICcyc}} + 300$	—	ns	
	SCL、SDA立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{\text{IICcyc}}$	ns	
	SDAバスフリー時間	t_{BUF}	$3(6) \times t_{\text{IICcyc}} + 300$	—	ns	
	開始条件ホールド時間	t_{STAH}	$t_{\text{IICcyc}} + 300$	—	ns	
	再送開始条件セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件セットアップ時間	t_{STOS}	1000	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{\text{IICcyc}} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC (ファストモード)	SCLサイクル時間	t_{SCL}	$6(12) \times t_{\text{IICcyc}} + 600$	—	ns	図37.52
	SCL Highパルス幅	t_{SCLH}	$3(6) \times t_{\text{IICcyc}} + 300$	—	ns	
	SCL Lowパルス幅	t_{SCLL}	$3(6) \times t_{\text{IICcyc}} + 300$	—	ns	
	SCL、SDA立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{\text{IICcyc}}$	ns	
	SDAバスフリー時間	t_{BUF}	$3(6) \times t_{\text{IICcyc}} + 300$	—	ns	
	開始条件ホールド時間	t_{STAH}	$t_{\text{IICcyc}} + 300$	—	ns	
	再送開始条件セットアップ時間	t_{STAS}	300	—	ns	
	停止条件セットアップ時間	t_{STOS}	300	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{\text{IICcyc}} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注1. t_{IICcyc} : RIICの内部基準クロック(IICφ)の周期

注2. ()内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

表 37.27 内蔵周辺モジュールタイミング(5)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 Ta = -40 ~ +85°C

項目		記号	min	max	単位	測定条件
簡易I ² C (スタンダード モード)	SDA立ち上がり時間	t _{Sr}	—	1000	ns	図 37.52
	SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SDAスパイクパルス除去時間	t _{SP}	0	4 × t _{pcyc} (注1)	ns	
	データセットアップ時間	t _{SDAS}	250	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	
簡易I ² C (ファストモード)	SDA立ち上がり時間	t _{Sr}	—	300	ns	図 37.52
	SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SDAスパイクパルス除去時間	t _{SP}	0	4 × t _{pcyc} (注1)	ns	
	データセットアップ時間	t _{SDAS}	100	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	

注1. t_{pcyc} : PCLKBの周期

注2. C_bはバスラインの容量総計です。

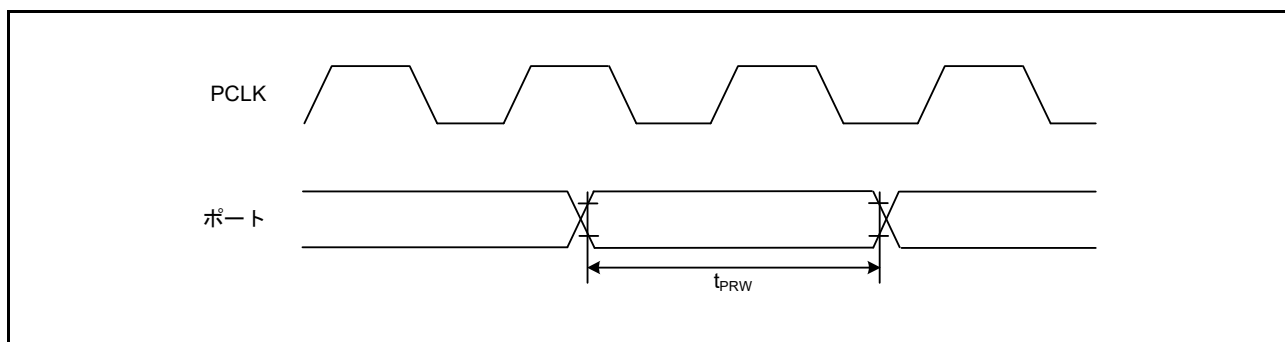


図 37.36 I/Oポート入力タイミング

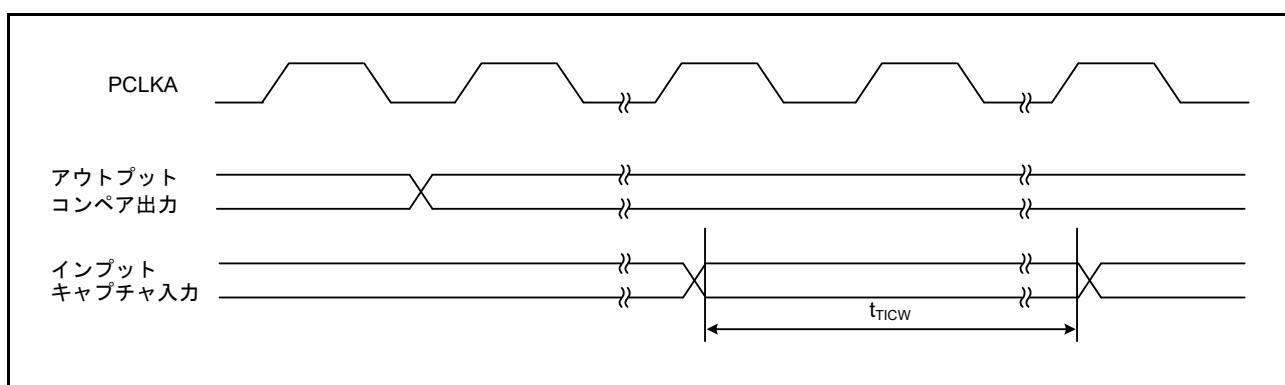


図 37.37 MTU3 入出力タイミング

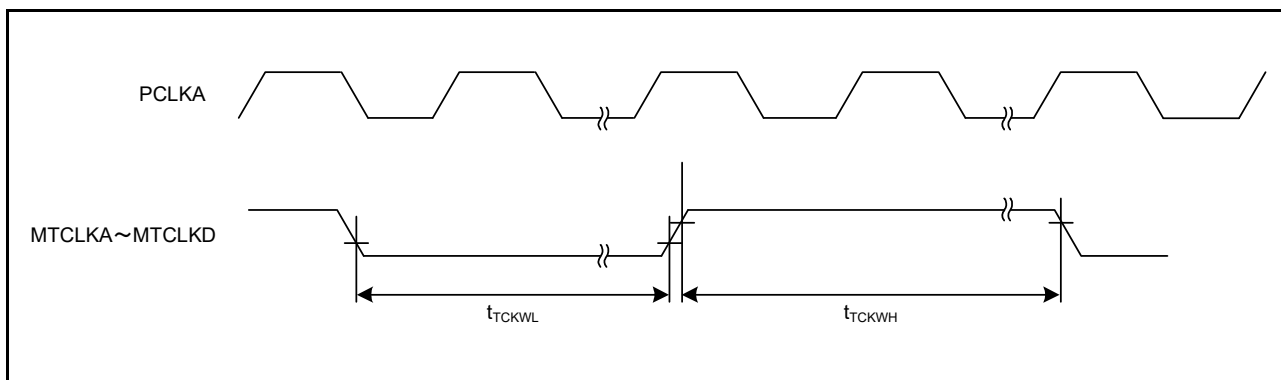


図 37.38 MTU3 クロック入力タイミング

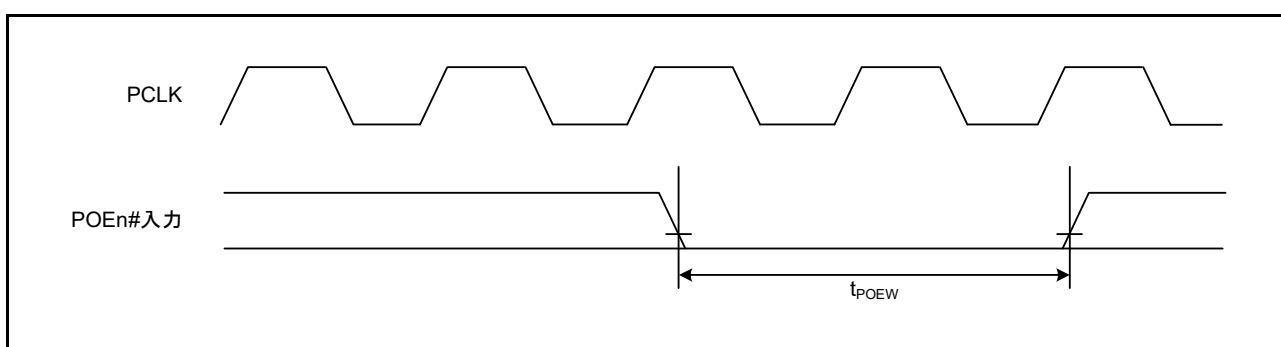


図 37.39 POE# 入力タイミング

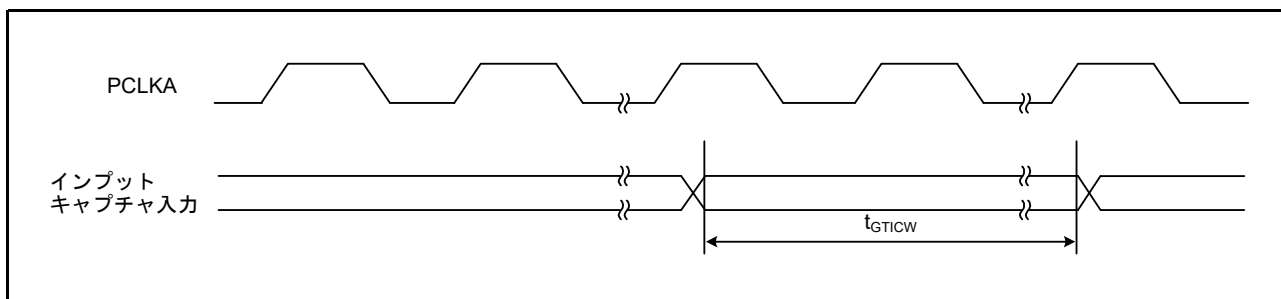


図 37.40 GPT インプットキャプチャ入力タイミング

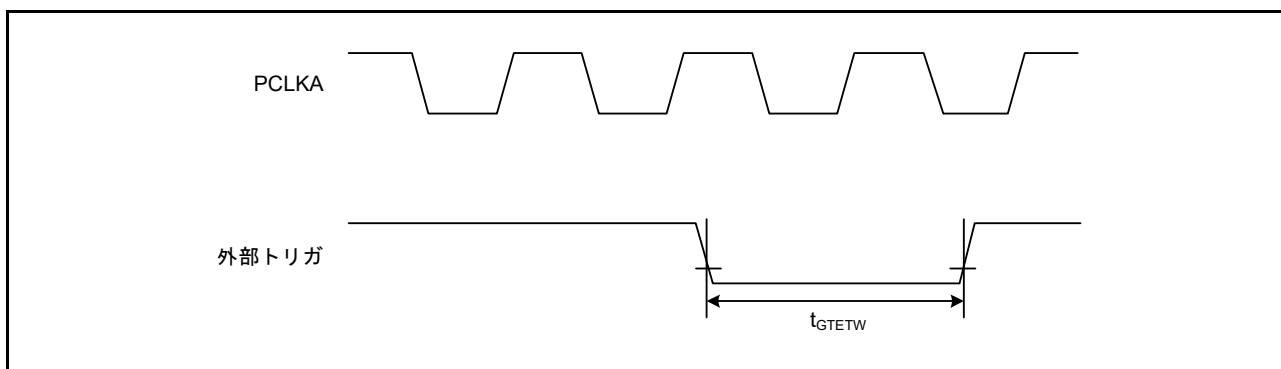


図 37.41 GPT 外部トリガ入力タイミング

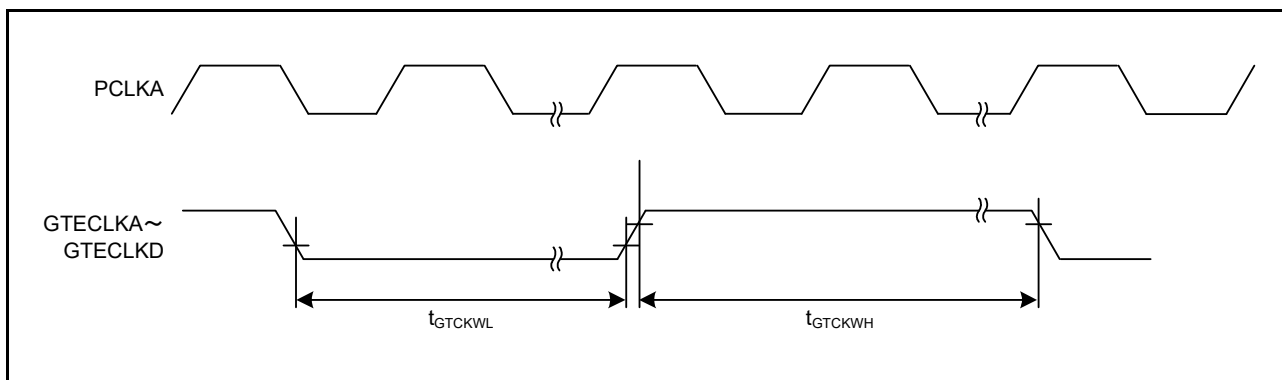


図 37.42 GPT クロック入力タイミング

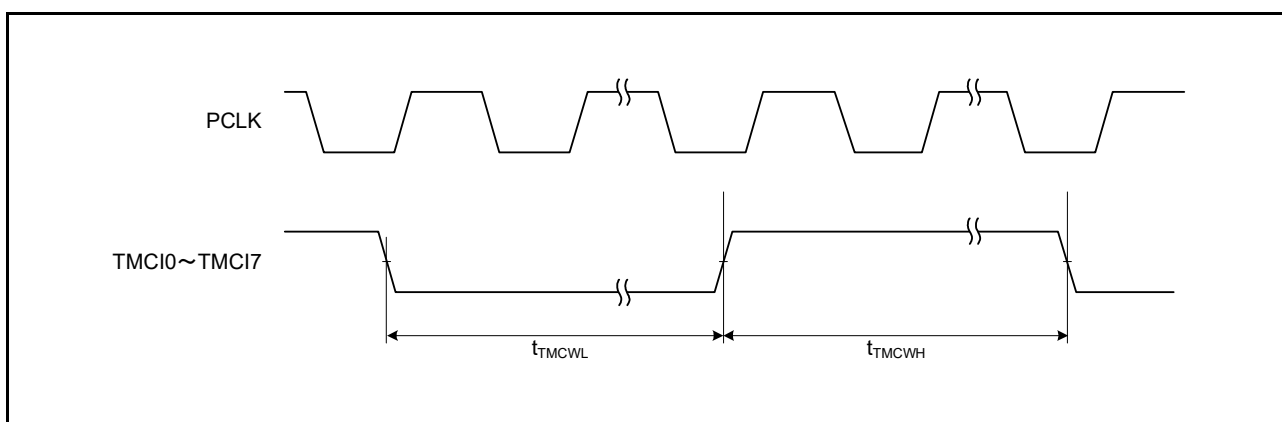


図 37.43 TMR クロック入力タイミング

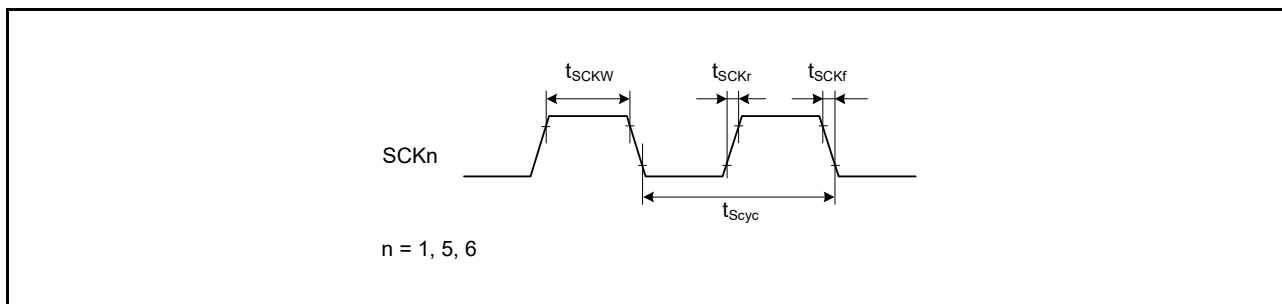


図 37.44 SCK クロック入力タイミング

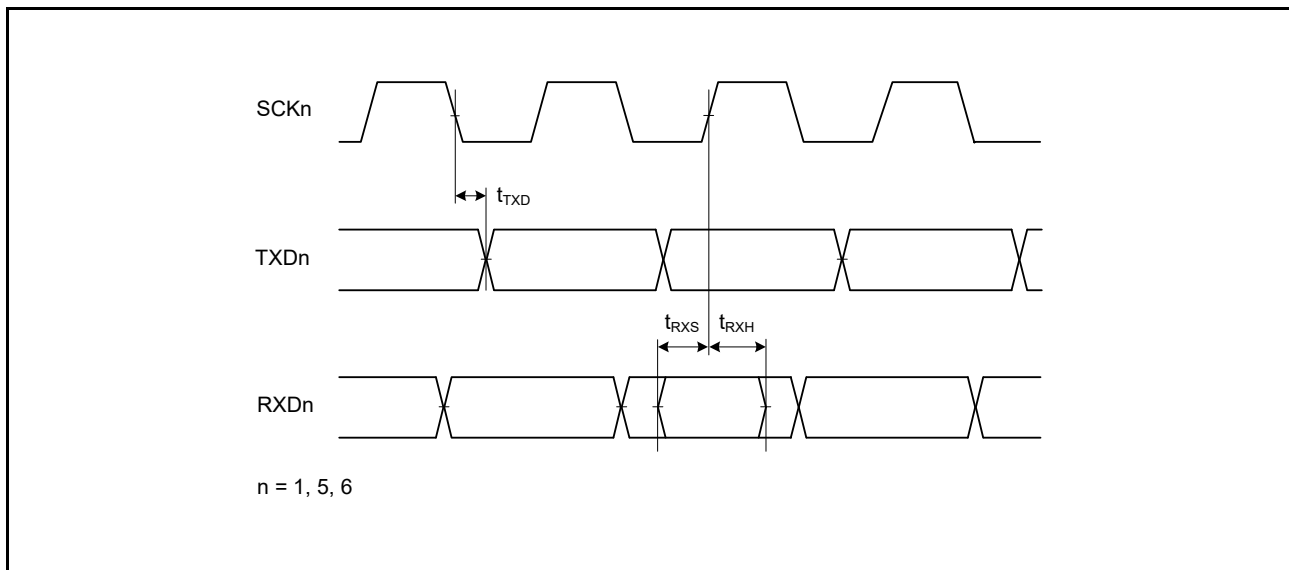


図 37.45 SCI 入出力タイミング/クロック同期式モード

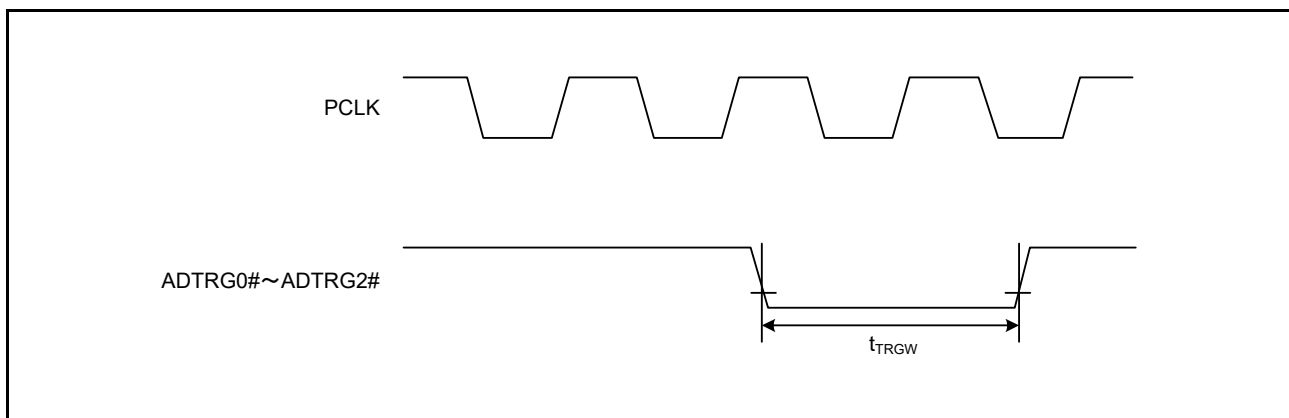


図 37.46 A/D コンバータ外部トリガ入力タイミング

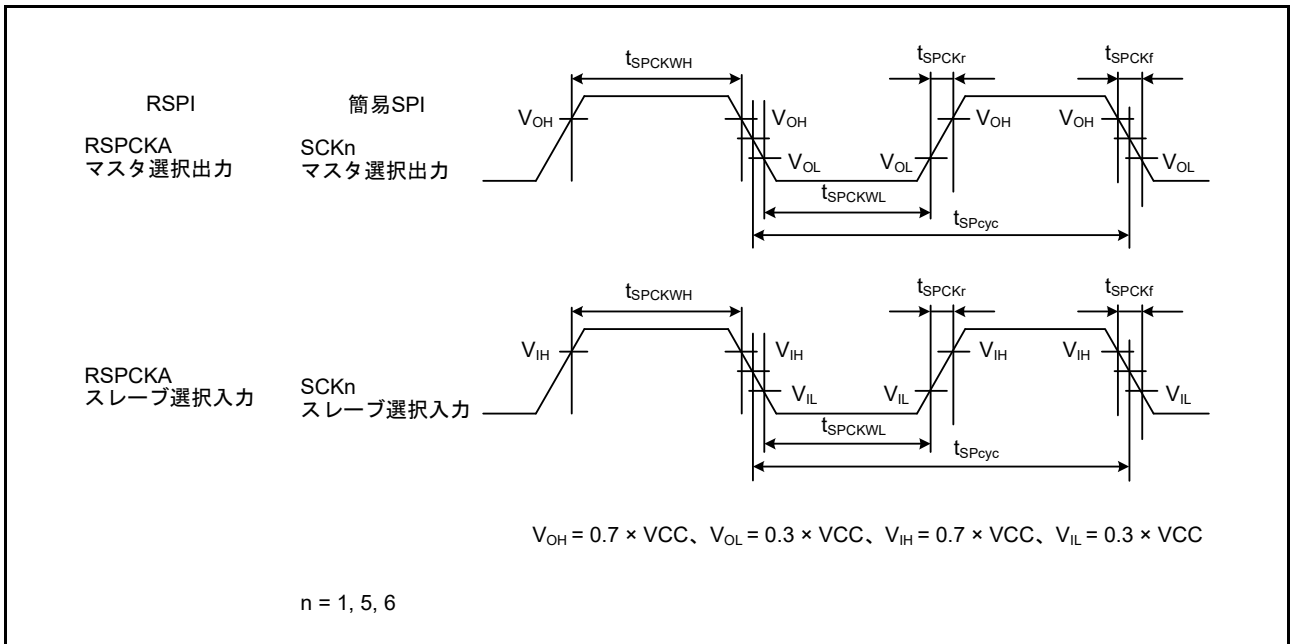


図 37.47 RSPI クロックタイミング / 簡易 SPI クロックタイミング

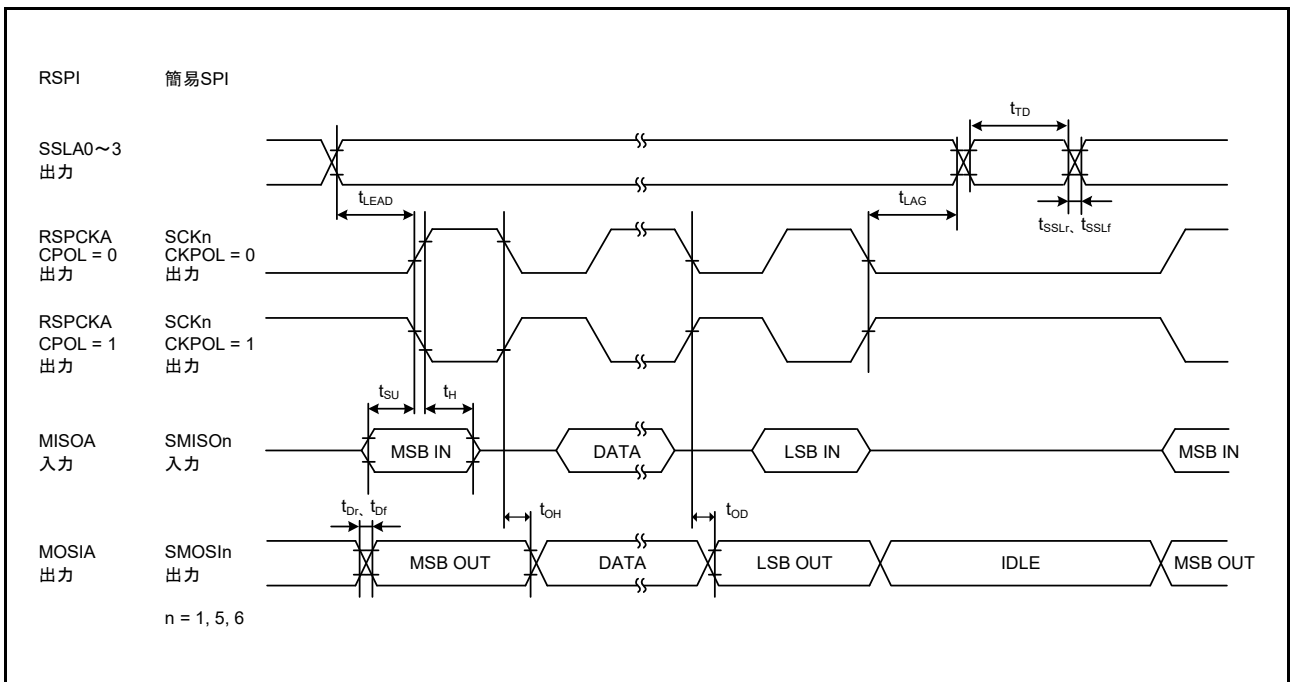


図 37.48 RSPI タイミング (マスタ、CPHA = 0) / 簡易 SPI タイミング (マスタ、CKPH = 1)

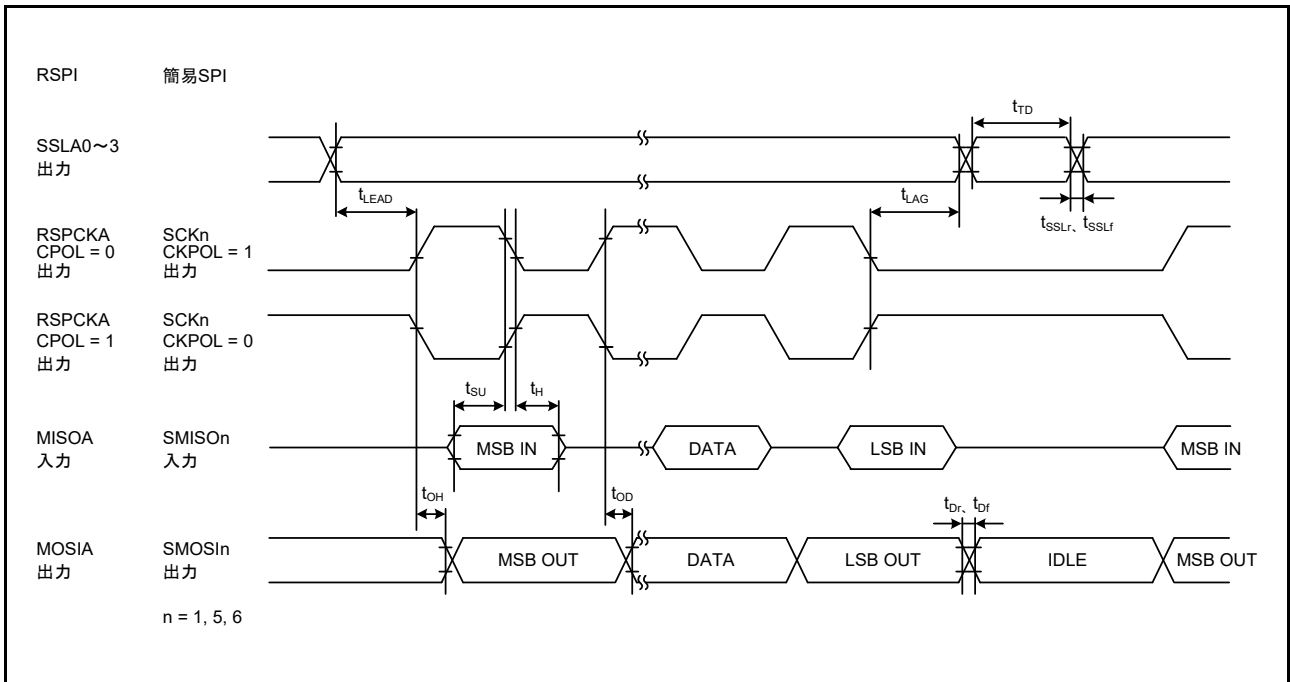


図 37.49 RSPI タイミング (マスタ、CPHA = 1)/ 簡易 SPI タイミング (マスタ、CKPH = 0)

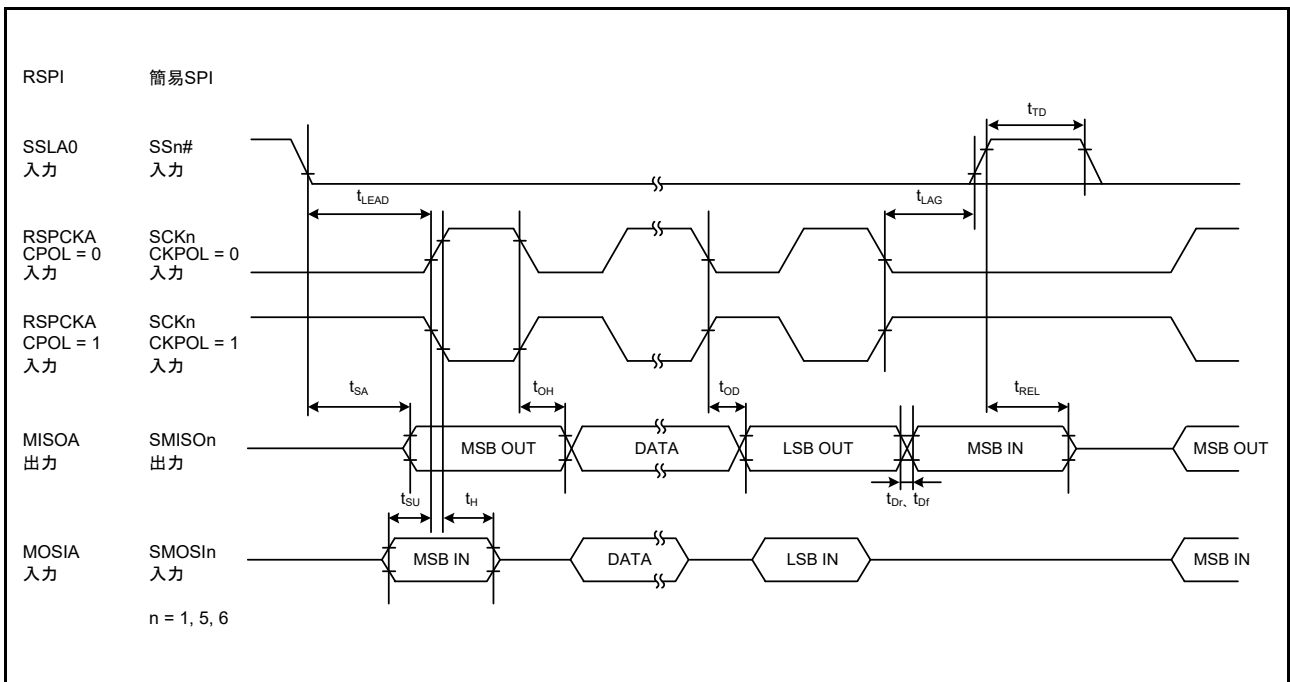


図 37.50 RSPI タイミング (スレーブ、CPHA = 0)/ 簡易 SPI タイミング (スレーブ、CKPH = 1)

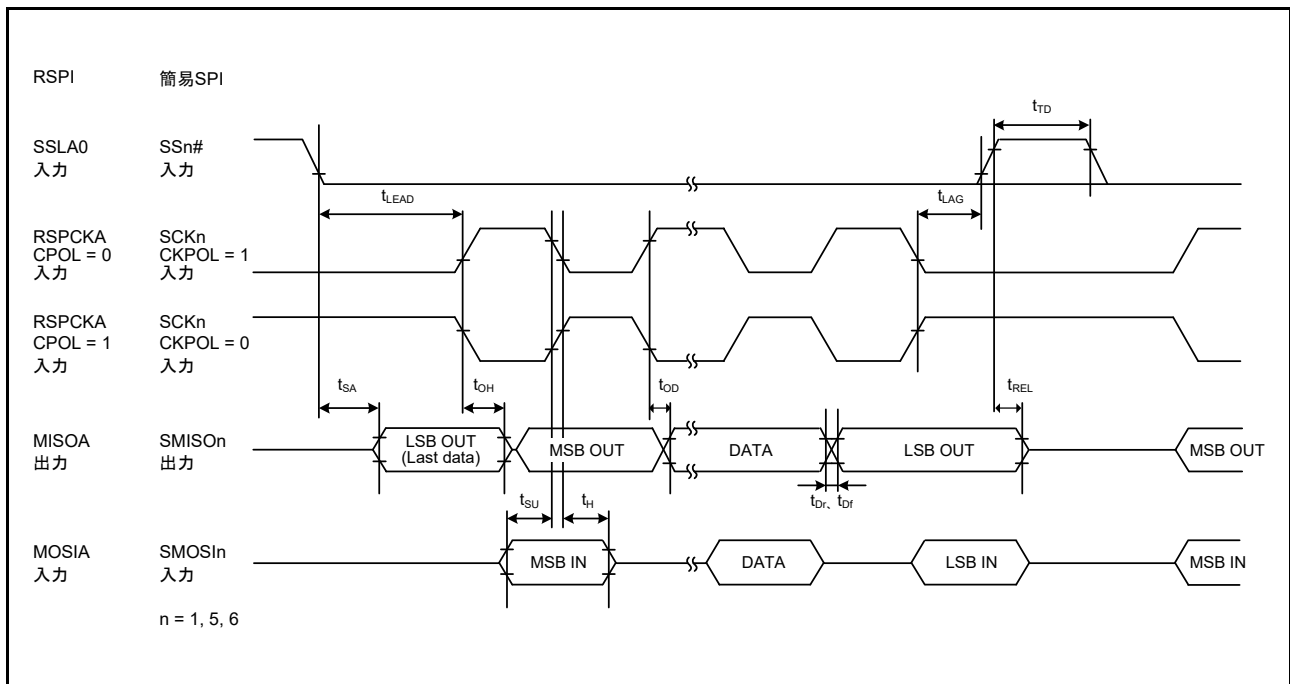


図 37.51 RSPI タイミング (スレーブ、CPHA = 1)/ 簡易 SPI タイミング (スレーブ、CKPH = 0)

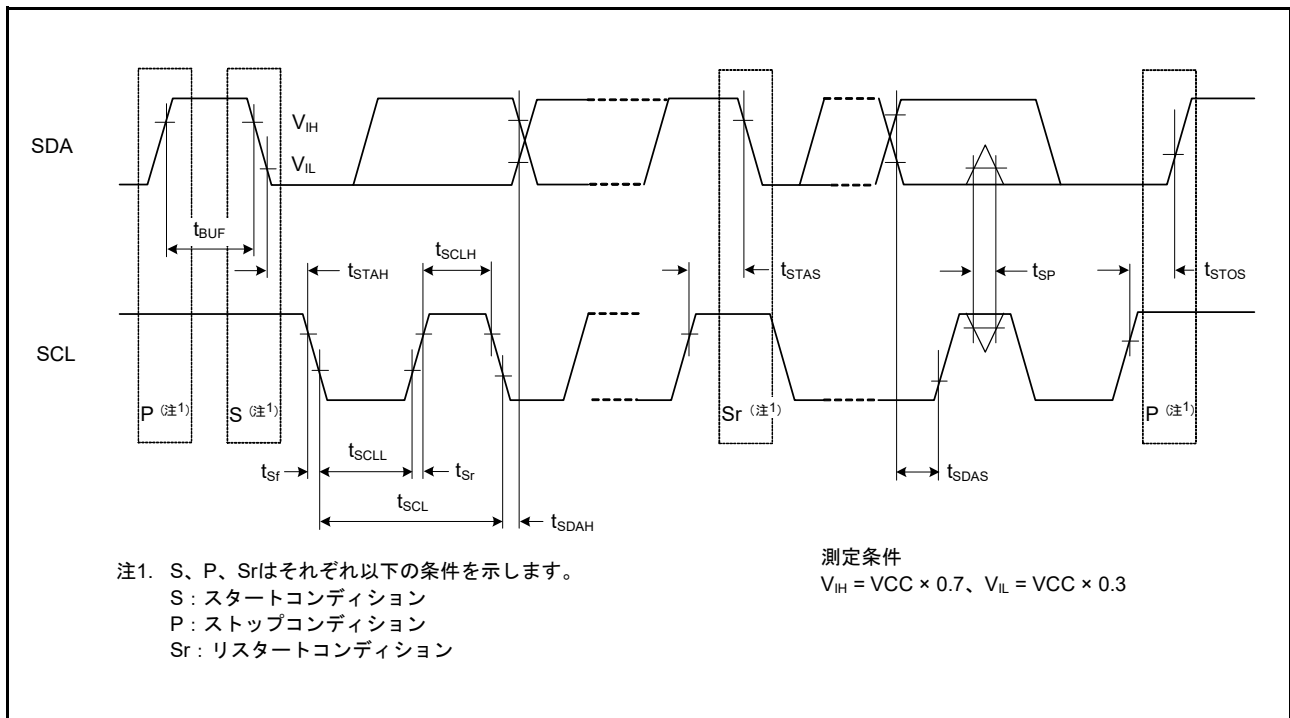


図 37.52 I²C バスインタフェース入出力タイミング / 簡易 I²C バスインタフェース入出力タイミング

37.4 A/D 変換特性

表 37.28 A/D変換特性(1)

条件 : VCC = 4.5V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		min	typ	max	単位	測定条件
周波数		1	—	40	MHz	
分解能		—	—	12	ビット	
変換時間(注1) (PCLKD = 40MHz時)	許容信号源 インピーダンス max = 1.0k Ω サンプルホールド回路 未使用時	1.0	—	—	μs	高精度チャネル ADSSTRn.SST[7:0] ビット = 08h
	許容信号源 インピーダンス max = 1.0k Ω サンプルホールド回路 未使用時	1.25	—	—	μs	通常精度チャネル ADSSTRn.SST[7:0] ビット = 12h
	許容信号源 インピーダンス max = 1.0k Ω サンプルホールド回路 使用時	1.65	—	—	μs	高精度チャネル ADSSTRn.SST[7:0] ビット = 08h ADSHCR.SSTSH[7:0] ビット = 0Dh AN100 ~ 102 = 0.25V ~ AVCC1 - 0.25V
アナログ入力容量		—	—	12	pF	
オフセット誤差		—	± 2.0	± 6.5	LSB	
フルスケール誤差		—	± 2.0	± 6.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度	サンプルホールド回路 使用時	—	± 2.5	± 8.0	LSB	AN100 ~ 102 = 0.25V ~ AVCC1 - 0.25
	サンプルホールド回路 未使用時	—	± 3.0	± 8.0	LSB	
DNL 微分非直線性誤差		—	± 0.5	± 1.5	LSB	
INL 積分非直線性誤差		—	± 1.5	± 4.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 37.29 A/D変換特性(2)

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目	min	typ	max	単位	測定条件	
周波数	1	—	40	MHz		
分解能	—	—	12	ビット		
変換時間(注1) (PCLKD = 40MHz時)	許容信号源 インピーダンス max = 1.0k Ω サンプルホールド回路 未使用時	1.15	—	—	μs	高精度チャンネル ADSSTRn.SST[7:0]ビット = 0Eh
		1.30	—	—	μs	通常精度チャンネル ADSSTRn.SST[7:0]ビット = 14h
	許容信号源 インピーダンス max = 1.0k Ω サンプルホールド回路 使用時	1.90	—	—	μs	高精度チャンネル ADSSTRn.SST[7:0]ビット = 0Eh ADSHCR.SSTSH[7:0]ビット = 11h AN100 ~ 102 = 0.25V ~ AVCC1 - 0.25V
アナログ入力容量	—	—	12	pF		
オフセット誤差	—	± 2.0	± 6.5	LSB		
フルスケール誤差	—	± 2.0	± 6.5	LSB		
量子化誤差	—	± 0.5	—	LSB		
絶対精度	—	± 3.0	± 8.0	LSB		
DNL 微分非直線性誤差	—	± 0.5	± 1.5	LSB		
INL 積分非直線性誤差	—	± 1.5	± 4.0	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 37.30 A/Dコンバータチャンネル分類表

分類	対象チャンネル	条件	備考
高精度チャンネル	AN000 ~ AN003, AN100 ~ AN103, AN200 ~ AN211	AVCC0 = AVCC1 = AVCC2 = VREF = 2.7 ~ 5.5V	
通常精度チャンネル	AN016, AN116	VCC = AVCC0 = AVCC1 = AVCC2 = VREF = 2.7 ~ 5.5V	
内部基準電圧入力チャンネル	内部基準電圧	AVCC0 = AVCC1 = AVCC2 = VREF = 2.7 ~ 5.5V	

表 37.31 A/D内部基準電圧特性

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目	min	typ	max	単位	測定条件
内部基準電圧入力チャンネル(注1)	1.35	1.43	1.50	V	

注1. A/D内部基準電圧は、内部基準電圧をA/Dコンバータへの入力する場合を示します。

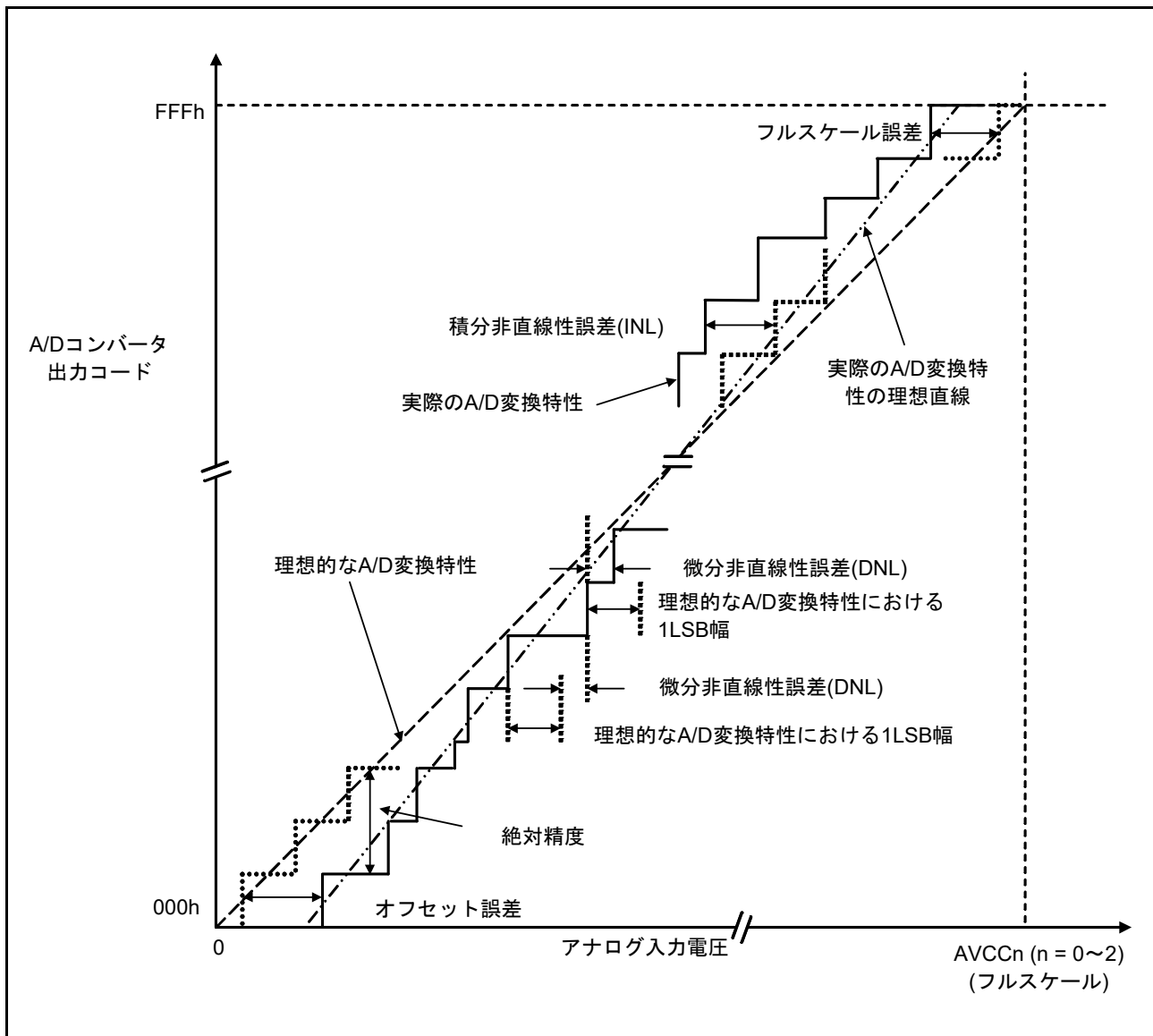


図 37.53 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅 (1LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。

例えば分解能 12 ビット、基準電圧 (AVCCn (n=0~2)) が 3.072V の場合、1LSB 幅は 0.75mV で、アナログ入力電圧には 0mV、0.75mV、1.5mV... を使用します。

絶対精度 $\pm 5\text{LSB}$ とは、アナログ入力電圧が 6mV の場合、理論的な A/D 変換特性では出力コード “008h” を期待できますが、実際の A/D 変換結果は “003h” ~ “00Dh” になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

37.5 プログラマブルゲインアンプ特性

表 37.32 プログラマブルゲインアンプ特性

条件 : VCC = 2.7V ~ AVCC0, AVCC0 = AVCC1 = AVCC2 = VREF = 4.5V ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{poff}	—	—	8	mV	
入力電圧範囲	V_{pin}	V_{pout} (min)/G	—	V_{pout} (max)/G	V	
出力電圧範囲	V_{pout}	$0.1 \times$ AVCC	—	$0.9 \times$ AVCC	V	
ゲイン	G	2.000	—	4.444		
ゲインエラー	G_{err}	—	± 1.0	± 2.0	%	G = 2.000, 2.500, 3.077
		—	± 1.5	± 3.0	%	G = 3.636, 4.000, 4.444
スルーレート	SR	10	—	—	V/ μs	
動作安定待ち時間	t_{start}	—	—	5.0	μs	

37.6 コンパレータ特性

表37.33 コンパレータ特性

条件 : $V_{CC} = 2.7V \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = V_{REF} = V_{CC} \sim 5.5V$, $V_{SS} = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = -40 \sim +85^\circ C$

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{cioff}	—	—	40	mV	
リファレンス入力電圧範囲	V_{cref}	0	—	VREF	V	
応答時間	t_{cr}	—	—	200	ns	VOD = 100mV CMPCTL.CDFS = 0
	t_{cf}	—	—	200	ns	
入力切替時の安定待ち時間	t_{cwait}	300	—	—	ns	
動作安定待ち時間	t_{cmp}	—	—	1	μs	

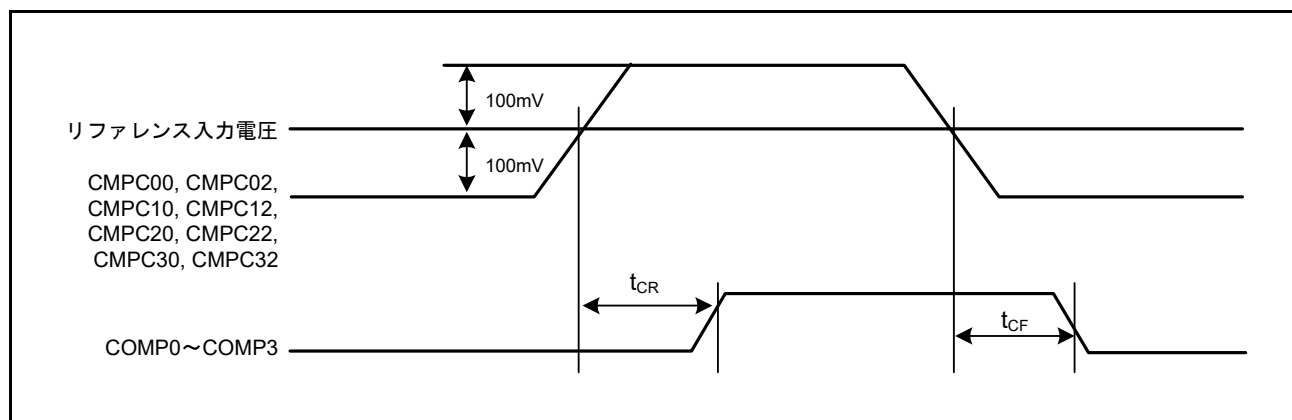


図 37.54 コンパレータ応答時間

37.7 D/A 変換特性

表 37.34 D/A変換特性(チップバージョンA)

条件 : $VCC = 2.7V \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = VREF = VCC \sim 5.5V$, $VSS = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = -40 \sim +85^\circ C$

項目	記号	min	typ	max	単位	測定条件
分解能	—	—	—	8	ビット	
変換時間	t_{DCONV}	—	—	3.0	μs	
絶対精度	—	—	—	± 3.0	LSB	

表 37.35 D/A変換特性(チップバージョンB)

条件 : $VCC = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = VREF = VCC \sim 5.5V$, $VSS = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = -40 \sim +85^\circ C$

項目	記号	min	typ	max	単位	測定条件
分解能	—	—	—	8	ビット	
変換時間	t_{DCONV}	—	—	3.0	μs	
絶対精度	—	—	—	± 3.0	LSB	
出力負荷抵抗	—	4	—	—	$M\Omega$	
出力負荷容量	—	—	—	35	pF	
出力抵抗	—	—	9.0	—	$k\Omega$	

注. ポート 23、24 を DA0、DA1 出力として使用する場合、 $VCC \geq DA$ 出力電圧になるようにしてください。

37.8 パワーオンリセット回路、電圧検出回路特性

表 37.36 パワーオンリセット回路、電圧検出回路特性(1)

条件 : VCC = 0V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	V_{POR}	1.35	1.50	1.65	V	図 37.55、図 37.56
	電圧検出回路 (LVD0) (注1)	V_{det0_0}	3.67	3.84	3.97	V	
		V_{det0_1}	2.70	2.82	3.00		
		V_{det0_2}	2.37	2.51	2.67		
	電圧検出回路 (LVD1) (注2)	V_{det1_0}	4.12	4.29	4.42	V	図 37.58 VCC 立ち下がり時
		V_{det1_1}	3.98	4.14	4.28		
		V_{det1_2}	3.86	4.02	4.16		
		V_{det1_3}	3.68	3.84	3.98		
		V_{det1_4}	2.99	3.10	3.29		
		V_{det1_5}	2.89	3.00	3.19		
		V_{det1_6}	2.79	2.90	3.09		
		V_{det1_7}	2.68	2.79	2.98		
	電圧検出回路 (LVD2) (注3)	V_{det2_0}	4.08	4.29	4.48		図 37.59 VCC 立ち下がり時
		V_{det2_1}	3.95	4.14	4.35		
		V_{det2_2}	3.82	4.02	4.22		
		V_{det2_3}	3.62	3.84	4.02		

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD2)の電圧検出レベルとオーバラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号 V_{det0_n} のnは、LVDS0[1:0]ビットの値です。

注2. 記号 V_{det1_n} のnは、LVDLVLR.LVD1LVL[3:0]ビットの値です。

注3. 記号 V_{det2_n} のnは、LVDLVLR.LVD2LVL[3:0]ビットの値です。

表 37.37 パワーオンリセット回路、電圧検出回路特性(2)

条件 : VCC = 0V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件
パワーオンリセット解除後待機時間	通常起動時	t_{POR}	—	28.4	—	ms	図 37.56
電圧監視0リセット解除後待機時間		t_{LVD0}	—	568	—	μs	図 37.57
電圧監視1リセット解除後待機時間		t_{LVD1}	—	100	—	μs	図 37.58
電圧監視2リセット解除後待機時間		t_{LVD2}	—	100	—	μs	図 37.59
応答遅延時間		t_{det}	—	—	350	μs	図 37.55
最小VCC低下時間(注1)		$t_{V_{OFF}}$	350	—	—	μs	図 37.55、VCC = 1.0V 以上
パワーオンリセット有効時間		$t_{W(POR)}$	1	—	—	ms	図 37.56、VCC = 1.0V 未満
LVD 動作安定時間 (LVD 有効切り替え時)		$T_{d(E-A)}$	—	—	300	μs	図 37.58、図 37.59
ヒステリシス幅 (電圧検出回路(LVD0, LVD1, LVD2))		V_{LVH}	—	70	—	mV	Vdet1_0 ~ 4 選択時
			—	60	—		Vdet0_0 ~ 2 選択時、 Vdet1_5 ~ 8 選択時、 LVD2 選択時

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD1)の電圧検出レベルとオーバラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} のmin値を下回っている時間です。

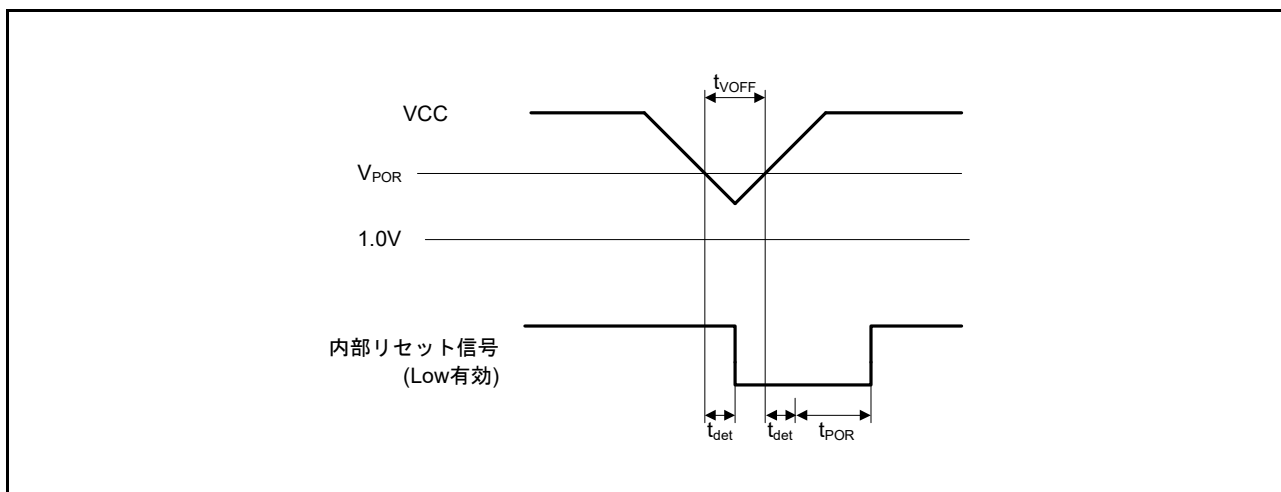


図 37.55 電圧検出リセットタイミング

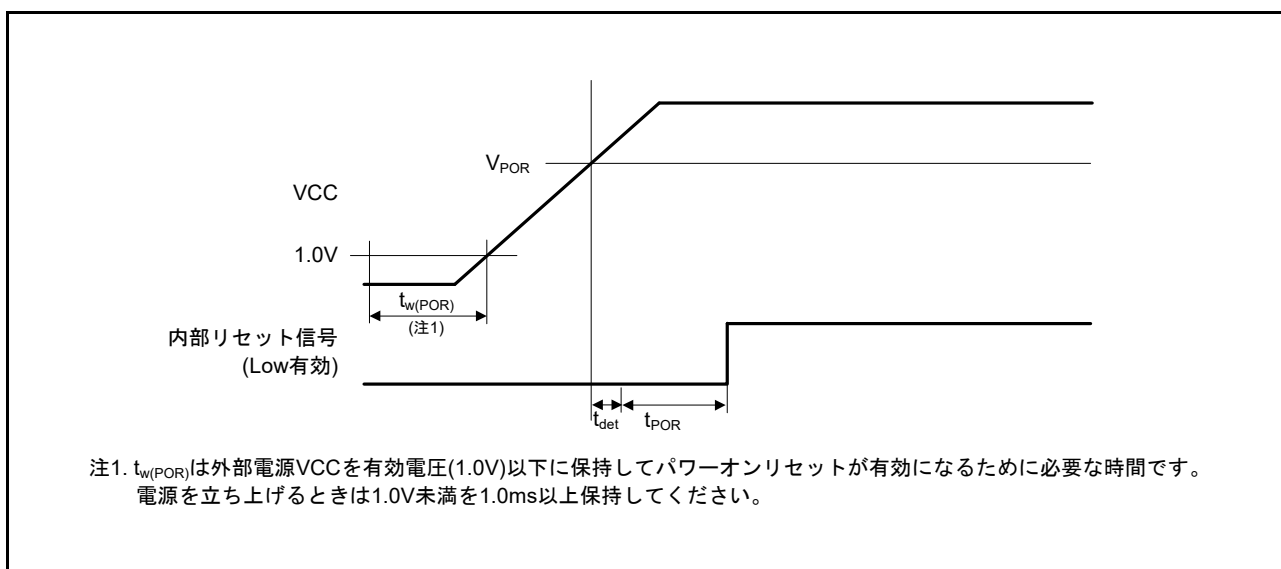


図 37.56 パワーオンリセットタイミング

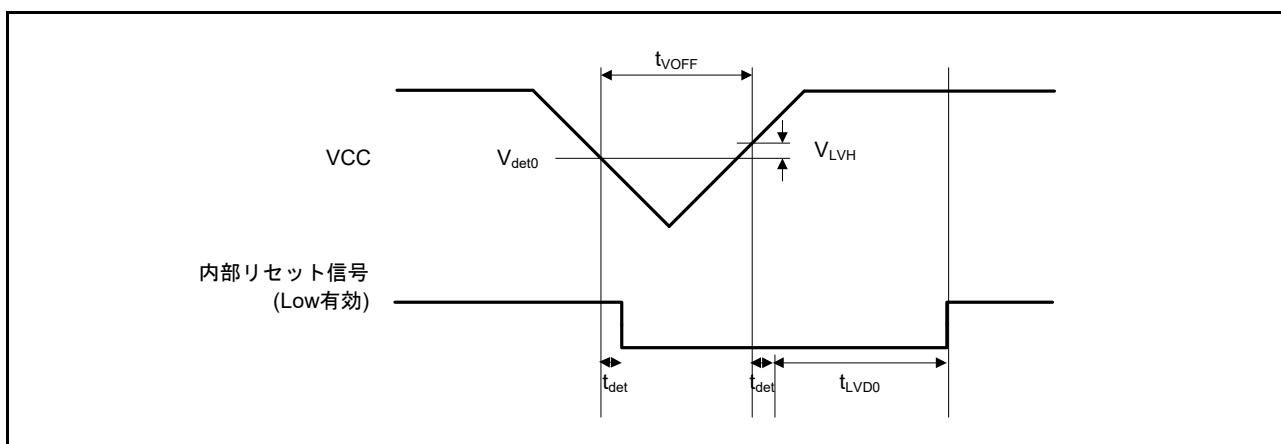


図 37.57 電圧検出回路タイミング (V_{det0})

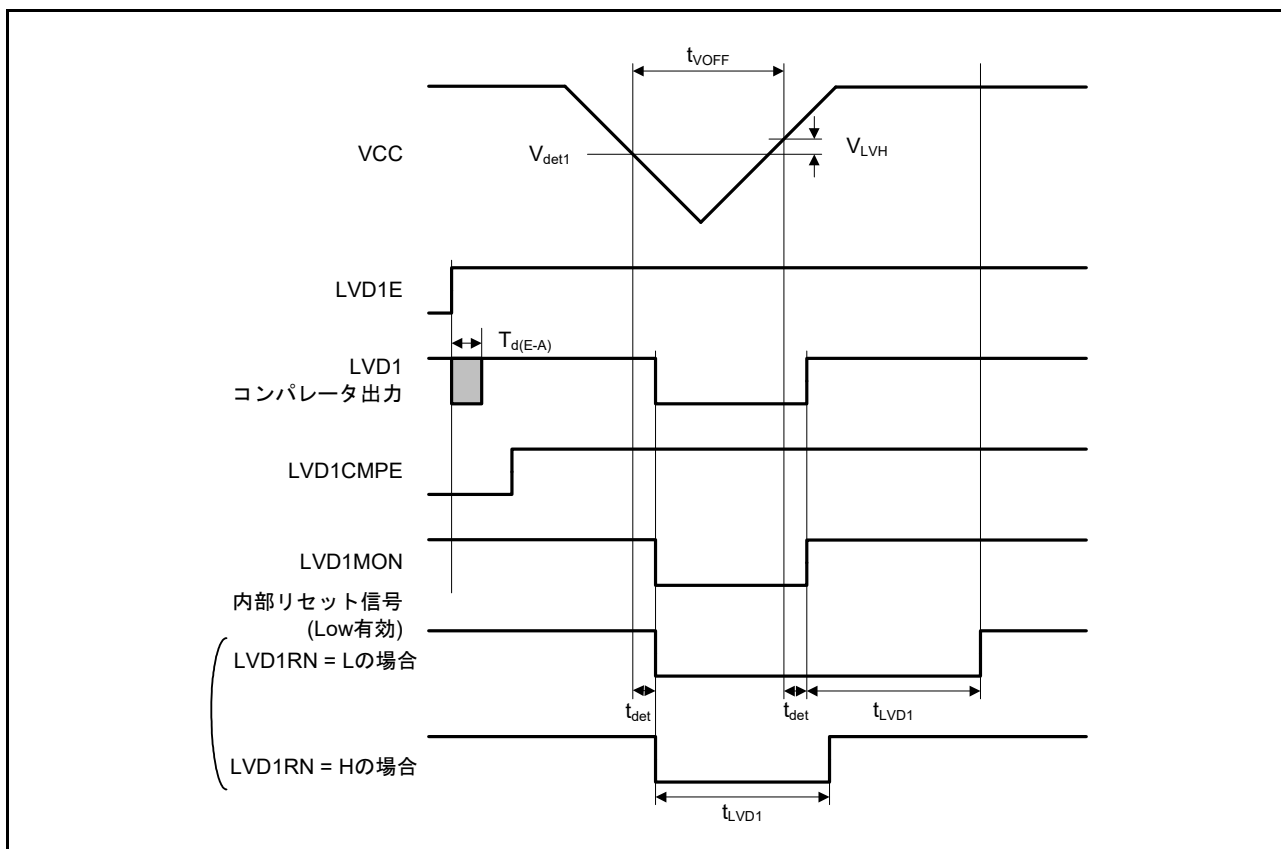


図 37.58 電圧検出回路タイミング (V_{det1})

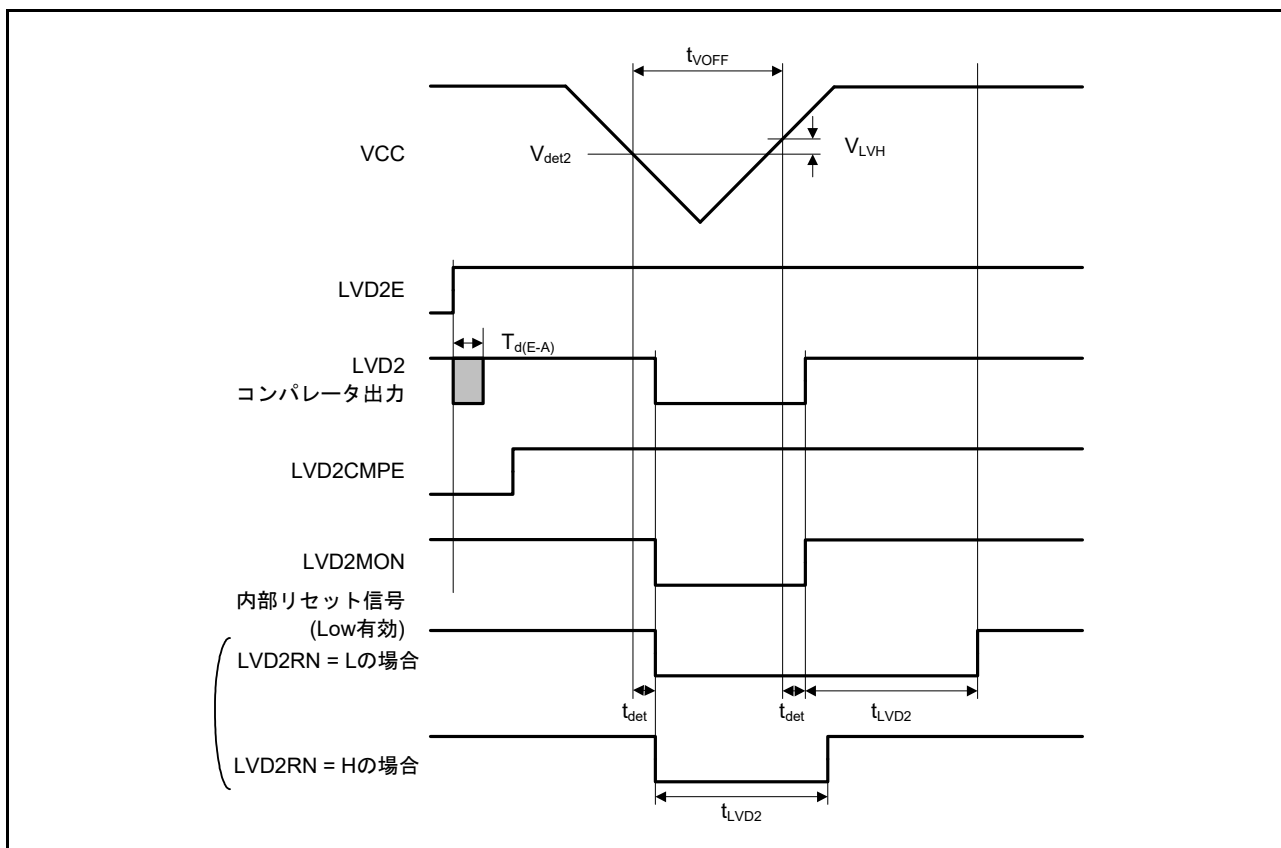


図 37.59 電圧検出回路タイミング (V_{det2})

37.9 発振停止検出タイミング

表 37.38 発振停止検出回路特性

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 T_a = -40 ~ +85°C

項目	記号	min	typ	max	単位	測定条件
検出時間	t _{dr}	—	—	1	ms	図 37.60

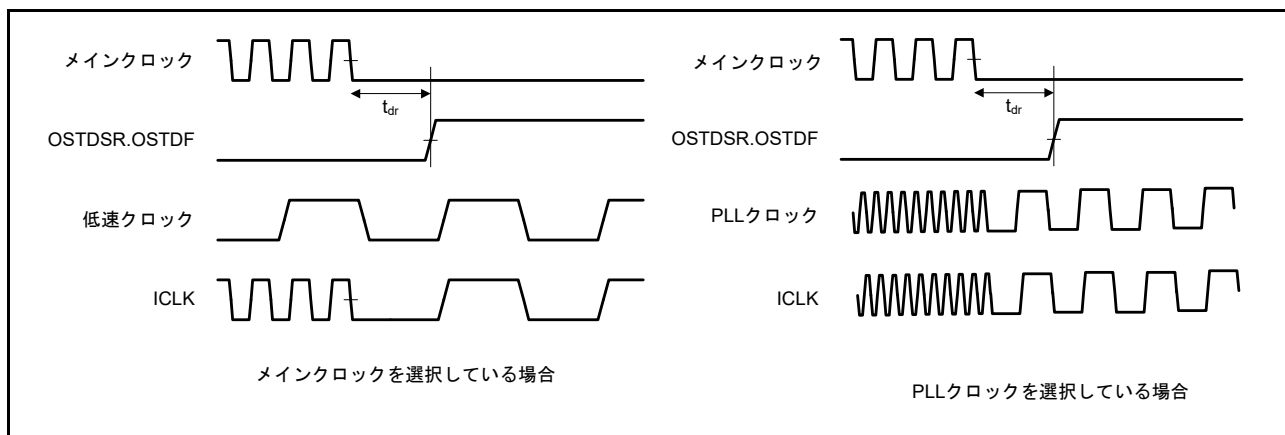


図 37.60 発振停止検出タイミング

37.10 ROM (コード格納用フラッシュメモリ) 特性

表 37.39 ROM (コード格納用フラッシュメモリ) 特性(1)

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル(注1)	N _{PEC}	1000	—	—	回	
データ保持時間	N _{PEC} 1000回後	t _{DRP}	20(注2、注3)	—	年	T _a = +85°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回(n = 1000回)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に4バイト書込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書込みを行うことはできません。(上書き禁止)

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表 37.40 ROM (コード格納用フラッシュメモリ) 特性(2) 高速動作モード

条件：VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t _{p8}	—	112.0	967.0	—	52.3	490.5	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.7	278.1	—	5.5	214.6	ms
	256Kバイト (ブロックイレーズコマンド使用時)	t _{E256K}	—	469.1	9813.6	—	41.2	1049.2	ms
	256Kバイト (全ブロックイレーズコマンド使用時)	t _{EA256K}	—	463.9	9609.0	—	36.0	839.5	ms
	512Kバイト (ブロックイレーズコマンド使用時)	t _{E512K}	—	927.8	19218.0	—	72.0	1678.9	ms
	512Kバイト (全ブロックイレーズコマンド使用時)	t _{EA512K}	—	922.7	19013.4	—	66.7	1469.2	ms
ブランクチェック	8バイト	t _{BC8}	—	—	55.0	—	—	16.1	μs
	2Kバイト	t _{BC2K}	—	—	1840.0	—	—	135.7	μs
イレーズ処理強制停止時間		t _{SED}	—	—	18.0	—	—	10.7	μs
スタートアップ領域入れ替え設定時間		t _{SAS}	—	12.3	566.5	—	6.2	433.5	ms
アクセスウィンドウ設定時間		t _{AWS}	—	12.3	566.5	—	6.2	433.5	ms
ROMモード遷移待ち時間1		t _{DIS}	2.0	—	—	2.0	—	—	μs
ROMモード遷移待ち時間2		t _{MS}	5.0	—	—	5.0	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

表37.41 ROM (コード格納用フラッシュメモリ)特性(3)中速動作モード

条件 : VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V
 プログラム/イレーズ時の動作温度範囲 : T_a = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t _{P8}	—	152.0	1367.0	—	97.9	936.0	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.8	279.7	—	5.9	220.8	ms
	256Kバイト (ブロックイレーズコマンド使用時)	t _{E256K}	—	469.2	9816.9	—	100.5	2260.1	ms
	256Kバイト (全ブロックイレーズコマンド使用時)	t _{EA256K}	—	464.0	9610.7	—	95.3	2053.7	ms
	512Kバイト (ブロックイレーズコマンド使用時)	t _{E512K}	—	928.0	19221.2	—	190.6	4107.3	ms
	512Kバイト (全ブロックイレーズコマンド使用時)	t _{EA512K}	—	922.7	19015.0	—	185.4	3901.0	ms
ブランクチェック	8バイト	t _{BC8}	—	—	85.0	—	—	50.9	μs
	2Kバイト	t _{BC2K}	—	—	1870.0	—	—	401.5	μs
イレーズ処理強制停止時間		t _{SED}	—	—	28.0	—	—	21.3	μs
スタートアップ領域入れ替え設定時間		t _{SAS}	—	13.0	573.3	—	7.7	450.1	ms
アクセスウィンドウ設定時間		t _{AWS}	—	13.0	573.3	—	7.7	450.1	ms
ROMモード遷移待ち時間1		t _{DIS}	2.0	—	—	2.0	—	—	μs
ROMモード遷移待ち時間2		t _{MS}	3.0	—	—	3.0	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

37.11 E2 データフラッシュ (データ格納用フラッシュメモリ) 特性

表 37.42 E2データフラッシュ特性(1)

項目	記号	min	typ	max	単位	条件	
再プログラム/イレーズサイクル(注1)	N _{DPEC}	100000	1000000	—	回		
データ保持時間	N _{DPEC} 10000回後	t _{DDR} P	20 (注2、注3)	—	—	年	T _a = +85°C
	N _{DPEC} 100000回後		5 (注2、注3)	—	—	年	
	N _{DPEC} 1000000回後		—	1 (注2、注3)	—	年	T _a = +25°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消回数です。再プログラム/イレーズサイクルがn回(n = 100000回)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に1バイト書き込みを1000回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表 37.43 E2データフラッシュ特性(2)高速動作モード

条件：VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	95.0	797.0	—	40.8	375.5	μs
イレーズ時間	1Kバイト	t _{DE1K}	—	19.5	498.5	—	6.2	229.4	ms
	8Kバイト	t _{DE8K}	—	119.8	2555.7	—	12.9	367.2	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	55.0	—	—	16.1	μs
	1Kバイト	t _{DBC1K}	—	—	7216.0	—	—	495.7	μs
イレーズ処理強制停止時間	t _{DSED}	—	—	16.0	—	—	—	10.7	μs
データフラッシュ STOP解除時間	t _{DSTOP}	5.0	—	—	5.0	—	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含まれません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

表 37.44 E2データフラッシュ特性(3)中速動作モード

条件：VCC = VCC = 2.7V ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = VREF = VCC ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	135.0	1197.0	—	86.5	822.5	μs
イレーズ時間	1Kバイト	t _{DE1K}	—	19.6	500.1	—	8.0	264.1	ms
	8Kバイト	t _{DE8K}	—	119.9	2557.4	—	27.7	668.2	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	85.0	—	—	50.9	μs
	1Kバイト	t _{DBC1K}	—	—	7246.0	—	—	1457.5	μs
イレーズ処理強制停止時間	t _{DSED}	—	—	28.0	—	—	—	21.3	μs
データフラッシュ STOP解除時間	t _{DSTOP}	0.72	—	—	0.72	—	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含まれません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

37.12 使用上の注意事項

37.12.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源 (VCL 端子) と VSS 端子間には、内部電圧安定用のコンデンサ $4.7\mu\text{F}$ を接続する必要があります。外付けコンデンサ接続方法を図 37.61、図 37.62 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は $0.1\mu\text{F}$ (推奨値) を使用してください。水晶発振関連のコンデンサについては「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「31. 12 ビット A/D コンバータ (S12ADF)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ) でも説明していますので、最新版をルネサス エレクトロニクスホームページから入手して参照ください。

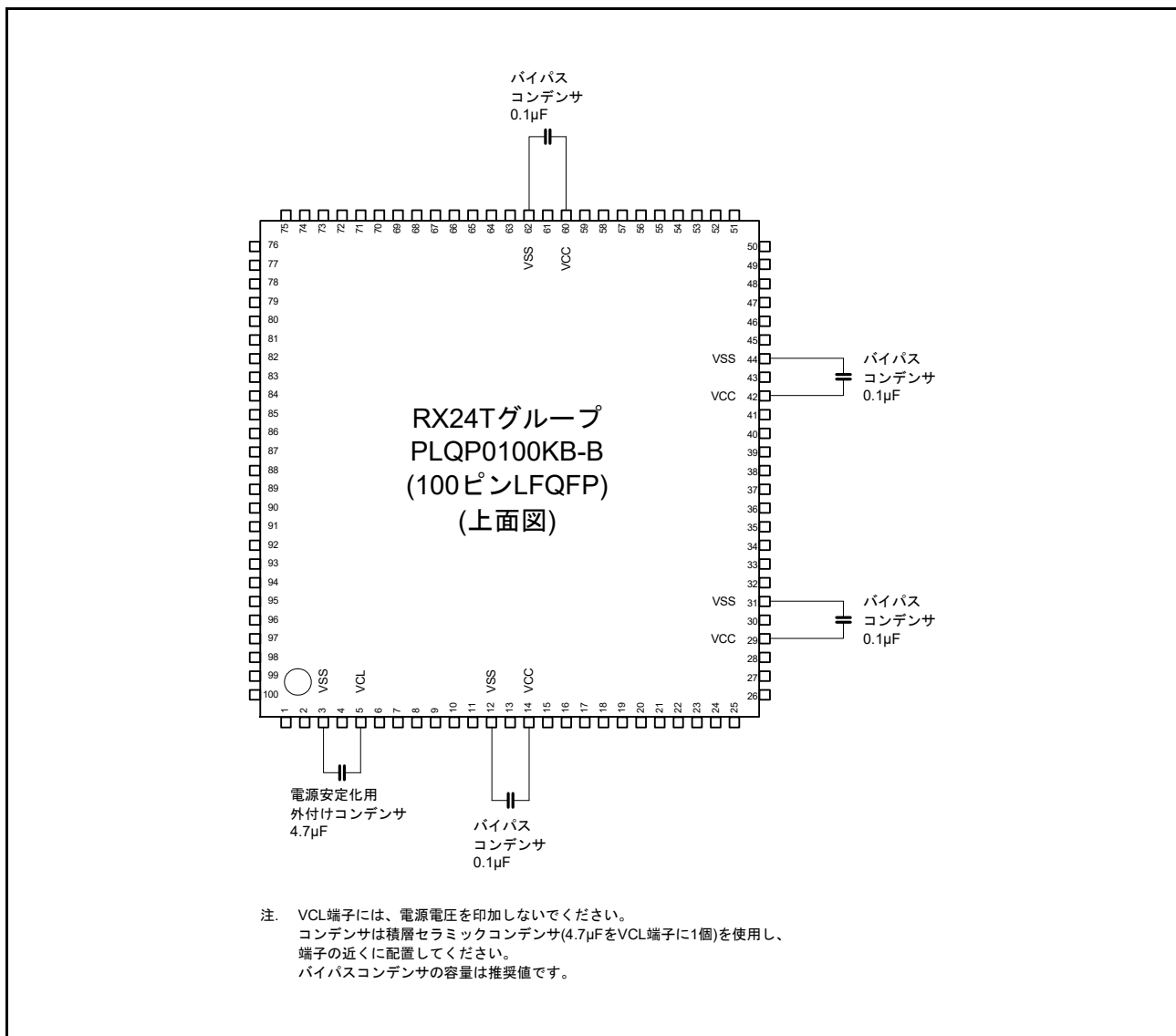


図 37.61 コンデンサ接続方法 (100 ピン)

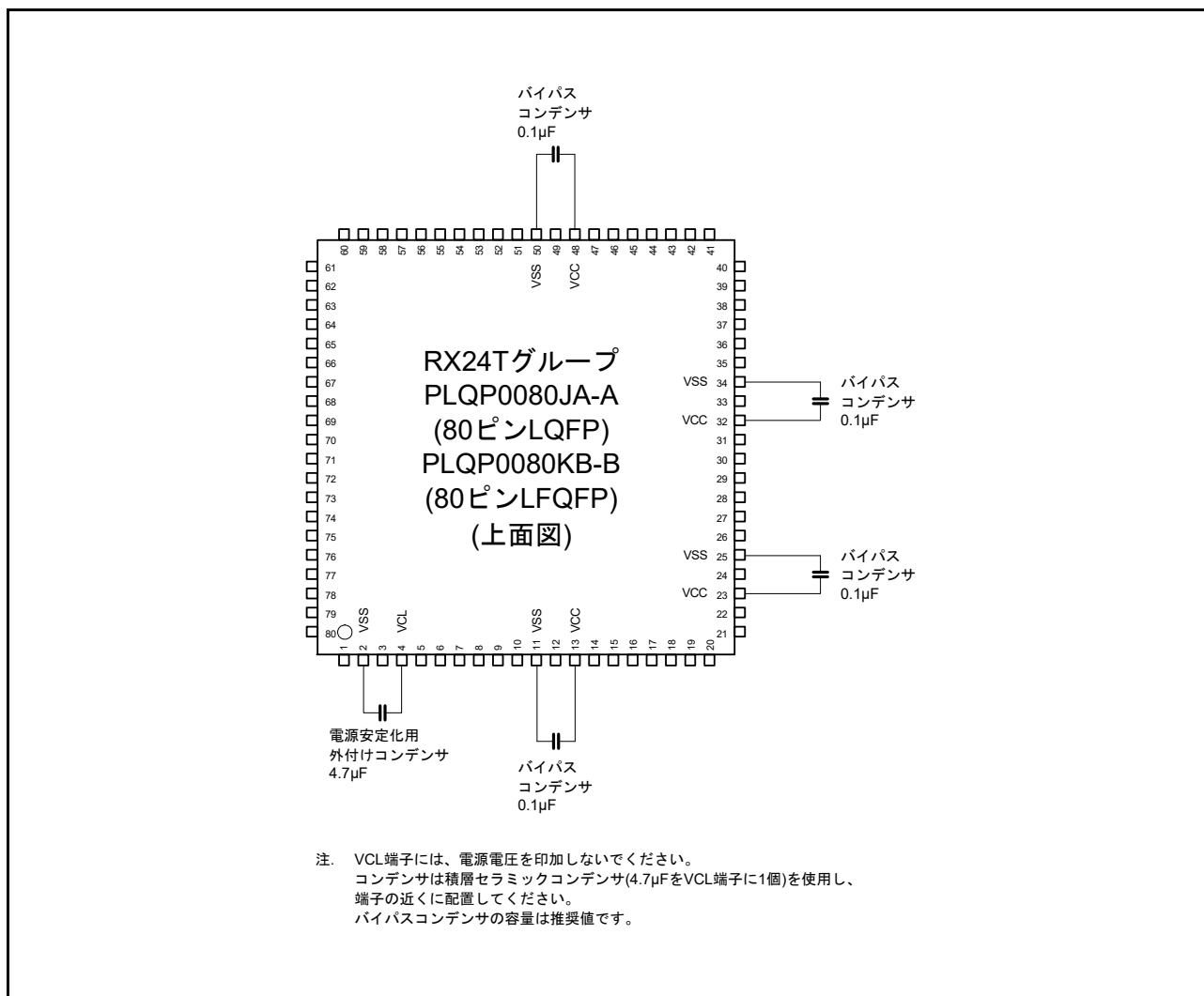


図 37.62 コンデンサ接続方法 (80ピン)

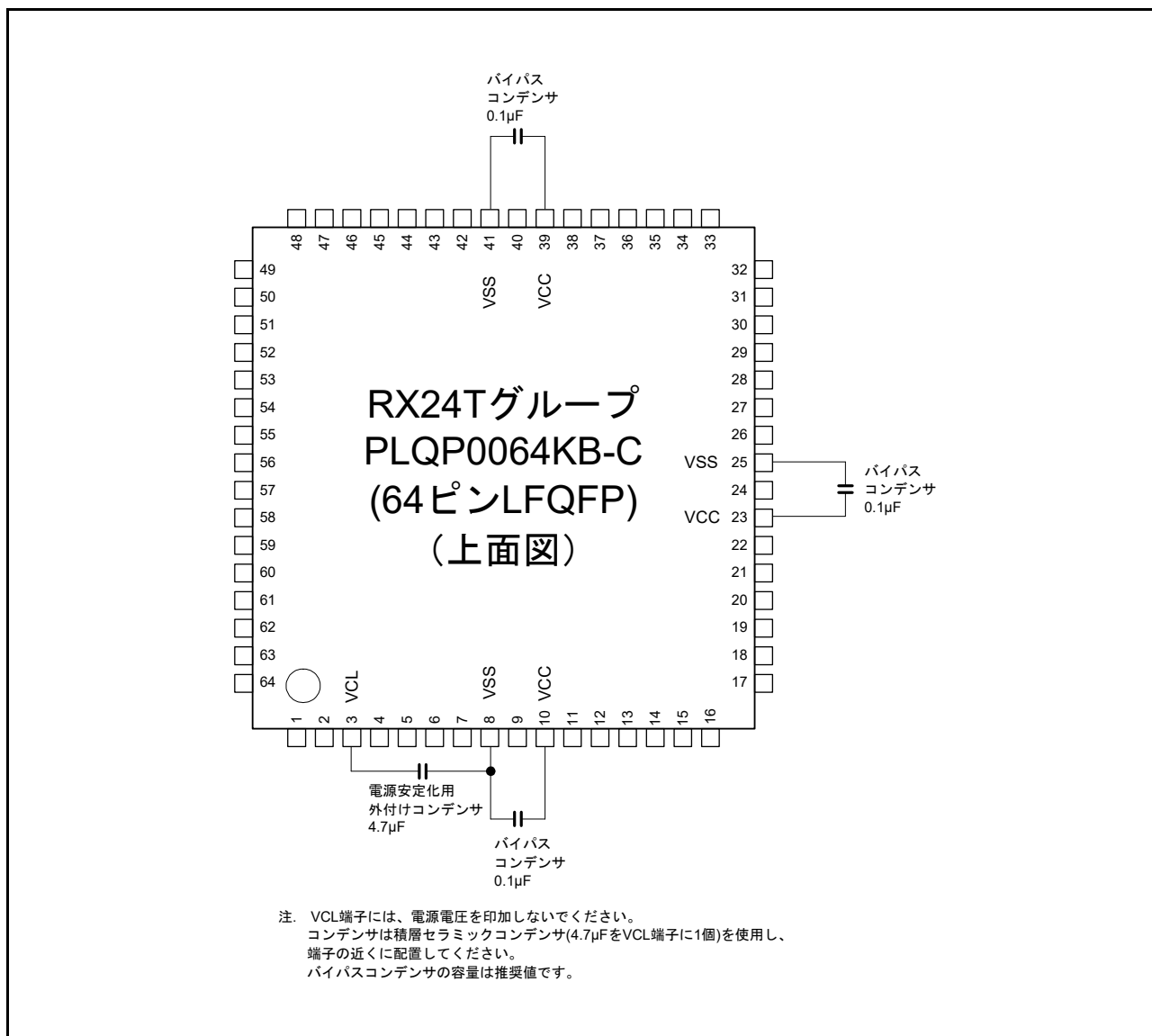


図 37.63 コンデンサ接続方法 (64ピン)

付録1. 各処理状態におけるポートの状態

表 1.1 各処理状態におけるポートの状態

ポート名 (端子名)	レジスタ設定による動作モード	リセット	ソフトウェアスタンバイモード
P00, P01, P02 (IRQ2, IRQ4, IRQ5)	全モード	Hi-Z	Keep-O (注1)
P10, P11 (IRQ0, IRQ1)	全モード	Hi-Z	Keep-O (注1)
P20, P21 (IRQ7, IRQ6)	全モード	Hi-Z	Keep-O (注1)
P22	全モード	Hi-Z	Keep-O
P23 (DA1)	全モード	DA1出力時	DA1出力保持
		上記以外	Keep-O
P24 (DA0)	全モード	DA0出力時	DA0出力保持
		上記以外	Keep-O
P30, P31 (IRQ7, IRQ6)	全モード	Hi-Z	Keep-O (注1)
P32, P33, P36, P37	全モード	Hi-Z	Keep-O
P40～P47	全モード	Hi-Z	Keep-O
P50, P51	全モード	Hi-Z	Keep-O
P52, P53, P54, P55 (IRQ0, IRQ1, IRQ2, IRQ3)	全モード	Hi-Z	Keep-O (注1)
P60, P61, P62, P63 (IRQ4, IRQ5, IRQ6, IRQ7)	全モード	Hi-Z	Keep-O (注1)
P64, P65	全モード	Hi-Z	Keep-O
P70 (IRQ5)	全モード	Hi-Z	Keep-O (注1)
P71～P76	全モード	Hi-Z	Keep-O
P80～P82	全モード	Hi-Z	Keep-O
P90～P95	全モード	Hi-Z	Keep-O
P96 (IRQ4)	全モード	Hi-Z	Keep-O (注1)
PA0～PA4	全モード	Hi-Z	Keep-O
PA5 (IRQ1)	全モード	Hi-Z	Keep-O (注1)
PB0～PB3, PB5, PB7	全モード	Hi-Z	Keep-O
PB4, PB6 (IRQ3, IRQ5)	全モード	Hi-Z	Keep-O (注1)
PD0～PD3, PD7	全モード	Hi-Z	Keep-O
PD4, PD5, PD6 (IRQ2, IRQ3, IRQ5)	全モード	Hi-Z	Keep-O (注1)
PE0, PE1	全モード	Hi-Z	Keep-O
PE2, PE3, PE4, PE5 (NMI, IRQ2, IRQ1, IRQ0)	全モード	Hi-Z	Keep-O (注1)

Keep-O : 出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス

Hi-Z : ハイインピーダンス

注1. 外部端子割り込みとして使用時は、ソフトウェアスタンバイモード解除要因として設定されている場合、入力できます。

付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

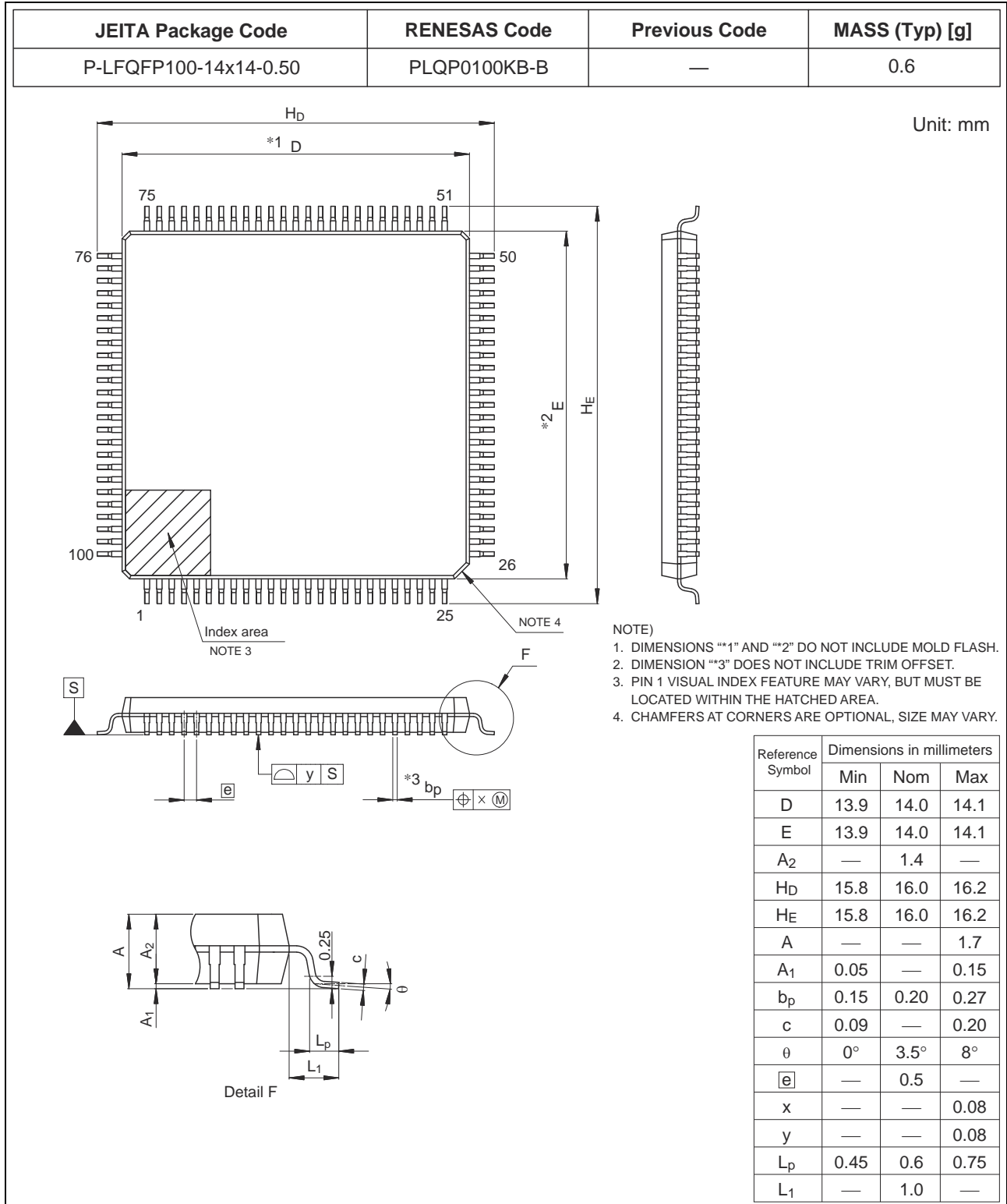


図 A. 100ピン LFQFP (PLQP0100KB-B)

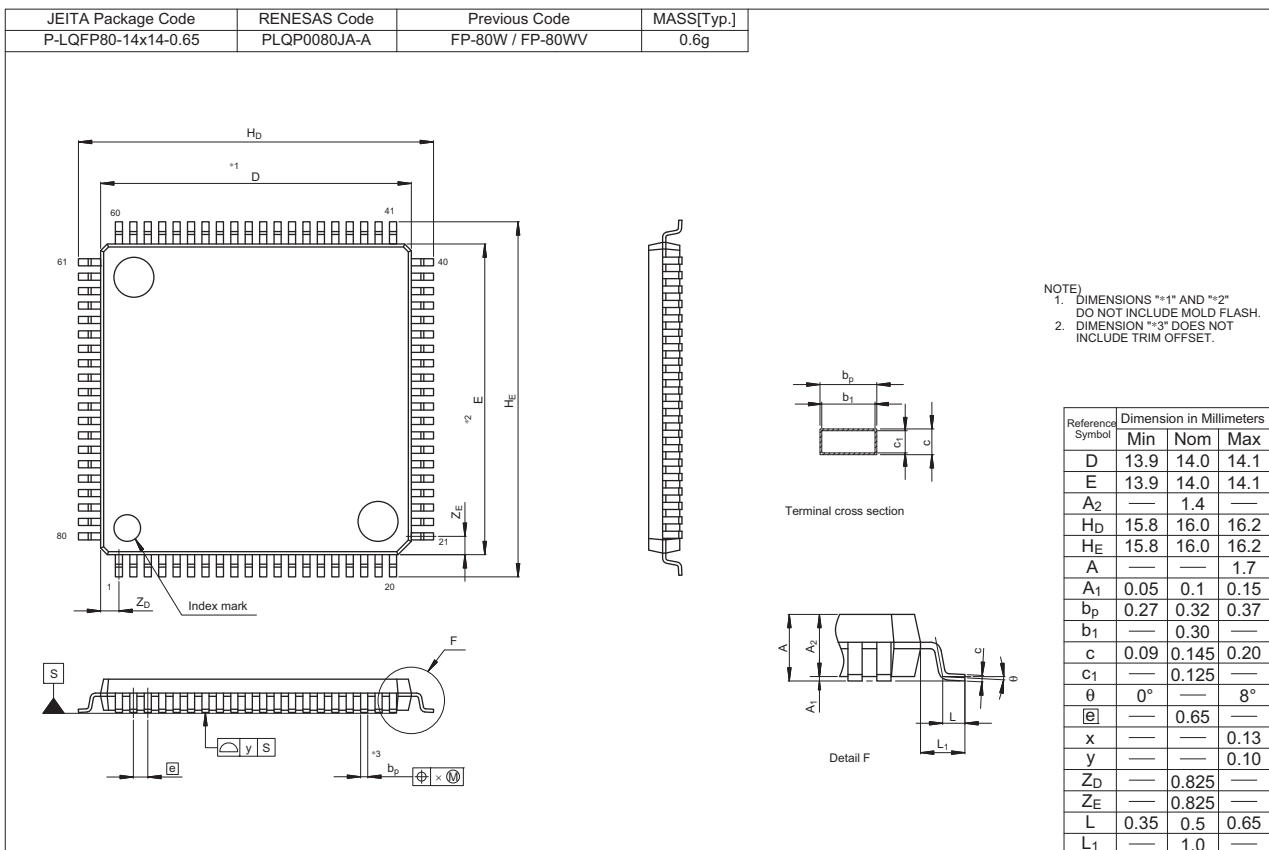


図 B. 80ピンLQFP (PLQP0080JA-A)

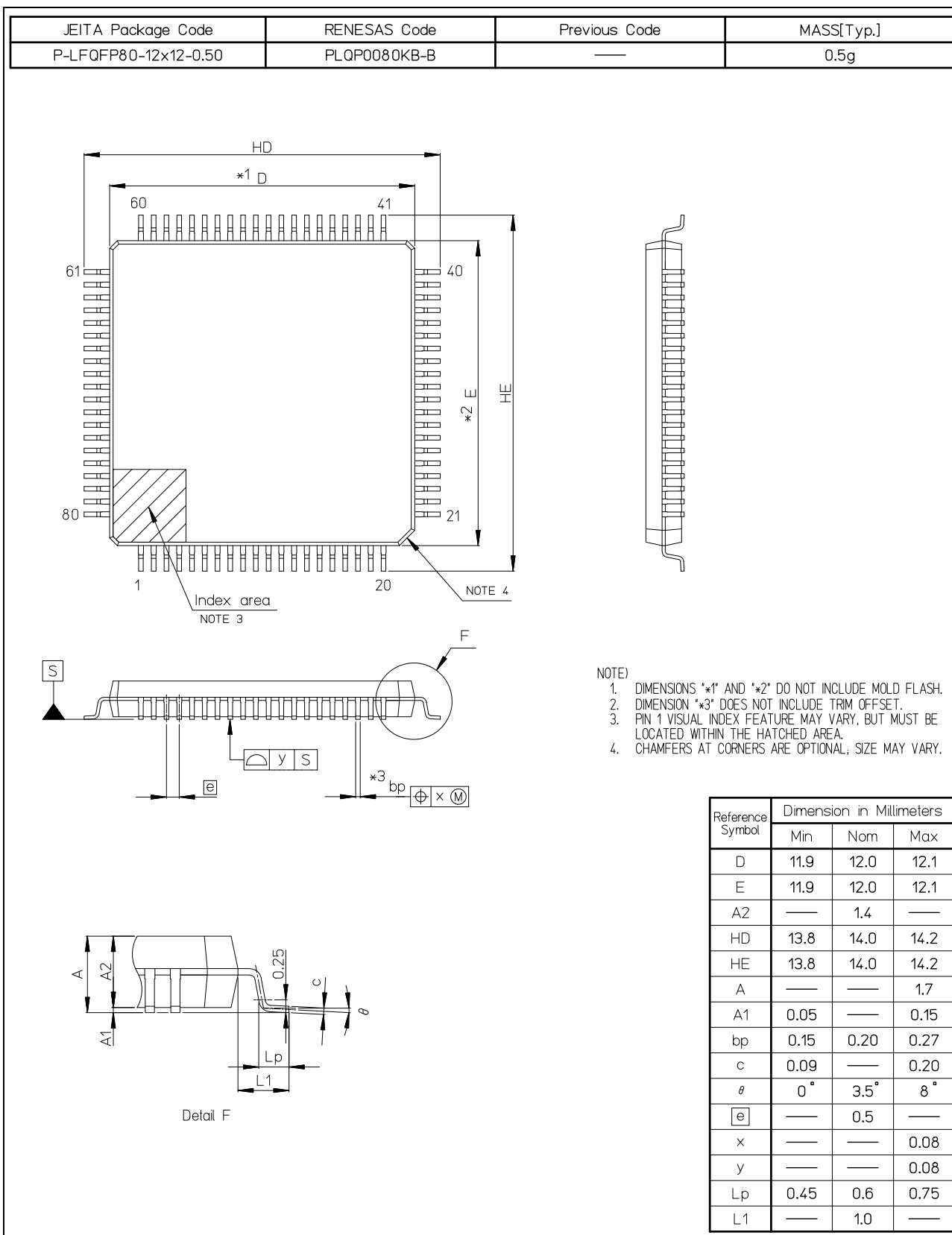


図 C. 80ピン LFQFP (PLQP0080KB-B)

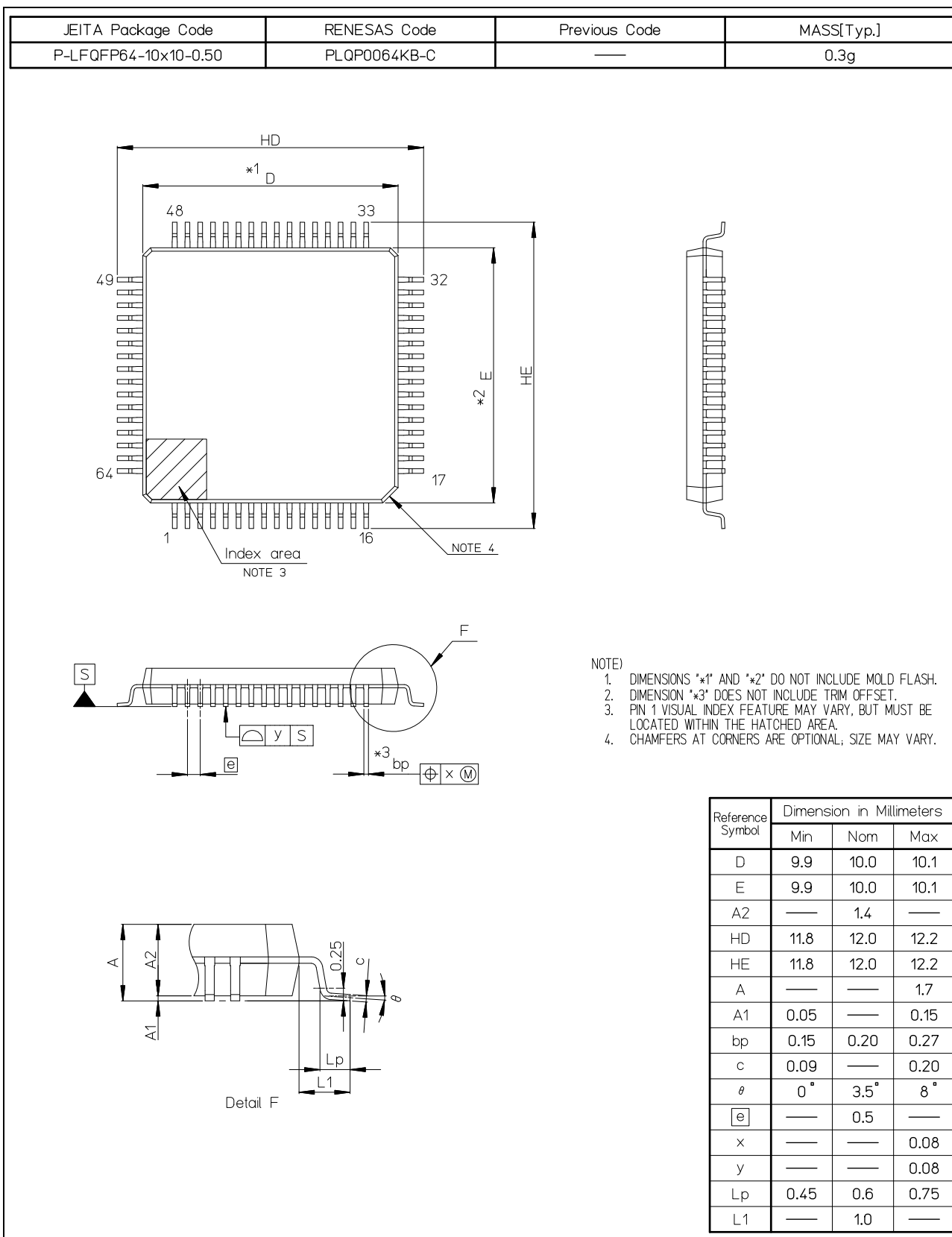


図 D. 64ピン LFQFP (PLQP0064KB-C)

改訂記録	RX24T グループ ユーザーズマニュアル ハードウェア編
------	-------------------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2015.11.30	—	初版発行	
2.00	2017.04.14	全体	チップバージョンBを追加 それに伴い従来製品をチップバージョンAに変更 HOCOの仕様を追加 64ピン製品を追加 電圧検出0レベル選択ビットの仕様を変更	TN-RX*-A171A/J
			【用語統一】 DTC起動許可 → DTC転送要求許可 DTC起動要求 → DTC転送要求 2重化 → 二重化	
			製品間の仕様の相違点	
		—	追加	
			20. マルチファンクションタイマパルスユニット3 (MTU3d)	
		402	図20.1 MTUのブロック図 (MTU0~MTU4, MTU9) 変更	
		414	20.2.5 タイマモードレジスタ3 (TMDR3) 変更	
		442	20.2.15 タイマジェネラルレジスタ (TGR) 変更	TN-RX*-A170A/J
		444	20.2.17 タイマスタートレジスタ (TSTRA, TSTRB, TSTR) ・ MTU.TSTRA (MTU0, MTU1, MTU2, MTU3, MTU4, MTU9) 変更	TN-RX*-A170A/J
		445	20.2.17 タイマスタートレジスタ (TSTRA, TSTRB, TSTR) ・ MTU.TSTRB (MTU6, MTU7) 変更	TN-RX*-A170A/J
		468, 469	20.2.33 ノイズフィルタコントロールレジスタ n (NFCRn) (n = 0 ~ 4, 6, 7, 9, C) ビットシンボルの誤記訂正 (NFCSC[1:0] → NFCS[1:0])	
		470	20.2.34 ノイズフィルタコントロールレジスタ5 (NFCR5) 端子名の誤記訂正	
		—	20.2.45 バスマスタとのインタフェース 削除	
		522	図20.42 カスケード接続32ビット位相計数モード設定手順 変更	TN-RX*-A170A/J
		531	図20.47 相補PWMモードの設定手順例 [6]変更	TN-RX*-A170A/J
		535	20.3.8 相補PWMモード (c) 初期設定 変更	TN-RX*-A170A/J
		535	表20.78 初期設定の必要なレジスタとカウンタ 変更	TN-RX*-A170A/J
		597	20.6.5 TCNT への書き込みとカウントアップの競合 変更	TN-RX*-A170A/J
			21. ポートアウトプットイネーブル3 (POE3b, POE3A)	
		全体	【用語統一】 「POE要求許可ビット」 → 「ハイインピーダンス許可ビット」 「POE要求発生を許可」 → 「出力停止要求を許可」 「POE要求発生を禁止」 → 「出力停止要求を禁止」 「POE要因」 → 「出力停止制御条件」 「POE要求」 → 「ハイインピーダンス要求」	
		655, 656	21.2.8 出力レベルコントロール/ステータスレジスタ1 (OCSR1) 変更	TN-RX*-A170A/J
		656, 657	21.2.9 出力レベルコントロール/ステータスレジスタ2 (OCSR2) 変更	TN-RX*-A170A/J
		692~721	21.3 動作説明 変更	
			22. 汎用PWM タイマ (GPTB)	
		724~879	新規追加	
			26. シリアルコミュニケーションインタフェース (SClG)	
		1045	26.12.13 調歩同期式モードにおけるRTS機能使用時の受信停止に関する注意事項 追加	TN-RX*-A151A/J
			27. I ² C バスインタフェース (RIICa)	
		全体	【用語統一】 内部基準クロックソース → 内部基準クロック	
		1102	図27.31 NACK 受信時の転送中断動作 (NACK ビット = 1 のとき) 変更	
		1118	表27.7 リセット時/コンディション検出時のレジスタおよび機能のリセット状況 変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
2.00	2017.04.14	28. CANモジュール(RSCAN)		
		1120~1231	新規追加	
		29. シリアルペリフェラルインタフェース (RSPIb)		
		1295	29.3.10.1 マスタモード動作 (a)送信処理フロー 変更	TN-RX*-A170A/J
		31. 12ビットA/Dコンバータ (S12ADF)		
		1418	31.6.6 低消費電力状態への遷移時の注意 変更	TN-RX*-A170A/J
		36. フラッシュメモリ		
		1532	36.13 使用上の注意事項 (5) プログラム/イレーズ中のノンマスクブル割り込み禁止 削除	
		37. 電気的特性		
		—	HOCO関連特性、GPT関連特性、RSCAN関連特性、チップバージョンB の特性 追加	
		1535	表37.3 DC特性(1) 「ポート36~37」を追加	
		1541	表37.8 DC特性(6) 変更	
		1563	表37.25 内蔵周辺モジュールタイミング(3) 変更	TN-RX*-A170A/J
		1578	表37.34 D/A変換特性(チップバージョンA) 変更	TN-RX*-A170A/J
		1588	図37.63 コンデンサ接続方法(64ピン) 追加	
		付録2. 外形寸法図		
		1590	図A. 100ピンLFQFP (PLQP0100KB-B) パッケージ型名変更	
1592	図C. 80ピンLFQFP (PLQP0080KB-B) パッケージ型名変更			
1593	図D. 64ピンLFQFP (PLQP0064KB-C) 追加			

RX24Tグループ ユーザーズマニュアル
ハードウェア編

発行年月日 2015年11月30日 Rev.1.00
2017年4月14日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)



ルネサス エレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>

RX24Tグループ